User's Manual

32

RENESAS

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH72533

ユーザーズマニュアル　ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
SuperH™ RISC engine ファミリ

SH72533　R5F72533KFPU
SH72533D　R5F72533DKFPU

ルネサス エレクトロニクス
www.renesas.com

Rev.3.00　2014.04

ご注意書き

1．本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。

2．本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

3．本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。

4．当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。

5．当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、
各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。 たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。 なお、ご不明点がある場合は、当社営業にお問い合わせください。

6．当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

7．当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。

8．当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。

9．本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。

10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。

11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1.　本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(2012.4)

製品に関する一般的注意事項

1. NC 端子の処理

   【注意】NC 端子には、何も接続しないようにしてください。

   NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。
   接続された場合については保証できません。

2. 未使用入力端子の処理

   【注意】未使用の入力端子はハイまたはローレベルに固定してください。

   CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

   【注意】電源投入時は、製品の状態は不定です。

   すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

   【注意】未定義・リザーブアドレスのアクセスを禁止します。

   未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

5. 各レジスタリザーブビットの読み出し／書き込み

   各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し／書き込み値の指定が特にない限り以下のように取り扱ってください。
   読み出すと常に 0 が読み出されます。書き込む場合は、0 を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。
   直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることがある場合、その拡張機能に影響を与えない利点があります。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

・CPU およびシステム制御系

・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。 各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。 必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。 改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

対象者　本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的　本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的にしています。

読み方

- 機能全体を理解しようとするとき

  → 目次に従って読んでください。

  本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

  → 別冊の「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

- レジスタ名がわかっていて、詳細機能を知りたいとき

  → 本書の後ろに、「索引」があります。索引からページ番号を検索してください。

  「第29章　レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例

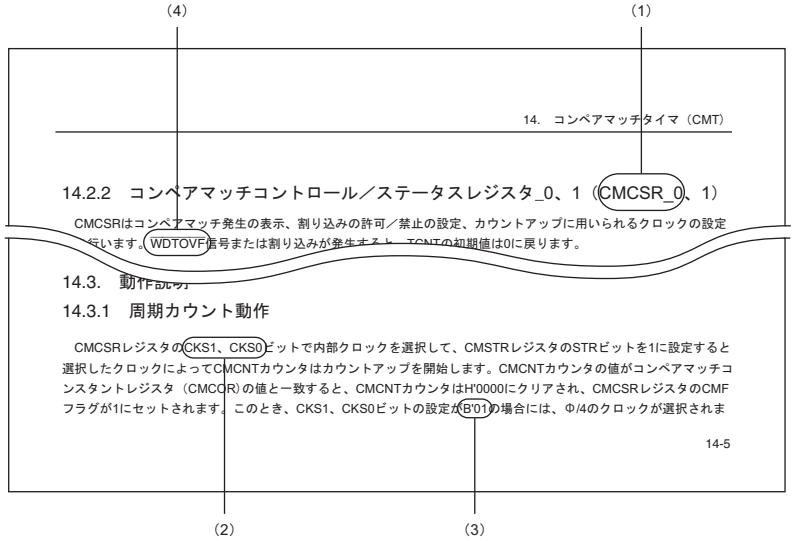
本マニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

（1）レジスタの表記
同一または類似した機能が複数チャネルに存在する場合に、レジスタ名_チャネル番号、の表記を使用します。
（例）CMCSR_0

（2）ビットの表記
本文中に記載されているビット名は、左側が上位ビット、右側が下位ビットの順になります。
（例）CKS1、CKS0

（3）数字の表記
2進数はB'xxxxまたはxxxx、16進数はH'xxxx、10進数はxxxxで表します。
（例）B'11または11、H'EFA0、1234

（4）記号の表記
ローアクティブの信号にはオーバーバーを付けています。
（例）$\overline{\text{WDTOVF}}$



【注】　上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

- ビット図とビット表の表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

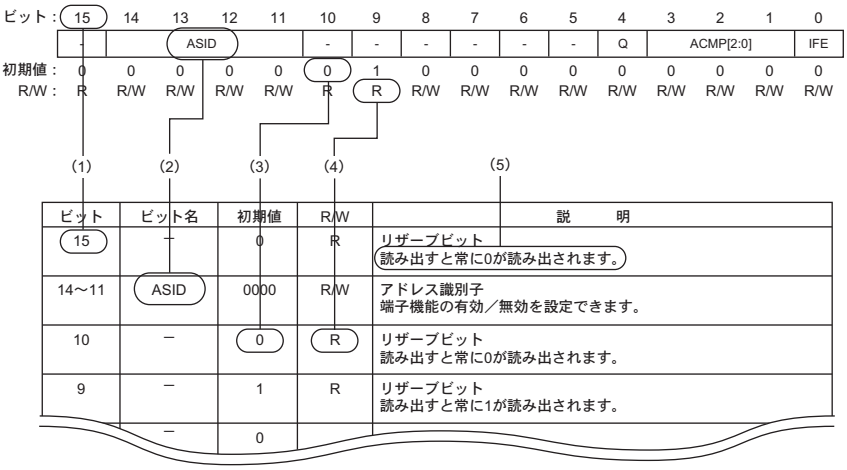
（1）ビット
ビット番号を示します。
32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

（2）ビット名
レジスタのビット名またはフィールド名を示します。
フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。
また、リザーブビットの場合は「－」と表記します。
ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

（3）初期値
各ビットのパワーオンリセット後の値を初期値として示します。
0　：初期値は0であることを示します。
1　：初期値は1であることを示します。
－　：初期値は不定であることを示します。

（4）R/W
各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であるかを示します。
使用する表記を以下に説明します。
R/W　：読み出しおよび書き込みが可能なビットまたはフィールドです。
R/(W)　：読み出しおよび書き込みが可能なビットまたはフィールドです。
ただし書き込みは、フラグをクリアするための書き込みのみ可能です。
R　：読み出しが可能なビットまたはフィールドです。
ただし、リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、
ビット表で指定された値または初期値を書き込んでください。
W　：書き込みが可能なビットまたはフィールドです。
ただし、読み出すときの値は、ビット表に記載してある場合以外は保証されません。

（5）説明
ビットを設定することで可能となる機能について説明しています。



【注】　上記した図中のビット名や文章は例であり、本マニュアルの内容とは関係がありません。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要 1-1

1.1 SH72533の特長 1-1
1.2 ブロック図 1-8
1.3 端子説明 1-9
1.3.1 ピン配置 1-9
1.3.2 端子機能 1-10
1.3.3 端子一覧 1-15

2. CPU 2-1

2.1 データフォーマット 2-1
2.2 レジスタ構成 2-1
2.2.1 汎用レジスタ 2-1
2.2.2 コントロールレジスタ 2-2
2.2.3 システムレジスタ 2-4
2.2.4 浮動小数点レジスタ 2-5
2.2.5 浮動小数点システムレジスタ 2-6
2.2.6 レジスタバンク 2-7
2.2.7 レジスタの初期値 2-8
2.3 データ形式 2-9
2.3.1 レジスタのデータ形式 2-9
2.3.2 メモリのデータ形式 2-9
2.3.3 イミディエイトデータのデータ形式 2-10
2.4 命令の特長 2-11
2.4.1 RISC 方式 2-11
2.4.2 アドレッシングモード 2-15
2.4.3 命令形式 2-19
2.5 命令セット 2-23
2.5.1 分類順命令セット 2-23
2.5.2 データ転送命令 2-28
2.5.3 算術演算命令 2-31
2.5.4 論理演算命令 2-33
2.5.5 シフト命令 2-34
2.5.6 分岐命令 2-35
2.5.7 システム制御命令 2-36
2.5.8 浮動小数点演算命令 2-37

2.5.9 FPU に関する CPU 命令 2-39
2.5.10 ビット操作命令 2-39
2.6 処理状態 2-41

3. 動作モード 3-1

3.1 動作モードの種類と選択 3-1

4. クロック発振器（CPG） 4-1

4.1 概要 4-1
4.2 入出力端子 4-2
4.3 周波数範囲とクロック選択 4-3
4.4 クロックソース 4-4
4.4.1 水晶発振子の接続方法 4-4
4.4.2 外部クロックの入力方法 4-5
4.5 使用上の注意事項 4-6
4.5.1 ボード設計上の注意 4-6
4.5.2 PLL 発振器用電源接続時の注意 4-6

5. アドレス空間 5-1

6. リセット 6-1

6.1 リセット動作 6-1
6.1.1 電源投入時のリセット 6-2
6.1.2 動作中のリセット 6-2
6.1.3 リセット時の内蔵 RAM データ保持 6-2
6.2 リセット解除時の内部状態 6-3

7. 例外処理 7-1

7.1 概要 7-1
7.1.1 例外処理の種類と優先順位 7-1
7.1.2 例外処理の動作 7-2
7.1.3 例外処理ベクタテーブル 7-4
7.2 リセット 7-6
7.2.1 リセットの種類 7-6
7.2.2 パワーオンリセット 7-6
7.3 アドレスエラー 7-8
7.3.1 アドレスエラー発生要因 7-8
7.3.2 アドレスエラー例外処理 7-9
7.4 レジスタバンクエラー 7-10
7.4.1 レジスタバンクエラー発生要因 7-10
7.4.2 レジスタバンクエラー例外処理 7-10

7.5 割り込み 7-11
7.5.1 割り込み要因 7-11
7.5.2 割り込み優先順位 7-12
7.5.3 割り込み例外処理 7-13
7.6 命令による例外 7-14
7.6.1 命令による例外の種類 7-14
7.6.2 トラップ命令 7-14
7.6.3 スロット不当命令 7-15
7.6.4 一般不当命令 7-15
7.6.5 整数除算例外 7-15
7.6.6 FPU 例外 7-16
7.7 例外処理が受け付けられない場合 7-17
7.8 例外処理後のスタックの状態 7-18
7.9 使用上の注意事項 7-19
7.9.1 スタックポインタ（SP）の値 7-19
7.9.2 ベクタベースレジスタ（VBR）の値 7-19
7.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー 7-19

8. 割り込みコントローラ（INTC） 8-1

8.1 特長 8-1
8.2 入出力端子 8-3
8.3 レジスタの説明 8-4
8.3.1 割り込み優先レベル設定レジスタ 01～29（IPR01～IPR29） 8-6
8.3.2 割り込みコントロールレジスタ 0（ICR0） 8-8
8.3.3 割り込みコントロールレジスタ 1（ICR1） 8-9
8.3.4 IRQ 割り込み要求レジスタ（IRQRR） 8-10
8.3.5 バンクコントロールレジスタ（IBCR） 8-11
8.3.6 バンク番号レジスタ（IBNR） 8-12
8.3.7 ソフトウェア割り込みレジスタ 1～15（SINTR1～SINTR15） 8-13
8.4 割り込み要因 8-14
8.4.1 NMI 割り込み 8-14
8.4.2 ユーザブレーク割り込み 8-14
8.4.3 IRQ 割り込み 8-14
8.4.4 メモリエラー割り込み 8-15
8.4.5 ソフトウェア割り込み（SINT） 8-15
8.4.6 内蔵周辺モジュール割り込み 8-15
8.5 割り込み例外処理ベクタテーブルと優先順位 8-16
8.6 動作説明 8-25
8.6.1 割り込み動作の流れ 8-25
8.6.2 割り込み例外処理終了後のスタックの状態 8-27
8.7 割り込み応答時間 8-28

8.8 レジスタバンク 8-33
8.8.1 バンクの対象レジスタと入出力方式 8-33
8.8.2 バンク退避、復帰の動作 8-34
8.8.3 すべてのバンクに退避が行われた状態での退避、復帰 8-36
8.8.4 レジスタバンクの例外 8-37
8.8.5 レジスタバンクエラー例外処理 8-37
8.9 割り込み要求信号によるデータ転送 8-38
8.9.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合 8-39
8.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合 8-39
8.9.3 割り込み要求信号を A-DMAC の起動要因とし、CPU の割り込み要因としない場合 8-40
8.10 使用上の注意事項 8-41
8.10.1 割り込み要因クリアのタイミング 8-41

9. ユーザブレークコントローラ（UBC） 9-1

9.1 特長 9-1
9.2 レジスタの説明 9-3
9.2.1 ブレークアドレスレジスタ_0（BAR_0） 9-3
9.2.2 ブレークアドレスマスクレジスタ_0（BAMR_0） 9-4
9.2.3 ブレークバスサイクルレジスタ_0（BBR_0） 9-5
9.2.4 ブレークアドレスレジスタ_1（BAR_1） 9-7
9.2.5 ブレークアドレスマスクレジスタ_1（BAMR_1） 9-8
9.2.6 ブレークバスサイクルレジスタ_1（BBR_1） 9-9
9.2.7 ブレークアドレスレジスタ_2（BAR_2） 9-10
9.2.8 ブレークアドレスマスクレジスタ_2（BAMR_2） 9-11
9.2.9 ブレークバスサイクルレジスタ_2（BBR_2） 9-12
9.2.10 ブレークアドレスレジスタ_3（BAR_3） 9-14
9.2.11 ブレークアドレスマスクレジスタ_3（BAMR_3） 9-15
9.2.12 ブレークバスサイクルレジスタ_3（BBR_3） 9-16
9.2.13 ブレークコントロールレジスタ（BRCR） 9-18
9.3 動作説明 9-21
9.3.1 ユーザブレーク動作の流れ 9-21
9.3.2 命令フェッチサイクルでのブレーク 9-22
9.3.3 データアクセスサイクルでのブレーク 9-23
9.3.4 退避されるプログラムカウンタの値 9-24
9.3.5 使用例 9-24
9.4 使用上の注意事項 9-27

10. ダイレクトメモリアクセスコントローラ（DMAC） 10-1

10.1 特長 10-1
10.2 レジスタの説明 10-4
10.2.1 DMA ソースアドレスレジスタ 0～7（SAR0～SAR7） 10-8

10.2.2 DMA デスティネーションアドレスレジスタ 0～7（DAR0～DAR7） 10-9
10.2.3 DMA トランスファカウントレジスタ 0～7（DMATCR0～DMATCR7） 10-9
10.2.4 DMA チャネルコントロールレジスタ 0～7（CHCR0～CHCR7） 10-10
10.2.5 DMA チャネルフラグビットレジスタ 0～7（CHFR0～CHFR7） 10-14
10.2.6 DMA TE フラグマスク設定レジスタ（TEMSK0～TEMSK7） 10-16
10.2.7 DMA リロードソースアドレスレジスタ 0～7（RSAR0～RSAR7） 10-18
10.2.8 DMA リロードデスティネーションアドレスレジスタ 0～7（RDAR0～RDAR7） 10-19
10.2.9 DMA リロードトランスファカウントレジスタ 0～7（RDMATCR0～RDMATCR7） 10-20
10.2.10 DMA アドレスリロードカウントレジスタ 4～7（ARCR4～ARCR7） 10-21
10.2.11 DMA リロードアドレスリロードカウントレジスタ 4～7（RARCR4～RARCR7） 10-21
10.2.12 DMA オペレーションレジスタ（DMAOR） 10-22
10.2.13 DMA オペレーションフラグビットレジスタ（DMAFR） 10-24
10.2.14 DMA 拡張リソースセレクタ 0～3（DMARS0～DMARS3） 10-26
10.3 動作説明 10-29
10.3.1 転送フロー 10-29
10.3.2 DMA 転送要求 10-32
10.3.3 チャネルの優先順位 10-35
10.3.4 DMA 転送の種類 10-38
10.4 特別な動作について 10-44
10.4.1 アドレスエラー発生時の動作 10-44
10.4.2 NMI 時の動作 10-44
10.4.3 リロード機能 1 の動作 10-44
10.4.4 リロード機能 2 の動作 10-44
10.4.5 内蔵周辺モジュールとのインタフェース 10-45
10.4.6 Integer→Floating-point 変換の動作 10-45
10.5 使用上の注意 10-48

11. 専用ダイレクトメモリアクセスコントローラ（A-DMAC） 11-1

11.1 特長 11-1
11.1.1 入出力端子 11-4
11.2 レジスタの説明 11-5
11.2.1 A-DMAC オペレーションレジスタ（ADMAOR） 11-8
11.2.2 A-DMAC エイリアスベースレジスタ（ADMAABR） 11-8
11.2.3 A-DMAC 割り込みコントロールレジスタ（ADMAIE） 11-9
11.2.4 A-DMAC データ有効レジスタ（ADMADV） 11-10
11.2.5 A-DMAC トランスファエンドレジスタ（ADMATE） 11-11
11.2.6 A-DMAC イネーブルレジスタ（ADMADE） 11-12
11.2.7 A-DMAC 転送モードレジスタ（ADMAMODE） 11-13
11.2.8 A-DMAC 転送カウントレジスタ（ADMATCR） 11-14
11.2.9 A-DMAC エイリアスポインタレジスタ（ADMAAR） 11-14
11.2.10 A-DMAC リロード転送カウントレジスタ（ADMARTCR） 11-15

11.2.11 A-DMAC リロードエイリアスポインタレジスタ（ADMARAR） 11-15
11.2.12 A-DMAC バッファレジスタ（ADMABUF） 11-15
11.2.13 A-DMAC 受信待ちレジスタ（ADMARVPR） 11-16
11.2.14 A-DMAC 送信待ちレジスタ（ADMATVPR） 11-17
11.3 動作説明 11-18
11.3.1 エイリアス領域 11-18
11.3.2 各チャネルの動作 11-19
11.3.3 転送の中断と再開 11-34
11.3.4 A-DMAC によるデータ転送でのバス動作 11-34
11.3.5 チャネルの優先順位 11-39
11.3.6 転送許可／禁止の条件と割り込み要求 11-39
11.4 使用上の注意 11-41

12. アドバンストタイマユニット-III（ATU-III） 12-1

12.1 特長 12-1
12.2 各レジスタのアドレス空間 12-5
12.3 入出力端子 12-20
12.4 共通制御部の概要 12-21
12.4.1 クロックバス 12-21
12.5 共通制御部のレジスタの説明 12-22
12.5.1 ATU-III マスタイネーブルレジスタ（ATUENR） 12-22
12.5.2 クロックバスコントロールレジスタ（CBCNT） 12-25
12.5.3 ノイズキャンセルモードレジスタ（NCMR） 12-26
12.6 プリスケーラの概要 12-29
12.7 プリスケーラのレジスタの説明 12-30
12.7.1 プリスケーラレジスタ 0～3（PSCR0～3） 12-30
12.8 プリスケーラの動作説明 12-31
12.8.1 動作の開始 12-31
12.8.2 動作の停止と再開 12-31
12.9 タイマAの概要 12-32
12.9.1 ブロック図 12-33
12.10 タイマAのレジスタの説明 12-34
12.10.1 タイマコントロールレジスタ A（TCRA） 12-34
12.10.2 タイマ I/O コントロールレジスタ 1A（TIOR1A） 12-36
12.10.3 タイマ I/O コントロールレジスタ 2A（TIOR2A） 12-37
12.10.4 タイマステータスレジスタ A（TSRA） 12-39
12.10.5 タイマインタラプトイネーブルレジスタ A（TIERA） 12-41
12.10.6 インプットキャプチャレジスタ A0～3（ICRA0～3） 12-42
12.10.7 フリーランニングカウンタ A（TCNTA） 12-43
12.10.8 ノイズキャンセルカウンタ A0～3（NCNTA0～3） 12-44
12.10.9 ノイズキャンセルレジスタ A0～3（NCRA0～3） 12-45

12.11 タイマAの動作説明 12-46
12.11.1 ノイズキャンセル動作 12-46
12.11.2 フリーランニング動作 12-49
12.11.3 インプットキャプチャ動作 12-50
12.11.4 DMA 転送 12-51
12.12 タイマBの概要 12-52
12.12.1 ブロック図 12-53
12.13 タイマBのレジスタの説明 12-54
12.13.1 タイマコントロールレジスタ B（TCRB） 12-54
12.13.2 タイマ I/O コントロールレジスタ B（TIORB） 12-55
12.13.3 タイマステータスレジスタ B（TSRB） 12-57
12.13.4 タイマインタラプトイネーブルレジスタ B（TIERB） 12-59
12.13.5 入力エッジ間計測カウンタ B0（TCNTB0） 12-61
12.13.6 インプットキャプチャレジスタ B0（ICRB0） 12-62
12.13.7 アウトプットコンペアレジスタ B0（OCRB0） 12-62
12.13.8 イベントカウンタ B1（TCNTB1） 12-63
12.13.9 アウトプットコンペアレジスタ B1（OCRB1） 12-63
12.13.10 インプットキャプチャレジスタ B1（ICRB1） 12-64
12.13.11 インプットキャプチャレジスタ B2（ICRB2） 12-64
12.13.12 ロードレジスタ B（LDB） 12-65
12.13.13 リロードレジスタ B（RLDB） 12-66
12.13.14 リロードカウンタ B2（TCNTB2） 12-67
12.13.15 パルスインターバルマルチプライヤレジスタ（PIMR） 12-68
12.13.16 倍周クロックカウンタ B6（TCNTB6） 12-69
12.13.17 アウトプットコンペアレジスタ B6（OCRB6） 12-70
12.13.18 アウトプットコンペアレジスタ B7（OCRB7） 12-71
12.13.19 補正イベントカウンタ B3（TCNTB3） 12-72
12.13.20 倍周補正クロックカウンタ B4（TCNTB4） 12-73
12.13.21 倍周補正クロック生成カウンタ B5（TCNTB5） 12-74
12.13.22 補正カウンタクリアレジスタ B（TCCLRB） 12-75
12.14 タイマBの動作説明 12-76
12.14.1 エッジ間計測機能およびエッジ入力停止検出機能 12-76
12.14.2 倍周クロック生成機能 12-78
12.14.3 倍周クロック補正機能 12-82
12.15 タイマCの概要 12-87
12.15.1 ブロック図 12-88
12.16 タイマCのレジスタの説明 12-89
12.16.1 タイマスタートレジスタ C（TSTRC） 12-89
12.16.2 ノイズキャンセラコントロールレジスタ C0～4（NCCRC0～4） 12-90
12.16.3 タイマコントロールレジスタ C0～4（TCRC0～4） 12-91
12.16.4 タイマステータスレジスタ C0～4（TSRC0～4） 12-93

12.16.5 タイマインタラプトイネーブルレジスタ C0～4（TIERC0～4） 12-95
12.16.6 タイマ I/O コントロールレジスタ C0～4（TIORC0～4） 12-96
12.16.7 タイマカウンタ C0～4（TCNTC0～4） 12-98
12.16.8 汎用レジスタ C00～43（GRC00～43） 12-98
12.16.9 ノイズキャンセルカウンタ C00～43（NCNTC00～43） 12-99
12.16.10 ノイズキャンセルレジスタ C00～43（NCRC00～43） 12-101
12.17 タイマCの動作説明 12-102
12.17.1 インプットキャプチャ機能 12-102
12.17.2 コンペアマッチ機能 12-104
12.17.3 PWM 機能 12-106
12.18 タイマDの概要 12-107
12.18.1 ブロック図 12-108
12.19 タイマDのレジスタの説明 12-109
12.19.1 タイマスタートレジスタ（TSTRD） 12-109
12.19.2 タイマコントロールレジスタ D0～3（TCRD0～3） 12-110
12.19.3 タイマ I/O コントロールレジスタ 1D0～3（TIOR1D0～3） 12-113
12.19.4 タイマ I/O コントロールレジスタ 2D0～3（TIOR2D0～3） 12-115
12.19.5 ダウンカウントスタートレジスタ D0～3（DSTRD0～3） 12-117
12.19.6 ダウンカウントステータスレジスタ D0～3（DSRD0～3） 12-118
12.19.7 ダウンカウンタコントロールレジスタ D0～3（DCRD0～3） 12-119
12.19.8 タイマステータスレジスタ D0～3（TSRD0～3） 12-121
12.19.9 タイマインタラプトイネーブルレジスタ D0～3（TIERD0～3） 12-125
12.19.10 コンペアマッチパルス出力コントロールレジスタ D0、1（CMPOD0、CMPOD1） 12-126
12.19.11 タイマアウトプットコントロールレジスタ D0～3（TOCRD0～TOCRD3） 12-127
12.19.12 タイマオフセットベースレジスタ D0～3（OSBRD0～3） 12-128
12.19.13 タイマカウンタ 1D0～3（TCNT1D0～3） 12-128
12.19.14 タイマカウンタ 2D0～3（TCNT2D0～3） 12-129
12.19.15 アウトプットコンペアレジスタ D00～33（OCRD00～33） 12-130
12.19.16 汎用レジスタ D00～33（GRD00～33） 12-131
12.19.17 タイマダウンカウンタ D00～33（DCNTD00～33） 12-132
12.20 タイマDの動作説明 12-133
12.21 タイマEの概要 12-139
12.21.1 ブロック図 12-140
12.22 タイマEのレジスタの説明 12-142
12.22.1 タイマスタートレジスタ E（TSTRE） 12-142
12.22.2 サブブロックスタートレジスタ E0～4（SSTRE0～4） 12-143
12.22.3 プリスケーラレジスタ E0～4（PSCRE0～4） 12-144
12.22.4 タイマコントロールレジスタ E0～4（TCRE0～4） 12-145
12.22.5 リロードコントロールレジスタ E0～4（RLDCRE0～4） 12-146
12.22.6 出力遮断コントロールレジスタ E0～4（POECRE0～4） 12-146
12.22.7 出力遮断レベル設定レジスタ E0～4（SOLVLE0～4） 12-147

12.22.8　タイマステータスレジスタ E0～4（TSRE0～4）..... 12-148
12.22.9　タイマインタラプトイネーブルレジスタ E0～4（TIERE0～4）..... 12-150
12.22.10　タイマアウトプットコントロールレジスタ E0～4（TOCRE0～4）..... 12-151
12.22.11　タイマカウンタ E00～43（TCNTE00～43）..... 12-152
12.22.12　サイクルレジスタ E00～43（CYLRE00～43）..... 12-153
12.22.13　デューティレジスタ E00～43（DTRE00～43）..... 12-154
12.22.14　サイクルリロードレジスタ E00～43（CRLDE00～43）..... 12-154
12.22.15　デューティリロードレジスタ E00～43（DRLDE00～43）..... 12-155
12.23　タイマEの動作説明..... 12-156
12.24　タイマFの概要..... 12-161
12.24.1　ブロック図..... 12-162
12.24.2　割り込み..... 12-163
12.25　タイマFのレジスタの説明..... 12-164
12.25.1　タイマスタートレジスタ F（TSTRF）..... 12-164
12.25.2　ノイズキャンセラコントロールレジスタ F（NCCRF）..... 12-165
12.25.3　タイマコントロールレジスタ F0～19（TCRF0～19）..... 12-167
12.25.4　タイマインタラプトイネーブルレジスタ F0～19（TIERF0～19）..... 12-169
12.25.5　タイマステータスレジスタ F0～19（TSRF0～19）..... 12-170
12.25.6　時間計測カウンタ AF0～19（ECNTAF0～19）..... 12-172
12.25.7　イベントカウンタ F0～19（ECNTBF0～19）..... 12-173
12.25.8　時間計測カウンタ CF0～19（ECNTCF0～19）..... 12-174
12.25.9　汎用レジスタ AF0～19（GRAF0～19）..... 12-175
12.25.10　汎用レジスタ BF0～19（GRBF0～19）..... 12-176
12.25.11　汎用レジスタ CF0～19（GRCF0～19）..... 12-177
12.25.12　汎用レジスタ DF12～15（GRDF12～15）..... 12-178
12.25.13　キャプチャ出力レジスタ F0～19（CDRF0～19）..... 12-179
12.25.14　ノイズキャンセルカウンタ FA0～19（NCNTFA0～19）..... 12-180
12.25.15　ノイズキャンセルカウンタ FB0～2（NCNTFB0～2）..... 12-181
12.25.16　ノイズキャンセルレジスタ FA0～19（NCRFA0～19）..... 12-183
12.25.17　ノイズキャンセルレジスタ FB0～2（NCRFB0～2）..... 12-184
12.26　タイマFの動作説明..... 12-185
12.26.1　一定時間内エッジカウント..... 12-185
12.26.2　有効エッジ入力間隔計測..... 12-187
12.26.3　入力ハイ／ローレベル期間計測..... 12-189
12.26.4　PWM 入力波形計測..... 12-191
12.26.5　回転速度／パルス計測..... 12-193
12.26.6　アップ／ダウンイベントカウント..... 12-195
12.26.7　4 逓倍イベントカウント..... 12-197
12.26.8　オーバフロー／アンダフロー..... 12-199
12.27　タイマGの概要..... 12-200
12.27.1　ブロック図..... 12-200

12.27.2 割り込み 12-200
12.28 タイマGのレジスタの説明 12-201
12.28.1 タイマスタートレジスタ G（TSTRG） 12-201
12.28.2 タイマコントロールレジスタ G0～5（TCRG0～5） 12-202
12.28.3 タイマステータスレジスタ G0～5（TSRG0～5） 12-203
12.28.4 タイマカウンタ G0～5（TCNTG0～5） 12-204
12.28.5 コンペアマッチレジスタ G0～5（OCRG0～5） 12-204
12.29 タイマGの動作説明 12-205
12.30 タイマHの概要 12-206
12.30.1 ブロック図 12-206
12.30.2 割り込み 12-206
12.31 タイマHのレジスタの説明 12-207
12.31.1 タイマコントロールレジスタ H（TCRH） 12-207
12.31.2 タイマステータスレジスタ H（TSRH） 12-208
12.31.3 タイマカウンタ 1H（TCNT1H） 12-210
12.31.4 コンペアマッチレジスタ 1H（OCR1H） 12-211
12.31.5 タイマカウンタ 2H（TCNT2H） 12-212
12.32 タイマHの動作説明 12-213
12.33 タイマJの概要 12-214
12.33.1 ブロック図 12-214
12.34 タイマJのレジスタの説明 12-215
12.34.1 タイマスタートレジスタ J（TSTRJ） 12-215
12.34.2 タイマコントロールレジスタ J0、1（TCRJ0、1） 12-216
12.34.3 FIFO コントロールレジスタ J0、1（FCRJ0、1） 12-219
12.34.4 タイマステータスレジスタ J0、1（TSRJ0、1） 12-220
12.34.5 タイマインタラプトイネーブルレジスタ J0、1（TIERJ0、1） 12-224
12.34.6 タイマカウンタ J0、1（TCNTJ0、1） 12-225
12.34.7 コンペアマッチレジスタ J0、1（OCRJ0、1） 12-225
12.34.8 FIFO レジスタ J0、1（FIFOJ0、1） 12-226
12.34.9 FIFO データ数レジスタ J0、1（FDNRJ0、1） 12-227
12.34.10 ノイズキャンセルカウンタ J0、1（NCNTJ0、1） 12-227
12.34.11 ノイズキャンセルレジスタ 0、1（NCRJ0、1） 12-229
12.35 タイマJの動作説明 12-230
12.36 使用上の注意事項 12-233
12.36.1 インプットキャプチャ競合動作 12-233
12.36.2 コンペアマッチ競合動作 12-237
12.36.3 ロード／リロード競合動作 12-247
12.36.4 カウンタ競合動作 12-249
12.36.5 ノイズキャンセラ競合動作 12-254
12.36.6 ダウンカウンタ D の競合 12-256
12.36.7 タイマ B とタイマ D の競合 12-260

12.36.8 コンペアマッチ動作仕様の混在 12-263

13. ウォッチドッグタイマ（WDT） 13-1

13.1 特長 13-1
13.2 入出力端子 13-2
13.3 レジスタの説明 13-3
13.3.1 ウォッチドッグタイマコントロールレジスタ（WTCR） 13-3
13.3.2 ウォッチドッグタイマカウンタ（WTCNT） 13-5
13.3.3 ウォッチドッグタイマステータスレジスタ（WTSR） 13-6
13.3.4 ウォッチドッグリセットコントロールレジスタ（WRCR） 13-7
13.3.5 レジスタアクセス時の注意 13-9
13.4 WDTの使用方法 13-10
13.4.1 ウォッチドッグタイマモードの使用法 13-10
13.4.2 インターバルタイマモードの使用法 13-11
13.5 使用上の注意事項 13-12
13.5.1 タイマ誤差 13-12
13.5.2 分周比の変更 13-12
13.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え 13-12
13.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット 13-12

14. コンペアマッチタイマ（CMT） 14-1

14.1 特長 14-1
14.2 レジスタの説明 14-2
14.2.1 コンペアマッチタイマスタートレジスタ（CMSTR） 14-3
14.2.2 コンペアマッチタイマコントロールレジスタ（CMCR） 14-4
14.2.3 コンペアマッチタイマステータスレジスタ（CMSR） 14-5
14.2.4 コンペアマッチカウンタ（CMCNT） 14-6
14.2.5 コンペアマッチコンスタントレジスタ（CMCOR） 14-6
14.3 動作説明 14-7
14.3.1 期間カウント動作 14-7
14.3.2 CMCNT カウントタイミング 14-7
14.4 割り込み 14-8
14.4.1 割り込み要因と DMA 転送要求 14-8
14.4.2 コンペアマッチフラグのセットタイミング 14-8
14.4.3 コンペアマッチフラグのクリアタイミング 14-9
14.5 使用上の注意事項 14-10
14.5.1 CMCNT の書き込みとコンペアマッチの競合 14-10
14.5.2 CMCNT のワード書き込みとカウントアップの競合 14-10
14.5.3 CPU によるコンペアマッチフラグのクリアとセットの競合 14-11

15. シリアルコミュニケーションインタフェース（SCI）.....15-1
15.1 特長.....15-1
15.2 入出力端子.....15-4
15.3 レジスタの説明.....15-5
15.3.1 レシーブシフトレジスタ（SCRSR1）.....15-6
15.3.2 レシーブデータレジスタ（SCRDR1）.....15-6
15.3.3 トランスミットシフトレジスタ（SCTSR1）.....15-6
15.3.4 トランスミットデータレジスタ（SCTDR1）.....15-7
15.3.5 シリアルモードレジスタ（SCSMR1）.....15-7
15.3.6 シリアルコントロールレジスタ（SCSCR1）.....15-9
15.3.7 シリアルステータスレジスタ（SCSSR1）.....15-12
15.3.8 ビットレートレジスタ（SCBRR1）.....15-16
15.4 動作説明.....15-21
15.4.1 概要.....15-21
15.4.2 調歩同期式モード時の動作.....15-23
15.4.3 クロック同期式モード時の動作.....15-31
15.5 SCIの割り込み要因とA-DMAC.....15-40
15.6 使用上の注意事項.....15-41
15.6.1 SCTDR1 への書き込みと TDRE フラグの関係について.....15-41
15.6.2 複数の受信エラーが同時に発生した場合の動作について.....15-41
15.6.3 ブレークの検出と処理について.....15-42
15.6.4 ブレークの送り出し.....15-42
15.6.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン.....15-42
15.6.6 A-DMAC 使用上の注意事項.....15-43
15.6.7 クロック同期外部クロックモード時の注意事項.....15-44
15.6.8 A-DMAC 使用時の注意事項.....15-44
15.6.9 シリアルポート.....15-44
15.6.10 クロック同期式モードにおける SCK 出力、受信のみでの使用時の注意事項.....15-44

16. ルネサスシリアルペリフェラルインタフェース（RSPI）.....16-1
16.1 特長.....16-1
16.2 入出力端子.....16-4
16.3 レジスタの説明.....16-5
16.3.1 RSPI 制御レジスタ（SPCR）.....16-7
16.3.2 RSPI スレーブセレクト極性レジスタ（SSLP）.....16-9
16.3.3 RSPI 端子制御レジスタ（SPPCR）.....16-10
16.3.4 RSPI ステータスレジスタ（SPSR）.....16-11
16.3.5 RSPI データレジスタ（SPDR）.....16-13
16.3.6 RSPI シーケンス制御レジスタ（SPSCR）.....16-14
16.3.7 RSPI シーケンスステータスレジスタ（SPSSR）.....16-15

16.3.8 RSPI ビットレートレジスタ（SPBR） 16-17
16.3.9 RSPCK 遅延レジスタ（SPCKD） 16-18
16.3.10 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND） 16-19
16.3.11 RSPI 次アクセス遅延レジスタ（SPND） 16-20
16.3.12 RSPI コマンドレジスタ（SPCMD） 16-21
16.4 動作説明 16-25
16.4.1 RSPI 動作の概要 16-25
16.4.2 RSPI 端子の制御 16-27
16.4.3 RSPI システム構成例 16-28
16.4.4 転送フォーマット 16-34
16.4.5 データフォーマット 16-36
16.4.6 送信バッファエンプティ／受信バッファフルフラグ 16-40
16.4.7 エラー検出 16-42
16.4.8 RSPI の初期化 16-45
16.4.9 マスタモード動作 16-46
16.4.10 スレーブモード動作 16-53
16.4.11 ループバックモード 16-57

17. コントローラエリアネットワーク（RCAN-TL1） 17-1

17.1 特長 17-1
17.1.1 RCAN-TL1 の特長 17-1
17.1.2 本マイコンにおける特長 17-2
17.2 構成 17-3
17.2.1 ブロック図 17-3
17.2.2 各ブロックの機能 17-5
17.2.3 端子構成 17-6
17.2.4 メモリマップ 17-7
17.3 メールボックス 17-8
17.3.1 メールボックスの構成 17-8
17.3.2 メッセージコントロールフィールド 17-13
17.3.3 ローカルアクセプタンスフィルタマスク（LAFM） 17-18
17.3.4 メッセージデータフィールド 17-19
17.3.5 タイムスタンプ 17-20
17.3.6 送信トリガタイム（TTT）とタイムトリガコントロール 17-21
17.4 RCAN-TL1のコントロールレジスタ 17-25
17.4.1 マスタコントロールレジスタ（MCR） 17-25
17.4.2 ジェネラルステータスレジスタ（GSR） 17-31
17.4.3 ビットコンフィギュレーションレジスタ 0、1（BCR0、BCR1） 17-33
17.4.4 インタラプトリクエストレジスタ（IRR） 17-37
17.4.5 メッセージバッファエラーステータスレジスタ（MBESR） 17-44
17.4.6 インタラプトマスクレジスタ（IMR） 17-44

17.4.7 メッセージバッファエラーコントロールレジスタ（MBECR） 17-45
17.4.8 送信エラーカウンタ（TEC）／受信エラーカウンタ（REC） 17-46
17.5 RCAN-TL1のメールボックスレジスタ 17-47
17.5.1 送信待ちレジスタ 1、0（TXPR1、TXPR0） 17-48
17.5.2 送信キャンセルレジスタ 1、0（TXCR1、TXCR0） 17-51
17.5.3 送信アクノリッジレジスタ 1、0（TXACK1、TXACK0） 17-52
17.5.4 アボートアクノリッジレジスタ 1、0（ABACK1、ABACK0） 17-53
17.5.5 データフレーム受信完了レジスタ 1、0（RXPR1、RXPR0） 17-54
17.5.6 リモートフレーム受信完了レジスタ 1、0（RFPR1、RFPR0） 17-55
17.5.7 メールボックスインタラプトマスクレジスタ 1、0（MBIMR1、MBIMR0） 17-56
17.5.8 未読メッセージステータスレジスタ 1、0（UMSR1、UMSR0） 17-57
17.6 タイマレジスタ 17-58
17.6.1 タイムトリガコントロールレジスタ 0（TTCR0） 17-59
17.6.2 サイクルマキシマム／Tx_Enable_Window レジスタ（CMAX_TEW） 17-61
17.6.3 リファレンストリガオフセットレジスタ（RFTROFF） 17-62
17.6.4 タイマステータスレジスタ（TSR） 17-63
17.6.5 サイクルカウンタレジスタ（CCR） 17-65
17.6.6 タイマカウンタレジスタ（TCNTR） 17-66
17.6.7 サイクルタイムレジスタ（CYCTR） 17-67
17.6.8 リファレンスマークレジスタ（RFMK） 17-67
17.6.9 タイマコンペアマッチレジスタ 0～2（TCMR0～2） 17-67
17.6.10 送信トリガタイムセレクトレジスタ（TTTSEL） 17-69
17.7 動作説明 17-71
17.7.1 RCAN-TL1 の設定 17-71
17.7.2 テストモードの設定 17-77
17.7.3 メッセージ送信シーケンス 17-79
17.7.4 メッセージ受信シーケンス 17-91
17.7.5 メールボックスの再設定 17-93
17.8 パリティ検出 17-95
17.9 割り込み要因 17-96
17.10 DMACインタフェース 17-97
17.11 CANバスインタフェース 17-98
17.12 A-DMACインタフェース 17-98
17.13 RCAN-TL1端子ポート設定 17-99
17.14 使用上の注意事項 17-101
17.14.1 1 チャネル 64 メールボックスでのポート設定についての注意事項 17-101

18. A/D 変換器（ADC） 18-1

18.1 特長 18-1
18.2 入出力端子 18-4
18.3 チャネル別割り当て機能一覧表 18-6

18.4 レジスタの説明 18-7
18.4.1 A/D データレジスタ 0～22、40～48、Diag0、Diag1（ADR0～22、40～48、ADRD0、1） 18-9
18.4.2 A/D コントロールレジスタ 0、1（ADCSR0、1） 18-12
18.4.3 A/D コントロール拡張レジスタ 0、1（ADCER0、1） 18-14
18.4.4 A/D チャネル選択レジスタ 0、1、3（ADANS0、1、3） 18-16
18.4.5 A/D 変換ステータスレジスタ 0、1（ADREF0、1） 18-18
18.4.6 A/D 変換値加算モード選択レジスタ 0、1（ADADS0、1） 18-20
18.4.7 A/D 変換値加算回数選択レジスタ 0、1（ADADC0、1） 18-22
18.4.8 A/D 割り込みトリガイネーブルレジスタ 0、1（ADTRE0、1） 18-23
18.4.9 A/D 割り込みトリガソース選択レジスタ 0、1（ADTRS0、1） 18-25
18.4.10 A/D 割り込みソフトトリガレジスタ 0、1（ADSTRG0、1） 18-27
18.4.11 A/D 割り込みトリガ処理終了フラグレジスタ 0、1（ADTRF0、1） 18-29
18.4.12 A/D 割り込みトリガ処理終了割り込みイネーブルレジスタ 0、1（ADTRD0、1） 18-31
18.4.13 CPU とのインタフェース 18-32
18.5 動作説明 18-33
18.5.1 スキャン変換動作 18-33
18.5.2 1 サイクルスキャンモード 18-33
18.5.3 連続スキャンモード 18-35
18.5.4 割り込み変換 18-37
18.5.5 割り込み変換の動作例 18-38
18.5.6 スキャン変換中の割り込み変換 18-40
18.5.7 アナログ入力のサンプリングとスキャン変換時間 18-42
18.5.8 外部トリガによるスキャン変換の起動 18-44
18.5.9 ATU-III のタイマトリガによるスキャン変換の起動 18-44
18.5.10 ADEND_A、ADEND_B 出力端子によるモニタ機能 18-45
18.6 割り込み要因とDMA転送要求 18-46
18.6.1 スキャン変換終了時の割り込み要求 18-46
18.6.2 割り込み変換終了時の割り込み要求 18-46
18.7 A/D変換精度の定義 18-47
18.8 使用上の注意事項 18-48
18.8.1 アナログ入力電圧の範囲 18-48
18.8.2 AVcc、AVss と Vcc、Vss の関係 18-48
18.8.3 AVrefh、AVrefl 端子の設定範囲 18-48
18.8.4 ボード設計上の注意事項 18-48
18.8.5 アナログ入力端子とマルチプレクスされている汎用入力端子の使用上の注意事項 18-51
18.8.6 ADC_A と ADC_B を同時に動作させる場合の注意事項 18-51

19. JTAG インタフェース 19-1

19.1 特長 19-1
19.2 入出力端子 19-3
19.3 レジスタの説明 19-4

19.3.1 インストラクションレジスタ（SDIR） 19-5
19.3.2 ID レジスタ（SDID） 19-5
19.3.3 バイパスレジスタ（SDBPR） 19-5
19.3.4 バウンダリスキャンレジスタ（SDBSR） 19-5
19.4 動作説明 19-14
19.4.1 TAP コントローラ 19-14
19.4.2 サポートするコマンド 19-15
19.4.3 注意事項 19-16
19.5 使用上の注意事項 19-17

20. ピンファンクションコントローラ（PFC） 20-1

20.1 レジスタの説明 20-9
20.1.1 ポート A・IO レジスタ（PAIOR） 20-11
20.1.2 ポート A コントロールレジスタ 1～4（PACR1～PACR4） 20-11
20.1.3 ポート A コントロールレジスタ 1A～4A（PACR1A～PACR4A） 20-16
20.1.4 ポート B・IO レジスタ（PBIOR） 20-20
20.1.5 ポート B コントロールレジスタ 1～4（PBCR1～PBCR4） 20-20
20.1.6 ポート B コントロールレジスタ 2A～3A（PBCR2A～PBCR3A） 20-26
20.1.7 ポート C・IO レジスタ（PCIOR） 20-28
20.1.8 ポート C コントロールレジスタ 1～4（PCCR1～PCCR4） 20-28
20.1.9 ポート C コントロールレジスタ 1A～4A（PCCR1A～PCCR4A） 20-33
20.1.10 ポート F・IO レジスタ（PFIOR） 20-37
20.1.11 ポート F コントロールレジスタ 1、2（PFCR1、PFCR2） 20-38
20.1.12 ポート F コントロールレジスタ 1A～4A（PFCR1A～PFCR4A） 20-42
20.1.13 ポート G・IO レジスタ（PGIOR） 20-46
20.1.14 ポート G コントロールレジスタ 1、2（PGCR1、PGCR2） 20-47
20.1.15 ポート G コントロールレジスタ 1A～4A（PGCR1A～PGCR4A） 20-51
20.1.16 ポート J・IO レジスタ（PJIOR） 20-56
20.1.17 ポート J コントロールレジスタ 1、2（PJCR1、PJCR2） 20-57
20.1.18 ポート J コントロールレジスタ 1A～3A（PJCR1A～PJCR3A） 20-60
20.1.19 ポート S コントロールレジスタ 1～4（PSCR1～PSCR4） 20-63
20.1.20 ポート T コントロールレジスタ 1、2（PTCR1、PTCR2） 20-68

21. I/O ポート 21-1

21.1 概要 21-1
21.2 レジスタの説明 21-2
21.3 ポートA 21-3
21.3.1 ポート A データレジスタ（PADR） 21-4
21.3.2 ポート A ポートレジスタ（PAPR） 21-5
21.3.3 ポート A インバートレジスタ（PAIR） 21-6
21.4 ポートB 21-7

21.4.1 ポート B データレジスタ（PBDR） 21-8
21.4.2 ポート B ポートレジスタ（PBPR） 21-9
21.4.3 ポート B インバートレジスタ（PBIR） 21-10
21.4.4 ポート B ドライバビリティ設定レジスタ（PBDSR） 21-11
21.4.5 ポート B 端子状態設定レジスタ（PBPSR） 21-12
21.5 ポートC 21-13
21.5.1 ポート C データレジスタ（PCDR） 21-14
21.5.2 ポート C ポートレジスタ（PCPR） 21-15
21.5.3 ポート C インバートレジスタ（PCIR） 21-16
21.5.4 ポート C ドライバビリティ設定レジスタ(PCDSR) 21-17
21.6 ポートF 21-18
21.6.1 ポート F データレジスタ（PFDR） 21-19
21.6.2 ポート F ポートレジスタ（PFPR） 21-20
21.6.3 ポート F インバートレジスタ（PFIR） 21-21
21.6.4 ポート F ドライバビリティ設定レジスタ（PFDSR） 21-22
21.6.5 ポート F 端子状態設定レジスタ（PFPSR） 21-23
21.7 ポートG 21-24
21.7.1 ポート G データレジスタ（PGDR） 21-25
21.7.2 ポート G ポートレジスタ（PGPR） 21-27
21.7.3 ポート G インバートレジスタ（PGIR） 21-28
21.7.4 ポート G ドライバビリティ設定レジスタ（PGDSR） 21-29
21.7.5 ポート G エッジ選択レジスタ（PGER） 21-30
21.7.6 ポート G 端子状態設定レジスタ（PGPSR） 21-31
21.8 ポートJ 21-32
21.8.1 ポート J データレジスタ（PJDR） 21-33
21.8.2 ポート J ポートレジスタ（PJPR） 21-34
21.8.3 ポート J インバートレジスタ（PJIR） 21-35
21.8.4 ポート J ドライバビリティ設定レジスタ（PJDSR） 21-36
21.8.5 ポート J 端子状態設定レジスタ（PJPSR） 21-38
21.9 ポートS 21-39
21.9.1 ポート S ポートレジスタ（PSPR） 21-40
21.10 ポートT 21-41
21.10.1 ポート T ポートレジスタ（PTPR） 21-42
21.11 CKコントロールレジスタ（CKCR） 21-43
21.12 使用上の注意 21-44
21.12.1 リセット直後の状態に関する注意点 21-44
21.12.2 内部要因リセット時の入出力端子動作に関する注意点 21-44

22. マルチインプットシグネチャジェネレータ（MISG） 22-1

22.1 概要 22-1
22.2 レジスタの説明 22-2

22.2.1 カルキュレーションデータレジスタ（MISRCDR） 22-2
22.2.2 マルチインプットシグネチャレジスタ（MISR） 22-3
22.2.3 MISR コントロールレジスタ（MISRCR） 22-4

23. ROM 23-1

23.1 特長 23-1
23.2 入出力端子 23-4
23.3 レジスタの説明 23-5
23.3.1 フラッシュ端子モニタレジスタ（FPMON） 23-6
23.3.2 フラッシュモードレジスタ（FMODR） 23-7
23.3.3 フラッシュアクセスステータスレジスタ（FASTAT） 23-7
23.3.4 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT） 23-10
23.3.5 ROM マット選択レジスタ（ROMMAT） 23-11
23.3.6 FCU RAM イネーブルレジスタ（FCURAME） 23-12
23.3.7 フラッシュステータスレジスタ 0（FSTATR0） 23-13
23.3.8 フラッシュステータスレジスタ 1（FSTATR1） 23-15
23.3.9 FCU RAM ECC エラーコントロールレジスタ（FRAMECCR） 23-17
23.3.10 フラッシュ P/E モードエントリレジスタ（FENTRYR） 23-18
23.3.11 フラッシュプロテクトレジスタ（FPROTR） 23-21
23.3.12 フラッシュリセットレジスタ（FRESETR） 23-22
23.3.13 FCU コマンドレジスタ（FCMDR） 23-23
23.3.14 FCU 処理切り替えレジスタ（FCPSR） 23-24
23.3.15 フラッシュ P/E ステータスレジスタ（FPESTAT） 23-25
23.3.16 FCU ファーム領域選択レジスタ（FCUAREA） 23-26
23.4 ROM関連モード概要 23-27
23.5 ブートモード 23-29
23.5.1 システム構成 23-29
23.5.2 ブートモードの状態遷移 23-30
23.5.3 ビットレートの自動調整 23-32
23.5.4 問い合わせ設定ホストコマンド待ち状態 23-34
23.5.5 書き込み／消去ホストコマンド待ち状態 23-47
23.6 ユーザプログラムモード 23-56
23.6.1 FCU コマンド一覧 23-56
23.6.2 FCU コマンド受け付け条件 23-58
23.6.3 FCU コマンド使用方法 23-62
23.6.4 サスペンド動作 23-78
23.7 ユーザブートモード 23-81
23.7.1 ユーザブートモードの起動シーケンス 23-81
23.7.2 ユーザマットのプログラミング方法 23-82
23.8 プロテクト 23-83
23.8.1 ハードウェアプロテクト 23-83

23.8.2 ソフトウェアプロテクト 23-84
23.8.3 エラープロテクト 23-84
23.9 使用上の注意事項 23-87
23.9.1 ユーザマットとユーザブートマットの切り替え 23-87
23.9.2 その他のご注意 23-89

24. EEPROM 24-1

24.1 特長 24-1
24.2 入出力端子 24-5
24.3 レジスタの説明 24-6
24.3.1 フラッシュモードレジスタ（FMODR） 24-7
24.3.2 フラッシュアクセスステータスレジスタ（FASTAT） 24-8
24.3.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT） 24-11
24.3.4 EEPROM 読み出し許可レジスタ 0（EEPRE0） 24-13
24.3.5 EEPROM 書き込み／消去許可レジスタ 0（EEPWE0） 24-14
24.3.6 フラッシュ P/E モードエントリレジスタ（FENTRYR） 24-15
24.3.7 EEPROM ブランクチェック制御レジスタ（EEPBCCNT） 24-16
24.3.8 EEPROM ブランクチェックステータスレジスタ（EEPBCSTAT） 24-17
24.3.9 EEPROM マット選択レジスタ（EEPMAT） 24-18
24.4 EEPROM関連モード概要 24-19
24.5 ブートモード 24-21
24.5.1 問い合わせ設定ホストコマンド 24-21
24.5.2 書き込み／消去ホストコマンド 24-23
24.6 ユーザモード／ユーザプログラムモード／ユーザブートモード 24-25
24.6.1 FCU コマンド一覧 24-25
24.6.2 FCU コマンド受け付け条件 24-27
24.6.3 FCU コマンド使用方法 24-31
24.7 プロテクト 24-35
24.7.1 ハードウェアプロテクト 24-35
24.7.2 ソフトウェアプロテクト 24-35
24.7.3 エラープロテクト 24-36
24.8 製品情報マット 24-37
24.9 使用上の注意事項 24-38

25. ROM キャッシュ（ROMC） 25-1

25.1 特長 25-1
25.2 構成 25-1
25.3 レジスタの説明 25-3
25.3.1 ROM キャッシュ制御レジスタ（RCCR） 25-3
25.3.2 ROM キャッシュ制御レジスタ 2（RCCR2） 25-5
25.4 動作説明 25-8

25.4.1 データキャッシュの検索 25-8
25.4.2 命令キャッシュの検索 25-9
25.4.3 ハードウェアプリフェッチ 25-10
25.5 使用上の注意事項 25-10

26. RAM 26-1

26.1 特長 26-1
26.2 レジスタの説明 26-4
26.2.1 RAM イネーブルコントロールレジスタ（RAMEN） 26-4
26.2.2 RAM 書き込みイネーブルコントロールレジスタ（RAMWEN） 26-7
26.2.3 RAM ECC イネーブルコントロールレジスタ（RAMECC） 26-10
26.2.4 RAM エラーステータスレジスタ（RAMERR） 26-11
26.2.5 RAM エラー割り込みコントロールレジスタ（RAMINT） 26-13
26.2.6 RAM アクセスサイクル設定レジスタ（RAMACYC） 26-14
26.2.7 レジスタアクセス時の注意 26-16
26.3 動作説明 26-18
26.4 RAMのデータ保持 26-19
26.4.1 リセット時のデータ保持 26-19
26.4.2 ハードウェアスタンバイ時のデータ保持 26-19
26.5 使用上の注意事項 26-20
26.5.1 ページ競合 26-20
26.5.2 電源立ち上げ後の状態 26-20
26.5.3 RAM 書き込み無効設定時の書き込み動作 26-20

27. 低消費電力モード 27-1

27.1 特長 27-1
27.1.1 低消費電力モードの種類 27-1
27.2 入出力端子 27-3
27.3 レジスタの説明 27-3
27.3.1 スタンバイコントロールレジスタ（STBCR） 27-3
27.3.2 レジスタアクセス時の注意 27-5
27.4 動作説明 27-6
27.4.1 ハードウェアスタンバイモード 27-6
27.4.2 スリープモード 27-7
27.4.3 モジュールスタンバイ機能 27-8

28. 信頼性について 28-1

28.1 信頼性について 28-1

29. レジスター覧 29-1

29.1 レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順） 29-2

29.2 レジスタビット一覧 29-55
29.3 各動作モードにおけるレジスタの状態の一覧 29-133

30. 電気的特性 30-1

30.1 絶対最大定格 30-1
30.2 DC特性 30-3
30.3 AC特性 30-17
30.3.1 電源投入・切断タイミング 30-17
30.3.2 動作モードと発振タイミング 30-18
30.3.3 クロックタイミング 30-20
30.3.4 制御信号タイミング 30-22
30.3.5 アドバンストタイマユニットタイミング、アドバンストパルスコントローラタイミング 30-24
30.3.6 I/O ポートタイミング 30-26
30.3.7 ウォッチドッグタイマタイミング 30-27
30.3.8 シリアルコミュニケーションインタフェースタイミング 30-28
30.3.9 CAN タイミング 30-31
30.3.10 SPI タイミング 30-32
30.3.11 A/D 変換器タイミング 30-37
30.3.12 出力スルーレート 30-38
30.3.13 JTAG インタフェースタイミング 30-39
30.3.14 AC 特性測定条件 30-41
30.4 A/D変換器特性 30-42
30.5 フラッシュメモリ特性 30-43
30.6 EEPROM特性 30-45
30.7 使用上の注意事項 30-46
30.7.1 電流安定用の外部外付けコンデンサの接続に関する注意 30-46

付録 付録-1

A. 端子状態 付録-1
B. 型名一覧 付録-4
C. 外形寸法図 付録-5

本版で修正または追加された箇所 改訂-1

索引 索引-1

1. 概要

1.1 SH72533 の特長

本 LSI は、ルネサスオリジナルの RISC（Reduced Instruction Set Computer）方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御等のアプリケーションでも、より低コストでかつ高性能／高機能なシステムを組むことができるようになります。CPU の性能も、スーパースカラアーキテクチャやハーバードアーキテクチャを採用することにより向上しています。

本 LSI は、32 ビットの RISC 方式の SH-2A コアを採用しています。SH-2A コアは、オブジェクトコードレベルで SH-2E と上位互換です。また、SH-2A コアは、従来の SH-2E コアの命令セットに新しい命令を追加しており、コード効率と実行速度をさらに向上しています。

本 LSI は、システム構成に必要な周辺機能として、浮動小数点演算ユニット（FPU）、大容量の ROM と RAM、ダイレクトメモリアクセスコントローラ（DMAC）、各種タイマ、専用ダイレクトメモリアクセスコントローラ（A-DMAC）、ルネサスシリアルペリフェラルインタフェース（RSPI）、ユーザブレークコントローラ（UBC）、アドバンストタイマユニット-III（ATU-III）、シリアルコミュニケーションインタフェース（SCI）、コントローラエリアネットワーク（RCAN-TL1）、A/D 変換器（ADC）、割り込みコントローラ（INTC）、I/O ポートなどを内蔵しています。

内蔵 ROM は、フラッシュメモリを内蔵した F-ZTAT™（Flexible Zero Turn Around Time）版です。ROM ライタやソフトウェアでプログラムの書き換えや消去を行うことができます。したがって、ボードに実装した状態でユーザによる書き換えも可能です。

本 LSI の特長を**表 1.1** に示します。

【注】　F-ZTAT はルネサス エレクトロニクス株式会社の商標です。

表 1.1 SH72533 の特長

項目	特　　長
CPU	• ルネサス独自の SuperH アーキテクチャ • SH-1、SH-2、SH-2E とオブジェクトコードレベルで互換性あり • 32 ビット内部データバス • 汎用レジスタアーキテクチャ 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ 高速割り込み応答のためのレジスタバンク • RISC タイプ命令セット（SH-2E シリーズと上位互換性） 命令長：コードの効率改善のための 16 ビット基本命令と、性能、使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット • FPU を含む 2 命令同時実行スーパースカラ • 命令実行時間：最大 2 命令／サイクル • アドレス空間：4G バイト • 乗算器内蔵 • 5 段パイプライン • ハーバードアーキテクチャ
浮動小数点演算ユニット（FPU）	• 浮動小数点コプロセッサ内蔵 • 単精度（32 ビット）および倍精度（64 ビット）をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 2 つの丸めモード：近傍および 0 方向への丸め • 非正規化数の扱い：0 への切り捨て • 浮動小数点レジスタ 16 本の 32 ビット浮動小数点レジスタ（単精度×16 ワード、倍精度×8 ワード） 2 本の 32 ビット浮動小数点システムレジスタ • FMAC（乗算およびアキュムレート）命令をサポート • FDIV（除算）／FSQRT（平方根）命令をサポート • FLDI0/FLDI1（ロード定数 0/1）命令をサポート • 命令実行時間 レイテンシ（FMAC/FADD/FSUB/FMUL）：3 サイクル（単精度）、8 サイクル（倍精度） ピッチ（FMAC/FADD/FSUB/FMUL）：1 サイクル（単精度）、6 サイクル（倍精度） 【注】FMAC は単精度に対してのみサポートしています • 5 段パイプライン • qNaN あるいは±∞入力による例外を発生可能

項目	特　　長
動作モード	• 動作モード シングルチップモード • オンボードプログラミングモード ブートモード ユーザブートモード ユーザプログラムモード • 処理状態 リセット状態 プログラム実行状態 例外処理状態 • 低消費電力機能 スリープモード ハードウェアスタンバイモード モジュールスタンバイモード
クロックパルス発振器（CPG）	• 内蔵発振回路（最大動作周波数：160MHz（SH72533）、200MHz（SH72533D）） • 2 種類のクロックを生成 内部クロック（96～160MHz（SH72533）、96～200MHz（SH72533D）） 周辺クロック（16～40MHz） • 内蔵 PLL により内部クロックおよび周辺クロックの逓倍が可能 MD_CLK0 端子の設定により内部クロックの逓倍比×6、×8（SH72533）、×10（SH72533D）の選択が可能 MD_CLKP 端子の設定により周辺クロックの逓倍比×1、×2 の選択が可能 • 入力クロック周波数 16～20MHz
割り込みコントローラ（INTC）	• 5 本の外部割り込み端子（NMI、$\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$） • 15 種類のソフトウェア割り込みの優先レベルを 1～15 に設定可能 • 16 レベルの優先順位設定が可能
ユーザブレークコントローラ（UBC）	• 4 チャネル • CPU や DMAC や A-DMAC が、ある設定した条件のバスサイクルを生成すると割り込みを発生（割り込みマスクも可能）

項目	特　　長
ダイレクトメモリアクセスコントローラ（DMAC）	• 8 チャネル • 下記デバイス間の DMA 転送が可能 内蔵メモリ、内蔵周辺モジュール（DMAC、A-DMAC 除く） • サイクルスチールモードまたはバーストモード転送可能 • デュアルアドレスモード • リロード機能 ソースアドレスまたは／かつデスティネーションアドレス、およびアドレスリロードカウンタの各レジスタをリロード ソースアドレスかつデスティネーションアドレス、およびアドレスリロードカウンタの各レジスタをリロード • 転送中に Integer→Floating-point 変換が可能 • 転送データ幅：バイト／ワード／ロングワード／16B
専用ダイレクトメモリアクセスコントローラ（A-DMAC）	• 58 チャネル • イベント発生により指定されたモジュールからエイリアス領域へ、あるいはエイリアス領域（特定の RAM アドレス）から指定されたモジュールへのデータ転送が可能 • 以下のモジュールをサポート ADC 用チャネル（1 チャネル）：A/D 変換値転送 ATU-III（タイマ G）用チャネル（1 チャネル）：RAM からポートへ RAM の値を転送 ATU-III（タイマ A、C、F）用チャネル：タイマ A（4 チャネル）、タイマ C（20 チャネル）、タイマ F（20 チャネル）のインプットキャプチャレジスタ値転送 RSPI 用チャネル（4 チャネル）：MISOA、B、MOSIA、B SCI 用チャネル（6 チャネル）：RxD_A～C、TxD_A～C RCAN 用チャネル（2 チャネル）：CRx_A、B と CTx_A、B • エイリアスアドレスポインタ 1 種類の基本ポインタ：基本アドレスに対応する ATU-III（タイマ A、C、F）用チャネルと RCAN 用チャネルのエイリアス領域のアドレスは固定 18 種類のエイリアスポインタ：それぞれ ATU-III（タイマ G）用チャネル、ADC 用チャネル、RSPI 用チャネル、SCI 用チャネル

項目	特　　長
アドバンストタイマユニット-III（ATU-III）	• タイマ A：32 ビットインプットキャプチャ×4 チャネル • タイマ B：アングルクロック生成タイマ×1 チャネル • タイマ C：24 ビットインプットキャプチャ／アウトプットコンペア×20 チャネル • タイマ D：24 ビットワンショットパルス×16 チャネル 24 ビットアウトプットコンペア×16 チャネル • タイマ E：16 ビット PWM×20 チャネル • タイマ F：24 ビットイベントカウンタ×20 チャネル • タイマ G：16 ビットインターバルタイマ×6 チャネル • タイマ H：32 ビットインターバルタイマ×1 チャネル • タイマ J：9 段の FIFO 付き 16 ビットインプットキャプチャ×2 チャネル クロックソースとして 2 種類の外部クロックが入力可能 • 外部入力端子にノイズキャンセル機能あり（タイマ A、タイマ C、タイマ F、タイマ J）
ウォッチドッグタイマ（WDT）	• ウォッチドッグタイマ／インターバルタイマの切り替えが可能 • カウンタオーバフロー時、内部リセット、外部信号、または割り込みを発生 • パワーオンリセット
コンペアマッチタイマ（CMT）	• 2 チャネル • 4 種類のカウンタ入力クロック選択可能 • コンペアマッチ割り込みを各チャネル独立に要求可能
シリアルコミュニケーションインタフェース（SCI）	• 3 チャネル • クロック同期式／調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能（全二重） • 最大ボーレート 調歩同期式：1.25Mbps クロック同期式：2.5Mbps

項目	特　　長
ルネサスシリアル ペリフェラル インタフェース （RSPI）	• 2 チャネル • 同期式のシリアル通信 • マスタ／スレーブモードをサポート • プログラマブルなビット長、クロック極性、クロック位相 • 転送をシーケンシャルにループ実行可能 • MSB ファースト／LSB ファーストの選択が可能 • 最大転送レート：10MHz • チャネル A ではシングルマスタモードで最大 8 スレーブを制御可能（PFC の設定に依存） チャネル A ではマルチマスタモードで最大 7 スレーブを制御可能（PFC の設定に依存） • チャネル B ではシングルマスタモードで最大 4 スレーブを制御可能（PFC の設定に依存） チャネル B ではマルチマスタモードで最大 3 スレーブを制御可能（PFC の設定に依存）
コントローラエリア ネットワーク （RCAN-TL1）	• 2 チャネル • TTCAN レベル 1 はすべてのチャネルでサポート • Bosch 2.0B active 対応 • バッファサイズ：送受信×31、受信のみ×1 • 32 チャネル入力のバッファを増やすために複数の RCAN チャネルを 1 つのバスに割り当て可能 • メッセージバッファ 8 ビットにつき 1 ビットのパリティエラー検出が可能 • パリティエラー割り込みの発生が可能
A/D 変換器（ADC）	• 32 チャネル • サンプル＆ホールド回路を 2 系統搭載 12 ビット 23 チャネル、9 チャネル独立動作 • 3 種類の変換モード選択可能 連続スキャンモード 1 サイクルスキャンモード A/D 変換値加算モード（同じチャネルを 2～4 回連続で A/D 変換し変換値を加算） • 変換トリガ 外部トリガと ATU-III のコンペアマッチによる起動が可能 • 自己診断機能 内部で 0×AVref、0.5×AVref、1×AVref 電圧（±40LSB）生成可能 • 変換時間：周辺クロック逓倍比×1 設定時：25/50 ステート（Pφ） 周辺クロック逓倍比×2 設定時：50 ステート（Pφ） • 精度：±8LSB、非直線性誤差：±4LSB
JTAG インタフェース	• JTAG ポート IEEE1149.1 に準拠したバウンダリスキャンテストポート

項目	特　　長
I/O ポート	• 特定の I/O 端子の出力ドライブ能力を選択可能 • 特定の I/O 端子の出力値の反転有無を選択可能 • MISO、RxD はプルダウン／プルダウンオフを選択可能 • レジスタを設定することで CK 端子の出力の有無を選択可能 • 特定のポートはエッジ検出レジスタを備えています
マルチインプット シグネチャ ジェネレータ（MISG）	• CPU による特定のアドレスへのライトアクセスを監視し、そのライトデータを用いて 32 ビットのシグネチャを生成
ROM	• 2.0MB フラッシュメモリ • ROM キャッシュ 命令キャッシュ：フルアソシアティブ、8 ライン、16 バイト／ライン データキャッシュ：フルアソシアティブ、4 ライン、16 バイト／ライン ラインサイズ：16 バイト／ライン
EEPROM	• 32KB EEPROM • 8KB×4 ブロック • 書き込みは 8 バイト単位、消去は 8KB 単位で可能
RAM	• 96KB SRAM • ECC：1 ビットの誤り訂正、2 ビットの誤り検出が可能 • ECC のオン／オフを選択可能
パッケージ	• 176 ピン QFP

1.2 ブロック図

図 1.1 に SH72533 のブロック図を示します。

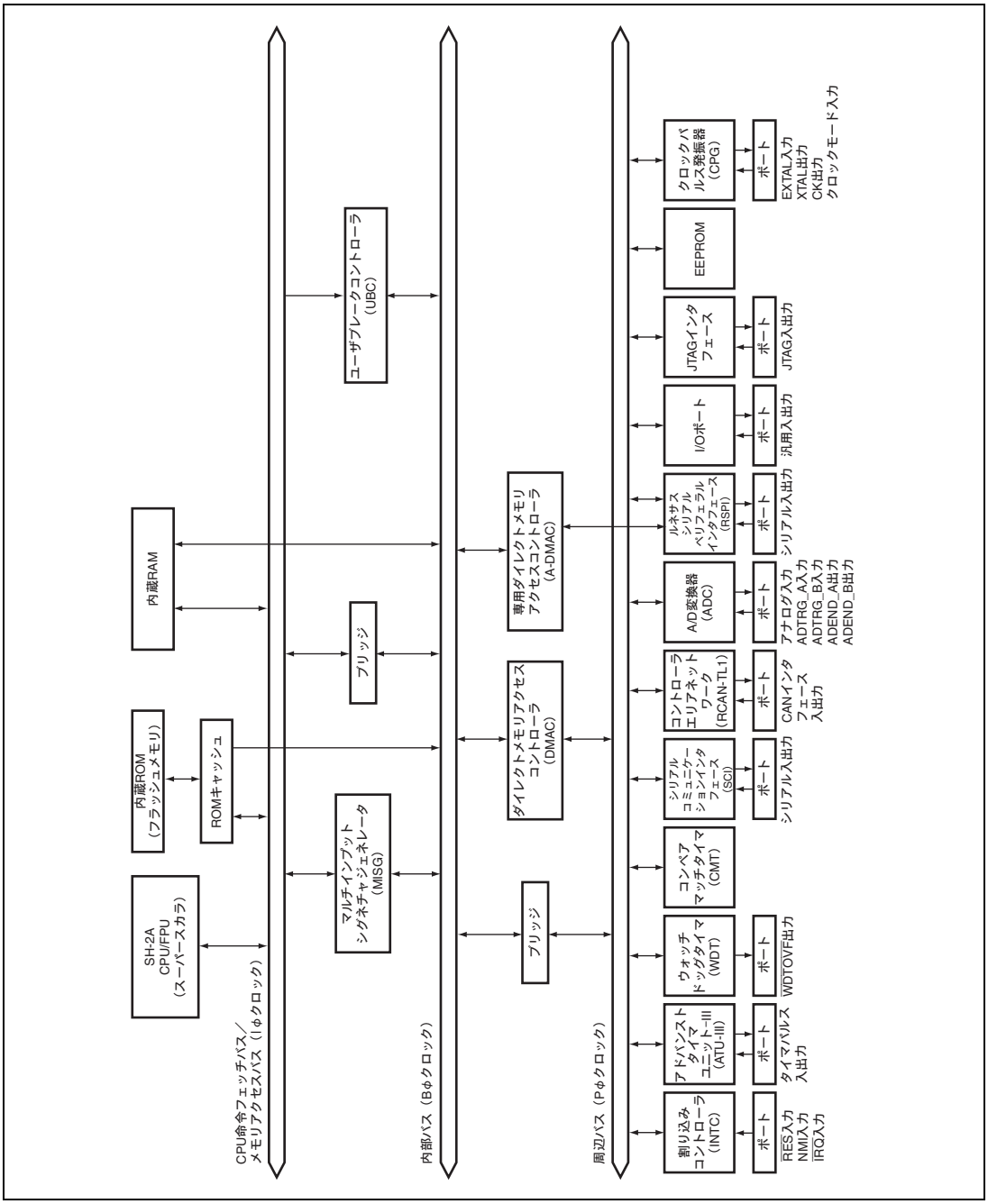


図 1.1 ブロック図

1.3 端子説明

1.3.1 ピン配置

図 1.2 に SH72533 のピン配置図を示します。

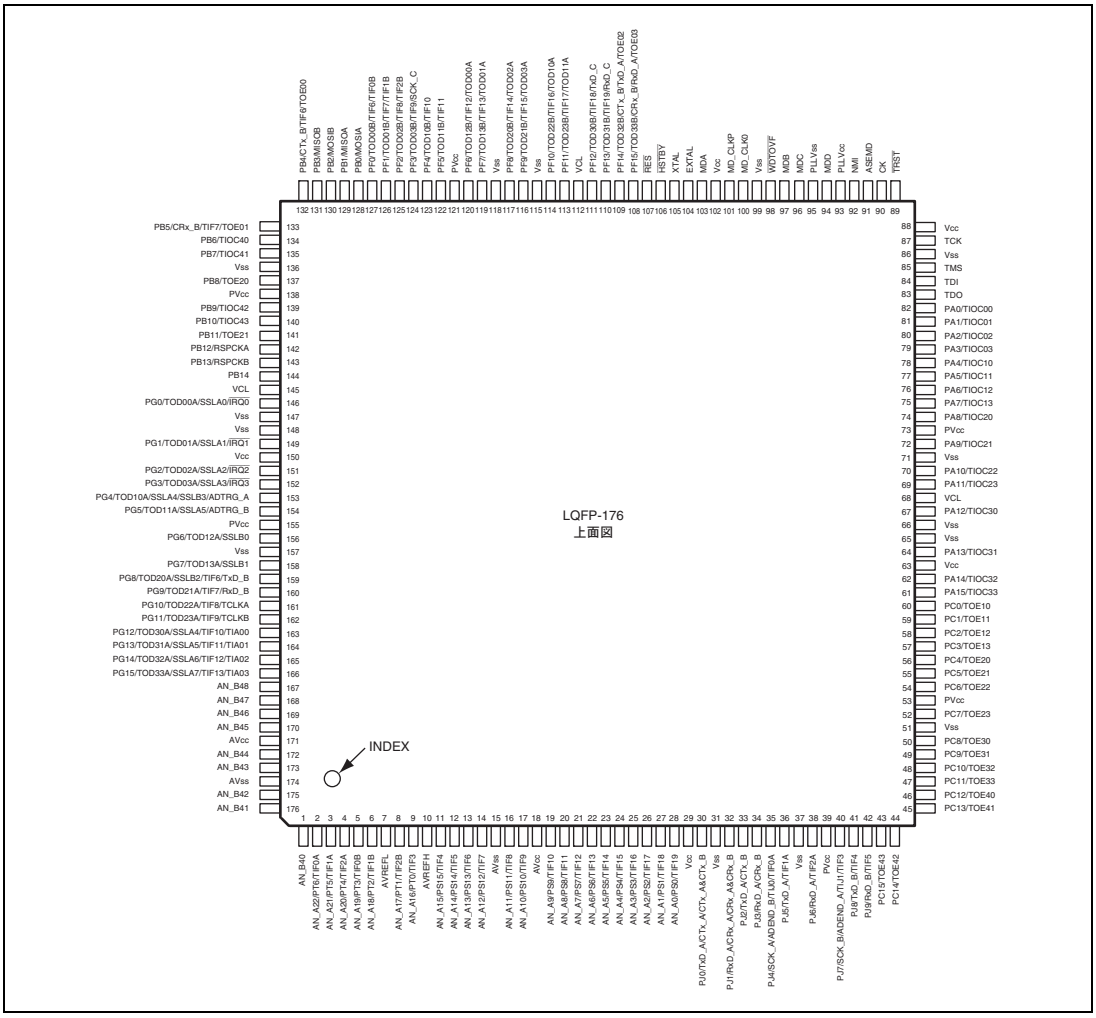


図 1.2 ピン配置図

1.3.2 端子機能

各端子の機能を表 1.2 に示します。

表 1.2 端子機能

分類	端子名	端子番号	入出力	名称	機　　能
電源	Vcc	29、63、88、102、150	入力	電源	LSI 内部およびシステム系端子用電源です。Vcc 端子は、すべてシステムのシステム系電源に接続してください。開放端子があると動作しません。
	PVcc	39、53、73、121、138、155	入力	5V 電源	周辺モジュール系ポート（ポート A、ポート B、ポート C、ポート F、ポート G、ポート J）用電源です。PVcc 端子、すべてシステムの周辺モジュール系電源に接続してください。開放端子があると動作しません。
	Vcl	68、112、145	入力	内部降圧電源	内部降圧電源の電圧安定用のコンデンサを接続する端子です。コンデンサを介して Vss に接続してください。端子近くに配置してください。外部電源に接続しないでください。
	Vss	31、37、51、65、66、71、86、99、115、118、136、147、148、157	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源（0V）に接続してください。開放端子があると動作しません。
クロック	PLLVcc	93	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。
	PLLVss	95	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。
	EXTAL	104	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	105	出力	クリスタル	水晶発振子を接続します。
	CK	90	出力	周辺クロック	周辺デバイスに周辺クロックを供給します。
動作モードコントロール	ASEMD	91	入力	ASE モード	エミュレータ機能を有効にします。デバッグモード以外の通常動作時はローレベルを入力します。デバッグモード時はユーザシステムボード上でハイレベルを入力します。
	MDA、MCB、MDC、MDD	103、97 96、94	入力	モード設定	動作モードを決める端子です。動作中は、入力値を変化させないでください。
	MD_CLK0、MD_CLKP	100、101	入力	クロックモード設定	クロックモードを決める端子です。動作中は、入力値を変化させないでください。
システム制御	$\overline{\text{HSTBY}}$	106	入力	ハードウェアスタンバイ	この端子がローレベルになると、ハードウェアスタンバイモードに遷移します。
	$\overline{\text{RES}}$	107	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。

分類	端子名	端子番号	入出力	名称	機　　能
システム制御	$\overline{\text{WDTOVF}}$	98	出力	ウォッチドッグタイマオーバフロー	WDT からのオーバフロー出力信号です。
割り込み	NMI	92	入力	ノンマスカブル割り込み	ノンマスカブル割り込み要求端子です。
	$\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$	152、151、149、146	入力	割り込み要求3～0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。
アドバンストタイマユニット-Ⅲ（ATU-Ⅲ）	TCLKA、TCLKB	161、162	入力	ATU-Ⅲタイマ入力	ATU-Ⅲカウンタの外部クロックを入力する端子です。
	TIA03～TIA00	166～163	入力	ATU-Ⅲインプットキャプチャ（タイマ A）	タイマ A の各チャネルへのインプットキャプチャトリガを入力する端子です。
	TIOC43～40 TIOC33～30、 TIOC23～20、 TIOC13～10、 TIOC03～00	140、139、135、134、 61、62、64、67、69、70、72、74、75、76、77、78、79、80、81、82	入出力	ATU-Ⅲインプットキャプチャ／ アウトプットコンペア （タイマ C）	タイマ C へのインプットキャプチャトリガ入力、およびアウトプットコンペアマッチを出力する端子です。
	TOD33A～30A、 TOD23A～20A、 TOD13A～10A、 TOD03A～00A	166～163、162～159、158、156、154、153、 114、113、 152、151、149、146、 120、119、117、116	出力	ATU-Ⅲコンペア マッチ （タイマ D）	タイマ D のコンペアマッチを出力する端子です。

分類	端子名	端子番号	入出力	名称	機　　能
アドバンストタイマユニット-Ⅲ（ATU-Ⅲ）	TOD33B～30B、TOD23B～20B、TOD13B～10B、TOD03B～00B	108～111、113、114、116、117、119、120、122、123、124～127	出力	ATU-Ⅲ ワンショットパルス（タイマ D）	タイマ D のワンショットパルスを出力する端子です。
	TOE43～40、TOE33～30、TOE23～20、TOE13～10、TOE03～00	43～46、47～50、52、54、55、56、141、137、57～60、108、109、133、132	出力	ATU-Ⅲ PWM 出力（タイマ E）	タイマ E のアウトプットコンペアマッチを出力。および PWM 信号を出力する端子です。
	TIF2A～TIF0A	4～2、38、36、35	入力	ATU-Ⅲイベント入力（フェーズ A、タイマ F）	タイマ F のイベントインプットを入力する端子です。（フェーズ A）
	TIF2B～TIF0B	8、6、5、125、126、127	入力	ATU-Ⅲイベント入力（フェーズ B、タイマ F）	タイマ F のイベントインプットを入力する端子です。（フェーズ B）
	TIF19～TIF3	28～19、17、16、14～11、9、110、111、113、114、116、117、119、120、122～127、133、132、42～40、166～159	入力	ATU-Ⅲイベント入力（タイマ F）	タイマ F のイベントインプットを入力する端子です。
	TIJ1、TIJ0	40、35	入力	ATU-Ⅲ入力（タイマ J）	タイマ J のインプットキャプチャトリガを入力する端子です。
コントローラエリアネットワーク（RCAN-TL1）	CTx_A、CTx_B	30、33、109、132	出力	チャネル A、B 送信データ	CAN バスに送信するデータを出力する端子です。
	CRx_A、CRx_B	32、34、108、133	入力	チャネル A、B 受信データ	CAN バスに受信するデータを出力する端子です。

分類	端子名	端子番号	入出力	名称	機　　能
シリアル コミュニケーション インタフェース（SCI）	TxD_A～ TxD_C	30、33、 36、109、 41、159、 111	出力	チャネル A～C 送信データ	チャネル A～C の送信データを出力する端子です。
	RxD_A～ RxD_C	32、34、 38、108、 42、160、 110	入力	チャネル A～C 受信データ	チャネル A～C の受信データを入力する端子です。
	SCK_A～ SCK_C	35、40、124	入出力	チャネル A～C シリアルクロック	チャネル A～C のクロックを入出力する端子です。
ルネサスシリアル ペリフェラル インタフェース（RSPI）	MOSIA、 MOSIB	128、130	入出力	チャネル A、B 送信データ	チャネル A、B の送信データを入出力する端子です。
	MISOA、 MISOB	129、131	入出力	チャネル A、B 受信データ	チャネル A、B の受信データを入出力する端子です。
	RSPCKA、 RSPCKB	142、143	入出力	チャネル A、B シリアルクロック	チャネル A、B のクロックを入出力する端子です。
	SSLA0、 SSLB0	146、156	入出力	チャネル A、B チップセレクト	チャネル A、B チップセレクトを入出力する端子です。
	SSLA1～7、 SSLB1～3	149、151～154、 158、159、 163～166	出力	チャネル A、B チップセレクト	チャネル A、B チップセレクトを入出力する端子です。
A/D 変換器（ADC）	AVcc	18、171	入力	アナログ電源	A/D 変換器用電源を供給する端子です。周辺モジュール系ポート（ポート S、ポート T）用電源にも使用しています。
	AVss	15、174	入力	アナロググランド	A/D 変換器用グランド端子です。
	AN_A22～ AN_A00、 AN_B48～ AN_B40	2～6、8、9、11 ～14 16、17、19～28、 167～170、172、 173、175、176、 1	入力	アナログ入力	アナログ信号を入力する端子です。
	ADTRG_A、 ADTRG_B	153、154	入力	A/D 変換トリガ 入力	A/D 変換を開始する外部トリガを入力する端子です。
	ADEND_A、 ADEND_B	40、35	出力	ADEND 出力	A/D 変換のタイミングをモニタするための出力端子です。
	AVREFH	10	入力	アナログ基準電圧	アナログハイレベルの基準電圧を入力する端子です。
	AVREFL	7	入力	アナログ基準電圧	アナログローレベルの基準電圧を入力する端子です。

分類	端子名	端子番号	入出力	名称	機　　能
JTAG インタフェース	TCK	87	入力	テストクロック	テストクロック入力端子です。
	TMS	85	入力	テストモードセレクト	テストモードセレクト信号入力端子です。
	TDI	84	入力	テストデータ入力	インストラクションとデータのシリアル入力端子です。
	TDO	83	出力	テストデータ出力	インストラクションとデータのシリアル出力端子です。
	$\overline{\text{TRST}}$	89	入力	テストリセット	初期化信号入力端子です。
I/O ポート	PA15～0	61、62、64、67、69、70、72、74～82	入出力	ポート A	汎用入出力端子 入力／出力の選択はビットごとに設定できます。
	PB14～0	144～139、137、135～128	入出力	ポート B	汎用入出力端子 入力／出力の選択はビットごとに設定できます。
	PC15～0	43～50、52、54～60	入出力	ポート C	汎用入出力端子 入力／出力の選択はビットごとに設定できます。
	PF15～0	108～111、113、114、116、117、119、120、122～127	入出力	ポート F	汎用入出力端子 入力／出力の選択はビットごとに設定できます。
	PG15～0	166～158、156、154～151、149、146	入出力	ポート G	汎用入出力端子 入力／出力の選択はビットごとに設定できます。
	PJ9～0	42～40、38、36～32、30	入出力	ポート J	汎用入出力端子 入力／出力の選択はビットごとに設定できます。
	PS15～0	11～14、16、17、19～28	入力	ポート S	汎用入力端子 入力の選択はビットごとに設定できます。
	PT6～0	2～6、8、9	入力	ポート T	汎用入力端子 入力の選択はビットごとに設定できます。

1.3.3 端子一覧

表 1.3 端子一覧

ピン番号	MCU シングルチップモード
1	AN_B40
2	AN_A22/PT6/TIF0A
3	AN_A21/PT5/TIF1A
4	AN_A20/PT4/TIF2A
5	AN_A19/PT3/TIF0B
6	AN_A18/PT2/TIF1B
7	AVREFL
8	AN_A17/PT1/TIF2B
9	AN_A16/PT0/TIF3
10	AVREFH
11	AN_A15/PS15/TIF4
12	AN_A14/PS14/TIF5
13	AN_A13/PS13/TIF6
14	AN_A12/PS12/TIF7
15	AVss
16	AN_A11/PS11/TIF8
17	AN_A10/PS10/TIF9
18	AVcc
19	AN_A9/PS9/TIF10
20	AN_A8/PS8/TIF11
21	AN_A7/PS7/TIF12
22	AN_A6/PS6/TIF13
23	AN_A5/PS5/TIF14
24	AN_A4/PS4/TIF15
25	AN_A3/PS3/TIF16
26	AN_A2/PS2/TIF17
27	AN_A1/PS1/TIF18
28	AN_A0/PS0/TIF19
29	Vcc
30	PJ0/TxD_A/CTx_A/CTx_A&CTx_B
31	Vss
32	PJ1/RxD_A/CRx_A/CRx_A&CRx_B
33	PJ2/TxD_A/CTx_B

ピン番号	MCU シングルチップモード
34	PJ3/RxD_A/CRx_B
35	PJ4/SCK_A/ADEND_B/TIJ0/TIF0A
36	PJ5/TxD_A/TIF1A
37	Vss
38	PJ6/RxD_A/TIF2A
39	PVcc
40	PJ7/SCK_B/ADEND_A/TIJ1/TIF3
41	PJ8/TxD_B/TIF4
42	PJ9/RxD_B/TIF5
43	PC15/TOE43
44	PC14/TOE42
45	PC13/TOE41
46	PC12/TOE40
47	PC11/TOE33
48	PC10/TOE32
49	PC9/TOE31
50	PC8/TOE30
51	Vss
52	PC7/TOE23
53	PVcc
54	PC6/TOE22
55	PC5/TOE21
56	PC4/TOE20
57	PC3/TOE13
58	PC2/TOE12
59	PC1/TOE11
60	PC0/TOE10
61	PA15/TIOC33
62	PA14/TIOC32
63	Vcc
64	PA13/TIOC31
65	Vss
66	Vss
67	PA12/TIOC30
68	VCL
69	PA11/TIOC23
70	PA10/TIOC22

ピン番号	MCU シングルチップモード
71	Vss
72	PA9/TIOC21
73	PVcc
74	PA8/TIOC20
75	PA7/TIOC13
76	PA6/TIOC12
77	PA5/TIOC11
78	PA4/TIOC10
79	PA3/TIOC03
80	PA2/TIOC02
81	PA1/TIOC01
82	PA0/TIOC00
83	TDO
84	TDI
85	TMS
86	Vss
87	TCK
88	Vcc
89	$\overline{\text{TRST}}$
90	CK
91	ASEMD
92	NMI
93	PLLVcc
94	MDD
95	PLLVss
96	MDC
97	MDB
98	$\overline{\text{WDTOVF}}$
99	Vss
100	MD_CLK0
101	MD_CLKP
102	Vcc
103	MDA
104	EXTAL
105	XTAL
106	$\overline{\text{HSTBY}}$
107	$\overline{\text{RES}}$

ピン番号	MCU シングルチップモード
108	PF15/TOD33B/CRx_B/RxD_A/TOE03
109	PF14/TOD32B/CTx_B/TxD_A/TOE02
110	PF13/TOD31B/TIF19/RxD_C
111	PF12/TOD30B/TIF18/TxD_C
112	VCL
113	PF11/TOD23B/TIF17/TOD11A
114	PF10/TOD22B/TIF16/TOD10A
115	Vss
116	PF9/TOD21B/TIF15/TOD03A
117	PF8/TOD20B/TIF14/TOD02A
118	Vss
119	PF7/TOD13B/TIF13/TOD01A
120	PF6/TOD12B/TIF12/TOD00A
121	PVcc
122	PF5/TOD11B/TIF11
123	PF4/TOD10B/TIF10
124	PF3/TOD03B/TIF9/SCK_C
125	PF2/TOD02B/TIF8/TIF2B
126	PF1/TOD01B/TIF7/TIF1B
127	PF0/TOD00B/TIF6/TIF0B
128	PB0/MOSIA
129	PB1/MISOA
130	PB2/MOSIB
131	PB3/MISOB
132	PB4/CTx_B/TIF6/TOE00
133	PB5/CRx_B/TIF7/TOE01
134	PB6/TIOC40
135	PB7/TIOC41
136	Vss
137	PB8/TOE20
138	PVcc
139	PB9/TIOC42
140	PB10/TIOC43
141	PB11/TOE21
142	PB12/RSPCKA
143	PB13/RSPCKB
144	PB14

ピン番号	MCU シングルチップモード
145	VCL
146	PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$
147	Vss
148	Vss
149	PG1/TOD01A/SSLA1/$\overline{\text{IRQ1}}$
150	Vcc
151	PG2/TOD02A/SSLA2/$\overline{\text{IRQ2}}$
152	PG3/TOD03A/SSLA3/$\overline{\text{IRQ3}}$
153	PG4/TOD10A/SSLA4/SSLB3/ADTRG_A
154	PG5/TOD11A/SSLA5/ADTRG_B
155	PVcc
156	PG6/TOD12A/SSLB0
157	Vss
158	PG7/TOD13A/SSLB1
159	PG8/TOD20A/SSLB2/TIF6/TxD_B
160	PG9/TOD21A/TIF7/RxD_B
161	PG10/TOD22A/TIF8/TCLKA
162	PG11/TOD23A/TIF9/TCLKB
163	PG12/TOD30A/SSLA4/TIF10/TIA00
164	PG13/TOD31A/SSLA5/TIF11/TIA01
165	PG14/TOD32A/SSLA6/TIF12/TIA02
166	PG15/TOD33A/SSLA7/TIF13/TIA03
167	AN_B48
168	AN_B47
169	AN_B46
170	AN_B45
171	AVcc
172	AN_B44
173	AN_B43
174	AVss
175	AN_B42
176	AN_B41

2. CPU

2.1 データフォーマット

SH-2A/SH2A-FPU でサポートしているデータフォーマットを図 2.1 に示します。

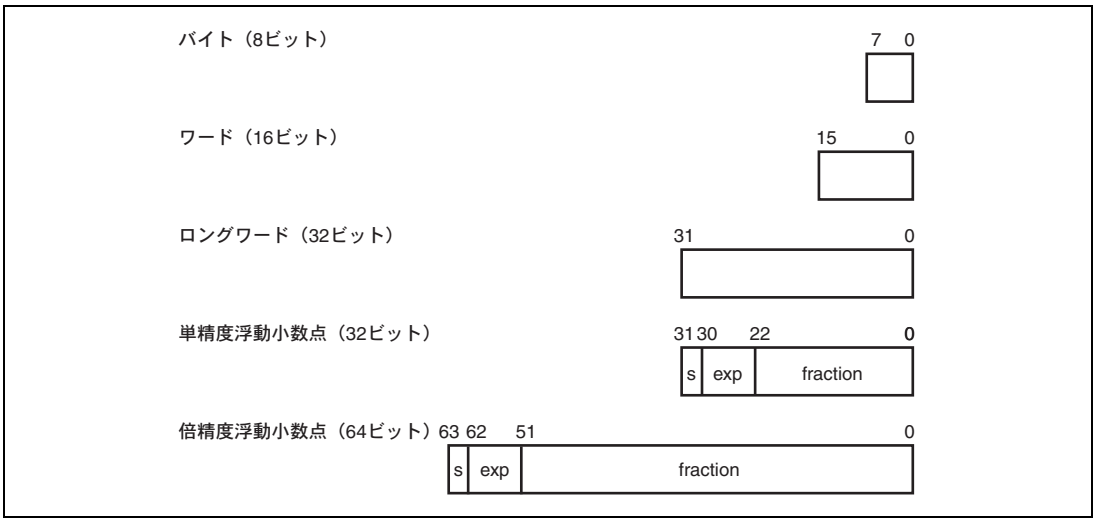


図 2.1 データフォーマット

2.2 レジスタ構成

レジスタは、汎用レジスタ（32 ビット×16 本）、コントロールレジスタ（32 ビット×4 本）、システムレジスタ（32 ビット×4 本）、浮動小数点レジスタ、浮動小数点システムレジスタの 5 種類があります。

2.2.1 汎用レジスタ

図 2.2 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復は、R15 を用いてスタックを参照し行います。

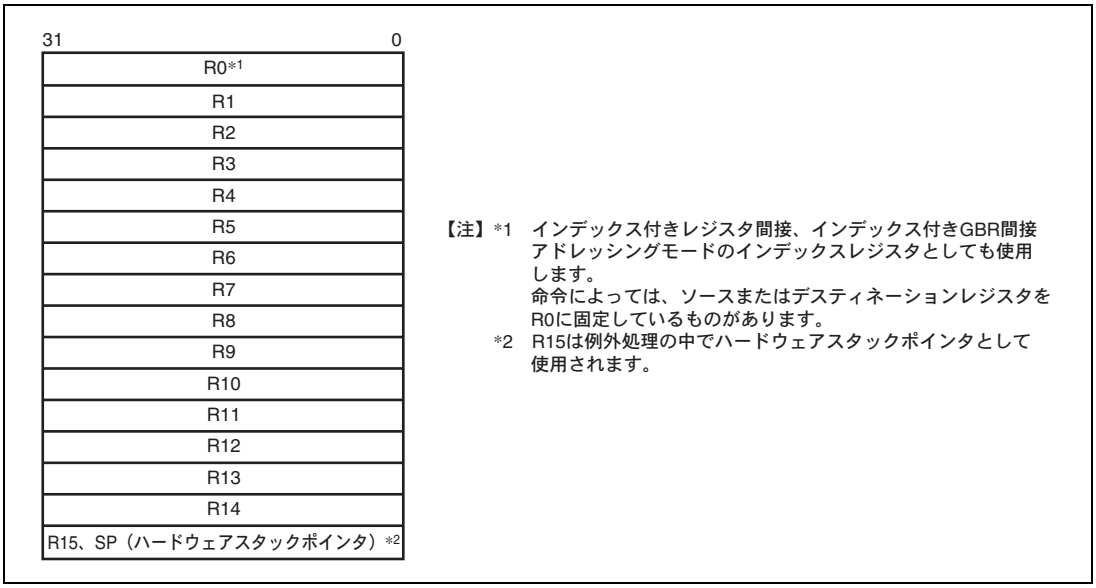


図 2.2 汎用レジスタ

2.2.2 コントロールレジスタ

コントロールレジスタは 32 ビットの長さで、ステータスレジスタ（SR）、グローバルベースレジスタ（GBR）、ベクタベースレジスタ（VBR）、ジャンプテーブルベースレジスタ（TBR）の 4 本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

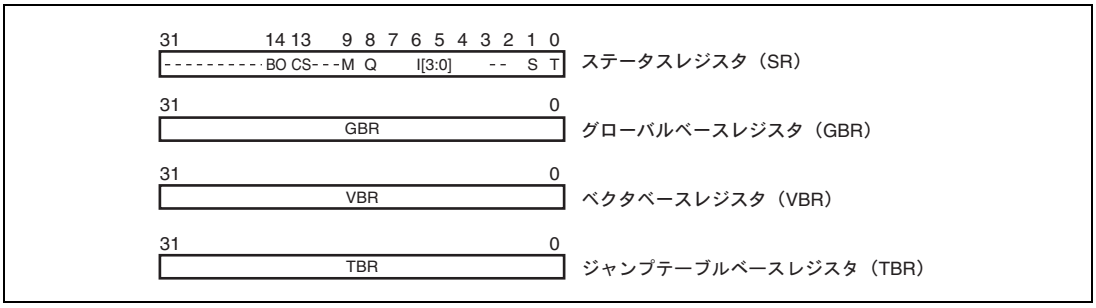


図 2.3 コントロールレジスタ

(1) ステータスレジスタ（SR）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	BO	CS	–	–	–	M	Q	I[3:0]				–	–	S	T
初期値：	0	0	0	0	0	0	–	–	1	1	1	1	0	0	–	–
R/W：	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～15	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12～10	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	M	–	R/W	M ビット
8	Q	–	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7～4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	–	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	–	R/W	T ビット 真／偽条件またはキャリー／ボロービット

(2) グローバルベースレジスタ（GBR）

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ（VBR）

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ（TBR）

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.2.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ（MACH、MACL）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。

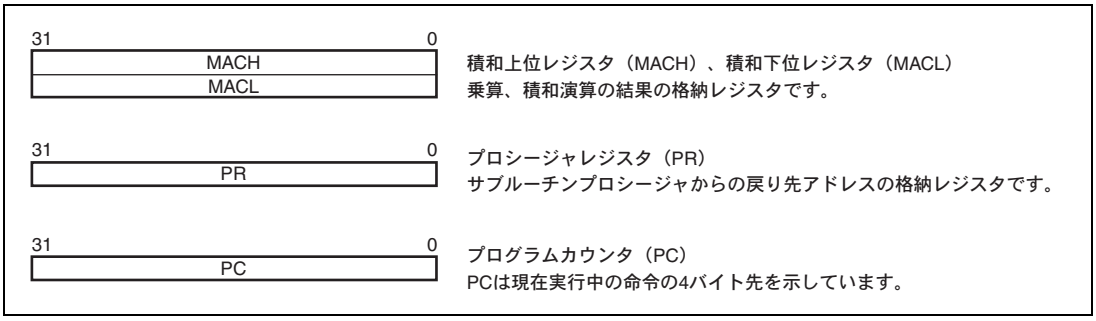


図 2.4 システムレジスタ

（1） 積和上位レジスタ（MACH）、積和下位レジスタ（MACL）

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

（2） プロシージャレジスタ（PR）

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令（RTS）によって参照されます。

（3） プログラムカウンタ（PC）

PC は現在実行中の命令の 4 バイト先を示しています。

2.2.4 浮動小数点レジスタ

図 2.5 に浮動小数点レジスタを示します。16 本の 32 ビット浮動小数点レジスタ FPR0～FPR15 があります。この 16 本のレジスタは FR0～FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPRn と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 2.5 を参照してください。

（1） 浮動小数点レジスタ：FPRn（16 レジスタ）

FPR0、FPR1、FPR2、FPR3、FPR4、FPR5、FPR6、FPR7、
FPR8、FPR9、FPR10、FPR11、FPR12、FPR13、FPR14、FPR15

（2） 単精度浮動小数点レジスタ：FRi（16 レジスタ）

FR0～FR15 は FPR0～FPR15 に割り当てられます。

（3） 倍精度浮動小数点レジスタまたは単精度浮動小数点レジスタのペア：DRi（8 レジスタ）

DR レジスタは、2 つの FR レジスタから構成されます。
DR0＝{FPR0、FPR1}、DR2＝{FPR2、FPR3}、
DR4＝{FPR4、FPR5}、DR6＝{FPR6、FPR7}、
DR8＝{FPR8、FPR9}、DR10＝{FPR10、FPR11}、
DR12＝{FPR12、FPR13}、DR14＝{FPR14、FPR15}

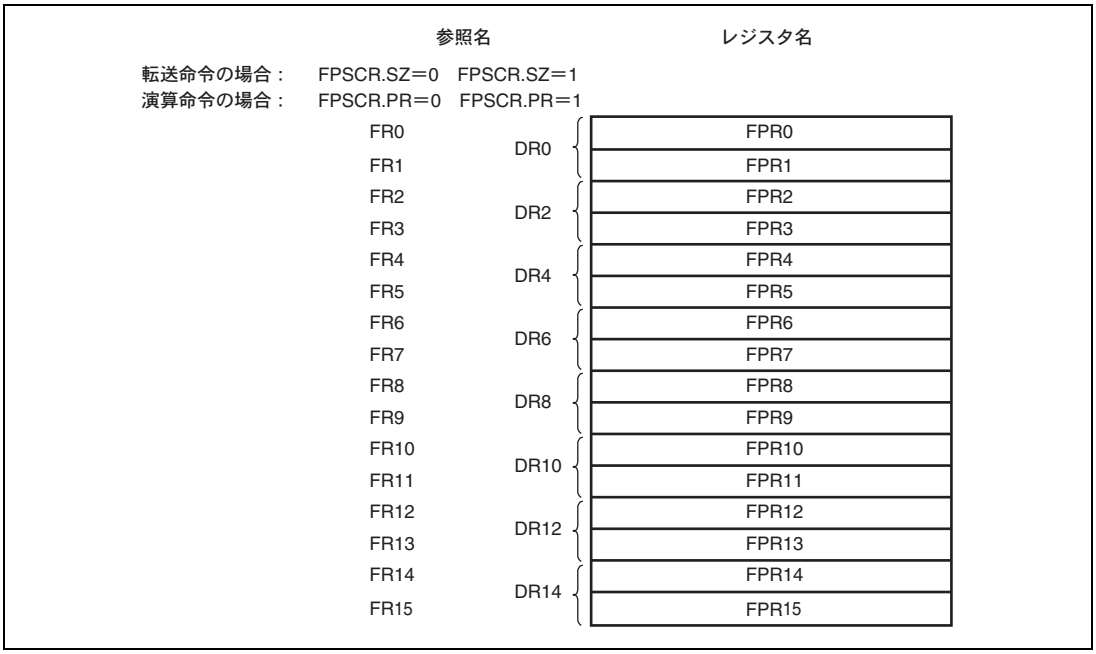


図 2.5 浮動小数点レジスタ

【プログラミング上の注意】

リセット後の FPR0～FPR15 の値は不定です。

2.2.5 浮動小数点システムレジスタ

(1) 浮動小数点通信レジスタ（FPUL）

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

(2) 浮動小数点ステータス／コントロールレジスタ（FPSCR）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	QIS	–	SZ	PR	DN	Cause	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable					Flag					RM[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～23	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	qNaN あるいは±∞を sNaN として扱います。 本ビットの設定は、FPU 例外イネーブルフィールド（Enable）の V ビットが 1 のときのみ有効です。 0：qNaN あるいは±∞として処理 1：例外発生（sNaN と同様に処理）
21	–	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0：FMOV 命令のデータサイズは 32 ビットです。 1：FMOV 命令のデータサイズは 32 ビットペア（64 ビット）です。
19	PR	0	R/W	精度モード 0：浮動小数点命令を単精度で実行します。 1：浮動小数点命令を倍精度で実行します（倍精度がサポートされていない命令の結果は未定義です）。
18	DN	1	R/W	非正規化モード 本ビットは常に 1 です。 1：非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説　　明
17～12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11～7	Enable	すべて 0	R/W	FPU 例外イネーブルフィールド
6～2	Flag	すべて 0	R/W	FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 2.1 を参照してください。
1、0	RM[1:0]	01	R/W	丸めモード 00：近傍への丸め 01：0 方向への丸め 10：予約 11：予約

表 2.1　FPU 例外処理に関連するビットの割り付け

		FPU エラー（E）	無効演算（V）	0 除算（Z）	オーバフロー（O）	アンダフロー（U）	不正確（I）
Cause	FPU 例外要因フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブルフィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】　SH-2A では FPU エラーは発生しません。

2.2.6　レジスタバンク

汎用レジスタの R0～R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

詳細については「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

2.2.7 レジスタの初期値

リセット後のレジスタの値を表 2.2 に示します。

表 2.2 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0～R14	不定
	R15（SP）	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I[3:0]は 1111（H'F）、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値
浮動小数点レジスタ	FPR0～FPR15	不定
浮動小数点システムレジスタ	FPUL	不定
	FPSCR	H'00040001

2.3 データ形式

2.3.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32 ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8 ビット）、もしくはワード（16 ビット）の場合は、ロングワードに符号拡張またはゼロ拡張し、レジスタに格納します。

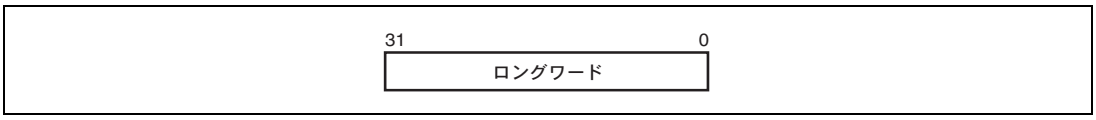


図 2.6 レジスタのデータ形式

2.3.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2 バイト刻みの偶数番地：2n 番地）から、ロングワードオペランドはロングワード境界（4 バイト刻みの偶数番地：4n 番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.7 に示します。

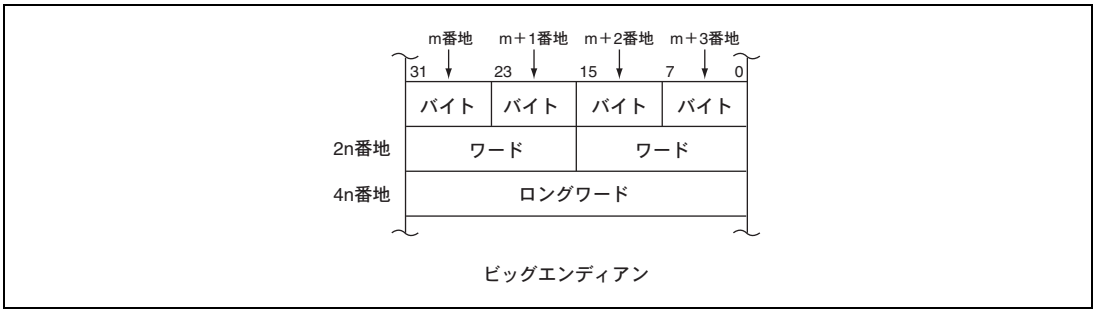


図 2.7 メモリのデータ形式

2.3.3 イミディエイトデータのデータ形式

バイト（8 ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、レジスタとロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

具体例については、「2.4.1（10）イミディエイトデータ」を参照してください。

2.4 命令の特長

2.4.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A/SH2A-FPU では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令／1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト／ワード／ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.3 ワードデータの符号拡張

SH-2A/SH2A-FPU CPU	説　　明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0 ・・・・・・・・ .DATA.W H'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令→遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.4 遅延分岐命令

SH-2A/SH2A-FPU CPU	説　　明	他の CPU の例
BRA TRGET ADD R1,R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0 BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A/SH2A-FPU では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算／積和演算

16×16→32 の乗算を 1～2 ステート、16×16＋64→64 の積和演算を 2～3 ステートで実行します。32×32→64 の乗算や、32×32＋64→64 の積和演算を 2～4 ステートで実行します。

(9) T ビット

比較結果はステータスレジスタ（SR）の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.5 T ビット

SH-2A/SH2A-FPU CPU	説　　明	他の CPU の例
CMP/GE R1,R0 BT TRGET0 BF TRGET1	R0≧R1 のとき T ビットがセットされます。 R0≧R1 のとき TRGET0 へ R0＜R1 のとき TRGET1 へ分岐します。	CMP.W R1,R0 BGE TRGET0 BLT TRGET1
ADD #－1,R0 CMP/EQ #0,R0 BT TRGET	ADD では T ビットが変化しません。 R0＝0 のとき T ビットがセットされます。 R0＝0 のとき分岐します。	SUB.W #1,R0 BEQ TRGET

（10）イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で参照します。

また SH-2A/SH2A-FPU では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.6　イミディエイトデータによる参照

区分	SH-2A/SH2A-FPU CPU	他の CPU の例
8 ビットイミディエイト	MOV　#H'12,R0	MOV.B　#H'12,R0
16 ビットイミディエイト	MOVI20　#H'1234, R0	MOV.W　#H'1234,R0
20 ビットイミディエイト	MOVI20　#H'12345, R0	MOV.L　#H'12345,R0
28 ビットイミディエイト	MOVI20S #H'12345, R0 OR　#H'67, R0	MOV.L　#H'1234567,R0
32 ビットイミディエイト	MOV.L　@(disp,PC),R0 ・・・・・・・・ .DATA.L　H'12345678	MOV.L　#H'12345678,R0

【注】　@(disp,PC)でイミディエイトデータを参照します。

（11）絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A/SH2A-FPU では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.7 絶対アドレスによる参照

区分	SH-2A/SH2A-FPU CPU	他の CPU の例
20 ビット以下	MOVI20 #H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21～28 ビット	MOVI20S #H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0 ・・・・・・・・ .DATA.L H'12345678	MOV.B @H'12345678,R0

（12）16 ビット／32 ビットディスプレースメント

16 ビットまたは 32 ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

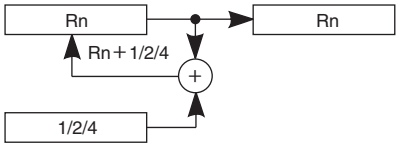
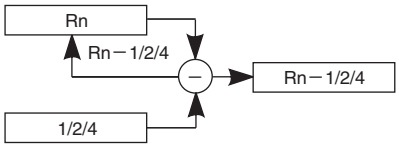
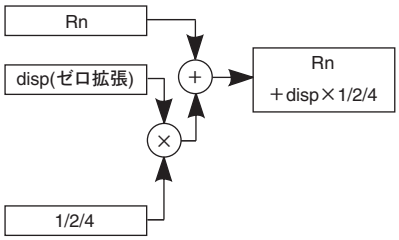
表 2.8 ディスプレースメントによる参照

区分	SH-2A/SH2A-FPU CPU	他の CPU の例
16 ビットディスプレースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2 ・・・・・・・・ .DATA.W H'1234	MOV.W @(H'1234,R1),R2

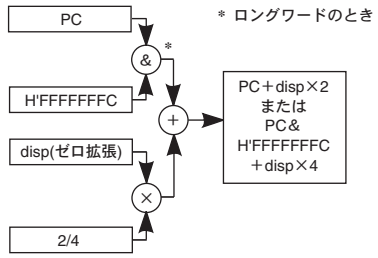
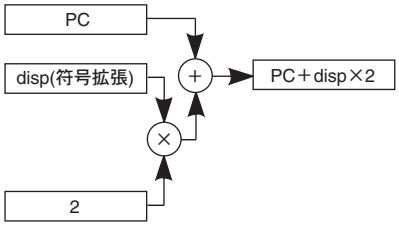
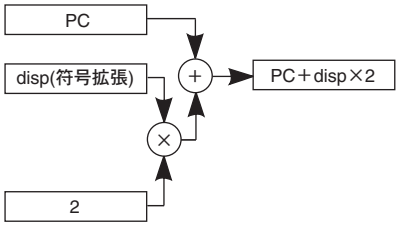
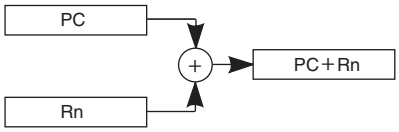
2.4.2 アドレッシングモード

アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.9 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 （オペランドはレジスタ Rn の内容です。）	－
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト：Rn＋1→Rn ワード：Rn＋2→Rn ロングワード：Rn＋4→Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト：Rn－1→Rn ワード：Rn－2→Rn ロングワード：Rn－4→Rn （計算後の Rn で命令実行）
ディスプレースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト：Rn＋disp ワード：Rn＋disp×2 ロングワード：Rn＋disp×4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレースメント付きレジスタ間接	@(disp:12,Rn)	実効アドレスはレジスタ Rn に 12 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張します。 Rn disp(ゼロ拡張) + Rn＋disp	バイト：Rn＋disp ワード：Rn＋disp ロングワード：Rn＋disp
インデックス付きレジスタ間接	@(R0,Rn)	実効アドレスはレジスタ Rn に R0 を加算した内容です。 Rn R0 + Rn＋R0	Rn＋R0
ディスプレースメント付き GBR 間接	@(disp:8,GBR)	実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 GBR disp(ゼロ拡張) 1/2/4 × + GBR ＋disp×1/2/4	バイト：GBR＋disp ワード：GBR＋disp×2 ロングワード： GBR＋disp×4
インデックス付き GBR 間接	@(R0,GBR)	実効アドレスはレジスタ GBR に R0 を加算した内容です。 GBR R0 + GBR＋R0	GBR＋R0
ディスプレースメント付き TBR 二重間接	@@ (disp:8,TBR)	実効アドレスはレジスタ TBR に 8 ビットディスプレースメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。 TBR disp(ゼロ拡張) 4 × + TBR ＋disp×4 (TBR ＋disp×4)	（TBR＋disp×4）アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレースメント付き PC 相対	@(disp:8,PC)	実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。  	ワード：PC＋disp×2 ロングワード： PC&H'FFFFFFFC＋disp×4
PC 相対	disp:8	実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。  	PC＋disp×2
	disp:12	実効アドレスはレジスタ PC に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。  	PC＋disp×2
	Rn	実効アドレスはレジスタ PC に Rn を加算した内容です。  	PC＋Rn

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 31 19 0 符号拡張 imm20ビット	−
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側は符号拡張、下位側はゼロ詰めを行います。 31 27 8 0 imm20ビット 00000000 符号拡張	−
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	−
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	−
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	−
	#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	−

2.4.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx ：命令コード

mmmm ：ソースレジスタ

nnnn ：デスティネーションレジスタ

iiii ：イミディエイトデータ

dddd ：ディスプレースメント

表 2.10 命令形式

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
0 形式	15 0 xxxx xxxx xxxx xxxx	－	－	NOP
n 形式	15 0 xxxx nnnn xxxx xxxx	－	nnnn：レジスタ直接	MOV T Rn
		コントロールレジスタまたはシステムレジスタ	nnnn：レジスタ直接	STS MACH,Rn
		R0（レジスタ直接）	nnnn：レジスタ直接	DIVU R0, Rn
		コントロールレジスタまたはシステムレジスタ	nnnn：プリデクリメントレジスタ間接	STC.L SR,@-Rn
		mmmm：レジスタ直接	R15（プリデクリメントレジスタ間接）	MOVMU.L Rm, @-R15
		R15（ポストインクリメントレジスタ間接）	nnnn：レジスタ直接	MOVMU.L @R15+, Rn
		R0（レジスタ直接）	nnnn：ポストインクリメントレジスタ間接	MOV.L R0,@Rn+
m 形式	15 0 xxxx mmmm xxxx xxxx	mmmm：レジスタ直接	コントロールレジスタまたはシステムレジスタ	LDC Rm,SR
		mmmm：ポストインクリメントレジスタ間接	コントロールレジスタまたはシステムレジスタ	LDC.L @Rm+,SR
		mmmm：レジスタ間接	－	JMP @Rm
		mmmm：プリデクリメントレジスタ間接	R0（レジスタ直接）	MOV.L @-Rm, R0
		mmmm：Rm を用いた PC 相対	－	BRAF Rm

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
nm 形式	15 0 xxxx nnnn mmmm xxxx	mmmm：レジスタ直接	nnnn：レジスタ直接	ADD Rm,Rn
		mmmm：レジスタ直接	nnnn：レジスタ間接	MOV.L Rm,@Rn
		mmmm： ポストインクリメントレジスタ間接（積和演算） nnnn：* ポストインクリメントレジスタ間接（積和演算）	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm： ポストインクリメントレジスタ間接	nnnn：レジスタ直接	MOV.L @Rm+,Rn
		mmmm：レジスタ直接	nnnn： プリデクリメントレジスタ間接	MOV.L Rm,@-Rn
		mmmm：レジスタ直接	nnnn： インデックス付きレジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	15 0 xxxx xxxx mmmm dddd	mmmmdddd： ディスプレースメント付きレジスタ間接	R0（レジスタ直接）	MOV.B @(disp,Rm),R0
nd4 形式	15 0 xxxx xxxx nnnn dddd	R0（レジスタ直接）	nnnndddd： ディスプレースメント付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	15 0 xxxx nnnn mmmm dddd	mmmm：レジスタ直接	nnnndddd： ディスプレースメント付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd： ディスプレースメント付きレジスタ間接	nnnn：レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	32 16 xxxx nnnn mmmm xxxx 15 0 xxxx dddd dddd dddd	mmmm：レジスタ直接	nnnndddd： ディスプレースメント付きレジスタ間接	MOV.L Rm, @(disp12, Rn)
		mmmmdddd： ディスプレースメント付きレジスタ間接	nnnn：レジスタ直接	MOV.L @(disp12, Rm), Rn

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
d 形式	15 0 xxxx xxxx dddd dddd	dddddddd： ディスプレースメント付き GBR 間接	R0（レジスタ直接）	MOV.L @(disp,GBR),R0
		R0（レジスタ直接）	dddddddd： ディスプレースメント付き GBR 間接	MOV.L R0,@(disp,GBR)
		dddddddd： ディスプレースメント付き PC 相対	R0（レジスタ直接）	MOVA @(disp,PC),R0
		dddddddd： ディスプレースメント付き TBR 二重間接	－	JSR/N @@(disp8,TBR)
		dddddddd：PC 相対	－	BF label
d12 形式	15 0 xxxx dddd dddd dddd	ddddddddddddd：PC 相対	－	BRA label (label=disp+PC)
nd8 形式	15 0 xxxx nnnn dddd dddd	dddddddd： ディスプレースメント付き PC 相対	nnnn：レジスタ直接	MOV.L @(disp,PC),Rn
i 形式	15 0 xxxx xxxx iiii iiii	iiiiiiii：イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiiii：イミディエイト	R0（レジスタ直接）	AND #imm,R0
		iiiiiiii：イミディエイト	－	TRAPA #imm
ni 形式	15 0 xxxx nnnn iiii iiii	iiiiiiii：イミディエイト	nnnn：レジスタ直接	ADD #imm,Rn
ni3 形式	15 0 xxxx xxxx nnnn x iii	nnnn：レジスタ直接 iii：イミディエイト	－	BLD #imm3,Rn
		－	nnnn：レジスタ直接 iii：イミディエイト	BST #imm3,Rn
ni20 形式	32 16 xxxx nnnn iiii xxxx 15 0 iiii iiii iiii iiii	iiiiiiiiiiiiiiiiiiii： イミディエイト	nnnn：レジスタ直接	MOVI20 #imm20, Rn

命令形式		ソースオペランド	デスティネーションオペランド	命令の例
nid 形式	32 16 xxxx xxxx nnnn xxxx 15 0 xiii dddd dddd dddd	nnnnddddddddddd： ディスプレースメント付きレジスタ間接 iii：イミディエイト	ー	BLD.B #imm3,@ (disp12,Rn)
		ー	nnnnddddddddddd： ディスプレースメント付きレジスタ間接 iii：イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.5 命令セット

2.5.1 分類順命令セット

命令を分類順に表 2.11 に示します。

表 2.11 命令の分類

分　類	命令の種類	オペコード	機　能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0～Rn のレジスタ退避･復帰	
		MOVMU	Rn～R14、PR のレジスタ退避･復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOVT	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算（32÷32）	
		DIVU	符号なし除算（32÷32）	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分　類	命令の種類	オペコード	機　能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ボロー付き符号反転	
		SUB	2 進減算	
		SUBC	ボロー付き 2 進減算	
		SUBV	アンダフロー付き 2 進減算	
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分　類	命令の種類	オペコード	機　能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐（T=0 で分岐）	15
		BT	条件分岐、遅延付き条件分岐（T=1 で分岐）	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm→R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	
		FMOV	浮動小数点数転送	

分　類	命令の種類	オペコード	機　能	命令数
浮動小数点演算命令	19	FMUL	浮動小数点数乗算	48
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPU に関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計　112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	T ビット
ニーモニックで表示しています。 【記号説明】 OP.Sz SRC, DEST OP：オペコード Sz：サイズ SRC：ソース DEST：デスティネーション Rm：ソースレジスタ Rn：デスティネーションレジスタ imm：イミディエイトデータ disp：ディスプレースメント*2	MSB ←→ LSB の順で表示しています。 【記号説明】 mmmm：ソースレジスタ nnnn：デスティネーションレジスタ 0000：R0 0001：R1 …… 1111：R15 iiii：イミディエイトデータ dddd：ディスプレースメント	動作の概略を表示しています。 【記号説明】 →、←：転送方向 (xx)：メモリオペランド M/Q/T：SR 内のフラグビット &：ビットごとの論理積 |：ビットごとの論理和 ^：ビットごとの排他的論理和 ~：ビットごとの論理否定 <<n：左 n ビットシフト >>n：右 n ビットシフト	ノーウェイトのときの値です。*1	命令実行後の、T ビットの値を表示しています。 【記号説明】 －：変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

（1）命令フェッチとデータアクセスの競合が起こる場合

（2）ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング（×1、×2、×4）されます。

詳しくは、「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

2.5.2 データ転送命令

表 2.12 データ転送命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
MOV #imm, Rn	1110nnnniiiiiiii	imm→符号拡張→Rn	1	–	○	○	
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp×2+PC)→符号拡張→Rn	1	–	○	○	
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp×4+PC)→Rn	1	–	○	○	
MOV Rm, Rn	0110nnnnmmmm0011	Rm→Rn	1	–	○	○	
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm→(Rn)	1	–	○	○	
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm→(Rn)	1	–	○	○	
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm→(Rn)	1	–	○	○	
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm)→符号拡張→Rn	1	–	○	○	
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm)→符号拡張→Rn	1	–	○	○	
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm)→Rn	1	–	○	○	
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1→Rn, Rm→(Rn)	1	–	○	○	
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2→Rn, Rm→(Rn)	1	–	○	○	
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4→Rn, Rm→(Rn)	1	–	○	○	
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm)→符号拡張→Rn, Rm+1→Rm	1	–	○	○	
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm)→符号拡張→Rn, Rm+2→Rm	1	–	○	○	
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm)→Rn, Rm+4→Rm	1	–	○	○	
MOV.B R0, @(disp, Rn)	10000000nnnnddddd	R0→(disp+Rn)	1	–	○	○	
MOV.W R0, @(disp, Rn)	10000001nnnnddddd	R0→(disp×2+Rn)	1	–	○	○	
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddddd	Rm→(disp×4+Rn)	1	–	○	○	
MOV.B @(disp, Rm), R0	10000100mmmmddddd	(disp+Rm)→符号拡張→R0	1	–	○	○	
MOV.W @(disp, Rm), R0	10000101mmmmddddd	(disp×2+Rm)→符号拡張→R0	1	–	○	○	
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddddd	(disp×4+Rm)→Rn	1	–	○	○	
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm→(R0+Rn)	1	–	○	○	
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm→(R0+Rn)	1	–	○	○	
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm→(R0+Rn)	1	–	○	○	
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm)→符号拡張→Rn	1	–	○	○	
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm)→符号拡張→Rn	1	–	○	○	
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm)→Rn	1	–	○	○	
MOV.B R0, @(disp, GBR)	11000000dddddddd	R0→(disp+GBR)	1	–	○	○	
MOV.W R0, @(disp, GBR)	11000001dddddddd	R0→(disp×2+GBR)	1	–	○	○	
MOV.L R0, @(disp, GBR)	11000010dddddddd	R0→(disp×4+GBR)	1	–	○	○	

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR)→符号拡張→R0	1	−	○	○	
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR)→符号拡張→R0	1	−	○	○	
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR)→R0	1	−	○	○	
MOV.B R0, @Rn+	0100nnnn10001011	R0→(Rn), Rn+1→Rn	1	−			○
MOV.W R0, @Rn+	0100nnnn10011011	R0→(Rn), Rn+2→Rn	1	−			○
MOV.L R0, @Rn+	0100nnnn10101011	R0→(Rn), Rn+4→Rn	1	−			○
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1→Rm, (Rm)→符号拡張→R0	1	−			○
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2→Rm, (Rm)→符号拡張→R0	1	−			○
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4→Rm, (Rm)→R0	1	−			○
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000dddddddddddd	Rm→(disp+Rn)	1	−			○
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001dddddddddddd	Rm→(disp×2+Rn)	1	−			○
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010dddddddddddd	Rm→(disp×4+Rn)	1	−			○
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100dddddddddddd	(disp+Rm)→符号拡張→Rn	1	−			○
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101dddddddddddd	(disp×2+Rm)→符号拡張→Rn	1	−			○
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110dddddddddddd	(disp×4+Rm)→Rn	1	−			○
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC→R0	1	−	○	○	
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiiii	imm→符号拡張→Rn	1	−			○
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiiii	imm<<8→符号拡張→Rn	1	−			○
MOVML.L Rm, @-R15	0100mmmm11110001	R15-4→R15, Rm→(R15) R15-4→R15, Rm-1→(R15) : R15-4→R15, R0→(R15) ※Rm=R15 のとき、Rm を PR に読み替え	1～16	−			○

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
MOVML.L @R15+, Rn	0100nnnn11110101	(R15)→R0, R15+4→R15 (R15)→R1, R15+4→R15 : (R15)→Rn ※Rn=R15 のとき、Rm を PR に読み替え	1～16	−			○
MOVMU.L Rm, @-R15	0100mmmm11110000	R15-4→R15, PR→(R15) R15-4→R15, R14→(R15) : R15-4→R15, Rm→(R15) ※Rm=R15 のとき、Rm を PR に読み替え	1～16	−			○
MOVMU.L @R15+, Rn	0100nnnn11110100	(R15)→Rn, R15+4→R15 (R15)→Rn+1, R15+4→R15 : (R15)→R14, R15+4→R15 (R15)→PR ※Rn=R15 のとき、Rm を PR に読み替え	1～16	−			○
MOVRT Rn	0000nnnn00111001	~T→Rn	1	−			○
MOVT Rn	0000nnnn00101001	T→Rn	1	−	○	○	
MOVU.B @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm)→ゼロ拡張→Rn	1	−			○
MOVU.W @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp×2+Rm)→ゼロ拡張→Rn	1	−			○
NOTT	0000000001101000	~T→T	1	演算結果			○
PREF @Rn	0000nnnn10000011	(Rn)→オペランドキャッシュ	1	−		○	
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm→下位 2 バイトの上下バイト交換→Rn	1	−	○	○	
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm→上下ワード交換→Rn	1	−	○	○	
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット→Rn	1	−	○	○	

2.5.3 算術演算命令

表 2.13 算術演算命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm→Rn	1	−	○	○	
ADD #imm, Rn	0111nnnniiiiiiii	Rn+imm→Rn	1	−	○	○	
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T→Rn, キャリー→T	1	キャリー	○	○	
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm→Rn, オーバフロー→T	1	オーバフロー	○	○	
CMP/EQ #imm, R0	10001000iiiiiiii	R0=imm のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn≧Rm のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn≧Rm のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/PZ Rn	0100nnnn00010001	Rn≧0 のとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1→T それ以外のとき 0→T	1	比較結果	○	○	
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) →Rn, 1→CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) →Rn, 1→CS	1	−			○
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) →Rn, 1→CS Rn<(H'FFFF8000)のとき、 (H'FFFF8000) →Rn, 1→CS	1	−			○

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、(H'000000FF) →Rn, 1→CS	1	−			○
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、(H'0000FFFF) →Rn, 1→CS	1	−			○
DIV1 Rm, Rn	0011nnnnmmmm0100	1 ステップ除算(Rn÷Rm)	1	計算結果	○	○	
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB→Q, Rm の MSB→M, M ^ Q→T	1	計算結果	○	○	
DIV0U	0000000000011001	0→M/Q/T	1	0	○	○	
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn÷R0→Rn 32÷32→32 ビット	36	−			○
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn÷R0→Rn 32÷32→32 ビット	34	−			○
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn×Rm→MACH, MACL 32×32→64 ビット	2	−	○	○	
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn×Rm→MACH, MACL 32×32→64 ビット	2	−	○	○	
DT Rn	0100nnnn00010000	Rn−1→Rn, Rn が 0 のとき 1→T Rn が 0 以外のとき 0→T	1	比較結果	○	○	
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張→Rn	1	−	○	○	
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張→Rn	1	−	○	○	
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張→Rn	1	−	○	○	
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張→Rn	1	−	○	○	
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 32×32+64→64 ビット	4	−	○	○	
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 16×16+64→64 ビット	3	−	○	○	
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn×Rm→MACL 32×32→32 ビット	2	−	○	○	
MULR R0, Rn	0100nnnn10000000	R0×Rn→Rn 32×32→32 ビット	2				○
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn×Rm→MACL 16×16→32 ビット	1	−	○	○	
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn×Rm→MACL 16×16→32 ビット	1	−	○	○	
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm→Rn	1	−	○	○	
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T→Rn, ボロー→T	1	ボロー	○	○	
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm→Rn	1	−	○	○	

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T→Rn, ボロー→T	1	ボロー	○	○	
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm→Rn, アンダフロー→T	1	オーバフロー	○	○	

2.5.4 論理演算命令

表 2.14 論理演算命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm→Rn	1	ー	○	○	
AND #imm, R0	11001001iiiiiiii	R0 & imm→R0	1	ー	○	○	
AND.B #imm, @(R0, GBR)	11001101iiiiiiii	(R0+GBR) & imm→(R0+GBR)	3	ー	○	○	
NOT Rm, Rn	0110nnnnmmmm0111	~Rm→Rn	1	ー	○	○	
OR Rm, Rn	0010nnnnmmmm1011	Rn｜Rm→Rn	1	ー	○	○	
OR #imm, R0	11001011iiiiiiii	R0｜imm→R0	1	ー	○	○	
OR.B #imm, @(R0, GBR)	11001111iiiiiiii	(R0+GBR)｜imm→(R0+GBR)	3	ー	○	○	
TAS.B @Rn	0100nnnn00011011	(Rn)が 0 のとき 1→T, それ以外のとき 0→T, 1→MSB of(Rn)	3	テスト結果	○	○	
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が 0 のとき 1→T, その他 0→T	1	テスト結果	○	○	
TST #imm, R0	11001000iiiiiiii	R0 & imm, 結果が 0 のとき 1→T その他 0→T	1	テスト結果	○	○	
TST.B #imm, @(R0, GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が 0 のとき 1→T その他 0→T	3	テスト結果	○	○	
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm→Rn	1	ー	○	○	
XOR #imm, R0	11001010iiiiiiii	R0 ^ imm→R0	1	ー	○	○	
XOR.B #imm, @(R0, GBR)	11001110iiiiiiii	(R0+GBR) ^ imm→(R0+GBR)	3	ー	○	○	

2.5.5 シフト命令

表 2.15 シフト命令

命令		命令コード	動作	実行ステート	T ビット	互換性		
						SH2E	SH4	SH-2A/ SH2A-FPU
ROTL	Rn	0100nnnn00000100	T←Rn←MSB	1	MSB	○	○	
ROTR	Rn	0100nnnn00000101	LSB→Rn→T	1	LSB	○	○	
ROTCL	Rn	0100nnnn00100100	T←Rn←T	1	MSB	○	○	
ROTCR	Rn	0100nnnn00100101	T→Rn→T	1	LSB	○	○	
SHAD	Rm, Rn	0100nnnnmmmm1100	Rm≧0 のとき Rn<<Rm→Rn Rm<0 のとき Rn>>|Rm|→[MSB→Rn]	1	―		○	
SHAL	Rn	0100nnnn00100000	T←Rn←0	1	MSB	○	○	
SHAR	Rn	0100nnnn00100001	MSB→Rn→T	1	LSB	○	○	
SHLD	Rm, Rn	0100nnnnmmmm1101	Rm≧0 のとき Rn<<Rm→Rn Rm<0 のとき Rn>>|Rm|→[0→Rn]	1	―		○	
SHLL	Rn	0100nnnn00000000	T←Rn←0	1	MSB	○	○	
SHLR	Rn	0100nnnn00000001	0→Rn→T	1	LSB	○	○	
SHLL2	Rn	0100nnnn00001000	Rn<<2→Rn	1	―	○	○	
SHLR2	Rn	0100nnnn00001001	Rn>>2→Rn	1	―	○	○	
SHLL8	Rn	0100nnnn00011000	Rn<<8→Rn	1	―	○	○	
SHLR8	Rn	0100nnnn00011001	Rn>>8→Rn	1	―	○	○	
SHLL16	Rn	0100nnnn00101000	Rn<<16→Rn	1	―	○	○	
SHLR16	Rn	0100nnnn00101001	Rn>>16→Rn	1	―	○	○	

2.5.6 分岐命令

表 2.16 分岐命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
BF label	10001011dddddddd	T=0 のとき disp×2+PC→PC, T=1 のとき nop	3/1*	ー	○	○	
BF/S label	10001111dddddddd	遅延分岐、T=0 のとき disp×2+PC→PC, T=1 のとき nop	2/1*	ー	○	○	
BT label	10001001dddddddd	T=1 のとき disp×2+PC→PC, T=0 のとき nop	3/1*	ー	○	○	
BT/S label	10001101dddddddd	遅延分岐、T=1 のとき disp×2+PC→PC, T=0 のとき nop	2/1*	ー	○	○	
BRA label	1010ddddddddddd	遅延分岐、disp×2+PC→PC	2	ー	○	○	
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC→PC	2	ー	○	○	
BSR label	1011ddddddddddd	遅延分岐、PC→PR, disp×2+PC→PC	2	ー	○	○	
BSRF Rm	0000mmmm00000011	遅延分岐、PC→PR, Rm+PC→PC	2	ー	○	○	
JMP @Rm	0100mmmm00101011	遅延分岐、Rm→PC	2	ー	○	○	
JSR @Rm	0100mmmm00001011	遅延分岐、PC→PR, Rm→PC	2	ー	○	○	
JSR/N @Rm	0100mmmm01001011	PC-2→PR, Rm→PC	3	ー			○
JSR/N @@(disp8, TBR)	10000011dddddddd	PC-2→PR, (disp×4+TBR)→PC	5	ー			○
RTS	0000000000001011	遅延分岐、PR→PC	2	ー	○	○	
RTS/N	0000000001101011	PR→PC	3	ー			○
RTV/N Rm	0000mmmm01111011	Rm→R0, PR→PC	3	ー			○

【注】 * 分岐しないときは 1 ステートになります。

2.5.7 システム制御命令

表 2.17 システム制御命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/ SH2A-FPU
CLRT	0000000000001000	0→T	1	0	○	○	
CLRMAC	0000000000101000	0→MACH,MACL	1	ー	○	○	
LDBANK @Rm, R0	0100mmmm11100101	（指定レジスタバンクエントリ）→ R0	6	ー			○
LDC Rm, SR	0100mmmm00001110	Rm→SR	3	LSB	○	○	
LDC Rm, TBR	0100mmmm01001010	Rm→TBR	1	ー			○
LDC Rm, GBR	0100mmmm00011110	Rm→GBR	1	ー	○	○	
LDC Rm, VBR	0100mmmm00101110	Rm→VBR	1	ー	○	○	
LDC.L @Rm+, SR	0100mmmm00000111	(Rm)→SR, Rm+4→Rm	5	LSB	○	○	
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm)→GBR, Rm+4→Rm	1	ー	○	○	
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm)→VBR, Rm+4→Rm	1	ー	○	○	
LDS Rm, MACH	0100mmmm00001010	Rm→MACH	1	ー	○	○	
LDS Rm, MACL	0100mmmm00011010	Rm→MACL	1	ー	○	○	
LDS Rm, PR	0100mmmm00101010	Rm→PR	1	ー	○	○	
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm)→MACH, Rm+4→Rm	1	ー	○	○	
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm)→MACL, Rm+4→Rm	1	ー	○	○	
LDS.L @Rm+, PR	0100mmmm00100110	(Rm)→PR, Rm+4→Rm	1	ー	○	○	
NOP	0000000000001001	無操作	1	ー	○	○	
RESBANK	0000000001011011	バンク→R0～R14, GBR, MACH, MACL, PR	9*	ー			○
RTE	0000000000101011	遅延分岐、スタック領域→PC/SR	6	ー	○	○	
SETT	0000000000011000	1→T	1	1	○	○	
SLEEP	0000000000011011	スリープ	5	ー	○	○	
STBANK R0, @Rn	0100nnnn11100001	R0→（指定レジスタバンクエントリ）	7	ー			○
STC SR, Rn	0000nnnn00000010	SR→Rn	2	ー	○	○	
STC TBR, Rn	0000nnnn01001010	TBR→Rn	1	ー			○
STC GBR, Rn	0000nnnn00010010	GBR→Rn	1	ー	○	○	
STC VBR, Rn	0000nnnn00100010	VBR→Rn	1	ー	○	○	
STC.L SR, @- Rn	0100nnnn00000011	Rn-4→Rn, SR→(Rn)	2	ー	○	○	
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4→Rn, GBR→(Rn)	1	ー	○	○	
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4→Rn, VBR→(Rn)	1	ー	○	○	

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
STS MACH, Rn	0000nnnn00001010	MACH→Rn	1	ー	○	○	
STS MACL, Rn	0000nnnn00011010	MACL→Rn	1	ー	○	○	
STS PR, Rn	0000nnnn00101010	PR→Rn	1	ー	○	○	
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4→Rn, MACH→(Rn)	1	ー	○	○	
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4→Rn, MACL→(Rn)	1	ー	○	○	
STS.L PR, @-Rn	0100nnnn00100010	Rn-4→Rn, PR→(Rn)	1	ー	○	○	
TRAPA #imm	11000011iiiiiiii	PC/SR→スタック領域、(imm×4+VBR)→PC	5	ー	○	○	

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

（1）命令フェッチとデータアクセスの競合が起こる場合

（2）ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

＊ バンクのオーバフロー時は、ステート数が 19 です。

2.5.8 浮動小数点演算命令

表 2.18 浮動小数点演算命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
FABS FRn	1111nnnn01011101	|FRn|→FRn	1	ー	○	○	
FABS DRn	1111nnn001011101	|DRn|→DRn	1	ー		○	
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm→FRn	1	ー	○	○	
FADD DRm, DRn	1111nnn0mmm00000	DRn+DRm→DRn	6	ー		○	
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0→T	1	比較結果	○	○	
FCMP/EQ DRm, DRn	1111nnn0mmm00100	(DRn=DRm)? 1:0→T	2	比較結果		○	
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0→T	1	比較結果	○	○	
FCMP/GT DRm, DRn	1111nnn0mmm00101	(DRn>DRm)? 1:0→T	2	比較結果		○	
FCNVDS DRm, FPUL	1111mmm010111101	(float)DRm→FPUL	2	ー		○	
FCNVSD FPUL, DRn	1111nnn010101101	(double)FPUL→DRn	2	ー		○	
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm→FRn	10	ー	○	○	
FDIV DRm, DRn	1111nnn0mmm00011	DRn/DRm→DRn	23	ー		○	
FLDI0 FRn	1111nnnn10001101	0×00000000→FRn	1	ー	○	○	
FLDI1 FRn	1111nnnn10011101	0×3F800000→FRn	1	ー	○	○	

命令	命令コード	動作	実行ステート	Tビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
FLDS FRm, FPUL	1111mmmm00011101	FRm→FPUL	1	—	○	○	
FLOAT FPUL,FRn	1111nnnn00101101	(float)FPUL→FRn	1	—	○	○	
FLOAT FPUL,DRn	1111nnn000101101	(double)FPUL→DRn	2	—		○	
FMAC FR0,FRm,FRn	1111nnnnmmmm1110	FR0×FRm+FRn→FRn	1	—	○	○	
FMOV FRm, FRn	1111nnnnmmmm1100	FRm→FRn	1	—	○	○	
FMOV DRm, DRn	1111nnn0mmm01100	DRm→DRn	2	—		○	
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm)→FRn	1	—	○	○	
FMOV.D @(R0, Rm), DRn	1111nnn0mmmm0110	(R0+Rm)→DRn	2	—		○	
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm)→FRn, Rm+=4	1	—	○	○	
FMOV.D @Rm+, DRn	1111nnn0mmmm1001	(Rm)→DRn, Rm+=8	2	—		○	
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm)→FRn	1	—	○	○	
FMOV.D @Rm, DRn	1111nnn0mmmm1000	(Rm)→DRn	2	—		○	
FMOV.S @(disp12,Rm),FRn	0011nnnnmmmm0001 0111dddddddddddd	(disp×4+Rm)→FRn	1	—			○
FMOV.D @(disp12,Rm),DRn	0011nnn0mmmm0001 0111dddddddddddd	(disp×8+Rm)→DRn	2	—			○
FMOV.S FRm, @(R0,Rn)	1111nnnnmmmm0111	FRm→(R0+Rn)	1	—	○	○	
FMOV.D DRm, @(R0,Rn)	1111nnnnmmm00111	DRm→(R0+Rn)	2	—		○	
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn-=4, FRm→(Rn)	1	—	○	○	
FMOV.D DRm, @-Rn	1111nnnnmmm01011	Rn-=8, DRm→(Rn)	2	—		○	
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm→(Rn)	1	—	○	○	
FMOV.D DRm, @Rn	1111nnnnmmm01010	DRm→(Rn)	2	—		○	
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011dddddddddddd	FRm→(disp×4+Rn)	1	—			○
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmm00001 0011dddddddddddd	DRm→(disp×8+Rn)	2	—			○
FMUL FRm, FRn	1111nnnnmmmm0010	FRn×FRm→FRn	1	—	○	○	
FMUL DRm, DRn	1111nnn0mmm00010	DRn×DRm→DRn	6	—		○	
FNEG FRn	1111nnnn01001101	-FRn→FRn	1	—	○	○	
FNEG DRn	1111nnn001001101	-DRn→DRn	1	—		○	
FSCHG	1111001111111101	FPSCR.SZ=~FPSCR.SZ	1	—		○	
FSQRT FRn	1111nnnn01101101	√FRn→FRn	9	—		○	
FSQRT DRn	1111nnn001101101	√DRn→DRn	22	—		○	
FSTS FPUL,FRn	1111nnnn00001101	FPUL→FRn	1	—	○	○	
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm→FRn	1	—	○	○	
FSUB DRm, DRn	1111nnn0mmm00001	DRn-DRm→DRn	6	—		○	
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm→FPUL	1	—	○	○	
FTRC DRm, FPUL	1111mmm000111101	(long)DRm→FPUL	2	—		○	

2.5.9 FPU に関する CPU 命令

表 2.19 FPU に関する CPU 命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm→FPSCR	1	−	○	○	
LDS Rm,FPUL	0100mmmm01011010	Rm→FPUL	1	−	○	○	
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm)→FPSCR, Rm+=4	1	−	○	○	
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm)→FPUL, Rm+=4	1	−	○	○	
STS FPSCR, Rn	0000nnnn01101010	FPSCR→Rn	1	−	○	○	
STS FPUL,Rn	0000nnnn01011010	FPUL→Rn	1	−	○	○	
STS.L FPSCR,@-Rn	0100nnnn01100010	Rn-=4, FPCSR→(Rn)	1	−	○	○	
STS.L FPUL,@-Rn	0100nnnn01010010	Rn-=4, FPUL→(Rn)	1	−	○	○	

2.5.10 ビット操作命令

表 2.20 ビット操作命令

命令	命令コード	動作	実行ステート	T ビット	互換性		
					SH2E	SH4	SH-2A/SH2A-FPU
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T → T	3	演算結果			○
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T → T	3	演算結果			○
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0→ (imm of (disp+ Rn))	3	−			○
BCLR #imm3, Rn	10000110nnnn0iii	0→ imm of Rn	1	−			○
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) → T	3	演算結果			○
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn →T	1	演算結果			○
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) → T	3	演算結果			○
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) | T → T	3	演算結果			○
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) | T → T	3	演算結果			○

命令		命令コード	動作	実行ステート	T ビット	互換性		
						SH2E	SH4	SH-2A/ SH2A-FPU
BSET.B	#imm3,@(disp12,Rn)	0011nnnn0iii1001 0001dddddddddddd	1→ (imm of (disp+Rn))	3	–			○
BSET	#imm3, Rn	10000110nnnn1iii	1→ imm of Rn	1	–			○
BST.B	#imm3,@(disp12,Rn)	0011nnnn0iii1001 0010dddddddddddd	T→(imm of (disp+Rn))	3	–			○
BST	#imm3, Rn	10000111nnnn0iii	T→ imm of Rn	1	–			○
BXOR.B	#imm3, @(disp12, Rn)	0011nnnn0iii1001 0110dddddddddddd	(imm of (disp+ Rn)) ^ T → T	3	演算結果			○

2.6 処理状態

CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、低消費電力状態の 4 種類があります。状態間の遷移を図 2.8 に示します。

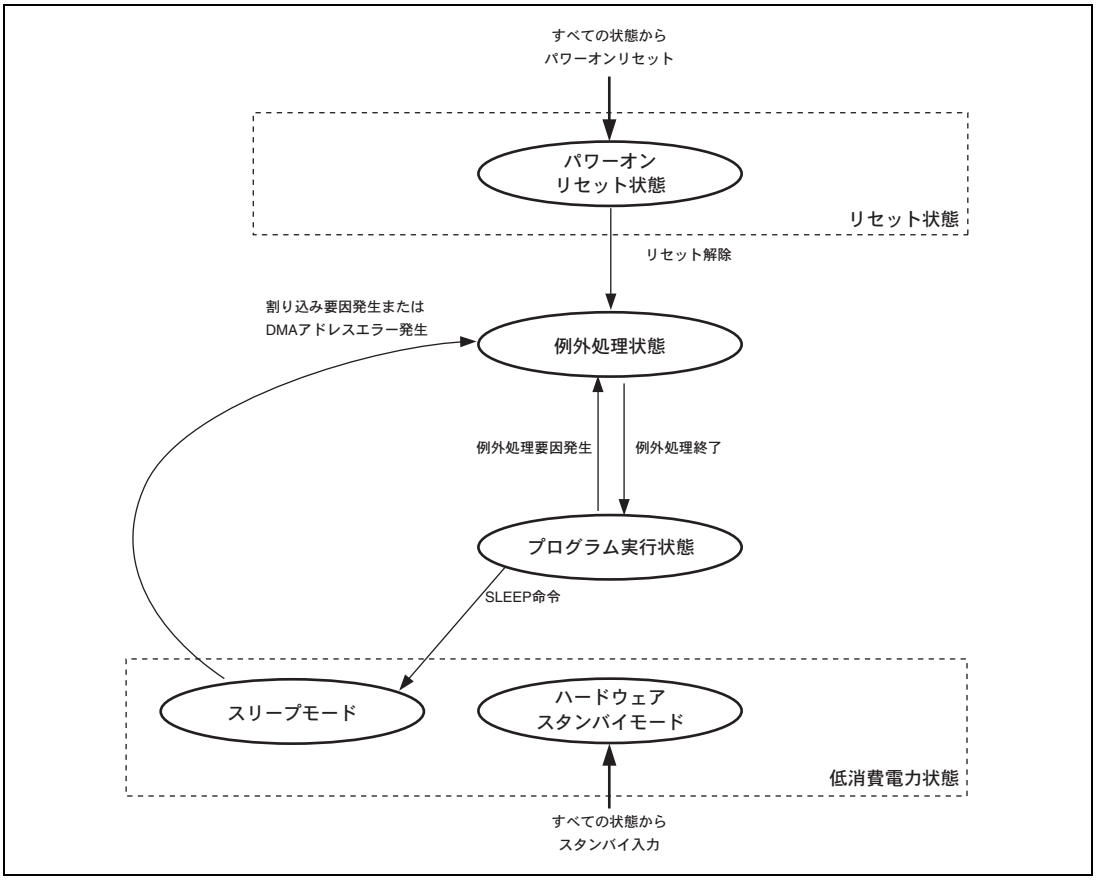


図 2.8 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。CPU は、パワーオンリセットによりリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ（PC）の初期値としての実行開始アドレスとスタックポインタ（SP）の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SP を参照して、PC とステータスレジスタ（SR）をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの

実行を開始します。

その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモードになります。ハードウェアスタンバイ入力が入るとハードウェアスタンバイモードになります。

3. 動作モード

本 LSI は JTAG インタフェースを搭載しているため、通常動作モードであっても JTAG インタフェース機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。

3.1 動作モードの種類と選択

本 LSI には、4 種類の動作モードがあります。動作モードは、MDA、MDB、MDC、MDD 端子で設定します。モード設定端子は、LSI の動作中に変化させないでください。ただし、MCU シングルチップモードとユーザプログラムモード間の遷移については、MDA 端子のみ動作中の変更が可能です。また、表 3.2 にない組み合わせは設定しないでください。

PVcc の電源電圧は表 3.1 に示す範囲で使用してください。

表 3.1 動作モードの選択

動作モード番号	モード名	内蔵 ROM	外部バス	ROM 書き込み	PVcc 電圧
モード 0	MCU シングルチップモード	有効	無効	不可	5.0V±0.5V
モード 1	ブートモード	有効	無効	可	5.0V±0.5V
モード 2	ユーザプログラムモード	有効	無効	可	5.0V±0.5V
モード 3	ユーザブートモード	有効	無効	可	5.0V±0.5V

表 3.2 動作モードの端子設定

動作モード番号	モード名	端子設定		
		MDD/MDC*	MDB	MDA
モード 0	MCU シングルチップモード	0	0	0
モード 1	ブートモード		1	0
モード 2	ユーザプログラムモード		0	1
モード 3	ユーザブートモード		1	1

【注】 * MDC および MDD 端子は常に 0 にする必要があります。

MCU 動作モードとして MCU シングルチップモードがあります。

フラッシュメモリにプログラムを書き込むモードとして、オンボードプログラミングモードであるブートモード、ユーザブートモード、ユーザプログラムモードがあります。

また、本 LSI は上記の動作モードとは独立に、外部にエミュレータを接続してデバッグを行うためのモードとして ASE モードを持っています。ASEMD 端子に 1 を入力すると ASE モードとして動作します。たとえば、MDA、MDB、MDC、MDD 端子の設定によって MCU シングルチップモードが選択されていれば、ASE モードの MCU シングルチップモードとして動作することになります。

ただし、エミュレータを接続しないで ASE モードに設定した場合の動作は保証されません。エミュレータを接続せずに通常動作させる場合には、必ず ASEMD 端子に 0 を入力して、通常動作モードにしてください。

なお、本マニュアルにおいては、特に明記してある場合を除き、通常動作モードであることを前提として説明します。

4. クロック発振器（CPG）

4.1 概要

クロック発振器（CPG）は、本 LSI 内部と外部デバイスにクロックパルスを供給します。本 LSI の CPG は、発振回路と PLL 逓倍回路で構成されています。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2 通りがあります。

発振回路は入力クロックと同じ周波数で発振します。

LSI の内部には内部クロック（φ）と周辺クロック（Pφ）の 2 種類のクロックがあります。

内部クロック（φ）は、CPU、FPU、内蔵 RAM、ROM キャッシュなどのモジュールに供給されます。周波数は、EXTAL 端子からの入力クロック周波数の 6、8（SH72533）、10（SH72533D）逓倍のいずれかを選択可能です。逓倍比の変更は、MD_CLK0 端子による設定でのみ変更可能です。LSI の動作中に逓倍比を切り換えることはできません。

周辺クロック（Pφ）は、主に内蔵周辺モジュールに供給されます。その周波数は EXTAL 端子からの入力クロック周波数の 1、2 逓倍のいずれかを選択可能です。逓倍比の変更は、MD_CLKP 端子による設定でのみ変更可能です。LSI の動作中に逓倍比を切り換えることはできません。CK 端子からは周辺クロック（Pφ）が出力されます。

CPG はハードウェアスタンバイモード時に停止します。

図 4.1 にクロック発振器のブロック図を示します。

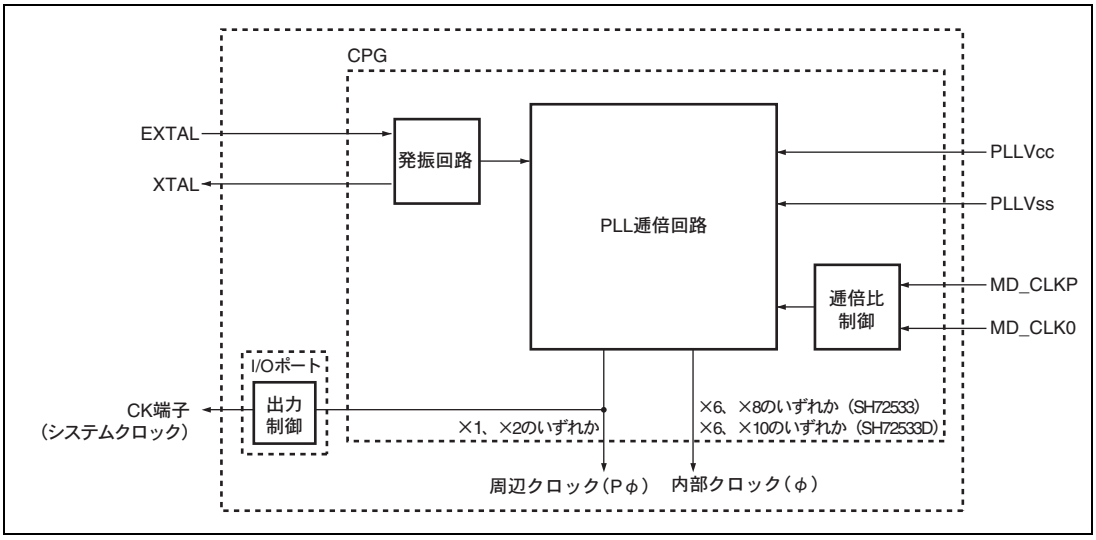


図 4.1　クロック発振器のブロック図

4.2 入出力端子

クロック発振器に関連する端子を表 4.1 に示します。

表 4.1 端子構成

名称	端子名	入出力	機　　能
外部クロック	EXTAL	入力	水晶発振子または外部クロックの入力
クリスタル	XTAL	出力	水晶発振子を接続
システムクロック	CK	出力	システムクロック出力
クロックモード設定	MD_CLKP	入力	周辺クロック周波数を設定
	MD_CLK0	入力	PLL 逓倍比を設定
PLL 電源	$PLLV_{CC}$	入力	PLL 逓倍回路用電源
PLL グランド	$PLLV_{SS}$	入力	PLL 逓倍回路用グランド

4.3 周波数範囲とクロック選択

LSI の内部に供給されるクロックは、内部クロック（φ）と周辺クロック（Pφ）の 2 種類のクロックがあります。

内部クロック（φ）は、CPU、FPU、内蔵 RAM、ROM キャッシュなどのモジュールに供給されます。内部クロック（φ）周波数は、端子設定（MD_CLK0）によって、EXTAL 端子からの入力クロック周波数の 6 倍、8 倍（SH72533）、10 倍（SH72533D）のいずれかから選択できます。

周辺クロック（Pφ）は、主に内蔵周辺モジュールに供給され、端子設定（MD_CLKP）によって、入力周波数（EXTAL 端子）の 1 倍、2 倍のいずれかを選択できます。CK 端子から出力するシステムクロックには、周辺クロック（Pφ）を出力します。

端子設定ごとの入力周波数と動作周波数の範囲を**表 4.2** に示します。

CK 端子は、I/O ポートの CK コントロールレジスタ（CKCR）を設定することで、端子出力の有効／無効を制御できます。CKCR の詳細は**「第 21 章　I/O ポート」**を参照してください。

表 4.2（1）　周波数範囲とクロック選択（SH72533）

端子設定		入力周波数（MHz）	PLL 逓倍比	内部クロック周波数（MHz）	周辺クロック周波数（MHz）
MD_CLKP	MD_CLK0				
0	0	16～20	×6	96～120	16～20
	1		×8	128～160	
1	0		×6	96～120	32～40
	1		×8	128～160	

【注】　LSI の動作中に逓倍比を切り換えることはできません。また、LSI の動作中に端子設定を変更しないでください。

表 4.2（2）　周波数範囲とクロック選択（SH72533D）

端子設定		入力周波数（MHz）	PLL 逓倍比	内部クロック周波数（MHz）	周辺クロック周波数（MHz）
MD_CLKP	MD_CLK0				
0	0	16～20	×6	96～120	16～20
	1		×10	160～200	
1	0		×6	96～120	32～40
	1		×10	160～200	

【注】　LSI の動作中に逓倍比を切り換えることはできません。また、LSI の動作中に端子設定を変更しないでください。

4.4 クロックソース

クロックソースとして、水晶発振子と外部クロックのどちらかを選ぶことができます。

4.4.1 水晶発振子の接続方法

（1） 回路構成

図 4.2 に水晶発振子の接続方法を示します。ダンピング抵抗 Rd は**表 4.3** に示すものを使用してください。水晶発振子は、AT カット基本波仕様のものを使用してください。また、**図 4.2** のように負荷容量（CL1、CL2）を必ず接続してください。

水晶発振子と内部の発振器によって生成されたクロックパルスは、PLL 逓倍回路に送られ、そこで設定した周波数に逓倍されて、本 LSI の内部と外部デバイスに供給されます。

なお、水晶発振子と LSI の相性については、水晶発振子メーカとご相談ください。

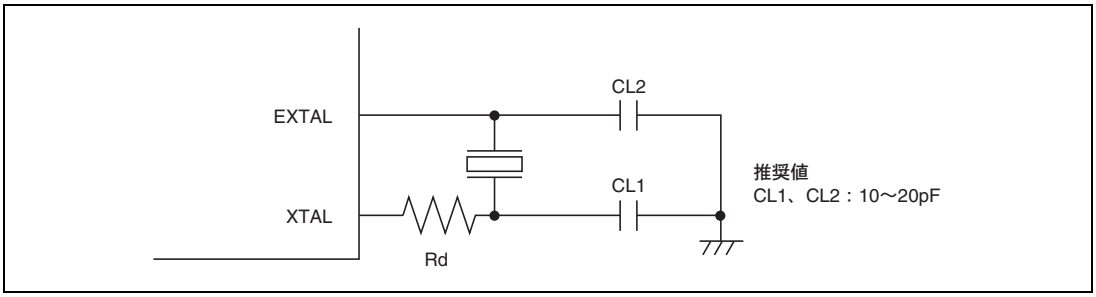


図 4.2 水晶発振子の接続例

表 4.3 ダンピング抵抗値（推奨値）

周波数（MHz）	16	20
Rd（Ω）	0	0

（2） 水晶発振子

図 4.3 に水晶発振子の等価回路を示します。水晶発振子は、表 4.4 に示す特性のものを使ってください。

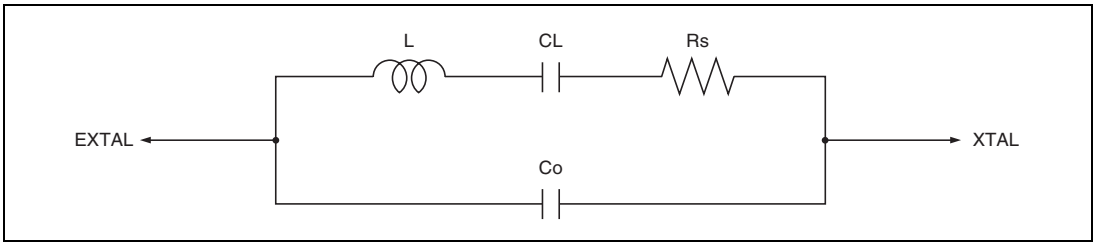


図 4.3 水晶発振子の等価回路

表 4.4 水晶発振子の特性（推奨値）

パラメータ	周波数（MHz）	
	16	20
Rs（Ω）	22	20
Co（pF）	1	1

4.4.2 外部クロックの入力方法

外部クロック入力の接続例を図 4.4 に示します。

XTAL 端子をオープン状態にしてください。XTAL 端子の寄生容量は 1pF 以下としてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

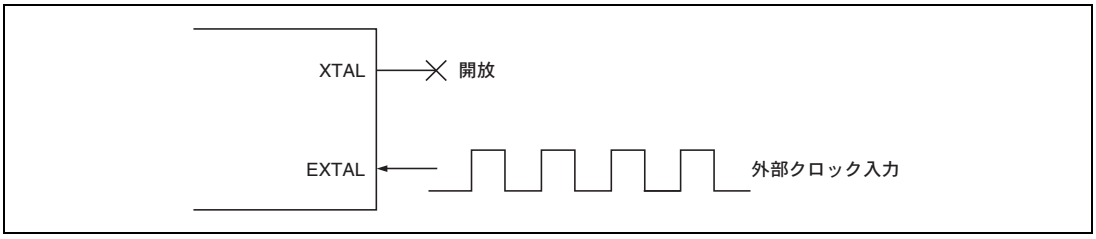


図 4.4 外部クロックの入力方法

4.5 使用上の注意事項

4.5.1 ボード設計上の注意

水晶発振子と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください（図 4.5）。誘導のために正しい発振ができなくなることがあります。

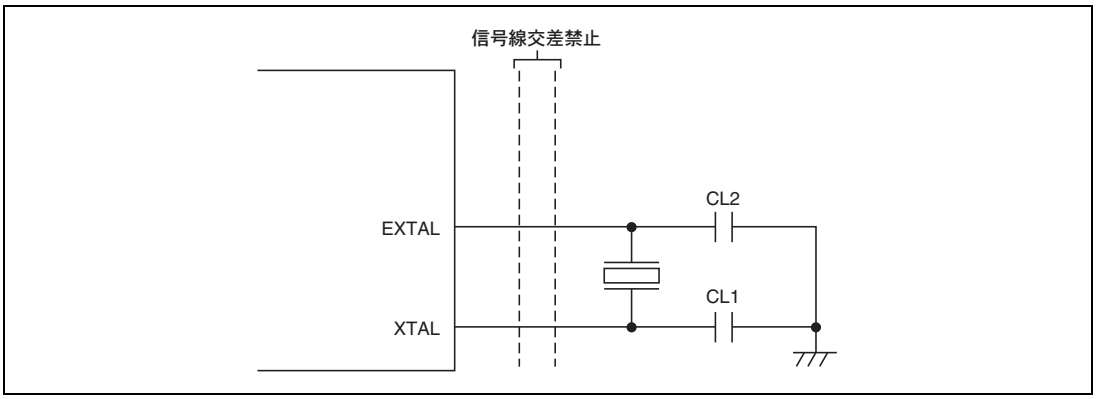


図 4.5 ボード設計上の注意

4.5.2 PLL 発振器用電源接続時の注意

$PLLV_{CC}$ と $PLLV_{SS}$ は、その他の V_{CC}、V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ C_{PB} および C_B を必ず挿入してください。

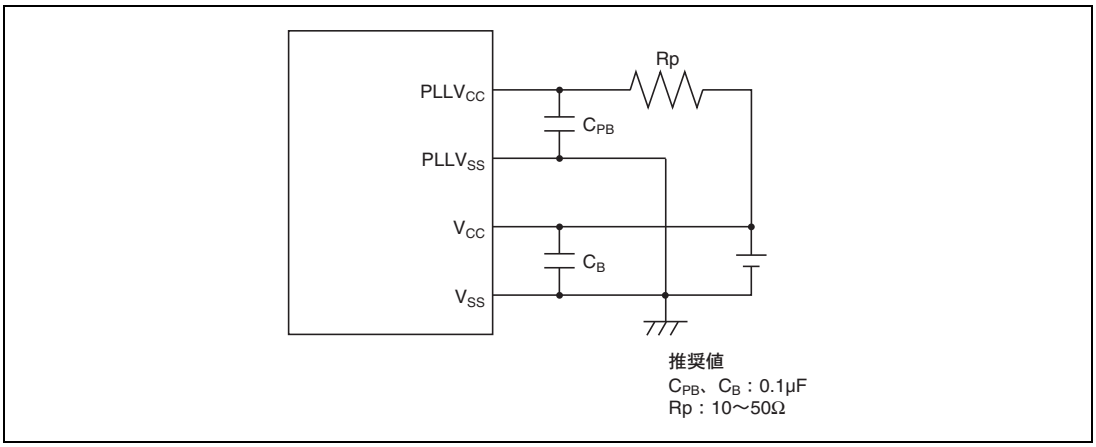


図 4.6 PLL 発振器用電源接続時の注意

5. アドレス空間

表 5.1 に本 LSI のシングルチップモードのアドレス空間を示します。

内蔵 I/O レジスタ空間へのアクセスは、「第 29 章　レジスタ一覧」に示すアドレスにアクセスしてください。これらに記載のないアドレスおよび予約エリアにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

表 5.1　シングルチップモードのアドレス空間

アドレス	アドレス空間の種類	サイズ
H'0000 0000～H'001F FFFF （H'0000 0000～H'0000 7FFF）*1	内蔵 ROM（ユーザマット リード） （内蔵 ROM（ユーザブートマット リード））	2.0MB （32KB）
H'0020 0000～H'0040 1FFF	予約エリア	
H'0040 2000～H'0040 3FFF	FCU ファーム領域*3	8KB
H'0040 4000～H'004F FFFF	予約エリア	
H'0050 0000～H'0050 1FFF	FCU ファーム領域*3	8KB
H'0050 2000～H'800F FFFF	予約エリア	
H'8010 0000～H'8010 7FFF	EEPROM（リード／ライト）*2	32KB
H'8010 8000～H'807F FFFF	予約エリア	
H'8080 0000～H'809F FFFF （H'8080 0000～H'8080 7FFF）*1	内蔵 ROM（ユーザマット ライト） （内蔵 ROM（ユーザブートマット ライト））	2.0MB （32KB）
H'80A0 0000～H'80FF 7FFF	予約エリア	
H'80FF 8000～H'80FF 9FFF	FCU RAM 領域	8KB
H'80FF A000～H'FFF7 FFFF	予約エリア	
H'FFF8 0000～H'FFF9 7FFF	内蔵 RAM	96KB
H'FFF9 8000～H'FFFB FFFF	予約エリア	
H'FFFC 0000～H'FFFF FFFF	内蔵 I/O レジスタ	256KB（Max.）

【注】 *1　内蔵 ROM のユーザブートマットを選択した場合です。詳細は、「第 23 章　ROM」を参照してください。

*2　EEPROM 領域には、ロットトレース情報が含まれます。詳細は、「第 24 章　EEPROM」を参照してください。

*3　FCU ファームウェア転送フローにより、読み出す領域が異なります。詳細は、「第 23 章　ROM」を参照してください。

6. リセット

$\overline{\text{RES}}$ 端子にローレベル信号を入力するとパワーオンリセット状態になります。その後、$\overline{\text{RES}}$ 端子にハイレベルを入力するとリセット状態が解除され、CPU はパワーオンリセット例外処理を開始します。

6.1 リセット動作

$\overline{\text{RES}}$ 端子にノイズキャンセル幅（t_{RESNCW}）以上のローレベルパルスが入力されると、リセットが受け付けられます。リセットが受け付けられると端子がリセットされ、各端子はリセット状態に遷移します。各端子のリセット中の状態は、**「付録 A. 端子状態」**に示している状態になります。

リセット受け付け後、3～4Pφサイクル後に CPU を含む内蔵回路がリセットされます。$\overline{\text{RES}}$ 端子に入力するローレベルパルス幅は、t_{RESW}（t_{cyc}）以上の期間入力する必要があります。その後、$\overline{\text{RES}}$ 端子にハイレベルを入力すると、3～4Pφサイクル後に内蔵回路のリセットが解除され、CPU はパワーオンリセット例外処理を開始します。

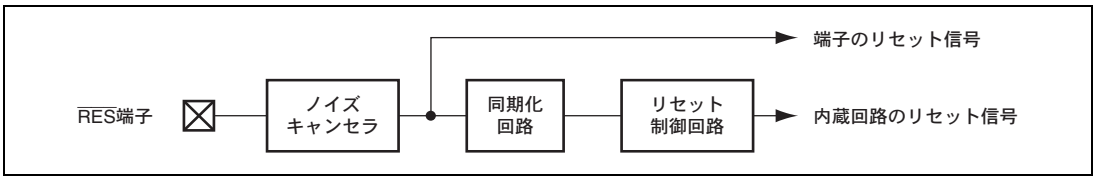


図 6.1 リセット回路

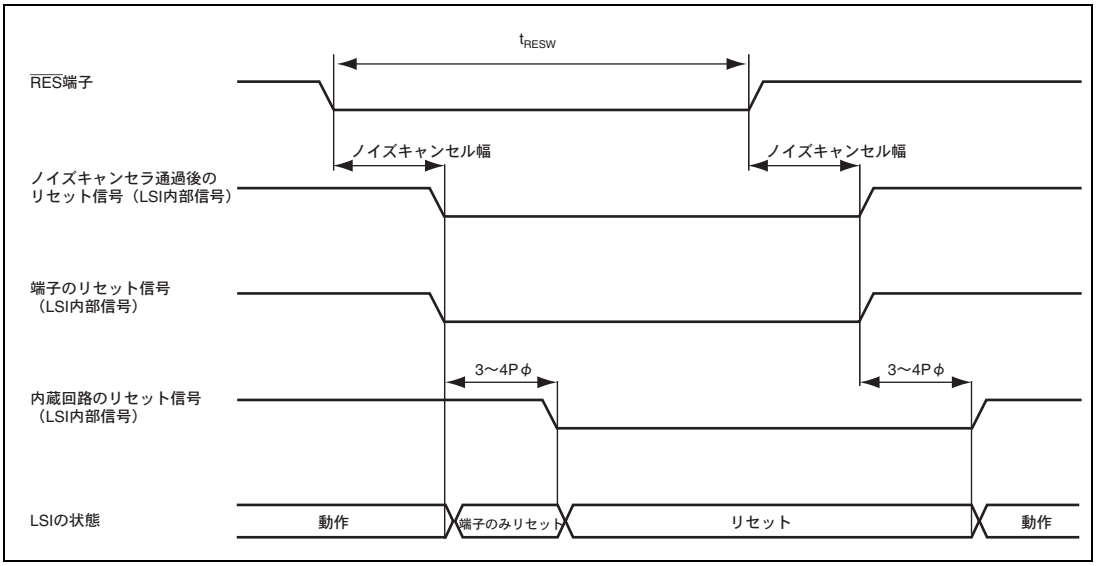


図 6.2 リセットシーケンス

6.1.1 電源投入時のリセット

電源投入時は、電源電圧が規格内に入り、$\overline{\text{HSTBY}}$ 端子にハイレベルが入力されてから内蔵 PLL の発振が安定するまでの期間は、$\overline{\text{RES}}$ 端子にローレベルを入力してください。発振安定時間は t_{OSC1} として規定されます。詳細は「**第 30 章 電気的特性**」を参照してください。

6.1.2 動作中のリセット

動作中のリセットは、リセットパルス幅以上のローレベルを $\overline{\text{RES}}$ 端子に入力してください。リセットパルス幅は t_{RESW} として規定されます。詳細は「**第 30 章 電気的特性**」を参照してください。

6.1.3 リセット時の内蔵 RAM データ保持

CPU などの内蔵バスマスタが RAM アクセス中に、$\overline{\text{RES}}$ 端子にローレベルを入力しパワーオンリセットが発生すると、アクセスアドレスのデータは破壊される可能性があります。アクセスされていないアドレスのデータは保持します。RAM のデータを完全に保持するためには、$\overline{\text{RES}}$ 端子にローレベルを入力する前に、RAM イネーブルレジスタ（RAMEN）により、当該 RAM を、無効にする必要があります。RAM イネーブルレジスタの詳細については「**第 26 章 RAM**」を参照してください。

6.2 リセット解除時の内部状態

以下にリセット解除時の内部状態を示します。各内蔵周辺 I/O のレジスタ初期状態については、それぞれの章を参照してください。

表 6.1 レジスタの初期値

区分		レジスタ	初期値
CPU	汎用レジスタ	R0～R14	不定
		R15（SP）	ベクタアドレステーブル中の SP の値
	コントロールレジスタ	SR	I[3:0]は 1111（H'F）、BO、CS は 0、リザーブビットは 0、その他は不定
		GBR、TBR	不定
		VBR	H'00000000
	システムレジスタ	MACH、MACL、PR	不定
		PC	ベクタアドレステーブル中の PC の値
	浮動小数点レジスタ	FPR0～FPR15	不定
	浮動小数点システムレジスタ	FPUL	不定
		FPSCR	H'00040001
RAM		－	電源投入後、不定

7. 例外処理

7.1 概要

7.1.1 例外処理の種類と優先順位

例外処理は、表 7.1 に示すようにリセット、アドレスエラー、メモリエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 7.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 7.1 例外要因の種類と優先順位

種類	例外処理		優先順位
リセット	パワーオンリセット		高
アドレスエラー	CPU アドレスエラー		↑
	DMAC アドレスエラー		
命令	FPU 例外		
	整数除算例外（0 除算）		
	整数除算例外（オーバフロー）		
レジスタバンクエラー	バンクアンダフロー		
	バンクオーバフロー		
割り込み	NMI		
	ユーザブレーク		
	IRQ		
	メモリエラー（RAM エラー／ROM エラー）		
	ソフトウェア割り込み（SINT）		
	内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ（DMAC）	
		コンペアマッチタイマ（CMT）	
		ウォッチドッグタイマ（WDT）	
		アドバンストタイマユニット-III（ATU-III）	
		A/D 変換器（ADC）	
		シリアルコミュニケーションインタフェース（SCI）	
		ルネサスシリアルペリフェラルインタフェース（RSPI）	
		コントローラエリアネットワーク（RCAN-TL1）	↓
		専用ダイレクトメモリアクセスコントローラ（A-DMAC）	低

種類	例外処理	優先順位
命令	トラップ命令（TRAPA 命令）	高
	一般不当命令（未定義コード）	↑
	スロット不当命令（遅延分岐命令*1直後に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令*2、32 ビット命令*3、RESBANK 命令、DIVS 命令または DIVU 命令）	↓ 低

【注】 *1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAF

*2 PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAF、JSR/N、RTV/N

*3 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、FMOV.S@disp12、FMOV.D@disp12、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

7.1.2 例外処理の動作

各例外要因は表 7.2 に示すタイミングで検出され、処理が開始されます。

表 7.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	$\overline{\text{RES}}$ 端子のローレベルからハイレベルへの変化または WDT のオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとすると開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定（INTC の IBNR の BOVE ビット＝1）されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられた場合、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後（遅延スロット）以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）がデコードされると開始されます。
	スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算例外	ゼロによる除算例外、または負の最大値（H'80000000）を－1 で除算することによるオーバフロー例外が検出されると開始されます。

例外処理		要因検出および処理開始タイミング
命令	FPU 例外	浮動小数点演算命令の無効演算例外（IEEE754 規格）、ゼロによる除算例外、オーバフロー、アンダフロー、または不正確例外により開始されます。また、FPSCR の QIS ビットがセットされているとき、qNaN または±∞を浮動小数点演算命令のソースに入力すると開始されます。

例外処理が起動されると、CPU は次のように動作します。

（1） リセットによる例外処理

プログラムカウンタ（PC）とスタックポインタ（SP）の初期値を例外処理ベクタテーブル（PC、SP をそれぞれ、H'00000000 番地、H'00000004 番地）から取り出します。例外処理ベクタテーブルについては、**「7.1.3 例外処理ベクタテーブル」**を参照してください。次にベクタベースレジスタ（VBR）を H'00000000 に、ステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）を H'F（B'1111）に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ（INTC）の IBNR の BN ビットを 0 に初期化します。さらにパワーオンリセット時には、FPSCR を H'00040001 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

（2） アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI およびユーザブレーク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0～R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットを、レジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、ユーザブレーク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けないように設定（INTC の IBNR の BOVE ビット＝0）されている必要があります。レジスタバンクオーバフロー例外を受け付けるように設定（INTC の IBNR の BOVE ビット＝1）されている場合には、レジスタバンクオーバフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3～I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3～I0 ビットは影響を受けません。次に例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

7.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを**表 7.3** に、ベクタテーブルアドレスの算出法を**表 7.4** に示します。

表 7.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000～H'00000003
	SP	1	H'00000004～H'00000007
（システム予約）		2	H'00000008～H'0000000B
		3	H'0000000C～H'0000000F
一般不当命令		4	H'00000010～H'00000013
（システム予約）		5	H'00000014～H'00000017
スロット不当命令		6	H'00000018～H'0000001B
（システム予約）		7	H'0000001C～H'0000001F
		8	H'00000020～H'00000023
CPU アドレスエラー		9	H'00000024～H'00000027
DMAC アドレスエラー		10	H'00000028～H'0000002B
割り込み	NMI	11	H'0000002C～H'0000002F
	ユーザブレーク	12	H'00000030～H'00000033
FPU 例外		13	H'00000034～H'00000037
（システム予約）		14	H'00000038～H'0000003B
バンクオーバフロー		15	H'0000003C～H'0000003F
バンクアンダフロー		16	H'00000040～H'00000043
整数除算例外（0 除算）		17	H'00000044～H'00000047
整数除算例外（オーバフロー）		18	H'00000048～H'0000004B
（システム予約）		19 : 31	H'0000004C～H'0000004F : H'0000007C～H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令（ユーザベクタ）	32 : 63	H'00000080～H'00000083 : H'000000FC～H'000000FF
外部割り込み（IRQ）、内蔵周辺モジュール*	64 : 511	H'00000100～H'00000103 : H'000007FC～H'000007FF

【注】 * 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第 8 章 割り込みコントローラ（INTC）」の表 8.4 を参照してください。

表 7.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス＝（ベクタテーブルアドレスオフセット） ＝（ベクタ番号）×4
アドレスエラー、 レジスタバンクエラー、 割り込み、命令	ベクタテーブルアドレス＝VBR＋（ベクタテーブルアドレスオフセット） ＝VBR＋（ベクタ番号）×4

【注】 1. ベクタテーブルアドレスオフセット：表 7.3 を参照

2. ベクタ番号：表 7.3 を参照

7.2 リセット

7.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。本製品はパワーオンリセットのみサポートします。**表 7.5** に示すように、CPU 状態、FPU 状態、内蔵周辺モジュールのレジスタは、パワーオンリセットで初期化されます。

表 7.5 例外要因検出と例外処理開始タイミング

種類	リセット状態への遷移条件		内部状態		
	$\overline{\text{RES}}$	WDT オーバフロー	CPU	内蔵周辺モジュール、I/O ポート	WDT の WTSR
パワーオンリセット	ロー	－	初期化	初期化	初期化
	ハイ	パワーオン	初期化	初期化	初期化しない

7.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセットの詳細は、**「第 6 章 リセット」**を参照してください。また、パワーオンリセット状態での各端子の状態は**「付録 A. 端子状態」**を参照してください。

パワーオンリセット状態で、$\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ（PC）の初期値（実行開始アドレス）を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ（SP）の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ（VBR）をH'00000000にクリアし、ステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）をH'F（B'1111）に、BOビットおよびCSビットを0に初期化します。またINTCのIBNRのBNビットを0に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WTSR は初期化されません。

また、$\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、WTSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、$\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

7.3 アドレスエラー

7.3.1 アドレスエラー発生要因

アドレスエラーは、表 7.6 に示すように命令フェッチ、データ読み出し／書き込み時に発生します。

表 7.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ*1	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵 I/O レジスタ空間*2 以外から命令をフェッチ	なし（正常）
		内蔵 I/O レジスタ空間*2 から命令をフェッチ	アドレスエラー発生
		予約エリア（H'02000000～H'1FFFFFFF、H'22000000～H'7FFFFFFF、H'F0000000～H'F5FFFFFF）から命令をフェッチ	アドレスエラー発生
データ読み出し／書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵 I/O レジスタ空間*2 でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵 I/O レジスタ空間*2 でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵 I/O レジスタ空間*2 でアクセス	なし（正常）
		予約エリア（H'02000000～H'1FFFFFFF、H'22000000～H'7FFFFFFF、H'F0000000～H'F5FFFFFF）をアクセス	アドレスエラー発生

【注】 *1 内蔵 RAM 空間の最終アドレスから 10 バイト以内に命令を置いた場合、CPU がオーバランフェッチし、アドレスエラーが発生することがあります。

*2 内蔵 I/O レジスタ空間については、「第 5 章 アドレス空間」を参照してください。

7.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し*、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

【注】 * データ読み出し／書き込みによるアドレスエラーの場合です。命令フェッチによるアドレスエラーは、上記動作3.の PC スタック退避終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU はアドレスエラー例外処理を繰り返します。

7.4 レジスタバンクエラー

7.4.1 レジスタバンクエラー発生要因

（1） バンクオーバフロー

割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けるように設定（INTC の IBNR の BOVE ビット＝1）されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

（2） バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

7.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、バンクオーバフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。

   バンクオーバフロー時は多重割り込みを防止するために、バンクオーバフローの要因となった割り込みのレベルをステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に書き込みます。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

7.5 割り込み

7.5.1 割り込み要因

割り込み例外処理を起動させる要因には、表 7.7 に示すように NMI、ユーザブレーク、IRQ、SINT、内蔵周辺モジュールがあります。

表 7.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子（外部からの入力）	1
ユーザブレーク	ユーザブレークコントローラ（UBC）	1
IRQ	$\overline{\text{IRQ0}}$～$\overline{\text{IRQ3}}$ 端子（外部からの入力）	4
メモリエラー	RAM/ROM	2
SINT	ソフトウェア割り込み	15
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ（DMAC）	16
	コンペアマッチタイマ（CMT）	2
	ウォッチドッグタイマ（WDT）	1
	アドバンストタイマユニット-III（ATU-III）	147
	A/D 変換器（ADC）	26
	シリアルコミュニケーションインタフェース（SCI）	12
	ルネサスシリアルペリフェラルインタフェース（RSPI）	6
	コントローラエリアネットワーク（RCAN-TL1）	12
	専用ダイレクトメモリアクセスコントローラ（A-DMAC）	1

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 8 章 割り込みコントローラ（INTC）」の表 8.4 を参照してください。

7.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレーク割り込みおよびメモリエラー割り込みの優先レベルは 15 です。ソフトウェア割り込み（SINT）は、SINT15 は優先レベル 15、SINT14 は優先レベル 14 というように、SINT15～1 の要因ごとに優先レベルは 15～1 に固定されています。IRQ 割り込み、内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ 01～29（IPR01～29）で自由に設定することができます（**表 7.8**）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPR01～IPR29 については「**8.3.1 割り込み優先レベル設定レジスタ 01～29（IPR01～IPR29）**」を参照してください。

表 7.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレーク	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ（IPR）により設定
メモリエラー	15	優先レベル固定
SINT15～1	15～1	優先レベル固定
内蔵周辺モジュール	0～15	割り込み優先レベル設定レジスタ（IPR）により設定

7.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチン開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ（PC）をスタックに退避します。NMI、ユーザブレーク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0～R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、ユーザブレーク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク（0～14）に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けないように設定（INTC の IBNR の BOVE ビット＝0）されている必要があります。レジスタバンクオーバフロー例外を受け付けるように設定（INTC の IBNR の BOVE ビット＝1）されている場合には、レジスタバンクオーバフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3～I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3～I0 ビットに設定される値は H'F（レベル 15）です。その後、例外処理ベクタテーブルから取り出した開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「8.6 動作説明」を参照してください。

7.6 命令による例外

7.6.1 命令による例外の種類

例外処理を起動する命令には、表 7.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外、FPU 例外があります。

表 7.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、 DIVS 命令または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAF PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRAF、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、FMOV.S@disp12、FMOV.D@disp12、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値÷（−1）	DIVS
FPU 例外	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフロー、および不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FNEG、FABS、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

7.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA命令で指定したベクタ番号に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、TRAPA命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

7.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、未定義コード（FPUモジュールスタンバイ時におけるFPU命令およびFPUに関するCPU命令を含む）、PCを書き換える命令、32ビット命令、RESBANK命令、DIVS命令、またはDIVU命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

7.6.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）をデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

7.6.5 整数除算例外

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバフロー例外の要因となる命令は DIVS のみで、負の最大値を－1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算命令例外に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は、例外を発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

7.6.6 FPU 例外

浮動小数点ステータス／コントロールレジスタ（FPSCR）の FPU 例外イネーブルフィールド（Enable）中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外処理が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー（可能性のある命令）、アンダフロー（可能性のある命令）、および不正確例外（可能性のある命令）を引き起こしたことを示します。

FPU 例外処理の発生要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当する FPU 例外イネーブルビット（Enable）がセットされているときのみ、FPU 例外が発生します。FPU が浮動小数点演算による例外要因を検出すると、FPU の動作は中断されて CPU に FPU 例外処理の発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生したFPU例外処理に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避するPCの値は最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の FPU 例外フラグフィールド（Flag）は、FPU 例外処理が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド（Cause）は浮動小数点演算命令が実行されるごとに変化します。

また、FPSCR の FPU 例外イネーブルフィールド（Enable）中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN または±∞を浮動小数点演算命令のソースに入力すると FPU 例外処理が発生します。

7.7 例外処理が受け付けられない場合

アドレスエラー、FPU 例外、レジスタバンクエラー（オーバフロー）および割り込みは、表 7.10 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 7.10 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因			
	アドレスエラー	FPU 例外	レジスタバンクエラー（オーバフロー）	割り込み
遅延分岐命令*の直後	×	×	×	×

【記号説明】 ×：受け付けられない

【注】 * 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAF

7.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 7.11 に示すようになります。

表 7.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレスエラー	SP → 実行済命令の次命令アドレス（32ビット） SR（32ビット）	レジスタバンクエラー（オーバフロー）	SP → 実行済命令の次命令アドレス（32ビット） SR（32ビット）
レジスタバンクエラー（アンダフロー）	SP → 当該RESBANK命令の先頭アドレス（32ビット） SR（32ビット）	FPU 例外	SP → 実行済命令の次命令アドレス（32ビット） SR（32ビット）
トラップ命令	SP → TRAPA命令の次命令アドレス（32ビット） SR（32ビット）	スロット不当命令	SP → 遅延分岐命令の飛び先アドレス（32ビット） SR（32ビット）
一般不当命令	SP → 一般不当命令の先頭アドレス（32ビット） SR（32ビット）	整数除算命令	SP → 当該整数除算命令の先頭アドレス（32ビット） SR（32ビット）
割り込み	SP → 実行済命令の次命令アドレス（32ビット） SR（32ビット）		

7.9 使用上の注意事項

7.9.1 スタックポインタ（SP）の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外のとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

7.9.2 ベクタベースレジスタ（VBR）の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外のとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

7.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理（割り込みなど）のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル（ライト）は実行されます。SR と PC のスタッキングでは、SP がそれぞれ−4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

8. 割り込みコントローラ（INTC）

割り込みコントローラ（INTC）は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

8.1 特長

- 割り込み優先順位を16レベル設定可能

  29本の割り込み優先レベル設定レジスタにより、IRQ割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。

- NMIノイズキャンセラ機能

  NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。

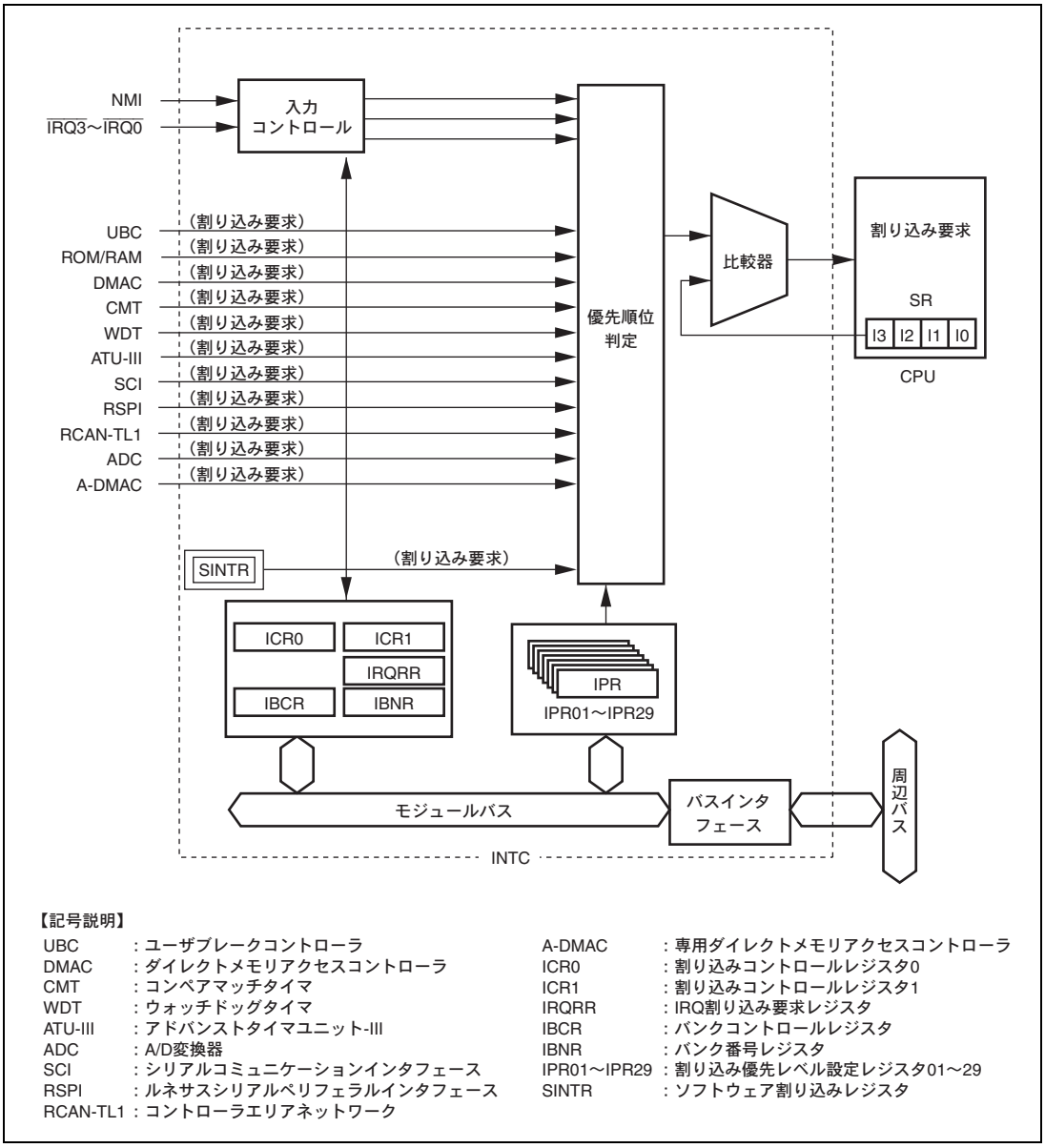
- レジスタバンク

  本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

- ソフトウェア割り込み（SINT）

  ソフトウェア割り込みレジスタにより、任意の優先順位の割り込みをプログラムから発生させることができます。

図 8.1 に INTC のブロック図を示します。



【記号説明】

UBC	：ユーザブレークコントローラ	A-DMAC	：専用ダイレクトメモリアクセスコントローラ
DMAC	：ダイレクトメモリアクセスコントローラ	ICR0	：割り込みコントロールレジスタ0
CMT	：コンペアマッチタイマ	ICR1	：割り込みコントロールレジスタ1
WDT	：ウォッチドッグタイマ	IRQRR	：IRQ割り込み要求レジスタ
ATU-III	：アドバンストタイマユニット-III	IBCR	：バンクコントロールレジスタ
ADC	：A/D変換器	IBNR	：バンク番号レジスタ
SCI	：シリアルコミュニケーションインタフェース	IPR01～IPR29	：割り込み優先レベル設定レジスタ01～29
RSPI	：ルネサスシリアルペリフェラルインタフェース	SINTR	：ソフトウェア割り込みレジスタ
RCAN-TL1	：コントローラエリアネットワーク		

図 8.1 INTC のブロック図

8.2 入出力端子

INTC の端子を表 8.1 に示します。

表 8.1 端子構成

名称	端子名	入出力	機　　能
ノンマスカブル割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	$\overline{IRQ3}$～$\overline{IRQ0}$	入力	マスク可能な割り込み要求信号を入力

8.3 レジスタの説明

INTC には以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 8.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16、32
IRQ 割り込み要求レジスタ	IRQRR	R/(W)*2	H'0000	H'FFFE0806	8、16、32
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16、32
ソフトウェア割り込みレジスタ1	SINTR1	R/W	H'00	H'FFFE0810	8、16、32
ソフトウェア割り込みレジスタ2	SINTR2	R/W	H'00	H'FFFE0811	8、16、32
ソフトウェア割り込みレジスタ3	SINTR3	R/W	H'00	H'FFFE0812	8、16、32
ソフトウェア割り込みレジスタ4	SINTR4	R/W	H'00	H'FFFE0813	8、16、32
ソフトウェア割り込みレジスタ5	SINTR5	R/W	H'00	H'FFFE0814	8、16、32
ソフトウェア割り込みレジスタ6	SINTR6	R/W	H'00	H'FFFE0815	8、16、32
ソフトウェア割り込みレジスタ7	SINTR7	R/W	H'00	H'FFFE0816	8、16、32
ソフトウェア割り込みレジスタ8	SINTR8	R/W	H'00	H'FFFE0817	8、16、32
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16、32
ソフトウェア割り込みレジスタ 9	SINTR9	R/W	H'00	H'FFFE0828	8、16、32
ソフトウェア割り込みレジスタ 10	SINTR10	R/W	H'00	H'FFFE0829	8、16、32
ソフトウェア割り込みレジスタ 11	SINTR11	R/W	H'00	H'FFFE082A	8、16、32
ソフトウェア割り込みレジスタ 12	SINTR12	R/W	H'00	H'FFFE082B	8、16、32
ソフトウェア割り込みレジスタ 13	SINTR13	R/W	H'00	H'FFFE082C	8、16、32
ソフトウェア割り込みレジスタ 14	SINTR14	R/W	H'00	H'FFFE082D	8、16、32
ソフトウェア割り込みレジスタ 15	SINTR15	R/W	H'00	H'FFFE082E	8、16、32
割り込み優先レベル設定レジスタ 03	IPR03	R/W	H'0000	H'FFFE0C00	16、32
割り込み優先レベル設定レジスタ 04	IPR04	R/W	H'0000	H'FFFE0C02	16、32
割り込み優先レベル設定レジスタ 05	IPR05	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C06	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C0A	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C0E	16、32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C12	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C14	16、32
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C16	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C18	16、32
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFE0C1A	16、32
割り込み優先レベル設定レジスタ 17	IPR17	R/W	H'0000	H'FFFE0C1C	16、32
割り込み優先レベル設定レジスタ 18	IPR18	R/W	H'0000	H'FFFE0C1E	16、32
割り込み優先レベル設定レジスタ 19	IPR19	R/W	H'0000	H'FFFE0C20	16、32
割り込み優先レベル設定レジスタ 20	IPR20	R/W	H'0000	H'FFFE0C22	16、32
割り込み優先レベル設定レジスタ 21	IPR21	R/W	H'0000	H'FFFE0C24	16、32
割り込み優先レベル設定レジスタ 22	IPR22	R/W	H'0000	H'FFFE0C26	16、32
割り込み優先レベル設定レジスタ 23	IPR23	R/W	H'0000	H'FFFE0C28	16、32
割り込み優先レベル設定レジスタ 24	IPR24	R/W	H'0000	H'FFFE0C2A	16、32
割り込み優先レベル設定レジスタ 25	IPR25	R/W	H'0000	H'FFFE0C2C	16、32
割り込み優先レベル設定レジスタ 26	IPR26	R/W	H'0000	H'FFFE0C2E	16、32
割り込み優先レベル設定レジスタ 27	IPR27	R/W	H'0000	H'FFFE0C30	16、32
割り込み優先レベル設定レジスタ 28	IPR28	R/W	H'0000	H'FFFE0C32	16、32
割り込み優先レベル設定レジスタ 29	IPR29	R/W	H'0000	H'FFFE0C34	16、32

【注】 *1 NMI 端子がハイレベルのとき：H'8000、ローレベルのとき：H'0000 です。

*2 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

8.3.1 割り込み優先レベル設定レジスタ 01～29（IPR01～IPR29）

IPR01～IPR29 は、それぞれ読み出し／書き込み可能な 16 ビットのレジスタで、IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位（レベル 0～15）を設定します。割り込み要求元と IPR01～IPR29 の各ビットの対応を表 8.3 に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 8.3 割り込み要求元と IPR01～IPR29

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	予約	予約	予約	予約
割り込み優先レベル設定レジスタ 03	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 04	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 05	CMT0	CMT1	予約	WDT
割り込み優先レベル設定レジスタ 06	ATU-A（ICIA0、ICIA1）	ATU-A（ICIA2、ICIA3）	予約	ATU-A（OVIA）
割り込み優先レベル設定レジスタ 07	ATU-B（CMIB0、CMIB1）	ATU-B（CMIB6、ICIB0）	ATU-C0（IMIC00～IMIC03）	ATU-C0（OVIC0）
割り込み優先レベル設定レジスタ 08	ATU-C1（IMIC10～IMIC13）	ATU-C1（OVIC1）	ATU-C2（IMIC20～IMIC23）	ATU-C2（OVIC2）
割り込み優先レベル設定レジスタ 09	ATU-C3（IMIC30～IMIC33）	ATU-C3（OVIC3）	ATU-C4（IMIC40～IMIC43）	ATU-C4（OVIC4）
割り込み優先レベル設定レジスタ 10	ATU-D0（CMID00～CMID03）	ATU-D0（OVI1D0、OVI2D0）	ATU-D0（UDID00～UDID03）	ATU-D1（CMID10～CMID13）
割り込み優先レベル設定レジスタ 11	ATU-D1（OVI1D1、OVI2D1）	ATU-D1（UDID10～UDID13）	ATU-D2（CMID20～CMID23）	ATU-D2（OVI1D2、OVI2D2）
割り込み優先レベル設定レジスタ 12	ATU-D2（UDID20～UDID23）	ATU-D3（CMID30～CMID33）	ATU-D3（OVI1D3、OVI2D3）	ATU-D3（UDID30～UDID33）
割り込み優先レベル設定レジスタ 13	予約	予約	予約	予約
割り込み優先レベル設定レジスタ 14	予約	予約	ATU-E0（CMIE00～CMIE03）	ATU-E1（CMIE10～CMIE13）

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 15	ATU-E2（CMIE20～CMIE23）	ATU-E3（CMIE30～CMIE33）	ATU-E4（CMIE40～CMIE43）	予約
割り込み優先レベル設定レジスタ 16	ATU-F（ICIF0～ICIF3）	ATU-F（ICIF4～ICIF7）	ATU-F（ICIF8～ICIF11）	ATU-F（ICIF12～ICIF15）
割り込み優先レベル設定レジスタ 17	ATU-F（ICIF16～ICIF19）	予約	予約	予約
割り込み優先レベル設定レジスタ 18	ATU-F（OVIF0～OVIF3）	ATU-F（OVIF4～OVIF7）	ATU-F（OVIF8～OVIF11）	ATUF（OVIF12～OVIF15）
割り込み優先レベル設定レジスタ 19	ATU-F（OVIF16～OVIF19）	予約	予約	予約
割り込み優先レベル設定レジスタ 20	ATU-G（CMIG0～CMIG3）	ATU-G（CMIG4、CMIG5）	ATU-H（CMIH）	予約
割り込み優先レベル設定レジスタ 21	ATU-J（DFIJ0、DFIJ1）	ATU-J（OVIJ0、OVIJ1）	ATU-J（DOVIJ0、DOVIJ1）	予約
割り込み優先レベル設定レジスタ 22	ADC（ADI0）	ADC（ADI1）	ADC（ADID0～ADID3）	ADC（ADID4～ADID7）
割り込み優先レベル設定レジスタ 23	ADC（ADID8～ADID11）	ADC（ADID12～ADID15）	ADC（ADID40）	ADC（ADID41）
割り込み優先レベル設定レジスタ 24	ADC（ADID42）	ADC（ADID43）	ADC（ADID44）	ADC（ADID45）
割り込み優先レベル設定レジスタ 25	ADC（ADID46）	ADC（ADID47）	予約	予約
割り込み優先レベル設定レジスタ 26	SCI_A	SCI_B	SCI_C	予約
割り込み優先レベル設定レジスタ 27	予約	RSPI_A	RSPI_B	予約
割り込み優先レベル設定レジスタ 28	RCAN_A	RCAN_B	予約	予約
割り込み優先レベル設定レジスタ 29	A-DMAC	予約	予約	予約

表 8.3 に示すように、ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'0（0000）から H'F（1111）の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0（最低）に、H'F をセットすると優先レベル 15（最高）になります。

IPR01～IPR29 は、パワーオンリセットで H'0000 に初期化されます。

8.3.2 割り込みコントロールレジスタ 0（ICR0）

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR0 はパワーオンリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	–	–	–	–	–	–	NMIE	–	–	–	–	–	–	–	–
初期値：	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】* NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説　　明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0：NMI 端子にローレベルが入力されている。 1：NMI 端子にハイレベルが入力されている。
14～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0：NMI 入力の立ち下がりエッジで割り込み要求を検出。 1：NMI 入力の立ち上がりエッジで割り込み要求を検出。
7～0	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.3.3 割り込みコントロールレジスタ 1（ICR1）

ICR1 は、外部割り込み入力端子 $\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR1 はパワーオンリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～8	–	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ31S	0	R/W	IRQ センスセレクト $\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00：割り込み要求を $\overline{\text{IRQn}}$ 入力のローレベルで検出する。 01：割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち下がりエッジで検出する。 10：割り込み要求を $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで検出する。 11：割り込み要求を $\overline{\text{IRQn}}$ 入力の両エッジで検出する。
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】n＝3～0

8.3.4 IRQ 割り込み要求レジスタ（IRQRR）

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ の割り込み要求を示します。IRQ3～IRQ0 割り込みをエッジ検出に設定している場合、IRQ3F～IRQ0F＝1 をリード後、IRQ3F～IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

IRQRR はパワーオンリセットで初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】＊ フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	IRQ3F	0	R/(W)*	IRQ 割り込み要求 IRQ3～IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0：IRQn 割り込み要求が存在しません。 ［クリア条件］ • $\overline{\text{IRQn}}$ 入力がハイレベルのとき 1：IRQn 割り込み要求が存在します。 ［セット条件］ • $\overline{\text{IRQn}}$ 入力がローレベルのとき エッジ検出時 0：IRQn 割り込み要求が検出されていません。 ［クリア条件］ • IRQnF=1 の状態をリード後に 0 をライトしたとき • IRQn 割り込み例外処理を実行したとき 1：IRQn 割り込み要求が検出されています。 ［セット条件］ • $\overline{\text{IRQn}}$ 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】n＝3～0

8.3.5 バンクコントロールレジスタ（IBCR）

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可／禁止を設定することができます。IBCR はパワーオンリセットで H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　　明
15	E15	0	R/W	イネーブル 割り込み優先レベル 15～1 に対してレジスタバンク使用の許可／禁止を設定します。ただし、ユーザブレーク割り込みは常にレジスタバンク使用禁止です。 0：レジスタバンクの使用を禁止します。 1：レジスタバンクの使用を許可します。
14	E14	0	R/W	
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

8.3.6 バンク番号レジスタ（IBNR）

IBNR は、レジスタバンク使用の許可／禁止、およびレジスタバンクオーバフロー例外の許可／禁止を設定します。また、BN3～BN0 により次に退避されるバンク番号を示します。

IBNR はパワーオンリセットで H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	－	－	－	－	－	－	－	－	－	BN[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
15、14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可／禁止を設定します。 00：すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01：NMI、ユーザブレーク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10：予約（設定禁止） 11：レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバフローイネーブル レジスタバンクオーバフロー例外の許可／禁止を設定します。 0：レジスタバンクオーバフロー例外の発生を禁止します。 1：レジスタバンクオーバフロー例外の発生を許可します。
12～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3～0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3～BN0 が示すレジスタバンクに退避を行い、BN を＋1 します。レジスタバンク復帰命令の実行により、BN を－1 した後、レジスタバンクから復帰を行います。

8.3.7 ソフトウェア割り込みレジスタ 1～15（SINTR1～SINTR15）

SINTR1～SINTR15 は、ソフトウェア割り込み 1～15（SINT1～SINT15）を制御する 8 ビットのレジスタです。本レジスタに H'01 をライトすることでソフトウェア割り込み 1～15（SINT1～SINT15）が発生します。発生した割り込みハンドラ中に H'00 をライトすると、割り込み要因をクリアできます。リードした場合、現在のレジスタ値が読み出されます。

SINTR1～SINTR15 は、パワーオンリセットにより H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	SINTC
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SINTC	0	R/W	ソフトウェア割り込み要求 ソフトウェア割り込み 1～15（SINT1～SINT15）を発生します。 ［リード動作］ 現在のビットの値が読み出されます。 ［ライト動作］ 1 をライト：割り込みを発生します。 SINTC ビットが 1 の状態のときに 1 を書き込むことは禁止です。 0 をライト：割り込み要因をクリアします。

8.4 割り込み要因

割り込み要因は、NMI、ユーザブレーク、IRQ、メモリエラー、ソフトウェア割り込み（SINT）、内蔵周辺モジュールの 6 つに分類されます。各割り込みの優先順位は割り込み優先レベル値（0～16）で表され、レベル 0 が最低でレベル 16 が最高です。レベル 0 に設定すると、その割り込みは常にマスクされます。

8.4.1 NMI 割り込み

NMI 割り込みは、レベル 16 の割り込みで、常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ 0（ICR0）の NMI エッジセレクトビット（NMIE）の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは 16 ですがステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）は 15 に設定されます。

8.4.2 ユーザブレーク割り込み

ユーザブレーク割り込みは、ユーザブレークコントローラ（UBC）で設定したブレーク条件が成立したときに発生する割り込みで、優先レベルは 15 です。ユーザブレーク割り込み例外処理によって、SR の I3～I0 ビットは 15 に設定されます。ユーザブレークについては、**「第 9 章　ユーザブレークコントローラ（UBC）」**を参照してください。

8.4.3 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ 端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ 1（ICR1）の IRQ センスセレクトビット（IRQ31S～IRQ01S、IRQ30S～IRQ00S）の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ 01（IPR01）によって、端子ごとに優先レベルを 0～15 の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、$\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ 端子がローレベルの期間、INTC に割り込み要求信号が送られます。$\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ 割り込み要求レジスタ（IRQRR）の IRQ 割り込み要求ビット（IRQ3R～IRQ0R）をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、$\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR の IRQ3R～IRQ0R ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3～I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ（IRQRR）で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

8.4.4 メモリエラー割り込み

メモリエラーの発生要因の詳細については、「第 23 章　ROM」、「第 26 章　RAM」を参照してください。

8.4.5 ソフトウェア割り込み（SINT）

ソフトウェア割り込み（SINT）は、ソフトウェアによって SINTR1～SINTR15 レジスタを設定することで発生する割り込みです。

ソフトウェア割り込み（SINT）の割り込み優先順位は表 8.4 に示すとおりに固定されています。ソフトウェア割り込み（SINT）例外処理では、SR の I3～I0 ビットは、受け付けたソフトウェア割り込み（SINT）の優先レベル値に設定されます。

8.4.6 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ（DMAC）
- コンペアマッチタイマ（CMT）
- ウォッチドッグタイマ（WDT）
- アドバンストタイマユニット-III（ATU-III）
- A/D変換器（ADC）
- シリアルコミュニケーションインタフェース（SCI）
- ルネサスシリアルペリフェラルインタフェース（RSPI）
- コントローラエリアネットワーク（RCAN-TL1）
- 専用ダイレクトメモリアクセスコントローラ（A-DMAC）

要因ごとに異なる割り込みベクタが割り当てられているため、割り込み例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 03～29（IPR03～IPR29）によって、モジュールごとに優先レベル 0～15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3～I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

8.5 割り込み例外処理ベクタテーブルと優先順位

表 8.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、**「第 7 章　例外処理」**の**表 7.4** の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01～29（IPR01～IPR29）によって、端子またはモジュールごとに優先レベル 0～15 の範囲で任意に設定できます。ただし、IPR03～IPR29 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、**表 8.4** の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、**表 8.4** に示すデフォルト優先順位に従って処理されます。

表 8.4 割り込み例外ベクタと優先順位

割り込み要因番号			割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
			ベクタ	ベクタテーブルアドレスオフセット				
NMI			11	H'0000002C～H'0000002F	16	－	－	高
ユーザブレーク			12	H'00000030～H'00000033	15	－	－	↑
IRQ	IRQ0		64	H'00000100～H'00000103	0～15(0)	IPR01(15～12)	－	
	IRQ1		65	H'00000104～H'00000107	0～15(0)	IPR01(11～8)	－	
	IRQ2		66	H'00000108～H'0000010B	0～15(0)	IPR01(7～4)	－	
	IRQ3		67	H'0000010C～H'0000010F	0～15(0)	IPR01(3～0)	－	
RAM/ROM	RAME		79	H'0000013C～H'0000013F	15	－	－	
	FIFE		82	H'00000148～H'0000014B	15	－	－	
SINT	SINT15		93	H'00000174～H'00000177	15	－	－	
	SINT14		94	H'00000178～H'0000017B	14	－	－	
	SINT13		95	H'0000017C～H'0000017F	13	－	－	
	SINT12		96	H'00000180～H'00000183	12	－	－	
	SINT11		97	H'00000184～H'00000187	11	－	－	
	SINT10		98	H'00000188～H'0000018B	10	－	－	
	SINT9		99	H'0000018C～H'0000018F	9	－	－	
	SINT8		100	H'00000190～H'00000193	8	－	－	
	SINT7		101	H'00000194～H'00000197	7	－	－	
	SINT6		102	H'00000198～H'0000019B	6	－	－	
	SINT5		103	H'0000019C～H'0000019F	5	－	－	
	SINT4		104	H'000001A0～H'000001A3	4	－	－	
	SINT3		105	H'000001A4～H'000001A7	3	－	－	
	SINT2		106	H'000001A8～H'000001AB	2	－	－	
	SINT1		107	H'000001AC～H'000001AF	1	－	－	
DMAC	DMAC0	DEI0	108	H'000001B0～H'000001B3	0～15(0)	IPR03(15～12)	1	
		HEI0	109	H'000001B4～H'000001B7			2	
	DMAC1	DEI1	112	H'000001C0～H'000001C3	0～15(0)	IPR03(11～8)	1	
		HEI1	113	H'000001C4～H'000001C7			2	
	DMAC2	DEI2	116	H'000001D0～H'000001D3	0～15(0)	IPR03(7～4)	1	
		HEI2	117	H'000001D4～H'000001D7			2	
DMAC	DMAC3	DEI3	120	H'000001E0～H'000001E3	0～15(0)	IPR03(3～0)	1	
		HEI3	121	H'000001E4～H'000001E7			2	
	DMAC4	DEI4	124	H'000001F0～H'000001F3	0～15(0)	IPR04(15～12)	1	↓
		HEI4	125	H'000001F4～H'000001F7			2	低

割り込み要因番号			割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
			ベクタ	ベクタテーブルアドレスオフセット				
DMAC	DMAC5	DEI5	128	H'00000200～H'00000203	0～15(0)	IPR04(11～8)	1	高
		HEI5	129	H'00000204～H'00000207			2	↑
	DMAC6	DEI6	132	H'00000210～H'00000213	0～15(0)	IPR04(7～4)	1	
		HEI6	133	H'00000214～H'00000217			2	
	DMAC7	DEI7	136	H'00000220～H'00000223	0～15(0)	IPR04(3～0)	1	
		HEI7	137	H'00000224～H'00000227			2	
CMT	CMI0		140	H'00000230～H'00000233	0～15(0)	IPR05(15～12)	－	
	CMI1		144	H'00000240～H'00000243	0～15(0)	IPR05(11～8)	－	
WDT	ITI		148	H'00000250～H'00000253	0～15(0)	IPR05(3～0)	－	
ATU-A	ICIA0		152	H'00000260～H'00000263	0～15(0)	IPR06(15～12)	1	
	ICIA1		153	H'00000264～H'00000267			2	
	ICIA2		156	H'00000270～H'00000273	0～15(0)	IPR06(11～8)	1	
	ICIA3		157	H'00000274～H'00000277			2	
	OVIA		164	H'00000290～H'00000293	0～15(0)	IPR06(3～0)	－	
ATU-B	CMIB0		168	H'000002A0～H'000002A3	0～15(0)	IPR07(15～12)	1	
	CMIB1		169	H'000002A4～H'000002A7			2	
	CMIB6		172	H'000002B0～H'000002B3	0～15(0)	IPR07(11～8)	1	
	ICIB0		173	H'000002B4～H'000002B7			2	
ATU-C	ATU-C0	IMIC00	176	H'000002C0～H'000002C3	0～15(0)	IPR07(7～4)	1	
		IMIC01	177	H'000002C4～H'000002C7			2	
		IMIC02	178	H'000002C8～H'000002CB			3	
		IMIC03	179	H'000002CC～H'000002CF			4	
		OVIC0	180	H'000002D0～H'000002D3	0～15(0)	IPR07(3～0)	－	
	ATU-C1	IMIC10	184	H'000002E0～H'000002E3	0～15(0)	IPR08(15～12)	1	
		IMIC11	185	H'000002E4～H'000002E7			2	
		IMIC12	186	H'000002E8～H'000002EB			3	
		IMIC13	187	H'000002EC～H'000002EF			4	
		OVIC1	188	H'000002F0～H'000002F3	0～15(0)	IPR08(11～8)	－	
	ATU-C2	IMIC20	192	H'00000300～H'00000303	0～15(0)	IPR08(7～4)	1	
		IMIC21	193	H'00000304～H'00000307			2	
		IMIC22	194	H'00000308～H'0000030B			3	
		IMIC23	195	H'0000030C～H'0000030F			4	
		OVIC2	196	H'00000310～H'00000313	0～15(0)	IPR08(3～0)	－	低

割り込み要因番号			割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
			ベクタ	ベクタテーブルアドレスオフセット				
ATU-C	ATU-C3	IMIC30	200	H'00000320～H'00000323	0～15(0)	IPR09(15～12)	1	高
		IMIC31	201	H'00000324～H'00000327			2	↑
		IMIC32	202	H'00000328～H'0000032B			3	
		IMIC33	203	H'0000032C～H'0000032F			4	
		OVIC3	204	H'00000330～H'00000333	0～15(0)	IPR09(11～8)	－	
	ATU-C4	IMIC40	208	H'00000340～H'00000343	0～15(0)	IPR09(7～4)	1	
		IMIC41	209	H'00000344～H'00000347			2	
		IMIC42	210	H'00000348～H'0000034B			3	
		IMIC43	211	H'0000034C～H'0000034F			4	
		OVIC4	212	H'00000350～H'00000353	0～15(0)	IPR09(3～0)	－	
ATU-D	ATU-D0	CMID00	216	H'00000360～H'00000363	0～15(0)	IPR10(15～12)	1	
		CMID01	217	H'00000364～H'00000367			2	
		CMID02	218	H'00000368～H'0000036B			3	
		CMID03	219	H'0000036C～H'0000036F			4	
		OVI1D0	220	H'00000370～H'00000373	0～15(0)	IPR10(11～8)	1	
		OVI2D0	221	H'00000374～H'00000377			2	
		UDID00	224	H'00000380～H'00000383	0～15(0)	IPR10(7～4)	1	
		UDID01	225	H'00000384～H'00000387			2	
		UDID02	226	H'00000388～H'0000038B			3	
		UDID03	227	H'0000038C～H'0000038F			4	
	ATU-D1	CMID10	228	H'00000390～H'00000393	0～15(0)	IPR10(3～0)	1	
		CMID11	229	H'00000394～H'00000397			2	
		CMID12	230	H'00000398～H'0000039B			3	
		CMID13	231	H'0000039C～H'0000039F			4	
		OVI1D1	232	H'000003A0～H'000003A3	0～15(0)	IPR11(15～12)	1	
		OVI2D1	233	H'000003A4～H'000003A7			2	
		UDID10	236	H'000003B0～H'000003B3	0～15(0)	IPR11(11～8)	1	
		UDID11	237	H'000003B4～H'000003B7			2	
		UDID12	238	H'000003B8～H'000003BB			3	↓
		UDID13	239	H'000003BC～H'000003BF			4	低

割り込み要因番号			割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
			ベクタ	ベクタテーブルアドレスオフセット				
ATU-D	ATU-D2	CMID20	240	H'000003C0～H'000003C3	0～15(0)	IPR11(7～4)	1	高
		CMID21	241	H'000003C4～H'000003C7			2	↑
		CMID22	242	H'000003C8～H'000003CB			3	
		CMID23	243	H'000003CC～H'000003CF			4	
		OVI1D2	244	H'000003D0～H'000003D3	0～15(0)	IPR11(3～0)	1	
		OVI2D2	245	H'000003D4～H'000003D7			2	
		UDID20	248	H'000003E0～H'000003E3	0～15(0)	IPR12(15～12)	1	
		UDID21	249	H'000003E4～H'000003E7			2	
		UDID22	250	H'000003E8～H'000003EB			3	
		UDID23	251	H'000003EC～H'000003EF			4	
	ATU-D3	CMID30	252	H'000003F0～H'000003F3	0～15(0)	IPR12(11～8)	1	
		CMID31	253	H'000003F4～H'000003F7			2	
		CMID32	254	H'000003F8～H'000003FB			3	
		CMID33	255	H'000003FC～H'000003FF			4	
		OVI1D3	256	H'00000400～H'00000403	0～15(0)	IPR12(7～4)	1	
		OVI2D3	257	H'00000404～H'00000407			2	
		UDID30	260	H'00000410～H'00000413	0～15(0)	IPR12(3～0)	1	
		UDID31	261	H'00000414～H'00000417			2	
		UDID32	262	H'00000418～H'0000041B			3	
		UDID33	263	H'0000041C～H'0000041F			4	
ATU-E	ATU-E0	CMIE00	288	H'00000480～H'00000483	0～15(0)	IPR14(7～4)	1	
		CMIE01	289	H'00000484～H'00000487			2	
		CMIE02	290	H'00000488～H'0000048B			3	
		CMIE03	291	H'0000048C～H'0000048F			4	
	ATU-E1	CMIE10	292	H'00000490～H'00000493	0～15(0)	IPR14(3～0)	1	
		CMIE11	293	H'00000494～H'00000497			2	
		CMIE12	294	H'00000498～H'0000049B			3	
		CMIE13	295	H'0000049C～H'0000049F			4	
	ATU-E2	CMIE20	296	H'000004A0～H'000004A3	0～15(0)	IPR15(15～12)	1	
		CMIE21	297	H'000004A4～H'000004A7			2	
		CMIE22	298	H'000004A8～H'000004AB			3	
		CMIE23	299	H'000004AC～H'000004AF			4	
	ATU-E3	CMIE30	300	H'000004B0～H'000004B3	0～15(0)	IPR15(11～8)	1	
		CMIE31	301	H'000004B4～H'000004B7			2	
		CMIE32	302	H'000004B8～H'000004BB			3	
		CMIE33	303	H'000004BC～H'000004BF			4	低

割り込み要因番号			割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
			ベクタ	ベクタテーブルアドレスオフセット				
ATU-E	ATU-E4	CMIE40	304	H'000004C0～H'000004C3	0～15(0)	IPR15(7～4)	1	高
		CMIE41	305	H'000004C4～H'000004C7			2	↑
		CMIE42	306	H'000004C8～H'000004CB			3	
		CMIE43	307	H'000004CC～H'000004CF			4	
ATU-F	ICIF0		312	H'000004E0～H'000004E3	0～15(0)	IPR16(15～12)	1	
	ICIF1		313	H'000004E4～H'000004E7			2	
	ICIF2		314	H'000004E8～H'000004EB			3	
	ICIF3		315	H'000004EC～H'000004EF			4	
	ICIF4		316	H'000004F0～H'000004F3	0～15(0)	IPR16(11～8)	1	
	ICIF5		317	H'000004F4～H'000004F7			2	
	ICIF6		318	H'000004F8～H'000004FB			3	
	ICIF7		319	H'000004FC～H'000004FF			4	
	ICIF8		320	H'00000500～H'00000503	0～15(0)	IPR16(7～4)	1	
	ICIF9		321	H'00000504～H'00000507			2	
	ICIF10		322	H'00000508～H'0000050B			3	
	ICIF11		323	H'0000050C～H'0000050F			4	
	ICIF12		324	H'00000510～H'00000513	0～15(0)	IPR16(3～0)	1	
	ICIF13		325	H'00000514～H'00000517			2	
	ICIF14		326	H'00000518～H'0000051B			3	
	ICIF15		327	H'0000051C～H'0000051F			4	
	ICIF16		328	H'00000520～H'00000523	0～15(0)	IPR17(15～12)	1	
	ICIF17		329	H'00000524～H'00000527			2	
	ICIF18		330	H'00000528～H'0000052B			3	
	ICIF19		331	H'0000052C～H'0000052F			4	
	OVIF0		340	H'00000550～H'00000553	0～15(0)	IPR18(15～12)	1	
	OVIF1		341	H'00000554～H'00000557			2	
	OVIF2		342	H'00000558～H'0000055B			3	
	OVIF3		343	H'0000055C～H'0000055F			4	
	OVIF4		344	H'00000560～H'00000563	0～15(0)	IPR18(11～8)	1	
	OVIF5		345	H'00000564～H'00000567			2	
	OVIF6		346	H'00000568～H'0000056B			3	
	OVIF7		347	H'0000056C～H'0000056F			4	
	OVIF8		348	H'00000570～H'00000573	0～15(0)	IPR18(7～4)	1	
	OVIF9		349	H'00000574～H'00000577			2	
	OVIF10		350	H'00000578～H'0000057B			3	
	OVIF11		351	H'0000057C～H'0000057F			4	低

割り込み要因番号		割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
		ベクタ	ベクタテーブルアドレスオフセット				
ATU-F	OVIF12	352	H'00000580～H'00000583	0～15(0)	IPR18(3～0)	1	高
	OVIF13	353	H'00000584～H'00000587			2	↑
	OVIF14	354	H'00000588～H'0000058B			3	
	OVIF15	355	H'0000058C～H'0000058F			4	
	OVIF16	356	H'00000590～H'00000593	0～15(0)	IPR19(15～12)	1	
	OVIF17	357	H'00000594～H'00000597			2	
	OVIF18	358	H'00000598～H'0000059B			3	
	OVIF19	359	H'0000059C～H'0000059F			4	
ATU-G	CMIG0	368	H'000005C0～H'000005C3	0～15(0)	IPR20(15～12)	1	
	CMIG1	369	H'000005C4～H'000005C7			2	
	CMIG2	370	H'000005C8～H'000005CB			3	
	CMIG3	371	H'000005CC～H'000005CF			4	
	CMIG4	372	H'000005D0～H'000005D3	0～15(0)	IPR20(11～8)	1	
	CMIG5	373	H'000005D4～H'000005D7			2	
ATU-H	CMIH	376	H'000005E0～H'000005E3		IPR20(7～4)		
ATU-J	DFIJ0	380	H'000005F0～H'000005F3	0～15(0)	IPR21(15～12)	1	
	DFIJ1	381	H'000005F4～H'000005F7			2	
	OVIJ0	384	H'00000600～H'00000603	0～15(0)	IPR21(11～8)	1	
	OVIJ1	385	H'00000604～H'00000607			2	
	DOVIJ0	388	H'00000610～H'00000613	0～15(0)	IPR21(7～4)	1	
	DOVIJ1	389	H'00000614～H'00000617			2	
ADC	ADI0	392	H'00000620～H'00000623	0～15(0)	IPR22(15～12)	－	
	ADI1	396	H'00000630～H'00000633	0～15(0)	IPR22(11～8)	－	
	ADID0	400	H'00000640～H'00000643	0～15(0)	IPR22(7～4)	1	
	ADID1	401	H'00000644～H'00000647			2	
	ADID2	402	H'00000648～H'0000064B			3	
	ADID3	403	H'0000064C～H'0000064F			4	
	ADID4	404	H'00000650～H'00000653	0～15(0)	IPR22(3～0)	1	
	ADID5	405	H'00000654～H'00000657			2	
	ADID6	406	H'00000658～H'0000065B			3	
	ADID7	407	H'0000065C～H'0000065F			4	
	ADID8	408	H'00000660～H'00000663	0～15(0)	IPR23(15～12)	1	
	ADID9	409	H'00000664～H'00000667			2	
	ADID10	410	H'00000668～H'0000066B			3	↓
	ADID11	411	H'0000066C～H'0000066F			4	低

割り込み要因番号			割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
			ベクタ	ベクタテーブルアドレスオフセット				
ADC	ADID12		412	H'00000670～H'00000673	0～15(0)	IPR23(11～8)	1	高
	ADID13		413	H'00000674～H'00000677			2	↑
	ADID14		414	H'00000678～H'0000067B			3	
	ADID15		415	H'0000067C～H'0000067F			4	
	ADID40		416	H'00000680～H'00000683	0～15(0)	IPR23(7～4)	－	
	ADID41		417	H'00000684～H'00000687	0～15(0)	IPR23(3～0)	－	
	ADID42		418	H'00000688～H'0000068B	0～15(0)	IPR24(15～12)	－	
	ADID43		419	H'0000068C～H'0000068F	0～15(0)	IPR24(11～8)	－	
	ADID44		420	H'00000690～H'00000693	0～15(0)	IPR24(7～4)	－	
	ADID45		421	H'00000694～H'00000697	0～15(0)	IPR24(3～0)	－	
	ADID46		422	H'00000698～H'0000069B	0～15(0)	IPR25(15～12)	－	
	ADID47		423	H'0000069C～H'0000069F	0～15(0)	IPR25(11～8)	－	
SCI	SCI_A	ERIA	424	H'000006A0～H'000006A3	0～15(0)	IPR26(15～12)	1	
		RXIA	425	H'000006A4～H'000006A7			2	
		TXIA	426	H'000006A8～H'000006AB			3	
		TEIA	427	H'000006AC～H'000006AF			4	
	SCI_B	ERIB	428	H'000006B0～H'000006B3	0～15(0)	IPR26(11～8)	1	
		RXIB	429	H'000006B4～H'000006B7			2	
		TXIB	430	H'000006B8～H'000006BB			3	
		TEIB	431	H'000006BC～H'000006BF			4	
	SCI_C	ERIC	432	H'000006C0～H'000006C3	0～15(0)	IPR26(7～4)	1	
		RXIC	433	H'000006C4～H'000006C7			2	
		TXIC	434	H'000006C8～H'000006CB			3	
		TEIC	435	H'000006CC～H'000006CF			4	
RSPI	RSPI_A	SPEIA	444	H'000006F0～H'000006F3	0～15(0)	IPR27(11～8)	1	
		SPRIA	445	H'000006F4～H'000006F7			2	
		SPTIA	446	H'000006F8～H'000006FB			3	
	RSPI_B	SPEIB	448	H'00000700～H'00000703	0～15(0)	IPR27(7～4)	1	
		SPRIB	449	H'00000704～H'00000707			2	
		SPTIB	450	H'00000708～H'0000070B			3	
RCAN-TL1	RCAN_A	ERSA	456	H'00000720～H'00000723	0～15(0)	IPR28(15～12)	1	
		OVRA	457	H'00000724～H'00000727			2	
		RMA0	458	H'00000728～H'0000072B			3	
		RMA1	459	H'0000072C～H'0000072F			4	
		SLEA	460	H'00000730～H'00000733			5	
		MBEA	461	H'00000734～H'00000737			6	低

割り込み要因番号			割り込みベクタ		割り込み優先順位（初期値）	対応する IPR（ビット）	IPR 設定単位内の優先順位	デフォルト優先順位
			ベクタ	ベクタテーブルアドレスオフセット				
RCAN-TL1	RCAN_B	ERSB	464	H'00000740～H'00000743	0～15(0)	IPR28(11～8)	1	高
		OVRB	465	H'00000744～H'00000747			2	↑
		RMB0	466	H'00000748～H'0000074B			3	
		RMB1	467	H'0000074C～H'0000074F			4	
		SLEB	468	H'00000750～H'00000753			5	
		MBEB	469	H'00000754～H'00000757			6	↓
A-DMAC	TE74		488	H'000007A0～H'000007A3	0～15(0)	IPR29 (15～12)	1	低

8.6 動作説明

8.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、**図 8.2** に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01～29（IPR01～IPR29）に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一モジュール内の割り込みが複数発生した場合は、**表8.4**に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます（**図8.4**参照）。
5. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
6. ステータスレジスタ（SR）がスタックに退避され、SRのI3～I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
7. プログラムカウンタ（PC）がスタックに退避されます。
8. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 8.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

* エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ 割り込み要求レジスタ（IRQRR）のアクセスにより取り下げることができます。詳しくは「8.4.3 IRQ 割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

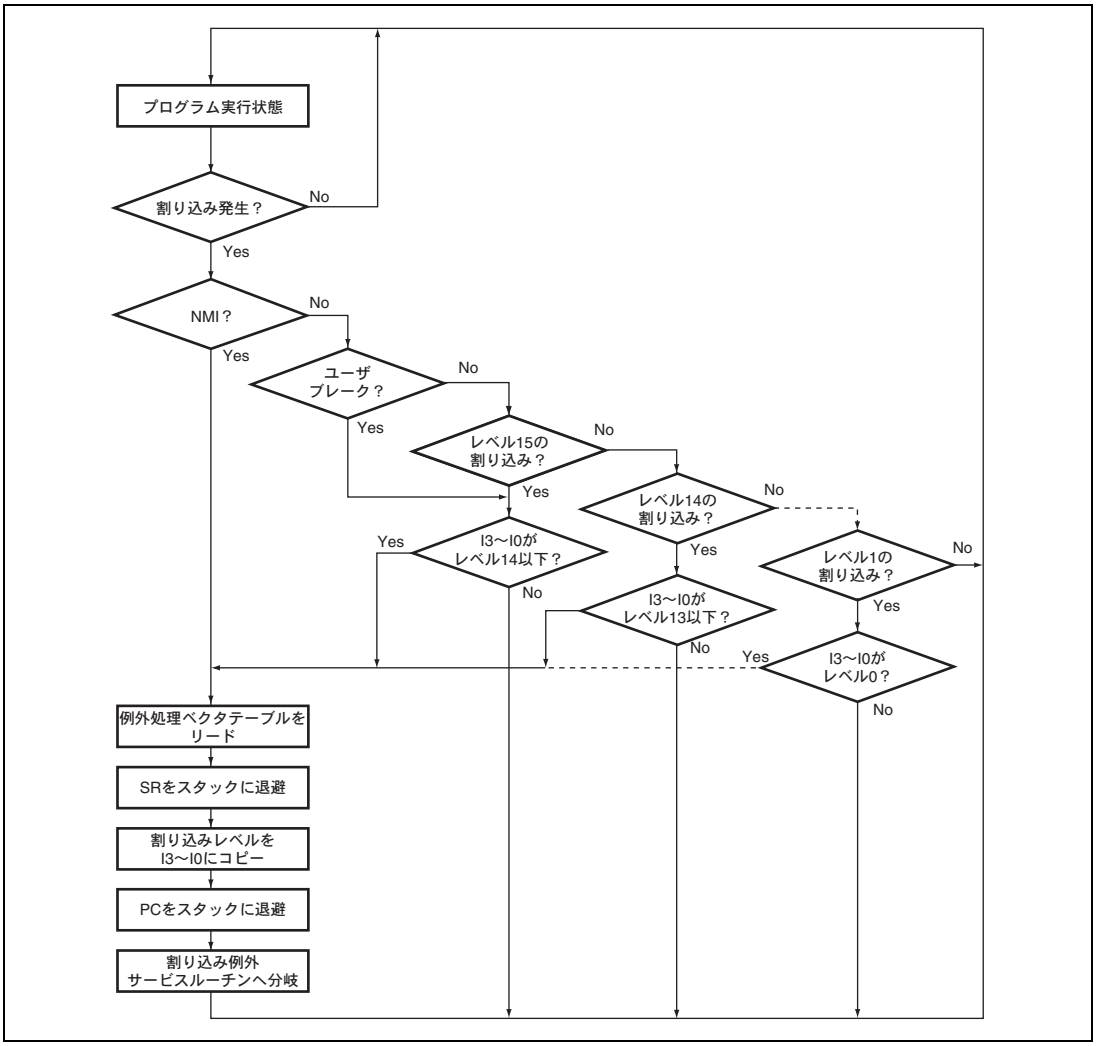
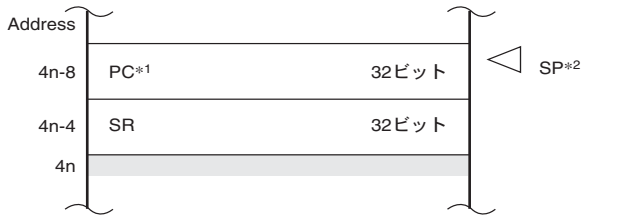


図 8.2 割り込み動作フロー

8.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 8.3 に示すようになります。



【注】 *1 PC：実行済み命令の次命令（戻り先命令）の先頭アドレス
*2 SPは必ず4の倍数になるようにしてください。

図 8.3 割り込み例外処理終了後のスタック状態

8.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を**表 8.5** に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバフローなし、バンキングありかつレジスタバンクオーバフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を**図 8.4**、**図 8.5** に示します。バンキングありかつレジスタバンクオーバフローなしのときの、パイプライン動作例を**図 8.6**、**図 8.7** に示します。バンキングありかつレジスタバンクオーバフローありのときの、パイプライン動作例を**図 8.8**、**図 8.9** に示します。

なお、**表 8.5**、**図 8.4**～**図 8.9** において、Icyc＝φの周期、Bcyc＝Pcyc＝Pφの周期です。

表 8.5 割り込み応答時間

<table>
<tr><th colspan="3" rowspan="2">項　　目</th><th colspan="5">ステート数</th><th rowspan="2">備考</th></tr>
<tr><th>NMI</th><th>ユーザブレーク</th><th>IRQ</th><th>SINT</th><th>周辺モジュール</th></tr>
<tr><td colspan="3">割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間</td><td>2Icyc+3Pcyc</td><td>3Icyc</td><td>2Icyc+1Bcyc+3Pcyc</td><td>2Icyc+1Bcyc</td><td>2Icyc+1Bcyc+1Pcyc</td><td></td></tr>
<tr><td rowspan="6">CPU に割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、割り込み例外サービスルーチンの先頭命令をフェッチするまでの時間</td><td rowspan="2">レジスタバンクなし。</td><td>最小値</td><td colspan="5">3Icyc+m1+m2</td><td rowspan="2">最小値は、割り込み待ち時間 0 のとき。
最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。</td></tr>
<tr><td>最大値</td><td colspan="5">4Icyc+2(m1+m2)+m3</td></tr>
<tr><td rowspan="2">レジスタバンクあり。
レジスタバンクオーバフローなし。</td><td>最小値</td><td>－</td><td>－</td><td colspan="3">3Icyc+m1+m2</td><td rowspan="2">最小値は、割り込み待ち時間 0 のとき。
最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。</td></tr>
<tr><td>最大値</td><td>－</td><td>－</td><td colspan="3">12Icyc+m1+m2</td></tr>
<tr><td rowspan="2">レジスタバンクあり。
レジスタバンクオーバフローあり。</td><td>最小値</td><td>－</td><td>－</td><td colspan="3">3Icyc+m1+m2</td><td rowspan="2">最小値は、割り込み待ち時間 0 のとき。
最大値は、RESBANK 命令実行中に割り込み要求が発生したとき。</td></tr>
<tr><td>最大値</td><td>－</td><td>－</td><td colspan="3">3Icyc+m1+m2+19(m4)</td></tr>
</table>

項　　目			ステート数					備考
			NMI	ユーザブレーク	IRQ	SINT	周辺モジュール	
応答時間	レジスタバンクなし。	最小値	5Icyc+3Pcyc+m1+m2	6Icyc+m1+m2	5Icyc+1Bcyc+3Pcyc+m1+m2	5Icyc+1Bcyc+m1+m2	5Icyc+1Bcyc+1Pcyc+m1+m2	120MHz 動作時 *1*2：0.067～0.158μs
		最大値	6Icyc+3Pcyc+2(m1+m2)+m3	7Icyc+2(m1+m2)+m3	6Icyc+1Bcyc+3Pcyc+2(m1+m2)+m3	6Icyc+1Bcyc+2(m1+m2)+m3	6Icyc+1Bcyc+1Pcyc+2(m1+m2)+m3	120MHz 動作時 *1*2：0.100～0.192μs
	レジスタバンクあり。レジスタバンクオーバフローなし。	最小値	－	－	5Icyc+1Bcyc+3Pcyc+m1+m2	5Icyc+1Bcyc+m1+m2	5Icyc+1Bcyc+1Pcyc+m1+m2	120MHz 動作時 *1*2：0.083～0.158μs
		最大値	－	－	14Icyc+1Bcyc+3Pcyc+m1+m2	14Icyc+1Bcyc+m1+m2	14Icyc+1Bcyc+1Pcyc+m1+m2	120MHz 動作時 *1*2：0.158～0.233μs
	レジスタバンクあり。レジスタバンクオーバフローあり。	最小値	－	－	5Icyc+1Bcyc+3Pcyc+m1+m2	5Icyc+1Bcyc+m1+m2	5Icyc+1Bcyc+1Pcyc+m1+m2	120MHz 動作時 *1*2：0.083～0.158μs
		最大値	－	－	5Icyc+1Bcyc+3Pcyc+m1+m2+19(m4)	5Icyc+1Bcyc+m1+m2+19(m4)	5Icyc+1Bcyc+1Pcyc+m1+m2+19(m4)	120MHz 動作時 *1*2：0.242～0.317μs

【注】 m1～m4 は下記のメモリアクセスに要するステート数です。

m1 ：ベクタアドレスリード（ロングワードリード）

m2 ：SR の退避（ロングワードライト）

m3 ：PC の退避（ロングワードライト）

m4 ：バンク対象レジスタ（R0～R14、GBR、MACH、MACL、PR）のスタックからの復帰

*1 ：m1＝m2＝m3＝m4＝1Icyc の場合

*2 ：（φ、Pφ）＝（120MHz、40MHz）の場合

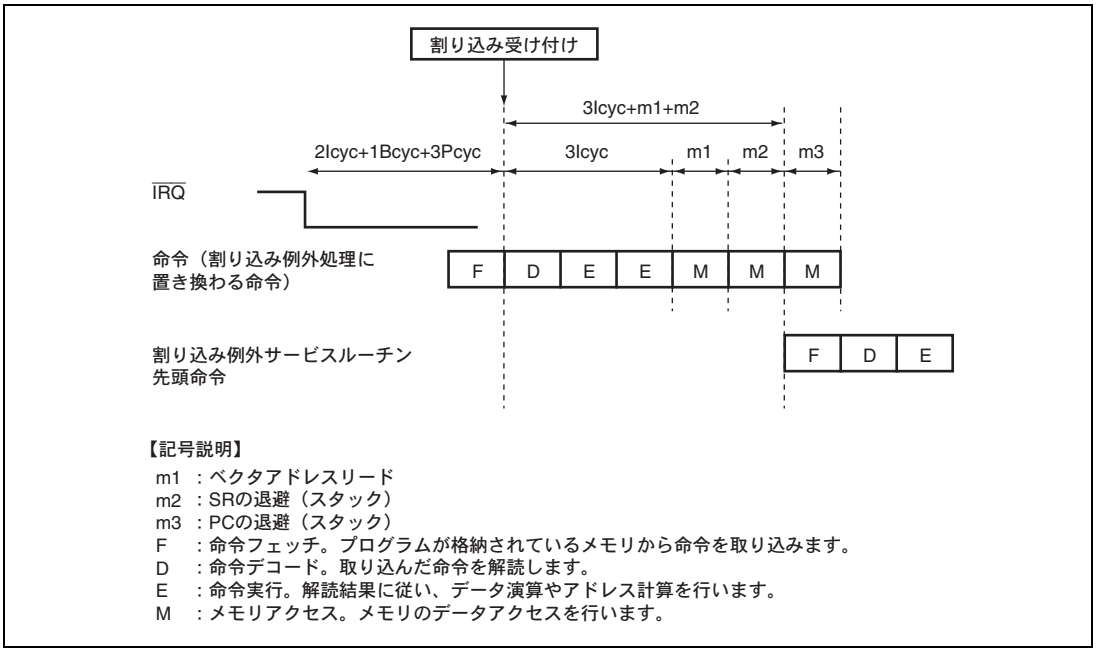


図 8.4 IRQ 割り込みを受け付けるときのパイプライン動作例（レジスタバンクなし）

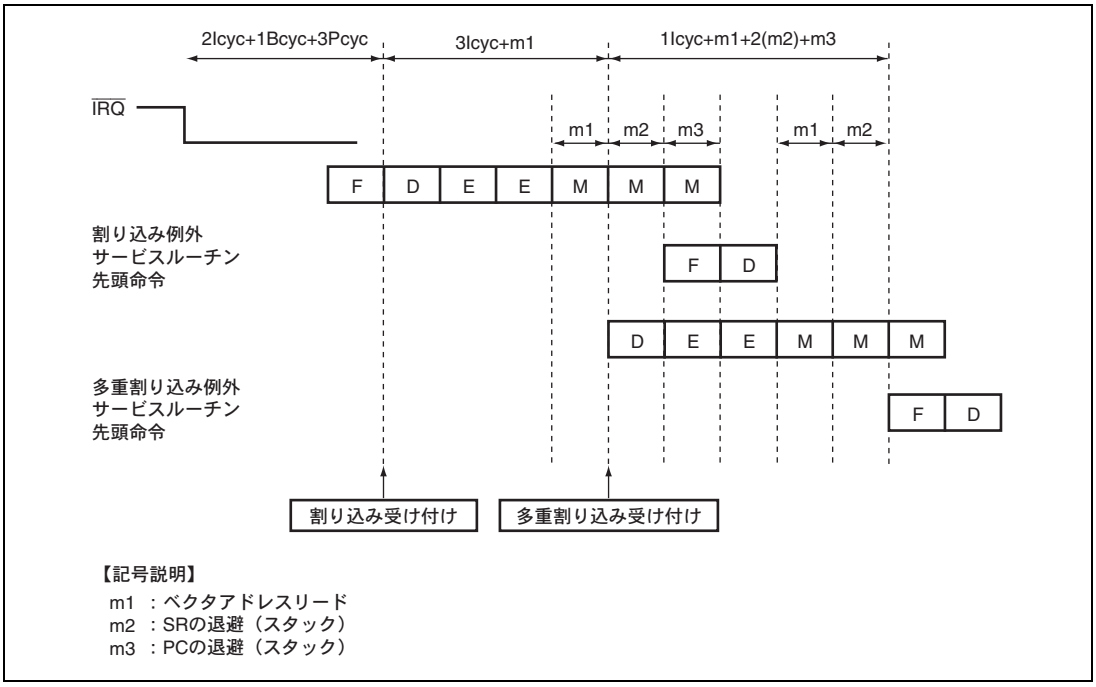


図 8.5 多重割り込み時のパイプライン動作例（レジスタバンクなし）

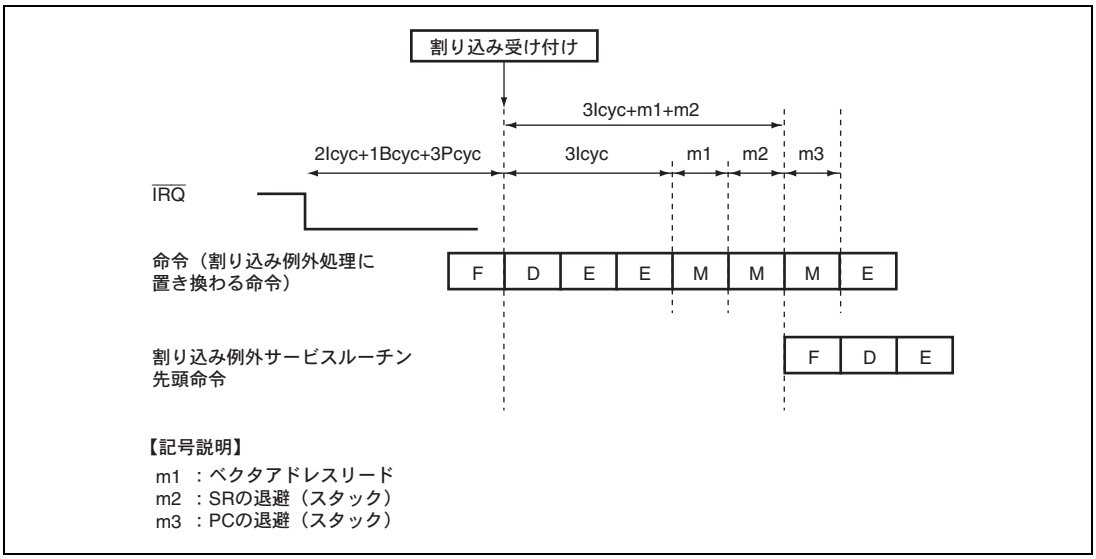


図 8.6 IRQ 割り込みを受け付けるときのパイプライン動作例
（レジスタバンクあり、レジスタバンクオーバフローなし）

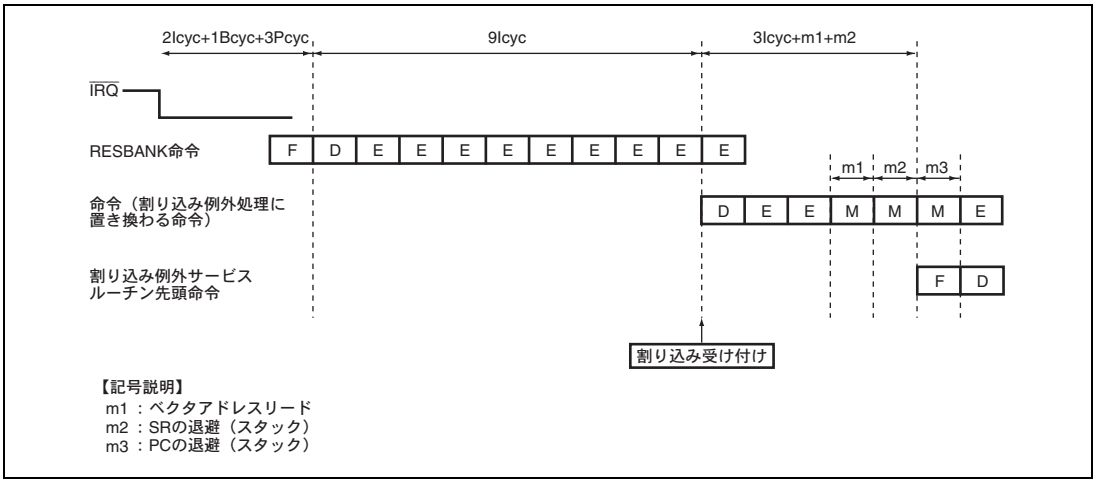


図 8.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
（レジスタバンクあり、レジスタバンクオーバフローなし）

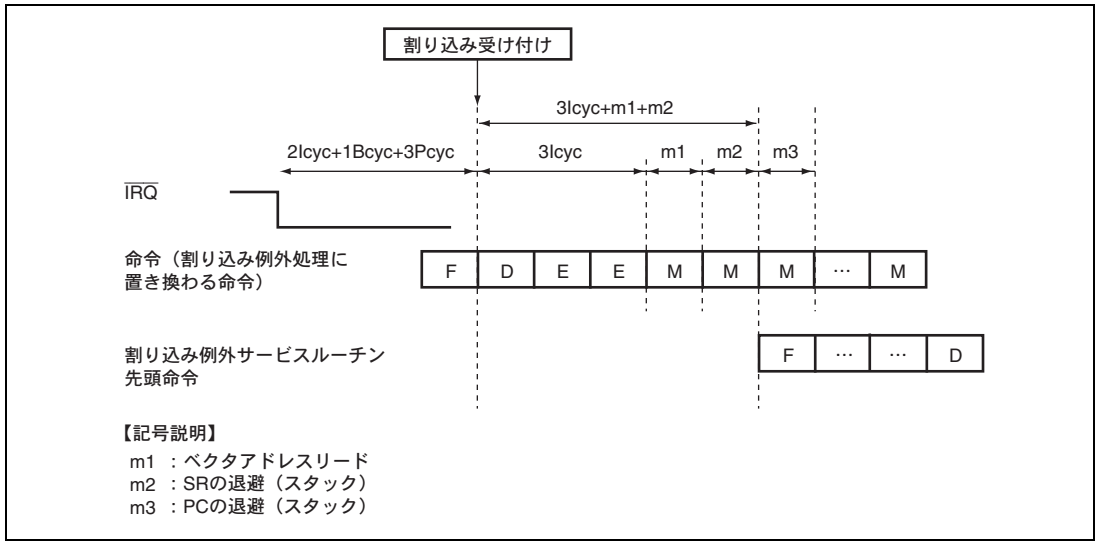


図 8.8 IRQ 割り込みを受け付けるときのパイプライン動作例
（レジスタバンクあり、レジスタバンクオーバフローあり）

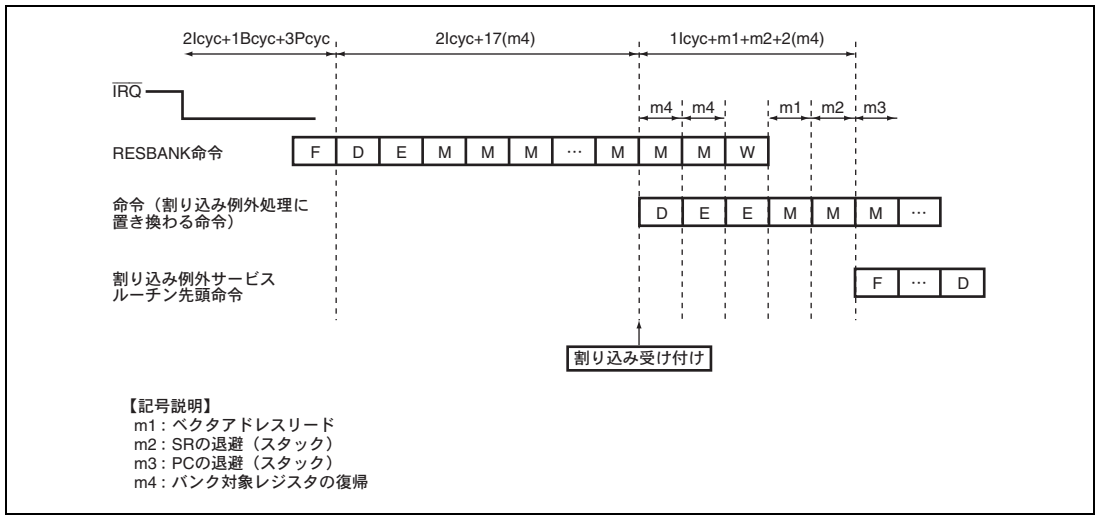


図 8.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例
（レジスタバンクあり、レジスタバンクオーバフローあり）

8.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 8.10 に示します。

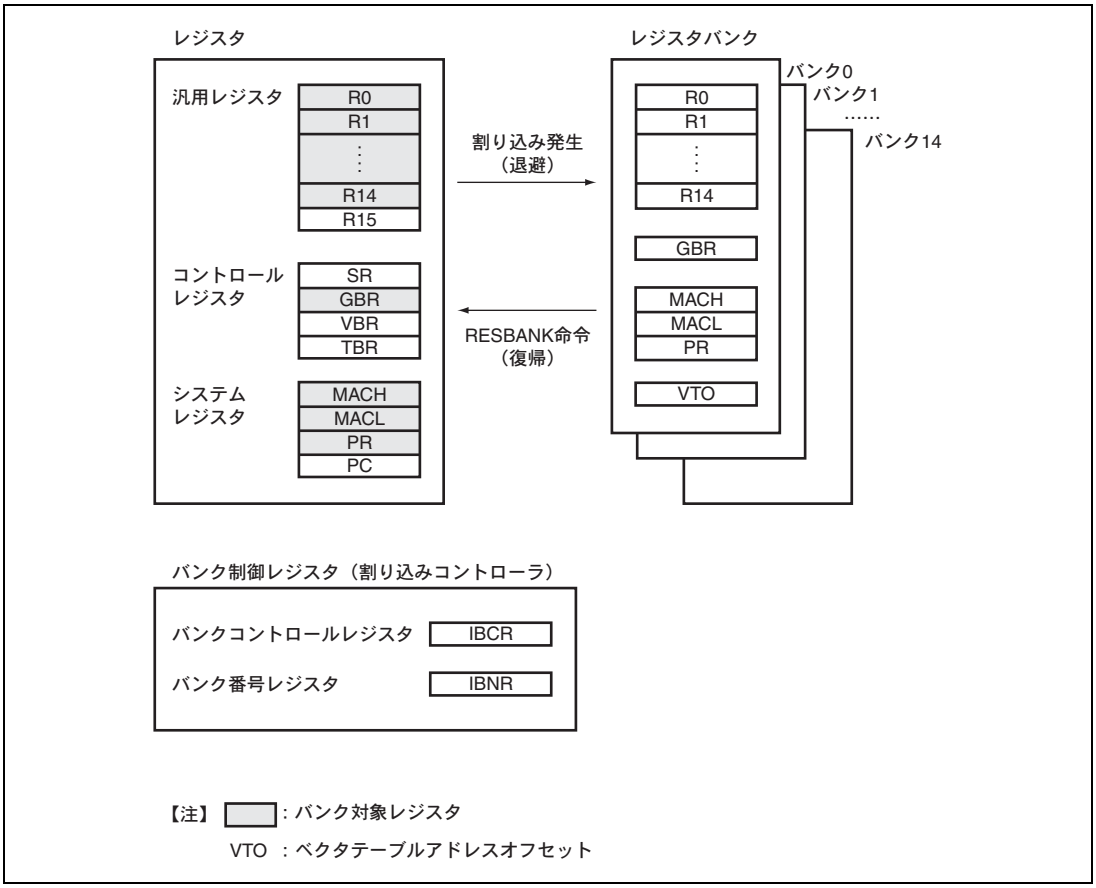


図 8.10 レジスタバンクの構成の概要

8.8.1 バンクの対象レジスタと入出力方式

（1） バンクの対象レジスタ

汎用レジスタ（R0～R14）、グローバルベースレジスタ（GBR）、積和レジスタ（MACH、MACL）、プロシージャレジスタ（PR）と、ベクタテーブルアドレスオフセットをバンクの対象とします。

（2） バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し（FILO）式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

8.8.2 バンク退避、復帰の動作

（1） バンクへの退避

図 8.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

（a） 割り込み発生前のバンク番号レジスタ（IBNR）のバンク番号ビット（BN）の値を i とします。

（b） BN の示すバンク i に、レジスタ R0～R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット（VTO）を退避します。

（c） BN の値を＋1 します。

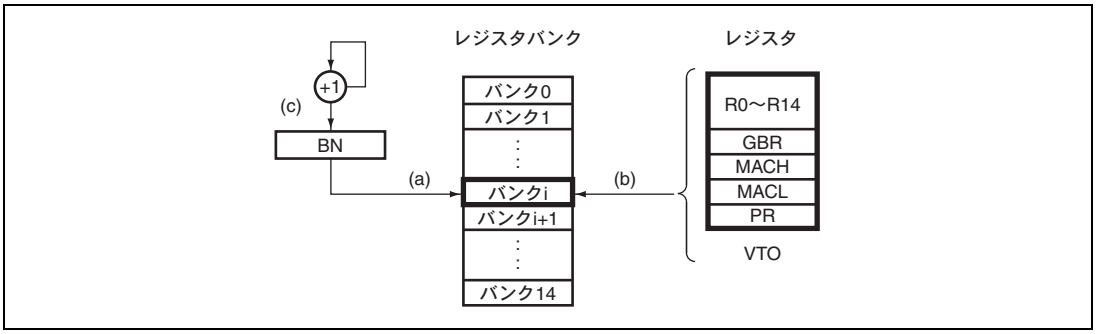


図 8.11 バンク退避の動作

図 8.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から割り込み例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

なお、**図 8.12** において、Icyc＝φの周期、Bcyc＝Pcyc＝Pφの周期です。

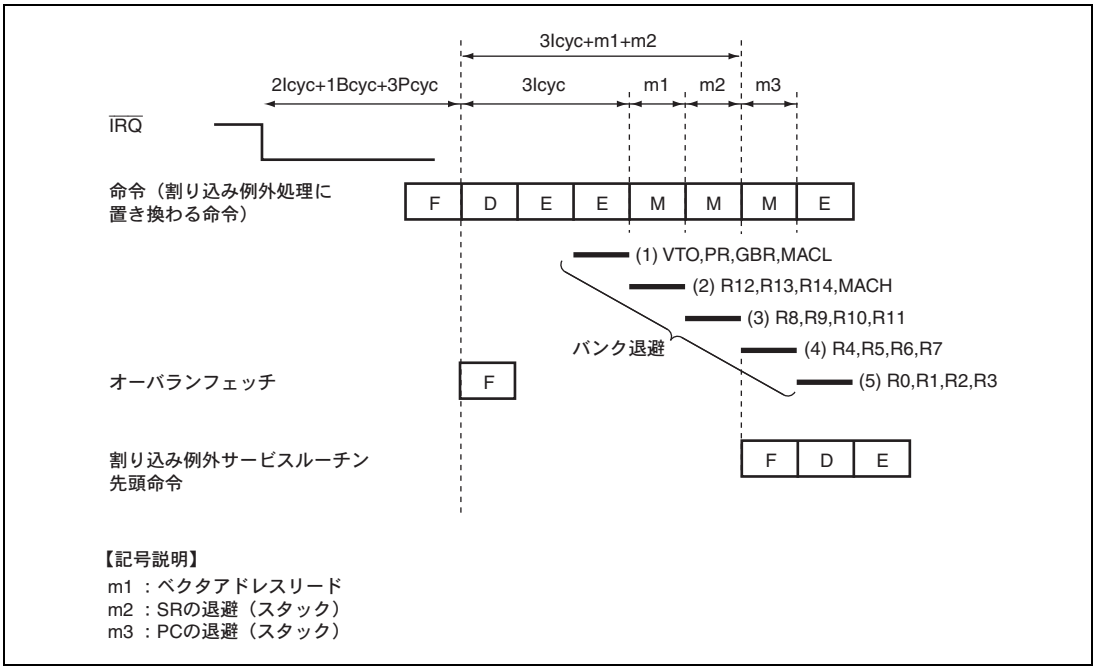


図 8.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込み例外サービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で割り込み例外サービスルーチンからの復帰を行ってください。

8.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ（IBNR）の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

（1） スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ（SR）、プログラムカウンタ（PC）をスタックします。
2. バンク対象レジスタ（R0～R14、GBR、MACH、MACL、PR）をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、……、R1、R0の順となります。
3. SRのレジスタバンクオーバフロービット（BO）を1にセットします。
4. バンク番号レジスタ（IBNR）のバンク番号ビット（BN）は最大値15のまま変化しません。

（2） スタックからの復帰

SR のレジスタバンクオーバフロービット（BO）が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ（R0～R14、GBR、MACH、MACL、PR）をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、……、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ（IBNR）のバンク番号ビット（BN）は最大値15のまま変化しません。

8.8.4 レジスタバンクの例外

レジスタバンクの例外（レジスタバンクエラー）には、レジスタバンクオーバフローとレジスタバンクアンダフローの 2 種類があります。

（1） レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ（IBNR）の BOVE ビットが 1 にセットされているときに発生します。このとき、バンク番号レジスタ（IBNR）のバンク番号ビット（BN）はバンク数 15 のまま変化せず、レジスタバンクへの退避は行われません。

（2） レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このとき R0～R14、GBR、MACH、MACL、PR の値は変化しません。また、バンク番号レジスタ（IBNR）のバンク番号ビット（BN）は 0 のまま変化しません。

8.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例対処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。レジスタバンクオーバフロー時の退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避するPCの値は、当該のRESBANK命令の先頭アドレスです。また、レジスタバンクオーバフロー時は多重割り込みを防止するためにレジスタバンクオーバフローの要因となった割り込みのレベルをステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）に書き込みます。
4. 例外サービスルーチンの開始アドレスからプログラムを実行します。

8.9 割り込み要求信号によるデータ転送

割り込み要求信号により DMAC または A-DMAC を起動し、データ転送を行うことができます。

割り込み要因の中で DMAC または A-DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。DMAC、A-DMAC のそれぞれのマスク条件は次のように表されます。

- **DMACのマスク条件**

  マスク条件＝DME・（DE0・要因選択0＋DE1・要因選択1＋DE2・要因選択2＋DE3・要因選択3＋DE4・要因選択4+DE5・要因選択5＋DE6・要因選択6＋DE7・要因選択7）

  ここでDMEはDMACのDMAORレジスタのビット0、DEn（n＝0～7）はDMACのCHCR0～CHCR7レジスタのビット0です。

- **A-DMACのマスク条件**

  マスク条件＝NMI＋（DME・DEn）［ADC、ATU-III］または
  NMI＋（DME・（TCRn＋TEn））［RSPI、SCI］

  ここでNMIはDMACのDMAORレジスタのビット1、DMEはA-DMACのADMAORレジスタのビット0、DEnはA-DMACのチャネルnに対応するADMADEレジスタのビット、TCRnはA-DMACのチャネルnに対応するADMATCRレジスタの値が0でない状態、TEnはA-DMACのチャネルnに対応するADMATEレジスタのビットを示します。

  ただし、A-DMACによるRCAN-TL1の転送機能は、RCAN-TL1からの割り込み要求信号を用いません。したがって、A-DMACの起動要因に指定しても、INTCにマスクされません。

DMAC または A-DMAC は、割り込み要求信号に応じてデータ転送を行うと、割り込み要求元に対して割り込み要因フラグのクリアを行います。

詳細は「**第 10 章　ダイレクトメモリアクセスコントローラ（DMAC）**」および「**第 11 章　専用ダイレクトメモリアクセスコントローラ（A-DMAC）**」を参照してください。

割り込み制御ブロック図を**図 8.13** に示します。

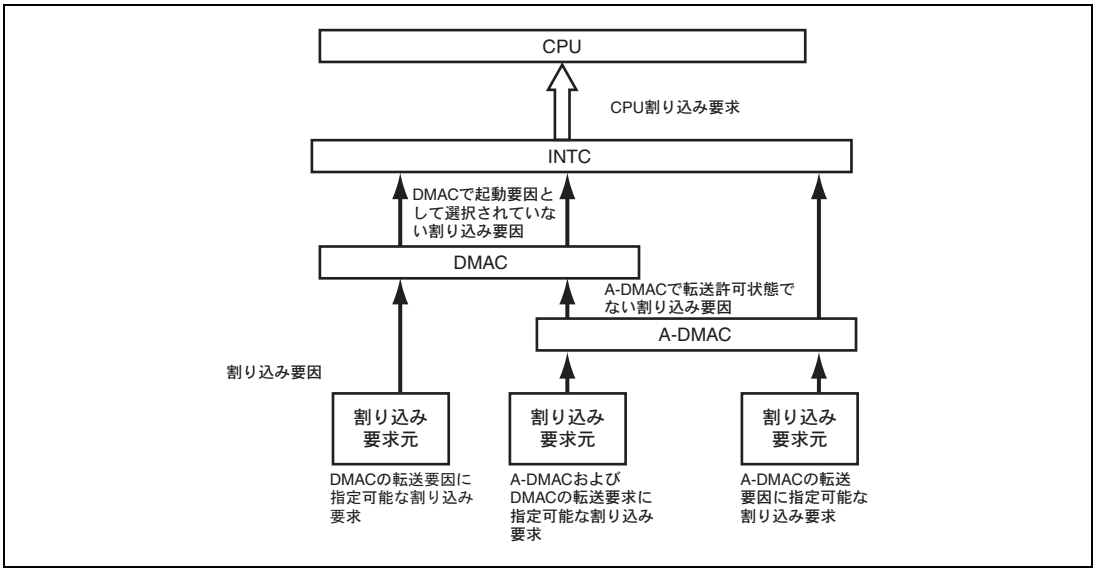


図 8.13 割り込み制御ブロック図

8.9.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DMACで要因を選択しないか、またはDMEビットを0にクリアします。また、DMACで要因を選択している場合には、DMACの当該チャネルのDEビットを0にクリアします。
2. 割り込みが発生すると、CPUに割り込みを要求します。
3. CPUは割り込み例外サービスルーチンで、割り込み要因をクリアし、所要の処理をします。

8.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

1. DMACで要因を選択し、DE＝1、DME＝1にセットします。割り込み優先レベル設定レジスタの設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、DMACに起動要因が与えられます。
3. DMACは、転送時に起動要因をクリアします。

8.9.3 割り込み要求信号を A-DMAC の起動要因とし、CPU の割り込み要因としない場合

1. A-DMACのDMEビットを1にセットし、当該チャネルのDEビットを1にセットまたはADMATCRレジスタに0以外の値（転送回数）を設定します。割り込み優先レベル設定レジスタの設定によらずCPU割り込み要因はマスクされます。
2. 割り込みが発生すると、A-DMACに起動要因が与えられます。
3. A-DMACは、転送時に起動要因をクリアします。

8.10 使用上の注意事項

8.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、**表 8.5** に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをダミーリードしてください。その後 RTE 命令を実行すれば、当該割り込みを誤って再度受け付けることはありません。また、LDC 命令により割り込みレベルを変更する際には、割り込み要因フラグをダミーリード後、NOP 命令を最低 3 つ実行してから LDC 命令を実行してください。

9. ユーザブレークコントローラ（UBC）

ユーザブレークコントローラ（UBC）は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブレーク条件として、命令フェッチまたはデータの読み出し／書き込み（データの読み出し／書き込みの場合はバスマスタ（CPU、DMAC、A-DMAC））、データのサイズ、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス（C バス）上での命令フェッチは命令フェッチバス（F バス）にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス（M バス）にバスサイクルを発行します。UBC はこれら C バスと内部バス（I バス）をモニタします。

9.1 特長

1. 次のようなブレーク比較条件を設定できます。

   ブレークチャネル数：4チャネル（チャネル0～3）

   ユーザブレークは、チャネル0～3をそれぞれ独立に設定することができます。

- アドレス

  アドレス32ビットの比較はビットごとにマスク可能です。

  3種類のアドレスバス（Fバスアドレス（FAB）、Mバスアドレス（MAB）、Iバスアドレス（IAB））を選択できます。

- Iバス選択時のバスマスタ

  CPUサイクル、DMACサイクル、A-DMACサイクル

- バスサイクル

  命令フェッチ（Cバス選択時のみ）またはデータアクセス

- 読み出しまたは書き込み
- オペランドサイズ

  バイト、ワード、およびロングワードをサポート。

2. ユーザ指定のユーザブレーク条件例外処理ルーチンを実行可能。
3. 命令フェッチサイクルにおいて、ブレークを命令の実行の前に設定するか、後に設定するかを指定可能。

図 9.1 に UBC のブロック図を示します。

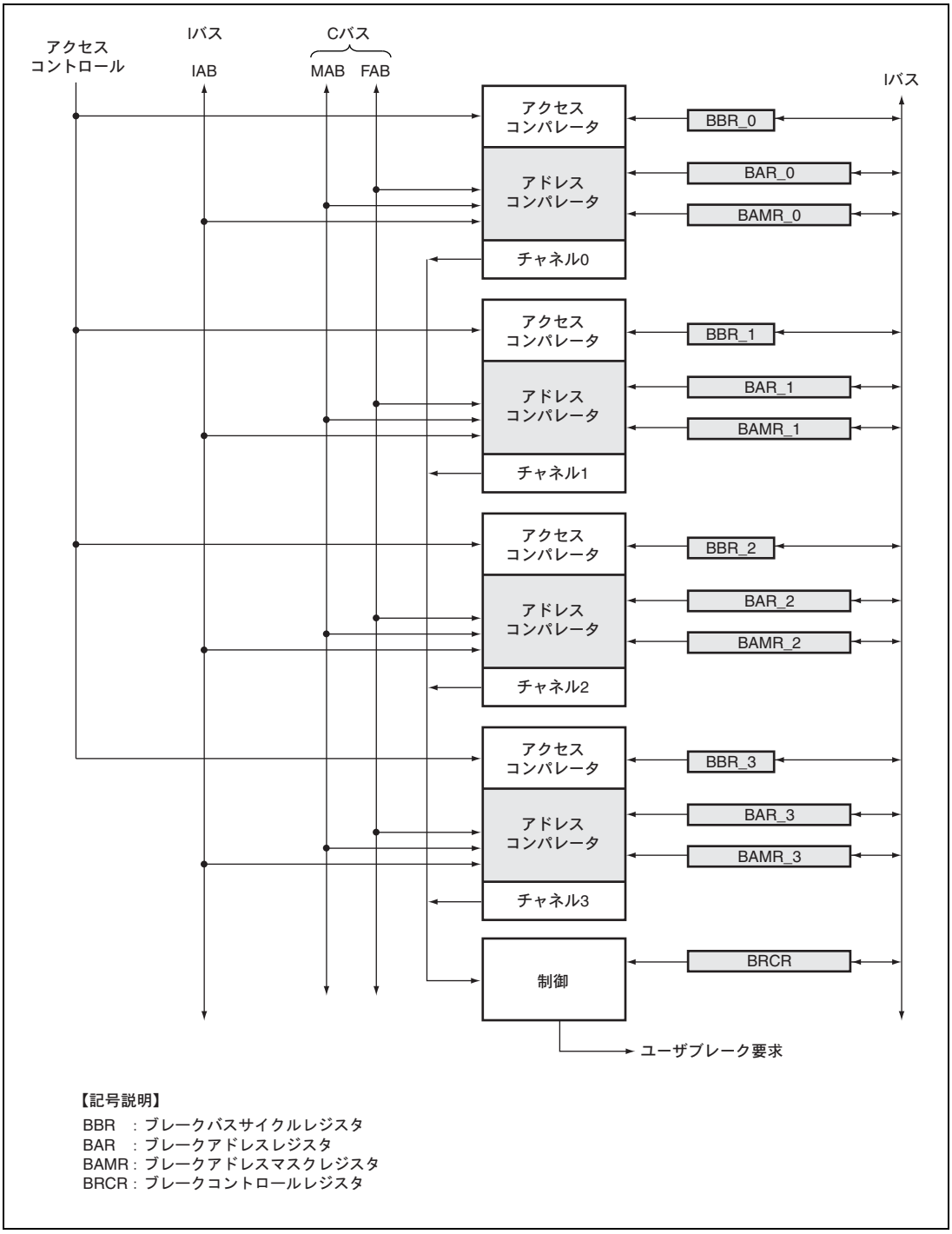


図 9.1 UBC のブロック図

9.2 レジスタの説明

UBC には以下のレジスタがあります。

表 9.1 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	ブレークアドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブレークバスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
1	ブレークアドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブレークバスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
2	ブレークアドレスレジスタ_2	BAR_2	R/W	H'00000000	H'FFFC0420	32
	ブレークアドレスマスクレジスタ_2	BAMR_2	R/W	H'00000000	H'FFFC0424	32
	ブレークバスサイクルレジスタ_2	BBR_2	R/W	H'0000	H'FFFC04A4	16
3	ブレークアドレスレジスタ_3	BAR_3	R/W	H'00000000	H'FFFC0430	32
	ブレークアドレスマスクレジスタ_3	BAMR_3	R/W	H'00000000	H'FFFC0434	32
	ブレークバスサイクルレジスタ_3	BBR_3	R/W	H'0000	H'FFFC04B4	16
共通	ブレークコントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	8、32

9.2.1 ブレークアドレスレジスタ_0（BAR_0）

BAR_0 は、32 ビットの読み出し／書き込み可能なレジスタです。BAR_0 は、チャネル 0 のブレーク条件とするアドレスを指定します。BAR_0 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24	BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA0_15	BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8	BA0_7	BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31～0	BA0_31 ～ BA0_0	すべて 0	R/W	ブレークアドレス 0 チャネル 0 のブレーク条件を指定する CPU アドレスバス（FAB または MAB）または IAB のアドレスを格納します。 BBR_0 により C バスかつ命令フェッチサイクルを選択した場合は、BA0_31～BA0_0 に FAB のアドレスを指定します。 BBR_0 により C バスかつデータアクセスサイクルを選択した場合は、BA0_31～BA0_0 に MAB のアドレスを指定します。

【注】 ブレーク条件として命令フェッチサイクルを設定する場合は、BAR_0 の LSB を 0 にクリアしてください。

9.2.2 ブレークアドレスマスクレジスタ_0（BAMR_0）

BAMR_0 は、32 ビットの読み出し／書き込み可能なレジスタです。BAMR_0 は、BAR_0 で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR_0 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24	BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8	BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	BAM0_31 ～ BAM0_0	すべて 0	R/W	ブレークアドレスマスク 0 BAR_0（BA0_31～BA0_0）によって指定されるチャネル 0 のブレークアドレスビットのうち、マスクするビットを指定します。 0：ブレークアドレスビット BA0_n は、ブレーク条件に含まれる 1：ブレークアドレスビット BA0_n はマスクされ、ブレーク条件に含まれない 【注】n＝31～0

9.2.3 ブレークバスサイクルレジスタ_0（BBR_0）

BBR_0 は、チャネル 0 のブレーク条件として（1）ユーザブレーク割り込みの禁止／許可、（2）I バスのバスマスタ、（3）C バスサイクルまたは I バスサイクル、（4）命令フェッチまたはデータアクセス、（5）読み出しまたは書き込み、および（6）オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR_0 はパワーオンリセットで H'0000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	UBID0	－	－	CP0_ [2:0]			CD0_ [1:0]		ID0_ [1:0]		RW0_ [1:0]		SZ0_ [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID0	0	R/W	ユーザブレーク割り込みディスエーブル 0 チャネル 0 の条件一致時にユーザブレーク割り込み要求の禁止／許可を指定します。 0：ユーザブレーク割り込み要求を許可する 1：ユーザブレーク割り込み要求を禁止する
12、11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	CP0_ [2:0]	000	R/W	I バスのバスマスタセレクト 0 チャネル 0 ブレーク条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効（CPU サイクルのみ）となります。 xx1：ブレーク条件は、CPU サイクルを含みます x1x：ブレーク条件は、DMAC サイクルを含みます 1xx：ブレーク条件は、A-DMAC サイクルを含みます
7、6	CD0_ [1:0]	00	R/W	C バスサイクル／I バスサイクルセレクト 0 チャネル 0 ブレーク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、C バス（F バス、M バス）サイクル 10：ブレーク条件は、I バスサイクル 11：ブレーク条件は、C バス（F バス、M バス）サイクル

ビット	ビット名	初期値	R/W	説　　明
5、4	ID0_ [1:0]	00	R/W	命令フェッチ／データアクセスセレクト 0 チャネル 0 ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。 00：条件比較を行わない 01：ブレーク条件は、命令フェッチサイクル 10：ブレーク条件は、データアクセスサイクル 11：ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
3、2	RW0_ [1:0]	00	R/W	読み出し／書き込みセレクト 0 チャネル 0 ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、読み出しサイクル 10：ブレーク条件は、書き込みサイクル 11：ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1、0	SZ0_ [1:0]	00	R/W	オペランドサイズセレクト 0 チャネル 0 ブレーク条件のバスサイクルのオペランドサイズを選択します。 00：ブレーク条件は、オペランドサイズを含まない 01：ブレーク条件は、バイトアクセス 10：ブレーク条件は、ワードアクセス 11：ブレーク条件は、ロングワードアクセス

【記号説明】x：Don’t care

9.2.4 ブレークアドレスレジスタ_1（BAR_1）

BAR_1 は、32 ビットの読み出し／書き込み可能なレジスタです。BAR_1 は、チャネル 1 のブレーク条件とするアドレスを指定します。チャネル 1 ブレーク条件の対象とするアドレスバスは 2 種類あり、ブレークバスサイクルレジスタ_1（BBR_1）の制御ビット CD1_1、CD1_0 により選択します。BAR_1 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA1_31	BA1_30	BA1_29	BA1_28	BA1_27	BA1_26	BA1_25	BA1_24	BA1_23	BA1_22	BA1_21	BA1_20	BA1_19	BA1_18	BA1_17	BA1_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA1_15	BA1_14	BA1_13	BA1_12	BA1_11	BA1_10	BA1_9	BA1_8	BA1_7	BA1_6	BA1_5	BA1_4	BA1_3	BA1_2	BA1_1	BA1_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	BA1_31 ～ BA1_0	すべて 0	R/W	ブレークアドレス 1 チャネル 1 のブレーク条件を指定する CPU アドレスバス（FAB または MAB）または IAB のアドレスを格納します。 BBR_1 により C バスかつ命令フェッチサイクルを選択した場合は、BA1_31～BA1_0 に FAB のアドレスを指定します。 BBR_1 により C バスかつデータアクセスサイクルを選択した場合は、BA1_31～BA1_0 に MAB のアドレスを指定します。

【注】 ブレーク条件として命令フェッチサイクルを設定する場合は、BAR_1 の LSB を 0 にクリアしてください。

9.2.5 ブレークアドレスマスクレジスタ_1（BAMR_1）

BAMR_1 は、32 ビットの読み出し／書き込み可能なレジスタです。BAMR_1 は、BAR_1 で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR_1 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM1_31	BAM1_30	BAM1_29	BAM1_28	BAM1_27	BAM1_26	BAM1_25	BAM1_24	BAM1_23	BAM1_22	BAM1_21	BAM1_20	BAM1_19	BAM1_18	BAM1_17	BAM1_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM1_15	BAM1_14	BAM1_13	BAM1_12	BAM1_11	BAM1_10	BAM1_9	BAM1_8	BAM1_7	BAM1_6	BAM1_5	BAM1_4	BAM1_3	BAM1_2	BAM1_1	BAM1_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	BAM1_31 ～ BAM1_0	すべて 0	R/W	ブレークアドレスマスク 1 BAR_1（BA1_31～BA1_0）によって指定されるチャネル 1 のブレークアドレスビットのうち、マスクするビットを指定します。 0：ブレークアドレスビット BA1_n は、ブレーク条件に含まれる 1：ブレークアドレスビット BA1_n はマスクされ、ブレーク条件に含まれない 【注】n＝31～0

9.2.6 ブレークバスサイクルレジスタ_1（BBR_1）

BBR_1 は、チャネル 1 のブレーク条件として（1）ユーザブレーク割り込みの禁止／許可、（2）I バスのバスマスタ、（3）C バスサイクルまたは I バスサイクル、（4）命令フェッチまたはデータアクセス、（5）読み出しまたは書き込み、および（6）オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR_1 はパワーオンリセットで H'0000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	UBID1	－	－	CP1_ [2:0]			CD1_ [1:0]		ID1_ [1:0]		RW1_ [1:0]		SZ1_ [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID1	0	R/W	ユーザブレーク割り込みディスエーブル 1 チャネル 1 の条件一致時にユーザブレーク割り込み要求の禁止／許可を指定します。 0：ユーザブレーク割り込み要求を許可する 1：ユーザブレーク割り込み要求を禁止する
12、11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	CP1_ [2:0]	000	R/W	I バスのバスマスタセレクト 1 チャネル 1 ブレーク条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効（CPU サイクルのみ）となります。 xx1：ブレーク条件は、CPU サイクルを含みます x1x：ブレーク条件は、DMAC サイクルを含みます 1xx：ブレーク条件は、A-DMAC サイクルを含みます
7、6	CD1_ [1:0]	00	R/W	C バスサイクル／I バスサイクルセレクト 1 チャネル 1 ブレーク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、C バスサイクル 10：ブレーク条件は、I バスサイクル 11：ブレーク条件は、C バスサイクル

ビット	ビット名	初期値	R/W	説　　明
5、4	ID1_ [1:0]	00	R/W	命令フェッチ／データアクセスセレクト 1 チャネル 1 ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。 00：条件比較を行わない 01：ブレーク条件は、命令フェッチサイクル 10：ブレーク条件は、データアクセスサイクル 11：ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
3、2	RW1_ [1:0]	00	R/W	読み出し／書き込みセレクト 1 チャネル 1 ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、読み出しサイクル 10：ブレーク条件は、書き込みサイクル 11：ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1、0	SZ1_ [1:0]	00	R/W	オペランドサイズセレクト 1 チャネル 1 ブレーク条件のバスサイクルのオペランドサイズを選択します。 00：ブレーク条件は、オペランドサイズを含まない 01：ブレーク条件は、バイトアクセス 10：ブレーク条件は、ワードアクセス 11：ブレーク条件は、ロングワードアクセス

【記号説明】x：Don’t care

9.2.7 ブレークアドレスレジスタ_2（BAR_2）

BAR_2 は、32 ビットの読み出し／書き込み可能なレジスタです。BAR_2 は、チャネル 2 のブレーク条件とするアドレスを指定します。チャネル 2 ブレーク条件の対象とするアドレスバスは 2 種類あり、ブレークバスサイクルレジスタ_2（BBR_2）の制御ビットの CD2_1、CD2_0 により選択します。BAR_2 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA2_31	BA2_30	BA2_29	BA2_28	BA2_27	BA2_26	BA2_25	BA2_24	BA2_23	BA2_22	BA2_21	BA2_20	BA2_19	BA2_18	BA2_17	BA2_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA2_15	BA2_14	BA2_13	BA2_12	BA2_11	BA2_10	BA2_9	BA2_8	BA2_7	BA2_6	BA2_5	BA2_4	BA2_3	BA2_2	BA2_1	BA2_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	BA2_31 ～ BA2_0	すべて 0	R/W	ブレークアドレス 2 チャネル 2 のブレーク条件を指定する CPU アドレスバス（FAB または MAB）または IAB のアドレスを格納します。 BBR_2 により C バスかつ命令フェッチサイクルを選択した場合は、BA2_31～BA2_0 に FAB のアドレスを指定します。 BBR_2 により C バスかつデータアクセスサイクルを選択した場合は、BA2_31～BA2_0 に MAB のアドレスを指定します。

【注】 ブレーク条件として命令フェッチサイクルを設定する場合は、BAR_2 の LSB を 0 にクリアしてください。

9.2.8 ブレークアドレスマスクレジスタ_2（BAMR_2）

BAMR_2 は、32 ビットの読み出し／書き込み可能なレジスタです。BAMR_2 は、BAR_2 で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR_2 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM2_31	BAM2_30	BAM2_29	BAM2_28	BAM2_27	BAM2_26	BAM2_25	BAM2_24	BAM2_23	BAM2_22	BAM2_21	BAM2_20	BAM2_19	BAM2_18	BAM2_17	BAM2_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM2_15	BAM2_14	BAM2_13	BAM2_12	BAM2_11	BAM2_10	BAM2_9	BAM2_8	BAM2_7	BAM2_6	BAM2_5	BAM2_4	BAM2_3	BAM2_2	BAM2_1	BAM2_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	BAM2_31 ～ BAM2_0	すべて 0	R/W	ブレークアドレスマスク 2 BAR_2（BA2_31～BA2_0）によって指定されるチャネル 2 のブレークアドレスビットのうち、マスクするビットを指定します。 0：ブレークアドレスビット BA2_n は、ブレーク条件に含まれる 1：ブレークアドレスビット BA2_n はマスクされ、ブレーク条件に含まれない 【注】n＝31～0

9.2.9 ブレークバスサイクルレジスタ_2（BBR_2）

BBR_2 は、チャネル 2 のブレーク条件として（1）ユーザブレーク割り込みの禁止／許可、（2）I バスのバスマスタ、（3）C バスサイクルまたは I バスサイクル、（4）命令フェッチまたはデータアクセス、（5）読み出しまたは書き込み、および（6）オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR_2 はパワーオンリセットで H'0000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	UBID2	−	−	CP2_ [2:0]			CD2_ [1:0]		ID2_ [1:0]		RW2_ [1:0]		SZ2_ [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID2	0	R/W	ユーザブレーク割り込みディスエーブル 2 チャネル 2 の条件一致時にユーザブレーク割り込み要求の禁止／許可を指定します。 0：ユーザブレーク割り込み要求を許可する 1：ユーザブレーク割り込み要求を禁止する
12、11	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	CP2_ [2:0]	000	R/W	I バスのバスマスタセレクト 2 チャネル 2 ブレーク条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効（CPU サイクルのみ）となります。 xx1：ブレーク条件は、CPU サイクルを含みます x1x：ブレーク条件は、DMAC サイクルを含みます 1xx：ブレーク条件は、A-DMAC サイクルを含みます
7、6	CD2_ [1:0]	00	R/W	C バスサイクル／I バスサイクルセレクト 2 チャネル 2 ブレーク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、C バスサイクル 10：ブレーク条件は、I バスサイクル 11：ブレーク条件は、C バスサイクル

ビット	ビット名	初期値	R/W	説　　明
5、4	ID2_ [1:0]	00	R/W	命令フェッチ／データアクセスセレクト 2 チャネル 2 ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。 00：条件比較を行わない 01：ブレーク条件は、命令フェッチサイクル 10：ブレーク条件は、データアクセスサイクル 11：ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
3、2	RW2_ [1:0]	00	R/W	読み出し／書き込みセレクト 2 チャネル 2 ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、読み出しサイクル 10：ブレーク条件は、書き込みサイクル 11：ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1、0	SZ2_ [1:0]	00	R/W	オペランドサイズセレクト 2 チャネル 2 ブレーク条件のバスサイクルのオペランドサイズを選択します。 00：ブレーク条件は、オペランドサイズを含まない 01：ブレーク条件は、バイトアクセス 10：ブレーク条件は、ワードアクセス 11：ブレーク条件は、ロングワードアクセス

【記号説明】x：Don’t care

9.2.10 ブレークアドレスレジスタ_3（BAR_3）

BAR_3 は、32 ビットの読み出し／書き込み可能なレジスタです。BAR_3 は、チャネル 3 のブレーク条件とするアドレスを指定します。チャネル 3 ブレーク条件の対象とするアドレスバスは 2 種類あり、ブレークバスサイクルレジスタ_3（BBR_3）の制御ビット CD3_1、CD3_0 により選択します。BAR_3 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA3_31	BA3_30	BA3_29	BA3_28	BA3_27	BA3_26	BA3_25	BA3_24	BA3_23	BA3_22	BA3_21	BA3_20	BA3_19	BA3_18	BA3_17	BA3_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA3_15	BA3_14	BA3_13	BA3_12	BA3_11	BA3_10	BA3_9	BA3_8	BA3_7	BA3_6	BA3_5	BA3_4	BA3_3	BA3_2	BA3_1	BA3_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	BA3_31 ～ BA3_0	すべて 0	R/W	ブレークアドレス 3 チャネル 3 のブレーク条件を指定する CPU アドレスバス（FAB または MAB）または IAB のアドレスを格納します。 BBR_3 により C バスかつ命令フェッチサイクルを選択した場合は、BA3_31～BA3_0 に FAB のアドレスを指定します。 BBR_3 により C バスかつデータアクセスサイクルを選択した場合は、BA3_31～BA3_0 に MAB のアドレスを指定します。

【注】 ブレーク条件として命令フェッチサイクルを設定する場合は、BAR_3 の LSB を 0 にクリアしてください。

9.2.11 ブレークアドレスマスクレジスタ_3（BAMR_3）

BAMR_3 は、32 ビットの読み出し／書き込み可能なレジスタです。BAMR_3 は、BAR_3 で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR_3 はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM3_31	BAM3_30	BAM3_29	BAM3_28	BAM3_27	BAM3_26	BAM3_25	BAM3_24	BAM3_23	BAM3_22	BAM3_21	BAM3_20	BAM3_19	BAM3_18	BAM3_17	BAM3_16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM3_15	BAM3_14	BAM3_13	BAM3_12	BAM3_11	BAM3_10	BAM3_9	BAM3_8	BAM3_7	BAM3_6	BAM3_5	BAM3_4	BAM3_3	BAM3_2	BAM3_1	BAM3_0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	BAM3_31 ～ BAM3_0	すべて 0	R/W	ブレークアドレスマスク 3 BAR_3（BA3_31～BA3_0）によって指定されるチャネル 3 のブレークアドレスビットのうち、マスクするビットを指定します。 0：ブレークアドレスビット BA3_n は、ブレーク条件に含まれる 1：ブレークアドレスビット BA3_n はマスクされ、ブレーク条件に含まれない 【注】n＝31～0

9.2.12 ブレークバスサイクルレジスタ_3（BBR_3）

BBR_3 は、チャネル 3 のブレーク条件として（1）ユーザブレーク割り込みの禁止／許可、（2）I バスのバスマスタ、（3）C バスサイクルまたは I バスサイクル、（4）命令フェッチまたはデータアクセス、（5）読み出しまたは書き込み、および（6）オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR_3 はパワーオンリセットで H'0000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	UBID3	－	－	CP3_ [2:0]			CD3_ [1:0]		ID3_ [1:0]		RW3_ [1:0]		SZ3_ [1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID3	0	R/W	ユーザブレーク割り込みディスエーブル 3 チャネル 3 の条件一致時にユーザブレーク割り込み要求の禁止／許可を指定します。 0：ユーザブレーク割り込み要求を許可する 1：ユーザブレーク割り込み要求を禁止する
12、11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	CP3_ [2:0]	000	R/W	I バスのバスマスタセレクト 3 チャネル 3 ブレーク条件のバスサイクルが I バスサイクルの場合のバスマスタを選択します。ただし、バスサイクルが C バスサイクルの場合、本ビットは無効（CPU サイクルのみ）となります。 xx1：ブレーク条件は、CPU サイクルを含みます x1x：ブレーク条件は、DMAC サイクルを含みます 1xx：ブレーク条件は、A-DMAC サイクルを含みます
7、6	CD3_ [1:0]	00	R/W	C バスサイクル／I バスサイクルセレクト 3 チャネル 3 ブレーク条件のバスサイクルとして C バスサイクルまたは I バスサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、C バスサイクル 10：ブレーク条件は、I バスサイクル 11：ブレーク条件は、C バスサイクル

ビット	ビット名	初期値	R/W	説　　明
5、4	ID3_ [1:0]	00	R/W	命令フェッチ／データアクセスセレクト 3 チャネル 3 ブレーク条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合は C バスサイクルを選択してください。 00：条件比較を行わない 01：ブレーク条件は、命令フェッチサイクル 10：ブレーク条件は、データアクセスサイクル 11：ブレーク条件は、命令フェッチサイクルまたはデータアクセスサイクル
3、2	RW3_ [1:0]	00	R/W	読み出し／書き込みセレクト 3 チャネル 3 ブレーク条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。 00：条件比較を行わない 01：ブレーク条件は、読み出しサイクル 10：ブレーク条件は、書き込みサイクル 11：ブレーク条件は、読み出しサイクルまたは書き込みサイクル
1、0	SZ3_ [1:0]	00	R/W	オペランドサイズセレクト 3 チャネル 3 ブレーク条件のバスサイクルのオペランドサイズを選択します。 00：ブレーク条件は、オペランドサイズを含まない 01：ブレーク条件は、バイトアクセス 10：ブレーク条件は、ワードアクセス 11：ブレーク条件は、ロングワードアクセス

【記号説明】x：Don’t care

9.2.13 ブレークコントロールレジスタ（BRCR）

BRCR は、次の条件を設定します。

- ブレークを命令実行の前に設定するか後に設定するかを指定します。

BRCR は、ブレーク条件一致フラグとその他のブレーク条件をセットするためのビットを持つ 32 ビットの読み出し／書き込み可能なレジスタです。ビット 15～8 の条件一致フラグのみ、1 書き込みは無効（前値保持）で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。BRCR はパワーオンリセットで H'00000000 に初期化されますが、スリープモードでは前の値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC 0	SCMFC 1	SCMFC 2	SCMFC 3	SCMFD 0	SCMFD 1	SCMFD 2	SCMFD 3	PCB3	PCB2	PCB1	PCB0	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～16	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャネル 0 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 0 に対する C バスサイクル条件不一致 1：チャネル 0 に対する C バスサイクル条件一致
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャネル 1 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 1 に対する C バスサイクル条件不一致 1：チャネル 1 に対する C バスサイクル条件一致

ビット	ビット名	初期値	R/W	説　　明
13	SCMFC2	0	R/W	C バスサイクル条件一致フラグ 2 チャネル 2 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 2 に対する C バスサイクル条件不一致 1：チャネル 2 に対する C バスサイクル条件一致
12	SCMFC3	0	R/W	C バスサイクル条件一致フラグ 3 チャネル 3 にセットしたブレーク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 3 に対する C バスサイクル条件不一致 1：チャネル 3 に対する C バスサイクル条件一致
11	SCMFD0	0	R/W	I バスサイクル条件一致フラグ 0 チャネル 0 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 0 に対する I バスサイクル条件不一致 1：チャネル 0 に対する I バスサイクル条件一致
10	SCMFD1	0	R/W	I バスサイクル条件一致フラグ 1 チャネル 1 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 1 に対する I バスサイクル条件不一致 1：チャネル 1 に対する I バスサイクル条件一致
9	SCMFD2	0	R/W	I バスサイクル条件一致フラグ 2 チャネル 2 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 2 に対する I バスサイクル条件不一致 1：チャネル 2 に対する I バスサイクル条件一致
8	SCMFD3	0	R/W	I バスサイクル条件一致フラグ 3 チャネル 3 にセットしたブレーク条件の I バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0：チャネル 3 に対する I バスサイクル条件不一致 1：チャネル 3 に対する I バスサイクル条件一致
7	PCB3	0	R/W	PC ブレークセレクト 3 チャネル 3 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0：チャネル 3 の PC ブレークを命令実行前に設定 1：チャネル 3 の PC ブレークを命令実行後に設定

ビット	ビット名	初期値	R/W	説　　明
6	PCB2	0	R/W	PC ブレークセレクト 2 チャネル 2 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0：チャネル 2 の PC ブレークを命令実行前に設定 1：チャネル 2 の PC ブレークを命令実行後に設定
5	PCB1	0	R/W	PC ブレークセレクト 1 チャネル 1 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0：チャネル 1 の PC ブレークを命令実行前に設定 1：チャネル 1 の PC ブレークを命令実行後に設定
4	PCB0	0	R/W	PC ブレークセレクト 0 チャネル 0 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。 0：チャネル 0 の PC ブレークを命令実行前に設定 1：チャネル 0 の PC ブレークを命令実行後に設定
3～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

9.3 動作説明

9.3.1 ユーザブレーク動作の流れ

ブレーク条件の設定からユーザブレーク例外処理までの動作の流れは、次のとおりです。

1. ブレークアドレスは、ブレークアドレスレジスタ（BAR）にセットします。マスクするアドレスは、ブレークアドレスマスクレジスタ（BAMR）にセットします。バスブレーク条件は、ブレークバスサイクルレジスタ（BBR）にセットします。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレークは発生しません。ブレーク制御は、BRCRのビットにセットします。すべてのブレーク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出し後、NOP命令を5個以上実行してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレーク条件を満足すると、UBCはユーザブレーク要求をCPUに通知するとともに、それぞれのチャネルに対するCバス条件一致フラグ（SCMFC）、Iバス条件一致フラグ（SCMFD）をセットします。
3. ユーザブレーク割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブレーク割り込みは優先レベル15なので、ステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）がレベル14以下のとき、受け付けられます。I3～I0ビットがレベル15のとき、ユーザブレーク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、**「第8章　割り込みコントローラ（INTC）」**を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ（SCMFC、SCMFD）を使用することができます。フラグは条件一致によりセットされますが、リセットされません。フラグを再び使用できるようにするためには、まず0を書き込まなければなりません。ユーザブレーク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。
5. チャネル0およびチャネル1で設定したブレークがほぼ同時に発生する場合があります。CPUに対するブレーク割り込み要求は1つだけであっても、これらの2つのブレークチャネル一致フラグは2つともセットされる場合があります。
6. ブレーク条件としてIバスを選択した場合は、次のことに注意してください。

- Iバスには、CPUとDMACを含む複数のバスマスタが接続されています。UBCはBBRで指定したバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。
- CPUのCバス上での命令フェッチに起因したIバスサイクルをIバスでの命令フェッチサイクル、それ以外をデータアクセスサイクルと定義します。
- DMAC、A-DMACが発行するIバスサイクルは、データアクセスサイクルのみです。

- Iバスにブレーク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でブレークを受け付けるかを一意に決定することはできません。

9.3.2 命令フェッチサイクルでのブレーク

1. ブレークバスサイクルレジスタ（BBR）にCバス／命令フェッチ／読み出し／ワードまたはロングワードが設定されると、ブレーク条件はFABバスの命令フェッチになります。命令実行の前にブレークするか後にブレークするかは、該当するチャネルに対するブレークコントロールレジスタ（BRCR）のPCBビットで選択できます。ブレーク条件として命令フェッチサイクルを設定する場合は、ブレークアドレスレジスタ（BAR）のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチによるブレークがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレークが生じます。したがって、この機能はオーバラン（分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令）によってフェッチされる命令には使用できません。遅延分岐命令の遅延スロットに対してこの種のブレークが設定されると、分岐先の最初の命令実行前までブレークは発生しません。

【注】遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。

3. ブレーク条件でブレークが命令実行後に起こるように設定している場合は、ブレーク条件と一致した命令が実行され、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランフェッチ命令では使用できません。遅延分岐命令およびその遅延スロットに対してこの種のブレークが設定されると、分岐先の最初の命令までブレークは発生しません。
4. 命令フェッチサイクルでのブレークにおいてIバスを設定した場合は無効となります。

9.3.3 データアクセスサイクルでのブレーク

1. データアクセスブレークにおいて、ブレーク条件としてCバスを指定した場合は、実行された命令によりアクセスされた論理アドレスに対して条件比較を行いブレークを発生します。ブレーク条件としてIバスを指定した場合は、Iバスのバスマスタセレクトで指定したバスマスタが発行するデータアクセスサイクルの物理アドレスに対して条件比較を行いブレークを発生します。Iバス上に発行されるCPUのバスサイクルに関しては、**「9.3.1 ユーザブレーク動作の流れ」**の6.の項を参照してください。
2. **表9.2**にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 9.2 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレークアドレスレジスタのビット 31～2 とアドレスバスのビット 31～2 を比較
ワード	ブレークアドレスレジスタのビット 31～1 とアドレスバスのビット 31～1 を比較
バイト	ブレークアドレスレジスタのビット 31～0 とアドレスバスのビット 31～0 を比較

これは、たとえばブレークアドレスレジスタ（BAR）にアドレスH'00001003を設定するとき、ブレーク条件を満足するバスサイクルには、（他のすべての条件が満足されると仮定した場合）以下が含まれることを意味します。

H'00001000 でのロングワードアクセス
H'00001002 でのワードアクセス
H'00001003 でのバイトアクセス

3. データアクセスサイクルを選択している場合は、ブレークの発生する命令を特定することはできません。

9.3.4 退避されるプログラムカウンタの値

ブレーク発生時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレーク条件としてCバス（FAB）／命令フェッチを指定している場合は、ブレークの発生する命令を一意に決定することができます。ブレーク条件としてCバス／データアクセスサイクル、またはIバス／データアクセスサイクルを指定している場合は、ブレークの発生する命令を一意に決定することはできません。

1. Cバス（FAB）／命令フェッチを（命令実行前）ブレーク条件として指定する場合

   スタックには、ブレーク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレークが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

2. Cバス（FAB）／命令フェッチを（命令実行後）ブレーク条件として指定する場合

   スタックには、ブレーク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレークが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。

3. Cバス／データアクセスまたはIバス／データアクセスをブレーク条件として指定する場合

   スタックには、ブレーク条件と一致した命令の数命令分の命令実行後のアドレスが退避されます。

9.3.5 使用例

（1） Cバス命令フェッチサイクルに指定したブレーク条件

（例 1-1）

- **レジスタ指定**

  BAR_0＝H'00000404、BAMR_0＝H'00000000、BBR_0＝H'0054、BAR_1＝H'00008010、BAMR_1＝H'00000006、BBR_1＝H'0054、BRCR＝H'00000010

＜チャネル 0＞

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：Cバス／命令フェッチ（命令実行後）／読み出し（オペランドサイズは条件に含まれません）

＜チャネル 1＞

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Cバス／命令フェッチ（命令実行前）／読み出し（オペランドサイズは条件に含まれません）

ユーザブレークは、アドレスH'00000404の命令実行後、またはアドレスH'00008010～H'00008016の命令の実行前に発生します。

（例 1-2）

- **レジスタ指定**

BAR_0＝H'00027128、BAMR_0＝H'00000000、BBR_0＝H'005A、BAR_1＝H'00031415、BAMR_1＝H'00000000、BBR_1＝H'0054、BRCR＝H'00000000

＜チャネル 0＞

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：Cバス／命令フェッチ（命令実行前）／書き込み／ワード

＜チャネル 1＞

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000

バスサイクル：Cバス／命令フェッチ（命令実行前）／読み出し（オペランドサイズは条件に含まれません）

チャネル0では、命令フェッチは書き込みサイクルではないのでユーザブレークは生じません。チャネル1では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレークは発生しません。

（例 1-3）

- **レジスタ指定**

BAR_0＝H'00008404、BAMR_0＝H'00000FFF、BBR_0＝H'0054、BAR_1＝H'00008010、BAMR_1＝H'00000006、BBR_1＝H'0054、BRCR＝H'00000010

＜チャネル 0＞

アドレス：H'00008404、アドレスマスク：H'00000FFF

バスサイクル：Cバス／命令フェッチ（命令実行後）／読み出し（オペランドサイズは条件に含まれません）

＜チャネル 1＞

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000

バスサイクル：Cバス／命令フェッチ（命令実行前）／読み出し（オペランドサイズは条件に含まれません）

ユーザブレークは、アドレスH'00008000～H'00008FFEの命令の実行後、またはアドレスH'00008010～H'00008016の命令の実行前に生じます。

(2) C バスデータアクセスサイクルに指定したブレーク条件

（例 2-1）

- **レジスタ指定**

BAR_0＝H'00123456、BAMR_0＝H'00000000、BBR_0＝H'0064、BAR_1＝H'000ABCDE、BAMR_1＝H'000000FF、BBR_1＝H'006A、BRCR＝H'00000000

＜チャネル 0＞

アドレス：H'00123456、アドレスマスク：H'00000000

バスサイクル：Cバス／データアクセス／読み出し（オペランドサイズは条件に含まれません）

＜チャネル 1＞

アドレス：H'000ABCDE、アドレスマスク：H'000000FF

データ：H'0000A512、データマスク：H'00000000

バスサイクル：Cバス／データアクセス／書き込み／ワード

チャネル0では、ユーザブレークはアドレスH'00123456に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャネル1では、ユーザブレークはH'000ABC00～H'000ABCFEにワードデータを書き込むときに生じます。

(3) I バスデータアクセスサイクルに指定されたブレーク条件

（例 3-1）

- **レジスタ指定：**

BAR_0＝H'00314156、BAMR_0＝H'00000000、BBR_0＝H'0094、BAR_1＝H'00055555、BAMR_1＝H'00000000、BBR_1＝H'02A9、BRCR＝H'00000000

＜チャネル 0＞

アドレス：H'00314156、アドレスマスク：H'00000000

バスサイクル：Iバス／命令フェッチ／読み出し（オペランドサイズは条件に含まれません）

＜チャネル 1＞

アドレス：H'00055555、アドレスマスク：H'00000000

データ：H'00000078、データマスク：H'0000000F

バスサイクル：Iバス／データアクセス／書き込み／バイト

チャネル0では、Iバス上の命令フェッチの設定であり無効となります。チャネル1では、ユーザブレークはIバス上でDMACがバイトデータをアドレスH'00055555に書き込むときに生じます（CPUの場合は生じません）。

9.4 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、Iバス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出し後、NOP命令を5個以上実行してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクルとIバスサイクルを同じチャネルで監視することはできません。
3. ユーザブレークと他の例外が同一命令で発生した場合は、**「第7章　例外処理」**の**表7.1**に定められた優先順位で判定が行われます。より高い優先度の例外が発生した場合は、ユーザブレークは発生しません。
4. 遅延スロットでブレークが発生する場合は、次の注意事項があります。

   遅延スロット命令に対して命令実行前ブレークを設定した場合は、その分岐先の実行前までブレークは発生しません。
5. UBCモジュールスタンバイ時は、ユーザブレーク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレーク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレークアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレークを設定しないでください。
8. 32ビット命令にブレークアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレークアドレスを設定した場合、ブレーク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブレークを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレークを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレークが発生します。

10. ダイレクトメモリアクセスコントローラ（DMAC）

ダイレクトメモリアクセスコントローラ（DMAC）は内蔵メモリおよび内蔵周辺モジュール間のデータ転送をCPU に代わって高速に行うことができます。

10.1 特長

- チャネル数： CH0～CH7の8チャネル
- アドレス空間：アーキテクチャ上は4GB
- 転送データ単位：バイト、ワード（2バイト）、ロングワード（4バイト）、16バイト（ロングワード×4）
- 最大転送回数：16,777,216（24ビット）回
- アドレスモード：デュアルアドレスモード
- 転送要求：

  内蔵周辺モジュールリクエスト、オートリクエストの2種類から選択可能

  内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。

  RCAN-TL1：2要因、ADC：10要因、ATU-III：34要因、CMT：2要因
- バスモード：サイクルスチールモード（通常モードとインターミッテントモード）とバーストモードから選択可能
- 優先順位：2種類のチャネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能
- レジスタのリロード機能：

  リロード機能は、チャネルごとに有効／無効の設定が可能で、以下の2種類をサポートしています。リロード動作は、DMA転送中でも設定可能なリロード設定レジスタの値を対応レジスタに転送します。

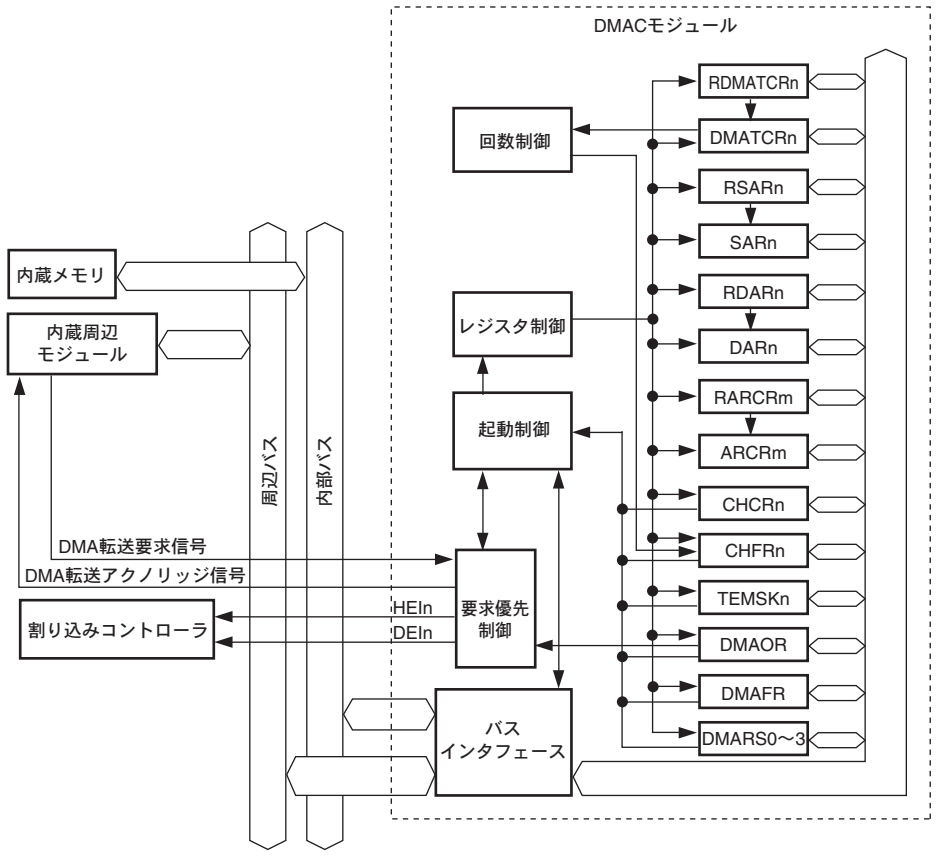
  リロード機能1：転送カウンタが0になるタイミングでソース／デスティネーションアドレス、転送／アドレスリロードカウンタの各レジスタをリロード。さらに、リロード機能2が有効な場合にはCH4～CH7のアドレスリロードカウンタもリロード

  リロード機能2：アドレスリロードカウンタが0になるタイミングで、ソースアドレスまたは／かつデスティネーションアドレス、およびアドレスリロードカウンタの各レジスタをリロード（ただしCH4～CH7のみでサポート）
- リロード機能1有効時の連続転送機能：

  リロード機能1が有効に設定されているチャネルでは、転送カウンタが0になるタイミングで、転送を停止または転送を停止せずに連続して行うかを設定可能です。

- Integer→Floating-point変換機能：
  DMA転送の転送元となる16ビットレジスタの値を、MSBの左に小数点があり、レジスタの左14ビットに格納された値を符号なし整数フォーマットとみなして、IEEE754準拠の単精度（32ビット）浮動小数点フォーマットへの変換を転送の途中で行うことが可能です。
  変換機能はCH4～CH7でのみサポートしており、各チャネルで有効／無効の設定が可能です。変換機能を使用する場合は、転送データ単位はワード（2バイト）に設定してください。

図 10.1 に DMAC のブロック図を示します。



【記号説明】

RDMATCR	：DMAリロードトランスファカウントレジスタ	CHFR	：DMAチャネルフラグビットレジスタ
DMATCR	：DMAトランスファカウントレジスタ	DMAOR	：DMAオペレーションレジスタ
RSAR	：DMAリロードソースアドレスレジスタ	DMAFR	：DMAオペレーションフラグビットレジスタ
SAR	：DMAソースアドレスレジスタ	TEMSK	：DMA TE フラグマスク設定レジスタ
RDAR	：DMAリロードデスティネーションアドレスレジスタ	DMARS0～3	：DMA拡張リソースセレクタ0～3
DAR	：DMAデスティネーションアドレスレジスタ	HEI n	：CPUに対するDMA転送1/2終了割り込み要求
RARCR	：DMAリロードアドレスリロードカウントレジスタ	DEI n	：CPUに対するDMA転送終了割り込み要求
ARCR	：DMAアドレスリロードカウントレジスタ	m	：4、5、6、7
CHCR	：DMAチャネルコントロールレジスタ	n	：0、1、2、3、4、5、6、7

図 10.1 DMAC のブロック図

10.2 レジスタの説明

DMAC には以下のレジスタがあります。各チャネルに 5 本（CH0～CH3）または 6 本（CH4～CH7）の制御レジスタ、3 本または 4 本のリロードレジスタと 1 本のフラグビットレジスタがあり、すべてのチャネルに共通な制御レジスタとフラグビットレジスタが 1 本ずつあります。さらに、2 チャネルごとに 1 本の拡張リソースセレクタレジスタがあります。表 10.1 では、各チャネルのレジスタについては、チャネル 0 の SAR は SAR0 のように表記しています。

表 10.1 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャネルコントロールレジスタ 0	CHCR0	R/W	H'00000000	H'FFFE100C	8、16、32
	DMA チャネルフラグビットレジスタ 0	CHFR0	R/W*1	H'00	H'FFFE108C	8
	DMA TE フラグマスク設定レジスタ 0	TEMSK0	R/W*2	H'0000	H'FFFE108E	8、16
	DMA リロードソースアドレスレジスタ 0	RSAR0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーションアドレスレジスタ 0	RDAR0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウントレジスタ 0	RDMATCR0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャネルコントロールレジスタ 1	CHCR1	R/W	H'00000000	H'FFFE101C	8、16、32
	DMA チャネルフラグビットレジスタ 1	CHFR1	R/W*1	H'00	H'FFFE109C	8
	DMA TE フラグマスク設定レジスタ 1	TEMSK1	R/W*2	H'0000	H'FFFE109E	8、16
	DMA リロードソースアドレスレジスタ 1	RSAR1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーションアドレスレジスタ 1	RDAR1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウントレジスタ 1	RDMATCR1	R/W	H'00000000	H'FFFE1118	16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'00000000	H'FFFE1020	16、32
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	H'00000000	H'FFFE1024	16、32
	DMA トランスファカウントレジスタ 2	DMATCR2	R/W	H'00000000	H'FFFE1028	16、32
	DMA チャネルコントロールレジスタ 2	CHCR2	R/W	H'00000000	H'FFFE102C	8、16、32
	DMA チャネルフラグビットレジスタ 2	CHFR2	R/W※1	H'00	H'FFFE10AC	8
	DMA TE フラグマスク設定レジスタ 2	TEMSK2	R/W※2	H'0000	H'FFFE10AE	8、16
	DMA リロードソースアドレスレジスタ 2	RSAR2	R/W	H'00000000	H'FFFE1120	16、32
	DMA リロードデスティネーションアドレスレジスタ 2	RDAR2	R/W	H'00000000	H'FFFE1124	16、32
	DMA リロードトランスファカウントレジスタ 2	RDMATCR2	R/W	H'00000000	H'FFFE1128	16、32
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'00000000	H'FFFE1030	16、32
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	H'00000000	H'FFFE1034	16、32
	DMA トランスファカウントレジスタ 3	DMATCR3	R/W	H'00000000	H'FFFE1038	16、32
	DMA チャネルコントロールレジスタ 3	CHCR3	R/W	H'00000000	H'FFFE103C	8、16、32
	DMA チャネルフラグビットレジスタ 3	CHFR3	R/W※1	H'00	H'FFFE10BC	8
	DMA TE フラグマスク設定レジスタ 3	TEMSK3	R/W※2	H'0000	H'FFFE10BE	8、16
	DMA リロードソースアドレスレジスタ 3	RSAR3	R/W	H'00000000	H'FFFE1130	16、32
	DMA リロードデスティネーションアドレスレジスタ 3	RDAR3	R/W	H'00000000	H'FFFE1134	16、32
	DMA リロードトランスファカウントレジスタ 3	RDMATCR3	R/W	H'00000000	H'FFFE1138	16、32
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'00000000	H'FFFE1040	16、32
	DMA デスティネーションアドレスレジスタ 4	DAR4	R/W	H'00000000	H'FFFE1044	16、32
	DMA トランスファカウントレジスタ 4	DMATCR4	R/W	H'00000000	H'FFFE1048	16、32
	DMA チャネルコントロールレジスタ 4	CHCR4	R/W	H'00000000	H'FFFE104C	8、16、32
	DMA チャネルフラグビットレジスタ 4	CHFR4	R/W※1	H'00	H'FFFE10CC	8
	DMA TE フラグマスク設定レジスタ 4	TEMSK4	R/W※2	H'0000	H'FFFE10CE	8、16
	DMA リロードソースアドレスレジスタ 4	RSAR4	R/W	H'00000000	H'FFFE1140	16、32
	DMA リロードデスティネーションアドレスレジスタ 4	RDAR4	R/W	H'00000000	H'FFFE1144	16、32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
4	DMA リロードトランスファカウントレジスタ 4	RDMATCR4	R/W	H'00000000	H'FFFE1148	16、32
	DMA アドレスリロードカウントレジスタ 4	ARCR4	R/W	H'0000	H'FFFE114C	16、32
	DMA リロードアドレスリロードカウントレジスタ 4	RARCR4	R/W	H'0000	H'FFFE114E	16
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'00000000	H'FFFE1050	16、32
	DMA デスティネーションアドレスレジスタ 5	DAR5	R/W	H'00000000	H'FFFE1054	16、32
	DMA トランスファカウントレジスタ 5	DMATCR5	R/W	H'00000000	H'FFFE1058	16、32
	DMA チャネルコントロールレジスタ 5	CHCR5	R/W	H'00000000	H'FFFE105C	8、16、32
	DMA チャネルフラグビットレジスタ 5	CHFR5	R/W*1	H'00	H'FFFE10DC	8
	DMA TE フラグマスク設定レジスタ 5	TEMSK5	R/W*2	H'0000	H'FFFE10DE	8、16
	DMA リロードソースアドレスレジスタ 5	RSAR5	R/W	H'00000000	H'FFFE1150	16、32
	DMA リロードデスティネーションアドレスレジスタ 5	RDAR5	R/W	H'00000000	H'FFFE1154	16、32
	DMA リロードトランスファカウントレジスタ 5	RDMATCR5	R/W	H'00000000	H'FFFE1158	16、32
	DMA アドレスリロードカウントレジスタ 5	ARCR5	R/W	H'0000	H'FFFE115C	16、32
	DMA リロードアドレスリロードカウントレジスタ 5	RARCR5	R/W	H'0000	H'FFFE115E	16
6	DMA ソースアドレスレジスタ 6	SAR6	R/W	H'00000000	H'FFFE1060	16、32
	DMA デスティネーションアドレスレジスタ 6	DAR6	R/W	H'00000000	H'FFFE1064	16、32
	DMA トランスファカウントレジスタ 6	DMATCR6	R/W	H'00000000	H'FFFE1068	16、32
	DMA チャネルコントロールレジスタ 6	CHCR6	R/W	H'00000000	H'FFFE106C	8、16、32
	DMA チャネルフラグビットレジスタ 6	CHFR6	R/W*1	H'00	H'FFFE10EC	8
	DMA TE フラグマスク設定レジスタ 6	TEMSK6	R/W*2	H'0000	H'FFFE10EE	8、16
	DMA リロードソースアドレスレジスタ 6	RSAR6	R/W	H'00000000	H'FFFE1160	16、32
	DMA リロードデスティネーションアドレスレジスタ 6	RDAR6	R/W	H'00000000	H'FFFE1164	16、32
	DMA リロードトランスファカウントレジスタ 6	RDMATCR6	R/W	H'00000000	H'FFFE1168	16、32
	DMA アドレスリロードカウントレジスタ 6	ARCR6	R/W	H'0000	H'FFFE116C	16、32
	DMA リロードアドレスリロードカウントレジスタ 6	RARCR6	R/W	H'0000	H'FFFE116E	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
7	DMA ソースアドレスレジスタ 7	SAR7	R/W	H'00000000	H'FFFE1070	16、32
	DMA デスティネーションアドレスレジスタ 7	DAR7	R/W	H'00000000	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ 7	DMATCR7	R/W	H'00000000	H'FFFE1078	16、32
	DMA チャネルコントロールレジスタ 7	CHCR7	R/W	H'00000000	H'FFFE107C	8、16、32
	DMA チャネルフラグビットレジスタ 7	CHFR7	R/W*1	H'00	H'FFFE10FC	8
	DMA TE フラグマスク設定レジスタ 7	TEMSK7	R/W*2	H'0000	H'FFFE10FE	8、16
	DMA リロードソースアドレスレジスタ 7	RSAR7	R/W	H'00000000	H'FFFE1170	16、32
	DMA リロードデスティネーションアドレスレジスタ 7	RDAR7	R/W	H'00000000	H'FFFE1174	16、32
	DMA リロードトランスファカウントレジスタ 7	RDMATCR7	R/W	H'00000000	H'FFFE1178	16、32
	DMA アドレスリロードカウントレジスタ 7	ARCR7	R/W	H'0000	H'FFFE117C	16、32
	DMA リロードアドレスリロードカウントレジスタ 7	RARCR7	R/W	H'0000	H'FFFE117E	16
共通	DMA オペレーションレジスタ	DMAOR	R/W	H'0000	H'FFFE1200	8、16
	DMA オペレーションフラグビットレジスタ	DMAFR	R/W*3	H'00	H'FFFE1204	8
0/1	DMA 拡張リソースセレクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	8、16
2/3	DMA 拡張リソースセレクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	8、16
4/5	DMA 拡張リソースセレクタ 2	DMARS2	R/W	H'0000	H'FFFE1308	8、16
6/7	DMA 拡張リソースセレクタ 3	DMARS3	R/W	H'0000	H'FFFE130C	8、16

【注】 *1 CHFRn の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*2 TEMSKn レジスタは、ライトキーコード付きのレジスタです。

ライトアクセスは、ワードアクセスのみで、上位バイトがキーコード（H'5B）に一致している場合のみ可能です。

*3 DMAFR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

10.2.1 DMA ソースアドレスレジスタ 0～7（SAR0～SAR7）

SAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。

ワード（2 バイト）、ロングワード（4 バイト）、16 バイト単位のデータ転送を行う場合は、それぞれ、2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

パワーオンリセット時およびハードウェアスタンバイ時には H'00000000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.2 DMA デスティネーションアドレスレジスタ 0～7（DAR0～DAR7）

DAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード（2 バイト）、ロングワード（4 バイト）、16 バイト単位のデータ転送を行う場合は、それぞれ、2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

パワーオンリセット時およびハードウェアスタンバイ時には H'00000000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.3 DMA トランスファカウントレジスタ 0～7（DMATCR0～DMATCR7）

DMATCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回（最大転送回数）になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

16 バイト転送のときは、16 バイト転送 1 回（128 ビット）で 1 回のカウントをします。

パワーオンリセット時およびハードウェアスタンバイ時には H'00000000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.4 DMA チャネルコントロールレジスタ 0～7（CHCR0～CHCR7）

CHCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

TC[0]、RLD2[1:0]、IFT ビットについては、チャネル 4～7 で読み書き可能となっていますが、チャネル 0～3 では対応するビットはリザーブビットとなっています。

パワーオンリセット時およびハードウェアスタンバイ時には H'00000000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC[1:0]		—	RLD1	RLD2[1:0]		—	IFT	—	—	—	—	—	HIE	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R	R	R	R	R	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]				—	—	TB	TS[1:0]		IE	—	DE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31、30	TC[1:0]	00	R/W	トランスファカウントモード 1 回の転送要求で 1 回転送するか、DMATCR の設定回数転送するか、ARCR の転送回数転送するかを設定します。TC[0]ビットは CHCR4～7 でのみ有効です。CHCR0～3 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。 また TC を B'10 以外に設定した場合には、TB ビットを 1（バーストモード）に設定しないでください。 TC を B'01 に設定した場合には、RLD2[1:0]ビットを B'00 以外（リロード機能 2 が有効）に設定してください。RLD2[1:0]ビットを B'00（リロード機能 2 が無効）に設定した場合の動作は保証できません。 00：1 回の転送要求で 1 回転送 01：1 回の転送要求で ARCR の設定回数転送 10：1 回の転送要求で DMATCR の設定回数転送 11：設定禁止
29	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	RLD1	0	R/W	リロード機能 1 ON/OFF DMATCR=0 に変化するタイミングで SAR、DAR、DMATCR、ARCR レジスタをリロードするリロード機能 1 を有効（ON）にするか無効（OFF）にするかを設定します。ただし、ARCR レジスタは CH4～CH7 においてリロード機能 2 が有効な場合にのみリロードされます。 0：リロード機能 1 は無効（OFF） 1：リロード機能 1 は有効（ON）

ビット	ビット名	初期値	R/W	説　　明
27、26	RLD2[1:0]	00	R/W	リロード機能 2 ON/OFF ARCR＝0 に変化するタイミングで SAR、DAR、ARCR レジスタをリロードするリロード機能 2 を有効（ON）にするか無効（OFF）にするかを設定します。本ビットは CHCR4～7 でのみ有効です。CHCR0～3 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 00：リロード機能 2 は無効（OFF） 01：リロード機能 2 は有効（ON）、DAR、ARCR をリロード 10：リロード機能 2 は有効（ON）、SAR、ARCR をリロード 11：リロード機能 2 は有効（ON）、SAR、DAR、ARCR をリロード
25	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	IFT	0	R/W	Integer→Floating-point 変換機能 ON/OFF Integer→Floating-point 変換（整数フォーマット→浮動小数点フォーマット）機能を有効（ON）にするか無効（OFF）にするかを設定します。 対応する整数フォーマットは、16 ビットレジスタに左詰で格納された左端から 14 ビットに格納されたデータを符号なしの値とみなし、さらに MSB の左に小数点があると仮定した値です。 変換後の浮動小数点フォーマットは、IEEE754 に準拠した単精度浮動小数点フォーマット（指数部は H'7F オフセットあり、仮数部は 1.xxx で表現されて、最初の 1 は隠しビット）で 32 ビットの値となります。 本ビットは CHCR4～7 でのみ有効です。CHCR0～3 ではリザーブビットで、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 また Integer→Floating-point 変換機能を有効にした場合には、転送データ単位をワードに設定（CHCR.TS＝B'01）してください。この場合には、転送元として 16 ビット値を読み出し、Integer→Floating-point 変換を行い、その結果である 32 ビット値を書き込みます。したがって、ソースレジスタはワードアクセスによる更新、デスティネーションアドレスはロングワードアクセスによる更新となります。さらに、デスティネーションアドレスがロングワード境界のアドレスでない場合にはアドレスエラーが発生します。 なお、Integer→Floating-point 変換が有効な場合には、変換にサイクルが必要となるため DMAC の内部処理動作は、変換しない場合はリード（転送元→DMAC 内部）→ライト（DMAC 内部→転送先）、変換する場合はリード→Nop（変換処理）→ライトとなります。 0：Integer→Floating-point 変換機能は無効（OFF） 1：Integer→Floating-point 変換機能は有効（ON）
23～19	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
18	HIE	0	R/W	ハーフエンドインタラプトイネーブル 転送回数が、転送開始前にセットした DMATCR の値に半分になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、CHFR の HE ビットがセットされると、CPU に対し割り込みを要求します。 0：DMATCR＝（転送前にセットした DMATCR）/2 で、割り込み要求を禁止 1：DMATCR＝（転送前にセットした DMATCR）/2 で、割り込み要求を許可
17、16	－	すべて 0	R	リザーブビット 書き込む値は必ず 0 にしてください。1 を書き込んだ場合の動作は保証できません。
15、14	DM[1:0]	00	R/W	デスティネーションアドレスモード DMA 転送先のアドレスの増減を指定します。 00：デスティネーションアドレスは固定（16 バイト単位転送時は設定禁止） 01：デスティネーションアドレスは増加 （バイト単位転送時は+1、ワード単位転送時は＋2、ロングワード単位転送時は＋4、16 バイト単位転送時は＋16） 10：デスティネーションアドレスは減少 （バイト単位転送時は－1、ワード単位転送時は－2、ロングワード単位転送時は－4、16 バイト単位転送時は設定禁止） 11：設定禁止
13、12	SM[1:0]	00	R/W	ソースアドレスモード DMA 転送元のアドレスの増減を指定します。 00：ソースアドレスは固定（16 バイト単位転送時は設定禁止） 01：ソースアドレスは増加 （バイト単位転送時は+1、ワード単位転送時は＋2、ロングワード単位転送時は＋4、16 バイト単位転送時は＋16） 10：ソースアドレスは減少 （バイト単位転送時は－1、ワード単位転送時は－2、ロングワード単位転送時は－4、16 バイト単位転送時は設定禁止） 11：設定禁止

ビット	ビット名	初期値	R/W	説　　明
11～8	RS[3:0]	0000	R/W	リソースセレクト DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット（DE）が 0 の状態で行ってください。 0000：初期値（リソース非選択時） 0001：設定禁止 0010：設定禁止 0011：設定禁止 0100：オートリクエスト 0101：設定禁止 0110：設定禁止 0111：設定禁止 1000：DMA 拡張リソースセレクタ 1001：RCAN_A 1010：RCAN_B 1011：設定禁止 1100：ADC_A（A/D 変換終了） 1101：ADC_B（A/D 変換終了） 1110：設定禁止 1111：設定禁止
7、6	－	すべて 0	R	リザーブビット 書き込む値は必ず 0 にしてください。1 を書き込んだ場合の動作は保証できません。
5	TB	0	R/W	トランスファバスモード DMA 転送のバスモードを選択します。ただし、TC を B'10 以外に設定した場合には、バーストモードに設定しないでください。 0：サイクルスチールモード 1：バーストモード
4、3	TS[1:0]	00	R/W	トランスファサイズ DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。 00：バイト単位 01：ワード（2 バイト）単位 10：ロングワード（4 バイト）単位 11：16 バイト（ロングワード×4）単位

ビット	ビット名	初期値	R/W	説　　明
2	IE	0	R/W	インタラプトイネーブル DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、CHFR レジスタの TE ビットがセットされると、CPU に対し割り込み（DEI）を要求します。 0：割り込み要求を禁止 1：割り込み要求を許可
1	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DE	0	R/W	DMA イネーブル DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、CHFR の TE ビット、DMAFR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、CHFR の TE ビット、DMAFR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。 0：DMA 転送を禁止 1：DMA 転送を許可

10.2.5 DMA チャネルフラグビットレジスタ 0～7（CHFR0～CHFR7）

CHFR は、読み出し／書き込み可能な 8 ビットのレジスタで、DMA 転送結果のフラグビットを持っています。

パワーオンリセット時およびハードウェアスタンバイ時には H'00 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	7	6	5	4	3	2	1	0
	－	－	－	HE	－	－	－	TE
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/(W)*	R	R	R	R/(W)*

【注】* フラグをクリアするためには、レジスタを読み出して1を読み出せたクリア対象のビットにのみ、0を書き込んでください。
クリアしないHEビットもしくはTEビットには、読み出した値が0の場合でも1を書き込み、リザーブビットには0のみを書き込むようにしてください。
CPUがフラグをリードした際に、CPUは0をリードしたにもかかわらず、フラグは1にセットされ内部的に1をリードされた状態になる場合があります。このとき、当該ビットに0を書き込むと、CPUが1をリードしていなくてもフラグがクリアされてしまいます。
本レジスタのフラグビットは他のモジュールのフラグと仕様が異なるため、CPUのライトによるフラグクリアの操作に注意してください。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	HE	0	R/(W)*	ハーフエンドフラグ 転送回数が、転送開始前にセットした DMATCR の値の半分以上になったとき、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および CHCR の DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および CHCR の DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。なお、転送回数が、転送開始前にセットした DMATCR の値の半分以上になっている間は、HE ビットをクリアしても再度セットされることはありません。 0：DMA 転送中または DMA 転送中断で、 DMATCR＞（転送前にセットした DMATCR）/2 1：DMATCR≦（転送前にセットした DMATCR）/2 ［クリア条件］ • HE ビットの 1 を読み出してから 0 を書き込む
3～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TE	0	R/(W)*	トランスファエンドフラグ DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および CHCR の DE ビット、DMA オペレーションレジスタ（DMAOR）の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。 TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。 0：DMA 転送中または DMA 転送中断 1：（DMATCR＝0 により）DMA 転送終了 ［クリア条件］ • TE ビットの 1 を読み出してから 0 を書き込む

10.2.6 DMA TE フラグマスク設定レジスタ（TEMSK0～TEMSK7）

TEMSK は、読み出し／書き込み可能な 16 ビットのレジスタで、8 ビットのライトキー付きです。リロード機能 1 が有効な場合に、TE フラグのセットによって DMA 転送を停止するか継続するかを制御します。リロード機能 1 が無効な場合には、本レジスタの設定は無視され、TE フラグのセットによって DMA 転送を停止します。

パワーオンリセット時およびハードウェアスタンバイ時には H'0000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

TEMSK はライトキー付きであるため、書き込みはワード単位で行う必要があります。TEMASK ビットの値を書き換えるには、同時に TEMKEY ビットに H'5B を書き込んでください。TEMKEY ビットに H'5B 以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

TEMSK の読み出しはワード単位、バイト単位のどちらでも可能です。ただし、TEMKEY ビットへの書き込みデータは保持されませんので、TEMKEY ビットの読み出し値は常に H'00 になります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEMKEY[7:0]								–	–	–	–	–	–	–	TEM ASK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R	R	R	R	R	R	R	R/W

【注】* 書き込みデータは保持されません。常に0が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
15～8	TEMKEY [7:0]	すべて 0	R/W*	TEMSK ライトキーコード TEMSK のライトキーコードで、TEMASK ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されませんので、読み出し値は常に H'00 になります。 H'5B：TEMASK ビットの書き換え可能 H'5B 以外：TEMASK ビットの書き換え不可
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	TEMASK	0	R/W	TE フラグマスク設定ビット TE ビットが 1 にセットされたときに、DMA 転送を停止するか停止しないかを設定します。リロード機能 1 を有効にして本ビットを 1 に設定することで、転送要求を取りやめるまでの期間、DMA 転送を実行することができます。 本機能はリロード機能 1 が有効な場合にのみ有効となります。 なお、リロード機能 1 を有効にして TEMASK ビットを 1 に設定することで、TE フラグが 1 にセットされても DMA 転送を継続して行う場合の CHFR レジスタの HE ビットおよび TE ビットの動作は下記のようになります。 • HE ビットを途中でクリアした場合には、次に DMATCR の値が転送開始前にセットした値の半分以下になった時点で再びセットされます。 • TE ビットを途中でクリアした場合には、次に DMATCR の値が 0 になった時点で再びセットされます。 • セットされた HE ビットまたは TE ビットをクリアするために 1 リードを行った情報は、該当ビットがクリアされるまで保持されます。そのため、セットされた後に 1 リードを行った HE ビットまたは TE ビットは、次にリロード機能 1 が働いて各レジスタ値が更新された後でも 0 ライトのみでクリアすることができます。 0：TE フラグが 1 にセットされると DMA 転送を停止 1：TE フラグが 1 にセットされても DMA 転送を継続 【注】本機能を有効にした場合には、DMA 転送によるバス占有率が高くなることに注意してください。本機能を有効にして、リクエスト要求としてオートリクエストを設定し、バスモードとしてバースト転送モードを設定しないでください。この設定をした場合の動作は保証できません。

10.2.7 DMA リロードソースアドレスレジスタ 0～7（RSAR0～RSAR7）

RSAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送中でも設定変更が可能です。

リロード機能 1 を ON に設定（CHCR の RLD1 ビットが 1）している場合には、現在の DMA 転送が終了（DMATCR＝0）した時点で、RSAR の内容がソースアドレスレジスタ（SAR）に書き込まれます。また、リロード機能 2 を ON に設定（CHCR の RLD2[1]ビットが 1）している場合には、現在のアドレスリロードカウンタが 0（ARCR＝0）になった時点で、RSAR の内容がソースアドレスレジスタ（SAR）に書き込まれます。あらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。リロード機能をすべて OFF に設定している場合には、動作に何も影響を与えません。

ワード（2 バイト）、ロングワード（4 バイト）、16 バイト単位のデータ転送を行う場合は、それぞれ、2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

パワーオンリセット時およびハードウェアスタンバイ時には H'00000000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.8 DMA リロードデスティネーションアドレスレジスタ 0～7（RDAR0～RDAR7）

RDAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送中でも設定変更が可能です。

リロード機能 1 を ON に設定（CHCR の RLD1 ビットが 1）している場合には、現在の DMA 転送が終了（DMATCR＝0）した時点で、RDAR の内容がデスティネーションアドレスレジスタ（DAR）に書き込まれます。また、リロード機能 2 を ON に設定（CHCR の RLD2[0]ビットが 1）している場合には、現在のアドレスリロードカウンタが 0（ARCR＝0）になった時点で、RDAR の内容がデスティネーションアドレスレジスタ（DAR）に書き込まれます。あらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。リロード機能をすべて OFF に設定している場合には、動作に何も影響を与えません。

ワード（2 バイト）、ロングワード（4 バイト）、16 バイト単位のデータ転送を行う場合は、それぞれ、2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

パワーオンリセット時およびハードウェアスタンバイ時には H'00000000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.9 DMA リロードトランスファカウントレジスタ 0～7（RDMATCR0～RDMATCR7）

RDMATCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送中でも設定変更が可能です。

リロード機能 1 を ON に設定（CHCR の RLD1 ビットが 1）している場合には、現在の DMA 転送が終了（DMATCR＝0）した時点で、RDMATCR の内容が DMA トランスファカウントレジスタ（DMATCR）に書き込まれます。あらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。リロード機能 1 を OFF に設定（CHCR の RLD1 ビットが 0）している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回（最大転送回数）になります。また、16 バイト転送のときは、16 バイト転送 1 回（128 ビット）で 1 回のカウントをします。

パワーオンリセット時およびハードウェアスタンバイ時には H'00000000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.10 DMA アドレスリロードカウントレジスタ 4～7（ARCR4～ARCR7）

ARCR は、読み出し／書き込み可能な 16 ビットのレジスタです。

リロード機能 2 を ON に設定（（lCHCR.RLD2[1:0]）＝1）している場合には、このレジスタが 0 になるタイミングで、この ARCR 自体とソースアドレスレジスタ（SAR）または／かつデスティネーションアドレスレジスタ（DAR）がリロードされます。リロード機能 2 を OFF に設定（（lCHCR.RLD2[1:0]）＝0）している場合には、動作に何も影響を与えません。なお、ARCR レジスタは、リロード機能 2 を ON に設定（（lCHCR.RLD2[1:0]）＝1）している場合にのみリロード動作を行います。

ARCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'0001 のときは 1 回、H'00FF のときは 255 回で、H'0000 のときは 256 回（最大カウント数）になります。また、16 バイト転送のときは、16 バイト転送 1 回（128 ビット）で 1 回のカウントをします。

パワーオンリセット時およびハードウェアスタンバイ時には H'0000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.11 DMA リロードアドレスリロードカウントレジスタ 4～7（RARCR4～RARCR7）

RARCR は、読み出し／書き込み可能な 16 ビットのレジスタで、DMA 転送中でも設定変更が可能です。

リロード機能 2 を ON に設定（CHCR の RLD2[1]ビットまたは RLD2[0]ビットが 1）している場合には、現在のリロードカウンタが 0（ARCR＝0）になった時点で、RARCR の内容が DMA アドレスリロードカウントレジスタ（ARCR）に書き込まれます。あらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。リロード機能 2 を OFF に設定（CHCR の RLD2[1]ビットおよび RLD2[0]ビットがともに 0）している場合には、動作に何も影響を与えません。

リロード機能 1 とリロード機能 2 をともに ON に設定している場合には、現在の DMA 転送が終了（DMATCR＝0）した時点で、RARCR の内容がアドレスリロードカウントレジスタ（ARCR）に書き込まれます。

RARCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ARCR 同様、転送回数は、設定値が H'0001 のときは 1 回、H'00FF のときは 255 回で、H'0000 のときは 256 回（最大カウント数）になります。また、16 バイト転送のときは、16 バイト転送 1 回（128 ビット）で 1 回のカウントをします。

パワーオンリセット時およびハードウェアスタンバイ時には H'0000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.2.12 DMA オペレーションレジスタ（DMAOR）

DMAOR は、読み出し／書き込み可能な 16 ビットのレジスタで、DMA 転送時のチャネルの優先順位を指定します。

パワーオンリセット時およびハードウェアスタンバイ時には H'0000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	CMS[1:0]		−	−	PR[1:0]		−	−	−	−	−	−	−	DME
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト サイクルスチールモード時に通常モードとインターミッテントモードを選択します。インターミッテントモードを有効にするためには、全チャネルのバスモードがサイクルスチールモードであることが必要です。 00：通常モード 01：設定禁止 10：インターミッテントモード 16 Pφクロックで 16 クロックに 1 回 DMA 転送を実行 11：インターミッテントモード 64 Pφクロックで 64 クロックに 1 回 DMA 転送を実行
11、10	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PR[1:0]	00	R/W	プライオリティモード 同時に複数のチャネルに転送要求があった場合に、実行するチャネルの優先順位を決定するビットです。 00：固定モード 1：CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 01：固定モード 2：CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 10：設定禁止 11：ラウンドロビンモード（CH0～CH3 のみラウンドロビン対象）
7～1	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	DME	0	R/W	DMA マスタイネーブル すべてのチャネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャネルの CHFR にある TE ビットが 0 または CHCR の RLD1 ビットが 1 かつ TEMASK ビットが 1 であり、さらに DMAFR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャネルの DMA 転送が中断されます。 0：全チャネルの DMA 転送を禁止 1：全チャネルの DMA 転送を許可

1 転送終了後にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 となり、固定モード 1 で再設定した場合は優先順位は CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 となります。また、ラウンドロビンモードに再設定した場合は、転送終了チャネルはリセットされます。

表 10.2 に、プライオリティモードビットの各モード（モード 0～2）の優先順位の遷移を示します。ラウンドロビンモードは転送終了したチャネルによって、次にリクエストを受けるチャネルの優先順位が最大 3 通りに変化します。

たとえば、転送終了したチャネルが CH1 のとき、次にリクエストを受け付けるチャネルの優先順位は、CH2>CH3>CH0>CH1>CH4>CH5>CH6>CH7 となります。また、転送終了したチャネルが CH4、CH5、CH6、CH7 の場合にはラウンドロビンの対象外となるため、チャネル 4、チャネル 5、チャネル 6、またはチャネル 7 が転送終了しても優先順位は変化しません。

表 10.2　プライオリティモードビットの組み合わせ

モード	転送終了	プライオリティモードビット		転送終了後の優先順位：高←→低							
	CH No.	PR1	PR0	優先順位 0	優先順位 1	優先順位 2	優先順位 3	優先順位 4	優先順位 5	優先順位 6	優先順位 7
モード 0（固定モード 1）	任意	0	0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
モード 1（固定モード 2）	任意	0	1	CH0	CH4	CH1	CH5	CH2	CH6	CH3	CH7
モード 2（ラウンドロビンモード）	CH0	1	1	CH1	CH2	CH3	CH0	CH4	CH5	CH6	CH7
	CH1	1	1	CH2	CH3	CH0	CH1	CH4	CH5	CH6	CH7
	CH2	1	1	CH3	CH0	CH1	CH2	CH4	CH5	CH6	CH7
	CH3	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH4	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH5	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH6	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH7	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7

10.2.13 DMA オペレーションフラグビットレジスタ（DMAFR）

DMAFR は、読み出し／書き込み可能な 8 ビットのレジスタで、DMA 転送状態（ステータス）を示す DMA オペレーションのフラグビットを持っています。

パワーオンリセット時およびハードウェアスタンバイ時には H'00 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	AE	−	−	−	NMIF
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/(W)*	R	R	R	R/(W)*

【注】* フラグをクリアするためには、レジスタを読み出して1を読み出せたクリア対象のビットにのみ、0を書き込んでください。
クリアしないAEビットもしくはNMIFビットには、読み出した値が0の場合でも1を書き込み、リザーブビットには0のみを書き込むようにしてください。
CPUがフラグをリードした際に、CPUは0をリードしたにもかかわらず、フラグは1にセットされ内部的に1をリードされた状態になる場合があります。このとき、当該ビットに0を書き込むと、CPUが1をリードしていなくてもフラグがクリアされてしまいます。
本レジスタのフラグビットは他のモジュールのフラグと仕様が異なるため、CPUのライトによるフラグクリアの操作に注意してください。

ビット	ビット名	初期値	R/W	説　　明
7～5	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	AE	0	R/(W)*	アドレスエラーフラグ DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。また、アドレスエラー発生時の DMAC の内部処理動作は次のようになります。 • アドレスエラーが発生しない場合：リード（転送元→DMAC 内部）→ライト（DMAC 内部→転送先） • アドレスエラーがソースアドレスで発生した場合：Nop→Nop • アドレスエラーがデスティネーションアドレスで発生した場合：リード→Nop 0：DMAC によるアドレスエラーなし 1：DMAC によるアドレスエラー発生 ［クリア条件］ • AE ビットの 1 を読み出してから 0 を書き込む
3～1	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	NMIF	0	R/(W)*	NMI フラグ NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。 NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われます。また NMI によって DMAC の動作が中断された場合には、NMIF ビットの 1 を読み出した後 0 にクリアすることで、DMAC の動作を再開することが可能です。これはすべてのリロード機能の有効／無効にかかわらず同じ動作をします。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。 0：NMI 割り込みなし 1：NMI 割り込み発生 ［クリア条件］ • NMIF ビットの 1 を読み出してから 0 を書き込む

10.2.14 DMA 拡張リソースセレクタ 0～3（DMARS0～DMARS3）

DMARS は、読み出し／書き込み可能な 16 ビットのレジスタで、チャネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャネル 0 および 1、DMARS1 はチャネル 2 および 3、DMARS2 はチャネル 4 および 5、DMARS3 はチャネル 6 および 7 を設定します。設定可能な組み合わせを**表 10.3** に示します。

ATU-III からの 35 要因、ADC からの 8 要因（DMARS のみ）、CMT からの 2 要因に対して転送要求を受け付けることができるように設定できます。

パワーオンリセット時およびハードウェアスタンバイ時には H'0000 に初期化され、モジュールスタンバイ機能使用時には値を保持します。

- DMARS0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]						CH1 RID[1:0]		CH0 MID[5:0]						CH0 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]						CH3 RID[1:0]		CH2 MID[5:0]						CH2 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH5 MID[5:0]						CH5 RID[1:0]		CH4 MID[5:0]						CH4 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH7 MID[5:0]						CH7 RID[1:0]		CH6 MID[5:0]						CH6 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下の MID、RID を設定します。

表 10.3 DMARS の設定

周辺モジュール	1 チャネル分の設定値({MID,RID})	MID	RID	機能
ATU-III_C0	H'03	B'000000	B'11	−
ATU-III_C1	H'07	B'000001	B'11	−
ATU-III_C2	H'0B	B'000010	B'11	−
ATU-III_D00	H'13	B'000100	B'11	−
ATU-III_D01	H'17	B'000101	B'11	−
ATU-III_D02	H'1B	B'000110	B'11	−
ATU-III_D03	H'1F	B'000111	B'11	−
ATU-III_E0	H'23	B'001000	B'11	−
ATU-III_E1	H'27	B'001001	B'11	−
ATU-III_E2	H'2B	B'001010	B'11	−
ATU-III_E3	H'2F	B'001011	B'11	−
ATU-III_E4	H'33	B'001100	B'11	−
ATU-III_C3	H'3B	B'001110	B'11	−
ATU-III_C4	H'3F	B'001111	B'11	−
ATU-III_G0	H'43	B'010000	B'11	−
ATU-III_G1	H'47	B'010001	B'11	−
ATU-III_G2	H'4B	B'010010	B'11	−
ATU-III_G3	H'4F	B'010011	B'11	−
ATU-III_D10	H'53	B'010100	B'11	−
ATU-III_D11	H'57	B'010101	B'11	−
ATU-III_D12	H'5B	B'010110	B'11	−
ATU-III_D13	H'5F	B'010111	B'11	−
ADC_B AN40	H'63	B'011000	B'11	−
ADC_B AN41	H'67	B'011001	B'11	−
ADC_B AN42	H'6B	B'011010	B'11	−
ADC_B AN43	H'6F	B'011011	B'11	−
ADC_B AN44	H'73	B'011100	B'11	−
ADC_B AN45	H'77	B'011101	B'11	−
ADC_B AN46	H'7B	B'011110	B'11	−
ADC_B AN47	H'7F	B'011111	B'11	−
ATU-III_D20	H'93	B'100100	B'11	−
ATU-III_D21	H'97	B'100101	B'11	−

周辺モジュール	1 チャネル分の設定値({MID,RID})	MID	RID	機能
ATU-III_D22	H'9B	B'100110	B'11	−
ATU-III_D23	H'9F	B'100111	B'11	−
ATU-III_D30	H'D3	B'110100	B'11	−
ATU-III_D31	H'D7	B'110101	B'11	−
ATU-III_D32	H'DB	B'110110	B'11	−
ATU-III_D33	H'DF	B'110111	B'11	−
ATU-III_J0	H'E3	B'111000	B'11	−
ATU-III_J1	H'E7	B'111001	B'11	−
ATU-III_G4	H'EF	B'111011	B'11	−
ATU-III_G5	H'F3	B'111100	B'11	−
CMT_0	H'FB	B'111110	B'11	−
CMT_1	H'FF	B'111111	B'11	−

表 10.3 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR0～7 レジスタのリソースセレクトビット（RS[3:0]）＝B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

10.3 動作説明

DMAC は DMA 転送要求が発生すると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

10.3.1 転送フロー

DMA ソースアドレスレジスタ（SAR）、DMA デスティネーションアドレスレジスタ（DAR）、DMA トランスファカウントレジスタ（DMATCR）、DMA チャネルコントロールレジスタ（CHCR）、DMA オペレーションレジスタ（DMAOR）、DMA 拡張リソースセレクト（DMARS）に目的の転送条件を設定します。

さらにリロード機能を使用する場合には DMA アドレスリロードカウントレジスタ（ARCR）、DMA リロードアドレスリロードカウントレジスタ（RARCR）、DMA リロードソースアドレスレジスタ（RSAR）、DMA リロードデスティネーションアドレスレジスタ（RDAR）、DMA リロードトランスファカウントレジスタ（RDMATCR）を必要に応じて設定します。また、すでに転送を行っていたり、NMI 割り込みやアドレスエラーが発生していた場合には、DMA チャネルフラグビットレジスタ（CHFR）、DMA オペレーションフラグビットレジスタ（DMAFR）を必要に応じてクリアします。

以上のレジスタを設定した後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか（DE＝1、DME＝1、（TE＝0または（RLD＝1かつTEMASK＝1））、AE＝0、NMIF＝0）をチェックします。

2. 転送許可状態で転送要求が発生すると1転送単位のデータ（TS[1:0]ビットの設定により決定）を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。さらにCHCRのRLD2[1:0]ビットがB'00以外に設定されていればARCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。

3. CHCRのTC[1:0]ビットがB'00に設定されており、内蔵周辺モジュールからのリクエストであれば当該モジュールに対して転送アクノリッジ信号を返します。

4. CHCRのRLD2[1:0]ビットがB'00以外に設定されており、ARCRに設定された回数の転送が行われると、リロード機能2が働きます。これは、RLD2[1]ビットが1の場合には「RSAR→SAR、RARCR→ARCR」の動作を、RLD2[0]ビットが1の場合には「RDAR→DAR、RARCR→ARCR」の動作を行います。さらにCHCRのTC[1:0]ビットがB'01に設定されており、内蔵周辺モジュールからのリクエストであれば当該モジュールに対して転送アクノリッジ信号を返します。

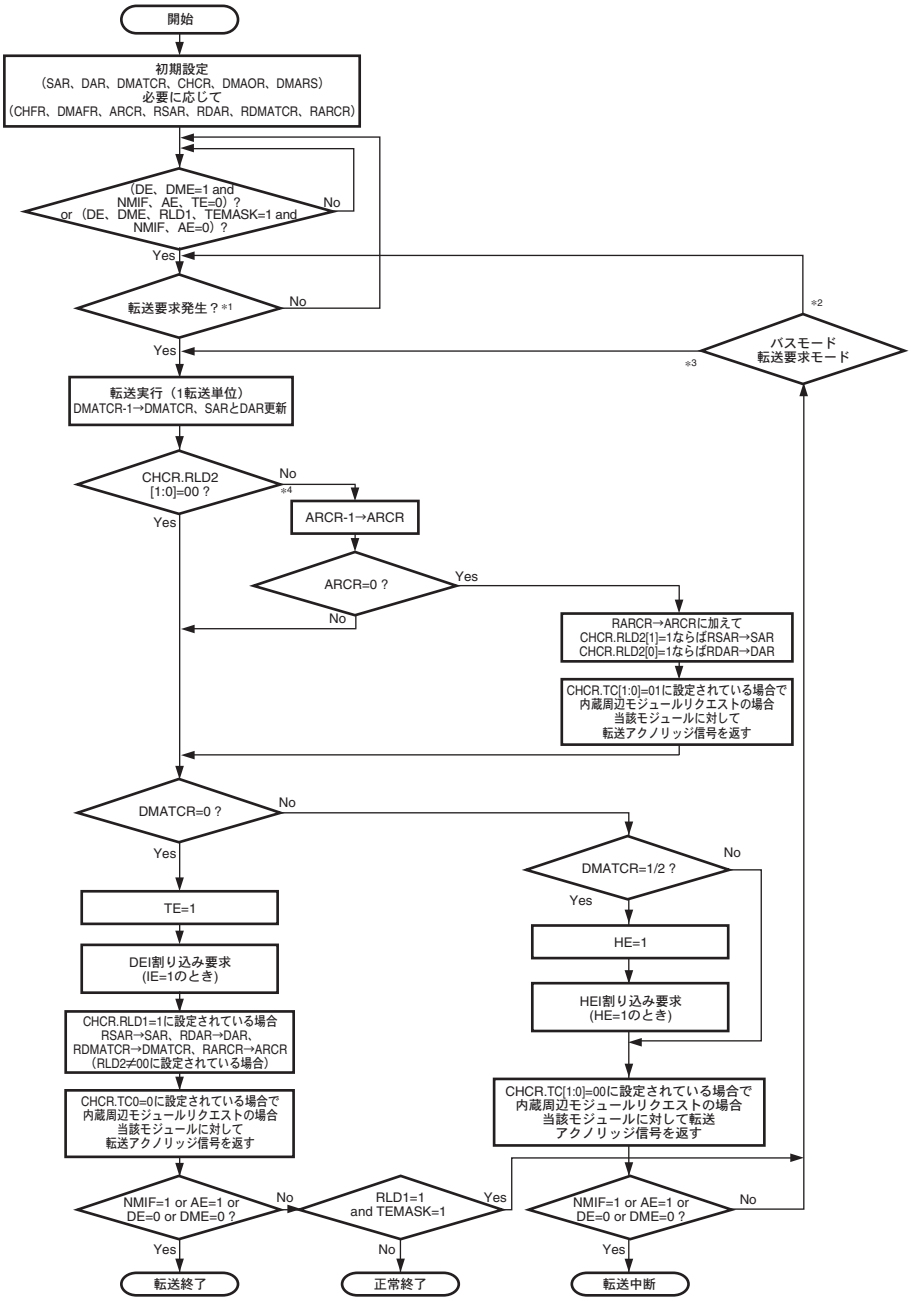
5. 指定された回数の半分の転送を超える（DMATCRの値が初期値の1/2になる）と、CHFRのHEビットを1にセットし、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みを発生します。

6. 指定された回数の転送を終える（DMATCRの値が0になる）と、CHFRのTEビットを1にセットし、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みを発生します。またCHCRのRLD1ビットが1に設定されていればリロード機能1が働きます。これは「RSAR→SAR、RDAR→

DAR、RDMATCR→DMATCR、RARCR→ARCR（リロード機能2が有効な場合のみ）」の動作を行います。さらに、RDL1＝1かつTEMASK＝1に設定されている場合には「1.」へ戻り、転送要求がなくなるまで転送動作を継続します。加えてCHCRのTC[0]ビットが0に設定されており、内蔵周辺モジュールからのリクエストであれば当該モジュールに対して転送アクノリッジ信号を返します。

7. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 10.2 に上記のフローチャートを示します。



【注】 *1 オートリクエストの場合、TEビットが0またはRLD1ビットが1かつTEMASKビットが1でNMIF、AE、TEビットが0のときにDEビット、DMEビットが1にセットされると転送が開始されます。
*2 サイクルスチールモード。
*3 バーストモードでオートリクエストモード。
*4 CH4～CH7でのみ有効な機能で、CH0～CH3の場合には常にCHCR.RLD2[1:0]=00と判定されます。

図 10.2 DMA 転送フローチャート

10.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類があります。転送要求の選択は CHCR0～CHCR7 の RS[3:0]ビットおよび DMARS0、DMARS1、DMARS2、DMARS3 レジスタによって行います。

（1） オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0～CHCR7 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHFR0～CHFR7 の TE ビット、DMAFR の AE ビット、NMIF ビットがすべて 0 である必要があります。

（2） 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから DMAC に対する DMA 転送要求信号としては、ADC からの A/D 変換転送終了要求、RCAN-TL1 や ATU-III からの転送要求、CMT からのコンペアマッチ転送要求があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態（DE＝1、DME＝1、TE＝0、AE＝0、NMIF＝0）ならば、転送要求信号によって転送が実行されます。

転送要求が ADC からの場合、転送元を A/D データレジスタ（ADDR）とする必要があります。転送要求が CMT、ATU-III からの場合、データの転送元、転送先ともに任意のアドレス設定が可能です。

表 10.4 RS3～RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR	DMARS		DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード
RS[3:0]	MID	RID					
1001	任意	任意	RCAN_A	RMA0（受信完了）	RCAN0（MB0）	任意	サイクルスチール
1010	任意	任意	RCAN_B	RMB0（受信完了）	RCAN1（MB0）	任意	
1100	任意	任意	ADC_A	ADI0（スキャン変換終了）	ADRD0、ADR0～ADR22	任意	サイクルスチール／バースト
1101	任意	任意	ADC_B	ADI1（スキャン変換終了）	ADRD1、ADR40～ADR48	任意	
1000	000000	11	ATU-III_C0	IMIC00（インプットキャプチャ／コンペアマッチ）	任意	任意	サイクルスチール／バースト
	000001	11	ATU-III_C1	IMIC10（インプットキャプチャ／コンペアマッチ）	任意	任意	
	000010	11	ATU-III_C2	IMIC20（インプットキャプチャ／コンペアマッチ）	任意	任意	
	001110	11	ATU-III_C3	IMIC30（インプットキャプチャ／コンペアマッチ）	任意	任意	
	001111	11	ATU-III_C4	IMIC40（インプットキャプチャ／コンペアマッチ）	任意	任意	
	000100	11	ATU-III_D00	UDID00（ダウンカウンタアンダフロー）	任意	任意	サイクルスチール／バースト
	000101	11	ATU-III_D01	UDID01（ダウンカウンタアンダフロー）	任意	任意	
	000110	11	ATU-III_D02	UDID02（ダウンカウンタアンダフロー）	任意	任意	
	000111	11	ATU-III_D03	UDID03（ダウンカウンタアンダフロー）	任意	任意	
	001000	11	ATU-III_E0	CMIE00（コンペアマッチ）	任意	任意	サイクルスチール／バースト
	001001	11	ATU-III_E1	CMIE10（コンペアマッチ）	任意	任意	
	001010	11	ATU-III_E2	CMIE20（コンペアマッチ）	任意	任意	
	001011	11	ATU-III_E3	CMIE30（コンペアマッチ）	任意	任意	
	001100	11	ATU-III_E4	CMIE40（コンペアマッチ）	任意	任意	
	010000	11	ATU-III_G0	CMIG0（コンペアマッチ）	任意	任意	サイクルスチール／バースト
	010001	11	ATU-III_G1	CMIG1（コンペアマッチ）	任意	任意	
	010010	11	ATU-III_G2	CMIG2（コンペアマッチ）	任意	任意	
	010011	11	ATU-III_G3	CMIG3（コンペアマッチ）	任意	任意	

CHCR	DMARS		DMA 転送要求元	DMA 転送要求信号	転送元	転送先	バスモード
RS[3:0]	MID	RID					
1000	010100	11	ATU-III_D10	UDID10（ダウンカウンタアンダフロー）	任意	任意	サイクルスチール／バースト
	010101	11	ATU-III_D11	UDID11（ダウンカウンタアンダフロー）	任意	任意	
	010110	11	ATU-III_D12	UDID12（ダウンカウンタアンダフロー）	任意	任意	
	010111	11	ATU-III_D13	UDID13（ダウンカウンタアンダフロー）	任意	任意	
	011000	11	ADC_B AN40	ADID40（割り込み変換終了）	ADR40	任意	サイクルスチール
	011001	11	ADC_B AN41	ADID41（割り込み変換終了）	ADR41	任意	
	011010	11	ADC_B AN42	ADID42（割り込み変換終了）	ADR42	任意	
	011011	11	ADC_B AN43	ADID43（割り込み変換終了）	ADR43	任意	
	011100	11	ADC_B AN44	ADID44（割り込み変換終了）	ADR44	任意	
	011101	11	ADC_B AN45	ADID45（割り込み変換終了）	ADR45	任意	
	011110	11	ADC_B AN46	ADID46（割り込み変換終了）	ADR46	任意	
	011111	11	ADC_B AN47	ADID47（割り込み変換終了）	ADR47	任意	
	100100	11	ATU-III_D20	UDID20（ダウンカウンタアンダフロー）	任意	任意	サイクルスチール／バースト
	100101	11	ATU-III_D21	UDID21（ダウンカウンタアンダフロー）	任意	任意	
	100110	11	ATU-III_D22	UDID22（ダウンカウンタアンダフロー）	任意	任意	
	100111	11	ATU-III_D23	UDID23（ダウンカウンタアンダフロー）	任意	任意	
	110100	11	ATU-III_D30	UDID30（ダウンカウンタアンダフロー）	任意	任意	サイクルスチール／バースト
	110101	11	ATU-III_D31	UDID31（ダウンカウンタアンダフロー）	任意	任意	
	110110	11	ATU-III_D32	UDID32（ダウンカウンタアンダフロー）	任意	任意	
	110111	11	ATU-III_D33	UDID33（ダウンカウンタアンダフロー）	任意	任意	
	111000	11	ATU-III_J0	DFIJ0（FIFO フル）	任意	任意	サイクルスチール／バースト
	111001	11	ATU-III_J1	DFIJ1（FIFO フル）	任意	任意	
	111011	11	ATU-III_G4	CMIG4（コンペアマッチ）	任意	任意	
	111100	11	ATU-III_G5	CMIG5（コンペアマッチ）	任意	任意	
	111110	11	CMT_0	CMI0（コンペアマッチ）	任意	任意	
	111111	11	CMT_1	CMI1（コンペアマッチ）	任意	任意	

【注】 表 10.4 において転送元と転送先がともに任意になっている DMA 転送要求元以外を使用する場合には、CHCR レジスタの TC[1:0]ビットを B'00 以外に設定しないでください。B'00 以外に設定した場合の動作は保証しません。ただし、ADC_A、ADC_B の場合は、例外的に TC[1:0]ビットを B'00 以外に設定可能となっています。

10.3.3 チャネルの優先順位

DMAC は同時に複数のチャネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャネルの優先順位は固定モード 1、固定モード 2、ラウンドロビンモードの 3 種類のモードから選択できます。モードの選択は DMAOR の PR[1:0]ビットにより行います。

（1） 固定モード

固定モード 1 および 2 ではチャネルの優先順位は変化しません。

各モードの優先順位は以下のとおりです。

- 固定モード1：CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7
- 固定モード2：CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7

これらの選択は DMAOR の PR[1:0]ビットにより行います。

（2） ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャネルで 1 転送単位（バイト、ワード、ロングワード、または 16 バイト単位）の転送が終了するごとにそのチャネルの優先順位がラウンドロビン対象チャネル内で一番低くなるように優先順位を変更します。なお、ラウンドロビンの対象となるチャネルは CH0～CH3 の 4 チャネルのみです。これ以外のチャネルはラウンドロビンモードでも優先順位は変更されません。この動作を**図 10.3** に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 です。

ラウンドロビンモードを指定した場合、複数のチャネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

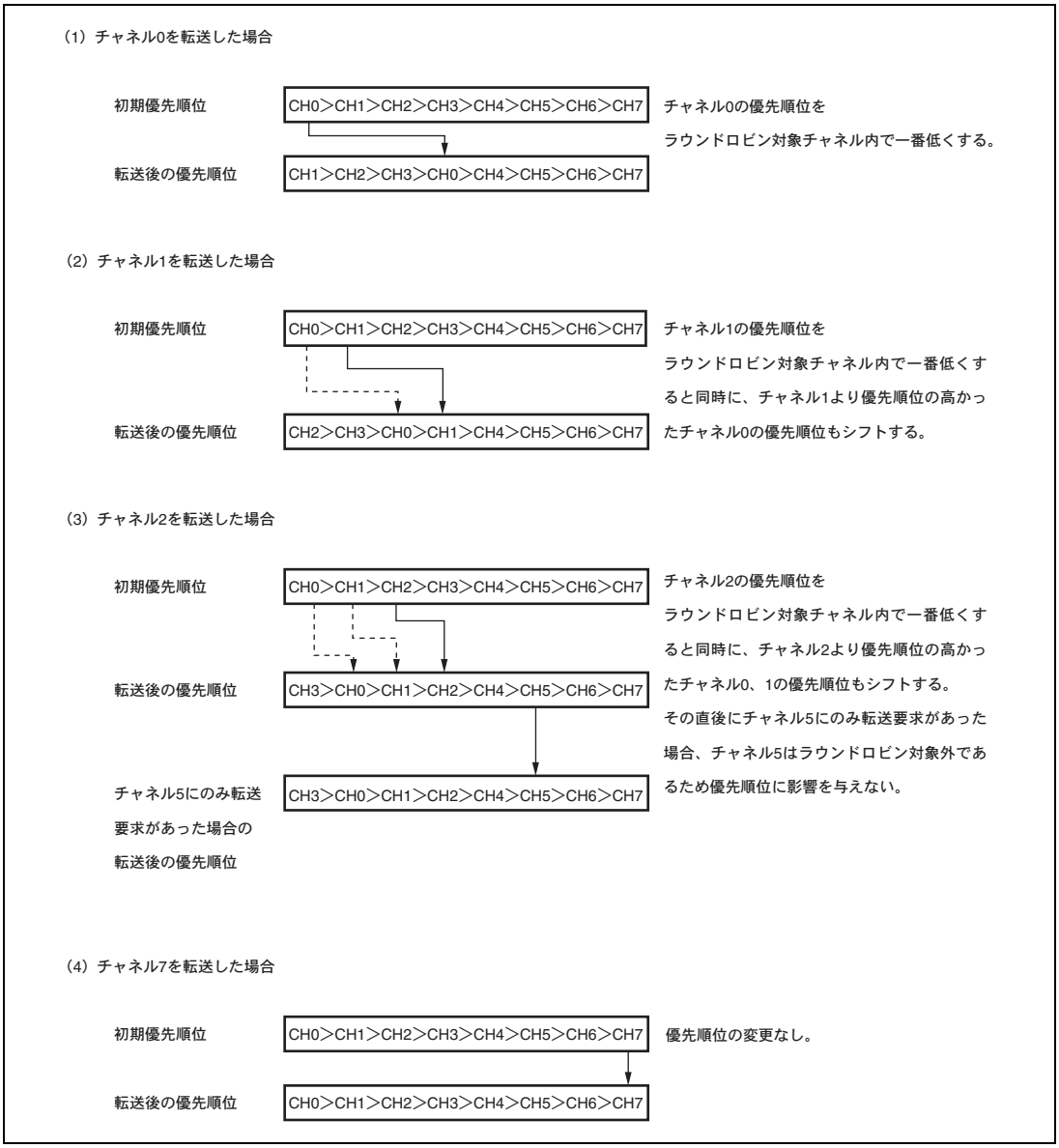


図 10.3 ラウンドロビンモード

図 10.4 にチャネル 0 とチャネル 3 に同時に転送要求が発生し、チャネル 0 の転送中にチャネル 1 の転送要求が発生した場合のチャネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャネル0とチャネル3に同時に転送要求が発生します。
2. チャネル0のほうがチャネル3より優先順位が高いので、チャネル0の転送を開始します（チャネル3は転送待ち）。
3. チャネル0の転送中にチャネル1に転送要求が発生します（チャネル1とチャネル3は転送待ち）。
4. チャネル0の転送を終了すると、チャネル0の優先順位をラウンドロビン対象チャネル内で一番低くします。
5. この時点でチャネル1のほうがチャネル3より優先順位が高いので、チャネル1の転送を開始します（チャネル3は転送待ち）。
6. チャネル1の転送を終了すると、チャネル1の優先順位をラウンドロビン対象チャネル内で一番低くします。
7. チャネル3の転送を開始します。
8. チャネル3の転送を終了すると、チャネル3の優先順位がラウンドロビン対象チャネル内で一番低くなるように、チャネル3と一緒にチャネル2の優先順位を低くします。

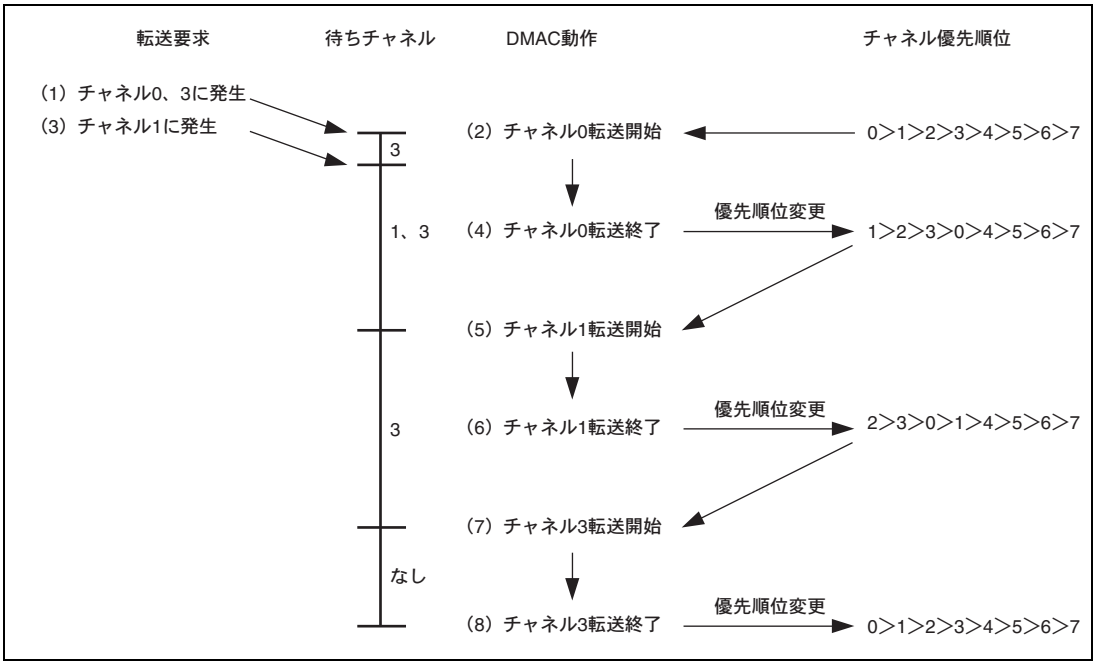


図 10.4 ラウンドロビンモードでのチャネル優先順位

10.3.4 DMA 転送の種類

本 LSI でサポートできる DMA 転送はデュアルアドレスモード転送です。具体的な転送動作タイミングは、バスモードによって違います。バスモードには、サイクルスチールモードとバーストモードがあります。表 10.5 に DMAC がサポートできる転送を示します。

表 10.5 サポートできる DMA 転送

転送元	転送先	
	内蔵周辺モジュール	内蔵メモリ
内蔵周辺モジュール	デュアル	デュアル
内蔵メモリ	デュアル	デュアル

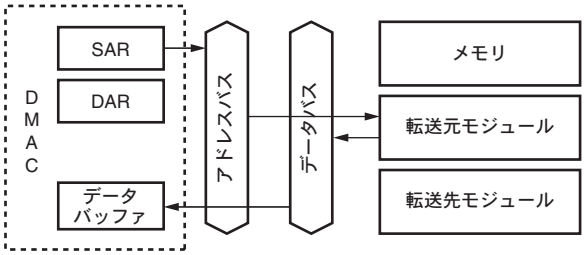
【注】 1. デュアル：デュアルアドレスモード

2. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

（1） アドレスモード

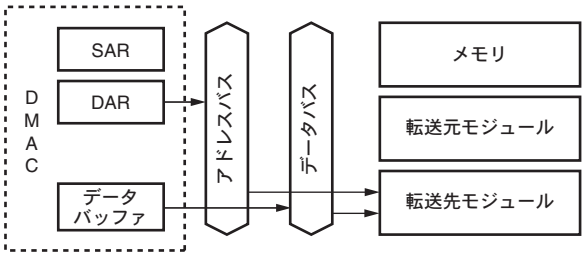
（a） デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は内部でも構いません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2 つのバスサイクルで転送を行います。このとき、転送データは一時的に DMAC に格納されます。



SARの値をアドレスとし、転送元モジュールからのデータを読み、DMAC内部に一時格納する。

1回目のバスサイクル



DARの値をアドレスとし、DMAC内に格納したデータバッファの値を転送先のモジュールに書き込む。

2回目のバスサイクル

図 10.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

- **通常モード**

  サイクルスチールの通常モードでは、DMACは一回の転送単位（バイト、ワード、ロングワード、または16バイト単位）の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

  サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

  図10.6にサイクルスチール通常モードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

デュアルアドレスモード

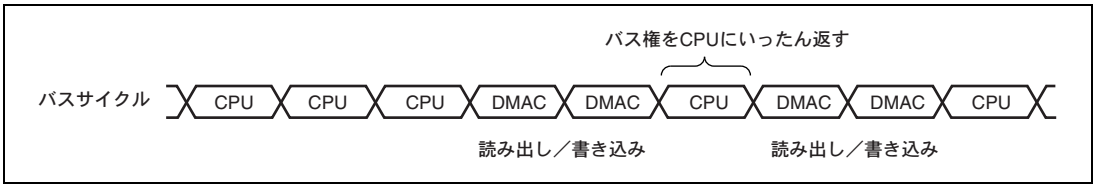


図 10.6 サイクルスチール通常モードの DMA 転送例（デュアルアドレス）

- **インターミッテントモード16、インターミッテントモード64**

  サイクルスチールのインターミッテントモードでは、DMACは一回の転送単位（バイト、ワード、ロングワード、または16バイト単位）の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、Pφクロックカウントで16クロックまたは64クロック待った後に、他のバスマスタからバス権を取り戻し、再び1転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

  DMACが再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

  インターミッテントモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャネルのバスモードがサイクルスチールモードである必要があります。

  図10.7にサイクルスチールインターミッテントモードでのDMA転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード

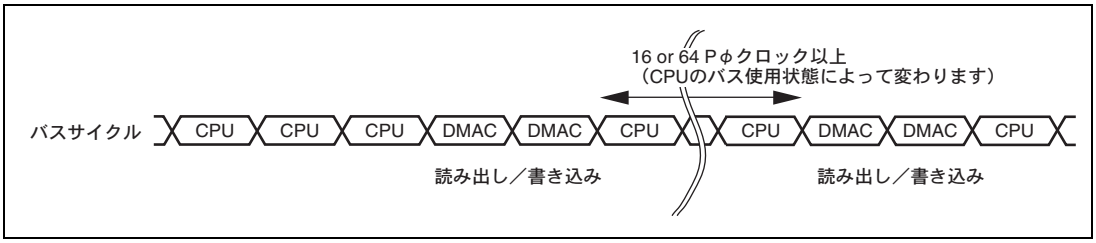


図 10.7　サイクルスチールインターミッテントモードの DMA 転送例（デュアルアドレス）

（b） バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。

図 10.8 にバーストモードでの DMA 転送タイミングを示します。

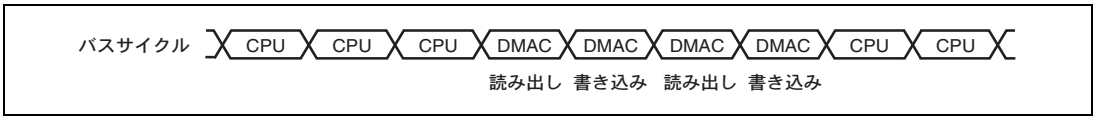


図 10.8　バーストモードの DMA 転送例（デュアルアドレス）

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 10.6 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 10.6 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ（ビット）	使用可能チャネル
デュアル	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*1	B/C*4	8/16/32/128*2	0～7
	内蔵メモリと内蔵メモリ	すべて可*3	B/C	8/16/32/128	0～7
	内蔵メモリと内蔵周辺モジュール	すべて可*1	B/C*4	8/16/32/128*2	0～7

【記号説明】

B ：バースト

C ：サイクルスチール

【注】 *1 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。
ただし、内蔵周辺モジュールリクエストの場合には、転送要求元が CMT、ATU-III の場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。

*2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。

*3 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。
ただし、内蔵周辺モジュールリクエストの場合には、CMT、ATU-III の場合のみ可能です。

*4 内蔵周辺モジュールリクエストの場合には、転送要求元が CMT、ATU-Ⅲ、12 ビット ADC_A、および 12 ビット ADC_B の場合を除いてサイクルスチールのみ。

（4） バスモードとチャネルの優先順位

優先順位固定モード（CH0>CH1）において、チャネル 1 がバーストモードで転送中でも、それより優先順位の高いチャネル 0 に転送要求が発生すると、ただちにチャネル 0 の転送を開始します。

このとき、チャネル 0 もバーストモードの場合は優先順位の高いチャネル 0 の転送がすべて終了してから、チャネル 1 が転送を継続します。

また、チャネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャネル 1 が転送されます。その後も、チャネル 0→チャネル 1→チャネル 0→チャネル 1 というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後の CPU サイクルがバーストモード転送に置き換わった形になります（以後バーストモードの優先実行と呼ぶ）。この例を**図 10.9** に示します。競合するバーストモードが複数チャネルある場合は、その中で一番優先順位の高いチャネルが優先実行されます。

DMA 転送を複数チャネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

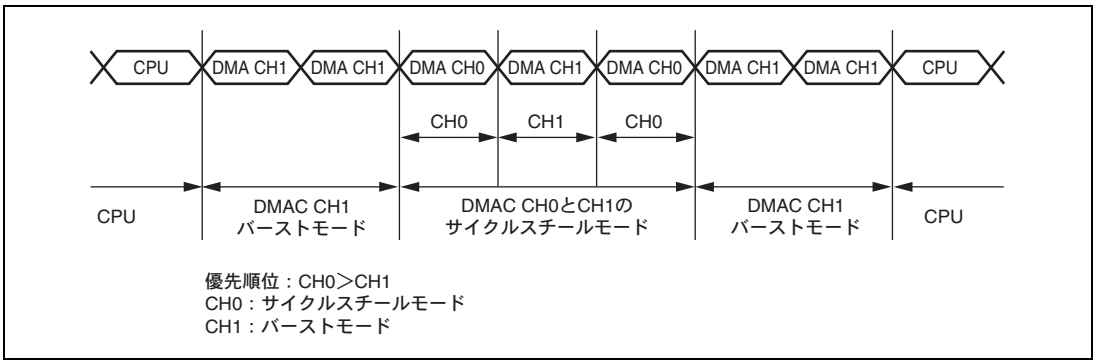


図 10.9 複数チャネルが動作する場合のバス状態

ラウンドロビンモードでは、**図 10.4** に示した仕様で優先順位が変化します。ただし、サイクルスチールモードのチャネルとバーストモードのチャネルを混在しないでください。

10.4 特別な動作について

DMAC において、特別な動作の場合に関して以下にまとめます。

10.4.1 アドレスエラー発生時の動作

DMAC での転送中にアドレスエラーが発生した場合には、「10.2.13 DMA オペレーションフラグビットレジスタ（DMAFR）」のアドレスエラーフラグビット（AE）で示したように、下記のような動作となります。

- アドレスエラーが発生しない場合：リード（転送元→DMAC内部）→ライト（DMAC内部→転送先）
- アドレスエラーがソースアドレス発生：Nop→Nop
- アドレスエラーがデスティネーションアドレス発生：リード→Nop

10.4.2 NMI 時の動作

DMA 転送中に NMI が発生した場合には、「10.2.13 DMA オペレーションフラグビットレジスタ（DMAFR）」の NMI フラグビット（NMIF）で示したように、実行中の DMA 転送の一転送単位まで転送が行われます。

この場合には、NMIF ビットが 1 の状態を読み出した後に 0 にクリアすることで、DMAC の動作を再開することが可能です。これはすべてのリロード機能の有効／無効にかかわらず再開します。

10.4.3 リロード機能 1 の動作

リロード機能 1 が有効な場合の動作を、リロード機能 2 が有効な場合の動作と内蔵周辺モジュールへの転送アクノリッジ信号のアサートタイミングとを合わせて図 10.10 に示します。

また、図 10.11 に内部バスにおけるアドレス、コマンド、およびデータと、周辺バスの状態、各レジスタの更新の状態を示します。

【注】 リロード機能 1 が有効でも、リロード機能 2 が無効な場合には、RARCR→ARCR のリロードは行われません。
リロード機能 1 が有効で、リロード機能 2 が有効な場合にのみ、RARCR→ARCR のリロードが行われます。

10.4.4 リロード機能 2 の動作

リロード機能 2 が有効な場合の動作を、リロード機能 1 が有効な場合の動作と内蔵周辺モジュールへの転送アクノリッジ信号のアサートタイミングとを合わせて図 10.10 に示します。

10.4.5 内蔵周辺モジュールとのインタフェース

内蔵周辺モジュールへの転送アクノリッジ信号のアサートタイミングを、リロード機能 1 が有効な場合の動作とリロード機能 2 が有効な場合の動作とを合わせて図 10.10 に示します。

CHCR の TC[1:0]ビットの設定によって、アクノリッジ信号のアサート方法は変わります。

CH0～CH3 では TC[0]ビットは常に 0 に固定されています。また、CH4～CH7 において TC[1:0]ビットを B'11 に設定することは禁止です。さらに TC [1:0]ビットを B'01 に設定する場合は、CHCR の RLD2[1]ビット、RLD2[0]ビットのいずれかまたは両方を必ず 1 に設定してください。RLD2[1:0]ビットが B'00 の場合の動作は保証できません。

10.4.6 Integer→Floating-point 変換の動作

Integer→Floating-point 変換時の有効な場合には、「10.2.4 DMA チャネルコントロールレジスタ 0～7（CHCR0～CHCR7）」の Integer→Floating-point 変換機能 ON／OFF ビット（IFT）でも示したように、下記のように変換処理のための動作が必要となります。

- 変換しない場合：リード（転送元→DMAC内部）→ライト（DMAC内部→転送先）
- 変換する場合：リード→Nop（変換処理）→ライト

処理においては、転送元のデータとして 16 ビットデータを読み出し、転送先のデータとして 32 ビットデータを書き込むという変則的な動作を行います。そのため、CHCR の TS[1:0]ビットは転送元のデータサイズに合わせて B'01 に設定してください。これ以外に設定した場合には動作を保証できません。さらに転送先アドレスは 4 バイトアドレス境界の値を指定してください。

いくつかの値に対する変換の例を表 10.7 に示します。なお、変換前の値において LSB と LSB から 2 ビット目は変換対象外のビットです。さらに変換前の値には小数点位置を「.」で示しています。

表 10.7 Integer→Floating-point 変換の例

変換前の値（16 進数）	変換後の値（16 進数）
.0000 0000 0000 00 00（.0000）	0000 0000 0000 0000 0000 0000 00000000（00000000）
.0000 0000 0000 01 00（.0004）	0011 1000 1000 0000 0000 0000 00000000（38800000）
.0000 0000 0000 10 00（.0008）	0011 1001 0000 0000 0000 0000 00000000（39000000）
.0100 0000 0000 00 00（.4000）	0011 1110 1000 0000 0000 0000 00000000（3E800000）
.1000 0000 0000 00 00（.8000）	0011 1111 0000 0000 0000 0000 00000000（3F000000）
.0101 0101 0101 01 00（.5554）	0011 1110 1010 1010 1010 1000 00000000（3EAAA800）
.1010 1010 1010 10 00（.AAA8）	0011 1111 0010 1010 1010 1000 00000000（3F2AA800）
.1100 1100 1100 11 00（.CCCC）	0011 1111 0100 1100 1100 1100 00000000（3F4CCC00）
.0011 0011 0011 00 00（.3330）	0011 1110 0100 1100 1100 0000 00000000（3F4CC000）
.1110 0011 1000 11 00（.E38C）	0011 1111 0110 0011 1000 1100 00000000（3F638C00）
.0001 1100 0111 00 00（.1C70）	0011 1101 1110 0011 1000 0000 00000000（3DE38000）
.1111 0000 1111 00 00（.F0F0）	0011 1111 0111 0000 1111 0000 00000000（3F70F000）

変換前の値（16 進数）	変換後の値（16 進数）
.0000 1111 0000 11 00（.0F03）	0011 1101 0111 0000 0011 0000 00000000（3D703000）
.1111 1111 1111 00 00（.FFF0）	0011 1111 0111 1111 1111 0000 00000000（3F7FF000）

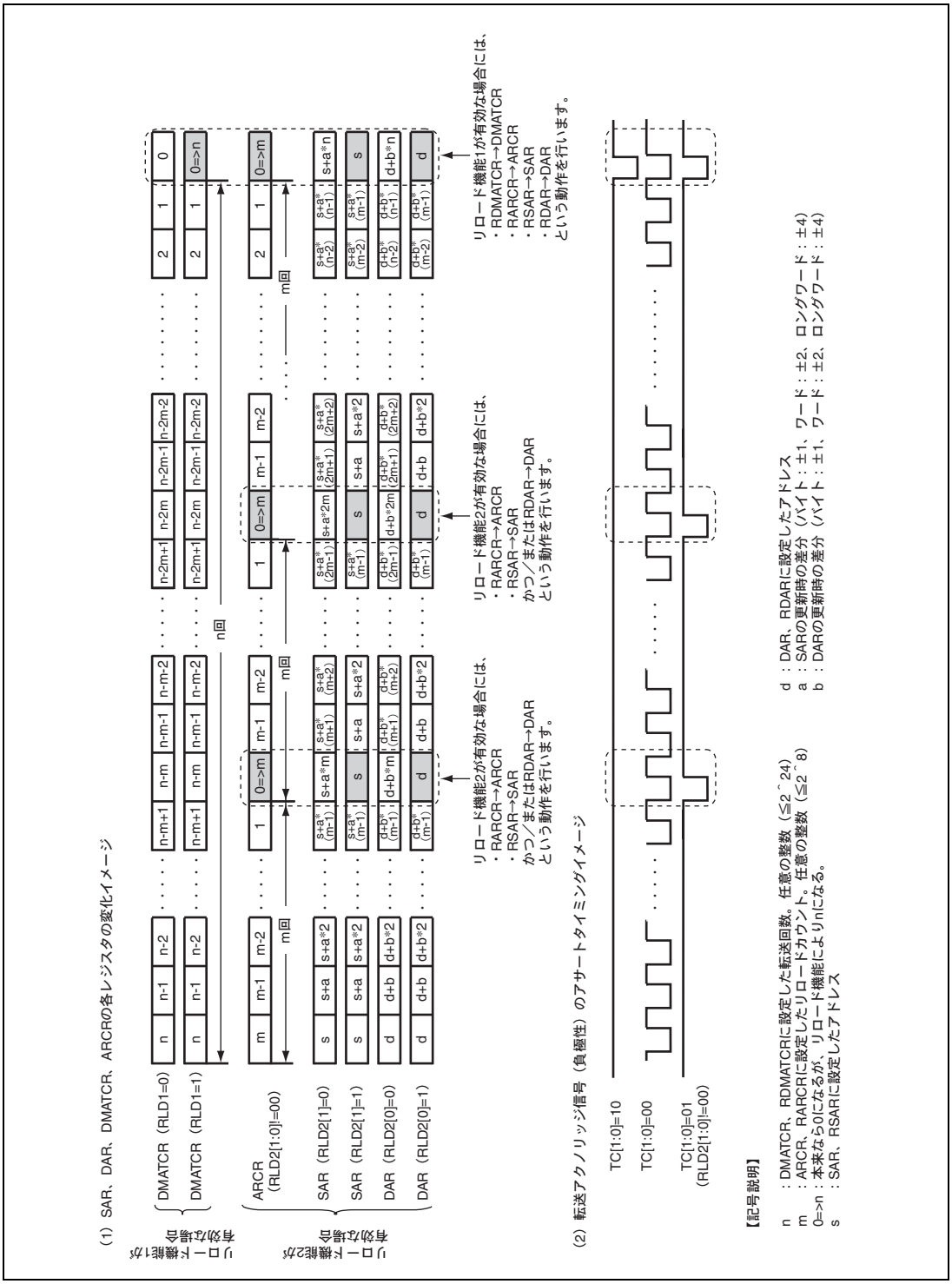


図 10.10 リロード機能と周辺アクノリッジの関係

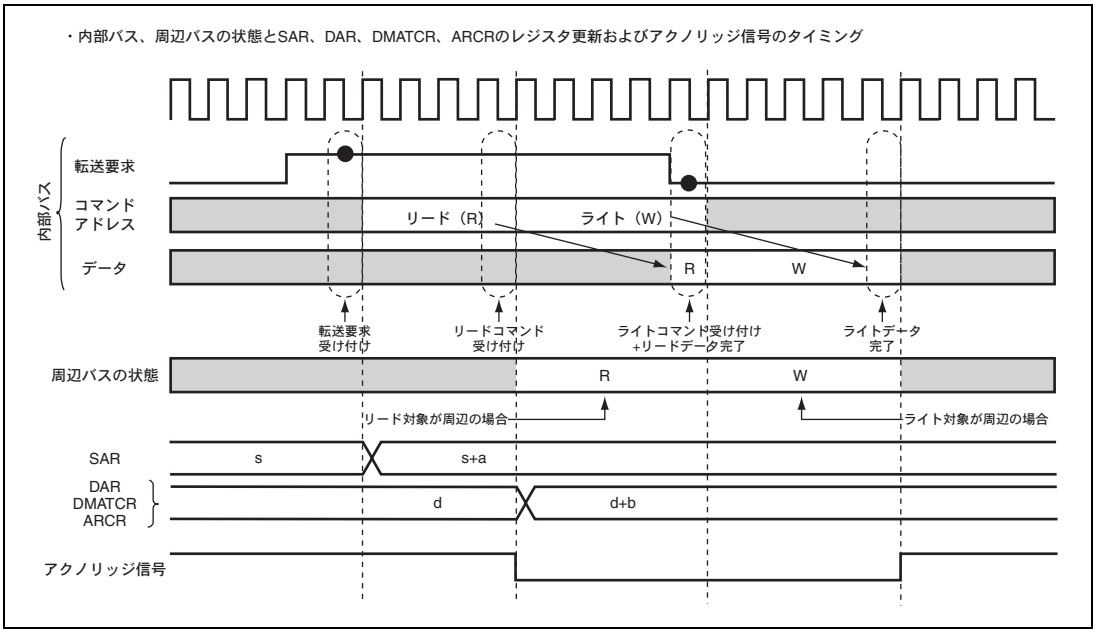


図 10.11 各レジスタとアクノリッジの変化タイミング

10.5 使用上の注意

CHFR0～CHFR7、DMAFR では、CPU がフラグをリードした際に、CPU は 0 をリードしたにもかかわらず、フラグは 1 にセットされ内部的に 1 をリードされた状態になる場合があります。

このとき、当該ビットに 0 を書き込むと、CPU が 1 をリードしていなくてもフラグがクリアされてしまいます。

これを防ぐため、CHFR0～CHFR7、DMAFR の【注】に記載されているクリア条件を守ってください。

CHFR0～CHFR7、DMAFR のフラグビットは他のモジュールのフラグと仕様が異なるため、CPU のライトによるフラグクリアの操作に注意してください。

11. 専用ダイレクトメモリアクセスコントローラ（A-DMAC）

専用ダイレクトメモリアクセスコントローラ（A-DMAC）は、内蔵周辺モジュールと内蔵 RAM とのデータ転送を CPU に代わって高速に行うことができます。A-DMAC を使うと、CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

11.1 特長

- 基本機能：

  A-DMACは、内蔵周辺モジュールと内蔵RAMとの間のデータ転送をCPUに代わって行います。
  転送先または転送元となる内蔵周辺モジュールのレジスタはチャネルごとに固定です。

- 対応する内蔵周辺モジュール：

  ADC、ATU-III（タイマA、C、F、G）、RSPI、SCI、RCAN-TL1（以下RCANと省略します）

- エイリアス領域：

  A-DMACによるデータ転送で、転送先および転送元となる内蔵RAM上の領域をエイリアス領域と呼びます。エイリアス領域の先頭アドレスは、デフォルトで内蔵RAMの先頭（H'FFF80000）ですが、変更することも可能です。各チャネル用のエイリアス領域の先頭アドレスを基準としたオフセットは、ATU-III（タイマG）用チャネル、ADC用チャネル、RSPI用チャネル、SCI用チャネルはアドレスレジスタで指定し、ATU-III（タイマA、C、F）用チャネルとRCAN用チャネルでは固定です。

- チャネル数：58

- 転送要求：転送要求はチャネルごとに固定です。

  ADC用チャネル：ADC（ADC_A、AN0）の割り込み変換終了
  ATU-III（タイマA、C、F）用チャネル：インプットキャプチャ
  ATU-III（タイマG）用チャネル：コンペアマッチ
  RSPI用チャネル：受信バッファフル、送信バッファエンプティ
  SCI用チャネル：受信データフル、送信データエンプティ
  RCAN用チャネル（受信）：メールボックスフル
  RCAN用チャネル（送信）：ソフトウェアによる起動

- チャネル機能：

  ADC用チャネル：ADCのAN0の値を内蔵RAMに、リングバッファ型の転送で転送を行います。
  ATU-III（タイマG）用チャネル：内蔵RAMの値をポートGに、リングバッファ型の転送で転送を行います。

ATU-III（タイマA、C、F）用チャネル：レジスタ読み出しをサポートします。タイマA用のチャネルは、インプットキャプチャレジスタの読み出しを行い、読み出された値と、A-DMAC内部にバッファされていた前回値をエイリアス領域に転送します。

タイマC、F用のチャネルは、インプットキャプチャレジスタからエイリアス領域に転送します。タイマF用チャネルは、2レジスタの転送（PWM入力波形計測モード）か1レジスタの転送（それ以外）をチャネルごとに設定可能です。

RSPI用チャネル、SCI用チャネル：偶数チャネルは、レジスタからエイリアス領域へ受信データを転送します。一方、奇数チャネルは、エイリアス領域からレジスタへ送信データを転送します。

RCAN用チャネル：受信用チャネルは、メールボックスのデータをエイリアス領域に転送します。一方、送信用チャネルは、エイリアス領域のデータをメールボックスに転送します。

- 指定可能な転送回数の最大値：

  ADC用チャネル、ATU-III（タイマG）用チャネル：1,023回。リロード機能あり。

  ATU-III（タイマA、C、F）用チャネル：転送回数は指定できません。転送許可状態では、回数の制限なく、転送要求を受け付けるたびにデータ転送が行われます。

  RSPI用チャネル、SCI用チャネル：1,023回

  RCAN用チャネル（受信）：転送回数は指定できません。転送許可状態では、回数の制限なく、転送要求を受け付けるたびにメールボックスの転送が行われます。

  RCAN用チャネル（送信）：同時に62メールボックスの転送を指定できます。

- 割り込み要求：割り込み要求はチャネルごとにマスク可能です。

  ATU-III（タイマG）用チャネル、ADC用チャネル：割り込みを発生しません。

  ATU-III（タイマA、C、F）用チャネル：1回転送終了後、CPUに割り込み要求を発生可能です。

  RSPI用チャネル、SCI用チャネル：指定した転送回数終了後、CPUに割り込み要求を発生可能です。

  RCAN用チャネル：受信用チャネルは割り込みを発生しません。一方、送信用チャネルは、指定したメールボックスの転送終了後、CPUに割り込みを発生可能です。

- アドレスモード：転送元、転送先の双方をアドレスアクセスします（デュアルアドレスモード）
- バスモード：サイクルスチールモード
- 優先順位：チャネル優先順位は固定です（Ch0＞Ch1＞･･･＞Ch74）
- リロード機能：ATU-III（タイマG）用チャネル、ADC用チャネルのみサポート

A-DMAC の機能の概要を**表 11.1** に示します。

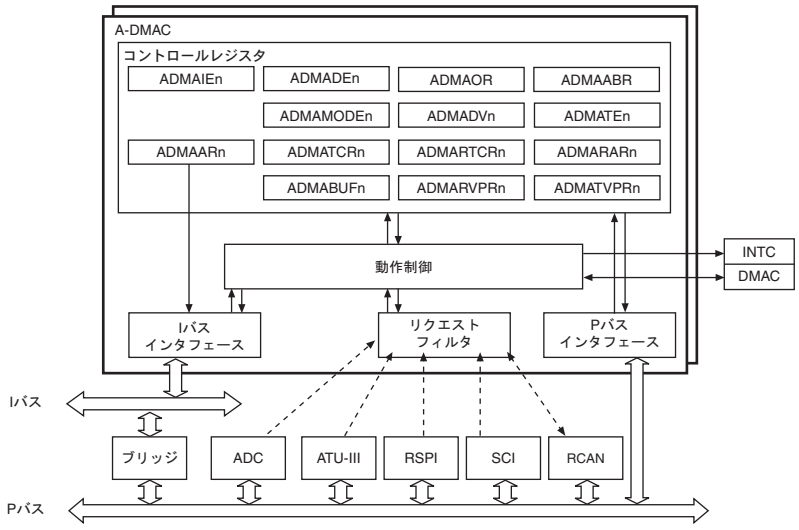
表 11.1 A-DMAC のチャネルの概要

	ATU-III 用チャネル（タイマ G）	ADC 用チャネル	ATU-III 用チャネル（タイマ A、C、F）	RSPI 用チャネル	SCI 用チャネル	RCAN 用チャネル
チャネル名	0	1	2～5、8～47*1	56～59*1	62～67*1	72、74*1
チャネル数	1	1	44	4	6	2
転送要求	タイマ G2	ADC_A、AN0 の割り込み変換終了	Ch2～5：タイマ A Ch8～27：タイマ C Ch28～47：タイマ F	Ch56、57：RSPI_A Ch58、59：RSPI_B	Ch62、63：SCI_A Ch64、65：SCI_B Ch66、67：SCI_C	Ch72：RCAN_A－RCAN_B Ch74：ソフトウェアトリガ
転送方向	RAM→ポート	レジスタ→RAM	レジスタ→RAM	偶数チャネル：レジスタ→RAM 奇数チャネル：RAM→レジスタ	偶数チャネル：レジスタ→RAM 奇数チャネル：RAM→レジスタ	Ch72：レジスタ→RAM Ch74：RAM→レジスタ
データ転送長	8 ビット	16 ビット	Ch2～5：32 ビット×2 Ch8～27：32 ビット Ch28～47：32 ビット×2 または 32 ビット×1	16 ビット	8 ビット	20 バイト
最大転送回数	1,023 回（リロード機能あり）	1,023 回（リロード機能あり）	制限なし	1,023 回	1,023 回	制限なし
割り込み要求	発生しない	発生しない	最初の転送が終了したとき	転送終了（TCR＝0）	転送終了（TCR＝0）	Ch72：発生しない Ch74：転送終了
アドレッシング	転送元アドレス：インクリメント、リングバッファ型転送*2 転送先アドレス：固定	転送元アドレス：固定 転送先アドレス：インクリメント、リングバッファ型転送*2	転送元および転送先のどちらのアドレスも固定	レジスタ側：固定 RAM 領域側：1 転送単位で 2 番地をインクリメント	レジスタ側：固定 RAM 領域側：1 転送単位で 1 番地をインクリメント	送信元および送信先ともにインクリメント

【注】 *1 Ch6、7、Ch48～55、Ch60、61、Ch68～71、および Ch73 はリザーブになります。

*2 TCR＝0 のとき、TCR とエイリアスポインタはリロードされます。

図 11.1 に A-DMAC のブロック図を示します。



【記号説明】

ADMAOR : A-DMACオペレーションレジスタ
ADMAABR : A-DMACエイリアスベースレジスタ
ADMAIEn : A-DMAC割り込みコントロールレジスタ（n=0～9）
ADMAMODEn : A-DMAC 転送モードレジスタ（n=0～3）（タイマF用）
ADMADVn : A-DMACデータ有効レジスタ（n=0～5）
ADMATEn : A-DMAC トランスファエンドレジスタ（n=0～2）
ADMADEn : A-DMAC イネーブルレジスタ（n=0～7）
ADMATCRn : A-DMAC 転送カウントレジスタ（n=0、1、56～59、62～67）
ADMAARn : A-DMACエイリアスポインタレジスタ（n=0、1、56～59、62～67）
ADMARTCRn : A-DMACリロード転送カウントレジスタ（n=0、1）
ADMARARn : A-DMACリロードエイリアスポインタレジスタ（n=0、1）
ADMABUFn : A-DMACバッファレジスタ（n=2～5）
ADMARVPRn : A-DMAC受信待ちレジスタ（n=0～3）
ADMATVPRn : A-DMAC送信待ちレジスタ（n=0～3）
INTC : 割り込みコントローラ
DMAC : ダイレクトメモリアクセスコントローラ
ATU-III : アドバンストタイマユニット-III
RSPI : ルネサスシリアルペリフェラルインタフェース
SCI : シリアルコミュニケーションインタフェース
RCAN : コントローラエリアネットワーク
ADC : A/D変換器

図 11.1 A-DMAC のブロック図

11.1.1 入出力端子

入出力端子はありません。

11.2 レジスタの説明

A-DMAC には以下のレジスタがあります。

表 11.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
全チャネル共通	A-DMAC オペレーションレジスタ	ADMAOR	R/W	H'00	H'FFFE6000	8
	A-DMAC エイリアスベースレジスタ	ADMAABR	R/W	H'00	H'FFFE6002	8
各チャネル対応	A-DMAC 割り込みコントロールレジスタ 0	ADMAIE0	R/W	H'00	H'FFFE6010	8
	A-DMAC 割り込みコントロールレジスタ 1	ADMAIE1	R/W	H'00	H'FFFE6011	8
	A-DMAC 割り込みコントロールレジスタ 2	ADMAIE2	R/W	H'00	H'FFFE6012	8
	A-DMAC 割り込みコントロールレジスタ 3	ADMAIE3	R/W	H'00	H'FFFE6013	8
	A-DMAC 割り込みコントロールレジスタ 4	ADMAIE4	R/W	H'00	H'FFFE6014	8
	A-DMAC 割り込みコントロールレジスタ 5	ADMAIE5	R/W	H'00	H'FFFE6015	8
	A-DMAC 割り込みコントロールレジスタ 7	ADMAIE7	R/W	H'00	H'FFFE6017	8
	A-DMAC 割り込みコントロールレジスタ 8	ADMAIE8	R/W	H'00	H'FFFE6018	8
	A-DMAC 割り込みコントロールレジスタ 9	ADMAIE9	R/W	H'00	H'FFFE6019	8
	A-DMAC データ有効レジスタ 0	ADMADV0	R/(W)*[1]	H'00	H'FFFE6020	8
	A-DMAC データ有効レジスタ 1	ADMADV1	R/(W)*[1]	H'00	H'FFFE6021	8
	A-DMAC データ有効レジスタ 2	ADMADV2	R/(W)*[1]	H'00	H'FFFE6022	8
	A-DMAC データ有効レジスタ 3	ADMADV3	R/(W)*[1]	H'00	H'FFFE6023	8
	A-DMAC データ有効レジスタ 4	ADMADV4	R/(W)*[1]	H'00	H'FFFE6024	8
	A-DMAC データ有効レジスタ 5	ADMADV5	R/(W)*[1]	H'00	H'FFFE6025	8
	A-DMAC トランスファエンドレジスタ 0	ADMATE0	R/(W)*[1]	H'00	H'FFFE6030	8
	A-DMAC トランスファエンドレジスタ 1	ADMATE1	R/(W)*[1]	H'00	H'FFFE6031	8
	A-DMAC トランスファエンドレジスタ 2	ADMATE2	R/(W)*[1]	H'00	H'FFFE6032	8
	A-DMAC イネーブルレジスタ 0	ADMADE0	R/W	H'00	H'FFFE6040	8
	A-DMAC イネーブルレジスタ 1	ADMADE1	R/W	H'00	H'FFFE6041	8
	A-DMAC イネーブルレジスタ 2	ADMADE2	R/W	H'00	H'FFFE6042	8
	A-DMAC イネーブルレジスタ 3	ADMADE3	R/W	H'00	H'FFFE6043	8
	A-DMAC イネーブルレジスタ 4	ADMADE4	R/W	H'00	H'FFFE6044	8
	A-DMAC イネーブルレジスタ 5	ADMADE5	R/W	H'00	H'FFFE6045	8
	A-DMAC イネーブルレジスタ 7	ADMADE7	R/W	H'00	H'FFFE6047	8
	A-DMAC 転送モードレジスタ 0	ADMAMODE0	R/W	H'00	H'FFFE6050	8
	A-DMAC 転送モードレジスタ 1	ADMAMODE1	R/W	H'00	H'FFFE6051	8
	A-DMAC 転送モードレジスタ 2	ADMAMODE2	R/W	H'00	H'FFFE6052	8
	A-DMAC 転送カウントレジスタ 0	ADMATCR0	R/W	H'0000	H'FFFE6060	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
各チャネル対応	A-DMAC リロード転送カウントレジスタ 0	ADMARTCR0	R/W	H'0000	H'FFFE6062	16
	A-DMAC 転送カウントレジスタ 1	ADMATCR1	R/W	H'0000	H'FFFE6064	16
	A-DMAC リロード転送カウントレジスタ 1	ADMARTCR1	R/W	H'0000	H'FFFE6066	16
	A-DMAC 転送カウントレジスタ 56	ADMATCR56	R/W	H'0000	H'FFFE6070	16
	A-DMAC 転送カウントレジスタ 57	ADMATCR57	R/W	H'0000	H'FFFE6072	16
	A-DMAC 転送カウントレジスタ 58	ADMATCR58	R/W	H'0000	H'FFFE6074	16
	A-DMAC 転送カウントレジスタ 59	ADMATCR59	R/W	H'0000	H'FFFE6076	16
	A-DMAC 転送カウントレジスタ 62	ADMATCR62	R/W	H'0000	H'FFFE607C	16
	A-DMAC 転送カウントレジスタ 63	ADMATCR63	R/W	H'0000	H'FFFE607E	16
	A-DMAC 転送カウントレジスタ 64	ADMATCR64	R/W	H'0000	H'FFFE6080	16
	A-DMAC 転送カウントレジスタ 65	ADMATCR65	R/W	H'0000	H'FFFE6082	16
	A-DMAC 転送カウントレジスタ 66	ADMATCR66	R/W	H'0000	H'FFFE6084	16
	A-DMAC 転送カウントレジスタ 67	ADMATCR67	R/W	H'0000	H'FFFE6086	16
	A-DMAC エイリアスポインタレジスタ 0	ADMAAR0	R/W	H'0000	H'FFFE6090	16
	A-DMAC リロードエイリアスポインタレジスタ 0	ADMARAR0	R/W	H'0000	H'FFFE6092	16
	A-DMAC エイリアスポインタレジスタ 1	ADMAAR1	R/W	H'0000	H'FFFE6094	16
	A-DMAC リロードエイリアスポインタレジスタ 1	ADMARAR1	R/W	H'0000	H'FFFE6096	16
	A-DMAC エイリアスポインタレジスタ 56	ADMAAR56	R/W	H'0000	H'FFFE60A0	16
	A-DMAC エイリアスポインタレジスタ 57	ADMAAR57	R/W	H'0000	H'FFFE60A2	16
	A-DMAC エイリアスポインタレジスタ 58	ADMAAR58	R/W	H'0000	H'FFFE60A4	16
	A-DMAC エイリアスポインタレジスタ 59	ADMAAR59	R/W	H'0000	H'FFFE60A6	16
	A-DMAC エイリアスポインタレジスタ 62	ADMAAR62	R/W	H'0000	H'FFFE60AC	16
	A-DMAC エイリアスポインタレジスタ 63	ADMAAR63	R/W	H'0000	H'FFFE60AE	16
	A-DMAC エイリアスポインタレジスタ 64	ADMAAR64	R/W	H'0000	H'FFFE60B0	16
	A-DMAC エイリアスポインタレジスタ 65	ADMAAR65	R/W	H'0000	H'FFFE60B2	16
	A-DMAC エイリアスポインタレジスタ 66	ADMAAR66	R/W	H'0000	H'FFFE60B4	16
	A-DMAC エイリアスポインタレジスタ 67	ADMAAR67	R/W	H'0000	H'FFFE60B6	16
	A-DMAC バッファレジスタ 2	ADMABUF2	R	H'00000000	H'FFFE60C0	32
	A-DMAC バッファレジスタ 3	ADMABUF3	R	H'00000000	H'FFFE60C4	32
	A-DMAC バッファレジスタ 4	ADMABUF4	R	H'00000000	H'FFFE60C8	32
	A-DMAC バッファレジスタ 5	ADMABUF5	R	H'00000000	H'FFFE60CC	32
	A-DMAC 受信待ちレジスタ 0	ADMARVPR0	R/(W)※2	H'0000	H'FFFE60E0	8、16
	A-DMAC 受信待ちレジスタ 1	ADMARVPR1	R/(W)※2	H'0000	H'FFFE60E2	8、16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
各チャネル対応	A-DMAC 受信待ちレジスタ 2	ADMARVPR2	R/(W)*2	H'0000	H'FFFE60E4	8、16
	A-DMAC 受信待ちレジスタ 3	ADMARVPR3	R/(W)*2	H'0000	H'FFFE60E6	8、16
	A-DMAC 送信待ちレジスタ 0	ADMATVPR0	R/W	H'0000	H'FFFE60F0	8、16
	A-DMAC 送信待ちレジスタ 1	ADMATVPR1	R/W	H'0000	H'FFFE60F2	8、16
	A-DMAC 送信待ちレジスタ 2	ADMATVPR2	R/W	H'0000	H'FFFE60F4	8、16
	A-DMAC 送信待ちレジスタ 3	ADMATVPR3	R/W	H'0000	H'FFFE60F6	8、16

【注】 *1 フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

*2 フラグをクリアするため、1 を書き込むことのみ可能です。

11.2.1 A-DMAC オペレーションレジスタ（ADMAOR）

ADMAOR は、読み出し／書き込み可能な 8 ビットのレジスタで、A-DMAC のすべてのチャネルの動作を指定します。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	−	DME
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7～1	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DME	0	R/W	DMA マスタイネーブルフラグ すべてのチャネルの DMA 転送を許可または禁止します。DME ビットおよび各チャネルの DE ビットを 1 に設定すると、DMA 転送が許可されます。 DME ビットをクリアすると、すべてのチャネルの DMA 転送が中断されます。

【注】 A-DMAC は NMI が発生すると DMA 転送禁止状態になりますが（「11.3.3　転送の中断と再開」を参照）、転送を再開するための制御ビットは ADMAOR 内に持たず、DMAC の DMA オペレーションフラグビットレジスタ（DMAFR）の NMIF ビットを利用します（「第 10 章　ダイレクトメモリアクセスコントローラ（DMAC）」を参照）。DMAC の NMIF ビットをクリアすることで、A-DMAC の DMA 転送もあわせて許可されます。

11.2.2 A-DMAC エイリアスベースレジスタ（ADMAABR）

ADMAABR は、読み出し／書き込み可能な 8 ビットのレジスタで、A-DMAC 用のエイリアス領域（内蔵周辺モジュールとの転送に用いる内蔵 RAM 領域）の先頭アドレスを指定します。エイリアス領域は 32K バイト単位で指定できます。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	−	−	AA[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～3	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2～0	AA[2:0]	000	R/W	エイリアス領域アドレス エイリアス領域の先頭アドレスを指定します。 000：H'FFF80000 001：H'FFF88000 010：H'FFF90000 011：設定禁止 100：設定禁止 101：設定禁止 110：設定禁止 111：設定禁止

11.2.3 A-DMAC 割り込みコントロールレジスタ（ADMAIE）

ADMAIE は、読み出し／書き込み可能な 8 ビットのレジスタです。

各ビット（IE ビット）はチャネルごとの CPU への割り込みの許可／禁止を設定します。IE ビットを 1 に設定した場合は、対応する DV ビット、または、TE ビットがセットされると、転送完了割り込みを要求します（「11.3.6 転送許可／禁止の条件と割り込み要求」を参照）。

チャネルと各ビットの対応を表 11.3 に示します 。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.3　ADMAIE レジスタとチャネルの対応

レジスタ名	ビット							
	7	6	5	4	3	2	1	0
ADMAIE0	リザーブ	リザーブ	Ch5	Ch4	Ch3	Ch2	リザーブ	リザーブ
ADMAIE1	Ch15	Ch14	Ch13	Ch12	Ch11	Ch10	Ch9	Ch8
ADMAIE2	Ch23	Ch22	Ch21	Ch20	Ch19	Ch18	Ch17	Ch16
ADMAIE3	Ch31	Ch30	Ch29	Ch28	Ch27	Ch26	Ch25	Ch24
ADMAIE4	Ch39	Ch38	Ch37	Ch36	Ch35	Ch34	Ch33	Ch32
ADMAIE5	Ch47	Ch46	Ch45	Ch44	Ch43	Ch42	Ch41	Ch40
ADMAIE7	Ch63	Ch62	リザーブ	リザーブ	Ch59	Ch58	Ch57	Ch56
ADMAIE8	リザーブ	リザーブ	リザーブ	リザーブ	Ch67	Ch66	Ch65	Ch64
ADMAIE9	リザーブ					Ch74	リザーブ	リザーブ

【注】　リザーブビットは読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.4 A-DMAC データ有効レジスタ（ADMADV）

ADMADV は、読み出し／書き込み可能な 8 ビットのレジスタです。

各ビット（DV ビット）は、対応するチャネルの DMA 転送の状態を示します。DV ビットは、DE ビットが 1 に設定された後で、1 回の DMA 転送が終了すると 1 にセットされ、エイリアス領域のデータが有効であることを示します。

DV ビットに 1 を書き込むことは無効です。DV ビットをクリアするには、DV ビットの 1 を読み出してから 0 を書き込みます。

チャネルと各ビットの対応を表 11.4 に示します。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするためには、レジスタを読み出して1を読み出せたクリア対象のビットにのみ、0を書き込んでください。
クリアしないビットには、読み出した値が0の場合でも1を書き込んでください。
なお、その際もリザーブビットには0を書き込んでください。
CPUがフラグをリードした際に、CPUは0をリードしたにもかかわらず、フラグは1にセットされ内部的に1をリードされた状態になる場合があります。このとき、当該ビットに0を書き込むと、CPUが1をリードしていなくてもフラグがクリアされてしまいます。
本レジスタのフラグビットは他のモジュールのフラグと仕様が異なるため、CPUのライトによるフラグクリアの操作に注意してください。

表 11.4 ADMADV レジスタとチャネルの対応

レジスタ名	ビット							
	7	6	5	4	3	2	1	0
ADMADV0	リザーブ	リザーブ	Ch5	Ch4	Ch3	Ch2	リザーブ	リザーブ
ADMADV1	Ch15	Ch14	Ch13	Ch12	Ch11	Ch10	Ch9	Ch8
ADMADV2	Ch23	Ch22	Ch21	Ch20	Ch19	Ch18	Ch17	Ch16
ADMADV3	Ch31	Ch30	Ch29	Ch28	Ch27	Ch26	Ch25	Ch24
ADMADV4	Ch39	Ch38	Ch37	Ch36	Ch35	Ch34	Ch33	Ch32
ADMADV5	Ch47	Ch46	Ch45	Ch44	Ch43	Ch42	Ch41	Ch40

【注】 リザーブビットは読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.5 A-DMAC トランスファエンドレジスタ（ADMATE）

ADMATE は、読み出し／書き込み可能な 8 ビットのレジスタです。

各ビット（TE ビット）は、対応するチャネルの DMA 転送の状態を示します。TE ビットは、設定された回数の DMA 転送が終了すると 1 にセットされます。

TE ビットに 1 を書き込むことは無効です。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。

TE ビットが 1 の場合は、対応するチャネルは転送要求を受け付けません。

チャネルと各ビットの対応を表 11.5 に示します。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするためには、レジスタを読み出して1を読み出せたクリア対象のビットにのみ、0を書き込んでください。
クリアしないビットには、読み出した値が0の場合でも1を書き込んでください。
なお、その際もリザーブビットには0を書き込んでください。
CPUがフラグをリードした際に、CPUは0をリードしたにもかかわらず、フラグは1にセットされ内部的に1をリードされた状態になる場合があります。このとき、当該ビットに0を書き込むと、CPUが1をリードしていなくてもフラグがクリアされてしまいます。
本レジスタのフラグビットは他のモジュールのフラグと仕様が異なるため、CPUのライトによるフラグクリアの操作に注意してください。

表 11.5 ADMATE レジスタとチャネルの対応

レジスタ名	ビット							
	7	6	5	4	3	2	1	0
ADMATE0	Ch63	Ch62	リザーブ	リザーブ	Ch59	Ch58	Ch57	Ch56
ADMATE1	リザーブ	リザーブ	リザーブ	リザーブ	Ch67	Ch66	Ch65	Ch64
ADMATE2	リザーブ					Ch74	リザーブ	リザーブ

【注】 リザーブビットは読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.6 A-DMAC イネーブルレジスタ（ADMADE）

ADMADE は、読み出し／書き込み可能な 8 ビットのレジスタです。

各ビット（DE ビット）は ATU-III（タイマ A、C、F）用チャネル、RCAN 用チャネルの DMA 転送を許可または禁止します。各チャネルに対応した DE ビットおよび ADMAOR の DME ビットを 1 に設定すると、DMA 転送を許可します。

チャネルと各ビットの対応を表 11.6 に示します。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.6 ADMADE レジスタとチャネルの対応

レジスタ名	ビット							
	7	6	5	4	3	2	1	0
ADMADE0	リザーブ	リザーブ	Ch5	Ch4	Ch3	Ch2	リザーブ	リザーブ
ADMADE1	Ch15	Ch14	Ch13	Ch12	Ch11	Ch10	Ch9	Ch8
ADMADE2	Ch23	Ch22	Ch21	Ch20	Ch19	Ch18	Ch17	Ch16
ADMADE3	Ch31	Ch30	Ch29	Ch28	Ch27	Ch26	Ch25	Ch24
ADMADE4	Ch39	Ch38	Ch37	Ch36	Ch35	Ch34	Ch33	Ch32
ADMADE5	Ch47	Ch46	Ch45	Ch44	Ch43	Ch42	Ch41	Ch40
ADMADE7	リザーブ					Ch74	リザーブ	Ch72

【注】 リザーブビットは読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.7 A-DMAC 転送モードレジスタ（ADMAMODE）

ADMAMODE は、読み出し／書き込み可能な 8 ビットのレジスタです。

各ビット（MODE ビット）は、ATU-III（タイマ F）用チャネルの転送モードをチャネル単位で設定可能です。

本レジスタへの書き込みは、転送禁止の状態（DE＝0 または DME＝0）で行ってください。

タイマ F を PWM 入力波形計測モードで用いる場合には 1 を、それ以外は 0 を設定してください。

チャネルと各ビットの対応を表 11.7 に示します。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.7 ADMAMODE レジスタとチャネルの対応

レジスタ名	ビット							
	7	6	5	4	3	2	1	0
ADMAMODE0	Ch31	Ch30	Ch29	Ch28	リザーブ	リザーブ	リザーブ	リザーブ
ADMAMODE1	Ch39	Ch38	Ch37	Ch36	Ch35	Ch34	Ch33	Ch32
ADMAMODE2	Ch47	Ch46	Ch45	Ch44	Ch43	Ch42	Ch41	Ch40

【注】 リザーブビットは読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.8 A-DMAC 転送カウントレジスタ（ADMATCR）

ADMATCR は、読み出し／書き込み可能な 16 ビットのレジスタで、ATU-III（タイマ G）用チャネル、ADC 用チャネル、RSPI 用チャネル、および SCI 用チャネルの DMA 転送の回数を指定します。DMA 転送許可の状態では、1 回の DMA 転送を行うたびにカウンタは更新（ポストデクリメント）され、転送終了まで残りの転送回数を示します。H'0000～H'03FF を指定できます。

ADMATCR レジスタに 0 を設定することで、転送を中断することができます。ただし、ADMATCR≠0 の状態で、0 以外の値を書き込むことは禁止です。

ATU-III（タイマ G）用チャネル、ADC 用チャネルに対応する ADMATCR レジスタは、ADMATCR＝1 かつ ADMARTCR≠0 の状態で転送を行うと、ADMARTCR レジスタの値がリロードされます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.9 A-DMAC エイリアスポインタレジスタ（ADMAAR）

ADMAAR は、読み出し／書き込み可能な 16 ビットのレジスタで、ATU-III（タイマ G）用チャネル、ADC 用チャネル、RSPI 用チャネル、および SCI 用チャネルに対して、エイリアス領域を指定することができます。1 回の DMA 転送を行うたびにレジスタ値は更新（ポスト更新）され、エイリアス領域において次に転送するアドレスを常に示します。書き込みは、対応する ADMATCR が 0 のときに設定してください。

ADMAAR に指定されたアドレスを先頭に、ADMATCR で指定された転送回数×2 バイト（RSPI 用チャネルおよび ADC 用チャネル）、または ADMATCR で指定された転送回数×1 バイト（SCI 用チャネルおよび ATU-III（タイマ G）用チャネル）の領域が、それぞれのチャネルのエイリアス領域として用いられます。

指定する転送先アドレスは、エイリアス領域の先頭アドレスからの相対アドレスを指定します。指定可能な相対アドレスは H'0000～H'7FFF です。

ATU-III（タイマ G）用チャネルおよび ADC 用チャネルに対応する ADMAAR レジスタは、ADMATCR＝1 かつ ADMARTCR≠0 の状態で転送を行うと、ADMARAR レジスタの値がリロードされます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W*

【注】* ADC用チャネルおよびすべてのRSPI用チャネルではビット0への書き込みは無効です。

11.2.10 A-DMAC リロード転送カウントレジスタ（ADMARTCR）

ADMARTCR は、読み出し／書き込み可能な 16 ビットのレジスタです。ATU-III（タイマ G）用チャネルおよび ADC 用チャネルで、対応する ADMATCR のリロード値を指定します。H'0000～H'03FF を指定できます。

ADMATCR＝1 かつ ADMARTCR≠0 の状態で転送を行うと、ADMARTCR の値は ADMATCR にリロードされます。

ADMATCR を設定する前に、ADMARTCR を設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11.2.11 A-DMAC リロードエイリアスポインタレジスタ（ADMARAR）

ADMARAR は、読み出し／書き込み可能な 16 ビットのレジスタです。ATU-III（タイマ G）用チャネルおよび ADC 用チャネルで、対応する ADMAAR レジスタのリロード値を指定します。H'0000～H'7FFF を指定できます。

ADMATCR＝1 かつ ADMARTCR≠0 の状態で転送を行うと、ADMARAR の値は ADMAAR にリロードされます。

ADMAAR を設定する前に、ADMARAR を設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W*

【注】＊ ADC用チャネルではビット0への書き込みは無効です。

11.2.12 A-DMAC バッファレジスタ（ADMABUF）

ADMABUF は、読み出し専用の 32 ビットのレジスタです。ADMABUF レジスタには ADMABUF2～5 があり、それぞれタイマ A 用チャネル（Ch2～5）に対応します。

ADMABUF レジスタは、タイマ A からの転送要求に応じて読み出されたインプットキャプチャレジスタの値を保持します。タイマ A 用の転送要求をトリガとして、ADMABUF に保持された値（＝前回の転送要求でタイマ A から読み出されたインプットキャプチャレジスタの値）およびタイマ A から読み出されたインプットキャプチャレジスタの値の 2 値がエイリアス領域に転送されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

11.2.13 A-DMAC 受信待ちレジスタ（ADMARVPR）

ADMARVPR は、読み出し／書き込み可能な 16 ビットのレジスタで、RCAN のモジュールの各メールボックス（MBx）に対応したフラグを持ちます。書き込みは、フラグをクリアするための 1 書き込みのみ可能です。

ADMARVPR と RCAN の MBx の対応を**表 11.8** に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするためには、レジスタを読み出して1を読み出せたクリア対象のビットにのみ、1を書き込んでください。
クリアしないビットには、読み出した値が0の場合でも0を書き込んでください。
CPUがフラグをリードした際に、CPUは0をリードしたにもかかわらず、フラグは1にセットされ内部的に1をリードされた状態になる場合があります。このとき、当該ビットに1を書き込むと、CPUが1をリードしていなくてもフラグがクリアされてしまいます。
本レジスタのフラグビットは他のモジュールのフラグと仕様が異なるため、CPUのライトによるフラグクリアの操作に注意してください。

表 11.8 ADMARVPR レジスタと RCAN のメールボックスの対応

ADMARVPR	ビット	RCAN のモジュール	MBx
ADMARVPR0	15～0	RCAN_A	31～16
ADMARVPR1	15～0		15～0
ADMARVPR2	15～0	RCAN_B	31～16
ADMARVPR3	15～0		15～0

RCAN からの転送要求に応じて MBx の内容をエイリアスに転送が完了した際に、MBx に対応するフラグが 1 にセットされます。RV ビットをクリアするには、RV ビットの 1 を読み出してから 1 を書き込みます。

11.2.14　A-DMAC 送信待ちレジスタ（ADMATVPR）

ADMATVPR は、読み出し／書き込み可能な 16 ビットのレジスタで、RCAN のモジュールの各メールボックス（MBx）に対応したフラグを持ちます。

ADMATVPR は、エイリアス領域から MBx に転送するメールボックス ID をソフトウェアから指定します。転送する MBx に対応するビットに 1 が設定されると、転送許可状態（DME＝1、DE＝1、TE＝0）でエイリアス領域から MBx への転送を行います。転送が完了した際に、MBx に対応するフラグがハードウェアにより 0 クリアされます。

RCAN モジュール側で送信に設定されていない MBx に対応するビットを 1 に設定することは禁止です。

RCAN 送信用チャネルが転送許可状態および中断状態（「**11.3.3　転送の中断と再開**」を参照）では、すべての ADMATVPR への書き込みは禁止です。

ADMATVPR と RCAN の MBx の対応を**表 11.9** に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.9　ADMATVPR レジスタと RCAN のメールボックスの対応

ADMATVPR	ビット	RCAN のモジュール	MBx
ADMATVPR0	15～0	RCAN_A	31～16
ADMATVPR1	15～1*		15～1*
ADMATVPR2	15～0	RCAN_B	31～16
ADMATVPR3	15～1*		15～1*

【注】　*　MB0 は受信専用のメールボックスのため指定不可です。したがって、対応する ADMATVPR レジスタのビット 0 への書き込みは無効です。

11.3 動作説明

11.3.1 エイリアス領域

A-DMAC によるデータ転送で、転送先および転送元となる内蔵 RAM 上の領域をエイリアス領域と呼びます。エイリアス領域の先頭アドレスは ADMAABR レジスタを用いて 32KB 単位で指定可能です。エイリアス領域のメモリマップ概要を図 11.2 に示します（ADMAABR がデフォルトの場合）。

ATU-III（タイマ A、C、F）用チャネルと RCAN 用チャネルでは、各チャネル用のエイリアス領域の ADMAABR で指定したアドレスに対する相対アドレスは固定です（「11.3.2（2） ATU-III（タイマ A、C、F）用チャネルの動作」および「11.3.2（4） RCAN 用チャネルの動作」を参照）。

一方、ATU-III（タイマ G）用チャネル、ADC 用チャネル、RSPI 用チャネル、および SCI 用チャネルは、各チャネル用のエイリアス領域を設定可能です。ADMAAR レジスタと ADMATCR レジスタで、それぞれ先頭アドレスと領域サイズを指定します（「11.2.8 A-DMAC 転送カウントレジスタ（ADMATCR）」および「11.2.9 A-DMAC エイリアスポインタレジスタ（ADMAAR）」を参照）。

【注】 ADMAAR と ADMATCR の設定によっては、各チャネル用のエイリアス領域同士のオーバラップまたは内蔵 RAM の最大アドレスを超えたエイリアス領域といった不正な設定は可能ですが、こうした不正な設定をハードウェアでは検出しません。

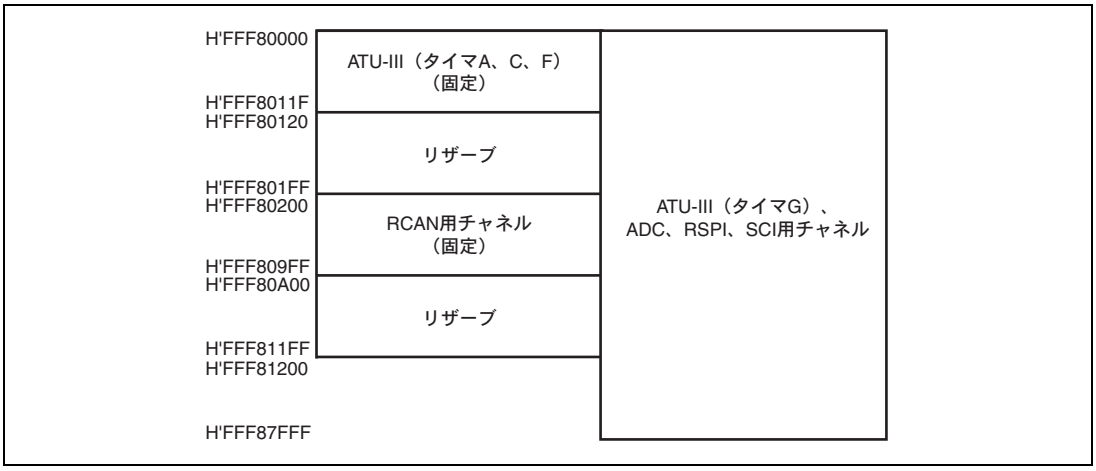


図 11.2 エイリアス領域のメモリマップ概要

11.3.2 各チャネルの動作

（1） ATU-III（タイマ G）用チャネル、ADC 用チャネルの動作

- **概要**

ATU-III（タイマG）用チャネル（Ch0）は、ポートを介したADCの入力信号の切り替え設定を補助します。タイマGからの転送要求を要因とし、エイリアス領域からADCの入力を制御するポートGへの転送を行います。

ADC用のチャネル（Ch1）は、ADCのA/D変換結果の読み出しを補助します。Ch1は、ADCのA/D変換結果を格納するレジスタのADR0からエイリアス領域への転送を行います。

ATU-III（タイマG）用チャネルおよびADC用チャネルのエイリアス領域は、ADMAARレジスタとADMATCRレジスタを設定することで指定できます。

転送の概要を**図11.3**に示します。

- **転送要求**

Ch0：タイマG2のコンペアマッチ

Ch1：ADCのADC_A、AN0の割り込み変換終了

- **アドレッシング**

レジスタ側のアドレッシングは固定（増減しない）です。

エイリアス領域のアドレッシングは1転送単位を実行するごとにポストインクリメントします（Ch0は1番地、Ch1は2番地ずつ）。

ADMATCR＝1かつADMARTCR≠0の状態で、次の転送が行われた場合、ADMATCRとADMAARは、それぞれのリロードレジスタの値に更新されます。したがって、ADMAAR＝ADMARAR、ADMATCR＝ADMARTCRと設定することで、エイリアス領域に環状リスト（リングバッファ）のデータ構造を実現します。

- **転送フロー**

以下の順序でデータを転送します。データ転送のフローチャートを**図11.4**に示します。

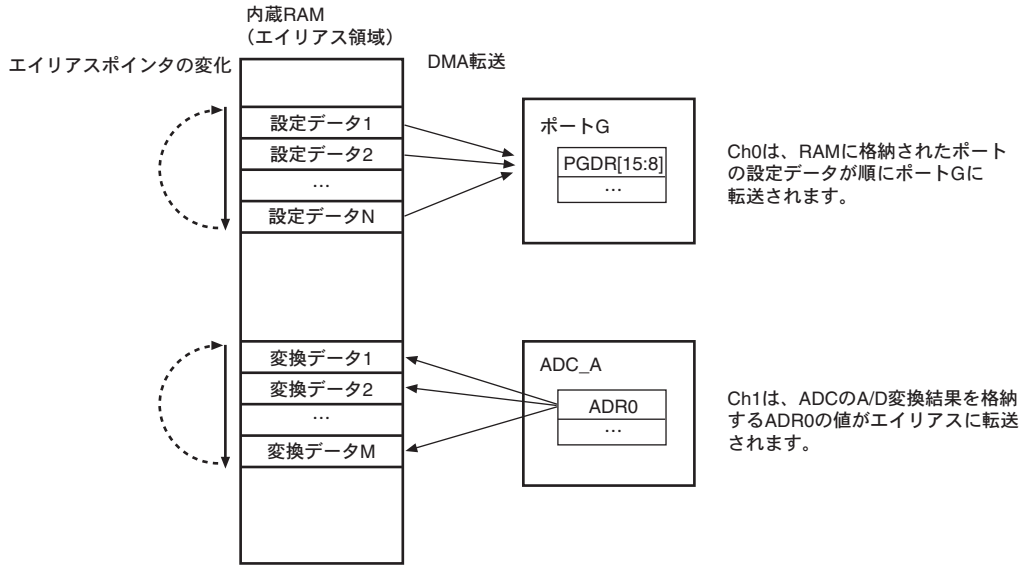
1. リロードレジスタのADMATCRとADMAARを設定します。
2. エイリアス領域の先頭番地をADMAARで指定します。次に転送回数をADMATCRで指定します。
3. 転送許可状態（DME＝1、NMIF＝0、ADMATCR≠0）で転送要求が発生すると1回の転送を行い、ADMATCRがデクリメントされ、ADMAARが更新されます。
4. ADMATCR＝1かつADMARTCR≠0の状態で転送を行ったときに、ADMATCRとADMAARの値に、それぞれのリロードレジスタの値が転送されます。
5. NMI割り込みが発生した場合およびDMEビットが0に設定された場合には、転送を中断します。また、ADMATCR≠0のときにADMATCRに0を書き込んだ場合は、転送禁止になります。

- **注意事項**

ADMAAR、ADMATCRの設定に先立ち、それぞれのリロードレジスタ（ADMARAR、ADMARTCR）の設定を行ってください。この手順でレジスタが設定されない場合、意図どおりにリロード機能が動作しない場合があります。

Ch0の転送元のエイリアス領域には、ADCの入力信号の切り替え設定データを、各バイトの上位4ビットに設定してください。

Ch1について、転送許可状態では、転送先のエイリアス領域の内容は転送要求のたびにアドレスレジスタが更新されます。したがって、読み出しを行う前にエイリアスの内容が上書きされることがありえます。



【注】 エイリアスポインタは、ADMATCRで指定された回数の転送を行うとリロードされます。

図 11.3 転送の概要（ATU-III（タイマ G）用チャネル、ADC 用チャネル）

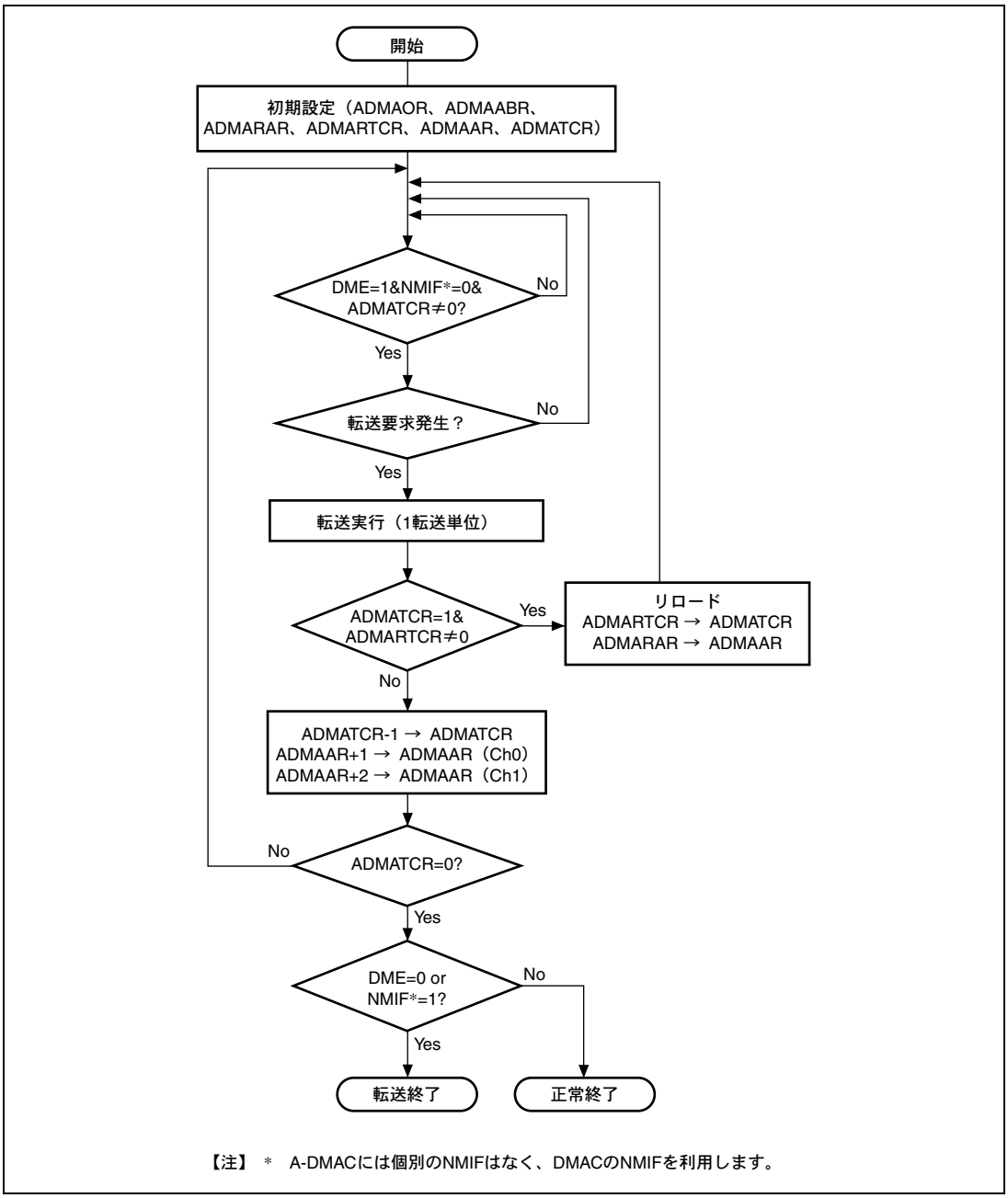


図 11.4 DMA 転送フローチャート（ATU-III（タイマ G）用チャネル、ADC 用チャネル）

(2) ATU-III（タイマ A、C、F）用チャネルの動作

- **概要**

ATU-III（タイマA、C、F）用チャネルは、ATU-IIIのレジスタからエイリアス領域への転送を行います。

各チャネルのエイリアス領域のサイズは以下のとおりです。

タイマA用チャネル：8バイト（32ビットレジスタ2値分の領域）

タイマC用チャネル：4バイト

タイマF用チャネル：8バイト（32ビットレジスタ2値分の領域）

各チャネルの転送元レジスタの名称と転送先アドレスの関係は、**表11.10**を参照してください。転送の概要を**図11.5**に示します。

- **転送要求**

各チャネルに対応するATU-IIIのチャネルのインプットキャプチャ割り込みを転送要求として用います。

- **アドレッシング**

転送元アドレスおよび転送先アドレスはともに固定（増減しない）です。

- **転送フロー**

以下の順序でデータを転送します。データ転送のフローチャートを**図11.6**に示します。

1. 転送許可状態（DE＝1、DME＝1、NMIF＝0）で転送要求が発生すると1回の転送が行われ、DVに1がセットされます。割り込み許可（IE＝1）であれば、CPUに転送完了割り込みを要求します。
2. 転送許可状態である間は、転送要求が発生するごとに1転送単位の転送が行われます。
3. NMI割り込みが発生した場合、あるいはDMEビットまたはDEビットが0に設定された場合は転送禁止になります。

- **注意事項**

転送許可状態では、転送先のエイリアス領域の内容は転送要求のたびに上書きされ、最新のレジスタ値が常にエイリアス領域に反映されます。

タイマA用チャネルでは、1回の転送要求に対して、読み出されたインプットキャプチャ値およびADMABUFレジスタに保持された値（＝前回の転送要求で読み出されたインプットキャプチャの値）がエイリアス領域に転送されます（**「11.3.4（1） ATU-III（タイマA）用チャネルに関する補足」**を参照）。

タイマF用チャネルは、対応するADMAMODEレジスタの設定によって、転送されるレジスタが異なります。ADMAMODEビットが0（デフォルト）の場合、CDRFレジスタが各チャネルのエイリアス領域の上位4バイトに転送されます。ADMAMODEビットが1の場合、CDRFレジスタとGRCFレジスタがそれぞれエイリアス領域の上位4バイト、下位4バイトに転送されます。

表 11.10 ATU-III（タイマ A、C、F）用チャネルの一覧

チャネル番号	転送要求元			転送レジスタ	エイリアス領域相対アドレス
2	ATU-III（タイマ A）	チャネル 0		ICRA0	H'000～H'007
3		チャネル 1		ICRA1	H'008～H'00F
4		チャネル 2		ICRA2	H'010～H'017
5		チャネル 3		ICRA3	H'018～H'01F
8	ATU-III（タイマ C）	サブブロック C0	チャネル 0	GRC00	H'030～H'033
9			チャネル 1	GRC01	H'034～H'037
10			チャネル 2	GRC02	H'038～H'03B
11			チャネル 3	GRC03	H'03C～H'03F
12		サブブロック C1	チャネル 0	GRC10	H'040～H'043
13			チャネル 1	GRC11	H'044～H'047
14			チャネル 2	GRC12	H'048～H'04B
15			チャネル 3	GRC13	H'04C～H'04F
16		サブブロック C2	チャネル 0	GRC20	H'050～H'053
17			チャネル 1	GRC21	H'054～H'057
18			チャネル 2	GRC22	H'058～H'05B
19			チャネル 3	GRC23	H'05C～H'05F
20		サブブロック C3	チャネル 0	GRC30	H'060～H'063
21			チャネル 1	GRC31	H'064～H'067
22			チャネル 2	GRC32	H'068～H'06B
23			チャネル 3	GRC33	H'06C～H'06F
24		サブブロック C4	チャネル 0	GRC40	H'070～H'073
25			チャネル 1	GRC41	H'074～H'077
26			チャネル 2	GRC42	H'078～H'07B
27			チャネル 3	GRC43	H'07C～H'07F
28	ATU-III（タイマ F）	チャネル 0		CDRF00、GRCF00	H'080～H'087
29		チャネル 1		CDRF01、GRCF01	H'088～H'08F
30		チャネル 2		CDRF02、GRCF02	H'090～H'097
31		チャネル 3		CDRF03、GRCF03	H'098～H'09F
32		チャネル 4		CDRF04、GRCF04	H'0A0～H'0A7
33		チャネル 5		CDRF05、GRCF05	H'0A8～H'0AF
34		チャネル 6		CDRF06、GRCF06	H'0B0～H'0B7
35		チャネル 7		CDRF07、GRCF07	H'0B8～H'0BF
36		チャネル 8		CDRF08、GRCF08	H'0C0～H'0C7

チャネル番号	転送要求元		転送レジスタ	エイリアス領域相対アドレス
37	ATU-III（タイマ F）	チャネル 9	CDRF09、GRCF09	H'0C8～H'0CF
38		チャネル 10	CDRF10、GRCF10	H'0D0～H'0D7
39		チャネル 11	CDRF11、GRCF11	H'0D8～H'0DF
40		チャネル 12	CDRF12、GRCF12	H'0E0～H'0E7
41		チャネル 13	CDRF13、GRCF13	H'0E8～H'0EF
42		チャネル 14	CDRF14、GRCF14	H'0F0～H'0F7
43		チャネル 15	CDRF15、GRCF15	H'0F8～H'0FF
44		チャネル 16	CDRF16、GRCF16	H'100～H'107
45		チャネル 17	CDRF17、GRCF17	H'108～H'10F
46		チャネル 18	CDRF18、GRCF18	H'110～H'117
47		チャネル 19	CDRF19、GRCF19	H'118～H'11F

（3） RSPI 用チャネル、SCI 用チャネルの動作

- **概要**

RSPI用チャネルおよびSCI用チャネルは、偶数チャネルではレジスタからエイリアス領域への転送を、奇数チャネルでは逆方向の転送を行います。転送の概要を**図11.5**に示します。

チャネルのエイリアス領域のサイズは、［読み出し（書き込み）レジスタのサイズ］×［ADMATCRで指定する転送回数］に等しく、最大でRSPI用チャネルは2046バイト、SCI用チャネルは1023バイトです（**「11.2.7 A-DMAC転送モードレジスタ（ADMAMODE）」**および**「11.2.9 A-DMACエイリアスポインタレジスタ（ADMAAR）」**を参照）。

各チャネルの転送要求、転送元レジスタの名称と転送方向を**表11.11**に示します

- **転送要求**

各チャネルに対応するRSPI／SCIの受信／送信割り込みを転送要求として用います。転送許可状態では、1回の転送要求に対し1データの転送を行います。

RSPI用チャネルでは、偶数チャネルではRSPIの受信バッファフルに伴うDMA転送要求を、奇数チャネルではRSPIの送信バッファエンプティに伴うDMA転送要求を用います。

SCI用チャネルでは、偶数チャネルではSCIの受信データフルに伴うDMA転送要求を、奇数チャネルではSCIの送信データエンプティに伴うDMA転送要求を用います。

各チャネルに対応したADMATCRレジスタに転送回数を設定し、TEビットをクリアし（TEビットが1の場合のみ）、ADMAORのDMEビットを1に設定すると転送許可状態になります（**「11.3.6 転送許可／禁止の条件と割り込み要求」**を参照）。

- **アドレッシング**

レジスタ側のアドレッシングは固定（増減しない）です。

エイリアス領域のアドレッシングは1転送単位を実行するごとに増加します（RSPIは2番地、SCIは1番地ずつ）。

- **転送フロー**

以下の順序でデータを転送します。データ転送のフローチャートを**図11.6**に示します。

1. エイリアス領域の先頭をADMAARで指定します。次に転送回数をADMATCRで指定します。
2. 転送許可状態（DME＝1、NMIF＝0、ADMATCR≠0、TE＝0）で転送要求が発生すると1回の転送を行い、ADMATCRが1デクリメントされ、ADMAARがインクリメントされます。
3. ADMATCRが0になり指定された回数の転送を終えると、TEに1がセットされます。このとき、割り込み許可（IE＝1）であれば、CPUに割り込みを要求します。
4. NMI割り込みが発生した場合およびDMEビットが0に設定された場合には、転送を中断します。また、ADMATCR≠0のときにADMATCRに0を書き込んだ場合は、転送禁止になります。

- **注意事項**

転送が終了した状態（TE＝1、ADMATCR＝0）で再び転送許可に設定する場合は、ADMATCRの設定を行っ

てからTEビットを0にクリアしてください。TEビットの0クリアが先に行われた場合は、転送要求がそのまま割り込みコントローラに通知される場合があります（「11.3.6 転送許可／禁止の条件と割り込み要求」を参照）。

表 11.11 RSPI 用チャネル、SCI 用チャネルの一覧

チャネル番号	転送要求元		転送要求信号	転送レジスタ	転送方向	転送バイト
56	RSPI	チャネル A	受信バッファフル（SPRI）	SPDRA	IO→RAM	2
57			送信バッファエンプティ（SPTI）	SPDRA	IO←RAM	2
58		チャネル B	受信バッファフル（SPRI）	SPDRB	IO→RAM	2
59			送信バッファエンプティ（SPTI）	SPDRB	IO←RAM	2
62	SCI	チャネル A	受信データフル	SCRDR1A	IO→RAM	1
63			送信データエンプティ	SCTDR1A	IO←RAM	1
64		チャネル B	受信データフル	SCRDR1B	IO→RAM	1
65			送信データエンプティ	SCTDR1B	IO←RAM	1
66		チャネル C	受信データフル	SCRDR1C	IO→RAM	1
67			送信データエンプティ	SCTDR1C	IO←RAM	1

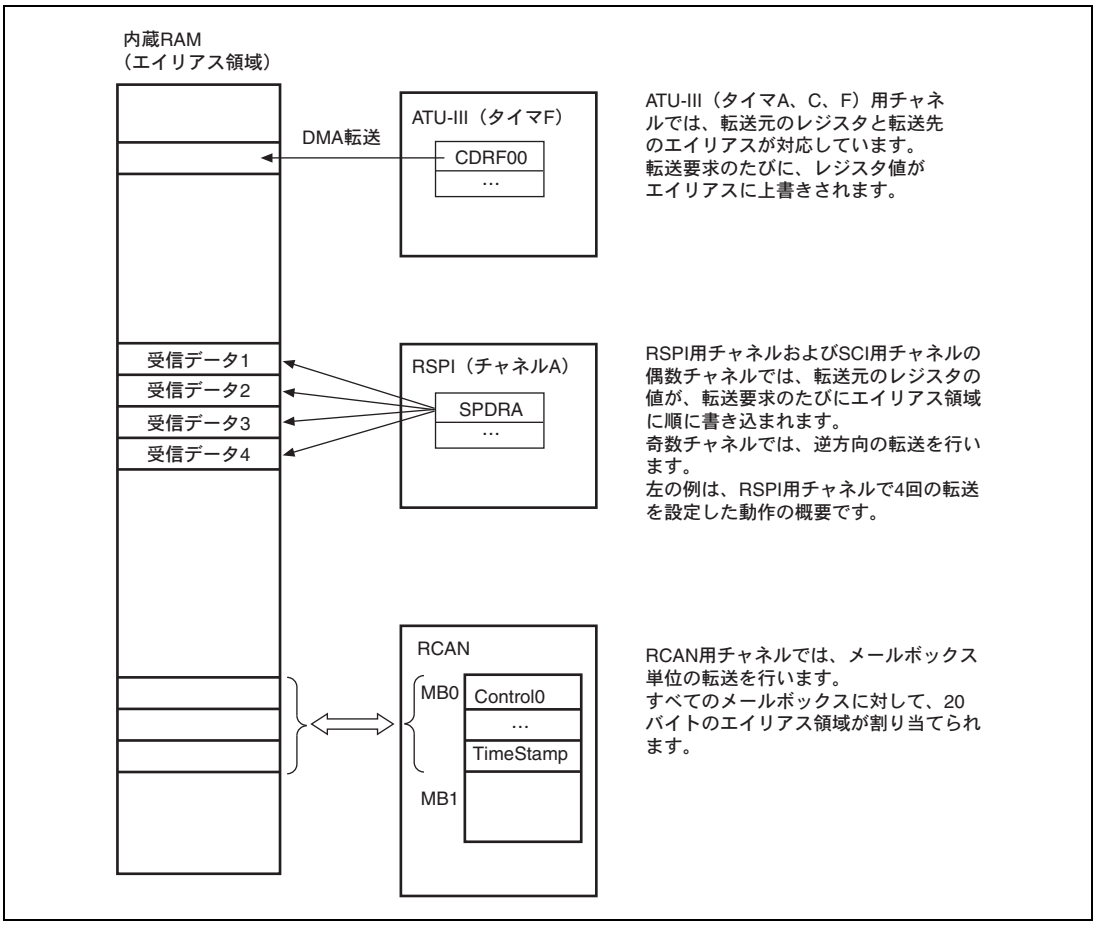
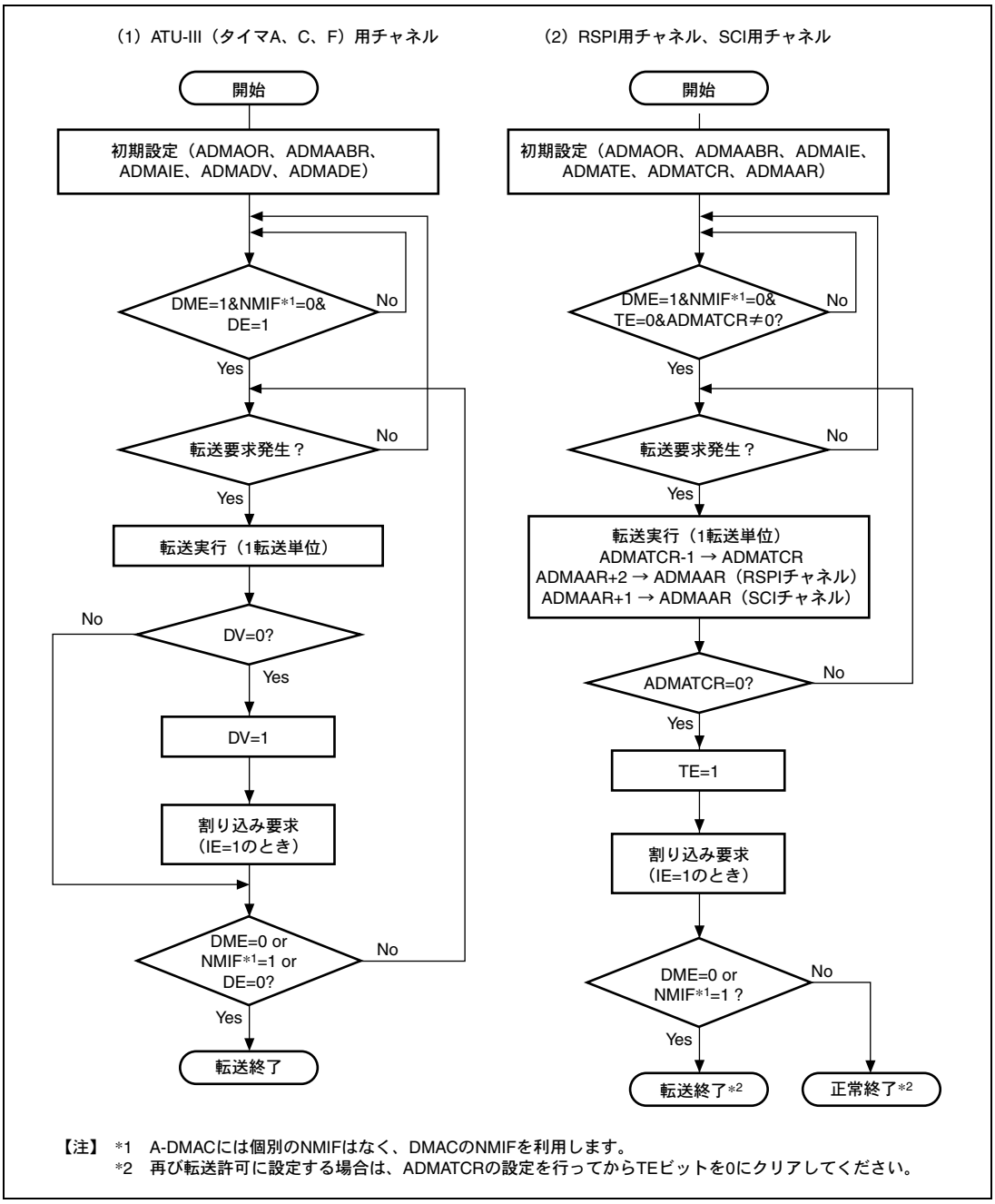


図 11.5 転送の概要
（ATU-III（タイマ A、C、F）用チャネル、RSPI 用チャネル、SCI 用チャネル、RCAN 用チャネル）



【注】 *1 A-DMACには個別のNMIFはなく、DMACのNMIFを利用します。
*2 再び転送許可に設定する場合は、ADMATCRの設定を行ってからTEビットを0にクリアしてください。

図 11.6 DMA 転送フローチャート
（ATU-III（タイマ A、C、F）用チャネル、RSPI 用チャネル、SCI 用チャネル）

（4） RCAN 用チャネルの動作

- **概要**

RCAN用チャネルは、RCANモジュールのメールボックス（MBx）とエイリアス領域の転送を行います。Ch72は受信転送（MBxからエイリアスへ）を行います。Ch74は送信転送（エイリアスからMBxへ）を行います。転送の概要を**図11.5**に示します。

転送するMBxとエイリアス領域のアドレスの対応を**表11.12**に示します。各MBxのエイリアス領域は、32バイトごとに配置されています。受信および送信のエイリアス領域は共通です。

表 11.12 メールボックスとエイリアス領域のアドレスの対応

MBx	RCAN_A	RCAN_B
0	H'0200～H'0213	H'0600～H'0613
1	H'0220～H'0233	H'0620～H'0633
2	H'0240～H'0253	H'0640～H'0653
3	H'0260～H'0273	H'0660～H'0673
4	H'0280～H'0293	H'0680～H'0693
5	H'02A0～H'02B3	H'06A0～H'06B3
6	H'02C0～H'02D3	H'06C0～H'06D3
7	H'02E0～H'02F3	H'06E0～H'06F3
8	H'0300～H'0313	H'0700～H'0713
9	H'0320～H'0333	H'0720～H'0733
10	H'0340～H'0353	H'0740～H'0753
11	H'0360～H'0373	H'0760～H'0773
12	H'0380～H'0393	H'0780～H'0793
13	H'03A0～H'03B3	H'07A0～H'07B3
14	H'03C0～H'03D3	H'07C0～H'07D3
15	H'03E0～H'03F3	H'07E0～H'07F3
16	H'0400～H'0413	H'0800～H'0813
17	H'0420～H'0433	H'0820～H'0833
18	H'0440～H'0453	H'0840～H'0853
19	H'0460～H'0473	H'0860～H'0873
20	H'0480～H'0493	H'0880～H'0893
21	H'04A0～H'04B3	H'08A0～H'08B3
22	H'04C0～H'04D3	H'08C0～H'08D3
23	H'04E0～H'04F3	H'08E0～H'08F3
24	H'0500～H'0513	H'0900～H'0913
25	H'0520～H'0533	H'0920～H'0933
26	H'0540～H'0553	H'0940～H'0953
27	H'0560～H'0573	H'0960～H'0973
28	H'0580～H'0593	H'0980～H'0993
29	H'05A0～H'05B3	H'09A0～H'09B3
30	H'05C0～H'05D3	H'09C0～H'09D3
31	H'05E0～H'05F3	H'09E0～H'09F3

【注】 アドレスは 16 進数で、下位アドレスのみ表示しています。

1つのMBxあたり、ロングワード単位で5回転送し、合計20バイトが転送されます。転送するフィールドは、ID（4バイト）、LAFM（4バイト）、Data（8バイト）、Control1（2バイト）、TimeStamp（2バイト）です。

- **転送要求**

受信用チャネルはRCANからのMBxフルの通知を転送要求として用います。転送すべきMBxは、RCAN側のMBxのステータスをスキャンすることで検出しています。

送信用チャネルは、ソフトウェアにより転送が起動されます。

- **アドレッシング**

アドレッシングは、送信元および送信先とも増加です。

- **動作の詳細と転送フロー**

Ch72：

1回の転送要求で、1MBxの転送を行います。転送するMBx番号は、転送要求と同期してRCANから通知されます。

転送が完了したMBxに対しては、RVビットに1がセットされます。

RVビットに1がセットされたMBxの転送をRCANから要求された場合、A-DMACは転送を受け付けません。A-DMACはMBxの転送を完了したことをRCANに通知し、RCANは受信待ちレジスタ（またはフレーム待ちレジスタ）の対応するビットをクリアします。

データ転送のフローを以下に示します（**図11.7**）。

1. 転送許可状態（DME＝1、NMIF＝0、DE＝1）で、転送許可状態で転送要求が発生すると1MBxの転送が行われます。
2. 転送を行ったMBxに対応するRVビットに1がセットされます。
3. NMI割り込みが発生した場合、あるいは、DMEビットまたはDEビットに0が設定された場合は、転送を中断します（**「11.3.3　転送の中断と再開」**を参照）。また、1MBx転送中に、優先度の高いDMAチャネルに転送要求が発生した場合、チャネルは転送待ちになります。

Ch74：

送信待ちレジスタに転送するMBx番号をソフトウェアにより設定します。その後、転送許可状態とすると、指定されたMBxを優先度順に転送します（優先度はRCAN_A-MBx1→RCAN_A-MBx2→…）。

データ転送のフローを以下に示します（**図11.8**）。

1. 転送するMBx番号に対応するビットをADMATVPRに設定し、DEビットに1を設定します。MBxをまったく指定せずにDEビットに1を設定した場合は、5.に進みます。
2. 転送許可状態（DME＝1、NMIF＝0、DE＝1、TE＝0）では、1に設定されたTVビットに対応する1MBxの転送が行われます。
3. 転送を行ったMBxに対応するTVビットが0クリアされます。
4. 上記2.と3.のステップが、すべてのTVビットが0になるまで行われます。
5. すべてのTVビットが0となり、指定された転送を終えると、TEに1がセットされます。このとき、割り込

み許可（IE＝1）であれば、CPUに割り込みを要求します。

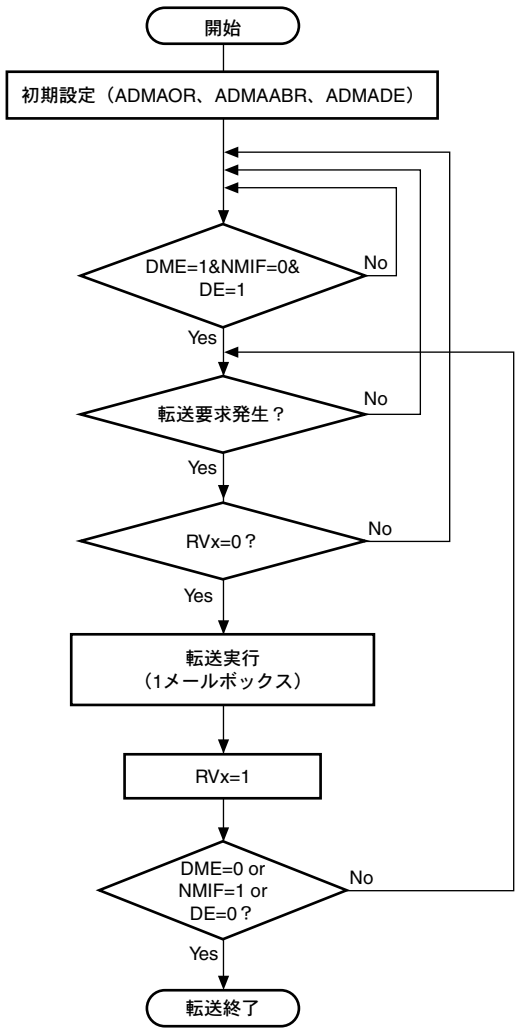
6. TEに1がセットされている期間は、TVビットを設定しても転送は行われません。
7. NMI割り込みが発生した場合、あるいは、DMEビットまたはDEビットに0が設定された場合は、転送を中断します（**「11.3.3　転送の中断と再開」**を参照）。また、1MBx転送中に、優先度の高いDMAチャネルに転送要求が発生した場合、チャネルは転送待ちになります。

- **注意事項**

受信転送では、RVビットがクリアされた時点で許可されます。したがって、エイリアス領域の参照は、矛盾を避けるためRVビットをクリアする前に行ってください。

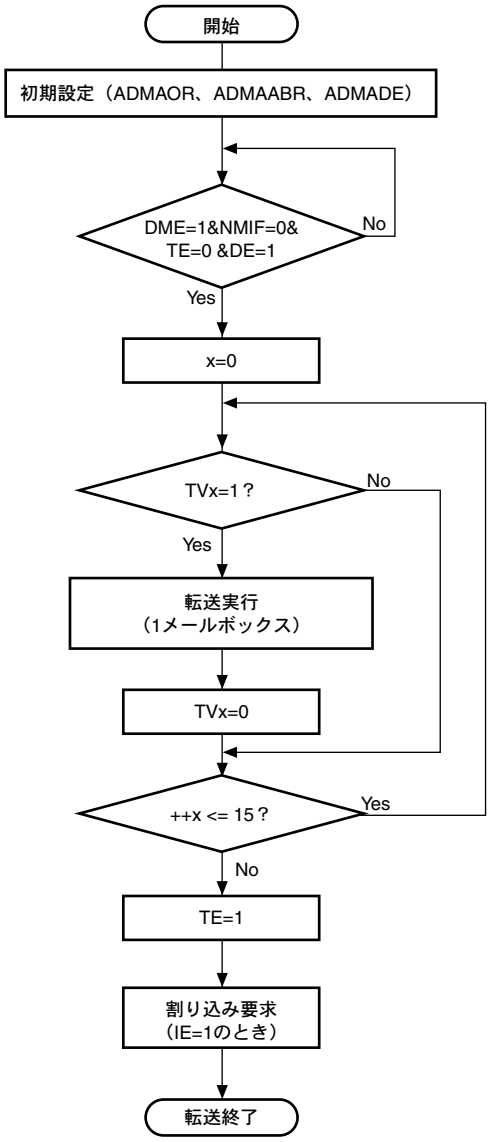
RCANのMBxがフルになる順番と、エイリアス領域に転送される順番（RVビットが1になる順番）は一致しません。これは、RVビットに1がセットされているとA-DMACは転送をMBx単位で受け付けないのと、転送するMBxを選択するアルゴリズムがFIFOではないからです。

送信転送では、すべてのTVビットが0の状態で転送許可に設定すると、何も転送を行わずにTEビットに1がセットされます。また、転送許可状態でTVビットに書き込むことは禁止です。



【注】 本図は、1MBx転送中に中断が発生しない場合に限定して簡略化しています。

図 11.7 DMA 転送フローチャート（RCAN 用受信用チャネル）



【注】 本図は、特定のADMATVPRレジスタの（TV0～15）に着目した処理に簡略化しています。
実際の動作は、すべてのADMATVPRレジスタのTV0～15をスキャンします。

図 11.8 DMA 転送フローチャート（RCAN 用送信用チャネル）

11.3.3 転送の中断と再開

表 11.13 に示す要因が発生すると、転送禁止になります（転送の中断）。1 転送単位の DMA 転送中にこれらの要因が発生した場合は、その 1 転送単位の転送は正常に行われ、各種レジスタ（ADMADV、ADMATE、ADMATCR、ADMAAR、ADMARVPR、ADMATVPR）は適宜更新されます。

表 11.13 転送中断の要因一覧

要　　因	転送中断の対象
NMI 割り込みの発生（DMAC の NMIF＝1）	全チャネル
DME ビットの 0 クリア	
DE ビットの 0 クリア	対応するチャネル

これらの要因が解除された場合、転送許可状態（転送要求待ち）になります。次の転送要求に対し、RSPI／SCI 用チャネルでは現在のレジスタ値を参照し、転送を行います（転送の再開）。一方、RCAN 用チャネルでは、MBx 転送中に中断となった場合、中断となった要因によって動作が異なります。

NMI 割り込みの解除：転送中の MBx の次データを転送（転送の再開）

DME（DE）ビットに 1 を設定：MBx の先頭からデータを転送（RCAN 受信用チャネルでは次の転送要求と同期して通知される MBx、RCAN 送信用チャネルでは最も優先度高い MBx）

11.3.4 A-DMAC によるデータ転送でのバス動作

- **アドレスモード**

  DMACのデュアルアドレスモードに相当する動作を行います。つまり、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスします。転送サイズはチャネルごとに固定です。

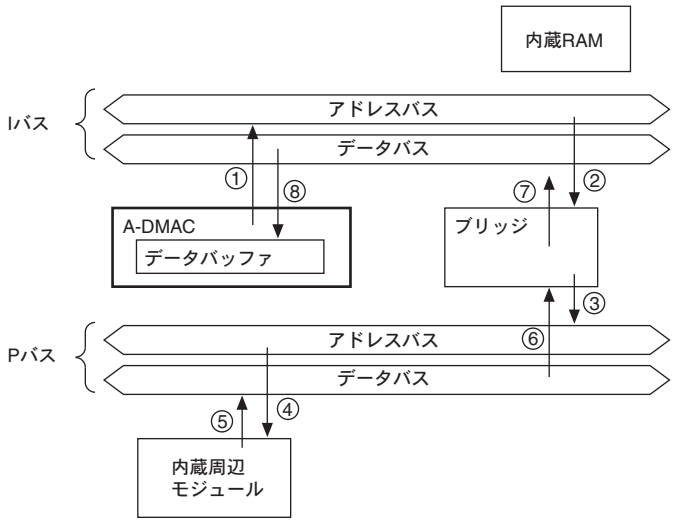
- **バスサイクル**

  A-DMACは、転送要求を受けるとIバスのバス権を要求し、バス権を得るとIバスに対し「読み出し→書き込み」の2回のバスサイクルからなる1転送単位のDMA転送を開始します。1転送単位の間、A-DMACはIバスのバス権を離しません。内蔵周辺モジュールから内蔵RAMへの転送を例に、データフローを図11.9に示します。

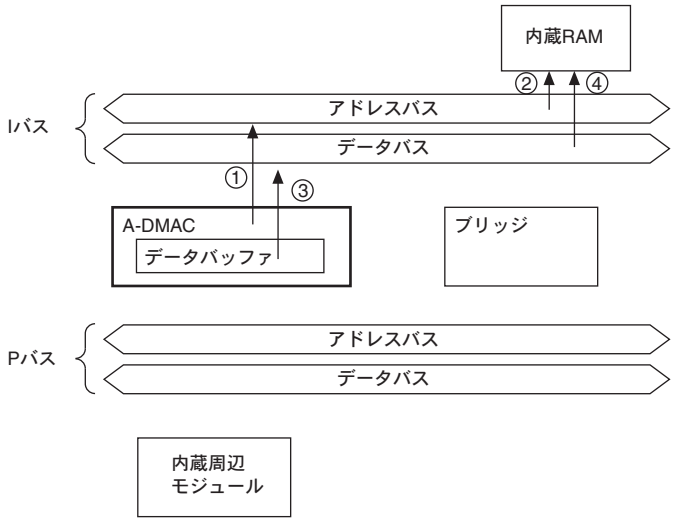
【注】 ATU-III（タイマ A および F）用チャネル、RSPI チャネルでは、1 転送単位は 2 回のバスサイクルではありません。

- **バスモード**

  サイクルスチールモードで転送します。1転送単位の転送を終えて、他に転送待ちのチャネル（「11.3.5 チャネルの優先順位」を参照）がある場合でも、いったんIバスのバス権を解放します。



1回目のバスサイクル
転送元の内蔵周辺モジュールからのデータを読み、A-DMAC内部に一時格納する。



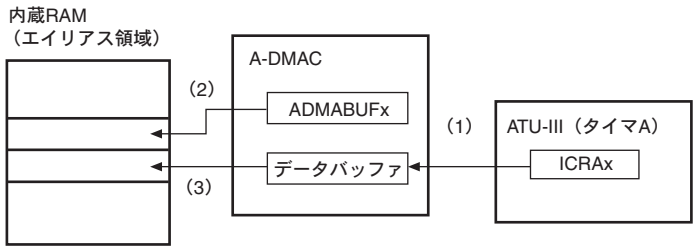
2回目のバスサイクル
A-DMAC内に格納したデータバッファの値を転送先の内蔵RAMに書き込む。

図 11.9 データフロー

（1） ATU-III（タイマ A）用チャネルに関する補足

1 転送単位の転送は、「読み出し→書き込み→書き込み」の 3 回のバスサイクルから成ります。タイマ A 用チャネルのデータフローを図 11.10 に示します。

【注】 DE が 0 から 1 に設定された後に、最初にエイリアス領域に転送された ADMABUF レジスタの値はインプットキャプチャされた値ではないので、値に意味がありません。したがって、この値は読み飛ばす必要があります。



【データフロー】
（1）インプットキャプチャレジスタの読み出し。
（2）ADMABUFレジスタの値を、エイリアスの上位32ビットに書き込み。
（3）インプットキャプチャレジスタの値を、エイリアスの下位32ビットに書き込み。

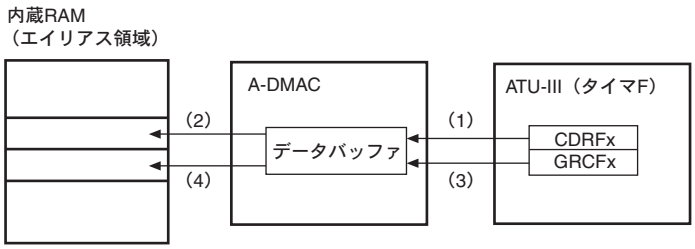
【注】1転送単位の間、A-DMACはIバスのバス権を離しません。

図 11.10 タイマ A 用チャネルのデータフロー

（2） ATU-III（タイマ F）用チャネルに関する補足

ADMAMODE レジスタの MODE ビットが 1 の場合、1 転送単位の転送は、「読み出し→書き込み→読み出し→書き込み」の 4 回のバスサイクルから成ります。タイマ F 用チャネルのデータフローを**図 11.11** に示します。

ADMAMODE レジスタの MODE ビットが 0 の場合は、1 転送単位の転送は、「読み出し→書き込み」の 2 回のバスサイクルからなります（**「11.3.4　A-DMAC によるデータ転送でのバス動作」**を参照）。



【データフロー】
（1）CDRFxレジスタの読み出し
（2）エイリアスの上位32ビットに書き込み
（3）GRCFxレジスタの読み出し（MODE=1の場合のみ）
（4）エイリアスの下位32ビットに書き込み（MODE=1の場合のみ）

【注】1転送単位の間、A-DMACはIバスのバス権を離しません。

図 11.11　タイマ F 用チャネルのデータフロー

（3） RSPI 用チャネルに関する補足

RSPI と A-DMAC とは専用のバスで接続され、A-DMAC から RSPI のデータレジスタ（SPDR）は、P バスを経由せずにアクセスすることが可能です。したがって、1 転送単位の転送は、送信チャネルでは I バスへの読み出し（エイリアス領域の読み出し）、受信チャネルは I バスへの書き込み（エイリアス領域の書き込み）という 1 回のバスサイクルで実現できます。この結果、RSPI との 1 データ転送は、より高速に行うことが可能となります。

RSPI 用チャネルのデータフローを図 11.12 に示します。

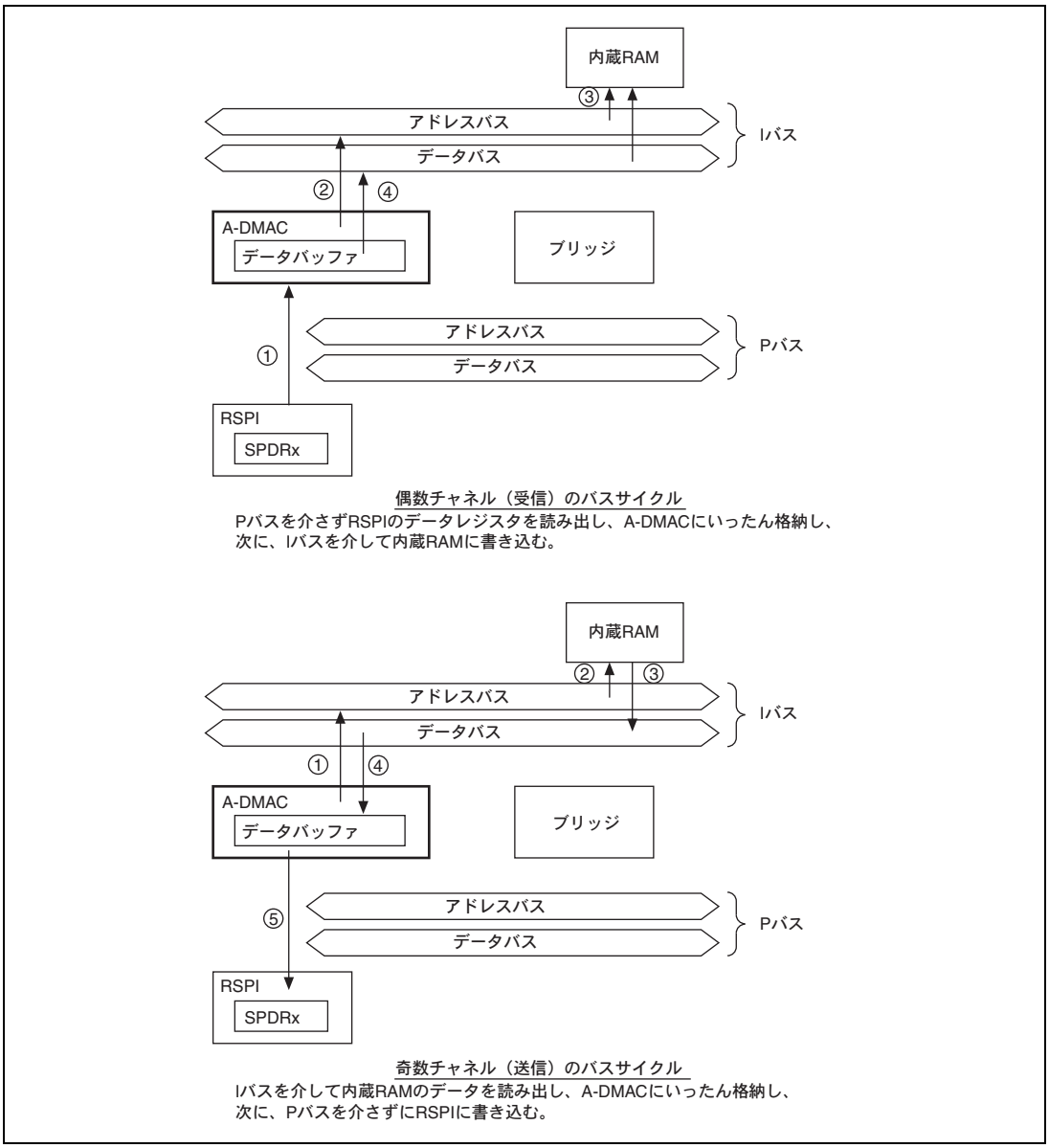


図 11.12 RSPI 用チャネルのデータフロー

11.3.5 チャネルの優先順位

複数のチャネルに同時に要求があった場合は優先度の高い順に処理されます。この優先順位は固定です（Ch0＞…＞Ch74）。

RCAN 用チャネルの転送中に、優先度の高いチャネルに要求があった場合は、RCAN 用チャネルの転送は割り込まれ、優先度の高い割り込みが先に処理されます。RCAN の送信チャネルの転送中に RCAN 受信チャネルの要求があった場合は、同様に、RCAN の送信転送は割り込まれ、RCAN 受信転送が終了するまで RCAN 送信転送は待ち状態になります。

Ch0 と Ch72 に同時に転送要求が発生し、Ch72 の動作中に Ch1 の転送要求が発生した場合の A-DMAC の動作を**図 11.13** に示します。

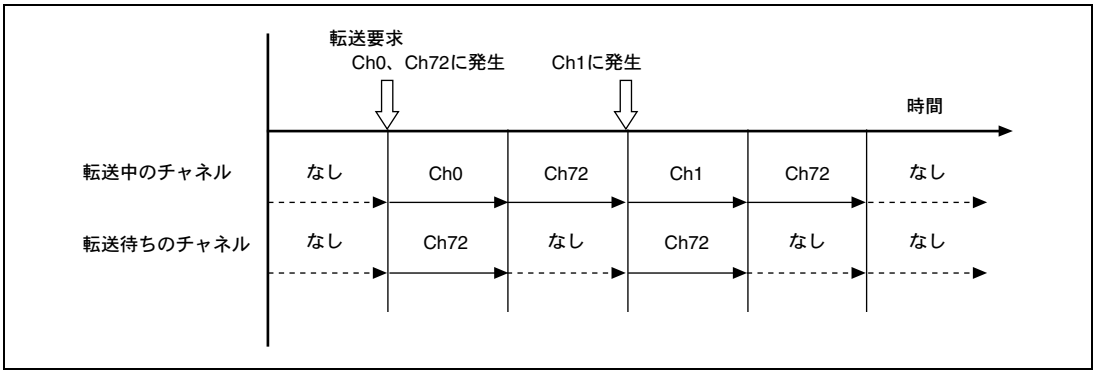


図 11.13 チャネルの優先順位

11.3.6 転送許可／禁止の条件と割り込み要求

各チャネルの転送許可／禁止の条件を**表 11.14** に示します。

周辺モジュールからの割り込み要求信号を、A-DMAC では転送起動要因として用います。A-DMAC が割り込み要求を発生する条件は以下の 2 つです。

（1） A-DMAC による転送完了割り込み（Ch0、Ch1、Ch72 以外）

転送許可状態の場合、周辺モジュールからの割り込み要求信号は A-DMAC の転送起動要因として利用され、INTC 側に通知されません。その代わり、その割り込み要因を用いた A-DMAC による転送が完了し、DV ビットまたは TE ビットに 1 がセットされるタイミングで、INTC に転送完了を通知します（転送完了割り込み）。TE ビットまたは DV ビットをクリアすることで、転送完了割り込みはクリアされます。

転送完了割り込みは、IE を 0 に設定することでマスクすることができます。

（2） 周辺モジュールによる転送要求割り込みのスルー（Ch72、Ch74 以外）

周辺モジュールからの割り込み要求信号は、**表 11.14** に示す転送禁止（マスク）状態では A-DMAC でマスクされ、一方、転送禁止（スルー）の状態では INTC にそのまま通知されます。スルーされた転送要求割り込みは IE を 0 に設定してもマスクできません。

【注意事項】

- A-DMACとINTCの接続関係およびA-DMACやDMACによる転送要因のマスクの概要は、**「第8章　割り込みコントローラ（INTC）」**を参照してください 。
- 各チャネルの割り込み要求は、INTCでは異なる割り込み要因として扱われます。また、周辺モジュールからの同じ割り込み要求に対する、A-DMACによる転送完了割り込みと転送要求割り込み（スルー）はINTC側では同じ割り込みベクタに割り当てられます。
- タイマCのGRCx0に対応するチャネル（Ch8、Ch12、Ch16、Ch20、Ch24）からの転送要求割り込みはDMAC経由でINTCに通知され、その他のチャネルはINTCに直接通知されます。
- 転送禁止（マスク）状態では、DMA転送要求はA-DMACによりマスクされます。つまり、転送は行われず、かつ転送要求割り込みもINTCに通知しません。
- 転送完了割り込みがクリアされない状態で転送中断状態（**「11.3.3　転送の中断と再開」**を参照）となる事象が発生した場合、割り込み要求は保持されます。

表 11.14（1）　ATU-III（タイマ G）用チャネル、ADC 用チャネルの転送許可／禁止の条件

NMI	DME	TCR	転送要求
1	x	x	転送禁止（マスク）
0	0	x	転送禁止（スルー）
	1	TCR＝0	転送禁止（スルー）
		TCR!＝0	転送許可

【記号説明】x：Don't care

表 11.14（2）　ATU-III（タイマ A、C、F）用チャネルの転送許可／禁止の条件

NMI	DME	DE	DV	転送要求
1	x	x	x	転送禁止（マスク）
0	0	x	x	転送禁止（スルー）
	1	0	x	転送禁止（スルー）
		1	x	転送許可

【記号説明】x：Don't care

表 11.14（3） RSPI／SCI 用チャネルの転送許可／禁止の条件

NMI	DME	TCR	TE	転送要求
1	x	x	x	転送禁止（マスク）
0	0	x	x	転送禁止（スルー）
	1	TCR＝0	0	転送禁止（スルー）
			1	転送禁止（マスク）
		TCR!＝0	0	転送許可
			1	転送禁止（マスク）

【記号説明】x：Don't care

表 11.14（4） RCAN 用受信チャネルの転送許可／禁止の条件

NMI	DME	DE	転送要求
1	x	x	転送禁止
0	0	x	転送禁止
	1	0	転送禁止
		1	転送許可

【記号説明】x：Don't care

表 11.14（5） RCAN 用送信チャネルの転送許可／禁止の条件

NMI	DME	DE	TE	転送要求
1	x	x	x	転送禁止
0	0	x	x	転送禁止
	1	0	x	転送禁止
		1	0	転送許可
			1	転送禁止

【記号説明】x：Don't care

11.4 使用上の注意

ADMADV、ADMATE、および ADMARVPR では、CPU がフラグをリードした際に、CPU は 0 をリードしたにもかかわらず、フラグは 1 にセットされ内部的に 1 をリードされた状態になる場合があります。

このとき、当該ビットに 0（ADMADV、ADMATE の場合）もしくは 1（ADMARVPR の場合）を書き込むと、CPU が 1 をリードしていなくてもフラグがクリアされてしまいます。

これを防ぐため、各レジスタの【注】に記載されているクリア条件を守ってください。

これらレジスタのフラグビットは他のモジュールのフラグと仕様が異なるため、CPU のライトによるフラグクリアの操作に注意してください。

12. アドバンストタイマユニット-III（ATU-III）

ATU-III は、タイマ A～J の 9 種類のタイマブロックと、プリスケーラ、および共通制御部から構成されています。各タイマブロックは、それぞれが異なる機能を備えており、互いに独立して動作することができます。また、クロックバスを介して複数のタイマを連動して動作させることもできます。タイマブロックは、同一の機能を持った 1 個以上のタイマサブブロックによって構成され、各サブブロックはさらに 1 個以上のチャネルを備えています。

12.1 特長

- 最大100本のパルス入出力処理が可能です。
- 147本の割り込み要因を生成可能です。これによって、ダイレクトメモリアクセスコントローラ（DMAC）および専用ダイレクトメモリアクセスコントローラ（A-DMAC）の起動、あるいはCPUによる割り込み処理の起動が可能です。
- A/D専用に22本のパルス出力（タイマD：16本、タイマG：6本）を備えています。
- 4チャネルのプリスケーラを内蔵しており、内部周辺クロック（Pφ）を1/1～1/1024に分周した4種類のクロックを生成可能です。
- タイマの各チャネルは、カウントソースとして、プリスケーラの生成する4つの分周クロック、2本の外部クロック、タイマBの生成するアングルクロックを選択可能です。

（1） タイマ A

タイマ A は、32 ビットフリーランカウンタと、4 本の 32 ビットインプットキャプチャレジスタを備え、次の動作が可能です。

- 立ち上がりエッジ、立ち下がりエッジ、および両エッジの検出が可能。
- キャプチャタイミングでA-DMACを起動可能。
- 各外部入力端子に最大1.64msecのノイズキャンセル機能あり。
- キャプチャ割り込み、カウンタオーバフロー割り込み発生可能。

(2) タイマ B

タイマ B は、エッジ間計測ブロック、倍周クロック生成ブロック、倍周クロック補正ブロックの 3 つのブロックを持ちます。

1. エッジ間計測ブロックは、32ビット入力エッジ間計測タイマ、アウトプットコンペア、インプットキャプチャレジスタ（3本）、8ビットイベントカウンタ、アウトプットコンペアレジスタを備え、次の動作が可能です。

- 外部入力イベントのエッジ入力でキャプチャ可能(エッジは立ち上がり／立ち下がり／両エッジを選択可能)
- 外部入力イベントのイベントコンペアマッチでキャプチャ可能。
- キャプチャ割り込み、コンペアマッチ割り込み（エッジ間計測コンペアマッチ、イベントコンペアマッチ）発生可能。

2. 倍周クロック生成ブロックは、24ビットのリロードカウンタ、リロードレジスタ、20ビット倍周クロックカウンタ、アウトプットコンペアレジスタを備え、次の動作が可能です。

- エッジ間計測ブロックでキャプチャされた値を任意値（1～4095倍）でリロードカウント可能。
- リロードカウンタのアンダフローで生成した内部クロックを20ビット倍周クロックカウンタの入力として使用可能。
- コンペアマッチ割り込み発生可能。

3. 倍周クロック補正ブロックでは、20ビットの補正イベントカウンタ、20ビットの補正倍周クロックカウンタ、倍周補正クロック生成カウンタに、補正カウンタクリアレジスタを備え、次の動作が可能です。

- 倍周クロック生成ブロックのリロードカウントをもとに、他のタイマのカウントソースとなる倍周補整クロックを出力可能。
- 倍周補正クロック生成カウンタと補正カウンタクリアレジスタのコンペアマッチで、タイマDのフリーランカウンタのクリアが可能。

(3) タイマ C

タイマ C は、同一の機能を持つ 5 個のサブブロックによって構成され、各サブブロックはさらに 4 つのチャネルによって構成されます。各サブブロックは 24 ビットのフリーランニングカウンタ 1 本と 4 本の 24 ビット汎用レジスタを備え、次の動作が可能です。

- インプットキャプチャ、アウトプットコンペアの選択が可能。
- インプットキャプチャの検出エッジを、立ち上がり、立ち下がり、または両エッジから選択可能。
- 各インプットキャプチャトリガ入力に最大1.64msecのノイズキャンセル機能あり。
- コンペアマッチによって、1出力、0出力、またはトグル出力の波形出力が可能。
- PWMモードで、各サブブロック3本のPWM波形出力が可能。
- インプットキャプチャ／コンペアマッチ割り込み、およびオーバフロー割り込みの発生が可能です。20本のインプットキャプチャ／コンペアマッチ割り込みはA-DMACの起動、5本はDMACの起動が可能です。

（4） タイマ D

タイマ D は、同一の機能を持つ 4 個のサブブロックによって構成され、各サブブロックはさらに 4 つのチャネルによって構成されます。各サブブロックは、24 ビットフリーランカウンタを 2 本、オフセットベースレジスタ、および 4 本のチャネルからなり、各チャネルには、4 本の 24 ビットアウトプットコンペアレジスタ、4 本のジェネラルレジスタ、4 本の 24 ビットワンショットパルス出力用ダウンカウンタを備えています。タイマ D は次の動作が可能です。

- ソフトウェアによるダウンカウンタのカウント開始が可能であり、ワンショットパルスの生成が可能。
- コンペアマッチレジスタ、ジェネラルレジスタのコンペアマッチをダウンカウンタのスタートトリガとすることができ、オフセット付きワンショットパルス生成が可能。
- ジェネラルレジスタでのコンペアマッチによりダウンカウントを停止させることができ、ワンショットパルス出力波形の強制遮断が可能。
- コンペアマッチレジスタ、ジェネラルレジスタによるコンペアマッチ出力が可能。
- コンペアマッチレジスタのコンペアマッチをトリガとし、ジェネラルレジスタでカウント値をキャプチャすることが可能。
- タイマAからのトリガによりフリーランカウンタ値のキャプチャが可能。
- タイマBからのカウンタクリア機能を搭載。
- コンペアマッチ割り込み16本、カウンタオーバフロー割り込み8本、アンダフロー割り込み16本が発生可能。アンダフロー割り込みの16本はDMACの起動に対応。
- A/D起動用にコンペアマッチA、コンペアマッチB割り込みを示すパルス出力が可能（A：8本、B：8本）。
- 出力波形の反転切り替えが可能。

（5） タイマ E

タイマ E は、同一の機能を持つ 5 個のサブブロックによって構成され、各サブブロックはさらに 4 つのチャネルによって構成されます。各チャネルは、16 ビットフリーランカウンタ、デューティレジスタ、サイクルレジスタ、デューティリロードレジスタ、および、サイクルリロードレジスタを備え、次の動作が可能です。

- 周期とデューティ0、100%を任意に設定したPWM出力が可能です。
- オンデューティとオフデューティを切り替え可能です。
- デューティリロードレジスタ／サイクルリロードレジスタの値を周期ごとに、デューティレジスタ／サイクルレジスタに転送することができます。
- カウンタのH'0000書き込みによってPWMサイクルを強制的に終了し、新たなPWMサイクルを開始できます。
- シャットオフ入力により、PWM出力を遮断することが可能です。
- 周期ごとに割り込み要求（20本）を出力可能です（うち5本はDMAC起動対応）。

（6） タイマ F

タイマ F は、20 個のサブブロックによって構成されます。各サブブロックは、2 本の 24 ビットカウンタと、1 本の 16 ビットカウンタ、3 本（サブブロック 12～15 のみ、その他は 2 本）の 24 ビット汎用レジスタ、1 本の 16 ビット汎用レジスタを備え、次の動作が可能です。

- 外部入力端子に最大1.64msecのノイズキャンセル機能あり。
- 7つの動作モードをもち、一定時間内入力エッジカウント、有効エッジ入力間隔、入力ハイ／ローレベル期間の計測、PWM入力波形計測、回転速度／パルス計測、およびアップ／ダウンカウント、4逓倍イベントカウントが可能。
- インプットキャプチャ割り込みによってA-DMACを起動可能。
- オーバフロー割り込み発生可能。

（7） タイマ G

タイマ G は、同一の機能を持つ 6 個のサブブロックによって構成されます。各サブブロックは、16 ビットフリーランカウンタ、アウトプットコンペアレジスタを備え、次の動作が可能です。

- コンペアマッチをトリガにイベント出力可能であり、AD起動／割り込みトリガとして使用可能。
- コンペアマッチ割り込みによってDMACを起動可能。

（8） タイマ H

タイマ H は、1 組の 16 ビットカウンタと 16 ビットコンペアマッチレジスタ、および 1 本の 32 ビットカウンタからなるタイマです。次の動作が可能です。

- 16ビットカウンタと16ビットコンペアマッチレジスタにより、内部周辺クロック（Pφ）の1～2^{26}倍の時間計測が可能。またコンペアマッチ割り込みとして出力可能。
- コンペアマッチ発生回数をカウントする32ビットカウンタ搭載。

（9） タイマ J

タイマ J は、同一の機能を持つ 2 個のサブブロックによって構成されます。各サブブロックは、16 ビットカウンタ、アウトプットコンペアレジスタ、9 段の FIFO レジスタを備え、次の動作が可能です。

- 立ち上がりエッジ、立ち下がりエッジ、および両エッジの検出が可能。
- 各外部入力端子に最大1.64msecのノイズキャンセル機能あり。
- 外部入力端子のエッジ検出時に、FIFOレジスタにカウンタ値（エッジ入力間隔）をキャプチャ可能。
- FIFOフルとなったタイミングでDMACを起動可能。
- コンペアマッチレジスタを用いてFIFOのキャプチャ有効期間を制御可能。
- FIFOフル割り込み、カウンタオーバフロー、FIFOオーバフロー割り込み発生可能。

12.2 各レジスタのアドレス空間

ATU-III の各レジスタのアドレス配置について以下に示します。レジスタのアクセスについては、次の点に注意してください。

- リザーブビットへの書き込み動作では、必ず0を書き込んでください。
- 16ビットを超えるカウンタ、インプットキャプチャ、アウトプットコンペア、汎用レジスタへのアクセスは、書き込み、読み出しともに32ビットアクセスのみ可能です。16ビットおよび8ビットアクセスはできません。

表 12.1 共通制御部関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F000	ATUENR		CBCNT	NCMR
H'FFFF F004 : H'FFFF F0FC	（使用禁止領域）			

表 12.2 プリスケーラ関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F100	PSCR0		PSCR1	
H'FFFF F104	PSCR2		PSCR3	
H'FFFF F108 : H'FFFF F1FC	（使用禁止領域）			

表 12.3 タイマ A 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F200	（使用禁止領域）		TCRA	（使用禁止領域）
H'FFFF F204	TIOR1A		TIOR2A	
H'FFFF F208	TSRA	TIERA	（使用禁止領域）	
H'FFFF F20C	（使用禁止領域）			
H'FFFF F210	NCNTA0	NCRA0	NCNTA1	NCRA1
H'FFFF F214	NCNTA2	NCRA2	NCNTA3	NCRA3
H'FFFF F218 H'FFFF F21C	（使用禁止領域）			
H'FFFF F220	TCNTA			
H'FFFF F224	（使用禁止領域）			
H'FFFF F228	ICRA0			
H'FFFF F22C	ICRA1			
H'FFFF F230	ICRA2			
H'FFFF F234	ICRA3			
H'FFFF F238 : H'FFFF F2FC	（使用禁止領域）			

表 12.4 タイマ B 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F300	（使用禁止領域）			
H'FFFF F304	TCRB	TIORB	TSRB	TIERB
H'FFFF F308 : H'FFFF F30C	（使用禁止領域）			
H'FFFF F310	TCNTB0			
H'FFFF F314	ICRB0			
H'FFFF F318	OCRB0			
H'FFFF F31C	TCNTB1	OCRB1	（使用禁止領域）	
H'FFFF F320	ICRB1			
H'FFFF F324	ICRB2			
H'FFFF F328 H'FFFF F32C	（使用禁止領域）			
H'FFFF F330	LDB			
H'FFFF F334	RLDB			
H'FFFF F338	PIMR		（使用禁止領域）	
H'FFFF F33C	TCNTB2			
H'FFFF F340	TCNTB6			
H'FFFF F344	OCRB6			
H'FFFF F348	OCRB7			
H'FFFF F34C	（使用禁止領域）			
H'FFFF F350	TCNTB3			
H'FFFF F354	TCNTB4			
H'FFFF F358	TCNTB5			
H'FFFF F35C	TCCLRB			
H'FFFF F360 : H'FFFF F3FC	（使用禁止領域）			

表 12.5 タイマ C 関連レジスタ

番　地	31　+0 番地　24	23　+1 番地　16	15　+2 番地　8	7　+3 番地　0
H'FFFF F400	TSTRC	（使用禁止領域）	NCCRC0	NCCRC1
H'FFFF F404	NCCRC2	NCCRC3	NCCRC4	（使用禁止領域）
H'FFFF F408	（使用禁止領域）			
H'FFFF F40C				
H'FFFF F410	NCNTC00	NCNTC01	NCNTC02	NCNTC03
H'FFFF F414	NCRC00	NCRC01	NCRC02	NCRC03
H'FFFF F418	NCNTC10	NCNTC11	NCNTC12	NCNTC13
H'FFFF F41C	NCRC10	NCRC11	NCRC12	NCRC13
H'FFFF F420	NCNTC20	NCNTC21	NCNTC22	NCNTC23
H'FFFF F424	NCRC20	NCRC21	NCRC22	NCRC23
H'FFFF F428	NCNTC30	NCNTC31	NCNTC32	NCNTC33
H'FFFF F42C	NCRC30	NCRC31	NCRC32	NCRC33
H'FFFF F430	NCNTC40	NCNTC41	NCNTC42	NCNTC43
H'FFFF F434	NCRC40	NCRC41	NCRC42	NCRC43
H'FFFF F438	（使用禁止領域）			
H'FFFF F43C				
H'FFFF F440	TCRC0	TIERC0	TIORC0	
H'FFFF F444	TSRC0	（使用禁止領域）		
H'FFFF F448	GRC00			
H'FFFF F44C	GRC01			
H'FFFF F450	GRC02			
H'FFFF F454	GRC03			
H'FFFF F458	TCNTC0			
H'FFFF F45C	（使用禁止領域）			
H'FFFF F460	TCRC1	TIERC1	TIORC1	
H'FFFF F464	TSRC1	（使用禁止領域）		
H'FFFF F468	GRC10			
H'FFFF F46C	GRC11			
H'FFFF F470	GRC12			
H'FFFF F474	GRC13			
H'FFFF F478	TCNTC1			
H'FFFF F47C	（使用禁止領域）			
H'FFFF F480	TCRC2	TIERC2	TIORC2	
H'FFFF F484	TSRC2	（使用禁止領域）		
H'FFFF F488	GRC20			
H'FFFF F48C	GRC21			

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F490	GRC22			
H'FFFF F494	GRC23			
H'FFFF F498	TCNTC2			
H'FFFF F49C	（使用禁止領域）			
H'FFFF F4A0	TCRC3	TIERC3	TIORC3	
H'FFFF F4A4	TSRC3	（使用禁止領域）		
H'FFFF F4A8	GRC30			
H'FFFF F4AC	GRC31			
H'FFFF F4B0	GRC32			
H'FFFF F4B4	GRC33			
H'FFFF F4B8	TCNTC3			
H'FFFF F4BC	（使用禁止領域）			
H'FFFF F4C0	TCRC4	TIERC4	TIORC4	
H'FFFF F4C4	TSRC4	（使用禁止領域）		
H'FFFF F4C8	GRC40			
H'FFFF F4CC	GRC41			
H'FFFF F4D0	GRC42			
H'FFFF F4D4	GRC43			
H'FFFF F4D8	TCNTC4			
H'FFFF F4DC	（使用禁止領域）			
H'FFFF F4E0 : H'FFFF F4FC	（使用禁止領域）			

表 12.6 タイマ D 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F500	TSTRD	（使用禁止領域）		
H'FFFF F504 : H'FFFF F51F	（使用禁止領域）			
H'FFFF F520	TCNT1D0			
H'FFFF F524	TCNT2D0			
H'FFFF F528	OSBRD0			
H'FFFF F52C	TCRD0		TOCRD0	CMPOD0
H'FFFF F530	TCNT1D1			
H'FFFF F534	TCNT2D1			
H'FFFF F538	OSBRD1			
H'FFFF F53C	TCRD1		TOCRD1	CMPOD1
H'FFFF F540	TCNT1D2			
H'FFFF F544	TCNT2D2			
H'FFFF F548	OSBRD2			
H'FFFF F54C	TCRD2		TOCRD2	（使用禁止領域）
H'FFFF F550	TCNT1D3			
H'FFFF F554	TCNT2D3			
H'FFFF F558	OSBRD3			
H'FFFF F55C	TCRD3		TOCRD3	（使用禁止領域）
H'FFFF F560 : H'FFFF F57C	（使用禁止領域）			
H'FFFF F580	TIOR1D0		TIOR2D0	
H'FFFF F584	（使用禁止領域）	DSTRD0	（使用禁止領域）	DSRD0
H'FFFF F588	DCRD0		（使用禁止領域）	
H'FFFF F58C	TSRD0		TIERD0	
H'FFFF F590	OCRD00			
H'FFFF F594	OCRD01			
H'FFFF F598	OCRD02			
H'FFFF F59C	OCRD03			
H'FFFF F5A0	GRD00			
H'FFFF F5A4	GRD01			
H'FFFF F5A8	GRD02			
H'FFFF F5AC	GRD03			

番　地	31　+0 番地　24	23　+1 番地　16	15　+2 番地　8	7　+3 番地　0
H'FFFF F5B0	DCNTD00			
H'FFFF F5B4	DCNTD01			
H'FFFF F5B8	DCNTD02			
H'FFFF F5BC	DCNTD03			
H'FFFF F5C0	TIOR1D1		TIOR2D1	
H'FFFF F5C4	（使用禁止領域）	DSTRD1	（使用禁止領域）	DSRD1
H'FFFF F5C8	DCRD1		（使用禁止領域）	
H'FFFF F5CC	TSRD1		TIERD1	
H'FFFF F5D0	OCRD10			
H'FFFF F5D4	OCRD11			
H'FFFF F5D8	OCRD12			
H'FFFF F5DC	OCRD13			
H'FFFF F5E0	GRD10			
H'FFFF F5E4	GRD11			
H'FFFF F5E8	GRD12			
H'FFFF F5EC	GRD13			
H'FFFF F5F0	DCNTD10			
H'FFFF F5F4	DCNTD11			
H'FFFF F5F8	DCNTD12			
H'FFFF F5FC	DCNTD13			
H'FFFF F600	TIOR1D2		TIOR2D2	
H'FFFF F604	（使用禁止領域）	DSTRD2	（使用禁止領域）	DSRD2
H'FFFF F608	DCRD2		（使用禁止領域）	
H'FFFF F60C	TSRD2		TIERD2	
H'FFFF F610	OCRD20			
H'FFFF F614	OCRD21			
H'FFFF F618	OCRD22			
H'FFFF F61C	OCRD23			
H'FFFF F620	GRD20			
H'FFFF F624	GRD21			
H'FFFF F628	GRD22			
H'FFFF F62C	GRD23			
H'FFFF F630	DCNTD20			
H'FFFF F634	DCNTD21			
H'FFFF F638	DCNTD22			
H'FFFF F63C	DCNTD23			

番　地	31　+0 番地　24	23　+1 番地　16	15　+2 番地　8	7　+3 番地　0
H'FFFF F640	TIOR1D3		TIOR2D3	
H'FFFF F644	（使用禁止領域）	DSTRD3	（使用禁止領域）	DSRD3
H'FFFF F648	DCRD3		（使用禁止領域）	
H'FFFF F64C	TSRD3		TIERD3	
H'FFFF F650	OCRD30			
H'FFFF F654	OCRD31			
H'FFFF F658	OCRD32			
H'FFFF F65C	OCRD33			
H'FFFF F660	GRD30			
H'FFFF F664	GRD31			
H'FFFF F668	GRD32			
H'FFFF F66C	GRD33			
H'FFFF F670	DCNTD30			
H'FFFF F674	DCNTD31			
H'FFFF F678	DCNTD32			
H'FFFF F67C	DCNTD33			
H'FFFF F680 : H'FFFF F6FF	（使用禁止領域）			

表 12.7 タイマ E 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F700	TSTRE	（使用禁止領域）		
H'FFFF F704 : H'FFFF F7FC	（使用禁止領域）			
H'FFFF F800	TCRE0	TOCRE0	TIERE0	RLDCRE0
H'FFFF F804	TSRE0	（使用禁止領域）		
H'FFFF F808	PSCRE0	SOLVLE0	POECRE0	
H'FFFF F80C	SSTRE0	（使用禁止領域）		
H'FFFF F810	CYLRE00		CYLRE01	
H'FFFF F814	CYLRE02		CYLRE03	
H'FFFF F818	DTRE00		DTRE01	
H'FFFF F81C	DTRE02		DTRE03	
H'FFFF F820	CRLDE00		CRLDE01	
H'FFFF F824	CRLDE02		CRLDE03	
H'FFFF F828	DRLDE00		DRLDE01	
H'FFFF F82C	DRLDE02		DRLDE03	
H'FFFF F830	TCNTE00		TCNTE01	
H'FFFF F834	TCNTE02		TCNTE03	
H'FFFF F838 H'FFFF F83C	（使用禁止領域）			
H'FFFF F840	TCRE1	TOCRE1	TIERE1	RLDCRE1
H'FFFF F844	TSRE1	（使用禁止領域）		
H'FFFF F848	PSCRE1	SOLVLE1	POECRE1	
H'FFFF F84C	SSTRE1	（使用禁止領域）		
H'FFFF F850	CYLRE10		CYLRE11	
H'FFFF F854	CYLRE12		CYLRE13	
H'FFFF F858	DTRE10		DTRE11	
H'FFFF F85C	DTRE12		DTRE13	
H'FFFF F860	CRLDE10		CRLDE11	
H'FFFF F864	CRLDE12		CRLDE13	
H'FFFF F868	DRLDE10		DRLDE11	
H'FFFF F86C	DRLDE12		DRLDE13	
H'FFFF F870	TCNTE10		TCNTE11	
H'FFFF F874	TCNTE12		TCNTE13	
H'FFFF F878 H'FFFF F87C	（使用禁止領域）			

番　地	31　+0 番地　24	23　+1 番地　16	15　+2 番地　8	7　+3 番地　0
H'FFFF F880	TCRE2	TOCRE2	TIERE2	RLDCRE2
H'FFFF F884	TSRE2	（使用禁止領域）		
H'FFFF F888	PSCRE2	SOLVLE2	POECRE2	
H'FFFF F88C	SSTRE2	（使用禁止領域）		
H'FFFF F890	CYLRE20		CYLRE21	
H'FFFF F894	CYLRE22		CYLRE23	
H'FFFF F898	DTRE20		DTRE21	
H'FFFF F89C	DTRE22		DTRE23	
H'FFFF F8A0	CRLDE20		CRLDE21	
H'FFFF F8A4	CRLDE22		CRLDE23	
H'FFFF F8A8	DRLDE20		DRLDE21	
H'FFFF F8AC	DRLDE22		DRLDE23	
H'FFFF F8B0	TCNTE20		TCNTE21	
H'FFFF F8B4	TCNTE22		TCNTE23	
H'FFFF F8B8	（使用禁止領域）			
H'FFFF F8BC				
H'FFFF F8C0	TCRE3	TOCRE3	TIERE3	RLDCRE3
H'FFFF F8C4	TSRE3	（使用禁止領域）		
H'FFFF F8C8	PSCRE3	SOLVLE3	POECRE3	
H'FFFF F8CC	SSTRE3	（使用禁止領域）		
H'FFFF F8D0	CYLRE30		CYLRE31	
H'FFFF F8D4	CYLRE32		CYLRE33	
H'FFFF F8D8	DTRE30		DTRE31	
H'FFFF F8DC	DTRE32		DTRE33	
H'FFFF F8E0	CRLDE30		CRLDE31	
H'FFFF F8E4	CRLDE32		CRLDE33	
H'FFFF F8E8	DRLDE30		DRLDE31	
H'FFFF F8EC	DRLDE32		DRLDE33	
H'FFFF F8F0	TCNTE30		TCNTE31	
H'FFFF F8F4	TCNTE32		TCNTE33	
H'FFFF F8F8	（使用禁止領域）			
H'FFFF F8FC				

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF F900	TCRE4	TOCRE4	TIERE4	RLDCRE4
H'FFFF F904	TSRE4	（使用禁止領域）		
H'FFFF F908	PSCRE4	SOLVLE4	POECRE4	
H'FFFF F90C	SSTRE4	（使用禁止領域）		
H'FFFF F910	CYLRE40		CYLRE41	
H'FFFF F914	CYLRE42		CYLRE43	
H'FFFF F918	DTRE40		DTRE41	
H'FFFF F91C	DTRE42		DTRE43	
H'FFFF F920	CRLDE40		CRLDE41	
H'FFFF F924	CRLDE42		CRLDE43	
H'FFFF F928	DRLDE40		DRLDE41	
H'FFFF F92C	DRLDE42		DRLDE43	
H'FFFF F930	TCNTE40		TCNTE41	
H'FFFF F934	TCNTE42		TCNTE43	
H'FFFF F938 : H'FFFF F9FC	（使用禁止領域）			

表 12.8 タイマ F 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF FA00	TSTRF			
H'FFFF FA04	NCCRF			
H'FFFF FA08	（使用禁止領域）			
H'FFFF FA0C				
H'FFFF FA10	NCNTFA0	NCRFA0	NCNTFA1	NCRFA1
H'FFFF FA14	NCNTFA2	NCRFA2	NCNTFA3	NCRFA3
H'FFFF FA18	NCNTFA4	NCRFA4	NCNTFA5	NCRFA5
H'FFFF FA1C	NCNTFA6	NCRFA6	NCNTFA7	NCRFA7
H'FFFF FA20	NCNTFA8	NCRFA8	NCNTFA9	NCRFA9
H'FFFF FA24	NCNTFA10	NCRFA10	NCNTFA11	NCRFA11
H'FFFF FA28	NCNTFA12	NCRFA12	NCNTFA13	NCRFA13
H'FFFF FA2C	NCNTFA14	NCRFA14	NCNTFA15	NCRFA15
H'FFFF FA30	NCNTFA16	NCRFA16	NCNTFA17	NCRFA17
H'FFFF FA34	NCNTFA18	NCRFA18	NCNTFA19	NCRFA19
H'FFFF FA38 : H'FFFF FA4C	（使用禁止領域）			
H'FFFF FA50	NCNTFB0	NCRFB0	NCNTFB1	NCRFB1
H'FFFF FA54	NCNTFB2	NCRFB2	（使用禁止領域）	
H'FFFF FA58 : H'FFFF FA7C	（使用禁止領域）			
H'FFFF FA80	TCRF0	TIERF0	（使用禁止領域）	TSRF0
H'FFFF FA84	ECNTAF0			
H'FFFF FA88	ECNTBF0		GRBF0	
H'FFFF FA8C	ECNTCF0			
H'FFFF FA90	GRAF0			
H'FFFF FA94	CDRF0			
H'FFFF FA98	GRCF0			
H'FFFF FA9C	（使用禁止領域）			
H'FFFF FAA0 : H'FFFF FBFC	（F01～F11）省略			

番　地	31　+0 番地　24	23　+1 番地　16	15　+2 番地　8	7　+3 番地　0
H'FFFF FC00	TCRF12	TIERF12	（使用禁止領域）	TSRF12
H'FFFF FC04	ECNTAF12			
H'FFFF FC08	ECNTBF12		GRBF12	
H'FFFF FC0C	ECNTCF12			
H'FFFF FC10	GRAF12			
H'FFFF FC14	CDRF12			
H'FFFF FC18	GRCF12			
H'FFFF FC1C	GRDF12（F12～F15 のみ）			
H'FFFF FC20 : H'FFFF FC7C	（F13～F15）省略			
H'FFFF FC80	TCRF16	TIERF16	（使用禁止領域）	TSRF16
H'FFFF FC84	ECNTAF16			
H'FFFF FC88	ECNTBF16		GRBF16	
H'FFFF FC8C	ECNTCF16			
H'FFFF FC90	GRAF16			
H'FFFF FC94	CDRF16			
H'FFFF FC98	GRCF16			
H'FFFF FC9C	（使用禁止領域）			
H'FFFF FCA0 : H'FFFF FCFC	（F17～F19）省略			
H'FFFF FD00 : H'FFFF FDFC	（使用禁止領域）			

表 12.9 タイマ G 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF FE00	（使用禁止領域）	TSTRG	（使用禁止領域）	
H'FFFF FE04 : H'FFFF FE7C	（使用禁止領域）			
H'FFFF FE80	TCRG0	TSRG0	（使用禁止領域）	
H'FFFF FE84	TCNTG0		OCRG0	
H'FFFF FE88	（使用禁止領域）			
H'FFFF FE8C				
H'FFFF FE90	TCRG1	TSRG1	（使用禁止領域）	
H'FFFF FE94	TCNTG1		OCRG1	
H'FFFF FE98	（使用禁止領域）			
H'FFFF FE9C				
H'FFFF FEA0	TCRG2	TSRG2	（使用禁止領域）	
H'FFFF FEA4	TCNTG2		OCRG2	
H'FFFF FEA8	（使用禁止領域）			
H'FFFF FEAC				
H'FFFF FEB0	TCRG3	TSRG3	（使用禁止領域）	
H'FFFF FEB4	TCNTG3		OCRG3	
H'FFFF FEB8	（使用禁止領域）			
H'FFFF FEBC				
H'FFFF FEC0	TCRG4	TSRG4	（使用禁止領域）	
H'FFFF FEC4	TCNTG4		OCRG4	
H'FFFF FEC8	（使用禁止領域）			
H'FFFF FECC				
H'FFFF FED0	TCRG5	TSRG5	（使用禁止領域）	
H'FFFF FED4	TCNTG5		OCRG5	
H'FFFF FED8 : H'FFFF FEFC	（使用禁止領域）			

表 12.10 タイマ H 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF FF00 : H'FFFF FF3C	（使用禁止領域）			
H'FFFF FF40	TCRH	TSRH	（使用禁止領域）	
H'FFFF FF44	TCNT1H		OCR1H	
H'FFFF FF48	TCNT2H			
H'FFFF FF4C : H'FFFF FF7C	（使用禁止領域）			

表 12.11 タイマ J 関連レジスタ

番　地	31 +0 番地 24	23 +1 番地 16	15 +2 番地 8	7 +3 番地 0
H'FFFF FF80	TSTRJ	（使用禁止領域）		
H'FFFF FF84 : H'FFFF FF8C	（使用禁止領域）			
H'FFFF FF90	TCRJ0	FCRJ0	TSRJ0	（使用禁止領域）
H'FFFF FF94	TIERJ0	FDNRJ0	NCNTJ0	NCRJ0
H'FFFF FF98	TCNTJ0		OCRJ0	
H'FFFF FF9C	FIFOJ0		（使用禁止領域）	
H'FFFF FFA0	TCRJ1	FCRJ1	TSRJ1	（使用禁止領域）
H'FFFF FFA4	TIERJ1	FDNRJ1	NCNTJ1	NCRJ1
H'FFFF FFA8	TCNTJ1		OCRJ1	
H'FFFF FFAC	FIFOJ1		（使用禁止領域）	
H'FFFF FFB0 : H'FFFF FFFC	（使用禁止領域）			

12.3 入出力端子

表 12.12 端子構成

項目	端子名	入出力	機　　能
共通制御部	TCLKA	入力	クロックバス 4 への外部クロック入力
	TCLKB	入力	クロックバス 5 への外部クロック入力
タイマ A	TIA00～TIA03	入力	タイマ A の各チャネルへのインプットキャプチャトリガ
タイマ C	TIOC00～03、 TIOC10～13、 TIOC20～23、 TIOC30～33、 TIOC40～43	入出力	タイマ C（サブブロック C0～C4／チャネル 0～3）へのインプットキャプチャトリガ、およびアウトプットコンペア出力
タイマ D	TOD00A～03A、 TOD10A～13A、 TOD20A～23A、 TOD30A～33A	出力	タイマ D（サブブロック D0～D3／チャネル 0～3）のコンペアマッチ出力
	TOD00B～03B、 TOD10B～13B、 TOD20B～23B、 TOD30B～33B	出力	タイマ D（サブブロック D0～D3／チャネル 0～3）のワンショットパルス出力
タイマ E	POE0～POE4	入力	タイマ E（サブブロック E0～E4）のシャットオフ入力 【注】TIF0A～TIF2A、TIF0B、TIF1B と共用
	TOE00～03、 TOE10～13、 TOE20～23、 TOE30～33、 TOE40～43	出力	タイマ E（サブブロック E0～E4／チャネル 0～3）の PWM 出力
タイマ F	TIF0A～TIF2A、 TIF3～TIF19	入力	タイマ F（サブブロック F0～F19）へのイベント入力信号 TIF0A～TIF2A：サブブロック F0～F2 入力端子 TIF3～TIF19：サブブロック F3～F19 用入力端子
	TIF0B～TIF2B	入力	サブブロック F0～F2 へのイベント入力信号
タイマ J	TIJ0、TIJ1	入力	タイマ J の各サブブロックへのインプットキャプチャトリガ

12.4 共通制御部の概要

共通制御部は、ATU-III モジュール全体にかかわる動作を制御します。プリスケーラやタイマ A～J の各ブロックのタイマカウンタ動作許可／禁止の制御、クロックバスの制御がこれに該当します。

12.4.1 クロックバス

クロックバスは、タイマの各チャネルのカウントソースとなるクロック信号（カウントイネーブル信号）を分配するためのものであり、6 本の信号線によって構成されています。各タイマカウンタのカウント動作は、内部周辺クロック（Pφ）に同期して行われます。クロックバス上の信号は、これらカウンタに対するカウントイネーブル信号として作用します。

各クロックバスに入力可能な信号は以下のとおりです。

表 12.13 クロックバスに入力可能な信号

クロックバスビット番号	入力可能信号
5	タイマ B 出力（倍周補正クロック）または外部クロック入力 B（TCLKB）
4	外部クロック入力 A（TCLKA）
3	プリスケーラ 3 出力
2	プリスケーラ 2 出力
1	プリスケーラ 1 出力
0	プリスケーラ 0 出力

12.5 共通制御部のレジスタの説明

12.5.1 ATU-III マスタイネーブルレジスタ（ATUENR）

ATUENR は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは、ATU-III モジュールに含まれる各タイマのカウント動作を制御します。対応するイネーブルビットがセットされている場合に各タイマは所定の動作を行います。対応するイネーブルビットがクリアされている場合、これらのタイマはカウント動作を行いません。ただし、イネーブルビットがクリアされている場合にも、対応するタイマの各レジスタをアクセスすることはできます。

本レジスタの複数のビットを同時にセットすることで、セットしたタイマ同士の同期をとることができます。ただし、動作中に他のサブブロックの動作を止めることなく、特定のサブブロックの同期をとり直すことはできません。

ATUENR は、バイトおよびワード単位で読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TJE	THE	TGE	TFE	TEE	TDE	TCE	TBE	TAE	PSCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TJE	0	R/W	タイマ J イネーブル タイマ J のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TJE ビットを 1 にセットした場合には、その値から動作を再開します。ただし、タイマ J スタートレジスタの対応ビットがセットされていない場合、TJE ビットがセットされても、そのサブブロックのカウンタは動作しません。 0：タイマ J のカウント動作を停止 1：タイマ J のカウント動作を許可
8	THE	0	R/W	タイマ H イネーブル タイマ H のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 THE ビットを 1 にセットした場合には、その値から動作を再開します。 0：タイマ H のカウント動作を停止 1：タイマ H のカウント動作を許可

ビット	ビット名	初期値	R/W	説　　明
7	TGE	0	R/W	タイマ G イネーブル タイマ G のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TGE ビットを 1 にセットした場合には、その値から動作を再開します。ただし、タイマ G スタートレジスタの対応ビットがセットされていない場合、TGE ビットがセットされても、そのサブブロックのカウンタは動作しません。 0：タイマ G のカウント動作を停止 1：タイマ G のカウント動作を許可
6	TFE	0	R/W	タイマ F イネーブル タイマ F のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TFE ビットを 1 にセットした場合には、その値から動作を再開します。ただし、タイマ F スタートレジスタの対応ビットがセットされていない場合、TFE ビットがセットされても、そのサブブロックのカウンタは動作しません。 0：タイマ F のカウント動作を停止 1：タイマ F のカウント動作を許可
5	TEE	0	R/W	タイマ E イネーブル タイマ E のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TEE ビットを 1 にセットした場合には、その値から動作を再開します。ただし、タイマ E スタートレジスタの対応ビットがセットされていない場合、TEE ビットがセットされても、そのサブブロックのカウンタは動作しません。 0：タイマ E のカウント動作を停止 1：タイマ E のカウント動作を許可
4	TDE	0	R/W	タイマ D イネーブル タイマ D のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TDE ビットを 1 にセットした場合には、その値から動作を再開します。ただし、タイマ D スタートレジスタの対応ビットがセットされていない場合、TDE ビットがセットされても、そのサブブロックのカウンタは動作しません。 0：タイマ D のカウント動作を停止 1：タイマ D のカウント動作を許可
3	TCE	0	R/W	タイマ C イネーブル タイマ C のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TCE ビットを 1 にセットした場合には、その値から動作を再開します。ただし、タイマ C スタートレジスタの対応ビットがセットされていない場合、TCE ビットがセットされても、そのサブブロックのカウンタは動作しません。 0：タイマ C のカウント動作を停止 1：タイマ C のカウント動作を許可

ビット	ビット名	初期値	R/W	説　　明
2	TBE	0	R/W	タイマ B イネーブル タイマ B のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TBE ビットを 1 にセットした場合には、その値から動作を再開します。 0：タイマ B のカウント動作を停止 1：タイマ B のカウント動作を許可
1	TAE	0	R/W	タイマ A イネーブル タイマ A のカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 TAE ビットを 1 にセットした場合には、その値から動作を再開します。 0：タイマ A のカウント動作を停止 1：タイマ A のカウント動作を許可
0	PSCE	0	R/W	プリスケーライネーブル プリスケーラのカウンタを動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度 PSCE ビットを 1 にセットした場合には、その値から動作を再開します。 0：プリスケーラのカウント動作を停止 1：プリスケーラのカウント動作を許可

12.5.2 クロックバスコントロールレジスタ（CBCNT）

CBCNT は、8 ビットの読み出し／書き込み可能なレジスタで、クロックバスに供給するクロックソースの選択と外部クロックを選択した場合のエッジを選択します。

CBCNT は、バイト単位で読み出し／書き込みが可能です。

ビット：	7	6	5	4	3	2	1	0
	—	—	CB4EG[1:0]		—	CB5SEL	CB5EG[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7、6	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	CB4EG[1:0]	00	R/W	クロックバス 4 エッジセレクト クロックバス 4 に出力する外部クロック入力 A（TCLKA）のエッジを選択します。クロックバス 4 をカウントソースクロックとして指定したカウンタは、ここで選択したエッジでのみカウント動作を行います。 00：外部クロックのエッジ検出をしない 01：外部クロックの立ち上がりエッジ 10：外部クロックの立ち下がりエッジ 11：外部クロックの立ち上がり／立ち下がりの両エッジ
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	CB5SEL	0	R/W	クロックバス 5 ソースセレクト クロックバス 5 に出力するクロックソースを選択します。 0：外部クロック入力 B（TCLKB） 1：タイマ B 出力の倍周補正クロック
1、0	CB5EG[1:0]	00	R/W	クロックバス 5 エッジセレクト クロックバス 5 に出力する外部クロック入力 B（TCLKB）のエッジを選択します。クロックバス 5 をカウントソースクロックとして指定したカウンタは、ここで選択したエッジでのみカウント動作を行います。ただし、本ビットはクロックバス 5 ソースクロックに TCLKB を選択した場合にのみ有効です。ソースクロックにタイマ B 出力の倍周補正クロックを選択した場合、本ビットの設定は無視されます。 00：外部クロックのエッジ検出をしない 01：外部クロックの立ち上がりエッジ 10：外部クロックの立ち下がりエッジ 11：外部クロックの立ち上がり／立ち下がりの両エッジ

12.5.3 ノイズキャンセルモードレジスタ（NCMR）

NCMR は、8 ビットの読み出し／書き込み可能なレジスタで、タイマ A、C、F、J にあるノイズキャンセラの動作モードおよびカウントクロックを選択します。

後続エッジキャンセルモードは、入力信号のレベル変化を検出した後、指定期間内の入力信号のレベル変化を無視します。最初のレベル変化以降、指定期間内の信号レベルの変化をノイズとみなすモードです。

先行エッジキャンセルモードは、入力信号のレベル変化を検出した後、指定期間内に入力信号のレベルが変化した場合、最初のレベル変化と、それに続くレベル変化を無視します。信号レベルが指定期間以上一定でないものはノイズとみなすモードです。

それぞれ期間の指定は、各ブロック（タイマ A、C、F、J）のノイズキャンセルレジスタで行い、ノイズキャンセルカウンタが時間を計測します。

図 12.1 に後続エッジキャンセルモード、**図 12.2** に先行エッジキャンセルモードでのノイズキャンセル動作（タイマ A の TIA00 入力の例）の概略を示します。

各タイマ（A、C、F、J）は、ノイズキャンセラ通過後の信号に対してエッジ検出を行います。**図 12.1** と**図 12.2** は、それぞれノイズキャンセラ通過後の信号に対して立ち上がりエッジ検出を行う場合の例を示しています。

NCMR は、バイト単位で読み出し／書き込みが可能です。

ビット：	7	6	5	4	3	2	1	0
	NCC SEL	—	—	—	NCMJ	NCMF	NCMC	NCMA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	NCCSEL	0	R/W	ノイズキャンセラカウントクロックセレクト ノイズキャンセラのカウントクロックを設定します。内部周辺クロック（Pφ）の 128 分周と内部周辺クロックのいずれかを選択可能です。初期設定は 128 分周です。タイマごとに異なる動作カウントクロックを設定することはできません。ただし、タイマ A のみ、クロックバス 5 もカウントソースに選択することが可能です。設定は「12.10.3　タイマ I/O コントロールレジスタ 2A（TIOR2A）」を参照してください。 0：内部周辺クロック（Pφ）の 128 分周でカウントアップ 1：内部周辺クロック（Pφ）でカウントアップ
6～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	NCMJ	0	R/W	タイマ J ノイズキャンセルモード タイマ J のノイズキャンセラの動作モードを設定します。タイマ J のチャネルごとに異なる動作モードを設定することはできません。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード

ビット	ビット名	初期値	R/W	説　　明
2	NCMF	0	R/W	タイマＦノイズキャンセルモード タイマＦのノイズキャンセラの動作モードを設定します。タイマＦのチャネルごとに異なる動作モードを設定することはできません。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード
1	NCMC	0	R/W	タイマＣノイズキャンセルモード タイマＣのノイズキャンセラの動作モードを設定します。タイマＣのチャネルごとに異なる動作モードを設定することはできません。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード
0	NCMA	0	R/W	タイマＡノイズキャンセルモード タイマＡのノイズキャンセラの動作モードを設定します。タイマＡのチャネルごとに異なる動作モードを設定することはできません。 0：後続エッジキャンセルモード 1：先行エッジキャンセルモード

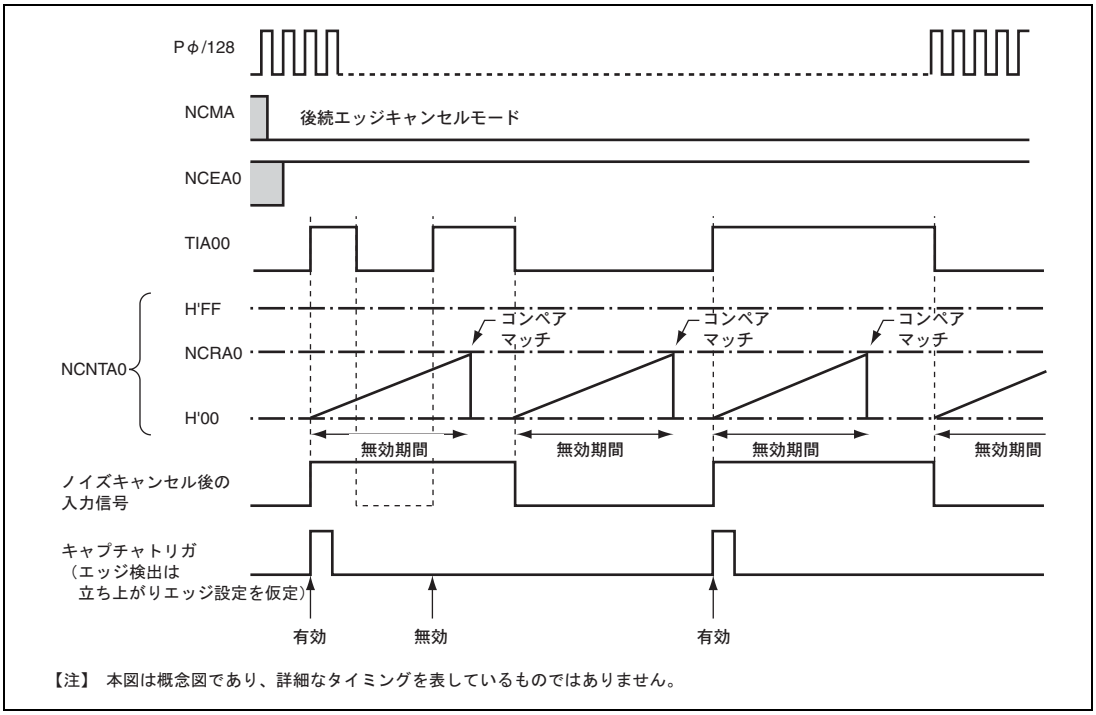


図 12.1　後続エッジキャンセルモードでのノイズキャンセル動作の概略図

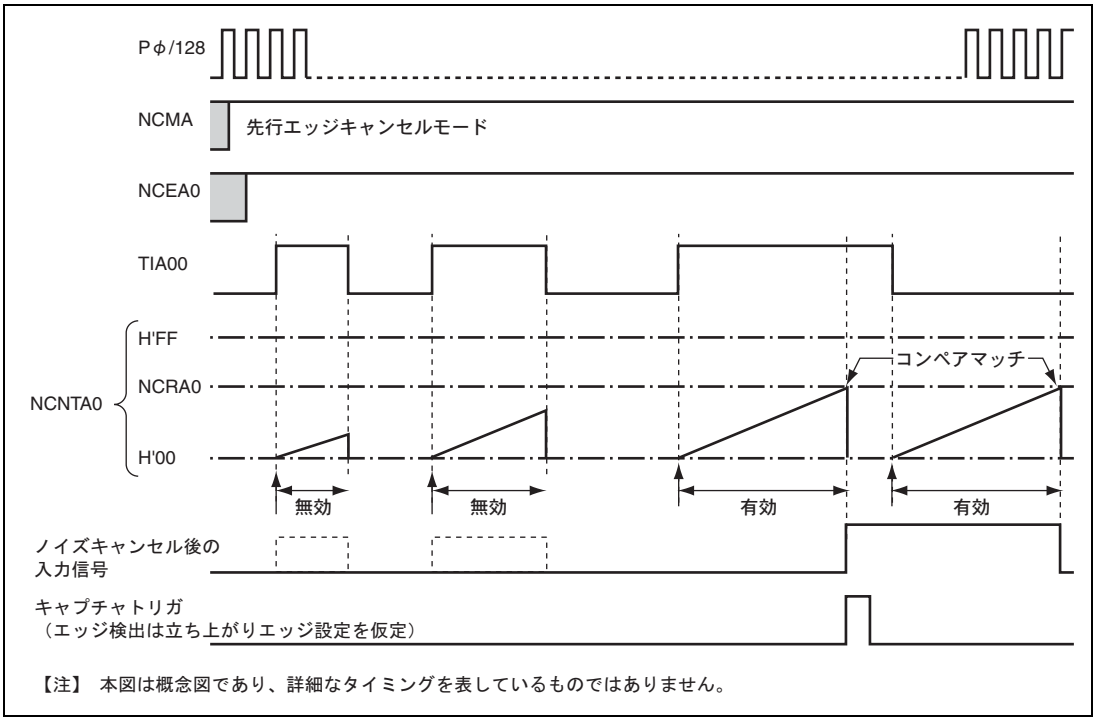


図 12.2 先行エッジキャンセルモードでのノイズキャンセル動作の概略図

12.6 プリスケーラの概要

ATU-III は、4 チャネルの汎用プリスケーラとノイズキャンセルクロック用プリスケーラ 1 本を内蔵しています。

汎用プリスケーラは 10 ビットのダウンカウンタによって構成されており、内部周辺クロック（Pφ）を 1/N（1≦N≦1024）に分周して新しいクロックを生成します。

プリスケーラの分周比は以下の計算式で計算されます。

- プリスケーラの分周比の計算式

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCn[9:0]}+1} \quad \text{（分周設定範囲：1/1〜1/1024）}$$

また、プリスケーラの出力するクロックは、50%のデューティを保証していません。Pφクロックの 1 サイクル期間のみハイレベル（H）であり、残りの期間はすべてローレベル（L）となります。分周比を 1/1 に指定した場合、クロックバスには常にハイレベルの信号が出力されます。生成されたクロックは、クロックバスを介して各タイマに供給されます。各チャネルのプリスケーラは互いに独立に動作可能です。リセット後にかぎり、プリスケーラの各チャネルの設定後に ATUENR の PSCE ビットを 1 にセットすることで、チャネル間の同期をとったスタートが可能です。動作開始後にプリスケーラの分周比を切り替え、かつ各チャネルの同期をとることはできません。

一方、ノイズキャンセルクロック用プリスケーラは 7 ビットのダウンカウンタによって構成されており、内部周辺クロック（Pφ）を 1/128 に分周してクロックを生成します。生成されたノイズキャンセルクロックは、タイマ A、C、F、J に供給されます。

ノイズキャンセル用クロックは、共通制御部の NCMR の NCCSEL ビットにより、内部周辺クロックの 1/1 分周、もしくは 1/128 分周から選択可能です。分周比設定用レジスタは設けておりません。

プリスケーラのダウンカウンタは、パワーオンリセットおよびハードウェアスタンバイ時に H'000 に初期化されます。

12.7 プリスケーラのレジスタの説明

12.7.1 プリスケーラレジスタ 0～3（PSCR0～3）

PSCR0～3 は、16 ビットの読み出し／書き込み可能なレジスタで、4 チャネルのプリスケーラに 1 個ずつ用意されており、プリスケーラの分周比を設定します。

プリスケーラレジスタの設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。設定値として、H'000 から H'3FF の範囲の値を設定することができます。

PSCR0～3 は、ワード単位でのみ読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PSCn[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n ＝0～3

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9～0	PSCn[9:0]	すべて 0	R/W	分周比 プリスケーラの分周比を設定します。

12.8 プリスケーラの動作説明

12.8.1 動作の開始

プリスケーラは、ATU-III マスタイネーブルレジスタ（ATUENR）の PSCE ビットが 1 にセットされると動作を開始し、PSCn ビットに指定された分周比のクロックを生成します。プリスケーラの動作中、クロックには、カウンタのアンダフローに同期して、Pφクロックの 1 周期分のハイレベル（H）が出力されます。

動作中に PSCn ビットの値が変更された場合、カウンタのアンダフローに同期して出力クロックの分周比が切り替わります。

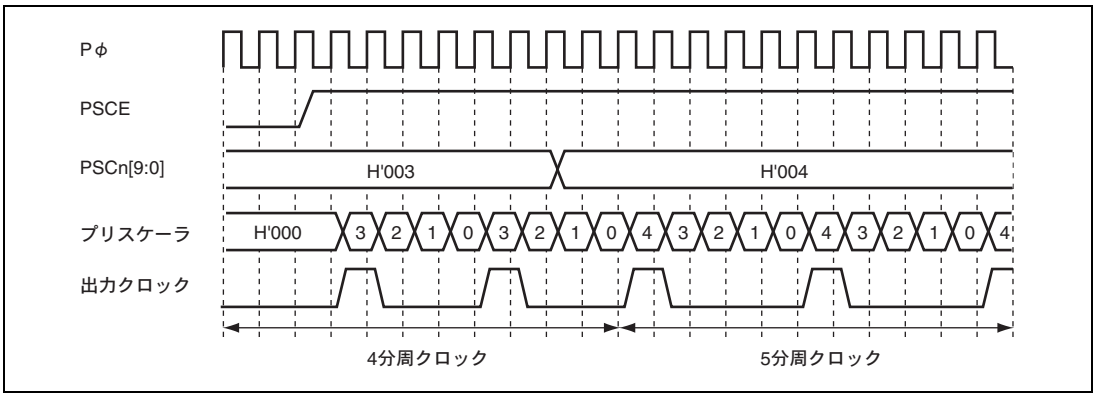


図 12.3 プリスケーラの動作開始

12.8.2 動作の停止と再開

プリスケーラは、ATU-III マスタイネーブルレジスタ（ATUENR）の PSCE ビットが 0 にクリアされると動作を停止します。停止期間中、クロックにはローレベル（L）が出力されます。また、停止期間中は、停止時のカウンタ値をそのまま保持します。再度 PSCE ビットを 1 にセットすると、停止時の値から動作を再開します。

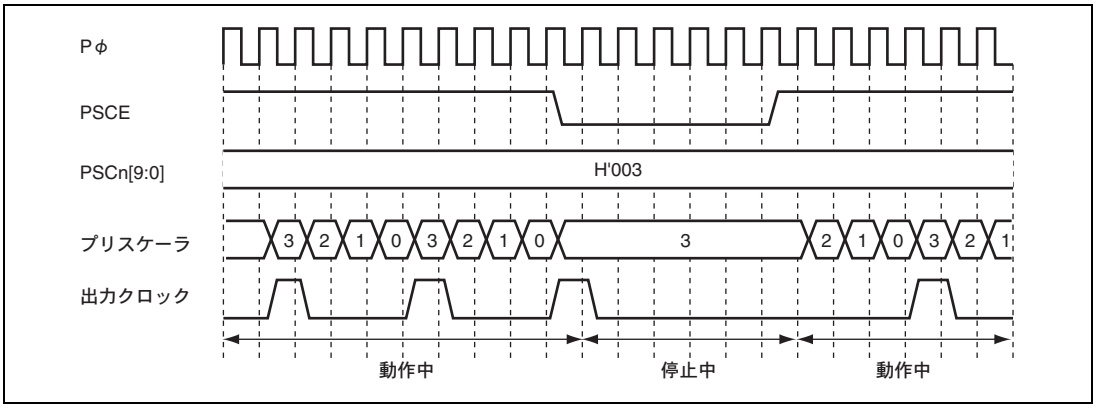


図 12.4 プリスケーラの動作停止

12.9 タイマ A の概要

タイマ A はフリーランニングカウンタ A（TCNTA）と 4 本のインプットキャプチャレジスタ A0～3（ICRA0～3）を内蔵しています。TCNTA はアップカウンタで、フリーランニング動作を行います。カウンタのオーバフロー時に割り込み要求が可能です。

4 本のインプットキャプチャレジスタ A0～3（ICRA0～3）は、それぞれに対応する外部信号入力端子（TIA00～03）からの入力によりフリーランニングカウンタ A（TCNTA）の値をキャプチャします。外部信号入力端子からの入力によるキャプチャは、タイマ I/O コントロールレジスタ 1A（TIOR1A）により立ち上がり／立ち下がり／両エッジから選択できます。それぞれ、キャプチャするタイミングで A-DMAC の起動および割り込み要求が可能です。

外部信号入力端子からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。また、一部の入力端子（TIA00～02）のノイズキャンセル、エッジ処理後の信号については、タイマ B およびタイマ D へイベント信号として出力することが可能です。タイマ B へは、TIA00～02 の 3 本のいずれかのイベント信号を出力（イベント出力 1）できます。一方、タイマ D へは TIA01／TIA02 から選択したイベント信号をタイマ D0～D2 用、D3 用それぞれに出力（イベント出力 2A、2B）し、タイマオフセットベースレジスタ D0～3（OSBRD0～3）のキャプチャトリガとして使用できます。

キャプチャタイミングで A-DMAC を起動した場合、A-DMAC は割り込み要求元のキャプチャレジスタの値を読み出します。A-DMAC は、読み出したキャプチャ値と A-DMAC 内部に保持する前回キャプチャ値を内蔵 RAM へ転送します。

12.9.1 ブロック図

図 12.5 に、タイマ A のブロック図を示します。

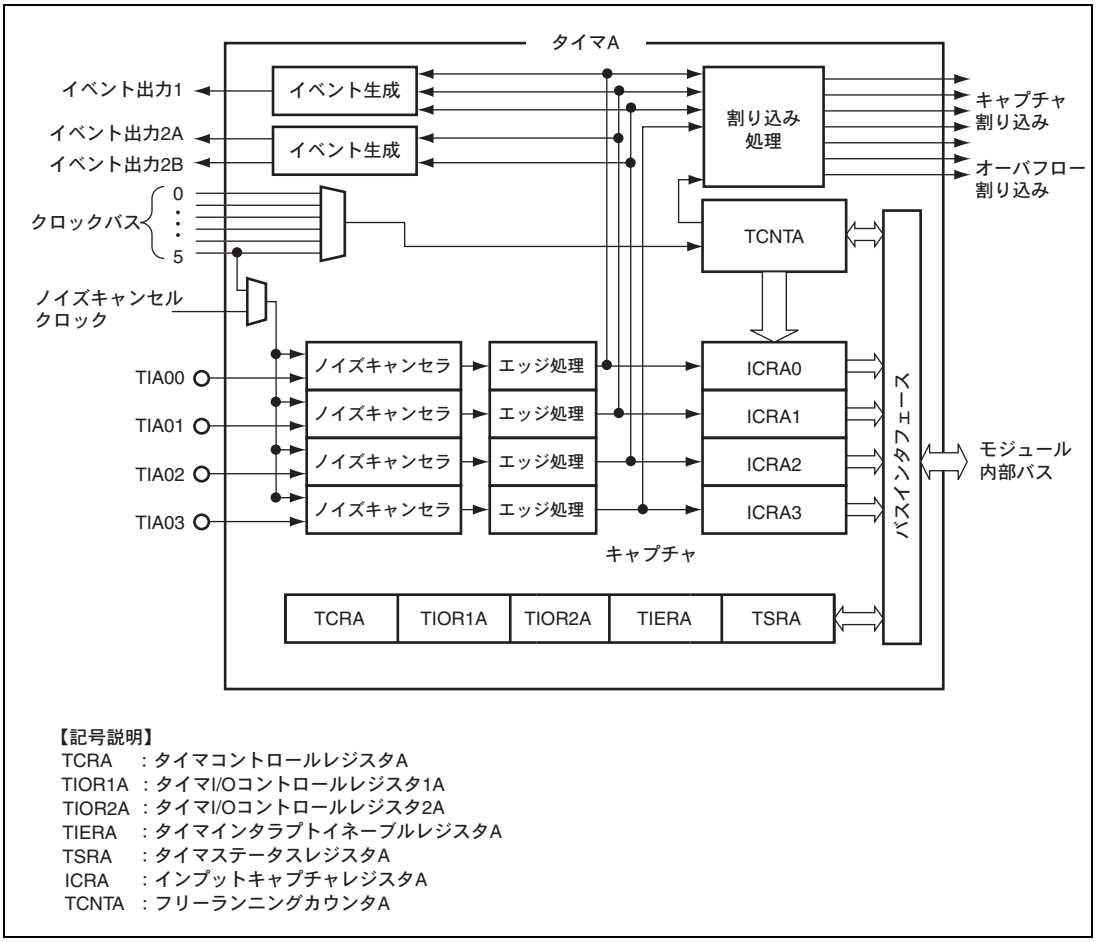


図 12.5 タイマ A のブロック図

12.10 タイマ A のレジスタの説明

12.10.1 タイマコントロールレジスタ A（TCRA）

TCRA は、8 ビットの読み出し／書き込み可能なレジスタで、外部入力エッジ（TIA00～02）のイベント出力設定、カウントクロックの選択を行います。

TCRA は、バイト単位で読み出し／書き込みが可能です。

TCRA は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	EVO SEL2A	EVO SEL2B	EVOSEL1			CKSELA		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	EVOSEL2A	0	R/W	イベント出力 2A セレクト 本ビットの設定により、外部入力 TIA01、TIA02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 2A として出力することができます。タイマ D0～2 は、このイベント 2A 信号をタイマオフセットベースレジスタ D0～2（OSBRD0～2）のキャプチャトリガとして使用できます。 0：TIA01 の入力エッジを出力 1：TIA02 の入力エッジを出力
6	EVOSEL2B	0	R/W	イベント出力 2B セレクト 本ビットの設定により、外部入力 TIA01、TIA02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 2B として出力することができます。タイマ D3 は、このイベント 2B 信号をタイマオフセットベースレジスタ D3（OSBRD3）のキャプチャトリガとして使用できます。 0：TIA01 の入力エッジを出力 1：TIA02 の入力エッジを出力
5～3	EVOSEL1	000	R/W	イベント出力 1 セレクト 本ビットの設定により、外部入力 TIA00～TIA02（ノイズキャンセル、エッジ検出後の信号）のいずれかをイベント 1 としてタイマ B へ出力することができます。 000：イベント出力なし 001：TIA00 の入力エッジを出力 010：TIA01 の入力エッジを出力 011：リザーブ 100：TIA02 の入力エッジを出力 101：リザーブ 110：リザーブ 111：リザーブ

ビット	ビット名	初期値	R/W	説　　明
2～0	CKSELA	000	R/W	クロックセレクト A カウントクロックとしてクロックバス 0～5 のいずれかを選択します。クロックバス 0～3 はプリスケーラ 0～3 の出力する分周クロック、クロックバス 4 は外部クロック入力 A（TCLKA）に対応し、クロックバス 5 には、クロックバスコントロールレジスタ（CBCNT）の設定によって、外部クロック入力 B（TCLKB）、あるいはタイマ B の出力する倍周補正クロックが出力されます。 カウントクロックの選択は、タイマ A の動作が停止している状態で行ってください。 000：クロックバス 0 を選択（プリスケーラ 0） 001：クロックバス 1 を選択（プリスケーラ 1） 010：クロックバス 2 を選択（プリスケーラ 2） 011：クロックバス 3 を選択（プリスケーラ 3） 100：クロックバス 4 を選択（TCLKA） 101：クロックバス 5 を選択（TCLKB または倍周補正クロック） 110：設定禁止 111：設定禁止

【注】 外部クロック入力のエッジ検出は、クロックバスへの出力前に行われます。外部クロック入力 A、B を使用する場合には、クロックバスコントロールレジスタ（CBCNT）の CB4EG、CB5EG ビットでそれぞれ検出エッジを設定してください。

12.10.2 タイマ I/O コントロールレジスタ 1A（TIOR1A）

TIOR1A は、16 ビットの読み出し／書き込み可能なレジスタで、外部入力（TIA00～05）のエッジ検出の設定を行います。

TIOR1A は、バイトおよびワード単位で読み出し／書き込みが可能です。

TIOR1A は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IOA3		IOA2		IOA1		IOA0	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～8	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7、6	IOA3	00	R/W	I/O コントロール An インプットキャプチャのトリガとなる外部入力（TIA00～03）のエッジ検出を選択します。これらのビットを B'00 にセットした場合、インプットキャプチャ動作は行われません。B'00 以外にセットしたとき、選択したエッジを検出すると、フリーランニングカウンタ A（TCNTA）の値が、対応するインプットキャプチャレジスタ A（ICRA）に転送されます。 エッジ検出は、Pφクロックに同期して行われます。また、外部入力信号の周期が、Pφクロック周期の 2 倍以上なければ正しくエッジ検出が行われませんのでご注意ください。 また、エッジ検出は、ノイズキャンセル後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力（TIA00～03）に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。 TCRA レジスタの EVOSEL1、EVOSEL2 ビットの設定によっては、ここで検出したエッジが他のタイマモジュールなどに出力されます（出力されるエッジ検出後の信号は正論理で生成されます）。 00：TIA のインプットキャプチャ禁止 01：TIA の立ち上がりで ICRA にキャプチャ 10：TIA の立ち下がりで ICRA にキャプチャ 11：TIA の立ち上がり／立ち下がり両エッジで ICRA にキャプチャ
5、4	IOA2	00	R/W	
3、2	IOA1	00	R/W	
1、0	IOA0	00	R/W	

【注】 n＝0～3

12.10.3 タイマ I/O コントロールレジスタ 2A（TIOR2A）

TIOR2A は、16 ビットの読み出し／書き込み可能なレジスタで、外部入力（TIA00～03）のノイズキャンセラ機能の設定およびノイズキャンセルクロックの選択を行います。

TIOR2A は、バイトおよびワード単位で読み出し／書き込みが可能です。

TIOR2A は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	NCKA3	NCKA2	NCKA1	NCKA0	—	—	—	—	NCEA3	NCEA2	NCEA1	NCEA0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～12	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	NCKA3	0	R/W	ノイズキャンセルクロックセレクト An ノイズキャンセルカウンタ An（NCNTAn）のカウントソースクロックを選択します。カウントソースクロックには、ノイズキャンセラカウントクロックもしくはクロックバス 5 を選択することが可能です。ノイズキャンセラカウントクロックには、共通制御部の NCCSEL ビットの設定によって Pφクロックの 128 分周あるいは Pφクロックのいずれかを選択できます。 0：NCNTAn のカウントソースクロックにノイズキャンセラカウントクロックを選択 1：NCNTAn のカウントソースクロックにクロックバス 5 を選択
10	NCKA2	0	R/W	
9	NCKA1	0	R/W	
8	NCKA0	0	R/W	
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
3	NCEA3	0	R/W	ノイズキャンセライネーブル An 外部入力（TIA00～03）に対してノイズキャンセル機能の有効／無効を選択します。 本ビットを 1 にセットしたあと、外部入力 TIA00～03 のエッジを検出すると、共通制御部内のノイズキャンセルモードレジスタ（NCMR）の設定にあわせて、後続エッジキャンセルモードあるいは先行エッジキャンセルモードのいずれかの処理を開始します。 後続エッジキャンセルモードでは、外部入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ A0～3（NCNTA0～3）がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ A0～3（NCRA0～3）の値とコンペアマッチするまでの間、外部入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの外部入力信号のレベルがノイズキャンセル後の信号として出力されます。 NCNTA0～3 がカウント動作中にこれらのビットを 0 にクリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も TIA00～03 のレベル変化はマスクされ続けます。 先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ A0～3（NCNTA0～3）がアップカウントを開始し、ノイズキャンセルレジスタ A0～3（NCRA0～3）の値とコンペアマッチするまでの間に、外部入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合は、ノイズとみなされ、ノイズキャンセラは外部入力信号のレベル変化がなかったものとして、ノイズキャンセル後の信号を変化させません。 NCNTA0～3 がカウント動作中にこれらのビットを 0 にクリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。各キャンセルモードの動作例は、図 12.1、図 12.2 を参照してください。 0：TIA 入力のノイズキャンセル機能を無効 1：TIA 入力のノイズキャンセル機能を有効
2	NCEA2	0	R/W	
1	NCEA1	0	R/W	
0	NCEA0	0	R/W	

【注】　n＝0～3

12.10.4 タイマステータスレジスタ A（TSRA）

TSRA は、8 ビットの読み出し／書き込み可能なレジスタで、フリーランニングカウンタ A（TCNTA）のオーバフローの発生、インプットキャプチャレジスタ A0～3（ICRA0～3）でのインプットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ A（TIERA）の対応するビットの設定によって割り込みが許可されていれば、A-DMAC へ DMA 転送を要求したり、A-DMAC 経由で CPU に割り込みを要求したりすることができます。

TSRA は、バイト単位で読み出し／書き込みが可能です。

TSRA は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	OVFA	—	—	—	ICFA3	ICFA2	ICFA1	ICFA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	OVFA	0	R/(W)*	オーバフローフラグ A フリーランニングカウンタ A（TCNTA）のオーバフローの発生を示すステータスフラグです。本フラグの読み出し値が 1 であるとき、TCNTA でオーバフローが発生したことが分かります。 本フラグをソフトウェアにより 1 にセットすることはできません。 フラグのクリアは、OVFA が 1 の状態でフラグを読み出した後に 0 を書き込むことで行います。1 を読み出さずに 0 を書き込んだ場合、その書き込みは無視されます。 0：オーバフローなし ［クリア条件］ • OVFA＝1 の状態を読み出した後、OVFA に 0 を書き込んだとき 1：オーバフロー発生 ［セット条件］ • TCNTA の値がオーバフロー（H'FFFFFFFF→H'00000000）したとき
6～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
3	ICFA3	0	R/(W)*	インプットキャプチャフラグ An インプットキャプチャレジスタ An（ICRAn）のインプットキャプチャ発生を示すステータスフラグです。本フラグの読み出し値が 1 であるとき、フラグに対応するインプットキャプチャレジスタでインプットキャプチャが発生したことが分かります。 本フラグをソフトウェアにより 1 にセットすることはできません。 本フラグは、対応するインプットキャプチャレジスタの値が A-DMAC アクセスによって読み出されると自動的に 0 にクリアされます。ただし、CPU および DMAC によるアクセスではクリアされません。また、インプットキャプチャフラグが 1 であることを読み出した後 0 を書き込むことによってもフラグのクリアが可能です。1 を読み出さずに 0 を書き込んだ場合、その書き込みは無視されます。 0：インプットキャプチャなし ［クリア条件］ • ICFAn＝1 の状態を読み出した後、ICFAn に 0 を書き込んだとき フラグに対応するインプットキャプチャレジスタの値が A-DMAC アクセスによって読み出されると、自動的に 0 にクリアされます。ただし、CPU および DMAC によるアクセスではクリアされません。 1：インプットキャプチャ発生 ［セット条件］ • インプットキャプチャ信号（TIA）により TCNTA の値が ICRAn に転送されたとき
2	ICFA2	0	R/(W)*	
1	ICFA1	0	R/(W)*	
0	ICFA0	0	R/(W)*	

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。
n＝0～3

12.10.5 タイマインタラプトイネーブルレジスタ A（TIERA）

TIERA は、8 ビットの読み出し／書き込み可能なレジスタで、フリーランニングカウンタ A（TCNTA）のオーバフロー割り込み要求、インプットキャプチャレジスタ A0～3（ICRA0～3）のインプットキャプチャ割り込み要求の許可／禁止を制御します。また、A-DMAC を設定することにより、このインプットキャプチャ割り込み要求で、インプットキャプチャレジスタ、内蔵 RAM 間の DMA 転送の起動が可能です。

TIERA は、バイト単位で読み出し／書き込みが可能です。

TIERA は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	OVEA	—	—	—	ICEA3	ICEA2	ICEA1	ICEA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	OVEA	0	R/W	オーバフローインタラプト A イネーブル タイマステータスレジスタ A（TSRA）のオーバフローフラグ A（OVFA）が 1 にセットされているとき、OVFA による割り込み要求の出力を許可または禁止します。 0：オーバフロー割り込み A 要求の出力を禁止する 1：オーバフロー割り込み A 要求の出力を許可する
6～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	ICEA3	0	R/W	インプットキャプチャインタラプト An イネーブル TSRA の ICFAn ビットが 1 にセットされているとき、ICFAn による割り込み要求の出力を許可または禁止します。また、割り込み要求の出力が許可されている状態で A-DMAC を設定することにより、割り込み要求による A-DMAC の起動ができます。 0：インプットキャプチャ割り込み An 要求の出力を禁止する 1：インプットキャプチャ割り込み An 要求の出力を許可する
2	ICEA2	0	R/W	
1	ICEA1	0	R/W	
0	ICEA0	0	R/W	

【注】 n＝0～3

12.10.6 インプットキャプチャレジスタ A0～3（ICRA0～3）

ICRA0～3 は、32 ビットの読み出し専用のレジスタで、インプットキャプチャ専用です。ただし、本レジスタは、書き込み禁止です。

本レジスタは、外部からのインプットキャプチャ信号（TIA00～03）を検出して、フリーランニングカウンタ A（TCNTA）の値を格納します。このとき、対応するタイマステータスレジスタ A（TSRA）の ICFA ビットが 1 にセットされます。また、このレジスタ値が A-DMAC アクセスによって読み出されると、TSRA の対応するインプットキャプチャフラグが 0 にクリアされます。

インプットキャプチャ信号の検出エッジはタイマ I/O コントロールレジスタ 1A（TIOR1A）の I/O コントロールビット（IOA）により設定します。

ICRA0～3 は、ロングワード単位でのみ読み出しが可能です。

ICRA0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICAn[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICAn[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 n＝0～3

ビット	ビット名	初期値	R/W	説　　明
31～0	ICAn[31:0]	すべて 0	R	インプットキャプチャ An 32 ビットのインプットキャプチャ値を格納します。

12.10.7 フリーランニングカウンタ A（TCNTA）

TCNTA は、32 ビットの読み出し／書き込み可能なレジスタで、クロックバス経由で入力されるプリスケーラ出力、外部入力クロック、タイマ B 出力の倍周補正クロックのいずれかでカウント動作を行います。

ATU-III マスタイネーブルレジスタ（ATUENR）の TAE ビットを 1 にセットすると、タイマ A はアップカウント動作を開始します。入力するクロックは、タイマコントロールレジスタ A（TCRA）のクロックセレクトビット（CKSELA）により選択します

TCNTA がオーバフロー（H'FFFF FFFF→H'0000 0000）すると、タイマステータスレジスタ A（TSRA）のオーバフローフラグ A（OVFA）が 1 にセットされます。

TCNTA は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTA は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	CNTA[31:0]	すべて 0	R/W	タイマカウント A 32 ビットのカウンタ値を格納します。

12.10.8 ノイズキャンセルカウンタ A0～3（NCNTA0～3）

NCNTA0～3 は、8 ビットの読み出し／書き込み可能なレジスタです。

タイマ I/O コントロールレジスタ 2A（TIOR2A）のノイズキャンセライネーブルビット（NCEA3～0）でノイズキャンセラ機能を有効にしたとき、外部入力端子（TIA00～03）からの信号をトリガとして、アップカウント動作を行います。カウントソースには、TIOR2A のノイズキャンセルクロックセレクトビット（NCKA3～0）で、ノイズキャンセラ用カウントクロックまたはクロックバス 5 を選択可能です。

共通制御部にある NCMR の NCMA ビットの設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCEA3～0ビットが1で、NCNTA0～3がカウント停止しているとき、TIA00～03の入力信号レベルが変化すると、NCNTA0～3はアップカウント動作を開始します。カウント値がノイズキャンセルレジスタA0～3（NCRA0～3）と一致すると、次のPφクロックに同期してカウント値をH'00にクリアしてカウント動作を停止します。

  NCNTA0～3は、ATUENRのTAEビットの設定にかかわらず、カウント動作を行います。

  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されてエッジ検出の対象となりますが、以降のカウント値がNCRA0～3と一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。カウント値がNCRA0～3と一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。

  カウント動作中にNCEAビットがクリアされても、カウント値がNCRA3～0と一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- **先行エッジキャンセルモード**

  NCEA3～0ビットが1で、NCNTA0～3がカウント停止しているとき、TIA00～03の入力信号レベルが変化すると、NCNTA3～0はアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタA0～3（NCRA0～3）と一致した場合には、次のPφクロックに同期してカウント値をH'00にクリアしカウント動作を停止します。

  NCNTA0～3は、ATUENRのTAEビットの設定にかかわらず、カウント動作を行います。

  ノイズキャンセル後の信号は、カウント値がNCRA0～3と一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRA0～3と一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

  カウント動作中にNCEAビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずにノイズキャンセル処理を継続します。

NCNTA3～0 は、バイト単位で読み出し／書き込みが可能です。

NCNTA3～0 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCCNTAn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～3

ビット	ビット名	初期値	R/W	説　　明
7～0	NCCNTAn[7:0]	すべて 0	R/W	ノイズキャンセルカウント An 8 ビットのカウント値を格納します。

12.10.9 ノイズキャンセルレジスタ A0～3（NCRA0～3）

NCRA0～3 は、8 ビットの読み出し／書き込み可能なレジスタで、ノイズキャンセルカウンタ A0～3（NCNTA0～3）の上限値を設定します。Pφクロックの 128 分周をノイズキャンセルクロックに選択している場合、H'FF 設定で最大 1.64msec（Pφ＝20MHz 時）のノイズをキャンセルすることができます。

共通制御部にある NCMR の NCMA ビットの設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCNTA0～3のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTA0～3とNCRA0～3の値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTA0～3のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- **先行エッジキャンセルモード**

  NCNTA0～3のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTA0～3とNCRA0～3の値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTA0～3のカウント値をクリアし、カウント動作を停止させると同時にノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

NCRA0～3 は、バイト単位で読み出し／書き込みが可能です。

NCRA0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCTAn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～3

ビット	ビット名	初期値	R/W	説　　明
7～0	NCTAn[7:0]	すべて 0	R/W	ノイズキャンセルタイム An TIA ノイズキャンセル期間（8 ビットコンペア値）

12.11 タイマ A の動作説明

12.11.1 ノイズキャンセル動作

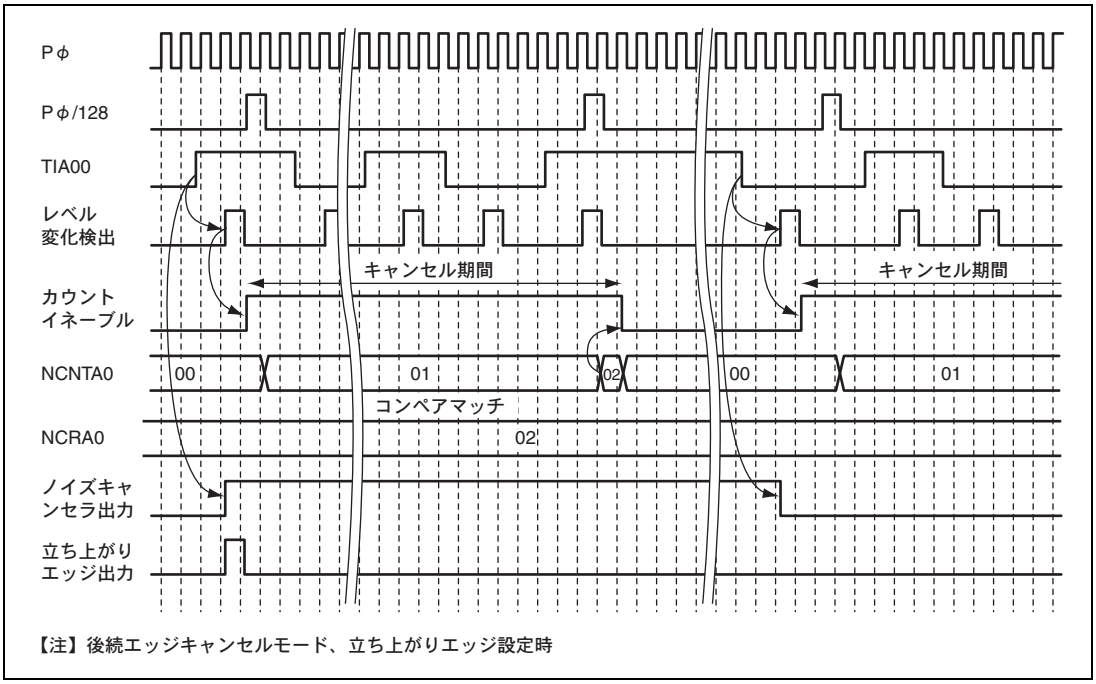
ノイズキャンセラの動作モードは、後続エッジキャンセルモードと先行エッジキャンセルモードの 2 種類あります。共通制御部内のノイズキャンセルモードレジスタ（NCMR）の NCMA ビットによって、どちらのモードに設定するかを選択できます。

図 12.6 に後続エッジキャンセルモードでのノイズキャンセル動作例、**図 12.8** に先行エッジキャンセルモードでのノイズキャンセル動作例を示します。いずれも TIA00 入力を例にとり、**図 12.6** および**図 12.8** ではエッジ検出が立ち上がりエッジ検出設定の場合を示しています。

後続エッジキャンセルモードでは、ノイズキャンセルカウンタ A（NCNTA）は入力信号のレベル変化をトリガとしてカウント動作を開始します。また、カウント開始と同時に、入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。

カウント動作は、カウント値がノイズキャンセルレジスタ A（NCRA）の設定値と一致するまで続きます。このカウント期間中の入力信号のレベル変化はすべて無視され、ノイズキャンセル処理後の信号として出力されません。カウント値がノイズキャンセルレジスタの設定値と一致したときは、ノイズキャンセル処理後の信号として、そのときの入力信号レベルを出力します。そのため、カウント動作開始時（変化後のレベル）と、コンペアマッチ時で入力レベルが異なる場合は、コンペアマッチタイミングでノイズキャンセル処理後の信号が変化することになりますのでご注意ください。

図 12.7 に、後続エッジキャンセルモードでの 2 種類の入力波形に対するノイズキャンセル処理の例を示します。



【注】後続エッジキャンセルモード、立ち上がりエッジ設定時

図 12.6 後続エッジキャンセルモードでのノイズキャンセル動作例

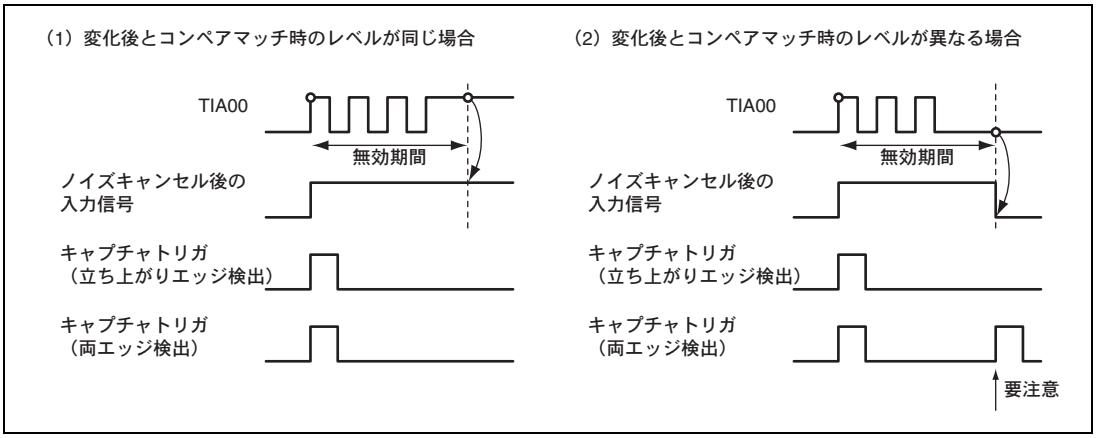


図 12.7　入力波形ごとのノイズキャンセル処理例（後続エッジキャンセルモード）

先行エッジキャンセルモードでは、ノイズキャンセルカウンタ A（NCNTA）は入力信号のレベル変化をトリガとしてカウント動作を開始します。カウント動作は、カウント値がノイズキャンセルレジスタ A（NCRA）の設定値と一致するか、あるいはカウント開始後に入力信号のレベルが変化するまで続きます。

カウント値がノイズキャンセルレジスタの設定値と一致したとき、カウント動作開始時の入力信号のレベル変化をノイズキャンセル処理後の信号として出力します。カウント値がノイズキャンセルレジスタ A（NCRA）の設定値と一致する前に入力信号のレベルが変化した場合、そのレベル変化とカウント動作開始時のレベル変化はノイズとみなされ、ノイズキャンセル処理後の信号として出力されません。

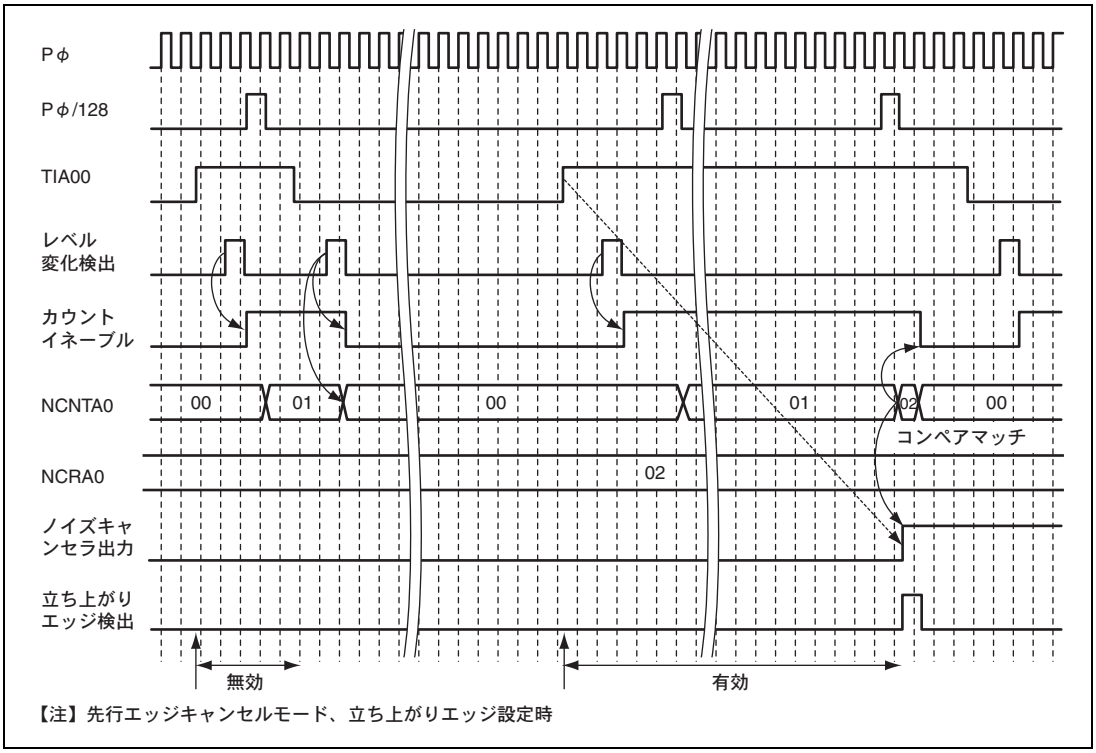


図 12.8　先行エッジキャンセルモードでのノイズキャンセル動作例

12.11.2 フリーランニング動作

フリーランニングカウンタ A（TCNTA）は、ATU-III マスタイネーブルレジスタ（ATUENR）の TAE ビットを 1 にセットするとアップカウント動作を開始します。TCNTA がオーバフロー（H'FFFFFFFF→H'00000000）するとタイマステータスレジスタ A（TSRA）の OVFA ビットが 1 にセットされます。このとき、タイマインタラプトイネーブルレジスタ A（TIERA）の OVEA ビットが 1 ならば CPU に割り込みを要求します。TCNTA は、オーバフロー後、H'00000000 からアップカウントを継続します。

TCNTA の動作中に ATUENR の TAE ビットを 0 にクリアすると、TCNTA は動作を停止します。このとき TCNTA はリセットされません。再び TAE ビットを 1 にセットした場合には、動作停止時のカウント値からカウント動作を再開します。

カウント動作中に TCNTA への書き込みを行った場合、書き込みをカウント動作に優先して行い、以降書き込まれた値でカウント動作を継続します。また、書き込みはカウントソースに関係なく Pφ クロックの 2 サイクルで完了します。

なお、プリスケーラは、TAE ビットの設定に関係なく動作しており、TCNTA の動作許可時にも初期化は行われません。したがって、起動から実際に TCNTA がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

図 12.9 に、フリーランニングカウンタ A（TCNTA）の動作を示します。

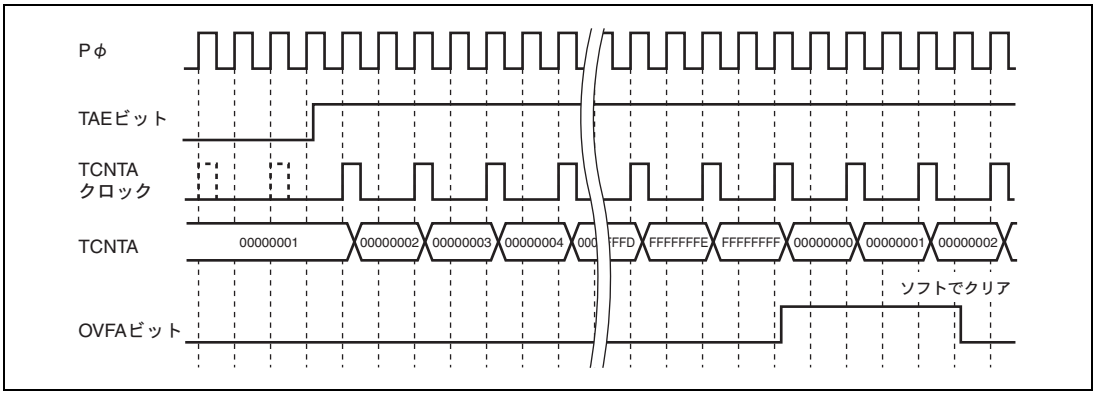


図 12.9 タイマ A フリーランニング動作、オーバフロータイミング

12.11.3 インプットキャプチャ動作

インプットキャプチャレジスタ A0～3（ICRA0～3）は、タイマ I/O コントロールレジスタ 1A（TIOR1A）の IOA3～0 ビットにインプットキャプチャ動作を指定することにより、対応する外部入力端子（TIA00～03）からのエッジ入力でインプットキャプチャ動作を行います。

外部信号入力端子からのエッジは、ノイズキャンセル機能を使用してノイズをキャンセルすることができます。

ATUENR の TAE ビットの設定により、フリーランニングカウンタ A（TCNTA）がカウントアップを開始します。ICRA の対応する外部信号入力端子のエッジが入力されると、対応するタイマステータスレジスタ A（TSRA）のビットがセットされ、TCNTA の値が ICRA に転送されます。入力されるエッジは、立ち上がり／立ち下がり／両エッジから選択できます。このとき、インタラプトイネーブルレジスタ A（TIERA）の設定により CPU へ割り込みを要求することができます。さらに、A-DMAC を設定することで割り込み要求で DMA 転送を開始することも可能です。

インプットキャプチャレジスタ A（ICRA）とフリーランニングカウンタ A（TCNTA）への書き込みが同時に発生した場合、キャプチャされる値は書き込み前のカウンタ値となります。

図 12.10 に、TIA00 を立ち上がりエッジ、TIA01 を立ち下がりエッジ、TIA02 を両エッジトリガと指定したときのインプットキャプチャ動作を示します。

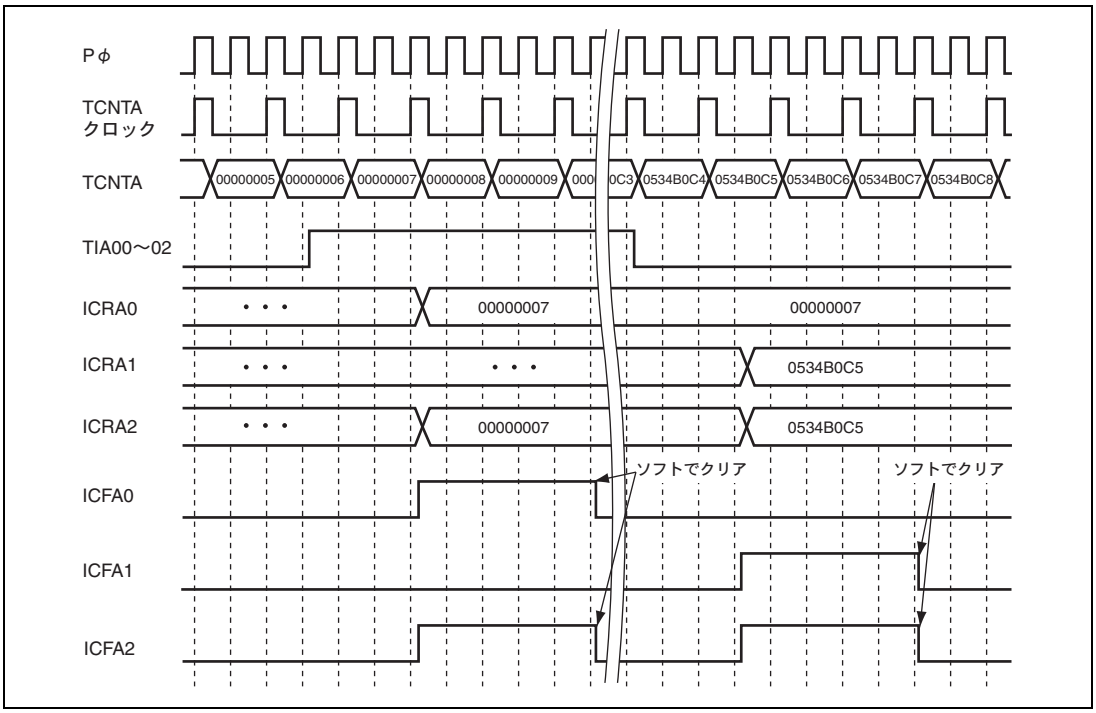


図 12.10 タイマ A のインプットキャプチャ動作

タイマコントロールレジスタ A（TCRA）の EVOSEL1 ビットを設定することにより、外部入力端子 TIA00～02 のノイズキャンセル、エッジ検出後の信号をタイマ B へ出力することができます。また、EVOSEL2 ビットを設定することにより、TIA01、TIA02（ノイズキャンセル、エッジ検出後の信号）のいずれかをタイマ D へイベント出力することができます。

図 12.11 では、EVOSEL1 を B'001（TIA00 の入力エッジを出力）、B'010（TIA01 の入力エッジを出力）、B'100（TIA02 を出力）と指定したときのイベント出力動作の例を示します。

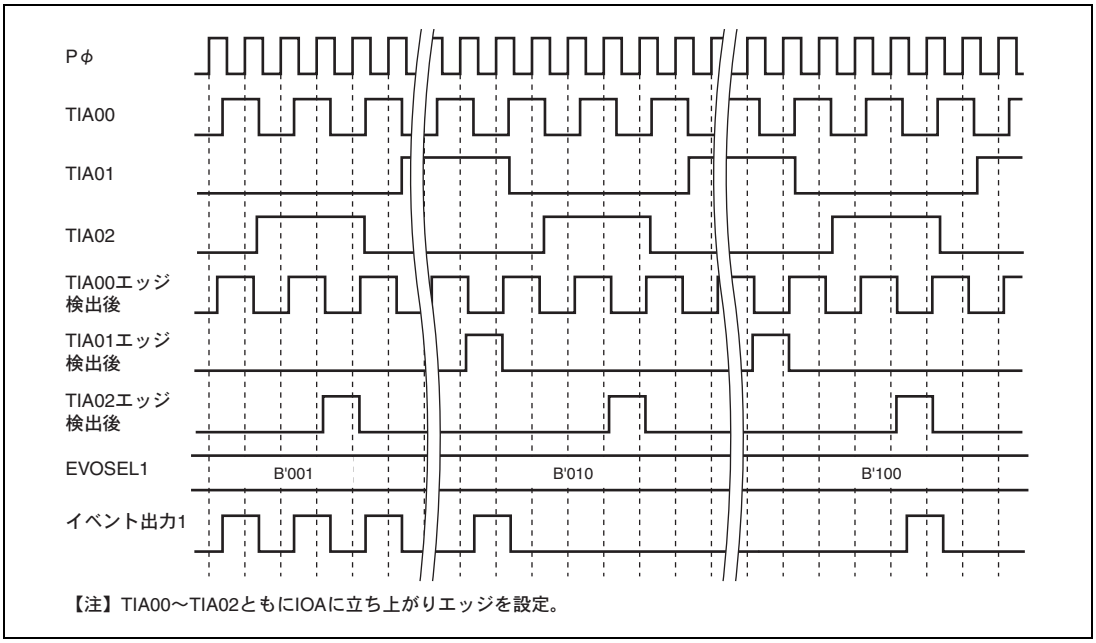


図 12.11 イベント出力動作の例

12.11.4 DMA 転送

A-DMAC を設定することで、タイマ A のインプットキャプチャ割り込み要求で A-DMAC の起動が可能です。A-DMAC による DMA 転送では、インプットキャプチャレジスタ、内蔵 RAM 間の転送が行われます。A-DMAC は、内部に 32 ビットのバッファレジスタを 4 本備えており、DMA 転送で読み出したインプットキャプチャレジスタの値をバッファレジスタで保持します。A-DMAC は、1 回の DMA 転送要求に対して、バッファレジスタに保持した前回のキャプチャレジスタの値とタイマ A から読み出した現在のインプットキャプチャレジスタの値を、それぞれ内蔵 RAM へ転送します。

12.12 タイマ B の概要

タイマ B は、外部イベント入力をベースにした倍周補正クロックを生成し、クロックバス経由で他のタイマブロックに供給します。タイマ B は、エッジ間計測ブロック、倍周クロック生成ブロック、倍周クロック補正ブロックの 3 つのブロックから構成されます。

（1） エッジ間計測ブロック

エッジ間計測ブロックでは、タイマ A 経由で入力される外部イベントの入力エッジ間の時間計測を行います。入力エッジ間計測カウンタ B0（TCNTB0）とアウトプットコンペアレジスタ B0（OCRB0）とのコンペアマッチにより、CPU への割り込み要求出力が可能です。また、外部イベント入力をカウントソースとするイベントカウンタ B1（TCNTB1）とアウトプットコンペアレジスタ B1（OCRB1）とのコンペアマッチにより、TCNTB0 の値を ICRB1 経由で ICRB2 へキャプチャすることもでき、複数イベント間の時間計測も可能です。TCNTB0 のカウント値は、外部イベント入力ごとにクリアされるため、ICRB1 が TCNTB0 の値を累積してキャプチャしており、ICRB2 は外部イベントカウンタのコンペアマッチでこの値を取り込みます。

（2） 倍周クロック生成ブロック

倍周クロック生成ブロックでは、外部イベント入力を 1～4095 逓倍した倍周クロックを生成します。エッジ間計測ブロックの入力エッジ間計測カウンタ B0（TCNTB0）のキャプチャ値に対して、リロード付きのダウンカウントを行います。ダウンカウントは分周比設定値で行います。倍周クロック（AGCK1）は、このダウンカウンタのアンダフローで生成します。ただし倍周クロックはタイマ B の内部クロックであり、タイマ B 外部へは出力されません。

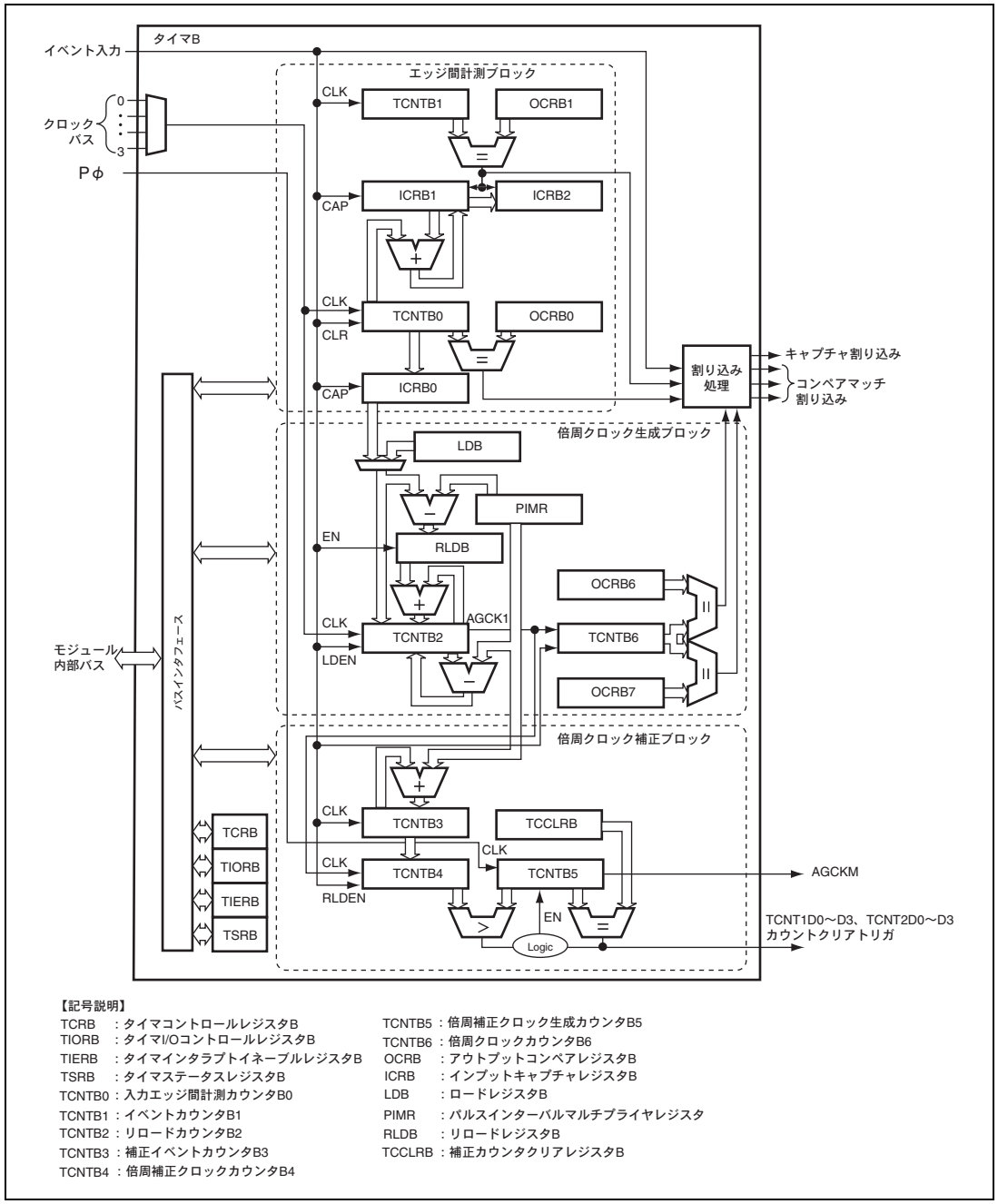
TCNTB6 は、倍周クロックベースの計測カウンタで OCRB6 とのコンペアマッチで CPU へ割り込み要求出力が可能です。

（3） 倍周クロック補正ブロック

倍周クロック生成ブロックで生成する AGCK1 は、1 つ前の入力エッジ間隔を参考にして生成されるため、連続する 2 つのエッジ間隔に変化が生じた場合は補正が必要になります。その補正を行うのが倍周補正ブロックであり、TCNTB3、TCNTB4、TCNTB5 の 3 つの補正カウンタと、補正カウンタクリアレジスタ（TCCLRB）を用いて倍周補正クロック（AGCKM）を生成します。倍周補正クロックは、クロックバスコントロールレジスタ（CBCNT）を設定することでクロックバス 5 へ出力することができ、他のタイマモジュールは倍周補正クロックをカウントソースとして使用できます。

12.12.1 ブロック図

図 12.12 に、タイマ B のブロック図を示します。



【記号説明】

TCRB ：タイマコントロールレジスタB
TIORB ：タイマI/Oコントロールレジスタ B
TIERB ：タイマインタラプトイネーブルレジスタB
TSRB ：タイマステータスレジスタB
TCNTB0 ：入力エッジ間計測カウンタB0
TCNTB1 ：イベントカウンタB1
TCNTB2 ：リロードカウンタB2
TCNTB3 ：補正イベントカウンタB3
TCNTB4 ：倍周補正クロックカウンタB4
TCNTB5 ：倍周補正クロック生成カウンタB5
TCNTB6 ：倍周クロックカウンタB6
OCRB ：アウトプットコンペアレジスタB
ICRB ：インプットキャプチャレジスタB
LDB ：ロードレジスタB
PIMR ：パルスインターバルマルチプライヤレジスタ
RLDB ：リロードレジスタB
TCCLRB ：補正カウンタクリアレジスタB

図 12.12 タイマ B のブロック図

12.13 タイマ B のレジスタの説明

12.13.1 タイマコントロールレジスタ B（TCRB）

TCRB は、8 ビットの読み出し／書き込み可能なレジスタで、入力エッジ間計測カウンタ B0（TCNTB0）、リロードカウンタ B2（TCNTB2）のカウントソースの選択を行います。

TCRB は、バイト単位で読み出し／書き込みが可能です。

TCRB は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CKSELB	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	CKSELB	00	R/W	クロックセレクト B TCNTB0、TCNTB2 のカウントクロックとしてクロックバス 0～3 のいずれかを選択します。クロックバス 0～3 はプリスケーラ 0～3 の出力する分周クロックです。カウントクロックのエッジ検出は立ち上がり固定です。カウントクロックの選択は、タイマ B の動作が停止している状態で行ってください。 00：カウントソースにクロックバス 0 を選択 01：カウントソースにクロックバス 1 を選択 10：カウントソースにクロックバス 2 を選択 11：カウントソースにクロックバス 3 を選択

12.13.2 タイマ I/O コントロールレジスタ B（TIORB）

TIORB は、8 ビットの読み出し／書き込み可能なレジスタで、倍周クロックの元データの選択、外部入力の有効／無効、データロードの許可／禁止、補正の設定などを行います。また、倍周補正クロック生成カウンタ B5（TCNTB5）やアウトプットコンペアレジスタ B6（OCRB6）の制御も行います。

TIORB は、バイト単位で読み出し／書き込みが可能です。

TIORB は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	LD SEL	CTC NTB5	EVC NTB	LDEN	CCS	—	—	IOB6
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7	LDSEL	0	R/W	ロードデータセレクト リロードカウンタ B2（TCNTB2）にロードする値およびリロードレジスタ B（RLDB）にロードする値の計算値として、ICRB0 値を用いるか、LDB 値を用いるかを選択できます。 0：TCNTB2 のロードデータ、RLDB のロードデータの計算に ICRB0 値を用いる 1：TCNTB2 のロードデータ、RLDB のロードデータの計算に LDB 値を用いる
6	CTCNTB5	0	R/W	カウントコントロール B5 倍周補正クロック生成カウンタ B5（TCNTB5）のカウント動作を許可、あるいは停止させることができます。 本ビットを 1 にすると、TCNTB5 のカウントが停止し、他タイマへ出力する補正倍周クロックも停止します。カウント動作停止によるカウンタのクリアは行われません。動作停止後、本ビットを 0 に設定した場合、TCNTB5 は補正カウント動作を再開し、倍周補正クロックも発振を再開します。 0：TCNTB5 のカウント動作を許可 1：TCNTB5 のカウント動作を停止
5	EVCNTB	0	R/W	イベントコントロール B 外部イベントの入力を許可、あるいは禁止を選択することができます。本ビットを 0 にクリアした場合、外部イベントは入力されません。本ビットを 1 にセットしたとき、選択したエッジをもとにインプットキャプチャや倍周補正クロックの生成が行われます。 0：外部イベントの入力を禁止 1：外部イベントの入力を許可

ビット	ビット名	初期値	R/W	説　　明
4	LDEN	0	R/W	ロードイネーブル ICRB0 のインプットキャプチャ時に、リロードカウンタ B2（TCNTB2）およびリロードレジスタ B（RLDB）の値を更新するかどうかを選択します。 0：ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値を更新する 1：ICRB0 のインプットキャプチャ時に TCNTB2、RLDB の値を更新しない
3	CCS	0	R/W	カウンタコレクションセレクト 倍周補正クロックカウンタ B4（TCNTB4）の動作を選択します。TCNTB3＝TCNTB4 のとき、TCNTB4 のカウント動作を停止するかどうかを選択することができます。 0：TCNTB3＝TCNTB4 のとき、TCNTB4 のカウント動作を停止しない 1：TCNTB3＝TCNTB4 のとき、TCNTB4 のカウント動作を停止する
2、1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	IOB6	0	R/W	I/O コントロール B6 アウトプットコンペアレジスタ B6（OCRB6）の機能を選択します。本ビットを 0 に設定したとき、OCRB6 は倍周クロックカウンタ B6（TCNTB6）とのコンペアマッチを行いません。1 に設定すると TCNTB6 とのコンペアマッチ動作を行います。このとき、タイマインタラプトイネーブルレジスタ B（TIERB）の CMEB6 ビットが 1 であれば、コンペアマッチで CPU へ割り込み要求が出力されます。 0：TCNTB6 と OCRB6 とのコンペアマッチ禁止 1：TCNTB6 と OCRB6 とのコンペアマッチ許可

12.13.3 タイマステータスレジスタ B（TSRB）

TSRB は、8 ビットの読み出し／書き込み可能なレジスタで、インプットキャプチャ／コンペアマッチの発生を示します。これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ B（TIERB）の対応するビットにより割り込みが許可されていれば、CPU へ割り込みを要求します。

TSRB は、バイト単位で読み出し／書き込みが可能です。

TSRB は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	CMFB6	CMFB1	ICFB0	CMFB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	CMFB6	0	R/(W)*	コンペアマッチフラグ B6 アウトプットコンペアレジスタ B6（OCRB6）のコンペアマッチ発生を示すステータスフラグです。本フラグの読み出し値が 1 であるとき、CMFB6 でコンペアマッチが発生したことがわかります。 本フラグをソフトウェアにより 1 にセットすることはできません。 本フラグは、CMFB6 が 1 であることを読み出した後 0 を書き込むことによってフラグのクリアが可能です。1 を読み出さずに 0 を書き込んだ場合、その書き込みは無視されます。また、TIERB の IREG ビットを B'10 に設定しているときにかぎり、OCRB7 のコンペアマッチ発生によって自動的にクリアされます。 0：コンペアマッチなし ［クリア条件］ • CMPB6＝1 の状態を読み出した後、CMFB6 に 0 を書き込んだとき • IREG＝B'10 設定時、OCRB7 コンペアマッチ発生で自動的にクリアされる 1：コンペアマッチ発生 ［セット条件］ • TCNTB6 のカウント値が OCRB6 の値と一致したとき

ビット	ビット名	初期値	R/W	説　　明
2	CMFB1	0	R/(W)*	コンペアマッチフラグ B1 アウトプットコンペアレジスタ B1（OCRB1）のコンペアマッチ発生を示すステータスフラグです。本フラグの読み出し値が 1 であるとき、CMFB1 でコンペアマッチが発生したことがわかります。 本フラグをソフトウェアにより 1 にセットすることはできません。 本フラグは、CMFB1 が 1 であることを読み出した後 0 を書き込むことによってフラグのクリアが可能です。1 を読み出さずに 0 を書き込んだ場合、その書き込みは無視されます。 0：コンペアマッチなし ［クリア条件］ • CMPB1＝1 の状態を読み出した後、CMFB1 に 0 を書き込んだとき 1：コンペアマッチ発生 ［セット条件］ • TCNTB1 のカウント値が OCRB1 の値と一致したとき
1	ICFB0	0	R/(W)*	インプットキャプチャフラグ B0 インプットキャプチャレジスタ B0（ICRB0）のインプットキャプチャ発生を示すステータスフラグです。本フラグの読み出し値が 1 であるとき、ICRB0 でインプットキャプチャが発生したことがわかります。 本フラグをソフトウェアにより 1 にセットすることはできません。 本フラグは、ICFB0 が 1 であることを読み出した後 0 を書き込むことによってクリアが可能です。1 を読み出さずに 0 を書き込んだ場合、その書き込みは無視されます。 0：インプットキャプチャなし ［クリア条件］ • ICFB0＝1 の状態を読み出した後、ICFB0 に 0 を書き込んだとき 1：インプットキャプチャ発生 ［セット条件］ • 外部イベントによるインプットキャプチャトリガにより TCNTB0 の値が ICRB0 に転送されたとき

ビット	ビット名	初期値	R/W	説　　明
0	CMFB0	0	R/(W)*	コンペアマッチフラグ B0 アウトプットコンペアレジスタ B0（OCRB0）のコンペアマッチ発生を示すステータスフラグです。本フラグの読み出し値が 1 であるとき、CMFB0 でコンペアマッチが発生したことがわかります。 本フラグをソフトウェアにより 1 にセットすることはできません。 本フラグは、CMFB0 が 1 であることを読み出した後 0 を書き込むことによってフラグのクリアが可能です。1 を読み出さずに 0 を書き込んだ場合、その書き込みは無視されます。 0：コンペアマッチなし ［クリア条件］ • CMPB0＝1 の状態を読み出した後、CMFB0 に 0 を書き込んだとき 1：コンペアマッチ発生 ［セット条件］ • TCNTB0 のカウント値が OCRB0 の値と一致したとき

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。

12.13.4 タイマインタラプトイネーブルレジスタ B（TIERB）

TIERB は、8 ビットの読み出し／書き込み可能なレジスタで、インプットキャプチャ／コンペアマッチの割り込み要求の許可／禁止を制御します。

TIERB は、バイト単位で読み出し／書き込みが可能です。

TIERB は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	IREG		CMEB6	CMEB1	ICEB0	CMEB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	IREG	00	R/W	インタラプトイネーブルエッジ TSRB の CMFB6 の割り込み要求出力タイミングを選択します。 00：CMFB6 が有効になったタイミングで割り込み要求出力 01：CMFB6 が有効になった後、次の外部イベント入力タイミングで割り込み要求出力 10：CMFB6 が有効になった後、2 回目の外部イベント入力タイミングで割り込み要求出力。ただし、2 回の外部イベントが入力されるまでにコンペアマッチ B7 が発生した場合は、割り込み要求を出力しない 11：設定禁止

ビット	ビット名	初期値	R/W	説　　明
3	CMEB6	0	R/W	コンペアマッチインタラプト B6 イネーブル TSRB のコンペアマッチフラグ B6（CMFB6）が 1 にセットされているとき、CMFB6 による割り込み要求の出力を許可または禁止します。割り込み要求を出力するタイミングは、IREG を設定することで選択できます。 0：コンペアマッチ割り込み B6 要求の出力を禁止 1：コンペアマッチ割り込み B6 要求の出力を許可
2	CMEB1	0	R/W	コンペアマッチインタラプト B1 イネーブル TSRB のコンペアマッチフラグ B1（CMFB1）が 1 にセットされているとき、CMFB1 による割り込み要求の出力を許可または禁止します。 0：コンペアマッチ割り込み B1 要求の出力を禁止 1：コンペアマッチ割り込み B1 要求の出力を許可
1	ICEB0	0	R/W	インプットキャプチャインタラプト B0 イネーブル TSRB のインプットキャプチャフラグ B0（ICFB0）が 1 にセットされているとき、ICFB0 による割り込み要求の出力を許可または禁止します。 0：インプットキャプチャ割り込み B0 要求の出力を禁止 1：インプットキャプチャ割り込み B0 要求の出力を許可
0	CMEB0	0	R/W	コンペアマッチインタラプト B0 イネーブル TSRB のコンペアマッチフラグ B0（CMFB0）が 1 にセットされているとき、CMFB0 による割り込み要求の出力を許可または禁止します。 0：コンペアマッチ割り込み B0 要求の出力を禁止 1：コンペアマッチ割り込み B0 要求の出力を許可

12.13.5 入力エッジ間計測カウンタ B0（TCNTB0）

TCNTB0 は、32 ビットの読み出し／書き込み可能なレジスタで、タイマコントロールレジスタ B（TCRB）のクロックセレクトビット B（CKSELB）で選択した入力クロックによりカウント動作を行います。また、TCNTB0 は、外部イベント入力によるインプットキャプチャタイミングでクリア（H'0000 0001）されます。

ATU-III マスタイネーブルレジスタ（ATUENR）のタイマ B イネーブルビット（TBE）が 1 にセットされるとカウント動作を行います。TBE ビットを 0 にクリアするとカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB0 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTB0 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0001 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB0															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB0															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	CNTB0	H'00000001	R/W	入力エッジ間計測カウント 32 ビットカウンタ値

12.13.6 インプットキャプチャレジスタ B0（ICRB0）

ICRB0 は、32 ビットの読み出し専用レジスタで、外部イベントの入力タイミングで TCNTB0 の値が転送されます。このとき、同時にタイマステータスレジスタ B（TSRB）の ICFB0 ビットが 1 にセットされます。

ICRB0 のインプットキャプチャのタイミングで、TCNTB0 は H'00000001 にクリアされます。

ICRB0 は、ロングワード単位でのみ読み出しが可能です。

ICRB0 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICB0															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICB0															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～0	ICB0	すべて 0	R	インプットキャプチャ B0 32 ビットインプットキャプチャ値

12.13.7 アウトプットコンペアレジスタ B0（OCRB0）

OCRB0 は、32 ビットの読み出し／書き込み可能なレジスタで、常にフリーランニングカウンタ B0（TCNTB0）と比較されています。両者の値が一致するとタイマステータスレジスタ B（TSRB）の CMFB0 ビットが 1 にセットされます。タイマインタラプトイネーブルレジスタ B（TIERB）の CMEB0 ビットを 1 にセットすることで、コンペアマッチで CPU へ割り込み要求を出力することができます。

OCRB0 は、ロングワード単位でのみ読み出し／書き込みが可能です。

OCRB0 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFFFFFF に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCB0															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCB0															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	OCB0	すべて 1	R/W	アウトプットコンペア B0 32 ビットコンペア値

12.13.8 イベントカウンタ B1（TCNTB1）

TCNTB1 は、8 ビットの読み出し／書き込み可能なレジスタで、外部イベントのカウント動作を行います。

ATU-III マスタイネーブルレジスタ（ATUENR）の TBE ビットがカウント動作許可に設定されていなければ、外部イベント入力があってもカウント動作を行いません。

TCNTB1 は、バイト単位で読み出し／書き込みが可能です。

TCNTB1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	CNTB1							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	CNTB1	すべて 0	R/W	イベントカウント B1 8 ビットカウント値

12.13.9 アウトプットコンペアレジスタ B1（OCRB1）

OCRB1 は、8 ビットの読み出し／書き込み可能なレジスタで、常にイベントカウンタ B1（TCNTB1）と比較されています。両者の値が一致すると、次の Pφクロックに同期して、タイマステータスレジスタ B（TSRB）の CMFB1 ビットが 1 にセットされます。

タイマインタラプトイネーブルレジスタ B（TIERB）の CMEB1 ビットを 1 にセットすることで、コンペアマッチで CPU へ割り込み要求を出力することができます。

このコンペアマッチのタイミングでインプットキャプチャレジスタ B1（ICRB1）の値がインプットキャプチャレジスタ B2（ICRB2）に転送されるとともに、ICRB1 はクリアされます。

OCRB1 は、バイト単位で読み出し／書き込みが可能です。

OCRB1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FF に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	OCB1							
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	OCB1	すべて 1	R/W	アウトプットコンペア B1 8 ビットコンペア値

12.13.10 インプットキャプチャレジスタ B1（ICRB1）

ICRB1 は、32 ビットの読み出し専用レジスタです。外部イベントの入力タイミングで、入力エッジ間計測カウンタ B0（TCNTB0）の値を ICRB1 に累積して取り込みます。ICRB1 のクリアは、イベントカウンタ B1（TCNTB1）とアウトプットコンペアレジスタ B1（OCRB1）でのコンペアマッチ発生時に行われます。

ICRB1 は、ロングワード単位でのみ読み出しが可能です。

ICRB1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICB1															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICB1															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～0	ICB1	すべて 0	R	インプットキャプチャ B1 32 ビットインプットキャプチャ値

12.13.11 インプットキャプチャレジスタ B2（ICRB2）

ICRB2 は、32 ビットの読み出し専用レジスタで、イベントカウンタ B1（TCNTB1）とアウトプットコンペアレジスタ B1（OCRB1）でのコンペアマッチ発生時に、インプットキャプチャレジスタ B1（ICRB1）の値を取り込みます。

ICRB2 は、ロングワード単位でのみ読み出しが可能です。

ICRB2 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICB2															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICB2															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～0	ICB2	すべて 0	R	インプットキャプチャ B2 32 ビットインプットキャプチャ値

12.13.12 ロードレジスタ B（LDB）

LDB は、32 ビットの読み出し／書き込み可能なレジスタで、ロングワード境界の下位 24 ビットにマッピングされています。

タイマ I/O コントロールレジスタ B（TIORB）の LDSEL ビットが 1 のとき、LDB 値がリロードカウンタ B2（TCNTB2）、リロードレジスタ B（RLDB）の更新に用いられます。

LDB は、ロングワード単位でのみ読み出し／書き込みが可能です。

LDB は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	LDVAL							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LDVAL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～24	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23～0	LDVAL	すべて 0	R/W	ロード値 24 ビットロード値

12.13.13 リロードレジスタ B（RLDB）

RLDB は、32 ビットの読み出し／書き込み可能なレジスタで、ロングワード境界の上位 24 ビットにマッピングされています。

タイマ I/O コントロールレジスタ B（TIORB）の LDEN ビットが 0 のとき、外部イベント入力により RLDB の値が更新されます。

更新データは、インプットキャプチャレジスタ B0（ICRB0）値またはロードレジスタ B（LDB）の値から、パルスインターバルマルチプライヤレジスタ（PIMR）の値を減算した値になります。ICRB0 または LDB の値のどちらを用いるかは、TIORB の LDSEL ビットで選択できます。ICRB0－PIMR の計算は、ICRB0 の下位 24 ビットのデータと、PIM の値を上位 12 ビット 0 拡張した 24 ビットデータで行われます。

リロードレジスタ B（RLDB）の内容は、リロードカウント B2 ビット（CNTB2）の値がパルスインターバルマルチプライヤ値（PIM）以下になると、次のカウントタイミングで TCNTB2 に加算されます。

RLDB は、ロングワード単位でのみ読み出し／書き込みが可能です。

RLDB は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RLDVAL															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RLDVAL								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～8	RLDVAL	すべて 0	R/W	リロード値 24 ビットリロード値
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.14 リロードカウンタ B2（TCNTB2）

TCNTB2 は、32 ビットの読み出し／書き込み可能なレジスタで、タイマコントロールレジスタ B（TCRB）のクロックセレクトビット B（CKSELB）で選択した入力クロックによりカウント動作を行います。ダウンカウントは、パルスインターバルマルチプライヤレジスタ（PIMR）に設定された値で行われます。

ATU-III マスタイネーブルレジスタ（ATUENR）の TBE ビットが 1 にセットされていなければ、カウント動作は行いません。また TBE ビットが 0 にクリアされても、カウンタ値はクリアされません。

タイマ I/O コントロールレジスタ B（TIORB）の LDEN ビットが 0 のとき、外部イベント入力により TCNTB2 の値が更新されます。

更新データは、インプットキャプチャレジスタ B0（ICRB0）値もしくはロードレジスタ B（LDB）の値になります。ICRB0 または LDB の値のどちらを用いるかは、TIORB の LDSEL ビットで選択できます。

また、TCNTB2 はダウンカウント動作で、CNTB2≦PIM となったとき、次のカウントタイミングでリロードレジスタ B（RLDB）の値を TCNTB2 に加算します。このリロードタイミングに Pφクロックの 1 サイクル分のパルスを出力することで、倍周クロック（AGCK1）を生成します。

TCNTB2 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTB2 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB2															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB2								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～8	CNTB2	すべて 0	R/W	リロードカウント B2 24 ビットリロードカウント値
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.15 パルスインターバルマルチプライヤレジスタ（PIMR）

PIMR は、16 ビットの読み出し／書き込み可能なレジスタで、外部入力周期に対する倍周クロックの逓倍比を設定します。

逓倍比には、1（H'001）～4095（H'FFF）まで設定可能です。ただし、PIM に H'000 を設定しないでください。PIM に H'000 を設定した場合、その後の動作は保証されません。

リロードカウンタ B2（TCNTB2）は、PIMR の設定値（PIM）でダウンカウントを行います。また、PIMR の値は、リロードレジスタ B（RLDB）の入力値の計算および補正イベントカウンタ B3（TCNTB3）の入力値の計算にも用いられます。

PIMR は、ワード単位でのみ読み出し／書き込みが可能です。

PIMR は、パワーオンリセットおよびハードウェアスタンバイ時に H'0001 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PIM											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～12	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11～0	PIM	H'001	R/W	パルスインターバルマルチプライヤ 倍周クロックの逓倍比を設定します。逓倍比は、1～4095 逓倍の間で設定できます。

12.13.16 倍周クロックカウンタ B6（TCNTB6）

TCNTB6 は、32 ビットの読み出し／書き込み可能なレジスタで、倍周クロック（AGCK1）でカウントアップ動作を行います。外部イベント入力により TCNTB6 は H'00000000 に初期化されます。

ATU-III マスタイネーブルレジスタ（ATUENR）の TBE ビットが 1 にセットされるとカウント動作を行います。TBE ビットを 0 にクリアするとカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB6 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTB6 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB6															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB6				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～12	CNTB6	すべて 0	R/W	倍周クロックカウント B6 20 ビット倍周クロックカウント値
11～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.17 アウトプットコンペアレジスタ B6（OCRB6）

OCRB6 は、32 ビットの読み出し／書き込み可能なレジスタで、ロングワードの上位 20 ビットにアウトプットコンペア B6（OCRB6）がマッピングされています。タイマ I/O コントロールレジスタ B（TIORB）の IOB6 ビットの設定により、倍周クロックカウンタ B6（TCNTB6）と OCRB6 のコンペアマッチを行うかどうかを選択できます。

IOB6 ビットがコンペアマッチ許可に設定されているとき、OCRB6 と TCNTB6 の両者が一致した状態で倍周クロック（AGCK1）が入力されると、タイマステータスレジスタ B（TSRB）の CMFB6 ビットが 1 にセットされます。タイマインタラプトイネーブルレジスタ B（TIERB）の CMEB6 ビットを 1 に設定することで、このコンペアマッチで CPU に割り込み要求を出力することが可能です。

OCRB6 は、ロングワード単位でのみ読み出し／書き込みが可能です。

OCRB6 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFFF000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCB6															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCB6				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～12	OCB6	すべて 1	R/W	アウトプットコンペア B6 20 ビットコンペア値
11～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.18 アウトプットコンペアレジスタ B7（OCRB7）

OCRB7 は、32 ビットの読み出し／書き込み可能なレジスタで、ロングワードの上位 20 ビットにアウトプットコンペア B7（OCB7）がマッピングされています。

OCRB7 と TCNTB6 の両者が一致した状態で、倍周クロック（AGCK1）が入力されると、コンペアマッチを発生します。タイマインタラプトイネーブルレジスタ B（TIERB）の IREG ビットが B'10 に設定されていれば、このコンペアマッチ発生により、タイマステータスレジスタ B（TSRB）の CMFB6 は 0 にクリアされます。

OCRB7 には、OCRB7 のコンペアマッチ発生を示すステータスフラグおよび割り込み要求はありません。

OCRB7 は、ロングワード単位でのみ読み出し／書き込みが可能です。

OCRB7 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFFF000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OCB7															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCB7				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～12	OCB7	すべて 1	R/W	アウトプットコンペア B7 20 ビットコンペア値
11～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.19 補正イベントカウンタ B3（TCNTB3）

TCNTB3 は、32 ビットの読み出し／書き込み可能なレジスタです。

外部イベント入力のタイミングで、カウンタ値を倍周補正クロックカウンタ B4（TCNTB4）に転送後、アップカウント動作を行います。アップカウントは、パルスインターバルマルチプライヤレジスタ（PIMR）の値で行います。

ATU-III マスタイネーブルレジスタ（ATUENR）の TBE ビットが 1 にセットされていなければカウント動作は行いません。また、TBE ビットが 0 にクリアされてもカウンタ値はクリアされません。

TCNTB3 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTB3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB3															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB3				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～12	CNTB3	すべて 0	R/W	補正イベントカウント B3 20 ビットイベントカウント値
11～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.20 倍周補正クロックカウンタ B4（TCNTB4）

TCNTB4 は、32 ビットの読み出し／書き込み可能なレジスタで、20 ビットのアップカウンタです。TCNTB4 は、外部イベント入力のタイミングで TCNTB3 の値をロードします。

TCNTB4 は、リロードカウンタ B2（TCNTB2）が出力する倍周クロック（AGCK1）でアップカウント動作を行います。CNTB4 は、CNTB3＝H'00000 のときに外部イベントが入力されると H'00000 に初期化されます。

タイマ I/O コントロールレジスタ B（TIORB）の CCS ビットが 1 の場合、TCNTB4 のカウント値と TCNTB3 の値が一致するとカウント動作を停止します。CCS ビットが 0 の場合は、カウント動作を停止しません。

ATU-III マスタイネーブルレジスタ（ATUENR）の TBE ビットが 1 にセットされていなければカウント動作を行いません。また、TBE ビットを 0 にクリアするとカウント動作は停止しますが、カウンタ値はクリアされません。

TCNTB4 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTB4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB4															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB4				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～12	CNTB4	すべて 0	R/W	補正倍周クロックカウント B4 20 ビット倍周クロックカウント値
11～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.21 倍周補正クロック生成カウンタ B5（TCNTB5）

TCNTB5 は、32 ビットの読み出し／書き込み可能なレジスタです。TCNTB5 は、ATU-III マスタイネーブルレジスタ（ATUENR）の TBE ビットがカウンタ動作許可で、タイマ I/O コントロールレジスタ B（TIORB）のカウントコントロール B5 ビット（CTCNTB5）がカウント許可に設定されているとき、カウント値が倍周補正クロックカウンタ B4（TCNTB4）よりも小さければ Pφクロックでカウントアップ動作を行い、補正カウンタクリアレジスタ B（TCCLRB）の設定値と一致した時点でカウント動作を停止します。

また、CNTB3＝H'00000 のときに外部イベントが入力されると、TCNTB5 のカウント値の補正およびクリアが行われます。このときの動作は、TCNTB5 のカウント値によって下記のようになります。

- TCNTB5＝TCCLRBのとき

  TCNTB5はH'0000 1000にクリアされます。

- TCNTB5≠TCCLRBのとき

  TCNTB5はTCCLRBの値まで自動的にカウントアップした後、H'0000 1000にクリアされます。

なお、本カウンタのカウントアップごとに倍周補正クロック（AGCKM）が生成されます。AGCKM は、クロックバスコントロールレジスタ（CBCNT）の CB5SEL ビットを 1 に設定することで、クロックバス 5 に出力することが可能です。また、カウント動作中に、TIORB の CTCNTB5 ビットをカウント動作停止、許可と順に設定することにより、AGCKM の出力を一時的に停止させることが可能です。

TCNTB5 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTB5 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 1000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNTB5															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNTB5				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～12	CNTB5	H'00001	R/W	倍周補正クロック生成カウント B5 20 ビット倍周補正クロックカウント値
11～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.13.22 補正カウンタクリアレジスタ B（TCCLRB）

TCCLRB は、32 ビットの読み出し／書き込み可能なレジスタです。

TCCLRB は TCNTB5 と常に比較されており、両者が一致すると TCNTB5 はカウント動作を停止します。このとき、タイマ D に対してカウンタクリアトリガを出力します。タイマ D のタイマコントロールレジスタ Dn（TCRDn）の対応するカウンタクリアイネーブルを設定することにより、タイマ D の TCNT1Dn、TCNT2Dn を個別にクリアすることが可能です。

TCCLRB は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCCLRB は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCLRB															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCLRB				—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～12	CCLRB	すべて 0	R/W	補正カウンタクリア B 20 ビット補正カウンタクリア値
11～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.14 タイマ B の動作説明

12.14.1 エッジ間計測機能およびエッジ入力停止検出機能

タイマ B のインプットキャプチャレジスタ B0（ICRB0）およびアウトプットコンペアレジスタ B0（OCRB0）は、無条件でそれぞれインプットキャプチャ／コンペアマッチ動作を行います。これらはフリーランニングカウンタ B0（TCNTB0）に接続されています。

ATU-III マスタイネーブルレジスタ（ATUENR）の TBE ビットを 1 に設定すると、タイマ B が動作を開始します。

タイマ A 経由で入力されるイベント（AGCK）入力により、ICRB0 は TCNTB0 の値をキャプチャします。また、キャプチャと同時に TCNTB0 は H'00000001 にクリアされます。

タイマインタラプトイネーブルレジスタ B（TIERB）を設定することより、このキャプチャタイミングで CPU に割り込み要求を出力することができます。これにより外部イベントエッジ間の時間計測が可能になります。

また、ICRB0 にキャプチャされた値は、倍周クロック生成ブロックに転送され、リロードカウンタ B2（TCNTB2）、リロードレジスタ B（RLDB）の入力値として使われます。

TCNTB0 が OCRB0 に設定された値に達したとき、TIERB の設定よりコンペアマッチによる割り込み要求出力が可能です。これにより OCRB0 に設定された時間以上にエッジ入力が停止したことを検出することができます。

図 12.13 に、TCNTB0 のインプットキャプチャ動作とコンペアマッチ動作を示します。

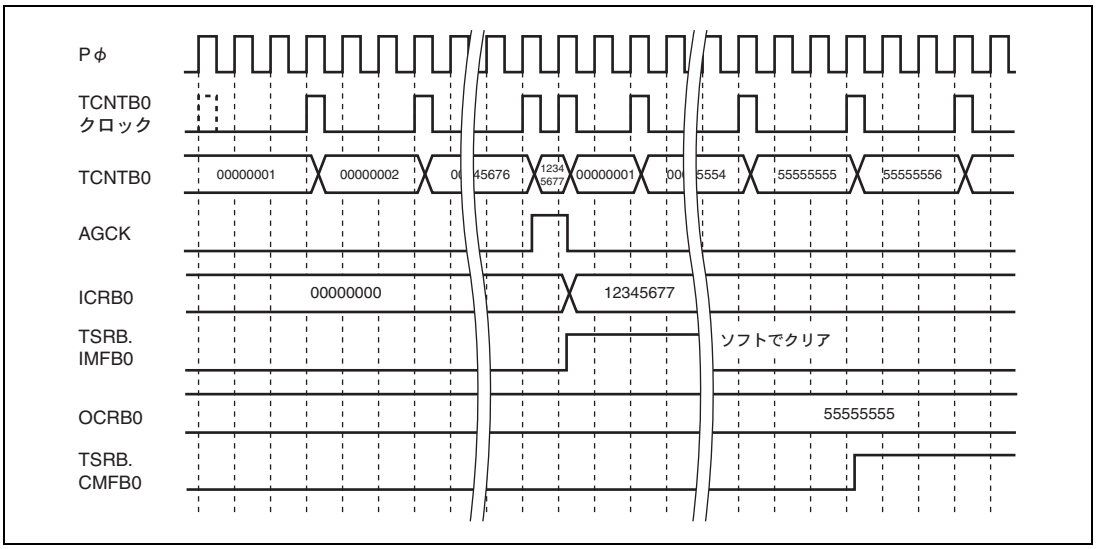


図 12.13 TCNTB0 のインプットキャプチャ動作とコンペアマッチ動作

外部イベント（AGCK）は、イベントカウンタ B1（TCNTB1）でカウントされます。あらかじめアウトプットコンペアレジスタ B1（OCRB1）に値を設定しておくと、TCNTB1 が OCRB1 に一致したときにコンペアマッチを発生します。このコンペアマッチのタイミングでインプットキャプチャレジスタ B2（ICRB2）はインプットキャプチャレジスタ B1（ICRB1）の値をキャプチャすることができます。また、TIER の CMEB1 ビットを 1 にセットしておくと、CPU へ割り込み要求を出力することが可能です。これにより、外部イベントのエッジ入力停止を検出することができます。

ICRB1 は、外部イベント（AGCK）をトリガとして TCNTB0 の値を ICRB1 の値に累積してキャプチャするレジスタです。この ICRB1 の値は、TCNTB1 と OCRB1 のコンペアマッチで ICRB2 に取り込むことができ、これにより複数エッジ間の時間計測が行えます。

図 12.14 に、TCNTB1 のコンペアマッチ動作および ICRB1 と ICRB2 のキャプチャ動作を示します。

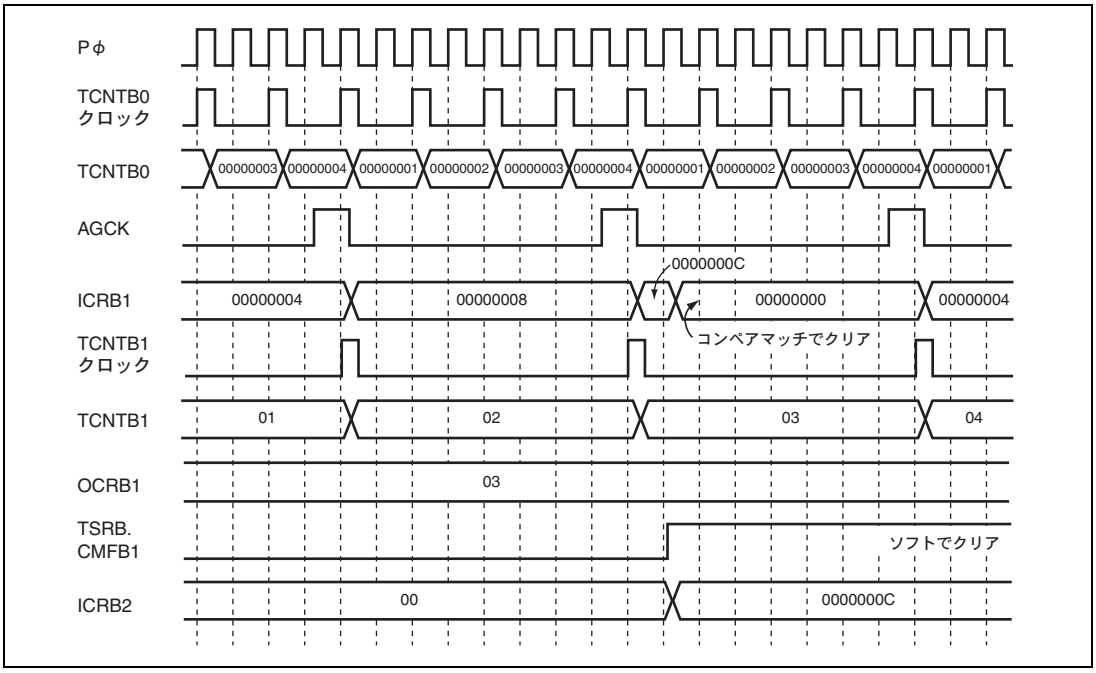


図 12.14 TCNTB1 のコンペアマッチ動作および ICRB1 と ICRB2 のキャプチャ動作

12.14.2 倍周クロック生成機能

倍周クロック生成ブロックは、外部イベント（AGCK）の入力エッジ間を、パルスインターバルマルチプライヤレジスタ（PIMR）で設定した値で逓倍した倍周クロック（AGCK1）を生成します。

外部イベント入力タイミングで、エッジ間計測ブロックの ICRB0 でキャプチャされた値（下位 24 ビット）が、リロードカウンタ B2（TCNTB2）に転送されます。また、リロードレジスタ B（RLDB）にも、ICRB0 でキャプチャされた値（下位 24 ビット）から PIMR レジスタに設定された値（PIM）を減算した値が取り込まれます。

タイマ I/O コントロールレジスタ B（TIORB）の LDSEL ビットを設定することにより、ICRB0 値の代わりにロードデータレジスタ（LDB）の値を、TCNTB2、RLDB の入力データとして用いることもできます。

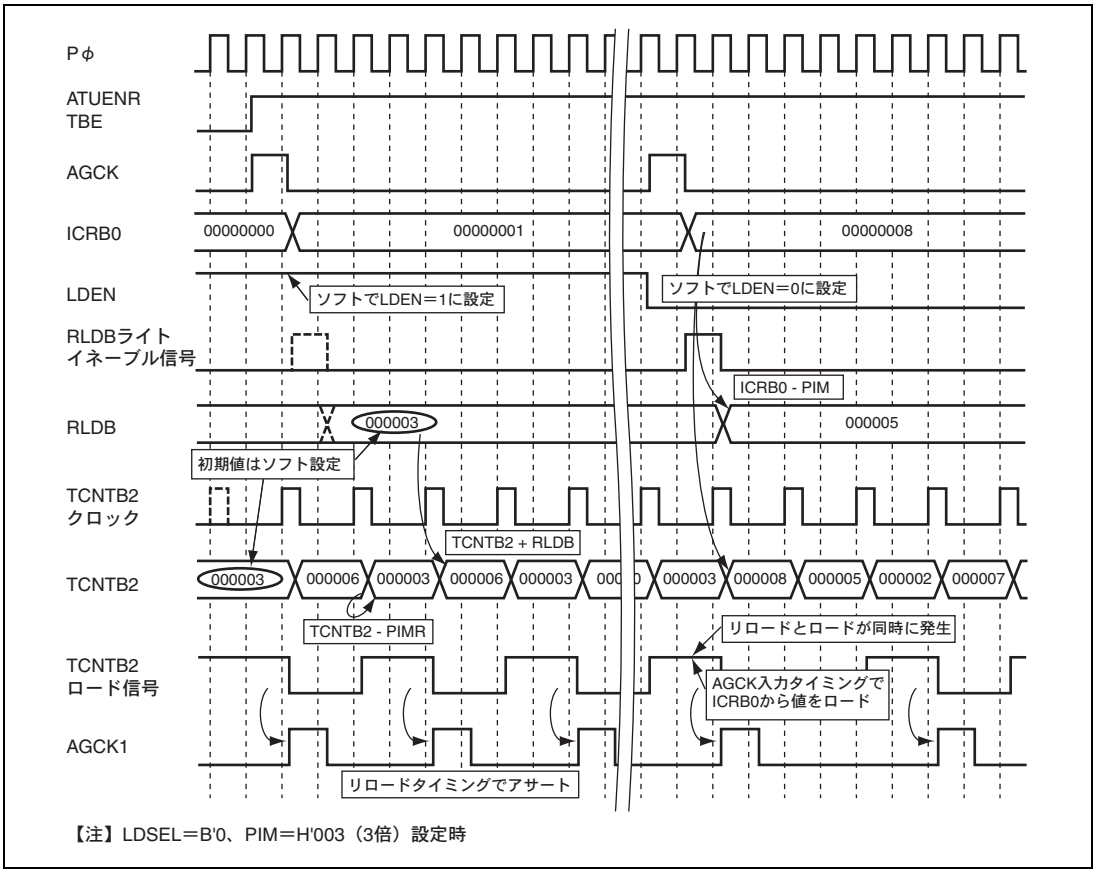
リロードカウンタ B2（TCNTB2）は、タイマコントロールレジスタ B（TCRB）の CKSELB ビットで選択したクロックによりダウンカウントを行います。ダウンカウントは PIM 値で行われます。このカウンタは、カウント値が PIM の設定値以下に達すると、自動的に RLDB から値を読み込み再度ダウンカウント動作を繰り返します。このリロードタイミングに入力クロック 1 サイクル分のパルスを出力することで、倍周クロック信号（AGCK1）を生成します。

また、アウトプットコンペアレジスタ B6（OCRB6）と、倍周クロックカウンタ B6（TCNTB6）を用いて倍周クロック（AGCK1）によるコンペアマッチ動作が可能です。

TCNTB6 は無条件に AGCK1 でカウントアップを行います。タイマインタラプトイネーブルレジスタ B（TIERB）の設定により、TCNTB6 が OCRB6 と一致したとき CPU へ割り込み要求を出力することができます。この割り込みタイミングは、TIERB の IREG ビットを設定することにより、コンペアマッチ発生時、コンペアマッチ発生後の AGCK 入力時、あるいはコンペアマッチ発生後 2 回目の AGCK 入力時から選択することができます。

AGCK1 は、1 つ前の入力エッジ間隔を参考にして生成されているため、連続する 2 つのエッジ間隔に変化が生じた場合は、PIM で設定したとおりに正しく逓倍されません。このため、AGCK1 は「**12.14.3 倍周クロック補正機能**」で説明する倍周クロック補正機能により補正され、倍周補正クロック（AGCKM）に変換されます。

図 12.15、**図 12.16** にリロードカウント動作と倍周クロック出力を、**図 12.17**、**図 12.18** に TCNTB6 のコンペアマッチ動作および各 IREG 設定による CMFB6 割り込み要求出力を示します。



【注】LDSEL＝B'0、PIM＝H'003（3倍）設定時

図 12.15 リロードカウント動作と倍周クロック出力（1）

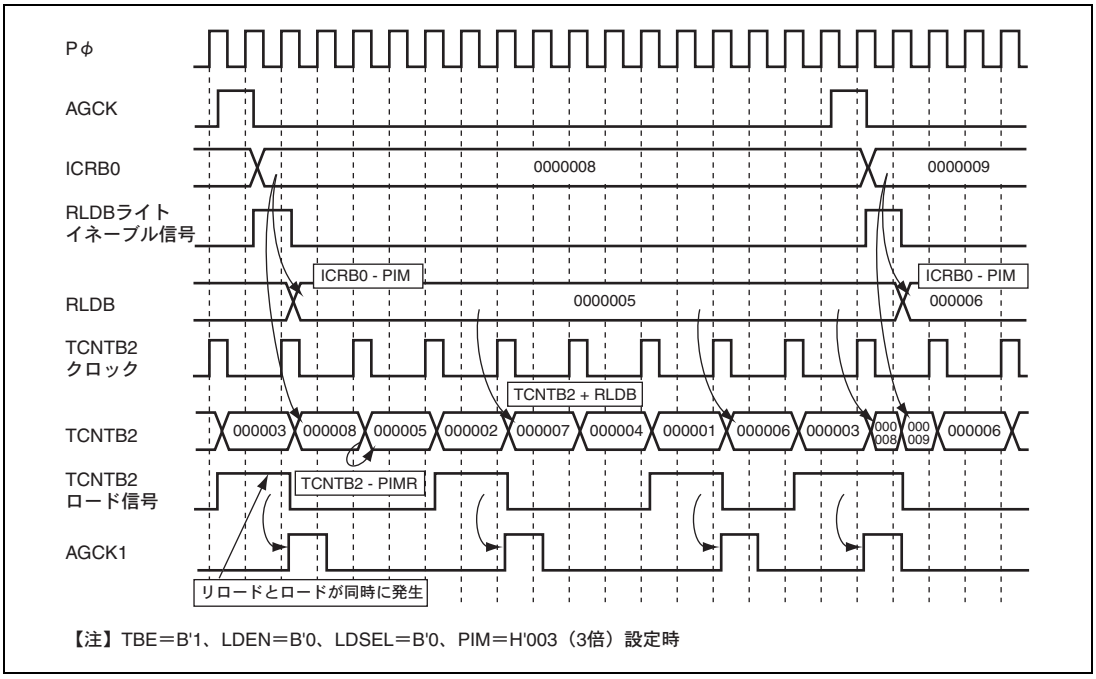


図 12.16　リロードカウント動作と倍周クロック出力（2）

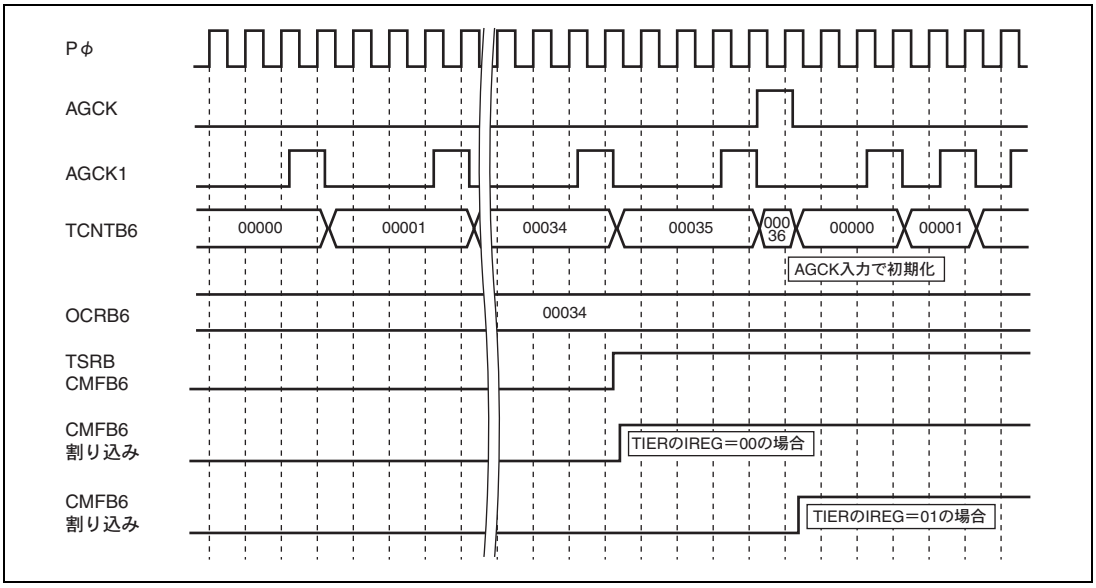
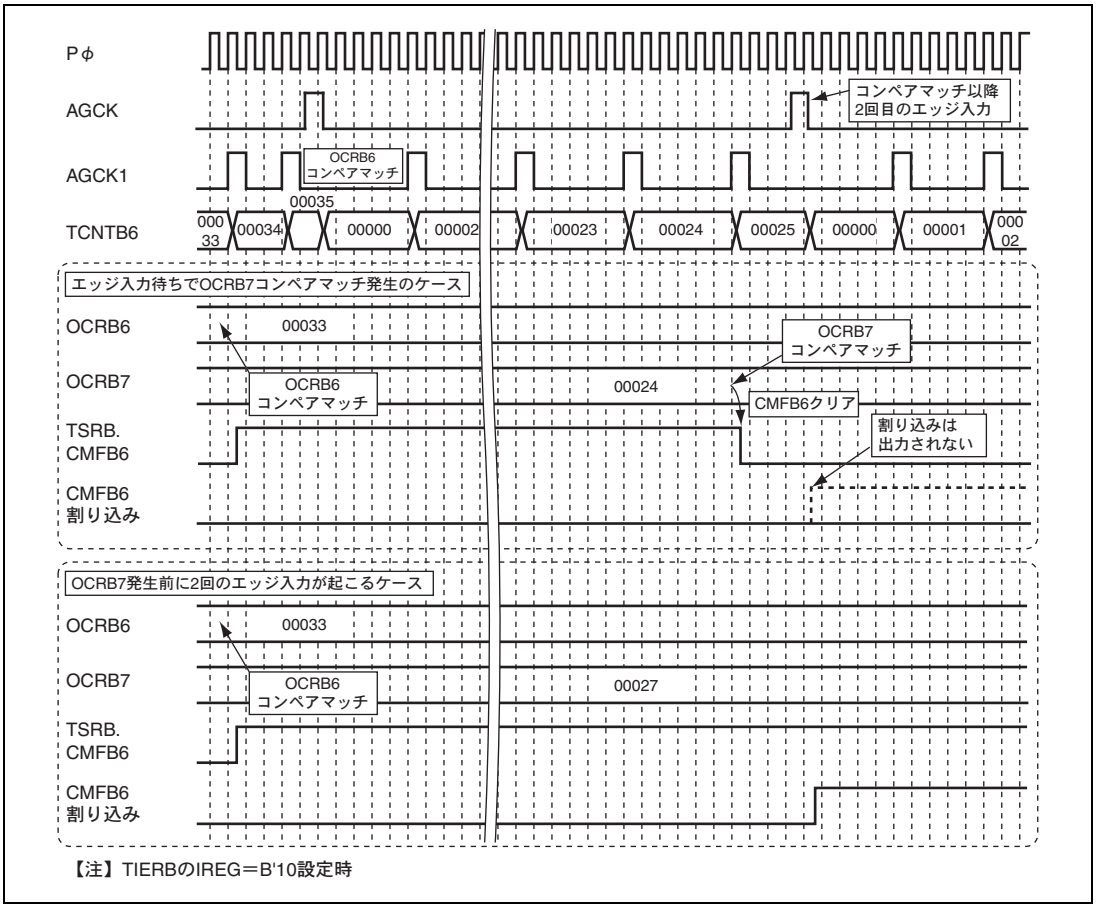


図 12.17　TCNTB6 のコンペアマッチ動作および CMFB6 割り込み出力（IREG＝B'00、B'01）



【注】TIERBのIREG＝B'10設定時

図 12.18 IREG＝B'10 設定時の CMFB6 割り込み出力

12.14.3 倍周クロック補正機能

補正イベントカウンタ B3（TCNTB3）、倍周補正クロックカウンタ B4（TCNTB4）、倍周補正クロック生成カウンタ B5（TCNTB5）、補正カウンタクリアレジスタ B（TCCLRB）は、外部イベントの入力エッジ間を PIMR の PIM ビットで設定された倍周値に補正する機能を持っています。

TCNTB3 は、外部イベント（AGCK）をカウントソースとする 20 ビットのアップカウンタです。AGCK が入力されると、TCNTB3 値が TCNTB4 に転送され、その後 TCNTB3 は PIM 値でアップカウントを行います。

TCNTB4 は、倍周クロック（AGCK1）をカウントソースとする 20 ビットのアップカウンタです。TCNTB4 は、AGCK をトリガとして TCNTB3 をロードし、AGCK1 によりカウントアップします。

TIORB のカウンタコレクションセレクトビット（CCS）は、TCNTB4 のアップカウント動作の設定を行うものです。TCNTB3 のカウント値と、TCNTB4 のカウント値が一致した場合に、TCNTB4 のアップカウント動作を停止するかしないかを選択できます。

TCNTB5 は、Pφクロックをカウントソースとする 20 ビットのアップカウンタであり、高速にカウント動作を行います。TCNTB5 の値は常に TCNTB4 と比較されており、TCNTB5 のカウント値が TCNTB4 のものより小さいときのみカウントアップを行います。TCNTB5 は、このカウントアップ時に周辺クロック 1 サイクル分のパルスを出力します。これが倍周補正クロック信号（AGCKM）であり、クロックバスコントロールレジスタ（CBCNT）の CB5SEL ビットの設定によりクロックバス 5 に出力することが可能です。他のタイマモジュールは、クロックバス 5 経由で AGCKM をカウントソースとして使用できます。

TCNTB5 が TCNTB4 の値を上回ったときには（TCNTB4 が TCNTB3 をロードしたときに起こりえる）、カウントアップ動作を行いません。また、タイマ I/O コントロールレジスタ B（TIORB）のカウントコントロール B5 ビット（CTCNTB5）の設定により、TCNTB5 のカウント動作を許可または禁止することができ、AGCKM の出力を制御することが可能です。

TCNTB5 のカウント動作は、補正カウンタクリアレジスタ B（TCCLRB）の値と一致するまで行われます。TCNTB5 が TCCLRB と一致すると、TCNTB4 の値にかかわらずカウント動作は行われません。さらに、タイマ D のタイマコントロールレジスタ Dn（TCRDn）の対応するカウンタクリアイネーブル（C1CEDn、C2CEDn）を 1 に設定することで、この一致をトリガとしてタイマ D のカウンタ（TCNT1Dn、TCNT2Dn）を個別にクリアすることができます。

TCNTB4 の値は、TCNTB3 が H'00000000 のときに外部イベント（AGCK）が入力されると無条件で H'00000000 にクリアされます。また、TCNTB5 の値は、TCNTB3 が H'00000000 のときに外部イベント（AGCK）が入力されると H'00001000 にクリアされます。このとき、TCNTB5 のカウント値が、TCCLRB の値と一致してなければ、いったん TCNTB5 を TCCLRB と一致するまでカウントアップした後でカウンタのクリアを行います。

図 12.19 に TCNTB3 および TCNTB4 の動作、**図 12.20** に TCNTB5 の動作（起動時）、**図 12.21** に TCNTB5 の動作（サイクル終了、補正あり）、**図 12.22** に TCNTB5 の動作（サイクル終了、補正なし）を示します。

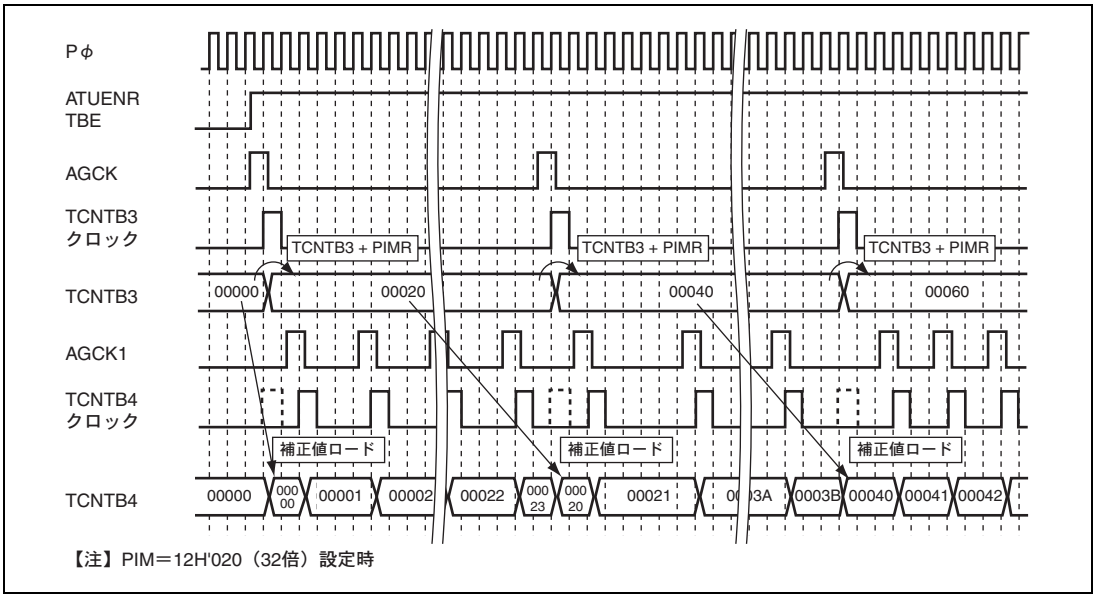
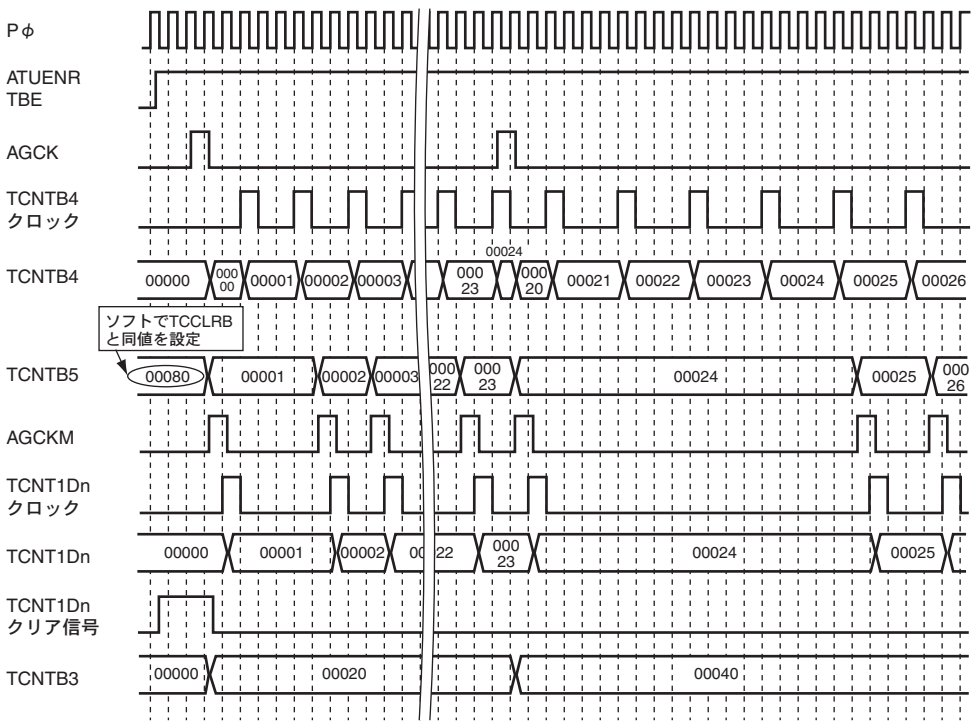


図 12.19 TCNTB3、TCNTB4 の動作



【注】 PIM＝12H'020（32倍）、TCCLRB＝H'00080設定時
TCNT1Dnの場合を示しており、TCNT2Dnも同様です。

図 12.20 TCNTB5 の動作（起動時）

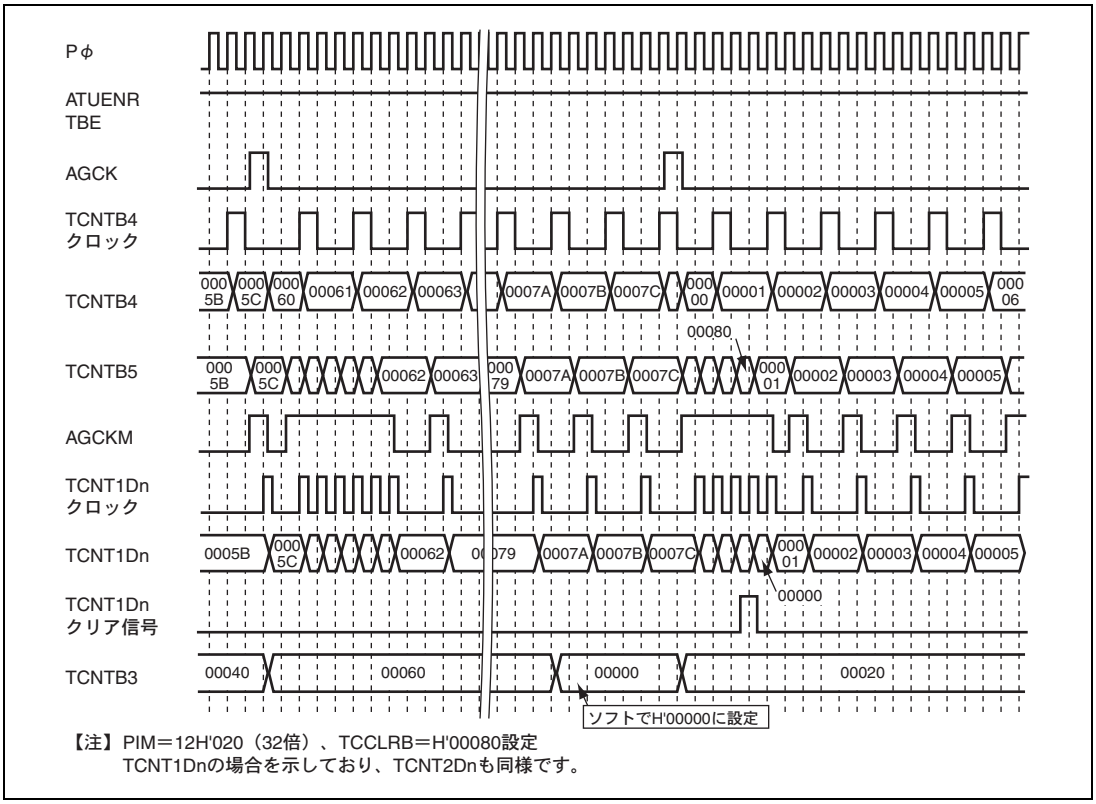


図 12.21　TCNTB5 の動作（サイクル終了、補正あり）

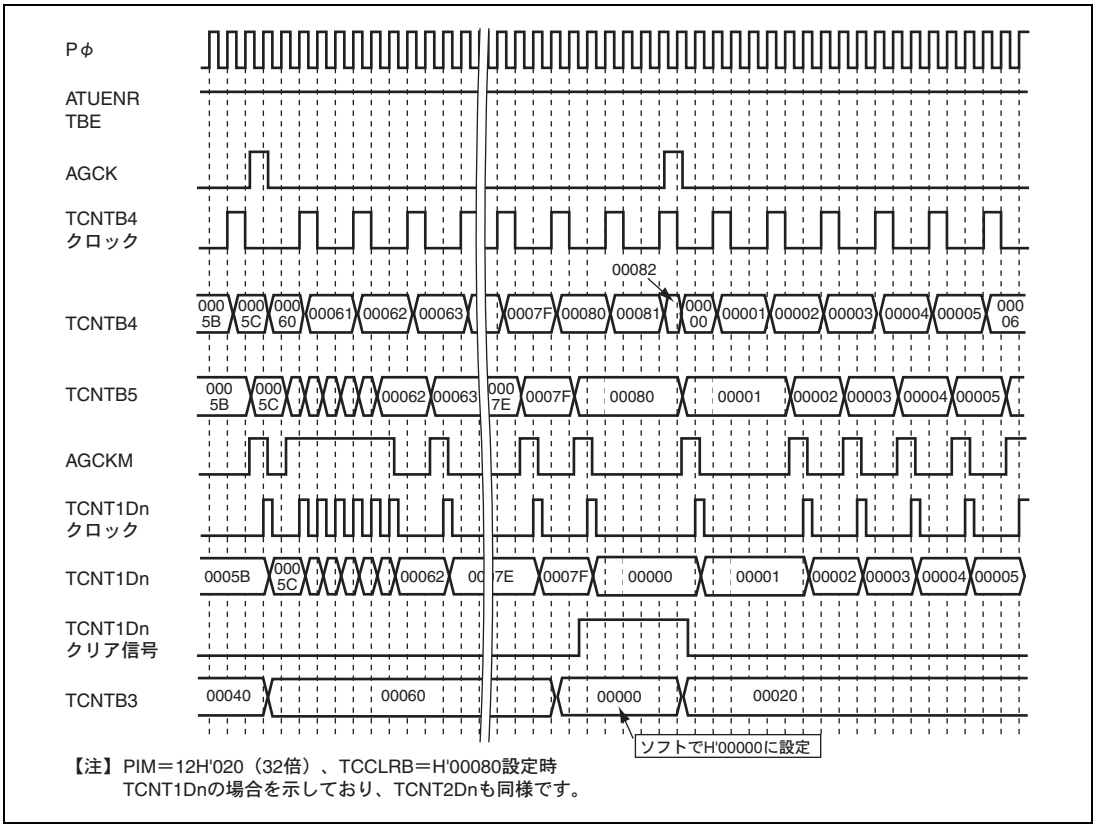


図 12.22　TCNTB5 の動作（サイクル終了、補正なし）

12.15 タイマ C の概要

タイマ C は、5 個のサブブロックによって構成される汎用タイマで、以下の機能を実現することができます。

- インプットキャプチャ、アウトプットコンペアの選択が可能です。
- インプットキャプチャの検出エッジを立ち上がり／立ち下がり／両エッジから選択可能です。
- コンペアマッチで波形出力が可能です。出力はレジスタ設定により1出力／0出力／トグル出力から選択できます。
- キャプチャタイミング／コンペアマッチタイミングで、割り込み要求の出力が可能です。

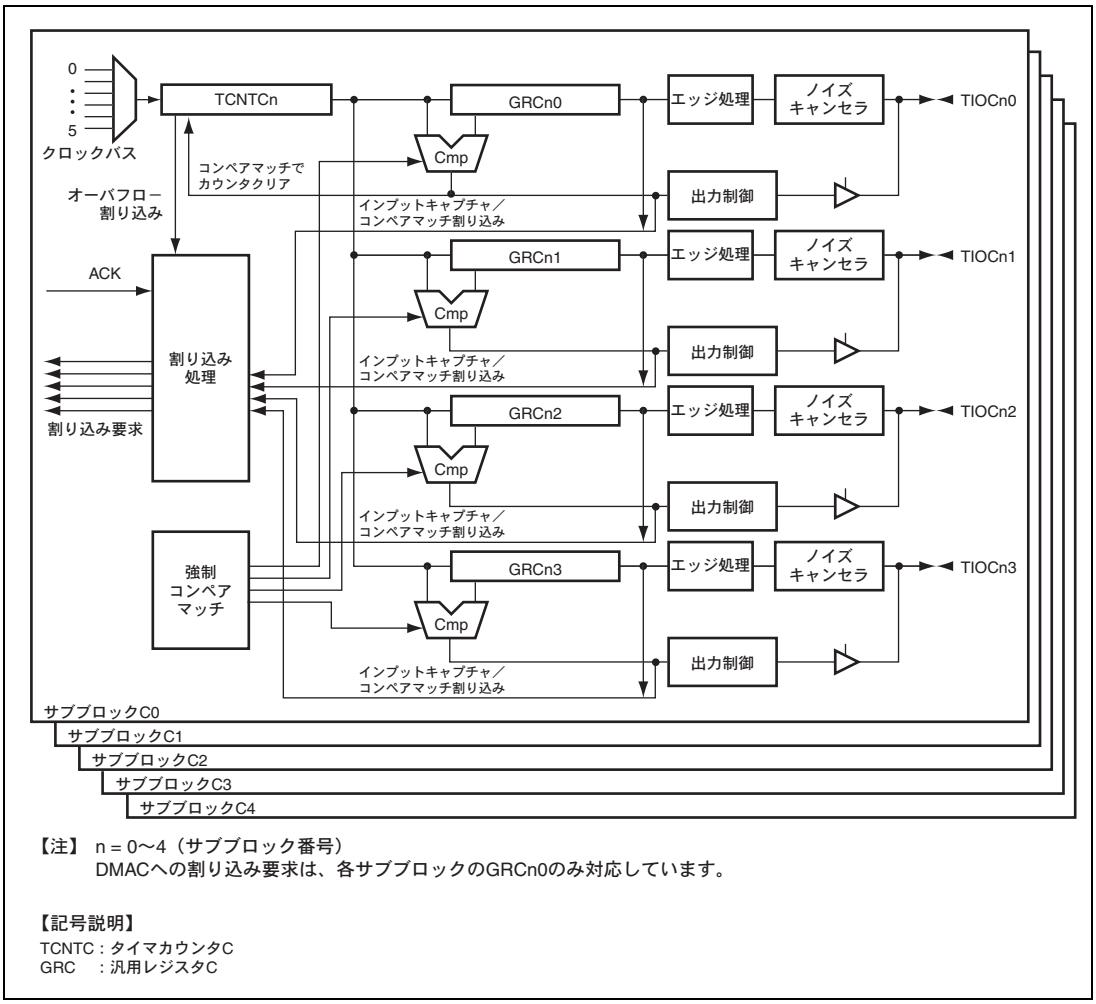
  DMACへの割り込み要求として使用されるC00、C10、C20、C30、C40のみACKによるステータスクリアが可能です。
- タイマカウントオーバフローで割り込み要求の出力ができます。
- コンペアマッチでカウンタのクリアが可能です（ただしGRCn0のみ。GRCn1～3は未対応）。
- 強制コンペアマッチビットを設定することで強制的にコンペアマッチを発生させることが可能です。
- 各インプットキャプチャトリガ入力にノイズキャンセル機能を搭載

12.15.1 ブロック図

タイマ C は、5 個のサブブロックで構成されます。各サブブロックは、1 本のタイマカウンタ C（TCNTC）と、4 本の汎用レジスタ C（GRC）、および制御部などで構成されています。汎用レジスタはインプットキャプチャ／コンペアマッチとして使用でき、インプットキャプチャトリガ入力／アウトプットコンペア出力としての入出力端子（TIOCnm）を備えています。

アウトプットコンペアとして使用する場合の TIOCnm 出力の初期値は 0 です。それ以降は、直前の動作状態が反映されます。

図 12.23 に、タイマ C のブロック図を示します。



【注】 n = 0～4（サブブロック番号）
DMACへの割り込み要求は、各サブブロックのGRCn0のみ対応しています。

【記号説明】
TCNTC：タイマカウンタC
GRC　：汎用レジスタC

図 12.23 タイマ C のブロック図

12.16 タイマ C のレジスタの説明

12.16.1 タイマスタートレジスタ C（TSTRC）

TSTRC は、8 ビットの読み出し／書き込み可能なレジスタで、5 つのサブブロック C0～C4 のタイマカウンタ C（TCNTC）の動作／停止を設定します。ただし、STRC ビットを 1 にセットしていても、ATU-III マスタイネーブルレジスタ（ATUENR）の TCE ビットがイネーブルに設定されていなければ、カウント動作は行われません。

TSTRC は、バイト単位で読み出し／書き込みが可能です。

TSTRC は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	STRC4	STRC3	STRC2	STRC1	STRC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STRC4	0	R/W	カウンタ C4 スタート サブブロックのタイマカウンタ Cn（TCNTCn）を動作させるか停止させるかを設定します。 STRCn ビットを 0 にクリアした場合、TCNTCn は動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を再開します。 ただし、本ビットを 1 にセットしても、ATUENR の TCE ビットが 1 にセットされていなければカウント動作は開始されません。 0：TCNTCn のカウント動作を停止 1：TCNTCn のカウント動作を許可 【注】 プリスケーラはカウンタ Cn スタートビットの設定に関係なく動作しており、TCNTCn の動作開始時にも初期化は行われません。したがって、起動から実際に TCNTCn がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。
3	STRC3	0	R/W	
2	STRC2	0	R/W	
1	STRC1	0	R/W	
0	STRC0	0	R/W	

【注】 n＝0～4

12.16.2 ノイズキャンセラコントロールレジスタ C0～4（NCCRC0～4）

NCCRC0～4 は、8 ビットの読み出し／書き込み可能なレジスタです。本レジスタの設定により、サブブロック C0～4 の TIOCnm 端子からのインプットキャプチャトリガ入力信号に対してノイズキャンセル処理が可能となります。ノイズキャンセル処理には 2 つのモードがあり、NCMCn で切り替え可能です。

NCCRC0～4 は、バイト単位で読み出し／書き込みが可能です。

NCCRC0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NCECn3	NCECn2	NCECn1	NCECn0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	NCECn3	0	R/W	ノイズキャンセライネーブル Cn3～n0 サブブロック C0～4 の入出力端子 TIOCnm に対してノイズキャンセル機能の有効／無効を設定します。 0：TIOCnm 入力のノイズキャンセル機能を無効に設定 1：TIOCnm 入力のノイズキャンセル機能を有効に設定 本ビットを 1 にセットした後、TIOCnm からの入力信号のレベル変化を検出すると、共通制御部内の NCMR レジスタの設定にあわせて、後続エッジキャンセルモードまたは先行エッジキャンセルモードのいずれかの処理を開始します。 後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応する NCNTCnm がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ Cnm（NCRCnm）の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。 NCNTCnm がカウント動作中にこれらのビットを 0 にクリアした場合、クリアした後もコンペアマッチするまでカウント動作は停止せず、その間も入力信号のレベル変化はマスクされ続けます。 先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応する NCNTCnm がアップカウントを開始します。NCNTCnm の値が NCRCnm の値とコンペアマッチするまでの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセラは入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。 NCNTCnm がカウント動作中にこれらのビットを 0 にクリアした場合、クリアした後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。 各キャンセルモードの動作例は、図 12.1 および図 12.2 を参照してください。
2	NCECn2	0	R/W	
1	NCECn1	0	R/W	
0	NCECn0	0	R/W	

【注】 n＝0～4、m＝0～3。

12.16.3 タイマコントロールレジスタ C0～4（TCRC0～4）

TCRC0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、サブブロック C0～C4 のカウントクロックの選択、動作モードの設定、および強制コンペアマッチの設定を行います。

TCRC0～4 は、バイト単位で読み出し／書き込みが可能です。

TCRC0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H’00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	FCMCn3	FCMCn2	FCMCn1	FCMCn0	PWMn0	CKSELCn[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～4：サブブロックC0～C4に対応。

ビット	ビット名	初期値	R/W	説　　明
7	FCMCn3	0	R/W	強制コンペアマッチ Cnm 汎用レジスタ Cnm をコンペアマッチレジスタとして使用している場合、FCMCnm を 1 にセットすることにより強制的にコンペアマッチを発生させます。 0：汎用レジスタ GRCnm での強制コンペアマッチ禁止 1：汎用レジスタ GRCnm で強制的にコンペアマッチ発生 FCMCnm ビットを 1 にセットすると、セットされた次の Pφクロックサイクルで TSRCn（タイマステータスレジスタ Cn）の IMFCnm ビット（コンペアマッチフラグ）を 1 にセットします。また、TIOCnm からの出力もコンペアマッチ発生時と同様に変化します。 本ビットが 1 にセットされている間は、GRCnm と TCNTCn の値にかかわらず常にコンペアマッチ発生状態を維持します。この間も、TCNTCnm はカウントクロックに応じてカウントアップ動作を続けます。 TSRCn（タイマステータスレジスタ Cn）の IMFCnm ビット（コンペアマッチフラグ）が 0 にクリアされると、本ビットも自動的に 0 にクリアされます。本ビットが 0 にクリアされるまでの間、汎用レジスタとカウンタにおけるコンペアマッチは無視されます。 FCMCnm ビットがクリアされた後は、TCNTCn と GRCnm によるコンペアマッチは可能となります。 PWMn0 ビット、FCMCn0 ビットをともに 1 にセットした場合、強制コンペアマッチによりカウンタクリアおよび TIOCnm への IOCn0 設定値の出力が行われます。その後、TCNTCn は H’0000 00 からカウントアップを再開します。この後、FCMCn0 ビットが 1 であるかぎり新たなコンペアマッチは検出しません（コンペアマッチによるカウンタクリアは各サブブロックのチャネル 0 のみ対応）。
6	FCMCn2	0	R/W	
5	FCMCn1	0	R/W	
4	FCMCn0	0	R/W	

ビット	ビット名	初期値	R/W	説　　明
3	PWMn0	0	R/W	PWM モード サブブロック Cn を PWM モードで動作させるとき、本ビットに 1 を設定します。PWM モードに設定すると、汎用レジスタ Cn0（GRCn0）のコンペアマッチ発生によって TCNTCn がクリアされます。GRCn0 がコンペアマッチとして機能しているときのみ有効です。 また、GRCn1、GRCn2、GRCn3 のうちコンペアマッチとして機能しているものについては、TCNTCn のクリアと同時に、その出力端子（TIOCn1、TIOCn2、TIOCn3 端子）に TIORCn の IOCn0 設定値が出力されます。 GRCn0 がサイクルコンペアマッチで 1 出力、GRCn1～GRCn3 はデューティコンペアマッチで 0 出力となるよう動作させることが可能です。 PWM モードビットに 1 をセットするだけでは、PWM として動作させることはできません。タイマ I/O コントロールレジスタ C（TIORCn）の IOCnm ビットで、GRCn0、および GRCn1～3（PWM 出力を行うもの）をそれぞれコンペアマッチに設定する必要があります。また、GRCn1～3 については、コンペアマッチで 0 出力となるよう設定してください。 0：PWM モードで動作させない 1：PWM モードで動作させる PWMn0 が 1 の場合、TCNTCn と GRCn0 との一致を検出するとカウンタクリアを行います。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNTCn は H'000001 にクリアされます。これは TCNTCn が Pφの 1 分周クロックでカウントする場合のみ起こります。 また、PWM モードでは GRCn0～GRCn3 には H'000000 を設定しないでください。H'000000 を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。
2～0	CKSELCn[2:0]	000	R/W	TCNTCn クロックセレクト サブブロック Cn のカウントクロックを選択します。各サブブロック Cn のカウンタ（TCNTCn）はここで選択されたクロックに同期してカウントアップを行います。 000：クロックバス 0 でカウント 001：クロックバス 1 でカウント 010：クロックバス 2 でカウント 011：クロックバス 3 でカウント 100：クロックバス 4 でカウント 101：クロックバス 5 でカウント 11x：リザーブ 【注】x＝Don't care

【注】　n＝0～4。サブブロック C0～C4 に対応。m＝0～3：汎用レジスタ Cn0～Cn3 に対応。

12.16.4 タイマステータスレジスタ C0～4（TSRC0～4）

TSRC0～4 は、8 ビットの読み出し／書き込み可能なレジスタです。サブブロック C0～C4 の持つタイマカウンタ Cn（TCNTCn）のオーバフローの発生、汎用レジスタ C00～43（GRC00～43）でのインプットキャプチャ、コンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ C（TIERC）の対応するビットにより割り込みが許可されていれば、割り込み要求を出力します。

TSRC0～4 は、バイト単位で読み出し／書き込みが可能です。

TSRC0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	OVFCn	IMFCn3	IMFCn2	IMFCn1	IMFCn0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 n＝0～4：サブブロックC0～C4に対応。
* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	OVFCn	0	R/W	オーバフローフラグ Cn 本フラグにより、タイマカウンタ Cn（TCNTCn）のオーバフローの状態を参照することができます。本フラグをソフトウェアにより 1 にセットすることはできません。 0：オーバフローなし ［クリア条件］ • OVFCn＝1 の状態を読み出した後、OVFCn に 0 を書き込んだとき 1：オーバフロー発生 ［セット条件］ • TCNTCn の値がオーバフロー（H'FFFFFF→H'000000）したとき オーバフローフラグは、TCNTCn が H'FFFFFF の状態でカウントアップクロックが入力されたときに発生します。TCNTCn への H'000000 書き込み、TCNTCn 初期値（H'000000）で起動しても OVFCn はセットされません。 カウンタ値が H'FFFFFF の状態で、カウントアップクロックと同時に TCNTCn への書き込みを行った場合、オーバフローフラグは 1 にセットされますが、TCNTCn 値は H'000000 ではなく、書き込まれた値に更新されます。

ビット	ビット名	初期値	R/W	説　　明
3～0	IMFCn3～ IMFCn0	すべて 0	R/W	インプットキャプチャ／コンペアマッチフラグ Cnm 汎用レジスタ nm（GRCnm）のインプットキャプチャ、コンペアマッチの発生を示すステータスフラグです。このフラグをソフトウェアにより 1 にセットすることはできません。セット条件、クリア条件は以下のとおりです。 0：インプットキャプチャ、コンペアマッチなし ［クリア条件：インプットキャプチャ／アウトプットコンペア］ • IMFCnm＝1 の状態を読み出した後、IMFCnm に 0 を書き込んだとき • DMAC からの ACK 信号によるステータスクリア（C00、C10、C20、C30、C40 のみ） ［クリア条件：インプットキャプチャ］ • A-DMAC による汎用レジスタ nm（GRCnm）読み出しにより自動的に IMFCnm ステータスをクリア 1：インプットキャプチャ、コンペアマッチ発生 ［セット条件：インプットキャプチャ］ • GRCnm がインプットキャプチャとして機能している場合、インプットキャプチャ信号より TCNTCn の値が GRCnm に転送されたとき ［セット条件：アウトプットコンペア］ • GRCnm がアウトプットコンペアとして機能している場合、TCNTCnm の値が GRCnm と等しくなったとき • TCRCn の FCMCnm（強制コンペアマッチビット）が 1 にセットされている場合 インプットキャプチャ／コンペアマッチフラグ（IMFCnm）が 1 の状態（フラグがクリアされていない状態）でも、次のインプットキャプチャ／アウトプットコンペア処理は実施可能です。このとき、IMFCnm には 1 がオーバライトされます。 コンペアマッチ検出後、TCNTCn、IMFCnm の値が一致したままの状態でコンペアマッチステータスをクリアしても、新たにステータスはセットされません。 C00、C10、C20、C30、C40 のみ DMAC への割り込みとしても使用されます。これら 5 ビットのみ DMAC からの ACK 信号によるステータスの自動クリアが可能です。

【注】 n＝0～4：サブブロック C0～C4 に対応。m＝0～3：チャネル 0～3 に対応。

＊ フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。

12.16.5 タイマインタラプトイネーブルレジスタ C0～4（TIERC0～4）

TIERC0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、タイマ C へのインプットキャプチャ、アウトプットコンペア、およびオーバフロー割り込み要求の許可／禁止を制御します。

TIERC0～4 は、バイト単位で読み出し／書き込みが可能です。

TIERC0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	OVECn	IMECn3	IMECn2	IMECn1	IMECn0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～4：サブブロックC0～C4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	OVECn	0	R/W	オーバフローインタラプトイネーブル Cn タイマステータスレジスタ Cn（TSRCn）のオーバフローフラグ（OVFCn）が 1 にセットされたとき、OVFCn による割り込み要求の許可／禁止を設定します。 0：OVFCn による割り込み要求を禁止 1：OVFCn による割り込み要求を許可
3	IMECn3	0	R/W	インプットキャプチャ／コンペアマッチインタラプトイネーブル nm タイマステータスレジスタ Cn（TSRCn）のインプットキャプチャ／コンペアマッチフラグ（IMFCnm）が 1 にセットされたとき、IMCFnm による割り込み要求の許可／禁止を設定します。 0：IMFCnm による割り込み要求を禁止 1：IMFCnm による割り込み要求を許可
2	IMECn2	0	R/W	
1	IMECn1	0	R/W	
0	IMECn0	0	R/W	

【注】 n＝0～4：サブブロック C0～C4 に対応。m＝0～3：チャネル 0～3 に対応。

12.16.6 タイマ I/O コントロールレジスタ C0～4（TIORC0～4）

TIORC0～4 は、16 ビットの読み出し／書き込み可能なレジスタです。IOCnm[2]ビットの設定により、コンペアマッチモード／インプットキャプチャモードの切り替えを行います。モード切り替えは、インプットキャプチャ／コンペアマッチ禁止状態（IOCnm[1:0]＝B'00）で実施してください。その後、コンペアマッチ出力設定、インプットキャプチャエッジ設定を行ってください。

コンペアマッチモードへ切り替えたとき、コンペアマッチ出力は初期値のゼロに設定されます。それ以降は、直前のコンペアマッチによる値を維持し続けます。また、動作モード切り替えは、カウンタ停止状態で行ってください。カウンタ動作中にモード切り替えを行った場合の動作は保証できません。

TIORC0～4 は、バイトおよびワード単位で読み出し／書き込みが可能です。

TIORC0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IOCn3[2:0]			—	IOCn2[2:0]			—	IOCn1[2:0]			—	IOCn0[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 n＝0～4：サブブロックC0～C4に対応。

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14～12	IOCn3[2:0]	000	R/W	I/O コントロール 汎用レジスタ n3（GRCn3）の機能を設定します。 • GRCn3 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRCn3 をインプットキャプチャレジスタとして利用するとき 100：インプットキャプチャ禁止 101：TIOCnm の立ち上がりエッジでキャプチャ 110：TIOCnm の立ち下がりエッジでキャプチャ 111：TIOCnm の立ち上がり、立ち下がりの両エッジでキャプチャ
11	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
10～8	IOCn2[2:0]	000	R/W	I/O コントロール 汎用レジスタ n2（GRCn2）の機能を設定します。 • GRCn2 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRCn2 をインプットキャプチャレジスタとして利用するとき 100：インプットキャプチャ禁止 101：TIOCnm の立ち上がりエッジでキャプチャ 110：TIOCnm の立ち下がりエッジでキャプチャ 111：TIOCnm の立ち上がり、立ち下がりの両エッジでキャプチャ
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	IOCn1[2:0]	000	R/W	I/O コントロール 汎用レジスタ n1（GRCn1）の機能を設定します。 • GRCn1 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRCn1 をインプットキャプチャレジスタとして利用するとき 100：インプットキャプチャ禁止 101：TIOCnm の立ち上がりエッジでキャプチャ 110：TIOCnm の立ち下がりエッジでキャプチャ 111：TIOCnm の立ち上がり、立ち下がりの両エッジでキャプチャ
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	IOCn0[2:0]	000	R/W	I/O コントロール 汎用レジスタ n0（GRCn0）の機能を設定します。 • GRCn0 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRCn0 をインプットキャプチャレジスタとして利用するとき 100：インプットキャプチャ禁止 101：TIOCnm の立ち上がりエッジでキャプチャ 110：TIOCnm の立ち下がりエッジでキャプチャ 111：TIOCnm の立ち上がり、立ち下がりの両エッジでキャプチャ

【注】　n＝0～4：サブブロック C0～C4 に対応。m＝0～3：チャネル 0～3 に対応。

12.16.7 タイマカウンタ C0～4（TCNTC0～4）

TCNTC0～4 は、32 ビットの読み出し／書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。読み出し／書き込みはカウンタ動作中でも可能です。

タイマカウンタ Cn（TCNTCn）は、タイマスタートレジスタ C（TSTRC）の対応するビットを 1 にセットすると、カウントを開始します。入力するクロックはタイマコントロールレジスタ Cn（TCRCn）のクロック選択ビット（CKSEL）によって設定します。タイマがオーバフローすると、タイマステータスレジスタ Cn（TSRCn）のオーバフローフラグ（OVFCn）が 1 にセットされます。

TCNTC0～4 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNTC0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

12.16.8 汎用レジスタ C00～43（GRC00～43）

GRC00～43 は、32 ビットの読み出し／書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。機能の切り替えはタイマ I/O コントロールレジスタ Cn（TIORCn）により行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTCn の値を格納します。このとき対応するタイマステータスレジスタ Cn（TSRCn）の IMFC ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIORCn により設定します。

カウンタが停止状態（ATUENR レジスタの TCE ビットが 0 もしくは TSTRC レジスタの STRCn ビットが 0）でもインプットキャプチャ動作は行われます。停止状態のカウンタ値を GRCnm に取り込みます。

アウトプットコンペアレジスタとして使用しているときは、GRCnm の値とタイマカウンタ（TCNTCn）の値は常に比較されています。両者の値が一致すると、次の Pφクロックサイクルでタイマステータスレジスタ（TSRCn）の IMFC ビットが 1 にセットされます。同時に TIORCn で設定した方式（0 出力、1 出力、トグル出力）で TIOCnm 出力を変化させます。TIOCnm 出力の初期値（リセット後およびアウトプットコンペアモード切り替え後）は 0、それ以降は直前のコンペアマッチ出力値を維持し続けます。

GRC00～43 は、ロングワード単位でのみ読み出し／書き込みが可能です。

GRC00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF FF00 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

12.16.9 ノイズキャンセルカウンタ C00～43（NCNTC00～43）

NCNTC00～43 は、8 ビットの読み出し／書き込み可能なレジスタです。

タイマ I/O コントロールレジスタ C0～4（TIORC0～4）のノイズキャンセルイネーブルビット（NCEC00～43）でノイズキャンセラ機能を有効にしたとき、外部入出力端子（TIOC00～43）からの入力信号をトリガとしてアップカウント動作を開始します。動作開始後のカウントアップは、プリスケーラから供給される Pφクロックあるいは Pφクロックの 1/128 分周クロックに同期して行われます。

NCNTCnm は ATU-III マスタイネーブルレジスタ（ATUENR）のタイマ C イネーブルビット（TCE）、TSTRC の設定にかかわらず（TCNTCn の動作状態にかかわらず）カウント動作を行います。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ C ノイズキャンセルモードビット（NCMC）の設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCECnmビットが1でありNCNTCnmがカウント停止しているとき、TIOCnmの入力信号レベルが変化すると、NCNTCnmはアップカウント動作を開始します。カウント値がノイズキャンセルレジスタnm（NCRCnm）と一致すると、次のPφクロックに同期してカウント値をH'00にクリアしてカウント動作を停止します。

  NCNTCnmは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTCEビットの設定にかかわらずカウント動作を行います。

  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値がNCRCnmと一致するまでの間、すべての入力レベルの変化がマスクされるためノイズキャンセル後の信号は変化しません。カウント値がNCRCnmと一致した次のPφクロックから、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。

  カウント動作中にNCECnmビットがクリアされても、カウント値がNCRCnmと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- **先行エッジキャンセルモード**

  NCECnmビットが1でありNCNTCnmがカウント停止しているとき、TIOCnmの入力信号レベルが変化すると、NCNTCnmはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタnm（NCRCnm）と一致した場合には、次のPφクロックに同期してカウント値をH'00にクリアしカウント動作を停止します。

  NCNTCnmは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTCEビットの設定にかかわらずカウント動作を行います。

  ノイズキャンセル後の信号は、カウント値がNCRCnmと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRCnmと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中に NCECnm ビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

NCNTCnm は動作／停止状態にかかわらず、随時、値を書き込むことが可能であり、その値からカウント動作を行うことができます。また、NCRCnm より大きい値を設定することも可能です。その場合、NCNTCnm は H'FF →H'00 とオーバフロー、カウンタクリアを経て、NCRCnm とコンペアマッチを行います。

NCNTC00～43 は、バイト単位で読み出し／書き込みが可能です。

NCNTC00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCNTCnm[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 1. n＝0～4
2. m＝0～3：GRC00～GRC43に対応。

ビット	ビット名	初期値	R/W	説　　明
7～0	NCNTCnm[7:0]	すべて 0	R/W	ノイズキャンセルカウント Cnm 8 ビットカウント値

【注】 n＝0～4。m＝0～3：GRC00～GRC43 に対応。

12.16.10 ノイズキャンセルレジスタ C00～43（NCRC00～43）

NCRC00～43 は、8 ビットの読み出し／書き込み可能なレジスタです。本レジスタは、各サブブロックに搭載されており、ノイズキャンセルカウンタ C00～43（NCNTC00～43）の上限値を設定します。

H'FF 設定で、最大 1.64msec（＝50ns×128 分周×256 カウント）のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ C ノイズキャンセルモードビット（NCMC）の設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCNTCnmのカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTCnmとNCRCnmの値は常に比較されています。コンペアマッチが発生すると、次のPφクロックに同期してNCNTCnmのカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- **先行エッジキャンセルモード**

  NCNTCnmのカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTCnmとNCRCnmの値は常に比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTCnmのカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

NCRC00～43 は、バイト単位で読み出し／書き込みが可能です。

NCRC00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCRCnm[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 1. n＝0～4
2. m＝0～3：GRC00～GRC43に対応。

ビット	ビット名	初期値	R/W	説　　明
7～0	NCRCnm[7:0]	すべて 0	R/W	ノイズキャンセルタイム Cnm TIOCnm ノイズキャンセル期間（8 ビットコンペア値）

12.17 タイマ C の動作説明

12.17.1 インプットキャプチャ機能

タイマ C の汎用レジスタ Cnm（GRCnm）はタイマ I/O コントロールレジスタ Cn（TIORCn）にインプットキャプチャ動作を設定することにより、対応する外部端子（TIOCnm）からエッジが入力されるとインプットキャプチャ動作を行います。

タイマスタートレジスタ C（TSTRC）への設定により、タイマカウンタ Cn（TCNTCn）がカウントアップを開始します。GRCnm の対応する外部端子のエッジが入力されると、対応するタイマステータスレジスタ C（TSRC）のビット（IMFCnm）がセットされ、カウンタ値が GRCnm に転送されます。TIOCnm の変化エッジを取り込んでから Pφ クロックの 2 サイクル後にインプットキャプチャステータスフラグ、割り込み出力が変化します。

入力されるエッジは、TIORCn レジスタの IOC ビットにより、立ち上がり／立ち下がり／両エッジから選択できます。また、タイマインタラプトイネーブルレジスタ Cn（TIERCn）の設定により、割り込み要求の出力が可能です。

インプットキャプチャフラグ（TSRCn レジスタの IMFCnm ビット）のクリア方法は、1 の状態を読み出した後の 0 書き込み、A-DMAC による GRCnm レジスタ読み出しによる自動クリア、DMAC からの ACK 信号によるクリアの 3 通りがあります。

図 12.24 に、ブロック C0 でのインプットキャプチャの動作例を示します。TIOC00 は両エッジ、TIOC01 は立ち上がり、TIOC02 は立ち下がりエッジで波形を取り込んでいます。

インプットキャプチャ動作は、TCNTCn が停止状態（ATUENR レジスタの TCE ビットが 0、もしくは TSTRC レジスタの STRCn ビットが 0）でも実施され、停止状態のカウンタ値が GRCnm にキャプチャされます。

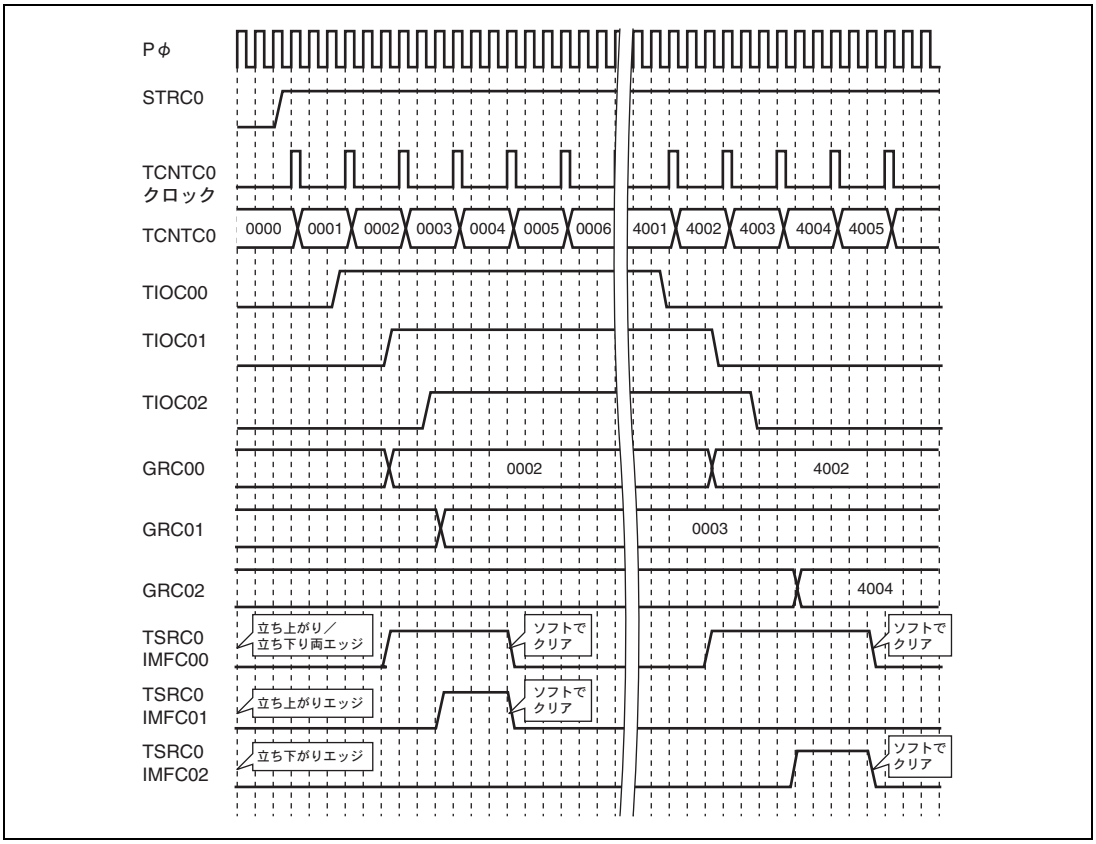


図 12.24　インプットキャプチャの動作例

12.17.2 コンペアマッチ機能

タイマ C の汎用レジスタ Cnm（GRCnm）はタイマ I/O コントロールレジスタ Cn（TIORCn）にコンペアマッチ動作を設定することにより、対応する外部端子（TIOCnm）からコンペアマッチ出力を行います。

タイマスタートレジスタ C（TSTRC）への設定により、タイマカウンタ Cn（TCNTCn）がカウントアップを開始します。あらかじめ GRCnm に値を設定しておきます。GRCnm の値と TCNTCn とが一致すると、GRCnm に対応するタイマステータスレジスタ Cn（TSRCn）のビット（IMFCnm）をセットし、対応する外部端子（TIOCnm）から波形を出力します。

コンペアマッチフラグのセットおよび TIOCnm への出力変化は、GRCnm と TCNTCn の値が一致した直後の Pφクロックに同期して行います。

出力（TIOCnm）は、TIORCn の IOC ビットの設定により 1 出力／0 出力／トグル出力から選択できます。

また、タイマインタラプトイネーブルレジスタ C（TIERC）への設定により、コンペアマッチ発生時に割り込み要求の出力が可能です。

図 12.25 に、ブロック C0 でのコンペアマッチの動作例を示します。GRC00 をトグル出力、GRC01 を 1 出力、GRC02 を 0 出力に設定し、外部出力させたときの例です。GRC0m には 004004 が設定されており、TCNTC0 と一致した後、次の Pφクロックでステータスフラグおよび TIOC0m の出力を変化させています。

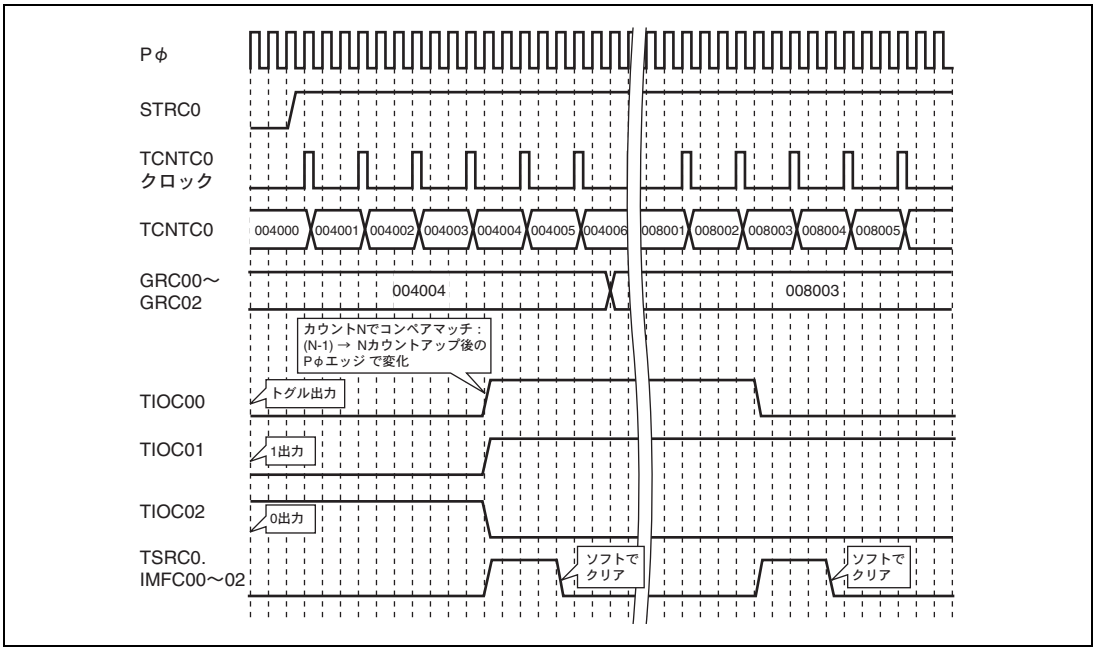


図 12.25 コンペアマッチの動作例

タイマコントロールレジスタ Cn（TCRCn）の強制コンペアマッチビット（FCMCnm）を 1 にセットすると、GRCnm と TCNTCn の一致を待たずにコンペアマッチを発生させることができます。FCMCnm ビットを 1 にセットした次の Pφクロックサイクルでコンペアマッチフラグおよび TIOCnm 出力に反映されます。強制コンペアマッチを発生させると、コンペアマッチフラグ（IMFCnm）をクリアするまで GRCnm と TCNTCn とのコンペアマ

ッチは行われません。FCMCnm ビットは、TSRCn の IMFCnm ビットがクリアされるときに同時にクリアされます。

コンペアマッチフラグのクリアは、ステータス 1 を読み出し後、0 をライトすることで可能の他、C00、C10、C20、C30、C40 の 5 本は、DMAC からの割り込みクリア信号でも可能です。

コンペアマッチの検出は、次の 3 つのうち、いずれかが起こったときに行われます。

- TCNTCnとGRCnmが不一致から一致になったとき（ただし強制コンペアマッチはOFF状態）
- 強制コンペアマッチビット（TCRCnレジスタのFCMCnmビット）を0から1に書き換えたとき
- GRCn0のコンペアマッチによるカウンタクリアによりTCNTCnとGRCnmが一致したとき

これらを検出した次の Pφクロックサイクルに、コンペアマッチステータスのセット、TIOCnm からのコンペアマッチ出力変化が実施されます。ただし、前もってコンペアマッチ許可設定（TIORCn レジスタの IOCnm[2:0]ビットで設定）がされていることが条件です。TCNTCn と GRCnm を同一値に設定もしくは強制コンペアマッチビットを 1 に設定した後にコンペアマッチ許可設定を行ってもコンペアマッチは検出されません。

また、コンペアマッチ検出はカウンタの動作／停止に依存しません。カウンタ停止状態であっても、上記の条件が満たされればコンペアマッチを発生します。

コンペアマッチが発生した状態で GRCnm 値、TCNTCn 値が変化していない状態（カウントアップ前、カウンタ停止状態など）でステータスクリアを行った場合には、新たにコンペアマッチを検出しません。

12.17.3 PWM 機能

タイマコントロールレジスタ Cn（TCRCn）の PWMn ビットに 1 を設定することにより、各サブブロックのチャネル 1～3 を周期が同じ PWM タイマとして動作させることができます。PWM モードでは、GRCn0 を周期レジスタとして、GRCn1～3 をデューティレジスタとして使用します。デューティレジスタに使用する GRCn それぞれに対応する外部端子（TIOCn1～3）を PWM 出力として使用できます。ただし、PWMn ビットの設定だけでなく、TIORCn の IOCnm ビットで GRCn0～3 をコンペアマッチに設定しておく必要があります。

タイマスタートレジスタ C（TSTRC）への設定によりタイマカウンタ Cn（TCNTCn）を動作させ、TCNTCn が周期レジスタ（GRCn0）に達するとコンペアマッチを発生し、タイマステータスレジスタ C（TSRCn）の該当するビットをセットします。このとき PWM モードでは、TCNTCn をクリアし、同時に外部端子（TIOCn1～n3）から IOCn0 の設定値を出力します（TIOCn0 端子出力も IOCn0 ビットの設定に従います）。

TCNTCn がデューティレジスタ（GRCn1～3）に達すると、タイマステータスレジスタ Cn（TSRCn）の該当するビットをセットし、IOCn1～3 ビットの設定値をそれぞれの外部端子（TIOCn1～n3）に出力します。

周期とデューティに同じ値を設定した場合、周期レジスタコンペアマッチによる IOCn0 の設定値の出力が優先されます。

図 12.26 に、サブブロック C0 の PWM モードの動作例を示します。

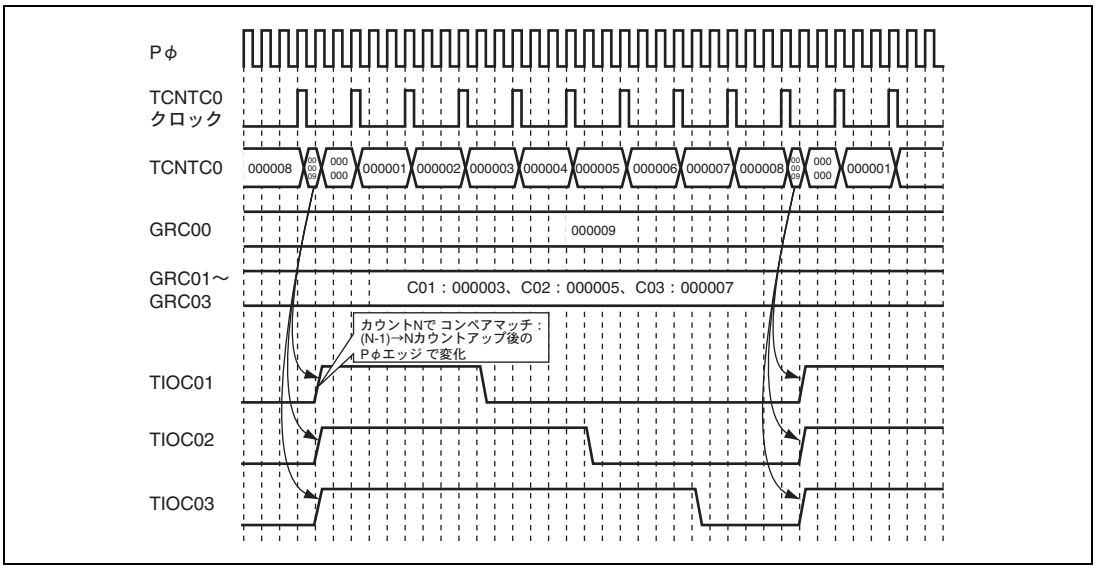


図 12.26 PWM モードの動作例

12.18 タイマ D の概要

タイマ D は、同一機能を持つ 4 個のサブブロックによって構成されるワンショットパルス出力タイマです。

タイマ D は、以下の機能を実現することができます。

- アウトプットコンペアレジスタのコンペアマッチAとジェネラルレジスタのコンペアマッチB、あるいはダウンカウンタスタートレジスタのカウントスタートビット書き込みによりダウンカウントを開始することができ、オフセット付きワンショットパルスの出力が可能です。
- ジェネラルレジスタのコンペアマッチBにより、ダウンカウント値にかかわらず出力波形の強制遮断が可能です（コンペアマッチAあるいはカウントスタートビット書き込みと、コンペアマッチB同時発生時は出力遮断が優先）。
- ジェネラルレジスタは、コンペアマッチAをトリガとしてTCNT2Dn値をキャプチャすることが可能です。
- コンペアマッチA、B検出パルス（A/D起動用）が出力可能（サブブロックD0、D1の計16本が対応）。
- コンペアマッチ割り込みの発生が可能です（コンペアマッチA、BをORで出力、計16本）。
- TCNT1Dn（4本）、TCNT2Dn（4本）のそれぞれでカウンタオーバフロー割り込み（計8本）の発生が可能です。
- ダウンカウンタアンダフロー割り込み（計16本）の発生が可能です。このアンダフロー割り込みでDMACにDMA転送を要求することもできます。このとき、DMACのACK信号によりコンペアマッチフラグのクリアが可能です（DMA転送要求は、サブブロックD0～D3のダウンカウンタ、計16本が対応）。
- タイマAからのトリガ信号により、オフセットベースレジスタへのカウンタ値キャプチャが可能です。

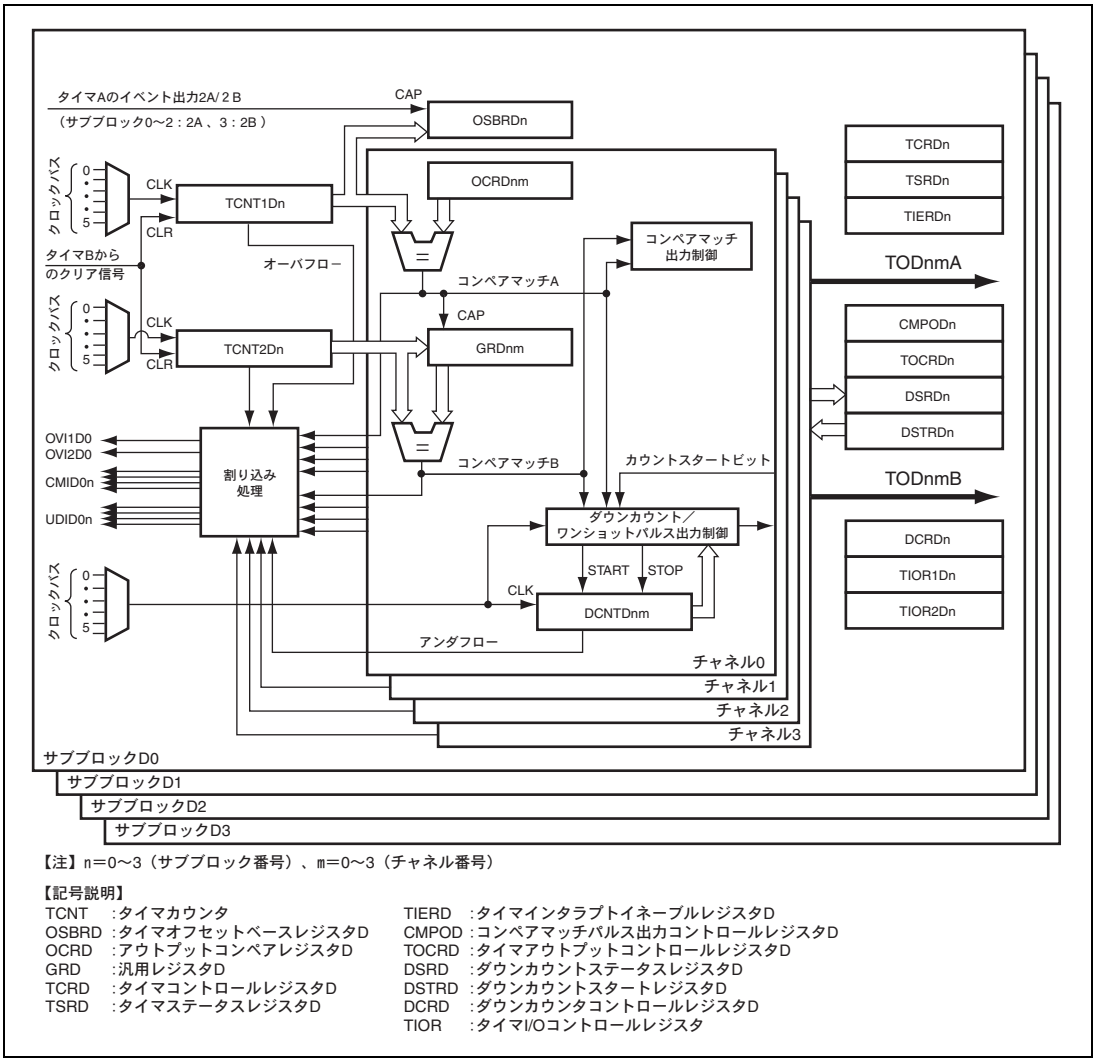
12.18.1 ブロック図

各サブブロックは、2 本のタイマカウンタ（TCNT1Dn、TCNT2Dn）、1 本のオフセットベースレジスタ（OSBRDn）と、4 本のアウトプットコンペアレジスタ（OCRDnm）、4 本の汎用レジスタ（GRDnm）、4 本のタイマダウンカウンタ（DCNTDnm）、および制御部などで構成されています。また各チャネルに TODnmA（コンペアマッチ出力）と TODnmB（ワンショットパルス出力）の 2 本の出力端子を備えています。

TODnmA、TODnmB 出力の初期値はともに 0 です。

コンペアマッチ A、コンペアマッチ B 検出時には、割り込み変換開始トリガとして A/D にパルスを出力します。

図 12.27 に、タイマ D のブロック図を示します。



【注】n＝0～3（サブブロック番号）、m＝0～3（チャネル番号）

【記号説明】

TCNT :タイマカウンタ
OSBRD :タイマオフセットベースレジスタD
OCRD :アウトプットコンペアレジスタD
GRD :汎用レジスタD
TCRD :タイマコントロールレジスタD
TSRD :タイマステータスレジスタD
TIERD :タイマインタラプトイネーブルレジスタD
CMPOD :コンペアマッチパルス出力コントロールレジスタD
TOCRD :タイマアウトプットコントロールレジスタD
DSRD :ダウンカウントステータスレジスタD
DSTRD :ダウンカウントスタートレジスタD
DCRD :ダウンカウンタコントロールレジスタD
TIOR :タイマI/Oコントロールレジスタ

図 12.27 タイマ D のブロック図

12.19 タイマ D のレジスタの説明

12.19.1 タイマスタートレジスタ（TSTRD）

TSTRD は、8 ビットの読み出し／書き込み可能なレジスタです。4 つのサブブロック D0～D3 の 2 つのタイマカウンタ（TCNT1Dn、TCNT2Dn）、タイマダウンカウンタ（DCNTDnm）を動作させるか、停止させるかを設定します。ただし、カウンタ Dn スタートビットをカウント動作許可に設定していても、ATU-III マスタイネーブルレジスタ（ATUENR）の TDE ビットがイネーブルに設定されていなければ、カウント動作は行われません。

TSTRD は、バイト単位で読み出し／書き込みが可能です。

TSTRD は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	STRD3	STRD2	STRD1	STRD0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	STRD3	0	R/W	カウンタ Dn スタート タイマカウンタ 1Dn、2Dn（TCNT1Dn、TCNT2Dn）、タイマダウンカウンタ（DCNTDnm）を動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を再開します。ただし、本ビットを 1 にセットしても、ATUENR の TDE ビットが 1 にセットされていなければカウント動作は開始されません。 0：TCNT1Dn、TCNT2Dn、DCNTDnm のカウント動作を停止 1：TCNT1Dn、TCNT2Dn、DCNTDnm のカウント動作を許可 【注】プリスケーラは、カウンタ Dn スタートビットの設定に関係なく動作しており、TCNT1Dn、TCNT2Dn の動作開始時にも初期化は行われません。したがって起動から実際に TCNT1Dn、TCNT2Dn がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。
2	STRD2	0	R/W	
1	STRD1	0	R/W	
0	STRD0	0	R/W	

【注】 n＝0～3：サブブロック D0～D3 に対応。m＝0～3：チャネル Dn0～Dn3 に対応。

12.19.2 タイマコントロールレジスタ D0～3（TCRD0～3）

TCRD0～3 は、16 ビットの読み出し／書き込み可能なレジスタです。TCRDn は、サブブロック Dn のタイマカウンタ 1（TCNT1Dn）のカウントクロック、タイマカウンタ 2（TCNT2Dn）のカウントクロック、およびタイマダウンカウンタ（DCNTDnm）のカウントクロックをそれぞれクロックバス 0～5 から選択します。また、タイマオフセットベースレジスタへのインプットキャプチャ許可／禁止、タイマ B からの TCNT1Dn、TCNT2Dn のカウンタ値のクリア要求の許可／禁止を設定します。

TCRD0～3 は、バイトおよびワード単位で読み出し／書き込みが可能です。

TCRD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	OBREDn	C2CEDn	C1CEDn	—	CKSEL2Dn[2:0]			—	CKSEL1Dn[2:0]			—	DCSELDn[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 n＝0～3：サブブロックD0～D3に対応。

ビット	ビット名	初期値	R/W	説　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	OBREDn	0	R/W	タイマオフセットベースレジスタイネーブル タイマオフセットベースレジスタ Dn（OSBRDn）のインプットキャプチャ動作の許可／禁止を選択します。許可設定値、タイマ A からのイベント入力が 1 である Pφクロックサイクルの TCNT1Dn 値を、次の Pφクロックサイクルで OSBRDn にキャプチャします。イベント入力パルス幅が 1 Pφクロックサイクルを超える場合、その毎サイクルにキャプチャ動作を行います。 0：OSBRDn のインプットキャプチャ動作を許可 1：OSBRDn のインプットキャプチャ動作を禁止
13	C2CEDn	0	R/W	カウンタ 2 クリアイネーブル タイマ B からの TCNT2Dn カウンタ値クリアの許可／禁止を選択します。 C2CEDn ビットが 1 のとき、タイマ B から出力されるカウンタクリア信号の立ち上がりを検出すると、以下のタイミングで TCNT2Dn カウンタのクリアを行います。 クリア信号の立ち上がり変化と同じサイクルに TCNT2Dn カウントアップクロックが入力されている場合は、そのカウントアップのタイミングでカウンタクリアが行われます。クリア信号立ち上がりサイクルにカウントアップクロックが入力されていない場合は、その後に入力される最初のカウントアップクロックによるカウントアップタイミングでクリアを行います。なお、初期設定ではカウンタクリア要求を受け付けません。 0：タイマ B からの TCNT2Dn カウンタ値クリア要求を禁止 1：タイマ B からの TCNT2Dn カウンタ値クリア要求を許可

ビット	ビット名	初期値	R/W	説　　明
12	C1CEDn	0	R/W	カウンタ 1 クリアイネーブル タイマ B からの TCNT1Dn カウンタ値クリアの許可／禁止を選択します。 C1CEDn ビットが 1 のとき、タイマ B から出力されるカウンタクリア信号の立ち上がりを検出すると、以下のタイミングで TCNT1Dn カウンタのクリアを行います。 クリア信号の立ち上がり変化と同じサイクルに TCNT1Dn カウントアップクロックが入力されている場合は、そのカウントアップのタイミングでカウンタクリアが行われます。クリア信号立ち上がりサイクルにカウントアップクロックが入力されていない場合は、その後に入力される最初のカウントアップクロックによるカウントアップタイミングでクリアを行います。なお、初期設定ではカウンタクリア要求を受け付けません。 0：タイマ B からの TCNT1Dn カウンタ値クリア要求を禁止 1：タイマ B からの TCNT1Dn カウンタ値クリア要求を許可
11	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	CKSEL2Dn[2:0]	000	R/W	TCNT2Dn クロックセレクト クロックセレクト 2Dn（CKSEL2Dn[2:0]）は、TCNT2Dn のカウントアップクロックを選択します。 000：クロックバス 0 で TCNT2Dn をアップカウント 001：クロックバス 1 で TCNT2Dn をアップカウント 010：クロックバス 2 で TCNT2Dn をアップカウント 011：クロックバス 3 で TCNT2Dn をアップカウント 100：クロックバス 4 で TCNT2Dn をアップカウント 101：クロックバス 5 で TCNT2Dn をアップカウント 11x：リザーブ
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	CKSEL1Dn[2:0]	000	R/W	TCNT1Dn クロックセレクト クロックセレクト 1Dn（CKSEL1Dn[2:0]）は、TCNT1Dn のカウントアップクロックを選択します。 000：クロックバス 0 で TCNT1Dn をアップカウント 001：クロックバス 1 で TCNT1Dn をアップカウント 010：クロックバス 2 で TCNT1Dn をアップカウント 011：クロックバス 3 で TCNT1Dn をアップカウント 100：クロックバス 4 で TCNT1Dn をアップカウント 101：クロックバス 5 で TCNT1Dn をアップカウント 11x：リザーブ
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2～0	DCSELDn[2:0]	000	R/W	DCNTDnm クロックセレクト DCNTDnm クロックセレクト（DCSELDn[2:0]）は、サブブロック Dn のタイマダウンカウンタ（DCNTDnm）のカウントダウンクロックを選択します。ワンショットパルス出力（TODnmB）は本ビットで選択したクロックに同期して制御されます。 000：クロックバス 0 で DCNTDnm をダウンカウント 001：クロックバス 1 で DCNTDnm をダウンカウント 010：クロックバス 2 で DCNTDnm をダウンカウント 011：クロックバス 3 で DCNTDnm をダウンカウント 100：クロックバス 4 で DCNTDnm をダウンカウント 101：クロックバス 5 で DCNTDnm をダウンカウント 11x：リザーブ

【記号説明】x＝Don't care

【注】 n＝0～3：サブブロック D0～D3 に対応。m＝0～3：チャネル 0～3 に対応。サブブロック内チャネル 0～3 のカウントクロックは共通。

12.19.3 タイマ I/O コントロールレジスタ 1D0～3（TIOR1D0～3）

TIOR1D0～3 は、16 ビットの読み出し／書き込み可能なレジスタです。

本レジスタは、コンペアマッチ出力端子（TODnmA）の出力要因を設定するビット、コンペアマッチレジスタ（OCRDnm）のコンペアマッチ許可／禁止設定ビット、およびコンペアマッチ A 発生時の TODnA 端子出力値設定ビットで構成されます。

TIOR1D0～3 は、バイトおよびワード単位で読み出し／書き込みが可能です。

TIOR1D0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSSDn3[1:0]		OSSDn2[1:0]		OSSDn1[1:0]		OSSDn0[1:0]		IOADn3[1:0]		IOADn2[1:0]		IOADn1[1:0]		IOADn0[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～3：サブブロックD0～D3に対応。

ビット	ビット名	初期値	R/W	説　　明
15、14	OSSDn3[1:0]	00	R/W	コンペアマッチ出力要因選択 コンペアマッチ出力端子（TODnmA）の出力要因を設定します。コンペアマッチ A、コンペアマッチ B のいずれか、あるいは双方で TODnmA 端子の出力を制御できます。 コンペアマッチの片方をタイマダウンカウンタ D（DCNTDnm）のスタート／ストップトリガとして使用し、他方をコンペアマッチ出力とすることが可能です。またコンペアマッチ A、B の両方で出力を制御し、片方で出力アサート、他方で出力ネゲートとすることで、TODnmA からワンショットパルスを出力することもできます。 コンペアマッチ A と、コンペアマッチ B の両方を出力要因として設定しており、この二つの要因が同時に発生した場合には、コンペアマッチ B が優先され、TIOR2Dn の IOBnm ビットで設定されたコンペアマッチ値が出力されます。 TODnmA の出力初期値は 0 です。このビットが B'00 である間は、コンペアマッチ A、B が発生しても TODnmA の出力値は変化しません。 00：TODnmA 端子出力なし。 01：コンペアマッチ A 発生時、TODnmA 端子に I/O コントロールビット A での設定値を出力 10：コンペアマッチ B 発生時、TODnmA 端子に I/O コントロールビット B での設定値を出力 11：コンペアマッチ A あるいはコンペアマッチ B 発生時、TODnmA 端子に I/O コントロールビット A、I/O コントロールビット B それぞれの設定値を出力
13、12	OSSDn2[1:0]	00	R/W	
11、10	OSSDn1[1:0]	00	R/W	
9、8	OSSDn0[1:0]	00	R/W	

ビット	ビット名	初期値	R/W	説　　明
7、6	IOADn3[1:0]	00	R/W	I/O コントロール A アウトプットコンペアレジスタ（OCRDnm）の機能を選択します。このビットに B'00 を設定したとき、OCRDnm はタイマカウンタ 1（TCNT1Dn）とのコンペアマッチを行いません。B'00 以外に設定すると TCNT1Dn とのコンペアマッチ動作を行います。このとき、タイマインタラプトイネーブルレジスタ（TIERDn）の CMEADnm ビットが 1 であれば、コンペアマッチで割り込み要求が出力されます。また、コンペアマッチパルス出力コントロールレジスタの CMPADnm ビットが 1 であれば、AD 割り込み変換起動トリガが出力されます（サブブロック D0、D1 のみ）。 コンペアマッチ発生時、コンペアマッチ出力要因選択ビット（OSSDnm）でコンペアマッチ A が出力要因に選択されていれば、IOADnm で設定したコンペアマッチ出力値が TODnmA 端子に出力されます。 00：コンペアマッチ禁止 01：コンペアマッチで 0 出力 10：コンペアマッチで 1 出力 11：コンペアマッチでトグル出力
5、4	IOADn2[1:0]	00	R/W	
3、2	IOADn1[1:0]	00	R/W	
1、0	IOADn0[1:0]	00	R/W	

【注】　n＝0～3：サブブロック D0～D3 に対応。m＝0～3：チャネル 0～3 に対応。

12.19.4 タイマ I/O コントロールレジスタ 2D0～3（TIOR2D0～3）

TIOR2D0～3 は、16 ビットの読み出し／書き込み可能なレジスタです。

本レジスタは、汎用レジスタ（GRDnm）の機能を設定するビットを持っています。キャプチャレジスタとして動作させるか、あるいはコンペアマッチとして動作させるかを選択でき、またコンペアマッチ許可／禁止、およびコンペアマッチ B 発生時の TODnA 端子出力値を設定できます。

I/O コントロール B ビット（IOBDnm）は、汎用レジスタ（GRDnm）をコンペアマッチレジスタとして使用するか、キャプチャレジスタとして使用するかを選択できます。

コンペアマッチレジスタとして使用する場合（IOBDnm[2]＝0）、IOBDnm[1:0]が B'00 であれば、GRDnm はタイマカウンタ 2（TCNT2Dn）とのコンペアマッチを行いません。00 以外に設定すると TCNT2Dn とのコンペアマッチ動作を行います。このとき、タイマインタラプトイネーブルレジスタ（TIERDn）の CMEBDnm ビットが 1 であれば、コンペアマッチで割り込み要求が出力されます。また、コンペアマッチパルス出力コントロールレジスタの CMPBDnm ビットが 1 であれば、AD 割り込み変換起動トリガが出力されます（サブブロック D0、D1 のみ）。

コンペアマッチ発生時、コンペアマッチ出力要因選択ビット（OSSDnm）でコンペアマッチ B が出力要因に選択されていれば、IOBDnm で設定したコンペアマッチ出力値が TODnmA 端子に出力されます。

キャプチャレジスタとして使用しているときは（IOBDnm[2:0]＝B'101）、コンペアマッチ A の発生を検出して、タイマカウンタ 2（TCNT2Dn）の値を格納します。TCNT2Dn が停止していても、コンペアマッチ A が発生すれば、そのときの値をキャプチャします。IOBDnm[2:0]が B'100 のときは、コンペアマッチ A が発生しても TCNT2Dn 値を取り込みません。

ジェネラルレジスタが TCNT2Dn 値をキャプチャしたタイミングなど、TCNT2Dn と GRDnm 値が同じときに機能をコンペアマッチに切り替えてもコンペアマッチ B は発生しません。

ジェネラルレジスタをコンペアマッチとして使用しており、また OSSDnm ビットの設定でコンペアマッチ B を出力要因としている場合に、機能をキャプチャレジスタに切り替えても TODnA 端子出力は変化しません。逆も同様に、キャプチャレジスタからコンペアマッチレジスタに切り替えても TODnA 端子は変化しません。

TIOR2D0～3 は、バイトおよびワード単位で読み出し／書き込みが可能です。

TIOR2D0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IOBDn3[2:0]			—	IOBDn2[2:0]			—	IOBDn1[2:0]			—	IOBDn0[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 n＝0～3：サブブロックD0～D3に対応。

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
14～12	IOBDn3[2:0]	000	R/W	I/O コントロール B • GRDn3 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRDn3 をキャプチャレジスタとして利用するとき 100：キャプチャ禁止 101：コンペアマッチ A のタイミングで TCNT2Dn 値をキャプチャ 110：設定禁止 111：設定禁止
11	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	IOBDn2[2:0]	000	R/W	I/O コントロール B • GRDn2 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRDn2 をキャプチャレジスタとして利用するとき 100：キャプチャ禁止 101：コンペアマッチ A のタイミングで TCNT2Dn 値をキャプチャ 110：設定禁止 111：設定禁止
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	IOBDn1[2:0]	000	R/W	I/O コントロール B • GRDn1 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRDn1 をキャプチャレジスタとして利用するとき 100：キャプチャ禁止 101：コンペアマッチ A のタイミングで TCNT2Dn 値をキャプチャ 110：設定禁止 111：設定禁止
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2～0	IOBDn0[2:0]	000	R/W	I/O コントロール B • GRDn0 をアウトプットコンペアレジスタとして利用するとき 000：コンペアマッチ禁止 001：コンペアマッチで 0 出力 010：コンペアマッチで 1 出力 011：コンペアマッチでトグル出力 • GRDn0 をキャプチャレジスタとして利用するとき 100：キャプチャ禁止 101：コンペアマッチ A のタイミングで TCNT2Dn 値をキャプチャ 110：設定禁止 111：設定禁止

【注】 n＝0～3：サブブロック D0～D3 に対応。m＝0～3：チャネル 0～3 に対応。

12.19.5 ダウンカウントスタートレジスタ D0～3（DSTRD0～3）

DSTD0～3 は、8 ビットの読み出し／書き込み可能なレジスタです。ダウンカウンタのスタートビットを持ち、ソフトで値を書き込むことでダウンカウント動作を開始させることができます。

DSTRD0～3 は、バイト単位で読み出し／書き込みが可能です。

DSTRD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DSTD n3	DSTD n2	DSTD n1	DSTD n0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 n＝0～3：サブブロックD0～D3に対応。
* 0書き込み無効。1を書き込みデータは保持されません。読み出し値は常に0になります。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	DSTDn3	0	R/(W)*	ダウンカウントスタート Dnm 本ビットに 1 を書き込むことにより、ダウンカウンタ Dn（DCNTDnm）のカウントを開始することができます。ダウンカウントスタートビットによるダウンカウント開始は、ダウンカウントコントロールレジスタのスタートトリガの設定に関係なく常に有効です。ただし、コンペアマッチ B によるダウンカウンタの停止が設定されていて、ダウンカウントスタートビットへの 1 書き込みと、コンペアマッチ B が同時に発生した場合は、コンペアマッチ B によるカウント停止が優先されるため、ダウンカウントは開始されません。 DCNTDn 値が H'000000 であるときは、ダウンカウントスタートビットへ 1 書き込みを行ってもダウンカウントは開始されません。 0：何もしない 1：ダウンカウンタ（DCNTDn0～3）のカウント開始
2	DSTDn2	0	R/(W)*	
1	DSTDn1	0	R/(W)*	
0	DSTDn0	0	R/(W)*	

12.19.6 ダウンカウントステータスレジスタ D0～3（DSRD0～3）

DSRD0～3 は、8 ビットの読み出し／書き込み可能なレジスタです。本レジスタは、タイマダウンカウンタ（DCNTDnm）の状態を示すフラグを持っています。

DSRD0～3 は、バイト単位で読み出し／書き込みが可能です。

DSRD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	–	DSFDn3	DSFDn2	DSFDn1	DSFDn0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R*	R*	R*	R*

【注】 n＝0～3：サブブロックD0～D3に対応。
* DSFDnmは読み出し専用のフラグです。このビットへの書き込みはすべて無視されます。

ビット	ビット名	初期値	R/W	説　　明
7～4	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	DSFDn3	0	R*	ダウンカウントステータスフラグ Dnm ダウンカウンタ Dnm（DCNTDnm）動作の有効、無効を示すステータスフラグです。このフラグの読み出し値が 1 であるとき、DCNTDnm のダウンカウント動作は有効であり、ATUENR の TDE ビットが 1 で TSTRD の STRDn ビットが 1 であれば、DCNTDnm がダウンカウント動作中であることがわかります。 また読み出し値が 0 であるときは、DCNTDnm はダウンカウント動作無効であり、ダウンカウント停止中であることがわかります。 0：ダウンカウント無効状態 ［クリア条件］ • ダウンカウンタのアンダフローによってカウント停止したとき。 • ダウンカウントストップトリガとして設定された条件（コンペアマッチ B）が発生し、ダウンカウンタがカウント停止したとき。 1：ダウンカウント有効状態 ［セット条件］ • ダウンカウンタスタートレジスタ（DSTRDn）のダウンカウントスタートビットに 1 を書いたとき。 • ダウンカウントスタートトリガとして設定された条件（コンペアマッチ A、コンペアマッチ B）が発生したとき 【注】本フラグは、ATUENR の TDE ビットおよび TSTRD の STRDn ビットの設定値にかかわらず、セット、クリアされます。したがって、TDE ビットまたは STRDn ビットがカウント許可に設定されていなければ、ダウンカウント有効状態であってもダウンカウント停止中であることに注意してください。
2	DSFDn2	0	R*	
1	DSFDn1	0	R*	
0	DSFDn0	0	R*	

12.19.7 ダウンカウンタコントロールレジスタ D0～3（DCRD0～3）

DCRD0～3 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは、ダウンカウントスタート／ストップトリガ設定ビットを持っており、タイマダウンカウンタ（DCNTDnm）の開始、停止のトリガとしてコンペアマッチ A、あるいはコンペアマッチ B を設定することができます。ただし、TRGSELDn ビットの変更は、カウンタ停止状態で行ってください。カウンタ動作中にトリガ要因の変更を行った場合の動作は保証できません。

TRGSELD ビットは、タイマダウンカウンタ（DCNTDnm）のカウントスタート、カウントストップのトリガとなる要因を設定します。カウントスタートのトリガには、コンペアマッチ A、あるいはコンペアマッチ B を設定できます。カウントストップのトリガにはコンペアマッチ B を設定できます。

ダウンカウンタのスタートトリガとしては、ここで設定した要因以外に、ダウンカウンタスタートビットへの 1 書き込みがあります。ダウンカウンタスタートビットでのカウントスタートは、TRGSELDnm の設定にかかわらず常に有効です。ダウンカウンタのスタートトリガと、ストップトリガとなる要因が同時に発生した場合には、カウントストップが優先されます。

DCRD0～3 は、バイトおよびワード単位で読み出し／書き込みが可能です。

DCRD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TRGSELDn3[2:0]			—	TRGSELDn2[2:0]			—	TRGSELDn1[2:0]			—	TRGSELDn0[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 n＝0～3：サブブロックD0～D3に対応。

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14～12	TRGSELDn3 [2:0]	000	R/W	ダウンカウントスタート／ストップトリガ選択 Dn3 ［カウントスタートトリガ］　［カウントストップトリガ］ 000：なし　000：なし 001：なし　001：コンペアマッチ B 010：コンペアマッチ A　010：なし 011：コンペアマッチ A　011：コンペアマッチ B 100：コンペアマッチ B　100：なし 101：設定禁止　101：設定禁止 110：設定禁止　110：設定禁止 111：設定禁止　111：設定禁止
11	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
10～8	TRGSELDn2 [2:0]	000	R/W	ダウンカウントスタート／ストップトリガ選択 Dn2 ［カウントスタートトリガ］　［カウントストップトリガ］ 000：なし　000：なし 001：なし　001：コンペアマッチ B 010：コンペアマッチ A　010：なし 011：コンペアマッチ A　011：コンペアマッチ B 100：コンペアマッチ B　100：なし 101：設定禁止　101：設定禁止 110：設定禁止　110：設定禁止 111：設定禁止　111：設定禁止
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	TRGSELDn1 [2:0]	000	R/W	ダウンカウントスタート／ストップトリガ選択 Dn1 ［カウントスタートトリガ］　［カウントストップトリガ］ 000：なし　000：なし 001：なし　001：コンペアマッチ B 010：コンペアマッチ A　010：なし 011：コンペアマッチ A　011：コンペアマッチ B 100：コンペアマッチ B　100：なし 101：設定禁止　101：設定禁止 110：設定禁止　110：設定禁止 111：設定禁止　111：設定禁止
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	TRGSELDn0 [2:0]	000	R/W	ダウンカウントスタート／ストップトリガ選択 Dn0 ［カウントスタートトリガ］　［カウントストップトリガ］ 000：なし　000：なし 001：なし　001：コンペアマッチ B 010：コンペアマッチ A　010：なし 011：コンペアマッチ A　011：コンペアマッチ B 100：コンペアマッチ B　100：なし 101：設定禁止　101：設定禁止 110：設定禁止　110：設定禁止 111：設定禁止　111：設定禁止

【注】　n＝0～3：サブブロック D0～D3 に対応。

12.19.8 タイマステータスレジスタ D0～3（TSRD0～3）

TSRD0～3 は、16 ビットの読み出し／書き込み可能なレジスタです。サブブロック D0～D3 の持つ 2 つのタイマカウンタ（TCNT2Dn、TCNT1Dn）のオーバフローの発生、チャネル 0～3 のタイマダウンカウンタ（DCNTDnm）アンダフロー発生、アウトプットコンペアレジスタ（OCRDnm）のコンペアマッチ発生、汎用レジスタ（GRDnm）のコンペアマッチ発生を示します。

オーバフローフラグ 2、1、アンダフローフラグ、およびコンペアマッチ A、B フラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ（TIERDn）の対応するビットを設定することにより割り込み要求を出力します。また、コンペアマッチ A、コンペアマッチ B はそれぞれ 8 本（サブブロック D0、D1）のパルス出力を備えており、A/D の割り込み変換起動トリガとして利用可能です。

TSRD0～3 は、バイトおよびワード単位で読み出し／書き込みが可能です。

TSRD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	OVF 2Dn	OVF 1Dn	UDF Dn3	UDF Dn2	UDF Dn1	UDF Dn0	CMF ADn3	CMF ADn2	CMF ADn1	CMF ADn0	CMF BDn3	CMF BDn2	CMF BDn1	CMF BDn0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 n＝0～3：サブブロックD0～D3に対応。
* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　明
15、14	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	OVF2Dn	0	R/(W)*	オーバフローフラグ 2Dn このフラグによりタイマカウンタ 2Dn（TCNT2Dn）のオーバフローの状態を参照することができます。このフラグをソフトウェアにより 1 にセットすることはできません。 オーバフローフラグは、TCNT2Dn が H'FFFFFF の状態でカウントアップクロックが入力されたときにセットされます。TCNT2Dn への H'0000 00 書き込みおよび TCNT2Dn 初期値（H'0000 00）で起動しても OVF2Dn はセットされません。 カウンタ値が H'FFFF FF の状態で、カウントアップクロックと同時に TCNT2Dn への書き込みを行った場合、オーバフローフラグは 1 にセットされますが、TCNT2Dn 値は H'0000 00 ではなく、書き込まれた値に更新されます。 タイマ B からのカウンタクリアとオーバフローが同時に発生した場合、オーバフローは検出されません。タイマインタラプトイネーブルレジスタ Dn（TIERDn）のオーバフローイネーブルフラグ（OVE2Dn）を 1 にセットすることで、オーバフロー割り込みを出力します。 0：TCNT2Dn でオーバフローなし ［クリア条件］ • OVF2Dn＝1 の状態を読み出した後、OVF2Dn に 0 を書き込んだとき 1：TCNT2Dn でオーバフロー発生 ［セット条件］ • TCNT2Dn の値がオーバフロー（H'FFFF FF→H'0000 00）したとき

ビット	ビット名	初期値	R/W	説　　明
12	OVF1Dn	0	R/(W)*	オーバフローフラグ 1Dn このフラグによりタイマカウンタ 1Dn（TCNT1Dn）のオーバフローの状態を参照することができます。このフラグをソフトウェアにより 1 にセットすることはできません。 オーバフローフラグは、TCNT1Dn が H'FFFF FF の状態でカウントアップクロックが入力されたときにセットされます。TCNT1Dn への H'0000 00 書き込み、および TCNT1Dn 初期値（H'0000 00）で起動しても OVF1Dn はセットされません。 カウンタ値が H'FFFF FF の状態で、カウントアップクロックと同時に TCNT1Dn への書き込みを行った場合、オーバフローフラグは 1 にセットされますが、TCNT1Dn 値は H'0000 00 ではなく、書き込まれた値に更新されます。 タイマ B からのカウンタクリアとオーバフローが同時に発生した場合、オーバフローは検出されません。タイマインタラプトイネーブルレジスタ Dn（TIERDn）のオーバフローイネーブルフラグ（OVE1Dn）を 1 にセットすることでオーバフロー割り込みを出力します。 0：TCNT1Dn でオーバフローなし ［クリア条件］ • OVF1Dn＝1 の状態を読み出した後、OVF1Dn に 0 を書き込んだとき 1：TCNT1Dn でオーバフロー発生 ［セット条件］ • TCNT1Dn の値がオーバフロー（H'FFFF FF→H'0000 00）したとき
11	UDFDn3	0	R/(W)*	アンダフローフラグ Dnm サブブロック Dn、チャネル m のタイマダウンカウンタ（DCNTDnm）のアンダフロー状態を参照することができます。アンダフローは、DCNTDnm が H'0000 00 の状態でダウンカウントクロックが入力されたときに検出されます。アンダフロー検出時、DCNTDnm は H'0000 00 のまま変化しません。また、DCNTDnm に H'FFFF FF を書き込んでもアンダフローフラグはセットされません。 このフラグをソフトウェアにより 1 にセットすることはできません。サブブロック D0～D3 内の計 16 チャネルに関しては、DMAC からの ACK 信号によりステータスのクリアが可能です。 リセット直後のアンダフローフラグは 0 です（DCNTDnm の値は初期値の H'0000 00 ですが、DCNTDnm が未動作状態のため、アンダフローを検出しません。DCNTDnm 動作制御はタイマダウンカウンタの項を参照願います）。 0：アンダフローなし ［クリア条件］ • UDFDnm＝1 の状態を読み出した後、UDFDnm に 0 を書き込んだとき • DMAC からの ACK 信号によるクリア（サブブロック 0～3 のみ対応） 1：アンダフロー発生 ［セット条件］ • DCNTDnm の値がアンダフロー（カウンタ値が H'0000 00 の状態で次のダウンカウントクロックが入力）したとき
10	UDFDn2	0	R/(W)*	
9	UDFDn1	0	R/(W)*	
8	UDFDn0	0	R/(W)*	

ビット	ビット名	初期値	R/W	説　　明
7	CMFADn3	0	R/(W)*	コンペアマッチ A フラグ Dnm サブブロック Dn、チャネル m のアウトプットコンペアレジスタ（OCRDnm）のコンペアマッチ発生を示すステータスフラグです。このフラグをソフトウェアにより 1 にセットすることはできません。 タイマ I/O コントロールレジスタ 1（TIOR1Dn）の設定により、OCRDn がコンペアマッチ許可と設定されていれば、TCNT1Dn の動作状態に関係なく、TCNT1Dn と OCRDnm の値が一致したとき、次の Pφクロックサイクルでコンペアマッチ A フラグがセットされます。コンペアマッチ A 検出後、TCNT1Dn、OCRDnm の値が一致したままの状態で、コンペアマッチ A ステータスをクリアしても新たにステータスはセットされません。 また、A/D 起動用にコンペアマッチ A 検出を示す 1 Pφクロック幅のパルスを出力します（サブブロック D0、D1 の計 8 チャネルのみ対応）。 本ステータスは 1 の状態であることを読み出した後の 0 書き込みによりクリアが可能です。 本ステータスをクリアせず 1 の状態のままであっても、新たに TCNT1Dn と OCRDnm が一致すればコンペアマッチ A を検出します。ステータスは 1 を上書きします。 タイマインタラプトイネーブルレジスタ Dn（TIERDn）のコンペアマッチ A イネーブル（CMEADn）を 1 にセットすることで、コンペアマッチ A 発生を示す割り込み要求信号を出力可能です。ただし、CPU への割り込み出力はコンペアマッチ B フラグと共用です。コンペアマッチ A フラグとコンペアマッチ A イネーブルがともにセット、もしくはコンペアマッチ B フラグとコンペアマッチ B イネーブルがともにセットされているとき、コンペアマッチ割り込みを出力します。 0：コンペアマッチ A なし ［クリア条件］ • CMFADnm＝1 の状態を読み出した後、CMFADnm に 0 を書き込んだとき 1：コンペアマッチ A 発生 ［セット条件］ • アウトプットコンペアレジスタ（OCRDnm）がコンペアマッチ許可と設定されている場合に、タイマカウンタ 1（TCNT1Dn）の値が OCRDnm と等しくなったとき
6	CMFADn2	0	R/(W)*	
5	CMFADn1	0	R/(W)*	
4	CMFADn0	0	R/(W)*	

ビット	ビット名	初期値	R/W	説　　明
3	CMFBDn3	0	R/(W)*	コンペアマッチ B フラグ Dnm サブブロック Dn、チャネル m のアウトプットコンペア B レジスタ（OCBRDnm）のコンペアマッチ発生を示すステータスフラグです。このフラグをソフトウェアにより 1 にセットすることはできません。 タイマ I/O コントロールレジスタ 2（TIOR2Dn）の設定により、GRDn がコンペアマッチ許可と設定されていれば、TCNT2Dn の動作状態に関係なく、TCNT2Dn と GRDnm の値が一致したとき、次の Pφクロックサイクルでコンペアマッチ B フラグがセットされます。コンペアマッチ B 検出後、TCNT2Dn、GRDnm の値が一致したままの状態でコンペアマッチ B ステータスをクリアしても、新たにステータスはセットされません。 また、A/D 起動用にコンペアマッチ B 検出を示す 1 Pφクロック幅のパルスを出力します（サブブロック D0、D1 の計 8 チャネルのみ対応）。 本ステータスは 1 の状態であることを読み出した後の 0 書き込みによりクリアが可能です。 本ステータスをクリアせず 1 の状態のままであっても、新たに TCNT2Dn と GRDnm が一致すればコンペアマッチ B を検出します。ステータスは 1 を上書きします。 タイマインタラプトイネーブルレジスタ Dn（TIERDn）のコンペアマッチ B イネーブル（CMEBDn）を 1 にセットすることで、コンペアマッチ B 発生を示す割り込み要求信号を出力可能です。ただし、CPU への割り込み出力はコンペアマッチ A フラグと共用です。コンペアマッチ A フラグとコンペアマッチ A イネーブルがともにセット、もしくはコンペアマッチ B フラグとコンペアマッチ B イネーブルがともにセットされているとき、コンペアマッチ割り込みを出力します。 0：コンペアマッチ B なし ［クリア条件］ • CMFBDnm＝1 の状態を読み出した後、CMFBDnm に 0 を書き込んだとき 1：コンペアマッチ B 発生 ［セット条件］ • 汎用レジスタ（GRDnm）がコンペアマッチ許可として設定されている場合で、タイマカウンタ 2（TCNT2Dn）の値が GRDnm と等しくなったとき
2	CMFBDn2	0	R/(W)*	
1	CMFBDn1	0	R/(W)*	
0	CMFBDn0	0	R/(W)*	

【注】 n＝0～3：サブブロック D0～D3 に対応。m＝0～3：チャネル 0～3 に対応。

* フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。

12.19.9 タイマインタラプトイネーブルレジスタ D0～3（TIERD0～3）

TIERD0～3 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは、2 つのタイマカウンタ（TCNT2Dn、TCNT1Dn）のオーバフロー割り込み、TCNT1Dn とアウトプットコンペアレジスタ（OCRDnm）とのコンペアマッチ割り込み、および TCNT2Dn と汎用レジスタ（GRDnm）とのコンペアマッチ割り込み要求の許可／禁止を制御します。

TIERD0～3 は、バイトおよびワード単位で読み出し／書き込みが可能です。

TIERD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H’0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	OVE2Dn	OVE1Dn	UDEDn3	UDEDn2	UDEDn1	UDEDn0	CMEADn3	CMEADn2	CMEADn1	CMEADn0	CMEBDn3	CMEBDn2	CMEBDn1	CMEBDn0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～3：サブブロックD0～D3に対応。

ビット	ビット名	初期値	R/W	説　　明
15、14	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	OVE2Dn	0	R/W	オーバフローインタラプトイネーブル 2Dn タイマカウンタ 2Dn（TCNT2Dn）のオーバフロー発生による割り込み要求の許可／禁止を設定します。本ビットを設定することでタイマステータスレジスタ（TSRDn）のオーバフローフラグ 2（OVF2Dn）を割り込みとして出力することが可能です。 0：OVF2Dn による割り込み要求を禁止 1：OVF2Dn による割り込み要求を許可
12	OVE1Dn	0	R/W	オーバフローインタラプトイネーブル 1Dn タイマカウンタ 1Dn（TCNT1Dn）のオーバフロー発生による割り込み要求の許可／禁止を設定します。本ビットを設定することでタイマステータスレジスタ（TSRDn）のオーバフローフラグ 1（OVF1Dn）を割り込みとして出力することが可能です。 0：OVF1Dn による割り込み要求を禁止 1：OVF1Dn による割り込み要求を許可
11	UDEDn3	0	R/W	アンダフローインタラプトイネーブル Dnm タイマダウンカウンタ Dnm（DCNTDnm）のアンダフロー発生による割り込み要求の許可／禁止を設定します。本ビットを設定することでタイマステータスレジスタ（TSRDn）のアンダフローフラグ（UDFDnm）を割り込みとして出力することが可能です。 0：UDFDnm による割り込み要求を禁止 1：UDFDnm による割り込み要求を許可
10	UDEDn2	0	R/W	
9	UDEDn1	0	R/W	
8	UDEDn0	0	R/W	

ビット	ビット名	初期値	R/W	説　　明
7	CMEADn3	0	R/W	コンペアマッチ A インタラプトイネーブル Dnm アウトプットコンペアレジスタ（OCRDnm）のコンペアマッチ発生による割り込み要求の許可／禁止を設定します。本ビットを設定することでタイマステータスレジスタ（TSRDn）のコンペアマッチ A フラグ（CMFADn）を割り込みとして出力することが可能です。ただし割り込み出力はコンペアマッチ B 割り込みと共通化して出力されます。 0：CMFADnm による割り込み要求を禁止 1：CMFADnm による割り込み要求を許可
6	CMEADn2	0	R/W	
5	CMEADn1	0	R/W	
4	CMEADn0	0	R/W	
3	CMEBDn3	0	R/W	コンペアマッチ B インタラプトイネーブル Dnm 汎用レジスタ（GRDnm）のコンペアマッチ発生による割り込み要求の許可／禁止を設定します。本ビットを設定することでタイマステータスレジスタ（TSRDn）のコンペアマッチ B フラグ（CMFBDn）を割り込みとして出力することが可能です。ただし割り込み出力はコンペアマッチ A 割り込みと共通化して出力されます。 0：CMFBDnm による割り込み要求を禁止 1：CMFBDnm による割り込み要求を許可
2	CMEBDn2	0	R/W	
1	CMEBDn1	0	R/W	
0	CMEBDn0	0	R/W	

【注】 n＝0～3：サブブロック D0～D3 に対応。m＝0～3：チャネル 0～3 に対応。

12.19.10 コンペアマッチパルス出力コントロールレジスタ D0、1（CMPOD0、CMPOD1）

CMPOD0、1 は、8 ビットの読み出し／書き込み可能なレジスタで、コンペアマッチ A および B 検出時に A/D 割り込み変換起動用にパルスを出力するか否かを設定します。

CMPOD0、1 は、バイト単位で読み出し／書き込みが可能です。

CMPOD0、1 は、パワーオンリセットおよびハードウェアスタンバイ時には H’00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	CMP BDn3	CMP BDn2	CMP BDn1	CMP BDn0	CMP ADn3	CMP ADn2	CMP ADn1	CMP ADn0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0、1：サブブロックD0、D1に対応。

ビット	ビット名	初期値	R/W	説　　明
7	CMPBDn3	0	R/W	コンペアマッチ B パルス出力制御 コンペアマッチ B 検出パルスを出力するか否かを設定します。本ビットを 1 に設定した場合、コンペアマッチ B 検出時に 1 Pφクロック幅の負論理パルスを出力します。 0：コンペアマッチ B 検出パルス出力 OFF 1：コンペアマッチ B 検出パルス出力 ON（1 Pφクロック幅のパルスを出力）
6	CMPBDn2	0	R/W	
5	CMPBDn1	0	R/W	
4	CMPBDn0	0	R/W	

ビット	ビット名	初期値	R/W	説　　明
3	CMPADn3	0	R/W	コンペアマッチ A パルス出力制御 コンペアマッチ A 検出パルスを出力するか否かを設定します。本ビットを 1 に設定した場合、コンペアマッチ A 検出時に 1 Pφクロック幅の負論理パルスを出力します。 0：コンペアマッチ A 検出パルス出力 OFF 1：コンペアマッチ A 検出パルス出力 ON（1 Pφクロック幅のパルスを出力）
2	CMPADn2	0	R/W	
1	CMPADn1	0	R/W	
0	CMPADn0	0	R/W	

【注】 n＝0～3：サブブロック D0～D3 に対応。

12.19.11 タイマアウトプットコントロールレジスタ D0～3（TOCRD0～TOCRD3）

TOCRD0～3 は、8 ビットの読み出し／書き込み可能なレジスタで、各サブブロック Dn の持つ出力端子（TODnmA、TODnmB）の信号を反転するか否かを設定します。

出力反転セレクト Dn ビットを変更すると、次の Pφクロックサイクルで TODnmB、TODnmA の出力が反転します。タイマカウンタ 1Dn、2Dn（TCNT1Dn、TCNT2Dn）の動作／停止状態は出力反転切り替えに影響を与えません。

TONEBDn はサブブロック Dn の持つ 4 出力（TODn0B、TODn1B、TODn2B、TODn3B）すべてを制御します。TONEADn も同様に 4 出力（TODn0A、TODn1A、TODn2A、TODn3A）すべてを共通に制御します。TODnmB、TODnmA ともにチャネル単位での制御はできません。

初期状態（TONEADn＝0、TONEBDn＝0）での TODnmA、TODnmB 出力は 0 です。

TOCRD0～3 は、バイト単位で読み出し／書き込みが可能です。

TOCRD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時には H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TONE BDn	TONE ADn
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

【注】 n＝0～3：サブブロックD0～D3に対応。

ビット	ビット名	初期値	R/W	説　　明
7～2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TONEBDn	0	R/W	出力反転セレクト TODnmB TODnmB からの出力を反転するか否かを設定します。 0：出力端子（TODnmB）から通常出力 1：出力端子（TODnmB）から反転信号を出力
0	TONEADn	0	R/W	出力反転セレクト TODnmA TODnmA からの出力を反転するか否かを設定します。 0：出力端子（TODnmA）から通常出力 1：出力端子（TODnmA）から反転信号を出力

【注】 n＝0～3：サブブロック D0～D3 に対応。m＝0～3：チャネル 0～3 に対応。

12.19.12 タイマオフセットベースレジスタ D0～3（OSBRD0～3）

OSBRD0～3 は、32 ビット読み出し専用レジスタです。本レジスタは、インプットキャプチャ専用レジスタで、タイマ A からのトリガ信号によりタイマカウンタ 1Dn（TCNT1Dn）の値をキャプチャして格納します。トリガ信号は、TIA01 もしくは TIA02 から選択可能です。サブブロック D0～D2 用のトリガ信号設定は、TCRA レジスタのビット 7（EVOSEL2A）、D3 の設定は TCRA レジスタのビット 6（EVOSEL2B）で行ってください。詳細は「**12.10.1 タイマコントロールレジスタ A（TCRA）**」を参照してください。

OSBRD0～3 は、ロングワード単位でのみ読み出しが可能です。

OSBRD0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

12.19.13 タイマカウンタ 1D0～3（TCNT1D0～3）

TCNT1D0～3 は、32 ビットの読み出し／書き込み可能なレジスタです。タイマコントロールレジスタ Dn（TCRDn）の CKSEL1Dn[2:0]ビットにより、選択されたカウントクロックによりカウント動作を行います。タイマスタートレジスタ（TSTRD）の対応するビットを 1 にセットすると、カウントを開始します。

タイマがオーバフローすると、タイマステータスレジスタ Dn（TSRDn）のオーバフラグ（OVF1Dn）が 1 にセットされます。

TCNT1D0～3 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNT1D0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

12.19.14 タイマカウンタ 2D0～3（TCNT2D0～3）

TCNT2D0～3 は、32 ビットの読み出し／書き込み可能なレジスタです。タイマコントロールレジスタ Dn（TCRDn）の CKSEL2Dn[2:0]ビットにより、選択されたカウントクロックによりカウント動作を行います。タイマスタートレジスタ（TSTRD）の対応するビットを 1 にセットすると、カウントを開始します。

タイマがオーバフローすると、タイマステータスレジスタ Dn（TSRDn）のオーバフラグ（OVF2Dn）が 1 にセットされます。

TCNT2D0～3 は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNT2D0～3 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

12.19.15 アウトプットコンペアレジスタ D00～33（OCRD00～33）

OCRD00～33は、32ビットの読み出し／書き込み可能なレジスタで、上位24ビットにマッピングされています。

OCRDnm はアップカウンタ TCNT1Dn と常に比較されており、TIOR1Dn レジスタの IOADnm ビットでコンペアマッチ許可に設定されていれば、TCNT1Dn の値と OCRDnm の値との一致を検出し、次の Pφクロックに同期して TSRDn レジスタの CMFADnm ビット（コンペアマッチ A フラグ）を 1 にセットします。このとき、OSSDnm ビットでコンペアマッチ A が出力要因に設定されていれば、TODnmA 端子へのコンペアマッチ出力も行います。

また、DCRDnm の TRGSELDnm ビットでコンペアマッチ A がダウンカウントスタートトリガに設定されていれば、コンペアマッチ A の検出と同時に DCNTDnm はダウンカウント可能状態となります。

ダウンカウント可能状態になると、DCNTDnm はダウンカウント用クロックに同期してダウンカウントを行います。また、ダウンカウント開始と同時に TODnmB 出力をアサート（ワンショットパルス出力開始）します。ただし、コンペアマッチ A と、ダウンカウントストップトリガに設定されたコンペアマッチ B が同時に発生した場合は、出力遮断が優先されパルスを出力せずに終了します。

TCNT1Dn がカウンタオーバフローで H'FFFF FF から H'0000 00 に変化したとき、OCRDnm に H'0000 00 が設定されていればコンペアマッチを検出します。

タイマインタラプトイネーブルレジスタ Dn（TIERDn）の CMEADn ビットを 1 に設定しておくことで、コンペアマッチ A 検出による割り込みを発生させることができます（割り込み出力はコンペアマッチ B と共通出力です。コンペアマッチ A、B いずれの割り込みであるかは TSRDn レジスタを確認してください）。

OCRD00～33 は、ロングワード単位でのみ読み出し／書き込みが可能です。

OCRD00～33 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFFFF00 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

12.19.16 汎用レジスタ D00～33（GRD00～33）

GRD00～33 は、32 ビットの読み出し／書き込み可能なレジスタです。キャプチャレジスタとコンペアマッチレジスタの両方の機能を持っており、機能の切り替えはタイマ I/O コントロールレジスタ 2Dn（TIOR2Dn）で行います。

キャプチャレジスタとして使用しているときは、コンペアマッチ A を検出して TCNT2Dn の値を取り込みます。TCNT2Dn がカウント停止状態（ATUENR レジスタの TDE ビットが 0、もしくは TSTRD レジスタの STRDn ビットが 0）でもキャプチャ動作は行われ、停止状態のカウント値を GRDnm に取り込みます。

アウトプットコンペアレジスタとして使用しているとき、GRDnm は TCNT2Dn と常に比較されています。TIOR2Dn レジスタの IOBDnm ビットがコンペアマッチ許可に設定されていれば、TCNT2Dn の値と GRDnm の値が一致すると次の Pφクロックに同期して、TSRDn レジスタの CMFBDnm ビットが 1 にセットされます。このとき、OSSDnm ビットでコンペアマッチ B が出力要因に設定されていれば、TODnmA 端子へのコンペアマッチ出力も行います。

DCRDnm の TRGSELDnm ビットでコンペアマッチ B がダウンカウントスタートトリガに設定されていれば、コンペアマッチ B の検出と同時に DCNTDnm はダウンカウント可能状態となります。

ダウンカウント可能状態になると、DCNTDnm はダウンカウント用クロックに同期してダウンカウントを行います。また、ダウンカウント開始と同時に TODnmB 出力をアサート（ワンショットパルス出力開始）します。

DCRDnm の TRGSELDnm ビットでコンペアマッチ B がダウンカウントストップトリガに設定されていれば、コンペアマッチ B 検出によってダウンカウント可能状態でなくなります。その後、次のダウンカウント用クロックに同期してダウンカウンタのゼロクリア、TODnmB 出力ネゲート（ワンショットパルス終了）を行います。

TCN2TDn がカウンタオーバフローで H'FFFF FF から H'0000 00 に変化したとき、GRDnm に H'0000 00 が設定されていればコンペアマッチを検出します。

タイマインタラプトイネーブルレジスタ Dn（TIERDn）の CMEBDn ビットを 1 に設定しておくことでコンペアマッチ B 検出による割り込みを発生させることができます（割り込み出力はコンペアマッチ A と共通出力です。コンペアマッチ A、B いずれの割り込みであるかは TSRDn レジスタを確認してください。）。

GRD00～33 は、ロングワード単位でのみ読み出し／書き込みが可能です。

GRD00～33 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF FF00 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

12.19.17 タイマダウンカウンタ D00～33（DCNTD00～33）

DCNTD00～33 は、32 ビットの読み出し／書き込み可能なレジスタです。タイマコントロールレジスタ Dn（TCRDn）の DCSELDn[2:0]ビットにより選択したクロックによりカウント動作を行います。

DCNTDnm の動作は、ダウンカウンタコントロールレジスタ Dn（DCRDn）によって制御することができます。コンペアマッチ A 検出、コンペアマッチ B 検出、あるいは DSTRDn レジスタの DSTDnm ビットへの 1 書き込みによってダウンカウントを開始し、DCNTDnm のアンダフローでカウント停止もしくはコンペアマッチ B 検出によりカウントを停止させることができます。ダウンカウントが許可されている期間中、ダウンカウントクロックが入力される度にダウンカウントを行います。

ダウンカウント動作は、TCNT1Dn と OCRDnm が同じ値となった次の Pφクロック（コンペアマッチ A 検出と同じタイミング）、TCNT2Dn と GRDnm が同じ値となった次の Pφクロック（コンペアマッチ B 検出と同じタイミング）、あるいは DSTDnm ビットが 1 になったときから許可されます。そこから DCNTDnm がアンダフローするまでの間、あるいは TCNT2Dn と GRDnm が同じ値となった次の Pφクロック（コンペアマッチ B 検出と同じタイミング）までの間がダウンカウント許可状態となります。その間にダウンカウントクロックが入力されれば、ダウンカウントを行います。

いったん許可状態になれば、DCNTDnm のアンダフローあるいはコンペアマッチ B の検出（カウントストップトリガに設定されているとき）までは、ダウンカウント許可状態が継続します。許可状態において、再度カウントスタートトリガ要因が発生したり、DSTDnm ビットへの 1 書き込みが行われたりしても、許可状態に変化はありません。

コンペアマッチ B を検出（カウントストップトリガに設定されているとき）すると、次のダウンカウント用クロックに同期してダウンカウントを停止し、カウンタ値は H'0000 00 にクリアされます。コンペアマッチ A や DSTDnm への 1 書き込みよるダウンカウント開始と、コンペアマッチ B によるダウンカウント停止を同時に検出した場合には、カウント停止が優先されます。ダウンカウント動作を行わずに終了し、TODnmB は出力されません。また、コンペアマッチ A や DSTDnm への 1 書き込みよるダウンカウント開始と、コンペアマッチ B 発生によるカウント停止の間に、一度もダウンカウントクロックの入力がない場合もダウンカウントを行わずに終了します。ダウンカウント停止状態では DCNTDnm 値にかかわらずダウンカウント動作を行いません。アンダフローでダウンカウント終了した後、DCNTDnm に新たに H'0000 00 以外の値を設定しても、次のカウント開始要因が発生するまではダウンカウントは行われません。

DCNTD00～33 は、ロングワード単位でのみ読み出し／書き込みが可能です。

DCNTD00～33 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

12.20 タイマ D の動作説明

タイマ D はワンショットパルスの生成が可能です。コンペアマッチ A あるいはコンペアマッチ B をダウンカウンタのスタートトリガに用いることによって、オフセット付きのワンショットパルスの出力も可能です。

ATUENR レジスタの TDE ビットおよびタイマスタートレジスタ（TSTRD）の STRDn ビットを 1 にセットすると、サブブロック Dn の 2 つのアップカウンタ（TCNT1Dn、TCNT2Dn）がアップカウント動作を開始します。

ダウンカウンタのカウントスタート要因としては、ダウンカウントスタートレジスタ D（DSTRD）の DSTDnm ビットへの 1 セット、およびダウンカウンタコントロールレジスタ D（DCRD）の TRGSELnm ビットで設定したコンペアマッチ A、コンペアマッチ B の 3 つがあります。これらのカウントスタート要因が発生すると、DCNTDnm はダウンカウント用クロックに同期してダウンカウント動作を開始します。

ダウンカウンタのカウントストップ要因としては、ダウンカウンタのアンダフローおよび TRGSELnm ビットで設定したコンペアマッチ B の 2 つがあります。アンダフロー時（カウント値が H'0000 00 の状態でダウンカウント）は即時、コンペアマッチ B の場合には、次のダウンカウント用クロックに同期してダウンカウンタ（DCNTDnm）の値を H'0000 00 にクリアしダウンカウント動作を終了させます。

TCNT1Dn と OCRDnm とのコンペアマッチ A および TCNT2Dn と GRDnm とのコンペアマッチ B は、両レジスタ値が一致した次の Pφクロックに同期して行われます。Pφクロックに同期して TSRDn レジスタの CMFADnm、CMFBDnm ビットを 1 にセットします。

コンペアマッチ出力（TODnmA）は、タイマ I/O コントロールレジスタ 1D（TIOR1Dn）の OSSDnm ビットで選択した出力要因（コンペアマッチ A、あるいはコンペアマッチ B）の発生時に行われます。たとえば、コンペアマッチ A が選択させていた場合には、TCNT1Dn と OCRDnm の値が一致した次の Pφクロックサイクルで、IOAnm ビットに設定された値が TODnmA に出力されます。

ワンショットパルス出力（TODnmB）の出力タイミングは、ダウンカウンタのカウント動作同様、ダウンカウントクロックに同期しています。3 つのカウントスタート要因はすべて Pφクロック同期で発生する事象であるため、TODnmB はカウントスタート要因発生後、最初のダウンカウントクロックを待ってアサートされます。カウントストップ要因であるダウンカウンタアンダフローはダウンカウントクロック同期、コンペアマッチ B は Pφクロックで発生します。ダウンカウンタアンダフロー時は、そのタイミングで TODnmB をネゲートします。コンペアマッチ B の場合は、コンペアマッチ発生後、最初のダウンカウントクロックを待って TODnmB のネゲートを行います。

表 12.14 ワンショットパルス出力（TODnmB）の出力タイミング

出力端子	アサートタイミング	ネゲートタイミング	初期値
TODnmB	カウントスタート要因発生後、最初のダウンダウンカウントクロック。	コンペアマッチ B 発生後、最初のダウンカウントクロックまたは DCNTDnm アンダフロー時。	0（TOCRDn によって反転）

【注】 アサートとネゲートが同時に発生した場合にはネゲートの処理が優先されます。

TODnmA、TODnmB ともに初期値は 0 です。ただし、アウトプットコントロールレジスタ Dn（TOCRDn）により出力の反転が可能です。TONEADn ビットを 1 にするとサブブロック Dn 内の TODnmA 出力が反転、TONEBDn ビットを 1 にセットすると TODnmB 出力が反転します。

コンペアマッチ A、B フラグは割り込み出力が可能です。TIERDn の CMEADnm ビット、CMEBDnm ビットを 1 にセットすることで割り込みを出力可能です（コンペアマッチ A、B の割り込み出力は共通です。A、B のいずれかのステータスとインタラプトイネーブルビットがセットされているとき、割り込み出力はゼロ（ローアクティブ）となります）。

TCNT1Dn 用クロック設定、TCNT2Dn 用クロック設定、DCNTDnm 用クロック設定、また DCNTDnm、OCRDnm、GRDnm などの各レジスタ値の設定を TCNT1Dn、TCNT2Dn の動作中に行うときは、それぞれの値にご注意ください。コンペアマッチ値設定中にカウンタ値が意図したコンペアマッチ値を超えてしまうなどの動作不具合を引き起こす可能性があります。

図 12.28 にサブブロック D0、チャネル 0 を使用した場合のワンショットパルス発生動作を示します。

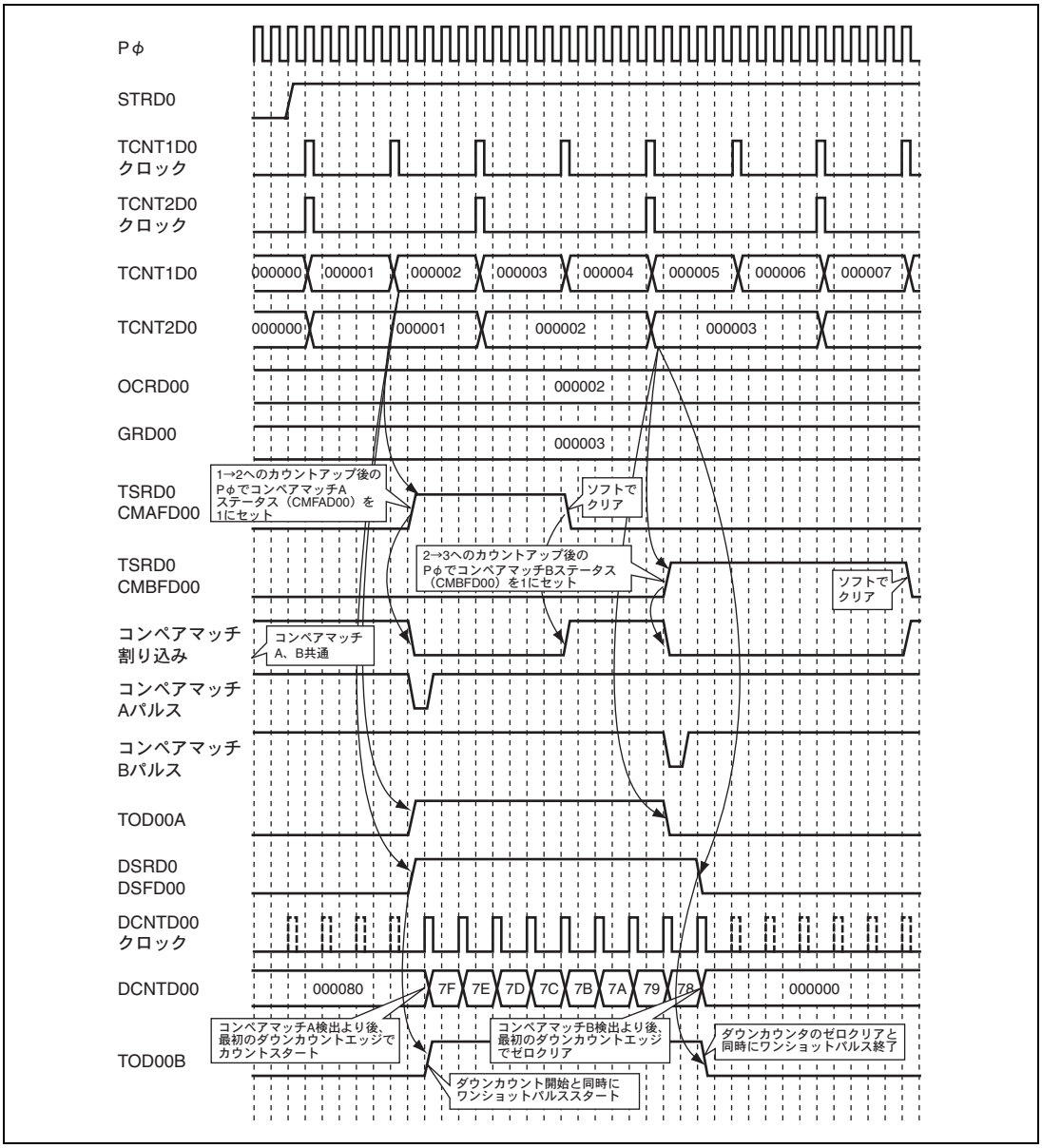


図 12.28　ワンショットパルス動作（1）
（コンペアマッチ A でカウント開始、コンペアマッチ B でカウント終了）

図 12.28 は、コンペアマッチ A でカウント開始、コンペアマッチ B でカウント終了するときのダウンカウント動作、およびワンショットパルスの開始／停止状態を表しています。DCRD0 の TRGSELD00 でカウントスタートトリガにコンペアマッチ A、カウントストップトリガにコンペアマッチ B を設定しています。また、TIOR1D0 の OSSD00 でコンペアマッチ A、コンペアマッチ B の両方を出力要因に設定し、IOAD00 ビットにコンペアマッチ許

可で 0 出力、IOBD00 ビットにコンペアマッチ許可で 1 出力と設定しています。

タイマスタートレジスタ（TSTRD）を 1 にセットすると、その直後の TCNT1D0、TCNT2D0 用カウントクロックで TCNT1D0、TCNT2D0 のそれぞれがカウントアップを開始します。TCNT1D0 がアウトプットコンペアレジスタ（OCRD00）と一致すると次の Pφクロックでコンペアマッチ A ステータスフラグ（CMFAD00）が 1 にセットされます。同時に TOD00A が 1 を出力し、またダウンカウントステータスフラグ（DSFD00）にも 1 がセットされ、ダウンカウント許可状態に入ります。このダウンカウント許可状態はコンペアマッチ B 検出もしくは DCNTD00 アンダフローが検出されるまで継続します。この状態でダウンカウントクロックが入力されると DCNTD00 がダウンカウントを行います。最初のダウンカウントクロックと同時に TOD00B から 1 を出力します。

汎用レジスタ（GRD00）が TCNT2D0 と一致すると、直後の Pφクロックに同期してコンペアマッチ B フラグ（CMFBD00）が 1 にセットされます。同時に TOD00A 出力が 0 となります。また、直後のダウンカウント用クロックに同期してダウンカウントをゼロクリアし、ワンショットパルス出力（TOD00B）も終了します。

タイマインタラプトイネーブルレジスタ D0（TIRED0）の CMEAD00 ビットの設定により、コンペアマッチ A 発生による割り込み要求の出力が、CMEBD00 ビットの設定により、コンペアマッチ B 発生による割り込み要求の出力が可能です。ただし、コンペアマッチ A、コンペアマッチ B は、ひとつの割り込み信号として ATU-III から出力されます。どちらの割り込みであるかは、TSRD0 レジスタの CMAFD00 ビット、CMBFD00 ビットを確認してください。

また、コンペアマッチパルス出力コントロールレジスタ D0（CMPOD0）の設定により、A/D 起動用パルスの出力が可能です。1 Pφクロックサイクル幅のローパルスが、割り込みと同じタイミングで出力されます。

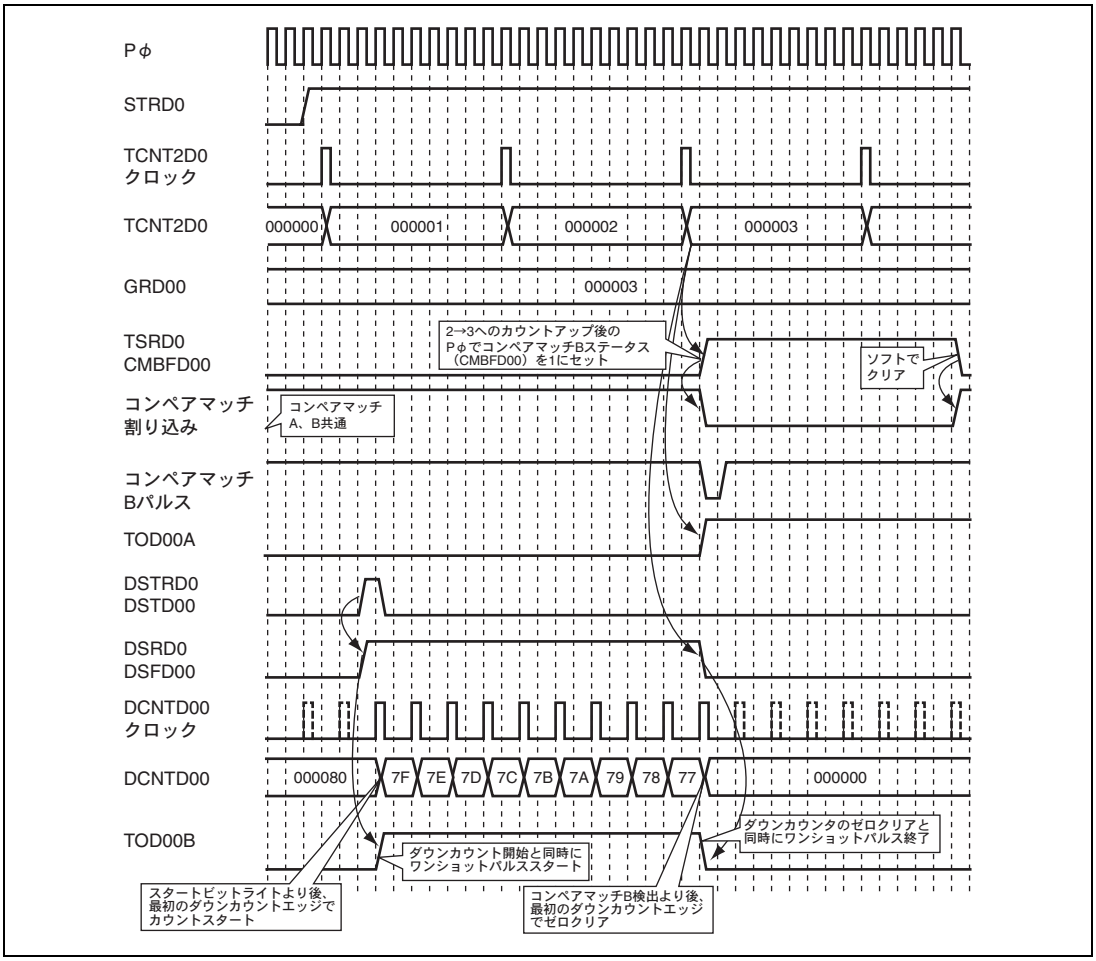


図 12.29 ワンショットパルス動作（2）
（カウントスタートビット 1 ライトでカウント開始、コンペアマッチ B でカウント終了）

図 12.29 は、ダウンカウントスタートビットにソフトウェアで書き込みを行ってダウンカウントを開始させる動作を示しています。ここでは、DCRD0 の TRGSELD00 でカウントスタートトリガになし、カウントストップトリガにコンペアマッチ B を設定しています。また、TIOR1D0 の OSSD00 でコンペアマッチ B のみを出力要因に設定し、IOBD00 ビットにコンペアマッチ許可で 1 出力と設定しています。

以下にサブブロック D0、チャネル 0 を使用した場合のワンショットパルス発生動作を示します。

ダウンカウントスタートレジスタ（DSTRD0）の DSTD00 ビットに 1 を書き込むと、同時にダウンカウントステートフラグ（DSFD00）にも 1 がセットされ、ダウンカウント許可状態に入ります。DCNTD00 は、DSFD00 が 1 になった後の最初のダウンカウントクロックでダウンカウントを行います。また、最初のダウンカウントクロックと同時に TOD00B から 1 を出力します。

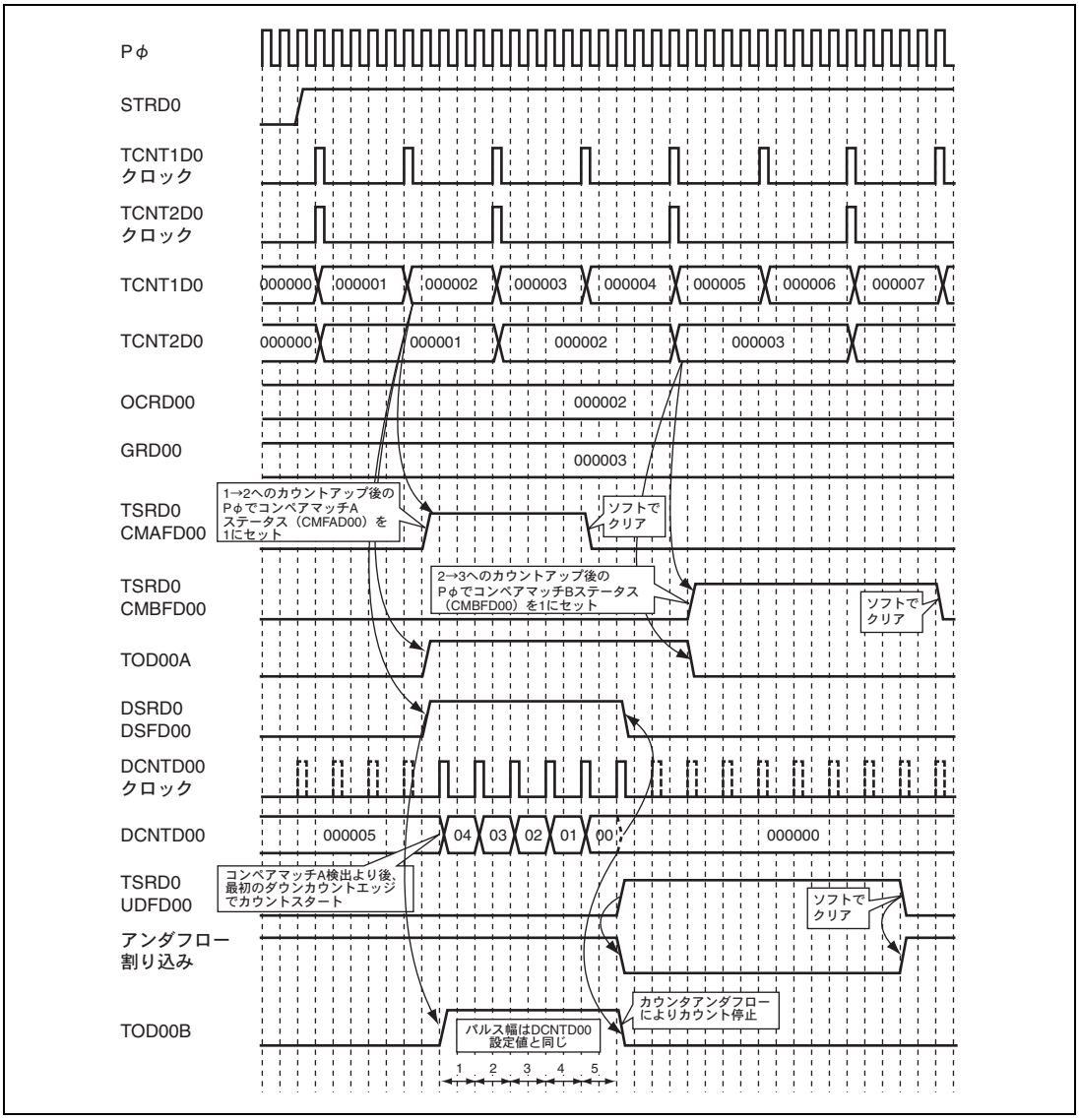


図 12.30　ワンショットパルス動作（3）（アンダフロー発生の場合）

図 12.30 はアンダフローでのワンショットパルス終了の動作を示しています。ここでは、DCRD0 の TRGSELD00 でカウントスタートトリガにコンペアマッチ A、カウントストップトリガなしと設定しています。また、TIOR1D0 の OSSD00 でコンペアマッチ A、コンペアマッチ B の両方を出力要因に設定し、IOAD00 ビットにコンペアマッチ許可で 0 出力、IOBD00 ビットにコンペアマッチ許可で 1 出力と設定しています。

タイマダウンカウンタ D00（DCNTD00）値が H'00_0000 になった直後のダウンカウントクロックでアンダフローを検出し、TSRD0 のアンダフローフラグ（UDFD00）がセットされます。同時に TOD00B のワンショット出力も遮断されます。TOD00B に出力されるパルス幅は、ダウンカウント前に DCNTD00 に設定した値と同じです。

12.21 タイマ E の概要

タイマ E は、同一の機能を持つ 5 個のサブブロックによって構成される PWM 出力タイマで、以下の機能を実現することができます。

- サイクルレジスタ、デューティレジスタを設定することにより、デューティ0～100％の波形が生成できます。
- サイクルレジスタ、デューティレジスタの値は、PWMサイクル終了ごとにサイクルリロードレジスタ、デューティリロードレジスタからリロードさせることができます。リロード機能の有効／無効も制御できます。
- カウンタへのH'0000の書き込みでPWMサイクルの強制終了ができます。
- シャットオフ入力端子（POEn）により、PWM出力を遮断することができます（タイマFの入力端子と共用）。
- オンデューティ／オフデューティの切り替えが可能です。
- サイクルレジスタのコンペアマッチ（サイクルマッチ）で周期ごとに割り込み要求を生成できます。
- チャネル0のサイクルマッチはDMAC起動割り込みとして使用できます（ACK信号による割り込み自動クリア）。

12.21.1 ブロック図

タイマ E は、5 個のサブブロックで構成されます。各サブブロックは、4 本のチャネルから構成されています。各チャネルは、タイマカウンタ E（TCNTE）、サイクルレジスタ E（CYLRE）、デューティレジスタ E（DTRE）、サイクルリロードレジスタ E（CRLDE）、デューティリロードレジスタ E（DRLDE）、および制御部などで構成されています。また、各サブブロックにシャットオフ入力端子（POEn）を、各チャネルに PWM 出力端子（TOE）を備えています。

POEn はタイマ F の TIF0A～TIF2A、TIF0B、TIF1B と共用しています。タイマ E には TIF0A～TIF2A、TIF0B、TIF1B のノイズキャンセラ通過後の信号を利用していますので、同信号のノイズキャンセル機能が利用できます。PWM 出力遮断機能の使用時において、シャットオフ入力信号にノイズキャンセラを適用する場合は、タイマ E の設定以外にタイマ F のノイズキャンセラの設定を行う必要があります。設定方法の詳細はタイマ F の項を参照してください。

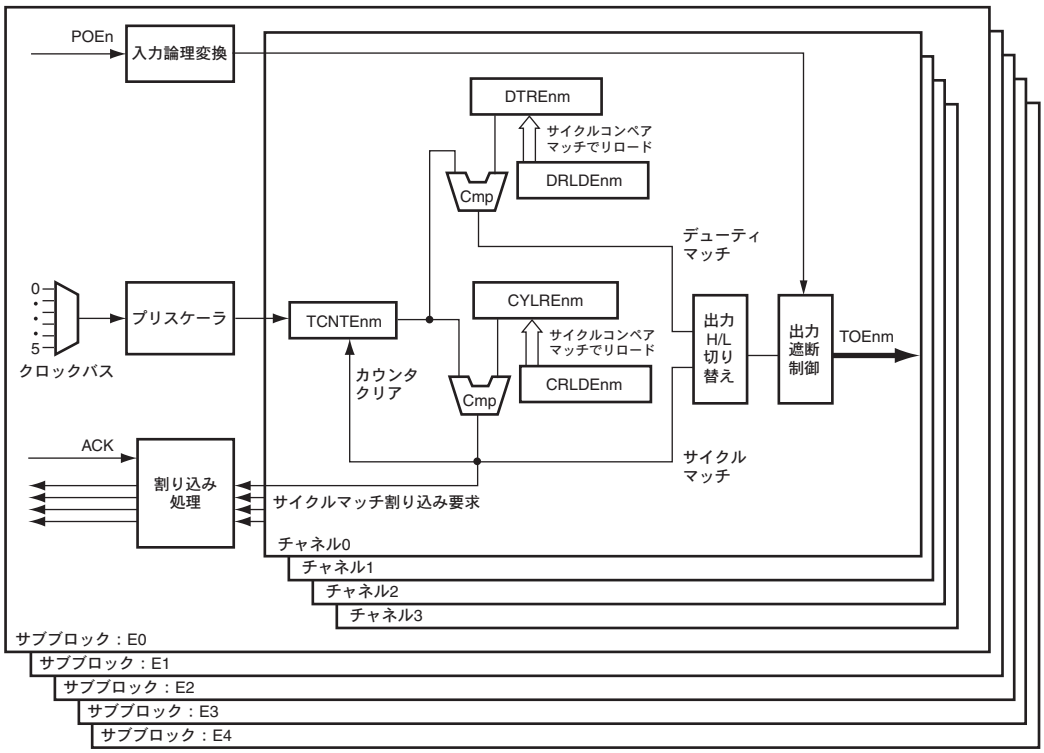
TIF0A/B～TIF2A/B と POEn の対応は**表 12.15** のとおりです。

表 12.15 タイマ F プライマリ入力とタイマ E シャットオフ入力の対応

タイマ F プライマリ入力	タイマ E シャットオフ入力
TIF0A	POE0
TIF1A	POE1
TIF2A	POE2
TIF0B	POE3
TIF1B	POE4

なお、TIF0A/B～TIF2A/B を POEn 入力として使用し、対応するタイマ F サブブロックも同時動作させる場合、タイマ F 側の計測対象がシャットオフ入力信号となることにご注意ください。

図 12.31 に、タイマ E のブロック図を示します。



【注】n=0～4（サブブロック番号）、m=0～3（チャネル番号）

【記号説明】

TCNTE ：タイマカウンタE
DTRE ：デューティレジスタE
DRLDE ：デューティリロードレジスタE
CYLRE ：サイクルレジスタE
CRLDE ：サイクルリロードレジスタE

図 12.31 タイマ E のブロック図

12.22 タイマ E のレジスタの説明

12.22.1 タイマスタートレジスタ E（TSTRE）

TSTRE は、8 ビットの読み出し／書き込み可能なレジスタで、サブブロック E0～E4 の動作の制御を行います。

タイマ E のカウンタを動作させるには、ATU-III マスタイネーブルレジスタ（ATUENR）のタイマ E イネーブルビット（TEE）、タイマスタートレジスタ E（TSTRE）、サブブロックスタートレジスタ E（SSTRE）の設定が必要となります。

TSTRE は、バイト単位で読み出し／書き込みが可能です。

TSTRE は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	STRE4	STRE3	STRE2	STRE1	STRE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STRE4	0	R/W	サブブロック E4 スタート 0：サブブロック E4 の動作を禁止 1：サブブロック E4 の動作を許可
3	STRE3	0	R/W	サブブロック E3 スタート 0：サブブロック E3 の動作を禁止 1：サブブロック E3 の動作を許可
2	STRE2	0	R/W	サブブロック E2 スタート 0：サブブロック E2 の動作を禁止 1：サブブロック E2 の動作を許可
1	STRE1	0	R/W	サブブロック E1 スタート 0：サブブロック E1 の動作を禁止 1：サブブロック E1 の動作を許可
0	STRE0	0	R/W	サブブロック E0 スタート 0：サブブロック E0 の動作を禁止 1：サブブロック E0 の動作を許可

12.22.2 サブブロックスタートレジスタ E0～4（SSTRE0～4）

SSTRE0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、サブブロックの持つ 4 本のチャネルそれぞれについて、タイマカウンタの動作／停止を指定します。タイマスタートレジスタ E（TSTRE）で指定されたサブブロックのみ有効となります。ただし、SSTRE ビットを 1 にセットしても、ATUENR の TEE ビットが 1 にセットされていなければ、カウント動作は開始されません。

プリスケーラは、カウンタ Enm スタートビットの設定に関係なく動作しており、TCNTEnm の動作開始時にも初期化は行われません。したがって、起動から実際に TCNTEnm がカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

SSTRE0～4 は、バイト単位で読み出し／書き込みが可能です。

SSTRE0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	SSTR En3	SSTR En2	SSTR En1	SSTR En0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

【注】 n＝0～4。サブブロックE0～E4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SSTREn3	0	R/W	カウンタ En3 スタート タイマカウンタ En3（TCNTEn3）を動作させるか、停止させるかを設定します。本ビットを 0 にクリアした場合、TCNTEn3 は動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を再開します。 0：サブブロック En のチャネル 3 のカウント動作を停止 1：サブブロック En のチャネル 3 のカウント動作を許可
2	SSTREn2	0	R/W	カウンタ En2 スタート タイマカウンタ En2（TCNTEn2）を動作させるか、停止させるかを設定します。本ビットを 0 にクリアした場合、TCNTEn2 は動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を開始します。 0：サブブロック En のチャネル 2 のカウント動作を停止 1：サブブロック En のチャネル 2 のカウント動作を許可
1	SSTREn1	0	R/W	カウンタ En1 スタート タイマカウンタ En1（TCNTEn1）を動作させるか、停止させるかを設定します。本ビットを 0 にクリアした場合、TCNTEn1 は動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を開始します。 0：サブブロック En のチャネル 1 のカウント動作を停止 1：サブブロック En のチャネル 1 のカウント動作を許可

ビット	ビット名	初期値	R/W	説　　明
0	SSTREn0	0	R/W	カウンタ En0 スタート タイマカウンタ En0（TCNTEn0）を動作させるか、停止させるかを設定します。本ビットを 0 にクリアした場合、TCNTEn0 は動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を開始します。 0：サブブロック En のチャネル 0 のカウント動作を停止 1：サブブロック En のチャネル 0 のカウント動作を許可

【注】 n＝0～4：サブブロック E0～E4 に対応。

12.22.3 プリスケーラレジスタ E0～4（PSCRE0～4）

PSCRE0～4 は、8 ビットの読み出し／書き込み可能なレジスタです。タイマ E は各サブブロックに 1 つのプリスケーラを内蔵しており、クロックバスから選択したクロックをさらに分周して使用することが可能です。本レジスタは、各サブブロックの持つプリスケーラの分周比の設定を行います。

プリスケーラレジスタ E（PSCRE）の設定値を書き換えると、プリスケーラのアンダフローに同期して、その書き換え値による動作を開始します。プリスケーラ E の出力により同一サブブロック内のタイマカウンタ E（TCNTE）はカウント動作を行います。

プリスケーラレジスタ E（PSCRE）には、H'0 から H'7 の値を設定することができます。プリスケーラの分周比は次の計算式で求められます。

$$\text{プリスケーラ分周比} = \frac{1}{\text{PSCEn[2:0]}+1} \quad \text{（分周設定範囲：1/1～1/8）}$$

また、プリスケーラ E の出力するクロックは 50%のデューティを保証していません。Pφクロックの 1 サイクル期間のみハイレベル（H）であり、残りの期間はすべてローレベル（L）となります。

プリスケーラ E は、ATU-III マスタイネーブルレジスタ（ATUENR）の TEE ビット、タイマスタートレジスタ E（TSTRE）のサブブロック E スタートビット（STRE）が 1 に設定されている場合に動作を行います。

PSCRE0～4 は、バイト単位で読み出し／書き込みが可能です。

PSCRE0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	PSCEn[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

【注】 n＝0～4。サブブロックE0～E4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	PSCEn[2:0]	000	R/W	分周比 プリスケーラの分周比を設定します。

12.22.4 タイマコントロールレジスタ E0～4（TCRE0～4）

TCRE0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、プリスケーラ E のカウントソースをクロックバス 0～4 から選択します。プリスケーラ出力により 16 ビットのタイマカウンタ E（TCNTE）はカウント動作を行います。

TCRE0～4 は、バイト単位で読み出し／書き込みが可能です。

TCRE0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	CKSELEn[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

【注】 n＝0～4。サブブロックE0～E4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2～0	CKSELEn[2:0]	000	R/W	TCNTEn クロックセレクト プリスケーラ E のカウントソースをクロックバス 0～5 から選択します。 000：クロックバス 0 をプリスケーラ En のカウントソースに選択 001：クロックバス 1 をプリスケーラ En のカウントソースに選択 010：クロックバス 2 をプリスケーラ En のカウントソースに選択 011：クロックバス 3 をプリスケーラ En のカウントソースに選択 100：クロックバス 4 をプリスケーラ En のカウントソースに選択 101：クロックバス 5 をプリスケーラ En のカウントソースに選択 11x：リザーブ

【記号説明】x：Don't care

12.22.5 リロードコントロールレジスタ E0～4（RLDCRE0～4）

RLDCRE0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、リロード機能の有効／無効を制御します。

RLDCRE0～4 は、バイト単位で読み出し／書き込みが可能です。

RLDCRE0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	RLDEN En3	RLDEN En2	RLDEN En1	RLDEN En0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

【注】 n＝0～4。サブブロックE0～E4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RLDENEn3	0	R/W	リロードイネーブル Enm サイクルマッチ時のデューティレジスタ、サイクルレジスタのリロード機能の有効／無効を指定します。 0：サイクルマッチ時のデューティレジスタ、サイクルレジスタのリロード機能を無効にする 1：サイクルマッチ時のデューティレジスタ、サイクルレジスタのリロード機能を有効にする
2	RLDENEn2	0	R/W	
1	RLDENEn1	0	R/W	
0	RLDENEn0	0	R/W	

【注】 n＝0～4：サブブロック E0～E4 に対応。m＝0～3：チャネル 0～3 に対応。

12.22.6 出力遮断コントロールレジスタ E0～4（POECRE0～4）

出力遮断コントロールレジスタ E0～4（POECRE0～4）は 16 ビットのリード／ライト可能なレジスタです。ただし、本レジスタへのライト時にはライトデータと同時にビット 15～8 へライトキーコードの設定が必要です。

POECRE0～4 はパワーオンリセット、またはハードウェアスタンバイ時に H'0000 に初期化されます。

POECREn はライトキー付きであるため、書き込みはワード単位で行う必要があります。POEPOLn ビットおよび POEENnm ビットの値を書き換えるには、同時に POECRKEY ビットに H'9C を書き込んでください。POECRKEY ビットに H'9C 以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

POECREn の読み出しはワード単位で行ってください。POECRKEY ビットへの書き込みデータは保持されませんので、POECRKEY ビットの読み出し値は常に H'00 になります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POECRKEY[7:0]								—	—	—	POE POLn	POE ENn3	POE ENn2	POE ENn1	POE ENn0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R	R	R	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～4。サブブロックE0～E4に対応。
＊ 書き込みデータは保持されません。常に0が読み出されます。

ビット	ビット名	初期値	R/W	説　　明
15～8	POECRKEY[7:0]	すべて 0	R/W*	POECREn ライトキーコード POEPOLn、POEENnm ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されませんので、読み出し値は常に H'00 になります。 H'9C：POEPOLn、POEENnm ビットの書き換え可能 H'9C 以外：POEPOLn、POEENnm ビットの書き換え不可
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	POEPOLn	0	R/W	シャットオフ入力アクティブレベル選択ビット シャットオフ入力（POEn）のアクティブレベルを制御します。 本ビットの設定は、サブブロック内の全チャネルに影響します。 0：シャットオフ入力は L アクティブ 1：シャットオフ入力は H アクティブ
3	POEENn3	0	R/W	出力遮断有効／無効選択ビット 出力遮断機能の有効／無効切り替えを制御します。本ビットはチャネル単位での設定が可能です。 0：出力遮断は無効 1：出力遮断は有効
2	POEENn2	0	R/W	
1	POEENn1	0	R/W	
0	POEENn0	0	R/W	

【注】 n＝0～4：サブブロック E0～E4 に対応。m＝0～3：チャネル 0～3 に対応。

* 書き込みデータは保持されません。常に 0 が読み出されます。

12.22.7 出力遮断レベル設定レジスタ E0～4（SOLVLE0～4）

出力遮断レベル設定レジスタ E0～4（SOLVLE0～4）は、8 ビットのリード／ライト可能なレジスタです。SOLVLE0～4 はパワーオンリセット、またはハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	PWM SLVn3	PWM SLVn2	PWM SLVn1	PWM SLVn0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

【注】 n＝0～4。サブブロックE0～E4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PWMSLVn3	0	R/W	出力レベル H/L 選択ビット 出力遮断状態における TOEnm 出力のレベルを設定します。 0：出力遮断時、TOEnm に L レベルを出力 1：出力遮断時、TOEnm に H レベルを出力
2	PWMSLVn2	0	R/W	
1	PWMSLVn1	0	R/W	
0	PWMSLVn0	0	R/W	

【注】 n＝0～4：サブブロック E0～E4 に対応。m＝0～3：チャネル 0～3 に対応。

12.22.8 タイマステータスレジスタ E0～4（TSRE0～4）

TSRE0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、サブブロック E のサイクルレジスタ E（CYLRE）とタイマカウンタ E（TCNTE）とのコンペアマッチ（サイクルマッチ）発生、および TCNTE でのオーバフロー発生を示します。

TSRE0～4 は、バイト単位で読み出し／書き込みが可能です。

TSRE0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	OVF En3	OVF En2	OVF En1	OVF En0	CMF En3	CMF En2	CMF En1	CMF En0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 n＝0～4：サブブロックE0～E4に対応。
* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7	OVFEn3	0	R/(W)*	オーバフローフラグ Enm タイマカウンタ E（TCNTE）でオーバフローが発生した場合、本フラグが 1 にセットされます。本フラグをソフトウェアにより 1 にセットすることはできません。 オーバフローフラグは TCNTEnm が H'FFFF の状態でカウントアップクロックが入力されたときに発生します。TCNTEnm への H'0000 書き込みでは OVFEnm はセットされません。 カウンタ値が H'FFFF の状態で、カウントアップクロックと同時に TCNTEnm への書き込みを行った場合、オーバフローフラグは 1 にセットされますが、TCNTEnm 値は H'0000 ではなく、書き込まれた値に更新されます。 このフラグに対応する割り込みはありません。サイクルマッチ発生でカウンタ値は H'0001 にクリアされるため、通常動作ではオーバフローは発生しません。カウンタ動作中にサイクルレジスタ値を変更した場合にのみ、オーバフロー発生の可能性があります。 また、オーバフローとサイクルマッチが同時に起こる場合（CYLREn を H'FFFF に設定し、TCNTEnm が H'FFFF の状態でカウントアップクロックが入力された場合）、オーバフローは検出されません。この場合、サイクルマッチ検出時の処理が実施されます（カウンタ値が H'0001 となり、リロード有効であれば、サイクルリロード、デューティリロードが発生します）。 0：オーバフローなし ［クリア条件］ • OVFEnm＝1 の状態を読み出した後、OVFEnm に 0 を書き込んだとき 1：オーバフロー発生 ［セット条件］ • アップカウンタ（TCNTEnm）の値が H'FFFF から H'0000 と変化したとき
6	OVFEn2	0	R/(W)*	
5	OVFEn1	0	R/(W)*	
4	OVFEn0	0	R/(W)*	

ビット	ビット名	初期値	R/W	説　　明
3	CMFEn3	0	R/(W)*	サイクルマッチフラグ Enm 本フラグをソフトウェアにより 1 にセットすることはできません。CMFEnm が 1 の状態（フラグがクリアされていない状態）でも、次のサイクルマッチ処理は実施可能です。このとき CMFEnm には 1 がオーバライトされます。 タイマインタラプトイネーブルレジスタ En（TIEREn）のサイクルマッチインタラプトイネーブル E ビット（CMEEnm）ビットが 1 にセットされていると、サイクルマッチによる割り込みを出力することができます。 ステータスのクリアは CMFEnm が 1 の状態をリードした後の 0 書き込みで行います。また、各ブロックのチャネル 0 のフラグ（CMFEn0）は DMAC からの ACK 信号により自動的にクリアされます。 0：サイクルマッチなし ［クリア条件］ • CMFEnm＝1 の状態を読み出した後、CMFEnm に 0 を書き込んだとき • DMAC からの ACK（ステータスクリア）信号によるクリア（チャネル 0 のみ） 1：サイクルマッチ発生 ［セット条件］ • アップカウンタ（TCNTEnm）の値がサイクルレジスタ（CYLREnm）と一致した状態でカウントクロックが入力されたとき
2	CMFEn2	0	R/(W)*	
1	CMFEn1	0	R/(W)*	
0	CMFEn0	0	R/(W)*	

【注】 n＝0～4：サブブロック E0～E4 に対応。m＝0～3：チャネル 0～3 に対応。

* フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。

12.22.9 タイマインタラプトイネーブルレジスタ E0～4（TIERE0～4）

TIERE0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、サイクルレジスタ E（CYLRE）とタイマカウンタ E（TCNTE）とのコンペアマッチ（サイクルマッチ）による割り込み要求の許可／禁止を制御します。

TIERE0～4 は、バイト単位で読み出し／書き込みが可能です。

TIERE0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	CMEEn3	CMEEn2	CMEEn1	CMEEn0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

【注】 n＝0～4：サブブロックE0～E4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3～0	CMEEn3～CMEEn0	すべて 0	R/W	サイクルマッチインタラプトイネーブル Enm CYLREnm のサイクルマッチ発生による割り込み要求の許可／禁止を設定します。本ビットを設定することで、タイマステータスレジスタ En（TSREn）のサイクルマッチフラグ Enm（CMFEnm）を割り込みとして出力することが可能です。 0：CMFEnm による割り込み要求を禁止 1：CMFEnm による割り込み要求を許可

【注】 n＝0～4：サブブロック E0～E4 に対応。m＝0～3：チャネル 0～3 に対応。

12.22.10 タイマアウトプットコントロールレジスタ E0～4（TOCRE0～4）

TOCRE0～4 は、8 ビットの読み出し／書き込み可能なレジスタで、各サブブロック E の持つ PWM 出力端子（TOE）からの信号を反転するか否かを設定します。

TOCRE0～4 は、バイト単位で読み出し／書き込みが可能です。

TOCRE0～4 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	TONE En3	TONE En2	TONE En1	TONE En0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

【注】 n＝0～4：サブブロックE0～E4に対応。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	TONEEn3	0	R/W	TOEnm 出力反転セレクト PWM 出力端子（TOE）からの PWM 出力を反転するか否かを設定します。 タイマアウトプットコントロールレジスタのオンデューティ／オフデューティ設定を変更した場合、次の Pφクロックサイクルで TOEnm 出力が反転します。カウンタ（TCNTEnm）の動作／停止状態は、オンデューティ／オフデューティの切り替えに影響を与えません。 なお、初期状態（TONEEnm＝0）での PWM 出力はローレベルです。 0：PWM 出力端子（TOEnm）から通常出力 1：PWM 出力端子（TOEnm）から反転信号を出力
2	TONEEn2	0	R/W	
1	TONEEn1	0	R/W	
0	TONEEn0	0	R/W	

【注】 n＝0～4：サブブロック E0～E4 に対応。m＝0～3：チャネル 0～3 に対応。

12.22.11 タイマカウンタ E00～43（TCNTE00～43）

TCNTE00～43 は、サブブロック En、チャネル m に配置された 16 ビットの読み出し／書き込み可能なレジスタです。ATU-III マスタイネーブルレジスタ（ATUENR）の TEE ビット、タイマスタートレジスタ E（TSTRE）のサブブロック En スタートビット（STREn）、およびサブブロックスタートレジスタ En（SSTREn）のカウンタ Enm スタートビット（SSTREnm）をセットすることにより動作可能となります。

カウントクロックは、タイマコントロールレジスタ En（TCREn）の TCNTEn クロックセレクト（CKSELEn[2:0]）、およびタイマ E 内蔵のプリスケーラレジスタ En（PSCREn）によって設定します。

TCNTEnm は、サイクルレジスタ Enm（CYLREnm）とのサイクルマッチにより H'0001 に初期化されます。サイクルレジスタの値が N のとき、カウンタが N から（N＋1）にカウントアップするタイミングで、（N＋1）ではなく 1 にクリアします。すなわち、1 から N までのカウントを行い N 周期の PWM パルス出力に対応します。

TCNTEnm は、H'0001 から H'FFFF の間でカウント動作が可能です（サイクルレジスタに H'FFFF 設定時）。

TCNTEnm に H'0000 を書き込んだときは、PWM サイクルを強制終了し、次のカウントクロックで再び H'0001 から新たな PWM サイクルを開始します。カウント値が H'0000 である期間の PWM 出力は、直前の値を保持しており、新たな PWM サイクル開始と同時に 1 出力が行われます。デューティマッチ以前に PWM サイクルを強制終了した場合、その PWM サイクルは 100％デューティ（PWM サイクル期間中常に 1）となり、新たな PWM サイクルとの境界に 0 が出力されることはありません。カウンタへの H'0000 書き込み時の詳細動作は図 12.33 を参照してください。

カウンタ動作中に TCNTEnm または CYLREnm レジスタに書き込みを行った場合、カウンタ値が H'FFFF に到達してもサイクルマッチを起さない場合があります。その場合、次のカウントクロックでカウンタ値は H'FFFF から H'0000 に移行します。このときも H'0000 書き込みと同様、PWM サイクルは中断されます。次のカウントクロックでカウンタ値は H'0001 となり、新たな PWM サイクルを開始します。このとき、リロード機能が有効であればサイクルリロード、デューティリロードも発生します。

TCNTE00～43 は、ワード単位でのみ読み出し／書き込みが可能です。

TCNTE00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0001 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTEnm[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 1. n＝0～4：サブブロックE0～E4に対応。
2. m＝0～3：チャネル0～3 に対応。

12.22.12 サイクルレジスタ E00～43（CYLRE00～43）

CYLRE00～43 は、16 ビットの読み出し／書き込み可能なレジスタで、PWM の周期格納レジスタです。H'0001～H'FFFF の範囲で PWM 周期を設定することが可能です。

CYLREnm の値と対応するタイマカウンタ（TCNTEnm）の値は常に比較されています。両者の値が一致すると、対応するタイマステータスレジスタ（TSRE）のビットが 1 にセットされ、TCNTEnm は H'0001 にクリアされます。このとき、リロードコントロールレジスタ（RLDCREnm）の RLDENnm ビットが 1 にセットされていれば、サイクルリロードレジスタ（CRLDEnm）、デューティリロードレジスタ（DRLDEnm）の値を、それぞれサイクルレジスタ（CYLREnm）、デューティレジスタ（DTREnm）に転送します。

TCNTEnm 動作中に CYLREnm に書き込みを行う際は、書き込み値に注意してください。TCNTEnm 動作中に書き込みを行った場合、TCNTEnm がサイクルマッチを検出せずに CYLREnm 設定値を超えてカウントアップを続ける可能性があります。その場合、所望の PWM 出力は得られません。

CYLRE00～43 は、ワード単位でのみ読み出し／書き込みが可能です。

CYLRE00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYLREnm[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 1. n＝0～4：サブブロックE0～E4に対応。
2. m＝0～3：チャネル0～3に対応。

12.22.13 デューティレジスタ E00～43（DTRE00～43）

DTRE00～43 は、16 ビットの読み出し／書き込み可能なレジスタで、PWM のデューティ格納レジスタです。H'0000～H'FFFF の範囲でデューティ設定が可能です。

DTREnm の値と対応するタイマカウンタ（TCNTEnm）の値は常に比較されており、両者の値が一致すると、対応するチャネルの出力端子（TOEnm）はローレベル出力になります。また、RLDENnm ビットが 1 に設定されている場合に CYLREnm と TCNTEnm が一致すると、対応する DRLDEnm の値が DTREnm にリロードされます。

DTREnm には 0～CYLREnm の範囲の値を設定してください。0 を設定したときはデューティ 0%に、CYLREnm と同じ値を設定したときはデューティ 100%になります。DTREnm には CYLREnm より大きい値は設定しないでください。TCNTEnm 動作中に DTREnm に書き込みを行う際は、書き込み値に注意してください。TCNTEnm 動作中に書き込みを行った場合、TCNTEnm と DTREnm とのデューティマッチが検出できない可能性があります。その場合、所望の PWM 波形を得られません。

DTRE00～43 は、ワード単位でのみ読み出し／書き込みが可能です。

DTRE00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTREnm[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 1. n＝0～4：サブブロックE0～E4に対応。
2. m＝0～3：チャネル0～3 に対応。

12.22.14 サイクルリロードレジスタ E00～43（CRLDE00～43）

CRLDE00～43 は、16 ビットの読み出し／書き込み可能なレジスタです。H'0001～H'FFFF の範囲で PWM 周期を設定することが可能です。

リロード機能が有効になっていれば、サイクルレジスタ（CYLREnm）のサイクルマッチ時に、本レジスタ値がサイクルレジスタ（CYLREnm）に転送されます。

CRLDE00～43 は、ワード単位でのみ読み出し／書き込みが可能です。

CRLDE00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRLDEnm[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 1. n＝0～4：サブブロックE0～E4に対応。
2. m＝0～3：チャネル0～3に対応。

12.22.15 デューティリロードレジスタ E00～43（DRLDE00～43）

DRLDE00～43 は、16 ビットの読み出し／書き込み可能なレジスタです。H'0000～H'FFFF の範囲でデューティ設定が可能です。

リロード機能が有効になっていれば、サイクルレジスタ（CYLREnm）のサイクルマッチ時、本レジスタ値がデューティレジスタ（DTREnm）に転送されます。

DRLDE00～43 は、ワード単位でのみ読み出し／書き込みが可能です。

DRLDE00～43 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRLDEnm[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 1. n＝0～4：サブブロックE0～E4に対応。
2. m＝0～3：チャネル0～3に対応。

12.23 タイマ E の動作説明

タイマ E は、タイマカウンタ Enm（TCNTEnm）、サイクルレジスタ Enm（CYLREnm）、デューティレジスタ Enm（DTREnm）、サイクルリロードレジスタ Enm（CRLDEnm）、デューティリロードレジスタ Enm（DRLDEnm）で構成されており、PWM タイマとして使用できます。

タイマスタートレジスタ E（TSTRE）で動作対象サブブロックを、サブブロックスタートレジスタ En（SSTREn）でチャネルを選択することで、TCNTEnm はカウントアップ動作を開始します。TCNTEnm がデューティレジスタ Enm（DTREnm）と一致すると次の TCNTEnm カウントクロック入力時に TOEnm 出力を 0 に、サイクルレジスタ Enm（CYLREnm）と一致すると次の TCNTEnm カウントクロック入力時に TOEnm 出力を 1 に変化させます。サイクルレジスタと一致すると、次のカウントクロックでカウント値を H'0001 にクリアし、そこから再びアップカウントを開始します。

以降、デューティマッチ、サイクルマッチを繰り返し TOEnm 端子から PWM 出力を行います。

ただしカウンタを起動してから最初のサイクルマッチまでの 1 周期の間は、外部出力は 0（初期値）のままです。

PWM 周期は H'0001～H'FFFF の期間が設定可能です。一方、デューティは 0％～100％までが設定できます。それぞれサイクルレジスタ、デューティレジスタに設定した値がサイクル幅、デューティ幅となります。デューティレジスタの値が H'0000 の場合は、出力は 0 のまま変化しません（デューティ 0％）。デューティレジスタの値がサイクルレジスタと同じ場合はデューティ 100％となり、1 を出力し続けます。なお、デューティレジスタにはサイクルレジスタを超える値を設定しないでください。

図 12.32 に、サブブロック E0、チャネル 0 での PWM タイマ出力の動作の例を示します。図中では、デューティ比を 75％→67％→0％→100％と、サイクルごとに変更している状態を示しています。

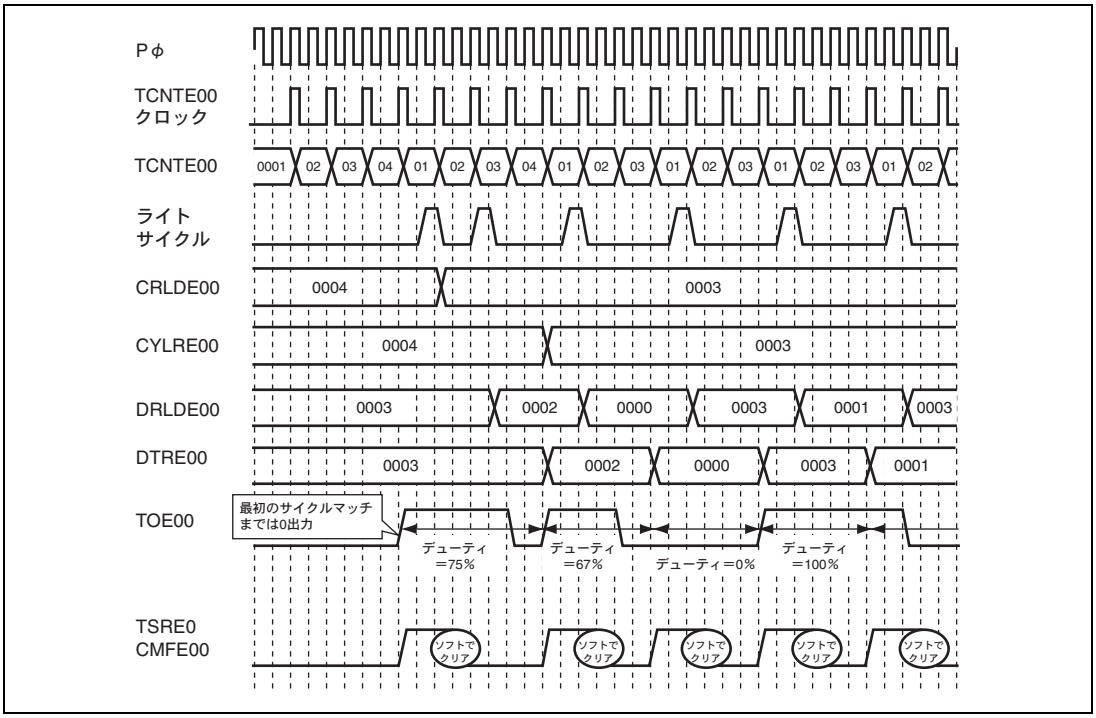


図 12.32 PWM タイマ動作（1）

デューティレジスタ、サイクルレジスタはそれぞれリロードレジスタを持っており、アップカウンタがサイクルレジスタの値と一致したときにデューティリロードレジスタからデューティレジスタへ、サイクルリロードレジスタからサイクルレジスタへ転送されます。デューティリロードレジスタ／サイクルリロードレジスタに書き込まれた値がデューティ／サイクルに反映されるのは、書き込んだ PWM 周期の次の周期からです。このリロード機能の有効／無効は、リロードコントロールレジスタ（RLDCREn）のリロードイネーブルビット（RLDENEnm）によって制御できます。

タイマ E はカウンタ（TCNTEnm）に H'0000 を書き込むことで、強制的に PWM 出力サイクルを終了することができます。カウンタ値は、次のカウントクロック入力で H'0000 から H'0001 に遷移しカウントを再開します。カウンタが H'0001 へ遷移するタイミングで、サイクルリロードレジスタからサイクルレジスタ、デューティリロードレジスタからデューティレジスタへ値が転送されます。

図 12.33 は、カウンタに H'0000 を書き込むことで PWM 出力サイクルを強制終了させ、再起動している状態を表しています。カウンタへの H'0000 書き込みにより、カウンタが H'0000 になります。出力波形（TOE00）は変化しません。H'0000 を書き込み後のカウントクロック入力によりリロード機能が有効に設定されていれば、サイクルリロードレジスタ／デューティリロードレジスタからサイクルレジスタ／デューティレジスタへ値が転送されます。同時にカウント動作を再開し、PWM 出力も開始します。

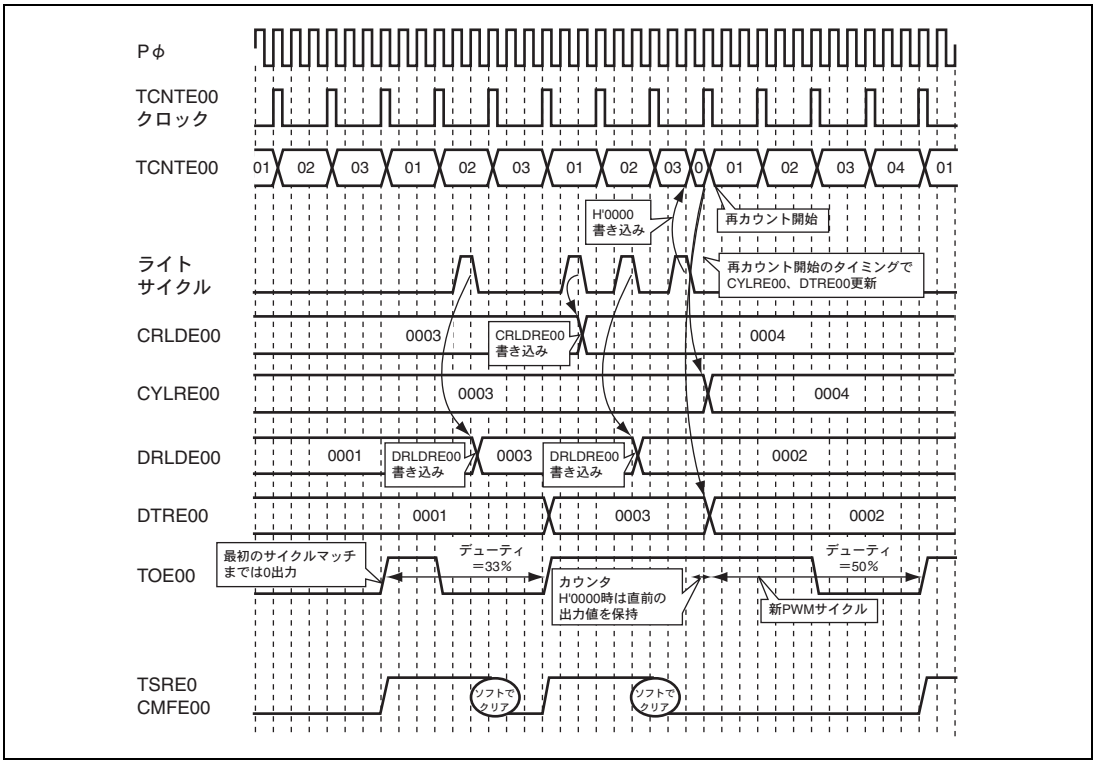


図 12.33 PWM タイマ動作（2）

出力波形のオフデューティ設定は、タイマアウトプットコントロールレジスタ En（TOCREn）の該当ビットをオフデューティに設定をすることで可能です。設定した次の Pφクロックサイクルから出力端子（TOEnm）からの出力は反転します。

図 12.34 に、オンデューティ／オフデューティを切り替えた場合の出力波形を示します。カウント動作前にオフデューティ設定にすることで、PWM 出力端子（TOE00）の初期値は 1 となります。カウント開始から最初のサイクルマッチまでの間、TOE00 は 1 を出力します。その後、サイクルマッチ、デューティマッチで 0、1 出力を繰り返します。カウンタへの H'0000 書き込みによる強制サイクル終了が発生した場合、TOE00 は直前の出力値を保持します。カウンタが H'0001 に遷移するタイミングから再び新たな PWM サイクルを開始します。

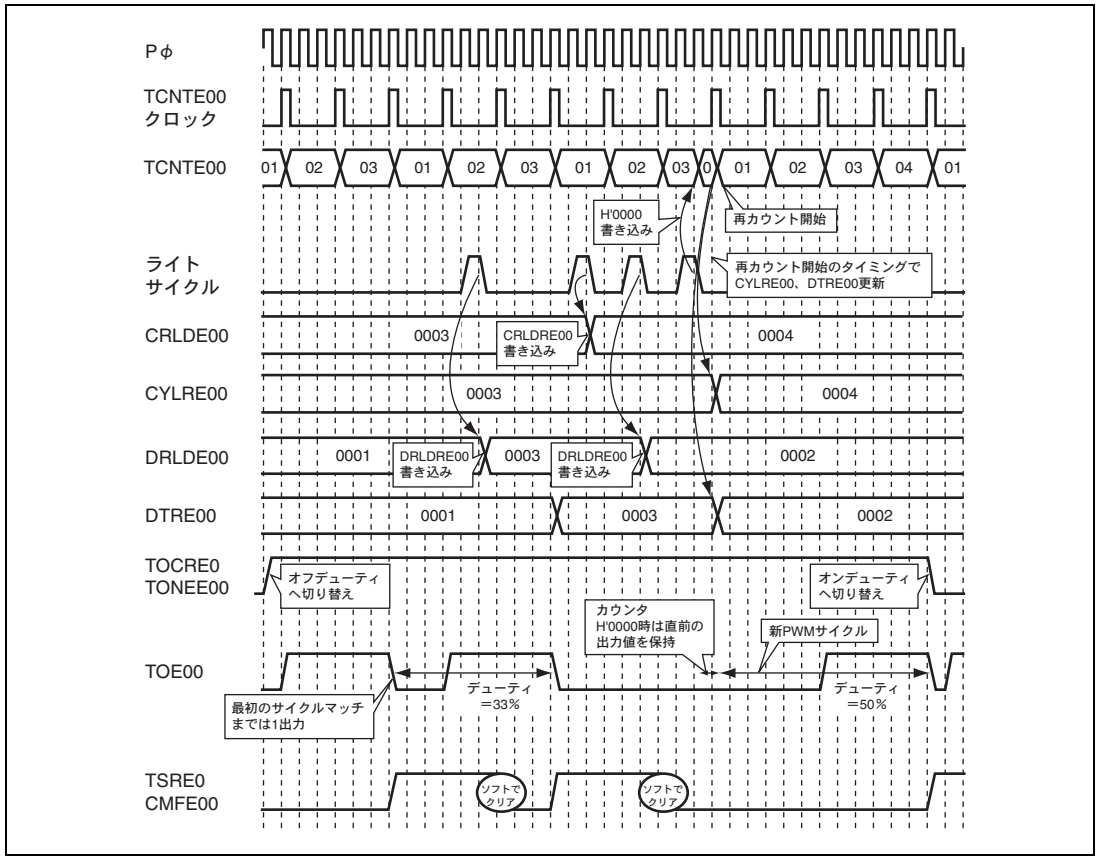
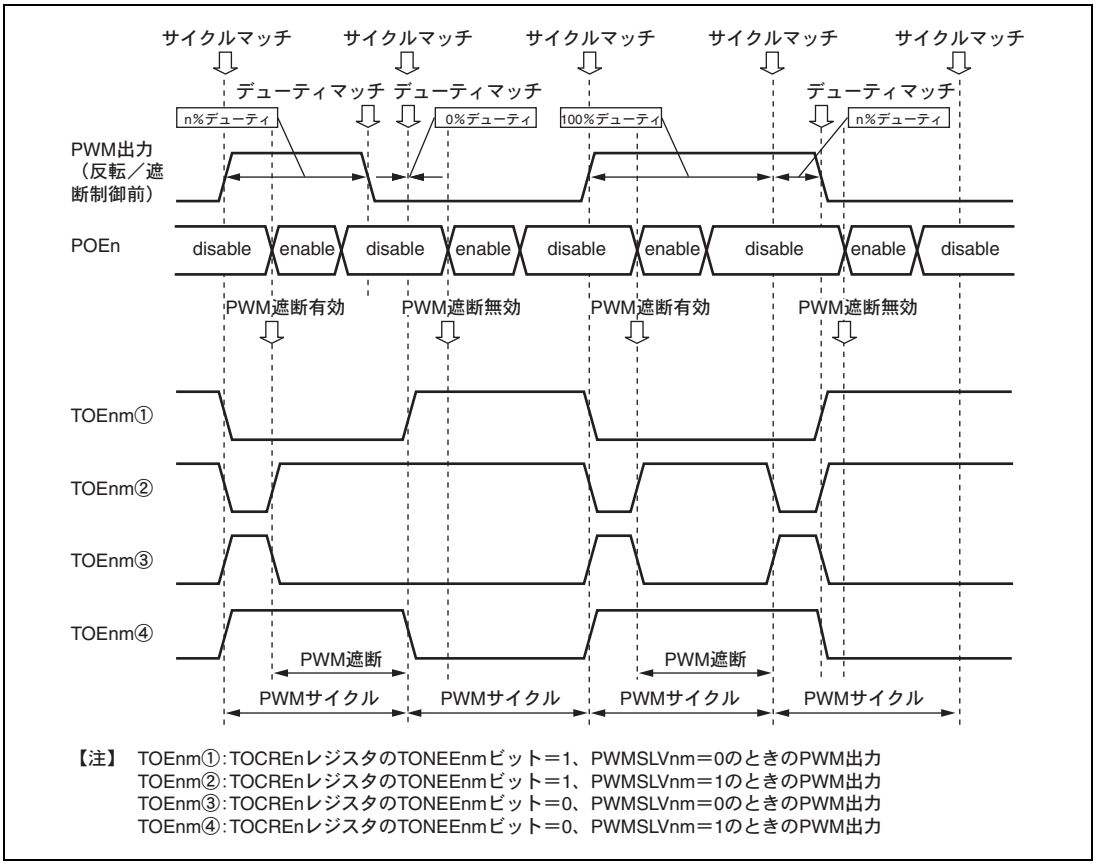


図 12.34 PWM タイマ動作（3）

図 12.35 は PWM 出力遮断時の出力波形を示しています。コントロールレジスタ（POECREn）の出力遮断有効／無効選択ビット（POEENnm）を有効に設定した状態でかつ、デューティ期間（前 PWM サイクルのサイクルマッチからデューティマッチの間）にシャットオフ入力（POEn）がイネーブルになると PWM 出力を遮断します。非デューティ期間で POEn がイネーブルとなっても遮断動作は実行されません。出力遮断状態においては、出力遮断レベル設定レジスタ En（SOLVLEn）の出力レベル H/L 選択ビット（PWMSLVnm）によって指定された信号レベルを、TOEnm に出力します。この出力レベルは、タイマアウトプットコントロールレジスタ（TOCREn）の該当ビットによる反転設定（オンデューティ／オフデューティ設定）の影響を受けません。

出力遮断状態はサイクルマッチ時の POEn がディスエーブルであれば解除されます。前述のタイミングで POEn がイネーブル状態のときは、次のサイクルマッチまで PWM 出力遮断状態を継続します。



【注】 TOEnm①:TOCREnレジスタのTONEEnmビット＝1、PWMSLVnm＝0のときのPWM出力
TOEnm②:TOCREnレジスタのTONEEnmビット＝1、PWMSLVnm＝1のときのPWM出力
TOEnm③:TOCREnレジスタのTONEEnmビット＝0、PWMSLVnm＝0のときのPWM出力
TOEnm④:TOCREnレジスタのTONEEnmビット＝0、PWMSLVnm＝1のときのPWM出力

図 12.35 PWM 出力遮断動作

12.24 タイマ F の概要

タイマ F は、20 個のサブブロックによって構成され、以下の機能を実現することができます。

- 一定時間内エッジカウント

  所定の時間内に外部入力端子（TIFnA）に与えられたエッジをカウントします。

- 有効エッジ入力間隔計測

  外部入力端子（TIFnA）に所定回数のエッジが与えられるまでに経過した時間を計測します。

- 入力ハイ／ローレベル期間計測

  外部入力端子（TIFnA）にハイ（ロー）レベルの信号が与えられている時間を計測します。計測する期間は、外部入力端子に与えられるパルスの個数で指定することができます。

- PWM入力波形計測

  外部入力端子（TIFnA）に与えられるPWM波形のオフデューティ、サイクル時間を計測します。計測する期間は、外部入力端子に与えられるPWMサイクル数で指定することができます。

- 回転速度／パルス計測（サブブロック12～15のみ）

  外部入力端子（TIFnA）にエッジ入力が与えられるたびに、エッジカウント値、エッジ入力時のタイムスタンプ、エッジ入力間隔（サイクル）、直前のハイ（ロー）レベル入力期間を保持します。

- アップ／ダウンイベントカウント（サブブロック0～2のみ）

  2本の外部入力端子（TIFnA、TIFnB）のうち、TIFnAをカウントソースとしてカウント動作を行います。TIFnBでアップカウント、ダウンカウントを切り替えます。

- 4逓倍イベントカウント（サブブロック0～2のみ）

  2本の外部入力端子（TIFnA、TIFnB）をカウントソースとしてカウント動作を行います。2本の信号の入力状態によって、アップカウント、ダウンカウントを切り替えます。

各外部信号入力端子 TIFnA、TIFnB からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。

TIF0A～TIF2A、TIF0B、TIF1B の入力は、タイマ E の POE0～POE4 の入力（シャットオフ入力）としても使用することができます。TIFnA/B と POEn の対応はタイマ E の項にある**表 12.15** のとおりです。

TIF0A～TIF2A、TIF0B、TIF1B をタイマ E のシャットオフ入力として使用する場合、対応するタイマ F サブブロックではシャットオフ入力が計測対象となることにご注意ください。

12.24.1 ブロック図

タイマ F は、20 個のサブブロックで構成されます。各サブブロックは、2 本の 24 ビット時間計測カウンタ（ECNTAFn、ECNTCFn）、3 本の 24 ビット汎用レジスタ（GRAFn、GRCFn、GRDFn）、16 ビットイベントカウンタ（ENCTBFn）、16 ビット汎用レジスタ（GRBFn）、入力処理部（エッジ検出、ノイズキャンセラ）、および制御部などで構成されています。

図 12.36 に、タイマ F のブロック図を示します。

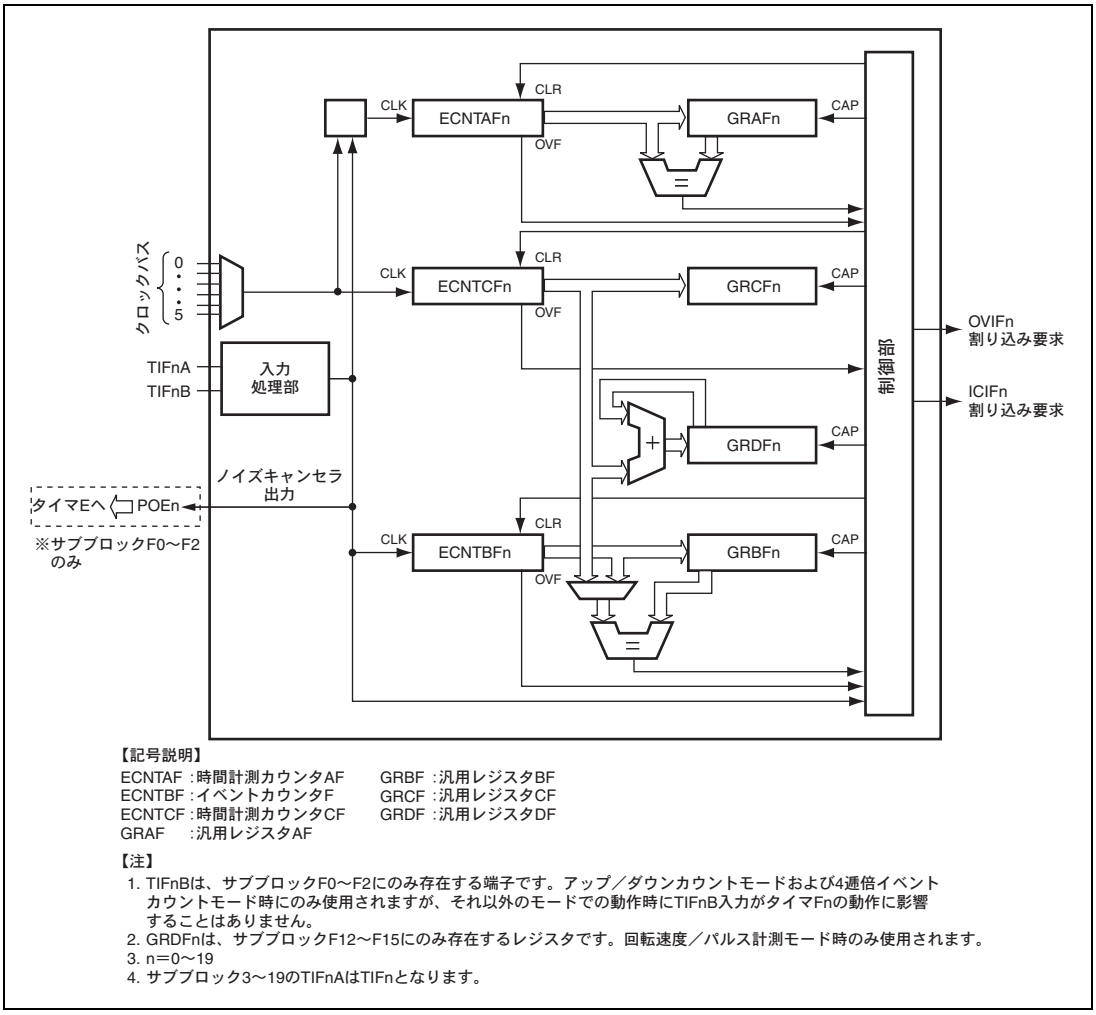


図 12.36 タイマ F のサブブロック図

12.24.2 割り込み

タイマ F は以下に示す 2 種類、計 40 本の割り込み要求を出力することができます。

- OVIF0～19割り込み

  サブブロックFnの備える3個のカウンタ（ECNTAFn、ECNTBFn、ECNTCFn）のいずれかがオーバフローまたはアンダフロー（ECNTBFnのみ）した場合に出力されます。タイマステータスレジスタF（ISRF）を参照することで、どのカウンタによる割り込みか識別することができます。この要求はINTCモジュールによって受け取られ、所定の処理が行われます。

- ICIF0～19割り込み

  サブブロックFnでカウント値のキャプチャが生じると出力されます。この要求はA-DMACまたはINTCモジュールによって受け取られます。A-DMACによるDMA転送によって、コンペアマッチをトリガとして得られたキャプチャデータを内蔵SRAMに転送することも、あるいは割り込みによって所定の処理を行うことも可能です。A-DMACによるDMA転送の詳細については、**「第11章　専用ダイレクトメモリアクセスコントローラ（A-DMAC）」**を参照してください。

12.25 タイマ F のレジスタの説明

12.25.1 タイマスタートレジスタ F（TSTRF）

TSTRF は、32 ビットの読み出し／書き込み可能なレジスタで、タイマ F に含まれる各サブブロック（タイマ F0～タイマ F19）を動作させるか停止させるかを指定します。ただし、タイマ F のスタートビットをカウント動作許可に設定していても、ATU-III マスタイネーブルレジスタ（ATUENR）の TFE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRF は、バイト、ワード、およびロングワード単位で読み出し／書き込みが可能です。ただし、ロングワード単位での読み出し／書き込みは、2 回のワード読み出し／書き込みに分割されて実行されます。そのため、上位ワードと下位ワードのビット値を同一クロックサイクルで読み出したり、書き込んだりすることはできませんのでご注意ください。

TSTRF は、パワーオンリセットおよびハードウェアスタンバイ時に H'00000000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	STRF 19	STRF 18	STRF 17	STRF 16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRF 15	STRF 14	STRF 13	STRF 12	STRF 11	STRF 10	STRF 9	STRF 8	STRF 7	STRF 6	STRF 5	STRF 4	STRF 3	STRF 2	STRF 1	STRF 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～20	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19～0	STRF19～STRF0	すべて 0	R/W	カウンタ Fn スタート サブブロックの 2 本の時間計測カウンタ（ECNTAFn、ECNTCFn）およびイベントカウンタ（ECNTBFn）を動作させるか、停止させるかを設定します。 停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を再開します。 ただし、本ビットを 1 にセットしても、ATUENR の TFE ビットが 1 にセットされていなければカウント動作は開始されません。 0：ECNTAFn、ECNTBFn、および ECNTCFn のカウント動作を停止 1：ECNTAFn、ECNTBFn、および ECNTCFn のカウント動作を許可 【注】プリスケーラは、カウンタ F スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって、起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

【注】 n＝0～19：サブブロック F0～F19 に対応。

12.25.2 ノイズキャンセラコントロールレジスタ F（NCCRF）

NCCRF は、32 ビットの読み出し／書き込み可能なレジスタで、サブブロック F0～F19 のノイズキャンセラ機能の有効／無効を設定します。

NCCRF は、バイト、ワード、およびロングワード単位で読み出し／書き込みが可能です。ただし、ロングワード単位での読み出し／書き込みは、2 回のワード読み出し／書き込みに分割されて実行されます。そのため、上位ワードと下位ワードのビット値を同一クロックサイクルで読み出したり、書き込んだりすることはできませんのでご注意ください。

NCCRF は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	NCEF 19	NCEF 18	NCEF 17	NCEF 16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NCEF 15	NCEF 14	NCEF 13	NCEF 12	NCEF 11	NCEF 10	NCEF 9	NCEF 8	NCEF 7	NCEF 6	NCEF 5	NCEF 4	NCEF 3	NCEF 2	NCEF 1	NCEF 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～20	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
19～0	NCEF19～ NCEF0	すべて 0	R/W	ノイズキャンセライネーブル Fn 各サブブロックのノイズキャンセル機能の有効／無効を選択します。サブブロック F2～F0 に関しては、TIFnA と TIFnB それぞれのノイズキャンセラがありますが、個別に有効／無効を設定することはできません。NCEFn ビットを 1 にすると、TIFnA、TIFnB それぞれのノイズキャンセラが有効になります。 ノイズキャンセル機能を有効にした場合、外部入力（TIFnA、TIFnB）の入力信号のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ（NCMR）の設定にあわせて、後続エッジキャンセルモードあるいは先行エッジキャンセルモードのいずれかの処理を開始します。 後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ（NCNTFA19～0、NCNTFB2～0）がアップカウントを開始します。このノイズキャンセルカウンタの値が、ノイズキャンセルレジスタ（NCRFA19～0、NCRFB2～0）の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。 NCNTFAn、NCNTFBn がカウント動作中にこれらのビットを 0 にクリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も対応する外部入力（TIFAn、TIFBn）のレベル変化はマスクされ続けます。 先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ（NCNTFA19～0、NCNTFB2～0）がアップカウントを開始し、ノイズキャンセルレジスタ（NCRFA19～0、NCRFB2～0）の値とコンペアマッチするまでの間に、入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合は、ノイズとみなされ、ノイズキャンセラは入力信号のレベルに変化がなかったものとしてノイズキャンセル後の信号を変化させません。 NCNTFn、NCNTFBn がカウント動作中にこれらのビットを 0 クリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。 各キャンセルモードの動作例は、図 12.1 および図 12.2 を参照してください。 0：TIFnA、TIFnB のノイズキャンセル機能無効 1：TIFnA、TIFnB のノイズキャンセル機能有効

【注】　n＝0～19：サブブロック F0～F19 に対応。

12.25.3 タイマコントロールレジスタ F0～19（TCRF0～19）

TCRF0～19 は、8 ビットの読み出し／書き込み可能なレジスタで、サブブロック F0～F19 の動作モードを指定します。

TCRF0～19 は、バイト単位で読み出し／書き込みが可能です。

TCRF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	CKSELFn[2:0]			MDFn[2:0]			EGSELFn[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～19 ：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
7～5	CKSELFn[2:0]	000	R/W	クロックセレクト Fn サブブロック F0～F19 の 2 本の時間計測カウンタ（ECNTAFn、ECNTCFn）のクロックソースを指定します。ただし、B'110、B'111 を指定しないでください。誤って指定した場合の動作は保証されません。 000：クロックバス 0 001：クロックバス 1 010：クロックバス 2 011：クロックバス 3 100：クロックバス 4 101：クロックバス 5 110：リザーブ 111：リザーブ
4～2	MDFn[2:0]	000	R/W	タイマ動作モード Fn 対応するサブブロック F0～F19 の動作モードを指定します。動作モードには、アップ／ダウンイベントカウント、4 逓倍イベントカウント、一定時間内エッジカウント、有効エッジ入力間隔計測、入力ハイ／ローレベル期間計測、PWM 入力波形計測、回転速度／パルス計測の計 7 つのモードがあります。 000：一定時間内エッジカウント 001：有効エッジ入力間隔計測 010：入力ハイ／ローレベル期間計測 011：リザーブ 100：PWM 入力波形計測 101：回転速度／パルス計測 110：アップ／ダウンイベントカウント 111：4 逓倍イベントカウント 【注】 サブブロック 12～15 以外では、回転速度／パルス計測モードを設定しないでください。

ビット	ビット名	初期値	R/W	説　　明
1、0	EGSELFn[1:0]	00	R/W	エッジセレクト Fn サブブロック F0～F19 のイベント入力（TIFnA）のエッジセンスモードを指定します。エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば、外部入力（TIFnA、TIFnB）に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。 入力ハイ／ローレベル期間計測に指定した場合、本ビットで立ち下がりエッジを選択するとハイレベル期間計測となり、立ち上がりエッジを選択するとローレベル期間計測を行います。両エッジは選択しないでください。 PWM 入力波形計測および回転速度／パルス計測に指定した場合、本ビットで立ち上がりエッジを選択すると 2 つの立ち上がりエッジ間を PWM サイクルとみなし、ローレベル期間をオフデューティサイクルとみなして計測を行います。また、立ち下がりエッジを選択した場合は、2 つの立ち下がりエッジ間を PWM サイクル、ハイレベル期間をオフデューティサイクルと計測します。両エッジは選択しないでください。 また、アップ／ダウンイベントカウントモード、および 4 逓倍イベントカウントモード指定時には、必ず立ち上がり／立ち下がり両エッジを指定してください。誤って他のエッジを選択した場合の動作は保証されません。 00：エッジ検出無効 01：立ち上がりエッジ 10：立ち下がりエッジ 11：両エッジ 【注】 TIFnB は、アップ／ダウンイベントカウント、4 逓倍イベントカウントモードにおいてのみ有効な端子です。常に立ち上がり／立ち下がり両エッジを検出して動作します。それ以外のモードでは TIFnB のエッジ検出は行われません。

【注】 n＝0～19：サブブロック F0～F19 に対応。

12.25.4 タイマインタラプトイネーブルレジスタ F0～19（TIERF0～19）

TIERF0～19 は、8 ビットの読み出し／書き込み可能なレジスタで、タイマステータスレジスタ F（TSRF）のステータスフラグに対応する割り込みを許可するか禁止するか指定します。

TIERF0～19 は、バイト単位で読み出し／書き込みが可能です。

TIERF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	OVECFn	OVEBFn	OVEAFn	ICEFn
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

【注】 n＝0～19 ：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	OVECFn	0	R/W	オーバフローインタラプトイネーブル CFn* 時間計測カウンタ CFn（ECNTCFn）のオーバフロー（PWM 入力波形計測モード時）、あるいは ECNTCFn と GRBFn のコンペアマッチ（回転速度／パルス計測モード時）に対応するステータス（OVFCFn）の割り込みを許可するか禁止するか指定します。 0：OVFCFn による割り込みを禁止 1：OVFCFn による割り込みを許可
2	OVEBFn	0	R/W	オーバフローインタラプトイネーブル BFn* イベントカウンタ BFn（ECNTBFn）のオーバフロー／アンダフローに対応するステータス（OVFBFn）の割り込みを許可するか禁止するか指定します。 0：OVFBFn による割り込みを禁止 1：OVFBFn による割り込みを許可
1	OVEAFn	0	R/W	オーバフローインタラプトイネーブル AFn* 時間計測カウンタ AFn（ECNTAFn）のオーバフローに対応するステータス（OVFAFn）の割り込みを許可するか禁止するか指定します。 0：OVFAFn による割り込みを禁止 1：OVFAFn による割り込みを許可
0	ICEFn	0	R/W	インプットキャプチャインタラプトイネーブル Fn サブブロック Fn におけるインプットキャプチャの検出に対応するステータス（ICFFn）の割り込みを許可するか禁止するか指定します。 0：ICFFn による割り込みを禁止 1：ICFFn による割り込みを許可

【注】 * サブブロック Fn のオーバフロー割り込みは、OVFAFn、OVFBFn、OVFCFn による割り込みの論理和として要求されます。TSRFn を参照することによって、どのカウンタのオーバフローまたはアンダフローによる割り込みかを判断することができます。

12.25.5 タイマステータスレジスタ F0～19（TSRF0～19）

TSRF0～19 は、8 ビットの読み出し／書き込み可能なレジスタで、時間計測カウンタ A、C のオーバフローの発生や、イベントカウンタのオーバフローあるいはアンダフローの発生、およびインプットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ F0～19（TIERF0～19）の対応するビットにより割り込みが許可されていれば、CPU に割り込みを要求します。

TSRF0～19 は、バイト単位で読み出し／書き込みが可能です。

TSRF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	OVF CFn	OVF BFn	OVF AFn	ICFFn
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 n＝0～19 ：サブブロックF0～F19に対応。
* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	OVFCFn	0	R/(W)*	オーバフロー／コンペアマッチフラグ CFn このフラグは動作モードによって、その値が示す状態が異なります。PWM 入力波形計測モード時には、時間計測カウンタ C（ECNTCFn）のオーバフローの状態を示します。また、回転速度／パルス計測モード時には、ECNTCFn と GRBFn とのコンペアマッチ発生を示します。 なお、このフラグをソフトウェアにより 1 にセットすることはできません。 0：ECNTCFn にオーバフローなし ［クリア条件］ • OVFCFn＝1 の状態を読み出した後、OVFCFn に 0 を書き込んだとき 1：ECNTCFn にオーバフロー発生 ［セット条件］ • PWM 入力波形計測モード ECNTCFn の値がオーバフロー（H'FFFF FF→H'0000 00）したとき • 回転速度／パルス計測モード ECNTCFn と GRBFn（下位 8 ビットにゼロ拡張した値）が一致したとき

ビット	ビット名	初期値	R/W	説　　明
2	OVFBFn	0	R/(W)*	オーバフローフラグ BFn イベントカウンタ BFn（ECNTBFn）のオーバフローあるいはアンダフローの状態を参照することができます。このフラグをソフトウェアにより 1 にセットすることはできません。 0：ECNTBFn にオーバフロー／アンダフローなし ［クリア条件］ • OVFBFn＝1 の状態を読み出した後、OVFBFn に 0 を書き込んだとき 1：ECNTBFn にオーバフロー／アンダフロー発生 ［セット条件］ • ECNTBFn の値がオーバフロー（H'FFFF→H'0000）あるいはアンダフロー（H'0000→H'FFFF）したとき
1	OVFAFn	0	R/(W)*	オーバフローフラグ AFn 時間計測カウンタ AFn（ECNTAFn）のオーバフローの状態を参照することができます。このフラグをソフトウェアにより 1 にセットすることはできません。 0：ECNTAFn にオーバフローなし ［クリア条件］ • OVFAFn＝1 の状態を読み出した後、OVFAFn に 0 を書き込んだとき 1：ECNTAFn にオーバフロー発生 ［セット条件］ • ECNTAFn の値がオーバフロー（H'FFFF FF→H'0000 00）したとき
0	ICFFn	0	R/(W)*	インプットキャプチャフラグ Fn サブブロック Fn においてインプットキャプチャの検出状態を参照することができます。このフラグをソフトウェアにより 1 にセットすることはできません。 0：サブブロック Fn にインプットキャプチャの検出なし ［クリア条件］ • ICFFn＝1 を読み出した後、ICFFn に 0 を書き込んだとき • キャプチャ出力レジスタ（CDRF0～19）が A-DMAC アクセスによって読み出されたとき 1：サブブロック Fn にインプットキャプチャを検出 ［セット条件］ • サブブロック Fn でインプットキャプチャを検出したとき

【注】 n＝0～19：サブブロック F0～F19 に対応。

* フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。

12.25.6 時間計測カウンタ AF0～19（ECNTAF0～19）

ECNTAF0～19 は、32 ビットの読み出し／書き込み可能なレジスタです。

本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0～5 のいずれかを選ぶことができます。ECNTAFn と ECNTCFn の入力クロックは同一です。個別にクロックソースを設定することはできません。

カウンタのクリアがカウントアップのタイミングで行われる場合、ECNTAFn は H'00000100 にクリアされ、それ以外の場合では H'00000000 にクリアされます。

ECNTAF0～19 は、ロングワード単位でのみ読み出し／書き込みが可能です。

ECNTAF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECNTAFn[23:8]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECNTAFn[7:0]								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
31～8	ECNTAFn [23:0]	すべて 0	R/W	時間計測カウント AFn アップカウンタ A
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.25.7 イベントカウンタ F0～19（ECNTBF0～19）

ECNTBF0～19 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップ／ダウンイベントカウント動作を行います。入力クロックには、2 本の外部入力端子（TIFnA、TIFnB）が与えられ、対応するコントロールレジスタの設定（動作モードおよびエッジセレクト）に応じて、カウント対象とする外部入力端子およびエッジが異なります。各モードにおける入力クロックは、表 12.16 のとおりです。

カウンタのクリアがカウントアップのタイミングで行われる場合、ECNTBFn は H'0001 にクリアされ、それ以外の場合では H'0000 にクリアされます。

ECNTBF0～19 は、ワード単位でのみ読み出し／書き込みが可能です。

ECNTBF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECNTBFn[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
15～0	ECNTBFn [15:0]	すべて 0	R/W	イベントカウント Fn アップ／ダウンイベントカウンタ

表 12.16 タイマ F 動作モードごとのイベントカウンタ入力クロック、およびカウントエッジ

動作モード	入力クロック	カウントエッジ
一定時間内エッジカウント	TIFnA	EGSELFn で選択可
有効エッジ入力間隔計測	TIFnA	EGSELFn で選択可
入力ハイ／ローレベル期間計測	TIFnA	EGSELFn で選択可（両エッジ以外）
PWM 入力波形計測	TIFnA	EGSELFn で選択可（両エッジ以外）
回転速度／パルス計測	TIFnA	EGSELFn で選択可（両エッジ以外）
アップ／ダウンイベントカウント	TIFnA（TIFnB のレベルでカウント方向を指定）	立ち上がり／立ち下がり両エッジ
4 逓倍イベントカウント	TIFnA、TIFnB	立ち上がり／立ち下がり両エッジ

12.25.8 時間計測カウンタ CF0～19（ECNTCF0～19）

ECNTCF0～19 は、32 ビットの読み出し／書き込み可能なレジスタです。

本レジスタは各サブブロックに 1 個ずつ用意されており、PWM 入力波形計測および回転速度／パルス計測モード時のみ有効になるレジスタです。その他のモードではカウント動作を行いません。また、本レジスタは、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0～5 のいずれかを選ぶことができます。ECNTAFn と ECNTCFn の入力クロックは同一です。個別にクロックソースを設定することはできません。

外部入力のタイミングや ECNTBFn のコンペアマッチをトリガとするカウント値のクリアは、ECNTCFn のカウントクロックに同期して行われます。このとき ECNTCFn は H'00000100 にクリアされます。

ECNTCF0～19 は、ロングワード単位でのみ読み出し／書き込みが可能です。

ECNTCF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECNTCFn[23:8]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECNTCFn[7:0]								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
31～8	ECNTCFn [23:0]	すべて 0	R/W	時間計測カウント CFn アップカウンタ C
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.25.9 汎用レジスタ AF0～19（GRAF0～19）

GRAF0～19 は、32 ビットの読み出し／書き込み可能なレジスタです。

本レジスタは各サブブロックに 1 個ずつ用意されており、時間計測カウンタ Afn（ECNTAFn）に対するインプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

コンペアマッチレジスタとして機能させるとき、GRAFn には H'00000000 を設定しないでください。H'00000000 を設定した場合、正しく計測が行われなくなることがありますのでご注意ください。

GRAF0～19 は、ロングワード単位でのみ読み出し／書き込みが可能です。

GRAF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF FF00 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRAFn[23:8]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRAFn[7:0]								—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
31～8	GRAFn [23:0]	すべて 1	R/W	汎用レジスタ AFn 時間計測カウンタ A のインプットキャプチャ値またはアウトプットコンペア値
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.25.10 汎用レジスタ BF0～19（GRBF0～19）

GRBF0～19 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、イベントカウンタ（ECNTBFn）に対するインプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。

コンペアマッチレジスタとして機能させるとき、GRBFn には H'0000 を設定しないでください。H'0000 を設定した場合、正しく計測が行われなくなることがありますのでご注意ください。

GRBF0～19 は、ワード単位でのみ読み出し／書き込みが可能です。

GRBF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRBFn[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
15～0	GRBFn [15:0]	すべて 1	R/W	汎用レジスタ BFn イベントカウンタのインプットキャプチャ値またはアウトプットコンペア値

12.25.11 汎用レジスタ CF0～19（GRCF0～19）

GRCF0～19 は、32 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、時間計測カウンタ C（ECNTCFn）に対するインプットキャプチャレジスタの機能を持っています。ECNTBFn と GRBFn とのコンペアマッチ（PWM 入力波形計測モード）あるいは TIFnA 端子のエッジ入力（回転速度／パルス計測モード）をトリガとして、次の ECNTCFn カウントアップタイミングで ECNTCFn のカウント値を取り込みます。

PWM 入力波形計測および回転速度／パルス計測モード時のみ有効になるレジスタであり、その他のモードではキャプチャ動作を行いません。

GRCF0～19 は、ロングワード単位でのみ読み出し／書き込みが可能です。

GRCF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFFFF00 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRCFn[23:8]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRCFn[7:0]								—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
31～8	GRCFn [23:0]	すべて 1	R/W	汎用レジスタ CFn 時間計測カウンタ C のインプットキャプチャ値
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.25.12 汎用レジスタ DF12～15（GRDF12～15）

GRDF12～15 は、32 ビットの読み出し／書き込み可能なレジスタです。本レジスタはサブブロック F12～F15 のみに 1 個ずつ用意されています。TIFn 端子のエッジ入力をトリガとして、次の ECNTAFn カウントアップタイミングで、時間計測カウンタ CFn（ECNTCFn）の値を累積して取り込みます。

回転速度／パルス計測モード時のみ有効になるレジスタです。その他のモードではキャプチャ動作を行いません。

GRDF12～15 は、ロングワード単位でのみ読み出し／書き込みが可能です。

GRDF12～15 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFFFF00 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRDFn[23:8]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRDFn[7:0]								—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】 n＝12～15：サブブロックF12～F15に対応。

ビット	ビット名	初期値	R/W	説　　明
31～8	GRDFn [23:0]	すべて 1	R/W	汎用レジスタ DFn 時間計測カウンタ A のインプットキャプチャ値
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.25.13 キャプチャ出力レジスタ F0～19（CDRF0～19）

CDRF0～19 は、32 ビットの読み出し専用レジスタです。本レジスタは各サブブロックに 1 個ずつ用意されています。本レジスタの読み出しを行うと、動作モードに応じて、GRAFn、GRBFn、または ECNTBFn の値が読み出されます。16 ビットの GRBFn 値は、CDRFn の上位 16 ビットから読み出されます。このとき CDRFn の下位 8 ビットには 0 が読み出されます。

CDRF0～19 は、ロングワード単位でのみ読み出し／書き込みが可能です。

CDRF0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'FFFF0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDRFn[23:8]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDRFn[7:0]								—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
31～8	CDRFn [23:0]	H'FFFF00	R	キャプチャ出力レジスタ Fn 動作モードに応じて、GRAFn または GRBFn に保持しているデータが読み出されます。各動作モードに対応するレジスタは以下のとおりです。また、本レジスタへの書き込みは無視されます。 一定時間内エッジカウントモード：GRBFn 有効エッジ入力間隔計測モード：GRAFn 入力ハイレベル期間計測モード：GRAFn 入力ローレベル期間計測モード：GRAFn PWM 入力波形計測モード：GRAFn 回転速度／パルス計測モード：ECNTBFn アップ／ダウンイベントカウントモード：GRBFn 4 逓倍イベントカウントモード：GRBFn
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

12.25.14 ノイズキャンセルカウンタ FA0～19（NCNTFA0～19）

NCNTFA0～19 は、8 ビットの読み出し／書き込み可能なレジスタです。

ノイズキャンセラコントロールレジスタ Fn（NCCRFn）でノイズキャンセラ機能を有効にしたとき、外部入力端子（TIFnA）のレベル変化をトリガとして、プリスケーラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ F ノイズキャンセルモードビット（NCMF）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCEFnビットが1であり、NCNTFAnがカウント停止しているとき、TIFnAの入力信号レベルが変化すると、NCNTFAnはアップカウント動作を開始します。カウント値がノイズキャンセルレジスタFAn（NCRFAn）と一致すると、次のPφクロックに同期してカウント値をH'00にクリアしてカウント動作を停止します。

  NCNTFAnは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTFEビットの設定にかかわらずカウント動作を行います。

  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力され、エッジ検出の対象となりますが、以降カウント値がNCRFAnと一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。

  カウント動作中にNCEFnビットがクリアされても、カウント値がNCRFAnと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- **先行エッジキャンセルモード**

  NCEFnビットが1であり、NCNTFAnがカウント停止しているとき、TIFnAの入力信号レベルが変化すると、NCNTFAnはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタFAn（NCRFn）と一致した場合には、次のPφクロックに同期してカウント値をH'00にクリアしカウント動作を停止します。

  NCNTFAnは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTFEビットの設定にかかわらずカウント動作を行います。

  ノイズキャンセル後の信号は、カウント値がNCRFAnと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRFAnと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

  カウント動作中にNCEFnビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せず、ノイズキャンセル処理を継続します。

NCNTFA0～19 は、バイト単位で読み出し／書き込みが可能です。

NCNTFA0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCNTFAn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
7～0	NCNTFAn [7:0]	すべて 0	R/W	ノイズキャンセルカウント FAn 8 ビットカウント値

12.25.15 ノイズキャンセルカウンタ FB0～2（NCNTFB0～2）

NCNTFB0～2 は、8 ビットの読み出し／書き込み可能なレジスタです。

アップ／ダウンイベントカウント、4 逓倍イベントカウントモード時のみ有効なレジスタです。

ノイズキャンセラコントロールレジスタ Fn（NCCRFn）でノイズキャンセラ機能を有効にしたとき、外部入力端子（TIFnB）のレベル変化をトリガとして、プリスケーラから供給されるノイズキャンセラ用カウントクロックでアップカウント動作を行います。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ F ノイズキャンセルモードビット（NCMF）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCEFnビットが1でありNCNTFBnがカウント停止しているとき、TIFnBの入力レベルが変化すると、NCNTFBnはアップカウント動作を開始します。カウント値がノイズキャンセルレジスタFBn（NCRFBn）と一致すると、次のPφクロックに同期してカウント値をH'00にクリアしてカウント動作を停止します。

  NCNTFBnは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTFEビットの設定にかかわらずカウント動作を行います。

  カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値がNCRFBnと一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。

  カウント動作中にNCEFnビットがクリアされても、カウント値がNCRFBnと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- **先行エッジキャンセルモード**

  NCEFnビットが1であり、NCNTBFnがカウント停止しているとき、TIFnBの入力信号レベルが変化すると、NCNTFBnはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタFBn（NCRFBn）と一致した場合には、次のPφクロックに同期してカウント値をH'00にクリアしカウント動作を停止します。

  NCNTFBnは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTFEビットの設定にかかわらずカウント動作を行います。

  ノイズキャンセル後の信号は、カウント値がNCRFBnと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRFBnと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

  カウント動作中にNCEFnビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

NCNTFB0～2 は、バイト単位で読み出し／書き込みが可能です。

NCNTFB0～2 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCNTFBn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～2：サブブロックF0～F2に対応。

ビット	ビット名	初期値	R/W	説　　明
7～0	NCNTFBn [7:0]	すべて 0	R/W	ノイズキャンセルカウント FBn 8 ビットカウント値

12.25.16 ノイズキャンセルレジスタ FA0～19（NCRFA0～19）

NCRFA0～19 は、8 ビットの読み出し／書き込み可能なレジスタで、ノイズキャンセルカウンタ（NCNTFAn）の上限値を設定します。H'FF 設定で、最大 1.64msec（Pφ＝20MHz 時）のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ F ノイズキャンセルモードビット（NCMF）の設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCNTFAnのカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTFAnとNCRFAnの値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTFAnのカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- **先行エッジキャンセルモード**

  NCNTFAnのカウント動作中、ノイズキャンセラの処理待ち状態となります。NCNTFAnとNCRFAnの値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTFAnのカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

NCRFA0～19 は、バイト単位で読み出し／書き込みが可能です。

NCRFA0～19 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCTFAn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～19：サブブロックF0～F19に対応。

ビット	ビット名	初期値	R/W	説　　明
7～0	NCTFAn [7:0]	すべて 0	R/W	ノイズキャンセルタイム FAn TIFnA ノイズキャンセル期間（8 ビットコンペア値）

12.25.17 ノイズキャンセルレジスタ FB0～2（NCRFB0～2）

NCRFB0～2 は、8 ビットの読み出し／書き込み可能なレジスタで、ノイズキャンセルカウンタ（NCNTFBn）の上限値を設定します。H'FF 設定で、最大 1.64msec（Pφ＝20MHz 時）のノイズをキャンセルすることができます。アップダウンカウント、4 逓倍イベントカウントモード時のみ有効なレジスタです。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ F ノイズキャンセルモードビット（NCMF）の設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCNTFBnのカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTFBnとNCRFBnの値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTFBnのカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- **先行エッジキャンセルモード**

  NCNTFBnのカウント動作中、ノイズキャンセラの処理待ち状態となります。NCNTFBnとNCRFBnの値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTFBnのカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

NCRFB0～2 は、バイト単位で読み出し／書き込みが可能です。

NCRFB0～2 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCTFBn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～2：サブブロックF0～F2に対応。

ビット	ビット名	初期値	R/W	説　　明
7～0	NCTFBn [7:0]	すべて 0	R/W	ノイズキャンセルタイム FBn TIFnB ノイズキャンセル期間（8 ビットコンペア値）

12.26 タイマ F の動作説明

12.26.1 一定時間内エッジカウント

GRAFn にエッジをカウントする期間を指定すると、GRBFn に指定期間内のエッジカウント数が得られます。まったくエッジがカウントされなかった場合は 0 が得られます。カウントする期間は、ECNTAFn カウントソースクロックの周期（GRAFn の値）となります。このときのタイマ Fn の動作は以下のとおりです。また動作例を図 12.37 に示します。これは、カウントソースクロックの 12 周期間に、8 個のエッジが与えられた例です。ここでの ECNTAFn クロックと ECNTBFn クロックは、それぞれ時間計測カウンタ ECNTAFn とイベントカウンタ ECNTBFn がカウント動作やクリア動作を行うタイミングを示しています。

一定時間内エッジカウントの動作モードのときの各レジスタの動作は、以下のとおりです。

- ECNTAFn：クロックバス0～5のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次のPφクロックに同期してカウント値をクリアします。
- ECNTBFn：TIFnA入力より与えられた信号のエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のためにTIFnAには2サイクルの遅れが生じます。ECNTAFnのコンペアマッチの検出後、次のPφクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアと同時にカウント対象エッジが与えられた場合は、カウンタクリアとエッジカウントを1サイクルの間に行ったものと見なし、カウント値はH'0001となります。この例を図12.38に示します。
- GRAFn：ECNTAFnに対するコンペアマッチレジスタとして機能し、ECNTAFnのカウント値がGRAFnと一致すると、コンペアマッチを検出します。
- GRBFn：ECNTBFnに対するキャプチャレジスタとして機能します。ECNTAFnのコンペアマッチの検出後、次のPφクロックに同期してECNTBFnのカウント値をキャプチャします。
- ICFFnフラグ：ECNTAFnのコンペアマッチの検出後、次のPφクロックに同期してICFFnフラグをセットします。
- ECNTCFn、GRCFn、GRDFn：機能しません。

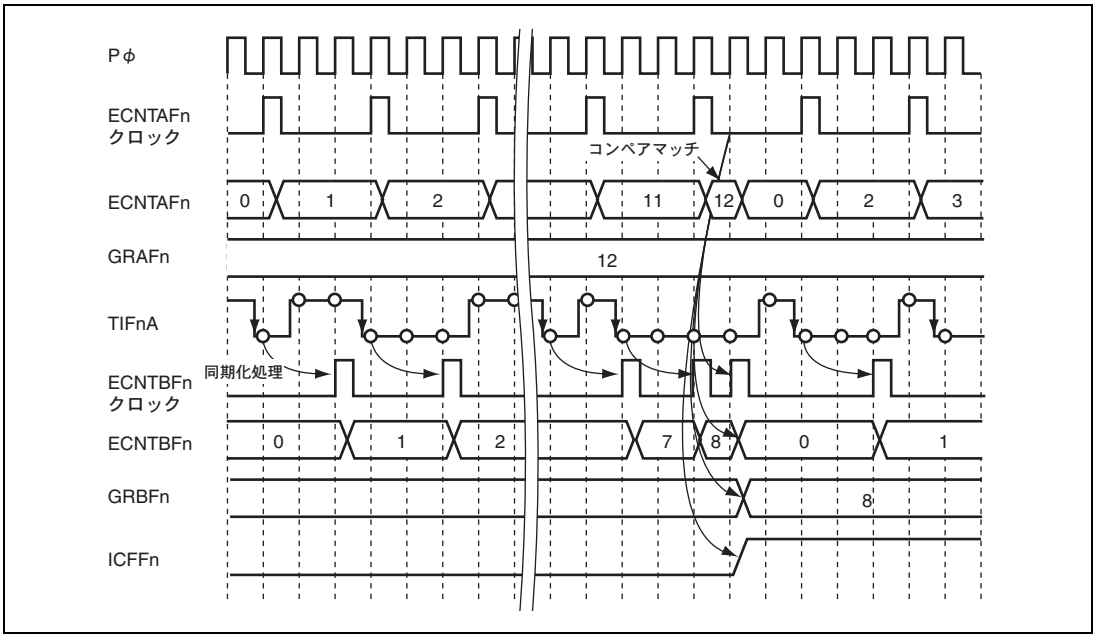


図 12.37　一定時間内エッジカウントの動作例

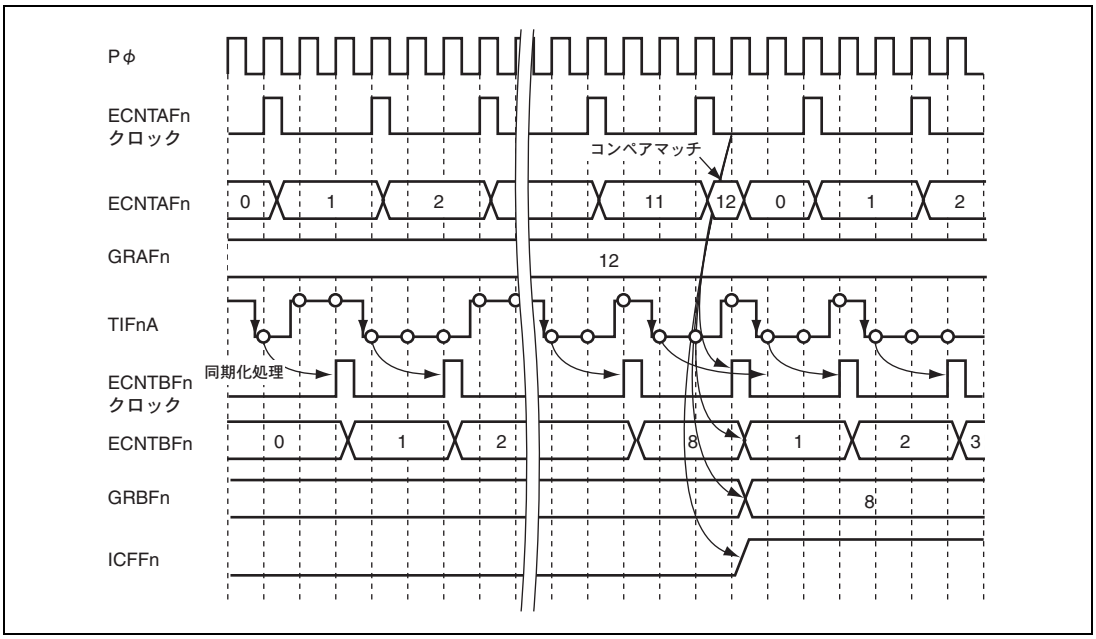


図 12.38　一定時間内エッジカウントの動作例（コンペアマッチとイベントが同時）

12.26.2 有効エッジ入力間隔計測

GRBFn に対象とするエッジの数（GRBFn の値）を指定すると、それだけのエッジをカウントするのに要した時間が GRAFn に得られます。この時間を対象とするエッジの数で割ることによって、エッジ入力間隔の平均値を得ることができます。得られる時間は、ECNTAFn のカウントソースクロックの周期（GRAFn の値）として示されます。このときのタイマ Fn の動作は次のとおりです。また動作例を**図 12.39** に示します。これは、12 個のエッジを入力するのにカウントソースクロック 13 周期を要した例です。ここでの ECNTAFn クロックと ECNTBFn クロックは、それぞれ時間計測カウンタ ECNTAFn とイベントカウンタ ECNTBFn がカウント動作やクリア動作を行うタイミングを示しています。

有効エッジ入力間隔計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- ECNTAFn：クロックバス0～5のいずれかをカウントソースとして時間を計測します。ECNTBFnとGRBFnのコンペアマッチを検出すると、次のECNTAFnクロックに同期してカウント値をクリアします。ECNTAFnのカウントクリアはカウントアップと同じタイミングとなるため、クリア値はH'00000100となります。
- ECNTBFn：TIFnAより与えられたエッジをカウントします。カウント対象のエッジは、立ち上がり、立ち下がり、両エッジのいずれかを選択可能です。この例では立ち下がりエッジをカウントします。また、同期化処理のためにTIFnAには2サイクルの遅れが生じます。コンペアマッチを検出すると、次のPφクロックに同期してカウント値をクリアします。
- GRAFn：ECNTAFnに対するキャプチャレジスタとして機能します。ECNTBFnのコンペアマッチの検出後、次のECNTAFnクロックに同期してECNTAFnのカウント値をキャプチャします。
- GRBFn：ECNTBFnに対するコンペアマッチレジスタとして機能し、ECNTBFnのカウント値がGRBFnと一致すると、コンペアマッチを検出します。
- ICFFnフラグ：ECNTBFnのコンペアマッチの検出後、次のECNTAFnクロックに同期してICFFnフラグをセットします。
- ECNTCFn、GRCFn、GRDFn：機能しません。

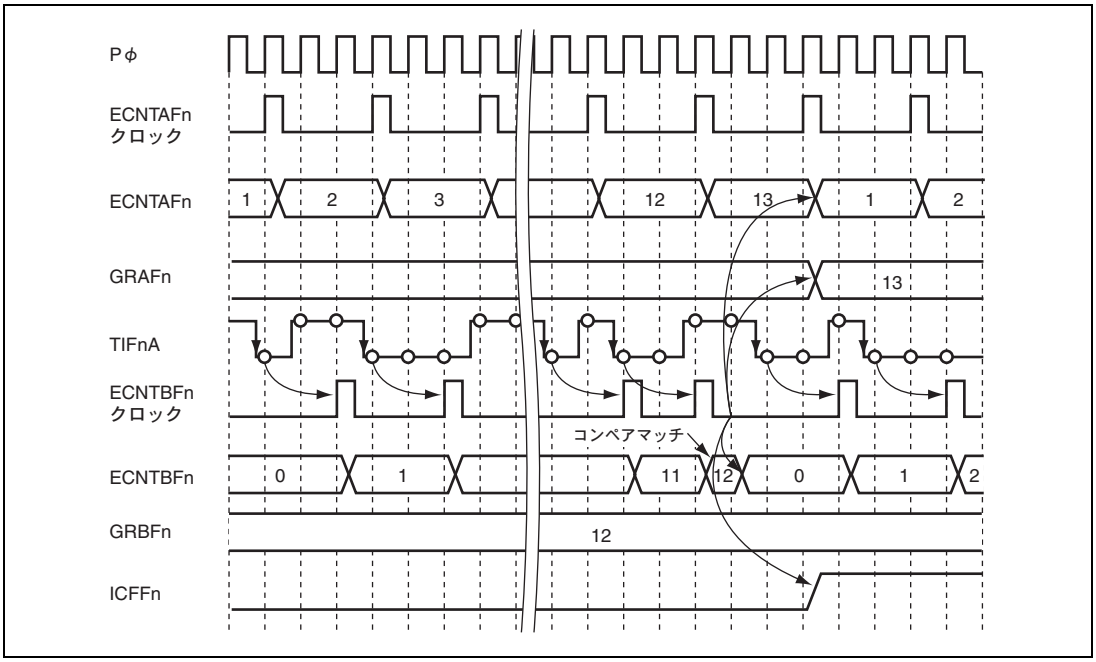


図 12.39 有効エッジ入力間隔計測の動作例

12.26.3 入力ハイ／ローレベル期間計測

TIFnA にハイまたはローレベルが与えられた時間を計測します。得られる時間は、ECNTAFn のクロックソースを基準として示されます。GRBFn には、時間を計測する範囲を、TIFnA に与えられるパルスの数（GRBFn の値）として指定します。このときのタイマ F の動作は次のようになります。また動作例を図 12.40 に示します。これは、3 個のパルスのハイレベル期間がカウントソースクロック 9 周期と計測された例です。ここでの ECNTAFn クロックと ECNTBFn クロックは、それぞれ時間計測カウンタ ECNTAFn とイベントカウンタ ECNTBFn が、カウント動作やクリア動作を行うタイミングを示しています。

入力ハイ／ローレベル期間計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- ECNTAFn：クロックバス0～5のいずれかをカウントソースとし、TIFnAをイネーブルとしてカウントアップを行います。すなわち、TIFnAにハイレベルが与えられている時間を計測します。ECNTBFnのコンペアマッチの検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFnAにハイレベルが与えられていた場合は、カウント値はH'00000100となります。この例を図12.41に示します。
- ECNTBFn：TIFnAの立ち下がりエッジをカウントします。また、同期化処理のためにTIFnAには2サイクルの遅れが生じます。コンペアマッチを検出すると、次のPφクロックに同期してカウント値をクリアします。
- GRAFn：ECNTAFnに対するキャプチャレジスタとして機能します。ECNTBFnのコンペアマッチの検出後、次のECNTAFnクロックに同期してECNTAFnのカウント値をキャプチャします。
- GRBFn：ECNTBFnに対するコンペアマッチレジスタとして機能し、ECNTBFnのカウント値がGRBFnと一致すると、コンペアマッチを検出します。
- ICFFnフラグ：ECNTBFnのコンペアマッチの検出後、次のECNTAFnクロックに同期してICFFnフラグをセットします。
- ECNTCFn、GRCFn、GRDFn：機能しません。

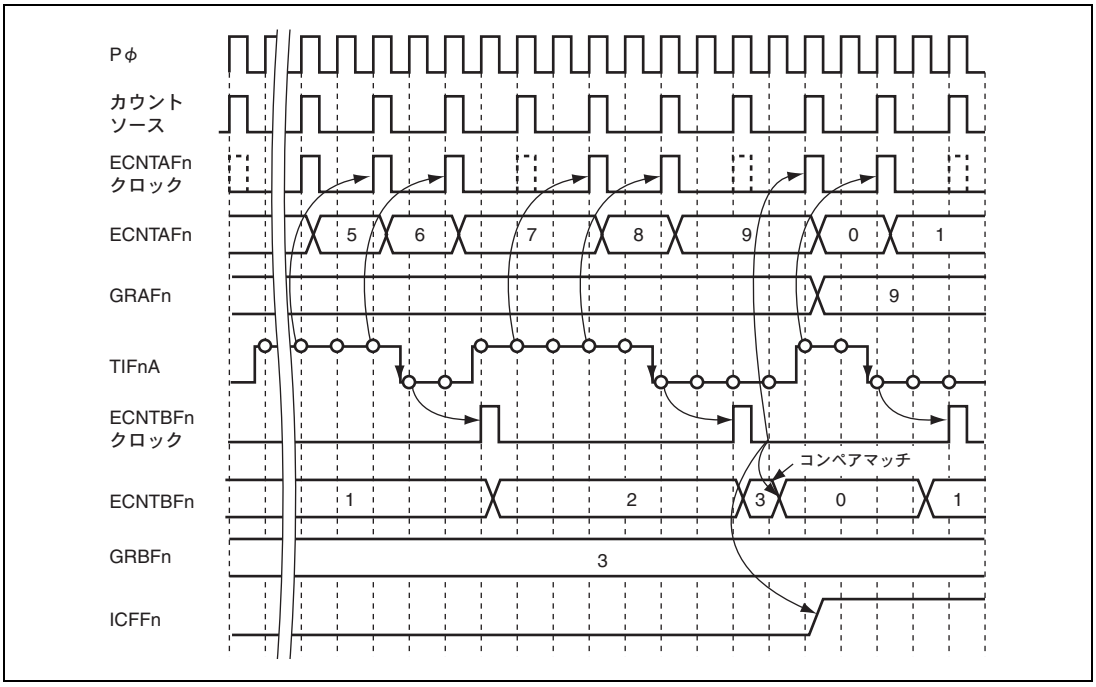


図 12.40　入力ハイレベル期間計測の動作例

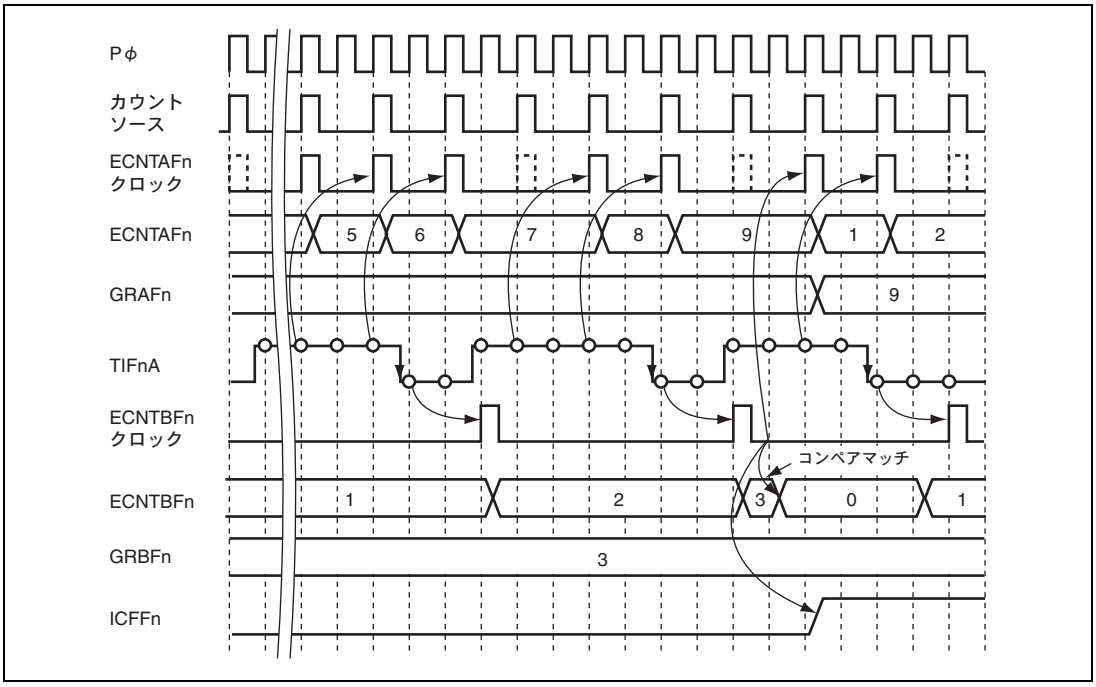


図 12.41　入力ハイレベル期間計測の動作例（キャプチャ動作時に TIFnA がハイレベル）

12.26.4 PWM 入力波形計測

TIFnA に入力された PWM 波形のオフデューティと PWM サイクルを計測します。TIFnA にローまたはハイレベルが与えられた時間をオフデューティとして、エッジ入力の間隔を PWM サイクルとして同時に計測します。得られる時間は、ECNTAFn のクロックソースを基準として示されます。GRBFn には、時間を計測する範囲を TIFnA に与えられる PWM 波形の数（GRBFn の値）として指定します。

このときのタイマ F の動作は次のようになります。また動作例を図 12.42 に示します。これは、2 個の PWM 波形の PWM サイクルがカウントソースクロック 6 周期、オフデューティ期間（ロー期間）がカウントソースクロック 4 周期と計測された例です。

ここでの ECNTAFn クロックは、時間計測カウンタ ECNTAFn、ECNTBFn クロックはイベントカウンタ ECNTBFn、ECNTBFn クロックは ECNTCFn がカウント動作やクリア動作を行うタイミングを示しています。

PWM 入力波形計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- ECNTAFn：クロックバス0～5のいずれかをカウントソースとし、TIFnAの入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFnAにローレベルが与えられている時間を計測します。ECNTBFnのコンペアマッチ検出後、次のカウントソースクロックに同期してカウント値をクリアします。コンペアマッチによるカウントクリアの際に、TIFnAにローレベルが与えられていた場合は、カウント値はH'00000100となります。
- ECNTBFn：TIFnAの立ち上がりエッジをカウントします。また、同期化処理のためにTIFnAには2サイクルの遅れが生じます。コンペアマッチを検出すると、次のPφクロックに同期してカウント値をクリアします。
- GRAFn：ECNTAFnに対するキャプチャレジスタとして機能します。ECNTBFnのコンペアマッチ検出後、次のECNTAFnクロックに同期してECNTAFnのカウント値をキャプチャします。
- GRBFn：ECNTBFnに対するコンペアマッチレジスタとして機能し、ECNTBFnのカウント値がGRBFnと一致すると、コンペアマッチを検出します。
- ECNTCFn：ECNTAFnと同じカウントソースで時間を計測します。ECNTBFnのコンペアマッチ検出後、次のECNTAFnクロックに同期してカウント値をクリアします。ECNTCFnのカウントクリアは、カウントアップと同じタイミングとなるため、クリア値はH'00000100となります。
- GRCFn：ECNTCFnに対するキャプチャレジスタとして機能します。ECNTBFnのコンペアマッチ検出後、次のECNTAFnクロックに同期してECNTCFnのカウント値をキャプチャします。
- ICFFnフラグ：ECNTBFnのコンペアマッチ検出後、次のECNTAFnクロックに同期してICFFnフラグをセットします。
- GRDFn：機能しません。

すなわち、ECNTBFn（GRBFn）と ECNTAFn（GRAFn）がローレベル期間計測モードで動作し、ECNTBFn（GRBFn）と ECNTCFn（GRCFn）が有効エッジ入力間隔計測モードで動作していることになります。

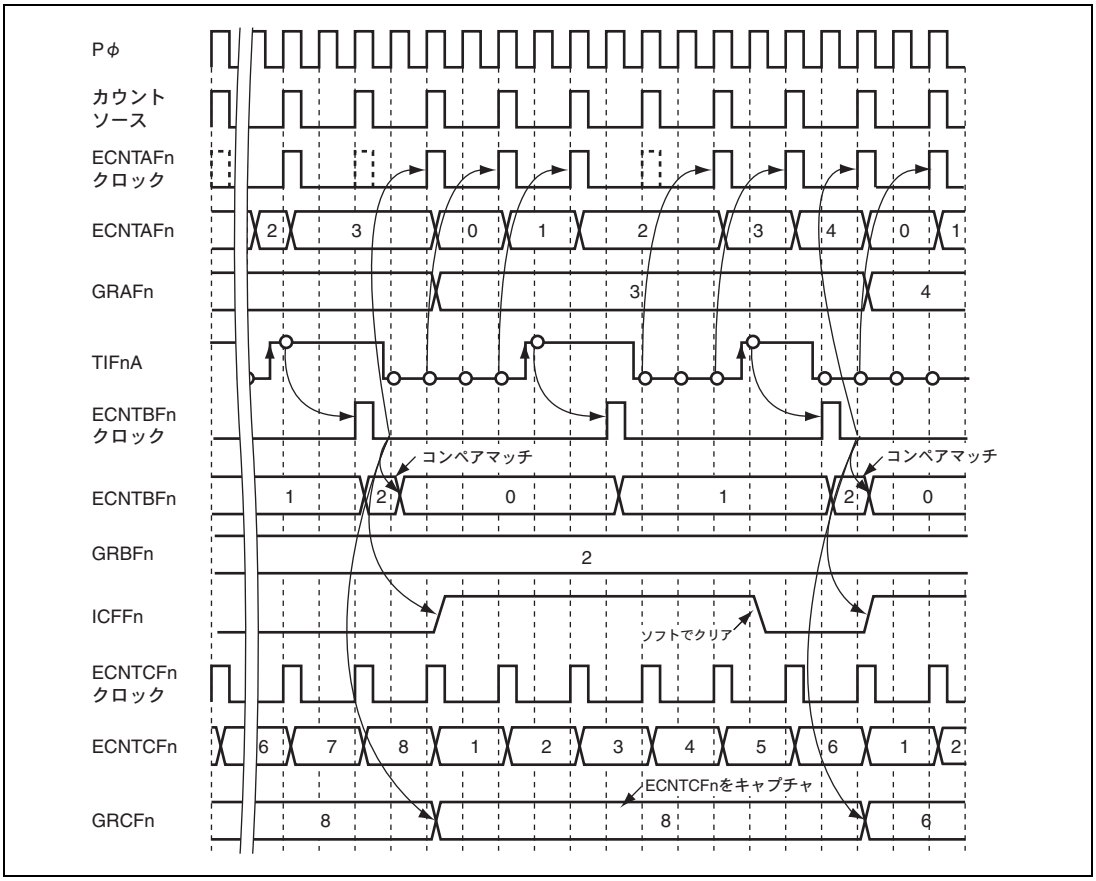


図 12.42　PWM 入力波形期間計測の動作例

12.26.5 回転速度／パルス計測

TIFnA に入力されたエッジ数およびエッジ入力時刻（タイムスタンプ）を計測し、また直前の入力エッジとの間に現れる PWM 波形のオフデューティと PWM サイクルを計測します。

得られる時間は、ECNTAFn のクロックソースを基準として示されます。また、GRBFn には、エッジ入力間隔の最大値を設定でき、エッジ入力間隔が最大値を超えた場合に割り込み要求を出力することができます。

このときのタイマ F の動作は次のようになります。また動作例を図 12.43 に示します。

ここでの ECNTAFn クロックは、時間計測カウンタ ECNTAFn、ECNTBFn クロックはイベントカウンタ ECNTBFn、ECNTCFn クロックは ECNTCFn がカウント動作やクリア動作を行うタイミングを示しています。

回転速度／パルス計測の動作モードのときの各レジスタの動作は、以下のとおりです。

- ECNTAFn：クロックバス0～5のいずれかをカウントソースとし、TIFnAの入力レベルをイネーブルとしてカウントアップを行います。すなわち、TIFnAにローレベルが与えられている時間を計測します。TIFnAへのエッジ入力後、次のカウントソースクロックに同期してカウント値をクリアします。カウントクリアの際に、TIFnAにローレベルが与えられていた場合は、カウント値はH'00000100となります。
- ECNTBFn：TIFnAの立ち上がりエッジをカウントします。また、同期化処理のためにTIFnAには2サイクルの遅れが生じます。
- GRAFn：ECNTAFnに対するキャプチャレジスタとして機能します。TIFnAへのエッジ入力後、次のECNTAFnクロックに同期してECNTAFnのカウント値をキャプチャします。
- GRBFn：ECNTCFnに対するコンペアマッチレジスタとして機能します。ECNTCFnのカウント値と、GRBFnの下位8ビットをゼロ拡張した値が一致すると、コンペアマッチを検出しOVFCFnフラグを1にセットします。
- ECNTCFn：ECNTAFnと同じカウントソースで時間を計測します。TIFnAへのエッジ入力後、次のECNTAFnクロックに同期してカウント値をクリアします。ECNTCFnのカウントクリアは、カウントアップと同じタイミングとなるため、クリア値はH'00000100となります。
- GRCFn：ECNTCFnに対するキャプチャレジスタとして機能します。TIFnAへのエッジ入力後、次のECNTAFnクロックに同期してECNTCFnのカウント値をキャプチャします。
- GRDFn：ECNTCFnに対するキャプチャレジスタとして機能します。TIFnAへのエッジ入力後、次のECNTAFnクロックに同期して、ECNTCFnのカウント値をGRDFnの値に累算してキャプチャします。加算する値は、クリア前のECNTCFnの値となります。
- ICFFnフラグ：TIFnAへのエッジ入力後、次のECNTAFnクロックに同期してICFFnフラグをセットします。
- OVFCFnフラグ：ECNTCFnとGRBFnの値（下位8ビットをゼロ拡張した値）が一致した次のPφクロックに同期してOVFCFnフラグをセットします。

ICFFn フラグの 1 セット時に、ECNTBFn、GRAFn、GRCFn、GRDFn を読み出すことで、それぞれからエッジ数、オフデューティサイクル、PWM サイクル、およびエッジ入力時刻を得ることができます。

GRAFn、GRCFn、GRDFn のキャプチャタイミングは、ECNTAFn のカウントクロックに同期します。TIFn へのエッジ入力周期が、ECNTAFn のカウントクロック周期よりも短くなると正しく計測できませんので、ご注意ください。

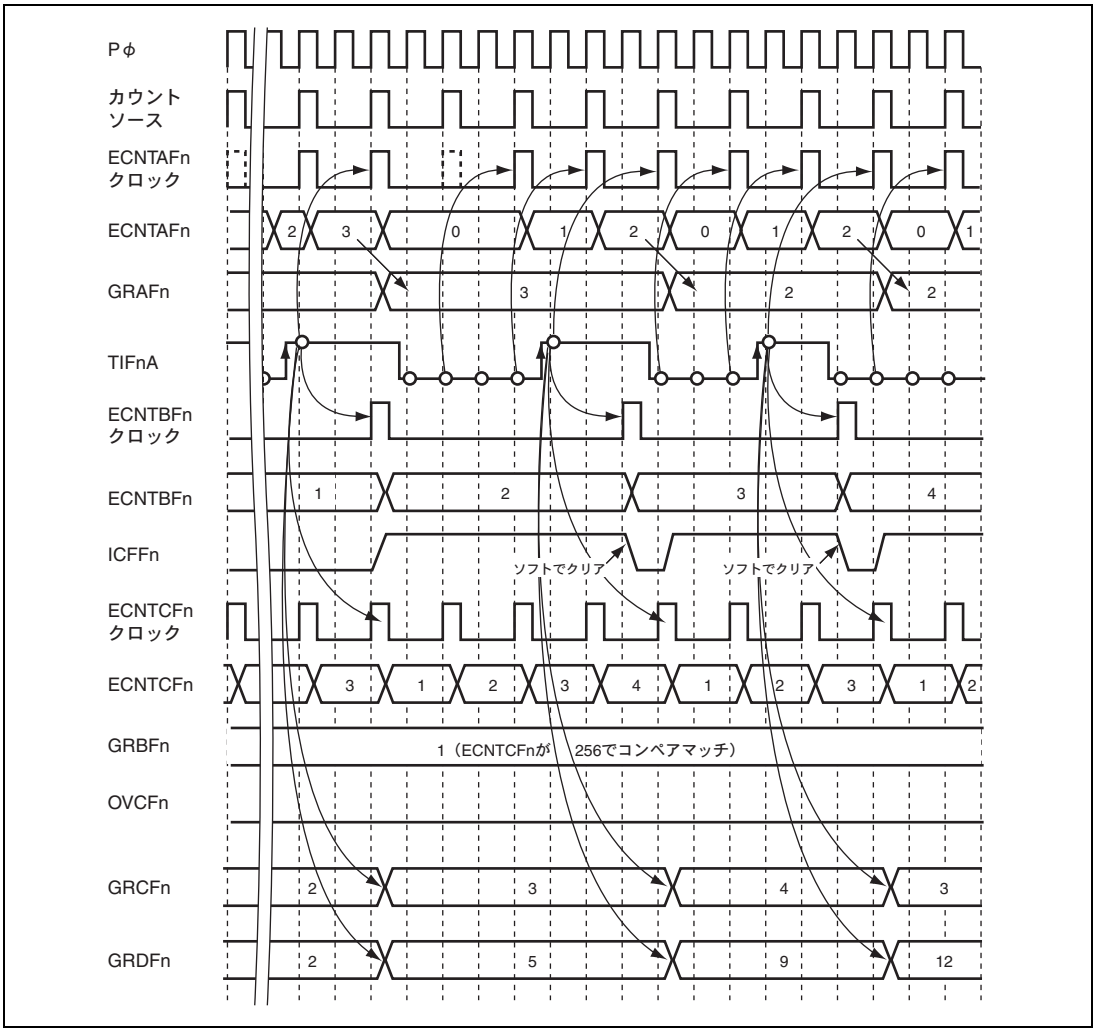


図 12.43 回転速度／パルス計測の動作例

12.26.6 アップ／ダウンイベントカウント

2 本の外部入力端子（TIFnA、TIFnB）のうち、TIFnA をカウントソースとしてカウント動作を行い、TIFnB でアップカウント、ダウンカウントを切り替えます。また、GRAFn にカウントする期間を指定すると、GRBFn に指定期間後のカウント値が得られます。カウントする期間は、ECNTAFn カウントソースクロックの周期（GRAFn の値）となります。このときのタイマ F の動作は次のようになります。また動作例を**図 12.44** に示します。ここでの ECNTAFn クロックと ECNTBFn クロックは、それぞれ時間計測カウンタ ECNTAFn とイベントカウンタ ECNTBFn がカウント動作やクリア動作を行うタイミングを示しています。

アップ／ダウンイベントカウントの動作モードのときの各レジスタ動作は、以下のとおりです。

- ECNTAFn：クロックバス0～5のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次のPφクロックに同期してカウント値をクリアします。
- ECNTBFn：TIFnAの立ち上がり／立ち下がりエッジの両エッジでアップ／ダウンカウント動作を行います。カウントの方向は、TIFnBの入力レベルにより決定されます（**表**12.17を参照ください）。また、同期化処理のためにTIFnA、TIFnBには2サイクルの遅れが生じます。
- GRAFn：ECNTAFnに対するコンペアマッチレジスタとして機能し、ECNTAFnのカウント値がGRAFnと一致すると、コンペアマッチを検出します。
- GRBFn：ECNTBFnに対するキャプチャレジスタとして機能します。ECNTAFnのコンペアマッチ検出後、次のPφクロックに同期してECNTBFnのカウント値をキャプチャします。
- ICFFnフラグ：ECNTAFnのコンペアマッチ検出後、次のPφクロックに同期してICFFnフラグをセットします。
- ECNTCFn、GRCFn、GRDFn：機能しません。

表 12.17 アップ／ダウンイベントカウントモード時のカウント方向

入力	カウント方向			
	アップカウント		ダウンカウント	
TIFnA	↑	↓	↑	↓
TIFnB	ローレベル		ハイレベル	

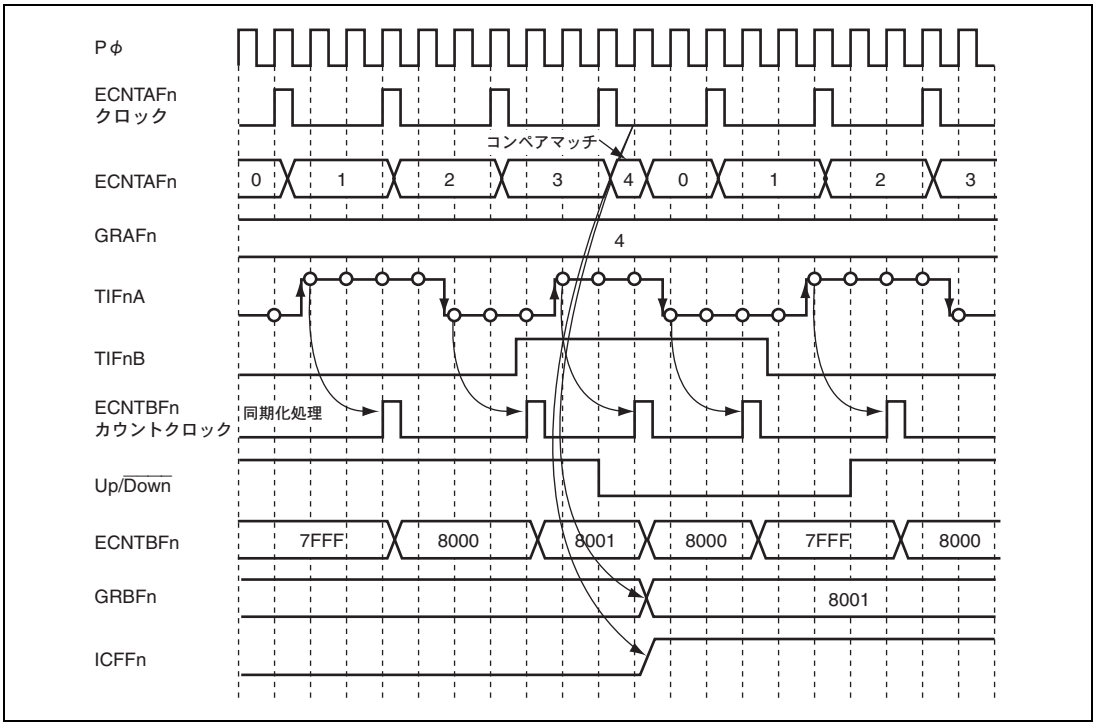


図 12.44　アップ／ダウンイベントカウントの動作例

12.26.7 4 逓倍イベントカウント

2 本の外部入力端子（TIFnA、TIFnB）をカウントソースとしてカウント動作を行い、その 2 本の入力状態によってアップカウント、ダウンカウントを切り替えます。また、GRAFn にカウントする期間を指定すると GRBFn に指定期間後のカウント値が得られます。カウントする期間は、ECNTAFn カウントソースクロックの周期（GRAFn の値）となります。

このときのタイマ F の動作は次のようになります。また動作例を**図 12.45** に示します。ここでの ECNTAFn クロックと ECNTBFn クロックは、それぞれ時間計測カウンタ ECNTAFn とイベントカウンタ ECNTBFn が、カウント動作やクリア動作を行うタイミングを示しています。

4 逓倍イベントカウントの動作モードのときの各レジスタの動作は、以下のとおりです。

- ECNTAFn：クロックバス0～5のいずれかをカウントソースとして時間を計測します。コンペアマッチが検出されると、次のPφクロックに同期してカウント値をクリアします。
- ECNTBFn：TIFnA、TIFnBそれぞれの立ち上がり／立ち下がりエッジの両エッジでアップ／ダウンカウント動作を行います。カウントの方向は、他方の信号の入力レベルにより決定されます（**表12.18**を参照ください）。また、同期化処理のためにTIFnA、TIFnBには2サイクルの遅れが生じます。
- GRAFn：ECNTAFnに対するコンペアマッチレジスタとして機能し、ECNTAFnのカウント値がGRAFnと一致すると、コンペアマッチを検出します。
- GRBFn：ECNTBFnに対するキャプチャレジスタとして機能します。ECNTAFnのコンペアマッチ検出後、次のPφクロックに同期してECNTBFnのカウント値をキャプチャします。
- ICFFnフラグ：ECNTAFnのコンペアマッチ検出後、次のPφクロックに同期してICFFnフラグをセットします。
- ECNTCFn、GRCFn、GRDFn：機能しません。

表 12.18 4 逓倍イベントカウントモード時のカウント方向

入力	カウント方向							
	アップカウント				ダウンカウント			
TIFnA	ハイレベル	↓	ローレベル	↑	ハイレベル	↓	ローレベル	↑
TIFnB	↑	ハイレベル	↓	ローレベル	↓	ローレベル	↑	ハイレベル

【注】 TIFnA と TIFnB のエッジ入力を同時に検出した場合の動作は保証されません。TIFnA と TIFnB のエッジ入力間隔は、必ず 1.5 サイクル（Pφクロック）以上となるようにしてください。

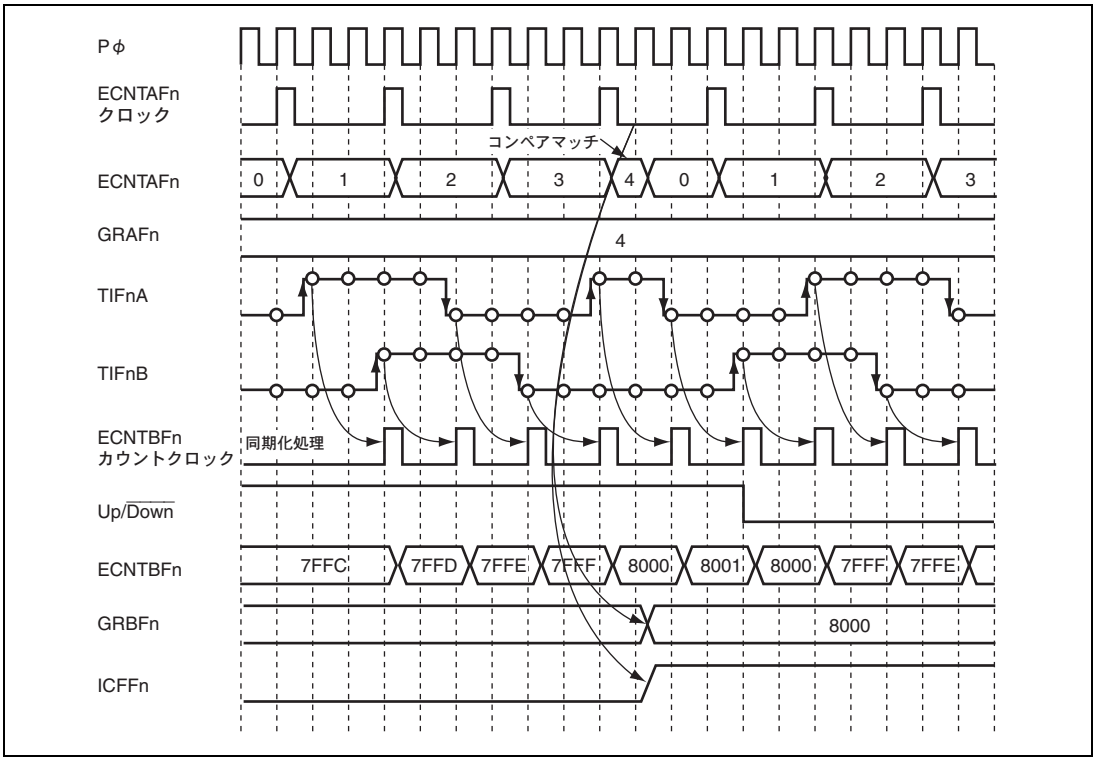


図 12.45　4 逓倍イベントカウントの動作例

12.26.8 オーバフロー／アンダフロー

カウンタクリア処理以外でカウント値が H'FFFFFF00（ECNTAFn、ECNTCFn）→H'00000000（ECNTAFn、ECNTCFn）、あるいは H'FFFF（ECNTBFn）→H'0000（ECNTBFn）となった場合にオーバフローを検出します。この場合、カウント値が H'00000000（または H'0000）になると同時にフラグをセットします（図は省略）。ECNTAFn でオーバフローを検出した場合は OVFAFn を、ECNTBFn のときは OVFBFn を、ECNTCFn のときは OVFCFn をセットします。

また、カウント値が H'0000（ECNTBFn）→H'FFFF（ECNTBFn）となった場合にアンダフローを検出します。この場合、カウント値が H'FFFF となると同時にフラグをセットします（図は省略）。アンダフローは ECNTBFn でのみ発生し、OVFBFn をセットします。

12.27 タイマ G の概要

タイマ G は、同一の機能を持つ 6 個のサブブロックによって構成されます。

サブブロックは、入力クロックをカウントし、所定の時間が経過すると Pφクロックで 1 サイクル期間の負論理パルス信号を生成します。生成した信号は、A/D 変換器の起動／割り込みトリガとして使用することができます。また、パルス信号とは別に割り込み要求も出力することができ、DMAC に DMA 転送の起動を要求することも可能です。なお、カウンタの入力クロックは、クロックバス上の 6 本のクロックから選択できます。

12.27.1 ブロック図

タイマ G のサブブロックは、1 本の 16 ビットタイマカウンタ G（TCNTG）と、1 本のコンペアマッチレジスタ G（OCRG）、制御部などで構成されています。

図 12.46 に、タイマ G のブロック図を示します。

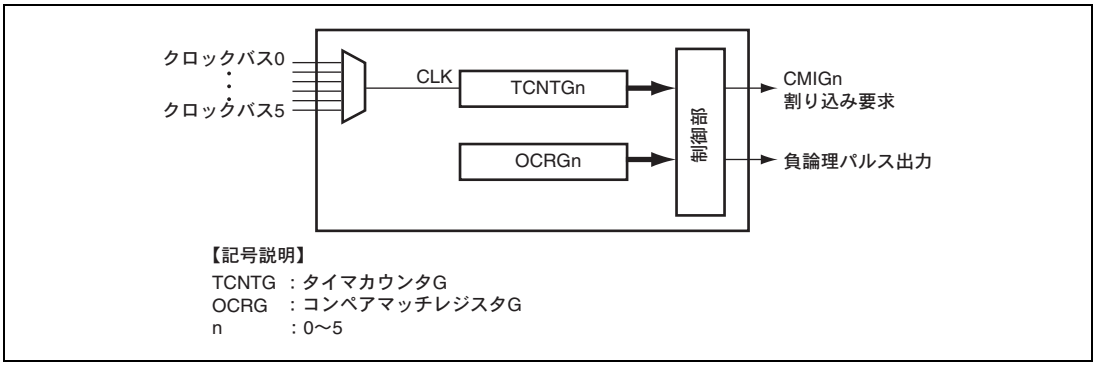


図 12.46 タイマ G のブロック図

12.27.2 割り込み

タイマ G の割り込みは、CMIG0～5 の 6 本あります。サブブロックでコンペアマッチが検出されると、割り込み要求は出力されます。この要求は、ダイレクトメモリアクセスコントローラ（DMAC）および割り込みコントローラ（INTC）が受け取り、それぞれの設定に従って所定の処理を行います。

12.28 タイマ G のレジスタの説明

12.28.1 タイマスタートレジスタ G（TSTRG）

TSTRG は、8 ビットの読み出し／書き込み可能なレジスタで、タイマ G の各サブブロックを動作させるか停止させるかを指定します。ただし、STRG ビットを 1 にセットしても、ATU-III マスタイネーブルレジスタ（ATUENR）の TGE ビットがイネーブルに設定されていなければカウント動作は行われません。

TSTRG は、バイト単位で読み出し／書き込みが可能です。

TSTRG は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	STRG5	STRG4	STRG3	STRG2	STRG1	STRG0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	STRG5	0	R/W	カウンタ G スタート サブブロックのタイマカウンタ Gn（TCNTGn）を動作させるか停止させるかを設定します。 STRGn ビットを 0 にクリアした場合、TCNTGn は動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を再開します。ただし、本ビットを 1 にセットしても、ATUENR の TGE ビットが 1 にセットされていなければカウント動作は開始されません。 0：TCNTGn のカウント動作を停止 1：TCNTGn のカウント動作を許可 【注】プリスケーラは、カウンタ G スタートビットの設定に関係なく動作しており、上記カウンタの動作開始時にも初期化は行われません。したがって、起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。
4	STRG4	0	R/W	
3	STRG3	0	R/W	
2	STRG2	0	R/W	
1	STRG1	0	R/W	
0	STRG0	0	R/W	

【注】 n＝0～5：サブブロック G0～G5 に対応。

12.28.2 タイマコントロールレジスタ G0～5（TCRG0～5）

TCRG0～5 は、8 ビットの読み出し／書き込み可能なレジスタで、タイマ G の各サブブロックの動作モードを指定します。

TCRG0～5 は、バイト単位で読み出し／書き込みが可能です。

TCRG0～5 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	CKSELGn[2:0]			—	—	CMP OEGn	CM EGn
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R	R/W	R/W

【注】 n＝0～5。サブブロックG0～G5に対応。

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	CKSELGn [2:0]	000	R/W	クロックセレクト Gn サブブロックのタイマカウンタ Gn（TCNTGn）のクロックソースを指定します。ただし、B'110 および B'111 を指定しないでください。誤って指定した場合の動作は保証されません。 000：クロックバス 0 001：クロックバス 1 010：クロックバス 2 011：クロックバス 3 100：クロックバス 4 101：クロックバス 5 110：設定禁止 111：設定禁止
3、2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CMPOEGn	0	R/W	パルス出力イネーブル Gn サブブロックのタイマカウンタ Gn（TCNTGn）とコンペマッチレジスタ（OCRGn）の値が一致したときに、コンペアマッチパルスを外部へ出力するかどうかを設定します。 0：TCNTGn と OCRGn のコンペアマッチでパルス出力しない 1：TCNTGn と OCRGn のコンペアマッチでパルス出力する
0	CMEGn	0	R/W	コンペアマッチインタラプトイネーブル Gn 本フラグにより、サブブロックにおけるタイマステータスレジスタ Gn（TSRGn）のコンペアマッチフラグ Gn（CMFGn）に対応する割り込みの許可／禁止を指定します。 0：CMFGn による割り込みを禁止 1：CMFGn による割り込みを許可

12.28.3 タイマステータスレジスタ G0～5（TSRG0～5）

TSRG0～5 は、8 ビットの読み出し／書き込み可能なレジスタで、時間計測カウンタやイベントカウンタのオーバフローの発生、コンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイマコントロールレジスタ G0～5（TCRG0～5）の対応するビットにより割り込みが許可されていれば、CPU に割り込みあるいは DMAC に DMA 転送の起動を要求します。

TSRG0～5 は、バイト単位で読み出し／書き込みが可能です。

TSRG0～5 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OVFGn	CMFGn
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/(W)*	R/(W)*

【注】 n＝0～5：サブブロックG0～G5に対応。
* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7～2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OVFGn	0	R/(W)*	オーバフローフラグ Gn 本フラグにより、タイマカウンタ Gn（TCNTGn）のオーバフローの状態を参照することができます。本フラグをソフトウェアにより 1 にセットすることはできません。また、このフラグに対応した割り込みはありません。 0：TCNTGn にオーバフローなし ［クリア条件］ • OVFGn＝1 の状態を読み出した後、OVFGn に 0 を書き込んだとき 1：TCNTGn にオーバフロー発生 ［セット条件］ • TCNTGn の値がオーバフロー（H'FFFF→H'0000）したとき
0	CMFGn	0	R/(W)*	コンペアマッチフラグ Gn 本フラグにより、サブブロック Gn（G0～G5）においてコンペアマッチの検出状態を参照することができます。このフラグをソフトウェアにより 1 にセットすることはできません。タイマコントロールレジスタの CMEGn ビットがセットされている場合、本フラグがセットされるとコンペアマッチ割り込みが出力されます。 0：サブブロック Gn にコンペアマッチの検出なし ［クリア条件］ • CMFGn＝1 の状態を読み出した後、CMFGn に 0 を書き込んだとき • コンペアマッチ割り込みによる DMA 転送要求が DMAC によって受け付けられたとき 1：サブブロック Gn にコンペアマッチを検出 ［セット条件］ • サブブロック Gn でコンペアマッチを検出したとき

12.28.4 タイマカウンタ G0～5（TCNTG0～5）

TCNTG0～5 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0～5 のいずれかを選ぶことができます。

カウンタ値はコンペアマッチレジスタ G（OCRG）と比較されています。値が一致すると、次の Pφクロックでコンペアマッチフラグ G（CMFG）がセットされ、カウンタ値は H'0000 にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNTG は H'0001 にクリアされます。これは、TCNTG が Pφの 1 分周クロックでカウントする場合にのみ起こります。

TCNTG0～5 は、ワード単位でのみ読み出し／書き込みが可能です。

TCNTG0～5 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTGn[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～5：サブブロックG0～G5に対応。

ビット	ビット名	初期値	R/W	説　　明
15～0	TCNTGn[15:0]	すべて 0	R/W	タイマカウンタ Gn アップカウンタ

12.28.5 コンペアマッチレジスタ G0～5（OCRG0～5）

OCRG0～5 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ G（TCNTG）に対するアウトプットコンペアレジスタの機能を持っています。

OCRG には H'0000 を設定しないでください。H'0000 を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。

OCRG0～5 は、ワード単位でのみ読み出し／書き込みが可能です。

OCRG0～5 は、パワーオンリセットおよびハードウェアスタンバイによって H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCRGn[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n＝0～5：サブブロックG0～G5に対応。

ビット	ビット名	初期値	R/W	説　　明
15～0	OCRGn[15:0]	すべて 1	R/W	コンペアマッチ Gn コンペアマッチ値を指定します。

12.29 タイマ G の動作説明

OCRG に時間を指定すると、指定した時間経過後に Pφ クロックの 1 サイクル期間の負論理パルスを得ることができます。出力信号の初期値は 1 です。カウントする期間は、TCNTG のクロックソースを基準として指定します。

タイマコントロールレジスタ G（TCRG）のコンペアマッチパルス出力イネーブルビット（CMPOEG）の設定により、生成した信号を A/D 変換器に出力することができ、A/D 起動／割り込みトリガとして使用できます。

また、コンペアマッチ時は、タイマステータスレジスタ G（TSRG）のコンペアマッチフラグ（CMFG）がセットされ、TCRG のコンペアマッチインタラプトイネーブルビット（CMEG）の設定により、DMAC および CPU に対して、それぞれ DMA 起動、割り込みを要求することができます。

図 12.47 にカウント動作とコンペアマッチ動作の例を示します。ここで TCNTG クロックは、TCNTG がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

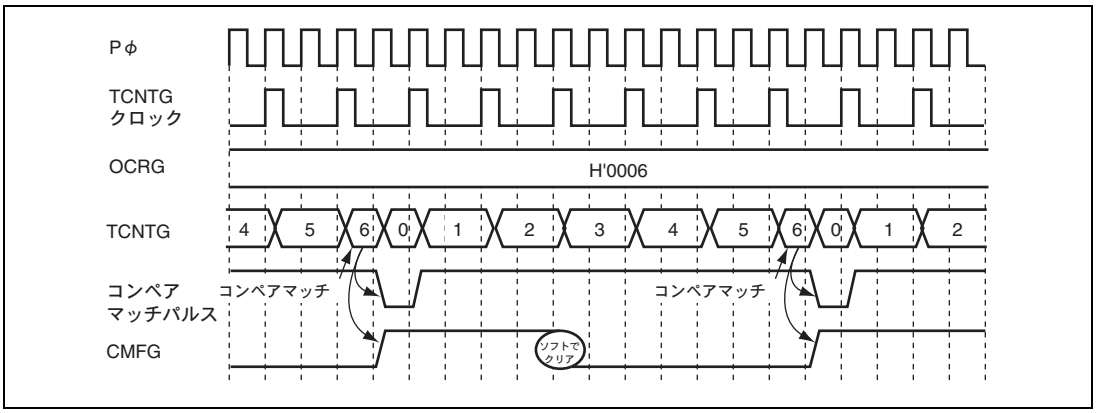


図 12.47 カウント動作とコンペアマッチ動作の例

12.30 タイマ H の概要

タイマ H は、入力クロックをカウントし、所定の時間を繰り返し計測するカウンタです。

タイマカウンタ 1H（TCNT1H）は、16 ビットのカウンタで、クロックバス上の 6 本から選択したクロックによりカウントアップを行います。TCNT1H は、コンペアマッチレジスタ 1H（OCR1H）値に到達すると H'0000 にクリアされ、再びカウントアップを開始します。

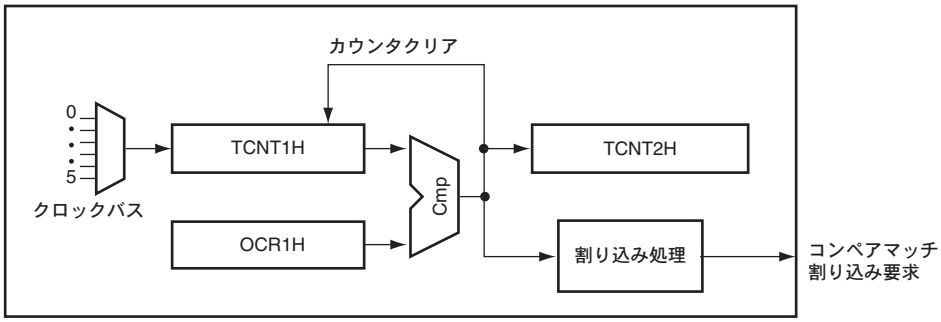
タイマカウンタ 2H（TCNT2H）は、32 ビットのカウンタで、TCNT1H と OCR1H とのコンペアマッチ発生によってインクリメントを行い、コンペアマッチの発生回数をカウントします。

TCNT2H のカウントアップのタイミングで割り込みを発生することが可能です。

12.30.1 ブロック図

タイマ H は、1 本の 16 ビットタイマカウンタ 1H（TCNT1H）、1 本のコンペアマッチレジスタ 1H（OCR1H）、1 本の 32 ビットタイマカウンタ 2H（TCNT2H）、および制御部で構成されています。

図 12.48 に、タイマ H のブロック図を示します。



【記号説明】
TCNT1H :タイマカウンタ1H
TCNT2H :タイマカウンタ2H
OCR1H :コンペアマッチレジスタ1H

図 12.48 タイマ H のブロック図

12.30.2 割り込み

タイマ H の割り込みは、CMIH の 1 本があります。TCNT1H と OCR1H とのコンペアマッチ発生により割り込みを出力します。

12.31 タイマ H のレジスタの説明

12.31.1 タイマコントロールレジスタ H（TCRH）

TCRH は、8 ビットの読み出し／書き込み可能なレジスタで、カウントソースの選択およびコンペアマッチ割り込み出力の制御を行います。

TCRH は、バイト単位で読み出し／書き込みが可能です。

TCRH は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	CKSELH[2:0]			—	—	—	CMEH
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	CKSELH[2:0]	000	R/W	クロックセレクト H タイマカウンタ 1H（TCNT1H）のクロックソースを指定します。 000：クロックパス 0 001：クロックパス 1 010：クロックパス 2 011：クロックパス 3 100：クロックパス 4 101：クロックパス 5 110：設定禁止 111：設定禁止
3～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CMEH	0	R/W	コンペアマッチインタラプトイネーブル H 本フラグにより、タイマステータスレジスタ H（TSRH）のコンペアマッチフラグ H（CMFH）に対応する割り込みの許可／禁止を指定します。 0：CMFH による割り込みを禁止 1：CMFH による割り込みを許可

12.31.2 タイマステータスレジスタ H（TSRH）

TSRH は、8 ビットの読み出し／書き込み可能なレジスタで、タイマカウンタ 1H（TCNT1H）とコンペアマッチレジスタ（OCR1H）とのコンペアマッチ発生、TCNT1H のオーバフロー発生、タイマカウンタ 2H（TCNT2H）のオーバフローの発生を示します。

コンペアマッチフラグは割り込み要因であり、タイマコントロールレジスタ F（TCRH）の対応するビットにより割り込みが許可されていれば、CPU に割り込みを出力します。

TSRH は、バイト単位で読み出し／書き込みが可能です。

TSRH は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF2H	OVF1H	CMFH
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	OVF2H	0	R/(W)*	オーバフローフラグ 2H 本フラグにより、タイマカウンタ 2H（TCNT2H）のオーバフローの状態を参照することができます。本フラグをソフトウェアにより 1 にセットすることはできません。また、本フラグに対応した割り込みはありません。 0：TCNT2H にオーバフローなし ［クリア条件］ • OVF2H＝1 の状態を読み出した後、OVF2H に 0 を書き込んだとき 1：TCNT2H にオーバフロー発生 ［セット条件］ • TCNT2H の値がオーバフロー（H'FFFFFFFF→H'00000000）したとき TCNT2H への H'00000000 の書き込み、TCNT2H を初期値（H'00000000）で起動しても OVF2H ビットはセットされません。 カウンタ値が H'FFFFFFFF の状態で、カウントアップクロックと同時に TCNT2H への書き込みを行った場合、オーバフローフラグは 1 にセットされますが、TCNT2H 値は H'00000000 ではなく、書き込まれた値に更新されます。

ビット	ビット名	初期値	R/W	説　　明
1	OVF1H	0	R/(W)*	オーバフローフラグ 1H 本フラグにより、タイマカウンタ 1H（TCNT1H）のオーバフローの状態を参照することができます。本フラグをソフトウェアにより 1 にセットすることはできません。また、本フラグに対応した割り込みはありません。 0：TCNT1H にオーバフローなし ［クリア条件］ • OVF1H＝1 を読み出した後、OVF1H に 0 を書き込んだとき 1：TCNT1H にオーバフロー発生 ［セット条件］ • TCNT1H の値がオーバフロー（H'FFFF→H'0000）したとき TCNT1H への H'0000 書き込み、および TCNT1H を初期値（H'0000）で起動しても OVF1H はセットされません。 カウンタ値が H'FFFF の状態で、カウントアップクロックと同時に TCNT1H への書き込みを行った場合、オーバフローフラグは 1 にセットされますが、TCNT1H 値は H'0000 ではなく、書き込まれた値に更新されます。
0	CMFH	0	R/(W)*	コンペアマッチフラグ H 本フラグにより、TCNT1H と OCR1H とのコンペアマッチ検出状態を参照することができます。本フラグをソフトウェアにより 1 にセットすることはできません。TCRH の CMEH ビットがセットされている場合、本フラグがセットされるとコンペアマッチ割り込みが出力されます。 0：TCNT1H と OCR1H のコンペアマッチ発生なし ［クリア条件］ • CMFH＝1 の状態を読み出した後、CMFH に 0 を書き込んだとき 1：TCNT1H と OCR1H のコンペアマッチ発生 ［セット条件］ • TCNT1H と OCR1H の値が一致したとき CMFH が 1 の状態（フラグがクリアされていない状態）でも、次のコンペアマッチ処理は実施可能です。このとき CMFH には 1 がオーバライトされます。

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。

12.31.3 タイマカウンタ 1H（TCNT1H）

TCNT1H は、16 ビットの読み出し／書き込み可能なレジスタです。TCNT1H は、ATU-III マスタイネーブルレジスタ（ATUENR）の THE ビットが 1 にセットされている場合のみ動作可能です。タイマコントロールレジスタ H（TCRH）の CKSELH ビットで選択された入力クロックによりアップカウント動作を行います。

TCNT1H がオーバフロー（H'FFFF→H'0000）を発生すると、タイマステータスレジスタ H（TSRH）のオーバフローフラグ 1H（OVF1H）は 1 にセットされます。

TCNT1H カウンタ値は、コンペアマッチレジスタ 1H（OCR1H）と比較されています。値が一致すると、次の Pφクロックでコンペアマッチステータス（TSRH レジスタの CMFH ビット）がセットされ、TCNT1H カウンタ値は H'0000 にクリアされます。ただし、コンペアマッチによるカウンタのクリアとカウントアップのタイミングが一致する場合のみ、TCNT1H は H'0001 にクリアされます。これは TCNT1H が Pφクロックの 1 分周クロックでカウントする場合にのみ起こります。

また、コンペアマッチと同時に、タイマカウンタ 2H（TCNT2H）はカウントアップを行います。

TCNT1H は、ワード単位でのみ読み出し／書き込みが可能です。

TCNT1H は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT1H[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	TCNT1H[15:0]	すべて 0	R/W	タイマカウンタ 1H 16 ビットアップカウンタ

12.31.4 コンペアマッチレジスタ 1H（OCR1H）

OCR1H は、16 ビットの読み出し／書き込み可能なレジスタで、タイマカウンタ 1H（TCNT1H）に対するアウトプットコンペアレジスタの機能を持っています。次の周期でコンペアマッチが発生します。

コンペアマッチ発生周期＝
TCNT1H カウントクロック周期（TCRH レジスタの CKSELH ビットで設定）×OCR1H 値

この周期で TCNT2H はカウントアップを行います。また、割り込み許可設定時には割り込みを出力します。

OCR1H は、H'0000 に設定しないでください。H'0000 を設定した場合、不正な周期でコンペアマッチが発生することになりますので注意してください。

OCR1H は、ワード単位でのみ読み出し／書き込みが可能です。

OCR1H は、パワーオンリセットおよびハードウェアスタンバイによって H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCR1H[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	OCR1H[15:0]	すべて 1	R/W	コンペアマッチ 1H コンペアマッチ値を指定します。

12.31.5 タイマカウンタ 2H（TCNT2H）

TCNT2H は、32 ビットの読み出し／書き込み可能なレジスタです。TCNT2H は、タイマカウンタ 1H（TCNT1H）とコンペアマッチレジスタ 1H（OCR1H）とのコンペアマッチ発生によってカウントアップ動作を行います。

TCNT2H は、ATU-III マスタイネーブルレジスタ（ATUENR）の THE ビットが 1 にセットされている場合のみ動作可能です。

TCNT2H がオーバフロー（H'FFFF FFFF→H'0000 0000）を発生すると、タイマステータスレジスタ H（TSRH）のオーバフローフラグ 2H（OVF2H）は 1 にセットされます。

TCNT2H は、ロングワード単位でのみ読み出し／書き込みが可能です。

TCNT2H は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 0000 に初期化されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNT2H[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT2H[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	TCNT2H[31:0]	すべて 0	R/W	タイマカウンタ 2H 32 ビットカウンタ値

12.32 タイマ H の動作説明

コンペアマッチレジスタ（OCR1H）に時間を指定すると、指定した時間経過後に TCNT1H とのコンペアマッチによりコンペアマッチフラグ H（CMFH）がセットされます。同時に、32 ビットタイマカウンタの TCNT2H がカウントアップし、TCNT1H のカウンタ値は H'0000 にクリアされます。

TCNT1H のカウントクロックのクロックソースは、TCRH の CKSELH ビットによって選択します。ATUENR レジスタの THE ビットが 1 のとき、TCNT1H、TCNT2H は動作可能となります。カウンタ動作中に THE ビットを 0 にした場合、TCNT1H、TCNT2H はその状態を保持したまま停止します。再び THE ビットを 1 にすると、停止した状態からカウントを再開します。

タイマコントロールレジスタ H（TCRH）のコンペアマッチインタラプトイネーブル H ビット（CMEH）の設定により、割り込み出力が可能です。

図 12.49 にタイマ H の動作の例を示します。ここで TCNT1H カウントクロックは、TCNT1H がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

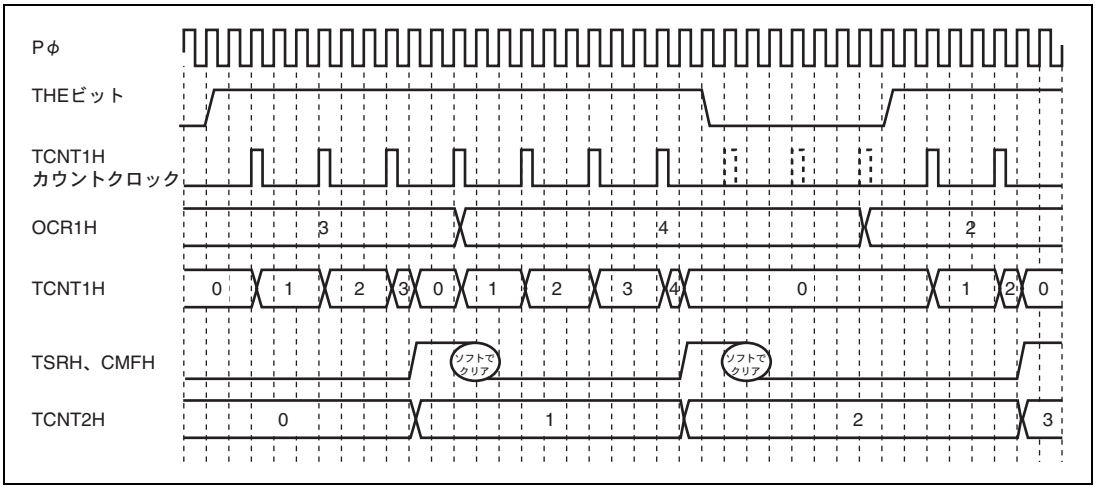


図 12.49 タイマ H の動作

12.33 タイマ J の概要

タイマ J は、同一の機能を持つ 2 個のサブブロックによって構成されます。

タイマ J のサブブロックは、入力クロックをカウントし、所定の時間を繰り返し計測するカウンタです。

タイマカウンタ J（TCNTJ）は、16 ビットのカウンタで、クロックバス上の 6 本から選択したクロックによりカウントアップを行います。TCNTJ は、TIJ 端子のエッジ入力によってクリアされます。また、タイマ J は 9 段（16 ビット×9）の FIFO レジスタを持っており、エッジ入力ごとに FIFO へ TCNTJ 値を取り込むことができます。FIFO レジスタがフルになったタイミングで DMAC の起動および割り込み要求が可能です。

またタイマ J は、FIFO レジスタの有効期間を、コンペアマッチレジスタ J（OCRJ）でのコンペアマッチ後、FIFO レジスタがフルになるまでの間として制御することが可能です。

外部信号入力端子（TIJ）からの入力は、入力キャンセル機能を使用してノイズをキャンセルすることができます。

12.33.1 ブロック図

タイマ J は、2 個のサブブロックで構成されます。各サブブロックは、1 本の 16 ビットタイマカウンタ J（TCNTJ）と、1 本のコンペアマッチレジスタ J（OCRJ）、9 段の FIFO レジスタ（16 ビット×9）、入力処理部（エッジ検出、ノイズキャンセラ）、および制御部などで構成されています。

図 12.50 に、タイマ J のブロック図を示します。

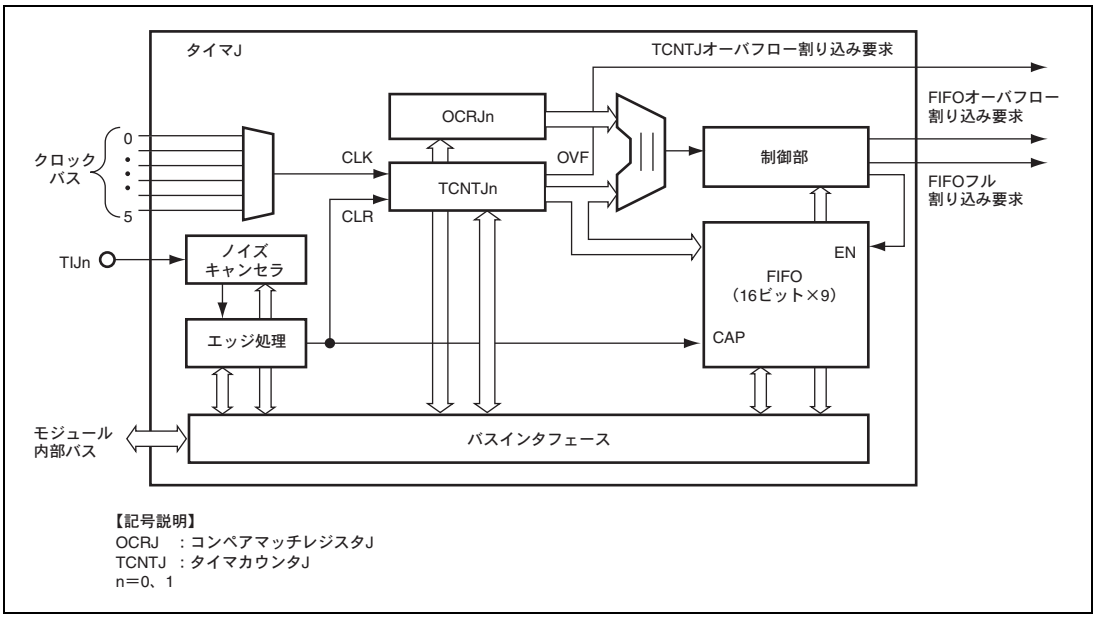


図 12.50 タイマ J のブロック図

12.34 タイマ J のレジスタの説明

12.34.1 タイマスタートレジスタ J（TSTRJ）

TSTRJ は、8 ビットの読み出し／書き込み可能なレジスタで、タイマ J に含まれる各サブブロック（タイマ J0、タイマ J1）を動作させるか停止させるかを指定します。ただし、タイマ J のカウンタ J スタートビット（STRJ）をカウント動作許可に設定していても、ATU-III マスタイネーブルレジスタ（ATUENR）のタイマ J イネーブルビット（TJE）がイネーブルに設定されていなければカウント動作は行われません。プリスケーラは、カウンタ J スタートビットの設定に関係なく動作しており、TCNTJn の動作開始時にも初期化は行われません。したがって、起動から実際に上記カウンタがカウント動作を開始するまでの時間には、選択されたカウントソースの周期（分解能）以下のハードウェア的な不確定さが伴います。

TSTRJ は、バイト単位で読み出し／書き込みが可能です。

TSTRJ は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	STRJ1	STRJ0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STRJ1	0	R/W	カウンタ Jn スタート タイマカウンタ Jn（TCNTJn）を動作させるか、停止させるかを設定します。 本ビットを 0 にクリアした場合、TCNTJn は動作を停止します。停止時はカウンタ値をそのまま保持し、再度本ビットを 1 にセットした場合には、その値から動作を再開します。 0：TCNTJn のカウント動作を停止 1：TCNTJn のカウント動作を許可
0	STRJ0	0	R/W	

【注】 n＝0、1

12.34.2 タイマコントロールレジスタ J0、1（TCRJ0、1）

TCRJ0、1 は、8 ビットの読み出し／書き込み可能なレジスタで、タイマ J に含まれる各サブブロック（タイマ J0、タイマ J1）の動作モードを指定します。

TCRJ0、1 は、バイト単位で読み出し／書き込みが可能です。

TCRJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	CKSELJn[2:0]			—	NCEJn	IOJn[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	CKSELJn[2:0]	000	R/W	クロックセレクト Jn サブブロックのタイマカウンタ Jn（TCNTJn）のクロックソースを指定します。ただし、B'110 および B'111 を指定しないでください。誤って指定した場合の動作は保証されません。 000：クロックパス 0 001：クロックパス 1 010：クロックパス 2 011：クロックパス 3 100：クロックパス 4 101：クロックパス 5 110：設定禁止 111：設定禁止
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2	NCEJn	0	R/W	ノイズキャンセライネーブル Jn 外部入力（TIJn）に対してノイズキャンセル機能の有効／無効を選択します。 本ビットを 1 にセットした後、外部入力（TIJn）のレベル変化を検出すると、共通制御部内のノイズキャンセルモードレジスタ（NCMR）の設定にあわせて、後続エッジキャンセルモードあるいは先行エッジキャンセルモードのいずれかの処理を開始します。 後続エッジキャンセルモードでは、入力信号のレベル変化を検出すると、ノイズキャンセル後の信号として、その変化を出力します。また同時に、対応するノイズキャンセルカウンタ Jn（NCNTJn）がアップカウントを開始します。このノイズキャンセルカウンタがノイズキャンセルレジスタ Jn（NCRJn）の値とコンペアマッチするまでの間、入力信号のレベル変化はマスクされます。コンペアマッチ時には、そのときの入力信号のレベルがノイズキャンセル後の信号として出力されます。 NCNTJn がカウント動作中に本ビットを 0 にクリアした場合、クリア後もコンペアマッチするまでカウント動作は停止せず、その間も入力信号のレベル変化はマスクされ続けます。 先行エッジキャンセルモードでは、入力信号のレベル変化を検出すると、対応するノイズキャンセルカウンタ Jn（NCNTJn）がアップカウントを開始します。NCNTJn の値がノイズキャンセルレジスタ Jn（NCRJn）の値とコンペアマッチするまでの間に入力信号のレベルに変化がなければ、コンペアマッチタイミングで初めてレベル変化をノイズキャンセル後の信号として出力します。コンペアマッチまでに入力信号レベルが変化した場合はノイズとみなされ、ノイズキャンセラは入力信号のレベル変化がなかったものとしてノイズキャンセル後の信号を変化させません。 NCNTJn がカウント動作中にこれらのビットを 0 にクリアした場合、クリア後もコンペアマッチするか、あるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。各キャンセルモードの動作例は、図 12.1 および図 12.2 を参照してください。 0：TIJn 入力のノイズキャンセラ機能を無効にする 1：TIJn 入力のノイズキャンセラ機能を有効にする

ビット	ビット名	初期値	R/W	説　　明
1、0	IOJn[1:0]	00	R/W	I/O コントロール Jn インプットキャプチャのトリガとなる外部入力（TIJn）のエッジ検出を選択します。本ビットで選択したエッジを検出すると、タイマカウンタ Jn（TCNTJn）の値が、対応する FIFO レジスタ J（FIFOJn）に転送されます。 エッジ検出は、ノイズキャンセラ通過後の信号に対して行われます。ノイズキャンセル機能が無効であれば外部入力（TIJn）に対して、ノイズキャンセル機能が有効であればノイズキャンセル後の信号に対してエッジ検出が行われることになります。 エッジの検出は、Pφクロックに同期して行われます。また、外部入力信号の周期が、Pφクロック周期の 2 倍以上でなければ正しくエッジ検出は行われませんのでご注意ください。 00：TIJn のインプットキャプチャ禁止 01：TIJn の立ち上がりでインプットキャプチャ 10：TIJn の立ち下がりでインプットキャプチャ 11：TIJn の立ち上がり／立ち下がりの両エッジでインプットキャプチャ

【注】　n＝0、1

12.34.3 FIFO コントロールレジスタ J0、1（FCRJ0、1）

FCRJ0、1 は、8 ビットの読み出し／書き込み可能なレジスタで、タイマ J に含まれる各サブブロック（タイマ J0、タイマ J1）の FIFO レジスタ動作を制御します。

FCRJ0、1 は、バイト単位で読み出し／書き込みが可能です。

FCRJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	FIFO ENJn	—	FVCR ENJn	FRS TJn	—	—	FDFTR GJn[1:0]	
初期値：	0	0	0	0*	0	0	0	0
R/W：	R/W	R	R/W	W	R	R	R/W	R/W

【注】 n ＝0、1
* 0の書き込みは無効です。また、1を書き込んでも値は保持されません。
なお、読み出し値は常に0になります。

ビット	ビット名	初期値	R/W	説　　明
7	FIFOENJn	0	R/W	FIFO レジスタイネーブル Jn タイマサブブロック J0、J1 の FIFO レジスタ Jn（FIFOJn）の有効／無効を設定します。本ビットが 0 で FIFO レジスタが無効となっていれば、TIJn 端子にエッジ入力があっても、TCNTJn 値は FIFO レジスタに取り込まれません。ただし、FVCRENJn が 1 に設定されている場合は、本ビットが 0 であっても、OCRJn コンペアマッチ後、FIFO がフルになるまでの間は、エッジ入力ごとに TCNTJn 値を FIFO レジスタに取り込みます。 0：FIFO レジスタ Jn は無効 1：FIFO レジスタ Jn は有効
6	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	FVCRENJn	0	R/W	FIFO 有効化制御イネーブル Jn FIFOENJn が 0 で FIFO レジスタが無効であるとき、コンペアマッチレジスタ Jn（OCRJn）のコンペアマッチタイミングから、FIFO がフル（FDFTRGJn によってフルとする基準のデータ数を設定可能）になるまでの間、FIFO レジスタを有効にすることができます。なお、FIFOENJn が 1 であれば、本ビットの設定にかかわらず、常に FIFO レジスタは有効になります。 0：OCRJn でのコンペアマッチで FIFO を有効にしない 1：OCRJn のコンペアマッチ後、FIFO フルまで FIFO レジスタを有効にする
4	FRSTJn	0*[1]	W	FIFO データレジスタリセット Jn FIFO レジスタ内のキャプチャデータを無効にし、データが空の状態に FIFO レジスタをリセットします。ただし、FIFO レジスタはリセットされても、1 にセットされた FDFFJn フラグ、FDOVFJn フラグのクリアは行いません。 0：何の動作もしない 1：FIFO レジスタをリセットする
3、2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
1、0	FDFTRGJn [1:0]	00	R/W	FIFO データフルトリガ Jn タイマ J ステータスレジスタ（TSRJn）の FDFFJn フラグをセットする基準となるデータ数を指定します。FIFO レジスタが有効であるとき、FIFO レジスタに格納されたキャプチャデータが設定トリガ数以上になったとき、FDFFJn は 1 にセットされます。また、FIFOENJn が 0、FVCRENJn が 1 であり、コンペアマッチによって FIFO レジスタが有効になっていれば、キャプチャデータが設定トリガ数以上になったとき、FIFO レジスタは無効になります。 00：9 個 01：6 個 10：4 個 11：2 個

【注】 n＝0、1

*1 0 の書き込みは無効です。また、1 を書き込んでも値は保持されません。なお、読み出し値は常に 0 になります。

*2 FIFOENJn を 0、かつ FVCRENJn を 1 にセットしたときは、FIFO データフル割り込みを CPU で発生させる場合のみ FDFTRGJn[1:0]を 00 に設定可能です。このとき、FIFO データフル割り込み発生時は、サービスルーチン内で、全 FIFO データを読み出した後、FRSTJn ビットで FIFO レジスタをリセットし、その後、FDFFJn をクリアしてください。

12.34.4 タイマステータスレジスタ J0、1（TSRJ0、1）

TSRJ0、1 は、8 ビットの読み出し／書き込み可能なレジスタで、タイマカウンタ Jn（TCNTJn）のオーバフローの発生、コンペアマッチレジスタ Jn（OCRJn）でのコンペアマッチの発生を示します。また、FIFO レジスタがオーバフローしたこと、FIFO レジスタ内のデータが設定値以上になったことを示すフラグがあります。

本レジスタの FIFO ステータスフラグ Jn（FVLDFJn）およびコンペアマッチフラグ Jn（CMFJn）を除いたフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ Jn（TIERJn）の対応するビットの設定によって割り込みが許可されていれば、DMAC へ DMA 転送を要求したり、DMAC 経由で CPU に割り込みを要求したりすることができます。

TSRJ0、1 は、バイト単位で読み出し／書き込みが可能です。

TSRJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H’00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	FVLD FJn	CMF Jn	OVFJn	FDOV FJn	FDF FJn
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 n ＝0、1

* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
1の書き込みは無効です。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
4	FVLDFJn	0	R	FIFO ステータスフラグ Jn FIFO レジスタの有効／無効状態を示します。本ビットは読み出し専用であり、ソフトウェアで 1 にセットしたり、0 にクリアしたりすることはできません。 本ビットの読み出し値が 1 であるとき、本ビットに対応する FIFO レジスタ Jn（FIFOJn）が有効状態であることがわかります。このとき、TIJn 端子のエッジ入力によって、TCNTJn 値を FIFO レジスタに取り込みます。 FIFOENJn ビットが 1 であれば、本ビットは常に 1 となります。FIFOENJn ビットが 0 であり、FVCRENJn が 1 であるときは、OCRJn のコンペアマッチによって FVLDFJn が 1 にセットされ、FIFO レジスタがフルになると 0 にクリアされます。FIFOENJn と FVCRENJn の両方が 0 であれば、本ビットは常に 0 となります。 0：FIFO レジスタが有効状態でない ［クリア条件］ • FIFOENJn を 0 にクリアしたとき • FIFOENJn が 0 で、FVCRENJn が 1 の場合で、FIFO レジスタに FDFTRGJn の設定値以上のキャプチャデータが格納されたとき 1：FIFO レジスタが有効状態である ［セット条件］ • FIFOENJn を 1 にセットしたとき • FIFOENJn が 0 で FVCRENJn が 1 の場合に、OCRJn でコンペアマッチが発生したとき
3	CMFJn	0	R/(W)*	コンペアマッチフラグ Jn TCNTJn と OCRJn とのコンペアマッチの検出を示します。本ビットの読み出し値が 1 であるとき、本ビットに対応するコンペアマッチレジスタ Jn（OCRJn）でコンペアマッチが発生したことがわかります。なお、本ビットをソフトウェアにより 1 にセットすることはできません。 0：OCRJn と TCNTJn のコンペアマッチの検出なし ［クリア条件］ • CMFJn＝1 の状態を読み出した後、CMFJn に 0 を書き込んだとき 1：OCRJn と TCNTJn のコンペアマッチを検出 ［セット条件］ • TCNTJn の値と OCRJn の値が一致したとき

ビット	ビット名	初期値	R/W	説　　明
2	OVFJn	0	R/(W)*	オーバフローフラグ Jn タイマカウンタ Jn（TCNTJn）のオーバフローの発生を示します。本ビットの読み出し値が 1 であるとき、TCNTJn でオーバフローが発生したことがわかります。なお、本ビットをソフトウェアにより 1 にセットすることはできません。 0：TCNTJn にオーバフローなし ［クリア条件］ • OVFJn＝1 の状態を読み出した後、OVFJn に 0 を書き込んだとき 1：TCNTJn にオーバフロー発生 ［セット条件］ • TCNTJn の値がオーバフロー（H'FFFF→H'0000）したとき
1	FDOVFJn	0	R/(W)*	FIFO データオーバフローフラグ Jn FIFO レジスタにキャプチャデータが 9 個埋まっている状態で、次のキャプチャが発生したことを示します。本ビットの読み出し値が 1 であるとき、FIFOJn でデータのオーバフローが発生し、キャプチャデータが失われたことがわかります。なお、本ビットをソフトウェアにより 1 にセットすることはできません。 0：FIFO 内のデータは正常であることを示す ［クリア条件］ • FDOVFJn＝1 の状態を読み出した後、FDOVFJn に 0 を書き込んだとき 1：FIFO が 9 個のキャプチャデータで埋まっている状態で、次のキャプチャが起こったことを示す ［セット条件］ • FIFOJn に 9 個のキャプチャデータが格納された状態で、次のキャプチャ動作が行われたとき

ビット	ビット名	初期値	R/W	説　　明
0	FDFFJn	0	R/(W)*	FIFO データフルフラグ Jn FIFO レジスタに FIFO コントロールレジスタ Jn（FCRJn）の FDFTRGJn ビットで指定した数以上のキャプチャデータが格納されたことを示します。本ビットの読み出し値が 1 であるとき、FIFOJn 内に指定値以上のキャプチャデータが格納されており、FIFO レジスタからキャプチャデータを読み出すことが可能であることがわかります。 なお、本ビットをソフトウェアにより 1 にセットすることはできません。 フラグのクリアは、FDFFJn が 1 の状態でフラグを読み出した後に 0 を書き込むことで行います。ただし、FIFOJn 内のキャプチャデータを読み出すことによって、FIFO レジスタ内の格納データを FDFTRGJn ビットで指定した数よりも少なくしておく必要があります。また、1 を読み出さずに 0 を書き込んだ場合、その書き込みは無視されます。 また、FIFO データフル割り込みによる DMA 転送要求によって、FIFO レジスタから DMA 転送による読み出しが行われた場合にも本ビットは 0 にクリアされます。ただし、DMA 転送による読み出し後も、FIFO レジスタ内の格納データが FDFTRGJn ビットで指定した数を超えている場合には、再度本ビットは 1 にセットされます。 0：FIFO 内のデータ数が FDFTRGJn の設定値より少ないことを示す ［クリア条件］ • FDFFJn＝1 の状態を読み出した後、FDFFJn に 0 を書き込んだとき • FIFO データフル割り込みによる DMA 転送要求が DMAC によって受け付けられたとき 1：FIFO 内のデータ数が FDFTRGJn の設定値以上であることを示す ［セット条件］ • FIFOJn に FTRGJn ビットの指定値以上のキャプチャデータが格納されるとき

【注】 n＝0、1

* フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。1 の書き込みは無効です。

12.34.5 タイマインタラプトイネーブルレジスタ J0、1（TIERJ0、1）

TIERJ0、1 は、8 ビットの読み出し／書き込み可能なレジスタで、タイマステータスレジスタ J（TSRJ）のステータスフラグに対応する割り込みを許可するか禁止するかを指定します。また DMAC を設定することにより、この FIFO データフル割り込み要求で、FIFO レジスタの値を DMA 転送によって読み出すことが可能です。

TIERJ0、1 は、バイト単位で読み出し／書き込みが可能です。

TIERJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVEJn	FDOVEJn	FDFEJn
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	OVEJn	0	R/W	オーバフローインタラプトイネーブル Jn このフラグにより、タイマカウンタ Jn（TCNTJn）のオーバフローに対応するステータス（OVEJn）の割り込みを許可するか禁止するかを指定します。 0：OVEJn による割り込みを禁止 1：OVEJn による割り込みを許可
1	FDOVEJn	0	R/W	FIFO データオーバフローインタラプトイネーブル Jn このフラグにより、FIFO レジスタ Jn（FIFOJn）のオーバフローに対応するステータス（FDOVEJn）の割り込みを許可するか禁止するかを指定します。 0：FDOVEJn による割り込みを禁止 1：FDOVEJn による割り込みを許可
0	FDFEJn	0	R/W	FIFO データフルインタラプトイネーブル Jn このフラグにより、FIFO レジスタ Jn（FIFOJn）のデータフルに対応するステータス（FDFEJn）の割り込みを許可するか禁止するかを指定します。また、割り込み要求出力許可状態で DMAC を設定することにより、割り込み要求による DMA 転送の起動が行えます。 0：FDFEJn による割り込みを禁止 1：FDFEJn による割り込みを許可

12.34.6 タイマカウンタ J0、1（TCNTJ0、1）

TCNTJ0、1 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、入力クロックによりアップカウント動作を行います。対応するコントロールレジスタの設定に応じて、入力クロックにクロックバス 0～5 のいずれかを選ぶことができます。また、TIJn 端子のエッジ入力によって、カウント値は H'0000 にクリアされます。

TCNTJ0、1 は、ワード単位でのみ読み出し／書き込みが可能です。

TCNTJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTJn[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
15～0	TCNTJn[15:0]	すべて 0	R/W	タイマカウンタ Jn アップカウンタ

12.34.7 コンペアマッチレジスタ J0、1（OCRJ0、1）

OCRJ0、1 は、16 ビットの読み出し／書き込み可能なレジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Jn（TCNTJn）に対するアウトプットコンペアレジスタの機能を持っています。

FIFO コントロールレジスタ Jn（FCRJn）の FIFOENJn が 0、FVCRENJn が 1 のとき、OCRJn のコンペアマッチによって FIFO レジスタは有効状態（FVLDFJn に 1 セット）となります。

OCRJ0、1 は、ワード単位でのみ読み出し／書き込みが可能です。

OCRJ0、1 は、パワーオンリセットおよびハードウェアスタンバイによって H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OCRJn[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
15～0	OCRJn[15:0]	すべて 1	R/W	コンペアマッチ Jn コンペアマッチ値を指定します。

12.34.8 FIFO レジスタ J0、1（FIFOJ0、1）

FIFOJ0、1 は、16 ビットの読み出し専用レジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、タイマカウンタ Jn（TCNTJn）9 個分のキャプチャデータを格納できます。CPU は、FIFOJn から読み出しはできますが、書き込みはできません。FIFOJn にキャプチャデータがない状態でデータを読み出した場合、読み出し値は不定になります。

FIFO レジスタに 9 個のキャプチャデータが格納された状態で、それ以降にキャプチャが発生すると、新たなキャプチャデータは失われます。新たなキャプチャが発生する前に FIFO レジスタの値を読み出して、空き領域を確保するようにしてください。

FIFOJ0、1 は、ワード単位でのみ読み出し可能です。

FIFOJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFODJn[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
15～0	FIFODJn[15:0]	すべて 0	R	FIFO データ Jn FIFO レジスタの格納データ

12.34.9 FIFO データ数レジスタ J0、1（FDNRJ0、1）

FDNRJ0、1 は、8 ビットの読み出し専用レジスタです。本レジスタは各サブブロックに 1 個ずつ用意されており、FIFOJ に格納されているキャプチャデータの数を示します。本レジスタに値を書き込むことはできません。

FIFO レジスタへのキャプチャが行われると、FIFO データ数は 1 インクリメントし、FIFO レジスタからの読み出し（1 ワードリード）が行われると 1 デクリメントされます。

FIFO コントロールレジスタ Jn（FCRJn）の FRSTJn ビットで FIFO レジスタをリセットすると、FIFO データ数も H'0 にリセットされます。

FDNRJ0、1 は、バイト単位で読み出しが可能です。

FDNRJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	FDNJn[3:0]			
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3～0	FDNJn[3:0]	0000	R	FIFO データ数 Jn FIFO レジスタ内に格納されたキャプチャデータ数を示します。 H'0～H'9 の値をとります。H'0 はキャプチャデータが存在しないことを、H'9 はキャプチャデータで FIFOJn が埋まっていることを示します。

12.34.10 ノイズキャンセルカウンタ J0、1（NCNTJ0、1）

NCNTJ0、1 は、8 ビットの読み出し／書き込み可能なレジスタです。

タイマコントロールレジスタ J（TCRJn）のノイズキャンセルイネーブルビット（NCEJ1、NCEJ0）でノイズキャンセラ機能を有効にしたとき、外部入力端子（TIJ0、TIJ1）からの信号をトリガとして、アップカウント動作を行います。プリスケーラから供給されるノイズキャンセラ用カウントクロックをカウントソースとして動作します。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ J ノイズキャンセルモードビット（NCMJ）の設定によって、後続エッジキャンセルモード、および先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCEJnビットが1であり、NCNTJnがカウント停止しているとき、TIJnの入力信号レベルが変化すると、NCNTJnはアップカウント動作を開始します。カウント値がノイズキャンセルレジスタJn（NCRJn）と一致すると、次のPφクロックに同期してカウント値をH'00にクリアしてカウント動作を停止します。

  NCNTJnは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTJEビットの設定にかかわらずカウント動作を行います。

カウント動作開始時のレベル変化は、そのままノイズキャンセル後の信号として出力されエッジ検出の対象となりますが、以降カウント値がNCRJnと一致するまでの間、すべての入力レベルの変化がマスクされるため、ノイズキャンセル後の信号は変化しません。カウント値がNCRJnと一致したときは、そのときの入力信号レベルをノイズキャンセル後の信号として出力します。

カウント動作中にNCEJnビットがクリアされても、カウント値がNCRJnと一致するまでの間はカウント動作を継続します。その間も入力信号はマスクされ続けます。

- **先行エッジキャンセルモード**

NCEJnビットが1でありNCNTJnがカウント停止しているとき、TIJnの入力信号レベルが変化すると、NCNTJnはアップカウント動作を開始します。カウント動作中に入力信号のレベルが変化するか、あるいはカウント値がノイズキャンセルレジスタJn（NCRJn）と一致した場合には、次のPφクロックに同期してカウント値をH'00にクリアしカウント動作を停止します。

NCNTJnは、ATU-IIIマスタイネーブルレジスタ（ATUENR）のTJEビットの設定にかかわらずカウント動作を行います。

ノイズキャンセル後の信号は、カウント値がNCRJnと一致したときのみ、カウント開始時のレベル変化にあわせて変化します。NCRJnと一致する前にカウント動作が停止した場合には、カウント開始時のレベル変化およびカウント停止時のレベル変化はマスクされるため、ノイズキャンセル後の信号は変化しません。

カウント動作中にNCEJnビットがクリアされても、コンペアマッチあるいは入力信号レベルに変化があるまでの間、カウント動作は停止せずノイズキャンセル処理を継続します。

NCNTJ0、1 は、バイト単位で読み出し／書き込みが可能です。

NCNTJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCCNTJn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
7～0	NCCNTJn[7:0]	すべて 0	R/W	ノイズキャンセルカウント Jn 8 ビットカウント値

12.34.11 ノイズキャンセルレジスタ 0、1（NCRJ0、1）

NCRJ0、1 は、8 ビットの読み出し／書き込み可能なレジスタで、ノイズキャンセルカウンタ（NCNTJ1、NCNTJ0）の上限値を設定します。H'FF を設定することにより、最大 1.64msec（Pφ＝20MHz 時）のノイズをキャンセルすることができます。

共通制御部にあるノイズキャンセルモードレジスタ（NCMR）のタイマ J ノイズキャンセルモードビット（NCMJ）の設定によって、後続エッジキャンセルモードおよび先行エッジキャンセルモードの 2 通りの動作を行います。

- **後続エッジキャンセルモード**

  NCNTJ1、NCNTJ0のカウント動作中、後続する入力信号のレベル変化がマスクされます。NCNTJ1、NCNTJ0とNCRJ1、NCRJ0の値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTJ1、NCNTJ0のカウント値をクリアし、カウント動作を停止させて入力信号のマスク解除を行います。

- **先行エッジキャンセルモード**

  NCNTJ1、NCNTJ0のカウント動作中は、ノイズキャンセラの処理待ち状態となります。NCNTJ1、NCNTJ0とNCRJ1、NCRJ0の値は常時比較されており、コンペアマッチが発生すると、次のPφクロックに同期してNCNTJ1、NCNTJ0のカウント値をクリアし、カウント動作を停止させると同時に、ノイズキャンセラはノイズキャンセル後の入力信号の出力を行います。

NCRJ0、1 は、バイト単位で読み出し／書き込みが可能です。

NCRJ0、1 は、パワーオンリセットおよびハードウェアスタンバイ時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	NCTJn[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n ＝0、1

ビット	ビット名	初期値	R/W	説　　明
7～0	NCTJn[7:0]	すべて 0	R/W	ノイズキャンセルタイム Jn TIJn ノイズキャンセル期間（8 ビットコンペア値）

12.35 タイマ J の動作説明

TCNTJn のカウントクロックはクロックバスから TCRJn レジスタによって選択します。ATUENR レジスタの TJE ビット、および TSTR の STRJn ビットが 1 のとき、TCNTJn は動作可能となります。また、TCNTJn は、TIJn 端子からのエッジ入力により H'00 にクリアされます。TIJn 端子のエッジ検出は、TCRJn の IOJn ビットによって、立ち上がり、立ち下がり、立ち上がり／立ち下がりの両エッジのいずれかを設定できます。

FCRFJn の FIFOEN ビットを 1 にすると、TIJn 端子からのエッジ入力により、TCNTJn のカウント値を FIFOJn に格納（キャプチャ）します。FIFO 内に格納されているキャプチャデータ数は、FDNRn レジスタで参照できます。

FCRJn の FDFTRGJn ビットに設定した数以上のキャプチャデータを FIFOJn が取り込んだとき、TSRJn の FDFFJn が 1 にセットされます。

FCRFJn の FIFOENJn ビットが 0、FVCRENJn ビットが 1 のとき、TCNTJn と OCRJn とのコンペアマッチにより FIFOJn は有効状態（TSRJn の FVLDFJn が 1）となります。この状態で、TIJn 端子からのエッジ入力により FIFOJn が FDFTRGJn ビットの設定値以上のキャプチャデータを取り込むと、FIFOJn の有効状態は解除されます。

以下にサブブロック 0 での動作例を示します。ここで TCNTJ0 カウントクロックは、カウンタ TCNTJ0 がカウント動作やクリア動作を行うタイミングを示した仮想的な信号です。

図 12.51 は、立ち下がりエッジ検出で、FIFOEN ビットを 1、FDFTRGJ0 ビットを B'11 に設定したとき、エッジ入力により FDFFJ0 がセットされるまでの動作例です。

図 12.52 は、立ち下がりエッジ検出で、FIFOEN ビットが 0、FVCRENJ0 ビットが 1、FDFTRGJ0 が B'00 設定のとき、エッジ入力により FDFF0 フラグがセットされる動作例です。

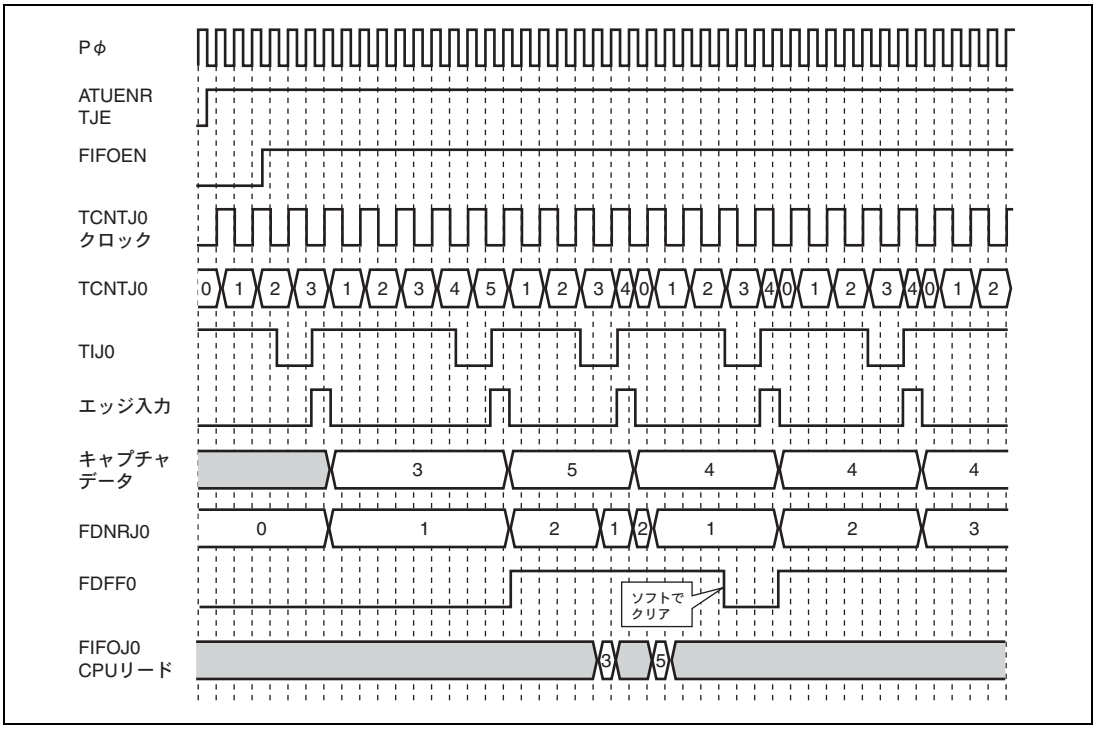


図 12.51 タイマ J 動作例（1）

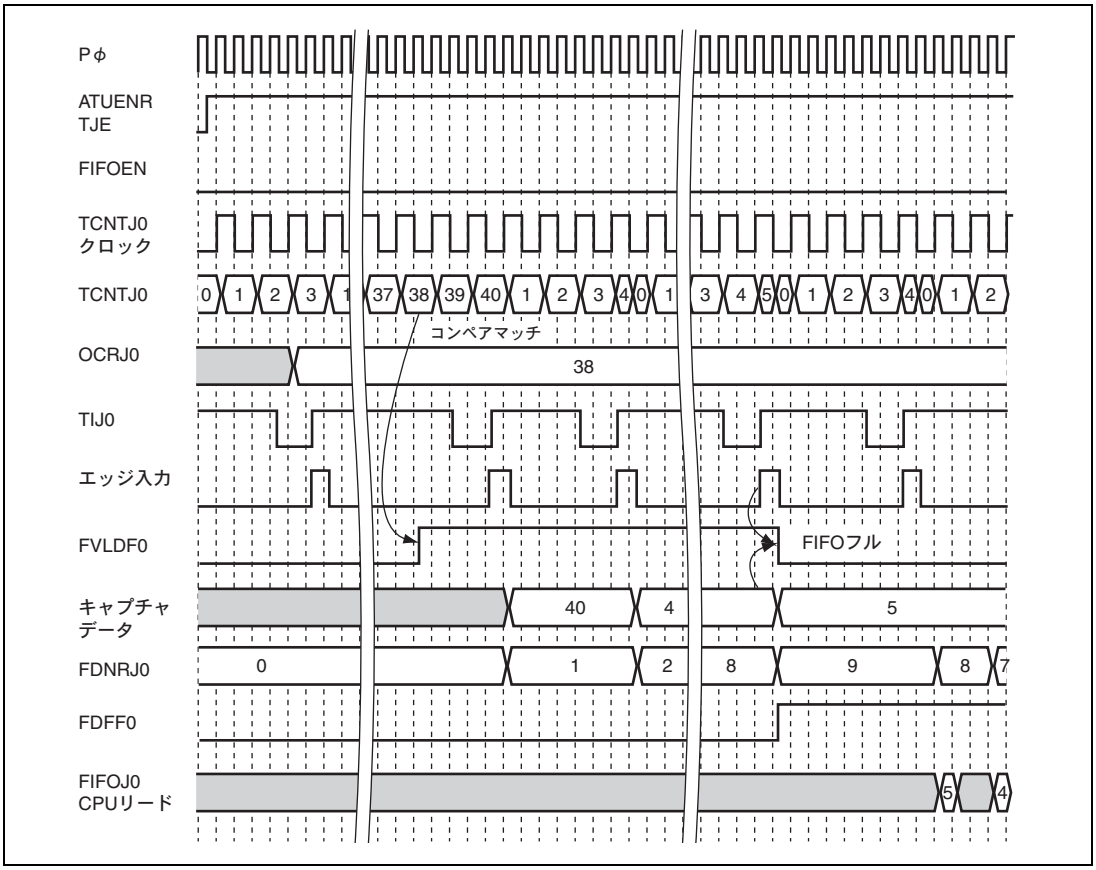


図 12.52 タイマ J 動作例（2）

12.36 使用上の注意事項

ATU-III 動作中、次のような競合や動作が起こりますので注意してください。

本節では、各タイマのサブブロック番号、チャネル番号を、それぞれ n、m と表記しています。n、m それぞれの値はタイマによって異なりますので、詳細については各タイマの説明を参照してください。

12.36.1 インプットキャプチャ競合動作

（1） 汎用レジスタへの書き込みとインプットキャプチャの競合

汎用レジスタへの書き込みとインプットキャプチャが同時に発生した場合には書き込みが優先されます（**図 12.53** の左側に示す波形）。ただし、インプットキャプチャステータスを備える場合、インプットキャプチャフラグはセットされます。

図 12.53 の右側に示す波形は、書き込みがインプットキャプチャよりも 1Pφサイクル先に起こった場合を表しています。

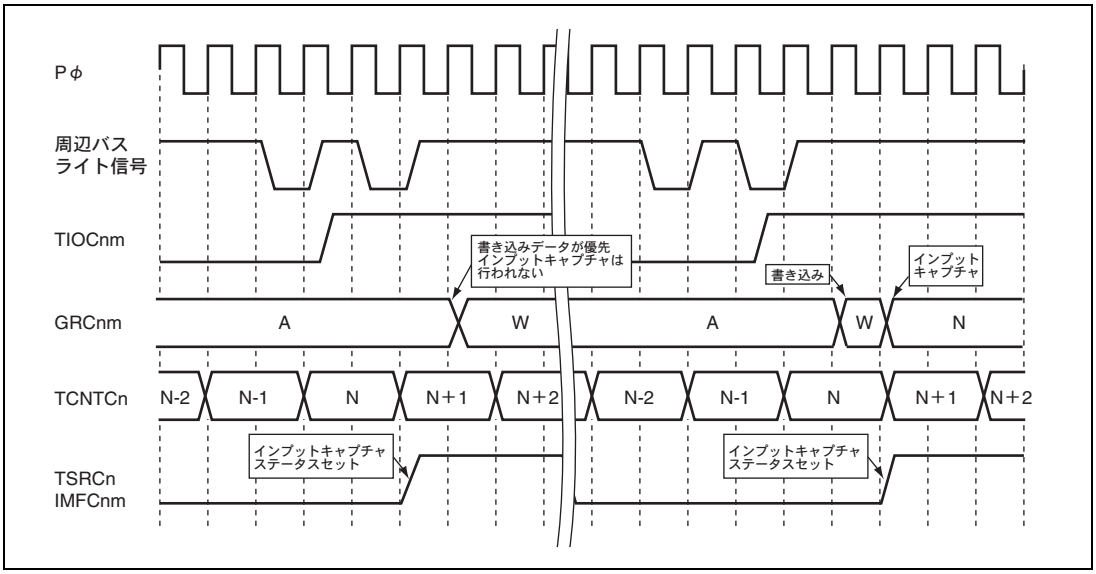


図 12.53 GRCnm 書き込みとインプットキャプチャの競合

表 12.19 汎用レジスタへの書き込みとインプットキャプチャの競合動作関連リソース一覧

対象タイマ	カウンタ（キャプチャ対象）	キャプチャレジスタ	ステータス
タイマ C	TCNTCn	GRCnm	IMFCnm
タイマ D	TCNT2Dn	GRDnm	CMFBDnm
タイマ F	ECNTAFn	GRAFn	ICFFn
	ECNTBFn	GRBFn	
	ECNTCFn	GRCFn	
	ECNTCFn＋GRDFn	GRDFn	

(2) カウンタへの書き込みとインプットキャプチャの競合

カウンタへの書き込みとインプットキャプチャが同時に発生した場合、書き込まれる直前の値がキャプチャされます（図 12.54 の左側に示す波形）。図 12.54 の右側に示す波形は、書き込みがインプットキャプチャよりも 1Pφサイクル先に起こった場合で、書き込んだ値がキャプチャされる様子を表しています。

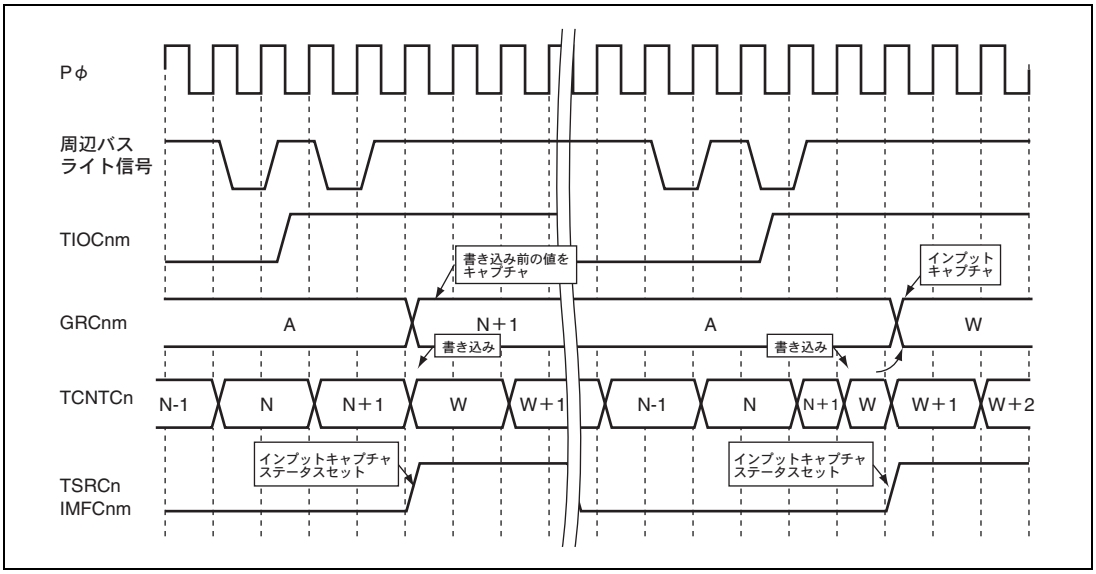


図 12.54 TCNTCn 書き込みとインプットキャプチャの競合

表 12.20 カウンタへの書き込みとインプットキャプチャの競合動作関連リソース一覧

対象タイマ	カウンタ（キャプチャ対象）	キャプチャレジスタ	ステータス
タイマ A	TCNTAn	ICRAn	ICFAn
タイマ B	TCNTB0	ICRB0	ICFB0
	TCNTB0＋ICRB1	ICRB1	
タイマ C	TCNTCn	GRCnm	IMFCnm
タイマ D	TCNT1Dn	OSBRDn	－
	TCNT2Dn	GRDnm	－
タイマ F	ECNTAFn	GRAFn	ICFFn
	ECNTBFn	GRBFn	
	ECNTCFn	GRCFn	
	ECNTCFn＋GRDFn	GRDFn	
タイマ J	TCNTJn	FIFOJn	FDOVFJn、FDFFJn

(3) インプットキャプチャステータスのセットとクリアの競合

1 を読み出した後の 0 の書き込みまたは DMAC の ACK によるクリアが、インプットキャプチャによるフラグセットよりも優先して処理されます。**図 12.55** の左側に示す波形は、インプットキャプチャと 0 の書き込みによるクリアが同時に発生し、クリアが行われた例を表しています。一方、**図 12.55** の右側に示す波形は、クリアされた直後にインプットキャプチャが起こった例を表しています。

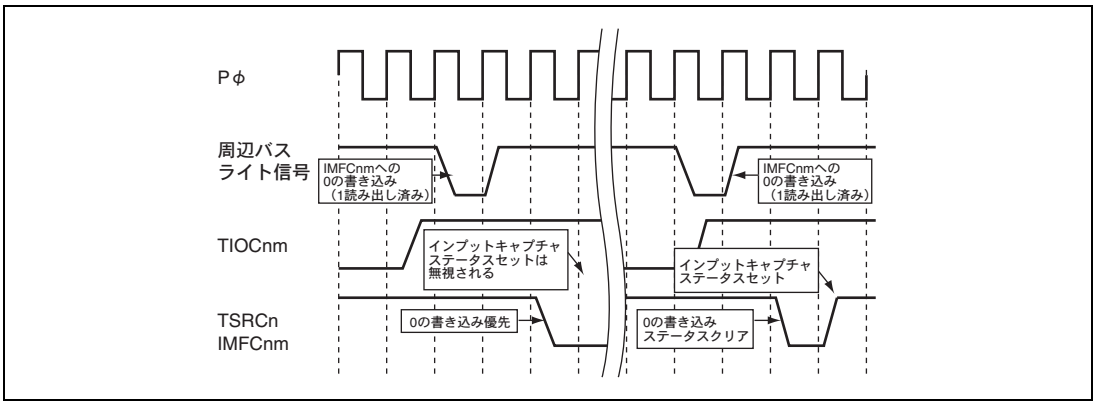


図 12.55 0 の書き込みによるステータスクリアとインプットキャプチャの競合

表 12.21 0 の書き込みによるステータスクリアとインプットキャプチャの競合動作関連リソース一覧

対象フラグ		対象フラグ	
タイマ A	ICFAn	タイマ B	ICFB0
タイマ C	IMFCnm	タイマ F	ICFFn
タイマ J	FDOVFJn、FDFFJn	−	−

図 12.56 に示す例は、インプットキャプチャと DMAC からの ACK 信号によるステータスクリアとの競合の場合です。

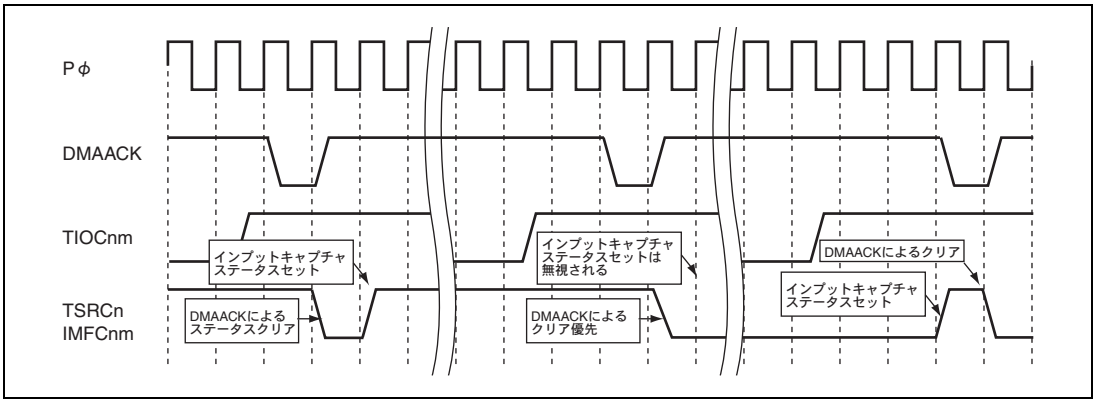


図 12.56 DMAACK によるステータスクリアとインプットキャプチャの競合

表 12.22 DMAACK によるステータスクリアとインプットキャプチャの競合動作関連リソース一覧

対象フラグ	
タイマ C	IMFCn0
タイマ J	FDFFJn

12.36.2 コンペアマッチ競合動作

（1） コンペアマッチ／汎用レジスタへの書き込みとコンペアマッチの競合

コンペアマッチ機能を持つレジスタへの書き込みとコンペアマッチの競合について、タイマ C を例に説明します。

GRCnm と TCNTCn が一致した後に書き込みが行われた場合（図 12.57 の左側に示す波形）は、コンペアマッチステータスはセットされます。GRCnm と TCNTCn が 1Pφサイクルも一致していない場合（図 12.57 の右側に示す波形）にはコンペアマッチは検出されません。

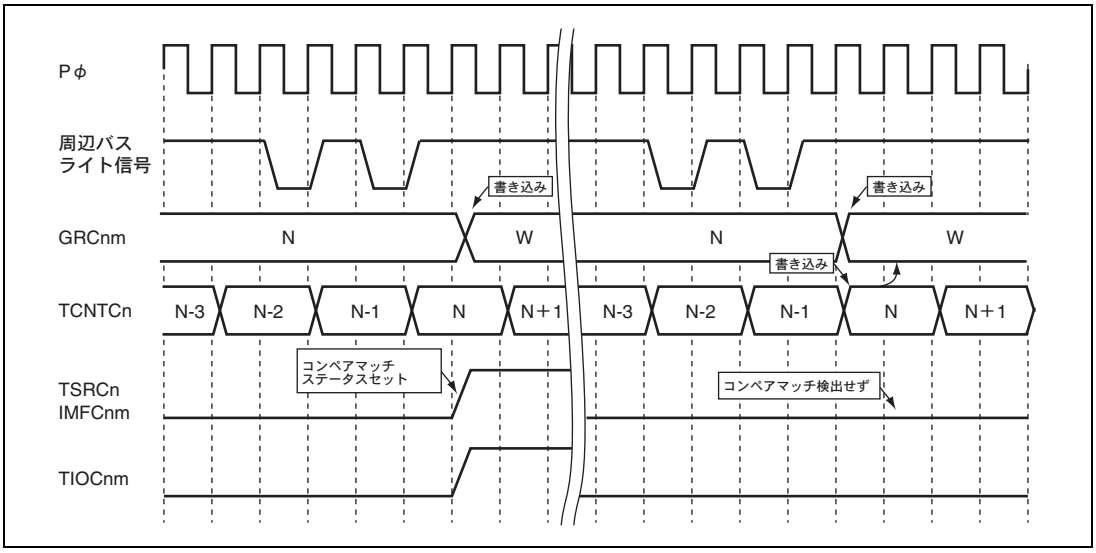


図 12.57 GRCnm への書き込みとコンペアマッチの競合

表 12.23 コンペアマッチ／汎用レジスタへの書き込みとコンペアマッチの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ B	TCNTB1	OCRB1	CMFB1
タイマ C	TCNTCn	GRCnm	IMFCnm
タイマ D	TCNT1Dn	OCRDnm	CMFADnm
	TCNT2Dn	GRDnm	CMFBDnm
タイマ F	ECNTAFn	GRAFn	－
	ECNTBFn	GRBFn	－
	ECNTCFn	GRBFn	OVFCFn
タイマ G	TCNTGn	OCRGn	CMFGn
タイマ H	TCNT1H	OCR1H	CMFH
タイマ J	TCNTJn	OCRJn	CMFJn

【注】 タイマ B のコンペアマッチ B0、コンペアマッチ B6、およびタイマ E のサイクルマッチタイミングはこれらのコンペアマッチと異なります。詳細については、「12.36.2（2）CYLREnm への書き込みと TCNTEnm とのサイクルマッチの競合」を参照してください。

（2） CYLREnm への書き込みと TCNTEnm とのサイクルマッチの競合

CYLREnm への書き込みと TCNTEnm とのコンペアマッチ（サイクルマッチ）が同時に発生した場合の動作を以下に示します。**図 12.58** の左側に示す波形のとおり、サイクルマッチカウンタクリアのタイミングで CYLREnm に書き込まれた場合、TCNTEnm は通常のサイクルマッチ時と同様にカウンタクリアされ、サイクルマッチステータス、PWM 出力も変化します。**図 12.58** の右側に示す波形は、カウンタクリアされるタイミングより早く CYLREnm に書き込まれた場合を示しています。このとき、サイクルマッチは検出されず、TCNTEnm はカウントアップを続けます。

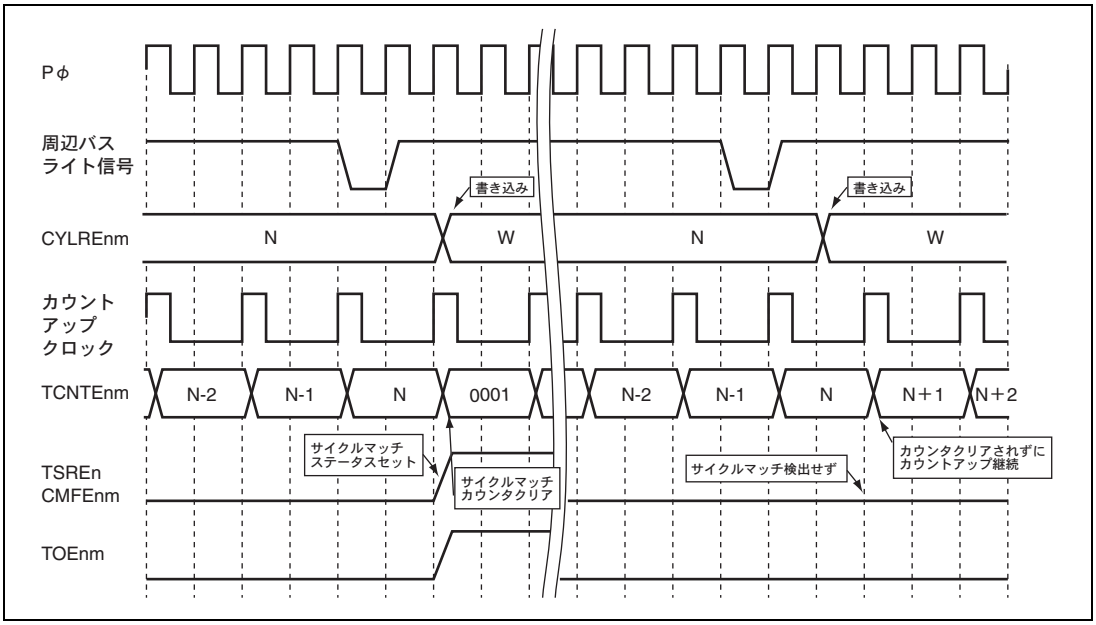


図 12.58 CYLREnm への書き込みとサイクルマッチの競合

表 12.24 サイクルレジスタへの書き込みとタイマカウンタとのサイクルマッチの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペア（サイクル）マッチレジスタ	ステータス
タイマ B	TCNTB0	OCRB0	CMFB0
	TCNTB6	OCRB6/OCRB7	CMFB6
タイマ E	TCNTEnm	CYLREnm	CMFEnm

(3) カウンタへの書き込みとコンペアマッチの競合

カウンタへの書き込みとコンペアマッチの競合を以下に示します。コンペアマッチレジスタとカウンタが一致した後に書き込みが行われた場合（図 12.59 の左側に示す波形）は、コンペアマッチステータスはセットされます。コンペアマッチレジスタとカウンタが 1Pφサイクルも一致していない場合（図 12.59 の右側に示す波形）にはコンペアマッチは検出されません。

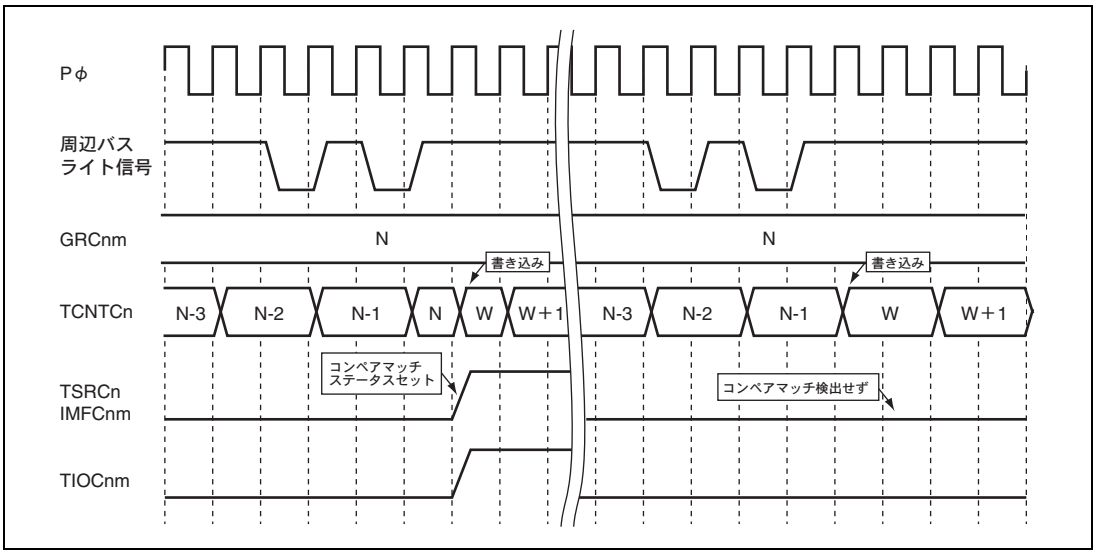


図 12.59 TCNTCn への書き込みとコンペアマッチの競合

表 12.25 カウンタへの書き込みとコンペアマッチの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ B	TCNTB1	OCRB1	CMFB1
タイマ C	TCNTCn	GRCnm	IMFCnm
タイマ D	TCNT1Dn	OCRDnm	CMFADnm
	TCNT2Dn	GRDnm	CMFBDnm
タイマ F	ECNTAFn	GRAFn	－
	ECNTBFn	GRBFn	－
	ECNTCFn	GRBFn	OVFCFn
タイマ G	TCNTGn	OCRGn	CMFGn
タイマ H	TCNT1H	OCR1H	CMFH
タイマ J	TCNTJn	OCRJn	CMFJn

【注】 タイマ B のコンペアマッチ B0、コンペアマッチ B6、およびタイマ E のサイクルマッチタイミングはこれらのコンペアマッチと異なります。詳細については、「12.36.2 (5) TCNTEnm への書き込みとサイクルマッチによるカウンタクリアの競合」を参照してください。

（4） カウンタへの書き込みとコンペアマッチカウンタクリアの競合

コンペアマッチカウンタクリア機能がある場合の波形を以下に示します。カウンタへの書き込みとコンペアマッチによるカウンタクリアが同時に発生した場合、カウンタクリアは行われずに書き込みが優先されます（図 12.60 の左側に示す波形）。ただし、コンペアマッチステータスはセットされます。図 12.60 の右側に示す波形は、TCNTCn への書き込みが 1Pφサイクル後ろにずれた場合の動作を示しています。

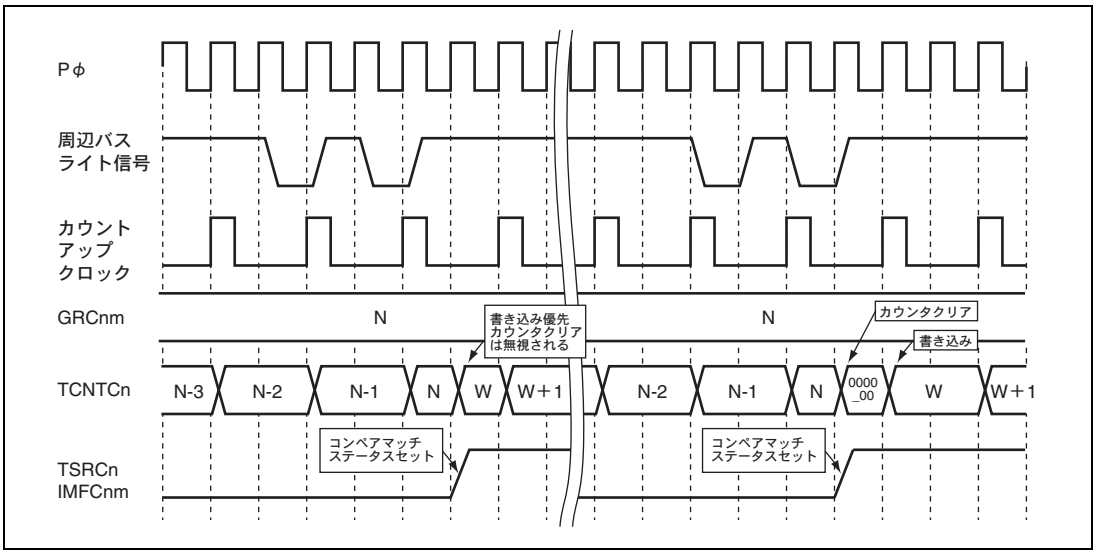


図 12.60 TCNTCn への書き込みとコンペアマッチカウンタクリアの競合

表 12.26 カウンタへの書き込みとコンペアマッチによるカウンタクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ C	TCNTCn	GRCnm	IMFCnm
タイマ F	ECNTAFn	GRAFn	－
	ECNTBFn	GRBFn	－
タイマ G	TCNTGn	OCRGn	CMFGn
タイマ H	TCNT1H	OCR1H	CMFH

（5） TCNTEnm への書き込みとサイクルマッチによるカウンタクリアの競合

TCNTEnm への書き込みとサイクルマッチによるカウンタクリアが同時に発生した場合、カウンタクリアは行われずに TCNTEnm への書き込みが行われます。ただし、サイクルマッチのステータスセット、サイクルレジスタ、デューティレジスタへのリロードは行われます（**図 12.61** の右側に示す波形）。PWM 波形出力もサイクルマッチ時の動作を行います。

一方、**図 12.61** の左側に示す波形は、カウントアップクロックより 1Pφサイクル早く書き込みが行われたときの動作を示しています。

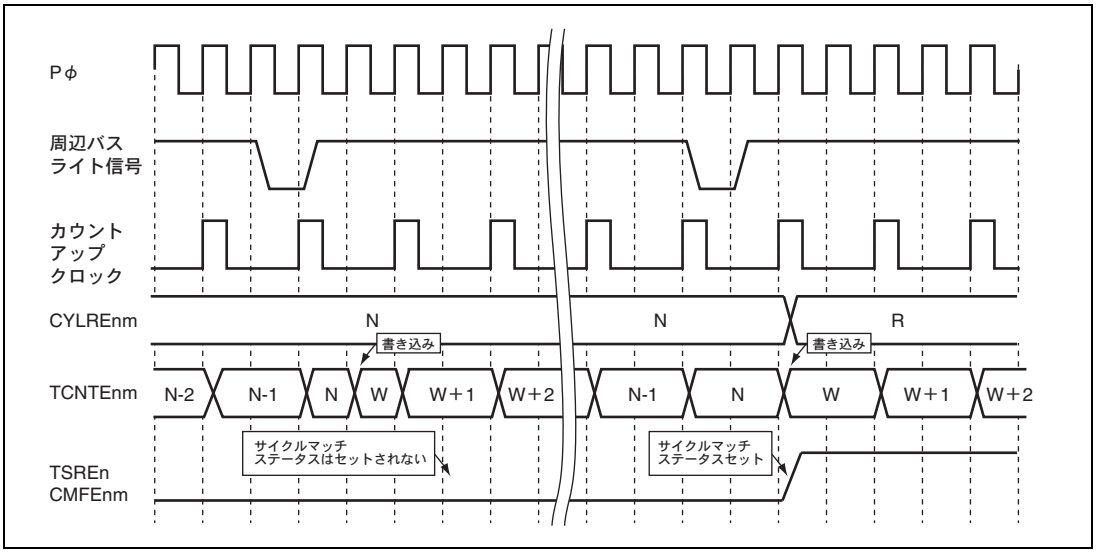


図 12.61 TCNTEnm への書き込みとサイクルマッチによるカウンタクリアの競合

表 12.27 カウンタへの書き込みとサイクルマッチによるカウンタクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペア（サイクル）マッチレジスタ	ステータス
タイマ B	TCNTB0	OCRB0	CMFB0
	TCNTB6	OCRB6/OCRB7	CMFB6
タイマ E	TCNTEnm	CYLREnm	CMFEnm

（6） コンペアマッチステータスのセットとクリアの競合

1 を読み出した後の 0 の書き込みによるクリアがコンペアマッチによるフラグセットに優先して処理されます（図 12.62 の左側に示す波形）。図 12.62 の右側に示す波形は、0 の書き込みによるステータスクリア直後にコンペアマッチが発生した様子を示しています。

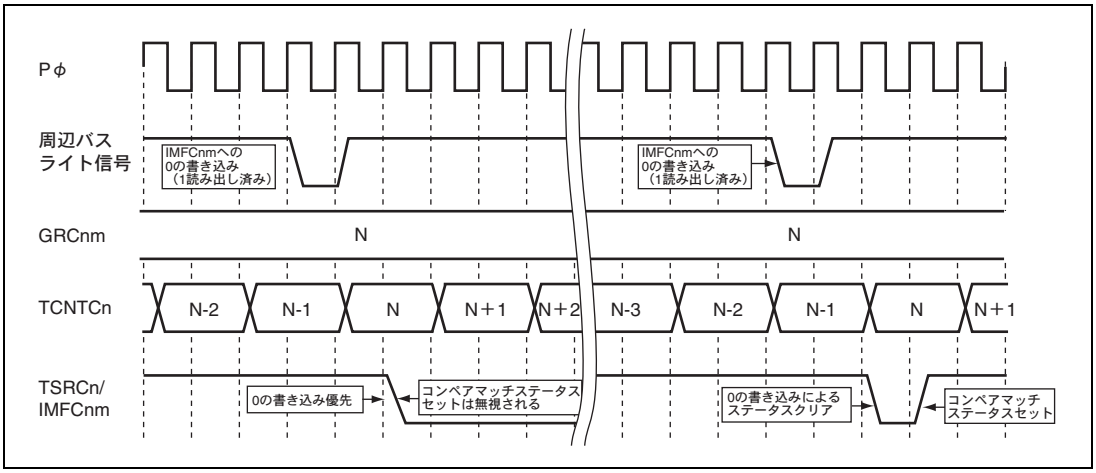


図 12.62 コンペアマッチステータスのセットとクリアの競合

表 12.28 コンペアマッチステータスのセットとクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ B	TCNTB1	OCRB1	CMFB1
タイマ C	TCNTCn	GRCnm	IMFCnm
タイマ D	TCNT1Dn	OCRDnm	CMFADnm
	TCNT2Dn	GRDnm	CMFBDnm
タイマ G	TCNTGn	OCRGn	CMFGn
タイマ H	TCNT1H	OCR1H	CMFH
タイマ J	TCNTJn	OCRJn	CMFJn

【注】 タイマ B のコンペアマッチ B0、コンペアマッチ B6、およびタイマ E のサイクルマッチタイミングはこれらのコンペアマッチと異なります。詳細については「12.36.2（8）サイクルマッチステータスのセットと 0 の書き込みによるクリアの競合」を参照してください。

（7） コンペアマッチステータスのセットと DMAACK によるクリアの競合

コンペアマッチステータスのセットと DMAACK 信号が同時に発生した場合、DMAACK によるステータスクリアが優先して行われます。

表 12.29 コンペアマッチステータスのセットと DMAACK によるクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	サイクルマッチレジスタ	ステータス
タイマ G	TCNTGn	OCRGn	CMFGn

（8） サイクルマッチステータスのセットと 0 の書き込みによるクリアの競合

サイクルマッチステータスのセット（サイクルマッチ）と 1 を読み出した後の 0 の書き込みが同時に発生した場合、0 の書き込みが優先して行われます。図 12.63 の左側に示す波形は、サイクルマッチによるフラグセットと 0 の書き込みによるクリアが同時に発生した例を表しています。図 12.63 の右側に示す波形は、クリアが 1 サイクル先に発生した例を示しています。

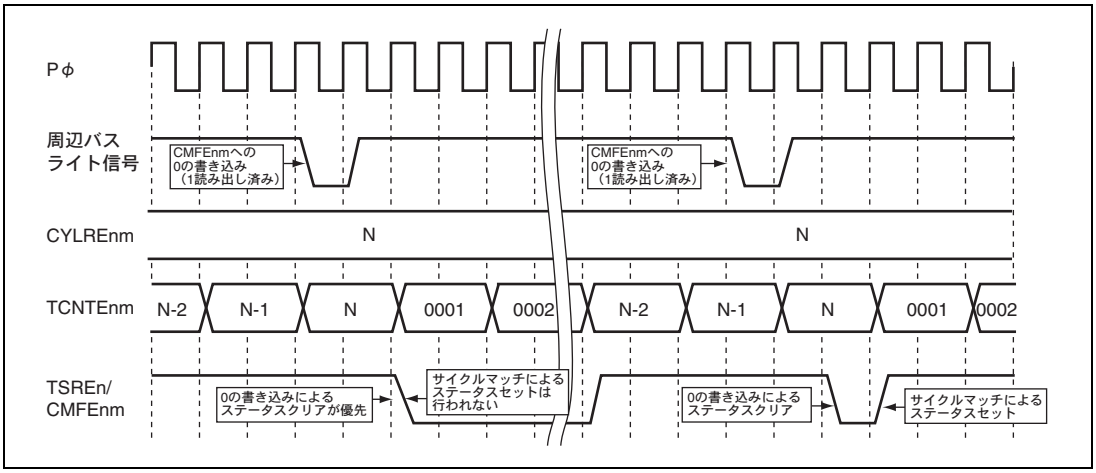


図 12.63 0 の書き込みによるサイクルマッチステータスクリアとサイクルマッチの競合

表 12.30 サイクルマッチステータスのセットと 0 の書き込みによるクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペア（サイクル）マッチレジスタ	ステータス
タイマ B	TCNTB0	OCRB0	CMFB0
	TCNTB6	OCRB6	CMFB6
タイマ E	TCNTEnm	CYLREnm	CMFEnm

（9） サイクルマッチステータスのセットと DMAACK によるクリアの競合

サイクルマッチステータスのセット（サイクルマッチ）と DMAACK 信号が同時に発生した場合、DMAACK によるステータスクリアが優先して行われます。

表 12.31 サイクルマッチステータスのセットと DMAACK によるクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	サイクルマッチレジスタ	ステータス
タイマ E	TCNTEnm	CYLREnm	CMFEnm

（10）強制コンペアマッチによるステータスセットと DMAACK によるステータスクリアの競合

強制コンペアマッチによるステータスセットと DMAACK によるステータスクリアが同時に発生した場合、ステータスクリアが優先して処理されます（図 12.64 の左側に示す波形）。一方、図 12.64 の右側に示す波形は、強制コンペアマッチビットに 1 の書き込みを行っているサイクルに DMAACK によるステータスクリアが入力された場合です。この場合、強制コンペアマッチビットへの 1 の書き込みは無視され、ステータスとともにクリアされます。

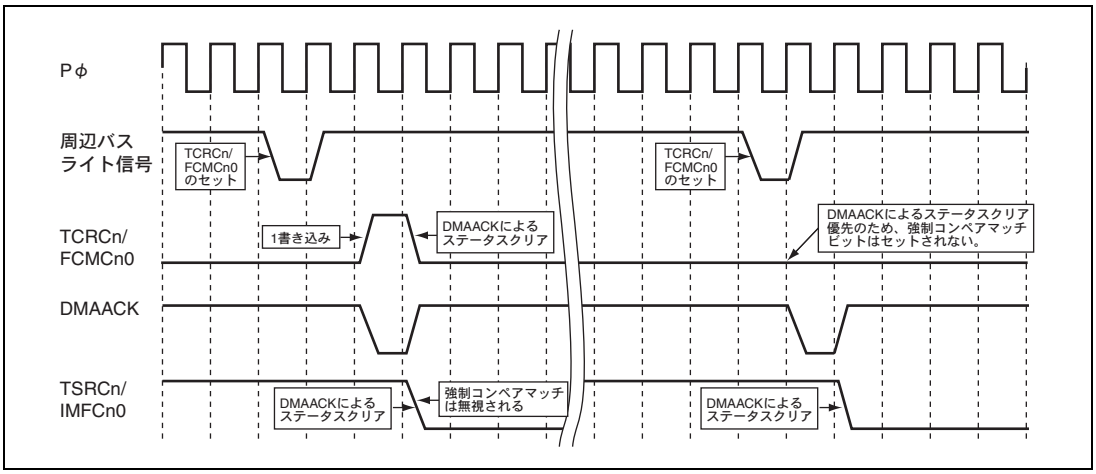


図 12.64 強制コンペアマッチと DMAACK によるステータスクリアの競合

表 12.32 強制コンペアマッチによるステータスセットと DMAACK によるステータスクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ C	TCNTCn	GRCnm	IMFCnm

（11）コンペアマッチ 1H 検出と ATUENR オフ切り替えの競合

TCNT1H と OCR1H とのコンペアマッチ検出と同時にカウンタイネーブル（ATUENR の各ビット）を 0 に切り替えた場合、コンペアマッチは検出されますが TCNT2H のカウントアップは行われません（図 12.65 の左側に示す波形）。その後、カウンタイネーブルを 1 に設定しても次のコンペアマッチ発生まで TCNT2H のカウントアップは行われません。

図 12.65 の右側に示す波形は、コンペアマッチ検出の 1Pφサイクル後にカウンタイネーブルをオフにした場合を示しています。

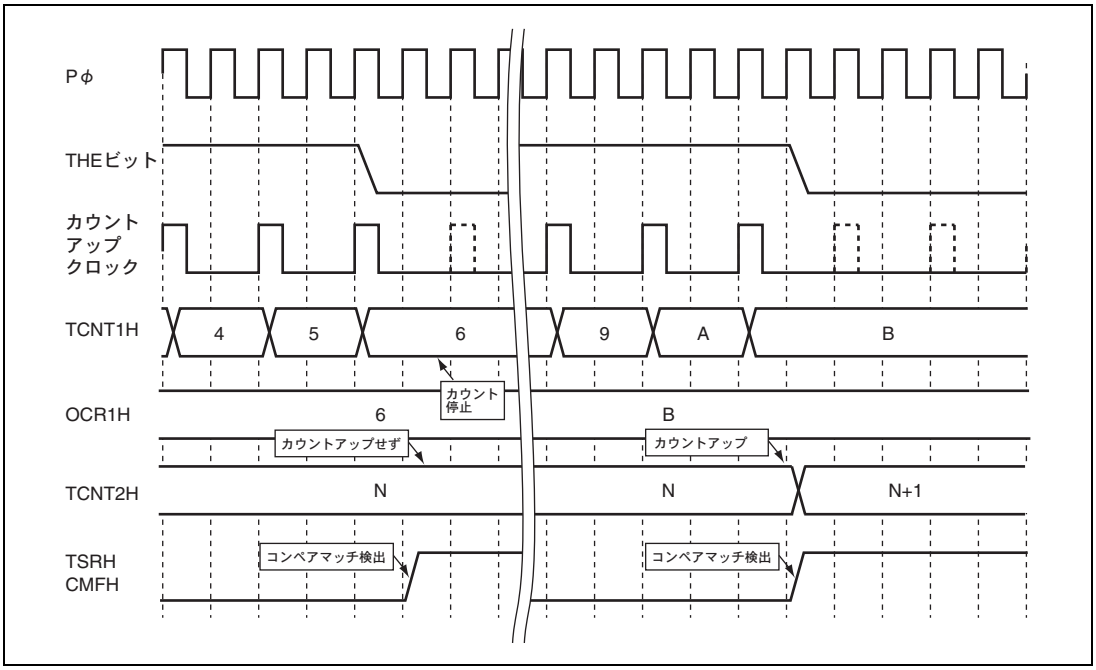


図 12.65 コンペアマッチ検出とカウンタイネーブルオフ切り替えの競合

表 12.33 コンペアマッチ検出とカウンタイネーブルオフ切り替えの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ	ステータス
タイマ H	TCNT1H	OCR1H	CMFH

（12）TCNTEnm への 0 の書き込みとサイクルマッチの競合

サイクルマッチのタイミングで TCNTEnm に 0 の書き込みを行った場合の動作を以下に示します。**図 12.66** の左側に示す波形は、サイクルマッチにより TCNTEnm が H'0001 にクリアされるタイミングで、TCNTEnm に H'0000 を書き込んだ様子を示しています。サイクルマッチステータスはセットされますが、PWM 出力は 0 の書き込みが優先されるので開始しません。TCNTEnm が H'0001 にカウントアップするときに PWM 出力を再開します。

図 12.66 の中央部分に示す波形は、サイクルマッチカウンタクリアが発生した 1Pφサイクル後に TCNTEnm に 0 の書き込みを行った状態を表しています。TCNTEnm カウンタ値が N から 1 に変化するタイミングでサイクルマッチ検出、PWM 出力を再開します。一方、**図 12.66** の右側の波形は、サイクルマッチ検出の 1Pφサイクル前に 0 の書き込みを行った例です。この場合、サイクルマッチは検出されず PWM 出力も再開せず、前の状態を保持したままです。

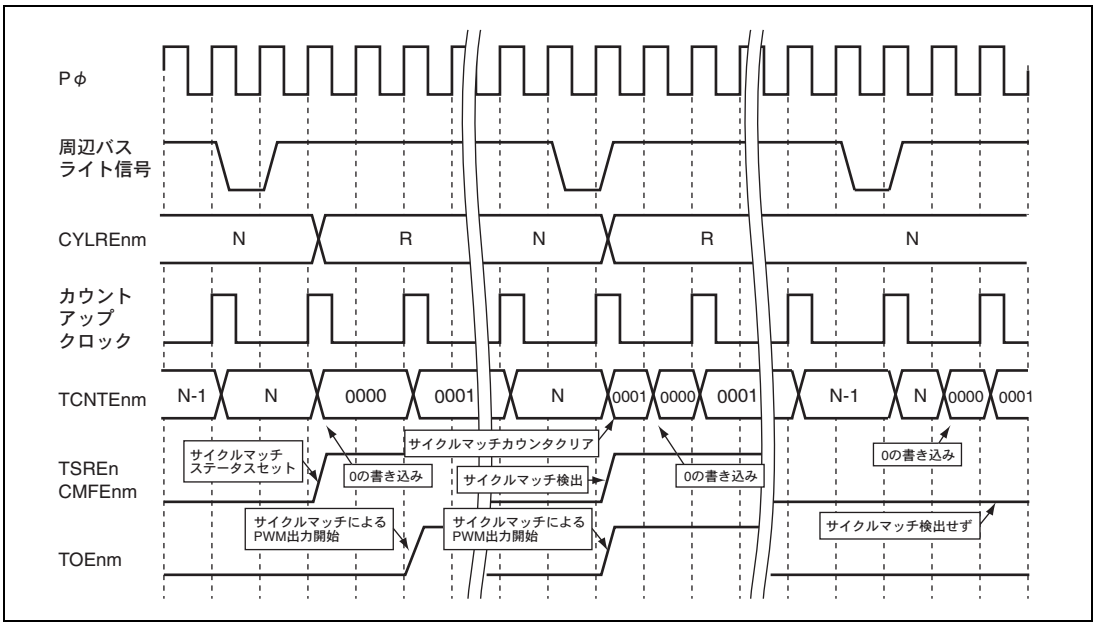


図 12.66　TCNTEnm への 0 の書き込みとサイクルマッチの競合

12.36.3 ロード／リロード競合動作

（1） データ転送と転送先レジスタへの書き込みとの競合

レジスタ間のデータ転送と転送先レジスタへの周辺バス書き込みとの競合を以下に説明します。

データ転送と転送先レジスタへの書き込みが同時に発生した場合、書き込みが優先され、データ転送は無視されます。**図 12.67** は、タイマ E の CYLREnm へのリロードと書き込みの競合を示しています。

図 12.67 の左側に示す波形のとおり、サイクルリロードのタイミングで CYLREnm への書き込みが発生した場合、書き込みが優先して行われます。**図 12.67** の右側に示す波形は、サイクルリロード直後に CYLREnm への書き込みが行われた場合を表しています。

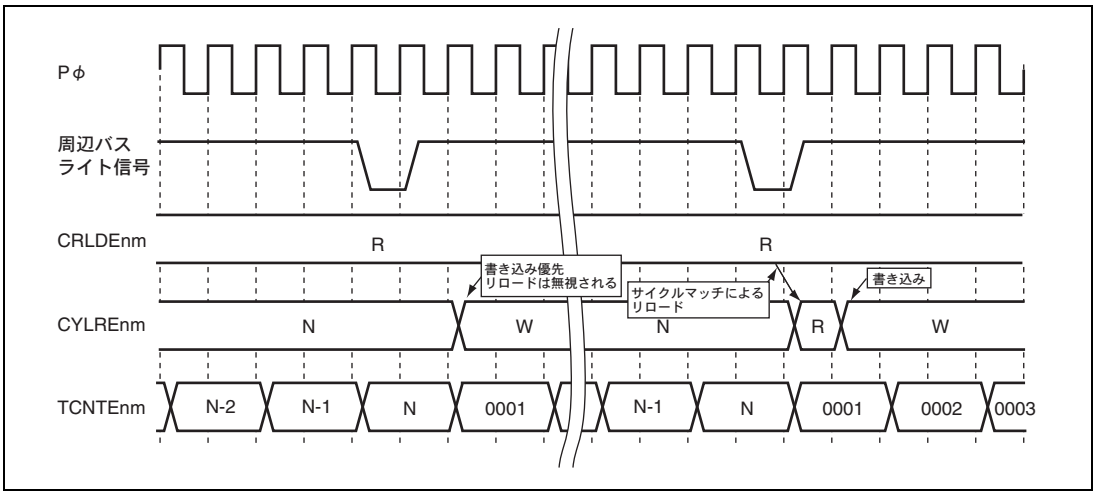


図 12.67 CYLREnm 書き込みとサイクルリロードの競合

表 12.34 データ転送と転送先レジスタへの書き込みの競合動作関連リソース一覧

対象タイマ	転送データ	転送先レジスタ	転送タイミング
タイマ B	ICRB0 LDB TCNTB2－PIMR TCNTB2＋RLDB	TCNTB2	外部イベント
	ICRB0－PIMR LDB－PIMR	RLDB	外部イベント
	TCNTB3＋PIMR	TCNTB3	外部イベント
	TCNTB3	TCNTB4	外部イベント
タイマ E	CRLDEnm	CYLREnm	サイクルマッチ
	DRLDEnm	DTREnm	サイクルマッチ

(2) データ転送と転送元レジスタへの書き込みの競合

レジスタ間のデータ転送と転送元レジスタへの周辺バス書き込みとの競合を以下に説明します。データ転送と転送元レジスタへの書き込みが同時に発生した場合、書き込み前の値が転送されます。同時に転送元レジスタ値は書き換えられます。サイクルリロードのタイミングで CRLDEnm への書き込みが発生した場合の動作を以下に示します。CRLDEnm への書き込みとサイクルリロードが同一タイミングで発生した場合（**図 12.68** の左側に示す波形）、書き込み直前の値がリロードされます。一方、**図 12.68** の右側に示す波形の例は、CRLDEnm への書き込みが 1 サイクル早く発生した場合を示しています。

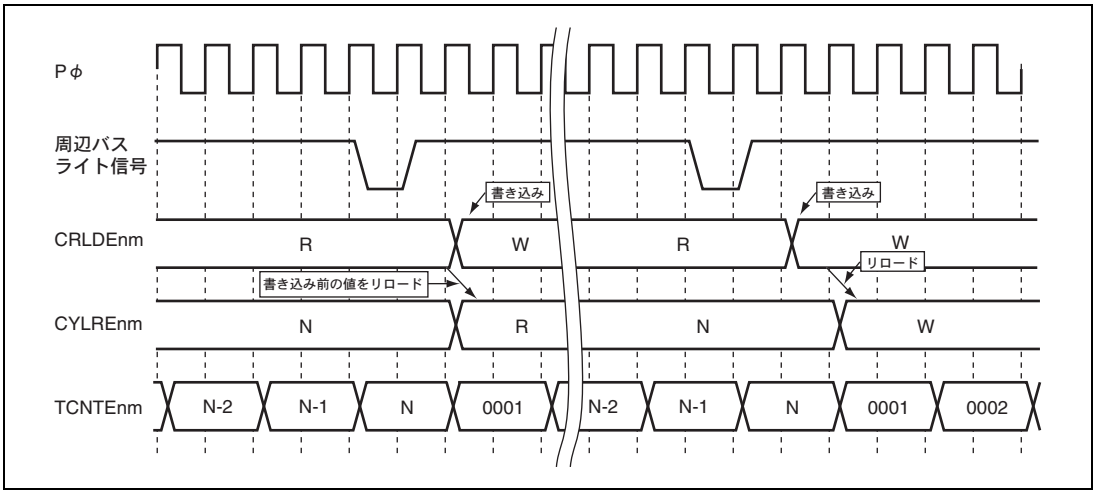


図 12.68 CRLDEnm 書き込みとサイクルリロードの競合

表 12.35 データ転送と転送元レジスタへの書き込みの競合動作関連リソース一覧

対象タイマ	転送元レジスタ	転送値	転送先レジスタ	転送タイミング
タイマ B	LDB	LDB－PIMR	RLDB	外部イベント
		LDB	TCNTB2	外部イベント
	PIMR	ICRB0－PIMR LDB－PIMR	RLDB	外部イベント
		TCNTB2－PIMR	TCNTB2	外部イベント
		TCNTB3＋PIMR	TCNTB3	外部イベント
	RLDB	TCNTB2＋RLDB	TCNTB2	外部イベント
	TCNTB3	TCNTB3	TCNTB4	外部イベント
タイマ E	CRLDEnm	CRLDEnm	CYLREnm	サイクルマッチ
	DRLDEnm	DRLDEnm	DTREnm	サイクルマッチ

12.36.4 カウンタ競合動作

（1） カウンタの書き込みとカウントアップ／カウントダウンの競合

カウンタへの書き込みとカウントアップ／ダウンが同時に発生した場合には、カウンタへの書き込みが優先されます。カウントアップは無視され、次のカウントクロックで書き込まれた値から、再びカウントアップ／ダウンを再開します。

（2） カウントアップとカウンタクリアの競合

カウンタのカウントアップとカウンタクリアが同時に発生した場合、カウンタは 0 にクリアされず 1 にクリアされます。

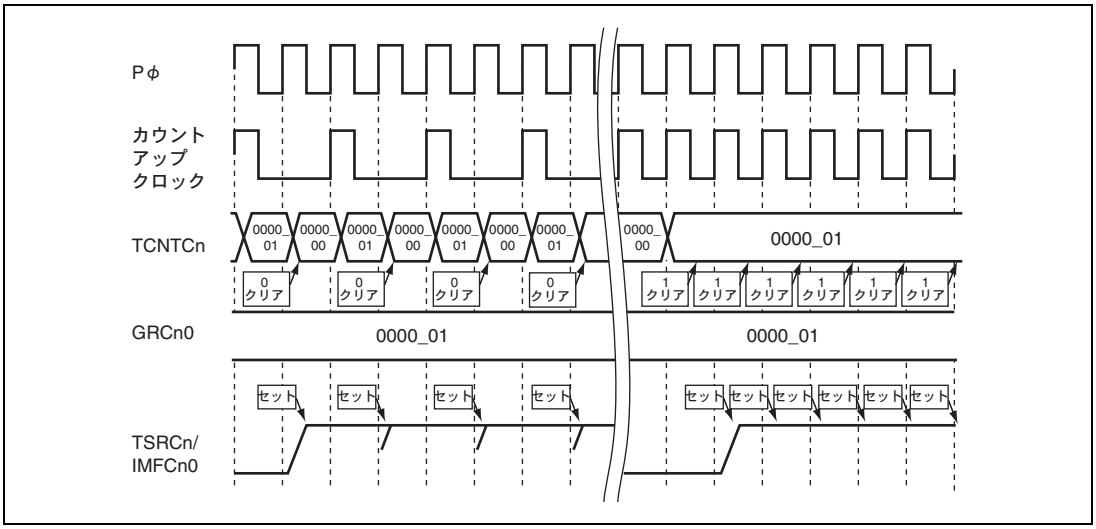


図 12.69 カウントアップとカウンタクリア同時発生

表 12.36 カウントアップとカウンタクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ	備考
タイマ C	TCNTCn	GRCn0	PWMn0＝1 のときのみ
タイマ F	ECNTAFn	GRAFn	MDFn＝000、110、111 設定時のみ
	ECNTBFn	GRBFn	MDFn＝001 設定時のみ
タイマ G	TCNTGn	OCRGn	
タイマ H	TCNT1H	OCR1H	

（3） カウンタへの書き込みとオーバフローの競合

カウンタオーバフローと TCNTCn への書き込みが同時に発生した場合、TCNTCn への書き込みが優先して行われます。ただし、オーバフローステータスはセットされます（**図 12.70** の左側に示す波形）。一方、カウンタへの書き込みタイミングがカウントアップより早い場合（**図 12.70** の右側に示す波形）には、オーバフローステータスはセットされません。

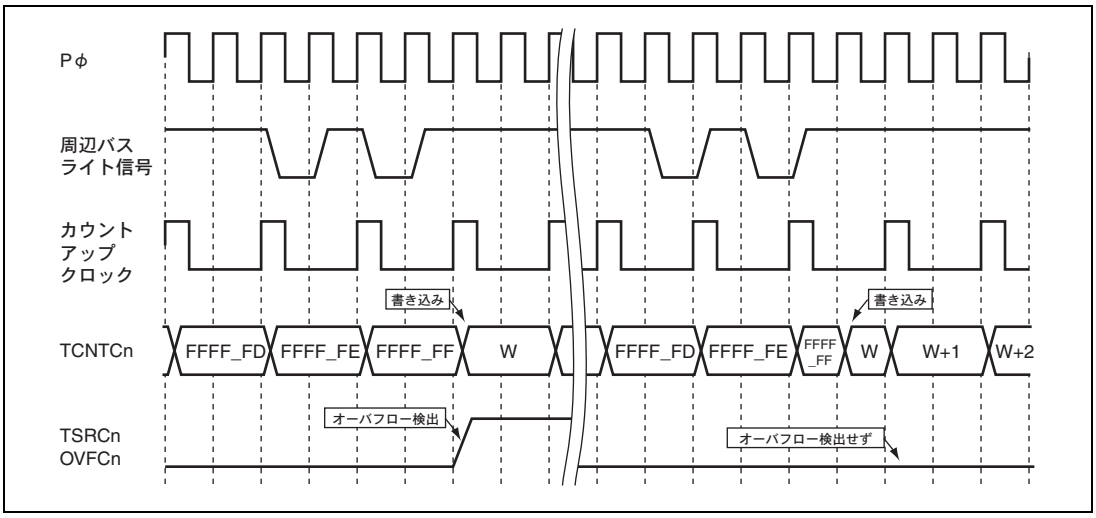


図 12.70 TCNTCn への書き込みとオーバフローカウンタクリアの競合

表 12.37 カウンタへの書き込みとオーバフローの競合動作関連リソース一覧

対象タイマ	カウンタ	ステータス
タイマ A	TCNTA	OVFA
タイマ C	TCNTCn	OVFCn
タイマ D	TCNT1Dn	OVF1Dn
	TCNT2Dn	OVF2Dn
タイマ E	TCNTEnm	OVFEnm
タイマ F	ECNTAFn	OVFAFn
	ECNTBFn	OVFBFn
	ECNTCFn	OVFCFn
タイマ G	TCNTGn	OVFGn
タイマ H	TCNT1H	OVF1H
	TCNT2H	OVF2H
タイマ J	TCNTJn	OVFJn

（4） オーバフローステータスのセットとクリアの競合

オーバフローステータスのクリアとセットが同時に発生した場合、クリアが優先して処理されます。以下はカウンタ値 H'FFFF FF から H'0000 00 へのオーバフローによるステータスセットと、0 の書き込みによるステータスクリアが同時に発生した例を示しています（図 12.71 の左側に示す波形）。図 12.71 の右側に示す波形は、ステータスクリア直後に再びオーバフローがセットされる状態を示しています。

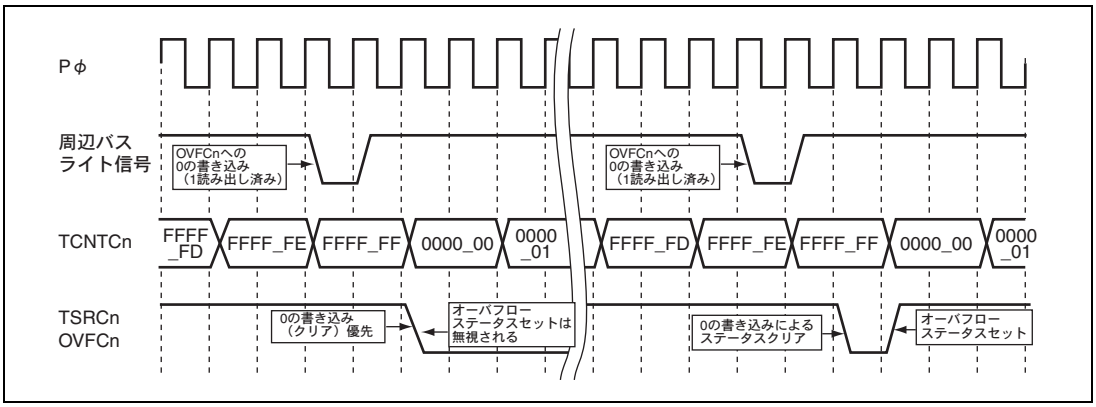


図 12.71 オーバフローステータスのセットとクリアの競合

表 12.38 オーバフローステータスのセットとクリアの競合動作関連リソース一覧

対象タイマ	カウンタ	ステータス
タイマ A	TCNTA	OVFA
タイマ C	TCNTCn	OVFCn
タイマ D	TCNT1Dn	OVF1Dn
	TCNT2Dn	OVF2Dn
タイマ E	TCNTEnm	OVFEnm
タイマ F	ECNTAFn	OVFAFn
	ECNTBFn	OVFBFn
	ECNTCFn	OVFCFn
タイマ G	TCNTGn	OVFGn
タイマ H	TCNT1H	OVF1H
	TCNT2H	OVF2H
タイマ J	TCNTJn	OVFJn

（5） オーバフローとコンペアマッチカウンタクリアの競合

コンペアマッチカウンタクリア機能を持ち、かつその機能が有効な場合に、コンペアマッチレジスタに最大値を設定した場合、カウンタが最大値に達するとカウンタクリアが発生します。そのとき、カウントクロックが1/1Pφであったとしてもオーバフローは検出されません。

タイマ H の TCNT1H と OCR1H での例を図 12.72 に示します。OCR1H に H'FFFF を設定し、カウントアップクロックが 1/1Pφでない場合（図 12.72 の左側に示す波形）と、1/1Pφの場合（図 12.72 の右側に示す波形）を表しています。

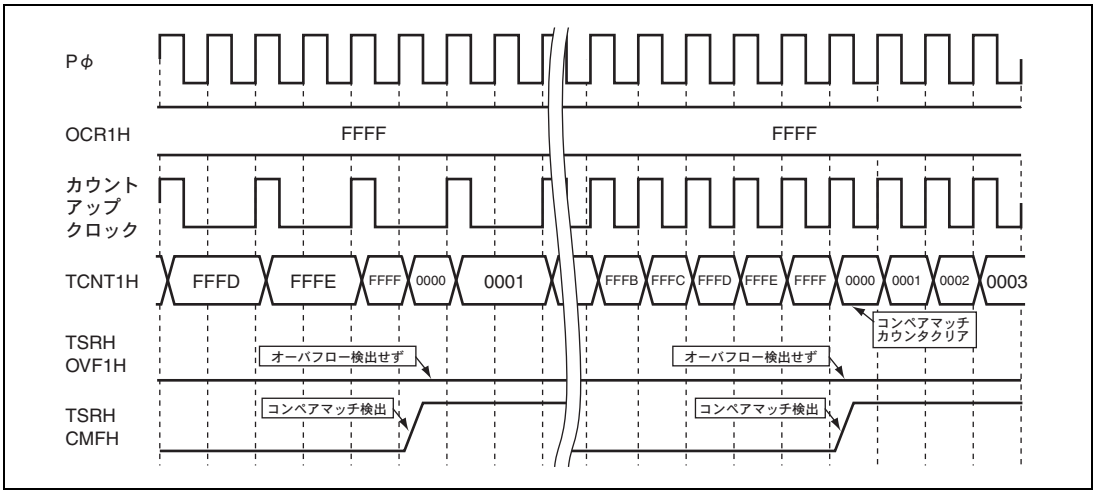


図 12.72 TCNT1H カウンタオーバフローとコンペアマッチの競合

表 12.39 カウンタのオーバフローとコンペアマッチの競合動作関連リソース一覧

対象タイマ	カウンタ	ステータス	備考
タイマ C	TCNTCn	OVFCn	PWMn0＝1 のときのみ
タイマ F	ECNTAFn	OVFAFn	MDFn＝000、110、111 設定時のみ
	ECNTBFn	OVFBFn	MDFn＝001 設定時のみ
タイマ G	TCNTGn	OVFGn	
タイマ H	TCNT1H	OVF1H	

コンペアマッチカウンタクリア機能のないもの、機能をオフにしている場合にはオーバフローステータスがセットされます。タイマ C の PWMn ビットが 1 のとき（カウンタクリア有効）、PWMn0 ビットが 0 のとき（カウンタクリア無効）の動作を図 12.73 に示します。

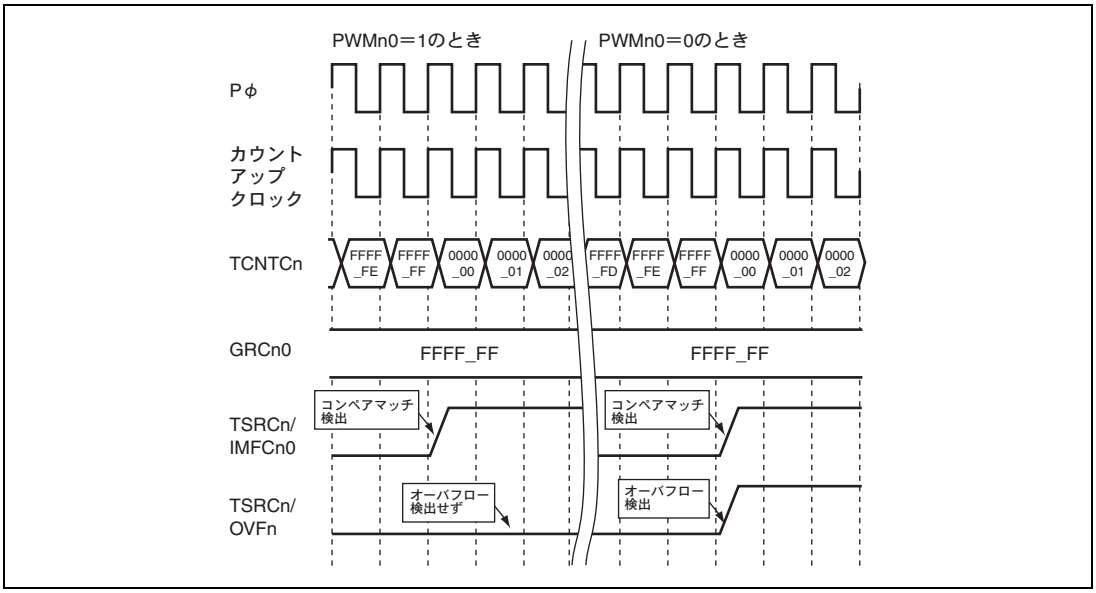


図 12.73 タイマ C コンペアマッチカウンタクリアとオーバフローの競合（PWMn0＝1/0）

12.36.5 ノイズキャンセラ競合動作

ノイズキャンセラにおける競合を説明します。

表 12.40 ノイズキャンセラカウンタへの書き込みとノイズキャンセラレジスタとのコンペアマッチの競合動作関連リソース一覧

対象タイマ	カウンタ	コンペアマッチレジスタ
タイマ A	NCNTAn	NCRAn
タイマ C	NCNTCnm	NCRCnm
タイマ F	NCNTAFn	NCRAFn
	NCNTBFn	NCRBFn
タイマ J	NCNTJn	NCRJn

（1） ノイズキャンセラカウンタへの書き込みとノイズキャンセラレジスタとのコンペアマッチの競合

NCNT への書き込みと NCR とのコンペアマッチが同時に発生した場合、書き込みが優先して処理されます。先行エッジキャンセルモードでの例を以下に示します。図 12.74 の左側に示す例では、書き込みによってコンペアマッチが発生しないため、インプットキャプチャも行われません。図 12.74 の右側に示す例は、1Pφサイクル遅れて書き込みを行った場合を示しています。この場合はコンペアマッチが発生し、インプットキャプチャ処理が行われます。

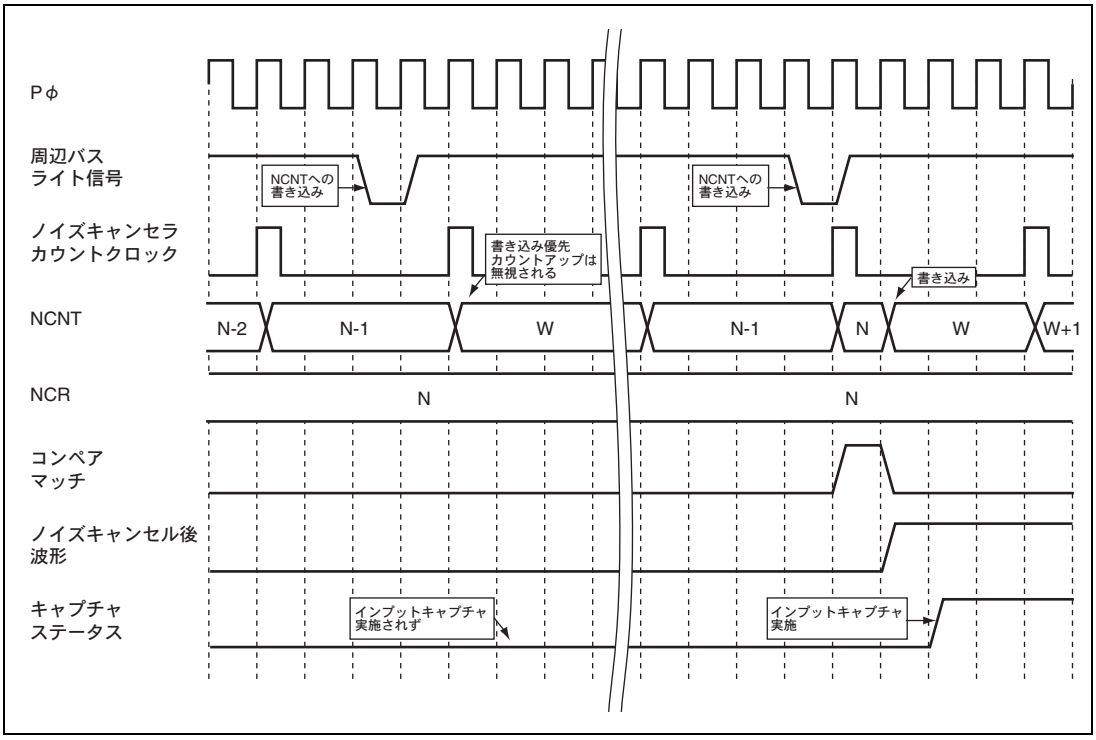


図 12.74 NCNT への書き込みと NCNT－NCR コンペアマッチの競合（先行エッジキャンセルモードの例）

（2） ノイズキャンセラレジスタへの書き込みとノイズキャンセラカウンタとのコンペアマッチの競合

NCR への書き込みと NCNT とのコンペアマッチが同時に発生した場合、書き込みが優先して処理されます。先行エッジキャンセルモードでの例を以下に示します。図 12.75 の左側に示す例では、書き込みによりコンペアマッチが発生しないため、インプットキャプチャも行われません。図 12.75 の右側に示す例は 1Pφサイクル遅れて書き込みを行った場合を示しています。この場合はコンペアマッチが発生し、インプットキャプチャ処理が行われます。

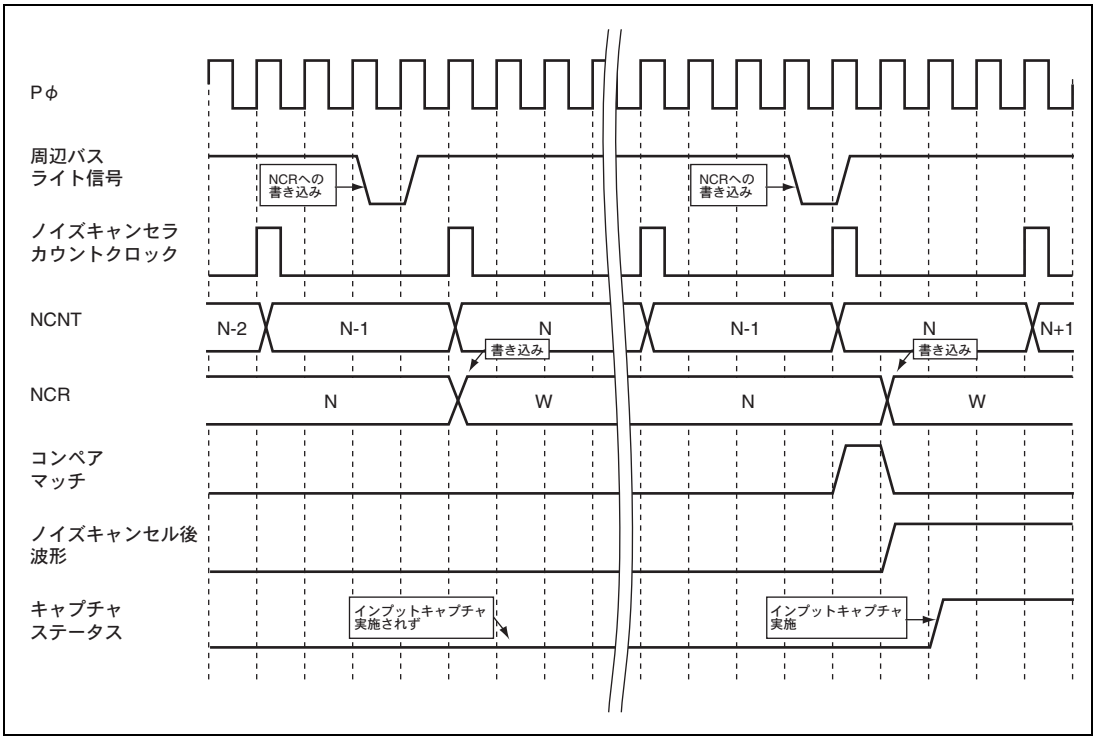


図 12.75 NCR への書き込みと NCNT とのコンペアマッチの競合（先行エッジキャンセルモードの例）

12.36.6 ダウンカウンタ D の競合

DCNTDnm における競合を説明します。

（1） DCNTDnm カウンタへの書き込みとカウントダウンの競合

DCNTDnm への書き込みとカウントダウンが同時に発生した場合には、DCNTDnm への書き込みが行われます。カウントダウンは無視され、次のカウントダウンクロックで書き込まれた値からカウントダウンを再開します。

（2） DCNTDnm カウンタへの書き込みとアンダフローの競合

DCNTDnm への書き込みとアンダフローが同時に発生した場合には、DCNTDnm への書き込みが行われます。**図 12.76** の左側に示す例は、DCNTDnm が H'0000 00 の状態でカウントダウンクロックと書き込みが同時に発生した場合の動作を表しています。DCNTDnm には新たな値が書き込まれますが、アンダフロー検出によりカウントダウン動作は停止します。アンダフローフラグはセットされます。**図 12.76** の右側に示す波形は、1Pφサイクル前に DCNTDnm への書き込みを行った場合であり、このときアンダフローは検出されません。

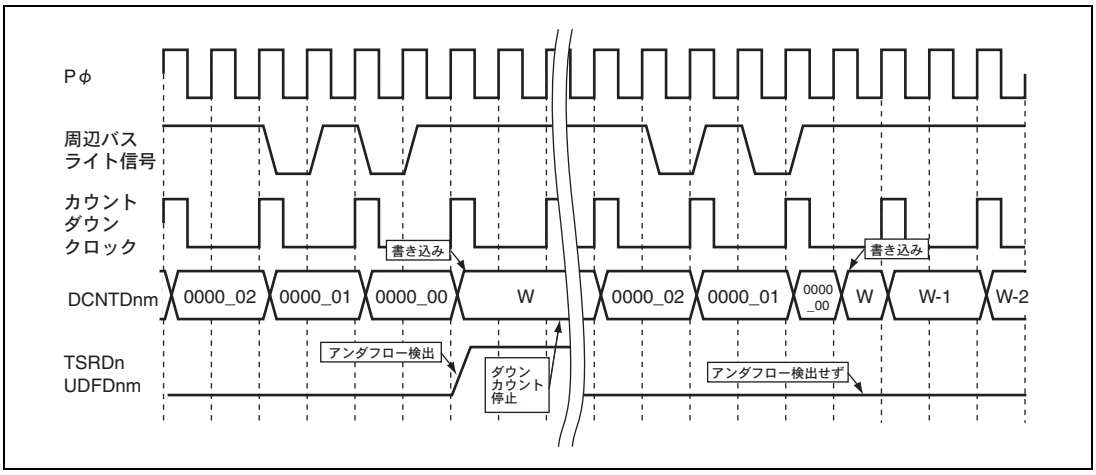


図 12.76 DCNTDnm 書き込みとアンダフローの競合

（3） DCNTDnm カウンタへの書き込みとコンペアマッチ B（カウント停止トリガ）の競合

DCNTDnm への書き込みとコンペアマッチ B が同時に発生した場合、DCNTDnm への書き込みが行われます（ダウンカウント停止要因としてコンペアマッチ B が選択されている場合）。

図 12.77 の中央部分は、DCNTDnm への 0 の書き込みとコンペアマッチ B 検出によるカウンタクリアが同時に起こった場合を表しています。コンペアマッチ B による DCNTDnm カウンタクリアは無視され、書き込みが優先されます。しかし、コンペアマッチ B により TODnmB 出力は遮断され、DCNTDnm は書き込まれた値のまま停止します。

図 12.77 の右側に示す波形は、書き込みサイクルが 1Pφサイクル先に発生した場合を表しています。DCNTDnm に書き込みを行った次の Pφサイクルでコンペアマッチ B によりカウンタはクリアされます。

図 12.77 の左側に示す波形は、コンペアマッチ B によるカウンタクリア直後に書き込みを行った例を表しています。

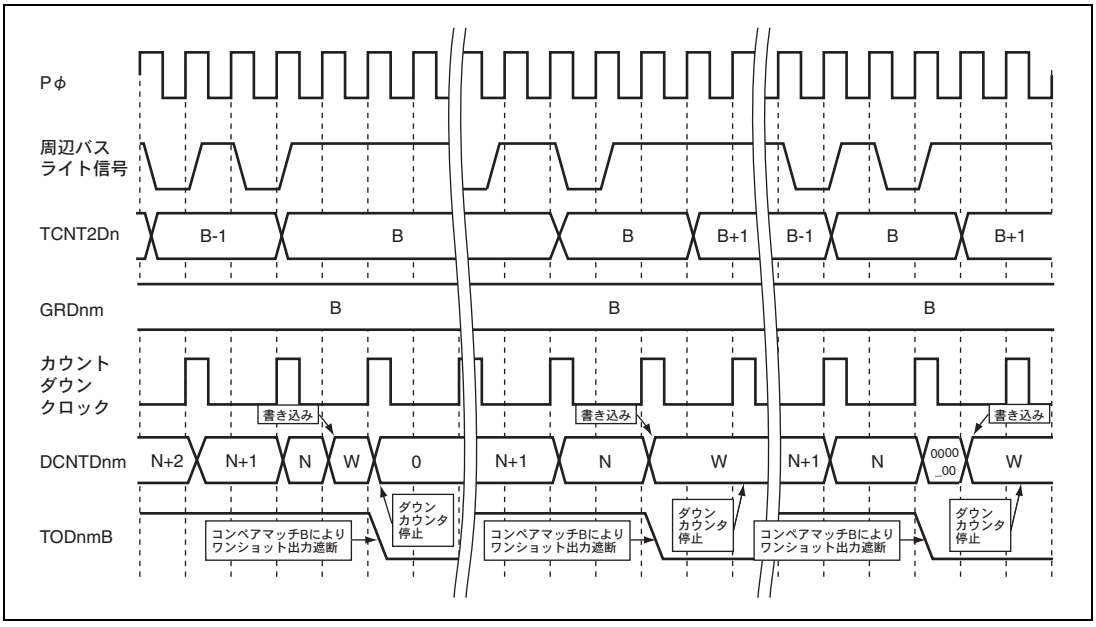


図 12.77 DCNTDnm 書き込みとコンペアマッチ B によるカウンタクリアの競合

（4） アンダフローステータスのセットと 0 の書き込みクリアの競合

アンダフローステータスの 0 の書き込みクリアとアンダフローが同時に発生した場合、クリアが行われます。以下は DCNTDnm カウンタ値のアンダフローによるステータスセットと 0 の書き込みによるステータスクリアが同時に発生した例を示しています（図 12.78 の左側に示す波形）。図 12.78 の右側に示す波形は、ステータスクリア直後に再びアンダフロー発生によりステータスセットがされる状態を示しています。

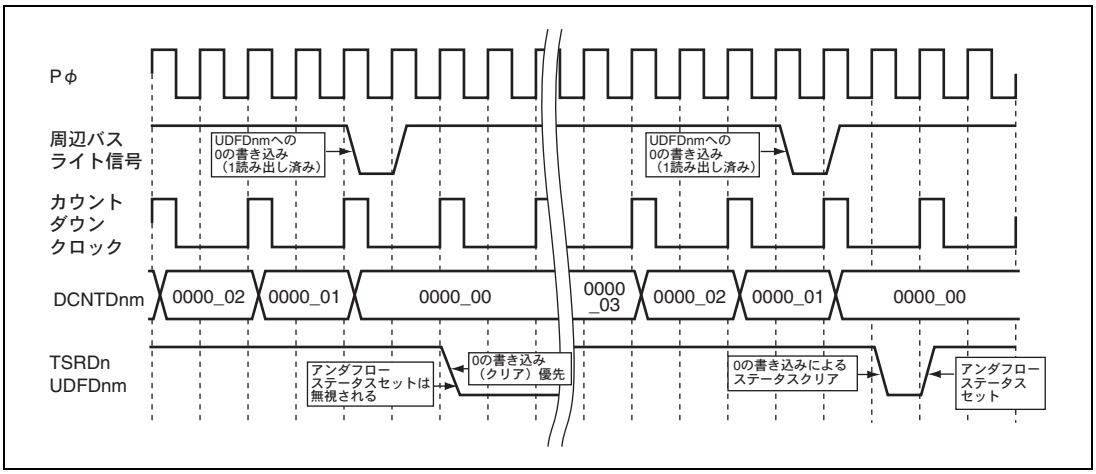


図 12.78 アンダフローステータスのセットとクリアの競合

（5） アンダフローステータスのセットと DMAACK によるクリアの競合

アンダフローステータスの DMAACK によるクリアとアンダフローが同時に発生した場合、クリアが行われます。

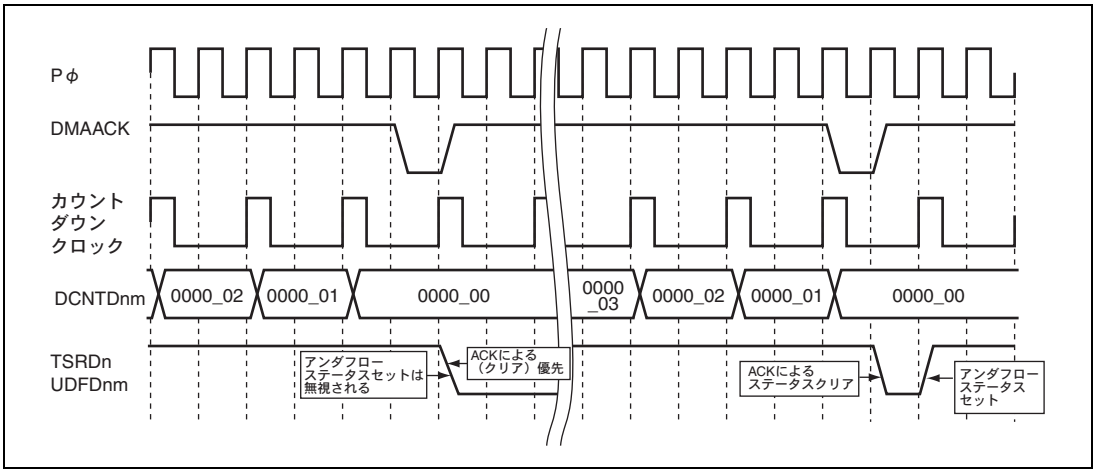


図 12.79 アンダフローステータスのセットと DMAACK によるステータスクリアの競合

（6） ダウンカウンタ値 H'0000 00 時のダウンカウンタスタートトリガ発生による TODnmB 出力

TODnmB 出力はダウンカウンタアンダフローにより開始せずに終了します。

（7） ダウンカウンタスタートトリガ、ストップトリガが同時に発生した場合の TODnmB 出力

ダウンカウンタスタートトリガ、ダウンカウンタストップトリガが同時に発生した場合、ストップトリガにより、ダウンカウンタはゼロクリアされます。TODnmB 出力も開始せずに終了します。

ダウンカウンタスタートトリガ発生後、最初のダウンカウントクロックが入力される前にダウンカウントストップトリガが発生した場合も同様に、ダウンカウンタは一度もダウンカウントをすることなくゼロクリアされ、TODnmB 出力も開始せずに終了します。

（8） ダウンカウンタスタートトリガとアンダフローの競合

ダウンカウンタスタートトリガとアンダフローが同時に発生した場合、DCNTDnm は H'0000 00 で停止した状態を保ちます（**図 12.80** の中央部分の波形）。その前の状態がダウンカウント中であれば TODnmB 出力はアンダフローにより遮断します（**図 12.80** の左側の波形）。ダウンカウント停止中（DCNTDnm＝H'0000 00）にコンペアマッチ A が発生した場合には TODnmB 出力はネゲート状態を維持します（**図 12.80** の右側の波形）。いずれの場合も、アンダフローフラグはダウンカウントスタートトリガ検出と同時または検出後の最初のダウンカウントクロックに同期してセットされます。

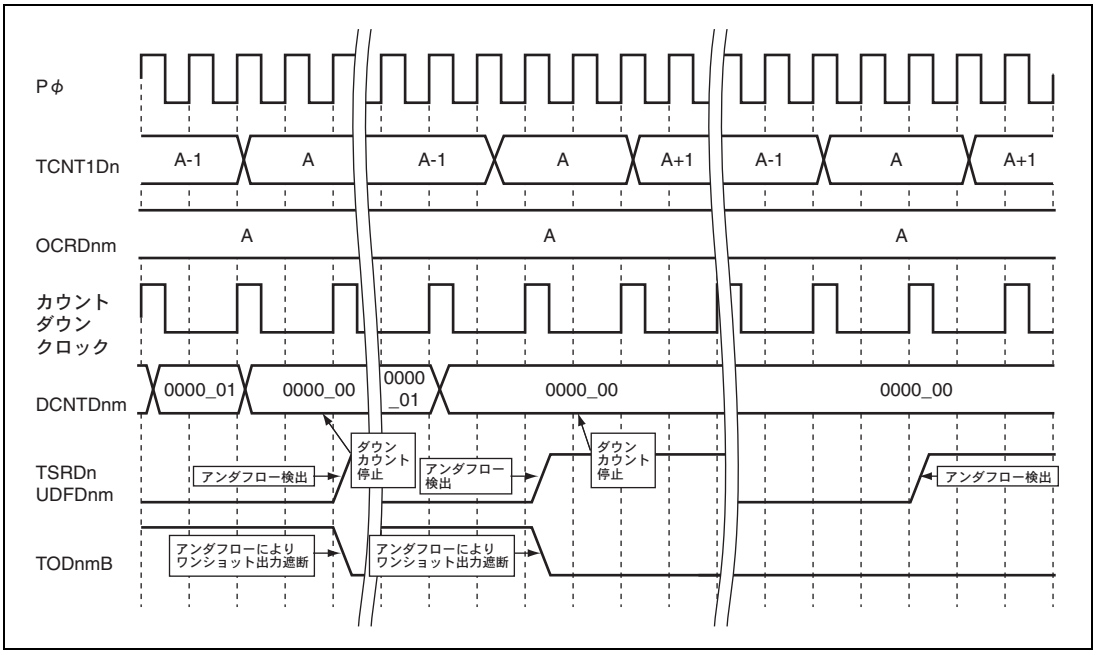


図 12.80　コンペアマッチ A とアンダフローの競合

12.36.7 タイマ B とタイマ D の競合

タイマ B からのカウンタクリア要求と、TCNT1Dn、TCNT2Dn との競合を説明します。

（1） TCNT1Dn、TCNT2Dn カウンタクリアとコンペアマッチの競合

タイマ B からのカウンタクリア信号による TCNT1Dn、TCNT2Dn カウンタクリアとコンペアマッチが同時に発生した場合の動作を以下に示します。**図 12.81** の左側の波形は、コンペアマッチ発生前にカウンタクリアが行われた場合を示しています。一方、**図 12.81** の右側の波形は、コンペアマッチ発生と同時にカウンタクリアが発生した場合を示しています。

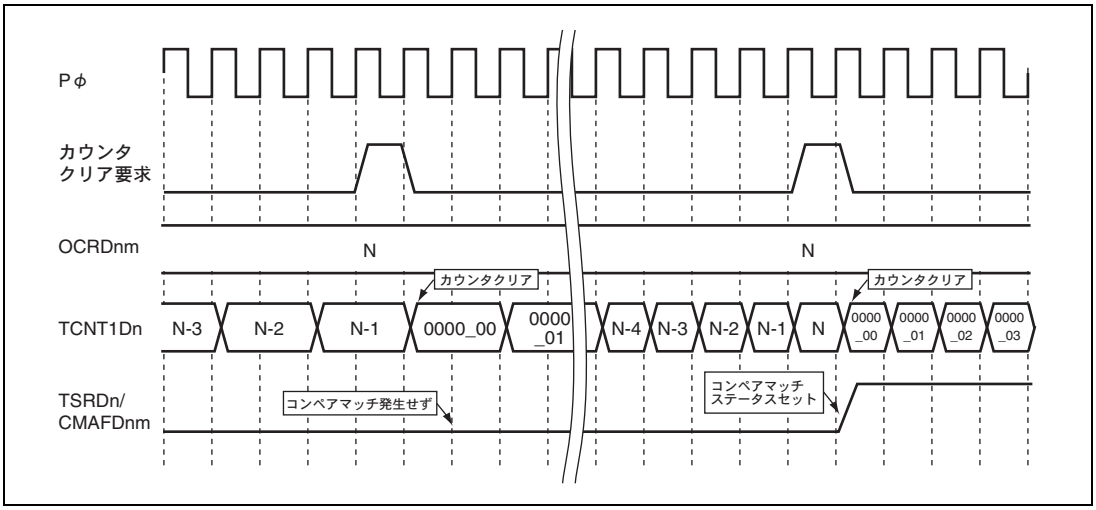


図 12.81 タイマ B からのカウンタクリアとコンペアマッチの競合

表 12.41 カウンタクリアとコンペアマッチの競合動作関連リソース一覧

対象タイマ	カウンタ	カウンタクリア要因	コンペアマッチレジスタ	ステータス
タイマ D	TCNT1Dn	タイマ B からの TCNT1Dn、TCNT2Dn クリア要求	OCRDnm	CMFADnm
	TCNT2Dn		GRDnm	CMFBDnm

（2） TCNT1Dn、TCNT2Dn カウンタへの書き込みとタイマ B からのカウンタクリアの競合

TCNT1Dn、TCNT2Dn への書き込みとタイマ B からのカウンタクリア信号が同時に発生した場合、カウンタクリアは行われずカウンタには書き込みが行われます（図 12.82 の左側の波形）。図 12.82 の右側の波形は、TCNT1Dn への書き込みが 1Pφサイクル後にずれた場合を表しています。TCNT2Dn も同様です。

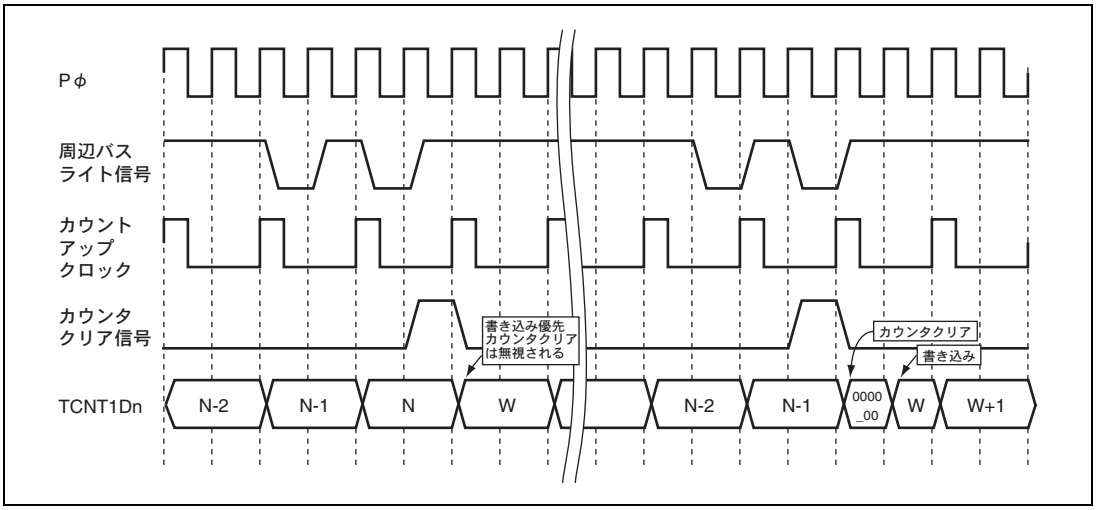


図 12.82 TCNT1Dn 書き込みとカウンタクリアの競合

（3） TCNT1Dn、TCNT2Dn カウンタオーバフローとタイマ B からのカウンタクリアの競合

TCNT1Dn オーバフローとタイマ B からの TCNT1Dn カウンタクリアが同時に発生した場合、カウンタ値はクリア信号により H'0000 00 にクリアされます。このとき、オーバフローフラグはセットされません（ただし C1CEDn ＝1 のときのみ）。TCNT2Dn オーバフローも同様です。

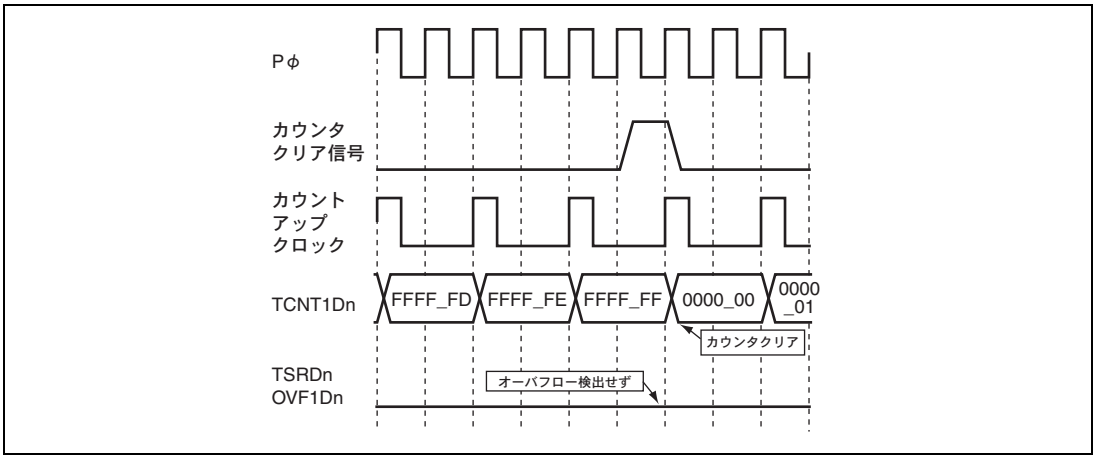


図 12.83 カウンタクリアとオーバフローの競合

（4） タイマ B からのクリア信号による TCNT1Dn クリアと OSBRDn へのインプットキャプチャの競合

タイマ B からの TCNT1Dn カウンタクリアとオフセットベースレジスタへのインプットキャプチャが同時に発生したときの動作を以下に示します。キャプチャとカウンタクリアが同時に発生した場合、クリア前のカウンタ値が OSBRDn に取り込まれます。同時に、TCNT1Dn カウンタはクリアされます（図 12.84 の左側の波形）。

図 12.84 の右側の波形は、カウンタクリアされた 1Pφサイクル後にキャプチャが行われ、OSBRDn にクリア後の値が取り込まれた様子を表しています。

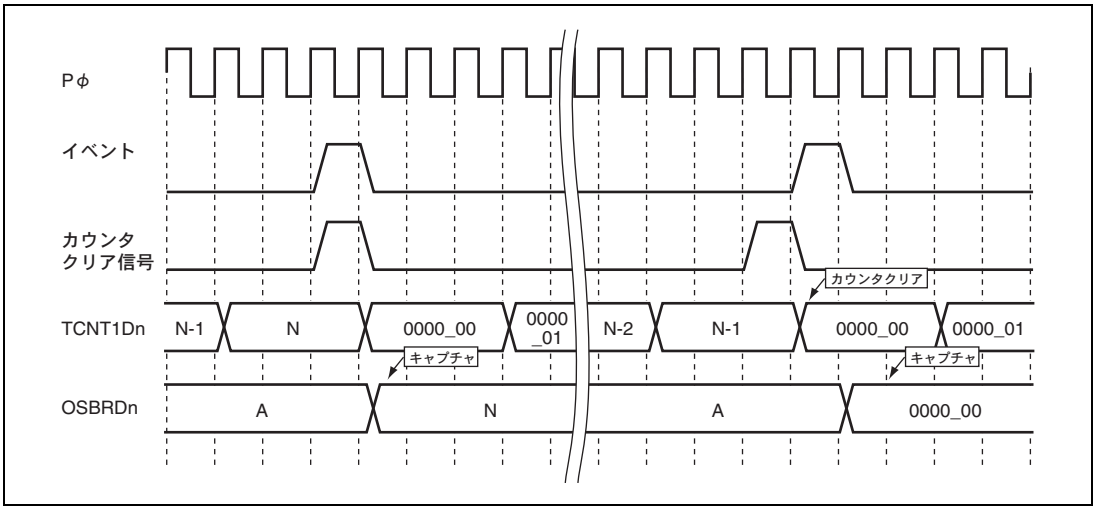


図 12.84 TCNT1Dn カウンタクリアと OSBRDn へのインプットキャプチャの競合

12.36.8 コンペアマッチ動作仕様の混在

タイマごとにコンペアマッチ動作の仕様が異なります。コンペアマッチ発生タイミングと検出条件の違いによって、以下 3 種類の動作仕様が存在します。

- Type1

  タイマカウンタとコンペアマッチレジスタの値が一致した次のPφでコンペアマッチを発生する。

  コンペアマッチの検出はPφごとに実施する。

  タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングでもコンペアマッチを検出する。

- Type2

  タイマカウンタとコンペアマッチレジスタの値が一致した次のPφでコンペアマッチを発生する。

  コンペアマッチの検出はタイマカウンタがカウントアップあるいはカウントダウンしたPφで実施する。

  タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングではコンペアマッチを検出しない。

- Type3

  タイマカウンタとコンペアマッチレジスタの値が一致した次のカウントクロックでコンペアマッチ発生する。

  コンペアマッチの検出はカウントクロックごとに実施する。

  タイマカウンタ、コンペアマッチレジスタへの書き込みタイミングではコンペアマッチを検出しない。

表 12.42 コンペアマッチ動作の仕様

対象タイマ	カウンタ	コンペアマッチレジスタ	コンペアマッチ仕様
タイマ B	TCNTB0	OCRB0	Type3
	TCNTB1	OCRB1	Type1
	TCNTB6	OCRB6/OCRB7	Type3
タイマ C	TCNTCn	GRCnm	Type1
タイマ D	TCNT1Dn	OCRDnm	Type2
	TCNT2Dn	GRDnm	Type2
タイマ E	TCNTEnm	CYLREnm	Type3
タイマ F	ECNTAFn	GRAFn	Type1
	ECNTBFn	GRBFn	Type1
	ECNTCFn	GRBFn	Type1
タイマ G	TCNTGn	OCRGn	Type1
タイマ H	TCNT1H	OCR1H	Type1
タイマ J	TCNTJn	OCRJn	Type1

13. ウォッチドッグタイマ（WDT）

本 LSI は、ウォッチドッグタイマ（WDT）を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバフローした場合、外部にオーバフロー信号（$\overline{\text{WDTOVF}}$）を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバフローするごとにインターバルタイマ割り込みを発生します。

13.1 特長

- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、$\overline{\text{WDTOVF}}$信号を出力

  カウンタがオーバフローすると、外部に$\overline{\text{WDTOVF}}$信号を出力します。このとき、同時に本LSI内部をリセットするかどうかを選択できます。
- インターバルタイマモード時、割り込みを発生

  カウンタオーバフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能

  周辺クロックを分周した8種類のクロック（Pφ×1～×1/16384）から選択できます。

図 13.1 に WDT のブロック図を示します。

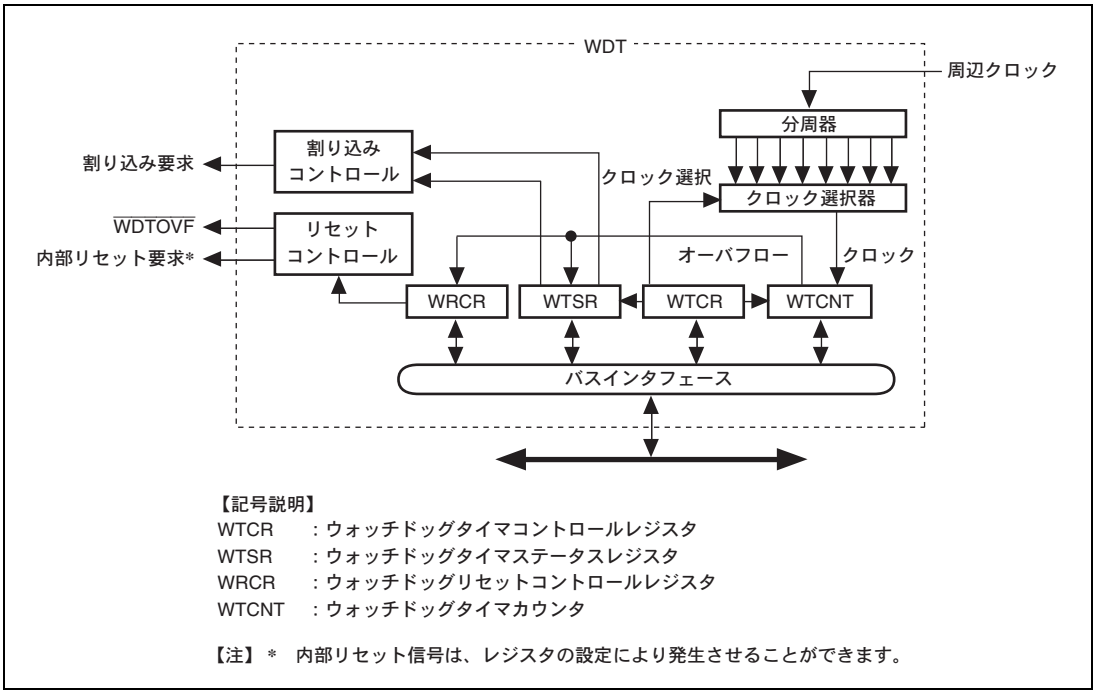


図 13.1 WDT のブロック図

13.2 入出力端子

WDT の端子を表 13.1 に示します。

表 13.1 端子構成

名称	端子名	入出力	機　　能
ウォッチドッグタイマオーバフロー	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力

13.3 レジスタの説明

WDT には以下のレジスタがあります。

表 13.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマコントロールレジスタ	WTCR	R/W	H'0000	H'FFFE0000	8、16
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'0000	H'FFFE0002	8、16
ウォッチドッグタイマステータスレジスタ	WTSR	R/W	H'0000	H'FFFE0004	8、16
ウォッチドッグリセットコントロールレジスタ	WRCR	R/W	H'0000	H'FFFE0006	8、16

13.3.1 ウォッチドッグタイマコントロールレジスタ（WTCR）

WTCR は、読み出し／書き込み可能な 16 ビットのレジスタで、8 ビットのライトキー、動作モードの選択ビット、WTCNT のカウントに使用するクロックの選択を行うビット、およびイネーブルビットからなります。

WTCR は、$\overline{\text{RES}}$ 端子によるパワーオンリセットやハードウェアスタンバイモード時およびウォッチドッグタイマモードでの WTCNT のオーバフロー発生時に初期化されます。

WTCR への書き込みはワード単位で行う必要があります。WT/$\overline{\text{IT}}$、TME、CKS ビットの値を書き換える際には、同時に TCRKEY ビットに H'A5 を書き込んでください。TCRKEY ビットに H'A5 以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

WTCR の読み出しはワード単位、バイト単位のどちらでも可能です。ただし、TCRKEY ビットへの書き込みデータは保持されませんので、TCRKEY ビットの読み出し値は常に H'00 になります。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「13.3.5 レジスタアクセス時の注意」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRKEY[7:0]								–	WT/$\overline{\text{IT}}$	TME	–	–	CKS[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　明
15～8	TCRKEY [7:0]	H'00	R/W*	WTCR ライトキーコード WT/$\overline{\text{IT}}$、TME、CKS ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されませんので、読み出し値は常に H'00 になります。 H'A5：WT/$\overline{\text{IT}}$、TME、CKS ビットの書き換え可能 H'A5 以外：WT/$\overline{\text{IT}}$、TME、CKS ビットの書き換え不可

<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説　　明</th></tr>
<tr><td>7</td><td>－</td><td>0</td><td>R</td><td>リザーブビット
読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td></tr>
<tr><td>6</td><td>WT/$\overline{\text{IT}}$</td><td>0</td><td>R/W</td><td>タイマモードセレクト
ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。
0：インターバルタイマモード
1：ウォッチドッグタイマモード
【注】 ウォッチドッグタイマモードでは、WTCNT がオーバフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力
WDT の動作中に WT/$\overline{\text{IT}}$ を書き換えるとカウントアップが正しく行われないことがあります。</td></tr>
<tr><td>5</td><td>TME</td><td>0</td><td>R/W</td><td>WTCNT イネーブル
WTCNT のカウント動作の開始または停止を設定します。
0：カウントディスエーブル
カウントアップを停止し、WTCNT の値を保持する。
1：カウントイネーブル</td></tr>
<tr><td>4、3</td><td>－</td><td>すべて 0</td><td>R</td><td>リザーブビット
読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</td></tr>
<tr><td>2～0</td><td>CKS[2:0]</td><td>000</td><td>R/W</td><td>クロックセレクト
周辺クロック（Pφ）を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。下表に Pφ＝20MHz および Pφ＝40MHz のときのオーバフロー周期を示します。
<table>
<tr><th rowspan="2">クロック分周比</th><th colspan="2">オーバフロー周期</th></tr>
<tr><th>Pφ＝20MHz</th><th>Pφ＝40MHz</th></tr>
<tr><td>000：1 x Pφ</td><td>12.8μs</td><td>6.4μs</td></tr>
<tr><td>001：1/64 x Pφ</td><td>819.2μs</td><td>409.6μs</td></tr>
<tr><td>010：1/128 x Pφ</td><td>1.6ms</td><td>0.8ms</td></tr>
<tr><td>011：1/256 x Pφ</td><td>3.3ms</td><td>1.65ms</td></tr>
<tr><td>100：1/512 x Pφ</td><td>6.6ms</td><td>3.3ms</td></tr>
<tr><td>101：1/1024 x Pφ</td><td>13.1ms</td><td>6.55ms</td></tr>
<tr><td>110：1/4096 x Pφ</td><td>52.4ms</td><td>26.2ms</td></tr>
<tr><td>111：1/16384 x Pφ</td><td>209.7ms</td><td>104.35ms</td></tr>
</table>
【注】 WTCNT のカウント動作中に CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換える場合は、必ず WTCNT を停止させてください。</td></tr>
</table>

【注】 ＊ 書き込みデータは保持されません。

13.3.2 ウォッチドッグタイマカウンタ（WTCNT）

WTCNT は、読み出し／書き込み可能な 16 ビットのレジスタで、8 ビットのライトキーと 8 ビットのカウンタで構成されます。WTCR の TME ビットを 1 にセットすると、WTCR の CKS2～0 ビットで選択した内部クロックにより、WTCNT はカウントアップを開始します。

WTCNT がオーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号（$\overline{\text{WDTOVF}}$）が発生し、インターバルタイマモードのときはインターバルタイマ割り込み（ITI）が発生します。WTCNT は、$\overline{\text{RES}}$ 端子によるパワーオンリセットやハードウェアスタンバイモード時およびウォッチドッグタイマモードでの WTCNT のオーバフロー発生時に H'0000 に初期化されます。

WTCNT への書き込みはワード単位で行う必要があります。TCNT ビットの値を書き換える際には、同時に TCNTKEY ビットへ H'5A を書き込んでください。TCNTKEY ビットに H'5A 以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

WTCNT の読み出しはワード単位、バイト単位のどちらでも可能です。ただし、TCNTKEY ビットへの書き込みデータは保持されませんので、TCNTKEY ビットの読み出し値は常に H'00 になります。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「13.3.5 レジスタアクセス時の注意」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTKEY[7:0]								TCNT[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 ＊ 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	TCNTKEY [7:0]	H'00	R/W*	WTCNT ライトキーコード TCNT ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されませんので、読み出し値は常に H'00 になります。 H'5A：TCNT ビットの書き換え可能 H'5A 以外：TCNT ビットの書き換え不可
7～0	TCNT[7:0]	H'00	R/W	8 ビットタイマカウンタ値 TCNT ビットの値が H'FF から H'00 になるタイミングでオーバフローを検出します。

13.3.3 ウォッチドッグタイマステータスレジスタ（WTSR）

WTSR は、読み出し／書き込み可能な 16 ビットのレジスタで、8 ビットのライトキー、ウォッチドッグタイマモードでのオーバフローフラグ、およびインターバルタイマモードでのオーバフローフラグで構成されます。

WTSR は、$\overline{\text{RES}}$ 端子によるパワーオンリセットやハードウェアスタンバイモード時、H'0000 に初期化されます。ウォッチドッグタイマモードでの WTCNT のオーバフローおよび WTCNT のオーバフローによる内部リセットでは初期化されません。

WTSR への書き込みはワード単位で行う必要があります。WOVF、IOVF ビットの値を書き換える際には、同時に TSRKEY ビットへ H'A5 を書き込んでください。TSRKEY ビットに H'A5 以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

WTSR の読み出しはワード単位、バイト単位のどちらでも可能です。ただし、TSRKEY ビットへの書き込みデータは保持されませんので、TSRKEY ビットの読み出し値は常に H'00 になります。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「13.3.5 レジスタアクセス時の注意」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSRKEY[7:0]								WOVF	–	–	–	IOVF	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*2	R	R	R	R/W*2	R	R	R

【注】 *1 書き込みデータは保持されません。
*2 フラグをクリアするために0のみ書き込むことができます。1を書き込むことは無効です。

ビット	ビット名	初期値	R/W	説　明
15～8	TSRKEY [7:0]	H'00	R/W*1	WTSR ライトキーコード WOVF、IOVF ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されませんので、読み出し値は常に H'00 になります。 H'A5：WOVF、IOVF ビットの書き換え可能 H'A5 以外：WOVF、IOVF ビットの書き換え不可
7	WOVF	0	R/W*2	ウォッチドッグタイマオーバフロー ウォッチドッグタイマモードで WTCNT がオーバフローしたことを示します。本ビットは、インターバルタイマモードではセットされません。 0：オーバフローなし 1：ウォッチドッグタイマモードで WTCNT がオーバフローした ［クリア条件］ • WOVF ビットが 1 の状態を読み出してから 0 を書き込む
6～4	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
3	IOVF	0	R/W*2	インターバルタイマオーバフロー インターバルタイマモードでWTCNTがオーバフローしたことを示します。本ビットは、ウォッチドッグタイマモードではセットされません。 0：オーバフローなし 1：インターバルタイマモードで WTCNT がオーバフローした ［クリア条件］ • IOVF ビットが 1 の状態を読み出してから 0 を書き込む
2～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 *1 書き込みデータは保持されません。

*2 フラグをクリアするために 0 のみ書き込むことができます。1 を書き込むことは無効です。

13.3.4 ウォッチドッグリセットコントロールレジスタ（WRCR）

WRCR は、読み出し／書き込み可能な 16 ビットのレジスタで、8 ビットのライトキー、WTCNT のオーバフローによる内部リセットの発生を制御するビットで構成されます。

WRCR は、$\overline{\text{RES}}$ 端子によるパワーオンリセットやハードウェアスタンバイモード時、H'0000 に初期化されます。ウォッチドッグタイマモードでの WTCNT のオーバフローおよび WTCNT のオーバフローによる内部リセットでは初期化されません。

WRCR への書き込みはワード単位で行う必要があります。RSTE ビットの値を書き換える際には、同時に RCRKEY ビットへ H'5A を書き込んでください。RCRKEY ビットに H'5A 以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

WRCR の読み出しはワード単位、バイト単位のどちらでも可能です。ただし、RCRKEY ビットへの書き込みデータは保持されませんので、RCRKEY ビットの読み出し値は常に H'00 になります。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「13.3.5 レジスタアクセス時の注意」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCRKEY[7:0]								RSTE	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W	R	R	R	R	R	R	R

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	RCRKEY [7:0]	H'00	R/W*	WRCR ライトキーコード RSTE ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されませんので、読み出し値は常に H'00 になります。 H'5A：RSTE ビットの書き換え可能 H'5A 以外：RSTE ビットの書き換え不可
7	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバフローしたとき、本 LSI 内部をリセットするかどうかを選択します。インターバルタイマモードの場合、本ビットの設定値は無視されます。 0：WTCNT がオーバフローしたとき、内部リセットしない 1：WTCNT がオーバフローしたとき、内部リセットする 【注】RSTE ビットが 0 のとき、本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCR は、WTCNT のオーバフローでリセットされます。
6～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * 書き込みデータは保持されません。

13.3.5 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ（WTCNT）、ウォッチドッグタイマコントロールレジスタ（WTCR）、ウォッチドッグタイマステータスレジスタ（WTSR）、ウォッチドッグリセットコントロールレジスタ（WRCR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

（1） WTCNT、WTCR、WTSR、および WRCR への書き込み

WTCNT、WTCR、WTSR、および WRCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では書き込めません。

図 13.2 に示すように、WTCNT および WRCR へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCR および WTSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT、WTCR、WTSR、および WRCR へ書き込まれます。

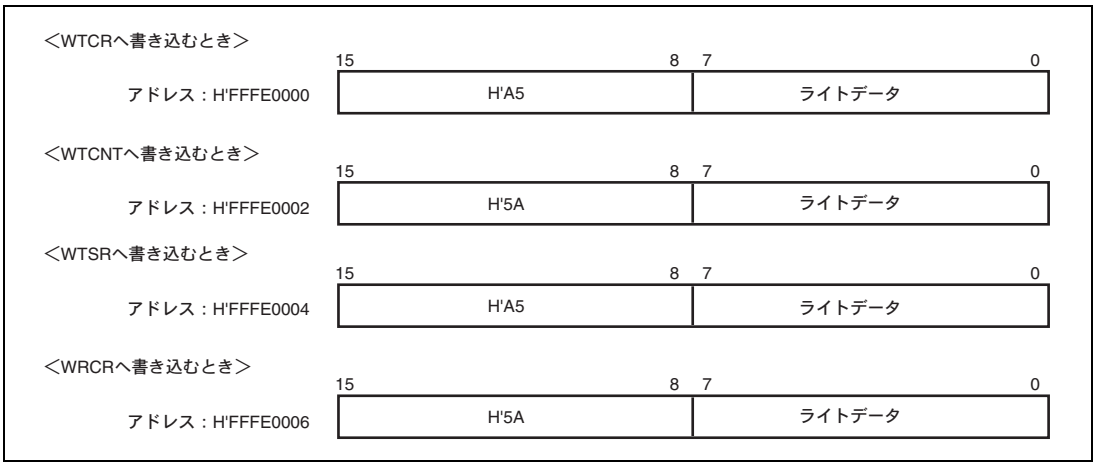


図 13.2 WTCNT、WTCR、WTSR、および WRCR への書き込み

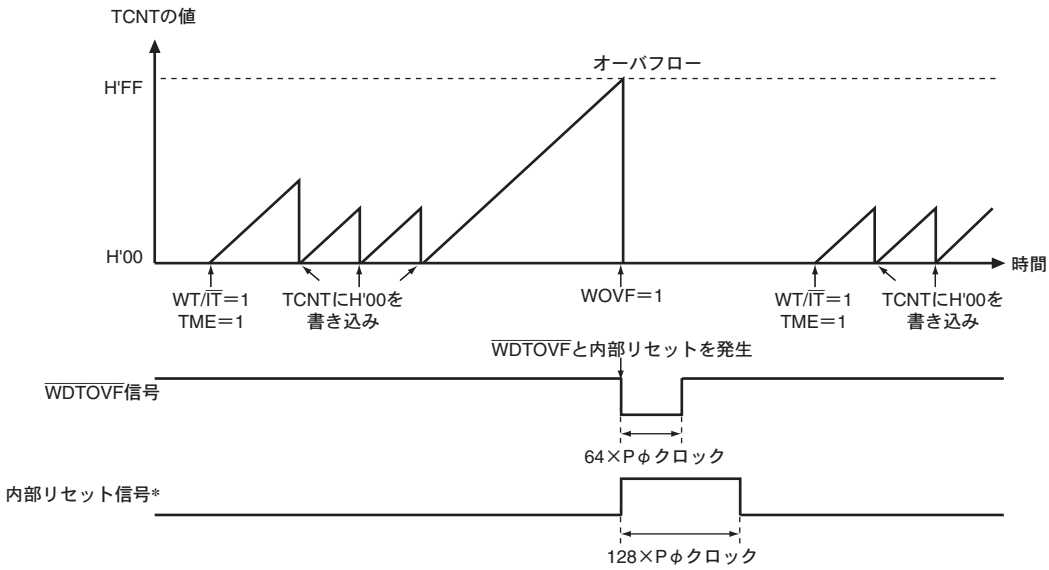
（2） WTCNT、WTCR、WTSR、および WRCR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができ、バイト転送命令、ワード転送命令のどちらも使用可能です。

13.4 WDT の使用方法

13.4.1 ウォッチドッグタイマモードの使用法

1. WTCRのWT/$\overline{\text{IT}}$ビットに1を設定して、CKS2～0にカウントクロックの種類、WRCRのRSTEビットに本LSIの内部をリセットするかしないか、およびWTCNTに初期値を設定します。
2. WTCRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバフローすると、WDTはWTSRのWOVFを1にセットして、$\overline{\text{WDTOVF}}$信号を外部に出力します。これを**図13.3**に示します。この$\overline{\text{WDTOVF}}$信号を用いて、システムをリセットすることができます。$\overline{\text{WDTOVF}}$信号は、64×Pφクロックの間出力されます。
5. WRCRのRSTEビットを1にセットしておくと、$\overline{\text{WDTOVF}}$信号と同時に本LSIの内部をリセットする信号を発生させることができます。内部リセット信号は、128×Pφクロックの間出力されます。
6. $\overline{\text{RES}}$端子からの入力信号によるリセットとWTCNTのオーバフローによるリセットが同時に発生したときは、$\overline{\text{RES}}$端子によるリセットが優先され、WTSRのWOVFビットは0にクリアされます。



【記号説明】
WT/$\overline{\text{IT}}$: タイマモードセレクトビット
TME ：タイマイネーブルビット

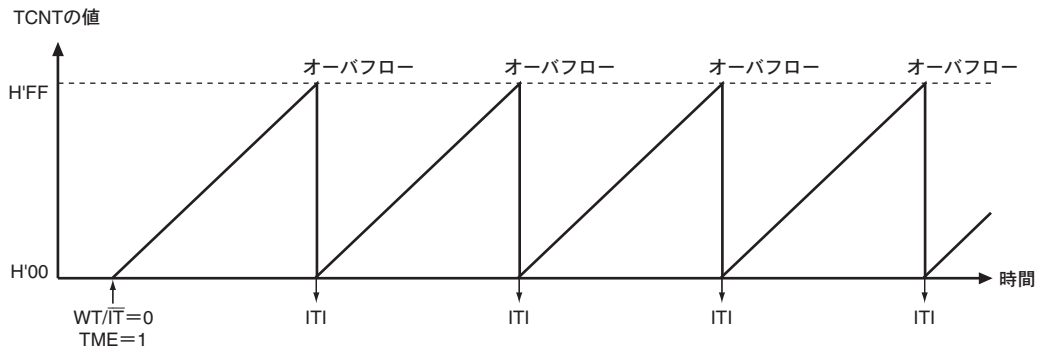
【注】＊ 内部リセット信号は、RSTEビットが1にセットされているときだけ発生します。

図 13.3 ウォッチドッグタイマモード時の動作

13.4.2 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバフローするたびにインターバルタイマ割り込み（ITI）を発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCRのWT/$\overline{\text{IT}}$ビットに0をセットして、CKS2～0ビットにカウントクロックの種類、TCNTに初期値を設定します。
2. WTCRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバフローするとWTSRのIOVFに1をセットし、インターバルタイマ割り込み要求（ITI）をINTCに送ります。カウンタはカウントを続行します。



【記号説明】
ITI：インターバルタイマ割り込み要求発生

図 13.4 インターバルタイマモード時の動作

13.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

13.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCR レジスタの TME ビットのセットタイミングによって、Pφの 1 サイクル後（最短）から、CKS2～0 で選択した分周タイミング（最長）までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中, WTCNT レジスタ書き換え後, 最初のカウントアップタイミングも同様です。

13.5.2 分周比の変更

WTCNT のカウント動作中に WTCR の CKS2～0 ビットの値を変更すると、カウントアップが正しく行われない場合があります。CKS2～0 ビットを書き換えるときは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

13.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

13.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。$\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、**図 13.5** に示すような回路で行ってください。

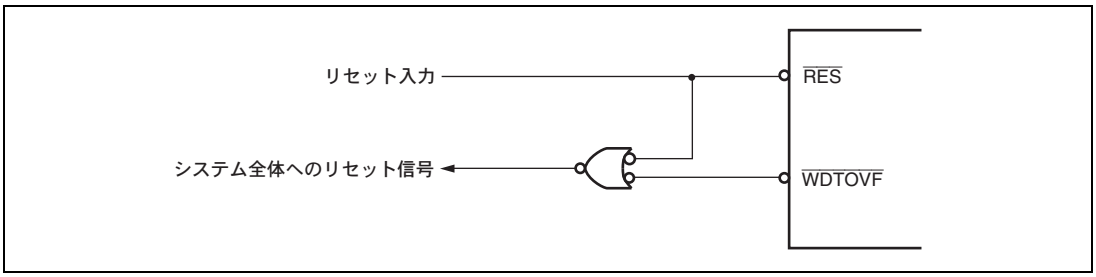


図 13.5 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

14. コンペアマッチタイマ（CMT）

本 LSI は、2 チャネルの 16 ビットタイマにより構成されるコンペアマッチタイマ（CMT）を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

14.1 特長

- 4種類のカウンタ入力クロックを2チャネル独立で選択可能

  4種類の内部クロック（Pφ/8、Pφ/32、Pφ/128、Pφ/512）を選択可能
- コンペアマッチ時、DMAC設定により、DMA転送要求または割り込み要求の発生を選択可能

図 14.1 に CMT のブロック図を示します。

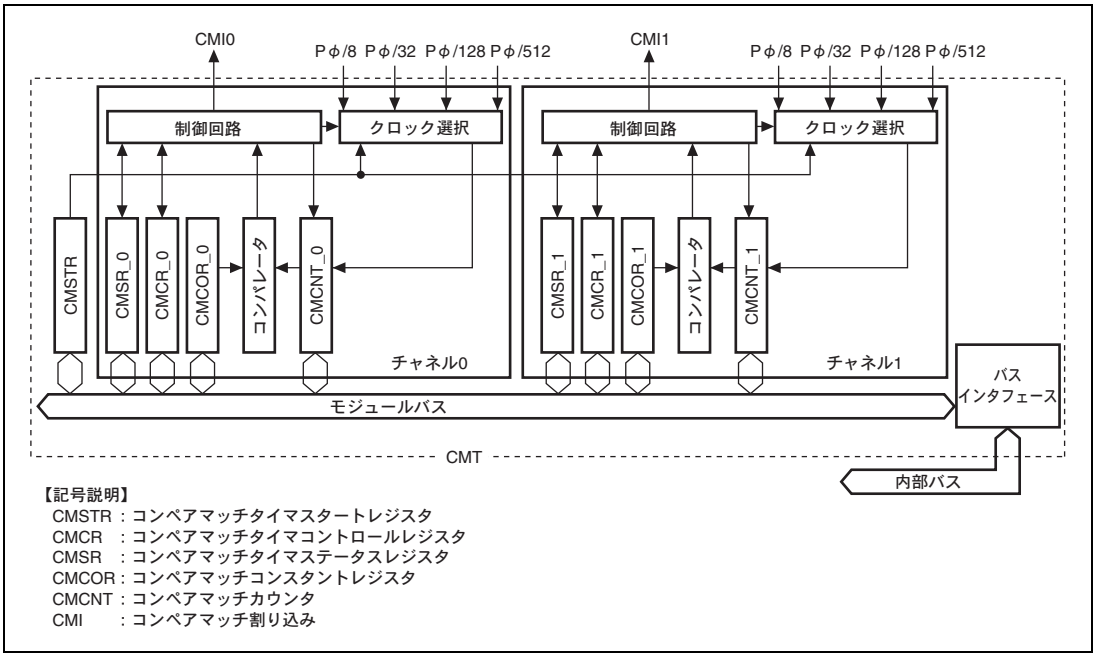


図 14.1 CMT のブロック図

14.2 レジスタの説明

CMT には以下のレジスタがあります。

表 14.1 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFEC000	16
0	コンペアマッチタイマコントロールレジスタ_0	CMCR_0	R/W	H'00	H'FFFEC010	8
	コンペアマッチタイマステータスレジスタ_0	CMSR_0	R/(W)*	H'00	H'FFFEC011	8
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFEC012	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFEC014	16
1	コンペアマッチタイマコントロールレジスタ_1	CMCR_1	R/W	H'00	H'FFFEC020	8
	コンペアマッチタイマステータスレジスタ_1	CMSR_1	R/(W)*	H'00	H'FFFEC021	8
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFEC022	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFEC024	16

14.2.1 コンペアマッチタイマスタートレジスタ（CMSTR）

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ（CMCNT）の動作／停止を選択します。

CMSTR はパワーオンリセット時およびスタンバイモード時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	STR1	STR0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～2	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作／停止を選択します。 0：CMCNT_1 はカウントを停止* 1：CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作／停止を選択します。 0：CMCNT_0 はカウントを停止* 1：CMCNT_0 はカウントを開始

【注】 * カウントを停止した場合は、CMCNT の値は保持されます。

14.2.2 コンペアマッチタイマコントロールレジスタ（CMCR）

CMCR は 8 ビットのレジスタで、割り込み、DMA 転送要求の許可、およびカウンタ入力クロックの設定を行います。

CMCR はパワーオンリセット時およびスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	－	CMIE	－	－	－	－	CKS[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき（CMF＝1）、コンペアマッチ割り込み（CMI）の発生を許可するか禁止するかを選択します。 0：コンペアマッチ割り込み（CMI）を禁止 1：コンペアマッチ割り込み（CMI）を許可
5～2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック（Pφ）を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS1、CKS0 ビットにより選択されたクロックでカウントを開始します。 00：Pφ/8 01：Pφ/32 10：Pφ/128 11：Pφ/512

14.2.3 コンペアマッチタイマステータスレジスタ（CMSR）

CMSR は 8 ビットのレジスタで、コンペアマッチの発生を表示します。

CMSR はパワーオンリセット時およびスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	CMF
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/(W)*

ビット	ビット名	初期値	R/W	説　　明
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0：CMCNT と CMCOR の値は不一致 ［クリア条件］ • CMF＝1 を読み出し後、CMF に 0 を書き込んだとき 1：CMCNT と CMCOR の値が一致*

【注】 * CMCNT に CMCOR と同じ値を書き込んで一致した場合にも、CMF はセットされます。

14.2.4 コンペアマッチカウンタ（CMCNT）

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ（CMCOR）の値と一致すると、CMCNT は H'0000 にクリアされ CMSR の CMF フラグが 1 にセットされます。

CMCNT はパワーオンリセット時およびスタンバイモード時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.2.5 コンペアマッチコンスタントレジスタ（CMCOR）

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はパワーオンリセット時およびスタンバイモード時に H'FFFF に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3 動作説明

14.3.1 期間カウント動作

内部クロックが CMCR の CKS1、CKS0 ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMSR の CMF フラグが 1 にセットされます。このとき、CMCR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み（CMI）を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 14.2 にコンペアマッチカウンタ動作を示します。

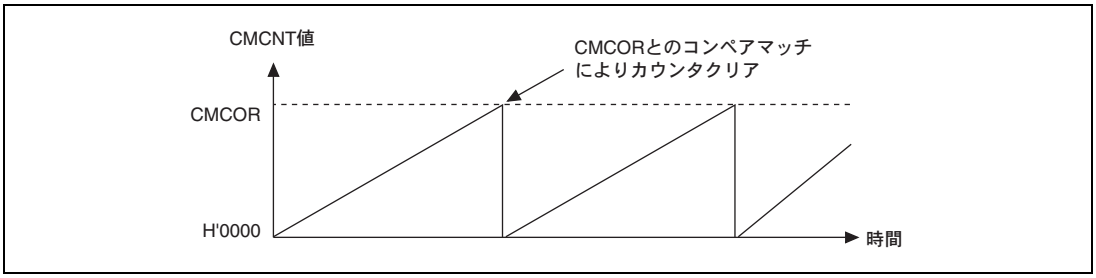


図 14.2 カウンタ動作

14.3.2 CMCNT カウントタイミング

周辺クロック（Pφ）を分周して得られた 4 種類のクロック（Pφ/8、Pφ/32、Pφ/128、Pφ/512）のうち 1 つを CMCR の CKS1、CKS0 ビットにより選択することができます。**図 14.3** にそのタイミングを示します。

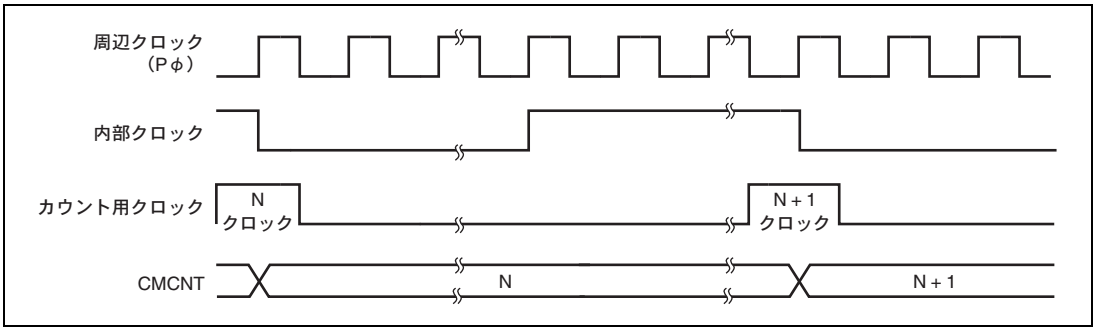


図 14.3 カウントタイミング

14.4 割り込み

14.4.1 割り込み要因と DMA 転送要求

CMT はチャネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ（CMF）が 1 にセットされ、かつ割り込み許可ビット（CMIE）が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 8 章　割り込みコントローラ（INTC）」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、ダイレクトメモリアクセスコントローラ（DMAC）の設定により、DMAC を起動することができます。このとき、CPU へ割り込み発生はしません。DMAC の起動設定を行わない場合は、CPU へ割り込み要求が発生します。DMAC によるデータ転送時に CMF ビットは自動的にクリアされます。

14.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート（CMCNT の値が H'0000 に更新されるタイミング）で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 14.4 に CMF ビットのセットタイミングを示します。

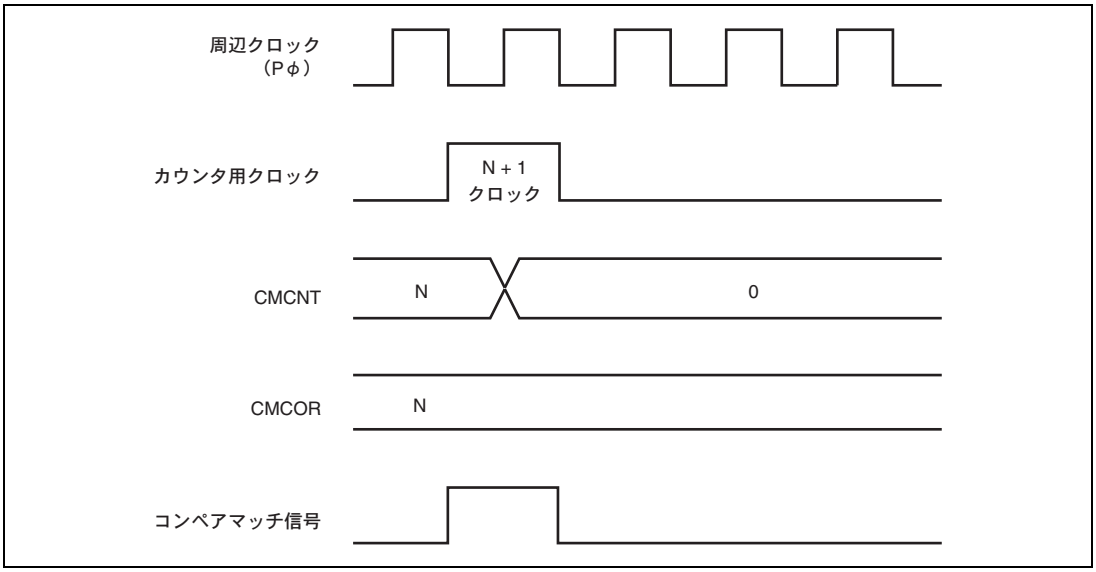


図 14.4　CMF セットタイミング

14.4.3 コンペアマッチフラグのクリアタイミング

CMSR の CMF ビットは、CMF＝1 を読み出した後に 0 を書き込むことでクリアされます。ただし、DMAC を起動した場合、DMAC がデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

なお、フラグのクリアは、カウンタの動作状態によらずに実施されます。カウント停止中でも、CPU によるレジスタライトおよび DMAC からの ACK 信号によってフラグはクリアされます。

14.5 使用上の注意事項

14.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 14.5 に示します。

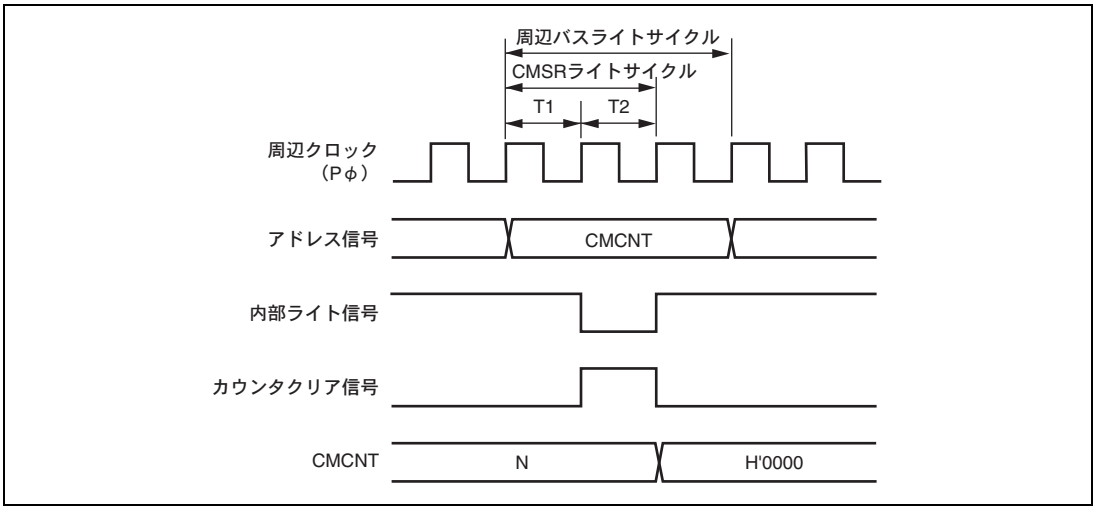


図 14.5 CMCNT の書き込みとコンペアマッチの競合

14.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 14.6 に示します。

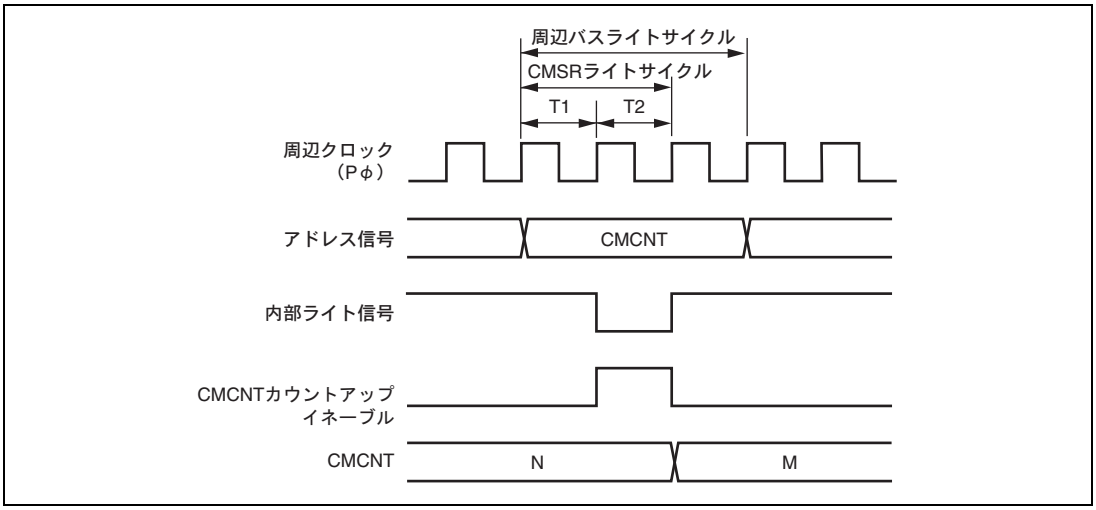


図 14.6 CMCNT のワード書き込みとカウントアップの競合

14.5.3 CPU によるコンペアマッチフラグのクリアとセットの競合

コンペアマッチフラグがセットされた状態で、コンペアマッチフラグの 1 読み出し後の 0 書き込みによるフラグクリア（CMSR レジスタのライトサイクル中の T2 ステート）とコンペアマッチによるフラグセットが同時に発生した場合、フラグセットが優先されます。また、フラグの 1 読み出しから 0 書き込みまでの間にコンペアマッチが発生すると、0 書き込みによるフラグクリアは実行されません。

このタイミングを**図 14.7** に示します。左がフラグのセットとクリアが同時に発生した場合であり、右がフラグの 1 読み出しから 0 書き込みまでの間にコンペアマッチが発生した場合です。

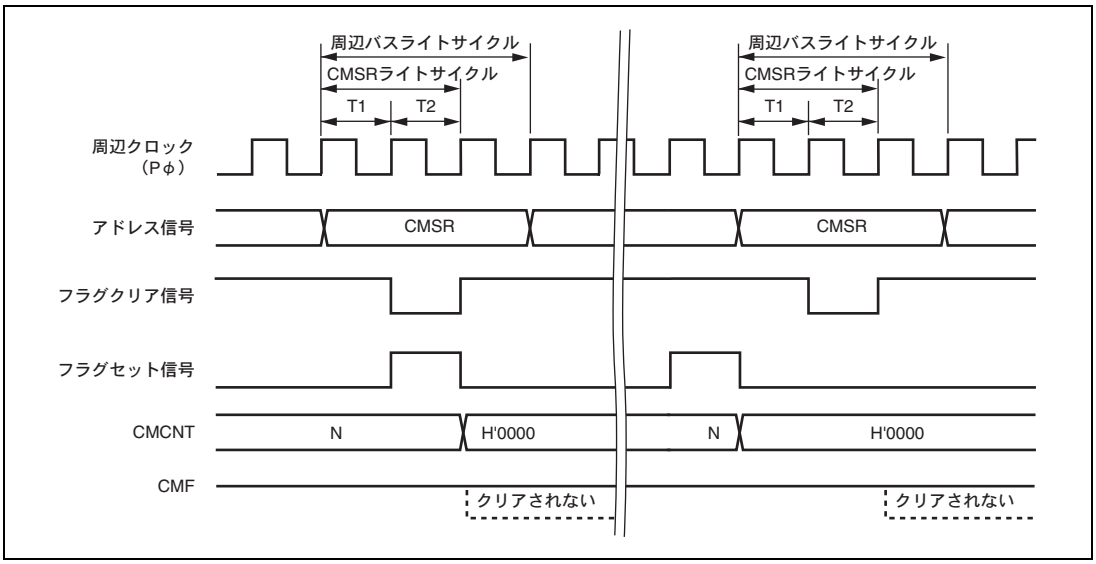


図 14.7 CPU によるコンペアマッチフラグのクリアとセットの競合

15. シリアルコミュニケーションインタフェース（SCI）

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。

15.1 特長

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
- 調歩同期式モード

  キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter（UART）やAsynchronous Communications Interface Adapter（ACIA）などの標準の調歩同期式通信LSIとのシリアルデータ通信が可能です。

  シリアルデータ通信フォーマットを12種類のフォーマットから選択できます。

  データ長：7ビット、または8ビット

  ストップビット長：1ビット、または2ビット

  パリティ：偶数パリティ、奇数パリティ、またはパリティなし

  受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出

  ブレークの検出：フレーミングエラー発生時にRxD端子のレベルを直接読み出すことによりブレークを検出できます。
- クロック同期式モード

  クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能です。

  シリアルデータ通信フォーマットは1種類です。

  データ長：8ビット

  受信エラーの検出：オーバランエラーを検出

- 全二重通信が可能

  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

  また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- クロック同期式モードでは、送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因

  送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ要求と受信データフル要求により、専用ダイレクトメモリアクセスコントローラ（A-DMAC）を起動させてデータの転送を行うことができます。

図 15.1 に SCI のブロック図を示します。

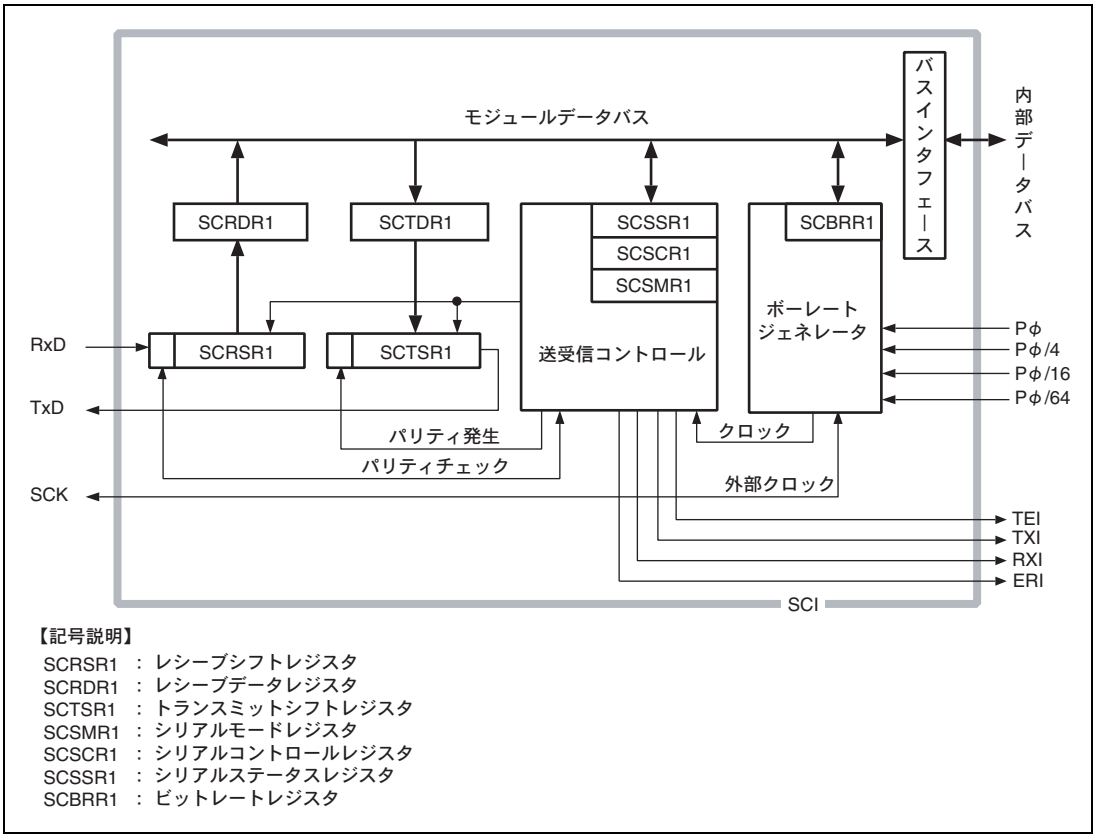


図 15.1 SCI のブロック図

15.2 入出力端子

SCI の端子構成を表 15.1 に示します。

表 15.1 端子構成

チャネル	名称	端子名	入出力	機　　能
A	シリアルクロック端子	SCK_A	入出力	クロック入出力
	レシーブデータ端子	RxD_A	入力	受信データ入力
	トランスミットデータ端子	TxD_A	出力	送信データ出力
B	シリアルクロック端子	SCK_B	入出力	クロック入出力
	レシーブデータ端子	RxD_B	入力	受信データ入力
	トランスミットデータ端子	TxD_B	出力	送信データ出力
C	シリアルクロック端子	SCK_C	入出力	クロック入出力
	レシーブデータ端子	RxD_C	入力	受信データ入力
	トランスミットデータ端子	TxD_C	出力	送信データ出力

【注】 1. SCI の動作設定を SCSCR1 の TE、RE、CKE1 ビット、および SCSMR1 の C/$\overline{A}$ ビットで行うことにより、シリアル端子として機能します。

2. 本文中ではチャネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.3 レジスタの説明

SCI には表 15.2 に示すレジスタがあります。これらのレジスタにより調歩同期式モード／クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部／受信部の制御を行うことができます。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 29 章　レジスター覧」を参照してください。

表 15.2　レジスタ構成

チャネル	レジスタ名	略称*1	R/W	初期値	アドレス	アクセスサイズ
A	シリアルモードレジスタ	SCSMR1A	R/W	H'00	H'FFFF8000	8
	ビットレートレジスタ	SCBRR1A	R/W	H'FF	H'FFFF8004	8
	シリアルコントロールレジスタ	SCSCR1A	R/W	H'00	H'FFFF8008	8
	トランスミットデータレジスタ	SCTDR1A	R/W	H'FF	H'FFFF800C	8
	シリアルステータスレジスタ	SCSSR1A	R/(W)*2	H'84	H'FFFF8010	8
	レシーブデータレジスタ	SCRDR1A	R	H'00	H'FFFF8014	8
B	シリアルモードレジスタ	SCSMR1B	R/W	H'00	H'FFFF8800	8
	ビットレートレジスタ	SCBRR1B	R/W	H'FF	H'FFFF8804	8
	シリアルコントロールレジスタ	SCSCR1B	R/W	H'00	H'FFFF8808	8
	トランスミットデータレジスタ	SCTDR1B	R/W	H'FF	H'FFFF880C	8
	シリアルステータスレジスタ	SCSSR1B	R/(W)*2	H'84	H'FFFF8810	8
	レシーブデータレジスタ	SCRDR1B	R	H'00	H'FFFF8814	8
C	シリアルモードレジスタ	SCSMR1C	R/W	H'00	H'FFFF9000	8
	ビットレートレジスタ	SCBRR1C	R/W	H'FF	H'FFFF9004	8
	シリアルコントロールレジスタ	SCSCR1C	R/W	H'00	H'FFFF9008	8
	トランスミットデータレジスタ	SCTDR1C	R/W	H'FF	H'FFFF900C	8
	シリアルステータスレジスタ	SCSSR1C	R/(W)*2	H'84	H'FFFF9010	8
	レシーブデータレジスタ	SCRDR1C	R	H'00	H'FFFF9014	8

【注】 *1　本文中では、チャネル名を省略してレジスタ名を記述しています。

*2　フラグをクリアするために 0 のみ書き込むことができます。

15.3.1 レシーブシフトレジスタ（SCRSR1）

SCRSR1 は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR1 に RxD 端子から入力されたシリアルデータを LSB（ビット 0）から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR1 へ転送されます。

CPU から直接 SCRSR1 の読み出し／書き込みをすることはできません。

ビット：	7	6	5	4	3	2	1	0
初期値：	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—

15.3.2 レシーブデータレジスタ（SCRDR1）

SCRDR1 は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ（SCRSR1）から SCRDR1 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR1 は受信可能になります。

このように、SCRSR1 と SCRDR1 はダブルバッファになっているため連続した受信動作が可能です。

SCRDR1 は、読み出し専用レジスタですので CPU から書き込むことはできません。

SCRDR1 は、パワーオンリセット時およびスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

15.3.3 トランスミットシフトレジスタ（SCTSR1）

SCTSR1 は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ（SCTDR1）から送信データをいったん SCTSR1 に転送し、LSB（ビット 0）から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR1 から SCTSR1 へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ（SCSSR1）の TDRE フラグが 1 にセットされている場合には、SCTDR1 から SCTSR1 へのデータ転送は行いません。

CPU から直接 SCTSR1 の読み出し／書き込みをすることはできません。

ビット：	7	6	5	4	3	2	1	0
初期値：	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—

15.3.4 トランスミットデータレジスタ（SCTDR1）

SCTDR1 は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ（SCTSR1）の空を検出すると、SCTDR1 に書き込まれた送信データを SCTSR1 に転送してシリアル送信を開始します。SCTSR1 のシリアルデータ送信中に SCTDR1 に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR1 は、常に CPU による読み出し／書き込みが可能です。

SCTDR1 は、パワーオンリセット時およびスタンバイモード時に H'FF に初期化されます。

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3.5 シリアルモードレジスタ（SCSMR1）

SCSMR1 は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR1 は、常に CPU による読み出し／書き込みが可能です。

SCSMR1 は、パワーオンリセット時およびスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	—	CKS[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	C/$\overline{A}$	0	R/W	コミュニケーションモード SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0：調歩同期式モード 1：クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR ビットの設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、トランスミットデータレジスタ（SCTDR1）の MSB（ビット 7）は送信されません。 0：8 ビットデータ 1：7 ビットデータ

ビット	ビット名	初期値	R/W	説　　明
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。 0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると送信時には、O/$\overline{E}$ ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/$\overline{E}$ ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。
4	O/$\overline{E}$	0	R/W	パリティモード パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/$\overline{E}$ ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/$\overline{E}$ ビットの指定は無効です。 0：偶数パリティ 1：奇数パリティ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3	STOP	0	R/W	ストップビットレングス 調歩同期式モードでのストップビットの長さを1ビット／2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。 0：1 ストップビット*1 1：2 ストップビット*2 なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。 【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1（ストップビット）を付加して送信します。 *2 送信時には、送信キャラクタの最後尾に 2 ビットの 1（ストップビット）を付加して送信します。

ビット	ビット名	初期値	R/W	説　　明
2	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	CKS[1:0]	00	R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pφ、Pφ/4、Pφ/16、Pφ/64 の 4 種類からクロックソースを選択できます。 クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「15.3.8　ビットレートレジスタ（SCBRR1）」を参照してください。 00：Pφクロック 01：Pφ/4 クロック 10：Pφ/16 クロック 11：Pφ/64 クロック 【注】　Pφ：周辺クロック

15.3.6　シリアルコントロールレジスタ（SCSCR1）

SCSCR1 は、SCI の送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。

SCSCR1 は、常に CPU による読み出し／書き込みが可能です。

SCSCR1 は、パワーオンリセット時およびスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	－	TEIE	CKE1	－
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7	TIE	0	R/W	トランスミットインタラプトイネーブル トランスミットデータレジスタ（SCTDR1）からトランスミットシフトレジスタ（SCTSR1）へシリアル送信データが転送されシリアルステータスレジスタ（SCSSR1）の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み（TXI）要求の発生を許可／禁止します。 0：送信データエンプティ割り込み（TXI）要求を禁止* 1：送信データエンプティ割り込み（TXI）要求を許可 【注】* TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。また、A-DMAC で SCTDR1 へデータを書き込んだときにも TXI 要求は解除されます。

ビット	ビット名	初期値	R/W	説　　明
6	RIE	0	R/W	レシーブインタラプトイネーブル シリアル受信データがレシーブシフトレジスタ（SCRSR1）からレシーブデータレジスタ（SCRDR1）へ転送されて SCSSR1 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求の発生を許可／禁止します。 0：受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を禁止* 1：受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を許可 【注】* RXI 要求の解除は、RDRF フラグが 1 の状態を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。また A-DMAC で SCRDR1 のデータを読み出したときにも RXI 要求は解除されます。ERI 割り込み要求の解除は、FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。
5	TE	0	R/W	トランスミットイネーブル SCI のシリアル送信動作の開始を許可／禁止します。 0：送信動作を禁止*1 1：送信動作を許可*2 【注】 *1 SCSSR1 の TDRE フラグは 1 に固定されます。送信動作の禁止と同時に送信データフル割り込み（TXI）要求を禁止したい場合は、TE ビットを 0 にクリアすると同時に TIE ビットも 0 にクリアしてください。 *2 この状態で、SCTDR1 に送信データを書き込んで、SCSSR1 の TDRE フラグを 0 にクリアするとシリアル送信を開始します。 なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ（SCSMR1）の設定を行い送信フォーマットを決定してください。
4	RE	0	R/W	レシーブイネーブル SCI のシリアル受信動作の開始を許可／禁止します。 0：受信動作を禁止*1 1：受信動作を許可*2 【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。また、受信動作の禁止と同時に受信データフル割り込み（RXI）要求を禁止したい場合は、RE ビットを 0 にクリアすると同時に、RIE ビットも 0 にクリアしてください。 *2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。 なお、RE ビットを 1 にセットする前に必ず SCSMR1 の設定を行い、受信フォーマットを決定してください。
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル MSB データ送出時に有効な送信データが SCTDR1 にないとき、送信終了割り込み（TEI）要求の発生を許可／禁止します。 TEI の解除は、SCSSR1 の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。また、A-DMAC で SCTDR1 へデータを書き込んだときにも TEI 要求は解除されます。 0：送信終了割り込み（TEI）要求を禁止 1：送信終了割り込み（TEI）要求を許可
1	CKE1	0	R/W	クロックイネーブル 1 SCI のクロック同期式モード時のクロックソースの選択および SCK 端子の入力、出力機能を設定します。 CKE1 を設定する場合は SCSMR1 の C/$\overline{A}$ ビットを 1 に設定してから CKE1 ビットを設定してください。SCI のクロックソースの選択についての詳細は「15.4 動作説明」の表 15.10 を参照してください。 0：内部クロック／SCK 端子は同期クロック出力 1：外部クロック／SCK 端子は同期クロック入力* 【注】＊　調歩同期式モード設定時（C/$\overline{A}$＝0）は、CKE1 ビットを 1 に設定しないでください。設定した場合の動作は保証されません。
0	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.3.7 シリアルステータスレジスタ（SCSSR1）

SCSSR1 は、SCI の動作状態を示すステータスフラグを内蔵した 8 ビットのレジスタです。

SCSSR1 は常に CPU から読み出し／書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。また、TEND フラグは読み出し専用であり、書き込むことはできません。

SCSSR1 は、パワーオンリセット時およびスタンバイモード時に H'84 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	－	－
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R

【注】＊ フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ トランスミットデータレジスタ（SCTDR1）からトランスミットシフトレジスタ（SCTSR1）にデータ転送が行われ SCTDR1 に次のシリアル送信データを書き込むことが可能になったことを示します。 0：SCTDR1 に有効な送信データが書き込まれていることを表示 ［クリア条件］ • TDRE＝1 の状態を読み出した後、0 を書き込んだとき • A-DMAC で SCTDR1 へデータを書き込んだとき 1：SCTDR1 に有効な送信データがないことを表示 ［セット条件］ • パワーオンリセット • SCSCR1 の TE ビットが 0 のとき • SCTDR1 から SCTSR1 にデータ転送が行われ SCTDR1 にデータの書き込みが可能になったとき

ビット	ビット名	初期値	R/W	説　　明
6	RDRF	0	R/(W)*	レシーブデータレジスタフル 受信したデータがレシーブデータレジスタ（SCRDR1）に格納されていることを示します。 0：SCRDR1 に有効な受信データが格納されていないことを表示 ［クリア条件］ • パワーオンリセット • RDRF＝1 の状態を読み出した後、0 を書き込んだとき • A-DMAC で SCRDR1 のデータを読み出したとき 1：SCRDR1 に有効な受信データが格納されていることを表示 ［セット条件］ • シリアル受信が正常終了し、SCRSR1 から SCRDR1 へ受信データが転送されたとき 【注】受信時にエラーを検出したとき、およびシリアルコントロールレジスタ（SCSCR1）の RE ビットを 0 にクリアしたときには SCRDR1 および RDRF フラグは影響を受けず以前の状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0：受信中、または正常に受信を完了したことを表示*1 ［クリア条件］ • パワーオンリセット • ORER＝1 の状態を読み出した後、0 を書き込んだとき 1：受信時にオーバランエラーが発生したことを表示*2 ［セット条件］ • RDRF＝1 の状態で次のシリアル受信を完了したとき 【注】 *1 SCSCR1 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 *2 SCRDR1 ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER＝1 にセットされた状態で、以降のシリアル受信を続けることはできません。

ビット	ビット名	初期値	R/W	説　　明
4	FER	0	R/(W)*	フレーミングエラー 調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。 0：受信中、または正常に受信を完了したことを表示*1 ［クリア条件］ • パワーオンリセット • FER＝1 の状態を読み出した後、0 を書き込んだとき 1：受信時にフレーミングエラーが発生したことを表示 ［セット条件］ • SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*2 【注】 *1 SCSCR1 の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。 *2 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR1 に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。
3	PER	0	R/(W)*	パリティエラー 調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。 0：受信中、または正常に受信を完了したことを表示*1 ［クリア条件］ • パワーオンリセット • PER＝1 の状態を読み出した後、0 を書き込んだとき 1：受信時にパリティエラーが発生したことを表示*2 ［セット条件］ • 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ（SCSMR1）の O/$\overline{E}$ ビットで指定した偶数パリティ／奇数パリティの設定と一致しなかったとき 【注】 *1 SCSCR1 の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。 *2 パリティエラーが発生したときの受信データは SCRDR1 に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。

ビット	ビット名	初期値	R/W	説　　明
2	TEND	1	R	トランスミットエンド 送信キャラクタの最後尾ビットの送信時に SCTDR1 に有効なデータがなく、送信を終了したことを示します。 TEND フラグは読み出し専用ですので、書き込むことはできません。 0：送信中であることを表示 ［クリア条件］ • TDRE＝1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき 1：送信を終了したことを表示 ［セット条件］ • パワーオンリセット • SCSCR1 の TE ビットが 0 のとき • 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE＝1 であったとき 【注】A-DMAC への TXI 割り込み要求で SCTDR1 にデータを書き込んだ場合、送信終了フラグとして本フラグを使用しないでください。
1、0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 ＊ フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

15.3.8 ビットレートレジスタ（SCBRR1）

SCBRR1 は、シリアルモードレジスタ（SCSMR1）の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR1 は、常に CPU による読み出し／書き込みが可能です。

SCBRR1 は、パワーオンリセット時およびスタンバイモード時に H'FF に初期化されます。調歩同期式モードでの最大ビットレートは 1.25Mbit/s です。SCBRR1 には最大ビットレートを超える値を設定しないでください。設定した場合の動作は保証されません。

SCBRR1 の設定値は以下の計算式で求められます。

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

〔調歩同期式モード〕

$$N = \frac{P\phi}{32 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート（bit/s）

N：ボーレートジェネレータの SCBRR1 の設定値（0≦N≦255）

（電気的特性を満足する設定値としてください）

Pφ：周辺モジュール用動作周波数（MHz）

n：ボーレートジェネレータ入力クロック（n=0、1、2、3）

（n とクロックの関係は、**表 15.3** を参照してください）

表 15.3 SCSMR1 の設定値

n	クロック	SCSMR1 の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差（\%）} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.4 に調歩同期式モードの SCBRR1 の設定例を、表 15.5 にクロック同期式モードの SCBRR1 の設定例を示します。

表 15.4 ビットレートに対する SCBRR1 の設定例（調歩同期式モード）

ビットレート (bit/s)	Pφ（MHz）					
	16			18		
	n	N	誤差（%）	n	N	誤差（%）
110	3	141	0.03	3	159	-0.12
150	3	103	0.16	3	116	0.16
300	3	51	0.16	2	233	0.16
600	3	25	0.16	2	116	0.16
1200	3	12	0.16	1	233	0.16
2400	2	25	0.16	1	116	0.16
4800	2	12	0.16	0	233	0.16
9600	1	25	0.16	0	116	0.16
19200	1	12	0.16	0	58	-0.69
31250	1	7	0	0	35	0
38400	0	25	0.16	0	28	1.02

ビットレート (bit/s)	Pφ（MHz）					
	20			32		
	n	N	誤差（%）	n	N	誤差（%）
110	3	177	-0.25	—	—	—
150	3	129	0.16	3	207	0.16
300	3	64	0.16	3	103	0.16
600	2	129	0.16	2	207	0.16
1200	2	64	0.16	2	103	0.16
2400	1	129	0.16	1	207	0.16
4800	1	64	0.16	1	103	0.16
9600	0	129	0.16	0	207	0.16
19200	0	64	0.16	0	103	0.16
31250	0	39	0	0	63	0
38400	0	32	-1.36	0	51	0.16

ビットレート（bit/s）	Pφ（MHz）					
	36			40		
	n	N	誤差（%）	n	N	誤差（%）
110	—	—	—	—	—	—
150	3	233	0.16	—	—	—
300	3	116	0.16	3	129	0.16
600	2	233	0.16	3	64	0.16
1200	2	116	0.16	2	129	0.16
2400	1	233	0.16	2	64	0.16
4800	1	116	0.16	1	129	0.16
9600	0	233	0.16	1	64	0.16
19200	0	116	0.16	0	129	0.16
31250	0	71	0	0	79	0
38400	0	58	-0.68	0	64	0.16

表 15.5 ビットレートに対する SCBRR1 の設定例（クロック同期式モード）

ビットレート (bit/s)	Pφ（MHz）							
	16		18		20		32	
	n	N	n	N	n	N	n	N
10	—	—	—	—	—	—	—	—
250	3	249	—	—	—	—	—	—
500	3	124	—	—	—	—	3	249
1k	2	249	—	—	—	—	3	124
2.5k	2	99	—	—	2	124	2	199
5k	1	199	1	224	1	249	2	99
10k	1	99	—	—	1	124	1	199
25k	0	159	1	44	1	49	1	79
50k	0	79	0	89	1	24	0	159
100k	0	39	0	44	0	49	0	79
250k	0	15	0	17	0	19	0	31
500k	0	7	0	8	0	9	0	15
1M	0	3	—	—	0	4	0	7
2.5M	—	—	—	—	0	1	—	—

ビットレート (bit/s)	Pφ（MHz）			
	36		40	
	n	N	n	N
10	—	—	—	—
250	—	—	—	—
500	—	—	—	—
1k	—	—	—	—
2.5k	2	224	2	249
5k	—	—	2	124
10k	1	224	1	249
25k	1	89	1	99
50k	0	179	1	49
100k	0	89	1	24
250k	0	35	0	39
500k	0	17	0	19
1M	0	8	0	9
2.5M	—	—	0	3

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄：設定できません。

－：設定可能ですが誤差がでます。

表 15.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、**表 15.7**、**表 15.8** に外部クロック入力時の最大ビットレートを示します。

表 15.6 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（調歩同期式モード）

Pφ（MHz）	最大ビットレート（bit/s）	設定値	
		n	N
16	1000000	0	0
18	1125000	0	0
20	1250000	0	0
32	1000000	0	1
36	1125000	0	1
40	1250000	0	1

表 15.7 外部クロック入力時の最大ビットレート（クロック同期式モード：t_{scyc}＝12_{cyc} 時）

Pφ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
16	1.33	1333333
18	1.5	1500000
20	1.67	1666666

表 15.8 外部クロック入力時の最大ビットレート（クロック同期式モード：t_{scyc}＝16_{cyc} 時）

Pφ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
32	2	2000000
36	2.25	2250000
40	2.5	2500000

15.4 動作説明

15.4.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ（SCSMR1）で行います。これを**表 15.9** に示します。また、SCI のクロックソースは、SCSMR1 の C/$\overline{A}$ ビットおよびシリアルコントロールレジスタ（SCSCR1）の CKE1 ビットの組み合わせで決まります。これを**表 15.10** に示します。

（1） 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加および1ビット／2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCIのクロックソース：内部ボーレートジェネレータのクロックで動作

（2） クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能

  内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

  外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 15.9 SCSMR1 の設定値とシリアル送信／受信フォーマット

SCSMR1 の設定値				モード	SCI の送信／受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティビット	ストップビット長
C/$\overline{A}$	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビットデータ	なし	なし

【記号説明】x：Don't care

表 15.10 SCSMR1、SCSCR1 の設定と SCI のクロックソースの選択

SCSMR1	SCSCR1 の設定値	モード	クロックソース	SCK 端子の機能
ビット 7	ビット 1			
C/$\overline{A}$	CKE1			
0	0*	調歩同期式モード	内部	SCI は SCK 端子を使用しません
1	0	クロック同期式モード	内部	同期クロックを出力
	1		外部	同期クロックを入力

【注】 * 調歩同期式モード設定時には、CKE1 ビットを 1 に設定しないでください。設定した場合の動作は保証されません。

15.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを**図 15.2** に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

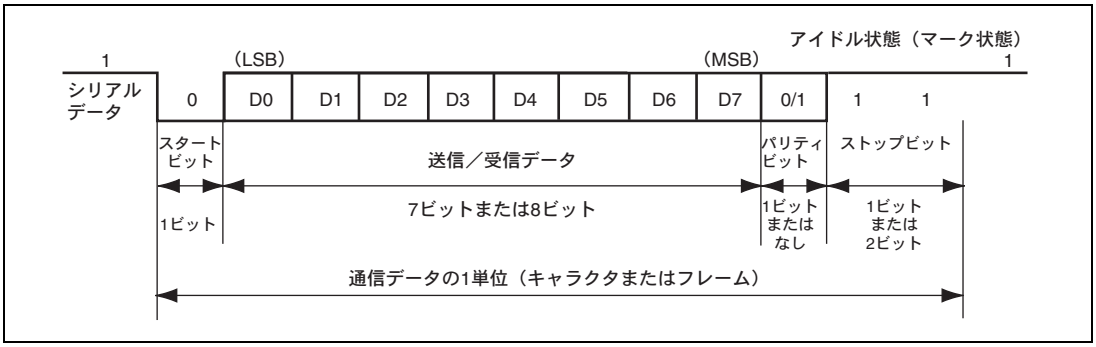


図 15.2 調歩同期式通信のデータフォーマット
（8 ビットデータ／パリティあり／2 ストップビットの例）

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、**表 15.11** に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ（SCSMR1）の設定により選択できます。

表 15.11 シリアル送信／受信フォーマット（調歩同期式モード）

SCSMR1の設定			シリアル送信／受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	S	8ビットデータ								STOP		
0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	S	8ビットデータ								P	STOP	
0	1	1	S	8ビットデータ								P	STOP	STOP
1	0	0	S	7ビットデータ							STOP			
1	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	S	7ビットデータ							P	STOP		
1	1	1	S	7ビットデータ							P	STOP	STOP	

【記号説明】

S　　：スタートビット

STOP　：ストップビット

P　　：パリティビット

（2） クロック

SCI の送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックを使用します。調歩同期式モード設定時は、必ずシリアルコントロールレジスタ（SCSCR1）の CKE1 ビットを 0 に設定してください。CKE1 ビットを 1 に設定した場合、動作の保証はできません。SCI のクロックソースの選択については**表 15.10** を参照してください。

（3） データの送信／受信動作

- **SCIの初期化（調歩同期式モード）**

データの送信／受信前には、まず SCSCR1 の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

TE ビットが 0 で、SCSCR1 の TIE ビットが 1 にセットされている場合、送信データエンプティ割り込み（TXI）要求が発生します。SCI の初期化時に TXI 要求を禁止したい場合は、TE ビットを 0 にクリアすると同時に TIE ビットも 0 にクリアしてください。また、RE ビットが 0 であっても、SCSCR1 の RIE ビットが 1 で RDRF フラグが 1 の場合、受信データフル割り込み（RXI）要求が発生します。SCI の初期化時に RXI 要求を禁止したい場合は、RE ビットを 0 にクリアすると同時に、RIE ビットも 0 にクリアしてください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、トランスミットシフトレジスタ（SCTSR1）が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ（SCRDR1）の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

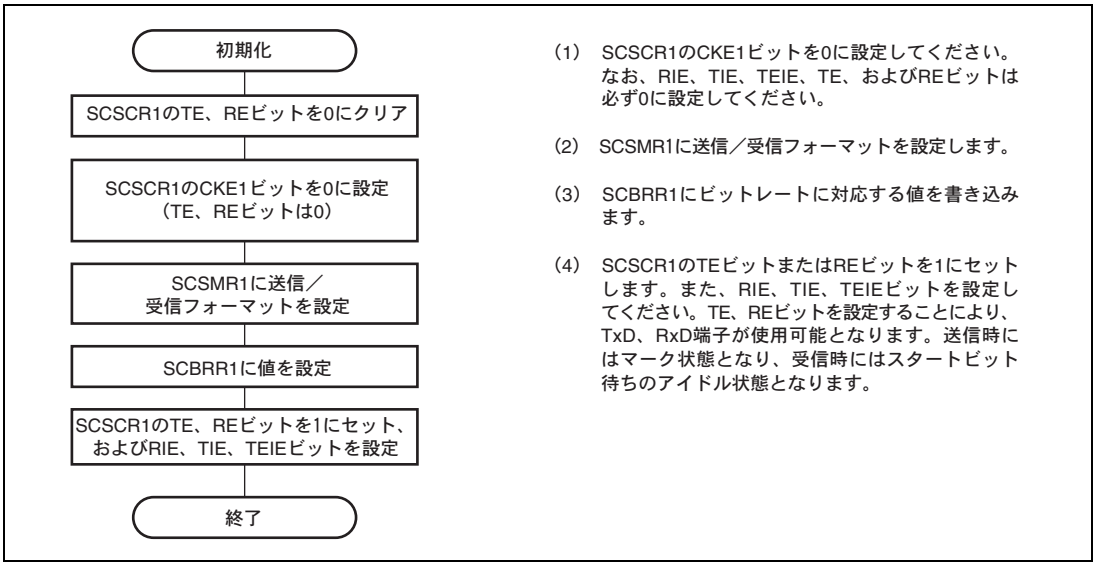
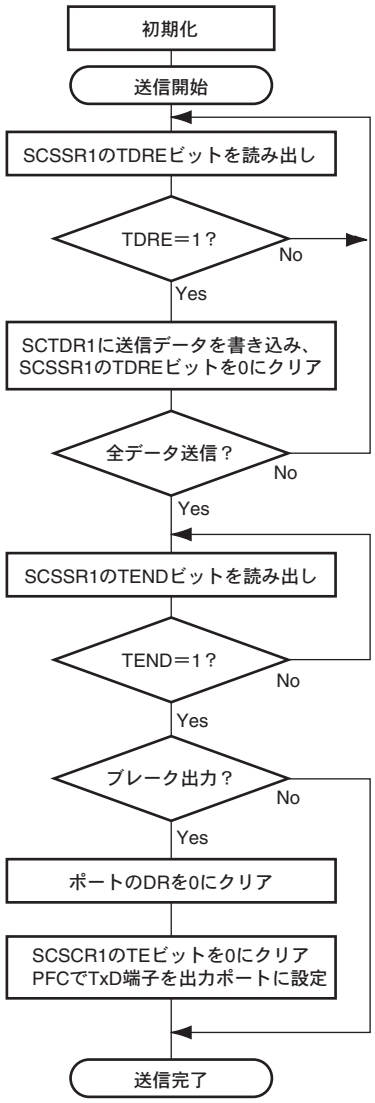


図 15.3 SCI の初期化フローチャートの例

- **シリアルデータ送信（調歩同期式モード）**

図 15.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順に従い行ってください。



(1) SCIの初期化：
TxD端子はPFCで設定してください。

(2) SCIの状態を確認して、送信データを書き込み：
シリアルステータスレジスタ（SCSSR1）を読み出して、TDREフラグが1であることを確認した後、トランスミットデータレジスタ（SCTDR1）に送信データを書き込み、TDREフラグを0にクリアします。

(3) シリアル送信の継続手順：
シリアル送信を続けるときには、TDREフラグの1を読み出して書き込み可能であることを確認した後にSCTDR1にデータを書き込み、続いてTDREフラグを0にクリアしてください。ただし、送信データエンプティ割り込み（TXI）要求で専用ダイレクトメモリアクセスコントローラ（A-DMAC）を起動しSCTDR1にデータを書き込む場合にはTDREビットのチェック、およびクリアは自動的に行われます。

(4) シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、ポートのデータレジスタ（DR）を0にクリアした後にシリアルコントロールレジスタ（SCSCR1）のTEビットを0にクリアし、PFCでTxD端子を出力ポートに設定します。

図 15.4　シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ（SCSSR1）のTDREフラグを監視し、0であるとトランスミットデータレジスタ（SCTDR1）にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ（SCTSR1）にデータを転送します。
2. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。
   このとき、シリアルコントロールレジスタ（SCSCR1）のTIEビットが1にセットされていると送信データエンプティ割り込み（TXI）要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

（a）スタートビット：1 ビットの 0 が出力されます。

（b）送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。

（c）パリティビット：1 ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。

（d）ストップビット：1 ビットまたは 2 ビットの 1（ストップビット）が出力されます。

（e）マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

3. SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
   TDREフラグが0であるとSCTDR1からSCTSR1にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
   TDREフラグが1であるとシリアルステータスレジスタ（SCSSR1）のTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCSCR1のTEIEビットが1にセットされているとTEI要求を発生します。

調歩同期式モードでの送信時の動作例を**図 15.5** に示します。

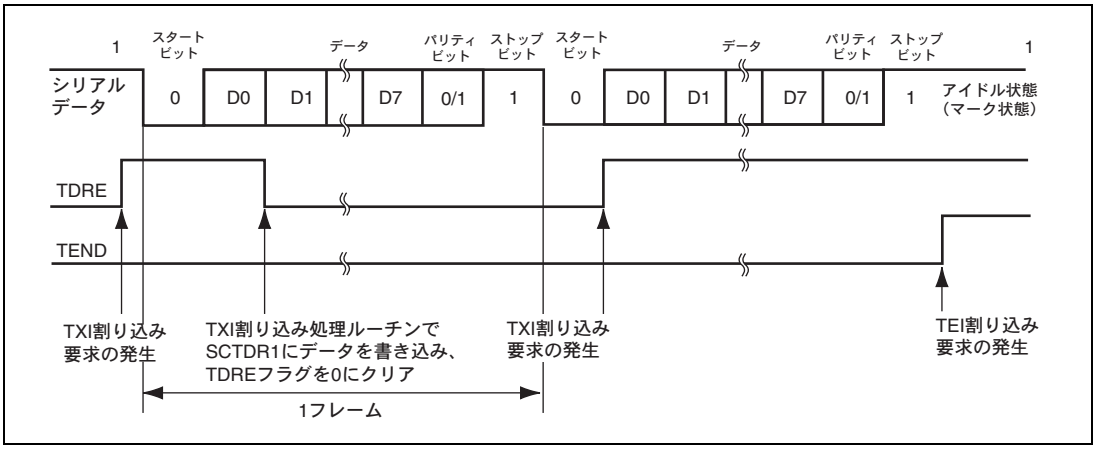


図 15.5 調歩同期式モードでの送信時の動作例
（8 ビットデータ／パリティあり／1 ストップビットの例）

- **シリアルデータ受信（調歩同期式モード）**

図 15.6 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従い行ってください。

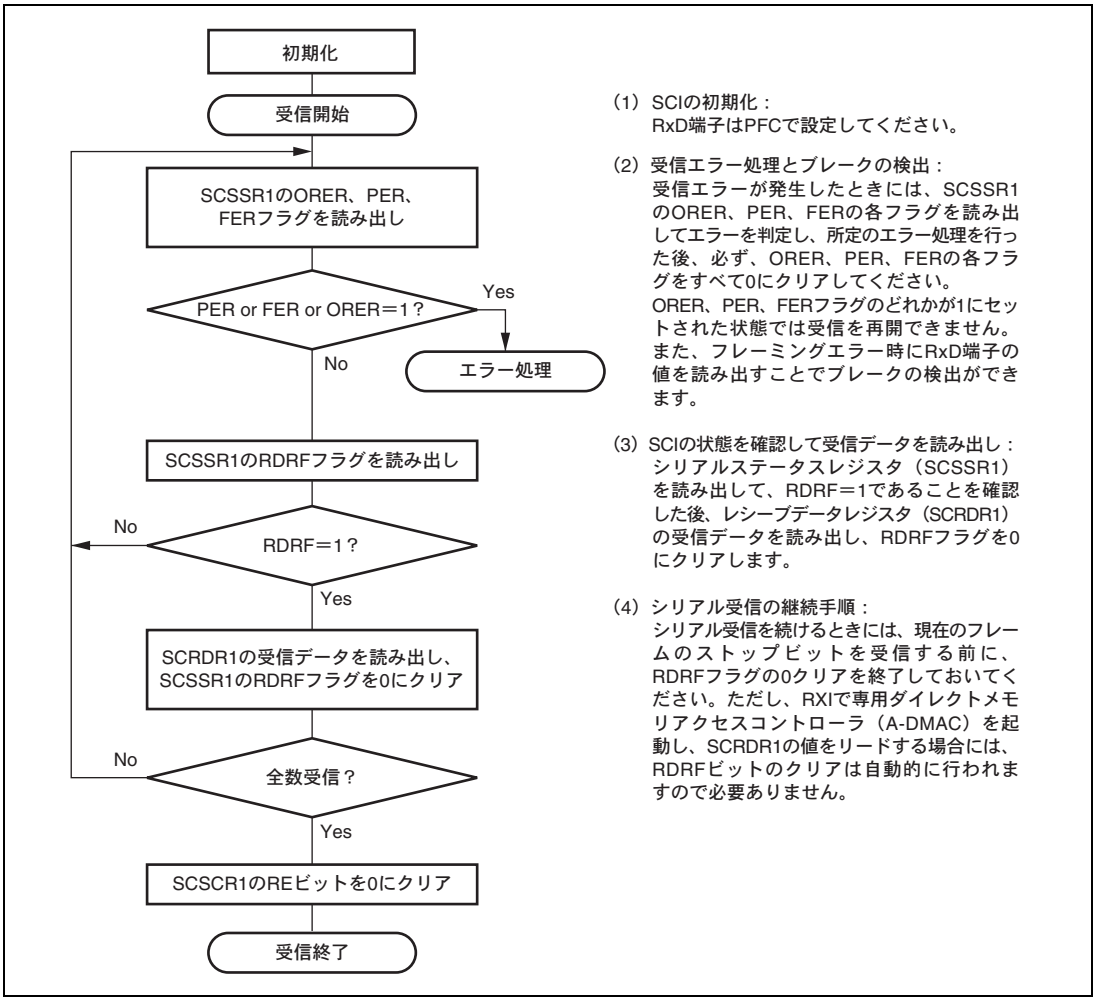


図 15.6　シリアル受信のフローチャートの例（1）

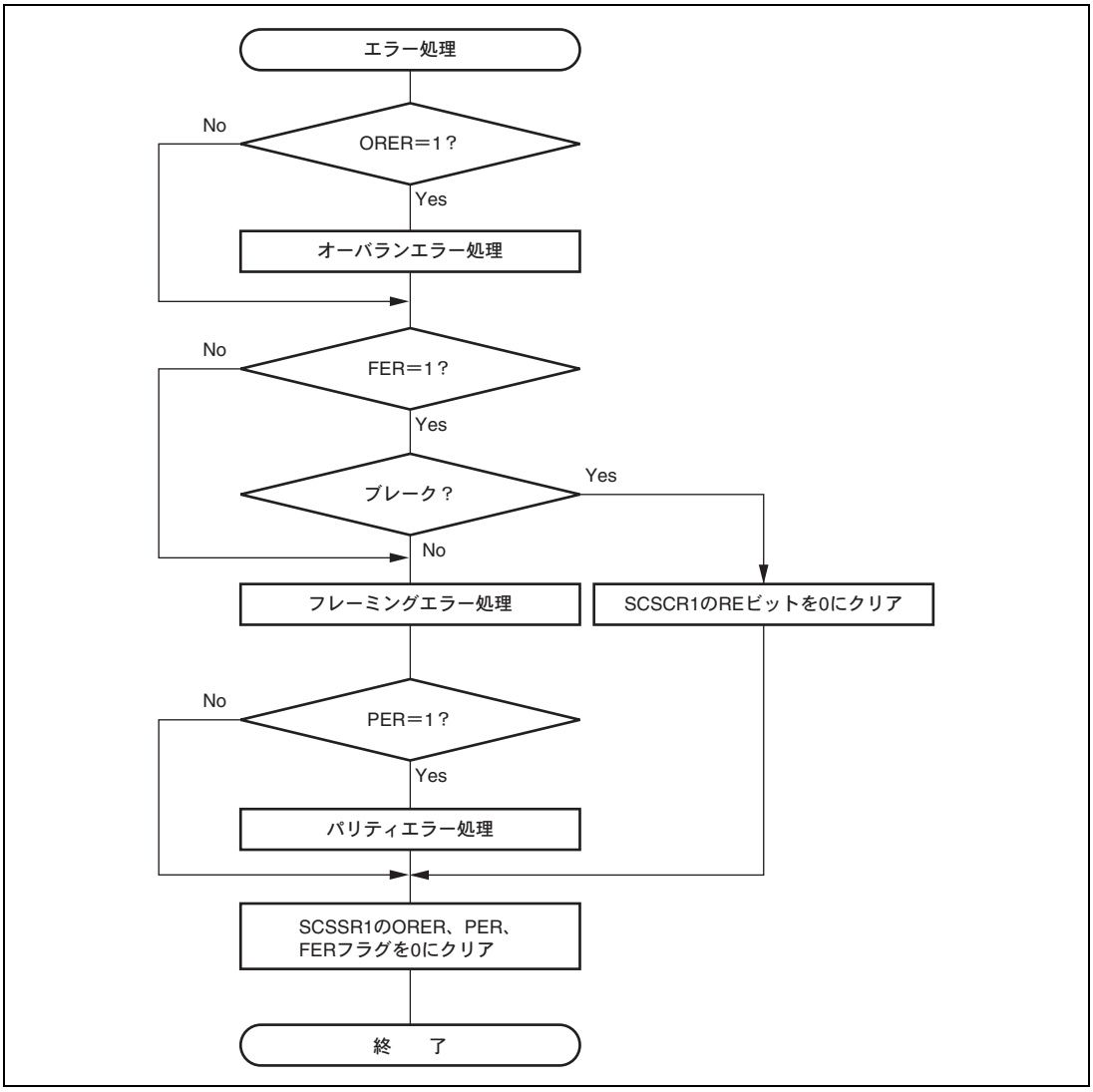


図 15.6　シリアル受信のフローチャートの例（2）

SCI は受信時に以下のように動作します。

1. SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSR1のLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

（a）パリティチェック：受信データの 1 の数をチェックし、これがシリアルモードレジスタ（SCSMR1）の O/$\overline{E}$ ビットで設定した偶数／奇数パリティになっているかをチェックします。

（b）ストップビットチェック：ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。

（c）ステータスチェック：RDRF フラグが 0 であり、受信データをレシーブシフトレジスタ（SCRSR1）から SCRDR1 に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが 1 にセットされ、SCRDR1 に受信データが格納されます。

エラーチェックで受信エラーを発生すると**表 15.12** のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

4. RDRFフラグが1になったとき、SCSCR1のRIEビットが1にセットされていると受信データフル割り込み（RXI）要求を発生します。
また、ORER、PER、FERフラグのどれかが1になったとき、SCSCR1のRIEビットが1にセットされていると受信エラー割り込み（ERI）要求を発生します。

表 15.12 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SCSSR1 の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	SCRSR1 から SCRDR1 に受信データは転送されません
フレーミングエラー	FER	ストップビットが 0 のとき	SCRSR1 から SCRDR1 に受信データが転送されます
パリティエラー	PER	SCSMR1 で設定した偶数／奇数パリティの設定と受信したデータが異なるとき	SCRSR1 から SCRDR1 に受信データが転送されます

調歩同期式モード受信時の動作例を**図 15.7** に示します。

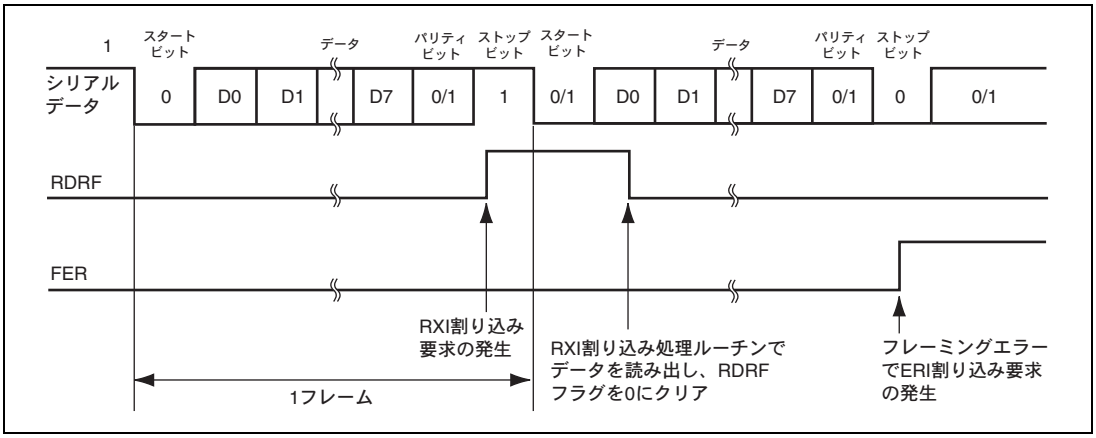


図 15.7 SCI の受信時の動作例
（8 ビットデータ／パリティあり／1 ストップビットの例）

15.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを**図 15.8** に示します。

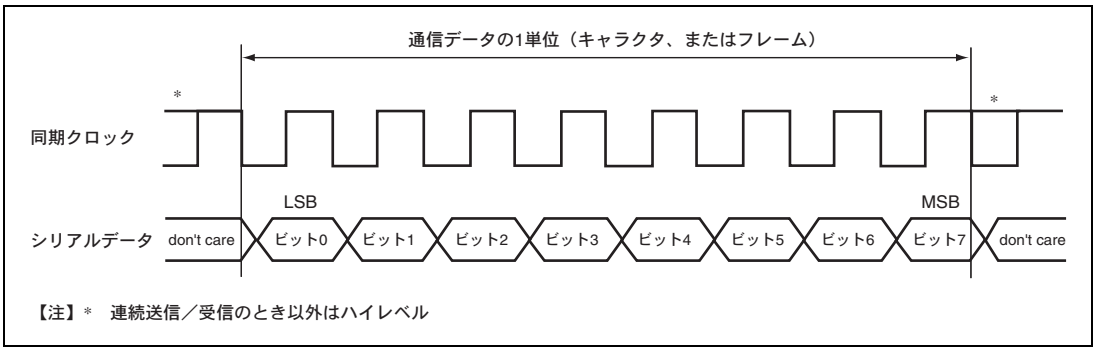


図 15.8 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立ち上がりに同期してデータを受信します。

（1） 送信／受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

（2） クロック

SCSMR1 の C/$\overline{A}$ ビットと SCSCR1 の CKE1 ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については**表 15.10** を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。

（3） データの送信／受信動作

- **SCIの初期化（クロック同期式モード）**

データの送信／受信前にシリアルコントロールレジスタ（SCSCR1）の TE および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

TE ビットが 0 で、SCSCR1 の TIE ビットが 1 にセットされている場合、送信データエンプティ割り込み（TXI）要求が発生します。SCI の初期化時に TXI 要求を禁止したい場合は、TE ビットを 0 にクリアすると同時に、TIE ビットも 0 にクリアしてください。また、RE ビットが 0 であっても、SCSCR1 の RIE ビットが 1 で RDRF フラグが 1 の場合、受信データフル割り込み（RXI）要求が発生します。SCI の初期化時に RXI 要求を禁止したい場合は、RE ビットを 0 にクリアすると同時に、RIE ビットも 0 にクリアしてください。

モードの変更、通信フォーマットの変更などの場合には必ず TE および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、トランスミットシフトレジスタ（SCTSR1）が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ（SCRDR1）の内容は保持されますので注意してください。

図 15.9 に SCI の初期化フローチャートの例を示します。

（1） SCSCR1のRIE、TIE、TEIE、TE、および REビットを0に設定してください。

（2） SCSMR1に送信／受信フォーマットを 設定します。

（3） SCSCR1でクロックの選択をしてください。

（4） SCBRR1にビットレートに対応する値を書き込みます。ただし、外部クロックを使用する場合にはこの作業は必要ありません。

（5） SCSCR1のTEビットまたはREビットを1にセットします。また、RIE、TIE、TEIEビットを設定してください。TE、REビットを設定することにより、TxD、RxD端子が使用可能となります。

図 15.9 SCI の初期化フローチャートの例

- **シリアルデータ送信（クロック同期式モード）**

図 15.10 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCI を送信動作可能状態に設定した後、以下の手順で行ってください。

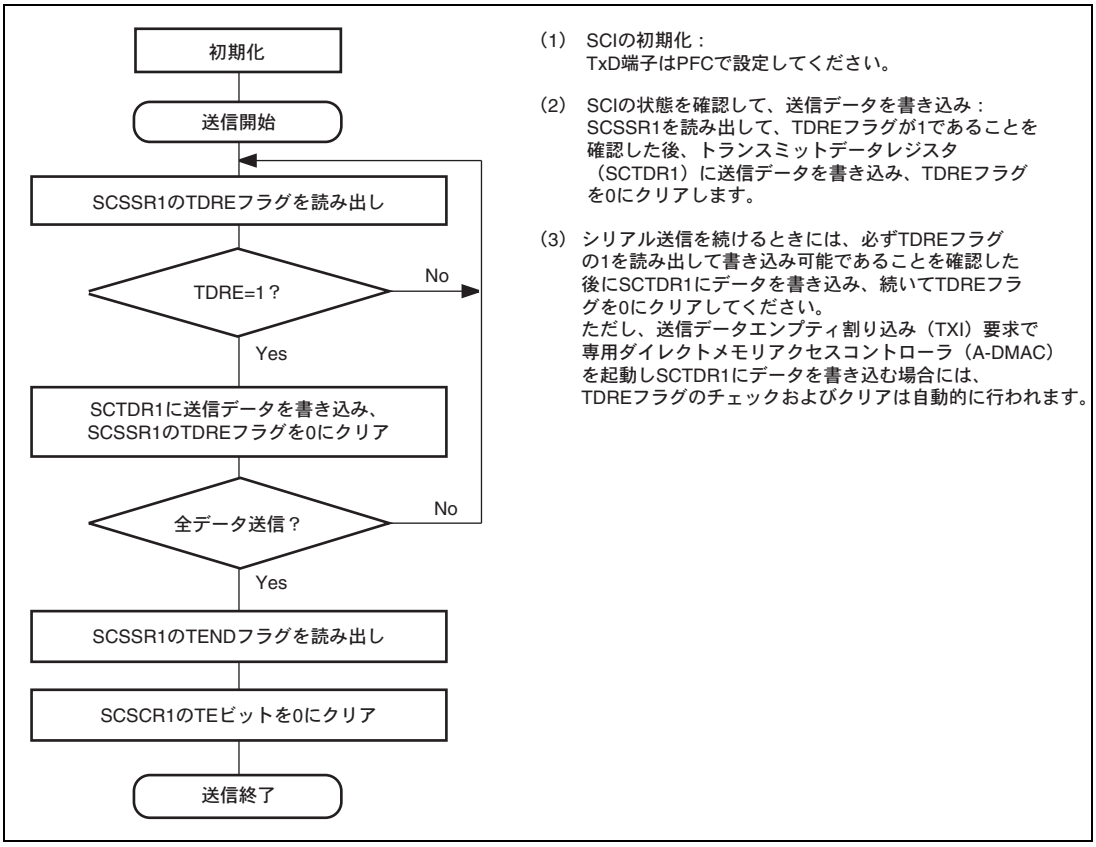


図 15.10 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

1. SCIは、シリアルステータスレジスタ（SCSSR1）のTDREフラグを監視し、0であるとトランスミットデータレジスタ（SCTDR1）にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ（SCTSR1）にデータを転送します。
2. SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。
   このとき、シリアルコントロールレジスタ（SCSCR1）の送信データエンプティ割り込みイネーブルビット（TIE）が1にセットされていると送信データエンプティ割り込み（TXI）要求を発生します。
   クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
   外部クロックに設定したときには、入力クロックに同期してデータを出力します。
   シリアル送信データは、LSB（ビット0）～MSB（ビット7）の順にTxD端子から送り出されます。
3. SCIは、MSB（ビット7）を送り出すタイミングでTDREフラグをチェックします。
   TDREフラグが0であるとSCTDR1からSCTSR1にデータを転送し、次フレームのシリアル送信を開始します。
   TDREフラグが1であるとシリアルステータスレジスタ（SCSSR1）のTENDフラグを1にセットし、MSB（ビット7）を送り出した後、トランスミットデータ端子（TxD端子）は状態を保持します。
   このときSCSCR1の送信終了割り込みイネーブルビット（TEIE）が1にセットされていると送信終了割り込み要求（TEI）を発生します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 15.11 に SCI の送信時の動作例を示します。

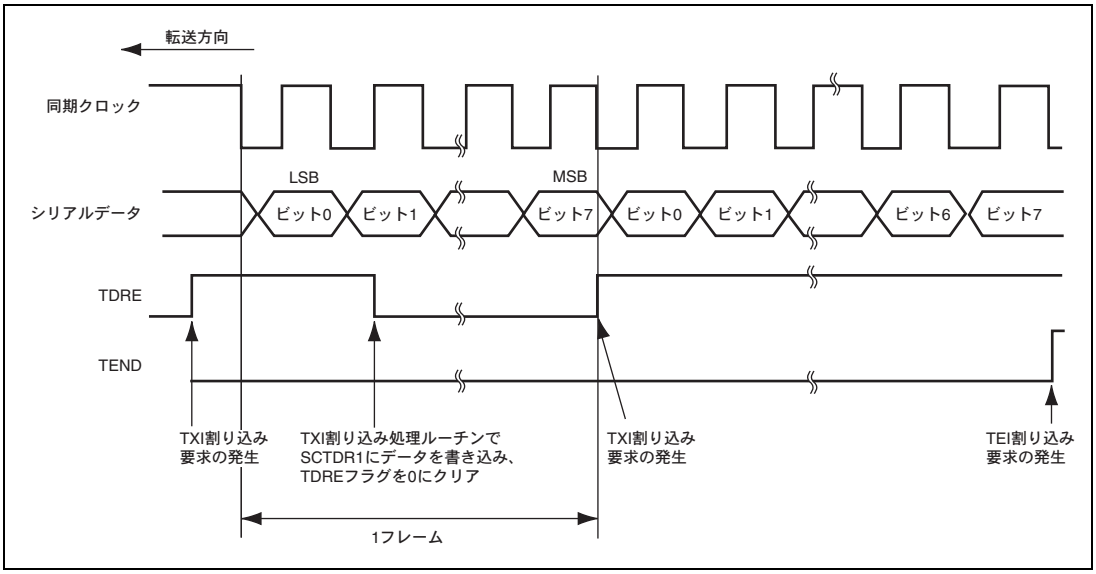


図 15.11　SCI の送信時の動作例

- **シリアルデータ受信（クロック同期式モード）**

図 15.12 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCI を受信動作可能状態に設定した後、以下の手順に従い行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、受信動作が行えません。

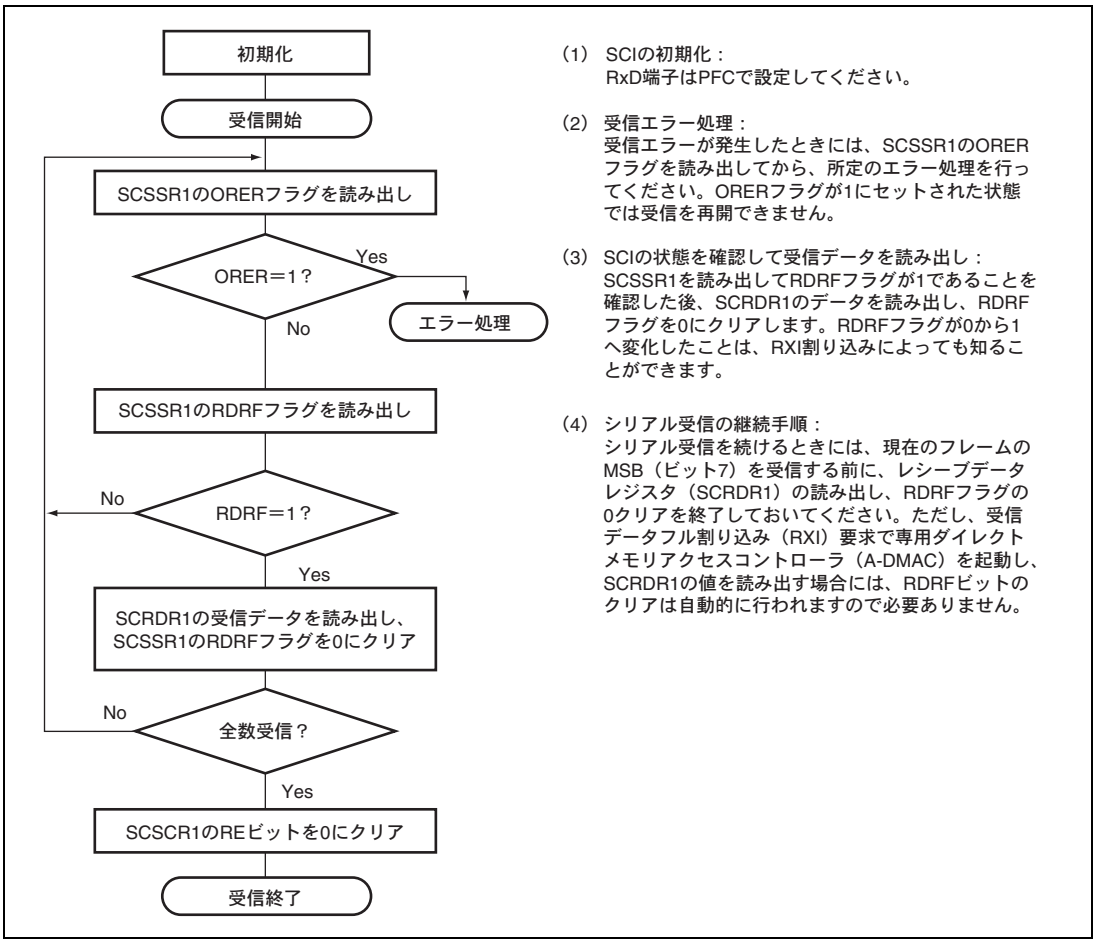


図 15.12　シリアルデータ受信フローチャートの例（1）

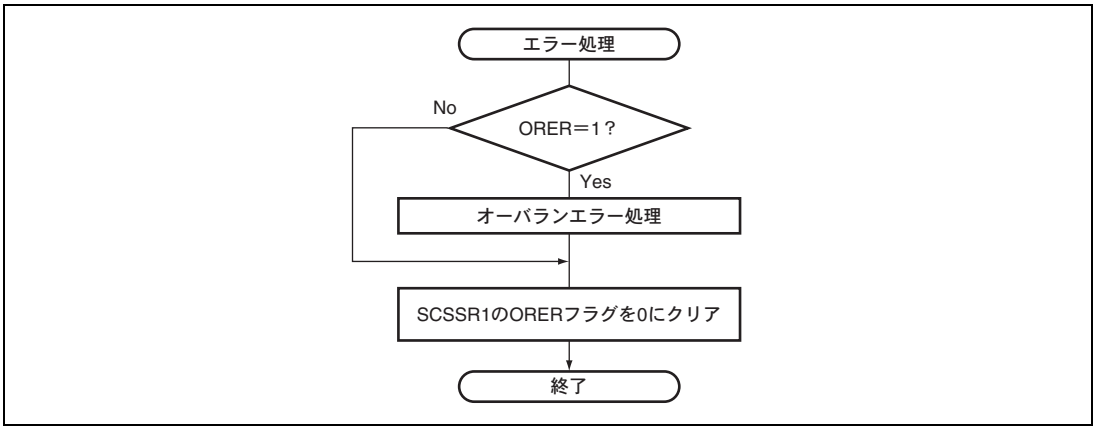


図 15.12　シリアルデータ受信フローチャートの例（2）

SCI は受信時に以下のように動作します。

1. SCIは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータをレシーブシフトレジスタ（SCRSR1）のLSBからMSBの順に格納します。
   受信後、SCIはRDRFフラグが0であり、受信データをSCRSR1からレシーブデータレジスタ（SCRDR1）に転送できる状態であるかをチェックします。
   このチェックがパスしたときRDRFフラグが1にセットされ、SCRDR1に受信データが格納されます。
   エラーチェックで受信エラーを発生すると**表15.11**のように動作し、この状態では以後の送信、受信動作ができません。
   また、受信時にRDRFフラグが1にセットされますので、必ずフラグを0にクリアしてください。
3. RDRFフラグが1になったとき、シリアルコントロールレジスタ（SCSCR1）のRIEビットが1にセットされていると受信データフル割り込み（RXI）要求を発生します。
   また、ORERフラグが1になったとき、SCSCR1のRIEビットが1にセットされていると受信エラー割り込み（ERI）要求を発生します。

図 15.13 に SCI の受信時の動作例を示します。

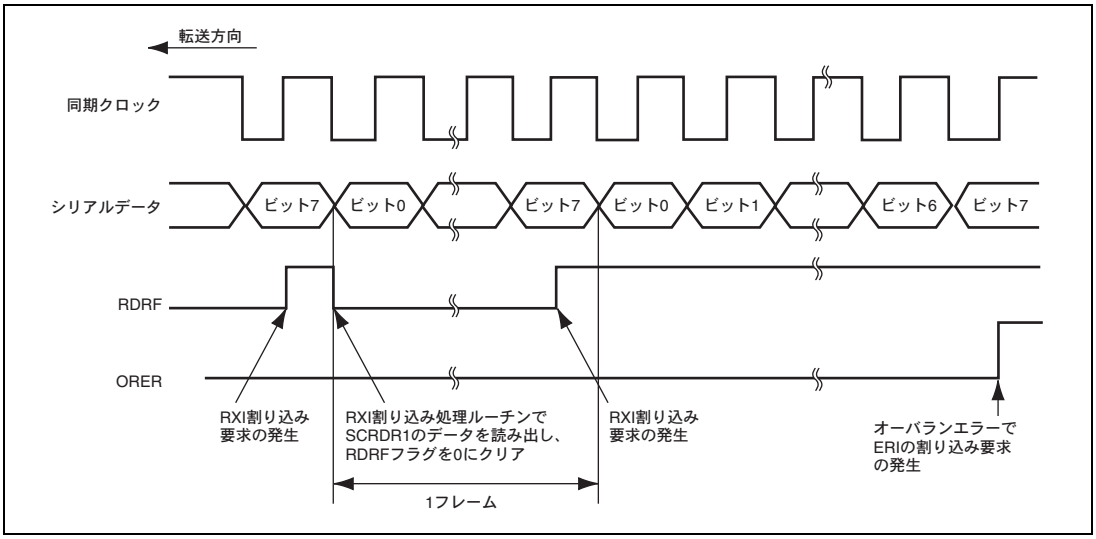
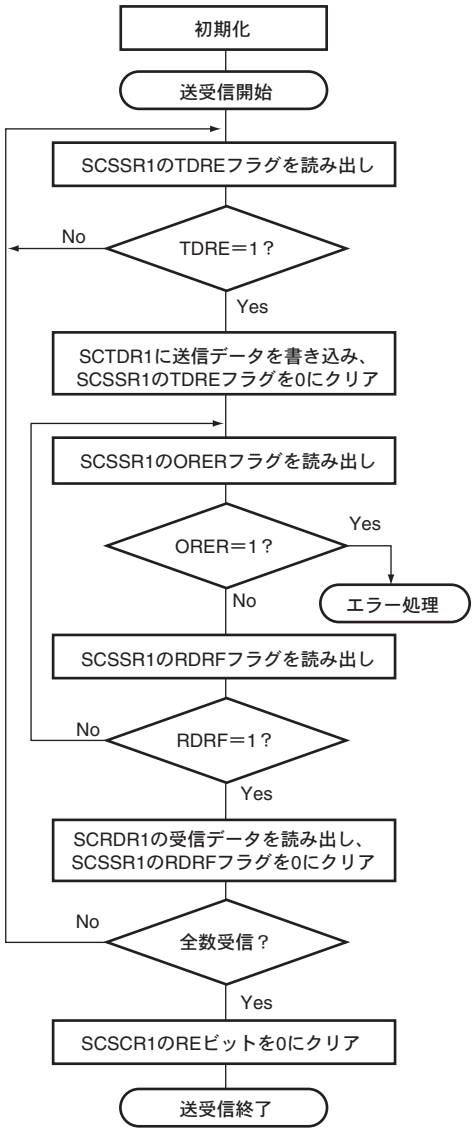


図 15.13　SCI の受信時の動作例

- **シリアルデータ送受信同時動作（クロック同期式モード）**

図 15.14 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCI を送受信動作可能状態に設定した後、以下の手順に従い行ってください。



（1） SCIの初期化：
TxD端子、RxD端子はPFCで設定してください。

（2） SCIの状態確認と受信データの書き込み：
SCSSR1をリードしてTDREが1であることを確認した後、SCTDR1にデータを書き込み、TDREフラグを0にクリアします。TDREフラグが0から1に変化したことは、TXI割り込みによっても知ることができます。

（3） 受信エラー処理：
受信エラーが発生したときには、SCSSR1のORERフラグを読み出してから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では受信を再開できません。

（4） SCIの状態を確認して受信データの読み出し：
SCSSR1を読み出して、RDRFフラグが1であることを確認した後、SCRDR1の受信データを読み出し、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

（5） シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグとSCRDR1の読み出し、RDRFフラグの0クリアを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREフラグの1を読み出して書き込み可能であることを確認してください。さらにSCTDR1にデータを書き込み、TDREフラグを0にクリアしておいてください。ただし、送信データエンプティ割り込み（TXI）要求で専用ダイレクトメモリアクセスコントローラ（A-DMAC）を起動し、SCTDR1にデータを書き込む場合には、TDREビットのチェックおよびクリアは自動的に行われます。また、受信データフル割り込み（RXI）要求で専用ダイレクトメモリアクセスコントローラ（A-DMAC）を起動し、SCRDR1の値を読み出す場合にはRDRFビットのクリアは自動的に行われます。

【注】 送信、または受信動作から同時送受信に切り替えるときには、TEビットとREビットを0にクリアしてからTEビットとREビットを同時に1にセットしてください。

図 15.14 シリアルデータ送受信フローチャートの例

15.5 SCI の割り込み要因と A-DMAC

SCI は、送信終了割り込み（TEI）要求、受信エラー割り込み（ERI）要求、受信データフル割り込み（RXI）要求、送信データエンプティ割り込み（TXI）要求の 4 種類の割り込み要因を持っています。A-DMAC への DMA 転送が許可されていない場合は、4 種類の割り込み要因はそれぞれ独立に割り込みコントローラに送られます。また、DMA 転送が許可されている場合は、RXI 要求と TXI 要求は DMA 要求として使用されます。

表 15.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR1 の TIE、RIE、TEIE ビットで許可または禁止ができます。DMA 要求は SCSCR1 の TIE、RIE ビットで許可または禁止ができます。

SCSCR1 の TIE ビットが 1 にセットされている状態で、シリアルステータスレジスタ（SCSSR1）の TDRE フラグが 1 にセットされると、送信データエンプティ割り込み（TXI）要求が発生します。この TXI 要求で、A-DMAC を起動しデータ転送を行うことができます。A-DMAC への TXI 要求を禁止したい場合は、TIE ビットを 0 にクリアしてください。TDRE フラグは A-DMAC によるトランスミットデータレジスタ（SCTDR1）への書き込みが行われると自動的に 0 にクリアされます。

SCSCR1 の RIE ビットが 1 にセットされている状態で SCSSR1 の RDRF フラグが 1 にセットされると、受信データフル割り込み（RXI）要求が発生します。この RXI 要求で、A-DMAC を起動して、データ転送を行うことができます。A-DMAC への RXI 要求を禁止したい場合は、RIE ビットを 0 に設定してください。

RDRF フラグは A-DMAC によるレシーブデータレジスタ（SCRDR1）の読み出しが行われると、自動的に 0 にクリアされます。

また、SCSSR1 の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で A-DMAC の起動はできません。A-DMAC で受信データの処理を行い、CPU への割り込みで受信エラー処理を行う場合、RIE ビットを 1 に設定するようにしてください。

さらに、SCSSR1 の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で A-DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 15.13 SCI 割り込み要因

割り込み要因	内　　容	A-DMAC の起動	リセット解除時の優先順位
ERI	受信エラー（ORER、FER、PER）による割り込み	不可	高
RXI	受信データフル（RDRF）による割り込み	可	↑
TXI	送信データエンプティ（TDRE）による割り込み	可	↓
TEI	送信終了（TEND）による割り込み	不可	低

15.6 使用上の注意事項

15.6.1 SCTDR1 への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ（SCSSR1）の TDRE フラグはトランスミットデータレジスタ（SCTDR1）からトランスミットシフトレジスタ（SCTSR1）に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR1 から SCTSR1 にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR1 へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR1 に書き込むと、SCTDR1 に格納されていたデータは、まだ SCTSR1 に転送されていないため失われてしまいます。したがって SCTDR1 への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

15.6.2 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR1 の各ステータスフラグの状態は、**表 15.14** のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ（SCRSR1）からレシーブデータレジスタ（SCRDR1）へのデータ転送は行われず、受信データは失われます。

表 15.14 SCSSR1 のステータスフラグの状態と受信データの転送

受信エラーの状態	SCSSR1 のステータスフラグ				受信データ転送
	RDRF	ORER	FER	PER	SCRSR1→SCRDR1
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	○
パリティエラー	0	0	0	1	○
オーバランエラー＋フレーミングエラー	1	1	1	0	×
オーバランエラー＋パリティエラー	1	1	0	1	×
フレーミングエラー＋パリティエラー	0	0	1	1	○
オーバランエラー＋フレーミングエラー＋パリティエラー	1	1	1	1	×

【記号説明】

○：SCRSR1→SCRDR1 に受信データを転送します。

×：SCRSR1→SCRDR1 に受信データを転送しません。

15.6.3 ブレークの検出と処理について

フレーミングエラー（FER）検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCI は、ブレークを受信した後は、SCRDR1 への受信データの転送は停止しますが、受信動作は続けています。

15.6.4 ブレークの送り出し

TxD 端子は、I/O ポートのデータレジスタ（DR）とピンファンクションコントローラ（PFC）のコントロールレジスタにより入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット（送信可能）するまでは、TxD 端子として機能しません。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

15.6.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 15.15 に示します。

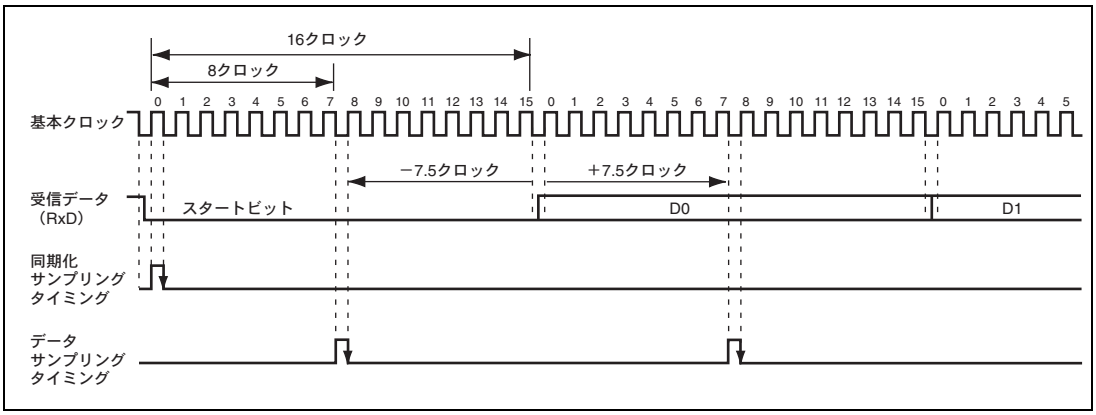


図 15.15 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100[\%] \quad \cdots 式（1）$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N＝16）

D：クロックデューティ（D＝0～1.0）

L：フレーム長（L＝9～12）

F：クロック周波数の偏差の絶対値

式（1）で、F＝0、D＝0.5 とすると、受信マージンは式（2）より 46.875%となります。

D ＝0.5、F＝0 のとき

M ＝（0.5－1/（2×16））×100%

＝46.875% …式（2）

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

15.6.6 A-DMAC 使用上の注意事項

A-DMAC への TXI 要求で SCTDR1 にデータを書き込んだ場合、トランスミットエンドフラグ（TEND）の状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

同期クロックに外部クロックソースを使用する場合、A-DMAC による SCTDR1 の更新後、Pφが 5 サイクル以上経過した後に外部クロックを入力してください。SCTDR1 の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります（図 15.16 参照）。

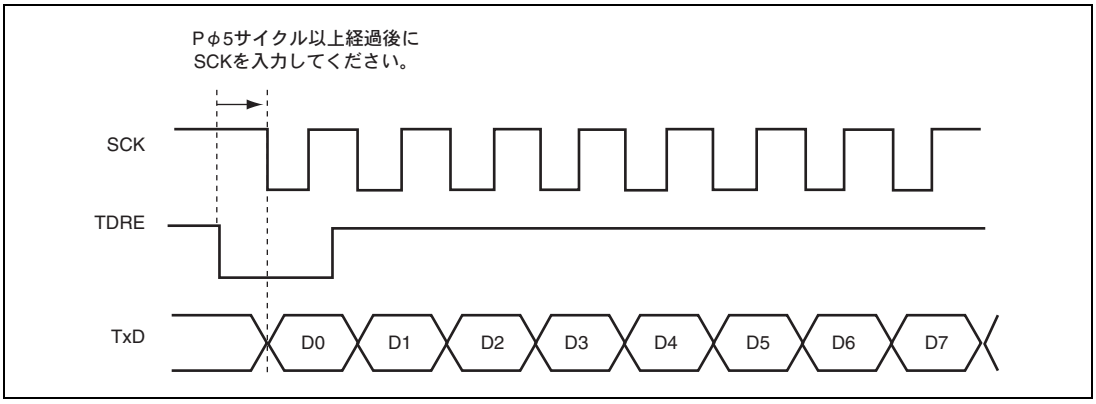


図 15.16 A-DMAC による同期クロック転送例

15.6.7 クロック同期外部クロックモード時の注意事項

TE＝1、RE＝1 に設定するのは、外部クロック SCK を 0→1 にしてから Pφが 4 クロック以上経過後にしてください。

TE＝RE＝1 に設定するのは、必ず外部クロック SCK が 1 のときにしてください。

15.6.8 A-DMAC 使用時の注意事項

A-DMAC を使って送信を行う場合は、SCSCR1 の TIE ビットを 1 にセットして、送信データエンプティ割り込み（TXI）要求を許可してください。また A-DMAC を使って受信を行う場合は、SCSCR1 の RIE ビットを 1 にセットして、受信データフル割り込み（RXI）要求を許可に設定してください。

15.6.9 シリアルポート

シリアルポートを使用して SCI 端子の値を読み出す場合、Pφの 2 サイクル前の値を読み出しますので注意してください。

15.6.10 クロック同期式モードにおける SCK 出力、受信のみでの使用時の注意事項

クロック同期式モードにおいて SCK 出力、受信のみでの設定で通信を行う場合のみ、設定可能ボーレートは 1.25Mbps までとなります。

16. ルネサスシリアルペリフェラルインタフェース（RSPI）

本 LSI は、独立した 2 チャネルのルネサスシリアルペリフェラルインタフェース（RSPI）を備えています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。

16.1 特長

- 4線式のシリアルインタフェースです。信号線の構成は下記のとおりです。

  RSPCK（RSPI Clock）

  SSL（Slave Select）

  MOSI（Master Out Slave In）

  MISO（Master In Slave Out）
- マルチマスタ、シングルマスタ、スレーブモードでのシリアル通信が可能。
- ビットレート

  マスタモード時：最大10.0MHz＠Pφ20MHz/40MHz。

  内蔵ボーレートジェネレータでPφを分周してRSPCKを生成（2～4096分周）

  スレーブモード時：最大2.5MHz＠Pφ20MHz/40MHz。

  外部入力クロックをシリアルクロックとして使用（8分周＠周辺クロック1逓倍設定時、16分周＠周辺クロック2逓倍設定時）
- 送信バッファ、受信バッファはダブルバッファ構成。
- データフォーマット

  MSBファースト／LSBファーストの切り替え可能。

  転送ビット長を8～16ビットに変更可能。
- RSPCKの極性／位相を変更可能。
- SSL制御機能

  SSL0～SSL7の極性を変更可能。

  シングルマスタモード時には、SSL0～SSL7信号は出力。

  マルチマスタモード時には、SSL0信号は入力、SSL1～SSL7信号は出力またはHi-Z。

  スレーブモード時には、SSL0信号は入力、SSL1～SSL7信号はHi-Z。
- マスタモードの場合、SSLネゲート時のMOSI信号値を設定可能。

- CMOS出力、オープンドレイン出力の切り替え可能。
- シリアル転送をシーケンシャルにループ実行可能。

  ループは最大 8コマンドで構成。

  各コマンドに対して、下記の転送フォーマットを設定可能：

  SSL0～SSL7信号の出力値

  データフォーマット

  バースト転送

  SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）

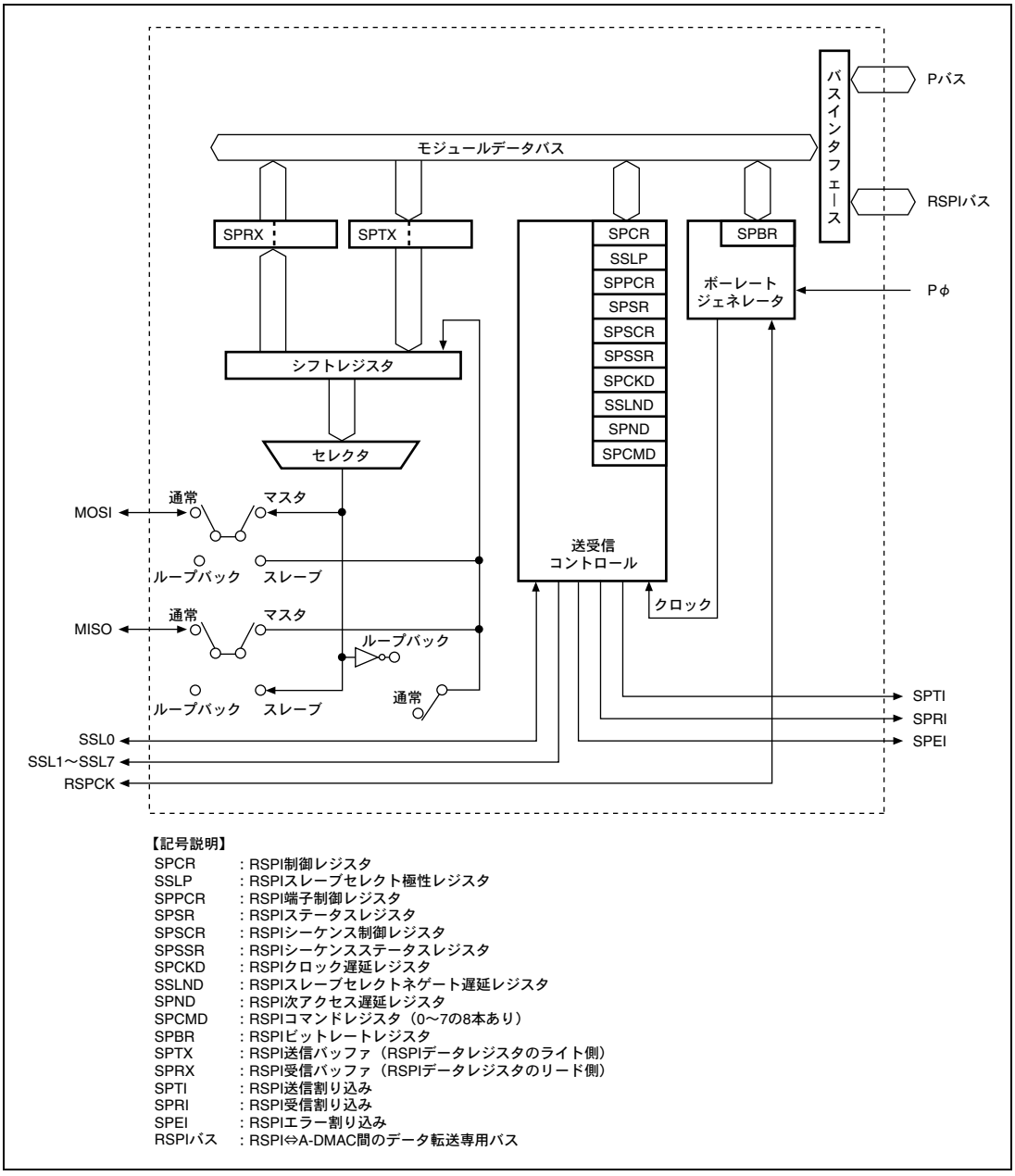
  RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）

  次アクセスのSSL出力アサートのウェイト（次アクセス遅延）

  RSPCKの極性と位相

  ビットレート
- 受信バッファフルフラグあり（割り込み／A-DMAC起動要因として使用可能）
- 送信バッファエンプティフラグあり（割り込み／A-DMAC起動要因として使用可能）
- モードフォルトエラーフラグあり（割り込み要求として使用可能）
- オーバランエラーフラグあり（割り込み要求として使用可能）

図 16.1 に、1 チャネル分の RSPI 内部ブロック図を示します。CPU による RSPI 制御レジスタへのアクセスには、周辺バス（P バス）が使用されます。A-DMAC による RSPI データレジスタ（SPDR）アクセスには、専用バス（RSPI バス）が使用されます。



【記号説明】

SPCR	：RSPI制御レジスタ
SSLP	：RSPIスレーブセレクト極性レジスタ
SPPCR	：RSPI端子制御レジスタ
SPSR	：RSPIステータスレジスタ
SPSCR	：RSPIシーケンス制御レジスタ
SPSSR	：RSPIシーケンスステータスレジスタ
SPCKD	：RSPIクロック遅延レジスタ
SSLND	：RSPIスレーブセレクトネゲート遅延レジスタ
SPND	：RSPI次アクセス遅延レジスタ
SPCMD	：RSPIコマンドレジスタ（0～7の8本あり）
SPBR	：RSPIビットレートレジスタ
SPTX	：RSPI送信バッファ（RSPIデータレジスタのライト側）
SPRX	：RSPI受信バッファ（RSPIデータレジスタのリード側）
SPTI	：RSPI送信割り込み
SPRI	：RSPI受信割り込み
SPEI	：RSPIエラー割り込み
RSPIバス	：RSPI⇔A-DMAC間のデータ転送専用バス

図 16.1 RSPI のブロック図（1 チャネル分）

16.2 入出力端子

RSPI は、チャネルごとに表 16.1 に示すシリアル端子を持っています。SSLA0、SSLB0 端子の入出力方向は、シングルマスタ設定の場合には出力、マルチマスタ設定とスレーブ設定の場合には入力に RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA、RSPCKB、MOSIB、MISOB の入出力方向は、マスタ／スレーブ設定と SSLA0、SSLB0 入力レベルに応じて、RSPI が自動的に切り替えます（「16.4.2 RSPI 端子の制御」を参照）。

表 16.1 端子構成

チャネル	名　　称	端子名	入出力	機　　能
A	RSPI クロック端子	RSPCKA	入出力	RSPI_A のクロック入出力
	マスタ送出データ端子	MOSIA	入出力	RSPI_A のマスタ送出データ
	スレーブ送出データ端子	MISOA	入出力	RSPI_A のスレーブ送出データ
	スレーブセレクト 0 端子	SSLA0	入出力	RSPI_A のスレーブセレクト
	スレーブセレクト 1 端子	SSLA1	出力	RSPI_A のスレーブセレクト
	スレーブセレクト 2 端子	SSLA2	出力	RSPI_A のスレーブセレクト
	スレーブセレクト 3 端子	SSLA3	出力	RSPI_A のスレーブセレクト
	スレーブセレクト 4 端子	SSLA4	出力	RSPI_A のスレーブセレクト
	スレーブセレクト 5 端子	SSLA5	出力	RSPI_A のスレーブセレクト
	スレーブセレクト 6 端子	SSLA6	出力	RSPI_A のスレーブセレクト
	スレーブセレクト 7 端子	SSLA7	出力	RSPI_A のスレーブセレクト
B	RSPI クロック端子	RSPCKB	入出力	RSPI_B のクロック入出力
	マスタ送出データ端子	MOSIB	入出力	RSPI_B のマスタ送出データ
	スレーブ送出データ端子	MISOB	入出力	RSPI_B のスレーブ送出データ
	スレーブセレクト 0 端子	SSLB0	入出力	RSPI_B のスレーブセレクト
	スレーブセレクト 1 端子	SSLB1	出力	RSPI_B のスレーブセレクト
	スレーブセレクト 2 端子	SSLB2	出力	RSPI_B のスレーブセレクト
	スレーブセレクト 3 端子	SSLB3	出力	RSPI_B のスレーブセレクト

【注】 本文中ではチャネルを省略し、RSPCK、MOSI、MISO、SSL0～SSL7 と略称します。

16.3 レジスタの説明

RSPI には、表 16.2 に示す内部レジスタがあります。これらのレジスタにより、マスタ／スレーブモードの指定、転送フォーマットの指定、および送信部／受信部の制御を行うことができます。

表 16.2 レジスタ構成

チャネル	レジスタ名	略称*1	R/W	初期値	アドレス	アクセスサイズ
A	RSPI 制御レジスタ A	SPCRA	R/W	H'00	H'FFFFB000	8、16
	RSPI スレーブセレクト極性レジスタ A	SSLPA	R/W	H'00	H'FFFFB001	8
	RSPI 端子制御レジスタ A	SPPCRA	R/W	H'00	H'FFFFB002	8、16
	RSPI ステータスレジスタ A	SPSRA	R/(W)*2	H'20	H'FFFFB003	8
	RSPI データレジスタ A	SPDRA	R/W	H'0000	H'FFFFB004	16
	RSPI シーケンス制御レジスタ A	SPSCRA	R/W	H'00	H'FFFFB008	8、16
	RSPI シーケンスステータスレジスタ A	SPSSRA	R	H'00	H'FFFFB009	8
	RSPI ビットレートレジスタ A	SPBRA	R/W	H'FF	H'FFFFB00A	8
	RSPI クロック遅延レジスタ A	SPCKDA	R/W	H'00	H'FFFFB00C	8、16
	RSPI スレーブセレクトネゲート遅延レジスタ A	SSLNDA	R/W	H'00	H'FFFFB00D	8
	RSPI 次アクセス遅延レジスタ A	SPNDA	R/W	H'00	H'FFFFB00E	8
	RSPI コマンドレジスタ A0	SPCMDA0	R/W	H'070D	H'FFFFB010	16
	RSPI コマンドレジスタ A1	SPCMDA1	R/W	H'070D	H'FFFFB012	16
	RSPI コマンドレジスタ A2	SPCMDA2	R/W	H'070D	H'FFFFB014	16
	RSPI コマンドレジスタ A3	SPCMDA3	R/W	H'070D	H'FFFFB016	16
	RSPI コマンドレジスタ A4	SPCMDA4	R/W	H'070D	H'FFFFB018	16
	RSPI コマンドレジスタ A5	SPCMDA5	R/W	H'070D	H'FFFFB01A	16
	RSPI コマンドレジスタ A6	SPCMDA6	R/W	H'070D	H'FFFFB01C	16
	RSPI コマンドレジスタ A7	SPCMDA7	R/W	H'070D	H'FFFFB01E	16
B	RSPI 制御レジスタ B	SPCRB	R/W	H'00	H'FFFFB800	8、16
	RSPI スレーブセレクト極性設定レジスタ B	SSLPB	R/W	H'00	H'FFFFB801	8
	RSPI 端子制御レジスタ B	SPPCRB	R/W	H'00	H'FFFFB802	8、16
	RSPI ステータスレジスタ B	SPSRB	R/(W)*2	H'20	H'FFFFB803	8
	RSPI データレジスタ B	SPDRB	R/W	H'0000	H'FFFFB804	16
	RSPI シーケンス制御レジスタ B	SPSCRB	R/W	H'00	H'FFFFB808	8、16
	RSPI シーケンスステータスレジスタ B	SPSSRB	R	H'00	H'FFFFB809	8

チャネル	レジスタ名	略称*1	R/W	初期値	アドレス	アクセスサイズ
B	RSPI ビットレートレジスタ B	SPBRB	R/W	H'FF	H'FFFFB80A	8
	RSPI クロック遅延値レジスタ B	SPCKDB	R/W	H'00	H'FFFFB80C	8、16
	RSPI スレーブセレクトネゲート遅延レジスタ B	SSLNDB	R/W	H'00	H'FFFFB80D	8
	RSPI 次アクセス遅延レジスタ B	SPNDB	R/W	H'00	H'FFFFB80E	8
	RSPI コマンドレジスタ B0	SPCMDB0	R/W	H'070D	H'FFFFB810	16
	RSPI コマンドレジスタ B1	SPCMDB1	R/W	H'070D	H'FFFFB812	16
	RSPI コマンドレジスタ B2	SPCMDB2	R/W	H'070D	H'FFFFB814	16
	RSPI コマンドレジスタ B3	SPCMDB3	R/W	H'070D	H'FFFFB816	16
	RSPI コマンドレジスタ B4	SPCMDB4	R/W	H'070D	H'FFFFB818	16
	RSPI コマンドレジスタ B5	SPCMDB5	R/W	H'070D	H'FFFFB81A	16
	RSPI コマンドレジスタ B6	SPCMDB6	R/W	H'070D	H'FFFFB81C	16
	RSPI コマンドレジスタ B7	SPCMDB7	R/W	H'070D	H'FFFFB81E	16

【注】 *1 本文中ではチャネルを省略してレジスタ名を表記しています。

*2 フラグをクリアするために 0 のみ書き込むことができます。

16.3.1 RSPI 制御レジスタ（SPCR）

SPCR は、RSPI の動作モードを設定するためのレジスタです。SPCR は、常に CPU による読み出し／書き込みが可能です。SPE ビットが 1 で RSPI 機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を変更した場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	－	－
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説　　明
7	SPRIE	0	R/W	RSPI 受信割り込みイネーブル RSPI がシリアル転送完了後の受信バッファ書き込みを検出し、RSPI ステータスレジスタ（SPSR）の SPRF ビットを 1 にした場合の RSPI 受信割り込み要求の発生を許可／禁止するためのビットです。 0：RSPI 受信割り込み要求の発生を禁止する 1：RSPI 受信割り込み要求の発生を許可する
6	SPE	0	R/W	RSPI 機能イネーブル 本ビットを 1 にすることにより、RSPI 機能が有効になります。RSPI ステータスレジスタ（SPSR）の MODF ビットが 1 の場合には、SPE ビットを 1 に設定することはできません（「16.4.7　エラー検出」を参照）。SPE ビットを 0 にすると、RSPI 機能は無効化されて、モジュール機能の一部が初期化されます（「16.4.8　RSPI の初期化」を参照）。 0：RSPI 機能を無効化する 1：RSPI 機能を有効化する
5	SPTIE	0	R/W	RSPI 送信割り込みイネーブル RSPI が送信バッファエンプティを検出し、RSPI ステータスレジスタ（SPSR）の SPTEF ビットを 1 にした場合の RSPI 送信割り込み要求の発生を許可／禁止するためのビットです。 RSPI ディスエーブル（SPE ビットが 0）の状態では、SPTEF ビットが 1 になります。このため、RSPI ディスエーブル状態で SPTIE を 1 に設定すると、RSPI 送信割り込み要求が発生することに注意してください。 0：RSPI 送信割り込み要求の発生を禁止する 1：RSPI 送信割り込み要求の発生を許可する

ビット	ビット名	初期値	R/W	説　　明
4	SPEIE	0	R/W	RSPI エラー割り込みイネーブル RSPI がモードフォルトエラーを検出して RSPI ステータスレジスタ（SPSR）の MODF ビットを 1 にした場合、または RSPI がオーバランエラーを検出して SPSR の OVRF ビットを 1 にした場合の RSPI エラー割り込み要求の発生を許可／禁止するためのビットです（「16.4.7　エラー検出」を参照）。 0：RSPI エラー割り込み要求の発生を禁止する 1：RSPI エラー割り込み要求の発生を許可する
3	MSTR	0	R/W	RSPI マスタ／スレーブモード選択 RSPI のマスタ／スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL1～SSL7 端子の方向を決定します。 0：スレーブモード 1：マスタモード
2	MODFEN	0	R/W	モードフォルトエラー検出イネーブル モードフォルトエラーの検出を許可／禁止するためのビットです（「16.4.7 エラー検出」を参照）。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSL0 端子の入出力方向を決定します（「16.4.2 RSPI 端子の制御」を参照）。 0：モードフォルトエラー検出を禁止する 1：モードフォルトエラー検出を許可する
1、0	－	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

16.3.2 RSPI スレーブセレクト極性レジスタ（SSLP）

SSLP は、RSPI の SSL0～7 信号の極性を設定するためのレジスタです。SSLP は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ（SPCR）の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SSLP を書き換えた場合には、以降の動作は保証されません。

チャネル B には、SSL4～SSL7 端子はありません。このため、SSLPB レジスタの SSL4P～SSL7P ビットの設定で、チャネル B の SSL 端子の極性を変更することはできません。

ビット：	7	6	5	4	3	2	1	0
	SSL7P	SSL6P	SSL5P	SSL4P	SSL3P	SSL2P	SSL1P	SSL0P
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	SSL7P	0	R/W	SSL 信号極性設定 SSL 信号の極性を設定するためのビットです。 0：SSLi 信号は 0 アクティブ 1：SSLi 信号は 1 アクティブ
6	SSL6P	0	R/W	
5	SSL5P	0	R/W	
4	SSL4P	0	R/W	
3	SSL3P	0	R/W	
2	SSL2P	0	R/W	
1	SSL1P	0	R/W	
0	SSL0P	0	R/W	

【注】 i＝0～7

16.3.3 RSPI 端子制御レジスタ（SPPCR）

SPPCR は、RSPI の端子モードを設定するために使用されるレジスタです。SPPCR は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ（SPCR）の SPE ビットが 1 で RSPI 機能がイネーブルである状態において、CPU が SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	—	—	MOIFE	MOIFV	—	SPOM	—	SPLP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	—	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの RSPI が、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSI に出力します。MOIFE が 1 の場合には、RSPI は MOIFV ビットに設定された固定値を MOSI に出力します。 0：MOSI 出力値は前回転送の最終データ 1：MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、RSPI は MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を決定します。 0：MOSI アイドル固定値は 0 1：MOSI アイドル固定値は 1
3	—	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	SPOM	0	R/W	RSPI 出力端子モード RSPI の出力端子を CMOS 出力／オープンドレイン出力に設定するためのビットです。 0：CMOS 出力 1：オープンドレイン出力
1	—	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説　　明
0	SPLP	0	R/W	RSPI ループバック SPLP ビットを 1 にすると、RSPI は MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。 0：通常モード 1：ループバックモード

16.3.4 RSPI ステータスレジスタ（SPSR）

SPSR は、RSPI の動作状態を示すフラグを格納したレジスタです。SPSR は、常に CPU による読み出しが可能です。CPU から SPSR の SPRF、SPTEF、MODF、OVRF ビットに 1 を書き込むことはできません。また、これらのフラグを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。

ビット：	7	6	5	4	3	2	1	0
	SPRF	－	SPTEF	－	－	MODF	－	OVRF
初期値：	0	0	1	0	0	0	0	0
R/W：	R/(W)*	R	R/(W)*	R	R	R/(W)*	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
7	SPRF	0	R/(W)*	RSPI 受信バッファフルフラグ RSPI データレジスタ（SPDR）の受信バッファの状態を示すビットです。SPRF ビットが 0 の状態でシリアル転送が終了すると、RSPI はシフトレジスタから SPDR に受信データを転送して、このビットを 1 にします。SPRF ビットを 0 にクリアする条件は以下のとおりです。 • SPRF が 1 にされた状態の SPSR を CPU が読み出した後、CPU が SPRF に 0 を書き込む • A-DMAC が SPDR から受信データを読み出す • パワーオンリセット／スタンバイ SPRF ビットが 1 の状態でシリアル転送が終了した場合には、RSPI はシフトレジスタから SPDR に受信データを転送しません。SPSR の OVRF ビットが 1 の状態では、SPRF ビットを 0 から 1 に変化させることができません（「16.4.7　エラー検出」を参照）。 0：SPDR に有効な受信データなし 1：SPDR に有効な受信データあり
6	－	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説　　明
5	SPTEF	1	R/(W)*	RSPI 送信バッファエンプティフラグ RSPI データレジスタ（SPDR）の送信バッファの状態を示すビットです。RSPI の初期化後、または送信バッファからシフトレジスタに送信データが転送された場合に、RSPI が SPTEF ビットを 1 にします。SPTEF ビットを 0 にクリアする条件は以下のとおりです。SPTEF クリア状態で、かつシフトレジスタが空の場合、送信バッファからシフトレジスタへデータがコピーされます。 • SPTEF が 1 にされた状態の SPSR を CPU が読み出した後、CPU が SPTEF に 0 を書き込む • A-DMAC が SPDR に送信データを書き込む CPU、A-DMAC による SPDR に対する書き込みは、SPTEF ビットが 1 の場合にのみ有効です。SPTEF が 0 の状態で、CPU、A-DMAC が SPDR の送信バッファを書き込んだ場合には、送信バッファのデータは更新されません。 0：送信バッファにデータあり 1：送信バッファにデータなし
4、3	－	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2	MODF	0	R/(W)*	モードフォルトエラーフラグ モードフォルトエラーの発生状況を示すビットです。RSPI 制御レジスタ（SPCR）の MSTR ビットが 1、MODFEN ビットが 1 で RSPI がマルチマスタモードの場合に、SSL0 端子の入力レベルがアクティブレベルになると、RSPI がモードフォルトエラー検出し MODF ビットを 1 にします。また、MSTR ビットが 0 で RSPI がスレーブモードの場合に MODFEN ビットに 1 を設定すると、データ転送に必要な RSPCK サイクルが終了する前に SSL0 端子がネゲートされると、RSPI がモードフォルトエラーを検出します。なお、SSL0 信号のアクティブレベルは、RSPI スレーブセレクト極性レジスタ（SSLP）の SSL0P ビットによって決定されます。MODF ビットのクリア条件は以下のとおりです。 • MODF が 1 にされた状態の SPSR を CPU が読み出した後、CPU が MODF に 0 を書き込む • パワーオンリセット／スタンバイ 0：モードフォルトエラーなし 1：モードフォルトエラー発生
1	－	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説　　明
0	OVRF	0	R/(W)*	オーバランエラーフラグ オーバランエラーの発生状況を示すビットです。SPRF ビットが 1 にされた状態でシリアル転送が終了した場合に、RSPI はオーバランエラーを検出し、OVRF ビットを 1 にします。OVRF ビットのクリア条件は、以下のとおりです。 • OVRF が 1 にされた状態の SPSR を CPU が読み出した後、CPU が OVRF に 0 を書き込む • パワーオンリセット／スタンバイ 0：オーバランエラーなし 1：オーバランエラー発生

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.5 RSPI データレジスタ（SPDR）

SPDR は、RSPI 送受信用のデータを格納するバッファです。送信用バッファと受信用バッファは独立したレジスタで、これらのレジスタが同じアドレスにマッピングされています。

CPU、A-DMAC が SPDR への書き込みを要求した場合には、RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 1 にされていれば、RSPI が SPDR の送信バッファにデータを書き込みます。SPTEF ビットが 0 の状態では、RSPI は SPDR の送信バッファを更新しません。

CPU、A-DMAC による SPDR の受信バッファの読み出しは常に有効です。通常の使用方法では、SPSR の SPRF ビットの 1 状態（受信バッファに未リードのデータが格納された状態）で、CPU、A-DMAC による受信バッファ読み出しを実行します。SPSR の SPRF ビットまたは OVRF ビットが 1 の状態では、RSPI はシリアル転送終了時に SPDR の受信バッファを更新しません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.6 RSPI シーケンス制御レジスタ（SPSCR）

SPSCR は、RSPI がマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。SPSCR は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI 機能がイネーブルである状態において、CPU が SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	−	−	SPSLN[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～3	−	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2～0	SPSLN[2:0]	000	R/W	RSPI シーケンス長設定 マスタモードの RSPI がシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの RSPI は SPSLN2～SPSLN0 に設定されたシーケンス長に応じて、参照する RSPI コマンドレジスタ 0～7（SPCMD0～7）と参照順を変更します。なお、スレーブモードの RSPI では、常に SPCMD0 が参照されます。 シーケンス長　参照する SPCMD レジスタ（番号） 000：1　0→0→… 001：2　0→1→0→… 010：3　0→1→2→0→… 011：4　0→1→2→3→0→… 100：5　0→1→2→3→4→0→… 101：6　0→1→2→3→4→5→0→… 110：7　0→1→2→3→4→5→6→0→… 111：8　0→1→2→3→4→5→6→7→0→…

16.3.7 RSPI シーケンスステータスレジスタ（SPSSR）

SPSSR は、RSPI がマスタ動作する場合のシーケンス制御の状態を示すレジスタです。SPSSR は、常に CPU による読み出しが可能です。CPU から SPSSR への書き込みは無視されます。

ビット：	7	6	5	4	3	2	1	0
	−	SPECM[2:0]			−	SPCP[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	−	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
6～4	SPECM[2:0]	000	R	RSPI エラーコマンド RSPI のシーケンス制御で、エラー検出時にコマンドポインタ（SPCP2～SPCP0 ビット）で指されていた RSPI コマンドレジスタ 0～7（SPCMD0～SPCMD7）を示すビットです。RSPI はエラー検出時にのみ SPECM2～SPECM0 を更新します。RSPI ステータスレジスタ（SPSR）の OVRF ビットと MODF ビットがともに 0 で、エラーが発生していない場合には、SPECM2～SPECM0 の値には意味がありません。 なお、RSPI のエラー検出機能については、「16.4.7 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「16.4.9 マスタモード動作」を参照してください。 000：SPCMD0 001：SPCMD1 010：SPCMD2 011：SPCMD3 100：SPCMD4 101：SPCMD5 110：SPCMD6 111：SPCMD7
3	−	0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説　　明
2～0	SPCP[2:0]	000	R	RSPI コマンドポインタ RSPI のシーケンス制御で、現在ポインタで指されている RSPI コマンドレジスタ 0～7（SPCMD0～7）を示すビットです。 なお、RSPI のシーケンス制御については、「16.4.9　マスタモード動作」を参照してください。 000：SPCMD0 001：SPCMD1 010：SPCMD2 011：SPCMD3 100：SPCMD4 101：SPCMD5 110：SPCMD6 111：SPCMD7

16.3.8 RSPI ビットレートレジスタ（SPBR）

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。SPBR は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI 機能がイネーブルである状態において、CPU が SPBR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートは SPBR の設定値と RSPI コマンドレジスタ（SPCMD0～7）の BRDV1～0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR の設定値（0、1、2、…、255）、N は BRDV1～0 ビットの設定値（0、1、2、3）です。マスタモード時の最大ビットレートは 10.0Mbps です。10.0Mbps を超える設定を行った場合の動作は保証されません。

$$\text{ビットレート} = \frac{f(P\phi)}{2\times(n+1)\times 2^{N}}$$

SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレートの関係の例を**表 16.3** に示します。

表 16.3 SPBR レジスタ、BRDV[1:0]ビットの設定値とビットレート

SPBR の設定値（n）	BRDV[1:0]の設定値（N）	分周比	ビットレート			
			Pφ＝16MHz	Pφ＝20MHz	Pφ＝32MHz	Pφ＝40MHz
0	0	2	8.0 Mbps	10.0 Mbps	－	－
1	0	4	4.0 Mbps	5.0 Mbps	8.0 Mbps	10.0 Mbps
2	0	6	2.67 Mbps	3.3 Mbps	5.33 Mbps	6.67 Mbps
3	0	8	2.0 Mbps	2.5 Mbps	4.0 Mbps	5.0 Mbps
4	0	10	1.6 Mbps	2.0 Mbps	3.2 Mbps	4.0 Mbps
5	0	12	1.33 Mbps	1.67 Mbps	2.67 Mbps	3.33 Mbps
5	1	24	667 kbps	833 kbps	1.33 Mbps	1.67 Mbps
5	2	48	333 kbps	417 kbps	667 kbps	8.33 kbps
5	3	96	167 kbps	208 kbps	333 kbps	417 kbps
255	3	4096	3.9 kbps	4.9 kbps	7.8 kbps	9.8 kbps

【注】 －：設定禁止

16.3.9 RSPCK 遅延レジスタ（SPCKD）

SPCKD は、RSPI コマンドレジスタ（SPCMD）の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。SPCKD は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SPCKD を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	−	−	SCKDL[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～3	−	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2～0	SCKDL[2:0]	000	R/W	RSPCK 遅延設定 SPCMD の SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定するためのビットです。 000：1RSPCK 001：2RSPCK 010：3RSPCK 011：4RSPCK 100：5RSPCK 101：6RSPCK 110：7RSPCK 111：8RSPCK

16.3.10 RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）

SSLND は、マスタモードの RSPI がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。SSLND は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SSLND を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	–	–	SLNDL[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～3	–	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2～0	SLNDL[2:0]	000	R/W	SSL ネゲート遅延設定 マスタモードの RSPI の SSL ネゲート遅延値を設定するためのビットです。 000：1RSPCK 001：2RSPCK 010：3RSPCK 011：4RSPCK 100：5RSPCK 101：6RSPCK 110：7RSPCK 111：8RSPCK

16.3.11 RSPI 次アクセス遅延レジスタ（SPND）

SPND は、RSPI コマンドレジスタ（SPCMD）の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPND は、常に CPU による読み出し／書き込みが可能です。RSPI 制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの RSPI がイネーブルである状態において、CPU が SPND を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	−	−	SPNDL[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～3	−	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2～0	SPNDL[2:0]	000	R/W	RSPI 次アクセス遅延設定 SPCMD の SPNDEN ビットが 1 の場合の次アクセス遅延を設定するためのビットです。 000：1RSPCK＋2Pφ 001：2RSPCK＋2Pφ 010：3RSPCK＋2Pφ 011：4RSPCK＋2Pφ 100：5RSPCK＋2Pφ 101：6RSPCK＋2Pφ 110：7RSPCK＋2Pφ 111：8RSPCK＋2Pφ

16.3.12 RSPI コマンドレジスタ（SPCMD）

1 チャネルの RSPI には、RSPI コマンドレジスタ（SPCMD）が 8 本あります（SPCMD0～SPCMD7）。SPCMD0～SPCMD7 は、マスタモードの RSPI の転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は RSPI シーケンス制御レジスタ（SPSCR）の SPSLN2～SPSLN0 ビットの設定に従ってシーケンシャルに SPCMD0～7 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

SPCMD は、常に CPU による読み出し／書き込みが可能です。RSPI がマスタモードでシリアル転送中／SSL ネゲート遅延期間中／次アクセス遅延期間中に、RSPI が参照している SPCMD を CPU が書き換えた場合には、以降の動作は保証されません。マスタモードの RSPI が参照している SPCMD は、RSPI シーケンスステータスレジスタ（SPSSR）の SPCP2～0 ビットにより確認できます。また、スレーブモードの RSPI がイネーブルな状態において、SPCMD0 を CPU が書き換えた場合には、以降の動作は保証されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
初期値：	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	SCKDEN	0	R/W	RSPCK 遅延設定イネーブル マスタモードの RSPI が、SSL 信号をアクティブにしてから RSPCK を発振するまでの期間（RSPCK 遅延）を設定するためのビットです。SCKDEN が 0 の場合には、RSPI は RSPCK 遅延を 1RSPCK にします。SCKDEN が 1 の場合には、RSPI は RSPCK 遅延レジスタ（SPCKD）の設定に従った RSPCK 遅延で RSPCK の発振を開始します。 RSPI をスレーブモードで使用する場合には、SCKDEN に 0 を設定してください。 0：RSPCK 遅延は 1RSPCK 1：RSPCK 遅延は RSPCK 遅延レジスタ（SPCKD）の設定値
14	SLNDEN	0	R/W	SSL ネゲート遅延設定イネーブル マスタモードの RSPI が、RSPCK を発振停止してから SSL 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定するためのビットです。SLNDEN が 0 の場合には、RSPI は SSL ネゲート遅延を 1RSPCK にします。SLNDEN が 1 の場合には、RSPI はスレーブセレクトネゲート遅延レジスタ（SSLND）の設定に従った RSPCK 遅延で SSL をネゲートします。 RSPI をスレーブモードで使用する場合には、SLNDEN に 0 を設定してください。 0：SSL ネゲート遅延は 1RSPCK 1：SSL ネゲート遅延はスレーブセレクトネゲート遅延レジスタ（SSLND）の設定値

ビット	ビット名	初期値	R/W	説　　明
13	SPNDEN	0	R/W	RSPI 次アクセス遅延イネーブル マスタモードの RSPI がシリアル転送を終了して SSL 信号を非アクティブにしてから、次アクセスの SSL 信号アサートを可能にするまでの期間（次アクセス遅延）を設定するためのビットです。SPNDEN が 0 の場合には、RSPI は次アクセス遅延を 1RSPCK＋2Pφにします。SPNDEN が 1 の場合には、RSPI は RSPI 次アクセス遅延レジスタ（SPND）の設定に従った次アクセス遅延を挿入します。 RSPI をスレーブモードで使用する場合には、SPNDEN に 0 を設定してください。 0：次アクセス遅延は 1RSPCK＋2Pφ 1：次アクセス遅延は RSPI 次アクセス遅延レジスタ（SPND）の設定値
12	LSBF	0	R/W	RSPI LSB ファースト マスタモード／スレーブモードの RSPI のデータフォーマットを、MSB ファースト／LSB ファーストに設定するためのビットです。 0：MSB ファースト 1：LSB ファースト
11～8	SPB[3:0]	0111	R/W	RSPI データ長設定 マスタモード／スレーブモードの RSPI の転送データ長を設定するためのビットです。 0000～0111：8 ビット 1000：9 ビット 1001：10 ビット 1010：11 ビット 1011：12 ビット 1100：13 ビット 1101：14 ビット 1110：15 ビット 1111：16 ビット
7	SSLKP	0	R/W	SSL 信号レベル保持 マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間に、現コマンドの SSL 信号レベルを保持するか、ネゲートするかを設定するビットです。 RSPI をスレーブモードで使用する場合には、SSLKP に 0 を設定してください。 0：転送終了時に全 SSL 信号をネゲート 1：転送終了後から次アクセス開始まで SSL 信号レベルを保持

ビット	ビット名	初期値	R/W	説　　明
6～4	SSLA[2:0]	000	R/W	SSL 信号アサート設定 マスタモードの RSPI がシリアル転送する場合の SSL 信号のアサートを制御するためのビットです。SSLAi（i は 2～0）の設定値が、SSL7～SSL0 信号のアサートを制御します。SSL 信号アサート時の信号極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。マルチマスタモードで SSLA2～SSLA0 に B'000 を設定した場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます（SSL0 は入力になるため）。 また、SPCMDB0～SPCMDB7 レジスタの SSLA[2:0]ビットに B'100 から B'111 に設定した場合にも、チャネル B の全 SSL 信号はネゲート状態でシリアル転送が実行されます（チャネル B に SSL4～SSL7 がないため）。 RSPI をスレーブモードで使用する場合には、SSLA2～SSLA0 に B'000 を設定してください。 000：SSL0 001：SSL1 010：SSL2 011：SSL3 100：SSL4 101：SSL5 110：SSL6 111：SSL7
3、2	BRDV[1:0]	11	R/W	ビットレート分周設定 ビットレートを決定するために使用するレジスタです。BRDV1、0 ビットと RSPI ビットレートレジスタ（SPBR）の設定値の組み合わせでビットレートを決定します（「16.3.8　RSPI ビットレートレジスタ（SPBR）」を参照）。SPBR の設定値は、ベースとなるビットレートを決定します。BRDV1～0 ビットの設定値は、ベースのビットレートに対して 分周なし／2 分周／4 分周／8 分周したビットレートを選択するために使用します。SPCMD0～7 にはそれぞれ異なる BRDV1、0 の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。 00：ベースのビットレートを選択 01：ベースのビットレートの 2 分周を選択 10：ベースのビットレートの 4 分周を選択 11：ベースのビットレートの 8 分周を選択
1	CPOL	0	R/W	RSPCK 極性設定 マスタモード／スレーブモードの RSPI の RSPCK 極性を設定するためのビットです。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。 0：アイドル時の RSPCK が 0 1：アイドル時の RSPCK が 1

ビット	ビット名	初期値	R/W	説　　明
0	CPHA	1	R/W	RSPCK 位相設定 マスタモード／スレーブモードのRSPIのRSPCK位相を設定するためのビットです。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。 0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル

16.4 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

16.4.1 RSPI 動作の概要

RSPI は、スレーブモード、シングルマスタモード、マルチマスタモードでの同期式のシリアル転送が可能です。RSPI のモードは、RSPI 制御レジスタ（SPCR）の MSTR ビットと MODFEN ビットによって設定可能です。表 16.4 に RSPI のモードと SPCR 設定の関係および各モードの概要をまとめます。

表 16.4 RSPI のモードと SPCR 設定の関係および各モードの概要

項目		スレーブモード	シングルマスタモード	マルチマスタモード
MSTR ビットの設定		0	1	1
MODFEN ビットの設定		0、1	0	1
RSPCK 信号		入力	出力	出力／Hi-Z
MOSI 信号		入力	出力	出力／Hi-Z
MISO 信号		出力／Hi-Z	入力	入力
SSL0 信号		入力	出力	入力
SSL1～SSL7 信号		Hi-Z	出力	出力／Hi-Z
出力端子モード		CMOS／オープンドレイン	CMOS／オープンドレイン	CMOS／オープンドレイン
SSL 極性変更機能		あり	あり	あり
転送レート	周辺クロック 1 逓倍設定時	～2.5 MHz	～10.0 MHz	～10.0 MHz
	周辺クロック 2 逓倍設定時	～2.5 MHz	～10.0 MHz	～10.0 MHz
クロックソース		RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ
クロック極性		2 種	2 種	2 種
クロック位相		2 種	2 種	2 種
先頭転送ビット		MSB／LSB	MSB／LSB	MSB／LSB
転送データ長		8～16 ビット	8～16 ビット	8～16 ビット
バースト転送		可能（CPHA=1）	可能（CPHA=0、1）	可能（CPHA=0、1）
RSPCK 遅延制御		なし	あり	あり
SSL ネゲート遅延制御		なし	あり	あり
次アクセス遅延制御		なし	あり	あり
転送起動方法		SSL 入力アクティブ または RSPCK 発振	A-DMAC で起動： SPDR ライト CPU で起動： SPTEF クリア	A-DMAC で起動： SPDR ライト CPU で起動： SPTEF クリア

項目	スレーブモード	シングルマスタモード	マルチマスタモード
シーケンス制御	なし	あり	あり
送信バッファエンプティ検出	あり	あり	あり
受信バッファフル検出	あり	あり	あり
オーバランエラー検出	あり	あり	あり
モードフォルトエラー検出	あり（MODFEN＝1）	なし	あり

16.4.2 RSPI 端子の制御

RSPI は、RSPI 制御レジスタ（SPCR）の MSTR ビット、MODFEN ビットと RSPI 端子制御レジスタ（SPPCR）の SPOM ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を表 16.5 に示します。

表 16.5 RSPI 端子の状態と制御ビット設定値の関係

モード	端子	端子状態*1	
		SPOM＝0	SPOM＝1
シングルマスタモード（MSTR＝1、MODFEN＝0）	RSPCK	CMOS 出力	オープンドレイン出力
	SSL0～7	CMOS 出力	オープンドレイン出力
	MOSI	CMOS 出力	オープンドレイン出力
	MISO	入力	入力
マルチマスタモード（MSTR＝1、MODFEN＝1）	RSPCK*2	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSL0	入力	入力
	SSL1～7*2	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSI*2	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISO	入力	入力
スレーブモード（MSTR＝0）	RSPCK	入力	入力
	SSL0	入力	入力
	SSL1～7	Hi-Z	Hi-Z
	MOSI	入力	入力
	MISO*3	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z

【注】 *1 RSPI 機能が選択されていないマルチプレクス端子には RSPI の設定値は反映されません。

*2 SSL0 がアクティブレベルの場合、端子状態が Hi-Z になります。

*3 SSL0 が非アクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。

マスタモードの RSPI は、SPPCR の MOIFE ビットと MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を表 16.6 のように決定します。

表 16.6 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終データ
1	0	常に 0
1	1	常に 1

16.4.3 RSPI システム構成例

（1） シングルマスタ／シングルスレーブ（本 LSI をマスタとして使用した場合）

図 16.2 に、本 LSI をマスタとして使用した場合のシングルマスタ／シングルスレーブの RSPI システムの構成例を示します。シングルマスタ／シングルスレーブの構成では、本 LSI（マスタ）の SSL0～SSL7 出力は使用しません。RSPI スレーブの SSL 入力はアクティブレベルに固定して、RSPI スレーブを常にセレクト状態にします。RSPI 制御レジスタ（SPCR）の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

本 LSI（マスタ）は、RSPCK と MOSI を常にドライブします。RSPI スレーブは、MISO を常にドライブします。

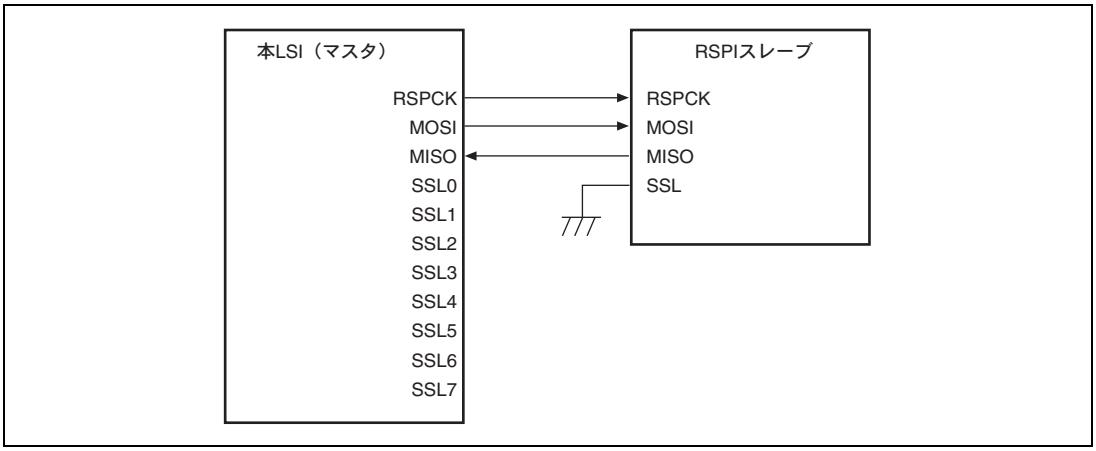


図 16.2 **シングルマスタ／シングルスレーブの構成例（本 LSI＝マスタ）**

（2） シングルマスタ／シングルスレーブ（本 LSI をスレーブとして使用した場合）

図 16.3 に、本 LSI をスレーブとして使用した場合のシングルマスタ／シングルスレーブの RSPI システム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL0 端子を SSL 入力として使用します。RSPI マスタは、RSPCK と MOSI を常にドライブします。本 LSI（スレーブ）は、MISO を常にドライブします。

RSPI コマンドレジスタ（SPCMD）の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI（スレーブ）の SSL0 入力をアクティブレベルに固定して本 LSI（スレーブ）を常に選択状態とし、シリアル転送を実行することも可能です（図 16.4）。

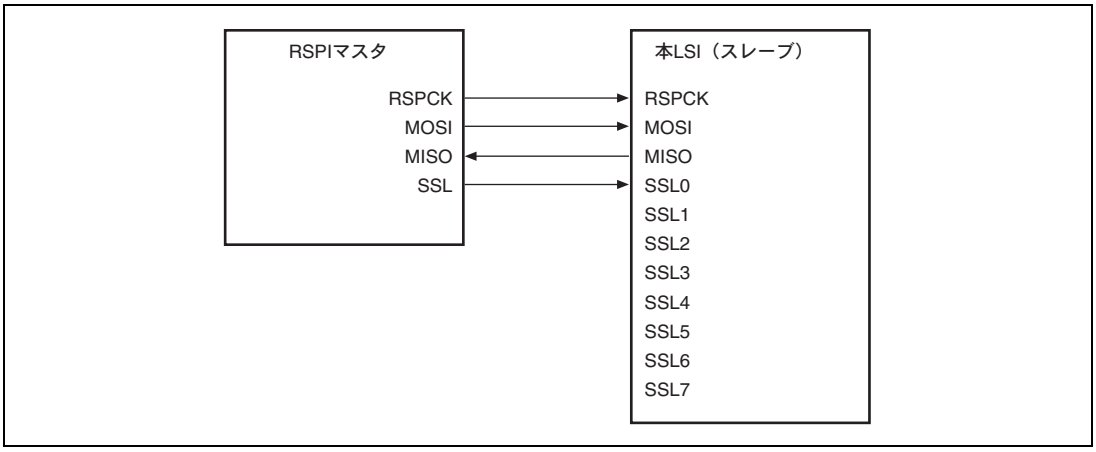


図 16.3 シングルマスタ／シングルスレーブの構成例（本 LSI＝スレーブ）

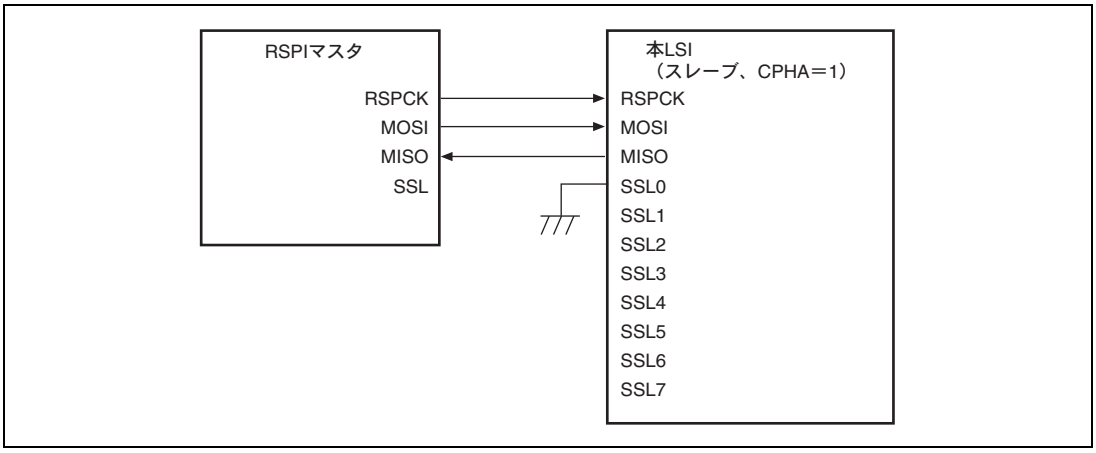


図 16.4 シングルマスタ／シングルスレーブの構成例（本 LSI＝スレーブ、CPHA＝1）

(3) シングルマスタ／マルチスレーブ（本 LSI をマスタとして使用した場合）

図 16.5 に、本 LSI をマスタとして使用した場合のシングルマスタ／マルチスレーブの RSPI システム構成例を示します。**図 16.5** の例では、本 LSI（マスタ）と 4 つのスレーブ（RSPI スレーブ 0～RSPI スレーブ 3）から RSPI システムを構成しています。

本 LSI（マスタ）の RSPCK 出力と MOSI 出力は、RSPI スレーブ 0～RSPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 0～RSPI スレーブ 3 の MISO 出力は、すべて本 LSI（マスタ）の MISO 入力に接続します。本 LSI（マスタ）の SSL0～SSL3 出力は、それぞれ RSPI スレーブ 0～RSPI スレーブ 3 の SSL 入力に接続します。この構成例では、RSPI スレーブが 4 つであるので、本 LSI（マスタ）の SSL4～SSL7 出力を使用していません。

本 LSI（マスタ）は、RSPCK、MOSI、SSL0～SSL3 を常にドライブします。RSPI スレーブ 0～RSPI スレーブ 3 のうち、SSL 入力にアクティブレベルを入力されているスレーブが MISO をドライブします。

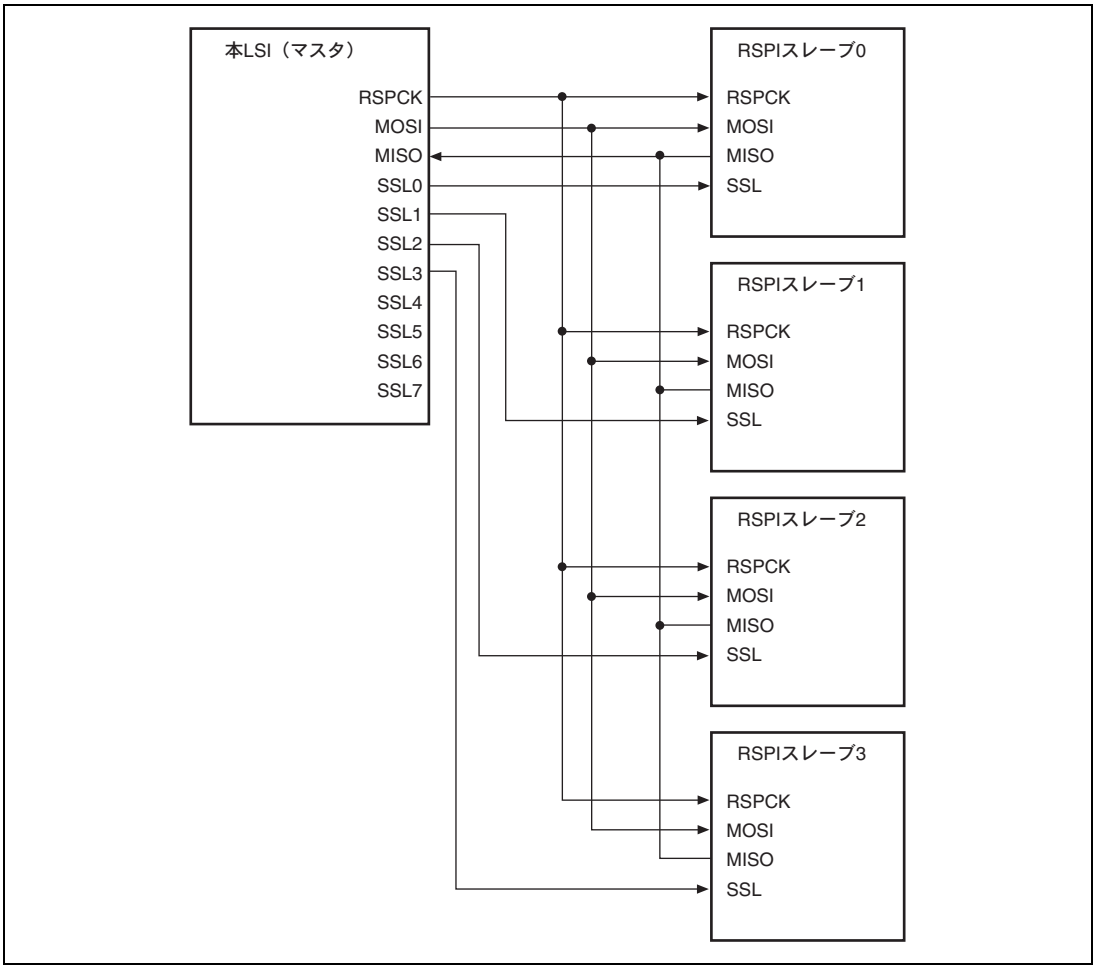


図 16.5 シングルマスタ／マルチスレーブの構成例（本 LSI＝マスタ）

（4） シングルマスタ／マルチスレーブ（本 LSI をスレーブとして使用した場合）

図 16.6 に、本 LSI をスレーブとして使用した場合のシングルマスタ／マルチスレーブの RSPI システム構成例を示します。**図 16.6** の例では、RSPI マスタと 2 つの本 LSI（スレーブ X、スレーブ Y）から RSPI システムを構成しています。

RSPI マスタの RSPCK 出力と MOSI 出力は、本 LSI（スレーブ X、スレーブ Y）の RSPCK 入力と MOSI 入力に接続します。本 LSI（スレーブ X、スレーブ Y）の MISO 出力は、RSPI マスタの MISO 入力に接続します。RSPI マスタの SSLX 出力、SSLY 出力は、本 LSI（スレーブ X、スレーブ Y）の SSL0 入力に接続します。

RSPI マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI（スレーブ X、スレーブ Y）のうち、SSL0 入力にアクティブレベルを入力されているスレーブが、MISO をドライブします。

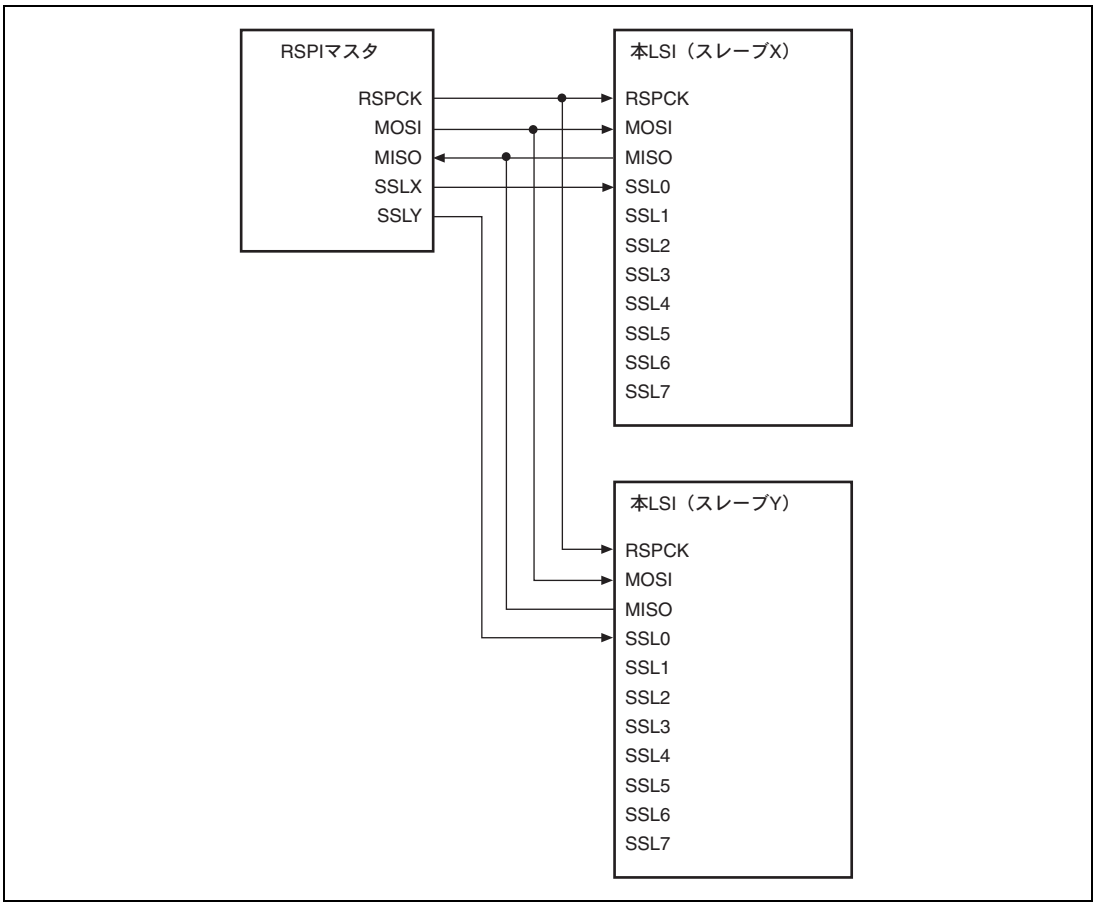


図 16.6 シングルマスタ／マルチスレーブの構成例（本 LSI＝スレーブ）

（5） マルチマスタ／マルチスレーブ（本 LSI をマスタとして使用した場合）

図 16.7 に、本 LSI をマスタとして使用した場合のマルチマスタ／マルチスレーブの RSPI システム構成例を示します。**図 16.7** の例では、2 つの本 LSI（マスタ X、マスタ Y）と 2 つの RSPI スレーブ（RSPI スレーブ 1、RSPI スレーブ 2）から RSPI システムを構成しています。

本 LSI（マスタ X、マスタ Y）の RSPCK 出力と MOSI 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。RSPI スレーブ 1、RSPI スレーブ 2 の MISO 出力は、本 LSI（マスタ X、マスタ Y）の MISO 入力に接続します。本 LSI（マスタ X）の任意の汎用ポート Y 出力は、本 LSI（マスタ Y）の SSL0 入力に接続します。本 LSI（マスタ Y）の任意の汎用ポート X 出力は、本 LSI（マスタ X）の SSL0 入力に接続します。本 LSI（マスタ X、マスタ Y）の SSL1 出力と SSL2 出力は、RSPI スレーブ 1、RSPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSL0 入力、スレーブ接続用の SSL1 出力、SSL2 出力のみでシステムを構成できるので、本 LSI の SSL3～SSL7 出力を使用していません。

本 LSI は、SSL0 入力が非アクティブレベルの場合には、RSPCK、MOSI、SSL1、SSL2 をドライブします。SSL0 入力がアクティブレベルの場合には、モードフォルトエラーを検出し、RSPCK、MOSI、SSL1、SSL2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。RSPI スレーブ 1、RSPI スレーブ 2 のうち、SSL 入力にアクティブレベルを入力されているスレーブが、MISO をドライブします。

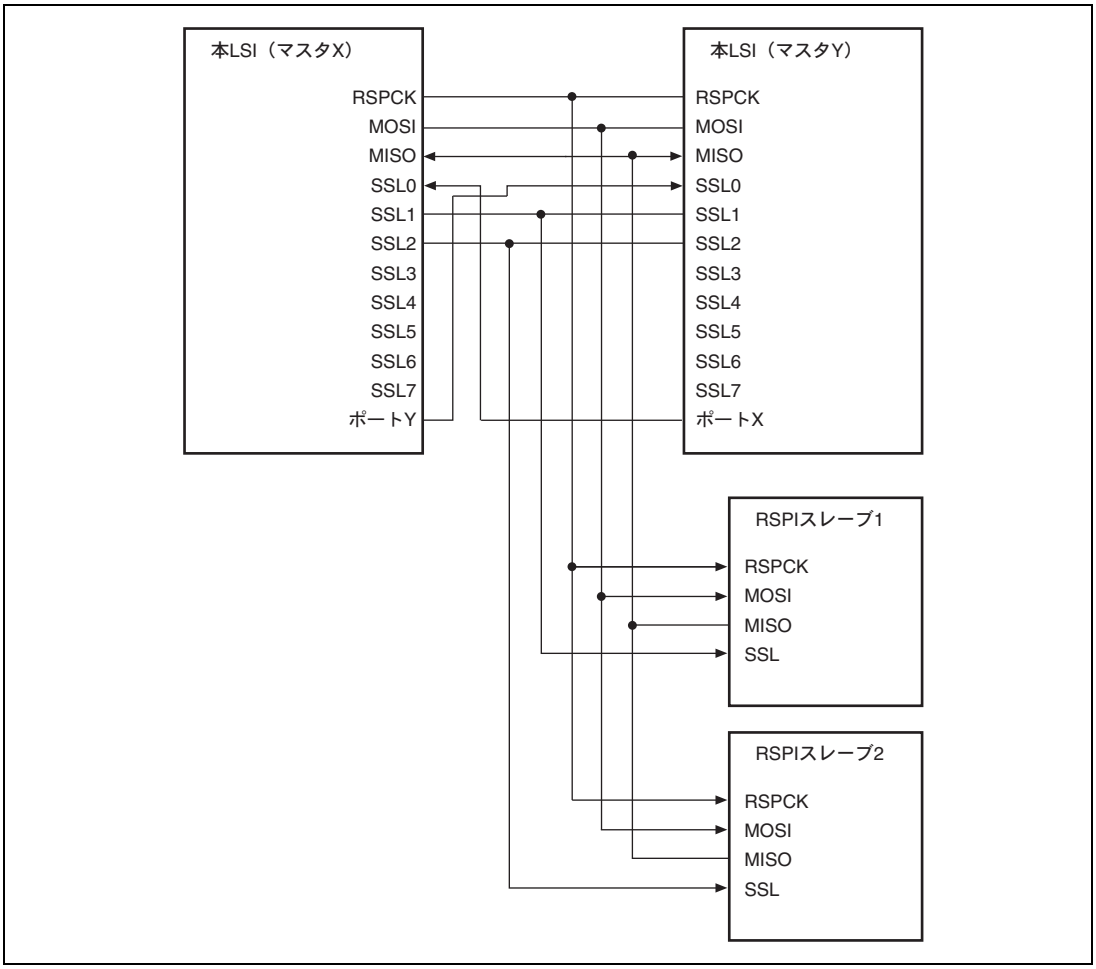


図 16.7　マルチマスタ／マルチスレーブの構成例（本 LSI＝マスタ）

16.4.4 転送フォーマット

（1） CPHA＝0 の場合

図 16.8 に RSPI コマンドレジスタ（SPCMD）の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 16.8 において、RSPCK（CPOL＝0）は SPCMD の CPOL ビットが 0 の場合、RSPCK（CPOL＝1）は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「16.4.2 RSPI 端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間（RSPCK 遅延）です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「16.4.9 マスタモード動作」を参照してください。

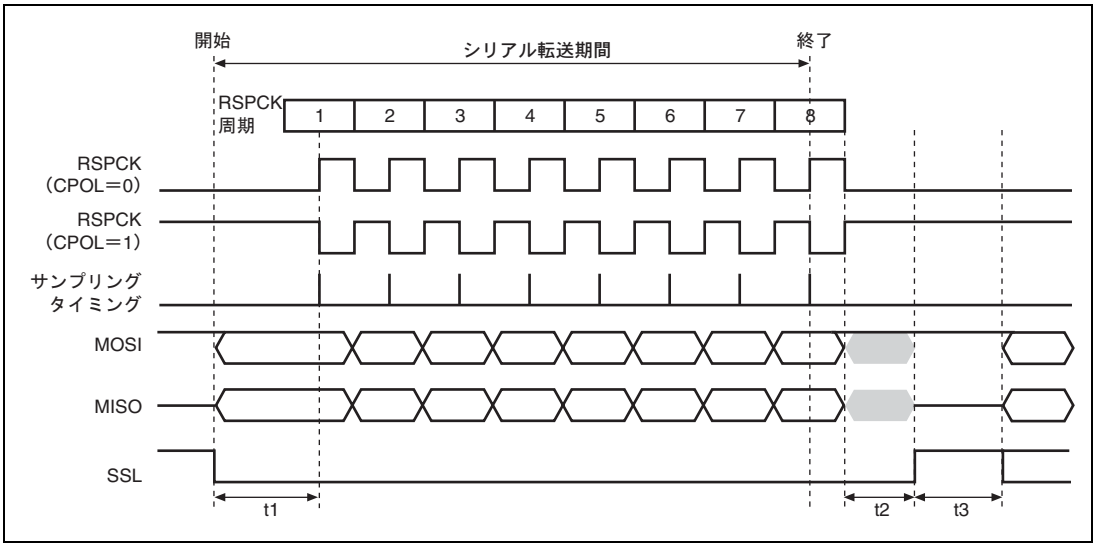


図 16.8 RSPI 転送フォーマット（CPHA＝0）

（2） CPHA＝1 の場合

図 16.9 に RSPI コマンドレジスタ（SPCMD）の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 16.9 において、RSPCK（CPOL＝0）は SPCMD の CPOL ビットが 0 の場合、RSPCK（CPOL＝1）は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード（マスタ／スレーブ）に依存します。詳細は「16.4.2　RSPI 端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA＝0 の場合と同様です。本 LSI の RSPI がマスタモードである場合の t1、t2、t3 については、「16.4.9　マスタモード動作」を参照してください。

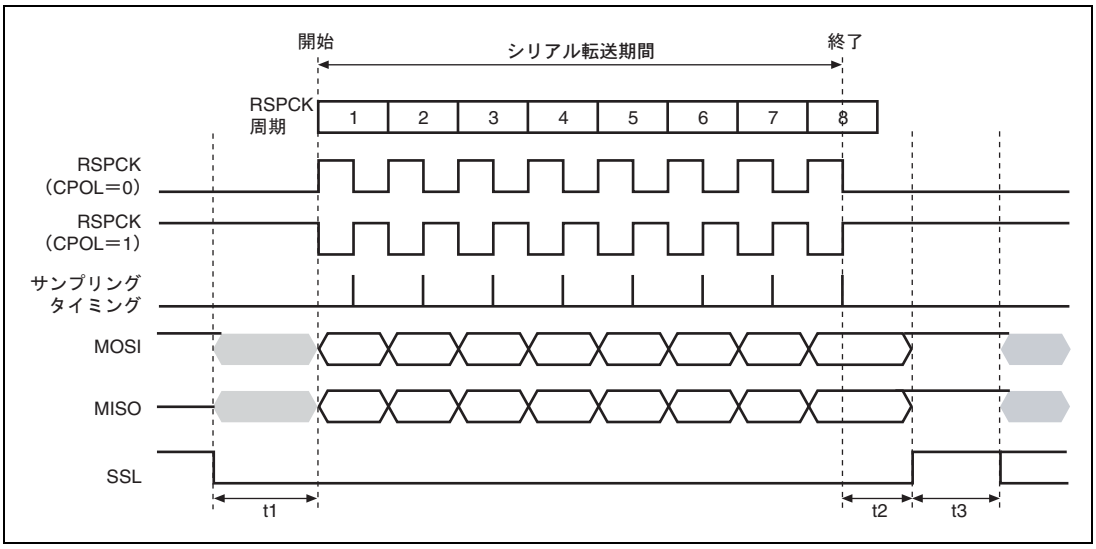


図 16.9　RSPI 転送フォーマット（CPHA＝1）

16.4.5 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ（SPCMD）の設定値に依存します。MSB／LSB ファーストにかかわらず、RSPI は RSPI データレジスタ（SPDR）の LSB から設定データ長分の範囲を転送データとして扱います。

（1） MSB ファースト転送（16 ビットデータ）

図 16.10 に、RSPI がデータ長 16 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU または A-DMAC は、SPDR の送信バッファに T15～T00 を書き込みます。RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 15）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R15～R00 が格納されます。この状態で、RSPI はシフトレジスタから SPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または A-DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R15～R00 がシフトレジスタからシフトアウトされます。

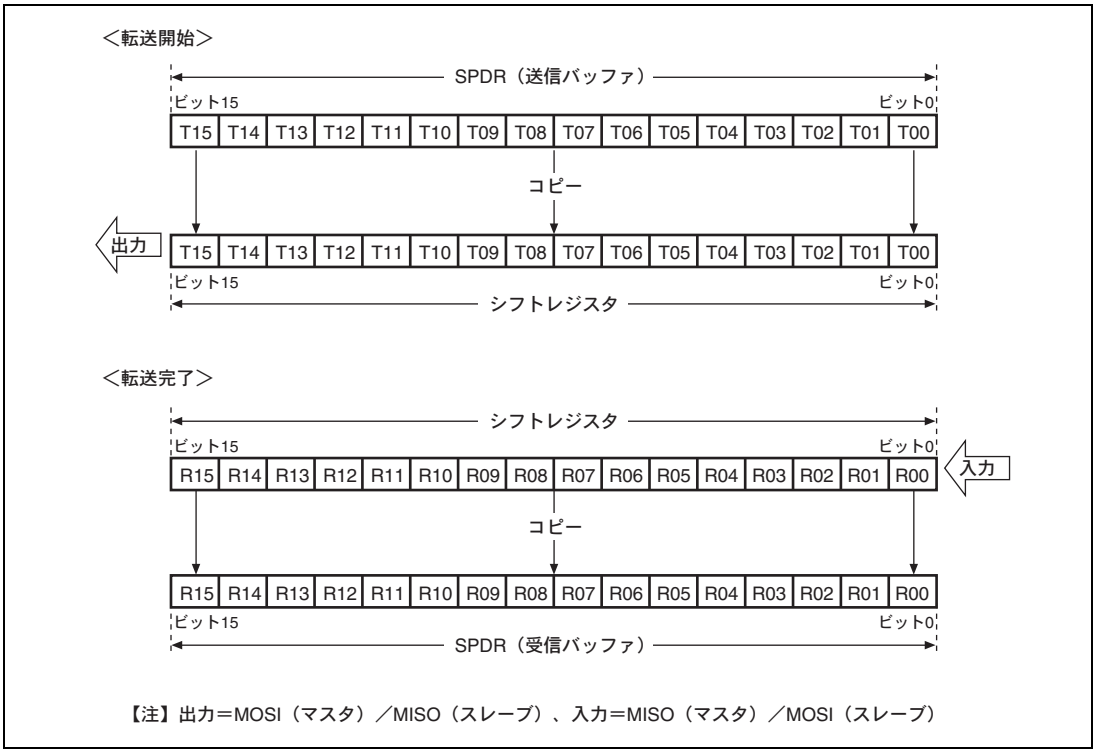


図 16.10 MSB ファースト転送（16 ビットデータ）

（2） MSB ファースト転送（10 ビットデータ）

図 16.11 に、RSPI が 16 ビット以外のデータを MSB ファースト転送する例として、10 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU または A-DMAC は、SPDR の送信バッファに T15～T00 を書き込みます。RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタのビット 9 からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。10 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 9～0 には受信データ R09～R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 15～10 には、転送前のデータが保持されています。この状態で、RSPI がシフトレジスタから SPDR の受信バッファにデータをコピーし、シフトレジスタを空にします。

なお、CPU または A-DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R09～R00 がシフトレジスタからシフトアウトされます。

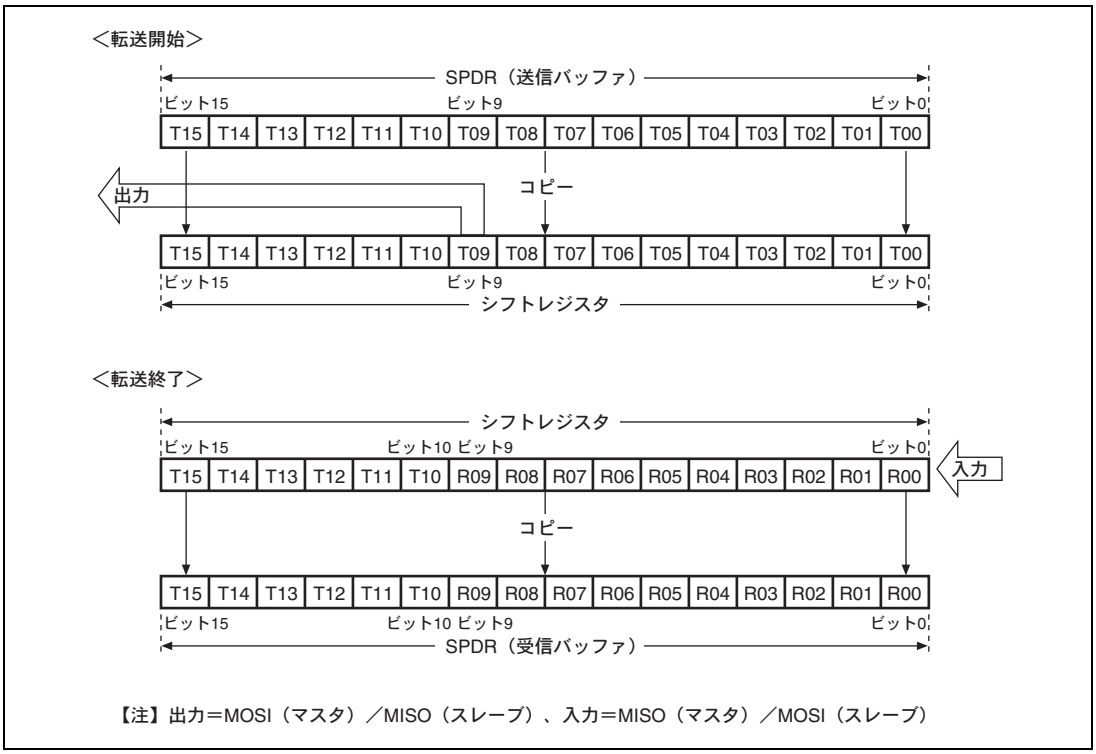


図 16.11 MSB ファースト転送（10 ビットデータ）

（3） LSB ファースト転送（16 ビットデータ）

図 16.12 に、RSPI がデータ長 16 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU または A-DMAC は、SPDR の送信バッファに T15～T00 を書き込みます。RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 15）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R00～R15 が格納されます。この状態で、RSPI はシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または A-DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00～R15 がシフトレジスタからシフトアウトされます。

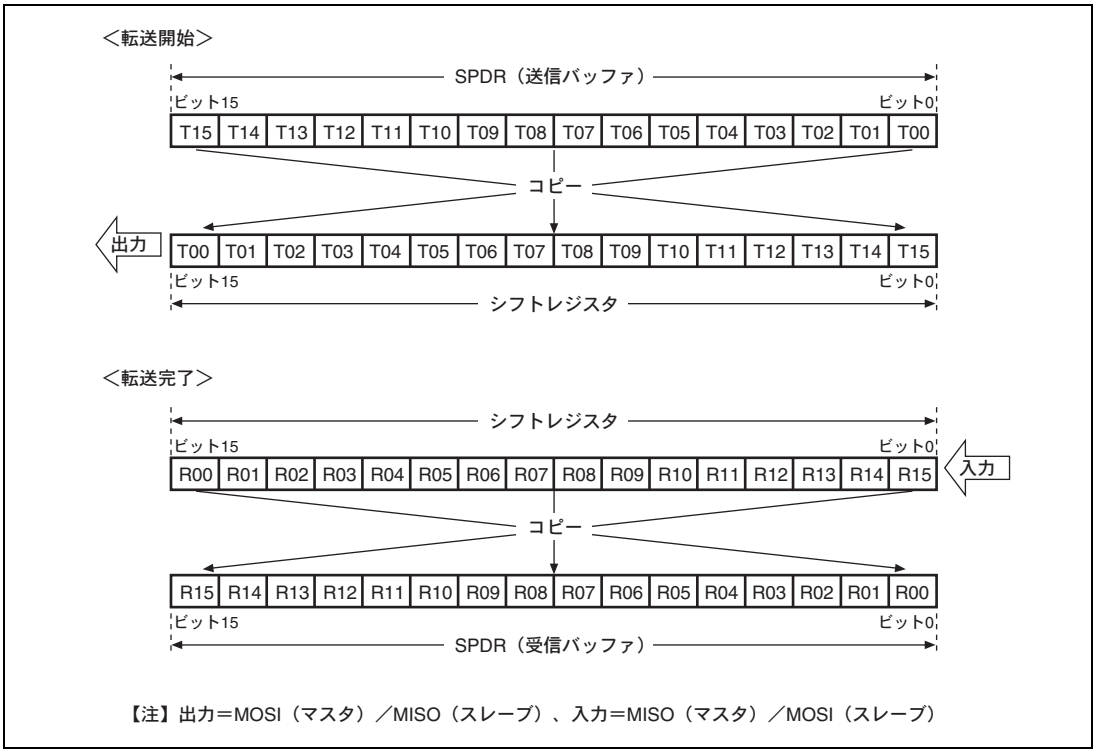


図 16.12 LSB ファースト転送（16 ビットデータ）

（4） LSB ファースト転送（10 ビットデータ）

図 16.13 に、RSPI が 16 ビット以外のデータを LSB ファースト転送する例として、10 ビットのデータ転送を実施する場合の RSPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

CPU または A-DMAC は、SPDR の送信バッファに T15～T00 を書き込みます。RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 0 かつシフトレジスタが空であれば、RSPI が SPDR の送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、RSPI はシフトレジスタの MSB（ビット 15）からデータを出力し、シフトレジスタのビット 6 からデータをシフトインします。10 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 15～6 には受信データ R00～R09 が格納されます。シリアル転送完了後のシフトレジスタのビット 5～0 には、転送前のデータが保持されています。この状態で、RSPI がシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタを空にします。

なお、CPU または A-DMAC が SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00～R09 がシフトレジスタからシフトアウトされます。

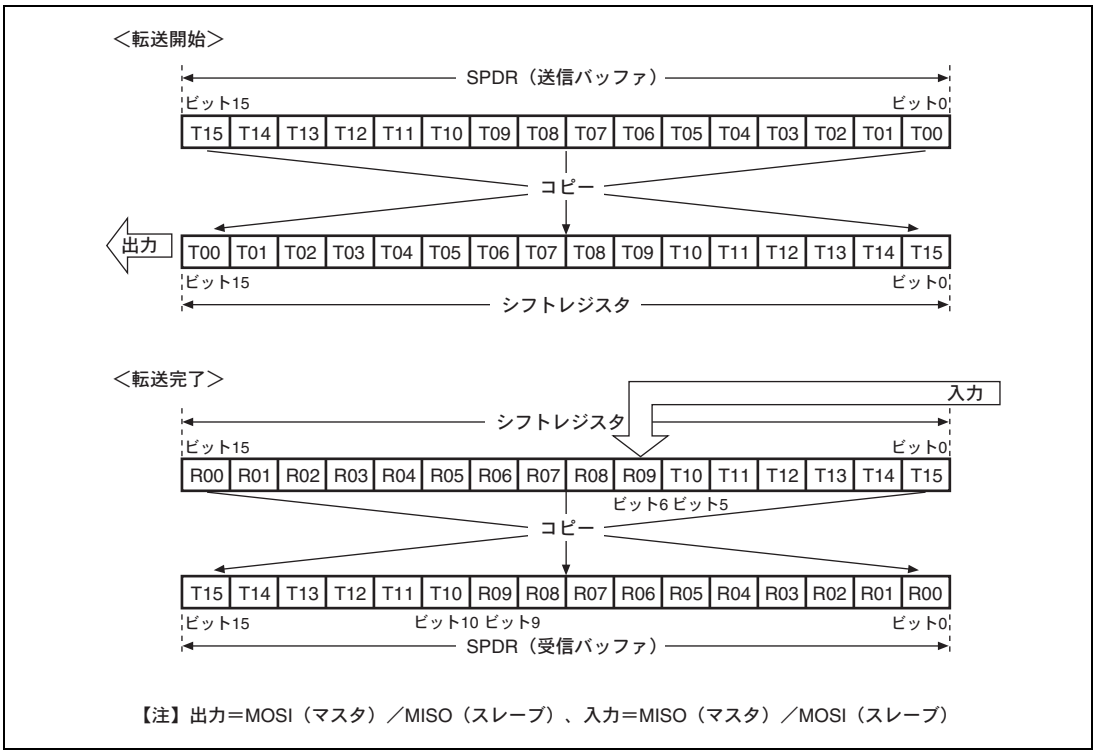


図 16.13 LSB ファースト（10 ビットデータ）

16.4.6 送信バッファエンプティ／受信バッファフルフラグ

図 16.14 に RSPI ステータスレジスタ（SPSR）の RSPI 送信バッファエンプティフラグ（SPTEF）と RSPI 受信バッファフルフラグ（SPRF）の動作例を示します。**図 16.14** に記載した SPDR アクセスは、A-DMAC から RSPI データレジスタ（SPDR）へのアクセス状況を示しています。I はアイドルサイクル、W は書き込みサイクル、R は読み出しサイクルを示しています。**図 16.14** の例では、RSPI コマンドレジスタ（SPCMD）の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

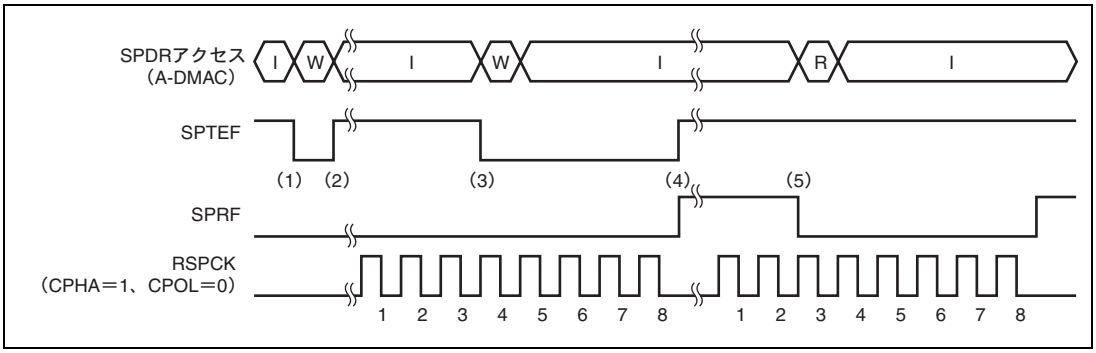


図 16.14 SPTEF、SPRF ビットの動作例

以下に、図中の（1）～（5）に示したタイミングでのフラグの動作内容を説明します。

1. SPDRの送信バッファが空の状態で、A-DMACがSPDRに送信データを書き込むと、RSPIはSPTEFビットを0にして送信バッファにデータを書き込みます。SPRFフラグは変化しません。
2. シフトレジスタが空の場合には、RSPIはSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。SPRFフラグは変化しません。なお、シリアル転送の開始方法は、RSPIのモードに依存します。詳細は、「16.4.9 **マスタモード動作**」および「16.4.10 **スレーブモード動作**」を参照してください。
3. SPDRの送信バッファが空の状態で、A-DMACがSPDRに送信データを書き込むと、RSPIがSPTEFビットを0にして送信バッファにデータを書き込みます。SPRFフラグは変化しません。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPIは送信バッファのデータをシフトレジスタにコピーしません。
4. SPDRの受信バッファが空の状態でシリアル転送が終了すると、RSPIはSPRFを1にしてシフトレジスタの受信データを受信バッファにコピーします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPIがSPTEFビットを1にして送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

5. 受信バッファフルの状態で、A-DMACがSPDRを読み出すと、RSPIはSPRFを0にして、受信バッファのデータをチップ内部バスに送出します。

SPTEF ビットが 0 の状態で、CPU または A-DMAC が SPDR を書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR を書き込む場合には、必ず SPTEF が 1 であることを確認してください。SPTEF が 1 であることは、SPSR の読み出し、あるいは RSPI 送信割り込みの利用によって確認できます。RSPI 送信割り込みを利用する場合には、SPCR の SPTIE ビットを 1 にしてください。

RSPI ディスエーブル（SPCR の SPE ビットが 0）の場合には、SPTEF ビットが 1 に初期化されます。このため RSPI ディスエーブル状態で SPCR の SPTIE ビットを 1 にすると、RSPI 送信割り込みが発生します。

SPRF ビットが 1 の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します（**「16.4.7　エラー検出」**を参照）。受信データのオーバランを防ぐためには、シリアル転送の終了よりも前に SPRF ビットを 0 にしてください。SPRF が 1 であることは、SPSR の読み出し、あるいは RSPI 受信割り込みの利用によって確認できます。RSPI 受信割り込みを利用する場合には、SPCR の SPRIE ビットを 1 にしてください。

16.4.7 エラー検出

通常の RSPI のシリアル転送では、CPU または A-DMAC が RSPI データレジスタ（SPDR）の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを CPU または A-DMAC が SPDR の受信バッファから読み出すことができます。CPU または A-DMAC から SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始／終了時の RSPI の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPI はオーバランエラーまたはモードフォルトエラーとして検出します。**表 16.7** に、通常以外の転送動作と RSPI のエラー検出機能の関係を示します。

表 16.7 通常以外の転送の発生条件と RSPI のエラー検出機能

	発生条件	RSPI 動作	エラー検出
A	送信バッファフルの状態で、 CPU または A-DMAC が SPDR を書き込み。	送信バッファ内容を保持。 書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファエンプティの状態で、CPU または A-DMAC が SPDR を読み出し。	前回シリアル受信データを CPU または A-DMAC へ出力。	なし
D	受信バッファフルの状態で、シリアル転送が終了。	受信バッファ内容を保持。 シリアル受信データ欠落。	オーバランエラー検出
E	マルチマスタモードでシリアル転送アイドル時に SSL0 入力信号アサート。	RSPI ディスエーブル。	モードフォルトエラー検出
F	マルチマスタモードでシリアル転送中に SSL0 入力信号アサート。	シリアル転送を中断。 送受信データ欠落。 RSPCK、MOSI、SSL1～7 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出
G	スレーブモードでシリアル転送中に SSL0 入力信号がネゲート。	シリアル転送を中断。 送受信データ欠落。 MISO 出力信号のドライブ停止。 RSPI ディスエーブル。	モードフォルトエラー検出

表 16.7 の A に示した動作に対しては、RSPI はエラーを検出しません。CPU または A-DMAC からの SPDR 書き込み時にデータを欠落させないために、必ず RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 1 の状態で SPDR への書き込みを実施してください。

B に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは、SPDR の受信バッファに保持されているので、CPU または A-DMAC から正しく読み出されます（シリアル転送が終了する前に SPDR を読み出さないと、オーバランエラーが発生します）。

C に示した動作に対しても、RSPI はエラーを検出しません。CPU または A-DMAC が不必要なデータを読み出さないようにするためには、SPSR の SPRF ビットが 1 の状態で SPDR の読み出しを実行するようにしてください。

D に示したオーバランエラーについては、「16.4.7（1） オーバランエラー」で詳しく説明します。また、E～G に示したモードフォルトエラーについては、「16.4.7（2） モードフォルトエラー」で説明します。なお、SPSR の SPTEF ビットと SPRF ビットの動作については、「16.4.6 送信バッファエンプティ／受信バッファフルフラグ」を参照してください。

（1） オーバランエラー

RSPI データレジスタ（SPDR）の受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、パワーオンリセット／スタンバイを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を CPU が読み出した後に、OVRF に 0 を書き込む必要があります。

図 16.15 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。図 16.15 に記載した SPSR アクセスと SPDR アクセスは、それぞれ CPU から SPSR、A-DMAC から SPDR へのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。図 16.15 の例では、RSPI コマンドレジスタ（SPCMD）の CPHA が 1、CPOL が 0 の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

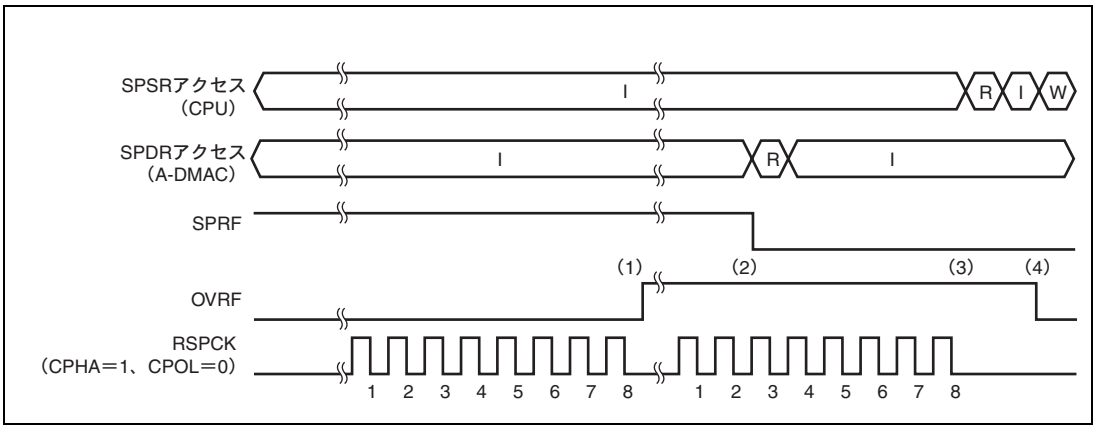


図 16.15 SPRF、OVRF ビットの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグの動作内容を説明します。

1. SPRFビットが1の状態（受信バッファフル）でシリアル転送が終了すると、RSPIがオーバランエラーを検出し、OVRFビットを1にします。RSPIはシフトレジスタのデータを受信バッファにコピーしません。また、マスタモードの場合には、RSPIはRSPIシーケンスステータスレジスタ（SPSSR）のSPECM2～0ビットに、RSPIコマンドレジスタ（SPCMD）に対するポインタの値をコピーします。
2. A-DMACがSPDRを読み出すと、RSPIはSPRFビットを0にして受信バッファのデータを内部バスに出力します。受信バッファが空になっても、OVRFビットはクリアされません。
3. OVRFビットが1の状態（オーバランエラー）でシリアル転送が終了した場合には、RSPIはSPRFビットを0のまま更新しません。また、RSPIはシフトレジスタのデータを受信バッファにコピーしません。マスタモード

のRSPIの場合に、RSPIはSPSSRのSPECM2～SPECM0ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了するとRSPIはシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

4. OVRFビットが1の状態でCPUがSPSRを読み出した後、CPUがOVRFに0を書き込むと、RSPIはOVRFビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ（SPCR）の SPEIE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR の SPECM2～0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

オーバランエラーが発生して OVRF ビットが 1 になると、OVRF ビットをクリアするまで正常な受信動作ができなくなります。OVRF ビットを 0 にクリアする条件は以下のとおりです。

- OVRFが1にされた状態のSPSRをCPUが読み出した後、CPUがOVRFに0を書き込む
- パワーオンリセット／スタンバイ

(2) モードフォルトエラー

RSPI 制御レジスタ（SPCR）の MSTR ビットが 1 で MODFEN ビットが 1 の場合には、RSPI はマルチマスタモードで動作します。マルチマスタモードの RSPI の SSL0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPI はモードフォルトエラーを検出して RSPI ステータスレジスタ（SPSR）の MODF ビットを 1 にします。モードフォルトエラーを検出すると、RSPI は RSPI シーケンスステータスレジスタ（SPSSR）の SPECM2～0 ビットに、RSPI コマンドレジスタ（SPCMD）に対するポインタの値をコピーします。なお、SSL0 信号のアクティブレベルは、RSPI スレーブセレクト極性レジスタ（SSLP）の SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、RSPI はスレーブモードで動作します。スレーブモードの RSPI の MODFEN ビットが 1 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSL0 入力信号がネゲートされると、RSPI はモードフォルトエラーを検出します。

RSPI はモードフォルトエラーを検出すると、出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットがクリアされると RSPI 機能は無効化されます（「16.4.8　RSPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブと RSPI 機能を停止させ、マスタ権の解放を実現することが可能です。

モードフォルトエラーの発生は、SPSR の読み出し、あるいは RSPI エラー割り込みと SPSR の読み出しによって確認できます。RSPI エラー割り込みを利用する場合には、RSPI 制御レジスタ（SPCR）の SPEIE ビットを 1 にしてください。RSPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。RSPI をマスタモードで使用する場合、SPSSR の SPECM2～0 ビットを読み出すことで、エラー発生時の SPCMD に対するポインタ値を確認できます。

MODF ビットが 1 の状態では、RSPI は CPU による SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に RSPI 機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODFが1にされた状態のSPSRをCPUが読み出した後、CPUがMODFに0を書き込む
- システムリセット

16.4.8 RSPI の初期化

CPU が RSPI 制御レジスタ（SPCR）の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により RSPI が SPE ビットを 0 にクリアした場合には、RSPI は RSPI 機能を無効化し、モジュール機能の一部を初期化します。また、パワーオンリセットおよびスタンバイ時には、RSPI はモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化とパワーオンリセット／スタンバイによる初期化について説明します。

（1） SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合には、RSPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- RSPI内部ステートの初期化
- RSPIステータスレジスタ（SPSR）のSPTEFビットの初期化

SPE ビットのクリアによる初期化では、RSPI の制御ビットは初期化されません。このため、CPU が SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで RSPI を起動できます。

SPSR の SPRF ビット、OVRF ビット、MODF ビットの値は初期化されません。また、RSPI シーケンスステータスレジスタ（SPSSR）の値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認が可能です。

SPSR の SPTEF ビットの値は、1 に初期化されます。このため、RSPI 初期化後に SPCR の SPTIE ビットが 1 に設定されていると、RSPI 送信割り込みが発生します。CPU で RSPI を初期化する場合に、RSPI 送信割り込みを禁止するためには、SPE ビットへの 0 書き込みと同時に SPTIE ビットにも 0 を書き込んでください。モードフォルトエラー検出後の RSPI 送信割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに 0 を書き込んでください。

（2） パワーオンリセット／スタンバイ

パワーオンリセット／スタンバイによる初期化では、**「16.4.8（1） SPE ビットのクリアによる初期化」**に記載の事項に加え、RSPI 制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPI が完全に初期化されます。

16.4.9 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（**「16.4.7 エラー検出」**を参照）のみです。シングルマスタモードの RSPI ではモードフォルトエラーを検出しません。マルチマスタモードの RSPI ではモードフォルトエラーを検出します。本節では、シングル／マルチマスタモードで共通する動作について説明します。

（1） シリアル転送の開始

RSPI ステータスレジスタ（SPSR）の SPTEF ビットが 1 の状態で、CPU または A-DMAC が RSPI データレジスタ（SPDR）へデータを書き込むと、RSPI は SPDR の送信バッファのデータを更新します。A-DMAC からの SPDR への書き込み、または CPU から SPTEF の 1 を読み出した後の 0 の書き込みによって SPTEF ビットを 0 にクリアした状態で、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを CPU から参照することはできません。

なお、RSPI の転送フォーマットの詳細については**「16.4.4 転送フォーマット」**を参照してください。

（2） シリアル転送の終了

RSPI コマンドレジスタ（SPCMD）の CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。RSPI ステータスレジスタ（SPSR）の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送終了後にシフトレジスタから RSPI データレジスタ（SPDR）の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの RSPI のデータ長は、RSPI コマンドレジスタ（SPCMD）の SPB3～SPB0 ビットの設定値に依存します。RSPI の転送フォーマットの詳細については**「16.4.4 転送フォーマット」**を参照してください。

（3） シーケンス制御

マスタモード時の転送フォーマットは、RSPI シーケンス制御レジスタ（SPSCR）、RSPI コマンドレジスタ 0～7（SPCMD0～7）、RSPI ビットレートレジスタ（SPBR）、RSPI クロック遅延値レジスタ（SPCKD）、RSPI スレーブセレクトネゲート遅延レジスタ（SSLND）、RSPI 次アクセス遅延値レジスタ（SPND）によって決定されます。

SPSCR は、マスタモードの RSPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0～7 には、SSL 出力信号値、MSB／LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性／位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD には RSPI クロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

RSPI は、SPSCR に設定されたシーケンス長に従って、SPCMD0～7 の一部／全部からなるシーケンスを構成します。RSPI には、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、RSPI シーケンスステータスレジスタ（SPSSR）の SPCP2～0 ビットの読み出しによって CPU から確認可能です。RSPI

制御レジスタ（SPCR）の SPE ビットを 1 にして RSPI 機能をイネーブルにすると、RSPI はコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。RSPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPI はポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

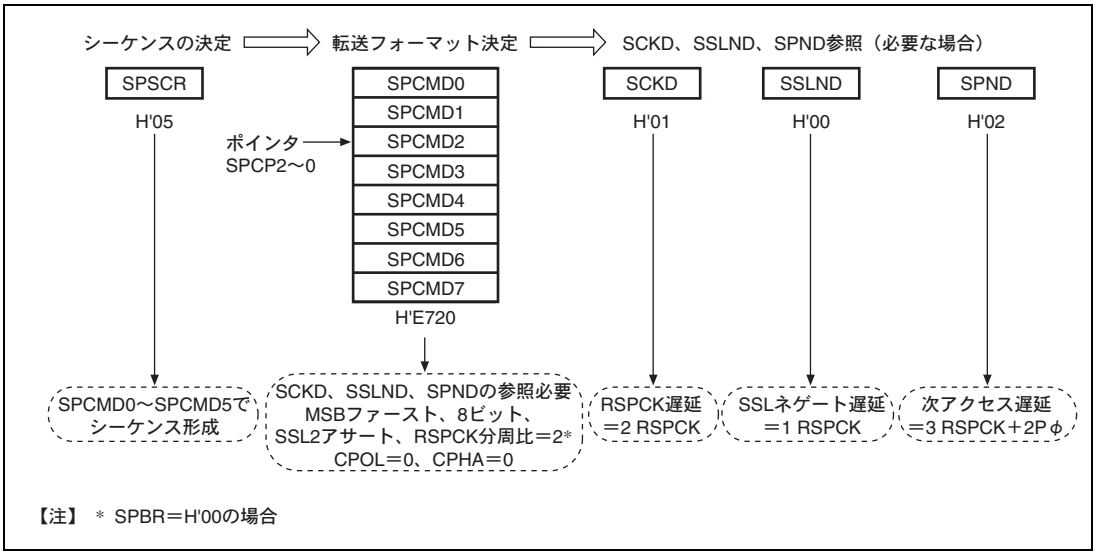


図 16.16 マスタモードでのシリアル転送方式の決定方法

（4） バースト転送

RSPI が現在のシリアル転送で参照している RSPI コマンドレジスタ（SPCMD）の SSLKP ビットが 1 の場合には、RSPI はシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、RSPI は SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 16.17 に、SPCMD0、1 の設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 16.17 に記載した（1）～（7）の RSPI 動作内容について、以下に説明します。なお、SSL 出力信号の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

1. SPCMD0に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。
2. SPCMD0に従ったシリアル転送を実行します。
3. SSLネゲート遅延を挿入します。
4. SPCMD0のSSLKPビットが1であるため、SPCMD0でのSSL信号値を保持します。この期間は、最短の場合にはSPCMD0の次アクセス遅延と同じ期間だけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPCMD1に従ったSSL信号のアサートとRSPCK遅延の挿入を実施します。

6. SPCMD1に従ったシリアル転送を実行します。
7. SPCMD1のSSLKPビットが0であるため、SSL信号をネゲートします。また、SPCMD1に従った次アクセス遅延が挿入されます。

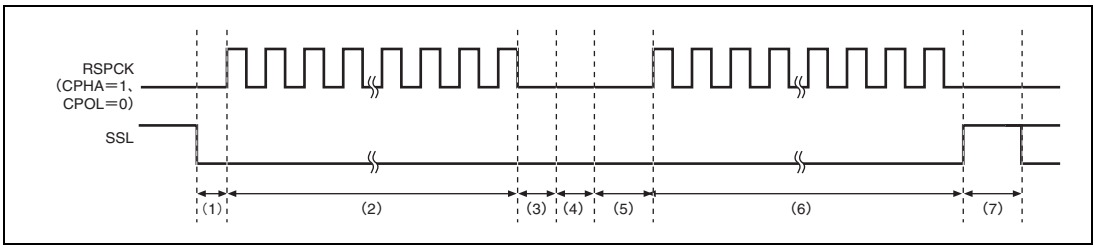


図 16.17　SSLKP ビットを利用したバースト転送動作の例

SSLKP ビットに 1 を設定した SPCMD での SSL 信号出力設定と、次転送で使用する SPCMD での SSL 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSL 信号のアサート時（**図 16.17** の（5））に SSL 信号状態を切り替えます。このような SSL 信号の切り替えが発生した場合、MISO をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP を使用しない場合の SSL 信号動作をモジュール内部で参照しています。SPCMD の CPHA ビットが 0 の場合でも、RSPI は内部で検出した次転送の SSL 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます（**「16.4.10　スレーブモード動作」**を参照）。

（5） RSPCK 遅延（t1）

マスタモードの RSPI の RSPCK 遅延値は、RSPI コマンドレジスタ（SPCMD）の SCKDEN ビットの設定と RSPCK 遅延レジスタ（SPCKD）の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SCKDEN ビットと SPCKD を使用して、**表 16.8** のようにシリアル転送時の RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、**「16.4.4　転送フォーマット」**を参照してください。

表 16.8 SCKDEN、SPCKD と RSPCK 遅延値の関係

SCKDEN	SPCKD	RSPCK 遅延値
0	000～111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

（6） SSL ネゲート遅延（t2）

マスタモードの RSPI の SSL ネゲート遅延値は、RSPI コマンドレジスタ（SPCMD）の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ（SSLND）の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、表 16.9 ようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、「16.4.4 転送フォーマット」を参照してください。

表 16.9 SSLND と SSL ネゲート遅延値の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000～111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

（7） 次アクセス遅延（t3）

マスタモードの RSPI の次アクセス遅延は、RSPI コマンドレジスタ（SPCMD）の SPNDEN ビットの設定と RSPI 次アクセス遅延レジスタ（SPND）の設定に依存します。RSPI は、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、**表 16.10** のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、**「16.4.4 転送フォーマット」**を参照してください。

表 16.10 SPNDEN、SPND と次アクセス遅延値の関係

SPNDEN	SPND	次アクセス遅延値
0	000～111	1RSPCK＋2Pφ
1	000	1RSPCK＋2Pφ
	001	2RSPCK＋2Pφ
	010	3RSPCK＋2Pφ
	011	4RSPCK＋2Pφ
	100	5RSPCK＋2Pφ
	101	6RSPCK＋2Pφ
	110	7RSPCK＋2Pφ
	111	8RSPCK＋2Pφ

（8） 初期化フロー

図 16.18 に、RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、A-DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

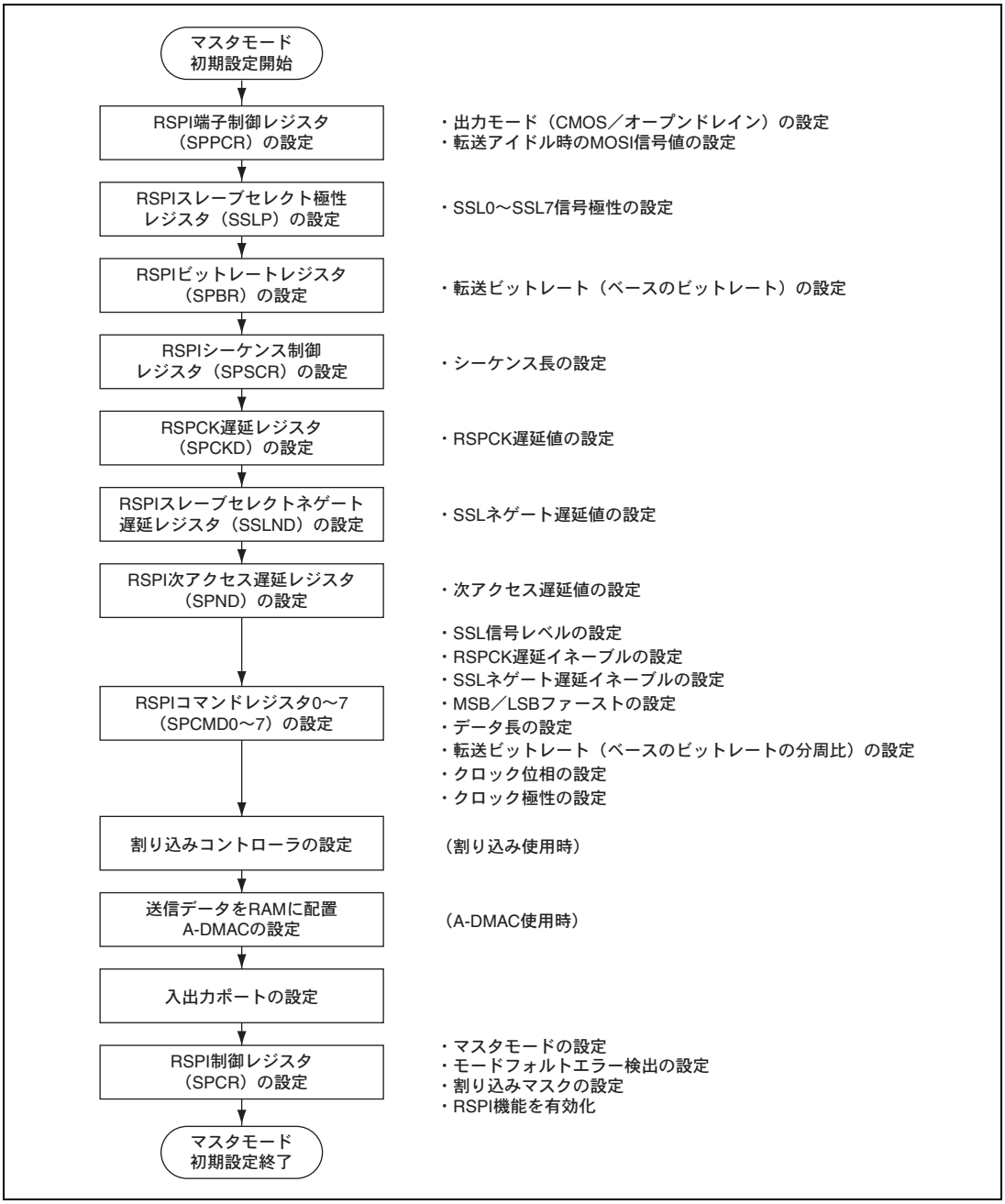
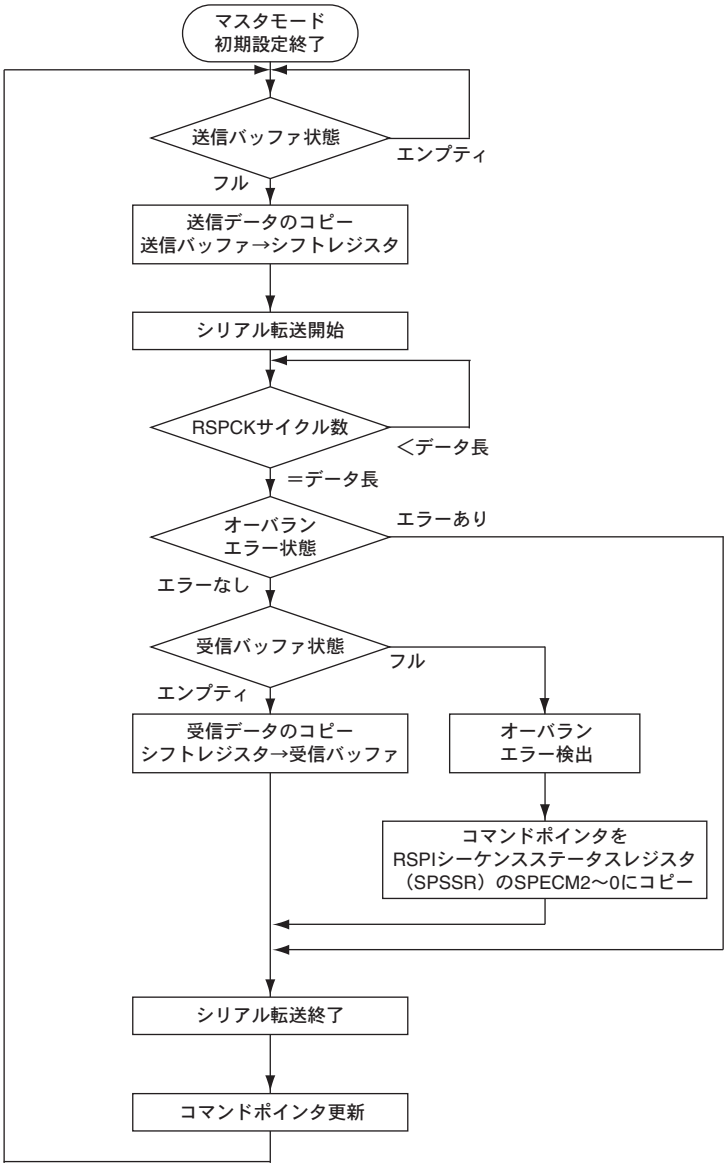


図 16.18 マスタモード時の初期化フロー例

（9） 転送動作フロー

図 16.19 に、マスタモードの RSPI の転送動作フローを示します。



【注】 マルチマスタの場合に、SSL0入力信号がアサートされると、RSPIはハードウェアの状態にかかわらずモードフォルトエラーを検出します。
エラー検出時に、RSPIはコマンドポインタをRSPIシーケンスステータスレジスタ（SPSSR）のSPECM2～0にコピーします。

図 16.19 マスタモード時の転送動作フロー

16.4.10 スレーブモード動作

（1） シリアル転送の開始

RSPI コマンドレジスタ 0（SPCMD0）の CPHA ビットが 0 の場合、RSPI は SSL0 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 0 の場合には、SSL0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、RSPI は SSL0 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL0 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

RSPI は、シフトレジスタが空の状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPI はシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、RSPI が MISO 出力信号のドライブを開始するタイミングは、SSL0 信号アサートタイミングです。CPHA ビットの設定によって、RSPI が出力するデータの有効／無効が異なります。

なお、RSPI の転送フォーマットの詳細については、**「16.4.4 転送フォーマット」**を参照してください。SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の SSL0P ビットの設定値に依存します。

（2） シリアル転送の終了

RSPI コマンドレジスタ 0（SPCMD0）の CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。RSPI ステータスレジスタ（SPSR）の SPRF ビットが 0 で受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから RSPI データレジスタ（SPDR）の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。RSPI 制御レジスタ（SPCR）の MODFEN ビットが 1 の場合、シリアル転送開始からシリアル転送終了の間に RSPI が SSL0 入力信号のネゲートを検出するとモードフォルトエラーが発生します（**「16.4.7 エラー検出」**を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの RSPI のデータ長は SPCMD0 の SPB3～SPB0 ビットの設定値に依存します。SSL0 入力信号の極性は、RSPI スレーブセレクト極性レジスタ（SSLP）の SSL0P ビットの設定値に依存します。RSPI の転送フォーマットの詳細については、**「16.4.4 転送フォーマット」**を参照してください。

（3） シングルスレーブ時の注意点

RSPI コマンドレジスタ 0（SPCMD0）の CPHA ビットが 0 の場合には、RSPI は SSL0 入力信号のアサートエッジを検出するとシリアル転送を開始します。**図 16.4** の例に示したような構成で RSPI をシングルスレーブで使用する場合には、SSL0 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した RSPI ではシリアル転送を正しく開始できません。SSL0 入力信号をアクティブ状態に固定する構成で、スレーブモード RSPI の送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL0 入力信号を固定しないでください。

（4） バースト転送

RSPI コマンドレジスタ 0（SPCMD0）の CPHA ビットが 1 の場合には、SSL0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが 1 の場合には、SSL0 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが 0 の場合には、「16.4.10（3） シングルスレーブ時の注意点」と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

（5） 初期化フロー

図 16.20 に、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、A-DMAC、入出力ポートの設定方法については各ブロックの説明を参照してください。

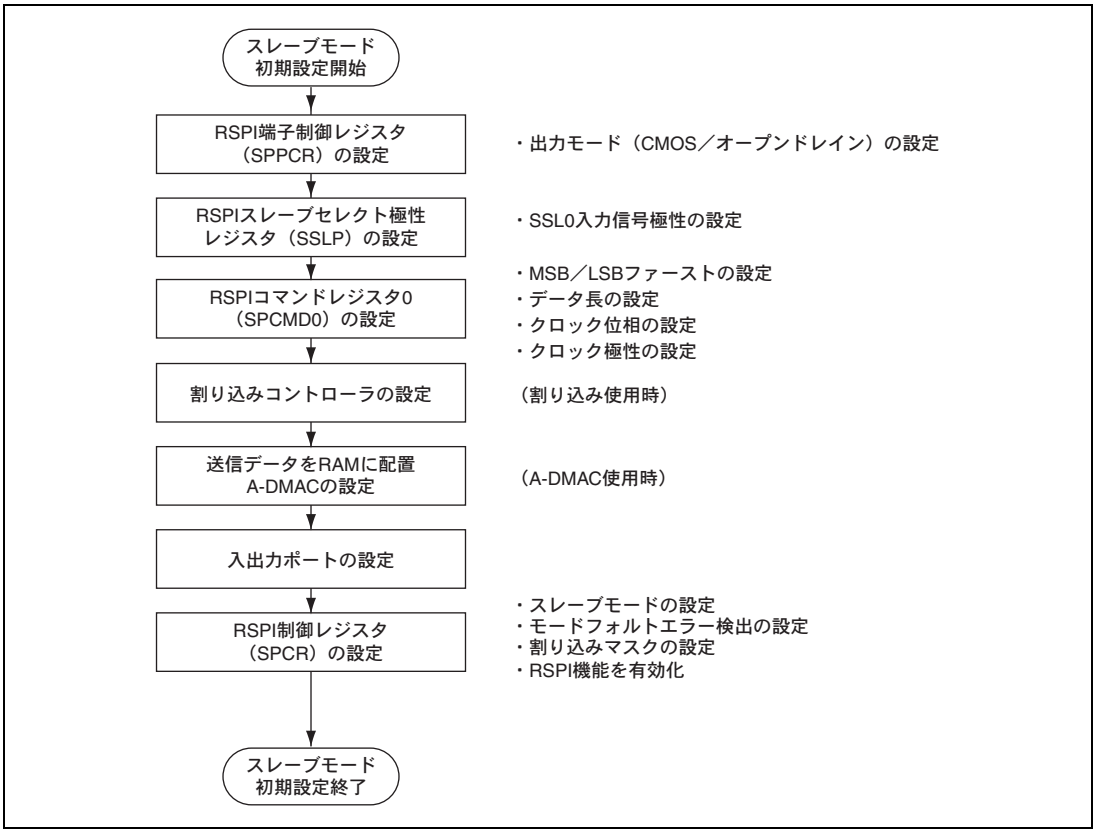


図 16.20 スレーブモード時の初期化フロー例

（6） 転送動作フロー（CPHA＝0）

図 16.21 に、RSPI コマンドレジスタ 0（SPCMD0）の CPHA ビットを 0、RSPI 制御レジスタ（SPCR）の MODFEN ビットを 1 に設定したスレーブモードの RSPI の転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL0 入力レベルがネゲートされた場合、以降の動作は保証されません。

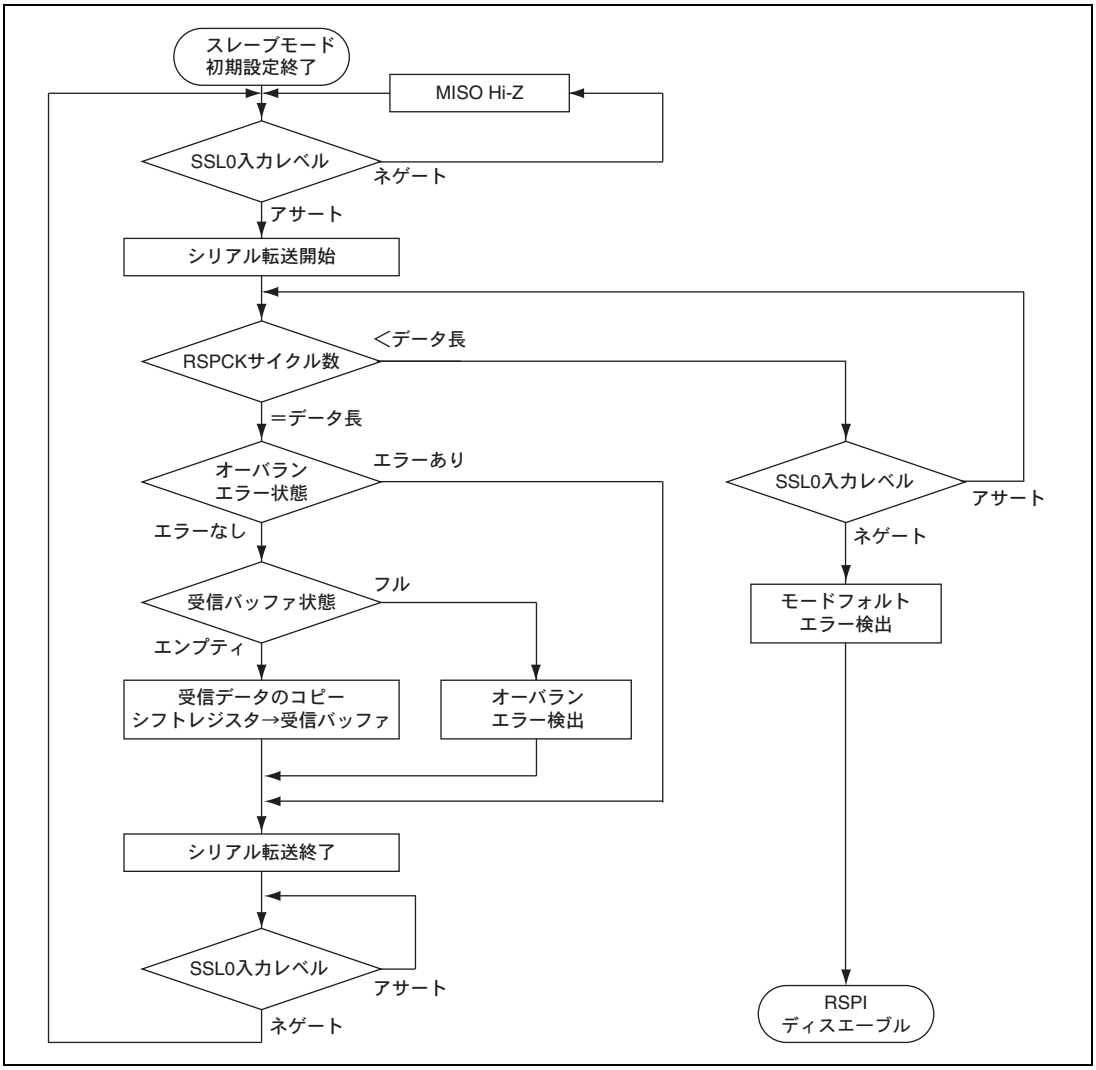


図 16.21 スレーブモード時の転送動作フロー（CPHA＝0、MODFEN＝1）

（7） 転送動作フロー（CPHA＝1）

図 16.22 に、RSPI コマンドレジスタ 0（SPCMD0）の CPHA ビットを 1、RSPI 制御レジスタ（SPCR）の MODFEN ビットを 1 に設定したスレーブモードの RSPI の転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL0 入力レベルがネゲートされた場合、以降の動作は保証されません。

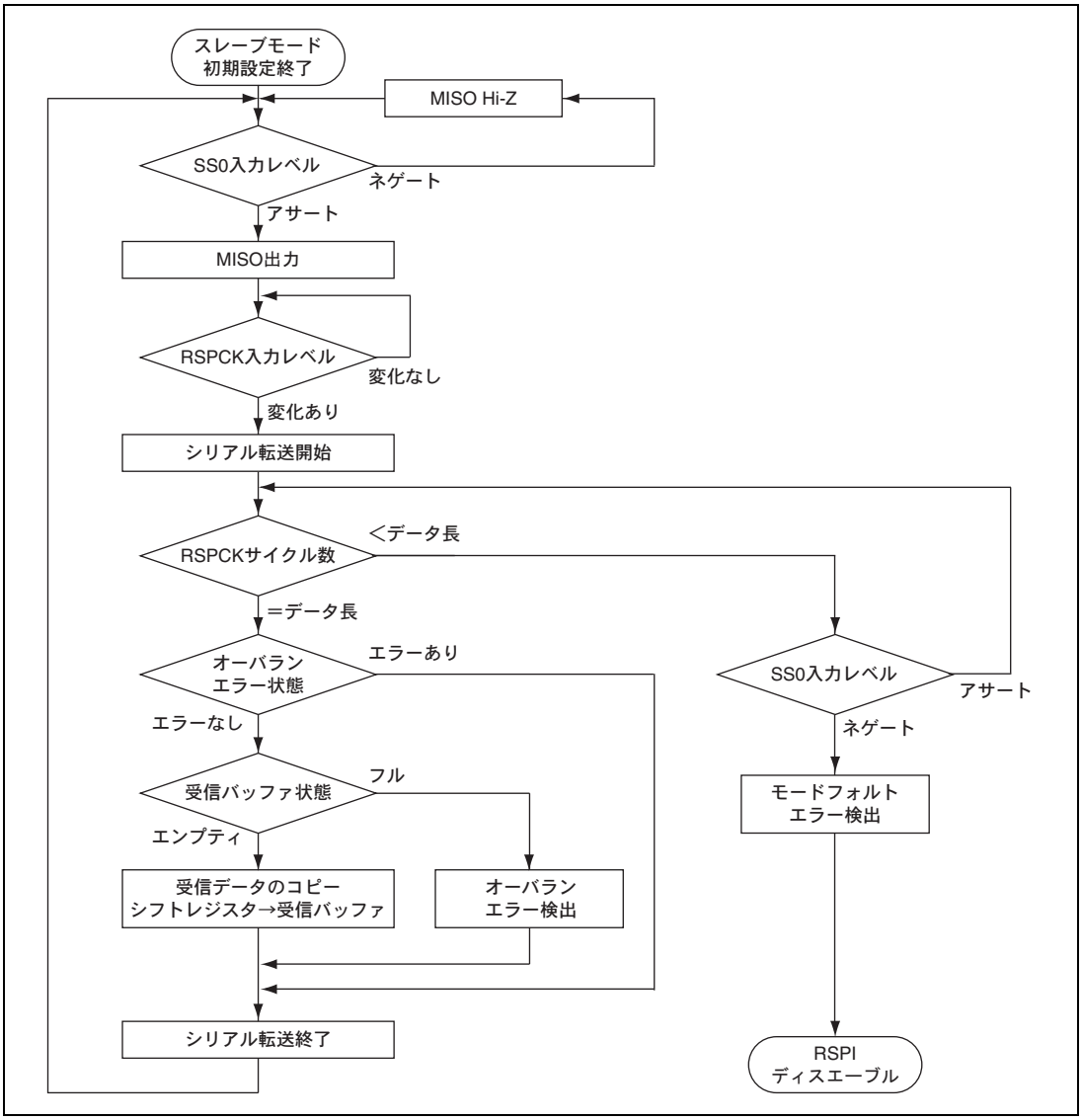


図 16.22 スレーブモード時の転送動作フロー（CPHA＝1、MODFEN＝1）

16.4.11 ループバックモード

CPU が RSPI 端子制御レジスタ（SPPCR）の SPLP ビットに 1 を書き込むと、RSPI は MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データが RSPI の受信データになります。図 16.23 に、マスタモードの RSPI をループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

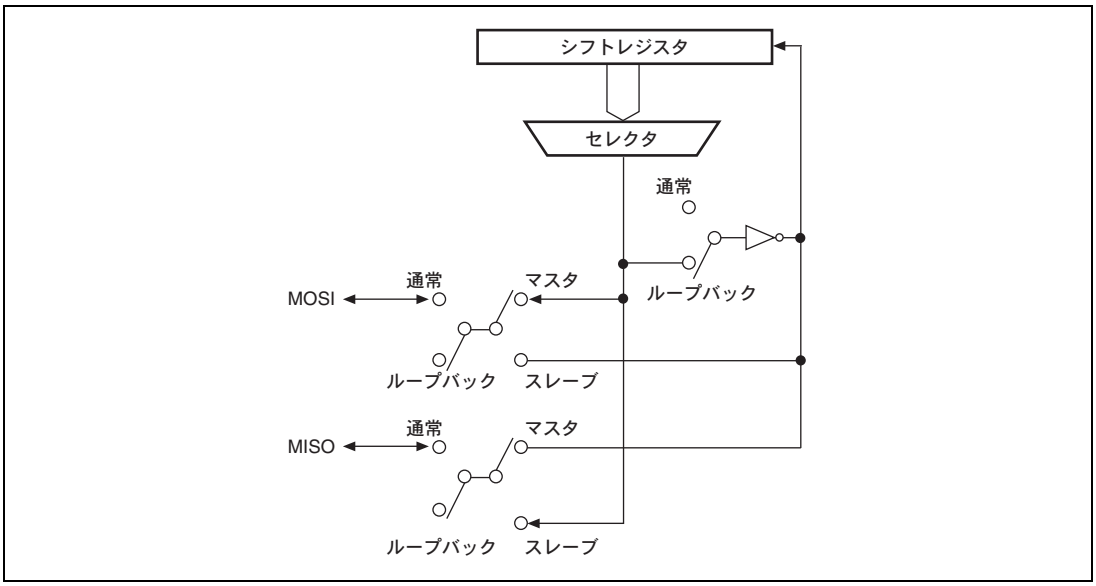


図 16.23 ループバックモード時のシフトレジスタ入出力構成（マスタモード）

17. コントローラエリアネットワーク（RCAN-TL1）

コントローラエリアネットワーク（RCAN-TL1：Renesas CAN Time Trigger Level 1）は自動車および産業機器システム等でのリアルタイム通信を目的としたCAN（Controller Area Network）を制御するためのモジュールです。

本章はRCAN-TL1のプログラムインタフェースについて説明します。

またCANのデータリンクコントローラの機能については下記参考文献を参照してください。

［参考文献］

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network（CAN）: Part 1: Data link layer and physical signaling（ISO-11898-1, 2003）
5. Road vehicles - Controller area network (CAN): Part 4: Time triggered communication (ISO-11898-4, 2004)

17.1 特長

17.1.1 RCAN-TL1の特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 32個のメールボックス
- クロック周波数：16～20MHz、32～40MHz
- プログラム可能な31個の送受信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク（スタンダードIDおよびエクステンデッドID）
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵（リスンオンリモード、エラーパッシブモード）

- 16ビットのフリーランニングタイマ（多様なクロックソース、プリスケーラ、3個のタイマコンペアマッチレジスタ）
- タイムトリガ送信用の6ビットサイクルカウンタ（Basic Cycle）
- タイマのコンペアマッチレジスタによる割り込み
- タイマカウンタのクリアおよび設定が可能
- タイムトリガ用レジスタ：Local_Time、Cycle_time、Ref_Mark、Tx_Enable_Window、Ref_Trigger_Offset
- SOFでのフレキシブルなタイムスタンプ機能を送信, 受信ともにサポート
- イベントトリガ送信に加え, タイムトリガ送信および定周期送信もサポート
- サイクルカウンタ（Basic Cycle）をCANフレームに組み込んで送信可能
- パリティ：8ビットデータに対して1ビットのパリティビットを付加し、32ビット単位で検出を行う
  エラー発生時にそれを示すフラグを持つ

17.1.2 本マイコンにおける特長

- 32メールボックスRCAN×2チャネル搭載（RCAN_A、B）
- RCAN3チャネルはピンファンクションコントローラ（PFC）の設定により、次の接続による使用が可能
  32メールボックス×2チャネル（RCAN_A、B）
  64メールボックス*×1チャネル（RCAN_A、B）
- RCAN_A、Bともにメールボックス0の受信メッセージによりDMAC起動可能
- RCAN_A、Bの全メールボックスの受信メッセージによりA-DMAC起動可能

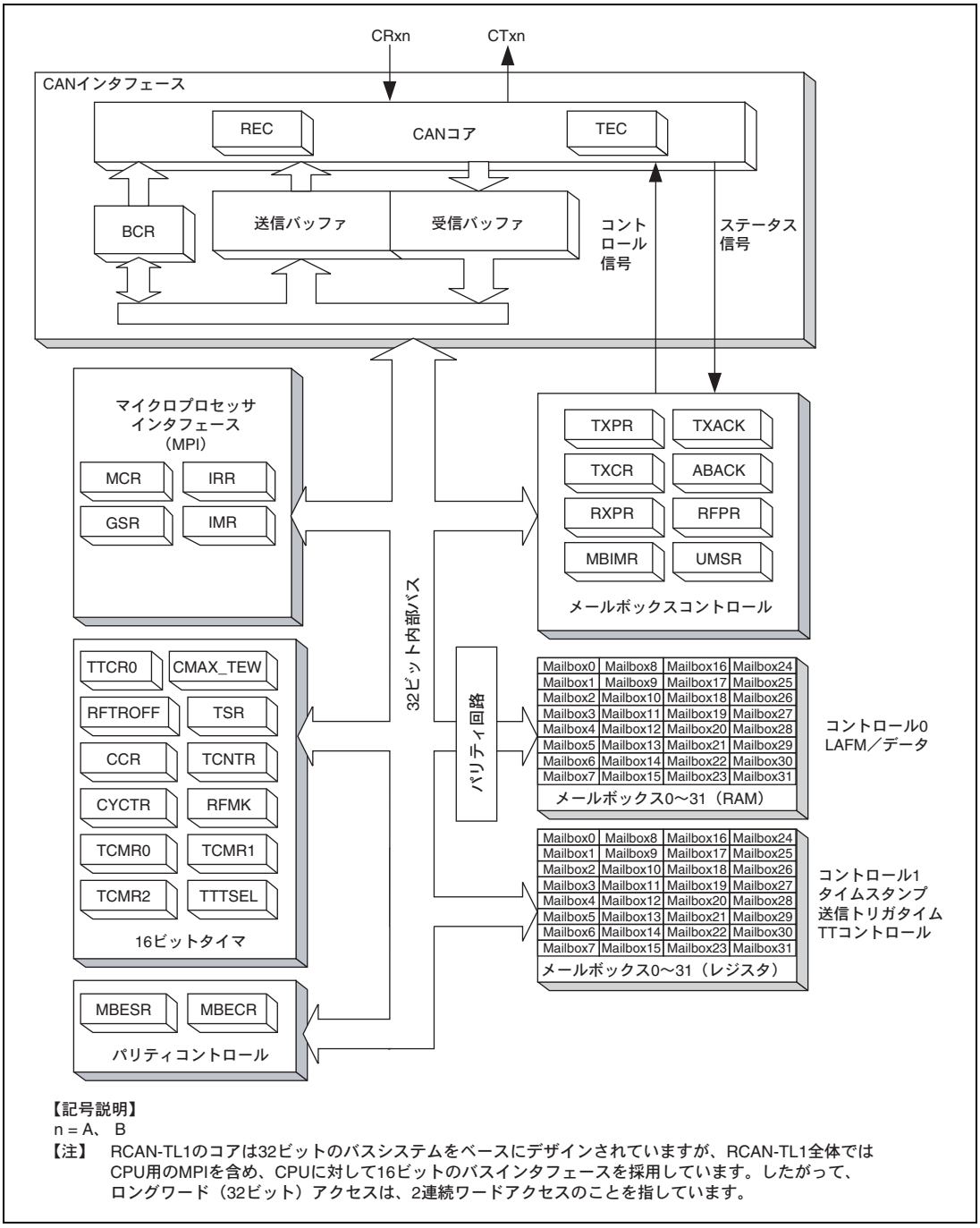
【注】 * 64 メールボックス構成においては使用上の注意事項があります。「17.14 使用上の注意事項」を参照ください。

17.2 構成

17.2.1 ブロック図

RCAN-TL1 は、CAN2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-TL1 は機能的に、マイクロプロセッサインタフェース（MPI）、メールボックス、メールボックスコントロール、タイマ、CAN インタフェース、パリティコントロール、パリティ回路の 7 種類のブロックからなります。

図 17.1 に RCAN-TL1 のブロック図を示します。



【記号説明】
n = A、 B
【注】 RCAN-TL1のコアは32ビットのバスシステムをベースにデザインされていますが、RCAN-TL1全体ではCPU用のMPIを含め、CPUに対して16ビットのバスインタフェースを採用しています。したがって、ロングワード（32ビット）アクセスは、2連続ワードアクセスのことを指しています。

図 17.1 RCAN-TL1 のブロック図（1 チャネルあたり）

17.2.2 各ブロックの機能

（1） マイクロプロセッサインタフェース（MPI）

MPI は、CPU と RCAN-TL1 のレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN-TL1 の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-TL1 は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

（2） メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。

RAM とレジスタ内には、それぞれ 32 個のメールボックスがあり、以下の情報を格納します。

［RAM］

- CANメッセージコントロール（ID、RTR、IDEなど）
- CANメッセージデータ（CANデータフレーム用）
- 受信用のローカルアクセプタンスフィルタマスク（LAFM）

［レジスタ］

- CANメッセージコントロール（DLC）
- メッセージ送信/受信用タイムスタンプ
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット
- 送信トリガタイム

（3） メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット／クリアします。
- イベントトリガメッセージ送信時は、内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット／クリアします。タイムトリガ送信の場合は, 送信トリガタイムのコンペアマッチでメッセージをロードします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

（4） タイマ

本タイマは、特定の時間枠でメッセージを送信し、結果を記録するための機能ブロックです。16 ビットのフリーランニングアップカウンタで、CPU で制御することができます。ローカルタイムと比較する 16 ビットのコンペアマッチレジスタが 1 個と、サイクルタイムと比較するコンペアマッチレジスタが 2 個あります。これらのコンペアマッチレジスタは、割り込み信号を発生し、カウンタをクリアすることができます。本タイマのクロックは、システムクロックから生成する多数のクロック周期から選択することができますが、CAN バスの 1 ビットタイミングでカウントするようにプログラムすることも可能です。本タイマのレジスタには, TCNTR、TTCR0、CMAX_TEW、RETROFF、TSR、CCR、CYCTR、RFMK、TCMR0、TCMR1、TCMR2、および TTTSEL があります。

（5） CAN インタフェース

本ブロックは参考文献[2]と[4]の CAN バスデータリンクコントローラ仕様をサポートしています。これは OSI モデルで規定されるデータリンクコントローラの全機能を満足します。また、CAN バスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CAN データリンクコントローラの送受信を格納する機能もあります。

（6） パリティコントロール

パリティコントロールブロックは、CPU とパリティ制御のレジスタとの通信を行うことができます。パリティ制御レジスタには、MBESR、MBECR の 2 つのレジスタがあります。

（7） パリティ回路

メールボックス（RAM 部分）に書き込まれるデータに対して、8 ビットごとに 1 ビットのパリティビットを付加します。メールボックス（RAM 部分）から読み出されるデータに対して、32 ビット単位でパリティチェックを行います。メールボックス（RAM 部分）はすべて初期化する必要があります。初期化せずに読み出しを行うと、パリティエラーが発生する可能性があります。MBECR レジスタの設定により、パリティエラー割り込みを発生させる／発生させないの選択が可能です。

17.2.3 端子構成

RCAN-TL1 の端子構成を**表 17.1** に示します。

表 17.1 端子構成

名称	端子名	入出力	機　　能
送信データ端子	CTxn	出力	CAN バス送信用端子です。
受信データ端子	CRxn	入力	CAN バス受信用端子です。

【注】 n = A、B

17.2.4　メモリマップ

RCAN-TL1 のメモリマップを図 17.2 に示します。

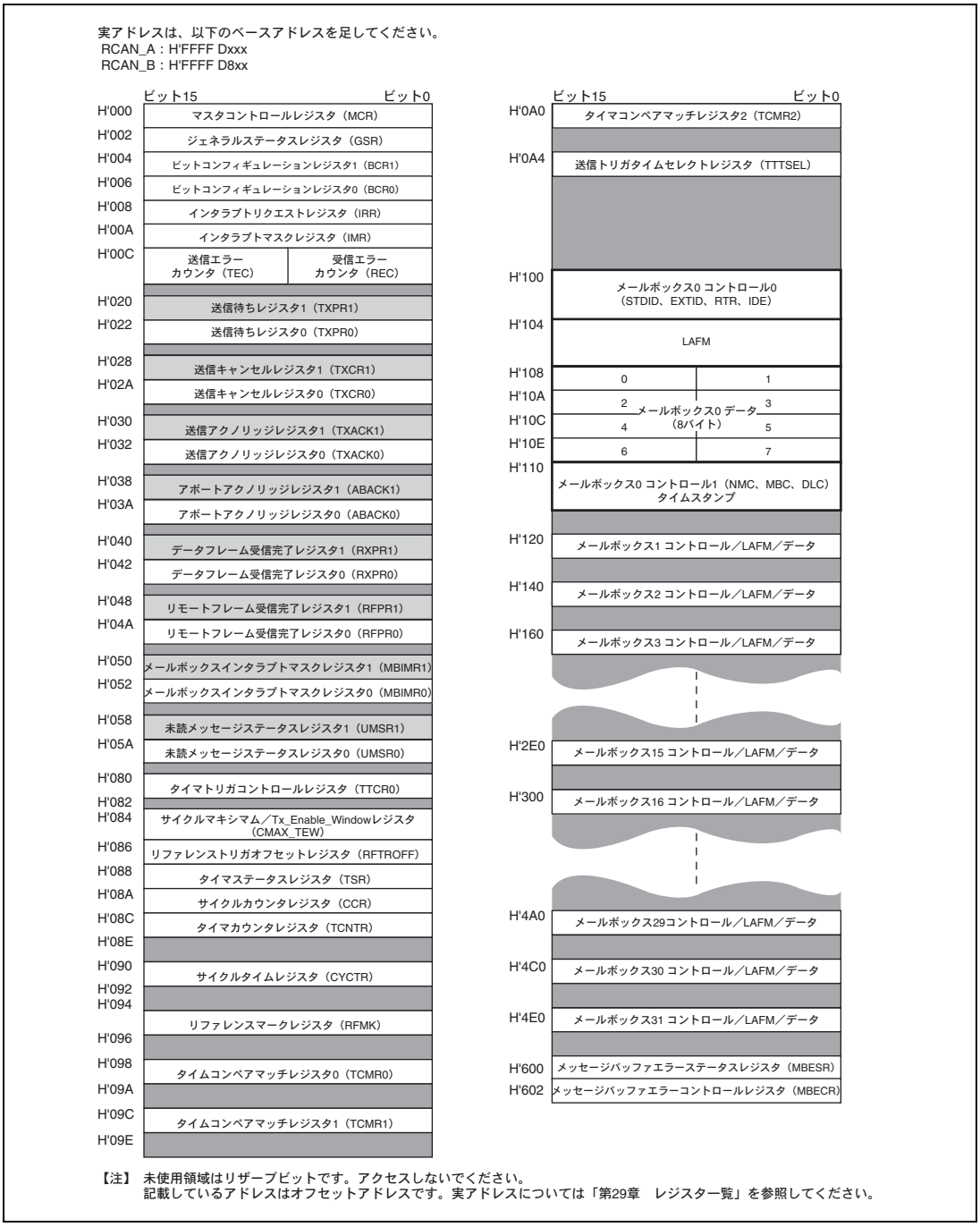


図 17.2　RCAN-TL1 のメモリマップ（1 チャネルあたり）

17.3 メールボックス

17.3.1 メールボックスの構成

メールボックスはCAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク（LAFM）、メッセージデータの 3 個の格納フィールドからなります。さらに、タイムスタンプ、タイムトリガコンフィギュレーション、およびタイムトリガコントロールのフィールドを持つメールボックスもあります。

表 17.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータ、タイムスタンプ、送信トリガタイム、およびタイムトリガコントロールのアドレスマップを示します。

表中のアドレスはオフセットアドレスです。実アドレスは、以下のベースアドレスを足してください。

RCAN_A：H'FFFF Dxxx

RCAN_B：H'FFFF D8xx

実アドレスの詳細については、**「第 29 章　レジスター覧」**を参照してください。

表 17.2　各メールボックスのアドレスマップ（1 チャネルあたり）

メールボックス	アドレス						
	コントロール 0	LAFM	データ	コントロール 1	タイムスタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
0（受信のみ）	H'100－H'103	H'104－H'107	H'108－H'10F	H'110－H'111	H'112－H'113	－	－
1	H'120－H'123	H'124－H'127	H'128－H'12F	H'130－H'131	H'132－H'133	－	－
2	H'140－H'143	H'144－H'147	H'148－H'14F	H'150－H'151	H'152－H'153	－	－
3	H'160－H'163	H'164－H'167	H'168－H'16F	H'170－H'171	H'172－H'173	－	－
4	H'180－H'183	H'184－H'187	H'188－H'18F	H'190－H'191	H'192－H'193	－	－
5	H'1A0－H'1A3	H'1A4－H'1A7	H'1A8－H'1AF	H'1B0－H'1B1	H'1B2－H'1B3	－	－
6	H'1C0－H'1C3	H'1C4－H'1C7	H'1C8－H'1CF	H'1D0－H'1D1	H'1D2－H'1D3	－	－
7	H'1E0－H'1E3	H'1E4－H'1E7	H'1E8－H'1EF	H'1F0－H'1F1	H'1F2－H'1F3	－	－
8	H'200－H'203	H'204－H'207	H'208－H'20F	H'210－H'211	H'212－H'213	－	－
9	H'220－H'223	H'224－H'227	H'228－H'22F	H'230－H'231	H'232－H'233	－	－
10	H'240－H'243	H'244－H'247	H'248－H'24F	H'250－H'251	H'252－H'253	－	－
11	H'260－H'263	H'264－H'267	H'268－H'26F	H'270－H'271	H'272－H'273	－	－
12	H'280－H'283	H'284－H'287	H'288－H'28F	H'290－H'291	H'292－H'293	－	－
13	H'2A0－H'2A3	H'2A4－H'2A7	H'2A8－H'2AF	H'2B0－H'2B1	H'2B2－H'2B3	－	－
14	H'2C0－H'2C3	H'2C4－H'2C7	H'2C8－H'2CF	H'2D0－H'2D1	H'2D2－H'2D3	－	－
15	H'2E0－H'2E3	H'2E4－H'2E7	H'2E8－H'2EF	H'2F0－H'2F1	H'2F2－H'2F3	－	－
16	H'300－H'303	H'304－H'307	H'308－H'30F	H'310－H'311	－	－	－
17	H'320－H'323	H'324－H'327	H'328－H'32F	H'330－H'331	－	－	－

メールボックス	アドレス						
	コントロール 0	LAFM	データ	コントロール 1	タイムスタンプ	トリガタイム	TT コントロール
	4 バイト	4 バイト	8 バイト	2 バイト	2 バイト	2 バイト	2 バイト
18	H'340－H'343	H'344－H'347	H'348－H'34F	H'350－H'351	－	－	－
19	H'360－H'363	H'364－H'367	H'368－H'36F	H'370－H'371	－	－	－
20	H'380－H'383	H'384－H'387	H'388－H'38F	H'390－H'391	－	－	－
21	H'3A0－H'3A3	H'3A4－H'3A7	H'3A8－H'3AF	H'3B0－H'3B1	－	－	－
22	H'3C0－H'3C3	H'3C4－H'3C7	H'3C8－H'3CF	H'3D0－H'3D1	－	－	－
23	H'3E0－H'3E3	H'3E4－H'3E7	H'3E8－H'3EF	H'3F0－H'3F1	－	－	－
24	H'400－H'403	H'404－H'407	H'408－H'40F	H'410－H'411	－	H'414－H'415	H'416－H'417
25	H'420－H'423	H'424－H'427	H'428－H'42F	H'430－H'431	－	H'434－H'435	H'436－H'437
26	H'440－H'443	H'444－H'447	H'448－H'44F	H'450－H'451	－	H'454－H'455	H'456－H'457
27	H'460－H'463	H'464－H'467	H'468－H'46F	H'470－H'471	－	H'474－H'475	H'476－H'477
28	H'480－H'483	H'484－H'487	H'488－H'48F	H'490－H'491	－	H'494－H'495	H'496－H'497
29	H'4A0－H'4A3	H'4A4－H'4A7	H'4A8－H'4AF	H'4B0－H'4B1	－	H'4B4－H'4B5	H'4B6－H'4B7
30	H'4C0－H'4C3	H'4C4－H'4C7	H'4C8－H'4CF	H'4D0－H'4D1	H'4D2－H'4D3（ローカルタイム）	H'4D4－H'4D5	－
31	H'4E0－H'4E3	H'4E4－H'4E7	H'4E8－H'4EF	H'4F0－H'4F1	H'4F2－H'4F3（ローカルタイム）	－	－

メールボックス 0 は受信専用です。他のすべてのメールボックスは、メッセージコントロールの MBC（メールボックス構成）ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 17.3～図 17.5 に示します。

表 17.3 メールボックスの役割

	イベントトリガ		タイムトリガ		備考	
	送信	受信	送信	受信	タイムスタンプレジスタ	送信トリガタイムレジスタ
MB31	設定可	設定可	－	タイムリファレンス受信	有	－
MB30	設定可	設定可	タイムマスタモード時タイムリファレンス送信	タイムスレーブモード時受信	有	有
MB29～MB24	設定可	設定可	設定可	設定可	－	有
MB23～MB16	設定可	設定可	－（ET）	設定可	－	－
MB15～MB1	設定可	設定可	－（ET）	設定可	有	－
MB0	－	設定可	－	設定可	有	－

【注】ET：タイムトリガモード時のマージドアービトレーティングウィンドウ内で送信動作可能です。

・MB0（タイムスタンプ付き受信用メールボックス）

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100	IDE	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102	EXTID[15:0]																16	
H'104	IDE LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM[17:16]		16/32	LAFM
H'106	EXTID_LAFM[15:0]																16	
H'108	MSG_DATA_0（最初のRx/Tx バイト）								MSG_DATA_1								8/16/32	データ
H'10A	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E	MSG_DATA_6								MSG_DATA_7								8/16	
H'110	0	0	NMC	0	0	MBC[2:0]*			0	0	0	0	DLC[3:0]				8/16	コントロール1
H'112	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

・MB15～1（タイムスタンプ付きメールボックス）

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+n*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102+n*32	EXTID[15:0]																16	
H'104+n*32	IDE LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM[17:16]		16/32	LAFM
H'106+n*32	EXTID_LAFM[15:0]																16	
H'108+n*32	MSG_DATA_0（最初のRx/Tx バイト）								MSG_DATA_1								8/16/32	データ
H'10A+n*32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+n*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+n*32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+n*32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16	コントロール1
H'112+n*32	TimeStamp[15:0] (CYCTR[15:0] or CCR[5:0]/CYCTR[15:6] at SOF)																16	タイムスタンプ

【記号説明】 n＝1～15

【注】 * MBC[1]＝1固定

1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
3. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 17.3 メールボックス（0～15）の構成

・ MB23～16（メールボックス：タイムスタンプなし）

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+n*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102+n*32	EXTID[15:0]																16	
H'104+n*32	IDE LAFM	0	0	STDID_LAFM[10:0]											EXTID_ LAFM[17:16]		16/32	LAFM
H'106+n*32	EXTID_LAFM[15:0]																16	
H'108+n*32	MSG_DATA_0 （最初のRx/Tx バイト）								MSG_DATA_1								8/16/32	データ
H'10A+n*32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+n*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+n*32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+n*32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16	コントロール1

・ MB29～24（タイムトリガモード時タイムトリガ送信）

アドレス	データバス															アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+n*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102+n*32	EXTID[15:0]																16	
H'104+n*32	IDE LAFM	0	0	STDID_LAFM[10:0]											EXTID_ LAFM[17:16]		16/32	LAFM
H'106+n*32	EXTID_LAFM[15:0]																16	
H'108+n*32	MSG_DATA_0 （最初のRx/Tx バイト）								MSG_DATA_1								8/16/32	データ
H'10A+n*32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+n*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+n*32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+n*32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16	コントロール1
H'112+n*32	リザーブ																—	—
H'114+n*32	送信トリガタイム（TTT）																16	トリガタイム
H'116+n*32	TTW[1:0]		オフセット						0	0	0	0	0	Rep_Factor			16	TTコントロール

【記号説明】 n＝16～29

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。

2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 17.4 メールボックス（16～29）の構成

・MB30（タイムトリガモード時タイムリファレンス送信）

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+n*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102+n*32	EXTID[15:0]																16	
H'104+n*32	IDE LAFM	0	0	STDID_LAFM[10:0]											EXTID_ LAFM[17:16]		16/32	LAFM
H'106+n*32	EXTID_LAFM[15:0]																16	
H'108+n*32	MSG_DATA_0（最初のRx/Tx バイト）								MSG_DATA_1								8/16/32	データ
H'10A+n*32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+n*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+n*32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+n*32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16	コントロール1
H'112+n*32	TimeStamp[15:0]（SOFでのTCNTR値）																16	タイムスタンプ
H'114+n*32	タイムリファレンスとしての送信トリガタイム（TTT）																16	トリガタイム

・MB31（タイムトリガモード時タイムリファレンス受信）

アドレス	データバス																アクセスサイズ	フィールド名
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'100+n*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102+n*32	EXTID[15:0]																16	
H'104+n*32	IDE LAFM	0	0	STDID_LAFM[10:0]											EXTID_ LAFM[17:16]		16/32	LAFM
H'106+n*32	EXTID_LAFM[15:0]																16	
H'108+n*32	MSG_DATA_0（最初のRx/Tx バイト）								MSG_DATA_1								8/16/32	データ
H'10A+n*32	MSG_DATA_2								MSG_DATA_3								8/16	
H'10C+n*32	MSG_DATA_4								MSG_DATA_5								8/16/32	
H'10E+n*32	MSG_DATA_6								MSG_DATA_7								8/16	
H'110+n*32	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]				8/16	コントロール1
H'112+n*32	TimeStamp[15:0]（SOFでのTCNTR値）																16	タイムスタンプ

【記号説明】 n＝30、31

【注】 1. グレー表示のビットはリザーブビットです。書き込む値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。

2. MCR15ビットの初期値が1のため、メッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 17.5 メールボックス（30、31）の構成

17.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説　　明
MB[n]. CONTROL0H	H'100+n*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0：スタンダードフォーマット 1：エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き替えます。 【重要】MBC＝B'001 でデータフレーム自動送信（ATX）ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2（リモートフレーム受信割り込み）ビットによって通知されますが、RCAN-TL1 は現在のメッセージをデータフレームとして送信する必要があるので RTR ビットは変化しません。 【重要】MBC＝B'001 で ATX＝1 を設定し、リモートフレームを受信したメールボックスは自動的に送信設定されます。そのときデータフレームが送信されるように、RTR は 0 に設定しなければなりません。 0：データフレーム 1：リモートフレーム
		13	－	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12～2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID（スタンダード ID）を設定するビットです。
		1、0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID（エクステンデッド ID）を設定するビットです。
MB[n]. CONTROL0L	H'102+n*32	15～0	EXTID [15:0]	

【記号説明】 n＝0～31（メールボックス番号）

- メールボックス0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値：	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

【注】 MBC[1]の値は常に 1 です。

- メールボックス1～31

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
初期値：	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

レジスタ名	アドレス	ビット	ビット名	説　　明
MB[n]. CONTROL1	H'110+n*32	15、14	－	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
		13	NMC	ニューメッセージコントロール このビットが 0 にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し UMSR の対応するビットをセットします。 このビットが 1 にセットされると、RXPR あるいは RFPR がすでにセットされているメールボックスは新しいメッセージをオーバライトし、UMSR の対応するビットをセットします。 【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPR および RFPR フラグは（USMR と一緒に）同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にある RTR ビットも上書きされます。 【重要】 タイムトリガモード使用時には、メールボックス 31 の NMC を必ず 1 にセットし、RXPR[31]がクリアされなくてもすべてのリファレンスメッセージを受信できるようにしてください。 0：オーバランモード 1：オーバライトモード

レジスタ名	アドレス	ビット	ビット名	説　　明
MB[n]. CONTROL1	H'110+n*32	12	ATX	データフレーム自動送信 本ビットが 1 にセットされ、リモートフレームがメールボックスで受信されると、DLC が格納され、TXPR は自動的にセットされます。同じメールボックスから書き換えられた DLC を使用し、自動的にデータフレームが送信されます。 自動送信設定されたメールボックスは、メッセージ送信プライオリティビット（MCR2）の設定に従って、ID 優先順位あるいはメールボックス優先順位にスケジューリングされます。本機能を使用するには MBC[2:0]を B'001 に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード（DLC）は受信されたものが使用されます。これを適用するには、リモートフレームの DLC は要求されているデータフレームの DLC に対応したものであることが必要です。 【重要】1. ATX が使用され、MBC が B'001 のとき、リモートフレームの ID は、応答メッセージの場合と同じく、データフレームの ID と完全に同じでなくてはならないため、IDE ビットのフィルタは使用できません。 2. 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTR ビットはセットされません。リモートフレームを受信すると CPU はセット済み RFPR によって通知されますが、RCAN-TL1 は現在のメッセージをデータフレームとして送信する必要があるので RTR ビットは変更されません。 3. リモートフレームの自動送信が開始されないこともあります。オーバランの状態(NMC＝0 のときの UMSR セット)に注意してください。 4. ATX＝1 に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受け付けられる場合があります。 0：データフレームの自動送信無効 1：データフレームの自動送信有効 【注】 本ビットはメールボックス 1～31 にのみあります。メールボックス 0 ではリザーブビットとなります。
		11	DART	自動再送信無効 このビットが 1 にセットされると、CAN バスエラーのイベントが発生した場合や、CAN バスのアービトレーションで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応する TXCR ビットが送信の最初に自動的にセットされます。このビットが 0 にセットされると、RCAN-TL1 は、TXCR で送信リクエストをキャンセルされるか、送信が正常終了されるまで送信をリクエストします。 0：再送信有効 1：再送信無効 【注】 本ビットはメールボックス 1～31 にのみあります。メールボックス 0 ではリザーブビットとなります。

レジスタ名	アドレス	ビット	ビット名	説　　明
MB[n]. CONTROL1	H'110+n*32	10～8	MBC[2:0]	メールボックスコンフィギュレーション これらのビットは各メールボックスの機能を表 17.4 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。 MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC の値を B'000 とそれ以外に設定すれば、LAFM フィールドは使用可能となります。 MBC が受信に設定されているとき、TXPR はセットしないでください。 ハードウェア保護機能はなく、TXPR はセットされたままになります。 メールボックス 0 の MBC[1]は受信専用のため、ハードウェアによって 1 に固定されています。
		7～4	－	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
		3～0	DLC[3:0]	データ長コード データフレームで送信されるデータのバイト数（0～8）をエンコードします。 0000：データ長 0 バイト 0001：データ長 1 バイト 0010：データ長 2 バイト 0011：データ長 3 バイト 0100：データ長 4 バイト 0101：データ長 5 バイト 0110：データ長 6 バイト 0111：データ長 7 バイト 1xxx：データ長 8 バイト 【注】 x：Don't care

【記号説明】　n＝0～31（メールボックス番号）

表 17.4 メールボックスの機能の設定

MBC2	MBC1	MBC0	データフレーム送信	リモートフレーム送信	データフレーム受信	リモートフレーム受信	説明
0	0	0	可	可	不可	不可	• メールボックス 0 は使用不可能 • タイムトリガ送信は使用可能
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は使用不可能 • LAFM は使用可能
0	1	0	不可	不可	可	可	• メールボックス 0 は使用可能 • LAFM は使用可能
0	1	1	不可	不可	可	不可	• メールボックス 0 は使用可能 • LAFM は使用可能
1	0	0	設定禁止				
1	0	1	設定禁止				
1	1	0	設定禁止				
1	1	1	メールボックスインアクティブ（初期値）				

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

17.3.3 ローカルアクセプタンスフィルタマスク（LAFM）

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は、図 17.6 に示すとおり、2 つの 16 ビットの読み出し／書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[n].LAFMH	H'104+n*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM[17:16]		16/32	LAFM
MB[n].LAFML	H'106+n*32	EXTID_LAFM[15:0]																16	

【記号説明】 n＝0～31（メールボックス番号）

図 17.6 ローカルアクセプタンスフィルタマスク（LAFM）

1 つのビットが LAFM にセットされている場合、RCAN-TL1 が一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していなくてはなりません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

【注】 1. RCAN-TL1 は、メールボックス 31 からメールボックス 0 まで、一致する ID の検索を行います。RCAN-TL1 は一致する ID を検知すると、そのメッセージは NMC や RXPR/RFPR フラグによらず、ただちに検索を終了します。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。

2. 1 つのメッセージが受信され一致するメールボックスが見つかると、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なることがあります。

レジスタ名	アドレス	ビット	ビット名	説　　明
MB[n]. LAFMH	H'104+n*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0：対応する IDE ビットが有効 1：対応する IDE ビットが無効
		14、13	－	リザーブビット 初期値は不定です。書き込む値は常に 0 にしてください。
		12～2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0：対応する STDID ビットが有効 1：対応する STDID ビットが無効
		1、0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0：対応する EXTID ビットが有効 1：対応する EXTID ビットが無効
MB[n]. LAFML	H'106+n*32	15～0	EXTID_LAFM [15:0]	

【記号説明】 n＝0～31（メールボックス番号）

17.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

- **タイムトリガ送信時の注意事項**

メールボックス 30 は、CMAX≠B'111、MBC[30]＝B'000 で TXPR[30]を 1 に設定すると、タイムリファレンス送信用に設定できます。この際、必ず DLC には 0 より大きい値を設定し、RTR は 0 に設定してください（TTCAN Level 1 にて規定）。メールボックス 30 の送信開始時に、データフィールドの先頭バイトの MSG_DATA_0[5:0]にサイクルカウンタ値（CCR）が埋め込まれてメッセージを送信します。

MSG_DATA_0[7:6]は、メールボックスに格納された値が送信されます。

Next_is_Gap を送信する必要がある場合は、ユーザは MSG_DATA_0[7]を 1 に設定することで送信できます。

このとき、CCR の値は送信されるフレームに入りますが, メールボックス 30 のメッセージデータフィールドには格納されませんのでご注意ください。

メールボックス 31 は、CMAX≠B'111、MBC[31]＝B'011 で設定するとタイムリファレンス受信用に設定されます。有効なリファレンスメッセージを受信すると（ID 一致、DLC>0）、RCAN-TL1 は RFMK およびサイクルカウンタ（CCR）を書き換えることにより、Cycle_Time と Basic_Cycle を同期化します。

MB30、31

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'108+n*32	Next_is_Gap/Cycle_Counter（最初のRx/Txバイト）								MSG_DATA_1								8/16/32ビット	データ
H'10A+n*32	MSG_DATA_2								MSG_DATA_3								8/16ビット	
H'10C+n*32	MSG_DATA_4								MSG_DATA_5								8/16/32ビット	
H'10E+n*32	MSG_DATA_6								MSG_DATA_7								8/16ビット	

【記号説明】 n＝30、31（メールボックス番号）

図 17.7 メッセージデータフィールド

17.3.5 タイムスタンプ

送信／受信メッセージに記録されたタイムスタンプを格納します。タイムスタンプは、メッセージがスケジュールどおりに送信／受信されたかどうかモニタするのに役立ちます。

- **タイムスタンプ**

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS15	TS14	TS13	TS12	TS11	TS10	TS9	TS8	TS7	TS6	TS5	TS4	TS3	TS2	TS1	TS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

（1） メッセージ受信

メールボックス0～15の受信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0（TTCR0）のビット14の設定により、CYCTR[15:0]（サイクルタイムレジスタ）の値またはCCR[5:0]（サイクルカウンタ）+ CYCTR[15:6]（サイクルタイムレジスタ）の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30, 31の受信メッセージのタイムスタンプには、タイマカウンタレジスタ（TCNTR）の値が受信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

（2） メッセージ送信

メールボックス1～15の送信メッセージのタイムスタンプには、タイムトリガコントロールレジスタ0（TTCR0）のビット14の設定により、CYCTR[15:0]（サイクルタイムレジスタ）の値またはCCR[5:0]（サイクルカウンタ）+ CYCTR[15:6]（サイクルタイムレジスタ）の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

メールボックス30, 31の送信メッセージのタイムスタンプには、タイマカウンタレジスタ（TCNTR）の値が送信メッセージのSOFでキャプチャされ、タイムスタンプに格納されます。

【重要】 タイムスタンプはテンポラリレジスタに格納されます。送信または受信が正常に行われると、その値がメールボックスのフィールドにコピーされます。また、オーバランによって UMSR がセットされるのと同時に CPU が RXPR/RFPR をクリアしたとき、タイムスタンプのみが更新されることがあります。したがって、RXPR/RFPR がクリアされる前の正しいタイムスタンプ値をリードすることができます。

17.3.6　送信トリガタイム（TTT）とタイムトリガコントロール

メールボックス 24～29 では, タイムトリガモード（CMAX≠B'111）で MBC を B'000 に設定すると, 送信トリガタイムはタイムウィンドウ間の境界を決定するための Time_Mark として機能します。

送信トリガタイム（TTT）とタイムトリガコントロール（TT コントロール）は、以下に示す 2 つの 16 ビットリード／ライトレジスタで構成されています。

メールボックス 30 にはタイムトリガコントロール（TT コントロール）がなく, Time_Ref として機能します。

メールボックス 24～30 をタイムトリガモード送信に使用しない場合は、受信用メールボックスとして使用することができます。ただし、タイムトリガモードを使用する場合は, イベントトリガ送信の対象にはなりません。

- **送信トリガタイム（TTT）**

送信トリガタイム（TTT）は、サイクルタイム内でメッセージの送信を開始する時間を指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTT15	TTT14	TTT13	TTT12	TTT11	TTT10	TTT9	TTT8	TTT7	TTT6	TTT5	TTT4	TTT3	TTT2	TTT1	TTT0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- **タイムトリガコントロール（TTコントロール）**

タイムトリガコントロール（TT コントロール）は、ウィンドウの属性、送信を開始するシステムマトリックス内のサイクルカウント（Basic Cycle）および定周期送信の頻度を指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTW[1:0]		Offset[5:0]						0	0	0	0	0	rep_factor[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

タイムトリガモードをサポートするすべてのメールボックス間の相違点を図 17.8 に示します。

MB29～24

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'114＋n*32	送信トリガタイム（サイクルタイム）																16ビット	トリガタイム
H'116＋n*32	TTW[1:0]		Offset[5:0]						0	0	0	0	0	rep_factor[2:0]			16ビット	TTコントロール

MB30

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
H'114＋n*32	送信トリガタイム（サイクルタイム）																16ビット	トリガタイム

【記号説明】 n＝24～30（メールボックス番号）

図 17.8　送信トリガコントロールフィールド

- **TTW[1:0]（タイムトリガウィンドウ）**

タイムウィンドウの属性を示します。TTW＝B'10 設定でスタートしたマージドアービトレイティングウィンドウ（Merged Arbitrating Window）は、必ず TTW＝B'11 設定によって終了してください。マージドアービトレイティングウィンドウの先頭から最後までの間に TTW＝B'10 設定のメッセージを数個使用することができます。

TTW[1]	TTW[0]	説　　明
0	0	エクスクルーシブウィンドウ　：exclusive window（初期値）
0	1	アービトレイティングウィンドウ　：arbitrating window
1	0	マージドアービトレイティングウィンドウの開始　：Start of Merged arbitrating window
1	1	マージドアービトレイティングウィンドウの終了　：End of Merged arbitrating window

TTT レジスタの値が CYCTR の値と一致し、Offset の値が CCR の値と一致すると、対応するメールボックスから送信を試みます。この機能を有効にするには、CMAX≠B'111 に設定し、タイマ（TCNTR）を動作させ（TTCR0 のビット 15 が 1）、対応するメールボックスの MBC＝B'000 に設定し、対応する TXPR のビットを 1 に設定してください。TXPR のビットをソフトウェアでセットした後は、定周期送信を続けるために、RCAN-TL1 はその TXPR のビット（メールボックス 24～30）をクリアしません。

定周期送信を停止するには、TXCR で TXPR をクリアしてください。この場合、送信完了直後に TXACK をクリアしないと、同じメールボックスの TXACK と ABACK の両方がセットされる可能性があります（図 17.9 参照）。

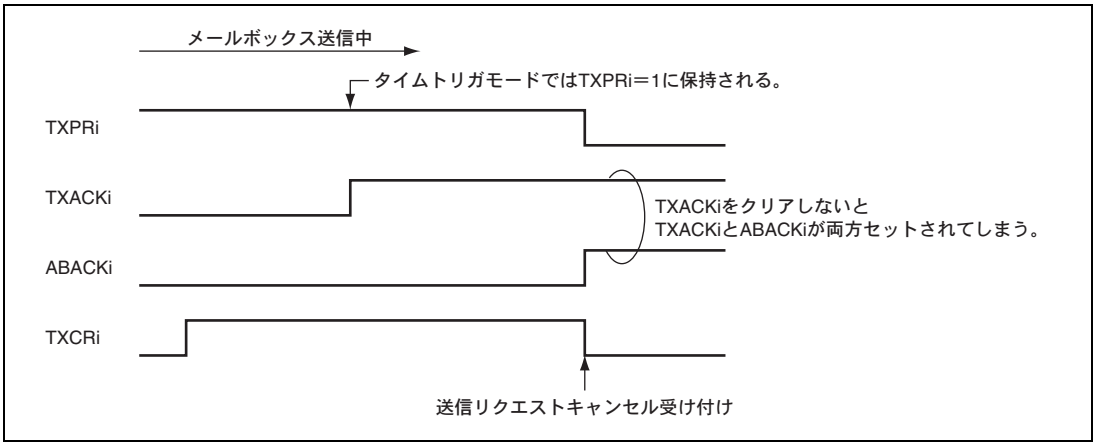


図 17.9　タイムトリガ送信時の TXACK と ABACK

なお、メールボックス 30 では TTW＝B'01、Offset＝B'000000、rep_factor＝B'000 に固定です。以下の表に rep_factor と Offset の組み合わせを示します。

rep_factor	説　　明
B'000	サイクルカウントごと（初期値）
B'001	2 サイクルカウントごと
B'010	4 サイクルカウントごと
B'011	8 サイクルカウントごと
B'100	16 サイクルカウントごと
B'101	32 サイクルカウントごと
B'110	64 サイクルカウントごと(システムマトリックスごとに 1 回)
B'111	リザーブ

Offset フィールドは、タイムトリガメールボックスがメッセージの送信を開始できる最初のサイクルカウンタ値を決定します。

Offset	説　　明
B'000000	オフセット（Offset）＝最初のサイクルカウント（初期値）
B'000001	オフセット（Offset）＝2 番目のサイクルカウント
B'000010	オフセット（Offset）＝3 番目のサイクルカウント
B'000011	オフセット（Offset）＝4 番目のサイクルカウント
B'000100	オフセット（Offset）＝5 番目のサイクルカウント
・・・	・・・
B'111110	オフセット（Offset）＝63 番目のサイクルカウント
B'111111	オフセット（Offset）＝64 番目のサイクルカウント

以下の関係を満たさなければなりません。

Cycle_Count_Maximum +1> = Repeat_Factor > Offset

Cycle_Count_Maximum $= 2^{CMAX} - 1$

Repeat_Factor $= 2^{rep\_factor}$

CMAX、Repeat_Factor、および Offset はレジスタ値です。

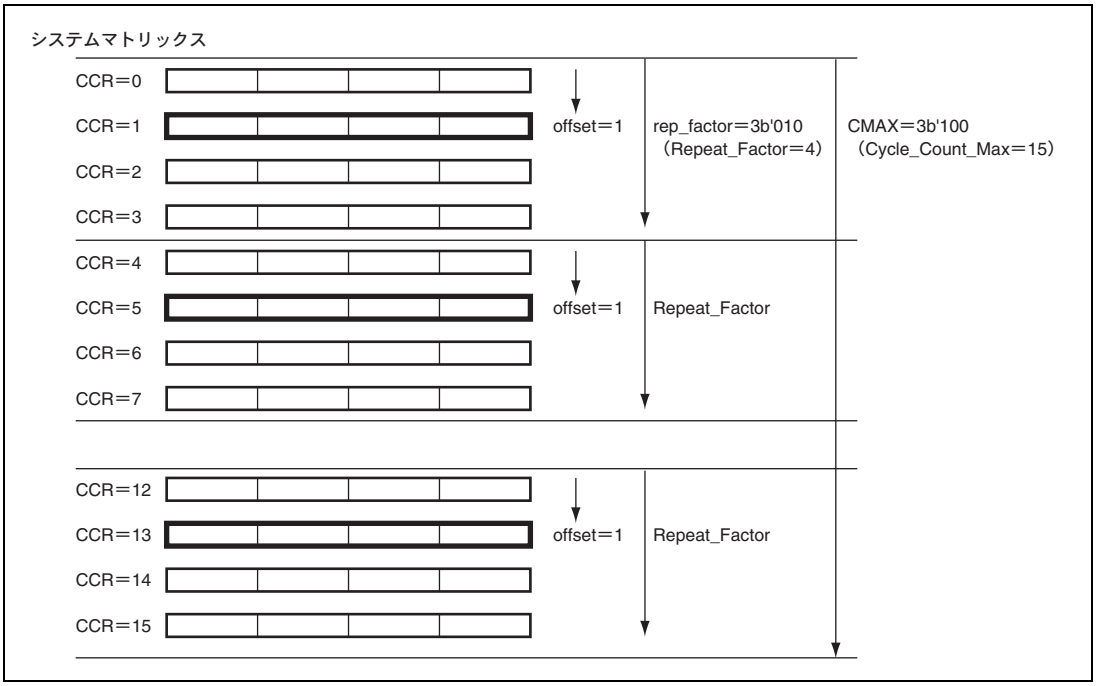


図 17.10　システムマトリックス

送信トリガタイムは昇順に設定してください。送信トリガタイム間の差は、TTT（メールボックス i）－TTT（メールボックス i－1）＞TEW＋最大フレーム長＋9 を満たすように設定してください。

17.4 RCAN-TL1 のコントロールレジスタ

RCAN-TL1 のコントロールレジスタについて説明します。RCAN-TL1 のコントロールレジスタはワードサイズ（16 ビット）でのみアクセスできます。

表 17.5 に RCAN-TL1 のコントロールレジスタを示します。

表 17.5 RCAN-TL1 のコントロールレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ（ビット）
マスタコントロールレジスタ	MCR	H'000	16
ジェネラルステータスレジスタ	GSR	H'002	16
ビットコンフィギュレーションレジスタ 1	BCR1	H'004	16
ビットコンフィギュレーションレジスタ 0	BCR0	H'006	16
インタラプトリクエストレジスタ	IRR	H'008	16
インタラプトマスクレジスタ	IMR	H'00A	16
送信エラーカウンタ／受信エラーカウンタ	TEC/REC	H'00C	16
メッセージバッファエラーステータスレジスタ	MBESR	H'600	16
メッセージバッファエラーコントロールレジスタ	MBECR	H'602	16

17.4.1 マスタコントロールレジスタ（MCR）

MCR は、16 ビットの読み出し／書き込み可能なレジスタで、RCAN-TL1 を制御します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	—	—	—	TST[2:0]			MCR7	MCR6	MCR5	—	—	MCR2	MCR1	MCR0
初期値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	MCR15	1	R/W	ID 並べ替え 本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 17.11 を参照してください。 0：RCAN-TL1 と HCAN2 は同等の順序 1：RCAN-TL1 と HCAN2 は異なる順序

ビット	ビット名	初期値	R/W	説　　明
14	MCR14	0	R/W	自動バスオフホルト 本ビットと MCR6 がともに設定された場合、RCAN-TL1 がバスオフ状態に入ると MCR1 はただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。 0：通常の復帰シーケンス（128×11 レセッシブビット）で RCAN-TL1 バスオフ状態を維持 1：MCR6 がセットされると RCAN-TL1 はバスオフ状態のあと、ただちにホルトモードに入ります
13～11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10～8	TST[2:0]	000	R/W	テストモード 本ビットはテストモードを有効／無効にします。テストモードを起動する前に、RCAN-TL1 をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「17.7.2　テストモードの設定」を参照してください。 テストモードは診断およびテストのためだけに用いるもので、RCAN-TL1 が通常動作時には使用できません。 000：ノーマルモード 001：リスンオンリモード（受信専用モード） 010：セルフテストモード 1（外部） 011：セルフテストモード 2（内部） 100：ライトエラーカウンタ 101：エラーパッシブモード 110：設定禁止 111：設定禁止
7	MCR7	0	R/W	自動ウェイクモード 本ビットは CAN スリープモードの自動ウェイクモードを有効／無効にします。本ビットが設定されると、RCAN-TL1 は CAN バスアクティビティ（ドミナントビット）を検出して自動的に CAN スリープモード（MCR5）を解除します。本ビットがクリアされると RCAN-TL1 は自動的には CAN スリープモードを解除しません。 RCAN-TL1 は、RCAN-TL1 をウェイクアップしたメッセージを格納できません。 0：CAN バスのアクティビティによる自動ウェイクモードが無効 1：CAN バスのアクティビティによる自動ウェイクモードが有効 【注】CAN スリープモード中は MCR7 ビットを変更できません。

ビット	ビット名	初期値	R/W	説　　明
6	MCR6	0	R/W	バスオフ時ホルト 本ビットは、バスオフ時に MCR1 がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラもただちにエラーアクティブモードに復帰するので注意してください。 0：バスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます 1：バスオフ時に MCR1 設定によるホルトモード遷移を有効にします
5	MCR5	0	R/W	CAN スリープモード 本ビットは CAN スリープモードへの遷移を有効／無効にします。RCAN-TL1 がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2 つのエラーカウンタ（REC、TEC）は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには 2 つの方法があります。 • MCR5 ビットに 0 を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する 自動スリープ解除モードが無効であれば、CAN スリープモードが終了するまで RCAN-TL1 はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-TL1 は CAN バス動作に入る前に 11 レセッシブビットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-TL1 が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。 CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。詳細は「17.7.1（3）　CAN スリープモード」を参照してください。 0：CAN スリープモードが解除されています 1：CAN スリープモードへの遷移が有効です 【注】 RCAN-TL1 は、最初にホルトモードに設定してから CAN スリープモードに遷移できます。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-TL1 はホルトモードから CAN スリープモードに遷移しなければなりません。（具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。）
4、3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2	MCR2	0	R/W	メッセージ送信プライオリティ 本ビットはペンディング中の送信データの送信順序を選択します。本ビットを 1 にセットした場合、送信データは送信待ちレジスタ（TXPR）のビット順で送信されます。 送信はメールボックス 31 を最優先で開始し、メールボックス 1 まで続けます（メールボックスが送信用に設定されている場合）。 本機能は、メールボックス 24～30 のタイムトリガ送信には使用できませんのでご注意ください。もし本ビットがクリアされると、すべての送信メッセージは（内部アービトレーションを走らせることにより）ID 優先順位どおり送信されます。最優先のメッセージは最小の数字のアービトレーションフィールド（STDID + IDE ビット+ EXTID（IDE＝1 の場合）+ RTR ビット）を持ち、最初に送信されます。 内部アービトレーションは RTR ビットと IDE ビットを含みます（内部アービトレーションは、2 つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します）。 本ビットはリセットあるいはホルトモードでのみ変更可能です。 0：メッセージ ID 優先順に送信 1：メールボックス番号順（メールボックス 31→メールボックス 1）に送信

ビット	ビット名	初期値	R/W	説　　明
1	MCR1	0	R/W	ホルトリクエスト 本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります（ここでCANバスからは切り離されます）。RCAN-TL1は本ビットがクリアされるまでホルトモードのままになります。 ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態をCPUに通知するためのIRR0とGSR4を除き、ユーザレジスタ（メールボックスの内容およびTEC/RECを含みます）の内容は保持されます。 CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわりなくRCAN-TL1は1ビット時間内にホルトモードになります。MCR6がセットされていると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスが完了するまではホルトモードに入りません。ホルトモードになるとIRR0とGSR4によって通知されます。 MCR14とMCR6がセットされていると、本ビットはRCAN-TL1がバスオフ状態に遷移するとすぐに自動的にセットされます。 ホルトモード中、RCAN-TL1はバス動作に関係しないため、ビットタイミング設定を除きRCAN-TL1の構成を変更することができます。CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-TL1は11レセッシブビットが検出されるまで待ち、CANバスに参加します。 0：ホルトモードリクエストをクリア 1：ホルトモード遷移リクエスト 【注】1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってからか、（ソフトウェアまたハードウェアでの）リセット動作でのみ解除できます。 2. ホルトモードへのあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なボーレートに設定されているときだけです。

ビット	ビット名	初期値	R/W	説　　明
0	MCR0	1	R/W	リセットリクエスト 本ビットは RCAN-TL1 モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-TL1 コントローラはリセットルーチンに入り、内部ロジックを初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。（パリティコントロール関連のレジスタである MBESR と MBECR レジスタは初期化されません）。 本ビットがセットされている間、RCAN-TL1 は再構成することができます。CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-TL1 モジュールは、11 レセッシブビットの検出を待って CAN バスに参加します。 CAN バス上の値をサンプリングするためにボーレートを適切な値にセットする必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-TL1 を構成する必要があることを示します。 リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。 0：リセットモードリクエストをクリア ［クリア条件］RCAN-TL1 をリセットした後に 0 が書き込まれたとき 1：CAN インタフェースのリセットモード遷移リクエスト

・MCR15（ID並べ替え）＝0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+n*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]		16/32	コントロール0
H'102+n*32	EXTID[15:0]																16	
H'104+n*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM [17:16]		16/32	LAFMフィールド
H'106+n*32	EXTID_LAFM[15:0]																16	

・MCR15（ID並べ替え）＝1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H'100+n*32	IED	RTR	0	STDID[10:0]											EXTID[17:16]		16/32	コントロール0
H'102+n*32	EXTID[15:0]																16	
H'104+n*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM [17:16]		16/32	LAFMフィールド
H'106+n*32	EXTID_LAFM[15:0]																16	

【記号説明】 n=0～31（メールボックス番号）

図 17.11　ID 並べ替え

17.4.2 ジェネラルステータスレジスタ（GSR）

GSR は、16 ビットの読み出し専用レジスタで、RCAN-TL1 の状態を示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～6	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットは RCAN-TL1 がエラーパッシブ状態になるとすぐに 1 にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は、GSR5 は 1 を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0：RCAN-TL1 はエラーパッシブあるいはバスオフ状態ではありません ［クリア条件］RCAN-TL1 がエラーアクティブ状態の間 1：RCAN-TL1 がエラーパッシブ（ただし GSR0＝0 の場合）あるいはバスオフ（ただし GSR0＝1 の場合）です ［セット条件］TEC≧128 または REC≧128 またはテストモードでエラーパッシブモード選択時
4	GSR4	0	R	ホルト／スリープステータス CAN コントローラがホルト／スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-TL1 の状態をフルに反映するものではありません。RCAN-TL1 は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0：RCAN-TL1 はホルトモードでも CAN スリープモードでもありません 1：ホルトモード（MCR1＝1 の場合）または CAN スリープモード（MCR5＝1 の場合）です ［セット条件］MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-TL1 がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-TL1 がバスオフへ遷移したとき

ビット	ビット名	初期値	R/W	説　　明
3	GSR3	1	R	リセットステータス RCAN-TL1 がリセット状態かどうかを示します。 0：RCAN-TL1 はリセット状態ではありません 1：RCAN-TL1 がリセット状態です ［セット条件］RCAN-TL1 のソフトウェアまたはハードウェアリセットの後
2	GSR2	1	R	メッセージ送信中フラグ RCAN-TL1 がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー／オーバロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK は EOF の 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトレーションロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。 0：RCAN-TL1 はバスオフ状態またはメッセージを送信中です 1：［セット条件］バスオフ状態でない、またはメッセージを送信中でない
1	GSR1	0	R	送信／受信ワーニングフラグ エラーワーニングを示すフラグです。 0：［クリア条件］TEC < 96 かつ REC < 96 またはバスオフのとき 1：［セット条件］96≦TEC < 256 または 96≦REC < 256 のとき 【注】 REC は、バスオフ復帰シーケンスに必要な 11 レセッシブビットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。
0	GSR0	0	R	バスオフフラグ RCAN-TL1 がバスオフ状態であることを示します。 0：［クリア条件］バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1：［セット条件］TEC≧256（バスオフ状態）

17.4.3 ビットコンフィギュレーションレジスタ 0、1（BCR0、BCR1）

BCR0、BCR1 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケーラを設定します。

以下、タイムクォンタを以下のとおり定義します。

タイムクォンタ＝2 × BRP / f_{clk}

BRP（ボーレートプリスケーラ）は BCR0 格納値＋1 の値です。f_{clk} は周辺バスクロック周波数です。

（1） BCR1

TSEG1 と TSEG2 の設定については**表 17.6** を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSG1[3:0]				—	TSG2[2:0]			—	—	SJW[1:0]		—	—	—	BSP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～12	TSG1[3:0]	0000	R/W	タイムセグメント 1 これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1（＝PRSEG ＋PHSEG1）を設定することに使用します。4～16 タイムクォンタが設定できます。 0000：設定禁止 0001：設定禁止 0010：設定禁止 0011：PRSEG + PHSEG1＝4 タイムクォンタ 0100：PRSEG + PHSEG1＝5 タイムクォンタ ：　　： 1111：PRSEG + PHSEG1＝16 タイムクォンタ
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
10～8	TSG2[2:0]	000	R/W	タイムセグメント 2 これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2（＝PHSEG2）を設定することに使用します。2～8 タイムクォンタが設定できます。 000：設定禁止 001：PHSEG2＝2 タイムクォンタ （条件によっては設定禁止です。表 17.6 を参照してください） 010：PHSEG2＝3 タイムクォンタ 011：PHSEG2＝4 タイムクォンタ 100：PHSEG2＝5 タイムクォンタ 101：PHSEG2＝6 タイムクォンタ 110：PHSEG2＝7 タイムクォンタ 111：PHSEG2＝8 タイムクォンタ
7、6	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5、4	SJW[1:0]	00	R/W	再同期ジャンプ幅 同期ジャンプ幅を設定します。 00：同期ジャンプ幅＝1 タイムクォンタ 01：同期ジャンプ幅＝2 タイムクォンタ 10：同期ジャンプ幅＝3 タイムクォンタ 11：同期ジャンプ幅＝4 タイムクォンタ
3～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	BSP	0	R/W	ビットサンプルポイント データがサンプリングされるポイントを設定します。 0 : 1 か所でビットサンプリングが行われます（タイムセグメント 1 の最後） 1 : 3 か所でビットサンプリングが行われます（PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ）

（2） BCR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	−	−	BRP[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～8	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
7～0	BRP[7:0]	00000000	R/W	ボーレートプリスケーラ これらのビットは、1 タイムクォンタに対応する周辺バスクロック数を設定します。 00000000：2×周辺バスクロック 00000001：4×周辺バスクロック 00000010：6×周辺バスクロック ：　：2×（レジスタ値+1）×周辺バスクロック 11111111：512×周辺バスクロック

- ビットコンフィギュレーションレジスタについて

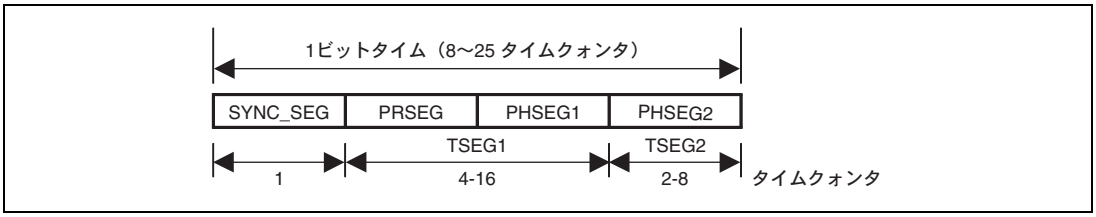


図 17.12　1 ビットタイムの構成

SYNC_SEG：CAN バス上のノードの同期をするセグメント
（通常のビットエッジ遷移がこのセグメントで発生します）
PRSEG　：ネットワーク間の物理的な遅延を調整するセグメント
PHSEG1　：フェーズドリフト（正方向）のバッファセグメント（同期または再同期の際、拡張されます）
PHSEG2　：フェーズドリフト（負方向）のバッファセグメント（同期または再同期の際、縮小されます）
TSEG1　：TSG1＋1
TSEG2　：TSG2＋1

RCAN-TL1 ビットレートは以下のとおり計算されます。

ビットレート＝f_{clk} / (2 × (BRP＋1) × (TSEG1＋TSEG2＋1))

BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は上述の表から算出した値であって実際の設定値ではありません。前記ビットレート計算式のタイムセグメントの「+1」は SYNC_SEG の 1 タイムクォンタであること

によります。

f*clk* = 周辺バスクロック

BCR 設定上の制約となる事項

TSEG1（Min.）> TSEG2≧SJW（Max.）　　（SJW＝1～4）

8≦TSEG1＋TSEG2＋1≦25タイムクォンタ（TSEG1＋TSEG2＋1＝7は不可）

TSEG2≧2

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が**表 17.6** に示される設定値の範囲であれば、上述の制限事項を満たします。**表 17.6** の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 17.6　TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1：f*clk* が 40MHz でビットレートを 500kbps とする場合、BRP＝3、TSEG1＝6、TSEG2＝3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0003 をライトすることになります。

例 2：f*clk* が 35MHz でビットレートを 250kbps とする場合、BRP＝4、TSEG1＝8、TSEG2＝5 が条件を満たします。この場合、BCR1 には H'7400、BCR0 には H'0004 をライトすることになります。

例 3：f*clk* が 32MHz でビットレートを 500kbps とする場合、BRP＝1、TSEG1＝11、TSEG2＝4 が条件を満たします。この場合、BCR1 には H'A300、BCR0 には H'0001 をライトすることになります。

例 4：f*clk* が 20MHz でビットレートを 500kbps とする場合、BRP＝1、TSEG1＝6、TSEG2＝3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

17.4.4 インタラプトリクエストレジスタ（IRR）

IRR は、16 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15	IRR15	0	R/W	タイマコンペアマッチ割り込み 1 タイマコンペアマッチレジスタ 1（TCMR1）のコンペアマッチが発生したことを示します。TCMR1 の設定値がサイクルタイムと一致すると（TCMR1＝CYCTR）、本ビットがセットされます。 0：TCMR1 のタイマコンペアマッチが発生していない ［クリア条件］1 を書き込む 1：TCMR1 のタイマコンペアマッチが発生 ［セット条件］TCMR1 がサイクルタイムと一致（TCMR1＝CYCTR）
14	IRR14	0	R/W	タイマコンペアマッチ割り込み 0 タイマコンペアマッチレジスタ 0（TCMR0）のコンペアマッチが発生したことを示します。TCMR0 の設定値がローカルタイムと一致すると（TCMR0＝TCNTR）、本ビットがセットされます。 0：TCMR0 のタイマコンペアマッチが発生していない ［クリア条件］1 を書き込む 1：TCMR0 のタイマコンペアマッチが発生 ［セット条件］TCMR0 がタイマ値と一致（TCMR0＝TCNTR）

ビット	ビット名	初期値	R/W	説　　明
13	IRR13	0	R/W	タイマオーバラン割り込み／Next_is_Gap 受信割り込み／メッセージエラー割り込み 本割り込みは RCAN-TL1 のモードにより異なった意味を持ち、以下の状態を示します。 • イベントトリガモード（テストモードを含む）で動作中、タイマ（TCNTR）オーバランが発生。 • タイムトリガモード（テストモードを含む）で動作中、Next_is_Gap がセットされたタイムリファレンスメッセージを受信。 • テストモードでメッセージエラーが発生。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。 0：イベントトリガモード（テストモードを含む）でタイマ（TCNTR）オーバランが発生していない タイムトリガモード（テストモードを含む）で Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない ［クリア条件］1 を書き込む 1：［セット条件］イベントトリガモード(テストモードを含む)でタイマ（TCNTR）オーバランが発生し、H'FFFF から H'0000 に変化 タイムトリガモード（テストモードを含む）で Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生
12	IRR12	0	R/W	CAN スリープモード時バスアクティビティ 本ビットは CAN バスアクティビティの存在を示します。RCAN-TL1 が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みを受け付けない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。 本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。 0：バスアイドル状態 ［クリア条件］1 を書き込む 1：CAN バスアクティビティを CAN スリープモード中に検出 ［セット条件］CAN スリープモード中に CRxn 上でドミナントへのビット状態変化を検出

ビット	ビット名	初期値	R/W	説　　明
11	IRR11	0	R/W	タイマコンペアマッチ割り込み 2 タイマコンペアマッチレジスタ 2（TCMR2）のコンペアマッチが発生したことを示します。TCMR2 の設定値がサイクルタイムと一致すると（TCMR2＝CYCTR）、本ビットがセットされます。 0：TCMR2 のタイマコンペアマッチが発生していない ［クリア条件］1 を書き込む 1：TCMR2 のタイマコンペアマッチが発生 ［セット条件］TCMR2 がサイクルタイムと一致（TCMR2＝CYCTR）
10	IRR10	0	R/W	スタートシステムマトリックス割り込み 次のシステムマトリックスが開始したことを示します。CCR＝0 のとき、タイムリファレンスメッセージの送信／受信完了時に本ビットがセットされます。CMAX＝0 の場合は、本割り込みはサイクルカウント（Basic Cycle）ごとにセットされます。 0：新しいシステムマトリックスの先頭でない ［クリア条件］1 を書き込む 1：サイクルカウンタが 0 になった ［セット条件］ CMAX!＝B'111 かつ CCR＝0 のとき、タイムリファレンスメッセージの送信／受信が完了
9	IRR9	0	R	メッセージオーバラン／オーバライト割り込みフラグ 本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより新しく受信されたメッセージは NMC ビットの設定によって、捨てられる（オーバラン）か上書き（オーバライト）されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。 0：メッセージオーバラン／オーバライト通知がない ［クリア条件］UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット 1：オーバランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバライトされた ［セット条件］対応する PXPR または RFPR＝1 かつ MBIMR＝0 のときにメッセージを受信

ビット	ビット名	初期値	R/W	説　　明
8	IRR8	0	R	メールボックスエンプティ割り込みフラグ 送信用に設定されたメッセージの 1 つが正常に送信（対応する TXACK フラグがセット）または送信アボート（送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット）されると、本ビットがセットされます。 このときイベントトリガモードでは、対応する TXPR がクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。 タイムトリガモードでは、プログラムされたサイクルカウント（Basic Cycle）ごとの送信を続けるため、メールボックス 24～30 の TXPR は送信完了後にクリアされません。 実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。 0：送信または送信キャンセルするメッセージが処理中でない ［クリア条件］すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット 1：メッセージが送信または送信アボート（送信キャンセル）され、次のメッセージの格納が可能となった(タイムトリガモードでは、メールボックス 24～30 はアボート時のみ次のメッセージを格納可能) ［セット条件］TXACK または ABACK ビットがセットされたとき（対応する MBIMR＝0 の場合）
7	IRR7	0	R/W	オーバロードフレーム RCAN-TL1 がオーバロードフレーム送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。 0：［クリア条件］1 を書き込む 1：［セット条件］オーバロード条件を検出

ビット	ビット名	初期値	R/W	説　　明
6	IRR6	0	R/W	バスオフ割り込みフラグ 本ビットは、RCAN-TL1 がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの TEC ≥ 256、バスオフ復帰シーケンスの終了（11 レセッシブビットを 128 回連続受信）またはバスオフから停止状態への遷移（オートまたはマニュアル）が要因となります。 本ビットは RCAN-TL1 がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードして、RCAN-TL1 がバスオフ状態かエラーアクティブ状態か判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。 0：［クリア条件］1 を書き込む 1：送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した ［セット条件］TEC ≥ 256 または 11 レセッシブビットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移
5	IRR5	0	R/W	エラーパッシブ割り込みフラグ 受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-TL1 がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。 0：［クリア条件］1 を書き込む 1：送信／受信エラーによるエラーパッシブ状態 ［セット条件］TEC ≥ 128 または REC ≥ 128 またはエラーパッシブテストモードを使用
4	IRR4	0	R/W	受信エラーカウンタワーニング割り込みフラグ RCAN-TL1 がバスオフ状態でないときに受信エラーカウンタ（REC）が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。 0：［クリア条件］1 を書き込む 1：受信エラーによるエラーワーニング状態 ［セット条件］RCAN-TL1 がバスオフ状態以外で REC ≥ 96

ビット	ビット名	初期値	R/W	説　　明
3	IRR3	0	R/W	送信エラーカウンタワーニング割り込みフラグ RCAN-TL1 がバスオフ状態でないときに送信エラーカウンタ（TEC）が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。 0：［クリア条件］1 を書き込む 1：送信エラーによるエラーワーニング状態 ［セット条件］TEC ≥ 96
2	IRR2	0	R	リモートフレーム受信割り込みフラグ メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ（RFPR）のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。 0：［クリア条件］RFPR のすべてのビットがクリア 1：少なくとも 1 つのリモートフレームリクエストが処理待ち状態 ［セット条件］対応する MBIMR＝0 のときリモートフレームを受信
1	IRR1	0	R	データフレーム受信割り込みフラグ 処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ（RXPR）のすべてのビットがクリアされると（どの受信メールボックスにも未処理のメッセージがない）クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。 また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。 0：［クリア条件］RXPR のすべてのビットがクリア 1：データフレームを受信しメールボックスに格納した ［セット条件］対応する MBIMR＝0 のときデータを受信

ビット	ビット名	初期値	R/W	説　　明
0	IRR0	1	R/W	リセット／ホルト／スリープ割り込みフラグ 下記の 3 つの要因によってセットされます。 • ソフトウェアリセット（MCR0）またはハードウェアリセット後、リセットモードに遷移 • ホルトリクエスト（MCR1）の後、ホルトモードに遷移 • ホルトモードでスリープリクエスト（MCR5）発行後、CAN スリープモードに遷移 本ビットがセットされた後 GSR をリードして、RCAN-TL1 の状態を知ることができます。 【注】スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5 の説明および図 17.17 を参照してください。 IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-TL1 がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード／CAN スリープモードから送信／受信動作に遷移する際、GSR4 がクリアされるまでに[1 ビット時間－TSEG2]～[1 ビット時間×2－TSEG2] の時間が必要です。 リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。 0：［クリア条件］1 を書き込む 1：ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移 ［セット条件］リセット（MCR0 またはハードウェア）またはホルトモード（MCR1）または CAN スリープモード（MCR5）リクエストの後、リセット／ホルト／CAN スリープモードへの遷移が完了

17.4.5 メッセージバッファエラーステータスレジスタ（MBESR）

メッセージバッファの RAM で構成されたコントロール 0、LAFM、データ部分に書き込まれたデータに対して読み出し時にパリティエラーが発生した際のステータスレジスタです。パリティエラー発生時は 1 にセットされます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	MBEF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	MBEF	0	R/W	メッセージバッファパリティエラー検出ステータスフラグ データ転送によりパリティエラーが発生したことを示します。1 を書き込むとクリアされ、0 を書き込むと無視されます。 0：パリティエラーが発生していない 1：パリティエラーが発生

【注】 マスタコントロールレジスタ（MCR）のリセットリクエストビット（MCR0）が 0 から 1 に変わっても、MBESR レジスタは初期化されません。

17.4.6 インタラプトマスクレジスタ（IMR）

IMR は、16 ビットの読み出し／書き込み可能なレジスタで、インタラプトリクエストレジスタ（IRR）の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	IMR[15:0]	すべて 1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0：対応する IRR をマスクしない（割り込み要因が発生すると IRQ が生成される） 1：IRR の対応する割り込みをマスクする

17.4.7 メッセージバッファエラーコントロールレジスタ（MBECR）

MBECR は、1 ビットの読み出し／書き込み可能なレジスタで、メッセージバッファエラーステータスレジスタ（MBESR）の MBEF の割り込みをマスクします。MBIM ビットを 1 に設定すると割り込み要求がマスクされます。MBIM は MBEF の割り込み要求をマスクしますが、ビットセットはコントロールしません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	MBIM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	MBIM	1	R/W	メッセージバッファパリティエラー検出割り込みマスク 本ビットを 1 にセットすると、MBEF のビットがセットされてもその割り込み信号は生成されません。 0：MBEF の割り込みをマスクしない 1：MBEF の割り込みをマスクする

【注】 マスタコントロールレジスタ（MCR）のリセットリクエストビット（MCR0）が 0 から 1 に変わっても、MBECR レジスタは初期化されません。

17.4.8 送信エラーカウンタ（TEC）／受信エラーカウンタ（REC）

TEC および REC は、読み出し／条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信／受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の[1]、[2]、[3]、[4]に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き替え可能です。本レジスタは、リセットリクエスト（MCR0）またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード（TST[2:0]＝B'100）では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-TL1 をホルトモードにする必要があります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * MCR の TST[2:0]＝B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 レセッシブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説　明
15～8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7～0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

17.5 RCAN-TL1 のメールボックスレジスタ

RCAN-TL1 のメールボックスレジスタについて説明します。RCAN-TL1 のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 17.7 に RCAN-TL1 のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

表 17.7 RCAN-TL1 のメールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ（ビット）
送信待ちレジスタ 1	TXPR1	H'020	32
送信待ちレジスタ 0	TXPR0	H'022	－
		H'024	
		H'026	
送信キャンセルレジスタ 1	TXCR1	H'028	16／32
送信キャンセルレジスタ 0	TXCR0	H'02A	16
		H'02C	
		H'02E	
送信アクノリッジレジスタ 1	TXACK1	H'030	16／32
送信アクノリッジレジスタ 0	TXACK0	H'032	16
		H'034	
		H'036	
アボートアクノリッジレジスタ 1	ABACK1	H'038	16／32
アボートアクノリッジレジスタ 0	ABACK0	H'03A	16
		H'03C	
		H'03E	
データフレーム受信完了レジスタ 1	RXPR1	H'040	16／32
データフレーム受信完了レジスタ 0	RXPR0	H'042	16
		H'044	
		H'046	
リモートフレーム受信完了レジスタ 1	RFPR1	H'048	16／32
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	16
		H'04C	
		H'04E	
メールボックスインタラプトマスクレジスタ 1	MBIMR1	H'050	16／32
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	16
		H'054	
		H'056	
未読メッセージステータスレジスタ 1	UMSR1	H'058	16／32

レジスタ名	略称	アドレス	アクセスサイズ（ビット）
未読メッセージステータスレジスタ 0	UMSR0	H'05A	16
		H'05C	
		H'05E	

17.5.1 送信待ちレジスタ 1、0（TXPR1、TXPR0）

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

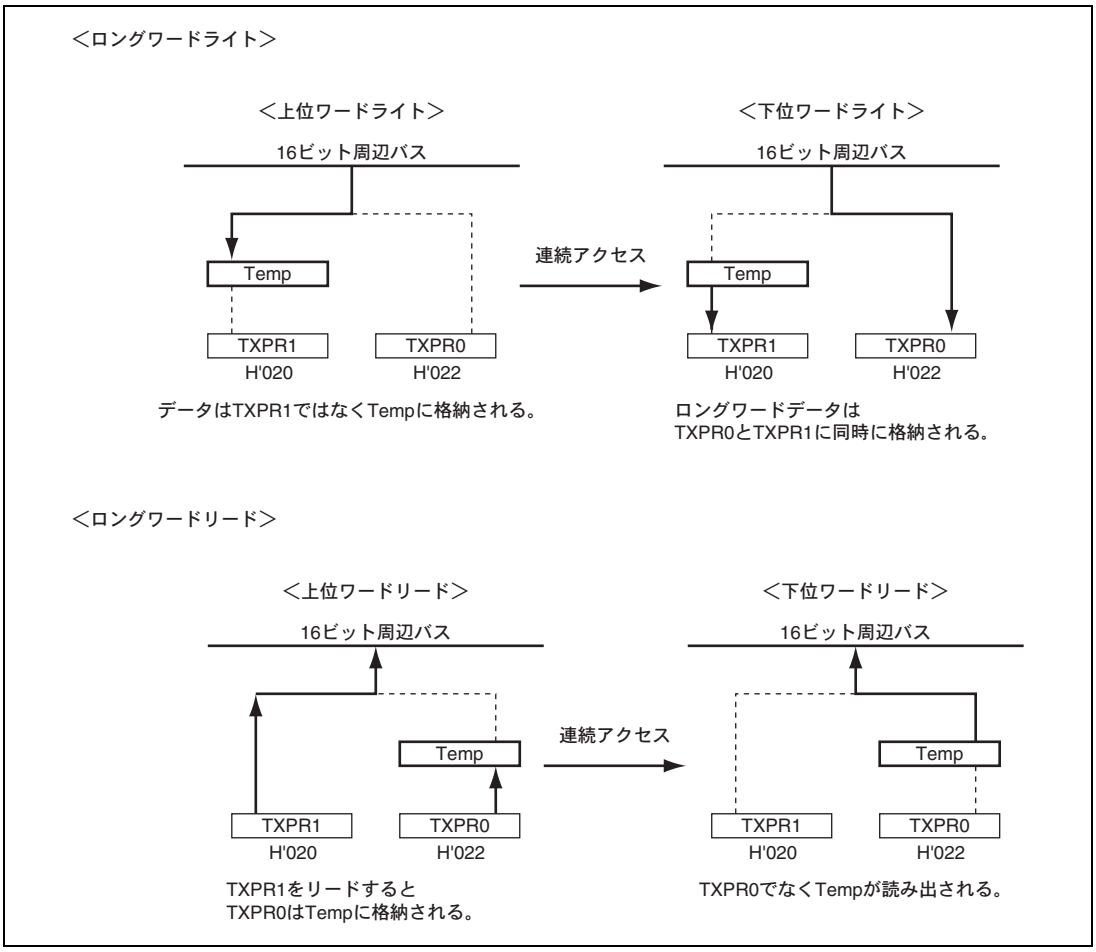


図 17.13 16 ビットバスインタフェース時のロングワードアクセス

TXPR1 レジスタはメールボックス 31～16 を制御し、TXPR0 レジスタはメールボックス 15～1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

イベントトリガモードでは, メッセージが正常に送信された後または TXCR からの送信アボートが行われた後、RCAN-TL1 は対応する送信待ちフラグをクリアします。タイムトリガモードでは, プログラムされたサイクルカウント（Basic Cycle）ごとの送信を続けるため, メールボックス 30～24 の TXPR は送信完了後にクリアされません。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART（自動再送信無効）ビットがセットされていなければ、RCAN-TL1 は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ（IRR8）とアボートアクノリッジレジスタ（ABACK）の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位（MCR2＝0）が最も高いメッセージが常に送信されるように処理します。詳細については「**17.7 動作説明**」を参照してください。

RCAN-TL1 が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ（IRR8）が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き替えることができます。

（1） TXPR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 ＊ 送信用に設定されたメールボックスに対応するビットには、1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	TXPR1[15:0]	H'0000	R/W	対応するメールボックスに対して CAN フレーム送信をリクエストします。ビット 15～0 はメールボックス 31～16 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。 0：対応するメールボックスが送信メッセージアイドル状態 ［クリア条件］メッセージ送信終了(イベントトリガメッセージの場合)またはメッセージ送信アボート（自動的にクリアされます） 1：対応するメールボックスに送信リクエストが発生

（2） TXPR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR0[15:1]															－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信用に設定されたメールボックスに対応するビットには、1 のみ書き込むことができます。
TXPR1/TXPR0 のリード／ライトは、必ずロングワードアクセスで行ってください。

ビット	ビット名	初期値	R/W	説　　明
15～1	TXPR0[15:1]	H'0000	R/W	対応するメールボックスにCANフレーム送信リクエストが発生していることを示します。ビット 15～1 はメールボックス 15～1 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。 0：対応するメールボックスが送信メッセージアイドル状態 ［クリア条件］メッセージ送信終了(イベントトリガメッセージの場合)またはメッセージ送信アボート（自動的にクリアされます） 1：対応するメールボックスに送信リクエストが発生
0	－	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視されます。読み出し値は 0 です。

17.5.2 送信キャンセルレジスタ 1、0（TXCR1、TXCR0）

TXCR 1 と TXCR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、TXCR1 はメールボックス 31～16 を制御し、TXCR0 はメールボックス 15～1 を制御します。CPU は TXCR を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アボートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したことによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

（1） TXCR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　明
15～0	TXCR1[15:0]	H'0000	R/W	送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15～0 はメールボックス 31～16（および TXPR1[15:0]）に対応しています。 0：対応するメールボックスが送信メッセージキャンセルアイドル状態 ［クリア条件］送信メッセージキャンセルが終了 （自動的にクリアされます） 1：対応するメールボックスに対して送信キャンセルを要求

（2） TXCR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～1	TXCR0[15:1]	H'0000	R/W	送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15～1 はメールボックス 15～1（および TXPR0[15:1]）に対応しています。 0：対応するメールボックスが送信メッセージキャンセルアイドル状態 ［クリア条件］送信メッセージキャンセルが終了 （自動的にクリアされます） 1：対応するメールボックスに対して送信キャンセルを要求
0	－	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

17.5.3 送信アクノリッジレジスタ 1、0（TXACK1、TXACK0）

TXACK1 と TXACK0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことを CPU に通知するために使用します。送信が正常に行われると、RCAN-TL1 は TXACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって TXACK のビットをクリアすることができます。0 を書き込むと無視されます。

（1） TXACK1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	TXACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15～0 はメールボックス 31～16 に対応しています。 0：［クリア条件］1 を書き込む 1：対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）が正常に送信された ［セット条件］対応するメールボックスのメッセージ送信が完了

（2） TXACK0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	－

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～1	TXACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット 15～1 はメールボックス 15～1 に対応しています。 0：［クリア条件］1 を書き込む 1：対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）が正常に送信された ［セット条件］対応するメールボックスのメッセージ送信が完了
0	－	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

17.5.4 アボートアクノリッジレジスタ 1、0（ABACK1、ABACK0）

ABACK1 と ABACK0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアボートされたことを CPU に通知するために使用します。アボートが行われると、RCAN-TL1 は ABACK レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-TL1 が ABACK のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

（1） ABACK1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	ABACK1[15:0]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15～0 はメールボックス 31～16 に対応しています。 0：［クリア条件］1 を書き込む 1：対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）の送信がキャンセルされた ［セット条件］対応するメールボックスのメッセージ送信をキャンセル

（2） ABACK0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ABACK0[15:1]															－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15～1 はメールボックス 15～1 に対応しています。 0：［クリア条件］1 を書き込む 1：対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）の送信がキャンセルされた ［セット条件］対応するメールボックスのメッセージ送信をキャンセル
0	－	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

17.5.5 データフレーム受信完了レジスタ 1、0（RXPR1、RXPR0）

RXPR1 と RXPR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC（メールボックスコンフィギュレーション）によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1（データフレーム受信割り込みフラグ）もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

（1） RXPR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	RXPR1[15:0]	H'0000	R/W	ビット 15～0 はメールボックス番号 31～16 の受信用に設定されたメールボックスに対応します。 0：［クリア条件］1 を書き込む 1：対応するメールボックスが CAN データフレームを受信した ［セット条件］対応するメールボックスのデータフレーム受信終了

（2） RXPR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RXPR0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	RXPR0[15:0]	H'0000	R/W	ビット 15～0 はメールボックス番号 15～0 の受信用に設定されたメールボックスに対応します。 0：［クリア条件］1 を書き込む 1：対応するメールボックスが CAN データフレームを受信した ［セット条件］対応するメールボックスのデータフレーム受信終了

17.5.6 リモートフレーム受信完了レジスタ 1、0（RFPR1、RFPR0）

RFPR1 と RFPR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効となります。すべてのメールボックスに対してビットが存在しますが、メールボックスが MBC（メールボックスコンフィギュレーション）によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR2（リモートフレーム受信割り込みフラグ）もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

（1） RFPR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	RFPR1[15:0]	H'0000	R/W	メールボックス 31～16 のリモートリクエスト受信フラグです。 0：［クリア条件］1 を書き込む 1：対応するメールボックスが CAN リモートフレームを受信した ［セット条件］対応するメールボックスのリモートフレーム受信終了

（2） RFPR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	RFPR0[15:0]	H'0000	R/W	メールボックス 15～0 のリモートリクエスト受信フラグです。 0：［クリア条件］1 を書き込む 1：対応するメールボックスが CAN リモートフレームを受信した ［セット条件］対応するメールボックスのリモートフレーム受信終了

17.5.7 メールボックスインタラプトマスクレジスタ 1、0（MBIMR1、MBIMR0）

MBIMR1 と MBIMR0 は、16 ビットの読み出し／書き込み可能なレジスタです。MBIMR は、メールボックスの動作に関連する IRR（IRR1：データフレーム受信割り込み、IRR2：リモートフレーム受信割り込み、IRR8：メールボックスエンプティ割り込み、IRR9：メッセージオーバラン／オーバライト割り込み）をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ（IRR1、IRR2、IRR9）による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アボート（IRR8）による割り込みやメールボックスエンプティ割り込みをマスクします。送信による TXPR/TXCR ビットのクリアと TXACK ビットのセット、送信アボートによる TXPR/TXCR ビットのクリアと ABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに 1 を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます。

（1） MBIMR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	MBIMR1[15:0]	H'FFFF	R/W	メールボックス 31～16 からの割り込み要求を許可／禁止します。 0：IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1：IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

（2） MBIMR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15～0 からの割り込み要求を許可／禁止します。 0：IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1：IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

17.5.8 未読メッセージステータスレジスタ 1、0（UMSR1、UMSR0）

UMSR1 と UMSR0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU/DMAC/A-DMAC によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR または RFPR の対応するビットが CPU によってクリアされていないと、UMSR のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR のビットはセットされません。

（1） UMSR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	UMSR1[15:0]	H'0000	R/W	メールボックス 31～16 の未読受信メッセージがオーバライトされたかオーバランが発生したことを示します。 0：［クリア条件］1 を書き込む 1：未読受信メッセージが新しいメッセージでオーバライトされた、またはオーバランが発生した ［セット条件］RXPR または RFPR がクリアされる前に新しいメッセージを受信

（2） UMSR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説　　明
15～0	UMSR0[15:0]	H'0000	R/W	メールボックス 15～0 の未読受信メッセージがオーバライトされたかオーバランが発生したことを示します。 0：［クリア条件］1 を書き込む 1：未読受信メッセージが新しいメッセージでオーバライトされた、またはオーバランが発生した ［セット条件］RXPR または RFPR がクリアされる前に新しいメッセージを受信

17.6 タイマレジスタ

RCAN-TL1 のタイマは 16 ビットのタイマで, 数種のクロックソースをサポートしています。プリスケールカウンタにより、クロックの速度を落とすことができます。また, 3 個のコンペアマッチレジスタ（TCMR2、TCMR1、TCMR0）を備えています。アドレスマップを以下に示します。

【重要】タイマレジスタはすべてワード（16 ビット）アクセスのみ可能です。

表 17.8 RCAN-TL1 のタイマレジスタの構成

レジスタ名	略称	アドレス	アクセスサイズ（ビット）
タイムトリガコントロールレジスタ 0	TTCR0	H'080	16
サイクルマキシマム／Tx_Enable_Window レジスタ	CMAX_TEW	H'084	16
リファレンストリガオフセットレジスタ	RFTROFF	H'086	16
タイマステータスレジスタ	TSR	H'088	16
サイクルカウンタレジスタ	CCR	H'08A	16
タイマカウンタレジスタ	TCNTR	H'08C	16
サイクルタイムレジスタ	CYCTR	H'090	16
リファレンスマークレジスタ	RFMK	H'094	16
タイマコンペアマッチレジスタ 0	TCMR0	H'098	16
タイマコンペアマッチレジスタ 1	TCMR1	H'09C	16
タイマコンペアマッチレジスタ 2	TCMR2	H'0A0	16
送信トリガタイムセレクトレジスタ	TTTSEL	H'0A4	16

17.6.1 タイムトリガコントロールレジスタ 0（TTCR0）

TTCR0 は、16 ビットの読み出し／書き込み可能なレジスタです。

タイマの動作を制御します。定周期送信や監視用レジスタの設定は、本レジスタを設定し、タイマを動作させてから行ってください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	–	–	–	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	TCR15	0	R/W	タイマイネーブル 本ビットをセットすると TCNTR は動作し、クリアすると TCNTR と CCR がクリアされます。 0：TCNTR と CCR をクリアし、動作停止 1：タイマ動作
14	TCR14	0	R/W	タイムスタンプ値 メールボックス 15～0 の送信および受信用タイムスタンプとして、サイクルタイム（CYCTR）を使用するか CCR[5:0]＋CYCTR[15:6]を使用するか指定します。本機能は、タイムトリガモードで Rx_Trigger をモニタするのに便利です。 本レジスタはメールボックス 30 および 31 のタイムスタンプには影響しません。 0：メールボックス 15～0 のタイムスタンプに CYCTR[15:0]を使用 1：メールボックス 15～0 のタイムスタンプに CCR[5:0] + CYCTR[15:6]を使用
13	TCR13	0	R/W	TCMR2 によるキャンセル 本ビットおよびビット 12 がセットされた状態で、RCAN-TL1 がホルトモード以外でコンペアマッチが発生したときに、当該 TXPR ビットに対応するすべての TXCR ビットを自動セットします。それにより送信キュー内のメッセージをキャンセルします。 0：TCMR2 のコンペアマッチによる送信キャンセル禁止 1：TCMR2 のコンペアマッチによる送信キャンセル許可
12	TCR12	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR2 のコンペアマッチで IRR11 がセットされます。 0：TCMR2 のコンペアマッチで IRR11 がセットされない 1：TCMR2 のコンペアマッチで IRR11 がセットされる

ビット	ビット名	初期値	R/W	説　　明
11	TCR11	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR1 のコンペアマッチで IRR15 がセットされます。 0：TCMR1 のコンペアマッチで IRR15 がセットされない 1：TCMR1 のコンペアマッチで IRR15 がセットされる
10	TCR10	0	R/W	コンペアマッチイネーブル 本ビットをセットすると TCMR0 のコンペアマッチで IRR14 がセットされます。 0：TCMR0 のコンペアマッチで IRR14 がセットされない 1：TCMR0 のコンペアマッチで IRR14 がセットされる
9～7	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6	TCR6	0	R/W	TCMR0 によるタイマクリア制御 TCNTR が TCMR0 と一致したときにタイマを H'0000 にクリアするか指定します。また、TCMR0 は IRR14 により CPU に対して割り込み信号を発生することもできます。 【注】RCAN-TL1 が TTCAN モードで動作中(CMAX≠B'111)は、本ビットを 0 に設定しローカルタイムがクリアされないようにしてください。 0：TCMR0 でタイマクリアしない 1：TCMR0 でタイマクリア
5～0	TPSC5～TPSC0	すべて 0	R/W	タイマプリスケーラ 本ビットの設定により、タイマのソースクロック（4×[RCAN-TL1 のシステムクロック]）を分周して使用することができます。プリスケーラはイベントトリガモードでのみ有効です。TTCAN モードで（CMAX≠B'111）は、自動的に 1 ビットタイミング（＝CAN バス上の 1 ビット長）が TCNTR のソースクロックとして選択されます。 ソースクロック周期とタイマ周期の関係を以下に示します。 000000：1X ソースクロック 000001：2X ソースクロック 000010：3X ソースクロック 000011：4X ソースクロック 000100：5X ソースクロック ： 111111：64X ソースクロック

17.6.2 サイクルマキシマム／Tx_Enable_Window レジスタ（CMAX_TEW）

CMAX_TEW は、16 ビットの読み出し／書き込み可能なレジスタです。

CMAX はタイムトリガ送信用のサイクルカウンタ（CCR）の最大値を指定し、これによりシステムマトリックスのサイクルカウント数（Basic Cycle）が設定されます。サイクルカウンタが最大値になると（CCR＝CMAX）、1 サイクルカウント後にサイクルカウンタは 0 にクリアされ、IRR10 割り込みが発生します。

TEW は Tx_Enable_Window 幅を指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	CMAX[2:0]			–	–	–	–	TEW[3:0]			
初期値：	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～11	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10～8	CMAX[2:0]	111	R/W	サイクルカウンタ最大値 CCR の最大値を示します。 サイクルカウンタ最大値＝2^{CMAX} －1（CMAX＝レジスタ値） タイムトリガ送信用のマトリックスサイクル内で可能なサイクルカウント数は、（サイクルカウンタ最大値＋1）となります。 CMAX≠B'111 設定時、RCAN-TL1 はタイムトリガモードであり、タイムトリガ機能を使用できます。 CMAX＝B'111 設定時、RCAN-TL1 はイベントトリガモードです。 000：サイクルカウンタ最大値＝0 001：サイクルカウンタ最大値＝1 010：サイクルカウンタ最大値＝3 011：サイクルカウンタ最大値＝7 100：サイクルカウンタ最大値＝15 101：サイクルカウンタ最大値＝31 110：サイクルカウンタ最大値＝63 111：RCAN-TL1 はイベントトリガモード（CCR はクリア） 【注】イベントトリガモードを使用する場合は、CMAX＝B'111 に設定してください。
7～4	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
3～0	TEW[3:0]	0000	R/W	Tx_Enable_Window Tx_Enable_Window 幅を設定します。 TEW＝B'0000 のとき、ウィンドウ幅は 1 ビットタイミングとなります。 B'0000～B'1111 のすべての値を設定することができます。 0000：Tx_Enable_Window 幅＝1 0001：Tx_Enable_Window 幅＝2 0010：Tx_Enable_Window 幅＝3 0011：Tx_Enable_Window 幅＝4 ： 1111：Tx_Enable_Window 幅＝16 【注】RCAN-TL1 の CAN データリンクコントローラは、送信リクエストから送信を開始するのに常に CAN バス 1～2 ビットタイミングを必要とします。したがって、上記の値はこの精度を考慮していません。

17.6.3 リファレンストリガオフセットレジスタ（RFTROFF）

RFTROFF は、8 ビットの読み出し／書き込み可能なレジスタです。

メールボックス 30 の送信トリガタイム（TTT）に-127～+127 までオフセットを設定することができます。メールボックス 30 の TTT は、RFTROFF レジスタ値の符号拡張値を付加した後、CYCTR と比較されます。

ただし、TTT の値は変更されません。本オフセット値はメールボックス 30 にのみ影響します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTROFF[7:0]								－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～8	RFTROFF [7:0]	すべて 0	R/W	リファレンストリガオフセット値を示します。 00000000：ref_trigger_offset＝+0 00000001：ref_trigger_offset＝+1 00000010：ref_trigger_offset＝+2 ： 01111111：ref_trigger_offset＝+127 ： 11111111：ref_trigger_offset＝-1 11111110：ref_trigger_offset＝-2 ： 10000001：ref_trigger_offset＝-127
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

17.6.4 タイマステータスレジスタ（TSR）

TSR は、16 ビットの読み出し専用レジスタで、これにより CPU はタイマコンペアマッチ状態およびタイマオーバラン状態を監視することができます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	−	−	−	−	−	TSR4	TSR3	TSR2	TSR1	TSR0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～5	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
4	TSR4	0	R*	スタートシステムマトリックス 次のシステムマトリックスが開始したことを示します。 CCR＝0 のとき、本ビットはタイムリファレンスメッセージの送信／受信完了時にセットされます。 0：次のシステムマトリックスの先頭でない ［クリア条件］ IRR10（サイクルカウンタオーバフロー割り込みフラグ）に 1 を書き込む 1：サイクルカウンタが 0 になった ［セット条件］ サイクルカウンタの値が最大値（CMAX）から H'0 に変化 CMAX!＝B'111 かつ CCR＝0 のとき、タイムリファレンスメッセージの送信／受信が完了
3	TSR3	0	R*	タイマコンペアマッチフラグ 2 タイマコンペアマッチレジスタ 2（TCMR2）のコンペアマッチが発生したことを示します。TCMR2 に設定した値がサイクルタイムレジスタと一致（TCMR2＝CYCTR）したとき、TTCR0 のビット 12 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR11（タイマコンペアマッチ割り込み 2 フラグ）がクリアされるとクリアされます。 0：TCMR2 のタイマコンペアマッチが発生していない ［クリア条件］ IRR11（タイマコンペアマッチ割り込み 2 フラグ）に 1 を書き込む 1：TCMR2 のタイマコンペアマッチが発生 ［セット条件］ TTCR0 のビット 12 が 1 のとき TCMR2 がサイクルタイムと一致（TCMR2＝CYCTR）

ビット	ビット名	初期値	R/W	説　　明
2	TSR2	0	R*	タイマコンペアマッチフラグ 1 タイマコンペアマッチレジスタ 1（TCMR1）のコンペアマッチが発生したことを示します。TCMR1 に設定した値がサイクルタイムレジスタと一致（TCMR1＝CYCTR）したとき、TTCR0 のビット 11 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR15（タイマコンペアマッチ割り込み 1 フラグ）がクリアされるとクリアされます。 0：TCMR1 のタイマコンペアマッチが発生していない ［クリア条件］ IRR15（タイマコンペアマッチ割り込み 1 フラグ）に 1 を書き込む 1：TCMR1 のタイマコンペアマッチが発生 ［セット条件］ TTCR0 のビット 11 が 1 のとき TCMR1 がサイクルタイムと一致（TCMR1＝CYCTR）
1	TSR1	0	R*	タイマコンペアマッチフラグ 0 タイマコンペアマッチレジスタ 0（TCMR0）のコンペアマッチが発生したことを示します。TCM02 に設定した値がタイマ値と一致（TCMR0＝TCNTR）したとき、TTCR0 のビット 10 が 1 に設定されていれば本ビットがセットされます。本ビットは読み出し専用で、IRR14（タイマコンペアマッチ割り込み 0 フラグ）がクリアされるとクリアされます。 0：TCMR0 のタイマコンペアマッチが発生していない ［クリア条件］ IRR14（タイマコンペアマッチ割り込み 0 フラグ）に 1 を書き込む 1：TCMR0 のタイマコンペアマッチが発生 ［セット条件］ TTCR0 のビット 10 が 1 のとき TCMR0 がタイマ値と一致（TCMR0＝TCNTR）

ビット	ビット名	初期値	R/W	説　　明
0	TSR0	0	R*	タイマオーバラン／Next_is_Gap 受信／メッセージエラー 本フラグは 3 つの異なる機能が割り付けられています。イベントトリガモードで動作中にタイマオーバランが発生、タイムトリガモードで動作中に Next_is_Gap がセットされたタイムリファレンスメッセージを受信、およびテストモード中に CAN バス上で検出されたエラーが発生したことを示します。テストモードは他の設定よりも高い優先度を持ちます。 0：イベントトリガモードでタイマ(TCNTR)オーバランが発生していない タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信していない テストモードでメッセージエラーが発生していない ［クリア条件］ IRR13 に 1 を書き込む 1：［セット条件］ イベントトリガモードでタイマ（TCNTR）オーバランが発生し、H'FFFF から H'0000 に変化 タイムトリガモードで Next_is_Gap 付きタイムリファレンスメッセージを受信 テストモードでメッセージエラーが発生

【注】 * 本ビットは読み出し専用で、CPU はサイクルカウンタ、タイマ、およびコンペアマッチレジスタの状態を監視することができます。本ビットに対する書き込みは無効です。

17.6.5 サイクルカウンタレジスタ（CCR）

CCR は、6 ビットの読み出し／書き込み可能なレジスタです。

タイムトリガ送信のサイクルカウント値（Basic Cycle）を表示するためのレジスタです。

CCR の値は, RCAN-TL1 がポテンシャルタイムマスタとして動作するか、タイムスレーブとして動作するかにより、更新方法が変わります。CCR は以下のように更新されます。

RCAN-TL1 がタイムマスタ（ポテンシャル）として動作する場合：

- サイクルタイム（CYCTR）がメールボックス30の送信トリガタイムと一致するたびに+1増加

または

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値を上書き

RCAN-TL1 がタイムスレーブとして動作する場合：

- 有効なリファレンスメッセージを受信するたびにメールボックス31のMSG_DATA_0[5:0]の値で上書き

CMAX＝B'111 かつ TTCR0[15]＝0 の場合：

- CCRの値は常にB'000000

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	−	−	−	−	CCR[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～6	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5～0	CCR[5:0]	すべて 0	R/W	サイクルカウンタレジスタ タイムトリガ送信用マトリックスサイクルの現在のサイクルカウント数を示します。

17.6.6 タイマカウンタレジスタ（TCNTR）

TCNTR は、16 ビットの読み出し／書き込み可能なレジスタです。

TCNTR はフリーランニングタイマカウンタです。TTCR0[15]＝1 に設定することでタイマがカウントします。

タイマカウンタのプリスケーラは、RCAN-TL1 のトリガモードにより変わります。

- イベントトリガモード時（CMAX＝B'111）：TTCR0[5:0]のTPSC値
- タイムトリガモード時　（CMAX≠B'111）：CANバス 1 ビットタイミング

TTCR0[6]＝1 を設定時、TCNTR の値がタイマコンペアマッチレジスタ 0（TCMR0）と一致すると, TCNTR は H'0000 にクリアされカウントアップします。

タイムトリガモードでは, TCNTR はローカルタイム（Local time）として使用します。したがって、TTCR0[6]＝0 に設定してフリーランニングタイマとして動作させます。

【注】 1. TTCR0[15]＝0 の場合, TCNTR は常に H'0000 です。

2. タイマをイネーブル設定(TTCR0[15]＝1)してから TCNTR がカウントを開始するまで、数クロックサイクルの遅延があります。これはプリスケーラの内部論理に起因するものです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 本レジスタへの書き込みは、タイマイネーブル設定（TTCR0[15]＝1）されたときのみ可能です。
タイムトリガモード（CMAX が B'111 以外）では、書き込みは禁止です。

ビット	ビット名	初期値	R/W	説　　明
15～0	TCNTR[15:0]	H'0000	R/W	フリーランニングタイマの値を示します。

17.6.7 サイクルタイムレジスタ（CYCTR）

CYCTR は、サイクルタイムを示す 16 ビットの読み出し専用レジスタです。

Cycle_Time（CYCTR）＝Local_Time（TCNTR）－Reference_Mark（RFMK）

イベントトリガモードでは、RFMK は 0 に固定されるので本レジスタは TCNTR のコピーとなります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CYCTR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～0	CYCTR[15:0]	H'0000	R	サイクルタイムを示します。

17.6.8 リファレンスマークレジスタ（RFMK）

RFMK は、16 ビットの読み出し専用レジスタです。リファレンスメッセージが正常に送信または受信されたときに、リファレンスメッセージの SOF におけるローカルタイム（TCNTR）をキャプチャするためのレジスタです。イベントトリガモードでは本レジスタは使用せず、常に 0 にクリアされます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMK[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～0	RFMK[15:0]	H'0000	R	リファレンスマークレジスタ タイムリファレンスメッセージの SOF における TCNTR の値を示します。

17.6.9 タイマコンペアマッチレジスタ 0～2（TCMR0～2）

TCMR0～2 は、16 ビットの読み出し／書き込み可能なレジスタです。

割り込み信号の発生、タイマ値のクリア（TCMR0 のみサポート）、送信リクエストのクリア（TCMR2 のみサポート）を行うことが可能です。

TCMR0 は TCNTR と比較し、TCMR1 と TCMR2 は CYCTR と比較します。各コンペアマッチレジスタの比較値はそれぞれ独立に設定することができます。コンペアマッチのフラグをセットするには、TTCR0 のビット 12～10 をセットする必要があります。タイムトリガモードでは、TMCR0 は Init_Watch_Trigger、TCMR2 は Watch_Trigger に使用します。

（1） 割り込み機能

各レジスタの割り込みフラグは、TTCR0 のビット 12、ビット 11、ビット 10 を設定することで許可します。

コンペアマッチが発生すると、IRR の対応する割り込みフラグ（ビット 11、ビット 15、ビット 14）をセットします。

割り込み信号の発生は, IMR のビット 11、ビット 15、ビット 14 で抑止することができます。

コンペアマッチ発生時に IRR11（または IRR15 か IRR14）がセットされると、タイマステータスレジスタ（TSR）のビット 3、ビット 2、またはビット 1 もセットされます。また、IRR のビットをクリアすると、対応する TSR のビットもクリアされます。

（2） タイマクリア機能

TCMR0 のみコンペアマッチによるタイマ値（TCNTR）のクリア機能があります。TTCR0[6]＝1 設定時に有効です。TCMR1 と TCMR2 には本機能はありません。

（3） 送信リクエストされたメッセージのキャンセル機能

TCMR2 は、TTCR0[13:12]＝B'11 設定時に、ホルトモード以外で TCMR2 のコンペアマッチ発生時に TXPR 設定に対応する TXCR 設定を行います。したがって、送信中のメッセージを除き、送信待ちリクエストをキャンセルします。

TCMR1 と TCMR0 には本機能はありません。

- TCMR0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR0[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	TCMR0[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の TCNTR の値を示します。

- TCMR1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR1[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	TCMR1 [15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

- TCMR2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR2[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	TCMR2[15:0]	H'FFFF	R/W	タイマコンペアマッチレジスタ コンペアマッチ発生時の CYCTR の値を示します。

17.6.10 送信トリガタイムセレクトレジスタ（TTTSEL）

TTTSEL は、16 ビットの読み出し／書き込み可能なレジスタで、サイクルタイムとコンペアマッチさせる送信トリガタイムを指定します。1 ビットのみセットできます。複数のビットをセットしないでください。また、すべてのビットをクリアしないでください。本レジスタは, コンフィギュレーションモードでのみ変更することができます。変更時のアルゴリズムを図 17.14 に示します。

TTTSEL はテストおよび診断専用です。通常動作時は書き込まないでください。また、読み出し値は保証されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	TTTSEL[14:8]							－	－	－	－	－	－	－	－
初期値：	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

【注】　1 ビットのみセット可能。

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
14～8	TTTSEL [14:8]	B'1000000	R/W	CYCTR とコンペアマッチさせる送信トリガタイムを指定します。ビット 14～8 は、メールボックス 30～24 に対応しています。
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。.

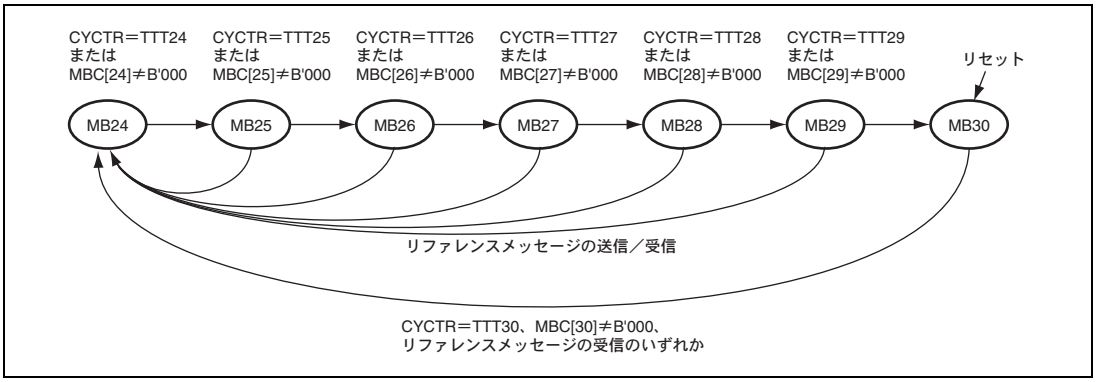


図 17.14　TTTSEL 変更アルゴリズム

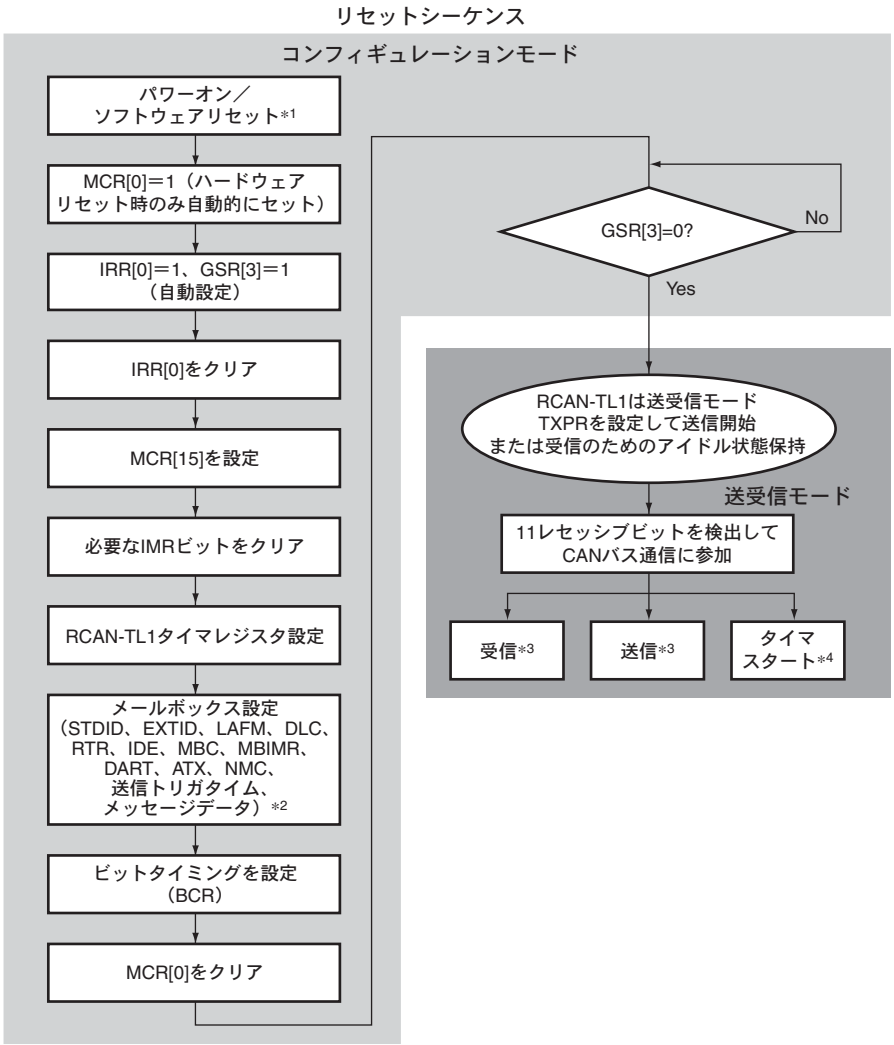
17.7 動作説明

17.7.1 RCAN-TL1 の設定

ハードウェアリセット（パワーオンリセット）またはソフトウェアリセット（MCR0）後のコンフィギュレーションモードおよびホルトモード時の RCAN-TL1 の設定について説明します。どちらの場合も RCAN-TL1 は CAN バスアクティビティに参加できません。また、RCAN-TL1 の設定の変更が CAN バス上の通信に影響を与えることはありません。

（1） リセットシーケンス

図 17.15 にソフトウェアリセットまたはハードウェアリセット後の RCAN-TL1 の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-TL1 を設定する必要があります。詳細については図中の注を参照してください。



【注】 *1 ソフトウェアリセットは、MCR[0]＝1を設定することによりいつでも実行できます。
*2 メールボックスはRAMで構成されていますので、すべてのメールボックスを初期化してください。
初期化せずに読み出しを行うと、パリティエラーが発生する可能性があります。
*3 TXPRビットが1つもセットされていないとRCAN-TL1は次のメッセージの受信をします。TXPRが設定されているとRCAN-TL1はメッセージの送信を開始し、CANバスによってアービトレーションされます。アービトレーションに負けると受信状態になります。
*4 タイマコントロールレジスタおよび送信トリガタイムを設定した後、タイマはいつでも動作を開始することができます。

図 17.15 リセットシーケンス

（2） ホルトモード

RCAN-TL1 はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN-TL1 がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません（CAN バスがアイドルまたは休止状態のときに遷移します）。RCAN-TL1 がホルトモードに遷移すると GSR4 ビットがセットされます。

レジスタ設定終了後はホルトリクエストを解除する必要があります。ホルトリクエスト解除後（MCR1＝0 か GSR4＝0）に RCAN-TL1 は CAN バス上で 11 レセッシブビットを検出した後 CAN バスアクティビティに参加します。

(3) CAN スリープモード

CAN スリープモード中では、RCAN-TL1 の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 17.16 に RCAN-TL1 の CAN スリープモードのフローチャートを示します。

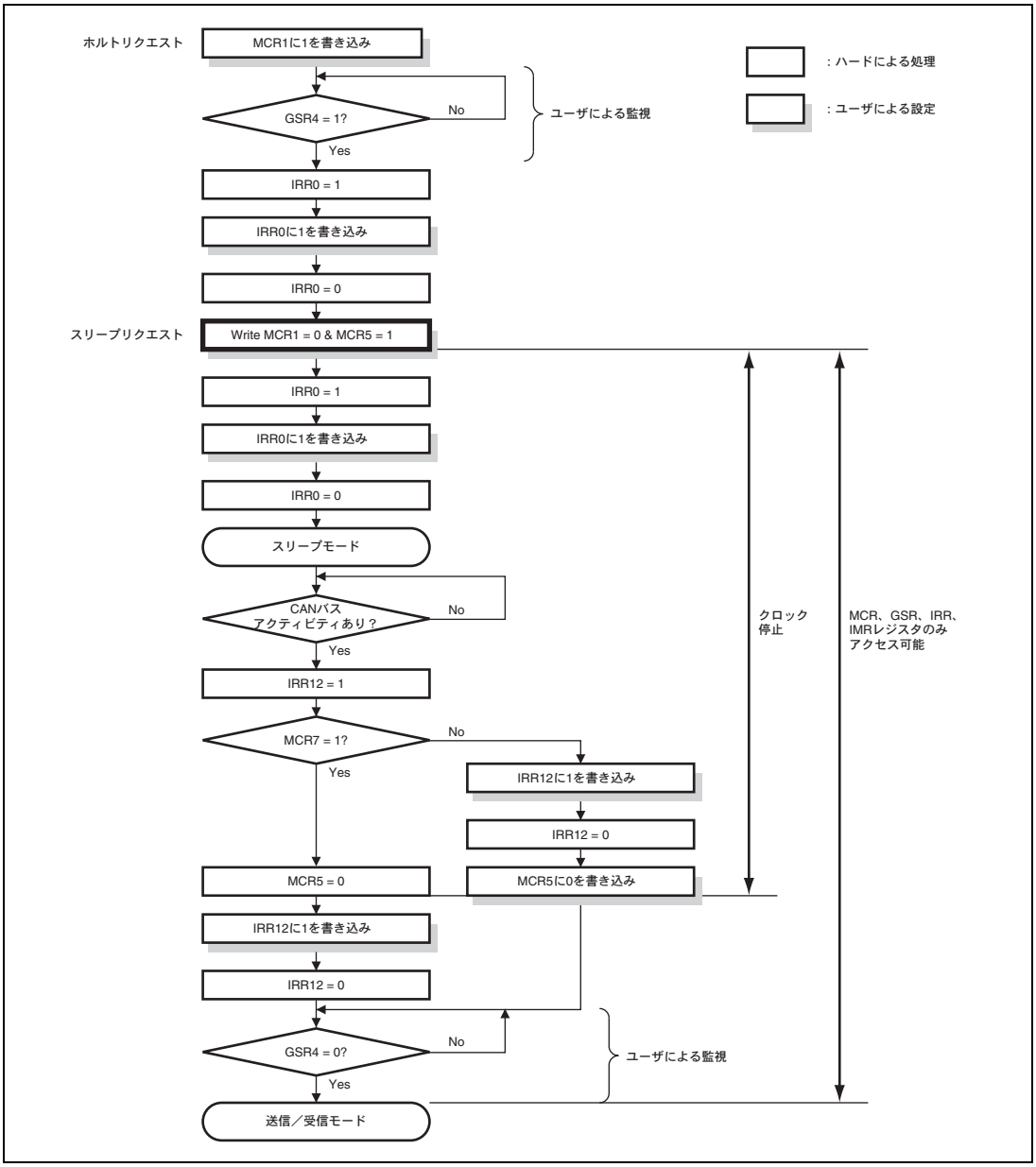
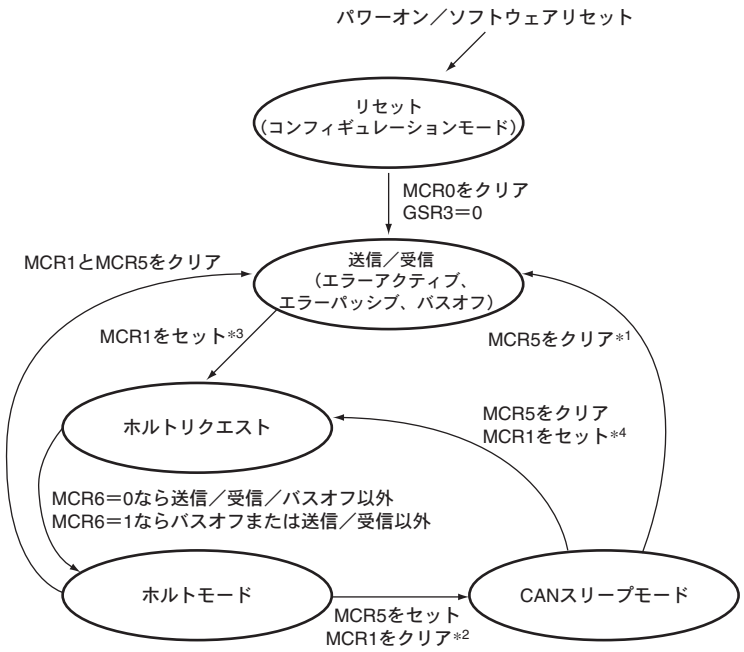


図 17.16 CAN スリープモードのフローチャート

図 17.17 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5（CAN スリープモード）ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前に必ず GSR4 がセットされ、RCAN-TL1 がホルトモードになっていることを確認してください。



【注】*1 MCR5は、MCR7がセットされた状態でCANバス上にドミナントビットを検出すると自動的にクリアされます。また、0を書き込んでもクリアできます。

*2 MCR1はソフトウェアでクリアします。MCR1のクリアおよびMCR5のセットは同じ命令で行う必要があります。

*3 MCR1はGSR4がセットされる前にソフトウェアでクリアしないでください。MCR14およびMCR6がともにセットされた状態でRCAN-TL1がバスオフモードに遷移すると、MCR1はハードウェアで自動的にセットされます。

*4 MCR5のクリアとMCR1のセットを同時に行うと、RCAN-TL1はホルトリクエスト状態になります。その直後、送受信せずにホルトモードに遷移します。

図 17.17 状態遷移図

各モードでの書き換えを許可する条件を**表 17.9** に示します。

表 17.9 レジスタ書き換え許可条件

<table>
<tr><th rowspan="2">ステータス
モード</th><th colspan="10">レジスタ</th></tr>
<tr><th>MCR、
GSR</th><th>IRR、
IMR</th><th>BCR</th><th>MBIMR
タイマ
TT レジ
スタ</th><th>フラグ
レジスタ</th><th colspan="2">メール
ボックス
(コント
ロール 0、
LAFM)</th><th>メール
ボックス
(データ)</th><th colspan="2">メール
ボックス
(コント
ロール 1)</th><th>メール
ボックス
(トリガ
タイム、
TT コント
ロール)</th></tr>
<tr><td>リセット</td><td>Yes</td><td>Yes</td><td>Yes</td><td>Yes</td><td>Yes</td><td colspan="2">Yes</td><td>Yes</td><td colspan="2">Yes</td><td>Yes</td></tr>
<tr><td>送信／
受信</td><td>Yes</td><td>Yes</td><td>No</td><td>Yes</td><td>Yes</td><td>No</td><td>Yes
</td><td>Yes</td><td>No</td><td>Yes
</td><td>Yes</td></tr>
<tr><td>ホルト
リクエスト</td><td>Yes</td><td>Yes</td><td>No</td><td>Yes</td><td>Yes</td><td>No</td><td>Yes
</td><td>Yes</td><td>No</td><td>Yes
</td><td>Yes</td></tr>
<tr><td>ホルト
モード</td><td>Yes</td><td>Yes</td><td>No</td><td>Yes</td><td>Yes</td><td colspan="2">Yes</td><td>Yes</td><td colspan="2">Yes</td><td>Yes</td></tr>
<tr><td>CAN
スリープ
モード</td><td>Yes</td><td>Yes</td><td>No</td><td>No</td><td>No</td><td colspan="2">No</td><td>No</td><td colspan="2">No</td><td>No</td></tr>
</table>

【記号説明】

Yes：書き換えを許可するレジスタ

No：書き換えを禁止するレジスタ

【注】 * TXPR がセットされていない場合

17.7.2 テストモードの設定

RCAN-TL1 には種々のテストモードがあります。テストモードの選択は MCR レジスタの TST[2:0]ビットで行います。RCAN-TL1 は、デフォルト（初期値）ではノーマルモードで動作します。

表 17.10 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除（BCR0/BCR1 が設定されていることを確認）してください。

表 17.10 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード（受信専用モード）
0	1	0	セルフテストモード 1（外部）
0	1	1	セルフテストモード 2（内部）
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

  RCAN-TL1は通常の動作をします。

- リスンオンリモード

  ボーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTxn（n＝A、B）出力を禁止し、RCAN-TL1によるエラーフレームやアクノリッジビットの生成を抑止します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード（外部）

  RCAN-TL1自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-TL1の受信メールボックスに格納します。CRxn/CTxn（n＝A、B）端子は必ずCANバスに接続してください。

- セルフテストモード（内部）

  RCAN-TL1自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-TL1の受信メールボックスに格納します。内部CTxn（n＝A、B）が内部CRxn（n＝A、B）にループバックされるため、CRxn/CTxn（n＝A、B）端子をCANバスその他の外部デバイスに接続する必要はありません。CTxn（n＝A、B）端子はレセッシブビットのみ出力し、CRxn（n＝A、B）端子は無効となります。

- ライトエラーカウンタ

  TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-TL1を強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込

まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-TL1を強制的にエラーワーニングモードにすることができます。
TEC/RECに書き込む際はRCAN-TL1がホルトモードでなければなりません（エラーカウンタ書き込み時にMCR1＝1）。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

  RCAN-TL1は強制的にエラーパッシブモードにすることができます。
  エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-TL1はバスオフ状態になりますが、本モードを使用するとRCAN-TL1はエラーアクティブになることができません。したがってRCAN-TL1はバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードで IRR13 ビットがセットされます。

17.7.3 メッセージ送信シーケンス

（1） メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスの例を図 17.18 に示します。

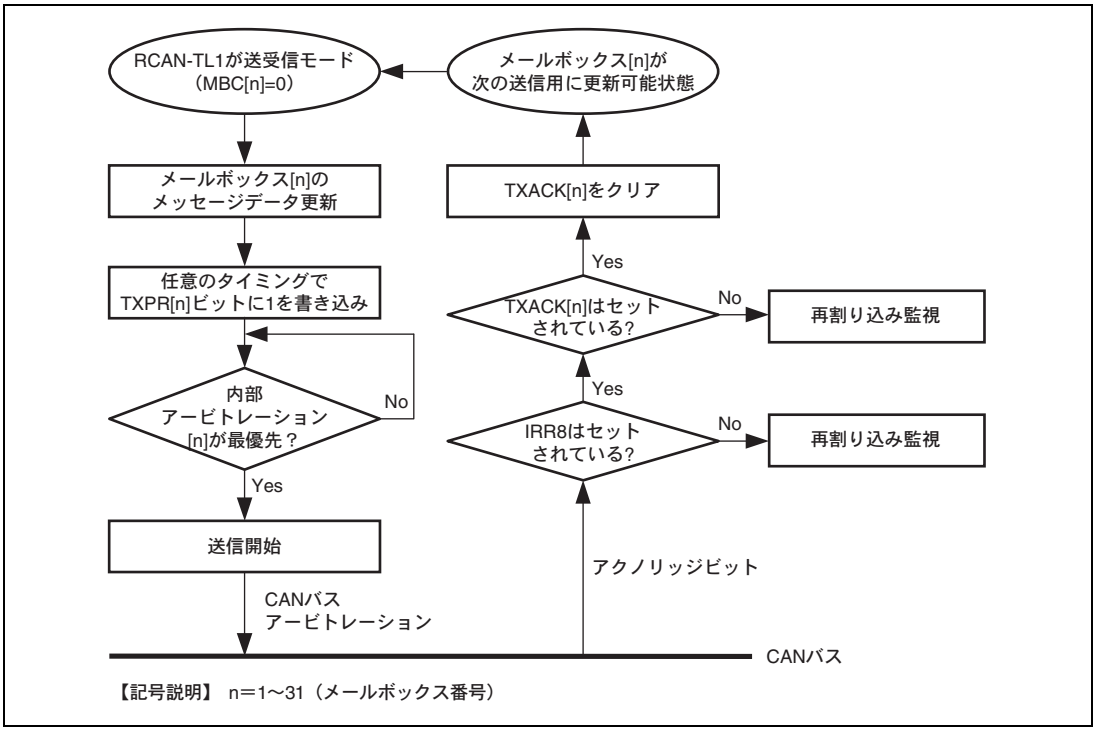


図 17.18 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない（すべての TXPR フラグがセットされていない）ことを示しています。

（2） 送信用内部アービトレーション

図 17.19 は、RCAN-TL1 がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

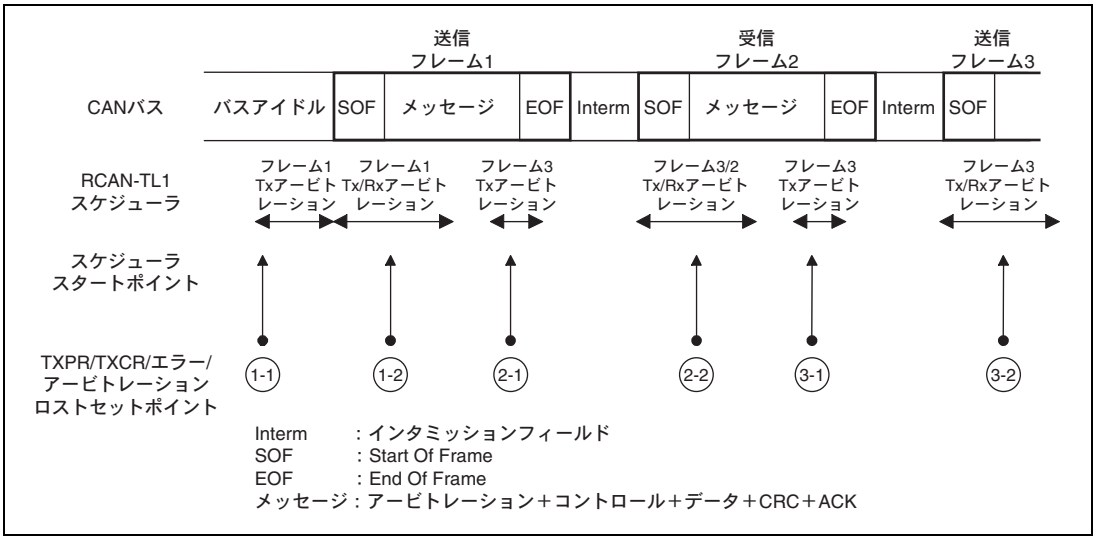


図 17.19 送信用内部アービトレーション

1-1 ：CAN バスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。

1-2 ：SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-TL1 は送信を行います。

2-1 ：CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。

2-2 ：SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-TL1 は受信を行います。このため、フレーム 3 を送信せずに受信を行います。

3-1 ：CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。

3-2 ：SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-TL1 は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションは CRC のデリミタで行われるため、ATX＝1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応えて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアボート処理が行われます。

（3） タイムトリガ送信

RCAN-TL1 は、ISO-11898-4 TTCAN Level 1 の仕様に準拠したタイムトリガモード通信を、ハードウェアでサポートしています。

ここでは、タイムトリガモードを使用するための基本的な手順を記します。

- **タイムトリガモードの設定**

タイムトリガモードをセットアップするには以下の設定が必要です。

- CMAX_TEWのCMAXをB'111以外の値に設定
- TTCR0のビット15をセットし、TCNTRの動作を開始
- コンペアマッチでTCNTRがクリアされないように、TTCR0のビット6をクリア
- タイムトリガ送信をするメールボックスのTXPRは、定周期送信を行うためにクリアされません。

- **各レジスタの役割**

RCAN-TL1 のユーザレジスタを使用して､TTCAN 規格が要求する主な機能を扱うことができます。

TCNTR	Local_Time
RFMK	Ref_Mark
CYCTR	サイクルタイム＝TCNTR - RFMK
RFTROFF	メールボックス 30 の Ref_Trigger_Offset
メールボックス 31	タイムリファレンスメッセージ専用受信メールボックス
メールボックス 30	タイムリファレンスメッセージ専用送信メールボックス (ポテンシャルタイムマスタとして動作する場合)
メールボックス 29～24	タイムトリガ送信対応のメールボックス
メールボックス 23～16	タイムスタンプなしの受信対応のメールボックス （イベントトリガ送信用メールボックスとして使用することもできます。）
メールボックス 15～0	タイムスタンプ付き受信対応のメールボックス （イベントトリガ送信用メールボックスとして使用することもできます。）
Tx-Trigger Time	メッセージを送信するタイミングを指定する Time_Mark
CMAX	ポテンシャルタイムマスタとして動作する場合のサイクルカウント数(Basic Cycle)の最大値を指定
TEW	Tx_Enable_Window 幅を指定
TCMR0	Init_Watch_Trigger (ローカルタイムとコンペアマッチ)
TCMR1	ユーザ指定イベント監視用にサイクルタイムとコンペアマッチ
TCMR2	Watch_Trigger (サイクルタイムとコンペアマッチ) 待ち状態にある送信をすべてアボートするように設定することができます。
TTW	送信に使用するタイムウィンドウの属性を指定
TTTSEL	次の送信待ちメールボックスを指定

- **タイムマスタ／タイムスレーブ**

RCAN-TL1 は、ネットワークのポテンシャルタイムマスタまたはタイムスレーブとして動作するように設定することができます。各モードに必要な設定と RCAN-TL1 が自動的に行う処理を下記の表に示します。

モード	設定	機　　能
タイム スレーブ	TXPR[30]＝0 & MBC[30]≠B'000 & CMAX≠B'111 & MBC[31]＝B'011	CAN バス上で SOF が検出される度に TCNTR をサンプリングし、内部レジスタに格納します。メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、TCNTR の値(SOF で格納)を Ref_Mark（RFMK）にコピーします。 受信したリファレンスメッセージのサイクルカウンタ値（CCR）を自ノードのサイクルカウンタレジスタ（CCR）にコピーします。 Next_is_Gap＝1 ならば IRR13 をセットします。
(ポテンシャル) タイムマスタ	TXPR[30]＝1 & MBC[30]＝B'000 & DLC[30]>0 & CMAX≠B'111 & MBC[31]＝B'011	以下の 2 つの場合があります。 （1）メールボックス 31 が有効なタイムリファレンスメッセージを受信すると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark（RFMK）にコピーします。受信したリファレンスメッセージのサイクルカウンタ値（CCR）を自ノードのサイクルカウンタレジスタ（CCR）にコピーし、Next_is_Gap＝1 ならば IRR13 をセットします。 （2）メールボックス 30 からタイムリファレンスメッセージが送信されると、SOF で内部レジスタに格納した TCNTR の値を Ref_Mark（RFMK）にコピーします。メールボックス 30 の TTT が CYCTR に一致するとサイクルカウンタ（CCR）をインクリメントします。 サイクルカウンタ（CCR）はタイムリファレンスメッセージの最初のデータバイト（Data0[7:6]、CCR[5:0]）に組み込まれます。

- **送信トリガタイムの設定**

送信トリガタイム（TTT）は、以下に示すように昇順に設定してください。TTT 間の差分は、次の式を満たす必要があります。式中の TEW はレジスタ値です。

TTT（メールボックス 24）＜TTT（メールボックス 25）＜TTT（メールボックス 26）＜
TTT（メールボックス 27）＜TTT（メールボックス 28）＜TTT（メールボックス 29）＜
TTT（メールボックス 30）
かつ
TTT（メールボックス n）- TTT（メールボックス n-1）＞TEW ＋ 最大フレーム長 ＋9
n＝25～30

ポテンシャルタイムマスタとして動作する場合、TTT（メールボックス 24）～TTT（メールボックス 29）は Time_Mark に、TTT（メールボックス 30）は Basic_Cycle length を示す Time_Ref に対応しています。

上記の制約は、タイムトリガ送信に設定されたメールボックスにのみ適用されます。

【重要】 送信トリガタイム設定の制約により、1 つのタイムウィンドウに割り付けることのできるメールボックスは 1 つのみとなります。

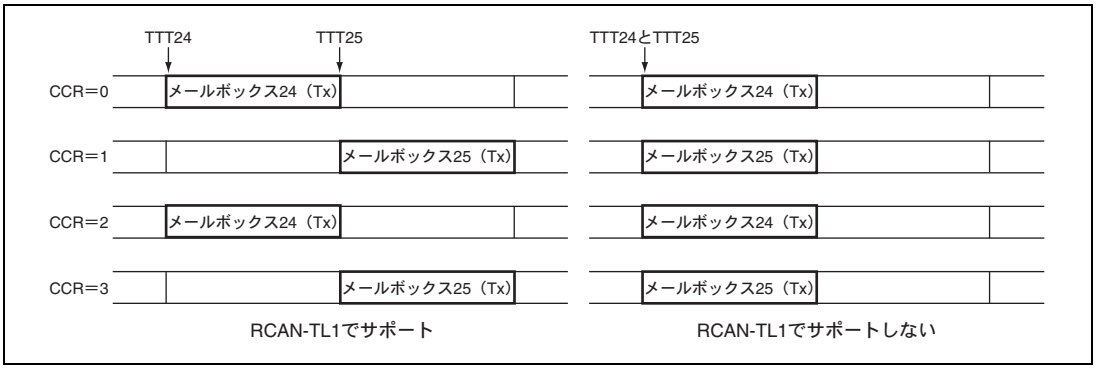


図 17.20　送信トリガタイムの制約

Watch_Trigger としての TCMR2 の値は, 1Basic_Cycle length を示す TTT（メールボックス 30）より大きくなければなりません。

図 17.21、図 17.22 に、（ポテンシャル）タイムマスタおよびタイムスレーブの設定例を示します。図中の L は、タイムリファレンスメッセージの時間長です。

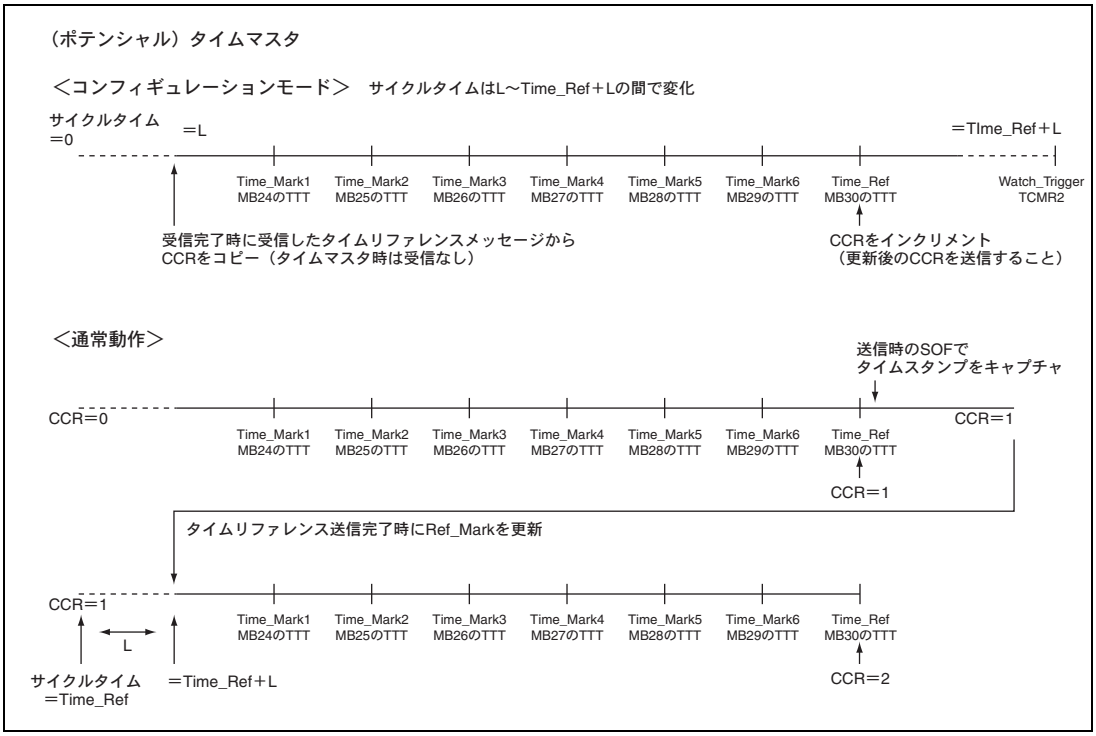


図 17.21　（ポテンシャル）タイムマスタ

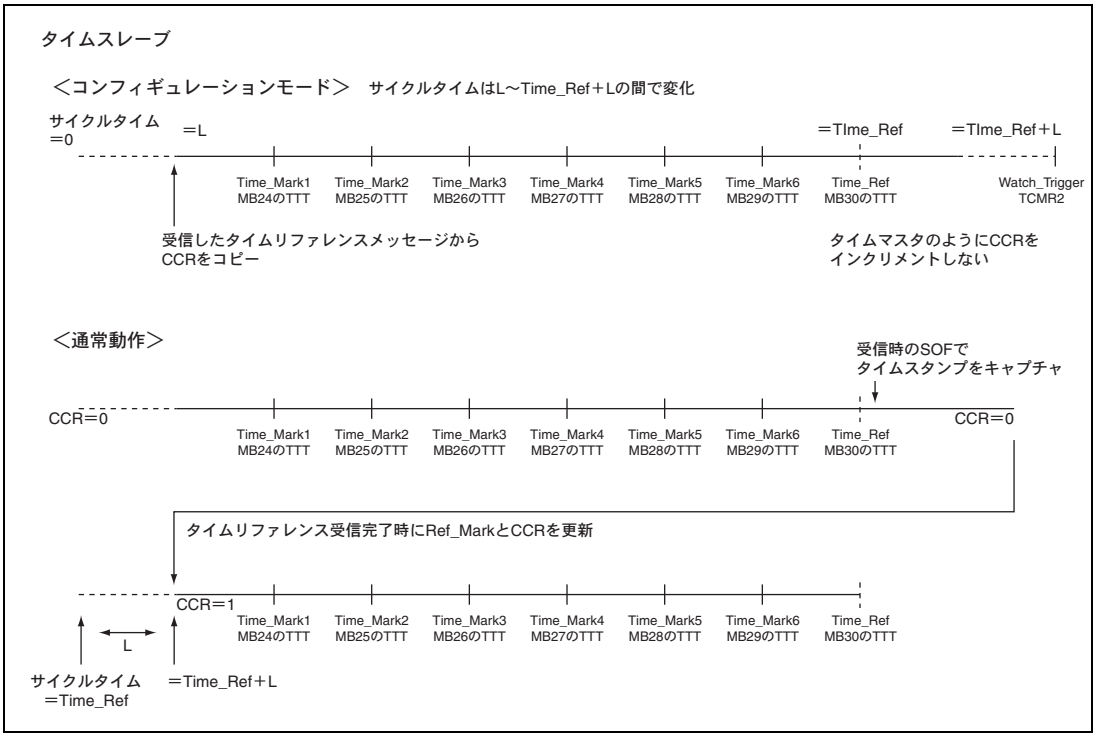


図 17.22 タイムスレーブ

- **ソフトウェアで実装する機能**

TTCAN の機能には、ソフトウェアで実装する必要のあるものがあります。主な機能を以下に示します。詳細は ISO-11898-4 を参照してください。

- Init_Watch_TriggerからWatch_Triggerへの変更

RCAN-TL1 では、Init_Watch_Trigger および Watch_Trigger のハードウェアサポートとしてそれぞれ TCMR0 レジスタと TCMR2 レジスタを用意しています。CAN バス上で最初のリファレンスメッセージが検出されるまで TCMR0 を有効かつ TCMR2 を無効にし、その後 TCMR0 を無効かつ TCMR2 を有効にする制御はソフトウェアで行います。（スケジュール同期化ステートマシーン）

Next_is_Gap 受信割り込みのみサポートしています。アプリケーションにて、対応する TXCR フラグをセットすることにより、現在の Basic_Cycle の終了時にすべての送信を停止する必要があります。

マスタ／スレーブモード制御

自動サイクルタイム同期と CCR のインクリメントのみサポートしています。

- メッセージステータスカウント

エクスクルーシブウィンドウの定周期メッセージに関するスケジュールエラーを、ソフトウェアでカウントする必要があります。

- **タイムトリガ通信のメッセージ送信リクエスト**

タイムトリガモードを使用する場合, ISO11898-4 の要求事項を満たさなければなりません。
以下の手順を行ってください。

1. RCAN-TL1をリセットまたはホルトモードにする
2. TCMR0にInit_Watch_Trigger（H'FFFF）を設定
3. TTCR0のビット10でTCMR0によるコンペアマッチを有効に設定
4. TCMR2に指定のWatch_Trigger 値を設定
5. TTCR0のビット12を0に保持し、TCMR2によるコンペアマッチを無効にする。
6. CMAXに必要な値を設定（B'111以外）
7. TEWに必要な値を設定
8. メールボックスをタイムトリガ送信および受信に設定する
9. メールボックス31のLAFMを下位3ビットに対して設定
10. MCR、BCR1、BCR0に必要な値を設定
11. ポテンシャルタイムマスタとして動作する場合は下記を設定

- RFTROFFに必要なInit_Ref_Offset値を設定
- メールボックス30のTXPRをセット
- TTTSELにH'4000を書き込む

12. TTCR0のビット15でタイマTCNTRをイネーブルにする
13. 通常モードに移行
14. 有効なリファレンスメッセージが送信または受信されるのを待つ、もしくはTCMR0のコンペアマッチを待つ
15. ローカルタイム（TCNTR）がTCMR0の値に一致したら、Init_Watch_Triggerに到達したことを意味し、アプリケーションでメールボックス30のTXCRをセットし再び開始する
16. リファレンスメッセージが送信されたら（TXACK[30] がセットされた）、RFTROFFを0に設定
17. 有効なリファレンスメッセージを受信したら（RXPR[31] がセットされた）、下記を行う

- メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも高ければ（ポテンシャルタイムマスタとして動作する場合）、RFTROFFの値をInit_Ref_Offsetに保持
- メールボックス31のIDの下位3ビットの優先度がメールボックス30の下位3ビットよりも低ければ（ポテンシャルタイムマスタとして動作する場合）、RFTROFFの値を1デクリメント

18. TTCR0のビット10をクリアし、TCMR0 によるコンペアマッチを無効にする
19. TTCR0のビット12をセットし、TCMR2 によるコンペアマッチを有効にする
20. CANバス上でリファレンスメッセージを2個検出（送信または受信）した後, アプリケーションで他のタイムトリガメールボックスのTXPRをセットすることができます。

CAN バス上でリファレンスメッセージが検出されずに、サイクルタイム CYCTR が TCMR2 の値に到達した場合はいつでも、RCAN-TL1 は待ち状態の送信（リファレンスメッセージを含む）をすべて自動的にアボートします。

タイムトリガモードでさらに送信を要求するときのシーケンスを以下に示します。

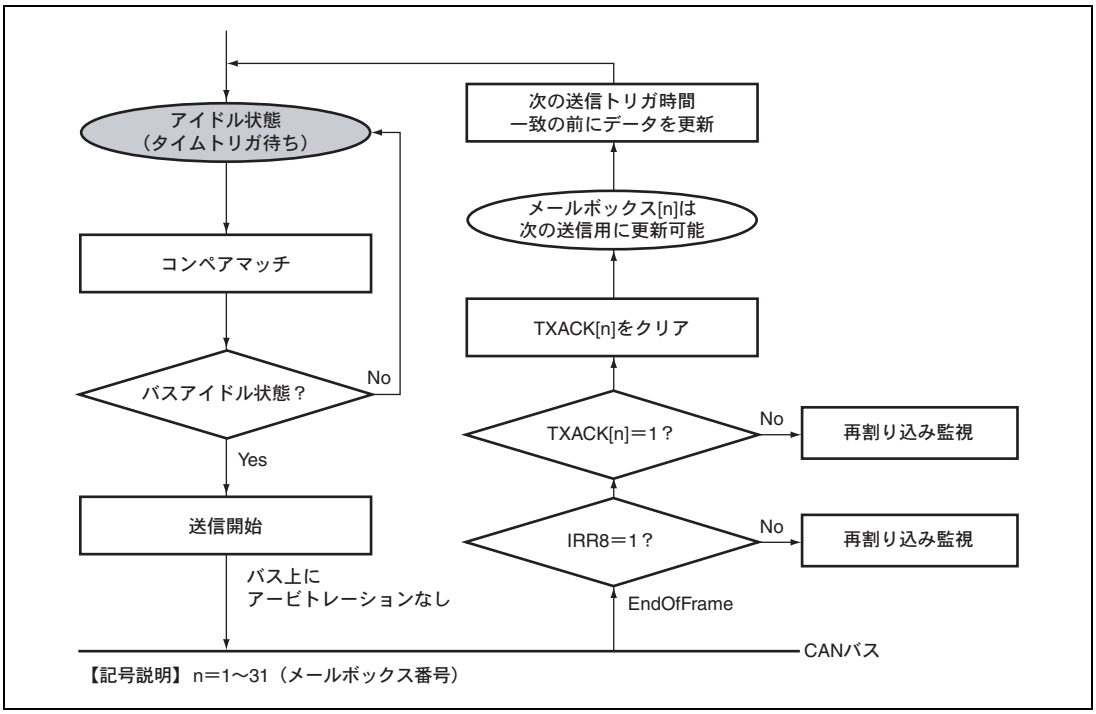


図 17.23 メッセージ送信リクエスト

ソフトウェアは、送信トリガが発生する前にメッセージの更新が確実に行われるようにしなければなりません。CYCTR がメールボックスの TTT（送信トリガタイム）に到達し、CCR がプログラムされた送信用サイクルに一致すると、RCAN-TL1 はただちに送信バッファにメッセージを転送します。

この時点で、RCAN-TL1 は指定された Tx_Enable Window 内で送信を試みます。このタイムスロットを逃すと、送信が定周期の場合（メールボックス 24～30）、RCAN-TL1 は対応する TXPR ビットを 1 に保持し送信リクエストを次の送信トリガまで保留します。

RCAN-TL1 が上記のタイムスロットを逃す 3 つの要因があります。

1. CANバスが使用中
2. タイムトリガメッセージ送信中にCANバス上にエラーが発生
3. タイムトリガメッセージ送信中にアービトレーションロストが発生

マージドアービトレイティングウィンドウ（Merged Arbitrating Window）の場合, この送信スロットは、ウィンドウを開始した(TTW＝B'10)メールボックスの送信トリガから、ウィンドウを終了する（TTW＝B'11）メールボックスの TEW の最後までです。TXPR はいつでも変更可能です。RCAN-TL1 は、タイムトリガメッセージの送信が常に正しくスケジュールされるようにしますが、正確なスケジュールを保証するため、以下に示す重要な規則があります。

- TTT（送信トリガタイム）は、コンフィギュレーションモードで変更可能。
- Basic_Cycle lengthサイクルカウンタ（Basic Cycle）長を指定するTime_Refを超えるTTTの設定は不可。
  違反すると、スケジューリングで問題が発生します。
- 定周期送信では、TXPRは自動的にクリアされません。定周期送信をキャンセルする必要がある場合は、アプリケーションで対応するTXCRビットをセットします。

- **タイムトリガシステムの例**

タイムスレーブモードの RCAN-TL1 を使用して､タイムトリガシステムが動作する簡単な例を下図に示します。

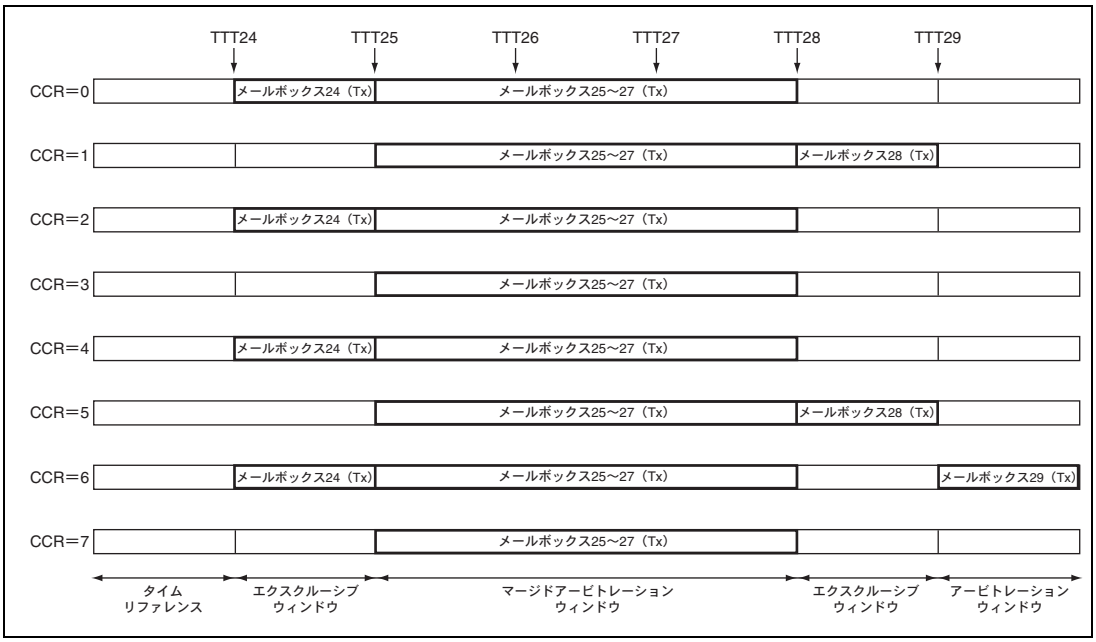


図 17.24　タイムスレーブとしてのタイムトリガシステム例

図 17.24 の例で使用する値を表 17.11 に示します。

表 17.11 例で使用する設定値

	rep_factor (レジスタ)	Offset		TTW[1:0]	MBC[2:0]
メールボックス 24	B'001	B'000000		B'00	B'000
メールボックス 25	B'000	B'000000		B'10	B'000
メールボックス 26	B'000	B'000000		B'10	B'000
メールボックス 27	B'000	B'000000		B'11	B'000
メールボックス 28	B'010	B'000001		B'00	B'000
メールボックス 29	B'011	B'000110		B'01	B'000
メールボックス 30	-	-		-	B'111
メールボックス 31	-	-		-	B'011

【注】 CMAX＝B'011,TXPR[30]＝0

マージドアービトレイティングウィンドウ内では、タイムトリガ送信リクエストは FCFS（First Come First Served）で処理されます。たとえば, メールボックス 25 が送信トリガタイム 25（TTT25）と送信トリガタイム 26（TTT26）の間で送信できなかった場合、TTT26－TTT28 間ではメールボックス 25 はメールボックス 26 より優先度が高くなります。

タイムトリガ送信を無効にするには、MBC を B'111 に設定します。RCAN-TL1 がタイムマスタの場合、MBC[30]＝B'000 としなければはらず、タイムリファレンスウィンドウは自動的にアービトレイティングウィンドウと認識されます。

- **タイマ動作**

図 17.25 にタイマのタイミング図を示します。送信トリガタイム＝n と設定すると、タイムトリガ送信は、CYCTR＝n＋2 から CYCTR＝n＋3 の間に開始します。

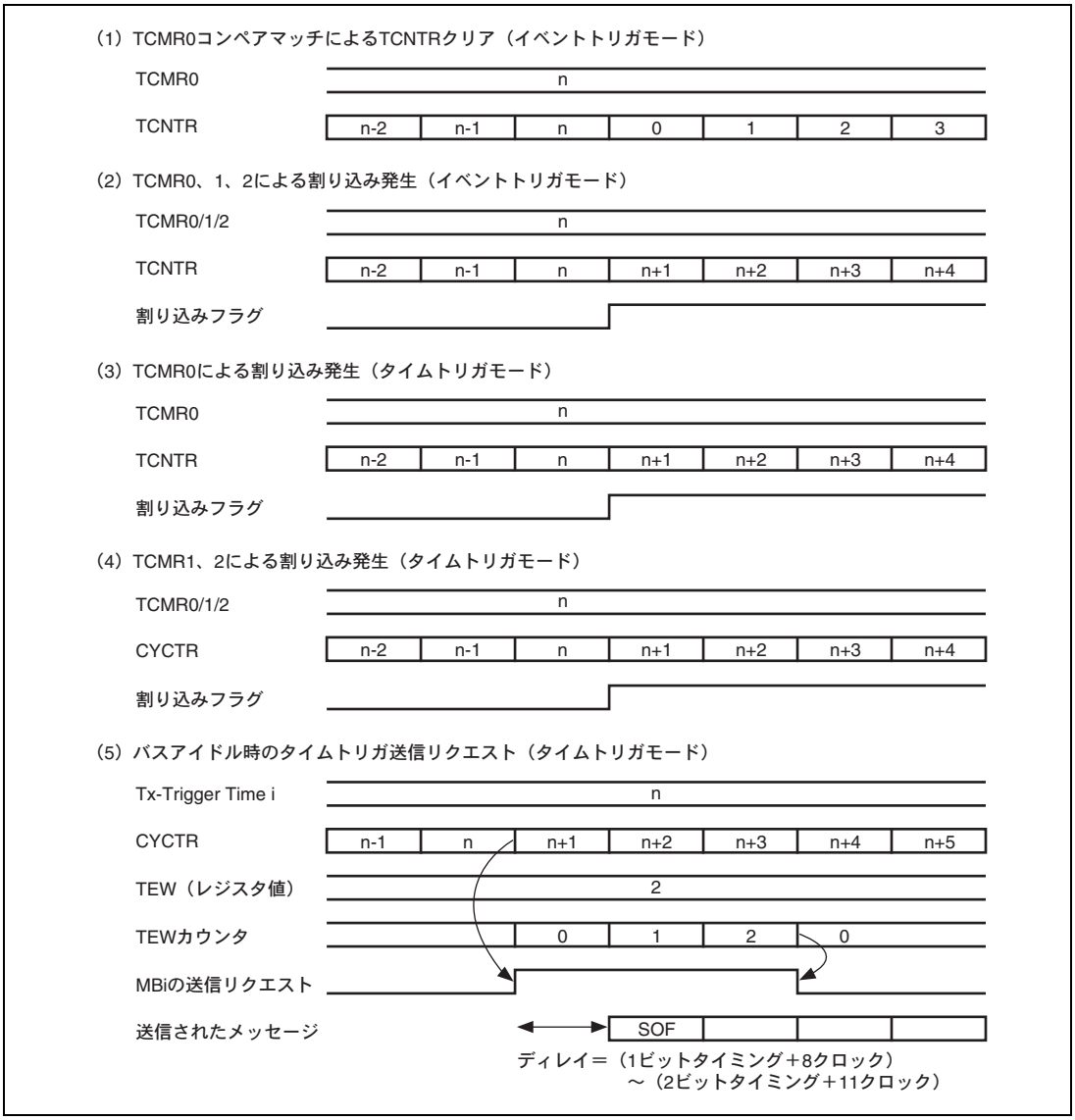


図 17.25 タイマのタイミング図

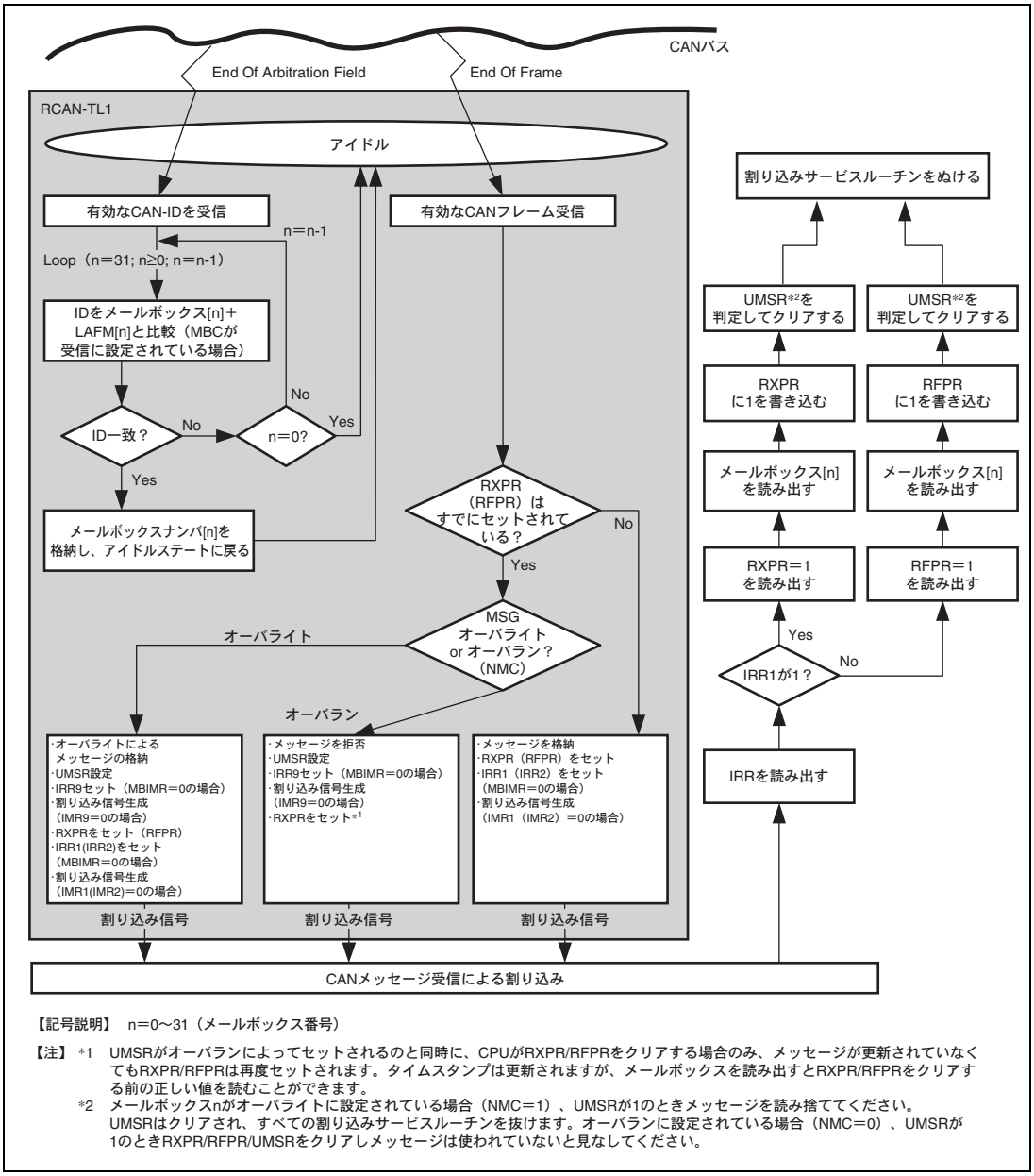
マージドアービトレイティングウィンドウ内では、イベントトリガ送信はタイマトリガ送信完了後に処理されます。たとえば, メールボックス 25 の送信が完了したときに CYCTR が TTT26 に到達していないと、MCR2 で指定したメッセージ送信の優先順位により、イベントトリガ送信が開始します。タイマトリガ送信の TXPR は送信完了後にクリアされませんが, イベントトリガ送信の TXPR は送信完了後にクリアされます。

マージドアービトレイティングウィンドウを閉じるメールボックスの TXPR がセットされない場合は、そのメールボックスの TTT の後に続く TEW の最後でマージドアービトレイティングウィンドウが閉じます。

「17.3.1 **メールボックスの構成**」の**表** 17.3 を参照してください。.

17.7.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 17.26 に示します。



【記号説明】 n=0～31（メールボックス番号）

【注】 *1 UMSRがオーバランによってセットされるのと同時に、CPUがRXPR/RFPRをクリアする場合のみ、メッセージが更新されていなくてもRXPR/RFPRは再度セットされます。タイムスタンプは更新されますが、メールボックスを読み出すとRXPR/RFPRをクリアする前の正しい値を読むことができます。

*2 メールボックスnがオーバライトに設定されている場合（NMC=1）、UMSRが1のときメッセージを読み捨ててください。UMSRはクリアされ、すべての割り込みサービスルーチンを抜けます。オーバランに設定されている場合（NMC=0）、UMSRが1のときRXPR/RFPR/UMSRをクリアしメッセージは使われていないと見なしてください。

図 17.26 メッセージ受信シーケンス

メッセージを受信中に RCAN-TL1 がアービトレーションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 31 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 31（受信用に設定されている場合）の ID を読み込み、受信した ID と比較します。一致しない場合は、メールボックス 30（受信用に設定されている場合）に対して同じチェックを行います。一致する ID を見つけると RCAN-TL1 はそのメールボックス番号（n）を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF（End Of Frame）を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-TL1 のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。受信メッセージを対応するメールボックスに書き込むときに、メッセージ ID を含めて書き込まれるため、LAFM を使用するときは CAN-ID が異なる CAN-ID でオーバライトされることがあります。これはまた、受信したメッセージの ID が複数のメールボックスの ID＋LAFM と一致する場合には、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 17.26 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバライトされること（NMC が 1 のとき）を検出するためです。UMSR の最後のチェック中にオーバライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

メールボックスがオーバランに（NMC＝0）設定されているときは、UMSR がセットされた場合のメッセージは有効です。しかし、CAN バスでモニタされた最新のメッセージではなく古いメッセージです。メッセージの読み出しは、関連する RXPR/RFPR フラグをクリアする前に行ってください。

受信したリモートフレームがデータフレームでオーバライトされた場合、リモートフレーム受信割り込み（IRR2）およびデータフレーム受信割り込み（IRR1）がセットされ、受信フラグ（RXPR、RFPR）もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバライトされた場合も IRR2 と IRR1 がセットされます。

メッセージを受信しメールボックスに格納すると、受信されなかったデータフィールドはすべて 0 として格納されます。スタンダード ID を受信した場合も同様です。エクステンデッド ID（EXTID[17:0]）には 0 が書き込まれます。

17.7.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

（1） 送信ボックスの設定変更

下記の 2 つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

  MBC＝B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定（MBCを除く）はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

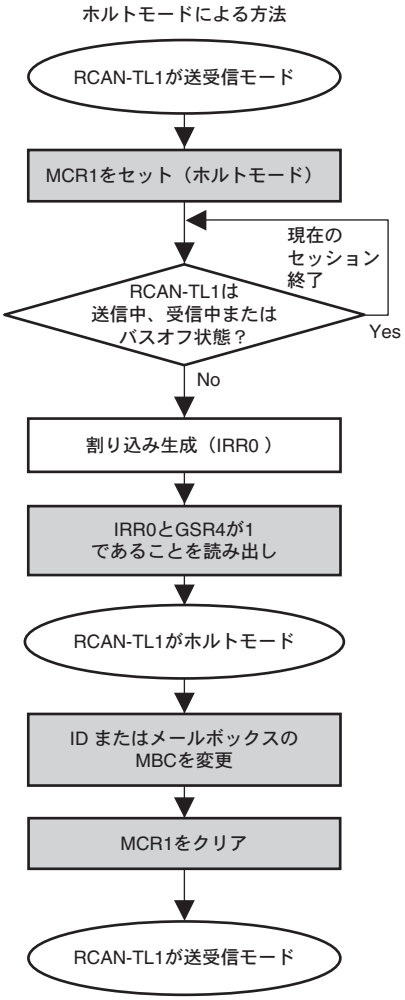
  対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-TL1がメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

  RCAN-TL1がバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

（2） 受信ボックスの ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBC の設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージが CAN バス上にあり RCAN-TL1 が受信モードの場合、そのメッセージを逃すことはありません。RCAN-TL1 は現在行っている受信を完了してからホルトモードに遷移します。RCAN-TL1 がメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-TL1 がバスオフ状態の場合、ホルト状態への遷移は MCR レジスタのビット 6 およびビット 14 の設定に従います。



【注】 グレー表示のボックスはソフトウェア（CPU）で行ってください。

図 17.27　受信ボックスの ID 変更／受信ボックスから送信ボックスへの変更

17.8 パリティ検出

メールボックス（RAM）への書き込みに対して、パリティを付加し、読み出しのときにエラー検出を行います。パリティエラー発生時は MBECR の設定により、割り込みを発生させる／発生させないの選択が可能です。

パリティ付加：8 ビットごとに 1 ビットのパリティを付加します。

パリティ検出：32 ビットごとにパリティ検出を行います。

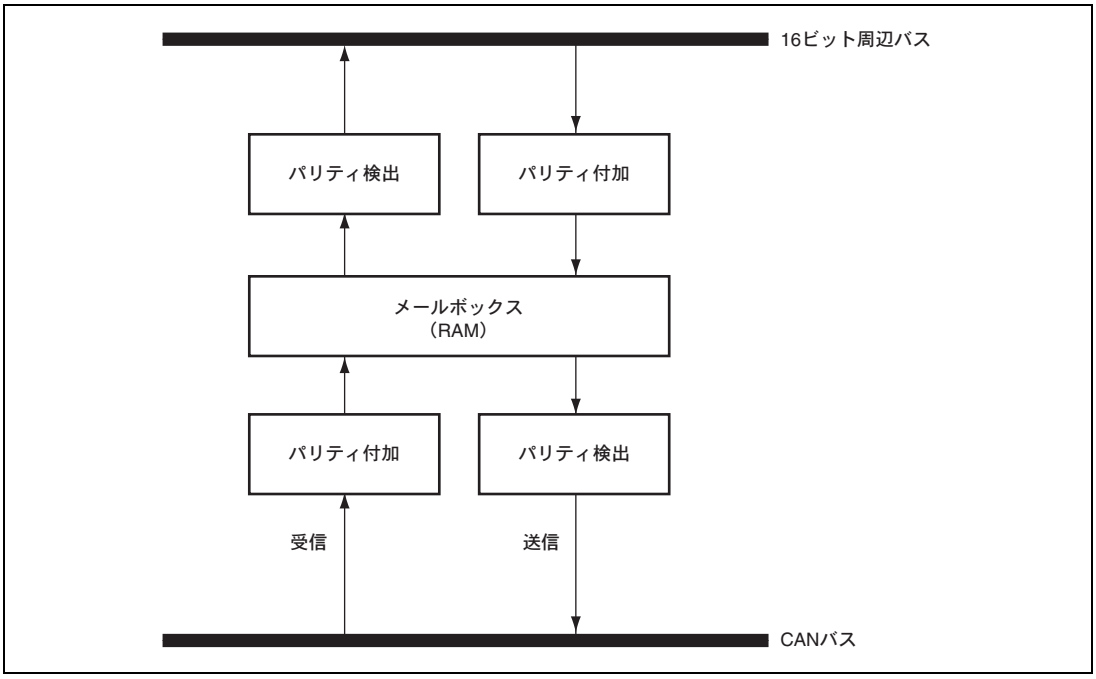


図 17.28 パリティ付加、検出ブロック図

17.9 割り込み要因

RCAN-TL1 には表 17.12 に示す割り込み要因があります。これらの要因はマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ（MBIMR）およびインタラプトマスクレジスタ（IMR）を使用します。各割り込み要求の割り込みベクタについては「第 8 章　割り込みコントローラ（INTC）」を参照してください。

表 17.12　RCAN-TL1 の割り込み要因

モジュール名	名称	要　　因	割り込みフラグ	DMAC の起動	A-DMAC の起動
RCANn*1	ERSn*1	エラーパッシブ（TEC≧128 または REC≧128）	IRR5	不可	不可
		バスオフ（TEC≧256）／バスオフからの復帰	IRR6		
		エラーワーニング（TEC≧96）	IRR3		
		エラーワーニング（REC≧96）	IRR4		
	OVRn*1	リセット／ホルト／CAN スリープ遷移	IRR0		
		オーバロードフレーム送信	IRR7		
		未読メッセージのオーバライト（オーバラン）	IRR9		
		スタートシステムマトリックス	IRR10		
		TCMR2 コンペアマッチ	IRR11		
		CAN スリープ中 CAN バス動作の検出	IRR12		
		タイマオーバラン／Next_is_Gap／メッセージエラー	IRR13		
		TCMR0 コンペアマッチ	IRR14		
		TCMR1 コンペアマッチ	IRR15		
	RMn0*1*2	データフレーム受信	IRR1*3	可*4	可*5
	RMn1*1*2	リモートフレーム受信	IRR2*3		
	SLEn*1	メッセージの送信／送信取り消し（スロットエンプティ）	IRR8	不可	不可
	MBEn*1	メッセージバッファエラー	MBEF	不可	不可

【注】 *1 n＝A、B

*2 RM0 はメールボックス 0 のリモートフレーム受信フラグ（RFPR0[0]）またはデータフレーム受信フラグ（RXPR0[0]）による割り込み、RM1 はメールボックス 1～31 のリモートフレーム受信フラグ（RFPR1/RFPR0）またはデータフレーム受信フラグ（RXPR1/RXPR0）による割り込みです。

*3 IRR1 はメールボックス 0～31 のデータフレーム受信フラグ、IRR2 はメールボックス 0～31 のリモートフレーム受信フラグです。

*4 RMn0 割り込みのみ DMAC を起動できます。

*5 全メールボックスにおいて A-DMAC を起動できます。

17.10 DMAC インタフェース

各 RCAN-TL1 のメールボックス 0 にメッセージを受信すると、DMAC を起動することができます。なお、DMAC 起動を設定し、DMAC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます。このとき、RCAN-TL1 からの受信割り込みで CPU への割り込みは発生しません。図 17.29 に DMAC の転送フローチャートを示します。

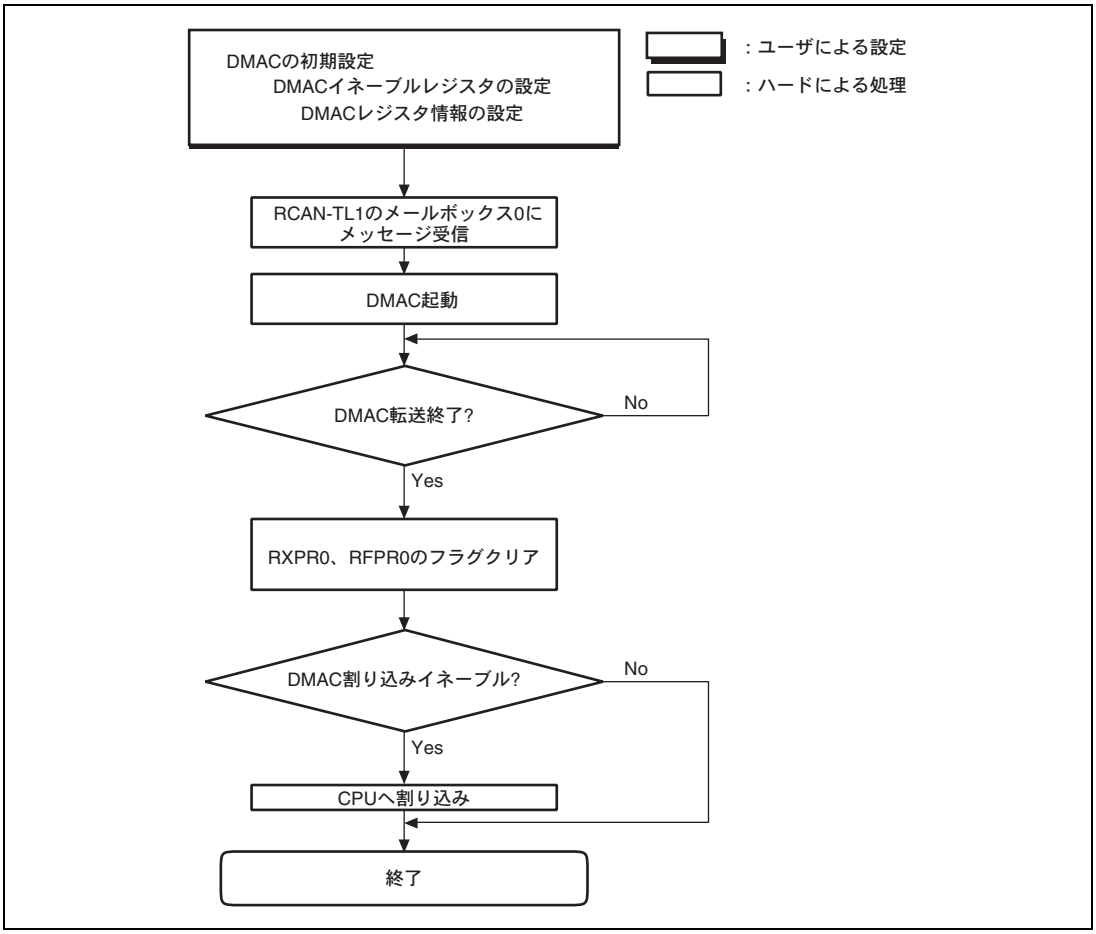


図 17.29 DMAC の転送フローチャート

17.11 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。図 17.30 に接続例を示します。

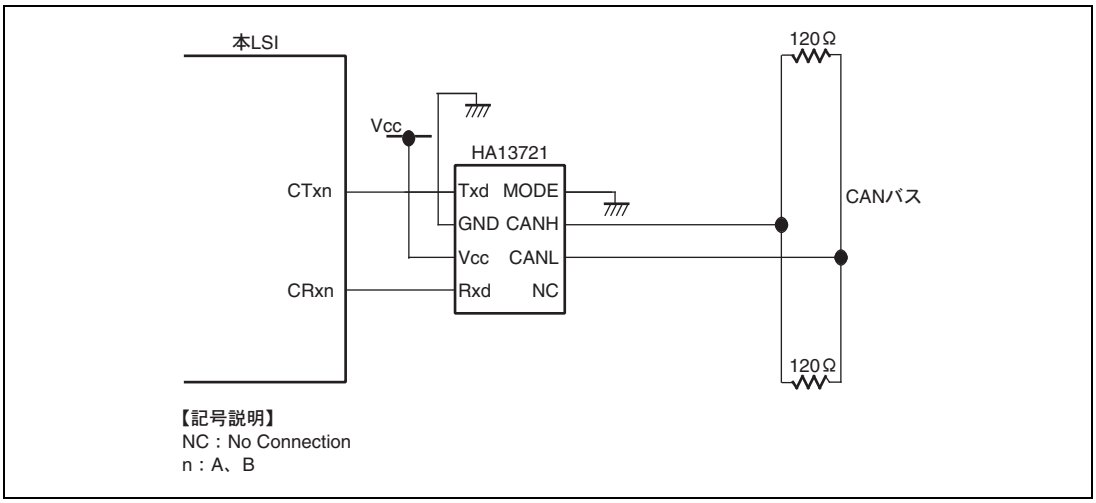


図 17.30 HA13721 を用いたハイスピード CAN インタフェース

17.12 A-DMAC インタフェース

RCAN_A、B の 2 チャネルのすべてのメールボックスにおいてメッセージの受信により、A-DMAC を起動することができます。

A-DMAC 起動の初期設定を行い、メールボックスにメッセージが受信されると A-DMAC が起動し、メールボックスのメッセージデータを RAM 領域に転送して、RCAN の RXPR/RFPR フラグをクリアします。このとき、RCAN から CPU へ受信割り込みは設定しません（IMR にてマスクされます）。

A-DMAC の設定については「第 11 章 専用ダイレクトメモリアクセスコントローラ（A-DMAC）」を参照してください。

17.13 RCAN-TL1 端子ポート設定

RCAN-TL1 ポート設定は、必ずコンフィギュレーションモード中またはそれ以前に行ってください。ポート設定方法の詳細は「第 20 章　ピンファンクションコントローラ（PFC）」を参照してください。本 LSI は 2 チャネルの RCAN-TL1 を内蔵しており、2 種類の使用方法があります。

- 2チャネルの32メールボックス（RCAN_A、B）
- 1チャネルの64メールボックス

【注】 64 メールボックス使用時には注意が必要です。「17.14.1　1 チャネル 64 メールボックスでのポート設定についての注意事項」を必ずお読みください。

図 17.31、図 17.32 に各ポート設定での接続例を示します。

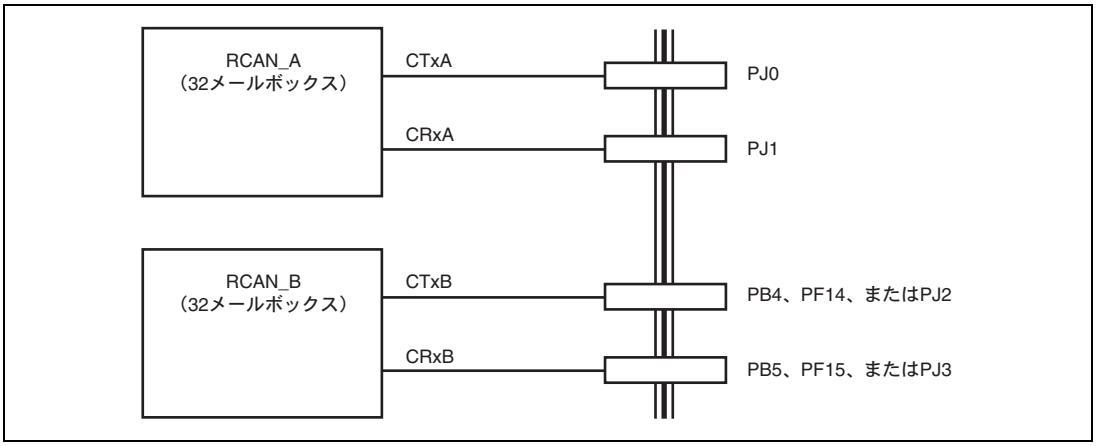


図 17.31　RCAN_A、B を個別のチャネルとして使用するときの接続例

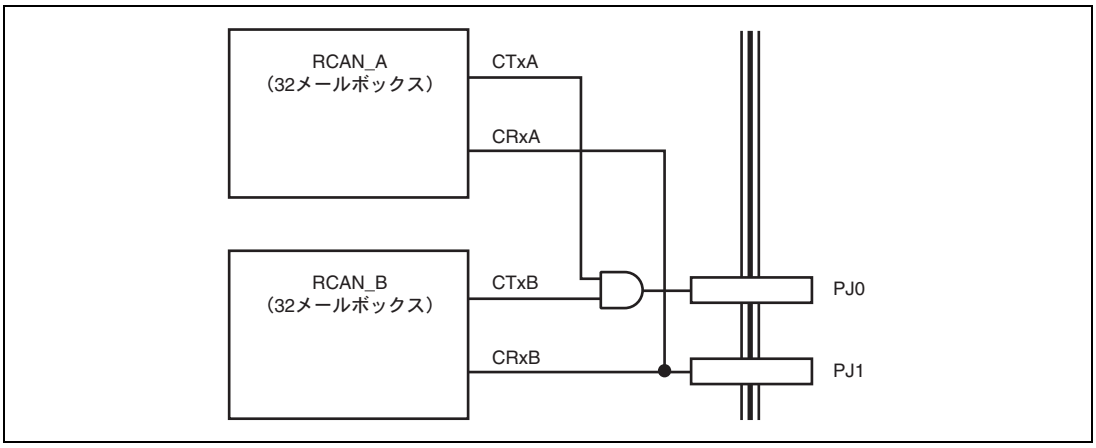


図 17.32　RCAN_A、B を 64 メールボックスの 1 チャネルとして使用するときの接続例

17.14 使用上の注意事項

17.14.1 1 チャネル 64 メールボックスでのポート設定についての注意事項

本 LSI は、2 チャネルの RCAN-TL1 を内蔵しています。1 チャネルで 64 メールボックスの設定で使用する際、以下の注意事項があります。

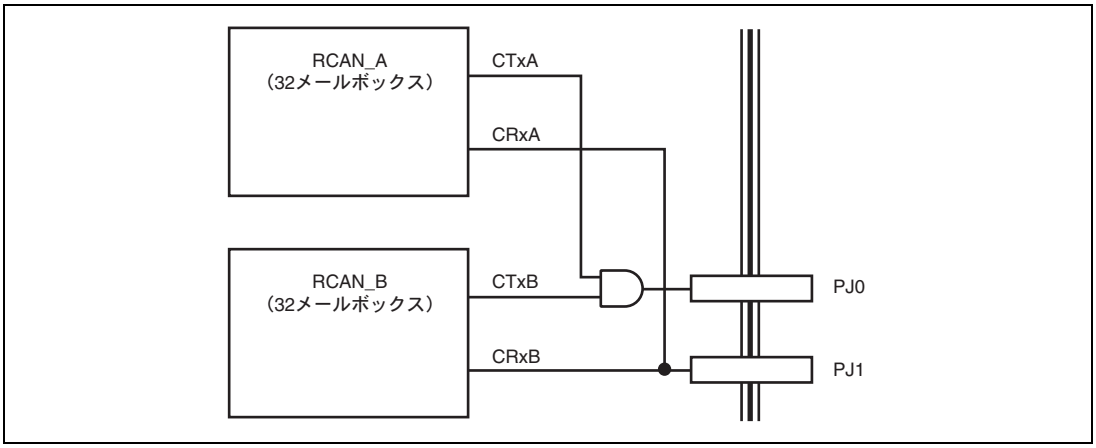


図 17.33 RCAN_A、B を 64 メールボックスの 1 チャネルとして使用するときの接続例

1. CANバスに他ノードを接続しない状態でメッセージ送信した場合、ACKエラーが発生しません。上図のRCAN_Aからメッセージを送信した場合、ACKフィールドでRCAN_BがACKを送信するためです。RCAN_BはCANバス上のメッセージを受信しており、CANプロトコルに従いACKフィールドでACKを送信し、そのACKをRCAN_Aが受信します。
   対応方法は、メッセージを送信しないRCAN_Bをテストモードのリスンオンリモード状態（TST[2:0]＝B'001）またはリセット状態（MCR0＝1設定）にしてください。これにより、メッセージを受信するチャネルからACKを送信しません。
2. 送信順位を決定する内部アービトレーションは、それぞれRCAN_AとRCAN_Bで独立に実施します。送信可能バッファは、RCAN-TL1には31メールボックス／チャネルありますが、62バッファの範囲で内部アービトレーションは実施しません。
3. 同一送信メッセージIDをRCAN_AとRCAN_Bに設定しないでください。CANバス上でのアービトレーション実施後、2つのチャネルからメッセージを送信することになります。

18. A/D 変換器（ADC）

本 LSI は、逐次比較方式の 12 ビット A/D 変換器を内蔵しています。A/D 変換器は、独立した 2 つのモジュール（ADC_A、ADC_B）により構成されています。また、ソフトウェアにより最大 32 チャネルのアナログ入力を選択することができます。

18.1 特長

- 分解能：12ビット
- 入力チャネル：32チャネル（ADC_A：23チャネル（AN0～22）、ADC_B：9チャネル（AN40～48））
- 最小変換時間

  Pφ＝40MHz動作時：1チャネル当たり最小1.25μs（変換ステート＝50ステート）

  低速設定時：1チャネル当たり2.5μs（Pφ=20MHz動作時、変換ステート＝50ステート）

  高速設定時：1チャネル当たり1.25μs（Pφ=20MHz動作時、変換ステート＝25ステート）
- 2種類のスキャン変換モード

  1サイクルスキャンモード：スキャンを1回だけ実施

  連続スキャンモード：スキャンを無制限に繰り返し実施

  スキャン変換の対象チャネルは任意に選択可能で、若いチャネル順（ADC_AはAN0→22、ADC_BはAN40→48）にA/D変換します。
- A/D変換値加算モード

  同じチャネルを2～4回連続でA/D変換し、その変換値の合計をA/Dデータレジスタに保持します。A/D変換値加算モードは、AN0～7、40～47がサポートしています。

  この結果の平均値を使用することで、ノイズ成分によってはA/D変換精度が良くなります。ただし、必ずA/D変換精度が良くなることを保証する機能ではありません。
- 21本の12ビットA/Dデータレジスタと16本の14ビットA/Dデータレジスタ
- サンプル＆ホールド機能

  サンプル＆ホールド回路を各A/D変換器（ADC_A、ADC_B）に内蔵しています。
- 2種類のスキャン変換の開始

  ADC_A：ソフトウェア（ADCSR0のADSTビット）／外部トリガ（ADTRG_A）、ATU-IIIのタイマトリガ（タイマG4）の選択が可能

  ADC_B：ソフトウェア（ADCSR1のADSTビット）／外部トリガ（ADTRG_B）、ATU-IIIのタイマトリガ（タイマG5）の選択が可能

- 割り込み変換

  スキャン変換とは独立して、ATU-IIIのタイマトリガまたはソフトウェアトリガで要求されたチャネルを優先的にA/D変換することが可能です。AN0～15、40～47がサポートしています。

  割り込み変換がスキャン変換と競合した場合、スキャン変換でA/D変換しているチャネルを途中で中断し、割り込み変換が要求されたチャネルを優先的にA/D変換します。また、割り込み変換終了後、スキャン変換で中断されたチャネルのA/D変換から再開します。

- スキャン変換終了割り込み（ADI）と割り込み変換終了割り込み（ADID）とDMA転送機能をサポート

  スキャン変換の各スキャン終了時に、スキャン変換終了割り込み要求（ADI）の発生またはDMACの起動が可能です。また、AN0～15、40～47の割り込み変換終了時に、割り込み変換終了割り込み要求（ADID0～15、40～47）の発生またはA-DMACの起動（ADID0）、DMACの起動（ADID40～47）が可能です。

- A/D変換器の自己診断機能

  内部で生成する電圧値（AVref×0、AVref×1/2、AVref×1）をA/D変換し、A/DデータレジスタDiag0、Diag1にA/D変換値と変換した電圧の情報を返します。その後ソフトウェアでA/DデータレジスタDiag0、Diag1を読み出し、A/D変換値が正常範囲にあるか異常範囲にあるかをソフトウェアで判定し、A/D変換器の故障を検出します。

- アナログ変換の電圧の範囲を設定可能

  AVrefh端子により、アナログ変換の電圧の範囲を設定可能です。

- ADEND出力

  ADEND_A、B出力端子より、AN0とAN40をスキャン変換で使用する場合の変換タイミングを出力します。

図 18.1 に A/D 変換器のブロック図を示します。

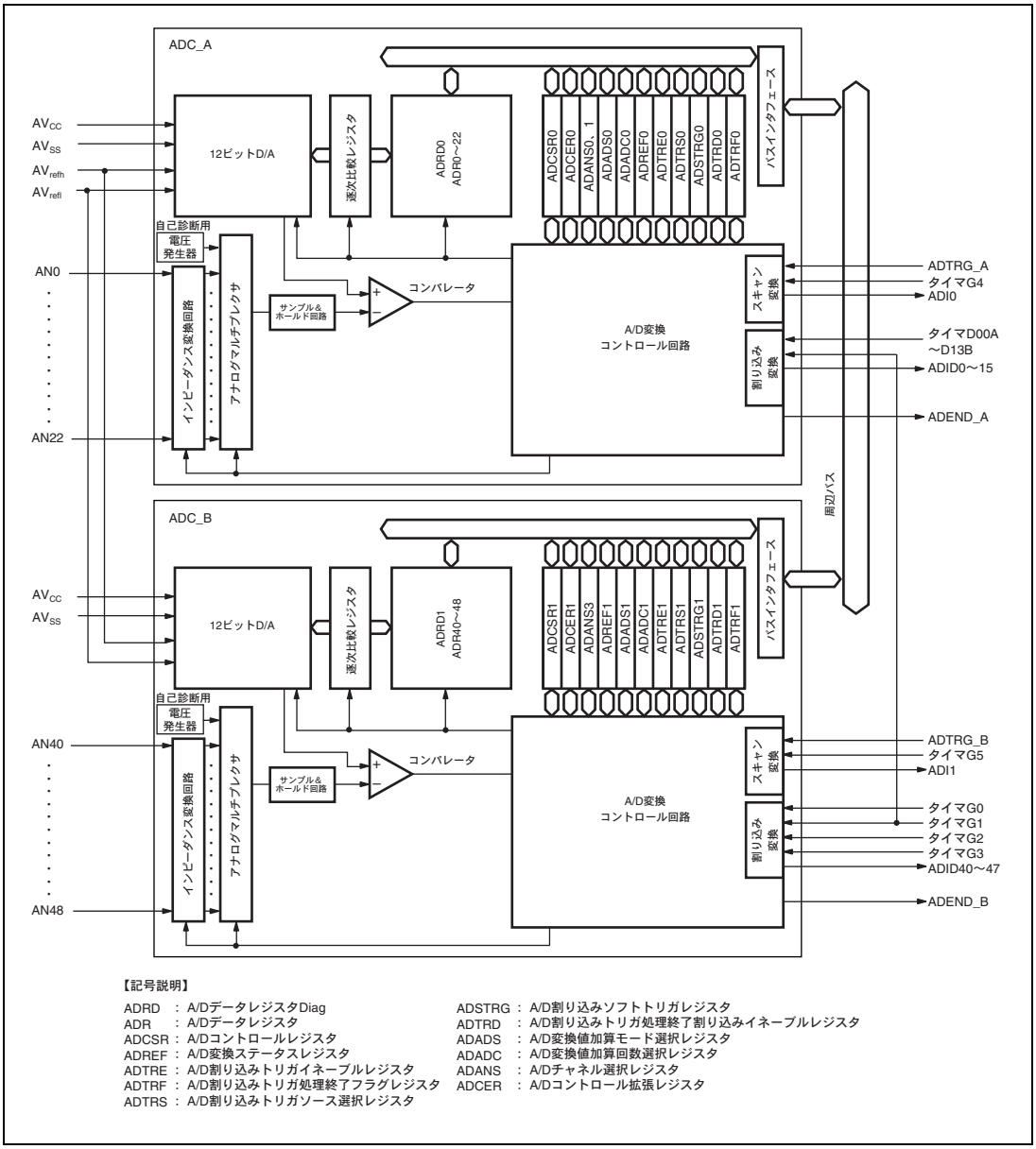


図 18.1 A/D 変換器のブロック図

18.2 入出力端子

表 18.1 に A/D 変換器の端子構成を示します。

LSI の信頼性確保のため、A/D 変換器を使用するときは、AVcc、AVss と Vcc、Vss との関係は、下記のとおりにしてください。

AVcc＝5.0V±0.5V、AVss＝Vss

一方、A/D 変換器を使用しないときは、AVcc、AVss 端子を決してオープンにしないでください。

また、アナログ入力端子に印加する電圧は、下記の範囲としてください。

AVrefl≦ANn（n＝0～22、40～48）≦AVrefh

表 18.1 端子構成

端子名	略称	入出力	機　　能
AVcc	AVcc	入力	アナログ部の電源端子
AVss	AVss	入力	アナログ部のグランド端子
AVREFL	AVrefl	入力	ADC_A のアナログ部の基準電圧端子（AVrefl＜AVrefh）
AVREFH	AVrefh	入力	ADC_A のアナログ部の基準電圧端子（AVrefl＜AVrefh）
AN_A0	AN0	入力	アナログ入力端子 0
AN_A1	AN1	入力	アナログ入力端子 1
AN_A2	AN2	入力	アナログ入力端子 2
AN_A3	AN3	入力	アナログ入力端子 3
AN_A4	AN4	入力	アナログ入力端子 4
AN_A5	AN5	入力	アナログ入力端子 5
AN_A6	AN6	入力	アナログ入力端子 6
AN_A7	AN7	入力	アナログ入力端子 7
AN_A8	AN8	入力	アナログ入力端子 8
AN_A9	AN9	入力	アナログ入力端子 9
AN_A10	AN10	入力	アナログ入力端子 10
AN_A11	AN11	入力	アナログ入力端子 11
AN_A12	AN12	入力	アナログ入力端子 12
AN_A13	AN13	入力	アナログ入力端子 13
AN_A14	AN14	入力	アナログ入力端子 14
AN_A15	AN15	入力	アナログ入力端子 15
AN_A16	AN16	入力	アナログ入力端子 16
AN_A17	AN17	入力	アナログ入力端子 17
AN_A18	AN18	入力	アナログ入力端子 18
AN_A19	AN19	入力	アナログ入力端子 19

端子名	略称	入出力	機　　能
AN_A20	AN20	入力	アナログ入力端子 20
AN_A21	AN21	入力	アナログ入力端子 21
AN_A22	AN22	入力	アナログ入力端子 22
AN_B40	AN40	入力	アナログ入力端子 40
AN_B41	AN41	入力	アナログ入力端子 41
AN_B42	AN42	入力	アナログ入力端子 42
AN_B43	AN43	入力	アナログ入力端子 43
AN_B44	AN44	入力	アナログ入力端子 44
AN_B45	AN45	入力	アナログ入力端子 45
AN_B46	AN46	入力	アナログ入力端子 46
AN_B47	AN47	入力	アナログ入力端子 47
AN_B48	AN48	入力	アナログ入力端子 48
ADTRG_A	ADTRG_A	入力	ADC_A のスキャン変換起動トリガ入力端子
ADTRG_B	ADTRG_B	入力	ADC_B のスキャン変換起動トリガ入力端子
ADEND_A	ADEND_A	出力	ADC_A の AN0 の変換タイミングモニタ出力端子
ADEND_B	ADEND_B	出力	ADC_B の AN40 の変換タイミングモニタ出力端子

18.3 チャネル別割り当て機能一覧表

表 18.2 に、チャネル別割り当て機能一覧を示します。

表 18.2 チャネル別割り当て機能一覧表

A/D変換器	A/D変換時間(1チャネル当たり)	A/D変換チャネル：自己診断(内部生成電圧)またはLSI端子名	A/D変換チャネル：略称	スキャン変換：起動トリガ ソース1 (ソフト)	スキャン変換：起動トリガ ソース2 (LSI端子)	スキャン変換：起動トリガ ソース3 (ATU-III)	スキャン変換：自己診断選択またはチャネル選択 (ADCER0、1 または ADANS0、1)	スキャン変換：スキャン変換モード	スキャン変換：終了割り込み兼DMA転送要求信号	スキャン変換：DMA転送機能(DMAC)	スキャン変換：終了フラグ(1スキャン終了)	A/Dデータレジスタ (A/D変換値の格納レジスタ)	A/D変換値加算モード (ADADS0、1)	A/D変換タイミングモニタ端子(ADEND_A、B)	割り込み変換：起動トリガ ソース1 (ATU-III)	割り込み変換：起動トリガ ソース2 (ATU-III)	割り込み変換：起動トリガ ソース3 ソフトウェア(ADSTRG0、1)	割り込み変換：終了割り込み兼DMA転送要求信号	割り込み変換：DMA転送機能 DMAC	割り込み変換：DMA転送機能 A-DMAC	割り込み変換：イネーブル(チャネル選択) (ADTRE0、1)	割り込み変換：トリガソース選択 (ADTRS0、1)	割り込み変換：終了フラグ (ADTRF0、1)	割り込み変換：終了割り込みイネーブル (ADTRD0、1)
A/D変換器_A(ADC_A)	2.5μsec/1.25μsec	自己診断0	DIAG0	ADST(ADCSR0)	外部トリガ_A(ADTRG_A)	タイマG4	DIAGM (ADCER0)	1サイクルスキャンまたは連続スキャン	ADI0	○	ADF(ADCSR0)	ADRD0	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子0	AN0				ANS0					ADR0	ADS0	○	タイマD00A	タイマG1	ADSTRG0	ADID0	×	○	ADTRGE0	ADTRS0	ADTF0	ADIDE0
		アナログ入力端子1	AN1				ANS1					ADR1	ADS1	×	タイマD00B	×	ADSTRG1	ADID1	×	×	ADTRGE1	ADTRS1	ADTF1	ADIDE1
		アナログ入力端子2	AN2				ANS2					ADR2	ADS2	×	タイマD01A	×	ADSTRG2	ADID2	×	×	ADTRGE2	ADTRS2	ADTF2	ADIDE2
		アナログ入力端子3	AN3				ANS3					ADR3	ADS3	×	タイマD01B	×	ADSTRG3	ADID3	×	×	ADTRGE3	ADTRS3	ADTF3	ADIDE3
		アナログ入力端子4	AN4				ANS4					ADR4	ADS4	×	タイマD02A	×	ADSTRG4	ADID4	×	×	ADTRGE4	ADTRS4	ADTF4	ADIDE4
		アナログ入力端子5	AN5				ANS5					ADR5	ADS5	×	タイマD02B	×	ADSTRG5	ADID5	×	×	ADTRGE5	ADTRS5	ADTF5	ADIDE5
		アナログ入力端子6	AN6				ANS6					ADR6	ADS6	×	タイマD03A	×	ADSTRG6	ADID6	×	×	ADTRGE6	ADTRS6	ADTF6	ADIDE6
		アナログ入力端子7	AN7				ANS7					ADR7	ADS7	×	タイマD03B	×	ADSTRG7	ADID7	×	×	ADTRGE7	ADTRS7	ADTF7	ADIDE7
		アナログ入力端子8	AN8				ANS8					ADR8	×	×	タイマD10A	×	ADSTRG8	ADID8	×	×	ADTRGE8	ADTRS8	ADTF8	ADIDE8
		アナログ入力端子9	AN9				ANS9					ADR9	×	×	タイマD10B	×	ADSTRG9	ADID9	×	×	ADTRGE9	ADTRS9	ADTF9	ADIDE9
		アナログ入力端子10	AN10				ANS10					ADR10	×	×	タイマD11A	×	ADSTRG10	ADID10	×	×	ADTRGE10	ADTRS10	ADTF10	ADIDE10
		アナログ入力端子11	AN11				ANS11					ADR11	×	×	タイマD11B	×	ADSTRG11	ADID11	×	×	ADTRGE11	ADTRS11	ADTF11	ADIDE11
		アナログ入力端子12	AN12				ANS12					ADR12	×	×	タイマD12A	×	ADSTRG12	ADID12	×	×	ADTRGE12	ADTRS12	ADTF12	ADIDE12
		アナログ入力端子13	AN13				ANS13					ADR13	×	×	タイマD12B	×	ADSTRG13	ADID13	×	×	ADTRGE13	ADTRS13	ADTF13	ADIDE13
		アナログ入力端子14	AN14				ANS14					ADR14	×	×	タイマD13A	×	ADSTRG14	ADID14	×	×	ADTRGE14	ADTRS14	ADTF14	ADIDE14
		アナログ入力端子15	AN15				ANS15					ADR15	×	×	タイマD13B	×	ADSTRG15	ADID15	×	×	ADTRGE15	ADTRS15	ADTF15	ADIDE15
		アナログ入力端子16	AN16				ANS16					ADR16	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子17	AN17				ANS17					ADR17	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子18	AN18				ANS18					ADR18	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子19	AN19				ANS19					ADR19	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子20	AN20				ANS20					ADR20	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子21	AN21				ANS21					ADR21	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子22	AN22				ANS22					ADR22	×	×	×	×	×	×	×	×	×	×	×	×
A/D変換器_B(ADC_B)	2.5μsec/1.25μsec	自己診断1	DIAG1	ADST(ADCSR1)	外部トリガ_B(ADTRG_B)	タイマG5	DIAGM (ADCER1)	1サイクルスキャンまたは連続スキャン	ADI1	○	ADF(ADCSR1)	ADRD1	×	×	×	×	×	×	×	×	×	×	×	×
		アナログ入力端子40	AN40				ANS40					ADR40	ADS40	○	タイマG0	×	ADSTRG40	ADID40	○	×	ADTRGE40	ADTRS40	ADTF40	ADIDE40
		アナログ入力端子41	AN41				ANS41					ADR41	ADS41	×	タイマG1	×	ADSTRG41	ADID41	○	×	ADTRGE41	ADTRS41	ADTF41	ADIDE41
		アナログ入力端子42	AN42				ANS42					ADR42	ADS42	×	タイマG2	×	ADSTRG42	ADID42	○	×	ADTRGE42	ADTRS42	ADTF42	ADIDE42
		アナログ入力端子43	AN43				ANS43					ADR43	ADS43	×	タイマG3	×	ADSTRG43	ADID43	○	×	ADTRGE43	ADTRS43	ADTF43	ADIDE43
		アナログ入力端子44	AN44				ANS44					ADR44	ADS44	×	タイマG0	×	ADSTRG44	ADID44	○	×	ADTRGE44	ADTRS44	ADTF44	ADIDE44
		アナログ入力端子45	AN45				ANS45					ADR45	ADS45	×	タイマG1	×	ADSTRG45	ADID45	○	×	ADTRGE45	ADTRS45	ADTF45	ADIDE45
		アナログ入力端子46	AN46				ANS46					ADR46	ADS46	×	タイマG2	×	ADSTRG46	ADID46	○	×	ADTRGE46	ADTRS46	ADTF46	ADIDE46
		アナログ入力端子47	AN47				ANS47					ADR47	ADS47	×	タイマG3	×	ADSTRG47	ADID47	○	×	ADTRGE47	ADTRS47	ADTF47	ADIDE47
		アナログ入力端子48	AN48				ANS48					ADR48	×	×	×	×	×	×	×	×	×	×	×	×

18.4 レジスタの説明

A/D 変換器には以下のレジスタがあります。

表 18.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	A/D 変換器	アクセスサイズ*1
A/D データレジスタ Diag0	ADRD0	R	H'0000	H'FFFFE83E	ADC_A	16
A/D データレジスタ 0	ADR0	R	H'0000	H'FFFFE840	ADC_A	16
A/D データレジスタ 1	ADR1	R	H'0000	H'FFFFE842	ADC_A	16
A/D データレジスタ 2	ADR2	R	H'0000	H'FFFFE844	ADC_A	16
A/D データレジスタ 3	ADR3	R	H'0000	H'FFFFE846	ADC_A	16
A/D データレジスタ 4	ADR4	R	H'0000	H'FFFFE848	ADC_A	16
A/D データレジスタ 5	ADR5	R	H'0000	H'FFFFE84A	ADC_A	16
A/D データレジスタ 6	ADR6	R	H'0000	H'FFFFE84C	ADC_A	16
A/D データレジスタ 7	ADR7	R	H'0000	H'FFFFE84E	ADC_A	16
A/D データレジスタ 8	ADR8	R	H'0000	H'FFFFE850	ADC_A	16
A/D データレジスタ 9	ADR9	R	H'0000	H'FFFFE852	ADC_A	16
A/D データレジスタ 10	ADR10	R	H'0000	H'FFFFE854	ADC_A	16
A/D データレジスタ 11	ADR11	R	H'0000	H'FFFFE856	ADC_A	16
A/D データレジスタ 12	ADR12	R	H'0000	H'FFFFE858	ADC_A	16
A/D データレジスタ 13	ADR13	R	H'0000	H'FFFFE85A	ADC_A	16
A/D データレジスタ 14	ADR14	R	H'0000	H'FFFFE85C	ADC_A	16
A/D データレジスタ 15	ADR15	R	H'0000	H'FFFFE85E	ADC_A	16
A/D データレジスタ 16	ADR16	R	H'0000	H'FFFFE860	ADC_A	16
A/D データレジスタ 17	ADR17	R	H'0000	H'FFFFE862	ADC_A	16
A/D データレジスタ 18	ADR18	R	H'0000	H'FFFFE864	ADC_A	16
A/D データレジスタ 19	ADR19	R	H'0000	H'FFFFE866	ADC_A	16
A/D データレジスタ 20	ADR20	R	H'0000	H'FFFFE868	ADC_A	16
A/D データレジスタ 21	ADR21	R	H'0000	H'FFFFE86A	ADC_A	16
A/D データレジスタ 22	ADR22	R	H'0000	H'FFFFE86C	ADC_A	16
A/D データレジスタ Diag1	ADRD1	R	H'0000	H'FFFFEC3E	ADC_B	16
A/D データレジスタ 40	ADR40	R	H'0000	H'FFFFEC40	ADC_B	16
A/D データレジスタ 41	ADR41	R	H'0000	H'FFFFEC42	ADC_B	16

レジスタ名	略称	R/W	初期値	アドレス	A/D 変換器	アクセスサイズ*1
A/D データレジスタ 42	ADR42	R	H'0000	H'FFFFEC44	ADC_B	16
A/D データレジスタ 43	ADR43	R	H'0000	H'FFFFEC46	ADC_B	16
A/D データレジスタ 44	ADR44	R	H'0000	H'FFFFEC48	ADC_B	16
A/D データレジスタ 45	ADR45	R	H'0000	H'FFFFEC4A	ADC_B	16
A/D データレジスタ 46	ADR46	R	H'0000	H'FFFFEC4C	ADC_B	16
A/D データレジスタ 47	ADR47	R	H'0000	H'FFFFEC4E	ADC_B	16
A/D データレジスタ 48	ADR48	R	H'0000	H'FFFFEC50	ADC_B	16
A/D コントロールレジスタ 0	ADCSR0	R/W	H'00	H'FFFFE800	ADC_A	8
A/D コントロールレジスタ 1	ADCSR1	R/W	H'00	H'FFFFEC00	ADC_B	8
A/D 変換ステータスレジスタ 0	ADREF0	R/(W)*2	H'00	H'FFFFE802	ADC_A	8
A/D 変換ステータスレジスタ 1	ADREF1	R/(W)*2	H'00	H'FFFFEC02	ADC_B	8
A/D 割り込みトリガイネーブルレジスタ 0	ADTRE0	R/W	H'0000	H'FFFFE804	ADC_A	8、16
A/D 割り込みトリガイネーブルレジスタ 1	ADTRE1	R/W	H'00	H'FFFFEC10	ADC_B	8
A/D 割り込みトリガ処理終了フラグレジスタ 0	ADTRF0	R/(W)*2	H'0000	H'FFFFE806	ADC_A	8、16
A/D 割り込みトリガ処理終了フラグレジスタ 1	ADTRF1	R/(W)*2	H'00	H'FFFFEC12	ADC_B	8
A/D 割り込みトリガソース選択レジスタ 0	ADTRS0	R/W	H'0000	H'FFFFE808	ADC_A	8、16
A/D 割り込みトリガソース選択レジスタ 1	ADTRS1	R/W	H'00	H'FFFFEC14	ADC_B	8
A/D 割り込みソフトトリガレジスタ 0	ADSTRG0	W	H'0000	H'FFFFE80A	ADC_A	8、16
A/D 割り込みソフトトリガレジスタ 1	ADSTRG1	W	H'00	H'FFFFEC16	ADC_B	8
A/D 割り込みトリガ処理終了割り込みイネーブルレジスタ 0	ADTRD0	R/W	H'0000	H'FFFFE80C	ADC_A	8、16
A/D 割り込みトリガ処理終了割り込みイネーブルレジスタ 1	ADTRD1	R/W	H'00	H'FFFFEC18	ADC_B	8
A/D 変換値加算モード選択レジスタ 0	ADADS0	R/W	H'00	H'FFFFE81C	ADC_A	8
A/D 変換値加算モード選択レジスタ 1	ADADS1	R/W	H'00	H'FFFFEC1C	ADC_B	8
A/D 変換値加算回数選択レジスタ 0	ADADC0	R/W	H'00	H'FFFFE81E	ADC_A	8
A/D 変換値加算回数選択レジスタ 1	ADADC1	R/W	H'00	H'FFFFEC1E	ADC_B	8
A/D チャネル選択レジスタ 0	ADANS0	R/W	H'0000	H'FFFFE820	ADC_A	8、16、32
A/D チャネル選択レジスタ 1	ADANS1	R/W	H'0000	H'FFFFE822	ADC_A	8、16、32
A/D チャネル選択レジスタ 3	ADANS3	R/W	H'0000	H'FFFFEC20	ADC_B	8、16
A/D コントロール拡張レジスタ 0	ADCER0	R/W	H'0000	H'FFFFE830	ADC_A	8、16
A/D コントロール拡張レジスタ 1	ADCER1	R/W	H'0000	H'FFFFEC30	ADC_B	8、16

【注】 *1 16 ビットアクセスはワード境界のみ可能で、32 ビットアクセスはロングワード境界のみ可能です。

*2 フラグをクリアするために 0 のみ書き込むことができます。

18.4.1 A/D データレジスタ 0～22、40～48、Diag0、Diag1（ADR0～22、40～48、ADRD0、1）

ADR0～22、40～48 は、AN0～22、40～48 を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADRD0、1 は、ADC_A、ADC_B の自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADR0～22、40～48、ADRD0、1 は、パワーオンリセットおよびハードウェアスタンバイモード時に H'0000 に初期化されます。

ADR0～22、40～48、ADRD0、1 は、A/D データレジスタフォーマット選択ビット（ADRFMT）および A/D 変換値加算モード選択ビット（ADS0～7、40～47）の設定値によってフォーマットが異なります。ただし、A/D 変換値加算モードは、ADR0～7、40～47 のみ設定できます。なお、ADRD0、1 には、自己診断のステータスビットが付加されます。

（1） ADR0～7、40～47

ADRFMT ビットの設定により、左詰めまたは右詰めのフォーマットのどちらかを設定できます。このとき、AD11～0 ビットは、12 ビットの A/D 変換値を示します。それ以外のビットはリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

A/D 変換値加算モードに設定したときは、ADRFMT ビットの設定は無効となります。このとき、AD13～0 ビットは、A/D 変換値加算モード時の全変換値を加算した値を示します。それ以外のビットはリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

A/D 変換値加算モードを選択したチャネルに対しての最小値と最大値を次に示します。

1回変換時：H'0000≦ADRn（n＝0～7、40～47）≦H'3FFC

2回変換時：H'0000≦ADRn（n＝0～7、40～47）≦H'7FF8

3回変換時：H'0000≦ADRn（n＝0～7、40～47）≦H'BFF4

4回変換時：H'0000≦ADRn（n＝0～7、40～47）≦H'FFF0

- **左詰めのフォーマットに設定したとき**

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- **右詰めのフォーマットに設定したとき**

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- **A/D変換値加算モードに設定したとき**

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD13	AD12	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

（2） ADR8～22、48

ADRFMT ビットの設定により、左詰めまたは右詰めのフォーマットのどちらかを設定できます。このとき、AD11～0 ビットは、12 ビットの A/D 変換値を示します。それ以外のビットはリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

なお、ADR8～22、48 は、A/D 変換値加算モードに設定することはできません。

- **左詰めのフォーマットに設定したとき**

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

- **右詰めのフォーマットに設定したとき**

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

（3） ADRD0、1

ADRFMT ビットの設定により、左詰めまたは右詰めのフォーマットのどちらかを設定できます。このとき、AD11～0 ビットは、12 ビットの A/D 変換値を示します。また、自己診断のステータスビット（DIAGST）が付加されます。それ以外のビットはリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。なお、ADRD0、1 は、A/D 変換値加算モードに設定することはできません。

- 左詰めのフォーマットに設定したとき

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	－	－	DIAGST[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～4	AD11～AD0	すべて 0	R	12 ビットの A/D 変換値を示します。
3、2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	DIAGST[1:0]	00	R	自己診断ステータス 自己診断の変換電圧を示します。自己診断の詳細は「18.4.3　A/D コントロール拡張レジスタ 0、1（ADCER0、1）」を参照してください。 00：パワーオンから 1 度も自己診断を実施していないことを示します。 01：AVref×0 の電圧値の自己診断を実施したことを示します。 10：AVref×1/2 の電圧値の自己診断を実施したことを示します。 11：AVref×1 の電圧値の自己診断を実施したことを示します。

- 右詰めのフォーマットに設定したとき

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DIAGST[1:0]		－	－	AD11	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15、14	DIAGST[1:0]	00	R	自己診断ステータス 自己診断の変換電圧を示します。自己診断の詳細は「18.4.3　A/D コントロール拡張レジスタ 0、1（ADCER0、1）」を参照してください。 00：パワーオンから 1 度も自己診断を実施していないことを示します。 01：AVref×0 の電圧値の自己診断を実施したことを示します。 10：AVref×1/2 の電圧値の自己診断を実施したことを示します。 11：AVref×1 の電圧値の自己診断を実施したことを示します。
13、12	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11～0	AD11～AD0	すべて 0	R	12 ビットの A/D 変換値を示します。

18.4.2 A/D コントロールレジスタ 0、1（ADCSR0、1）

ADCSR0、1 は、スキャン変換モードなどの設定を行う 8 ビットの読み出し／書き込み可能なレジスタです。ADCSR0、1 は、パワーオンリセットおよびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	ADST	ADCS	－	ADIE	－	－	TRGE	EXTRG
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	ADST	0	R/W	スキャン変換開始 スキャン変換の開始／停止を制御します。 ADST を 0 の状態から 1 にセットすると、ADST の立ち上がりエッジを検出してスキャン変換を開始します。ADST を 1 の状態から 0 にクリアすると、ADST の立ち下がりエッジを検出してスキャン変換を停止します。また、ADST は割り込み変換には影響しません。スキャン変換が実施されていることを確認するには、ADREF の ADSCACT ビットを読み出してください。 0：スキャン変換停止 1：スキャン変換開始
6	ADCS	0	R/W	スキャン変換モード選択 スキャン変換のモードを選択します。なお、誤動作を防ぐため、ADCS の切り替えは、必ず ADREF の ADSCACT ビットが 0 の状態で行ってください。 1 サイクルスキャンモードは、スキャンを 1 回実施し、終了するとスキャン変換を停止します。連続スキャンモードは、無制限にスキャンを繰り返します。ADST ビットが 1 の状態で 0 を書き込むとスキャン変換を停止することができます。スキャン変換は、ADC_A は AN0～22 の若いチャネル順に変換し、ADC_B は AN40～48 の若いチャネル順に変換を実施します。連続スキャンモードの場合、選択されたすべてのチャネルの変換が終了すると、最初のチャネルに戻ります。 0：1 サイクルスキャンモード 1：連続スキャンモード
5	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	ADIE	0	R/W	インタラプトイネーブル A/D スキャン変換終了割り込み（ADI）の発生を許可／禁止します。なお、誤動作を防ぐため、ADIE の切り替えは、必ず ADREF の ADSCACT ビットが 0 の状態で行ってください。 スキャン変換の各スキャンが終了して ADREF の ADF ビットが 1 にセットされたとき、ADIE が 1 にセットされていると ADI 割り込みが発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI 割り込みのクリアが可能です。 0：スキャン終了後の ADI 割り込み発生の禁止 1：スキャン終了後の ADI 割り込み発生の許可

ビット	ビット名	初期値	R/W	説　　明
3、2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TRGE	0	R/W	トリガイネーブル 外部トリガ（ADTGR_A、B）あるいは ATU-III のタイマトリガ（ADC_A はタイマ G4、ADC_B はタイマ G5）によるスキャン変換の起動を許可／禁止します。 0：外部トリガまたは ATU-III のタイマトリガによるスキャン変換の起動を禁止 1：外部トリガまたは ATU-III のタイマトリガによるスキャン変換の起動を許可
0	EXTRG	0	R/W	トリガ選択 スキャン変換のトリガソースを選択します。トリガソースとして外部トリガ（ADTGR_A、B）あるいは ATU-III のタイマトリガ（ADC_A はタイマ G4、ADC_B はタイマ G5）のどちらかを選択します。 0：ATU-III のタイマトリガによるスキャン変換の起動を行います。 1：外部トリガによるスキャン変換の起動を行います。

【注】 1. ADC_A と ADC_B のスキャン変換を同時に起動する方法。
ADC_A、ADC_B の TRGE に 1、EXTRG に 0 を設定し、ATU-III のタイマ G4 トリガおよびタイマ G5 トリガを同時に入れると、ADC_A、ADC_B のスキャン変換を同時に起動することができます。タイマ G の詳しい設定は、「第 12 章　アドバンストタイマユニット-III（ATU-III）」を参照してください。

2. ADC_A と ADC_B のスキャン変換の開始タイミングを変えて起動する方法。
ADC_A、ADC_B の TRGE に 1、EXTRG に 0 を設定し、ATU-III のタイマ G4 トリガとタイマ G5 トリガのタイミングの与え方を変えると、ADC_A、ADC_B の開始タイミングを変えて起動することができます。タイマ G の詳しい設定は、「第 12 章　アドバンストタイマユニット-III（ATU-III）」を参照してください。

3. 割り込み変換とスキャン変換を同時に起動する方法。
ADC_B の TRGE に 1、EXTRG に 0 を設定し、A/D 割り込みトリガイネーブルレジスタ 1（ADTRE1）の ADTRGE40 ビットに 1、ADTRGE44 ビットに 1 を設定して、ATU-III のタイマ G5 トリガとタイマ G0 トリガを同時に入れると、ADC_B は AN40 の割り込み変換→AN44 の割り込み変換→スキャン変換の順番に実施します。スキャン変換のみ実施したい場合は、ADTRGE40、ADTRGE44 のどちらも 0 にしてください。AN40、44 のどちらか 1 チャネルのみの割り込み変換も実施することができます。ATU-III のタイマ G4 トリガとタイマ G1 トリガで ADC_A のスキャン変換、AN0 の割り込み変換の組み合わせでも同様な動作ができます。

4. 外部トリガでスキャン変換を起動する方法。
外部トリガ端子(ADTRG_A、ADTRG_B)にハイレベルを入力した状態で、TRGE に 1、EXTRG に 1 を設定します。その後、ADTRG_A または ADTRG_B にローレベルのパルスを入力すると、ADC_A または ADC_B はパルスの立ち下がりエッジを検出し、スキャン変換を開始します。このときのローパルス幅は、1.5Pφクロック以上であることが必要です。

5. ADST ビット、外部トリガ、ATU-III のタイマトリガによらずスキャン変換の起動は、A/D 変換ステータスレジスタ（ADREF）の ADSCACT ビットが 0 の状態であるときに有効です。スキャン変換の起動要因は保持されません。

6. ATU-III のタイマトリガによるスキャン変換の起動周期および割り込み変換の起動周期について、スキャン変換時間（例えば 1 チャネルを変換する場合、CKS ビット＝0 のとき 56 ステート、CKS ビット＝1 のとき 28 ステート）および割り込み変換時間（例えば 1 トリガソースで 1 チャネルを変換する場合、CKS ビット＝0 のとき 50 ステート、CKS ビット＝1 のとき 25 ステート）を超えるように ATU-III のタイマトリガ周期を設定してください。タイマトリガ周期の詳しい設定は、「第 12 章　アドバンストタイマユニット-III（ATU-III）」を参照してください。

18.4.3 A/D コントロール拡張レジスタ 0、1（ADCER0、1）

ADCER0、1 は、自己診断モードなどの設定をする 16 ビットの読み出し／書き込み可能なレジスタです。ADCER0、1 は、パワーオンリセットおよびハードウェアスタンバイモード時に H'0000 に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		CKS*2	—	—	—	—	—	—	ITTRGS*1
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W

【注】 *1 ADCER0（ADC_A）のみにあります。ADCER1（ADC_B）ではリザーブビットとなります。
*2 ADC_AとADC_Bを同時に動作させる場合は、ADCER0（ADC_A）のCKSビットと ADCER1（ADC_B）のCKSビットは同じ値に設定してください。異なる値に設定して ADC_AとADC_Bを同時に動作させた場合は、特性を保証できません。

ビット	ビット名	初期値	R/W	説　　明
15	ADRFMT	0	R/W	A/D データレジスタフォーマット選択 A/D 変換値加算モードが選択されているチャネルに対応する A/D データレジスタのフォーマットは、ADRFMT ビットの設定によらず左詰めに固定です。A/D データレジスタのフォーマットの詳細は、「18.4.1 A/D データレジスタ 0～22、40～48、Diag0、Diag1（ADR0～22、40～48、ADRD0、1）」を参照してください。 0：A/D データレジスタのフォーマットを左詰めにします 1：A/D データレジスタのフォーマットを右詰めにします
14～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	DIAGM	0	R/W	自己診断イネーブル 自己診断は、A/D 変換器（ADC_A、ADC_B）の故障を検出するための機能です。内部で生成する AVref×0、AVref×1/2、AVref×1 の 3 つの電圧値を ADC_A、ADC_B で変換します。変換が終了すると A/D データレジスタ Diag0、1（ADRD0、1）に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD0、1 を読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断します。 自己診断は、スキャン変換にて最も若いチャネルを変換する前に実施されます。一度の自己診断の実行で、3 つの電圧値のうち 1 つが変換され、3 つの電圧値は自己診断が実行されるたびに自動的にローテーションしていきます。自己診断の実行時間は、1 チャネルの A/D 変換時間と同じです。 なお、誤動作を防ぐため、DIAGM の切り替えは、必ず ADREF の ADSCACT ビットが 0 の状態で行ってください。 0：A/D 変換器の自己診断を実施しません 1：A/D 変換器の自己診断を実施します

ビット	ビット名	初期値	R/W	説　　明
10	DIAGLD	0	R/W	自己診断モード選択 自己診断で変換する 3 つの電圧値をローテーションするか電圧値を固定するかを選択します。 DIAGLD ビットを 0 に設定すると、AVref×0 → AVref×1/2 → AVref×1 の順番に電圧値をローテーションして変換していきます。パワーオンリセットで AVref×0 から自己診断を行った場合、スキャン変換が終了しても AVref×0 に戻らず、再びスキャン変換を実施すると、前回の続きからローテーションします。 DIAGLD ビットを 1 に設定すると、ADCER の DIAGVAL[1:0]ビットで選択した電圧に固定して変換します（自動ローテーションを行いません）。また、再度 DIAGLD ビットを 0 に設定すると固定した電圧値からローテーションを開始します（ロード機能）。 0：自己診断は自動的にローテーションして実施します 1：自己診断は DIAGVAL[1:0]の設定に固定して実施します
9、8	DIAGVAL[1:0]	00	R/W	自己診断変換電圧選択 詳しくは DIAGLD ビットの説明を参照してください。また、本ビットの値が B'00 の状態で DIAGLD ビットを 1 に設定して、自己診断を実施しないでください。 00：リザーブ 01：AVref×0 の電圧値の自己診断を実施します 10：AVref×1/2 の電圧値の自己診断を実施します 11：AVref×1 の電圧値の自己診断を実施します
7	CKS※2	0	R/W	クロック選択 A/D 変換時間を選択します。誤動作を防ぐため CKS ビットの切り替えは、必ず ADREF の ADSCACT ビットと ADITACT ビットの値がどちらも 0 の状態で実施してください。 0：A/D 変換時間＝50 ステート（Pφ換算） 1：A/D 変換時間＝25 ステート（Pφ換算） （周辺クロック 2 逓倍設定時　設定禁止）
6～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ITTRGS※1	0	R/W	割り込み変換トリガソース選択拡張 AN0 の割り込み変換トリガソースを ATU-III のタイマ D00A にするか ATU-III のタイマ G1 にするかを選択します。ITTRGS ビットは、ADTRE0 レジスタの ADTRGE0 ビットが 1、ADTRS0 レジスタの ADTRS0 ビットが 0 のときのみ有効です。 0：ATU-III のタイマ D00A トリガによる AN0 の割り込み変換の起動を行います 1：ATU-III のタイマ G1 トリガによる AN0 の割り込み変換の起動を行います

【注】 *1 ADCER0（ADC_A）のみにあります。ADCER1（ADC_B）ではリザーブビットとなります。

*2 ADC_A と ADC_B を同時に動作させる場合は、ADCER0（ADC_A）の CKS ビットと ADCER1（ADC_B）の CKS ビットは同じ値に設定してください。異なる値に設定して ADC_A と ADC_B を同時に動作させた場合は、特性を保証できません。

18.4.4 A/D チャネル選択レジスタ 0、1、3（ADANS0、1、3）

ADANS0、1、3 は、スキャン変換で変換するチャネルを選択するレジスタです。ADANS0、1、3 は、パワーオンリセットおよびハードウェアスタンバイモード時に H'0000 に初期化されます。

誤動作を防ぐために、ADANS レジスタの変更は、必ず ADREF の ADSCACT ビットが 0 の状態で実施してください。

【注】 ADANS0、1、3 は、スキャン変換のチャネルを選択するレジスタであり、割り込み変換のチャネルの選択とは関係がありません。割り込み変換のチャネルの選択は、A/D 割り込みトリガイネーブルレジスタ（ADTRE）で選択します。また、ADANS レジスタと ADTRE レジスタの両方で選択されたチャネルは、スキャン変換と割り込み変換の両方で実施されます。さらに、ADTRE レジスタでのみ選択されたチャネルは、スキャン変換の対象から外れ、割り込み変換でのみ実施されます。

- ADANS0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ANS15	ANS14	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8	ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	ANS15～ANS0	すべて 0	R/W	ANSn ビットを 1 に選択することにより ANn が選択されます。ANn と ANSn ビットの対応については表 18.2 を参照してください。 0：ANn の非選択 1：ANn の選択

【注】n＝0～15

- ADANS1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	ANS22	ANS21	ANS20	ANS19	ANS18	ANS17	ANS16
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～7	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～0	ANS22～ ANS16	すべて 0	R/W	ANSn ビットを 1 に選択することにより ANn が選択されます。ANn と ANSn ビットの対応については表 18.2 を参照してください。 0：ANn の非選択 1：ANn の選択

【注】n＝16～22

- ADANS3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	ANS48	ANS47	ANS46	ANS45	ANS44	ANS43	ANS42	ANS41	ANS40
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8～0	ANS48～ ANS40	すべて 0	R/W	ANSn ビットを 1 に選択することにより ANn が選択されます。ANn と ANSn ビットの対応については表 18.2 を参照してください。 0：ANn の非選択 1：ANn の選択

【注】n＝40～48

18.4.5 A/D 変換ステータスレジスタ 0、1（ADREF0、1）

ADREF0、1 は、A/D 変換器の状態を示すレジスタです。ADREF0、1 は、パワーオンリセットおよびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	ADSCACT	ADITACT	—	—	—	—	—	ADF
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　明
7	ADSCACT	0	R	スキャン変換ステータス スキャン変換がアイドル状態か変換中かを示します。本ビットは読み出し専用ビットですので、書き込みはできません。 スキャン変換中に割り込み変換が起動された場合、スキャン変換を中断し、割り込み変換を優先的に実行しますが、スキャン変換のすべての処理が終了するまで ADSCACT は 1 を維持し、0 にクリアされません。 0：スキャン変換がアイドル状態であることを示します 1：スキャン変換中であることを示します
6	ADITACT	0	R	割り込み変換ステータス 割り込み変換がアイドル状態か変換中かを示します。本ビットは読み出し専用ビットですので、書き込みはできません。 ADSCACT ビットと ADITACT ビットの状態で ADC_A、ADC_B の状態を把握することができます。詳細については表 18.4 を参照してください。 0：割り込み変換がアイドル状態であることを示します 1：割り込み変換中であることを示します
5～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	ADF	0	R/(W)*	1 スキャン終了フラグ スキャン変換でスキャンが終了する（選択されたすべてのチャネルを一通り変換する）たびに 1 がセットされます。なお、ADF ビットに 1 を書き込むことはできません。 ADF ビットに 1 がセットされたときにスキャン変換終了割り込みか DMAC への DMA 転送要求のどちらかを発生することができます。これにより A/D データレジスタを RAM などに退避するといった処理を、ソフトウェアまたは DMAC で実現することできます。 0：スキャン変換がアイドル状態であることを示します ［クリア条件］ • ADF＝1 の状態を読み出した後、0 を書き込んだとき • ADI により DMAC が起動されたとき 1：1 スキャンが終了し、選択されたすべての ANn の A/D 変換値が ADRn に転送されたことを示します ［セット条件］ • スキャン変換の各スキャンにおいて、すべてのアナログ変換が終了したとき

表 18.4　ADSCACT ビットと ADITACT ビットの設定による ADC_A と ADC_B の状態についての関係

ADSCACT	ADITACT	ADC_A と ADC_B の状態	スキャン変換要因	割り込み変換要因
0	0	アイドル状態	なし	なし
	1	割り込み変換	なし	あり
1	0	スキャン変換	あり	なし
	1	割り込み変換	あり	あり

18.4.6 A/D 変換値加算モード選択レジスタ 0、1（ADADS0、1）

ADADS0、1 は、A/D 変換を連続 2～4 回実施して加算（積算）する ANn（n＝0～7、40～47）を選択するレジスタです。ADADS0、1 は、パワーオンリセットおよびハードウェアスタンバイモード時に H'00 に初期化されます。

- ADADS0

ビット：	7	6	5	4	3	2	1	0
	ADS7	ADS6	ADS5	ADS4	ADS3	ADS2	ADS1	ADS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	ADS7～ADS0	すべて 0	R/W	A/D 変換値加算チャネル選択 ADSn ビットを 1 にセットすると、ANn を連続 2～4 回変換し加算（積算）した値を A/D データレジスタに返します。ADSn が 0 の ANn に関しては、通常の 1 回変換を実施し、A/D データレジスタに値を返します。また、スキャン変換および割り込み変換にかかわらず、ADSn の設定により加算するかしないかが決定されます。誤動作を防ぐため ADSn の切り替えは、必ず ADREF の ADSCACT ビットと ADITACT ビットの値がどちらも 0 の状態で実施してください。 ANn と ADSn ビットの対応については表 18.2 を参照してください。加算回数の選択については、「18.4.7 A/D 変換値加算回数選択レジスタ 0、1（ADADC0、1）」の説明を参照してください。 0：A/D 変換値加算モード非選択 1：A/D 変換値 2～4 回連続加算モード選択

【注】n＝0～7

- ADADS1

ビット：	7	6	5	4	3	2	1	0
	ADS47	ADS46	ADS45	ADS44	ADS43	ADS42	ADS41	ADS40
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	ADS47～ADS40	すべて 0	R/W	A/D 変換値加算チャネル選択 ADSn ビットを 1 にセットすると、ANn を連続 2～4 回変換し加算（積算）した値を A/D データレジスタに返します。ADSn が 0 の ANn に関しては、通常の 1 回変換を実施し、A/D データレジスタに値を返します。また、スキャン変換および割り込み変換にかかわらず、ADSn の設定により加算するかしないかが決定されます。誤動作を防ぐため ADSn の切り替えは、必ず ADREF の ADSCACT ビットと ADITACT ビットの値がどちらも 0 の状態で実施してください。 ANn と ADSn ビットの対応については表 18.2 を参照してください。加算回数の選択については、「18.4.7　A/D 変換値加算回数選択レジスタ 0、1（ADADC0、1）」の説明を参照してください。 0：A/D 変換値加算モード非選択 1：A/D 変換値 2～4 回連続加算モード選択

【注】n＝40～47

図 18.2 に ADS42 ビットと ADS46 ビットを 1 にセットしたときのスキャン変換シーケンスを示します。加算回数は 4 回に設定、AN40～47 が選択されているものとします。AN40 から変換を開始します。AN42 の変換は、4 回連続変換し、加算（積算）値をデータレジスタに返します。その後、AN43 の変換を開始します。

スキャン変換中に割り込み変換が要求された場合は、スキャン変換を途中で中断し、割り込み変換要求のチャネルの変換を開始します。割り込み変換が終了すると、中断されたスキャン変換で A/D 変換中であったチャネルから、スキャン変換を再開します。ただし、中断されたチャネル（ANn）の ADSn ビットが 1 に設定されていた場合、2～4 回の途中まで A/D 変換されていたとしても 1 回目の変換から実施しなおします。

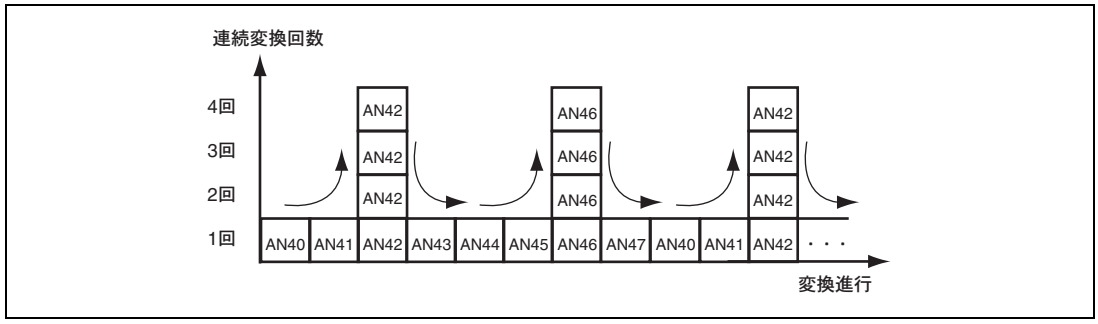


図 18.2　ADS42 ビットと ADS46 ビットを 1 にセットしたときのスキャン変換シーケンス

18.4.7 A/D 変換値加算回数選択レジスタ 0、1（ADADC0、1）

ADADC0、1 は、A/D 変換値加算モードが選択されたチャネルに対して加算回数を設定するレジスタです。ADADC0、1 は、パワーオンリセットおよびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	ADC[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～2	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	ADC[1:0]	00	R/W	加算回数選択 A/D 変換値加算モードでの加算回数を選択します。ただし、A/D 変換値加算モードが選択されていないチャネルの A/D 変換では、本ビットの設定は無効です。 また、誤動作を防ぐため、本ビットの切り替えは、必ず ADREF の ADSCACT ビットと ADITACT ビットの値がどちらも 0 の状態で実施してください。 00：1 回変換（通常の変換と同じ） 01：2 回変換 10：3 回変換 11：4 回変換

18.4.8 A/D 割り込みトリガイネーブルレジスタ 0、1（ADTRE0、1）

ADTRE0、1 は、AN0～15、40～47 に対しての割り込み変換要求を禁止／許可を設定するレジスタです。割り込み変換を許可しているチャネルは、対応した割り込み変換要求が入ると割り込み変換されます。パワーオンリセットおよびハードウェアスタンバイモード時に、ADTRE0 は H'0000、ADTRE1 は H'00 に初期化されます。

- ADTRE0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTRGE 15	ADTRGE 14	ADTRGE 13	ADTRGE 12	ADTRGE 11	ADTRGE 10	ADTRGE 9	ADTRGE 8	ADTRGE 7	ADTRGE 6	ADTRGE 5	ADTRGE 4	ADTRGE 3	ADTRGE 2	ADTRGE 1	ADTRGE 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	ADTRGE15 ～ ADTRGE0	すべて 0	R/W	割り込み変換要求イネーブル ADTRGEn ビットを 1 にセットすると、そのビットに対応した ANn の割り込み変換要求を許可します。ADTRGEn ビットと ANn および割り込み要求トリガソースの対応については表 18.2 を参照してください。 0：ANn に対して ATU-III のタイマまたはソフトトリガ（ADSTRGn）からの割り込み変換要求禁止 1：ANn に対して ATU-III のタイマまたはソフトトリガ（ADSTRGn）からの割り込み変換要求許可

【注】 n＝0～15

- ADTRE1

ビット：	7	6	5	4	3	2	1	0
	ADTRGE47	ADTRGE46	ADTRGE45	ADTRGE44	ADTRGE43	ADTRGE42	ADTRGE41	ADTRGE40
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	ADTRGE47 ～ ADTRGE40	すべて 0	R/W	割り込み変換要求イネーブル ADTRGEn ビットを 1 にセットすると、そのビットに対応した ANn の割り込み変換要求を許可します。ADTRGEn ビットと ANn および割り込み要求トリガソースの対応については表 18.2 を参照してください。 ADTRE1 の ADTRGE40 が 1、ADTRGE44 が 1 に設定され、さらに割り込み要求が ATU-III のタイマ G0 に設定されているときにタイマ G0 が入力された場合は、AN40 を変換した後に AN44 の変換を行います。タイマ G1 で AN41 と AN45、タイマ G2 で AN42 と AN46、タイマ G3 で AN43 と AN47 の割り込み変換も同様な動作ができます。 0：ANn に対して ATU-III のタイマまたはソフトトリガ（ADSTRGn）からの割り込み変換要求禁止 1：ANn に対して ATU-III のタイマまたはソフトトリガ（ADSTRGn）からの割り込み変換要求許可

【注】 n＝40～47

18.4.9 A/D 割り込みトリガソース選択レジスタ 0、1（ADTRS0、1）

ADTRS0、1 は、割り込み変換のトリガソースを選択するレジスタです。トリガソースとして、ATU-III のタイマトリガまたは ADSTRG0、1 レジスタのライトによるソフトトリガのどちらかを選択できます。パワーオンリセットおよびハードウェアスタンバイモード時に、ADTRS0 は H'0000、ADTRS1 は H'00 に初期化されます。

- ADTRS0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTRS15	ADTRS14	ADTRS13	ADTRS12	ADTRS11	ADTRS10	ADTRS9	ADTRS8	ADTRS7	ADTRS6	ADTRS5	ADTRS4	ADTRS3	ADTRS2	ADTRS1	ADTRS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～1	ADTRS15 ～ ADTRS1	すべて 0	R/W	割り込み変換トリガソース選択 ADTRSn ビットを 0 にセットし、さらに A/D 割り込みトリガイネーブルレジスタの ADTREn ビットを 1 にしたときは、ATU-III のタイマトリガが入るとエッジを検出して ANn の割り込み変換を開始します。ADTRSn ビットを 1 にセットしたときは、A/D 割り込みソフトトリガレジスタの ADSTRGn ビットに 1 をライトするとエッジを検出して ANn の割り込み変換を開始します。ADTRSn ビットと ANn および割り込み要求トリガソースの対応は、表 18.2 を参照してください。 0：ANn の割り込み変換要求として ATU-III のタイマ D を選択 1：ANn の割り込み変換要求としてソフトトリガ（ADSTRGn）を選択
0	ADTRS0	0	R/W	割り込み変換トリガソース選択 AN0 に関しては、ATU-III のタイマトリガとしてタイマ D00A とタイマ G1 があり、ADTRS0 ビットを 0 に、ADCER0 の ITTRGS ビットを 0 にそれぞれ設定すると、タイマ D00A が割り込み変換要求トリガに選択され、ADTRS0 ビットを 0 に、ITTRGS ビットを 1 にそれぞれ設定すると、タイマ G1 が割り込み変換要求トリガに選択されます。 0：AN0 の割り込み変換要求として ATU-III のタイマ D00A またはタイマ G1 を選択 1：AN0 の割り込み変換要求としてソフトトリガ（ADSTRG0）を選択

【注】n＝1～15

- ADTRS1

ビット：	7	6	5	4	3	2	1	0
	ADTRS47	ADTRS46	ADTRS45	ADTRS44	ADTRS43	ADTRS42	ADTRS41	ADTRS40
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	ADTRS47 ～ ADTRS40	すべて 0	R/W	割り込み変換トリガソース選択 ADTRSn ビットを 0 にセットし、さらに A/D 割り込みトリガイネーブルレジスタの ADTREn ビットを 1 にしたときは、ATU-III のタイマトリガが入るとエッジを検出して ANn の割り込み変換を開始します。ADTRSn ビットを 1 にセットしたときは、A/D 割り込みソフトトリガレジスタの ADSTRGn ビットに 1 をライトするとエッジを検出して ANn の割り込み変換を開始します。ADTRSn ビットと ANn および割り込み要求トリガソースの対応は、表 18.2 を参照してください。 0：ANn の割り込み変換要求として ATU-III のタイマ G を選択 1：ANn の割り込み変換要求としてソフトトリガ（ADSTRGn）を選択

【注】n＝40～47

18.4.10 A/D 割り込みソフトトリガレジスタ 0、1（ADSTRG0、1）

ADSTRG0、1 は、ソフトウェアで割り込み変換を起動するレジスタです。ADSTRG0、1 は書き込み専用のレジスタで、読み出すと常に 0 が読み出されます。

- ADSTRG0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADSTRG 15	ADSTRG 14	ADSTRG 13	ADSTRG 12	ADSTRG 11	ADSTRG 10	ADSTRG 9	ADSTRG 8	ADSTRG 7	ADSTRG 6	ADSTRG 5	ADSTRG 4	ADSTRG 3	ADSTRG 2	ADSTRG 1	ADSTRG 0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　　明
15～0	ADSTRG15 ～ ADSTRG0	すべて 0	W	割り込み変換ソフトトリガ ANn に対応した A/D 割り込みトリガソース選択レジスタの ADTRSn ビットを 1 にセットし、さらに A/D 割り込みトリガイネーブルレジスタの ADTREn ビットを 1 にしたとき、ADSTRGn ビットに 1 をライトするとエッジを検出して ANn の割り込み変換を開始します。また、割り込み変換の要求をしない ANn には 0 をライトしてください。0 がライトされた ANn は何も影響されません。割り込み変換の要求を行うと内部回路でその要因を ANn 単位に保持します。要因のある ANn の割り込み変換が実施され終了すると ANn の要因をクリアします。したがって、一度 ADSTRGn に 1 をライトすると、その後 0 をライトしても ANn の要因はクリアされず、割り込み変換は実施されます。ただし、要因のある状態でさらに ADSTRGn に 1 をライトしても ANn の割り込み変換を 2 回実施するわけではありません。 1 チャネルにつき 1 要因です。これは、ATU-III のタイマトリガの要求で割り込み変換を実施する場合も同様です。ADSTRGn と ANn の対応は、表 18.2 を参照してください。 0：ANn に対して割り込み変換要求（ソフトトリガ）なし 1：ANn に対して割り込み変換要求（ソフトトリガ）あり

【注】n＝0～15

- ADSTRG1

ビット：	7	6	5	4	3	2	1	0
	ADSTRG47	ADSTRG46	ADSTRG45	ADSTRG44	ADSTRG43	ADSTRG42	ADSTRG41	ADSTRG40
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　　明
7～0	ADSTRG47 ～ ADSTRG40	すべて 0	W	割り込み変換ソフトトリガ ANn に対応した A/D 割り込みトリガソース選択レジスタの ADTRSn ビットを 1 にセットし、さらに A/D 割り込みトリガイネーブルレジスタの ADTREn ビットを 1 にしたとき、ADSTRGn ビットに 1 をライトするとエッジを検出して ANn の割り込み変換を開始します。また、割り込み変換の要求をしない ANn には 0 をライトしてください。0 がライトされた ANn は何も影響されません。割り込み変換の要求を行うと内部回路でその要因を ANn 単位に保持します。要因のある ANn の割り込み変換が実施され終了すると ANn の要因をクリアします。したがって、一度 ADSTRGn に 1 をライトすると、その後 0 をライトしても ANn の要因はクリアされず、割り込み変換は実施されます。ただし、要因のある状態でさらに ADSTRGn に 1 をライトしても ANn の割り込み変換を 2 回実施するわけではありません。 1 チャネルにつき 1 要因です。これは、ATU-III のタイマトリガの要求で割り込み変換を実施する場合も同様です。ADSTRGn と ANn の対応は、表 18.2 を参照してください。 0：ANn に対して割り込み変換要求（ソフトトリガ）なし 1：ANn に対して割り込み変換要求（ソフトトリガ）あり

【注】n＝40～47

18.4.11 A/D 割り込みトリガ処理終了フラグレジスタ 0、1（ADTRF0、1）

ADTRF0、1 は、割り込み変換が終了したことを知らせるステータスレジスタです。割り込み変換が終了したら、そのチャネル（ANn）対応した ADTFn ビットを 1 にセットします。パワーオンリセットおよびハードウェアスタンバイモード時に、ADTRF0 は H'0000、ADTRF1 は H'00 に初期化されます。

- ADTRF0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADTF15	ADTF14	ADTF13	ADTF12	ADTF11	ADTF10	ADTF9	ADTF8	ADTF7	ADTF6	ADTF5	ADTF4	ADTF3	ADTF2	ADTF1	ADTF0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15～1	ADTF15 ～ ADTF1	すべて 0	R/(W)*	割り込み変換終了フラグ ADTFn は、割り込み変換が終了したことを示すステータスフラグです。 ADTFn に 1 を書き込むことはできません。ADTFn に 1 がセットされたときに ANn の割り込み変換終了割り込み（ADIDn）を発生することができます。ADTFn と ANn の対応については表 18.2 を参照してください。 0：ANn の割り込み変換がアイドル状態であることを示します。 ［クリア条件］ • ADTFn＝1 の状態を読み出した後、0 を書き込んだとき 1：ANn の割り込み変換が終了し、A/D 変換値が ADRn に転送されたことを示します。 ［セット条件］ • ANn の割り込み変換が終了したとき
0	ADTF0	0	R/(W)*	割り込み変換終了フラグ ADTF0 は、割り込み変換が終了したことを示すステータスフラグです。 ADTF0 に 1 を書き込むことはできません。ADTF0 に 1 がセットされたときに AN0 の割り込み変換終了割り込み（ADID0）を発生することができます。ADTF0 と AN0 の対応については表 18.2 を参照してください。 0：AN0 の割り込み変換がアイドル状態であることを示します。 ［クリア条件］ • ADTF0＝1 の状態を読み出した後、0 を書き込んだとき • ADID0 により A-DMAC が起動されたとき 1：AN0 の割り込み変換が終了し、A/D 変換値が ADR0 に転送されたことを示します。 ［セット条件］ • AN0 の割り込み変換が終了したとき

【注】 1. ADTFn を 0 にクリアしなくても ANn の割り込み変換要求は受け付けます。A/D データレジスタ n の退避タイミングは、注意してください。

2. n＝1～15

- ADTRF1

ビット：	7	6	5	4	3	2	1	0
	ADTF47	ADTF46	ADTF45	ADTF44	ADTF43	ADTF42	ADTF41	ADTF40
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
7～0	ADTF47 ～ ADTF40	すべて 0	R/(W)*	割り込み変換終了フラグ ADTFn は、割り込み変換が終了したことを示すステータスフラグです。 ADTFn に 1 を書き込むことはできません。ADTFn に 1 がセットされたときに ANn の割り込み変換終了割り込み（ADIDn）を発生することができます。また、ANn は、DMAC の DMA 転送要求を発生することができます。ADTFn と ANn の対応については表 18.2 を参照してください。 0：ANn の割り込み変換がアイドル状態であることを示します。 ［クリア条件］ • ADTFn＝1 の状態を読み出した後、0 を書き込んだとき • ADIDn により DMAC が起動されたとき 1：ANn の割り込み変換が終了し、A/D 変換値が ADRn に転送されたことを示します。 ［セット条件］ • ANn の割り込み変換が終了したとき

【注】 1. ADTFn を 0 にクリアしなくても ANn の割り込み変換要求は受け付けます。A/D データレジスタ n の退避タイミングは、注意してください。

2. n＝40～47

18.4.12 A/D 割り込みトリガ処理終了割り込みイネーブルレジスタ 0、1（ADTRD0、1）

ADTRD0、1 は、ADTRF の ADTF ビットが 1 にセットされたときに A/D 割り込み変換終了割り込みの発生を禁止／許可をするレジスタです。パワーオンリセットおよびハードウェアスタンバイモード時に、ADTRD0 は H'0000、ADTRD1 は H'00 に初期化されます。

- ADTRD0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADIDE15	ADIDE14	ADIDE13	ADIDE12	ADIDE11	ADIDE10	ADIDE9	ADIDE8	ADIDE7	ADIDE6	ADIDE5	ADIDE4	ADIDE3	ADIDE2	ADIDE1	ADIDE0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～1	ADIDE15 ～ADIDE1	すべて 0	R/W	割り込み変換終了割り込みイネーブル ADIDEn ビットは、ANn の割り込み変換終了割り込み（ADIDn）の発生を許可／禁止するビットです。なお、誤動作を防ぐため、ADIDEn の切り替えは、必ず ADREF0 の ADITACT ビットが 0 の状態で行ってください。ANn の割り込み変換が終了して、割り込み変換終了フラグレジスタの ADTFn ビットが 1 にセットされたとき、ADIDEn が 1 にセットされていると ADIDn 信号が発生します。ADTFn を 0 にクリアするか、ADIDEn を 0 にクリアすることで、ADIDn 信号のクリアが可能です。 ADIDEn と ANn および ADIDn の対応は、表 18.2 を参照してください。 0：ANn の割り込み変換終了後の割り込み要求（ADIDn）を禁止 1：ANn の割り込み変換終了後の割り込み要求（ADIDn）を許可
0	ADIDE0	0	R/W	割り込み変換終了割り込みイネーブル ADIDE0 ビットは、AN0 の割り込み変換終了割り込み（ADID0）の発生を許可／禁止するビットです。なお、誤動作を防ぐため、ADIDE0 の切り替えは、必ず ADREF0 の ADITACT ビットが 0 の状態で行ってください。AN0 の割り込み変換が終了して、割り込み変換終了フラグレジスタの ADTF0 ビットが 1 にセットされたとき、ADIDE0 が 1 にセットされていると ADID0 信号が発生します。ADTF0 を 0 にクリアするか、ADIDE0 を 0 にクリアすることで、ADID0 信号のクリアが可能です。 さらに、AN0 は ADID0 で A-DMAC による DMA 転送を実行することができます。ADIDE0 と AN0 および ADID0 の対応は、表 18.2 を参照してください。 0：AN0 の割り込み変換終了後の割り込み要求（ADID0）または DMA 転送要求を禁止 1：AN0 の割り込み変換終了後の割り込み要求（ADID0）または DMA 転送要求を許可

【注】n＝1～15

- ADTRD1

ビット：	7	6	5	4	3	2	1	0
	ADIDE47	ADIDE46	ADIDE45	ADIDE44	ADIDE43	ADIDE42	ADIDE41	ADIDE40
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	ADIDE47 ～ ADIDE40	すべて 0	R/W	割り込み変換終了割り込みイネーブル ADIDEn ビットは、ANn の割り込み変換終了割り込み（ADIDn）の発生を許可／禁止するビットです。なお、誤動作を防ぐため、ADIDEn の切り替えは、必ず ADREF1 の ADITACT ビットが 0 の状態で行ってください。ANn の割り込み変換が終了して、割り込み変換終了フラグレジスタの ADTFn ビットが 1 にセットされたとき、ADIDEn が 1 にセットされていると ADIDn 信号が発生します。ADTFn を 0 にクリアするか、ADIDEn を 0 にクリアすることで、ADIDn 信号のクリアが可能です。 さらに、AN40～47 は ADID40～47 で DMAC による DMA 転送を実行することができます。ADIDEn と ANn および ADIDn の対応は、表 18.2 を参照してください。 0：ANn の割り込み変換終了後の割り込み要求（ADIDn）または DMA 転送要求を禁止 1：ANn の割り込み変換終了後の割り込み要求（ADIDn）または DMA 転送要求を許可

【注】n＝40～47

18.4.13 CPU とのインタフェース

A/D データレジスタは 16 ビットのレジスタであり、CPU と結合している周辺バスも 16 ビット幅です。A/D データレジスタの読み出しは、必ずワード単位で行ってください。バイト単位で上位バイト／下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

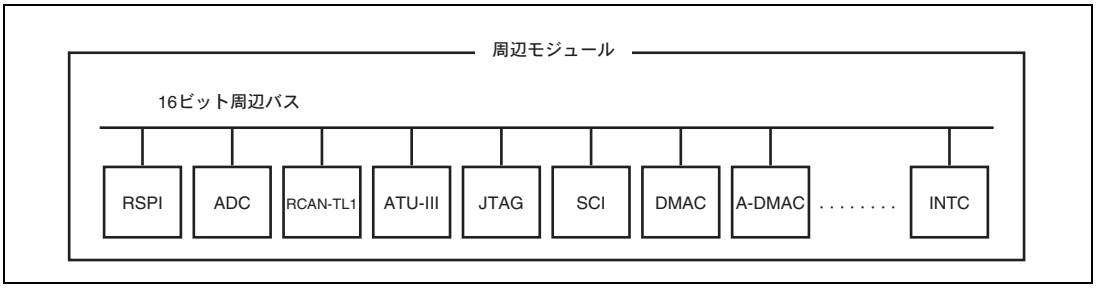


図 18.3 CPU と A/D 変換器（ADC）のインタフェース

18.5 動作説明

18.5.1 スキャン変換動作

スキャン変換の動作モードには、1 サイクルスキャンモードと連続スキャンモードの 2 種類の動作モードがあります。1 サイクルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャネル以上のスキャンをソフトウェアで ADST ビットを 0（1 の状態から 0）にクリアするまで無制限に繰り返し実施するモードです。

1 サイクルスキャンモードの選択は、ADCSR の ADCS ビットを 0 にセットすることにより行います。連続スキャンモードの選択は、ADCS ビットを 1 にセットすることにより行います。スキャン変換は、ADC_A は AN0～22 の若いチャネル順、ADC_B は AN40～48 の若いチャネル順に実施されます。

1 サイクルスキャンの場合、選択したすべてのチャネルを 1 通り A/D 変換（スキャン）すると ADREF レジスタの ADF ビットを 1 にセット、ADREF レジスタの ADSCACT ビットを 0 にクリアしてスキャン変換を終了します。連続スキャンの場合、選択したすべてのチャネルを 1 通り A/D 変換（スキャン）すると ADF ビットを 1 にセットし、さらにスキャン変換を続けます。ADF ビットは、各スキャンが終了するたびに 1 にセットされます。

スキャン変換を停止する場合、ADST ビットが 1 の状態のときに 0 を書き込んでください。ADST ビットが 0 の状態で 0 を書き込んでも、A/D 変換器には何も影響しません。同様に、ADST ビットが 1 の状態のときに 1 を書き込んでも、A/D 変換器には何も影響しません。したがって、ADST ビット以外のスキャン変換要求でスキャン変換を起動し、途中でスキャン変換を停止させる場合は、一度 ADST ビットに 1 を書き込んでから 0 を書き込んでください。

ADF ビットが 1 にセットされたとき、ADCSR の ADIE ビットが 1 にセットされていると ADI 割り込み要求を発生します。ADF ビットを 0 にクリアするときには、ADF ビットが 1 の状態を読み出した後、0 を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には自動的に 0 にクリアされ、ADI 割り込みもクリアされます。

18.5.2 1 サイクルスキャンモード

AN0、AN3、AN9 を選択し、さらに ADI0 割り込みを許可し 3 チャネルの 1 サイクルスキャンモードでスキャン変換を行う場合の動作例を次に示します。ADC_B に関しても操作は同じです。

1. A/Dコントロールレジスタ0（ADCSR0）のADCSビットに0を、ADIEビットに1を設定します。
2. A/Dチャネル選択レジスタ0（ADANS0）のANS0、ANS3、ANS9ビットにそれぞれ1を設定します。
3. A/Dコントロールレジスタ0（ADCSR0）のADSTビットに1をセットし、スキャン変換を開始します。すでにADSTビットが1にセットされている場合は、一度0にクリアしてから1をセットします。
4. スキャン変換が開始すると、ADSCACTビットが1にセットされます。次にAN0のA/D変換が開始されます。A/D変換が終了すると、A/D変換値をADR0に転送します。その後は、AN3→AN9の順番でAN0と同じように順次処理されていきます。

5. 設定したすべてのチャネル（AN0、AN3、AN9）のA/D変換値がADRnに転送されると、ADFビットが1にセットされます。このとき、ADIEビットが1に設定されているため、ADI0割り込みを発生します。また、ADSCACTビットは0にクリアされ、スキャン変換が終了します。
6. ADI0の割り込みルーチンが開始されます。割り込みルーチンでADFビットの1を読み出した後に0を書き込んでADI0をクリアします。次にADR0、ADR3、ADR9を読み出し、処理します。
7. ADI0の割り込みルーチンを終了します。

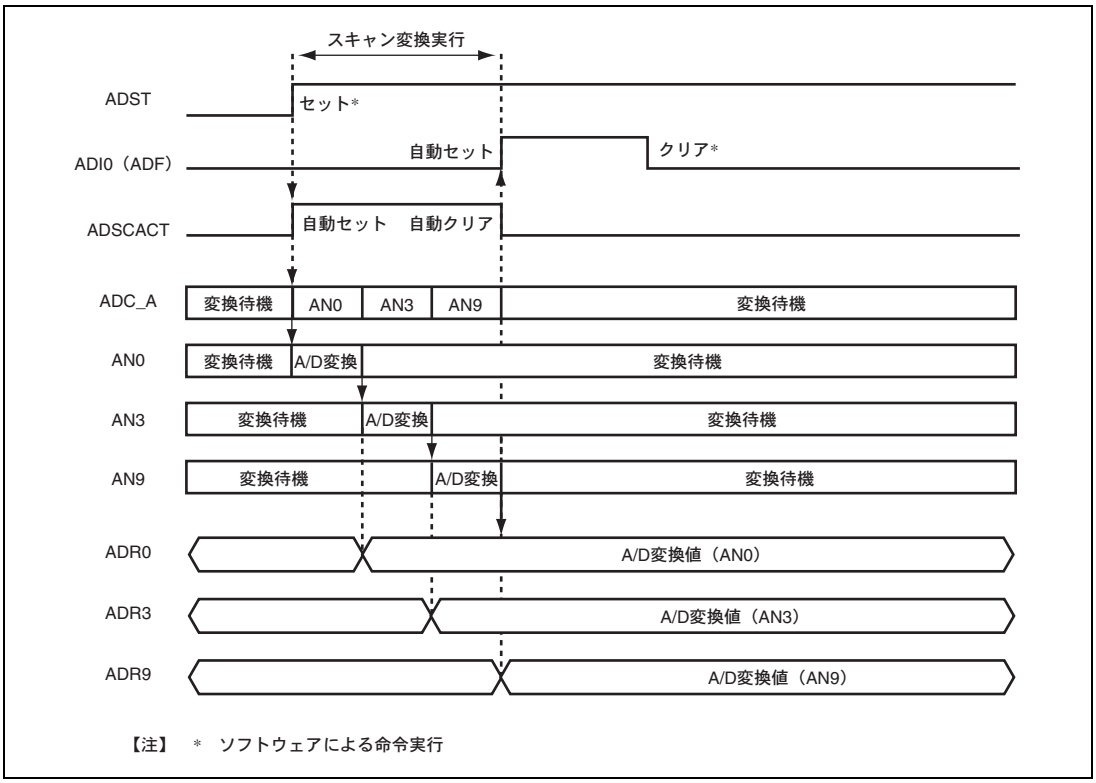


図 18.4 1 サイクルスキャンモードの動作例

18.5.3 連続スキャンモード

AN0、AN3、AN9 を選択し、さらに ADI0 割り込みを許可し、3 チャネルの連続スキャンモードでスキャン変換を行う場合の動作例を次に示します。ADC_B に関しても操作は同じです。

1. A/Dコントロールレジスタ0（ADCSR0）のADCSビットに1を、ADIEビットに1を設定します。
2. A/Dチャネル選択レジスタ0（ADANS0）のANS0、ANS3、ANS9ビットにそれぞれ1を設定します。
3. A/Dコントロールレジスタ0（ADCSR0）のADSTビットに1をセットし、スキャン変換を開始します。すでにADSTが1にセットされている場合は、一度0にクリアしてから1をセットします。
4. スキャン変換が開始すると、ADSCACTビットが1にセットされます。次にAN0のA/D変換が開始されます。A/D変換が終了すると、A/D変換値をADR0に転送します。その後は、AN3→AN9の順番でAN0と同じように順次処理されていきます。
5. 設定したすべてのチャネル（AN0、AN3、AN9）のA/D変換値がADRnに転送されると、ADFビットが1にセットされます。このとき、ADIEビットが1に設定されているため、ADI0割り込みを発生します。また、スキャン変換は、スキャンの先頭に戻ります。
6. ADI0の割り込みルーチンが開始されます。割り込みルーチンでADFビットの1を読み出した後0を書き込んでADI0をクリアします。次にADR0、ADR3、ADR9を読み出し、処理します。
7. ADI0の割り込みルーチンを終了します。
8. ADSTビットが1にセットされている間は、4.～7.を繰り返します。ADSTビットを0 にクリアすると、ADSCACTビットが0にクリアされ、スキャン変換が終了します。その後、ADSTビットを1にセットすると再びスキャン変換を開始します。

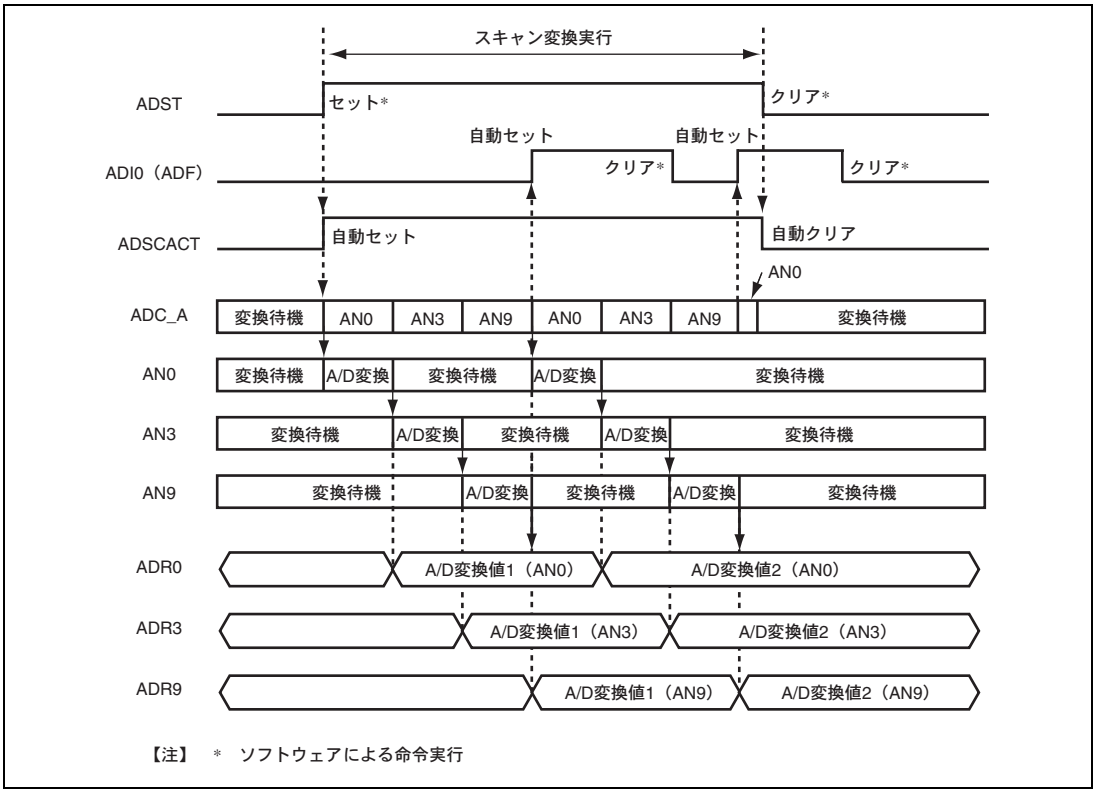


図 18.5 連続スキャンモードの動作例

18.5.4 割り込み変換

割り込み変換は、AN0～15、40～47 に対して、ATU-III のタイマトリガまたはソフトトリガの要求が発生した場合、要求のあったチャネルを A/D 変換します。スキャン変換が、要求により選択されたすべてのチャネルを変換するのに対して、割り込み変換は、各要求によりチャネル単位の変換をするという特徴があります。

割り込み変換を行う場合、ADTRE レジスタの ADTRGE ビットに 1 を設定し、ADTRS レジスタの ADTRS ビットによりトリガソースを選択します。この状態で選択したトリガソースから割り込み変換要求が入ると、対応する AN の A/D 変換を実施します。AN の割り込み変換が終了すると ADTRF レジスタの ADTF ビットを 1 にセットします。ADTF ビットは、AN の割り込み変換が終了するたびに 1 にセットされます。さらに、いずれかの割り込み変換が実施されると、ADREF レジスタの ADITACT ビットは 1 にセットされます。割り込み変換要求のあるすべての AN の A/D 変換が終了すると、ADITACT ビットは 0 にクリアされます。

割り込み変換が競合した場合、優先順位に従って A/D 変換します。ADC_A は、AN0＞AN1＞・・・＞AN14＞AN15 のように、優先順位は若いチャネルが高くなります。ADC_B は、AN40＞AN44＞AN41＞AN45＞AN42＞AN46＞AN43＞AN47 のように、優先順位は AN40 が 1 番高く、AN47 が 1 番低くなります。このとき、若いチャネル順でないことに注意してください。ただし、あるチャネル（ANi）の割り込み変換中に別のチャネル（ANj、ANk）の割り込み変換要求が入った場合、優先順位にかかわらず途中で A/D 変換を中断しません。この場合には、A/D 変換中の ANi が終了した後に、処理されていない割り込み変換要求のあるすべてのチャネル（この場合 ANj、ANk）を優先順位に従った順番で A/D 変換します。したがって、割り込み変換の優先順位は、次に処理する割り込み変換のチャネルを決定するものです。一つのトリガソースで 2 チャネルに対して割り込み変換要求を発生した場合や、複数のトリガソースが同時に割り込み変換要求を発生した場合にも、この優先順位に従った順番で A/D 変換します。

スキャン変換中に割り込み変換を行う場合、スキャン変換で A/D 変換中のチャネル（ANi）を途中で中断し、割り込み変換要求のあったチャネル（ANj）の A/D 変換を実施します。ANj の割り込み変換が終了すると、途中で中断されたチャネル（ANi）の A/D 変換からスキャン変換を再開します。これにより、割り込み変換要求から割り込み変換終了までの時間は常に同じ時間となります。たとえば、LSI 外部の A/D 変換ソースの動作に同期させ、ピンポイントで A/D 変換を実施するというようなことが可能となります。

ADTF ビットが 1 にセットされたとき、ADTRD レジスタの ADIDE ビットが 1 にセットされていると、ADID 割り込み要求を発生します。ADTF ビットを 0 にクリアするときには、ADTF ビットが 1 の状態を読み出した後、0 を書き込んでください。ただし、ADID 割り込みで DMAC または A-DMAC を起動した場合には自動的に 0 にクリアされ、ADID 割り込みもクリアされます。DMAC の DMA 転送がサポートされているのは、AN40（ADID40）～AN47（ADID47）で、A-DMAC の DMA 転送がサポートされているのは、AN0（ADID0）です。

18.5.5 割り込み変換の動作例

AN40 のトリガソースをタイマ G0 に、AN42/AN46 のトリガソースをタイマ G2 に選択し、割り込み変換を行う場合の動作例を次に示します。

1. A/D割り込みトリガイネーブルレジスタ1（ADTRE1）のADTRGE40、ADTRGE42、ADTRGE46にそれぞれ1を設定します。
2. A/D割り込みトリガソース選択レジスタ1（ADTRS1）のADTRS40、ADTRS42、ADTRS46にそれぞれ0を設定します。
3. 以降は、ATU-IIIのレジスタの設定に従った周期で、タイマG0、タイマG2の割り込み変換要求が発生します。ATU-IIIのレジスタについては、「第12章　アドバンストタイマユニット-III（ATU-III）」を参照してください。
4. タイマG0の割り込み変換要求が発生すると、ADITACTビットが1にセットされ、AN40の割り込み変換が実施されます。AN40のA/D変換が終了すると、AN40のA/D変換値をADR40に転送し、ADTRF1のADTF40ビットを1にセットします。また、ADITACTビットが0にクリアされ、割り込み変換が終了します。さらに、ADTRD1のADIDE40ビットが1にセットされていると、CPUに対してADID40割り込みを発生します。
5. タイマG2の割り込み変換要求が発生すると、ADITACTビットが1にセットされ、AN42とAN46の割り込み変換が実施されます。AN42のA/D変換が実施され、終了すると、AN42のA/D変換値をADR42に転送し、ADTRF1のADTF42ビットを1にセットします。次にAN46のA/D変換が実施され終了すると、AN46のA/D変換値をADR46に転送し、ADTRF1のADTF46ビットを1にセットします。また、ADITACTビットが0にクリアされ、割り込み変換を終了します。さらに、ADTF42ビットまたはADTF46ビットが1にセットされたときに、ADTRD1のADIDE42ビットとADIDE46ビットが1にセットされていると、CPUに対してそれぞれADID42、ADID46の割り込みを発生します。
6. 以降は4.～5.を繰り返します。タイマG0とタイマG2が競合したときの動作例を次に示します。

（1） 動作例 1

タイマ G2 の割り込み変換要求による AN42 の A/D 変換中に、タイマ G0 の割り込み変換要求が入った場合、次のように処理します。

タイマ G0 の要因を A/D 内部で保持します。AN42 が処理されるのを待ちます。AN42 の A/D 変換が終了すると、現時点の要因である AN46 と AN40 に優先順位が適用され、AN40→AN46 の順に A/D 変換されます。

（2） 動作例 2

タイマ G0 の割り込み変換要求とタイマ G2 の割り込み変換要求が同時に入った場合、次のように処理します。タイマ G0 の要因とタイマ G2 の要因を A/D 内部で保持します。現時点の要因である AN40、AN42、および AN46 に優先順位が適用され、AN40→AN42→AN46 の順に A/D 変換されます。

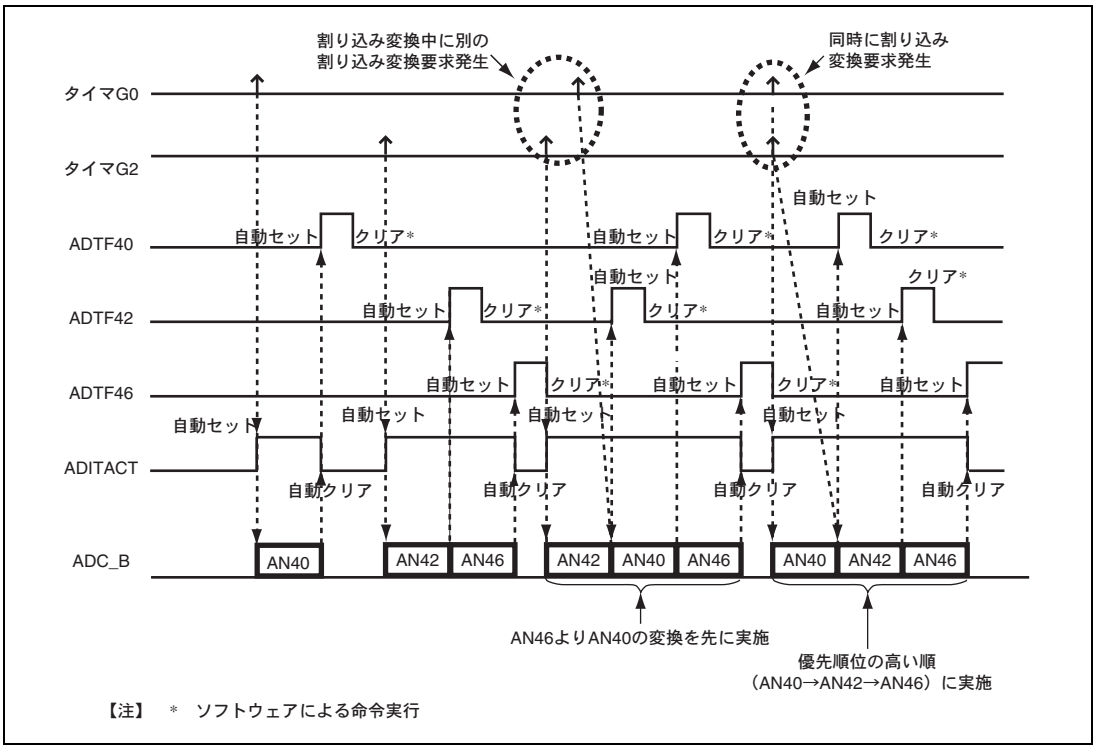


図 18.6 割り込み変換の動作例

18.5.6 スキャン変換中の割り込み変換

AN0、AN3、AN9 を選択し、3 チャネルの 1 サイクルスキャンモードをタイマ G4 のスキャン変換要求で起動し、AN6 のトリガソースをタイマ D03A に選択し、割り込み変換を行う場合の動作例を次に示します。

1. A/Dコントロールレジスタ0（ADCSR0）のADCSに0、TRGEに1、EXTRGに0を設定します。
2. A/Dチャネル選択レジスタ0（ADANS0）のANS0、ANS3、ANS9にそれぞれ1を設定します。
3. A/D割り込みトリガイネーブルレジスタ0（ADTRE0）のADTRGE6ビットに1を設定します。
4. A/D割り込みトリガソース選択レジスタ0（ADTRS0）のADTRS6ビットに0を設定します。
5. 以降は、ATU-IIIのレジスタの設定に従った周期でタイマG4のスキャン変換要求、タイマD03Aの割り込み変換要求が発生します。ATU-IIIのレジスタについては、**「第12章　アドバンストタイマユニット-III（ATU-III）」**を参照してください。
6. タイマG4のスキャン変換要求が発生すると、ADSCACTビットが1にセットされます。次に、AN0→AN3→AN9の順にA/D変換を実施し終了すると、ADFビットを1にセットし、ADSCACTビットを0にクリアしてスキャン変換が終了します。
7. タイマD03Aの割り込み変換要求が発生すると、ADITACTビットが1にセットされ、AN6の割り込み変換が実施されます。AN6のA/D変換を実施し終了すると、ADTRF0のADTF6ビットを1にセットし、ADITACTビットを0にクリアして割り込み変換が終了します。
8. 以降は6.～7.を繰り返します。スキャン変換と割り込み変換が競合したときの動作例を次に示します。

（1） 動作例

タイマ G4 のスキャン変換要求によるスキャン変換で AN3 の A/D 変換中に、タイマ D03A の割り込み変換要求が入った場合、次のように処理します。

タイマ D03A の要因を A/D 内部で保持し、スキャン変換の AN3 の A/D 変換を中断します。現時点の未処理であるスキャン変換の AN3 と AN9 および現時点の要因である割り込み変換の AN6 に優先順位が適用され、AN6→AN3→AN9 の順に A/D 変換されます。

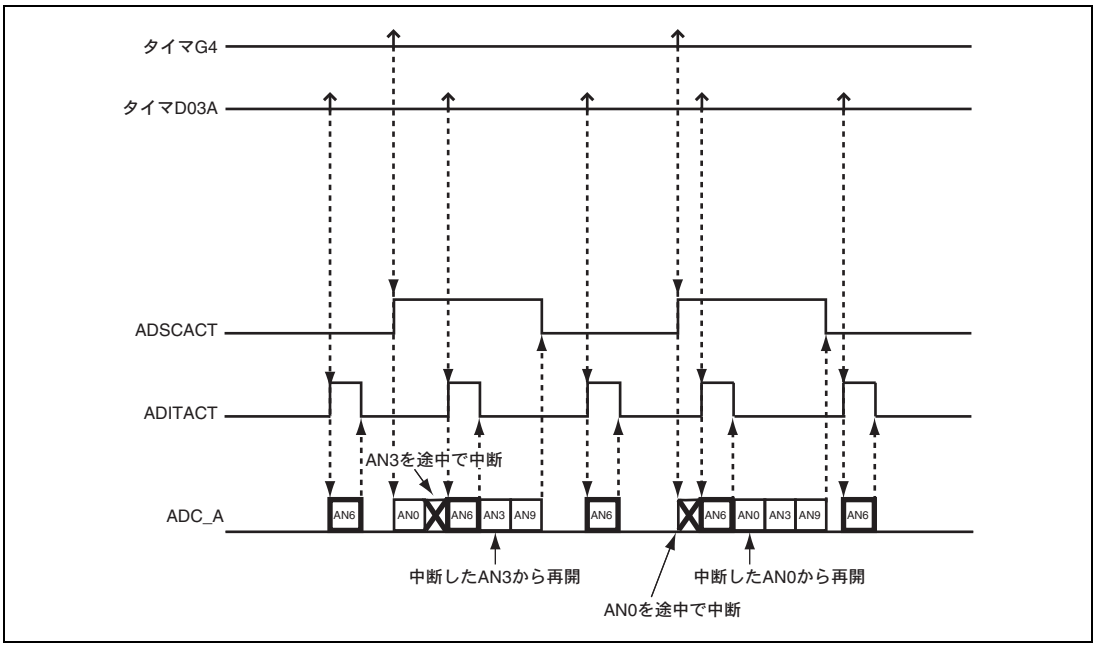


図 18.7 スキャン変換中の割り込み変換の動作例

18.5.7 アナログ入力のサンプリングとスキャン変換時間

A/D 変換器には、サンプル＆ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから、スキャン変換開始遅延時間（t_D）の経過後にアナログ入力のサンプリングを行い、その後変換を開始します。

図 18.8 に、1 チャネルの 1 サイクルスキャンでスキャン変換を行う場合のタイミングを示します。スキャン変換時間（t_{SCAN}）は、スキャン変換開始遅延時間（t_D）、アナログ入力サンプリング時間（t_{SPL}）、A/D 変換処理時間（t_{CONV}）、スキャン変換終了遅延時間（t_{ED}）を含めた時間となります。スキャン変換時間を表 18.5 に示します。

選択チャネル数が n の 1 サイクルスキャンのスキャン変換時間（t_{SCAN}）は、以下の計算式で求められます。

$t_{SCAN}=t_D+\{(t_{SPL}+t_{CONV})\times n\}+t_{ED}$

連続スキャンの 1 サイクル目のスキャン変換時間は、1 サイクルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降のスキャン変換時間は、$\{(t_{SPL}+t_{CONV})\times n\}$に固定された時間となります。

表 18.5 スキャン変換時間

項　　目	記号	Pφ換算		単位
		低速（CKS＝0）	高速（CKS＝1）	
スキャン変換開始遅延時間	t_D	7	5	ステート
アナログ入力サンプリング時間	t_{SPL}	20	10	
A/D 変換処理時間	t_{CONV}	30	15	
スキャン変換終了遅延時間	t_{ED}	4	2	
スキャン変換時間	t_{SCAN}	61	32	

【注】 周辺クロック 2 逓倍設定時の CKS＝1 の設定は禁止です。

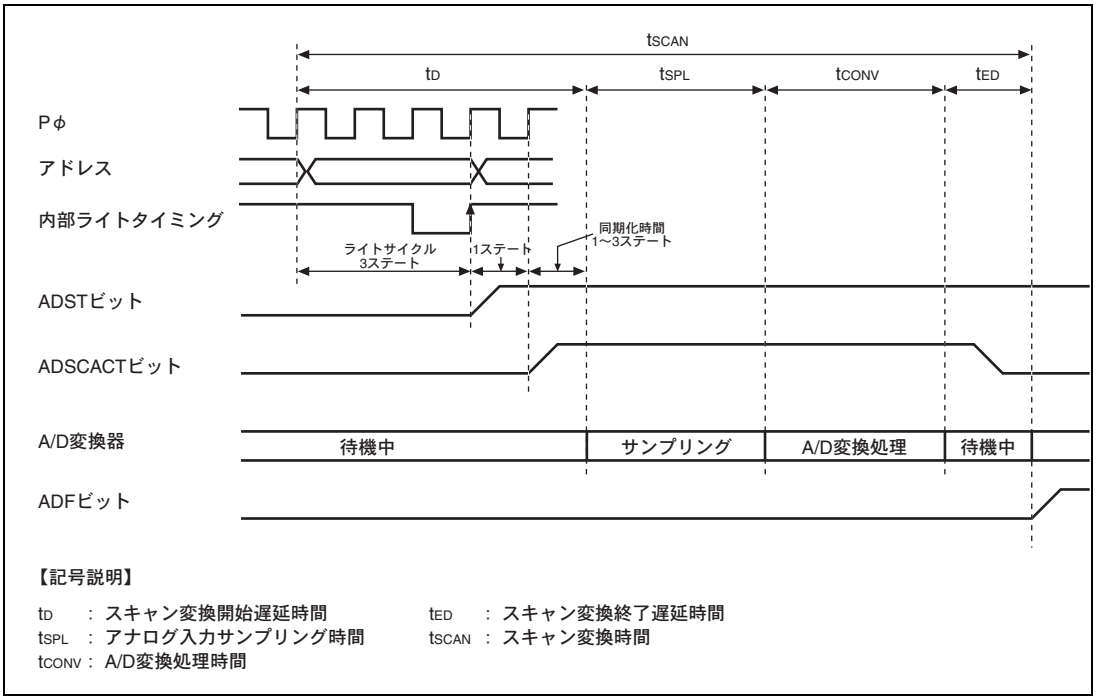


図 18.8 スキャン変換のタイミング（1 チャネル、1 サイクルスキャン）

18.5.8 外部トリガによるスキャン変換の起動

外部トリガの入力で、A/D 変換器を起動することができます。外部トリガで A/D 変換器を起動するときには、ピンファンクションコントローラ（PFC）で端子機能を設定します。ADTRG 端子にハイレベルを入力した後、A/D コントロールレジスタ（ADCSR）の TRGE ビットを 1、EXTRG ビットを 1 にセットします。この状態で ADTRG 端子にローレベルを入力すると、A/D 変換器はパルスの立ち下がりエッジを検出して ADSCACT ビットを 1 にセットします。

図 18.9 に外部トリガ入力タイミングを示します。ADSCACT ビットが 1 にセットされるタイミングは、低速設定時（CKS＝0）には、ADTRG 端子の立ち下がりエッジをサンプリングしてから 4 ステート、高速設定時（CKS＝1）には、ADTRG 端子の立ち下がりエッジをサンプリングしてから 3 ステートです。

ADSCACT ビットが 1 にセットされてからスキャン変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットが 0 の状態で 1 にセットされた場合と同じです。端子機能の設定については、**「第 20 章　ピンファンクションコントローラ（PFC）」**を参照してください。

また、途中でスキャン変換を停止させる場合は、一度 ADST ビットに 1 を書き込んでから 0 を書き込んでください。

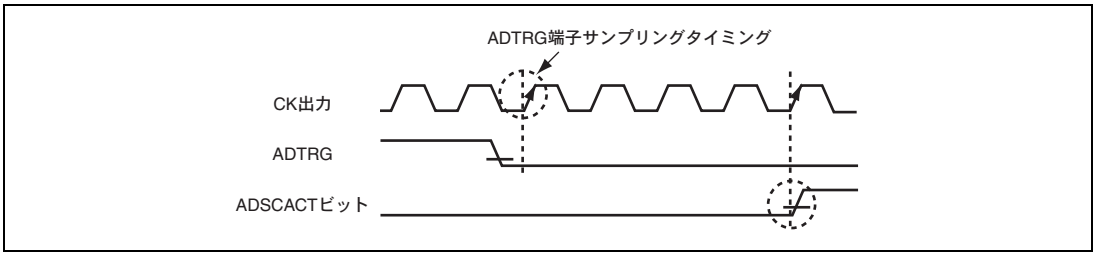


図 18.9　外部トリガ入力タイミング

18.5.9 ATU-III のタイマトリガによるスキャン変換の起動

ATU-III のタイマトリガによって、スキャン変換を起動することができます。ATU-III のタイマトリガでスキャン変換を起動するときには、A/D コントロールレジスタ（ADCSR）の TRGE ビットを 1、EXTRG ビットを 0 にセットします。この状態でタイマトリガ（タイマ G4、タイマ G5）が入ると、ADSCACT ビットを 1 にセットします。ADSCACT ビットが 1 にセットされてからスキャン変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットが 0 の状態で 1 にセットされた場合と同じです。

また、途中でスキャン変換を停止させる場合は、一度 ADST ビットに 1 を書き込んでから 0 を書き込んでください。

18.5.10 ADEND_A、ADEND_B 出力端子によるモニタ機能

ADEND_A、ADEND_B 出力端子によって、AN0、AN40 をスキャン変換で使用する場合の変換タイミングをモニタすることができます。端子の設定に関しては、「第 20 章　ピンファンクションコントローラ（PFC）」を参照してください。

図 18.10 に ADEND_A、ADEND_B の出力例を示します。PFC で、ADEND_A、ADEND_B 出力を選択した場合は、AN0、AN40 の変換処理中に、ADEND_A、ADEND_B 出力端子からそれぞれモニタ信号を出力します。AN0、AN40 のサンプリング終了した時点で、ADEND_A、ADEND_B がそれぞれ出力されます。

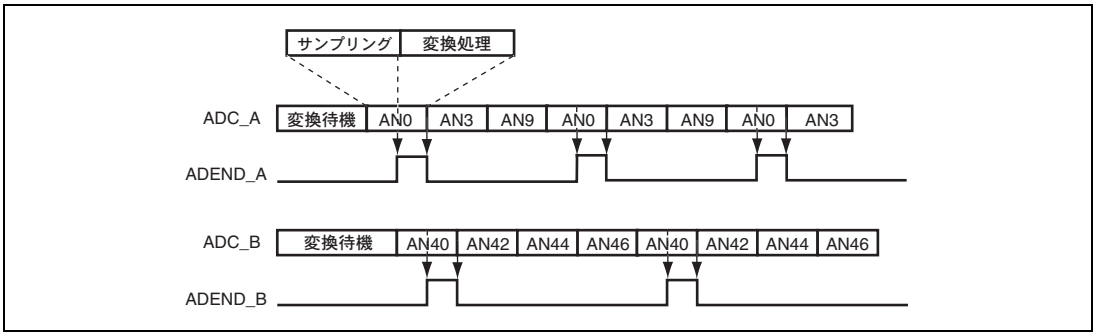


図 18.10　ADEND_A、ADEND_B 端子の出力例

【注】　ADEND_A、ADEND_B がハイレベルを出力しているときに割り込み変換が実施された場合、一度ローレベルを出力します。そのあとに再度スキャン変換で AN0、AN40 が変換されるため、ADEND_A、ADEND_B は再びハイレベルを出力します。また、割り込み変換で AN0、AN40 を変換した場合も、ADEND_A、ADEND_B からハイレベルが出力されます。さらに、AN0、AN40 が A/D 変換値加算モードに設定されている場合は、最後の A/D 変換（4 回変換の場合、4 回目の変換）でのみ ADEND_A、ADEND_B からハイレベルが出力されます。

18.6 割り込み要因と DMA 転送要求

18.6.1 スキャン変換終了時の割り込み要求

A/D 変換器は、CPU へのスキャン変換終了割り込み要求（ADI）を発生することができます。A/D コントロールレジスタ（ADCSR）の ADIE ビットを 1 にセットすると、ADI 割り込みを許可、0 にクリアすると ADI 割り込みを禁止することができます。また、ADI 割り込み発生時に DMAC を起動することができます。このとき、CPU への割り込みは発生しません。ADI 割り込みで DMAC を起動する場合、DMAC によるデータ転送時に A/D 変換ステータスレジスタ（ADREF）の ADF ビットは自動的に 0 にクリアされます。

DMAC の設定については**「第 10 章　ダイレクトメモリアクセスコントローラ（DMAC）」**を参照してください。

【注】 ADF ビットは、CPU への割り込み要求ではクリアされません。

18.6.2 割り込み変換終了時の割り込み要求

割り込み変換終了時に、CPU への割り込み変換終了割り込み要求（ADID0～15、40～47）を発生することできます。A/D 割り込みトリガ処理終了割り込みイネーブルレジスタ（ADTRD）の ADIDE0～15、40～47 ビットをそれぞれ 1 にセットすると ADID0～15、40～47 を許可、0 にクリアすると ADID0～15、40～47 を禁止することができます。また、ADID40～47 で DMAC を起動する場合、DMAC によるデータ転送時に A/D 割り込みトリガ処理終了フラグレジスタ 1（ADTRF1）の ADTF40～47 ビットは自動的に 0 にクリアされます。さらに、ADID0 で A-DMAC を起動する場合、A-DMAC によるデータ転送時に A/D 割り込みトリガ処理終了フラグレジスタ 0（ADTRF0）の ADTF0 ビットは自動的に 0 にクリアされます。

DMAC の設定については**「第 10 章　ダイレクトメモリアクセスコントローラ（DMAC）」**および**「第 11 章　専用ダイレクトメモリアクセスコントローラ（A-DMAC）」**を参照してください。

【注】 ADTF ビットは、CPU への割り込み要求ではクリアされません。

18.7 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- 分解能

  A/D変換器のデジタル変換出力コード数

- 量子化誤差

  A/D変換器が本質的に有する誤差であり、1/2LSBで与えられる（図18.11）。

- オフセット誤差

  デジタル出力が最小電圧値B'000000000000からB'000000000001に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない（図18.11）。

- フルスケール誤差

  デジタル出力がB'111111111110からB'111111111111に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差。ただし、量子化誤差を含まない（図18.11）。

- 非直線性誤差

  ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、および量子化誤差を含まない（図18.11）。

- 絶対精度

  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線性誤差を含む。

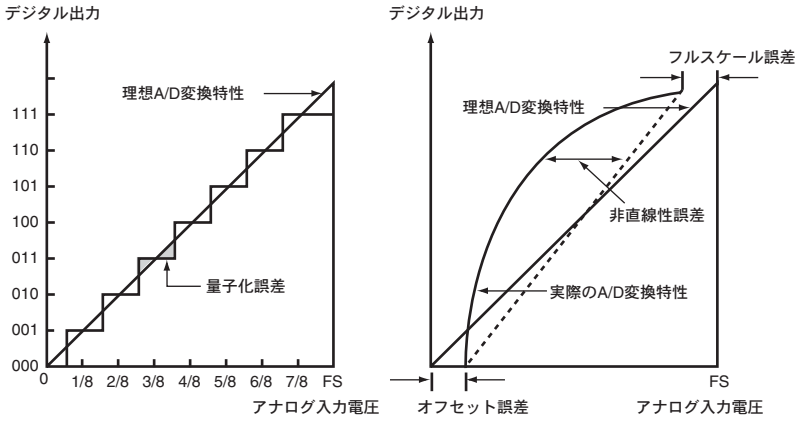


図 18.11 A/D 変換精度の定義

18.8 使用上の注意事項

18.8.1 アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子（ANn）に印加する電圧は、AVrefl≦ANn（n＝0～22、40～48）≦AVrefh の範囲としてください。

18.8.2 AVcc、AVss と Vcc、Vss の関係

A/D 変換器を使用するときは、AVcc、AVss と Vcc、Vss の関係は、AVcc＝5.0V±0.5V、AVss＝Vss としてください。

一方、A/D 変換器を使用しないときは、AVcc＝PVcc、AVss＝Vss としてください。

18.8.3 AVrefh、AVrefl 端子の設定範囲

AVrefh の設定範囲は、次のとおりです。

A/D 変換器を使用するとき：AVrefh＝4.5V～AVcc

A/D 変換器を使用しないとき：AVrefh≦AVcc

上記した範囲以外の値を設定した場合、LSI の信頼性に悪影響を及ぼすことがあります。また、AVrefl に関しては、AVrefl＝AVss =Vss としてください。

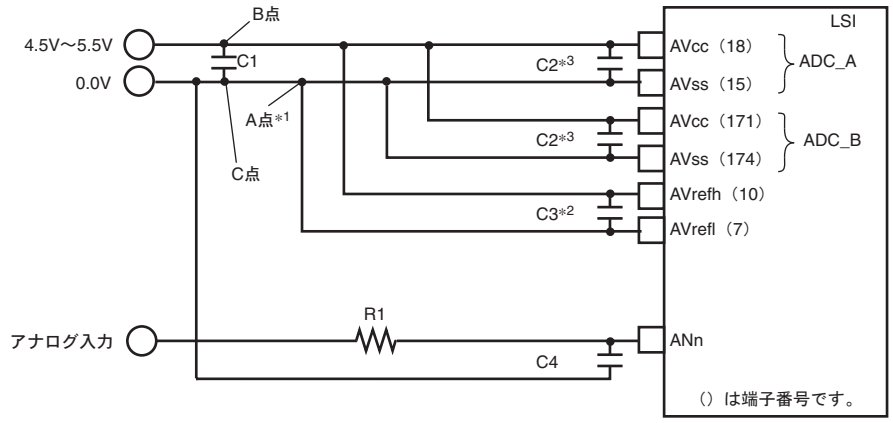
18.8.4 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させたりするようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力端子（AN0～22、40～48）、アナログ基準電圧（AVrefh、AVrefl）、アナログ電源（AVcc）は、アナロググランド（AVss）で、デジタル回路を必ず分離してください。さらにアナロググランド（AVss）は、ボード上の安定したデジタルグランド（Vss）に一点接続してください。

過大なサージなどの異常電圧によるアナログ入力端子（AN0～22、40～48）の破壊を防ぐための保護回路として、**図 18.12（1）**、**図 18.12（2）**に示すように、AVcc－AVss 間および AVrefh－AVrefl 間にバイパスコンデンサを接続してください。また、アナログ入力端子（ANn）に接続するフィルタのコンデンサは、AVss に接続してください。なお、**図 18.12（1）**、**図 18.12（2）**に示す AVcc－AVss 間および AVrefh－AVrefl 間のバイパスコンデンサの容量値は参考値ですので、ボード設計時に十分ご検討のうえ決定してください。さらに、**図 18.12（1）**、**図 18.12（2）**のようにフィルタ用のコンデンサを接続するとアナログ入力端子（ANn）の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討のうえ決定してください。基本構成の電源接続例を**図 18.12（1）**に示します。ボードの影響を受けにくい構成の電源接続例を**図 18.12（2）**に示します。

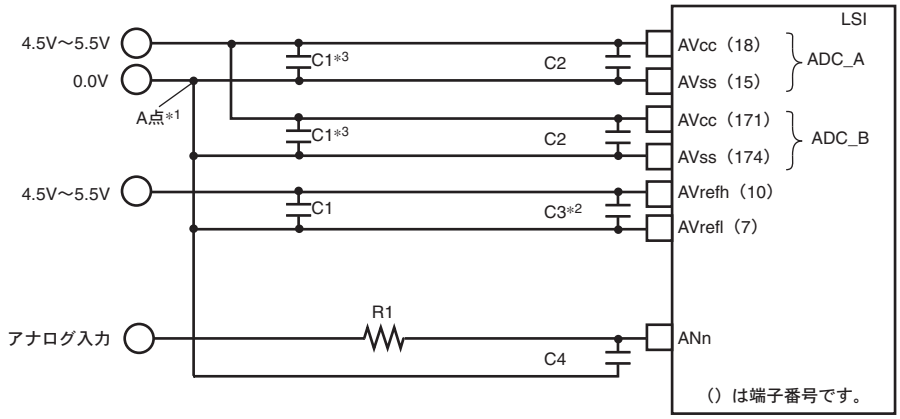
なお、**図 18.12（2）**は AVcc と AVrefh に電位差をつける構成とすることもできます。



【参考値】 C1 ：10.0μF～100.0μF（47μF*5）
C2、C3 ：0.1μF～1.0μF（0.1μF*5）
C4 ：0.1μF
R1 ：3kΩ

【注】 *1 オフセット誤差の要因となるAVss－AVrefl間の電位差を削減するため、A点－AVss（15）、A点－AVss（174）、A点－AVreflの配線インピーダンスが小さくかつ等しくなるようにボード設計してください。
*2 フルスケールに向かって誤差が悪化する場合は、AVrefhの安定性が良くないことが原因として考えられます。この電源安定性を改善するために、AVrefhの配線インピーダンスを小さくするかC3の容量値を大きくしてください。
*3 AVcc－AVss間に挿入するC2は、各端子ペアに挿入することを推奨します。ただし、ボードの設計で満足できる特性が得られる場合は、C2ひとつで共用することも可能ですが、*1の内容を考慮してボード設計をしてください。
*4 ADC_AとADC_Bを同時に動作させて誤差が悪化する場合は、ADC_AとADC_Bの相互干渉を軽減するため、B点にAVcc（18）、AVcc（171）とAVrefhの分岐点を、C点にAVss（15）、AVss（174）とAVreflの分岐点を、それぞれ近づけてください。また、C1の容量値を大きくすることも効果的です。
*5 弊社評価用ボードに基づいた容量値です。最適な容量値については、実際に使用されるボード上において評価してください。

図 18.12（1） アナログ電源と入力端子の接続例（基本構成）



【参考値】 C1 ：10.0μF～100.0μF（47μF*6）
C2、C3 ：0.1μF～1.0μF（0.1μF*6）
C4 ：0.1μF
R1 ：3kΩ

【注】 *1 オフセット誤差の要因となるAVss－AVrefl間の電位差を削減するため、A点－AVss（15）、A点－AVss（174）、A点－AVreflの配線インピーダンスが小さくかつ等しくなるようにボード設計してください。
*2 フルスケールに向かって誤差が悪化する場合は、AVrefhの安定性が良くないことが原因として考えられます。この電源安定性を改善するために、AVrefhの配線インピーダンスを小さくするかC3の容量値を大きくしてください。
*3 AVcc－AVss間に挿入するC1は、各端子ペアに挿入することを推奨します。ただし、ボードの設計で満足できる特性が得られる場合は、C1ひとつで共用することも可能ですが、*1の内容を考慮してボード設計をしてください。
*4 ADC_AとADC_Bを同時に動作させて誤差が悪化する場合は、ADC_AとADC_Bの相互干渉を軽減するため、C1の容量値を大きくしてください。
*5 電源供給をAVccとAVrefhで分けることでAVccとAVrefhに電位差をつけることが可能です。ただし、AVrefh＝4.5～AVccかつグランドは共通にし、*1の内容を考慮してボード設計をしてください。
*6 弊社評価用ボードに基づいた容量値です。最適な容量値については、実際に使用されるボード上において評価してください。

図 18.12（2） アナログ電源と入力端子の接続例
（ボードの影響を受けにくい構成、AVcc と AVrefh に電位差をつけることが可能な構成）

18.8.5 アナログ入力端子とマルチプレクスされている汎用入力端子の使用上の注意事項

本 LSI はアナログ入力端子（AN_A0～22）にデジタル信号がマルチプレクスされており、汎用入力（PS0～15、PT0～6）、または ATUIII（TIF）の入力端子として使用できます。デジタル入力を使用する場合、以下の注意事項があります。

(a) デジタル入力として使用する場合は、ADC 変換で使用しているアナログ入力端子との間に、使用しない端子をプルアップもしくはプルダウンして 3 端子以上設けてください。

「OK の例　AN_A0：デジタル入力として使用
　　AN_A1、2、3：未使用（プルアップもしくはプルダウン）
　　AN_A4：アナログ入力として使用
　NG の例　AN_A0：デジタル入力として使用
　　AN_A1、2：未使用（プルアップもしくはプルダウン）
　　AN_A3：アナログ入力として使用」

また、AD モジュール A、B の境界でも同様なため、AN_A22 端子をデジタル入力として使用する場合は、AN_B40、AN_B41、AN_B42 端子は、プルダウンもしくはプルアップする必要があります。

(b) デジタル入力として使用しない端子について、ピンファンクションコントローラの設定はデジタル入力無効にしてください。

(c) 入力するデジタル信号はオーバーシュート、アンダーシュートさせないでください。

(d) 電圧は AVcc＝PVcc でご使用ください。
－0.2V≦AVcc－PVcc≦0.2V の範囲を守れない場合は、LSI の信頼性に悪影響を及ぼすことがあります。

18.8.6 ADC_A と ADC_B を同時に動作させる場合の注意事項

ADC_A と ADC_B を同時に動作させる場合は、ADCER0（ADC_A）の CKS ビットと ADCER1（ADC_B）の CKS ビットは同じ値に設定してください。異なる値に設定して ADC_A と ADC_B を同時に動作させた場合は、特性を保証できません。

19. JTAG インタフェース

本 LSI は JTAG インタフェースを持ち、IEEE1149.1 規格に準拠したバウンダリスキャン機能を提供します。

19.1 特長

- 5本のテスト信号 : TCK、TDI、TDO、TMS、および$\overline{\text{TRST}}$
- TAPコントローラ
- 4本のレジスタ : インストラクションレジスタ（SDIR）、IDレジスタ（SDID）、バイパスレジスタ（SDBPR）、バウンダリスキャンレジスタ（SDBSR）
- JTAGインタフェースは6つのコマンドを備えています。いずれのコマンドもIEEE1149.1に対応しています。

  BYPASSコマンド

  EXTESTコマンド

  SAMPLE/PRELOADコマンド

  CLAMPコマンド

  HIGHZコマンド

  IDCODEコマンド

図 19.1 に JTAG インタフェースのブロック図を示します。

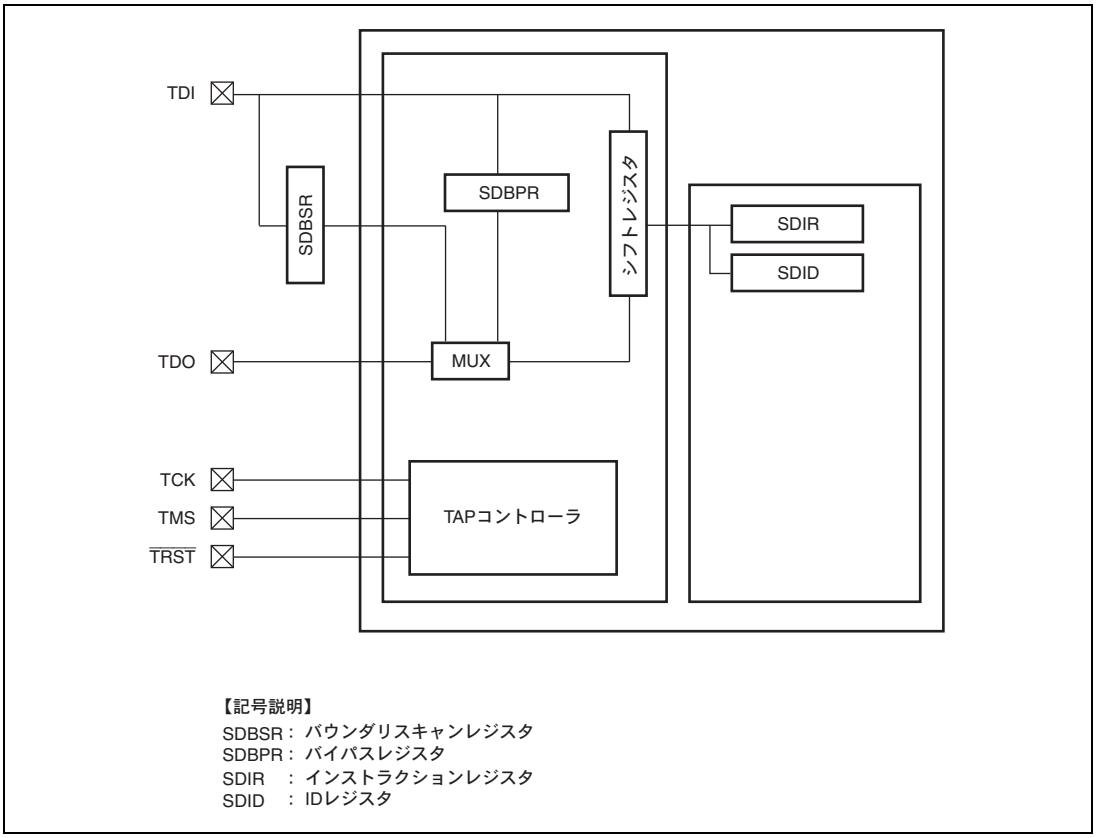


図 19.1 JTAG インタフェースのブロック図

19.2 入出力端子

表 19.1 端子構成

名称	説　　明
TCK	シリアルデータ入出力用クロック端子 データはこのクロックに同期してデータ入力端子（TDI）から供給され、データ出力端子（TDO）から出力されます。
TMS	モードセレクト入力端子 TCK に同期してこの信号を変化させることによって TAP コントローラの状態が決まります。プロトコルは図 19.2 を参照してください。
$\overline{\text{TRST}}$	リセット入力端子 TCK とは非同期で入力を受け付け、ローレベルで JTAG インタフェースをリセットします。JTAG インタフェース機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。
TDI	シリアルデータ入力端子 TCK に同期してこの端子を変化させることによって JTAG インタフェースにデータを送ります。
TDO	シリアルデータ出力端子 TCK に同期してこの端子を読み出すことによって JTAG インタフェースからデータを読み取ります。

19.3 レジスタの説明

JTAG インタフェースは次のレジスタを内蔵しています。すべてのレジスタは CPU からアクセスできません。

表 19.2 レジスタ構成

レジスタ名	略称	初期値*1	サイズ
インストラクションレジスタ	SDIR	H'4	4
ID レジスタ	SDID	H'080AE447	32
バイパスレジスタ	SDBPR	不定*2	1
バウンダリスキャンレジスタ	SDBSR	不定	−

【注】 *1 TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

*2 BYPASS 命令の Capture-DR ステートで 0 クリアされます。

コマンドは、シリアルデータ入力端子（TDI）からシリアル転送によりインストラクションレジスタ（SDIR）へ入力できます。バイパスレジスタ（SDBPR）は 1 ビットのレジスタで、BYPASS モード、CLAMP モード、および HIGHZ モード時、TDI と TDO の間に接続されます。また、バウンダリスキャンレジスタ（SDBSR）は 275 ビットのレジスタで、SAMPLE/PRELOAD モードおよび EXTEST モード時、TDI と TDO の間に接続されます。ID レジスタ（SDID）は 32 ビットのレジスタで IDCODE モード時、TDO を通じて固定コードが出力できます。

表 19.3 に JTAG インタフェースの各レジスタで可能なシリアル転送の種類を示します。

表 19.3 JTAG インタフェースのレジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
SDIR	可能	不可*
SDBPR	可能	可能
SDBSR	可能	可能
SDID	不可	可能

【注】 * 固定値（B'1101）が読み出されます。

19.3.1 インストラクションレジスタ（SDIR）

SDIR はバウンダリスキャンのコマンドを保持する 4 ビットのレジスタです。$\overline{\text{TRST}}$ のアサートまたは TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。SDIR レジスタに予約となっているコマンドをセットした場合、BYPASS 命令が実行されます。

表 19.4 バウンダリスキャンコマンド

コマンドコード				説　　明
0	0	0	0	JTAG EXTEST
0	0	0	1	JTAG SAMPLE/PRELOAD
0	1	1	0	JTAG CLAMP
0	1	1	1	JTAG HIGHZ
0	1	0	0	JTAG IDCODE（初期値）
1	1	1	1	JTAG BYPASS
上記以外				予約

19.3.2 ID レジスタ（SDID）

SDID は、32 ビットのレジスタで、LSI 固有の ID を持ちます。JTAG インタフェースの端子側からは、IDCODE コマンドがセットされたときに読み出し可能で、書き込みはできません。

読み出される値は H'080AE447 ですが、チップのバージョンにより上位 4 ビットが変更されることがあります。

19.3.3 バイパスレジスタ（SDBPR）

SDBPR は 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は TDI 端子と TDO 端子の間に接続されます。SDBPR レジスタは、パワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでは初期化されませんが、BYPASS 命令の Capture-DR ステートで 0 にクリアされるため、同命令での先頭読み出しデータは必ず 0 になります。

19.3.4 バウンダリスキャンレジスタ（SDBSR）

SDBSR は、外部入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。SDIR に SAMPLE/PRELOAD、EXTEST コマンドがセットされると、TDI 端子と TDO 端子の間に SDBSR が接続されます。初期値は不定です。なお、SDBSR レジスタは、パワーオンリセットあるいは $\overline{\text{TRST}}$ のアサートでも初期化されません。

表 19.5 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 19.5 端子とバウンダリスキャンレジスタの対応

端子番号	端子名	入出力	ビット番号
from TDI			
92	NMI	入力	274
96	MDC	入力	273
98	$\overline{\text{WDTOVF}}$	出力イネーブル	272
		出力	271
100	MD_CLK0	入力	269
101	MD_CLKP	入力	268
103	MDA	入力	267
108	PF15/TOD33B/CRx_B/RxD_A/TOE03	出力イネーブル	266
		出力	265
		入力	264
109	PF14/TOD32B/CTx_B/TxD_A/TOE02	出力イネーブル	263
		出力	262
		入力	261
110	PF13/TOD31B/TIF19/RxD_C	出力イネーブル	260
		出力	259
		入力	258
111	PF12/TOD30B/TIF18/TxD_C	出力イネーブル	257
		出力	256
		入力	255
113	PF11/TOD23B/TIF17/TOD11A	出力イネーブル	254
		出力	253
		入力	252
114	PF10/TOD22B/TIF16/TOD10A	出力イネーブル	251
		出力	250
		入力	249
116	PF9/TOD21B/TIF15/TOD03A	出力イネーブル	248
		出力	247
		入力	246
117	PF8/TOD20B/TIF14/TOD02A	出力イネーブル	245
		出力	244
		入力	243
119	PF7/TOD13B/TIF13/TOD01A	出力イネーブル	242
		出力	241
		入力	240

端子番号	端子名	入出力	ビット番号
120	PF6/TOD12B/TIF12/TOD00A	出力イネーブル	239
		出力	238
		入力	237
122	PF5/TOD11B/TIF11	出力イネーブル	236
		出力	235
		入力	234
123	PF4/TOD10B/TIF10	出力イネーブル	233
		出力	232
		入力	231
124	PF3/TOD03B/TIF9/SCK_C	出力イネーブル	230
		出力	229
		入力	228
125	PF2/TOD02B/TIF8/TIF2B	出力イネーブル	227
		出力	226
		入力	225
126	PF1/TOD01B/TIF7/TIF1B	出力イネーブル	224
		出力	223
		入力	222
127	PF0/TOD00B/TIF6/TIF0B	出力イネーブル	221
		出力	220
		入力	219
128	PB0/MOSIA	出力イネーブル	218
		出力	217
		入力	216
129	PB1/MISOA	出力イネーブル	215
		出力	214
		入力	213
130	PB2/MOSIB	出力イネーブル	212
		出力	211
		入力	210
131	PB3/MISOB	出力イネーブル	209
		出力	208
		入力	207
132	PB4/CTx_B/TIF6/TOE00	出力イネーブル	206
		出力	205
		入力	204

端子番号	端子名	入出力	ビット番号
133	PB5/CRx_B/TIF7/TOE01	出力イネーブル	203
		出力	202
		入力	201
134	PB6/TIOC40	出力イネーブル	200
		出力	199
		入力	198
135	PB7/TIOC41	出力イネーブル	197
		出力	196
		入力	195
137	PB8/TOE20	出力イネーブル	194
		出力	193
		入力	192
139	PB9/TIOC42	出力イネーブル	191
		出力	190
		入力	189
140	PB10/TIOC43	出力イネーブル	188
		出力	187
		入力	186
141	PB11/TOE21	出力イネーブル	185
		出力	184
		入力	183
142	PB12/RSPCKA	出力イネーブル	182
		出力	181
		入力	180
143	PB13/RSPCKB	出力イネーブル	179
		出力	178
		入力	177
144	PB14	出力イネーブル	176
		出力	175
		入力	174
146	PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$	出力イネーブル	173
		出力	172
		入力	171
149	PG1/TOD01A/SSLA1/$\overline{\text{IRQ1}}$	出力イネーブル	170
		出力	169
		入力	168

端子番号	端子名	入出力	ビット番号
151	PG2/TOD02A/SSLA2/$\overline{\text{IRQ2}}$	出力イネーブル	167
		出力	166
		入力	165
152	PG3/TOD03A/SSLA3/$\overline{\text{IRQ3}}$	出力イネーブル	164
		出力	163
		入力	162
153	PG4/TOD10A/SSLA4/SSLB3/ADTRG_A	出力イネーブル	161
		出力	160
		入力	159
154	PG5/TOD11A/SSLA5/ADTRG_B	出力イネーブル	158
		出力	157
		入力	156
156	PG6/TOD12A/SSLB0	出力イネーブル	155
		出力	154
		入力	153
158	PG7/TOD13A/SSLB1	出力イネーブル	152
		出力	151
		入力	150
159	PG8/TOD20A/SSLB2/TIF6/TxD_B	出力イネーブル	149
		出力	148
		入力	147
160	PG9/TOD21A/TIF7/RxD_B	出力イネーブル	146
		出力	145
		入力	144
161	PG10/TOD22A/TIF8/TCLKA	出力イネーブル	143
		出力	142
		入力	141
162	PG11/TOD23A/TIF9/TCLKB	出力イネーブル	140
		出力	139
		入力	138
163	PG12/TOD30A/SSLA4/TIF10/TIA00	出力イネーブル	137
		出力	136
		入力	135
164	PG13/TOD31A/SSLA5/TIF11/TIA01	出力イネーブル	134
		出力	133
		入力	132

端子番号	端子名	入出力	ビット番号
165	PG14/TOD32A/SSLA6/TIF12/TIA02	出力イネーブル	131
		出力	130
		入力	129
166	PG15/TOD33A/SSLA7/TIF13/TIA03	出力イネーブル	128
		出力	127
		入力	126
30	PJ0/TxD_A/CTx_A/CTx_A&CTx_B	出力イネーブル	125
		出力	124
		入力	123
32	PJ1/RxD_A/CRx_A/CRx_A&CRx_B	出力イネーブル	122
		出力	121
		入力	120
33	PJ2/TxD_A/CTx_B	出力イネーブル	119
		出力	118
		入力	117
34	PJ3/RxD_A/CRx_B	出力イネーブル	116
		出力	115
		入力	114
35	PJ4/SCK_A/ADEND_B/TIJ0/TIF0A	出力イネーブル	113
		出力	112
		入力	111
36	PJ5/TxD_A/TIF1A	出力イネーブル	110
		出力	109
		入力	108
38	PJ6/RxD_A/TIF2A	出力イネーブル	107
		出力	106
		入力	105
40	PJ7/SCK_B/ADEND_A/TIJ1/TIF3	出力イネーブル	104
		出力	103
		入力	102
41	PJ8/TxD_B/TIF4	出力イネーブル	101
		出力	100
		入力	99
42	PJ9/RxD_B/TIF5	出力イネーブル	98
		出力	97
		入力	96

端子番号	端子名	入出力	ビット番号
43	PC15/TOE43	出力イネーブル	95
		出力	94
		入力	93
44	PC14/TOE42	出力イネーブル	92
		出力	91
		入力	90
45	PC13/TOE41	出力イネーブル	89
		出力	88
		入力	87
46	PC12/TOE40	出力イネーブル	86
		出力	85
		入力	84
47	PC11/TOE33	出力イネーブル	83
		出力	82
		入力	81
48	PC10/TOE32	出力イネーブル	80
		出力	79
		入力	78
49	PC9/TOE31	出力イネーブル	77
		出力	76
		入力	75
50	PC8/TOE30	出力イネーブル	74
		出力	73
		入力	72
52	PC7/TOE23	出力イネーブル	71
		出力	70
		入力	69
54	PC6/TOE22	出力イネーブル	68
		出力	67
		入力	66
55	PC5/TOE21	出力イネーブル	65
		出力	64
		入力	63
56	PC4/TOE20	出力イネーブル	62
		出力	61
		入力	60

端子番号	端子名	入出力	ビット番号
57	PC3/TOE13	出力イネーブル	59
		出力	58
		入力	57
58	PC2/TOE12	出力イネーブル	56
		出力	55
		入力	54
59	PC1/TOE11	出力イネーブル	53
		出力	52
		入力	51
60	PC0/TOE10	出力イネーブル	50
		出力	49
		入力	48
61	PA15/TIOC33	出力イネーブル	47
		出力	46
		入力	45
62	PA14/TIOC32	出力イネーブル	44
		出力	43
		入力	42
64	PA13/TIOC31	出力イネーブル	41
		出力	40
		入力	39
67	PA12/TIOC30	出力イネーブル	38
		出力	37
		入力	36
69	PA11/TIOC23	出力イネーブル	35
		出力	34
		入力	33
70	PA10/TIOC22	出力イネーブル	32
		出力	31
		入力	30
72	PA9/TIOC21	出力イネーブル	29
		出力	28
		入力	27
74	PA8/TIOC20	出力イネーブル	26
		出力	25
		入力	24

端子番号	端子名	入出力	ビット番号
75	PA7/TIOC13	出力イネーブル	23
		出力	22
		入力	21
76	PA6/TIOC12	出力イネーブル	20
		出力	19
		入力	18
77	PA5/TIOC11	出力イネーブル	17
		出力	16
		入力	15
78	PA4/TIOC10	出力イネーブル	14
		出力	13
		入力	12
79	PA3/TIOC03	出力イネーブル	11
		出力	10
		入力	9
80	PA2/TIOC02	出力イネーブル	8
		出力	7
		入力	6
81	PA1/TIOC01	出力イネーブル	5
		出力	4
		入力	3
82	PA0/TIOC00	出力イネーブル	2
		出力	1
		入力	0
To TDO			

19.4 動作説明

19.4.1 TAP コントローラ

図 19.2 に TAP コントローラの内部状態を示します。

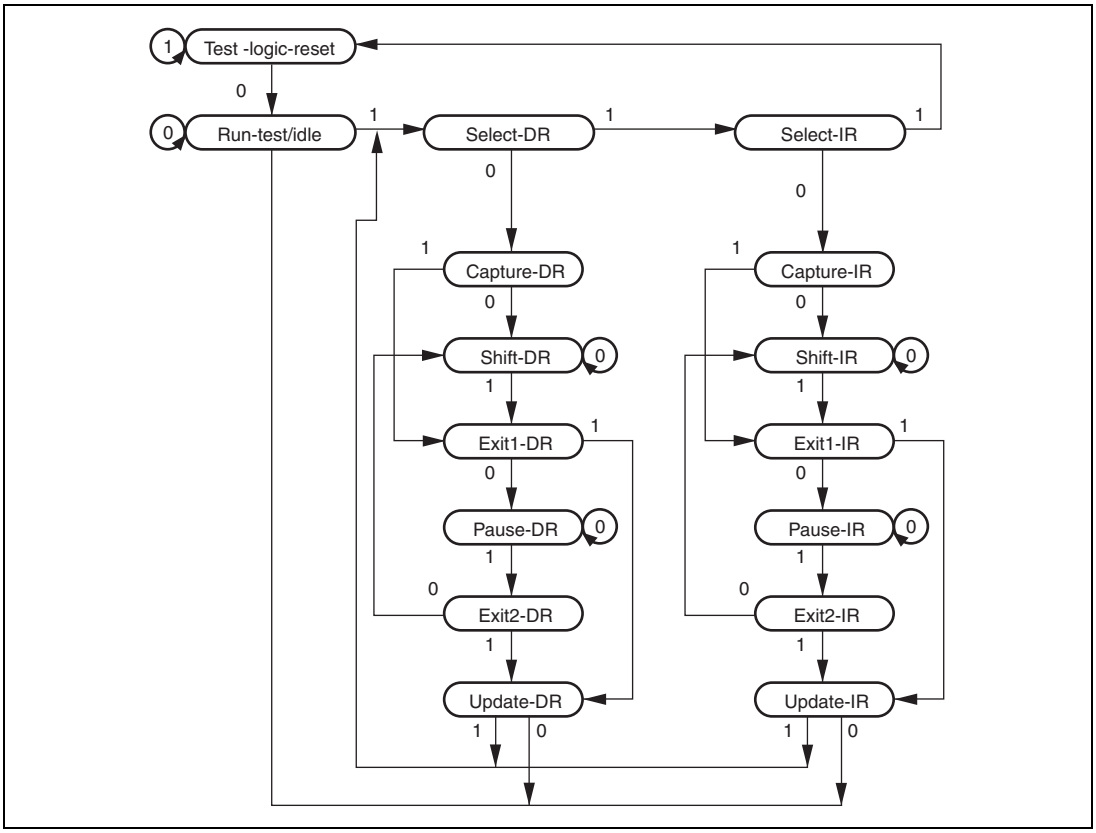


図 19.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。$\overline{\text{TRST}}$ のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

19.4.2 サポートするコマンド

（1） BYPASS

BYPASS コマンドは、バイパスレジスタを動作させる必須の標準コマンドです。このコマンドはシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。このコマンドの実行中、テスト回路はシステム回路に何も影響を与えません。

（2） SAMPLE/PRELOAD

SAMPLE/PRELOAD コマンドは本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードしたりするコマンドです。本コマンド実行中、本 LSI の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。本コマンドの実行により本 LSI のシステム回路は何の影響も受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST コマンドに先立ち、スキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST コマンドを実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間、出力端子から不定値が出力される（EXTEST コマンドでは出力端子に常にパラレル出力ラッチを出力する）ことになります。

（3） EXTEST

EXTEST コマンドは、本 LSI をプリント基板に実装したときに外部回路をテストするためのコマンドです。本コマンドの実行時、出力端子はバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD コマンドですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST コマンドを N 回用いてテストを行うとき、N 回目のテストデータは（N-1）回目のスキャンアウトのときにスキャンインされます。

本コマンドの Capture-DR 状態で出力端子のバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません（シフト動作で入れ替えます）。

（4） CLAMP

CLAMP コマンドが選択されると、出力端子はあらかじめ SAMPLE/PRELOAD コマンドによって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI と TDO の間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

（5） HIGHZ

HIGHZ コマンドが選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ コマンドが選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI と TDO の間にはバイパスレジスタが接続され、BYPASS コマンドが選択されたときと同様の動作をします。

（6） IDCODE

JTAG インタフェースの端子を JTAG で規定されている IDCODE モードに設定できます。JTAG インタフェースを初期化した場合（$\overline{\text{TRST}}$ のアサートまたは TAP コントローラを Test-Logic-Reset 状態にする）、IDCODE モードになります。

19.4.3 注意事項

本 LSI の JTAG インタフェースには以下のような制限があります。

- クロック関連信号（EXTAL、XTAL）はバウンダリスキャンの対象外です。
- リセット関連信号（$\overline{\text{RES}}$、$\overline{\text{HSTBY}}$）はバウンダリスキャンの対象外です。
- JTAGインタフェース関連信号（TCK、TDI、TDO、TMS、$\overline{\text{TRST}}$）はバウンダリスキャンの対象外です。
- ADC関係端子（AN0～22、AN40～48）はバウンダリスキャン対象外です。
- MDB、MDD、ASEMD、CKは、バウンダリスキャン対象外です。
- ASEMD、MDB、MDDは0の状態、$\overline{\text{RES}}$、$\overline{\text{HSTBY}}$は1の状態で動作させてください。
- 以下の端子はプルアップ／プルダウンされるため、HIGHZコマンドは無効です。

  I/Oポートによりプルアップ／プルダウンと設定されているときは無効（**「第21章　I/Oポート」**を参照）：PB1、PB3、PJ1、PJ3、PJ6、PJ9

19.5 使用上の注意事項

1. コマンドは、いったんセットされると他のコマンドが再発行されないかぎり変更されません。同じコマンドを連続して与える場合は、チップ動作に影響のないコマンド（BYPASSモードなど）をいったん設定してから再度コマンドを設定する必要があります。
2. ハードウェアスタンバイモード中ではコマンドは受け付けられません。
3. JTAGインタフェースを使用する、使用しないにかかわらず、必ず$\overline{\text{TRST}}$信号をローレベルにしてリセットしてください。この際、$\overline{\text{TRST}}$はTCKに対して20クロック分、ローレベルに保持してください。詳細は**「第30章　電気的特性」**を参照してください。
4. TCKに入力可能な最大周波数は2MHzです。TCKに2MHzを超える周波数を入力した場合の動作は保証できません。詳細は**「第30章　電気的特性」**を参照してください。
5. TDIとTDOの間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えてTDOから出力されるシリアルデータは、TDIから入力されたデータとなります。
6. シリアル転送シーケンスがくずれた場合、必ず$\overline{\text{TRST}}$のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
7. TDOの出力タイミングはTCKの立ち下がりからになります。
8. デバッグ容易化のため、$\overline{\text{TRST}}$の基板上の配線はパターンカットが容易なように配慮してください。
9. バウンダリスキャンの動作中に、モジュールスタンバイ機能を用いて本モジュールを停止することは禁止です。バウンダリスキャンを実施する場合は、リセット直後にスリープモードに遷移することを推奨します。モジュールスタンバイ機能およびスリープモードは、**「第27章　低消費電力モード」**を参照してください。

20. ピンファンクションコントローラ（PFC）

ピンファンクションコントローラ（PFC）は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 22.1～表 22.8 に本 LSI のマルチプレクス端子を示します。

表 20.1　マルチプレクス一覧表（ポート A）

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B （関連モジュール）
PA0（ポート）	–	–	–	TIOC00（ATU-Ⅲ）	–
PA1（ポート）	–	–	–	TIOC01（ATU-Ⅲ）	–
PA2（ポート）	–	–	–	TIOC02（ATU-Ⅲ）	–
PA3（ポート）	–	–	–	TIOC03（ATU-Ⅲ）	–
PA4（ポート）	–	–	–	TIOC10（ATU-Ⅲ）	–
PA5（ポート）	–	–	–	TIOC11（ATU-Ⅲ）	–
PA6（ポート）	–	–	–	TIOC12（ATU-Ⅲ）	–
PA7（ポート）	–	–	–	TIOC13（ATU-Ⅲ）	–
PA8（ポート）	–	–	–	TIOC20（ATU-Ⅲ）	–
PA9（ポート）	–	–	–	TIOC21（ATU-Ⅲ）	–
PA10（ポート）	–	–	–	TIOC22（ATU-Ⅲ）	–
PA11（ポート）	–	–	–	TIOC23（ATU-Ⅲ）	–
PA12（ポート）	–	–	–	TIOC30（ATU-Ⅲ）	–
PA13（ポート）	–	–	–	TIOC31（ATU-Ⅲ）	–
PA14（ポート）	–	–	–	TIOC32（ATU-Ⅲ）	–
PA15（ポート）	–	–	–	TIOC33（ATU-Ⅲ）	–

表 20.2 マルチプレクス一覧表（ポート B）

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B （関連モジュール）
PB0（ポート）	–	MOSIA（RSPI）	–	–	–
PB1（ポート）	–	MISOA（RSPI）	–	–	–
PB2（ポート）	–	MOSIB（RSPI）	–	–	–
PB3（ポート）	–	MISOB（RSPI）	–	–	–
PB4（ポート）	–	CTx_B（RCAN）	TIF6（ATU-Ⅲ）	TOE00（ATU-Ⅲ）	–
PB5（ポート）	–	CRx_B（RCAN）	TIF7（ATU-Ⅲ）	TOE01（ATU-Ⅲ）	–
PB6（ポート）	–	–	–	TIOC40（ATU-Ⅲ）	–
PB7（ポート）	–	–	–	TIOC41（ATU-Ⅲ）	–
PB8（ポート）	–	TOE20（ATU-Ⅲ）	–	–	–
PB9（ポート）	–	–	–	TIOC42（ATU-Ⅲ）	–
PB10（ポート）	–	–	–	TIOC43（ATU-Ⅲ）	–
PB11（ポート）	–	TOE21（ATU-Ⅲ）	–	–	–
PB12（ポート）	–	RSPCKA（RSPI）	–	–	–
PB13（ポート）	–	RSPCKB（RSPI）	–	–	–
PB14（ポート）	–	–	–	–	–

表 20.3 マルチプレクス一覧表（ポート C）

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B （関連モジュール）
PC0（ポート）	–	–	–	TOE10（ATU-Ⅲ）	–
PC1（ポート）	–	–	–	TOE11（ATU-Ⅲ）	–
PC2（ポート）	–	–	–	TOE12（ATU-Ⅲ）	–
PC3（ポート）	–	–	–	TOE13（ATU-Ⅲ）	–
PC4（ポート）	–	–	–	TOE20（ATU-Ⅲ）	–
PC5（ポート）	–	–	–	TOE21（ATU-Ⅲ）	–
PC6（ポート）	–	–	–	TOE22（ATU-Ⅲ）	–
PC7（ポート）	–	–	–	TOE23（ATU-Ⅲ）	–
PC8（ポート）	–	–	–	TOE30（ATU-Ⅲ）	–
PC9（ポート）	–	–	–	TOE31（ATU-Ⅲ）	–
PC10（ポート）	–	–	–	TOE32（ATU-Ⅲ）	–
PC11（ポート）	–	–	–	TOE33（ATU-Ⅲ）	–
PC12（ポート）	–	–	–	TOE40（ATU-Ⅲ）	–
PC13（ポート）	–	–	–	TOE41（ATU-Ⅲ）	–
PC14（ポート）	–	–	–	TOE42（ATU-Ⅲ）	–
PC15（ポート）	–	–	–	TOE43（ATU-Ⅲ）	–

表 20.4 マルチプレクス一覧表（ポート F）

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B 関連モジュール）
PF0（ポート）	TOD00B（ATU-Ⅲ）	—	TIF6（ATU-Ⅲ）	TIF0B（ATU-Ⅲ）	—
PF1（ポート）	TOD01B（ATU-Ⅲ）	—	TIF7（ATU-Ⅲ）	TIF1B（ATU-Ⅲ）	—
PF2（ポート）	TOD02B（ATU-Ⅲ）	—	TIF8（ATU-Ⅲ）	TIF2B（ATU-Ⅲ）	—
PF3（ポート）	TOD03B（ATU-Ⅲ）	—	TIF9（ATU-Ⅲ）	SCK_C（SCI）	—
PF4（ポート）	TOD10B（ATU-Ⅲ）	—	TIF10（ATU-Ⅲ）	—	—
PF5（ポート）	TOD11B（ATU-Ⅲ）	—	TIF11（ATU-Ⅲ）	—	—
PF6（ポート）	TOD12B（ATU-Ⅲ）	—	TIF12（ATU-Ⅲ）	TOD00A（ATU-Ⅲ）	—
PF7（ポート）	TOD13B（ATU-Ⅲ）	—	TIF13（ATU-Ⅲ）	TOD01A（ATU-Ⅲ）	—
PF8（ポート）	TOD20B（ATU-Ⅲ）	—	TIF14（ATU-Ⅲ）	TOD02A（ATU-Ⅲ）	—
PF9（ポート）	TOD21B（ATU-Ⅲ）	—	TIF15（ATU-Ⅲ）	TOD03A（ATU-Ⅲ）	—
PF10（ポート）	TOD22B（ATU-Ⅲ）	—	TIF16（ATU-Ⅲ）	TOD10A（ATU-Ⅲ）	—
PF11（ポート）	TOD23B（ATU-Ⅲ）	—	TIF17（ATU-Ⅲ）	TOD11A（ATU-Ⅲ）	—
PF12（ポート）	TOD30B（ATU-Ⅲ）	—	TIF18（ATU-Ⅲ）	TxD_C（SCI）	—
PF13（ポート）	TOD31B（ATU-Ⅲ）	—	TIF19（ATU-Ⅲ）	RxD_C（SCI）	—
PF14（ポート）	TOD32B（ATU-Ⅲ）	CTx_B （RCAN-TL1）	TxD_A（SCI）	TOE02（ATU-Ⅲ）	—
PF15（ポート）	TOD33B（ATU-Ⅲ）	CRx_B （RCAN-TL1）	RxD_A（SCI）	TOE03（ATU-Ⅲ）	—

表 20.5 マルチプレクス一覧表（ポート G）

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B （関連モジュール）
PG0（ポート）	TOD00A（ATU-III）	SSLA0（RSPI）	—	$\overline{\text{IRQ0}}$（INTC）	—
PG1（ポート）	TOD01A（ATU-III）	SSLA1（RSPI）	—	$\overline{\text{IRQ1}}$（INTC）	—
PG2（ポート）	TOD02A（ATU-III）	SSLA2（RSPI）	—	$\overline{\text{IRQ2}}$（INTC）	—
PG3（ポート）	TOD03A（ATU-III）	SSLA3（RSPI）	—	$\overline{\text{IRQ3}}$（INTC）	—
PG4（ポート）	TOD10A（ATU-III）	SSLA4（RSPI）	SSLB3（RSPI）	ADTRG_A（ADC）	—
PG5（ポート）	TOD11A（ATU-III）	SSLA5（RSPI）	—	ADTRG_B（ADC）	—
PG6（ポート）	TOD12A（ATU-III）	SSLB0（RSPI）	—	—	—
PG7（ポート）	TOD13A（ATU-III）	SSLB1（RSPI）	—	—	—
PG8（ポート）	TOD20A（ATU-III）	SSLB2（RSPI）	TIF6（ATU-III）	TxD_B（SCI）	—
PG9（ポート）	TOD21A（ATU-III）	—	TIF7（ATU-III）	RxD_B（SCI）	—
PG10（ポート）	TOD22A（ATU-III）	—	TIF8（ATU-III）	TCLKA（ATU-III）	—
PG11（ポート）	TOD23A（ATU-III）	—	TIF9（ATU-III）	TCLKB（ATU-III）	—
PG12（ポート）	TOD30A（ATU-III）	SSLA4（RSPI）	TIF10（ATU-III）	TIA00（ATU-III）	—
PG13（ポート）	TOD31A（ATU-III）	SSLA5（RSPI）	TIF11（ATU-III）	TIA01（ATU-III）	—
PG14（ポート）	TOD32A（ATU-III）	SSLA6（RSPI）	TIF12（ATU-III）	TIA02（ATU-III）	—
PG15（ポート）	TOD33A（ATU-III）	SSLA7（RSPI）	TIF13（ATU-III）	TIA03（ATU-III）	—

表 20.6 マルチプレクス一覧表（ポート J）

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B （関連モジュール）
PJ0（ポート）	TxD_A（SCI）	CTx_A（RCAN）	CTx_A & CTx_B (RCAN-TL1)	—	—
PJ1（ポート）	RxD_A（SCI）	CRx_A（RCAN）	CRx_A & CRx_B (RCAN-TL1)	—	—
PJ2（ポート）	TxD_A（SCI）	—	—	CTx_B （RCAN-TL1）	—
PJ3（ポート）	RxD_A（SCI）	—	—	CRx_B （RCAN-TL1）	—
PJ4（ポート）	SCK_A（SCI）	ADEND_B（ADC）	TIJ0（ATU-Ⅲ）	TIF0A（ATU-Ⅲ）	—
PJ5（ポート）	TxD_A（SCI）	—	—	TIF1A（ATU-Ⅲ）	—
PJ6（ポート）	RxD_A（SCI）	—	—	TIF2A（ATU-Ⅲ）	—
PJ7（ポート）	SCK_B（SCI）	ADEND_A（ADC）	TIJ1（ATU-Ⅲ）	TIF3（ATU-Ⅲ）	—
PJ8（ポート）	TxD_B（SCI）	—	—	TIF4（ATU-Ⅲ）	—
PJ9（ポート）	RxD_B（SCI）	—	—	TIF5（ATU-Ⅲ）	—

表 20.7 マルチプレクス一覧表（ポート S）＊

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B （関連モジュール）
AN_A0（AD）	－	－	－	PS0（ポート）	TIF19（ATU-III）
AN_A1（AD）	－	－	－	PS1（ポート）	TIF18（ATU-III）
AN_A2（AD）	－	－	－	PS2（ポート）	TIF17（ATU-III）
AN_A3（AD）	－	－	－	PS3（ポート）	TIF16（ATU-III）
AN_A4（AD）	－	－	－	PS4（ポート）	TIF15（ATU-III）
AN_A5（AD）	－	－	－	PS5（ポート）	TIF14（ATU-III）
AN_A6（AD）	－	－	－	PS6（ポート）	TIF13（ATU-III）
AN_A7（AD）	－	－	－	PS7（ポート）	TIF12（ATU-III）
AN_A8（AD）	－	－	－	PS8（ポート）	TIF11（ATU-III）
AN_A9（AD）	－	－	－	PS9（ポート）	TIF10（ATU-III）
AN_A10（AD）	－	－	－	PS10（ポート）	TIF9（ATU-III）
AN_A11（AD）	－	－	－	PS11（ポート）	TIF8（ATU-III）
AN_A12（AD）	－	－	－	PS12（ポート）	TIF7（ATU-III）
AN_A13（AD）	－	－	－	PS13（ポート）	TIF6（ATU-III）
AN_A14（AD）	－	－	－	PS14（ポート）	TIF5（ATU-III）
AN_A15（AD）	－	－	－	PS15（ポート）	TIF4（ATU-III）

【注】 ＊ アナログ入力信号 AN_A0～15 は、機能にかかわらず常に有効です。

表 20.8 マルチプレクス一覧表（ポート T）＊

機能 1 （関連モジュール）	機能 2 （関連モジュール）	機能 3 （関連モジュール）	機能 4 （関連モジュール）	機能 A （関連モジュール）	機能 B （関連モジュール）
AN_A16（AD）	－	－	－	PT0（ポート）	TIF3（ATU-Ⅲ）
AN_A17（AD）	－	－	－	PT1（ポート）	TIF2B（ATU-Ⅲ）
AN_A18（AD）	－	－	－	PT2（ポート）	TIF1B（ATU-Ⅲ）
AN_A19（AD）	－	－	－	PT3（ポート）	TIF0B（ATU-Ⅲ）
AN_A20（AD）	－	－	－	PT4（ポート）	TIF2A（ATU-Ⅲ）
AN_A21（AD）	－	－	－	PT5（ポート）	TIF1A（ATU-Ⅲ）
AN_A22（AD）	－	－	－	PT6（ポート）	TIF0A（ATU-Ⅲ）

【注】 ＊ アナログ入力信号 AN_A16～22 は、機能にかかわらず常に有効です。

20.1 レジスタの説明

PFC のレジスタを表 20.9 に示します。

表 20.9 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ	PAIOR	R/W	H'0000	H'FFFE3806	8、16
ポート A コントロールレジスタ 4	PACR4	R/W	H'0000	H'FFFE3810	8、16、32
ポート A コントロールレジスタ 3	PACR3	R/W	H'0000	H'FFFE3812	8、16
ポート A コントロールレジスタ 2	PACR2	R/W	H'0000	H'FFFE3814	8、16、32
ポート A コントロールレジスタ 1	PACR1	R/W	H'0000	H'FFFE3816	8、16
ポート A コントロールレジスタ 4A	PACR4A	R/W	H'0000	H'FFFFCA00	8、16、32
ポート A コントロールレジスタ 3A	PACR3A	R/W	H'0000	H'FFFFCA02	8、16
ポート A コントロールレジスタ 2A	PACR2A	R/W	H'0000	H'FFFFCA04	8、16、32
ポート A コントロールレジスタ 1A	PACR1A	R/W	H'0000	H'FFFFCA06	8、16
ポート B・IO レジスタ	PBIOR	R/W	H'0000	H'FFFE3886	8、16
ポート B コントロールレジスタ 4	PBCR4	R/W	H'0000	H'FFFE3890	8、16、32
ポート B コントロールレジスタ 3	PBCR3	R/W	H'0000	H'FFFE3892	8、16
ポート B コントロールレジスタ 2	PBCR2	R/W	H'0000	H'FFFE3894	8、16、32
ポート B コントロールレジスタ 1	PBCR1	R/W	H'0000	H'FFFE3896	8、16
ポート B コントロールレジスタ 3A	PBCR3A	R/W	H'0000	H'FFFFCA12	8、16
ポート B コントロールレジスタ 2A	PBCR2A	R/W	H'0000	H'FFFFCA14	8、16
ポート C・IO レジスタ	PCIOR	R/W	H'0000	H'FFFE3906	8、16
ポート C コントロールレジスタ 4	PCCR4	R/W	H'0000	H'FFFE3910	8、16、32
ポート C コントロールレジスタ 3	PCCR3	R/W	H'0000	H'FFFE3912	8、16
ポート C コントロールレジスタ 2	PCCR2	R/W	H'0000	H'FFFE3914	8、16、32
ポート C コントロールレジスタ 1	PCCR1	R/W	H'0000	H'FFFE3916	8、16
ポート C コントロールレジスタ 4A	PCCR4A	R/W	H'0000	H'FFFFCA20	8、16、32
ポート C コントロールレジスタ 3A	PCCR3A	R/W	H'0000	H'FFFFCA22	8、16
ポート C コントロールレジスタ 2A	PCCR2A	R/W	H'0000	H'FFFFCA24	8、16、32
ポート C コントロールレジスタ 1A	PCCR1A	R/W	H'0000	H'FFFFCA26	8、16
ポート F・IO レジスタ	PFIOR	R/W	H'0000	H'FFFFC82A	8、16
ポート F コントロールレジスタ 2	PFCR2	R/W	H'0000	H'FFFFC82C	8、16、32
ポート F コントロールレジスタ 1	PFCR1	R/W	H'0000	H'FFFFC82E	8、16
ポート F コントロールレジスタ 4A	PFCR4A	R/W	H'0000	H'FFFFCA50	8、16、32
ポート F コントロールレジスタ 3A	PFCR3A	R/W	H'0000	H'FFFFCA52	8、16
ポート F コントロールレジスタ 2A	PFCR2A	R/W	H'0000	H'FFFFCA54	8、16、32

ポート F コントロールレジスタ 1A	PFCR1A	R/W	H'0000	H'FFFFCA56	8、16
ポート G・IO レジスタ	PGIOR	R/W	H'0000	H'FFFFC83C	8、16
ポート G コントロールレジスタ 2	PGCR2	R/W	H'0000	H'FFFFC840	8、16、32
ポート G コントロールレジスタ 1	PGCR1	R/W	H'0000	H'FFFFC842	8、16
ポート G コントロールレジスタ 4A	PGCR4A	R/W	H'0000	H'FFFFCA60	8、16、32
ポート G コントロールレジスタ 3A	PGCR3A	R/W	H'0000	H'FFFFCA62	8、16
ポート G コントロールレジスタ 2A	PGCR2A	R/W	H'0000	H'FFFFCA64	8、16、32
ポート G コントロールレジスタ 1A	PGCR1A	R/W	H'0000	H'FFFFCA66	8、16
ポート J・IO レジスタ	PJIOR	R/W	H'0000	H'FFFFC86C	8、16
ポート J コントロールレジスタ 2	PJCR2	R/W	H'0000	H'FFFFC870	8、16、32
ポート J コントロールレジスタ 1	PJCR1	R/W	H'0000	H'FFFFC872	8、16
ポート J コントロールレジスタ 3A	PJCR3A	R/W	H'0000	H'FFFFCA82	8、16
ポート J コントロールレジスタ 2A	PJCR2A	R/W	H'0000	H'FFFFCA84	8、16、32
ポート J コントロールレジスタ 1A	PJCR1A	R/W	H'0000	H'FFFFCA86	8、16
ポート S コントロールレジスタ 4	PSCR4	R/W	H'0000	H'FFFFCB10	8、16、32
ポート S コントロールレジスタ 3	PSCR3	R/W	H'0000	H'FFFFCB12	8、16
ポート S コントロールレジスタ 2	PSCR2	R/W	H'0000	H'FFFFCB14	8、16、32
ポート S コントロールレジスタ 1	PSCR1	R/W	H'0000	H'FFFFCB16	8、16
ポート T コントロールレジスタ 2	PTCR2	R/W	H'0000	H'FFFFCB34	8、16、32
ポート T コントロールレジスタ 1	PTCR1	R/W	H'0000	H'FFFFCB36	8、16

20.1.1 ポート A・IO レジスタ（PAIOR）

PAIOR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PAIOR はポート A の端子機能が汎用入出力（PA15～PA0）の場合に有効で、それ以外の場合は端子の状態に影響しません。

PAIOR は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	PA15IOR ～PA0IOR	すべて 0	R/W	PA15IOR～PA0IOR ビットは、それぞれ PA15～PA0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。本ビットを設定することにより、対応する端子の入出力方向を選択できます。 0：対応する端子を入力にする 1：対応する端子を出力にする

20.1.2 ポート A コントロールレジスタ 1～4（PACR1～PACR4）

PACR1～PACR4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。PACR1～PACR4 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで表 22.10 に示す値に初期化されます。しかし、スリープモード時には初期化されません。

表 20.10　ポート A コントロールレジスタ初期値

レジスタ	初期値
	シングルチップモード
PACR4	H'0000
PACR3	H'0000
PACR2	H'0000
PACR1	H'0000

(1) ポート A コントロールレジスタ 4（PACR4）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PA15 MD	–	–	–	PA14 MD	–	–	–	PA13 MD	–	–	–	PA12 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA15MD	0	R/W	PA15 モード PA15 端子の機能を制御します。 0：PA15 入出力（ポート）（初期値） 1：PA15 入出力（ポート）
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA14MD	0	R/W	PA14 モード PA14 端子の機能を制御します。 0：PA14 入出力（ポート）（初期値） 1：PA14 入出力（ポート）
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA13MD	0	R/W	PA13 モード PA13 端子の機能を制御します。 0：PA13 入出力（ポート）（初期値） 1：PA13 入出力（ポート）
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA12MD	0	R/W	PA12 モード PA12 端子の機能を制御します。 0：PA12 入出力（ポート）（初期値） 1：PA12 入出力（ポート）

（2） ポート A コントロールレジスタ 3（PACR3）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PA11 MD	—	—	—	PA10 MD	—	—	—	PA9 MD	—	—	—	PA8 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA11MD	0	R/W	PA11 モード PA11 端子の機能を制御します。 0：PA11 入出力（ポート）（初期値） 1：PA11 入出力（ポート）
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA10MD	0	R/W	PA10 モード PA10 端子の機能を制御します。 0：PA10 入出力（ポート）（初期値） 1：PA10 入出力（ポート）
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA9MD	0	R/W	PA9 モード PA9 端子の機能を制御します。 0：PA9 入出力（ポート）（初期値） 1：PA9 入出力（ポート）
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA8MD	0	R/W	PA8 モード PA8 端子の機能を制御します。 0：PA8 入出力（ポート）（初期値） 1：PA8 入出力（ポート）

(3) ポート A コントロールレジスタ 2（PACR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PA7 MD	–	–	–	PA6 MD	–	–	–	PA5 MD	–	–	–	PA4 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA7MD	0	R/W	PA7 モード PA7 端子の機能を制御します。 0：PA7 入出力（ポート）（初期値） 1：PA7 入出力（ポート）
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA6MD	0	R/W	PA6 モード PA6 端子の機能を制御します。 0：PA6 入出力（ポート）（初期値） 1：PA6 入出力（ポート）
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA5MD	0	R/W	PA5 モード PA5 端子の機能を制御します。 0：PA5 入出力（ポート）（初期値） 1：PA5 入出力（ポート）
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA4MD	0	R/W	PA4 モード PA4 端子の機能を制御します。 0：PA4 入出力（ポート）（初期値） 1：PA4 入出力（ポート）

（4） ポート A コントロールレジスタ 1（PACR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PA3 MD	—	—	—	PA2 MD	—	—	—	PA1 MD	—	—	—	PA0 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA3MD	0	R/W	PA3 モード PA3 端子の機能を制御します。 0：PA3 入出力（ポート）（初期値） 1：PA3 入出力（ポート）
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA2MD	0	R/W	PA2 モード PA2 端子の機能を制御します。 0：PA2 入出力（ポート）（初期値） 1：PA2 入出力（ポート）
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA1MD	0	R/W	PA1 モード PA1 端子の機能を制御します。 0：PA1 入出力（ポート）（初期値） 1：PA1 入出力（ポート）
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA0MD	0	R/W	PA0 モード PA0 端子の機能を制御します。 0：PA0 入出力（ポート）（初期値） 1：PA0 入出力（ポート）

20.1.3 ポート A コントロールレジスタ 1A～4A（PACR1A～PACR4A）

PACR1A～PACR4A は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。PACR1A～PACR4A は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート A コントロールレジスタ 4A（PACR4A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PA15A MD	–	–	–	PA14A MD	–	–	–	PA13A MD	–	–	–	PA12A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA15AMD	0	R/W	PA15 モード PA15/TIOC33 端子の機能を制御します。 0：PA15 入出力（ポート） 1：TIOC33 入出力（ATU-Ⅲ） 【注】PA15MD＝0 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA14AMD	0	R/W	PA14 モード PA14/TIOC32 端子の機能を制御します。 0：PA14 入出力（ポート） 1：TIOC32 入出力（ATU-Ⅲ） 【注】PA14MD＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA13AMD	0	R/W	PA13 モード PA13/TIOC31 端子の機能を制御します。 0：PA13 入出力（ポート） 1：TIOC31 入出力（ATU-Ⅲ） 【注】PA13MD＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA12AMD	0	R/W	PA12 モード PA12/TIOC30 端子の機能を制御します。 0：PA12 入出力（ポート） 1：TIOC30 入出力（ATU-Ⅲ） 【注】PA12MD＝0 のときのみ有効。

（2） ポート A コントロールレジスタ 3A（PACR3A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PA11AMD	—	—	—	PA10AMD	—	—	—	PA9AMD	—	—	—	PA8AMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA11AMD	0	R/W	PA11 モード PA11/TIOC23 端子の機能を制御します。 0：PA11 入出力（ポート） 1：TIOC23 入出力（ATU-Ⅲ） 【注】PA11MD＝0 のときのみ有効。
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA10AMD	0	R/W	PA10 モード PA10/TIOC22 端子の機能を制御します。 0：PA10 入出力（ポート） 1：TIOC22 入出力（ATU-Ⅲ） 【注】PA10MD＝0 のときのみ有効。
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA9AMD	0	R/W	PA9 モード PA9/TIOC21 端子の機能を制御します。 0：PA9 入出力（ポート） 1：TIOC21 入出力（ATU-Ⅲ） 【注】PA9MD＝0 のときのみ有効。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA8AMD	0	R/W	PA8 モード PA8/TIOC20 端子の機能を制御します。 0：PA8 入出力（ポート） 1：TIOC20 入出力（ATU-Ⅲ） 【注】PA8MD＝0 のときのみ有効。

(3) ポート A コントロールレジスタ 2A（PACR2A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PA7A MD	—	—	—	PA6A MD	—	—	—	PA5A MD	—	—	—	PA4A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA7AMD	0	R/W	PA7 モード PA7/TIOC13 端子の機能を制御します。 0：PA7 入出力（ポート） 1：TIOC13 入出力（ATU-Ⅲ） 【注】PA7MD＝0 のときのみ有効。
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA6AMD	0	R/W	PA6 モード PA6/TIOC12 端子の機能を制御します。 0：PA6 入出力（ポート） 1：TIOC12 入出力（ATU-Ⅲ） 【注】PA6MD＝0 のときのみ有効。
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA5AMD	0	R/W	PA5 モード PA5/TIOC11 端子の機能を制御します。 0：PA5 入出力（ポート） 1：TIOC11 入出力（ATU-Ⅲ） 【注】PA5MD＝0 のときのみ有効。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA4AMD	0	R/W	PA4 モード PA4/TIOC10 端子の機能を制御します。 0：PA4 入出力（ポート） 1：TIOC10 入出力（ATU-Ⅲ） 【注】PA4MD＝0 のときのみ有効。

（4） ポート A コントロールレジスタ 1A（PACR1A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	PA3A MD	－	－	－	PA2A MD	－	－	－	PA1A MD	－	－	－	PA0A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PA3AMD	0	R/W	PA3 モード PA3/TIOC03 端子の機能を制御します。 0：PA3 入出力（ポート） 1：TIOC03 入出力（ATU-Ⅲ） 【注】PA3MD＝0 のときのみ有効。
11～9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PA2AMD	0	R/W	PA2 モード PA2/TIOC02 端子の機能を制御します。 0：PA2 入出力（ポート） 1：TIOC02 入出力（ATU-Ⅲ） 【注】PA2MD＝0 のときのみ有効。
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PA1AMD	0	R/W	PA1 モード PA1/TIOC01 端子の機能を制御します。 0：PA1 入出力（ポート） 1：TIOC01 入出力（ATU-Ⅲ） 【注】PA1MD＝0 のときのみ有効。
3～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA0AMD	0	R/W	PA0 モード PA0/TIOC00 端子の機能を制御します。 0：PA0 入出力（ポート） 1：TIOC00 入出力（ATU-Ⅲ） 【注】PA0MD＝0 のときのみ有効。

20.1.4 ポート B・IO レジスタ（PBIOR）

PBIOR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PBIOR はポート B の端子機能が汎用入出力（PB14～PB0）の場合に有効で、それ以外の場合は端子の状態に影響しません。

PBIOR は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14～0	PB14IOR ～PB0IOR	すべて 0	R/W	PB14IOR～PB0IOR ビットは、それぞれ PB14～PB0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。本ビットを設定することにより、対応する端子の入出力方向を選択できます。 0：対応する端子を入力にする 1：対応する端子を出力にする

20.1.5 ポート B コントロールレジスタ 1～4（PBCR1～PBCR4）

PBCR1～PBCR4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

PBCR1～PBCR4 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで表 22.14 に示す値に初期化されます。しかし、スリープモード時には初期化されません。

表 22.11　ポート B コントロールレジスタ初期値

レジスタ	初期値
	シングルチップモード
PBCR4	H'0000
PBCR3	H'0000
PBCR2	H'0000
PBCR1	H'0000

（1） ポート B コントロールレジスタ 4（PBCR4）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	PB14MD[2:0]			−	−	PB13MD[1:0]		−	−	PB12MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～11	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10～8	PB14MD[2:0]	000	R/W	PB14 モード PB14 端子の機能を制御します。 000：PB14 入出力（ポート）（初期値） 001：設定禁止 010：設定禁止 011：設定禁止 100：PB14 入出力（ポート） 101：設定禁止 110：設定禁止 111：設定禁止
7、6	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB13MD[1:0]	00	R/W	PB13 モード PB13/RSPCKB 端子の機能を制御します。 00：PB13 入出力（ポート）（初期値） 01：設定禁止 10：PB13 入出力（ポート） 11：RSPCKB 入出力（RSPI）
3、2	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB12MD[1:0]	00	R/W	PB12 モード PB12/RSPCKA 端子の機能を制御します。 00：PB12 入出力（ポート）（初期値） 01：設定禁止 10：PB12 入出力（ポート） 11：RSPCKA 入出力（RSPI）

(2) ポート B コントロールレジスタ 3（PBCR3）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PB11MD[1:0]		—	—	—	PB10 MD	—	—	—	PB9 MD	—	—	PB8MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB11MD[1:0]	00	R/W	PB11 モード PB11/TOE21 端子の機能を制御します。 00：PB11 入出力（ポート）（初期値） 01：設定禁止 10：PB11 入出力（ポート） 11：TOE21 出力（ATU-Ⅲ）
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB10MD	0	R/W	PB10 モード PB10 端子の機能を制御します。 0：PB10 入出力（ポート）（初期値） 1：PB10 入出力（ポート）
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB9MD	0	R/W	PB9 モード PB9 端子の機能を制御します。 0：PB9 入出力（ポート）（初期値） 1：PB9 入出力（ポート）
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB8MD[1:0]	00	R/W	PB8 モード PB8/TOE20 端子の機能を制御します。 00：PB8 入出力（ポート）（初期値） 01：設定禁止 10：PB8 入出力（ポート） 11：TOE20 出力（ATU-Ⅲ）

(3) ポート B コントロールレジスタ 2（PBCR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	PB7 MD	−	−	−	PB6 MD	−	PB5MD[2:0]			−	PB4MD[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PB7MD	0	R/W	PB7 モード PB7 端子の機能を制御します。 0：PB7 入出力（ポート）（初期値） 1：PB7 入出力（ポート）
11～9	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB6MD	0	R/W	PB6 モード PB6 端子の機能を制御します。 0：PB6 入出力（ポート）（初期値） 1：PB6 入出力（ポート）
7	−	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6～4	PB5MD[2:0]	000	R/W	PB5 モード PB5/CRx_B/TIF7 端子の機能を制御します。 000：PB5 入出力（ポート）（初期値） 001：設定禁止 010：PB5 入出力（ポート） 011：CRx_B 入力（RCAN-TL1） 100：TIF7 入力（ATU-Ⅲ） 101：設定禁止 110：設定禁止 111：設定禁止
3	−	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2～0	PB4MD[2:0]	000	R/W	PB4 モード PB4/CTx_B/TIF6 端子の機能を制御します。 000：PB4 入出力（ポート）（初期値） 001：設定禁止 010：PB4 入出力（ポート） 011：CTx_B 出力（RCAN-TL1） 100：TIF6 入力（ATU-Ⅲ） 101：設定禁止 110：設定禁止 111：設定禁止

（4） ポート B コントロールレジスタ 1（PBCR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	PB3MD[1:0]		－	－	PB2MD[1:0]		－	－	PB1MD[1:0]		－	－	PB0MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PB3MD[1:0]	00	R/W	PB3 モード PB3/MISOB 端子の機能を制御します。 00：PB3 入出力（ポート）（初期値） 01：設定禁止 10：PB3 入出力（ポート） 11：MISOB 入出力（RSPI）
11、10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PB2MD[1:0]	00	R/W	PB2 モード PB2/MOSIB 端子の機能を制御します。 00：PB2 入出力（ポート）（初期値） 01：設定禁止 10：PB2 入出力（ポート） 11：MOSIB 入出力（RSPI）
7、6	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	PB1MD[1:0]	00	R/W	PB1 モード PB1/MISOA 端子の機能を制御します。 00：PB1 入出力（ポート）（初期値） 01：設定禁止 10：PB1 入出力（ポート） 11：MISOA 入出力（RSPI）
3、2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PB0MD[1:0]	00	R/W	PB0 モード PB0/MOSIA 端子の機能を制御します。 00：PB0 入出力（ポート）（初期値） 01：設定禁止 10：PB0 入出力（ポート） 11：MOSIA 入出力（RSPI）

20.1.6 ポート B コントロールレジスタ 2A～3A（PBCR2A～PBCR3A）

PBCR2A～PBCR3A は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

PBCR2A～PBCR3A は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート B コントロールレジスタ 3A（PBCR3A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	PB10AMD	–	–	–	PB9AMD	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB10AMD	0	R/W	PB10 モード PB10/TIOC43 端子の機能を制御します。 0：PB10 入出力（ポート） 1：TIOC43 入出力（ATU-Ⅲ） 【注】PB10MD＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB9AMD	0	R/W	PB9 モード PB9/TIOC42 端子の機能を制御します。 0：PB9 入出力（ポート） 1：TIOC42 入出力（ATU-Ⅲ） 【注】PB9MD＝0 のときのみ有効。
3～0	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

(2) ポート B コントロールレジスタ 2A（PBCR2A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PB7A MD	—	—	—	PB6A MD	—	—	—	PB5A MD	—	—	—	PB4A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PB7AMD	0	R/W	PB7 モード PB7/TIOC41 端子の機能を制御します。 0：PB7 入出力（ポート） 1：TIOC41 入出力（ATU-Ⅲ） 【注】PB7MD＝0 のときのみ有効。
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PB6AMD	0	R/W	PB6 モード PB6/TIOC40 端子の機能を制御します。 0：PB6 入出力（ポート） 1：TIOC40 入出力（ATU-Ⅲ） 【注】PB6MD＝0 のときのみ有効。
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PB5AMD	0	R/W	PB5 モード PB5/TOE01 端子の機能を制御します。 0：PB5 入出力（ポート） 1：TOE01 出力（ATU-Ⅲ） 【注】PB5MD[2:0]＝0 のときのみ有効。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PB4AMD	0	R/W	PB4 モード PB4/TOE00 端子の機能を制御します。 0：PB4 入出力（ポート） 1：TOE00 出力（ATU-Ⅲ） 【注】PB4MD[2:0]＝0 のときのみ有効。

20.1.7 ポート C・IO レジスタ（PCIOR）

PCIOR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PCIOR はポート C の端子機能が汎用入出力（PC15～PC0）の場合に有効で、それ以外の場合は端子の状態に影響しません。

PCIOR は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 IOR	PC14 IOR	PC13 IOR	PC12 IOR	PC11 IOR	PC10 IOR	PC9 IOR	PC8 IOR	PC7 IOR	PC6 IOR	PC5 IOR	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	PC15IOR ～PC0IOR	すべて 0	R/W	PC15IOR～PC0IOR ビットは、それぞれ PC15～PC0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。本ビットを設定することにより、対応する端子の入出力方向を選択できます。 0：対応する端子を入力にする 1：対応する端子を出力にする

20.1.8 ポート C コントロールレジスタ 1～4（PCCR1～PCCR4）

PCCR1～PCCR4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

PCCR1～PCCR4 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで表 20.12 に示す値に初期化されます。しかし、スリープモード時には初期化されません。

表 20.12 ポート C コントロールレジスタ初期値

レジスタ	初期値
	シングルチップモード
PCCR4	H'0000
PCCR3	H'0000
PCCR2	H'0000
PCCR1	H'0000

（1） ポート C コントロールレジスタ 4（PCCR4）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PC15 MD	–	–	–	PC14 MD	–	–	–	PC13 MD	–	–	–	PC12 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC15MD	0	R/W	PC15 モード PC15 端子の機能を制御します。 0：PC15 入出力（ポート）（初期値） 1：PC15 入出力（ポート）
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC14MD	0	R/W	PC14 モード PC14 端子の機能を制御します。 0：PC14 入出力（ポート）（初期値） 1：PC14 入出力（ポート）
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC13MD	0	R/W	PC13 モード PC13 端子の機能を制御します。 0：PC13 入出力（ポート）（初期値） 1：PC13 入出力（ポート）
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC12MD	0	R/W	PC12 モード PC12 端子の機能を制御します。 0：PC12 入出力（ポート）（初期値） 1：PC12 入出力（ポート）

(2) ポート C コントロールレジスタ 3（PCCR3）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PC11 MD	–	–	–	PC10 MD	–	–	–	PC9 MD	–	–	–	PC8 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC11MD	0	R/W	PC11 モード PC11 端子の機能を制御します。 0：PC11 入出力（ポート）（初期値） 1：PC11 入出力（ポート）
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC10MD	0	R/W	PC10 モード PC10 端子の機能を制御します。 0：PC10 入出力（ポート）（初期値） 1：PC10 入出力（ポート）
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC9MD	0	R/W	PC9 モード PC9 端子の機能を制御します。 0：PC9 入出力（ポート）（初期値） 1：PC9 入出力（ポート）
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC8MD	0	R/W	PC8 モード PC8 端子の機能を制御します。 0：PC8 入出力（ポート）（初期値） 1：PC8 入出力（ポート）

(3) ポート C コントロールレジスタ 2（PCCR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PC7 MD	–	–	–	PC6 MD	–	–	–	PC5 MD	–	–	–	PC4 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC7MD	0	R/W	PC7 モード PC7 端子の機能を制御します。 0：PC7 入出力（ポート）（初期値） 1：PC7 入出力（ポート）
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC6MD	0	R/W	PC6 モード PC6 端子の機能を制御します。 0：PC6 入出力（ポート）（初期値） 1：PC6 入出力（ポート）
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC5MD	0	R/W	PC5 モード PC5 端子の機能を制御します。 0：PC5 入出力（ポート）（初期値） 1：PC5 入出力（ポート）
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC4MD	0	R/W	PC4 モード PC4 端子の機能を制御します。 0：PC4 入出力（ポート）（初期値） 1：PC4 入出力（ポート）

（4） ポート C コントロールレジスタ 1（PCCR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PC3 MD	–	–	–	PC2 MD	–	–	–	PC1 MD	–	–	–	PC0 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC3MD	0	R/W	PC3 モード PC3 端子の機能を制御します。 0：PC3 入出力（ポート）（初期値） 1：PC3 入出力（ポート）
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC2MD	0	R/W	PC2 モード PC2 端子の機能を制御します。 0：PC2 入出力（ポート）（初期値） 1：PC2 入出力（ポート）
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC1MD	0	R/W	PC1 モード PC1 端子の機能を制御します。 0：PC1 入出力（ポート）（初期値） 1：PC1 入出力（ポート）
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC0MD	0	R/W	PC0 モード PC0 端子の機能を制御します。 0：PC0 入出力（ポート）（初期値） 1：PC0 入出力（ポート）

20.1.9 ポート C コントロールレジスタ 1A～4A（PCCR1A～PCCR4A）

PCCR1A～PCCR4A は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

PCCR1A～PCCR4A は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート C コントロールレジスタ 4A（PCCR4A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PC15AMD	–	–	–	PC14AMD	–	–	–	PC13AMD	–	–	–	PC12AMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC15AMD	0	R/W	PC15 モード PC15/TOE43 端子の機能を制御します。 0：PC15 入出力（ポート） 1：TOE43 出力（ATU-Ⅲ） 【注】PC15MD＝0 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC14AMD	0	R/W	PC14 モード PC14/TOE42 端子の機能を制御します。 0：PC14 入出力（ポート） 1：TOE42 出力（ATU-Ⅲ） 【注】PC14MD＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC13AMD	0	R/W	PC13 モード PC13/TOE41 端子の機能を制御します。 0：PC13 入出力（ポート） 1：TOE41 出力（ATU-Ⅲ） 【注】PC13MD＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC12AMD	0	R/W	PC12 モード PC12/TOE40 端子の機能を制御します。 0：PC12 入出力（ポート） 1：TOE40 出力（ATU-Ⅲ） 【注】PC12MD＝0 のときのみ有効。

(2) ポート C コントロールレジスタ 3A（PCCR3A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PC11AMD	—	—	—	PC10AMD	—	—	—	PC9AMD	—	—	—	PC8AMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC11AMD	0	R/W	PC11 モード PC11/TOE33 端子の機能を制御します。 0：PC11 入出力（ポート） 1：TOE33 出力（ATU-Ⅲ） 【注】PC11MD＝0 のときのみ有効。
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC10AMD	0	R/W	PC10 モード PC10/TOE32 端子の機能を制御します。 0：PC10 入出力（ポート） 1：TOE32 出力（ATU-Ⅲ） 【注】PC10MD＝0 のときのみ有効。
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC9AMD	0	R/W	PC9 モード PC9/TOE31 端子の機能を制御します。 0：PC9 入出力（ポート） 1：TOE31 出力（ATU-Ⅲ） 【注】PC9MD＝0 のときのみ有効。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC8AMD	0	R/W	PC8 モード PC8/TOE30 端子の機能を制御します。 0：PC8 入出力（ポート） 1：TOE30 出力（ATU-Ⅲ） 【注】PC8MD＝0 のときのみ有効。

（3） ポート C コントロールレジスタ 2A（PCCR2A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PC7A MD	—	—	—	PC6A MD	—	—	—	PC5A MD	—	—	—	PC4A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC7AMD	0	R/W	PC7 モード PC7/TOE23 端子の機能を制御します。 0：PC7 入出力（ポート） 1：TOE23 出力（ATU-Ⅲ） 【注】PC7MD＝0 のときのみ有効。
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC6AMD	0	R/W	PC6 モード PC6/TOE22 端子の機能を制御します。 0：PC6 入出力（ポート） 1：TOE22 出力（ATU-Ⅲ） 【注】PC6MD＝0 のときのみ有効。
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC5AMD	0	R/W	PC5 モード PC5/TOE21 端子の機能を制御します。 0：PC5 入出力（ポート） 1：TOE21 出力（ATU-Ⅲ） 【注】PC5MD＝0 のときのみ有効。
3～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC4AMD	0	R/W	PC4 モード PC4/TOE20 端子の機能を制御します。 0：PC4 入出力（ポート） 1：TOE20 出力（ATU-Ⅲ） 【注】PC4MD＝0 のときのみ有効。

（4） ポート C コントロールレジスタ 1A（PCCR1A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PC3A MD	–	–	–	PC2A MD	–	–	–	PC1A MD	–	–	–	PC0A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PC3AMD	0	R/W	PC3 モード PC3/TOE13 端子の機能を制御します。 0：PC3 入出力（ポート） 1：TOE13 出力（ATU-Ⅲ） 【注】PC3MD＝0 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC2AMD	0	R/W	PC2 モード PC2/TOE12 端子の機能を制御します。 0：PC2 入出力（ポート） 1：TOE12 出力（ATU-Ⅲ） 【注】PC2MD＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC1AMD	0	R/W	PC1 モード PC1/TOE11 端子の機能を制御します。 0：PC1 入出力（ポート） 1：TOE11 出力（ATU-Ⅲ） 【注】PC1MD＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC0AMD	0	R/W	PC0 モード PC0/TOE10 端子の機能を制御します。 0：PC0 入出力（ポート） 1：TOE10 出力（ATU-Ⅲ） 【注】PC0MD＝0 のときのみ有効。

20.1.10 ポート F・IO レジスタ（PFIOR）

PFIOR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PFIOR はポート F の端子機能が汎用入出力（PF15～PF0）の場合に有効で、それ以外の場合は端子の状態に影響しません。

PFIOR は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15 IOR	PF14 IOR	PF13 IOR	PF12 IOR	PF11 IOR	PF10 IOR	PF9 IOR	PF8 IOR	PF7 IOR	PF6 IOR	PF5 IOR	PF4 IOR	PF3 IOR	PF2 IOR	PF1 IOR	PF0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	PF15IOR ～PF0IOR	すべて 0	R/W	PF15IOR～PF0IOR ビットは、それぞれ PF15～PF0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。本ビットを設定することにより、対応する端子の入出力方向を選択できます。 0：対応する端子を入力にする 1：対応する端子を出力にする

20.1.11 ポート F コントロールレジスタ 1、2（PFCR1、PFCR2）

PFCR1、PFCR2 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。

PFCR1、PFCR2 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート F コントロールレジスタ 2（PFCR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15MD[1:0]		PF14MD[1:0]		PF13MD[1:0]		PF12MD[1:0]		PF11MD[1:0]		PF10MD[1:0]		PF9MD[1:0]		PF8MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	PF15MD[1:0]	00	R/W	PF15 モード PF15/TOD33B/CRx_B/RxD_A 端子の機能を制御します。 00：PF15 入出力（ポート） 01：TOD33B 出力（ATU-III） 10：CRx_B 入力（RCAN-TL1） 11：RxD_A 入力（SCI）
13、12	PF14MD[1:0]	00	R/W	PF14 モード PF14/TOD32B/CTx_B/TxD_A 端子の機能を制御します。 00：PF14 入出力（ポート） 01：TOD32B 出力（ATU-III） 10：CTx_B 出力（RCAN-TL1） 11：TxD_A 出力（SCI）
11、10	PF13MD[1:0]	00	R/W	PF13 モード PF13/TOD31B/TIF19 端子の機能を制御します。 00：PF13 入出力（ポート） 01：TOD31B 出力（ATU-III） 10：設定禁止 11：TIF19 入力（ATU-III）
9、8	PF12MD[1:0]	00	R/W	PF12 モード PF12/TOD30B/TIF18 端子の機能を制御します。 00：PF12 入出力（ポート） 01：TOD30B 出力（ATU-III） 10：設定禁止 11：TIF18 入力（ATU-III）

ビット	ビット名	初期値	R/W	説　　明
7、6	PF11MD[1:0]	00	R/W	PF11 モード PF11/TOD23B/TIF17 端子の機能を制御します。 00：PF11 入出力（ポート） 01：TOD23B 出力（ATU-III） 10：設定禁止 11：TIF17 入力（ATU-III）
5、4	PF10MD[1:0]	00	R/W	PF10 モード PF10/TOD22B/TIF16 端子の機能を制御します。 00：PF10 入出力（ポート） 01：TOD22B 出力（ATU-III） 10：設定禁止 11：TIF16 入力（ATU-III）
3、2	PF9MD[1:0]	00	R/W	PF9 モード PF9/TOD21B/TIF15 端子の機能を制御します。 00：PF9 入出力（ポート） 01：TOD21B 出力（ATU-III） 10：設定禁止 11：TIF15 入力（ATU-III）
1、0	PF8MD[1:0]	00	R/W	PF8 モード PF8/TOD20B/TIF14 端子の機能を制御します。 00：PF8 入出力（ポート） 01：TOD20B 出力（ATU-III） 10：設定禁止 11：TIF14 入力（ATU-III）

(2) ポート F コントロールレジスタ 1（PFCR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF7MD[1:0]		PF6MD[1:0]		PF5MD[1:0]		PF4MD[1:0]		PF3MD[1:0]		PF2MD[1:0]		PF1MD[1:0]		PF0MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	PF7MD[1:0]	00	R/W	PF7 モード PF7/TOD13B/TIF13 端子の機能を制御します。 00：PF7 入出力（ポート） 01：TOD13B 出力（ATU-III） 10：設定禁止 11：TIF13 入力（ATU-III）
13、12	PF6MD[1:0]	00	R/W	PF6 モード PF6/TOD12B/TIF12 端子の機能を制御します。 00：PF6 入出力（ポート） 01：TOD12B 出力（ATU-III） 10：設定禁止 11：TIF12 入力（ATU-III）
11、10	PF5MD[1:0]	00	R/W	PF5 モード PF5/TOD11B/TIF11 端子の機能を制御します。 00：PF5 入出力（ポート） 01：TOD11B 出力（ATU-III） 10：設定禁止 11：TIF11 入力（ATU-III）
9、8	PF4MD[1:0]	00	R/W	PF4 モード PF4/TOD10B/TIF10 端子の機能を制御します。 00：PF4 入出力（ポート） 01：TOD10B 出力（ATU-III） 10：設定禁止 11：TIF10 入力（ATU-III）
7、6	PF3MD[1:0]	00	R/W	PF3 モード PF3/TOD03B/TIF9 端子の機能を制御します。 00：PF3 入出力（ポート） 01：TOD03B 出力（ATU-III） 10：設定禁止 11：TIF9 入力（ATU-III）

ビット	ビット名	初期値	R/W	説　　明
5、4	PF2MD[1:0]	00	R/W	PF2 モード PF2/TOD02B/TIF8 端子の機能を制御します。 00：PF2 入出力（ポート） 01：TOD02B 出力（ATU-III） 10：設定禁止 11：TIF8 入力（ATU-III）
3、2	PF1MD[1:0]	00	R/W	PF1 モード PF1/TOD01B/TIF7 端子の機能を制御します。 00：PF1 入出力（ポート） 01：TOD01B 出力（ATU-III） 10：設定禁止 11：TIF7 入力（ATU-III）
1、0	PF0MD[1:0]	00	R/W	PF0 モード PF0/TOD00B/TIF6 端子の機能を制御します。 00：PF0 入出力（ポート） 01：TOD00B 出力（ATU-III） 10：設定禁止 11：TIF6 入力（ATU-III）

20.1.12 ポート F コントロールレジスタ 1A～4A（PFCR1A～PFCR4A）

PFCR1A～PFCR4A は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。

PFCR1A～PFCR4A は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート F コントロールレジスタ 4A（PFCR4A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PF15AMD	–	–	–	PF14AMD	–	–	–	PF13AMD	–	–	–	PF12AMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PF15AMD	0	R/W	PF15 モード PF15/TOE03 端子の機能を制御します。 0：PF15 入出力（ポート） 1：TOE03 出力（ATU-Ⅲ） 【注】PF15MD[1:0]＝0 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PF14AMD	0	R/W	PF14 モード PF14/TOE02 端子の機能を制御します。 0：PF14 入出力（ポート） 1：TOE02 出力（ATU-Ⅲ） 【注】PF14MD[1:0]＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PF13AMD	0	R/W	PF13 モード PF13/RxD_C 端子の機能を制御します。 0：PF13 入出力（ポート） 1：RxD_C 入力（SCI） 【注】PF13MD[1:0]＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	PF12AMD	0	R/W	PF12 モード PF12/TxD_C 端子の機能を制御します。 0：PF12 入出力（ポート） 1：TxD_C 出力（SCI） 【注】PF12MD[1:0]＝0 のときのみ有効。

（2） ポート F コントロールレジスタ 3A（PFCR3A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PF11A MD	—	—	—	PF10A MD	—	—	—	PF9A MD	—	—	—	PF8A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PF11AMD	0	R/W	PF11 モード PF11/TOD11A 端子の機能を制御します。 0：PF11 入出力（ポート） 1：TOD11A 出力（ATU-Ⅲ） 【注】PF11MD[1:0]＝0 のときのみ有効。
11～9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PF10AMD	0	R/W	PF10 モード PF10/TOD10A 端子の機能を制御します。 0：PF10 入出力（ポート） 1：TOD10A 出力（ATU-Ⅲ） 【注】PF10MD[1:0]＝0 のときのみ有効。
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PF9AMD	0	R/W	PF9 モード PF9/TOD03A 端子の機能を制御します。 0：PC9 入出力（ポート） 1：TOD03A 出力（ATU-Ⅲ） 【注】PF9MD[1:0]＝0 のときのみ有効。
3～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PF8AMD	0	R/W	PF8 モード PF8/TOD02A 端子の機能を制御します。 0：PC8 入出力（ポート） 1：TOD02A 出力（ATU-Ⅲ） 【注】PF8MD[1:0]＝0 のときのみ有効。

(3) ポート F コントロールレジスタ 2A（PFCR2A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PF7A MD	—	—	—	PF6A MD	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PF7AMD	0	R/W	PF7 モード PF14/TOD01A 端子の機能を制御します。 0：PF7 入出力（ポート） 1：TOD01A 出力（ATU-Ⅲ） 【注】PF7MD[1:0]＝0 のときのみ有効。
11～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PF6AMD	0	R/W	PF6 モード PF12/TOD00A 端子の機能を制御します。 0：PF6 入出力（ポート） 1：TOD00A 出力（ATU-Ⅲ） 【注】PF6MD[1:0]＝0 のときのみ有効。
7～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

（4） ポート F コントロールレジスタ 1A（PFCR1A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PF3A MD	–	–	–	PF2A MD	–	–	–	PF1A MD	–	–	–	PF0A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PF3AMD	0	R/W	PF3 モード PF3/SCK_C 端子の機能を制御します。 0：PF3 入出力（ポート） 1：SCK_C 入出力（SCI） 【注】PF3MD[1:0]＝0 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PF2AMD	0	R/W	PF2 モード PF2/TIF2B 端子の機能を制御します。 0：PF2 入出力（ポート） 1：TIF2B 入力（ATU-Ⅲ） 【注】PF2MD[1:0]＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PF1AMD	0	R/W	PF1 モード PF1/TIF1B 端子の機能を制御します。 0：PC1 入出力（ポート） 1：TIF1B 入力　（ATU-Ⅲ） 【注】PF1MD[1:0]＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PF0AMD	0	R/W	PF0 モード PF0/TIF0B 端子の機能を制御します。 0：PC0 入出力（ポート） 1：TIF0B 入力　（ATU-Ⅲ） 【注】PF0MD[1:0]＝0 のときのみ有効。

20.1.13 ポート G・IO レジスタ（PGIOR）

PGIOR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート G にある端子の入出力方向を選びます。PGIOR はポート G の端子機能が汎用入出力（PG15～PG0）の場合に有効で、それ以外の場合は端子の状態に影響しません。

PGIOR は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 IOR	PG14 IOR	PG13 IOR	PG12 IOR	PG11 IOR	PG10 IOR	PG9 IOR	PG8 IOR	PG7 IOR	PG6 IOR	PG5 IOR	PG4 IOR	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	PG15IOR ～PG0IOR	すべて 0	R/W	PG15IOR～PG0IOR ビットは、それぞれ PG15～PG0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。本ビットを設定することにより、対応する端子の入出力方向を選択できます。 0：対応する端子を入力にする 1：対応する端子を出力にする

20.1.14 ポート G コントロールレジスタ 1、2（PGCR1、PGCR2）

PGCR1、PGCR2 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート G にあるマルチプレクス端子の機能を選びます。

PGCR1、PGCR2 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート G コントロールレジスタ 2（PGCR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15MD[1:0]		PG14MD[1:0]		PG13MD[1:0]		PG12MD[1:0]		PG11MD[1:0]		PG10MD[1:0]		PG9MD[1:0]		PG8MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	PG15MD[1:0]	00	R/W	PG15 モード PG15/TOD33A/SSLA7/TIF13 端子の機能を制御します。 00：PG15 入出力（ポート） 01：TOD33A 出力（ATU-III） 10：SSLA7 出力（RSPI） 11：TIF13 入力（ATU-III）
13、12	PG14MD[1:0]	00	R/W	PG14 モード PG14/TOD32A/SSLA6/TIF12 端子の機能を制御します。 00：PG14 入出力（ポート） 01：TOD32A 出力（ATU-III） 10：SSLA6 出力（RSPI） 11：TIF12 入力（ATU-III）
11、10	PG13MD[1:0]	00	R/W	PG13 モード PG13/TOD31A/SSLA5/TIF11 端子の機能を制御します。 00：PG13 入出力（ポート） 01：TOD31A 出力（ATU-III） 10：SSLA5 出力（RSPI） 11：TIF11 入力（ATU-III）
9、8	PG12MD[1:0]	00	R/W	PG12 モード PG12/TOD30A/SSLA4/TIF10 端子の機能を制御します。 00：PG12 入出力（ポート） 01：TOD30A 出力（ATU-III） 10：SSLA4 出力（RSPI） 11：TIF10 入力（ATU-III）

ビット	ビット名	初期値	R/W	説　　明
7、6	PG11MD[1:0]	00	R/W	PG11 モード PG11/TOD23A/TIF9 端子の機能を制御します。 00：PG11 入出力（ポート） 01：TOD23A 出力（ATU-III） 10：設定禁止 11：TIF9 入力（ATU-III）
5、4	PG10MD[1:0]	00	R/W	PG10 モード PG10/TOD22A/TIF8 端子の機能を制御します。 00：PG10 入出力（ポート） 01：TOD22A 出力（ATU-III） 10：設定禁止 11：TIF8 入力（ATU-III）
3、2	PG9MD[1:0]	00	R/W	PG9 モード PG9/TOD21A/TIF7 端子の機能を制御します。 00：PG9 入出力（ポート） 01：TOD21A 出力（ATU-III） 10：設定禁止 11：TIF7 入力（ATU-III）
1、0	PG8MD[1:0]	00	R/W	PG8 モード PG8/TOD20A/SSLB2/TIF6 端子の機能を制御します。 00：PG8 入出力（ポート） 01：TOD20A 出力（ATU-III） 10：SSLB2 出力（RSPI） 11：TIF6 入力（ATU-III）

(2) ポート G コントロールレジスタ 1（PGCR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG7MD[1:0]		PG6MD[1:0]		PG5MD[1:0]		PG4MD[1:0]		PG3MD[1:0]		PG2MD[1:0]		PG1MD[1:0]		PG0MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	PG7MD[1:0]	00	R/W	PG7 モード PG7/TOD13A/SSLB1 端子の機能を制御します。 00：PG7 入出力（ポート） 01：TOD13A 出力（ATU-III） 10：SSLB1 出力（RSPI） 11：設定禁止
13、12	PG6MD[1:0]	00	R/W	PG6 モード PG6/TOD12A/SSLB0 端子の機能を制御します。 00：PG6 入出力（ポート） 01：TOD12A 出力（ATU-III） 10：SSLB0 入出力（RSPI） 11：設定禁止
11、10	PG5MD[1:0]	00	R/W	PG5 モード PG5/TOD11A/SSLA5 端子の機能を制御します。 00：PG5 入出力（ポート） 01：TOD11A 出力（ATU-III） 10：SSLA5 出力（RSPI） 11：設定禁止
9、8	PG4MD[1:0]	00	R/W	PG4 モード PG4/TOD10A/SSLA4/SSLB3 端子の機能を制御します。 00：PG4 入出力（ポート） 01：TOD10A 出力（ATU-III） 10：SSLA4 出力（RSPI） 11：SSLB3 出力（RSPI）
7、6	PG3MD[1:0]	00	R/W	PG3 モード PG3/TOD03A/SSLA3 端子の機能を制御します。 00：PG3 入出力（ポート） 01：TOD03A 出力（ATU-III） 10：SSLA3 出力（RSPI） 11：設定禁止

ビット	ビット名	初期値	R/W	説　　明
5、4	PG2MD[1:0]	00	R/W	PG2 モード PG2/TOD02A/SSLA2 端子の機能を制御します。 00：PG2 入出力（ポート） 01：TOD02A 出力（ATU-III） 10：SSLA2 出力（RSPI） 11：設定禁止
3、2	PG1MD[1:0]	00	R/W	PG1 モード PG1/TOD01A/SSLA1 端子の機能を制御します。 00：PG1 入出力（ポート） 01：TOD01A 出力（ATU-III） 10：SSLA1 出力（RSPI） 11：設定禁止
1、0	PG0MD[1:0]	00	R/W	PG0 モード PG0/TOD00A/SSLA0 端子の機能を制御します。 00：PG0 入出力（ポート） 01：TOD00A 出力（ATU-III） 10：SSLA0 入出力（RSPI） 11：設定禁止

20.1.15 ポート G コントロールレジスタ 1A～4A（PGCR1A～PGCR4A）

PGCR1A～PGCR4A は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート G にあるマルチプレクス端子の機能を選びます。

PGCR1A～PGCR4A は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート G コントロールレジスタ 4A（PGCR4A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PG15A MD	–	–	–	PG14A MD	–	–	–	PG13A MD	–	–	–	PG12A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PG15AMD	0	R/W	PG15 モード PG15/TIA03 端子の機能を制御します。 0：PG15 入出力（ポート） 1：TIA03 入力（ATU-Ⅲ） 【注】PG15MD[1:0]＝0 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PG14AMD	0	R/W	PG14 モード PG14/TIA02 端子の機能を制御します。 0：PG14 入出力（ポート） 1：TIA02 入力（ATU-Ⅲ） 【注】PG14MD[1:0]＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PG13AMD	0	R/W	PG13 モード PG13/TIA01 端子の機能を制御します。 0：PG13 入出力（ポート） 1：TIA01 入力（ATU-Ⅲ） 【注】PG13MD[1:0]＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	PG12AMD	0	R/W	PG12 モード PG12/TIA00 端子の機能を制御します。 0：PG12 入出力（ポート） 1：TIA00 入力（ATU-Ⅲ） 【注】PG12MD[1:0]＝0 のときのみ有効。

(2) ポート G コントロールレジスタ 3A（PGCR3A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PG11A MD	–	–	–	PG10A MD	–	–	–	PG9A MD	–	–	–	PG8A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PG11AMD	0	R/W	PG11 モード PG11/TCLKB 端子の機能を制御します。 0：PG11 入出力（ポート） 1：TCLKB 入力（ATU-Ⅲ） 【注】PG11MD[1:0]＝0 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PG10AMD	0	R/W	PG10 モード PG10/TCLKA 端子の機能を制御します。 0：PG10 入出力（ポート） 1：TCLKA 入力（ATU-Ⅲ） 【注】PG10MD[1:0]＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PG9AMD	0	R/W	PG9 モード PG9/RxD_B 端子の機能を制御します。 0：PC9 入出力（ポート） 1：RxD_B 出力（SCI） 【注】PG9MD[1:0]＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PG8AMD	0	R/W	PG8 モード PG8/TxD_B 端子の機能を制御します。 0：PG8 入出力（ポート） 1：TxD_B 出力（SCI） 【注】PG8MD[1:0]＝0 のときのみ有効。

(3) ポート G コントロールレジスタ 2A（PGCR2A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	PG5A MD	–	–	–	PG4A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PG5AMD	0	R/W	PG5 モード PG5/ADTRG_B 端子の機能を制御します。 0：PG5 入出力（ポート） 1：ADTRG_B 入力（ADC） 【注】PG5MD[1:0]＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PG4AMD	0	R/W	PG4 モード PG4/ADTRG_A 端子の機能を制御します。 0：PG4 入出力（ポート） 1：ADTRG_A 入力（ADC） 【注】PG4MD[1:0]＝0 のときのみ有効。

（4） ポート G コントロールレジスタ 1A（PGCR1A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PG3A MD	–	–	–	PG2A MD	–	–	–	PG1A MD	–	–	–	PG0A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PG3AMD	0	R/W	PG3 モード PG3/$\overline{\text{IRQ3}}$ 入力端子の機能を制御します。 0：PG3 入出力（ポート） 1：$\overline{\text{IRQ3}}$ 入力（INTC） 【注】PG3MD[1:0]＝0 のときのみ有効
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PG2AMD	0	R/W	PG2 モード PG2/$\overline{\text{IRQ2}}$ 入力端子の機能を制御します。 0：PG2 入出力（ポート） 1：$\overline{\text{IRQ2}}$ 入力（INTC） 【注】PG2MD[1:0]＝0 のときのみ有効。
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PG1AMD	0	R/W	PG1 モード PG1/$\overline{\text{IRQ1}}$ 入力端子の機能を制御します。 0：PG1 入出力（ポート） 1：$\overline{\text{IRQ1}}$ 入力　（INTC） 【注】PG1MD[1:0]＝0 のときのみ有効。
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PG0AMD	0	R/W	PG0 モード PG0/$\overline{\text{IRQ0}}$ 入力端子の機能を制御します。 0：PG0 入出力（ポート） 1：$\overline{\text{IRQ0}}$ 入力（INTC） 【注】PG0MD[1:0]＝0 のときのみ有効。

20.1.16 ポート J・IO レジスタ（PJIOR）

PJIOR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート J にある端子の入出力方向を選びます。PJIOR はポート J の端子機能が汎用入出力（PJ9～PJ0）の場合に有効で、それ以外の場合は端子の状態に影響しません。

PJIOR は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9～0	PJ9IOR～PJ0IOR	すべて 0	R/W	PJ9IOR～PJ0IOR ビットは、それぞれ PJ9～PJ0 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。本ビットを設定することにより、対応する端子の入出力方向を選択できます。 0：対応する端子を入力にする 1：対応する端子を出力にする

20.1.17 ポート J コントロールレジスタ 1、2（PJCR1、PJCR2）

PJCR1、PJCR2 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート J にあるマルチプレクス端子の機能を選びます。

PJCR1、PJCR2 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート J コントロールレジスタ 2（PJCR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	PJ9 MD	–	PJ8 MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～3	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PJ9MD	0	R/W	PJ9 モード PJ9/RxD_B 端子の機能を制御します。 0：PJ9 入出力（ポート） 1：RxD_B 入力（SCI）
1	–	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PJ8MD	0	R/W	PJ8 モード PJ8/TxD_B 端子の機能を制御します。 0：PJ8 入出力（ポート） 1：TxD_B 出力（SCI）

(2) ポート J コントロールレジスタ 1（PJCR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ7MD[1:0]		—	PJ6 MD	—	PJ5 MD	PJ4MD[1:0]		PJ3MD[1:0]		PJ2MD[1:0]		PJ1MD[1:0]		PJ0MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	PJ7MD[1:0]	00	R/W	PJ7 モード PJ7/SCK_B/ADEND_A/TIJ1 端子の機能を制御します。 00：PJ7 入出力（ポート） 01：SCK_B 入出力（SCI） 10：ADEND_A 出力（ADC） 11：TIJ1 入力（ATU-III）
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PJ6MD	0	R/W	PJ6 モード PJ6/RxD_A 端子の機能を制御します。 0：PJ6 入出力（ポート） 1：RxD_A 入力（SCI）
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PJ5MD	0	R/W	PJ5 モード PJ5/TxD_A 端子の機能を制御します。 0：PJ5 入出力（ポート） 1：TxD_A 出力（SCI）
9、8	PJ4MD[1:0]	00	R/W	PJ4 モード PJ4/SCK_A/ADEND_B/TIJ0 端子の機能を制御します。 00：PJ4 入出力（ポート） 01：SCK_A 入出力（SCI） 10：ADEND_B 出力（ADC） 11：TIJ0 入力（ATU-III）
7、6	PJ3MD[1:0]	00	R/W	PJ3 モード PJ3/RxD_A 端子の機能を制御します。 00：PJ3 入出力（ポート） 01：RxD_A 入力（SCI） 10：設定禁止 11：設定禁止

ビット	ビット名	初期値	R/W	説　　明
5、4	PJ2MD[1:0]	00	R/W	PJ2 モード PJ2/TxD_A 端子の機能を制御します。 00：PJ2 入出力（ポート） 01：TxD_A 出力（SCI） 10：設定禁止 11：設定禁止
3、2	PJ1MD[1:0]	00	R/W	PJ1 モード PJ1/RxD_A/CRx_A/CRx_A&CRx_B 端子の機能を制御します。 00：PJ1 入出力（ポート） 01：RxD_A 入力（SCI） 10：CRx_A 入力（RCAN-TL1） 11：CRx_A&CRx_B 入力（RCAN-TL1）
1、0	PJ0MD[1:0]	00	R/W	PJ0 モード PJ0/TxD_A/CTx_A/CTx_A&CTx_B 端子の機能を制御します。 00：PJ0 入出力（ポート） 01：TxD_A 出力（SCI） 10：CTx_A 出力（RCAN-TL1） 11：CTx_A&CTx_B 出力（RCAN-TL1）

20.1.18 ポート J コントロールレジスタ 1A～3A（PJCR1A～PJCR3A）

PJCR1A～PJCR3A は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート J にあるマルチプレクス端子の機能を選びます。

PJCR1A～PJCR3A は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

（1） ポート J コントロールレジスタ 3A（PJCR3A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	PJ9A MD	–	–	–	PJ8A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PJ9AMD	0	R/W	PJ9 モード PJ9/TIF5 端子の機能を制御します。 0：PJ9 入出力（ポート） 1：TIF5 入力（ATU-Ⅲ）
3～1	–	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PJ8AMD	0	R/W	PJ8 モード PJ8/TIF4 端子の機能を制御します。 0：PJ8 入出力（ポート） 1：TIF4 入力（ATU-Ⅲ）

(2) ポート J コントロールレジスタ 2A（PJCR2A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PJ7A MD	–	–	–	PJ6A MD	–	–	–	PJ5A MD	–	–	–	PJ4A MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PJ7AMD	0	R/W	PJ7 モード PJ7/TIF3 端子の機能を制御します。 0：PJ7 入出力（ポート） 1：TIF3 入力（ATU-Ⅲ）
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PJ6AMD	0	R/W	PJ6 モード PJ6/TIF2A 端子の機能を制御します。 0：PJ6 入出力（ポート） 1：TIF2A 入力（ATU-Ⅲ）
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PJ5AMD	0	R/W	PJ5 モード PJ5/TIF1A 入力端子の機能を制御します。 0：PJ5 入出力（ポート） 1：TIF1A 入力（ATU-Ⅲ）
3～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PJ4AMD	0	R/W	PJ4 モード PJ4/TIF0A 端子の機能を制御します。 0：PJ4 入出力（ポート） 1：TIF0A 入力（ATU-Ⅲ）

(3) ポート J コントロールレジスタ 1A（PJCR1A）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	PJ3AMD	–	–	–	PJ2AMD	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	PJ3AMD	0	R/W	PJ3 モード PJ3/CRx_B 端子の機能を制御します。 0：PJ3 入出力（ポート） 1：CRx_B 入力（RCAN） 【注】PJ3MD[1:0]＝00 のときのみ有効。
11～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PJ2AMD	0	R/W	PJ2 モード PJ2/CTx_B 端子の機能を制御します。 0：PJ2 入出力（ポート） 1：CTx_B 出力（RCAN） 【注】PJ2MD[1:0]＝00 のときのみ有効。
7～0	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20.1.19 ポート S コントロールレジスタ 1～4（PSCR1～PSCR4）

PSCR1～PSCR4 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート S にあるマルチプレクス端子の機能を選びます。

PSCR1～PSCR4 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ポート S コントロールレジスタの設定にかかわらず、アナログ入力信号 AN_A0～15 は常に有効です。

(1) ポート S コントロールレジスタ 4（PSCR4）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	PS15 MD2	–	PS15 MD0	–	PS14 MD2	–	PS14 MD0	–	PS13 MD2	–	PS13 MD0	–	PS12 MD2	–	PS12 MD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15、13	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14、12	PS15MD2、PS15MD0	00	R/W	PS15 モード AN_A15/PS15/TIF4 端子の機能を制御します。 00：AN_A15 入力（AD） 01：AN_A15 入力（AD） 10：AN_A15 入力（AD）/PS15 入力（ポート） 11：AN_A15 入力（AD）/TIF4 入力（ATU-Ⅲ）
11、9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、8	PS14MD2、PS14MD0	00	R/W	PS14 モード AN_A14/PS14/TIF5 端子の機能を制御します。 00：AN_A14 入力（AD） 01：AN_A14 入力（AD） 10：AN_A14 入力（AD）/PS14 入力（ポート） 11：AN_A14 入力（AD）/TIF4 入力（ATU-Ⅲ）
7、5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6、4	PS13MD2、PS13MD0	00	R/W	PS13 モード AN_A13/PS13/TIF6 端子の機能を制御します。 00：AN_A13 入力（AD） 01：AN_A13 入力（AD） 10：AN_A13 入力（AD）/PS13 入力（ポート） 11：AN_A13 入力（AD）/TIF6 入力（ATU-Ⅲ）
3、1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2、0	PS12MD2、 PS12MD0	00	R/W	PS12 モード AN_A12/PS12/TIF7 端子の機能を制御します。 00：AN_A12 入力（AD） 01：AN_A12 入力（AD） 10：AN_A12 入力（AD）/PS12 入力（ポート） 11：AN_A12 入力（AD）/TIF7 入力（ATU-Ⅲ）

（2） ポート S コントロールレジスタ 3（PSCR3）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PS11 MD2	—	PS11 MD0	—	PS10 MD2	—	PS10 MD0	—	PS9 MD2	—	PS9 MD0	—	PS8 MD2	—	PS8 MD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15、13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14、12	PS11MD2、 PS11MD0	00	R/W	PS11 モード AN_A11/PS1/TIF8 端子の機能を制御します。 00：AN_A11 入力（AD） 01：AN_A11 入力（AD） 10：AN_A11 入力（AD）/PS11 入力（ポート） 11：AN_A11 入力（AD）/TIF8 入力（ATU-Ⅲ）
11、9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、8	PS10MD2、 PS10MD0	00	R/W	PS10 モード AN_A10/PS10/TIF9 端子の機能を制御します。 00：AN_A10 入力（AD） 01：AN_A10 入力（AD） 10：AN_A10 入力（AD）/PS10 入力（ポート） 11：AN_A10 入力（AD）/TIF9 入力（ATU-Ⅲ）
7、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6、4	PS9MD2、 PS9MD0	00	R/W	PS9 モード AN_A9/PS9/TIF10 端子の機能を制御します。 00：AN_A9 入力（AD） 01：AN_A9 入力（AD） 10：AN_A9 入力（AD）/PS9 入力（ポート） 11：AN_A9 入力（AD）/TIF10 入力（ATU-Ⅲ）
3、1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2、0	PS8MD2、 PS8MD0	00	R/W	PS8 モード AN_A8/PS8/TIF11 端子の機能を制御します。 00：AN_A8 入力（AD） 01：AN_A8 入力（AD） 10：AN_A8 入力（AD）/PS8 入力（ポート） 11：AN_A8 入力（AD）/TIF11 入力（ATU-Ⅲ）

（3） ポート S コントロールレジスタ 2（PSCR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PS7 MD2	—	PS7 MD0	—	PS6 MD2	—	PS6 MD0	—	PS5 MD2	—	PS5 MD0	—	PS4 MD2	—	PS4 MD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15、13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14、12	PS7MD2、 PS7MD0	00	R/W	PS7 モード AN_A7/PS7/TIF12 端子の機能を制御します。 00：AN_A7 入力（AD） 01：AN_A7 入力（AD） 10：AN_A7 入力（AD）/PS7 入力（ポート） 11：AN_A7 入力（AD）/TIF12 入力（ATU-Ⅲ）
11、9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、8	PS6MD2、 PS6MD0	00	R/W	PS6 モード AN_A6/PS6/TIF13 端子の機能を制御します。 00：AN_A6 入力（AD） 01：AN_A6 入力（AD） 10：AN_A6 入力（AD）/PS6 入力（ポート） 11：AN_A6 入力（AD）/TIF13 入力（ATU-Ⅲ）
7、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6、4	PS5MD2、 PS5MD0	00	R/W	PS5 モード AN_A5/PS5/TIF14 端子の機能を制御します。 00：AN_A5 入力（AD） 01：AN_A5 入力（AD） 10：AN_A5 入力（AD）/PS5 入力（ポート） 11：AN_A5 入力（AD）/TIF14 入力（ATU-Ⅲ）
3、1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2、0	PS4MD2、 PS4MD0	00	R/W	PS4 モード AN_4/PS4/TIF15 端子の機能を制御します。 00：AN_A4 入力（AD） 01：AN_A4 入力（AD） 10：AN_A4 入力（AD）/PS4 入力（ポート） 11：AN_A4 入力（AD）/TIF15 入力（ATU-Ⅲ）

（4） ポート S コントロールレジスタ 1（PSCR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PS3 MD2	—	PS3 MD0	—	PS2 MD2	—	PS2 MD0	—	PS1 MD2	—	PS1 MD0	—	PS0 MD2	—	PS0 MD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15、13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14、12	PS3MD2、 PS3MD0	00	R/W	PS3 モード AN_A3/PS3/TIF16 端子の機能を制御します。 00：AN_A3 入力（AD） 01：AN_A3 入力（AD） 10：AN_A3 入力（AD）/PS3 入力（ポート） 11：AN_A3 入力（AD）/TIF16 入力（ATU-Ⅲ）
11、9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、8	PS2MD2、 PS2MD0	00	R/W	PS2 モード AN_A2/PS2/TIF17 端子の機能を制御します。 00：AN_A2 入力（AD） 01：AN_A2 入力（AD） 10：AN_A2 入力（AD）/PS2 入力（ポート） 11：AN_A2 入力（AD）/TIF17 入力（ATU-Ⅲ）
7、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6、4	PS1MD1、 PS1MD0	00	R/W	PS1 モード AN_A1/PS1/TIF18 端子の機能を制御します。 00：AN_A1 入力（AD） 01：AN_A1 入力（AD） 10：AN_A1 入力（AD）/PS1 入力（ポート） 11：AN_A1 入力（AD）/TIF18 入力（ATU-Ⅲ）
3、1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
2、0	PS0MD2、 PS0MD0	00	R/W	PS0 モード AN_A0/PS0/TIF19 端子の機能を制御します。 00：AN_A0 入力（AD） 01：AN_A0 入力（AD） 10：AN_A0 入力（AD）/PS0 入力（ポート） 11：AN_A0 入力（AD）/TIF19 入力（ATU-Ⅲ）

20.1.20 ポート T コントロールレジスタ 1、2（PTCR1、PTCR2）

PTCR1、PTCR2 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート T にあるマルチプレクス端子の機能を選びます。

PTCR1、PTCR2 は、パワーオンリセット、ハードウェアスタンバイ、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ポート T コントロールレジスタの設定にかかわらず、アナログ入力信号 AN_A16～22 は常に有効です。

（1） ポート T コントロールレジスタ 2（PTCR2）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	PT6 MD2	－	PT6 MD0	－	PT5 MD2	－	PT5 MD0	－	PT4 MD2	－	PT4 MD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、8	PT6MD2、 PT6MD0	00	R/W	PT6 モード AN_A22/PT6/TIF0A 端子の機能を制御します。 00：AN_A22 入力（AD） 01：AN_A22 入力（AD） 10：AN_A22 入力（AD）/PT6 入力（ポート） 11：AN_A22 入力（AD）/TIF0A 入力（ATU-Ⅲ）
9、7、5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6、4	PT5MD2、 PT5MD0	00	R/W	PT5 モード AN_A21/PT5/TIF1A 端子の機能を制御します。 00：AN_A21 入力（AD） 01：AN_A21 入力（AD） 10：AN_A21 入力（AD）/PT5 入力（ポート） 11：AN_A21 入力（AD）/TIF1A 入力（ATU-Ⅲ）
3、1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2、0	PT4MD2、 PT4MD0	00	R/W	PT4 モード AN_A20/PT4/TIF2A 端子の機能を制御します。 00：AN_A20 入力（AD） 01：AN_A20 入力（AD） 10：AN_A20 入力（AD）/PT4 入力（ポート） 11：AN_A20 入力（AD）/TIF2A 入力（ATU-Ⅲ）

(2) ポート T コントロールレジスタ 1（PTCR1）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PT3 MD2	—	PT3 MD0	—	PT2 MD2	—	PT2 MD0	—	PT1 MD2	—	PT1 MD0	—	PT0 MD2	—	PT0 MD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15、13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14、12	PT3MD2、 PT3MD0	00	R/W	PT3 モード AN_A19/PT3/TIF0B 端子の機能を制御します。 00：AN_A19 入力（AD） 01：AN_A19 入力（AD） 10：AN_A19 入力（AD）/PT3 入力（ポート） 11：AN_A19 入力（AD）/TIF0B 入力（ATU-Ⅲ）
11、9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、8	PT2MD2、 PT2MD0	00	R/W	PT2 モード AN_A18/PT2/TIF1B 端子の機能を制御します。 00：AN_A18 入力（AD） 01：AN_A18 入力（AD） 10：AN_A18 入力（AD）/PT2 入力（ポート） 11：AN_A18 入力（AD）/TIF1B 入力（ATU-Ⅲ）
7、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6、4	PT1MD1、 PT1MD0	00	R/W	PT1 モード AN_A17/PT1/TIF2B 端子の機能を制御します。 00：AN_A17 入力（AD） 01：AN_A17 入力（AD） 10：AN_A17 入力（AD）/PT1 入力（ポート） 11：AN_A17 入力（AD）/TIF2B 入力（ATU-Ⅲ）
3、1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2、0	PT0MD2、 PT0MD0	00	R/W	PT0 モード AN_A16/PT0/TIF3 端子の機能を制御します。 00：AN_A16 入力（AD） 01：AN_A16 入力（AD） 10：AN_A16 入力（AD）/PT0 入力（ポート） 11：AN_A16 入力（AD）/TIF3 入力（ATU-Ⅲ）

21. I/O ポート

21.1 概要

ポートは、A、B、C、F、G、J、S、T の 8 本から構成されています。

ポート A は 16 ビット、ポート B は 15 ビット、ポート C は 16 ビット、ポート F は 16 ビット、ポート G は 16 ビット、ポート J は 10 ビットの入出力ポートです。ポート S は 16 ビット、ポート T は 7 ビットの入力ポートです。

ポートの各端子は、ポート S、ポート T の端子を除き、すべて汎用入出力と、そのほかの機能とを兼ねているマルチプレクス端子です。ポート S、ポート T 端子はアナログ入力信号とデジタル入力信号のマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います。

ポート S、ポート T 以外のポートはそれぞれ、端子のデータを格納するためのデータレジスタを 1 本ずつ持っています。

ポートはそれぞれ、端子の値をリードするためのポートレジスタを 1 本ずつ持っています。

ポート A、B、C、F、G、J は、端子の出力値を反転する機能を設定するためのインバートレジスタをそれぞれ 1 本ずつ持っています。

ポート G は、端子のエッジ入力を検出することができるポートです。検出するエッジを選択するため、エッジ選択レジスタを 1 本持っています。

ポート B、C、F、G、J は、端子のドライブ能力を設定できるポートです。ドライバビリティ設定のため、ドライバビリティ設定レジスタをそれぞれ 1 本ずつ持っています。

ポート B、F、J、G は、端子のプルダウンを設定できるポートです。端子のプルダウン設定のため、端子状態設定レジスタをそれぞれ 1 本ずつ持っています。

また、CK 端子の出力の有無を決定するための CK コントロールレジスタ（CKCR）を 1 本持っています。

21.2 レジスタの説明

I/O ポートのレジスタを表 21.1 に示します。

表 21.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'0000	H'FFFE3802	8、16
ポート A ポートレジスタ	PAPR	R	端子の値	H'FFFE381E	8、16
ポート A インバートレジスタ	PAIR	R/W	H'0000	H'FFFE3818	8、16
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFE3882	8、16
ポート B ポートレジスタ	PBPR	R	端子の値	H'FFFE389E	8、16
ポート B インバートレジスタ	PBIR	R/W	H'0000	H'FFFE3898	8、16、32
ポート B ドライバビリティ設定レジスタ	PBDSR	R/W	H'0000	H'FFFE389A	8、16
ポート B 端子状態設定レジスタ	PBPSR	R/W	H'0000	H'FFFE389C	8、16、32
ポート C データレジスタ	PCDR	R/W	H'0000	H'FFFE3902	8、16
ポート C ポートレジスタ	PCPR	R	端子の値	H'FFFE391E	8、16
ポート C インバートレジスタ	PCIR	R/W	H'0000	H'FFFE3918	8、16、32
ポート C ドライバビリティ設定レジスタ	PCDSR	R/W	H'0000	H'FFFE391A	8、16
ポート F データレジスタ	PFDR	R/W	H'0000	H'FFFFC820	8、16、32
ポート F ポートレジスタ	PFPR	R	端子の値	H'FFFFC822	8、16
ポート F インバートレジスタ	PFIR	R/W	H'0000	H'FFFFC824	8、16、32
ポート F ドライバビリティ設定レジスタ	PFDSR	R/W	H'0000	H'FFFFC826	8、16
ポート F 端子状態設定レジスタ	PFPSR	R/W	H'0000	H'FFFFC828	8、16、32
ポート G データレジスタ	PGDR	R/W	H'0000	H'FFFFC830	8、16、32
ポート G ポートレジスタ	PGPR	R	端子の値	H'FFFFC832	8、16
ポート G インバートレジスタ	PGIR	R/W	H'0000	H'FFFFC834	8、16、32
ポート G ドライバビリティ設定レジスタ	PGDSR	R/W	H'0000	H'FFFFC836	8、16
ポート G エッジ選択レジスタ	PGER	R/W	H'0000	H'FFFFC838	8、16、32
ポート G 端子状態設定レジスタ	PGPSR	R/W	H'0000	H'FFFFC83A	8、16
ポート J データレジスタ	PJDR	R/W	H'0000	H'FFFFC860	8、16、32
ポート J ポートレジスタ	PJPR	R	端子の値	H'FFFFC862	8、16
ポート J インバートレジスタ	PJIR	R/W	H'0000	H'FFFFC864	8、16、32
ポート J ドライバビリティ設定レジスタ	PJDSR	R/W	H'0000	H'FFFFC866	8、16
ポート J 端子状態設定レジスタ	PJPSR	R/W	H'0000	H'FFFFC868	8、16
ポート S ポートレジスタ	PSPR	R/W	H'0000	H'FFFFCB02	8、16
ポート T ポートレジスタ	PTPR	R/W	H'0000	H'FFFFCB22	8、16
CK コントロールレジスタ	CKCR	R/W	H'0000	H'FFFFC920	8、16

21.3 ポート A

ポート A は、図 21.1 に示すような、16 本の端子を持つ入出力ポートです。

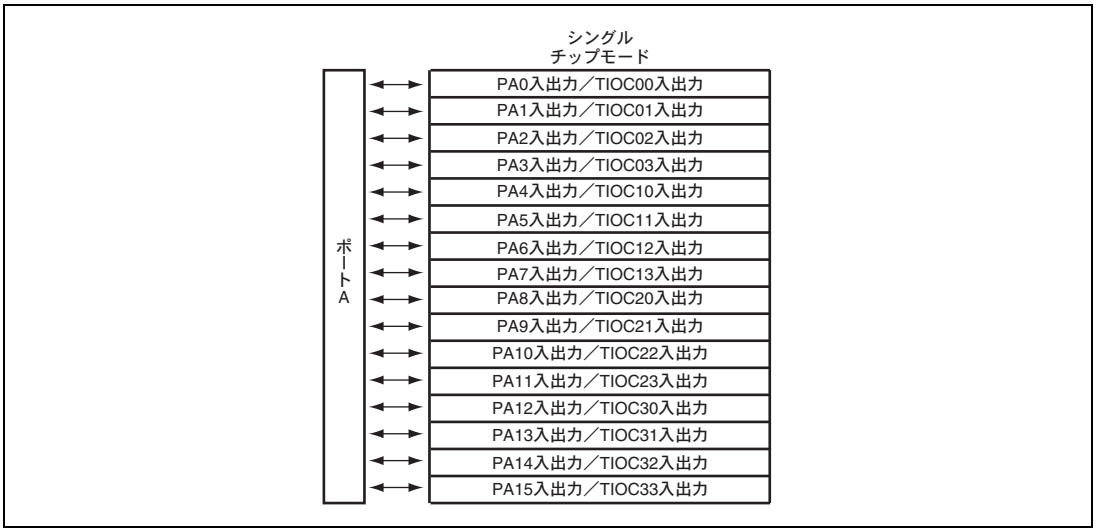


図 21.1 ポート A

21.3.1 ポート A データレジスタ（PADR）

PADR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR～PA0DR は、それぞれ PA15～PA0 端子に対応しています。

端子機能が汎用出力の場合には、PADR に値を書き込むと端子からその値が出力され、PADR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADR に値を書き込むと、PADR にその値を書き込めますが、端子の状態には影響しません。表 21.2 に PADR の読み出し／書き込み動作を示します。

PADR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PA15DR	0	R/W	表 21.2 参照
14	PA14DR	0	R/W	
13	PA13DR	0	R/W	
12	PA12DR	0	R/W	
11	PA11DR	0	R/W	
10	PA10DR	0	R/W	
9	PA9DR	0	R/W	
8	PA8DR	0	R/W	
7	PA7DR	0	R/W	
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

表 21.2 ポート A データレジスタ（PADR）の読み出し／書き込み動作

- PADRのビット15～0

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

21.3.2 ポート A ポートレジスタ（PAPR）

PAPR は、読み出し専用の 16 ビットのレジスタで、常にポート A の端子の値を格納しますので、CPU から値を書き込むことはできません。PA15PR～PA0PR ビットは、それぞれ PA15～PA0 端子に対応しています。PAPR は読み出すと端子の値が読み出されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR	PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR
初期値：	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	PA15PR	端子の値	R	読み出すと端子の値が読み出されます。書き込みは無効です。
14	PA14PR	端子の値	R	
13	PA13PR	端子の値	R	
12	PA12PR	端子の値	R	
11	PA11PR	端子の値	R	
10	PA10PR	端子の値	R	
9	PA9PR	端子の値	R	
8	PA8PR	端子の値	R	
7	PA7PR	端子の値	R	
6	PA6PR	端子の値	R	
5	PA5PR	端子の値	R	
4	PA4PR	端子の値	R	
3	PA3PR	端子の値	R	
2	PA2PR	端子の値	R	
1	PA1PR	端子の値	R	
0	PA0PR	端子の値	R	

21.3.3 ポート A インバートレジスタ（PAIR）

PAIR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A の反転機能を設定します。PA15IR～PA0IR ビットが、それぞれ PA15/TIOC33～PA0/TIOC00 端子に対応しています。

PAIR のビットを 1 にすると、対応する端子の出力値が反転します。

PAIR の設定は、対象端子の機能がバス機能に選択されている場合は無効です。

PAIR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には、初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15IR	PA14IR	PA13IR	PA12IR	PA11IR	PA10IR	PA9IR	PA8IR	PA7IR	PA6IR	PA5IR	PA4IR	PA3IR	PA2IR	PA1IR	PA0IR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PA15IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
14	PA14IR	0	R/W	
13	PA13IR	0	R/W	
12	PA12IR	0	R/W	
11	PA11IR	0	R/W	
10	PA10IR	0	R/W	
9	PA9IR	0	R/W	
8	PA8IR	0	R/W	
7	PA7IR	0	R/W	
6	PA6IR	0	R/W	
5	PA5IR	0	R/W	
4	PA4IR	0	R/W	
3	PA3IR	0	R/W	
2	PA2IR	0	R/W	
1	PA1IR	0	R/W	
0	PA0IR	0	R/W	

21.4 ポート B

ポート B は、図 21.2 に示すような、15 本の端子を持つ入出力ポートです。

図 21.2 ポート B

21.4.1 ポート B データレジスタ（PBDR）

PBDR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB14DR～PB0DR は、それぞれ PB14～PB0/MOSIA 端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。表 21.3 に PBDR の読み出し／書き込み動作を示します。

PBDR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PB14DR	0	R/W	表 21.3 参照
13	PB13DR	0	R/W	
12	PB12DR	0	R/W	
11	PB11DR	0	R/W	
10	PB10DR	0	R/W	
9	PB9DR	0	R/W	
8	PB8DR	0	R/W	
7	PB7DR	0	R/W	
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 21.3 ポート B データレジスタ（PBDR）の読み出し／書き込み動作

- PBDRのビット15～0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

21.4.2 ポート B ポートレジスタ（PBPR）

PBPR は、読み出し専用の 16 ビットのレジスタで、常にポート B の端子の値を格納しますので、CPU から値を書き込むことはできません。PB14PR～PB0PR ビットは、それぞれ PB14～PB0/MOSIA 端子に対応しています。PBPR は読み出すと端子の値が読み出されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR	PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR
初期値：	0	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PB14PR	端子の値	R	読み出すと端子の値が読み出されます。書き込みは無効です。
13	PB13PR	端子の値	R	
12	PB12PR	端子の値	R	
11	PB11PR	端子の値	R	
10	PB10PR	端子の値	R	
9	PB9PR	端子の値	R	
8	PB8PR	端子の値	R	
7	PB7PR	端子の値	R	
6	PB6PR	端子の値	R	
5	PB5PR	端子の値	R	
4	PB4PR	端子の値	R	
3	PB3PR	端子の値	R	
2	PB2PR	端子の値	R	
1	PB1PR	端子の値	R	
0	PB0PR	端子の値	R	

21.4.3 ポート B インバートレジスタ（PBIR）

PBIR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B の反転機能を設定します。PB14IR～PB0IR ビットが、それぞれ PB14～PB0/MOSIA 端子に対応しています。

PBIR のビットを 1 にすると、対応する端子の出力値が反転します。

PBIR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	PB14IR	PB13IR	PB12IR	PB11IR	PB10IR	PB9IR	PB8IR	PB7IR	PB6IR	PB5IR	PB4IR	PB3IR	PB2IR	PB1IR	PB0IR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PB14IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
13	PB13IR	0	R/W	
12	PB12IR	0	R/W	
11	PB11IR	0	R/W	
10	PB10IR	0	R/W	
9	PB9IR	0	R/W	
8	PB8IR	0	R/W	
7	PB7IR	0	R/W	
6	PB6IR	0	R/W	
5	PB5IR	0	R/W	
4	PB4IR	0	R/W	
3	PB3IR	0	R/W	
2	PB2IR	0	R/W	
1	PB1IR	0	R/W	
0	PB0IR	0	R/W	

21.4.4 ポート B ドライバビリティ設定レジスタ（PBDSR）

PBDSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B のドライブ能力を設定します。PB13DSR、PB12DSR、PB6DSR～PB0DSR ビットが、それぞれ PB13/RSPCKB、PB12/RSPCKA、PB6/TIOC40～PB0/MOSIA 端子に対応しています。

PBDSR のビットを 1 にすると、対応する端子のドライブ能力が増加します。

PBDSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	PB13DSR	PB12DSR	－	－	－	－	－	PB6DSR	PB5DSR	PB4DSR	PB3DSR	PB2DSR	PB1DSR	PB0DSR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PB13DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。
12	PB12DSR	0	R/W	
11～7	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PB6DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。
5	PB5DSR	0	R/W	
4	PB4DSR	0	R/W	
3	PB3DSR	0	R/W	
2	PB2DSR	0	R/W	
1	PB1DSR	0	R/W	
0	PB0DSR	0	R/W	

21.4.5 ポート B 端子状態設定レジスタ（PBPSR）

PBPSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B のプルダウン／プルダウンオフを設定します。PB3PSR、PB1PSR ビットが、それぞれ PB3/MISOB、PB1/MISOA 端子に対応しています。

PBPSR のビットを 1 にすると、対応する端子がプルダウン状態に設定されます。

PBPSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	−	−	−	−	−	−	PB3PSR	−	PB1PSR	−
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
15～4	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PB3PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
2	−	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PB1PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
0	−	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.5 ポート C

ポート C は、図 21.3 に示すような、16 本の端子を持つ入出力ポートです。

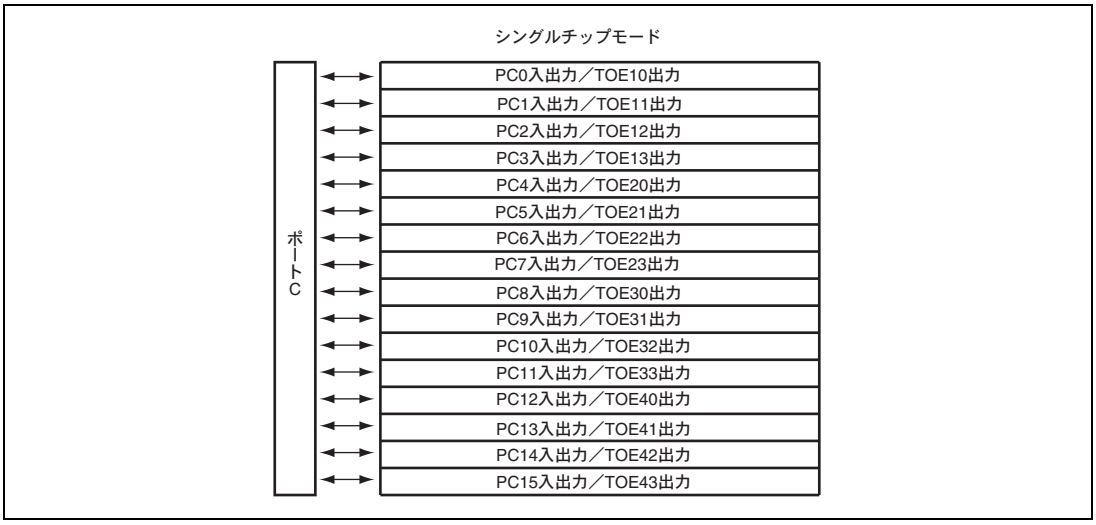


図 21.3 ポート C

21.5.1 ポート C データレジスタ（PCDR）

PCDR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC15DR～PC0DR は、それぞれ PC15/TOE43～PC0/TOE10 端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 21.4 に PCDR の読み出し／書き込み動作を示します。

PCDR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PC15DR	0	R/W	表 21.4 参照
14	PC14DR	0	R/W	
13	PC13DR	0	R/W	
12	PC12DR	0	R/W	
11	PC11DR	0	R/W	
10	PC10DR	0	R/W	
9	PC9DR	0	R/W	
8	PC8DR	0	R/W	
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 21.4 ポート C データレジスタ（PCDR）の読み出し／書き込み動作

- PCDRのビット15～0

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

21.5.2 ポート C ポートレジスタ（PCPR）

PCPR は、読み出し専用の 16 ビットのレジスタで、常にポート C の端子の値を格納しますので、CPU から値を書き込むことはできません。PC15PR～PC0PR ビットは、それぞれ PC15/TOE43～PC0/TOE10 端子に対応しています。PCPR は読み出すと端子の値が読み出されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15PR	PC14PR	PC13PR	PC12PR	PC11PR	PC10PR	PC9PR	PC8PR	PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR
初期値：	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	PC15PR	端子の値	R	読み出すと端子の値が読み出されます。書き込みは無効です。
14	PC14PR	端子の値	R	
13	PC13PR	端子の値	R	
12	PC12PR	端子の値	R	
11	PC11PR	端子の値	R	
10	PC10PR	端子の値	R	
9	PC9PR	端子の値	R	
8	PC8PR	端子の値	R	
7	PC7PR	端子の値	R	
6	PC6PR	端子の値	R	
5	PC5PR	端子の値	R	
4	PC4PR	端子の値	R	
3	PC3PR	端子の値	R	
2	PC2PR	端子の値	R	
1	PC1PR	端子の値	R	
0	PC0PR	端子の値	R	

21.5.3 ポート C インバートレジスタ（PCIR）

PCIR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート C の反転機能を設定します。PC15IR～PC0IR ビットが、それぞれ PC15/TOE43～PC0/TOE10 端子に対応しています。

PCIR のビットを 1 にすると、対応する端子の出力値が反転します。

PCIR の設定は、対象端子の機能がバス機能に選択されている場合は無効です。

PCIR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には、初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15IR	PC13IR	PC13IR	PC12IR	PC11IR	PC10IR	PC9IR	PC8IR	PC7IR	PC6IR	PC5IR	PC4IR	PC3IR	PC2IR	PC1IR	PC0IR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PC15IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
14	PC14IR	0	R/W	
13	PC13IR	0	R/W	
12	PC12IR	0	R/W	
11	PC11IR	0	R/W	
10	PC10IR	0	R/W	
9	PC9IR	0	R/W	
8	PC8IR	0	R/W	
7	PC7IR	0	R/W	
6	PC6IR	0	R/W	
5	PC5IR	0	R/W	
4	PC4IR	0	R/W	
3	PC3IR	0	R/W	
2	PC2IR	0	R/W	
1	PC1IR	0	R/W	
0	PC0IR	0	R/W	

21.5.4 ポート C ドライバビリティ設定レジスタ(PCDSR)

PCDSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート C のドライブ能力を設定します。PC0DSR ビットが、それぞれ PC0/TOE10 端子に対応しています。

PCDSR のビットを 1 にすると、対応する端子のドライブ能力が大きくなります。

PCDSR のビット 15～1 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PCDSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には、初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	PC0DSR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PC0DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。

21.6 ポート F

ポート F は、図 21.4 に示すような、16 本の端子を持つ入出力ポートです。

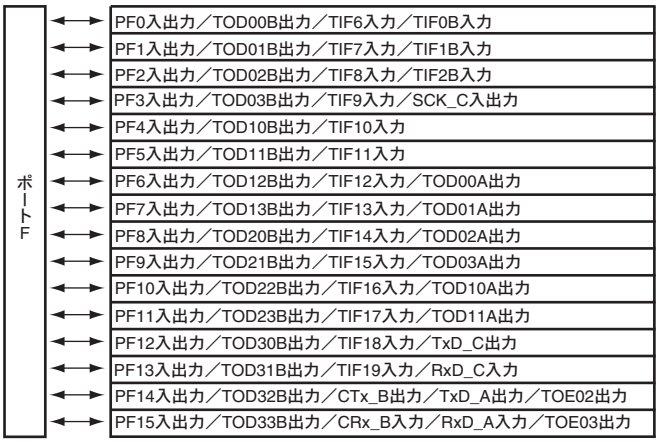


図 21.4 ポート F

21.6.1 ポート F データレジスタ（PFDR）

PFDR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF15DR～PF0DR は、それぞれ PF15/TOD33B/CRx_B/RxD_A/TOE03～PF0/TOD00B/TIF6/TIF0B 端子に対応しています。

端子機能が汎用出力の場合には、PFDR に値を書き込むと端子からその値が出力され、PFDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR に値を書き込むと、PFDR にその値を書き込めますが、端子の状態には影響しません。**表 21.5** に PFDR の読み出し／書き込み動作を示します。

PFDR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PF15DR	0	R/W	表 21.5 参照
14	PF14DR	0	R/W	
13	PF13DR	0	R/W	
12	PF12DR	0	R/W	
11	PF11DR	0	R/W	
10	PF10DR	0	R/W	
9	PF9DR	0	R/W	
8	PF8DR	0	R/W	
7	PF7DR	0	R/W	
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

表 21.5 ポート F データレジスタ（PFDR）の読み出し／書き込み動作

- PFDRのビット15～0

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

21.6.2 ポート F ポートレジスタ（PFPR）

PFPR は、読み出し専用の 16 ビットレジスタで、常にポート F の端子の値を格納しますので、CPU から値を書き込むことはできません。PF15PR～PF0PR ビットは、それぞれ PF15/TOD33B/CRx_B/RxD_A/TOE03～PF0/TOD00B/TIF6/TIF0B 端子に対応しています。PFPR は読み出すと端子の値が読み出されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15PR	PF14PR	PF13PR	PF12PR	PF11PR	PF10PR	PF9PR	PF8PR	PF7PR	PF6PR	PF5PR	PF4PR	PF3PR	PF2PR	PF1PR	PF0PR
初期値：	PF15	PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	PF15PR	端子の値	R	読み出すと端子の値が読み出されます。書き込みは無効です。
14	PF14PR	端子の値	R	
13	PF13PR	端子の値	R	
12	PF12PR	端子の値	R	
11	PF11PR	端子の値	R	
10	PF10PR	端子の値	R	
9	PF9PR	端子の値	R	
8	PF8PR	端子の値	R	
7	PF7PR	端子の値	R	
6	PF6PR	端子の値	R	
5	PF5PR	端子の値	R	
4	PF4PR	端子の値	R	
3	PF3PR	端子の値	R	
2	PF2PR	端子の値	R	
1	PF1PR	端子の値	R	
0	PF0PR	端子の値	R	

21.6.3 ポート F インバートレジスタ（PFIR）

PFIR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート F の反転機能を設定します。PF15IR～PF0IR ビットが、それぞれ PF15/TOD33B/CRx_B/RxD_A/TOE03～PF0/TOD00B/TIF6/TIF0B 端子に対応しています。PFIR はポート F の端子機能にかかわらず有効です。

PFIR のビットを 1 にすると、対応する端子の出力値が反転します。

PFIR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15IR	PF14IR	PF13IR	PF12IR	PF11IR	PF10IR	PF9IR	PF8IR	PF7IR	PF6IR	PF5IR	PF4IR	PF3IR	PF2IR	PF1IR	PF0IR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PF15IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
14	PF14IR	0	R/W	
13	PF13IR	0	R/W	
12	PF12IR	0	R/W	
11	PF11IR	0	R/W	
10	PF10IR	0	R/W	
9	PF9IR	0	R/W	
8	PF8IR	0	R/W	
7	PF7IR	0	R/W	
6	PF6IR	0	R/W	
5	PF5IR	0	R/W	
4	PF4IR	0	R/W	
3	PF3IR	0	R/W	
2	PF2IR	0	R/W	
1	PF1IR	0	R/W	
0	PF0IR	0	R/W	

21.6.4 ポート F ドライバビリティ設定レジスタ（PFDSR）

PFDSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート F のドライブ能力を設定します。PF15DSR、PF14DSR ビットが、それぞれ PF15/TOD33B/CRx_B/RxD_A/TOE03、PF14/TOD32B/CTx_B/TxD_A/TOE02 端子に対応しています。PFDSR の設定は、選択されている機能に関係なく常に有効になります。

PFDSR のビットを 1 にすると、対応する端子のドライブ能力が増加します。

PFDSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15DSR	PF14DSR	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	PF15DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。
14	PF14DSR	0	R/W	
13～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.6.5 ポート F 端子状態設定レジスタ（PFPSR）

PFPSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート F のプルダウンを設定します。PF15PSR、PF13PSR ビットが、それぞれ PF15/TOD33B/CRx_B/RxD_A/TOE03、PF13/TOD31B/TIF19/RxD_C 端子に対応しています。

PFPSR のビットを 1 にすると、対応する端子がプルダウン状態に設定されます。

PFPSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15PSR	—	PF13PSR	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	PF15PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
14	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PF13PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
12～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.7 ポート G

ポート G は、図 21.5 に示すような、16 本の端子を持つ入出力ポートです。

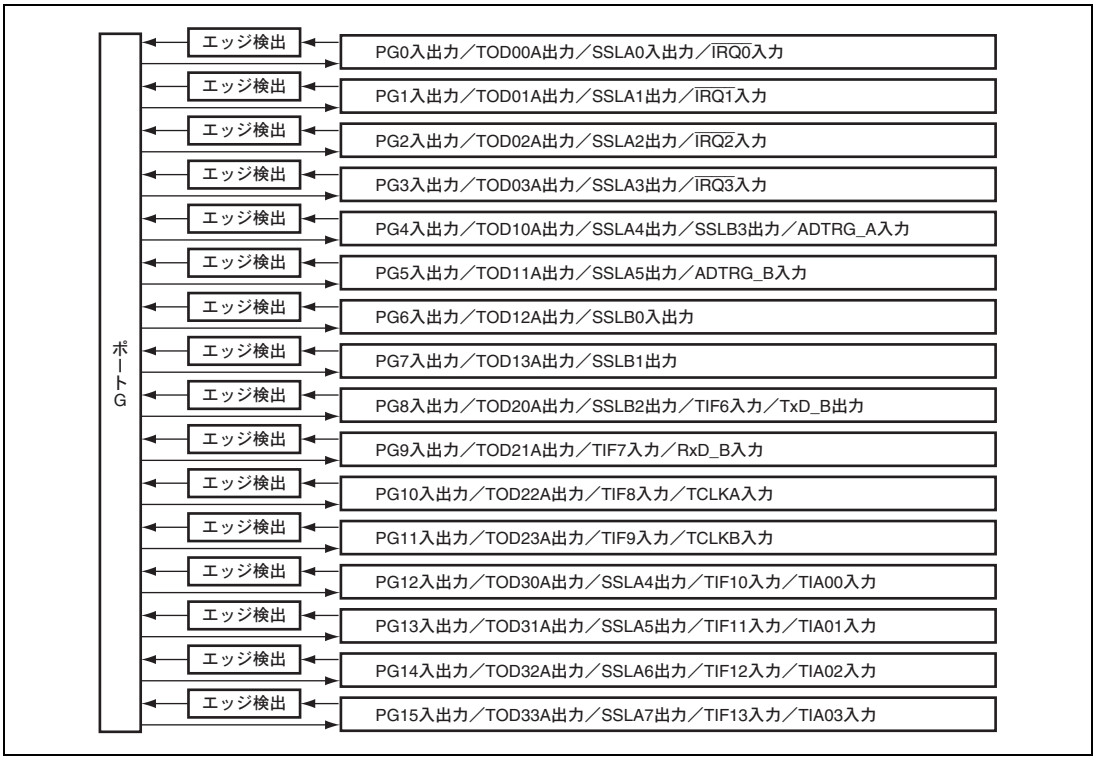


図 21.5 ポート G

21.7.1 ポート G データレジスタ（PGDR）

PGDR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG15DR～PG0DR は、それぞれ PG15/TOD33A/SSLA7/TIF13/TIA03～PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$ 端子に対応しています。

端子機能が汎用出力の場合には、PGDR に値を書き込むと端子からその値が出力され、PGDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDR を読み出すとレジスタの値が読み出されます。PGDR の各ビットの値は、対応する端子入力において、ポート G エッジ選択レジスタ（PGER）で指定したエッジの入力を検出したとき 1 にセットされます。PGDR への書き込みは、各ビット 1 を読み出した後に 0 を書き込むことのみ有効です。1 を書き込みあるいは 1 を読み出してないビットへの 0 の書き込みは無視されます。また PGDR へ 0 の書き込みを行っても、端子の状態には影響しません。

表 21.6 に PGDR の読み出し／書き込み動作を示します。

PGDR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15DR	PG14DR	PG13DR	PG12DR	PG11DR	PG10DR	PG9DR	PG8DR	PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PG15DR	0	R/W	表 21.6 参照
14	PG14DR	0	R/W	
13	PG13DR	0	R/W	
12	PG12DR	0	R/W	
11	PG11DR	0	R/W	
10	PG10DR	0	R/W	
9	PG9DR	0	R/W	
8	PG8DR	0	R/W	
7	PG7DR	0	R/W	
6	PG6DR	0	R/W	
5	PG5DR	0	R/W	
4	PG4DR	0	R/W	
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

表 21.6 ポート G データレジスタ（PGDR）の読み出し／書き込み動作

- PGDRのビット15～0

PGIOR	端子機能	読み出し	書き込み
0	汎用入力	PGDR の値	1 の書き込みは無効。各ビットは、1 を読み出した後に 0 の書き込みのみ可能。 0 の書き込みは、端子の状態に影響しない。 各ビットの 1 セットは、対応する端子より、PGER で設定したエッジが入力されることによって行われる。
	汎用入力以外	PGDR の値	1 の書き込みは無効。各ビットは 1 を読み出した後に 0 の書き込みのみ可能。 0 の書き込みは、端子の状態に影響しない。 各ビットの 1 セットは、対応する端子に、PGER で設定したエッジが入力／出力されることによって行われる。
1	汎用出力	PGDR の値	書き込み値が端子から出力される
	汎用出力以外	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない

21.7.2 ポート G ポートレジスタ（PGPR）

PGPR は、読み出し専用の 16 ビットのレジスタで、常にポート G の端子の値を格納しますので、CPU から値を書き込むことはできません。PG15PR～PG0PR ビットは、それぞれ PG15/TOD33A/SSLA7/TIF13/TIA03～PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$ 端子に対応しています。PGPR は読み出すと端子の値が読み出されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15PR	PG14PR	PG13PR	PG12PR	PG11PR	PG10PR	PG9PR	PG8PR	PG7PR	PG6PR	PG5PR	PG4PR	PG3PR	PG2PR	PG1PR	PG0PR
初期値：	PG15	PG14	PG13	PG12	PG11	PG10	PG9	PG8	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	PG15PR	端子の値	R	読み出すと端子の値が読み出されます。書き込みは無効です。
14	PG14PR	端子の値	R	
13	PG13PR	端子の値	R	
12	PG12PR	端子の値	R	
11	PG11PR	端子の値	R	
10	PG10PR	端子の値	R	
9	PG9PR	端子の値	R	
8	PG8PR	端子の値	R	
7	PG7PR	端子の値	R	
6	PG6PR	端子の値	R	
5	PG5PR	端子の値	R	
4	PG4PR	端子の値	R	
3	PG3PR	端子の値	R	
2	PG2PR	端子の値	R	
1	PG1PR	端子の値	R	
0	PG0PR	端子の値	R	

21.7.3 ポート G インバートレジスタ（PGIR）

PGIR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート G の反転機能を設定します。PG15IR～PG0IR ビットが、それぞれ PG15/TOD33A/SSLA7/TIF13/TIA03～PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$ 端子に対応しています。PGIR はポート G の端子機能にかかわらず有効です。

PGIR のビットを 1 にすると、対応する端子の出力値が反転します。

PGIR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15IR	PG14IR	PG13IR	PG12IR	PG11IR	PG10IR	PG9IR	PG8IR	PG7IR	PG6IR	PG5IR	PG4IR	PG3IR	PG2IR	PG1IR	PG0IR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PG15IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
14	PG14IR	0	R/W	
13	PG13IR	0	R/W	
12	PG12IR	0	R/W	
11	PG11IR	0	R/W	
10	PG10IR	0	R/W	
9	PG9IR	0	R/W	
8	PG8IR	0	R/W	
7	PG7IR	0	R/W	
6	PG6IR	0	R/W	
5	PG5IR	0	R/W	
4	PG4IR	0	R/W	
3	PG3IR	0	R/W	
2	PG2IR	0	R/W	
1	PG1IR	0	R/W	
0	PG0IR	0	R/W	

21.7.4 ポート G ドライバビリティ設定レジスタ（PGDSR）

PGDSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート G のドライブ能力を設定します。PG15DSR ～PG0DSR ビットが、それぞれ PG15/TOD33A/SSLA7/TIF13/TIA03～PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$ 端子に対応しています。PGDSR の設定は、選択されている機能に関係なく常に有効になります。

PGDSR のビットを 1 にすると、対応する端子のドライブ能力が大きくなります。

PGDSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15DSR	PG14DSR	PG13DSR	PG12DSR	PG11DSR	PG10DSR	PG9DSR	PG8DSR	PG7DSR	PG6DSR	PG5DSR	PG4DSR	PG3DSR	PG2DSR	PG1DSR	PG0DSR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	PG15DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。
14	PG14DSR	0	R/W	
13	PG13DSR	0	R/W	
12	PG12DSR	0	R/W	
11	PG11DSR	0	R/W	
10	PG10DSR	0	R/W	
9	PG9DSR	0	R/W	
8	PG8DSR	0	R/W	
7	PG7DSR	0	R/W	
6	PG6DSR	0	R/W	
5	PG5DSR	0	R/W	
4	PG4DSR	0	R/W	
3	PG3DSR	0	R/W	
2	PG2DSR	0	R/W	
1	PG1DSR	0	R/W	
0	PG0DSR	0	R/W	

21.7.5 ポート G エッジ選択レジスタ（PGER）

PGER は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート G で検出する入力エッジの設定値を格納します。PGHES[1:0]は、PG15/TOD33A/SSLA7/TIF13/TIA03～PG8/TOD20A/SSLB/TIF6/TxD_B 端子に、PGLES[1:0]は、PG7/TOD13A/SSLB1～PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$ 端子に対応しています。

端子機能が汎用入力の場合、ポート G データレジスタの各ビットは、それぞれ設定したエッジ入力を検出したことを示すステータスフラグとして動作します。

PGER は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	PGHES[1:0]		－	－	－	－	－	－	PGLES[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	PGHES[1:0]	00	R/W	対象とする端子は、PG15/TOD33A/SSLA7/TIF13/TIA03～PG8/TOD20A/SSLB/TIF6/TxD_B 端子です。 00：エッジ検出機能なし 01：立ち上がりエッジ検出 10：立ち下がりエッジ検出 11：立ち上がり／立ち下がり両エッジ検出
7～2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PGLES[1:0]	00	R/W	対象とする端子は、PG7/TOD13A/SSLB1～PG0/TOD00A/SSLA0/$\overline{\text{IRQ0}}$ 端子です。 00：エッジ検出機能なし 01：立ち上がりエッジ検出 10：立ち下がりエッジ検出 11：立ち上がり／立ち下がり両エッジ検出

21.7.6 ポート G 端子状態設定レジスタ（PGPSR）

PGPSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート G のプルダウンを設定します。PG9PSR ビットが、PG9/TOD21A/TIF7/RxD_B 端子に対応しています。

PGPSR は選択されている機能に関係なく常に有効になります。

PGPSR のビットを 1 にすると、対応する端子がプルダウン状態に設定されます。

PGPSR のビット 15～10、8～0 はリザーブビットです。読み出すと常に 0 が読み出されます。

書き込む値も常に 0 としてください。

PGPSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には、初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	PG9PSR	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PG9PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
8～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.8 ポート J

ポート J は、図 21.6 に示すような、10 本の端子を持つ入出力ポートです。

図 21.6 ポート J

21.8.1 ポート J データレジスタ（PJDR）

PJDR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート J のデータを格納します。PJ9DR～PJ0DR は、それぞれ PJ9/RxD_B/TIF5～PJ0/TxD_A/CTx_A/CTx_A＆CTx_B 端子に対応しています。

端子機能が汎用出力の場合には、PJDR に値を書き込むと端子からその値が出力され、PJDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PJDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PJDR に値を書き込むと、PJDR にその値を書き込めますが、端子の状態には影響しません。表 21.7 に PJDR の読み出し／書き込み動作を示します。

PJDR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	PJ9DR	PJ8DR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PJ9DR	0	R/W	表 21.7 参照
8	PJ8DR	0	R/W	
7	PJ7DR	0	R/W	
6	PJ6DR	0	R/W	
5	PJ5DR	0	R/W	
4	PJ4DR	0	R/W	
3	PJ3DR	0	R/W	
2	PJ2DR	0	R/W	
1	PJ1DR	0	R/W	
0	PJ0DR	0	R/W	

表 21.7　ポート J データレジスタ（PJDR）の読み出し／書き込み動作

- PJDRのビット9～0

PJIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PJDR の値	書き込み値が端子から出力される
	汎用出力以外	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない

21.8.2 ポート J ポートレジスタ（PJPR）

PJPR は、読み出し専用の 16 ビットのレジスタで、常にポート J の端子の値を格納しますので、CPU から値を書き込むことはできません。PJ9PR～PJ0PR ビットは、それぞれ PJ9/RxD_B/TIF5～PJ0/TxD_A/CTx_A/CTx_A＆CTx_B 端子に対応しています。PJPR は読み出すと端子の値が読み出されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	PJ9PR	PJ8PR	PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR
初期値：	0	0	0	0	0	0	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PJ9PR	端子の値	R	読み出すと端子の値が読み出されます。書き込みは無効です。
8	PJ8PR	端子の値	R	
7	PJ7PR	端子の値	R	
6	PJ6PR	端子の値	R	
5	PJ5PR	端子の値	R	
4	PJ4PR	端子の値	R	
3	PJ3PR	端子の値	R	
2	PJ2PR	端子の値	R	
1	PJ1PR	端子の値	R	
0	PJ0PR	端子の値	R	

21.8.3 ポート J インバートレジスタ（PJIR）

PJIR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート J の反転機能を設定します。PJ8IR、PJ7IR、PJ5IR、PJ4IR、PJ2IR、PJ0IR ビットが、それぞれ PJ8/TxD_B/TIF4、PJ7/SCK_B/ADEND_A/TIJ1/TIF3、PJ5/TxD_A/TIF1A、PJ4/SCK_A/ADEND_B/TIJ0/TIF0A、PJ2/TxD_A/CTx_B、PJ0/TxD_A/CTx_A/CTx_A＆CTx_B 端子に対応しています。PJIR はポート J の端子機能にかかわらず有効です。

PJIR のビットを 1 にすると、対応する端子の出力値が反転します。

PJIR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	PJ8IR	PJ7IR	－	PJ5IR	PJ4IR	－	PJ2IR	－	PJ0IR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PJ8IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
7	PJ7IR	0	R/W	
6	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PJ5IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
4	PJ4IR	0	R/W	
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PJ2IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する
1	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PJ0IR	0	R/W	本ビットを 1 にすると対応する端子の出力値を反転します。 0：出力値を反転しない 1：出力値を反転する

21.8.4 ポート J ドライバビリティ設定レジスタ（PJDSR）

PJDSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート J のドライブ能力を設定します。PJ8DSR、PJ7DSR、PJ5DSR、PJ4DSR、PJ2DSR、PJ0DSR ビットが、それぞれ PJ8/TxD_B/TIF4、PJ7/SCK_B/ADEND_A/TIJ1/TIF3、PJ5/TxD_A/TIF1A、PJ4/SCK_A/ADEND_B/TIJ0/TIF0A、PJ2/TxD_A/CTx_B、PJ0/TxD_A/CTx_A/CTx_A＆CTx_B 端子に対応しています。PJDSR の設定は、選択されている機能に関係なく常に有効になります。

PJDSR のビットを 1 にすると、対応する端子のドライブ能力が増加します。

PJDSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	PJ8DSR	PJ7DSR	－	PJ5DSR	PJ4DSR	－	PJ2DSR	－	PJ0DSR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PJ8DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。
7	PJ7DSR	0	R/W	
6	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PJ5DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。
4	PJ4DSR	0	R/W	
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PJ2DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。
1	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	PJ0DSR	0	R/W	本ビットを 1 にすると、対応する端子のドライブ能力が大きくなります。 0：通常出力（スロースルーレート） 1：出力端子のドライブ能力が増加する（ファストスルーレート） 【注】ドライブ能力の特性については、「30.3.12　出力スルーレート」を参照してください。

21.8.5 ポート J 端子状態設定レジスタ（PJPSR）

PJPSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート J のプルダウンを設定します。PJ9PSR、PJ6PSR、PJ3PSR、PJ1PSR ビットが、それぞれ PJ0/RxD_B/TIF5、PJ6/RxD_A/TIF2、PJ3/RxD_A/CRx_B、PJ1/RxD_A/CRx_A/CRx_A＆CRx_B 端子に対応しています。PJPSR は選択されている機能に関係なく常に有効になります。

PJPSR のビットを 1 にすると、対応する端子がプルダウン状態に設定されます。

PJPSR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	PJ9PSR	－	－	PJ6PSR	－	－	PJ3PSR	－	PJ1PSR	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R/W	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
15～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PJ9PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
8、7	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PJ6PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
5、4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PJ3PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
2	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PJ1PSR	0	R/W	本ビットを 1 にすると、対応する端子がプルダウン状態に設定されます。 0：プルダウンなし 1：プルダウン状態に設定する
0	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21.9 ポート S

ポート S は、図 21.7 に示すような、16 本の端子を持つ入力ポートです。

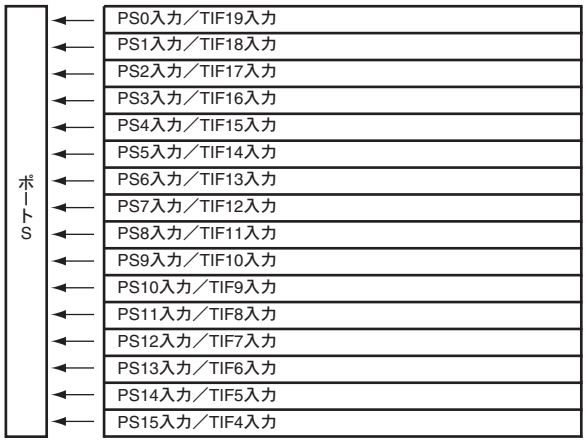


図 21.7 ポート S

21.9.1 ポート S ポートレジスタ（PSPR）

ポート S ポートレジスタ（PSPR）は、読み出し専用の 16 ビットレジスタで、ポート S の端子の値を格納します。

CPU から値を書き込むことはできません。PS15PR～PS0PR ビットは、それぞれ PS0/TIF4～PS15/TIF19 端子に対応しています。PSPR は読み出すと、ポート S コントロールレジスタ PS[15-0]MD2＝1 のとき、端子の値が読み出されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PS15PR	PS14PR	PS13PR	PS12PR	PS11PR	PS10PR	PS9PR	PS8PR	PS7PR	PS6PR	PS5PR	PS4PR	PS3PR	PS2PR	PS1PR	PS0PR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15	PS15PR	0	R/W	PS[15-0]MD2＝1 のとき、端子の値が読み出されます。 PS[15-0]MD2＝0 のとき、常に 0 が読み出されます。
14	PS14PR	0	R/W	
13	PS13PR	0	R/W	
12	PS12PR	0	R/W	
11	PS11PR	0	R/W	
10	PS10PR	0	R/W	
9	PS9PR	0	R/W	
8	PS8PR	0	R/W	
7	PS7PR	0	R/W	
6	PS6PR	0	R/W	
5	PS5PR	0	R/W	
4	PS4PR	0	R/W	
3	PS3PR	0	R/W	
2	PS2PR	0	R/W	
1	PS1PR	0	R/W	
0	PS0PR	0	R/W	

21.10 ポート T

ポート T は、図 21.8 に示すような、7 本の端子を持つ入力ポートです。

図 21.8 ポート T

21.10.1 ポート T ポートレジスタ（PTPR）

ポート T ポートレジスタ（PTPR）は、読み出し専用の 16 ビットレジスタで、ポート T の端子の値を格納します。

CPU から値を書き込むことはできません。PT6PR～PT0PR ビットは、それぞれ PT0/TIF0A～PT6/TIF3 端子に対応しています。PTPR は読み出すと、ポート T コントロールレジスタ PT[6-0]MD2＝1 のとき、端子の値が読み出されます。

PTPR のビット 15～7 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	PT6PR	PT5PR	PT4PR	PT3PR	PT2PR	PT1PR	PT0PR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～7	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PT6PR	0	R	PT[6-0]MD2＝1 のとき、端子の値が読み出されます。 PT[6-0]MD2＝0 のとき、常に 0 が読み出されます。
5	PT5PR	0	R	
4	PT4PR	0	R	
3	PT3PR	0	R	
2	PT2PR	0	R	
1	PT1PR	0	R	
0	PT0PR	0	R	

21.11 CK コントロールレジスタ（CKCR）

CKCR は、読み出し／書き込み可能な 16 ビットのレジスタで、CK 端子の出力の有無の設定値を格納します。

CKCR は、パワーオンリセット、ハードウェアスタンバイモード、および WDT によるパワーオンリセットで H'0000 に初期化されます。しかし、スリープモード時には初期化されません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	−	−	−	−	−	−	−	−	−	CKOE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～1	−	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CKOE	0	R/W	本ビットは CK 端子の出力の有効／無効を設定するビットです。 0：端子出力は有効（CK 端子出力） 1：端子出力は無効（Hi-Z）

21.12 使用上の注意

21.12.1 リセット直後の状態に関する注意点

リセット直後は入出力端子が入力状態になっています。このときの入出力端子が、オープン状態であるなどの原因で中間電位になっていると、貫通電流が流れてしまいます。この貫通電流を抑制するには、起動直後に汎用入出力端子をローレベル出力に設定してください。この対策により入出力端子の状態が安定し、貫通電流を抑制することができます。

21.12.2 内部要因リセット時の入出力端子動作に関する注意点

内部要因によるリセットの発生によって入出力端子の状態が動作状態からリセット状態に遷移する際に、最大で周辺クロック（Pφ）の 1 サイクルの間、入出力端子が不定状態となります。上記不定状態においては、ハイレベル出力、ローレベル出力、ハイインピーダンス状態のいずれかの状態となります。

上記のとおり入出力端子は一時的に不定状態となりますが、その後はマイコン全体が所定のリセット状態に遷移します。

内部要因によるリセットとしては、WDT のオーバフローによる内部リセット、エミュレータを使った H-UDI リセットが該当します。

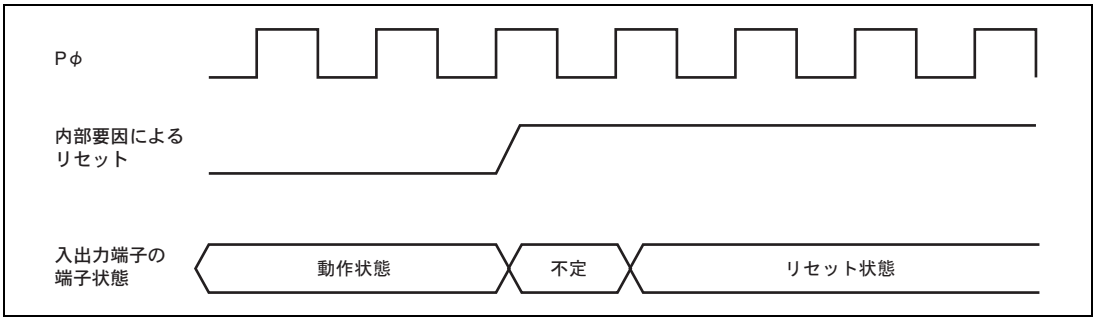


図 21.9 内部要因リセット時の入出力端子動作

【注】 入力専用端子や出力専用端子では上記現象は発生しません。

$\overline{\text{RES}}$ 端子にローレベルを入力することによるリセットは内部要因リセットには該当しません。

22. マルチインプットシグネチャジェネレータ（MISG）

22.1 概要

本 LSI は、LSI の自己診断機能として、マルチインプットシグネチャジェネレータ（MISG）を搭載しています。

MISG は、CPU によるカルキュレーションデータレジスタ（MISRCDR）へのライトアクセスを監視し、そのライトデータを用いて 32 ビットのシグネチャを生成し、マルチプルインプットシグネチャレジスタ（MISR）に保持します。MISRCDR へのライトアクセスが行われるたびに、そのライトデータと MISR に保持された値（通常は前回のライトアクセスで生成されたシグネチャですが、初期値である場合や MISR レジスタに直接書き込まれた値であることもあります）から生成される新しいシグネチャで、MISR の値が更新されます。

シグネチャは、以下の多項式に基づいて生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

また、MISR コントロールレジスタ（MISRCR）のイネーブルビットにより、シグネチャ生成の有効／無効を制御できます。リセット後の初期状態では、シグネチャの生成は無効であり、MISRCDR への書き込みを行っても MISR の値は更新されません。

MISR は内蔵 I/O レジスタ空間にアドレスマップされたレジスタであり、値を直接読み出し／書き込みをすることが可能です。生成されたシグネチャを読み出して期待値と比較したり、あるいは任意のシード値（シグネチャの元になる値）を設定したりすることができます。

図 22.1 に MISG のブロック図を示します。

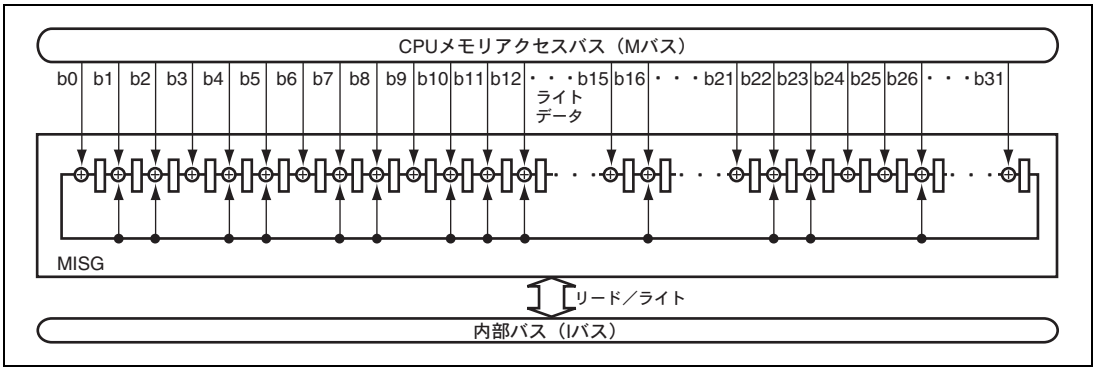


図 22.1　MISG のブロック図

22.2 レジスタの説明

MISG には以下のレジスタがあります。

表 22.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
カルキュレーションデータレジスタ	MISRCDR	W	－	H'FFF7FFFC	8、16、32
MISR コントロールレジスタ	MISRCR	R/W	H'00	H'FFFC1C00	8
マルチインプットシグネチャレジスタ	MISR	R/W	H'00000000	H'FFFC1C04	32

22.2.1 カルキュレーションデータレジスタ（MISRCDR）

MISRCDR は、書き込み専用の 32 ビットレジスタです。MISRCDR への書き込みは、CPU のみ実行可能です。MISRCDR は、常にライト 1 サイクル （CPUCLK）でアクセスできます。MISRCDR に書き込んだデータは、マルチインプットシグネチャレジスタ（MISR）の入力データとして用いられます。

MISRCDR への書き込みは、ワード、バイト、およびロングワード単位で実行可能です。ただし、バイト、ワード単位での書き込みの場合でも書き込みが行われない残りのビットは 0 として扱われ、常に 32 ビットのデータが MISR レジスタへ入力されます。

【注】 本レジスタの読み出しは行わないでください。読み出しを行った場合、以降の動作は保証されません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISRCD[31:16]															
初期値：	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISRCD[15:0]															
初期値：	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　明
31～0	MISRCD [31:0]	－	W	カルキュレートデータ MISR への入力データ。カルキュレートデータの書き込みが行われるたびに、新たなシグネチャが生成され MISR に保持されます。

22.2.2 マルチインプットシグネチャレジスタ（MISR）

MISR は、読み出し／書き込みが可能な 32 ビットレジスタです。MISR コントロールレジスタ（MISRCR）の MISR イネーブルビット（MISREN）を 1 にすると、MISRCDR レジスタへの書き込みが行われるたびに、新たなシグネチャを生成し、生成した値を保持します。

シグネチャは、以下の多項式に基づいて生成されます。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^{8} + x^{7} + x^{5} + x^{4} + x^{2} + x + 1$$

MISR は、パワーオンリセットやハードウェアスタンバイモード時、H'00000000 に初期化されます。

【注】 本レジスタへの書き込みを行った後、MISRCDR への書き込みを行う場合には、MISRCDR への書き込み前に必ず MISR の読み出しを実行してください。実行しない場合、MISRCDR への書き込みによるシグネチャ生成が正しく行われないことがあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MISR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MISR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	MISR [31:0]	H'00000000	R/W	シグネチャレジスタ 読み出すと、常に最新のシグネチャが得られます。

22.2.3 MISR コントロールレジスタ（MISRCR）

MISRCR は、読み出し／書き込みが可能な 8 ビットレジスタで、MISR レジスタでのシグネチャ生成の有無を制御します。MISR イネーブルビット（MISREN）を 1 にすると、MISR レジスタはシグネチャを生成し、生成したシグネチャを保持します。MISREN ビットが 0 であれば、MISRCDR への書き込みが行われても、MISR レジスタの値は更新されません。

MISRCR は、パワーオンリセットやハードウェアスタンバイモード時、H'00 に初期化されます。

【注】 本レジスタへの書き込みを行った後、MISRCDR への書き込みを行う場合には、MISRCDR への書き込み前に必ず下記 1、2 のどちらかを実行してください。どちらも実行されずに書き込みが行われた場合、MISRCDR への書き込みによるシグネチャ生成が正しく行われないことがあります。

1. MISRCR レジスタを 2 回リードする。
2. MISRCR レジスタをリードした後、任意の命令を 3 個以上実行する。

ビット：	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	MISREN
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MISREN	0	R/W	MISR イネーブル 0：MISRCDR への書き込みを行っても、シグネチャの生成、MISR レジスタ値の更新が行われない 1：MISRCDR への書き込みで、シグネチャの生成、MISR レジスタ値の更新が行われる

23. ROM

本 LSI は 2.0MB のコード格納用フラッシュメモリ（ROM）を内蔵しています。ROM の特長を以下に示します。

23.1 特長

- 2種類のフラッシュメモリマット

  ROMには、同一アドレス空間に配置される2種類のメモリ空間（以下メモリマットと呼びます）があります。起動モードの選択および制御レジスタを使用したバンク切り替えでマットを切り替えることができます。ユーザブートマット選択時のH'00008000～H'001FFFFF領域の読み出し値は不定、書き込み／消去は無効です。

  ユーザマット：2.0MB

  ユーザブートマット：32KB

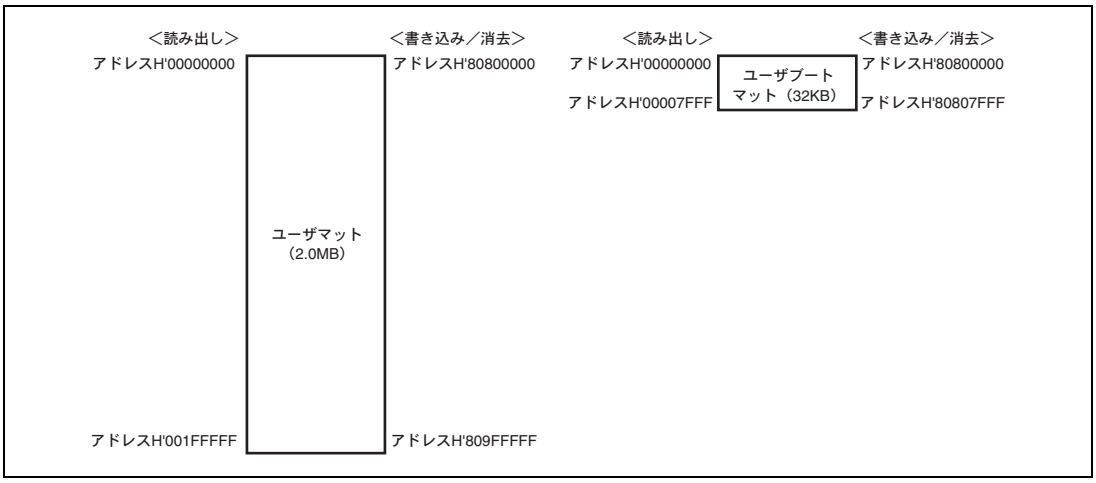


図 23.1 ROM のメモリマット構成

- ROMキャッシュ経由で高速読み出し可能

  ユーザマット、ユーザブートマットともにROMキャッシュ経由で高速読み出し可能です。ユーザマット／ユーザブートマットは、すべての内蔵ROM有効モードで読み出し可能です。

- 書き込み／消去方式

  周辺バス（Pバス）経由でROM／EEPROM専用のシーケンサ（FCU）にコマンドを発行することにより、ROMの書き込み／消去を実行可能です。FCUがROMの書き込み／消去を実行している期間でも、CPUはROM以外の領域に配置したプログラムを実行可能です。FCUがEEPROMの書き込み／消去を実行している期間は、ROM領域に配置したプログラムを実行可能です。また、FCUによるROM書き込み／消去動作を中断してCPU

がROM領域のプログラムを実行した後、ROM書き込み／消去を再開可能です。消去を中断した場合には、中断した消去の対象ではない領域に書き込みを実施することも可能です。

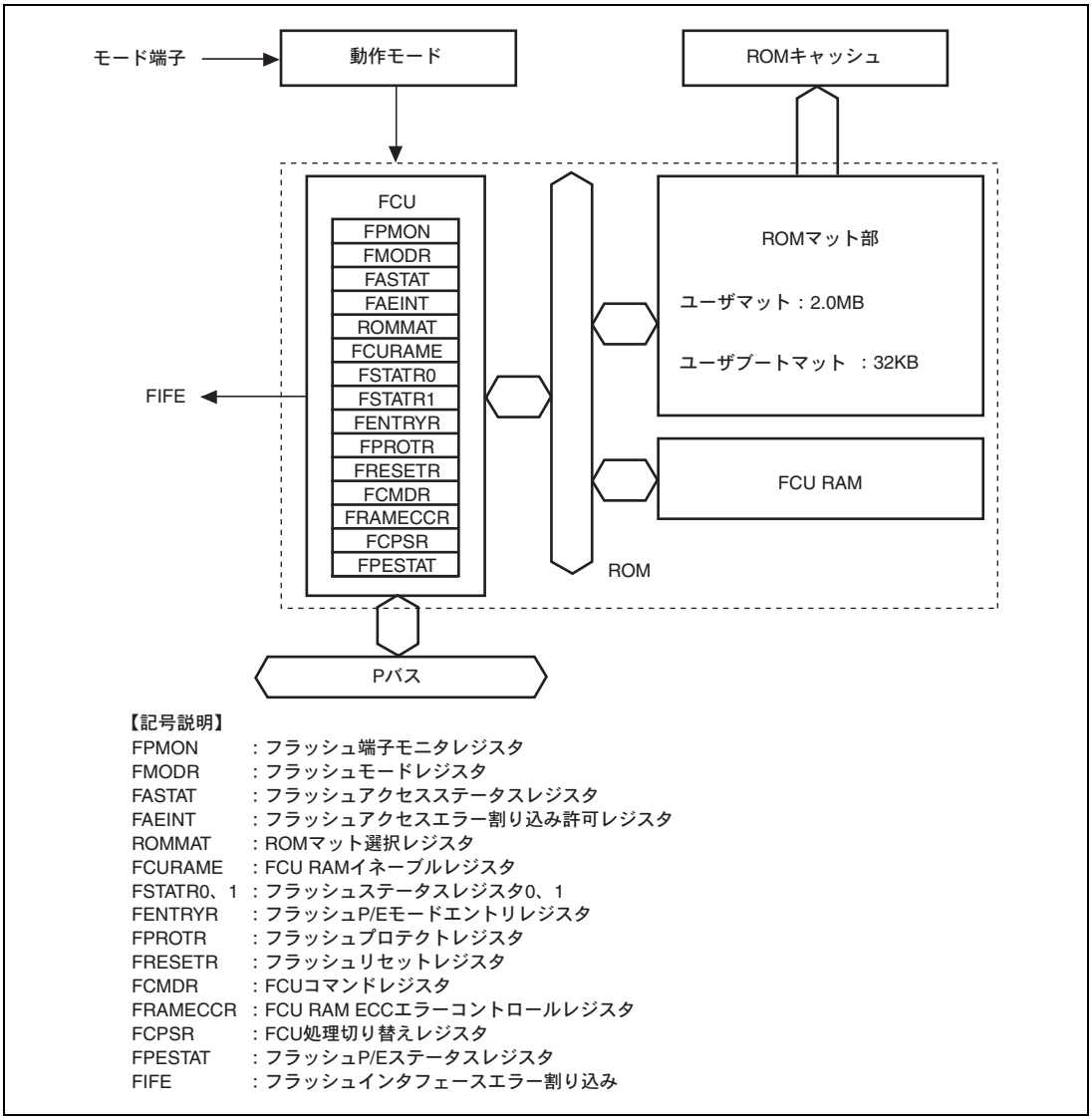


図 23.2 ROM のブロック図

- 書き込み／消去単位

ユーザマットとユーザブートマットの書き込み単位は256バイトです。ユーザブートマットの消去単位は、ユーザブートマット全面です。ユーザマットはブロック単位で消去可能です。

図23.3にユーザマットのブロック分割を示します。ユーザマットは、8KB（8ブロック）、64KB（9ブロック）、128KB（11ブロック）にそれぞれ分割されています。

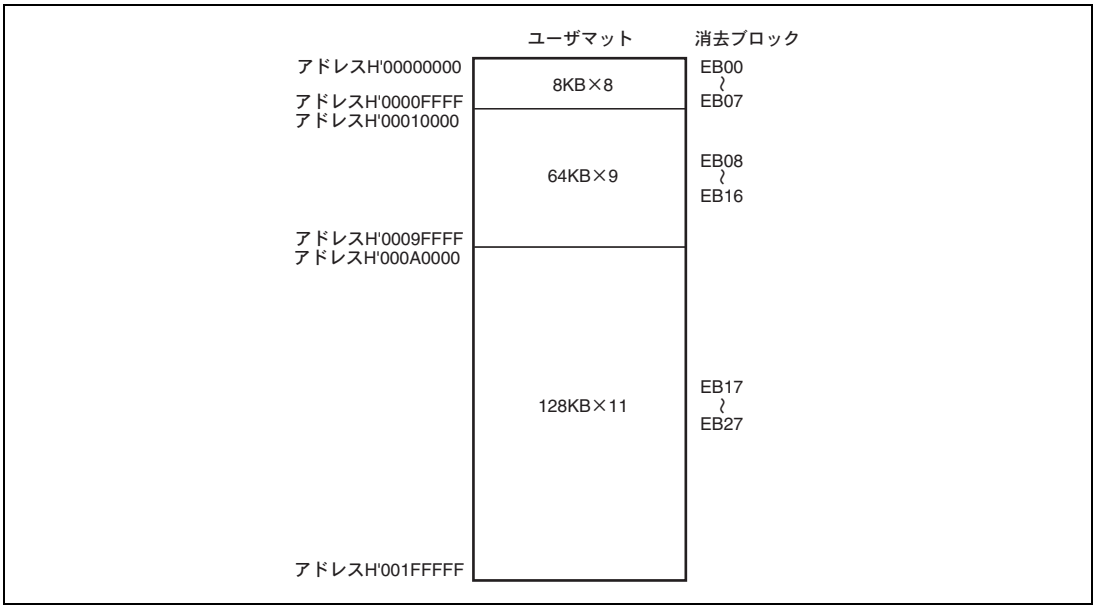


図 23.3　ユーザマットのブロック分割

- オンボードプログラミングモード（3種類）

  ブートモード：SCIを使用してユーザマットとユーザブートマットを書き換え可能なプログラムモードです。ホストと本LSI間のSCI通信のビットレートは自動調整可能です。

  ユーザプログラムモード：任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。MDA端子値の設定変更のみで、モード0（MCUシングルチップモード）から遷移可能なモードです。

  ユーザブートモード：任意のインタフェースで、ユーザマットを書き換え可能なプログラムモードです。ユーザブートモードへの遷移にはリセット起動が必要です。

- プロテクトモード

  モード端子によるハードウェアプロテクトとFENTRY1、FENTRY0ビット／ロックビットによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み／消去に対するプロテクト状態を設定することができます。FENTRY1、FENTRY0ビットはFCUによるROM書き込み／消去処理の許可／禁止を制御するためのビットです。ロックビットはユーザマットの各消去ブロック内に1ビットずつ設置されている書き込み／消去プロテクト用のビットです。

  書き込み／消去中に異常動作を検出した場合、書き込み／消去処理を中断する機能もあります。

- 書き込み時間／消去時間／書き換え回数

  「第30章　電気的特性」を参照してください。

23.2 入出力端子

表 23.1 に ROM 関連の入出力端子を示します。MDA～MDD 端子の組み合わせによって、ROM のプログラミングモードを決定します（「23.4 ROM 関連モード概要」を参照）。ブートモード時には、PJ6/RxD_A、PJ5/TxD_A にホストを接続して ROM を書き込み／消去することが可能です（「23.5 ブートモード」を参照）。

表 23.1 端子構成

名称	端子名	入出力	機　　能
パワーオンリセット	$\overline{\text{RES}}$	入力	この端子がローレベルになるとパワーオンリセット状態になります。
モード設定	MDA～MDD	入力	動作モードを決定します。
SCI チャネル A 受信データ	PJ6/RxD_A	入力	SCI チャネル A の受信データ（ホスト通信用）
SCI チャネル A 送信データ	PJ5/TxD_A	出力	SCI チャネル A の送信データ（ホスト通信用）

23.3 レジスタの説明

表 23.2 に ROM 関連のレジスタを示します。一部のレジスタは EEPROM 関連のビットも持ちますが、本章では ROM 機能に関連するビットの説明のみ記載しています。EEPROM 関連ビットの機能の詳細は、「第 24 章 EEPROM」の「24.3 レジスタの説明」を参照してください。ROM 関連のレジスタは、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

表 23.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュ端子モニタレジスタ	FPMON	R	H'00 H'80	H'FFFFA800	8
フラッシュモードレジスタ	FMODR	R/W	H'00	H'FFFFA802	8
フラッシュアクセスステータスレジスタ	FASTAT	R/(W)*1	H'00	H'FFFFA810	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	R/W	H'9F	H'FFFFA811	8
ROM マット選択レジスタ	ROMMAT	R/(W)*2	H'0000 H'0001	H'FFFFA820	8、16
FCU RAM イネーブルレジスタ	FCURAME	R/(W)*2	H'0000	H'FFFFA854	8、16
フラッシュステータスレジスタ 0	FSTATR0	R	H'80*4	H'FFFFA900	8、16
フラッシュステータスレジスタ 1	FSTATR1	R	H'00*4	H'FFFFA901	8、16
フラッシュ P/E モードエントリレジスタ	FENTRYR	R/(W)*3	H'0000*4	H'FFFFA902	8、16
フラッシュプロテクトレジスタ	FPROTR	R/(W)*3	H'0000*4	H'FFFFA904	8、16
フラッシュリセットレジスタ	FRESETR	R/(W)*2	H'0000	H'FFFFA906	8、16
FCU コマンドレジスタ	FCMDR	R	H'FFFF*4	H'FFFFA90A	8、16
FCU RAM ECC エラーコントロールレジスタ	FRAMECCR	R/W	H'02*4	H'FFFFA90C	8
FCU 処理切り替えレジスタ	FCPSR	R/W	H'0000*4	H'FFFFA918	8、16
フラッシュ P/E ステータスレジスタ	FPESTAT	R	H'0000*4	H'FFFFA91C	8、16
FCU ファーム領域選択レジスタ	FCUAREA	R/(W)*3	H'0000	H'FFFFC950	16

【注】 *1 フラグをクリアするために 0 のみ書き込むことができるビットと読み出し専用ビットによって構成されています。

*2 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

*3 ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

*4 パワーオンリセット、ハードウェアスタンバイおよび FRESETR レジスタの FRESET ビットを 1 にすることによって初期化することができます。

23.3.1 フラッシュ端子モニタレジスタ（FPMON）

FPMON は、MDA 端子状態をモニタするためのレジスタです。FPMON は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	MDA	–	–	–	–	–	–	–
初期値：	1/0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	MDA	1/0	R	フラッシュ書き込みイネーブル MDA 端子の値をモニタするためのビットです。チップを起動した際の MDA 端子値に依存して初期値が変化します。
6～0	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.2 フラッシュモードレジスタ（FMODR）

FMODR は、FCU の動作モードを指定するレジスタです。FMODR は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	FRDMD	–	–	–	–
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	FRDMD	0	R/W	FCU リードモードセレクトビット FCU を使用した ROM/EEPROM 読み出し処理の方法を選択するためのビットです。ROM の場合には、ロックビットの確認方法を指定するビットとして使用します。（「23.6.1　FCU コマンド一覧」、「23.6.3（11）　ロックビットの読み出し」を参照）。EEPROM の場合には、ブランクチェックコマンド使用時に設定する必要があります（「第 24 章　EEPROM」を参照）。 0：メモリ領域リードモード ROM ロックビットリードモードで ROM のロックビットを読み出す場合にメモリ領域リードモードに設定します。 1：レジスタリードモード ロックビットリード 2 コマンドを使用して ROM のロックビットを読み出す場合にレジスタリードモードに設定します。
3～0	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.3 フラッシュアクセスステータスレジスタ（FASTAT）

FASTAT は、ROM／EEPROM に対するアクセス違反の有無を確認するためのレジスタです。FASTAT レジスタのいずれかのビットが 1 にセットされると、FCU はコマンドロック状態になります（「23.8.3　エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。FASTAT は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	ROMAE	–	–	CMDLK	EEPAE	EEPIFE	EEPRPE	EEPWPE
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
7	ROMAE	0	R/(W)*	アクセス違反ビット ROM に対するアクセス違反の有無を示すビットです。ROMAE ビットが 1 になると、FSTATR0 レジスタの ILGLERR ビットが 1 にセットされ、FCU はコマンドロック状態になります。 0：ROM アクセスエラーなし 1：ROM アクセスエラーあり ［セット条件］ • FENTRYR レジスタの FENTRY1 ビットが 1 かつ ROM P/E ノーマルモードの状態で、ROM 書き込み／消去用アドレス H'80900000～H'809FFFFF に対してリードアクセスを発行 • FENTRYR レジスタの FENTRY0 ビットが 1 かつ ROM P/E ノーマルモードの状態で、ROM 書き込み／消去用アドレス H'80800000～H'808FFFFF に対してリードアクセスを発行 • FENTRYR レジスタの FENTRY1 ビットが 0 の状態で、ROM 書き込み／消去用アドレス H'80900000～H'809FFFFF に対するアクセスを発行 • FENTRYR レジスタの FENTRY0 ビットが 0 の状態で、ROM 書き込み／消去用アドレス H'80800000～H'808FFFFF に対するアクセスを発行 • FENTRYR レジスタが H'0000 以外の状態で、ROM 読み出し用アドレス H'00000000～H'001FFFFF に対してリードアクセスを発行 • ユーザブートマット選択時に ROM に対してブロックイレーズ、プログラム、ロックビットプログラムコマンドを発行 • ユーザブートマット選択時に ROM 書き込み／消去用アドレス H'80800000～H'80807FFF 以外に対するアクセスを発行 ［クリア条件］ • ROMAE＝1 を読み出した後に、0 を書き込み
6、5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CMDLK	0	R	FCU コマンドロックビット FCU がコマンドロック状態であることを示すビットです（「23.8.3　エラープロテクト」を参照）。 0：FCU はコマンドロック状態ではない 1：FCU はコマンドロック状態 ［セット条件］ • FCU がエラーを検出してコマンドロック状態に遷移後 ［クリア条件］ • FASTAT レジスタが H'10 の状態で、FCU がステータスクリアコマンドを処理後
3	EEPAE	0	R/(W)*	EEPROM アクセス違反ビット 「第 24 章　EEPROM」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
2	EEPIFE	0	R/(W)*	EEPROM 命令フェッチ違反ビット 「第 24 章　EEPROM」を参照してください。
1	EEPRPE	0	R/(W)*	EEPROM リードプロテクト違反ビット 「第 24 章　EEPROM」を参照してください。
0	EEPWPE	0	R/(W)*	EEPROM 書き込み／消去プロテクト違反ビット 「第 24 章　EEPROM」を参照してください。

【注】　*　フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

23.3.4 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

FAEINT は、フラッシュインタフェースエラー割り込み（FIFE）の出力許可／禁止を設定するためのレジスタです。FAEINT は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	ROMAEIE	–	–	CMDLKIE	EEPAEIE	EEPIFEIE	EEPRPEIE	EEPWPEIE
初期値：	1	0	0	1	1	1	1	1
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	ROMAEIE	1	R/W	ROM アクセス違反割り込みイネーブル ROM アクセス違反が発生し、FASTAT レジスタの ROMAE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可／禁止するためのビットです。 0：ROMAE＝1 で FIFE 割り込み要求を発生しない 1：ROMAE＝1 で FIFE 割り込み要求を発生する
6、5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CMDLKIE	1	R/W	FCU コマンドロック割り込みイネーブル FCU コマンドロックが発生し、FASTAT レジスタの CMDLK ビットが 1 になった場合の FIFE 割り込み要求の発生を許可／禁止するためのビットです。 0：CMDLK＝1 で FIFE 割り込み要求を発生しない 1：CMDLK＝1 で FIFE 割り込み要求を発生する
3	EEPAEIE	1	R/W	EEPROM アクセス違反割り込みイネーブル 「第 24 章　EEPROM」を参照してください。
2	EEPIFEIE	1	R/W	EEPROM 命令フェッチ違反割り込みイネーブル 「第 24 章　EEPROM」を参照してください。
1	EEPRPEIE	1	R/W	EEPROM リードプロテクト違反割り込みイネーブル 「第 24 章　EEPROM」を参照してください。
0	EEPWPEIE	1	R/W	EEPROM 書き込み／消去プロテクト違反割り込みイネーブル 「第 24 章　EEPROM」を参照してください。

23.3.5 ROM マット選択レジスタ（ROMMAT）

ROMMAT は、ROM のマットを切り替えるために使用するレジスタです。ROMMAT は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ROMMAT レジスタの設定を変更しマットを切り替える場合は、ROMMAT レジスタに書き込み、ROMMAT レジスタのダミーリード後、NOP 命令を 5 個以上実行してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								–	–	–	–	–	–	–	ROM SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	KEY	すべて 0	R/(W)*	キーコード ROMSEL ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ROMSEL	0/1	R/W	ROM マット選択ビット ROM のマットを選択するためのビットです。ユーザブートモードで起動した場合には、初期値が 1 になります。それ以外の場合のモードで起動した場合には、初期値が 0 になります。 ROMSEL ビットへの書き込みは、ワードアクセスで KEY が H'3B の場合のみ有効です。 0：ユーザマット選択 1：ユーザブートマット選択

【注】 * 書き込みデータは保持されません。

23.3.6 FCU RAM イネーブルレジスタ（FCURAME）

FCURAME は、FCU RAM 領域へのアクセスを許可／禁止するためのレジスタです。FCURAME は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								–	–	–	–	–	–	–	FCRME
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	KEY	すべて 0	R/(W)*	キーコード FCRME ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FCRME	0	R/W	FCU RAM イネーブル FCU RAM へのアクセスを許可／禁止するためのビットです。FCRME ビットへの書き込みは、ワードアクセスで KEY が H'C4 の場合のみ有効です。FCU RAM に書き込む場合は、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。 0：FCU RAM へのアクセス禁止 1：FCU RAM へのアクセス許可

【注】 * 書き込みデータは保持されません。

23.3.7 フラッシュステータスレジスタ 0（FSTATR0）

FSTATR0 は、FCU の状態を確認するためのレジスタです。FSTATR0 は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	FRDY	ILGL ERR	ERS ERR	PRG ERR	SUS RDY	—	ERS SPD	PRG SPD
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	FRDY	1	R	フラッシュレディビット FCU の処理状態を確認するためのビットです。 0：書き込み／消去処理中 書き込み／消去の中断処理中 ロックビットリード 2 コマンド処理中 EEPROM のブランクチェック処理中（「第 24 章　EEPROM」を参照） 1：上記の処理を実行していない
6	ILGLERR	0	R	イリーガルコマンドエラービット FCU が不正なコマンドや不正な ROM／EEPROM アクセスなどを検出したことを示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります（「23.8.3　エラープロテクト」を参照）。 0：FCU は不正なコマンドや ROM／EEPROM アクセスを検出していない 1：FCU は不正なコマンドや ROM／EEPROM アクセスを検出した ［セット条件］ • FCU が不正なコマンドを検出した • FCU が不正な ROM／EEPROM アクセスを検出した（FASTAT レジスタの ROMAE、EEPAE、EEPIFE、EEPRPE、EEPWPE ビットのいずれかが 1） • FENTRYR の設定が不正 ［クリア条件］ • FASTAT レジスタが H'10 の状態で FCU がステータスクリアコマンドを処理後

ビット	ビット名	初期値	R/W	説　　明
5	ERSERR	0	R	消去エラービット FCU による ROM／EEPROM 消去処理の結果を示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります（「23.8.3 エラープロテクト」を参照）。 0：消去処理は正常終了 1：消去処理中にエラー発生 ［セット条件］ • 消去中にエラーが発生した • ロックビットでプロテクトされた領域に対するブロックイレーズコマンドを発行した ［クリア条件］ • FCU がステータスクリアコマンドを処理後
4	PRGERR	0	R	書き込みエラービット FCU による ROM／EEPROM 書き込み処理の結果を示すビットです。このビットが 1 の場合には、FCU はコマンドロック状態になります（「23.8.3　エラープロテクト」を参照）。 0：書き込み処理は正常終了 1：書き込み処理中にエラー発生 ［セット条件］ • 書き込み中にエラーが発生した • ロックビットでプロテクトされた領域に対する書き込みコマンドを発行した ［クリア条件］ • FCU がステータスクリアコマンドを処理後
3	SUSRDY	0	R	サスペンドレディビット FCU が P/E サスペンドコマンドを受け付け可能であるかを示すビットです。 0：P/E サスペンドコマンド受け付け不可能 1：P/E サスペンドコマンド受け付け可能 ［セット条件］ • 書き込み／消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に遷移した ［クリア条件］ • P/E サスペンドコマンドを受け付けた • 書き込み／消去処理中に、コマンドロック状態に遷移した
2	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
1	ERSSPD	0	R	消去サスペンドステータスビット FCU が消去の中断処理中または消去サスペンド状態に遷移したことを示すビットです（「23.6.4　サスペンド動作」を参照）。 0：下記以外の状態 1：消去の中断処理中または消去サスペンド中 ［セット条件］ • 消去の中断処理を開始した ［クリア条件］ • レジュームコマンドを受け付けた
0	PRGSPD	0	R	書き込みサスペンドステータスビット FCU が書き込みの中断処理中または書き込みサスペンド状態に遷移したことを示すビットです（「23.6.4　サスペンド動作」を参照）。 0：下記以外の状態 1：書き込みの中断処理中または書き込みサスペンド中 ［セット条件］ • 書き込みの中断処理を開始した ［クリア条件］ • レジュームコマンドを受け付けた

23.3.8 フラッシュステータスレジスタ 1（FSTATR1）

FSTATR1 は、FCU の状態を確認するためのレジスタです。FSTATR1 は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	FCU ERR	—	—	FLO CKST	—	—	FRD TCT	FRC RCT
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	FCUERR	0	R	FCU エラービット FCU 内部の CPU 処理においてエラーが発生したことを示すビットです。 0：FCU の CPU 処理でエラー未発生 1：FCU の CPU 処理でエラー発生 ［クリア条件］ • FRESETR レジスタの FRESET ビットが 1 FCUERR が 1 の場合には、FRESET ビットを 1 にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。

ビット	ビット名	初期値	R/W	説　　明
6、5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	FLOCKST	0	R	ロックビットステータスビット ロックビットリード 2 コマンドを使用した場合に、ロックビットのリードデータが反映されるビットです。ロックビットリード 2 コマンド発行後に、FRDY ビットが 1 になった時点で、FLOCKST ビットに有効なデータが格納されます。FLOCKST ビットの値は、次のロックビットリード 2 コマンドの終了まで保持されます。 0：プロテクト状態 1：非プロテクト状態
3、2	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	FRDTCT	0	R	FCU RAM 2 ビット誤り検出モニタビット FCU RAM の読み出し時に 2 ビット誤りを検出したことを示すビットです。 0：2 ビット誤りを検出していない 1：2 ビット誤りを検出した FRDTCT が 1 の場合には、FRESET ビットを 1 にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。
0	FRCRCT	0	R	FCU RAM 1 ビット誤り訂正モニタビット FCU RAM の読み出し時に 1 ビット誤りを訂正したことを示すビットです。 0：1 ビット誤りを訂正していない 1：1 ビット誤りを訂正した FRCRCT が 1 の場合には、FRESET ビットを 1 にして、FCU を初期化してください。また、FCU ファームウェアを FCU ファーム領域から FCU RAM 領域へ再コピーしてください。

23.3.9 FCU RAM ECC エラーコントロールレジスタ（FRAMECCR）

FRAMECCR は、FCU RAM の読み出し時に 1 ビット誤り訂正、2 ビット誤り検出が発生した場合の FCU コマンドロックへの要求を、有効／無効に設定するためのレジスタです。FRAMECCR は、FCU コマンドロック要求の有効／無効を設定しますがフラッシュステータスレジスタ 1（FSTATR1）の FRDTCT と FRCRCT のビットセットはコントロールしません。FRAMECCR は、パワーオンリセット、ハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	FRDCLE	FRCCLE
初期値：	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～2	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	FRDCLE	1	R/W	FCU RAM 2 ビット誤り検出 FCU コマンドロックイネーブルビット FCU RAM の読み出し時に 2 ビット誤り検出が発生した場合の FCU コマンドロックへの要求を、有効／無効に設定するためのビットです。本ビットを 1 にして 2 ビット誤りが検出された場合、FASTAT レジスタの CMDLK ビットは 1 にセットされます。 0：2 ビット誤り検出時に FCU コマンドロック要求を発生しない（設定禁止） 1：2 ビット誤り検出時に FCU コマンドロック要求を発生する
0	FRCCLE	0	R/W	FCU RAM 1 ビット誤り訂正 FCU コマンドロックイネーブルビット FCU RAM の読み出し時に 1 ビット誤り訂正が発生した場合の FCU コマンドロックへの要求を、有効／無効に設定するためのビットです。本ビットを 1 にして 1 ビット誤り訂正が発生した場合、FASTAT レジスタの CMDLK ビットは 1 にセットされます。 0：1 ビット誤り訂正時に FCU コマンドロック要求を発生しない 1：1 ビット誤り訂正時に FCU コマンドロック要求を発生する

23.3.10 フラッシュ P/E モードエントリレジスタ（FENTRYR）

FENTRYR は、ROM／EEPROM を P/E モードに設定するために使用するレジスタです。ROM／EEPROM を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY1、FENTRY0 のいずれかのビットに 1 を設定する必要があります。ただし、本レジスタに H'0001、H'0002、H'0080 以外の値を設定した場合、FSTATR0 レジスタの ILGLERR ビットがセットされて、FCU はコマンドロック状態になります。FENTRYR は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

FENTRYR レジスタの FENTRY1、FENTRY0 ビットを 1 から 0 に変更し ROM リードモードに遷移させる場合は、FENTRY1、FENTRY0 ビットに 0 を書き込み、FENTRYR レジスタのダミーリード後、NOP 命令を 5 個以上実行してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FEKEY								FENTRYD	–	–	–	–	–	FENTRY1	FENTRY0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R	R	R	R	R	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	FEKEY	すべて 0	R/(W)*	キーコード FENTRYD、FENTRY1、FENTRY0 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	FENTRYD	0	R/W	EEPROM P/E モードエントリビット 「第 24 章　EEPROM」を参照してください。
6～2	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
1	FENTRY1	0	R/W	ROM P/E モードエントリビット 1 ROM 1MB（読み出し用アドレス：H'00100000～H'001FFFFF、書き込み／消去用アドレス：H'80900000～H'809FFFFF）を P/E モードに設定するためのビットです。 0：ROM 1MB はリードモード 1：ROM 1MB は P/E モード 書き込みは、以下の条件をすべて満たす場合に有効です。 • 内蔵 ROM が有効なモード • FPMON レジスタの MDA ビットが 1 • FSTATR0 レジスタの FRDY ビットが 1 • ワードアクセスで FEKEY に H'AA 書き込み ［セット条件］ • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY1 に 1 を書き込んだ場合 ［クリア条件］ • FSTATR0 レジスタの FRDY ビットが 1、かつ FPMON レジスタの MDA ビットが 0 の場合 • バイトアクセスで書き込んだ場合 • ワードアクセスで FEKEY が H'AA 以外の状態で書き込んだ場合 • 書き込み有効条件を満たした状態で、FENTRY1 に 0 を書き込んだ場合 • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合

ビット	ビット名	初期値	R/W	説　　明
0	FENTRY0	0	R/W	ROM P/E モードエントリビット 0 ROM 1MB（読み出し用アドレス：H'00000000～H'000FFFFF、書き込み／消去用アドレス：H'80800000～H'808FFFFF）を P/E モードに設定するためのビットです。 0：ROM 1MB はリードモード 1：ROM 1MB は P/E モード 書き込みは、以下の条件をすべて満たす場合に有効です。 • 内蔵 ROM が有効なモード • FPMON レジスタの MDA ビットが 1 • FSTATR0 レジスタの FRDY ビットが 1 • ワードアクセスで FEKEY に H'AA 書き込み ［セット条件］ • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRY0 に 1 を書き込んだ場合 ［クリア条件］ • FSTATR0 レジスタの FRDY ビットが 1、かつ FPMON レジスタの MDA ビットが 0 の場合 • バイトアクセスで書き込んだ場合 • ワードアクセスで FEKEY が H'AA 以外の状態で書き込んだ場合 • 書き込み有効条件を満たした状態で、FENTRY0 に 0 を書き込んだ場合 • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合

【注】 ＊ 書き込みデータは保持されません。

23.3.11 フラッシュプロテクトレジスタ（FPROTR）

FPROTR は、ロックビットによる書き込み／消去プロテクト機能の有効／無効を設定するためのレジスタです。FPROTR は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FPKEY								–	–	–	–	–	–	–	FPROTCN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	FPKEY	すべて 0	R/(W)*	キーコード FPROTCN ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FPROTCN	0	R/W	ロックビットプロテクトキャンセルビット ロックビットによる書き込み／消去プロテクトを有効／無効化するためのビットです。 0：ロックビットによるプロテクト有効 1：ロックビットによるプロテクト無効 ［セット条件］ • FENTRYR レジスタの値が H'0000 以外の状態で、ワードアクセスで FPKEY に H'55、FPROTCN に 1 を書き込んだ場合 ［クリア条件］ • バイトアクセスで書き込んだ場合 • ワードアクセスで FPKEY が H'55 以外の状態で書き込んだ場合 • ワードアクセスで FPKEY に H'55、FPROTCN に 0 を書き込んだ場合 • FENTRYR レジスタの値が H'0000 の場合

【注】 * 書き込みデータは保持されません。

23.3.12 フラッシュリセットレジスタ（FRESETR）

FRESETR は、FCU の初期化のために使用するレジスタです。FRESETR は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRKEY								–	–	–	–	–	–	–	FRESET
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	FRKEY	すべて 0	R/(W)*	キーコード FRESET ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FRESET	0	R/W	フラッシュリセットビット FRESET ビットを 1 に設定すると、ROM／EEPROM の書き込み／消去動作が強制終了され、FCU が初期化されます。書き込み／消去中の ROM／EEPROM のメモリには高電圧が印加されています。メモリに印加された電圧の降下に必要な期間を確保するために、FCU を初期化する場合には、FRESET を 1 にセットした状態を t_{RESW2}（「第 30 章　電気的特性」を参照）保持してください。FRESET を 1 に保持している期間は ROM／EEPROM への読み出しを禁止してください。また、FRESET が 1 の状態では、FENTRYR レジスタが初期化されているため、FCU コマンドを使用することはできません。 FRESET ビットへの書き込みは、ワードアクセスで FRKEY が H'CC の場合のみ有効です。 0：FCU はリセットされない 1：FCU はリセットされる

【注】 * 書き込みデータは保持されません。

23.3.13 FCU コマンドレジスタ（FCMDR）

FCMDR は、FCU が受け付けたコマンドを格納するレジスタです。FCMDR は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMDR								PCMDR							
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～8	CMDR	H'FF	R	コマンドレジスタ FCU が受け付けた最新のコマンドを格納するレジスタです。
7～0	PCMDR	H'FF	R	プレコマンドレジスタ FCU が受け付けた 1 つ前のコマンドを格納するレジスタです。

表 23.3 に各コマンド受け付け後の FCMDR レジスタの状態を示します。ブランクチェックの内容は、「24.6 ユーザモード／ユーザプログラムモード／ユーザブートモード」を参照してください。

表 23.3 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
ノーマルモード移行	H'FF	前回コマンド
ステータスリードモード移行	H'70	前回コマンド
ロックビットリードモード移行（ロックビットリード 1）	H'71	前回コマンド
プログラム	H'E8	前回コマンド
ブロックイレーズ	H'D0	H'20
P/E サスペンド	H'B0	前回コマンド
P/E レジューム	H'D0	前回コマンド
ステータスレジスタクリア	H'50	前回コマンド
ロックビットリード 2、ブランクチェック	H'D0	H'71
ロックビットプログラム	H'D0	H'77

23.3.14 FCU 処理切り替えレジスタ（FCPSR）

FCPSR レジスタは、FCU の消去処理のサスペンド方法を選択するためのレジスタです。FCPSR は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	ESUSPMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ESUSPMD	0	R/W	消去サスペンドモード FCU が ROM／EEPROM の消去処理を実行中に P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです（「23.6.4　サスペンド動作」を参照）。 0：サスペンド優先モード 1：消去優先モード

23.3.15 フラッシュ P/E ステータスレジスタ（FPESTAT）

FPESTAT は、ROM/EEPROM の書き込み／消去処理結果を示すレジスタです。FPESTAT は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PEERRST							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7～0	PEERRST	H'00	R	P/E エラーステータスビット ROM/EEPROM の書き込み／消去処理中にエラーが発生した場合のエラー原因を示すビットです。PEERRST ビットの値は、FSTATR0 レジスタの PRGERR ビットまたは ERSERR ビットが 1 の状態でのみ有効です。ERSERR ビットと PRGERR ビットが 0 の場合の PEERRST ビットには、過去に発生したエラー原因の値が保持されます。 H'01：ロックビットでプロテクトされた領域に対する書き込みエラー H'02：ロックビットプロテクト以外の要因による書き込みエラー H'11：ロックビットでプロテクトされた領域に対する消去によるエラー H'12：ロックビットプロテクト以外の要因による消去エラー 上記以外：予約

23.3.16 FCU ファーム領域選択レジスタ（FCUAREA）

FCUAREA は、ROM の FCU ファーム領域の選択に使用するレジスタです。FCUAREA の読み出し／書き込みはワード単位でのみ可能です。FCUAREA は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								–	–	–	–	–	–	–	FCU SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	KEY	すべて 0	R/(W)*	キーコード FCUSEL ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～1	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	FCUSEL	0	R/W	FCU ファーム領域選択ビット FCU ファーム領域を選択するためのビットです。 FCUSEL ビットへの書き込みは、ワードアクセスで KEY が H'FC の場合のみ有効です。また、FCUSEL ビットへ 1 を書き込む場合は、ROMMAT レジスタの ROMSEL ビットを 0 にしてください（「23.3.5 ROM マット選択レジスタ（ROMMAT）」を参照）。 0：FCU ファーム領域非選択 1：FCU ファーム領域選択 ［セット条件］ • ワードアクセスで KEY が H'FC、FCUSEL＝1 を書き込んだ場合 ［クリア条件］ • ワードアクセスで KEY が H'FC、FCUSEL＝0 を書き込んだ場合 • ワードアクセスで KEY が H'FC 以外の状態で書き込んだ場合

【注】 * 書き込みデータは保持されません。

23.4 ROM 関連モード概要

図 23.4 に本 LSI のモード遷移図（ROM 関連）を示します。MDA～MDD 端子の設定値と本 LSI の動作モードの関係については「第 3 章　動作モード」を参照してください。

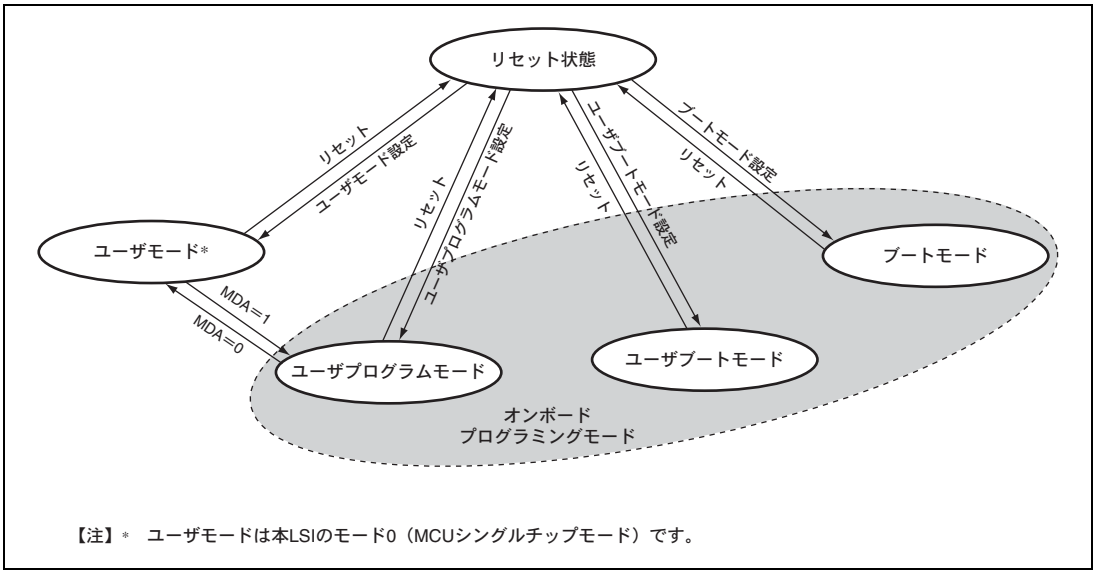


図 23.4　ROM に関するモード遷移図

- ユーザモードでは、ROMの読み出しは可能ですが、書き込み／消去は実施できません。
- ユーザプログラムモード／ユーザブートモード／ブートモードでは、オンボードでROMの読み出し／書き込み／消去を実施できます。

表 23.4 に、ブートモード、ユーザプログラムモード、ユーザブートモード書き込み／消去関連項目の比較表を示します。

表 23.4 プログラミングモードの比較

項目	ブートモード	ユーザプログラムモード	ユーザブートモード
書き込み／消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット
書き込み／消去制御	ホスト	FCU	FCU
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由
リセット時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブートマット*
MCU 動作モードへの遷移	モード設定変更＆ リセット	MDA 設定変更	モード設定変更＆ リセット

【注】 * 組み込みプログラム格納マットから起動し、製品に内蔵された組み込みプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み／消去は、ブートモードでのみ可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。
- ブートモード／ユーザブートモードでは製品に内蔵された組み込みプログラムで内蔵RAMのH'FFF88000～H'FFF8FFFFを使用します。このため、RAMイネーブルレジスタ（RAMEN）の設定で内蔵RAMを無効にしてリセットし、ブートモード／ユーザブートモードで起動した場合には、リセット前に内蔵RAMの当該領域に格納されていたデータは保持されません（「第26章 RAM」を参照）。

23.5 ブートモード

23.5.1 システム構成

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してユーザマット／ユーザブートマットの書き込み／消去を実行可能です。ホストと本 LSI 間の通信には、本 LSI 内蔵の SCI を調歩同期式モードで使用します。ホスト上には制御コマンドを送信するためのツールと書き込みデータを準備する必要があります。本 LSI をブートモードで起動すると、組み込みプログラム格納マット上のプログラムが実行されます。組み込みプログラム格納マット上のプログラムでは、SCI のビットレートの自動調整と制御コマンド方式でのホスト⇔本 LSI 間の通信が実現されます。

図 23.5 にブートモード時のシステム構成を示します。ブートモードでは NMI、$\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$ の割り込みは無視されますが、端子のレベルは非アクティブ状態に固定してください。

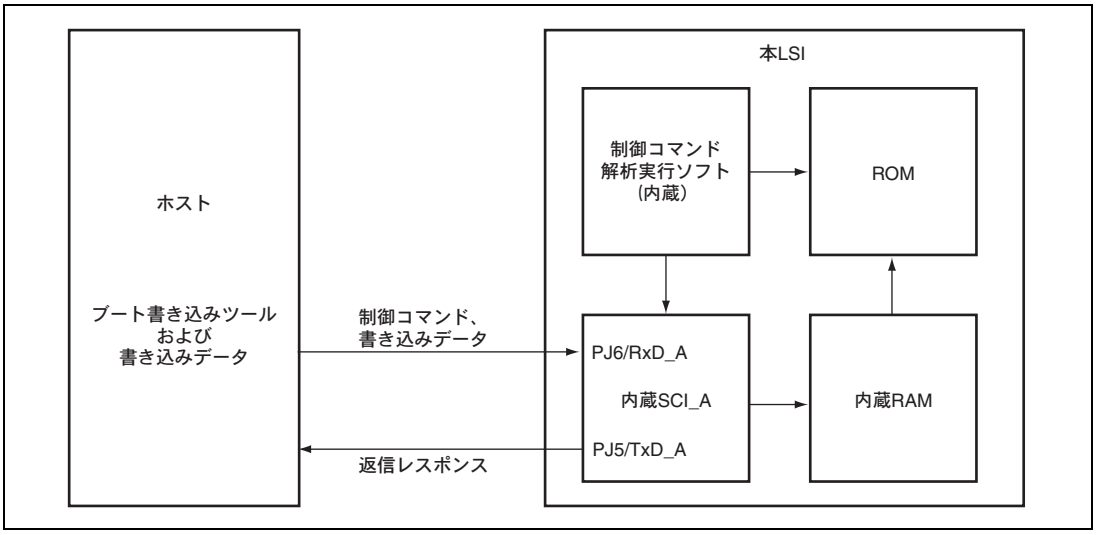


図 23.5 ブートモード時のシステム構成

23.5.2 ブートモードの状態遷移

図 23.6 にブートモードの状態遷移図を示します。

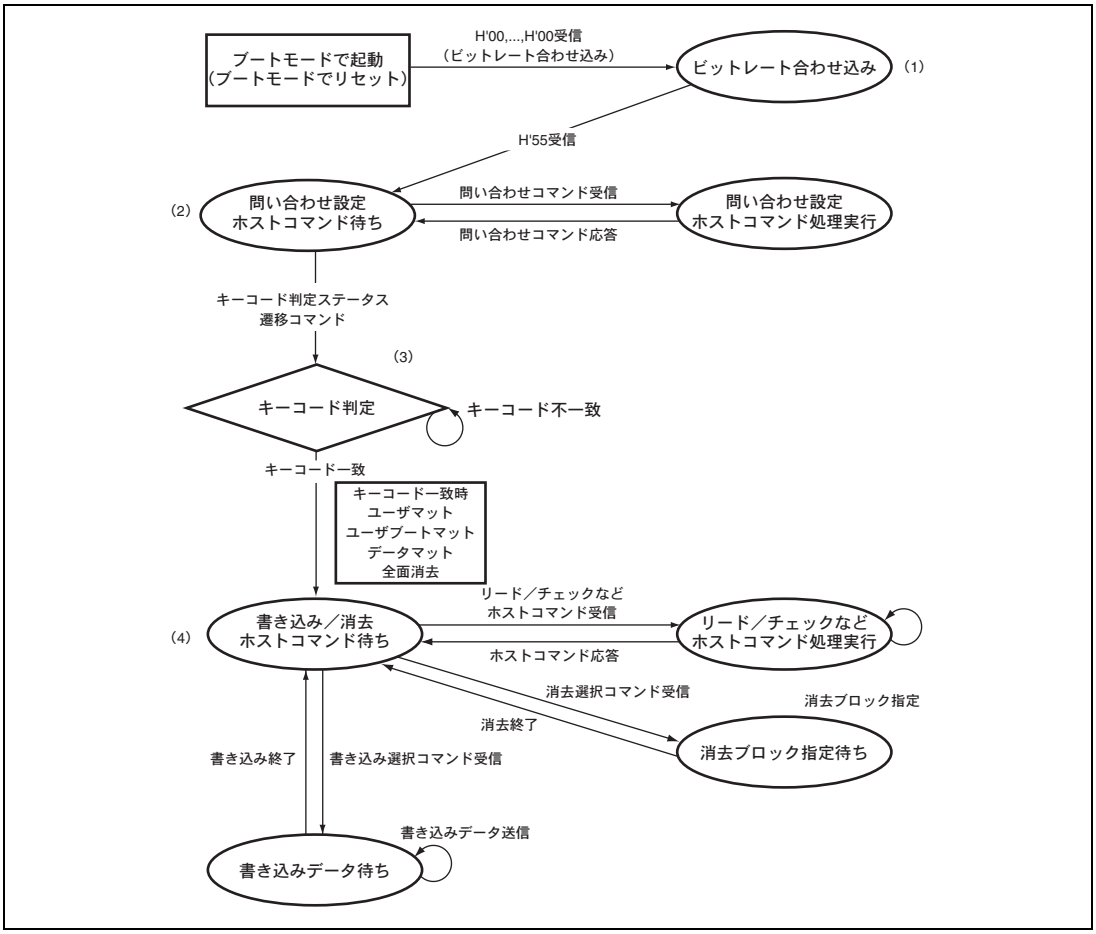


図 23.6 ブートモードの状態遷移図

(1) ビットレート合わせ込み

本 LSI をブートモードで起動すると、ホストと SCI_A のビットレート自動調整を実行します。ビットレートの自動調整が終了すると、本 LSI からホストへ H'00 を送信します。その後、ホストから送信された H'55 を本 LSI が正しく受信すると問い合わせ設定ホストコマンド待ち状態に遷移します。ビットレート合わせ込みの詳細は、「23.5.3 ビットレートの自動調整」を参照してください。

(2) 問い合わせ設定ホストコマンド待ち

マットサイズ、マット構成、マット先頭アドレス、サポート状況などの問い合わせや、デバイス、クロックモード、ビットレートを選択するための状態です。ホストからキーコード判定ステータス遷移コマンドを発行すると、本 LSI はキーコード判定状態に遷移します。問い合わせ設定ホストコマンドの詳細は「**23.5.4 問い合わせ設定ホストコマンド待ち状態**」を参照してください。

(3) キーコード判定

本LSIに書き込まれたキーコードと一致するかを判定するための状態です。ホストからキーコードが送信され、それが本 LSI に書き込まれたキーコードと一致するかを判定します。一致した場合はユーザマット、ユーザブートマット、データマットの全面消去を行い、書き込み／消去コマンド待ち状態に遷移します。また、本 LSI のキーコードが初期状態（書き込まれていない状態）のときは、任意のキーコードで認証可能となります。

(4) 書き込み／消去ホストコマンド待ち

ホストからのコマンドに従って、書き込み／消去を実行する状態です。本 LSI が受信したコマンドに応じて、書き込みデータ待ち状態、消去ブロック指定待ち状態、リード／チェックなどコマンド処理実行状態に遷移します。

本 LSI が書き込み選択コマンドを受信した場合には、書き込みデータ待ち状態に遷移します。ホストから書き込み選択コマンドに続けて、書き込み先頭アドレス、書き込みデータを送信してください。書き込み先頭アドレスを H'FFFFFFFF と設定すると、書き込みが終了して書き込みデータ待ち状態から書き込み／消去コマンド待ち状態に遷移します。

本 LSI が消去選択コマンドを受信すると消去ブロック指定待ち状態に遷移します。ホストから消去選択コマンドに続けて、消去ブロック番号を送信してください。消去ブロック番号を H'FF と設定すると、消去が終了して消去ブロック指定待ち状態から書き込み／消去コマンド待ち状態に遷移します。ブートモードで起動してから書き込み／消去ホストコマンド状態に遷移する間にユーザマット／ユーザブートマット／EEPROM のデータマットの全面が消去されていますので、ブートモードで新たに書き込んだデータをリセットせずに消去したい場合以外には消去を実行する必要はありません。

書き込み／消去以外に、ユーザマット／ユーザブートマットのサムチェック、ブランクチェック（消去チェック）*、メモリリード、ステータス情報取得のためのホストコマンドもあります。書き込み／消去ホストコマンド待ち状態で実行できるホストコマンドの詳細は「**23.5.5 書き込み／消去ホストコマンド待ち状態**」を参照してください。

【注】 * ブランクチェックは、正常に消去が完了した領域に対し、消去状態を確認する機能です。書き込み／消去が中断（例：リセット入力、電源瞬断）された場合は、ブランクチェックによる消去状態の確認はできません。

23.5.3 ビットレートの自動調整

本 LSI をブートモードで起動すると、ホストから連続送信される調歩同期式 SCI 通信のデータ H'00 のローレベル期間を測定します。ローレベル期間測定時のホストの SCI 送受信フォーマットは 8 ビットデータ、1 ストップビット、パリティなし、ビットレートは 9,600bps または 19,200bps に設定してください。本 LSI は測定したローレベル期間からホストの SCI のビットレートを計算し、ビットレート調整が終了すると H'00 をホストへ送信します。ホストが H'00 を正常に受信した場合には、ホストから本 LSI に H'55 を送信してください。H'00 を正常に受信できなかった場合には、本 LSI をブートモードで再起動し、ビットレートの自動調整を再実行してください。本 LSI は H'55 を正常に受信すると H'E6 を送信し、H'55 を正常に受信できなかった場合には H'FF を送信します。

図 23.7 ビットレート自動調整時の SCI 送受信フォーマット

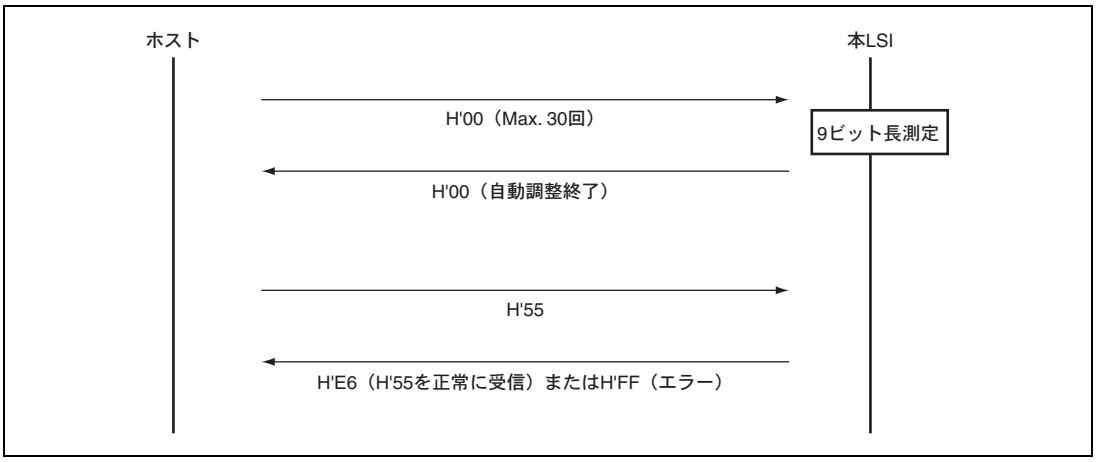


図 23.8 ホストと本 LSI 間の通信シーケンス

ホストの SCI のビットレートや本 LSI の周辺クロックの周波数に依存してビットレートを正常に調整できない場合がありますので、表 23.5 に示した条件で SCI の通信を行うようにしてください。

表 23.5　ビットレート自動調整が可能な条件

ホストの SCI のビットレート	周辺クロックの周波数
9,600bps	16～20MHz、32～40MHz
19,200bps	

23.5.4 問い合わせ設定ホストコマンド待ち状態

表 23.6 に、問い合わせ設定ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。ブートプログラムステータス問い合わせコマンドは、書き込み／消去ホストコマンド待ち状態でも使用可能です。その他のコマンドは、問い合わせ設定ホストコマンド待ち状態でのみ使用可能です。

表 23.6 問い合わせ設定ホストコマンド

ホストコマンド名	機　　能
サポートデバイス問い合わせ	デバイスコードと組み込みプログラム型名の問い合わせ
デバイス選択	デバイスコードの選択
クロックモード問い合わせ	クロックモードの問い合わせ
クロックモード選択	クロックモードの選択
逓倍比問い合わせ	クロック種類、逓倍比／分周比の種類、逓倍比／分周比の問い合わせ
動作周波数問い合わせ	クロック種類、最大／最低動作周波数の問い合わせ
ユーザブートマット情報問い合わせ	ユーザブートマットの個数、先頭／最終アドレスの問い合わせ
ユーザマット情報問い合わせ	ユーザマットの個数、先頭／最終アドレスの問い合わせ
消去ブロック情報問い合わせ	ブロック数、先頭／最終アドレスの問い合わせ
書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
新ビットレート選択	ホスト⇔本 LSI 間の SCI 通信のビットレートを変更
キーコード判定ステータス遷移	キーコード判定ステータスに遷移
キーコードチェックコマンド	キーコードを送信
ブートプログラムステータス問い合わせ	本 LSI の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーのレスポンスの内容は以下のとおりです。コマンドには、ホストが送信したコマンドの先頭バイトが格納されています。

エラーレスポンス	H’80	コマンド

問い合わせ設定ホストコマンド待ち状態では、問い合わせコマンドのレスポンスを参考にして、デバイス選択→クロックモード選択→新ビットレート選択の順にホストから選択コマンドを送信し、本 LSI の設定を行ってください。また、サポートデバイス問い合わせ／クロックモード問い合わせ以外の問い合わせコマンドは、クロックモード選択コマンドを発行前には使用できません。誤った順番でコマンドを送信した場合には、本 LSI がコマンドエラーのレスポンスを送信します。図 23.9 に問い合わせ設定ホストコマンド待ち状態でのホストコマンド使用例を示します。

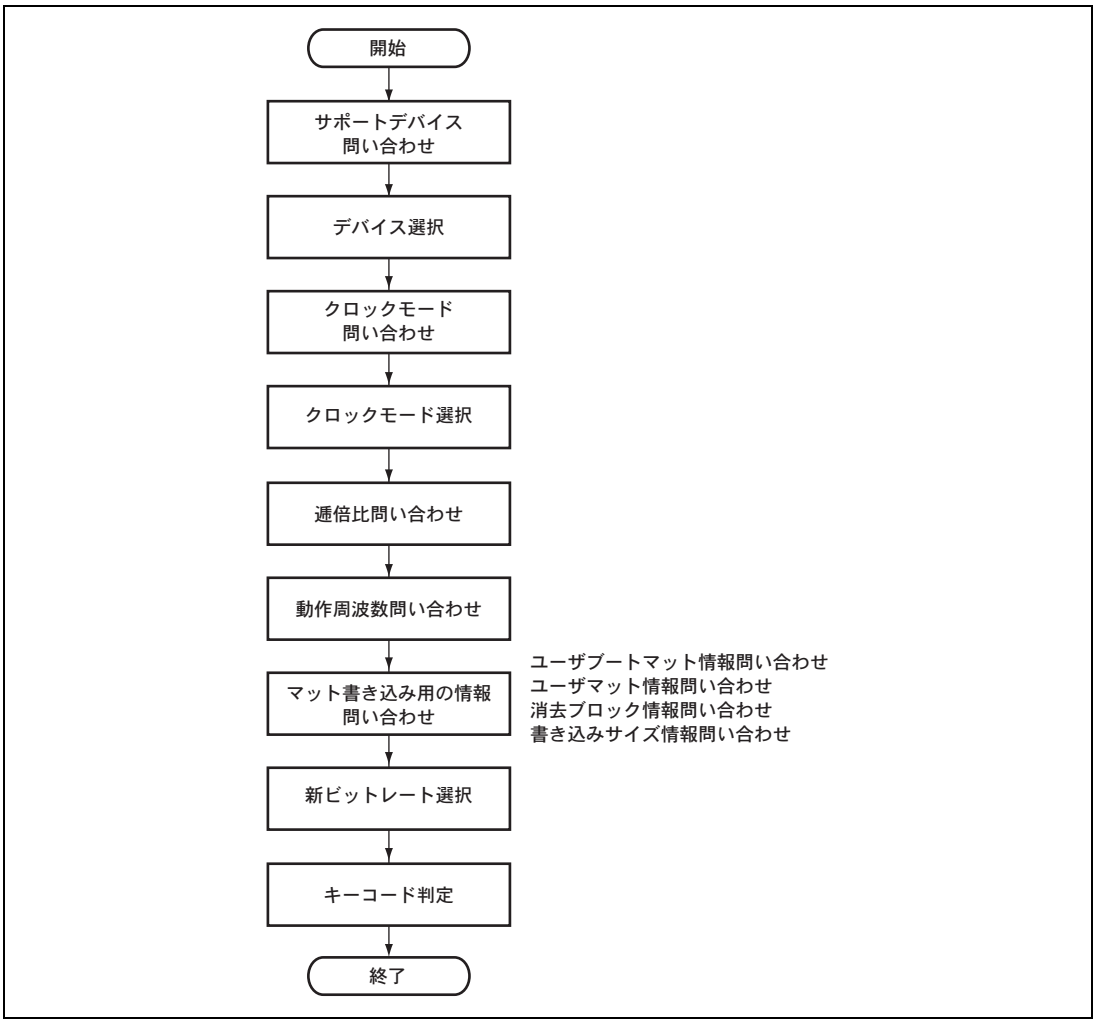


図 23.9　問い合わせ設定ホストコマンドの使用例

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) サポートデバイス問い合わせ

ホストがサポートデバイス問い合わせコマンドを送信すると、ブートモード用の組み込みプログラムでサポート可能なデバイス情報を本 LSI が送信します。ホストがデバイスを選択した後に、サポートデバイス問い合わせコマンドを送信した場合には、本 LSI は選択したデバイスの情報のみ送信します。

コマンド	H'20			
レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	文字数	デバイスコード		品名
	・・・	・・・		・・・
	文字数	デバイスコード		品名
	SUM			

【記号説明】

サイズ（1 バイト）：デバイス数、文字数、デバイスコード、品名のデータの総バイト数

デバイス数（1 バイト）：ブートモード用の組み込みプログラムがサポートする品種数

文字数（1 バイト）：デバイスコードと品名の文字数

デバイスコード（4 バイト）：チップ品名の ASCII コード

品名（n バイト）：サポートデバイス名の ASCII コード

SUM（1 バイト）：サムチェック

(2) デバイス選択

ホストがデバイス選択コマンドを送信すると、本 LSI は指定されたデバイスがサポート可能なデバイスかチェックします。サポート可能なデバイスの場合、本 LSI はサポートデバイスを指定したデバイスに変更し、レスポンス（H'06）を送信します。サポート可能なデバイスでなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス（H'90）を送信します。

サポートデバイス問い合わせの結果、デバイス数が H'01 であった場合も、デバイス選択コマンドで問い合わせ結果のデバイスコードの値を設定してください。

コマンド	H’10	サイズ	デバイスコード	SUM
レスポンス	H’06			
エラーレスポンス	H’90	エラー		

【記号説明】

サイズ（1 バイト）：デバイスコードの文字数（固定値で 4）

デバイスコード（4 バイト）：チップ品名の ASCII コード（サポートデバイス問い合わせコマンドの応答と同一のコード）

SUM（1 バイト）：サムチェック

エラー（1 バイト）：エラーコード

H'11：サムチェックエラー（コマンドが不正）

H'21：デバイスコード不一致

(3) クロックモード問い合わせ

ホストがクロックモード問い合わせコマンドを送信すると、選択可能なクロックモードを本 LSI が送信します。ホストがクロックモードを選択した後に、クロックモード問い合わせコマンドを送信した場合には、本 LSI は選択したクロックモードの情報のみ送信します。

コマンド	H’21			
レスポンス	H’31	サイズ		
	モード	モード	･･･	モード
	SUM			

【記号説明】

サイズ（1 バイト）：モード数、モードのデータの総バイト数

モード（1 バイト）：選択可能なクロックモード（例：H'01　クロックモード 1）

SUM（1 バイト）：サムチェック

(4) クロックモード選択

ホストがクロックモード選択コマンドを送信すると、本 LSI は指定されたクロックモードがサポート可能なモードかをチェックします。サポート可能なモードの場合、本 LSI はクロックモードを指定したモードに変更し、レスポンス（H'06）を送信します。サポート可能なモードではなかった場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス（H'91）を送信します。

クロックモード選択コマンドは、デバイス選択コマンドを送信した後に送信してください。クロックモード問い合わせの結果、クロックモード数が H'00 または H'01 であった場合も、クロックモード選択コマンドで、問い合わせ結果のモードの値を設定してください。

コマンド	H'11	サイズ	モード	SUM
レスポンス	H'06			
エラーレスポンス	H'91	エラー		

【記号説明】

サイズ（1 バイト）：モードの文字数（固定値で 1）

モード（1 バイト）：クロックモード（クロックモード問い合わせコマンドの応答と同一のモード）

SUM（1 バイト）：サムチェック

エラー（1 バイト）：エラーコード
H'11：サムチェックエラー（コマンドが不正）
H'22：クロックモード不一致

(5) 逓倍比問い合わせ

ホストが逓倍比問い合わせコマンドを送信すると、クロック種類、逓倍比／分周比の種類、逓倍比／分周比の情報を本 LSI が送信します。

コマンド	H'22				
レスポンス	H'32	サイズ	クロック数		
	逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
	逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
	・・・	・・・	・・・	・・・	・・・
	逓倍比種類	逓倍比	逓倍比	・・・	逓倍比
	SUM				

【記号説明】

サイズ（1 バイト）：クロック数、逓倍比種類、逓倍比のデータの総バイト数

クロック数（1 バイト）：クロックの種類（例：H'02　内部クロックと周辺クロックの 2 種類）

逓倍比種類（1 バイト）：選択可能な逓倍比／分周比の種類（例：H'03　内部クロックは 4 逓倍、6 逓倍、8 逓倍の 3 種類）

逓倍比（1 バイト）：逓倍比（例：H'04＝4　4 逓倍）←正の数で指定
分周比（例：HFE＝-2　2 分周）←負の数で指定

SUM（1 バイト）：サムチェック

(6) 動作周波数問い合わせ

ホストが動作周波数問い合わせコマンドを送信すると、各クロックの動作周波数の最小値と最大値の情報を本 LSI が送信します。

コマンド	H'23		
レスポンス	H'33	サイズ	クロック数
	最小周波数		最大周波数
	最小周波数		最大周波数
	...		...
	最小周波数		最大周波数
	SUM		

【記号説明】

サイズ（1 バイト）：クロック数、最小周波数、最大周波数のデータの総バイト数

クロック数（1 バイト）：クロックの種類（例：H'02　内部クロックと周辺クロックの 2 種類）

最小周波数（2 バイト）：動作周波数の最小値（例：H'07D0　20.00MHz）
周波数（MHz）の小数点第 2 位までの値を 100 倍した値

最大周波数（2 バイト）：動作周波数の最大値で、書式は最小周波数と同様

SUM（1 バイト）：サムチェック

(7) ユーザブートマット情報問い合わせ

ホストがユーザブートマット情報を問い合わせると、ユーザブートマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド	H'24		
レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ（1 バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数（1 バイト）：ユーザブートマットのエリア数（連続したエリアは 1 エリアと数えます）

エリア先頭アドレス（4 バイト）：ユーザブートマットエリアの先頭アドレス

エリア最終アドレス（4 バイト）：ユーザブートマットエリアの最終アドレス

SUM（1 バイト）：サムチェック

（8） ユーザマット情報問い合わせ

ホストがユーザマット情報を問い合わせると、ユーザマットのエリア数とアドレスの情報を本 LSI が送信します。

コマンド

H’25

レスポンス

H’35	サイズ	エリア数
エリア先頭アドレス		
エリア最終アドレス		
エリア先頭アドレス		
エリア最終アドレス		
・・・		
エリア先頭アドレス		
エリア最終アドレス		
SUM		

【記号説明】

サイズ（1 バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数（1 バイト）：ユーザマットのエリア数（連続したエリアは 1 エリアと数えます）

エリア先頭アドレス（4 バイト）：ユーザマットエリアの先頭アドレス

エリア最終アドレス（4 バイト）：ユーザマットエリアの最終アドレス

SUM（1 バイト）：サムチェック

(9) 消去ブロック情報問い合わせ

ホストが消去ブロック情報を問い合わせると、ユーザマットの消去ブロック数とアドレスの情報を本 LSI が送信します。

コマンド	H'26		
レスポンス	H'36	サイズ	ブロック数
	ブロック先頭アドレス		
	ブロック最終アドレス		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	・・・		
	ブロック先頭アドレス		
	ブロック最終アドレス		
	SUM		

【記号説明】

サイズ（2 バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスのデータの総バイト数

ブロック数（1 バイト）：ユーザマットの消去ブロック数

エリア先頭アドレス（4 バイト）：消去ブロックの先頭アドレス

エリア最終アドレス（4 バイト）：消去ブロックの最終アドレス

SUM（1 バイト）：サムチェック

(10) 書き込みサイズ問い合わせ

ホストが書き込みサイズを問い合わせると、本 LSI が書き込みサイズの情報を送信します。

コマンド	H'27			
レスポンス	H'37	サイズ	書き込みサイズ	SUM

【記号説明】

サイズ（1 バイト）：書き込みサイズの文字数（固定値で 2）

書き込みサイズ（2 バイト）：書き込み単位（バイト数単位）

SUM（1 バイト）：サムチェック

（11）新ビットレート選択

ホストが新ビットレート選択コマンドを送信すると、本 LSI は内蔵 SCI を指定された新ビットレートに設定可能かをチェックします。新ビットレートの設定が可能な場合、本 LSI はレスポンス（H'06）を送信し、SCI を新ビットレートに設定します。新ビットレートの設定ができない場合や、送信されたコマンドが不正であった場合には、本 LSI はエラーレスポンス（H'BF）を送信します。ホストはレスポンス（H'06）を受信すると、新ビットレート選択コマンド送信時のビットレートで 1 ビット期間ウェイトし、ホストのビットレートを新ビットレートに変更します。その後、ホストは新ビットレートで確認用のデータ（H'06）を送信し、本 LSI は確認データをレスポンス（H'06）を送信します。

新ビットレート選択コマンドは、クロックモード選択コマンドを送信した後に送信してください。

図 23.10　新ビットレート選択のシーケンス

コマンド	H'3F	サイズ	ビットレート	入力周波数
	クロック数	逓倍比 1	逓倍比 2	
	SUM			
レスポンス	H'06			
エラーレスポンス	H'BF	エラー		
確認	H'06			
レスポンス	H'06			

【記号説明】

サイズ（1 バイト）：ビットレート、入力周波数、クロック数、逓倍比のデータの総バイト数

ビットレート（2 バイト）：新ビットレート（例：H'00C0　19200bps）
ビットレート値を 1/100 した値を設定

入力周波数（2 バイト）：本 LSI の入力周波数（例：H'07D0　20.00MHz）
入力周波数の小数点第 2 位までを 100 倍した値を設定

クロック数（1 バイト）：クロックの種類（例：H'02　内部クロックと周辺クロックの 2 種類）

逓倍比 1（1 バイト）：入力周波数に対する内部クロックの逓倍比／分周比
逓倍比（例：H'04＝4　4 逓倍）←正の数で指定
分周比（例：HFE＝-2　2 分周）←負の数で指定

逓倍比 2（1 バイト）：入力周波数に対する周辺クロックの逓倍比／分周比
逓倍比 1 と同じフォーマット

SUM（1 バイト）：サムチェック

エラー：エラーコード　H'11：サムチェックエラー
H'24：ビットレート選択不可エラー
H'25：入力周波数エラー
H'26：逓倍比エラー
H'27：動作周波数エラー

- **ビットレート選択不可エラー**

新ビットレート選択コマンドで指定したビットレートを、本 LSI の SCI が誤差 4%未満で設定できない場合にビットレート選択不可エラーが発生します。新ビットレート選択コマンドで指定したビットレートを B、入力周波数を fEX、逓倍比 2 を MPφ、SCI_A の SCBRR1A レジスタの設定値を N、SCSMR1A レジスタの CKS[1:0]ビットの設定値を n とした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差（\%）} = \left\{ \frac{f_{EX} \times M_{P\phi} \times 10^6}{(N+1) \times B \times 32 \times 2^{2n-1}} - 1 \right\} \times 100$$

- **入力周波数エラー**

新ビットレート選択コマンドで指定した入力周波数が、クロックモード選択コマンドで指定したクロックモードに対応する入力周波数の最小値と最大値の範囲外であった場合に、入力周波数エラーが発生します。

- **逓倍比エラー**

新ビットレート選択コマンドで指定した逓倍比が、クロックモード選択コマンドで指定したクロックモードに対応する逓倍比でなかった場合に、逓倍比エラーが発生します。選択可能な逓倍比を確認するためには逓倍比問い合わせコマンドを使用してください。

- **動作周波数エラー**

新ビットレート選択コマンドで指定した動作周波数で本 LSI が動作できない場合に動作周波数エラーが発生します。本 LSI は、新ビットレート選択コマンドで指定された入力周波数、逓倍比から動作周波数を計算し、計算結果が各クロックの動作周波数の最小値から最大値の範囲内であるかをチェックします。各クロックの動作周波数の最小値と最大値を確認するためには、動作周波数問い合わせコマンドを使用してください。

（12）キーコード判定ステータス遷移

キーコード判定ステータス遷移コマンドに対して、本 LSI はキーコード判定状態へ遷移します。

コマンド	H’40
レスポンス	H’16

（13）キーコードチェックコマンド

キーコードチェックコマンドに対して、本 LSI はホストから送信されたキーコードとマット上のキーコードとを比較し、一致したときレスポンス（H'26）を送信し、ユーザマット、ユーザブートマット、データマットの全面消去を行い、書き込み消去ステータスになります。キーコードが一致しなかった場合はエラーレスポンス（H'E0）を送信します。

また、本 LSI のキーコードが初期状態（書き込まれていない状態）のときは、任意のキーコードでレスポンス（H'26）を送信し、ユーザマット、ユーザブートマット、データマットの全面消去を行い、書き込み消去ステータスに遷移します。

コマンド	H’60	サイズ
	キーコード	
	SUM	
レスポンス	H’26	
エラーレスポンス	H’E0	エラー

【記号説明】

サイズ（1 バイト）：キーコードの文字数（固定値で 16）

キーコード（16 バイト）：ブートモード認証のためのキーコード（上位側の不要な部分は H'FF で埋めてください）

SUM（1 バイト）：サムチェック（コマンドから SUM まで加算し、H'00 となるように設定）

エラー（1 バイト）：エラーコード

H'11：サムチェックエラー

H'61：キーコード不一致エラー

H'51：消去エラーが発生して消去できない

（14）ブートプログラムステータス問い合わせ

ホストがブートプログラムステータス問い合わせコマンドを送信すると、本 LSI は現在のステータスを送信します。ブートプログラムステータス問い合わせコマンドは、問い合わせ設定ホストコマンド待ち状態と書き込み消去ホストコマンド待ち状態で使用可能です。

コマンド	H'4F				
レスポンス	H'5F	サイズ	ステータス	エラー	SUM

【記号説明】

サイズ（1 バイト）：ステータス、エラーのデータの総バイト数（固定値で 2）

ステータス（1 バイト）：本 LSI の状態（表 23.7 を参照）

エラー（1 バイト）：本 LSI のエラー発生状況（表 23.8 を参照）

SUM（1 バイト）：サムチェック

表 23.7 ステータスの内容

コード	内　　容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	新ビットレート選択待ち
H'1F	キーコード判定ステータスへの遷移待ち（新ビットレート選択完了）
H'3F	書き込み消去ホストコマンド待ち
H'4F	書き込みデータ受信待ち
H'5F	消去ブロック指定待ち

表 23.8 エラーの内容

コード	内　　容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逓倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'61	キーコード不一致エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

23.5.5 書き込み／消去ホストコマンド待ち状態

表 23.9 に、書き込み／消去ホストコマンド待ち状態で使用可能なホストコマンドの一覧を示します。

表 23.9 書き込み／消去ホストコマンド

ホストコマンド名	機　　能
ユーザブートマット書き込み選択	本 LSI はユーザブートマット書き込みプログラムを選択
ユーザマット書き込み選択	本 LSI はユーザマット書き込みプログラムを選択
256 バイト書き込み	256 バイト書き込み
消去選択	本 LSI は消去用プログラムを選択
ブロック消去	ブロックデータの消去
メモリリード	メモリの読み出し
ユーザブートマットサムチェック	ユーザブートマットのサムチェック
ユーザマットサムチェック	ユーザマットのサムチェック
ユーザブートマットブランクチェック	ユーザブートマットのブランクチェック
ユーザマットブランクチェック	ユーザマットのブランクチェック
リードロックビットステータス	ロックビットの読み出し
ロックビットプログラム	ロックビットの書き込み
ロックビット有効	ロックビットプロテクト有効設定
ロックビット無効	ロックビットプロテクト無効設定
ブートプログラムステータス問い合わせ	本 LSI の状態の問い合わせ

ホストが未定義のコマンドを送信した場合は、本 LSI がコマンドエラーのレスポンスを送信します。コマンドエラーの内容は、「23.5.4 問い合わせ設定ホストコマンド待ち状態」を参照してください。

ROM の書き込みを実行する場合には、ホストから書き込み選択コマンド（ユーザブートマット書き込み選択／ユーザマット書き込み選択）を送信後、256 バイト書き込みコマンドを送信します。ホストが書き込み選択コマンドを送信すると、本 LSI は書き込みデータ待ち状態になります（「23.5.2 ブートモードの状態遷移」を参照）。書き込みデータ待ちの状態で、ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM にデータを書き込みます。ホストが書き込み先のアドレスを H'FFFFFFFF に設定して 256 バイト書き込みコマンドを送信すると、本 LSI は書き込み終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

ROM の消去を実行する場合には、ホストから消去選択コマンドを送信後、ブロック消去コマンドを送信します。ホストが消去選択コマンドを送信すると、本 LSI は消去ブロック指定待ち状態になります（「23.5.2 ブートモードの状態遷移」を参照）。消去ブロック指定待ちの状態で、ホストがブロック消去コマンドを送信すると、本 LSI は ROM をブロック消去します。ホストがブロック番号に H'FF を設定してブロック消去コマンドを送信すると、本 LSI は消去終了と判定し、書き込み／消去ホストコマンド待ち状態に遷移します。

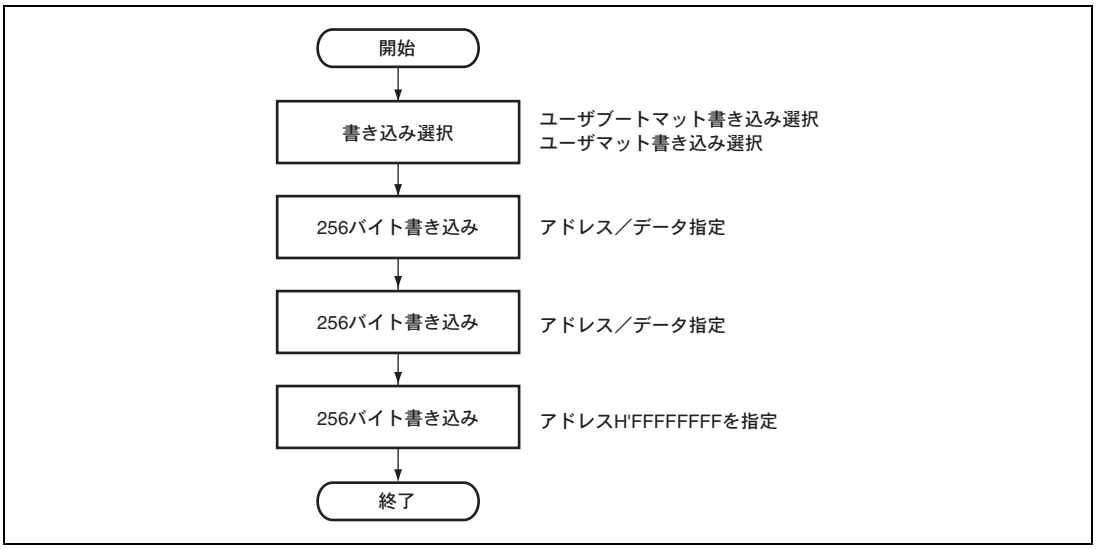


図 23.11　ブートモードでの ROM 書き込み方法

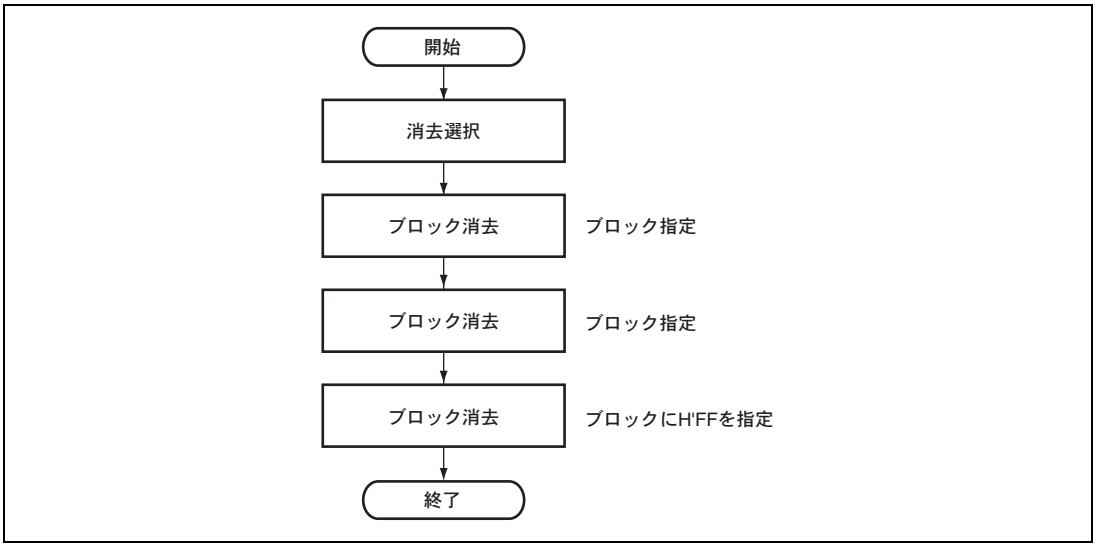


図 23.12　ブートモードでの ROM 消去方法

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) ユーザブートマット書き込み選択

ホストがユーザブートマット書き込み選択コマンドを送信すると、本 LSI はユーザブートマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	H’42
レスポンス	H’06

(2) ユーザマット書き込み選択

ホストがユーザマット書き込み選択コマンドを送信すると、本 LSI はユーザマット書き込みプログラムを選択し、書き込みデータ待ち状態になります。

コマンド	H’43
レスポンス	H’06

(3) 256 バイト書き込み

ホストが 256 バイト書き込みコマンドを送信すると、本 LSI は ROM の書き込みを実行します。ROM の書き込みが正常に終了すると、本 LSI はレスポンス（H'06）を送信します。書き込み処理中にエラーが発生すると、本 LSI はエラーレスポンス（H'D0）を送信します。

コマンド	H'50	書き込みアドレス		
	データ	データ	・・・	データ
	SUM			
レスポンス	H'06			
エラーレスポンス	H'D0	エラー		

【記号説明】

書き込みアドレス（4 バイト）：書き込み先のアドレス
書き込み実行時には 256 バイト境界にアラインしたアドレス
書き込み終了を指定する場合には H'FFFFFFFF を送信

データ（256 バイト）：書き込みデータ
書き込み不要なバイトには H'FF を指定
書き込み終了を指定する場合にはデータの送信は不要（書き込みアドレス→SUM の順で送信する）

SUM（1 バイト）：サムチェック

エラー（1 バイト）：エラーコード
H'11：サムチェックエラー
H'2A：アドレスエラー（アドレスが指定のマット内にない）
H'53：書き込みエラーが発生して書き込めない

(4) 消去選択

ホストが消去選択コマンドを送信すると、本 LSI は消去プログラムを選択し、消去ブロック指定待ち状態になります。

コマンド	H'48
レスポンス	H'06

(5) ブロック消去

ホストがブロック消去コマンドを送信すると、本 LSI は ROM の消去を実行します。ROM の消去が正常に終了すると、本 LSI はレスポンス（H'06）を送信します。消去処理中にエラーが発生すると、本 LSI はエラーレスポンス（H'D8）を送信します。

コマンド	H'58	サイズ	ブロック	SUM
レスポンス	H'06			
エラーレスポンス	H'D8	エラー		

【記号説明】

サイズ（1 バイト）：ブロックのデータのバイト数（固定値で 1）

ブロック（1 バイト）：消去する消去ブロックの番号
消去終了を指定する場合には H'FF を送信

SUM（1 バイト）：サムチェック

エラー（1 バイト）：エラーコード
H'11：サムチェックエラー
H'29：ブロック番号エラー（ブロック番号が正しくない）
H'51：消去エラーが発生して消去できない

(6) メモリリード

ホストがメモリリードコマンドを送信すると、本 LSI は ROM に対するリードを実行します。正常にリードが実行された場合には、本 LSI はメモリリードコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本 LSI はエラーレスポンス（H'D2）を送信します。

コマンド	H'52	サイズ	エリア	読み出し先頭アドレス
	読み出しサイズ			SUM
レスポンス	H'52	読み出しサイズ		
	データ	データ	・・・	データ
	SUM			
エラーレスポンス	H'D2	エラー		

【記号説明】

サイズ（1 バイト）：エリア、読み出しアドレス、読み出しサイズのデータの総バイト数

エリア（1 バイト）：読み出し対象のマット
H'00：ユーザブートマット
H'01：ユーザマット

読み出し先頭アドレス（4 バイト）：読み出し対象領域の先頭アドレス

読み出しサイズ（4 バイト）：読み出すデータのサイズ（バイト単位）

SUM（1 バイト）：サムチェック

データ（1 バイト）：ROM から読み出したデータ

エラー（1 バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー

・エリアの選択で H'00、H'01 以外を指定

・読み出し先頭アドレスが指定したマットの領域外

H'2B：サイズエラー

・読み出しサイズの選択で H'00 を指定

・読み出しサイズがマットのサイズを超えている

・読み出し先頭アドレスと読み出しサイズから計算されたアドレスがマットの領域外

（7） ユーザブートマットサムチェック

ホストがユーザブートマットサムチェックコマンドを送信すると、本 LSI はユーザブートマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	H’4A			
レスポンス	H’5A	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ（1 バイト）：マットのサムチェックのバイト数（固定値で 4）

マットのサムチェック（4 バイト）：ユーザブートマットのサムチェック結果

SUM（1 バイト）：サムチェック（レスポンスデータのサムチェック）

（8） ユーザマットサムチェック

ホストがユーザマットサムチェックコマンドを送信すると、本 LSI はユーザマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	H’4B			
レスポンス	H’5B	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ（1 バイト）：マットのサムチェックのバイト数（固定値で 4）

マットのサムチェック（4 バイト）：ユーザマットのサムチェック結果

ユーザマットにはブートモード／デバッグ機能認証用のキーコードも含まれています。加算結果にキーコード値が含まれることに注意してください。

また、2MB 分のサムチェックの結果が表示されます。本 LSI では、ユーザマットのサイズはサムチェック結果のサイズと同一です。

SUM（1 バイト）：サムチェック（レスポンスデータのサムチェック）

(9) ユーザブートマットブランクチェック

ホストがユーザブートマットブランクチェックコマンドを送信すると、本 LSI はユーザブートマットがすべて消去状態であるかをチェックします。ユーザブートマットがすべて消去状態であった場合には、本 LSI はレスポンス（H'06）を送信します。ユーザブートマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス（H'CC→H'52）を送信します。

コマンド	H'4C	
レスポンス	H'06	
エラーレスポンス	H'CC	H'52

書き込み／消去の中断（例：リセット入力、電源瞬断）により、データが不定となった領域の書き込み／消去状態を確認するベリファイ手段はありません。したがって、不定となった領域を再度使用する場合は、消去処理を行い、完全な消去状態にしてから使用してください。

(10) ユーザマットブランクチェック

ホストがユーザマットブランクチェックコマンドを送信すると、本 LSI はユーザマットがすべて消去状態であるかをチェックします。ユーザマットがすべて消去状態であった場合には、本 LSI はレスポンス（H'06）を送信します。ユーザマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス（H'CD→H'52）を送信します。

コマンド	H'4D	
レスポンス	H'06	
エラーレスポンス	H'CD	H'52

書き込み／消去の中断（例：リセット入力、電源瞬断）により、データが不定となった領域の書き込み／消去状態を確認するベリファイ手段はありません。したがって、不定となった領域を再度使用する場合は、消去処理を行い、完全な消去状態にしてから使用してください。

（11）リードロックビットステータス

ホストがリードロックビットステータスコマンドを送信すると、本 LSI はロックビットに対するリードを実行します。正常にリードが実行された場合には、本 LSI はリードロックビットステータスコマンドで指定されたアドレスのデータを送信します。リードが実行されなかった場合には、本 LSI はエラーレスポンス（H'F1）を送信します。

コマンド	H'71	サイズ	エリア	中位アドレス	上位アドレス	SUM
レスポンス	ステータス					
エラーレスポンス	H'F1	エラー				

【記号説明】

サイズ（1 バイト）：エリア、中位アドレス、上位アドレスのデータの総バイト数（本 LSI では固定値で 3）

エリア（1 バイト）：読み出し対象のマット

H'00：ユーザブートマット

H'01：ユーザマット

中位アドレス（1 バイト）：指定ブロックの最後尾のアドレスの中位アドレス（8～15 ビット）

上位アドレス（1 バイト）：指定ブロックの最後尾のアドレスの上位アドレス（16～23 ビット）

SUM（1 バイト）：サムチェック

ステータス（1 バイト）：ビット 6 が“0”でロック状態

：ビット 6 が“1”でアンロック状態

エラー（1 バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー（アドレスが指定のマット内にない）

（12）ロックビットプログラム

ホストがロックビットプログラムコマンドを送信すると、本 LSI はロックビットの書き込みを行い、指定ブロックをロック状態にします。正常にロックされた場合には、本 LSI はレスポンス（H'06）を送信します。ロックされなかった場合には、本 LSI はエラーレスポンス（H'F7）を送信します。

コマンド	H'77	サイズ	エリア	中位アドレス	上位アドレス	SUM
レスポンス	H'06					
エラーレスポンス	H'F7	エラー				

【記号説明】

サイズ（1 バイト）：エリア、中位アドレス、上位アドレスのデータの総バイト数（本 LSI では固定値で 3）

エリア（1 バイト）：ロック対象のマット

H'00：ユーザブートマット

H'01：ユーザマット

中位アドレス（1 バイト）：指定ブロックの最後尾のアドレスの中位アドレス（8～15 ビット）

上位アドレス（1 バイト）：指定ブロックの最後尾のアドレスの上位アドレス（16～23 ビット）

SUM（1 バイト）：サムチェック

エラー（1 バイト）：エラーコード

H'11：サムチェックエラー

H'2A：アドレスエラー（アドレスが指定のマット内にない）

H'53：書き込みエラーが発生しロック状態にできない

（13）ロックビット有効

ホストがロックビット有効コマンドを送信すると、本 LSI はロックビットを有効にします。

コマンド	H'7A
レスポンス	H'06

（14）ロックビット無効

ホストがロックビット無効コマンドを送信すると、本 LSI はロックビットを無効にします。

コマンド	H'75
レスポンス	H'06

（15）ブートプログラムステータス問い合わせ

詳細については「23.5.4　**問い合わせ設定ホストコマンド待ち状態**」を参照してください。

23.6 ユーザプログラムモード

23.6.1 FCU コマンド一覧

ユーザプログラムモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み／消去を実行します。**表 23.10** に、ROM 書き込み／消去で使用可能な FCU コマンドの一覧を示します。

表 23.10 FCU コマンド一覧（ROM 関連）

コマンド	機　　能
ノーマルモード移行	ノーマルモードに遷移（「23.6.2 FCU コマンド受け付け条件」を参照）
ステータスリードモード移行	ステータスリードモードに遷移（「23.6.2 FCU コマンド受け付け条件」を参照）
ロックビットリードモード移行（ロックビットリード 1）	ロックビットリードモードに遷移（「23.6.2 FCU コマンド受け付け条件」を参照）
プログラム	ROM 書き込み（256 バイト単位）
ブロックイレーズ	ROM 消去（ブロック単位。ロックビットも同時に消去）
P/E サスペンド	書き込み／消去の中断
P/E レジューム	書き込み／消去の再開
ステータスレジスタクリア	FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR ビットのクリアとコマンドロック状態の解除
ロックビットリード 2	指定した消去ブロックのロックビット読み出し（FSTATR1 レジスタの FLOCKST ビットにロックビットを反映）
ロックビットプログラム	指定した消去ブロックのロックビットを書き込み

ロックビットリード 2／ロックビットプログラム以外の FCU コマンドは、EEPROM 書き込み／消去でも使用可能です。EEPROM に対してロックビットリード 2 コマンドを発行した場合には、EEPROM のブランクチェックが実行されます。また、EEPROM に対してロックビットプログラムコマンドを発行した場合には、不正コマンド検出によるエラーが発生します（**「第 24 章 EEPROM」**を参照）。

FCU へのコマンド発行は、ROM 書き込み／消去用のアドレスに対する P バスライトアクセスで実現されます。**表 23.11** に FCU コマンドのフォーマットを示します。**表 23.11** に示した P バスライトアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU のコマンド受け付け条件については、**「23.6.2 FCU コマンド受け付け条件」**を参照してください。各 FCU コマンドの使用方法については、**「23.6.3 FCU コマンド使用方法」**を参照してください。

FRDMD ビットが 0（メモリ領域リードモード）で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリードモード移行コマンド（ロックビットリード 1）を受け付けます。ロックビットリードモードに移行後に ROM 書き込み／消去用のアドレスに対して P バスリードアクセスを実行すると、アクセス先に対応する消去ブロックのロックビットが読み出しデータの全ビットにコピーされます。FRDMD ビットが 1（レジスタリードモード）で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリード 2 コマンドの 2 サイクル目のコマンド（H'D0）待ちの状態になります。この状態で、ROM 書き込み／消去用のアドレスに対して P バスライトアクセスで H'D0 を書き込むと、FCU はアクセス先に対応する消去ブロックのロックビットを FSTATR1 レジスタの FLOCKST ビットにコピーします。

P/E サスペンドコマンド発行時のサスペンド動作には、サスペンド優先モードと消去優先モードがあります。各モードでの動作の詳細は「23.6.4 サスペンド動作」を参照してください。

表 23.11 FCU コマンドのフォーマット

コマンド	バス サイクル数	1 サイクル目		2 サイクル目		3 サイクル目		4～130 サイクル目		131 サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
ノーマルモード移行	1	RA	H'FF	–	–	–	–	–	–	–	–
ステータスリードモード移行	1	RA	H'70	–	–	–	–	–	–	–	–
ロックビットリードモード移行（ロックビットリード 1）	1	RA	H'71	–	–	–	–	–	–	–	–
プログラム	131	RA	H'E8	RA	H'80	WA	WD1	RA	WDn	RA	H'D0
ブロックイレーズ	2	RA	H'20	BA	H'D0	–	–	–	–	–	–
P/E サスペンド	1	RA	H'B0	–	–	–	–	–	–	–	–
P/E レジューム	1	RA	H'D0	–	–	–	–	–	–	–	–
ステータスレジスタクリア	1	RA	H'50	–	–	–	–	–	–	–	–
ロックビットリード 2	2	RA	H'71	BA	H'D0	–	–	–	–	–	–
ロックビットプログラム	2	RA	H'77	BA	H'D0	–	–	–	–	–	–

【記号説明】

RA：ROM 書き込み／消去用のアドレス
　FENTRY0 が 1 の場合：H'80800000～H'808FFFFF の任意アドレス
　FENTRY1 が 1 の場合：H'80900000～H'809FFFFF の任意アドレス

WA：ROM 書き込み先アドレス
　書き込みデータ 256 バイトの先頭アドレス

BA：ROM 消去ブロックアドレス
　対象消去ブロック内の任意アドレス（書き込み／消去用アドレスで指定）

WDn：書き込みデータ n ワード目（n＝1～128）

23.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード／状態に依存します。**図 23.13** に FCU のモード遷移図を示します。

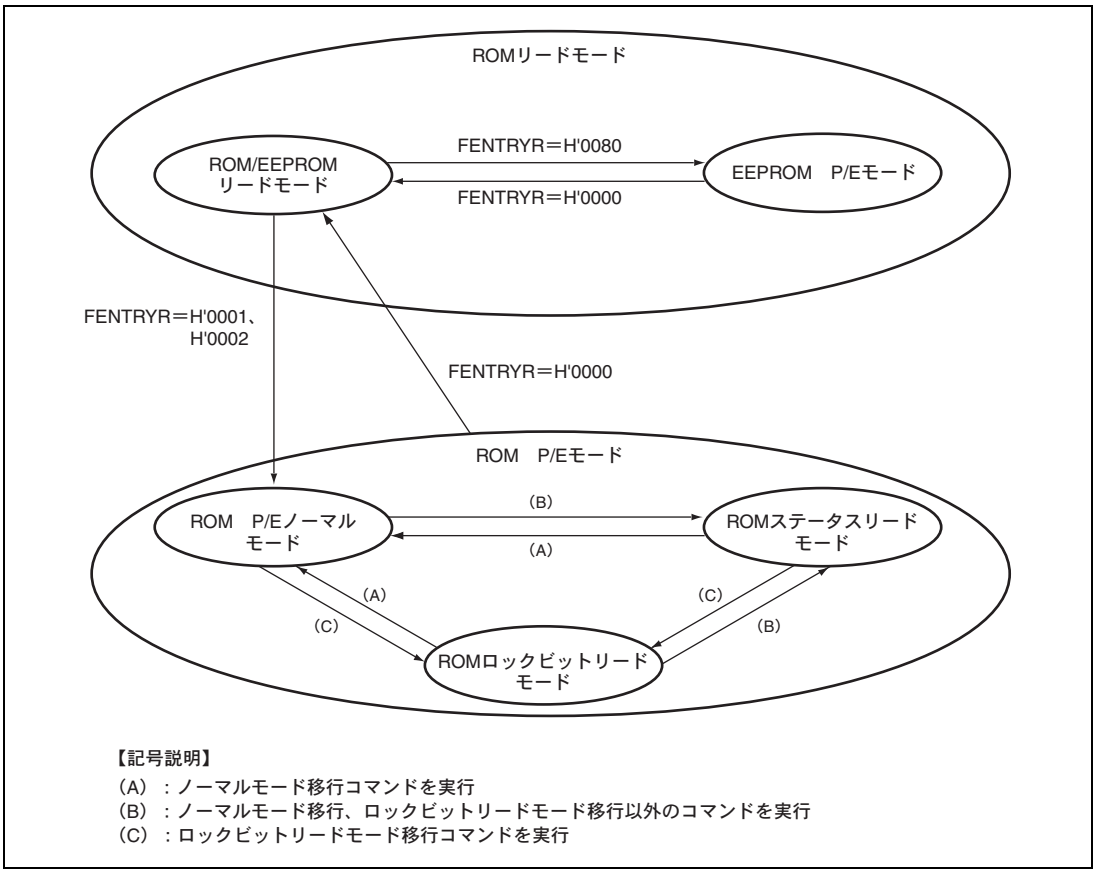


図 23.13 FCU のモード遷移図（ROM 関連）

(1) ROM リードモード

- ROM／EEPROMリードモード

ROMキャッシュ経由でROMを、周辺バス経由でEEPROMを高速読み出し可能なモードです。FCUコマンドは受け付けられません。FENTRYRレジスタのFENTRY1、FENTRY0ビットを00、かつFENTRYDビットを0に設定した場合に、このモードに遷移します。

なお、FENTRYRレジスタのFENTRY1、FENTRY0ビットを1から0に変更しROMリードモードに遷移させる場合は、FENTRY1、FENTRY0ビットに0を書き込み、FENTRYRレジスタのダミーリード後、NOP命令を5個以上実行してください。

- EEPROM P/Eモード

ROMキャッシュ経由でROMを高速読み出し可能なモードです。FCUはEEPROM関連のFCUコマンドを受け付けますが、ROMに対するFCUコマンドは受け付けません。FENTRY1、FENTRY0ビットを00、かつFENTRYDビットを1に設定した場合に、このモードに遷移します。EEPROM P/Eモードの詳細は、「24.6.2 FCUコマンド受け付け条件」を参照してください。

(2) ROM P/E モード

- ROM P/Eノーマルモード

ROMリードモード時にFENTRYDビットを0、かつFENTRY1、FENTRY0ビットのいずれかを1に設定した場合、またはROM P/Eモードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表23.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRY1ビットが1の状態でH'80900000～H'809FFFFFに対してPバスリードアクセスを発行した場合、またはFENTRY0ビットが1の状態でH'80800000～H'808FFFFFに対してPバスリードアクセスを発行した場合には、ROMアクセス違反が発生してFCUはコマンドロック状態になります（「23.8.3 エラープロテクト」を参照）。

- ROMステータスリードモード

ROM P/Eモードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0レジスタのFRDYビットが0の状態やエラー発生後のコマンドロック状態も、ROMステータスリードモード中の状態です。表23.12に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRYRレジスタの値は、ROM P/Eノーマルモードと同じ値です。FENTRY1ビットが1の状態でH'80900000～H'809FFFFFに対してPバスリードアクセスを発行した場合、またはFENTRY0ビットが1の状態でH'80800000～H'808FFFFFに対してPバスリードアクセスを発行した場合には、FSTATR0レジスタの値が読み出されます。

- **ROMロックビットリードモード**

  ROM P/Eモードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。**表23.12**に受け付け可能なコマンドを示します。ROMの高速読み出しは実行できません。FENTRYRレジスタの値は、ROM P/Eノーマルモードと同じ値です。FENTRY1ビットが1の状態でH'80900000～H'809FFFFFに対してPバスリードアクセスを発行した場合、またはFENTRY0ビットが1の状態でH'80800000～H'808FFFFFに対してPバスリードアクセスを発行した場合には、読み出しデータの全ビットがアクセス先の消去ブロックのロックビット値になります。

表 23.12 に ROM P/E モードの各モード／状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（「**23.8.3　エラープロテクト**」を参照）。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタの FRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタの FCUERR、FRDTCT、FRCRCT ビットの値を確認した後に FCU コマンドを発行してください。FASTAT レジスタの CMDLK ビットの値は、FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR と FSTATR1 レジスタの FCUERR、FRDTCT、FRCRCT ビットの値の論理和です。このため、CMDLK ビットを確認して FCU のエラー発生状況を確認することもできます。次ページの**表** 23.12 では、エラー発生状況を表すビットに CMDLK ビットを使用しています。書き込み／消去の処理中、書き込み／中断処理の処理中、ロックビットリード 2 処理中には FSTATR0 レジスタの FRDY ビットが 0 になります。FRDY ビットが 0 の場合で P/E サスペンドコマンドが受け付け可能な状態は、FSTATR0 レジスタの SUSRDY ビットが 1 の場合のみです。

表 23.12 では、表を簡素化するために ERSSPD ビット、PRGSPD ビット、FRDY ビットの値を 0/1 と表記しています。ERSSPD ビットは、消去の中断処理中の場合には 1、書き込みの中断処理中の場合には 0 になります。PRGSPD ビットは、書き込みの中断処理中の場合には 1、消去の中断処理中の場合には 0 になります。コマンドロック状態の FRDY ビットの値は、コマンドロック状態に遷移する前の FRDY ビットの値が保持されます。

表 23.12 FCU のモード／状態と受け付け可能なコマンドの関係

項　　目	P/E ノーマルモード			ステータスリードモード									ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み／消去の処理中	消去サスペンド中の書き込み処理中	書き込み／消去の中断処理中	ロックビットリード 2 処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態（FRDY＝0）	コマンドロック状態（FRDY＝1）	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行（ロックビットリード 1）	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
プログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
ロックビットリード 2	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットプログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○

【記号説明】

○：受け付け可能

△：消去中断したブロック以外への書き込みのみ受け付け可能

×：受け付け不可能

23.6.3 FCU コマンド使用方法

FCU RAM へのファームウェア転送および FCU コマンド発行時のユーザ処理フロー例を示します。本節で紹介するフローでは、FCU コマンド発行前の FCU 状態確認は実施せず、フロー終了前にコマンド実行結果を確認している場合があります。FCU コマンドを確実に受け付けさせたい場合には、フロー開始前に FCU 状態を確認してください（**「23.6.2 FCU コマンド受け付け条件」**を参照）。

本節で紹介するフローでは、FSTATR0 レジスタの FRDY/ILGLERR/ERSERR/PRGERR/SUSRDY/ERSSPD/PRGSPD ビットと FSTATR1 レジスタの FCUERR/FRDTCT/FRCRCT ビットを使用して、FCU のコマンド処理状況とエラー発生状況を確認しています。FSTATR0 と FSTATR1 はワードアクセスで同時に読み出し可能であるため、1 回のレジスタアクセスで FCU の状態を確認できます。FSTATR0 レジスタの FRDY ビットと FASTAT レジスタの CMDLK ビットを使用して FCU の状態を確認する方法を使用する場合には、2 回のレジスタアクセスが必要になりますが、CMDLK ビットのみでエラーの有無を判定可能です。

FCU がコマンド処理中に FCUERR が 1 または FRDCLE/FRCCLE が 1 にセットされた状態で FRDTCT/FRCRCT が 1 にセットされてコマンドロック状態に遷移した場合には、FRDY ビットは 0 を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが 0 から 1 にセットされることはありません。書き込み／消去時間やサスペンド遅延時間（**「第 30 章 電気的特性」**参照）よりも長期間にわたって FRDY が 0 に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FRDCLE/FRCCLE が 1 にセットされた状態で FCU のコマンド処理が完了して FRDY が 1 にセットされた場合には、FCUERR と FRDTCT/FRCRCT は必ず 0 の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR ビット、ERSERR ビット、PRGERR ビットで確認可能です。

（1） FCU RAM へのファームウェア転送方法

FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要があります。チップ起動時には FCU RAM に FCU のファームウェアが格納されていないため、FCU ファーム領域に格納された FCU ファームウェアを FCU RAM にコピーする必要があります。また、FSTATR1 レジスタの FCUERR ビットまたは FRDTCT/FRCRCT ビットが 1 の場合には、FCU RAM に格納されたファームウェアが破壊されている可能性があるため、FCU をリセットし FCU ファームを再コピーする必要があります。

図 23.14（1）、**図 23.14（2）**に FCU RAM へのファームウェア転送フローを示します。FCU RAM にデータを書き込む場合には、FENTRYR レジスタを H'0000 に設定して FCU を停止してください。DMAC 設定方法の詳細は、**「第 10 章 ダイレクトメモリアクセスコントローラ（DMAC）」**を参照してください。

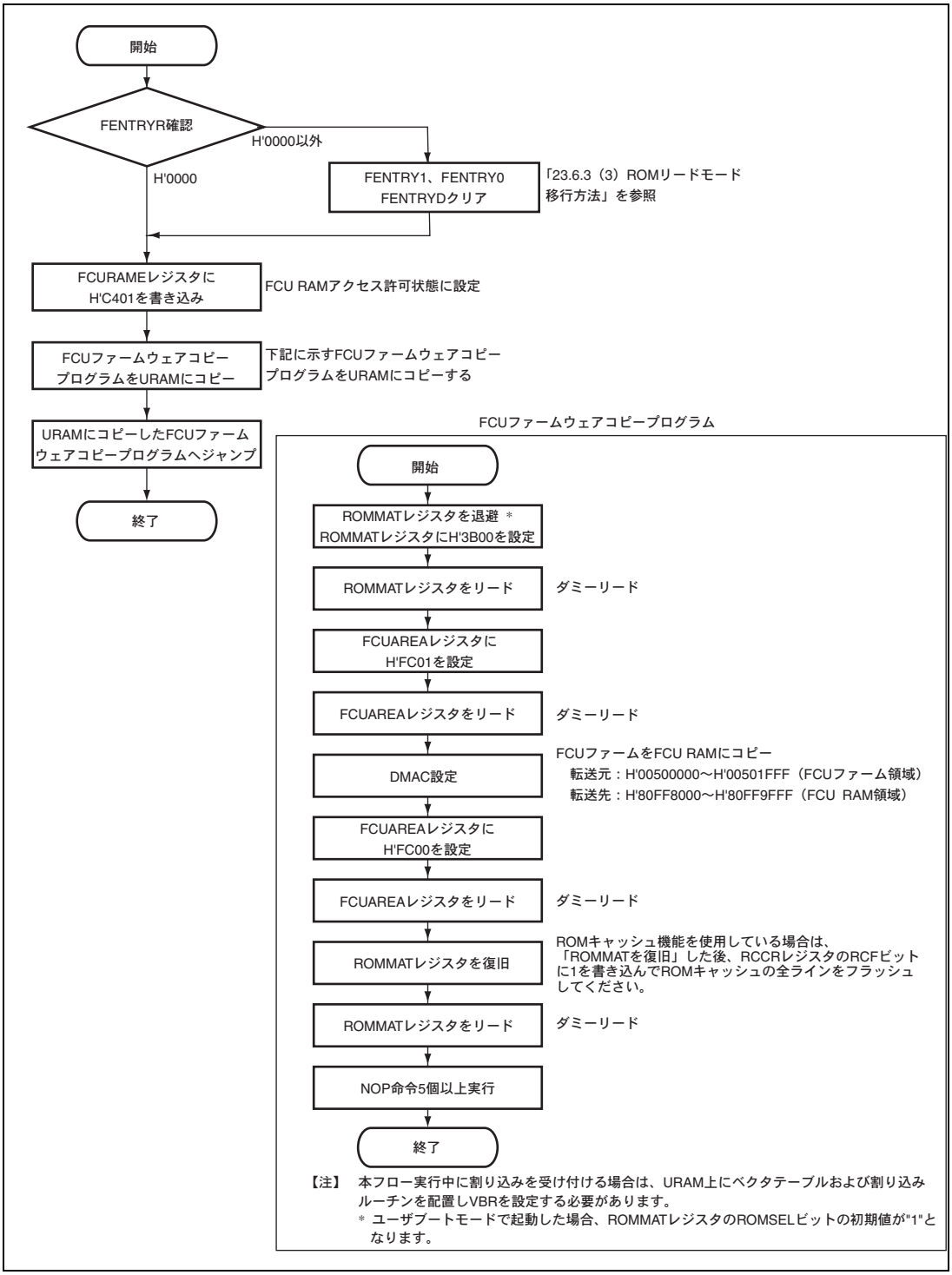


図 23.14（1） FCU RAM へのファームウェア転送フロー1

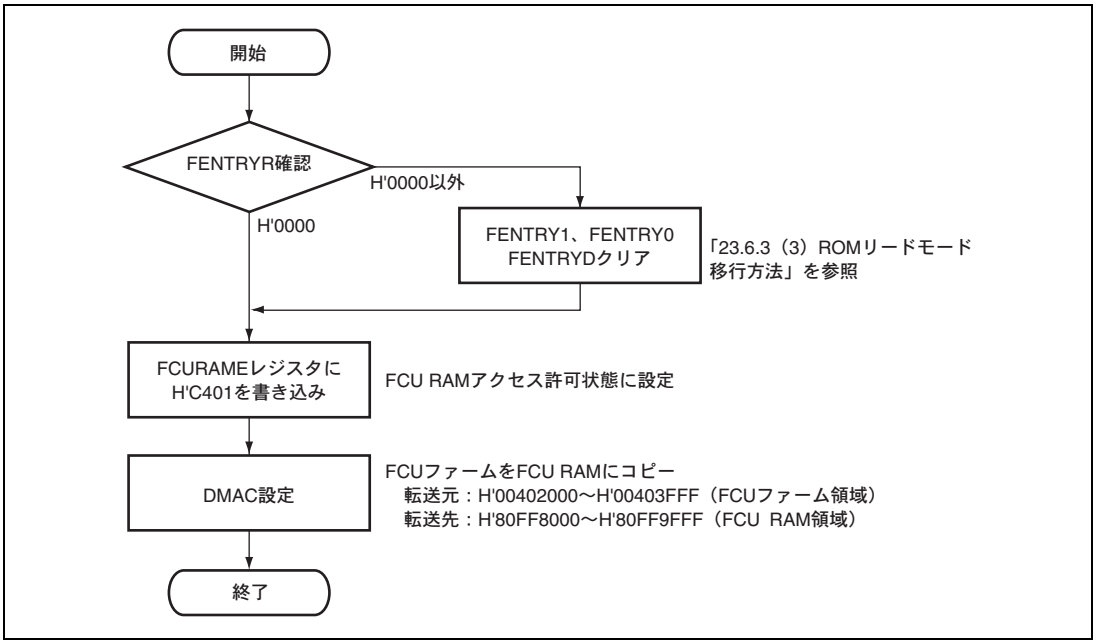


図 23.14（2） FCU RAM へのファームウェア転送フロー2

（2） ROM P/E モード移行方法

ROM 関連の FCU コマンドを実行するためには、FENTRYR レジスタの FENTRY1、FENTRY0 ビットを設定して、FCU を ROM P/E モードに設定する必要があります（「23.6.2 FCU コマンド受け付け条件」を参照）。ROM に対する FCU コマンドを使用したい場合には、対応した FENTRY1、FENTRY0 ビットを 1 に設定します。FENTRY1、FENTRY0 ビットの書き込み条件については、「23.3.10 フラッシュ P/E モードエントリレジスタ（FENTRYR）」を参照してください。

ROM リードモードから ROM P/E モードに移行した場合には、ROM P/E ノーマルモードになります。

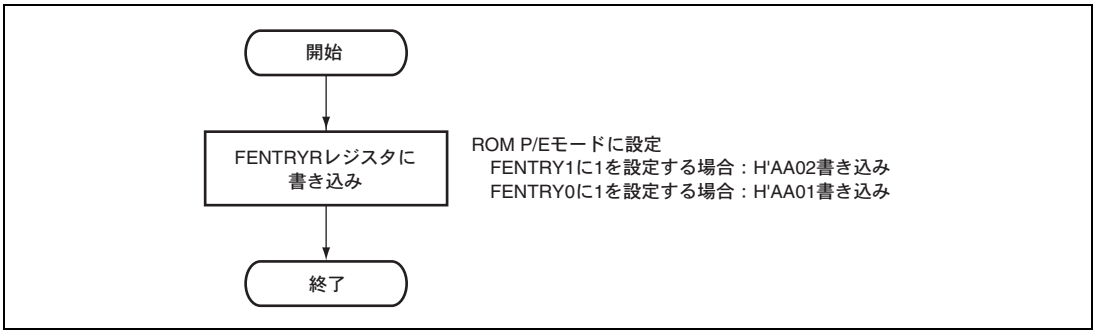
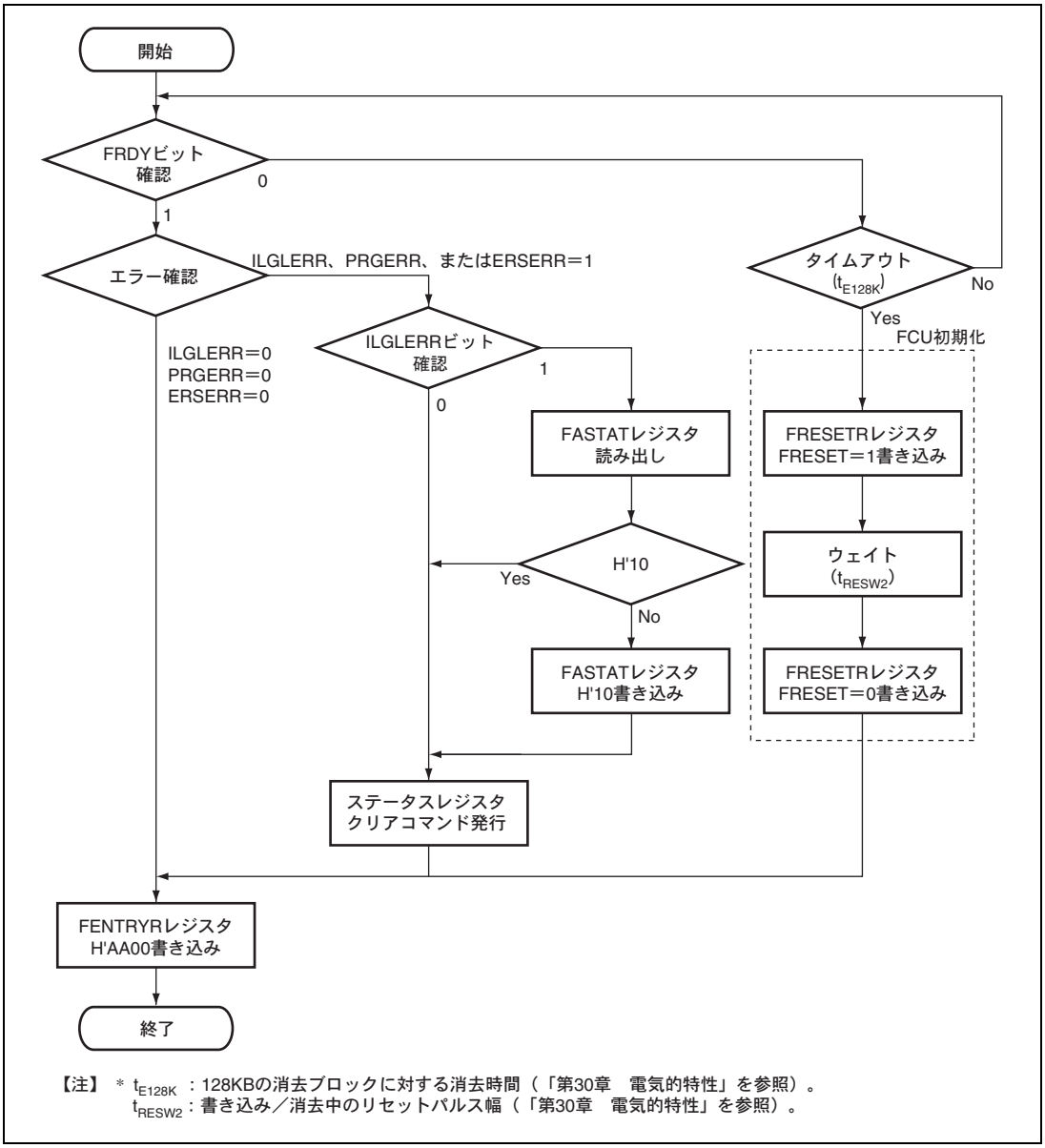


図 23.15 ROM P/E モード移行フロー

（3） ROM リードモード移行方法

ROM キャッシュ経由で ROM を高速読み出しするためには、FENTRYR レジスタの FENTRY1、FENTRY0 ビットをクリアして、FCU を ROM リードモードに設定する必要があります（「23.6.2 FCU コマンド受け付け条件」を参照）。ROM P/E モードから ROM リードモードへの移行は、FCU のコマンド処理が完了し、かつ FCU がエラー検出していない状態で実施してください。



【注】 * t_{E128K} ：128KBの消去ブロックに対する消去時間（「第30章　電気的特性」を参照）。
t_{RESW2}：書き込み／消去中のリセットパルス幅（「第30章　電気的特性」を参照）。

図 23.16　ROM リードモード移行フロー

(4) ROM P/E ノーマルモード移行コマンド使用方法

ROM P/E ノーマルモードへの移行方法には、ROM リードモード時に FENTRYR レジスタを設定する方法（「23.6.3（1）FCU RAM へのファームウェア転送方法」を参照）と ROM P/E モード時にノーマルモード移行コマンドを発行する方法（図 23.17）があります。ステータスリードモード移行、ロックビットリードモード移行コマンドの使用方法もノーマルモード移行コマンドの使用方法と同様です。

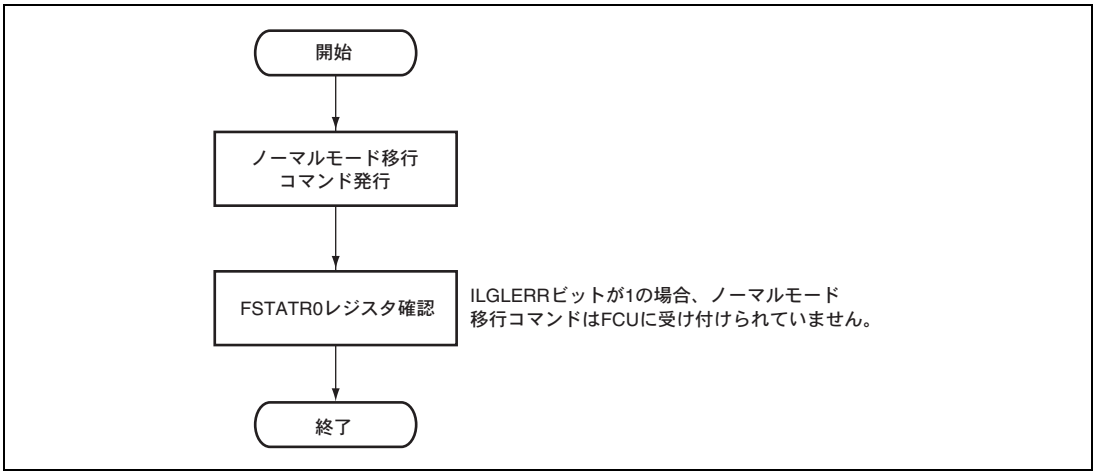


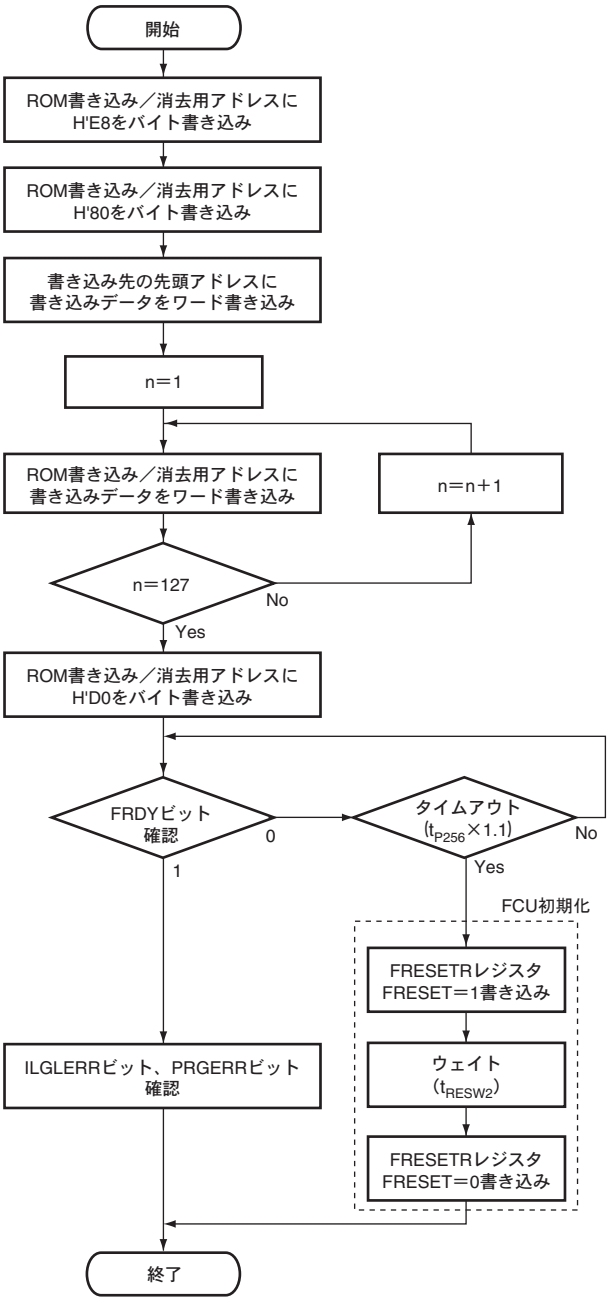
図 23.17 ROM P/E ノーマルモード移行コマンド使用方法

(5) 書き込み方法

ROM へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第 1 サイクルでは H'E8 を、第 2 サイクルでは H'80 を、ROM 書き込み／消去用のアドレスにバイト書き込みします。コマンドの第 3～130 サイクルでは、ワードサイズで P バスアクセスを実行します。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。この際、先頭アドレスは 256 バイト境界にアラインしたアドレスを使用してください。ROM 書き込み／消去用のアドレスに対して 127 回のワード書き込みを実行後、第 131 サイクルで ROM 書き込み／消去用のアドレスに対して H'D0 をバイト書き込みすると FCU が ROM の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 1～第 131 サイクルで指定可能なアドレスは、FENTRYR レジスタの FENTRY1、FENTRY0 ビットの設定によって異なります。FENTRY1 を 1 に設定した場合にはアドレス H'80900000～H'809FFFFF、FENTRY0 を 1 に設定した場合にはアドレス H'80800000～H'808FFFFF を指定可能です。誤った FENTRY1、FENTRY0 ビットとアドレス指定の組み合わせでコマンドを発行した場合には、FCU はエラーを検出しコマンドロック状態になります（「23.8.3 エラープロテクト」を参照）。

第 3～第 130 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFFF にしてください。ロックビットによるプロテクトを無効化して書き込みを実施したい場合には、FPROTR レジスタの FPROTCN ビットを 1 にセットしてから書き込みを行ってください。



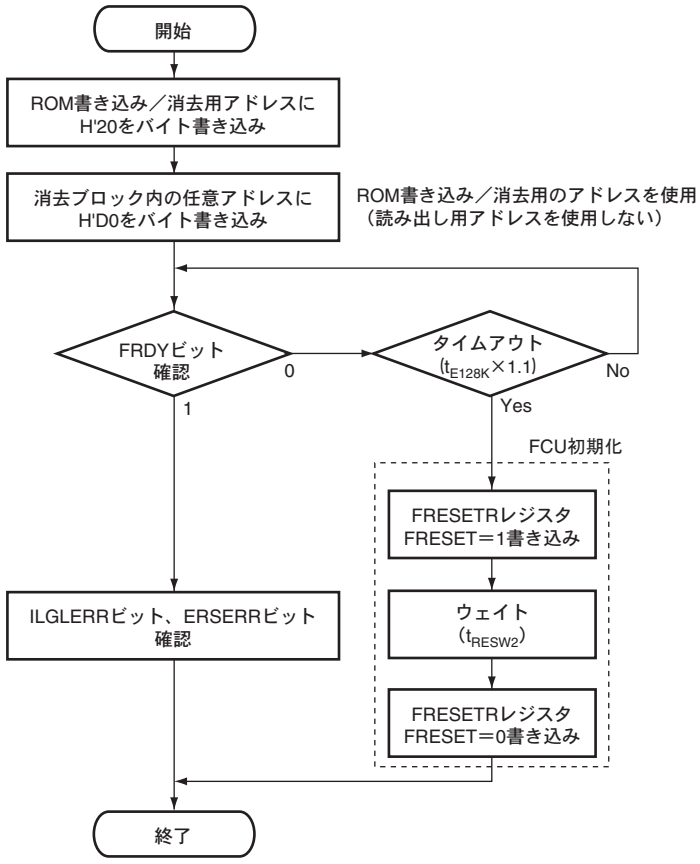
【注】 * t_{P256} ：256Bデータの書き込み時間（「第30章　電気的特性」を参照）。
t_{RESW2}：書き込み／消去中のリセットパルス幅（「第30章　電気的特性」を参照）。

図 23.18　ROM 書き込み方法

(6) 消去方法

ROM の消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドの第 1 サイクルでは H'20 を ROM 書き込み／消去用アドレスにバイト書き込みします。第 2 サイクルで H'D0 を消去対象ブロック内の任意アドレスにバイト書き込みすると FCU が ROM の消去処理を開始します。消去の完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

ロックビットによるプロテクトを無効化して消去を実施したい場合には、FPROTR レジスタの FPROTCN ビットを 1 にセットしてから消去を行ってください。



【注】 ＊ t_{E128K} ：128KBの消去ブロックに対する消去時間（「第30章　電気的特性」を参照）。
t_{RESW2}：書き込み／消去中のリセットパルス幅（「第30章　電気的特性」を参照）。

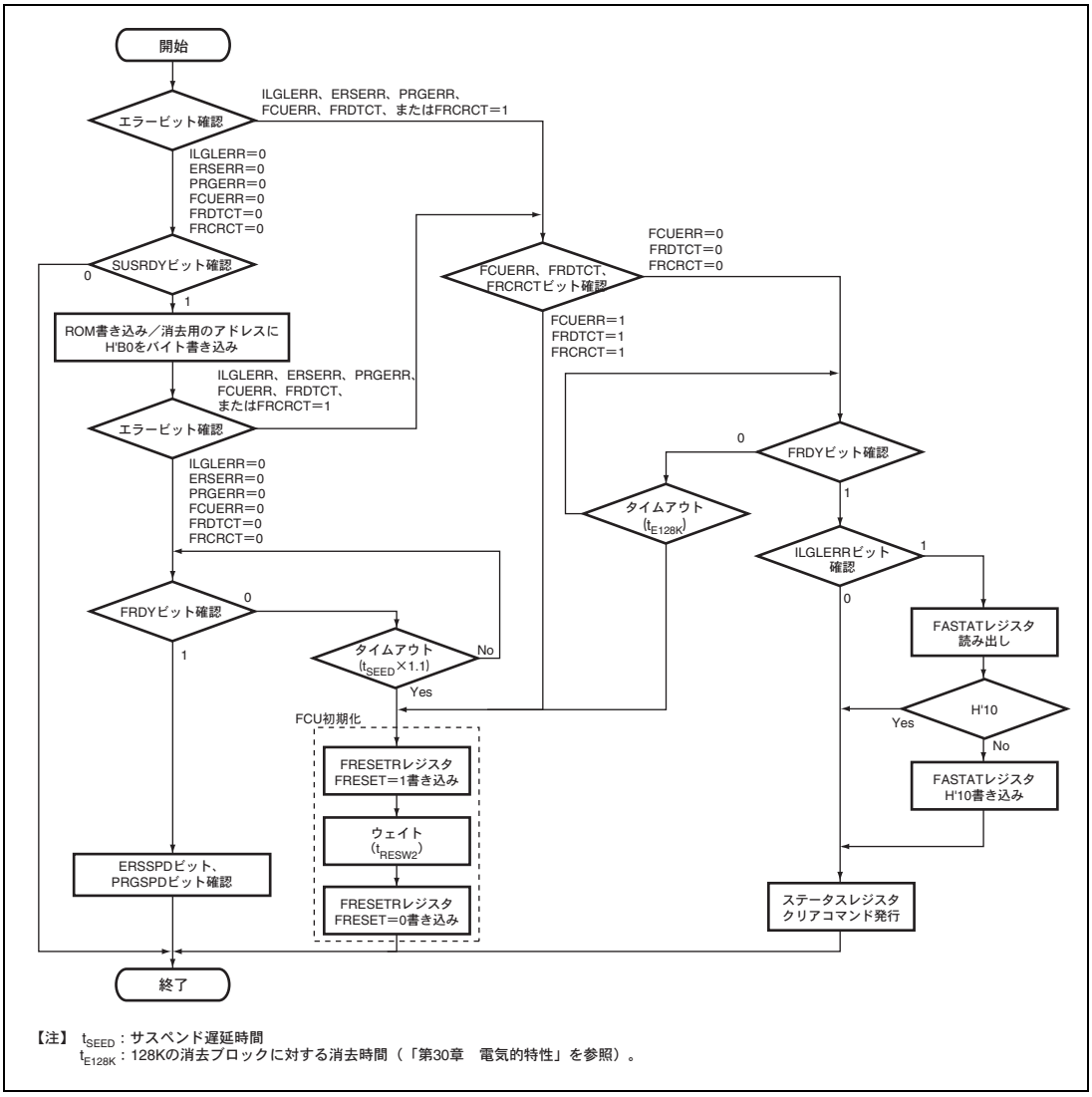
図 23.19　ROM 消去方法

（7） 書き込み／消去のサスペンド方法

ROM の書き込み／消去の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビットと FSTATR1 レジスタの FCUERR/FRDTCT/FRCRCT ビットが 0 で書き込み／消去処理が正常に実行されていることを確認してください。また、サスペンドコマンドが受け付け可能であることを確認するために、FSTATR1 レジスタの SUSRDY ビットが 1 であることも確認してください。P/E サスペンドコマンドの発行後は、FSTATR0 レジスタと FSTATR1 レジスタを読み出してエラーが発生していないことを確認してください。書き込み／消去処理中に異常が発生した場合には、ILGLERR/PRGERR/ERSERR/FCUERR/FRDTCT/FRCRCT ビットのうち少なくとも 1 つのビットが 1 になります。また、SUSRDY ビットが 1 であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に書き込み／消去処理が完了していた場合には、発行した P/E サスペンドコマンドが不正コマンドとして検出されるため ILGLERR ビットが 1 になります。P/E サスペンドコマンドの受け付けと書き込み／消去処理の完了が同時であった場合には、エラーは発生せず、サスペンド状態にも遷移しません（FRDY ビットが 1 かつ ERSSPD ビットと PRGSPD ビットが 0）。P/E サスペンドコマンドが受け付けられて、書き込み／消去の中断処理が正常に終了した場合には､FCU がサスペンド状態に遷移して FRDY ビットが 1 かつ ERSSPD ビットまたは PRGSPD ビットが 1 になります。P/E サスペンドコマンドの発行後は、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにもかかわらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生し FCU がコマンドロック状態に遷移します（「23.8.3 エラープロテクト」を参照）。

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができます。また、書き込み／消去サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、ROM リードモードに遷移することも可能です。

なお、P/E サスペンドコマンド受け付け時の FCU 動作の内容については、「23.6.4 サスペンド動作」を参照してください。

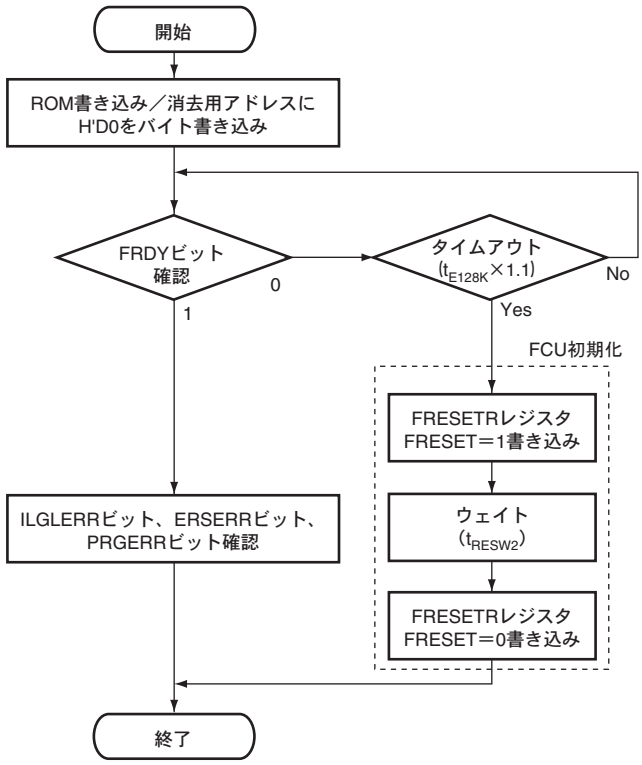


【注】 t_{SEED}：サスペンド遅延時間
t_{E128K}：128Kの消去ブロックに対する消去時間（「第30章　電気的特性」を参照）。

図 23.20　書き込み／消去のサスペンド方法

（8） P/E レジューム

サスペンドした書き込み／消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に FENTRYR を P/E サスペンドコマンド発行直前の値に再設定してください。



【注】 ＊ t_{E128K} ：128KBの消去ブロックに対する消去時間（「第30章　電気的特性」を参照）。
t_{RESW2}：書き込み／消去中のリセットパルス幅（「第30章　電気的特性」を参照）。

図 23.21　書き込み／消去のレジューム方法

（9） ステータスレジスタ 0（FSTATR0）のクリア方法

FSTATR0 レジスタの ILGLERR/PRGERR/ERSERR ビットをクリアしたい場合には、ステータスレジスタクリアコマンドを使用します。ILGLERR/PRGER/ERSERR ビットのいずれかが 1 である場合、FCU はコマンドロック状態になりステータスレジスタクリアコマンド以外の FCU コマンドを受け付けません。ILGLERR ビットが 1 の場合には、FASTAT レジスタの ROMAE、EEPAE、EEPIFE、EEPRPE、および EEPWPE ビットの値も確認してください。これらのビットをクリアせずにステータスレジスタクリアコマンドを発行しても、ILGLERR ビットはクリアされません。

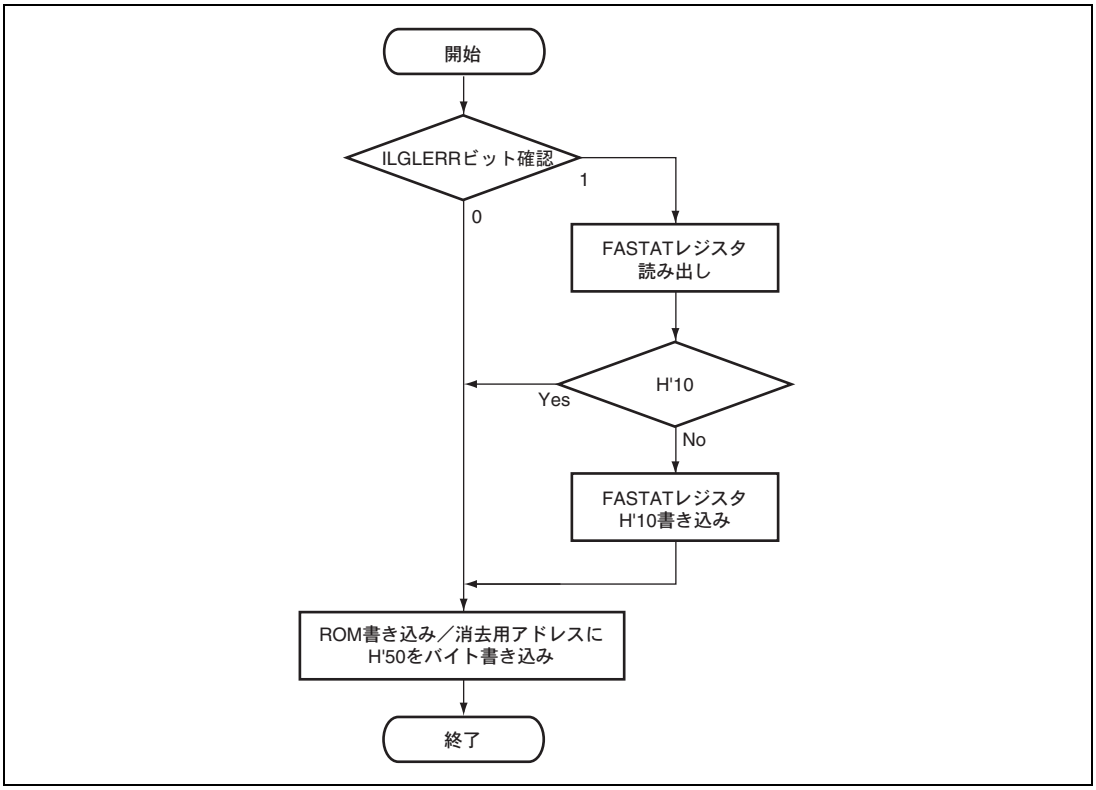


図 23.22 ステータスレジスタ 0 のクリア方法

（10）ステータスレジスタ 0（FSTATR0）の確認方法

FSTATR0 レジスタの確認方法には、FSTATR0 を直接読み出す方法と ROM ステータスリードモードで ROM 書き込み／消去用アドレスを読み出す方法があります。ノーマルモード移行、ロックビットリードモード移行以外の FCU コマンド発行後には、FCU は ROM ステータスリードモードに遷移しています。**図 23.23** の例では、ステータスリードモード移行コマンドを発行して ROM ステータスリードモードに移行し、ROM 書き込み／消去用アドレスを読み出して FSTATR0 の内容を確認しています。

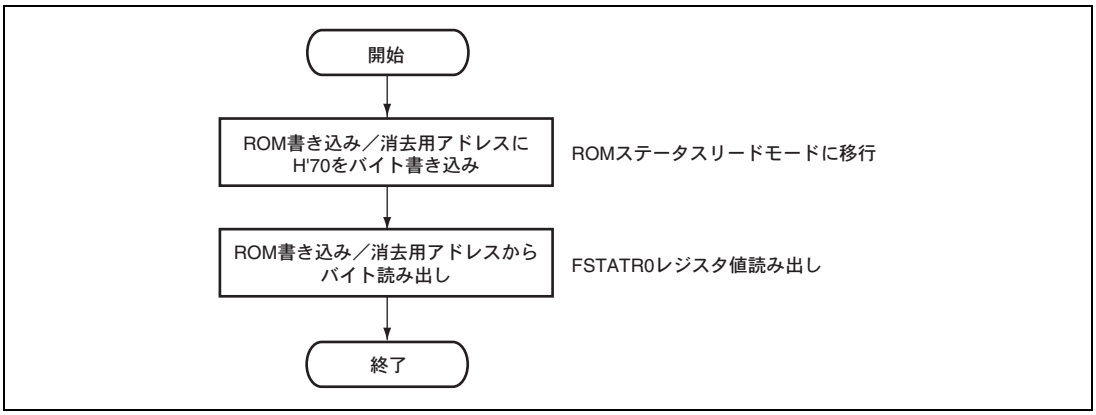


図 23.23　ステータスレジスタ 0 の確認方法

（11）ロックビットの読み出し

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが 0 の状態では、ロックビットが 0 に設定された消去ブロックを書き込み／消去することができません。

ロックビットの確認方法には、メモリ領域リードモードとレジスタリードモードがあります。メモリ領域リードモード（FMODR レジスタの FRDMD ビットが 0）の場合には、ROM ロックビットリードモードで ROM 書き込み／消去用のアドレスに対する読み出しを実行すると、指定した消去ブロックのロックビットが P バス読み出しデータの全ビットにコピーされます。レジスタリードモード（FMODR の FRDMD が 1）の場合には、ロックビットリード 2 コマンドを発行すると、指定した消去ブロックのロックビットが FSTATR1 レジスタの FLOCKST ビットにコピーされます。

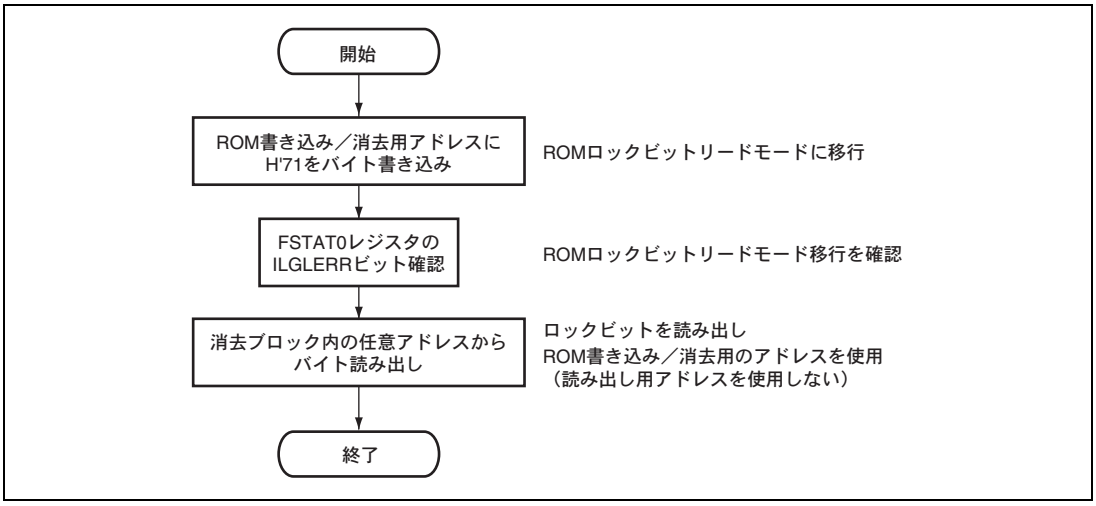


図 23.24　メモリ領域リードモードでロックビットを読み出す方法

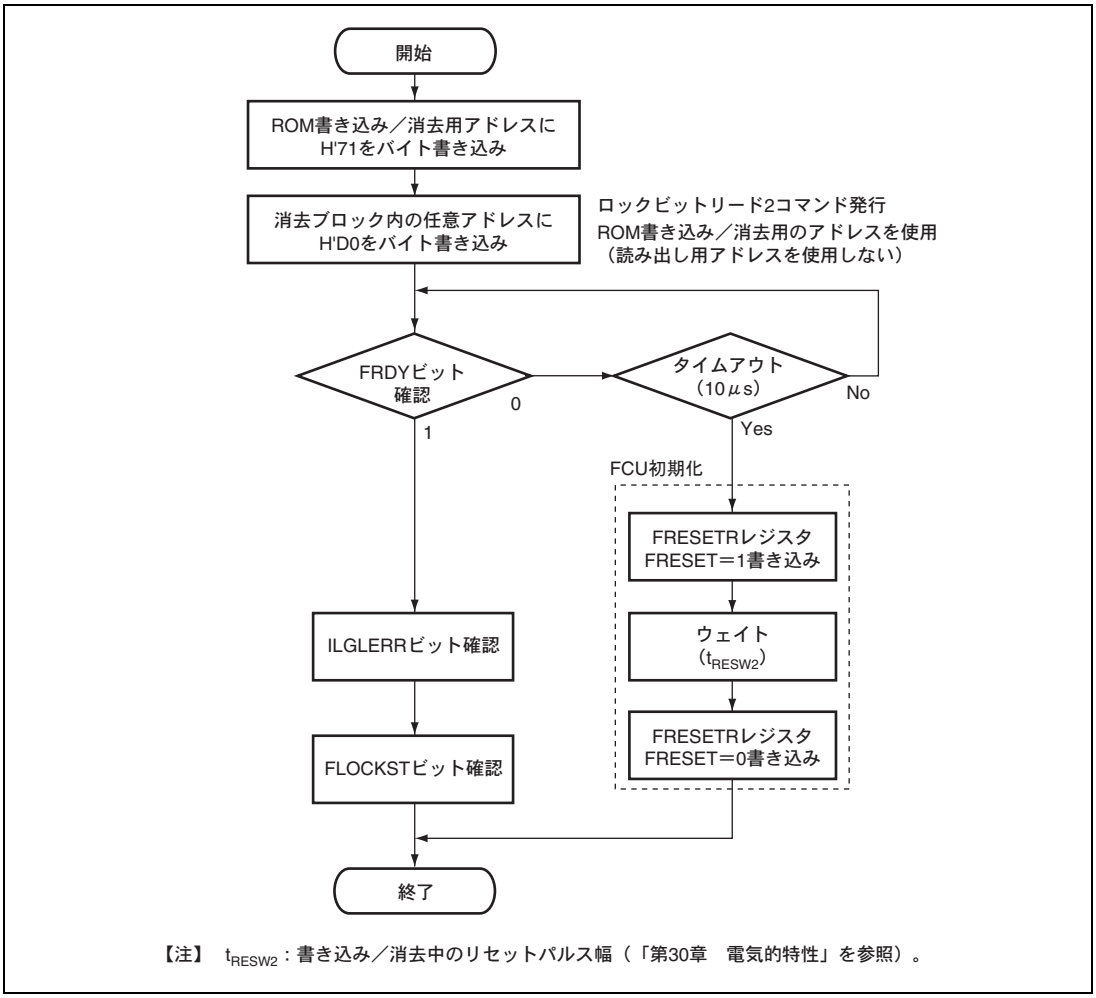


図 23.25　レジスタリードモードでロックビットを読み出す方法

（12）ロックビットの書き込み

ユーザマットの各消去ブロックにはロックビットが内蔵されています。ロックビットに書き込みを行いたい場合にはロックビットプログラムコマンドを使用します。ロックビットプログラムコマンドの第1サイクルではH'77をROM書き込み／消去用アドレスにバイト書き込みします。第2サイクルでロックビットを書き込みたい消去ブロック内の任意アドレスに対してH'D0をバイト書き込みするとFCUがロックビットの書き込み処理を開始します。書き込みの完了は、FSTATR0レジスタのFRDYビットで確認可能です。

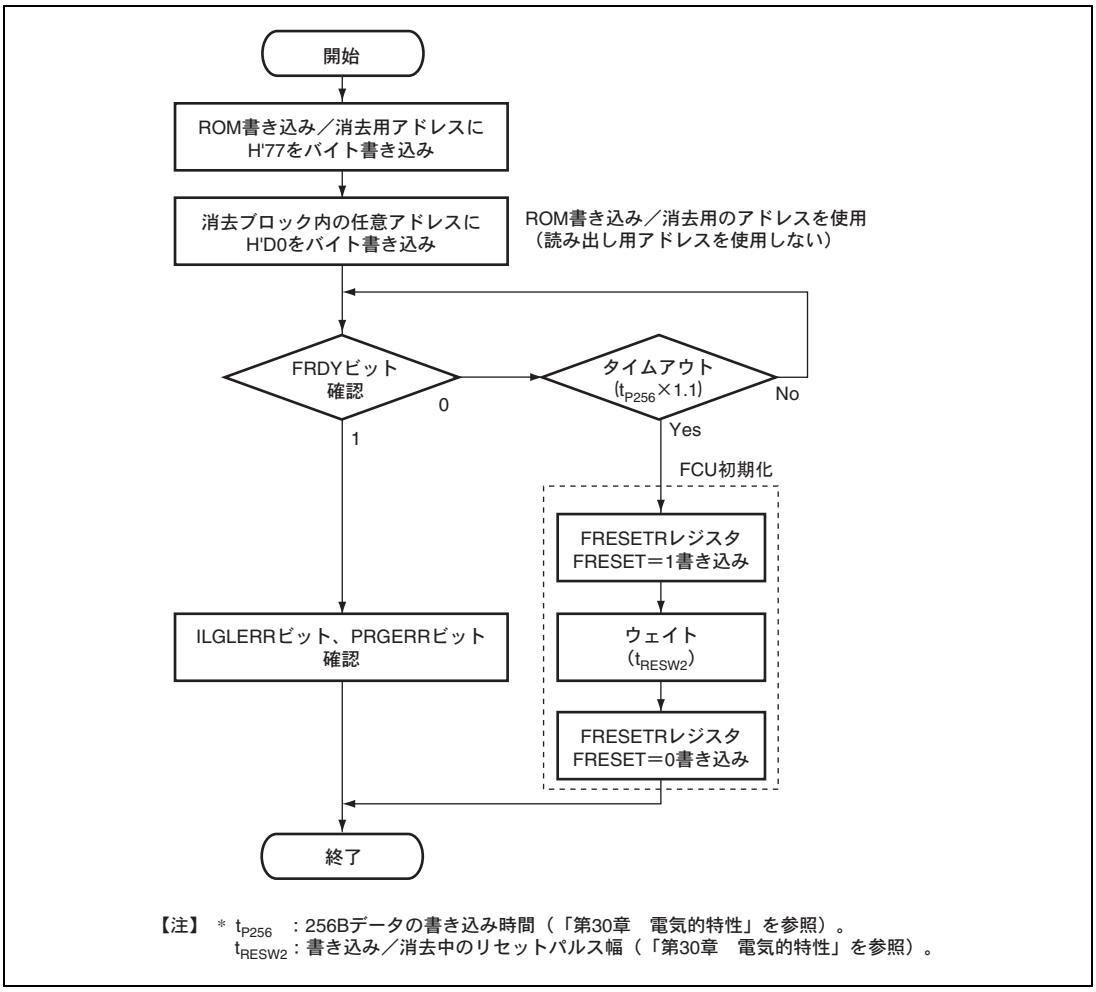


図 23.26 ロックビットのプログラム方法

ロックビットの消去には、ブロックイレーズコマンドを使用します。FPROTRレジスタのFPROTCNビットが0の状態ではロックビットが0に設定された消去ブロックを消去することができません。ロックビットを消去する場合には、FPROTCNビットを1にセットした状態でブロックイレーズコマンドを発行してください。ブロックイレーズコマンドを使用すると消去ブロック内の全データが消去されます。ロックビットのみを消去することはできません。

23.6.4 サスペンド動作

ROM の書き込み／消去中に P/E サスペンドコマンドを発行すると、FCU は書き込み／消去処理を中断します。**図 23.27** に書き込み処理の中断動作を示します。FCU は書き込み系のコマンドを受け付けると FSTATR0 レジスタの FRDY ビットを 0 にクリアして書き込み処理を開始します。書き込み処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、SUSRDY ビットが 1 にセットされます。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットをクリアします。書き込みパルス印加中に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU はパルスの印加を継続します。所定のパルス印加時間を経過すると FCU はパルスの印加を完了し、書き込みの中断処理を開始して PRGSPD ビットを 1 にセットします。中断処理が完了すると、FCU は FRDY ビットを 1 にセットして、書き込みサスペンド状態に遷移します。書き込みサスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと PRGSPD ビットを 0 にクリアして、書き込み処理を再開します。

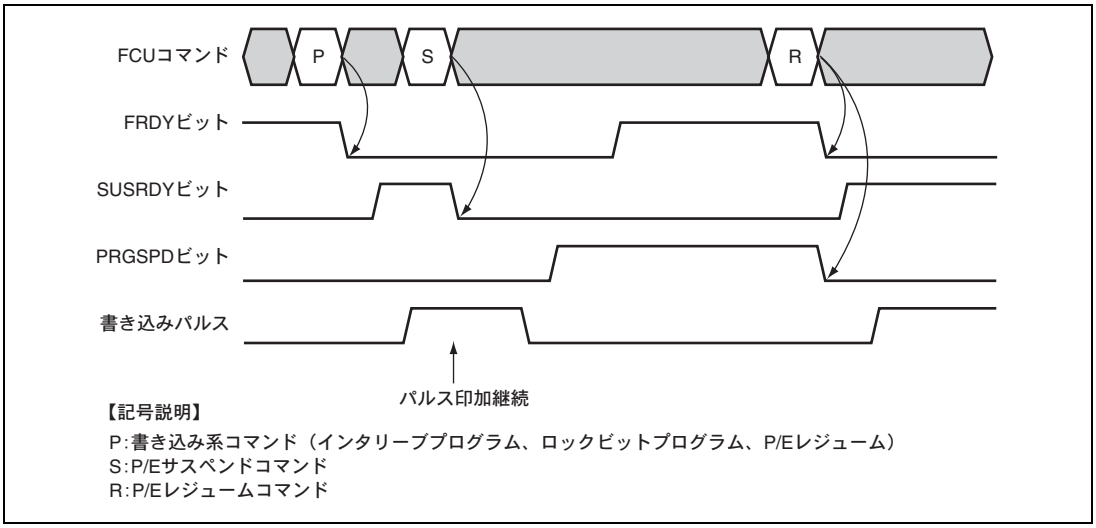


図 23.27 書き込み処理の中断動作

図 23.28 に消去サスペンドモードがサスペンド優先モード（FCPSR レジスタの ESUSPMD ビットが 0）の場合の消去処理の中断動作を示します。FCU は消去系のコマンドを受け付けると FRDY ビットを 0 にクリアして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、SUSRDY ビットが 1 にセットされます。P/E サスペンドコマンドが発行されると、FCU はサスペンドコマンドを受け付けて SUSRDY ビットをクリアします。消去処理中にサスペンドコマンドを受け付けた場合には、FCU はパルス印加中でも中断処理を開始して ERSSPD ビットを 1 にセットします。中断処理が完了すると、FCU は FRDY ビットを 1 にセットして、消去サスペンド状態に遷移します。消去サスペンド状態で、FCU が P/E レジュームコマンドを受け付けた場合には、FCU は FRDY ビットと ERSSPD ビットを 0 にクリアして、消去処理を再開します。消去処理の中断／再開時の FRDY ビット／SUSRDY ビット／ERSSPD ビット動作は、消去サスペンドモードに依存せず同様です。

消去サスペンドモードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に遷移します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、FCU が P/E サスペンドコマンドを受け付けた場合には、FCU は消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、FCU は消去パルスの印加を完了して消去サスペンド状態に遷移します。次に FCU が P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び FCU が P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできる場合があります。

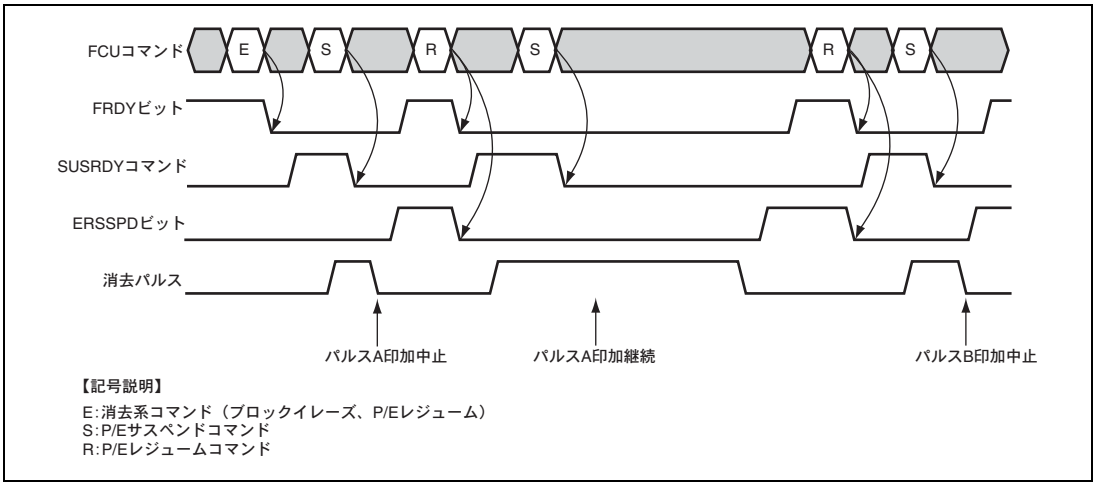


図 23.28 消去処理の中断動作（サスペンド優先モード）

図 23.29 に消去優先モード（FCPSR レジスタの ESUSPMD ビットが 1）の場合の消去処理の中断動作を示します。消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

FCU が消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、必ず消去パルスの印加を継続します。このモードでは消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

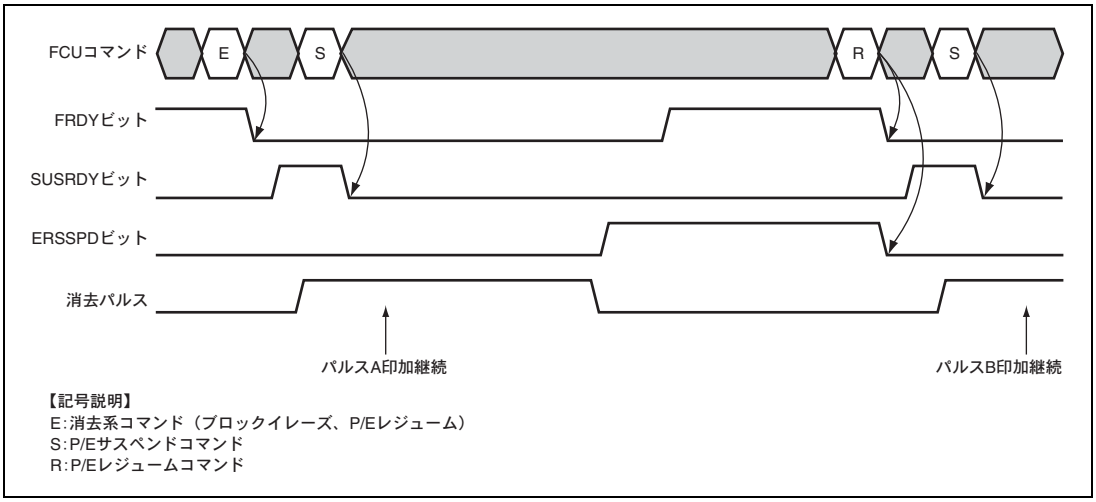


図 23.29　消去処理の中断動作（消去優先モード）

23.7 ユーザブートモード

ユーザブートモードでは、FCU へ FCU コマンドを発行してユーザマットの書き込み／消去を実行します。任意の通信インタフェースによる ROM の書き込み／消去ルーチンをユーザブートマットに書き込んだ後にユーザブートモードで本 LSI を起動することによって、ユーザ任意のブートモードを実現できます。ユーザブートマットの書き込みは、ブートモードで実施してください。

23.7.1 ユーザブートモードの起動シーケンス

本 LSI をユーザブートモードで起動すると、組み込みプログラム格納マットから起動して、FCU RAM への FCU ファーム転送などの処理を実施後、ユーザブートマットのリセットベクタにジャンプします。図 23.30 にブートシーケンスの概要を示します。

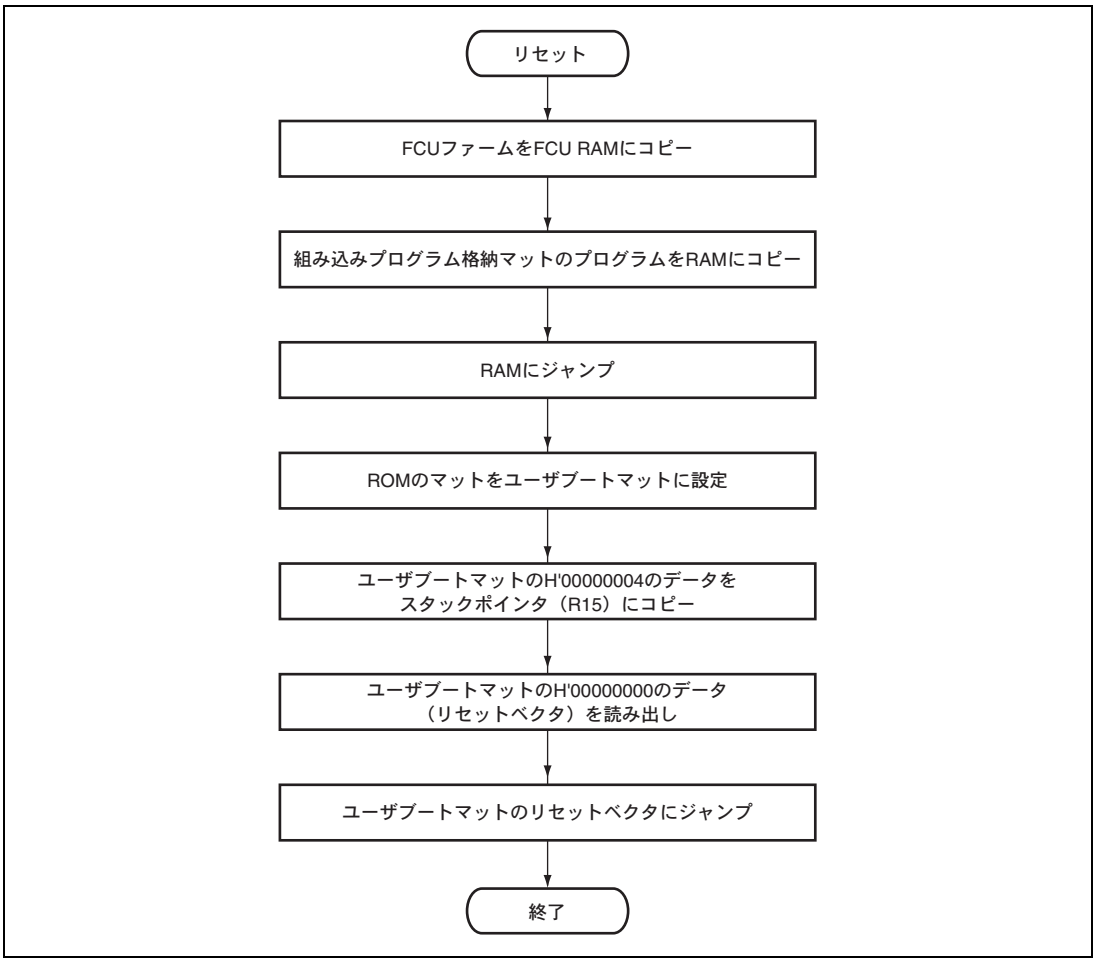


図 23.30 ユーザブートモードのブートシーケンス概要

23.7.2 ユーザマットのプログラミング方法

ユーザブートマットにユーザが作成したユーザマット書き込み／消去ルーチンを格納した状態で、本 LSI をユーザブートモードで起動することにより、ユーザマットのプログラミングを実施することができます。ユーザマット書き込み／消去ルーチンは、RAM にコピーした後に RAM 上で実行してください。ユーザブートモードの初期状態ではユーザブートマットが選択されていますので、必ず ROM のマットをユーザマットに切り替えてからプログラミングを実行してください。ユーザブートマット選択状態で ROM の書き込み／消去用の FCU コマンドを発行しても、FCU は ROM の書き込み／消去を実行しません。図 23.31 にユーザマットのプログラミング用のフロー例を示します。

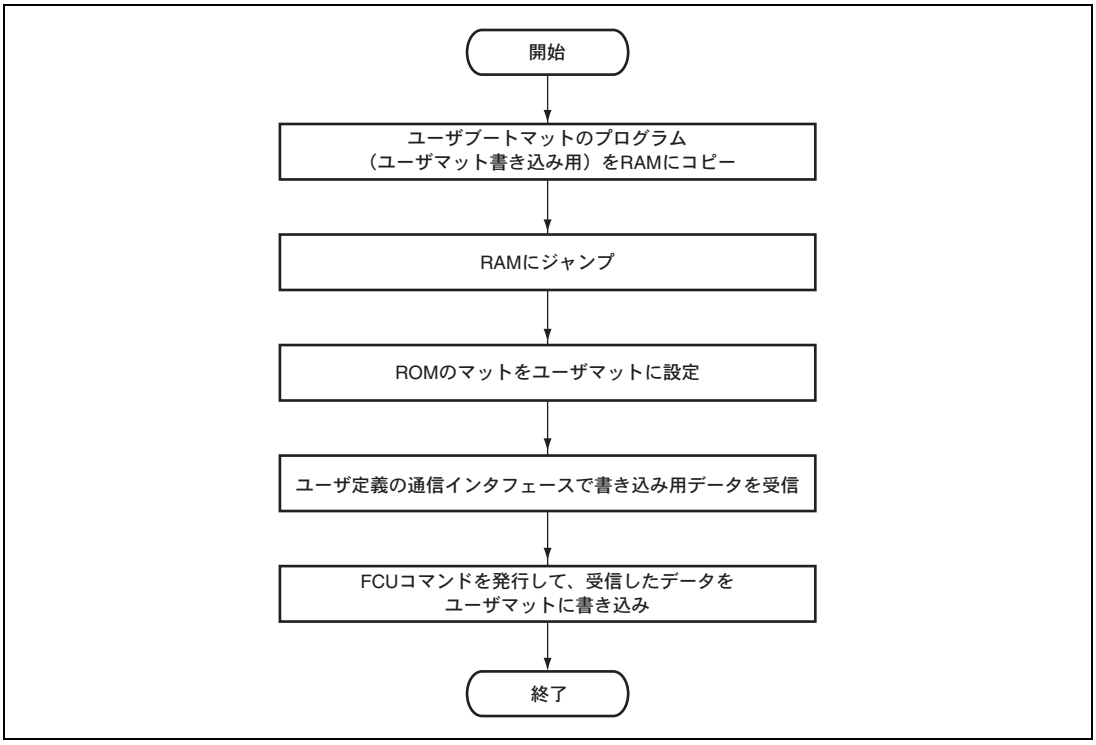


図 23.31 ユーザマットのプログラミング例

23.8 プロテクト

ROM に対する書き込み／消去のプロテクトには、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類があります。

23.8.1 ハードウェアプロテクト

ハードウェアプロテクトは、チップ端子の設定によって ROM に対する書き込み／消去が禁止された状態です。

(1) MDA 端子によるプロテクト

MDA 端子にローレベルが入力されている状態では、FPMON レジスタの MDA ビットが 0 になります。MDA ビットが 0 の場合には、FENTRYR レジスタの FENTRY1、FENTRY0 ビットに 1 を書き込めません。ROM P/E モードに移行できないため、ROM の書き込み／消去が禁止された状態になります。

FRDY ビットが 1 かつ MDA 端子がローレベルの状態では、FCU は FENTRY1、FENTRY0 ビットをクリアして ROM の書き込み／消去を禁止します。MDA 端子をローレベルに変更した時点で FSTATR0 レジスタの FRDY ビットが 0 の場合には、FCU はコマンド処理を継続します。コマンド処理を継続している状態でも、FCU は P/E サスペンドを受け付け可能です。書き込み／消去を再開する場合には、FENTRY1、FENTRY0 ビットをクリア前の設定値に再設定して P/E レジュームコマンドを発行してください。

MDA 端子によるプロテクトに違反して、ROM に対する書き込み／消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(2) モード端子によるプロテクト

本 LSI の動作モードと端子設定の関係は**「第 3 章　動作モード」**を参照してください。ユーザブートモード／ユーザプログラムモードの場合には、ユーザブートマットの書き込み／消去は禁止された状態になります。

23.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定やユーザマットのロックビット設定によって ROM に対する書き込み／消去が禁止された状態です。ソフトウェアプロテクトに違反して、ROM に対する書き込み／消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

(1) FENTRYR によるプロテクト

FENTRYR レジスタの FENTRY1 ビットが 0 の場合には、ROM 1MB（読み出し用アドレス：H'00100000～H'001FFFFF、書き込み／消去用アドレス：H'80900000～H'809FFFFF）は ROM リードモードになります。FENTRY0 ビットが 0 の場合には、ROM 1MB（読み出し用アドレス：H'00000000～H'000FFFFF、書き込み／消去用アドレス：H'80800000～H'808FFFFF）は ROM リードモードになります。ROM リードモードでは FCU コマンドが受け付けられないため、ROM の書き込み／消去は禁止状態になります。ROM リードモードで FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります（「23.8.3 エラープロテクト」を参照）。

(2) ロックビットによるプロテクト

ユーザマットの各消去ブロックにはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが 0 の場合には、ロックビットが 0 に設定された消去ブロックに対する書き込み／消去は禁止状態になります。ロックビットが 0 に設定された消去ブロックを書き込み／消去したい場合には、FPROTCN ビットを 1 に設定してください。ロックビットによるプロテクトに違反して、ROM に対する書き込み／消去系コマンドを発行すると、FCU は書き込み／消去エラーを検出してコマンドロック状態になります（「23.8.3 エラープロテクト」を参照）。

23.8.3 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行／禁止アクセスの発生／FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態（コマンドロック状態）です。FCU をコマンドロック状態にすることにより、ROM の書き込み／消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが 1 の場合には、FCU がコマンドロック状態（FASTAT レジスタの CMDLK ビットが 1）になるとフラッシュインタフェースエラー（FIFE）割り込みが発生します。また、FAEINT レジスタの ROMAEINT が 1 の場合には、FASTAT レジスタの ROMAE ビットが 1 になると FIFE 割り込みが発生します。

表 23.17 に ROM 専用および ROM と EEPROM 共通のエラープロテクト内容とエラー検出後のステータスビット値（FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FSTATR1 レジスタの FCUERR/FRDTCT/FRCRCT ビット、FASTAT レジスタの ROMAE ビット）の関係を示します。書き込み／消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み／消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み／消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は 1 になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 23.13 エラープロテクト一覧

分類	内　　容	ILGLERR	ERSERR	PRGERR	FCUERR	FRDTCT	FRCRCT	ROMAE
FENTRYR 設定エラー	FENTRYR レジスタに H'0001、H'0002、H'0080 以外の値を設定	1	0	0	0	0	0	0
	サスペンド時とレジューム時で FENTRYR レジスタ設定が不一致	1	0	0	0	0	0	0
不正コマンドエラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0	0	0
	書き込み／消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0	0	0
	書き込み／消去以外の処理中にサスペンドコマンドを発行	1	0	0	0	0	0	0
	サスペンド状態でサスペンドコマンドを発行	1	0	0	0	0	0	0
	サスペンド以外の状態でレジュームコマンドを発行	1	0	0	0	0	0	0
	書き込みサスペンド状態で書き込み／消去系（プログラム／ロックビットプログラム／ブロックイレーズ）コマンドを発行	1	0	0	0	0	0	0
	消去サスペンド状態でブロックイレーズコマンド発行	1	0	0	0	0	0	0
	消去サスペンド状態で消去サスペンド対象領域へのプログラム／ロックビットプログラムコマンドを発行	1	0	0	0	0	0	0
	プログラムコマンドの 2 サイクル目で H'80 以外を指定	1	0	0	0	0	0	0
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1※1	0/1※2	0/1
消去エラー	消去処理中のエラー発生	0	1	0	0	0	0	0
	FPROTR レジスタの FPROTCN ビットが 0 の場合に、ロックビットが 0 に設定された消去ブロックにブロックイレーズコマンドを発行	0	1	0	0	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	1	0	0	0	0
	FPROTR レジスタの FPROTCN ビットが 0 の場合に、ロックビットが 0 に設定された消去ブロックに対してプログラム／ロックビットプログラムコマンドを発行	0	0	1	0	0	0	0
FCU エラー	FCU 内部の CPU 処理でエラー発生	0	0	0	1	0	0	0
FCU RAM ECC エラー	FCU RAM 読み出し時に 1 ビット誤り訂正発生	0	0	0	0	0	1	0
	FCU RAM 読み出し時に 2 ビット誤り検出発生	0	0	0	0	1	0	0

分類	内　　容	ILGLERR	ERSERR	PRGERR	FCUERR	FRDTCT	FRCRCT	ROMAE
ROM アクセス違反	FENTRY1＝1 かつ ROM P/E ノーマルモードの場合に、H'80900000～H'809FFFFF に対するリードアクセスを発行	1	0	0	0	0	0	1
	FENTRY0＝1 かつ ROM P/E ノーマルモードの場合に、H'80800000～H'808FFFFF に対するリードアクセスを発行	1	0	0	0	0	0	1
	FENTRY1＝0 で H'80900000～H'809FFFFF に対するアクセスを発行	1	0	0	0	0	0	1
	FENTRY0＝0 で H'80800000～H'808FFFFF に対するアクセスを発行	1	0	0	0	0	0	1
	FENTRYR レジスタが H'0000 以外の状態で、H'00000000～H'001FFFFF に対してリードアクセスを発行	1	0	0	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み／消去系コマンド（プログラム／ロックビットプログラム／ブロックイレーズ）を発行	1	0	0	0	0	0	1
	ユーザブートマット選択時に ROM 書き込み／消去用アドレス H'80800000～H'80807FFF 以外に対するアクセスを発行	1	0	0	0	0	0	1

【注】 *1 FRAMECCR の FRDCLE ビットが 1 にセットされていた場合

*2 FRAMECCR の FRCCLE ビットが 1 にセットされていた場合

23.9 使用上の注意事項

23.9.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットは同じアドレス領域に配置されています。内部バスの状態によって ROM 領域アクセスに要するサイクル数が異なるため、マット切り替え時に ROM 領域をアクセスした場合に常に同一のマットが使用されるとは限らないことに注意してください。また、ROM キャッシュ機能が有効な場合には、マット切り替え後にも ROM キャッシュ内にマット切り替え前のデータが格納されているため、同一アドレスの異なるマットをアクセスした場合にキャッシュヒットする可能性があることに注意してください。これらの注意事項に関連した誤動作を回避するために、マット切り替え前後に以下の処理を実施してください。

1. マット切り替え前に割り込み設定を変更
   マット切り替え時の割り込み発生によるROM領域へのアクセスを回避する方法には、CPUのベクタベースレジスタ（VBR）の設定によって割り込みベクタのフェッチ先をROM領域以外に設定する方法と割り込みをマスクする方法があります。本LSI内部ではNMI割り込みをマスクすることができないため、割り込みをマスクする方法を採用する場合には、マット切り替え時にNMI割り込みが発生しないようにシステムを構成してください。
2. マット切り替え処理はROM領域以外のプログラムで実施
   マット切り替え時にROM領域に対するCPUの命令フェッチを発生させないために、マット切り替え処理はROM領域以外の領域で実行してください。
3. ROMMATレジスタのダミーリード
   ROMMATレジスタをライトしてマットを切り替えた後にROMMATレジスタをダミーリードして、レジスタ値の書き換えを完了させてください。
4. マット切り替え時にROMキャッシュをフラッシュ
   RCCRレジスタのRCFビットに1を書き込んでROMキャッシュの全ラインをフラッシュしてください（「第25章　ROMキャッシュ（ROMC）」を参照）。
5. NOP命令を5個以上実行
   ROMMATレジスタのダミーリード後、NOP命令を5個以上実行してください。

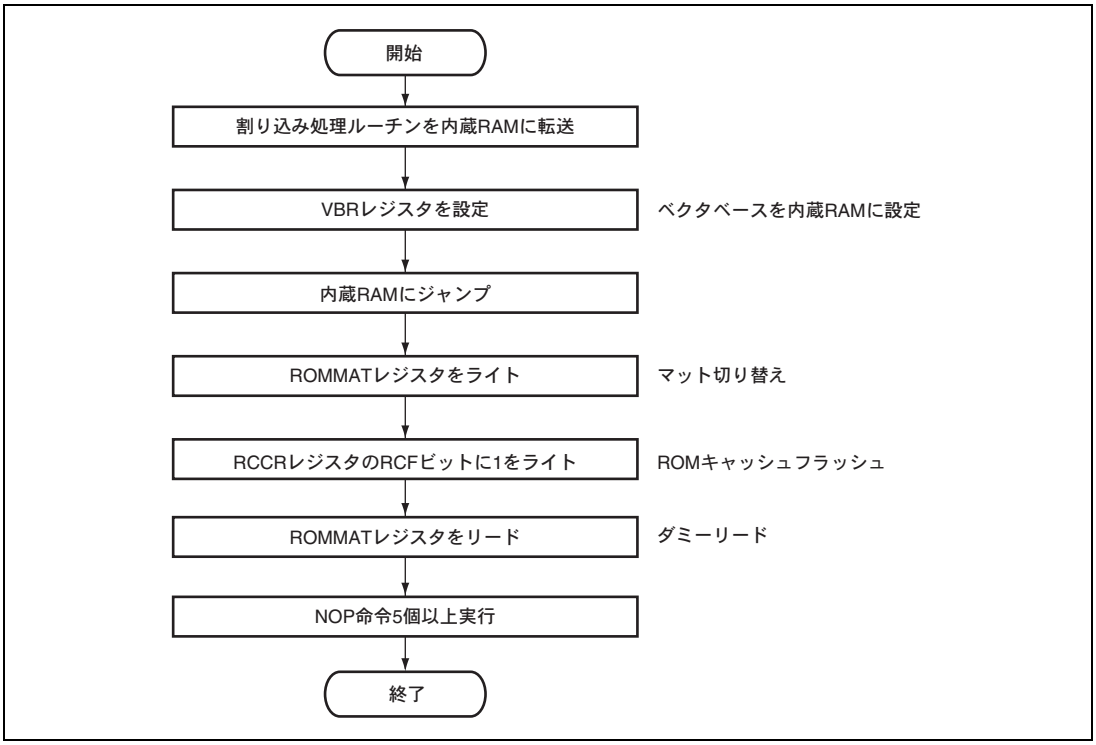


図 23.32 マット切り替え処理例

23.9.2 その他のご注意

（1） 割り込み無視状態

以下の状態では、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マットのプログラムを処理中

（2） キーコード格納領域

ユーザマットの H'00000060～H'00000067 の領域には、ブートモードの認証とオンチップデバッガを使用した場合のデバッグ機能認証用のキーコードを格納します。ブートモード機能およびデバッガ機能を制限したい場合には、この領域にキーコードを書き込んでください。デバッガでキーコードを設定した場合には、この領域にキーコードが書き込まれていますので、サムチェックなどの実行時には注意してください。

（3） 書き込み／消去サスペンド対象領域

書き込み／消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去サスペンド対象領域の命令実行や、データ読み出しが発生しないように注意してください。

ROM キャッシュのプリフェッチによって、書き込み／消去サスペンド対象領域に対する命令フェッチが発生しないようにするために、書き込み／消去サスペンド対象領域の先頭アドレスから 32 バイト以内の領域から命令をフェッチしないように注意してください。

ROM キャッシュのプリフェッチでは、分岐命令の分岐先へのアクセスも実行されます。分岐先が書き込み／消去サスペンド対象領域に該当する可能性がある場合には、ROM キャッシュのプリフェッチ機能を無効化してください。

（4） 従来の F-ZTAT SH マイコンとの書き込み／消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本 LSI では動作しません。

（5） MDA 端子の状態

書き込み／消去処理中に MDA 端子の値が変化しないように注意してください。MDA 端子値がローレベルになった場合でも処理中の書き込み／消去は継続されますが、処理完了後に FENTRYR レジスタがクリアされます。FENTRYR レジスタを再設定せずに新たな FCU コマンドを発行すると、FCU が ROM アクセス違反を検出してコマンドロック状態に遷移します。

(6) 書き込み／消去中のリセット

書き込み／消去処理中にFRESETRレジスタのFRESETビットをセットしてFCUをリセットする場合には、FCUのリセット状態を t_{RESW2}（「第30章　電気的特性」を参照）保持してください。書き込み／消去中のROMには高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するためにFCUのリセット状態を保持する必要があります。FCUをリセットしている期間はROMの読み出しを行わないでください。

書き込み／消去処理中に $\overline{RES}$ 端子のアサートによってパワーオンリセットを発生させた場合には、リセット期間を t_{RESW2}（「第30章　電気的特性」を参照）保持してください。パワーオンリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、ROM用電源の初期化やROM内部回路の初期化に必要な期間を確保する必要があるため、FCUのリセットよりも長期間のリセット状態の保持が必要になります。

書き込み／消去処理中には、WDTのカウンタのオーバフローによる内部リセットは発生しないようにしてください。WDTによるリセットでは、メモリ電圧の降下／ROM用電源の初期化／ROM内部の初期化に必要な期間を確保することができません。

書き込み／消去処理中に、$\overline{RES}$ 端子のアサートによるパワーオンリセット、またはFRESETRレジスタのFRESETビットをセットしてFCUリセットを実行すると、書き込み／消去対象領域の全データは不定となります。

(7) 追加書き込み禁止

同一領域に2回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

(8) 書き込み／消去サスペンドによる中断

書き込み／消去サスペンドコマンドによって書き込み／消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

(9) 書き込み／消去中の電源切断

書き込み／消去処理中に電源を切断しないでください。

書き込み／消去中のROMには高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保する必要があります。そのため、止むを得ず電源が遮断される場合でも、$\overline{HSTBY}$ 端子のアサートによってハードウェアスタンバイ状態にして、スイッチオフ時の V_{CC} と PV_{CC} のホールド時間 t_{VCCH}（「第30章　電気的特性」を参照）を確保してから電源が切断されるように、システム設計を行ってください。

(10) FRDCLEビットの0設定禁止

FSTATR1のFRDTCTビットが1にセットされた場合、FCUのコマンド処理の動作を保証できません。したがって、FRDTCTビットが1にセットされたら必ずコマンドロック状態にさせるため、FRAMECCRのFRDCLEビットを0に設定しないでください。

(11) FCUAREAレジスタのダミーリード

FCUAREAレジスタをライトしてFCUファーム領域の選択状態を変更した後にFCUAREAレジスタをダミーリードして、レジスタ値の書き換えを完了させてください。

（12）ROM リードモード遷移時の注意事項

FENTRYR レジスタの FENTRY1、FENTRY0 ビットを 1 から 0 に変更し ROM リードモードに遷移させる場合は、FENTRY1、FENTRY0 ビットに 0 を書き込み、FENTRYR レジスタのダミーリード後、NOP 命令を 5 個以上実行してください。

24. EEPROM

本 LSI は、32KB のデータ格納用のフラッシュメモリ（EEPROM）を内蔵しています。EEPROM の特長を以下に示します。

24.1 特長

- フラッシュメモリマット

  EEPROMには、同一アドレス空間に配置される2種類のメモリ空間（以下メモリマットと呼びます）があり、制御レジスタを使用したバンク切り替えでマットを切り替えることができます。製品情報マット選択時の場合でも、H'80100080～H'80107FFF領域を読み出すとデータマットの内容が読み出されます。製品情報マットは書き込み／消去できません。

  データマット：32KB

  製品情報マット：128バイト

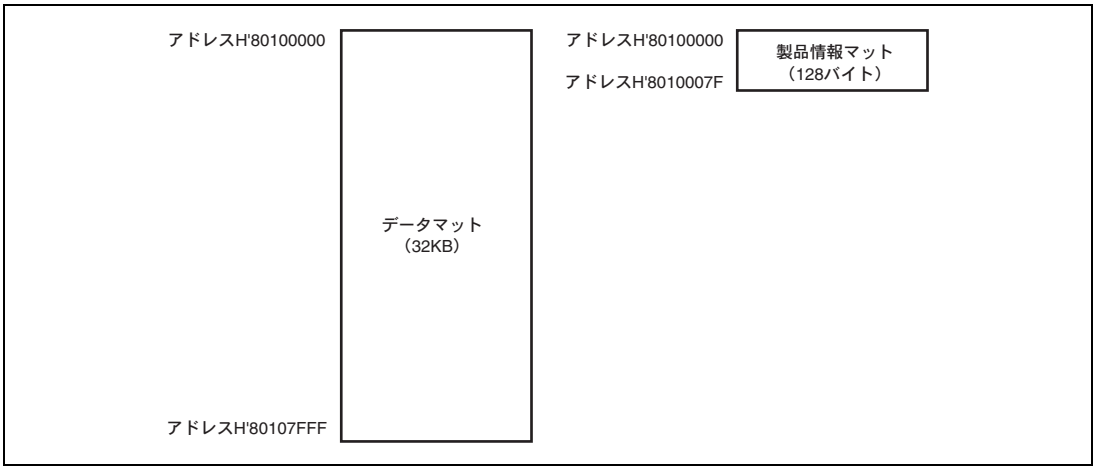


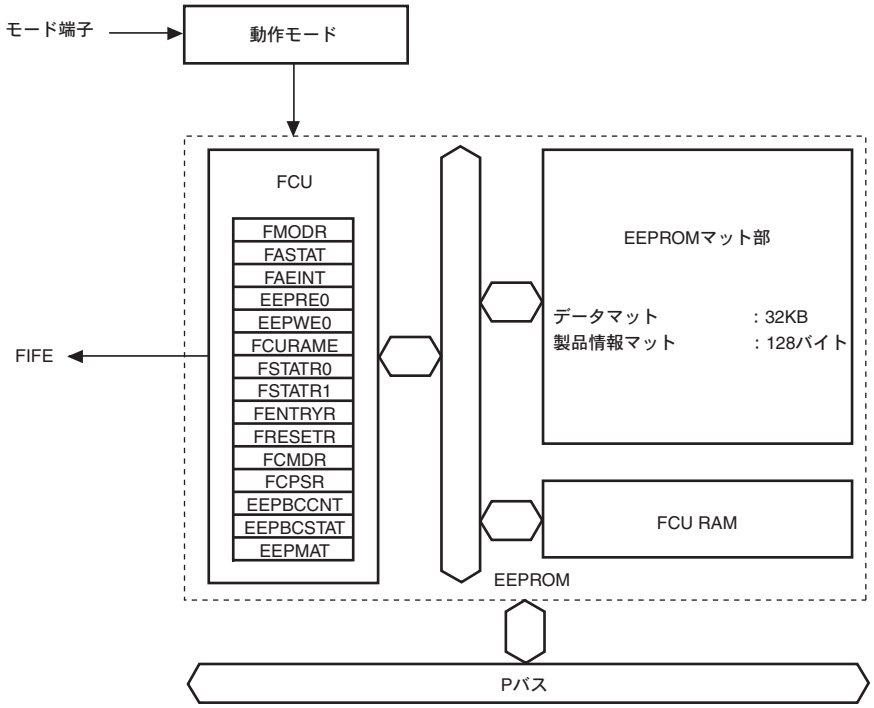
図 24.1 EEPROM のメモリマット構成

- 周辺バス（Pバス）経由で読み出し可能

  データマット、製品情報マットともに、周辺クロック（Pφ）が16～20MHzの場合、ワード、バイトアクセス時には3Pφサイクル、ロングワードアクセス時には5Pφサイクルで、Pバス経由の読み出しが可能です。周辺クロック（Pφ）が32～40MHzの場合、ワード、バイトアクセス時には4Pφサイクル、ロングワードアクセス時には7Pφサイクルで、Pバス経由の読み出しが可能です。

- 書き込み／消去方式

  周辺バス（Pバス）経由でROM／EEPROM専用のシーケンサ（FCU）にコマンドを発行することにより、データマットの書き込み／消去を実行可能です。FCUがデータマットの書き込み／消去を実行している期間でも、CPUはROM／RAMの領域に配置したプログラムを実行可能です。FCUがROM／データマットの書き込み／消去を実行している期間に、データマットを読み出すことはできません。FCUによるデータマット書き込み／消去動作を中断してCPUでデータマットを読み出した後、データマット書き込み／消去を再開することは可能です。消去を中断した場合には、中断した消去の対象ではない領域に書き込みを実施することも可能です。



【記号説明】

FMODR	：フラッシュモードレジスタ
FASTAT	：フラッシュアクセスステータスレジスタ
FAEINT	：フラッシュアクセスエラー割り込み許可レジスタ
EEPRE0	：EEPROM読み出し許可レジスタ0
EEPWE0	：EEPROM書き込み／消去許可レジスタ0
FCURAME	：FCU RAMイネーブルレジスタ
FSTATR0、1	：フラッシュステータスレジスタ0、1
FENTRYR	：フラッシュP/Eモードエントリレジスタ
FRESETR	：フラッシュリセットレジスタ
FCMDR	：FCUコマンドレジスタ
FCPSR	：FCU処理切り替えレジスタ
EEPBCCNT	：EEPROMブランクチェック制御レジスタ
EEPBCSTAT	：EEPROMブランクチェックステータスレジスタ
EEPMAT	：EEPROMマット選択レジスタ
FIFE	：フラッシュインタフェースエラー割り込み

図 24.2 EEPROM のブロック図

- 書き込み／消去単位

  ユーザモード／ユーザプログラムモード／ユーザブートモードでのデータマットの書き込み単位は8バイトまたは128バイト、消去単位はブロック単位（8KB）です。ブートモードでのデータマット書き込み単位は256バイト、消去単位はブロック単位（8KB）です。製品情報マットは読み出し専用で、書き込み／消去はできません。図24.3に本LSIのデータマットのブロック分割を示します。データマットは、8KB（4ブロック：DB00～DB03）に分割されています。

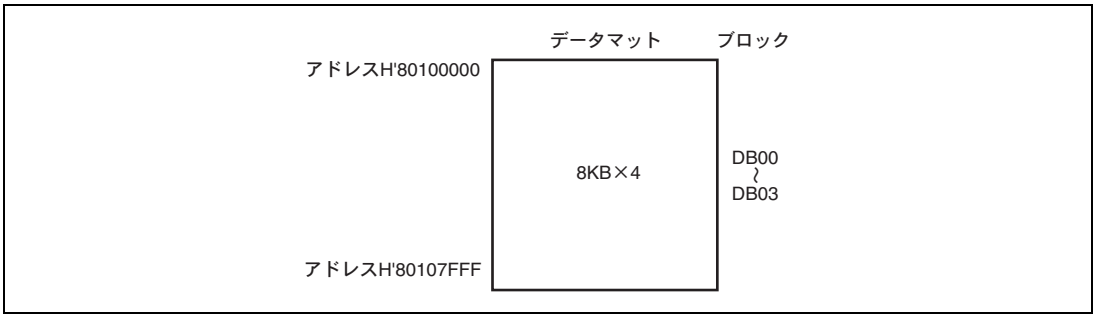


図 24.3　データマットのブロック分割

- ブランクチェック機能

  消去状態のEEPROMをCPUから読み出すと不定データが読み出されます。FCUのブランクチェックコマンドを使用すると、EEPROMが消去状態（ブランク状態）であるかどうかを確認することができます。1回のブランクチェックコマンドで確認可能な領域のサイズは8Kバイト（1消去ブロック）または8バイトです。

  ブランクチェックは、正常に消去が完了した領域に対し、消去状態を確認する機能です。書き込み／消去が中断（例：リセット入力、電源瞬断）された場合は、ブランクチェックによる消去状態の確認はできません。

- オンボードプログラミングモード（3種類）

  ブートモード：SCIを使用してデータマットを書き換え可能なプログラムモードです。ホストと本LSI間のSCI通信のビットレートは自動調整可能です。

  ユーザモード／ユーザプログラムモード：任意のインタフェースで、データマットを書き換え可能なプログラムモードです。ユーザモードは、内蔵ROMが有効なMCUシングルチップモード（モード0）です。

  ユーザブートモード：任意のインタフェースで、データマットを書き換え可能なプログラムモードです。ユーザブートモードへの遷移にはリセット起動が必要です。

- プロテクトモード

  モード端子によるハードウェアプロテクトとFENTRYDビット／EEPRE0レジスタ／EEPWE0レジスタによるソフトウェアプロテクトの2種類のプロテクトモードがあり、書き込み／消去／読み出しに対するプロテクト状態を設定することができます。FENTRYDビットはFCUによるデータマット書き込み／消去処理の許可／禁止を制御するためのビットです。EEPRE0レジスタはデータマットの各ブロックの読み出しプロテクトを制御するためのレジスタです。EEPWE0レジスタはデータマットの各ブロックの書き込み／消去プロテクトを制御するためのレジスタです。

  書き込み／消去中に異常動作を検出した場合、書き込み／消去処理を中断する機能もあります。また、CPUがEEPROM領域から命令をフェッチした場合、読み出しプロテクトする機能もあります。

- 書き込み時間／消去時間／書き換え回数

  「第30章　電気的特性」を参照してください。

24.2　入出力端子

表 24.1 に EEPROM 関連の入出力端子を示します。MDA～MDD 端子の組み合わせによって、EEPROM のプログラミングモードを決定します（**「24.4　EEPROM 関連モード概要」**を参照）。ブートモード時には、PJ6/RxD_A、PJ5/TxD_A にホストを接続して EEPROM を書き込み／消去することが可能です（**「24.5　ブートモード」**を参照）。

表 24.1　端子構成

名称	端子名	入出力	機　　能
パワーオンリセット	$\overline{\text{RES}}$	入力	この端子がローレベルになるとパワーオンリセット状態になります。
モード設定	MDA～MDD	入力	動作モードを決定します。
SCI チャネル A 受信データ	PJ6/RxD_A	入力	SCI チャネル A の受信データ（ホスト通信用）
SCI チャネル A 送信データ	PJ5/TxD_A	出力	SCI チャネル A の送信データ（ホスト通信用）

24.3 レジスタの説明

表 24.2 に EEPROM 関連のレジスタを示します。一部のレジスタは ROM 関連のビットも持ちますが、本章では EEPROM 機能に関連するビットの説明のみ記載しています。ROM／EEPROM 共用ビットのみで構成されるレジスタ（FCURAME、FSTATR0、FSTATR1、FRESETR、FCMDR、FCPSR、FCUAREA）の仕様と ROM 専用ビットの機能の詳細は、「第 23 章　ROM」の「23.3　レジスタの説明」を参照してください。EEPROM 関連のレジスタは、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

表 24.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュモードレジスタ	FMODR	R/W	H'00	H'FFFFA802	8
フラッシュアクセスステータスレジスタ	FASTAT	R/(W)*1	H'00	H'FFFFA810	8
フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	R/W	H'9F	H'FFFFA811	8
EEPROM 読み出し許可レジスタ 0	EEPRE0	R/(W)*2	H'0000	H'FFFFA840	8、16
EEPROM 書き込み／消去許可レジスタ 0	EEPWE0	R/(W)*2	H'0000	H'FFFFA850	8、16
FCU RAM イネーブルレジスタ	FCURAME	R/(W)*2	H'0000	H'FFFFA854	8、16
フラッシュステータスレジスタ 0	FSTATR0	R*4	H'80	H'FFFFA900	8、16
フラッシュステータスレジスタ 1	FSTATR1	R*4	H'00	H'FFFFA901	8、16
フラッシュ P/E モードエントリレジスタ	FENTRYR	R/(W)*3*4	H'0000	H'FFFFA902	8、16
フラッシュリセットレジスタ	FRESETR	R/(W)*2	H'0000	H'FFFFA906	8、16
FCU コマンドレジスタ	FCMDR	R*4	H'FFFF	H'FFFFA90A	8、16
FCU 処理切り替えレジスタ	FCPSR	R/W*4	H'0000	H'FFFFA918	8、16
EEPROM ブランクチェック制御レジスタ	EEPBCCNT	R/W*4	H'0000	H'FFFFA91A	8、16
EEPROM ブランクチェックステータスレジスタ	EEPBCSTAT	R*4	H'0000	H'FFFFA91E	8、16
EEPROM マット選択レジスタ	EEPMAT	R/(W)*2	H'0000	H'FFFFAB00	8、16
FCU ファーム領域選択レジスタ	FCUAREA	R/(W)*3	H'0000	H'FFFFC950	16

【注】 *1　フラグをクリアするために 0 のみ書き込むことができるビットと読み出し専用ビットによって構成されています。

*2　ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効です。上位バイトへの書き込みデータは保持されません。

*3　ワードアクセスで上位バイトに特定の値を書き込んだ場合のみ書き込み有効で、それ以外の書き込みを行った場合には初期化されます。上位バイトへの書き込みデータは保持されません。

*4　パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化することができます。

24.3.1 フラッシュモードレジスタ（FMODR）

FMODR レジスタは、FCU の動作モードを指定するレジスタです。FMODR は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	−	−	−	FRDMD	−	−	−	−
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7～5	−	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	FRDMD	0	R/W	FCU リードモードセレクトビット FCU を使用した ROM/EEPROM 読み出し処理の方法を選択するためのビットです。EEPROM の場合には、EEPROM ロックビットリードモード移行処理かブランクチェック処理を選択するために使用します（「24.6.1　FCU コマンド一覧」、「24.6.3　FCU コマンド使用方法」を参照）。ROM の場合には、ロックビット読み出し方法を選択するために FRDMD ビットを使用します（「第 23 章　ROM」を参照）。 0：メモリ領域リードモード EEPROM ロックビットリードモードに移行する場合には、メモリ領域モードに設定します。EEPROM にはロックビットが存在しないため、ロックビットリードモードに移行して EEPROM 領域から読み出しを実行した場合、不定データが読み出されます。 1：レジスタリードモード ブランクチェックコマンドを使用する場合には、レジスタリードモードに設定します。
3～0	−	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。

24.3.2 フラッシュアクセスステータスレジスタ（FASTAT）

FASTAT は、ROM／EEPROM に対するアクセス違反の有無を確認するためのレジスタです。FASTAT レジスタのいずれかのビットが 1 にセットされると、FCU はコマンドロック状態になります（「24.7.3 エラープロテクト」を参照）。コマンドロック状態を解除するためには、FASTAT レジスタを H'10 に設定した後、FCU にステータスクリアコマンドを発行する必要があります。FASTAT は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	ROMAE	－	－	CMDLK	EEPAE	EEPIFE	EEPRPE	EEPWPE
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
7	ROMAE	0	R/(W)*	ROM アクセス違反ビット 「第 23 章　ROM」を参照してください。
6、5	－	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLK	0	R	FCU コマンドロックビット FCU がコマンドロック状態であることを示すビットです（「24.7.3　エラープロテクト」を参照）。 0：FCU はコマンドロック状態ではない 1：FCU はコマンドロック状態 ［セット条件］ • FCU がエラーを検出してコマンドロック状態に遷移後 ［クリア条件］ • FCU がステータスクリアコマンドを処理後

ビット	ビット名	初期値	R/W	説　　明
3	EEPAE	0	R/(W)*	EEPROM アクセス違反ビット EEPROM に対するアクセス違反の有無を示すビットです。EEPAE ビットが 1 になると FSTATR0 レジスタの ILGLERR ビットが 1 にセットされ、FCU はコマンドロック状態になります。 0：EEPROM アクセス違反なし 1：EEPROM アクセス違反あり ［セット条件］ • FENTRYR レジスタの FENTRYD ビットが 1、かつ EEPROM P/E ノーマルモードで、EEPROM 領域に対してリードアクセスを発行 • FENTRYD ビットが 0 の状態で、EEPROM 領域に対してライトアクセスを発行 • FENTRYR レジスタの FENTRY1、FENTRY0 ビットのいずれかが 1 の状態で、EEPROM 領域に対するアクセスを発行 ［クリア条件］ • EEPAE＝1 を読み出した後に、0 を書き込み
2	EEPIFE	0	R/(W)*	EEPROM 命令フェッチ違反ビット EEPROM 命令フェッチ違反の有無を示すビットです。 0：EEPROM 命令フェッチ違反なし 1：EEPROM 命令フェッチ違反あり ［セット条件］ • EEPROM に対する命令フェッチを発行 ［クリア条件］ • EEPIFE＝1 を読み出した後に、0 を書き込み
1	EEPRPE	0	R/(W)*	EEPROM リードプロテクト違反ビット EEPRE0 レジスタで設定した読み出しプロテクトに対する違反の有無を示すビットです。 0：EEPRE0 設定に違反した EEPROM 読み出しなし 1：EEPRE0 設定に違反した EEPROM 読み出しあり ［セット条件］ • EEPRE0 レジスタで読み出し禁止に設定した EEPROM 領域に対してリードアクセスを発行 ［クリア条件］ • EEPRPE＝1 を読み出した後に、0 を書き込み

ビット	ビット名	初期値	R/W	説　　明
0	EEPWPE	0	R/(W)*	EEPROM 書き込み／消去プロテクト違反ビット EEPWE0 レジスタで設定した書き込み／消去プロテクトに対する違反の有無を示すビットです。 0 : EEPWE0 設定に違反した EEPROM 書き込み／消去系コマンドの発行なし 1 : EEPWE0 設定に違反した EEPROM 書き込み／消去系コマンドの発行あり ［セット条件］ • EEPWE0 レジスタで書き込み／消去禁止に設定した EEPROM 領域に対して書き込み／消去系コマンドを発行 ［クリア条件］ • EEPWPE＝1 を読み出した後に、0 を書き込み

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

24.3.3 フラッシュアクセスエラー割り込み許可レジスタ（FAEINT）

FAEINT は、フラッシュインタフェースエラー割り込み（FIFE）の出力許可／禁止を設定するためのレジスタです。FAEINT は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	7	6	5	4	3	2	1	0
	ROMAEIE	–	–	CMDLKIE	EEPAEIE	EEPIFEIE	EEPRPEIE	EEPWPEIE
初期値：	1	0	0	1	1	1	1	1
R/W：	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	ROMAEIE	1	R/W	ROM アクセス違反割り込みイネーブル 「第 23 章　ROM」を参照してください。
6、5	–	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
4	CMDLKIE	1	R/W	FCU コマンドロック割り込みイネーブル FCU コマンドロックが発生し、FASTAT レジスタの CMDLK ビットが 1 になった場合の FIFE 割り込み要求の発生を許可／禁止するためのビットです。 0：CMDLK＝1 で FIFE 割り込み要求を発生しない 1：CMDLK＝1 で FIFE 割り込み要求を発生する
3	EEPAEIE	1	R/W	EEPROM アクセス違反割り込みイネーブル EEPROM アクセス違反が発生し、FASTAT レジスタの EEPAE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可／禁止するためのビットです。 0：EEPAE＝1 で FIFE 割り込み要求を発生しない 1：EEPAE＝1 で FIFE 割り込み要求を発生する
2	EEPIFEIE	1	R/W	EEPROM 命令フェッチ違反割り込みイネーブル EEPROM 命令フェッチ違反が発生し、FASTAT レジスタの EEPIFE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可／禁止するためのビットです。 0：EEPIFE＝1 で FIFE 割り込み要求を発生しない 1：EEPIFE＝1 で FIFE 割り込み要求を発生する
1	EEPRPEIE	1	R/W	EEPROM リードプロテクト違反割り込みイネーブル EEPROM リードプロテクト違反が発生し、FASTAT レジスタの EEPRPE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可／禁止するためのビットです。 0：EEPRPE＝1 で FIFE 割り込み要求を発生しない 1：EEPRPE＝1 で FIFE 割り込み要求を発生する

ビット	ビット名	初期値	R/W	説　　明
0	EEPWPEIE	1	R/W	EEPROM 書き込み／消去プロテクト違反割り込みイネーブル EEPROM 書き込み／消去プロテクト違反が発生し、FASTAT レジスタの EEPWPE ビットが 1 になった場合の FIFE 割り込み要求の発生を許可／禁止するためのビットです。 0：EEPWPE＝1 で FIFE 割り込み要求を発生しない 1：EEPWPE＝1 で FIFE 割り込み要求を発生する

24.3.4 EEPROM 読み出し許可レジスタ 0（EEPRE0）

EEPRE0 は、データマットの DB00～DB03 ブロック（図 24.3 を参照）の読み出しを許可／禁止するためのレジスタです。EEPRE0 は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								–	–	–	–	DBRE03	DBRE02	DBRE01	DBRE00
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	KEY	すべて 0	R/(W)*	キーコード DBRE[03:00]ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～4	–	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
3	DBRE03	0	R/W	DB03～DB00 ブロック読み出し許可ビット データマットの DB03～DB00 ブロックに対する読み出しの許可／禁止を設定するビットです。DBREi ビット（i=03～00）を DBi ブロックの読み出し制御に使用します。DBRE[03:00]ビットへの書き込みは、ワードアクセスで KEY が H'2D の場合のみ有効です。 0：読み出し禁止 1：読み出し許可
2	DBRE02	0	R/W	
1	DBRE01	0	R/W	
0	DBRE00	0	R/W	

24.3.5 EEPROM 書き込み／消去許可レジスタ 0（EEPWE0）

EEPWE0 は、データマットの DB00～DB03 ブロック（図 24.3 を参照）の書き込み／消去を許可／禁止するためのレジスタです。EEPWE0 は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								–	–	–	–	DBWE03	DBWE02	DBWE01	DBWE00
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	KEY	すべて 0	R/(W)*	キーコード DBWE[03:00]ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～4	–	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
3	DBWE03	0	R/W	DB03～DB00 ブロック書き込み／消去許可ビット データマットの DB03～DB00 ブロックに対する書き込み／消去の許可／禁止を設定するビットです。DBWEi ビット（I＝03～00）を DBi ブロックの書き込み／消去制御に使用します。 DBWE[03:00]ビットへの書き込みは、ワードアクセスで KEY が H'1E の場合のみ有効です。 0：書き込み／消去禁止 1：書き込み／消去許可
2	DBWE02	0	R/W	
1	DBWE01	0	R/W	
0	DBWE00	0	R/W	

24.3.6 フラッシュ P/E モードエントリレジスタ（FENTRYR）

FENTRYR は、ROM／EEPROM を P/E モードに設定するために使用するレジスタです。ROM／EEPROM を P/E モードにして FCU のコマンド受け付けを可能にするためには、FENTRYD、FENTRY1、FENTRY0 ビットのいずれかのビットに 1 を設定する必要があります。ただし、本レジスタに H'0001、H'0002、H'0080 以外の値を設定した場合、FSTATR0 レジスタの ILGLERR ビットがセットされて、FCU はコマンドロック状態になります。FENTRYR は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FEKEY								FENTRYD	–	–	–	–	–	FENTRY1	FENTRY0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R	R	R	R	R	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	FEKEY	すべて 0	R/(W)*	キーコード FENTRYD、FENTRY1、FENTRY0 ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7	FENTRYD	0	R/W	EEPROM P/E モードエントリビット EEPROM を P/E モードに設定するためのビットです。 0：EEPROM はリードモード 1：EEPROM は P/E モード ［書き込み有効条件］ 以下の全条件を満たす場合 • 内蔵 ROM が有効なモード • FSTATR0 レジスタの FRDY ビットが 1 • ワードアクセスで FEKEY に H'AA 書き込み ［セット条件］ • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 の状態で、FENTRYD に 1 を書き込んだ場合 ［クリア条件］ • バイトアクセスで書き込んだ場合 • ワードアクセスで FEKEY が H'AA 以外の状態で書き込んだ場合 • 書き込み有効条件を満たした状態で、FENTRYD に 0 を書き込んだ場合 • 書き込み有効条件を満たし、かつ FENTRYR レジスタが H'0000 以外の状態で、FENTRYR レジスタを書き込んだ場合

ビット	ビット名	初期値	R/W	説　　明
6～2	－	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
1	FENTRY1	0	R/W	ROM P/E モードエントリビット 1 「第 23 章　ROM」を参照してください。
0	FENTRY0	0	R/W	ROM P/E モードエントリビット 0 「第 23 章　ROM」を参照してください。

24.3.7 EEPROM ブランクチェック制御レジスタ（EEPBCCNT）

EEPBCCNT は、ブランクチェックコマンドのチェック対象領域のアドレスとサイズを指定するためのレジスタです。EEPBCCNT は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	BCADR										－	－	BC SIZE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15～13	－	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
12～3	BCADR	すべて 0	R/W	ブランクチェックアドレス設定ビット ブランクチェックコマンドのチェック対象領域のサイズが 8 バイト（BCSIZE ビットが 0）の場合に、チェック対象領域のアドレスを設定するためのビットです。BCSIZE が 0 の場合には、EEPBCCNT レジスタの設定値（BCADR の設定値を MSB 側に 3 ビットシフトした値）とブランクチェックコマンド発行時に指定した消去ブロック先頭アドレスを加算した値がチェック対象領域の先頭アドレスになります。
2、1	－	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	BCSIZE	0	R/W	ブランクチェックサイズ設定ビット ブランクチェックコマンドのチェック対象領域のサイズを設定するためのビットです。 0：ブランクチェック対象領域は 8 バイト 1：ブランクチェック対象領域は 8K バイト

24.3.8 EEPROM ブランクチェックステータスレジスタ（EEPBCSTAT）

EEPBCSTAT は、ブランクチェックコマンドの処理結果が格納されるレジスタです。内蔵 ROM が無効なモードでは、EEPBCSTAT の読み出しデータは H'0000 になり、書き込みは無効化されます。EEPBCSTAT は、パワーオンリセット、ハードウェアスタンバイ、および FRESETR レジスタの FRESET ビットを 1 にすることによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	−	−	−	−	−	−	−	−	−	−	BCST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～1	−	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	BCST	0	R	ブランクチェックステータスビット ブランクチェックの結果を示すビットです。 0：ブランクチェック対象領域は消去状態（ブランク） 1：ブランクチェック対象領域は 0 データか 1 データが書き込まれた状態

24.3.9 EEPROM マット選択レジスタ（EEPMAT）

EEPMAT は、EEPROM のマットを切り替えるために使用するレジスタです。内蔵 ROM が無効なモードでは、EEPMAT の読み出しデータは H'0000 になり、書き込みは無効化されます。EEPMAT は、パワーオンリセットおよびハードウェアスタンバイによって初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY								–	–	–	–	–	–	–	EEPSEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R	R	R	R	R	R	R/W

【注】 *1 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	KEY	すべて 0	R/(W)*1	キーコード EEPSEL ビットの書き換えの可否を制御します。本ビットへの書き込みデータは保持されません。
7～1	–	すべて 0	R	リザーブビット 書き込む値は 0 にしてください。1 を書き込んだ場合の動作は保証しません。
0	EEPSEL	0	R/W	EEPROM マット選択ビット EEPROM のマットを選択するためのビットです。EEPMAT ビットへの書き込みは、ワードアクセスで KEY が H'B3 の場合のみ有効です。 0：データマット選択 1：製品情報マット選択*2

【注】 *1 書き込みデータは保持されません。

*2 製品情報マットは読み出し専用で、書き込み／消去はできません。

24.4 EEPROM 関連モード概要

図 24.4 に本 LSI のモード遷移図（EEPROM 関連）を示します。MDA～MDD 端子の設定値と本 LSI の動作モードの関係については「第 3 章　動作モード」を参照してください。

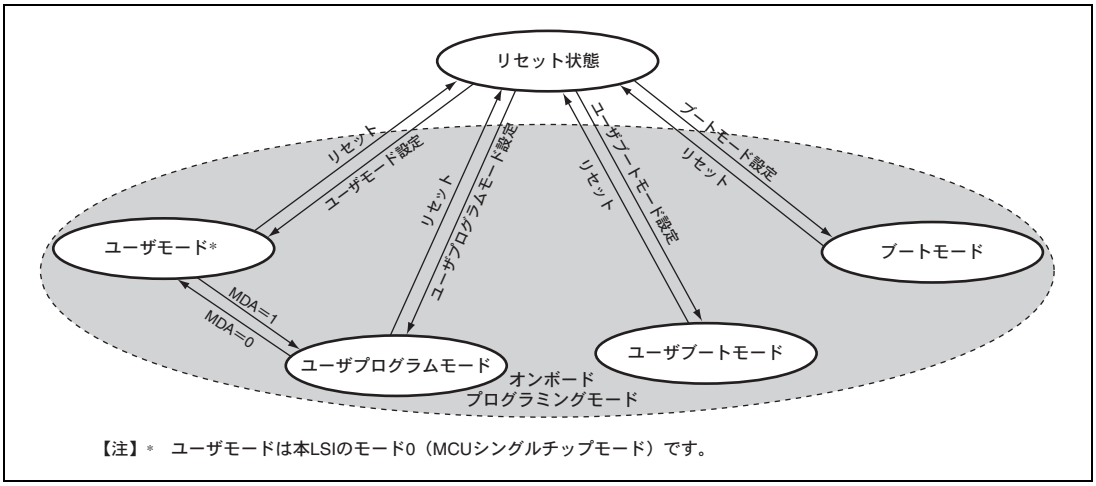


図 24.4　EEPROM に関するモード遷移図

- ユーザモード／ユーザプログラムモード／ユーザブートモード／ブートモードでは、オンボードでデータマットの読み出し／書き込み／消去を実施できます。
- ユーザモードではROMを書き込み／消去できませんが、EEPROMを書き込み／消去できます。また、EEPROMの書き込み／消去中にはROMを読み出すことができます。このため、書き込み／消去プロテクトされたROM上のアプリケーションプログラムを実行しながら、データをEEPROMに書き込むことができます。

表 24.3 に、ブートモード、ユーザモード、ユーザプログラムモード、ユーザブートモード書き込み／消去関連項目の比較を示します。

表 24.3 プログラミングモードの比較

項目	ブートモード	ユーザモード	ユーザプログラムモード	ユーザブートモード
書き込み／消去可能マット	データマット	データマット	データマット	データマット
書き込み／消去制御	ホスト	FCU	FCU	FCU
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由
リセット時の起動マット	組み込みプログラム格納マット	ユーザマット	ユーザマット	ユーザブートマット*

【注】 * 組み込みプログラム格納マットから起動し、製品に内蔵された組み込みプログラムを実行した後にユーザブートマットのリセットベクタから起動します。

- ユーザブートモードでは、ユーザモード／ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。
- ブートモード／ユーザブートモードでは製品に内蔵された組み込みプログラムで内蔵RAMのH'FFF88000～H'FFF8FFFFを使用します。このため、RAMイネーブルレジスタ（RAMEN）の設定で内蔵RAMを無効にしてリセットし、ブートモード／ユーザブートモードで起動した場合には、リセット前に内蔵RAMの当該領域に格納されていたデータは保持されません（「第26章 RAM」を参照）。

24.5 ブートモード

ブートモードでは、ホストから制御コマンドや書き込みデータを送信してデータマットの書き込み／消去を実行可能です。ブートモードのシステム構成や使用方法の詳細は、**「第 23 章 ROM」**を参照してください。本節では、EEPROM 専用のコマンドの説明を記載します。

24.5.1 問い合わせ設定ホストコマンド

表 24.4 に、EEPROM 専用の問い合わせ設定ホストコマンド一覧を示します。データマット有無問い合わせ／データマット情報問い合わせコマンドは、**「23.5.4 問い合わせ設定ホストコマンド待ち状態」**の**図** 23.9 に示したフロー中の「マット書き込み用の情報問い合わせ」を実施する箇所で使用します。

表 24.4 問い合わせ設定ホストコマンド（EEPROM 専用）

ホストコマンド名	機　　能
データマット有無問い合わせ	データマット有無の問い合わせ
データマット情報問い合わせ	データマットの個数、先頭／最終アドレスの問い合わせ

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマット有無問い合わせ

ホストがデータマット有無問い合わせコマンドを送信すると、データマットがあることを示す情報を本 LSI が送信します。

コマンド	H’2A			
レスポンス	H’3A	サイズ	マット有無	SUM

【記号説明】

サイズ（1 バイト）：マット有無の文字数（固定値で 1）

マット有無（1 バイト）：データマットの有無（固定値で H'01）
H'00：データマットなし
H'01：データマットあり

SUM（1 バイト）：サムチェック

(2) データマット情報問い合わせ

ホストがデータマット情報問い合わせコマンドを送信すると、データマットのエリア数とアドレスの情報を本LSI が送信します。

コマンド	H'2B		
レスポンス	H'3B	サイズ	エリア数
	エリア先頭アドレス		
	エリア最終アドレス		
	エリア先頭アドレス		
	エリア最終アドレス		
	...		
	エリア先頭アドレス		
	エリア最終アドレス		
	SUM		

【記号説明】

サイズ（1 バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスのデータの総バイト数

エリア数（1 バイト）：データマットのエリア数（連続したエリアは 1 エリアと数えます）

エリア先頭アドレス（4 バイト）：データマットエリアの先頭アドレス

エリア最終アドレス（4 バイト）：データマットエリアの最終アドレス

SUM（1 バイト）：サムチェック

データマットのブロック構成の情報は、消去ブロック情報問い合わせコマンド（**「23.5.4 問い合わせ設定ホストコマンド待ち状態」**を参照）のレスポンスに含まれます。

24.5.2 書き込み／消去ホストコマンド

表 24.5 に、EEPROM 専用の書き込み／消去ホストコマンド一覧を示します。EEPROM 専用のホストコマンドはデータマットのサムチェック／ブランクチェック用のコマンドのみで、書き込み／消去／読み出し用のコマンドは ROM と共用です。

データマットの書き込みを行う場合は、ユーザマット書き込み選択コマンドを発行後、256 バイト書き込みコマンドで書き込みアドレスにデータマットのアドレスを指定します。データマットの消去を行う場合は、消去選択コマンド発行後、ブロック消去コマンドでデータマットの消去ブロックを指定します。データマットの消去ブロック情報は、消去ブロック問い合わせコマンドのレスポンスに含まれます。データマットの読み出しを行う場合は、メモリリードコマンドでユーザマットを選択し、読み出し対象アドレスにデータマットのアドレスを指定します。

ユーザマット書き込み選択コマンド／ユーザブートマット書き込み選択コマンド／256 バイト書き込みコマンド／消去選択コマンド／ブロック消去コマンド／メモリリードコマンドの詳細は、**「23.5.5 書き込み／消去ホストコマンド待ち状態」**を参照してください。消去ブロック情報問い合わせコマンドの詳細は、**「23.5.4 問い合わせ設定ホストコマンド待ち状態」**を参照してください。

表 24.5 書き込み／消去ホストコマンド（EEPROM 専用）

ホストコマンド名	機　　能
データマットサムチェック	データマットのサムチェック
データマットブランクチェック	データマットのブランクチェック

各ホストコマンドの詳細を以下に説明します。説明文中の「コマンド」はホストから本 LSI に送信するコマンド、「レスポンス」は本 LSI からホストに送信する応答です。「サムチェック」は、本 LSI が送信した各バイトを合計した場合に H'00 になるように計算されたバイトデータを指します。

(1) データマットサムチェック

ホストがデータマットサムチェックコマンドを送信すると、本 LSI はデータマットのデータをバイト単位で加算した結果（サムチェック）を送信します。

コマンド	H'61			
レスポンス	H'71	サイズ	マットのサムチェック	SUM

【記号説明】

サイズ（1 バイト）：マットのサムチェックのバイト数（固定値で 4）

マットのサムチェック（4 バイト）：データマットのサムチェック結果

SUM（1 バイト）：サムチェック（レスポンスデータのサムチェック）

(2) データマットブランクチェック

ホストがデータマットブランクチェックコマンドを送信すると、本 LSI はデータマットがすべて消去状態であるかをチェックします。データマットがすべて消去状態であった場合には、本 LSI はレスポンス（H'06）を送信します。データマットに未消去領域が存在した場合には、本 LSI はエラーレスポンス（H'E2→H'52）を送信します。

コマンド	H’62	
レスポンス	H’06	
エラーレスポンス	H’E2	H’52

24.6 ユーザモード／ユーザプログラムモード／ユーザブートモード

24.6.1 FCU コマンド一覧

ユーザモード／ユーザプログラムモード／ユーザブートモードでは、FCU へ FCU コマンドを発行してデータマットの書き込み／消去を実行します。**表 24.6** に、EEPROM 書き込み／消去で使用可能な FCU コマンドの一覧を示します。

表 24.6 FCU コマンド一覧（EEPROM 関連）

コマンド	機　　能
ノーマルモード移行	ノーマルモードに遷移（「24.6.2 FCU コマンド受け付け条件」を参照）
ステータスリードモード移行	ステータスリードモードに遷移（「24.6.2 FCU コマンド受け付け条件」を参照）
ロックビットリードモード移行（ロックビットリード 1）	ロックビットリードモードに遷移（「24.6.2 FCU コマンド受け付け条件」を参照）
プログラム	EEPROM 書き込み（8 バイトまたは 128 バイト単位）
ブロックイレーズ	EEPROM 消去（ブロック単位）
P/E サスペンド	書き込み／消去の中断
P/E レジューム	書き込み／消去の再開
ステータスレジスタクリア	FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR ビットのクリアとコマンドロック状態の解除
ブランクチェック	指定した領域が消去状態（ブランク）であるか確認

ブランクチェックコマンド以外の FCU コマンドは、ROM でも使用します。ROM に対してブランクチェックコマンドを発行した場合には、ROM のロックビット読み出しが実行されます。

FCU へのコマンド発行は、EEPROM 領域に対する P バスアクセスで実現されます。次ページの**表 24.7** にプログラムコマンドとブランクチェックコマンドのフォーマットを示します。プログラムコマンドとブランクチェックコマンド以外の FCU コマンドのフォーマットは、**「23.6.1 FCU コマンド一覧」**を参照してください。**表 24.7** に示した P バスアクセスを特定条件下で実行すると、FCU は各コマンドに対応した処理を実行します。FCU コマンドの受け付け条件については、**「24.6.2 FCU コマンド受け付け条件」**を参照してください。また、コマンドの使用方法については、**「24.6.3 FCU コマンド使用方法」**を参照してください。

FRDMD ビットが 0（メモリ領域モード）で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はロックビットリードモード移行コマンド（ロックビットリード 1）を受け付けます。EEPROM にはロックビットが存在しないため、ロックビットリードモードに移行後に EEPROM 領域に対して P バスリードアクセスを実行すると不定データが読み出されます。この不定データ読み出し時には、FCU はエラーを検出しません。FRDMD が 1（レジスタリードモード）で FCU コマンドの 1 サイクル目が H'71 の場合には、FCU はブランクチェックコマンドの 2 サイクル目のコマンド（H'D0）待ちの状態になります。この状態で、EEPROM 領域に対して P バスライトアクセスで H'D0 を書き込むと、FCU は EEPBCCNT レジスタの設定値に従ったブランクチェック処理を実行し、ブランクチェック完了後に EEPBCSTAT レジスタに結果を反映します。

P/E サスペンドコマンド発行時のサスペンド動作には、サスペンド優先モードと消去優先モードがあります。各

モードでの動作の詳細は「23.6.4 **サスペンド動作**」を参照してください。

表 24.7 FCU コマンドのフォーマット（EEPROM 専用コマンド）

コマンド	バス サイクル数	1 サイクル目		2 サイクル目		3 サイクル目		4～N+2 サイクル目		N+3 サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
プログラム（8 バイト書き込み：N＝4）	7	EA	H'E8	EA	H'04	WA	WD1	EA	WDn	EA	H'D0
プログラム（128 バイト書き込み：N＝64）	67	EA	H'E8	EA	H'40	WA	WD1	EA	WDn	EA	H'D0
ブランクチェック	2	EA	H'71	BA	H'D0	–	–	–	–	–	–

【記号説明】

EA：EEPROM 領域のアドレス

H’8010000～H’80107FFF の任意アドレス

WA：書き込みデータの先頭アドレス

BA：EEPROM 消去ブロックアドレス

対象消去ブロックの任意アドレス

WDn：書き込みデータ n ワード目（n＝1～N）

24.6.2 FCU コマンド受け付け条件

FCU コマンドの受け付け可否は、FCU のモード／状態に依存します。**図 24.5** に FCU のモード遷移図を示します。

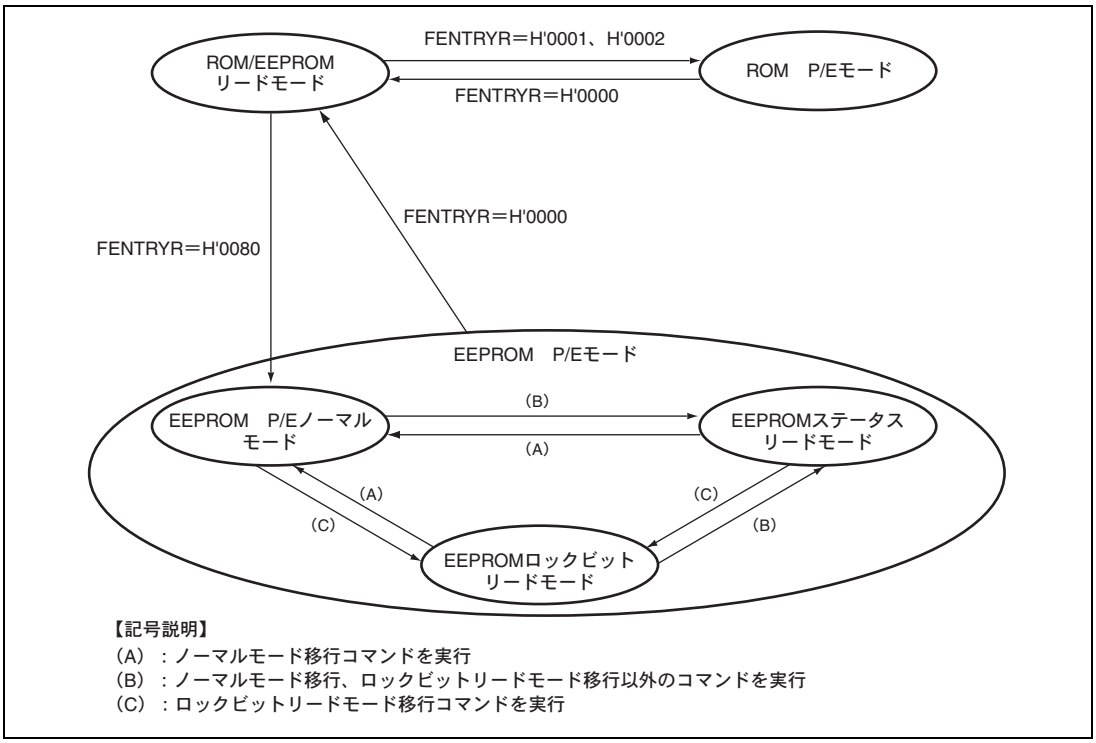


図 24.5 FCU のモード遷移図（EEPROM 関連）

(1) ROM P/E モード

ROM書き込み／消去用のFCUコマンドを受け付け可能なモードです。EEPROMを読み出すことはできません。FENTRYR レジスタの FENTRYD ビットを 0、かつ FENTRY1、FENTRY0 ビットのいずれかを 1 に設定した場合に遷移するモードです。ROM P/E モードの詳細は、「23.6.2　FCU コマンド受け付け条件」を参照してください。

(2) ROM／EEPROM リードモード

周辺バス経由で EEPROM を、ROM キャッシュ経由で ROM を高速読み出し可能なモードです。FCU コマンドは受け付けられません。FENTRYD ビットを 0、かつ FENTRY1、FENTRY0 ビットを 00 に設定した場合に、このモードに遷移します。

(3) EEPROM P/E モード

- EEPROM P/Eノーマルモード

  ROM／EEPROMリードモードまたはROM P/Eモード時にFENTRYDビットを1かつFENTRY1、FENTRY0ビットを00に設定した場合、またはEEPROM P/Eモードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表24.8に受け付け可能なコマンドを示します。EEPROM領域に対してPバスリードアクセスを発行した場合には、EEPROMアクセス違反が発生してFCUはコマンドロック状態になります。ROMは高速読み出し可能です。

- EEPROMステータスリードモード

  EEPROM P/Eモードでノーマルモード移行、ロックビットリードモード移行以外のコマンドを受け付けた場合に遷移するモードです。FSTATR0レジスタのFRDYビットが0の状態やエラー発生後のコマンドロック状態も、EEPROMステータスリードモード中の状態です。表24.8に受け付け可能なコマンドを示します。EEPROM領域に対してPバスリードアクセスを発行した場合には、FSTATR0レジスタの値が読み出されます。ROMは高速読み出し可能です。

- EEPROMロックビットリードモード

  EEPROM P/Eモードでロックビットリードモード移行コマンドを受け付けた場合に遷移するモードです。表24.8に受け付け可能なコマンドを示します。EEPROMにはロックビットが存在しないため、EEPROM領域に対してPバスリードアクセスを発行した場合には、読み出しデータは不定値になりますが、EEPROMアクセス違反は発生しません。ROMは高速読み出し可能です。

表 24.8 に EEPROM P/E モードの各モード／状態と受け付け可能なコマンドの関係を示します。受け付け不可能なコマンドが発行された場合には、FCU はコマンドロック状態になります（**「24.7.3 エラープロテクト」**を参照）。

FCU コマンドを確実に受け付けさせたい場合には、発行するコマンドを受け付け可能なモードに移行し、FSTATR0 レジスタの FRDY、ILGLERR、ERSERR、PRGERR ビットと FSTATR1 レジスタの FCUERR と FRDTCT/FRCRCT ビットの値を確認した後に FCU コマンドを発行してください。FASTAT レジスタの CMDLK ビットの値は、FSTATR0 レジスタの ILGLERR、ERSERR、PRGERR と FSTATR1 レジスタの FCUERR、FRDTCT/FRCRCT ビットの値の論理和です。このため、CMDLK ビットを確認して FCU のエラー発生状況を確認することもできます。**表 24.8** では、エラー発生状況を表すビットに CMDLK ビットを使用しています。書き込み／消去の処理中、書き込み／中断処理の処理中、ブランクチェック処理中には FSTATR0 レジスタの FRDY ビットが 0 になります。FRDY ビットが 0 の場合で P/E サスペンドコマンドが受け付け可能な状態は、FSTATR0 レジスタの SUSRDY ビットが 1 の場合のみです。

表 24.8 では、表を簡素化するために ERSSPD、PRGSPD、FRDY ビットの値を 0/1 と表記しています。ERSSPD ビットは、消去の中断処理中の場合には 1、書き込みの中断処理中の場合には 0 になります。PRGSPD ビットは、書き込みの中断処理中の場合には 1、消去の中断処理中の場合には 0 になります。コマンドロック状態の FRDY ビットの値は、コマンドロック状態に遷移する前の FRDY ビットの値が保持されます。

表 24.8 FCU のモード／状態と受け付け可能なコマンドの関係

項　　目	P/E ノーマルモード			ステータスリードモード									ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み／消去の処理中	消去サスペンド中の書き込み処理中	書き込み／消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態（FRDY＝0）	コマンドロック状態（FRDY＝1）	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATR0 レジスタの FRDY ビット	1	1	1	0	0	0	0	1	1	0	1	1	1	1	1
FSTATR0 レジスタの SUSRDY ビット	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
FSTATR0 レジスタの ERSSPD ビット	0	1	0	0	1	0/1	0/1	0	1	0/1	0/1	0	0	1	0
FSTATR0 レジスタの PRGSPD ビット	1	0	0	0	0	0/1	0/1	1	0	0/1	0/1	0	1	0	0
FASTAT レジスタの CMDLK ビット	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
ノーマルモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ステータスリードモード移行	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
ロックビットリードモード移行（ロックビットリード 1）	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○
プログラム	×	△	○	×	×	×	×	×	△	×	×	○	×	△	○
ブロックイレーズ	×	×	○	×	×	×	×	×	×	×	×	○	×	×	○
P/E サスペンド	×	×	×	○	×	×	×	×	×	×	×	×	×	×	×
P/E レジューム	○	○	×	×	×	×	×	○	○	×	×	×	○	○	×
ステータスレジスタクリア	○	○	○	×	×	×	×	○	○	×	○	○	○	○	○
ブランクチェック	○	○	○	×	×	×	×	○	○	×	×	○	○	○	○

【記号説明】

○：受け付け可能

△：消去中断したブロック以外への書き込みのみ受け付け可能

×：受け付け不可能

24.6.3 FCU コマンド使用方法

プログラムコマンドとブロックイレーズコマンドを使用して EEPROM を書き込み／消去する方法とブランクチェックコマンドを使用して EEPROM の消去状態を確認する方法を示します。FCU RAM へのファームウェア転送方法やその他の FCU コマンド使用方法については、「23.6.3 FCU コマンド使用方法」を参照してください。

FCU がコマンド処理中に FSTATR1 レジスタの FCUERR ビットまたは FRDTCT/FRCRCT ビットが 1 にセットされてコマンドロック状態に遷移した場合には、FSTATR0 レジスタの FRDY ビットは 0 を保持します。コマンドロック状態では FCU の処理が停止するため、FRDY ビットが 0 から 1 にセットされることはありません。書き込み／消去時間やサスペンド遅延時間（「第 30 章 電気的特性」を参照）よりも長期間にわたって FRDY ビットが 0 に保持される場合は、コマンドロック状態で FCU の処理が停止するなどの異常動作が発生している可能性があるため、FCU リセットによって FCU を初期化してください。FCU のコマンド処理が完了して FRDY ビットが 1 にセットされた場合には、FCUERR ビットと FRDTCT/FRCRCT ビットの値は必ず 0 の状態です。このため、コマンド処理完了後のエラー発生状況は、ILGLERR、ERSERR、PRGERR ビットで確認可能です

（1） 書き込み方法

EEPROM へのデータ書き込みには、プログラムコマンドを使用します。プログラムコマンドの第 1 サイクルでは H'E8 を、第 2 サイクルでは書き込みワード数（N）*を EEPROM 領域のアドレスにバイト書き込みします。コマンドの第 3～N+2 サイクルでは、ワードサイズで P バスアクセスを実行します。第 3 サイクルのアクセスでは、プログラム対象領域の先頭アドレスに対して書き込みデータを書き込んでください。先頭アドレスは、8 バイト書き込みの場合には 8 バイト境界、128 バイト書き込みの場合には 128 バイト境界にアラインしてください。EEPROM 領域のアドレスに対して N 回のワード書き込みを実行後、第 N+3 サイクルで EEPROM 領域のアドレスに対して H'D0 をバイト書き込みすると FCU が EEPROM の書き込み処理を開始します。書き込みの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。

第 3 サイクル～第 N+2 サイクルでアクセスする領域に書き込み不要なアドレスが含まれる場合は、該当アドレスに対する書き込みデータを H'FFFF にしてください。EEPWE0 レジスタによる書き込み／消去プロテクトを無効化して書き込みを実施したい場合には、書き込み対象ブロック用の書き込み／消去許可ビットを 1 に設定してから書き込みを行ってください。

図 24.6 に、EEPROM の書き込み方法を示します。

【注】* 8 バイト書き込みの場合は N＝H'04、128 バイト書き込みの場合は N＝H'40 です。

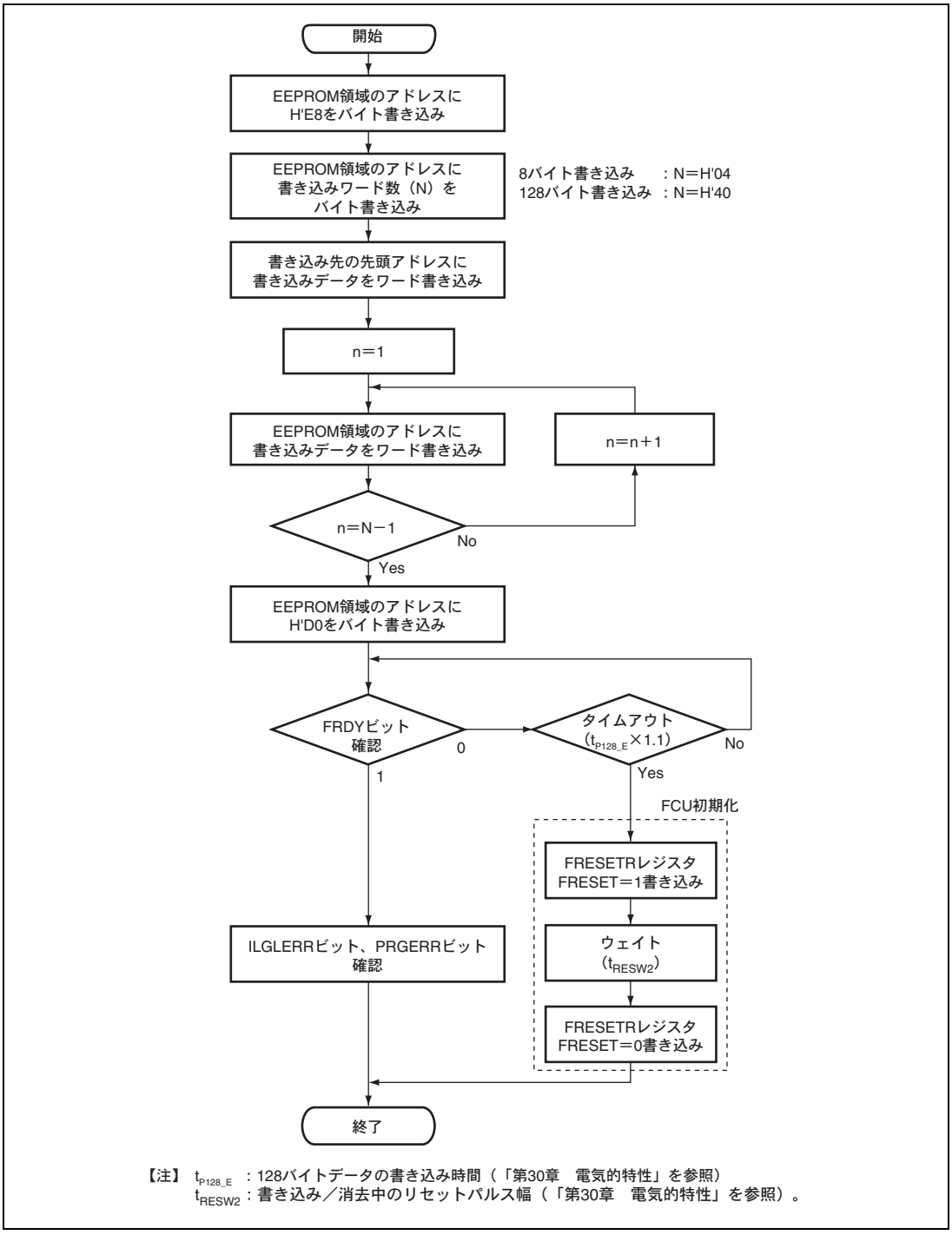


図 24.6　EEPROM の書き込み

(2) 消去方法

EEPROM の消去には、ブロックイレーズコマンドを使用します。ブロックイレーズコマンドを使用した消去方法は、ROM の消去方法と同様です（「第 23 章　ROM」を参照）。EEPROM には、EEPWE0 レジスタによる書き込み／消去プロテクト機能があることに注意してください。EEPWE0 によるプロテクトを無効化して消去を実施したい場合には、消去対象ブロック用の書き込み／消去許可ビットを 1 に設定してから消去を行ってください。

(3) 消去状態の確認方法

CPU で消去状態の EEPROM を読み出すと不定値が読み出されますので、消去状態の確認にはブランクチェックコマンドを使用する必要があります。ブランクチェックコマンドを使用する場合には、事前に FMODR レジスタの FRDMD ビットを 1 に設定してブランクチェックコマンドが使用可能な状態にし、EEPBCCNT レジスタにチェック対象領域のサイズとアドレスを設定してください。EEPBCCNT レジスタの BCSIZE ビットが 1 の場合には、ブランクチェックコマンドの第 2 サイクルで指定した消去ブロック全体（8K バイト）のブランクチェックを実行可能です。BCSIZE ビットが 0 の場合には、ブランクチェックコマンドの第 2 サイクルで指定した消去ブロックの先頭アドレスと EEPBCCNT レジスタの値を加算したアドレスから 8 バイト分の領域のブランクチェックを実行可能です。ブランクチェックコマンドの第 1 サイクルでは、H’71 を EEPROM 領域のアドレスにバイト書き込みします。コマンドの第 2 サイクルでブランクチェック対象領域を含む消去ブロック内の任意アドレスに H’D0 をバイト書き込みすると、FCU が EEPROM のブランクチェック処理を開始します。ブランクチェックの完了は、FSTATR0 レジスタの FRDY ビットで確認可能です。ブランクチェックの完了後に EEPBCSTAT レジスタの BCST ビットの値を確認すると、チェック対象領域が消去状態であるか 0 データか 1 データを書き込んだ状態であるかを確認することができます。

図 24.7 に、EEPROM のブランクチェックを示します。

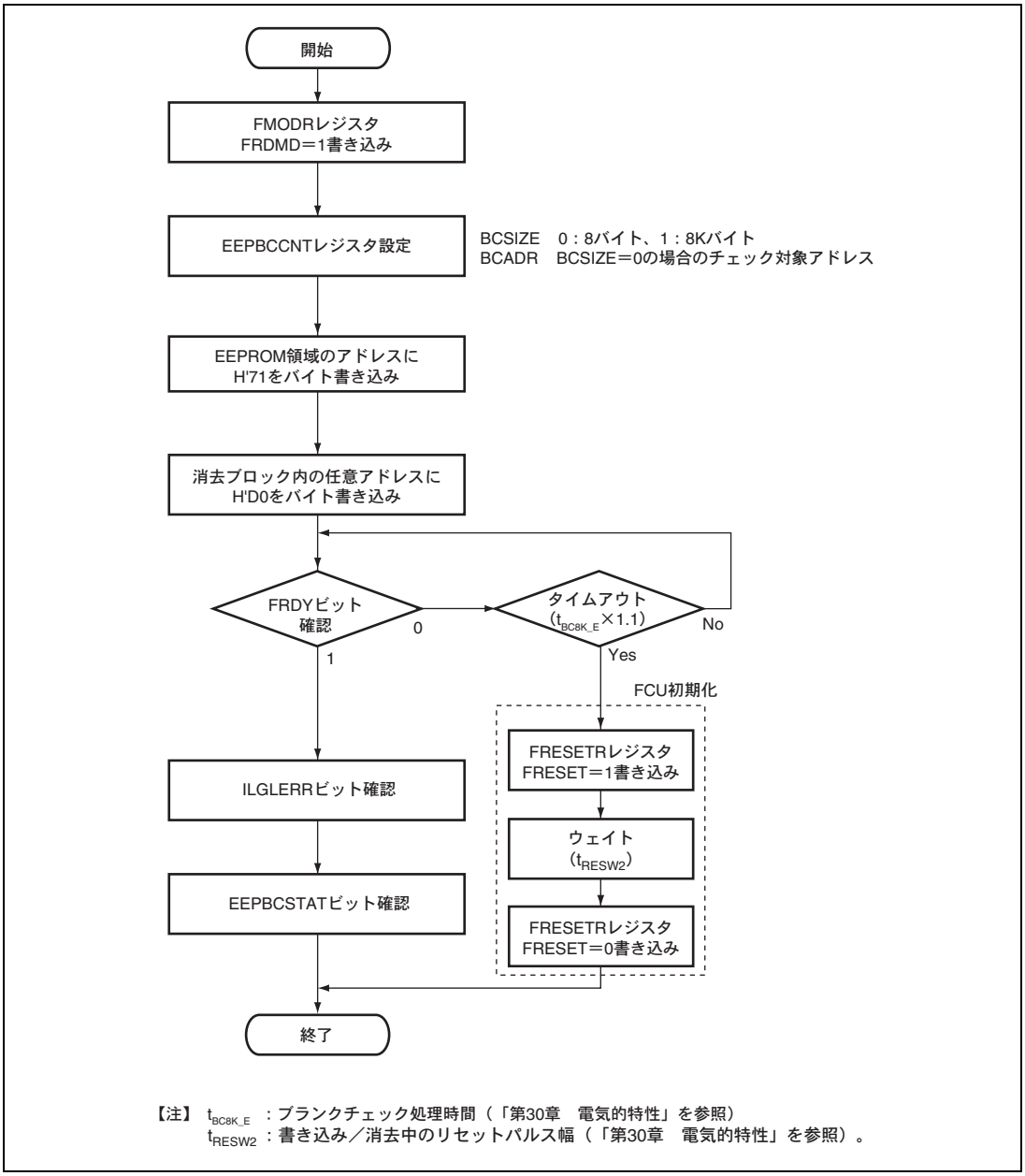


図 24.7　EEPROM のブランクチェック

24.7 プロテクト

EEPROM に対する書き込み／消去のプロテクトには、ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類があります。

24.7.1 ハードウェアプロテクト

ハードウェアプロテクトは、モード端子の設定によって EEPROM に対する書き込み／消去が禁止された状態です。本 LSI の動作モードと端子設定の関係は**「第 3 章　動作モード」**を参照してください。

24.7.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、制御レジスタ設定によって EEPROM に対する書き込み／消去が禁止された状態です。ソフトウェアプロテクトに違反して、EEPROM に対する書き込み／消去系コマンドを発行した場合には、FCU がエラーを検出してコマンドロック状態になります。

（1） FENTRYR によるプロテクト

FENTRYR レジスタの FENTRYD ビットが 0 の場合には、EEPROM に対する FCU コマンドが受け付けられないため、EEPROM の書き込み／消去は禁止状態になります。FENTRYD ビットが 0 の状態で EEPROM に対する FCU コマンドを発行すると、FCU はイリーガルコマンドエラーを検出してコマンドロック状態になります（**「24.7.3 エラープロテクト」**を参照）。

（2） EEPWE0 レジスタによるプロテクト

EEPWE0 レジスタの DBWEi（I＝00～03）ビットが 0 の場合には、データマットの DBi ブロックの書き込み／消去が禁止状態になります。DBWEi ビットが 0 の状態で DBi ブロックに対する書き込み／消去を実行すると、FCU は書き込み／消去プロテクト違反を検出してコマンドロック状態になります（**「24.7.3　エラープロテクト」**を参照）。

24.7.3 エラープロテクト

エラープロテクトは、FCU コマンドの誤発行／禁止アクセスの発生／FCU の誤動作を検出して FCU コマンドの受け付けを禁止する状態（コマンドロック状態）です。FCU をコマンドロック状態にすることにより、EEPROM の書き込み／消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタが H'10 の状態でステータスレジスタクリアコマンドを発行する必要があります。

FAEINT レジスタの CMDLKIE ビットが 1 の場合には、FCU がコマンドロック状態（FASTAT レジスタの CMDLK ビットが 1）になるとフラッシュインタフェースエラー（FIFE）割り込みが発生します。また、FAEINT レジスタの EEPROM 関連の割り込みイネーブルビット（EEPAEIE/EEPIFEIE/EEPRPEIE/EEPWPEIE ビット）が 1 の場合には、FASTAT レジスタの対応するビット（EEPAE/EEPIFE/EEPRPE/EEPWPE ビット）が 1 になると FIFE 割り込みが発生します。

表 24.9 に EEPROM 関連のエラープロテクト内容とエラー検出後のステータスビット値（FSTATR0 レジスタの ILGLERR/ERSERR/PRGERR ビット、FASTAT レジスタの EEPAE/EEPIFE/EEPRPE/EEPWPE ビット）の関係を示します。ROM/EEPROM 共通のエラープロテクト内容（FENTRYR 設定エラー、不正コマンドの大半、消去エラー、書き込みエラー、FCU エラー、FCU RAM ECC エラー）については、**「23.8.3 エラープロテクト」**を参照してください。書き込み／消去処理中にサスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、FCU は書き込み／消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み／消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は 1 になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 24.9 エラープロテクト一覧（EEPROM 専用）

分類	内　　容	ILGLERR	ERSERR	PRGERR	EEPAE	EEPIFE	EEPRPE	EEPWPE
不正コマンド	プログラムコマンドの 2 サイクル目で H'04、H'40 以外を指定	1	0	0	0	0	0	0
	FENTRYR レジスタの FENTRYD ビットが 1 の状態で、EEPROM 領域に対してロックビットプログラムコマンドを発行	1	0	0	0	0	0	0
EEPROM アクセス違反	FENTRYR レジスタの FENTRYD ビットが 1、かつ EEPROM P/E ノーマルモードで、EEPROM 領域に対してリードアクセスを発行	1	0	0	1	0	0	0
	FENTRYD ビットが 0 の状態で、EEPROM 領域に対してライトアクセスを発行	1	0	0	1	0	0	0
	FENTRYR レジスタの FENTRY1、FENTRY0 ビットのいずれかが 1 の状態で、EEPROM 領域に対するアクセスを発行	1	0	0	1	0	0	0
EEPROM 命令フェッチ違反	EEPROM に対して命令フェッチを実行	1	0	0	0	1	0	0
EEPROM リードプロテクト違反	EEPRE0 レジスタで読み出し禁止に設定した EEPROM 領域に対してリードアクセスを発行	1	0	0	0	0	1	0
EEPROM ライトプロテクト違反	EEPWE0 レジスタで読み出し禁止に設定した EEPROM 領域に対して、プログラム／ブロックイレーズコマンドを発行	1	0	0	0	0	0	1

24.8 製品情報マット

製品情報マットには、デバイス名／デバイスリビジョン／組み込みプログラムリビジョンが ASCII コードで書き込まれています。組み込みプログラムとは、ブートモード／ユーザブートモード時の起動マット（「23.4 ROM **関連モード概要**」を参照）に格納されているプログラムです。**表** 24.10 に製品情報マットに格納される情報の格納アドレスとデータ例を示します。製品情報マット領域（H'80100000～H'80100078）のうち、**表** 24.10 にないアドレスは予約領域です。予約領域の読み出しデータは不定です。

表 24.10 **製品情報マット格納データ**

情報	アドレス	データ例
デバイス名	H'80100000～H'8010000F	H'52354637323533332020202020202020＝R5F72533
デバイスリビジョン	H'80100010～H'80100011	H'3031＝01
組み込みプログラムリビジョン	H'80100020～H'80100022	H'313030＝100（1.00）

24.9 使用上の注意事項

(1) リセット起動直後のデータマットプロテクト状態

EEPRE0／EEPWE0 レジスタの初期値が H'0000 であるため、リセット起動直後のデータマットの読み出し／書き込み／消去は禁止状態です。データマットの読み出しが必要な場合には EEPRE0 レジスタを設定してからデータマットにアクセスしてください。また、データマットの書き込み／消去が必要な場合には、EEPWE0 を設定してから書き込み／消去用の FCU コマンドを発行してください。レジスタを設定せずに読み出し／書き込み／消去を実行しようとすると、FCU がエラーを検出してコマンドロック状態になります。

(2) 割り込み無視状態

以下の状態では、NMI やマスカブル割り込みが発生しても無視されます。

- ブートモード動作中
- ユーザブートモード起動直後で、組み込みプログラム格納マットのプログラムを処理中

(3) 書き込み／消去サスペンド対象領域

書き込み／消去サスペンド中の領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去サスペンド対象領域のデータ読み出しが発生しないように注意してください。

(4) 従来の F-ZTAT SH マイコンとの書き込み／消去プログラムの互換性

従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本 LSI では動作しません。

(5) 書き込み／消去中のリセット

書き込み／消去処理中に FRESETR レジスタの FRESET ビットをセットして FCU をリセットする場合には、FCU のリセット状態を t_{RESW2}（**「第 30 章　電気的特性」**を参照）保持してください。書き込み／消去中の EEPROM には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保するために FCU のリセットが状態を保持する必要があります。FCU をリセットしている期間は EEPROM の読み出しを行わないでください。

書き込み／消去処理中に $\overline{RES}$ 端子のアサートによってパワーオンリセットを発生させた場合には、リセット期間を t_{RESW2}（**「第 30 章　電気的特性」**を参照）保持してください。パワーオンリセットでは、メモリに印加された電圧の降下に必要な期間だけでなく、EEPROM 用電源の初期化や EEPROM 内部回路の初期化に必要な期間を確保する必要があるため、FCU のリセットよりも長期間のリセット状態の保持が必要になります。

書き込み／消去処理中には、WDT カウンタのオーバフローによる内部リセットは発生しないようにしてください。WDT によるリセットでは、メモリ電圧の降下／EEPROM 用電源の初期化／EEPROM 内部の初期化に必要な期間を確保することができません。

書き込み／消去処理中に、$\overline{RES}$ 端子のアサートによるパワーオンリセット、または FRESETR レジスタの FRESET ビットをセットして FCU リセットを実行すると、書き込み／消去対象領域の全データは不定となります。

書き込み／消去の中断（例：リセット入力、電源瞬断）により、データが不定となった領域の書き込み／消去状態を確認するベリファイ手段はありません。したがって、不定となった領域を再度使用する場合は、消去処理を行い、完全な消去状態にしてから使用してください。

（6） 追加書き込み禁止

同一領域に 2 回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、必ず該当領域を消去してください。

（7） 製品情報マットへの書き込み／消去

製品情報マットは読み出し専用で、書き込み／消去はできません。EEPMAT レジスタの EEPSEL ビットを 1 にセットして書き込み／消去を行った場合、データマットへの書き込み／消去が実行されます。また、EEPROM アクセス違反などのエラーも発生しません。製品情報マットへの書き込み／消去は行わないようにしてください。

（8） 書き込み／消去サスペンドによる中断

書き込み／消去サスペンドコマンドによって書き込み／消去処理を中断した場合は、必ずレジュームコマンドにより動作を完了させてください。

（9） 書き込み／消去中の電源切断

書き込み／消去処理中に電源を切断しないでください。

書き込み／消去中の EEPROM には高電圧が印加されているため、メモリに印加された電圧の降下に必要な期間を確保する必要があります。そのため、止むを得ず電源が遮断される場合でも、$\overline{\text{HSTBY}}$ 端子のアサートによってハードウェアスタンバイ状態にして、スイッチオフ時の V_{cc} と PV_{cc} のホールド時間 t_{VCCH}（**「第 30 章　電気的特性」**を参照）を確保してから電源が切断されるように、システム設計を行ってください。

（10）FRDCLE ビットの 0 設定禁止

FSTATR1 の FRDTCT ビットが 1 にセットされた場合、FCU のコマンド処理の動作を保証できません。したがって、FRDTCT ビットが 1 にセットされたら必ずコマンドロック状態にさせるため、FRAMECCR の FRDCLE ビットを 0 に設定しないでください。

（11）FCUAREA レジスタのダミーリード

FCUAREA レジスタをライトして FCU ファーム領域の選択状態を変更した後に FCUAREA レジスタをダミーリードして、レジスタ値の書き換えを完了させてください。

25. ROM キャッシュ（ROMC）

ROM キャッシュは、ROM に格納された命令およびデータをキャッシングします。ROM キャッシュにより、ROM 内の命令およびデータの高速アクセスが可能になります。

25.1 特長

- 構成：命令／データ分離
- プリフェッチキャッシュ：8ライン・4ウェイセットアソシアティブ、LRU方式
- プリフェッチミスキャッシュ：4ライン・フルアソシアティブ、LRU方式
- データキャッシュ：4ライン・フルアソシアティブ、LRU方式
  ライト時は、常にライトスルー＆ライン自動インバリデート
- ラインサイズ：16バイト（128ビット）／ライン
- ハードウェアプリフェッチ：CPUの命令フェッチに先行してROMを読み出し、プリフェッチキャッシュに格納します。

25.2 構成

ROM キャッシュは、命令／データ分離型です。命令キャッシュは、プリフェッチキャッシュ（命令先読みのためのキャッシュ）、プリフェッチミスキャッシュ（プリフェッチキャッシュとプリフェッチミスキャッシュをともにミスした場合に ROM 読み出しデータを格納するキャッシュ）から構成されます。

キャッシュの構成を図 25.1 に示します。プリフェッチキャッシュは 8 ライン･4 ウェイセットアソシアティブ、プリフェッチミスキャッシュとデータキャッシュは 4 ライン・フルアソシアティブ構成です。すべてのキャッシュのラインサイズは 16 バイトで、ライン置き換えのアルゴリズムは LRU（Least Recently Used）方式です。各キャッシュのライン置き換え方式については、「25.4.1 データキャッシュの検索」を参照してください。

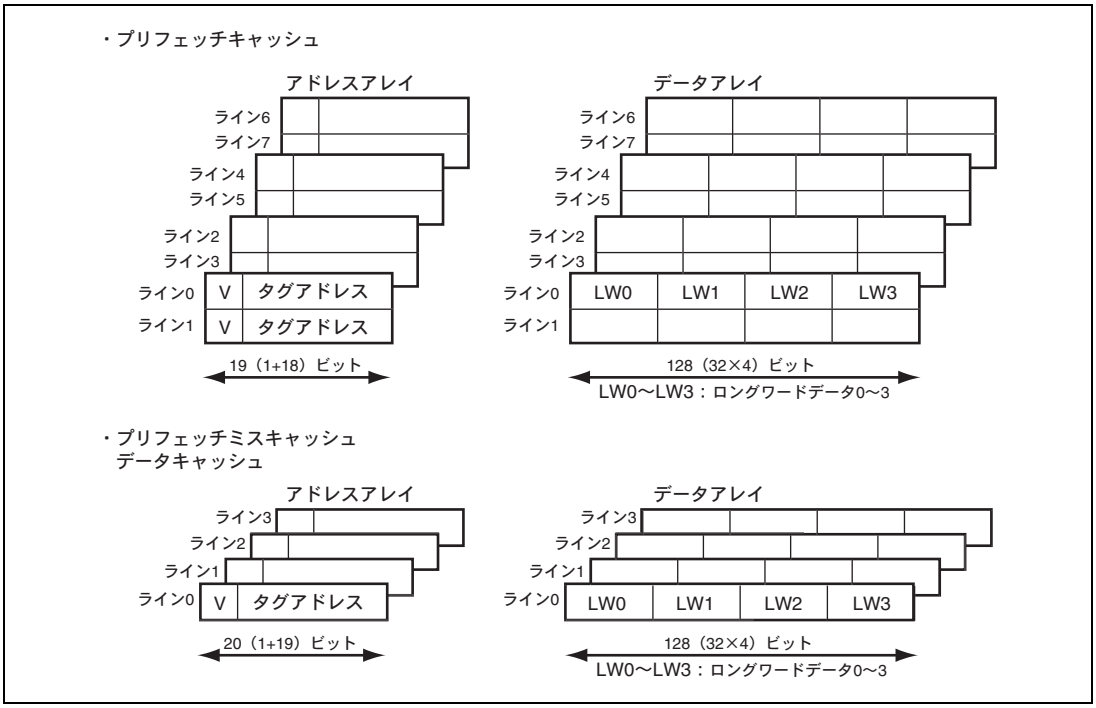


図 25.1　キャッシュ構成

(1) アドレスアレイ

V ビットは、ラインのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

ライトは常にライトスルーとし、同時に該当ラインがキャッシングされている場合は、そのラインを無効化します。

タグアドレスは、ROM キャッシュの検索に使用されるアドレスを保持します。プリフェッチキャッシュの場合には、18 ビット（アクセスアドレスのビット 22～5）から構成されます。プリフェッチミスキャッシュとデータキャッシュの場合には、19 ビット（アクセスアドレスのビット 22～4）から構成されます。アクセスアドレスのビット 31～23 は、空間識別に使用されるため、ROM キャッシュの検索には使用されません。

V ビットは、ROM キャッシュ制御レジスタのビット書き込み、およびリセット／スタンバイで 0 に初期化されます。

(2) データアレイ

16 バイトの命令あるいはデータを保持します。キャッシュへの登録の単位は、ライン単位（16 バイト単位）で行います。

各ラインのデータラインに対応する部分の大きさをラインサイズと称します。本製品のラインサイズは 16 バイト（128 ビット）です。

データアレイは、リセット後は不定となります。

25.3 レジスタの説明

ROM キャッシュには以下のレジスタがあります。これらのレジスタはロングワードでしかアクセスできません。表 25.1 に ROM キャッシュ関連のレジスタ構成を示します。

表 25.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ROM キャッシュ制御レジスタ	RCCR	R/W	H'00000001	H'FFFC1400	32
ROM キャッシュ制御レジスタ 2	RCCR2	R/W	H'000000F5	H'FFFC1408	32

25.3.1 ROM キャッシュ制御レジスタ（RCCR）

ROM キャッシュは RCCR の RCE ビットでイネーブル／ディスエーブルを指定します。また、RCCR には、ROM キャッシュの全ラインの無効化を制御する RCF ビット、命令用キャッシュ（プリフェッチキャッシュおよびプリフェッチミスキャッシュ）の全ラインの無効化を制御する RCFI ビット、データ用キャッシュ（データキャッシュ）の全ラインの無効化を制御する RCFD ビット、および ROM キャッシュ機能の使用の有無を選択する RCE ビットがあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	RCF	RCFI	RCFD	RCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31～4	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	RCF	0	R/W	ROM キャッシュフラッシュ 1 を書き込むと、ROM キャッシュの全ラインの V を 0 にクリア（フラッシュ）します。読み出すと 0 が読み出されます。 0：ROM キャッシュのラインの V をクリアしない 1：ROM キャッシュのラインの V をクリアする ［クリア条件］ • リセット／スタンバイ ［セット条件］ • 1 を書き込む

ビット	ビット名	初期値	R/W	説　　明
2	RCFI	0	R/W	命令用キャッシュフラッシュ 1 を書き込むと、プリフェッチキャッシュおよびプリフェッチミスキャッシュの全ラインの V を 0 にクリア（フラッシュ）します。読み出すと 0 が読み出されます。 0：命令用キャッシュのラインの V をクリアしない 1：命令用キャッシュのラインの V をクリアする ［クリア条件］ • リセット／スタンバイ ［セット条件］ • 1 を書き込む
1	RCFD	0	R/W	データ用キャッシュフラッシュ 1 を書き込むと、データ用キャッシュの全ラインの V を 0 にクリア（フラッシュ）します。読み出すと 0 が読み出されます。 0：データ用キャッシュのラインの V をクリアしない 1：データ用キャッシュのラインの V をクリアする ［クリア条件］ • リセット／スタンバイ ［セット条件］ • 1 を書き込む
0	RCE	1	R/W	ROM キャッシュイネーブル ROM キャッシュ機能を使用するかどうかを設定します。 0：ROM キャッシュ機能を使用しない 1：ROM キャッシュ機能を使用する ［クリア条件］ • 0 を書き込む ［セット条件］ • リセット／スタンバイ • 1 を書き込む

25.3.2 ROM キャッシュ制御レジスタ 2（RCCR2）

PCE2、PCE0 ビットでそれぞれ、プリフェッチミスキャッシュ、データキャッシュのイネーブル／ディスエーブルを指定します。また、PFE ビットでプリフェッチのイネーブル、ディスエーブルを指定します。

プリフェッチの各機能については、PFECF、PFENB、PFECB の各ビットでそれぞれ連続プリフェッチ、無条件分岐プリフェッチ、条件分岐プリフェッチに対してプリフェッチを行うかどうかを指定することができます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	PFECB	PFENB	PFECF	PFE	－	PCE2	－	PCE0
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31～8	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PFECB	1	R/W	条件分岐プリフェッチイネーブル 条件分岐に対するプリフェッチ機能を使用するかどうかを設定します。 0：条件分岐に対してプリフェッチ機能を使用しない 1：条件分岐に対してプリフェッチ機能を使用する ［クリア条件］ • 0 を書き込む ［セット条件］ • リセット／スタンバイ • 1 を書き込む
6	PFENB	1	R/W	無条件分岐プリフェッチイネーブル 無条件分岐に対するプリフェッチ機能を使用するかどうかを設定します。 0：無条件分岐に対してプリフェッチ機能を使用しない 1：無条件分岐に対してプリフェッチ機能を使用する ［クリア条件］ • 0 を書き込む ［セット条件］ • リセット／スタンバイ • 1 を書き込む

ビット	ビット名	初期値	R/W	説　　明
5	PFECF	1	R/W	連続プリフェッチイネーブル 連続フェッチに対するプリフェッチ機能を使用するかどうかを設定します。 0：連続フェッチに対してプリフェッチ機能を使用しない 1：連続フェッチに対してプリフェッチ機能を使用する ［クリア条件］ • 0 を書き込む ［セット条件］ • リセット／スタンバイ • 1 を書き込む
4	PFE	1	R/W	プリフェッチキャッシュイネーブル プリフェッチキャッシュ機能を使用するかどうかを設定します。 0：プリフェッチキャッシュ機能を使用しない 1：プリフェッチキャッシュ機能を使用する ［クリア条件］ • 0 を書き込む ［セット条件］ • リセット／スタンバイ • 1 を書き込む
3	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PCE2	1	R/W	プリフェッチミスキャッシュイネーブル プリフェッチミスキャッシュ機能を使用するかどうかを設定します。 0：プリフェッチミスキャッシュ機能を使用しない 1：プリフェッチミスキャッシュ機能を使用する ［クリア条件］ • 0 を書き込む ［セット条件］ • リセット／スタンバイ • 1 を書き込む
1	－	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	PCE0	1	R/W	データ用キャッシュイネーブル データキャッシュ機能を使用するかどうかを設定します。 0：データキャッシュ機能を使用しない 1：データキャッシュ機能を使用する ［クリア条件］ • 0 を書き込む ［セット条件］ • リセット／スタンバイ • 1 を書き込む

25.4 動作説明

25.4.1 データキャッシュの検索

データキャッシュがイネーブルの場合に ROM 領域のデータをリードすると、アドレスアレイのタグアドレス（4 ライン分）とアクセスアドレスのビット 22～4 が比較されます。比較結果が一致し、かつタグアドレスが有効（V ビットが 1）の場合には、データキャッシュがヒットして同一ラインのデータアレイのデータ LW0～LW3 が読み出されます。アクセスアドレスのビット 3、2 の値が 00 の場合には LW0、01 の場合には LW1、10 の場合には LW2、11 の場合には LW3 が CPU に出力されます。データキャッシュのライン 1 がヒットした場合の概念図を図 25.2 に示します。

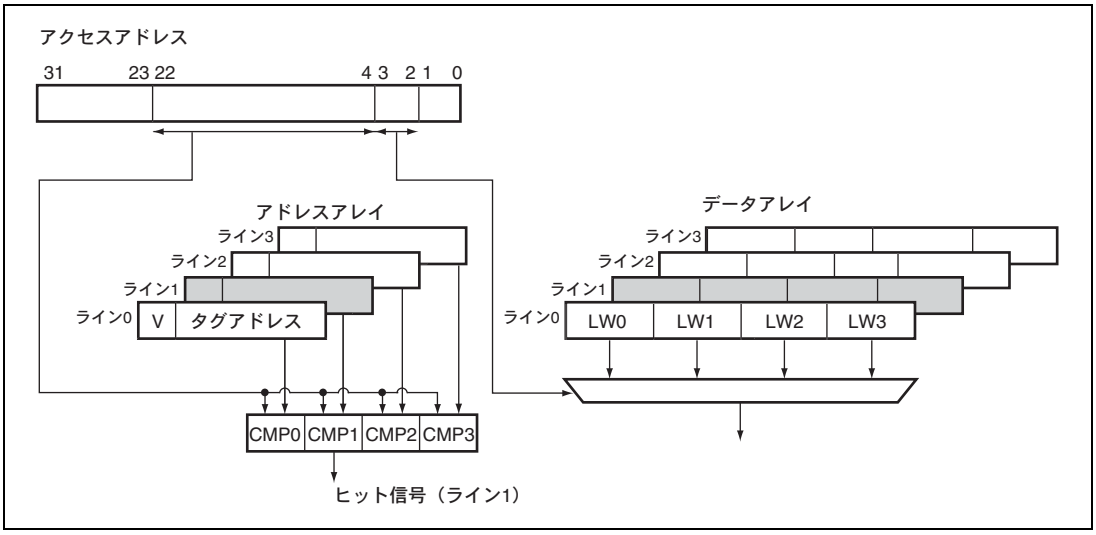


図 25.2 データキャッシュ検索方法の概念図（ライン 1 ヒット）

データキャッシュがヒットしなかった（ミスした）場合には、ROM の読み出しが実行され、データキャッシュの最も過去に参照されたラインのアドレスアレイのタグアドレスにリード先アドレスのビット 22～4、データアレイに ROM 読み出しデータが格納されます（LRU 方式）。また、データキャッシュへのデータ格納と同時に、CPU に ROM 読み出しデータが出力されます。

25.4.2 命令キャッシュの検索

プリフェッチキャッシュの検索時には、アクセスアドレスのビット 4 の値が 0 の場合に偶数ライン（ライン 0、2、4、6）、1 の場合に奇数ライン（ライン 1、3、5、7）が使用されます。プリフェッチキャッシュがイネーブルの場合に ROM 領域の命令をフェッチすると、アクセスアドレスのビット 4 によって選択された 4 ライン分のタグアドレスと命令フェッチ先のアドレスのビット 22～5 が比較されます。比較が一致し、かつタグアドレスが有効（V ビットが 1）の場合には、プリフェッチキャッシュがヒットして同一ラインのデータアレイのデータ LW0～LW3 が読み出されます。アクセスアドレスのビット 3、2 の値が 00 の場合には LW0、01 の場合には LW1、10 の場合には LW2、11 の場合には LW3 が CPU に出力されます。プリフェッチキャッシュのライン 2 がヒットした場合の概念図を**図 25.3** に示します。

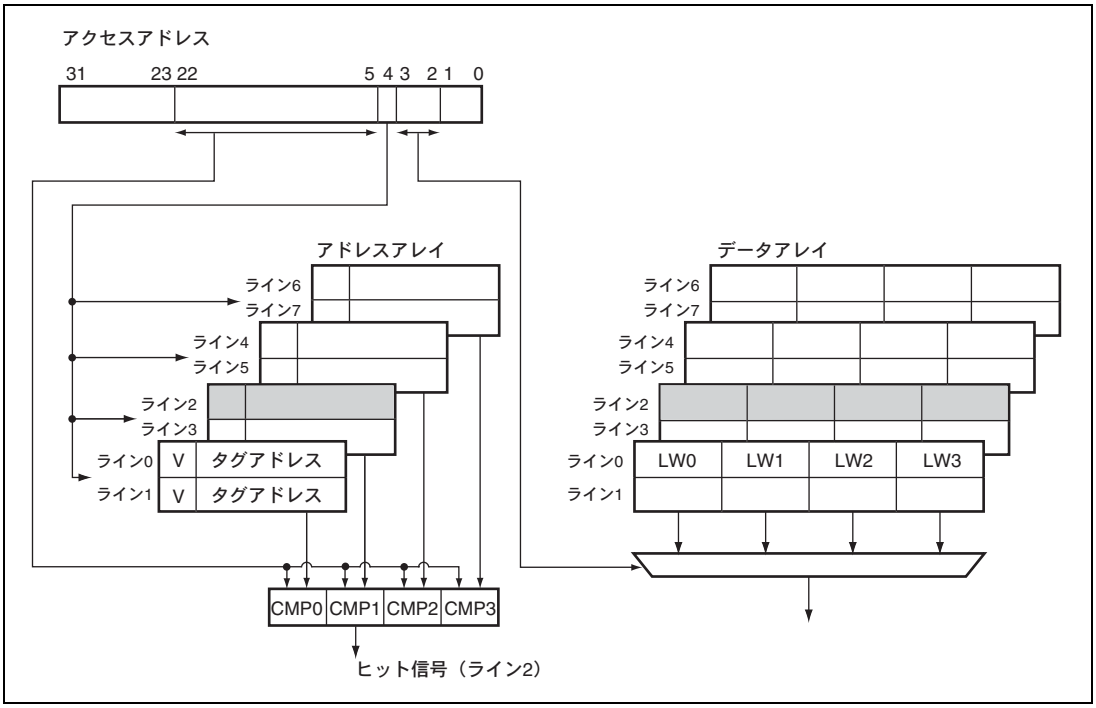


図 25.3 プリフェッチキャッシュ検索方法の概念図（ライン 2 ヒット）

プリフェッチミスキャッシュの検索方法は、データキャッシュと同様です。プリフェッチキャッシュとプリフェッチミスキャッシュの検索結果がともにミスであった場合には、ROM の読み出しが実行され、プリフェッチミスキャッシュの最も過去に参照されたラインのアドレスアレイのタグアドレスに命令フェッチ先アドレスのビット 22～5、データアレイに ROM 読み出しデータが格納されます（LRU 方式）。また、プリフェッチミスキャッシュへのデータ格納と同時に、CPU にも ROM 読み出しデータが出力されます。

プリフェッチキャッシュは、ハードウェアプリフェッチ時に更新します。プリフェッチ先のアドレスのビット 4 が 0 の場合には偶数ライン、1 の場合には奇数ラインのうち、最も過去に参照されたラインのアドレスアレイのタグアドレスにプリフェッチ先アドレスのビット 22～5、データアレイに ROM 読み出しデータが格納されます（LRU 方式）。

25.4.3 ハードウェアプリフェッチ

プリフェッチキャッシュはハードウェアプリフェッチを行い、キャッシュのヒット率を向上します。ハードウェアプリフェッチには連続プリフェッチと分岐プリフェッチがあります。

（1） 連続プリフェッチ

連続アクセスされる命令について、フェッチにおいてストールを生じないようにプリフェッチを行います。

（2） 分岐プリフェッチ

フェッチされるデータを CPU に返す際、この命令をデコードし、ターゲットアドレスを算出後、プリフェッチを行います。分岐プリフェッチにおいては、さらに細かく分類されています。

- 条件分岐プリフェッチ

  条件分岐命令（BF、BT、BF/S、BT/S）を発見するとプリフェッチを行います。

- BRA、BSR命令

  これらの命令に対して無条件分岐プリフェッチを行います。

- JMP、JSR、JSR/N命令を含む命令列

  これらの命令列に対して命令列が下記に示す命令順を満たし、かつ各命令のレジスタインデックスが一致した場合、プリフェッチを行います。

【プリフェッチされる命令例（JMP の例）】

```
MOVI20 #imm20, Rn
JMP @Rn
```

25.5 使用上の注意事項

ROMC のレジスタへの書き込みと連続して DMAC による ROM のリードが行われた場合、ROM から正常な値を読み出せない場合があります。DMAC による ROM アクセス実行中は、ROMC レジスタへの書き込みを行わないようにしてください。

26. RAM

本 LSI は、96KB の RAM を内蔵しています。内蔵 RAM は、F バス（CPU 命令フェッチバス）、M バス（メモリアクセスバス）、I バス（内部バス）と接続しており、それぞれ独立にアクセスすることができます。

図 26.1 に RAM のブロック図、図 26.2 に RAM のバス接続図を示します。

内蔵 RAM は、アドレス H'FFF80000～H'FFF97FFF（0～5 ページ）に割り付けられています（表 26.1）。

26.1 特長

- アクセス：CPU／FPU、DMAC、A-DMACは、8、16、または32ビット幅で内蔵RAMをアクセスすることができます。内蔵RAMのデータは、高速アクセスが必要なプログラムエリアまたはスタックエリアやデータアクセスとしての使用に適しています。
  動作周波数（PLLの逓倍比）に対応した範囲内でリード時に1または2サイクル、ライト時に2または3サイクルをレジスタにて設定する必要があります。
- RAM保持：ハードウェアスタンバイ時に、ページ0および1の32Kバイト領域についてRAMの内容が保持されます。
- ECC：レジスタの設定によりECCの有効／無効を選択することができます。初期状態ではECC誤り訂正の機能は有効の状態です。ECCが有効の状態では32ビットデータに対して1ビットの誤り訂正、2ビットの誤り検出が可能です。ECCが無効のときにはパリティエラー検出が可能です。これらの誤り検出、誤り訂正、パリティエラーを総称してRAMエラーと呼びます。また、RAMエラー発生時にそれを示すフラグを持ちます。
- 割り込み：RAMエラー発生時の割り込み要求の有無をレジスタで設定することができます。
- ポート：各ページは2本の独立した読み出し／書き込みポートを持ち、Iバス、Fバス、Mバスと接続されています。ただし、Fバスは読み出しポートのみに接続されています。CPUからのアクセスにはFおよびMバス、CPU以外からのアクセスにはIバスが使用されます。
- 優先順位：同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にIバス、Mバス、Fバスとなります。

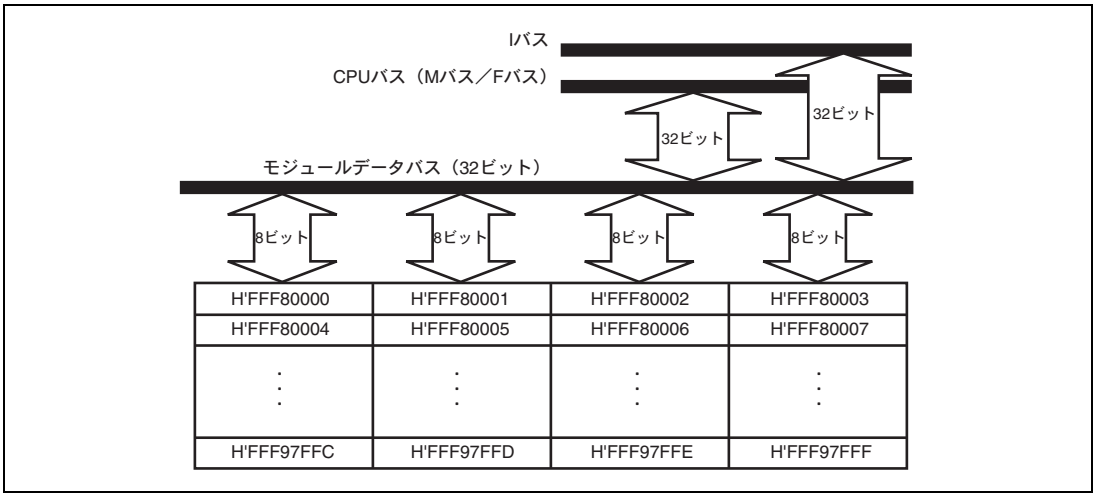


図 26.1　RAM のブロック図

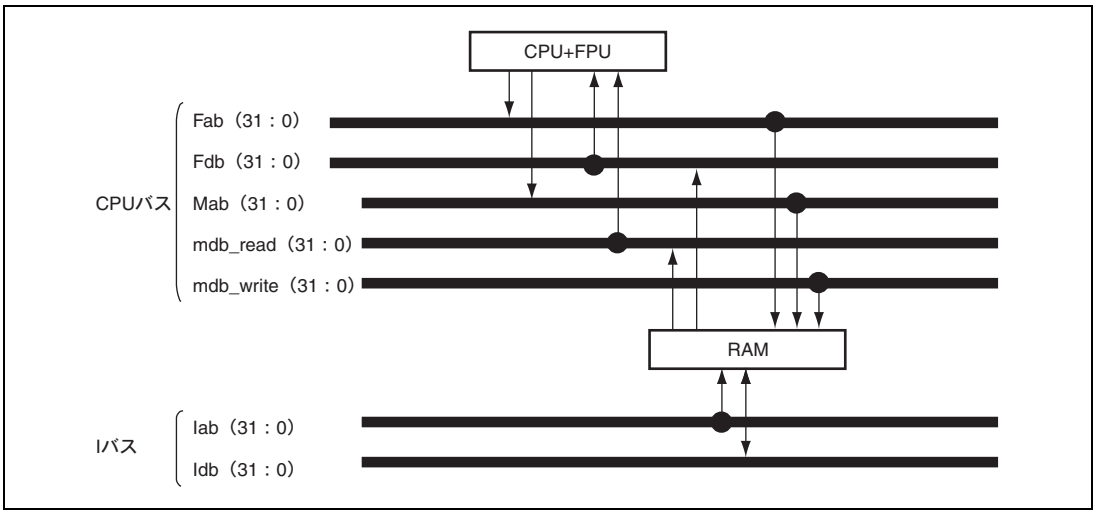


図 26.2　RAM のバス接続図

表 26.1　内蔵 RAM アドレス空間

ページ	アドレス
ページ 0	H'FFF80000～H'FFF83FFF
ページ 1	H'FFF84000～H'FFF87FFF
ページ 2	H'FFF88000～H'FFF8BFFF
ページ 3	H'FFF8C000～H'FFF8FFFF
ページ 4	H'FFF90000～H'FFF93FFF
ページ 5	H'FFF94000～H'FFF97FFF

26.2 レジスタの説明

RAM 関連レジスタには以下のレジスタがあります。

表 26.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
RAM イネーブルコントロールレジスタ	RAMEN	R/W	H'00FF	H'FFFF 0800	8、（16）
RAM 書き込みイネーブルコントロールレジスタ	RAMWEN	R/W	H'00FF	H'FFFF 0802	8、（16）
RAM ECC イネーブルコントロールレジスタ	RAMECC	R/W	H'0000	H'FFFF 0804	8、（16）
RAM エラーステータスレジスタ	RAMERR	R/W	H'00	H'FFFF 0806	8
RAM エラー割り込みコントロールレジスタ	RAMINT	R/W	H'00	H'FFFF 0810	8
RAM アクセスサイクル設定レジスタ	RAMACYC	R/W	H'0000	H'FFFF 0812	8、（16）

26.2.1 RAM イネーブルコントロールレジスタ（RAMEN）

RAMEN は、読み出し／書き込み可能な 16 ビットのレジスタで、内蔵 RAM へのアクセス許可／禁止を設定します。RAMEN は、リセット／スタンバイ時に H'00FF に初期化されます。書き込みはワードアクセスのみ可能で、読み出しはワード、バイトのどちらでも可能です。

アクセスを許可するページに対応する RAME5～0 ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアするとアクセスできません。アクセス禁止状態では、対応するページのリードおよび命令フェッチは不定値が読み出され、ライトは無視されます。初期値は 1 です。

なお、RAME5～0 ビットを書き換える場合には、RAMEN では上位バイトを H'96 にし、下位バイトを書き込みデータにしてワードサイズで行ってください。

RAMEN の上位バイト（ビット 15～8）の読み出し時には常に H'00 が読み出されます。

RAMEN へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

RAME5～0 ビットを書き換える場合、RAMEN へのライト命令の直後に RAMEN のリード命令と NOP 命令を 5 個以上実行してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RN0KEY[7:0]								－	－	RAME5	RAME4	RAME3	RAME2	RAME1	RAME0
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。
詳しくは、「26.2.7 レジスタアクセス時の注意」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
15～8	RN0KEY [7:0]	H'00	R/(W)	RAME ビットの書き換え可否を設定するためのビットです。 H'96 : RAME5～0 ビットの書き込み許可。書き込みデータは保持されませんので読み出し値は常に H'00 です。 H'96 以外：RAME5～0 ビットの書き込み不可
7、6	－	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 （上位バイトに H'96 を同時書き込み）
5	RAME5	1	R/W	RAM イネーブル 5 内蔵 RAM のページ 5 に対するアクセスの有効／無効を設定するためのビットです。 0：内蔵 RAM のページ 5 が無効 1：内蔵 RAM のページ 5 が有効 ［クリア条件］ • 0 書き込み（上位バイトに H'96 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'96 を同時書き込み）
4	RAME4	1	R/W	RAM イネーブル 4 内蔵 RAM のページ 4 に対するアクセスの有効／無効を設定するためのビットです。 0：内蔵 RAM のページ 4 が無効 1：内蔵 RAM のページ 4 が有効 ［クリア条件］ • 0 書き込み（上位バイトに H'96 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'96 を同時書き込み）

ビット	ビット名	初期値	R/W	説　　明
3	RAME3	1	R/W	RAM イネーブル 3 内蔵 RAM のページ 3 に対するアクセスの有効／無効を設定するためのビットです。 0：内蔵 RAM のページ 3 が無効 1：内蔵 RAM のページ 3 が有効 ［クリア条件］ • 0 書き込み（上位バイトに H'96 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'96 を同時書き込み）
2	RAME2	1	R/W	RAM イネーブル 2 内蔵 RAM のページ 2 に対するアクセスの有効／無効を設定するためのビットです。 0：内蔵 RAM のページ 2 が無効 1：内蔵 RAM のページ 2 が有効 ［クリア条件］ • 0 書き込み（上位バイトに H'96 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'96 を同時書き込み）
1	RAME1	1	R/W	RAM イネーブル 1 内蔵 RAM のページ 1 に対するアクセスの有効／無効を設定するためのビットです。 0：内蔵 RAM のページ 1 が無効 1：内蔵 RAM のページ 1 が有効 ［クリア条件］ • 0 書き込み（上位バイトに H'96 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'96 を同時書き込み）
0	RAME0	1	R/W	RAM イネーブル 0 内蔵 RAM のページ 0 に対するアクセスの有効／無効を設定するためのビットです。 0：内蔵 RAM のページ 0 が無効 1：内蔵 RAM のページ 0 が有効 ［クリア条件］ • 0 書き込み（上位バイトに H'96 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'96 を同時書き込み）

26.2.2 RAM 書き込みイネーブルコントロールレジスタ（RAMWEN）

RAMWEN は、読み出し／書き込み可能な 16 ビットのレジスタで、内蔵 RAM への書き込み許可／禁止を設定します。RAMWEN は、リセット／スタンバイ時に H'00FF に初期化されます。書き込みはワードアクセスのみ可能で、読み出しはワード、バイトのどちらでも可能です。

アクセスを許可するページに対応する RAMWE5～0 ビットを 1 にセットすると内蔵 RAM への書き込みが有効になります。0 にクリアすると内蔵 RAM への書き込みはできません。アクセス禁止状態では、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、RAMWE5～0 ビットを書き換える場合には、RAMWEN では上位バイトを H'69 にし、下位バイトを書き込みデータにしてワードサイズで行ってください。

RAMWEN の上位バイト（ビット 15～8）の読み出し時には常に H'00 が読み出されます。

RAMWEN へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

RAMWE5～0 ビットを書き換える場合、RAMWEN へのライト命令の直後に RAMWEN のリード命令と NOP 命令を 5 個以上実行してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RWN0KEY[7:0]								–	–	RAM WE5	RAM WE4	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。
詳しくは、「26.2.7 レジスタアクセス時の注意」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
15～8	RWN0KEY [7:0]	H'00	R/(W)	RAMWE ビットの書き換え可否を設定するためのビットです。 H'69 : RAMWE5～0 ビットへの書き込み許可。書き込みデータは保持されませんので読み出し値は常に H'00 です。 H'69 以外：RAMWE5～0 ビットへの書き込み不可
7、6	–	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。 （上位バイトに H'69 を同時書き込み）

ビット	ビット名	初期値	R/W	説　　明
5	RAMWE5	1	R/W	RAM 書き込みイネーブル 5 内蔵 RAM のページ 5 への書き込みを有効／無効にするためのビットです。 0：内蔵 RAM のページ 5 への書き込みが無効 1：内蔵 RAM のページ 5 への書き込みが有効 ［クリア条件］ • 0 書き込み（上位バイトに H'69 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'69 を同時書き込み）
4	RAMWE4	1	R/W	RAM 書き込みイネーブル 4 内蔵 RAM のページ 4 への書き込みを有効／無効にするためのビットです。 0：内蔵 RAM のページ 4 への書き込みが無効 1：内蔵 RAM のページ 4 への書き込みが有効 ［クリア条件］ • 0 書き込み（上位バイトに H'69 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'69 を同時書き込み）
3	RAMWE3	1	R/W	RAM 書き込みイネーブル 3 内蔵 RAM のページ 3 への書き込みを有効／無効にするためのビットです。 0：内蔵 RAM のページ 3 への書き込みが無効 1：内蔵 RAM のページ 3 への書き込みが有効 ［クリア条件］ • 0 書き込み（上位バイトに H'69 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'69 を同時書き込み）
2	RAMWE2	1	R/W	RAM 書き込みイネーブル 2 内蔵 RAM のページ 2 への書き込みを有効／無効にするためのビットです。 0：内蔵 RAM のページ 2 への書き込みが無効 1：内蔵 RAM のページ 2 への書き込みが有効 ［クリア条件］ • 0 書き込み（上位バイトに H'69 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'69 を同時書き込み）

ビット	ビット名	初期値	R/W	説　　明
1	RAMWE1	1	R/W	RAM 書き込みイネーブル 1 内蔵 RAM のページ 1 への書き込みを有効／無効にするためのビットです。 0：内蔵 RAM のページ 1 への書き込みが無効 1：内蔵 RAM のページ 1 への書き込みが有効 ［クリア条件］ • 0 書き込み（上位バイトに H'69 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'69 を同時書き込み）
0	RAMWE0	1	R/W	RAM 書き込みイネーブル 0 内蔵 RAM のページ 0 への書き込みを有効／無効にするためのビットです。 0：内蔵 RAM のページ 0 への書き込みが無効 1：内蔵 RAM のページ 0 への書き込みが有効 ［クリア条件］ • 0 書き込み（上位バイトに H'69 を同時書き込み） ［セット条件］ • リセット／スタンバイ • 1 書き込み（上位バイトに H'69 を同時書き込み）

26.2.3 RAM ECC イネーブルコントロールレジスタ（RAMECC）

RAMECC は、ECC 誤り訂正の有効／無効を設定するためのレジスタです。RAMECC は、リセット／スタンバイによって初期化されます。

RAMECC への書き込みはワードアクセスのみ可能で、読み出しはワード、バイトのどちらでも可能です。RAMECC への書き込みは、上位バイトを H'76 にし、下位バイトを書き込みデータにしてワードで行ってください。

RAMECC の上位バイト（ビット 15～8）の読み出し時には常に H'00 が読み出されます。

RAMECC へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

RECCA ビットを書き換える場合、RAMECC へのライト命令の直後に RAMECC のリード命令と NOP 命令を 5 個以上実行してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REKEY[7:0]								－	－	－	－	－	－	－	RECCA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R	R	R	R	R	R	R	R/W

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。
詳しくは、「26.2.7 レジスタアクセス時の注意」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
15～8	REKEY [7:0]	H'00	R/(W)	RECCA ビットの書き換え可否を設定するためのビットです。 H'76：RECCA ビットへの書き込み可能。書き込みデータは保持されませんので読み出し値は常に H'00 です。 H'76 以外：RECCA ビットへの書き込み不可
7～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RECCA	0	R/W	ECC 誤り訂正の有効／無効を設定するためのビットです。 0：ECC 誤り訂正が有効 1：ECC 誤り訂正が無効 ［クリア条件］ • リセット／スタンバイ • 0 書き込み（上位バイトに H'76 を同時書き込み） ［セット条件］ • 1 書き込み（上位バイトに H'76 を同時書き込み）

26.2.4 RAM エラーステータスレジスタ（RAMERR）

RAMERR は、RAM エラーの発生をモニタするためのレジスタです。

RAMERR は、リセット／スタンバイによって初期化されます。書き込み／読み出しはバイトアクセスのみ可能です。

ECC 誤り訂正が有効に設定された場合の RAM の読み出し時に 1 ビットの誤り訂正が発生すると RCRCT0 ビットがセットされ、2 ビットの誤り検出が発生すると RDTCT0 ビットがセットされます。また、ECC 誤り訂正が無効に設定された場合の RAM の読み出し時および書き込み時にパリティエラーが発生すると、RPARI0 ビットがセットされます。

RDTCT0、RCRCT0 ビットがセットされた後に RAM ECC イネーブルコントロールレジスタ（RAMECC）の設定で ECC 誤り訂正を無効にした場合には、RDTCT0、RCRCT0 ビットはセットされたままとなります。

また、RPARI0 ビットがセットされた後に RAMECC イネーブルコントロールレジスタ（RAMECC）の設定で ECC 誤り訂正を有効にした場合には、RPARI0 ビットはセットされたままとなります。

セットされたステータスビットは 1 の読み出しが行われたビットのみ 0 の書き込みでクリアされます。0 を書き込んだ後は、RAMERR のリード命令と NOP 命令を 5 個以上実行してください。

RAMERR のビット 7～5、3、2 の読み出し時には常に 0 が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	RPARI0	–	–	RDTCT0	RCRCT0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7～5	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	RPARI0	0	R/W	RAM パリティエラーモニタビット 0 ECC 誤り訂正無効時にパリティエラー発生の有無をモニタするためのビットです。 0：パリティエラーが未発生 1：パリティエラーが発生 ［クリア条件］ • リセット／スタンバイ • 1 を読み出した後に 0 を書き込み ［セット条件］ • パリティエラーが発生
3、2	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
1	RDTCT0	0	R/W	RAM 2 ビット誤り検出モニタビット 0 ECC 誤り訂正有効時に 2 ビット誤り検出の発生有無をモニタするためのビットです。 0 : 2 ビット誤り検出が未発生 1 : 2 ビット誤り検出が発生 ［クリア条件］ • リセット／スタンバイ • 1 を読み出した後に 0 を書き込み ［セット条件］ • 2 ビット誤り検出が発生
0	RCRCT0	0	R/W	RAM 1 ビット誤り訂正モニタビット 0 ECC 誤り訂正有効時に 1 ビット誤り訂正発生の有無をモニタするためのビットです。 0 : 1 ビット誤り訂正が未発生 1 : 1 ビット誤り訂正が発生 ［クリア条件］ • リセット／スタンバイ • 1 を読み出した後に 0 を書き込み ［セット条件］ • 1 ビット誤り訂正が発生

26.2.5 RAM エラー割り込みコントロールレジスタ（RAMINT）

RAMINT は、RAM エラー割り込みの有効／無効を設定するためのレジスタです。

RAMECC イネーブルコントロールレジスタ（RAMECC）により ECC 誤り訂正を有効に設定した場合、RAMINT の RECIE0 を有効に設定したとき、1 ビット誤り訂正または 2 ビット誤り検出が発生すると割り込みが発生します。また、RAMINT の REDIE0 を有効に設定したときに、2 ビット誤り検出が発生すると割り込みが発生します。**表 26.3** に ECC 誤り訂正が有効時の割り込み発生条件を示します。RAMECC により ECC 誤り訂正を無効に設定した場合、RAMINT の RPEIE0 を有効に設定したときにパリティエラーが発生すると割り込みが発生します。

RAMINT は、リセット／スタンバイによって初期化されます。

RAMINT への書き込み／読み出しはバイトアクセスのみ可能です。RAMINT を書き換える場合、RAMINT へのライト命令の直後に RAMINT のリード命令と NOP 命令を 5 個以上実行してください。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	RP EIE0	—	—	RE DIE0	RE CIE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	RPEIE0	0	R/W	RAM パリティエラー割り込みビット 0 ECC 誤り訂正無効時にパリティエラー発生時の割り込みの有効／無効を設定するためのビットです。 0：パリティエラー発生時の割り込みが無効 1：パリティエラー発生時の割り込みが有効
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	REDIE0	0	R/W	RAM2 ビット誤り検出割り込みビット 0 ECC 誤り訂正有効時に 2 ビット誤り検出発生時の割り込みの有効／無効を設定するためのビットです。 0：2 ビット誤り検出時の割り込みが無効 1：2 ビット誤り検出時の割り込みが有効
0	RECIE0	0	R/W	RAM1 ビット誤り訂正割り込みビット 0 ECC 誤り訂正有効時に 1 ビット誤り訂正発生時の割り込みの有効／無効を設定するためのビットです。 0：1 ビット誤り訂正時の割り込みが無効 1：1 ビット誤り訂正時の割り込みが有効

表 26.3 ECC 誤り訂正有効時の割り込み発生条件

REDIE ビット	RECIE ビット	割り込みが発生する RAM エラー
0	0	なし
0	1	1 ビット誤り訂正、または 2 ビット誤り検出発生時
1	0	2 ビット誤り検出発生時
1	1	1 ビット誤り訂正、または 2 ビット誤り検出発生時

26.2.6 RAM アクセスサイクル設定レジスタ（RAMACYC）

RAMACYC は、RAM のリード／ライトサイクルを設定するためのレジスタです。PLL クロックの逓倍比と ECC の有効／無効によって、サイクル設定の範囲が決まりますので表 26.4 に示す推奨の設定値の範囲でご使用ください。WRCYC ビット、RDCYC ビットは、リセット／スタンバイによって初期化されます。

RAMACYC への書き込みは、上位バイトを H'78 にし、下位バイトを書き込みデータにしてワードで行ってください。書き込みはワードアクセスのみ可能で、読み出しはワード、バイトのどちらでも可能です。

RAMACYC の上位バイト（ビット 15～8）の読み出し時には常に H'00 が読み出されます。

RAM アクセス中には RAMACYC への書き込みを行わないでください。そのため、RAMACYC レジスタを書き換える場合は、RAM イネーブルコントロールレジスタ（RAMEN）の RAME ビットをすべて 0 にセットし、RAM アクセスを禁止した上で書き換えを行ってください。

また、RAMACYC へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

WRCYC1、0 ビットおよび RDCYC ビットを書き換える場合、RAMACYC へのライト命令の直後に RAMACYC のリード命令と NOP 命令を 5 個以上実行してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RAKEY[7:0]								－	－	WRCYC[1:0]		－	－	－	RDCYC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R/(W)	R	R	R/W	R/W	R	R	R	R/W

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。
詳しくは、「26.2.7 レジスタアクセス時の注意」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
15～8	RAKEY [7:0]	H'00	R/(W)	WRCYC[1]、WRCYC[0]、RDCYC ビットの書き換え可否を設定するためのビットです。 H'78：WRCYC[1]、WRCYC[0]、RDCYC ビットへの書き込み可能。 書き込みデータは保持されませんので読み出し値は常に H'00 です。 H'78 以外：WRCYC[1]、WRCYC[0]、RDCYC ビットへの書き込み不可
7、6	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
5、4	WRCYC [1:0]	00	R/W	RAM のライトサイクルを設定するためのビットです。 00：ライトアクセスを 4 サイクルに設定 01：ライトアクセスを 3 サイクルに設定 10：設定禁止 11：設定禁止 ［クリア条件］ • リセット／スタンバイ • B'00 書き込み（上位バイトに H'78 を同時書き込み） ［セット条件］ • 上位バイトに H'78 を同時書き込み
3～1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RDCYC	0	R/W	RAM のリードサイクルを設定するためのビットです。 0：リードアクセスを 2 サイクルに設定 1：設定禁止 ［クリア条件］ • リセット／スタンバイ • 0 書き込み（上位バイトに H'78 を同時書き込み） ［セット条件］ • 1 書き込み（上位バイトに H'78 を同時書き込み）

I バスのアクセスは周辺クロック（Pφ）で行われ、M バス／F バスの内部クロック（φ）とは異なります。そのため、I バスのアクセスサイクル数は、本レジスタの設定値だけでなく PLL 逓倍比の設定値と周辺クロック逓倍比の設定値との組み合わせによって決まります。

PLL 逓倍比が×6 時と、周辺クロック逓倍比が×2 かつ PLL 逓倍比が×8（SH72533）、×10（SH72533D）時の I バスリードアクセス、および周辺クロック逓倍比が×2 かつ PLL 逓倍比が×6 時の I バスライトアクセスでは、コマンド／アドレスの受理に 1 サイクルを使用するため、全体で 2 サイクル必要となります。

表 26.4（1） リード／ライトサイクルの設定推奨値（SH72533）

PLL 逓倍比	設定推奨値		F バス／M バスアクセス（φ）		周辺クロック逓倍比	I バスサイクル（Pφ）	
	RDCYC	WRCYC[1:0]	リード［サイクル］	ライト［サイクル］		リード［サイクル］	ライト［サイクル］
×6	B'0	B'01	2	3	×1	2	1
					×2	2	2
×8	B'0	B'01	2	3	×1	1	1
					×2	2	1

表 26.4（2） リード／ライトサイクルの設定推奨値（SH72533D）

PLL 逓倍比	設定推奨値		F バス／M バスアクセス（φ）		周辺クロック逓倍比	I バスサイクル（Pφ）	
	RDCYC	WRCYC[1:0]	リード［サイクル］	ライト［サイクル］		リード［サイクル］	ライト［サイクル］
×6	B'0	B'01	2	3	×1	2	1
					×2	2	2
×10	B'0	B'01	2	3	×1	1	1
					×2	2	1

26.2.7 レジスタアクセス時の注意

RAM イネーブルコントロールレジスタ（RAMEN）、RAM 書き込みイネーブルコントロールレジスタ（RAMWEN）、RAM ECC イネーブルコントロールレジスタ（RAMECC）、RAM アクセスサイクル設定レジスタ（RAMACYC）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で書き込みを行ってください。

RAMEN、RAMWEN、RAMECC、および RAMACYC レジスタへ書き込むときは必ずワードでアクセスしてください。バイトおよびロングワード命令では書き込めません。

図 26.3 に示しますように、上位バイトにキーデータを書き込んでください。

- RAMENへ書き込むときは上位バイトをH'96にし、下位バイトを書き込みデータにして転送してください。
- RAMWENへ書き込むときは上位バイトをH'69にし、下位バイトを書き込みデータにして転送してください。
- RAMECCへ書き込むときは上位バイトをH'76にし、下位バイトを書き込みデータにして転送してください。
- RAMACYCへ書き込むときは上位バイトをH'78にし、下位バイトを書き込みデータにして転送してください。

RAMEN、RAMWEN、RAMECC、および RAMACYC の上位バイト（ビット 15～8）の読み出し時には常に H'00 が読み出されます。

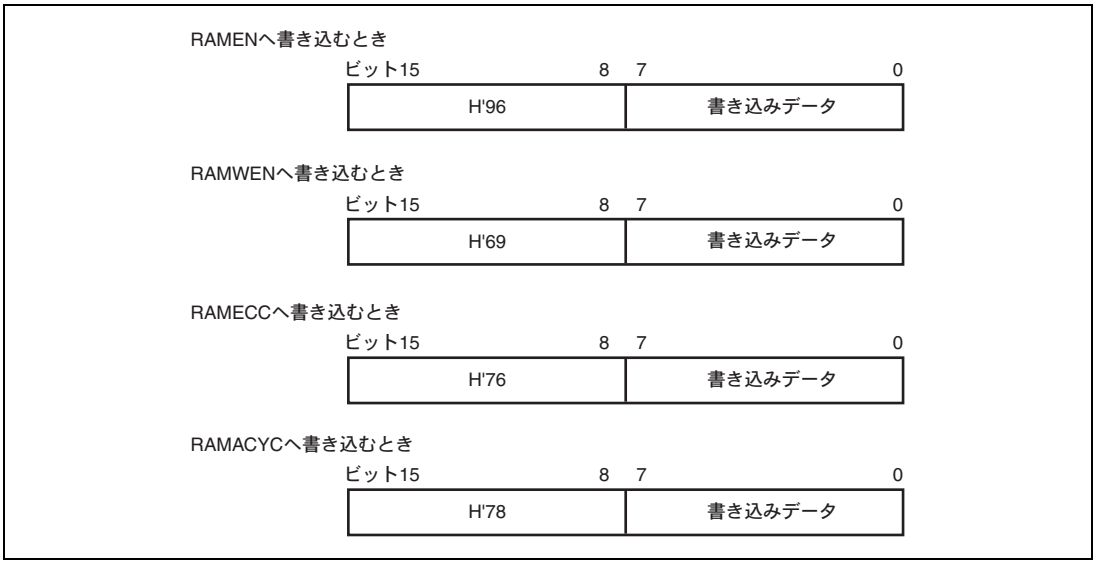


図 26.3　RAMEN、RAMWEN、RAMECC、および RAMACYC レジスタへの書き込み

26.3 動作説明

内蔵 RAM へのアクセスは、RAM イネーブルコントロールレジスタ（RAMEN）および RAM 書き込みイネーブルコントロールレジスタ（RAMWEN）で制御されます。

RAM アクセスのイネーブル／ディスエーブルは、RAM イネーブルコントロールレジスタ（RAMEN）の RAME5～0 ビットによって内蔵 RAM アドレスのエリアごとに設定できます。

RAMEN レジスタの RAME5～0 ビットを 0 にクリアすると内蔵 RAM はアクセスできません。読み出すと不定値が読み出され、書き込みは無効です。

RAM の書き込みイネーブル／ディスエーブルは、RAM 書き込みイネーブルコントロールレジスタ（RAMWEN）の RAMWE5～0 ビットによってエリアごとに設定できます。

レジスタの設定により ECC の有効／無効を選択することができます。初期状態では ECC 誤り訂正の機能は有効の状態です。

ECC が有効のときに 1 ビットの誤り訂正、2 ビットの誤り検出が可能です。

ECC が有効のときに 1 ビットの誤り訂正、2 ビットの誤り検出発生時にそれを示すフラグ（RAM エラーステータスレジスタ）を持ちます。ECC が無効のときにはパリティエラー発生時にそれを示すフラグ（RAM エラーステータスレジスタ）を持ちます。RAM エラーステータスレジスタがセットされたときに RAM エラー（RAME）割り込みを発生することができます。

割り込み発生のイネーブル／ディスエーブルは、RAM エラー割り込みコントロールレジスタで設定することができます。

26.4 RAM のデータ保持

26.4.1 リセット時のデータ保持

LSI の動作中に外部から $\overline{\text{RES}}$ 端子にローレベル信号を入力すると、LSI はパワーオンリセット状態に遷移します。このとき内蔵 RAM をアクセスしていると、バスサイクルが正常終了しないために当該アドレスの RAM データが破壊されることがあります。

LSI 外部から内蔵 RAM のアクセスを避けてリセットを入力することは困難なため、リセット時にすべてのデータを保持する必要がある場合は RAM イネーブルレジスタ（RAMEN）により、当該 RAM を無効にする必要があります。

ただしパワーオンリセット状態を経てブートモード、ユーザブートモードへ遷移した場合は、LSI 内蔵の組み込みプログラムが RAM を使用するため、RAM の内容は保持されません。

26.4.2 ハードウェアスタンバイ時のデータ保持

本 LSI はハードウェアスタンバイ状態に遷移すると、RAM のページ 0、1 を除いて内部電源を遮断します。したがって、ページ 0、1 以外のページのデータは保持しません。ページ 0、1 のデータをハードウェアスタンバイ中に保持させるためには、**図 26.4** に示すシーケンスに従ってハードウェアスタンバイへ遷移する必要があります。

ハードウェアスタンバイ中は V_{CC} 電源に規定の電圧（V_{RAM}）が供給されているかぎり、ページ 0、1 のデータを保持することができます。

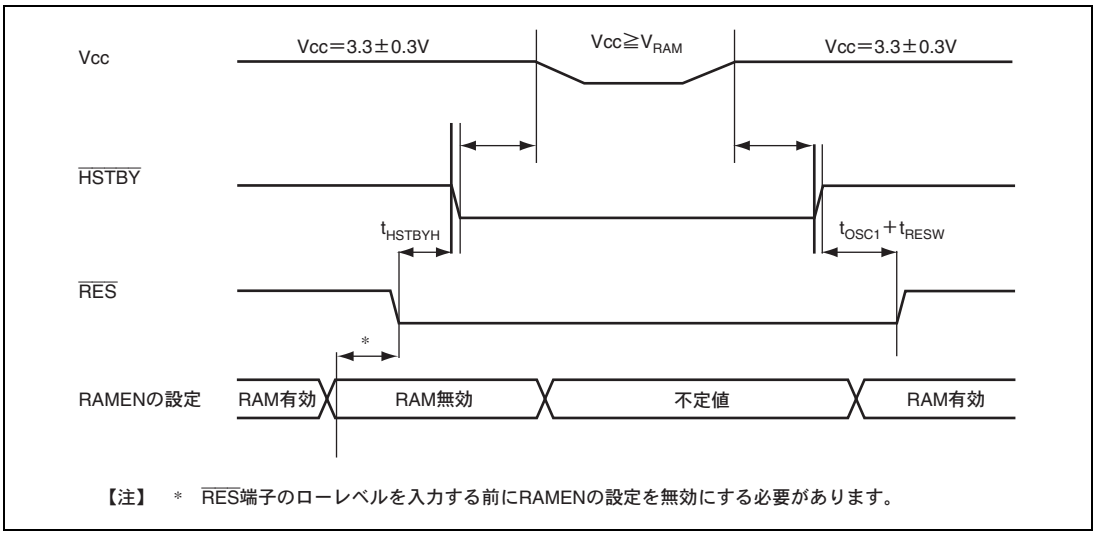


図 26.4 ハードウェアスタンバイ時の RAM データ保持

26.5 使用上の注意事項

26.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となり、優先順位に従ってアクセスが処理されます。優先順位は、高い順に I バス、M バス、F バスとなります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるメモリ、異なるページをアクセスすると競合は発生しません。

26.5.2 電源立ち上げ後の状態

電源立ち上げ後は、ECC 誤り訂正データやパリティを含むすべての RAM データが不定値です。そのため、RAM データと誤り訂正データやパリティの値の関係は整合が取れていない場合があります。

電源立ち上げ後には RAM データと誤り訂正データの整合をとる（初期化する）ため、使用するすべての RAM エリアについて何らかのデータを書き込む必要があります。もし、初期化せずに RAM の読み出しを行った場合は、RAM エラーが発生することがあります。

なお、RAM の書き込みでは、RAM エラーが発生することはありません。

26.5.3 RAM 書き込み無効設定時の書き込み動作

初期化された RAM において RAM 書き込み無効設定を行ったページに対して書き込み動作を行い、かつそのアドレスに ECC エラーが発生していた場合、ECC エラーを誤検出し、ECC エラーフラグがセットされます。また割り込み有効設定時は割り込みも発生します。ただしこのとき書き込み動作は行われていないためデータが破壊されることはありません。

27. 低消費電力モード

低消費電力モードとして、ハードウェアスタンバイモード、スリープモードの 2 種類のモードおよび一部のモジュールの動作を停止させることができるモジュールスタンバイ機能があります。アプリケーションに応じて適当なモードを選択することで、LSI の消費電力を低減させることができます。

27.1 特長

27.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- **ハードウェアスタンバイモード**

  $\overline{\text{RES}}$、$\overline{\text{HSTBY}}$端子の入力レベルによりハードウェアスタンバイモードに遷移します。

  ハードウェアスタンバイモード中はLSIの全機能が停止し、LSI内部の大部分の電源を遮断します。この状態からは、パワーオンリセットにより復帰します。

- **スリープモード**

  CPUの命令によってスリープモードに遷移します。ただし、CPU以外の内蔵周辺モジュールは動作します。この状態からは、パワーオンリセット、割り込み、DMAアドレスエラーにより復帰します。

- **モジュールスタンバイ機能**

  モジュールスタンバイ可能な内蔵周辺モジュール（FPU、UBC、DMAC、JTAGインタフェース）について、クロックの供給を停止してモジュールの動作を停止させることができます。スタンバイコントロールレジスタ（STBCR）の各ビットにより、対象とするモジュールへのクロックの供給をそれぞれ制御することができます。

表 27.1 に各モードでの CPU や周辺モジュールなどの状態、**表 27.2** にプログラム実行状態から各モードへ遷移する条件および各モードの解除方法を示します。

表 27.1 低消費電力モードの状態

低消費電力モード	状態*				
	CPG	CPU	CPU レジスタ	内蔵 RAM	内蔵周辺モジュール
ハードウェアスタンバイモード	停止（電源遮断）	停止（電源遮断）	停止（電源遮断）	一部（32KB）領域保持（保持領域以外は電源遮断）	停止（電源遮断）
スリープモード	動作	停止	保持	動作	動作
モジュールスタンバイ機能	動作	動作	動作	動作	指定モジュールが停止

【注】 * 端子状態は、保持またはハイインピーダンスです。詳細は「付録 A. 端子状態」を参照してください。

表 27.2 低消費電力モードの遷移条件と解除方法

低消費電力モード	遷移条件	解除方法
ハードウェアスタンバイモード	• $\overline{\text{RES}}$ 端子にローレベルが入力された状態で、$\overline{\text{HSTBY}}$ 端子をローレベルにする	• $\overline{\text{HSTBY}}$ 端子にハイレベルを入力して、パワーオンリセット
スリープモード	• SLEEP 命令を実行	• パワーオンリセット • 割り込み • DMA アドレスエラー
モジュールスタンバイ機能	• STBCR の MSTP ビットを 1 とする	• MSTP ビットを 0 にクリア • パワーオンリセット

27.2 入出力端子

低消費電力モード関連の端子構成を表 27.3 に示します。

表 27.3 端子構成

名称	端子名	入出力	機　　能
パワーオンリセット	$\overline{\text{RES}}$	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。
ハードウェアスタンバイ	$\overline{\text{HSTBY}}$	入力	$\overline{\text{RES}}$ 端子にローレベルが入力された状態で端子にローレベルを入力することにより、ハードウェアスタンバイモードへ遷移します。

27.3 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。

表 27.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'0000	H'FFFE0400	8、16

27.3.1 スタンバイコントロールレジスタ（STBCR）

STBCR は、読み出し／書き込み可能な 16 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR は、パワーオンリセットやハードウェアスタンバイ時に H'0000 に初期化されます。

STBCR への書き込みはワード単位で行う必要があります。MSTP4～MSTP0 ビットの値を書き換える際には、同時に STBCRKEY ビットに H'3C を書き込んでください。STBCRKEY ビットに H'3C 以外の値が書き込まれた場合やバイト単位での書き込みは無視されます。

STBCR の読み出しは、ワード単位、バイト単位のどちらでも可能です。ただし、STBCRKEY ビットへの書き込みデータは保持されませんので、STBCRKEY ビットの読み出し値は常に H'00 になります。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「27.3.2 レジスタアクセス時の注意」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STBCRKEY								—	—	—	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R	R	R	R/W	R/W	R/W	R/W	R/W

【注】 * 書き込みデータは保持されません。

ビット	ビット名	初期値	R/W	説　　明
15～8	STBCRKEY	H'00	R/W	STBCR ライトキーコード MSTP4～MSTP0 ビットの書き換えが可能かどうかを制御します。本ビットへの書き込みデータは保持されませんので、読み出し値は常に H'00 になります。 H'3C：MSTP4～MSTP0 ビットの書き換え可能 H'3C 以外：MSTP4～MSTP0 ビットの書き換え不可
7～5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MSTP4	0	R/W	モジュールストップ 4 本ビットが 1 にセットされている間、JTAG の TAP コントローラはリセット状態となります。0 にクリアすると、TAP コントローラのリセットは解除され、JTAG 端子の入力に応じて動作を行います。 0：JTAG の TAP コントローラは動作 1：JTAG の TAP コントローラはリセット状態
3	MSTP3	0	R/W	モジュールストップ 3 本ビットを 1 にセットすると DMAC へのクロックの供給を停止、0 にクリアすると DMAC へのクロックの供給を再開します。ただし、DMAC へのクロックの供給を停止しても、DMAC のレジスタは初期化されません。 0：DMAC は動作 1：DMAC へのクロックの供給を停止
2	MSTP2	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MSTP1	0	R/W	モジュールストップ 1 本ビットを 1 にセットすると FPU へのクロックの供給を停止します。ただし、1 をセットした後に 0 をライトしてクリアすることはできません。つまり、本ビットに 1 をセットして FPU へのクロックの供給をいったん停止した後、本ビットを 0 にクリアして FPU へのクロックの供給を再開することはできません。FPU へのクロックの供給を停止した後に再開するには、LSI をパワーオンリセットしてください。 0：FPU は動作 1：FPU へのクロックの供給を停止

ビット	ビット名	初期値	R/W	説　　明
0	MSTP0	0	R/W	モジュールストップ 0 本ビットを 1 にセットすると UBC へのクロックの供給を停止、0 にクリアすると UBC へのクロックの供給を再開します。ただし、UBC へのクロックの供給を停止しても、UBC のレジスタは初期化されません。 0：UBC は動作 1：UBC へのクロックの供給を停止

27.3.2 レジスタアクセス時の注意

スタンバイコントロールレジスタ（STBCR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みまたは読み出しを行ってください。

STBCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では書き込めません。図 27.1 に示すように、STBCR へ書き込むときは上位バイトを H'3C にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが STBCR へ書き込まれます。

読み出しは、一般のレジスタと同様の方法で行うことができます。

STBCR は、アドレス H'FFFE0400 に割り当てられており、バイト転送命令、ワード転送命令のどちらでも読み出しを行うことができます。

・STBCRへ書き込むとき

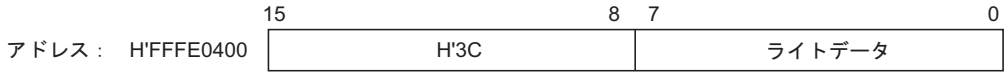


図 27.1　STBCR への書き込み

27.4 動作説明

27.4.1 ハードウェアスタンバイモード

(1) ハードウェアスタンバイモードへの遷移

$\overline{\text{RES}}$ 端子をローレベルにした後に $\overline{\text{HSTBY}}$ 端子をローレベルにすると、ハードウェアスタンバイモードに遷移します。モード端子は**「第 3 章 動作モード」**に示す端子設定を行ってください。それ以外の端子設定の場合の動作は保証できません。

ハードウェアスタンバイモード中は LSI の全機能が停止し、内蔵 RAM のページ 0、1 領域以外の内部電源を遮断するので、消費電力は著しく低減されます。この機能は、外部端子入力によりハードウェアスタンバイモードに遷移するため、現在の LSI の状態にかかわらず非同期にこのモードに遷移します。このため、内蔵 RAM のページ 0、1 領域を除き、ハードウェアスタンバイモードに遷移する前の LSI の状態は保持しません。

内蔵 RAM のページ 0、1 領域のデータは、規定の電圧が与えられているかぎり保持することができます。内蔵 RAM のデータを保持するためには、$\overline{\text{HSTBY}}$ 端子をローレベルにする前に、ページ 0 領域については RAM イネーブルコントロールレジスタ（RAMEN）の RAME0 ビット、ページ 1 領域については RAME1 ビットを 0 にクリアしてください。RAM イネーブルコントロールレジスタ（RAMEN）の詳細については、**「第 26 章 RAM」**を参照してください。

なお、ハードウェアスタンバイモード中は、$\overline{\text{HSTBY}}$ 端子をローレベルに保ってください。

ハードウェアスタンバイモード中のレジスタ状態については**「第 29 章 レジスタ一覧」**、端子状態については**「付録 A. 端子状態」**を参照してください。

(2) ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードは、$\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子でのみ解除できます。

$\overline{\text{RES}}$ 端子をローレベルにした状態で $\overline{\text{HSTBY}}$ 端子をハイレベルにすると、クロックは発振を開始します。このとき $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまでローレベルに保持してください。この後、$\overline{\text{RES}}$ 端子をハイレベルにすると、CPU がパワーオンリセット例外処理を開始します。

(3) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を**図 27.2** に示します。

$\overline{\text{RES}}$ 端子をローレベルにした後に $\overline{\text{HSTBY}}$ 端子をローレベルにすると、ハードウェアスタンバイモードに遷移します。解除は、$\overline{\text{HSTBY}}$ 端子をハイレベルにし、クロックの発振安定時間経過後、$\overline{\text{RES}}$ 端子をローレベルからハイレベルにすることで行われます。

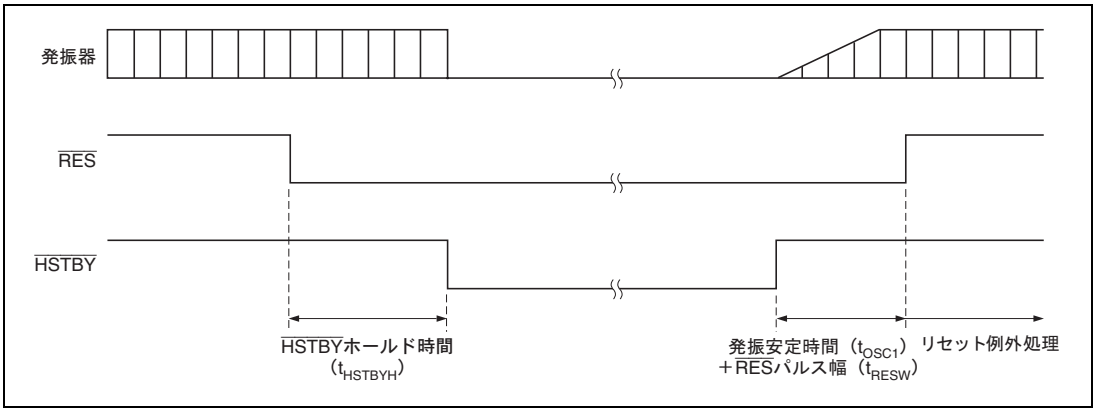


図 27.2 ハードウェアスタンバイモードのタイミング

27.4.2 スリープモード

(1) スリープモードへの遷移

CPU が SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CK コントロールレジスタ（CKCR）の設定により、CK 端子出力が有効となるように設定されていれば、スリープ状態でもクロックが出力され続けます。CKCR の詳細については「第 21 章 I/O ポート」を参照してください。スリープモードでの各レジスタの状態については「第 29 章 レジスタ一覧」を参照してください。

(2) スリープモードの解除

スリープモードは、割り込み（NMI、IRQ、内蔵周辺）、DMA アドレスエラー、およびパワーオンリセットにより解除されます。

- **割り込みによる解除**

  NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルがCPUのステータスレジスタ（SR）に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- **DMAアドレスエラーによる解除**

  DMAアドレスエラーが発生するとスリープモードが解除され、DMAアドレスエラー例外処理が実行されます。

- **リセットによる解除**

  RES端子にローレベルを入力するかWDT による内部リセットが発生すると、本LSIはパワーオンリセット状態に遷移し、スリープモードは解除されます。

27.4.3 モジュールスタンバイ機能

（1） モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープ時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

モジュールスタンバイ状態において、スタンバイ対象モジュールの外部端子の状態はモジュールにより異なります。詳細は**「付録 A. 端子状態」**を参照してください。

UBC、DMAC については、モジュールスタンバイ状態でもレジスタの内容は保持されます。

JTAG の TAP コントローラは、モジュールスタンバイでリセット状態（Test-Logic-Reset）となります。

FPU は、いったんモジュールスタンバイ状態に設定した後、モジュール動作を再開させることはできません。再開させるには、LSI をパワーオンリセットしてください。

（2） モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 にクリアされたことを確認してください。

28.　信頼性について

28.1　信頼性について

半導体デバイスの信頼性指標は故障率（Failure Rate）で表します。この故障率は図 28.1 に示すように、時間に対してバスタブ（Bathtub）曲線を描くといわれています。この曲線は、故障の発生具合から初期故障期間、偶発故障期間（耐用寿命）、摩耗故障期間と呼ばれる 3 つの期間に分けられます。初期故障期間に発生する初期故障は、製造工程での異物の付着や局部的な化学汚染などが原因となっており、スクリーニングにより取り除かれます。摩耗故障期間に発生する摩耗故障は、長期間の使用により半導体デバイスを構成する材料が経時的に劣化することが原因となります。偶発故障期間に発生する偶発故障は、わずかな不具合を持った製品がスクリーニングで除去されずに出荷されお客様での製造工程やフィールドで故障に至るものや、製造時のばらつきにより摩耗故障期間で発生すべき故障が早めに発生するものと考えられます。したがって、半導体デバイスの信頼性は、初期故障低減のための適切なスクリーニングと摩耗故障の立ち上がりを抑える高信頼性設計により確保されます。製品の開発にあたっては、量産試作を行い大量データでの初期故障率の確認と、摩耗故障に対して実用時の使用環境を考慮した加速寿命試験により製品の信頼性を確認します。

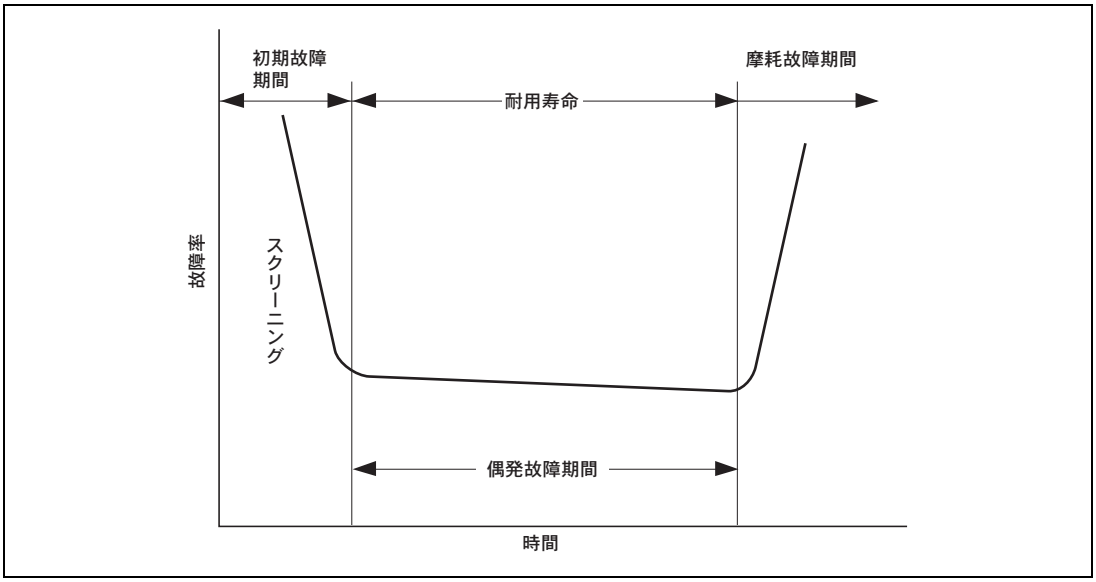


図 28.1　故障率曲線（バスタブカーブ）

自動車分野で使用されることを目的に開発された製品については、民生および産業分野に比べ厳しい環境で使用されることを前提に信頼性の評価を行います。半導体デバイスの代表的な故障現象である酸化膜の絶縁破壊や配線のエレクトロマイグレーションなどは摩耗故障であり、故障のストレス要因としては実用時の電圧または電流と温度があげられます。従来から自動車用の製品については、動作保証温度が－40℃から 125℃であることから、前述の故障現象に対し－40℃から 125℃の範囲で動作したときの信頼性を加速寿命試験により確認しています。125℃を超える動作においては、半導体デバイスの故障が温度に依存するため、故障が発生するまでの時間が大幅に減少します。

29. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

(1) レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

- 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
- レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。

(2) レジスタビット一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、各レジスタのビットの構成を記載します。
- リザーブビットは、ビット名称部に「－」と表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

(3) 各動作モードにおけるレジスタの状態の一覧

- 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

29.1 レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
INTC	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16、32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16、32
	IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFE0806	8、16、32
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16、32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16、32
	ソフトウェア割り込みレジスタ 1	SINTR1	8	H'FFFE0810	8、16、32
	ソフトウェア割り込みレジスタ 2	SINTR2	8	H'FFFE0811	8、16、32
	ソフトウェア割り込みレジスタ 3	SINTR3	8	H'FFFE0812	8、16、32
	ソフトウェア割り込みレジスタ 4	SINTR4	8	H'FFFE0813	8、16、32
	ソフトウェア割り込みレジスタ 5	SINTR5	8	H'FFFE0814	8、16、32
	ソフトウェア割り込みレジスタ 6	SINTR6	8	H'FFFE0815	8、16、32
	ソフトウェア割り込みレジスタ 7	SINTR7	8	H'FFFE0816	8、16、32
	ソフトウェア割り込みレジスタ 8	SINTR8	8	H'FFFE0817	8、16、32
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16、32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16、32
	ソフトウェア割り込みレジスタ 9	SINTR9	8	H'FFFE0828	8、16、32
	ソフトウェア割り込みレジスタ 10	SINTR10	8	H'FFFE0829	8、16、32
	ソフトウェア割り込みレジスタ 11	SINTR11	8	H'FFFE082A	8、16、32
	ソフトウェア割り込みレジスタ 12	SINTR12	8	H'FFFE082B	8、16、32
	ソフトウェア割り込みレジスタ 13	SINTR13	8	H'FFFE082C	8、16、32
	ソフトウェア割り込みレジスタ 14	SINTR14	8	H'FFFE082D	8、16、32
	ソフトウェア割り込みレジスタ 15	SINTR15	8	H'FFFE082E	8、16、32
	割り込み優先レベル設定レジスタ 03	IPR03	16	H'FFFE0C00	16、32
	割り込み優先レベル設定レジスタ 04	IPR04	16	H'FFFE0C02	16、32
	割り込み優先レベル設定レジスタ 05	IPR05	16	H'FFFE0C04	16、32
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C06	16、32
	割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFE0C08	16、32
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C0A	16、32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C0C	16、32
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C0E	16、32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C10	16、32
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C12	16、32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C14	16、32
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C16	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
INTC	割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C18	16、32
	割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFE0C1A	16、32
	割り込み優先レベル設定レジスタ 17	IPR17	16	H'FFFE0C1C	16、32
	割り込み優先レベル設定レジスタ 18	IPR18	16	H'FFFE0C1E	16、32
	割り込み優先レベル設定レジスタ 19	IPR19	16	H'FFFE0C20	16、32
	割り込み優先レベル設定レジスタ 20	IPR20	16	H'FFFE0C22	16、32
	割り込み優先レベル設定レジスタ 21	IPR21	16	H'FFFE0C24	16、32
	割り込み優先レベル設定レジスタ 22	IPR22	16	H'FFFE0C26	16、32
	割り込み優先レベル設定レジスタ 23	IPR23	16	H'FFFE0C28	16、32
	割り込み優先レベル設定レジスタ 24	IPR24	16	H'FFFE0C2A	16、32
	割り込み優先レベル設定レジスタ 25	IPR25	16	H'FFFE0C2C	16、32
	割り込み優先レベル設定レジスタ 26	IPR26	16	H'FFFE0C2E	16、32
	割り込み優先レベル設定レジスタ 27	IPR27	16	H'FFFE0C30	16、32
	割り込み優先レベル設定レジスタ 28	IPR28	16	H'FFFE0C32	16、32
	割り込み優先レベル設定レジスタ 29	IPR29	16	H'FFFE0C34	16、32
UBC	ブレークアドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブレークバスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブレークアドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブレークバスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブレークアドレスレジスタ_2	BAR_2	32	H'FFFC0420	32
	ブレークアドレスマスクレジスタ_2	BAMR_2	32	H'FFFC0424	32
	ブレークバスサイクルレジスタ_2	BBR_2	16	H'FFFC04A4	16
	ブレークアドレスレジスタ_3	BAR_3	32	H'FFFC0430	32
	ブレークアドレスマスクレジスタ_3	BAMR_3	32	H'FFFC0434	32
	ブレークバスサイクルレジスタ_3	BBR_3	16	H'FFFC04B4	16
	ブレークコントロールレジスタ	BRCR	32	H'FFFC04C0	8、32
DMAC	DMA ソースアドレスレジスタ 0	SAR0	32	H'FFFE1000	16、32
	DMA デスティネーションアドレスレジスタ 0	DAR0	32	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ 0	DMATCR0	32	H'FFFE1008	16、32
	DMA チャネルコントロールレジスタ 0	CHCR0	32	H'FFFE100C	8、16、32
	DMA チャネルフラグビットレジスタ 0	CHFR0	8	H'FFFE108C	8
	DMA TE フラグマスク設定レジスタ 0	TEMSK0	16	H'FFFE108E	8、16
	DMA リロードソースアドレスレジスタ 0	RSAR0	32	H'FFFE1100	16、32
	DMA リロードデスティネーションアドレスレジスタ 0	RDAR0	32	H'FFFE1104	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
DMAC	DMA リロードトランスファカウントレジスタ 0	RDMATCR0	32	H'FFFE1108	16、32
	DMA ソースアドレスレジスタ 1	SAR1	32	H'FFFE1010	16、32
	DMAデスティネーションアドレスレジスタ 1	DAR1	32	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ 1	DMATCR1	32	H'FFFE1018	16、32
	DMA チャネルコントロールレジスタ 1	CHCR1	32	H'FFFE101C	8、16、32
	DMA チャネルフラグビットレジスタ 1	CHFR1	8	H'FFFE109C	8
	DMA TE フラグマスク設定レジスタ 1	TEMSK1	16	H'FFFE109E	8、16
	DMA リロードソースアドレスレジスタ 1	RSAR1	32	H'FFFE1110	16、32
	DMA リロードデスティネーションアドレスレジスタ 1	RDAR1	32	H'FFFE1114	16、32
	DMA リロードトランスファカウントレジスタ 1	RDMATCR1	32	H'FFFE1118	16、32
	DMA ソースアドレスレジスタ 2	SAR2	32	H'FFFE1020	16、32
	DMAデスティネーションアドレスレジスタ 2	DAR2	32	H'FFFE1024	16、32
	DMA トランスファカウントレジスタ 2	DMATCR2	32	H'FFFE1028	16、32
	DMA チャネルコントロールレジスタ 2	CHCR2	32	H'FFFE102C	8、16、32
	DMA チャネルフラグビットレジスタ 2	CHFR2	8	H'FFFE10AC	8
	DMA TE フラグマスク設定レジスタ 2	TEMSK2	16	H'FFFE10AE	8、16
	DMA リロードソースアドレスレジスタ 2	RSAR2	32	H'FFFE1120	16、32
	DMA リロードデスティネーションアドレスレジスタ 2	RDAR2	32	H'FFFE1124	16、32
	DMA リロードトランスファカウントレジスタ 2	RDMATCR2	32	H'FFFE1128	16、32
	DMA ソースアドレスレジスタ 3	SAR3	32	H'FFFE1030	16、32
	DMAデスティネーションアドレスレジスタ 3	DAR3	32	H'FFFE1034	16、32
	DMA トランスファカウントレジスタ 3	DMATCR3	32	H'FFFE1038	16、32
	DMA チャネルコントロールレジスタ 3	CHCR3	32	H'FFFE103C	8、16、32
	DMA チャネルフラグビットレジスタ 3	CHFR3	8	H'FFFE10BC	8
	DMA TE フラグマスク設定レジスタ 3	TEMSK3	16	H'FFFE10BE	8、16
	DMA リロードソースアドレスレジスタ 3	RSAR3	32	H'FFFE1130	16、32
	DMA リロードデスティネーションアドレスレジスタ 3	RDAR3	32	H'FFFE1134	16、32
	DMA リロードトランスファカウントレジスタ 3	RDMATCR3	32	H'FFFE1138	16、32
	DMA ソースアドレスレジスタ 4	SAR4	32	H'FFFE1040	16、32
	DMAデスティネーションアドレスレジスタ 4	DAR4	32	H'FFFE1044	16、32
	DMA トランスファカウントレジスタ 4	DMATCR4	32	H'FFFE1048	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
DMAC	DMA チャネルコントロールレジスタ 4	CHCR4	32	H'FFFE104C	8、16、32
	DMA チャネルフラグビットレジスタ 4	CHFR4	8	H'FFFE10CC	8
	DMA TE フラグマスク設定レジスタ 4	TEMSK4	16	H'FFFE10CE	8、16
	DMA リロードソースアドレスレジスタ 4	RSAR4	32	H'FFFE1140	16、32
	DMA リロードデスティネーションアドレスレジスタ 4	RDAR4	32	H'FFFE1144	16、32
	DMA リロードトランスファカウントレジスタ 4	RDMATCR4	32	H'FFFE1148	16、32
	DMA アドレスリロードカウントレジスタ 4	ARCR4	16	H'FFFE114C	16、32
	DMA リロードアドレスリロードカウントレジスタ 4	RARCR4	16	H'FFFE114E	16
	DMA ソースアドレスレジスタ 5	SAR5	32	H'FFFE1050	16、32
	DMA デスティネーションアドレスレジスタ 5	DAR5	32	H'FFFE1054	16、32
	DMA トランスファカウントレジスタ 5	DMATCR5	32	H'FFFE1058	16、32
	DMA チャネルコントロールレジスタ 5	CHCR5	32	H'FFFE105C	8、16、32
	DMA チャネルフラグビットレジスタ 5	CHFR5	8	H'FFFE10DC	8
	DMA TE フラグマスク設定レジスタ 5	TEMSK5	16	H'FFFE10DE	8、16
	DMA リロードソースアドレスレジスタ 5	RSAR5	32	H'FFFE1150	16、32
	DMA リロードデスティネーションアドレスレジスタ 5	RDAR5	32	H'FFFE1154	16、32
	DMA リロードトランスファカウントレジスタ 5	RDMATCR5	32	H'FFFE1158	16、32
	DMA アドレスリロードカウントレジスタ 5	ARCR5	16	H'FFFE115C	16、32
	DMA リロードアドレスリロードカウントレジスタ 5	RARCR5	16	H'FFFE115E	16
	DMA ソースアドレスレジスタ 6	SAR6	32	H'FFFE1060	16、32
	DMA デスティネーションアドレスレジスタ 6	DAR6	32	H'FFFE1064	16、32
	DMA トランスファカウントレジスタ 6	DMATCR6	32	H'FFFE1068	16、32
	DMA チャネルコントロールレジスタ 6	CHCR6	32	H'FFFE106C	8、16、32
	DMA チャネルフラグビットレジスタ 6	CHFR6	8	H'FFFE10EC	8
	DMA TE フラグマスク設定レジスタ 6	TEMSK6	16	H'FFFE10EE	8、16
	DMA リロードソースアドレスレジスタ 6	RSAR6	32	H'FFFE1160	16、32
	DMA リロードデスティネーションアドレスレジスタ 6	RDAR6	32	H'FFFE1164	16、32
	DMA リロードトランスファカウントレジスタ 6	RDMATCR6	32	H'FFFE1168	16、32
	DMA アドレスリロードカウントレジスタ 6	ARCR6	16	H'FFFE116C	16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
DMAC	DMA リロードアドレスリロードカウントレジスタ 6	RARCR6	16	H'FFFE116E	16
	DMA ソースアドレスレジスタ 7	SAR7	32	H'FFFE1070	16、32
	DMAデスティネーションアドレスレジスタ7	DAR7	32	H'FFFE1074	16、32
	DMA トランスファカウントレジスタ 7	DMATCR7	32	H'FFFE1078	16、32
	DMA チャネルコントロールレジスタ 7	CHCR7	32	H'FFFE107C	8、16、32
	DMA チャネルフラグビットレジスタ 7	CHFR7	8	H'FFFE10FC	8
	DMA TE フラグマスク設定レジスタ 7	TEMSK7	16	H'FFFE10FE	8、16
	DMA リロードソースアドレスレジスタ 7	RSAR7	32	H'FFFE1170	16、32
	DMA リロードデスティネーションアドレスレジスタ 7	RDAR7	32	H'FFFE1174	16、32
	DMA リロードトランスファカウントレジスタ 7	RDMATCR7	32	H'FFFE1178	16、32
	DMA アドレスリロードカウントレジスタ 7	ARCR7	16	H'FFFE117C	16、32
	DMA リロードアドレスリロードカウントレジスタ 7	RARCR7	16	H'FFFE117E	16
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	8、16
	DMA オペレーションフラグビットレジスタ	DMAFR	8	H'FFFE1204	8
	DMA 拡張リソースセレクタ 0	DMARS0	16	H'FFFE1300	8、16
	DMA 拡張リソースセレクタ 1	DMARS1	16	H'FFFE1304	8、16
	DMA 拡張リソースセレクタ 2	DMARS2	16	H'FFFE1308	8、16
	DMA 拡張リソースセレクタ 3	DMARS3	16	H'FFFE130C	8、16
A-DMAC	A-DMAC オペレーションレジスタ	ADMAOR	8	H'FFFE6000	8
	A-DMAC エイリアスベースレジスタ	ADMAABR	8	H'FFFE6002	8
	A-DMAC 割り込みコントロールレジスタ 0	ADMAIE0	8	H'FFFE6010	8
	A-DMAC 割り込みコントロールレジスタ 1	ADMAIE1	8	H'FFFE6011	8
	A-DMAC 割り込みコントロールレジスタ 2	ADMAIE2	8	H'FFFE6012	8
	A-DMAC 割り込みコントロールレジスタ 3	ADMAIE3	8	H'FFFE6013	8
	A-DMAC 割り込みコントロールレジスタ 4	ADMAIE4	8	H'FFFE6014	8
	A-DMAC 割り込みコントロールレジスタ 5	ADMAIE5	8	H'FFFE6015	8
	A-DMAC 割り込みコントロールレジスタ 7	ADMAIE7	8	H'FFFE6017	8
	A-DMAC 割り込みコントロールレジスタ 8	ADMAIE8	8	H'FFFE6018	8
	A-DMAC 割り込みコントロールレジスタ 9	ADMAIE9	8	H'FFFE6019	8
	A-DMAC データ有効レジスタ 0	ADMADV0	8	H'FFFE6020	8
	A-DMAC データ有効レジスタ 1	ADMADV1	8	H'FFFE6021	8
	A-DMAC データ有効レジスタ 2	ADMADV2	8	H'FFFE6022	8
	A-DMAC データ有効レジスタ 3	ADMADV3	8	H'FFFE6023	8
	A-DMAC データ有効レジスタ 4	ADMADV4	8	H'FFFE6024	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
A-DMAC	A-DMAC データ有効レジスタ 5	ADMADV5	8	H'FFFE6025	8
	A-DMAC トランスファエンドレジスタ 0	ADMATE0	8	H'FFFE6030	8
	A-DMAC トランスファエンドレジスタ 1	ADMATE1	8	H'FFFE6031	8
	A-DMAC トランスファエンドレジスタ 2	ADMATE2	8	H'FFFE6032	8
	A-DMAC イネーブルレジスタ 0	ADMADE0	8	H'FFFE6040	8
	A-DMAC イネーブルレジスタ 1	ADMADE1	8	H'FFFE6041	8
	A-DMAC イネーブルレジスタ 2	ADMADE2	8	H'FFFE6042	8
	A-DMAC イネーブルレジスタ 3	ADMADE3	8	H'FFFE6043	8
	A-DMAC イネーブルレジスタ 4	ADMADE4	8	H'FFFE6044	8
	A-DMAC イネーブルレジスタ 5	ADMADE5	8	H'FFFE6045	8
	A-DMAC イネーブルレジスタ 7	ADMADE7	8	H'FFFE6047	8
	A-DMAC 転送モードレジスタ 0	ADMAMODE0	8	H'FFFE6050	8
	A-DMAC 転送モードレジスタ 1	ADMAMODE1	8	H'FFFE6051	8
	A-DMAC 転送モードレジスタ 2	ADMAMODE2	8	H'FFFE6052	8
	A-DMAC 転送カウントレジスタ 0	ADMATCR0	16	H'FFFE6060	16
	A-DMAC リロード転送カウントレジスタ 0	ADMARTCR0	16	H'FFFE6062	16
	A-DMAC 転送カウントレジスタ 1	ADMATCR1	16	H'FFFE6064	16
	A-DMAC リロード転送カウントレジスタ 1	ADMARTCR1	16	H'FFFE6066	16
	A-DMAC 転送カウントレジスタ 56	ADMATCR56	16	H'FFFE6070	16
	A-DMAC 転送カウントレジスタ 57	ADMATCR57	16	H'FFFE6072	16
	A-DMAC 転送カウントレジスタ 58	ADMATCR58	16	H'FFFE6074	16
	A-DMAC 転送カウントレジスタ 59	ADMATCR59	16	H'FFFE6076	16
	A-DMAC 転送カウントレジスタ 62	ADMATCR62	16	H'FFFE607C	16
	A-DMAC 転送カウントレジスタ 63	ADMATCR63	16	H'FFFE607E	16
	A-DMAC 転送カウントレジスタ 64	ADMATCR64	16	H'FFFE6080	16
	A-DMAC 転送カウントレジスタ 65	ADMATCR65	16	H'FFFE6082	16
	A-DMAC 転送カウントレジスタ 66	ADMATCR66	16	H'FFFE6084	16
	A-DMAC 転送カウントレジスタ 67	ADMATCR67	16	H'FFFE6086	16
	A-DMAC エイリアスポインタレジスタ 0	ADMAAR0	16	H'FFFE6090	16
	A-DMAC リロードエイリアスポインタレジスタ 0	ADMARAR0	16	H'FFFE6092	16
	A-DMAC エイリアスポインタレジスタ 1	ADMAAR1	16	H'FFFE6094	16
	A-DMAC リロードエイリアスポインタレジスタ 1	ADMARAR1	16	H'FFFE6096	16
	A-DMAC エイリアスポインタレジスタ 56	ADMAAR56	16	H'FFFE60A0	16
	A-DMAC エイリアスポインタレジスタ 57	ADMAAR57	16	H'FFFE60A2	16
	A-DMAC エイリアスポインタレジスタ 58	ADMAAR58	16	H'FFFE60A4	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
A-DMAC	A-DMAC エイリアスポインタレジスタ 59	ADMAAR59	16	H'FFFE60A6	16
	A-DMAC エイリアスポインタレジスタ 62	ADMAAR62	16	H'FFFE60AC	16
	A-DMAC エイリアスポインタレジスタ 63	ADMAAR63	16	H'FFFE60AE	16
	A-DMAC エイリアスポインタレジスタ 64	ADMAAR64	16	H'FFFE60B0	16
	A-DMAC エイリアスポインタレジスタ 65	ADMAAR65	16	H'FFFE60B2	16
	A-DMAC エイリアスポインタレジスタ 66	ADMAAR66	16	H'FFFE60B4	16
	A-DMAC エイリアスポインタレジスタ 67	ADMAAR67	16	H'FFFE60B6	16
	A-DMAC バッファレジスタ 2	ADMABUF2	32	H'FFFE60C0	32
	A-DMAC バッファレジスタ 3	ADMABUF3	32	H'FFFE60C4	32
	A-DMAC バッファレジスタ 4	ADMABUF4	32	H'FFFE60C8	32
	A-DMAC バッファレジスタ 5	ADMABUF5	32	H'FFFE60CC	32
	A-DMAC 受信待ちレジスタ 0	ADMARVPR0	16	H'FFFE60E0	8、16
	A-DMAC 受信待ちレジスタ 1	ADMARVPR1	16	H'FFFE60E2	8、16
	A-DMAC 受信待ちレジスタ 2	ADMARVPR2	16	H'FFFE60E4	8、16
	A-DMAC 受信待ちレジスタ 3	ADMARVPR3	16	H'FFFE60E6	8、16
	A-DMAC 送信待ちレジスタ 0	ADMATVPR0	16	H'FFFE60F0	8、16
	A-DMAC 送信待ちレジスタ 1	ADMATVPR1	16	H'FFFE60F2	8、16
	A-DMAC 送信待ちレジスタ 2	ADMATVPR2	16	H'FFFE60F4	8、16
	A-DMAC 送信待ちレジスタ 3	ADMATVPR3	16	H'FFFE60F6	8、16
ATU-III	ATU-III マスタイネーブルレジスタ	ATUENR	16	H'FFFFF000	8、16
	クロックバスコントロールレジスタ	CBCNT	8	H'FFFFF002	8
	ノイズキャンセルモードレジスタ	NCMR	8	H'FFFFF003	8
	プリスケーラレジスタ 0	PSCR0	16	H'FFFFF100	16
	プリスケーラレジスタ 1	PSCR1	16	H'FFFFF102	16
	プリスケーラレジスタ 2	PSCR2	16	H'FFFFF104	16
	プリスケーラレジスタ 3	PSCR3	16	H'FFFFF106	16
	タイマコントロールレジスタ A	TCRA	8	H'FFFFF202	8
	タイマ I/O コントロールレジスタ 1A	TIOR1A	16	H'FFFFF204	8、16
	タイマ I/O コントロールレジスタ 2A	TIOR2A	16	H'FFFFF206	8、16
	タイマステータスレジスタ A	TSRA	8	H'FFFFF208	8
	タイマインタラプトイネーブルレジスタ A	TIERA	8	H'FFFFF209	8
	ノイズキャンセルカウンタ A0	NCNTA0	8	H'FFFFF210	8
	ノイズキャンセルレジスタ A0	NCRA0	8	H'FFFFF211	8
	ノイズキャンセルカウンタ A1	NCNTA1	8	H'FFFFF212	8
	ノイズキャンセルレジスタ A1	NCRA1	8	H'FFFFF213	8
	ノイズキャンセルカウンタ A2	NCNTA2	8	H'FFFFF214	8
	ノイズキャンセルレジスタ A2	NCRA2	8	H'FFFFF215	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	ノイズキャンセルカウンタ A3	NCNTA3	8	H'FFFFF216	8
	ノイズキャンセルレジスタ A3	NCRA3	8	H'FFFFF217	8
	フリーランニングカウンタ A	TCNTA	32	H'FFFFF220	32
	インプットキャプチャレジスタ A0	ICRA0	32	H'FFFFF228	32
	インプットキャプチャレジスタ A1	ICRA1	32	H'FFFFF22C	32
	インプットキャプチャレジスタ A2	ICRA2	32	H'FFFFF230	32
	インプットキャプチャレジスタ A3	ICRA3	32	H'FFFFF234	32
	タイマコントロールレジスタ B	TCRB	8	H'FFFFF304	8
	タイマ I/O コントロールレジスタ B	TIORB	8	H'FFFFF305	8
	タイマステータスレジスタ B	TSRB	8	H'FFFFF306	8
	タイマインタラプトイネーブルレジスタ B	TIERB	8	H'FFFFF307	8
	入力エッジ間計測カウンタ B0	TCNTB0	32	H'FFFFF310	32
	インプットキャプチャレジスタ B0	ICRB0	32	H'FFFFF314	32
	アウトプットコンペアレジスタ B0	OCRB0	32	H'FFFFF318	32
	イベントカウンタ B1	TCNTB1	8	H'FFFFF31C	8
	アウトプットコンペアレジスタ B1	OCRB1	8	H'FFFFF31D	8
	インプットキャプチャレジスタ B1	ICRB1	32	H'FFFFF320	32
	インプットキャプチャレジスタ B2	ICRB2	32	H'FFFFF324	32
	ロードレジスタ B	LDB	32	H'FFFFF330	32
	リロードレジスタ B	RLDB	32	H'FFFFF334	32
	パルスインターバルマルチプライヤレジスタ	PIMR	16	H'FFFFF338	16
	リロードカウンタ B2	TCNTB2	32	H'FFFFF33C	32
	倍周クロックカウンタ B6	TCNTB6	32	H'FFFFF340	32
	アウトプットコンペアレジスタ B6	OCRB6	32	H'FFFFF344	32
	アウトプットコンペアレジスタ B7	OCRB7	32	H'FFFFF348	32
	補正イベントカウンタ B3	TCNTB3	32	H'FFFFF350	32
	倍周補正クロックカウンタ B4	TCNTB4	32	H'FFFFF354	32
	倍周補正クロック生成カウンタ B5	TCNTB5	32	H'FFFFF358	32
	補正カウンタクリアレジスタ B	TCCLRB	32	H'FFFFF35C	32
	タイマスタートレジスタ C	TSTRC	8	H'FFFFF400	8
	ノイズキャンセラコントロールレジスタ C0	NCCRC0	8	H'FFFFF402	8
	ノイズキャンセラコントロールレジスタ C1	NCCRC1	8	H'FFFFF403	8
	ノイズキャンセラコントロールレジスタ C2	NCCRC2	8	H'FFFFF404	8
	ノイズキャンセラコントロールレジスタ C3	NCCRC3	8	H'FFFFF405	8
	ノイズキャンセラコントロールレジスタ C4	NCCRC4	8	H'FFFFF406	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	ノイズキャンセルカウンタ C00	NCNTC00	8	H'FFFFF410	8
	ノイズキャンセルカウンタ C01	NCNTC01	8	H'FFFFF411	8
	ノイズキャンセルカウンタ C02	NCNTC02	8	H'FFFFF412	8
	ノイズキャンセルカウンタ C03	NCNTC03	8	H'FFFFF413	8
	ノイズキャンセルレジスタ C00	NCRC00	8	H'FFFFF414	8
	ノイズキャンセルレジスタ C01	NCRC01	8	H'FFFFF415	8
	ノイズキャンセルレジスタ C02	NCRC02	8	H'FFFFF416	8
	ノイズキャンセルレジスタ C03	NCRC03	8	H'FFFFF417	8
	ノイズキャンセルカウンタ C10	NCNTC10	8	H'FFFFF418	8
	ノイズキャンセルカウンタ C11	NCNTC11	8	H'FFFFF419	8
	ノイズキャンセルカウンタ C12	NCNTC12	8	H'FFFFF41A	8
	ノイズキャンセルカウンタ C13	NCNTC13	8	H'FFFFF41B	8
	ノイズキャンセルレジスタ C10	NCRC10	8	H'FFFFF41C	8
	ノイズキャンセルレジスタ C11	NCRC11	8	H'FFFFF41D	8
	ノイズキャンセルレジスタ C12	NCRC12	8	H'FFFFF41E	8
	ノイズキャンセルレジスタ C13	NCRC13	8	H'FFFFF41F	8
	ノイズキャンセルカウンタ C20	NCNTC20	8	H'FFFFF420	8
	ノイズキャンセルカウンタ C21	NCNTC21	8	H'FFFFF421	8
	ノイズキャンセルカウンタ C22	NCNTC22	8	H'FFFFF422	8
	ノイズキャンセルカウンタ C23	NCNTC23	8	H'FFFFF423	8
	ノイズキャンセルレジスタ C20	NCRC20	8	H'FFFFF424	8
	ノイズキャンセルレジスタ C21	NCRC21	8	H'FFFFF425	8
	ノイズキャンセルレジスタ C22	NCRC22	8	H'FFFFF426	8
	ノイズキャンセルレジスタ C23	NCRC23	8	H'FFFFF427	8
	ノイズキャンセルカウンタ C30	NCNTC30	8	H'FFFFF428	8
	ノイズキャンセルカウンタ C31	NCNTC31	8	H'FFFFF429	8
	ノイズキャンセルカウンタ C32	NCNTC32	8	H'FFFFF42A	8
	ノイズキャンセルカウンタ C33	NCNTC33	8	H'FFFFF42B	8
	ノイズキャンセルレジスタ C30	NCRC30	8	H'FFFFF42C	8
	ノイズキャンセルレジスタ C31	NCRC31	8	H'FFFFF42D	8
	ノイズキャンセルレジスタ C32	NCRC32	8	H'FFFFF42E	8
	ノイズキャンセルレジスタ C33	NCRC33	8	H'FFFFF42F	8
	ノイズキャンセルカウンタ C40	NCNTC40	8	H'FFFFF430	8
	ノイズキャンセルカウンタ C41	NCNTC41	8	H'FFFFF431	8
	ノイズキャンセルカウンタ C42	NCNTC42	8	H'FFFFF432	8
	ノイズキャンセルカウンタ C43	NCNTC43	8	H'FFFFF433	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	ノイズキャンセルレジスタ C40	NCRC40	8	H'FFFFF434	8
	ノイズキャンセルレジスタ C41	NCRC41	8	H'FFFFF435	8
	ノイズキャンセルレジスタ C42	NCRC42	8	H'FFFFF436	8
	ノイズキャンセルレジスタ C43	NCRC43	8	H'FFFFF437	8
	タイマコントロールレジスタ C0	TCRC0	8	H'FFFFF440	8
	タイマインタラプトイネーブルレジスタ C0	TIERC0	8	H'FFFFF441	8
	タイマ I/O コントロールレジスタ C0	TIORC0	16	H'FFFFF442	8、16
	タイマステータスレジスタ C0	TSRC0	8	H'FFFFF444	8
	汎用レジスタ C00	GRC00	32	H'FFFFF448	32
	汎用レジスタ C01	GRC01	32	H'FFFFF44C	32
	汎用レジスタ C02	GRC02	32	H'FFFFF450	32
	汎用レジスタ C03	GRC03	32	H'FFFFF454	32
	タイマカウンタ C0	TCNTC0	32	H'FFFFF458	32
	タイマコントロールレジスタ C1	TCRC1	8	H'FFFFF460	8
	タイマインタラプトイネーブルレジスタ C1	TIERC1	8	H'FFFFF461	8
	タイマ I/O コントロールレジスタ C1	TIORC1	16	H'FFFFF462	8、16
	タイマステータスレジスタ C1	TSRC1	8	H'FFFFF464	8
	汎用レジスタ C10	GRC10	32	H'FFFFF468	32
	汎用レジスタ C11	GRC11	32	H'FFFFF46C	32
	汎用レジスタ C12	GRC12	32	H'FFFFF470	32
	汎用レジスタ C13	GRC13	32	H'FFFFF474	32
	タイマカウンタ C1	TCNTC1	32	H'FFFFF478	32
	タイマコントロールレジスタ C2	TCRC2	8	H'FFFFF480	8
	タイマインタラプトイネーブルレジスタ C2	TIERC2	8	H'FFFFF481	8
	タイマ I/O コントロールレジスタ C2	TIORC2	16	H'FFFFF482	8、16
	タイマステータスレジスタ C2	TSRC2	8	H'FFFFF484	8
	汎用レジスタ C20	GRC20	32	H'FFFFF488	32
	汎用レジスタ C21	GRC21	32	H'FFFFF48C	32
	汎用レジスタ C22	GRC22	32	H'FFFFF490	32
	汎用レジスタ C23	GRC23	32	H'FFFFF494	32
	タイマカウンタ C2	TCNTC2	32	H'FFFFF498	32
	タイマコントロールレジスタ C3	TCRC3	8	H'FFFFF4A0	8
	タイマインタラプトイネーブルレジスタ C3	TIERC3	8	H'FFFFF4A1	8
	タイマ I/O コントロールレジスタ C3	TIORC3	16	H'FFFFF4A2	8、16
	タイマステータスレジスタ C3	TSRC3	8	H'FFFFF4A4	8
	汎用レジスタ C30	GRC30	32	H'FFFFF4A8	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	汎用レジスタ C31	GRC31	32	H'FFFFF4AC	32
	汎用レジスタ C32	GRC32	32	H'FFFFF4B0	32
	汎用レジスタ C33	GRC33	32	H'FFFFF4B4	32
	タイマカウンタ C3	TCNTC3	32	H'FFFFF4B8	32
	タイマコントロールレジスタ C4	TCRC4	8	H'FFFFF4C0	8
	タイマインタラプトイネーブルレジスタ C4	TIERC4	8	H'FFFFF4C1	8
	タイマ I/O コントロールレジスタ C4	TIORC4	16	H'FFFFF4C2	8、16
	タイマステータスレジスタ C4	TSRC4	8	H'FFFFF4C4	8
	汎用レジスタ C40	GRC40	32	H'FFFFF4C8	32
	汎用レジスタ C41	GRC41	32	H'FFFFF4CC	32
	汎用レジスタ C42	GRC42	32	H'FFFFF4D0	32
	汎用レジスタ C43	GRC43	32	H'FFFFF4D4	32
	タイマカウンタ C4	TCNTC4	32	H'FFFFF4D8	32
	タイマスタートレジスタ D	TSTRD	8	H'FFFFF500	8
	タイマカウンタ 1D0	TCNT1D0	32	H'FFFFF520	32
	タイマカウンタ 2D0	TCNT2D0	32	H'FFFFF524	32
	タイマオフセットベースレジスタ D0	OSBRD0	32	H'FFFFF528	32
	タイマコントロールレジスタ D0	TCRD0	16	H'FFFFF52C	8、16
	タイマアウトプットコントロールレジスタ D0	TOCRD0	8	H'FFFFF52E	8
	コンペアマッチパルス出力コントロールレジスタ D0	CMPOD0	8	H'FFFFF52F	8
	タイマカウンタ 1D1	TCNT1D1	32	H'FFFFF530	32
	タイマカウンタ 2D1	TCNT2D1	32	H'FFFFF534	32
	タイマオフセットベースレジスタ D1	OSBRD1	32	H'FFFFF538	32
	タイマコントロールレジスタ D1	TCRD1	16	H'FFFFF53C	8、16
	タイマアウトプットコントロールレジスタ D1	TOCRD1	8	H'FFFFF53E	8
	コンペアマッチパルス出力コントロールレジスタ D1	CMPOD1	8	H'FFFFF53F	8
	タイマカウンタ 1D2	TCNT1D2	32	H'FFFFF540	32
	タイマカウンタ 2D2	TCNT2D2	32	H'FFFFF544	32
	タイマオフセットベースレジスタ D2	OSBRD2	32	H'FFFFF548	32
	タイマコントロールレジスタ D2	TCRD2	16	H'FFFFF54C	8、16
	タイマアウトプットコントロールレジスタ D2	TOCRD2	8	H'FFFFF54E	8
	タイマカウンタ 1D3	TCNT1D3	32	H'FFFFF550	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	タイマカウンタ 2D3	TCNT2D3	32	H'FFFFF554	32
	タイマオフセットベースレジスタ D3	OSBRD3	32	H'FFFFF558	32
	タイマコントロールレジスタ D3	TCRD3	16	H'FFFFF55C	8、16
	タイマアウトプットコントロールレジスタ D3	TOCRD3	8	H'FFFFF55E	8
	タイマ I/O コントロールレジスタ 1D0	TIOR1D0	16	H'FFFFF580	8、16
	タイマ I/O コントロールレジスタ 2D0	TIOR2D0	16	H'FFFFF582	8、16
	ダウンカウントスタートレジスタ D0	DSTRD0	8	H'FFFFF585	8
	ダウンカウントステータスレジスタ D0	DSRD0	8	H'FFFFF587	8
	ダウンカウンタコントロールレジスタ D0	DCRD0	16	H'FFFFF588	8、16
	タイマステータスレジスタ D0	TSRD0	16	H'FFFFF58C	8、16
	タイマインタラプトイネーブルレジスタ D0	TIERD0	16	H'FFFFF58E	8、16
	アウトプットコンペアレジスタ D00	OCRD00	32	H'FFFFF590	32
	アウトプットコンペアレジスタ D01	OCRD01	32	H'FFFFF594	32
	アウトプットコンペアレジスタ D02	OCRD02	32	H'FFFFF598	32
	アウトプットコンペアレジスタ D03	OCRD03	32	H'FFFFF59C	32
	汎用レジスタ D00	GRD00	32	H'FFFFF5A0	32
	汎用レジスタ D01	GRD01	32	H'FFFFF5A4	32
	汎用レジスタ D02	GRD02	32	H'FFFFF5A8	32
	汎用レジスタ D03	GRD03	32	H'FFFFF5AC	32
	タイマダウンカウンタ D00	DCNTD00	32	H'FFFFF5B0	32
	タイマダウンカウンタ D01	DCNTD01	32	H'FFFFF5B4	32
	タイマダウンカウンタ D02	DCNTD02	32	H'FFFFF5B8	32
	タイマダウンカウンタ D03	DCNTD03	32	H'FFFFF5BC	32
	タイマ I/O コントロールレジスタ 1D1	TIOR1D1	16	H'FFFFF5C0	8、16
	タイマ I/O コントロールレジスタ 2D1	TIOR2D1	16	H'FFFFF5C2	8、16
	ダウンカウントスタートレジスタ D1	DSTRD1	8	H'FFFFF5C5	8
	ダウンカウントステータスレジスタ D1	DSRD1	8	H'FFFFF5C7	8
	ダウンカウンタコントロールレジスタ D1	DCRD1	16	H'FFFFF5C8	8、16
	タイマステータスレジスタ D1	TSRD1	16	H'FFFFF5CC	8、16
	タイマインタラプトイネーブルレジスタ D1	TIERD1	16	H'FFFFF5CE	8、16
	アウトプットコンペアレジスタ D10	OCRD10	32	H'FFFFF5D0	32
	アウトプットコンペアレジスタ D11	OCRD11	32	H'FFFFF5D4	32
	アウトプットコンペアレジスタ D12	OCRD12	32	H'FFFFF5D8	32
	アウトプットコンペアレジスタ D13	OCRD13	32	H'FFFFF5DC	32
	汎用レジスタ D10	GRD10	32	H'FFFFF5E0	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	汎用レジスタ D11	GRD11	32	H'FFFFF5E4	32
	汎用レジスタ D12	GRD12	32	H'FFFFF5E8	32
	汎用レジスタ D13	GRD13	32	H'FFFFF5EC	32
	タイマダウンカウンタ D10	DCNTD10	32	H'FFFFF5F0	32
	タイマダウンカウンタ D11	DCNTD11	32	H'FFFFF5F4	32
	タイマダウンカウンタ D12	DCNTD12	32	H'FFFFF5F8	32
	タイマダウンカウンタ D13	DCNTD13	32	H'FFFFF5FC	32
	タイマ I/O コントロールレジスタ 1D2	TIOR1D2	16	H'FFFFF600	8、16
	タイマ I/O コントロールレジスタ 2D2	TIOR2D2	16	H'FFFFF602	8、16
	ダウンカウントスタートレジスタ D2	DSTRD2	8	H'FFFFF605	8
	ダウンカウントステータスレジスタ D2	DSRD2	8	H'FFFFF607	8
	ダウンカウンタコントロールレジスタ D2	DCRD2	16	H'FFFFF608	8、16
	タイマステータスレジスタ D2	TSRD2	16	H'FFFFF60C	8、16
	タイマインタラプトイネーブルレジスタ D2	TIERD2	16	H'FFFFF60E	8、16
	アウトプットコンペアレジスタ D20	OCRD20	32	H'FFFFF610	32
	アウトプットコンペアレジスタ D21	OCRD21	32	H'FFFFF614	32
	アウトプットコンペアレジスタ D22	OCRD22	32	H'FFFFF618	32
	アウトプットコンペアレジスタ D23	OCRD23	32	H'FFFFF61C	32
	汎用レジスタ D20	GRD20	32	H'FFFFF620	32
	汎用レジスタ D21	GRD21	32	H'FFFFF624	32
	汎用レジスタ D22	GRD22	32	H'FFFFF628	32
	汎用レジスタ D23	GRD23	32	H'FFFFF62C	32
	タイマダウンカウンタ D20	DCNTD20	32	H'FFFFF630	32
	タイマダウンカウンタ D21	DCNTD21	32	H'FFFFF634	32
	タイマダウンカウンタ D22	DCNTD22	32	H'FFFFF638	32
	タイマダウンカウンタ D23	DCNTD23	32	H'FFFFF63C	32
	タイマ I/O コントロールレジスタ 1D3	TIOR1D3	16	H'FFFFF640	8、16
	タイマ I/O コントロールレジスタ 2D3	TIOR2D3	16	H'FFFFF642	8、16
	ダウンカウントスタートレジスタ D3	DSTRD3	8	H'FFFFF645	8
	ダウンカウントステータスレジスタ D3	DSRD3	8	H'FFFFF647	8
	ダウンカウンタコントロールレジスタ D3	DCRD3	16	H'FFFFF648	8、16
	タイマステータスレジスタ D3	TSRD3	16	H'FFFFF64C	8、16
	タイマインタラプトイネーブルレジスタ D3	TIERD3	16	H'FFFFF64E	8、16
	アウトプットコンペアレジスタ D30	OCRD30	32	H'FFFFF650	32
	アウトプットコンペアレジスタ D31	OCRD31	32	H'FFFFF654	32
	アウトプットコンペアレジスタ D32	OCRD32	32	H'FFFFF658	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	アウトプットコンペアレジスタ D33	OCRD33	32	H'FFFFF65C	32
	汎用レジスタ D30	GRD30	32	H'FFFFF660	32
	汎用レジスタ D31	GRD31	32	H'FFFFF664	32
	汎用レジスタ D32	GRD32	32	H'FFFFF668	32
	汎用レジスタ D33	GRD33	32	H'FFFFF66C	32
	タイマダウンカウンタ D30	DCNTD30	32	H'FFFFF670	32
	タイマダウンカウンタ D31	DCNTD31	32	H'FFFFF674	32
	タイマダウンカウンタ D32	DCNTD32	32	H'FFFFF678	32
	タイマダウンカウンタ D33	DCNTD33	32	H'FFFFF67C	32
	タイマスタートレジスタ E	TSTRE	8	H'FFFFF700	8
	タイマコントロールレジスタ E0	TCRE0	8	H'FFFFF800	8
	タイマアウトプットコントロールレジスタ E0	TOCRE0	8	H'FFFFF801	8
	タイマインタラプトイネーブルレジスタ E0	TIERE0	8	H'FFFFF802	8
	リロードコントロールレジスタ E0	RLDCRE0	8	H'FFFFF803	8
	タイマステータスレジスタ E0	TSRE0	8	H'FFFFF804	8
	プリスケーラレジスタ E0	PSCRE0	8	H'FFFFF808	8
	出力遮断レベル設定レジスタ E0	SOLVLE0	8	H'FFFFF809	8
	出力遮断コントロールレジスタ E0	POECRE0	16	H'FFFFF80A	16
	サブブロックスタートレジスタ E0	SSTRE0	8	H'FFFFF80C	8
	サイクルレジスタ E00	CYLRE00	16	H'FFFFF810	16
	サイクルレジスタ E01	CYLRE01	16	H'FFFFF812	16
	サイクルレジスタ E02	CYLRE02	16	H'FFFFF814	16
	サイクルレジスタ E03	CYLRE03	16	H'FFFFF816	16
	デューティレジスタ E00	DTRE00	16	H'FFFFF818	16
	デューティレジスタ E01	DTRE01	16	H'FFFFF81A	16
	デューティレジスタ E02	DTRE02	16	H'FFFFF81C	16
	デューティレジスタ E03	DTRE03	16	H'FFFFF81E	16
	サイクルリロードレジスタ E00	CRLDE00	16	H'FFFFF820	16
	サイクルリロードレジスタ E01	CRLDE01	16	H'FFFFF822	16
	サイクルリロードレジスタ E02	CRLDE02	16	H'FFFFF824	16
	サイクルリロードレジスタ E03	CRLDE03	16	H'FFFFF826	16
	デューティリロードレジスタ E00	DRLDE00	16	H'FFFFF828	16
	デューティリロードレジスタ E01	DRLDE01	16	H'FFFFF82A	16
	デューティリロードレジスタ E02	DRLDE02	16	H'FFFFF82C	16
	デューティリロードレジスタ E03	DRLDE03	16	H'FFFFF82E	16
	タイマカウンタ E00	TCNTE00	16	H'FFFFF830	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	タイマカウンタ E01	TCNTE01	16	H'FFFFF832	16
	タイマカウンタ E02	TCNTE02	16	H'FFFFF834	16
	タイマカウンタ E03	TCNTE03	16	H'FFFFF836	16
	タイマコントロールレジスタ E1	TCRE1	8	H'FFFFF840	8
	タイマアウトプットコントロールレジスタ E1	TOCRE1	8	H'FFFFF841	8
	タイマインタラプトイネーブルレジスタ E1	TIERE1	8	H'FFFFF842	8
	リロードコントロールレジスタ E1	RLDCRE1	8	H'FFFFF843	8
	タイマステータスレジスタ E1	TSRE1	8	H'FFFFF844	8
	プリスケーラレジスタ E1	PSCRE1	8	H'FFFFF848	8
	出力遮断レベル設定レジスタ E1	SOLVLE1	8	H'FFFFF849	8
	出力遮断コントロールレジスタ E1	POECRE1	16	H'FFFFF84A	16
	サブブロックスタートレジスタ E1	SSTRE1	8	H'FFFFF84C	8
	サイクルレジスタ E10	CYLRE10	16	H'FFFFF850	16
	サイクルレジスタ E11	CYLRE11	16	H'FFFFF852	16
	サイクルレジスタ E12	CYLRE12	16	H'FFFFF854	16
	サイクルレジスタ E13	CYLRE13	16	H'FFFFF856	16
	デューティレジスタ E10	DTRE10	16	H'FFFFF858	16
	デューティレジスタ E11	DTRE11	16	H'FFFFF85A	16
	デューティレジスタ E12	DTRE12	16	H'FFFFF85C	16
	デューティレジスタ E13	DTRE13	16	H'FFFFF85E	16
	サイクルリロードレジスタ E10	CRLDE10	16	H'FFFFF860	16
	サイクルリロードレジスタ E11	CRLDE11	16	H'FFFFF862	16
	サイクルリロードレジスタ E12	CRLDE12	16	H'FFFFF864	16
	サイクルリロードレジスタ E13	CRLDE13	16	H'FFFFF866	16
	デューティリロードレジスタ E10	DRLDE10	16	H'FFFFF868	16
	デューティリロードレジスタ E11	DRLDE11	16	H'FFFFF86A	16
	デューティリロードレジスタ E12	DRLDE12	16	H'FFFFF86C	16
	デューティリロードレジスタ E13	DRLDE13	16	H'FFFFF86E	16
	タイマカウンタ E10	TCNTE10	16	H'FFFFF870	16
	タイマカウンタ E11	TCNTE11	16	H'FFFFF872	16
	タイマカウンタ E12	TCNTE12	16	H'FFFFF874	16
	タイマカウンタ E13	TCNTE13	16	H'FFFFF876	16
	タイマコントロールレジスタ E2	TCRE2	8	H'FFFFF880	8
	タイマアウトプットコントロールレジスタ E2	TOCRE2	8	H'FFFFF881	8
	タイマインタラプトイネーブルレジスタ E2	TIERE2	8	H'FFFFF882	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	リロードコントロールレジスタ E2	RLDCRE2	8	H'FFFFF883	8
	タイマステータスレジスタ E2	TSRE2	8	H'FFFFF884	8
	プリスケーラレジスタ E2	PSCRE2	8	H'FFFFF888	8
	出力遮断レベル設定レジスタ E2	SOLVLE2	8	H'FFFFF889	8
	出力遮断コントロールレジスタ E2	POECRE2	16	H'FFFFF88A	16
	サブブロックスタートレジスタ E2	SSTRE2	8	H'FFFFF88C	8
	サイクルレジスタ E20	CYLRE20	16	H'FFFFF890	16
	サイクルレジスタ E21	CYLRE21	16	H'FFFFF892	16
	サイクルレジスタ E22	CYLRE22	16	H'FFFFF894	16
	サイクルレジスタ E23	CYLRE23	16	H'FFFFF896	16
	デューティレジスタ E20	DTRE20	16	H'FFFFF898	16
	デューティレジスタ E21	DTRE21	16	H'FFFFF89A	16
	デューティレジスタ E22	DTRE22	16	H'FFFFF89C	16
	デューティレジスタ E23	DTRE23	16	H'FFFFF89E	16
	サイクルリロードレジスタ E20	CRLDE20	16	H'FFFFF8A0	16
	サイクルリロードレジスタ E21	CRLDE21	16	H'FFFFF8A2	16
	サイクルリロードレジスタ E22	CRLDE22	16	H'FFFFF8A4	16
	サイクルリロードレジスタ E23	CRLDE23	16	H'FFFFF8A6	16
	デューティリロードレジスタ E20	DRLDE20	16	H'FFFFF8A8	16
	デューティリロードレジスタ E21	DRLDE21	16	H'FFFFF8AA	16
	デューティリロードレジスタ E22	DRLDE22	16	H'FFFFF8AC	16
	デューティリロードレジスタ E23	DRLDE23	16	H'FFFFF8AE	16
	タイマカウンタ E20	TCNTE20	16	H'FFFFF8B0	16
	タイマカウンタ E21	TCNTE21	16	H'FFFFF8B2	16
	タイマカウンタ E22	TCNTE22	16	H'FFFFF8B4	16
	タイマカウンタ E23	TCNTE23	16	H'FFFFF8B6	16
	タイマコントロールレジスタ E3	TCRE3	8	H'FFFFF8C0	8
	タイマアウトプットコントロールレジスタ E3	TOCRE3	8	H'FFFFF8C1	8
	タイマインタラプトイネーブルレジスタ E3	TIERE3	8	H'FFFFF8C2	8
	リロードコントロールレジスタ E3	RLDCRE3	8	H'FFFFF8C3	8
	タイマステータスレジスタ E3	TSRE3	8	H'FFFFF8C4	8
	プリスケーラレジスタ E3	PSCRE3	8	H'FFFFF8C8	8
	出力遮断レベル設定レジスタ E3	SOLVLE3	8	H'FFFFF8C9	8
	出力遮断コントロールレジスタ E3	POECRE3	16	H'FFFFF8CA	16
	サブブロックスタートレジスタ E3	SSTRE3	8	H'FFFFF8CC	8
	サイクルレジスタ E30	CYLRE30	16	H'FFFFF8D0	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	サイクルレジスタ E31	CYLRE31	16	H'FFFFF8D2	16
	サイクルレジスタ E32	CYLRE32	16	H'FFFFF8D4	16
	サイクルレジスタ E33	CYLRE33	16	H'FFFFF8D6	16
	デューティレジスタ E30	DTRE30	16	H'FFFFF8D8	16
	デューティレジスタ E31	DTRE31	16	H'FFFFF8DA	16
	デューティレジスタ E32	DTRE32	16	H'FFFFF8DC	16
	デューティレジスタ E33	DTRE33	16	H'FFFFF8DE	16
	サイクルリロードレジスタ E30	CRLDE30	16	H'FFFFF8E0	16
	サイクルリロードレジスタ E31	CRLDE31	16	H'FFFFF8E2	16
	サイクルリロードレジスタ E32	CRLDE32	16	H'FFFFF8E4	16
	サイクルリロードレジスタ E33	CRLDE33	16	H'FFFFF8E6	16
	デューティリロードレジスタ E30	DRLDE30	16	H'FFFFF8E8	16
	デューティリロードレジスタ E31	DRLDE31	16	H'FFFFF8EA	16
	デューティリロードレジスタ E32	DRLDE32	16	H'FFFFF8EC	16
	デューティリロードレジスタ E33	DRLDE33	16	H'FFFFF8EE	16
	タイマカウンタ E30	TCNTE30	16	H'FFFFF8F0	16
	タイマカウンタ E31	TCNTE31	16	H'FFFFF8F2	16
	タイマカウンタ E32	TCNTE32	16	H'FFFFF8F4	16
	タイマカウンタ E33	TCNTE33	16	H'FFFFF8F6	16
	タイマコントロールレジスタ E4	TCRE4	8	H'FFFFF900	8
	タイマアウトプットコントロールレジスタ E4	TOCRE4	8	H'FFFFF901	8
	タイマインタラプトイネーブルレジスタ E4	TIERE4	8	H'FFFFF902	8
	リロードコントロールレジスタ E4	RLDCRE4	8	H'FFFFF903	8
	タイマステータスレジスタ E4	TSRE4	8	H'FFFFF904	8
	プリスケーラレジスタ E4	PSCRE4	8	H'FFFFF908	8
	出力遮断レベル設定レジスタ E4	SOLVLE4	8	H'FFFFF909	8
	出力遮断コントロールレジスタ E4	POECRE4	16	H'FFFFF90A	16
	サブブロックスタートレジスタ E4	SSTRE4	8	H'FFFFF90C	8
	サイクルレジスタ E40	CYLRE40	16	H'FFFFF910	16
	サイクルレジスタ E41	CYLRE41	16	H'FFFFF912	16
	サイクルレジスタ E42	CYLRE42	16	H'FFFFF914	16
	サイクルレジスタ E43	CYLRE43	16	H'FFFFF916	16
	デューティレジスタ E40	DTRE40	16	H'FFFFF918	16
	デューティレジスタ E41	DTRE41	16	H'FFFFF91A	16
	デューティレジスタ E42	DTRE42	16	H'FFFFF91C	16
	デューティレジスタ E43	DTRE43	16	H'FFFFF91E	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	サイクルリロードレジスタ E40	CRLDE40	16	H'FFFFF920	16
	サイクルリロードレジスタ E41	CRLDE41	16	H'FFFFF922	16
	サイクルリロードレジスタ E42	CRLDE42	16	H'FFFFF924	16
	サイクルリロードレジスタ E43	CRLDE43	16	H'FFFFF926	16
	デューティリロードレジスタ E40	DRLDE40	16	H'FFFFF928	16
	デューティリロードレジスタ E41	DRLDE41	16	H'FFFFF92A	16
	デューティリロードレジスタ E42	DRLDE42	16	H'FFFFF92C	16
	デューティリロードレジスタ E43	DRLDE43	16	H'FFFFF92E	16
	タイマカウンタ E40	TCNTE40	16	H'FFFFF930	16
	タイマカウンタ E41	TCNTE41	16	H'FFFFF932	16
	タイマカウンタ E42	TCNTE42	16	H'FFFFF934	16
	タイマカウンタ E43	TCNTE43	16	H'FFFFF936	16
	タイマスタートレジスタ F	TSTRF	32	H'FFFFFA00	8、16、32
	ノイズキャンセラコントロールレジスタ F	NCCRF	32	H'FFFFFA04	8、16、32
	ノイズキャンセルカウンタ FA0	NCNTFA0	8	H'FFFFFA10	8
	ノイズキャンセルレジスタ FA0	NCRFA0	8	H'FFFFFA11	8
	ノイズキャンセルカウンタ FA1	NCNTFA1	8	H'FFFFFA12	8
	ノイズキャンセルレジスタ FA1	NCRFA1	8	H'FFFFFA13	8
	ノイズキャンセルカウンタ FA2	NCNTFA2	8	H'FFFFFA14	8
	ノイズキャンセルレジスタ FA2	NCRFA2	8	H'FFFFFA15	8
	ノイズキャンセルカウンタ FA3	NCNTFA3	8	H'FFFFFA16	8
	ノイズキャンセルレジスタ FA3	NCRFA3	8	H'FFFFFA17	8
	ノイズキャンセルカウンタ FA4	NCNTFA4	8	H'FFFFFA18	8
	ノイズキャンセルレジスタ FA4	NCRFA4	8	H'FFFFFA19	8
	ノイズキャンセルカウンタ FA5	NCNTFA5	8	H'FFFFFA1A	8
	ノイズキャンセルレジスタ FA5	NCRFA5	8	H'FFFFFA1B	8
	ノイズキャンセルカウンタ FA6	NCNTFA6	8	H'FFFFFA1C	8
	ノイズキャンセルレジスタ FA6	NCRFA6	8	H'FFFFFA1D	8
	ノイズキャンセルカウンタ FA7	NCNTFA7	8	H'FFFFFA1E	8
	ノイズキャンセルレジスタ FA7	NCRFA7	8	H'FFFFFA1F	8
	ノイズキャンセルカウンタ FA8	NCNTFA8	8	H'FFFFFA20	8
	ノイズキャンセルレジスタ FA8	NCRFA8	8	H'FFFFFA21	8
	ノイズキャンセルカウンタ FA9	NCNTFA9	8	H'FFFFFA22	8
	ノイズキャンセルレジスタ FA9	NCRFA9	8	H'FFFFFA23	8
	ノイズキャンセルカウンタ FA10	NCNTFA10	8	H'FFFFFA24	8
	ノイズキャンセルレジスタ FA10	NCRFA10	8	H'FFFFFA25	8
	ノイズキャンセルカウンタ FA11	NCNTFA11	8	H'FFFFFA26	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	ノイズキャンセルレジスタ FA11	NCRFA11	8	H'FFFFFA27	8
	ノイズキャンセルカウンタ FA12	NCNTFA12	8	H'FFFFFA28	8
	ノイズキャンセルレジスタ FA12	NCRFA12	8	H'FFFFFA29	8
	ノイズキャンセルカウンタ FA13	NCNTFA13	8	H'FFFFFA2A	8
	ノイズキャンセルレジスタ FA13	NCRFA13	8	H'FFFFFA2B	8
	ノイズキャンセルカウンタ FA14	NCNTFA14	8	H'FFFFFA2C	8
	ノイズキャンセルレジスタ FA14	NCRFA14	8	H'FFFFFA2D	8
	ノイズキャンセルカウンタ FA15	NCNTFA15	8	H'FFFFFA2E	8
	ノイズキャンセルレジスタ FA15	NCRFA15	8	H'FFFFFA2F	8
	ノイズキャンセルカウンタ FA16	NCNTFA16	8	H'FFFFFA30	8
	ノイズキャンセルレジスタ FA16	NCRFA16	8	H'FFFFFA31	8
	ノイズキャンセルカウンタ FA17	NCNTFA17	8	H'FFFFFA32	8
	ノイズキャンセルレジスタ FA17	NCRFA17	8	H'FFFFFA33	8
	ノイズキャンセルカウンタ FA18	NCNTFA18	8	H'FFFFFA34	8
	ノイズキャンセルレジスタ FA18	NCRFA18	8	H'FFFFFA35	8
	ノイズキャンセルカウンタ FA19	NCNTFA19	8	H'FFFFFA36	8
	ノイズキャンセルレジスタ FA19	NCRFA19	8	H'FFFFFA37	8
	ノイズキャンセルカウンタ FB0	NCNTFB0	8	H'FFFFFA50	8
	ノイズキャンセルレジスタ FB0	NCRFB0	8	H'FFFFFA51	8
	ノイズキャンセルカウンタ FB1	NCNTFB1	8	H'FFFFFA52	8
	ノイズキャンセルレジスタ FB1	NCRFB1	8	H'FFFFFA53	8
	ノイズキャンセルカウンタ FB2	NCNTFB2	8	H'FFFFFA54	8
	ノイズキャンセルレジスタ FB2	NCRFB2	8	H'FFFFFA55	8
	タイマコントロールレジスタ F0	TCRF0	8	H'FFFFFA80	8
	タイマインタラプトイネーブルレジスタ F0	TIERF0	8	H'FFFFFA81	8
	タイマステータスレジスタ F0	TSRF0	8	H'FFFFFA83	8
	時間計測カウンタ AF0	ECNTAF0	32	H'FFFFFA84	32
	イベントカウンタ F0	ECNTBF0	16	H'FFFFFA88	16
	汎用レジスタ BF0	GRBF0	16	H'FFFFFA8A	16
	時間計測カウンタ CF0	ECNTCF0	32	H'FFFFFA8C	32
	汎用レジスタ AF0	GRAF0	32	H'FFFFFA90	32
	キャプチャ出力レジスタ F0	CDRF0	32	H'FFFFFA94	32
	汎用レジスタ CF0	GRCF0	32	H'FFFFFA98	32
	タイマコントロールレジスタ F1	TCRF1	8	H'FFFFFAA0	8
	タイマインタラプトイネーブルレジスタ F1	TIERF1	8	H'FFFFFAA1	8
	タイマステータスレジスタ F1	TSRF1	8	H'FFFFFAA3	8
	時間計測カウンタ AF1	ECNTAF1	32	H'FFFFFAA4	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	イベントカウンタ F1	ECNTBF1	16	H'FFFFFAA8	16
	汎用レジスタ BF1	GRBF1	16	H'FFFFFAAA	16
	時間計測カウンタ CF1	ECNTCF1	32	H'FFFFFAAC	32
	汎用レジスタ AF1	GRAF1	32	H'FFFFFAB0	32
	キャプチャ出力レジスタ F1	CDRF1	32	H'FFFFFAB4	32
	汎用レジスタ CF1	GRCF1	32	H'FFFFFAB8	32
	タイマコントロールレジスタ F2	TCRF2	8	H'FFFFFAC0	8
	タイマインタラプトイネーブルレジスタ F2	TIERF2	8	H'FFFFFAC1	8
	タイマステータスレジスタ F2	TSRF2	8	H'FFFFFAC3	8
	時間計測カウンタ AF2	ECNTAF2	32	H'FFFFFAC4	32
	イベントカウンタ F2	ECNTBF2	16	H'FFFFFAC8	16
	汎用レジスタ BF2	GRBF2	16	H'FFFFFACA	16
	時間計測カウンタ CF2	ECNTCF2	32	H'FFFFFACC	32
	汎用レジスタ AF2	GRAF2	32	H'FFFFFAD0	32
	キャプチャ出力レジスタ F2	CDRF2	32	H'FFFFFAD4	32
	汎用レジスタ CF2	GRCF2	32	H'FFFFFAD8	32
	タイマコントロールレジスタ F3	TCRF3	8	H'FFFFFAE0	8
	タイマインタラプトイネーブルレジスタ F3	TIERF3	8	H'FFFFFAE1	8
	タイマステータスレジスタ F3	TSRF3	8	H'FFFFFAE3	8
	時間計測カウンタ AF3	ECNTAF3	32	H'FFFFFAE4	32
	イベントカウンタ F3	ECNTBF3	16	H'FFFFFAE8	16
	汎用レジスタ BF3	GRBF3	16	H'FFFFFAEA	16
	時間計測カウンタ CF3	ECNTCF3	32	H'FFFFFAEC	32
	汎用レジスタ AF3	GRAF3	32	H'FFFFFAF0	32
	キャプチャ出力レジスタ F3	CDRF3	32	H'FFFFFAF4	32
	汎用レジスタ CF3	GRCF3	32	H'FFFFFAF8	32
	タイマコントロールレジスタ F4	TCRF4	8	H'FFFFFB00	8
	タイマインタラプトイネーブルレジスタ F4	TIERF4	8	H'FFFFFB01	8
	タイマステータスレジスタ F4	TSRF4	8	H'FFFFFB03	8
	時間計測カウンタ AF4	ECNTAF4	32	H'FFFFFB04	32
	イベントカウンタ F4	ECNTBF4	16	H'FFFFFB08	16
	汎用レジスタ BF4	GRBF4	16	H'FFFFFB0A	16
	時間計測カウンタ CF4	ECNTCF4	32	H'FFFFFB0C	32
	汎用レジスタ AF4	GRAF4	32	H'FFFFFB10	32
	キャプチャ出力レジスタ F4	CDRF4	32	H'FFFFFB14	32
	汎用レジスタ CF4	GRCF4	32	H'FFFFFB18	32
	タイマコントロールレジスタ F5	TCRF5	8	H'FFFFFB20	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	タイマインタラプトイネーブルレジスタ F5	TIERF5	8	H'FFFFFB21	8
	タイマステータスレジスタ F5	TSRF5	8	H'FFFFFB23	8
	時間計測カウンタ AF5	ECNTAF5	32	H'FFFFFB24	32
	イベントカウンタ F5	ECNTBF5	16	H'FFFFFB28	16
	汎用レジスタ BF5	GRBF5	16	H'FFFFFB2A	16
	時間計測カウンタ CF5	ECNTCF5	32	H'FFFFFB2C	32
	汎用レジスタ AF5	GRAF5	32	H'FFFFFB30	32
	キャプチャ出力レジスタ F5	CDRF5	32	H'FFFFFB34	32
	汎用レジスタ CF5	GRCF5	32	H'FFFFFB38	32
	タイマコントロールレジスタ F6	TCRF6	8	H'FFFFFB40	8
	タイマインタラプトイネーブルレジスタ F6	TIERF6	8	H'FFFFFB41	8
	タイマステータスレジスタ F6	TSRF6	8	H'FFFFFB43	8
	時間計測カウンタ AF6	ECNTAF6	32	H'FFFFFB44	32
	イベントカウンタ F6	ECNTBF6	16	H'FFFFFB48	16
	汎用レジスタ BF6	GRBF6	16	H'FFFFFB4A	16
	時間計測カウンタ CF6	ECNTCF6	32	H'FFFFFB4C	32
	汎用レジスタ AF6	GRAF6	32	H'FFFFFB50	32
	キャプチャ出力レジスタ F6	CDRF6	32	H'FFFFFB54	32
	汎用レジスタ CF6	GRCF6	32	H'FFFFFB58	32
	タイマコントロールレジスタ F7	TCRF7	8	H'FFFFFB60	8
	タイマインタラプトイネーブルレジスタ F7	TIERF7	8	H'FFFFFB61	8
	タイマステータスレジスタ F7	TSRF7	8	H'FFFFFB63	8
	時間計測カウンタ AF7	ECNTAF7	32	H'FFFFFB64	32
	イベントカウンタ F7	ECNTBF7	16	H'FFFFFB68	16
	汎用レジスタ BF7	GRBF7	16	H'FFFFFB6A	16
	時間計測カウンタ CF7	ECNTCF7	32	H'FFFFFB6C	32
	汎用レジスタ AF7	GRAF7	32	H'FFFFFB70	32
	キャプチャ出力レジスタ F7	CDRF7	32	H'FFFFFB74	32
	汎用レジスタ CF7	GRCF7	32	H'FFFFFB78	32
	タイマコントロールレジスタ F8	TCRF8	8	H'FFFFFB80	8
	タイマインタラプトイネーブルレジスタ F8	TIERF8	8	H'FFFFFB81	8
	タイマステータスレジスタ F8	TSRF8	8	H'FFFFFB83	8
	時間計測カウンタ AF8	ECNTAF8	32	H'FFFFFB84	32
	イベントカウンタ F8	ECNTBF8	16	H'FFFFFB88	16
	汎用レジスタ BF8	GRBF8	16	H'FFFFFB8A	16
	時間計測カウンタ CF8	ECNTCF8	32	H'FFFFFB8C	32
	汎用レジスタ AF8	GRAF8	32	H'FFFFFB90	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	キャプチャ出力レジスタ F8	CDRF8	32	H'FFFFFB94	32
	汎用レジスタ CF8	GRCF8	32	H'FFFFFB98	32
	タイマコントロールレジスタ F9	TCRF9	8	H'FFFFFBA0	8
	タイマインタラプトイネーブルレジスタ F9	TIERF9	8	H'FFFFFBA1	8
	タイマステータスレジスタ F9	TSRF9	8	H'FFFFFBA3	8
	時間計測カウンタ AF9	ECNTAF9	32	H'FFFFFBA4	32
	イベントカウンタ F9	ECNTBF9	16	H'FFFFFBA8	16
	汎用レジスタ BF9	GRBF9	16	H'FFFFFBAA	16
	時間計測カウンタ CF9	ECNTCF9	32	H'FFFFFBAC	32
	汎用レジスタ AF9	GRAF9	32	H'FFFFFBB0	32
	キャプチャ出力レジスタ F9	CDRF9	32	H'FFFFFBB4	32
	汎用レジスタ CF9	GRCF9	32	H'FFFFFBB8	32
	タイマコントロールレジスタ F10	TCRF10	8	H'FFFFFBC0	8
	タイマインタラプトイネーブルレジスタ F10	TIERF10	8	H'FFFFFBC1	8
	タイマステータスレジスタ F10	TSRF10	8	H'FFFFFBC3	8
	時間計測カウンタ AF10	ECNTAF10	32	H'FFFFFBC4	32
	イベントカウンタ F10	ECNTBF10	16	H'FFFFFBC8	16
	汎用レジスタ BF10	GRBF10	16	H'FFFFFBCA	16
	時間計測カウンタ CF10	ECNTCF10	32	H'FFFFFBCC	32
	汎用レジスタ AF10	GRAF10	32	H'FFFFFBD0	32
	キャプチャ出力レジスタ F10	CDRF10	32	H'FFFFFBD4	32
	汎用レジスタ CF10	GRCF10	32	H'FFFFFBD8	32
	タイマコントロールレジスタ F11	TCRF11	8	H'FFFFFBE0	8
	タイマインタラプトイネーブルレジスタ F11	TIERF11	8	H'FFFFFBE1	8
	タイマステータスレジスタ F11	TSRF11	8	H'FFFFFBE3	8
	時間計測カウンタ AF11	ECNTAF11	32	H'FFFFFBE4	32
	イベントカウンタ F11	ECNTBF11	16	H'FFFFFBE8	16
	汎用レジスタ BF11	GRBF11	16	H'FFFFFBEA	16
	時間計測カウンタ CF11	ECNTCF11	32	H'FFFFFBEC	32
	汎用レジスタ AF11	GRAF11	32	H'FFFFFBF0	32
	キャプチャ出力レジスタ F11	CDRF11	32	H'FFFFFBF4	32
	汎用レジスタ CF11	GRCF11	32	H'FFFFFBF8	32
	タイマコントロールレジスタ F12	TCRF12	8	H'FFFFFC00	8
	タイマインタラプトイネーブルレジスタ F12	TIERF12	8	H'FFFFFC01	8
	タイマステータスレジスタ F12	TSRF12	8	H'FFFFFC03	8
	時間計測カウンタ AF12	ECNTAF12	32	H'FFFFFC04	32
	イベントカウンタ F12	ECNTBF12	16	H'FFFFFC08	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	汎用レジスタ BF12	GRBF12	16	H'FFFFFC0A	16
	時間計測カウンタ CF12	ECNTCF12	32	H'FFFFFC0C	32
	汎用レジスタ AF12	GRAF12	32	H'FFFFFC10	32
	キャプチャ出力レジスタ F12	CDRF12	32	H'FFFFFC14	32
	汎用レジスタ CF12	GRCF12	32	H'FFFFFC18	32
	汎用レジスタ DF12	GRDF12	32	H'FFFFFC1C	32
	タイマコントロールレジスタ F13	TCRF13	8	H'FFFFFC20	8
	タイマインタラプトイネーブルレジスタ F13	TIERF13	8	H'FFFFFC21	8
	タイマステータスレジスタ F13	TSRF13	8	H'FFFFFC23	8
	時間計測カウンタ AF13	ECNTAF13	32	H'FFFFFC24	32
	イベントカウンタ F13	ECNTBF13	16	H'FFFFFC28	16
	汎用レジスタ BF13	GRBF13	16	H'FFFFFC2A	16
	時間計測カウンタ CF13	ECNTCF13	32	H'FFFFFC2C	32
	汎用レジスタ AF13	GRAF13	32	H'FFFFFC30	32
	キャプチャ出力レジスタ F13	CDRF13	32	H'FFFFFC34	32
	汎用レジスタ CF13	GRCF13	32	H'FFFFFC38	32
	汎用レジスタ DF13	GRDF13	32	H'FFFFFC3C	32
	タイマコントロールレジスタ F14	TCRF14	8	H'FFFFFC40	8
	タイマインタラプトイネーブルレジスタ F14	TIERF14	8	H'FFFFFC41	8
	タイマステータスレジスタ F14	TSRF14	8	H'FFFFFC43	8
	時間計測カウンタ AF14	ECNTAF14	32	H'FFFFFC44	32
	イベントカウンタ F14	ECNTBF14	16	H'FFFFFC48	16
	汎用レジスタ BF14	GRBF14	16	H'FFFFFC4A	16
	時間計測カウンタ CF14	ECNTCF14	32	H'FFFFFC4C	32
	汎用レジスタ AF14	GRAF14	32	H'FFFFFC50	32
	キャプチャ出力レジスタ F14	CDRF14	32	H'FFFFFC54	32
	汎用レジスタ CF14	GRCF14	32	H'FFFFFC58	32
	汎用レジスタ DF14	GRDF14	32	H'FFFFFC5C	32
	タイマコントロールレジスタ F15	TCRF15	8	H'FFFFFC60	8
	タイマインタラプトイネーブルレジスタ F15	TIERF15	8	H'FFFFFC61	8
	タイマステータスレジスタ F15	TSRF15	8	H'FFFFFC63	8
	時間計測カウンタ AF15	ECNTAF15	32	H'FFFFFC64	32
	イベントカウンタ F15	ECNTBF15	16	H'FFFFFC68	16
	汎用レジスタ BF15	GRBF15	16	H'FFFFFC6A	16
	時間計測カウンタ CF15	ECNTCF15	32	H'FFFFFC6C	32
	汎用レジスタ AF15	GRAF15	32	H'FFFFFC70	32
	キャプチャ出力レジスタ F15	CDRF15	32	H'FFFFFC74	32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	汎用レジスタ CF15	GRCF15	32	H'FFFFFC78	32
	汎用レジスタ DF15	GRDF15	32	H'FFFFFC7C	32
	タイマコントロールレジスタ F16	TCRF16	8	H'FFFFFC80	8
	タイマインタラプトイネーブルレジスタ F16	TIERF16	8	H'FFFFFC81	8
	タイマステータスレジスタ F16	TSRF16	8	H'FFFFFC83	8
	時間計測カウンタ AF16	ECNTAF16	32	H'FFFFFC84	32
	イベントカウンタ F16	ECNTBF16	16	H'FFFFFC88	16
	汎用レジスタ BF16	GRBF16	16	H'FFFFFC8A	16
	時間計測カウンタ CF16	ECNTCF16	32	H'FFFFFC8C	32
	汎用レジスタ AF16	GRAF16	32	H'FFFFFC90	32
	キャプチャ出力レジスタ F16	CDRF16	32	H'FFFFFC94	32
	汎用レジスタ CF16	GRCF16	32	H'FFFFFC98	32
	タイマコントロールレジスタ F17	TCRF17	8	H'FFFFFCA0	8
	タイマインタラプトイネーブルレジスタ F17	TIERF17	8	H'FFFFFCA1	8
	タイマステータスレジスタ F17	TSRF17	8	H'FFFFFCA3	8
	時間計測カウンタ AF17	ECNTAF17	32	H'FFFFFCA4	32
	イベントカウンタ F17	ECNTBF17	16	H'FFFFFCA8	16
	汎用レジスタ BF17	GRBF17	16	H'FFFFFCAA	16
	時間計測カウンタ CF17	ECNTCF17	32	H'FFFFFCAC	32
	汎用レジスタ AF17	GRAF17	32	H'FFFFFCB0	32
	キャプチャ出力レジスタ F17	CDRF17	32	H'FFFFFCB4	32
	汎用レジスタ CF17	GRCF17	32	H'FFFFFCB8	32
	タイマコントロールレジスタ F18	TCRF18	8	H'FFFFFCC0	8
	タイマインタラプトイネーブルレジスタ F18	TIERF18	8	H'FFFFFCC1	8
	タイマステータスレジスタ F18	TSRF18	8	H'FFFFFCC3	8
	時間計測カウンタ AF18	ECNTAF18	32	H'FFFFFCC4	32
	イベントカウンタ F18	ECNTBF18	16	H'FFFFFCC8	16
	汎用レジスタ BF18	GRBF18	16	H'FFFFFCCA	16
	時間計測カウンタ CF18	ECNTCF18	32	H'FFFFFCCC	32
	汎用レジスタ AF18	GRAF18	32	H'FFFFFCD0	32
	キャプチャ出力レジスタ F18	CDRF18	32	H'FFFFFCD4	32
	汎用レジスタ CF18	GRCF18	32	H'FFFFFCD8	32
	タイマコントロールレジスタ F19	TCRF19	8	H'FFFFFCE0	8
	タイマインタラプトイネーブルレジスタ F19	TIERF19	8	H'FFFFFCE1	8
	タイマステータスレジスタ F19	TSRF19	8	H'FFFFFCE3	8
	時間計測カウンタ AF19	ECNTAF19	32	H'FFFFFCE4	32
	イベントカウンタ F19	ECNTBF19	16	H'FFFFFCE8	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	汎用レジスタ BF19	GRBF19	16	H'FFFFFCEA	16
	時間計測カウンタ CF19	ECNTCF19	32	H'FFFFFCEC	32
	汎用レジスタ AF19	GRAF19	32	H'FFFFFCF0	32
	キャプチャ出力レジスタ F19	CDRF19	32	H'FFFFFCF4	32
	汎用レジスタ CF19	GRCF19	32	H'FFFFFCF8	32
	タイマスタートレジスタ G	TSTRG	8	H'FFFFFE01	8
	タイマコントロールレジスタ G0	TCRG0	8	H'FFFFFE80	8
	タイマステータスレジスタ G0	TSRG0	8	H'FFFFFE81	8
	タイマカウンタ G0	TCNTG0	16	H'FFFFFE84	16
	コンペアマッチレジスタ G0	OCRG0	16	H'FFFFFE86	16
	タイマコントロールレジスタ G1	TCRG1	8	H'FFFFFE90	8
	タイマステータスレジスタ G1	TSRG1	8	H'FFFFFE91	8
	タイマカウンタ G1	TCNTG1	16	H'FFFFFE94	16
	コンペアマッチレジスタ G1	OCRG1	16	H'FFFFFE96	16
	タイマコントロールレジスタ G2	TCRG2	8	H'FFFFFEA0	8
	タイマステータスレジスタ G2	TSRG2	8	H'FFFFFEA1	8
	タイマカウンタ G2	TCNTG2	16	H'FFFFFEA4	16
	コンペアマッチレジスタ G2	OCRG2	16	H'FFFFFEA6	16
	タイマコントロールレジスタ G3	TCRG3	8	H'FFFFFEB0	8
	タイマステータスレジスタ G3	TSRG3	8	H'FFFFFEB1	8
	タイマカウンタ G3	TCNTG3	16	H'FFFFFEB4	16
	コンペアマッチレジスタ G3	OCRG3	16	H'FFFFFEB6	16
	タイマコントロールレジスタ G4	TCRG4	8	H'FFFFFEC0	8
	タイマステータスレジスタ G4	TSRG4	8	H'FFFFFEC1	8
	タイマカウンタ G4	TCNTG4	16	H'FFFFFEC4	16
	コンペアマッチレジスタ G4	OCRG4	16	H'FFFFFEC6	16
	タイマコントロールレジスタ G5	TCRG5	8	H'FFFFFED0	8
	タイマステータスレジスタ G5	TSRG5	8	H'FFFFFED1	8
	タイマカウンタ G5	TCNTG5	16	H'FFFFFED4	16
	コンペアマッチレジスタ G5	OCRG5	16	H'FFFFFED6	16
	タイマコントロールレジスタ H	TCRH	8	H'FFFFFF40	8
	タイマステータスレジスタ H	TSRH	8	H'FFFFFF41	8
	タイマカウンタ 1H	TCNT1H	16	H'FFFFFF44	16
	コンペアマッチレジスタ 1H	OCR1H	16	H'FFFFFF46	16
	タイマカウンタ 2H	TCNT2H	32	H'FFFFFF48	32
	タイマスタートレジスタ J	TSTRJ	8	H'FFFFFF80	8
	タイマコントロールレジスタ J0	TCRJ0	8	H'FFFFFF90	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ATU-III	FIFO コントロールレジスタ J0	FCRJ0	8	H'FFFFFF91	8
	タイマステータスレジスタ J0	TSRJ0	8	H'FFFFFF92	8
	タイマインタラプトイネーブルレジスタ J0	TIERJ0	8	H'FFFFFF94	8
	FIFO データ数レジスタ J0	FDNRJ0	8	H'FFFFFF95	8
	ノイズキャンセルカウンタ J0	NCNTJ0	8	H'FFFFFF96	8
	ノイズキャンセルレジスタ J0	NCRJ0	8	H'FFFFFF97	8
	タイマカウンタ J0	TCNTJ0	16	H'FFFFFF98	16
	コンペアマッチレジスタ J0	OCRJ0	16	H'FFFFFF9A	16
	FIFO レジスタ J0	FIFOJ0	16	H'FFFFFF9C	16
	タイマコントロールレジスタ J1	TCRJ1	8	H'FFFFFFA0	8
	FIFO コントロールレジスタ J1	FCRJ1	8	H'FFFFFFA1	8
	タイマステータスレジスタ J1	TSRJ1	8	H'FFFFFFA2	8
	タイマインタラプトイネーブルレジスタ J1	TIERJ1	8	H'FFFFFFA4	8
	FIFO データ数レジスタ J1	FDNRJ1	8	H'FFFFFFA5	8
	ノイズキャンセルカウンタ J1	NCNTJ1	8	H'FFFFFFA6	8
	ノイズキャンセルレジスタ J1	NCRJ1	8	H'FFFFFFA7	8
	タイマカウンタ J1	TCNTJ1	16	H'FFFFFFA8	16
	コンペアマッチレジスタ J1	OCRJ1	16	H'FFFFFFAA	16
	FIFO レジスタ J1	FIFOJ1	16	H'FFFFFFAC	16
WDT	ウォッチドッグタイマコントロールレジスタ	WTCR	16	H'FFFE0000	8、16
	ウォッチドッグタイマカウンタ	WTCNT	16	H'FFFE0002	8、16
	ウォッチドッグタイマステータスレジスタ	WTSR	16	H'FFFE0004	8、16
	ウォッチドッグリセットコントロールレジスタ	WRCR	16	H'FFFE0006	8、16
CMT	コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFFEC000	16
	コンペアマッチタイマコントロールレジスタ_0	CMCR_0	8	H'FFFEC010	8
	コンペアマッチタイマステータスレジスタ_0	CMSR_0	8	H'FFFEC011	8
	コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFEC012	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFEC014	16
	コンペアマッチタイマコントロールレジスタ_1	CMCR_1	8	H'FFFEC020	8
	コンペアマッチタイマステータスレジスタ_1	CMSR_1	8	H'FFFEC021	8
	コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFEC022	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFEC024	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCI	シリアルモードレジスタ	SCSMR1A	8	H'FFFF8000	8
	ビットレートレジスタ	SCBRR1A	8	H'FFFF8004	8
	シリアルコントロールレジスタ	SCSCR1A	8	H'FFFF8008	8
	トランスミットデータレジスタ	SCTDR1A	8	H'FFFF800C	8
	シリアルステータスレジスタ	SCSSR1A	8	H'FFFF8010	8
	レシーブデータレジスタ	SCRDR1A	8	H'FFFF8014	8
	シリアルモードレジスタ	SCSMR1B	8	H'FFFF8800	8
	ビットレートレジスタ	SCBRR1B	8	H'FFFF8804	8
	シリアルコントロールレジスタ	SCSCR1B	8	H'FFFF8808	8
	トランスミットデータレジスタ	SCTDR1B	8	H'FFFF880C	8
	シリアルステータスレジスタ	SCSSR1B	8	H'FFFF8810	8
	レシーブデータレジスタ	SCRDR1B	8	H'FFFF8814	8
	シリアルモードレジスタ	SCSMR1C	8	H'FFFF9000	8
	ビットレートレジスタ	SCBRR1C	8	H'FFFF9004	8
	シリアルコントロールレジスタ	SCSCR1C	8	H'FFFF9008	8
	トランスミットデータレジスタ	SCTDR1C	8	H'FFFF900C	8
	シリアルステータスレジスタ	SCSSR1C	8	H'FFFF9010	8
	レシーブデータレジスタ	SCRDR1C	8	H'FFFF9014	8
RSPI	RSPI 制御レジスタ A	SPCRA	8	H'FFFFB000	8、16
	RSPI スレーブセレクト極性レジスタ A	SSLPA	8	H'FFFFB001	8
	RSPI 端子制御レジスタ A	SPPCRA	8	H'FFFFB002	8、16
	RSPI ステータスレジスタ A	SPSRA	8	H'FFFFB003	8
	RSPI データレジスタ A	SPDRA	16	H'FFFFB004	16
	RSPI シーケンス制御レジスタ A	SPSCRA	8	H'FFFFB008	8、16
	RSPI シーケンスステータスレジスタ A	SPSSRA	8	H'FFFFB009	8
	RSPI ビットレートレジスタ A	SPBRA	8	H'FFFFB00A	8
	RSPI クロック遅延レジスタ A	SPCKDA	8	H'FFFFB00C	8、16
	RSPI スレーブセレクトネゲート遅延レジスタ A	SSLNDA	8	H'FFFFB00D	8
	RSPI 次アクセス遅延レジスタ A	SPNDA	8	H'FFFFB00E	8
	RSPI コマンドレジスタ A0	SPCMDA0	16	H'FFFFB010	16
	RSPI コマンドレジスタ A1	SPCMDA1	16	H'FFFFB012	16
	RSPI コマンドレジスタ A2	SPCMDA2	16	H'FFFFB014	16
	RSPI コマンドレジスタ A3	SPCMDA3	16	H'FFFFB016	16
	RSPI コマンドレジスタ A4	SPCMDA4	16	H'FFFFB018	16
	RSPI コマンドレジスタ A5	SPCMDA5	16	H'FFFFB01A	16
	RSPI コマンドレジスタ A6	SPCMDA6	16	H'FFFFB01C	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
RSPI	RSPI コマンドレジスタ A7	SPCMDA7	16	H'FFFFB01E	16
	RSPI 制御レジスタ B	SPCRB	8	H'FFFFB800	8、16
	RSPI スレーブセレクト極性設定レジスタ B	SSLPB	8	H'FFFFB801	8
	RSPI 端子制御レジスタ B	SPPCRB	8	H'FFFFB802	8、16
	RSPI ステータスレジスタ B	SPSRB	8	H'FFFFB803	8
	RSPI データレジスタ B	SPDRB	16	H'FFFFB804	16
	RSPI シーケンス制御レジスタ B	SPSCRB	8	H'FFFFB808	8、16
	RSPI シーケンスステータスレジスタ B	SPSSRB	8	H'FFFFB809	8
	RSPI ビットレートレジスタ B	SPBRB	8	H'FFFFB80A	8
	RSPI クロック遅延値レジスタ B	SPCKDB	8	H'FFFFB80C	8、16
	RSPI スレーブセレクトネゲート遅延レジスタ B	SSLNDB	8	H'FFFFB80D	8
	RSPI 次アクセス遅延レジスタ B	SPNDB	8	H'FFFFB80E	8
	RSPI コマンドレジスタ B0	SPCMDB0	16	H'FFFFB810	16
	RSPI コマンドレジスタ B1	SPCMDB1	16	H'FFFFB812	16
	RSPI コマンドレジスタ B2	SPCMDB2	16	H'FFFFB814	16
	RSPI コマンドレジスタ B3	SPCMDB3	16	H'FFFFB816	16
	RSPI コマンドレジスタ B4	SPCMDB4	16	H'FFFFB818	16
	RSPI コマンドレジスタ B5	SPCMDB5	16	H'FFFFB81A	16
	RSPI コマンドレジスタ B6	SPCMDB6	16	H'FFFFB81C	16
	RSPI コマンドレジスタ B7	SPCMDB7	16	H'FFFFB81E	16
RCAN-TL1（RCAN_A）	マスタコントロールレジスタ	MCR	16	H'FFFFD000	16
	ジェネラルステータスレジスタ	GSR	16	H'FFFFD002	16
	ビットコンフィギュレーションレジスタ 1	BCR1	16	H'FFFFD004	16
	ビットコンフィギュレーションレジスタ 0	BCR0	16	H'FFFFD006	16
	インタラプトリクエストレジスタ	IRR	16	H'FFFFD008	16
	インタラプトマスクレジスタ	IMR	16	H'FFFFD00A	16
	送信エラーカウンタ／受信エラーカウンタ	TEC/REC	16	H'FFFFD00C	16
	送信待ちレジスタ 1	TXPR1	16	H'FFFFD020	32
	送信待ちレジスタ 0	TXPR0	16		
	送信キャンセルレジスタ 1	TXCR1	16	H'FFFFD028	16
	送信キャンセルレジスタ 0	TXCR0	16	H'FFFFD02A	16
	送信アクノリッジレジスタ 1	TXACK1	16	H'FFFFD030	16
	送信アクノリッジレジスタ 0	TXACK0	16	H'FFFFD032	16
	アボートアクノリッジレジスタ 1	ABACK1	16	H'FFFFD038	16
	アボートアクノリッジレジスタ 0	ABACK0	16	H'FFFFD03A	16
	データフレーム受信完了レジスタ 1	RXPR1	16	H'FFFFD040	16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	データフレーム受信完了レジスタ 0		RXPR0	16	H'FFFFD042	16
	リモートフレーム受信完了レジスタ 1		RFPR1	16	H'FFFFD048	16
	リモートフレーム受信完了レジスタ 0		RFPR0	16	H'FFFFD04A	16
	メールボックスインタラプトマスクレジスタ 1		MBIMR1	16	H'FFFFD050	16
	メールボックスインタラプトマスクレジスタ 0		MBIMR0	16	H'FFFFD052	16
	未読メッセージステータスレジスタ 1		UMSR1	16	H'FFFFD058	16
	未読メッセージステータスレジスタ 0		UMSR0	16	H'FFFFD05A	16
	タイムトリガコントロールレジスタ 0		TTCR0	16	H'FFFFD080	16
	サイクルマキシマム／Tx_Enable_Windowレジスタ		CMAX_TEW	16	H'FFFFD084	16
	リファレンストリガオフセットレジスタ		RFTROFF	16	H'FFFFD086	16
	タイマステータスレジスタ		TSR	16	H'FFFFD088	16
	サイクルカウンタレジスタ		CCR	16	H'FFFFD08A	16
	タイマカウンタレジスタ		TCNTR	16	H'FFFFD08C	16
	サイクルタイムレジスタ		CYCTR	16	H'FFFFD090	16
	リファレンスマークレジスタ		RFMK	16	H'FFFFD094	16
	タイマコンペアマッチレジスタ 0		TCMR0	16	H'FFFFD098	16
	タイマコンペアマッチレジスタ 1		TCMR1	16	H'FFFFD09C	16
	タイマコンペアマッチレジスタ 2		TCMR2	16	H'FFFFD0A0	16
	送信トリガタイムセレクトレジスタ		TTTSEL	16	H'FFFFD0A4	16
	MB[0].	CONTROL0_H	－	16	H'FFFFD100	16、32
		CONTROL0_L	－	16	H'FFFFD102	16
		LAFM0	－	16	H'FFFFD104	16、32
		LAFM1	－	16	H'FFFFD106	16
		DATA_01	－	16	H'FFFFD108	8、16、32
		DATA_23	－	16	H'FFFFD10A	8、16
		DATA_45	－	16	H'FFFFD10C	8、16、32
		DATA_67	－	16	H'FFFFD10E	8、16
		CONTROL1	－	16	H'FFFFD110	8、16
		TIMESTAMP	－	16	H'FFFFD112	16
	MB[1].	CONTROL0_H	－	16	H'FFFFD120	16、32
		CONTROL0_L	－	16	H'FFFFD122	16
		LAFM0	－	16	H'FFFFD124	16、32
		LAFM1	－	16	H'FFFFD126	16
		DATA_01	－	16	H'FFFFD128	8、16、32
		DATA_23	－	16	H'FFFFD12A	8、16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[1].	DATA_45	–	16	H'FFFFD12C	8、16、32
		DATA_67	–	16	H'FFFFD12E	8、16
		CONTROL1	–	16	H'FFFFD130	8、16
		TIMESTAMP	–	16	H'FFFFD132	16
	MB[2].	CONTROL0_H	–	16	H'FFFFD140	16、32
		CONTROL0_L	–	16	H'FFFFD142	16
		LAFM0	–	16	H'FFFFD144	16、32
		LAFM1	–	16	H'FFFFD146	16
		DATA_01	–	16	H'FFFFD148	8、16、32
		DATA_23	–	16	H'FFFFD14A	8、16
		DATA_45	–	16	H'FFFFD14C	8、16、32
		DATA_67	–	16	H'FFFFD14E	8、16
		CONTROL1	–	16	H'FFFFD150	8、16
		TIMESTAMP	–	16	H'FFFFD152	16
	MB[3].	CONTROL0_H	–	16	H'FFFFD160	16、32
		CONTROL0_L	–	16	H'FFFFD162	16
		LAFM0	–	16	H'FFFFD164	16、32
		LAFM1	–	16	H'FFFFD166	16
		DATA_01	–	16	H'FFFFD168	8、16、32
		DATA_23	–	16	H'FFFFD16A	8、16
		DATA_45	–	16	H'FFFFD16C	8、16、32
		DATA_67	–	16	H'FFFFD16E	8、16
		CONTROL1	–	16	H'FFFFD170	8、16
		TIMESTAMP	–	16	H'FFFFD172	16
	MB[4].	CONTROL0_H	–	16	H'FFFFD180	16、32
		CONTROL0_L	–	16	H'FFFFD182	16
		LAFM0	–	16	H'FFFFD184	16、32
		LAFM1	–	16	H'FFFFD186	16
		DATA_01	–	16	H'FFFFD188	8、16、32
		DATA_23	–	16	H'FFFFD18A	8、16
		DATA_45	–	16	H'FFFFD18C	8、16、32
		DATA_67	–	16	H'FFFFD18E	8、16
		CONTROL1	–	16	H'FFFFD190	8、16
		TIMESTAMP	–	16	H'FFFFD192	16
	MB[5].	CONTROL0_H	–	16	H'FFFFD1A0	16、32
		CONTROL0_L	–	16	H'FFFFD1A2	16
		LAFM0	–	16	H'FFFFD1A4	16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[5].	LAFM1	–	16	H'FFFFD1A6	16
		DATA_01	–	16	H'FFFFD1A8	8、16、32
		DATA_23	–	16	H'FFFFD1AA	8、16
		DATA_45	–	16	H'FFFFD1AC	8、16、32
		DATA_67	–	16	H'FFFFD1AE	8、16
		CONTROL1	–	16	H'FFFFD1B0	8、16
		TIMESTAMP	–	16	H'FFFFD1B2	16
	MB[6].	CONTROL0_H	–	16	H'FFFFD1C0	16、32
		CONTROL0_L	–	16	H'FFFFD1C2	16
		LAFM0	–	16	H'FFFFD1C4	16、32
		LAFM1	–	16	H'FFFFD1C6	16
		DATA_01	–	16	H'FFFFD1C8	8、16、32
		DATA_23	–	16	H'FFFFD1CA	8、16
		DATA_45	–	16	H'FFFFD1CC	8、16、32
		DATA_67	–	16	H'FFFFD1CE	8、16
		CONTROL1	–	16	H'FFFFD1D0	8、16
		TIMESTAMP	–	16	H'FFFFD1D2	16
	MB[7].	CONTROL0_H	–	16	H'FFFFD1E0	16、32
		CONTROL0_L	–	16	H'FFFFD1E2	16
		LAFM0	–	16	H'FFFFD1E4	16、32
		LAFM1	–	16	H'FFFFD1E6	16
		DATA_01	–	16	H'FFFFD1E8	8、16、32
		DATA_23	–	16	H'FFFFD1EA	8、16
		DATA_45	–	16	H'FFFFD1EC	8、16、32
		DATA_67	–	16	H'FFFFD1EE	8、16
		CONTROL1	–	16	H'FFFFD1F0	8、16
		TIMESTAMP	–	16	H'FFFFD1F2	16
	MB[8].	CONTROL0_H	–	16	H'FFFFD200	16、32
		CONTROL0_L	–	16	H'FFFFD202	16
		LAFM0	–	16	H'FFFFD204	16、32
		LAFM1	–	16	H'FFFFD206	16
		DATA_01	–	16	H'FFFFD208	8、16、32
		DATA_23	–	16	H'FFFFD20A	8、16
		DATA_45	–	16	H'FFFFD20C	8、16、32
		DATA_67	–	16	H'FFFFD20E	8、16
		CONTROL1	–	16	H'FFFFD210	8、16
		TIMESTAMP	–	16	H'FFFFD212	16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[9].	CONTROL0_H	–	16	H'FFFFD220	16、32
		CONTROL0_L	–	16	H'FFFFD222	16
		LAFM0	–	16	H'FFFFD224	16、32
		LAFM1	–	16	H'FFFFD226	16
		DATA_01	–	16	H'FFFFD228	8、16、32
		DATA_23	–	16	H'FFFFD22A	8、16
		DATA_45	–	16	H'FFFFD22C	8、16、32
		DATA_67	–	16	H'FFFFD22E	8、16
		CONTROL1	–	16	H'FFFFD230	8、16
		TIMESTAMP	–	16	H'FFFFD232	16
	MB[10].	CONTROL0_H	–	16	H'FFFFD240	16、32
		CONTROL0_L	–	16	H'FFFFD242	16
		LAFM0	–	16	H'FFFFD244	16、32
		LAFM1	–	16	H'FFFFD246	16
		DATA_01	–	16	H'FFFFD248	8、16、32
		DATA_23	–	16	H'FFFFD24A	8、16
		DATA_45	–	16	H'FFFFD24C	8、16、32
		DATA_67	–	16	H'FFFFD24E	8、16
		CONTROL1	–	16	H'FFFFD250	8、16
		TIMESTAMP	–	16	H'FFFFD252	16
	MB[11].	CONTROL0_H	–	16	H'FFFFD260	16、32
		CONTROL0_L	–	16	H'FFFFD262	16
		LAFM0	–	16	H'FFFFD264	16、32
		LAFM1	–	16	H'FFFFD266	16
		DATA_01	–	16	H'FFFFD268	8、16、32
		DATA_23	–	16	H'FFFFD26A	8、16
		DATA_45	–	16	H'FFFFD26C	8、16、32
		DATA_67	–	16	H'FFFFD26E	8、16
		CONTROL1	–	16	H'FFFFD270	8、16
		TIMESTAMP	–	16	H'FFFFD272	16
	MB[12].	CONTROL0_H	–	16	H'FFFFD280	16、32
		CONTROL0_L	–	16	H'FFFFD282	16
		LAFM0	–	16	H'FFFFD284	16、32
		LAFM1	–	16	H'FFFFD286	16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[12].	DATA_01	–	16	H'FFFFD288	8、16、32
		DATA_23	–	16	H'FFFFD28A	8、16
		DATA_45	–	16	H'FFFFD28C	8、16、32
		DATA_67	–	16	H'FFFFD28E	8、16
		CONTROL1	–	16	H'FFFFD290	8、16
		TIMESTAMP	–	16	H'FFFFD292	16
	MB[13].	CONTROL0_H	–	16	H'FFFFD2A0	16、32
		CONTROL0_L	–	16	H'FFFFD2A2	16
		LAFM0	–	16	H'FFFFD2A4	16、32
		LAFM1	–	16	H'FFFFD2A6	16
		DATA_01	–	16	H'FFFFD2A8	8、16、32
		DATA_23	–	16	H'FFFFD2AA	8、16
		DATA_45	–	16	H'FFFFD2AC	8、16、32
		DATA_67	–	16	H'FFFFD2AE	8、16
		CONTROL1	–	16	H'FFFFD2B0	8、16
		TIMESTAMP	–	16	H'FFFFD2B2	16
	MB[14].	CONTROL0_H	–	16	H'FFFFD2C0	16、32
		CONTROL0_L	–	16	H'FFFFD2C2	16
		LAFM0	–	16	H'FFFFD2C4	16、32
		LAFM1	–	16	H'FFFFD2C6	16
		DATA_01	–	16	H'FFFFD2C8	8、16、32
		DATA_23	–	16	H'FFFFD2CA	8、16
		DATA_45	–	16	H'FFFFD2CC	8、16、32
		DATA_67	–	16	H'FFFFD2CE	8、16
		CONTROL1	–	16	H'FFFFD2D0	8、16
		TIMESTAMP	–	16	H'FFFFD2D2	16
	MB[15].	CONTROL0_H	–	16	H'FFFFD2E0	16、32
		CONTROL0_L	–	16	H'FFFFD2E2	16
		LAFM0	–	16	H'FFFFD2E4	16、32
		LAFM1	–	16	H'FFFFD2E6	16
		DATA_01	–	16	H'FFFFD2E8	8、16、32
		DATA_23	–	16	H'FFFFD2EA	8、16
		DATA_45	–	16	H'FFFFD2EC	8、16、32
		DATA_67	–	16	H'FFFFD2EE	8、16
		CONTROL1	–	16	H'FFFFD2F0	8、16
		TIMESTAMP	–	16	H'FFFFD2F2	16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[16].	CONTROL0_H	–	16	H'FFFFD300	16、32
		CONTROL0_L	–	16	H'FFFFD302	16
		LAFM0	–	16	H'FFFFD304	16、32
		LAFM1	–	16	H'FFFFD306	16
		DATA_01	–	16	H'FFFFD308	8、16、32
		DATA_23	–	16	H'FFFFD30A	8、16
		DATA_45	–	16	H'FFFFD30C	8、16、32
		DATA_67	–	16	H'FFFFD30E	8、16
		CONTROL1	–	16	H'FFFFD310	8、16
	MB[17].	CONTROL0_H	–	16	H'FFFFD320	16、32
		CONTROL0_L	–	16	H'FFFFD322	16
		LAFM0	–	16	H'FFFFD324	16、32
		LAFM1	–	16	H'FFFFD326	16
		DATA_01	–	16	H'FFFFD328	8、16、32
		DATA_23	–	16	H'FFFFD32A	8、16
		DATA_45	–	16	H'FFFFD32C	8、16、32
		DATA_67	–	16	H'FFFFD32E	8、16
		CONTROL1	–	16	H'FFFFD330	8、16
	MB[18].	CONTROL0_H	–	16	H'FFFFD340	16、32
		CONTROL0_L	–	16	H'FFFFD342	16
		LAFM0	–	16	H'FFFFD344	16、32
		LAFM1	–	16	H'FFFFD346	16
		DATA_01	–	16	H'FFFFD348	8、16、32
		DATA_23	–	16	H'FFFFD34A	8、16
		DATA_45	–	16	H'FFFFD34C	8、16、32
		DATA_67	–	16	H'FFFFD34E	8、16
		CONTROL1	–	16	H'FFFFD350	8、16
	MB[19].	CONTROL0_H	–	16	H'FFFFD360	16、32
		CONTROL0_L	–	16	H'FFFFD362	16
		LAFM0	–	16	H'FFFFD364	16、32
		LAFM1	–	16	H'FFFFD366	16
		DATA_01	–	16	H'FFFFD368	8、16、32
		DATA_23	–	16	H'FFFFD36A	8、16
		DATA_45	–	16	H'FFFFD36C	8、16、32
		DATA_67	–	16	H'FFFFD36E	8、16
		CONTROL1	–	16	H'FFFFD370	8、16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[20].	CONTROL0_H	–	16	H'FFFFD380	16、32
		CONTROL0_L	–	16	H'FFFFD382	16
		LAFM0	–	16	H'FFFFD384	16、32
		LAFM1	–	16	H'FFFFD386	16
		DATA_01	–	16	H'FFFFD388	8、16、32
		DATA_23	–	16	H'FFFFD38A	8、16
		DATA_45	–	16	H'FFFFD38C	8、16、32
		DATA_67	–	16	H'FFFFD38E	8、16
		CONTROL1	–	16	H'FFFFD390	8、16
	MB[21].	CONTROL0_H	–	16	H'FFFFD3A0	16、32
		CONTROL0_L	–	16	H'FFFFD3A2	16
		LAFM0	–	16	H'FFFFD3A4	16、32
		LAFM1	–	16	H'FFFFD3A6	16
		DATA_01	–	16	H'FFFFD3A8	8、16、32
		DATA_23	–	16	H'FFFFD3AA	8、16
		DATA_45	–	16	H'FFFFD3AC	8、16、32
		DATA_67	–	16	H'FFFFD3AE	8、16
		CONTROL1	–	16	H'FFFFD3B0	8、16
	MB[22].	CONTROL0_H	–	16	H'FFFFD3C0	16、32
		CONTROL0_L	–	16	H'FFFFD3C2	16
		LAFM0	–	16	H'FFFFD3C4	16、32
		LAFM1	–	16	H'FFFFD3C6	16
		DATA_01	–	16	H'FFFFD3C8	8、16、32
		DATA_23	–	16	H'FFFFD3CA	8、16
		DATA_45	–	16	H'FFFFD3CC	8、16、32
		DATA_67	–	16	H'FFFFD3CE	8、16
		CONTROL1	–	16	H'FFFFD3D0	8、16
	MB[23].	CONTROL0_H	–	16	H'FFFFD3E0	16、32
		CONTROL0_L	–	16	H'FFFFD3E2	16
		LAFM0	–	16	H'FFFFD3E4	16、32
		LAFM1	–	16	H'FFFFD3E6	16
		DATA_01	–	16	H'FFFFD3E8	8、16、32
		DATA_23	–	16	H'FFFFD3EA	8、16
		DATA_45	–	16	H'FFFFD3EC	8、16、32
		DATA_67	–	16	H'FFFFD3EE	8、16
		CONTROL1	–	16	H'FFFFD3F0	8、16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[24].	CONTROL0_H	–	16	H'FFFFD400	16、32
		CONTROL0_L	–	16	H'FFFFD402	16
		LAFM0	–	16	H'FFFFD404	16、32
		LAFM1	–	16	H'FFFFD406	16
		DATA_01	–	16	H'FFFFD408	8、16、32
		DATA_23	–	16	H'FFFFD40A	8、16
		DATA_45	–	16	H'FFFFD40C	8、16、32
		DATA_67	–	16	H'FFFFD40E	8、16
		CONTROL1	–	16	H'FFFFD410	8、16
		TTT	–	16	H'FFFFD414	16
		TTCONTROL	–	16	H'FFFFD416	16
	MB[25].	CONTROL0_H	–	16	H'FFFFD420	16、32
		CONTROL0_L	–	16	H'FFFFD422	16
		LAFM0	–	16	H'FFFFD424	16、32
		LAFM1	–	16	H'FFFFD426	16
		DATA_01	–	16	H'FFFFD428	8、16、32
		DATA_23	–	16	H'FFFFD42A	8、16
		DATA_45	–	16	H'FFFFD42C	8、16、32
		DATA_67	–	16	H'FFFFD42E	8、16
		CONTROL1	–	16	H'FFFFD430	8、16
		TTT	–	16	H'FFFFD434	16
		TTCONTROL	–	16	H'FFFFD436	16
	MB[26].	CONTROL0_H	–	16	H'FFFFD440	16、32
		CONTROL0_L	–	16	H'FFFFD442	16
		LAFM0	–	16	H'FFFFD444	16、32
		LAFM1	–	16	H'FFFFD446	16
		DATA_01	–	16	H'FFFFD448	8、16、32
		DATA_23	–	16	H'FFFFD44A	8、16
		DATA_45	–	16	H'FFFFD44C	8、16、32
		DATA_67	–	16	H'FFFFD44E	8、16
		CONTROL1	–	16	H'FFFFD450	8、16
		TTT	–	16	H'FFFFD454	16
		TTCONTROL	–	16	H'FFFFD456	16
	MB[27].	CONTROL0_H	–	16	H'FFFFD460	16、32
		CONTROL0_L	–	16	H'FFFFD462	16
		LAFM0	–	16	H'FFFFD464	16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[27].	LAFM1	–	16	H'FFFFD466	16
		DATA_01	–	16	H'FFFFD468	8、16、32
		DATA_23	–	16	H'FFFFD46A	8、16
		DATA_45	–	16	H'FFFFD46C	8、16、32
		DATA_67	–	16	H'FFFFD46E	8、16
		CONTROL1	–	16	H'FFFFD470	8、16
		TTT	–	16	H'FFFFD474	16
		TTCONTROL	–	16	H'FFFFD476	16
	MB[28].	CONTROL0_H	–	16	H'FFFFD480	16、32
		CONTROL0_L	–	16	H'FFFFD482	16
		LAFM0	–	16	H'FFFFD484	16、32
		LAFM1	–	16	H'FFFFD486	16
		DATA_01	–	16	H'FFFFD488	8、16、32
		DATA_23	–	16	H'FFFFD48A	8、16
		DATA_45	–	16	H'FFFFD48C	8、16、32
		DATA_67	–	16	H'FFFFD48E	8、16
		CONTROL1	–	16	H'FFFFD490	8、16
		TTT	–	16	H'FFFFD494	16
		TTCONTROL	–	16	H'FFFFD496	16
	MB[29].	CONTROL0_H	–	16	H'FFFFD4A0	16、32
		CONTROL0_L	–	16	H'FFFFD4A2	16
		LAFM0	–	16	H'FFFFD4A4	16、32
		LAFM1	–	16	H'FFFFD4A6	16
		DATA_01	–	16	H'FFFFD4A8	8、16、32
		DATA_23	–	16	H'FFFFD4AA	8、16
		DATA_45	–	16	H'FFFFD4AC	8、16、32
		DATA_67	–	16	H'FFFFD4AE	8、16
		CONTROL1	–	16	H'FFFFD4B0	8、16
		TTT	–	16	H'FFFFD4B4	16
		TTCONTROL	–	16	H'FFFFD4B6	16
	MB[30].	CONTROL0_H	–	16	H'FFFFD4C0	16、32
		CONTROL0_L	–	16	H'FFFFD4C2	16
		LAFM0	–	16	H'FFFFD4C4	16、32
		LAFM1	–	16	H'FFFFD4C6	16
		DATA_01	–	16	H'FFFFD4C8	8、16、32
		DATA_23	–	16	H'FFFFD4CA	8、16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_A）	MB[30].	DATA_45	－	16	H'FFFFD4CC	8、16、32
		DATA_67	－	16	H'FFFFD4CE	8、16
		CONTROL1	－	16	H'FFFFD4D0	8、16
		TIMESTAMP	－	16	H'FFFFD4D2	16
		TTT	－	16	H'FFFFD4D4	16
	MB[31].	CONTROL0_H	－	16	H'FFFFD4E0	16、32
		CONTROL0_L	－	16	H'FFFFD4E2	16
		LAFM0	－	16	H'FFFFD4E4	16、32
		LAFM1	－	16	H'FFFFD4E6	16
		DATA_01	－	16	H'FFFFD4E8	8、16、32
		DATA_23	－	16	H'FFFFD4EA	8、16
		DATA_45	－	16	H'FFFFD4EC	8、16、32
		DATA_67	－	16	H'FFFFD4EE	8、16
		CONTROL1	－	16	H'FFFFD4F0	8、16
		TIMESTAMP	－	16	H'FFFFD4F2	16
	メッセージバッファエラーステータスレジスタ		MBESR	16	H'FFFFD600	16
	メッセージバッファエラーコントロールレジスタ		MBECR	16	H'FFFFD602	16
RCAN-TL1（RCAN_B）	マスタコントロールレジスタ		MCR	16	H'FFFFD800	16
	ジェネラルステータスレジスタ		GSR	16	H'FFFFD802	16
	ビットコンフィギュレーションレジスタ 1		BCR1	16	H'FFFFD804	16
	ビットコンフィギュレーションレジスタ 0		BCR0	16	H'FFFFD806	16
	インタラプトリクエストレジスタ		IRR	16	H'FFFFD808	16
	インタラプトマスクレジスタ		IMR	16	H'FFFFD80A	16
	送信エラーカウンタ／受信エラーカウンタ		TEC/REC	16	H'FFFFD80C	16
	送信待ちレジスタ 1		TXPR1	16	H'FFFFD820	32
	送信待ちレジスタ 0		TXPR0	16		
	送信キャンセルレジスタ 1		TXCR1	16	H'FFFFD828	16
	送信キャンセルレジスタ 0		TXCR0	16	H'FFFFD82A	16
	送信アクノリッジレジスタ 1		TXACK1	16	H'FFFFD830	16
	送信アクノリッジレジスタ 0		TXACK0	16	H'FFFFD832	16
	アボートアクノリッジレジスタ 1		ABACK1	16	H'FFFFD838	16
	アボートアクノリッジレジスタ 0		ABACK0	16	H'FFFFD83A	16
	データフレーム受信完了レジスタ 1		RXPR1	16	H'FFFFD840	16
	データフレーム受信完了レジスタ 0		RXPR0	16	H'FFFFD842	16
	リモートフレーム受信完了レジスタ 1		RFPR1	16	H'FFFFD848	16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	リモートフレーム受信完了レジスタ 0		RFPR0	16	H'FFFFD84A	16
	メールボックスインタラプトマスクレジスタ 1		MBIMR1	16	H'FFFFD850	16
	メールボックスインタラプトマスクレジスタ 0		MBIMR0	16	H'FFFFD852	16
	未読メッセージステータスレジスタ 1		UMSR1	16	H'FFFFD858	16
	未読メッセージステータスレジスタ 0		UMSR0	16	H'FFFFD85A	16
	タイムトリガコントロールレジスタ 0		TTCR0	16	H'FFFFD880	16
	サイクルマキシマム／Tx_Enable_Window レジスタ		CMAX_TEW	16	H'FFFFD884	16
	リファレンストリガオフセットレジスタ		RFTROFF	16	H'FFFFD886	16
	タイマステータスレジスタ		TSR	16	H'FFFFD888	16
	サイクルカウンタレジスタ		CCR	16	H'FFFFD88A	16
	タイマカウンタレジスタ		TCNTR	16	H'FFFFD88C	16
	サイクルタイムレジスタ		CYCTR	16	H'FFFFD890	16
	リファレンスマークレジスタ		RFMK	16	H'FFFFD894	16
	タイマコンペアマッチレジスタ 0		TCMR0	16	H'FFFFD898	16
	タイマコンペアマッチレジスタ 1		TCMR1	16	H'FFFFD89C	16
	タイマコンペアマッチレジスタ 2		TCMR2	16	H'FFFFD8A0	16
	送信トリガタイムセレクトレジスタ		TTTSEL	16	H'FFFFD8A4	16
	MB[0].	CONTROL0_H	－	16	H'FFFFD900	16、32
		CONTROL0_L	－	16	H'FFFFD902	16
		LAFM0	－	16	H'FFFFD904	16、32
		LAFM1	－	16	H'FFFFD906	16
		DATA_01	－	16	H'FFFFD908	8、16、32
		DATA_23	－	16	H'FFFFD90A	8、16
		DATA_45	－	16	H'FFFFD90C	8、16、32
		DATA_67	－	16	H'FFFFD90E	8、16
		CONTROL1	－	16	H'FFFFD910	8、16
		TIMESTAMP	－	16	H'FFFFD912	16
	MB[1].	CONTROL0_H	－	16	H’FFFFD920	16、32
		CONTROL0_L	－	16	H'FFFFD922	16
		LAFM0	－	16	H'FFFFD924	16、32
		LAFM1	－	16	H'FFFFD926	16
		DATA_01	－	16	H'FFFFD928	8、16、32
		DATA_23	－	16	H'FFFFD92A	8、16
		DATA_45	－	16	H'FFFFD92C	8、16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[1].	DATA_67	–	16	H'FFFFD92E	8、16
		CONTROL1	–	16	H'FFFFD930	8、16
		TIMESTAMP	–	16	H'FFFFD932	16
	MB[2].	CONTROL0_H	–	16	H'FFFFD940	16、32
		CONTROL0_L	–	16	H'FFFFD942	16
		LAFM0	–	16	H'FFFFD944	16、32
		LAFM1	–	16	H'FFFFD946	16
		DATA_01	–	16	H'FFFFD948	8、16、32
		DATA_23	–	16	H'FFFFD94A	8、16
		DATA_45	–	16	H'FFFFD94C	8、16、32
		DATA_67	–	16	H'FFFFD94E	8、16
		CONTROL1	–	16	H'FFFFD950	8、16
		TIMESTAMP	–	16	H'FFFFD952	16
	MB[3].	CONTROL0_H	–	16	H'FFFFD960	16、32
		CONTROL0_L	–	16	H'FFFFD962	16
		LAFM0	–	16	H'FFFFD964	16、32
		LAFM1	–	16	H'FFFFD966	16
		DATA_01	–	16	H'FFFFD968	8、16、32
		DATA_23	–	16	H'FFFFD96A	8、16
		DATA_45	–	16	H'FFFFD96C	8、16、32
		DATA_67	–	16	H'FFFFD96E	8、16
		CONTROL1	–	16	H'FFFFD970	8、16
		TIMESTAMP	–	16	H'FFFFD972	16
	MB[4].	CONTROL0_H	–	16	H'FFFFD980	16、32
		CONTROL0_L	–	16	H'FFFFD982	16
		LAFM0	–	16	H'FFFFD984	16、32
		LAFM1	–	16	H'FFFFD986	16
		DATA_01	–	16	H'FFFFD988	8、16、32
		DATA_23	–	16	H'FFFFD98A	8、16
		DATA_45	–	16	H'FFFFD98C	8、16、32
		DATA_67	–	16	H'FFFFD98E	8、16
		CONTROL1	–	16	H'FFFFD990	8、16
		TIMESTAMP	–	16	H'FFFFD992	16
	MB[5].	CONTROL0_H	–	16	H'FFFFD9A0	16、32
		CONTROL0_L	–	16	H'FFFFD9A2	16
		LAFM0	–	16	H'FFFFD9A4	16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[5].	LAFM1	–	16	H'FFFFD9A6	16
		DATA_01	–	16	H'FFFFD9A8	8、16、32
		DATA_23	–	16	H'FFFFD9AA	8、16
		DATA_45	–	16	H'FFFFD9AC	8、16、32
		DATA_67	–	16	H'FFFFD9AE	8、16
		CONTROL1	–	16	H'FFFFD9B0	8、16
		TIMESTAMP	–	16	H'FFFFD9B2	16
	MB[6].	CONTROL0_H	–	16	H'FFFFD9C0	16、32
		CONTROL0_L	–	16	H'FFFFD9C2	16
		LAFM0	–	16	H'FFFFD9C4	16、32
		LAFM1	–	16	H'FFFFD9C6	16
		DATA_01	–	16	H'FFFFD9C8	8、16、32
		DATA_23	–	16	H'FFFFD9CA	8、16
		DATA_45	–	16	H'FFFFD9CC	8、16、32
		DATA_67	–	16	H'FFFFD9CE	8、16
		CONTROL1	–	16	H'FFFFD9D0	8、16
		TIMESTAMP	–	16	H'FFFFD9D2	16
	MB[7].	CONTROL0_H	–	16	H'FFFFD9E0	16、32
		CONTROL0_L	–	16	H'FFFFD9E2	16
		LAFM0	–	16	H'FFFFD9E4	16、32
		LAFM1	–	16	H'FFFFD9E6	16
		DATA_01	–	16	H'FFFFD9E8	8、16、32
		DATA_23	–	16	H'FFFFD9EA	8、16
		DATA_45	–	16	H'FFFFD9EC	8、16、32
		DATA_67	–	16	H'FFFFD9EE	8、16
		CONTROL1	–	16	H'FFFFD9F0	8、16
		TIMESTAMP	–	16	H'FFFFD9F2	16
	MB[8].	CONTROL0_H	–	16	H'FFFFDA00	16、32
		CONTROL0_L	–	16	H'FFFFDA02	16
		LAFM0	–	16	H'FFFFDA04	16、32
		LAFM1	–	16	H'FFFFDA06	16
		DATA_01	–	16	H'FFFFDA08	8、16、32
		DATA_23	–	16	H'FFFFDA0A	8、16
		DATA_45	–	16	H'FFFFDA0C	8、16、32
		DATA_67	–	16	H'FFFFDA0E	8、16
		CONTROL1	–	16	H'FFFFDA10	8、16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[8].	TIMESTAMP	–	16	H'FFFFDA12	16
	MB[9].	CONTROL0_H	–	16	H'FFFFDA20	16、32
		CONTROL0_L	–	16	H'FFFFDA22	16
		LAFM0	–	16	H'FFFFDA24	16、32
		LAFM1	–	16	H'FFFFDA26	16
		DATA_01	–	16	H'FFFFDA28	8、16、32
		DATA_23	–	16	H'FFFFDA2A	8、16
		DATA_45	–	16	H'FFFFDA2C	8、16、32
		DATA_67	–	16	H'FFFFDA2E	8、16
		CONTROL1	–	16	H'FFFFDA30	8、16
		TIMESTAMP	–	16	H'FFFFDA32	16
	MB[10].	CONTROL0_H	–	16	H'FFFFDA40	16、32
		CONTROL0_L	–	16	H'FFFFDA42	16
		LAFM0	–	16	H'FFFFDA44	16、32
		LAFM1	–	16	H'FFFFDA46	16
		DATA_01	–	16	H'FFFFDA48	8、16、32
		DATA_23	–	16	H'FFFFDA4A	8、16
		DATA_45	–	16	H'FFFFDA4C	8、16、32
		DATA_67	–	16	H'FFFFDA4E	8、16
		CONTROL1	–	16	H'FFFFDA50	8、16
		TIMESTAMP	–	16	H'FFFFDA52	16
	MB[11].	CONTROL0_H	–	16	H'FFFFDA60	16、32
		CONTROL0_L	–	16	H'FFFFDA62	16
		LAFM0	–	16	H'FFFFDA64	16、32
		LAFM1	–	16	H'FFFFDA66	16
		DATA_01	–	16	H'FFFFDA68	8、16、32
		DATA_23	–	16	H'FFFFDA6A	8、16
		DATA_45	–	16	H'FFFFDA6C	8、16、32
		DATA_67	–	16	H'FFFFDA6E	8、16
		CONTROL1	–	16	H'FFFFDA70	8、16
		TIMESTAMP	–	16	H'FFFFDA72	16
	MB[12].	CONTROL0_H	–	16	H'FFFFDA80	16、32
		CONTROL0_L	–	16	H'FFFFDA82	16
		LAFM0	–	16	H'FFFFDA84	16、32
		LAFM1	–	16	H'FFFFDA86	16
		DATA_01	–	16	H'FFFFDA88	8、16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[12].	DATA_23	–	16	H'FFFFDA8A	8、16
		DATA_45	–	16	H'FFFFDA8C	8、16、32
		DATA_67	–	16	H'FFFFDA8E	8、16
		CONTROL1	–	16	H'FFFFDA90	8、16
		TIMESTAMP	–	16	H'FFFFDA92	16
	MB[13].	CONTROL0_H	–	16	H'FFFFDAA0	16、32
		CONTROL0_L	–	16	H'FFFFDAA2	16
		LAFM0	–	16	H'FFFFDAA4	16、32
		LAFM1	–	16	H'FFFFDAA6	16
		DATA_01	–	16	H'FFFFDAA8	8、16、32
		DATA_23	–	16	H'FFFFDAAA	8、16
		DATA_45	–	16	H'FFFFDAAC	8、16、32
		DATA_67	–	16	H'FFFFDAAE	8、16
		CONTROL1	–	16	H'FFFFDAB0	8、16
		TIMESTAMP	–	16	H'FFFFDAB2	16
	MB[14].	CONTROL0_H	–	16	H'FFFFDAC0	16、32
		CONTROL0_L	–	16	H'FFFFDAC2	16
		LAFM0	–	16	H'FFFFDAC4	16、32
		LAFM1	–	16	H'FFFFDAC6	16
		DATA_01	–	16	H'FFFFDAC8	8、16、32
		DATA_23	–	16	H'FFFFDACA	8、16
		DATA_45	–	16	H'FFFFDACC	8、16、32
		DATA_67	–	16	H'FFFFDACE	8、16
		CONTROL1	–	16	H'FFFFDAD0	8、16
		TIMESTAMP	–	16	H'FFFFDAD2	16
	MB[15].	CONTROL0_H	–	16	H'FFFFDAE0	16、32
		CONTROL0_L	–	16	H'FFFFDAE2	16
		LAFM0	–	16	H'FFFFDAE4	16、32
		LAFM1	–	16	H'FFFFDAE6	16
		DATA_01	–	16	H'FFFFDAE8	8、16、32
		DATA_23	–	16	H'FFFFDAEA	8、16
		DATA_45	–	16	H'FFFFDAEC	8、16、32
		DATA_67	–	16	H'FFFFDAEE	8、16
		CONTROL1	–	16	H'FFFFDAF0	8、16
		TIMESTAMP	–	16	H'FFFFDAF2	16
	MB[16].	CONTROL0_H	–	16	H'FFFFDB00	16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[16].	CONTROL0_L	–	16	H'FFFFDB02	16
		LAFM0	–	16	H'FFFFDB04	16、32
		LAFM1	–	16	H'FFFFDB06	16
		DATA_01	–	16	H'FFFFDB08	8、16、32
		DATA_23	–	16	H'FFFFDB0A	8、16
		DATA_45	–	16	H'FFFFDB0C	8、16、32
		DATA_67	–	16	H'FFFFDB0E	8、16
		CONTROL1	–	16	H'FFFFDB10	8、16
	MB[17].	CONTROL0_H	–	16	H'FFFFDB20	16、32
		CONTROL0_L	–	16	H'FFFFDB22	16
		LAFM0	–	16	H'FFFFDB24	16、32
		LAFM1	–	16	H'FFFFDB26	16
		DATA_01	–	16	H'FFFFDB28	8、16、32
		DATA_23	–	16	H'FFFFDB2A	8、16
		DATA_45	–	16	H'FFFFDB2C	8、16、32
		DATA_67	–	16	H'FFFFDB2E	8、16
		CONTROL1	–	16	H'FFFFDB30	8、16
	MB[18].	CONTROL0_H	–	16	H'FFFFDB40	16、32
		CONTROL0_L	–	16	H'FFFFDB42	16
		LAFM0	–	16	H'FFFFDB44	16、32
		LAFM1	–	16	H'FFFFDB46	16
		DATA_01	–	16	H'FFFFDB48	8、16、32
		DATA_23	–	16	H'FFFFDB4A	8、16
		DATA_45	–	16	H'FFFFDB4C	8、16、32
		DATA_67	–	16	H'FFFFDB4E	8、16
		CONTROL1	–	16	H'FFFFDB50	8、16
	MB[19].	CONTROL0_H	–	16	H'FFFFDB60	16、32
		CONTROL0_L	–	16	H'FFFFDB62	16
		LAFM0	–	16	H'FFFFDB64	16、32
		LAFM1	–	16	H'FFFFDB66	16
		DATA_01	–	16	H'FFFFDB68	8、16、32
		DATA_23	–	16	H'FFFFDB6A	8、16
		DATA_45	–	16	H'FFFFDB6C	8、16、32
		DATA_67	–	16	H'FFFFDB6E	8、16
		CONTROL1	–	16	H'FFFFDB70	8、16
	MB[20].	CONTROL0_H	–	16	H'FFFFDB80	16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[20].	CONTROL0_L	–	16	H'FFFFDB82	16
		LAFM0	–	16	H'FFFFDB84	16、32
		LAFM1	–	16	H'FFFFDB86	16
		DATA_01	–	16	H'FFFFDB88	8、16、32
		DATA_23	–	16	H'FFFFDB8A	8、16
		DATA_45	–	16	H'FFFFDB8C	8、16、32
		DATA_67	–	16	H'FFFFDB8E	8、16
		CONTROL1	–	16	H'FFFFDB90	8、16
	MB[21].	CONTROL0_H	–	16	H'FFFFDBA0	16、32
		CONTROL0_L	–	16	H'FFFFDBA2	16
		LAFM0	–	16	H'FFFFDBA4	16、32
		LAFM1	–	16	H'FFFFDBA6	16
		DATA_01	–	16	H'FFFFDBA8	8、16、32
		DATA_23	–	16	H'FFFFDBAA	8、16
		DATA_45	–	16	H'FFFFDBAC	8、16、32
		DATA_67	–	16	H'FFFFDBAE	8、16
		CONTROL1	–	16	H'FFFFDBB0	8、16
	MB[22].	CONTROL0_H	–	16	H'FFFFDBC0	16、32
		CONTROL0_L	–	16	H'FFFFDBC2	16
		LAFM0	–	16	H'FFFFDBC4	16、32
		LAFM1	–	16	H'FFFFDBC6	16
		DATA_01	–	16	H'FFFFDBC8	8、16、32
		DATA_23	–	16	H'FFFFDBCA	8、16
		DATA_45	–	16	H'FFFFDBCC	8、16、32
		DATA_67	–	16	H'FFFFDBCE	8、16
		CONTROL1	–	16	H'FFFFDBD0	8、16
	MB[23].	CONTROL0_H	–	16	H'FFFFDBE0	16、32
		CONTROL0_L	–	16	H'FFFFDBE2	16
		LAFM0	–	16	H'FFFFDBE4	16、32
		LAFM1	–	16	H'FFFFDBE6	16
		DATA_01	–	16	H'FFFFDBE8	8、16、32
		DATA_23	–	16	H'FFFFDBEA	8、16
		DATA_45	–	16	H'FFFFDBEC	8、16、32
		DATA_67	–	16	H'FFFFDBEE	8、16
		CONTROL1	–	16	H'FFFFDBF0	8、16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[24].	CONTROL0_H	–	16	H'FFFFDC00	16、32
		CONTROL0_L	–	16	H'FFFFDC02	16
		LAFM0	–	16	H'FFFFDC04	16、32
		LAFM1	–	16	H'FFFFDC06	16
		DATA_01	–	16	H'FFFFDC08	8、16、32
		DATA_23	–	16	H'FFFFDC0A	8、16
		DATA_45	–	16	H'FFFFDC0C	8、16、32
		DATA_67	–	16	H'FFFFDC0E	8、16
		CONTROL1	–	16	H'FFFFDC10	8、16
		TTT	–	16	H'FFFFDC14	16
		TTCONTROL	–	16	H'FFFFDC16	16
	MB[25].	CONTROL0_H	–	16	H'FFFFDC20	16、32
		CONTROL0_L	–	16	H'FFFFDC22	16
		LAFM0	–	16	H'FFFFDC24	16、32
		LAFM1	–	16	H'FFFFDC26	16
		DATA_01	–	16	H'FFFFDC28	8、16、32
		DATA_23	–	16	H'FFFFDC2A	8、16
		DATA_45	–	16	H'FFFFDC2C	8、16、32
		DATA_67	–	16	H'FFFFDC2E	8、16
		CONTROL1	–	16	H'FFFFDC30	8、16
		TTT	–	16	H'FFFFDC34	16
		TTCONTROL	–	16	H'FFFFDC36	16
	MB[26].	CONTROL0_H	–	16	H'FFFFDC40	16、32
		CONTROL0_L	–	16	H'FFFFDC42	16
		LAFM0	–	16	H'FFFFDC44	16、32
		LAFM1	–	16	H'FFFFDC46	16
		DATA_01	–	16	H'FFFFDC48	8、16、32
		DATA_23	–	16	H'FFFFDC4A	8、16
		DATA_45	–	16	H'FFFFDC4C	8、16、32
		DATA_67	–	16	H'FFFFDC4E	8、16
		CONTROL1	–	16	H'FFFFDC50	8、16
		TTT	–	16	H'FFFFDC54	16
		TTCONTROL	–	16	H'FFFFDC56	16
	MB[27].	CONTROL0_H	–	16	H'FFFFDC60	16、32
		CONTROL0_L	–	16	H'FFFFDC62	16
		LAFM0	–	16	H'FFFFDC64	16、32

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[27].	LAFM1	–	16	H'FFFFDC66	16
		DATA_01	–	16	H'FFFFDC68	8、16、32
		DATA_23	–	16	H'FFFFDC6A	8、16
		DATA_45	–	16	H'FFFFDC6C	8、16、32
		DATA_67	–	16	H'FFFFDC6E	8、16
		CONTROL1	–	16	H'FFFFDC70	8、16
		TTT	–	16	H'FFFFDC74	16
		TTCONTROL	–	16	H'FFFFDC76	16
	MB[28].	CONTROL0_H	–	16	H'FFFFDC80	16、32
		CONTROL0_L	–	16	H'FFFFDC82	16
		LAFM0	–	16	H'FFFFDC84	16、32
		LAFM1	–	16	H'FFFFDC86	16
		DATA_01	–	16	H'FFFFDC88	8、16、32
		DATA_23	–	16	H'FFFFDC8A	8、16
		DATA_45	–	16	H'FFFFDC8C	8、16、32
		DATA_67	–	16	H'FFFFDC8E	8、16
		CONTROL1	–	16	H'FFFFDC90	8、16
		TTT	–	16	H'FFFFDC94	16
		TTCONTROL	–	16	H'FFFFDC96	16
	MB[29].	CONTROL0_H	–	16	H'FFFFDCA0	16、32
		CONTROL0_L	–	16	H'FFFFDCA2	16
		LAFM0	–	16	H'FFFFDCA4	16、32
		LAFM1	–	16	H'FFFFDCA6	16
		DATA_01	–	16	H'FFFFDCA8	8、16、32
		DATA_23	–	16	H'FFFFDCAA	8、16
		DATA_45	–	16	H'FFFFDCAC	8、16、32
		DATA_67	–	16	H'FFFFDCAE	8、16
		CONTROL1	–	16	H'FFFFDCB0	8、16
		TTT	–	16	H'FFFFDCB4	16
		TTCONTROL	–	16	H'FFFFDCB6	16
	MB[30].	CONTROL0_H	–	16	H'FFFFDCC0	16、32
		CONTROL0_L	–	16	H'FFFFDCC2	16
		LAFM0	–	16	H'FFFFDCC4	16、32
		LAFM1	–	16	H'FFFFDCC6	16
		DATA_01	–	16	H'FFFFDCC8	8、16、32
		DATA_23	–	16	H'FFFFDCCA	8、16

モジュール名	レジスタ名		略称	ビット数	アドレス	アクセスサイズ
RCAN-TL1（RCAN_B）	MB[30].	DATA_45	–	16	H'FFFFDCCC	8、16、32
		DATA_67	–	16	H'FFFFDCCE	8、16
		CONTROL1	–	16	H'FFFFDCD0	8、16
		TIMESTAMP	–	16	H'FFFFDCD2	16
		TTT	–	16	H'FFFFDCD4	16
	MB[31].	CONTROL0_H	–	16	H'FFFFDCE0	16、32
		CONTROL0_L	–	16	H'FFFFDCE2	16
		LAFM0	–	16	H'FFFFDCE4	16、32
		LAFM1	–	16	H'FFFFDCE6	16
		DATA_01	–	16	H'FFFFDCE8	8、16、32
		DATA_23	–	16	H'FFFFDCEA	8、16
		DATA_45	–	16	H'FFFFDCEC	8、16、32
		DATA_67	–	16	H'FFFFDCEE	8、16
		CONTROL1	–	16	H'FFFFDCF0	8、16
		TIMESTAMP	–	16	H'FFFFDCF2	16
	メッセージバッファエラーステータスレジスタ		MBESR	16	H'FFFFDE00	16
	メッセージバッファエラーコントロールレジスタ		MBECR	16	H'FFFFDE02	16
ADC（ADC_A）	A/D データレジスタ Diag0		ADRD0	16	H'FFFFE83E	16
	A/D データレジスタ 0		ADR0	16	H'FFFFE840	16
	A/D データレジスタ 1		ADR1	16	H'FFFFE842	16
	A/D データレジスタ 2		ADR2	16	H'FFFFE844	16
	A/D データレジスタ 3		ADR3	16	H'FFFFE846	16
	A/D データレジスタ 4		ADR4	16	H'FFFFE848	16
	A/D データレジスタ 5		ADR5	16	H'FFFFE84A	16
	A/D データレジスタ 6		ADR6	16	H'FFFFE84C	16
	A/D データレジスタ 7		ADR7	16	H'FFFFE84E	16
	A/D データレジスタ 8		ADR8	16	H'FFFFE850	16
	A/D データレジスタ 9		ADR9	16	H'FFFFE852	16
	A/D データレジスタ 10		ADR10	16	H'FFFFE854	16
	A/D データレジスタ 11		ADR11	16	H'FFFFE856	16
	A/D データレジスタ 12		ADR12	16	H'FFFFE858	16
	A/D データレジスタ 13		ADR13	16	H'FFFFE85A	16
	A/D データレジスタ 14		ADR14	16	H'FFFFE85C	16
	A/D データレジスタ 15		ADR15	16	H'FFFFE85E	16
	A/D データレジスタ 16		ADR16	16	H'FFFFE860	16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ADC（ADC_A）	A/D データレジスタ 17	ADR17	16	H'FFFFE862	16
	A/D データレジスタ 18	ADR18	16	H'FFFFE864	16
	A/D データレジスタ 19	ADR19	16	H'FFFFE866	16
	A/D データレジスタ 20	ADR20	16	H'FFFFE868	16
	A/D データレジスタ 21	ADR21	16	H'FFFFE86A	16
	A/D データレジスタ 22	ADR22	16	H'FFFFE86C	16
ADC（ADC_B）	A/D データレジスタ Diag1	ADRD1	16	H'FFFFEC3E	16
	A/D データレジスタ 40	ADR40	16	H'FFFFEC40	16
	A/D データレジスタ 41	ADR41	16	H'FFFFEC42	16
	A/D データレジスタ 42	ADR42	16	H'FFFFEC44	16
	A/D データレジスタ 43	ADR43	16	H'FFFFEC46	16
	A/D データレジスタ 44	ADR44	16	H'FFFFEC48	16
	A/D データレジスタ 45	ADR45	16	H'FFFFEC4A	16
	A/D データレジスタ 46	ADR46	16	H'FFFFEC4C	16
	A/D データレジスタ 47	ADR47	16	H'FFFFEC4E	16
	A/D データレジスタ 48	ADR48	16	H'FFFFEC50	16
ADC（ADC_A）	A/D コントロールレジスタ 0	ADCSR0	8	H'FFFFE800	8
ADC（ADC_B）	A/D コントロールレジスタ 1	ADCSR1	8	H'FFFFEC00	8
ADC（ADC_A）	A/D 変換ステータスレジスタ 0	ADREF0	8	H'FFFFE802	8
ADC（ADC_B）	A/D 変換ステータスレジスタ 1	ADREF1	8	H'FFFFEC02	8
ADC（ADC_A）	A/D 割り込みトリガイネーブルレジスタ 0	ADTRE0	16	H'FFFFE804	8、16
ADC（ADC_B）	A/D 割り込みトリガイネーブルレジスタ 1	ADTRE1	8	H'FFFFEC10	8
ADC（ADC_A）	A/D 割り込みトリガ処理終了フラグレジスタ 0	ADTRF0	16	H'FFFFE806	8、16
ADC（ADC_B）	A/D 割り込みトリガ処理終了フラグレジスタ 1	ADTRF1	8	H'FFFFEC12	8
ADC（ADC_A）	A/D 割り込みトリガソース選択レジスタ 0	ADTRS0	16	H'FFFFE808	8、16
ADC（ADC_B）	A/D 割り込みトリガソース選択レジスタ 1	ADTRS1	8	H'FFFFEC14	8
ADC（ADC_A）	A/D 割り込みソフトトリガレジスタ 0	ADSTRG0	16	H'FFFFE80A	8、16
ADC（ADC_B）	A/D 割り込みソフトトリガレジスタ 1	ADSTRG1	8	H'FFFFEC16	8
ADC（ADC_A）	A/D 割り込みトリガ処理終了割り込みイネーブルレジスタ 0	ADTRD0	16	H'FFFFE80C	8、16
ADC（ADC_B）	A/D 割り込みトリガ処理終了割り込みイネーブルレジスタ 1	ADTRD1	8	H'FFFFEC18	8
ADC（ADC_A）	A/D 変換値加算モード選択レジスタ 0	ADADS0	8	H'FFFFE81C	8
ADC（ADC_B）	A/D 変換値加算モード選択レジスタ 1	ADADS1	8	H'FFFFEC1C	8
ADC（ADC_A）	A/D 変換値加算回数選択レジスタ 0	ADADC0	8	H'FFFFE81E	8
ADC（ADC_B）	A/D 変換値加算回数選択レジスタ 1	ADADC1	8	H'FFFFEC1E	8

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ADC（ADC_A）	A/D チャネル選択レジスタ 0	ADANS0	16	H'FFFFE820	8、16、32
	A/D チャネル選択レジスタ 1	ADANS1	16	H'FFFFE822	8、16、32
ADC（ADC_B）	A/D チャネル選択レジスタ 3	ADANS3	16	H'FFFFEC20	8、16
ADC（ADC_A）	A/D コントロール拡張レジスタ 0	ADCER0	16	H'FFFFE830	8、16
ADC（ADC_B）	A/D コントロール拡張レジスタ 1	ADCER1	16	H'FFFFEC30	8、16
JTAG	インストラクションレジスタ	SDIR	4	－	－
	ID レジスタ	SDID	32	－	－
	バイパスレジスタ	SDBPR	1	－	－
	バウンダリスキャンレジスタ	SDBSR	－	－	－
PFC	ポート A・IO レジスタ	PAIOR	16	H'FFFE3806	8、16
	ポート A コントロールレジスタ 4	PACR4	16	H'FFFE3810	8、16、32
	ポート A コントロールレジスタ 3	PACR3	16	H'FFFE3812	8、16
	ポート A コントロールレジスタ 2	PACR2	16	H'FFFE3814	8、16、32
	ポート A コントロールレジスタ 1	PACR1	16	H'FFFE3816	8、16
	ポート A コントロールレジスタ 4A	PACR4A	16	H'FFFFCA00	8、16、32
	ポート A コントロールレジスタ 3A	PACR3A	16	H'FFFFCA02	8、16
	ポート A コントロールレジスタ 2A	PACR2A	16	H'FFFFCA04	8、16、32
	ポート A コントロールレジスタ 1A	PACR1A	16	H'FFFFCA06	8、16
	ポート B・IO レジスタ	PBIOR	16	H'FFFE3886	8、16
	ポート B コントロールレジスタ 4	PBCR4	16	H'FFFE3890	8、16、32
	ポート B コントロールレジスタ 3	PBCR3	16	H'FFFE3892	8、16
	ポート B コントロールレジスタ 2	PBCR2	16	H'FFFE3894	8、16、32
	ポート B コントロールレジスタ 1	PBCR1	16	H'FFFE3896	8、16
	ポート B コントロールレジスタ 3A	PBCR3A	16	H'FFFFCA12	8、16
	ポート B コントロールレジスタ 2A	PBCR2A	16	H'FFFFCA14	8、16
	ポート C・IO レジスタ	PCIOR	16	H'FFFE3906	8、16
	ポート C コントロールレジスタ 4	PCCR4	16	H'FFFE3910	8、16、32
	ポート C コントロールレジスタ 3	PCCR3	16	H'FFFE3912	8、16
	ポート C コントロールレジスタ 2	PCCR2	16	H'FFFE3914	8、16、32
	ポート C コントロールレジスタ 1	PCCR1	16	H'FFFE3916	8、16
	ポート C コントロールレジスタ 4A	PCCR4A	16	H'FFFFCA20	8、16、32
	ポート C コントロールレジスタ 3A	PCCR3A	16	H'FFFFCA22	8、16
	ポート C コントロールレジスタ 2A	PCCR2A	16	H'FFFFCA24	8、16、32
	ポート C コントロールレジスタ 1A	PCCR1A	16	H'FFFFCA26	8、16
	ポート F・IO レジスタ	PFIOR	16	H'FFFFC82A	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
PFC	ポート F コントロールレジスタ 2	PFCR2	16	H'FFFFC82C	8、16、32
	ポート F コントロールレジスタ 1	PFCR1	16	H'FFFFC82E	8、16
	ポート F コントロールレジスタ 4A	PFCR4A	16	H'FFFFCA50	8、16、32
	ポート F コントロールレジスタ 3A	PFCR3A	16	H'FFFFCA52	8、16
	ポート F コントロールレジスタ 2A	PFCR2A	16	H'FFFFCA54	8、16、32
	ポート F コントロールレジスタ 1A	PFCR1A	16	H'FFFFCA56	8、16
	ポート G・IO レジスタ	PGIOR	16	H'FFFFC83C	8、16
	ポート G コントロールレジスタ 2	PGCR2	16	H'FFFFC840	8、16、32
	ポート G コントロールレジスタ 1	PGCR1	16	H'FFFFC842	8、16
	ポート G コントロールレジスタ 4A	PGCR4A	16	H'FFFFCA60	8、16、32
	ポート G コントロールレジスタ 3A	PGCR3A	16	H'FFFFCA62	8、16
	ポート G コントロールレジスタ 2A	PGCR2A	16	H'FFFFCA64	8、16、32
	ポート G コントロールレジスタ 1A	PGCR1A	16	H'FFFFCA66	8、16
	ポート J・IO レジスタ	PJIOR	16	H'FFFFC86C	8、16
	ポート J コントロールレジスタ 2	PJCR2	16	H'FFFFC870	8、16、32
	ポート J コントロールレジスタ 1	PJCR1	16	H'FFFFC872	8、16
	ポート J コントロールレジスタ 3A	PJCR3A	16	H'FFFFCA82	8、16
	ポート J コントロールレジスタ 2A	PJCR2A	16	H'FFFFCA84	8、16、32
	ポート J コントロールレジスタ 1A	PJCR1A	16	H'FFFFCA86	8、16
	ポート S コントロールレジスタ 4	PSCR4	16	H'FFFFCB10	8、16、32
	ポート S コントロールレジスタ 3	PSCR3	16	H'FFFFCB12	8、16
	ポート S コントロールレジスタ 2	PSCR2	16	H'FFFFCB14	8、16、32
	ポート S コントロールレジスタ 1	PSCR1	16	H'FFFFCB16	8、16
	ポート T コントロールレジスタ 2	PTCR2	16	H'FFFFCB34	8、16、32
	ポート T コントロールレジスタ 1	PTCR1	16	H'FFFFCB36	8、16
I/O ポート	ポート A データレジスタ	PADR	16	H'FFFE3802	8、16
	ポート A ポートレジスタ	PAPR	16	H'FFFE381E	8、16
	ポート A インバートレジスタ	PAIR	16	H'FFFE3818	8、16
	ポート B データレジスタ	PBDR	16	H'FFFE3882	8、16
	ポート B ポートレジスタ	PBPR	16	H'FFFE389E	8、16
	ポート B インバートレジスタ	PBIR	16	H'FFFE3898	8、16、32
	ポート B ドライバビリティ設定レジスタ	PBDSR	16	H'FFFE389A	8、16
	ポート B 端子状態設定レジスタ	PBPSR	16	H'FFFE389C	8、16、32
	ポート C データレジスタ	PCDR	16	H'FFFE3902	8、16
	ポート C ポートレジスタ	PCPR	16	H'FFFE391E	8、16
	ポート C インバートレジスタ	PCIR	16	H'FFFE3918	8、16、32

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
I/O ポート	ポート C ドライバビリティ設定レジスタ	PCDSR	16	H'FFFE391A	8、16
	ポート F データレジスタ	PFDR	16	H'FFFFC820	8、16、32
	ポート F ポートレジスタ	PFPR	16	H'FFFFC822	8、16
	ポート F インバートレジスタ	PFIR	16	H'FFFFC824	8、16、32
	ポート F ドライバビリティ設定レジスタ	PFDSR	16	H'FFFFC826	8、16
	ポート F 端子状態設定レジスタ	PFPSR	16	H'FFFFC828	8、16、32
	ポート G データレジスタ	PGDR	16	H'FFFFC830	8、16、32
	ポート G ポートレジスタ	PGPR	16	H'FFFFC832	8、16
	ポート G インバートレジスタ	PGIR	16	H'FFFFC834	8、16、32
	ポート G ドライバビリティ設定レジスタ	PGDSR	16	H'FFFFC836	8、16
	ポート G エッジ選択レジスタ	PGER	16	H'FFFFC838	8、16、32
	ポート G 端子状態設定レジスタ	PGPSR	16	H'FFFFC83A	8、16
	ポート J データレジスタ	PJDR	16	H'FFFFC860	8、16、32
	ポート J ポートレジスタ	PJPR	16	H'FFFFC862	8、16
	ポート J インバートレジスタ	PJIR	16	H'FFFFC864	8、16、32
	ポート J ドライバビリティ設定レジスタ	PJDSR	16	H'FFFFC866	8、16
	ポート J 端子状態設定レジスタ	PJPSR	16	H'FFFFC868	8、16
	ポート S ポートレジスタ	PSPR	16	H'FFFFCB02	8、16
	ポート T ポートレジスタ	PTPR	16	H'FFFFCB22	8、16
	CK コントロールレジスタ	CKCR	16	H'FFFFC920	8、16
MISG	カルキュレーションデータレジスタ	MISRCDR	32	H'FFF7FFFC	8、16、32
	MISR コントロールレジスタ	MISRCR	8	H'FFFC1C00	8
	マルチインプットシグネチャレジスタ	MISR	32	H'FFFC1C04	32
ROM/ EEPROM	フラッシュ端子モニタレジスタ	FPMON	8	H'FFFFA800	8
	フラッシュモードレジスタ	FMODR	8	H'FFFFA802	8
	フラッシュアクセスステータスレジスタ	FASTAT	8	H'FFFFA810	8
	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	H'FFFFA811	8
	ROM マット選択レジスタ	ROMMAT	16	H'FFFFA820	8、16
	FCU RAM イネーブルレジスタ	FCURAME	16	H'FFFFA854	8、16
	フラッシュステータスレジスタ 0	FSTATR0	8	H'FFFFA900	8、16
	フラッシュステータスレジスタ 1	FSTATR1	8	H'FFFFA901	8、16
	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	H'FFFFA902	8、16
	フラッシュプロテクトレジスタ	FPROTR	16	H'FFFFA904	8、16
	フラッシュリセットレジスタ	FRESETR	16	H'FFFFA906	8、16
	FCU コマンドレジスタ	FCMDR	16	H'FFFFA90A	8、16

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ROM/EEPROM	FCU RAM ECC エラーコントロールレジスタ	FRAMECCR	8	H'FFFFA90C	8
	FCU 処理切り替えレジスタ	FCPSR	16	H'FFFFA918	8、16
	EEPROM ブランクチェック制御レジスタ	EEPBCCNT	16	H'FFFFA91A	8、16
	フラッシュ P/E ステータスレジスタ	FPESTAT	16	H'FFFFA91C	8、16
	EEPROM ブランクチェックステータスレジスタ	EEPBCSTAT	16	H'FFFFA91E	8、16
	EEPROM 読み出し許可レジスタ 0	EEPRE0	16	H'FFFFA840	8、16
	EEPROM 書き込み／消去許可レジスタ 0	EEPWE0	16	H'FFFFA850	8、16
	EEPROM マット選択レジスタ	EEPMAT	16	H'FFFFAB00	8、16
	FCU ファーム領域選択レジスタ	FCUAREA	16	H'FFFFC950	16
ROMC	ROM キャッシュ制御レジスタ	RCCR	32	H'FFFC1400	32
	ROM キャッシュ制御レジスタ 2	RCCR2	32	H'FFFC1408	32
RAM	RAM イネーブルコントロールレジスタ	RAMEN	16	H'FFFF0800	8、（16）
	RAM 書き込みイネーブルコントロールレジスタ	RAMWEN	16	H'FFFF0802	8、（16）
	RAM ECC イネーブルコントロールレジスタ	RAMECC	16	H'FFFF0804	8、（16）
	RAM エラーステータスレジスタ	RAMERR	8	H'FFFF0806	8
	RAM エラー割り込みコントロールレジスタ	RAMINT	8	H'FFFF0810	8
	RAM アクセスサイクル設定レジスタ	RAMACYC	16	H'FFFF0812	8、16
低消費電力モード	スタンバイコントロールレジスタ	STBCR	16	H'FFFE0400	8、16

29.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
INTC	ICR0	NMIL	–	–	–	–	–	–	NMIE
		–	–	–	–	–	–	–	–
	ICR1	–	–	–	–	–	–	–	–
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	IRQRR	–	–	–	–	–	–	–	–
		–	–	–	–	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	–
	IBNR	BE[1:0]		BOVE	–	–	–	–	–
		–	–	–	–	BN[3:0]			
	SINTR1	–	–	–	–	–	–	–	SINTC
	SINTR2	–	–	–	–	–	–	–	SINTC
	SINTR3	–	–	–	–	–	–	–	SINTC
	SINTR4	–	–	–	–	–	–	–	SINTC
	SINTR5	–	–	–	–	–	–	–	SINTC
	SINTR6	–	–	–	–	–	–	–	SINTC
	SINTR7	–	–	–	–	–	–	–	SINTC
	SINTR8	–	–	–	–	–	–	–	SINTC
	IPR01	IRQ0				IRQ1			
		IRQ2				IRQ3			
	IPR02	予約				予約			
		予約				予約			
	SINTR9	–	–	–	–	–	–	–	SINTC
	SINTR10	–	–	–	–	–	–	–	SINTC
	SINTR11	–	–	–	–	–	–	–	SINTC
	SINTR12	–	–	–	–	–	–	–	SINTC
	SINTR13	–	–	–	–	–	–	–	SINTC
	SINTR14	–	–	–	–	–	–	–	SINTC
	SINTR15	–	–	–	–	–	–	–	SINTC

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
INTC	IPR03	DMAC0				DMAC1			
		DMAC2				DMAC3			
	IPR04	DMAC4				DMAC5			
		DMAC6				DMAC7			
	IPR05	CMT0				CMT1			
		予約				WDT			
	IPR06	ATU-A（ICIA0、ICIA1）				ATU-A（ICIA2、ICIA3）			
		予約				ATU-A（OVIA）			
	IPR07	ATU-B（CMIB0、CMIB1）				ATU-B（CMIB6、ICIB0）			
		ATU-C0（IMIC00～IMIC03）				ATU-C0（OVIC0）			
	IPR08	ATU-C1（IMIC10～IMIC13）				ATU-C1（OVIC1）			
		ATU-C2（IMIC20～IMIC23）				ATU-C2（OVIC2）			
	IPR09	ATU-C3（IMIC30～IMIC33）				ATU-C3（OVIC3）			
		ATU-C4（IMIC40～IMIC43）				ATU-C4（OVIC4）			
	IPR10	ATU-D0（CMID00～CMID03）				ATU-D0（OVI1D0、OVI2D0）			
		ATU-D0（UDID00～UDID03）				ATU-D1（CMID10～CMID13）			
	IPR11	ATU-D1（OVI1D1、OVI2D1）				ATU-D1（UDID10～UDID13）			
		ATU-D2（CMID20～CMID23）				ATU-D2（OVI1D2、OVI2D2）			
	IPR12	ATU-D2（UDID20～UDID23）				ATU-D3（CMID30～CMID33）			
		ATU-D3（OVI1D3、OVI2D3）				ATU-D3（UDID30～UDID33）			
	IPR13	予約				予約			
		予約				予約			
	IPR14	予約				予約			
		ATU-E0（CMIE00～CMIE03）				ATU-E1（CMIE10～CMIE13）			
	IPR15	ATU-E2（CMIE20～CMIE23）				ATU-E3（CMIE30～CMIE33）			
		ATU-E4（CMIE40～CMIE43）				予約			
	IPR16	ATU-F（ICIF0～ICIF3）				ATU-F（ICIF4～ICIF8）			
		ATU-F（ICIF8～ICIF11）				ATU-F（ICIF12～ICIF15）			
	IPR17	ATU-F（ICIF16～ICIF19）				予約			
		予約				予約			
	IPR18	ATU-F（OVIF0～OVIF3）				ATU-F（OVIF4～OVIF8）			
		ATU-F（OVIF8～OVIF11）				ATU-F（OVIF12～OVIF15）			
	IPR19	ATU-F（OVIF16～OVIF19）				予約			
		予約				予約			
	IPR20	ATU-G（CMIG0～CMIG3）				ATU-G（CMIG4、CMIG5）			
		ATU-H（CMIH）				予約			

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
INTC	IPR21	ATU-J（DFIJ0、DFIJ1）				ATU-J（OVIJ0、OVIJ1）			
		ATU-J（DOVIJ0、DOVIJ1）				予約			
	IPR22	ADC（ADI0）				ADC（ADI1）			
		ADC（ADID0～ADID3）				ADC（ADID4～ADID7）			
	IPR23	ADC（ADID8～ADID11）				ADC（ADID12～ADID15）			
		ADC（ADID40）				ADC（ADID41）			
	IPR24	ADC（ADID42）				ADC（ADID43）			
		ADC（ADID44）				ADC（ADID45）			
	IPR25	ADC（ADID46）				ADC（ADID47）			
		予約				予約			
	IPR26	SCI_A				SCI_B			
		SCI_C				予約			
	IPR27	予約				RSPI_A			
		RSPI_B				予約			
	IPR28	RCAN_A				RCAN_B			
		予約				予約			
	IPR29	A-DMAC				予約			
		予約				予約			
UBC	BAR_0	BA0_31	BA0_30	BA0_29	BA0_28	BA0_27	BA0_26	BA0_25	BA0_24
		BA0_23	BA0_22	BA0_21	BA0_20	BA0_19	BA0_18	BA0_17	BA0_16
		BA0_15	BA0_14	BA0_13	BA0_12	BA0_11	BA0_10	BA0_9	BA0_8
		BA0_7	BA0_6	BA0_5	BA0_4	BA0_3	BA0_2	BA0_1	BA0_0
	BAMR_0	BAM0_31	BAM0_30	BAM0_29	BAM0_28	BAM0_27	BAM0_26	BAM0_25	BAM0_24
		BAM0_23	BAM0_22	BAM0_21	BAM0_20	BAM0_19	BAM0_18	BAM0_17	BAM0_16
		BAM0_15	BAM0_14	BAM0_13	BAM0_12	BAM0_11	BAM0_10	BAM0_9	BAM0_8
		BAM0_7	BAM0_6	BAM0_5	BAM0_4	BAM0_3	BAM0_2	BAM0_1	BAM0_0
	BBR_0	–	–	UBID0	–	–	CP0_[2:0]		
		CD0_[1:0]		ID0_[1:0]		RW0_[1:0]		SZ0_[1:0]	
	BAR_1	BA1_31	BA1_30	BA1_29	BA1_28	BA1_27	BA1_26	BA1_25	BA1_24
		BA1_23	BA1_22	BA1_21	BA1_20	BA1_19	BA1_18	BA1_17	BA1_16
		BA1_15	BA1_14	BA1_13	BA1_12	BA1_11	BA1_10	BA1_9	BA1_8
		BA1_7	BA1_6	BA1_5	BA1_4	BA1_3	BA1_2	BA1_1	BA1_0
	BAMR_1	BAM1_31	BAM1_30	BAM1_29	BAM1_28	BAM1_27	BAM1_26	BAM1_25	BAM1_24
		BAM1_23	BAM1_22	BAM1_21	BAM1_20	BAM1_19	BAM1_18	BAM1_17	BAM1_16
		BAM1_15	BAM1_14	BAM1_13	BAM1_12	BAM1_11	BAM1_10	BAM1_9	BAM1_8
		BAM1_7	BAM1_6	BAM1_5	BAM1_4	BAM1_3	BAM1_2	BAM1_1	BAM1_0

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
UBC	BBR_1	–	–	UBID1	–	–	CP1_[2:0]		
		CD1_[1:0]		ID1_[1:0]		RW1_[1:0]		SZ1_[1:0]	
	BAR_2	BA2_31	BA2_30	BA2_29	BA2_28	BA2_27	BA2_26	BA2_25	BA2_24
		BA2_23	BA2_22	BA2_21	BA2_20	BA2_19	BA2_18	BA2_17	BA2_16
		BA2_15	BA2_14	BA2_13	BA2_12	BA2_11	BA2_10	BA2_9	BA2_8
		BA2_7	BA2_6	BA2_5	BA2_4	BA2_3	BA2_2	BA2_1	BA2_0
	BAMR_2	BAM2_31	BAM2_30	BAM2_29	BAM2_28	BAM2_27	BAM2_26	BAM2_25	BAM2_24
		BAM2_23	BAM2_22	BAM2_21	BAM2_20	BAM2_19	BAM2_18	BAM2_17	BAM2_16
		BAM2_15	BAM2_14	BAM2_13	BAM2_12	BAM2_11	BAM2_10	BAM2_9	BAM2_8
		BAM2_7	BAM2_6	BAM2_5	BAM2_4	BAM2_3	BAM2_2	BAM2_1	BAM2_0
	BBR_2	–	–	UBID2	–	–	CP2_[2:0]		
		CD2_[1:0]		ID2_[1:0]		RW2_[1:0]		SZ2_[1:0]	
	BAR_3	BA3_31	BA3_30	BA3_29	BA3_28	BA3_27	BA3_26	BA3_25	BA3_24
		BA3_23	BA3_22	BA3_21	BA3_20	BA3_19	BA3_18	BA3_17	BA3_16
		BA3_15	BA3_14	BA3_13	BA3_12	BA3_11	BA3_10	BA3_9	BA3_8
		BA3_7	BA3_6	BA3_5	BA3_4	BA3_3	BA3_2	BA3_1	BA3_0
	BAMR_3	BAM3_31	BAM3_30	BAM3_29	BAM3_28	BAM3_27	BAM3_26	BAM3_25	BAM3_24
		BAM3_23	BAM3_22	BAM3_21	BAM3_20	BAM3_19	BAM3_18	BAM3_17	BAM3_16
		BAM3_15	BAM3_14	BAM3_13	BAM3_12	BAM3_11	BAM3_10	BAM3_9	BAM3_8
		BAM3_7	BAM3_6	BAM3_5	BAM3_4	BAM3_3	BAM3_2	BAM3_1	BAM3_0
	BBR_3	–	–	UBID3	–	–	CP3_[2:0]		
		CD3_[1:0]		ID3_[1:0]		RW3_[1:0]		SZ3_[1:0]	
	BRCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SCMFC0	SCMFC1	SCMFC2	SCMFC3	SCMFD0	SCMFD1	SCMFD2	SCMFD3
		PCB3	PCB2	PCB1	PCB0	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	SAR0								
	DAR0								
	DMATCR0	–	–	–	–	–	–	–	–
	CHCR0	TC1	–	–	RLD1	–	–	–	–
		–	–	–	–	–	HIE	–	–
		DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR0	–	–	–	HE	–	–	–	TE
	TEMSK0	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK
	RSAR0								
	RDAR0								
	RDMATCR0	–	–	–	–	–	–	–	–
	SAR1								

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	DAR1								
	DMATCR1	–	–	–	–	–	–	–	–
	CHCR1	TC1	–	–	RLD1	–	–	–	–
		–	–	–	–	–	HIE	–	–
		DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR1	–	–	–	HE	–	–	–	TE
	TEMSK1	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK
	RSAR1								
	RDAR1								
	RDMATCR1	–	–	–	–	–	–	–	–
	SAR2								
	DAR2								

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	DMATCR2	–	–	–	–	–	–	–	–
	CHCR2	TC1	–	–	RLD1	–	–	–	–
		–	–	–	–	–	HIE	–	–
		DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR2	–	–	–	HE	–	–	–	TE
	TEMSK2	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK
	RSAR2								
	RDAR2								
	RDMATCR2	–	–	–	–	–	–	–	–
	SAR3								
	DAR3								
	DMATCR3	–	–	–	–	–	–	–	–
	CHCR3	TC1	–	–	RLD1	–	–	–	–
		–	–	–	–	–	HIE	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	CHCR3	DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR3	–	–	–	HE	–	–	–	TE
	TEMSK3	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK
	RSAR3								
	RDAR3								
	RDMATCR3	–	–	–	–	–	–	–	–
	SAR4								
	DAR4								
	DMATCR4	–	–	–	–	–	–	–	–
	CHCR4	TC[1:0]		–	RLD1	RLD2[1:0]		–	IFT
		–	–	–	–	–	HIE	–	–
		DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR4	–	–	–	HE	–	–	–	TE
	TEMSK4	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	RSAR4								
	RDAR4								
	RDMATCR4	–	–	–	–	–	–	–	–
	ARCR4	–	–	–	–	–	–	–	–
	RARCR4	–	–	–	–	–	–	–	–
	SAR5								
	DAR5								
	DMATCR5	–	–	–	–	–	–	–	–
	CHCR5	TC[1:0]		–	RLD1	RLD2[1:0]		–	IFT
		–	–	–	–	–	HIE	–	–
		DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR5	–	–	–	HE	–	–	–	TE
	TEMSK5	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	RSAR5								
	RDAR5								
	RDMATCR5	–	–	–	–	–	–	–	–
	ARCR5	–	–	–	–	–	–	–	–
	RARCR5	–	–	–	–	–	–	–	–
	SAR6								
	DAR6								
	DMATCR6	–	–	–	–	–	–	–	–
	CHCR6	TC[1:0]		–	RLD1	RLD2[1:0]		–	IFT
		–	–	–	–	–	HIE	–	–
		DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR6	–	–	–	HE	–	–	–	TE
	TEMSK6	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	RSAR6								
	RDAR6								
	RDMATCR6	–	–	–	–	–	–	–	–
	ARCR6	–	–	–	–	–	–	–	–
	RARCR6	–	–	–	–	–	–	–	–
	SAR7								
	DAR7								
	DMATCR7	–	–	–	–	–	–	–	–
	CHCR7	TC[1:0]		–	RLD1	RLD2[1:0]		–	IFT
		–	–	–	–	–	HIE	–	–
		DM[1:0]		SM[1:0]		RS[3:0]			
		–	–	TB	TS[1:0]		IE	–	DE
	CHFR7	–	–	–	HE	–	–	–	TE
	TEMSK7	TEMKEY[7:0]							
		–	–	–	–	–	–	–	TEMASK

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	RSAR7								
	RDAR7								
	RDMATCR7	–	–	–	–	–	–	–	–
	ARCR7	–	–	–	–	–	–	–	–
	RARCR7	–	–	–	–	–	–	–	–
	DMAOR	–	–	CMS[1:0]		–	–	PR[1:0]	
		–	–	–	–	–	–	–	DME
	DMAFR	–	–	–	AE	–	–	–	NMIF
	DMARS0	CH1 MID[5:0]						CH1 RID[1:0]	
		CH0 MID[5:0]						CH0 RID[1:0]	
	DMARS1	CH3 MID[5:0]						CH3 RID[1:0]	
		CH2 MID[5:0]						CH2 RID[1:0]	
	DMARS2	CH5 MID[5:0]						CH5 RID[1:0]	
		CH4 MID[5:0]						CH4 RID[1:0]	
	DMARS3	CH7 MID[5:0]						CH7 RID[1:0]	
		CH6 MID[5:0]						CH6 RID[1:0]	
A-DMAC	ADMAOR	–	–	–	–	–	–	–	DME
	ADMAABR	–	–	–	–	–	AA[2:0]		
	ADMAIE0	–	–					–	–
	ADMAIE1								
	ADMAIE2								
	ADMAIE3								
	ADMAIE4								
	ADMAIE5								
	ADMAIE7			–	–				

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
A-DMAC	ADMAIE8	–	–	–	–				
	ADMAIE9	–	–	–	–	–		–	–
	ADMADV0	–	–					–	–
	ADMADV1								
	ADMADV2								
	ADMADV3								
	ADMADV4								
	ADMADV5								
	ADMATE0			–	–				
	ADMATE1	–	–	–	–				
	ADMATE2	–	–	–	–	–		–	–
	ADMADE0	–	–					–	–
	ADMADE1								
	ADMADE2								
	ADMADE3								
	ADMADE4								
	ADMADE5								
	ADMADE7	–	–	–	–	–		–	
	ADMAMODE0					–	–	–	–
	ADMAMODE1								
	ADMAMODE2								
	ADMATCR0	–	–	–	–	–	–		
	ADMARTCR0	–	–	–	–	–	–		
	ADMATCR1	–	–	–	–	–	–		
	ADMARTCR1	–	–	–	–	–	–		
	ADMATCR56	–	–	–	–	–	–		
	ADMATCR57	–	–	–	–	–	–		
	ADMATCR58	–	–	–	–	–	–		
	ADMATCR59	–	–	–	–	–	–		

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
A-DMAC	ADMATCR62	–	–	–	–	–	–		
	ADMATCR63	–	–	–	–	–	–		
	ADMATCR64	–	–	–	–	–	–		
	ADMATCR65	–	–	–	–	–	–		
	ADMATCR66	–	–	–	–	–	–		
	ADMATCR67	–	–	–	–	–	–		
	ADMAAR0	–							
	ADMARAR0	–							
	ADMAAR1	–							
	ADMARAR1	–							
	ADMAAR56	–							
	ADMAAR57	–							
	ADMAAR58	–							
	ADMAAR59	–							
	ADMAAR62	–							
	ADMAAR63	–							
	ADMAAR64	–							
	ADMAAR65	–							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
A-DMAC	ADMAAR66	–							
	ADMAAR67	–							
	ADMABUF2								
	ADMABUF3								
	ADMABUF4								
	ADMABUF5								
	ADMARVPR0								
	ADMARVPR1								
	ADMARVPR2								
	ADMARVPR3								
	ADMATVPR0								
	ADMATVPR1								
	ADMATVPR2								
	ADMATVPR3								

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	ATUENR	–	–	–	–	–	–	TJE	THE
		TGE	TFE	TEE	TDE	TCE	TBE	TAE	PSCE
	CBCNT	–	–	CB4EG[1:0]		–	CB5SEL	CB5EG[1:0]	
	NCMR	NCCSEL	–	–	–	NCMJ	NCMF	NCMC	NCMA
	PSCR0	–	–	–	–	–	–	PSC0[9:8]	
		PSC0[7:0]							
	PSCR1	–	–	–	–	–	–	PSC1[9:8]	
		PSC1[7:0]							
	PSCR2	–	–	–	–	–	–	PSC2[9:8]	
		PSC2[7:0]							
	PSCR3	–	–	–	–	–	–	PSC3[9:8]	
		PSC3[7:0]							
	TCRA	EVOSEL2A	EVOSEL2B	EVOSEL1			CKSELA		
	TIOR1A	–	–	–	–	IOA5		IOA4	
		IOA3		IOA2		IOA1		IOA0	
	TIOR2A	–	–	NCKA5	NCKA4	NCKA3	NCKA2	NCKA1	NCKA0
		–	–	NCEA5	NCEA4	NCEA3	NCEA2	NCEA1	NCEA0
	TSRA	OVFA	–	ICFA5	ICFA4	ICFA3	ICFA2	ICFA1	ICFA0
	TIERA	OVEA	–	ICEA5	ICEA4	ICEA3	ICEA2	ICEA1	ICEA0
	NCNTA0	NCCNTA0[7:0]							
	NCRA0	NCTA0[7:0]							
	NCNTA1	NCCNTA1[7:0]							
	NCRA1	NCTA1[7:0]							
	NCNTA2	NCCNTA2[7:0]							
	NCRA2	NCTA2[7:0]							
	NCNTA3	NCCNTA3[7:0]							
	NCRA3	NCTA3[7:0]							
	TCNTA	CNTA[31:24]							
		CNTA[23:16]							
		CNTA[15:8]							
		CNTA[7:0]							
	ICRA0	ICA0[31:24]							
		ICA0[23:16]							
		ICA0[15:8]							
		ICA0[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	ICRA1	ICA1[31:24]							
		ICA1[23:16]							
		ICA1[15:8]							
		ICA1[7:0]							
	ICRA2	ICA2[31:24]							
		ICA2[23:16]							
		ICA2[15:8]							
		ICA2[7:0]							
	ICRA3	ICA3[31:24]							
		ICA3[23:16]							
		ICA3[15:8]							
		ICA3[7:0]							
	TCRB	–	–	–	–	–	–	CKSELB	
	TIORB	LDSEL	CTCNTB5	EVCNTB	LDEN	CCS	–	–	IOB6
	TSRB	–	–	–	–	CMFB6	CMFB1	ICFB0	CMFB0
	TIERB	–	–	IREG		CMEB6	CMEB1	ICEB0	CMEB0
	TCNTB0	CNTB0							
		CNTB0							
		CNTB0							
		CNTB0							
	ICRB0	ICB0							
		ICB0							
		ICB0							
		ICB0							
	OCRB0	OCB0							
		OCB0							
		OCB0							
		OCB0							
	TCNTB1	CNTB1							
	OCRB1	OCB1							
	ICRB1	ICB1							
		ICB1							
		ICB1							
		ICB1							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	ICRB2	ICB2							
		ICB2							
		ICB2							
		ICB2							
	LDB	–	–	–	–	–	–	–	–
		LDVAL							
		LDVAL							
		LDVAL							
	RLDB	RLDVAL							
		RLDVAL							
		RLDVAL							
		–	–	–	–	–	–	–	–
	PIMR	–	–	–	–	PIM			
		PIM							
	TCNTB2	CNTB2							
		CNTB2							
		CNTB2							
		–	–	–	–	–	–	–	–
	TCNTB6	CNTB6							
		CNTB6							
		CNTB6				–	–	–	–
		–	–	–	–	–	–	–	–
	OCRB6	OCB6							
		OCB6							
		OCB6				–	–	–	–
		–	–	–	–	–	–	–	–
	OCRB7	OCB7							
		OCB7							
		OCB7				–	–	–	–
		–	–	–	–	–	–	–	–
	TCNTB3	CNTB3							
		CNTB3							
		CNTB3				–	–	–	–
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCNTB4	CNTB4							
		CNTB4							
		CNTB4				–	–	–	–
		–	–	–	–	–	–	–	–
	TCNTB5	CNTB5							
		CNTB5							
		CNTB5				–	–	–	–
		–	–	–	–	–	–	–	–
	TCCLRB	CCLRB							
		CCLRB							
		CCLRB				–	–	–	–
		–	–	–	–	–	–	–	–
	TSTRC	–	–	–	STRC4	STRC3	STRC2	STRC1	STRC0
	NCCRC0	–	–	–	–	NCEC03	NCEC02	NCEC01	NCEC00
	NCCRC1	–	–	–	–	NCEC13	NCEC12	NCEC11	NCEC10
	NCCRC2	–	–	–	–	NCEC23	NCEC22	NCEC21	NCEC20
	NCCRC3	–	–	–	–	NCEC33	NCEC32	NCEC31	NCEC30
	NCCRC4	–	–	–	–	NCEC43	NCEC42	NCEC41	NCEC40
	NCNTC00	NCNTC00[7:0]							
	NCNTC01	NCNTC01[7:0]							
	NCNTC02	NCNTC02[7:0]							
	NCNTC03	NCNTC03[7:0]							
	NCRC00	NCRC00[7:0]							
	NCRC01	NCRC01[7:0]							
	NCRC02	NCRC02[7:0]							
	NCRC03	NCRC03[7:0]							
	NCNTC10	NCNTC10[7:0]							
	NCNTC11	NCNTC11[7:0]							
	NCNTC12	NCNTC12[7:0]							
	NCNTC13	NCNTC13[7:0]							
	NCRC10	NCRC10[7:0]							
	NCRC11	NCRC11[7:0]							
	NCRC12	NCRC12[7:0]							
	NCRC13	NCRC13[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	NCNTC20	NCNTC20[7:0]							
	NCNTC21	NCNTC21[7:0]							
	NCNTC22	NCNTC22[7:0]							
	NCNTC23	NCNTC23[7:0]							
	NCRC20	NCRC20[7:0]							
	NCRC21	NCRC21[7:0]							
	NCRC22	NCRC22[7:0]							
	NCRC23	NCRC23[7:0]							
	NCNTC30	NCNTC30[7:0]							
	NCNTC31	NCNTC31[7:0]							
	NCNTC32	NCNTC32[7:0]							
	NCNTC33	NCNTC33[7:0]							
	NCRC30	NCRC30[7:0]							
	NCRC31	NCRC31[7:0]							
	NCRC32	NCRC32[7:0]							
	NCRC33	NCRC33[7:0]							
	NCNTC40	NCNTC40[7:0]							
	NCNTC41	NCNTC41[7:0]							
	NCNTC42	NCNTC42[7:0]							
	NCNTC43	NCNTC43[7:0]							
	NCRC40	NCRC40[7:0]							
	NCRC41	NCRC41[7:0]							
	NCRC42	NCRC42[7:0]							
	NCRC43	NCRC43[7:0]							
	TCRC0	FCMC03	FCMC02	FCMC01	FCMC00	PWM00	CKSELC0[2:0]		
	TIERC0	–	–	–	OVEC0	IMEC03	IMEC02	IMEC01	IMEC00
	TIORC0	–	IOC03[2:0]			–	IOC02[2:0]		
		–	IOC01[2:0]			–	IOC00[2:0]		
	TSRC0	–	–	–	OVFC0	IMFC03	IMFC02	IMFC01	IMFC00
	GRC00								
		–	–	–	–	–	–	–	–
	GRC01								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRC02								
		–	–	–	–	–	–	–	–
	GRC03								
		–	–	–	–	–	–	–	–
	TCNTC0								
		–	–	–	–	–	–	–	–
	TCRC1	FCMC13	FCMC12	FCMC11	FCMC10	PWM10	CKSELC1[2:0]		
	TIERC1	–	–	–	OVEC1	IMEC13	IMEC12	IMEC11	IMEC10
	TIORC1	–	IOC13[2:0]			–	IOC12[2:0]		
		–	IOC11[2:0]			–	IOC10[2:0]		
	TSRC1	–	–	–	OVFC1	IMFC13	IMFC12	IMFC11	IMFC10
	GRC10								
		–	–	–	–	–	–	–	–
	GRC11								
		–	–	–	–	–	–	–	–
	GRC12								
		–	–	–	–	–	–	–	–
	GRC13								
		–	–	–	–	–	–	–	–
	TCNTC1								

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCNTC1	–	–	–	–	–	–	–	–
	TCRC2	FCMC23	FCMC22	FCMC21	FCMC20	PWM20	CKSELC2[2:0]		
	TIERC2	–	–	–	OVEC2	IMEC23	IMEC22	IMEC21	IMEC20
	TIORC2	–	IOC23[2:0]			–	IOC22[2:0]		
		–	IOC21[2:0]			–	IOC20[2:0]		
	TSRC2	–	–	–	OVFC2	IMFC23	IMFC22	IMFC21	IMFC20
	GRC20								
		–	–	–	–	–	–	–	–
	GRC21								
		–	–	–	–	–	–	–	–
	GRC22								
		–	–	–	–	–	–	–	–
	GRC23								
		–	–	–	–	–	–	–	–
	TCNTC2								
		–	–	–	–	–	–	–	–
	TCRC3	FCMC33	FCMC32	FCMC31	FCMC30	PWM30	CKSELC3[2:0]		
	TIERC3	–	–	–	OVEC3	IMEC33	IMEC32	IMEC31	IMEC30
	TIORC3	–	IOC33[2:0]			–	IOC32[2:0]		
		–	IOC31[2:0]			–	IOC30[2:0]		
	TSRC3	–	–	–	OVFC3	IMFC33	IMFC32	IMFC31	IMFC30
	GRC30								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRC31								
		–	–	–	–	–	–	–	–
	GRC32								
		–	–	–	–	–	–	–	–
	GRC33								
		–	–	–	–	–	–	–	–
	TCNTC3								
		–	–	–	–	–	–	–	–
	TCRC4	FCMC43	FCMC42	FCMC41	FCMC40	PWM40	CKSELC4[2:0]		
	TIERC4	–	–	–	OVEC4	IMEC43	IMEC42	IMEC41	IMEC40
	TIORC4	–	IOC43[2:0]			–	IOC42[2:0]		
		–	IOC41[2:0]			–	IOC40[2:0]		
	TSRC4	–	–	–	OVFC4	IMFC43	IMFC42	IMFC41	IMFC40
	GRC40								
		–	–	–	–	–	–	–	–
	GRC41								
		–	–	–	–	–	–	–	–
	GRC42								
		–	–	–	–	–	–	–	–
	GRC43								

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRC43								
		–	–	–	–	–	–	–	–
	TCNTC4								
		–	–	–	–	–	–	–	–
	TSTRD	–	–	–	–	STRD3	STRD2	STRD1	STRD0
	TCNT1D0								
		–	–	–	–	–	–	–	–
	TCNT2D0								
		–	–	–	–	–	–	–	–
	OSBRD0								
		–	–	–	–	–	–	–	–
	TCRD0	–	OBRED0	C2CED0	C1CED0	–	CKSEL2D0[2:0]		
		–	CKSEL1D0[2:0]			–	DCSELD0[2:0]		
	TOCRD0	–	–	–	–	–	–	TONEBD0	TONEAD0
	CMPOD0	CMPBD03	CMPBD02	CMPBD01	CMPBD00	CMPAD03	CMPAD02	CMPAD01	CMPAD00
	TCNT1D1								
		–	–	–	–	–	–	–	–
	TCNT2D1								
		–	–	–	–	–	–	–	–
	OSBRD1								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCRD1	–	OBRED1	C2CED1	C1CED1	–	CKSEL2D1[2:0]		
		–	CKSEL1D1[2:0]			–	DCSELD1[2:0]		
	TOCRD1	–	–	–	–	–	–	TONEBD1	TONEAD1
	CMPOD1	CMPBD13	CMPBD12	CMPBD11	CMPBD10	CMPAD13	CMPAD12	CMPAD11	CMPAD10
	TCNT1D2								
		–	–	–	–	–	–	–	–
	TCNT2D2								
		–	–	–	–	–	–	–	–
	OSBRD2								
		–	–	–	–	–	–	–	–
	TCRD2	–	OBRED2	C2CED2	C1CED2	–	CKSEL2D2[2:0]		
		–	CKSEL1D2[2:0]			–	DCSELD2[2:0]		
	TOCRD2	–	–	–	–	–	–	TONEBD2	TONEAD2
	TCNT1D3								
		–	–	–	–	–	–	–	–
	TCNT2D3								
		–	–	–	–	–	–	–	–
	OSBRD3								
		–	–	–	–	–	–	–	–
	TCRD3	–	OBRED3	C2CED3	C1CED3	–	CKSEL2D3[2:0]		
		–	CKSEL1D3[2:0]			–	DCSELD3[2:0]		
	TOCRD3	–	–	–	–	–	–	TONEBD3	TONEAD3

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TIOR1D0	OSSD03[1:0]		OSSD02[1:0]		OSSD01[1:0]		OSSD00[1:0]	
		IOAD03[1:0]		IOAD02[1:0]		IOAD01[1:0]		IOAD00[1:0]	
	TIOR2D0	–	IOBD03[2:0]			–	IOBD02[2:0]		
		–	IOBD01[2:0]			–	IOBD00[2:0]		
	DSTRD0	–	–	–	–	DSTD03	DSTD02	DSTD01	DSTD00
	DSRD0	–	–	–	–	DSFD03	DSFD02	DSFD01	DSFD00
	DCRD0	–	TRGSELD03[2:0]			–	TRGSELD02[2:0]		
		–	TRGSELD01[2:0]			–	TRGSELD00[2:0]		
	TSRD0	–	–	OVF2D0	OVF1D0	UDFD03	UDFD02	UDFD01	UDFD00
		CMFAD03	CMFAD02	CMFAD01	CMFAD00	CMFBD03	CMFBD02	CMFBD01	CMFBD00
	TIERD0	–	–	OVE2D0	OVE1D0	UDED03	UDED02	UDED01	UDED00
		CMEAD03	CMEAD02	CMEAD01	CMEAD00	CMEBD03	CMEBD02	CMEBD01	CMEBD00
	OCRD00								
		–	–	–	–	–	–	–	–
	OCRD01								
		–	–	–	–	–	–	–	–
	OCRD02								
		–	–	–	–	–	–	–	–
	OCRD03								
		–	–	–	–	–	–	–	–
	GRD00								
		–	–	–	–	–	–	–	–
	GRD01								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRD02								
		–	–	–	–	–	–	–	–
	GRD03								
		–	–	–	–	–	–	–	–
	DCNTD00								
		–	–	–	–	–	–	–	–
	DCNTD01								
		–	–	–	–	–	–	–	–
	DCNTD02								
		–	–	–	–	–	–	–	–
	DCNTD03								
		–	–	–	–	–	–	–	–
	TIOR1D1	OSSD13[1:0]		OSSD12[1:0]		OSSD11[1:0]		OSSD10[1:0]	
		IOAD13[1:0]		IOAD12[1:0]		IOAD11[1:0]		IOAD10[1:0]	
	TIOR2D1	–	IOBD13[2:0]			–	IOBD12[2:0]		
		–	IOBD11[2:0]			–	IOBD10[2:0]		
	DSTRD1	–	–	–	–	DSTD13	DSTD12	DSTD11	DSTD10
	DSRD1	–	–	–	–	DSFD13	DSFD12	DSFD11	DSFD10
	DCRD1	–	TRGSELD13[2:0]			–	TRGSELD12[2:0]		
		–	TRGSELD11[2:0]			–	TRGSELD10[2:0]		
	TSRD1	–	–	OVF2D1	OVF1D1	UDFD13	UDFD12	UDFD11	UDFD10
		CMFAD13	CMFAD12	CMFAD11	CMFAD10	CMFBD13	CMFBD12	CMFBD11	CMFBD10
	TIERD1	–	–	OVE2D1	OVE1D1	UDED13	UDED12	UDED11	UDED10
		CMEAD13	CMEAD12	CMEAD11	CMEAD10	CMEBD13	CMEBD12	CMEBD11	CMEBD10

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	OCRD10								
		–	–	–	–	–	–	–	–
	OCRD11								
		–	–	–	–	–	–	–	–
	OCRD12								
		–	–	–	–	–	–	–	–
	OCRD13								
		–	–	–	–	–	–	–	–
	GRD10								
		–	–	–	–	–	–	–	–
	GRD11								
		–	–	–	–	–	–	–	–
	GRD12								
		–	–	–	–	–	–	–	–
	GRD13								
		–	–	–	–	–	–	–	–
	DCNTD10								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	DCNTD11								
		–	–	–	–	–	–	–	–
	DCNTD12								
		–	–	–	–	–	–	–	–
	DCNTD13								
		–	–	–	–	–	–	–	–
	TIOR1D2	OSSD23[1:0]		OSSD22[1:0]		OSSD21[1:0]		OSSD20[1:0]	
		IOAD23[1:0]		IOAD22[1:0]		IOAD21[1:0]		IOAD20[1:0]	
	TIOR2D2	–	IOBD23[2:0]			–	IOBD22[2:0]		
		–	IOBD21[2:0]			–	IOBD20[2:0]		
	DSTRD2	–	–	–	–	DSTD23	DSTD22	DSTD21	DSTD20
	DSRD2	–	–	–	–	DSFD23	DSFD22	DSFD21	DSFD20
	DCRD2	–	TRGSELD23[2:0]			–	TRGSELD22[2:0]		
		–	TRGSELD21[2:0]			–	TRGSELD20[2:0]		
	TSRD2	–	–	OVF2D2	OVF1D2	UDFD23	UDFD22	UDFD21	UDFD20
		CMFAD23	CMFAD22	CMFAD21	CMFAD20	CMFBD23	CMFBD22	CMFBD21	CMFBD20
	TIERD2	–	–	OVE2D2	OVE1D2	UDED23	UDED22	UDED21	UDED20
		CMEAD23	CMEAD22	CMEAD21	CMEAD20	CMEBD23	CMEBD22	CMEBD21	CMEBD20
	OCRD20								
		–	–	–	–	–	–	–	–
	OCRD21								
		–	–	–	–	–	–	–	–
	OCRD22								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	OCRD23								
		–	–	–	–	–	–	–	–
	GRD20								
		–	–	–	–	–	–	–	–
	GRD21								
		–	–	–	–	–	–	–	–
	GRD22								
		–	–	–	–	–	–	–	–
	GRD23								
		–	–	–	–	–	–	–	–
	DCNTD20								
		–	–	–	–	–	–	–	–
	DCNTD21								
		–	–	–	–	–	–	–	–
	DCNTD22								
		–	–	–	–	–	–	–	–
	DCNTD23								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TIOR1D3	OSSD33[1:0]		OSSD32[1:0]		OSSD31[1:0]		OSSD30[1:0]	
		IOAD33[1:0]		IOAD32[1:0]		IOAD31[1:0]		IOAD30[1:0]	
	TIOR2D3	–	IOBD33[2:0]			–	IOBD32[2:0]		
		–	IOBD31[2:0]			–	IOBD30[2:0]		
	DSTRD3	–	–	–	–	DSTD33	DSTD32	DSTD31	DSTD30
	DSRD3	–	–	–	–	DSFD33	DSFD32	DSFD31	DSFD30
	DCRD3	–	TRGSELD33[2:0]			–	TRGSELD32[2:0]		
		–	TRGSELD31[2:0]			–	TRGSELD30[2:0]		
	TSRD3	–	–	OVF2D3	OVF1D3	UDFD33	UDFD32	UDFD31	UDFD30
		CMFAD33	CMFAD32	CMFAD31	CMFAD30	CMFBD33	CMFBD32	CMFBD31	CMFBD30
	TIERD3	–	–	OVE2D3	OVE1D3	UDED33	UDED32	UDED31	UDED30
		CMEAD33	CMEAD32	CMEAD31	CMEAD30	CMEBD33	CMEBD32	CMEBD31	CMEBD30
	OCRD30								
		–	–	–	–	–	–	–	–
	OCRD31								
		–	–	–	–	–	–	–	–
	OCRD32								
		–	–	–	–	–	–	–	–
	OCRD33								
		–	–	–	–	–	–	–	–
	GRD30								
		–	–	–	–	–	–	–	–
	GRD31								
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRD32								
		–	–	–	–	–	–	–	–
	GRD33								
		–	–	–	–	–	–	–	–
	DCNTD30								
		–	–	–	–	–	–	–	–
	DCNTD31								
		–	–	–	–	–	–	–	–
	DCNTD32								
		–	–	–	–	–	–	–	–
	DCNTD33								
		–	–	–	–	–	–	–	–
	TSTRE	–	–	STRE5	STRE4	STRE3	STRE2	STRE1	STRE0
	TCRE0	–	–	–	–	–	CKSELE0[2:0]		
	TOCRE0	–	–	–	–	TONEE03	TONEE02	TONEE01	TONEE00
	TIERE0	–	–	–	–	CMEE03	CMEE02	CMEE01	CMEE00
	RLDCRE0	–	–	–	–	RLDENE03	RLDENE02	RLDENE01	RLDENE00
	TSRE0	OVFE03	OVFE02	OVFE01	OVFE00	CMFE03	CMFE02	CMFE01	CMFE00
	PSCRE0	–	–	–	–	–	PSCE0[2:0]		
	SOLVLE0	–	–	–	–	PWMSLV 03	PWMSLV 02	PWMSLV 01	PWMSLV 00
	POECRE0	POECRKEY[7:0]							
		–	–	–	POEPOL0	POEEN03	POEEN02	POEEN01	POEEN00
	SSTRE0	–	–	–	–	SSTRE03	SSTRE02	SSTRE01	SSTRE00
	CYLRE00	CYLRE00[15:8]							
		CYLRE00[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CYLRE01	CYLRE01[15:8]							
		CYLRE01[7:0]							
	CYLRE02	CYLRE02[15:8]							
		CYLRE02[7:0]							
	CYLRE03	CYLRE03[15:8]							
		CYLRE03[7:0]							
	DTRE00	DTRE00[15:8]							
		DTRE00[7:0]							
	DTRE01	DTRE01[15:8]							
		DTRE01[7:0]							
	DTRE02	DTRE02[15:8]							
		DTRE02[7:0]							
	DTRE03	DTRE03[15:8]							
		DTRE03[7:0]							
	CRLDE00	CRLDE00[15:8]							
		CRLDE00[7:0]							
	CRLDE01	CRLDE01[15:8]							
		CRLDE01[7:0]							
	CRLDE02	CRLDE02[15:8]							
		CRLDE02[7:0]							
	CRLDE03	CRLDE03[15:8]							
		CRLDE03[7:0]							
	DRLDE00	DRLDE00[15:8]							
		DRLDE00[7:0]							
	DRLDE01	DRLDE01[15:8]							
		DRLDE01[7:0]							
	DRLDE02	DRLDE02[15:8]							
		DRLDE02[7:0]							
	DRLDE03	DRLDE03[15:8]							
		DRLDE03[7:0]							
	TCNTE00	TCNTE00[15:8]							
		TCNTE00[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCNTE01	TCNTE01[15:8]							
		TCNTE01[7:0]							
	TCNTE02	TCNTE02[15:8]							
		TCNTE02[7:0]							
	TCNTE03	TCNTE03[15:8]							
		TCNTE03[7:0]							
	TCRE1	–	–	–	–	–	CKSELE1[2:0]		
	TOCRE1	–	–	–	–	TONEE13	TONEE12	TONEE11	TONEE10
	TIERE1	–	–	–	–	CMEE13	CMEE12	CMEE11	CMEE10
	RLDCRE1	–	–	–	–	RLDENE13	RLDENE12	RLDENE11	RLDENE10
	TSRE1	OVFE13	OVFE12	OVFE11	OVFE10	CMFE13	CMFE12	CMFE11	CMFE10
	PSCRE1	–	–	–	–	–	PSCE1[2:0]		
	SOLVLE1	–	–	–	–	PWMSLV 13	PWMSLV 12	PWMSLV 11	PWMSLV 10
	POECRE1	POECRKEY[7:0]							
		–	–	–	POEPOL1	POEEN13	POEEN12	POEEN11	POEEN10
	SSTRE1	–	–	–	–	SSTRE13	SSTRE12	SSTRE11	SSTRE10
	CYLRE10	CYLRE10[15:8]							
		CYLRE10[7:0]							
	CYLRE11	CYLRE11[15:8]							
		CYLRE11[7:0]							
	CYLRE12	CYLRE12[15:8]							
		CYLRE12[7:0]							
	CYLRE13	CYLRE13[15:8]							
		CYLRE13[7:0]							
	DTRE10	DTRE10[15:8]							
		DTRE10[7:0]							
	DTRE11	DTRE11[15:8]							
		DTRE11[7:0]							
	DTRE12	DTRE12[15:8]							
		DTRE12[7:0]							
	DTRE13	DTRE13[15:8]							
		DTRE13[7:0]							
	CRLDE10	CRLDE10[15:8]							
		CRLDE10[7:0]							
	CRLDE11	CRLDE11[15:8]							
		CRLDE11[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CRLDE12	CRLDE12[15:8]							
		CRLDE12[7:0]							
	CRLDE13	CRLDE13[15:8]							
		CRLDE13[7:0]							
	DRLDE10	DRLDE10[15:8]							
		DRLDE10[7:0]							
	DRLDE11	DRLDE11[15:8]							
		DRLDE11[7:0]							
	DRLDE12	DRLDE12[15:8]							
		DRLDE12[7:0]							
	DRLDE13	DRLDE13[15:8]							
		DRLDE13[7:0]							
	TCNTE10	TCNTE10[15:8]							
		TCNTE10[7:0]							
	TCNTE11	TCNTE11[15:8]							
		TCNTE11[7:0]							
	TCNTE12	TCNTE12[15:8]							
		TCNTE12[7:0]							
	TCNTE13	TCNTE13[15:8]							
		TCNTE13[7:0]							
	TCRE2	–	–	–	–	–	CKSELE2[2:0]		
	TOCRE2	–	–	–	–	TONEE23	TONEE22	TONEE21	TONEE20
	TIERE2	–	–	–	–	CMEE23	CMEE22	CMEE21	CMEE20
	RLDCRE2	–	–	–	–	RLDENE23	RLDENE22	RLDENE21	RLDENE20
	TSRE2	OVFE23	OVFE22	OVFE21	OVFE20	CMFE23	CMFE22	CMFE21	CMFE20
	PSCRE2	–	–	–	–	–	PSCE2[2:0]		
	SOLVLE2	–	–	–	–	PWMSLV 23	PWMSLV 22	PWMSLV 21	PWMSLV 20
	POECRE2	POECRKEY[7:0]							
		–	–	–	POEPOL2	POEEN23	POEEN22	POEEN21	POEEN20
	SSTRE2	–	–	–	–	SSTRE23	SSTRE22	SSTRE21	SSTRE20
	CYLRE20	CYLRE20[15:8]							
		CYLRE20[7:0]							
	CYLRE21	CYLRE21[15:8]							
		CYLRE21[7:0]							
	CYLRE22	CYLRE22[15:8]							
		CYLRE22[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CYLRE23	CYLRE23[15:8]							
		CYLRE23[7:0]							
	DTRE20	DTRE20[15:8]							
		DTRE20[7:0]							
	DTRE21	DTRE21[15:8]							
		DTRE21[7:0]							
	DTRE22	DTRE22[15:8]							
		DTRE22[7:0]							
	DTRE23	DTRE23[15:8]							
		DTRE23[7:0]							
	CRLDE20	CRLDE20[15:8]							
		CRLDE20[7:0]							
	CRLDE21	CRLDE21[15:8]							
		CRLDE21[7:0]							
	CRLDE22	CRLDE22[15:8]							
		CRLDE22[7:0]							
	CRLDE23	CRLDE23[15:8]							
		CRLDE23[7:0]							
	DRLDE20	DRLDE20[15:8]							
		DRLDE20[7:0]							
	DRLDE21	DRLDE21[15:8]							
		DRLDE21[7:0]							
	DRLDE22	DRLDE22[15:8]							
		DRLDE22[7:0]							
	DRLDE23	DRLDE23[15:8]							
		DRLDE23[7:0]							
	TCNTE20	TCNTE20[15:8]							
		TCNTE20[7:0]							
	TCNTE21	TCNTE21[15:8]							
		TCNTE21[7:0]							
	TCNTE22	TCNTE22[15:8]							
		TCNTE22[7:0]							
	TCNTE23	TCNTE23[15:8]							
		TCNTE23[7:0]							
	TCRE3	–	–	–	–	–	CKSELE3[2:0]		
	TOCRE3	–	–	–	–	TONEE33	TONEE32	TONEE31	TONEE30
	TIERE3	–	–	–	–	CMEE33	CMEE32	CMEE31	CMEE30
	RLDCRE3	–	–	–	–	RLDENE33	RLDENE32	RLDENE31	RLDENE30

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TSRE3	OVFE33	OVFE32	OVFE31	OVFE30	CMFE33	CMFE32	CMFE31	CMFE30
	PSCRE3	–	–	–	–	–	PSCE3[2:0]		
	SOLVLE3	–	–	–	–	PWMSLV 33	PWMSLV 32	PWMSLV 31	PWMSLV 30
	POECRE3	POECRKEY[7:0]							
		–	–	–	POEPOL3	POEEN33	POEEN32	POEEN31	POEEN30
	SSTRE3	–	–	–	–	SSTRE33	SSTRE32	SSTRE31	SSTRE30
	CYLRE30	CYLRE30[15:8]							
		CYLRE30[7:0]							
	CYLRE31	CYLRE31[15:8]							
		CYLRE31[7:0]							
	CYLRE32	CYLRE32[15:8]							
		CYLRE32[7:0]							
	CYLRE33	CYLRE33[15:8]							
		CYLRE33[7:0]							
	DTRE30	DTRE30[15:8]							
		DTRE30[7:0]							
	DTRE31	DTRE31[15:8]							
		DTRE31[7:0]							
	DTRE32	DTRE32[15:8]							
		DTRE32[7:0]							
	DTRE33	DTRE33[15:8]							
		DTRE33[7:0]							
	CRLDE30	CRLDE30[15:8]							
		CRLDE30[7:0]							
	CRLDE31	CRLDE31[15:8]							
		CRLDE31[7:0]							
	CRLDE32	CRLDE32[15:8]							
		CRLDE32[7:0]							
	CRLDE33	CRLDE33[15:8]							
		CRLDE33[7:0]							
	DRLDE30	DRLDE30[15:8]							
		DRLDE30[7:0]							
	DRLDE31	DRLDE31[15:8]							
		DRLDE31[7:0]							
	DRLDE32	DRLDE32[15:8]							
		DRLDE32[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	DRLDE33	DRLDE33[15:8]							
		DRLDE33[7:0]							
	TCNTE30	TCNTE30[15:8]							
		TCNTE30[7:0]							
	TCNTE31	TCNTE31[15:8]							
		TCNTE31[7:0]							
	TCNTE32	TCNTE32[15:8]							
		TCNTE32[7:0]							
	TCNTE33	TCNTE33[15:8]							
		TCNTE33[7:0]							
	TCRE4	–	–	–	–	–	CKSELE4[2:0]		
	TOCRE4	–	–	–	–	TONEE43	TONEE42	TONEE41	TONEE40
	TIERE4	–	–	–	–	CMEE43	CMEE42	CMEE41	CMEE40
	RLDCRE4	–	–	–	–	RLDENE43	RLDENE42	RLDENE41	RLDENE40
	TSRE4	OVFE43	OVFE42	OVFE41	OVFE40	CMFE43	CMFE42	CMFE41	CMFE40
	PSCRE4	–	–	–	–	–	PSCE4[2:0]		
	SOLVLE4	–	–	–	–	PWMSLV 43	PWMSLV 42	PWMSLV 41	PWMSLV 40
	POECRE4	POECRKEY[7:0]							
		–	–	–	POEPOL4	POEEN43	POEEN42	POEEN41	POEEN40
	SSTRE4	–	–	–	–	SSTRE43	SSTRE42	SSTRE41	SSTRE40
	CYLRE40	CYLRE40[15:8]							
		CYLRE40[7:0]							
	CYLRE41	CYLRE41[15:8]							
		CYLRE41[7:0]							
	CYLRE42	CYLRE42[15:8]							
		CYLRE42[7:0]							
	CYLRE43	CYLRE43[15:8]							
		CYLRE43[7:0]							
	DTRE40	DTRE40[15:8]							
		DTRE40[7:0]							
	DTRE41	DTRE41[15:8]							
		DTRE41[7:0]							
	DTRE42	DTRE42[15:8]							
		DTRE42[7:0]							
	DTRE43	DTRE43[15:8]							
		DTRE43[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CRLDE40	CRLDE40[15:8]							
		CRLDE40[7:0]							
	CRLDE41	CRLDE41[15:8]							
		CRLDE41[7:0]							
	CRLDE42	CRLDE42[15:8]							
		CRLDE42[7:0]							
	CRLDE43	CRLDE43[15:8]							
		CRLDE43[7:0]							
	DRLDE40	DRLDE40[15:8]							
		DRLDE40[7:0]							
	DRLDE41	DRLDE41[15:8]							
		DRLDE41[7:0]							
	DRLDE42	DRLDE42[15:8]							
		DRLDE42[7:0]							
	DRLDE43	DRLDE43[15:8]							
		DRLDE43[7:0]							
	TCNTE40	TCNTE40[15:8]							
		TCNTE40[7:0]							
	TCNTE41	TCNTE41[15:8]							
		TCNTE41[7:0]							
	TCNTE42	TCNTE42[15:8]							
		TCNTE42[7:0]							
	TCNTE43	TCNTE43[15:8]							
		TCNTE43[7:0]							
	TSTRF	–	–	–	–	–	–	–	–
		–	–	–	–	STRF19	STRF18	STRF17	STRF16
		STRF15	STRF14	STRF13	STRF12	STRF11	STRF10	STRF9	STRF8
		STRF7	STRF6	STRF5	STRF4	STRF3	STRF2	STRF1	STRF0
	NCCRF	–	–	–	–	–	–	–	–
		–	–	–	–	NCEF19	NCEF18	NCEF17	NCEF16
		NCEF15	NCEF14	NCEF13	NCEF12	NCEF11	NCEF10	NCEF9	NCEF8
		NCEF7	NCEF6	NCEF5	NCEF4	NCEF3	NCEF2	NCEF1	NCEF0
	NCNTFA0	NCNTFA0[7:0]							
	NCRFA0	NCTFA0[7:0]							
	NCNTFA1	NCNTFA1[7:0]							
	NCRFA1	NCTFA1[7:0]							
	NCNTFA2	NCNTFA2[7:0]							
	NCRFA2	NCTFA2[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	NCNTFA3	NCNTFA3[7:0]							
	NCRFA3	NCTFA3[7:0]							
	NCNTFA4	NCNTFA4[7:0]							
	NCRFA4	NCTFA4[7:0]							
	NCNTFA5	NCNTFA5[7:0]							
	NCRFA5	NCTFA5[7:0]							
	NCNTFA6	NCNTFA6[7:0]							
	NCRFA6	NCTFA6[7:0]							
	NCNTFA7	NCNTFA7[7:0]							
	NCRFA7	NCTFA7[7:0]							
	NCNTFA8	NCNTFA8[7:0]							
	NCRFA8	NCTFA8[7:0]							
	NCNTFA9	NCNTFA9[7:0]							
	NCRFA9	NCTFA9[7:0]							
	NCNTFA10	NCNTFA10[7:0]							
	NCRFA10	NCTFA10[7:0]							
	NCNTFA11	NCNTFA11[7:0]							
	NCRFA11	NCTFA11[7:0]							
	NCNTFA12	NCNTFA12[7:0]							
	NCRFA12	NCTFA12[7:0]							
	NCNTFA13	NCNTFA13[7:0]							
	NCRFA13	NCTFA13[7:0]							
	NCNTFA14	NCNTFA14[7:0]							
	NCRFA14	NCTFA14[7:0]							
	NCNTFA15	NCNTFA15[7:0]							
	NCRFA15	NCTFA15[7:0]							
	NCNTFA16	NCNTFA16[7:0]							
	NCRFA16	NCTFA16[7:0]							
	NCNTFA17	NCNTFA17[7:0]							
	NCRFA17	NCTFA17[7:0]							
	NCNTFA18	NCNTFA18[7:0]							
	NCRFA18	NCTFA18[7:0]							
	NCNTFA19	NCNTFA19[7:0]							
	NCRFA19	NCTFA19[7:0]							
	NCNTFB0	NCNTFB0[7:0]							
	NCRFB0	NCTFB0[7:0]							
	NCNTFB1	NCNTFB1[7:0]							
	NCRFB1	NCTFB1[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	NCNTFB2	NCNTFB2[7:0]							
	NCRFB2	NCTFB2[7:0]							
	TCRF0	CKSELF0[2:0]			MDF0[2:0]			EGSELF0[1:0]	
	TIERF0	–	–	–	–	OVECF0	OVEBF0	OVEAF0	ICEF0
	TSRF0	–	–	–	–	OVFCF0	OVFBF0	OVFAF0	ICFF0
	ECNTAF0	ECNTAF0[23:16]							
		ECNTAF0[15:8]							
		ECNTAF0[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF0	ECNTBF0[15:8]							
		ECNTBF0[7:0]							
	GRBF0	GRBF0[15:8]							
		GRBF0[7:0]							
	ECNTCF0	ECNTCF0[23:16]							
		ECNTCF0[15:8]							
		ECNTCF0[7:0]							
		–	–	–	–	–	–	–	–
	GRAF0	GRAF0[23:16]							
		GRAF0[15:8]							
		GRAF0[7:0]							
		–	–	–	–	–	–	–	–
	CDRF0	CDRF0[23:16]							
		CDRF0[15:8]							
		CDRF0[7:0]							
		–	–	–	–	–	–	–	–
	GRCF0	GRCF0[23:16]							
		GRCF0[15:8]							
		GRCF0[7:0]							
		–	–	–	–	–	–	–	–
	TCRF1	CKSELF1[2:0]			MDF1[2:0]			EGSELF1[1:0]	
	TIERF1	–	–	–	–	OVECF1	OVEBF1	OVEAF1	ICEF1
	TSRF1	–	–	–	–	OVFCF1	OVFBF1	OVFAF1	ICFF1
	ECNTAF1	ECNTAF1[23:16]							
		ECNTAF1[15:8]							
		ECNTAF1[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF1	ECNTBF1[15:8]							
		ECNTBF1[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRBF1	GRBF1[15:8]							
		GRBF1[7:0]							
	ECNTCF1	ECNTCF1[23:16]							
		ECNTCF1[15:8]							
		ECNTCF1[7:0]							
		–	–	–	–	–	–	–	–
	GRAF1	GRAF1[23:16]							
		GRAF1[15:8]							
		GRAF1[7:0]							
		–	–	–	–	–	–	–	–
	CDRF1	CDRF1[23:16]							
		CDRF1[15:8]							
		CDRF1[7:0]							
		–	–	–	–	–	–	–	–
	GRCF1	GRCF1[23:16]							
		GRCF1[15:8]							
		GRCF1[7:0]							
		–	–	–	–	–	–	–	–
	TCRF2	CKSELF2[2:0]			MDF2[2:0]			EGSELF2[1:0]	
	TIERF2	–	–	–	–	OVECF2	OVEBF2	OVEAF2	ICEF2
	TSRF2	–	–	–	–	OVFCF2	OVFBF2	OVFAF2	ICFF2
	ECNTAF2	ECNTAF2[23:16]							
		ECNTAF2[15:8]							
		ECNTAF2[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF2	ECNTBF2[15:8]							
		ECNTBF2[7:0]							
	GRBF2	GRBF2[15:8]							
		GRBF2[7:0]							
	ECNTCF2	ECNTCF2[23:16]							
		ECNTCF2[15:8]							
		ECNTCF2[7:0]							
		–	–	–	–	–	–	–	–
	GRAF2	GRAF2[23:16]							
		GRAF2[15:8]							
		GRAF2[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CDRF2	CDRF2[23:16]							
		CDRF2[15:8]							
		CDRF2[7:0]							
		–	–	–	–	–	–	–	–
	GRCF2	GRCF2[23:16]							
		GRCF2[15:8]							
		GRCF2[7:0]							
		–	–	–	–	–	–	–	–
	TCRF3	CKSELF3[2:0]			MDF3[2:0]			EGSELF3[1:0]	
	TIERF3	–	–	–	–	OVECF3	OVEBF3	OVEAF3	ICEF3
	TSRF3	–	–	–	–	OVFCF3	OVFBF3	OVFAF3	ICFF3
	ECNTAF3	ECNTAF3[23:16]							
		ECNTAF3[15:8]							
		ECNTAF3[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF3	ECNTBF3[15:8]							
		ECNTBF3[7:0]							
	GRBF3	GRBF3[15:8]							
		GRBF3[7:0]							
	ECNTCF3	ECNTCF3[23:16]							
		ECNTCF3[15:8]							
		ECNTCF3[7:0]							
		–	–	–	–	–	–	–	–
	GRAF3	GRAF3[23:16]							
		GRAF3[15:8]							
		GRAF3[7:0]							
		–	–	–	–	–	–	–	–
	CDRF3	CDRF3[23:16]							
		CDRF3[15:8]							
		CDRF3[7:0]							
		–	–	–	–	–	–	–	–
	GRCF3	GRCF3[23:16]							
		GRCF3[15:8]							
		GRCF3[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCRF4	CKSELF4[2:0]			MDF4[2:0]			EGSELF4[1:0]	
	TIERF4	–	–	–	–	OVECF4	OVEBF4	OVEAF4	ICEF4
	TSRF4	–	–	–	–	OVFCF4	OVFBF4	OVFAF4	ICFF4
	ECNTAF4	ECNTAF4[23:16]							
		ECNTAF4[15:8]							
		ECNTAF4[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF4	ECNTBF4[15:8]							
		ECNTBF4[7:0]							
	GRBF4	GRBF4[15:8]							
		GRBF4[7:0]							
	ECNTCF4	ECNTCF4[23:16]							
		ECNTCF4[15:8]							
		ECNTCF4[7:0]							
		–	–	–	–	–	–	–	–
	GRAF4	GRAF4[23:16]							
		GRAF4[15:8]							
		GRAF4[7:0]							
		–	–	–	–	–	–	–	–
	CDRF4	CDRF4[23:16]							
		CDRF4[15:8]							
		CDRF4[7:0]							
		–	–	–	–	–	–	–	–
	GRCF4	GRCF4[23:16]							
		GRCF4[15:8]							
		GRCF4[7:0]							
		–	–	–	–	–	–	–	–
	TCRF5	CKSELF5[2:0]			MDF5[2:0]			EGSELF5[1:0]	
	TIERF5	–	–	–	–	OVECF5	OVEBF5	OVEAF5	ICEF5
	TSRF5	–	–	–	–	OVFCF5	OVFBF5	OVFAF5	ICFF5
	ECNTAF5	ECNTAF5[23:16]							
		ECNTAF5[15:8]							
		ECNTAF5[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF5	ECNTBF5[15:8]							
		ECNTBF5[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRBF5	GRBF5[15:8]							
		GRBF5[7:0]							
	ECNTCF5	ECNTCF5[23:16]							
		ECNTCF5[15:8]							
		ECNTCF5[7:0]							
		–	–	–	–	–	–	–	–
	GRAF5	GRAF5[23:16]							
		GRAF5[15:8]							
		GRAF5[7:0]							
		–	–	–	–	–	–	–	–
	CDRF5	CDRF5[23:16]							
		CDRF5[15:8]							
		CDRF5[7:0]							
		–	–	–	–	–	–	–	–
	GRCF5	GRCF5[23:16]							
		GRCF5[15:8]							
		GRCF5[7:0]							
		–	–	–	–	–	–	–	–
	TCRF6	CKSELF6[2:0]			MDF6[2:0]			EGSELF6[1:0]	
	TIERF6	–	–	–	–	OVECF6	OVEBF6	OVEAF6	ICEF6
	TSRF6	–	–	–	–	OVFCF6	OVFBF6	OVFAF6	ICFF6
	ECNTAF6	ECNTAF6[23:16]							
		ECNTAF6[15:8]							
		ECNTAF6[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF6	ECNTBF6[15:8]							
		ECNTBF6[7:0]							
	GRBF6	GRBF6[15:8]							
		GRBF6[7:0]							
	ECNTCF6	ECNTCF6[23:16]							
		ECNTCF6[15:8]							
		ECNTCF6[7:0]							
		–	–	–	–	–	–	–	–
	GRAF6	GRAF6[23:16]							
		GRAF6[15:8]							
		GRAF6[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CDRF6	CDRF6[23:16]							
		CDRF6[15:8]							
		CDRF6[7:0]							
		–	–	–	–	–	–	–	–
	GRCF6	GRCF6[23:16]							
		GRCF6[15:8]							
		GRCF6[7:0]							
		–	–	–	–	–	–	–	–
	TCRF7	CKSELF7[2:0]			MDF7[2:0]			EGSELF7[1:0]	
	TIERF7	–	–	–	–	OVECF7	OVEBF7	OVEAF7	ICEF7
	TSRF7	–	–	–	–	OVFCF7	OVFBF7	OVFAF7	ICFF7
	ECNTAF7	ECNTAF7[23:16]							
		ECNTAF7[15:8]							
		ECNTAF7[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF7	ECNTBF7[15:8]							
		ECNTBF7[7:0]							
	GRBF7	GRBF7[15:8]							
		GRBF7[7:0]							
	ECNTCF7	ECNTCF7[23:16]							
		ECNTCF7[15:8]							
		ECNTCF7[7:0]							
		–	–	–	–	–	–	–	–
	GRAF7	GRAF7[23:16]							
		GRAF7[15:8]							
		GRAF7[7:0]							
		–	–	–	–	–	–	–	–
	CDRF7	CDRF7[23:16]							
		CDRF7[15:8]							
		CDRF7[7:0]							
		–	–	–	–	–	–	–	–
	GRCF7	GRCF7[23:16]							
		GRCF7[15:8]							
		GRCF7[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCRF8	CKSELF8[2:0]			MDF8[2:0]			EGSELF8[1:0]	
	TIERF8	–	–	–	–	OVECF8	OVEBF8	OVEAF8	ICEF8
	TSRF8	–	–	–	–	OVFCF8	OVFBF8	OVFAF8	ICFF8
	ECNTAF8	ECNTAF8[23:16]							
		ECNTAF8[15:8]							
		ECNTAF8[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF8	ECNTBF8[15:8]							
		ECNTBF8[7:0]							
	GRBF8	GRBF8[15:8]							
		GRBF8[7:0]							
	ECNTCF8	ECNTCF8[23:16]							
		ECNTCF8[15:8]							
		ECNTCF8[7:0]							
		–	–	–	–	–	–	–	–
	GRAF8	GRAF8[23:16]							
		GRAF8[15:8]							
		GRAF8[7:0]							
		–	–	–	–	–	–	–	–
	CDRF8	CDRF8[23:16]							
		CDRF8[15:8]							
		CDRF8[7:0]							
		–	–	–	–	–	–	–	–
	GRCF8	GRCF8[23:16]							
		GRCF8[15:8]							
		GRCF8[7:0]							
		–	–	–	–	–	–	–	–
	TCRF9	CKSELF9[2:0]			MDF9[2:0]			EGSELF9[1:0]	
	TIERF9	–	–	–	–	OVECF9	OVEBF9	OVEAF9	ICEF9
	TSRF9	–	–	–	–	OVFCF9	OVFBF9	OVFAF9	ICFF9
	ECNTAF9	ECNTAF9[23:16]							
		ECNTAF9[15:8]							
		ECNTAF9[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	ECNTBF9	ECNTBF9[15:8]							
		ECNTBF9[7:0]							
	GRBF9	GRBF9[15:8]							
		GRBF9[7:0]							
	ECNTCF9	ECNTCF9[23:16]							
		ECNTCF9[15:8]							
		ECNTCF9[7:0]							
		–	–	–	–	–	–	–	–
	GRAF9	GRAF9[23:16]							
		GRAF9[15:8]							
		GRAF9[7:0]							
		–	–	–	–	–	–	–	–
	CDRF9	CDRF9[23:16]							
		CDRF9[15:8]							
		CDRF9[7:0]							
		–	–	–	–	–	–	–	–
	GRCF9	GRCF9[23:16]							
		GRCF9[15:8]							
		GRCF9[7:0]							
		–	–	–	–	–	–	–	–
	TCRF10	CKSELF10[2:0]			MDF10[2:0]			EGSELF10[1:0]	
	TIERF10	–	–	–	–	OVECF10	OVEBF10	OVEAF10	ICEF10
	TSRF10	–	–	–	–	OVFCF10	OVFBF10	OVFAF10	ICFF10
	ECNTAF10	ECNTAF10[23:16]							
		ECNTAF10[15:8]							
		ECNTAF10[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF10	ECNTBF10[15:8]							
		ECNTBF10[7:0]							
	GRBF10	GRBF10[15:8]							
		GRBF10[7:0]							
	ECNTCF10	ECNTCF10[23:16]							
		ECNTCF10[15:8]							
		ECNTCF10[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRAF10	GRAF10[23:16]							
		GRAF10[15:8]							
		GRAF10[7:0]							
		–	–	–	–	–	–	–	–
	CDRF10	CDRF10[23:16]							
		CDRF10[15:8]							
		CDRF10[7:0]							
		–	–	–	–	–	–	–	–
	GRCF10	GRCF10[23:16]							
		GRCF10[15:8]							
		GRCF10[7:0]							
		–	–	–	–	–	–	–	–
	TCRF11	CKSELF11[2:0]			MDF11[2:0]			EGSELF11[1:0]	
	TIERF11	–	–	–	–	OVECF11	OVEBF11	OVEAF11	ICEF11
	TSRF11	–	–	–	–	OVFCF11	OVFBF11	OVFAF11	ICFF11
	ECNTAF11	ECNTAF11[23:16]							
		ECNTAF11[15:8]							
		ECNTAF11[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF11	ECNTBF11[15:8]							
		ECNTBF11[7:0]							
	GRBF11	GRBF11[15:8]							
		GRBF11[7:0]							
	ECNTCF11	ECNTCF11[23:16]							
		ECNTCF11[15:8]							
		ECNTCF11[7:0]							
		–	–	–	–	–	–	–	–
	GRAF11	GRAF11[23:16]							
		GRAF11[15:8]							
		GRAF11[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CDRF11	CDRF11[23:16]							
		CDRF11[15:8]							
		CDRF11[7:0]							
		–	–	–	–	–	–	–	–
	GRCF11	GRCF11[23:16]							
		GRCF11[15:8]							
		GRCF11[7:0]							
		–	–	–	–	–	–	–	–
	TCRF12	CKSELF12[2:0]			MDF12[2:0]			EGSELF12[1:0]	
	TIERF12	–	–	–	–	OVECF12	OVEBF12	OVEAF12	ICEF12
	TSRF12	–	–	–	–	OVFCF12	OVFBF12	OVFAF12	ICFF12
	ECNTAF12	ECNTAF12[23:16]							
		ECNTAF12[15:8]							
		ECNTAF12[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF12	ECNTBF12[15:8]							
		ECNTBF12[7:0]							
	GRBF12	GRBF12[15:8]							
		GRBF12[7:0]							
	ECNTCF12	ECNTCF12[23:16]							
		ECNTCF12[15:8]							
		ECNTCF12[7:0]							
		–	–	–	–	–	–	–	–
	GRAF12	GRAF12[23:16]							
		GRAF12[15:8]							
		GRAF12[7:0]							
		–	–	–	–	–	–	–	–
	CDRF12	CDRF12[23:16]							
		CDRF12[15:8]							
		CDRF12[7:0]							
		–	–	–	–	–	–	–	–
	GRCF12	GRCF12[23:16]							
		GRCF12[15:8]							
		GRCF12[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	GRDF12	GRDF12[23:16]							
		GRDF12[15:8]							
		GRDF12[7:0]							
		–	–	–	–	–	–	–	–
	TCRF13	CKSELF13[2:0]			MDF13[2:0]			EGSELF13[1:0]	
	TIERF13	–	–	–	–	OVECF13	OVEBF13	OVEAF13	ICEF13
	TSRF13	–	–	–	–	OVFCF13	OVFBF13	OVFAF13	ICFF13
	ECNTAF13	ECNTAF13[23:16]							
		ECNTAF13[15:8]							
		ECNTAF13[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF13	ECNTBF13[15:8]							
		ECNTBF13[7:0]							
	GRBF13	GRBF13[15:8]							
		GRBF13[7:0]							
	ECNTCF13	ECNTCF13[23:16]							
		ECNTCF13[15:8]							
		ECNTCF13[7:0]							
		–	–	–	–	–	–	–	–
	GRAF13	GRAF13[23:16]							
		GRAF13[15:8]							
		GRAF13[7:0]							
		–	–	–	–	–	–	–	–
	CDRF13	CDRF13[23:16]							
		CDRF13[15:8]							
		CDRF13[7:0]							
		–	–	–	–	–	–	–	–
	GRCF13	GRCF13[23:16]							
		GRCF13[15:8]							
		GRCF13[7:0]							
		–	–	–	–	–	–	–	–
	GRDF13	GRDF13[23:16]							
		GRDF13[15:8]							
		GRDF13[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCRF14	CKSELF14[2:0]			MDF14[2:0]			EGSELF14[1:0]	
	TIERF14	–	–	–	–	OVECF14	OVEBF14	OVEAF14	ICEF14
	TSRF14	–	–	–	–	OVFCF14	OVFBF14	OVFAF14	ICFF14
	ECNTAF14	ECNTAF14[23:16]							
		ECNTAF14[15:8]							
		ECNTAF14[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF14	ECNTBF14[15:8]							
		ECNTBF14[7:0]							
	GRBF14	GRBF14[15:8]							
		GRBF14[7:0]							
	ECNTCF14	ECNTCF14[23:16]							
		ECNTCF14[15:8]							
		ECNTCF14[7:0]							
		–	–	–	–	–	–	–	–
	GRAF14	GRAF14[23:16]							
		GRAF14[15:8]							
		GRAF14[7:0]							
		–	–	–	–	–	–	–	–
	CDRF14	CDRF14[23:16]							
		CDRF14[15:8]							
		CDRF14[7:0]							
		–	–	–	–	–	–	–	–
	GRCF14	GRCF14[23:16]							
		GRCF14[15:8]							
		GRCF14[7:0]							
		–	–	–	–	–	–	–	–
	GRDF14	GRDF14[23:16]							
		GRDF14[15:8]							
		GRDF14[7:0]							
		–	–	–	–	–	–	–	–
	TCRF15	CKSELF15[2:0]			MDF15[2:0]			EGSELF15[1:0]	
	TIERF15	–	–	–	–	OVECF15	OVEBF15	OVEAF15	ICEF15
	TSRF15	–	–	–	–	OVFCF15	OVFBF15	OVFAF15	ICFF15
	ECNTAF15	ECNTAF15[23:16]							
		ECNTAF15[15:8]							
		ECNTAF15[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	ECNTBF15	ECNTBF15[15:8]							
		ECNTBF15[7:0]							
	GRBF15	GRBF15[15:8]							
		GRBF15[7:0]							
	ECNTCF15	ECNTCF15[23:16]							
		ECNTCF15[15:8]							
		ECNTCF15[7:0]							
		–	–	–	–	–	–	–	–
	GRAF15	GRAF15[23:16]							
		GRAF15[15:8]							
		GRAF15[7:0]							
		–	–	–	–	–	–	–	–
	CDRF15	CDRF15[23:16]							
		CDRF15[15:8]							
		CDRF15[7:0]							
		–	–	–	–	–	–	–	–
	GRCF15	GRCF15[23:16]							
		GRCF15[15:8]							
		GRCF15[7:0]							
		–	–	–	–	–	–	–	–
	GRDF15	GRDF15[23:16]							
		GRDF15[15:8]							
		GRDF15[7:0]							
		–	–	–	–	–	–	–	–
	TCRF16	CKSELF16[2:0]			MDF16[2:0]			EGSELF16[1:0]	
	TIERF16	–	–	–	–	OVECF16	OVEBF16	OVEAF16	ICEF16
	TSRF16	–	–	–	–	OVFCF16	OVFBF16	OVFAF16	ICFF16
	ECNTAF16	ECNTAF16[23:16]							
		ECNTAF16[15:8]							
		ECNTAF16[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF16	ECNTBF16[15:8]							
		ECNTBF16[7:0]							
	GRBF16	GRBF16[15:8]							
		GRBF16[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	ECNTCF16	ECNTCF16[23:16]							
		ECNTCF16[15:8]							
		ECNTCF16[7:0]							
		–	–	–	–	–	–	–	–
	GRAF16	GRAF16[23:16]							
		GRAF16[15:8]							
		GRAF16[7:0]							
		–	–	–	–	–	–	–	–
	CDRF16	CDRF16[23:16]							
		CDRF16[15:8]							
		CDRF16[7:0]							
		–	–	–	–	–	–	–	–
	GRCF16	GRCF16[23:16]							
		GRCF16[15:8]							
		GRCF16[7:0]							
		–	–	–	–	–	–	–	–
	TCRF17	CKSELF17[2:0]			MDF17[2:0]			EGSELF17[1:0]	
	TIERF17	–	–	–	–	OVECF17	OVEBF17	OVEAF17	ICEF17
	TSRF17	–	–	–	–	OVFCF17	OVFBF17	OVFAF17	ICFF17
	ECNTAF17	ECNTAF17[23:16]							
		ECNTAF17[15:8]							
		ECNTAF17[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF17	ECNTBF17[15:8]							
		ECNTBF17[7:0]							
	GRBF17	GRBF17[15:8]							
		GRBF17[7:0]							
	ECNTCF17	ECNTCF17[23:16]							
		ECNTCF17[15:8]							
		ECNTCF17[7:0]							
		–	–	–	–	–	–	–	–
	GRAF17	GRAF17[23:16]							
		GRAF17[15:8]							
		GRAF17[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	CDRF17	CDRF17[23:16]							
		CDRF17[15:8]							
		CDRF17[7:0]							
		–	–	–	–	–	–	–	–
	GRCF17	GRCF17[23:16]							
		GRCF17[15:8]							
		GRCF17[7:0]							
		–	–	–	–	–	–	–	–
	TCRF18	CKSELF18[2:0]			MDF18[2:0]			EGSELF18[1:0]	
	TIERF18	–	–	–	–	OVECF18	OVEBF18	OVEAF18	ICEF18
	TSRF18	–	–	–	–	OVFCF18	OVFBF18	OVFAF18	ICFF18
	ECNTAF18	ECNTAF18[23:16]							
		ECNTAF18[15:8]							
		ECNTAF18[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF18	ECNTBF18[15:8]							
		ECNTBF18[7:0]							
	GRBF18	GRBF18[15:8]							
		GRBF18[7:0]							
	ECNTCF18	ECNTCF18[23:16]							
		ECNTCF18[15:8]							
		ECNTCF18[7:0]							
		–	–	–	–	–	–	–	–
	GRAF18	GRAF18[23:16]							
		GRAF18[15:8]							
		GRAF18[7:0]							
		–	–	–	–	–	–	–	–
	CDRF18	CDRF18[23:16]							
		CDRF18[15:8]							
		CDRF18[7:0]							
		–	–	–	–	–	–	–	–
	GRCF18	GRCF18[23:16]							
		GRCF18[15:8]							
		GRCF18[7:0]							
		–	–	–	–	–	–	–	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	TCRF19	CKSELF19[2:0]			MDF19[2:0]			EGSELF19[1:0]	
	TIERF19	–	–	–	–	OVECF19	OVEBF19	OVEAF19	ICEF19
	TSRF19	–	–	–	–	OVFCF9	OVFBF9	OVFAF9	ICFF9
	ECNTAF19	ECNTAF19[23:16]							
		ECNTAF19[15:8]							
		ECNTAF19[7:0]							
		–	–	–	–	–	–	–	–
	ECNTBF19	ECNTBF19[15:8]							
		ECNTBF19[7:0]							
	GRBF19	GRBF19[15:8]							
		GRBF19[7:0]							
	ECNTCF19	ECNTCF19[23:16]							
		ECNTCF19[15:8]							
		ECNTCF19[7:0]							
		–	–	–	–	–	–	–	–
	GRAF19	GRAF19[23:16]							
		GRAF19[15:8]							
		GRAF19[7:0]							
		–	–	–	–	–	–	–	–
	CDRF19	CDRF19[23:16]							
		CDRF19[15:8]							
		CDRF19[7:0]							
		–	–	–	–	–	–	–	–
	GRCF19	GRCF19[23:16]							
		GRCF19[15:8]							
		GRCF19[7:0]							
		–	–	–	–	–	–	–	–
	TSTRG	–	–	STRG5	STRG	STRG3	STRG2	STRG1	STRG0
	TCRG0	–	CKSELG0[2:0]			–	–	CMPOEG0	CMEG0
	TSRG0	–	–	–	–	–	–	OVFG0	CMFG0
	TCNTG0	TCNTG0[15:8]							
		TCNTG0[7:0]							
	OCRG0	OCRG0[15:8]							
		OCRG0[7:0]							
	TCRG1	–	CKSELG1[2:0]			–	–	CMPOEG1	CMEG1
	TSRG1	–	–	–	–	–	–	OVFG1	CMFG1
	TCNTG1	TCNTG1[15:8]							
		TCNTG1[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	OCRG1	OCRG1[15:8]							
		OCRG1[7:0]							
	TCRG2	–	CKSELG2[2:0]			–	–	CMPOEG2	CMEG2
	TSRG2	–	–	–	–	–	–	OVFG2	CMFG2
	TCNTG2	TCNTG2[15:8]							
		TCNTG2[7:0]							
	OCRG2	OCRG2[15:8]							
		OCRG2[7:0]							
	TCRG3	–	CKSELG3[2:0]			–	–	CMPOEG3	CMEG3
	TSRG3	–	–	–	–	–	–	OVFG3	CMFG3
	TCNTG3	TCNTG3[15:8]							
		TCNTG3[7:0]							
	OCRG3	OCRG3[15:8]							
		OCRG3[7:0]							
	TCRG4	–	CKSELG4[2:0]			–	–	CMPOEG4	CMEG4
	TSRG4	–	–	–	–	–	–	OVFG4	CMFG4
	TCNTG4	TCNTG4[15:8]							
		TCNTG4[7:0]							
	OCRG4	OCRG4[15:8]							
		OCRG4[7:0]							
	TCRG5	–	CKSELG5[2:0]			–	–	CMPOEG5	CMEG5
	TSRG5	–	–	–	–	–	–	OVFG5	CMFG5
	TCNTG5	TCNTG5[15:8]							
		TCNTG5[7:0]							
	OCRG5	OCRG5[15:8]							
		OCRG5[7:0]							
	TCRH	–	CKSELH0[2:0]			–	–	–	CMEH
	TSRH	–	–	–	–	–	OVF2H	OVF1H	CMFH
	TCNT1H	TCNT1H[15:8]							
		TCNT1H[7:0]							
	OCR1H	OCR1H[15:8]							
		OCR1H[7:0]							
	TCNT2H	TCNT2H[31:24]							
		TCNT2H[23:16]							
		TCNT2H[15:8]							
		TCNT2H[7:0]							
	TSTRJ	–	–	–	–	–	–	STRJ1	STRJ0
	TCRJ0	–	CKSELJ0[2:0]			–	NCEJ0	IOJ0[1:0]	

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ATU-III	FCRJ0	FIFOENJ0	–	FVCRENJ0	FRSTJ0	–	–	FDFTRGJ0[1:0]	
	TSRJ0	–	–	–	FVLDFJ0	CMFJ0	OVFJ0	FDOVFJ0	FDFFJ0
	TIERJ0	–	–	–	–	–	OVEJ0	FDOVEJ0	FDFEJ0
	FDNRJ0	–	–	–	–	FDNJ0[3:0]			
	NCNTJ0	NCCNTJ0[7:0]							
	NCRJ0	NCTJ0[7:0]							
	TCNTJ0	TCNTJ0[15:8]							
		TCNTJ0[7:0]							
	OCRJ0	OCRJ0[15:8]							
		OCRJ0[7:0]							
	FIFOJ0	FIFODJ0[15:8]							
		FIFODJ0[7:0]							
	TCRJ1	–	CKSELJ1[2:0]			–	NCEJ1	IOJ1[1:0]	
	FCRJ1	FIFOENJ1	–	FVCRENJ1	FRSTJ1	–	–	FDFTRGJ1[1:0]	
	TSRJ1	–	–	–	FVLDFJ1	CMFJ1	OVFJ1	FDOVFJ1	FDFFJ1
	TIERJ1	–	–	–	–	–	OVEJ1	FDOVEJ1	FDFEJ1
	FDNRJ1	–	–	–	–	FDNJ1[3:0]			
	NCNTJ1	NCCNTJ1[7:0]							
	NCRJ1	NCTJ1[7:0]							
	TCNTJ1	TCNTJ1[15:8]							
		TCNTJ1[7:0]							
	OCRJ1	OCRJ1[15:8]							
		OCRJ1[7:0]							
	FIFOJ1	FIFODJ1[15:8]							
		FIFODJ1[7:0]							
WDT	WTCR	TCRKEY[7:0]							
		–	WT/$\overline{\text{IT}}$	TME	–	–	CKS[2:0]		
	WTCNT	TCNTKEY[7:0]							
		TCNT[7:0]							
	WTSR	TSRKEY[7:0]							
		WOVF	–	–	–	IOVF	–	–	–
	WRCR	RCRKEY[7:0]							
		RSTE	–	–	–	–	–	–	–
CMT	CMSTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	STR1	STR0
	CMCR_0	–	CMIE	–	–	–	–	CKS[1:0]	
	CMSR_0	–	–	–	–	–	–	–	CMF

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
CMT	CMCNT_0								
	CMCOR_0								
	CMCR_1	–	CMIE	–	–	–	–	CKS[1:0]	
	CMSR_1	–	–	–	–	–	–	–	CMF
	CMCNT_1								
	CMCOR_1								
SCI	SCSMR1A	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	–	CKS[1:0]	
	SCBRR1A								
	SCSCR1A	TIE	RIE	TE	RE	–	TEIE	CKE1	–
	SCTDR1A								
	SCSSR1A	TDRE	RDRF	ORER	FER	PER	TEND	–	–
	SCRDR1A								
	SCSMR1B	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	–	CKS[1:0]	
	SCBRR1B								
	SCSCR1B	TIE	RIE	TE	RE	–	TEIE	CKE1	–
	SCTDR1B								
	SCSSR1B	TDRE	RDRF	ORER	FER	PER	TEND	–	–
	SCRDR1B								
	SCSMR1C	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	–	CKS[1:0]	
	SCBRR1C								
	SCSCR1C	TIE	RIE	TE	RE	–	TEIE	CKE1	–
	SCTDR1C								
	SCSSR1C	TDRE	RDRF	ORER	FER	PER	TEND	–	–
	SCRDR1C								
RSPI	SPCRA	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	–	–
	SSLPA	SSL7P	SSL6P	SSL5P	SSL4P	SSL3P	SSL2P	SSL1P	SSL0P
	SPPCRA	–	–	MOIFE	MOIFV	–	SPOM	–	SPLP
	SPSRA	SPRF	–	SPTEF	–	–	MODF	–	OVRF
	SPDRA	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCRA	–	–	–	–	–	SPSLN[2:0]		
	SPSSRA	–	SPECM[2:0]			–	SPCP[2:0]		

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RSPI	SPBRA	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPCKDA	–	–	–	–	–	SCKDL[2:0]		
	SSLNDA	–	–	–	–	–	SLNDL[2:0]		
	SPNDA	–	–	–	–	–	SPNDL[2:0]		
	SPCMDA0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDA1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDA2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDA3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDA4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDA5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDA6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDA7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCRB	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	–	–
	SSLPB	SSL7P	SSL6P	SSL5P	SSL4P	SSL3P	SSL2P	SSL1P	SSL0P
	SPPCRB	–	–	MOIFE	MOIFV	–	SPOM	–	SPLP
	SPSRB	SPRF	–	SPTEF	–	–	MODF	–	OVRF
	SPDRB	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCRB	–	–	–	–	–	SPSLN[2:0]		
	SPSSRB	–	SPECM[2:0]			–	SPCP[2:0]		
	SPBRB	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPCKDB	–	–	–	–	–	SCKDL[2:0]		
	SSLNDB	–	–	–	–	–	SLNDL[2:0]		
	SPNDB	–	–	–	–	–	SPNDL[2:0]		
	SPCMDB0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDB1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RSPI	SPCMDB2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDB3	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDB4	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDB5	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDB6	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
	SPCMDB7	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			
		SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
RCAN-TL1 (RCAN_A)	MCR	MCR15	MCR14	–	–	–	TST[2:0]		
		MCR7	MCR6	MCR5	–	–	MCR2	MCR1	MCR0
	GSR	–	–	–	–	–	–	–	–
		–	–	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
	BCR1	TSG1[3:0]				–	TSG2[2:0]		
		–	–	SJW[1:0]		–	–	–	BSP
	BCR0	–	–	–	–	–	–	–	–
		BRP[7:0]							
	IRR	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
	IMR	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
	TEC/REC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0
		REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
	TXPR1	TXPR1[15:8]							
		TXPR1[7:0]							
	TXPR0	TXPR0[15:8]							
		TXPR0[7:1]							–
	TXCR1	TXCR1[15:8]							
		TXCR1[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1 (RCAN_A)	TXCR0	TXCR0[15:8]							
		TXCR0[7:1]							–
	TXACK1	TXACK1[15:8]							
		TXACK1[7:0]							
	TXACK0	TXACK0[15:8]							
		TXACK0[7:1]							–
	ABACK1	ABACK1[15:8]							
		ABACK1[7:0]							
	ABACK0	ABACK0[15:8]							
		ABACK0[7:1]							–
	RXPR1	RXPR1[15:8]							
		RXPR1[7:0]							
	RXPR0	RXPR0[15:8]							
		RXPR0[7:0]							
	RFPR1	RFPR1[15:8]							
		RFPR1[7:0]							
	RFPR0	RFPR0[15:8]							
		RFPR0[7:0]							
	MBIMR1	MBIMR1[15:8]							
		MBIMR1[7:0]							
	MBIMR0	MBIMR0[15:8]							
		MBIMR0[7:0]							
	UMSR1	UMSR1[15:8]							
		UMSR1[7:0]							
	UMSR0	UMSR0[15:8]							
		UMSR0[7:0]							
	TTCR0	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	–	–
		–	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_TEW	–	–	–	–	–	CMAX[2:0]		
		–	–	–	–	TEW[3:0]			
	RFTROFF	RFTROFF[7:0]							
		–	–	–	–	–	–	–	–
	TSR	–	–	–	–	–	–	–	–
		–	–	–	TSR4	TSR3	TSR2	TSR1	TSR0
	CCR	–	–	–	–	–	–	–	–
		–	–	CCR[5:0]					

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1 (RCAN_A)	TCNTR	TCNTR[15:8]							
		TCNTR[7:0]							
	CYCTR	CYCTR[15:8]							
		CYCTR[7:0]							
	RFMK	RFMK[15:8]							
		RFMK[7:0]							
	TCMR0	TCMR0[15:8]							
		TCMR0[7:0]							
	TCMR1	TCMR1[15:8]							
		TCMR1[7:0]							
	TCMR2	TCMR2[15:8]							
		TCMR2[7:0]							
	TTTSEL	–	TTTSEL[14:8]						
		–	–	–	–	–	–	–	–
	MB[0]. CONTROL0_H	IDE	RTR	–	STDID[10:6]				
		STDID[5:0]						EXTID[17:16]	
	MB[0]. CONTROL0_L	EXTID[15:8]							
		EXTID[7:0]							
	MB[0]. LAFM0	IDE_LAFM	–	–	STDID_LAFM[10:6]				
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
	MB[0]. LAFM1	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[0]. DATA_01	MSG_DATA_0							
		MSG_DATA_1							
	MB[0]. DATA_23	MSG_DATA_2							
		MSG_DATA_3							
	MB[0]. DATA_45	MSG_DATA_4							
		MSG_DATA_5							
	MB[0]. DATA_67	MSG_DATA_6							
		MSG_DATA_7							
	MB[0]. CONTROL1	–	–	NMC	–	–	MBC[2:0]		
		–	–	–	–	DLC[3:0]			
	MB[0]. TIMESTAMP	TimeStamp[15:8]							
		TimeStamp[7:0]							
	MB[1]. CONTROL0_H	IDE	RTR	–	STDID[10:6]				
		STDID[5:0]						EXTID[17:16]	
	MB[1]. CONTROL0_L	EXTID[15:8]							
		EXTID[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1 (RCAN_A)	MB[1]. LAFM0	IDE_LAFM	–	–	STDID_LAFM[10:6]				
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
	MB[1]. LAFM1	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[1]. DATA_01	MSG_DATA_0							
		MSG_DATA_1							
	MB[1]. DATA_23	MSG_DATA_2							
		MSG_DATA_3							
	MB[1]. DATA_45	MSG_DATA_4							
		MSG_DATA_5							
	MB[1]. DATA_67	MSG_DATA_6							
		MSG_DATA_7							
	MB[1]. CONTROL1	–	–	NMC	ATX	DART	MBC[2:0]		
		–	–	–	–	DLC[3:0]			
	MB[1]. TIMESTAMP	TimeStamp[15:8]							
		TimeStamp[7:0]							
	MB[2]	MB[1]と同じビット構成							
	:	:							
	MB[15]	MB[1]と同じビット構成							
	MB[16]. CONTROL0_H	IDE	RTR	–	STDID[10:6]				
		STDID[5:0]						EXTID[17:16]	
	MB[16]. CONTROL0_L	EXTID[15:8]							
		EXTID[7:0]							
	MB[16]. LAFM0	IDE_LAFM	–	–	STDID_LAFM[10:6]				
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
	MB[16]. LAFM1	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[16]. DATA_01	MSG_DATA_0							
		MSG_DATA_1							
	MB[16]. DATA_23	MSG_DATA_2							
		MSG_DATA_3							
	MB[16]. DATA_45	MSG_DATA_4							
		MSG_DATA_5							
	MB[16]. DATA_67	MSG_DATA_6							
		MSG_DATA_7							
	MB[16]. CONTROL1	–	–	NMC	ATX	DART	MBC[2:0]		
		–	–	–	–	DLC[3:0]			

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1	MB[17]	MB[16]と同じビット構成							
（RCAN_A）	:	:							
	MB[23]	MB[16]と同じビット構成							
	MB[24].	IDE	RTR	–	STDID[10:6]				
	CONTROL0_H	STDID[5:0]						EXTID[17:16]	
	MB[24].	EXTID[15:8]							
	CONTROL0_L	EXTID[7:0]							
	MB[24].	IDE_LAFM	–	–	STDID_LAFM[10:6]				
	LAFM0	STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
	MB[24].	EXTID_LAFM[15:8]							
	LAFM1	EXTID_LAFM[7:0]							
	MB[24].	MSG_DATA_0							
	DATA_01	MSG_DATA_1							
	MB[24].	MSG_DATA_2							
	DATA_23	MSG_DATA_3							
	MB[24].	MSG_DATA_4							
	DATA_45	MSG_DATA_5							
	MB[24].	MSG_DATA_6							
	DATA_67	MSG_DATA_7							
	MB[24].	–	–	NMC	ATX	DART	MBC[2:0]		
	CONTROL1	–	–	–	–	DLC[3:0]			
	MB[24].	TTT							
	TTT	TTT							
	MB[24].	TTW[1:0]		Offset					
	TTCONTROL	–	–	–	–	–	Rep_Factor		
	MB[25]	MB[24]と同じビット構成							
	:	:							
	MB[29]	MB[24]と同じビット構成							
	MB[30].	IDE	RTR	–	STDID[10:6]				
	CONTROL0_H	STDID[5:0]						EXTID[17:16]	
	MB[30].	EXTID[15:8]							
	CONTROL0_L	EXTID[7:0]							
	MB[30].	IDE_LAFM	–	–	STDID_LAFM[10:6]				
	LAFM0	STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
	MB[30].	EXTID_LAFM[15:8]							
	LAFM1	EXTID_LAFM[7:0]							
	MB[30].	MSG_DATA_0							
	DATA_01	MSG_DATA_1							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1 (RCAN_A)	MB[30]. DATA_23	MSG_DATA_2							
		MSG_DATA_3							
	MB[30]. DATA_45	MSG_DATA_4							
		MSG_DATA_5							
	MB[30]. DATA_67	MSG_DATA_6							
		MSG_DATA_7							
	MB[30]. CONTROL1	–	–	NMC	ATX	DART	MBC[2:0]		
		–	–	–	–	DLC[3:0]			
	MB[30]. TIMESTAMP	TimeStamp[15:8]							
		TimeStamp[7:0]							
	MB[30]. TTT	TTT							
		TTT							
	MB[31]. CONTROL0_H	IDE	RTR	–	STDID[10:6]				
		STDID[5:0]						EXTID[17:16]	
	MB[31]. CONTROL0_L	EXTID[15:8]							
		EXTID[7:0]							
	MB[31]. LAFM0	IDE_LAFM	–	–	STDID_LAFM[10:6]				
		STDID_LAFM[5:0]						EXTID_LAFM[17:16]	
	MB[31]. LAFM1	EXTID_LAFM[15:8]							
		EXTID_LAFM[7:0]							
	MB[31]. DATA_01	MSG_DATA_0							
		MSG_DATA_1							
	MB[31]. DATA_23	MSG_DATA_2							
		MSG_DATA_3							
	MB[31]. DATA_45	MSG_DATA_4							
		MSG_DATA_5							
	MB[31]. DATA_67	MSG_DATA_6							
		MSG_DATA_7							
	MB[31]. CONTROL1	–	–	NMC	ATX	DART	MBC[2:0]		
		–	–	–	–	DLC[3:0]			
	MB[31]. TIMESTAMP	TimeStamp[15:8]							
		TimeStamp[7:0]							
	MBESR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MBEF
	MBECR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MBIM

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1 (RCAN_B)	MCR	MCR15	MCR14	–	–	–	TST[2:0]		
		MCR7	MCR6	MCR5	–	–	MCR2	MCR1	MCR0
	GSR	–	–	–	–	–	–	–	–
		–	–	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
	BCR1	TSG1[3:0]				–	TSG2[2:0]		
		–	–	SJW[1:0]		–	–	–	BSP
	BCR0	–	–	–	–	–	–	–	–
		BRP[7:0]							
	IRR	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8
		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
	IMR	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8
		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
	TEC/REC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0
		REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
	TXPR1	TXPR1[15:8]							
		TXPR1[7:0]							
	TXPR0	TXPR0[15:8]							
		TXPR0[7:1]							–
	TXCR1	TXCR1[15:8]							
		TXCR1[7:0]							
	TXCR0	TXCR0[15:8]							
		TXCR0[7:1]							–
	TXACK1	TXACK1[15:8]							
		TXACK1[7:0]							
	TXACK0	TXACK0[15:8]							
		TXACK0[7:1]							–
	ABACK1	ABACK1[15:8]							
		ABACK1[7:0]							
	ABACK0	ABACK0[15:8]							
		ABACK0[7:1]							–
	RXPR1	RXPR1[15:8]							
		RXPR1[7:0]							
	RXPR0	RXPR0[15:8]							
		RXPR0[7:0]							
	RFPR1	RFPR1[15:8]							
		RFPR1[7:0]							
	RFPR0	RFPR0[15:8]							
		RFPR0[7:0]							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1 (RCAN_B)	MBIMR1	MBIMR1[15:8]							
		MBIMR1[7:0]							
	MBIMR0	MBIMR0[15:8]							
		MBIMR0[7:0]							
	UMSR1	UMSR1[15:8]							
		UMSR1[7:0]							
	UMSR0	UMSR0[15:8]							
		UMSR0[7:0]							
	TTCR0	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	–	–
		–	TCR6	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0
	CMAX_TEW	–	–	–	–	–	CMAX[2:0]		
		–	–	–	–	TEW[3:0]			
	RFTROFF	RFTROFF[7:0]							
		–	–	–	–	–	–	–	–
	TSR	–	–	–	–	–	–	–	–
		–	–	–	TSR4	TSR3	TSR2	TSR1	TSR0
	CCR	–	–	–	–	–	–	–	–
		–	–	CCR[5:0]					
	TCNTR	TCNTR[15:8]							
		TCNTR[7:0]							
	CYCTR	CYCTR[15:8]							
		CYCTR[7:0]							
	RFMK	RFMK[15:8]							
		RFMK[7:0]							
	TCMR0	TCMR0[15:8]							
		TCMR0[7:0]							
	TCMR1	TCMR1[15:8]							
		TCMR1[7:0]							
	TCMR2	TCMR2[15:8]							
		TCMR2[7:0]							
	TTTSEL	–	TTTSEL[14:8]						
		–	–	–	–	–	–	–	–
	MB[0]	RCAN_A の MB[0]と同じビット構成							
	MB[1]	RCAN_A の MB[1]と同じビット構成							
	MB[2]	RCAN_A の MB[2]と同じビット構成							
	:	:							
	MB[29]	RCAN_A の MB[29]と同じビット構成							
	MB[30]	RCAN_A の MB[30]と同じビット構成							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
RCAN-TL1	MB[31]	RCAN_A の MB[31]と同じビット構成							
（RCAN_B）	MBESR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MBEF
	MBECR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MBIM
ADC	ADRD0								
（ADC_A）									
	ADR0								
	ADR1								
	ADR2								
	ADR3								
	ADR4								
	ADR5								
	ADR6								
	ADR7								
	ADR8								
	ADR9								
	ADR10								
	ADR11								
	ADR12								
	ADR13								
	ADR14								

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ADC（ADC_A）	ADR15								
	ADR16								
	ADR17								
	ADR18								
	ADR19								
	ADR20								
	ADR21								
	ADR22								
ADC（ADC_B）	ADRD1								
	ADR40								
	ADR41								
	ADR42								
	ADR43								
	ADR44								
	ADR45								
	ADR46								
	ADR47								
	ADR48								

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ADC (ADC_A)	ADCSR0	ADST	ADCS	–	ADIE	–	–	TRGE	EXTRG
ADC (ADC_B)	ADCSR1	ADST	ADCS	–	ADIE	–	–	TRGE	EXTRG
ADC (ADC_A)	ADREF0	ADSCACT	ADITACT	–	–	–	–	–	ADF
ADC (ADC_B)	ADREF1	ADSCACT	ADITACT	–	–	–	–	–	ADF
ADC (ADC_A)	ADTRE0	ADTRGE15	ADTRGE14	ADTRGE13	ADTRGE12	ADTRGE11	ADTRGE10	ADTRGE9	ADTRGE8
		ADTRGE7	ADTRGE6	ADTRGE5	ADTRGE4	ADTRGE3	ADTRGE2	ADTRGE1	ADTRGE0
ADC (ADC_B)	ADTRE1	ADTRGE47	ADTRGE46	ADTRGE45	ADTRGE44	ADTRGE43	ADTRGE42	ADTRGE41	ADTRGE40
ADC (ADC_A)	ADTRF0	ADTF15	ADTF14	ADTF13	ADTF12	ADTF11	ADTF10	ADTF9	ADTF8
		ADTF7	ADTF6	ADTF5	ADTF4	ADTF3	ADTF2	ADTF1	ADTF0
ADC (ADC_B)	ADTRF1	ADTF47	ADTF46	ADTF45	ADTF44	ADTF43	ADTF42	ADTF41	ADTF40
ADC (ADC_A)	ADTRS0	ADTRS15	ADTRS14	ADTRS13	ADTRS12	ADTRS11	ADTRS10	ADTRS9	ADTRS8
		ADTRS7	ADTRS6	ADTRS5	ADTRS4	ADTRS3	ADTRS2	ADTRS1	ADTRS0
ADC (ADC_B)	ADTRS1	ADTRS47	ADTRS46	ADTRS45	ADTRS44	ADTRS43	ADTRS42	ADTRS41	ADTRS40
ADC (ADC_A)	ADSTRG0	ADSTRG15	ADSTRG14	ADSTRG13	ADSTRG12	ADSTRG11	ADSTRG10	ADSTRG9	ADSTRG8
		ADSTRG7	ADSTRG6	ADSTRG5	ADSTRG4	ADSTRG3	ADSTRG2	ADSTRG1	ADSTRG0
ADC (ADC_B)	ADSTRG1	ADSTRG47	ADSTRG46	ADSTRG45	ADSTRG44	ADSTRG43	ADSTRG42	ADSTRG41	ADSTRG40
ADC (ADC_A)	ADTRD0	ADIDE15	ADIDE14	ADIDE13	ADIDE12	ADIDE11	ADIDE10	ADIDE9	ADIDE8
		ADIDE7	ADIDE6	ADIDE5	ADIDE4	ADIDE3	ADIDE2	ADIDE1	ADIDE0
ADC (ADC_B)	ADTRD1	ADIDE47	ADIDE46	ADIDE45	ADIDE44	ADIDE43	ADIDE42	ADIDE41	ADIDE40
ADC (ADC_A)	ADADS0	ADS7	ADS6	ADS5	ADS4	ADS3	ADS2	ADS1	ADS0
ADC (ADC_B)	ADADS1	ADS47	ADS46	ADS45	ADS44	ADS43	ADS42	ADS41	ADS40
ADC (ADC_A)	ADADC0	–	–	–	–	–	–	ADC[1:0]	
ADC (ADC_B)	ADADC1	–	–	–	–	–	–	ADC[1:0]	
ADC (ADC_A)	ADANS0	ANS15	ANS14	ANS13	ANS12	ANS11	ANS10	ANS9	ANS8
		ANS7	ANS6	ANS5	ANS4	ANS3	ANS2	ANS1	ANS0
	ADANS1	–	–	–	–	–	–	–	–
		–	ANS22	ANS21	ANS20	ANS19	ANS18	ANS17	ANS16
ADC (ADC_B)	ADANS3	–	–	–	–	–	–	–	ANS48
		ANS47	ANS46	ANS45	ANS44	ANS43	ANS42	ANS41	ANS40
ADC (ADC_A)	ADCER0	ADRFMT	–	–	–	DIAGM	DIAGLD	DIAGVAL[1:0]	
		CKS	–	–	–	–	–	–	ITTRGS

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ADC（ADC_B）	ADCER1	ADRFMT	–	–	–	DIAGM	DIAGLD	DIAGVAL[1:0]	
		CKS	–	–	–	–	–	–	–
JTAG	SDIR								
	SDID								
	SDBPR								
	SDBSR								
PFC	PAIOR	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR
		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR
	PACR4	–	–	–	PA15MD	–	–	–	PA14MD
		–	–	–	PA13MD	–	–	–	PA12MD
	PACR3	–	–	–	PA11MD	–	–	–	PA10MD
		–	–	–	PA9MD	–	–	–	PA8MD
	PACR2	–	–	–	PA7MD	–	–	–	PA6MD
		–	–	–	PA5MD	–	–	–	PA4MD
	PACR1	–	–	–	PA3MD	–	–	–	PA2MD
		–	–	–	PA1MD	–	–	–	PA0MD
	PACR4A	–	–	–	PA15AMD	–	–	–	PA14AMD
		–	–	–	PA13AMD	–	–	–	PA12AMD
	PACR3A	–	–	–	PA11AMD	–	–	–	PA10AMD
		–	–	–	PA9AMD	–	–	–	PA8AMD
	PACR2A	–	–	–	PA7AMD	–	–	–	PA6AMD
		–	–	–	PA5AMD	–	–	–	PA4AMD
	PACR1A	–	–	–	PA3AMD	–	–	–	PA2AMD
		–	–	–	PA1AMD	–	–	–	PA0AMD
	PBIOR	-	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR
		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR
	PBCR4	–	–	–	–	–	PB14MD[2:0]		
		–	–	PB13MD[1:0]		–	–	PB12MD[1:0]	
	PBCR3	–	–	PB11MD[1:0]		–	–	–	PB10MD
		–	–	–	–	–	–	PB8MD[1:0]	

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
PFC	PBCR2	–	–	–	PB7MD	–	–	–	PB6MD
		–	PB5MD[2:0]			–	PB4MD[2:0]		
	PBCR1	–	–	PB3MD[1:0]		–	–	PB2MD[1:0]	
		–	–	PB1MD[1:0]		–	–	PB0MD[1:0]	
	PBCR3A	–	–	–	–	–	–	–	PB10AMD
		–	–	–	PB9AMD	–	–	–	–
	PBCR2A	–	–	–	PB7AMD	–	–	–	PB6AMD
		–	–	–	PB5AMD	–	–	–	PB4AMD
	PCIOR	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR
	PCCR4	–	–	–	PC15MD	–	–	–	PC14MD
		–	–	–	PC13MD	–	–	–	PC12MD
	PCCR3	–	–	–	PC11MD	–	–	–	PC10MD
		–	–	–	PC9MD	–	–	–	PC8MD
	PCCR2	–	–	–	PC7MD	–	–	–	PC6MD
		–	–	–	PC5MD	–	–	–	PC4MD
	PCCR1	–	–	–	PC3MD	–	–	–	PC2MD
		–	–	–	PC1MD	–	–	–	PC0MD
	PCCR4A	–	–	–	PC15AMD	–	–	–	PC14AMD
		–	–	–	PC13AMD	–	–	–	PC12AMD
	PCCR3A	–	–	–	PC11AMD	–	–	–	PC10AMD
		–	–	–	PC9AMD	–	–	–	PC8AMD
	PCCR2A	–	–	–	PC7AMD	–	–	–	PC6AMD
		–	–	–	PC5AMD	–	–	–	PC4AMD
	PCCR1A	–	–	–	PC3AMD	–	–	–	PC2AMD
		–	–	–	PC1AMD	–	–	–	PC0AMD
	PFIOR	PF15IOR	PF14IOR	PF13IOR	PF12IOR	PF11IOR	PF10IOR	PF9IOR	PF8IOR
		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR
	PFCR2	PF15MD[1:0]		PF14MD[1:0]		PF13MD[1:0]		PF12MD[1:0]	
		PF11MD[1:0]		PF10MD[1:0]		PF9MD[1:0]		PF8MD[1:0]	
	PFCR1	PF7MD[1:0]		PF6MD[1:0]		PF5MD[1:0]		PF4MD[1:0]	
		PF3MD[1:0]		PF2MD[1:0]		PF1MD[1:0]		PF0MD[1:0]	
	PFCR4A	–	–	–	PF15AMD	–	–	–	PF14AMD
		–	–	–	PF13AMD	–	–	–	PF12AMD

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
PFC	PFCR3A	—	—	—	PF11AMD	—	—	—	PF10AMD
		—	—	—	PF9AMD	—	—	—	PF8AMD
	PFCR2A	—	—	—	PF7AMD	—	—	—	PF6AMD
		—	—	—	PF5AMD	—	—	—	PF4AMD
	PFCR1A	—	—	—	PF3AMD	—	—	—	PF2AMD
		—	—	—	PF1AMD	—	—	—	PF0AMD
	PGIOR	PG15IOR	PG14IOR	PG13IOR	PG12IOR	PG11IOR	PG10IOR	PG9IOR	PG8IOR
		PG7IOR	PG6IOR	PG5IOR	PG4IOR	PG3IOR	PG2IOR	PG1IOR	PG0IOR
	PGCR2	PG15MD[1:0]		PG14MD[1:0]		PG13MD[1:0]		PG12MD[1:0]	
		PG11MD[1:0]		PG10MD[1:0]		PG9MD[1:0]		PG8MD[1:0]	
	PGCR1	PG7MD[1:0]		PG6MD[1:0]		PG5MD[1:0]		PG4MD[1:0]	
		PG3MD[1:0]		PG2MD[1:0]		PG1MD[1:0]		PG0MD[1:0]	
	PGCR4A	—	—	—	PG15AMD	—	—	—	PG14AMD
		—	—	—	PG13AMD	—	—	—	PG12AMD
	PGCR3A	—	—	—	PG11AMD	—	—	—	PG10AMD
		—	—	—	PG9AMD	—	—	—	PG8AMD
	PGCR2A	—	—	—	–	—	—	—	–
		—	—	—	PG5AMD	—	—	—	PG4AMD
	PGCR1A	—	—	—	PG3AMD	—	—	—	PG2AMD
		—	—	—	PG1AMD	—	—	—	PG0AMD
	PJIOR	—	—	—	–	—	—	PJ9IOR	PJ8IOR
		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR
	PJCR2	—	—	—	—	—	—	—	—
		—	—	—	—	—	PJ9MD	—	PJ8MD
	PJCR1	PJ7MD[1:0]		—	PJ6MD	—	PJ5MD	PJ4MD[1:0]	
		PJ3MD[1:0]		PJ2MD[1:0]		PJ1MD[1:0]		PJ0MD[1:0]	
	PJCR3A	—	—	—	—	—	—	—	—
		—	—	—	PJ9AMD	—	—	—	PJ8AMD
	PJCR2A	—	—	—	PJ7AMD	—	—	—	PJ6AMD
		—	—	—	PJ5AMD	—	—	—	PJ4AMD
	PJCR1A	—	—	—	PJ3AMD	—	—	—	PJ2AMD
		—	—	—	–	—	—	—	–

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
PFC	PSCR4	—	PS15MD2	—	PS15MD0	—	PS14MD2	—	PS14MD0
		—	PS13MD2	—	PS13MD0	—	PS12MD2	—	PS12MD0
	PSCR3	—	PS11MD2	—	PS11MD0	—	PS10MD2	—	PS10MD0
		—	PS9MD2	—	PS9MD0	—	PS8MD2	—	PS8MD0
	PSCR2	—	PS7MD2	—	PS7MD0	—	PS6MD2	—	PS6MD0
		—	PS5MD2	—	PS5MD0	—	PS4MD2	—	PS4MD0
	PSCR1	—	PS3MD2	—	PS3MD0	—	PS2MD2	—	PS2MD0
		—	PS1MD2	—	PS1MD0	—	PS0MD2	—	PS0MD0
	PTCR2	—	—	—	—	—	PT6MD2	—	PT6MD0
		—	PT5MD2	—	PT5MD0	—	PT4MD2	—	PT4MD0
	PTCR1	—	PT3MD2	—	PT3MD0	—	PT2MD2	—	PT2MD0
		—	PT1MD2	—	PT1MD0	—	PT0MD2	—	PT0MD0
I/O ポート	PADR	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR
		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
	PAPR	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR
		PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR
	PAIR	PA15IR	PA14IR	PA13IR	PA12IR	PA11IR	PA10IR	PA9IR	PA8IR
		PA7IR	PA6IR	PA5IR	PA4IR	PA3IR	PA2IR	PA1IR	PA0IR
	PBDR	—	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR
		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
	PBPR	—	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR
		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR
	PBIR	—	PB14IR	PB13IR	PB12IR	PB11IR	PB10IR	PB9IR	PB8IR
		PB7IR	PB6IR	PB5IR	PB4IR	PB3IR	PB2IR	PB1IR	PB0IR
	PBDSR	—	—	PB13DSR	PB12DSR	—	—	—	—
		—	PB6DSR	PB5DSR	PB4DSR	PB3DSR	PB2DSR	PB1DSR	PB0DSR
	PBPSR	—	—	—	—	—	—	—	—
		—	—	—	—	PB3PSR	—	PB1PSR	—
	PCDR	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
	PCPR	PC15PR	PC14PR	PC13PR	PC12PR	PC11PR	PC10PR	PC9PR	PC8PR
		PC7PR	PC6PR	PC5PR	PC4PR	PC3PR	PC2PR	PC1PR	PC0PR
	PCIR	PC15IR	PC14IR	PC13IR	PC12IR	PC11IR	PC10IR	PC9IR	PC8IR
		PC7IR	PC6IR	PC5IR	PC4IR	PC3IR	PC2IR	PC1IR	PC0IR

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
I/O ポート	PCDSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	PC0DSR
	PFDR	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR
		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR
	PFPR	PF15PR	PF14PR	PF13PR	PF12PR	PF11PR	PF10PR	PF9PR	PF8PR
		PF7PR	PF6PR	PF5PR	PF4PR	PF3PR	PF2PR	PF1PR	PF0PR
	PFIR	PF15IR	PF14IR	PF13IR	PF12IR	PF11IR	PF10IR	PF9IR	PF8IR
		PF7IR	PF6IR	PF5IR	PF4IR	PF3IR	PF2IR	PF1IR	PF0IR
	PFDSR	PF15DSR	PF14DSR	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
	PFPSR	PF15PSR	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
	PGDR	PG15DR	PG14DR	PG13DR	PG12DR	PG11DR	PG10DR	PG9DR	PG8DR
		PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR
	PGPR	PG15PR	PG14PR	PG13PR	PG12PR	PG11PR	PG10PR	PG9PR	PG8PR
		PG7PR	PG6PR	PG5PR	PG4PR	PG3PR	PG2PR	PG1PR	PG0PR
	PGIR	PG15IR	PG14IR	PG13IR	PG12IR	PG11IR	PG10IR	PG9IR	PG8IR
		PG7IR	PG6IR	PG5IR	PG4IR	PG3IR	PG2IR	PG1IR	PG0IR
	PGDSR	PG15DSR	PG14DSR	PG13DSR	PG12DSR	PG11DSR	PG10DSR	PG9DSR	PG8DSR
		PG7DSR	PG6DSR	PG5DSR	PG4DSR	PG3DSR	PG2DSR	PG1DSR	PG0DSR
	PGER	—	—	—	—	—	—	PGHES[1:0]	
		—	—	—	—	—	—	PGLES[1:0]	
	PGPSR	—	—	—	—	—	—	PG9PSR	—
		—	—	—	—	—	—	—	—
	PJDR	—	—	—	—	—	—	PJ9DR	PJ8DR
		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR
	PJPR	—	—	—	—	—	—	PJ9PR	PJ8PR
		PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR
	PJIR	—	—	—	—	—	—	—	PJ8IR
		PJ7IR	—	PJ5IR	PJ4IR	—	PJ2IR	—	PJ0IR
	PJDSR	—	—	—	—	—	—	—	PJ8DSR
		PJ7DSR	—	PJ5DSR	PJ4DSR	—	PJ2DSR	—	PJ0DSR
	PJPSR	—	—	—	—	—	—	PJ9PSR	—
		—	PJ6PSR	—	—	PJ3PSR	—	PJ1PSR	—

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
I/O ポート	PSPR	PS15PR	PS14PR	PS13PR	PS12PR	PS11PR	PS10PR	PS9PR	PS8PR
		PS7PR	PS6PR	PS5PR	PS4PR	PS3PR	PS2PR	PS1PR	PS0PR
	PTPR	–	–	–	–	–	–	–	–
		–	PT6PR	PT5PR	PT4PR	PT3PR	PT2PR	PT1PR	PT0PR
	CKCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CKOE
MISG	MISRCDR	MISRCD[31:24]							
		MISRCD[23:16]							
		MISRCD[15:8]							
		MISRCD[7:0]							
	MISRCR	–	–	–	–	–	–	–	MISREN
	MISR	MISR[31:24]							
		MISR[23:16]							
		MISR[15:8]							
		MISR[7:0]							
ROM/ EEPROM	FPMON	MDA	–	–	–	–	–	–	–
	FMODR	–	–	–	FRDMD	–	–	–	–
	FASTAT	ROMAE	–	–	CMDLK	EEPAE	EEPIFE	EEPRPE	EEPWPE
	FAEINT	ROMAEIE	–	–	CMDLKIE	EEPAEIE	EEPIFEIE	EEPRPEIE	EEPWPEIE
	ROMMAT	KEY							
		–	–	–	–	–	–	–	ROMSEL
	FCURAME	KEY							
		–	–	–	–	–	–	–	FCRME
	FSTATR0	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	–	ERSSPD	PRGSPD
	FSTATR1	FCUERR	–	–	FLOCKST	–	–	FRDTCT	FRCRCT
	FENTRYR	FEKEY							
		FENTRYD	–	–	–	–	–	FENTRY1	FENTRY0
	FPROTR	FPKEY							
		–	–	–	–	–	–	–	FPROTCN
	FRESETR	FRKEY							
		–	–	–	–	–	–	–	FRESET
	FCMDR	CMDR							
		PCMDR							

モジュール名	レジスタ名	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
ROM/ EEPROM	FRAMECCR	–	–	–	–	–	–	FRDCLE	FRCCLE
	FCPSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ESUSPMD
	EEPBCCNT	–	–	–	BCADR				
		BCADR					–	–	BCSIZE
	FPESTAT	–	–	–	–	–	–	–	–
		PEERRST							
	EEPBCSTAT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BCST
	EEPRE0	KEY							
		–	–	–	–	DBRE03	DBRE02	DBRE01	DBRE00
	EEPWE0	KEY							
		–	–	–	–	DBWE03	DBWE02	DBWE01	DBWE00
	EEPMAT	KEY							
		–	–	–	–	–	–	–	EEPSEL
	FCUAREA	KEY							
		–	–	–	–	–	–	–	FCUSEL
ROMC	RCCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	RCF	RCFI	RCFD	RCE
	RCCR2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		PFECB	PFENB	PFECF	PFE	–	PCE2	–	PCE0
RAM	RAMEN	RN0KEY[7:0]							
		–	–	RAME5	RAME4	RAME3	RAME2	RAME1	RAME0
	RAMWEN	RWN0KEY[7:0]							
		–	–	RAMWE5	RAMWE4	RAMWE3	RAMWE2	RAMWE1	RAMWE0
	RAMECC	REKEY[7:0]							
		–	–	–	–	–	–	–	RECCA
	RAMERR	–	–	–	RPARI0	–	–	RDTCT	RCRCT
	RAMINT	–	–	–	RPEIE0	–	–	REDIE0	RECIE0
	RAMACYC	RAKEY[7:0]							
		–	–	WRCYC[1:0]		–	–	–	RDCYC
低消費電力モード	STBCR	STBCRKEY							
		–	–	–	MSTP4	MSTP3	–	MSTP1	MSTP0

29.3 各動作モードにおけるレジスタの状態の一覧

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
INTC	ICR0	初期化	初期化	保持
	ICR1	初期化	初期化	保持
	IRQRR	初期化	初期化	保持
	IBCR	初期化	初期化	保持
	IBNR	初期化	初期化	保持
	SINTR1	初期化	初期化	保持
	SINTR2	初期化	初期化	保持
	SINTR3	初期化	初期化	保持
	SINTR4	初期化	初期化	保持
	SINTR5	初期化	初期化	保持
	SINTR6	初期化	初期化	保持
	SINTR7	初期化	初期化	保持
	SINTR8	初期化	初期化	保持
	IPR01	初期化	初期化	保持
	IPR02	初期化	初期化	保持
	SINTR9	初期化	初期化	保持
	SINTR10	初期化	初期化	保持
	SINTR11	初期化	初期化	保持
	SINTR12	初期化	初期化	保持
	SINTR13	初期化	初期化	保持
	SINTR14	初期化	初期化	保持
	SINTR15	初期化	初期化	保持
	IPR03	初期化	初期化	保持
	IPR04	初期化	初期化	保持
	IPR05	初期化	初期化	保持
	IPR06	初期化	初期化	保持
	IPR07	初期化	初期化	保持
	IPR08	初期化	初期化	保持
	IPR09	初期化	初期化	保持
	IPR10	初期化	初期化	保持
	IPR11	初期化	初期化	保持
	IPR12	初期化	初期化	保持
	IPR13	初期化	初期化	保持
	IPR14	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
INTC	IPR15	初期化	初期化	保持
	IPR16	初期化	初期化	保持
	IPR17	初期化	初期化	保持
	IPR18	初期化	初期化	保持
	IPR19	初期化	初期化	保持
	IPR20	初期化	初期化	保持
	IPR21	初期化	初期化	保持
	IPR22	初期化	初期化	保持
	IPR23	初期化	初期化	保持
	IPR24	初期化	初期化	保持
	IPR25	初期化	初期化	保持
	IPR26	初期化	初期化	保持
	IPR27	初期化	初期化	保持
	IPR28	初期化	初期化	保持
	IPR29	初期化	初期化	保持
UBC	BAR_0	初期化	初期化	保持
	BAMR_0	初期化	初期化	保持
	BBR_0	初期化	初期化	保持
	BAR_1	初期化	初期化	保持
	BAMR_1	初期化	初期化	保持
	BBR_1	初期化	初期化	保持
	BAR_2	初期化	初期化	保持
	BAMR_2	初期化	初期化	保持
	BBR_2	初期化	初期化	保持
	BAR_3	初期化	初期化	保持
	BAMR_3	初期化	初期化	保持
	BBR_3	初期化	初期化	保持
	BRCR	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
DMAC	SAR0	初期化	初期化	保持
	DAR0	初期化	初期化	保持
	DMATCR0	初期化	初期化	保持
	CHCR0	初期化	初期化	保持
	CHFR0	初期化	初期化	保持
	TEMSK0	初期化	初期化	保持
	RSAR0	初期化	初期化	保持
	RDAR0	初期化	初期化	保持
	RDMATCR0	初期化	初期化	保持
	SAR1	初期化	初期化	保持
	DAR1	初期化	初期化	保持
	DMATCR1	初期化	初期化	保持
	CHCR1	初期化	初期化	保持
	CHFR1	初期化	初期化	保持
	TEMSK1	初期化	初期化	保持
	RSAR1	初期化	初期化	保持
	RDAR1	初期化	初期化	保持
	RDMATCR1	初期化	初期化	保持
	SAR2	初期化	初期化	保持
	DAR2	初期化	初期化	保持
	DMATCR2	初期化	初期化	保持
	CHCR2	初期化	初期化	保持
	CHFR2	初期化	初期化	保持
	TEMSK2	初期化	初期化	保持
	RSAR2	初期化	初期化	保持
	RDAR2	初期化	初期化	保持
	RDMATCR2	初期化	初期化	保持
	SAR3	初期化	初期化	保持
	DAR3	初期化	初期化	保持
	DMATCR3	初期化	初期化	保持
	CHCR3	初期化	初期化	保持
	CHFR3	初期化	初期化	保持
	TEMSK3	初期化	初期化	保持
	RSAR3	初期化	初期化	保持
	RDAR3	初期化	初期化	保持
	RDMATCR3	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
DMAC	SAR4	初期化	初期化	保持
	DAR4	初期化	初期化	保持
	DMATCR4	初期化	初期化	保持
	CHCR4	初期化	初期化	保持
	CHFR4	初期化	初期化	保持
	TEMSK4	初期化	初期化	保持
	RSAR4	初期化	初期化	保持
	RDAR4	初期化	初期化	保持
	RDMATCR4	初期化	初期化	保持
	ARCR4	初期化	初期化	保持
	RARCR4	初期化	初期化	保持
	SAR5	初期化	初期化	保持
	DAR5	初期化	初期化	保持
	DMATCR5	初期化	初期化	保持
	CHCR5	初期化	初期化	保持
	CHFR5	初期化	初期化	保持
	TEMSK5	初期化	初期化	保持
	RSAR5	初期化	初期化	保持
	RDAR5	初期化	初期化	保持
	RDMATCR5	初期化	初期化	保持
	ARCR5	初期化	初期化	保持
	RARCR5	初期化	初期化	保持
	SAR6	初期化	初期化	保持
	DAR6	初期化	初期化	保持
	DMATCR6	初期化	初期化	保持
	CHCR6	初期化	初期化	保持
	CHFR6	初期化	初期化	保持
	TEMSK6	初期化	初期化	保持
	RSAR6	初期化	初期化	保持
	RDAR6	初期化	初期化	保持
	RDMATCR6	初期化	初期化	保持
	ARCR6	初期化	初期化	保持
	RARCR6	初期化	初期化	保持
	SAR7	初期化	初期化	保持
	DAR7	初期化	初期化	保持
	DMATCR7	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
DMAC	CHCR7	初期化	初期化	保持
	CHFR7	初期化	初期化	保持
	TEMSK7	初期化	初期化	保持
	RSAR7	初期化	初期化	保持
	RDAR7	初期化	初期化	保持
	RDMATCR7	初期化	初期化	保持
	ARCR7	初期化	初期化	保持
	RARCR7	初期化	初期化	保持
	DMAOR	初期化	初期化	保持
	DMAFR	初期化	初期化	保持
	DMARS0	初期化	初期化	保持
	DMARS1	初期化	初期化	保持
	DMARS2	初期化	初期化	保持
	DMARS3	初期化	初期化	保持
A-DMAC	ADMAOR	初期化	初期化	保持
	ADMAABR	初期化	初期化	保持
	ADMAIE0	初期化	初期化	保持
	ADMAIE1	初期化	初期化	保持
	ADMAIE2	初期化	初期化	保持
	ADMAIE3	初期化	初期化	保持
	ADMAIE4	初期化	初期化	保持
	ADMAIE5	初期化	初期化	保持
	ADMAIE7	初期化	初期化	保持
	ADMAIE8	初期化	初期化	保持
	ADMAIE9	初期化	初期化	保持
	ADMADV0	初期化	初期化	保持
	ADMADV1	初期化	初期化	保持
	ADMADV2	初期化	初期化	保持
	ADMADV3	初期化	初期化	保持
	ADMADV4	初期化	初期化	保持
	ADMADV5	初期化	初期化	保持
	ADMATE0	初期化	初期化	保持
	ADMATE1	初期化	初期化	保持
	ADMATE2	初期化	初期化	保持
	ADMADE0	初期化	初期化	保持
	ADMADE1	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
A-DMAC	ADMADE2	初期化	初期化	保持
	ADMADE3	初期化	初期化	保持
	ADMADE4	初期化	初期化	保持
	ADMADE5	初期化	初期化	保持
	ADMADE7	初期化	初期化	保持
	ADMAMODE0	初期化	初期化	保持
	ADMAMODE1	初期化	初期化	保持
	ADMAMODE2	初期化	初期化	保持
	ADMATCR0	初期化	初期化	保持
	ADMARTCR0	初期化	初期化	保持
	ADMATCR1	初期化	初期化	保持
	ADMARTCR1	初期化	初期化	保持
	ADMATCR56	初期化	初期化	保持
	ADMATCR57	初期化	初期化	保持
	ADMATCR58	初期化	初期化	保持
	ADMATCR59	初期化	初期化	保持
	ADMATCR62	初期化	初期化	保持
	ADMATCR63	初期化	初期化	保持
	ADMATCR64	初期化	初期化	保持
	ADMATCR65	初期化	初期化	保持
	ADMATCR66	初期化	初期化	保持
	ADMATCR67	初期化	初期化	保持
	ADMAAR0	初期化	初期化	保持
	ADMARAR0	初期化	初期化	保持
	ADMAAR1	初期化	初期化	保持
	ADMARAR1	初期化	初期化	保持
	ADMAAR56	初期化	初期化	保持
	ADMAAR57	初期化	初期化	保持
	ADMAAR58	初期化	初期化	保持
	ADMAAR59	初期化	初期化	保持
	ADMAAR62	初期化	初期化	保持
	ADMAAR63	初期化	初期化	保持
	ADMAAR64	初期化	初期化	保持
	ADMAAR65	初期化	初期化	保持
	ADMAAR66	初期化	初期化	保持
	ADMAAR67	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
A-DMAC	ADMABUF2	初期化	初期化	保持
	ADMABUF3	初期化	初期化	保持
	ADMABUF4	初期化	初期化	保持
	ADMABUF5	初期化	初期化	保持
	ADMARVPR0	初期化	初期化	保持
	ADMARVPR1	初期化	初期化	保持
	ADMARVPR2	初期化	初期化	保持
	ADMARVPR3	初期化	初期化	保持
	ADMATVPR0	初期化	初期化	保持
	ADMATVPR1	初期化	初期化	保持
	ADMATVPR2	初期化	初期化	保持
	ADMATVPR3	初期化	初期化	保持
ATU-III	ATUENR	初期化	初期化	保持
	CBCNT	初期化	初期化	保持
	NCMR	初期化	初期化	保持
	PSCR0	初期化	初期化	保持
	PSCR1	初期化	初期化	保持
	PSCR2	初期化	初期化	保持
	PSCR3	初期化	初期化	保持
	TCRA	初期化	初期化	保持
	TIOR1A	初期化	初期化	保持
	TIOR2A	初期化	初期化	保持
	TSRA	初期化	初期化	保持
	TIERA	初期化	初期化	保持
	NCNTA0	初期化	初期化	保持
	NCRA0	初期化	初期化	保持
	NCNTA1	初期化	初期化	保持
	NCRA1	初期化	初期化	保持
	NCNTA2	初期化	初期化	保持
	NCRA2	初期化	初期化	保持
	NCNTA3	初期化	初期化	保持
	NCRA3	初期化	初期化	保持
	TCNTA	初期化	初期化	保持
	ICRA0	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	ICRA1	初期化	初期化	保持
	ICRA2	初期化	初期化	保持
	ICRA3	初期化	初期化	保持
	TCRB	初期化	初期化	保持
	TIORB	初期化	初期化	保持
	TSRB	初期化	初期化	保持
	TIERB	初期化	初期化	保持
	TCNTB0	初期化	初期化	保持
	ICRB0	初期化	初期化	保持
	OCRB0	初期化	初期化	保持
	TCNTB1	初期化	初期化	保持
	OCRB1	初期化	初期化	保持
	ICRB1	初期化	初期化	保持
	ICRB2	初期化	初期化	保持
	LDB	初期化	初期化	保持
	RLDB	初期化	初期化	保持
	PIMR	初期化	初期化	保持
	TCNTB2	初期化	初期化	保持
	TCNTB6	初期化	初期化	保持
	OCRB6	初期化	初期化	保持
	OCRB7	初期化	初期化	保持
	TCNTB3	初期化	初期化	保持
	TCNTB4	初期化	初期化	保持
	TCNTB5	初期化	初期化	保持
	TCCLRB	初期化	初期化	保持
	TSTRC	初期化	初期化	保持
	NCCRC0	初期化	初期化	保持
	NCCRC1	初期化	初期化	保持
	NCCRC2	初期化	初期化	保持
	NCCRC3	初期化	初期化	保持
	NCCRC4	初期化	初期化	保持
	NCNTC00	初期化	初期化	保持
	NCNTC01	初期化	初期化	保持
	NCNTC02	初期化	初期化	保持
	NCNTC03	初期化	初期化	保持
	NCRC00	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	NCRC01	初期化	初期化	保持
	NCRC02	初期化	初期化	保持
	NCRC03	初期化	初期化	保持
	NCNTC10	初期化	初期化	保持
	NCNTC11	初期化	初期化	保持
	NCNTC12	初期化	初期化	保持
	NCNTC13	初期化	初期化	保持
	NCRC10	初期化	初期化	保持
	NCRC11	初期化	初期化	保持
	NCRC12	初期化	初期化	保持
	NCRC13	初期化	初期化	保持
	NCNTC20	初期化	初期化	保持
	NCNTC21	初期化	初期化	保持
	NCNTC22	初期化	初期化	保持
	NCNTC23	初期化	初期化	保持
	NCRC20	初期化	初期化	保持
	NCRC21	初期化	初期化	保持
	NCRC22	初期化	初期化	保持
	NCRC23	初期化	初期化	保持
	NCNTC30	初期化	初期化	保持
	NCNTC31	初期化	初期化	保持
	NCNTC32	初期化	初期化	保持
	NCNTC33	初期化	初期化	保持
	NCRC30	初期化	初期化	保持
	NCRC31	初期化	初期化	保持
	NCRC32	初期化	初期化	保持
	NCRC33	初期化	初期化	保持
	NCNTC40	初期化	初期化	保持
	NCNTC41	初期化	初期化	保持
	NCNTC42	初期化	初期化	保持
	NCNTC43	初期化	初期化	保持
	NCRC40	初期化	初期化	保持
	NCRC41	初期化	初期化	保持
	NCRC42	初期化	初期化	保持
	NCRC43	初期化	初期化	保持
	TCRC0	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	TIERC0	初期化	初期化	保持
	TIORC0	初期化	初期化	保持
	TSRC0	初期化	初期化	保持
	GRC00	初期化	初期化	保持
	GRC01	初期化	初期化	保持
	GRC02	初期化	初期化	保持
	GRC03	初期化	初期化	保持
	TCNTC0	初期化	初期化	保持
	TCRC1	初期化	初期化	保持
	TIERC1	初期化	初期化	保持
	TIORC1	初期化	初期化	保持
	TSRC1	初期化	初期化	保持
	GRC10	初期化	初期化	保持
	GRC11	初期化	初期化	保持
	GRC12	初期化	初期化	保持
	GRC13	初期化	初期化	保持
	TCNTC1	初期化	初期化	保持
	TCRC2	初期化	初期化	保持
	TIERC2	初期化	初期化	保持
	TIORC2	初期化	初期化	保持
	TSRC2	初期化	初期化	保持
	GRC20	初期化	初期化	保持
	GRC21	初期化	初期化	保持
	GRC22	初期化	初期化	保持
	GRC23	初期化	初期化	保持
	TCNTC2	初期化	初期化	保持
	TCRC3	初期化	初期化	保持
	TIERC3	初期化	初期化	保持
	TIORC3	初期化	初期化	保持
	TSRC3	初期化	初期化	保持
	GRC30	初期化	初期化	保持
	GRC31	初期化	初期化	保持
	GRC32	初期化	初期化	保持
	GRC33	初期化	初期化	保持
	TCNTC3	初期化	初期化	保持
	TCRC4	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	TIERC4	初期化	初期化	保持
	TIORC4	初期化	初期化	保持
	TSRC4	初期化	初期化	保持
	GRC40	初期化	初期化	保持
	GRC41	初期化	初期化	保持
	GRC42	初期化	初期化	保持
	GRC43	初期化	初期化	保持
	TCNTC4	初期化	初期化	保持
	TSTRD	初期化	初期化	保持
	TCNT1D0	初期化	初期化	保持
	TCNT2D0	初期化	初期化	保持
	OSBRD0	初期化	初期化	保持
	TCRD0	初期化	初期化	保持
	TOCRD0	初期化	初期化	保持
	CMPOD0	初期化	初期化	保持
	TCNT1D1	初期化	初期化	保持
	TCNT2D1	初期化	初期化	保持
	OSBRD1	初期化	初期化	保持
	TCRD1	初期化	初期化	保持
	TOCRD1	初期化	初期化	保持
	CMPOD1	初期化	初期化	保持
	TCNT1D2	初期化	初期化	保持
	TCNT2D2	初期化	初期化	保持
	OSBRD2	初期化	初期化	保持
	TCRD2	初期化	初期化	保持
	TOCRD2	初期化	初期化	保持
	TCNT1D3	初期化	初期化	保持
	TCNT2D3	初期化	初期化	保持
	OSBRD3	初期化	初期化	保持
	TCRD3	初期化	初期化	保持
	TOCRD3	初期化	初期化	保持
	TIOR1D0	初期化	初期化	保持
	TIOR2D0	初期化	初期化	保持
	DSTRD0	初期化	初期化	保持
	DSRD0	初期化	初期化	保持
	DCRD0	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	TSRD0	初期化	初期化	保持
	TIERD0	初期化	初期化	保持
	OCRD00	初期化	初期化	保持
	OCRD01	初期化	初期化	保持
	OCRD02	初期化	初期化	保持
	OCRD03	初期化	初期化	保持
	GRD00	初期化	初期化	保持
	GRD01	初期化	初期化	保持
	GRD02	初期化	初期化	保持
	GRD03	初期化	初期化	保持
	DCNTD00	初期化	初期化	保持
	DCNTD01	初期化	初期化	保持
	DCNTD02	初期化	初期化	保持
	DCNTD03	初期化	初期化	保持
	TIOR1D1	初期化	初期化	保持
	TIOR2D1	初期化	初期化	保持
	DSTRD1	初期化	初期化	保持
	DSRD1	初期化	初期化	保持
	DCRD1	初期化	初期化	保持
	TSRD1	初期化	初期化	保持
	TIERD1	初期化	初期化	保持
	OCRD10	初期化	初期化	保持
	OCRD11	初期化	初期化	保持
	OCRD12	初期化	初期化	保持
	OCRD13	初期化	初期化	保持
	GRD10	初期化	初期化	保持
	GRD11	初期化	初期化	保持
	GRD12	初期化	初期化	保持
	GRD13	初期化	初期化	保持
	DCNTD10	初期化	初期化	保持
	DCNTD11	初期化	初期化	保持
	DCNTD12	初期化	初期化	保持
	DCNTD13	初期化	初期化	保持
	TIOR1D2	初期化	初期化	保持
	TIOR2D2	初期化	初期化	保持
	DSTRD2	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	DSRD2	初期化	初期化	保持
	DCRD2	初期化	初期化	保持
	TSRD2	初期化	初期化	保持
	TIERD2	初期化	初期化	保持
	OCRD20	初期化	初期化	保持
	OCRD21	初期化	初期化	保持
	OCRD22	初期化	初期化	保持
	OCRD23	初期化	初期化	保持
	GRD20	初期化	初期化	保持
	GRD21	初期化	初期化	保持
	GRD22	初期化	初期化	保持
	GRD23	初期化	初期化	保持
	DCNTD20	初期化	初期化	保持
	DCNTD21	初期化	初期化	保持
	DCNTD22	初期化	初期化	保持
	DCNTD23	初期化	初期化	保持
	TIOR1D3	初期化	初期化	保持
	TIOR2D3	初期化	初期化	保持
	DSTRD3	初期化	初期化	保持
	DSRD3	初期化	初期化	保持
	DCRD3	初期化	初期化	保持
	TSRD3	初期化	初期化	保持
	TIERD3	初期化	初期化	保持
	OCRD30	初期化	初期化	保持
	OCRD31	初期化	初期化	保持
	OCRD32	初期化	初期化	保持
	OCRD33	初期化	初期化	保持
	GRD30	初期化	初期化	保持
	GRD31	初期化	初期化	保持
	GRD32	初期化	初期化	保持
	GRD33	初期化	初期化	保持
	DCNTD30	初期化	初期化	保持
	DCNTD31	初期化	初期化	保持
	DCNTD32	初期化	初期化	保持
	DCNTD33	初期化	初期化	保持
	TSTRE	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	TCRE0	初期化	初期化	保持
	TOCRE0	初期化	初期化	保持
	TIERE0	初期化	初期化	保持
	RLDCRE0	初期化	初期化	保持
	TSRE0	初期化	初期化	保持
	PSCRE0	初期化	初期化	保持
	SOLVLE0	初期化	初期化	保持
	POECRE0	初期化	初期化	保持
	SSTRE0	初期化	初期化	保持
	CYLRE00	初期化	初期化	保持
	CYLRE01	初期化	初期化	保持
	CYLRE02	初期化	初期化	保持
	CYLRE03	初期化	初期化	保持
	DTRE00	初期化	初期化	保持
	DTRE01	初期化	初期化	保持
	DTRE02	初期化	初期化	保持
	DTRE03	初期化	初期化	保持
	CRLDE00	初期化	初期化	保持
	CRLDE01	初期化	初期化	保持
	CRLDE02	初期化	初期化	保持
	CRLDE03	初期化	初期化	保持
	DRLDE00	初期化	初期化	保持
	DRLDE01	初期化	初期化	保持
	DRLDE02	初期化	初期化	保持
	DRLDE03	初期化	初期化	保持
	TCNTE00	初期化	初期化	保持
	TCNTE01	初期化	初期化	保持
	TCNTE02	初期化	初期化	保持
	TCNTE03	初期化	初期化	保持
	TCRE1	初期化	初期化	保持
	TOCRE1	初期化	初期化	保持
	TIERE1	初期化	初期化	保持
	RLDCRE1	初期化	初期化	保持
	TSRE1	初期化	初期化	保持
	PSCRE1	初期化	初期化	保持
	SOLVLE1	初期化	初期化	保持
	POECRE1	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	SSTRE1	初期化	初期化	保持
	CYLRE10	初期化	初期化	保持
	CYLRE11	初期化	初期化	保持
	CYLRE12	初期化	初期化	保持
	CYLRE13	初期化	初期化	保持
	DTRE10	初期化	初期化	保持
	DTRE11	初期化	初期化	保持
	DTRE12	初期化	初期化	保持
	DTRE13	初期化	初期化	保持
	CRLDE10	初期化	初期化	保持
	CRLDE11	初期化	初期化	保持
	CRLDE12	初期化	初期化	保持
	CRLDE13	初期化	初期化	保持
	DRLDE10	初期化	初期化	保持
	DRLDE11	初期化	初期化	保持
	DRLDE12	初期化	初期化	保持
	DRLDE13	初期化	初期化	保持
	TCNTE10	初期化	初期化	保持
	TCNTE11	初期化	初期化	保持
	TCNTE12	初期化	初期化	保持
	TCNTE13	初期化	初期化	保持
	TCRE2	初期化	初期化	保持
	TOCRE2	初期化	初期化	保持
	TIERE2	初期化	初期化	保持
	RLDCRE2	初期化	初期化	保持
	TSRE2	初期化	初期化	保持
	PSCRE2	初期化	初期化	保持
	SOLVLE2	初期化	初期化	保持
	POECRE2	初期化	初期化	保持
	SSTRE2	初期化	初期化	保持
	CYLRE20	初期化	初期化	保持
	CYLRE21	初期化	初期化	保持
	CYLRE22	初期化	初期化	保持
	CYLRE23	初期化	初期化	保持
	DTRE20	初期化	初期化	保持
	DTRE21	初期化	初期化	保持
	DTRE22	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	DTRE23	初期化	初期化	保持
	CRLDE20	初期化	初期化	保持
	CRLDE21	初期化	初期化	保持
	CRLDE22	初期化	初期化	保持
	CRLDE23	初期化	初期化	保持
	DRLDE20	初期化	初期化	保持
	DRLDE21	初期化	初期化	保持
	DRLDE22	初期化	初期化	保持
	DRLDE23	初期化	初期化	保持
	TCNTE20	初期化	初期化	保持
	TCNTE21	初期化	初期化	保持
	TCNTE22	初期化	初期化	保持
	TCNTE23	初期化	初期化	保持
	TCRE3	初期化	初期化	保持
	TOCRE3	初期化	初期化	保持
	TIERE3	初期化	初期化	保持
	RLDCRE3	初期化	初期化	保持
	TSRE3	初期化	初期化	保持
	PSCRE3	初期化	初期化	保持
	SOLVLE3	初期化	初期化	保持
	POECRE3	初期化	初期化	保持
	SSTRE3	初期化	初期化	保持
	CYLRE30	初期化	初期化	保持
	CYLRE31	初期化	初期化	保持
	CYLRE32	初期化	初期化	保持
	CYLRE33	初期化	初期化	保持
	DTRE30	初期化	初期化	保持
	DTRE31	初期化	初期化	保持
	DTRE32	初期化	初期化	保持
	DTRE33	初期化	初期化	保持
	CRLDE30	初期化	初期化	保持
	CRLDE31	初期化	初期化	保持
	CRLDE32	初期化	初期化	保持
	CRLDE33	初期化	初期化	保持
	DRLDE30	初期化	初期化	保持
	DRLDE31	初期化	初期化	保持
	DRLDE32	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	DRLDE33	初期化	初期化	保持
	TCNTE30	初期化	初期化	保持
	TCNTE31	初期化	初期化	保持
	TCNTE32	初期化	初期化	保持
	TCNTE33	初期化	初期化	保持
	TCRE4	初期化	初期化	保持
	TOCRE4	初期化	初期化	保持
	TIERE4	初期化	初期化	保持
	RLDCRE4	初期化	初期化	保持
	TSRE4	初期化	初期化	保持
	PSCRE4	初期化	初期化	保持
	SOLVLE4	初期化	初期化	保持
	POECRE4	初期化	初期化	保持
	SSTRE4	初期化	初期化	保持
	CYLRE40	初期化	初期化	保持
	CYLRE41	初期化	初期化	保持
	CYLRE42	初期化	初期化	保持
	CYLRE43	初期化	初期化	保持
	DTRE40	初期化	初期化	保持
	DTRE41	初期化	初期化	保持
	DTRE42	初期化	初期化	保持
	DTRE43	初期化	初期化	保持
	CRLDE40	初期化	初期化	保持
	CRLDE41	初期化	初期化	保持
	CRLDE42	初期化	初期化	保持
	CRLDE43	初期化	初期化	保持
	DRLDE40	初期化	初期化	保持
	DRLDE41	初期化	初期化	保持
	DRLDE42	初期化	初期化	保持
	DRLDE43	初期化	初期化	保持
	TCNTE40	初期化	初期化	保持
	TCNTE41	初期化	初期化	保持
	TCNTE42	初期化	初期化	保持
	TCNTE43	初期化	初期化	保持
	TSTRF	初期化	初期化	保持
	NCCRF	初期化	初期化	保持
	NCNTFA0	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	NCRFA0	初期化	初期化	保持
	NCNTFA1	初期化	初期化	保持
	NCRFA1	初期化	初期化	保持
	NCNTFA2	初期化	初期化	保持
	NCRFA2	初期化	初期化	保持
	NCNTFA3	初期化	初期化	保持
	NCRFA3	初期化	初期化	保持
	NCNTFA4	初期化	初期化	保持
	NCRFA4	初期化	初期化	保持
	NCNTFA5	初期化	初期化	保持
	NCRFA5	初期化	初期化	保持
	NCNTFA6	初期化	初期化	保持
	NCRFA6	初期化	初期化	保持
	NCNTFA7	初期化	初期化	保持
	NCRFA7	初期化	初期化	保持
	NCNTFA8	初期化	初期化	保持
	NCRFA8	初期化	初期化	保持
	NCNTFA9	初期化	初期化	保持
	NCRFA9	初期化	初期化	保持
	NCNTFA10	初期化	初期化	保持
	NCRFA10	初期化	初期化	保持
	NCNTFA11	初期化	初期化	保持
	NCRFA11	初期化	初期化	保持
	NCNTFA12	初期化	初期化	保持
	NCRFA12	初期化	初期化	保持
	NCNTFA13	初期化	初期化	保持
	NCRFA13	初期化	初期化	保持
	NCNTFA14	初期化	初期化	保持
	NCRFA14	初期化	初期化	保持
	NCNTFA15	初期化	初期化	保持
	NCRFA15	初期化	初期化	保持
	NCNTFA16	初期化	初期化	保持
	NCRFA16	初期化	初期化	保持
	NCNTFA17	初期化	初期化	保持
	NCRFA17	初期化	初期化	保持
	NCNTFA18	初期化	初期化	保持
	NCRFA18	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	NCNTFA19	初期化	初期化	保持
	NCRFA19	初期化	初期化	保持
	NCNTFB0	初期化	初期化	保持
	NCRFB0	初期化	初期化	保持
	NCNTFB1	初期化	初期化	保持
	NCRFB1	初期化	初期化	保持
	NCNTFB2	初期化	初期化	保持
	NCRFB2	初期化	初期化	保持
	TCRF0	初期化	初期化	保持
	TIERF0	初期化	初期化	保持
	TSRF0	初期化	初期化	保持
	ECNTAF0	初期化	初期化	保持
	ECNTBF0	初期化	初期化	保持
	GRBF0	初期化	初期化	保持
	ECNTCF0	初期化	初期化	保持
	GRAF0	初期化	初期化	保持
	CDRF0	初期化	初期化	保持
	GRCF0	初期化	初期化	保持
	TCRF1	初期化	初期化	保持
	TIERF1	初期化	初期化	保持
	TSRF1	初期化	初期化	保持
	ECNTAF1	初期化	初期化	保持
	ECNTBF1	初期化	初期化	保持
	GRBF1	初期化	初期化	保持
	ECNTCF1	初期化	初期化	保持
	GRAF1	初期化	初期化	保持
	CDRF1	初期化	初期化	保持
	GRCF1	初期化	初期化	保持
	TCRF2	初期化	初期化	保持
	TIERF2	初期化	初期化	保持
	TSRF2	初期化	初期化	保持
	ECNTAF2	初期化	初期化	保持
	ECNTBF2	初期化	初期化	保持
	GRBF2	初期化	初期化	保持
	ECNTCF2	初期化	初期化	保持
	GRAF2	初期化	初期化	保持
	CDRF2	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	GRCF2	初期化	初期化	保持
	TCRF3	初期化	初期化	保持
	TIERF3	初期化	初期化	保持
	TSRF3	初期化	初期化	保持
	ECNTAF3	初期化	初期化	保持
	ECNTBF3	初期化	初期化	保持
	GRBF3	初期化	初期化	保持
	ECNTCF3	初期化	初期化	保持
	GRAF3	初期化	初期化	保持
	CDRF3	初期化	初期化	保持
	GRCF3	初期化	初期化	保持
	TCRF4	初期化	初期化	保持
	TIERF4	初期化	初期化	保持
	TSRF4	初期化	初期化	保持
	ECNTAF4	初期化	初期化	保持
	ECNTBF4	初期化	初期化	保持
	GRBF4	初期化	初期化	保持
	ECNTCF4	初期化	初期化	保持
	GRAF4	初期化	初期化	保持
	CDRF4	初期化	初期化	保持
	GRCF4	初期化	初期化	保持
	TCRF5	初期化	初期化	保持
	TIERF5	初期化	初期化	保持
	TSRF5	初期化	初期化	保持
	ECNTAF5	初期化	初期化	保持
	ECNTBF5	初期化	初期化	保持
	GRBF5	初期化	初期化	保持
	ECNTCF5	初期化	初期化	保持
	GRAF5	初期化	初期化	保持
	CDRF5	初期化	初期化	保持
	GRCF5	初期化	初期化	保持
	TCRF6	初期化	初期化	保持
	TIERF6	初期化	初期化	保持
	TSRF6	初期化	初期化	保持
	ECNTAF6	初期化	初期化	保持
	ECNTBF6	初期化	初期化	保持
	GRBF6	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	ECNTCF6	初期化	初期化	保持
	GRAF6	初期化	初期化	保持
	CDRF6	初期化	初期化	保持
	GRCF6	初期化	初期化	保持
	TCRF7	初期化	初期化	保持
	TIERF7	初期化	初期化	保持
	TSRF7	初期化	初期化	保持
	ECNTAF7	初期化	初期化	保持
	ECNTBF7	初期化	初期化	保持
	GRBF7	初期化	初期化	保持
	ECNTCF7	初期化	初期化	保持
	GRAF7	初期化	初期化	保持
	CDRF7	初期化	初期化	保持
	GRCF7	初期化	初期化	保持
	TCRF8	初期化	初期化	保持
	TIERF8	初期化	初期化	保持
	TSRF8	初期化	初期化	保持
	ECNTAF8	初期化	初期化	保持
	ECNTBF8	初期化	初期化	保持
	GRBF8	初期化	初期化	保持
	ECNTCF8	初期化	初期化	保持
	GRAF8	初期化	初期化	保持
	CDRF8	初期化	初期化	保持
	GRCF8	初期化	初期化	保持
	TCRF9	初期化	初期化	保持
	TIERF9	初期化	初期化	保持
	TSRF9	初期化	初期化	保持
	ECNTAF9	初期化	初期化	保持
	ECNTBF9	初期化	初期化	保持
	GRBF9	初期化	初期化	保持
	ECNTCF9	初期化	初期化	保持
	GRAF9	初期化	初期化	保持
	CDRF9	初期化	初期化	保持
	GRCF9	初期化	初期化	保持
	TCRF10	初期化	初期化	保持
	TIERF10	初期化	初期化	保持
	TSRF10	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	ECNTAF10	初期化	初期化	保持
	ECNTBF10	初期化	初期化	保持
	GRBF10	初期化	初期化	保持
	ECNTCF10	初期化	初期化	保持
	GRAF10	初期化	初期化	保持
	CDRF10	初期化	初期化	保持
	GRCF10	初期化	初期化	保持
	TCRF11	初期化	初期化	保持
	TIERF11	初期化	初期化	保持
	TSRF11	初期化	初期化	保持
	ECNTAF11	初期化	初期化	保持
	ECNTBF11	初期化	初期化	保持
	GRBF11	初期化	初期化	保持
	ECNTCF11	初期化	初期化	保持
	GRAF11	初期化	初期化	保持
	CDRF11	初期化	初期化	保持
	GRCF11	初期化	初期化	保持
	TCRF12	初期化	初期化	保持
	TIERF12	初期化	初期化	保持
	TSRF12	初期化	初期化	保持
	ECNTAF12	初期化	初期化	保持
	ECNTBF12	初期化	初期化	保持
	GRBF12	初期化	初期化	保持
	ECNTCF12	初期化	初期化	保持
	GRAF12	初期化	初期化	保持
	CDRF12	初期化	初期化	保持
	GRCF12	初期化	初期化	保持
	GRDF12	初期化	初期化	保持
	TCRF13	初期化	初期化	保持
	TIERF13	初期化	初期化	保持
	TSRF13	初期化	初期化	保持
	ECNTAF13	初期化	初期化	保持
	ECNTBF13	初期化	初期化	保持
	GRBF13	初期化	初期化	保持
	ECNTCF13	初期化	初期化	保持
	GRAF13	初期化	初期化	保持
	CDRF13	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	GRCF13	初期化	初期化	保持
	GRDF13	初期化	初期化	保持
	TCRF14	初期化	初期化	保持
	TIERF14	初期化	初期化	保持
	TSRF14	初期化	初期化	保持
	ECNTAF14	初期化	初期化	保持
	ECNTBF14	初期化	初期化	保持
	GRBF14	初期化	初期化	保持
	ECNTCF14	初期化	初期化	保持
	GRAF14	初期化	初期化	保持
	CDRF14	初期化	初期化	保持
	GRCF14	初期化	初期化	保持
	GRDF14	初期化	初期化	保持
	TCRF15	初期化	初期化	保持
	TIERF15	初期化	初期化	保持
	TSRF15	初期化	初期化	保持
	ECNTAF15	初期化	初期化	保持
	ECNTBF15	初期化	初期化	保持
	GRBF15	初期化	初期化	保持
	ECNTCF15	初期化	初期化	保持
	GRAF15	初期化	初期化	保持
	CDRF15	初期化	初期化	保持
	GRCF15	初期化	初期化	保持
	GRDF15	初期化	初期化	保持
	TCRF16	初期化	初期化	保持
	TIERF16	初期化	初期化	保持
	TSRF16	初期化	初期化	保持
	ECNTAF16	初期化	初期化	保持
	ECNTBF16	初期化	初期化	保持
	GRBF16	初期化	初期化	保持
	ECNTCF16	初期化	初期化	保持
	GRAF16	初期化	初期化	保持
	CDRF16	初期化	初期化	保持
	GRCF16	初期化	初期化	保持
	TCRF17	初期化	初期化	保持
	TIERF17	初期化	初期化	保持
	TSRF17	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	ECNTAF17	初期化	初期化	保持
	ECNTBF17	初期化	初期化	保持
	GRBF17	初期化	初期化	保持
	ECNTCF17	初期化	初期化	保持
	GRAF17	初期化	初期化	保持
	CDRF17	初期化	初期化	保持
	GRCF17	初期化	初期化	保持
	TCRF18	初期化	初期化	保持
	TIERF18	初期化	初期化	保持
	TSRF18	初期化	初期化	保持
	ECNTAF18	初期化	初期化	保持
	ECNTBF18	初期化	初期化	保持
	GRBF18	初期化	初期化	保持
	ECNTCF18	初期化	初期化	保持
	GRAF18	初期化	初期化	保持
	CDRF18	初期化	初期化	保持
	GRCF18	初期化	初期化	保持
	TCRF19	初期化	初期化	保持
	TIERF19	初期化	初期化	保持
	TSRF19	初期化	初期化	保持
	ECNTAF19	初期化	初期化	保持
	ECNTBF19	初期化	初期化	保持
	GRBF19	初期化	初期化	保持
	ECNTCF19	初期化	初期化	保持
	GRAF19	初期化	初期化	保持
	CDRF19	初期化	初期化	保持
	GRCF19	初期化	初期化	保持
	TSTRG	初期化	初期化	保持
	TCRG0	初期化	初期化	保持
	TSRG0	初期化	初期化	保持
	TCNTG0	初期化	初期化	保持
	OCRG0	初期化	初期化	保持
	TCRG1	初期化	初期化	保持
	TSRG1	初期化	初期化	保持
	TCNTG1	初期化	初期化	保持
	OCRG1	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	TCRG2	初期化	初期化	保持
	TSRG2	初期化	初期化	保持
	TCNTG2	初期化	初期化	保持
	OCRG2	初期化	初期化	保持
	TCRG3	初期化	初期化	保持
	TSRG3	初期化	初期化	保持
	TCNTG3	初期化	初期化	保持
	OCRG3	初期化	初期化	保持
	TCRG4	初期化	初期化	保持
	TSRG4	初期化	初期化	保持
	TCNTG4	初期化	初期化	保持
	OCRG4	初期化	初期化	保持
	TCRG5	初期化	初期化	保持
	TSRG5	初期化	初期化	保持
	TCNTG5	初期化	初期化	保持
	OCRG5	初期化	初期化	保持
	TCRH	初期化	初期化	保持
	TSRH	初期化	初期化	保持
	TCNT1H	初期化	初期化	保持
	OCR1H	初期化	初期化	保持
	TCNT2H	初期化	初期化	保持
	TSTRJ	初期化	初期化	保持
	TCRJ0	初期化	初期化	保持
	FCRJ0	初期化	初期化	保持
	TSRJ0	初期化	初期化	保持
	TIERJ0	初期化	初期化	保持
	FDNRJ0	初期化	初期化	保持
	NCNTJ0	初期化	初期化	保持
	NCRJ0	初期化	初期化	保持
	TCNTJ0	初期化	初期化	保持
	OCRJ0	初期化	初期化	保持
	FIFOJ0	初期化	初期化	保持
	TCRJ1	初期化	初期化	保持
	FCRJ1	初期化	初期化	保持
	TSRJ1	初期化	初期化	保持
	TIERJ1	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ATU-III	FDNRJ1	初期化	初期化	保持
	NCNTJ1	初期化	初期化	保持
	NCRJ1	初期化	初期化	保持
	TCNTJ1	初期化	初期化	保持
	OCRJ1	初期化	初期化	保持
	FIFOJ1	初期化	初期化	保持
WDT	WTCR	初期化	初期化	保持
	WTCNT	初期化	初期化	保持
	WTSR	初期化	初期化	保持
	WRCR	初期化	初期化	保持
CMT	CMSTR	初期化	初期化	保持
	CMCR_0	初期化	初期化	保持
	CMSR_0	初期化	初期化	保持
	CMCNT_0	初期化	初期化	保持
	CMCOR_0	初期化	初期化	保持
	CMCR_1	初期化	初期化	保持
	CMSR_1	初期化	初期化	保持
	CMCNT_1	初期化	初期化	保持
	CMCOR_1	初期化	初期化	保持
SCI	SCSMR1A	初期化	初期化	保持
	SCBRR1A	初期化	初期化	保持
	SCSCR1A	初期化	初期化	保持
	SCTDR1A	初期化	初期化	保持
	SCSSR1A	初期化	初期化	保持
	SCRDR1A	初期化	初期化	保持
	SCSMR1B	初期化	初期化	保持
	SCBRR1B	初期化	初期化	保持
	SCSCR1B	初期化	初期化	保持
	SCTDR1B	初期化	初期化	保持
	SCSSR1B	初期化	初期化	保持
	SCRDR1B	初期化	初期化	保持
	SCSMR1C	初期化	初期化	保持
	SCBRR1C	初期化	初期化	保持
	SCSCR1C	初期化	初期化	保持
	SCTDR1C	初期化	初期化	保持
	SCSSR1C	初期化	初期化	保持
	SCRDR1C	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
RSPI	SPCRA	初期化	初期化	保持
	SSLPA	初期化	初期化	保持
	SPPCRA	初期化	初期化	保持
	SPSRA	初期化	初期化	保持
	SPDRA	初期化	初期化	保持
	SPSCRA	初期化	初期化	保持
	SPSSRA	初期化	初期化	保持
	SPBRA	初期化	初期化	保持
	SPCKDA	初期化	初期化	保持
	SSLNDA	初期化	初期化	保持
	SPNDA	初期化	初期化	保持
	SPCMDA0	初期化	初期化	保持
	SPCMDA1	初期化	初期化	保持
	SPCMDA2	初期化	初期化	保持
	SPCMDA3	初期化	初期化	保持
	SPCMDA4	初期化	初期化	保持
	SPCMDA5	初期化	初期化	保持
	SPCMDA6	初期化	初期化	保持
	SPCMDA7	初期化	初期化	保持
	SPCRB	初期化	初期化	保持
	SSLPB	初期化	初期化	保持
	SPPCRB	初期化	初期化	保持
	SPSRB	初期化	初期化	保持
	SPDRB	初期化	初期化	保持
	SPSCRB	初期化	初期化	保持
	SPSSRB	初期化	初期化	保持
	SPBRB	初期化	初期化	保持
	SPCKDB	初期化	初期化	保持
	SSLNDB	初期化	初期化	保持
	SPNDB	初期化	初期化	保持
	SPCMDB0	初期化	初期化	保持
	SPCMDB1	初期化	初期化	保持
	SPCMDB2	初期化	初期化	保持
	SPCMDB3	初期化	初期化	保持
	SPCMDB4	初期化	初期化	保持
	SPCMDB5	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
RSPI	SPCMDB6	初期化	初期化	保持
	SPCMDB7	初期化	初期化	保持
RCAN-TL1（RCAN_A）	MCR	初期化	初期化	保持
	GSR	初期化	初期化	保持
	BCR1	初期化	初期化	保持
	BCR0	初期化	初期化	保持
	IRR	初期化	初期化	保持
	IMR	初期化	初期化	保持
	TEC/REC	初期化	初期化	保持
	TXPR1	初期化	初期化	保持
	TXPR0	初期化	初期化	保持
	TXCR1	初期化	初期化	保持
	TXCR0	初期化	初期化	保持
	TXACK1	初期化	初期化	保持
	TXACK0	初期化	初期化	保持
	ABACK1	初期化	初期化	保持
	ABACK0	初期化	初期化	保持
	RXPR1	初期化	初期化	保持
	RXPR0	初期化	初期化	保持
	RFPR1	初期化	初期化	保持
	RFPR0	初期化	初期化	保持
	MBIMR1	初期化	初期化	保持
	MBIMR0	初期化	初期化	保持
	UMSR1	初期化	初期化	保持
	UMSR0	初期化	初期化	保持
	TTCR0	初期化	初期化	保持
	CMAX_TEW	初期化	初期化	保持
	RFTROFF	初期化	初期化	保持
	TSR	初期化	初期化	保持
	CCR	初期化	初期化	保持
	TCNTR	初期化	初期化	保持
	CYCTR	初期化	初期化	保持
	RFMK	初期化	初期化	保持
	TCMR0	初期化	初期化	保持
	TCMR1	初期化	初期化	保持
	TCMR2	初期化	初期化	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_A）	TTTSEL		初期化	初期化	保持
	MB[0].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[1].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[2].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[3].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_A）	MB[3].	DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[4].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[5].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[6].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[7].	CONTROL0_H	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_A）	MB[7].	CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[8].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[9].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[10].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_A）	MB[10].	CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[11].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[12].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[13].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[14].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_A）	MB[14].	DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[15].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[16].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[17].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[18].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1（RCAN_A）	MB[18].	LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[19].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[20].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[21].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[22].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_A）	MB[22].	LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[23].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[24].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[25].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1（RCAN_A）	MB[25].	TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[26].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[27].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[28].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1（RCAN_A）	MB[29].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[30].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
		TTT	初期化	初期化	保持
	MB[31].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MBESR		初期化	初期化	保持
	MBECR		初期化	初期化	保持
RCAN-TL1（RCAN_B）	MCR		初期化	初期化	保持
	GSR		初期化	初期化	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_B）	BCR1		初期化	初期化	保持
	BCR0		初期化	初期化	保持
	IRR		初期化	初期化	保持
	IMR		初期化	初期化	保持
	TEC/REC		初期化	初期化	保持
	TXPR1		初期化	初期化	保持
	TXPR0		初期化	初期化	保持
	TXCR1		初期化	初期化	保持
	TXCR0		初期化	初期化	保持
	TXACK1		初期化	初期化	保持
	TXACK0		初期化	初期化	保持
	ABACK1		初期化	初期化	保持
	ABACK0		初期化	初期化	保持
	RXPR1		初期化	初期化	保持
	RXPR0		初期化	初期化	保持
	RFPR1		初期化	初期化	保持
	RFPR0		初期化	初期化	保持
	MBIMR1		初期化	初期化	保持
	MBIMR0		初期化	初期化	保持
	UMSR1		初期化	初期化	保持
	UMSR0		初期化	初期化	保持
	TTCR0		初期化	初期化	保持
	CMAX_TEW		初期化	初期化	保持
	RFTROFF		初期化	初期化	保持
	TSR		初期化	初期化	保持
	CCR		初期化	初期化	保持
	TCNTR		初期化	初期化	保持
	CYCTR		初期化	初期化	保持
	RFMK		初期化	初期化	保持
	TCMR0		初期化	初期化	保持
	TCMR1		初期化	初期化	保持
	TCMR2		初期化	初期化	保持
	TTTSEL		初期化	初期化	保持
	MB[0].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_B）	MB[0].	LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[1].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[2].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[3].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_B）	MB[3].	TIMESTAMP	初期化	初期化	保持
	MB[4].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[5].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[6].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[7].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1（RCAN_B）	MB[7].	DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[8].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[9].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[10].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[11].	CONTROL0_H	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_B）	MB[11].	CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[12].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[13].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[14].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_B）	MB[14].	DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[15].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MB[16].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[17].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[18].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_B）	MB[18].	DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[19].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[20].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[21].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[22].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1（RCAN_B）	MB[22].	DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[23].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
	MB[24].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[25].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1 （RCAN_B）	MB[26].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[27].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[28].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[29].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持

モジュール名	略称		リセット状態	低消費電力状態	
			パワーオン	ハードウェアスタンバイ	スリープ
RCAN-TL1（RCAN_B）	MB[29].	LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TTT	初期化	初期化	保持
		TTCONTROL	初期化	初期化	保持
	MB[30].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
		TTT	初期化	初期化	保持
	MB[31].	CONTROL0_H	不定	不定	保持
		CONTROL0_L	不定	不定	保持
		LAFM0	不定	不定	保持
		LAFM1	不定	不定	保持
		DATA_01	不定	不定	保持
		DATA_23	不定	不定	保持
		DATA_45	不定	不定	保持
		DATA_67	不定	不定	保持
		CONTROL1	初期化	初期化	保持
		TIMESTAMP	初期化	初期化	保持
	MBESR		初期化	初期化	保持
	MBECR		初期化	初期化	保持
ADC（ADC_A）	ADRD0		初期化	初期化	保持
	ADR0		初期化	初期化	保持
	ADR1		初期化	初期化	保持
	ADR2		初期化	初期化	保持
	ADR3		初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ADC（ADC_A）	ADR4	初期化	初期化	保持
	ADR5	初期化	初期化	保持
	ADR6	初期化	初期化	保持
	ADR7	初期化	初期化	保持
	ADR8	初期化	初期化	保持
	ADR9	初期化	初期化	保持
	ADR10	初期化	初期化	保持
	ADR11	初期化	初期化	保持
	ADR12	初期化	初期化	保持
	ADR13	初期化	初期化	保持
	ADR14	初期化	初期化	保持
	ADR15	初期化	初期化	保持
	ADR16	初期化	初期化	保持
	ADR17	初期化	初期化	保持
	ADR18	初期化	初期化	保持
	ADR19	初期化	初期化	保持
	ADR20	初期化	初期化	保持
	ADR21	初期化	初期化	保持
	ADR22	初期化	初期化	保持
ADC（ADC_B）	ADRD1	初期化	初期化	保持
	ADR40	初期化	初期化	保持
	ADR41	初期化	初期化	保持
	ADR42	初期化	初期化	保持
	ADR43	初期化	初期化	保持
	ADR44	初期化	初期化	保持
	ADR45	初期化	初期化	保持
	ADR46	初期化	初期化	保持
	ADR47	初期化	初期化	保持
	ADR48	初期化	初期化	保持
ADC（ADC_A）	ADCSR0	初期化	初期化	保持
ADC（ADC_B）	ADCSR1	初期化	初期化	保持
ADC（ADC_A）	ADREF0	初期化	初期化	保持
ADC（ADC_B）	ADREF1	初期化	初期化	保持
ADC（ADC_A）	ADTRE0	初期化	初期化	保持
ADC（ADC_B）	ADTRE1	初期化	初期化	保持
ADC（ADC_A）	ADTRF0	初期化	初期化	保持
ADC（ADC_B）	ADTRF1	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ADC（ADC_A）	ADTRS0	初期化	初期化	保持
ADC（ADC_B）	ADTRS1	初期化	初期化	保持
ADC（ADC_A）	ADSTRG0	初期化	初期化	保持
ADC（ADC_B）	ADSTRG1	初期化	初期化	保持
ADC（ADC_A）	ADTRD0	初期化	初期化	保持
ADC（ADC_B）	ADTRD1	初期化	初期化	保持
ADC（ADC_A）	ADADS0	初期化	初期化	保持
ADC（ADC_B）	ADADS1	初期化	初期化	保持
ADC（ADC_A）	ADADC0	初期化	初期化	保持
ADC（ADC_B）	ADADC1	初期化	初期化	保持
ADC（ADC_A）	ADANS0	初期化	初期化	保持
	ADANS1	初期化	初期化	保持
ADC（ADC_B）	ADANS3	初期化	初期化	保持
ADC（ADC_A）	ADCER0	初期化	初期化	保持
ADC（ADC_B）	ADCER1	初期化	初期化	保持
JTAG	SDIR	不定	不定	保持
	SDID	保持	保持	保持
	SDBPR	不定	不定	保持
	SDBSR	不定	不定	保持
PFC	PAIOR	初期化	初期化	保持
	PACR4	初期化	初期化	保持
	PACR3	初期化	初期化	保持
	PACR2	初期化	初期化	保持
	PACR1	初期化	初期化	保持
	PACR4A	初期化	初期化	保持
	PACR3A	初期化	初期化	保持
	PACR2A	初期化	初期化	保持
	PACR1A	初期化	初期化	保持
	PBIOR	初期化	初期化	保持
	PBCR4	初期化	初期化	保持
	PBCR3	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
PFC	PBCR2	初期化	初期化	保持
	PBCR1	初期化	初期化	保持
	PBCR3A	初期化	初期化	保持
	PBCR2A	初期化	初期化	保持
	PCIOR	初期化	初期化	保持
	PCCR4	初期化	初期化	保持
	PCCR3	初期化	初期化	保持
	PCCR2	初期化	初期化	保持
	PCCR1	初期化	初期化	保持
	PCCR4A	初期化	初期化	保持
	PCCR3A	初期化	初期化	保持
	PCCR2A	初期化	初期化	保持
	PCCR1A	初期化	初期化	保持
	PFIOR	初期化	初期化	保持
	PFCR2	初期化	初期化	保持
	PFCR1	初期化	初期化	保持
	PFCR4A	初期化	初期化	保持
	PFCR3A	初期化	初期化	保持
	PFCR2A	初期化	初期化	保持
	PFCR1A	初期化	初期化	保持
	PGIOR	初期化	初期化	保持
	PGCR2	初期化	初期化	保持
	PGCR1	初期化	初期化	保持
	PGCR4A	初期化	初期化	保持
	PGCR3A	初期化	初期化	保持
	PGCR2A	初期化	初期化	保持
	PGCR1A	初期化	初期化	保持
	PJIOR	初期化	初期化	保持
	PJCR2	初期化	初期化	保持
	PJCR1	初期化	初期化	保持
	PJCR3A	初期化	初期化	保持
	PJCR2A	初期化	初期化	保持
	PJCR1A	初期化	初期化	保持
	PSCR4	初期化	初期化	保持
	PSCR3	初期化	初期化	保持
	PSCR2	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
PFC	PSCR1	初期化	初期化	保持
	PTCR2	初期化	初期化	保持
	PTCR1	初期化	初期化	保持
I/O ポート	PADR	初期化	初期化	保持
	PAPR	端子の値	端子の値	保持
	PAIR	初期化	初期化	保持
	PBDR	初期化	初期化	保持
	PBPR	端子の値	端子の値	保持
	PBIR	初期化	初期化	保持
	PBDSR	初期化	初期化	保持
	PBPSR	初期化	初期化	保持
	PCDR	初期化	初期化	保持
	PCPR	端子の値	端子の値	保持
	PCIR	初期化	初期化	保持
	PCDSR	初期化	初期化	保持
	PFDR	初期化	初期化	保持
	PFPR	端子の値	端子の値	保持
	PFIR	初期化	初期化	保持
	PFDSR	初期化	初期化	保持
	PFPSR	初期化	初期化	保持
	PGDR	初期化	初期化	保持
	PGPR	端子の値	端子の値	保持
	PGIR	初期化	初期化	保持
	PGDSR	初期化	初期化	保持
	PGER	初期化	初期化	保持
	PGPSR	初期化	初期化	保持
	PJDR	初期化	初期化	保持
	PJPR	端子の値	端子の値	保持
	PJIR	初期化	初期化	保持
	PJDSR	初期化	初期化	保持
	PJPSR	初期化	初期化	保持
	PSPR	端子の値	端子の値	保持
	PTPR	端子の値	端子の値	保持
	CKCR	初期化	初期化	保持
MISG	MISRCDR	初期化	初期化	保持
	MISRCR	初期化	初期化	保持
	MISR	初期化	初期化	保持

モジュール名	略称	リセット状態	低消費電力状態	
		パワーオン	ハードウェアスタンバイ	スリープ
ROM/ EEPROM	FPMON	初期化	初期化	保持
	FMODR	初期化	初期化	保持
	FASTAT	初期化	初期化	保持
	FAEINT	初期化	初期化	保持
	ROMMAT	初期化	初期化	保持
	FCURAME	初期化	初期化	保持
	FSTATR0	初期化	初期化	保持
	FSTATR1	初期化	初期化	保持
	FENTRYR	初期化	初期化	保持
	FPROTR	初期化	初期化	保持
	FRESETR	初期化	初期化	保持
	FCMDR	初期化	初期化	保持
	FRAMECCR	初期化	初期化	保持
	FCPSR	初期化	初期化	保持
	EEPBCCNT	初期化	初期化	保持
	FPESTAT	初期化	初期化	保持
	EEPBCSTAT	初期化	初期化	保持
	EEPRE0	初期化	初期化	保持
	EEPWE0	初期化	初期化	保持
	EEPMAT	初期化	初期化	保持
	FCUAREA	初期化	初期化	保持
ROMC	RCCR	初期化	初期化	保持
	RCCR2	初期化	初期化	保持
RAM	RAMEN	初期化	初期化	保持
	RAMWEN	初期化	初期化	保持
	RAMECC	初期化	初期化	保持
	RAMERR	初期化	初期化	保持
	RAMINT	初期化	初期化	保持
	RAMACYC	初期化	初期化	保持
低消費電力モード	STBCR	初期化	初期化	保持

30. 電気的特性

30.1 絶対最大定格

絶対最大定格を表 30.1 に示します。

表 30.1 絶対最大定格

項目			記号	定格値	単位	備考
電源電圧 *1	Vcc、PLLVcc		Vcc	–0.3～+4.3	V	
	PVcc		PVcc	–0.3～+6.5	V	
入力電圧	Vcc 電源関連端子	EXTAL、JTAG 端子	Vin	–0.3～Vcc+0.3	V	表 30.2 を参照してください。
		$\overline{\text{HSTBY}}$、$\overline{\text{RES}}$、NMI、MDA、MDB 端子*4	Vin	–0.3～5.5+0.3	V	
		ASEMD、MDC、MDD、MD_CLK0、MD_CLKP 端子*5	Vin	–0.3～Vcc+0.3	V	
		ASEMD、MDC、MDD、MD_CLK0、MD_CLKP 端子*3	Vin	–0.3～5.5+0.3	V	
	PVcc 電源関連端子		Vin	–0.3～PVcc+0.3	V	
アナログ電源電圧			AVcc	–0.3～+6.5	V	
アナログ基準電圧			AVREFH	–0.3～AVcc+0.3	V	AVREFH＞AVREFL
			AVREFL	–0.3～AVss+0.3	V	
アナログ入力電圧			VAN	–0.3～AVcc +0.3	V	
Vss 差動電圧			Vss– PLLVss	–0.1～0.1	V	
			Vss– AVss	–0.1～0.1	V	
			PLLVss – AVss	–0.1～0.1	V	
最大入力電流（1 端子当たり）	デジタル入力端子		Imax	–25～25	mA	同時に 1 端子のみ
	アナログ入力端子		Imax	–25～25	mA	
動作温度*2			Topr	–40～+125	℃	
保存温度			Tstg	–55～+125	℃	実装前

【使用上の注意】

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

PVcc、Vccの5/3V系の2電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧でのLSIの使用はLSIの永久破壊、LSIを実装したシステムへのダメージを生じる場合があります。

【注】 *1 V_{CL} 端子に電源電圧を印加しないでください。外付けのコンデンサを介してグランドに接続してください。

*2 本 LSI を 85℃以上、125℃までの範囲で動作させせる場合は、累積動作時間を 3000 時間以内にしてください。

*3 V_{CC}＋0.3V より高い電圧を入力する場合は全端子の合成抵抗 200kΩ以上の抵抗を介して端子に接続することを推奨します。
ただし、外付けの V_{CC}（3V 系）レギュレータのシンク電流によっては、抵抗値を低くすることが可能ですが、合成抵抗値を 33kΩ以下にしないでください。
抵抗値を変更した場合は、スタンバイ時に V_{CC} 電圧が 3.6V を超えないことを確認してください。

*4 ASEMD、MDC、MDD、MD_CLK0、MD_CLKP 端子を 5V トレラント入力したときは、$\overline{\text{HSTBY}}$、$\overline{\text{RES}}$、NMI、MDA、MDB 端子を 5V 振幅入力にすることを推奨します。

*5 ASEMD、MDC、MDD、MD_CLK0、MD_CLKP 端子を 3.3V 入力したときは、$\overline{\text{HSTBY}}$、$\overline{\text{RES}}$、NMI、MDA、MDB 端子は、3.3V または 5V 振幅入力も可能です。

30.2 DC 特性

電源名と端子の関係を表 30.2 に示します。

表 30.2 電源名と端子の関係

ピン No.	電源端子 電源名	端子名	ユーザ端子						回路 電源名	入力電圧 最大値(V)	入力 バッファ タイプ	出力 駆動 能力	備考
			機能 1	機能 2	機能 3	機能 4	機能 A	機能 B					
001		AN_B40							AVcc	AVcc+0.3	アナログ		
002		AN_A22					PT6	TIF0A	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
003		AN_A21					PT5	TIF1A	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
004		AN_A20					PT4	TIF2A	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
005		AN_A19					PT3	TIF0B	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
006		AN_A18					PT2	TIF1B	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
007		AVREFL							AVcc	AVss+0.3	アナログ		
008		AN_A17					PT1	TIF2B	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
009		AN_A16					PT0	TIF3	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
010		AVREFH							AVcc	AVcc+0.3	アナログ		
011		AN_A15					PS15	TIF4	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
012		AN_A14					PS14	TIF5	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
013		AN_A13					PS13	TIF6	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
014		AN_A12					PS12	TIF7	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
015	AVss												
016		AN_A11					PS11	TIF8	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
017		AN_A10					PS10	TIF9	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
018	AVcc												
019		AN_A9					PS9	TIF10	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		

ピン No.	電源端子 電源名	端子名	ユーザ端子						回路 電源名	入力電圧 最大値(V)	入力 バッファ タイプ	出力 駆動 能力	備考
			機能 1	機能 2	機能 3	機能 4	機能 A	機能 B					
020		AN_A8					PS8	TIF11	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
021		AN_A7					PS7	TIF12	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
022		AN_A6					PS6	TIF13	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
023		AN_A5					PS5	TIF14	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
024		AN_A4					PS4	TIF15	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
025		AN_A3					PS3	TIF16	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
026		AN_A2					PS2	TIF17	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
027		AN_A1					PS1	TIF18	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
028		AN_A0					PS0	TIF19	AVcc/ PVcc	AVcc+0.3/ PVcc+0.3	アナログ／ シュミット B		
029	Vcc												
030			PJ0	TxD_A	CTx_A	CTx_A& CTx_B			PVcc	PVcc+0.3	シュミット B	○	
031	Vss												
032			PJ1	RxD_A	CRx_A	CRx_A& CRx_B			PVcc	PVcc+0.3	シュミット B		
033			PJ2	TxD_A			CTx_B		PVcc	PVcc+0.3	シュミット B	○	
034			PJ3	RxD_A			CRx_B		PVcc	PVcc+0.3	シュミット B		
035			PJ4	SCK_A	ADEND_ B	TIJ0	TIF0A		PVcc	PVcc+0.3	シュミット B	○	
036			PJ5	TxD_A			TIF1A		PVcc	PVcc+0.3	シュミット B	○	
037	Vss												
038			PJ6	RxD_A			TIF2A		PVcc	PVcc+0.3	シュミット B		
039	PVcc												
040			PJ7	SCK_B	ADEND_ A	TIJ1	TIF3		PVcc	PVcc+0.3	シュミット B	○	
041			PJ8	TxD_B			TIF4		PVcc	PVcc+0.3	シュミット B	○	
042			PJ9	RxD_B			TIF5		PVcc	PVcc+0.3	シュミット B		
043			PC15				TOE43		PVcc	PVcc+0.3	CMOS		
044			PC14				TOE42		PVcc	PVcc+0.3	CMOS		

ピン No.	電源端子 電源名	端子名	ユーザ端子						回路 電源名	入力電圧 最大値(V)	入力 バッファ タイプ	出力 駆動 能力	備考
			機能 1	機能 2	機能 3	機能 4	機能 A	機能 B					
045			PC13				TOE41		PVcc	PVcc+0.3	CMOS		
046			PC12				TOE40		PVcc	PVcc+0.3	CMOS		
047			PC11				TOE33		PVcc	PVcc+0.3	CMOS		
048			PC10				TOE32		PVcc	PVcc+0.3	CMOS		
049			PC9				TOE31		PVcc	PVcc+0.3	CMOS		
050			PC8				TOE30		PVcc	PVcc+0.3	CMOS		
051	Vss												
052			PC7				TOE23		PVcc	PVcc+0.3	CMOS		
053	PVcc												
054			PC6				TOE22		PVcc	PVcc+0.3	CMOS		
055			PC5				TOE21		PVcc	PVcc+0.3	CMOS		
056			PC4				TOE20		PVcc	PVcc+0.3	CMOS		
057			PC3				TOE13		PVcc	PVcc+0.3	CMOS		
058			PC2				TOE12		PVcc	PVcc+0.3	CMOS		
059			PC1				TOE11		PVcc	PVcc+0.3	CMOS		
060			PC0				TOE10		PVcc	PVcc+0.3	CMOS	○	
061			PA15				TIOC33		PVcc	PVcc+0.3	シュミットB		
062			PA14				TIOC32		PVcc	PVcc+0.3	シュミットB		
063	Vcc												
064			PA13				TIOC31		PVcc	PVcc+0.3	シュミットB		
065	Vss												
066	Vss												
067			PA12				TIOC30		PVcc	PVcc+0.3	シュミットB		
069			PA11				TIOC23		PVcc	PVcc+0.3	シュミットB		
070			PA10				TIOC22		PVcc	PVcc+0.3	シュミットB		
071	Vss												
072			PA9				TIOC21		PVcc	PVcc+0.3	シュミットB		
073	PVcc												
074			PA8				TIOC20		PVcc	PVcc+0.3	シュミットB		
075			PA7				TIOC13		PVcc	PVcc+0.3	シュミットB		
076			PA6				TIOC12		PVcc	PVcc+0.3	シュミットB		
077			PA5				TIOC11		PVcc	PVcc+0.3	シュミットB		
078			PA4				TIOC10		PVcc	PVcc+0.3	シュミットB		
079			PA3				TIOC03		PVcc	PVcc+0.3	シュミットB		
080			PA2				TIOC02		PVcc	PVcc+0.3	シュミットB		

ピン No.	電源端子 電源名	端子名	ユーザ端子						回路 電源名	入力電圧 最大値(V)	入力 バッファ タイプ	出力 駆動 能力	備考
			機能 1	機能 2	機能 3	機能 4	機能 A	機能 B					
081			PA1				TIOC01		PVcc	PVcc+0.3	シュミット B		
082			PA0				TIOC00		PVcc	PVcc+0.3	シュミット B		
083		TDO							Vcc				
084		TDI							Vcc	Vcc+0.3	TTL／シュミット B		
085		TMS							Vcc	Vcc+0.3	TTL／シュミット B		
086	Vss												
087		TCK							Vcc	Vcc+0.3	TTL		
088	Vcc												
089			$\overline{\text{TRST}}$						Vcc	Vcc+0.3	シュミット A		
090		CK							Vcc				
091		ASEMD							Vcc	Vcc+0.3、5.5+0.3*	シュミット A		
092		NMI							Vcc	5.5+0.3	シュミット A		
093	PLLVcc												
094		MDD							Vcc	Vcc+0.3、5.5+0.3*	シュミット A		
095	PLLVss												
096		MDC							Vcc	Vcc+0.3、5.5+0.3*	シュミット A		
097		MDB							Vcc	5.5+0.3	シュミット A		
098		$\overline{\text{WDTOVF}}$							Vcc				
099	Vss												
100		MD_CLK0							Vcc	Vcc+0.3、5.5+0.3*	シュミット A		
101		MD_CLKP							Vcc	Vcc+0.3、5.5+0.3*	シュミット A		
102	Vcc												
103		MDA							Vcc	5.5+0.3	シュミット A		
104		EXTAL							Vcc	Vcc+0.3	CMOS		
105		XTAL							Vcc				
106		$\overline{\text{HSTBY}}$							Vcc	5.5+0.3	シュミット A		
107		$\overline{\text{RES}}$							Vcc	5.5+0.3	シュミット A		
108			PF15	TOD33B	CRx_B	RxD_A	TOE03		PVcc	PVcc+0.3	シュミット B	○	
109			PF14	TOD32B	CTx_B	TxD_A	TOE02		PVcc	PVcc+0.3	シュミット B	○	

ピン No.	電源端子 電源名	端子名	ユーザ端子						回路 電源名	入力電圧 最大値(V)	入力 バッファ タイプ	出力 駆動 能力	備考
			機能 1	機能 2	機能 3	機能 4	機能 A	機能 B					
110			PF13	TOD31B		TIF19	RxD_C		PVcc	PVcc+0.3	シュミット B		
111			PF12	TOD30B		TIF18	TxD_C		PVcc	PVcc+0.3	シュミット B		
112	VCL												
113			PF11	TOD23B		TIF17	TOD11A		PVcc	PVcc+0.3	シュミット B		
114			PF10	TOD22B		TIF16	TOD10A		PVcc	PVcc+0.3	シュミット B		
115	Vss												
116			PF9	TOD21B		TIF15	TOD03A		PVcc	PVcc+0.3	シュミット B		
117			PF8	TOD20B		TIF14	TOD02A		PVcc	PVcc+0.3	シュミット B		
118	Vss												
119			PF7	TOD13B		TIF13	TOD01A		PVcc	PVcc+0.3	シュミット B		
120			PF6	TOD12B		TIF12	TOD00A		PVcc	PVcc+0.3	シュミット B		
121	PVcc												
122			PF5	TOD11B		TIF11			PVcc	PVcc+0.3	シュミット B		
123			PF4	TOD10B		TIF10			PVcc	PVcc+0.3	シュミット B		
124			PF3	TOD03B		TIF9	SCK_C		PVcc	PVcc+0.3	シュミット B		
125			PF2	TOD02B		TIF8	TIF2B		PVcc	PVcc+0.3	シュミット B		
126			PF1	TOD01B		TIF7	TIF1B		PVcc	PVcc+0.3	シュミット B		
127			PF0	TOD00B		TIF6	TIF0B		PVcc	PVcc+0.3	シュミット B		
128			PB0		MOSIA				PVcc	PVcc+0.3	シュミット B	○	
129			PB1		MISOA				PVcc	PVcc+0.3	シュミット B	○	
130			PB2		MOSIB				PVcc	PVcc+0.3	シュミット B	○	
131			PB3		MISOB				PVcc	PVcc+0.3	シュミット B	○	
132			PB4		CTx_B	TIF6	TOE00		PVcc	PVcc+0.3	シュミット B	○	
133			PB5		CRx_B	TIF7	TOE01		PVcc	PVcc+0.3	シュミット B	○	
134			PB6				TIOC40		PVcc	PVcc+0.3	シュミット B	○	
135			PB7				TIOC41		PVcc	PVcc+0.3	シュミット B		
136	Vss												
137			PB8		TOE20				PVcc	PVcc+0.3	シュミット B		
138	PVcc												
139			PB9				TIOC42		PVcc	PVcc+0.3	シュミット B		
140			PB10				TIOC43		PVcc	PVcc+0.3	シュミット B		
141			PB11		TOE21				PVcc	PVcc+0.3	シュミット B		
142			PB12		RSPCKA				PVcc	PVcc+0.3	シュミット B	○	
143			PB13		RSPCKB				PVcc	PVcc+0.3	シュミット B	○	
144			PB14						PVcc	PVcc+0.3	シュミット B		

ピン No.	電源端子 電源名	端子名	ユーザ端子						回路 電源名	入力電圧 最大値(V)	入力 バッファ タイプ	出力 駆動 能力	備考
			機能 1	機能 2	機能 3	機能 4	機能 A	機能 B					
145	VCL												
146			PG0	TOD00A	SSLA0		$\overline{IRQ0}$		PVcc	PVcc+0.3	シュミット B	○	
147	Vss												
148	Vss												
149			PG1	TOD01A	SSLA1		$\overline{IRQ1}$		PVcc	PVcc+0.3	シュミット B	○	
150	Vcc												
151			PG2	TOD02A	SSLA2		$\overline{IRQ2}$		PVcc	PVcc+0.3	シュミット B	○	
152			PG3	TOD03A	SSLA3		$\overline{IRQ3}$		PVcc	PVcc+0.3	シュミット B	○	
153			PG4	TOD10A	SSLA4	SSLB3	ADTRG_A		PVcc	PVcc+0.3	シュミット B	○	
154			PG5	TOD11A	SSLA5		ADTRG_B		PVcc	PVcc+0.3	シュミット B	○	
155	PVcc												
156			PG6	TOD12A	SSLB0				PVcc	PVcc+0.3	シュミット B	○	
157	Vss												
158			PG7	TOD13A	SSLB1				PVcc	PVcc+0.3	シュミット B	○	
159			PG8	TOD20A	SSLB2	TIF6	TxD_B		PVcc	PVcc+0.3	シュミット B	○	
160			PG9	TOD21A		TIF7	RxD_B		PVcc	PVcc+0.3	シュミット B	○	
161			PG10	TOD22A		TIF8	TCLKA		PVcc	PVcc+0.3	シュミット B	○	
162			PG11	TOD23A		TIF9	TCLKB		PVcc	PVcc+0.3	シュミット B	○	
163			PG12	TOD30A	SSLA4	TIF10	TIA00		PVcc	PVcc+0.3	シュミット B	○	
164			PG13	TOD31A	SSLA5	TIF11	TIA01		PVcc	PVcc+0.3	シュミット B	○	
165			PG14	TOD32A	SSLA6	TIF12	TIA02		PVcc	PVcc+0.3	シュミット B	○	
166			PG15	TOD33A	SSLA7	TIF13	TIA03		PVcc	PVcc+0.3	シュミット B	○	
167			AN_B48						AVcc	AVcc+0.3	アナログ		
168			AN_B47						AVcc	AVcc+0.3	アナログ		
169			AN_B46						AVcc	AVcc+0.3	アナログ		
170			AN_B45						AVcc	AVcc+0.3	アナログ		
171	AVcc												
172			AN_B44						AVcc	AVcc+0.3	アナログ		
173			AN_B43						AVcc	AVcc+0.3	アナログ		
174	AVss												
175			AN_B42						AVcc	AVcc+0.3	アナログ		
176			AN_B41						AVcc	AVcc+0.3	アナログ		

【注】 ＊ V_{CC}＋0.3V より高い電圧を入力する場合は全端子の合成抵抗 200kΩ以上の抵抗を介して端子に接続することを推奨します。
ただし、外付けの V_{CC}（3V 系）レギュレータのシンク電流によっては、抵抗値を低くすることが可能ですが、合成抵抗値を 33kΩ以下にしないでください。
抵抗値を変更した場合は、スタンバイ時に V_{CC} 電圧が 3.6V を超えないことを確認してください。

【使用上の注意】

本 LSI 動作中の電源電圧は以下のとおりとしてください。

V_{CC} = $PLLV_{CC}$ = 3.3V ±0.3V、

PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、

V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V

表 30.3 各動作モードにおける PV_{CC} 電圧

動作モード	端子設定				モード名	PV_{CC} 電圧
	MDD	MDC	MDB	MDA		
モード 0	0	0	0	0	MCU シングルチップモード	5.0 V ±0.5 V
モード 1	0	0	1	0	ブートモード	5.0 V ±0.5 V
モード 2	0	0	0	1	ユーザプログラムモード	5.0 V ±0.5 V
モード 3	0	0	1	1	ユーザブートモード	5.0 V ±0.5 V

DC 特性を表 30.4～表 30.12 に示します。

表 30.4 DC 特性（入力電圧）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V
T_a = –40℃～125℃

項目		記号	Min.	Typ.	Max.	単位	測定条件
シュミットトリガ入力電圧（モード端子および制御端子用バッファタイプ A）	$\overline{HSTBY}$、$\overline{RES}$、NMI、MDA、MDB	V_T^+ (V_{IH})	V_{CC} × 0.83	—	5.5 + 0.3*2	V	表 30.2 参照（入力バッファタイプがシュミット A の項目）
	ASEMD、MDC、MDD、MD_CLK0、MD_CLKP	V_T^+ (V_{IH})	V_{CC} × 0.83	—	V_{CC} + 0.3*3	V	
		V_T^+ (V_{IH})	V_{CC} × 0.83	—	5.5 + 0.3*1	V	
	$\overline{HSTBY}$、$\overline{RES}$、NMI、ASEMD、MDD～MDA、MD_CLK0、MD_CLKP	V_T^- (V_{IL})	- 0.3	—	V_{CC} × 0.2	V	
		V_{HS}	V_{CC} × 0.15	—	—	V	
	$\overline{TRST}$	V_T^+ (V_{IH})	V_{CC} × 0.83	—	Vcc + 0.3	V	
		V_T^- (V_{IL})	- 0.3	—	V_{CC} × 0.2	V	
		V_{HS}	V_{CC} × 0.15	—	—	V	
シュミットトリガ入力電圧（GPIO 端子および周辺 I/O 端子用バッファタイプ B）	PA15～PA0、PB14～PB0、PF15～PF0、PG15～PG0、PJ9～PJ0、PS15～PS0、PT6～PT0	V_T^+ (V_{IH})	PV_{CC} × 0.7	—	PV_{CC} + 0.3	V	表 30.2 参照（入力バッファタイプがシュミット B の項目）
		V_T^- (V_{IL})	- 0.3	—	PV_{CC} × 0.42	V	
		V_{HS}	PV_{CC} × 0.082	—	—	V	
CMOS 入力電圧（GPIO 端子）	PC15～PC0	V_{IH}	PVcc × 0.7	—	PV_{CC} + 0.3	V	
		V_{IL}	- 0.3	—	PVcc × 0.3	V	
クロック入力端子電圧	EXTAL	V_{IH}	V_{CC} × 0.7	—	V_{CC} + 0.3	V	
		V_{IL}	- 0.3	—	V_{CC} × 0.2	V	
TTL 入力電圧（H-UDI）	TCK、TMS、TDI	V_{IH}	2.2	—	V_{CC} + 0.3	V	
		V_{IL}	- 0.3	—	0.8	V	

項　　目		記号	Min.	Typ.	Max.	単位	測定条件
シュミットトリガ入力電圧（JTAG、バッファタイプ B）	TMS、TDI	V_T^+ (V_{IH})	Vcc × 0.7	—	Vcc + 0.3	V	表 30.2 参照（入力バッファタイプがシュミット B の項目）
		V_T^- (V_{IL})	- 0.3	—	Vcc × 0.42	V	
		V_{HS}	Vcc × 0.082	—	—	V	

【注】 *1 Vcc＋0.3V より高い電圧を入力する場合は全端子の合成抵抗 200kΩ以上の抵抗を介して端子に接続することを推奨します。
ただし、外付けの Vcc（3V 系）レギュレータのシンク電流によっては、抵抗値を低くすることが可能ですが、合成抵抗値を 33kΩ以下にしないでください。
抵抗値を変更した場合は、スタンバイ時に Vcc 電圧が 3.6V を超えないことを確認してください。

*2 ASEMD、MDC、MDD、MD_CLK0、MD_CLKP 端子を 5V トレラント入力したときは、$\overline{HSTBY}$、$\overline{RES}$、NMI、MDA、MDB 端子を 5V 振幅入力にすることを推奨します。

*3 ASEMD、MDC、MDD、MD_CLK0、MD_CLKP 端子を 3.3V 入力したときは、$\overline{HSTBY}$、$\overline{RES}$、NMI、MDA、MDB 端子は、3.3V または 5V 振幅入力も可能です。

表 30.5 DC 特性（入力リーク電流）

条件：Vcc = PLLVcc = 3.3 V ±0.3 V、
PVcc = AVcc = 5.0 V ±0.5 V、AVREFH = 4.5 V～AVcc、
Vss = PLLVss = AVss = AVREFL = 0 V
Ta = –40℃～125℃

項　　目		記号	Min.	Typ.	Max.	単位	測定条件
入力リーク電流	$\overline{HSTBY}$、$\overline{RES}$、NMI、ASEMD、MDD～MDA、MD_CLK0、MD_CLKP、EXTAL	| Iin |	—	—	2.0	μA	Vin = 0.3 V～Vcc – 0.3 V
	$\overline{TRST}$、TMS、TDI、TCK、（プルアップまたはプルダウン抵抗オフ時）		—	—	2.0	μA	Vin = 0.3 V～Vcc – 0.3 V
	PA15～PA0、PB14～PB0、PC15～PC0		—	—	2.0	μA	Vin = 0.3 V～PVcc – 0.3 V
	PF15～PF0、PG15～PG0、PJ9～PJ0		—	—	2.0	μA	Vin = 0.3 V～PVcc – 0.3 V
	A/D ポート		—	—	0.1	μA	Vin = 0.3 V～AVcc – 0.3 V、Ta =–40℃～105℃
			—	—	0.2	μA	Vin = 0.3 V～AVcc – 0.3 V、Ta =105℃～125℃

表 30.6 DC 特性（プルアップ／プルダウン MOS 電流）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V
T_a = –40℃～125℃

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力プルアップ MOS 電流	TMS、$\overline{TRST}$、TDI、TCK	$-I_{pu}$	–	–	350	μA	V_{in} = 0 V
入力プルダウン MOS 電流	RxD_A～RxD_C	I_{pd}	–	–	350	μA	V_{in} = PV_{CC}
	MISOA、MISOB		–	–	350	μA	V_{in} = PV_{CC}
	ASEMD		–	–	200	μA	V_{in} = V_{CC}

表 30.7 DC 特性（出力電圧）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V
T_a = –40℃～125℃

項目		記号	Min.	Typ.	Max.	単位	測定条件
出力ハイレベル電圧	PA15～PA0、PB14～PB0、PC15～PC0	V_{OH}	PV_{CC}– 0.5	–	–	V	I_{OH} = 200 μA
			PV_{CC} – 1.0	–	–	V	I_{OH} = 1 mA
	PF15～PF0、PG15～PG0、PJ9～PJ0		PV_{CC} – 0.5	–	–	V	I_{OH} = 200 μA
			PV_{CC} – 1.0	–	–	V	I_{OH} = 1 mA
	CK		V_{CC} – 0.5	–	–	V	I_{OH} = 200 μA
	$\overline{WDTOVF}$		V_{CC} – 0.5	–	–	V	I_{OH} = 200 μA
	TDO		V_{CC} – 0.5	–	–	V	I_{OH} = 200 μA
出力ローレベル電圧	PA15～PA0、PB14～PB0、PC15～PC0	V_{OL}	–	–	0.4	V	I_{OL} = 1.6 mA
			–	–	1.2	V	I_{OL} = 4 mA
	PF15～PF0、PG15～PG0、PJ9～PJ0		–	–	0.4	V	I_{OL} = 1.6 mA
			–	–	1.2	V	I_{OL} = 4 mA
	CK		–	–	0.4	V	I_{OL} = 1.6 mA
	$\overline{WDTOVF}$		–	–	0.4	V	I_{OL} = 1 mA
	TDO		–	–	0.4	V	I_{OL} = 1.6 mA

表 30.8 DC 特性（許容出力電流）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V
T_a = –40℃～125℃

項　　目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流（1 端子当たり）	I_{OL}	–	–	4.0	mA
出力ローレベル許容電流（総和）	ΣI_{OL}	–	–	80	mA
出力ハイレベル許容電流（1 端子当たり）	I_{OH}	–	–	2.0	mA
出力ハイレベル許容電流（総和）	ΣI_{OH}	–	–	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 30.8 の値を超えないようにしてください。

表 30.9 DC 特性（注入電流）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V
T_a = –40℃～125℃

項　　目		記号	Min.	Typ.	Max.	単位
DC 注入電流（1 端子当たり）	ロジック端子	I_{IC}	– 1.0	–	2.0	mA
	アナログ端子		– 3.0	–	3.0	mA
DC 注入電流（総和）		$\Sigma \lvert I_{IC} \rvert$	–	–	50.0	mA

【注】 端子の電圧は 5.8V を超えないようにしてください。

表 30.10 DC 特性（入力容量）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V

項　　目		記号	Min.	Typ.	Max.	単位	測定条件
入力容量	すべての端子	C_{in}	–	10	20	pF	V_{in} = 0 V、 f = 1 MHz、 T_a = 25℃

表 30.11 DC 特性（消費電流）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V
T_a = –40℃～125℃

項目		記号	Min.	Typ.*	Max.	単位	測定条件
消費電流（Vcc 電源）	通常動作（フラッシュメモリ書き込み／消去動作を含む）	I_{CC}	—	105	149	mA	f = 120 MHz
			—	126	170	mA	f = 160 MHz
			—	147	191	mA	f = 200 MHz
	スリープ	I_{SLP}	—	55	99	mA	f = 120 MHz
			—	61	105	mA	f = 160 MHz
			—	67	111	mA	f = 200 MHz
	リセット時電流	I_{RST}	26	67	111	mA	f = 120 MHz
			30	77	121	mA	f = 160 MHz
			34	87	131	mA	f = 200 MHz
PLL 消費電流（$PLLV_{CC}$ 電源）		I_{PLL}	—	3.0	5.0	mA	
アナログ電源電流（AVcc 電源）	A/D 変換中	I_{AVCC}	—	7.4	9.8	mA	2 モジュール
	A/D 変換待機中		—	65	120	μA	
	スタンバイ		—	5.0	100	μA	
ADC 基準電源電流（AVREF）	A/D 変換中	I_{AVREF}	—	2.5	4.0	mA	2 モジュール
	A/D 変換待機中		—	2.2	3.5	mA	
	スタンバイ		—	0.1	1.0	μA	

【注】 * V_{CC} = 3.3V、T_a = 25℃のとき

【使用上の注意】

1. A/D 変換器を使用しないときおよび A/D 変換器がスタンバイのとき、AV_{CC} 端子、AV_{ref} 端子、AV_{SS} 端子を開放しないでください。
2. 消費電流値はすべての出力端子を無負荷状態で、V_{IH}min = V_{CC} – 0.5 V/PV_{CC} – 0.5 V、V_{IL} = 0.5 V のときの値です。
3. MCU シングルチップモードで PV_{CC} 電源の保証動作範囲は PV_{CC} = 5.0 V ±0.5 V のときです。この範囲外で使用しないでください。

表 30.12 DC 特性（スタンバイ）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V
T_a = –40℃～125℃

項　　目		記号	Min.	Typ.	Max.	単位	測定条件
消費電流（V_{CC} 電源）	スタンバイ	I_{SB}	—	—	300	μA	-40℃ ≤ T_a ≤ 50℃
			—	—	750	μA	50℃ < T_a ≤ 105℃
			—	—	1000	μA	105℃ < T_a ≤ 125℃
RAM スタンバイ電圧（V_{CC} 電源）	RAM の内容保持	V_{RAM}	2.7	—	—	V	

30.3 AC 特性

30.3.1 電源投入・切断タイミング

表 30.13 に電源投入・切断タイミングを示します。

表 30.13 電源投入・切断タイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目	記号	Min.	Max.	単位	参照図
Vcc 先行投入時間	t_{VCCS}	0	—	ms	図 30.1
PVcc 切断時 Vcc ホールド時間	t_{VCCH1}	0	—	ms	

【注】 t_{VCCS} または t_{VCCH1} が満たせない場合は、PVcc で動作する端子状態について不確定になります。

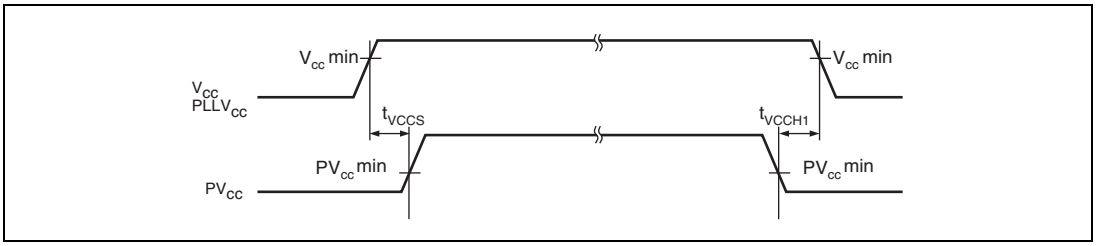


図 30.1 電源投入・切断タイミング

30.3.2 動作モードと発振タイミング

表 30.14 に動作モードと発振タイミングを示します。

表 30.14 動作モードと発振タイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Max.	単位	参照図
発振安定時間		t_{OSC1}	10	–	ms	図 30.2
動作モードセットアップ時間（スタートアップ時）		t_{MDS1}	10	–	ms	
動作モードセットアップ時間（動作中）	MD_CLKP＝0	t_{MDS2}	10	–	t_{CYC}	
	MD_CLKP＝1		20	–		
動作モードホールド時間（リセット解除後）	MD_CLKP＝0	t_{MDH1}	30	–	t_{CYC}	
	MD_CLKP＝1		60	–		
動作モードホールド時間（パワーダウン時）		t_{MDH2}	0	–	ms	
スイッチオフ時の V_{CC} のホールド時間 （内蔵フラッシュの書き込み・消去中の破壊を避けるため）		t_{VCCH2}	22	–	μs	
リセット後の $\overline{HSTBY}$ ホールド時間 （リセット状態での RAM 内容の維持）		t_{HSTBYH}	1	–	μs	
$\overline{HSTBY}$ パルス幅 （内蔵レギュレータの電源遮断と再給電のため）		t_{HSTBYW}	1	–	ms	図 30.3

【注】 パワーオン、パワーオフ時も含め、常に AVREFH≦AV_{CC}＋0.3V を満足する必要があります。

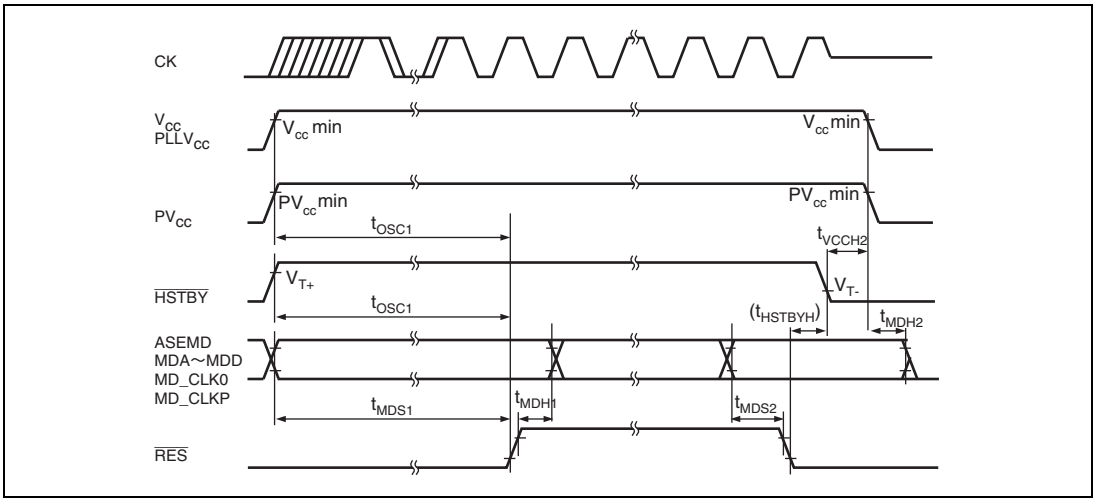


図 30.2 パワーオン／オフ時の動作モードと発振タイミング

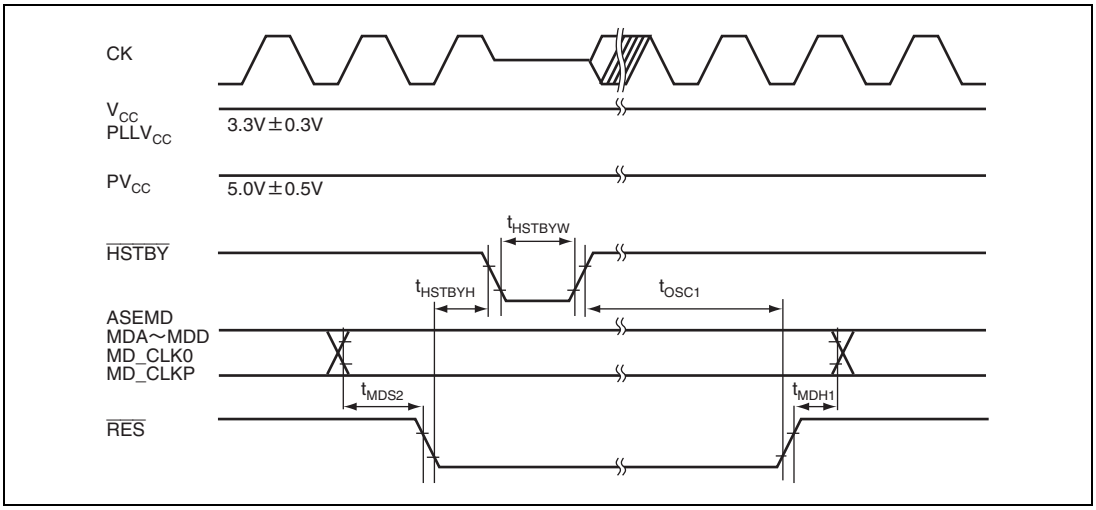


図 30.3 動作中の動作モードと発振タイミング

30.3.3 クロックタイミング

表 30.15 にクロックタイミングを示します。

表 30.15 クロックタイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

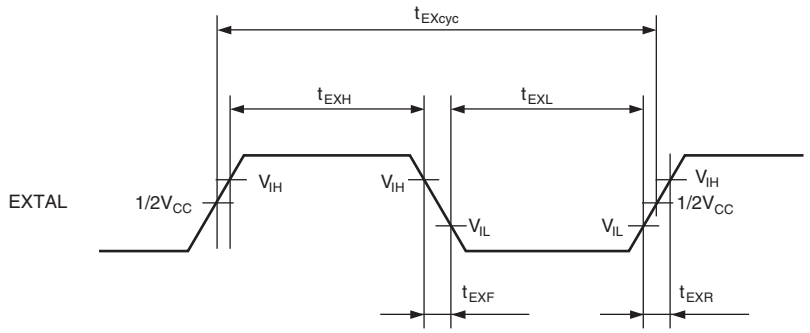
項　　目		記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数		f_{EX}	16	20	MHz	図 30.4
EXTAL クロック入力サイクル時間		t_{EXcyc}	50	62.5	ns	
EXTAL クロック入力ローレベルパルス幅		t_{EXL}	15	–	ns	
EXTAL クロック入力ハイレベルパルス幅		t_{EXH}	15	–	ns	
EXTAL クロック入力立ち上がり時間		t_{EXR}	–	4	ns	
EXTAL クロック入力立ち下がり時間		t_{EXF}	–	4	ns	
クロック周波数*1	MD_CLKP＝0	f_{op}	16	20	MHz	図 30.5
クロックサイクル時間		t_{cyc}	50	62.5	ns	
クロックローレベルパルス幅		t_{CL}	12	–	ns	
クロックハイレベルパルス幅		t_{CH}	12	–	ns	
クロック周波数*1	MD_CLKP＝1	f_{op}	32	40	MHz	
クロックサイクル時間		t_{cyc}	25	31.25	ns	
クロックローレベルパルス幅		t_{CL}	4	–	ns	
クロックハイレベルパルス幅		t_{CH}	4	–	ns	
クロック立ち上がり時間		t_{CR}	–	8	ns	
クロック立ち下がり時間		t_{CF}	–	8	ns	
クロックジッタ（平均値 1 μs）*2		f_{JIT}	–	0.3	%	Not tested

【注】 *1 CK 端子から出力するクロックは周辺クロック（Pφ）です。

*2 クロックジッタの値はボード設計に依存します。

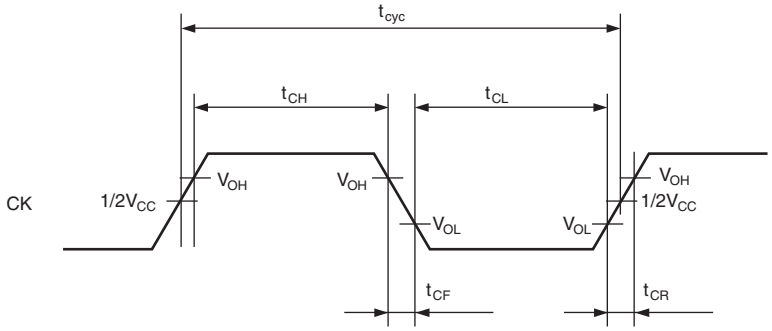
【使用上の注意】

EXTAL、XTAL、CK 端子は V_{CC}＝3.3 V ±0.3 V 電源の回路です。DC 特性に規定されている入力、出力電圧の規定値で使用してください。



【注】 EXTAL端子はVcc＝3.3V±0.3Vの電源回路です。

図 30.4 EXTAL クロック入力タイミング



【注】 CK端子はVcc＝3.3V±0.3Vの電源回路です。

図 30.5 システムクロックタイミング

30.3.4 制御信号タイミング

表 30.16 に制御信号タイミングを示します。

表 30.16 制御信号タイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Max.	単位	参照図
$\overline{RES}$ パルス幅（フラッシュメモリ書き込み／消去を除く）	MD_CLKP＝0	t_{RESW1}	30	－	t_{CYC}	図 30.6
	MD_CLKP＝1		60	－		
$\overline{RES}$ パルス幅（フラッシュメモリ書き込み／消去中）＊		t_{RESW2}	20	－	μs	
$\overline{RES}$ ノイズキャンセル幅		t_{RESNCW}	0.2	1.3	μs	
$\overline{RES}$ セットアップ時間		t_{RESS}	1.3	－	μs	
NMI セットアップ時間		t_{NMIS}	330	－	ns	図 30.7
NMI ホールド時間		t_{NMIH}	330	－	ns	
$\overline{IRQ3}$～$\overline{IRQ0}$ セットアップ時間		t_{IRQS}	24	－	ns	
$\overline{IRQ3}$～$\overline{IRQ0}$ ホールド時間（エッジ検出時）		t_{IRQH}	24	－	ns	

【注】 ＊ 内蔵フラッシュの書き込み・消去中に発生する LSI 内部の高電圧を放電するための待ち時間。

【使用上の注意】

1. $\overline{RES}$ 端子によるパワーオンリセット中のモードセットアップ時間は MDA～MDD、MD_CLK0、および MD_CLKP 端子に入力された信号の組み合わせに依存します。もし、表 30.3 の端子設定で指定された信号の組み合わせを MDA～MDD、MD_CLK0、および MD_CLKP 端子に入力することで本 LSI が動作している間にローレベル信号が $\overline{RES}$ 端子に入力された場合、モードセットアップ時間は t_{MDS2} で定義されます。もし、表 30.3 の端子設定で指定された信号の組み合わせ以外の信号が MDA～MDD、MD_CLK0、および MD_CLKP 端子に入力された場合、モードセットアップ時間は t_{MDS1} で定義されます。
2. $\overline{RES}$、NMI、および $\overline{IRQ3}$～$\overline{IRQ0}$ 信号は非同期入力ですが、ここに示されたセットアップが守られた場合、クロックの立ち上がりで変化が生じたものとして判定されます。セットアップを守れない場合、次のクロックの立ち上がりまで認識が遅れることがあります。

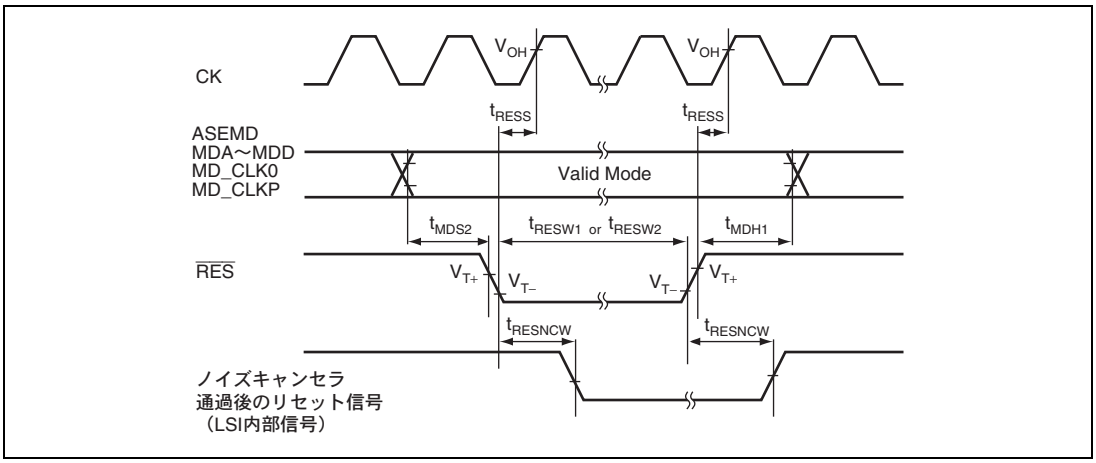


図 30.6 リセット入力タイミング

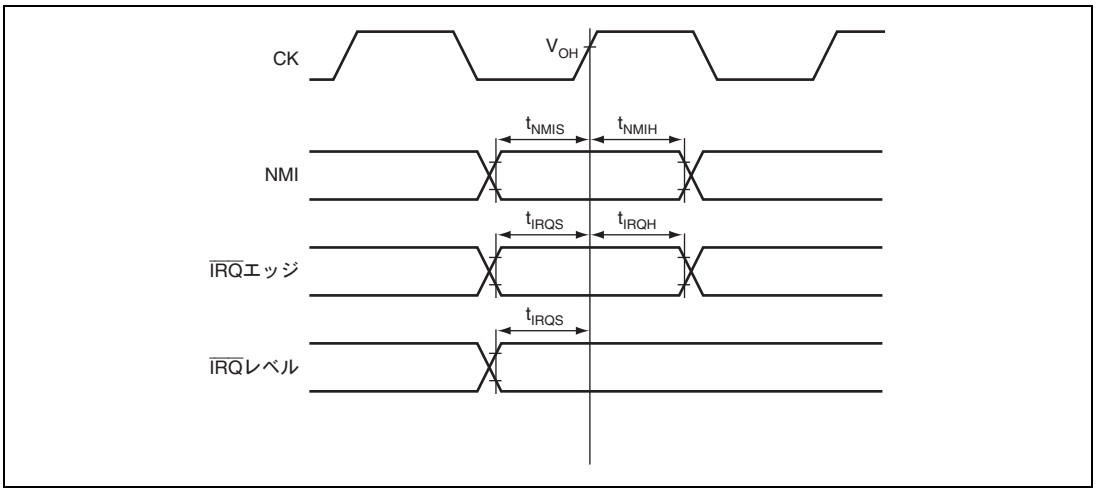


図 30.7 割り込み信号入力タイミング

30.3.5 アドバンストタイマユニットタイミング、アドバンストパルスコントローラタイミング

表 30.17 にアドバンストタイマユニットタイミング、アドバンストパルスコントローラタイミングを示します。

表 30.17 アドバンストタイマユニットタイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Typ.*1	Max.	単位	参照図
アウトプットコンペア出力遅延時間		t_{TOCD}	–	–	100	ns	図 30.8
アウトプットコンペア立ち上がり／立ち下がり時間*2	スロー	t_{SR}、t_{SF}	–	50	100	ns	図 30.22
	ファスト	t_{FR}、t_{FF}	–	6	12		
インプットキャプチャ入力セットアップ時間		t_{TICS}	24	–	–	ns	図 30.8
タイマクロック入力セットアップ時間		t_{TCKS}	24	–	–	ns	図 30.9
タイマクロックパルス幅（単エッジ指定）		t_{TCKWH}、t_{TCKWL}	1.5	–	–	t_{cyc}	
タイマクロックパルス幅（両エッジ指定）		t_{TCKWH}、t_{TCKWL}	2.5	–	–	t_{cyc}	

【注】 *1 Typ.値の条件は、V_{CC}=3.3V、PV_{CC}=5.0V、T_a=25°C です。

*2 ファストスルーレートに切り換え可能な端子については表 30.2 を参照してください。.

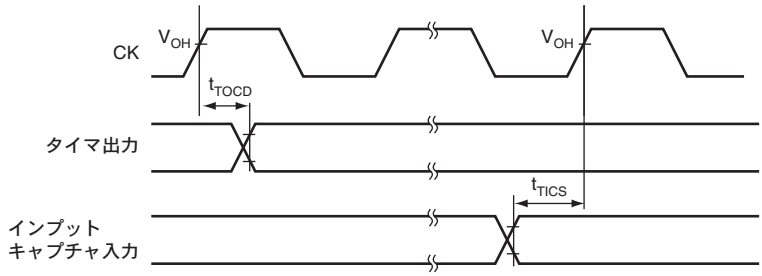


図 30.8 ATU 入出力タイミング

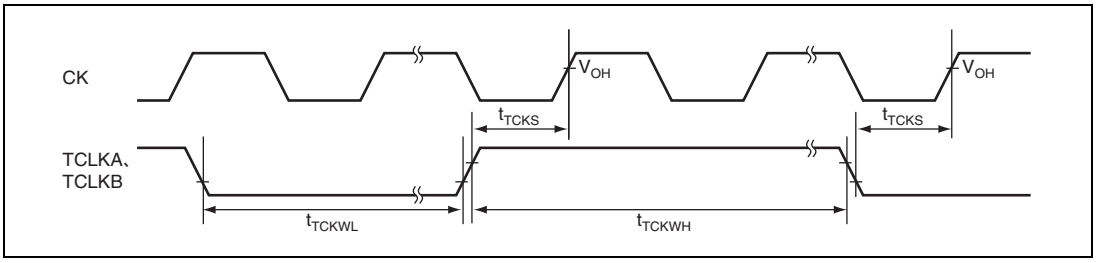


図 30.9 ATU クロック入力タイミング

30.3.6 I/O ポートタイミング

表 30.18 に I/O ポートタイミングを示します。

表 30.18 I/O ポートタイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Typ.*1	Max.	単位	参照図
ポート出力データ遅延時間		t_{PWD}	–	–	100	ns	図 30.10
ポート出力データ立ち上がり／立ち下がり時間*2	スロー	t_{SR}、t_{SF}	–	50	100	ns	図 30.22
	ファスト	t_{FR}、t_{FF}	–	6	12		
ポート入力セットアップ時間		t_{PRS}	24	–	–	ns	図 30.10
ポート入力ホールド時間（ポート G 以外のレベル入力）		t_{PRH}	24	–	–	ns	
ポート入力ホールド時間（ポート G エッジ入力）		t_{PRH}	t_{cyc}＋24	–	–	ns	

【注】 *1 Typ.値の条件は、V_{CC}=3.3V、PV_{CC}＝5.0V、T_a＝25°C です。

*2 ファストスルーレートに切り換え可能な端子については表 30.2 を参照してください。.

【使用上の注意】

MCU シングルチップモード時の電源 PV_{CC} の動作保証電圧は PV_{CC}＝5.0 V ±0.5 V のみです。これ以外の電圧で使用しないでください。

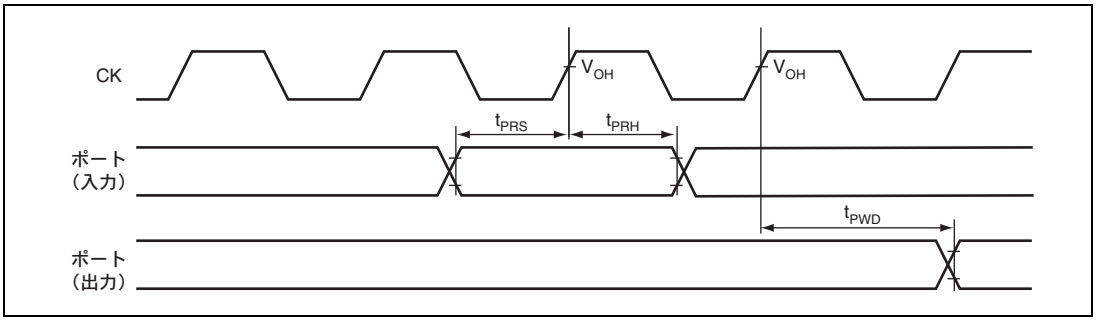


図 30.10 I/O ポート入出力タイミング

30.3.7 ウォッチドッグタイマタイミング

表 30.19 にウォッチドッグタイマタイミングを示します。

表 30.19 ウォッチドッグタイマタイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目	記号	Min.	Max.	単位	参照図
$\overline{\text{WDTOVF}}$ 遅延時間	t_{WOVD}	—	100	ns	図 30.11

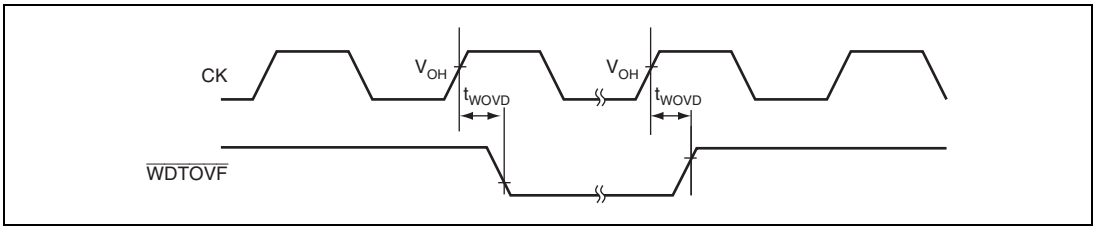


図 30.11 ウォッチドッグタイマタイミング

30.3.8 シリアルコミュニケーションインタフェースタイミング

表 30.20 にシリアルコミュニケーションインタフェースタイミングを示します。

表 30.20 シリアルコミュニケーションインタフェースタイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項目			記号	Min.	Typ.*	Max.	単位	参照図
クロックサイクル（クロック同期：クロック入力）	MD_CLKP＝0		t_{Scyc}	12	－	－	t_{cyc}	図 30.12
クロックサイクル（クロック同期：クロック出力）			t_{Scyc}	8	－	－	t_{cyc}	
クロックサイクル（クロック同期：クロック入力）	MD_CLKP＝1		t_{Scyc}	16	－	－	t_{cyc}	
クロックサイクル（クロック同期：クロック出力）			t_{Scyc}	16	－	－	t_{cyc}	
クロックパルス幅			t_{Sckw}	0.4	－	0.6	t_{Scyc}	
入力クロック立ち上がり時間	MD_CLKP＝0		t_{Sckr}	－	－	0.8	t_{cyc}	
入力クロック立ち下がり時間			t_{Sckf}	－	－	0.8	t_{cyc}	
入力クロック立ち上がり時間	MD_CLKP＝1		t_{Sckr}	－	－	1.6	t_{cyc}	
入力クロック立ち下がり時間			t_{Sckf}	－	－	1.6	t_{cyc}	
クロック同期式モード送信データ遅延時間（SCK 入力）	MD_CLKP＝0		t_{TxD}	－	－	3×t_{cyc}＋100	ns	図 30.13
	MD_CLKP＝1			－	－	3×t_{cyc}＋75		
クロック同期式モード受信データセットアップ時間（SCK 入力）			t_{RxS}	- 1×t_{cyc}＋30	－	－	ns	
クロック同期式モード受信データホールド時間（SCK 入力）			t_{RxH}	2×t_{cyc}＋30	－	－	ns	
クロック同期式モード送信データ遅延時間（SCK 出力）			t_{TxD}	－	－	100	ns	
クロック同期式モード受信データセットアップ時間（SCK 出力）	送受信または送信のみ	スロー	t_{RxS}	120	－	－	ns	
		ファスト		30	－	－		
	受信のみ	スロー		3×t_{cyc}＋120	－	－		
		ファスト		3×t_{cyc}＋30	－	－		
クロック同期式モード受信データホールド時間（SCK 出力）			t_{RxH}	1×t_{cyc}＋30	－	－	ns	
調歩同期式モード送信データ遅延時間			t_{TxD}	－	－	100	ns	

項　　目		記号	Min.	Typ.*	Max.	単位	参照図
調歩同期式モード受信データセットアップ時間		t_{RxS}	100	－	－	ns	図 30.13
調歩同期式モード受信データホールド時間		t_{RxH}	100	－	－	ns	
SCK クロック出力立ち上がり／立ち下がり時間	スロー	t_{SR}、t_{SF}	－	50	100	ns	図 30.22
	ファスト	t_{FR}、t_{FF}	－	6	12		
TxD 送信データ出力立ち上がり／立ち下がり時間	スロー	t_{SR}、t_{SF}	－	50	100	ns	
	ファスト	t_{FR}、t_{FF}	－	6	12		

【注】 * Typ.値の条件は、V_{CC}=3.3V、PV_{CC}＝5.0V、T_a＝25°C です。

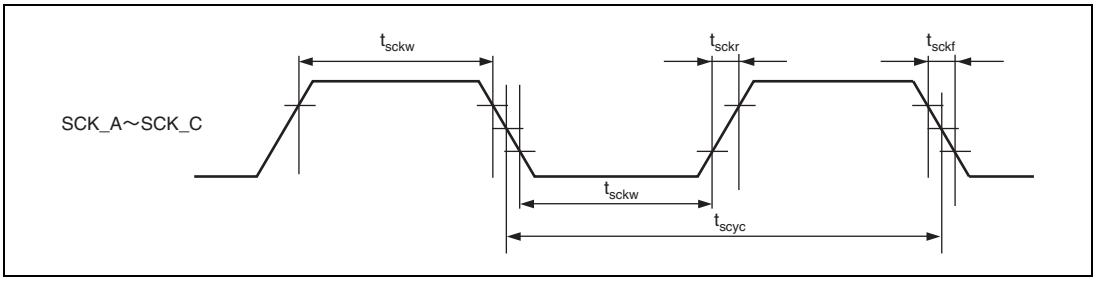


図 30.12 SCK 入力タイミング

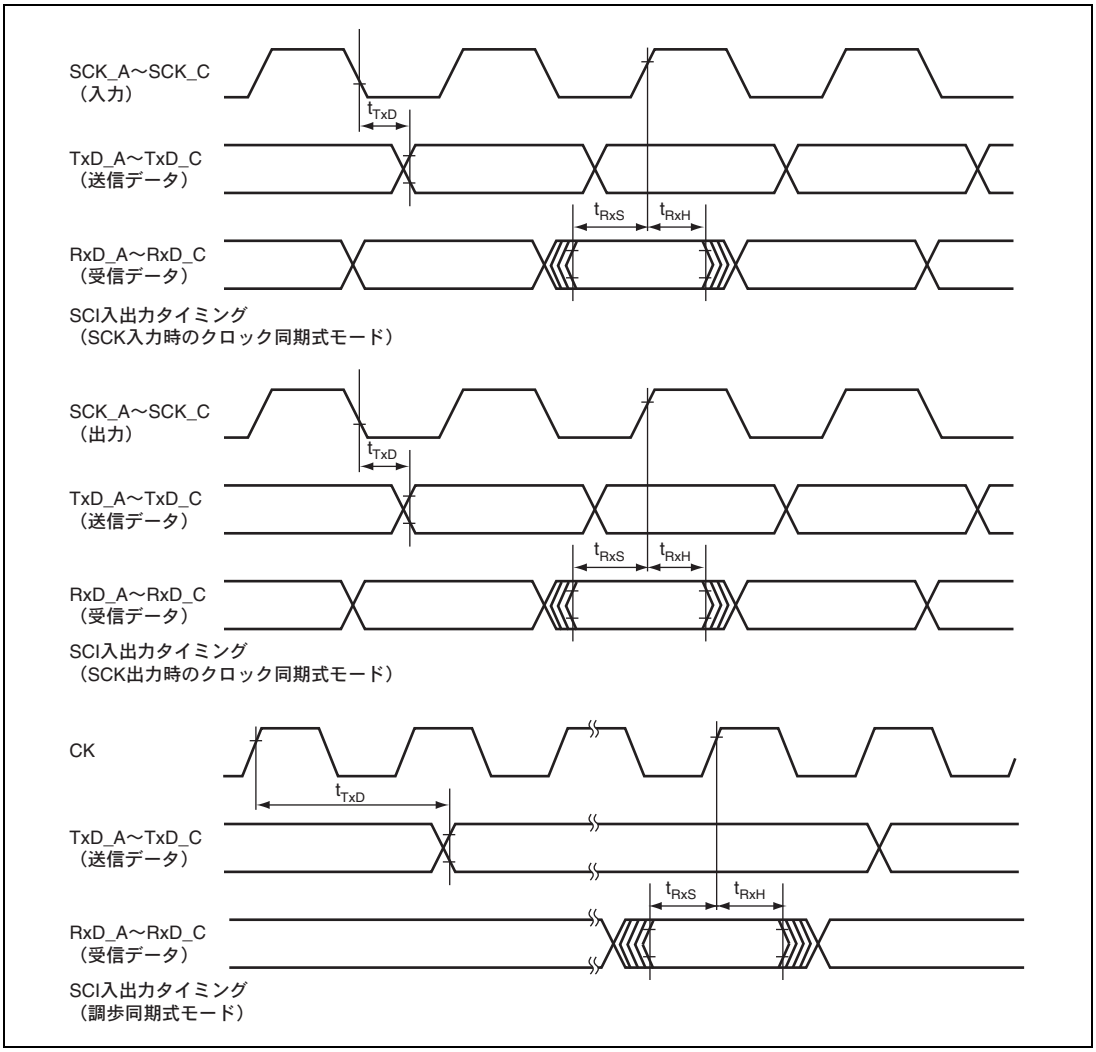


図 30.13　SCI 入出力タイミング

30.3.9 CAN タイミング

表 30.21 に CAN タイミングを示します。

表 30.21 CAN タイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC}= 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Typ.*1	Max.	単位	参照図
CAN 送信データ遅延時間		t_{CTxD}	–	–	100	ns	図 30.14
CTx 送信データ出力立ち上がり／立ち下がり時間	スロー	t_{SR}、t_{SF}	–	50	100	ns	図 30.22
	ファスト	t_{FR}、t_{FF}	–	6	12		
CAN 受信データセットアップ時間		t_{CRxS}	100	–	–	ns	図 30.14
CAN 受信データホールド時間		t_{CRxH}	100	–	–	ns	
CAN バスジッタ*3	1μs 期間	f_{CANJIT}	–	0.13*2	–	%	1Mbps/1-bit 500kbps/1-bit 1Mbps/10-bit 500kbps/10-bit
	2μs 期間		–	0.08*2	0.1	%	
	10μs 期間		–	0.02*2	–	%	
	20μs 期間		–	0.01*2	0.1	%	

【注】 *1 Typ.値の条件は、V_{CC}＝3.3V、PV_{CC}＝5.0V、T_a＝25°C です。

*2 CAN バスジッタの Typ.値は代表サンプルの水晶誤差を除いた測定値です。全数テストされた保証値ではありません。

*3 水晶の誤差は含まれていません。

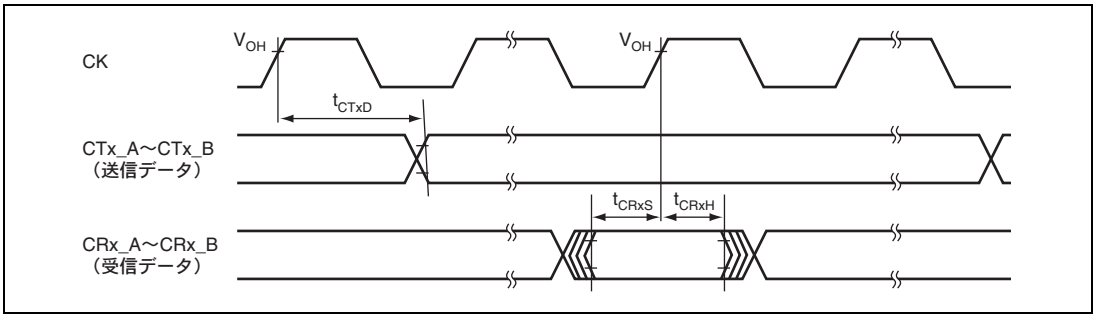


図 30.14 CAN 入出力タイミング

30.3.10 SPI タイミング

表 30.22 に SPI タイミングを示します。

表 30.22（1） SPI タイミング（出力スルーレートファスト時のタイミング）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項目			記号	Min.	Typ.	Max.	単位	参照図
RSPCK クロックサイクル	MD_CLKP=0	マスタ	t_{SPcyc}	2	–	4096	t_{cyc}	図 30.15
		スレーブ		8	–	4096		
	MD_CLKP=1	マスタ		4	–	4096	t_{cyc}	
		スレーブ		16	–	4096		
RSPCK クロックハイレベルパルス幅		マスタ	t_{SPCKWH}	（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2－5	–	–	ns	
		スレーブ		（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2	–	–		
RSPCK クロックローレベルパルス幅		マスタ	t_{SPCKWL}	（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2－5	–	–	ns	
		スレーブ		（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2	–	–		
RSPCK クロック立ち上がり／立ち下がり時間		出力	t_{SPCKR}、t_{SPCKF}	–	3	5	ns	
		入力		–	–	1	μs	
データ入力セットアップ時間		マスタ	t_{SU}	18	–	–	ns	図 30.16～30.19
		スレーブ		20－2×tcyc	–	–	ns	
データ入力ホールド時間		マスタ	t_H	0	–	–	ns	
		スレーブ		20＋2×tcyc	–	–		
SSL セットアップ時間		マスタ	t_{LEAD}	1	–	8	t_{SPcyc}	
		スレーブ		4	–	–	t_{cyc}	
SSL ホールド時間		マスタ	t_{LAG}	1	–	8	t_{SPcyc}	
		スレーブ		4	–	–	t_{cyc}	
データ出力遅延時間		マスタ	t_{OD}	–	–	15	ns	
		スレーブ		–	–	25＋3×tcyc		
データ出力ホールド時間		マスタ	t_{OH}	－10	–	–	ns	
		スレーブ		0	–	–		

項　　目		記号	Min.	Typ.	Max.	単位	参照図
連続送信遅延時間	マスタ	t_{TD}	t_{SPcyc}＋2×t_{cyc}	－	8×t_{SPcyc}＋2×t_{cyc}	ns	図 30.16～30.19
	スレーブ		4×t_{cyc}	－	－		
MOSI、MISO 立ち上がり／立ち下がり時間	出力	t_{DR}、t_{DF}	－	3	5	ns	
	入力		－	－	1	μs	
SSL 立ち上がり／立ち下がり時間	出力	t_{SSLR}、t_{SSLF}	－	3	5	ns	
	入力		－	－	1	μs	
スレーブアクセス時間		t_{SA}	－	－	4	t_{cyc}	図 30.18、30.19
スレーブ出力解放時間		t_{REL}	－	－	3	t_{cyc}	

【注】 Typ.値の条件は、V_{CC}＝3.3V、PV_{CC}＝5.0V、T_a＝25°C です。
RSPCK、MISO/MOSI、SSL のスルーレート設定がすべてファストの場合のタイミングです。

表 30.22（2） SPI タイミング（出力スルーレートスロー時のタイミング）

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目			記号	Min.	Typ.	Max.	単位	参照図
RSPCK クロックサイクル	MD_CLKP＝0	マスタ	t_{SPcyc}	8	－	4096	t_{cyc}	図 30.15
		スレーブ		8	－	4096		
	MD_CLKP＝1	マスタ		16	－	4096	t_{cyc}	
		スレーブ		16	－	4096		
RSPCK クロックハイレベルパルス幅		マスタ	t_{SPCKWH}	（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2－5	－	－	ns	
		スレーブ		（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2	－	－		
RSPCK クロックローレベルパルス幅		マスタ	t_{SPCKWL}	（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2－5	－	－	ns	
		スレーブ		（t_{SPcyc}－t_{SPCKR}－t_{SPCKF}）/2	－	－		
RSPCK クロック立ち上がり／立ち下がり時間		出力	t_{SPCKR}、t_{SPCKF}	－	20	40	ns	
		入力		－	－	1	μs	
データ入力セットアップ時間		マスタ	t_{SU}	100	－	－	ns	図 30.16～30.19
		スレーブ		20－2×t_{cyc}	－	－	ns	
データ入力ホールド時間		マスタ	t_H	0	－	－	ns	
		スレーブ		20＋2×t_{cyc}	－	－	ns	

項　　目		記号	Min.	Typ.	Max.	単位	参照図
SSL セットアップ時間	マスタ	t_{LEAD}	1	−	8	t_{SPcyc}	図 30.16～30.19
	スレーブ		4	−	−	t_{cyc}	
SSL ホールド時間	マスタ	t_{LAG}	1	−	8	t_{SPcyc}	
	スレーブ		4	−	−	t_{cyc}	
データ出力遅延時間	マスタ	t_{OD}	−	−	20	ns	
	スレーブ		−	−	100＋3×t_{cyc}		
データ出力ホールド時間	マスタ	t_{OH}	−20	−	−	ns	
	スレーブ		0	−	−		
連続送信遅延時間	マスタ	t_{TD}	t_{SPcyc}＋2×t_{cyc}	−	8×t_{SPcyc}＋2×t_{cyc}	ns	
	スレーブ		4×t_{cyc}	−	−		
MOSI、MISO 立ち上がり／立ち下がり時間	出力	t_{DR}、t_{DF}	−	20	40	ns	
	入力		−	−	1	μs	
SSL 立ち上がり／立ち下がり時間	出力	t_{SSLR}、t_{SSLF}	−	20	40	ns	
	入力		−	−	1	μs	
スレーブアクセス時間		t_{SA}	−	−	4	t_{cyc}	図 30.18、30.19
スレーブ出力解放時間		t_{REL}	−	−	3	t_{cyc}	

【注】 Typ.値の条件は、V_{CC}＝3.3V、PV_{CC}＝5.0V、T_a＝25°C です。
RSPCK、MISO/MOSI、SSL のスルーレート設定がすべてスローの場合のタイミングです。

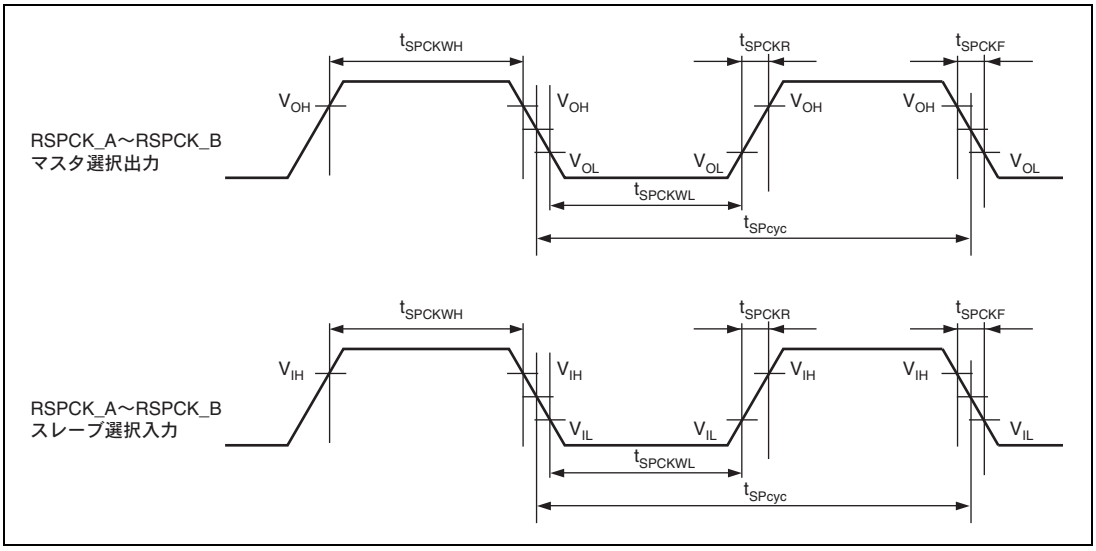


図 30.15 SPI クロックタイミング

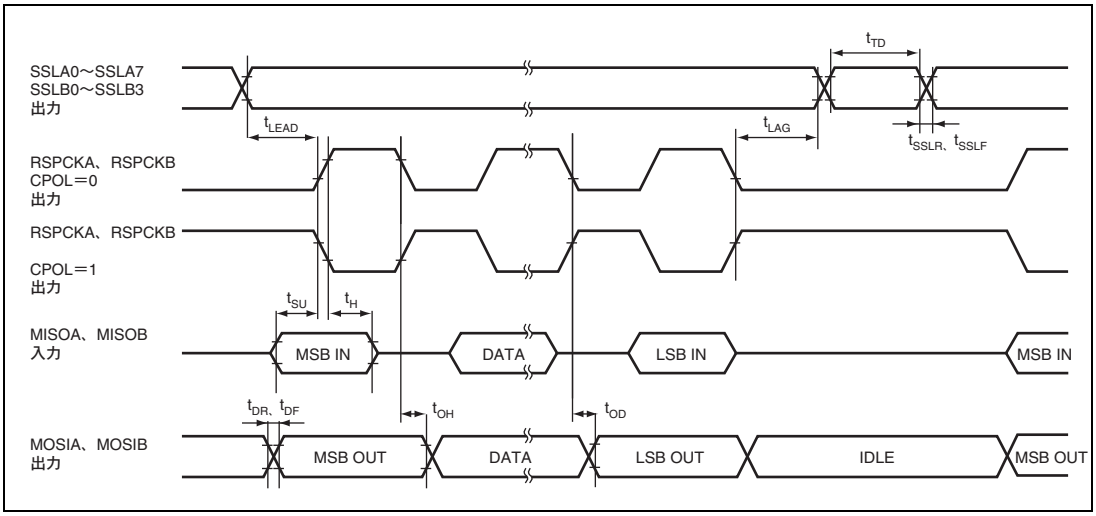


図 30.16 SPI タイミング（マスタ、CPHA＝0）

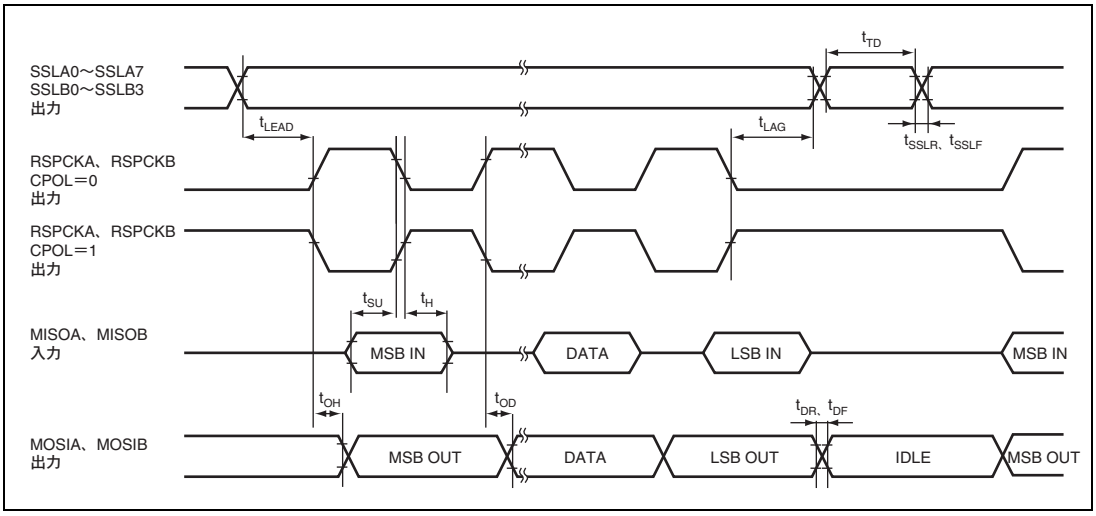


図 30.17 SPI タイミング（マスタ、CPHA＝1）

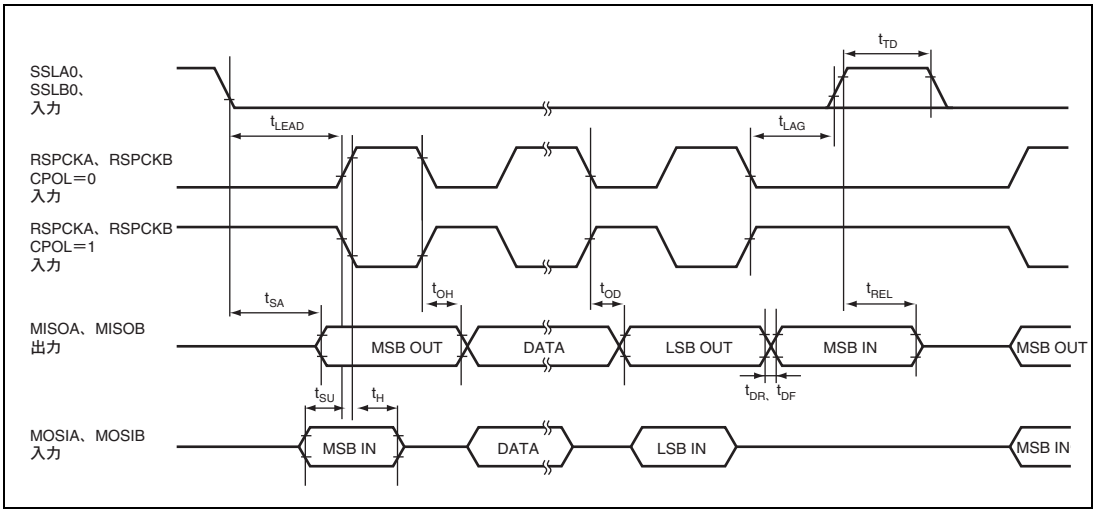


図 30.18 SPI タイミング（スレーブ、CPHA=0）

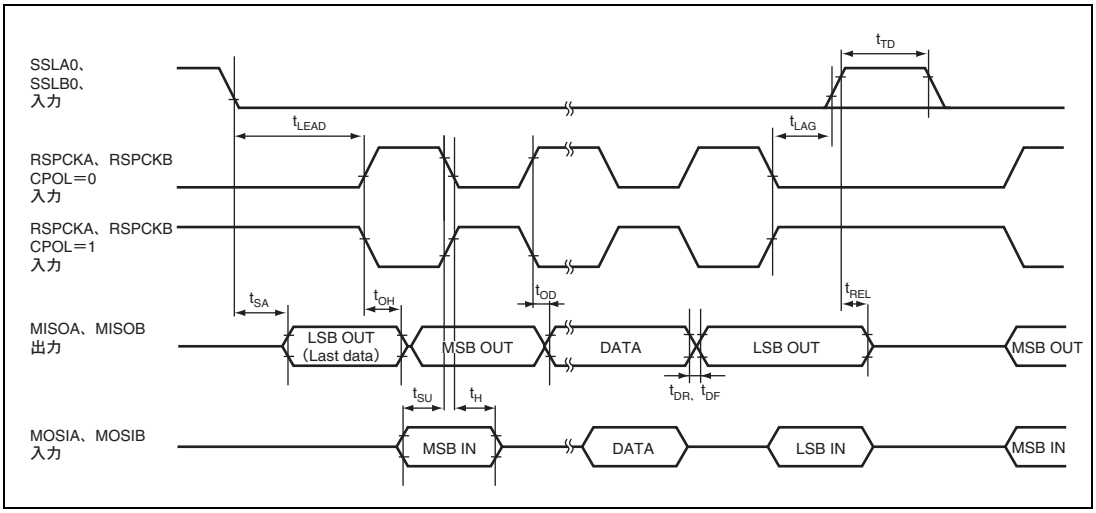


図 30.19 SPI タイミング（スレーブ、CPHA=1）

30.3.11 A/D 変換器タイミング

表 30.23 に A/D 変換器タイミングを示します。

表 30.23 A/D 変換器タイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Typ.*	Max.	単位	参照図
外部トリガ入力開始遅延時間		t_{TRGS}	50	–	–	ns	図 30.20
ADEND 出力遅延時間		t_{ADENDD}	–	–	100	ns	図 30.21
ADEND 出力立ち上がり／立ち下がり時間	スロー	t_{SR}、t_{SF}	–	–	100	ns	図 30.22
	ファスト	t_{FR}、t_{FF}	–	–	12		

【注】 * Typ.値の条件は、V_{CC}＝3.3V、PV_{CC}＝5.0V、T_a＝25°C です。

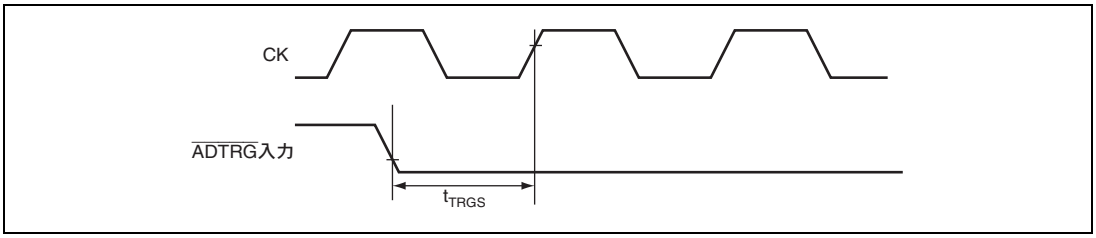


図 30.20 外部トリガ入力タイミング

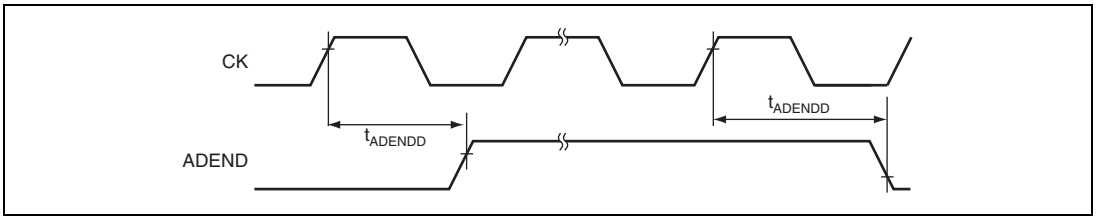


図 30.21 アナログ変換タイミング

30.3.12 出力スルーレート

表 30.24 に出力スルーレートタイミングを示します。

表 30.24 出力スルーレートタイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目	記号	条件	Min.	Typ.	Max.	単位	参照図
出力立ち上がり／立ち下がり時間 スロースルーレート	t_{SR}、t_{SF}	Load 25[pF]	－	25	50	ns	図 30.22
		Load 50[pF]	－	50	100		
		Load 75[pF]	－	75	150		
		Load 100[pF]	－	100	200		
出力立ち上がり／立ち下がり時間 ファストスルーレート	t_{FR}、t_{FF}	Load 25[pF]	－	4	6	ns	
		Load 50[pF]	－	6	12		
		Load 75[pF]	－	8	18		
		Load 100[pF]	－	10	24		

【注】 1. Typ.値の条件は、V_{CC}＝3.3V、PV_{CC}＝5.0V、T_a＝25°C です。

2. ファストスルーレートに切り換え可能な端子については表 30.2 を参照してください。

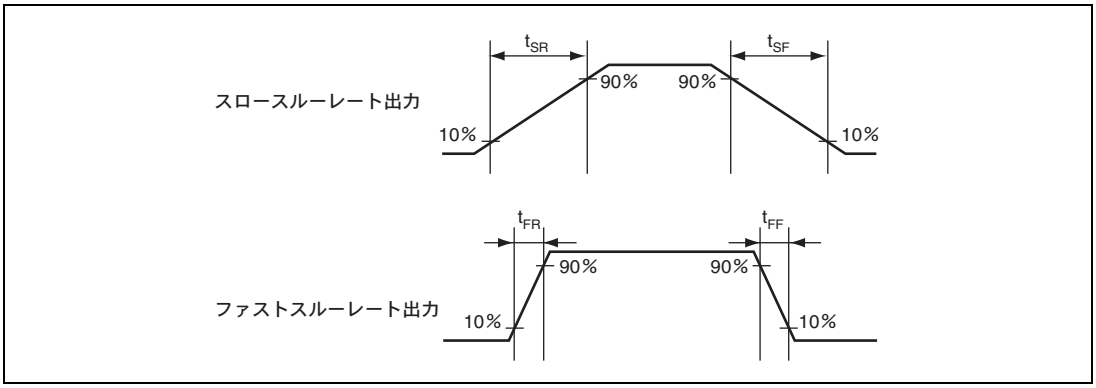


図 30.22 出力スルーレートタイミング

30.3.13 JTAG インタフェースタイミング

表 30.25 に JTAG インタフェースタイミングを示します。

表 30.25 JTAG インタフェースタイミング

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Max.	単位	参照図
TCK クロックサイクル	MD_CLKP＝0	t_{TCKcyc}	10	－	t_{cyc}	図 30.23
	MD_CLKP＝1		20	－		
TCK クロックハイレベル幅		t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK クロックローレベル幅		t_{TCKL}	0.4	0.6	t_{TCKcyc}	
$\overline{TRST}$ パルス幅		t_{TRSW}	20	－	t_{TCKcyc}	図 30.24
TMS セットアップ時間		t_{TMSS}	30	－	ns	図 30.25
TMS ホールド時間		t_{TMSH}	30	－	ns	
TDI セットアップ時間		t_{TDIS}	30	－	ns	
TDI ホールド時間		t_{TDIH}	30	－	ns	
TDO 遅延時間		t_{TDOD}	－	45	ns	

【使用上の注意】

JTAG インタフェース端子は V_{CC}＝3.3 V ±0.3 V 電源の回路です。DC 特性に規定されている入力、出力電圧の規定値で使用してください。

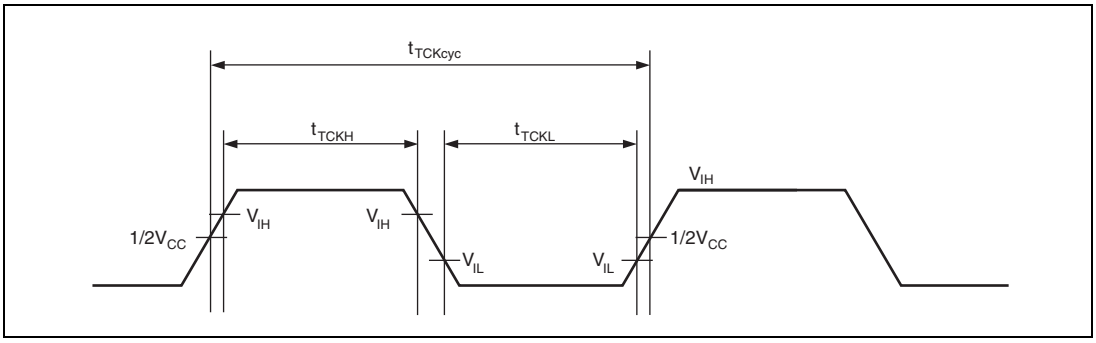


図 30.23 JTAG インタフェースクロックタイミング

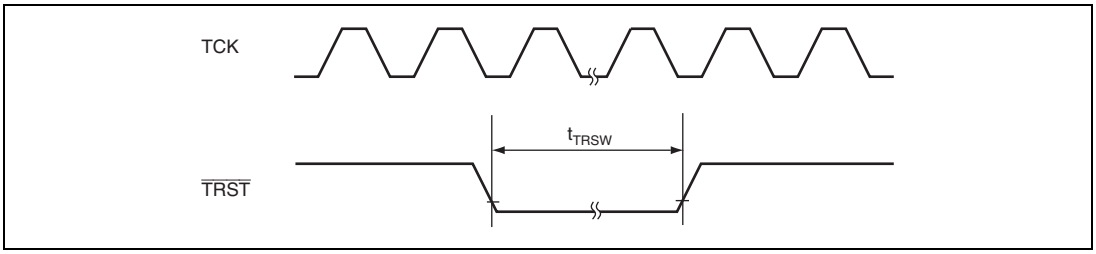


図 30.24 JTAG インタフェース $\overline{TRST}$ タイミング

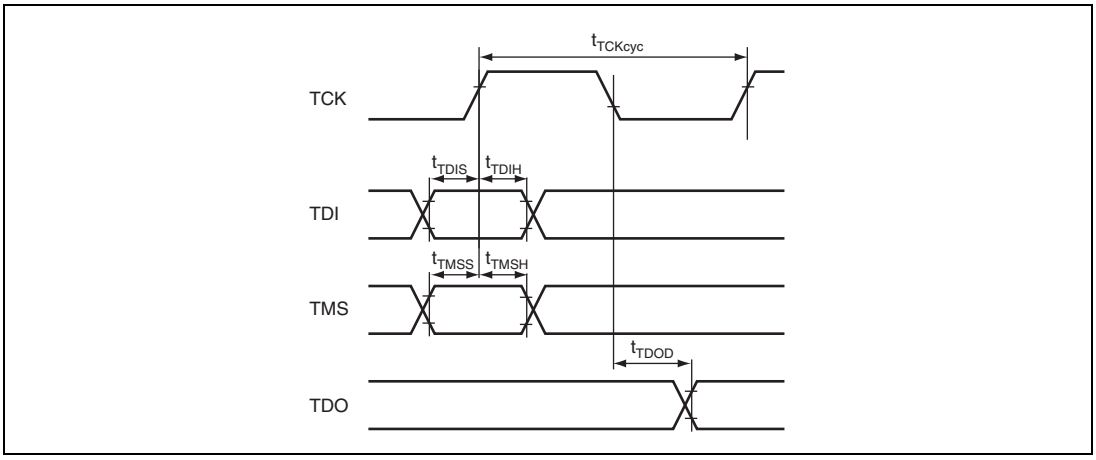
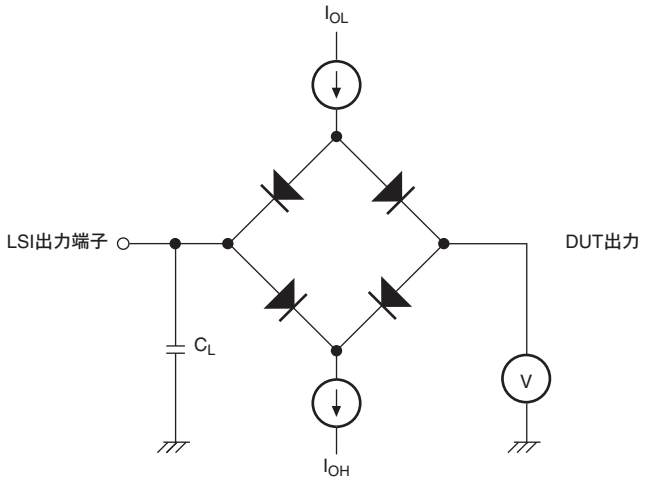


図 30.25 JTAG インタフェース入出力タイミング

30.3.14 AC 特性測定条件

- 入力参照レベル　ハイレベル：V_{IH} Min.値、ローレベル：V_{IL} Max.値
- 出力参照レベル　ハイレベル：2.0 V、ローレベル：0.8 V
- 入力立ち上がり、立ち下がり時間：1ns



【注】1. C_Lは測定装置の容量も含んだ合計値です。各端子は以下のように設定されています。
30pF：CK
50pF：上記以外の端子
2. I_{OH}＝200μA、I_{OL}＝1.6mA

図 30.26　出力負荷回路

30.4 A/D 変換器特性

表 30.26 に A/D 変換器特性を示します。

表 30.26 A/D 変換器特性

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項　　目		記号	Min.	Max.	単位	参照図
デジタル分解能		–	12	12	bit	
電圧分解能*1		–	1.10	1.34	mV	
A/D 変換サイクル*2		–	25	50	t_{cyc}	
A/D 変換時間（f_{OP}＝20MHz、40MHz）		–	1.25	2.5	μs	
非直線性誤差		–	–	±4.0	LSB	
オフセット誤差		–	–	±7.5	LSB	
フルスケール誤差		–	–	±7.5	LSB	
量子化誤差		–	–	±0.5	LSB	
絶対誤差		–	–	±8.0	LSB	
自己診断時の絶対誤差		–	–	±8.0	LSB	
アナログ入力容量	待機中	–	–	20	pF	
	サンプリング中	–	–	40	pF	
許容アナログ信号源インピーダンス		–	–	3	kΩ	

【注】 *1 AVREFH－AVREFL＝4.5 V の場合、分解能は 1.10 mV です。AVREFH－AVREFL＝5.5 V の場合、分解能は 1.34 mV です。

*2 A/D 変換サイクルは、ADCER0、1 レジスタの CKS ビットの設定に基づきます。

30.5 フラッシュメモリ特性

表 30.27 にフラッシュメモリ特性を示します。本特性は EXTAL 端子からの入力クロック周波数が 20MHz の場合の時間です。

表 30.27 フラッシュメモリ特性

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

項目			記号	Min.	Typ.	Max.	単位	参照図
書き込み時間	256 バイト	書き込み／消去 100 回以下	t_{P256}	–	2	12	ms	
		書き込み／消去 101～1000 回		–	2.4	14.4		
	8KB	書き込み／消去 100 回以下	t_{P8K}	–	45	100	ms	
		書き込み／消去 101～1000 回		–	54	120		
消去時間	8KB	書き込み／消去 100 回以下	t_{E8K}	–	50	120	ms	
		書き込み／消去 101～1000 回		–	60	144		
	64KB	書き込み／消去 100 回以下	t_{E64K}	–	400	875	ms	
		書き込み／消去 101～1000 回		–	480	1050		
	128KB	書き込み／消去 100 回以下	t_{E128K}	–	800	1750	ms	
		書き込み／消去 101～1000 回		–	960	2100		
	32KB*	書き込み／消去 100 回以下	t_{E32K}	–	200	480	ms	
		書き込み／消去 101～1000 回		–	240	576		
再書き込み／消去サイクル			N_{PEC}	–	–	1000	回	
書き込み中のサスペンド遅延時間			t_{SPD}	–	–	120	μs	図 30.27
消去中の 1 回目のサスペンド遅延時間（サスペンド優先モード時）			t_{SESD1}	–	–	120	μs	
消去中の 2 回目のサスペンド遅延時間（サスペンド優先モード時）			t_{SESD2}	–	–	1.7	ms	
消去中のサスペンド遅延時間（消去優先モード時）			t_{SEED}	–	–	1.7	ms	

【注】 * ユーザブートマットのサイズは 32KB です。

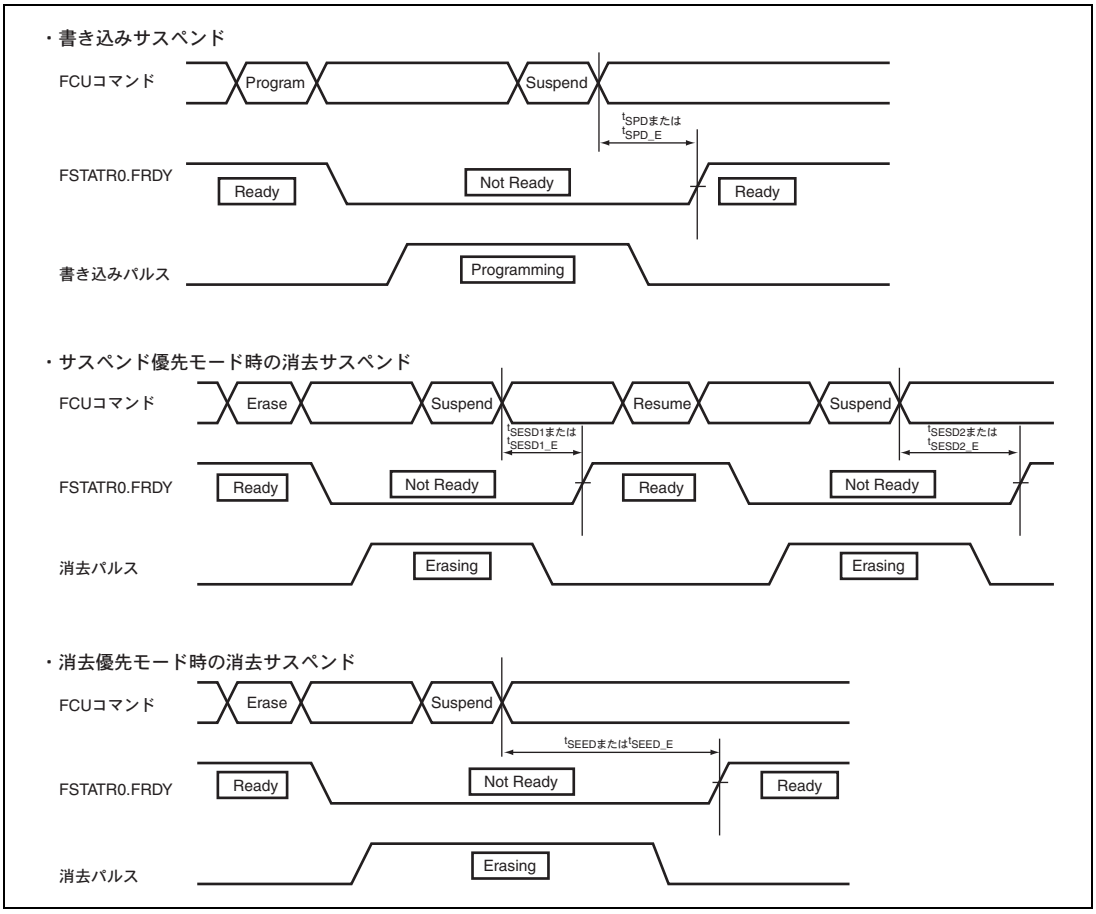


図 30.27 フラッシュメモリ書き込み／消去サスペンドタイミング

30.6 EEPROM 特性

表 30.28 に EEPROM 特性を示します。本特性は EXTAL 端子からの入力クロック周波数が 20MHz の場合の時間です。

表 30.28 EEPROM 特性

条件：V_{CC} = $PLLV_{CC}$ = 3.3 V ±0.3 V、
PV_{CC} = AV_{CC} = 5.0 V ±0.5 V、AVREFH = 4.5 V～AV_{CC}、
V_{SS} = $PLLV_{SS}$ = AV_{SS} = AVREFL = 0 V、
T_a = –40℃～125℃

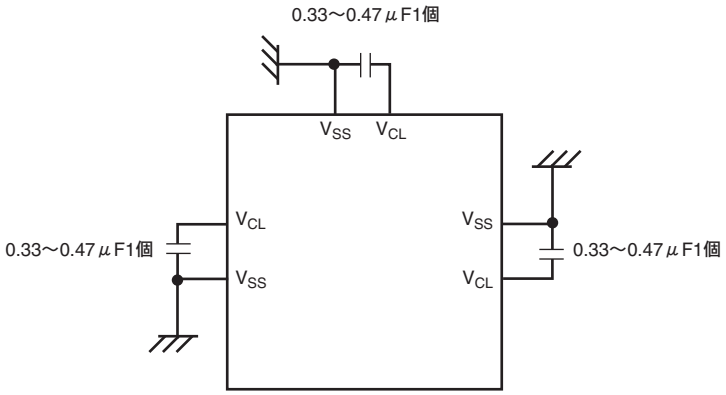
項目			記号	Min.	Typ.	Max.	単位	参照図
書き込み時間	8 バイト		t_{P8_E}	—	0.4	2	ms	
	128 バイト		t_{P128_E}	—	1.0	5.0	ms	
消去時間	8KB	書き込み／消去 100 回以下	t_{E8K_E}	—	80	250	ms	
		書き込み／消去 101～50000 回		—	250	750		
ブランクチェック時間	8 バイト		t_{BC8_E}	—	—	30	μs	
	8K バイト		t_{BC8K_E}	—	—	2.5	ms	
再書き込み／消去サイクル			N_{PEC_E}	—	—	50000*	回	
書き込み中のサスペンド遅延時間			t_{SPD_E}	—	—	120	μs	図 30.27
消去中の 1 回目のサスペンド遅延時間（サスペンド優先モード時）			t_{SESD1_E}	—	—	120	μs	
消去中の 2 回目のサスペンド遅延時間（サスペンド優先モード時）			t_{SESD2_E}	—	—	1.7	ms	
消去中のサスペンド遅延時間（消去優先モード時）			t_{SEED_E}	—	—	1.7	ms	

【注】 * 書き込み／消去サイクルが 30000 回以下のデータ保持期間は 15 年です。
書き込み／消去サイクルが 30001～50000 回のデータ保持期間は 2 年となります。

30.7 使用上の注意事項

30.7.1 電流安定用の外部外付けコンデンサの接続に関する注意

本 LSI では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（V_{CL} 端子）と V_{SS} 端子の間には、内部電圧安定用のコンデンサを接続する必要があります。外付けコンデンサ接続方法を図 30.28 に示します。外付けコンデンサは端子の近くに配置してください。V_{CL} 端子には電源電圧を印加しないでください。



【注】 V_{CL}端子には、電源電圧を印加しないでください。
コンデンサは積層セラミックコンデンサ（0.33～0.47μFを各V_{CL}端子に1個）を使用し、端子の近くに配置してください。

図 30.28 V_{CL} コンデンサ接続方法

表 30.29 内部電圧安定用コンデンサ容量

項　　目		記号	Min.	Max.	単位
内部電圧安定用コンデンサ容量（V_{CL} 端子）	各端子ごと	CV_{CL}	0.33	0.47	μF
	V_{CL} 端子合計	ΣCV_{CL}	0.99	1.41	μF

付録

A.　端子状態

表 A.1、表 A.2 に SH72533 の端子状態を示します。

表 A.1　端子状態

端子機能		端子状態	
分類	端子名	パワーオンリセット状態	低消費電力状態
		シングルチップモード	ハードウェアスタンバイ
クロック	CK	O	Z
	XTAL	O	L
	EXTAL	I	I
システム制御	$\overline{\text{HSTBY}}$	I	I
	$\overline{\text{RES}}$	I	Z
	ASEMD	I（Pull-down）	I
	MD_CLKP	I	I
	MD_CLK0	I	I
	MDA～D	I	I
	$\overline{\text{WDTOVF}}$	O	Z
割り込み	NMI	I	Z
	$\overline{\text{IRQ3}}$～$\overline{\text{IRQ0}}$	–	–
ATU-III	TIA03～00	–	–
	TIOC43～40、33～30、23～20、13～10、03～00	–	–
	TOD33A～30A、23A～20A、13A～10A、03A～00A	–	–
	TOD33B～30B、23B～20B、13B～10B、03B～00B	–	–
	TOE43～40、33～30、23～20、13～10、03～00	–	–
	TIF2A～TIF0A	–	–
	TIF2B～TIF0B	–	–
	TIF19～TIF3	–	–
	TIJ1、0	–	–
	TCLKA、TCLKB	–	–

端子機能		端子状態	
分類	端子名	パワーオンリセット状態	低消費電力状態
		シングルチップモード	ハードウェアスタンバイ
SCI	SCK_A～SCK_C	–	–
	TxD_A～TxD_C	–	–
	RxD_A～RxD_C	–	–
RSPI	RSPCKA、RSPCKB	–	–
	MOSIA、MOSIB	–	–
	MISOA、MISOB	–	–
	SSLA0～SSLB0	–	–
	SSLA1～SSLA7	–	–
	SSLB1～SSLB3	–	–
A/D 変換器	AN_A22～AN_A0	Z	Z
	AN_B48～AN_B40	Z	Z
	ADTRG_A、ADTRG_B	–	–
	ADEND_A、ADEND_B	–	–
	AVREFH	I	I
	AVREFL	I	I
RCAN	CTx_A、CTx_B	–	–
	CRx_A、CRx_B	–	–
I/O ポート	PA15～0	I	Z
	PB14～0	I	Z
	PC15～0	I	Z
	PF15～0	I	Z
	PG15～0	I	Z
	PJ9～0	I	Z
	PS15～0	–	Z
	PT6～0	–	Z

表 A.2　JTAG インタフェースの端子状態

端子機能		端子状態			
分類	端子名	リセット状態	低消費電力状態		何も接続していない
		パワーオン	ハードウェアスタンバイ	モジュールスタンバイ	
		シングルチップモード			
JTAG	TMS	I	Z		Pull-up
	$\overline{\text{TRST}}$	I	Z		Pull-up
	TDI	I	Z		Pull-up
	TDO	O/Z	Z		O/Z
	TCK	I	Z		Pull-up

【記号説明】

－：初期値なし

I：入力

O：出力

H：ハイレベル出力

L：ローレベル出力

Z：ハイインピーダンス

Pull-up：LSI 内部の抵抗でプルアップ

Pull-down：LSI 内部の抵抗でプルダウン

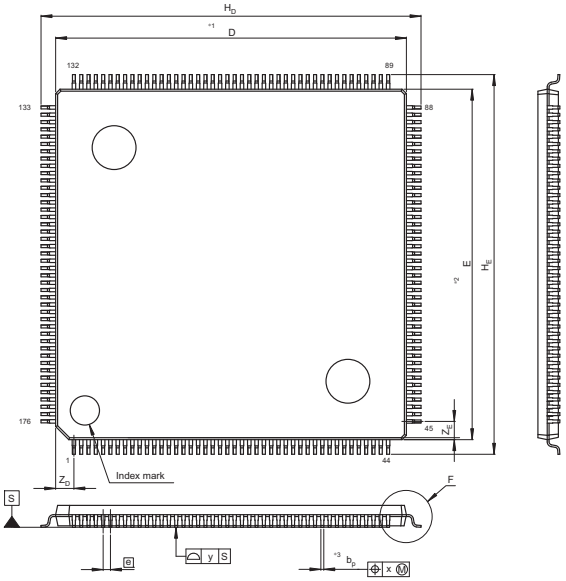
B. 型名一覧

表 B.1 型名一覧

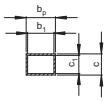
製品分類	製品型名	パッケージ
SH72533	R5F72533KFPU	PLQP0176KB-A（LQFP-176）
SH72533D	R5F72533DKFPU	PLQP0176KB-A（LQFP-176）

C. 外形寸法図

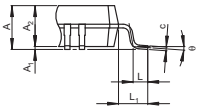
JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP176-24x24-0.50	PLQP0176KB-A	176P6Q-A/FP-176E/FP-176EV	1.8g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.



Terminal cross section



Detail F

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	23.9	24.0	24.1
E	23.9	24.0	24.1
A_2	—	1.4	—
H_D	25.8	26.0	26.2
H_E	25.8	26.0	26.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 C.1 外形寸法図

本版で修正または追加された箇所

項　　目	ページ	修正箇所
4.4.2 外部クロックの入力方法	4-5	修正 XTAL 端子をオープン状態にしてください。XTAL 端子の寄生容量は 1pF 以下としてください。
11.3.2 各チャネルの動作 （4） RCAN 用チャネルの動作 • 動作の詳細と転送フロー	11-30	修正 4. 上記 2.と 3.のステップが、すべての TV ビットが 0 になるまで行われます。
12.12 タイマ B の概要 （2）倍周クロック生成ブロック	12-52	修正 倍周クロック生成ブロックでは、外部イベント入力を 1～4095 逓倍した倍周クロックを生成します。エッジ間計測ブロックの…
12.14.3 倍周クロック補正機能	12-82	修正 TCNTB5 が TCNTB4 の値を上回ったときには（TCNTB4 が TCNTB3 をロードしたときに起こりえる）、カウントアップ動作を行いません。また、タイマ I/O コントロールレジスタ B（TIORB）のカウントコントロール B5 ビット（CTCNTB5）の設定により、TCNTB5 のカウント動作を許可または禁止することができ、AGCKM の出力を制御することが可能です。
12.16.1 タイマスタートレジスタ C（TSTRC）	12-89	ビット 4～0 の説明を修正 サブブロックのタイマカウンタ Cn（TCNTCn）を動作させるか停止させるかを設定します。
12.16.3 タイマコントロールレジスタ C0～4（TCRC0～4）	12-92	ビット 3 の説明を修正 また、PWM モードでは GRCn0～GRCn3 には H'000000 を設定しないでください。H'000000 を設定した場合、不正な周期でコンペアマッチが発生することになりますのでご注意ください。
12.27.2 割り込み	12-200	修正 タイマ G の割り込みは、CMIG0～5 の 6 本あります。サブブロックでコンペアマッチが検出されると、割り込み要求は出力されます。この要求は、ダイレクトメモリアクセスコントローラ（DMAC）および割り込みコントローラ（INTC）が受け取り、それぞれの設定に従って所定の処理を行います。
12.34.3 FIFO コントロールレジスタ J0、1（FCRJ0、1）	12-220	【注】*2 を追加
図 15.11 SCI の送信時の動作例	15-35	図を差し替え

項　　目	ページ	修正箇所
17.7.4 メッセージ受信シーケンス	17-92	修正 図 17.26 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバライトされること（NMC が 1 のとき）を検出するためです。UMSR の最後のチェック中にオーバライトが検出された場合、メッセージを破棄し再度読み込む必要があります。
17.13 RCAN-TL1 端子ポート設定	17-99	修正 図 17.31、図 17.32 に各ポート設定での接続例を示します。
表 20.5 マルチプレクス一覧表（ポート G）	20-5	機能 A（関連モジュール）を修正 $\overline{\text{IRQ0}}$（INTC） $\overline{\text{IRQ1}}$（INTC） $\overline{\text{IRQ2}}$（INTC） $\overline{\text{IRQ3}}$（INTC）
23.5.2 ブートモードの状態遷移 （4）書き込み／消去ホストコマンド待ち	23-31	【注】を追加
23.5.5 書き込み／消去ホストコマンド待ち状態 （9）ユーザブートマットブランクチェック （10）ユーザマットブランクチェック	23-53	追加 書き込み／消去の中断（例：リセット入力、電源瞬断）により、データが不定となった領域の書き込み／消去状態を確認するベリファイ手段はありません。したがって、不定となった領域を再度使用する場合は、消去処理を行い、完全な消去状態にしてから使用してください。
（11）リードロックビットステータス （12）ロックビットプログラム	23-54、 23-55	レスポンスの表示を修正 修正 中位アドレス（1 バイト）：　指定ブロックの最後尾のアドレスの中位アドレス（8～15 ビット） 上位アドレス（1 バイト）：　指定ブロックの最後尾のアドレスの上位アドレス（16～23 ビット）
23.6.2 FCU コマンド受け付け条件 （2）　ROM P/E モード • ROM P/E ノーマルモード	23-59	追加 ROM リードモード時に FENTRYD ビットを 0、かつ FENTRY1、FENTRY0 ビットのいずれかを 1 に設定した場合、または ROM P/E モードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表 23.12 に…
24.1 特長 • ブランクチェック機能	24-4	追加 ブランクチェックは、正常に消去が完了した領域に対し、消去状態を確認する機能です。書き込み／消去が中断（例：リセット入力、電源瞬断）された場合は、ブランクチェックによる消去状態の確認はできません。

<table>
<tr><th>項　　目</th><th>ページ</th><th>修正箇所</th></tr>
<tr><td>24.6.2 FCU コマンド受け付け条件
（3） EEPROM P/E モード
• EEPROM P/E ノーマルモード</td><td>24-28</td><td>追加
ROM／EEPROM リードモードまたは ROM P/E モード時に FENTRYD ビットを 1 かつ FENTRY1、FENTRY0 ビットを 00 に設定した場合、または EEPROM P/E モードでノーマルモード移行コマンドを受け付けた場合に遷移するモードです。表 24.8 に…</td></tr>
<tr><td>24.9 使用上の注意事項
（5）書き込み／消去中のリセット</td><td>24-39</td><td>追加
書き込み／消去の中断（例：リセット入力、電源瞬断）により、データが不定となった領域の書き込み／消去状態を確認するベリファイ手段はありません。したがって、不定となった領域を再度使用する場合は、消去処理を行い、完全な消去状態にしてから使用してください。</td></tr>
<tr><td rowspan="3">29.2 レジスタビット一覧</td><td>29-56</td><td>修正
<table>
<tr><th>モジュール名</th><th>レジスタ名</th><th>31/23/15/7</th><th>30/22/14/6</th><th>29/21/13/5</th><th>28/20/12/4</th><th>27/19/11/3</th><th>26/18/10/2</th><th>25/17/9/1</th><th>24/16/8/0</th></tr>
<tr><td rowspan="2">INTC</td><td rowspan="2">IPR10</td><td colspan="4">ATU-D0（CMID00～CMID03）</td><td colspan="4">ATU-D0（OVI1D0、OVI2D0）</td></tr>
<tr><td colspan="4">ATU-D0（UDID00～UDID03）</td><td colspan="4">ATU-D1（CMID10～CMID13）</td></tr>
</table></td></tr>
<tr><td>29-66</td><td>修正
<table>
<tr><th>モジュール名</th><th>レジスタ名</th><th>31/23/15/7</th><th>30/22/14/6</th><th>29/21/13/5</th><th>28/20/12/4</th><th>27/19/11/3</th><th>26/18/10/2</th><th>25/17/9/1</th><th>24/16/8/0</th></tr>
<tr><td rowspan="2">A-DMAC</td><td>ADMAIE0</td><td>–</td><td>–</td><td></td><td></td><td></td><td></td><td>–</td><td>–</td></tr>
<tr><td>ADMAIE7</td><td></td><td></td><td>–</td><td>–</td><td></td><td></td><td></td><td></td></tr>
</table></td></tr>
<tr><td>29-67</td><td>修正
<table>
<tr><th>モジュール名</th><th>レジスタ名</th><th>31/23/15/7</th><th>30/22/14/6</th><th>29/21/13/5</th><th>28/20/12/4</th><th>27/19/11/3</th><th>26/18/10/2</th><th>25/17/9/1</th><th>24/16/8/0</th></tr>
<tr><td rowspan="5">A-DMAC</td><td>ADMAIE8</td><td>–</td><td>–</td><td>–</td><td>–</td><td></td><td></td><td></td><td></td></tr>
<tr><td>ADMADV0</td><td>–</td><td>–</td><td></td><td></td><td></td><td></td><td>–</td><td>–</td></tr>
<tr><td>ADMATE0</td><td></td><td></td><td>–</td><td>–</td><td></td><td></td><td></td><td></td></tr>
<tr><td>ADMATE1</td><td>–</td><td>–</td><td>–</td><td>–</td><td></td><td></td><td></td><td></td></tr>
<tr><td>ADMADE0</td><td>–</td><td>–</td><td></td><td></td><td></td><td></td><td>–</td><td>–</td></tr>
</table></td></tr>
</table>

索引

【数字／記号】

16 ビット／32 ビットディスプレースメント 2-14
1 サイクルスキャンモード 18-33
4 逓倍イベントカウント 12-197

【A】

A/D 変換器（ADC） 18-1
A/D 変換精度の定義 18-47
ADC_A と ADC_B を同時に動作させる場合の
注意事項 18-51
ADEND_A、ADEND_B 出力端子による
モニタ機能 18-45
A-DMAC インタフェース 17-98
A-DMAC によるデータ転送でのバス動作 11-34
ATU-III（タイマ A、C、F）用チャネルの
転送許可／禁止の条件 11-40
ATU-III（タイマ A、C、F）用チャネルの動作 11-22
ATU-III（タイマ G）用チャネル、
ADC 用チャネルの転送許可／禁止の条件 11-40
ATU-III（タイマ G）用チャネル、
ADC 用チャネルの動作 11-19
ATU-III のタイマトリガによる
スキャン変換の起動 18-44
AVrefh_A/B、AVrefl_A/B 端子の設定範囲 18-48

【B】

BYPASS コマンド 19-15

【C】

CAN インタフェース 17-6
CAN スリープモード 17-74
CAN バスインタフェース 17-98
CLAMP コマンド 19-15
CMCNT カウントタイミング 14-7
CMCNT の書き込みとコンペアマッチの競合 14-10
CMCNT のワード書き込みと
カウントアップの競合 14-10
CPU 2-1
CPU と A/D 変換器（ADC）のインタフェース 18-32

【D】

DC 特性（スタンバイ） 30-16
DC 特性（プルアップ／プルダウン MOS 電流） 30-12
DC 特性（許容出力電流） 30-14
DC 特性（出力電圧） 30-13
DC 特性（消費電流） 30-15
DC 特性（注入電流） 30-14
DC 特性（入力リーク電流） 30-11
DC 特性（入力電圧） 30-10
DC 特性（入力容量） 30-14
DMAC インタフェース 17-97
DMA 転送フローチャート 10-31, 11-28
DMA 転送要求 10-32

【E】

EEPROM 24-1
EXTEST コマンド 19-15

【F】

FCU コマンド一覧 23-56
FCU コマンド使用方法 23-62, 24-31
FPU に関する CPU 命令 2-39
FPU 例外 7-16

【H】

HIGHZ コマンド 19-16

【I】

I/O ポート 21-1
IDCODE モード 19-16
ID 並べ替え 17-30
Integer→Floating-point 変換の動作 10-45
IRQ 割り込み 8-14

【J】

JTAG インタフェース 19-1

【N】

NMI 割り込み 8-14

【P】
PLL 発振器用電源接続時の注意 4-6
PWM タイマ動作.....12-157, 12-158, 12-159
PWM 機能 12-106
PWM 入力波形計測 12-191

【R】
RAM 26-1
RAM のデータ保持 26-19
RAM のバス接続図 26-2
RAM のブロック図 26-2
RCAN-TL1 のコントロールレジスタ 17-25
RCAN-TL1 のタイマレジスタ 17-58
RCAN-TL1 のメールボックスレジスタ 17-47
RCAN-TL1 のメモリマップ 17-7
RCAN-TL1 の割り込み要因 17-96
RCAN-TL1 の設定 17-71
RCAN-TL1 端子ポート設定 17-99
RCAN 用チャネルの動作 11-29
RISC 方式 2-11
ROM 23-1
ROM キャッシュ（ROMC） 25-1
RSPI システム構成例 16-28
RSPI データフォーマット 16-36
RSPI のエラー検出機能 16-42
RSPI のモードと SPCR 設定の関係 16-25
RSPI の初期化 16-45
RSPI 端子の制御 16-27
RSPI 転送フォーマット 16-34, 16-35
RSPI 用チャネル、SCI 用チャネルの
転送許可／禁止の条件 11-41
RSPI 用チャネル、SCI 用チャネルの動作 11-25

【S】
SAMPLE/PRELOAD コマンド 19-15
SCI の割り込み要因と A-DMAC 15-40
SCTDR1 への書き込みと TDRE フラグの関係..... 15-41
SH72533 の特長 1-1
SH72533 のピン配置図 1-9
SH72533 のブロック図 1-8
SH72533 の端子機能 1-10
SSL ネゲート期間の MOSI 信号値の決定方法 16-27

【T】
TAP コントローラ 19-14
TAP コントローラ状態遷移図 19-14
TSG と TSEG の設定 17-36
TTW[1:0]（タイムトリガウィンドウ） 17-21
T ビット 2-12

【あ】
アップ／ダウンイベントカウント 12-195
アドバンストタイマユニット-III（ATU-III） 12-1
アドレスアレイ 25-2
アドレスエラー 7-8
アドレッシングモード 2-15
アナログ入力端子とマルチプレクスされている
汎用入力端子の使用上の注意事項 18-51
アナログ入力電圧の範囲 18-48
アナログ入力のサンプリングと
スキャン変換時間 18-42
一定時間内エッジカウント 12-185
一般不当命令 7-15
イミディエイトデータ 2-13
イミディエイトデータによる参照 2-13
イミディエイトデータのデータ形式 2-10
インターバルタイマモードの使用法 13-11
インプットキャプチャ動作 12-50, 12-102
ウォッチドッグタイマ（WDT） 13-1
ウォッチドッグタイマモードの使用法 13-10
エイリアス領域 11-18
エッジ間計測機能 12-76
エッジ間計測ブロック 12-52
エッジ入力停止検出機能 12-76
エラープロテクト 23-84, 24-36
エラープロテクト一覧 23-85, 24-36
オートリクエストモード 10-32
オーバフロー／アンダフロー 12-199
オフセット誤差 18-47

【か】
外形寸法図 付録-5
回転速度／パルス計測 12-193
外部クロックの入力方法 4-5
外部トリガによるスキャン変換の起動 18-44
書き込み／消去ホストコマンド待ち状態 23-47
各動作モードにおける PV_{CC} 電圧 30-9
型名一覧 付録-4
期間カウント動作 14-7
キャッシュ構成 25-2
共通制御部関連レジスタ 12-5
共通制御部の概要 12-21
グローバルベースレジスタ（GBR） 2-3
クロックソース 4-4

クロック同期式モード..... 15-1, 15-31
クロック発振器（CPG） 4-1
後続エッジキャンセルモード 12-44, 12-45, 12-99,
.....12-101, 12-180, 12-181,
.....12-183, 12-184, 12-227,
..... 12-229
故障率曲線（バスタブカーブ） 28-1
固定モード 10-35
コントローラエリアネットワーク（RCAN-TL1） 17-1
コントロールレジスタの初期値 2-8
コンペアマッチタイマ（CMT） 14-1
コンペアマッチ動作 12-104
コンペアマッチフラグのクリアタイミング..... 14-9
コンペアマッチフラグのセットタイミング..... 14-8

【さ】

サイクルスチールモード 10-40
サスペンド動作 23-78
サポートできる DMA 転送 10-38
算術演算命令..... 2-31
システム制御命令..... 2-36
システムマトリックス..... 17-24
システムレジスタの初期値 2-8
実効アドレスの計算方法 2-15
シフト命令 2-34
ジャンプテーブルベースレジスタ（TBR） 2-3
周波数範囲とクロック選択 4-3
乗算／積和演算 2-12
シリアルコミュニケーションインタフェース
（SCI） 15-1
信頼性について 28-1
水晶発振子の接続方法..... 4-4
スキャン変換終了時の割り込み要求 18-46
スキャン変換中の割り込み変換 18-40
スタックからの復帰 8-36
スタックへの退避..... 8-36
ステータスレジスタ（SR） 2-3
スリープモード 27-7
スレープモード動作 16-53
スロット不当命令..... 7-15
整数除算例外..... 7-15
製品情報マット 24-37
積和下位レジスタ（MACL） 2-4
積和上位レジスタ（MACH） 2-4
絶対アドレス..... 2-13
絶対アドレスによる参照 2-14
絶対最大定格..... 30-1
絶対精度 18-47
先行エッジキャンセルモード 12-44, 12-45, 12-100,
..... 12-101, 12-180, 12-182,
..... 12-183, 12-184, 12-228,
..... 12-229
専用ダイレクトメモリアクセスコントローラ
（A-DMAC） 11-1
送信トリガコントロールフィールド..... 17-21
送信トリガタイム（TTT） 17-21
送信バッファエンプティ／
受信バッファフルフラグ 16-40
送信用内部アービトレーション..... 17-79
ソフトウェアプロテクト 23-84, 24-35
ソフトウェア割り込み（SINT） 8-15

【た】

退避されるプログラムカウンタの値..... 9-24
タイマ A 関連レジスタ 12-6
タイマ A の概要..... 12-32
タイマ A の動作説明..... 12-46
タイマ A のブロック図 12-33
タイマ A のレジスタの説明 12-34
タイマ B 関連レジスタ 12-7
タイマ B の概要..... 12-52
タイマ B の動作説明..... 12-76
タイマ B のブロック図 12-53
タイマ B のレジスタの説明 12-54
タイマ C 関連レジスタ 12-8
タイマ C の概要..... 12-87
タイマ C の動作説明..... 12-102
タイマ C のブロック図 12-88
タイマ C のレジスタの説明 12-89
タイマ D 関連レジスタ 12-10
タイマ D の概要..... 12-107
タイマ D の動作説明..... 12-133
タイマ D のブロック図 12-108
タイマ D のレジスタの説明 12-109
タイマ E 関連レジスタ 12-13
タイマ E の概要..... 12-139
タイマ E の動作説明..... 12-156
タイマ E のブロック図 12-141
タイマ E のレジスタの説明 12-142
タイマ F 関連レジスタ 12-16
タイマ F の概要..... 12-161
タイマ F のサブブロック図 12-162
タイマ F の動作説明..... 12-185
タイマ F のレジスタの説明 12-164

タイマ G 関連レジスタ 12-18
タイマ G の概要 12-200
タイマ G の動作説明 12-205
タイマ G のブロック図 12-200
タイマ G のレジスタの説明 12-201
タイマ H 関連レジスタ 12-19
タイマ H の概要 12-206
タイマ H の動作説明 12-213
タイマ H のブロック図 12-206
タイマ H のレジスタの説明 12-207
タイマ J 関連レジスタ 12-19
タイマ J の概要 12-214
タイマ J の動作説明 12-230
タイマ J のブロック図 12-214
タイマ J のレジスタの説明 12-215
タイムスタンプ 17-20
タイムスレーブ 17-84
タイムトリガコントロール（TT コントロール） 17-21
タイムトリガシステムの例 17-87
タイムトリガ送信 17-80
ダイレクトメモリアクセスコントローラ
（DMAC） 10-1
端子状態 付録-1
遅延スロットなし無条件分岐命令 2-12
遅延分岐命令 2-12
遅延分岐命令の直後の例外要因発生 7-17
チャネルの優先順位 10-35, 11-39
チャネル別割り当て機能一覧表 18-6
調歩同期式モード 15-1, 15-23
調歩同期式モードの
受信データサンプリングタイミングと
受信マージン 15-42
低消費電力状態 2-42
低消費電力モード 27-1
ディスプレースメントによる参照 2-14
データアクセスサイクルでのブレーク 9-23
データアレイ 25-2
データ転送命令 2-28
データフォーマット 2-1
テストモードの設定 17-77
デュアルアドレスモード 10-39
電気的特性 30-1
電源投入時のリセット 6-2
動作中のリセット 6-2
動作モード 3-1
トラップ命令 7-14

【な】

内蔵 RAM アドレス空間 26-3
内蔵周辺モジュールリクエストモード 10-32
内蔵周辺モジュール割り込み 8-15
入力ハイ／ローレベル期間計測 12-189
ノイズキャンセル動作 12-46

【は】

バーストモード 10-41
ハードウェアスタンバイ時のデータ保持 26-19
ハードウェアスタンバイモード 27-6
ハードウェアプリフェッチ 25-10
ハードウェアプロテクト 23-83, 24-35
倍周クロック生成機能 12-78
倍周クロック生成ブロック 12-52
倍周クロック補正機能 12-82
倍周クロック補正ブロック 12-52
バウンダリスキャンコマンド 19-5
パワーオンリセット 7-6
バンクからの復帰 8-35
バンクの対象レジスタと入出力方式 8-33
バンクへの退避 8-34
汎用レジスタ 2-1
汎用レジスタの初期値 2-8
非直線性誤差 18-47
ビット操作命令 2-39
ピンファンクションコントローラ（PFC） 20-1
ブートモード 23-29, 24-21
ブートモードの状態遷移 23-30
複数の受信エラーが同時に発生した場合の動作 15-41
浮動小数点演算命令 2-37
浮動小数点システムレジスタ 2-6
浮動小数点システムレジスタの初期値 2-8
浮動小数点レジスタ 2-5
浮動小数点レジスタの初期値 2-8
フリーランニング動作 12-49
プリスケーラ関連レジスタ 12-5
プリスケーラの概要 12-29
プリスケーラの動作開始 12-31
プリスケーラの動作停止 12-31
フルスケール誤差 18-47
ブレークの送り出し 15-42
ブレークの検出と処理 15-42
プログラムカウンタ（PC） 2-4
プログラム実行状態 2-42
プロシージャレジスタ（PR） 2-4
プロテクト 23-83, 24-35

分岐命令 2-35
ページ競合 26-20
ベクタベースレジスタ（VBR） 2-3
ポート A 21-3
ポート A コントロールレジスタの初期値 20-11
ポート B 21-7
ポート B コントロールレジスタの初期値 20-20
ポート C 21-13
ポート C コントロールレジスタの初期値 20-28
ポート F 21-18
ポート G 21-24
ポート J 21-32
ポート S 21-39
ポート T 21-41
ボード設計上の注意 4-6, 18-48
ホルトモード 17-73

【ま】

マイクロプロセッサインタフェース（MPI） 17-5
マスタモード動作 16-46
マルチインプットシグネチャジェネレータ
（MISG） 22-1
マルチプレクス一覧表 20-1, 20-2, 20-3,
..... 20-4, 20-5, 20-6,
..... 20-7, 20-8
命令形式 2-19
命令セット 2-23
命令による例外 7-14
命令の特長 2-11
命令フェッチサイクルでのブレーク 9-22
メールボックス 17-5, 17-8
メールボックスコントロール 17-5
メールボックスの機能の設定 17-17
メールボックスの再設定 17-93
メールボックスの役割 17-9
メッセージコントロールフィールド 17-13
メッセージ受信シーケンス 17-91
メッセージ送信リクエスト 17-79, 17-86
メッセージデータフィールド 17-19
メモリエラー割り込み 8-15
メモリのデータ形式 2-9
モジュールスタンバイ機能 27-8

【や】

有効エッジ入力間隔計測 12-187
ユーザブートモード 23-81
ユーザブレークコントローラ（UBC） 9-1
ユーザブレーク割り込み 8-14
ユーザプログラムモード 23-56

【ら】

ラウンドロビンモード 10-35
リセット解除時の内部状態 6-3
リセットシーケンス 6-2, 17-72
リセット時のデータ保持 26-19
リセット時の内蔵 RAM データ保持 6-2
リセット状態 2-41
リセット動作 6-1
量子化誤差 18-47
ループバックモード 16-57
ルネサスシリアルペリフェラルインタフェース
（RSPI） 16-1
例外処理 7-1
例外処理後のスタックの状態 7-18
例外処理状態 2-41
例外処理ベクタテーブル 7-4
例外処理ベクタテーブルアドレスの算出法 7-5
例外要因の種類と優先順位 7-1
レジスタ
ABACK0 17-53
ABACK1 17-53
ADADC0、1 18-22
ADADS0 18-20
ADADS1 18-21
ADANS0 18-16
ADANS1 18-17
ADANS3 18-17
ADCER0、1 18-14
ADCSR0、1 18-12
ADMAABR 11-8
ADMAAR 11-14
ADMABUF 11-15
ADMADE 11-12
ADMADV 11-10
ADMAIE 11-9
ADMAMODE 11-13
ADMAOR 11-8
ADMARAR 11-15
ADMARTCR 11-15
ADMARVPR 11-16
ADMATCR 11-14
ADMATE 11-11
ADMATVPR 11-17
ADR0～22、40～48、ADRD0、1 18-9

ADREF0、1 18-18
ADSTRG0 18-27
ADSTRG1 18-28
ADTRD0 18-31
ADTRD1 18-32
ADTRE0 18-23
ADTRE1 18-24
ADTRF0 18-29
ADTRF1 18-30
ADTRS0 18-25
ADTRS1 18-26
ARCR4～ARCR7 10-21
ATUENR 12-22
BAMR 9-4, 9-8, 9-11, 9-15
BAR 9-3, 9-7, 9-10, 9-14
BBR 9-5, 9-9, 9-12, 9-16
BCR0 17-35
BCR1 17-33
BRCR 9-18
CBCNT 12-25
CCR 17-65
CDRF0～19 12-179
CHCR0～CHCR7 10-10
CHFR0～CHFR7 10-14
CKCR 21-43
CMAX_TEW 17-61
CMCNT 14-6
CMCOR 14-6
CMCR 14-4
CMPOD0、CMPOD1 12-126
CMSR 14-5
CMSTR 14-3
CRLDE00～43 12-154
CYCTR 17-67
CYLRE00～43 12-153
DAR0～DAR7 10-9
DCNTD00～33 12-132
DCRD0～3 12-119
DMAFR 10-24
DMAOR 10-22
DMARS0～DMARS3 10-26
DMATCR0～DMATCR7 10-9
DRLDE00～43 12-155
DSRD0～3 12-118
DSTRD0～3 12-117
DTRE00～43 12-154
ECNTAF0～19 12-172
ECNTBF0～19 12-173
ECNTCF0～19 12-174
EEPBCCNT 24-16
EEPBCSTAT 24-17
EEPMAT 24-18
EEPRE0 24-13
EEPWE0 24-14
FAEINT 23-10, 24-11
FASTAT 23-7, 24-8
FCMDR 23-23
FCPSR 23-24
FCRJ0、1 12-219
FCUAREA 23-26
FCURAME 23-12
FDNRJ0、1 12-227
FENTRYR 23-18, 24-15
FIFOJ0、1 12-226
FMODR 23-7, 24-7
FPESTAT 23-25
FPMON 23-6
FPROTR 23-21
FPSCR 2-6
FPUL 2-6
FRAMECCR 23-17
FRESETR 23-22
FSTATR0 23-13
FSTATR1 23-15
GRAF0～19 12-175
GRBF0～19 12-176
GRC00～43 12-98
GRCF0～19 12-177
GRD00～33 12-131
GRDF12～15 12-178
GSR 17-31
IBCR 8-11
IBNR 8-12
ICR0 8-8
ICR1 8-9
ICRA0～3 12-42
ICRB0 12-62
ICRB1 12-64
ICRB2 12-64
IMR 17-44
IPR01～IPR29 8-6
IRQRR 8-10
IRR 17-37
LDB 12-65

MBECR 17-45
MBESR 17-44
MBIMR0 17-57
MBIMR1 17-56
MCR 17-25
MISR 22-3
MISRCDR 22-2
MISRCR 22-4
NCCRC0～4 12-90
NCCRF 12-165
NCMR 12-26
NCNTA0～3 12-44
NCNTC00～43 12-99
NCNTFA0～19 12-180
NCNTFB0～2 12-181
NCNTJ0、1 12-227
NCRA0～3 12-45
NCRC00～43 12-101
NCRFA0～19 12-183
NCRFB0～2 12-184
NCRJ0、1 12-229
OCR1H 12-211
OCRB0 12-62
OCRB1 12-63
OCRB6 12-70
OCRB7 12-71
OCRD00～33 12-130
OCRG0～5 12-204
OCRJ0、1 12-225
OSBRD0～3 12-128
PACR1 20-15
PACR1A 20-19
PACR2 20-14
PACR2A 20-18
PACR3 20-13
PACR3A 20-17
PACR4 20-12
PACR4A 20-16
PADR 21-4
PAIOR 20-11
PAIR 21-6
PAPR 21-5
PBCR1 20-25
PBCR2 20-23
PBCR2A 20-27
PBCR3 20-22
PBCR3A 20-26
PBCR4 20-21
PBDR 21-8
PBDSR 21-11
PBIOR 20-20
PBIR 21-10
PBPR 21-9
PBPSR 21-12
PCCR1 ..... 20-32, 20-36
PCCR2 ..... 20-31, 20-35
PCCR3 ..... 20-30, 20-34
PCCR4 20-29
PCCR4A 20-33
PCDR 21-14
PCDSR 21-17
PCIOR 20-28
PCIR 21-16
PCPR 21-15
PFCR1 20-40
PFCR1A 20-45
PFCR2 20-38
PFCR2A 20-44
PFCR3A 20-43
PFCR4A 20-42
PFDR 21-19
PFDSR 21-22
PFIOR 20-37
PFIR 21-21
PFPR 21-20
PFPSR 21-23
PGCR1 20-49
PGCR1A 20-55
PGCR2 20-47
PGCR2A 20-54
PGCR3A 20-53
PGCR4A 20-51
PGDR 21-25
PGDSR 21-29
PGER 21-30
PGIOR 20-46
PGIR 21-28
PGPR 21-27
PGPSR 21-31
PIMR 12-68
PJCR1 20-58
PJCR1A 20-62
PJCR2 20-57
PJCR2A 20-61

PJCR3A 20-60
PJDR.....21-33
PJDSR 21-36
PJIOR 20-56
PJIR 21-35
PJPR.....21-34
PJPSR 21-38
POECRE0～4 12-146
PSCR0～3.....12-30
PSCR1 20-66
PSCR2 20-65
PSCR3 20-64
PSCR4 20-63
PSCRE0～4 12-144
PSPR 21-40
PTCR1 20-69
PTCR2 20-68
RAMACYC 26-14
RAMECC.....26-10
RAMEN 26-4
RAMERR.....26-11
RAMINT 26-13
RAMWEN.....26-7
RARCR4～RARCR7 10-21
RCCR.....25-3
RCCR2.....25-5
RDAR0～RDAR7 10-19
RDMATCR0～RDMATCR7 10-20
REC 17-46
RFMK.....17-67
RFPR0 17-56
RFPR1 17-55
RFTROFF 17-62
RLDB 12-66
RLDCRE0～4 12-146
ROMMAT 23-11
RSAR0～RSAR7.....10-18
RXPR0 17-55
RXPR1 17-54
SAR0～SAR7.....10-8
SCBRR1.....15-16
SCRDR1 15-6
SCRSR1.....15-6
SCSCR1.....15-9
SCSMR1 15-7
SCSSR1.....15-12
SCTDR1.....15-7
SCTSR1 15-6
SDBPR 19-5
SDBSR 19-5
SDID..... 19-5
SDIR..... 19-5
SINTR1～SINTR15 8-13
SOLVLE0～4 12-147
SPBR 16-17
SPCKD 16-18
SPCMD 16-21
SPCR 16-7
SPDR 16-13
SPND 16-20
SPPCR 16-10
SPSCR 16-14
SPSR 16-11
SPSSR 16-15
SSLND 16-19
SSLP 16-9
SSTRE0～4 12-143
STBCR 27-3
TCCLRB 12-75
TCMR0～2 17-67
TCNT1D0～3.....12-128
TCNT1H 12-210
TCNT2D0～3.....12-129
TCNT2H 12-212
TCNTA 12-43
TCNTB0 12-61
TCNTB1 12-63
TCNTB2 12-67
TCNTB3 12-72
TCNTB4 12-73
TCNTB5 12-74
TCNTB6 12-69
TCNTC0～4..... 12-98
TCNTE00～43 12-152
TCNTG0～5 12-204
TCNTJ0、1 12-225
TCNTR 17-66
TCRA 12-34
TCRB 12-54
TCRC0～4 12-91
TCRD0～3 12-110
TCRE0～4 12-145
TCRF0～19 12-167
TCRG0～5.....12-202

TCRH 12-207
TCRJ0、1 12-216
TEC 17-46
TEMSK0～TEMSK7 10-16
TIERA 12-41
TIERB 12-59
TIERC0～4 12-95
TIERD0～3 12-125
TIERE0～4 12-150
TIERF0～19 12-169
TIERJ0、1 12-224
TIOR1A 12-36
TIOR1D0～3 12-113
TIOR2A 12-37
TIOR2D0～3 12-115
TIORB 12-55
TIORC0～4 12-96
TOCRD0～TOCRD3 12-127
TOCRE0～4 12-151
TSR 17-63
TSRA 12-39
TSRB 12-57
TSRC0～4 12-93
TSRD0～3 12-121
TSRE0～4 12-148
TSRF0～19 12-170
TSRG0～5 12-203
TSRH 12-208
TSRJ0、1 12-220
TSTRC 12-89
TSTRD 12-109
TSTRE 12-142
TSTRF 12-164
TSTRG 12-201
TSTRJ 12-215
TTCR0 17-59
TTTSEL 17-69
TXACK0 17-52
TXACK1 17-52
TXCR0 17-51
TXCR1 17-51
TXPR0 17-50
TXPR1 17-49
UMSR0 17-58
UMSR1 17-57
WRCR 13-7
WTCNT 13-5
WTCR 13-3
WTSR 13-6
レジスタのデータ形式 2-9
レジスタバンク 2-7, 8-33
レジスタバンクエラー 7-10
レジスタバンクエラー例外処理 8-37
レジスタバンクの例外 8-37
連続スキャンモード 18-35
ローカルアクセプタンスフィルタマスク
（LAFM） 17-18
ロードストアアーキテクチャ 2-11
論理演算命令 2-33

【わ】

ワードデータの符号拡張 2-11
割り込み 7-11
割り込み応答時間 8-28
割り込みコントローラ（INTC） 8-1
割り込み変換終了時の割り込み要求 18-46
割り込み優先順位 7-12
割り込み要因クリアのタイミング 8-41
割り込み要求信号によるデータ転送 8-38
割り込み例外処理 7-13
割り込み例外処理終了後のスタックの状態 8-27
割り込み例外ベクタと優先順位 8-17
ワンショットパルス動作 12-135, 12-137, 12-138

SH72533 ユーザーズマニュアル
ハードウェア編

発行年月日　2011年9月9日　Rev.1.00
　　2014年4月1日　Rev.3.00

発行　ルネサス エレクトロニクス株式会社
　　〒211-8668　神奈川県川崎市中原区下沼部1753

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2014 Renesas Electronics Corporation. All rights reserved.
Colophon 2.0

SH72533

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0401JJ0300