

RX14T グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット マイクロコンピュータ

RX ファミ リ / RX100 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash® は、米国 Silicon Storage Technology, Inc. の米国、日本などの国における登録商標です。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX14T グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

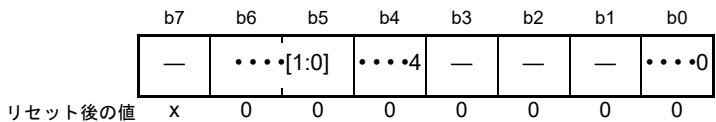
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX14Tグループ データシート	R01DS0453JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法是アプリケーションノートを参照してください。	RX14Tグループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	RXファミリ RXv2命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0071JJ
アプリケーション ノート	基板設計上の注意事項	RX ファミリ ハードウェアデザインガイド	R01AN1411JJ
	レジスタ初期設定例	RX14Tグループ 初期設定例	R01AN7885JJ
	周辺機能の使用手法、応用例 参考プログラム	ルネサス エレクトロニクス ホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X レジスタ

アドレス xxxx xxxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	0	ビット	0 : 1 : (設定しないでください)	R/W
b3-b1	—	(予約ビット)	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	4	ビット	0 : 1 :	R
b6-b5	[1:0]	ビット	00 : 01 : (上記以外は設定しないでください)	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

注意：本製品はSilicon Storage Technology, Inc. からライセンスを受けたSuperFlash®を使用しています。

目次

特長	38
1. 概要	39
1.1 仕様概要	39
1.2 製品一覧	45
1.3 ブロック図	47
1.4 端子機能	48
1.5 ピン配置図	51
1.5.1 64 ピン LFQFP、64 ピン LQFP	51
1.5.2 52 ピン LQFP	52
1.5.3 48 ピン LFQFP	53
1.5.4 48 ピン HWQFN	53
1.5.5 44 ピン LQFP	54
1.5.6 32 ピン LQFP	55
1.5.7 32 ピン HWQFN	55
1.5.8 24 ピン HWQFN	56
1.6 機能別端子一覧	57
1.6.1 64 ピン LFQFP、64 ピン LQFP	57
1.6.2 52 ピン LQFP	60
1.6.3 48 ピン LFQFP、48 ピン HWQFN	63
1.6.4 44 ピン LQFP	66
1.6.5 32 ピン LQFP、32 ピン HWQFN	69
1.6.6 24 ピン HWQFN	71
2. CPU	73
2.1 特長	73
2.2 CPU レジスタセット	74
2.2.1 汎用レジスタ (R0 ~ R15)	75
2.2.2 制御レジスタ	75
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	76
2.2.2.2 例外テーブルレジスタ (EXTB)	76
2.2.2.3 割り込みテーブルレジスタ (INTB)	76
2.2.2.4 プログラムカウンタ (PC)	76
2.2.2.5 プロセッサステータスワード (PSW)	77
2.2.2.6 バックアップ PC (BPC)	78
2.2.2.7 バックアップ PSW (BPSW)	79
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	79
2.2.2.9 浮動小数点ステータスワード (FPSW)	80
2.2.3 アキュムレータ	82
2.3 プロセッサモード	83
2.3.1 スーパバイザモード	83
2.3.2 ユーザモード	83

2.3.3	特権命令	83
2.3.4	プロセッサモード間の移行	83
2.4	データタイプ	84
2.4.1	整数	84
2.4.2	浮動小数点数	85
2.4.3	ビット	85
2.4.4	ストリング	86
2.5	エンディアン	87
2.5.1	エンディアンの設定	87
2.5.2	I/O レジスタアクセス	90
2.5.3	I/O レジスタアクセスの注意事項	90
2.5.4	データ配置	91
2.5.4.1	レジスタのデータ配置	91
2.5.4.2	メモリ上のデータ配置	91
2.6	ベクタテーブル	92
2.6.1	例外ベクタテーブル	92
2.6.2	割り込みベクタテーブル	93
2.7	命令動作	94
2.7.1	RMPA 命令、ストリング操作命令に関する制約事項	94
2.7.1.1	転送サイズとデータプリフェッチ	94
2.7.1.2	I/O レジスタへのアクセス	94
2.8	サイクル数	95
2.8.1	命令とサイクル数	95
2.8.2	割り込み応答サイクル数	99
3.	動作モード	100
3.1	動作モードの種類と選択	100
3.2	レジスタの説明	101
3.2.1	モードモニタレジスタ (MDMONR)	101
3.2.2	システムコントロールレジスタ 1 (SYSCR1)	102
3.3	動作モードの説明	103
3.3.1	シングルチップモード	103
3.3.2	ブートモード (SCI インタフェース)	103
3.3.3	ブートモード (FINE インタフェース)	103
3.4	動作モード遷移	103
3.4.1	モード設定端子のレベルと動作モード遷移	103
4.	アドレス空間	104
4.1	アドレス空間	104
5.	I/O レジスタ	105
5.1	I/O レジスタアドレス一覧 (アドレス順)	107

6.	リセット	124
6.1	概要	124
6.2	レジスタの説明	126
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	126
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	127
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	128
6.2.4	ソフトウェアリセットレジスタ (SWRR)	128
6.3	動作説明	129
6.3.1	RES# 端子リセット	129
6.3.2	パワーオンリセット、電圧監視 0 リセット	129
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	131
6.3.4	独立ウォッチドッグタイマリセット	133
6.3.5	ソフトウェアリセット	133
6.3.6	コールドスタート / ウォームスタート判定機能	134
6.3.7	リセット発生要因の判定	135
7.	オプション設定メモリ (OFSM)	136
7.1	概要	136
7.2	レジスタの説明	137
7.2.1	オプション機能選択レジスタ 0 (OFS0)	137
7.2.2	オプション機能選択レジスタ 1 (OFS1)	139
7.2.3	エンディアン選択レジスタ (MDE)	140
7.3	使用上の注意事項	141
7.3.1	オプション設定メモリの設定例	141
8.	電圧検出回路 (LVDAb)	142
8.1	概要	142
8.2	レジスタの説明	145
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	145
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	146
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	147
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	148
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	149
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	150
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	151
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	152
8.3	VCC 入力電圧のモニタ	153
8.3.1	Vdet0 のモニタ	153
8.3.2	Vdet1 のモニタ	153
8.3.3	Vdet2 のモニタ	153
8.4	電圧監視 0 リセット	154
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	155

8.6	電圧監視 2 割り込み、電圧監視 2 リセット	157
8.7	使用上の注意事項	158
8.7.1	LVD0 有効時の LVD1 検出レベル設定に関する注意事項について	158
9.	クロック発生回路	159
9.1	概要	159
9.2	レジスタの説明	161
9.2.1	システムクロックコントロールレジスタ (SCKCR)	161
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	163
9.2.3	PLL コントロールレジスタ (PLLCR)	164
9.2.4	PLL コントロールレジスタ 2 (PLLCR2)	166
9.2.5	メインクロック発振器コントロールレジスタ (MOSCCR)	167
9.2.6	低速オンチップオシレータコントロールレジスタ (LOCOCR)	168
9.2.7	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	169
9.2.8	高速オンチップオシレータコントロールレジスタ (HOCOCR)	170
9.2.9	発振安定フラグレジスタ (OSCOVFSR)	171
9.2.10	発振停止検出コントロールレジスタ (OSTDCR)	173
9.2.11	発振停止検出ステータスレジスタ (OSTDSR)	174
9.2.12	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	175
9.2.13	CLKOUT 出力コントロールレジスタ (CKOCR)	176
9.2.14	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	177
9.2.15	低速オンチップオシレータトリミングレジスタ 2 (LOCOTRR2)	178
9.2.16	IWDT 専用オンチップオシレータトリミングレジスタ (ILOCOTRR)	178
9.2.17	高速オンチップオシレータトリミングレジスタ 0 (HOCOTRR0)	179
9.3	メインクロック発振器	180
9.3.1	発振子を接続する方法	180
9.3.2	外部クロックを入力する方法	181
9.3.3	メインクロックを使用しない場合の端子処理	181
9.3.4	外部クロック入力に関する注意事項	181
9.4	発振停止検出機能	182
9.4.1	発振停止検出と検出後の動作	182
9.4.2	発振停止検出割り込み	183
9.5	PLL 回路	184
9.6	内部クロック	184
9.6.1	システムクロック	184
9.6.2	周辺モジュールクロック	184
9.6.3	FlashIF クロック	184
9.6.4	CAC クロック	185
9.6.5	IWDT 専用クロック	185
9.7	使用上の注意事項	186
9.7.1	クロック発生回路に関する注意事項	186

9.7.2	SCKCR3 レジスタ書き換え時の注意事項	186
9.7.3	発振子に関する注意事項	186
9.7.4	ボード設計上の注意	187
9.7.5	発振子接続端子に関する注意事項	187
10.	クロック周波数精度測定回路 (CAC)	188
10.1	概要	188
10.2	レジスタの説明	190
10.2.1	CAC コントロールレジスタ 0 (CACR0)	190
10.2.2	CAC コントロールレジスタ 1 (CACR1)	191
10.2.3	CAC コントロールレジスタ 2 (CACR2)	192
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	193
10.2.5	CAC ステータスレジスタ (CASTR)	194
10.2.6	CAC 上限値設定レジスタ (CAULVR)	195
10.2.7	CAC 下限値設定レジスタ (CALLVR)	195
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	195
10.3	動作説明	196
10.3.1	クロック周波数測定	196
10.3.2	CACREF 端子のデジタルフィルタ機能	197
10.4	割り込み要求	197
10.5	使用上の注意事項	198
10.5.1	モジュールストップ機能の設定	198
11.	消費電力低減機能	199
11.1	概要	199
11.2	レジスタの説明	203
11.2.1	スタンバイコントロールレジスタ (SBYCR)	203
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	204
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	205
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	206
11.2.5	動作電力コントロールレジスタ (OPCCR)	207
11.3	クロックの切り替えによる消費電力の低減	211
11.4	モジュールストップ機能	211
11.5	動作電力低減機能	211
11.5.1	動作電力制御モード設定方法	211
11.6	低消費電力状態	213
11.6.1	スリープモード	213
11.6.1.1	スリープモードへの遷移	213
11.6.1.2	スリープモードの解除	214
11.6.2	ディープスリープモード	215
11.6.2.1	ディープスリープモードへの遷移	215
11.6.2.2	ディープスリープモードの解除	216

11.6.3	ソフトウェアスタンバイモード	217
11.6.3.1	ソフトウェアスタンバイモードへの遷移	217
11.6.3.2	ソフトウェアスタンバイモードの解除	218
11.6.3.3	ソフトウェアスタンバイモードの応用例	219
11.7	使用上の注意事項	220
11.7.1	I/O ポートの状態	220
11.7.2	DTC のモジュールストップ	220
11.7.3	内蔵周辺モジュールの割り込み	220
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	220
11.7.5	WAIT 命令の実行タイミング	220
11.7.6	スリープモード中の DTC によるレジスタの書き換えについて	220
12.	レジスタライトプロテクション機能	221
12.1	レジスタの説明	222
12.1.1	プロテクトレジスタ (PRCR)	222
13.	例外処理	223
13.1	例外事象	223
13.1.1	未定義命令例外	224
13.1.2	特権命令例外	224
13.1.3	浮動小数点例外	224
13.1.4	リセット	224
13.1.5	ノンマスカブル割り込み	224
13.1.6	割り込み	224
13.1.7	無条件トラップ	224
13.2	例外の処理手順	225
13.3	例外事象の受け付け	227
13.3.1	受け付けタイミングと退避される PC 値	227
13.3.2	ベクタと PC、PSW の退避場所	227
13.4	例外の受け付け / 復帰時のハードウェア処理	228
13.5	ハードウェア前処理	229
13.5.1	未定義命令例外	229
13.5.2	特権命令例外	229
13.5.3	浮動小数点例外	229
13.5.4	リセット	229
13.5.5	ノンマスカブル割り込み	230
13.5.6	割り込み	230
13.5.7	無条件トラップ	230
13.6	例外処理ルーチンからの復帰	231
13.7	例外事象の優先順位	231
14.	割り込みコントローラ (ICUb)	232
14.1	概要	232

14.2	レジスタの説明	234
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	234
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	235
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)	236
14.2.4	高速割り込み設定レジスタ (FIR)	237
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	238
14.2.6	DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	239
14.2.7	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)	240
14.2.8	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	241
14.2.9	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	242
14.2.10	ノンマスカブル割り込みステータスレジスタ (NMISR)	243
14.2.11	ノンマスカブル割り込み許可レジスタ (NMIER)	245
14.2.12	ノンマスカブル割り込みステータスクリアレジスタ (NMICLR)	246
14.2.13	NMI 端子割り込みコントロールレジスタ (NMICR)	247
14.2.14	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	247
14.2.15	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	248
14.3	ベクタテーブル	249
14.3.1	割り込みのベクタテーブル	249
14.3.2	高速割り込みのベクタテーブル	255
14.3.3	ノンマスカブル割り込みのベクタ領域	255
14.4	割り込みの動作説明	256
14.4.1	割り込み検出	256
14.4.1.1	エッジ検出の割り込みステータスフラグ	256
14.4.1.2	レベル検出の割り込みステータスフラグ	258
14.4.2	割り込み要求の許可 / 禁止	259
14.4.3	割り込み要求先の選択	260
14.4.4	優先順位の判定	261
14.4.5	多重割り込み	261
14.4.6	高速割り込み	261
14.4.7	デジタルフィルタ	262
14.4.8	外部端子割り込み	263
14.5	ノンマスカブル割り込みの動作説明	264
14.6	低消費電力状態からの復帰	265
14.6.1	スリープモードおよびディープスリープモードからの復帰	265
14.6.2	ソフトウェアスタンバイモードからの復帰	265
14.7	使用上の注意事項	266
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	266
15.	バス	267
15.1	概要	267
15.2	バスの説明	269

15.2.1	CPU バス	269
15.2.2	メモリバス	269
15.2.3	内部メインバス	269
15.2.4	内部周辺バス	270
15.2.5	ライトバッファ機能 (内部周辺バス)	271
15.2.6	並列動作	272
15.2.7	制約事項	272
15.3	レジスタの説明	273
15.3.1	バスエラーステータスクリアレジスタ (BERCLR)	273
15.3.2	バスエラー監視許可レジスタ (BEREN)	273
15.3.3	バスエラーステータスレジスタ 1 (BERSR1)	274
15.3.4	バスエラーステータスレジスタ 2 (BERSR2)	274
15.3.5	バスプライオリティ制御レジスタ (BUSPRI)	275
15.4	バスエラー監視部	277
15.4.1	バスエラーの種類	277
15.4.1.1	不正アドレスアクセス	277
15.4.1.2	タイムアウト	277
15.4.2	バスエラー発生時の動作	277
15.4.3	バスエラーの発生条件	278
16.	データトランスファコントローラ (DTCb)	279
16.1	概要	279
16.2	レジスタの説明	281
16.2.1	DTC モードレジスタ A (MRA)	281
16.2.2	DTC モードレジスタ B (MRB)	283
16.2.3	DTC モードレジスタ C (MRC)	285
16.2.4	DTC 転送元レジスタ (SAR)	286
16.2.5	DTC 転送先レジスタ (DAR)	286
16.2.6	DTC 転送カウントレジスタ A (CRA)	287
16.2.7	DTC 転送カウントレジスタ B (CRB)	288
16.2.8	DTC コントロールレジスタ (DTCCR)	288
16.2.9	DTC ベクタベースレジスタ (DTCVBR)	289
16.2.10	DTC アドレスモードレジスタ (DTCADM0D)	289
16.2.11	DTC モジュール起動レジスタ (DTCST)	290
16.2.12	DTC ステータスレジスタ (DTCSTS)	291
16.2.13	DTC インデックステーブルベースレジスタ (DTCIBR)	292
16.2.14	DTC オペレーションレジスタ (DTCOR)	293
16.2.15	DTC シーケンス転送許可レジスタ (DTCSQE)	294
16.2.16	DTC アドレスディスプレイメントレジスタ (DTCDISP)	294
16.3	起動要因	295
16.3.1	転送情報の配置と DTC ベクタテーブル	295

16.4	動作説明	297
16.4.1	転送情報リードスキップ機能	299
16.4.2	転送情報ライトバックスキップ機能	300
16.4.2.1	アドレス固定によるライトバックスキップ	300
16.4.2.2	MRA.WBDIS ビットによるライトバックスキップ	300
16.4.3	ノーマル転送モード	301
16.4.4	リピート転送モード	302
16.4.5	ブロック転送モード	303
16.4.6	チェーン転送	304
16.4.7	動作タイミング	305
16.4.8	DTC の実行サイクル	308
16.4.9	DTC のバス権解放タイミング	308
16.4.10	シーケンス転送	309
16.4.11	DTC インデックステーブル	311
16.4.12	シーケンス転送の動作例	313
16.5	DTC の設定手順	319
16.6	DTC 使用例	320
16.6.1	ノーマル転送	320
16.6.2	カウンタが“0”のときのチェーン転送	321
16.6.3	シーケンス転送	322
16.7	割り込み要因	323
16.8	消費電力低減機能	324
16.9	使用上の注意事項	325
16.9.1	転送情報先頭アドレス	325
16.9.2	転送情報の配置	325
16.9.3	シーケンス転送使用時の注意事項	326
17.	I/O ポート	327
17.1	概要	327
17.2	入出力ポートの構成	329
17.3	レジスタの説明	334
17.3.1	ポート方向レジスタ (PDR)	334
17.3.2	ポート出力データレジスタ (PODR)	335
17.3.3	ポート入力データレジスタ (PIDR)	336
17.3.4	ポートモードレジスタ (PMR)	337
17.3.5	オープンドレイン制御レジスタ 0 (ODR0)	338
17.3.6	オープンドレイン制御レジスタ 1 (ODR1)	339
17.3.7	プルアップ制御レジスタ (PCR)	340
17.4	ポート方向レジスタ (PDR) の初期化	341
17.5	未使用端子の処理	344

18.	マルチファンクションピンコントローラ (MPC)	345
18.1	概要	345
18.2	レジスタの説明	353
18.2.1	書き込みプロテクトレジスタ (PWPR)	353
18.2.2	P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 4)	354
18.2.3	P1n 端子機能制御レジスタ (P1nPFS) (n = 0 ~ 5)	355
18.2.4	P2n 端子機能制御レジスタ (P2nPFS) (n = 2 ~ 6)	356
18.2.5	P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 3, 6, 7)	357
18.2.6	P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)	358
18.2.7	P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 6)	359
18.2.8	P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 7)	360
18.2.9	PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)	361
18.2.10	PDn 端子機能制御レジスタ (PDnPFS) (n = 3 ~ 7)	362
18.2.11	PEn 端子機能制御レジスタ (PEnPFS) (n = 2)	363
18.2.12	PGn 端子機能制御レジスタ (PGnPFS) (n = 7)	364
18.3	使用上の注意事項	365
18.3.1	端子入出力機能の設定手順	365
18.3.2	Pmn 端子機能制御レジスタ (PmnPFS) を設定する場合の注意事項	365
18.3.3	アナログ機能を使用する場合の注意事項	367
18.3.4	P97 端子の入力レベルについての注意事項	367
18.3.5	POE3 の汎用入出力ポート切り替え制御の注意事項	367
18.3.6	MTU、GPTW 入出力端子の反転入出力機能についての注意事項	368
19.	マルチファンクションタイマパルスユニット 3 (MTU3c)	369
19.1	概要	369
19.2	レジスタの説明	374
19.2.1	タイマコントロールレジスタ (TCR)	374
19.2.2	タイマコントロールレジスタ 2 (TCR2)	376
19.2.3	タイマモードレジスタ 1 (TMDR1)	380
19.2.4	タイマモードレジスタ 2A (TMDR2A)	382
19.2.5	タイマモードレジスタ 3 (TMDR3)	383
19.2.6	タイマ I/O コントロールレジスタ (TIOR)	385
19.2.7	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	396
19.2.8	タイマインタラプトイネーブルレジスタ (TIER)	397
19.2.9	タイマステータスレジスタ (TSR)	400
19.2.10	タイマバッファ動作転送モードレジスタ (TBTM)	401
19.2.11	タイマインプットキャプチャコントロールレジスタ (TICCR)	402
19.2.12	タイマカウンタ (TCNT)	403
19.2.13	タイマロングワードカウンタ (TCNTLW)	403
19.2.14	タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)	404
19.2.15	タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)	405

19.2.16	タイマスタートレジスタ (TSTRA, TSTR)	406
19.2.17	タイマシンクロレジスタ A (TSYRA)	408
19.2.18	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	409
19.2.19	タイマリードライトイネーブルレジスタ A (TRWERA)	410
19.2.20	タイマアウトプットマスタイネーブルレジスタ A (TOERA)	411
19.2.21	タイマアウトプットコントロールレジスタ 1A (TOCR1A)	412
19.2.22	タイマアウトプットコントロールレジスタ 2A (TOCR2A)	414
19.2.23	タイマアウトプットレベルバッファレジスタ A (TOLBRA)	417
19.2.24	タイマゲートコントロールレジスタ A (TGCRA)	418
19.2.25	タイマサブカウンタ A (TCNTSA)	420
19.2.26	タイマ周期データレジスタ A (TCDRA)	420
19.2.27	タイマ周期バッファレジスタ A (TCBRA)	421
19.2.28	タイマデッドタイムデータレジスタ A (TDDRA)	421
19.2.29	タイマデッドタイムイネーブルレジスタ A (TDERA)	422
19.2.30	タイマバッファ転送設定レジスタ A (TBTERA)	423
19.2.31	タイマ波形コントロールレジスタ A (TWCRA)	424
19.2.32	ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, C)	425
19.2.33	ノイズフィルタコントロールレジスタ 5 (NFCR5)	428
19.2.34	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	429
19.2.35	タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)	431
19.2.36	タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)	431
19.2.37	タイマ割り込み間引きモードレジスタ A (TITMRA)	432
19.2.38	タイマ割り込み間引き設定レジスタ 1A (TITCR1A)	433
19.2.39	タイマ割り込み間引き回数カウンタ 1A (TITCNT1A)	434
19.2.40	タイマ割り込み間引き設定レジスタ 2A (TITCR2A)	435
19.2.41	タイマ割り込み間引き回数カウンタ 2A (TITCNT2A)	436
19.2.42	A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)	437
19.2.43	A/D 変換開始要求選択レジスタ 1 (TADSTRGR1)	437
19.3	動作説明	439
19.3.1	基本動作	439
19.3.2	同期動作	445
19.3.3	バッファ動作	447
19.3.4	カスケード接続動作	452
19.3.5	PWM モード	457
19.3.6	位相計数モード	462
19.3.6.1	16 ビット位相計数モード	462
19.3.6.2	カスケード接続 32 ビット位相計数モード	474
19.3.7	リセット同期 PWM モード	475
19.3.8	相補 PWM モード	478
19.3.9	A/D 変換開始要求ディレイド機能	513

19.3.10	MTU0 ～ MTU4 の同期動作	520
19.3.11	外部パルス幅測定機能	521
19.3.12	デッドタイム補償用機能	522
19.3.13	相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作	524
19.3.14	ノイズフィルタ機能	525
19.3.15	A/D 変換開始要求フレーム同期信号	526
19.4	割り込み要因	527
19.4.1	割り込み要因と優先順位	527
19.4.2	DTC の起動	528
19.4.3	A/D コンバータの起動	529
19.5	動作タイミング	531
19.5.1	入出力タイミング	531
19.5.2	割り込み信号タイミング	537
19.6	使用上の注意事項	540
19.6.1	モジュールストップ機能の設定	540
19.6.2	カウントクロックの制限事項	540
19.6.3	周期設定上の注意事項	540
19.6.4	TCNT への書き込みとクリアの競合	541
19.6.5	TCNT への書き込みとカウントアップの競合	541
19.6.6	TGR レジスタへの書き込みとコンペアマッチの競合	542
19.6.7	バッファレジスタへの書き込みとコンペアマッチの競合	542
19.6.8	バッファレジスタへの書き込みと TCNT クリアの競合	543
19.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	543
19.6.10	TGR レジスタへの書き込みとインプットキャプチャの競合	544
19.6.11	バッファレジスタへの書き込みとインプットキャプチャの競合	545
19.6.12	カスケード接続における MTU2.TCNT への書き込みとオーバフロー / アンダフローの競合	546
19.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	547
19.6.14	相補 PWM モードでのバッファ動作の設定	547
19.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチ	548
19.6.16	リセット同期 PWM モードのオーバフロー	549
19.6.17	オーバフロー / アンダフローとカウンタクリアの競合	550
19.6.18	TCNT への書き込みとオーバフロー / アンダフローの競合	550
19.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ 遷移する場合の注意事項	551
19.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	551
19.6.21	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプット キャプチャ	551
19.6.22	割り込み間引き機能 2	552
19.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	552

19.6.24	タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の 注意事項	552
19.6.25	相補 PWM モード同期クリアするときの異常動作防止の注意事項	553
19.6.26	コンペアマッチによる割り込み信号の連続出力	555
19.6.27	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	555
19.7	MTU 出力端子の初期化方法	557
19.7.1	動作モード	557
19.7.2	動作中の異常などによる再設定時の動作	557
19.7.3	動作中の異常などによる端子の初期化手順、モード移行の概要	558
20.	ポートアウトプットイネーブル 3 (POE3E)	588
20.1	概要	588
20.2	レジスタの説明	592
20.2.1	入力レベルコントロール / ステータスレジスタ 1 (ICSR1)	592
20.2.2	入力レベルコントロール / ステータスレジスタ 3 (ICSR3)	594
20.2.3	入力レベルコントロール / ステータスレジスタ 4 (ICSR4)	596
20.2.4	入力レベルコントロール / ステータスレジスタ 5 (ICSR5)	598
20.2.5	入力レベルコントロール / ステータスレジスタ 6 (ICSR6)	600
20.2.6	入力レベルコントロール / ステータスレジスタ 7 (ICSR7)	601
20.2.7	出力レベルコントロール / ステータスレジスタ 1 (OCSR1)	603
20.2.8	出力レベルコントロール / ステータスレジスタ 3 (OCSR3)	604
20.2.9	アクティブレベルレジスタ 1 (ALR1)	605
20.2.10	アクティブレベルレジスタ 3 (ALR3)	607
20.2.11	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	609
20.2.12	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	610
20.2.13	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	611
20.2.14	ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)	612
20.2.15	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)	613
20.2.16	ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)	615
20.2.17	ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)	617
20.2.18	ポートアウトプットイネーブルコントロールレジスタ 6B (POECR6B)	619
20.2.19	ポートアウトプットイネーブルコントロールレジスタ 9 (POECR9)	620
20.2.20	ポートモードマスクコントロールレジスタ 0 (PMMCR0)	622
20.2.21	ポートモードマスクコントロールレジスタ 1 (PMMCR1)	624
20.2.22	ポートモードマスクコントロールレジスタ 2 (PMMCR2)	626
20.2.23	ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR)	628
20.2.24	ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)	629
20.2.25	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPExm) (m = 0, 2, 4 ~ 6)	630
20.2.26	MTU0 端子選択レジスタ 1 (M0SELR1)	631
20.2.27	MTU0 端子選択レジスタ 2 (M0SELR2)	632
20.2.28	MTU3 端子選択レジスタ (M3SELR)	633

20.2.29	MTU4 端子選択レジスタ 1 (M4SELR1)	634
20.2.30	MTU4 端子選択レジスタ 2 (M4SELR2)	635
20.2.31	GPTW0 端子選択レジスタ (G0SELR)	636
20.2.32	GPTW1 端子選択レジスタ (G1SELR)	637
20.2.33	GPTW2 端子選択レジスタ (G2SELR)	638
20.2.34	入力信号マスク制御レジスタ 0 (IMCR0)	639
20.2.35	入力信号マスク制御レジスタ 2 (IMCR2)	640
20.2.36	入力信号マスク制御レジスタ 3 (IMCR3)	641
20.2.37	入力信号マスク制御レジスタ 4 (IMCR4)	642
20.2.38	入力信号マスク制御レジスタ 5 (IMCR5)	643
20.2.39	入力信号マスク制御レジスタ 9 (IMCR9)	644
20.2.40	入力信号マスク制御レジスタ 10 (IMCR10)	645
20.2.41	入力信号マスク制御レジスタ 11 (IMCR11)	646
20.3	動作説明	647
20.3.1	MTU/GPTW 端子選択	662
20.3.2	入力レベル検出動作	663
20.3.3	出力レベル比較動作	664
20.3.4	レジスタによる出力停止制御	665
20.3.5	発振停止検出検知による出力停止制御	665
20.3.6	コンパレータ出力検出による出力停止制御	665
20.3.7	出力停止制御条件の追加機能	665
20.3.8	出力停止制御信号のマスク	666
20.3.9	出力停止要求発生時の制御	666
20.3.10	出力停止状態の解除	666
20.4	POE 設定手順	668
20.5	割り込み	670
20.6	使用上の注意事項	671
20.6.1	低消費電力モードへの遷移	671
20.6.2	MTU/GPTW 端子非選択時の出力停止制御	671
20.6.3	POE を使用しない場合について	671
20.6.4	MTU/GPTW 反転出力設定時のアクティブレベル設定について	671
20.6.5	ハイインピーダンス時の端子の読み出しについて	671
20.6.6	POE と POEG を併用した場合の注意事項	671
20.6.7	ICSRn.INV ビットを“1”にして使用する時の注意事項	672
21.	汎用 PWM タイマ (GPTWd)	673
21.1	概要	673
21.2	レジスタの説明	677
21.2.1	汎用 PWM タイマ書き込み保護レジスタ (GTWP)	677
21.2.2	汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)	680
21.2.3	汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)	681

21.2.4	汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)	682
21.2.5	汎用 PWM タイマスタート要因セレクトレジスタ (GTSSR)	683
21.2.6	汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR)	686
21.2.7	汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR)	688
21.2.8	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR)	691
21.2.9	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR)	694
21.2.10	汎用 PWM タイマ制御レジスタ (GTCR)	697
21.2.11	汎用 PWM タイマカウンタ方向、デューティ設定レジスタ (GTUDDTYC)	700
21.2.12	汎用 PWM タイマ I/O 制御レジスタ (GTIOR)	703
21.2.13	汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)	708
21.2.14	汎用 PWM タイマステータスレジスタ (GTST)	712
21.2.15	汎用 PWM タイマバッファイネーブルレジスタ (GTBER)	718
21.2.16	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)	723
21.2.17	汎用 PWM タイマカウンタ (GTCNT)	725
21.2.18	汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ~ F)	726
21.2.19	汎用 PWM タイマ周期設定レジスタ (GTPR)	727
21.2.20	汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)	728
21.2.21	汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)	728
21.2.22	A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)	729
21.2.23	A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)	729
21.2.24	A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)	730
21.2.25	汎用 PWM タイマデッドタイム制御レジスタ (GTDTCR)	731
21.2.26	汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D)	733
21.2.27	汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U, D)	734
21.2.28	汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)	735
21.2.29	汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)	736
21.2.30	汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR)	737
21.2.31	汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ (GTSECSR)	739
21.2.32	汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR)	740
21.2.33	汎用 PWM タイマバッファイネーブルレジスタ 2 (GTBER2)	743
21.2.34	汎用 PWM タイマチャネル間連携インプットキャプチャ制御レジスタ (GTICCR)	747
21.3	動作説明	751
21.3.1	基本動作	751
21.3.1.1	カウンタの動作	751
21.3.1.2	コンペアマッチによる波形出力機能	755
21.3.1.3	インプットキャプチャ機能	759
21.3.2	バッファ動作	763
21.3.2.1	GTPR レジスタのバッファ動作	763
21.3.2.2	GTCCRA、GTCCRB レジスタのバッファ動作	767
21.3.2.3	GTADTRA、GTADTRB レジスタのバッファ動作	773

21.3.3	PWM 出力動作モード	777
21.3.4	デッドタイム自動設定機能	790
21.3.5	カウント方向切り替え機能	795
21.3.6	デューティ 0%/100% 出力機能	796
21.3.7	ハードウェアカウントスタート、カウントストップ、カウンタクリア動作	798
21.3.7.1	ハードウェアスタート動作	798
21.3.7.2	ハードウェアストップ動作	801
21.3.7.3	ハードウェアクリア動作	805
21.3.7.4	MTU 同期カウントスタート動作	808
21.3.8	チャネル間同期動作	809
21.3.8.1	ソフトウェアによる同期動作	809
21.3.8.2	ハードウェア要因による同期動作	811
21.3.8.3	チャネル間連携による同期クリア動作	813
21.3.8.4	チャネル間連携によるインプットキャプチャ動作	817
21.3.8.5	位相シフトスタートによる同期動作	819
21.3.9	PWM 出力動作例	820
21.4	割り込み要因	826
21.4.1	割り込み要因と優先順位	826
21.4.2	DTC の起動	829
21.4.3	割り込み、A/D 変換開始要求の間引き機能	829
21.4.3.1	GTITC レジスタによる割り込み間引き機能	829
21.5	A/D 変換開始要求	833
21.6	ノイズフィルタ機能	836
21.7	保護機能	837
21.7.1	レジスタの書き込み保護	837
21.7.2	バッファ動作の抑止	837
21.7.2.1	バッファ動作の複数チャネル同時制御	839
21.7.2.2	GTCCR バッファ転送抑止時ダブルバッファリピート動作	842
21.7.3	GTIOCnm 端子出力の出力ネゲート制御 (n = 0 ~ 2, m = A, B)	846
21.7.4	GTIOCnm 端子出力の出力保護機能 (n = 0 ~ 2, m = A, B)	847
21.8	出力端子の初期化方法	853
21.8.1	リセット後の端子設定	853
21.8.2	動作中の異常などによる端子の初期化	853
21.9	使用上の注意事項	854
21.9.1	モジュールストップ機能の設定	854
21.9.2	コンペアマッチ動作時の GTCCRM レジスタの設定 (m = A ~ F)	854
21.9.3	GTCNT カウンタ値の設定範囲	855
21.9.4	GTCNT カウンタのスタート/ストップ	855
21.9.5	イベントの優先順序	856

22.	GPTW 用ポートアウトプットイネーブル (POEGb)	858
22.1	概要	858
22.2	レジスタの説明	861
22.2.1	POEG グループ A 設定レジスタ (POEGGA)	861
22.2.2	POEG グループ A 入力制御レジスタ (POEGICRA)	863
22.2.3	GPTW 出力停止制御グループ A 書き込み保護レジスタ (GTONCWPA)	864
22.2.4	GPTW 出力停止制御グループ A コントロールレジスタ (GTONCCRA)	865
22.3	動作説明	866
22.3.1	GTETRGA 端子の入力レベルまたは入力エッジ検出による出力停止要求	866
22.3.1.1	デジタルノイズフィルタ	866
22.3.2	GPTW の出力停止条件検出信号による出力停止要求	867
22.3.3	コンパレータの検出信号による出力停止要求	868
22.3.4	発振停止検出信号による出力停止要求	868
22.3.5	レジスタによる出力停止要求	868
22.3.6	出力停止要求の解除	869
22.3.6.1	リセットによる出力停止要求の解除	869
22.3.6.2	POEGGA レジスタのフラグクリアによる出力停止要求の解除	869
22.3.6.3	入力信号のネゲートによる直接出力停止要求の解除	870
22.3.7	入力信号による直接出力停止要求と解除	871
22.4	割り込み要因	873
22.5	GPTW に対する外部トリガ出力	873
22.6	使用上の注意事項	874
22.6.1	低消費電力モードへの遷移	874
22.6.2	モジュールストップ機能の設定	874
22.6.3	出力停止要求の重複について	874
22.6.4	COMP _n エッジ検出信号による出力停止要求のマスクについて	874
23.	8 ビットタイマ (TMR)	875
23.1	概要	875
23.2	レジスタの説明	880
23.2.1	タイマカウンタ (TCNT)	880
23.2.2	タイムコンスタントレジスタ A (TCORA)	881
23.2.3	タイムコンスタントレジスタ B (TCORB)	881
23.2.4	タイマコントロールレジスタ (TCR)	882
23.2.5	タイマカウンタコントロールレジスタ (TCCR)	883
23.2.6	タイマコントロール/ステータスレジスタ (TCSR)	885
23.3	動作説明	887
23.3.1	パルス出力	887
23.3.2	外部カウンタリセット入力	888
23.4	動作タイミング	889
23.4.1	TCNT カウンタのカウントタイミング	889

23.4.2	コンペアマッチ時の割り込みタイミング	890
23.4.3	コンペアマッチ時の出力信号タイミング	890
23.4.4	コンペアマッチによるカウンタクリアタイミング	891
23.4.5	TCNT カウンタの外部リセットタイミング	891
23.4.6	オーバフローによる割り込みタイミング	892
23.5	カスケード接続時の動作	893
23.5.1	16 ビットカウントモード	893
23.5.2	コンペアマッチカウントモード	893
23.6	割り込み要因	894
23.6.1	割り込み要因と DTC 起動	894
23.6.2	A/D コンバータの起動	894
23.7	使用上の注意事項	895
23.7.1	モジュールストップ機能の設定	895
23.7.2	周期設定上の注意	895
23.7.3	TCNT カウンタへの書き込みとカウンタクリアの競合	895
23.7.4	TCNT カウンタへの書き込みとカウントアップの競合	896
23.7.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	896
23.7.6	コンペアマッチ A、B の競合	897
23.7.7	内部クロックの切り替えと TCNT カウンタの動作	897
23.7.8	カスケード接続時のクロックソース設定	899
23.7.9	コンペアマッチ割り込みの連続出力	899
24.	コンペアマッチタイマ (CMT)	900
24.1	概要	900
24.2	レジスタの説明	901
24.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	901
24.2.2	コンペアマッチタイマコントロールレジスタ (CMCR)	902
24.2.3	コンペアマッチタイマカウンタ (CMCNT)	903
24.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	903
24.3	動作説明	904
24.3.1	周期カウント動作	904
24.3.2	CMCNT カウンタのカウントタイミング	904
24.4	割り込み	905
24.4.1	割り込み要因	905
24.4.2	コンペアマッチ割り込みの発生タイミング	905
24.5	使用上の注意事項	906
24.5.1	モジュールストップ機能の設定	906
24.5.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	906
24.5.3	CMCNT カウンタへの書き込みとカウントアップの競合	906
25.	独立ウォッチドッグタイマ (IWDtA)	907
25.1	概要	907

25.2	レジスタの説明	909
25.2.1	IWDT リフレッシュレジスタ (IWDTRR)	909
25.2.2	IWDT コントロールレジスタ (IWDTCR)	910
25.2.3	IWDT ステータスレジスタ (IWDTSR)	913
25.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	914
25.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	915
25.2.6	オプション機能選択レジスタ 0 (OFS0)	915
25.3	動作説明	916
25.3.1	カウント開始条件別の各動作	916
25.3.1.1	レジスタスタートモード	916
25.3.1.2	オートスタートモード	918
25.3.2	リフレッシュ動作	919
25.3.3	ステータスフラグ	921
25.3.4	リセット出力	921
25.3.5	割り込み要因	921
25.3.6	カウンタ値の読み出し	922
25.3.7	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	923
25.4	使用上の注意事項	923
25.4.1	リフレッシュ動作について	923
25.4.2	クロック分周比の設定	923
26.	シリアルコミュニケーションインタフェース (SClg, SClh)	924
26.1	概要	924
26.2	レジスタの説明	932
26.2.1	レシーブシフトレジスタ (RSR)	932
26.2.2	レシーブデータレジスタ (RDR)	932
26.2.3	レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)	933
26.2.4	トランスミットデータレジスタ (TDR)	934
26.2.5	トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)	935
26.2.6	トランスミットシフトレジスタ (TSR)	935
26.2.7	シリアルモードレジスタ (SMR)	936
26.2.8	シリアルコントロールレジスタ (SCR)	940
26.2.9	シリアルステータスレジスタ (SSR)	944
26.2.10	スマートカードモードレジスタ (SCMR)	949
26.2.11	ビットレートレジスタ (BRR)	951
26.2.12	モジュレーションデューティレジスタ (MDDR)	959
26.2.13	シリアル拡張モードレジスタ (SEMR)	960
26.2.14	ノイズフィルタ設定レジスタ (SNFR)	963
26.2.15	I ² C モードレジスタ 1 (SIMR1)	964
26.2.16	I ² C モードレジスタ 2 (SIMR2)	965
26.2.17	I ² C モードレジスタ 3 (SIMR3)	966

26.2.18	I ² C ステータスレジスタ (SISR)	968
26.2.19	SPI モードレジスタ (SPMR)	969
26.2.20	拡張シリアルモード有効レジスタ (ESMER)	970
26.2.21	コントロールレジスタ 0 (CR0)	971
26.2.22	コントロールレジスタ 1 (CR1)	971
26.2.23	コントロールレジスタ 2 (CR2)	972
26.2.24	コントロールレジスタ 3 (CR3)	973
26.2.25	ポートコントロールレジスタ (PCR)	973
26.2.26	割り込みコントロールレジスタ (ICR)	974
26.2.27	ステータスレジスタ (STR)	975
26.2.28	ステータスクリアレジスタ (STCR)	976
26.2.29	Control Field 0 データレジスタ (CF0DR)	976
26.2.30	Control Field 0 コンペアイネーブルレジスタ (CF0CR)	977
26.2.31	Control Field 0 受信データレジスタ (CF0RR)	977
26.2.32	プライマリ Control Field 1 データレジスタ (PCF1DR)	977
26.2.33	セカンダリ Control Field 1 データレジスタ (SCF1DR)	978
26.2.34	Control Field 1 コンペアイネーブルレジスタ (CF1CR)	978
26.2.35	Control Field 1 受信データレジスタ (CF1RR)	978
26.2.36	タイマコントロールレジスタ (TCR)	979
26.2.37	タイマモードレジスタ (TMR)	979
26.2.38	タイマプリスケアラレジスタ (TPRE)	980
26.2.39	タイマカウントレジスタ (TCNT)	980
26.3	調歩同期式モードの動作	981
26.3.1	シリアル送信 / 受信フォーマット	981
26.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	983
26.3.3	クロック	984
26.3.4	倍速モード	984
26.3.5	CTS、RTS 機能	985
26.3.6	SCI の初期化 (調歩同期式モード)	986
26.3.7	シリアルデータの送信 (調歩同期式モード)	988
26.3.8	シリアルデータの受信 (調歩同期式モード)	992
26.4	マルチプロセッサ通信機能	996
26.4.1	マルチプロセッサシリアルデータ送信	997
26.4.2	マルチプロセッサシリアルデータ受信	998
26.5	クロック同期式モードの動作	1001
26.5.1	クロック	1001
26.5.2	CTS、RTS 機能	1002
26.5.3	SCI の初期化 (クロック同期式モード)	1003
26.5.4	シリアルデータの送信 (クロック同期式モード)	1004
26.5.5	シリアルデータの受信 (クロック同期式モード)	1008

26.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	1011
26.6	スマートカードインタフェースモードの動作	1012
26.6.1	接続例	1012
26.6.2	データフォーマット (ブロック転送モード時を除く)	1013
26.6.3	ブロック転送モード	1014
26.6.4	受信データサンプリングタイミングと受信マージン	1015
26.6.5	SCI の初期化 (スマートカードインタフェースモード)	1016
26.6.6	シリアルデータの送信 (ブロック転送モードを除く)	1018
26.6.7	シリアルデータの受信 (ブロック転送モードを除く)	1021
26.6.8	クロック出力制御	1023
26.7	簡易 I ² C モードの動作	1024
26.7.1	開始条件、再開条件、停止条件の生成	1025
26.7.2	クロック同期化	1027
26.7.3	SSDA 出力遅延	1028
26.7.4	SCI の初期化 (簡易 I ² C モード)	1029
26.7.5	マスタ送信動作 (簡易 I ² C モード)	1030
26.7.6	マスタ受信動作 (簡易 I ² C モード)	1032
26.7.7	バスハングアップからの回復	1034
26.8	簡易 SPI モードの動作	1035
26.8.1	マスタモード、スレーブモードと各端子の状態	1036
26.8.2	マスタモード時の SS 機能	1036
26.8.3	スレーブモード時の SS 機能	1036
26.8.4	クロックと送受信データの関係	1037
26.8.5	SCI の初期化 (簡易 SPI モード)	1037
26.8.6	シリアルデータの送受信 (簡易 SPI モード)	1038
26.9	ビットレートモジュレーション機能	1038
26.10	拡張シリアルモード制御部の動作説明	1039
26.10.1	シリアル通信プロトコル	1039
26.10.2	Start Frame 送信	1039
26.10.3	Start Frame 受信	1043
26.10.3.1	プライオリティインタラプトビット	1048
26.10.4	バス衝突検出機能	1049
26.10.5	RXDX12 端子入力デジタルフィルタ機能	1050
26.10.6	ビットレート測定機能	1051
26.10.7	RXDX12 受信データサンプリングタイミング選択機能	1052
26.10.8	タイマ	1053
26.11	ノイズ除去機能	1055
26.12	割り込み要因	1056
26.12.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1056
26.12.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	1056

26.12.3	スマートカードインタフェースモードにおける割り込み	1057
26.12.4	簡易 I ² C モードにおける割り込み	1058
26.12.5	拡張シリアルモード制御部の割り込み要求	1059
26.13	使用上の注意事項	1060
26.13.1	モジュールストップ機能の設定	1060
26.13.2	ブレークの検出と処理について	1060
26.13.3	マーク状態とブレークの送出	1060
26.13.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	1060
26.13.5	TDR レジスタへのライトについて	1060
26.13.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	1061
26.13.7	DTC 使用上の制約事項	1062
26.13.8	通信の開始に関する注意事項	1062
26.13.9	低消費電力状態時の動作について	1062
26.13.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	1064
26.13.11	簡易 SPI モードの制約事項	1065
26.13.12	拡張シリアルモード制御部の使用上の制約事項 1	1066
26.13.13	拡張シリアルモード制御部の使用上の制約事項 2	1066
26.13.14	トランスミットイネーブルビット (TE ビット) に関する注意事項	1067
26.13.15	調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項	1067
27.	I ² C バスインタフェース (R1ICa)	1068
27.1	概要	1068
27.2	レジスタの説明	1070
27.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	1070
27.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	1072
27.2.3	I ² C バスモードレジスタ 1 (ICMR1)	1075
27.2.4	I ² C バスモードレジスタ 2 (ICMR2)	1076
27.2.5	I ² C バスモードレジスタ 3 (ICMR3)	1078
27.2.6	I ² C バスファンクション許可レジスタ (ICFER)	1080
27.2.7	I ² C バスステータス許可レジスタ (ICSER)	1082
27.2.8	I ² C バス割り込み許可レジスタ (ICIER)	1084
27.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	1086
27.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	1088
27.2.11	スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)	1091
27.2.12	スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)	1092
27.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	1093
27.2.14	I ² C バスビットレート High レジスタ (ICBRH)	1094
27.2.15	I ² C バス送信データレジスタ (ICDRT)	1096
27.2.16	I ² C バス受信データレジスタ (ICDRR)	1096
27.2.17	I ² C バスシフトレジスタ (ICDRS)	1096

27.3	動作説明	1097
27.3.1	通信データフォーマット	1097
27.3.2	初期設定	1098
27.3.3	マスタ送信動作	1099
27.3.4	マスタ受信動作	1102
27.3.5	スレーブ送信動作	1108
27.3.6	スレーブ受信動作	1111
27.4	SCL 同期回路	1113
27.5	SDA 出力遅延機能	1114
27.6	デジタルノイズフィルタ回路	1115
27.7	アドレス一致検出機能	1116
27.7.1	スレーブアドレス一致検出機能	1116
27.7.2	ジェネラルコールアドレス検出機能	1118
27.7.3	デバイス ID アドレス検出機能	1119
27.7.4	ホストアドレス検出機能	1121
27.8	SCL の自動 Low ホールド機能	1122
27.8.1	送信データ誤送信防止機能	1122
27.8.2	NACK 受信転送中断機能	1123
27.8.3	受信データ取りこぼし防止機能	1124
27.9	アービトレーションロスト検出機能	1126
27.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	1126
27.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	1128
27.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	1129
27.10	スタートコンディション、リスタートコンディション、ストップコンディション 発行機能	1130
27.10.1	スタートコンディション発行動作	1130
27.10.2	リスタートコンディション発行動作	1130
27.10.3	ストップコンディション発行動作	1131
27.11	バスハングアップ	1132
27.11.1	タイムアウト検出機能	1132
27.11.2	SCL 追加出力機能	1133
27.11.3	RIIC リセット、内部リセット	1134
27.12	SMBus 動作	1135
27.12.1	SMBus タイムアウト測定	1135
27.12.2	パケットエラーコード (PEC)	1136
27.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	1137
27.13	割り込み要因	1138
27.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	1138
27.14	リセット時 / コンディション検出時のレジスタおよび機能の初期化	1139
27.15	使用上の注意事項	1140
27.15.1	モジュールストップ機能の設定	1140

27.15.2	通信の開始に関する注意事項	1140
28.	CRC 演算器 (CRCA)	1141
28.1	概要	1141
28.2	レジスタの説明	1142
28.2.1	CRC コントロールレジスタ (CRCCR)	1142
28.2.2	CRC データ入力レジスタ (CRCDIR)	1143
28.2.3	CRC データ出力レジスタ (CRCDOR)	1144
28.3	CRC 演算器の動作説明	1145
28.4	使用上の注意事項	1148
28.4.1	モジュールストップ機能の設定	1148
28.4.2	送信時の注意事項	1148
29.	三角関数演算器 (TFUv1)	1149
29.1	概要	1149
30.	12 ビット A/D コンバータ (S12ADF)	1150
30.1	概要	1150
30.2	レジスタの説明	1157
30.2.1	A/D データレジスタ y (ADDRy) (y = 0 ~ 7)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D データ二重化レジスタ A (ADDBLDRA)、 A/D データ二重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)	1157
30.2.2	A/D 自己診断データレジスタ (ADRD)	1159
30.2.3	A/D コントロールレジスタ (ADCSR)	1160
30.2.4	A/D チャネル選択レジスタ A0 (ADANSA0)	1164
30.2.5	A/D チャネル選択レジスタ B0 (ADANSB0)	1166
30.2.6	A/D チャネル選択レジスタ C0 (ADANSC0)	1168
30.2.7	A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)	1170
30.2.8	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	1173
30.2.9	A/D コントロール拡張レジスタ (ADCER)	1174
30.2.10	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	1176
30.2.11	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	1178
30.2.12	A/D グループ C トリガ選択レジスタ (ADGCTRGR)	1180
30.2.13	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, T, O)	1183
30.2.14	A/D 断線検出コントロールレジスタ (ADDISCR)	1185
30.2.15	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	1186
30.2.16	A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)	1188
30.3	動作説明	1189
30.3.1	A/D コンバータの初期設定フロー	1189
30.3.2	A/D コンバータの各ユニット、アナログ入力と A/D 変換結果の格納先	1190
30.3.3	スキャンの動作説明	1190

30.3.4	シングルスキャンモード	1192
30.3.4.1	基本動作	1192
30.3.4.2	チャンネル選択と自己診断	1193
30.3.4.3	温度センサ出力または内部基準電圧選択時の A/D 変換動作	1194
30.3.4.4	ダブルトリガモード選択時の動作	1195
30.3.4.5	ダブルトリガ拡張モードの動作	1196
30.3.5	連続スキャンモード	1200
30.3.5.1	基本動作	1200
30.3.5.2	チャンネル選択と自己診断	1201
30.3.6	グループスキャンモード	1202
30.3.6.1	基本動作	1202
30.3.6.2	ダブルトリガモード選択時の動作	1203
30.3.6.3	グループ優先制御動作	1205
30.3.7	タイムインターリーブ動作	1223
30.3.7.1	トリガ入力タイミング	1223
30.3.7.2	シングルスキャンモード	1225
30.3.7.3	シングルスキャンモード（ダブルトリガ拡張モード選択）	1226
30.3.8	アナログ入力のサンプリング時間とスキャン変換時間	1228
30.3.8.1	グループ優先動作でのスキャン中断 / 開始タイミング	1230
30.3.9	A/D データレジスタの自動クリア機能の使用例	1231
30.3.10	A/D 変換値加算 / 平均機能	1231
30.3.11	断線検出アシスト機能	1231
30.3.12	非同期トリガによる A/D 変換の開始	1233
30.3.13	周辺モジュールからの同期トリガによる A/D 変換の開始	1233
30.3.14	プログラマブルゲインアンプ	1233
30.4	割り込み要因と DTC 転送要求	1234
30.4.1	割り込み要求	1234
30.5	基準電圧の選択方法	1234
30.6	許容信号源インピーダンスについて	1235
30.7	使用上の注意事項	1236
30.7.1	データレジスタの読み出し注意事項	1236
30.7.2	A/D 変換停止時の注意事項	1236
30.7.2.1	A/D 変換停止手順	1236
30.7.2.2	モード / ステータスフラグの注意事項	1238
30.7.3	A/D 変換強制停止と開始時の動作タイミング	1238
30.7.4	スキャン終了割り込み処理の注意事項	1238
30.7.5	モジュールストップ機能の設定	1238
30.7.6	低消費電力状態への遷移時の注意	1238
30.7.7	ソフトウェアスタンバイモード解除時の注意	1238
30.7.8	12 ビット A/D コンバータを使用する場合の端子の設定	1239

30.7.9	断線検出アシスト機能使用時の絶対精度誤差	1239
30.7.10	アナログ電源端子他の設定範囲	1239
30.7.11	ボード設計上の注意	1241
30.7.12	ノイズ対策上の注意	1241
31.	プログラマブルゲインアンプ (PGA)	1242
31.1	概要	1242
31.2	レジスタの説明	1244
31.2.1	プログラマブルゲインアンプコントロールレジスタ (PGACR)	1244
31.2.2	プログラマブルゲインアンプゲイン設定レジスタ 0 (PGAGS0)	1246
31.2.3	プログラマブルゲインアンプモニタ出力コントロールレジスタ (PGAMONCR)	1247
31.3	動作説明	1248
31.4	使用上の注意	1250
31.4.1	プログラマブルゲインアンプモニタ機能に関する制限	1250
31.4.2	PGAGND 端子使用時の注意	1250
31.4.3	モジュールストップ機能の設定	1250
31.4.4	モジュールストップ時のプログラマブルゲインアンプの動作	1250
31.4.5	ソフトウェアスタンバイモード時のプログラマブルゲインアンプの動作	1250
32.	D/A コンバータ (DAa)	1251
32.1	概要	1251
32.2	レジスタの説明	1252
32.2.1	D/A データレジスタ m (DADRm) (m = 0, 1)	1252
32.2.2	D/A 制御レジスタ (DACR)	1253
32.2.3	データレジスタフォーマット選択レジスタ (DADPR)	1253
32.2.4	D/A A/D 同期スタート制御レジスタ (DAADSCR)	1254
32.3	動作説明	1255
32.3.1	D/A 変換と A/D 変換の干渉対策	1256
32.4	使用上の注意事項	1258
32.4.1	モジュールストップ機能の設定	1258
32.4.2	モジュールストップ時の D/A コンバータの動作	1258
32.4.3	ソフトウェアスタンバイモード時の D/A コンバータの動作	1258
32.4.4	D/A コンバータの設定について	1258
32.4.5	D/A 変換と A/D 変換の干渉対策有効時の注意事項	1258
32.4.6	DA0 端子出力とコンパレータ C 基準電圧との同時利用に関する注意事項	1258
33.	温度センサ (TEMPSA)	1259
33.1	概要	1259
33.2	レジスタの説明	1260
33.2.1	温度センサ校正データレジスタ (TSCDR)	1260
33.3	温度センサの使用手法	1261
33.3.1	使用前の準備	1261
33.3.2	12 ビット A/D コンバータの設定	1262

34.	コンパレータ C (CMPCa)	1263
34.1	概要	1263
34.2	レジスタの説明	1266
34.2.1	コンパレータ制御レジスタ (CMPCTL)	1266
34.2.2	コンパレータ入力切り替えレジスタ (CMPSEL0)	1267
34.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1)	1268
34.2.4	コンパレータ出力モニタレジスタ (CMPMON)	1269
34.2.5	コンパレータ外部出力許可レジスタ (CMPIOC)	1269
34.2.6	コンパレータ制御レジスタ 2 (CMPCTL2)	1269
34.2.7	ノイズフィルタ設定レジスタ (CMPNFS)	1270
34.3	動作説明	1271
34.3.1	コンパレータ動作例	1271
34.3.2	ノイズフィルタ	1272
34.3.3	割り込み	1273
34.3.4	コンパレータの端子出力	1273
34.3.5	コンパレータの設定手順	1274
34.4	使用上の注意事項	1276
34.4.1	モジュールストップ機能の設定	1276
34.4.2	モジュールストップ時のコンパレータ C の動作	1276
34.4.3	ソフトウェアスタンバイモード時のコンパレータ C の動作	1276
34.4.4	12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作	1276
34.4.5	リファレンス電圧生成に使用する D/A コンバータの設定について	1277
34.4.6	比較結果へのパルスの出現について	1277
35.	データ演算回路 (DOC)	1278
35.1	概要	1278
35.2	レジスタの説明	1279
35.2.1	DOC コントロールレジスタ (DOCR)	1279
35.2.2	DOC データインプットレジスタ (DODIR)	1280
35.2.3	DOC データセッティングレジスタ (DODSR)	1280
35.3	動作説明	1281
35.3.1	データ比較モード	1281
35.3.2	データ加算モード	1282
35.3.3	データ減算モード	1283
35.4	割り込み要求	1283
35.5	使用上の注意事項	1283
35.5.1	モジュールストップ機能の設定	1283
36.	RAM	1284
36.1	概要	1284
36.2	使用上の注意事項	1285
36.2.1	消費電力低減機能	1285

36.2.2	RAM の自己診断に関する注意事項	1285
37.	フラッシュメモリ (FLASH)	1286
37.1	概要	1286
37.2	ROM の領域とブロックの構成	1287
37.3	E2 データフラッシュの領域とブロックの構成	1288
37.4	レジスタの説明	1289
37.4.1	E2 データフラッシュ制御レジスタ (DFLCTL)	1289
37.4.2	フラッシュ P/E モードエントリレジスタ (FENTRYR)	1290
37.4.3	メモリウェイトサイクル設定レジスタ (MEMWAITR)	1291
37.4.4	プロテクト解除レジスタ (FPR)	1292
37.4.5	プロテクト解除ステータスレジスタ (FPSR)	1292
37.4.6	フラッシュ P/E モード制御レジスタ (FPMCR)	1293
37.4.7	フラッシュ初期設定レジスタ (FISR)	1294
37.4.8	フラッシュリセットレジスタ (FRESETR)	1295
37.4.9	フラッシュ領域選択レジスタ (FASR)	1296
37.4.10	フラッシュ制御レジスタ (FCR)	1297
37.4.11	フラッシュエクストラ領域制御レジスタ (FEXCR)	1299
37.4.12	フラッシュ処理開始アドレスレジスタ H (FSARH)	1300
37.4.13	フラッシュ処理開始アドレスレジスタ L (FSARL)	1300
37.4.14	フラッシュ処理終了アドレスレジスタ H (FEARH)	1301
37.4.15	フラッシュ処理終了アドレスレジスタ L (FEARL)	1301
37.4.16	フラッシュライトバッファレジスタ n (FWBn) (n = 0 ~ 3)	1302
37.4.17	フラッシュステータスレジスタ 0 (FSTATR0)	1303
37.4.18	フラッシュステータスレジスタ 1 (FSTATR1)	1305
37.4.19	フラッシュエラーアドレスモニタレジスタ H (FEAMH)	1306
37.4.20	フラッシュエラーアドレスモニタレジスタ L (FEAML)	1306
37.4.21	フラッシュスタートアップ設定モニタレジスタ (FSCMR)	1307
37.4.22	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)	1308
37.4.23	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)	1308
37.4.24	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	1308
37.5	スタートアッププログラム保護機能	1309
37.6	エリアプロテクション	1310
37.7	プログラム / イレーズ	1311
37.7.1	シーケンサのモード	1311
37.7.1.1	E2 データフラッシュアクセス禁止モード	1311
37.7.1.2	リードモード	1312
37.7.1.3	P/E モード	1312
37.7.2	モード遷移	1312
37.7.2.1	E2 データフラッシュアクセス禁止モードからリードモードへの遷移	1312
37.7.2.2	リードモードから P/E モードへの遷移	1313

37.7.2.3	P/E モードからリードモードへの遷移	1315
37.7.3	ソフトウェアコマンド一覧	1316
37.7.4	ソフトウェアコマンド使用方法	1317
37.7.4.1	プログラム	1317
37.7.4.2	ブロックイレーズ	1319
37.7.4.3	全ブロックイレーズ	1321
37.7.4.4	ブランクチェック	1323
37.7.4.5	スタートアップ領域情報プログラム / アクセスウィンドウプロテクト / アクセスウィンドウ情報プログラム	1325
37.7.4.6	ソフトウェアコマンドの強制停止	1326
37.7.5	割り込み	1326
37.8	ブートモード	1327
37.8.1	ブートモード (SCI インタフェース)	1328
37.8.1.1	ブートモード (SCI インタフェース) の動作条件	1328
37.8.1.2	ブートモード (SCI インタフェース) の起動方法	1329
37.8.2	ブートモード (FINE インタフェース)	1330
37.8.2.1	ブートモード (FINE インタフェース) の動作条件	1330
37.9	フラッシュメモリプロテクト機能	1331
37.9.1	ID コードプロテクト	1331
37.9.1.1	ブートモード ID コードプロテクト	1332
37.9.1.2	オンチップデバッグエミュレータ ID コードプロテクト	1333
37.10	通信プロトコル	1334
37.10.1	ブートモード (SCI インタフェース) の状態遷移	1334
37.10.2	コマンドとレスポンスの構成	1335
37.10.3	未定義コマンドに対するレスポンス	1335
37.10.4	ブートモードステータス問い合わせ	1336
37.10.5	問い合わせコマンド	1337
37.10.5.1	サポートデバイス問い合わせ	1337
37.10.5.2	データ領域有無問い合わせ	1338
37.10.5.3	ユーザ領域情報問い合わせ	1338
37.10.5.4	データ領域情報問い合わせ	1339
37.10.5.5	ブロック情報問い合わせ	1339
37.10.6	設定コマンド	1340
37.10.6.1	デバイス選択	1340
37.10.6.2	動作周波数選択	1341
37.10.6.3	プログラム / イレーズホストコマンド待ちステート遷移	1342
37.10.7	ID コード認証コマンド	1343
37.10.7.1	ID コードチェック	1343
37.10.8	プログラム / イレーズコマンド	1344
37.10.8.1	ユーザ / データ領域プログラム準備	1344
37.10.8.2	プログラム	1345

37.10.8.3	データ領域プログラム	1346
37.10.8.4	イレーズ準備	1347
37.10.8.5	ブロックイレーズ	1347
37.10.9	リードチェックコマンド	1348
37.10.9.1	メモリアード	1348
37.10.9.2	ユーザ領域チェックサム	1349
37.10.9.3	データ領域チェックサム	1350
37.10.9.4	ユーザ領域ブランクチェック	1350
37.10.9.5	データ領域ブランクチェック	1351
37.10.9.6	アクセスウィンドウ情報プログラム	1351
37.10.9.7	アクセスウィンドウリード	1352
37.10.9.8	アクセスウィンドウプロテクト	1353
37.10.9.9	アクセスウィンドウプロテクトフラグリード	1353
37.11	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明	1354
37.11.1	ビットレート自動調整	1355
37.11.2	MCU の情報取得	1356
37.11.3	デバイスの指定、ビットレートの変更	1357
37.11.4	プログラム / イレーズホストコマンド待ちステートへの遷移	1358
37.11.5	ブートモード ID コードプロテクトの解除	1359
37.11.6	ユーザ領域、データ領域のイレーズ	1360
37.11.7	ユーザ領域、データ領域のプログラム	1361
37.11.8	ユーザ領域のデータ確認	1362
37.11.9	データ領域のデータ確認	1363
37.11.10	ユーザ領域のアクセスウィンドウ設定	1364
37.11.11	アクセスウィンドウの保護	1365
37.12	セルフプログラミングでの書き換え	1366
37.12.1	概要	1366
37.13	使用上の注意事項	1367
37.14	使用上の注意事項 (ブートモード)	1368
38.	電氣的特性	1369
38.1	絶対最大定格	1369
38.2	推奨動作条件	1370
38.3	測定条件	1371
38.4	DC 特性	1372
38.4.1	I/O 入力出力特性	1372
38.4.2	動作電流と待機電流	1375
38.4.3	VCC 立ち上がり勾配と電源リップル特性	1383
38.4.4	VCL 端子電圧	1384
38.4.5	RAM データ保持特性	1384
38.4.6	熱抵抗値 (参考値)	1384

38.5	AC 特性	1385
38.5.1	クロックタイミング	1385
38.5.2	リセットタイミング	1389
38.5.3	低消費電力状態からの復帰タイミング	1390
38.5.4	制御信号タイミング	1392
38.5.5	内蔵周辺モジュールタイミング	1393
38.5.5.1	I/O ポート	1393
38.5.5.2	MTU	1393
38.5.5.3	POE	1395
38.5.5.4	POEG	1397
38.5.5.5	GPTW	1400
38.5.5.6	TMR	1402
38.5.5.7	SCI	1403
38.5.5.8	RIIC	1409
38.5.5.9	A/D コンバータトリガ	1411
38.5.5.10	CAC	1411
38.5.5.11	CLKOUT	1412
38.6	A/D 変換特性	1413
38.7	プログラマブルゲインアンプ特性	1419
38.8	コンパレータ特性	1420
38.9	D/A 変換特性	1421
38.10	温度センサ特性	1422
38.11	パワーオンリセット回路、電圧検出回路特性	1422
38.12	発振停止検出タイミング	1426
38.13	ROM (コード格納用フラッシュメモリ) 特性	1427
38.14	E2 データフラッシュ (データ格納用フラッシュメモリ) 特性	1429
38.15	使用上の注意事項	1430
38.15.1	VCL コンデンサ、バイパスコンデンサ接続方法	1430
付録 1.	各処理状態におけるポートの状態	1431
付録 2.	外形寸法図	1433
改訂記録		1442

RX14T グループ

ルネサスマイクロコンピュータ

R01UH1126JJ0102

Rev.1.02

2025.12.12

48MHz、32ビットRX MCU、FPU内蔵、204 Coremark、電源5V対応、12ビットA/Dコンバータ(2ユニット、3ユニットプログラマブルゲインアンプ、コンパレータ)、48MHz PWM(三相相補2ch)、データフラッシュメモリ内蔵

特長

■ 32ビットRXv2 CPUコア内蔵

- 最高動作周波数 48MHz
204 Coremark の性能 (48MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速 2クロックで実行)
- 高速割り込み
- 5段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■ 三角関数演算器 (TFUv1)

■ 消費電力低減機能

- 2.7V ~ 5.5V 動作の単一電源
- 3種類の低消費電力モード

■ 内蔵コードフラッシュメモリ

- 128K バイトの容量
- オンボードによるユーザ書き込み
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 4K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 12K バイトの容量

■ DTC

- 5種類の転送モード

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 7 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部クロック入力周波数: ~ 20MHz
- メインクロック発振器周波数: 1 ~ 20MHz
- PLL 回路入力: 4MHz ~ 12.5MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 24/32/48/64MHz ±1%
- IWDTC 専用オンチップオシレータ内蔵: 15kHz
- クロック周波数精度測定回路 (CAC) 内蔵

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDTC 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能、CRCA など

■ MPC

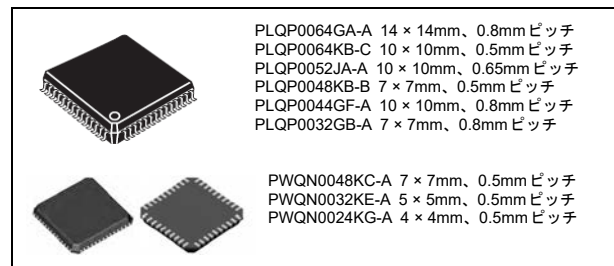
- 周辺機能の入出力端子を複数個所から選択可能

■ 最大 5 本の通信機能を内蔵

- 多彩な機能に対応した SCI (4ch)
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C / 拡張シリアルモードから選択
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1チャンネル)

■ 最大 15 本の拡張タイマ機能

- 16ビット MTU3 (6ch): 48MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 1ch 出力、CPU に負担をかけない相補 PWM、位相計数モード (2ch)



- 16ビットの GPTW (3ch): 48MHz 動作、インプットキャプチャ、アウトプットコンペア、PWM 波形: 単相相補 6ch 出力 / 3 相相補 1ch 出力など、PWM 波形: のこぎり波、三角波など (デットタイム付き)、コンパレータ連動 (カウント動作、PWM ネゲート制御)
MTU3 と GPTW の同時スタート機能
- 8ビット TMR (4チャンネル)
- 16ビット CMT (2チャンネル)

■ 12ビットA/Dコンバータ内蔵 (2ユニット)

- 最小 0.5μs 変換が可能
- ユニット 0: 8ch、ユニット 1: 8ch
- チャンネルごとにサンプリング時間を設定可能
- グループスキップ優先制御モード搭載 (3レベル)
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵
- モータ制御に適したダブルトリガ (データ二重化) 機能
- 高いサンプルレートを實現するタイムインターリーブ動作可能

■ プログラマブルゲインアンプによる入力信号増幅機能 (3ユニット)

■ D/A コンバータ内蔵

- 2チャンネル
- コンパレータの基準電圧用として使用可能

■ アナログコンパレータ: 3ch

■ 重要なレジスタの書き換え保護が可能なレジスタライブラリ機能

■ 最大 60 本の汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■ 温度センサ内蔵

■ ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

■ 動作周囲温度

- -40 ~ +105°C
- -40 ~ +125°C

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/5)

分類	モジュール/機能	説明
CPU	中央演算処理装置	- 最高動作周波数：48MHz 32ビットRX CPU (RXv2) - 最小命令実行時間：1命令1クロック - アドレス空間：4Gバイト・リニアアドレス - レジスタ - 汎用レジスタ：32ビット×16本 - 制御レジスタ：32ビット×10本 - アキュムレータ：72ビット×2本 - 基本命令：75種類 可変長命令形式 - 浮動小数点演算命令：11種類 - DSP機能命令：23種類 - アドレッシングモード：11種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット - 除算器：32ビット÷32ビット→32ビット - パレルシフタ：32ビット
	FPU	- 単精度浮動小数点(32ビット) - IEEE754に準拠したデータタイプ、および例外
三角関数演算器 (TFUV1)		- sin 演算、cos 演算、arctan 演算、$\sqrt{x^2 + y^2}$ 演算 - sin と cos の同時演算 - arctan と $\sqrt{x^2 + y^2}$ の同時演算
メモリ	ROM	- 容量：128Kバイト 32MHz以下：ウェイトなし 32MHz～48MHz：ウェイトあり - 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信)、セルフプログラミング
	RAM	- 容量：12Kバイト - ノーウェイトアクセス
	E2データフラッシュ	- 容量：4Kバイト - プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	- メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ - 発振停止検出：あり - クロック周波数精度測定回路(CAC)：あり - システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能 - CPU、バスマスタなどのシステム系はICLK同期：Max 48MHz - 周辺モジュールはPCLKB同期：Max 48MHz - フラッシュ周辺回路はFCLK同期：Max 48MHz - S12ADのADCLKはPCLKD同期：Max 64MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	- VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 - 電圧検出0は検出電圧を3レベルから選択可能 - 電圧検出1は検出電圧を10レベルから選択可能 - 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/5)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	- モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	動作電力制御モード 高速動作モード、中速動作モード
割り込み	割り込み コントローラ (ICUb)	- 割り込みベクタ数：256 - 外部割り込み：要因数9 (NMI、IRQ0～IRQ7 端子) - ノンマスクابل割り込み：要因数5 (NMI 端子、発振停止検出割り込み、電圧監視1 割り込み、電圧監視2 割り込み、IWDTC 割り込み) 16レベルの割り込み優先順位を設定可能
DMA	データトランスファ コントローラ (DTCb)	- 転送モード：ノーマル転送モード、リピータ転送モード、ブロック転送モード - 起動要因：割り込み要因により起動 - シーケンス転送が可能
I/Oポート	汎用入出力ポート	64ピン/52ピン/48ピン/44ピン/32ピン/24ピン - 入出力：59/47/43/39/27/19 - 入力：1/1/1/1/1/1 - プルアップ抵抗：59/47/43/39/27/19 - オープンドレイン出力：47/37/33/30/20/14 5Vトレラント：2/2/2/2/2/2
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット3 (MTU3c)	6チャンネル (16ビット×6チャンネル) - 最大16本のパルス入出力と3本のパルス入力が可能 14種類のカウンタクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A) を選択可能 (チャンネル1、3、4は11種類、チャンネル2は12種類、チャンネル5は10種類) 26本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ - カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) - 複数のタイマカウンタ (TCNT) への同時書き込み - カウンタの同期動作による各レジスタの同期入出力 - バッファ動作 - カスケード接続動作 28種類の割り込み要因 - レジスタデータの自動転送 - パルス出力モード トグル/PWM/相補PWM/リセット同期PWM - 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0～100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 - リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 - 位相計数モード：16ビットモード (チャンネル1、2)/32ビットモード (チャンネル1、2) - デッドタイム補償用カウンタ機能 - A/Dコンバータの変換開始トリガを生成可能 - A/Dコンバータ開始間引き機能 - インプットキャプチャ、外部カウンタクロック端子にデジタルフィルタあり
	ポートアウトプット イネーブル3 (POE3E)	- MTU/GPTW 波形出力端子のハイインピーダンス制御/汎用入出力ポートへの切り替え制御 - POE0、POE8、POE10、POE11、POE12の5つの入力端子による起動 - 出力短絡検出 (PWM出力が同時にアクティブレベルになったことを検出) による起動 - コンパレータ検出/発振停止検出/ソフトウェアによる起動 - 出力制御対象端子をプログラマブルに追加制御可能

表 1.1 仕様概要 (3/5)

分類	モジュール/機能	説明
タイマ	汎用PWMタイマ (GPTWd)	16ビット×3チャンネル - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - PWM動作の際にデッドタイム生成が可能 - 任意チャンネルのカウンタの同期スタート/ストップ/クリアが可能 - 入力レベル比較に対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 1個の外部トリガに対応したカウンタのスタート/ストップ/クリア/アップ/ダウンが可能 - デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 - A/Dコンバータの変換開始トリガ生成が可能。また外部端子で変換開始タイミングがモニタ可能 - インプットキャプチャのノイズフィルタを使用可能 - MTU0またはMTU4からのGPT同時スタート対応
	GPTW用ポートアウトプットイネーブル (POEG)	- GPTW波形出力の出力禁止制御 - GTETRGA端子の入力レベル検出による起動 - GPTWからの出力禁止要求による起動 - コンパレータ割り込み要求検出による起動 - 発振停止検出/ソフトウェアによる起動
	8ビットタイマ (TMRb)	(8ビット×2チャンネル)×2ユニット 7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192)と外部クロックを選択可能 - 任意のデューティのパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能
	コンペアマッチタイマ (CMT)	(16ビット×2チャンネル)×1ユニット 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512)を選択可能
	独立ウォッチドッグタイマ (IWDTa)	14ビット×1チャンネル - カウントクロック：IWDT専用低速クロック 1分周、16分周、32分周、64分周、128分周、256分周
通信機能	シリアルコミュニケーションインタフェース (SClg, SClh)	4チャンネル(チャンネル1、5、6：SClg、チャンネル12：SClh) - SClg - シリアル通信方式：調歩同期式/クロック同期式/スマートカードインタフェース - マルチプロセッサ機能 - 内蔵ボーレートジェネレータで任意のビットレートを選択可能 - LSBファースト/MSBファーストを選択可能 - TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) - スタートビット検出：レベルおよびエッジを選択可能 - 簡易I²Cサポート - 簡易SPIサポート 9ビット転送モードをサポート - ビットレートモジュレーション機能をサポート - SClh (SClgに以下の機能を付加) - スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート - LINフォーマットをサポート
	I ² Cバスインタフェース (RIICa)	1チャンネル - 通信フォーマット：I²Cバスフォーマット/SMBusフォーマット - マスタ/スレーブを選択可能 - ファストモード対応

表 1.1 仕様概要 (4/5)

分類	モジュール/機能	説明
12ビットA/Dコンバータ (S12AD)		12ビット2ユニット(8チャンネル×2ユニット) - 最小変換時間：1チャンネル当たり0.5μs (ADCLK = 64MHz動作時) - 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、3グループスキャンモード) グループスキャンモード時にグループ優先制御による中断と再開が可能(優先順位A > B > C) - サンプリング可変機能 チャンネルごとにサンプリング時間が設定可能 - 自己診断機能 - ダブルトリガモード(A/D変換データ二重化機能) - アナログ入力断線検出アシスト機能 - A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU, GPTW, TMR)のトリガ、外部トリガ - 高いサンプルレートを実現するため、2ユニットのADで交互に同じ1つのチャンネルを変換するタイムインターリーブ動作可能 - 基準電圧を選択可能(VREFH0/VCC, VREFL0/VSS)
プログラマブルゲインアンプ(PGA)		プログラマブルゲインアンプによる入力信号増幅機能(3ユニット) 増幅率：4倍、8倍、16倍、32倍(計4ステップ)
コンパレータC (CMPC)		3チャンネル - リファレンス電圧とアナログ入力電圧の比較機能 - リファレンス電圧：D/Aコンバータ出力2種類、外部入力1種類から選択可能 - アナログ入力電圧：4種類入力(CMPC0, CMPC1)、3種類入力(CMPC2) - デジタルフィルタ機能あり
D/Aコンバータ (DA)		2チャンネル - 分解能：8ビット - 出力電圧：0V～VCC - 外部出力可能(DA0のみ)、コンパレータCリファレンス電圧として使用可能
温度センサ(TEMPSA)		1チャンネル - 温度を電圧に変換し12ビットA/Dコンバータでデジタル化
セーフティ	レジスタライトプロテクション	プログラムが暴走したときに備え、重要なレジスタの書き換えを防止
	CRC演算器(CRCA)	8/32ビット単位の任意のデータ長に対してCRCコードを生成 8ビットデータ 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ 32ビットデータ 2つの多項式から選択可能 $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$, $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ - LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
	メインクロック発振停止検出機能	メインクロック発振停止検出：あり
	クロック周波数精度測定回路(CAC)	メインクロック発振器、低速および高速オンチップオシレータ、IWDТ専用オンチップオシレータ、およびPCLKBにおける出力クロック周波数の異常を監視可能
	データ演算回路(DOC)	16ビットのデータを比較、加算、減算する機能
ユニークID		マイコン個体ごとの32バイト長のIDコード
電源電圧/動作周波数		VCC = 2.7～5.5V : 48MHz
動作周囲温度		Gバージョン：-40～+105℃、Mバージョン：-40～+125℃

表 1.1 仕様概要 (5/5)

分類	モジュール/機能	説明
パッケージ		64 ピン LFQFP (PLQP0064KB-C) 10 × 10mm、0.5mm ピッチ 64 ピン LQFP (PLQP0064GA-A) 14 × 14mm、0.8mm ピッチ 52 ピン LQFP (PLQP0052JA-A) 10 × 10mm、0.65mm ピッチ 48 ピン LFQFP (PLQP0048KB-B) 7 × 7mm、0.5mm ピッチ 44 ピン LQFP (PLQP0044GF-A) 10 × 10mm、0.8mm ピッチ 32 ピン LQFP (PLQP0032GB-A) 7 × 7mm、0.8mm ピッチ 48 ピン HWQFN (PWQN0048KC-A) 7 × 7mm、0.5mm ピッチ 32 ピン HWQFN (PWQN0032KE-A) 5 × 5mm、0.5mm ピッチ 24 ピン HWQFN (PWQN0024KG-A) 4 × 4mm、0.5mm ピッチ
デバッグインタフェース		FINE インタフェース

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX14T					
		64ピン	52ピン	48ピン	44ピン	32ピン	24ピン
メモリ	ROM	128K バイト					
	RAM	12K バイト					
	E2データフラッシュ	4K バイト					
外部割り込み		NMI, IRQ0 ~ 7					
DMA	データトランスファコントローラ	あり					
タイマ	マルチファンクションタイマパルスユニット3	ch0 ~ 5				ch0 ~ 4	
	ポートアウトブットイネーブル3	あり					
	汎用PWMタイマ	ch0 ~ 2					
	GPTW用ポートアウトブットイネーブル	あり					
	8ビットタイマ	2 チャネル×2 ユニット					
	コンペアマッチタイマ	2 チャネル×1 ユニット					
	独立ウォッチドックタイマ	あり					
通信機能	シリアルコミュニケーションインタフェース(SCIg)	3 チャネル (SCI1, 5, 6)					
	シリアルコミュニケーションインタフェース(SCIh)	1 チャネル (SCI12)					
	I ² Cバスインタフェース	1 チャネル					
12ビットA/Dコンバータ		端子数：14ch (注1) ユニット0：8ch ユニット1：8ch	端子数：12ch (注1) ユニット0：8ch ユニット1：6ch	端子数：12ch (注1) ユニット0：8ch ユニット1：6ch	端子数：11ch (注1) ユニット0：7ch ユニット1：6ch	端子数：8ch (注1) ユニット0：5ch ユニット1：5ch	端子数：6ch (注1) ユニット0：3ch ユニット1：5ch
プログラマブルゲインアンプ		3 ユニット					
コンパレータC		3 チャネル					
D/Aコンバータ		2 チャネル					
温度センサ		あり					
CRC演算器		あり					
データ演算回路		あり					
クロック周波数精度測定回路		あり					
パッケージ		64ピンLQFP (0.5mm) 64ピンLQFP (0.8mm)	52ピンLQFP (0.65mm)	48ピンLQFP (0.5mm) 48ピンHWQFN (0.5mm)	44ピンLQFP (0.8mm)	32ピンLQFP (0.8mm) 32ピンHWQFN (0.5mm)	24ピンHWQFN (0.5mm)

注1. この内の2chはユニット0とユニット1で共有しています。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	型名	パッケージ	ROM容量	RAM容量	E2データ フラッシュ	動作周波数	動作周囲温度
RX14T	R5F514T5AGFM	PLQP0064KB-C	128Kバイト	12Kバイト	4Kバイト	48MHz	-40 ~ +105°C
	R5F514T5AGFK	PLQP0064GA-A					
	R5F514T5AGFD	PLQP0052JA-A					
	R5F514T5AGFL	PLQP0048KB-B					
	R5F514T5AGFV	PLQP0044GF-A					
	R5F514T5AGFJ	PLQP0032GB-A					
	R5F514T5AGNE	PWQN0048KC-A					
	R5F514T5AGNH	PWQN0032KE-A					
	R5F514T5AGNK	PWQN0024KG-A					
	R5F514T5AMFM	PLQP0064KB-C	128Kバイト	12Kバイト	4Kバイト	48MHz	-40 ~ +125°C
	R5F514T5AMFK	PLQP0064GA-A					
	R5F514T5AMFD	PLQP0052JA-A					
	R5F514T5AMFL	PLQP0048KB-B					
	R5F514T5AMFJ	PLQP0032GB-A					
	R5F514T5AMNE	PWQN0048KC-A					
	R5F514T5AMNH	PWQN0032KE-A					
	R5F514T5AMNK	PWQN0024KG-A					

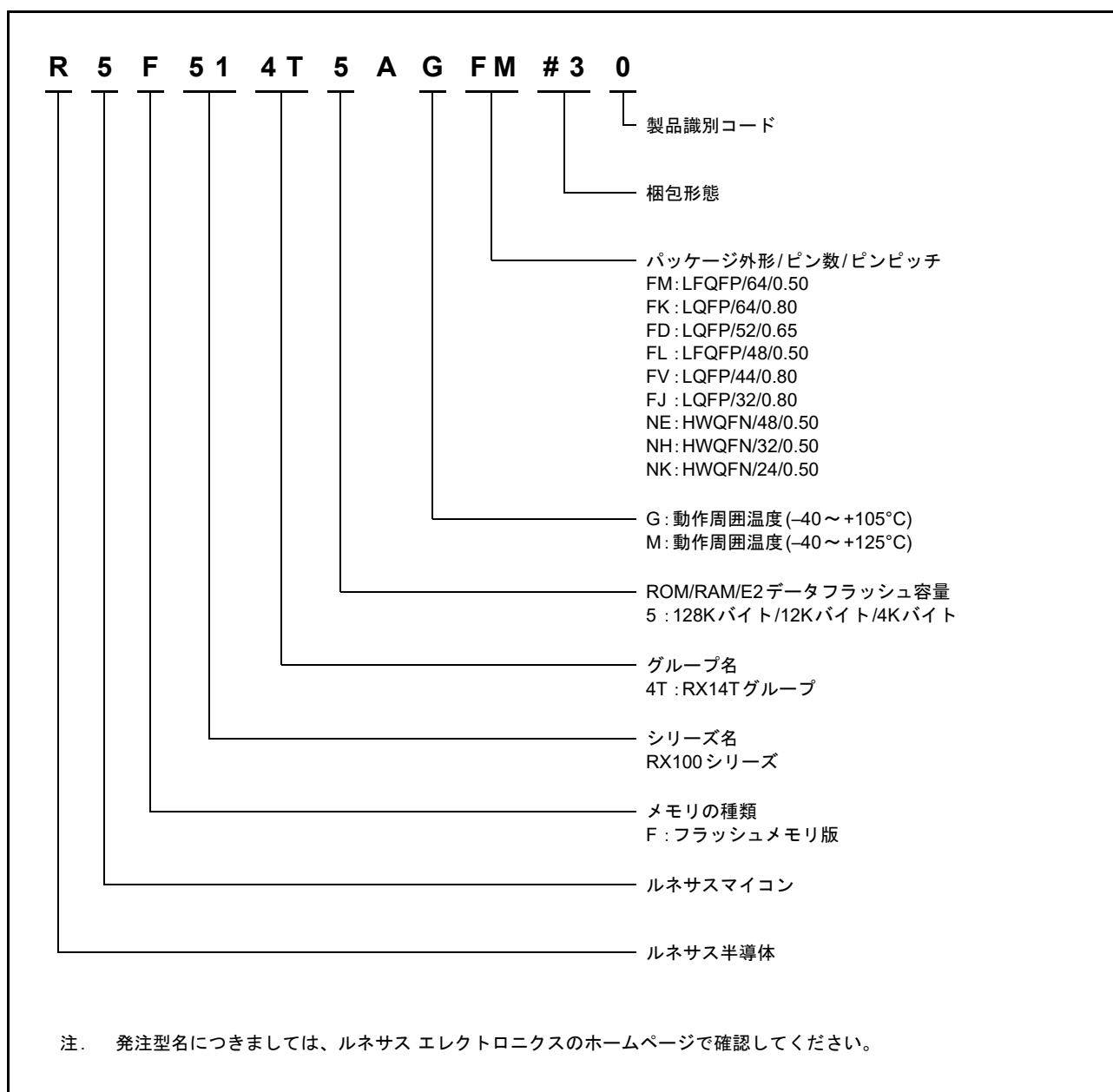


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

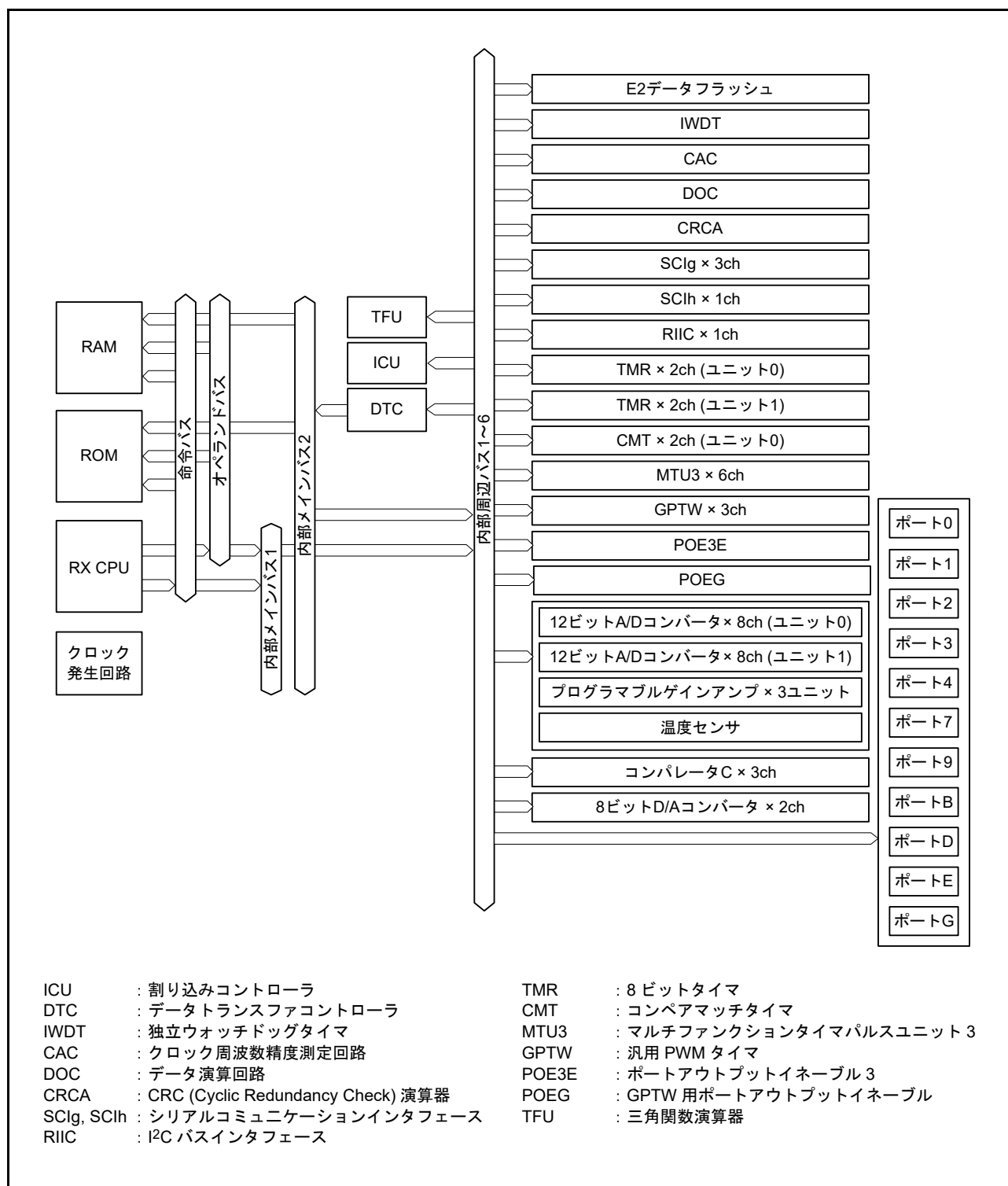


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/3)

分類	端子名	入出力	機能
デジタル電源	VCC	入力	電源端子。システムの電源に接続してください。0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL	入力	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グラウンド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モードを設定。使用方法は、「3.1 動作モードの種類と選択」を参照してください
システム制御	RES#	入力	リセット端子。この端子がLowレベルになると、リセット状態となります
クロック周波数精度測定	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0 ~ IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0 ~ TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0A#, MTIOC0B#, MTIOC0C#, MTIOC0D#	入出力	TGRA0 ~ TGRD0のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A#, MTIOC1B#	入出力	TGRA1, TGRB1のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A#, MTIOC2B#	入出力	TGRA2, TGRB2のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3 ~ TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A#, MTIOC3B#, MTIOC3C#, MTIOC3D#	入出力	TGRA3 ~ TGRD3のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4 ~ TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A#, MTIOC4B#, MTIOC4C#, MTIOC4D#	入出力	TGRA4 ~ TGRD4のインプットキャプチャ反転入力/アウトプットコンペア反転出力/PWM反転出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTIC5U#, MTIC5V#, MTIC5W#	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ反転入力/外部パルス反転入力端子
	MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子
	MTCLKA#, MTCLKB#, MTCLKC#, MTCLKD#	入力	外部クロックの反転入力端子
	ADSM0, ADSM1	出力	A/D変換開始要求フレーム同期信号出力端子
ポートアウトプット インエーブル3	POE0#, POE8#, POE10#, POE11#, POE12#	入力	MTUおよびGPTW用の端子をハイインピーダンス状態にする要求信号を入力

表 1.4 端子機能一覧 (2/3)

分類	端子名	入出力	機能
汎用PWMタイマ	GTETRGA	入力	外部トリガ入力端子
	GTIOC0A～GTIOC2A, GTIOC0B～GTIOC2B	入出力	インプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	GTIOC0A#～GTIOC2A#, GTIOC0B#～GTIOC2B#	入出力	インプットキャプチャ反転入力/アウトプットコンペア反転出力/ PWM反転出力端子
	GTCPP00	出力	PWM周期同期出力
	GTADSM0, GTADSM1	出力	A/D変換開始要求モニタ出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCIO～TMCIO3	入力	カウンタにを入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
シリアル コミュニケーション インタフェース (SCIg)	• 調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	RXD1, RXD5, RXD6	入力	受信データ入力端子
	TXD1, TXD5, TXD6	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6	入出力	I ² Cクロック入出力端子
	SSDA1, SSDA5, SSDA6	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK1, SCK5, SCK6	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#	入力	チップセレクト入力端子
シリアル コミュニケーション インタフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	チップセレクト入力端子
	• 拡張シリアルモード		
	RDX12	入出力	受信データ入力端子
	TXDX12	入出力	送信データ出力端子
	SIOX12	入出力	送受信データ入出力端子

表 1.4 端子機能一覧 (3/3)

分類	端子名	入出力	機能
I ² C バスインタフェース	SCL0	入出力	I ² C バスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² C バスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
12ビットA/Dコンバータ	AN000 ~ AN007, AN102 ~ AN107	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#, ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0, ADST1	出力	AD変換中を示すステータス出力端子
	ADSS0, ADSS1	出力	ADサンプリングの状態出力端子
PGA	PGAIN00 ~ PGAIN02	入力	PGAのアナログ入力端子
	PGAGND	入力	PGA専用グランド端子
	PGAOUT0	出力	PGAモニタ端子
8ビットD/Aコンバータ	DA0	出力	D/Aコンバータのアナログ出力端子
コンパレータC (CMPC)	COMP0 ~ COMP3	出力	コンパレータ検出結果出力端子
	CVREFC0	入力	コンパレータC用のリファレンス電圧端子
	CMPCnm	入力	CMPCnm用アナログ入力端子 (n = 0 ~ 2, m = 0 ~ 3)
アナログ電源	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P00 ~ P04	入出力	5ビットの入出力端子
	P10 ~ P15	入出力	6ビットの入出力端子
	P22 ~ P26	入出力	5ビットの入出力端子
	P30 ~ P33, P36, P37	入出力	6ビットの入出力端子
	P40 ~ P47	入出力	8ビットの入出力端子
	P70 ~ P76	入出力	7ビットの入出力端子
	P90 ~ P97	入出力	8ビットの入出力端子
	PB0 ~ PB7	入出力	8ビットの入出力端子
	PD3 ~ PD7	入出力	5ビットの入出力端子
	PE2	入力	1ビットの入出力端子 (PE2は入力端子)
	PG7	入出力	1ビットの入出力端子

1.5 ピン配置図

1.5.1 64ピンLFQFP、64ピンLQFP

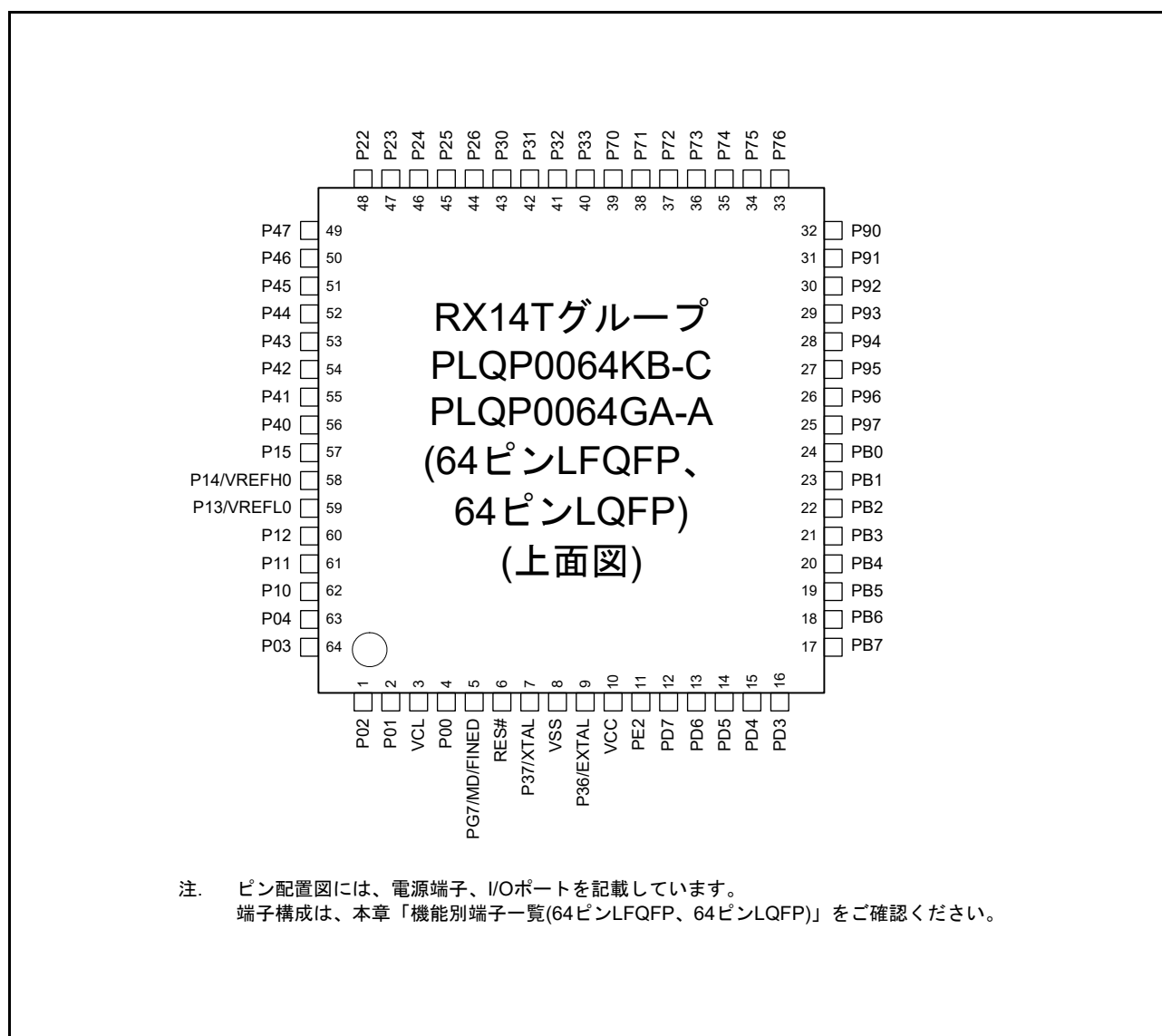
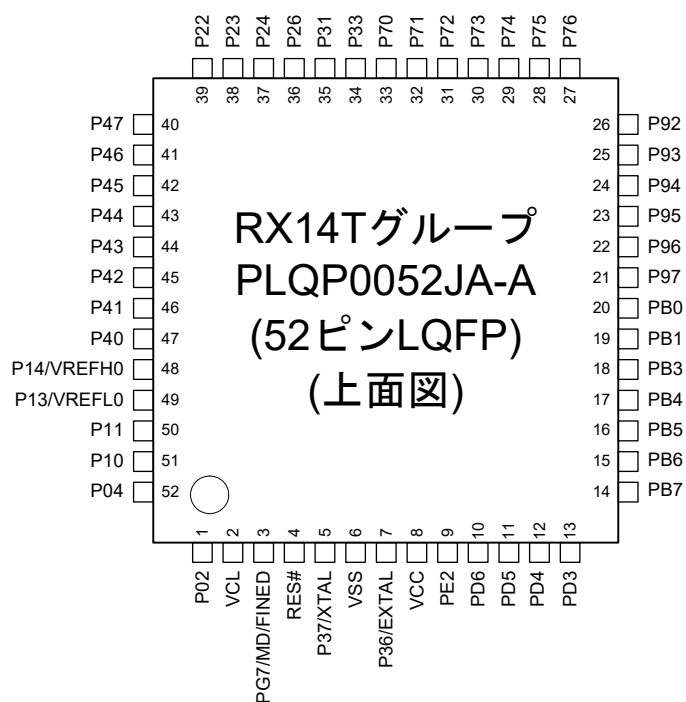


図 1.3 64ピンLFQFP、64ピンLQFPピン配置図

1.5.2 52 ピン LQFP



注. ピン配置図には、電源端子、I/Oポートを記載しています。
端子構成は、本章「機能別端子一覧(52ピンLQFP)」をご確認ください。

図 1.4 52 ピン LQFP ピン配置図

1.5.3 48ピンLFQFP

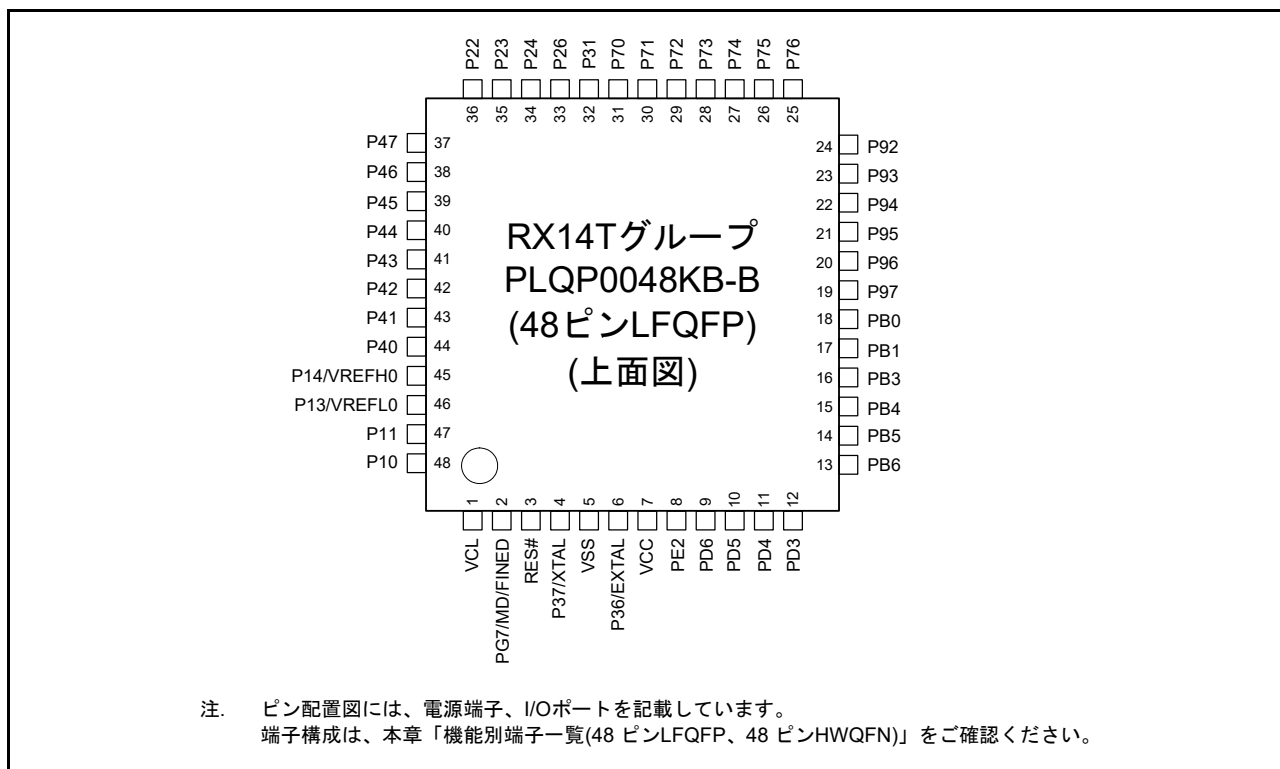


図 1.5 48ピンLFQFPピン配置図

1.5.4 48ピンHWQFN

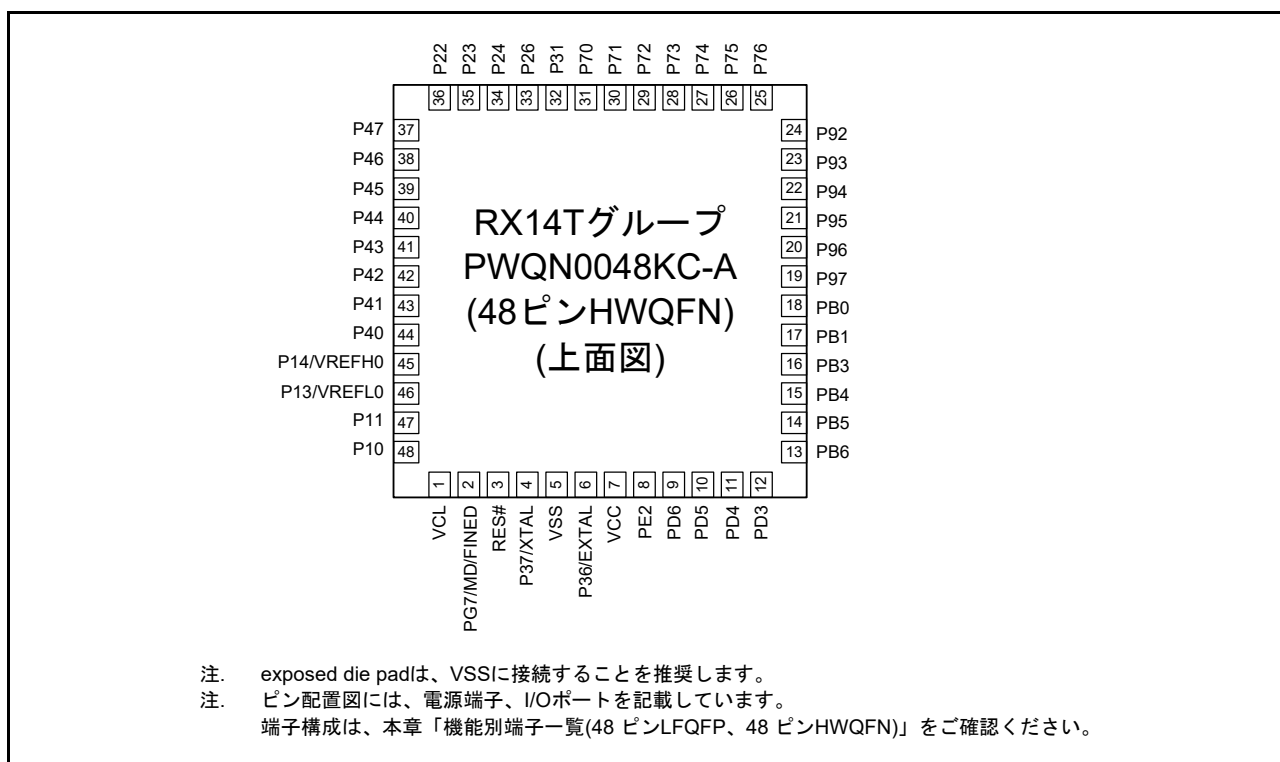


図 1.6 48ピンHWQFNピン配置図

1.5.5 44 ピン LQFP

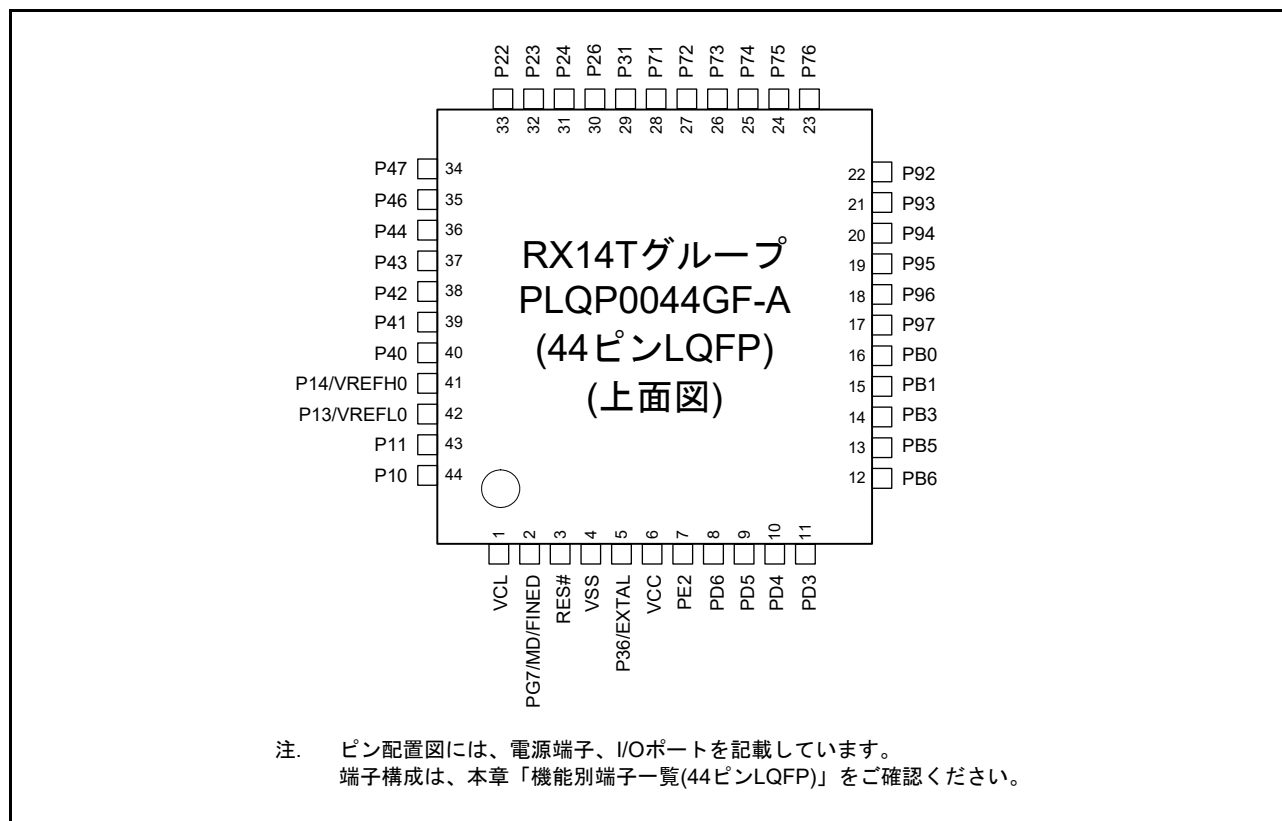


図 1.7 44 ピン LQFP ピン配置図

1.5.6 32 ピン LQFP

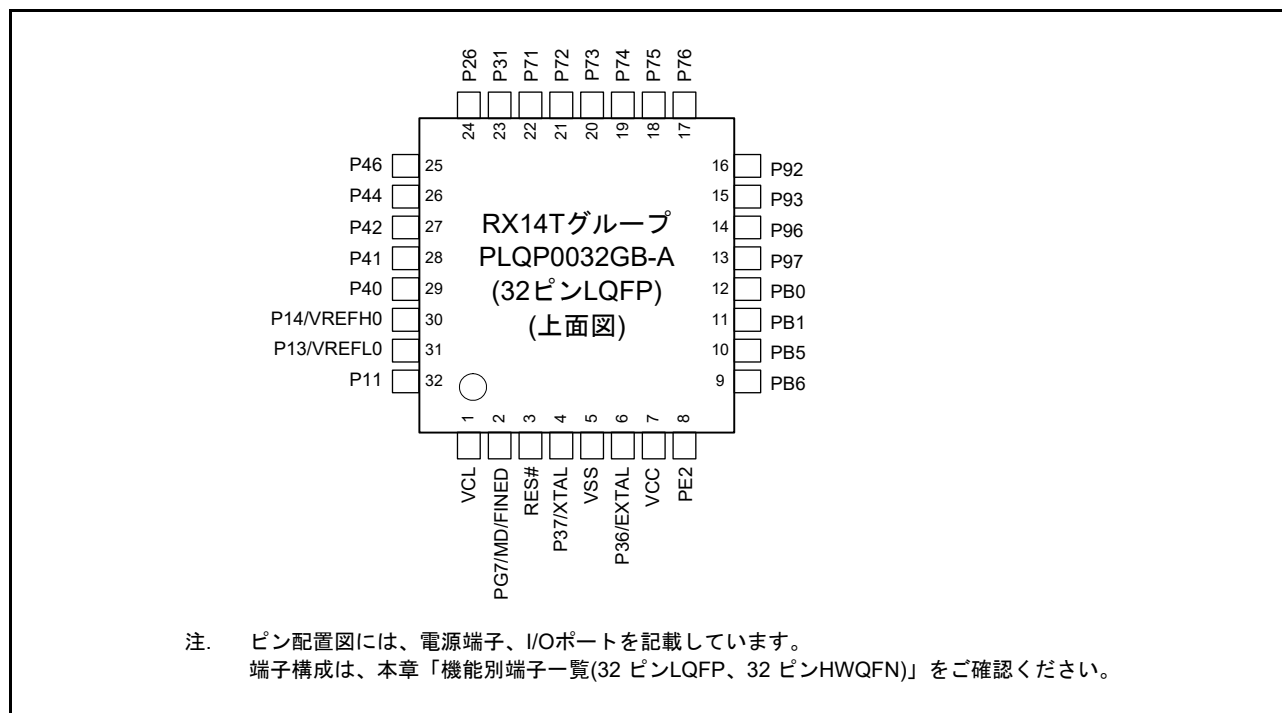


図 1.8 32 ピン LQFP ピン配置図

1.5.7 32 ピン HWQFN

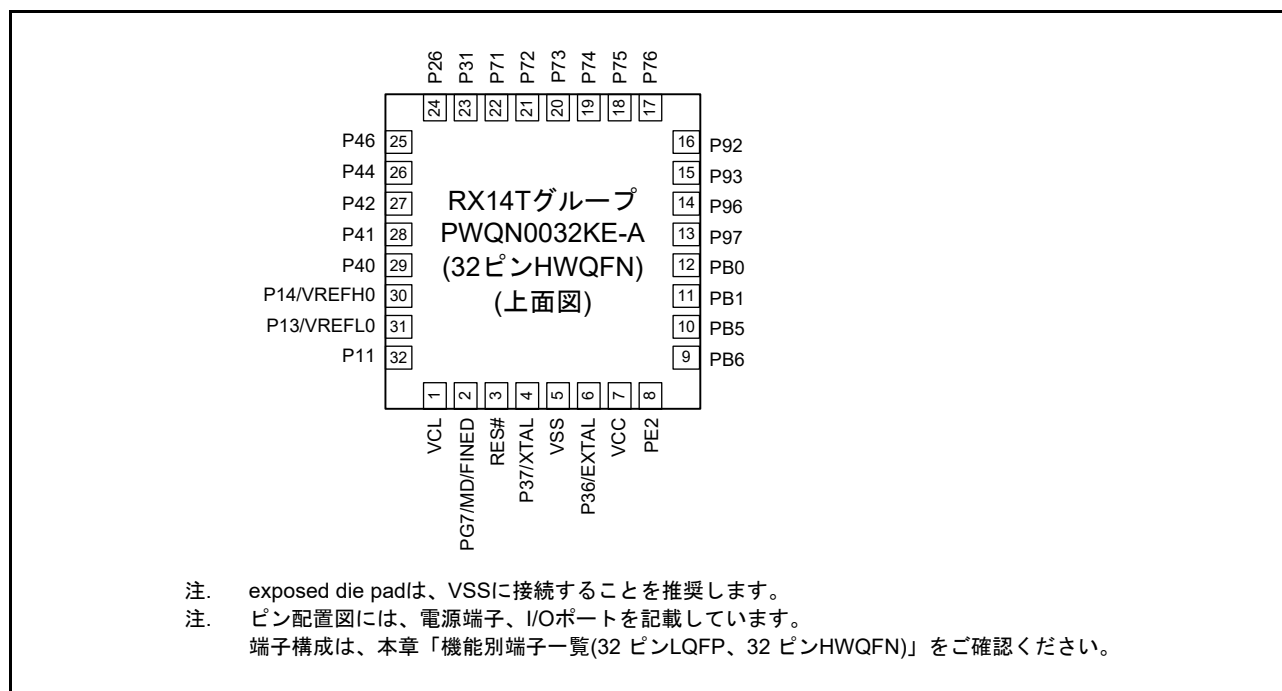


図 1.9 32 ピン HWQFN ピン配置図

1.5.8 24 ピン HWQFN

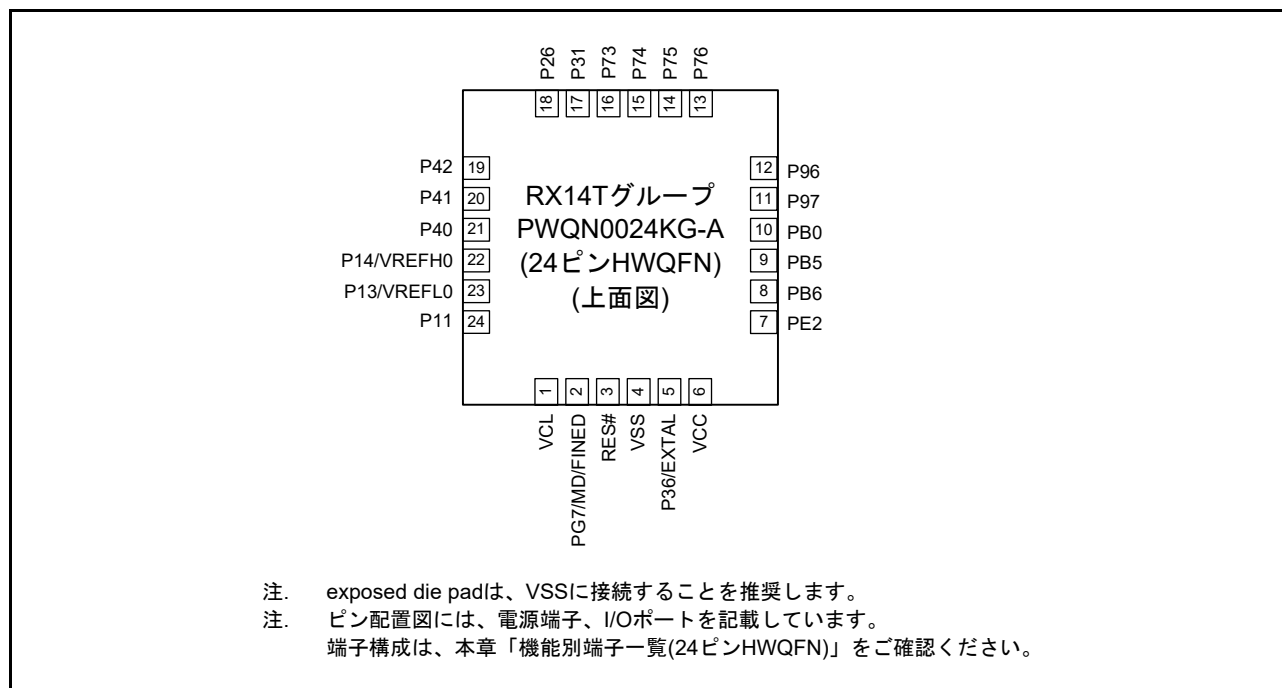


図 1.10 24 ピン HWQFN ピン配置図

1.6 機能別端子一覧

1.6.1 64ピンLFQFP、64ピンLQFP

表 1.5 機能別端子一覧(64ピンLFQFP、64ピンLQFP) (1/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1		P02		CTS1#/RTS1#/SS1#	IRQ5	ADST0
2		P01			IRQ2	ADST1
3	VCL					
4	CACREF	P00			IRQ4	ADSS0
5	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
6	RES#					
7	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ0	ADSS1
8	VSS					
9	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12	IRQ3	ADST1
10	VCC					
11		PE2	GTETRGA/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
12		PD7	TMRI1			
13		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
14		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMRI0	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
15		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMCIO	SCK1	IRQ2	
16		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOSI1/SSDA1		
17		PB7		SCK5/CTS6#/RTS6#/SS6#		
18		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMCIO/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
19		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
20		PB4		RXD6/SMISO6/SSCL6		ADTRG0#
21		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
22		PB2	MTIC5W/MTIC5W#	SCK6		
23	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
24		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0

表 1.5 機能別端子一覧(64ピンLFQFP、64ピンLQFP) (2/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
25		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRGA/ TMC11	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
26	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
27		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		
28		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ4	
29		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RXDX12	IRQ1	ADTRG1#
30		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR11	SCK5/SCK12	IRQ0	ADTRG0#
31		P91	MTIC5U/MTIC5U#/TMC11			
32		P90	MTIC5V/MTIC5V#		IRQ6	
33	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR12	RXD12/SMISO12/SSCL12/RXDX12		
34		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
35		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
36		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR13	SCK6		
37		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
38		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	
39		P70	GTCPP00/POE0#	SCK1	IRQ5	
40		P33	MTIOC3A/MTCLKA/ MTIOC0C/MTIOC3A#/ MTCLKA#/MTIOC0C#			
41		P32	MTIOC3C/MTCLKB/ MTIOC0D/MTIOC3C#/ MTCLKB#/MTIOC0D#/ POE10#			
42		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
43		P30	MTIOC0A/MTCLKC/ MTIOC0A#/MTCLKC#/ POE11#	SCK6		
44		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	

表 1.5 機能別端子一覧(64ピンLQFP、64ピンLQFP) (3/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
45		P25	MTIOC0B/MTCLKD/ MTIOC4B/MTIOC0B#/ MTCLKD#/MTIOC4B#/ GTETRG/TMRI3/POE12#			
46	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMC12	RXD5/SMISO5/SSCL5	IRQ3	COMP0
47	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOSI5/SSDA5	IRQ4	ADSS0/COMP1
48		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMRI2	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
49		P47				AN007/PGAGND
50		P46	GTADSM0			AN006/ADSS0/ CMPC13
51		P45				AN005
52		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
53		P43				AN003
54		P42				AN002/CMPC20/ CMPC21/PGAIN02
55		P41				AN001/CMPC10/ CMPC11/PGAIN01
56		P40				AN000/CMPC00/ CMPC01/PGAIN00
57		P15				AN107
58	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
59	VREFL0	P13			IRQ4	AN105/CMPC12
60		P12			IRQ7	AN104
61		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02
62		P10	MTCLKD/MTCLKD#/ TMRI3/TMO1		IRQ0	AN103
63		P04	MTIOC1A/MTIOC1A#/ GTIOC2A/GTIOC2A#/ TMC13/TMO0			ADSS1
64		P03	MTIOC1B/MTIOC1B#/ GTIOC2B/GTIOC2B#			ADTRG0#

注1. 該当端子は5Vトレラントではありません。
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

1.6.2 52ピンLQFP

表 1.6 機能別端子一覧(52ピンLQFP) (1/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1		P02		CTS1#/RTS1#/SS1#	IRQ5	ADST0
2	VCL					
3	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
4	RES#					
5	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12	IRQ0	ADSS1
6	VSS					
7	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RDX12	IRQ3	ADST1
8	VCC					
9		PE2	GTETRG/TMC11/TMRI0/ POE10#		IRQ0/NMI	
10		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
11		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMR10	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
12		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMC10	SCK1	IRQ2	
13		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOSI1/SSDA1		
14		PB7		SCK5/CTS6#/RTS6#/SS6#		
15		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMC10/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
16		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
17		PB4		RXD6/SMISO6/SSCL6		ADTRG0#
18		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
19	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
20		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMR11	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
21		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRG/ TMC11	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
22	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		

表 1.6 機能別端子一覧 (52ピンLQFP) (2/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
23		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		
24		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12	IRQ4	
25		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RXDX12	IRQ1	ADTRG1#
26		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR11	SCK5/SCK12	IRQ0	ADTRG0#
27	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR12	RXD12/SMISO12/SSCL12/RXDX12		
28		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
29		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
30		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR13	SCK6		
31		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
32		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	
33		P70	GTCPP00/POE0#	SCK1	IRQ5	
34		P33	MTIOC3A/MTCLKA/ MTIOC0C/MTIOC3A#/ MTCLKA#/MTIOC0C#			
35		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
36		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
37	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTCPP00/ GTIOC2B#/TMC12	RXD5/SMISO5/SSCL5	IRQ3	COMP0
38	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOSI5/SSDA5	IRQ4	ADSS0/COMP1
39		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMR12	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
40		P47				AN007/PGAGND
41		P46	GTADSM0			AN006/ADSS0/ CMPC13
42		P45				AN005
43		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
44		P43				AN003
45		P42				AN002/CMPC20/ CMPC21/PGAIN02
46		P41				AN001/CMPC10/ CMPC11/PGAIN01

表 1.6 機能別端子一覧 (52 ピン LQFP) (3/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
47		P40				AN000/CMPC00/ CMPC01/PGAIN00
48	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
49	VREFL0	P13			IRQ4	AN105/CMPC12
50		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02
51		P10	MTCLKD/MTCLKD#/ TMR13/TMO1		IRQ0	AN103
52		P04	MTIOC1A/MTIOC1A#/ GTIOC2A/GTIOC2A#/ TMC13/TMO0			ADSS1

注 1. 該当端子は 5V トレラントではありません。
5V トレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件 (1) 入力電圧」を参照してください。

1.6.3 48ピンLFQFP、48ピンHWQFN

表 1.7 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (1/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12	IRQ0	ADSS1
5	VSS					
6	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTCCPO0/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12	IRQ3	ADST1
7	VCC					
8		PE2	GTETRG/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
9		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
10		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMRI0	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
11		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMCI0	SCK1	IRQ2	
12		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOSI1/SSDA1		
13		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTCCPO0/ GTIOC2B#/TMCI0/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
14		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
15		PB4		RXD6/SMISO6/SSCL6		ADTRG0#
16		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
17	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
18		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
19		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRG/ TMCI1	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
20	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		

表 1.7 機能別端子一覧 (48ピンLFQFP、48ピンHWQFN) (2/3)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
21		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		
22		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12	IRQ4	
23		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RXDX12	IRQ1	ADTRG1#
24		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR1	SCK5/SCK12	IRQ0	ADTRG0#
25	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR2	RXD12/SMISO12/SSCL12/RXDX12		
26		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
27		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
28		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR3	SCK6		
29		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
30		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	
31		P70	GTCPP00/POE0#	SCK1	IRQ5	
32		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
33		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
34	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTCPP00/ GTIOC2B#/TMC12	RXD5/SMISO5/SSCL5	IRQ3	COMP0
35	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOSI5/SSDA5	IRQ4	ADSS0/COMP1
36		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMR2	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
37		P47				AN007/PGAGND
38		P46	GTADSM0			AN006/ADSS0/ CMPC13
39		P45				AN005
40		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
41		P43				AN003
42		P42				AN002/CMPC20/ CMPC21/PGAIN02
43		P41				AN001/CMPC10/ CMPC11/PGAIN01
44		P40				AN000/CMPC00/ CMPC01/PGAIN00

表 1.7 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (3/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, IIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
45	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
46	VREFL0	P13			IRQ4	AN105/CMPC12
47		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02
48		P10	MTCLKD/MTCLKD#/ TMR13/TMO1		IRQ0	AN103

注1. 該当端子は5Vトレラントではありません。
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

1.6.4 44ピンLQFP

表 1.8 機能別端子一覧(44ピンLQFP) (1/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	VSS					
5	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXD12	IRQ3	ADST1
6	VCC					
7		PE2	GTETRG/TMC11/TMRI0/ POE10#		IRQ0/NMI	
8		PD6	MTIOC0D/MTIOC4D/ MTIOC0D#/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMO1	CTS1#/RTS1#/SS1#	IRQ5	ADST0
9		PD5	MTIOC0C/MTIOC4C/ MTIOC0C#/MTIOC4C#/ GTIOC2A/GTIOC2A#/ TMR10	RXD1/SMISO1/SSCL1	IRQ3	ADSS0
10		PD4	MTIOC0B/MTIOC4B/ MTIOC0B#/MTIOC4B#/ GTIOC1B/GTIOC1B#/ TMC10	SCK1	IRQ2	
11		PD3	MTIOC0A/MTIOC4A/ MTIOC0A#/MTIOC4A#/ GTIOC1A/GTIOC1A#/ TMO0	TXD1/SMOSI1/SSDA1		
12		PB6	MTIOC3C/MTCLKD/ MTIOC2B/MTIOC3C#/ MTCLKD#/MTIOC2B#/ GTIOC2B/GTICPP00/ GTIOC2B#/TMC10/POE11#	RXD5/SMISO5/SSCL5/RXD1/SMISO1/ SSCL1	IRQ5	ADSS0
13		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/ TMO0/POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
14		PB3	POE8#	TXD6/SMOSI6/SSDA6	IRQ3	ADTRG1#
15	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#/MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
16		PB0	MTIOC0B/MTCLKC/ MTIOC4C/MTIOC0B#/ MTCLKC#/MTIOC4C#/ GTIOC1B/GTADSM0/ GTIOC1B#/TMR11	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
17		P97	MTIOC0C/MTCLKA/ MTIOC3D/MTIOC0C#/ MTCLKA#/MTIOC3D#/ GTIOC0B/GTADSM1/ GTIOC0B#/GTETRG/ TMC11	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
18	CLKOUT	P96	MTIOC0D/MTCLKB/ MTIOC4B/MTIOC0D#/ MTCLKB#/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
19		P95	MTIOC1B/MTIOC2A/ MTIOC4A/MTIOC1B#/ MTIOC2A#/MTIOC4A#/ GTIOC1A/GTIOC1A#	CTS12#/RTS12#/SS12#		

表 1.8 機能別端子一覧 (44 ピン LQFP) (2/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
20		P94	MTIOC1A/MTIOC2B/ MTIOC3B/MTIOC1A#/ MTIOC2B#/MTIOC3B#/ GTIOC0A/GTIOC0A#	CTS5#/RTS5#/SS5#/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12	IRQ4	
21		P93	MTIOC0C/MTIOC2B/ MTCLKA/MTIOC0C#/ MTIOC2B#/MTCLKA#/ GTIOC1B/GTIOC1B#/ TMO1	RXD12/SMISO12/SSCL12/RDX12	IRQ1	ADTRG1#
22		P92	MTIOC0B/MTIOC1A/ MTIOC0B#/MTIOC1A#/ GTIOC1A/GTIOC1A#/ TMR1	SCK5/SCK12	IRQ0	ADTRG0#
23	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/ TMR12	RXD12/SMISO12/SSCL12/RDX12		
24		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/ TMC12/POE8#	SCK12		
25		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/ TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
26		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/ TMR13	SCK6		
27		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
28		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	
29		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/ TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
30		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/ TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
31	CLKOUT	P24	MTIC5U/MTIC5U#/ GTIOC2B/GTIOC2B#/ GTIOC2B#/TMC12	RXD5/SMISO5/SSCL5	IRQ3	COMP0
32	CACREF	P23	MTIC5V/MTCLKA/ MTIC5V#/MTCLKA#/ GTIOC2A/GTADSM0/ GTIOC2A#/TMO2	TXD5/SMOSI5/SSDA5	IRQ4	ADSS0/COMP1
33		P22	MTIC5W/MTCLKB/ MTIC5W#/MTCLKB#/ GTADSM1/TMR12	SCK5	IRQ2	ADSS1/COMP2/ PGAOUT0
34		P47				AN007/PGAGND
35		P46	GTADSM0			AN006/ADSS0/ CMPC13
36		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
37		P43				AN003
38		P42				AN002/CMPC20/ CMPC21/PGAIN02
39		P41				AN001/CMPC10/ CMPC11/PGAIN01
40		P40				AN000/CMPC00/ CMPC01/PGAIN00
41	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
42	VREFL0	P13			IRQ4	AN105/CMPC12
43		P11	MTIOC3A/MTCLKC/ MTIOC4C/MTIOC3A#/ MTCLKC#/MTIOC4C#/ TMO3/TMO2/POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02

表 1.8 機能別端子一覧 (44 ピン LQFP) (3/3)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, IIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
44		P10	MTCLKD/MTCLKD#/ TMR13/TMO1		IRQ0	AN103

注 1. 該当端子は 5V トレラントではありません。
5V トレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件 (1) 入力電圧」を参照してください。

1.6.5 32ピンLQFP、32ピンHWQFN

表 1.9 機能別端子一覧(32ピンLQFP、32ピンHWQFN) (1/2)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	XTAL	P37	POE11#	TXD6/SMOSI6/SSDA6/TXD12/ SMOSI12/SSDA12/TXD12/SIOX12	IRQ0	ADSS1
5	VSS					
6	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#//MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#//POE12#	RXD6/SMISO6/SSCL6/RXD12/ SMISO12/SSCL12/RXD12	IRQ3	ADST1
7	VCC					
8		PE2	GTETRGA/TMC11/TMRI0/ POE10#		IRQ0/NMI	
9		PB6	MTIOC3C/MTCLKD/MTIOC2B/ MTIOC3C#//MTCLKD#/ MTIOC2B#//GTIOC2B/ GTICPP00/GTIOC2B#//TMC10/ POE11#	RXD5/SMISO5/SSCL5/RXD1/ SMISO1/SSCL1	IRQ5	ADSS0
10		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#//MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#//GTIOC2A#//TMO0/ POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
11	CACREF	PB1	MTIOC0A/MTIOC4D/ MTIOC0A#//MTIOC4D#/ GTIOC2B/GTIOC2B#	SCK5/SCK12	IRQ2	
12		PB0	MTIOC0B/MTCLKC/MTIOC4C/ MTIOC0B#//MTCLKC#/ MTIOC4C#//GTIOC1B/ GTADSM0/GTIOC1B#//TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
13		P97	MTIOC0C/MTCLKA/MTIOC3D/ MTIOC0C#//MTCLKA#/ MTIOC3D#//GTIOC0B/ GTADSM1/GTIOC0B#/ GTETRGA/TMC11	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
14	CLKOUT	P96	MTIOC0D/MTCLKB/MTIOC4B/ MTIOC0D#//MTCLKB#/ MTIOC4B#//GTIOC2A/ GTIOC2A#//TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
15		P93	MTIOC0C/MTIOC2B/MTCLKA/ MTIOC0C#//MTIOC2B#/ MTCLKA#//GTIOC1B/ GTIOC1B#//TMO1	RXD12/SMISO12/SSCL12/RXD12	IRQ1	ADTRG1#
16		P92	MTIOC0B/MTIOC1A/ MTIOC0B#//MTIOC1A#/ GTIOC1A/GTIOC1A#//TMRI1	SCK5/SCK12	IRQ0	ADTRG0#
17	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#//TMRI2	RXD12/SMISO12/SSCL12/RXD12		
18		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#//TMC12/ POE8#	SCK12		
19		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#//TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
20		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#//TMRI3	SCK6		
21		P72	MTIOC4A/MTIOC4A#/ GTIOC1A/GTIOC1A#	RXD1/SMISO1/SSCL1	IRQ7	
22		P71	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#	TXD1/SMOSI1/SSDA1	IRQ6	

表 1.9 機能別端子一覧(32ピンLQFP、32ピンHWQFN) (2/2)

ピン 番号	電源、クロック、 システム制御、 その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信 (SCI, IIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
23		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/TMC13	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
24		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
25		P46	GTADSM0			AN006/ADSS0/ CMPC13
26		P44	GTADSM1			AN004/ADSS1/DA0/ CMPC03/CVREFC0
27		P42				AN002/CMPC20/ CMPC21/PGAIN02
28		P41				AN001/CMPC10/ CMPC11/PGAIN01
29		P40				AN000/CMPC00/ CMPC01/PGAIN00
30	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
31	VREFL0	P13			IRQ4	AN105/CMPC12
32		P11	MTIOC3A/MTCLKC/MTIOC4C/ MTIOC3A#/MTCLKC#/ MTIOC4C#/TMO3/TMO2/ POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02

注1. 該当端子は5Vトレラントではありません。

5Vトレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

1.6.6 24ピンHWQFN

表 1.10 機能別端子一覧(24ピンHWQFN)

ピン番号	電源、クロック、システム制御、その他	I/Oポート	タイマ (MTU, GPTW, TMR, POEG)	通信(SCI, RIIC)	割り込み (IRQ, NMI)	アナログ (A/D, D/A, CMPC, PGA)
1	VCL					
2	MD/FINED	PG7		CTS5#/RTS5#/SS5#/SCK6/SCK12		ADST0
3	RES#					
4	VSS					
5	EXTAL	P36	MTIOC0A/MTIOC4A/ MTIOC1A/MTIOC0A#/ MTIOC4A#/MTIOC1A#/ GTIOC0A/GTICPP00/ GTIOC0A#/POE12#	RXD6/SMISO6/SSCL6/RXD12/ SMISO12/SSCL12/RDX12	IRQ3	ADST1
6	VCC					
7		PE2	GTETRGA/TMCI1/TMRI0/ POE10#		IRQ0/NMI	
8		PB6	MTIOC3C/MTCLKD/MTIOC2B/ MTIOC3C#/MTCLKD#/ MTIOC2B#/GTIOC2B/ GTICPP00/GTIOC2B#/TMCI0/ POE11#	RXD5/SMISO5/SSCL5/RXD1/ SMISO1/SSCL1	IRQ5	ADSS0
9		PB5	MTIOC1B/MTIOC3A/ MTIOC2A/MTIOC1B#/ MTIOC3A#/MTIOC2A#/ GTIOC1A/GTIOC2A/ GTIOC1A#/GTIOC2A#/TMO0/ POE12#	TXD5/SMOSI5/SSDA5/TXD1/SMOSI1/ SSDA1	IRQ7	ADSS1
10		PB0	MTIOC0B/MTCLKC/MTIOC4C/ MTIOC0B#/MTCLKC#/ MTIOC4C#/GTIOC1B/ GTADSM0/GTIOC1B#/TMRI1	TXD5/SMOSI5/SSDA5/SCK1/SDA0		ADSM0
11		P97	MTIOC0C/MTCLKA/MTIOC3D/ MTIOC0C#/MTCLKA#/ MTIOC3D#/GTIOC0B/ GTADSM1/GTIOC0B#/ GTETRGA/TMCI1	RXD5/SMISO5/SSCL5/SCL0	IRQ2	ADSM1
12	CLKOUT	P96	MTIOC0D/MTCLKB/MTIOC4B/ MTIOC0D#/MTCLKB#/ MTIOC4B#/GTIOC2A/ GTIOC2A#/TMO1/POE0#	SCK5/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12		
13	CACREF	P76	MTIOC4D/MTIOC4D#/ GTIOC2B/GTIOC2B#/TMRI2	RXD12/SMISO12/SSCL12/RDX12		
14		P75	MTIOC4C/MTIOC4C#/ GTIOC1B/GTIOC1B#/TMCI2/ POE8#	SCK12		
15		P74	MTIOC3D/MTIOC3D#/ GTIOC0B/GTIOC0B#/TMO2	CTS6#/RTS6#/SS6#/CTS12#/RTS12#/ SS12#		
16		P73	MTIOC4B/MTIOC4B#/ GTIOC2A/GTIOC2A#/TMRI3	SCK6		
17		P31	MTIOC4A/MTIOC4A#/ GTIOC0B/GTIOC1A/ GTIOC0B#/GTIOC1A#/TMCI3	TXD6/SMOSI6/SSDA6/SDA0 (注1)		
18		P26	MTIOC3B/MTIOC3B#/ GTIOC0A/GTIOC0A#/TMO3	RXD6/SMISO6/SSCL6/SCL0 (注1)	IRQ1	
19		P42				AN002/CMPC20/ CMPC21/PGAIN02
20		P41				AN001/CMPC10/ CMPC11/PGAIN01
21		P40				AN000/CMPC00/ CMPC01/PGAIN00
22	VREFH0	P14			IRQ6	AN106/ADST0/CMPC22
23	VREFL0	P13			IRQ4	AN105/CMPC12
24		P11	MTIOC3A/MTCLKC/MTIOC4C/ MTIOC3A#/MTCLKC#/ MTIOC4C#/TMO3/TMO2/ POE8#	CTS1#/RTS1#/SS1#/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12	IRQ1	AN102/CMPC02

- 注1. 該当端子は5Vトレラントではありません。
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

2. CPU

RXv2 命令セットアーキテクチャ (RXv2) は、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用

RXv1 と同様に、可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。

- 強力な命令セット

RXv2 は厳選された 109 個の命令をサポートしています。DSP 機能命令や浮動小数点演算命令の拡充により、DSP に匹敵するデータ処理能力を発揮します。

- 豊富なアドレッシングモード

11 種類の豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリ-メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間 : 1 サイクルで実行
- アドレス空間 : 4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ : 32 ビット × 16 本
制御レジスタ : 32 ビット × 10 本
アキュムレータ : 72 ビット × 2 本
- 可変長命令形式 (1 バイト長 ~ 8 バイト長)
- 109 命令 / 11 種類アドレッシングモード
基本命令 : 75 種類
浮動小数点演算命令 : 11 種類
DSP 機能命令 : 23 種類
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- データ配置
リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

RXv2 CPU のレジスタには、汎用レジスタ（16 本）と、制御レジスタ（10 本）、および DSP 機能命令で使用するアキュムレータ（2 本）があります。

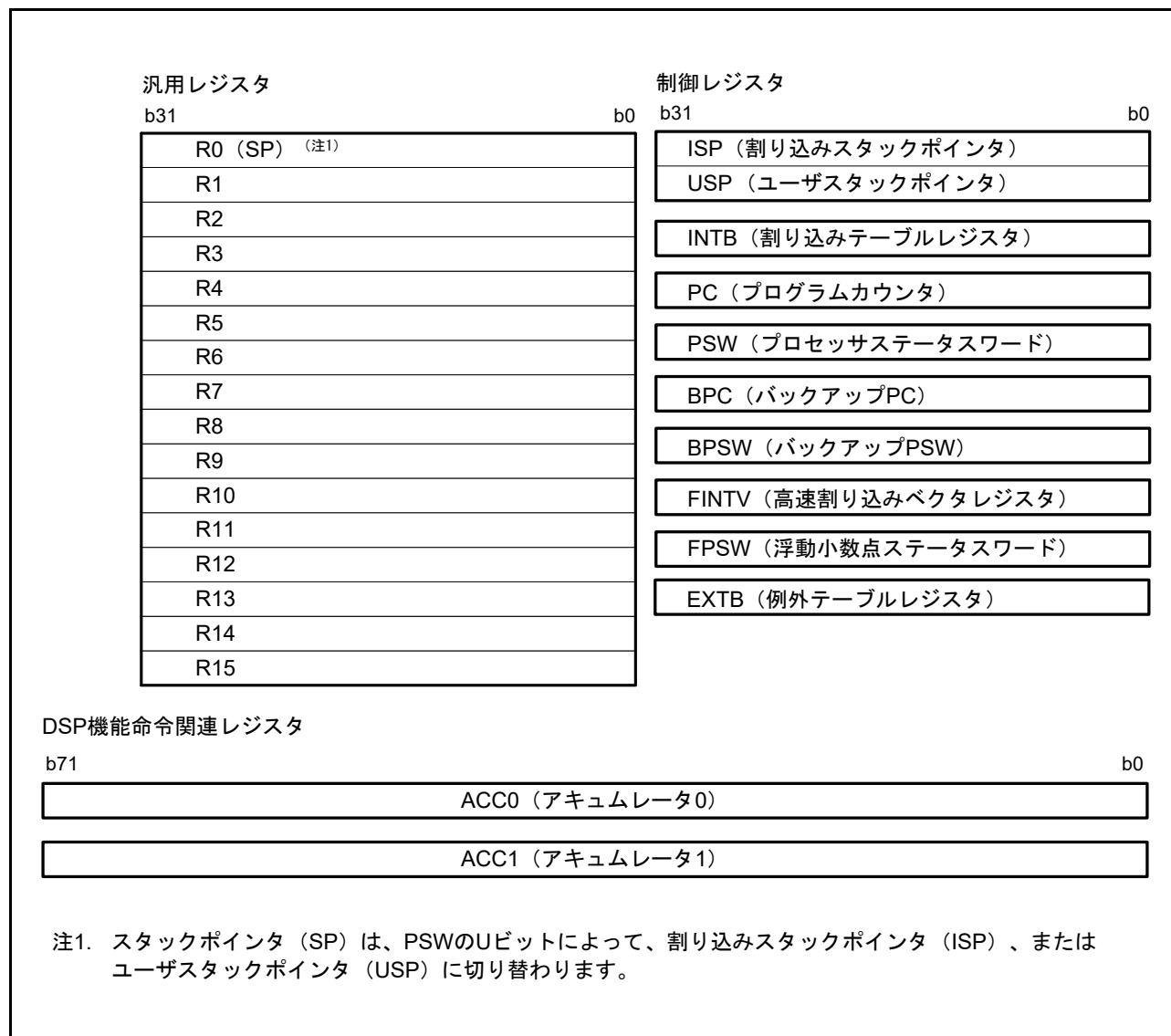


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ（R0～R15）

汎用レジスタは、32ビット幅で16本（R0～R15）あります。汎用レジスタR0～R15は、データレジスタやアドレスレジスタとして使用します。

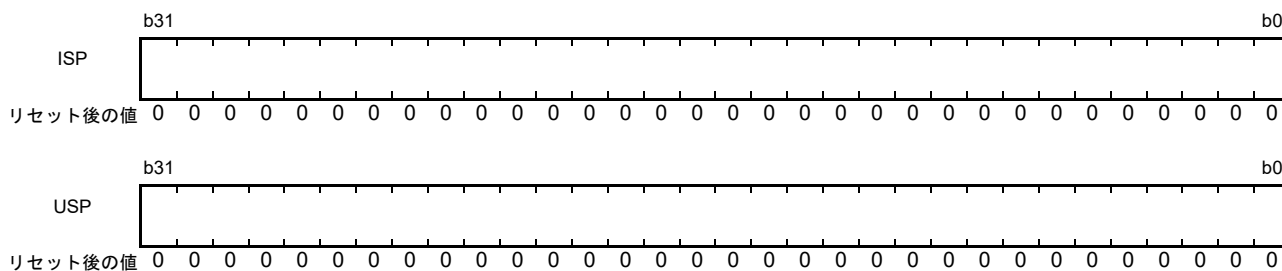
汎用レジスタR0には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられています。SPは、プロセッサステータスワード（PSW）のスタックポインタ指定ビット（U）によって、割り込みスタックポインタ（ISP）、またはユーザスタックポインタ（USP）に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の10本のレジスタがあります。

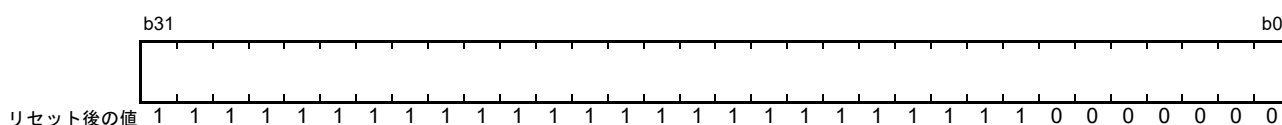
- 割り込みスタックポインタ（ISP）
- ユーザスタックポインタ（USP）
- 例外テーブルレジスタ（EXTB）
- 割り込みテーブルレジスタ（INTB）
- プログラムカウンタ（PC）
- プロセッサステータスワード（PSW）
- バックアップPC（BPC）
- バックアップPSW（BPSW）
- 高速割り込みベクタレジスタ（FINTV）
- 浮動小数点ステータスワード（FPSW）

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

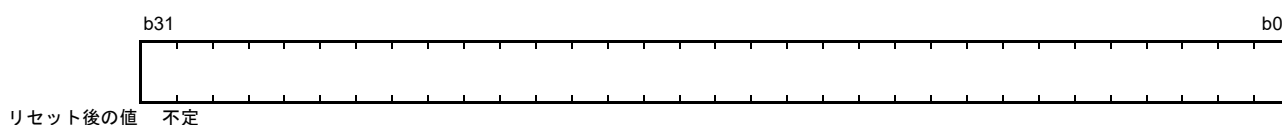
2.2.2.2 例外テーブルレジスタ (EXTB)



例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.3 割り込みテーブルレジスタ (INTB)



割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

INTB に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユーザモードのときは、MVTC、POPC 命令による IPL[3:0]、PM、U、I ビットへの書き込みは無視されます。

また、MVTIPL 命令で IPL[3:0] ビットへの書き込みを行った場合は、特権命令例外が発生します。

注2. スーパーバイザモードのときは、MVTC、POPC 命令による PM ビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。

注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避された PSW.PM ビットを“1”にした後、RTE 命令を実行するか、BPSW.PM ビットを“1”にした後、RTFI 命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ（キャリフラグ）

キャリー、ボロー、シフトアウトしたビット等を保持します。

Z フラグ（ゼロフラグ）

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

S フラグ（サインフラグ）

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

O フラグ（オーバフローフラグ）

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

I ビット（割り込み許可ビット）

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは“0”になります。

U ビット（スタックポインタ指定ビット）

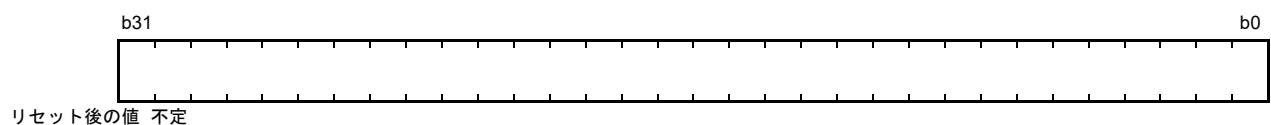
使用するスタックポインタ（ISP/USP）を指定するビットです。例外を受け付けると、このビットは“0”になります。スーパーバイザモードからユーザモードに移行すると、このビットは“1”になります。

PM ビット（プロセッサモード設定ビット）

プロセッサモードを設定するビットです。例外を受け付けると、このビットは“0”になります。

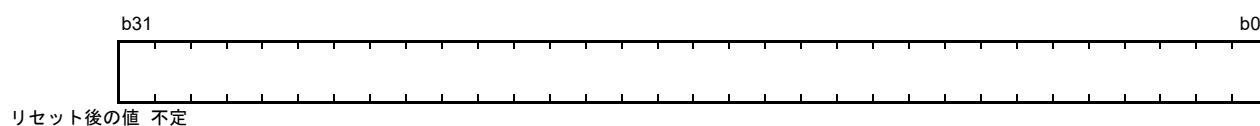
IPL[3:0] ビット（プロセッサ割り込み優先レベル）

IPL[3:0] ビットは、優先レベル0（最低）～優先レベル15（最高）までの16段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル15（Fh）に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル15（Fh）になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC（BPC）

バックアップ PC（BPC）は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ（PC）の内容が BPC に退避されます。

2.2.2.7 バックアップ PSW (BPSW)

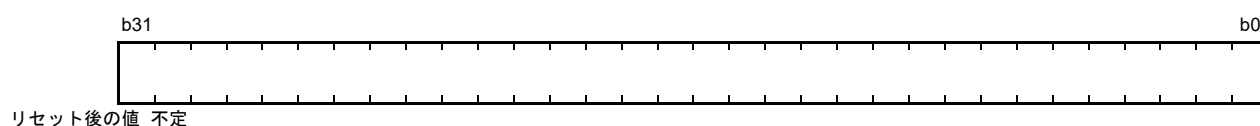


バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU、FZ、FO、FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0、負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット Ej で例外処理を許可 (Ej = 1) した場合は、例外処理ルーチンで該当する Cj フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 (Ej = 0) した場合は、一連の処理の最後に Fj フラグをチェックし、例外発生の有無を確認することができます。Fj フラグは蓄積フラグです。(j = X, U, Z, O, V)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- $+\infty$ 方向への丸め : 結果の値が大きくなる方向へ丸める
- $-\infty$ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「 $+\infty$ 方向への丸め」、「 $-\infty$ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された 5 つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが “1” になります。

- “1” の場合、FPU 演算命令実行時に “0” になります。
- MVTC、POPC 命令で “0” を書いた場合、“0” になります。“1” を書いた場合、前の値を保持します。

DN ビット (非正規化数の 0 フラッシュビット)

“0” のとき非正規化数を非正規化数として扱います。“1” のとき非正規化数を “0” として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)

EX ビット (精度異常例外処理許可ビット)

浮動小数点演算命令実行により、IEEE754 規格で規定された 5 つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0” の場合、例外処理は禁止されます。“1” の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ）**FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）**

例外処理許可ビット Ej が“0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが“1”になります。

- Ej=1（例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU、FZ、FO、FV フラグの論理和を反映します。

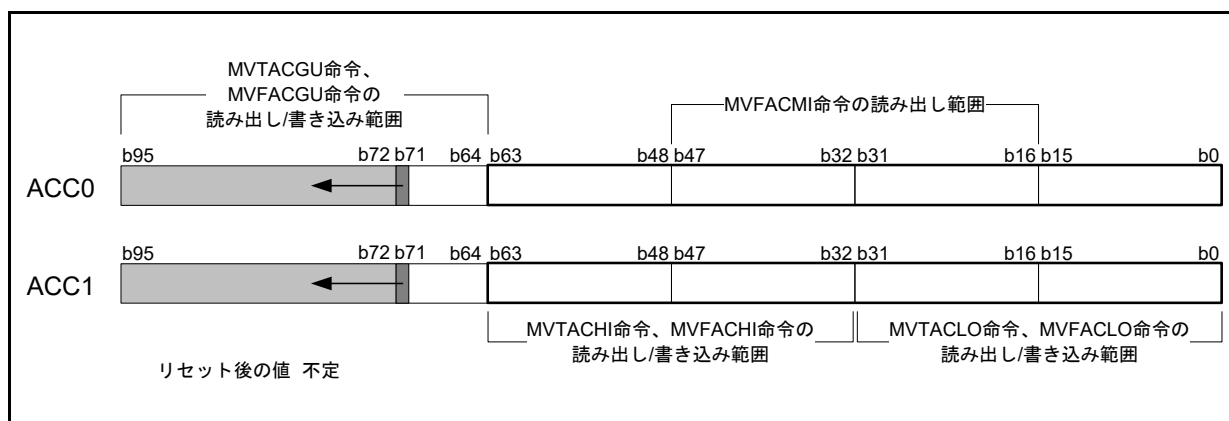
2.2.3 アキュムレータ

アキュムレータ（ACC0、ACC1）は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95～b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は（b95～b64）に、「MVTACHI 命令」は上位側 32 ビット（b63～b32）に、「MVTACLO 命令」は下位側 32 ビット（b31～b0）にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット（b95～b64）、「MVFACHI 命令」で上位側 32 ビット（b63～b32）、「MVFACMI 命令」で中央の 32 ビット（b47～b16）、「MVFACLO 命令」で下位側 32 ビット（b31～b0）のデータをそれぞれ読み出します。



注． b95～b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

RXv2 CPU には、スーパーバイザモード、およびユーザモードの 2 つのプロセッサモードがあります。これらのプロセッサモードを使用して、CPU リソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべての CPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部の CPU リソースへのライトアクセスが制限されます。ライトアクセスが制限される CPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0], PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI、MVTIPL、RTE、WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC、POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RXv2 CPU は、整数、浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。

詳細は「RX ファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

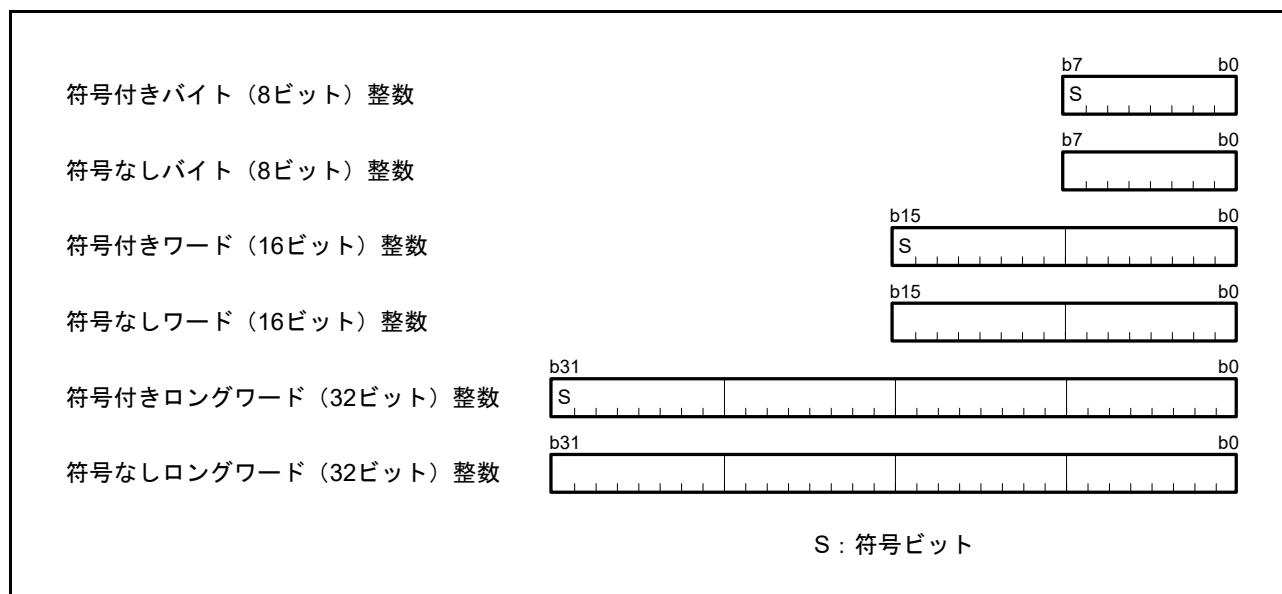


図 2.2 整数

2.4.2 浮動小数点数

浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。浮動小数点数は、浮動小数点演算命令 FADD、FCMP、FDIV、FMUL、FSQRT、FSUB、FTOI、FTOU、ITOF、ROUND、UTOF の 11 種類の命令で使用できます。

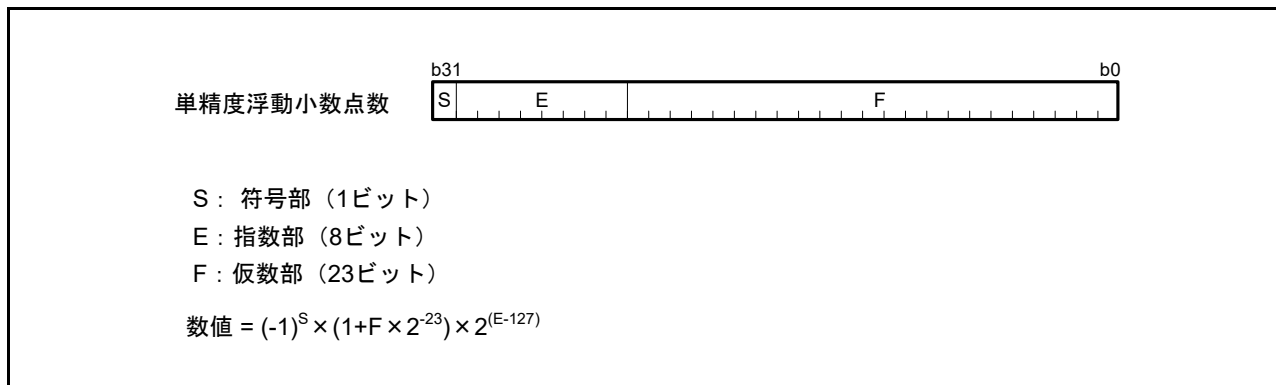


図 2.3 浮動小数点数

浮動小数点数は、以下の数値に対応しています。

0 < E < 255 (正規化数 - Normal Numbers)

E = 0 かつ F = 0 (ゼロ - Signed Zero)

E = 0 かつ F > 0 (非正規化数 - Subnormal Numbers) (注 1)

E = 255 かつ F = 0 (無限大 - Infinity)

E = 255 かつ F > 0 (非数 - NaN : Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0 として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR、BMCnd、BNOT、BSET、BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ~ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ~ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

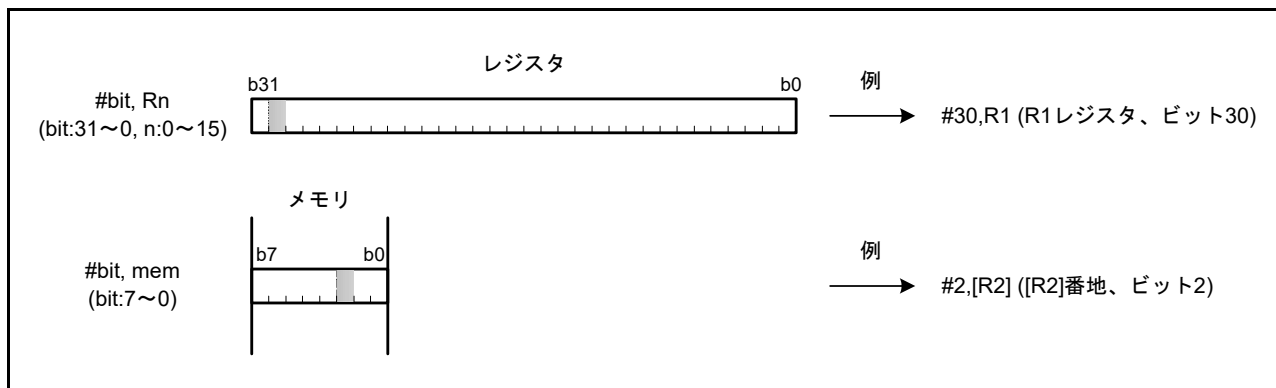


図 2.4 ビット

2.4.4 スtring

Stringとは、バイト（8ビット）、ワード（16ビット）、またはロングワード（32ビット）のデータを任意の数だけ連続して並べたデータタイプです。Stringは、String操作命令 SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE の7種類の命令で使用できます

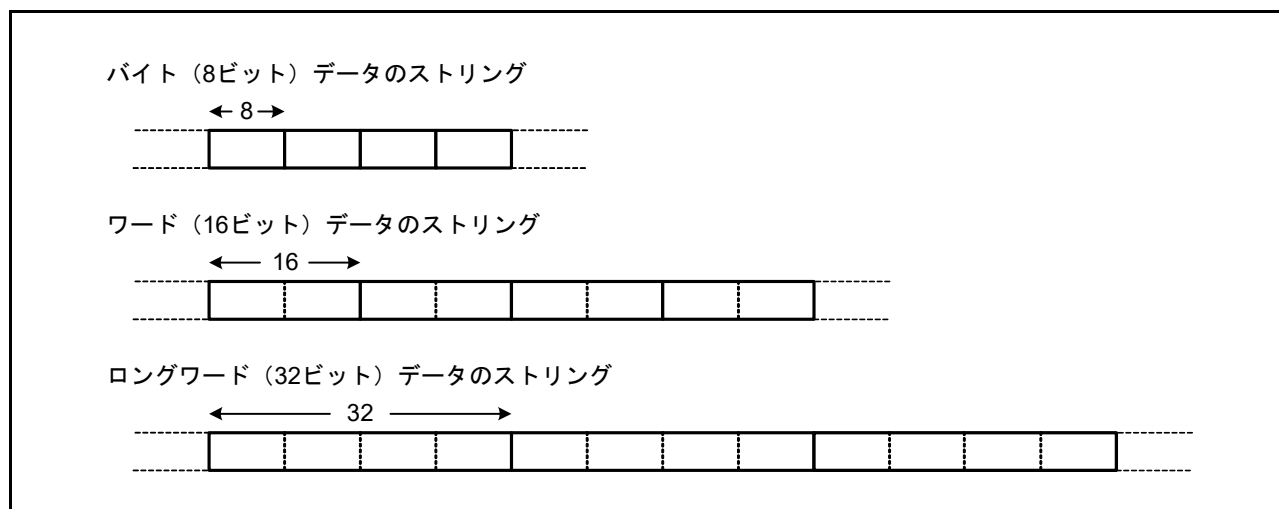


図 2.5 String

2.5 エンディアン

RXv2 CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト（MSB）が 0 番地になるビッグエンディアン、下位バイト（LSB）が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ～ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ～ D0

LH は、汎用レジスタの D15 ～ D8

HL は、汎用レジスタの D23 ～ D16

HH は、汎用レジスタの D31 ～ D24 を示します。

	D31 ～ D24	D23 ～ D16	D15 ～ D8	D7 ～ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表 2.2 ビッグエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	HH に転送	—	—	—	—
1 番地	HL に転送	HH に転送	—	—	—
2 番地	LH に転送	HL に転送	HH に転送	—	—
3 番地	LL に転送	LH に転送	HL に転送	HH に転送	—
4 番地	—	LL に転送	LH に転送	HL に転送	HH に転送
5 番地	—	—	LL に転送	LH に転送	HL に転送
6 番地	—	—	—	LL に転送	LH に転送
7 番地	—	—	—	—	LL に転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LL を転送	—	—	—	—
1番地	LH を転送	LL を転送	—	—	—
2番地	HL を転送	LH を転送	LL を転送	—	—
3番地	HH を転送	HL を転送	LH を転送	LL を転送	—
4番地	—	HH を転送	HL を転送	LH を転送	LL を転送
5番地	—	—	HH を転送	HL を転送	LH を転送
6番地	—	—	—	HH を転送	HL を転送
7番地	—	—	—	—	HH を転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HH を転送	—	—	—	—
1番地	HL を転送	HH を転送	—	—	—
2番地	LH を転送	HL を転送	HH を転送	—	—
3番地	LL を転送	LH を転送	HL を転送	HH を転送	—
4番地	—	LL を転送	LH を転送	HL を転送	HH を転送
5番地	—	—	LL を転送	LH を転送	HL を転送
6番地	—	—	—	LL を転送	LH を転送
7番地	—	—	—	—	LL を転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LL に転送	—	—	—	—	—	—
1番地	LH に転送	LL に転送	—	—	—	—	—
2番地	—	LH に転送	LL に転送	—	—	—	—
3番地	—	—	LH に転送	LL に転送	—	—	—
4番地	—	—	—	LH に転送	LL に転送	—	—
5番地	—	—	—	—	LH に転送	LL に転送	—
6番地	—	—	—	—	—	LH に転送	LL に転送
7番地	—	—	—	—	—	—	LH に転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表 2.10 ビッグエンディアン設定時の8ビットリード動作

動作 src 番地	0 番地を 8ビットでリード	1 番地を 8ビットでリード	2 番地を 8ビットでリード	3 番地を 8ビットでリード
0 番地	LL に転送	—	—	—
1 番地	—	LL に転送	—	—
2 番地	—	—	LL に転送	—
3 番地	—	—	—	LL に転送

表 2.11 リトルエンディアン設定時の8ビットライト動作

動作 dest 番地	0 番地に 8ビットでライト	1 番地に 8ビットでライト	2 番地に 8ビットでライト	3 番地に 8ビットでライト
0 番地	LL を転送	—	—	—
1 番地	—	LL を転送	—	—
2 番地	—	—	LL を転送	—
3 番地	—	—	—	LL を転送

表 2.12 ビッグエンディアン設定時の8ビットライト動作

動作 dest 番地	0 番地に 8ビットでライト	1 番地に 8ビットでライト	2 番地に 8ビットでライト	3 番地に 8ビットでライト
0 番地	LL を転送	—	—	—
1 番地	—	LL を転送	—	—
2 番地	—	—	LL を転送	—
3 番地	—	—	—	LL を転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがって I/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章の**レジスタの説明**を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32 ビットバス幅指定の I/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

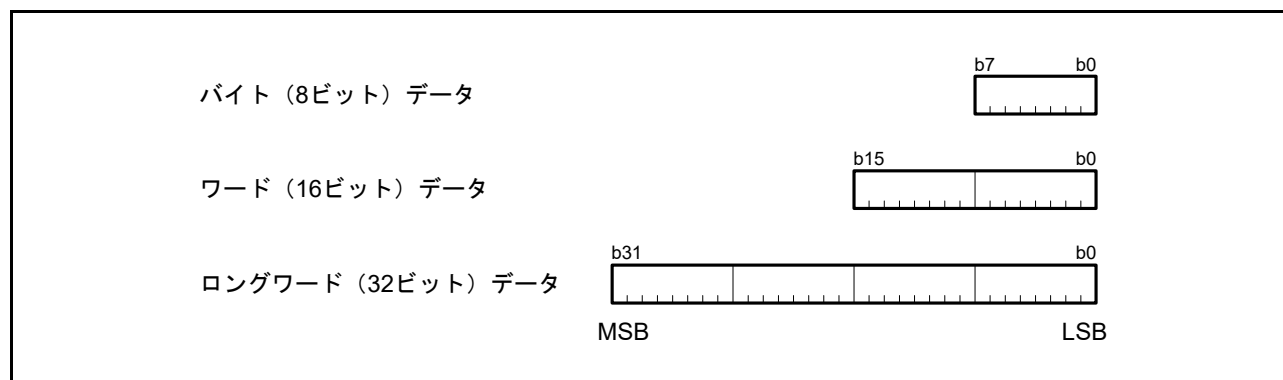


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト（8ビット）、ワード（16ビット）、ロングワード（32ビット）の3種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

データタイプ	アドレス	データイメージ (リトルエンディアン)								データイメージ (ビッグエンディアン)							
		b7							b0	b7							b0
1ビットデータ	L番地	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
バイトデータ	L番地	MSB							LSB	MSB							LSB
ワードデータ	M番地								LSB	MSB							
	M+1番地	MSB															LSB
ロングワードデータ	N番地								LSB	MSB							
	N+1番地																
	N+2番地																
	N+3番地	MSB															LSB

図 2.7 メモリ上のデータ配置

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

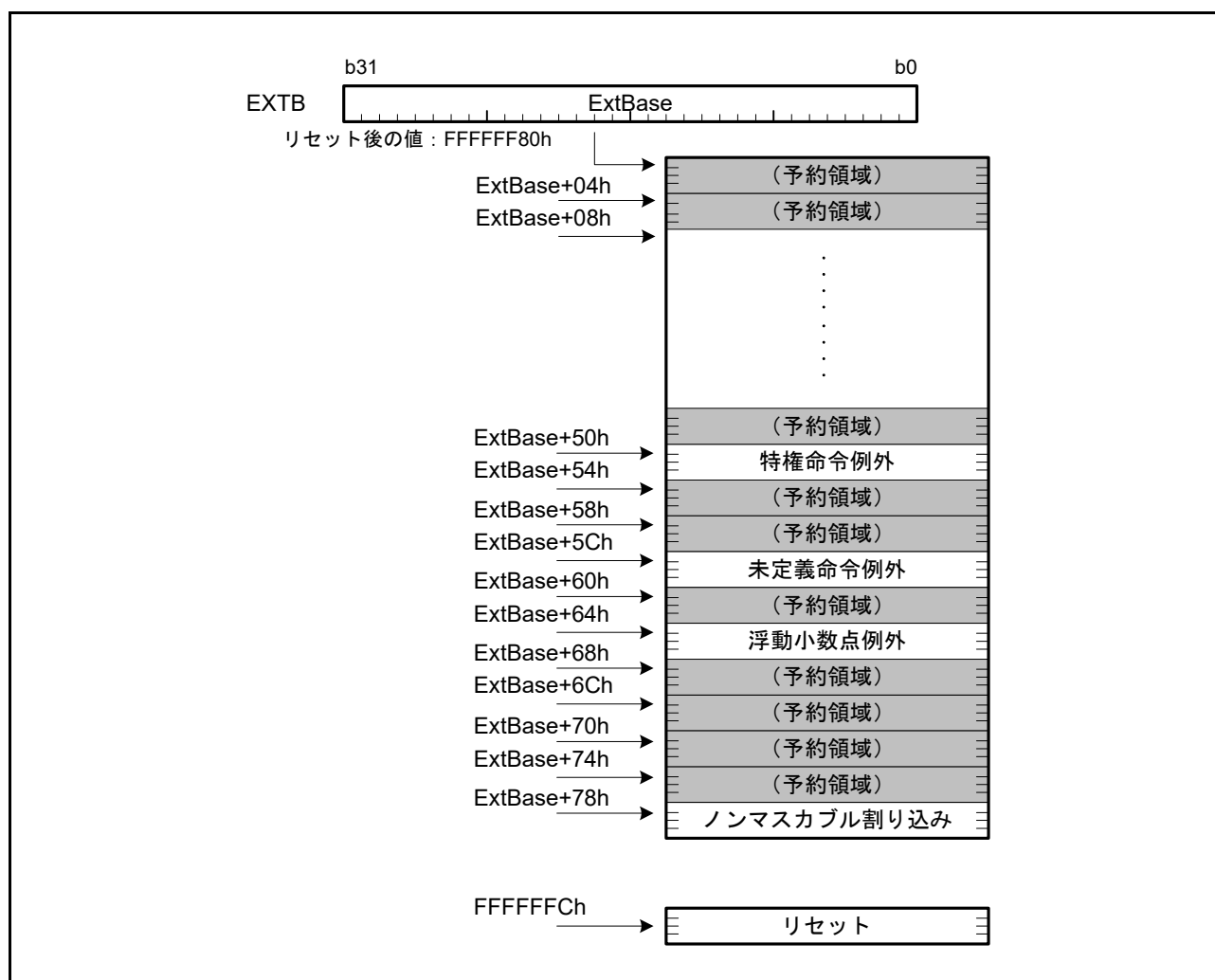


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

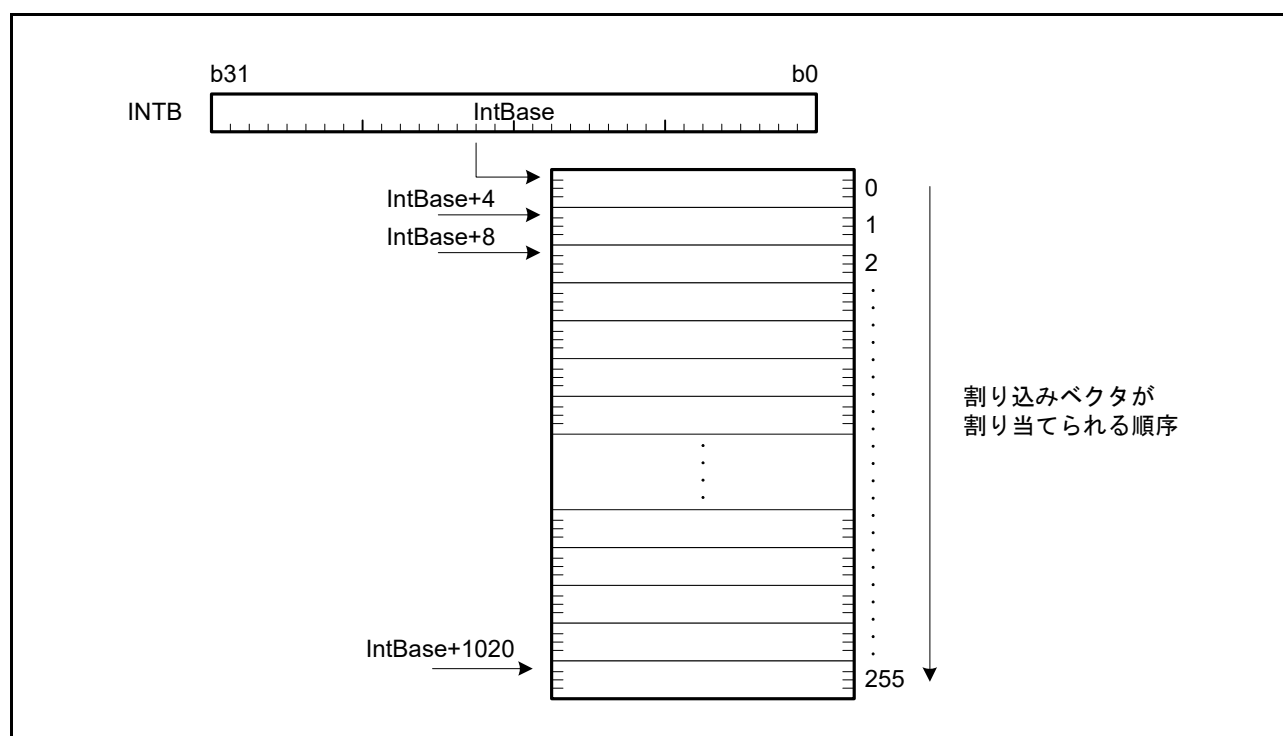


図 2.9 割り込みベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令に関する制約事項

2.7.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令（SCMPU, SMOVB, SMOVE, SMOVU, SSTR, SUNTIL, SWHILE）は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA、SSTR、SUNTIL、SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU、SMOVB、SMOVF、SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令（SCMPU, SMOVB, SMOVF, SMOVU, SUNTIL, SWHILE）は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で 3 バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL、SWHILE 命令：R1 で指定される比較先番地
- SMOVB、SMOVF、SMOVU 命令：R2 で指定される転送元番地

2.7.1.2 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令（SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE）の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.8 サイクル数

2.8.1 命令とサイクル数

表 2.13 ～表 2.20 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.13 算術/論理演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	• {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROL, ROR, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18 (注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
算術/論理演算命令 (メモリスソースオペランド)	• {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• DIV "[Rs], Rd / dsp[Rs], Rd"	5 ~ 22
	• DIVU "[Rs], Rd / dsp[Rs], Rd"	4 ~ 20
	• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注2)
	• RMPA.L	6+4n nは処理ロングワード数 (注2)

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
転送命令 （レジスタ間、即値－レジスタ）	- MOV “#IMM, Rd”/“Rs, Rd” {MOVU, REVL, REVW} “Rs, Rd” - SCCnd “Rd” {STNZ, STZ} “#IMM, Rd”/“Rs, Rd”	1
	XCHG “Rs, Rd”	2
転送命令 （ロード動作）	{MOV, MOVU} “[Rs], Rd”/“dsp[Rs], Rd”/“[Rs+], Rd”/“[-Rs], Rd”/“[Ri, Rb], Rd” - MOVLI “[Rs], Rd” - POP “Rd”	スループット：1 レイテンシ：2（注1）
	POPC “CR”	スループット：3 レイテンシ：4（注1）
	POPM “Rd-Rd2”	スループット：n レイテンシ：n+1 nはレジスタ数（注1、注2）
転送命令 （ストア動作）	- MOV “Rs, [Rd]”/“Rs, dsp[Rd]”/“Rs, [Rd+]”/“Rs, [-Rd]”/“Rs, [Ri, Rb]”/“#IMM, dsp[Rd]”/“#IMM, [Rd]” - PUSH “Rs” - PUSHC “CR” - SCCnd “[Rd]”/“dsp[Rd]” - MOVCO “Rs, [Rd]”	1
	PUSHM “Rs-Rs2”	n nはレジスタ数（注3）
転送命令 （メモリーレジスタの交換）	XCHG “[Rs], Rd”/“dsp[Rs], Rd”	2
転送命令（メモリ間転送）	- MOV “[Rs], [Rd]”/“dsp[Rs], [Rd]”/“[Rs], dsp[Rd]”/“dsp[Rs], dsp[Rd]” - PUSH “[Rs]”/“dsp[Rs]”	3

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
ビット操作命令（レジスタ）	{BCLR, BNOT, BSET} “#IMM, Rd”/“Rs, Rd” - BMCnd “#IMM, Rd” - BTST “#IMM, Rs”/“Rs, Rs2”	1
ビット操作命令 （メモリソースオペランド）	{BCLR, BNOT, BSET} “#IMM, [Rd]”/“#IMM, dsp[Rd]”/“Rs, [Rd]”/“Rs, dsp[Rd]” - BMCnd “#IMM, [Rd]”/“#IMM, dsp[Rd]” - BTST “#IMM, [Rs]”/“#IMM, dsp[Rs]”/“Rs, [Rs2]”/“Rs, dsp[Rs2]”	3

表2.16 分岐命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
分岐命令	• BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs"	分岐成立：3 分岐不成立：1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スループット：n<5?5:1+n レイテンシ：n<4?5:2+n nはレジスタ数（注1）

?: 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表2.17 浮動小数点演算命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
浮動小数点演算命令 （レジスタ間、即値-レジスタ）	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
浮動小数点演算命令 （メモリソースオペランド）	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表2.18 DSP機能命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
DSP機能命令	• {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "As, Rd" • {RDACW, RDACL, RACW, RACL} "#IMM, Ad"	1

表 2.19 ストリング操作命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
ストリング操作命令（注1）	• SCMPU	$2+4\times\text{floor}(n/4)+4\times(n\%4)$ nは比較バイト数（注2）
	• SMOVB	$n>3?6+3\times\text{floor}(n/4)+3\times(n\%4):2+3n$ nは転送バイト数（注2）
	• SMOVF, SMOVU	$2+3\times\text{floor}(n/4)+3\times(n\%4)$ nは転送バイト数（注2）
	• SSTR.B	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数（注2）
	• SSTR.W	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数（注2）
	• SSTR.L	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3+3\times\text{floor}(n/4)+3\times(n\%4)$ nは比較バイト数（注2）
	• SUNTIL.W, SWHILE.W	$3+3\times\text{floor}(n/2)+3\times(n\%2)$ nは比較ワード数（注2）
	• SUNTIL.L, SWHILE.L	$3+3\times n$ nは比較ロングワード数

? : 条件演算子

注1. SCMPU、SMOVU、SWHILE、SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. $\text{floor}(x)$: x以下の最大の整数

表 2.20 システム操作命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
システム操作命令	• {CLRPSW, SETPSW} "flag"	1
	• MVTC "#IMM, CR"/"Rs, CR"	
	• MVFC "CR, Rd"	
	• MVTIPL "#IMM"	
	• RTE	6
	• RTFI	3

2.8.2 割り込み応答サイクル数

表 2.21 に割り込み応答処理のサイクル数を示します。

表 2.21 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC、PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.21 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能なコードフラッシュメモリ、RAM を搭載しています。プログラム（含むベクタ）はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ～表 2.20 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット (RES# 端子リセット、パワーオンリセット) 解除時のモード設定端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子 (MD) のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 MD	動作モード
High (注1、注2)	シングルチップモード
Low (注1)	ブートモード (SCI インタフェース)
Low→High (注3)	ブートモード (FINE インタフェース)

注1. リセット解除からリセット解除後待機時間またはパワーオンリセット解除後待機時間の期間中は動作モード遷移期間中のため、MD 端子の入力レベルは変化させないでください。リセット解除後待機時間、パワーオンリセット解除後待機時間の詳細は「38. 電気的特性」を参照してください。また、MD 端子の入力ブルアップ抵抗は、ブートモードの場合はリセット中から動作モード遷移が完了するまでの期間、シングルチップモードの場合はリセット中からブルアップ制御レジスタの設定で無効設定にするまで有効となっています。

注2. シングルチップモードで起動した後は、MD 端子と端子を共用している PG7 端子は汎用入出力ポートや周辺機能入出力端子としても使用可能です。

注3. シリアルプログラマやエミュレータなどが制御します。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション設定メモリの MDE.MDE[2:0] ビットで設定します。

設定値は表 3.2 を参照してください。

表 3.2 シングルチップモードのエンディアンの設定

MDE.MDE[2:0] ビット	エンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス SYSTEM.MDMONR 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	X	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	MD	MD 端子ステータスフラグ	0 : MD 端子は“Low” 1 : MD 端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

注1. モード端子(MD 端子)の設定によって異なります。MD 端子がLowの場合は“0”、Highの場合は“1”になります。
PORTG.PMR.b7の設定で、PG7/MD 端子を汎用入出力ポートに設定した場合、PG7/MD 端子の状態に関わらず、読むと“0”が読めます。

3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス SYSTEM.SYSCR1 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効または無効を選択します。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

RAMEビットを“0”にしても、RAMの値は保持されます。ただし、「38. 電気的特性」に規定するRAMスタンバイ電圧 (VRAM) 以上の電圧を保持する必要があります。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

3.3.2 ブートモード (SCI インタフェース)

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。調歩同期式シリアルインタフェース (SCI1) を使用して、MCU 外部から内蔵フラッシュメモリ (ROM、E2 データフラッシュ) を書き換えることができます。詳細は、「37. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモード (SCI インタフェース) で起動します。ブートモード (SCI インタフェース) については、「37.8.1 ブートモード (SCI インタフェース)」を参照してください。

3.3.3 ブートモード (FINE インタフェース)

MCU 内部の専用領域に格納された、フラッシュメモリ書き換えプログラム (ブートプログラム) が動作するモードです。FINE を使用して、MCU 外部から内蔵フラッシュメモリ (ROM、E2 データフラッシュ) を書き換えることができます。詳細は「37. フラッシュメモリ (FLASH)」を参照してください。

MD 端子を Low にしてリセット解除後、20 ~ 100msec の間に High へ切り替えると、ブートモード (FINE インタフェース) で起動します。

3.4 動作モード遷移

3.4.1 モード設定端子のレベルと動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

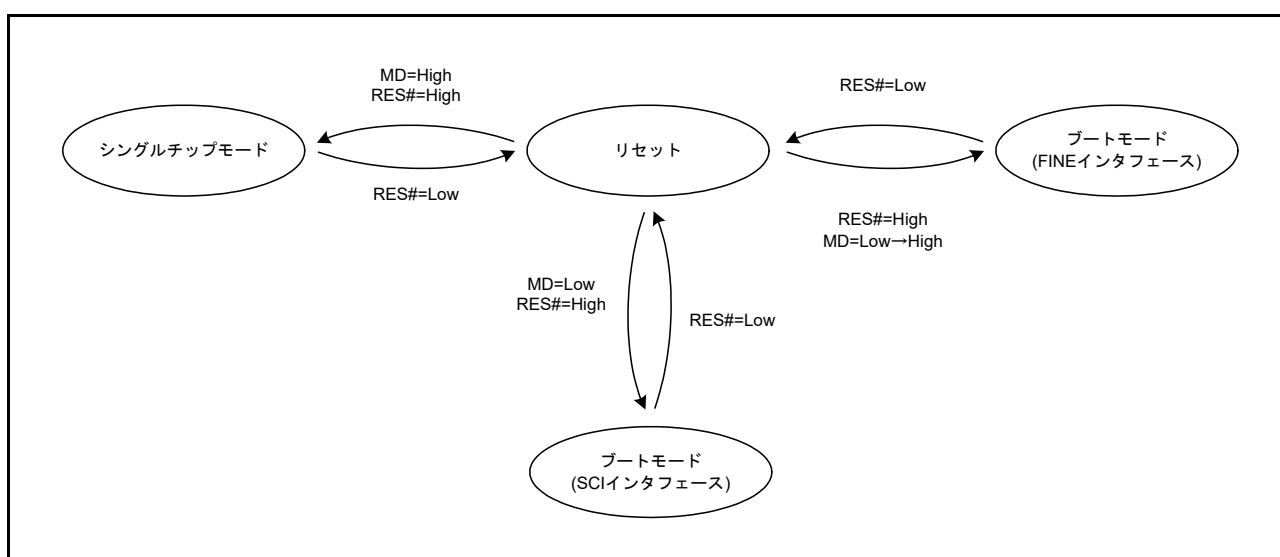


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 にメモリマップを示します。

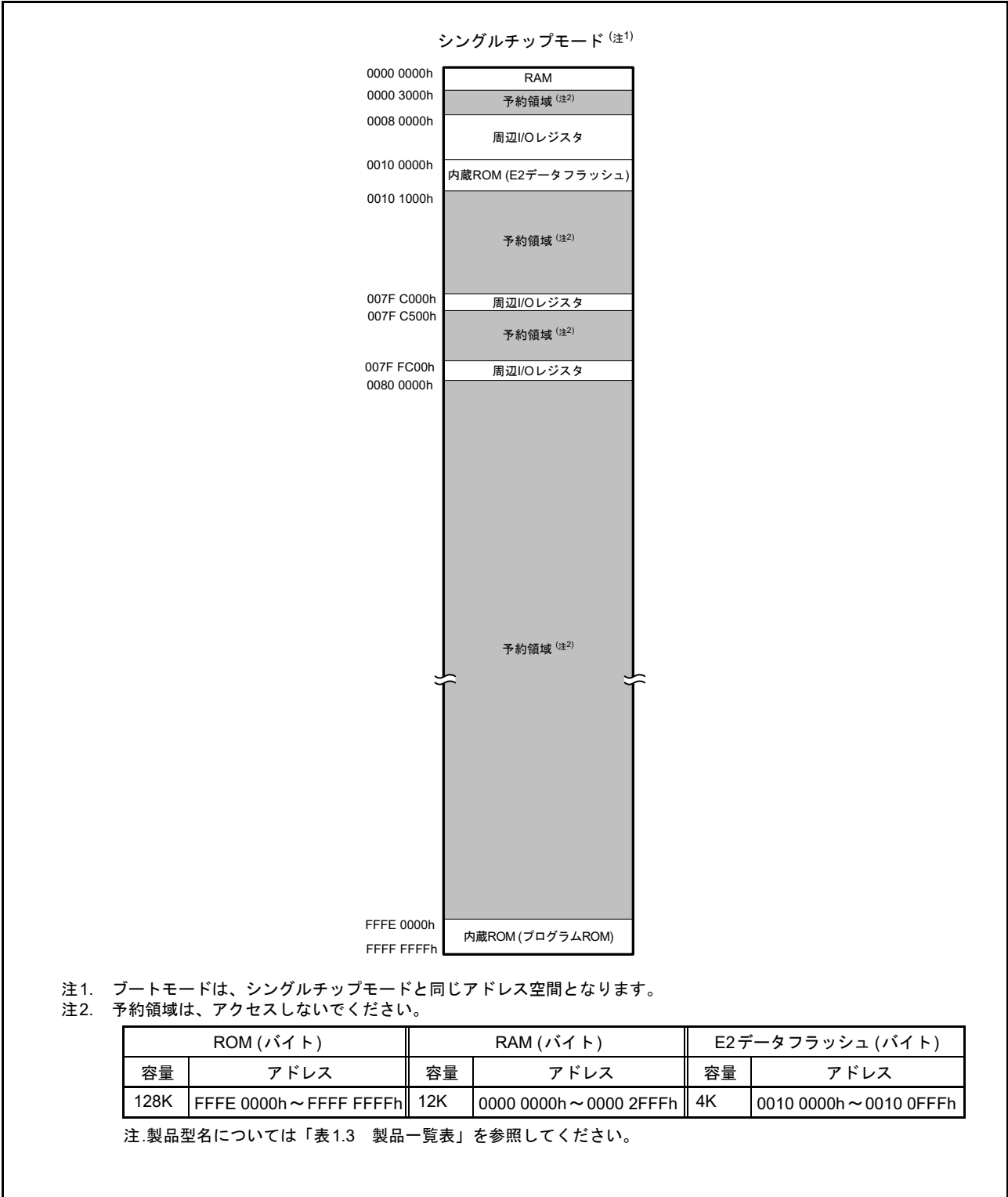


図 4.1 各動作モードのメモリマップ

5. I/O レジスタ

I/O レジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/O レジスタアドレス一覧 (アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O レジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/O レジスタ書き込み時の注意事項

CPU が I/O レジスタに書き込む際、CPU は書き込み完了を待たずに後続の命令を実行します。そのため、I/O レジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/O レジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット (ICU.IERn.IENj ビット) のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いて WAIT 命令を実行する場合

このような場合には、I/O レジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- I/O レジスタの書き込み
- 書き込んだ I/O レジスタの値を汎用レジスタに読み出し
- 読み出し値を使って演算を実行
- 後続の命令を実行

[命令例]

- I/O レジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/O レジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行った I/O レジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/O レジスタアクセスサイクル数

I/O レジスタアクセスサイクル数は、「表 5.1 I/O レジスタアドレス一覧」を参照してください。

I/O レジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\begin{aligned} \text{I/O レジスタアクセスサイクル数} = & \text{内部メインバス 1 のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス 1 ～ 3、6 のバスサイクル数} \end{aligned}$$

内部周辺バス 1 ～ 3、6 のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス 2、3、6 に接続されている周辺機能のレジスタ (バスエラー関連のレジスタは除く) へアクセスする場合には、分周クロック同期化サイクルが追加されます。

分周クロック同期化サイクル数は、ICLK と PCLK (または FCLK) の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス 1 のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK (または FCLK) で最大 1 サイクルとなるため、表 5.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ (または FCLK) の周波数関係の場合、次のバスアクセスが周辺機能が終了した次の ICLK サイクルから開始されるため、ICLK 単位の記載となっています。

注 1. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、異なるバスマスタ (DTC) のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA 命令、ストリング操作命令に関する制約事項

RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 5.1 I/O レジスタアドレス一覧」 のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

5.1 I/Oレジスタアドレス一覧(アドレス順)

表5.1 I/Oレジスタアドレス一覧(1/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3CLK	3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16		
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3CLK	11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32		
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32		
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32		
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3CLK	9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16		
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16		
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8		
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8		
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8		
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8		
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8		
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8		
0008 003Eh	SYSTEM	CLKOUT出力コントロールレジスタ	CKOCR	16	16		
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8		
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8		
0008 0061h	SYSTEM	低速オンチップオシレータトリミングレジスタ2	LOCOTRR2	8	8		
0008 0064h	SYSTEM	IWDT専用オンチップオシレータトリミングレジスタ	ILOCOTRR	8	8		
0008 0068h	SYSTEM	高速オンチップオシレータトリミングレジスタ0	HOCOTRR0	8	8		
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3CLK	11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3CLK	9章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3CLK	6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16		
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3CLK	8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8		
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8		
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8		
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3CLK	12章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2CLK	15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8		
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8		
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16		
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16		
0008 2400h	DTC	DTCコントロールレジスタ	DTCR	8	8	2CLK	16章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32		
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8		
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8		
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16		
0008 2410h	DTC	DTCインデックステーブルベースレジスタ	DTCIBR	32	32		
0008 2414h	DTC	DTCオペレーションレジスタ	DTCOR	8	8		
0008 2416h	DTC	DTCシーケンス転送許可レジスタ	DTCSEQE	16	16		
0008 2418h	DTC	DTCアドレスディスプレースメントレジスタ	DTCDISP	32	32		
0008 7010h~ 0008 70FFh	ICU	割り込み要求レジスタ016~割り込み要求レジスタ255	IR016~IR255	8	8	2CLK	14章
0008 711Bh~ 0008 71FFh	ICU	DTC転送要求許可レジスタ027~DTC転送要求許可レジスタ255	DTCER027~ DTCER255	8	8		
0008 7202h~ 0008 721Fh	ICU	割り込み要求許可レジスタ02~割り込み要求許可レジスタ1F	IER02~IER1F	8	8		

表5.1 I/O レジスタアドレス一覧 (2/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	14 章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16		
0008 7300h～ 0008 73FFh	ICU	割り込み要因プライオリティレジスタ000～割り込み要因プライオリ ティレジスタ255	IPR000～IPR255	8	8		
0008 7500h～ 0008 7507h	ICU	IRQコントロールレジスタ0～IRQコントロールレジスタ7	IRQCR0～ IRQCR7	8	8		
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8		
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16		
0008 7580h	ICU	ノンマスカブル割り込みステータスレジスタ	NMISR	8	8		
0008 7581h	ICU	ノンマスカブル割り込み許可レジスタ	NMIER	8	8		
0008 7582h	ICU	ノンマスカブル割り込みステータスクリアレジスタ	NMICLR	8	8		
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8		
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8		
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8		
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2～3PCLKB	24 章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16		
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16		
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16		
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16		
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16		
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16		
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2～3PCLKB	25 章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16		
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16		
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8		
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8		
0008 80C0h	DA	D/A データレジスタ0	DADR0	16	16	2～3PCLKB	32 章
0008 80C2h	DA	D/A データレジスタ1	DADR1	16	16		
0008 80C4h	DA	D/A 制御レジスタ	DACR	8	8		
0008 80C5h	DA	データレジスタフォーマット選択レジスタ	DADPR	8	8		
0008 80C6h	DA	D/A A/D 同期スタート制御レジスタ	DAADSCR	8	8		
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2～3PCLKB	23 章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8		
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8		
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8		
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8		
0008 8204h	TMR01	タイムコンスタントレジスタA	TCORA	16	16		
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8		
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8		
0008 8206h	TMR01	タイムコンスタントレジスタB	TCORB	16	16		
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8		
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8		
0008 8208h	TMR01	タイマカウンタ	TCNT	16	16		
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8		
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8		
0008 820Ah	TMR01	タイマカウンタコントロールレジスタ	TCCR	16	16		
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8		
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8		
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8		
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8		
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8		
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8		

表5.1 I/O レジスタアドレス一覧 (3/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 8214h	TMR23	タイムコンスタントレジスタA	TCORA	16	16	2 ~ 3PCLKB	23 章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8		
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8		
0008 8216h	TMR23	タイムコンスタントレジスタB	TCORB	16	16		
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8		
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8		
0008 8218h	TMR23	タイマカウンタ	TCNT	16	16		
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8		
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8		
0008 821Ah	TMR23	タイマカウンタコントロールレジスタ	TCCR	16	16		
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8		
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	28 章
0008 8284h	CRC	CRCデータ入力レジスタ	CRCDIR	32	8, 32		
0008 8288h	CRC	CRCデータ出力レジスタ	CRCDOR	32	8, 16, 32		
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	27 章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8		
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8		
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8		
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8		
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8		
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8		
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8		
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8		
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8		
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8		
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8		
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8		
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8		
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8		
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8		
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8		
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8		
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8		
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8		
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	30 章
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16		
0008 9008h	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16		
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8		
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16		
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16		
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16		
0008 9018h	S12AD	A/Dデータ二重化レジスタ	ADBLDR	16	16		
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16		
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16		
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16		
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16		
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16		
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16		
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16		
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16		
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16		

表5.1 I/O レジスタアドレス一覧 (4/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 907Ah	S12AD	A/D 断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	30 章
0008 9080h	S12AD	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16		
0008 9084h	S12AD	A/D データ二重化レジスタ A	ADDBLDRA	16	16		
0008 9086h	S12AD	A/D データ二重化レジスタ B	ADDBLDRB	16	16		
0008 908Ah	S12AD	A/D 高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8		
0008 90D4h	S12AD	A/D チャネル選択レジスタ C0	ADANSC0	16	16		
0008 90D9h	S12AD	A/D グループ C トリガ選択レジスタ	ADGCTRGR	8	8		
0008 90E0h	S12AD	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8		
0008 90E1h	S12AD	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8		
0008 90E2h	S12AD	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8		
0008 90E3h	S12AD	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8		
0008 90E4h	S12AD	A/D サンプリングステートレジスタ 4	ADSSTR4	8	8		
0008 90E5h	S12AD	A/D サンプリングステートレジスタ 5	ADSSTR5	8	8		
0008 90E6h	S12AD	A/D サンプリングステートレジスタ 6	ADSSTR6	8	8		
0008 90E7h	S12AD	A/D サンプリングステートレジスタ 7	ADSSTR7	8	8		
0008 91A0h	PGA0	プログラマブルゲインアンブコントロールレジスタ	PGACR	16	16	2 ~ 3PCLKB	31 章
0008 91A2h	PGA0	プログラマブルゲインアンブゲイン設定レジスタ 0	PGAGS0	16	16		
0008 91E0h	PGA0	プログラマブルゲインアンブモニタ出力コントロールレジスタ	PGAMONCR	8	8		
0008 9200h	S12AD1	A/D コントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	30 章
0008 9204h	S12AD1	A/D チャネル選択レジスタ A0	ADANSA0	16	16		
0008 9208h	S12AD1	A/D 変換値加算/平均機能チャネル選択レジスタ 0	ADADS0	16	16		
0008 920Ch	S12AD1	A/D 変換値加算/平均回数選択レジスタ	ADADC	8	8		
0008 920Eh	S12AD1	A/D コントロール拡張レジスタ	ADCER	16	16		
0008 9210h	S12AD1	A/D 変換開始トリガ選択レジスタ	ADSTRGR	16	16		
0008 9212h	S12AD1	A/D 変換拡張入力コントロールレジスタ	ADEXICR	16	16		
0008 9214h	S12AD1	A/D チャネル選択レジスタ B0	ADANSB0	16	16		
0008 9218h	S12AD1	A/D データ二重化レジスタ	ADDBLDR	16	16		
0008 921Ah	S12AD1	A/D 温度センサデータレジスタ	ADTSDR	16	16		
0008 921Ch	S12AD1	A/D 内部基準電圧データレジスタ	ADOCDR	16	16		
0008 921Eh	S12AD1	A/D 自己診断データレジスタ	ADRD	16	16		
0008 9220h	S12AD1	A/D データレジスタ 0	ADDR0	16	16		
0008 9222h	S12AD1	A/D データレジスタ 1	ADDR1	16	16		
0008 9224h	S12AD1	A/D データレジスタ 2	ADDR2	16	16		
0008 9226h	S12AD1	A/D データレジスタ 3	ADDR3	16	16		
0008 9228h	S12AD1	A/D データレジスタ 4	ADDR4	16	16		
0008 922Ah	S12AD1	A/D データレジスタ 5	ADDR5	16	16		
0008 922Ch	S12AD1	A/D データレジスタ 6	ADDR6	16	16		
0008 922Eh	S12AD1	A/D データレジスタ 7	ADDR7	16	16		
0008 927Ah	S12AD1	A/D 断線検出コントロールレジスタ	ADDISCR	8	8		
0008 9280h	S12AD1	A/D グループスキャン優先コントロールレジスタ	ADGSPCR	16	16		
0008 9284h	S12AD1	A/D データ二重化レジスタ A	ADDBLDRA	16	16		
0008 9286h	S12AD1	A/D データ二重化レジスタ B	ADDBLDRB	16	16		
0008 928Ah	S12AD1	A/D 高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8		
0008 92D4h	S12AD1	A/D チャネル選択レジスタ C0	ADANSC0	16	16		
0008 92D9h	S12AD1	A/D グループ C トリガ選択レジスタ	ADGCTRGR	8	8		
0008 92DEh	S12AD1	A/D サンプリングステートレジスタ T	ADSSTRT	8	8		
0008 92DFh	S12AD1	A/D サンプリングステートレジスタ O	ADSSTRO	8	8		
0008 92E0h	S12AD1	A/D サンプリングステートレジスタ 0	ADSSTR0	8	8		
0008 92E1h	S12AD1	A/D サンプリングステートレジスタ 1	ADSSTR1	8	8		
0008 92E2h	S12AD1	A/D サンプリングステートレジスタ 2	ADSSTR2	8	8		
0008 92E3h	S12AD1	A/D サンプリングステートレジスタ 3	ADSSTR3	8	8		

表5.1 I/O レジスタアドレス一覧 (5/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 92E4h	S12AD1	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2 ～ 3PCLKB	30 章
0008 92E5h	S12AD1	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8		
0008 92E6h	S12AD1	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8		
0008 92E7h	S12AD1	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8		
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ～ 3PCLKB	26 章
0008 A020h	SMCI1	シリアルモードレジスタ	SMR	8	8		
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8		
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8		
0008 A022h	SMCI1	シリアルコントロールレジスタ	SCR	8	8		
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8		
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8		
0008 A024h	SMCI1	シリアルステータスレジスタ	SSR	8	8		
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8		
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8		
0008 A026h	SMCI1	スマートカードモードレジスタ	SCMR	8	8		
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8		
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8		
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8		
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8		
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8		
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8		
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8		
0008 A02Eh	SCI1	トランスミットデータレジスタHL	TDRHL	16	16	4 ～ 5PCLKB	
0008 A02Eh	SCI1	トランスミットデータレジスタH	TDRH	8	8	2 ～ 3PCLKB	
0008 A02Fh	SCI1	トランスミットデータレジスタL	TDRL	8	8		
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4 ～ 5PCLKB	
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2 ～ 3PCLKB	
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8		
0008 A032h	SCI1	モジュレーションデューティレジスタ	MDDR	8	8		
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8		
0008 A0A0h	SMCI5	シリアルモードレジスタ	SMR	8	8		
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8		
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8		
0008 A0A2h	SMCI5	シリアルコントロールレジスタ	SCR	8	8		
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8		
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8		
0008 A0A4h	SMCI5	シリアルステータスレジスタ	SSR	8	8		
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8		
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8		
0008 A0A6h	SMCI5	スマートカードモードレジスタ	SCMR	8	8		
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8		
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8		
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8		
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8		
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8		
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8		
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8		
0008 A0AEh	SCI5	トランスミットデータレジスタHL	TDRHL	16	16	4 ～ 5PCLKB	
0008 A0AEh	SCI5	トランスミットデータレジスタH	TDRH	8	8	2 ～ 3PCLKB	
0008 A0AFh	SCI5	トランスミットデータレジスタL	TDRL	8	8		
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4 ～ 5PCLKB	

表5.1 I/O レジスタアドレス一覧 (6/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2 ～ 3PCLKB	26 章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8		
0008 A0B2h	SCI5	モジュレーションデューティレジスタ	MDDR	8	8		
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8		
0008 A0C0h	SMCI6	シリアルモードレジスタ	SMR	8	8		
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8		
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8		
0008 A0C2h	SMCI6	シリアルコントロールレジスタ	SCR	8	8		
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8		
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8		
0008 A0C4h	SMCI6	シリアルステータスレジスタ	SSR	8	8		
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8		
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8		
0008 A0C6h	SMCI6	スマートカードモードレジスタ	SCMR	8	8		
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8		
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8		
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8		
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8		
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8		
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8		
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8		
0008 A0CEh	SCI6	トランスミットデータレジスタHL	TDRHL	16	16	4 ～ 5PCLKB	10 章
0008 A0CEh	SCI6	トランスミットデータレジスタH	TDRH	8	8	2 ～ 3PCLKB	
0008 A0CFh	SCI6	トランスミットデータレジスタL	TDRL	8	8		
0008 A0D0h	SCI6	レシーブデータレジスタHL	RDRHL	16	16	4 ～ 5PCLKB	
0008 A0D0h	SCI6	レシーブデータレジスタH	RDRH	8	8	2 ～ 3PCLKB	
0008 A0D1h	SCI6	レシーブデータレジスタL	RDRL	8	8		
0008 A0D2h	SCI6	モジュレーションデューティレジスタ	MDDR	8	8		
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2 ～ 3PCLKB	10 章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8		
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8		
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8		
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8		
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16		
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16		
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2 ～ 3PCLKB	35 章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8		
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16		
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2 ～ 3PCLKB	26 章
0008 B300h	SCI12	シリアルモードレジスタ	SMR	8	8		
0008 B300h	SMCI12	シリアルモードレジスタ	SMR	8	8		
0008 B301h	SCI12	ビットレートレジスタ	BRR	8	8		
0008 B302h	SCI12	シリアルコントロールレジスタ	SCR	8	8		
0008 B302h	SMCI12	シリアルコントロールレジスタ	SCR	8	8		
0008 B303h	SCI12	トランスミットデータレジスタ	TDR	8	8		
0008 B304h	SCI12	シリアルステータスレジスタ	SSR	8	8		
0008 B304h	SMCI12	シリアルステータスレジスタ	SSR	8	8		
0008 B305h	SCI12	レシーブデータレジスタ	RDR	8	8		
0008 B306h	SCI12	スマートカードモードレジスタ	SCMR	8	8		
0008 B306h	SMCI12	スマートカードモードレジスタ	SCMR	8	8		
0008 B307h	SCI12	シリアル拡張モードレジスタ	SEMR	8	8		

表5.1 I/O レジスタアドレス一覧 (7/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 B308h	SCI12	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ～ 3PCLKB	26 章
0008 B309h	SCI12	I ² C モードレジスタ 1	SIMR1	8	8		
0008 B30Ah	SCI12	I ² C モードレジスタ 2	SIMR2	8	8		
0008 B30Bh	SCI12	I ² C モードレジスタ 3	SIMR3	8	8		
0008 B30Ch	SCI12	I ² C ステータスレジスタ	SISR	8	8		
0008 B30Dh	SCI12	SPI モードレジスタ	SPMR	8	8		
0008 B30Eh	SCI12	トランスミットデータレジスタ HL	TDRHL	16	16	4 ～ 5PCLKB	
0008 B30Eh	SCI12	トランスミットデータレジスタ H	TDRH	8	8	2 ～ 3PCLKB	
0008 B30Fh	SCI12	トランスミットデータレジスタ L	TDRL	8	8		
0008 B310h	SCI12	レシーブデータレジスタ HL	RDRHL	16	16	4 ～ 5PCLKB	
0008 B310h	SCI12	レシーブデータレジスタ H	RDRH	8	8	2 ～ 3PCLKB	
0008 B311h	SCI12	レシーブデータレジスタ L	RDRL	8	8		
0008 B312h	SCI12	モジュレーションデューティレジスタ	MDDR	8	8		
0008 B320h	SCI12	拡張シリアルモード有効レジスタ	ESMER	8	8		
0008 B321h	SCI12	コントロールレジスタ 0	CR0	8	8		
0008 B322h	SCI12	コントロールレジスタ 1	CR1	8	8		
0008 B323h	SCI12	コントロールレジスタ 2	CR2	8	8		
0008 B324h	SCI12	コントロールレジスタ 3	CR3	8	8		
0008 B325h	SCI12	ポートコントロールレジスタ	PCR	8	8		
0008 B326h	SCI12	割り込みコントロールレジスタ	ICR	8	8		
0008 B327h	SCI12	ステータスレジスタ	STR	8	8		
0008 B328h	SCI12	ステータスクリアレジスタ	STCR	8	8		
0008 B329h	SCI12	Control Field 0 データレジスタ	CF0DR	8	8		
0008 B32Ah	SCI12	Control Field 0 コンペアイネーブルレジスタ	CF0CR	8	8		
0008 B32Bh	SCI12	Control Field 0 受信データレジスタ	CF0RR	8	8		
0008 B32Ch	SCI12	プライマリ Control Field 1 データレジスタ	PCF1DR	8	8		
0008 B32Dh	SCI12	セカンダリ Control Field 1 データレジスタ	SCF1DR	8	8		
0008 B32Eh	SCI12	Control Field 1 コンペアイネーブルレジスタ	CF1CR	8	8		
0008 B32Fh	SCI12	Control Field 1 受信データレジスタ	CF1RR	8	8		
0008 B330h	SCI12	タイマコントロールレジスタ	TCR	8	8	2 ～ 3PCLKB	
0008 B331h	SCI12	タイマモードレジスタ	TMR	8	8		
0008 B332h	SCI12	タイマプリスケアラレジスタ	TPRE	8	8		
0008 B333h	SCI12	タイマカウントレジスタ	TCNT	8	8		
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8		
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8		
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8		
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8		
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8		
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8		
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8		
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8		
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8		
0008 C010h	PORTG	ポート方向レジスタ	PDR	8	8		
0008 C020h	PORT0	ポート出力データレジスタ	PODR	8	8		
0008 C021h	PORT1	ポート出力データレジスタ	PODR	8	8		
0008 C022h	PORT2	ポート出力データレジスタ	PODR	8	8		
0008 C023h	PORT3	ポート出力データレジスタ	PODR	8	8		
0008 C024h	PORT4	ポート出力データレジスタ	PODR	8	8		
0008 C027h	PORT7	ポート出力データレジスタ	PODR	8	8		
0008 C029h	PORT9	ポート出力データレジスタ	PODR	8	8		
0008 C02Bh	PORTB	ポート出力データレジスタ	PODR	8	8		

表5.1 I/O レジスタアドレス一覧 (8/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 C02Dh	PORTD	ポート出力データレジスタ	PODR	8	8	2 ~ 3PCLKB	17 章
0008 C030h	PORTG	ポート出力データレジスタ	PODR	8	8		
0008 C040h	PORT0	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	
0008 C041h	PORT1	ポート入力データレジスタ	PIDR	8	8		
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8		
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8		
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8		
0008 C047h	PORT7	ポート入力データレジスタ	PIDR	8	8		
0008 C049h	PORT9	ポート入力データレジスタ	PIDR	8	8		
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8		
0008 C04Dh	PORTD	ポート入力データレジスタ	PIDR	8	8		
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	3 ~ 4PCLKB	
0008 C050h	PORTG	ポート入力データレジスタ	PIDR	8	8		
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8		
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8		
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8		
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8		
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8		
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8		
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8		
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8		
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8		
0008 C070h	PORTG	ポートモードレジスタ	PMR	8	8		
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C081h	PORT0	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C093h	PORT9	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8		
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C0A1h	PORTG	オーブンドレイン制御レジスタ1	ODR1	8	8		
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8		
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8		
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8		
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8		
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8		
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8		
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8		
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8		
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8		
0008 C0D0h	PORTG	ブルアップ制御レジスタ	PCR	8	8		

表5.1 I/O レジスタアドレス一覧 (9/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB	18 章
0008 C140h	MPC	P00 端子機能制御レジスタ	P00PFS	8	8		
0008 C141h	MPC	P01 端子機能制御レジスタ	P01PFS	8	8		
0008 C142h	MPC	P02 端子機能制御レジスタ	P02PFS	8	8		
0008 C143h	MPC	P03 端子機能制御レジスタ	P03PFS	8	8		
0008 C144h	MPC	P04 端子機能制御レジスタ	P04PFS	8	8		
0008 C148h	MPC	P10 端子機能制御レジスタ	P10PFS	8	8		
0008 C149h	MPC	P11 端子機能制御レジスタ	P11PFS	8	8		
0008 C14Ah	MPC	P12 端子機能制御レジスタ	P12PFS	8	8		
0008 C14Bh	MPC	P13 端子機能制御レジスタ	P13PFS	8	8		
0008 C14Ch	MPC	P14 端子機能制御レジスタ	P14PFS	8	8		
0008 C14Dh	MPC	P15 端子機能制御レジスタ	P15PFS	8	8		
0008 C152h	MPC	P22 端子機能制御レジスタ	P22PFS	8	8		
0008 C153h	MPC	P23 端子機能制御レジスタ	P23PFS	8	8		
0008 C154h	MPC	P24 端子機能制御レジスタ	P24PFS	8	8		
0008 C155h	MPC	P25 端子機能制御レジスタ	P25PFS	8	8		
0008 C156h	MPC	P26 端子機能制御レジスタ	P26PFS	8	8		
0008 C158h	MPC	P30 端子機能制御レジスタ	P30PFS	8	8		
0008 C159h	MPC	P31 端子機能制御レジスタ	P31PFS	8	8		
0008 C15Ah	MPC	P32 端子機能制御レジスタ	P32PFS	8	8		
0008 C15Bh	MPC	P33 端子機能制御レジスタ	P33PFS	8	8		
0008 C15Eh	MPC	P36 端子機能制御レジスタ	P36PFS	8	8		
0008 C15Fh	MPC	P37 端子機能制御レジスタ	P37PFS	8	8		
0008 C160h	MPC	P40 端子機能制御レジスタ	P40PFS	8	8		
0008 C161h	MPC	P41 端子機能制御レジスタ	P41PFS	8	8		
0008 C162h	MPC	P42 端子機能制御レジスタ	P42PFS	8	8		
0008 C163h	MPC	P43 端子機能制御レジスタ	P43PFS	8	8		
0008 C164h	MPC	P44 端子機能制御レジスタ	P44PFS	8	8		
0008 C165h	MPC	P45 端子機能制御レジスタ	P45PFS	8	8		
0008 C166h	MPC	P46 端子機能制御レジスタ	P46PFS	8	8		
0008 C167h	MPC	P47 端子機能制御レジスタ	P47PFS	8	8		
0008 C178h	MPC	P70 端子機能制御レジスタ	P70PFS	8	8		
0008 C179h	MPC	P71 端子機能制御レジスタ	P71PFS	8	8		
0008 C17Ah	MPC	P72 端子機能制御レジスタ	P72PFS	8	8		
0008 C17Bh	MPC	P73 端子機能制御レジスタ	P73PFS	8	8		
0008 C17Ch	MPC	P74 端子機能制御レジスタ	P74PFS	8	8		
0008 C17Dh	MPC	P75 端子機能制御レジスタ	P75PFS	8	8		
0008 C17Eh	MPC	P76 端子機能制御レジスタ	P76PFS	8	8		
0008 C188h	MPC	P90 端子機能制御レジスタ	P90PFS	8	8		
0008 C189h	MPC	P91 端子機能制御レジスタ	P91PFS	8	8		
0008 C18Ah	MPC	P92 端子機能制御レジスタ	P92PFS	8	8		
0008 C18Bh	MPC	P93 端子機能制御レジスタ	P93PFS	8	8		
0008 C18Ch	MPC	P94 端子機能制御レジスタ	P94PFS	8	8		
0008 C18Dh	MPC	P95 端子機能制御レジスタ	P95PFS	8	8		
0008 C18Eh	MPC	P96 端子機能制御レジスタ	P96PFS	8	8		
0008 C18Fh	MPC	P97 端子機能制御レジスタ	P97PFS	8	8		
0008 C198h	MPC	PB0 端子機能制御レジスタ	PB0PFS	8	8		
0008 C199h	MPC	PB1 端子機能制御レジスタ	PB1PFS	8	8		
0008 C19Ah	MPC	PB2 端子機能制御レジスタ	PB2PFS	8	8		
0008 C19Bh	MPC	PB3 端子機能制御レジスタ	PB3PFS	8	8		
0008 C19Ch	MPC	PB4 端子機能制御レジスタ	PB4PFS	8	8		

表5.1 I/O レジスタアドレス一覧 (10/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB	18 章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8		
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8		
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8		
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8		
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8		
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8		
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8		
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8		
0008 C1C7h	MPC	PG7端子機能制御レジスタ	PG7PFS	8	8		
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4 ~ 5PCLKB	6 章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8		
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB	9 章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCCR	8	8	4 ~ 5PCLKB	8 章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLRL	8	8		
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8		
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8		
0009 5200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKB	19 章
0009 5201h	MTU4	タイマコントロールレジスタ	TCR	8	8		
0009 5202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16		
0009 5203h	MTU4	タイマモードレジスタ1	TMDR1	8	8		
0009 5204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32		
0009 5205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8		
0009 5206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8, 16		
0009 5207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8		
0009 5208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16		
0009 5209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8		
0009 520Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8		
0009 520Dh	MTU	タイマゲートコントロールレジスタA	TGCRA	8	8		
0009 520Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8, 16		
0009 520Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8		
0009 5210h	MTU3	タイマカウンタ	TCNT	16	16, 32		
0009 5212h	MTU4	タイマカウンタ	TCNT	16	16		
0009 5214h	MTU	タイマ周期データレジスタA	TCDRA	16	16, 32		
0009 5216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16		
0009 5218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16, 32		
0009 521Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16		
0009 521Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16, 32		
0009 521Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16		
0009 5220h	MTU	タイマサバカウンタA	TCNTSA	16	16, 32		
0009 5222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16		
0009 5224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16, 32		
0009 5226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16		
0009 5228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16, 32		
0009 522Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16		
0009 522Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16		
0009 522Dh	MTU4	タイマステータスレジスタ	TSR	8	8		
0009 5230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8, 16		
0009 5231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8		
0009 5232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8		
0009 5234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8		

表5.1 I/O レジスタアドレス一覧 (11/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0009 5236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4 ~ 5PCLKB	19 章
0009 5238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16		
0009 5239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8		
0009 523Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8		
0009 523Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8		
0009 523Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8		
0009 5240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16		
0009 5244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32		
0009 5246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16		
0009 5248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32		
0009 524Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16		
0009 524Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8		
0009 524Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8		
0009 5260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8		
0009 5270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8		
0009 5272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16		
0009 5274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16		
0009 5276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16		
0009 5280h	MTU	タイマスタートレジスタA	TSTRA	8	8, 16		
0009 5281h	MTU	タイマシンクロレジスタA	TSYRA	8	8		
0009 5282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8		
0009 5284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8		
0009 5290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8		
0009 5291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8		
0009 5292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8		
0009 5293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8		
0009 5294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8		
0009 5295h	MTU5	ノイズフィルタコントロールレジスタ5	NFCR5	8	8		
0009 5299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8		
0009 5300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32		
0009 5301h	MTU0	タイマモードレジスタ1	TMDR1	8	8		
0009 5302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8, 16		
0009 5303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8		
0009 5304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32		
0009 5306h	MTU0	タイマカウンタ	TCNT	16	16		
0009 5308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16, 32		
0009 530Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16		
0009 530Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16, 32		
0009 530Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16		
0009 5320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16, 32		
0009 5322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16		
0009 5324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16		
0009 5326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8		
0009 5328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8		
0009 5380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16		
0009 5381h	MTU1	タイマモードレジスタ1	TMDR1	8	8		
0009 5382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8		
0009 5384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32		
0009 5385h	MTU1	タイマステータスレジスタ	TSR	8	8		
0009 5386h	MTU1	タイマカウンタ	TCNT	16	16		
0009 5388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16, 32		

表5.1 I/O レジスタアドレス一覧 (12/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0009 538Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKB	19 章
0009 5390h	MTU1	タイマインพุットキャプチャコントロールレジスタ	TICCR	8	8		
0009 5391h	MTU1	タイマモードレジスタ3	TMDR3	8	8		
0009 5394h	MTU1	タイマコントロールレジスタ2	TCR2	8	8		
0009 53A0h	MTU1	タイマロングワードカウンタ	TCNTLW	32	32		
0009 53A4h	MTU1	タイマロングワードジェネラルレジスタA	TGRALW	32	32		
0009 53A8h	MTU1	タイマロングワードジェネラルレジスタB	TGRBLW	32	32		
0009 5400h	MTU2	タイマコントロールレジスタ	TCR	8	8, 16		
0009 5401h	MTU2	タイマモードレジスタ1	TMDR1	8	8		
0009 5402h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8		
0009 5404h	MTU2	タイマインタラプティネーブルレジスタ	TIER	8	8, 16, 32		
0009 5405h	MTU2	タイマステータスレジスタ	TSR	8	8		
0009 5406h	MTU2	タイマカウンタ	TCNT	16	16		
0009 5408h	MTU2	タイマジェネラルレジスタA	TGRA	16	16, 32		
0009 540Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16		
0009 540Ch	MTU2	タイマコントロールレジスタ2	TCR2	8	8		
0009 5480h	MTU5	タイマカウンタU	TCNTU	16	16, 32		
0009 5482h	MTU5	タイマジェネラルレジスタU	TGRU	16	16		
0009 5484h	MTU5	タイマコントロールレジスタU	TCRU	8	8		
0009 5485h	MTU5	タイマコントロールレジスタ2U	TCR2U	8	8		
0009 5486h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8		
0009 5490h	MTU5	タイマカウンタV	TCNTV	16	16, 32		
0009 5492h	MTU5	タイマジェネラルレジスタV	TGRV	16	16		
0009 5494h	MTU5	タイマコントロールレジスタV	TCRV	8	8		
0009 5495h	MTU5	タイマコントロールレジスタ2V	TCR2V	8	8		
0009 5496h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8		
0009 54A0h	MTU5	タイマカウンタW	TCNTW	16	16, 32		
0009 54A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16		
0009 54A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8		
0009 54A5h	MTU5	タイマコントロールレジスタ2W	TCR2W	8	8		
0009 54A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8		
0009 54B2h	MTU5	タイマインタラプティネーブルレジスタ	TIER	8	8		
0009 54B4h	MTU5	タイマスタートレジスタ	TSTR	8	8		
0009 54B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8		
0009 5D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4 ~ 5PCLKB	21 章
0009 5D32h	MTU	A/D変換開始要求選択レジスタ1	TADSTRGR1	8	8		
0009 6000h	GPTW0	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32		
0009 6004h	GPTW0	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32		
0009 6008h	GPTW0	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32		
0009 600Ch	GPTW0	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32		
0009 6010h	GPTW0	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32		
0009 6014h	GPTW0	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32		
0009 6018h	GPTW0	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32		
0009 6024h	GPTW0	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタA	GTICASR	32	32		
0009 6028h	GPTW0	汎用PWMタイマインพุットキャプチャ要因セレクトレジスタB	GTICBSR	32	32		
0009 602Ch	GPTW0	汎用PWMタイマ制御レジスタ	GTCR	32	32		
0009 6030h	GPTW0	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32		
0009 6034h	GPTW0	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32		
0009 6038h	GPTW0	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32		
0009 603Ch	GPTW0	汎用PWMタイマステータスレジスタ	GTST	32	32		
0009 6040h	GPTW0	汎用PWMタイマバッファイネーブルレジスタ	GTBER	32	32		

表5.1 I/O レジスタアドレス一覧 (13/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0009 6044h	GPTW0	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32	4 ~ 5PCLKB	21 章
0009 6048h	GPTW0	汎用PWMタイマカウンタ	GTCNT	32	32		
0009 604Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32		
0009 6050h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32		
0009 6054h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32		
0009 6058h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32		
0009 605Ch	GPTW0	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32		
0009 6060h	GPTW0	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	32	32		
0009 6064h	GPTW0	汎用PWMタイマ周期設定レジスタ	GTPR	32	32		
0009 6068h	GPTW0	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32		
0009 606Ch	GPTW0	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32		
0009 6070h	GPTW0	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32		
0009 6074h	GPTW0	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32		
0009 6078h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDRA	32	32		
0009 607Ch	GPTW0	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32		
0009 6080h	GPTW0	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32		
0009 6084h	GPTW0	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32		
0009 6088h	GPTW0	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32		
0009 608Ch	GPTW0	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32		
0009 6090h	GPTW0	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32		
0009 6094h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32		
0009 6098h	GPTW0	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32		
0009 609Ch	GPTW0	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32		
0009 60A0h	GPTW0	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32		
0009 60A4h	GPTW0	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32		
0009 60D0h	GPTW0	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32		
0009 60D4h	GPTW0	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32		
0009 60E0h	GPTW0	汎用PWMタイマバッファファイナブルレジスタ2	GTBER2	32	32		
0009 60ECh	GPTW0	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32		
0009 6100h	GPTW1	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32		
0009 6104h	GPTW1	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32		
0009 6108h	GPTW1	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32		
0009 610Ch	GPTW1	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32		
0009 6110h	GPTW1	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32		
0009 6114h	GPTW1	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32		
0009 6118h	GPTW1	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32		
0009 6124h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32		
0009 6128h	GPTW1	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32		
0009 612Ch	GPTW1	汎用PWMタイマ制御レジスタ	GTCR	32	32		
0009 6130h	GPTW1	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	32	32		
0009 6134h	GPTW1	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32		
0009 6138h	GPTW1	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32		
0009 613Ch	GPTW1	汎用PWMタイマステータスレジスタ	GTST	32	32		
0009 6140h	GPTW1	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32		
0009 6144h	GPTW1	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32		
0009 6148h	GPTW1	汎用PWMタイマカウンタ	GTCNT	32	32		
0009 614Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32		
0009 6150h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32		
0009 6154h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32		
0009 6158h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32		
0009 615Ch	GPTW1	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32		

表5.1 I/O レジスタアドレス一覧 (14/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0009 6160h	GPTW1	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRf	32	32	4 ~ 5PCLKB	21 章
0009 6164h	GPTW1	汎用PWMタイマ周期設定レジスタ	GTPR	32	32		
0009 6168h	GPTW1	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32		
0009 616Ch	GPTW1	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32		
0009 6170h	GPTW1	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32		
0009 6174h	GPTW1	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32		
0009 6178h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	32	32		
0009 617Ch	GPTW1	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32		
0009 6180h	GPTW1	A/D変換開始要求タイミングバッファレジスタB	GTADTBRA	32	32		
0009 6184h	GPTW1	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTBRA	32	32		
0009 6188h	GPTW1	汎用PWMタイマデッドタイム制御レジスタ	GTDTCR	32	32		
0009 618Ch	GPTW1	汎用PWMタイマデッドタイム値レジスタU	GTUVU	32	32		
0009 6190h	GPTW1	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32		
0009 6194h	GPTW1	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32		
0009 6198h	GPTW1	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32		
0009 619Ch	GPTW1	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32		
0009 61A0h	GPTW1	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32		
0009 61A4h	GPTW1	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32		
0009 61D0h	GPTW1	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32		
0009 61D4h	GPTW1	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32		
0009 61E0h	GPTW1	汎用PWMタイマバッファファイナブルレジスタ2	GTBER2	32	32		
0009 61ECh	GPTW1	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32		
0009 6200h	GPTW2	汎用PWMタイマ書き込み保護レジスタ	GTWP	32	32		
0009 6204h	GPTW2	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	32	32		
0009 6208h	GPTW2	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	32	32		
0009 620Ch	GPTW2	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	32	32		
0009 6210h	GPTW2	汎用PWMタイマスタート要因セレクトレジスタ	GTSSR	32	32		
0009 6214h	GPTW2	汎用PWMタイマストップ要因セレクトレジスタ	GTPSR	32	32		
0009 6218h	GPTW2	汎用PWMタイマクリア要因セレクトレジスタ	GTCSR	32	32		
0009 6224h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタA	GTICASR	32	32		
0009 6228h	GPTW2	汎用PWMタイマインプットキャプチャ要因セレクトレジスタB	GTICBSR	32	32		
0009 622Ch	GPTW2	汎用PWMタイマ制御レジスタ	GTCR	32	32		
0009 6230h	GPTW2	汎用PWMタイマカウンタ方向、デューティ設定レジスタ	GTUDDTYC	32	32		
0009 6234h	GPTW2	汎用PWMタイマI/O制御レジスタ	GTIOR	32	32		
0009 6238h	GPTW2	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	32	32		
0009 623Ch	GPTW2	汎用PWMタイマステータスレジスタ	GTST	32	32		
0009 6240h	GPTW2	汎用PWMタイマバッファファイナブルレジスタ	GTBER	32	32		
0009 6244h	GPTW2	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	32	32		
0009 6248h	GPTW2	汎用PWMタイマカウンタ	GTCNT	32	32		
0009 624Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	32	32		
0009 6250h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	32	32		
0009 6254h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	32	32		
0009 6258h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	32	32		
0009 625Ch	GPTW2	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	32	32		
0009 6260h	GPTW2	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRf	32	32		
0009 6264h	GPTW2	汎用PWMタイマ周期設定レジスタ	GTPR	32	32		
0009 6268h	GPTW2	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	32	32		
0009 626Ch	GPTW2	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	32	32		
0009 6270h	GPTW2	A/D変換開始要求タイミングレジスタA	GTADTRA	32	32		
0009 6274h	GPTW2	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	32	32		
0009 6278h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTBRA	32	32		

表5.1 I/O レジスタアドレス一覧 (15/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0009 627Ch	GPTW2	A/D変換開始要求タイミングレジスタB	GTADTRB	32	32	4 ~ 5PCLKB	21 章
0009 6280h	GPTW2	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	32	32		
0009 6284h	GPTW2	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	32	32		
0009 6288h	GPTW2	汎用PWMタイマデッドタイム制御レジスタ	GTDTCCR	32	32		
0009 628Ch	GPTW2	汎用PWMタイマデッドタイム値レジスタU	GTDVU	32	32		
0009 6290h	GPTW2	汎用PWMタイマデッドタイム値レジスタD	GTDVD	32	32		
0009 6294h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	32	32		
0009 6298h	GPTW2	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	32	32		
0009 629Ch	GPTW2	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	32	32		
0009 62A0h	GPTW2	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	32	32		
0009 62A4h	GPTW2	汎用PWMタイマA/D変換開始要求信号モニタレジスタ	GTADSMR	32	32		
0009 62D0h	GPTW2	汎用PWMタイマ動作許可ビット同時制御チャネル選択レジスタ	GTSECSR	32	32		
0009 62D4h	GPTW2	汎用PWMタイマ動作許可ビット同時制御レジスタ	GTSECR	32	32		
0009 62E0h	GPTW2	汎用PWMタイマバッファイネーブルレジスタ2	GTBER2	32	32		
0009 62ECh	GPTW2	汎用PWMタイマチャネル間連携インプットキャプチャ制御レジスタ	GTICCR	32	32		
0009 E000h	POEG	POEGグループA設定レジスタ	POEGGA	32	32	2 ~ 3PCLKB	22 章
0009 E004h	POEG	POEGグループA入力制御レジスタ	POEGICRA	32	32		
0009 E040h	POEG	GPTW出力停止制御グループA書き込み保護レジスタ	GTONCWPA	16	16		
0009 E044h	POEG	GPTW出力停止制御グループAコントロールレジスタ	GTONCCRA	16	16		
0009 E400h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	16	2 ~ 3PCLKB	20 章
0009 E402h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	16		
0009 E408h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	16		
0009 E40Bh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8		
0009 E40Ch	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16		
0009 E40Eh	POE	ポートアウトブッティネーブルコントロールレジスタ3	POECR3	16	16		
0009 E410h	POE	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16		
0009 E412h	POE	ポートアウトブッティネーブルコントロールレジスタ5	POECR5	16	16		
0009 E414h	POE	ポートアウトブッティネーブルコントロールレジスタ6	POECR6	16	16		
0009 E416h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	16		
0009 E418h	POE	入力レベルコントロール/ステータスレジスタ5	ICSR5	16	16		
0009 E41Ah	POE	アクティブレベルレジスタ1	ALR1	16	16		
0009 E41Ch	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16		
0009 E420h	POE	入力レベルコントロール/ステータスレジスタ7	ICSR7	16	16		
0009 E426h	POE	ポートアウトブッティネーブルコンパレータ検出フラグレジスタ	POECMPFR	16	16		
0009 E428h	POE	ポートアウトブッティネーブルコンパレータ要求選択レジスタ	POECMPSEL	16	16		
0009 E42Ah	POE	出力レベルコントロール/ステータスレジスタ3	OCSR3	16	16		
0009 E42Ch	POE	アクティブレベルレジスタ3	ALR3	16	16		
0009 E42Eh	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	16	16		
0009 E430h	POE	ポートモードマスクコントロールレジスタ0	PMMCR0	16	16		
0009 E432h	POE	ポートモードマスクコントロールレジスタ1	PMMCR1	16	16		
0009 E434h	POE	ポートモードマスクコントロールレジスタ2	PMMCR2	16	16		
0009 E438h	POE	ポートアウトブッティネーブルコンパレータ要求拡張選択レジスタ0	POECMPPEX0	8	8		
0009 E43Ah	POE	ポートアウトブッティネーブルコンパレータ要求拡張選択レジスタ2	POECMPPEX2	8	8		
0009 E43Ch	POE	ポートアウトブッティネーブルコンパレータ要求拡張選択レジスタ4	POECMPPEX4	8	8		
0009 E43Dh	POE	ポートアウトブッティネーブルコンパレータ要求拡張選択レジスタ5	POECMPPEX5	8	8		
0009 E450h	POE	ポートアウトブッティネーブルコントロールレジスタ6B	POECR6B	16	16		
0009 E452h	POE	ポートアウトブッティネーブルコントロールレジスタ9	POECR9	16	16		
0009 E458h	POE	ポートアウトブッティネーブルコンパレータ要求拡張選択レジスタ6	POECMPPEX6	8	8		
0009 E45Ch	POE	入力信号マスク制御レジスタ0	IMCR0	8	8		
0009 E45Eh	POE	入力信号マスク制御レジスタ2	IMCR2	8	8		
0009 E45Fh	POE	入力信号マスク制御レジスタ3	IMCR3	8	8		

表5.1 I/O レジスタアドレス一覧 (16/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
0009 E460h	POE	MTU0端子選択レジスタ1	M0SELR1	8	8	2 ~ 3PCLKB	20 章
0009 E461h	POE	MTU0端子選択レジスタ2	M0SELR2	8	8		
0009 E462h	POE	MTU3端子選択レジスタ	M3SELR	8	8		
0009 E463h	POE	MTU4端子選択レジスタ1	M4SELR1	8	8		
0009 E464h	POE	MTU4端子選択レジスタ2	M4SELR2	8	8		
0009 E46Ah	POE	GPTW0端子選択レジスタ	G0SELR	8	8		
0009 E46Bh	POE	GPTW1端子選択レジスタ	G1SELR	8	8		
0009 E46Ch	POE	GPTW2端子選択レジスタ	G2SELR	8	8		
0009 E474h	POE	入力信号マスク制御レジスタ4	IMCR4	8	8		
0009 E475h	POE	入力信号マスク制御レジスタ5	IMCR5	8	8		
0009 E479h	POE	入力信号マスク制御レジスタ9	IMCR9	8	8		
0009 E47Ah	POE	入力信号マスク制御レジスタ10	IMCR10	8	8	1 ~ 2PCLKB	34 章
0009 E47Bh	POE	入力信号マスク制御レジスタ11	IMCR11	8	8		
000A 0C80h	CMPC0	コンパレータ制御レジスタ	CMPCTL	8	8		
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8		
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8		
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ	CMPMON	8	8		
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ	CMPIOC	8	8		
000A 0C98h	CMPC0	コンパレータ制御レジスタ2	CMPCTL2	8	8		
000A 0C9Ch	CMPC0	ノイズフィルタ設定レジスタ	CMPNFS	8	8		
000A 0CA0h	CMPC1	コンパレータ制御レジスタ	CMPCTL	8	8		
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8		
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8		
000A 0CACH	CMPC1	コンパレータ出力モニタレジスタ	CMPMON	8	8		
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ	CMPIOC	8	8		
000A 0CB8h	CMPC1	コンパレータ制御レジスタ2	CMPCTL2	8	8		
000A 0CBCh	CMPC1	ノイズフィルタ設定レジスタ	CMPNFS	8	8		
000A 0CC0h	CMPC2	コンパレータ制御レジスタ	CMPCTL	8	8		
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ	CMPSEL0	8	8		
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ	CMPSEL1	8	8		
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ	CMPMON	8	8		
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ	CMPIOC	8	8		
000A 0CD8h	CMPC2	コンパレータ制御レジスタ2	CMPCTL2	8	8		
000A 0CDCh	CMPC2	ノイズフィルタ設定レジスタ	CMPNFS	8	8		
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2 ~ 3FCLK	37 章
007F C228h	TEMPS	温度センサ校正データレジスタ	TSCDR	16	16	2 ~ 3FCLK	33 章
007F C100h	FLASH	フラッシュ P/Eモード制御レジスタ	FPMCR	8	8	2 ~ 3FCLK	37 章
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8		
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16		
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16		
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8		
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16		
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16		
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8		
007F C128h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8		
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8		
007F C130h	FLASH	フラッシュライトバッファレジスタ0	FWB0	16	16		
007F C138h	FLASH	フラッシュライトバッファレジスタ1	FWB1	16	16		
007F C140h	FLASH	フラッシュライトバッファレジスタ2	FWB2	16	16		
007F C144h	FLASH	フラッシュライトバッファレジスタ3	FWB3	16	16		
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8		

表5.1 I/O レジスタアドレス一覧 (17/17)

アドレス	モジュール シンボル	レジスタ名	レジスタシンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2 ~ 3FCLK	37 章
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16		
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16		
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16		
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8		
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8		
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16		
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16		
007F C350h	FLASH	ユニークIDレジスタ0	UIDR0	32	32		
007F C354h	FLASH	ユニークIDレジスタ1	UIDR1	32	32		
007F C358h	FLASH	ユニークIDレジスタ2	UIDR2	32	32		
007F C35Ch	FLASH	ユニークIDレジスタ3	UIDR3	32	32		
007F FFB0h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16		
007F FFC0h	FLASH	メモリウェイトサイクル設定レジスタ	MEMWAITR	16	16		
FFFF FF80h	OFSM	エンディアン選択レジスタ	MDE	32	32	1ICLK	7 章
FFFF FF88h	OFSM	オプション機能選択レジスタ1	OFS1	32	32		
FFFF FF8Ch	OFSM	オプション機能選択レジスタ0	OFS0	32	32		

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視 0 リセット、電圧監視 1 リセット、電圧監視 2 リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表 6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇(監視電圧：VPOR)(注1)
電圧監視0リセット	VCCの下降(監視電圧：Vdet0)(注1)
電圧監視1リセット	VCCの下降(監視電圧：Vdet1)(注1)
電圧監視2リセット	VCCの下降(監視電圧：Vdet2)(注1)
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧(VPOR, Vdet0, Vdet1, Vdet2)については、「8. 電圧検出回路(LVDAb)」、「38. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因						
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—
コールドスタート/ウォームスタート判別 フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—
独立ウォッチドッグタイマリセット検出 フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR, IWDTCR, IWDTSR, IWDTRCR, IWDTCSTPR, ILOCOCR)	○	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0, LVCMPCR.LVD1E, LVDLVL.R.LVD1LVL[3:0])	○	○	○	○	—	—	—
(LVD1CR1, LVD1SR)	○	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0, LVCMPCR.LVD2E, LVDLVL.R.LVD2LVL[1:0])	○	○	○	○	○	—	—
(LVD2CR1, LVD2SR)	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	—
動作モード (注2)	○	○	—	—	—	—	—
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

注2. リセット解除時のモード設定端子の状態によって動作モードが決定されます。詳細は「3. 動作モード」を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス SYSTEM.RSTSR0 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0 (注1)	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0 : パワーオンリセット未検出 1 : パワーオンリセット検出	R/(W) (注2)
b1	LVD0RF	電圧監視0リセット検出フラグ	0 : 電圧監視0リセット未検出 1 : 電圧監視0リセット検出	R/(W) (注2)
b2	LVD1RF	電圧監視1リセット検出フラグ	0 : 電圧監視1リセット未検出 1 : 電圧監視1リセット検出	R/(W) (注2)
b3	LVD2RF	電圧監視2リセット検出フラグ	0 : 電圧監視2リセット未検出 1 : 電圧監視2リセット検出	R/(W) (注2)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視0リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD1RF フラグ (電圧監視1リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD2RF フラグ (電圧監視 2 リセット検出フラグ)

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1 (RSTSR1)

アドレス SYSTEM.RSTSR1 0008 C291h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0 : コールドスタート 1 : ウォームスタート	R/(W) (注2)
b7-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをセットするための"1"書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かを判定するレジスタです。

CWSF フラグ (コールドスタート/ウォームスタート判別フラグ)

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

["1" になる条件]

- プログラムで"1"を書いたとき。"0"を書いても変化しません。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス SYSTEM.RSTSR2 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	—	IWDTRF
リセット後の値	0	0	0	0	0	0 (注1)	0	0 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注2)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注2)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後の値は、リセット要因で異なります。

注2. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

[“1”になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

[“1”になる条件]

- ソフトウェアリセットを行なったとき

[“0”になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス SYSTEM.SWRR 0008 00C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SWRR レジスタに“A501h”を書くと MCU がリセットされます。読むと“0000h”が読めます。このレジスタは PRCR.PRC1 ビットを“1”(書き込み許可)にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (t_{RESWT}) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「38. 電气的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に V_{IH} 以上になるようにしてください。 V_{IH} は、「38. 電气的特性」を参照してください。VCC が V_{POR} を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 レベル選択ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットが発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が V_{det0} を超えると、LVD0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDA_b)」を参照してください。

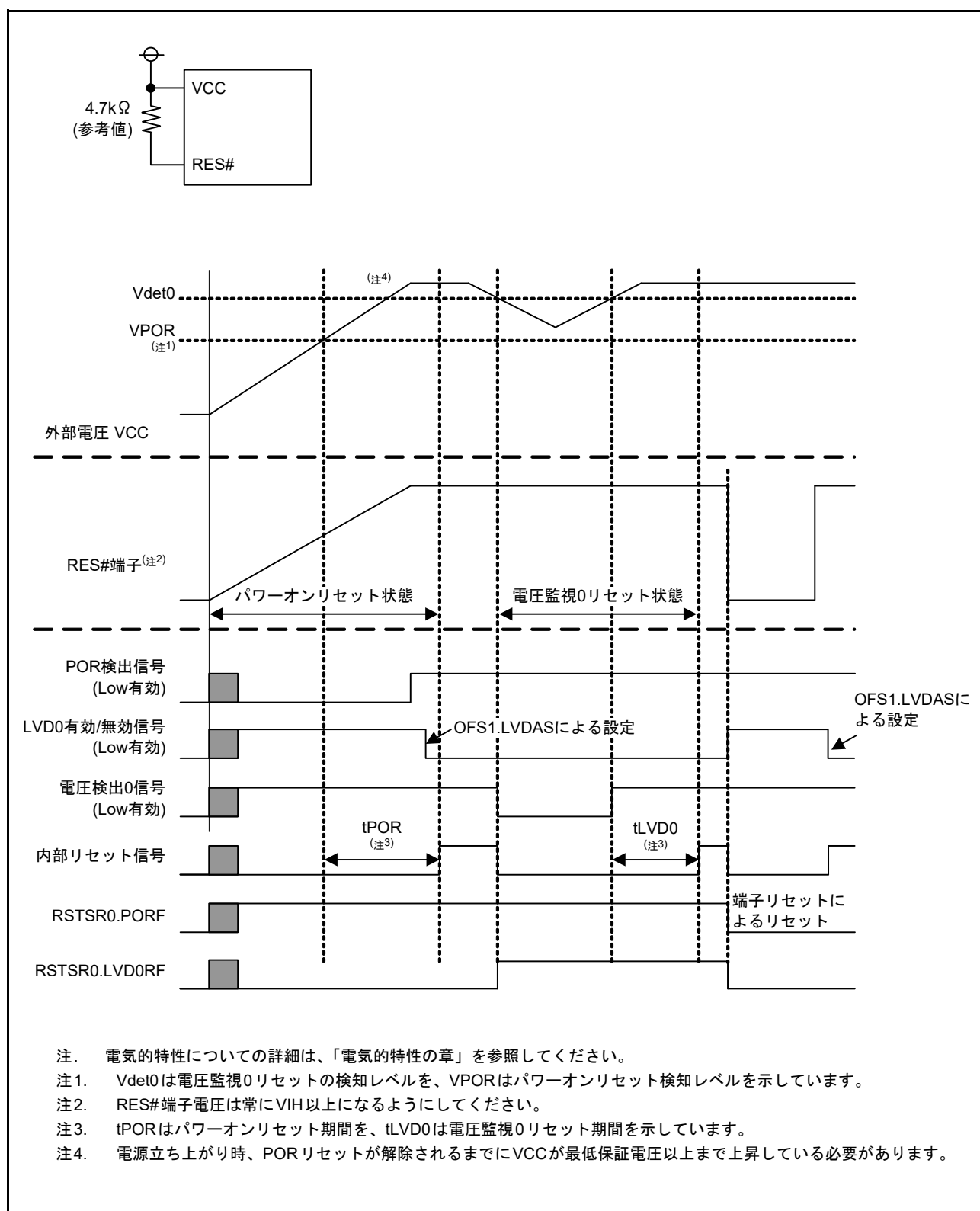


図 6.1 パワーオンリセット、電圧監視 0 リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み / リセット許可ビット (LVD1RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが “1” になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み / リセット許可ビット (LVD2RIE) が “1” (電圧検出回路によるリセット / 割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が “1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが “1” になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが “0” のとき、VCC が V_{det1} 以下になり、その後 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが “1” のとき、VCC が V_{det1} 以下になってから LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

V_{det1} 、および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

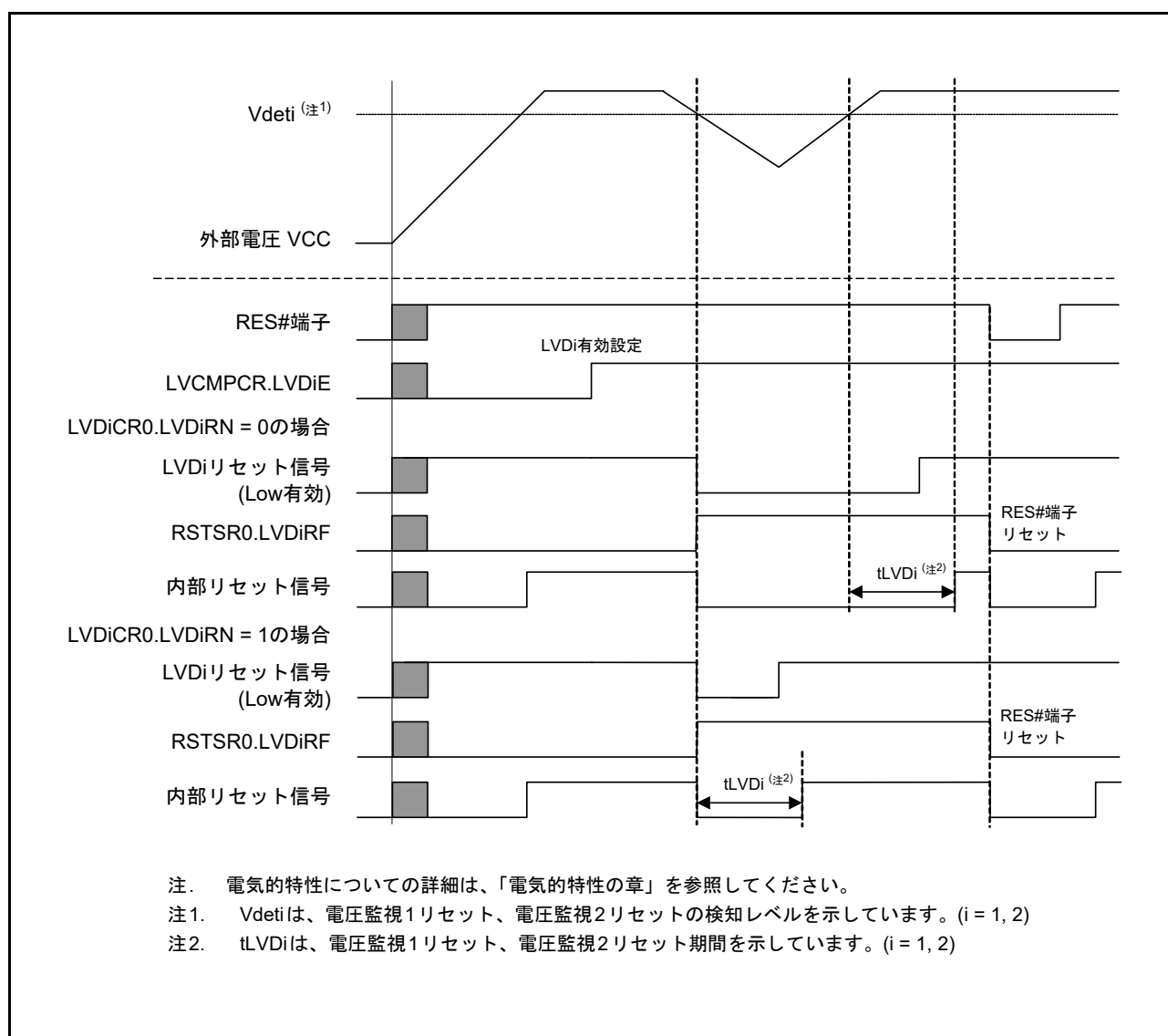


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.5 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.6 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理 (コールドスタート) か、動作中にリセット信号が入力されたときのリセット処理 (ウォームスタート) かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0” (コールドスタート) になります。その他のリセットを行っても“0” になりません。また、プログラムで“1” を書くと、“1” になります。“0” を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

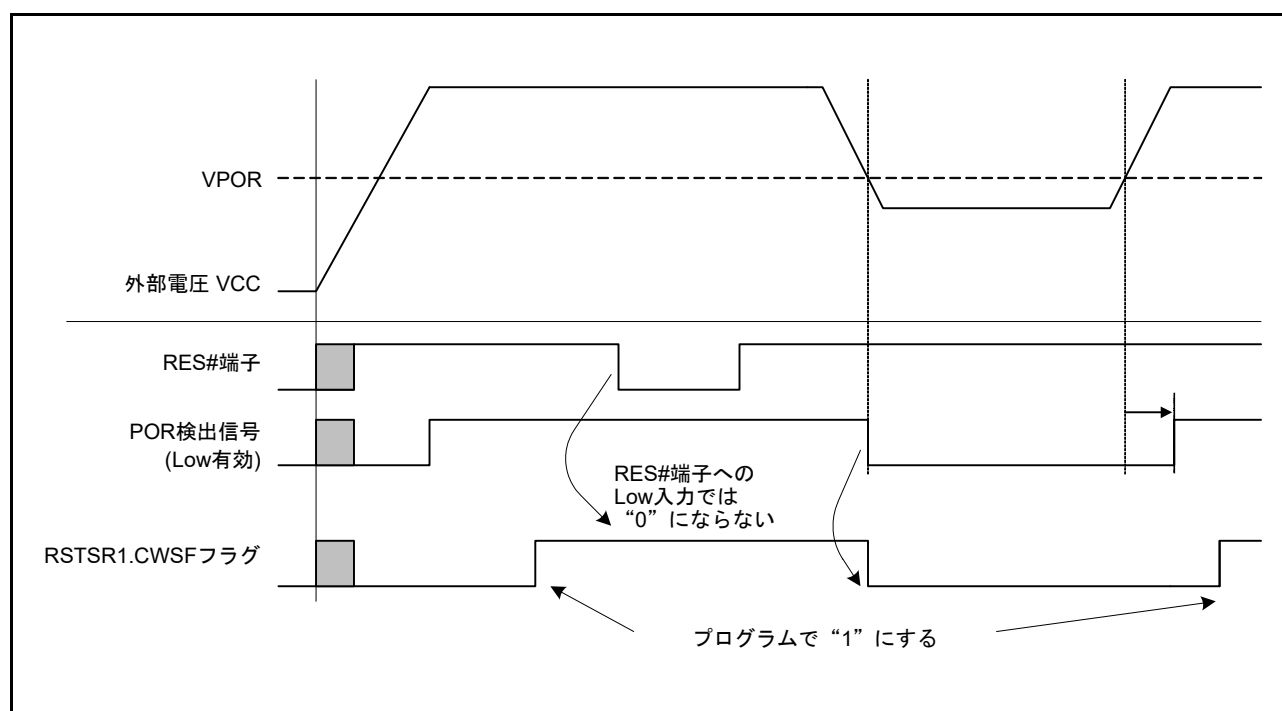


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.7 リセット発生要因の判定

RSTSR0 レジスタと RSTSR2 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

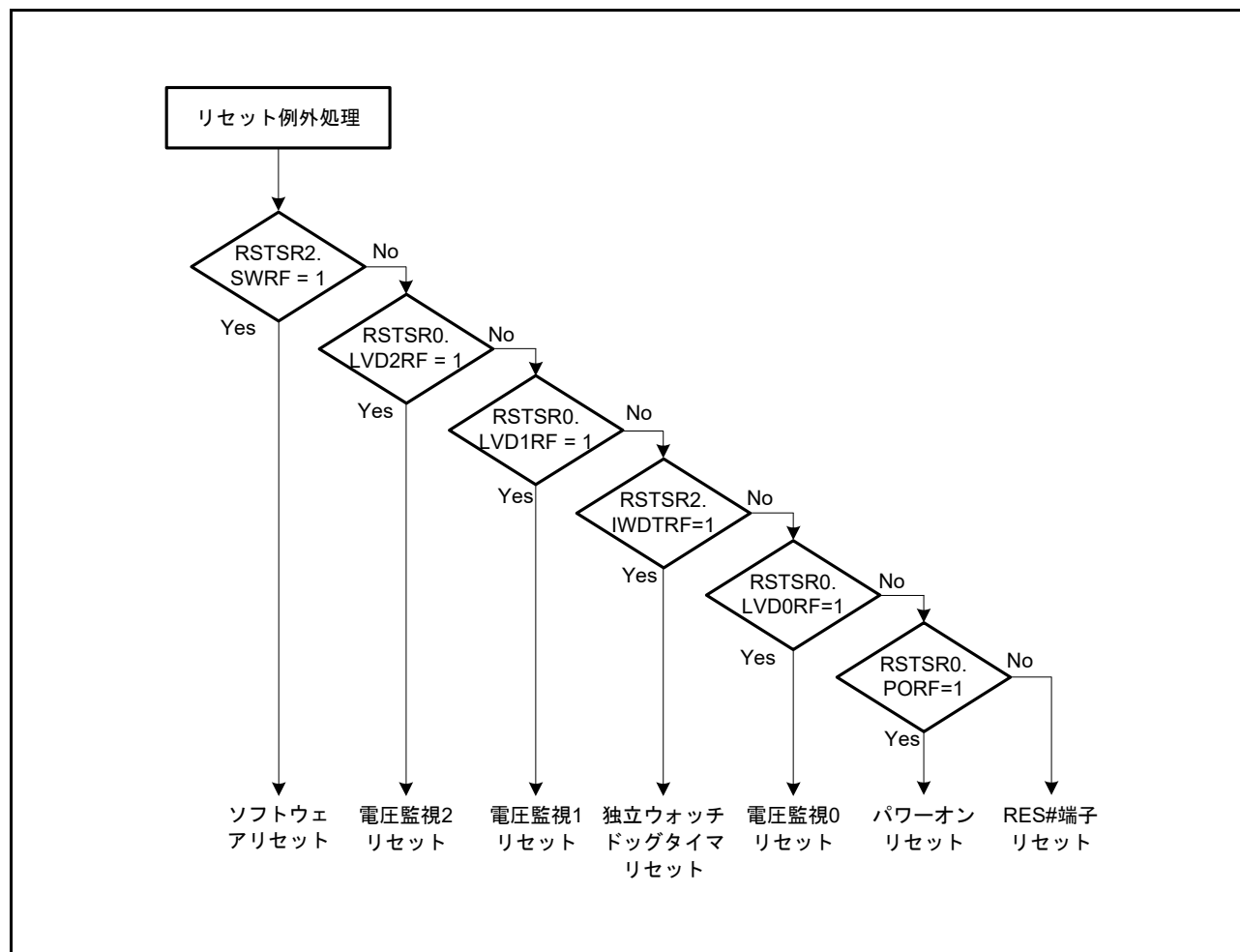


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ (OFSM)

7.1 概要

オプション設定メモリ (OFSM) は、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM 上にあります。

図 7.1 にオプション設定メモリ領域を示します。

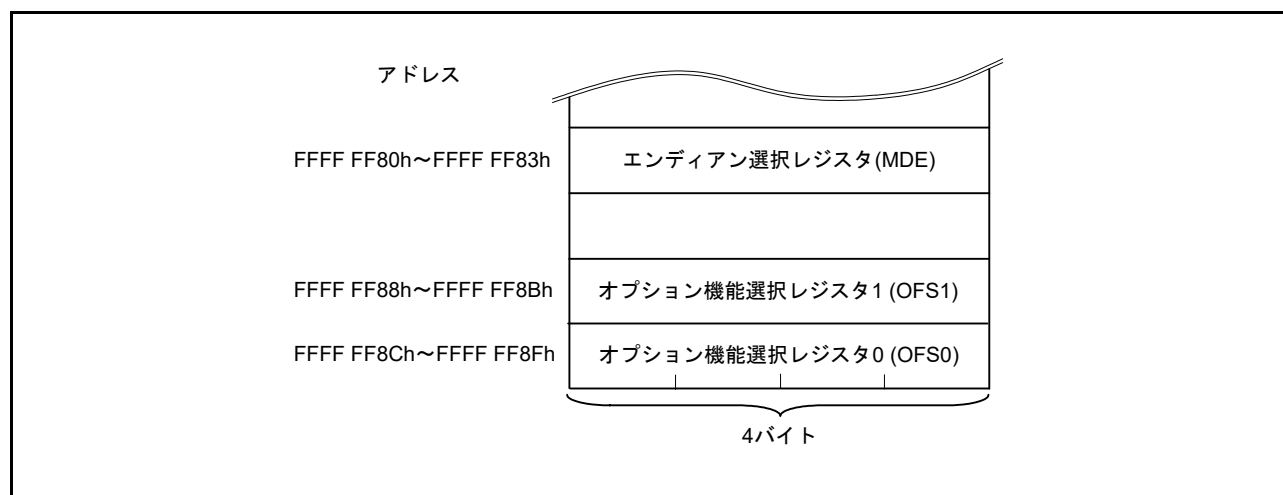


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス OFSM.OFS0 FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTSLCSTP	—	IWDTSTRQSS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCCKS[3:0]				IWDTTOPPS[1:0]		IWDTSTR	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：128サイクル(00FFh) 0 1：512サイクル(01FFh) 1 0：1024サイクル(03FFh) 1 1：2048サイクル(07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDTSTRIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクابل割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTSLCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS0 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ブートモード時は OFS0 レジスタの値は無視され、“FFFF FFFFh” が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後の IWDT の起動モード (停止状態、またはオートスタートモードでの起動) が選択できます。オートスタートモードでの起動の場合、IWDT の設定は、OFS0 レジスタの設定が有効となります。

IWDTTIPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間を IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDT 専用クロック数) は、IWDTCKS[3:0] ビットと IWDTTIPS[1:0] ビットの組み合わせにより決定します。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT 専用クロックを分周するプリスケアラの分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。IWDTTIPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDT 専用クロックの 128 ～ 524288 クロックの間で設定できます。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、IWDTTIPS[1:0] ビットの設定により変わります。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止を選択します。

詳細は「25. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス OFSM.OFS1 FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	HOCOFRQ[1:0]	—	—	—	—	HOCOEN	—	—	—	—	FASTSTUP	LVDAS	VDSEL[1:0]	—

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0 : 3.85 Vを選択 0 1 : 2.85 Vを選択 1 0 : 2.53 Vを選択 電圧検出0回路を使用する場合は、上記以外は設定しないでください	R
b2	LVDAS	電圧検出0回路起動ビット	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R
b3	FASTSTUP	電源立ち上げ時起動時間短縮ビット	0 : 電源立ち上げ時起動時間短縮 1 : 通常起動	R
b7-b4	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0 : リセット後、HOCO発振が有効 1 : リセット後、HOCO発振が無効	R
b11-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b13-b12	HOCOFRQ[1:0]	HOCO周波数選択ビット	b13 b12 0 0 : 64 MHzを選択 0 1 : 48 MHzを選択 1 0 : 24 MHzを選択 1 1 : 32 MHzを選択	R
b31-b14	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

OFS1 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時はOFS1 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出0レベル選択ビット)

電圧検出0回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出0回路起動ビット)

リセット後、電圧監視0リセットを有効にするか無効にするかを選択します。

電圧検出0回路で監視するVdet0電圧は、VDSEL[1:0]ビットで選択します。

FASTSTUP ビット (電源立ち上げ時起動時間短縮ビット)

電气的特性の電源投入時 VCC 立ち上がり勾配 (起動時間短縮時) を満たせる場合、本ビットを “0” (電源立ち上げ時起動時間短縮) に設定すると、起動時間を短縮することができます。電源投入時 VCC 立ち上がり勾配 (起動時間短縮時) を満たせない場合は、本ビットに “0” を設定しないでください。

HOCOEN ビット (HOCO 発振有効ビット)

リセット後、HOCO 用発振を有効にするか無効にするかを選択します。

HOCOEN ビットを “0” にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを “0” にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

また、HOCOEN ビットに “0” を設定している場合、HOCO 発振安定時間 (tHOCO) はハードウェアで確保されているため、CPU リセット解除後から電气的特性に記載の HOCO 発振周波数 (fHOCO) の精度のクロックが供給されます。

7.2.3 エンディアン選択レジスタ (MDE)

アドレス OFSM.MDE FFFF FF80h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	ユーザの設定値 (注1)															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]		
リセット後の値	ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0: ビッグエンディアン 1 1 1: リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1” にしてください	R

注1. ブランク品では、“FFFF FFFFh”です。ユーザプログラムを書いた後は、設定した値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。

MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは “FFFF FFFFh” になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン / ビッグエンディアンを選択します。

7.3 使用上の注意事項

7.3.1 オプション設定メモリの設定例

オプション設定メモリはROM上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに“FFFF FFF8h”を設定する場合
 .ORG 0FFFFFFF8CH
 .LWORD 0FFFFFFF8H

注． プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDAb)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 はオプション機能選択レジスタ 1 (OFS1) で、検出電圧を 3 レベルから選択できます。

電圧検出 1 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 10 レベルから選択できます。

電圧検出 2 は、LVDLVLR レジスタで検出電圧を 4 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット / 割り込み、電圧監視 2 リセット / 割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路ブロック図を、図 8.2 に電圧監視 1 割り込み / リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み / リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出電圧	OFS1 レジスタで 3 レベルから選択可能	LVDLVLR.LVD1LVL[3:0] ビットで 10 レベルから選択可能	LVDLVLR.LVD2LVL[1:0] ビットで 4 レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MON フラグ : Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ : Vdet1 通過検出	LVD2SR.LVD2MON フラグ : Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ : Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet0 > VCC でリセット : VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット : VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット : VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابلまたはマスクابلを選択可能	ノンマスクابلまたはマスクابلを選択可能
			Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求

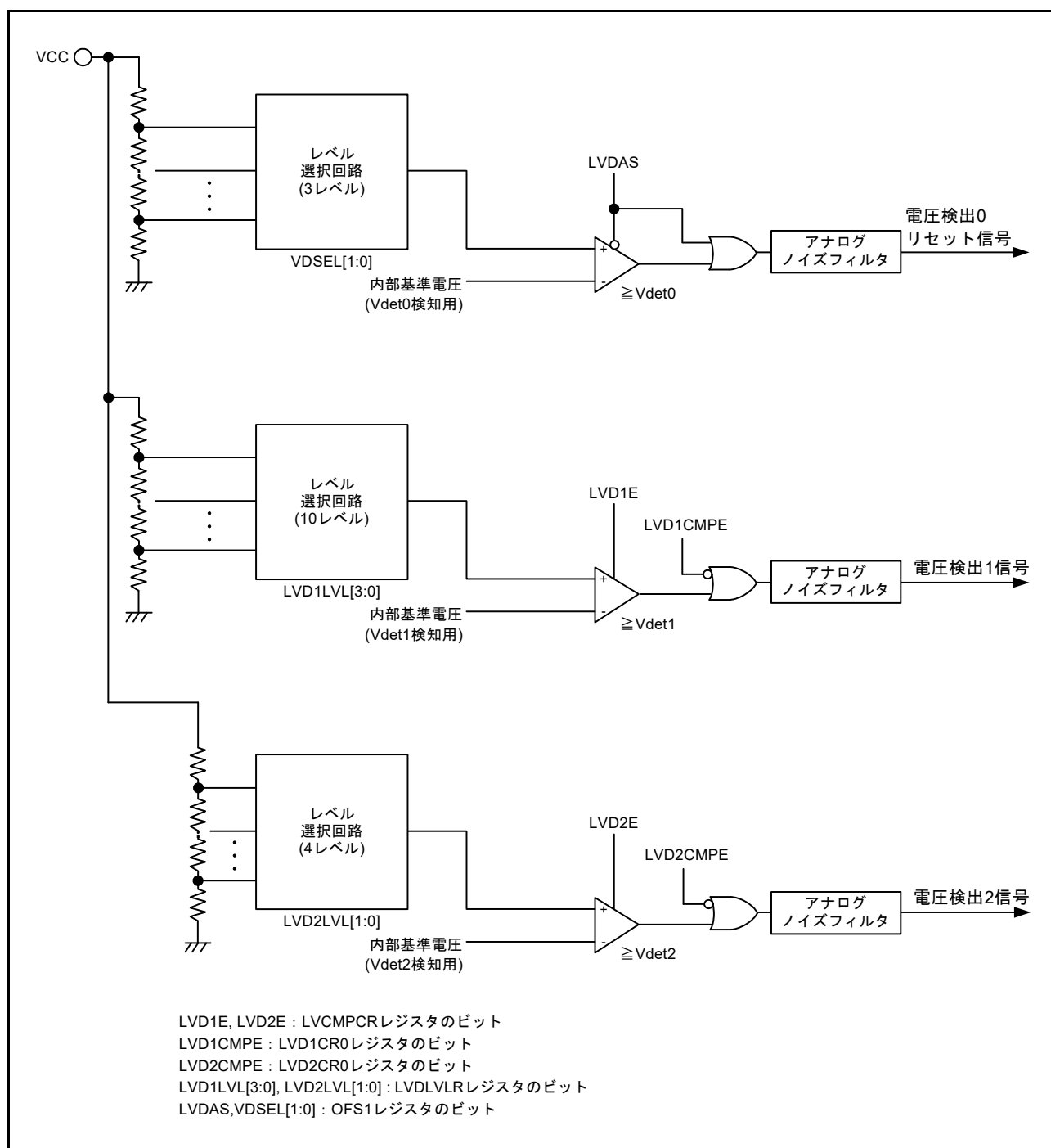


図 8.1 電圧検出回路ブロック図

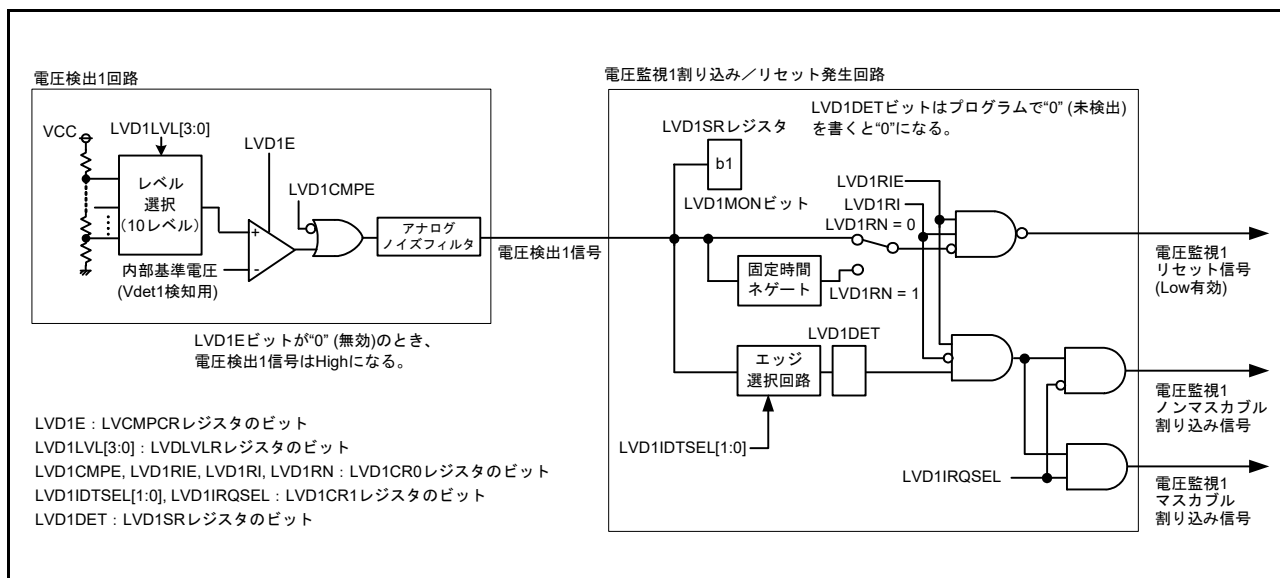


図 8.2 電圧監視 1 割り込み / リセット発生回路のブロック図

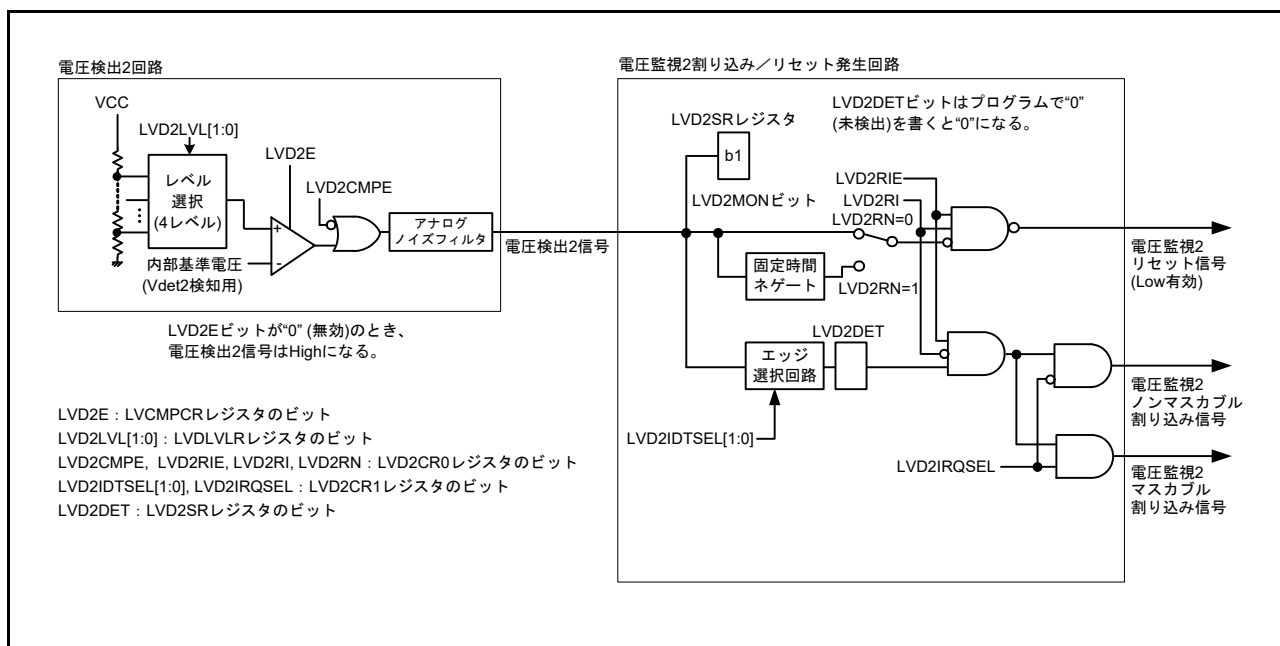


図 8.3 電圧監視 2 割り込み / リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視 1 回路制御レジスタ 1 (LVD1CR1)

アドレス SYSTEM.LVD1CR1 0008 00E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD1IRQSEL	LVD1IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視 1 割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇)検出時 0 1 : VCC < Vdet1 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視 1 割り込み種類選択ビット	0 : ノンマスカブル割り込み 1 : マスカブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス SYSTEM.LVD1SR 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1MON	LVD1DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視 1 電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視 1 信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ (電圧監視 1 電圧変化検出フラグ)

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”(禁止)にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”(許可)にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ (電圧監視 1 信号モニタフラグ)

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”(電圧検出 1 回路有効)、かつ LVD1CR0.LVD1CMPE ビットが“1”(電圧監視 1 回路比較結果出力許可)のとき有効になります。

8.2.3 電圧監視 2 回路制御レジスタ 1 (LVD2CR1)

アドレス SYSTEM.LVD2CR1 0008 00E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LVD2IRQSEL	LVD2IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet2 (上昇)検出時 0 1 : VCC < Vdet2 (下降)検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス SYSTEM.LVD2SR 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2MON	LVD2DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0 : 未検出 1 : Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0 : $VCC < Vdet2$ 1 : $VCC \geq Vdet2$ または LVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ (電圧監視2電圧変化検出フラグ)

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出2回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視2回路比較結果出力許可)のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”(禁止)にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”(許可)にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ (電圧監視2信号モニタフラグ)

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”(電圧検出2回路有効)、かつ LVD2CR0.LVD2CMPE ビットが“1”(電圧監視2回路比較結果出力許可)のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPPCR)

アドレス SYSTEM.LVCMPPCR 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD1E ビット (電圧検出1許可ビット)

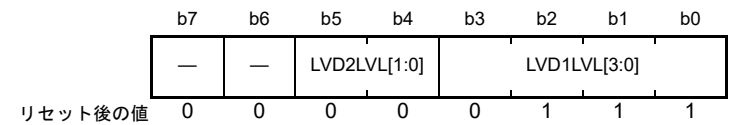
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、 $t_d(E-A)$ 経過してから電圧検出1回路が動作します。

LVD2E ビット (電圧検出2許可ビット)

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、 $t_d(E-A)$ 経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス SYSTEM.LVDLVLR 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3b0 0000: 4.29V 0001: 4.16V 0010: 4.03V 0011: 3.86V 0100: 3.10V 0101: 3.00V 0110: 2.90V 0111: 2.80V 1000: 2.68V 1001: 2.59V 上記以外は設定しないでください	R/W
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b5b4 00: 4.32V 01: 4.17V 10: 4.03V 11: 3.84V	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVDLVLR レジスタを変更するときは、LVCMPCR.LVD1E ビットおよび LVCMPCR.LVD2E ビットを共に“0”(電圧検出 n 回路無効)(n = 1, 2)にしてから行ってください。

また、LVD1LVL[3:0] ビットで設定の電圧検出レベルの範囲と LVD2LVL[1:0] ビットで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「38. 電気的特性」を参照してください。

LVD0 有効時、LVD1 の検出レベル設定は LVD0 の検出レベルより高い検出レベルに設定してください。また、LVD0 有効時、LVD1LVL[3:0] ビット設定での電圧検出レベル設定変更はリセット解除後 1 回のみとしてください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス SYSTEM.LVD1CR0 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE
リセット後の値	1	0	0	0	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視 1 割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視 1 回路比較結果出力許可ビット	0 : 電圧監視 1 回路比較結果出力禁止 1 : 電圧監視 1 回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視 1 回路モード選択ビット	0 : Vdet1 通過時に電圧監視 1 割り込み 1 : 下降して Vdet1 通過時に電圧監視 1 リセット	R/W
b7	LVD1RN	電圧監視 1 リセットネゲート選択ビット	0 : VCC > Vdet1 検出から一定時間(tLVD1)経過後にネゲート 1 : 電圧監視 1 リセットアサートから一定時間(tLVD1)経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD1RN ビット (電圧監視 1 リセットネゲート選択ビット)

LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”(VCC > Vdet1 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD1RN ビットを“1”(電圧監視 1 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス SYSTEM.LVD2CR0 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE
リセット後の値	1	0	0	0	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0 : VCC > Vdet2検出から一定時間(tLVD2)経過後にネゲート 1 : 電圧監視2リセットアサートから一定時間(tLVD2)経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

LVD2RN ビット (電圧監視 2 リセットネゲート選択ビット)

LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にする場合は、LOCOCR.LCSTP ビットは“0”(LOCO 動作)にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”(VCC > Vdet2 検出から一定時間経過後にネゲート)にすることのみ可能です。LVD2RN ビットを“1”(電圧監視 2 リセットアサートから一定時間経過後にネゲート)にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMPCR.LVD1E ビットを “1” (電圧検出 1 回路有効) にする
- (3) $t_d(E-A)$ 待ってから、LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可) にする

8.3.3 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMPCR.LVD2E ビットを “1” (電圧検出 2 回路有効) にする
- (3) $t_d(E-A)$ 待ってから、LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可) にする

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを“0”(リセット後、電圧監視0リセット有効)にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

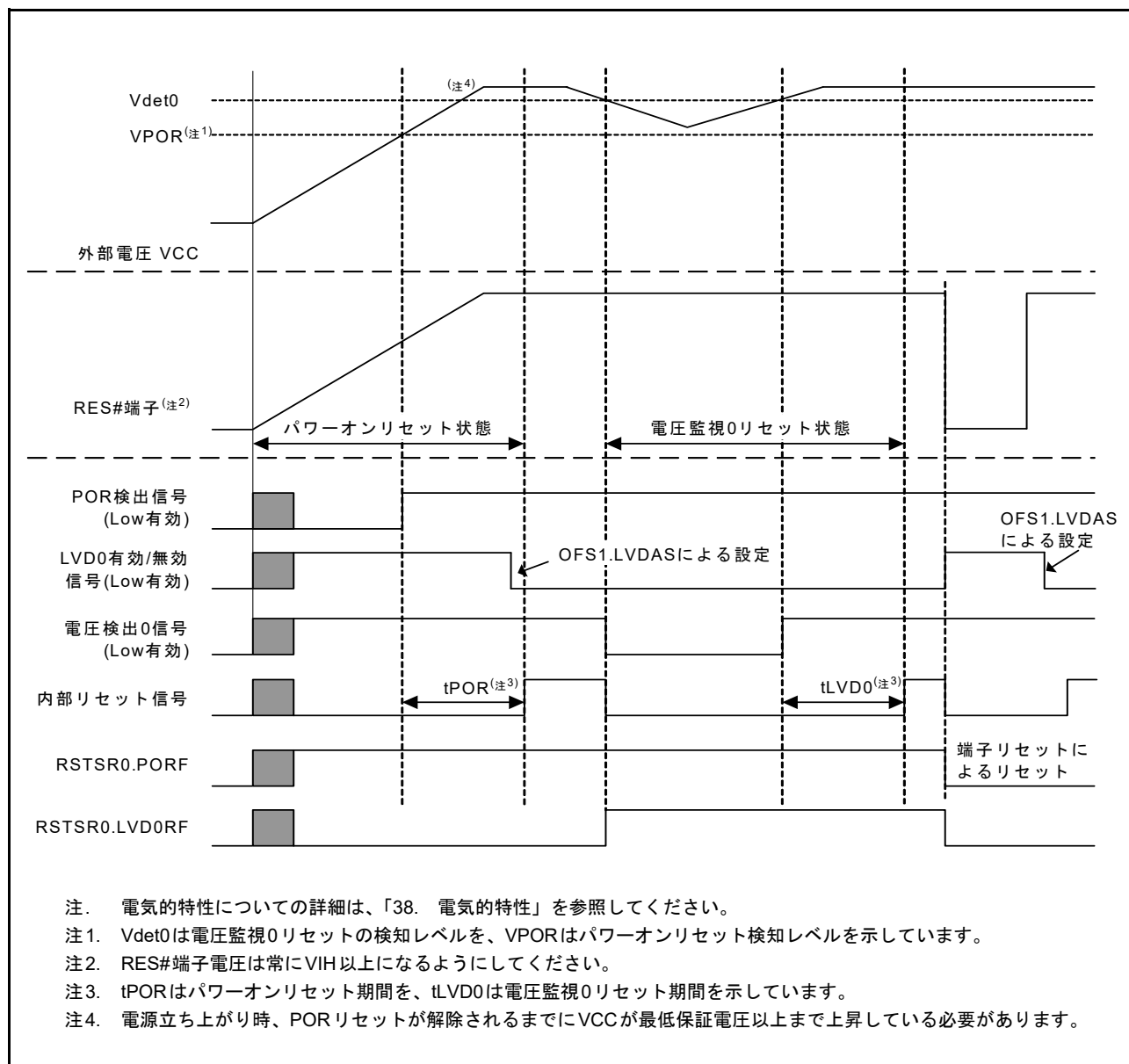


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.2 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.3 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.2 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み	電圧監視 1 リセット
1 (注1)	LVD1VLR.LVD1LVL[3:0] ビットで検出電圧を選択する	
2 (注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み)にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視 1 リセット)にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する。	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする。
5 (注1)	LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効)にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可)にする	
8	2μs 以上待つ	—
9	LVD1SR.LVD1DET ビットを“0”にする	—
10	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み/リセット許可)にする	—

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL、LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1～10 で設定してください。

表 8.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み	電圧監視 1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視 1 回路比較結果出力禁止)にする	
3 (注1)	LVCMPCR.LVD1E ビットを“0” (電圧検出 1 回路無効)にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み/リセット禁止)にする
5	LVCMPCR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL、LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1～5 で設定してください。

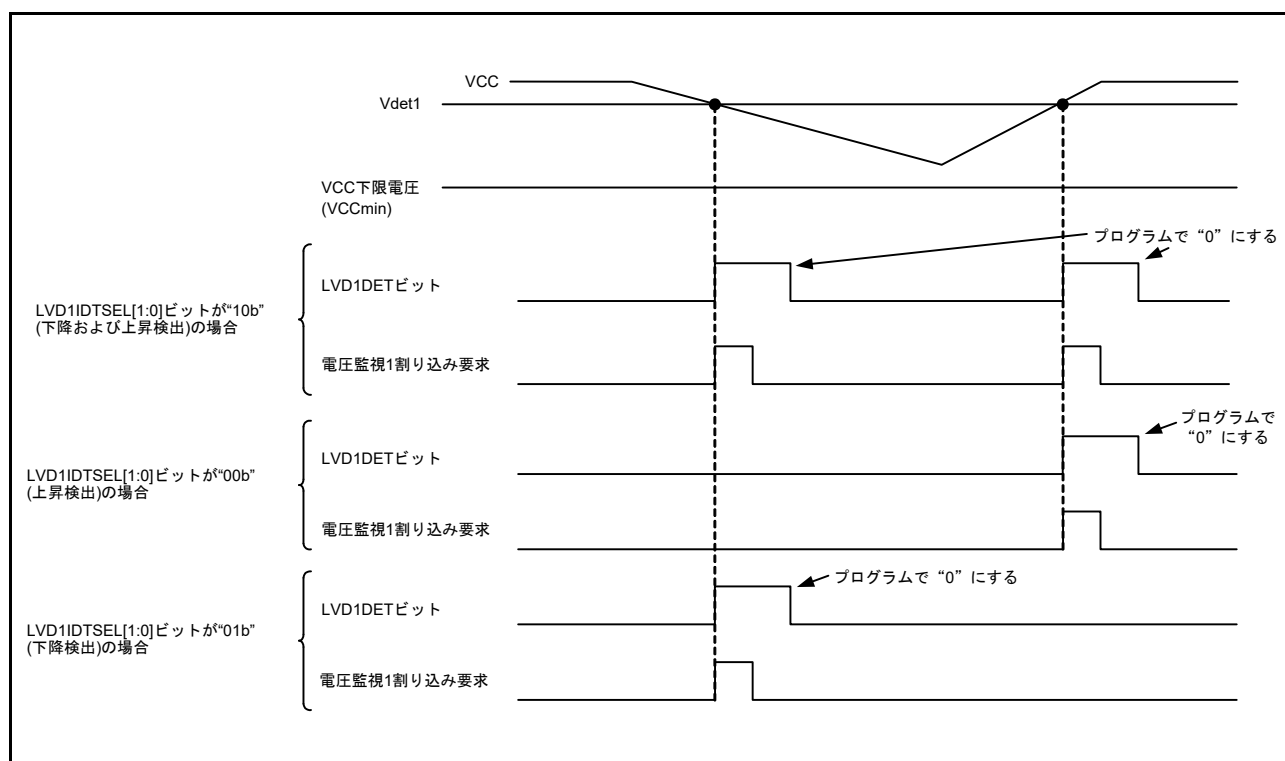


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.4 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.4 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1 (注1)	LVDLVLR.LVD2LVL[1:0] ビットで検出電圧を選択する	
2 (注1)	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み)にする	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット)にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
3	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	—
4	—	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする
5 (注1)	LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効)にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可)にする	
8	2 μ s 以上待つ	—
9	LVD2SR.LVD2DET ビットを“0”にする	—
10	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み/リセット許可)にする	—

注 1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL、LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1～10 で設定してください。

表 8.5 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み/リセット禁止)にする	—
2	LVD2CR0.LVD2CMPE ビットを“0” (電圧監視 2 回路比較結果出力禁止)にする	
3 (注1)	LVCMPCR.LVD2E ビットを“0” (電圧検出 2 回路無効)にする	
4	—	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み/リセット禁止)にする
5	LVCMPCR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注 1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL、LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1～5 で設定してください。

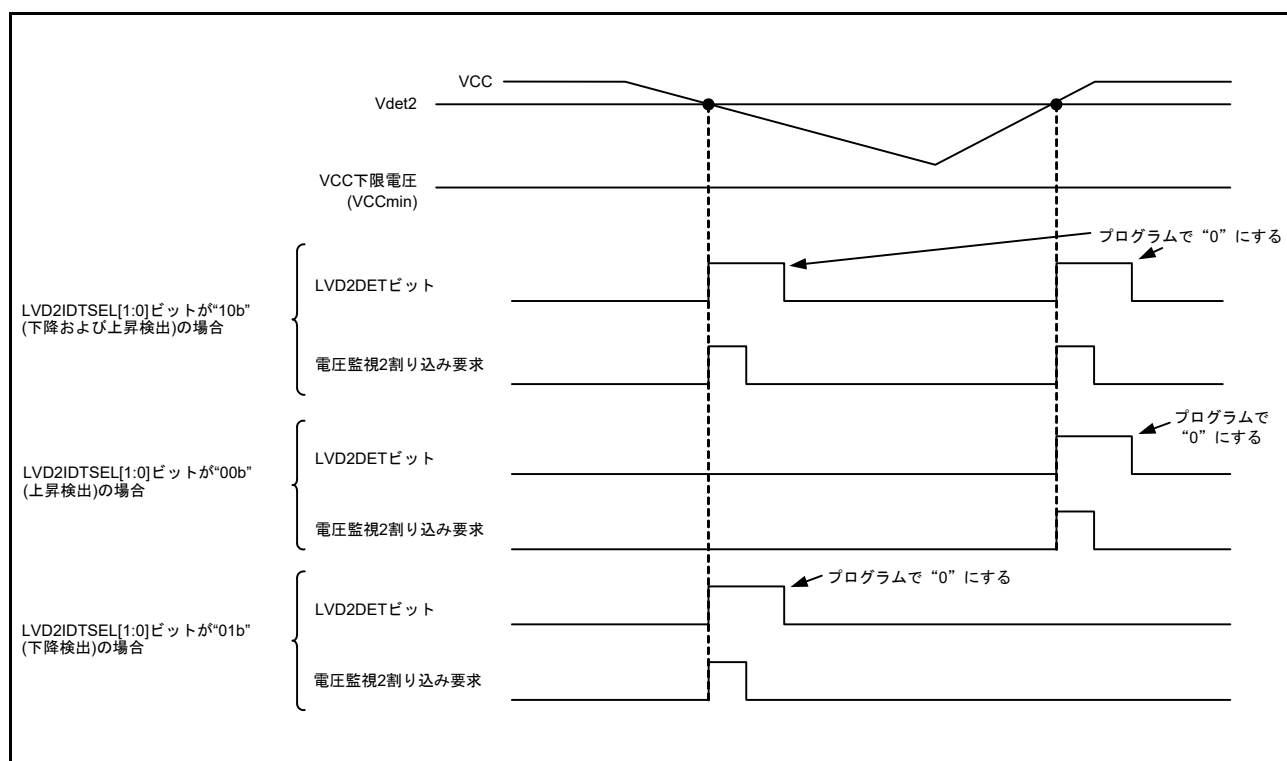


図 8.6 電圧監視 2 割り込み動作例

8.7 使用上の注意事項

8.7.1 LVD0 有効時の LVD1 検出レベル設定に関する注意事項について

LVD0 有効時、LVD1 の検出レベル設定は LVD0 の検出レベルより高い検出レベルに設定してください。
また、LVD0 有効時、LVD1LVL[3:0] ビット設定での電圧検出レベル設定変更はリセット解除後 1 回のみとしてください。

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	仕様
用途	• CPU、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB, PCLKD)の生成 周辺モジュールクロック (PCLKD)はS12AD用、周辺モジュールクロック (PCLKB)は、S12AD以外の周辺モジュール用の動作クロックです。 • FlashIFに供給されるFlashIFクロック (FCLK)の生成 • CACに供給されるCACクロック (CACCLK)の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK)の生成
動作周波数 (注1)	• ICLK : 48MHz (max) • PCLKB : 48MHz (max) • PCLKD : 64MHz (max) • FCLK : 1MHz~48MHz (ROM、E2データフラッシュ P/E時) 48MHz (max) (E2データフラッシュ読み出し時) • CACCLK : 選択した測定クロックと同じ • IWDTCCLK : 15kHz
メインクロック発振器	• 発振器周波数 : 1MHz~20MHz • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL, XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTU、GPTWの端子をハイインピーダンスにする機能 • ドライブ能力を切り替える機能
PLL回路	• 入力クロック源 : メインクロック、HOCO (注2) • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 通倍比 : 4~15.5通倍 (0.5刻み)から選択可能 • 発振周波数 : 24MHz~64MHz
高速オンチップオシレータ (HOCO)	発振周波数 : 24MHz, 32MHz, 48MHz, 64MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz
IWDT専用オンチップオシレータ	発振周波数 : 15kHz

注1. 高速動作モードでの最高動作周波数です。その他の動作電力モードにおける最高動作周波数については、「11.2.5 動作電力コントロールレジスタ (OPCCR)」を参照してください。

注2. PLLの入力周波数制限により、48 MHzの4分周、32 MHzの4分周、24 MHzの2、4分周のみ使用可能。

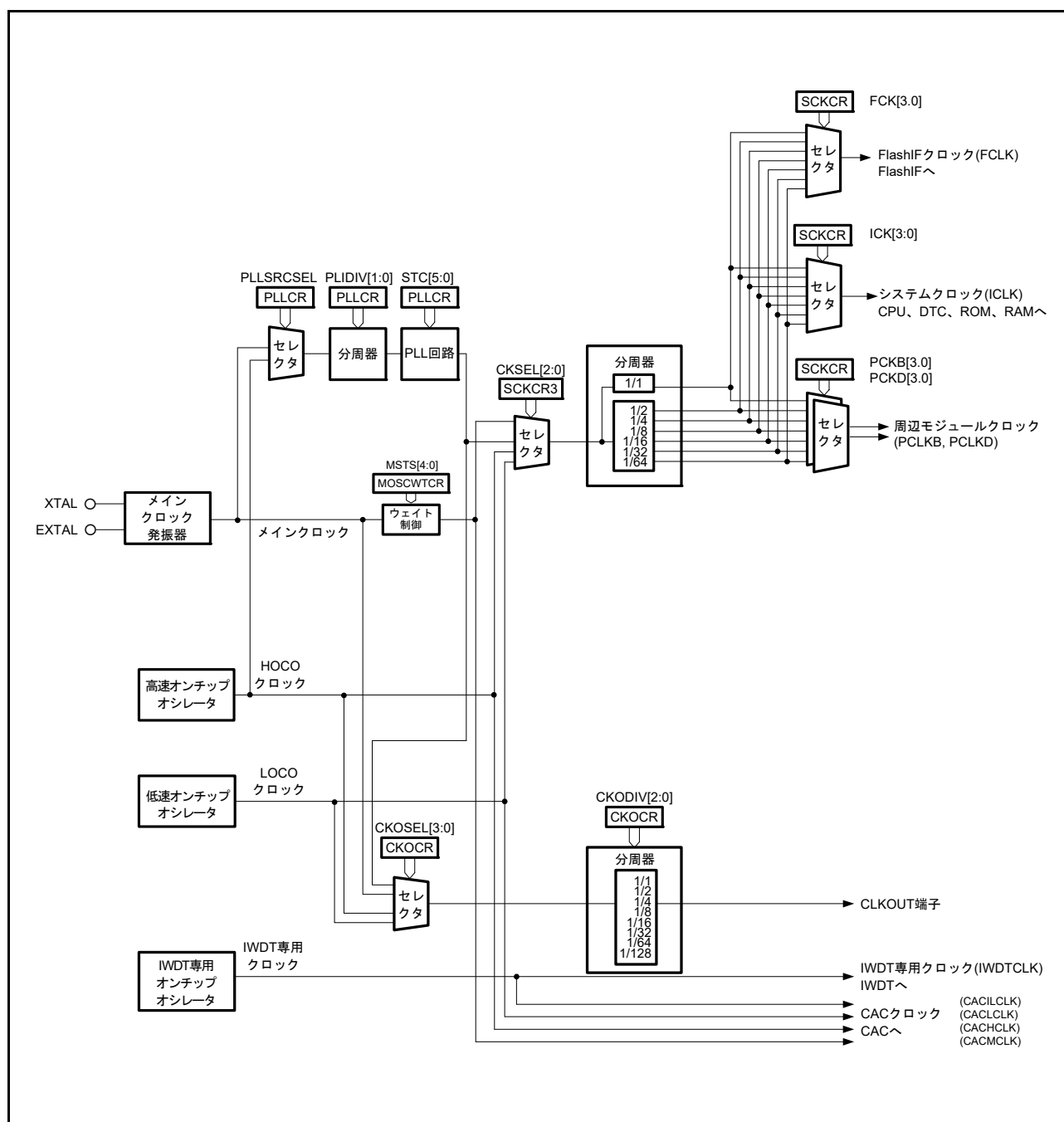


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	
CLKOUT	出力	クロック出力端子

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス SYSTEM.SCKCR 0008 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FCK[3:0]				ICK[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	PCKB[3:0]				—	—	—	—	PCKD[3:0]			
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0]	周辺モジュールクロック D (PCLKD) 選択ビット (注1)	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0]	周辺モジュールクロック B (PCLKB) 選択ビット (注1、注2)	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b23-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0]	システムクロック (ICLK) 選択ビット (注2)	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b31-b28	FCK[3:0]	FlashIF クロック (FCLK) 選択ビット (注2)	b31 b28 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. 周辺モジュールクロック B (PCLKB)、周辺モジュールクロック D (PCLKD)の間には下記の周波数関係が必要です。
PCLKB:PCLKD = 1:1, 1:2, 2:1, 4:1, 8:1

注2. システムクロック (ICLK)、周辺モジュールクロック B (PCLKB)、FlashIF クロック (FCLK)の間には下記の周波数関係が必要です。

ICLK ≥ FCLK, ICLK ≥ PCLKB

設定例1 : ICLK = FCLK = PCLKB = PCLKD = 48MHz (FLASH.MEMWAITR.MEMWAIT = 1)

設定例 2 : ICLK = FCLK = PCLKB = 32MHz, PCLKD = 64MHz (FLASH.MEMWAITR.MEMWAIT = 0)
MEMWAIT ビットの詳細は「37. フラッシュメモリ (FLASH)」を参照してください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

SCKCR レジスタへの書き込み後、後続の命令で SCKCR レジスタ、SCKCR3 レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス SYSTEM.SCKCR3 0008 0026h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0]	クロックソース選択ビット	b10 b8 0 0 0 : LOCO選択 0 0 1 : HOCO選択 0 1 0 : メインクロック発振器選択 1 0 0 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

フラッシュメモリが P/E 中はこのレジスタへの書き込みができません。書き込みは無効になります。

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKB, PCLKD)、FlashIF クロック (FCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス SYSTEM.PLLCR 0008 0028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	STC[5:0]					—	—	—	—	—	—	PLLSRCSEL	PLIDIV[1:0]	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b2	PLLSRCSEL	PLLクロックソース選択ビット	0 : メインクロック発振器選択 1 : HOCO選択	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逡倍率設定ビット	b13 b8 0 0 0 1 1 1 : ×4 0 0 1 0 0 0 : ×4.5 0 0 1 0 0 1 : ×5 0 0 1 0 1 0 : ×5.5 0 0 1 0 1 1 : ×6 0 0 1 1 0 0 : ×6.5 0 0 1 1 0 1 : ×7 0 0 1 1 1 0 : ×7.5 0 0 1 1 1 1 : ×8 0 1 0 0 0 0 : ×8.5 0 1 0 0 0 1 : ×9 0 1 0 0 1 0 : ×9.5 0 1 0 0 1 1 : ×10 0 1 0 1 0 0 : ×10.5 0 1 0 1 0 1 : ×11 0 1 0 1 1 0 : ×11.5 0 1 0 1 1 1 : ×12 0 1 1 0 0 0 : ×12.5 0 1 1 0 0 1 : ×13 0 1 1 0 1 0 : ×13.5 0 1 1 0 1 1 : ×14 0 1 1 1 0 0 : ×14.5 0 1 1 1 0 1 : ×15 0 1 1 1 1 0 : ×15.5 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

PLLCR2.PLEN ビットが“0”(PLL 動作)のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数 (4MHz ~ 12.5MHz) の範囲に入るように設定してください。

PLLSRCSEL ビット (PLL クロックソース選択ビット)

PLL のクロックソースを選択します。

クロックソースに HOCO を選択する場合、オプション機能選択レジスタ 1 の HOCO 周波数選択ビット (OFS1.HOCOFREQ[1:0]) を“00b”(64MHz 選択)に設定しないでください。

STC[5:0] ビット (周波数逡倍率設定ビット)

PLL の周波数逡倍率を設定します。

STC[5:0] ビットは、PLL の発振周波数 (24MHz ~ 64MHz) の範囲に入るように設定してください。

9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス SYSTEM.PLLCR2 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL 停止制御ビット	0 : PLL 動作 1 : PLL 停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLL クロックソースは、メインクロック発振器と HOCO の 2 種類が選択可能です。

PLLCR.PLLSRCSEL ビットで PLL クロックソースにメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLLEN ビットで PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグが“1”になっていることを確認してから、システムクロックを PLL クロックに切り替えてください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

以下に PLL クロックソースにメインクロック発振器を選択した場合の注意点を示します。

- PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.PLOVF フラグの“0”を確認してから設定してください。
- PLL の停止設定は、PLL 動作かつ OSCOVFSR.PLOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで PLL を選択しているときは、PLLEN ビットを“1” (PLL 停止) にする書き込みは禁止です。

9.2.5 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス SYSTEM.MOSCCR 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0 : メインクロック発振器動作 1 : メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

メインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作 / 停止を制御します。

MOSTP ビットにてメインクロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインクロック発振器の停止設定は、メインクロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- PLL のクロックソースとして MOSC を選択 (PLLCR.PLLSRCSEL = 0) かつシステムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL のクロックソースとして MOSC を選択 (PLLCR.PLLSRCSEL = 0) かつ PLL を動作させているとき (PLLCR2.PLEN = 0)

9.2.6 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス SYSTEM.LOCOCR 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 (t_{Loco}) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。
- LCSTP ビットによる LOCO の発振開始、停止制御の変更は、LOCO 以外の各発振器が発振安定または停止状態で行ってください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1”(LOCO 停止)にする書き込みは禁止です。

9.2.7 IWDТ 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス SYSTEM.ILOCOCR 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDТ専用オンチップオシレータ停止ビット	0 : IWDТ専用オンチップオシレータ動作 1 : IWDТ専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

オプション機能選択レジスタ 0 の IWDТ スタートモード選択ビット (OFS0.IWDТSTRT) が “0” (IWDТ 動作) のとき、ILOCOCR レジスタの設定は無効です。OFS0.IWDТSTRT ビットが “1” (IWDТ 停止) のとき、ILOCOCR レジスタの設定は有効です。ILOCOCR レジスタが有効、かつ ILCSTP ビットが “0” (IWDТ 専用オンチップオシレータ動作) の後、“1” (IWDТ 専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDТ 専用オンチップオシレータ停止ビット)

IWDТ 専用オンチップオシレータの動作 / 停止を制御します。

ILCSTP ビットで、IWDТ 専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDТ 専用クロック発振安定時間 (t_{ILOCO}) に相当する一定時間経過後、MCU 内部にクロックが供給開始されます。IWDТ 専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDТ 専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態で WAIT 命令を実行してください。

9.2.8 高速オンチップオシレータコントロールレジスタ (HOCOCR)

アドレス SYSTEM.HOCOCR 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. HOCOの周波数はOFS1.HOCOFRQ[1:0]ビットで設定してください。

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してからシステムクロックを HOCO クロックに切り替えてください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。
- ROM、E2 データフラッシュの P/E モード中は、高速オンチップオシレータを動作させておく必要があります。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1”(HOCO 停止)にする書き込みは禁止です。

PLL のクロックソースとして HOCO を選択 (PLLCR.PLLSRCSEL = 1) かつシステムクロックのクロックソースに PLL クロックを選択 (SCKCR3.CKSEL[2:0] = 100b) しているとき、および PLL のクロックソースとして HOCO を選択 (PLLCR.PLLSRCSEL = 1) かつ PLL を動作 (PLLCR2.PLLEN = 0) させているとき、HCSTP ビットを“1”(HOCO 停止)にする書き込みは禁止です。

9.2.9 発振安定フラグレジスタ (OSCOVFSR)

アドレス SYSTEM.OSCOVFSR 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HCOVF	PLOVF	—	MOOV F
リセット後の値	0	0	0	0	0/1	0	0	0

(注1)

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能 (注2)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0: PLL停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. オプション機能選択レジスタ1のHOCO発振有効ビット(OFS1.HOCOEN)が“0”のとき、HCOVFフラグのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFフラグのリセット後の値は“0”になります。

注2. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合、設定値(待ち時間)が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロックの発振安定の状態を示します。

["1"になる条件]

- MOSCCR.MOSTP ビットが“1”(メインクロック発振器停止)のときに、MOSTP ビットを“0”(メインクロック発振器動作)にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

["0"になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL クロックの発振安定の状態を示します。

["1"になる条件]

- PLLCR2.PLEN ビットが“1”(PLL 停止)のときに、PLEN ビットを“0”(PLL 動作)にした後、MOOVF フラグが“1”になり、かつ PLL クロック発振安定時間(t_{PLL})が経過し、MCU 内部に PLL クロックの供給が開始されたとき
ただし、PLEN ビットを“0”に設定したときに、PLLCR.PLLSRCSEL ビットで選択された PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振安定を待ってから LOCO クロックでのカウントを開始します。

["0"になる条件]

- PLLCR2.PLEN ビットを“1”にした後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

["1" になる条件]

- HOCOCR.HCSTP ビットが“1” (HOCO 停止) のときに、HCSTP ビットを“0” (HOCO 動作) にした後、MCU 内部に HOCO クロックの供給が開始されたとき

["0" になる条件]

- HOCOCR.HCSTP ビットを“1” にした後、HOCO の発振停止処理が完了したとき

9.2.10 発振停止検出コントロールレジスタ (OSTDCR)

アドレス SYSTEM.OSTDCR 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込みを禁止、POE、POEG への発振停止検出通知なし 1 : 発振停止検出割り込みを許可、POE、POEG への発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0 : 発振停止検出機能は無効 1 : 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

OSTDIE ビット (発振停止検出割り込み許可ビット)

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB の 2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット (発振停止検出機能許可ビット)

発振停止検出機能の有効 / 無効を設定します。

OSTDE ビットを“1”(発振停止検出機能有効)にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”(LOCO 停止)を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”(メインクロック発振停止検出)のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.11 発振停止検出ステータスレジスタ (OSTDSR)

アドレス SYSTEM.OSTDSR 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0 : メインクロックの発振停止を未検出 1 : メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. “0”のみ書けます。

OSTDF フラグ (発振停止検出フラグ)

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF = 0 が読み出し値に反映されるまで ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) でメインクロック発振器 (“010b”) または PLL (“100b”) を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

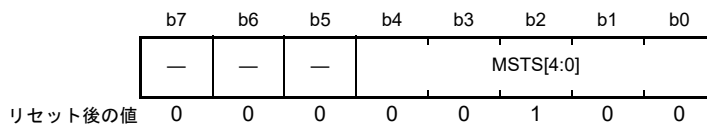
- OSTDCR.OSTDE ビットが“1” (発振停止検出機能有効) の状態で、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.12 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス SYSTEM.MOSCWTCR 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 0 0 0 0 : 待ち時間 = 0サイクル(0μs) 0 0 0 1 : 待ち時間 = 1024 サイクル(256μs) 0 0 1 0 : 待ち時間 = 2048 サイクル(512μs) 0 0 1 1 : 待ち時間 = 4096 サイクル(1.024ms) 0 0 1 0 0 : 待ち時間 = 8192 サイクル(2.048ms) 0 0 1 0 1 : 待ち時間 = 16384 サイクル(4.096ms) 0 0 1 1 0 : 待ち時間 = 32768 サイクル(8.192ms) 0 0 1 1 1 : 待ち時間 = 65536 サイクル(16.384ms) 0 1 0 0 0 : 待ち時間 = 131072 サイクル(32.768ms) 上記以外は設定しないでください 待ち時間はLOCO = 4.0MHz (0.25μs, TYP)の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“00000b”を設定してください。

MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LCSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

9.2.13 CLKOUT 出力コントロールレジスタ (CKOCR)

アドレス SYSTEM.CKOCR 0008 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKOSTP	CKODIV[2:0]			CKOSEL[3:0]			—	—	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	CKOSEL[3:0]	CLKOUT 出力ソース選択ビット	b11 b8 0 0 0 0 : LOCOクロック 0 0 0 1 : HOCOクロック 0 0 1 0 : メインクロック 0 1 0 0 : PLL 上記以外は設定しないでください	R/W
b14-b12	CKODIV[2:0]	CLKOUT 出力分周比選択ビット	b14 b12 0 0 0 : 分周なし 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 1 1 1 : 128分周	R/W
b15	CKOSTP	CLKOUT 出力停止制御ビット	0 : CLKOUT 端子出力許可 (注1) 1 : CLKOUT 端子出力禁止 (Low 固定)	R/W

注. このレジスタはPRCR.PRC0ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. 対応する端子の端子機能制御レジスタ、ポートモードレジスタの設定も必要です。

CKOSEL[3:0] ビット (CLKOUT 出力ソース選択ビット)

CLKOUT 端子から出力するクロックのソースを LOCO クロック、HOCO クロック、メインクロック、PLL から選択します。

CKODIV[2:0] ビット (CLKOUT 出力分周比選択ビット)

CKOSEL[3:0] ビットで選択したクロックの分周比を選択します。

変更するときは CKOSTP ビットを“1”にしてください。

CLKOUT 端子から出力されるクロックの特性は、「38.5.5.11 CLKOUT」を参照してください。

CLKOUT 端子出力サイクルの規定に合わせて、出力するクロックの分周比を設定してください。

CKOSTP ビット (CLKOUT 出力停止制御ビット)

CLKOUT 端子の出力を制御します。

“0”にすると選択したクロックが出力されます。“1”にすると Low が出力されます。

クロックを発振させたまま CKOSTP ビットを書き換えると、出力にグリッチが発生することがあります。

9.2.14 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス SYSTEM.MOFCR 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	0 : 1MHz～10MHz 1 : 10MHz～20MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

EXTAL/XTAL 端子はポートと兼用端子になっており初期設定状態ではポート機能となります。

MOFCR レジスタの書き換えは、メインクロック停止ビット MOSCCR.MOSTP が“1”の状態 (MOSC 停止)で行ってください。

MODRV21 ビット (メインクロック発振器ドライブ能力切り替えビット)

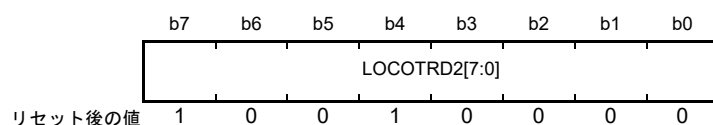
メインクロック発振器のドライブ能力の切り替えをします。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.15 低速オンチップオシレータトリミングレジスタ 2 (LOCOTRR2)

アドレス SYSTEM.LOCOTRR2 0008 0061h



ビット	シンボル	ビット名	機能	R/W
b7-b0	LOCOTRD2[7:0]	低速オンチップオシレータ周波数補正ビット2	b7 b0 0 0 0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 0 0 0 1 : 1 : 1 1 1 1 1 1 0 : 254 1 1 1 1 1 1 1 : 255 (周波数 : 高)	R/W

注. このレジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

LOCOTRD2[7:0] ビット (低速オンチップオシレータ周波数補正ビット2)

低速オンチップオシレータの周波数補正値を設定してください。

設定値は通常の2進数(0(00h)から255(FFh))で、値を大きくすると周波数が高くなります。

9.2.16 IWDТ 専用オンチップオシレータトリミングレジスタ (ILOCOTRR)

アドレス SYSTEM.ILOCOTRR 0008 0064h



ビット	シンボル	ビット名	機能	R/W
b4-b0	ILOCOTRD[4:0]	IWDТ専用オンチップオシレータ周波数補正ビット	b4 b0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 1 : 1 : 1 1 1 0 : 30 1 1 1 1 : 31 (周波数 : 高)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注1. チップごとの固定値

ILOCOTRD[4:0] ビット (IWDТ専用オンチップオシレータ周波数補正ビット)

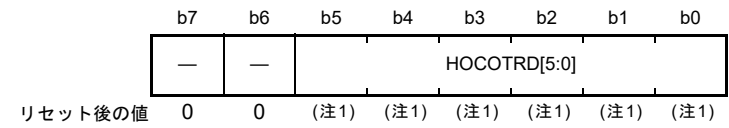
IWDТ専用オンチップオシレータの周波数補正値を設定してください。

設定値は通常の2進数(0(00h)から31(1Fh))で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.2.17 高速オンチップオシレータトリミングレジスタ 0 (HOCOTRR0)

アドレス SYSTEM.HOCOTRR0 0008 0068h



ビット	シンボル	ビット名	機能	R/W
b5-b0	HOCOTRD[5:0]	高速オンチップオシレータ周波数補正ビット	b5 b0 0 0 0 0 0 0 : 0 (周波数 : 低) 0 0 0 0 0 1 : 1 : 1 1 1 1 1 0 : 62 1 1 1 1 1 1 : 63 (周波数 : 高)	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注1. チップごとの固定値

HOCOTRD[5:0] ビット (高速オンチップオシレータ周波数補正ビット)

高速オンチップオシレータの周波数補正値を設定してください。

設定値は通常の2進数(0(00h)から63(3Fh))で、値を大きくすると周波数が高くなります。

工場出荷時に一定の条件で調整していますので、リセット後の値はチップごとに異なります。リセットすることにより工場出荷時に調整した発振周波数に戻ります。

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図 9.2 に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従って EXTAL、XTAL 間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表 9.1 のメインクロック発振器の発振子周波数の範囲内としてください。

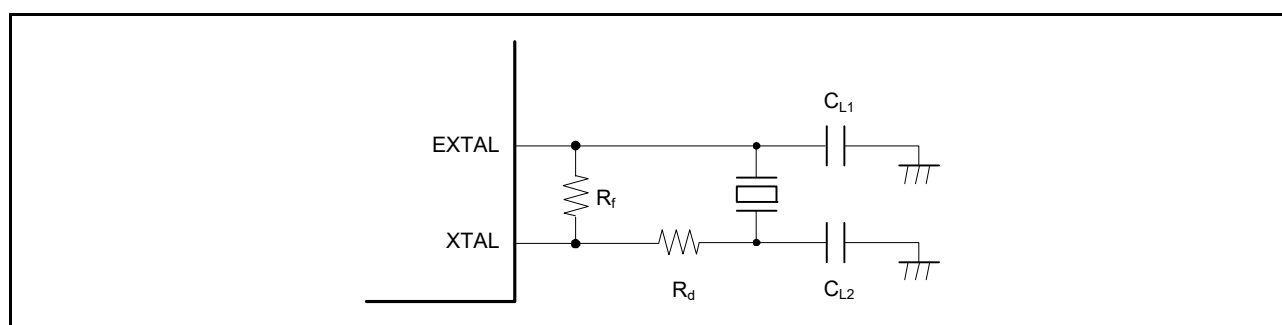


図 9.2 水晶振動子の接続例

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.3に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSELビットを“1”にしてください。XTAL端子はハイインピーダンスとなり入力ポートとして使用できます。

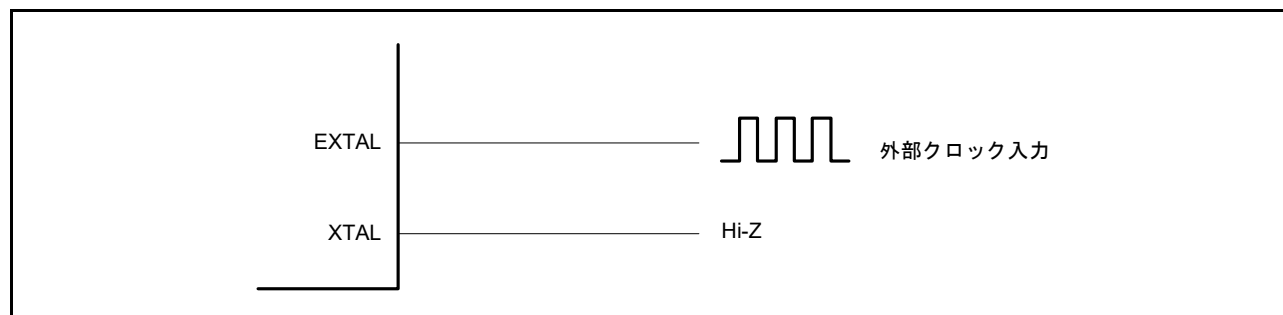


図 9.3 外部クロックの接続例

9.3.3 メインクロックを使用しない場合の端子処理

メインクロックを使用しない場合の端子処理は、「17.5 未使用端子の処理」を参照ください。

9.3.4 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット(MOSCCR.MOSTP)に“0”(メインクロック発振器動作)が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 発振停止検出機能

9.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロックを供給する機能です。

PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わりません。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTU、GPTW の出力を強制的にハイインピーダンスとすることも可能です。詳細は、「19. マルチファンクションタイムパルスユニット 3 (MTU3c)」、「20. ポートアウトプットイネーブル 3 (POE3E)」、「22. GPTW 用ポートアウトプットイネーブル (POEGb)」を参照してください。

本 MCU は、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、(「38. 電気的特性」の発振停止検出回路特性参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクトにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL クロックが選択されている場合に発振停止を検出すると、SCKCR3.CKSEL[2:0] の設定値は変わらないまま、システムクロックのクロックソースは PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロックを選択した場合のシステムクロック、CAC メインクロック (CACMCLK) を選択していた場合です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

発振停止検出によって PLL の自励発振周波数で動作するのは、システムクロックソースとして PLL クロックを選択した場合のシステムクロックです。

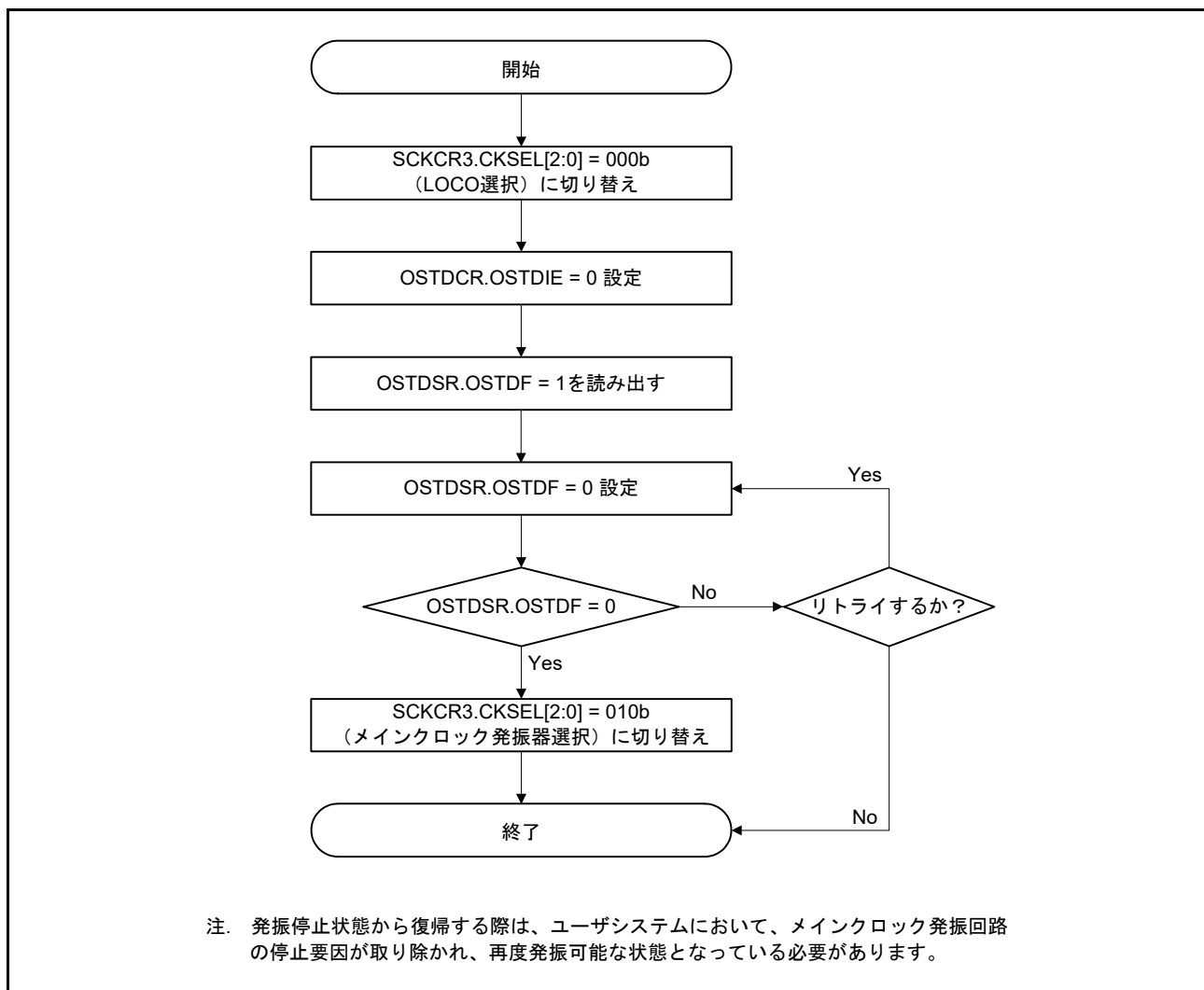


図 9.4 発振停止検出からの復帰のフローチャート例

9.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が “1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が “1” になると発振停止検出割り込み要求が発生します。また、このときポートアウトプットイネーブル (POE) と GPTW 用ポートアウトプットイネーブル (POEG) へメインクロック発振器の停止を通知します。POE は、発振停止の通知を受けて入力レベルコントロール / ステータスレジスタ 6 の OSTST ハイインピーダンスフラグ (ICSR6.OSTSTF) を “1” にします。この ICSR6.OSTSTF フラグは、発振停止を検出後、PCLKB で 10 サイクル経過するまで書き込みできませんので注意してください。

発振停止検出フラグ (OSTDSR.OSTDF) が “1” にセットされた後、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を “0” にする場合は PCLKB で 3 サイクル以上待ってください。

OSTDSR.OSTDF フラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を “0” にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 “1” にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB で 2 サイクル以上の待ち時間を確保することが可能です。

一方、POEG は、同様に発振停止の通知を受けて、POEG グループ A 設定レジスタの発振停止検出フラグ (POEGGA.OSTPF) を “1” にします。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態では、「ノンマスカブル割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスカブル割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

9.5 PLL 回路

PLL 回路は、発振器からの周波数を通倍する機能を持っています。

9.6 内部クロック

内部クロックは、クロック源としてメインクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKB, PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (5) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0]、ICK[3:0]、PCKB[3:0]、PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0]、PLIDIV[1:0] ビット、HOCO 回路の周波数を選択する OFS1.HOCOFRQ[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

システムクロック (ICLK)、FlashIF 動作クロック (FCLK) に 32MHz より高い周波数のクロックを設定する場合、ROM アクセス時のウェイト挿入を設定する必要があります。詳細は「37. フラッシュメモリ (FLASH)」を参照してください。

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、OFS1.HOCOFRQ[1:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKB, PCLKD) は、周辺モジュール用の動作クロックです。

PCLKB、PCLKD の周波数は、PCKB[3:0]、PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、OFS1.HOCOFRQ[1:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

9.6.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビット、OFS1.HOCOFRQ[1:0] ビットで設定します。

9.6.4 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

9.6.5 IWDT 専用クロック

IWDT 専用クロック (IWDTCCLK) は、IWDT モジュールの動作クロックです。

IWDTCCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7 使用上の注意事項

9.7.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKB, PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のようにしてください。
各周波数は電气的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKB、PCLKD を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK)、周辺モジュールクロック B、D (PCLKB, PCLKD)、FlashIF クロック (FCLK) の間には下記の周波数関係が必要です。
 $ICLK \geq FCLK$,
 $ICLK \geq PCLKB$,
 $PCLKB:PCLKD = 1:1, 1:2, 2:1, 4:1, 8:1$
設定例 1 : $ICLK = FCLK = PCLKB = PCLKD = 48\text{MHz}$ (FLASH.MEMWAITR.MEMWAIT = 1)
設定例 2 : $ICLK = FCLK = PCLKB = 32\text{MHz}$, $PCLKD = 64\text{MHz}$ (FLASH.MEMWAITR.MEMWAIT = 0)
MEMWAIT ビットの詳細は「37. フラッシュメモリ (FLASH)」を参照してください。
- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

9.7.2 SCKCR3 レジスタ書き換え時の注意事項

SCKCR3 レジスタが書き換えられた場合、クロックソースの切り替え時に短いクロックパルス (グリッチ) が発生しないよう、一時的にクロック出力を停止させています。この期間内に下記の条件を満たす信号が入力された場合、割り込みコントローラで検出できないことがあります。

- (1) PCLKB の分周比が 1 分周 (SCKCR.PCKB[3:0] ビットが “0000b”) の場合、切り替え後の PCLKB の 4 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
 - (2) PCLKB の分周比が 2 分周 (SCKCR.PCKB[3:0] ビットが “0001b”) の場合、切り替え後の PCLKB の 2.5 サイクルより短いパルス幅の外部端子割り込み、NMI 端子割り込み
- 外部端子割り込み、NMI 端子割り込みを使用する場合は、上記 (1)、(2) の条件が満たされないように、十分にパルス幅の広い信号を入力してください。

9.7.3 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.7.4 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.5 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

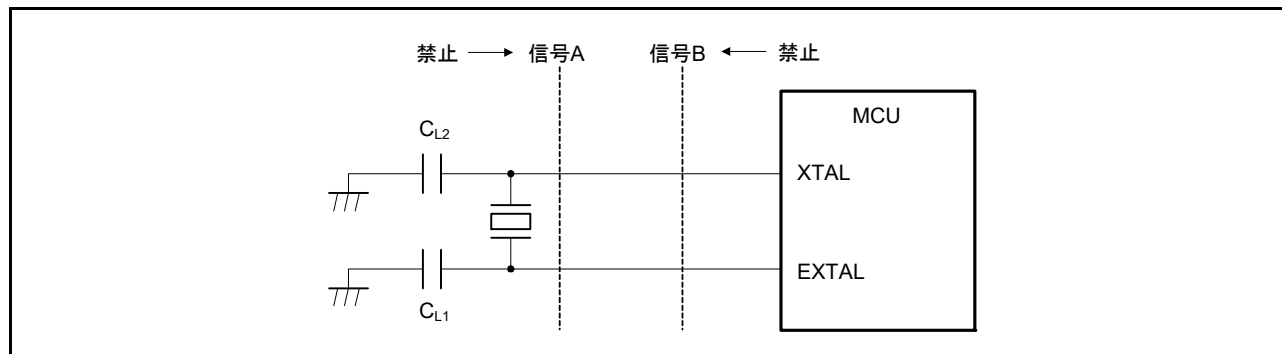


図 9.5 発振回路部のボード設計に関する注意事項

9.7.5 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用入出力ポート P36、P37 や周辺機能入出力端子として使用することができます。汎用入出力ポートや周辺機能入出力端子として使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP = 1) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子、XTAL 端子を汎用入出力ポートや周辺機能入出力端子として使用しないでください。

メインクロックを使用する場合は、P36、P37 端子を出力ポートに設定しないでください。

なお、MOFCR.MOSEL を“1”、MOSCCR.MOSTP を“0”に設定し、EXTAL 端子から外部クロックを入力して動作させる場合は、XTAL 端子は入力ポート P37 や周辺機能入力端子として使用することができます。

10. クロック周波数精度測定回路 (CAC)

本 MCU はクロック周波数精度測定回路 (CAC) を内蔵しています。

CAC は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルス数を数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

10.1 概要

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック • HOCOクロック • LOCOクロック • IWDТ専用クロック (IWDТCLK) • 周辺モジュールクロック B (PCLKB)
測定基準クロック	• 外部から CACREF 端子に入力したクロック • メインクロック • HOCOクロック • LOCOクロック • IWDТ専用クロック (IWDТCLK) • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への遷移が可能

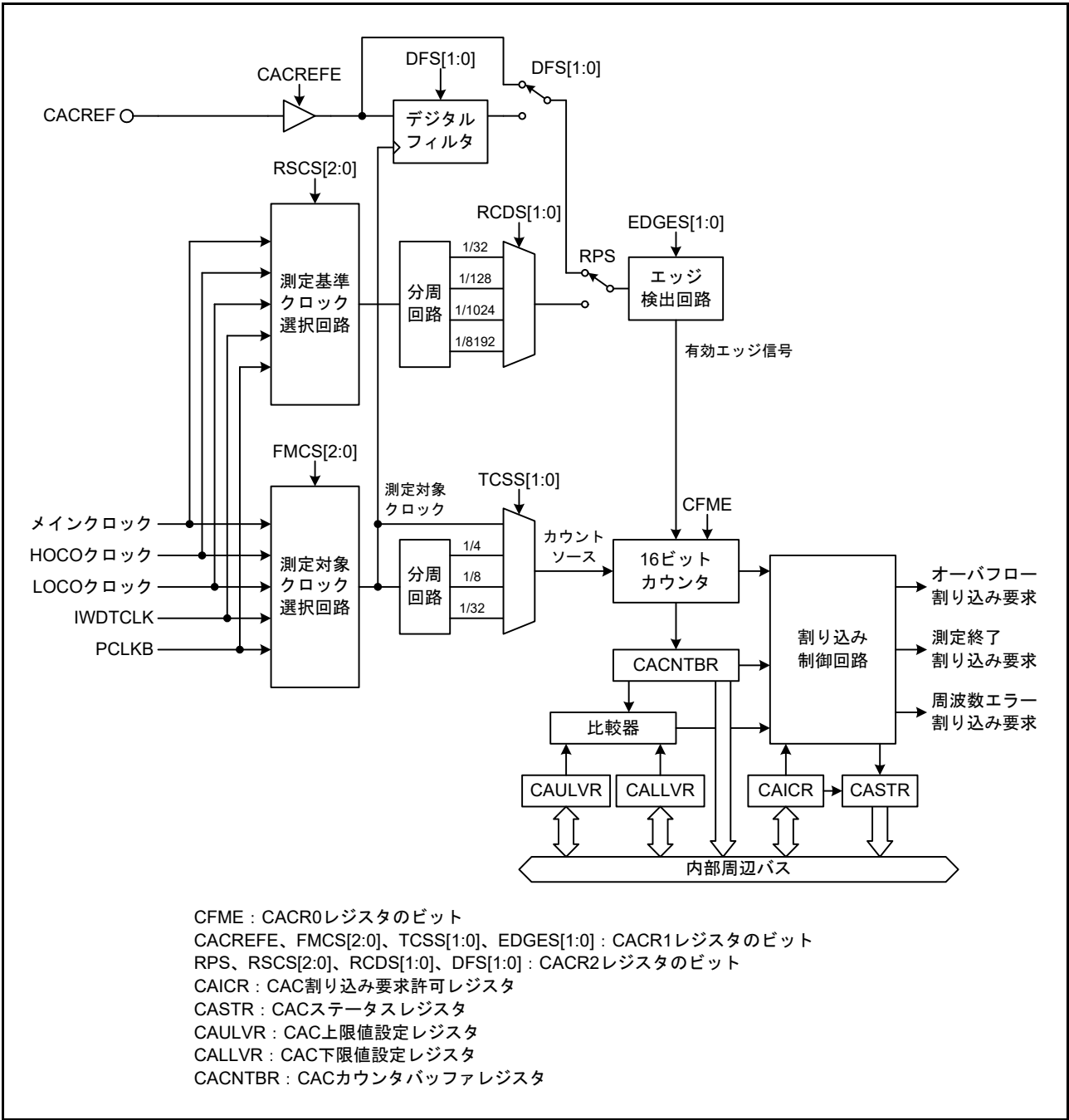


図 10.1 CAC のブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス CAC.CACR0 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス CAC.CACR1 0008 B001h

b7	b6	b5	b4	b3	b2	b1	b0
EDGES[1:0]	TCSS[1:0]	FMCS[2:0]	CACREFE				
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDT専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントソース選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注. CACR1レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントソース選択ビット)

このビットの設定によりクロック周波数精度測定回路のカウントソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス CAC.CACR2 0008 B002h

b7	b6	b5	b4	b3	b2	b1	b0
DFS[1:0]	RCDS[1:0]	RSCS[2:0]	RPS				
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTC専用クロック (IWDTCCLK) 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 測定対象クロック 1 0 : 測定対象クロックの4分周クロック 1 1 : 測定対象クロックの16分周クロック	R/W

注. CACR2レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効 / 無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス CAC.CAICR 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグがクリアされます。読むと“0”が読めます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグがクリアされます。読むと“0”が読めます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグがクリアされます。読むと“0”が読めます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグがクリアされます。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグがクリアされます。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグがクリアされます。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス CAC.CASTR 0008 B004h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0 : クロックの周波数が設定値内 1 : クロックの周波数が設定値を外れた(周波数エラー)	R
b1	MENDF	測定終了フラグ	0 : 測定中 1 : 測定が終了	R
b2	OVFF	オーバフローフラグ	0 : カウンタがオーバフローしていない 1 : カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた(周波数エラー)ことを示します。

[“1”になる条件]

- クロック周波数が設定値を外れたとき

[“0”になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

[“1”になる条件]

- 測定終了したとき

[“0”になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

[“1”になる条件]

- カウンタがオーバフローしたとき

[“0”になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス CAC.CAULVR 0008 B006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス CAC.CALLVR 0008 B008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス CAC.CACNTBR 0008 B00Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

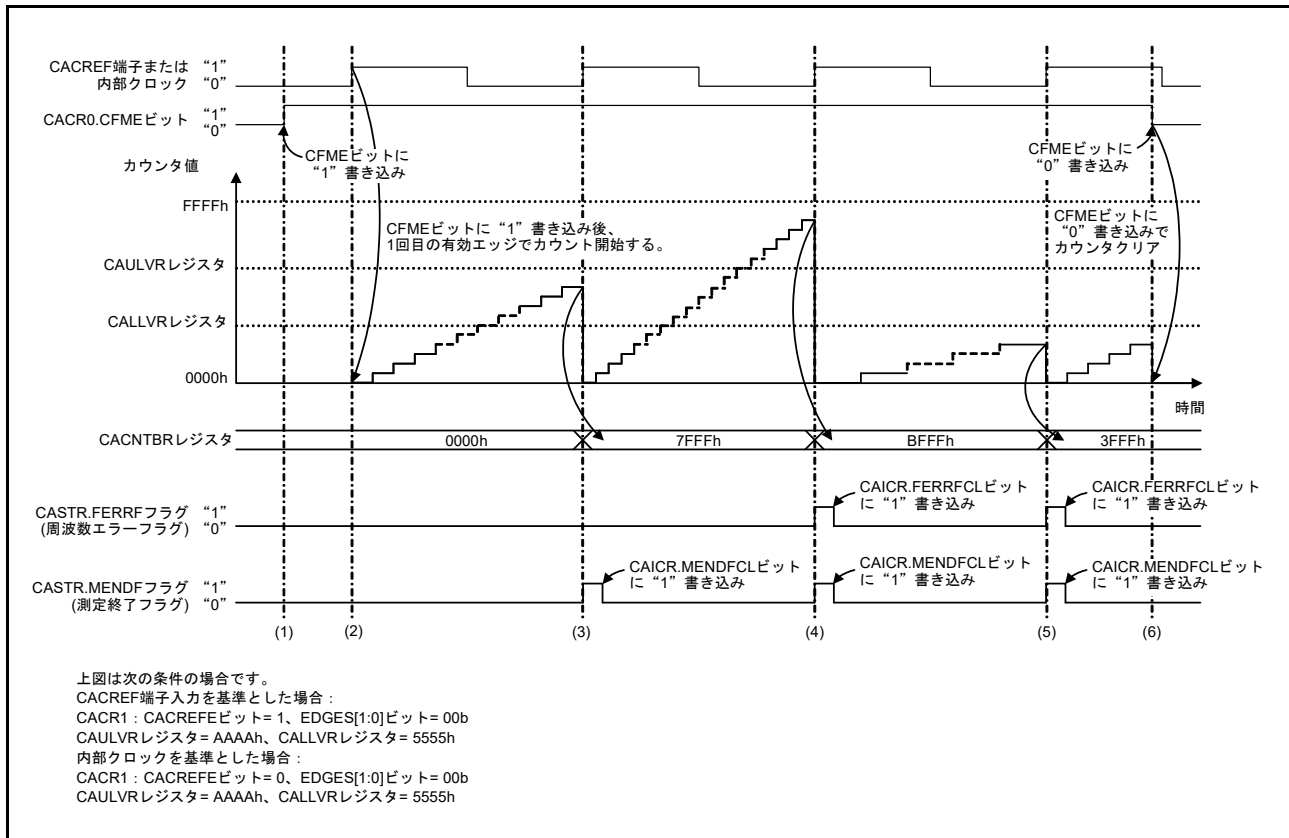


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを “0”、CACR1.CACREFE ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを “1” にした状態で、CACR0.CFME ビットに “1” を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに “1” を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウントアップが開始されます。
内部クロックを基準とした場合は、CFME ビットに “1” を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0] ビット = 00b)) が入力されるとタイマのカウントアップが開始されます。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CALLVR レジスタ $\leq$ CACNTBR レジスタ $\leq$ CAULVR レジスタのときは、クロック周波数が正常なので CASTR.MENDF フラグだけが “1” になります。また、CAICR.MENDIE ビットを “1” にしている場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”になります。また、CAICR.FERRIE ビットを“1”にしている場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”になります。また、CAICR.MENDIE ビットを“1”にしている場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較します。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソース 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの 3 種類があります。各割り込み要因が発生すると各ステータスフラグが“1”になります。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタと CAULVR レジスタおよび CALLVR レジスタとを比較した結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKB)、S12AD 用クロック (PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能(注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード
動作電力低減機能	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：2種類 高速動作モード 中速動作モード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態 (1/2)

動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み(注1)
解除後の状態(注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
高速オンチップオシレータ (HOCO)	動作可能	動作可能	停止
低速オンチップオシレータ (LOCO)	動作可能	動作可能	停止
IWDT 専用オンチップオシレータ (ILOCO)	動作可能(注3)	動作可能(注3)	動作可能(注3)
PLL	動作可能	動作可能	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)
RAM0 (0000 0000h ~ 0000 2FFFh)	動作可能 (保持)	停止 (保持)	停止 (保持)
DTC	動作可能(注5)	停止 (保持)	停止 (保持)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	動作可能(注3)	動作可能(注3)	動作可能(注3)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止 (保持)(注4)
I/Oポート	動作	動作	保持

表 11.2 各モードにおける遷移および解除方法と動作状態 (2/2)

動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
CLKOUT 出力	動作可能	動作可能	停止
コンパレータ C	動作可能	動作可能	動作可能(注6)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

注1. 外部端子割り込み(NMI, IRQ0～IRQ7)、周辺機能割り込み(IWDT、電圧監視)

注2. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。

注3. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット(OFS0.IWDTSLCSTP)の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット(IWDTCSLTPR.SLCSTP)の設定により、動作/停止を選択することができます。

注4. 周辺モジュールは状態を保持します。

注5. スリープモード中は、システム制御関連のレジスタ(「表5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

注6. デジタルフィルタ機能は使用禁止です。比較結果のCOMPn端子への出力のみ動作可能です。

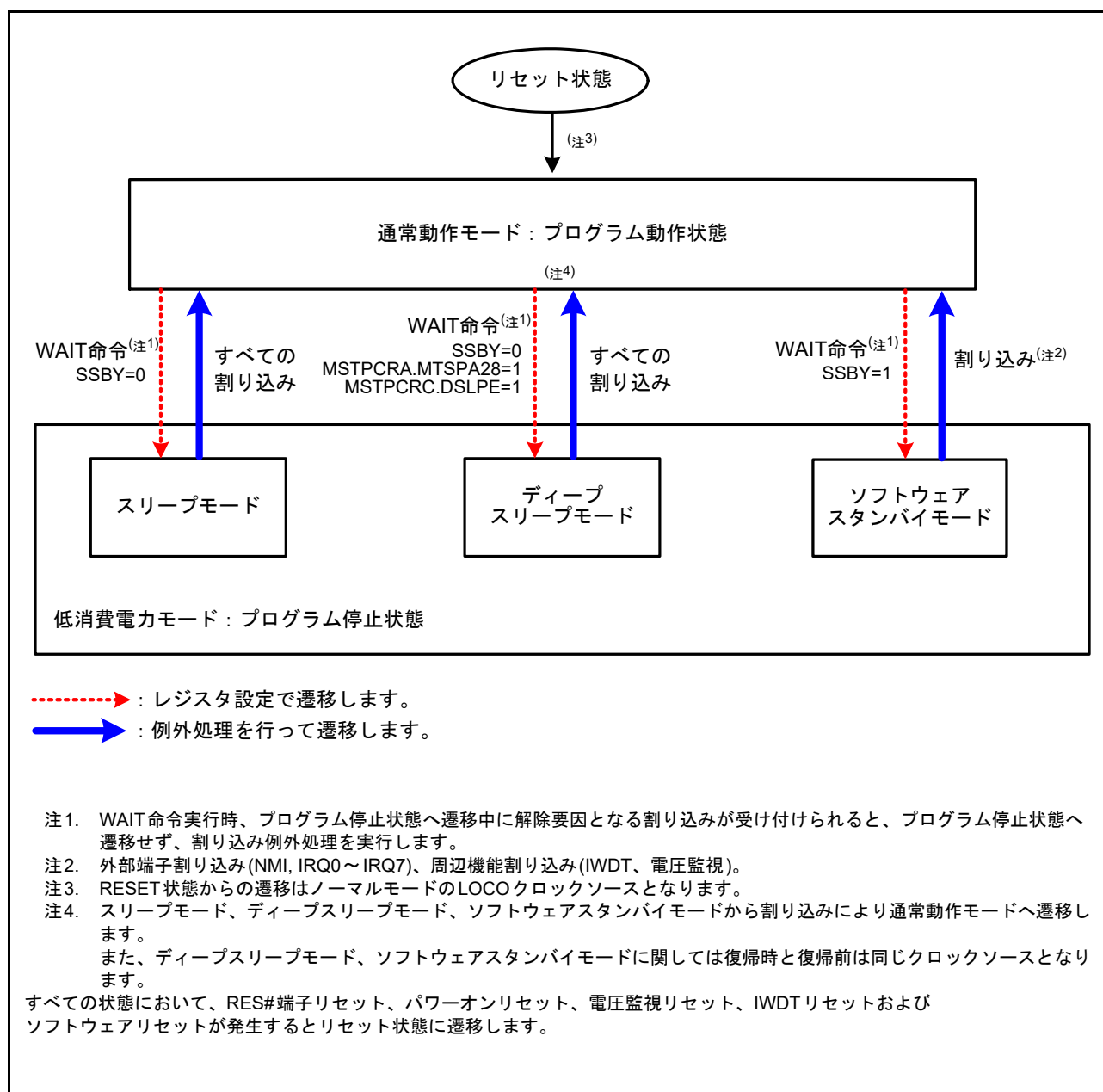


図 11.1 モード遷移

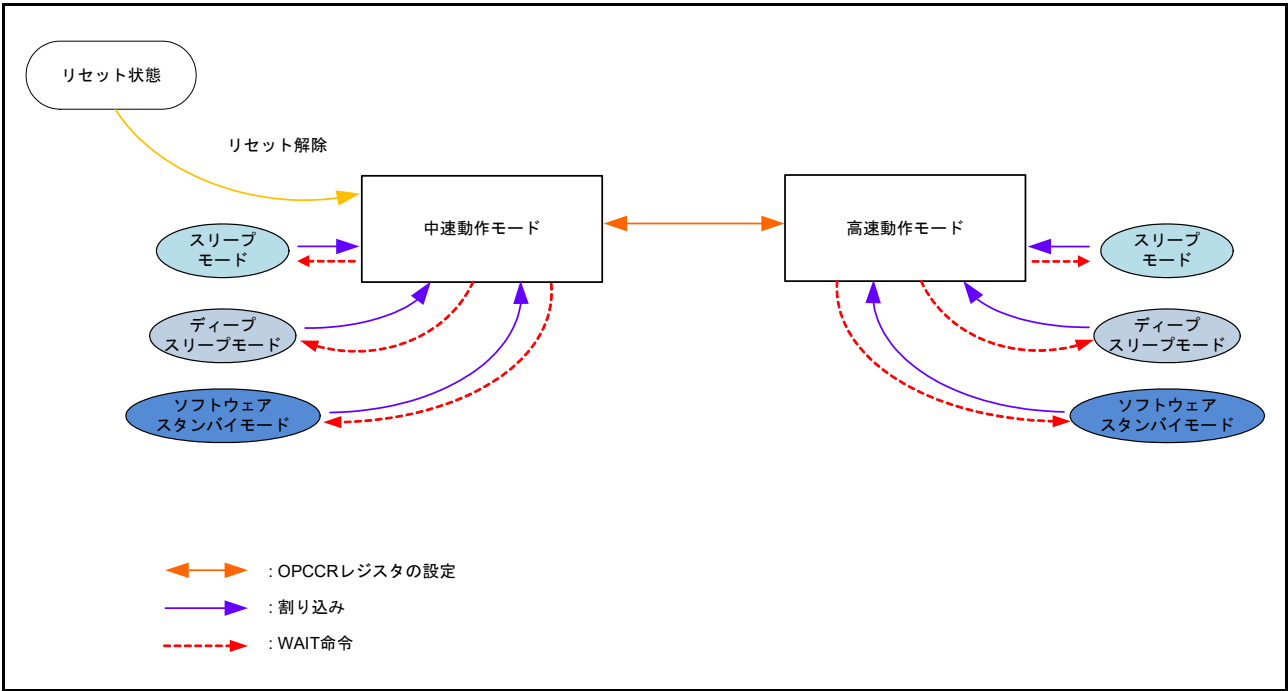


図 11.2 動作モード

- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。
- リセット解除後は中速動作モードで動作開始します。
- スリープモード中、モード遷移中は、システム制御関連のレジスタ (I/O レジスタ一覧のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

表 11.3 各動作モードでの発振器の動作可否

	PLL	HOCO	LOCO	IWDT専用オンチップオシレータ	メインクロック発振器
高速動作モード	○	○	○	○	○
中速動作モード	○	○	○	○	○

○：動作可能
×：動作禁止

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス SYSTEM.SBYCR 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0 : WAIT 命令実行後、スリープモードまたはディープスリープモードに遷移 1 : WAIT 命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス SYSTEM.MSTPCRA 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	—	—	—	—	—	—	—	MSTPA 19	—	MSTPA 17	MSTPA 16
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	—	—	—	—	—	MSTPA 9	—	MSTPA 7	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3, TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1, TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	MSTPA7	汎用PWMタイマ/GPTW用ポートアウトプットイネーブルモジュールストップ設定ビット	対象モジュール：GPTW, POEG 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルスユニット3モジュールストップ設定ビット	対象モジュール：MTU 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b14-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	MSTPA15	コンペアマッチタイマ(ユニット0)モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0, CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPA16	12ビットA/Dコンバータ(ユニット1)モジュールストップ設定ビット	対象モジュール：S12ADユニット1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b17	MSTPA17	12ビットA/Dコンバータ(ユニット0)/プログラマブルゲインアンプモジュールストップ設定ビット	対象モジュール：S12ADユニット0, PGA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	D/Aコンバータモジュールストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPA28	データトランスファコントローラモジュールストップ設定ビット	対象モジュール：DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス SYSTEM.MSTPCRB 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPB30	—	—	—	MSTPB26	MSTPB25	—	MSTPB23	—	MSTPB21	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB10	—	—	—	MSTPB6	—	MSTPB4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPB4	シリアルコミュニケーション インタフェース12モジュール ストップ設定ビット	対象モジュール：SCI12 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10	MSTPB10	コンパレータCモジュールストップ設定 ビット	対象モジュール：CMPC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I2Cバスインタフェース0モジュール ストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定 ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b25	MSTPB25	シリアルコミュニケーション インタフェース6モジュールストップ設定 ビット	対象モジュール：SCI6 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーション インタフェース5モジュールストップ設定 ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーション インタフェース1モジュールストップ設定 ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス SYSTEM.MSTPCRC 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	—	—	—	—	—	—	—	—	—	—	MSTPC19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット(注1)	対象モジュール : RAM0 (0000 0000h ~ 0000 2FFFh) 0 : RAM0 動作 1 : RAM0 停止	R/W
b15-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b19	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路 モジュールストップ設定ビット(注2)	対象モジュール : CAC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	R/W
b30-b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0 : ディープスリープモード禁止 1 : ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可)にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出カクロックで2サイクル経過したのち、WAIT命令を実行してください。

DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの遷移の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SSBY ビットおよび MSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、ディープスリープモードに遷移します。詳細は「11.6.2 ディープスリープモード」を参照してください。

11.2.5 動作電力コントロールレジスタ (OPCCR)

アドレス SYSTEM.OPCCR 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数に応じて消費電力を低減させることができます。以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”(遷移中) のとき
- スリープモードへ遷移するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ遷移するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

なお、動作電力制御モードへの遷移中 (OPCCR.OPCMTSF フラグが“1”) は、E2 データフラッシュから正しい値が読み出せません。DTC 転送を使用して E2 データフラッシュを読み出す設定をしている場合は、OPCCR.OPCM[2:0] ビットを書き換える前に DTC モジュールを停止させてください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ (「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ) への書き込みは禁止です。

OPCM[2:0] ビット (動作電力制御モード選択ビット)

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御モードを選択します。

表 11.4 に動作電力制御モードと OPCM[2:0] ビット設定値と、動作周波数範囲・動作電圧範囲の関係を示します。

OPCMTSF フラグ (動作電力制御モード遷移状態フラグ)

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

表 11.4 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPCM[2:0] ビット	動作電圧範囲	動作周波数範囲				
			フラッシュメモリリード時				フラッシュメモリ P/E 時
			ICLK	FCLK	PCLKD	PCLKB	FCLK
高速動作モード	000b	2.7 ~ 5.5V	~ 48MHz(注 1)	~ 48MHz	~ 64MHz	~ 48MHz	1MHz ~ 48MHz(注 1)
中速動作モード	010b		~ 24MHz	~ 24MHz	~ 24MHz	~ 24MHz	1MHz ~ 24MHz

注. フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

注 1. 32MHz より高い周波数のクロックを設定する場合、ROM アクセス時のウェイト挿入を設定する必要があります。詳細は「37. フラッシュメモリ (FLASH)」を参照してください。

各動作電力制御モードについて以下に説明します。

- 高速動作モード

FLASH リード時の最高動作周波数は、ICLK、PCLKB、FCLK が 48MHz で、PCLKD が 64MHz です。
FLASH リード時の動作電圧範囲は 2.7V ~ 5.5V です。

P/E 時の動作周波数範囲は 1 ~ 48MHz、動作電圧範囲は 2.7V ~ 5.5V です。

図 11.3 に高速動作モードにおける動作電圧と動作周波数の関係を示します。

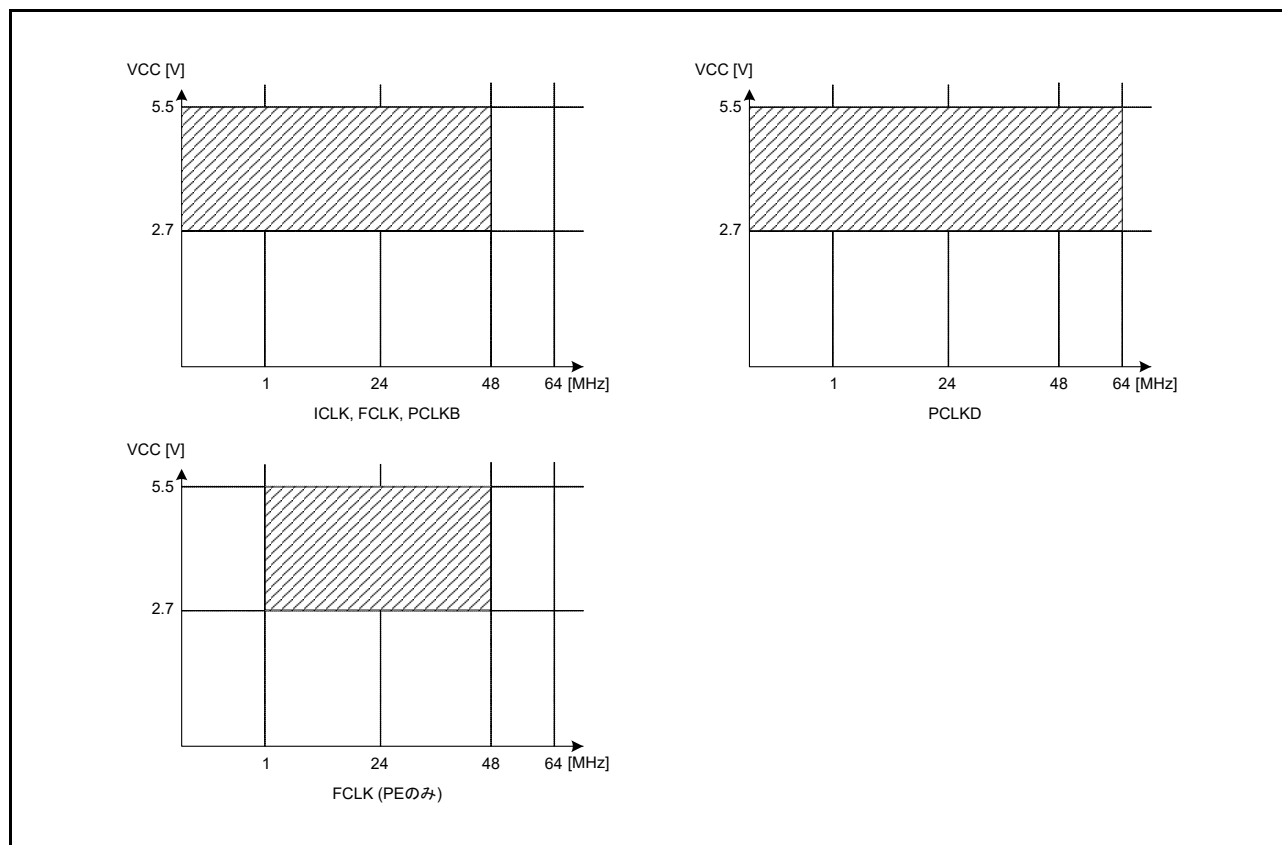


図 11.3 高速動作モードにおける動作電圧と動作周波数の関係

注． フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKB、PCLKD が 24MHz です。FLASH リード時の動作電圧範囲は 2.7V ~ 5.5V です。

P/E 時は、動作周波数範囲が 1 ~ 24MHz、動作電圧範囲が 2.7V ~ 5.5V となります。

同条件 (周波数・電圧) で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

リセット解除後は、本モードで起動します。

図 11.4 に中速動作モードにおける動作電圧と動作周波数の関係を示します。

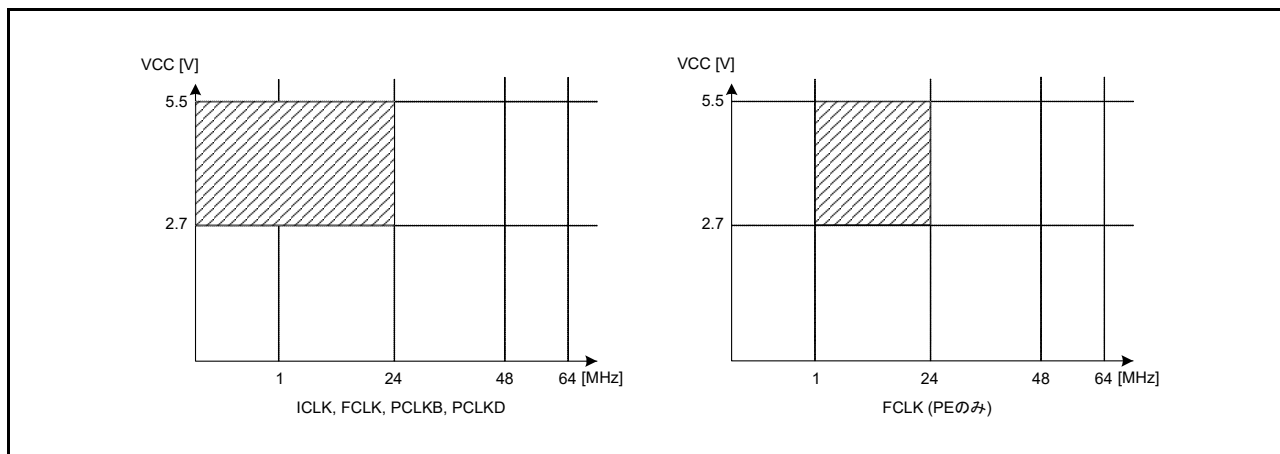


図 11.4 中速動作モードにおける動作電圧と動作周波数の関係

注． フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0]、ICK[3:0]、PCKB[3:0]、PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。

フラッシュインタフェースはFCK[3:0] ビットで設定した動作クロックで動作します。

詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュールの動作を停止させる機能で、周辺モジュール単位で設定することができます。CPU の動作は停止しません。

MSTPCRA ~ MSTPCRC レジスタの MSTPmi ビット ($m = A \sim C, i = 0 \sim 31$) を“1”にすると、対応する周辺モジュールが動作を停止してモジュールストップ状態へ遷移します。モジュールストップ状態では、周辺モジュールの内部状態は保持されています。MSTPmi ビットを“0”にすることによって、対応する周辺モジュールのモジュールストップ状態は解除され、バスサイクルの終了時点で動作を再開します。

リセット解除後、DTC、RAM を除くすべての周辺モジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定された周辺モジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。なお、一部の内蔵周辺モジュールでは、モジュールストップ状態時にレジスタにアクセスするとバスタイムアウトエラーが発生することがあります。周辺モジュールのレジスタへのアクセスは、モジュールストップ状態を解除してから行ってください。

バスタイムアウトの詳細は、「15.4.1.2 タイムアウト」を参照してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時の消費電力を低減することができます。

11.5.1 動作電力制御モード設定方法

動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 例：高速動作モードから中速動作モードへの切り替え

(高速動作モードで高速動作)



各クロックの周波数を中速動作モードの最高動作周波数以下に設定



OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認



OPCCR.OPCM[2:0] ビットを“010b”(中速動作モード)に設定



OPCCR.OPCMTSF フラグが“0”(遷移完了)であることを確認



(中速動作モードで中速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 例：中速動作モードから高速動作モードへの切り替え

中速動作モードで中速動作



OPCCR.OPCMTSF フラグが “0” (遷移完了) であることを確認



OPCCR.OPCM[2:0] ビットを “000b” (高速動作モード) に設定



OPCCR.OPCMTSF フラグが “0” (遷移完了) であることを確認



各クロックの周波数を高速動作モードの最高動作周波数以下に設定



高速動作モードでの高速動作

11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの遷移

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードに遷移します。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、スリープモードへ遷移後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ遷移後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注 1) を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先 (注 2) を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル (注 3) を、CPU の PSW.IPL[3:0] ビット (注 1) よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット (注 3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行 (WAIT 命令の実行により CPU の PSW.I ビット (注 1) は自動的に“1”になります)。

注 1. 詳細は「2. CPU」を参照してください。

注 2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注 3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込み優先レベルが(注1)CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合) には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.2 ディープスリープモード

11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”にし、かつ MSTPCRA.MSTPA28 ビットを“1”、SBYCR.SSBY ビットを“0”にした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します。

ディープスリープモードでは、CPU に加え、DTC、ROM、RAM のクロックも停止します。周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにディープスリープモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにディープスリープモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ディープスリープモードへ遷移後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0” のときは、ディープスリープモードへ遷移後も IWDT はカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット(注1)を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先(注2)を CPU に設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル(注3)を、CPU の PSW.IPL[3:0] ビット(注1)よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みの IERm.IENj(注3)を“1”にする。
- (5) 最後に書きこみを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行により CPU の PSW.I(注1)は自動的に“1”になります)。

注 1. 詳細は「2. CPU」を参照してください。

注 2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注 3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合 (割り込みの優先レベル(注1)が CPU の PSW.IPL[3:0] ビット(注2)以下に設定されている場合)には、ディープスリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、ディープスリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。

- 独立ウォッチドッグタイマによる解除

IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件 (OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに遷移します。このモードでは、CPU、内蔵周辺機能以外のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0” (低消費電力モード遷移時 IWDT カウント継続) のときは、ソフトウェアスタンバイモードへ遷移後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ遷移後も IWDT はカウントを継続します。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット (注1) を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先 (注2) を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル (注3) を CPU の PSW.IPL[3:0] ビット (注1) よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット (注3) を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する (WAIT 命令の実行によって CPU の PSW.I ビット (注1) は自動的に“1”になります)。

注 1. 詳細は「2. CPU」を参照してください。

注 2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注 3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み (NMI, IRQ0 ~ IRQ7)、周辺機能割り込み (IWDTC、電圧監視)、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード遷移前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0 ~ IRQ7、IWDTC、電圧監視の割り込み要求が発生すると、ソフトウェアスタンバイモード遷移前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDTC のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件 (OFS0.IWDTCSTRT = 0 かつ OFS0.IWDTCSLCSTP = 1、または OFS0.IWDTCSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1) では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.5 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが “01b” (立ち下がりエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに遷移しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

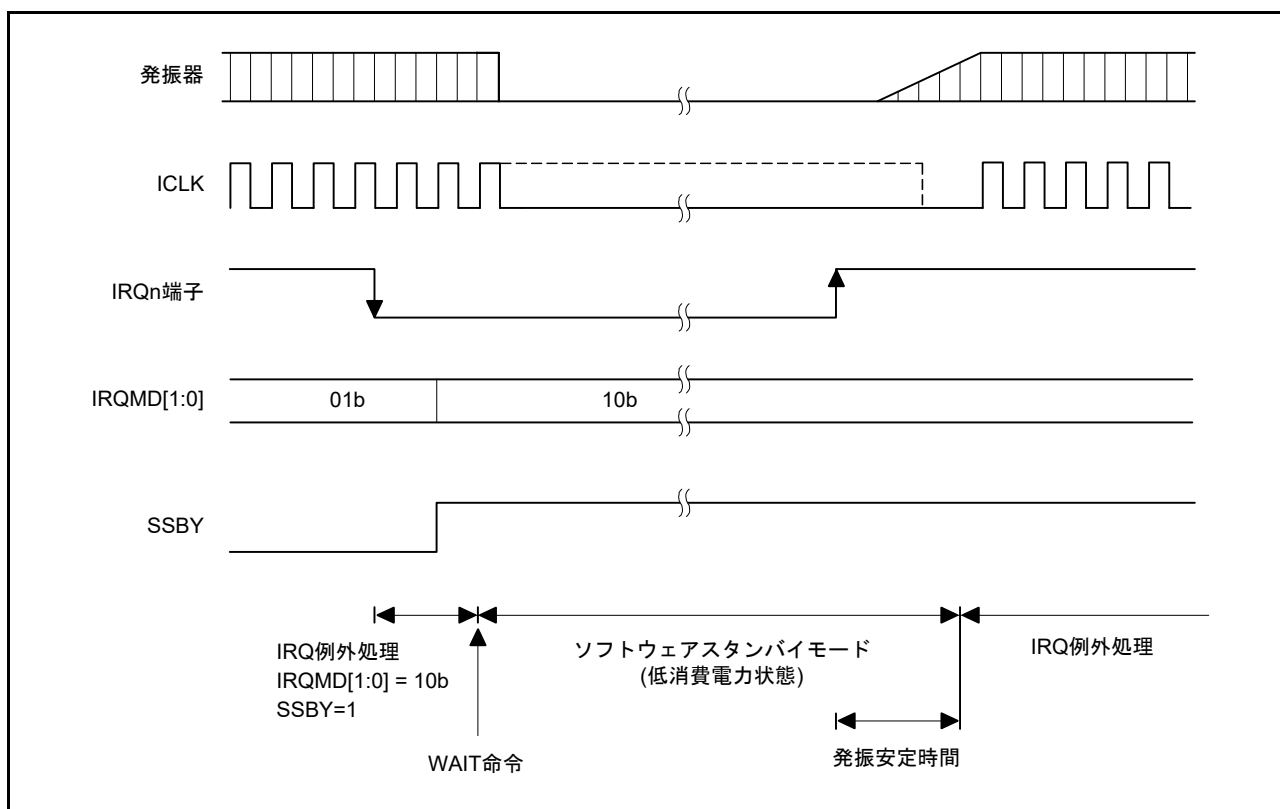


図 11.5 ソフトウェアスタンバイモードの応用例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。

11.7.2 DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態にしてください。

詳細は、「16. データトランスファコントローラ (DTCb)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップ状態にすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB、および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.6 スリープモード中の DTC によるレジスタの書き換えについて

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSLTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DTC によって IWDT 関連のレジスタを書き換えしないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

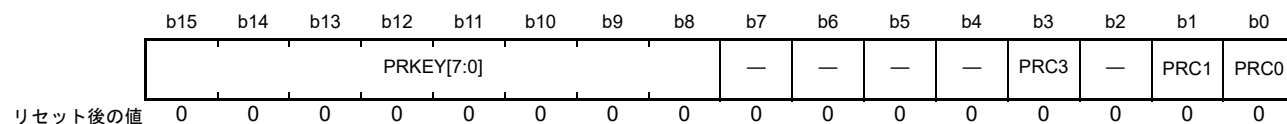
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, LOCOCR, ILOCOCR, HOCOCR, OSTDCR, OSTDSR, CKOCR, LOCOTRR2, ILOCOTRR, HOCOTRR0
PRC1 ビット	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, OPCCR - クロック発生回路関連レジスタ MOFCR, MOSCWTCR - ソフトウェアリセットレジスタ SWRR
PRC3 ビット	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス SYSTEM.PRCR 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路への書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRC キーコードビット	PRCR レジスタの書き換えの可否を制御します。 PRCR レジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0, 1, 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv2 CPU は、7 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

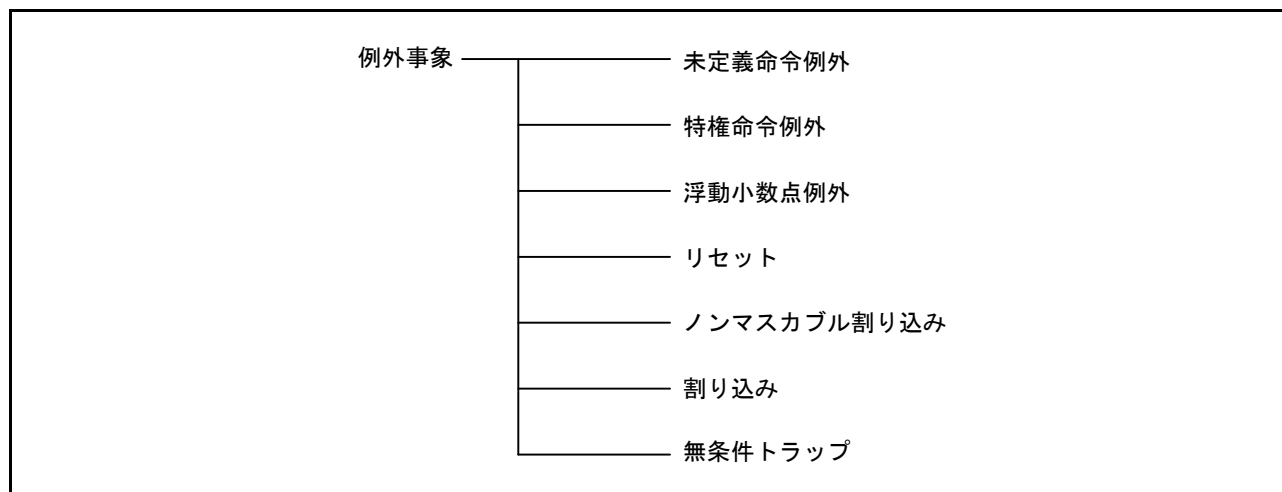


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 浮動小数点例外

浮動小数点例外は、IEEE754 規格で規定された 5 つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSW の EX、EU、EZ、EO、EV ビットが“0”のとき、例外処理が禁止されます。

13.1.4 リセット

CPU にリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.5 ノンマスカブル割り込み

CPU にノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.6 割り込み

CPU に割り込み信号を入力することによって発生します。割り込みのうち 1 つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは 15（最高）です。

PSW の I ビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.7 無条件トラップ

INT 命令、および BRK 命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

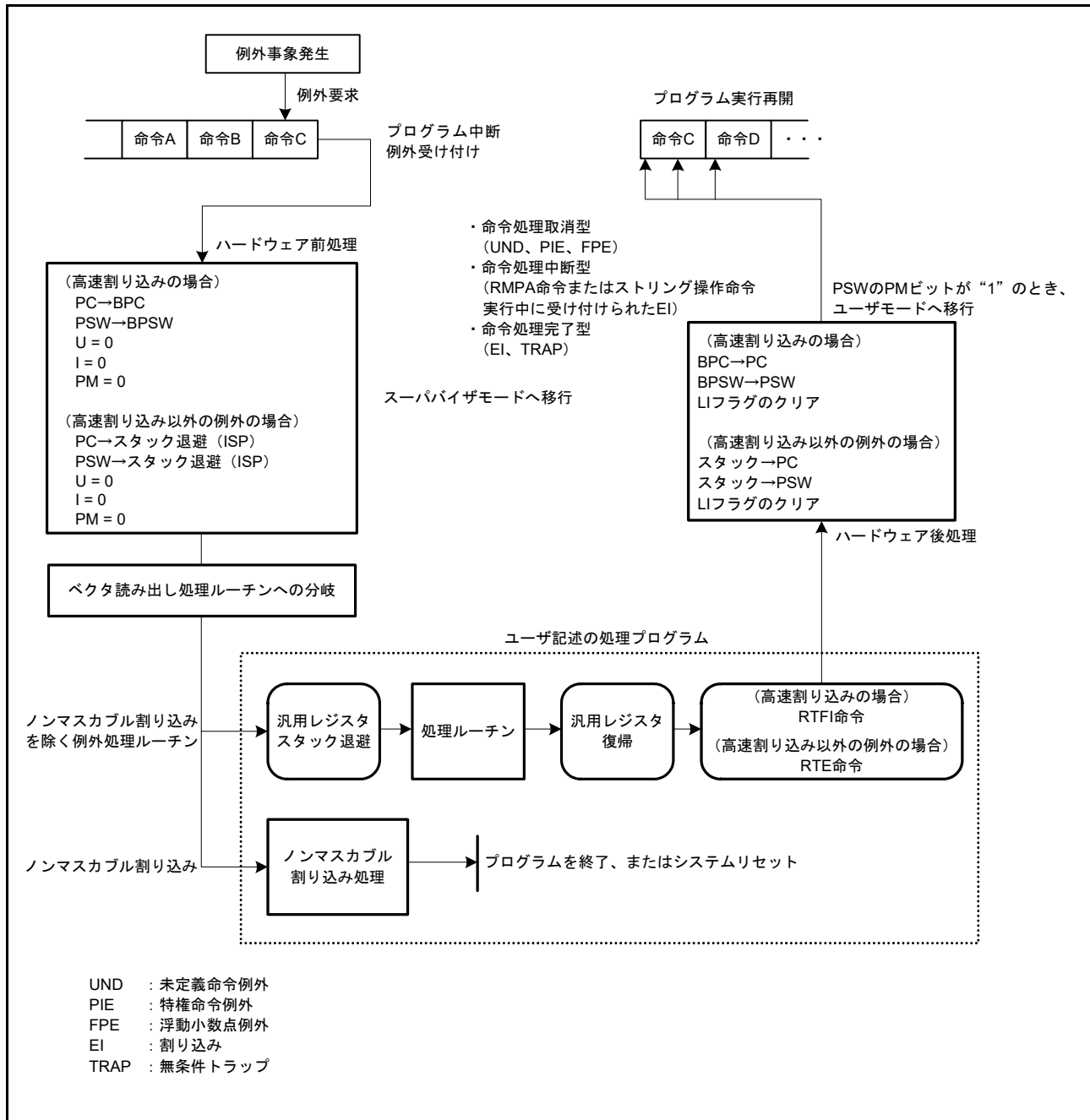


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv2 CPU はハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv2 CPU のハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ (PC) の内容をバックアップ PC (BPC) に、プロセッサステータスワード (PSW) の内容をバックアップ PSW (BPSW) へ退避します。高速割り込み以外の例外では、PC、PSW をスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、および PC、PSW 以外の制御レジスタについては、例外処理ルーチンの先頭でユーザプログラムによってスタックに退避してください。

例外処理ルーチン処理完了後、スタックに退避したレジスタを復帰して RTE 命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI 命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv2 CPU のハードウェア後処理では、高速割り込みの場合は BPC を PC に、また、BPSW の値を PSW に戻します。高速割り込み以外の例外では、スタック領域から PC、PSW の値を復帰します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避される PC 値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ（PC）の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避される PC 値

例外事象		処理型	受け付け タイミング	BPC/スタックに退避される PC 値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令の PC 値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル 割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
割り込み	RMPA、SCMPU、SMOVB、 SMOVF、SMOVU、SSTR、 SUNTIL、SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令の PC 値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令の PC 値
無条件トラップ		命令処理完了型	命令の区切り	次の命令の PC 値

13.3.2 ベクタと PC、PSW の退避場所

各例外事象のベクタとプログラムカウンタ（PC）、プロセッサステータスワード（PSW）の退避場所を表 13.2 に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表 13.2 ベクタと PC、PSW の退避場所

例外事象		ベクタ	PC、PSW の退避場所
未定義命令例外		例外ベクタテーブル（EXTB）	スタック
特権命令例外		例外ベクタテーブル（EXTB）	スタック
浮動小数点例外		例外ベクタテーブル（EXTB）	スタック
リセット		例外ベクタテーブル（EXTB）	なし
ノンマスカブル割り込み		例外ベクタテーブル（EXTB）	スタック
割り込み	高速割り込み	FINTV	BPC, BPSW
	高速割り込み以外	割り込みベクタテーブル（INTB）	スタック
無条件トラップ		割り込みベクタテーブル（INTB）	スタック

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM、U、I ビットの更新

I： 0 にする

U： 0 にする

PM： 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

(c) LI フラグのクリア処理

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 0000005Ch 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000050h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000064h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 リセット

1. 制御を初期化します。
2. FFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.5 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を “Fh” にします。
5. EXTB の値 + 00000078h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.6 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. RMPA、SCMPU、SMOVB、SMOVF、SMOVU、SSTR、SUNTIL、SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を “0” にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC, BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位		例外事象
高い  低い	1	リセット
	2	ノンマスカブル割り込み
	3	割り込み
	4	未定義命令例外 特権命令例外
	5	無条件トラップ
	6	浮動小数点例外

14. 割り込みコントローラ (ICUb)

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよび DTC への転送要求を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC制御	割り込み要因によりDTCの起動が可能(注1)
ノンマスクابل 割り込み	NMI端子割り込み	- NMI端子からの割り込み - 割り込み検出：立ち下がりエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	IWDT アンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1)の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2)の電圧監視割り込み
低消費電力状態 からの復帰	スリープモード ディープスリープモード	すべてのノンマスクابل割り込み、すべての割り込みで復帰
	ソフトウェアスタンバイ モード	ノンマスクابل割り込み、外部端子割り込み (IRQ0～IRQ7)、周辺機能割り込み (電圧監視1、電圧監視2) で復帰

注1. DTCの起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

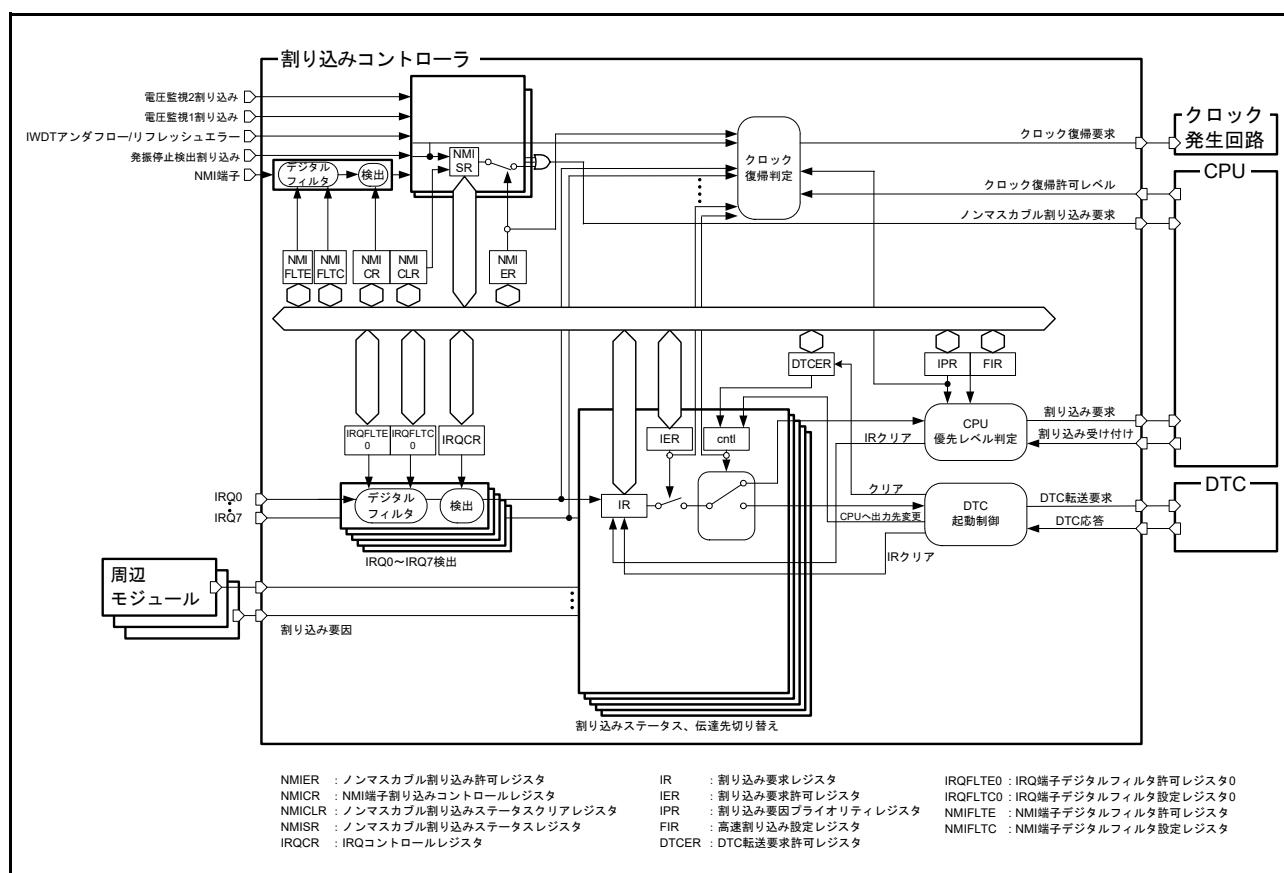


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0～IRQ7	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス ICU.IR016 0008 7010h～ICU.IR255 0008 70FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。

割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子 (i = 0 ~ 7) からの割り込みは、IRQCRi.IRQMD[1:0] ビットの設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

["1" になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0" になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC に設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1" になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0" になる条件]

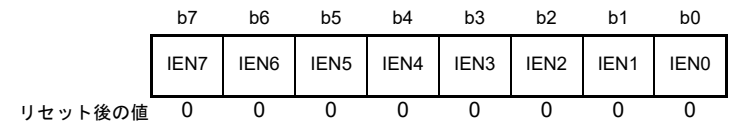
- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。

レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス ICU.IER02 0008 7202h~ICU.IER1F 0008 721Fh



ビット	シンボル	ビット名	機能	R/W
b0	IER0	割り込み要求許可ビット0	0：割り込み要求禁止 1：割り込み要求許可	R/W
b1	IER1	割り込み要求許可ビット1		R/W
b2	IER2	割り込み要求許可ビット2		R/W
b3	IER3	割り込み要求許可ビット3		R/W
b4	IER4	割り込み要求許可ビット4		R/W
b5	IER5	割り込み要求許可ビット5		R/W
b6	IER6	割り込み要求許可ビット6		R/W
b7	IER7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IERj ビット (割り込み要求許可ビット) (j = 0 ~ 7)

IERj ビットが “1” のとき、割り込み要求先に割り込み要求を出力します。

IERj ビットが “0” のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグ (n = 割り込みベクタ番号) は、IERj ビットの影響を受けません。IERj ビットが “0” であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件でIR フラグは変化します。

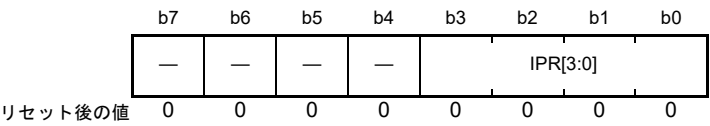
IERm.IERj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IERj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IERj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)

アドレス ICU.IPR000 0008 7300h～ICU.IPR255 0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3b0 0000: レベル0 (割り込み禁止)(注1) 0001: レベル1 0010: レベル2 0011: レベル3 0100: レベル4 0101: レベル5 0110: レベル6 0111: レベル7 1000: レベル8 1001: レベル9 1010: レベル10 1011: レベル11 1100: レベル12 1101: レベル13 1110: レベル14 1111: レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC への転送要求には影響を与えません。

CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh、j = 0 ~ 7)) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス ICU.FIR 0008 72F0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FIEN	—	—	—	—	—	—	—					FVCT[7:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC への転送要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ (n = 割り込みベクタ番号) の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「14.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビットで割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス ICU.SWINTR 0008 72E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SWINT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 転送要求許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 転送要求許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 転送要求を発行します。

14.2.6 DTC 転送要求許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス ICU.DTCER027 0008 711Bh～ICU.DTCER255 0008 71FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC転送要求許可ビット	0 : CPUへの割り込み要因に設定する 1 : DTCの起動要因に設定する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 転送要求許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

[“1”になる条件]

- DTCE ビットに“1”を書いたとき

[“0”になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 7)

アドレス ICU.IRQCR0 0008 7500h ~ ICU.IRQCR7 0008 7507h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	IRQMD[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0 : Low 0 1 : 立ち下がリエッジ 1 0 : 立ち上がりエッジ 1 1 : 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQ_i 端子の割り込み検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.8 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス ICU.IRQFLTE0 0008 7510h

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN 7	FLTEN 6	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b6	FLTEN6	IRQ6 デジタルフィルタ許可ビット		R/W
b7	FLTEN7	IRQ7 デジタルフィルタ許可ビット		R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 7)

IRQ_i 端子のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス ICU.IRQFLTC0 0008 7514h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FCLKSEL7[1:0]	FCLKSEL6[1:0]	FCLKSEL5[1:0]	FCLKSEL4[1:0]	FCLKSEL3[1:0]	FCLKSEL2[1:0]	FCLKSEL1[1:0]	FCLKSEL0[1:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b13-b12	FCLKSEL6[1:0]	IRQ6 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b14	FCLKSEL7[1:0]	IRQ7 デジタルフィルタサンプリングクロック設定ビット		R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 7)

IRQi 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス ICU.NMISR 0008 7580h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2S T	LVD1S T	IWDTS T	—	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMI ステータスフラグ	0 : NMI 端子割り込み要求なし 1 : NMI 端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0 : 発振停止検出割り込み要求なし 1 : 発振停止検出割り込み要求あり	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	IWDTS	IWDT アンダフロー/リフレッシュエラーステータスフラグ	0 : IWDT アンダフロー/リフレッシュエラー割り込み要求なし 1 : IWDT アンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1S	電圧監視1割り込みステータスフラグ	0 : 電圧監視1割り込み要求なし 1 : 電圧監視1割り込み要求あり	R
b5	LVD2S	電圧監視2割り込みステータスフラグ	0 : 電圧監視2割り込み要求なし 1 : 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ (NMICR) の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

[“1”になる条件]

- 発振停止検出割り込みが発生したとき

[“0”になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

IWDNST フラグ (IWDNST アンダフロー / リフレッシュエラーステータスフラグ)

IWDNST アンダフロー / リフレッシュエラー割り込み要求を示します。

IWDNST フラグは読み出しのみ可能で、クリアは NMICLR.IWDNSTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDNST アンダフロー / リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDNSTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

14.2.11 ノンマスカブル割り込み許可レジスタ (NMIER)

アドレス ICU.NMIER 0008 7581h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2EN N	LVD1EN N	IWDTE N	—	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0 : IWDTアンダフロー/リフレッシュエラー割り込み禁止 1 : IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0 : 電圧監視1割り込み禁止 1 : 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0 : 電圧監視2割り込み禁止 1 : 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1 割り込み許可ビット)

電圧監視1 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視2 割り込み許可ビット)

電圧監視2 割り込みの使用を許可するビットです。

1 回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

14.2.12 ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)

アドレス ICU.NMICLR 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	—	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTCCLR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

IWDTCCLR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.13 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス ICU.NMICR 0008 7583h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0：立ち下がリエッジ 1：立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.14 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス ICU.NMIFLTE 0008 7590h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.15 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス ICU.NMIFLTC 0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリング クロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8 クロックに 1 回)、PCLK/32 (32 クロックに 1 回)、PCLK/64 (64 クロックに 1 回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPU が割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから 4 バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPU の割り込みテーブルレジスタ (INTB) に設定した番地から、1024 バイト (4 バイト × 256 要因分) の領域に連続に配置されます。INTB レジスタは割り込みを許可する前に設定してください。INTB レジスタに 4 の倍数を設定してください。

なお、INT 命令、および BRK 命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表 14.3 の割り込みのベクタテーブルと同じ領域を利用します。BRK 命令はベクタ番号 0 のみ、INT 命令は指定した番号 (0 ~ 255) のベクタとなります。

表 14.3 に割り込みのベクタテーブルを示します。表 14.3 の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込み検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
SSBY復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセッ ト	割り込み 検出方法	CPU割り込み	DTC起動	SSBY復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	×	×	×	—	—	—
—	無条件トラップ専用	1	0004h	—	×	×	×	—	—	—
—	無条件トラップ専用	2	0008h	—	×	×	×	—	—	—
—	無条件トラップ専用	3	000Ch	—	×	×	×	—	—	—
—	無条件トラップ専用	4	0010h	—	×	×	×	—	—	—
—	無条件トラップ専用	5	0014h	—	×	×	×	—	—	—
—	無条件トラップ専用	6	0018h	—	×	×	×	—	—	—
—	無条件トラップ専用	7	001Ch	—	×	×	×	—	—	—
—	無条件トラップ専用	8	0020h	—	×	×	×	—	—	—
—	無条件トラップ専用	9	0024h	—	×	×	×	—	—	—
—	無条件トラップ専用	10	0028h	—	×	×	×	—	—	—
—	無条件トラップ専用	11	002Ch	—	×	×	×	—	—	—
—	無条件トラップ専用	12	0030h	—	×	×	×	—	—	—
—	無条件トラップ専用	13	0034h	—	×	×	×	—	—	—
—	無条件トラップ専用	14	0038h	—	×	×	×	—	—	—
—	無条件トラップ専用	15	003Ch	—	×	×	×	—	—	—
BSC	BUSERR	16	0040h	レベル	○	×	×	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	×	×	×	—	—	—
—	予約	18	0048h	—	×	×	×	—	—	—
—	予約	19	004Ch	—	×	×	×	—	—	—
—	予約	20	0050h	—	×	×	×	—	—	—
—	予約	21	0054h	—	×	×	×	—	—	—
—	予約	22	0058h	—	×	×	×	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	×	×	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	×	×	×	—	—	—
—	予約	25	0064h	—	×	×	×	—	—	—
—	予約	26	0068h	—	×	×	×	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	×	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	×	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	×	IER03.IEN5	IPR005	DTCER029
—	予約	30	0078h	—	×	×	×	—	—	—
—	予約	31	007Ch	—	×	×	×	—	—	—
CAC	FERRF	32	0080h	レベル	○	×	×	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	×	×	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	×	×	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	×	×	×	—	—	—
—	予約	36	0090h	—	×	×	×	—	—	—
—	予約	37	0094h	—	×	×	×	—	—	—
—	予約	38	0098h	—	×	×	×	—	—	—
—	予約	39	009Ch	—	×	×	×	—	—	—
POEG	POEGGAI	40	00A0h	レベル	○	×	×	IER05.IEN0	IPR040	—
—	予約	41	00A4h	—	×	×	×	—	—	—
—	予約	42	00A8h	—	×	×	×	—	—	—
—	予約	43	00ACh	—	×	×	×	—	—	—
—	予約	44	00B0h	—	×	×	×	—	—	—
—	予約	45	00B4h	—	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (2/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセッ ト	割り込み 検出方法	CPU割り込み	DTC起動	SSBY復帰	IER	IPR	DTCER
—	予約	46	00B8h	—	×	×	×	—	—	—
—	予約	47	00BCh	—	×	×	×	—	—	—
GPTW0	GTCIA0	48	00C0h	エッジ	○	○	×	IER06.IEN0	IPR048	DTCER048
	GTCIB0	49	00C4h	エッジ	○	○	×	IER06.IEN1	IPR049	DTCER049
	GTCIC0	50	00C8h	エッジ	○	○	×	IER06.IEN2	IPR050	DTCER050
	GTCID0	51	00CCh	エッジ	○	○	×	IER06.IEN3	IPR051	DTCER051
	GDTE0	52	00D0h	エッジ	○	×	×	IER06.IEN4	IPR052	—
	GTCIE0	53	00D4h	エッジ	○	○	×	IER06.IEN5	IPR053	DTCER053
	GTCIF0	54	00D8h	エッジ	○	○	×	IER06.IEN6	IPR054	DTCER054
	GTCIV0	55	00DCh	エッジ	○	○	×	IER06.IEN7	IPR055	DTCER055
	GTCIU0	56	00E0h	エッジ	○	○	×	IER07.IEN0	IPR056	DTCER056
DOC	DOPCF	57	00E4h	レベル	○	×	×	IER07.IEN1	IPR057	—
—	予約	58	00E8h	—	×	×	×	—	—	—
—	予約	59	00ECh	—	×	×	×	—	—	—
—	予約	60	00F0h	—	×	×	×	—	—	—
—	予約	61	00F4h	—	×	×	×	—	—	—
—	予約	62	00F8h	—	×	×	×	—	—	—
—	予約	63	00FCh	—	×	×	×	—	—	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	○	IER08.IEN5	IPR069	DTCER069
	IRQ6	70	0118h	エッジ/レベル	○	○	○	IER08.IEN6	IPR070	DTCER070
	IRQ7	71	011Ch	エッジ/レベル	○	○	○	IER08.IEN7	IPR071	DTCER071
—	予約	72	0120h	—	×	×	×	—	—	—
—	予約	73	0124h	—	×	×	×	—	—	—
—	予約	74	0128h	—	×	×	×	—	—	—
—	予約	75	012Ch	—	×	×	×	—	—	—
—	予約	76	0130h	—	×	×	×	—	—	—
—	予約	77	0134h	—	×	×	×	—	—	—
—	予約	78	0138h	—	×	×	×	—	—	—
—	予約	79	013Ch	—	×	×	×	—	—	—
—	予約	80	0140h	—	×	×	×	—	—	—
—	予約	81	0144h	—	×	×	×	—	—	—
—	予約	82	0148h	—	×	×	×	—	—	—
—	予約	83	014Ch	—	×	×	×	—	—	—
—	予約	84	0150h	—	×	×	×	—	—	—
—	予約	85	0154h	—	×	×	×	—	—	—
—	予約	86	0158h	—	×	×	×	—	—	—
—	予約	87	015Ch	—	×	×	×	—	—	—
LVD	LVD1	88	0160h	エッジ	○	×	○	IER0B.IEN0	IPR088	—
	LVD2	89	0164h	エッジ	○	×	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	×	×	×	—	—	—
—	予約	91	016Ch	—	×	×	×	—	—	—

表 14.3 割り込みのベクタテーブル (3/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセッ ト	割り込み 検出方法	CPU割り込み	DTC起動	SSBY復帰	IER	IPR	DT CER
—	予約	92	0170h	—	×	×	×	—	—	—
—	予約	93	0174h	—	×	×	×	—	—	—
—	予約	94	0178h	—	×	×	×	—	—	—
—	予約	95	017Ch	—	×	×	×	—	—	—
—	予約	96	0180h	—	×	×	×	—	—	—
—	予約	97	0184h	—	×	×	×	—	—	—
GPTW1	GTCIA1	98	0188h	エッジ	○	○	×	IER0C.IEN2	IPR098	DT CER098
	GTCIB1	99	018Ch	エッジ	○	○	×	IER0C.IEN3	IPR099	DT CER099
	GTCIC1	100	0190h	エッジ	○	○	×	IER0C.IEN4	IPR100	DT CER100
	GTCID1	101	0194h	エッジ	○	○	×	IER0C.IEN5	IPR101	DT CER101
S12AD	S12ADI	102	0198h	エッジ	○	○	×	IER0C.IEN6	IPR102	DT CER102
	GBADI	103	019Ch	エッジ	○	○	×	IER0C.IEN7	IPR103	DT CER103
	GCADI	104	01A0h	エッジ	○	○	×	IER0D.IEN0	IPR104	DT CER104
S12AD1	S12ADI1	105	01A4h	エッジ	○	○	×	IER0D.IEN1	IPR105	DT CER105
	GBADI1	106	01A8h	エッジ	○	○	×	IER0D.IEN2	IPR106	DT CER106
	GCADI1	107	01ACh	エッジ	○	○	×	IER0D.IEN3	IPR107	DT CER107
CMPC0	CMPC0	108	01B0h	エッジ	○	○	×	IER0D.IEN4	IPR108	DT CER108
CMPC1	CMPC1	109	01B4h	エッジ	○	○	×	IER0D.IEN5	IPR109	DT CER109
CMPC2	CMPC2	110	01B8h	エッジ	○	○	×	IER0D.IEN6	IPR110	DT CER110
—	予約	111	01BCh	—	×	×	×	—	—	—
—	予約	112	01C0h	—	×	×	×	—	—	—
—	予約	113	01C4h	—	×	×	×	—	—	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	×	IER0E.IEN2	IPR114	DT CER114
	TGIB0	115	01CCh	エッジ	○	○	×	IER0E.IEN3		DT CER115
	TGIC0	116	01D0h	エッジ	○	○	×	IER0E.IEN4		DT CER116
	TGID0	117	01D4h	エッジ	○	○	×	IER0E.IEN5		DT CER117
	TCIV0	118	01D8h	エッジ	○	×	×	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	×	×	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	×	×	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	×	IER0F.IEN1	IPR121	DT CER121
	TGIB1	122	01E8h	エッジ	○	○	×	IER0F.IEN2		DT CER122
	TCIV1	123	01ECh	エッジ	○	×	×	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	×	×	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	×	IER0F.IEN5	IPR125	DT CER125
	TGIB2	126	01F8h	エッジ	○	○	×	IER0F.IEN6		DT CER126
	TCIV2	127	01FCh	エッジ	○	×	×	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	×	×	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	×	IER10.IEN1	IPR129	DT CER129
	TGIB3	130	0208h	エッジ	○	○	×	IER10.IEN2		DT CER130
	TGIC3	131	020Ch	エッジ	○	○	×	IER10.IEN3		DT CER131
	TGID3	132	0210h	エッジ	○	○	×	IER10.IEN4		DT CER132
	TCIV3	133	0214h	エッジ	○	×	×	IER10.IEN5	IPR133	—

表 14.3 割り込みのベクタテーブル (4/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC 起動	SSBY 復帰	IER	IPR	DT CER
MTU4	TGIA4	134	0218h	エッジ	○	○	×	IER10.IEN6	IPR134	DT CER134
	TGIB4	135	021Ch	エッジ	○	○	×	IER10.IEN7		DT CER135
	TGIC4	136	0220h	エッジ	○	○	×	IER11.IEN0		DT CER136
	TGID4	137	0224h	エッジ	○	○	×	IER11.IEN1		DT CER137
	TCIV4	138	0228h	エッジ	○	○	×	IER11.IEN2	IPR138	DT CER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	IER11.IEN3	IPR139	DT CER139
	TGIV5	140	0230h	エッジ	○	○	×	IER11.IEN4		DT CER140
	TGIW5	141	0234h	エッジ	○	○	×	IER11.IEN5		DT CER141
—	予約	142	0238h	—	×	×	×	—	—	—
—	予約	143	023Ch	—	×	×	×	—	—	—
—	予約	144	0240h	—	×	×	×	—	—	—
—	予約	145	0244h	—	×	×	×	—	—	—
—	予約	146	0248h	—	×	×	×	—	—	—
—	予約	147	024Ch	—	×	×	×	—	—	—
—	予約	148	0250h	—	×	×	×	—	—	—
—	予約	149	0254h	—	×	×	×	—	—	—
—	予約	150	0258h	—	×	×	×	—	—	—
—	予約	151	025Ch	—	×	×	×	—	—	—
—	予約	152	0260h	—	×	×	×	—	—	—
—	予約	153	0264h	—	×	×	×	—	—	—
—	予約	154	0268h	—	×	×	×	—	—	—
—	予約	155	026Ch	—	×	×	×	—	—	—
—	予約	156	0270h	—	×	×	×	—	—	—
—	予約	157	0274h	—	×	×	×	—	—	—
—	予約	158	0278h	—	×	×	×	—	—	—
—	予約	159	027Ch	—	×	×	×	—	—	—
—	予約	160	0280h	—	×	×	×	—	—	—
—	予約	161	0284h	—	×	×	×	—	—	—
—	予約	162	0288h	—	×	×	×	—	—	—
—	予約	163	028Ch	—	×	×	×	—	—	—
—	予約	164	0290h	—	×	×	×	—	—	—
—	予約	165	0294h	—	×	×	×	—	—	—
—	予約	166	0298h	—	×	×	×	—	—	—
—	予約	167	029Ch	—	×	×	×	—	—	—
POE	OIE1	168	02A0h	レベル	○	×	×	IER15.IEN0	IPR168	—
—	予約	169	02A4h	—	×	×	×	—	—	—
POE	OIE3	170	02A8h	レベル	○	×	×	IER15.IEN2	IPR168	—
	OIE4	171	02ACh	レベル	○	×	×	IER15.IEN3		—
	OIE5	172	02B0h	レベル	○	×	×	IER15.IEN4		—
—	予約	173	02B4h	—	×	×	×	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	×	IER15.IEN6	IPR174	DT CER174
	CMIB0	175	02BCh	エッジ	○	○	×	IER15.IEN7		DT CER175
	OVI0	176	02C0h	エッジ	○	×	×	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	×	IER16.IEN1	IPR177	DT CER177
	CMIB1	178	02C8h	エッジ	○	○	×	IER16.IEN2		DT CER178
	OVI1	179	02CCh	エッジ	○	×	×	IER16.IEN3		—

表 14.3 割り込みのベクタテーブル (5/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセッ ト	割り込み 検出方法	CPU割り込み	DTC起動	SSBY復帰	IER	IPR	DT CER
TMR2	CMIA2	180	02D0h	エッジ	○	○	×	IER16.IEN4	IPR180	DT CER180
	CMIB2	181	02D4h	エッジ	○	○	×	IER16.IEN5		DT CER181
	OVI2	182	02D8h	エッジ	○	×	×	IER16.IEN6		—
TMR3	CMIA3	183	02DCh	エッジ	○	○	×	IER16.IEN7	IPR183	DT CER183
	CMIB3	184	02E0h	エッジ	○	○	×	IER17.IEN0		DT CER184
	OVI3	185	02E4h	エッジ	○	×	×	IER17.IEN1		—
—	予約	186	02E8h	—	×	×	×	—	—	—
—	予約	187	02ECh	—	×	×	×	—	—	—
—	予約	188	02F0h	—	×	×	×	—	—	—
—	予約	189	02F4h	—	×	×	×	—	—	—
—	予約	190	02F8h	—	×	×	×	—	—	—
—	予約	191	02FCh	—	×	×	×	—	—	—
—	予約	192	0300h	—	×	×	×	—	—	—
—	予約	193	0304h	—	×	×	×	—	—	—
—	予約	194	0308h	—	×	×	×	—	—	—
—	予約	195	030Ch	—	×	×	×	—	—	—
—	予約	196	0310h	—	×	×	×	—	—	—
—	予約	197	0314h	—	×	×	×	—	—	—
—	予約	198	0318h	—	×	×	×	—	—	—
—	予約	199	031Ch	—	×	×	×	—	—	—
—	予約	200	0320h	—	×	×	×	—	—	—
—	予約	201	0324h	—	×	×	×	—	—	—
GPTW1	GDTE1	202	0328h	エッジ	○	×	×	IER19.IEN2	IPR202	—
	GTCIE1	203	032Ch	エッジ	○	○	×	IER19.IEN3	IPR203	DT CER203
	GTCIF1	204	0330h	エッジ	○	○	×	IER19.IEN4	IPR204	DT CER204
	GTCIV1	205	0334h	エッジ	○	○	×	IER19.IEN5	IPR205	DT CER205
	GTCIU1	206	0338h	エッジ	○	○	×	IER19.IEN6	IPR206	DT CER206
GPTW2	GTCIA2	207	033Ch	エッジ	○	○	×	IER19.IEN7	IPR207	DT CER207
	GTCIB2	208	0340h	エッジ	○	○	×	IER1A.IEN0	IPR208	DT CER208
	GTCIC2	209	0344h	エッジ	○	○	×	IER1A.IEN1	IPR209	DT CER209
	GTCID2	210	0348h	エッジ	○	○	×	IER1A.IEN2	IPR210	DT CER210
	GDTE2	211	034Ch	エッジ	○	×	×	IER1A.IEN3	IPR211	—
	GTCIE2	212	0350h	エッジ	○	○	×	IER1A.IEN4	IPR212	DT CER212
	GTCIF2	213	0354h	エッジ	○	○	×	IER1A.IEN5	IPR213	DT CER213
	GTCIV2	214	0358h	エッジ	○	○	×	IER1A.IEN6	IPR214	DT CER214
	GTCIU2	215	035Ch	エッジ	○	○	×	IER1A.IEN7	IPR215	DT CER215
—	予約	216	0360h	—	×	×	×	—	—	—
—	予約	217	0364h	—	×	×	×	—	—	—
SCI1	ERI1	218	0368h	レベル	○	×	×	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	×	IER1B.IEN3		DT CER219
	TX11	220	0370h	エッジ	○	○	×	IER1B.IEN4		DT CER220
	TEI1	221	0374h	レベル	○	×	×	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	×	×	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	×	IER1B.IEN7		DT CER223
	TX15	224	0380h	エッジ	○	○	×	IER1C.IEN0		DT CER224
	TEI5	225	0384h	レベル	○	×	×	IER1C.IEN1		—

表 14.3 割り込みのベクタテーブル (6/6)

割り込み 要求発生元	名称	ベクタ 番号 (注1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC起動	SSBY復帰	IER	IPR	DT CER
SCI6	ERI6	226	0388h	レベル	○	×	×	IER1C.IEN2	IPR226	—
	RXI6	227	038Ch	エッジ	○	○	×	IER1C.IEN3		DT CER227
	TXI6	228	0390h	エッジ	○	○	×	IER1C.IEN4		DT CER228
	TEI6	229	0394h	レベル	○	×	×	IER1C.IEN5		—
—	予約	230	0398h	—	×	×	×	—	—	—
—	予約	231	039Ch	—	×	×	×	—	—	—
—	予約	232	03A0h	—	×	×	×	—	—	—
—	予約	233	03A4h	—	×	×	×	—	—	—
—	予約	234	03A8h	—	×	×	×	—	—	—
—	予約	235	03ACh	—	×	×	×	—	—	—
—	予約	236	03B0h	—	×	×	×	—	—	—
—	予約	237	03B4h	—	×	×	×	—	—	—
SCI12	ERI12	238	03B8h	レベル	○	×	×	IER1D.IEN6	IPR238	—
	RXI12	239	03BCh	エッジ	○	○	×	IER1D.IEN7		DT CER239
	TXI12	240	03C0h	エッジ	○	○	×	IER1E.IEN0		DT CER240
	TEI12	241	03C4h	レベル	○	×	×	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	×	×	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	×	×	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	×	×	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	×	×	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	×	×	IER1E.IEN6	IPR246	—
	RXI0	247	03DCh	エッジ	○	○	×	IER1E.IEN7	IPR247	DT CER247
	TXI0	248	03E0h	エッジ	○	○	×	IER1F.IEN0	IPR248	DT CER248
	TEI0	249	03E4h	レベル	○	×	×	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	×	×	×	—	—	—
—	予約	251	03ECh	—	×	×	×	—	—	—
—	予約	252	03F0h	—	×	×	×	—	—	—
—	予約	253	03F4h	—	×	×	×	—	—	—
—	予約	254	03F8h	—	×	×	×	—	—	—
—	予約	255	03FCh	—	×	×	×	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPU の高速割り込みベクタレジスタ (FINTV) です。

14.3.3 ノンマスカブル割り込みのベクタ領域

ノンマスカブル割り込みが使用するベクタ領域は、例外ベクタテーブルにあります。

例外ベクタテーブルは、CPU の例外テーブルレジスタ (EXTB) に設定したアドレスを先頭とする 128 バイト (4 バイト×32 要因) の領域に配置されます。EXTB レジスタはノンマスカブル割り込みを許可する前に設定してください。また、EXTB レジスタには 4 の倍数を設定してください。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i = 0 ~ 7) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DTC の場合は、DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

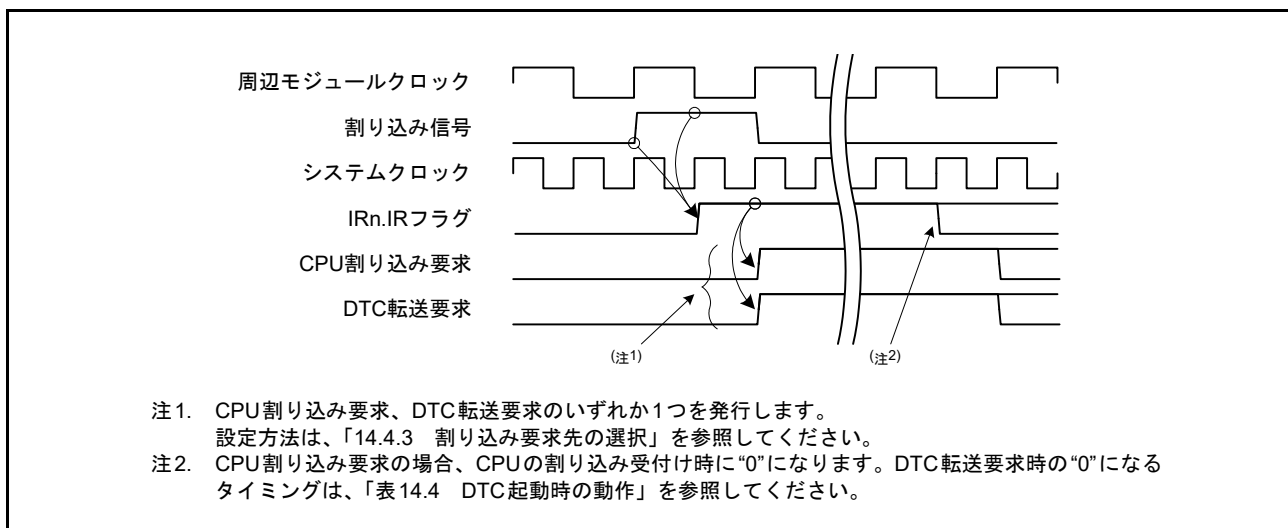


図 14.2 エッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作

図 14.3 ～図 14.5 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ～ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ～ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ～ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロックで 2 サイクル以上間隔をあけてください。

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。(注 1) IRn.IR フラグの再セットのタイミングを図 14.3 に示します。

注 1. ただし、SCI、RIIC の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「26. シリアルコミュニケーションインタフェース (SClg, SClh)」、 「27. I²C パスインタフェース (RIICa)」の各割り込みの説明を参照してください。

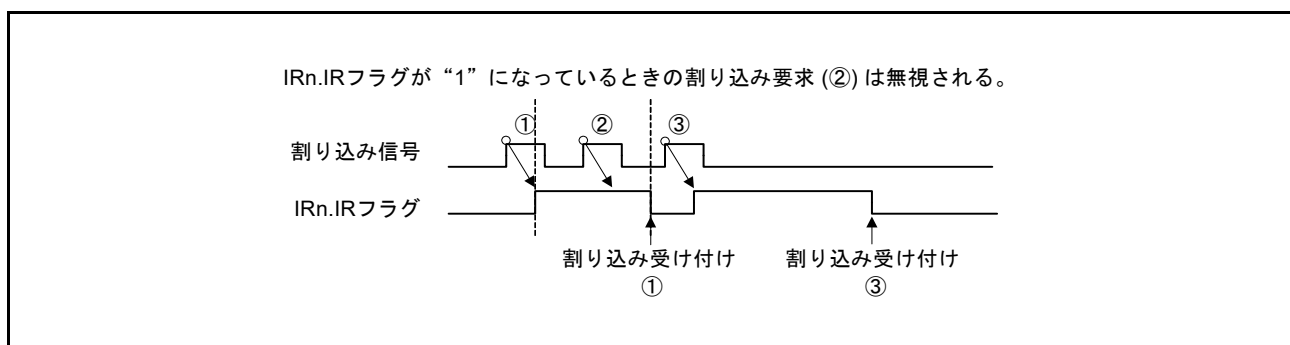


図 14.3 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.4 に示します。

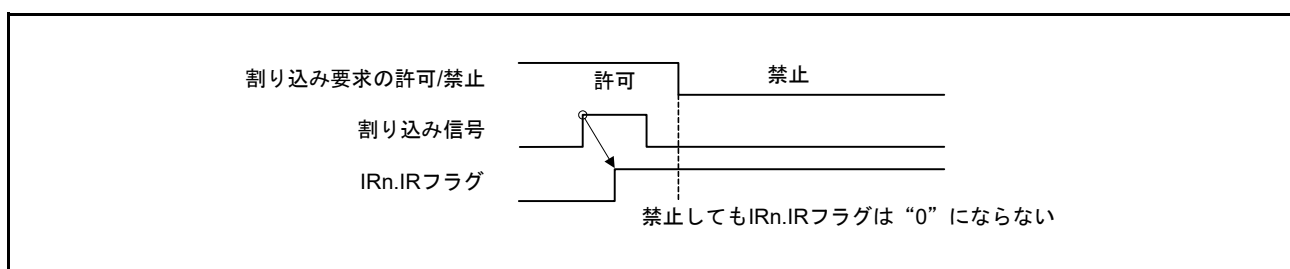


図 14.4 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作を図 14.5 に示します。

割り込み信号がアサートされている間、 $IRn.IR$ フラグを“1”にし続けます。 $IRn.IR$ フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および $IRn.IR$ フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

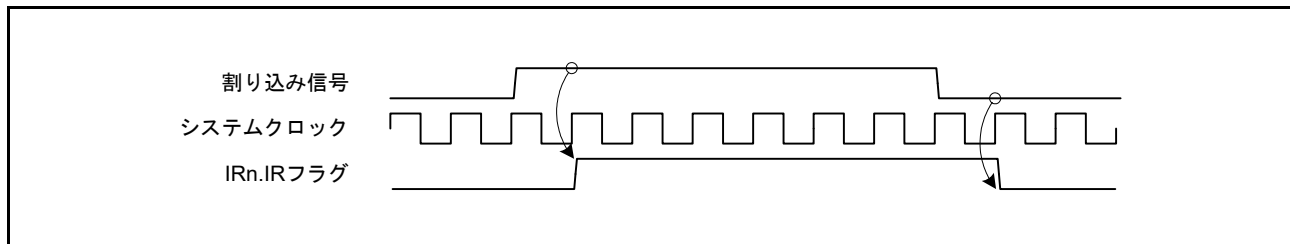


図 14.5 レベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作

レベル検出割り込みの処理手順を図 14.6 に示します。

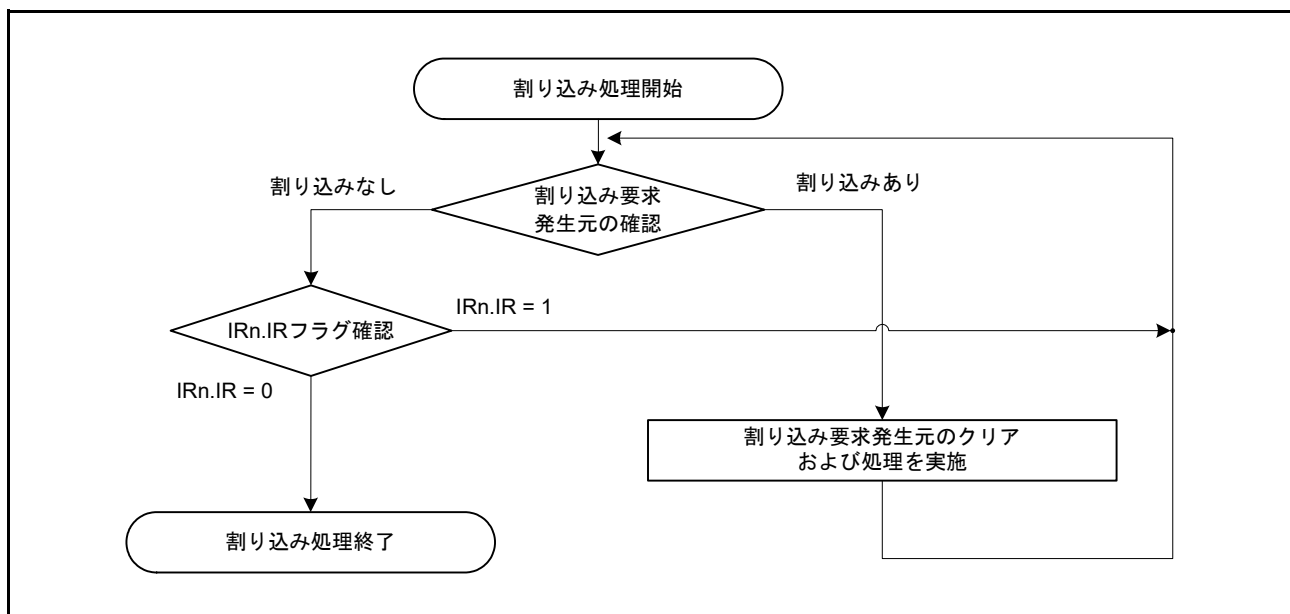


図 14.6 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) によって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグ (n = 割り込みベクタ番号) が“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注 1. SCI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「26. シリアルコミュニケーションインタフェース (SCIg, SCIfh)」、
「27. I²C バスインタフェース (RIICa)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQi 端子 (i = 0 ~ 7) で DTC を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DTC 起動

要因ごとに、IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が “0” のときに以下の設定を行ってください。

- 当該要因のDTC転送要求許可レジスタのDTC転送要求許可ビット(DTCERn.DTCE (n = 割り込みベクタ番号))を“1”に設定する

上記の状態で、IERm.IENj ビットを“1”にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を“1”にしてください。要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「16. データトランスファコントローラ (DTCb)」の「16.5 DTC の設定手順」を参照してください。

(2) CPU 割り込み要求

割り込み要求先が DTC ではない要因は、CPU 割り込み対象となります。

上記の DTC 起動の設定がされていない状態で、IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を“1”にしてください。

DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DTC 起動時の動作

割り込み要求先	DISEL (注1)	残り 転送回数	1 要求ごとの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCERn.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後の DTC データ転送開始時にクリア	DTC
		= 0	DTC 転送 → CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCERn.DTCE ビットがクリアされCPUに切り替え

注1. DTCのDISELはDTC.MRB.DISEL ビットで設定します。

注2. IRn.IR フラグが“1”のとき、再度発生した割り込み要求(DTC転送要求)は無視されます。

注3. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IR フラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「16. データトランスファコントローラ (DTCb)」の「表 16.4 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが “0” のときに行ってください。

「(1) DTC 起動」を設定してから転送が完了していない状態 (DTCERn.DTCE ビット (n = 割り込みベクタ番号) がクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

- 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを “0” にする。
- DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
- 「(1) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0] (n = 割り込みベクタ番号)) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを“1”(割り込み許可)にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15 (高速割り込み、IPR[3:0] を“1111b”に設定した割り込み) の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) の設定にかかわらず、15 (最高) です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b”(優先レベル 15) の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1”(高速割り込みを許可)にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i ($i=0 \sim 7$) と NMI 端子割り込みには、デジタルフィルタ機能を持っています。デジタルフィルタは入力信号をフィルタ用サンプリングクロック (PCLK) でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、 $IRQFLTC0.FCLKSEL_i[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $IRQFLTE0.FLTEN_i$ ビットを“1”(デジタルフィルタ有効) にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、 $NMIFLTC.NFCLKSEL[1:0]$ ビットでサンプリング周波数 (PCLK, PCLK/8, PCLK/32, PCLK/64) を設定し、 $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

図 14.7 にデジタルフィルタの動作例を示します。

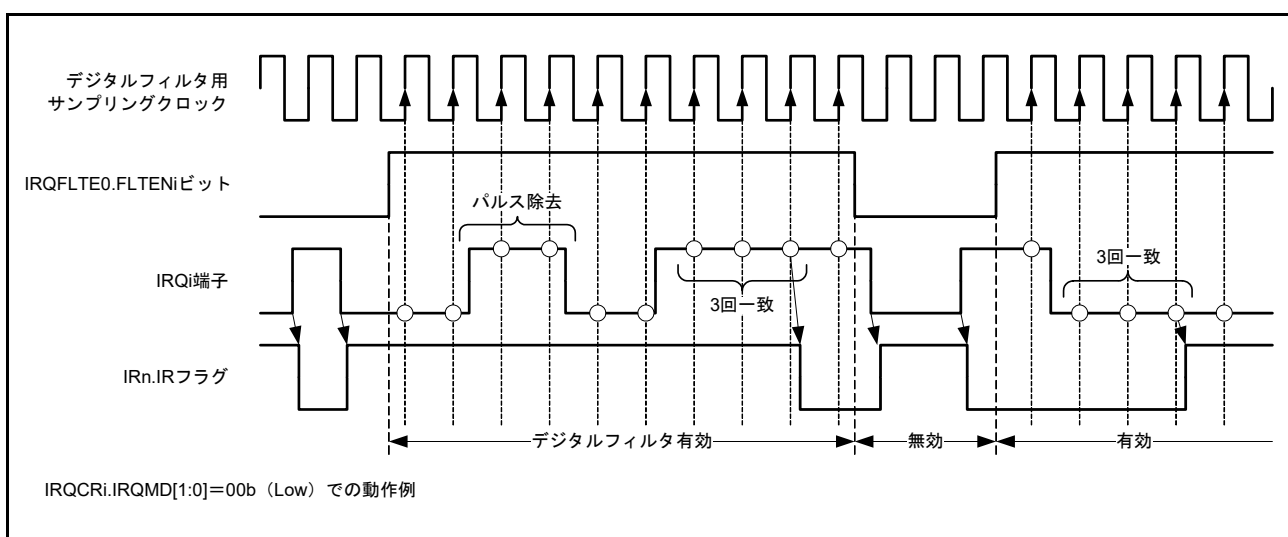


図 14.7 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、 $IRQFLTE0.FLTEN_i$ ビット、および $NMIFLTE.NFLTEN$ ビットを“0”(デジタルフィルタ無効) にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、 $IRQFLTE0.FLTEN_i$ ビット、もしくは $NMIFLTE.NFLTEN$ ビットを“1”(デジタルフィルタ有効) にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビット ($m = 02h \sim 1Fh$, $j = 0 \sim 7$) を “0” (割り込み要求禁止) にする。
2. IRQFLTE0.FLTENi ビット ($i = 0 \sim 7$) を “0” (デジタルフィルタ無効) にする。(注1)
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグ ($n =$ 割り込みベクタ番号) を “0” にする (エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを “1” (デジタルフィルタ有効) にする。(注1)
8. DTC 起動の場合 DTCERn.DTCE ビットを設定する (設定しない場合は CPU 割り込み)。
9. IERm.IENj ビットを “1” (割り込み要求許可) にする。

注 1. デジタルフィルタを使用する場合、設定が必要です。

14.5 ノンマスカブル割り込みの動作説明

ノンマスカブル割り込みにはNMI端子割り込み、発振停止検出割り込み、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込みがあります。ノンマスカブル割り込みはCPUへの割り込みのみであり、DTCの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスカブル割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスカブル割り込みの有無はノンマスカブル割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスカブル割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

初期状態では「ノンマスカブル割り込み禁止」となっています。ノンマスカブル割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスカブル割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“0”(デジタルフィルタ無効)にする。(注1)
3. NMI端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子の検出センスを設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTE.NFLTENビットを“1”(デジタルフィルタ有効)にする。(注1)
7. ノンマスカブル割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスカブル割り込みの使用を許可する。

注1. デジタルフィルタを使用する場合、設定が必要です。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスカブル割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスカブル割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

14.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモードからの復帰に割り込みが使用できます。

詳細は「11. 消費電力低減機能」を参照してください。低消費電力モードごとの復帰要因の設定方法を以下に示します。

14.6.1 スリープモードおよびディープスリープモードからの復帰

すべてのノンマスカブル割り込み、およびすべての割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求が許可されていること

(2) 割り込み

- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること

14.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスカブル割り込み、および「表 14.3 割り込みのベクタテーブル」の「SSBY 復帰」列に「○」のある割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

(1) ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求が許可されていること
- NMI 端子割り込みを使用する場合は、デジタルフィルタが無効になっていること

(2) 割り込み

- ソフトウェアスタンバイモードから復帰可能な要因であること
- 割り込み要求先が CPU であること
- IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
- CPU の PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みを使用する場合には、FIR レジスタだけでなく、対応する IPRn.IPR[3:0] ビット (n = 割り込みベクタ番号) も CPU の PSW.IPL[3:0] ビットより高い割り込み優先レベルを設定してください)
- 外部端子割り込みを使用する場合は、使用する IRQi 端子のデジタルフィルタが無効になっていること

デジタルフィルタの設定方法については、「14.4.7 デジタルフィルタ」を参照してください。

14.7 使用上の注意事項

14.7.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	• CPU (命令) を接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック (ICLK) に同期して動作
	オペランドバス	• CPU (オペランド) を接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック (ICLK) に同期して動作
メモリバス	メモリバス1	• RAM を接続
	メモリバス2	• ROM を接続
内部メインバス	内部メインバス1	• CPU を接続 • システムクロック (ICLK) に同期して動作
	内部メインバス2	• DTC を接続 • 内蔵メモリを接続(RAM, ROM) • システムクロック (ICLK) に同期して動作
内部周辺バス	内部周辺バス1	• 周辺機能(DTC、割り込みコントローラ、バスエラー監視部) を接続 • システムクロック (ICLK) に同期して動作
	内部周辺バス2	• 周辺機能を接続 • 周辺モジュールクロック (PCLKB, PCLKD) に同期して動作
	内部周辺バス3	• 周辺機能(CMPC) を接続 • 周辺モジュールクロック (PCLKB) に同期して動作
	内部周辺バス6	• ROM (P/E 時)、E2 データフラッシュを接続 • FlashIF クロック (FCLK) に同期して動作

P/E : プログラム / イレーズ

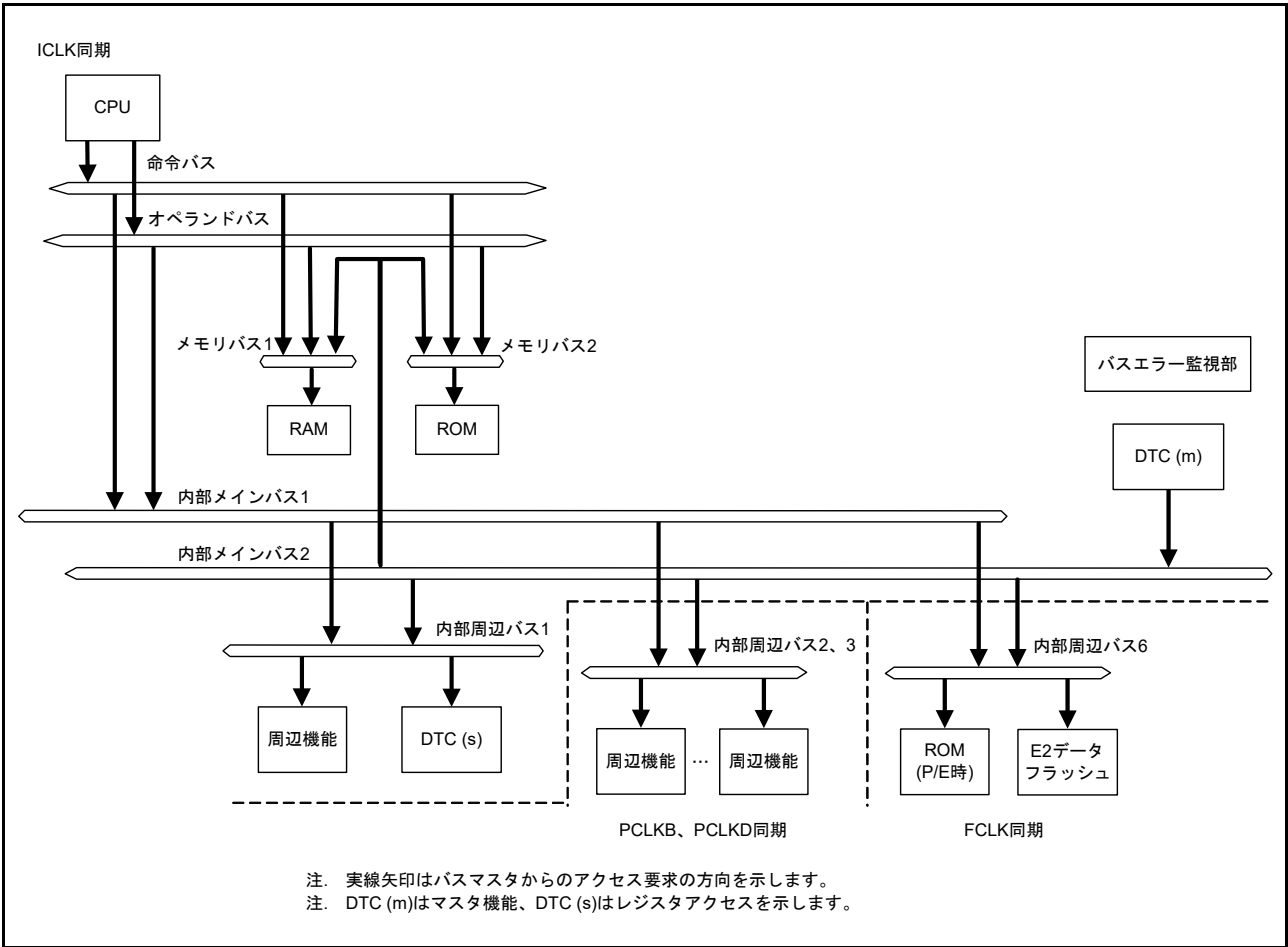


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h～0000 FFFFh	メモリバス 1	RAM
0008 0000h～0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h～0009 FFFFh	内部周辺バス 2	
000A 0000h～000B FFFFh	内部周辺バス 3	
0010 0000h～00FF FFFFh	内部周辺バス 6	E2 データフラッシュ、ROM (プログラム/イレーズ用)
8000 0000h～FEFF FFFFh	メモリバス 2	ROM (読み出し専用)
FF00 0000h～FFFF FFFFh		

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、書き込み / 消去は内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス (メモリバス 1、メモリバス 2、内部メインバス 1) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバスは 64 ビットです。メモリバス 1 とメモリバス 2 は、CPU バス (命令フェッチとオペランド)、内部メインバス 2 からのバス権要求を調停します。

2 本のバスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1 (RAM) プライオリティ制御ビット (BUSPRI.BPRA[1:0])、メモリバス 2 (ROM) プライオリティ制御ビット (BUSPRI.BPRO[1:0]) により設定可能です。優先順位固定の場合は、2 本のバスの優先順位は、内部メインバス 2 > CPU バス (オペランド > 命令フェッチ) の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス (内部メインバス 1) と、CPU 以外のバスマスタ (DTC) が使用するバス (内部メインバス 2) の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

内部メインバス 2 では、DTC のバス権要求を調停します。優先順位は、表 15.3 に示すようになります。

CPU と CPU 以外のバスマスタからの要求が異なるバス (内蔵メモリ、内部周辺バス 1 ～内部周辺バス 3、内部周辺バス 6) に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ (BUSPRI) の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで、CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	バスマスタ
高 ↑ 低	DTC
	CPU

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス 1	DTC、割り込みコントローラ、バスエラー監視部
内部周辺バス 2	内部周辺バス 1、3 以外の周辺機能
内部周辺バス 3	CMPC
内部周辺バス 6	ROM (P/E 時) / E2 データフラッシュ

内部周辺バス 1 ～ 3、6 は、それぞれ、CPU (内部メインバス 1) と CPU 以外のバスマスタ (内部メインバス 2) からのバス権要求を調停します。

2 本の内部メインバスの優先順位は、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。優先順位は、内部周辺バス 1 プライオリティ制御ビット (BUSPRI.BPIB[1:0])、内部周辺バス 2、3 プライオリティ制御ビット (BUSPRI.BPGB[1:0])、内部周辺バス 6 プライオリティ制御ビット (BUSPRI.BPFB[1:0]) によりバスごとに設定できます。優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 の順となります。優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BUSPRI レジスタの設定の違いにより、受け付けられる要求の順番が変わることがありますので注意してください。図 15.2 に示すとおり、受け付けられたバス要求の優先順位が低い場合は、その優先順位は変わりません。

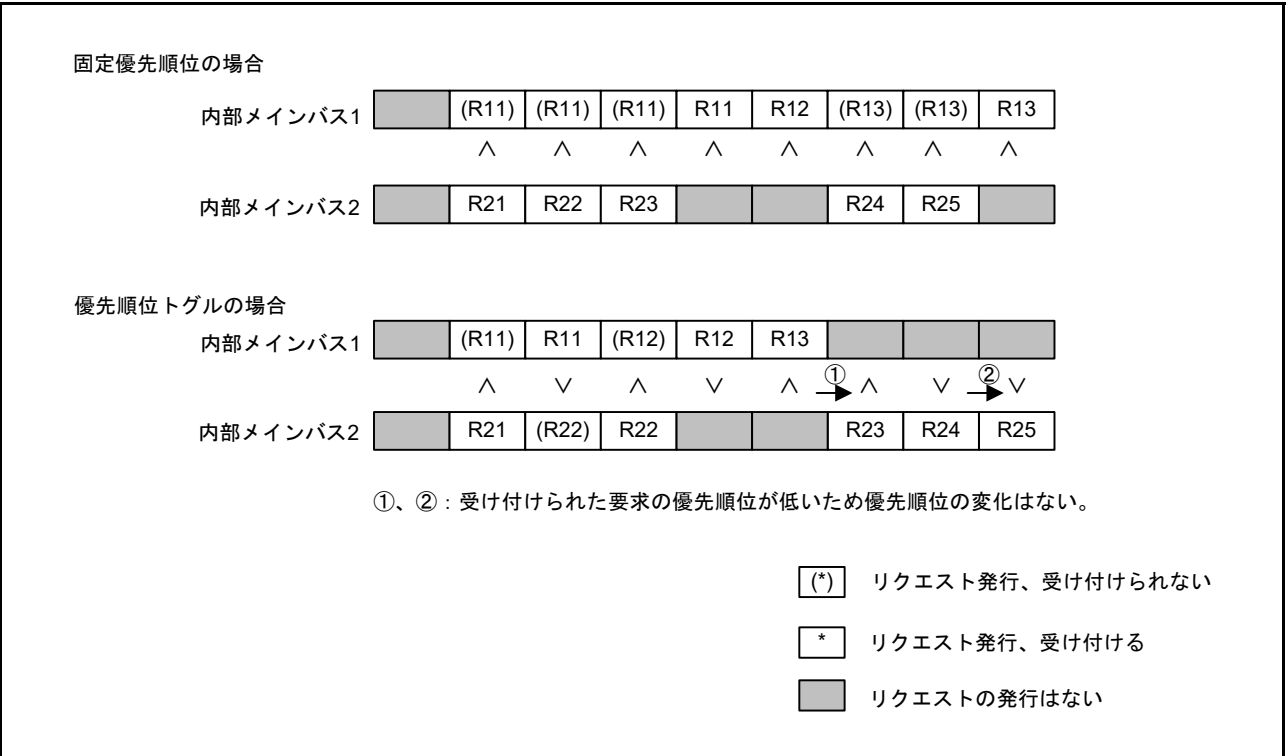


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能 (内部周辺バス)

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセスの次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。

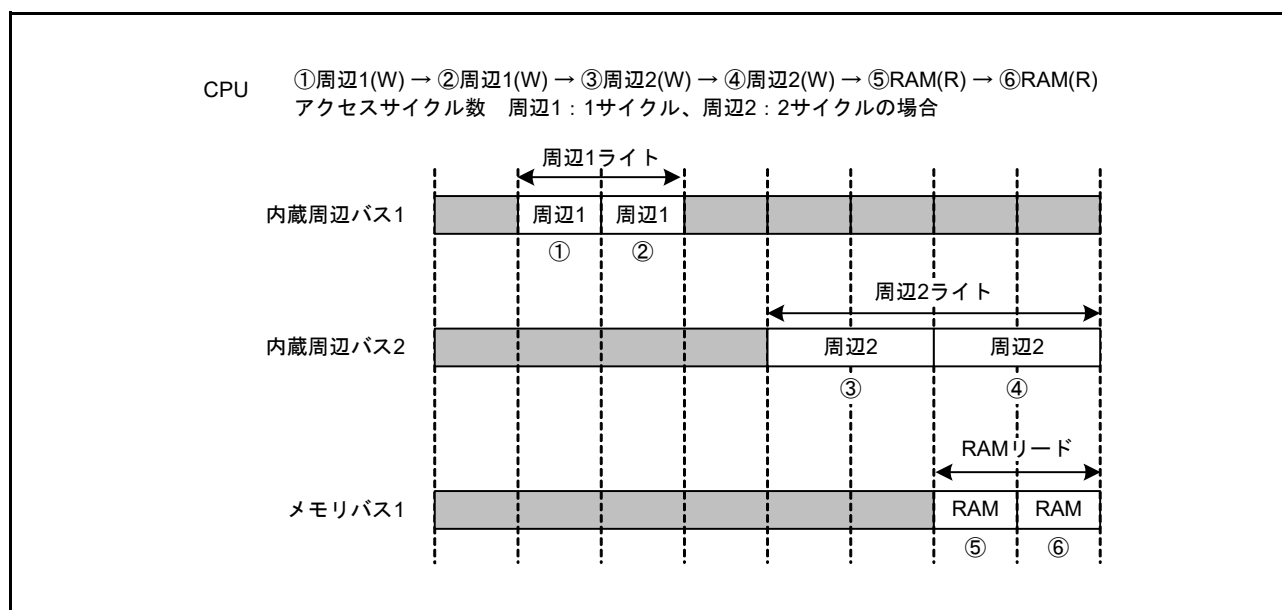


図 15.3 ライトバッファ機能

15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU の命令フェッチが ROM を、オペランドが RAM をアクセス中に、DTC は周辺—周辺バス間の転送を行うことができます。図 15.4 に並列動作の例を示します。この例の場合、CPU は命令バスとオペランドバスを使って、それぞれ ROM と RAM を同時にアクセスすることが可能です。また、CPU が ROM と RAM をアクセス中に、DTC は内部メインバス 2 を使って、周辺バスを同時にアクセスすることができます。

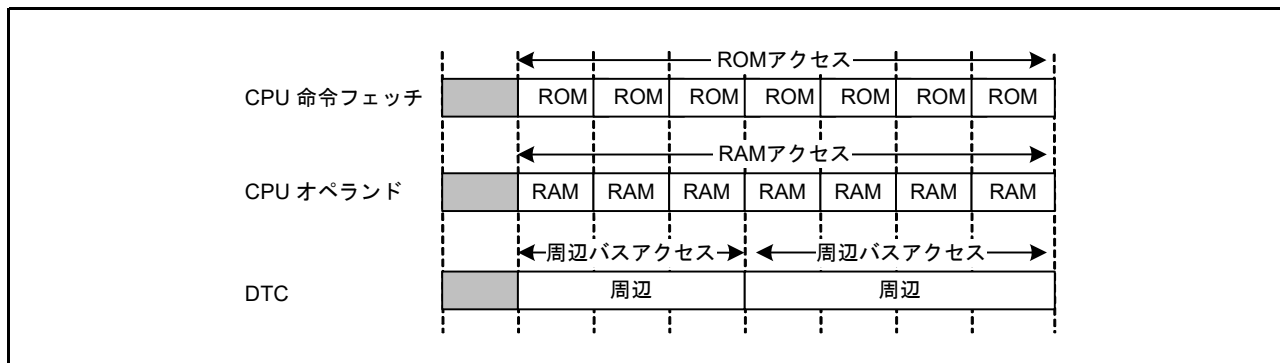


図 15.4 並列動作の例

15.2.7 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1 つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1 つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで 2 つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) RMPA 命令、ストリング操作命令の操作対象データを I/O レジスタに配置することは禁止しており、その場合の動作は保証していません。

15.3 レジスタの説明

15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス BSC.BERCLR 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0 : 無効 1 : バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス BSC.BEREN 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0 : 不正アドレスアクセス検出禁止 1 : 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0 : バスタイムアウト検出禁止 1 : バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中に TOEN ビットを“0” (検出禁止) にしないようにしてください。

15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス BSC.BERSR1 0008 1308h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MST[2:0]			—	—	TO	IA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス BSC.BERSR2 0008 130Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADDR[12:0]													—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位 13 ビット (512K バイト単位)	R

15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス BSC.BUSPRI 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BPFB[1:0]	—	—	BPGB[1:0]	BPB[1:0]	BPB[1:0]	BPRO[1:0]	BPRO[1:0]	BPRA[1:0]	BPRA[1:0]	BPRA[1:0]	BPRA[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス 1 (RAM) プライオリティ制御ビット	b1 b0 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス 2 (ROM) プライオリティ制御ビット	b3 b2 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス 1 プライオリティ制御ビット	b5 b4 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス 2、3 プライオリティ制御ビット	b7 b6 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b9-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b10	BPFB[1:0]	内部周辺バス 6 プライオリティ制御ビット	b11 b10 0 0 : 優先順位固定 0 1 : 優先順位トグル 1 0 : 設定しないでください 1 1 : 設定しないでください	R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTCが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス 1 (RAM) プライオリティ制御ビット)

メモリバス 1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バスとなります。

優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス 2 (ROM) プライオリティ制御ビット)

メモリバス 2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > CPU バスとなります。

優先順位トグルの場合は、内部メインバス 1 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2、3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセスのバスエラーがあります。
不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出します。

15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、不正アドレス領域にアクセスしたときに発生します。

どの領域が不正アドレスアクセスエラーを発生するかを表 15.5 に示します。

15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが 768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2, 3): バスアクセス開始後、周辺モジュールクロック (PCLKB) で 768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で 256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6): バスアクセス開始後、FlashIF クロック (FCLK) で 768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で 256 サイクル間、バスマスタからのアクセスは受け付けられません。

15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知:
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態 (バスエラーステータスレジスタ n (BERSR n) ($n = 1, 2$) がクリアされている場合) で、不正アドレスアクセスエラーが検出されると、BERSR n レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSR n がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSR n レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類	
		不正アドレスアクセス	タイムアウト
0000 0000h ~ 0007 FFFFh	メモリバス 1	—	—
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	—	—
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	△	—
000A 0000h ~ 000B FFFFh	内部周辺バス 3	△	—
000C 0000h ~ 000F FFFFh	予約領域	○	—
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	△	—
0100 0000h ~ 07FF FFFFh	予約領域	○	—
0800 0000h ~ 0FFF FFFFh	予約領域	—	—
1000 0000h ~ 7FFF FFFFh	予約領域	○	—
8000 0000h ~ FFFF FFFFh	メモリバス 2	—	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

注. 実装される RAM、データフラッシュ、ROM の容量は製品により異なります。製品ごとの仕様については、「36. RAM」、「37. フラッシュメモリ (FLASH)」を参照してください。

16. データトランスファコントローラ (DTCb)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。

DTC は、割り込み要求によって起動し、データ転送を行うことができます。

DTCb では、従来の DTC の転送方式 (ノーマル転送、リピート転送、ブロック転送、チェーン転送) に加え、これらを組み合わせて一連の転送として実行するシーケンス転送をサポートしています。シーケンス転送では、最初に転送したデータの値によって、最大 256 のシーケンスの中から 1 つを選択して実行できます。また、シーケンスの組み方によって、1 つのシーケンスを複数回に分けて実行することもできます。

16.1 概要

表 16.1 に DTC の仕様を、図 16.1 に DTC のブロック図を示します。

表 16.1 DTC の仕様

項目	内容
転送チャンネル数	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード 1 回の起動で 1 つのデータを転送する - リピート転送モード 1 回の起動で 1 つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する ブロックサイズは、最大 256×32 ビット = 1024 バイト設定可能
チェーン転送機能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが 0 になったときのみ実施」/ 「毎回実施」のいずれかを選択可能
シーケンス転送	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する (シーケンス分割) ことも可能
転送空間	- ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)
データ転送単位	1 データ : 1 バイト (8 ビット)、1 ワード (16 ビット)、1 ロングワード (32 ビット) 1 ブロックサイズ : 1 ~ 256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
リードスキップ	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	転送情報のライトバックを実行しない設定が可能
ディスプレースメント加算	転送元アドレスにディスプレースメントを加算可能 (転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への遷移が可能

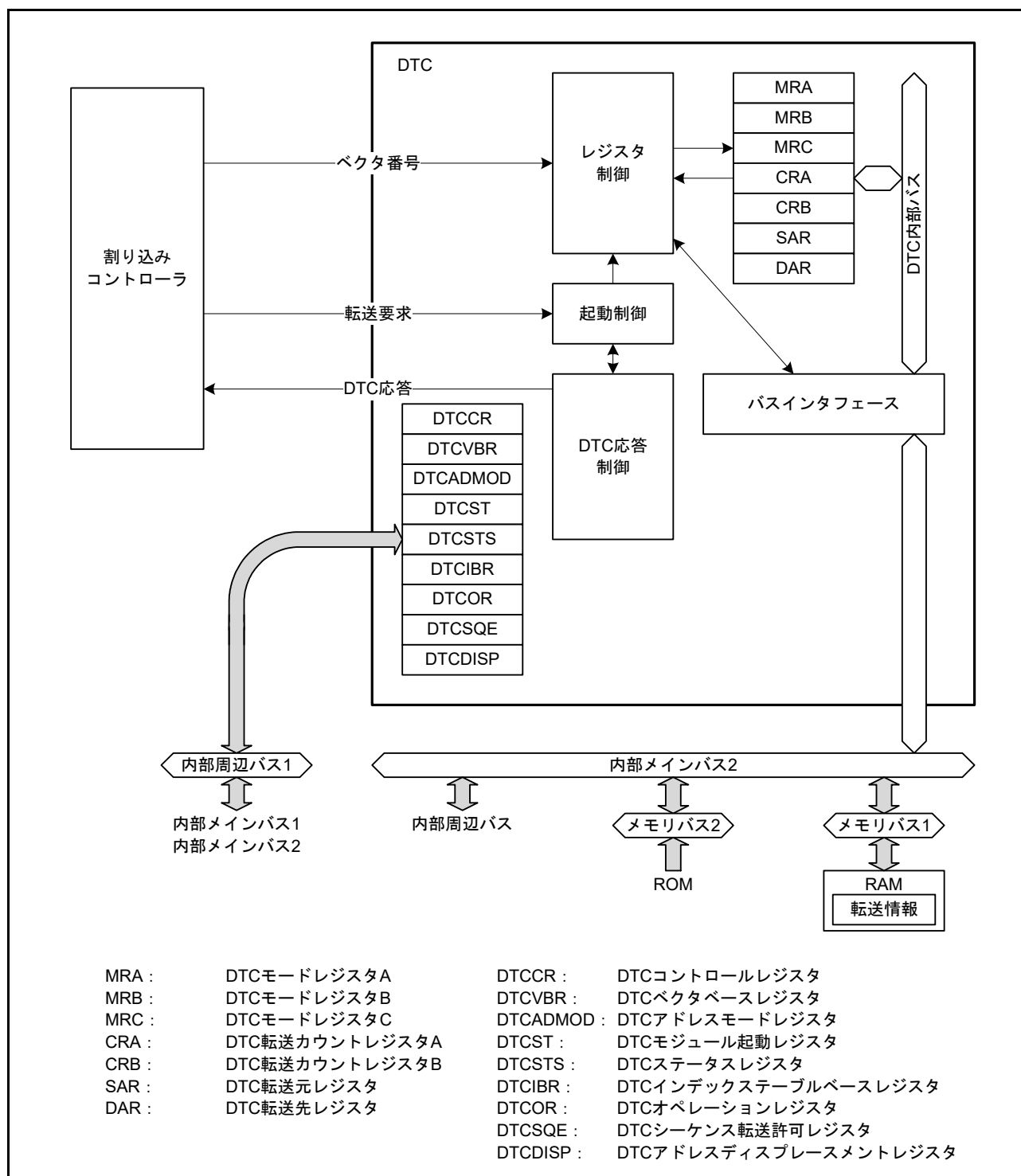


図 16.1 DTC のブロック図

16.2 レジスタの説明

MRA、MRB、MRC、SAR、DAR、CRA、CRB レジスタは DTC の内部レジスタです。CPU から直接アクセスすることはできません。これら内部レジスタの設定値は RAM 領域に転送情報として配置します。DTC は転送要求を受け付けると、RAM 領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、更新された内部レジスタの値は転送情報として RAM 領域にライトバックされます。

16.2.1 DTC モードレジスタ A (MRA)

アドレス (CPU から直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		SZ[1:0]		SM[1:0]		—	WBDIS
リセット後の値	X	X	X	X	X	X	X	X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	WBDIS	ライトバックディスエーブルビット	0 : データ転送終了時、転送情報をライトバックする 1 : データ転送終了時、転送情報をライトバックしない	—
b1	—	予約ビット	"0"にしてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SAR レジスタはアドレス固定 (SAR レジスタのライトバックはスキップされます) 0 1 : SAR レジスタはアドレス固定 (SAR レジスタのライトバックはスキップされます) 1 0 : 転送後 SAR レジスタをインクリメント (SZ[1:0] ビットが"00b"のとき+1、 "01b"のとき+2、"10b"のとき+4) 1 1 : 転送後 SAR レジスタをデクリメント (SZ[1:0] ビットが"00b"のとき-1、 "01b"のとき-2、"10b"のとき-4)	—
b5-b4	SZ[1:0]	DTC データトランスファサイズビット	b5 b4 0 0 : バイト(8ビット)転送 0 1 : ワード(16ビット)転送 1 0 : ロングワード(32ビット)転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC 転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRA レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

WBDIS ビット (ライトバックディスエーブルビット)

データ転送終了時、転送情報をライトバックするかどうかを選択します。

WBDIS ビットが "0" の場合は、更新された転送情報をライトバックします。

WBDIS ビットが "1" の場合は、転送後にアドレスがインクリメントされるような設定をしても転送情報のライトバックは行わず、転送要求ごとに毎回同じデータ転送を行います。転送情報がライトバックされないため、転送情報を ROM 上に配置することができます。

WBDIS ビットが "1" の場合、転送モードごとに下記の動作を行います。

(1) ノーマル転送モード、リピート転送モード

1回の転送要求で、1バイト、1ワード、1ロングワードの転送を行います。転送アドレス、転送回数は更新しませんので、転送要求ごとに同じ転送を繰り返します。転送回数が1の場合も

ICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

(2) ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。転送アドレス、ブロック転送回数は更新しませんので、転送要求ごとに同じブロック転送を繰り返します。ブロック転送回数が1の場合も

ICU.DTCERn.DTCE ビットを“0”にせず、次の転送要求でデータ転送を継続します。

なお、MRC.DISPE ビットを“1”にする場合、WBDIS ビットも“1”(ライトバックしない)にしてください。また、WBDIS ビットを“1”にした転送情報が1つでもある場合は、DTCCR.RRS ビットを“0”(リードスキップを行わない)にしてください。

16.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	INDX	SQEND	
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	SQEND	シーケンス転送終了ビット	0: シーケンス転送を継続 1: シーケンス転送を終了	—
b1	INDX	インデックステーブル参照ビット	0: インデックステーブルを参照しない 1: 転送したデータを元にインデックステーブルを参照する(注1)	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0: 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、“01b”のとき+2、“10b”のとき+4) 1 1: 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、“01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0: 転送先がリピータ領域またはブロック領域 1: 転送元がリピータ領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0: 指定した回数のデータ転送が終了したとき、CPU への割り込み要求が発生 1: データ転送のたびに、CPU への割り込み要求が発生	—
b6	CHNS	DTC チェーン転送選択ビット	0: 転送が終了するたびにチェーン転送を行う 1: 転送カウンタが1 → 0、または1 → CRAH となったとき、チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0: チェーン転送禁止 1: チェーン転送許可	—

注1. INDX ビットを“1”にする場合、MRA.MD[1:0] ビットを“00b” (ノーマル転送モード) にしてください。

MRB レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

SQEND ビット (シーケンス転送終了ビット)

シーケンス転送を継続するか、終了するかを選択します。詳細は表 16.2 を参照してください。

DTC インデックステーブルにより参照される転送情報でのみ“1”にできます。DTC ベクタテーブルにより参照される転送情報では“0”にしてください。

INDX ビット (インデックステーブル参照ビット)

INDX ビットが“1”になった転送情報が読み込まれると、シーケンス転送が開始されます。詳細は表 16.2 を参照してください。

シーケンス転送と関係のない転送情報、シーケンス転送を開始しない転送情報では“0”にしてください。また、DTCSQE レジスタに設定した要因と異なる要因の転送情報で INDX ビットを“1”にしている場合、その要因からの転送要求が発生しないようにしてください。

表 16.2 シーケンス転送におけるCHNE、SQEND、INDXビットの設定値とDTCの動作

CHNEビット	SQENDビット	INDXビット	動作	使用場所
0	0	1	シーケンス転送を開始	DTCSQEレジスタに設定した要因からの転送要求によって、最初に読み込まれる転送情報で使用
1	0	0	シーケンス転送を継続	シーケンス内の最初または途中の転送情報で使用
0	0	0	シーケンス転送を一時中断	シーケンス内の最初または途中の転送情報で使用
0	1	0	シーケンス転送を終了	シーケンス内の最後の転送情報で使用
0	1	1	シーケンス転送を終了し、新たなシーケンス転送を開始	シーケンス内の最後の転送情報で使用

注. 上記以外の設定は使用しないでください。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域にするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときはCHNSビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 16.4 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

CHNE ビット (DTC チェーン転送許可ビット)

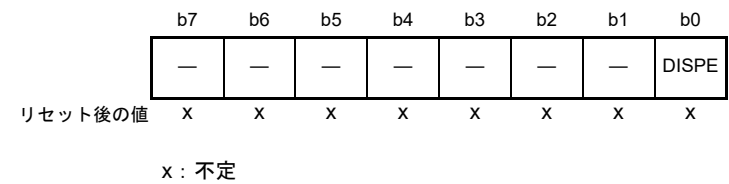
チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「16.4.6 チェーン転送」を参照してください。

シーケンス転送で使用する場合の設定値については、表 16.2 を参照してください。

16.2.3 DTC モードレジスタ C (MRC)

アドレス (CPUから直接アクセス不可)



ビット	シンボル	ビット名	機能	R/W
b0	DISPE	ディスプレースメント加算ビット	0 : 転送元アドレスにディスプレースメント値を加算しない 1 : 転送元アドレスにディスプレースメント値を加算する	—
b7-b1	—	予約ビット	“0”にしてください	—

MRC レジスタは、DTC の動作モードを選択するレジスタです。CPU から直接アクセスすることはできません。

フルアドレスモード時のみ使用できます。ショートアドレスモードでは使用できませんので、ディスプレースメント加算機能を使う場合は DTCADMOD.SHORT ビットを “0” (フルアドレスモード) にしてください。

DISPE ビット (ディスプレースメント加算ビット)

転送元アドレスとして SAR + DTCDISP の値を使用するかどうかを指定します。

DISPE ビットを “1” にする場合は、MRA.WBDIS ビットを “1” (ライトバックしない)、DTCCR.RRS ビットを “0” (リードスキップを行わない) にしてください。

16.2.4 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

x : 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

16.2.5 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

x : 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

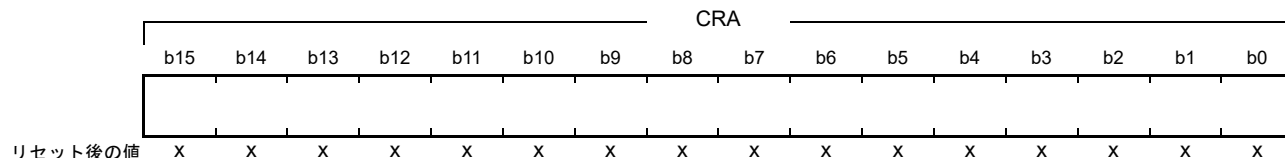
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31-b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

16.2.6 DTC 転送カウントレジスタ A (CRA)

- ノーマル転送モード

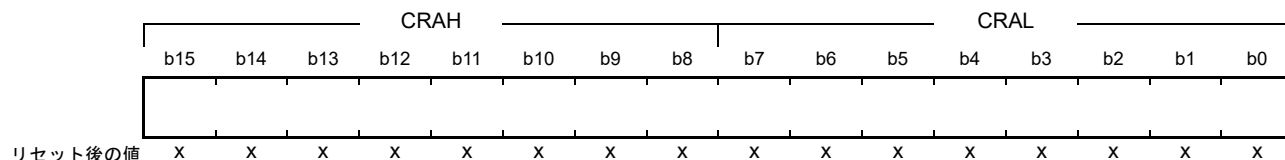
アドレス (CPUから直接アクセス不可)



x : 不定

- リピート転送モード、ブロック転送モード

アドレス (CPUから直接アクセス不可)



x : 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します。転送中はカウンタとして動作します	—
CRAH	転送カウンタA上位レジスタ	転送回数を設定します。転送中はリロードレジスタとして動作します	—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRAL レジスタには同じ値を設定してください。

CRA レジスタは転送回数をカウントするレジスタです。CPU から直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

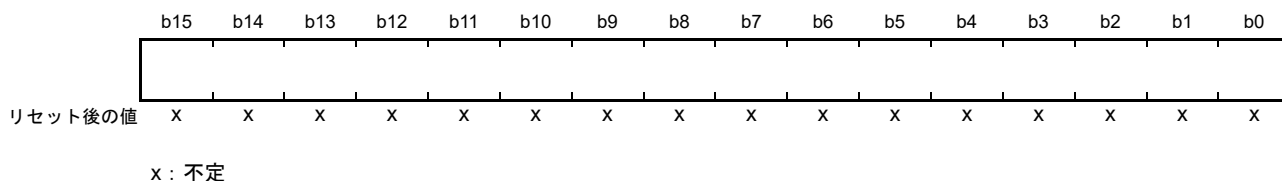
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。

CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。

16.2.7 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。CPU から直接アクセスすることはできません。

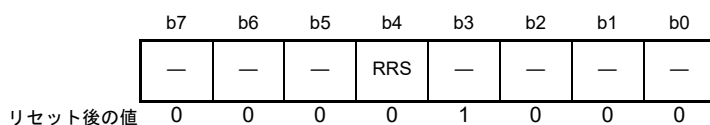
転送回数は、設定値が “0001h” のときは 1 回、“FFFFh” のときは 65535 回、“0000h” のときは 65536 回となります。

1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

16.2.8 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット(注1)	0 : 転送情報リードスキップを行わない 1 : ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0”にしてください。

DTCCR レジスタは、DTC の動作を制御するレジスタです。

RRS ビット (DTC 転送情報リードスキップ許可ビット)

DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

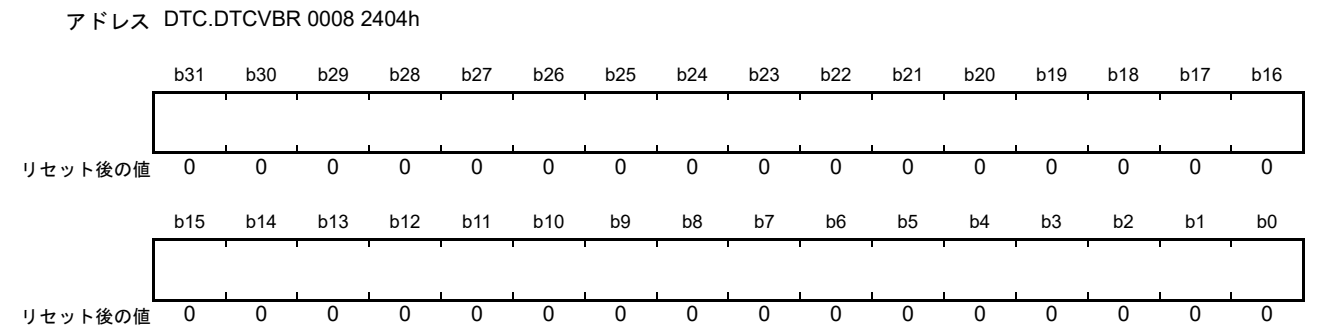
ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

MRA.WBDIS ビットを“1”にした転送情報が 1 つでもある場合は、RRS ビットを“0”にしてください。なお、MRC.DISPE ビットを“1”にする場合は、MRA.WBDIS ビットも“1”にする必要があります。

また、シーケンス転送は、チェーン転送と同様に複数のデータ転送を実行しますので、前回行った最後の転送を繰り返さないように、RRS ビットを“0”にして使用してください。

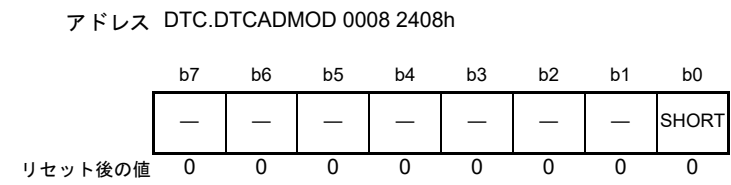
16.2.9 DTC ベクタベースレジスタ (DTCVBR)



DTCVBR レジスタは、DTC ベクタの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

16.2.10 DTC アドレスモードレジスタ (DTCADM0D)



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット (注1)	0 : フルアドレスモード 1 : ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. シーケンス転送を使用するときは、“0” (フルアドレスモード) にしてください。

DTCADM0D レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

SAR レジスタ、DAR レジスタのアドレスモードを選択するビットです。

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

16.2.11 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能にするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードから復帰した後、DTCST ビットを“1”にすると、データ転送が再開できます。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「16.8 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

16.2.12 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号モニタフラグ	データ転送実行中にその起動要因をベクタ番号で示します データ転送実行中 (ACT フラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTC アクティブフラグ	0 : データ転送は実行していない 1 : データ転送実行中	R

VECN[7:0] フラグ (DTC アクティブベクタ番号モニタフラグ)

データ転送を実行中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (データ転送実行中) であれば、VECN[7:0] フラグの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (データ転送は実行していない) であれば、VECN[7:0] フラグの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

データ転送の実行状態を示します。

[“1” になる条件]

- 転送要求に対して DTC が起動したとき
- シーケンス転送が再開されたとき

[“0” になる条件]

- 1 回の転送要求に対するデータ転送が終了したとき
- シーケンス転送が一時中断したとき

16.2.13 DTC インデックステーブルベースレジスタ (DTCIBR)

アドレス DTC.DTCIBR 0008 2410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCIBR レジスタは DTC インデックスの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および、F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

16.2.14 DTC オペレーションレジスタ (DTCOR)

アドレス DTC.DTCOR 0008 2414h

[illegible]

ビット	シンボル	ビット名	機能	R/W
b0	SQTFRL	シーケンス転送終了ビット	“1”を書くと実行中のシーケンス転送を強制的に終了させることができます。読むと“0”が読めます	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

DTCOR レジスタは、DTC モジュールのオペレーションを設定するレジスタです。

SQTFRL ビット (シーケンス転送終了ビット)

SQTFRL ビットを“1”にすると、実行中のシーケンス転送が終了します。

DTCSQE.ESPSEL ビットが“1”(シーケンス転送を使用する)の場合、**図 16.2**の手順でシーケンス転送を終了させてください。

シーケンス転送が実行されていない場合に SOTFRL ビットに“1”を書いても、何も起こりません。

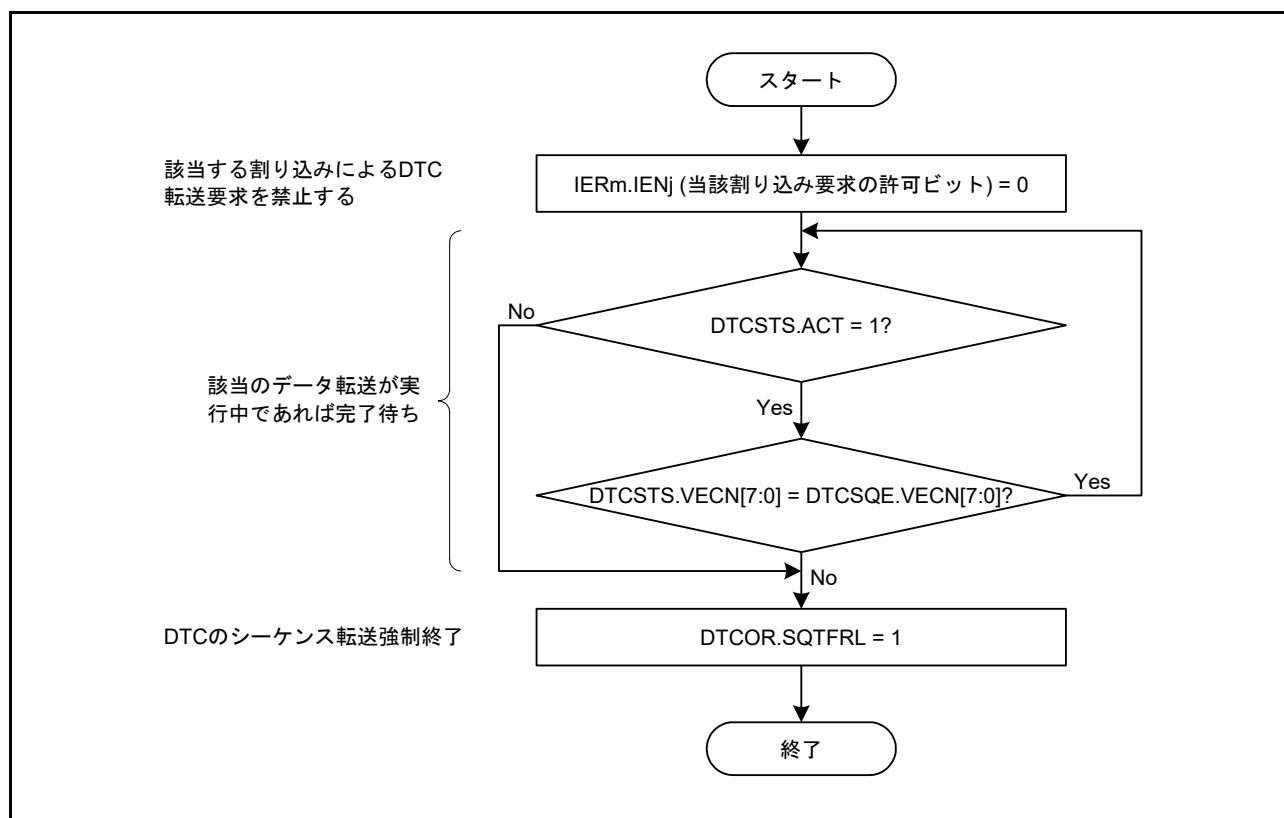


図 16.2 シーケンス転送強制終了手順

16.2.15 DTC シーケンス転送許可レジスタ (DTCSQE)

アドレス DTC.DTCSQE 0008 2416h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ESPSEL	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	シーケンス転送ベクタ番号指定ビット	シーケンス転送を許可するベクタ番号を指定します。ESPSEL ビットが“1”の時のみ有効です。	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b15	ESPSEL	シーケンス転送許可ビット	0 : シーケンス転送を使用しない 1 : シーケンス転送を使用する	R/W

DTCSQE レジスタは、DTC のシーケンス転送を指定するレジスタです。設定手順は図 16.24 に従ってください。

VECN[7:0] ビット (シーケンス転送ベクタ番号指定ビット)

シーケンス転送を使用するベクタ番号を選択します。シーケンス転送は 1 つの起動要因でのみ動作可能です。

起動要因とベクタ番号の関係は「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

ESPSEL ビット (シーケンス転送許可ビット)

シーケンス転送を使用するかどうかを指定します。

ESPSEL ビットを“1”にする場合、DTCADM.SHORT ビットを“0” (フルアドレスモード) にしてください。

16.2.16 DTC アドレスディスプレイスメントレジスタ (DTCDISP)

アドレス DTC.DTCDISP 0008 2418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DTCDISP レジスタは、DTC の転送元アドレスに加算するディスプレイスメント値を指定するレジスタです。

MRC.DISPE ビットが“1”の場合、転送元アドレスとして SAR + DTCDISP の値を使用します。

16.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込み要求に対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を“1”にすると DTC の起動要因になります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DTC のデータ転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTCST.DTCST ビットが“0” (DTC モジュール停止) の状態で複数の転送要求が発生した場合も、その後、DTCST.DTCST ビットを“1” (DTC モジュール動作) にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを“0”にして CPU に割り込みを要求します。
- MRB.DISEL ビットが“1”のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを“0”にします。

16.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが“0”になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ただし、MRA.WBDIS ビットを“1” (ライトバックしない) にした場合は、ROM 領域に配置することもできます。ベクタ番号 n に対する転送情報 n の先頭アドレスは、 $DTCVBR + 4n$ 番地に格納してください。

転送情報は、4 バイト境界に配置してください。ショートアドレスモードの場合、12 バイト、フルアドレスモード場合、16 バイト使用します。DTCADM.DTCMOD.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 16.3 に示します。

RAM 領域上の転送情報の配置を図 16.4 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「16.9.2 転送情報の配置」を参照してください。

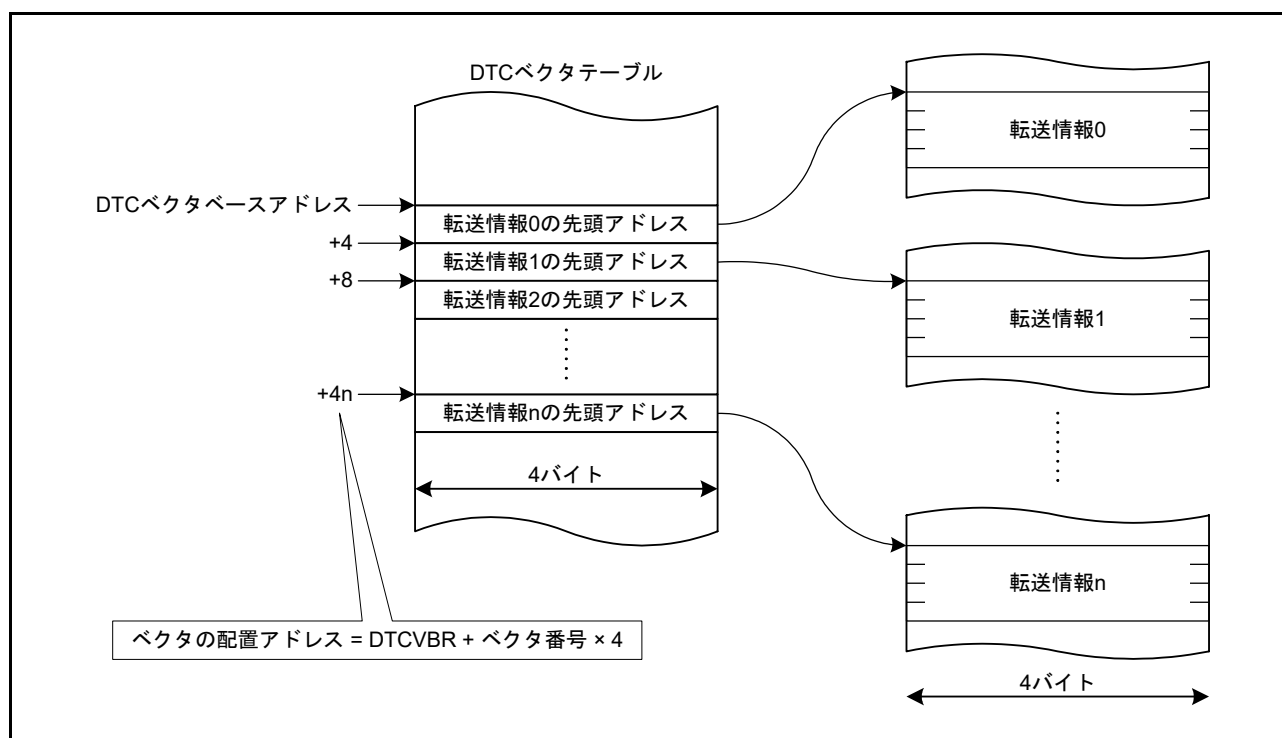


図 16.3 DTC ベクタテーブルと転送情報の対応

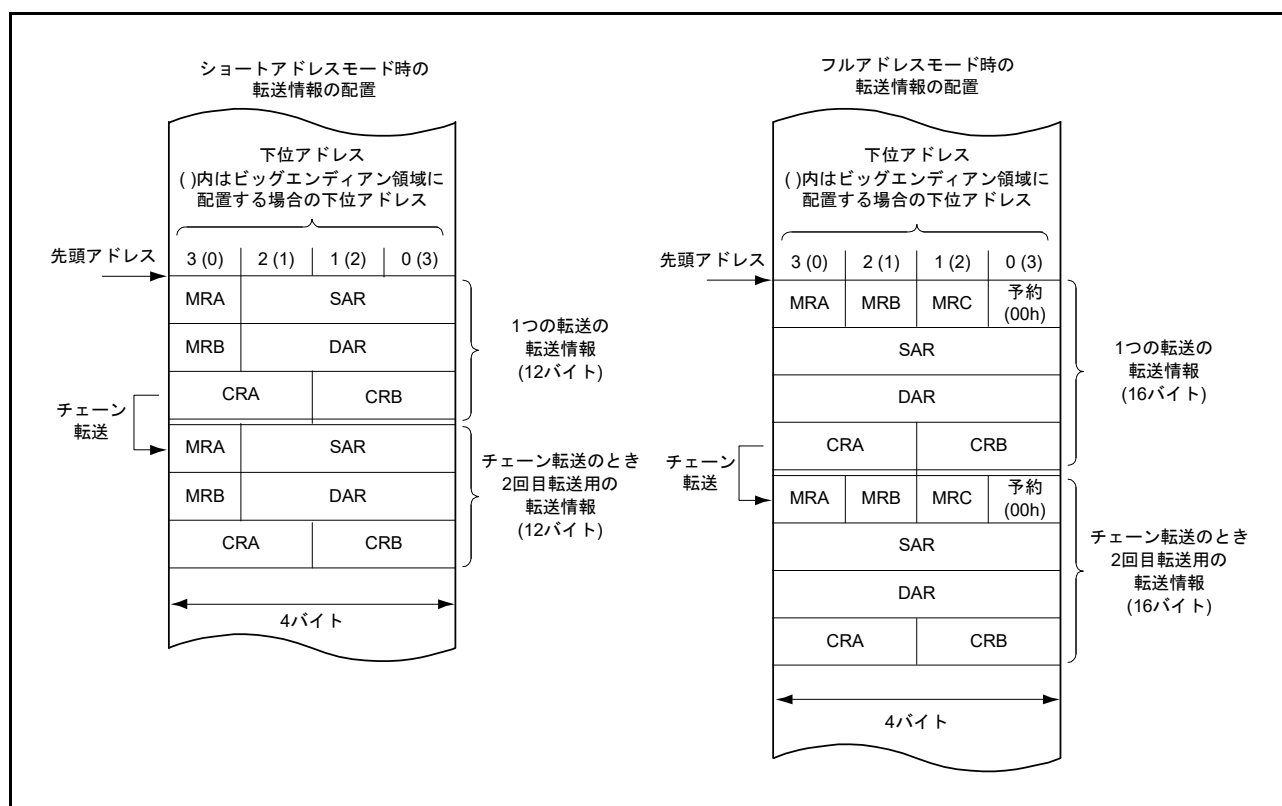


図 16.4 RAM 領域上の転送情報の配置

16.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読み出します。次に DTC ベクタが示すアドレスから転送情報を読み出してデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

転送元アドレスは SAR レジスタ、転送先アドレスは DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、それぞれの設定 (インクリメント/デクリメント/固定) に従って、転送後に更新されます。

DTC の転送モードを表 16.3 に示します。

表 16.3 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード(注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回(注3)
ブロック転送モード(注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続(リピート)する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます(チェーン転送)。MRB.CHNS ビットの設定で、指定された回数のデータ転送が終了したときにチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 16.5 に示します。チェーン転送の条件を表 16.4 に示します。

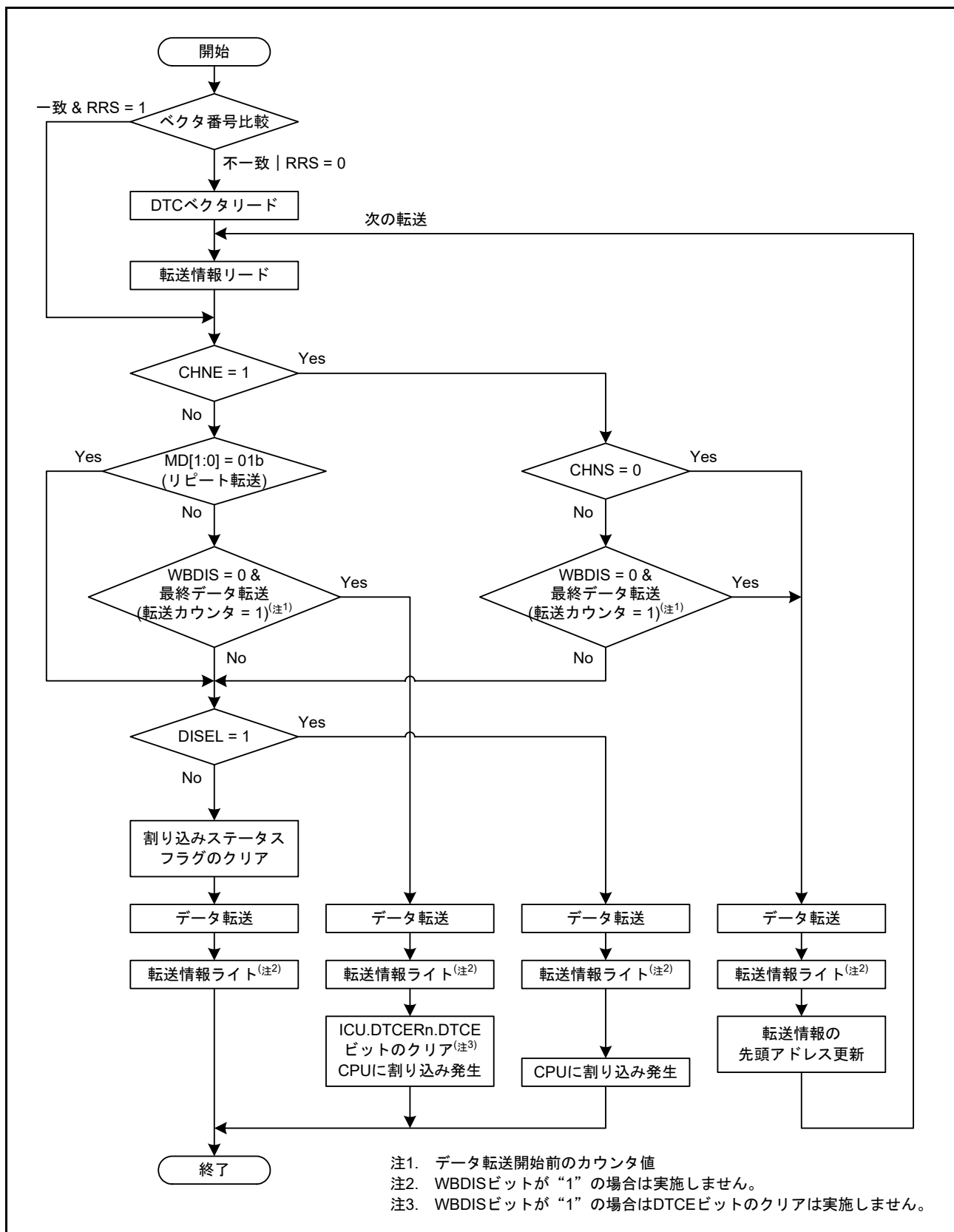


図 16.5 DTC 動作フローチャート

表 16.4 チェーン転送の条件

第1の転送				第2の転送(注3)				データ転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了
0	—	1	—	—	—	—	—	CPUへ割り込み要求
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了
				0	—	1	—	CPUへ割り込み要求
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了
				0	—	1	—	CPUへ割り込み要求
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了
								CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リビート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リビート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

16.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、DTC ベクタのリードと転送情報のリードをスキップすることができます。

DTC 転送要求が入力されたとき、今回起動する DTC ベクタ番号と前回起動した DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、DTC ベクタのリードと転送情報のリードを行わず、DTC 内部に残っている転送情報に従ってデータ転送を行います。前回の起動がチェーン転送のときは、DTC ベクタのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 16.14 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを“1”にしてください。DTCCR.RRS ビットを“0”にすることによって DTC の内部に保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

16.4.2 転送情報ライトバックスキップ機能

16.4.2.1 アドレス固定によるライトバックスキップ

MRA.SM[1:0] ビット、または MRB.DM[1:0] ビットをアドレス固定 (“00b” または “01b”) に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。

転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 16.5 に示します。なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。

また、フルアドレスモードの場合、MRA レジスタ、MRB レジスタ、MRC レジスタはライトバックスキップされます。

表 16.5 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.2.2 MRA.WBDIS ビットによるライトバックスキップ

MRA.WBDIS ビットが “1” の場合、転送情報の設定内容にかかわらず転送情報 (SAR, DAR, CRA, CRB) はライトバックされません。

メモリ上の転送情報を更新しませんので、転送情報を ROM から RAM にコピーすることなく DTC のデータ転送を実行することができます。また、ライトバックを省略することで、データ転送の後処理にかかる時間が短縮できます。

16.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワード、または1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 16.6 に、ノーマル転送モードのメモリマップを図 16.6 に示します。

表 16.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. MRA.WBDISビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

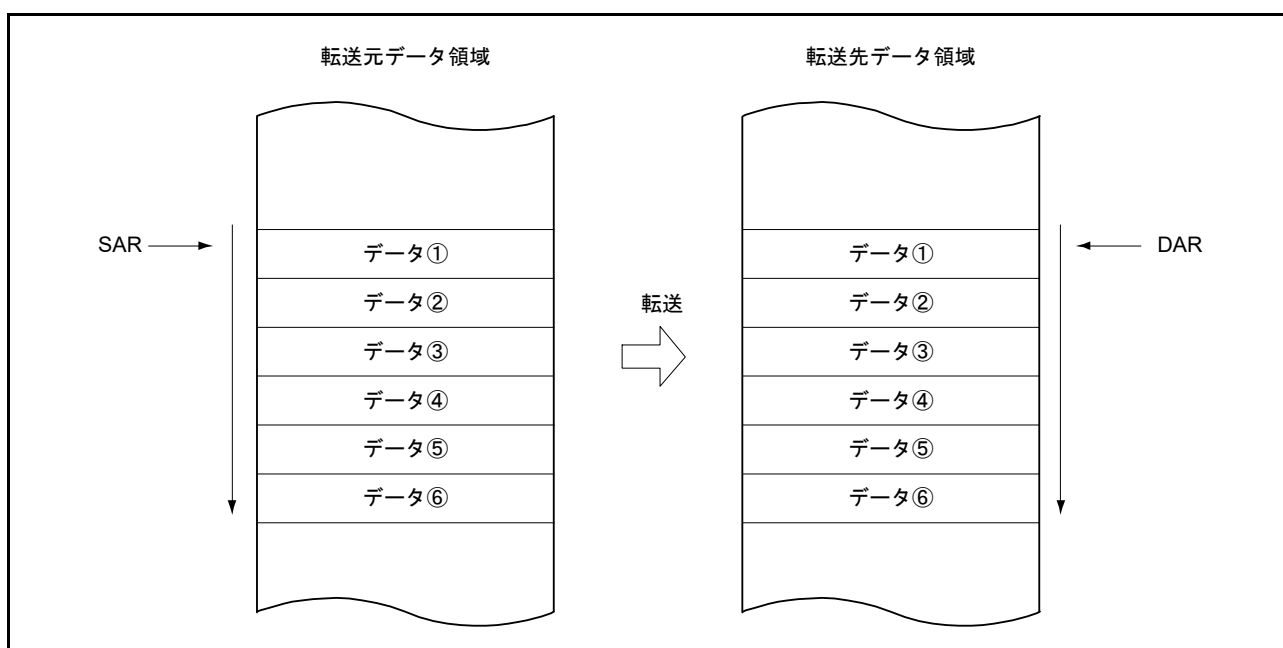


図 16.6 ノーマル転送モードのメモリマップ

16.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワード、または1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”(指定した回数のデータ転送が終了したとき、CPU への割り込みが発生)の場合は CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 16.7 に、リピート転送モードのメモリマップを図 16.7 に示します。

表 16.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値(注1)		
		CRAL ≠ 1 のとき	CRAL = 1 のとき	
			MRB.DTS ビット=0のとき	MRB.DTS ビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	インクリメント/デクリメント/固定(注2)	SAR レジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定(注2)	DAR レジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	転送カウンタ初期値保持	CRAH	CRAH	
CRAL	転送カウンタ A	CRAL – 1	CRAH	
CRB	転送カウンタ B	更新されない	更新されない	

注1. MRA.WBDIS ビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

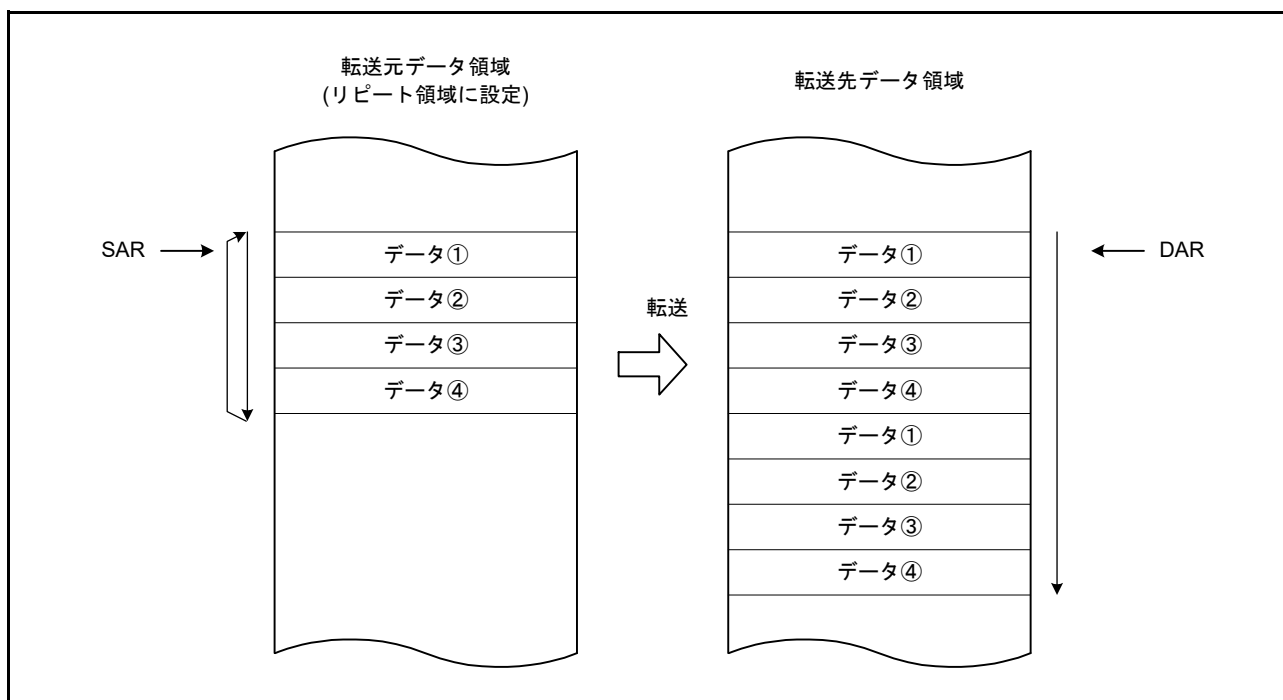


図 16.7 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

16.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256 バイト、1～256 ワード、または1～256 ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 16.8 に、ブロック転送モードのメモリマップを図 16.8 に示します。

表 16.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値(注1)	
		MRB.DTS ビット=0のとき	MRB.DTS ビット=1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定(注2)	SAR レジスタの初期値
DAR	転送先アドレス	DAR レジスタの初期値	インクリメント/デクリメント/固定(注2)
CRAH	ブロックサイズ初期値保持	CRAH	
CRAL	ブロックサイズカウンタ	CRAH	
CRB	ブロック転送回数カウンタ	CRB - 1	

注1. MRA.WBDIS ビットが“1”のときは、ライトバックはスキップされます。

注2. アドレス固定のときは、ライトバックはスキップされます。

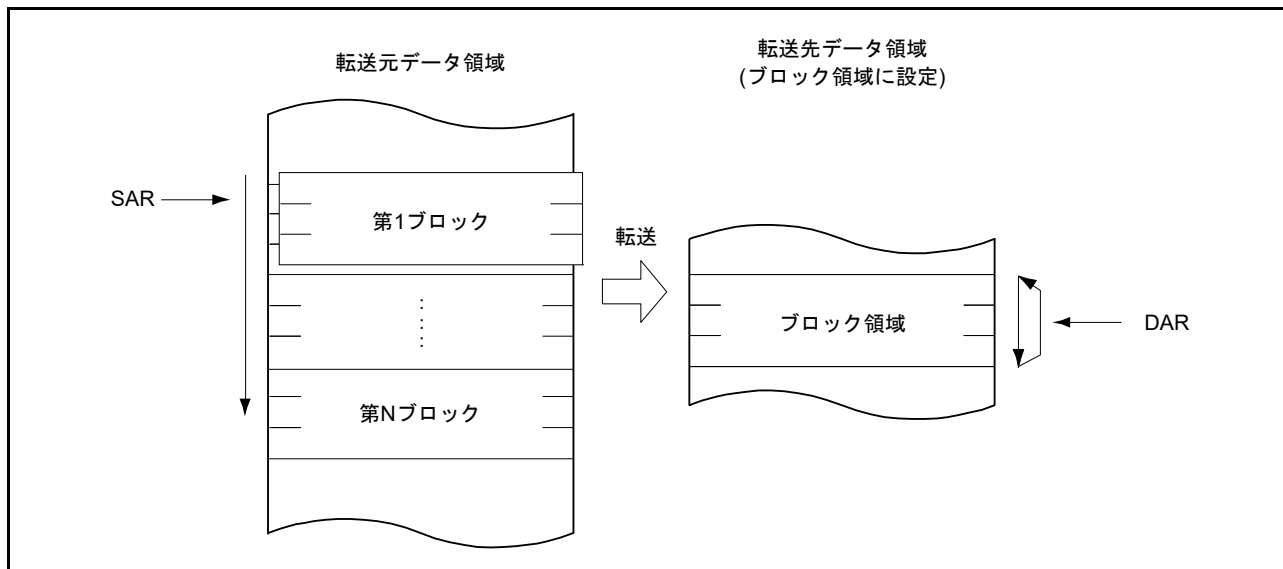


図 16.8 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

16.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した回数のデータ転送が終了したときも、MRB.DISEL ビットを“1”(データ転送のたびに、CPU への割り込み要求が発生)にしているときも、CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグにも影響を与えません。

データ転送を定義する転送情報(SAR, DAR, CRA, CRB, MRA, MRB, MRC)はそれぞれ個別に設定できます。図 16.9 にチェーン転送の動作を示します。

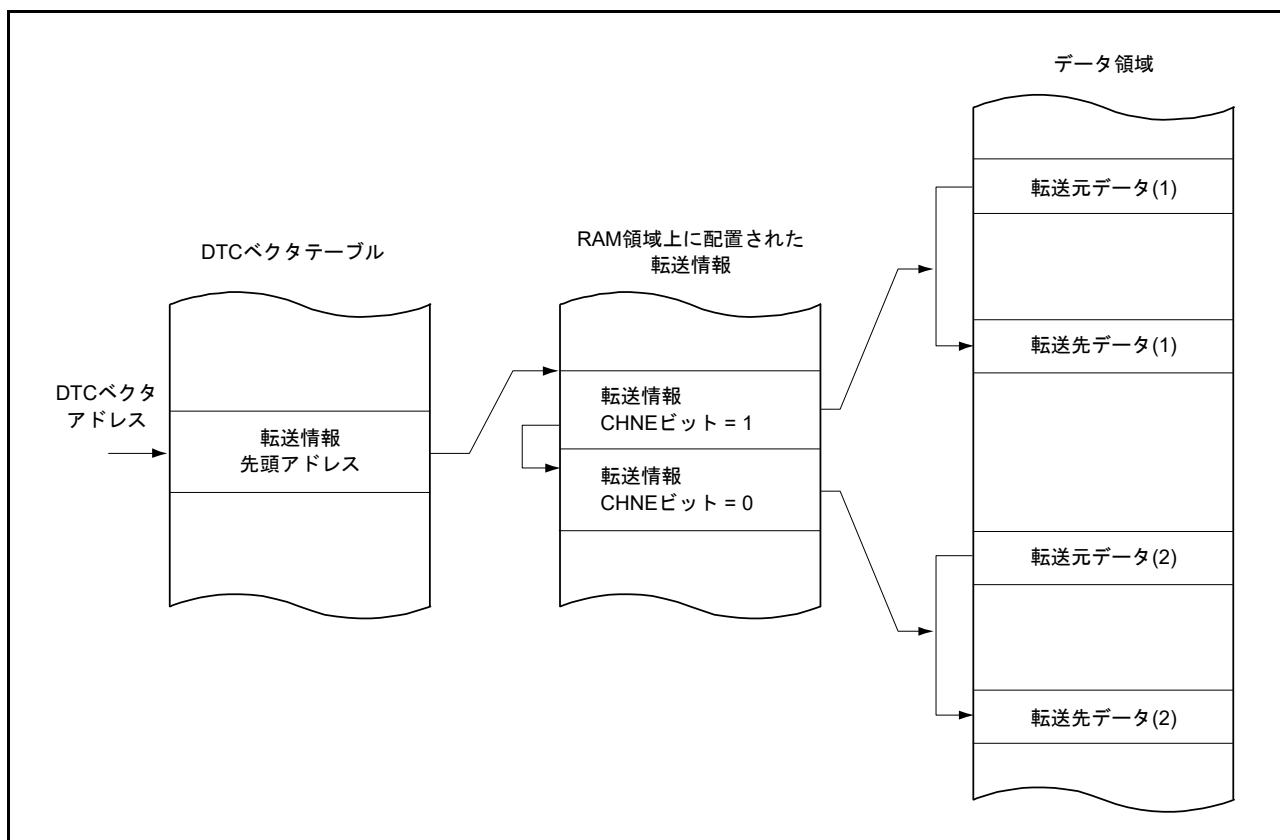


図 16.9 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定された回数のデータ転送が終了したときのみチェーン転送を行います。リピート転送モードでも、指定された回数のデータ転送が終了したときにチェーン転送を行います。

チェーン転送の条件の詳細については、表 16.4 のチェーン転送の条件を参照してください。

16.4.7 動作タイミング

DTC の動作タイミングの例を図 16.10 ～図 16.14 に示します。

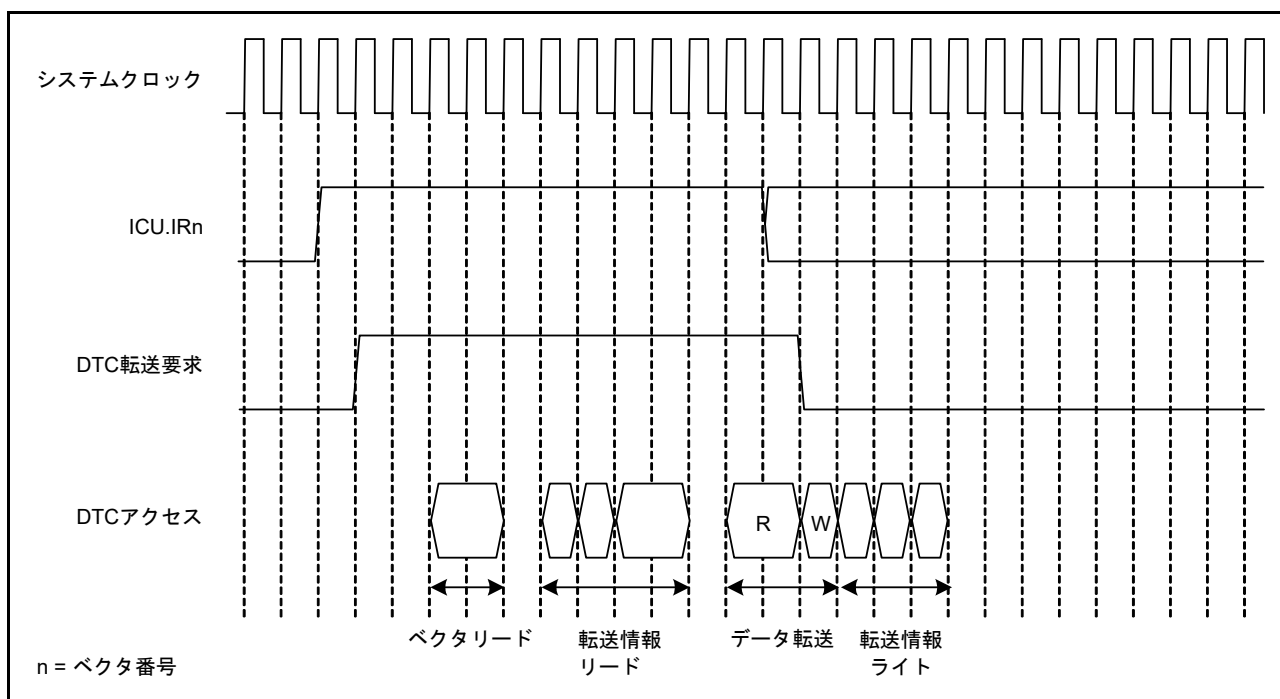


図 16.10 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

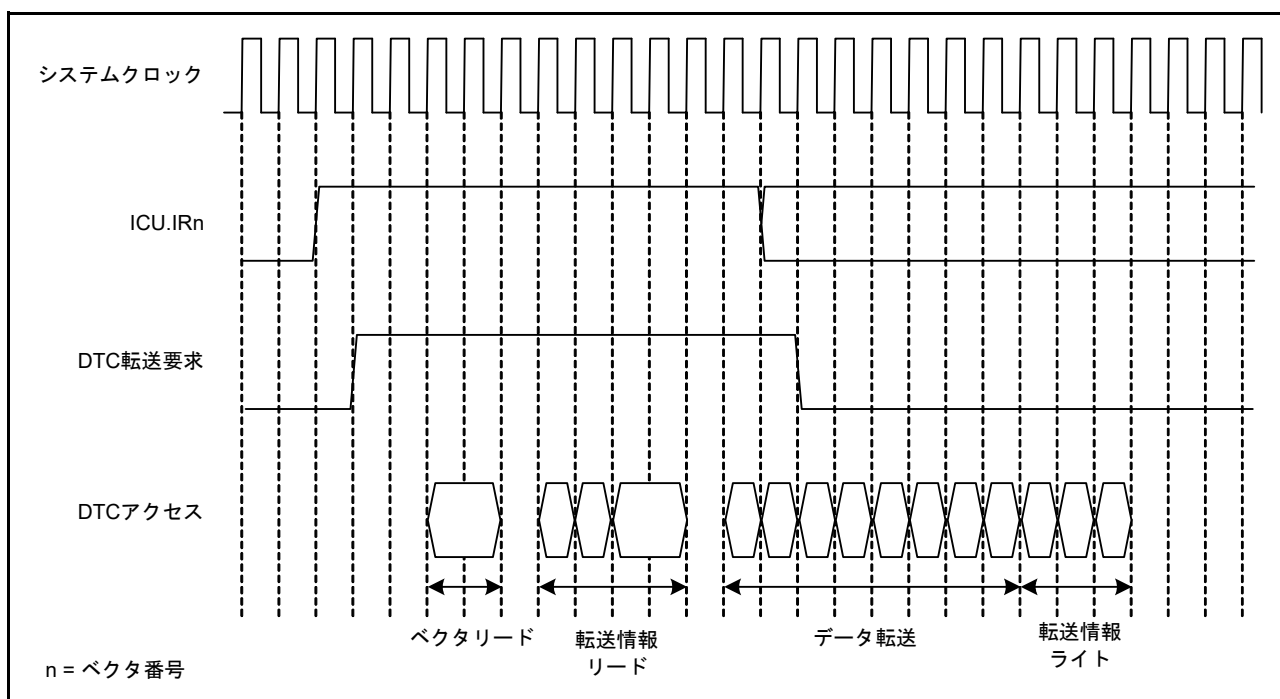


図 16.11 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

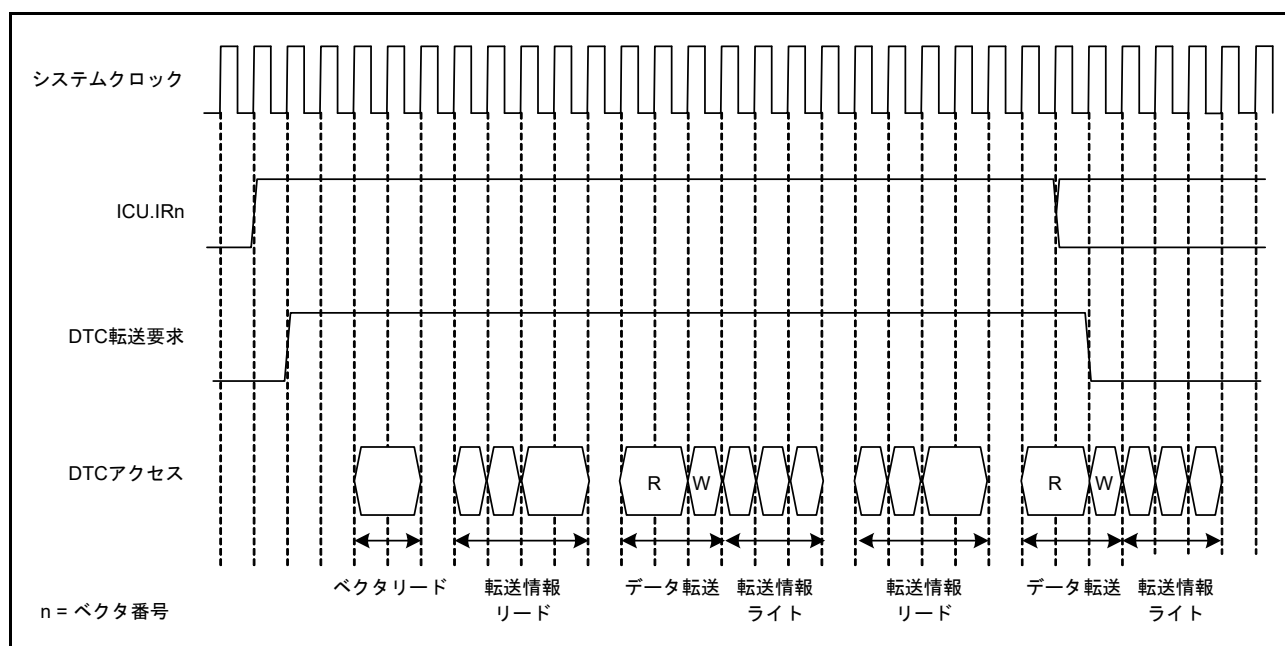
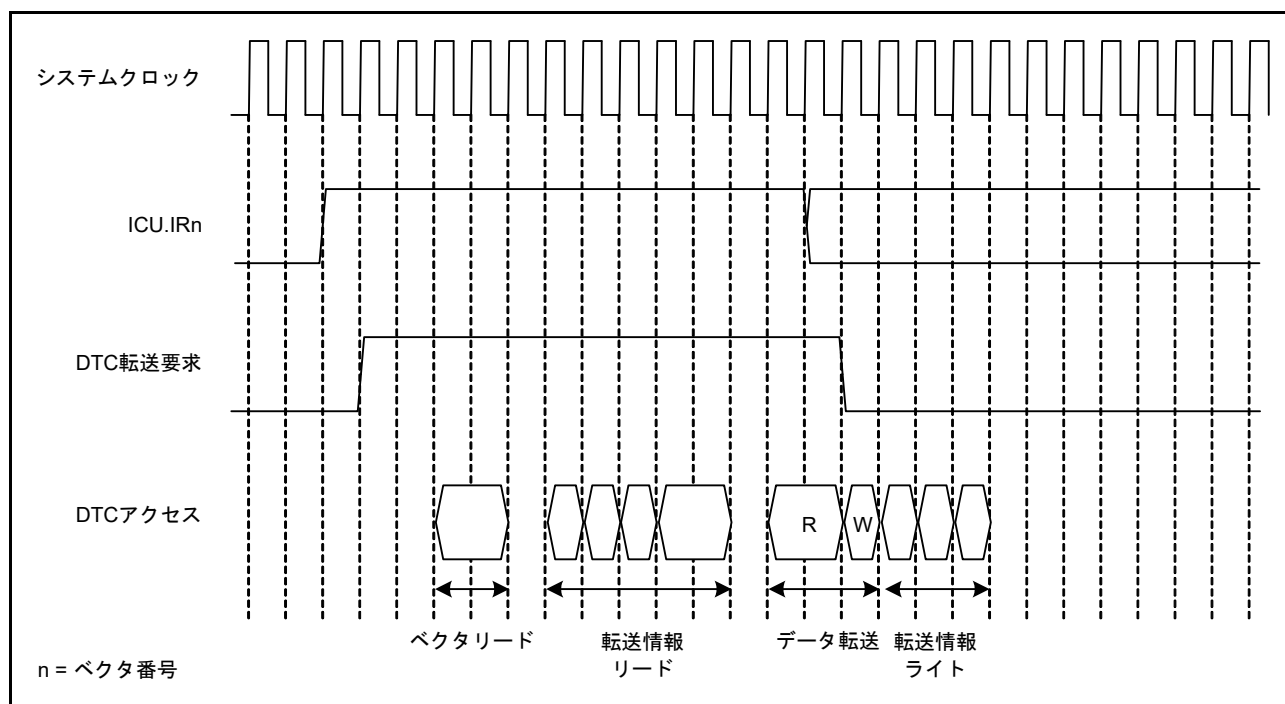


図 16.12 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

図 16.13 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

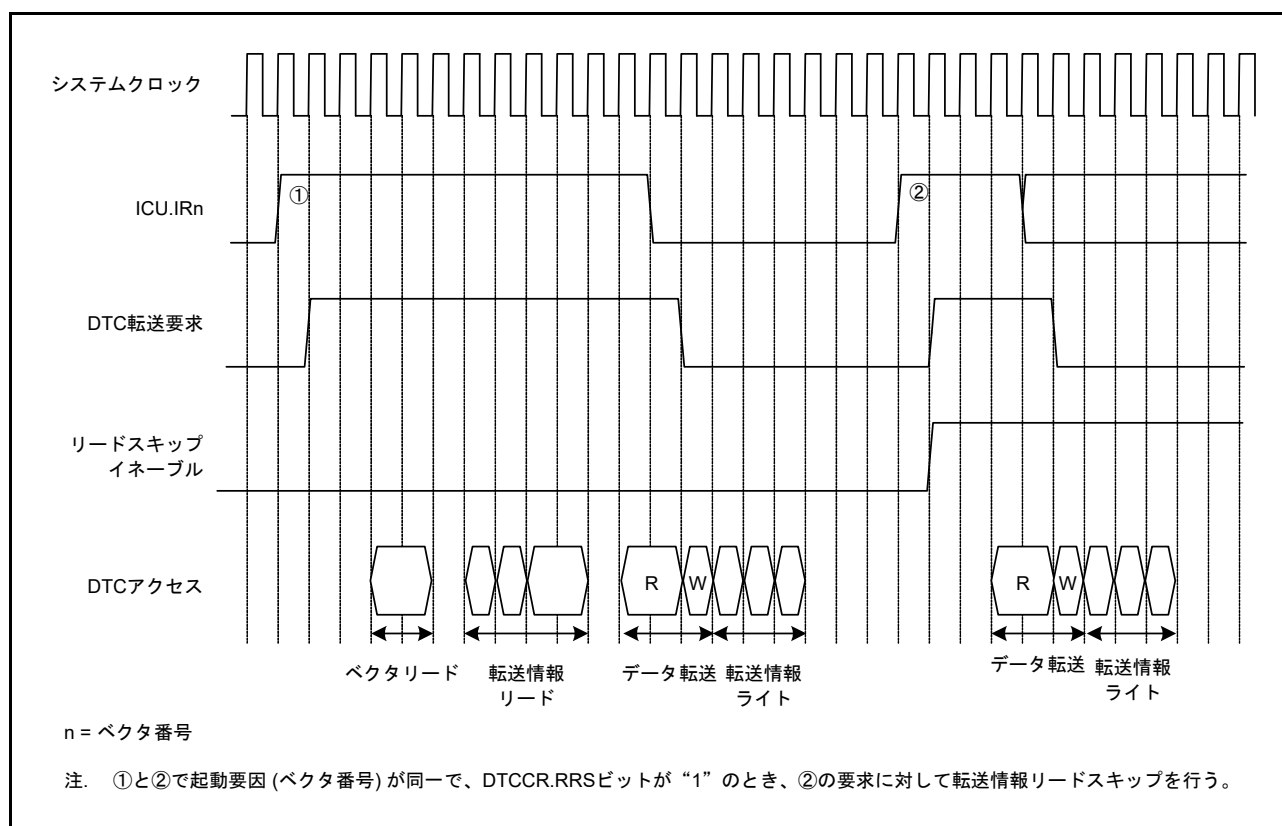


図 16.14 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先がRAM、転送元は周辺モジュールの場合)

16.4.8 DTCの実行サイクル

DTCの1回のデータ転送の実行サイクルを表16.9に示します。

各処理状態の実施順序は、「16.4.7 動作タイミング」を参照してください。

表 16.9 DTCの実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注1)	$4 \times Ci + 1$ (注2)	$3 \times Ci + 1$ (注3)	0 (注1)	$3 \times Ci$ (注4)	$2 \times Ci$ (注5)	Ci (注6)	Cr + 1	Cw	2	0 (注1)
リピート									Cr + 1	Cw		
ブロック (注7)									P × Cr	P × Cw		

注1. 転送情報リードスキップのとき

注2. フルアドレスモード動作のとき

注3. ショートアドレスモード動作のとき

注4. SARレジスタ、DARレジスタがともにアドレス固定でないとき

注5. SARレジスタ、またはDARレジスタがアドレス固定のとき

注6. SARレジスタとDARレジスタがともにアドレス固定のとき

注7. ブロックサイズが2以上の場合です。ブロックサイズが1の場合は、ノーマル転送のサイクル数となります。

P：ブロックサイズ(CRAH、CRALレジスタの設定値)

Cv：ベクタ転送情報格納先アクセスサイクル

Ci：転送情報格納先アドレスアクセスサイクル

Cr：データリード先アクセスサイクル

Cw：データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック(ICLK)です。)

(Cv、Ci、Cr、Cwはアクセス先で異なります。アクセス先ごとのサイクル数は、「36. RAM」、「37. フラッシュメモリ(FLASH)」、「5. I/Oレジスタ」を参照してください。)

16.4.9 DTCのバス権解放タイミング

DTCは、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

16.4.10 シーケンス転送

DTCSQE レジスタで設定した起動要因に対してシーケンス転送を実行することができます。MRB.INDX ビットを“1”にするとシーケンス転送を開始し、MRB.SQEND ビットを“1”にするとシーケンス転送を終了します。またシーケンス転送実行中でも DTCOR.SQTFRL ビットを“1”にすることでシーケンス転送を強制的に終了させ、次の DTC 転送要求でインデックステーブル参照から開始することができます。

シーケンス転送は下記の処理を行います。

- (1) DTCSQE レジスタに設定された要因からの DTC 転送要求を受けて、DTC ベクタテーブルを参照し最初のデータ転送を実行
- (2) (1) で転送した最初のデータの下位 8 ビットの値 (シーケンス番号) に基づいて DTC インデックステーブルを参照
- (3) DTC インデックステーブルから取得したアドレスから、転送情報を読み出し
- (4) 転送情報に従ってデータ転送を実行。転送後、MRB.CHNE ビットと MRB.SQEND ビットの値によって以下のいずれかの動作を実施
 - CHNE ビットが “1” の場合、チェーン転送を実行 → 次の転送情報を読み出し → (4) へ
 - CHNE ビットが “0” かつ SQEND ビットが “0” の場合、シーケンス転送を一時中断 → (5) へ
 - CHNE ビットが “0” かつ SQEND ビットが “1” の場合、シーケンス転送を終了
- (5) DTCSQE レジスタに設定された要因から DTC 転送要求が入る (注 1) と、中断していたシーケンスを再開、次の転送情報を読み出し → (4) へ

注 1. データ転送の結果 ICU.DTCERn.DTCE ビットが“0”になると、DTC 転送要求が発生しません。シーケンス転送を再開するには、DTCE ビットを“1”にしてください。DTCE ビットが“0”になる条件は、図 16.5 または「14. 割り込みコントローラ (ICUb)」を参照してください。

シーケンス転送の基本動作を図 16.15、図 16.16 に示します。

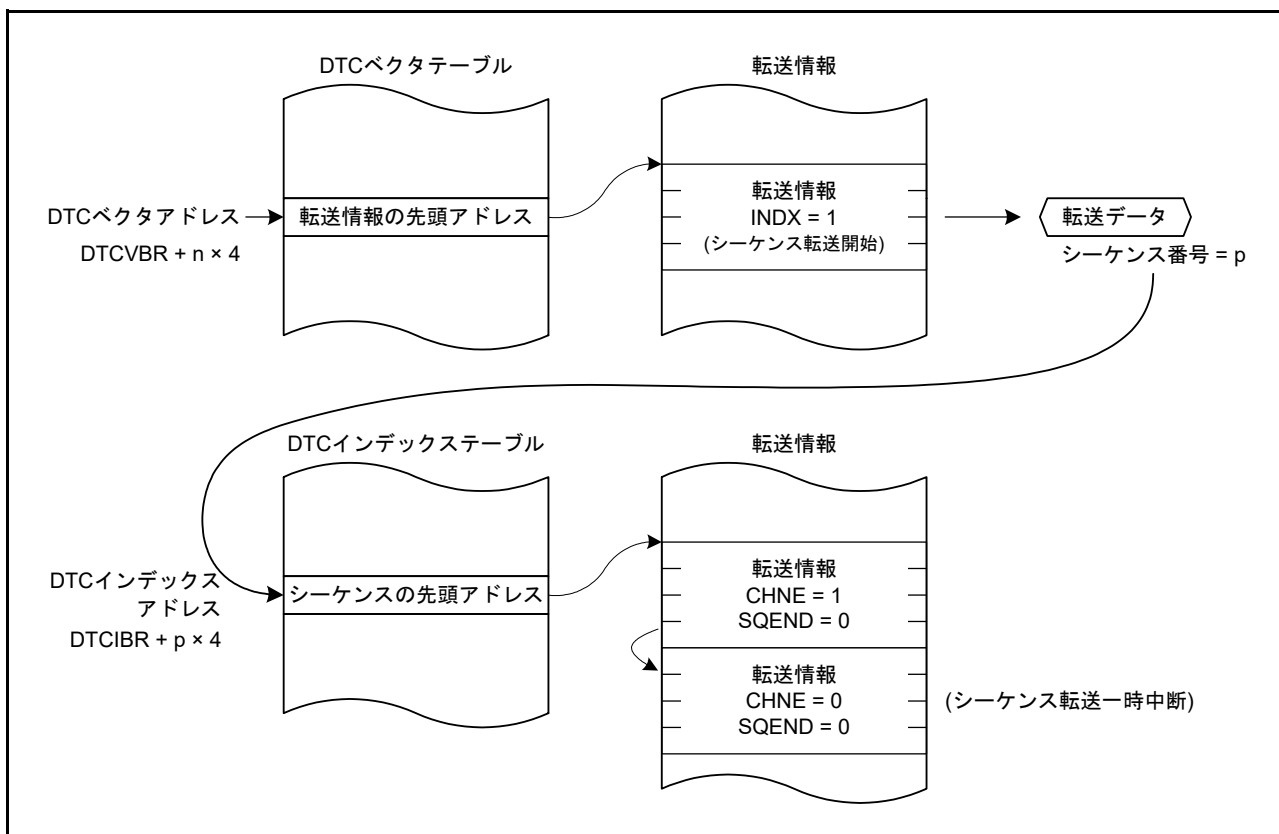


図 16.15 シーケンス転送の開始と一時中断

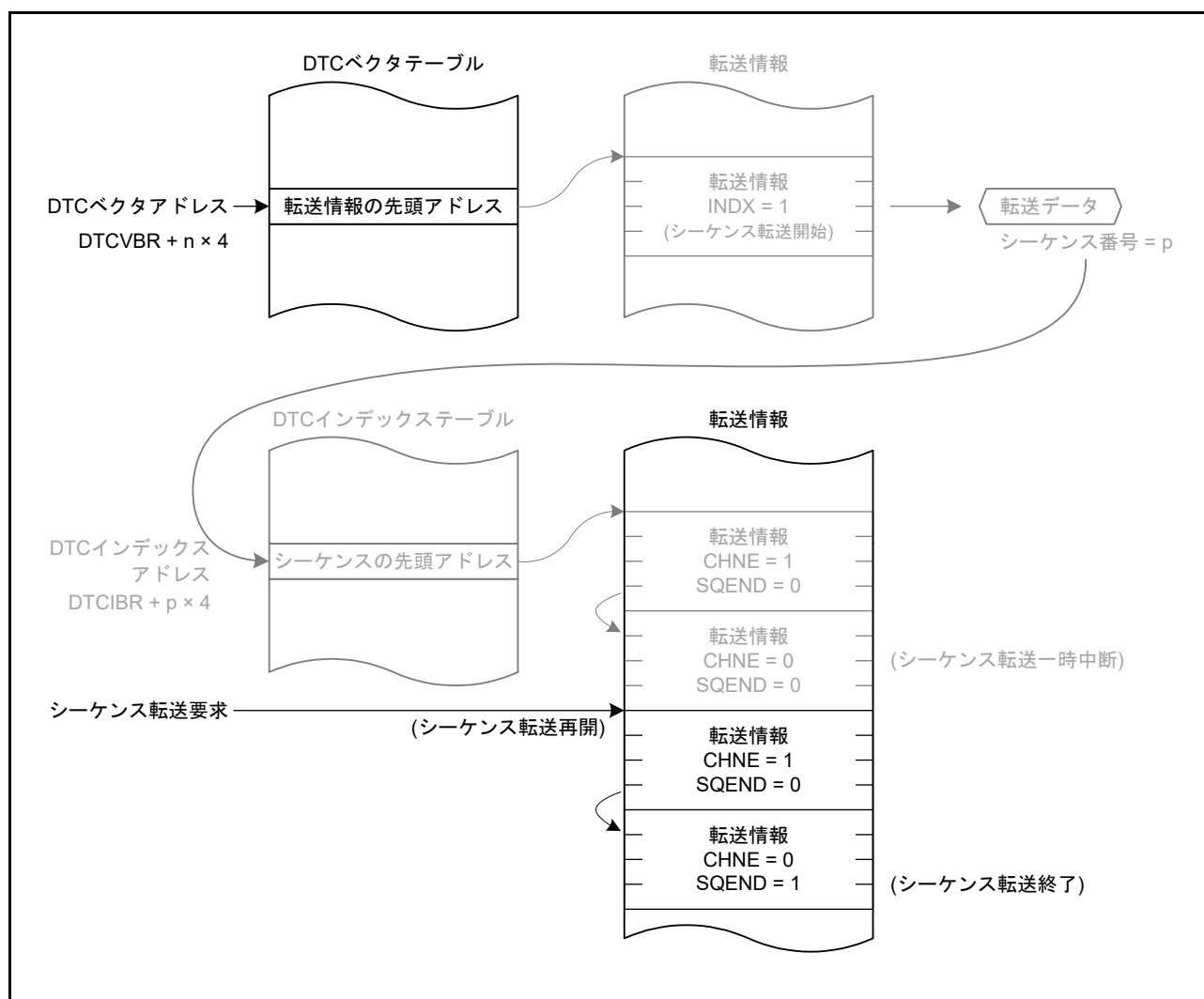


図 16.16 シーケンス転送の再開と終了

シーケンス転送実行時の CHNE、SQEND、INDX ビットの設定を表 16.10 に示します。

表 16.10 シーケンス転送と CHNE、SQEND、INDX ビット

DTC の動作	CHNE ビット	SQEND ビット	INDX ビット
シーケンス転送開始	0	0	1(注 1)
シーケンス転送継続	1	0	0
シーケンス転送一時中断(注2)	0	0	0
シーケンス転送終了	0	1	0
シーケンス転送終了、新たなシーケンス転送を開始	0	1	1(注 1)
シーケンス転送以外	—	0	0

注. 上記以外の設定は使用しないでください。

注1. INDX ビットを“1”にする転送情報では、MRA.MD[1:0] ビットを“00b”(ノーマル転送モード)にしてください。

注2. シーケンス転送が一時中断した場合、ICU.DTCERn.DTCE ビットが“0”になっていることがあります。シーケンス転送を再開するには DTCE ビットを“1”にしてください。

シーケンス転送が一時中断していても、シーケンス転送が終了するまでは、新たなシーケンス転送は開始できません。シーケンス転送が一時中断しているときにシーケンス転送要求が入ると、中断していたシーケンス転送が再開されます。

16.4.11 DTC インデックステーブル

DTC インデックステーブルは、DTCIBR レジスタに設定されたアドレスを開始アドレスとする領域に配置されます。

シーケンス番号の値 p に対する転送情報テーブル p の先頭アドレスは、 $\text{DTCIBR} + p \times 4$ 番地に格納してください。

DTC インデックスの上位 30 ビットには、先頭アドレスの上位 30 ビットを設定します。CPUSEL ビットには、転送情報を読み出してシーケンスを開始するか、シーケンスを開始せずに CPU に割り込み要求を出力するかを設定します。DTC では処理しきれない複雑なシーケンスに対しては、CPUSEL ビットに“1”を設定し、CPU で処理を行います。

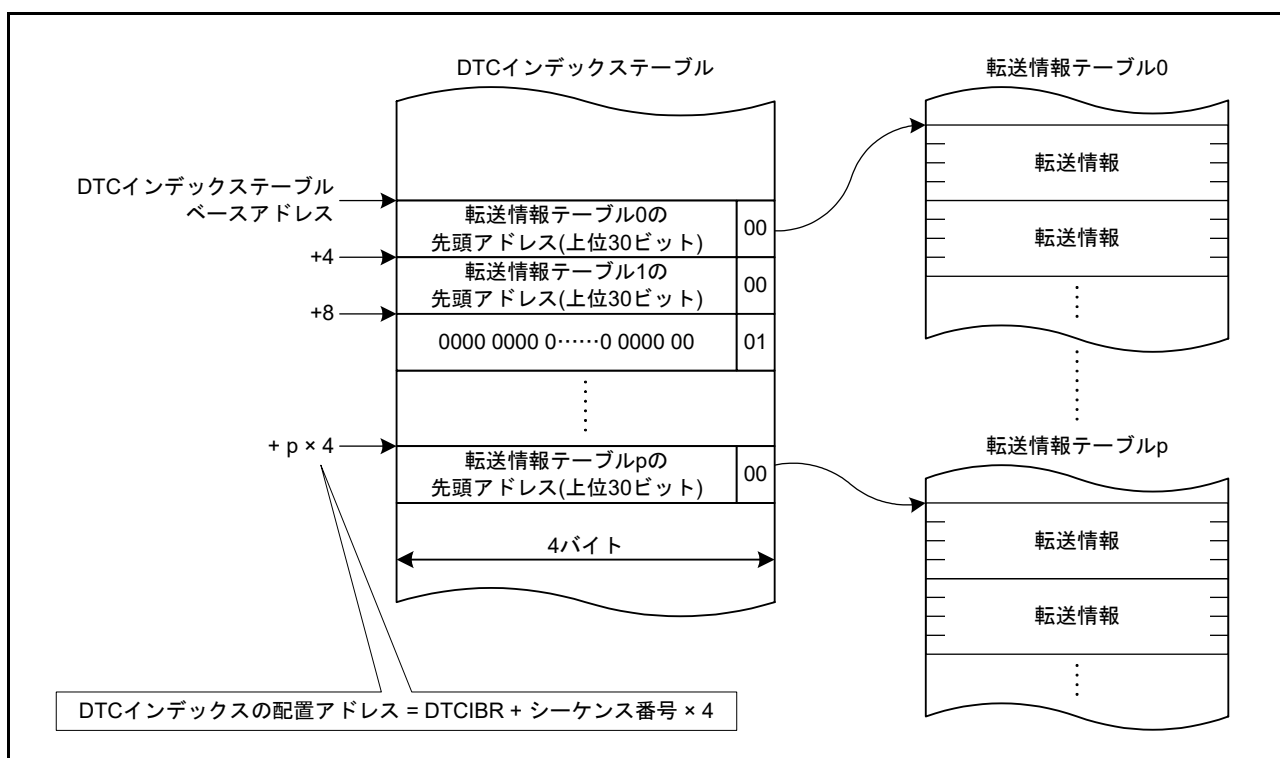
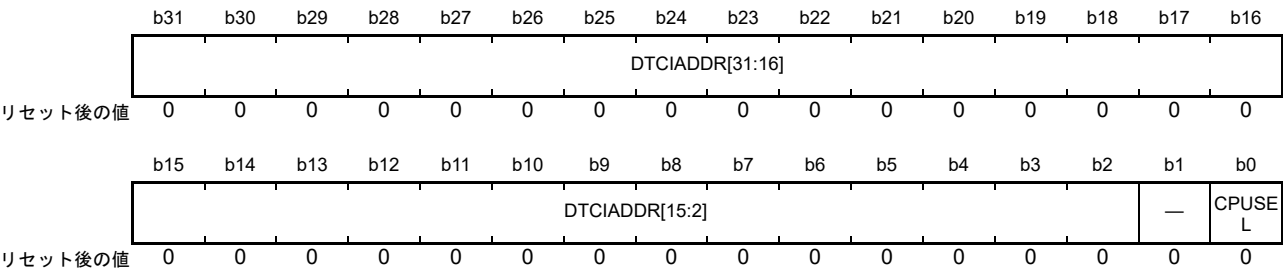


図 16.17 DTC インデックステーブル

• DTC インデックス

アドレス DTCIBR + p × 4



ビット	シンボル	ビット名	機能	R/W
b0	CPUSEL	シーケンス転送/CPU割り込み選択ビット	0：シーケンス転送を継続(シーケンスを開始) 1：シーケンス転送を終了し、CPUに割り込み要求を出力	—
b1	—	予約ビット	“0”にしてください	—
b31-b2	DTCIADDR[31:2]	転送情報テーブルアドレス	転送情報テーブルの先頭アドレスの上位30ビットを設定します。上位4ビット(b31-b28)への書き込みは無視され、b31-b28の値はb27と同じ値になります。	—

取得したシーケンス番号が示す DTC インデックスの CPUSEL ビットが “1” の場合、CPU への割り込み要求が発生します。このとき ICU.DTCERn.DTCE ビットが “0” になりますので、これ以降、DTCSQE レジスタに設定した起動要因からの割り込み要求信号は、DTC ではなく CPU に伝えられます。CPU の割り込み処理が終わったら、次のシーケンス転送を開始できるように ICU.DTCERn.DTCE ビットを “1” にして DTC 転送要求を有効にしてください。

16.4.12 シーケンス転送の動作例

シーケンス転送の代表例を図 16.18 に、図中の転送例に対する転送情報の構成を図 16.19 ～図 16.23 に示します。

これらの例では、ベクタ番号 n の割り込み要因をシーケンス転送の要因に設定 (DTCSQE.VECN[7:0] ビット = n) しています。ベクタ番号 n の割り込み要因からの DTC 転送要求 (以降、単に「転送要求 n 」と記載) が入力されると、DTC は DTC ベクタテーブルを参照し、対応する転送情報を読み出します。この転送情報に従って転送されたデータの下位 8 ビットがシーケンス番号になり、256 通りのシーケンスの中から 1 つのシーケンスが選択されます。

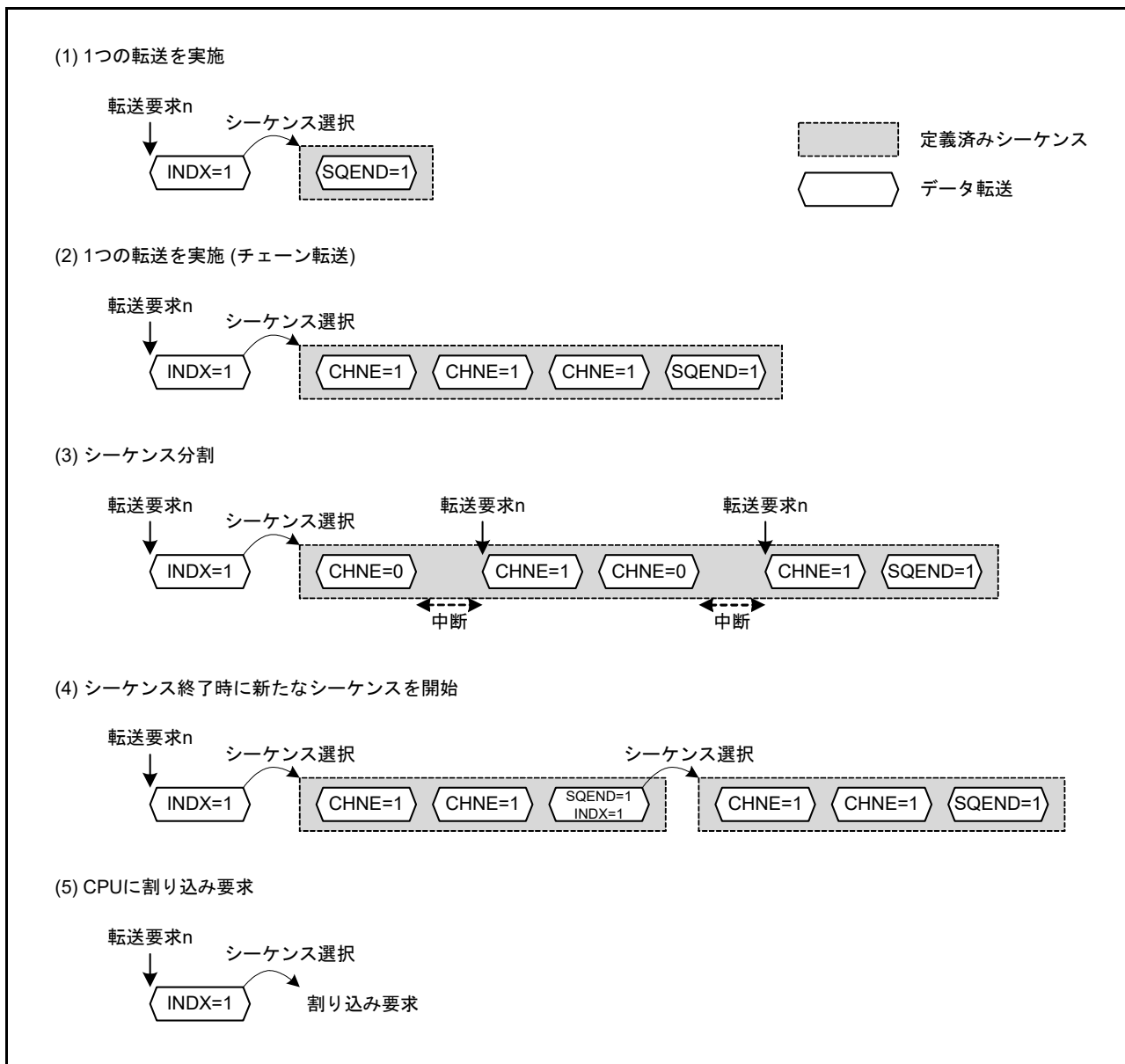


図 16.18 シーケンス転送の例

(1) 1つの転送を実施する場合

図 16.19 は、1つの転送(ノーマル転送、リピート転送、ブロック転送)を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 p に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ“0”、“0”、“1”なので、指定された転送を行うとシーケンスを終了します。

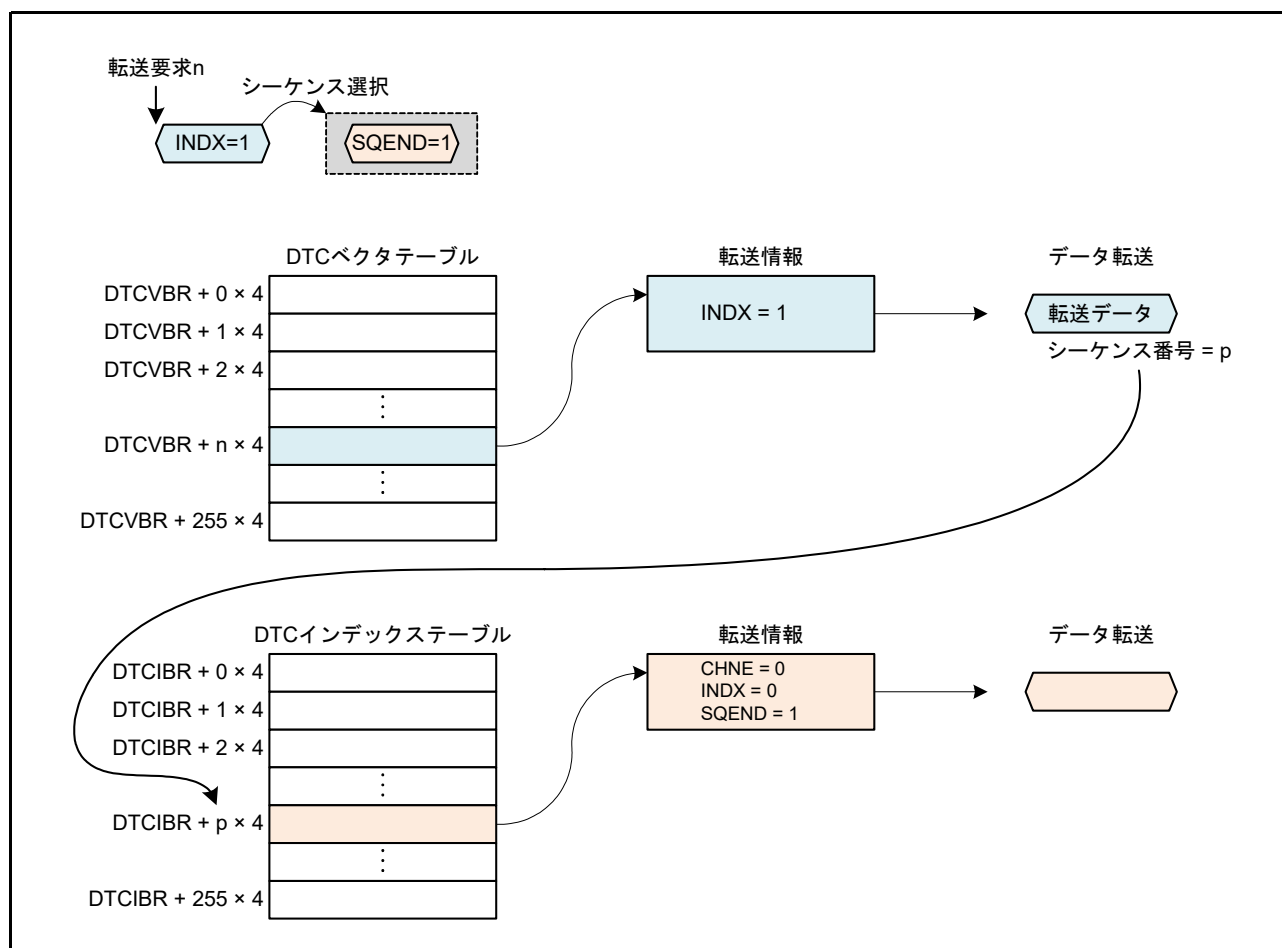


図 16.19 1つの転送を実施するシーケンスの例

(2) 1つのチェーン転送を実施する場合

図 16.20 は、1つのチェーン転送を行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 q に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “1”、“0”、“0” の間は、指定されたチェーン転送を行います。CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

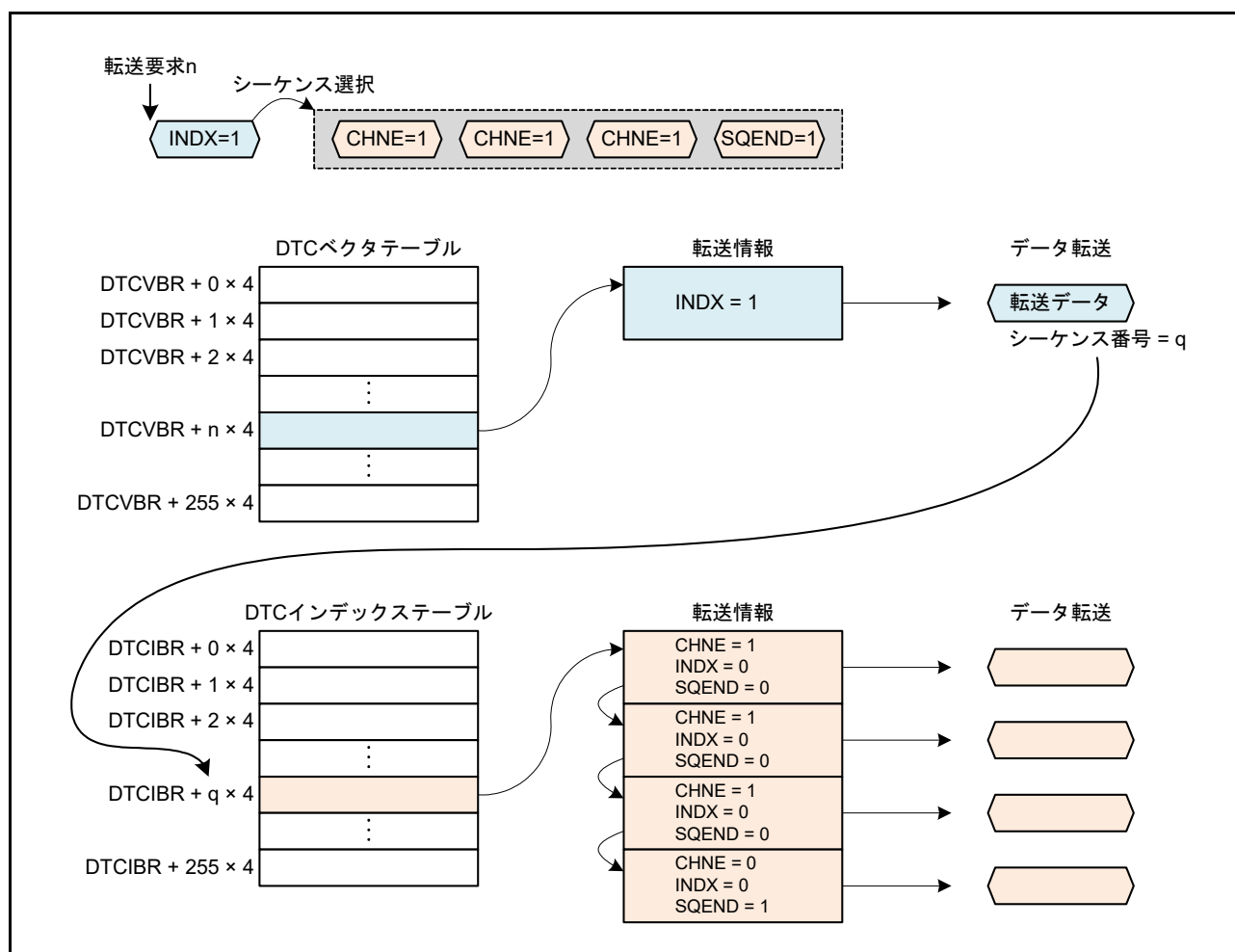


図 16.20 1つのチェーン転送を実施するシーケンスの例

(3) シーケンスを分割して実施する場合

図 16.21 は、1つのシーケンスを3つに分割して行うシーケンスの例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 r に対応する転送情報を読み出します。

転送情報中の CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“0” なので、指定された転送を行うと、シーケンスを中断して次の転送要求 n を待ちます。シーケンス転送実行中に転送要求 n が入力されると、DTC ベクタテーブルは参照されず、中断していたシーケンスが再開されます。

CHNE、INDX、SQEND ビットがそれぞれ “0”、“0”、“1” の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

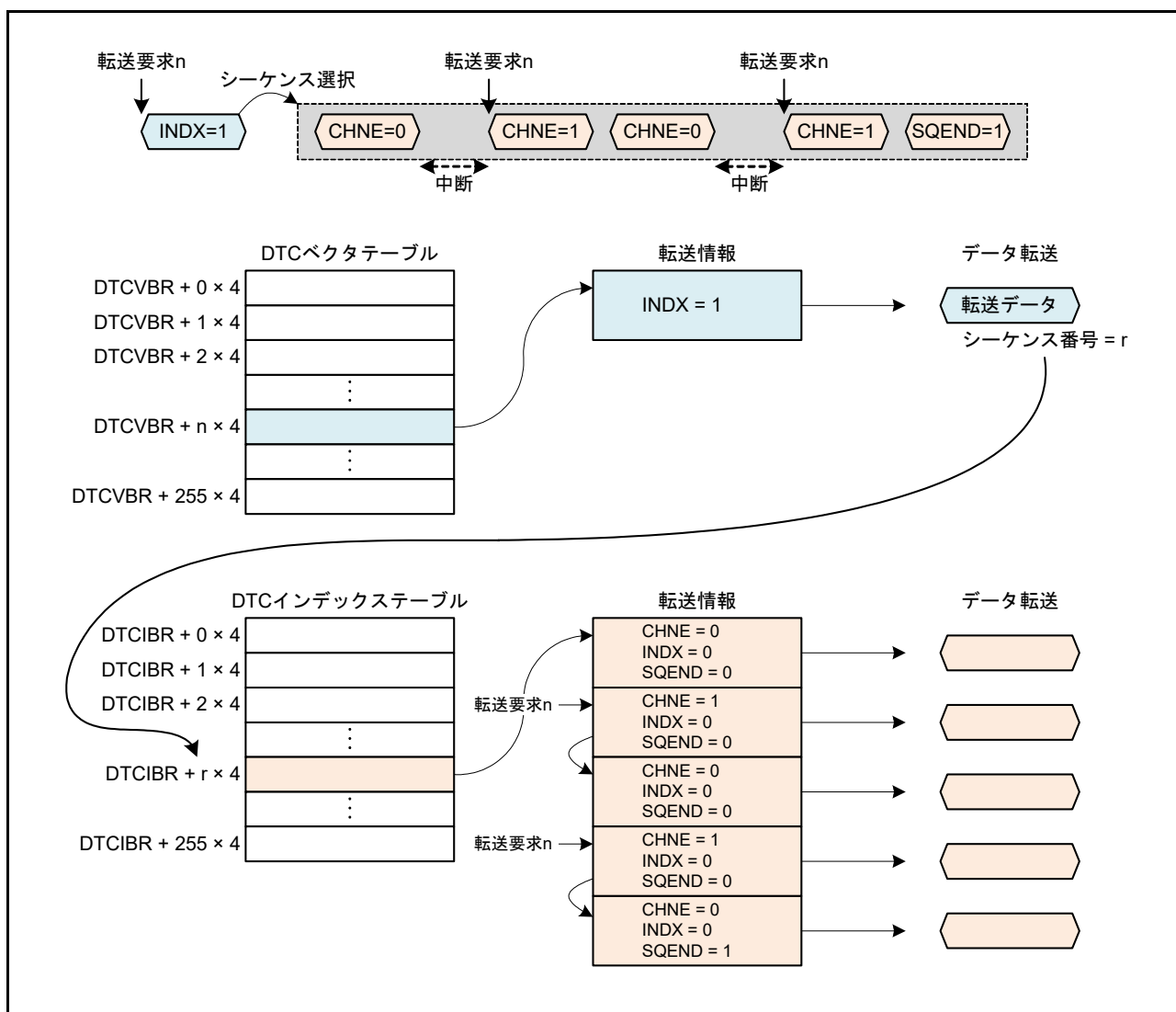


図 16.21 シーケンスを分割して実施する例

(4) シーケンス終了時に新たなシーケンスを開始する場合

図 16.22 は、1 つ目のシーケンス転送終了時に次の新たなシーケンス転送を開始する例です。

DTC は、DTC インデックステーブルを参照し、取得したシーケンス番号 s に対応する転送情報を読み出します。

CHNE、INDX、SQEND ビットがそれぞれ“0”、“1”、“1”の転送情報を読み出すと、指定された転送を行い、転送されたデータの下位 8 ビットから新たなシーケンス番号を取得します。DTC は再び DTC インデックステーブルを参照し、取得したシーケンス番号 k に対応する転送情報を読み出し、新たなシーケンスを開始します。

CHNE、INDX、SQEND ビットがそれぞれ“0”、“0”、“1”の転送情報を読み出すと、指定された転送を行った後シーケンスを終了します。

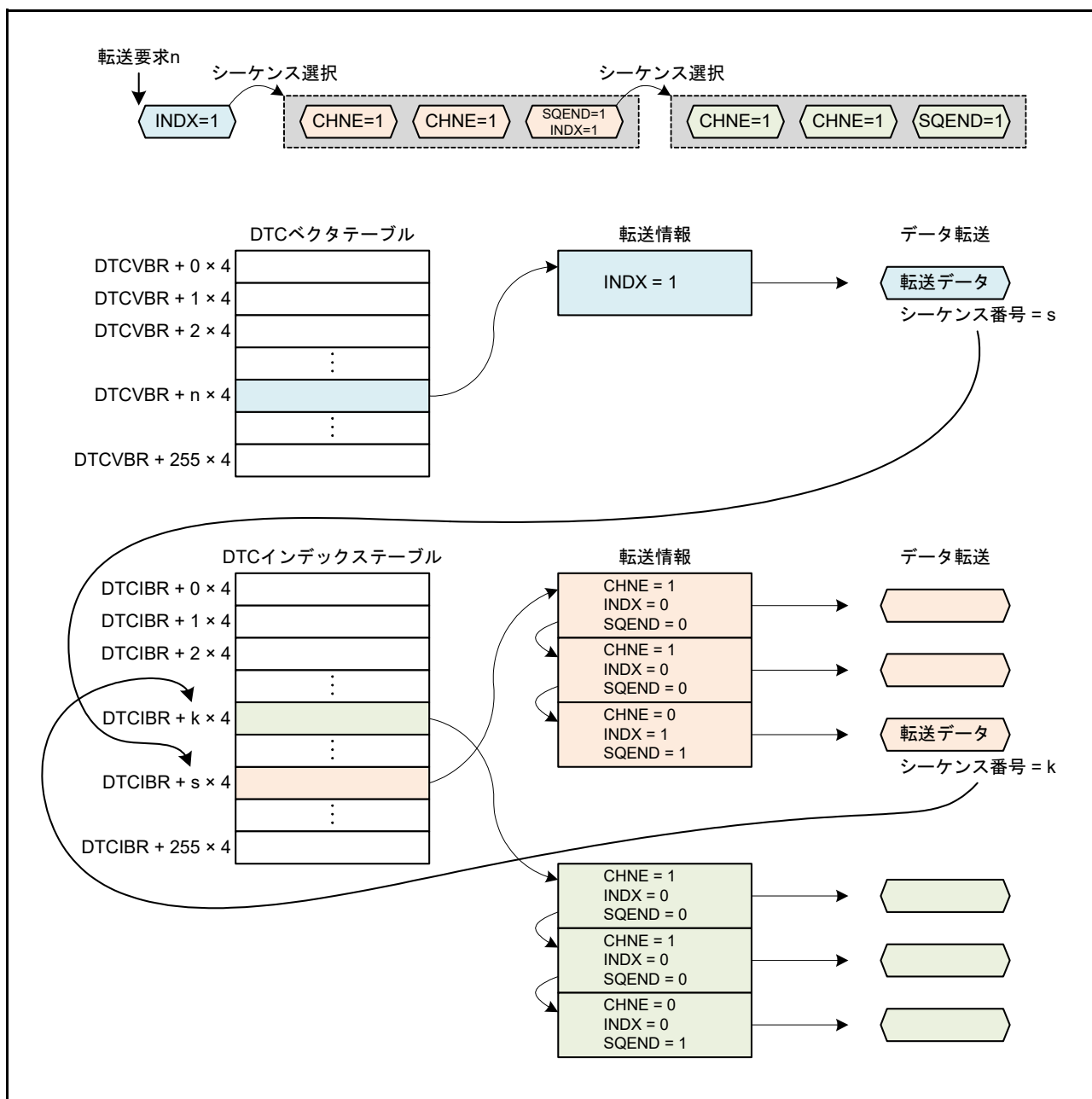


図 16.22 シーケンス終了時に新たなシーケンスを開始する例

(5) CPUに割り込み要求を出力する場合

図 16.23 は、シーケンスを開始せずに CPU に割り込み要求を出力する例です。

DTC は、取得したシーケンス番号 t に対応する DTC インデックスを取得します。取得した DTC インデックスの CPUSEL ビットが“1”であると、DTC はシーケンスを開始せずにシーケンス転送を終了し、CPU に割り込み要求を出力します。

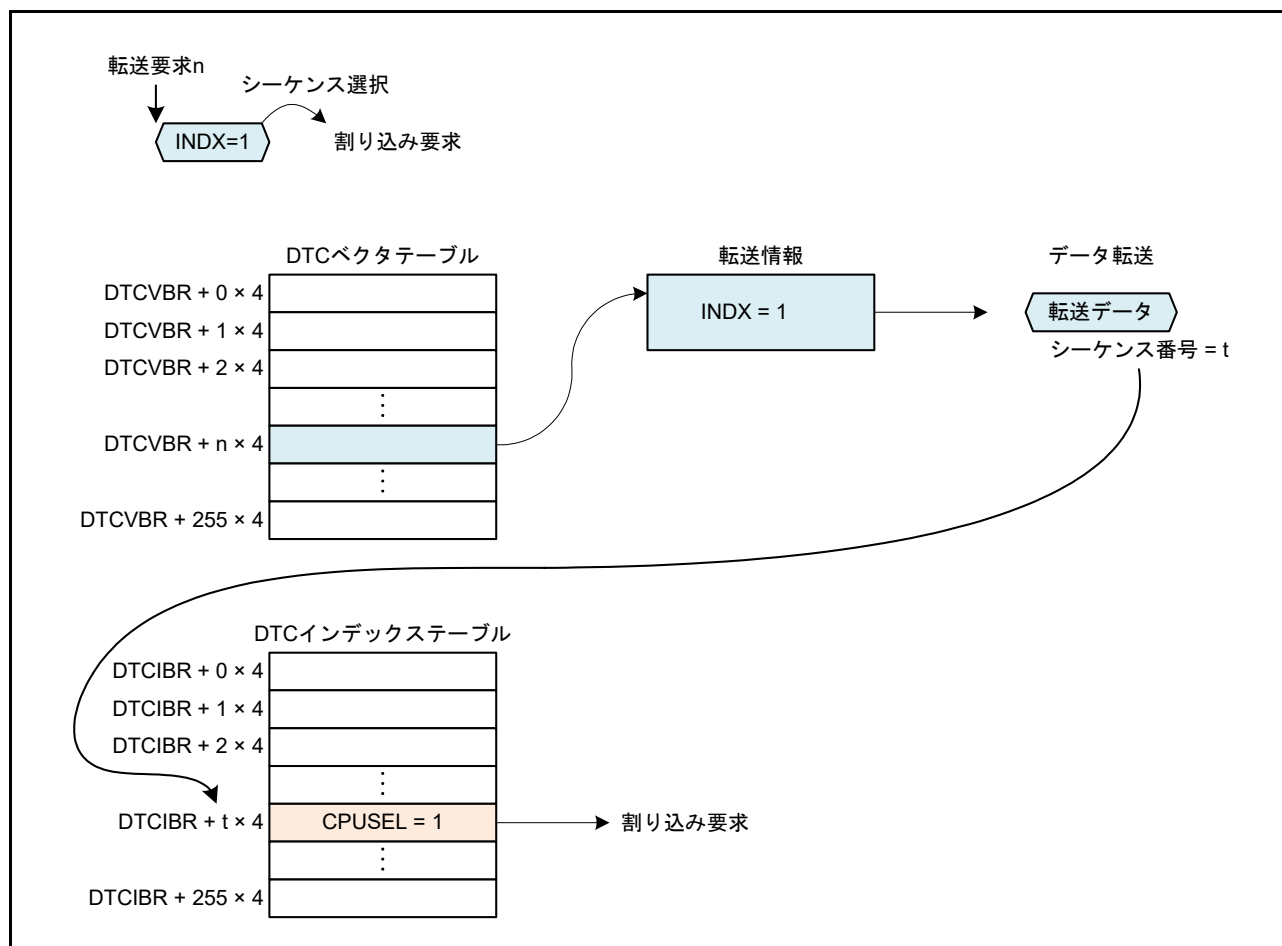


図 16.23 CPUに割り込み要求を出力する例

16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。シーケンス転送を使用する場合は DTC インデックステーブルベースレジスタ (DTCIBR) も設定してください。

図 16.24 に DTC の起動に必要な設定手順を示します。

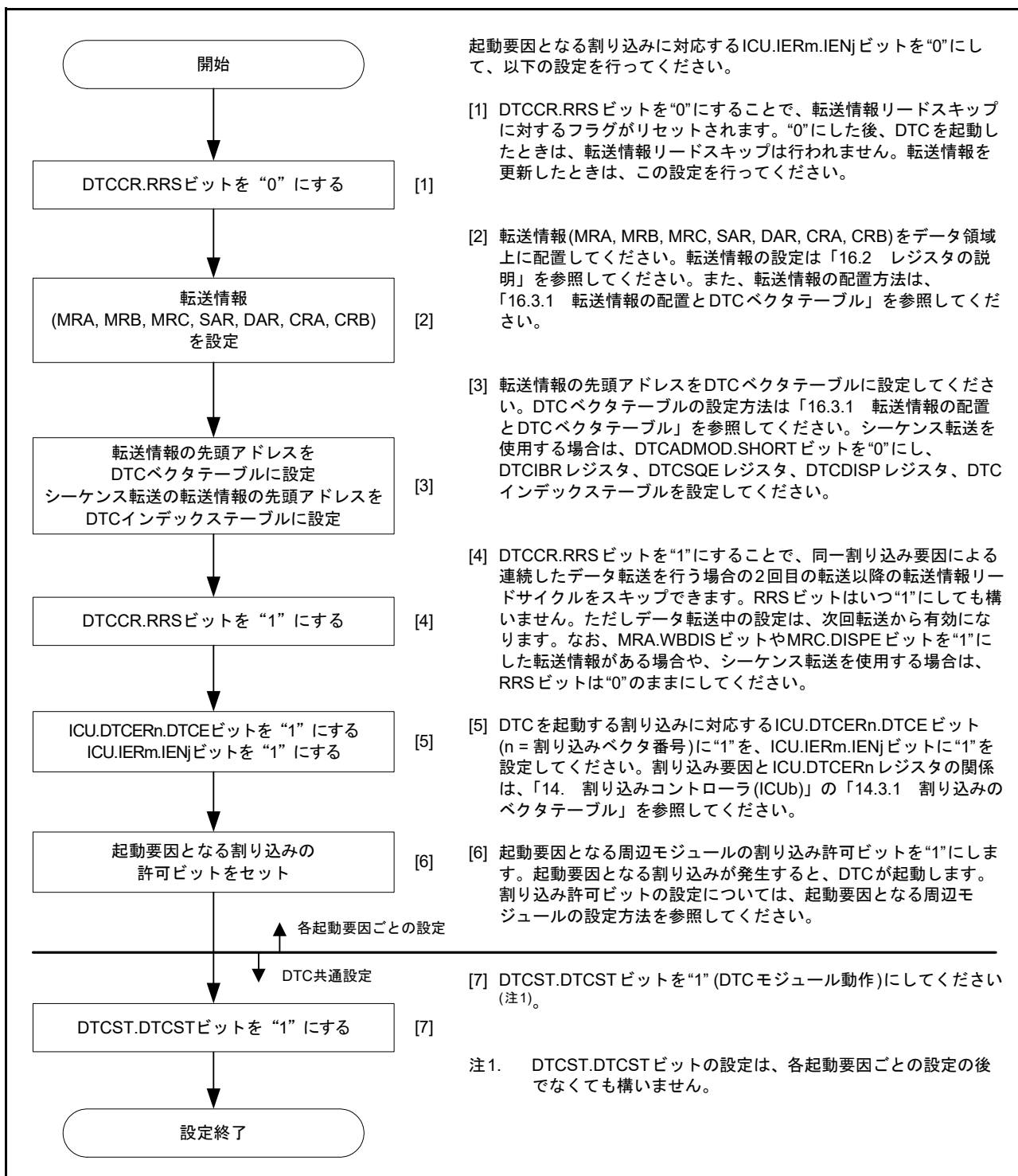


図 16.24 DTC の設定手順

16.6 DTC 使用例

16.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定回数のデータ転送終了時、割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタをインクリメント) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値にすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI で 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送が終了後、CRA レジスタが “0” になると、CPU に RXI 割り込み要求が出力されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.2 カウンタが“0”のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2のデータ転送において第1の転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回を超えるリピート転送を行うことができます。

128K バイトの入力バッファを 0020 0000h ~ 0021 FFFFh 番地に構成する例を示します (入力バッファは下位アドレス “0000h” から始まるように設定します)。カウンタが“0”のときのチェーン転送を図 16.25 に示します。

- (1) 第1のデータ転送は、入力データ用にノーマル転送モードを設定します。転送元アドレスは固定、CRA レジスタは “0000h” (65536 回)、MRB.CHNE ビットは “1” (チェーン転送許可)、MRB.CHNS ビットは “1” (転送カウンタが“0”になったときのみチェーン転送を行う)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。
- (2) 第1のデータ転送の転送先アドレスの 65536 回ごとの先頭アドレスの上位 8 ビット (この例の場合は “21h” と “20h”) を別の領域 (ROM など) に用意してください。
- (3) 第2のデータ転送は、第1のデータ転送の転送先アドレス再設定用にリピート転送モード (転送元をリピート領域) にします。転送先は第1の転送情報内の DAR レジスタの上位 8 ビットが配置されているアドレスです。このとき MRB.CHNE ビットは “0” (チェーン転送禁止)、MRB.DISEL ビットは “0” (指定された回数のデータ転送が終了したとき CPU への割り込みが発生) にしてください。この例の場合は、転送カウンタを “2” にしてください。
- (4) DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “21h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは、“0000h” になっています。
- (5) 引き続き、DTC 転送要求を受け付けると、第1のデータ転送を実行します。65536 回実行して、第1のデータ転送の転送カウンタが “0” になると、第2のデータ転送が開始され、第1のデータ転送の転送先アドレスの上位 8 ビットを “20h” にします。このとき、第1のデータ転送の転送先アドレスの下位 16 ビットと転送カウンタは “0000h” になっています。
- (6) 上記 (4)、(5) を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPU への割り込み要求は発生しません。

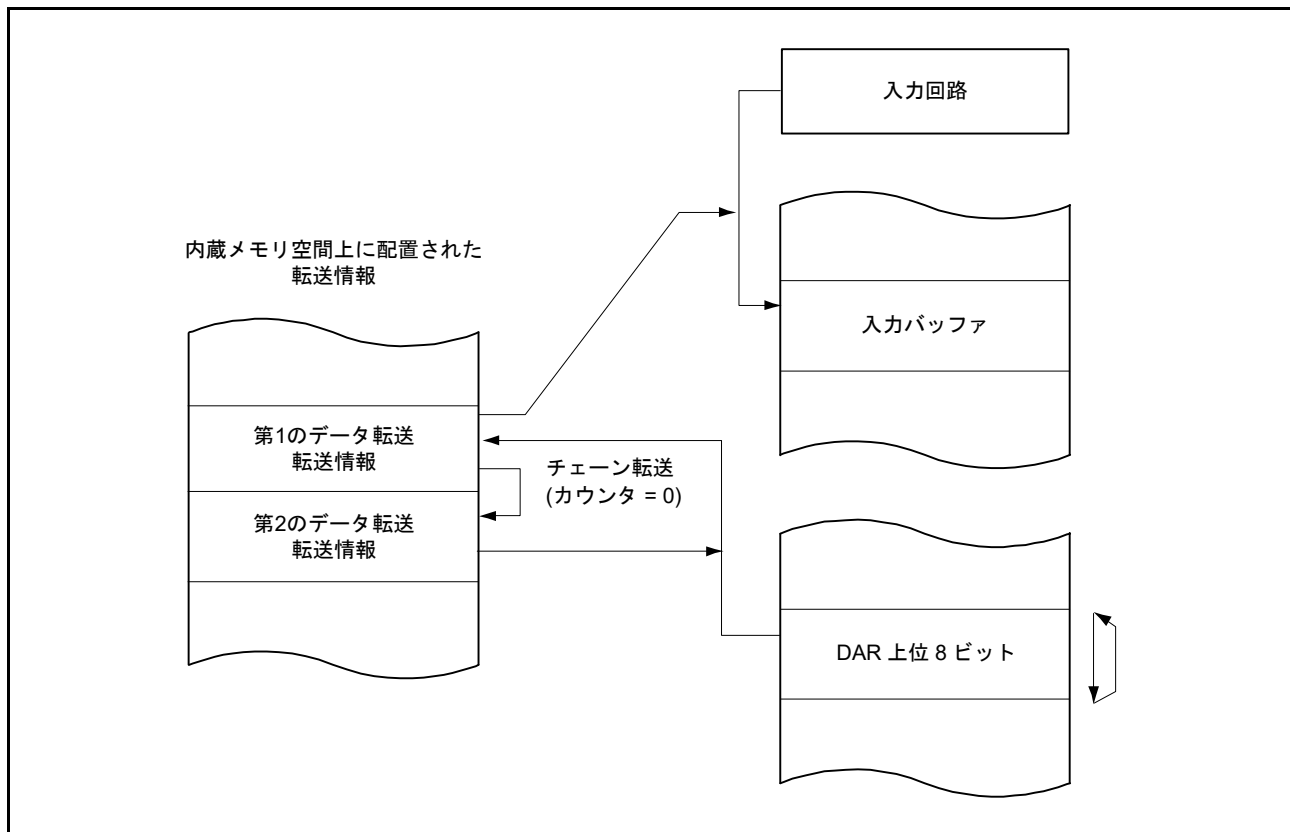


図 16.25 カウンタが“0”のときのチェーン転送

16.6.3 シーケンス転送

SCI の受信割り込みをシーケンス転送の起動要因にする例を示します。

(1) 転送情報の設定

MRA レジスタの MD[1:0] ビットを “00b” (ノーマル転送モード)、SZ[1:0] ビットを “00b” (バイト転送)、SM[1:0] ビットを “00b” (転送元アドレス固定) に設定します。MRB レジスタの CHNE ビットを “0” (チェーン転送禁止)、DISEL ビットを “0” (指定された回数のデータ転送が終了したとき割り込み発生)、DM[1:0] ビットを “10b” (転送後 DAR レジスタインクリメント)、INDX ビットを “1” (シーケンス転送開始)、SQEND ビットを “0” (シーケンス転送継続) に設定します。MRB.DTS ビットは、任意の値にすることができます。SAR レジスタに SCIk.RDR レジスタのアドレス、DAR レジスタにデータを格納する RAM の先頭アドレスを設定します。

WBDIS ビットを “1” (ライトバックしない) にした場合、CRA レジスタ、CRB レジスタの値は無視されます。

(2) DTC ベクタテーブルの設定

対象となる受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) DTC インデックステーブルの設定

シーケンスごとの転送情報の先頭アドレスを、DTC インデックステーブルに設定します。

(4) ICU の設定と DTC モジュールの起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERm.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(5) SCI の設定

SCIk.SCR.RIE ビットを“1”にし、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(6) シーケンス転送の開始

SCI で 1 バイトのデータ受信が完了すると RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCIk.RDR レジスタから RAM へ転送されます。この受信データの値 (シーケンス番号) によって DTC インデックステーブルを参照し、引き続きシーケンス番号に対応したデータ転送を実行します。

DTC インデックスの CPUSEL ビットが“1”の場合は、転送情報をリードせず、ICU.DTCERn.DTCE ビットを“0”にし、CPU に割り込み要求を出力してシーケンス転送を終了します。

(7) シーケンス転送一時中断中

ICU.DTCERn.DTCE ビットが“0”になっている場合は、“1”にします。対象となる RXI 割り込みによる DTC 転送要求が発生するたびに、続きのデータ転送を行います。

(8) シーケンス転送終了

シーケンス転送の最後の転送情報の MRB.SQEND ビットを“1”に設定します。このデータ転送を実行後、シーケンス転送を終了し、次に対象となる RXI 割り込みによる DTC 転送要求が発生した時は、DTC ベクタテーブルの参照から開始します。

16.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが“1” (データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

16.8 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットを“0”(DTC モジュール停止)にした後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1”(モジュールストップ状態への遷移)を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1”を書いたときにデータ転送が実行中であった場合、データ転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1”のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0”(モジュールストップ状態の解除)を書くことにより、DTC のモジュールストップが解除されます。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点でデータ転送が実行中であった場合、データ転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定手順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、データ転送を行うには、再度 DTCST.DTCST ビットを“1”にしてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 転送要求でなく CPU への割り込み要求にする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法に沿って、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

16.9 使用上の注意事項

16.9.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスには、4の倍数を指定してください。4の倍数以外を指定すると、アドレスの最下位2ビットは“00b”としてアクセスします。

16.9.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図16.26に示すとおりに配置してください。

たとえば、CRA、CRB設定データを16ビットで書く場合、ビッグエンディアンの場合は+8h(+Ch)番地にCRA設定データ、+Ah(+Eh)番地にCRB設定データを書いてください。リトルエンディアンの場合は+8h(+Ch)番地にCRB設定データ、+Ah(+Eh)番地にCRA設定データを書いてください。32ビットで書く場合は、エンディアンにかかわらず32ビットのMSB側にCRA設定データ、LSB側にCRB設定データを配置して+8h(+Ch)番地に書いてください。

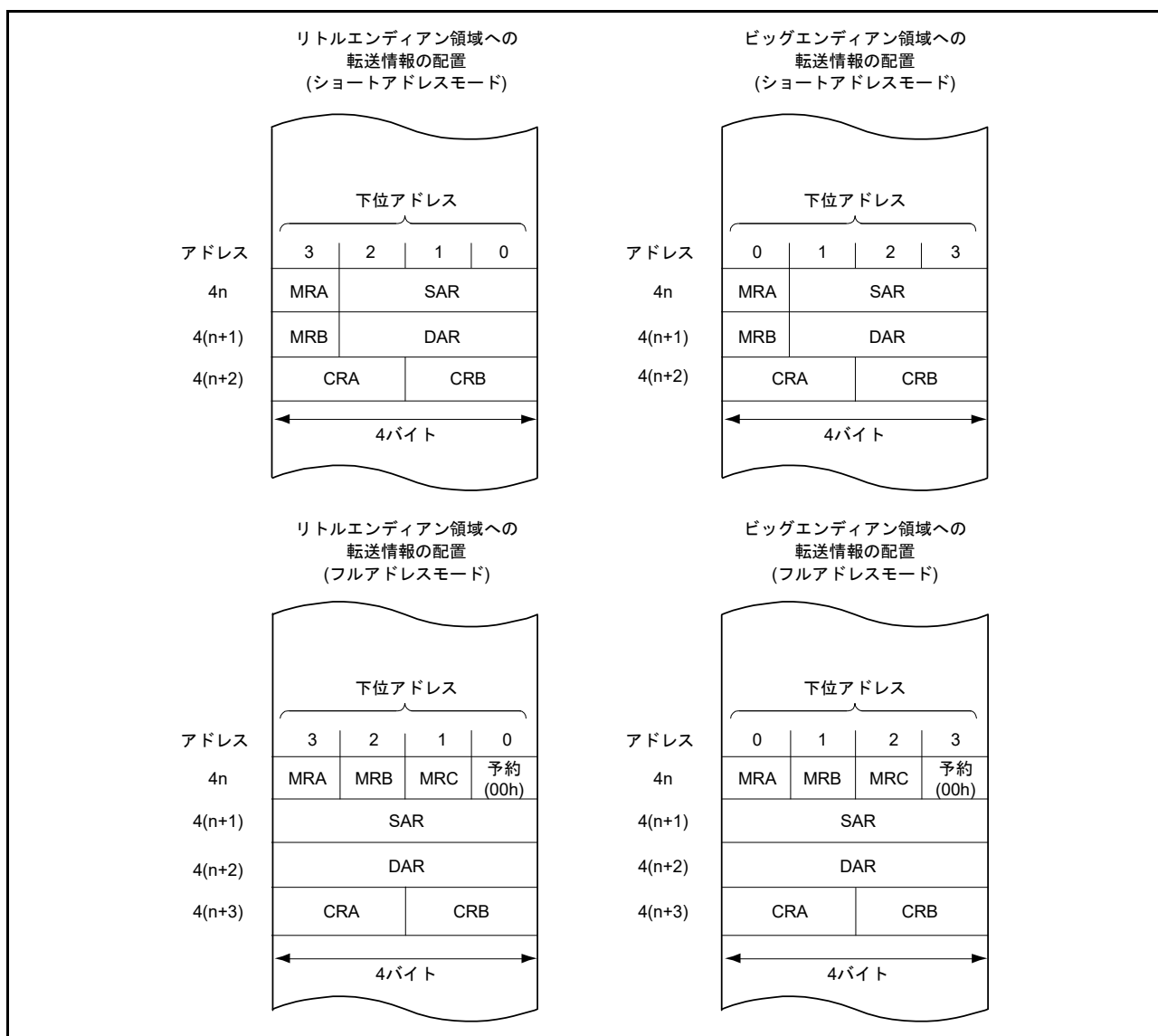


図 16.26 転送情報の配置

16.9.3 シーケンス転送使用時の注意事項

シーケンス転送は、DTCADMOD.SHORT ビットを“0”(フルアドレスモード)、DTCCR.RRS ビットを“0”(リードスキップを行わない)にして使用してください。

また、MRB.INDX ビットを“1”(シーケンス転送開始)にすると、あるいはMRB.SQEND ビットを“1”(シーケンス転送終了)にすると、MRB.CHNE ビットを“0”(チェーン転送禁止)にしてください。

17. I/Oポート

17.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODRy) (y = 0, 1)、入力プルアップ MOS のオン/オフを制御するプルアップ制御レジスタ (PCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMR レジスタの詳細については、「18. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/Oポートの構成が異なります。表 17.1 に I/Oポートの仕様を、表 17.2 に I/Oポートの機能を示します。

表 17.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ		パッケージ		パッケージ		パッケージ	
	64ピン	本数	52ピン	本数	48ピン	本数	44ピン	本数	32ピン	本数	24ピン	本数
PORT0	P00~P04	5	P02, P04	2	なし	0	なし	0	なし	0	なし	0
PORT1	P10~P15	6	P10, P11, P13, P14	4	P10, P11, P13, P14	4	P10, P11, P13, P14	4	P11, P13, P14	3	P11, P13, P14	3
PORT2	P22~P26	5	P22~P24, P26	4	P22~P24, P26	4	P22~P24, P26	4	P26	1	P26	1
PORT3	P30~P33, P36, P37	6	P31, P33, P36, P37	4	P31, P36, P37	3	P31, P36	2	P31, P36, P37	3	P31, P36	2
PORT4	P40~P47	8	P40~P47	8	P40~P47	8	P40~P44, P46, P47	7	P40~P42, P44, P46	5	P40~P42	3
PORT7	P70~P76	7	P70~P76	7	P70~P76	7	P71~P76	6	P71~P76	6	P73~P76	4
PORT9	P90~P97	8	P92~P97	6	P92~P97	6	P92~P97	6	P92, P93, P96, P97	4	P96, P97	2
PORTB	PB0~PB7	8	PB0, PB1, PB3~PB7	7	PB0, PB1, PB3~PB6	6	PB0, PB1, PB3, PB5, PB6	5	PB0, PB1, PB5, PB6	4	PB0, PB5, PB6	3
PORTD	PD3~PD7	5	PD3~PD6	4	PD3~PD6	4	PD3~PD6	4	なし	0	なし	0
PORTE	PE2	1	PE2	1	PE2	1	PE2	1	PE2	1	PE2	1
PORTG	PG7	1	PG7	1	PG7	1	PG7	1	PG7	1	PG7	1
	ポートの合計数	60	ポートの合計数	48	ポートの合計数	44	ポートの合計数	40	ポートの合計数	28	ポートの合計数	20

表 17.2 I/Oポートの機能

ポートシンボル	ポート	入出力	入力プルアップ機能	オープンドレイン 出力機能	5Vトレラント	入出力 レベル
PORT0	P00～P04	入出力	○	○	—	VCC
PORT1	P10, P11	入出力	○	○	—	
	P12～P15	入出力	○	—	—	
PORT2	P22～P26	入出力	○	○	—	
PORT3	P30～P33, P36, P37	入出力	○	○	—	
PORT4	P40～P47	入出力	○	—	—	
PORT7	P70～P76	入出力	○	○	—	
PORT9	P90～P96	入出力	○	○	—	
	P97	入出力	○	○	○	
PORTB	PB0	入出力	○	○	○	
	PB1～PB7	入出力	○	○	—	
PORTD	PD3～PD7	入出力	○	○	—	
PORTE	PE2	入力	—	—	—	
PORTG	PG7	入出力	○	○	—	

○：あり

—：なし

入力プルアップ機能、オープンドレイン出力機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

17.2 入出力ポートの構成

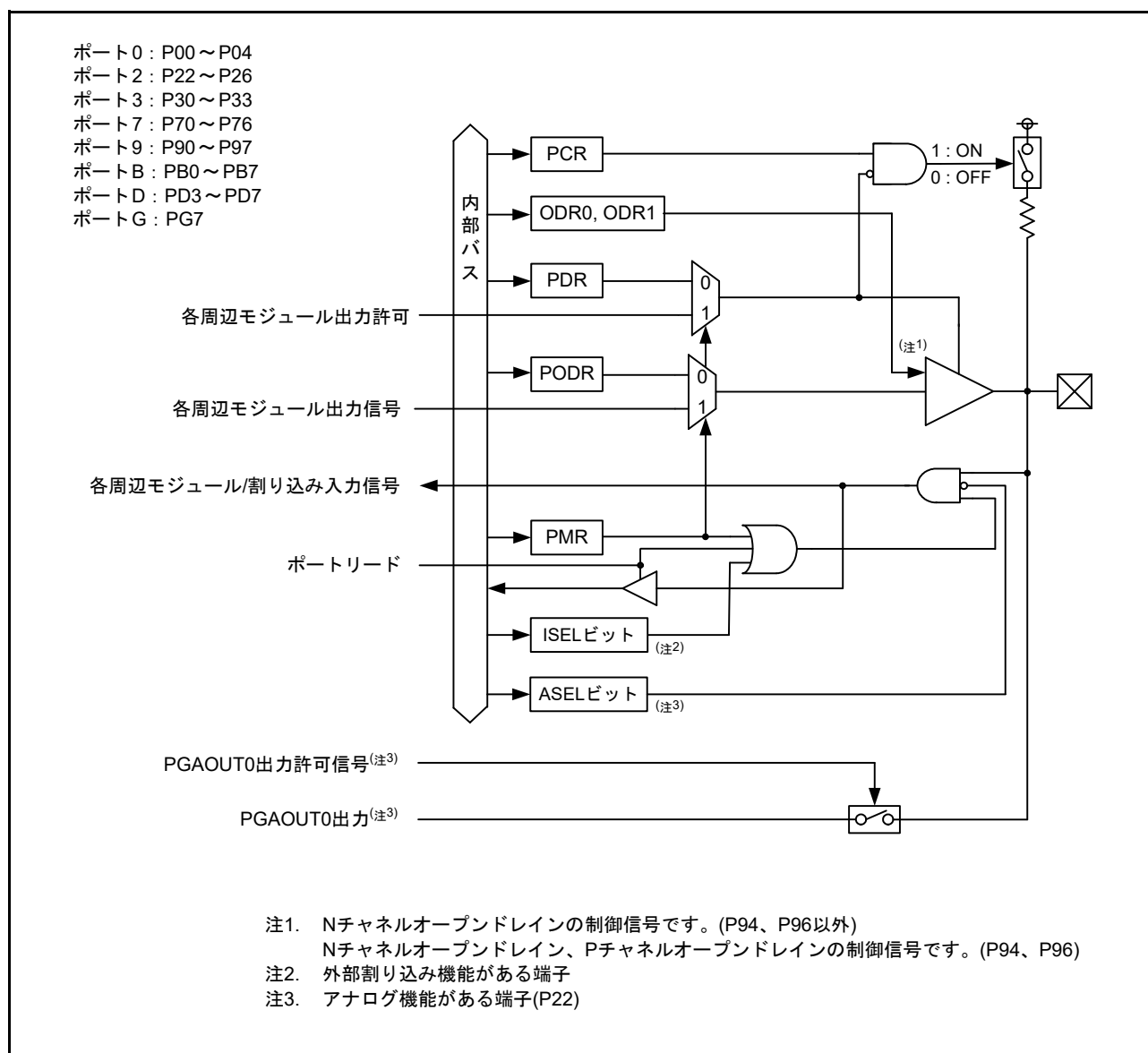


図 17.1 入出力ポートの構成 (1)

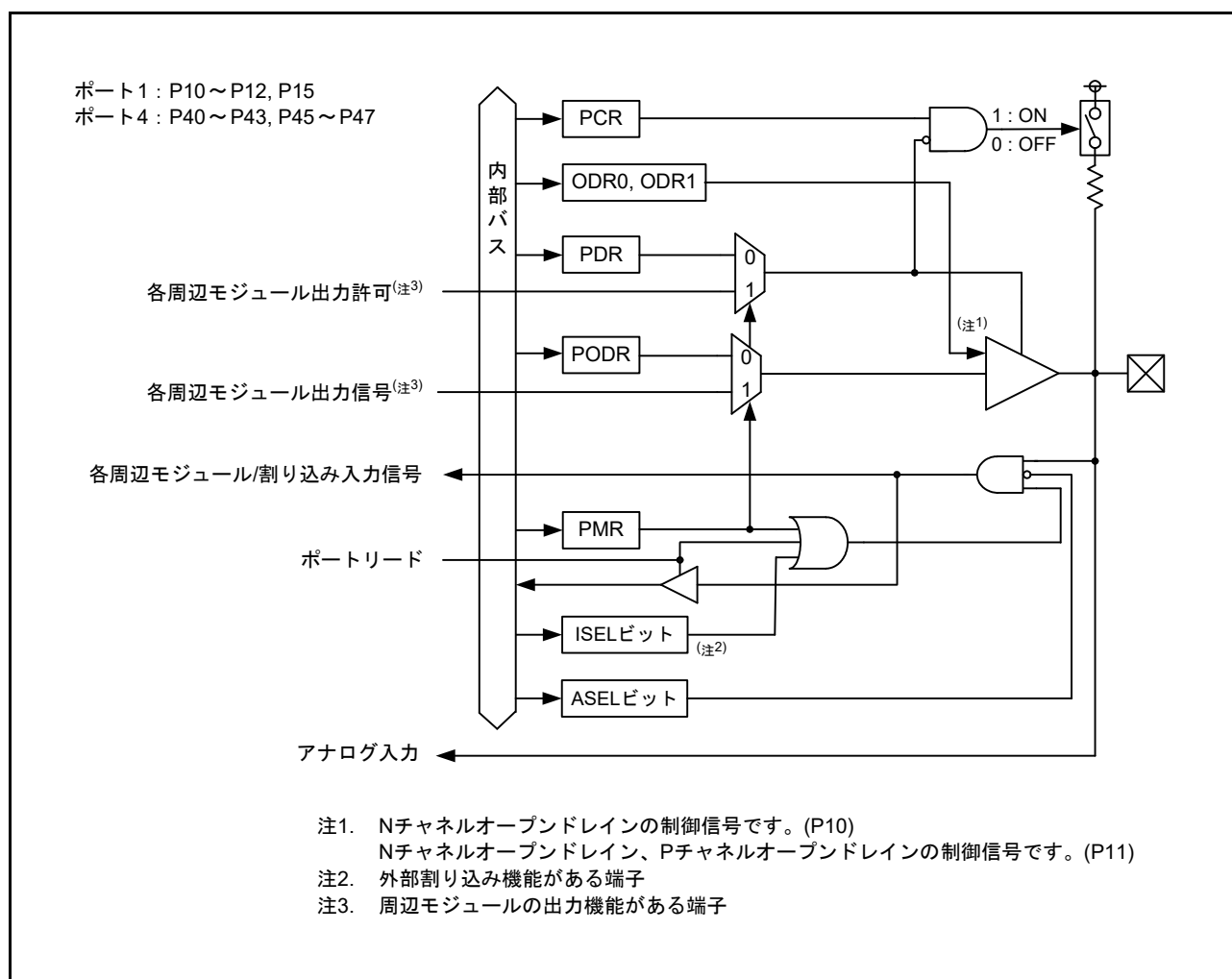


図 17.2 入出力ポートの構成 (2)

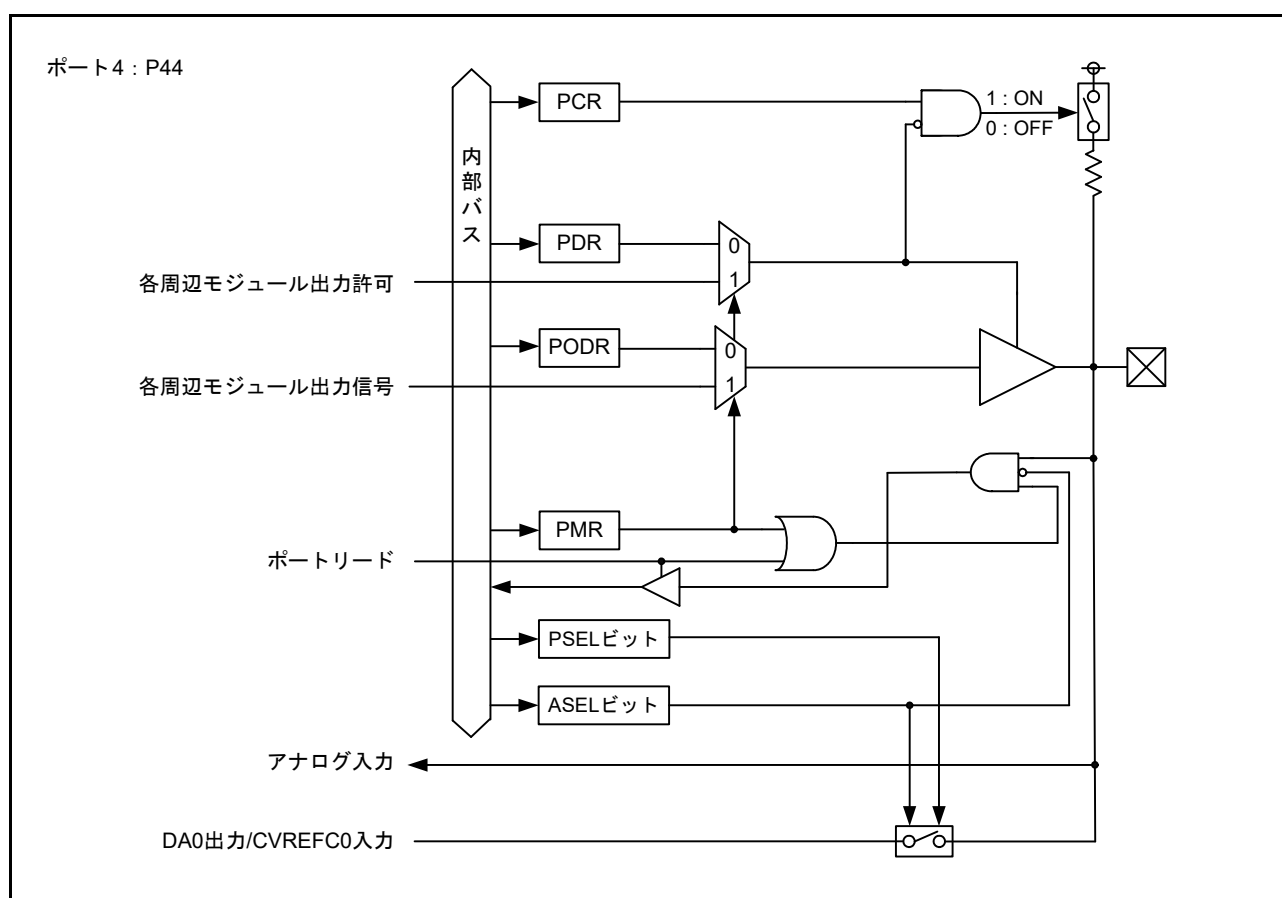


図 17.3 入出力ポートの構成 (3)

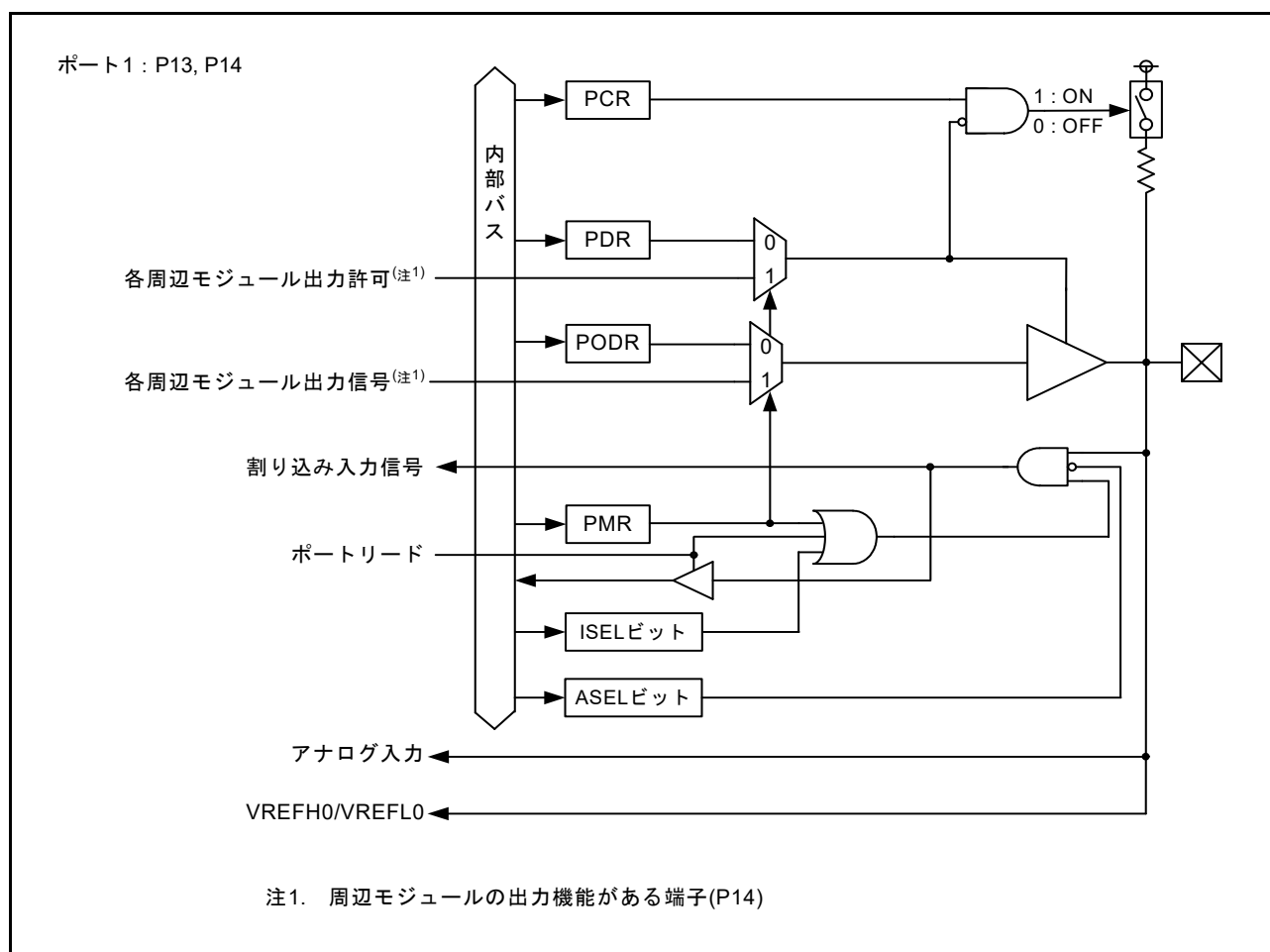


図 17.4 入出力ポートの構成 (4)

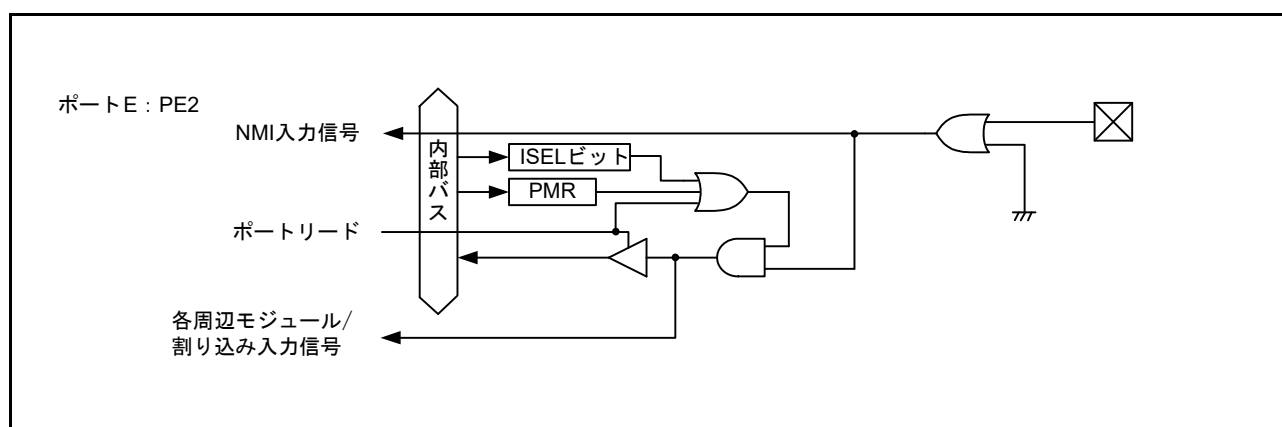


図 17.5 入出力ポートの構成 (5)

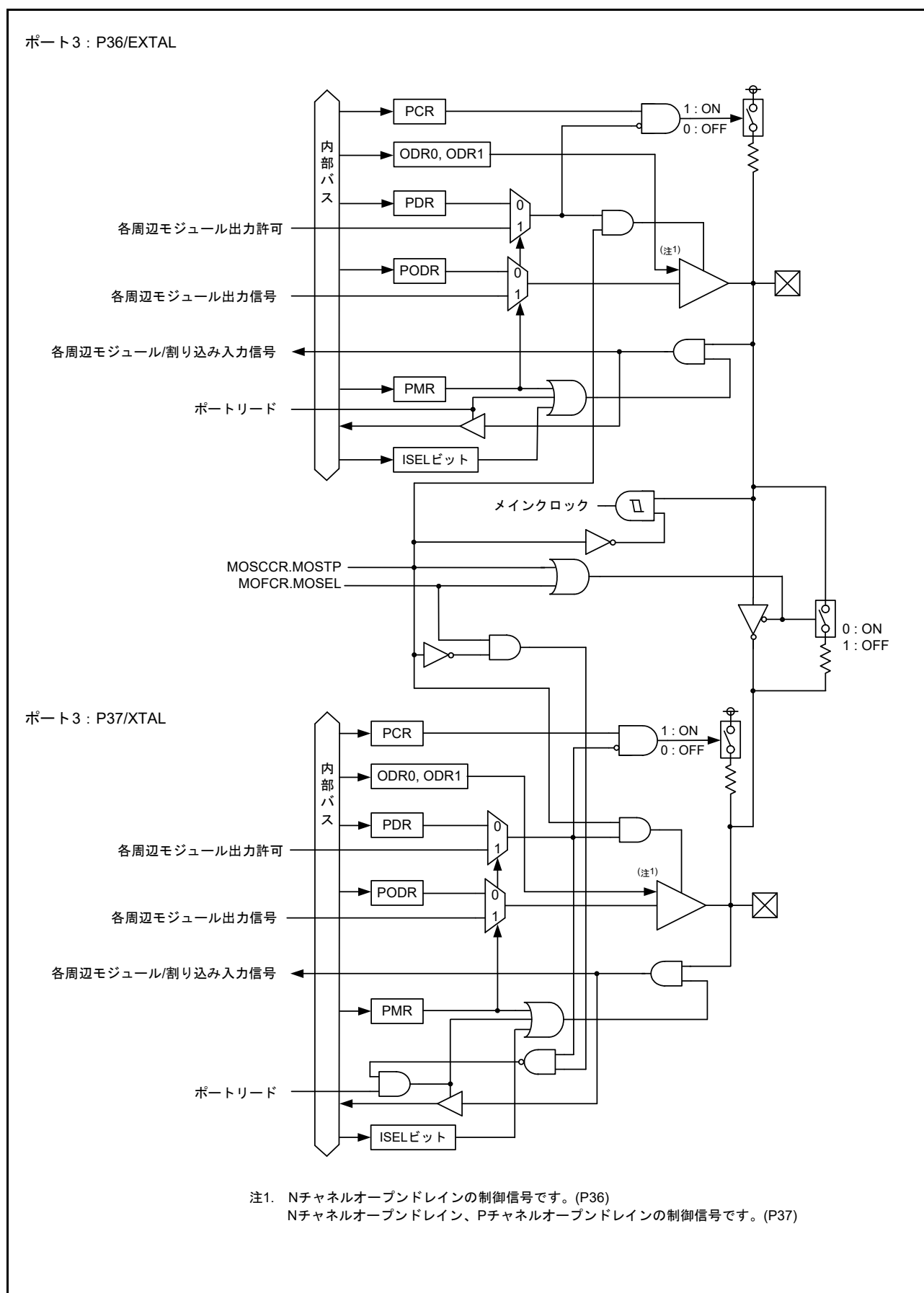


図 17.6 入出力ポートの構成 (6)

17.3 レジスタの説明

17.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT7.PDR 0008 C007h, PORT9.PDR 0008 C009h, PORTB.PDR 0008 C00Bh, PORTD.PDR 0008 C00Dh, PORTG.PDR 0008 C010h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0 : 入力(入力ポートとして機能) 1 : 出力(出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 4, 7, 9, B, D, G

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力 / 出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「17.4 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

17.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT7.PODR 0008 C027h, PORT9.PODR 0008 C029h, PORTB.PODR 0008 C02Bh, PORTD.PODR 0008 C02Dh, PORTG.PODR 0008 C030h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 4, 7, 9, B, D, G

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

存在しないポート m の端子のビットは予約ビットです。“0”を書いてください。

また、存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

17.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT7.PIDR 0008 C047h, PORT9.PIDR 0008 C049h, PORTB.PIDR 0008 C04Bh, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh, PORTG.PIDR 0008 C050h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 x x x x x x x x

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 ビット	ポートの端子状態を反映	R
b1	B1	Pm1 ビット		R
b2	B2	Pm2 ビット		R
b3	B3	Pm3 ビット		R
b4	B4	Pm4 ビット		R
b5	B5	Pm5 ビット		R
b6	B6	Pm6 ビット		R
b7	B7	Pm7 ビット		R

m = 0 ~ 4, 7, 9, B, D, E, G

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR レジスタの値に関係なく端子の状態が読めます。

PE2 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

注． MOSCCR.MOSTP ビットが“0”(メインクロック発振動作)かつ MOFCR.MOSEL ビットが“1”(外部発振入力)の状態、PORT3.PDR.B7 ビットを“1”に設定した場合、P37 端子の状態は反映されません。書き込みは無効になります。

17.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h, PORT4.PMR 0008 C064h, PORT7.PMR 0008 C067h, PORT9.PMR 0008 C069h, PORTB.PMR 0008 C06Bh, PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh, PORTG.PMR 0008 C070h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 (注1) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット	- PG7 0 : 汎用入出力ポートとして使用 1 : MD 機能として使用 (初期値) - P37, P47, PB7, P97, PD7 0 : 汎用入出力ポートとして使用 (初期値) 1 : 周辺機能として使用	R/W

m = 0 ~ 4, 7, 9, B, D, E, G

注1. PORTG.PMR.B7 ビットの初期値は“1”です。

PMR レジスタは、ポートの端子機能を指定するレジスタです。

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

64 ピン未満のピン数の製品については、64 ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

17.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h, PORT7.ODR0 0008 C08Eh, PORT9.ODR0 0008 C092h, PORTB.ODR0 0008 C096h, PORTD.ODR0 0008 C09Ah

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	- P01, P31, P71, P91, PB1 - b2 0 : CMOS出力 1 : Nチャネルオープンドレイン - b3 読むと“0”が読めます。書く場合、“0”としてください - P11 - b3 b2 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b3	B3			R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 0 ~ 3, 7, 9, B, D

ODR0 レジスタは、ポートの端子の出力形態を選択するレジスタです。

64ピン未満のピン数の製品については、64ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

17.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT0.ODR1 0008 C081h, PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT7.ODR1 0008 C08Fh,
PORT9.ODR1 0008 C093h, PORTB.ODR1 0008 C097h, PORTD.ODR1 0008 C09Bh, PORTG.ODR1 0008 C0A1h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	- P04, P24, P74, PB4, PD4 - b0 0 : CMOS出力 1 : Nチャネルオープンドレイン - b1 読むと“0”が読めます。書く場合、“0”としてください • P94 - b1 b0 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b1	B1			R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	- P26, P36, P76, PB6, PD6 - b4 0 : CMOS出力 1 : Nチャネルオープンドレイン - b5 読むと“0”が読めます。書く場合、“0”としてください • P96 - b5 b4 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b5	B5			R/W
b6	B6	Pm7出力形態指定ビット	- P97, PB7, PD7, PG7 - b6 0 : CMOS出力 1 : Nチャネルオープンドレイン - b7 読むと“0”が読めます。書く場合、“0”としてください • P37 - b7 b6 0 0 : CMOS出力 0 1 : Nチャネルオープンドレイン 1 0 : Pチャネルオープンドレイン 1 1 : 設定しないでください	R/W
b7	B7			R/W

m = 0 ~ 3, 7, 9, B, D, G

ODR1 レジスタは、ポートの端子の出力形態を選択するレジスタです。

64ピン未満のピン数の製品については、64ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

17.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h,
PORT4.PCR 0008 C0C4h, PORT7.PCR 0008 C0C7h, PORT9.PCR 0008 C0C9h, PORTB.PCR 0008 C0CBh,
PORTD.PCR 0008 C0CDh, PORTG.PCR 0008 C0D0h

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 (注1) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 4, 7, 9, B, D, G

注1. PORTG.PCR.B7ビットの初期値は“1”です。

PCR レジスタは、ポートの入力プルアップ抵抗の有効 / 無効を制御するレジスタです。

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

17.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 17.3 ～表 17.8 を参照して初期化してください。

- 表 17.3 ～表 17.8 の空欄は、「表 17.1 I/O ポートの仕様」に記載されている端子に対応するビットです。
使用するシステムに応じて“1”(出力)か“0”(入力)を設定してください。
- 表 17.3 ～表 17.8 の空欄以外は、予約ビットです。
予約ビットには表 17.3 ～表 17.8 に従って“0”(入力)または“1”(出力)を設定ください。
予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 17.3 64 ピンの PDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1					
PORT1	1	1						
PORT2	1						1	1
PORT3			1	1				
PORT4								
PORT7	1							
PORT9								
PORTB								
PORTD						1	1	1
PORTG		1	1	1	1	1	1	1

表 17.4 52 ピンの PDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1		1		1	1
PORT1	1	1	1			1		
PORT2	1		1				1	1
PORT3			1	1		1		1
PORT4								
PORT7	1							
PORT9							1	1
PORTB						1		
PORTD	1					1	1	1
PORTG		1	1	1	1	1	1	1

表 17.5 48 ピンのPDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1	1	1	1			1		
PORT2	1		1				1	1
PORT3			1	1	1	1		1
PORT4								
PORT7	1							
PORT9							1	1
PORTB	1					1		
PORTD	1					1	1	1
PORTG		1	1	1	1	1	1	1

表 17.6 44 ピンのPDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1	1	1	1			1		
PORT2	1		1				1	1
PORT3	1		1	1	1	1		1
PORT4			1					
PORT7	1							1
PORT9							1	1
PORTB	1			1		1		
PORTD	1					1	1	1
PORTG		1	1	1	1	1	1	1

表 17.7 32 ピンのPDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1	1	1	1			1		1
PORT2	1		1	1	1	1	1	1
PORT3			1	1	1	1		1
PORT4	1		1		1			
PORT7	1							1
PORT9			1	1			1	1
PORTB	1			1	1	1		
PORTD	1	1	1	1	1	1	1	1
PORTG		1	1	1	1	1	1	1

表 17.8 24 ピンのPDR レジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1	1	1	1			1		1
PORT2	1		1	1	1	1	1	1
PORT3	1		1	1	1	1		1
PORT4	1	1	1	1	1			
PORT7	1					1	1	1
PORT9			1	1	1	1	1	1
PORTB	1			1	1	1	1	
PORTD	1	1	1	1	1	1	1	1
PORTG		1	1	1	1	1	1	1

17.5 未使用端子の処理

表 17.9 に未使用端子の処理内容を示します。

表 17.9 未使用端子の処理内容

端子名	処理内容
PG7/MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続(プルアップ)
PE2/NMI	抵抗を介してVCCに接続(プルアップ)
ポート0~4、7、9、 ポートB、D、G	• 入力に設定(PORTn.PDRビット= 0)し、1端子ごとに抵抗を介してVCCに接続(プルアップ)、または1端子ごとに抵抗を介してVSSに接続(プルダウン)(注1) • 出力に設定(PORTn.PDRビット= 1)し、端子を開放(注1、注2)

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL、ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

18. マルチファンクションピンコントローラ (MPC)

18.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 18.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 18.1 マルチプル端子の割り当て端子一覧 (1/8)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
割り込み		NMI (入力)	PE2	○	○	○	○	○	○
割り込み	IRQ0	IRQ0 (入力)	P10	○	○	○	○	×	×
			P37	○	○	○	×	○	×
			P92	○	○	○	○	○	×
			PE2	○	○	○	○	○	○
	IRQ1	IRQ1 (入力)	P11	○	○	○	○	○	○
			P26	○	○	○	○	○	○
			P93	○	○	○	○	○	×
	IRQ2	IRQ2 (入力)	P01	○	×	×	×	×	×
			P22	○	○	○	○	×	×
			P97	○	○	○	○	○	○
			PB1	○	○	○	○	○	×
			PD4	○	○	○	○	×	×
	IRQ3	IRQ3 (入力)	P24	○	○	○	○	×	×
			P36	○	○	○	○	○	○
			PB3	○	○	○	○	×	×
			PD5	○	○	○	○	×	×
	IRQ4	IRQ4 (入力)	P00	○	×	×	×	×	×
			P23	○	○	○	○	×	×
			P13	○	○	○	○	○	○
			P94	○	○	○	○	×	×
	IRQ5	IRQ5 (入力)	P02	○	○	×	×	×	×
			P70	○	○	○	×	×	×
			PB6	○	○	○	○	○	○
			PD6	○	○	○	○	×	×
	IRQ6	IRQ6 (入力)	P14	○	○	○	○	○	○
			P71	○	○	○	○	○	×
			P90	○	×	×	×	×	×
	IRQ7	IRQ7 (入力)	P12	○	×	×	×	×	×
			P72	○	○	○	○	○	×
			PB5	○	○	○	○	○	○
クロック発生回路		CLKOUT (出力)	P96	○	○	○	○	○	○
			P24	○	○	○	○	×	×

表 18.1 マルチプル端子の割り当て端子一覧 (2/8)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
マルチファンクション タイマユニット3	MTU0	MTIOC0A (入出力)/ MTIOC0A# (入出力)	P30	○	×	×	×	×	×
			P36	○	○	○	○	○	○
			PB1	○	○	○	○	○	×
			PD3	○	○	○	○	×	×
		MTIOC0B (入出力)/ MTIOC0B# (入出力)	P25	○	×	×	×	×	×
			P92	○	○	○	○	○	×
			PB0	○	○	○	○	○	○
			PD4	○	○	○	○	×	×
		MTIOC0C (入出力)/ MTIOC0C# (入出力)	P33	○	○	×	×	×	×
			P93	○	○	○	○	○	×
			P97	○	○	○	○	○	○
			PD5	○	○	○	○	×	×
		MTIOC0D (入出力)/ MTIOC0D# (入出力)	P32	○	×	×	×	×	×
			P96	○	○	○	○	○	○
			PD6	○	○	○	○	×	×
	MTU1	MTIOC1A (入出力)/ MTIOC1A# (入出力)	P04	○	○	×	×	×	×
			P36	○	○	○	○	○	○
			P92	○	○	○	○	○	×
			P94	○	○	○	○	×	×
		MTIOC1B (入出力)/ MTIOC1B# (入出力)	P03	○	×	×	×	×	×
			P95	○	○	○	○	×	×
	MTU2	MTIOC2A (入出力)/ MTIOC2A# (入出力)	PB5	○	○	○	○	○	○
			P95	○	○	○	○	×	×
		MTIOC2B (入出力)/ MTIOC2B# (入出力)	P93	○	○	○	○	○	×
			P94	○	○	○	○	×	×
	MTU3	MTIOC3A (入出力)/ MTIOC3A# (入出力)	PB6	○	○	○	○	○	○
			P11	○	○	○	○	○	○
			P33	○	○	×	×	×	×
		MTIOC3B (入出力)/ MTIOC3B# (入出力)	PB5	○	○	○	○	○	○
			P26	○	○	○	○	○	○
			P71	○	○	○	○	○	×
		MTIOC3C (入出力)/ MTIOC3C# (入出力)	P94	○	○	○	○	×	×
			P32	○	×	×	×	×	×
		MTIOC3D (入出力)/ MTIOC3D# (入出力)	PB6	○	○	○	○	○	○
			P74	○	○	○	○	○	○
			P97	○	○	○	○	○	○
	MTU4	MTIOC4A (入出力)/ MTIOC4A# (入出力)	P31	○	○	○	○	○	○
			P36	○	○	○	○	○	○
			P72	○	○	○	○	○	×
			P95	○	○	○	○	×	×
			PD3	○	○	○	○	×	×

表 18.1 マルチプル端子の割り当て端子一覧 (3/8)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
マルチファンクション タイマユニット3	MTU4	MTIOC4B (入出力)/ MTIOC4B# (入出力)	P25	○	×	×	×	×	×
			P73	○	○	○	○	○	○
			P96	○	○	○	○	○	○
			PD4	○	○	○	○	×	×
		MTIOC4C (入出力)/ MTIOC4C# (入出力)	P11	○	○	○	○	○	○
			P75	○	○	○	○	○	○
			PB0	○	○	○	○	○	○
			PD5	○	○	○	○	×	×
		MTIOC4D (入出力)/ MTIOC4D# (入出力)	P76	○	○	○	○	○	○
			PB1	○	○	○	○	○	×
			PD6	○	○	○	○	×	×
	MTU5	MTIC5U (入力)/ MTIC5U# (入力)	P24	○	○	○	○	×	×
			P91	○	×	×	×	×	×
		MTIC5V (入力)/ MTIC5V# (入力)	P23	○	○	○	○	×	×
			P90	○	×	×	×	×	×
		MTIC5W (入力)/ MTIC5W# (入力)	P22	○	○	○	○	×	×
			PB2	○	×	×	×	×	×
	MTU	MTCLKA (入力)/ MTCLKA# (入力)	P23	○	○	○	○	×	×
			P33	○	○	×	×	×	×
			P93	○	○	○	○	○	×
			P97	○	○	○	○	○	○
		MTCLKB (入力)/ MTCLKB# (入力)	P22	○	○	○	○	×	×
			P32	○	×	×	×	×	×
			P96	○	○	○	○	○	○
		MTCLKC (入力)/ MTCLKC# (入力)	P11	○	○	○	○	○	○
			P30	○	×	×	×	×	×
			PB0	○	○	○	○	○	○
		MTCLKD (入力)/ MTCLKD# (入力)	P10	○	○	○	○	×	×
			P25	○	×	×	×	×	×
			PB6	○	○	○	○	○	○
		ADSM0 (出力)	PB0	○	○	○	○	○	○
		ADSM1 (出力)	P97	○	○	○	○	○	○
汎用PWM タイマ	GPTW0	GTIOC0A (入出力)/ GTIOC0A# (入出力)	P26	○	○	○	○	○	○
			P36	○	○	○	○	○	○
			P71	○	○	○	○	○	×
			P94	○	○	○	○	×	×
		GTIOC0B (入出力)/ GTIOC0B# (入出力)	P31	○	○	○	○	○	○
			P74	○	○	○	○	○	○
			P97	○	○	○	○	○	○

表 18.1 マルチプル端子の割り当て端子一覧 (4/8)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
汎用PWMタイマ	GPTW1	GTIOC1A (入出力)/ GTIOC1A# (入出力)	P31	○	○	○	○	○	○
			P72	○	○	○	○	○	×
			P92	○	○	○	○	○	×
			P95	○	○	○	○	×	×
			PB5	○	○	○	○	○	○
			PD3	○	○	○	○	×	×
		GTIOC1B (入出力)/ GTIOC1B# (入出力)	P75	○	○	○	○	○	○
			P93	○	○	○	○	○	×
			PB0	○	○	○	○	○	○
			PD4	○	○	○	○	×	×
	GPTW2	GTIOC2A (入出力)/ GTIOC2A# (入出力)	P04	○	○	×	×	×	×
			P23	○	○	○	○	×	×
			P73	○	○	○	○	○	○
			P96	○	○	○	○	○	○
			PB5	○	○	○	○	○	○
			PD5	○	○	○	○	×	×
		GTIOC2B (入出力)/ GTIOC2B# (入出力)	P03	○	×	×	×	×	×
			P24	○	○	○	○	×	×
			P76	○	○	○	○	○	○
			PB1	○	○	○	○	○	×
			PB6	○	○	○	○	○	○
			PD6	○	○	○	○	×	×
	GPTW	GTETRGA (入力)	P25	○	×	×	×	×	×
			P97	○	○	○	○	○	○
			PE2	○	○	○	○	○	○
		GTADSM0 (出力)	P23	○	○	○	○	×	×
			P46	○	○	○	○	○	×
			PB0	○	○	○	○	○	○
		GTADSM1 (出力)	P22	○	○	○	○	×	×
			P44	○	○	○	○	○	×
			P97	○	○	○	○	○	○
		GTCPP00 (出力)	P24	○	○	○	○	×	×
			P36	○	○	○	○	○	○
			P70	○	○	○	×	×	×
			PB6	○	○	○	○	○	○
ポートアウトプットイ ネーブル3	POE0	POE0# (入力)	P70	○	○	○	×	×	×
			P96	○	○	○	○	○	○
	POE8	POE8# (入力)	P11	○	○	○	○	○	○
			P75	○	○	○	○	○	○
			PB3	○	○	○	○	×	×
	POE10	POE10# (入力)	P32	○	×	×	×	×	×
			PE2	○	○	○	○	○	○

表 18.1 マルチプル端子の割り当て端子一覧 (5/8)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
ポートアウトプットイ ネーブル3	POE11	POE11# (入力)	P30	○	×	×	×	×	×
			P37	○	○	○	×	○	×
			PB6	○	○	○	○	○	○
	POE12	POE12# (入力)	P25	○	×	×	×	×	×
			P36	○	○	○	○	○	○
			PB5	○	○	○	○	○	○
8ビットタイマ	TMR0	TMO0 (出力)	P04	○	○	×	×	×	×
			PB5	○	○	○	○	○	○
			PD3	○	○	○	○	×	×
		TMCi0 (入力)	PB6	○	○	○	○	○	○
			PD4	○	○	○	○	×	×
		TMRI0 (入力)	PE2	○	○	○	○	○	○
			PD5	○	○	○	○	×	×
	TMR1	TMO1 (出力)	P10	○	○	○	○	×	×
			P93	○	○	○	○	○	×
			P96	○	○	○	○	○	○
			PD6	○	○	○	○	×	×
		TMCi1 (入力)	P91	○	×	×	×	×	×
			P97	○	○	○	○	○	○
			PE2	○	○	○	○	○	○
		TMRI1 (入力)	P92	○	○	○	○	○	×
			PB0	○	○	○	○	○	○
			PD7	○	×	×	×	×	×
	TMR2	TMO2 (出力)	P11	○	○	○	○	○	○
			P23	○	○	○	○	×	×
			P74	○	○	○	○	○	○
		TMCi2 (入力)	P24	○	○	○	○	×	×
			P75	○	○	○	○	○	○
		TMRI2 (入力)	P22	○	○	○	○	×	×
			P76	○	○	○	○	○	○
	TMR3	TMO3 (出力)	P11	○	○	○	○	○	○
			P26	○	○	○	○	○	○
		TMCi3 (入力)	P04	○	○	×	×	×	×
			P31	○	○	○	○	○	○
		TMRI3 (入力)	P10	○	○	○	○	×	×
			P25	○	×	×	×	×	×
			P73	○	○	○	○	○	○
シリアルコミュニケー ションインタフェース	SCI1	RXD1 (入力)/ SMISO1 (入出力)/ SSCL1 (入出力)	P72	○	○	○	○	○	×
			PB6	○	○	○	○	○	○
			PD5	○	○	○	○	×	×
		TXD1 (出力)/ SMOSI1 (入出力)/ SSDA1 (入出力)	P71	○	○	○	○	○	×
			PB5	○	○	○	○	○	○
			PD3	○	○	○	○	×	×

表 18.1 マルチプル端子の割り当て端子一覧 (6/8)

モジュール/機能	チャネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
シリアルコミュニケーションインタフェース	SCI1	SCK1 (入出力)	P70	○	○	○	×	×	×
			PB0	○	○	○	○	○	○
			PD4	○	○	○	○	×	×
		CTS1# (入力)/ RTS1# (出力)/ SS1# (入力)	P02	○	○	×	×	×	×
			P11	○	○	○	○	○	○
			PD6	○	○	○	○	×	×
	SCI5	RXD5 (入力)/ SMISO5 (入出力)/ SSCL5 (入出力)	P24	○	○	○	○	×	×
			P97	○	○	○	○	○	○
			PB6	○	○	○	○	○	○
		TXD5 (出力)/ SMOSI5 (入出力)/ SSDA5 (入出力)	P23	○	○	○	○	×	×
			PB0	○	○	○	○	○	○
			PB5	○	○	○	○	○	○
		SCK5 (入出力)	P22	○	○	○	○	×	×
			P92	○	○	○	○	○	×
			P96	○	○	○	○	○	○
			PB1	○	○	○	○	○	×
			PB7	○	○	×	×	×	×
		CTS5# (入力)/ RTS5# (出力)/ SS5# (入力)	P94	○	○	○	○	×	×
			PG7	○	○	○	○	○	○
	SCI6	RXD6 (入力)/ SMISO6 (入出力)/ SSCL6 (入出力)	P26	○	○	○	○	○	○
			P36	○	○	○	○	○	○
			PB4	○	○	○	×	×	×
		TXD6 (出力)/ SMOSI6 (入出力)/ SSDA6 (入出力)	P11	○	○	○	○	○	○
			P31	○	○	○	○	○	○
			P37	○	○	○	×	○	×
			PB3	○	○	○	○	×	×
		SCK6 (入出力)	P30	○	×	×	×	×	×
			P73	○	○	○	○	○	○
			PB2	○	×	×	×	×	×
			PG7	○	○	○	○	○	○
		CTS6# (入力)/ RTS6# (出力)/ SS6# (入力)	P74	○	○	○	○	○	○
			PB7	○	○	×	×	×	×
	SCI12	RXD12 (入力)/ SMISO12 (入出力)/ SSCL12 (入出力)/ RXDX12 (入力)	P36	○	○	○	○	○	○
			P76	○	○	○	○	○	○
			P93	○	○	○	○	○	×
		TXD12 (出力)/ SMOSI12 (入出力)/ SSDA12 (入出力)/ SIOX12 (入出力)/ TXDX12 (出力)	P11	○	○	○	○	○	○
			P37	○	○	○	×	○	×
			P94	○	○	○	○	×	×
			P96	○	○	○	○	○	○
		SCK12 (入出力)	P75	○	○	○	○	○	○
			P92	○	○	○	○	○	×
			PB1	○	○	○	○	○	×
			PG7	○	○	○	○	○	○

表 18.1 マルチプル端子の割り当て端子一覧 (7/8)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
シリアルコミュニケーションインタフェース	SCI12	CTS12# (入力)/ RTS12# (出力)/ SS12# (入力)	P74	○	○	○	○	○	○
			P95	○	○	○	○	×	×
I ² Cバスインタフェース	RIIC0	SCL0 (入出力)	P97	○	○	○	○	○	○
			P26 (注2)	○	○	○	○	○	○
		SDA0 (入出力)	PB0	○	○	○	○	○	○
			P31 (注2)	○	○	○	○	○	○
12ビットA/Dコンバータ		AN000 (入力) (注1)	P40	○	○	○	○	○	○
		AN001 (入力) (注1)	P41	○	○	○	○	○	○
		AN002 (入力) (注1)	P42	○	○	○	○	○	○
		AN003 (入力) (注1)	P43	○	○	○	○	×	×
		AN004 (入力) (注1)	P44	○	○	○	○	○	×
		AN005 (入力) (注1)	P45	○	○	○	×	×	×
		AN006 (入力) (注1)	P46	○	○	○	○	○	×
		AN007 (入力) (注1)	P47	○	○	○	○	×	×
		AN102 (入力) (注1)	P11	○	○	○	○	○	○
		AN103 (入力) (注1)	P10	○	○	○	○	×	×
		AN104 (入力) (注1)	P12	○	×	×	×	×	×
		AN105 (入力) (注1)	P13	○	○	○	○	○	○
		AN106 (入力) (注1)	P14	○	○	○	○	○	○
		AN107 (入力) (注1)	P15	○	×	×	×	×	×
		ADTRG0# (入力)	P03	○	×	×	×	×	×
			P92	○	○	○	○	○	×
			PB4	○	○	○	×	×	×
		ADTRG1# (入力)	P93	○	○	○	○	○	×
			PB3	○	○	○	○	×	×
		ADST0 (出力)	P02	○	○	×	×	×	×
			P14	○	○	○	○	○	○
			PD6	○	○	○	○	×	×
			PG7	○	○	○	○	○	○
		ADST1 (出力)	P01	○	×	×	×	×	×
			P36	○	○	○	○	○	○
		ADSS0 (出力)	P00	○	×	×	×	×	×
			P23	○	○	○	○	×	×
			P46	○	○	○	○	○	×
			PB6	○	○	○	○	○	○
			PD5	○	○	○	○	×	×
		ADSS1 (出力)	P04	○	○	×	×	×	×
			P22	○	○	○	○	×	×
			P37	○	○	○	×	○	×
			P44	○	○	○	○	○	×
			PB5	○	○	○	○	○	○
D/Aコンバータ		DA0 (出力) (注1)	P44	○	○	○	○	○	×

表 18.1 マルチプル端子の割り当て端子一覧 (8/8)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ					
				64 ピン	52 ピン	48 ピン	44 ピン	32 ピン	24 ピン
クロック周波数制度測定回路		CACREF (入力)	P00	○	×	×	×	×	×
			P23	○	○	○	○	×	×
			P76	○	○	○	○	○	○
			PB1	○	○	○	○	○	×
PGA		PGAIN00 (入力) (注1)	P40	○	○	○	○	○	○
		PGAIN01 (入力) (注1)	P41	○	○	○	○	○	○
		PGAIN02 (入力) (注1)	P42	○	○	○	○	○	○
		PGAOUT0 (出力) (注1)	P22	○	○	○	○	×	×
		PGAGND (入力) (注1)	P47	○	○	○	○	×	×
コンパレータ		COMP0 (出力)	P24	○	○	○	○	×	×
		COMP1 (出力)	P23	○	○	○	○	×	×
		COMP2 (出力)	P22	○	○	○	○	×	×
		CVREFC0 (入力) (注1)	P44	○	○	○	○	○	×
		CMPC00 (入力) (注1)	P40	○	○	○	○	○	○
		CMPC01 (入力) (注1)	P40	○	○	○	○	○	○
		CMPC02 (入力) (注1)	P11	○	○	○	○	○	○
		CMPC03 (入力) (注1)	P44	○	○	○	○	○	×
		CMPC10 (入力) (注1)	P41	○	○	○	○	○	○
		CMPC11 (入力) (注1)	P41	○	○	○	○	○	○
		CMPC12 (入力) (注1)	P13	○	○	○	○	○	○
		CMPC13 (入力) (注1)	P46	○	○	○	○	○	×
		CMPC20 (入力) (注1)	P42	○	○	○	○	○	○
		CMPC21 (入力) (注1)	P42	○	○	○	○	○	○
		CMPC22 (入力) (注1)	P14	○	○	○	○	○	○

注1. この端子機能を使用する場合は、該当端子の設定を汎用入力にしてください(PORT.PDR.BmビットおよびPORT.PMR.Bmビットを“0”にする)。

注2. 該当端子は5Vトレラントではありません。
5Vトレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

18.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

18.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス MPC.PWPR 0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0：PFSレジスタへの書き込みを禁止 1：PFSレジスタへの書き込みを許可	R/W
b7	B0WI	PFSWEビット書き込み禁止ビット	0：PFSWEビットへの書き込みを許可 1：PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

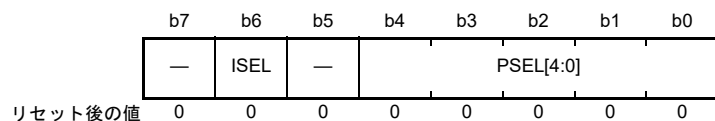
PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。
PFSWE ビットを設定する場合は、B0WI ビットに“0”を書いた後、PFSWE ビットを設定してください。

B0WI ビット (PFSWE ビット書き込み禁止ビット)

B0WI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.2 P0n 端子機能制御レジスタ (P0nPFS) (n = 0 ~ 4)

アドレス MPC.P00PFS 0008 C140h, MPC.P01PFS 0008 C141h, MPC.P02PFS 0008 C142h, MPC.P03PFS 0008 C143h, MPC.P04PFS 0008 C144h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P00 : IRQ4 (64 ピン) P01 : IRQ2 (64 ピン) P02 : IRQ5 (64/52 ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できます。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビットは、端子をアナログ端子として使用する場合に設定します。ASEL ビットでアナログ端子として設定する場合、ポートモードレジスタ (PORTm.PMR) で汎用入出力ポートを選択し、ポート方向レジスタ (PORTm.PDR) で入力としてください。このとき、端子状態を読むことはできません。PmnPFS レジスタは書き込みプロテクトレジスタ (PWPR) によってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

IRQn 機能のない端子の ISEL ビットは予約ビットです。アナログ入出力機能のない端子の ASEL ビットは予約ビットです。

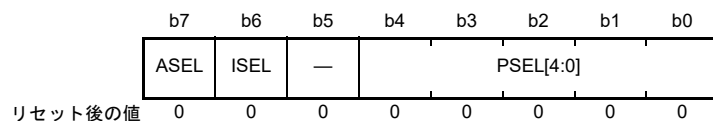
表 18.2 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	P00	P01	P02	P03	P04
00000b (初期値)	Hi-Z				
00001b	—	—	—	MTIOC1B	MTIOC1A
00011b	—	—	—	MTIOC1B#	MTIOC1A#
00101b	—	—	—	—	TMCI3
00110b	—	—	—	—	TMO0
00111b	CACREF	—	—	—	—
01001b	ADSS0	ADST1	ADST0	ADTRG0#	ADSS1
01010b	—	—	CTS1# RTS1# SS1#	—	—
10100b	—	—	—	GTIOC2B	GTIOC2A
10110b	—	—	—	GTIOC2B#	GTIOC2A#

— : 設定しないでください。

18.2.3 P1n 端子機能制御レジスタ (P1nPFS) (n = 0 ~ 5)

アドレス MPC.P10PFS 0008 C148h, MPC.P11PFS 0008 C149h, MPC.P12PFS 0008 C14Ah, MPC.P13PFS 0008 C14Bh, MPC.P14PFS 0008 C14Ch, MPC.P15PFS 0008 C14Dh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.3を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P10 : IRQ0 (64/52/48/44ピン) P11 : IRQ1 (64/52/48/44/32/24ピン) P12 : IRQ7 (64ピン) P13 : IRQ4 (64/52/48/44/32/24ピン) P14 : IRQ6 (64/52/48/44/32/24ピン)	R/W
b7	ASEL	アナログ機能選択ビット (注1)	0 : アナログ端子以外として使用する 1 : アナログ端子として使用する P10 : AN103 (64/52/48/44ピン) P11 : AN102/CMPC02 (64/52/48/44/32/24ピン) P12 : AN104 (64ピン) P13 : AN105/VREFL0/CMPC12 (64/52/48/44/32/24ピン) P14 : AN106/VREFH0/CMPC22 (64/52/48/44/32/24ピン) P15 : AN107 (64ピン)	R/W

注1. P13、P14をそれぞれVREFL0、VREFH0として使用する場合は本ビット以外にADHVREFCNTレジスタの設定も必要です。詳細は「30. 12ビットA/Dコンバータ(S12ADF)」を参照してください。

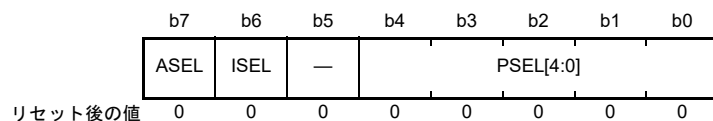
表 18.3 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	P10	P11	P12	P13	P14	P15
00000b (初期値)	Hi-Z					
00001b	—	MTIOC3A	—	—	—	—
00010b	MTCLKD	MTCLKC	—	—	—	—
00011b	—	MTIOC3A#	—	—	—	—
00100b	MTCLKD#	MTCLKC#	—	—	—	—
00101b	TMRI3	TMO3	—	—	—	—
00110b	TMO1	TMO2	—	—	—	—
00111b	—	POE8#	—	—	—	—
01000b	—	MTIOC4C	—	—	—	—
01001b	—	—	—	—	ADST0	—
01010b	—	CTS1# RTS1# SS1#	—	—	—	—
01011b	—	TXD6 SMOSI6 SSDA6	—	—	—	—
01100b	—	TXD12 SMOSI12 SSDA12 TXDX12 SIOX12	—	—	—	—
01110b	—	MTIOC4C#	—	—	—	—

— : 設定しないでください。

18.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 2 ~ 6)

アドレス MPC.P22PFS 0008 C152h, MPC.P23PFS 0008 C153h, MPC.P24PFS 0008 C154h, MPC.P25PFS 0008 C155h, MPC.P26PFS 0008 C156h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.4 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P22 : IRQ2 (64/52/48/44 ピン) P23 : IRQ4 (64/52/48/44 ピン) P24 : IRQ3 (64/52/48/44 ピン) P26 : IRQ1 (64/52/48/44/32/24 ピン)	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外として使用する 1 : アナログ端子として使用する P22 : PGAOUT0 (64/52/48/44 ピン)	R/W

表 18.4 端子入出力機能レジスタ設定

PSEL[4:0] ビット 設定値	端子				
	P22	P23	P24	P25	P26
00000b (初期値)	Hi-Z				
00001b	MTIC5W	MTIC5V	MTIC5U	MTIOC0B	MTIOC3B
00010b	MTCLKB	MTCLKA	—	MTCLKD	—
00011b	MTIC5W#	MTIC5V#	MTIC5U#	MTIOC0B#	MTIOC3B#
00100b	MTCLKB#	MTCLKA#	—	MTCLKD#	—
00101b	TMRI2	TMO2	TMCI2	TMRI3	TMO3
00111b	—	CACREF	—	POE12#	—
01000b	—	—	—	MTIOC4B	—
01001b	ADSS1	ADSS0	CLKOUT	—	—
01010b	SCK5	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	—	RXD6 SMISO6 SSCL6
01110b	—	—	—	MTIOC4B#	—
01111b	—	—	—	—	SCL0 (注1)
10100b	—	GTIOC2A	GTIOC2B	—	GTIOC0A
10101b	GTADSM1	GTADSM0	GTCPP00	—	—
10110b	—	GTIOC2A#	GTIOC2B#	—	GTIOC0A#
10111b	—	—	—	GTETRGA	—
11110b	COMP2	COMP1	COMP0	—	—

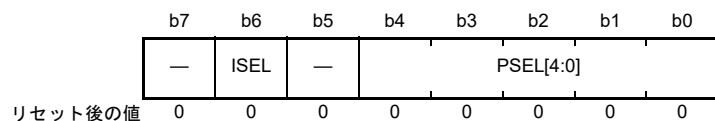
— : 設定しないでください。

注1. 該当端子は5Vトレラントではありません。

5Vトレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

18.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n = 0 ~ 3, 6, 7)

アドレス MPC.P30PFS 0008 C158h, MPC.P31PFS 0008 C159h, MPC.P32PFS 0008 C15Ah, MPC.P33PFS 0008 C15Bh,
MPC.P36PFS 0008 C15Eh, MPC.P37PFS 0008 C15Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.5を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P36 : IRQ3 (64/52/48/44/32/24 ピン) P37 : IRQ0 (64/52/48/32 ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.5 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子					
	P30	P31	P32	P33	P36	P37
00000b (初期値)	Hi-Z					
00001b	MTIOC0A	MTIOC4A	MTIOC3C	MTIOC3A	MTIOC0A	—
00010b	MTCLKC	—	MTCLKB	MTCLKA	MTIOC4A	—
00011b	MTIOC0A#	MTIOC4A#	MTIOC3C#	MTIOC3A#	MTIOC0A#	—
00100b	MTCLKC#	—	MTCLKB#	MTCLKA#	MTIOC4A#	—
00101b	—	TMCi3	—	—	—	—
00111b	POE11#	—	POE10#	—	POE12#	POE11#
01000b	—	—	MTIOC0D	MTIOC0C	MTIOC1A	—
01001b	—	—	—	—	ADST1	ADSS1
01010b	SCK6	TXD6 SMOSi6 SSDA6	—	—	—	—
01011b	—	—	—	—	RXD6 SMISO6 SSCL6	TXD6 SMOSi6 SSDA6
01100b	—	—	—	—	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOSi12 SSDA12 TXDX12 SIOX12
01110b	—	—	MTIOC0D#	MTIOC0C#	MTIOC1A#	—
01111b	—	SDA0 (注1)	—	—	—	—
10100b	—	GTIOC0B	—	—	GTIOC0A	—
10101b	—	GTIOC1A	—	—	GTCPP00	—
10110b	—	GTIOC0B#	—	—	GTIOC0A#	—
10111b	—	GTIOC1A#	—	—	—	—

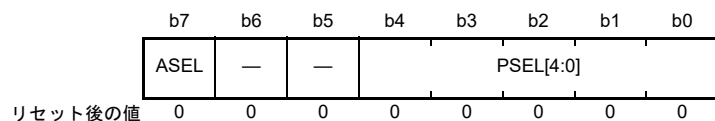
— : 設定しないでください。

注1. 該当端子は5Vトレラントではありません。

5Vトレラント対応、非対応端子のそれぞれの入力電圧は「38. 電気的特性 推奨動作条件(1) 入力電圧」を参照してください。

18.2.6 P4n 端子機能制御レジスタ (P4nPFS) (n = 0 ~ 7)

アドレス MPC.P40PFS 0008 C160h, MPC.P41PFS 0008 C161h, MPC.P42PFS 0008 C162h, MPC.P43PFS 0008 C163h, MPC.P44PFS 0008 C164h, MPC.P45PFS 0008 C165h, MPC.P46PFS 0008 C166h, MPC.P47PFS 0008 C167h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.6 を参照してください	R/W
b6, b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する (注1) P40 : AN000/PGAIN00/CMPC00/CMPC01 (64/52/48/44/32/24 ピン) P41 : AN001/PGAIN01/CMPC10/CMPC11 (64/52/48/44/32/24 ピン) P42 : AN002/PGAIN02/CMPC20/CMPC21 (64/52/48/44/32/24 ピン) P43 : AN003 (64/52/48/44 ピン) P44 : AN004/DA0/CMPC03/CVREFC0 (64/52/48/44/32 ピン) P45 : AN005 (64/52/48 ピン) P46 : AN006/CMPC13 (64/52/48/44/32 ピン) P47 : AN007/PGAGND (64/52/48/44 ピン)	R/W

注1. DA0またはCVREFC0のアナログ機能を使用する場合は、P44PFS.PSEL[4:0]ビットを“11101b”、P44PFS.ASELビットを“1”に設定し、アナログスイッチを有効にしてください。CVREFC0として使用する場合はDA0を出力しないでください。また、AN004またはCMPC03のアナログ機能を使用する場合は、P44PFS.PSEL[4:0]ビットを“11101b”に設定しないでください。

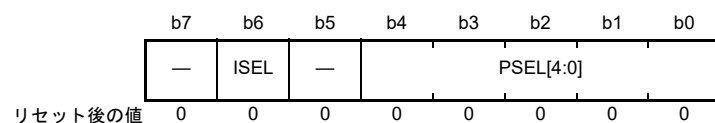
表 18.6 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子							
	P40	P41	P42	P43	P44	P45	P46	P47
00000b (初期値)	Hi-Z							
01001b	—	—	—	—	ADSS1	—	ADSS0	—
10101b	—	—	—	—	GTADSM1	—	GTADSM0	—
11101b	—	—	—	—	DA0 CVREFC0	—	—	—

— : 設定しないでください。

18.2.7 P7n 端子機能制御レジスタ (P7nPFS) (n = 0 ~ 6)

アドレス MPC.P70PFS 0008 C178h, MPC.P71PFS 0008 C179h, MPC.P72PFS 0008 C17Ah, MPC.P73PFS 0008 C17Bh,
MPC.P74PFS 0008 C17Ch, MPC.P75PFS 0008 C17Dh, MPC.P76PFS 0008 C17Eh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.7 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P70 : IRQ5 (64/52/48ピン) P71 : IRQ6 (64/52/48/44/32ピン) P72 : IRQ7 (64/52/48/44/32ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

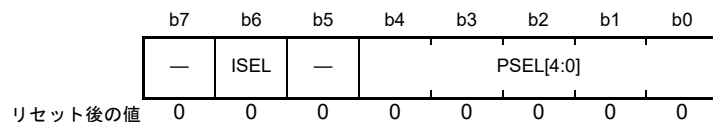
表 18.7 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子						
	P70	P71	P72	P73	P74	P75	P76
00000b (初期値)	Hi-Z						
00001b	—	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
00011b	—	MTIOC3B#	MTIOC4A#	MTIOC4B#	MTIOC3D#	MTIOC4C#	MTIOC4D#
00101b	—	—	—	TMRI3	TMO2	TMCI2	TMRI2
00111b	POE0#	—	—	—	—	POE8#	CACREF
01010b	SCK1	TXD1 SMOSI1 SSDA1	RXD1 SMISO1 SSCL1	SCK6	CTS6# RTS6# SS6#	—	—
01100b	—	—	—	—	CTS12# RTS12# SS12#	SCK12	RXD12 SMISO12 SSCL12 RXDX12
10100b	—	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B	GTIOC1B	GTIOC2B
10101b	GTCPPO0	—	—	—	—	—	—
10110b	—	GTIOC0A#	GTIOC1A#	GTIOC2A#	GTIOC0B#	GTIOC1B#	GTIOC2B#

— : 設定しないでください。

18.2.8 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 7)

アドレス MPC.P90PFS 0008 C188h, MPC.P91PFS 0008 C189h, MPC.P92PFS 0008 C18Ah, MPC.P93PFS 0008 C18Bh, MPC.P94PFS 0008 C18Ch, MPC.P95PFS 0008 C18Dh, MPC.P96PFS 0008 C18Eh, MPC.P97PFS 0008 C18Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.8 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P90 : IRQ6 (64 ピン) P92 : IRQ0 (64/52/48/44/32 ピン) P93 : IRQ1 (64/52/48/44/32 ピン) P94 : IRQ4 (64/52/48/44 ピン) P97 : IRQ2 (64/52/48/44/32/24 ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

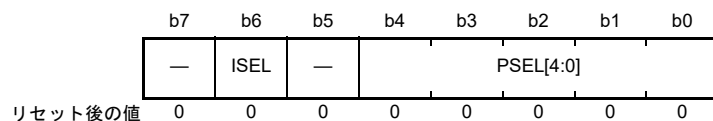
表 18.8 端子入出力機能レジスタ設定

PSEL[4:0] ビット 設定値	端子							
	P90	P91	P92	P93	P94	P95	P96	P97
00000b (初期値)	Hi-Z							
00001b	MTIC5V	MTIC5U	MTIOC0B	MTIOC0C	MTIOC1A	MTIOC1B	MTIOC0D	MTIOC0C
00010b	—	—	MTIOC1A	MTIOC2B	MTIOC2B	MTIOC2A	MTCLKB	MTCLKA
00011b	MTIC5V#	MTIC5U#	MTIOC0B#	MTIOC0C#	MTIOC1A#	MTIOC1B#	MTIOC0D#	MTIOC0C#
00100b	—	—	MTIOC1A#	MTIOC2B#	MTIOC2B#	MTIOC2A#	MTCLKB#	MTCLKA#
00101b	—	TMC1	TMR1	TMO1	—	—	TMO1	TMC1
00111b	—	—	—	—	—	—	POE0#	—
01000b	—	—	—	MTCLKA	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D
01001b	—	—	ADTRG0#	ADTRG1#	—	—	CLKOUT	ADSM1
01010b	—	—	SCK5	—	CTS5# RTS5# SS5#	—	SCK5	RXD5 SMISO5 SSCL5
01100b	—	—	SCK12	RXD12 SMISO12 SSCL12 RXDX12	TXD12 SMOS12 SSDA12 TXDX12 SIOX12	CTS12# RTS12# SS12#	TXD12 SMOS12 SSDA12 TXDX12 SIOX12	—
01110b	—	—	—	MTCLKA#	MTIOC3B#	MTIOC4A#	MTIOC4B#	MTIOC3D#
01111b	—	—	—	—	—	—	—	SCL0
10100b	—	—	GTIOC1A	GTIOC1B	GTIOC0A	GTIOC1A	GTIOC2A	GTIOC0B
10101b	—	—	—	—	—	—	—	GTADSM1
10110b	—	—	GTIOC1A#	GTIOC1B#	GTIOC0A#	GTIOC1A#	GTIOC2A#	GTIOC0B#
10111b	—	—	—	—	—	—	—	GTETRG

— : 設定しないでください。

18.2.9 PBn 端子機能制御レジスタ (PBnPFS) (n = 0 ~ 7)

アドレス MPC.PB0PFS 0008 C198h, MPC.PB1PFS 0008 C199h, MPC.PB2PFS 0008 C19Ah, MPC.PB3PFS 0008 C19Bh, MPC.PB4PFS 0008 C19Ch, MPC.PB5PFS 0008 C19Dh, MPC.PB6PFS 0008 C19Eh, MPC.PB7PFS 0008 C19Fh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.9 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB1 : IRQ2 (64/52/48/44/32 ピン) PB3 : IRQ3 (64/52/48/44 ピン) PB5 : IRQ7 (64/52/48/44/32/24 ピン) PB6 : IRQ5 (64/52/48/44/32/24 ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

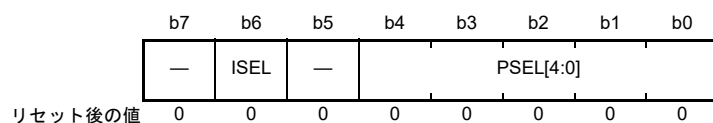
表 18.9 端子入出力機能レジスタ設定

PSEL[4:0] ビット 設定値	端子							
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7
00000b (初期値)	Hi-Z							
00001b	MTIOC0B	MTIOC0A	MTIC5W	—	—	MTIOC1B	MTIOC3C	—
00010b	MTCLKC	—	—	—	—	MTIOC3A	MTCLKD	—
00011b	MTIOC0B#	MTIOC0A#	MTIC5W#	—	—	MTIOC1B#	MTIOC3C#	—
00100b	MTCLKC#	—	—	—	—	MTIOC3A#	MTCLKD#	—
00101b	TMRI1	—	—	—	—	TMO0	TMCIO	—
00111b	—	CACREF	—	POE8#	—	POE12#	POE11#	—
01000b	MTIOC4C	MTIOC4D	—	—	—	MTIOC2A	MTIOC2B	—
01001b	ADSM0	—	—	ADTRG1#	ADTRG0#	ADSS1	ADSS0	—
01010b	TXD5 SMOSI5 SSDA5	SCK5	SCK6	TXD6 SMOSI6 SSDA6	RXD6 SMISO6 SSCL6	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	SCK5
01011b	SCK1	—	—	—	—	TXD1 SMOSI1 SSDA1	RXD1 SMISO1 SSCL1	CTS6# RTS6# SS6#
01100b	—	SCK12	—	—	—	—	—	—
01110b	MTIOC4C#	MTIOC4D#	—	—	—	MTIOC2A#	MTIOC2B#	—
01111b	SDA0	—	—	—	—	—	—	—
10100b	GTIOC1B	GTIOC2B	—	—	—	GTIOC1A	GTIOC2B	—
10101b	GTADSM0	—	—	—	—	GTIOC2A	GTCPP00	—
10110b	GTIOC1B#	GTIOC2B#	—	—	—	GTIOC1A#	GTIOC2B#	—
10111b	—	—	—	—	—	GTIOC2A#	—	—

— : 設定しないでください。

18.2.10 PDn 端子機能制御レジスタ (PDnPFS) (n = 3 ~ 7)

アドレス MPC.PD3PFS 0008 C1ABh, MPC.PD4PFS 0008 C1ACh, MPC.PD5PFS 0008 C1ADh, MPC.PD6PFS 0008 C1AEh, MPC.PD7PFS 0008 C1AFh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.10 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD4 : IRQ2 (64/52/48/44 ピン) PD5 : IRQ3 (64/52/48/44 ピン) PD6 : IRQ5 (64/52/48/44 ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.10 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子				
	PD3	PD4	PD5	PD6	PD7
00000b (初期値)	Hi-Z				
00001b	MTIOC0A	MTIOC0B	MTIOC0C	MTIOC0D	—
00010b	MTIOC4A	MTIOC4B	MTIOC4C	MTIOC4D	—
00011b	MTIOC0A#	MTIOC0B#	MTIOC0C#	MTIOC0D#	—
00100b	MTIOC4A#	MTIOC4B#	MTIOC4C#	MTIOC4D#	—
00101b	TMO0	TMCIO	TMRI0	TMO1	TMRI1
01001b	—	—	ADSS0	ADST0	—
01010b	TXD1 SMOS1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1# RTS1# SS1#	—
10100b	GTIOC1A	GTIOC1B	GTIOC2A	GTIOC2B	—
10110b	GTIOC1A#	GTIOC1B#	GTIOC2A#	GTIOC2B#	—

— : 設定しないでください。

18.2.11 PEn 端子機能制御レジスタ (PEnPFS) (n = 2)

アドレス MPC.PE2PFS 0008 C1B2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 18.11 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PE2 : IRQ0 (64/52/48/44/32/24 ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.11 端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	端子
	PE2
00000b (初期値)	Hi-Z
00101b	TMCI1
00110b	TMRI0
00111b	POE10#
10111b	GTETRGA

18.2.12 PGn 端子機能制御レジスタ (PGnPFS) (n = 7)

アドレス MPC.PG7PFS 0008 C1C7h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子入出力機能ビット	周辺機能を選択します。個々の端子機能については、表 18.12 を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 18.12 端子入出力機能レジスタ設定

PSEL[4:0] ビット 設定値	端子
	PG7
00000b (初期値)	Hi-Z
01001b	ADST0
01010b	CTS5# RTS5# SS5#
01011b	SCK6
01100b	SCK12

18.3 使用上の注意事項

18.3.1 端子入出力機能の設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. ポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m = 0 ~ 4, 7, 9, B, D, E, G, n = 0 ~ 7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”設定し、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR レジスタを“1”に設定し、選択された端子入出力機能に切り替えます。

18.3.2 Pmn 端子機能制御レジスタ (PmnPFS) を設定する場合の注意事項

1. PmnPFS レジスタを設定するときは、当該端子のポートモードレジスタ (PMR) が“0”の状態を設定してください。PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. マルチファンクションコントローラにより同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 1、4 は A/D コンバータ、PGA、コンパレータおよび D/A コンバータのアナログ入出力端子、および A/D コンバータの基準電圧端子の機能も兼ねています。アナログ入出力端子、および A/D コンバータの基準電圧端子として使用する場合は、精度劣化させないために、PMR レジスタの当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。なお、基準電圧端子として使用する場合は、上記の設定以外に、ADHVREFCNT.LVSEL ビットを“1”、ADHVREFCNT.HVSEL[1:0] ビットを“01b”にしてください。
5. P36、P37 端子は EXTAL、XTAL 端子の機能も兼ねています。EXTAL 端子として使用する場合は、MOSCCR.MOSTP ビットを“0”にしてください。XTAL 端子として使用する場合は MOSCCR.MOSTP ビットを“0”、MOFCR.MOSEL ビットを“0”にしてください。なお、MOSCCR.MOSTP ビットが“0”、MOFCR.MOSEL ビットが“1”の場合、P37 端子は入力ポートとして使用できます。
6. マルチプル端子の PMR、PDR レジスタと、PmnPFS レジスタの設定および注意事項を表 18.13 に示します。

表 18.13 レジスタの設定

項目			PMR.Bn	PDR.Bn	PmnPFS			注意事項
					ASEL	ISEL	PSEL[4:0]	
リセット解除後			0	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート			0	0	0	0/1	x	割り込み入力と併用する場合は、ISEL ビットを“1”にしてください
汎用出力ポート			0	1	0	0	x	
周辺機能			1	x	0	0/1	周辺機能 (表 18.2 ～ 表 18.12 参照)	割り込み入力と併用する場合は、ISEL ビットを“1”にしてください
割り込み入力			0	0	0	1	x	
NMI			x	x	x	x	x	レジスタの設定は不要です
アナログ入出力	P44	DA0/ CVREFC0	0	0	1	x	11101b	汎用入出力ポートの出力バッファをOFFにするため、PDR.Bn ビットを“0”にして、汎用入力ポートに設定してください DA0またはCVREFC0のアナログ機能を使用する場合は、P44PFS.PSEL[4:0] ビットを“11101b”、P44PFS.ASEL ビットを“1”に設定し、アナログスイッチを有効にしてください また、CVREFC0として使用する場合はDA0を出力しないでください
		AN004/ CMPC03	0	0	1	x	11101b 以外	汎用入出力ポートの出力バッファをOFFにするため、PDR.Bn ビットを“0”にして、汎用入力ポートに設定してください AN004またはCMPC03を使用する場合は、P44PFS.PSEL[4:0] ビットを“11101b”に設定しないでください
	P44 以外		0	0	1	x(注 1)	x	汎用入出力ポートの出力バッファをOFFにするため、PDR.Bn ビットを“0”にして、汎用入力ポートに設定してください
P13/VREFL0, P14/VREFH0			0	0	1	x(注 1)	x	汎用入出力ポートの出力バッファをOFFにするため、PDR.Bn ビットを“0”にして、汎用入力ポートに設定してください VREFL0、VREFH0として使用する場合は、ADHVREFCNT.LVSEL ビットを“1”、ADHVREFCNT.HVSEL[1:0] ビットを“01b”にしてください
P36/EXTAL			0	0	x	0	x	汎用入出力ポートの出力バッファをOFFにするため、PDR.Bn ビットを“0”にして、汎用入力ポートに設定してください EXTAL 端子として使用する場合は、MOSCCR.MOSTP ビットを“0”にしてください
P37/XTAL			0	0	x	0	x	汎用入出力ポートの出力バッファをOFFにするため、PDR.Bn ビットを“0”にして、汎用入力ポートに設定してください XTAL 端子として使用する場合はMOSCCR.MOSTP ビットを“0”、MOFCR.MOSEL ビットを“0”にしてください

x : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注 1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

注 . 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。

・PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。

・RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。

18.3.3 アナログ機能を使用する場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、プルアップ制御レジスタ (PCR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタ (PmnPFS) の ASEL ビットを“1”にしてください。

18.3.4 P97 端子の入力レベルについての注意事項

P97 端子は、P97PFS.PSEL[4:0] ビットで SCL 機能を選択し、RIIC の ICMR3.SMBS ビットで SMBus を選択した場合、入力レベルは TTL になります。これに伴い、P97 のポートリードおよび IRQ2 の入力レベルも TTL となります。

18.3.5 POE3 の汎用入出力ポート切り替え制御の注意事項

POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ (n = 0 ~ 2) の当該ビットを“1”にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ (n = 1 ~ 3) のビットを“0”にしてください。

18.3.6 MTU、GPTW 入出力端子の反転入出力機能についての注意事項

表 18.14 に示す MTU、GPTW 入出力端子は、当該端子の PmnPFS.PSEL[4:0] ビットの設定により、入力信号を反転して取り込み、出力信号を反転して出力させることができます。正転入出力状態と反転入出力状態を切り替える場合は、当該端子の PMR レジスタが“0”の状態を設定してください。

表 18.14 MTU、GPTW入出力端子

モジュール/機能	チャンネル	正転入出力	反転入出力
マルチファンクション タイマユニット3	MTU0	MTIOC0A	MTIOC0A#
		MTIOC0B	MTIOC0B#
		MTIOC0C	MTIOC0C#
		MTIOC0D	MTIOC0D#
	MTU1	MTIOC1A	MTIOC1A#
		MTIOC1B	MTIOC1B#
	MTU2	MTIOC2A	MTIOC2A#
		MTIOC2B	MTIOC2B#
	MTU3	MTIOC3A	MTIOC3A#
		MTIOC3B	MTIOC3B#
		MTIOC3C	MTIOC3C#
		MTIOC3D	MTIOC3D#
	MTU4	MTIOC4A	MTIOC4A#
		MTIOC4B	MTIOC4B#
		MTIOC4C	MTIOC4C#
		MTIOC4D	MTIOC4D#
	MTU5	MTIC5U	MTIC5U#
		MTIC5V	MTIC5V#
		MTIC5W	MTIC5W#
汎用PWM タイマ	GPTW0	GTIOC0A	GTIOC0A#
		GTIOC0B	GTIOC0B#
	GPTW1	GTIOC1A	GTIOC1A#
		GTIOC1B	GTIOC1B#
	GPTW2	GTIOC2A	GTIOC2A#
		GTIOC2B	GTIOC2B#

19. マルチファンクションタイマパルスユニット 3 (MTU3c)

19.1 概要

本 MCU は、6 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3c) を内蔵しています。

表 19.1 に MTU の仕様を、表 19.2 に MTU の機能一覧を示します。また、図 19.1 に MTU のブロック図を示します。

表 19.1 MTUの仕様

項目	内容
パルス入出力	最大 16 本
パルス入力	3 本
カウントクロック	チャンネルごとに 11 種類 (MTU0 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき) は 4 種類)
設定可能動作	【MTU0～MTU4】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 (ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ (TCNT) への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 12 相の PWM 出力
	【MTU0, MTU3, MTU4】 バッファ動作を設定可能
	【MTU1, MTU2】 - 独立に位相計数モードを設定可能 - MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) - カスケード接続動作が可能
	【MTU3, MTU4】 - MTU3/MTU4 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガの出力が可能 - 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ (MTU4.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能
	【MTU3, MTU4】 MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能
	【MTU5】 デッドタイム補償用カウンタとして使用することが可能
	【MTU0, MTU4】 MTU0、MTU4 のカウントスタートに同期して、GPTW をカウントスタートさせることが可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	28 種類
バッファ動作	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/D コンバータの変換開始トリガを生成可能
	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への遷移が可能

表 19.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5
カウントクロック	PCLKB/1 PCLKB/2 PCLKB/4 PCLKB/8 PCLKB/16 PCLKB/32 PCLKB/64 PCLKB/256 PCLKB/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKB/1 PCLKB/2 PCLKB/4 PCLKB/8 PCLKB/16 PCLKB/32 PCLKB/64 PCLKB/256 PCLKB/1024 MTCLKA MTCLKB	PCLKB/1 PCLKB/2 PCLKB/4 PCLKB/8 PCLKB/16 PCLKB/32 PCLKB/64 PCLKB/256 PCLKB/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	PCLKB/1 PCLKB/2 PCLKB/4 PCLKB/8 PCLKB/16 PCLKB/32 PCLKB/64 PCLKB/256 PCLKB/1024 MTCLKA MTCLKB	PCLKB/1 PCLKB/2 PCLKB/4 PCLKB/8 PCLKB/16 PCLKB/32 PCLKB/64 PCLKB/256 PCLKB/1024 MTCLKA MTCLKB	PCLKB/1 PCLKB/2 PCLKB/4 PCLKB/8 PCLKB/16 PCLKB/32 PCLKB/64 PCLKB/256 PCLKB/1024 MTIOC1A
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKA MTCLKB MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W
カウンタクリア機能	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRALW/ TGRBLWの コンペアマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ
コンペ アマッチ出力	0出力	○	○	○	○	○	—
	1出力	○	○	○	○	○	—
	トル出力	○	○	○	○	○	—
インプットキャブチャ機能	○	○	○	○ (注1)	○	○	○
同期動作	○	○	○	—	○	○	—
PWMモード1	○	○	○	—	○	○	—
PWMモード2	○	○	○	—	—	—	—
相補PWMモード	—	—	—	—	○	○	—
リセット同期PWMモード	—	—	—	—	○	○	—
AC同期モータ駆動モード	○	—	—	—	○	○	—
位相計数モード	—	○	○	○	—	—	—
バッファ動作	○	—	—	—	○	○	—
デッドタイム補償用カウンタ機能	—	—	—	—	—	—	○
DTCの起動	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRALW/ TGRBLWの コンペアマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャ	TGRのコンペ アマッチ またはインプ トキャブチャと TCNTオーバフ ロー/アンダフ ロー (注2)	TGRのコンペ アマッチ またはインプ トキャブチャ
A/D変換開始トリガ	TGRAのコンペ アマッチ またはインプ トキャブチャ TGREのコンペ アマッチ	TGRAのコンペ アマッチ またはインプ トキャブチャ	TGRAのコンペ アマッチ またはインプ トキャブチャ	TGRALWの コンペアマッチ またはインプ トキャブチャ	TGRAのコンペ アマッチ またはインプ トキャブチャ	TGRAのコンペ アマッチ またはインプ トキャブチャ 相補PWMモ ード時TCNTの アンダフロー (谷)	—

表 19.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5
割り込み要因	7要因 ・コンペアマッチ/インプットキャプチャ0A ・コンペアマッチ/インプットキャプチャ0B ・コンペアマッチ/インプットキャプチャ0C ・コンペアマッチ/インプットキャプチャ0D ・コンペアマッチ0E ・コンペアマッチ0F ・オーバーフロー	4要因 ・コンペアマッチ/インプットキャプチャ1A ・コンペアマッチ/インプットキャプチャ1B ・オーバーフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ2A ・コンペアマッチ/インプットキャプチャ2B ・オーバーフロー ・アンダフロー	4要因 ・コンペアマッチ/インプットキャプチャ1A ・コンペアマッチ/インプットキャプチャ1B ・オーバーフロー ・アンダフロー	5要因 ・コンペアマッチ/インプットキャプチャ3A ・コンペアマッチ/インプットキャプチャ3B ・コンペアマッチ/インプットキャプチャ3C ・コンペアマッチ/インプットキャプチャ3D ・オーバーフロー	5要因 ・コンペアマッチ/インプットキャプチャ4A ・コンペアマッチ/インプットキャプチャ4B ・コンペアマッチ/インプットキャプチャ4C ・コンペアマッチ/インプットキャプチャ4D ・オーバーフロー/アンダフロー(注2)	3要因 ・コンペアマッチ/インプットキャプチャ5U ・コンペアマッチ/インプットキャプチャ5V ・コンペアマッチ/インプットキャプチャ5W
A/D変換開始要求ディレイド機能	—	—	—	—	—	TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求	—
割り込み間引き機能1	—	—	—	—	TGRAのコンペアマッチ割り込みを間引き	TCIV割り込みを間引き	—
割り込み間引き機能2	—	—	—	—	—	TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き	—
モジュールストップ	MSTPCRA.MSTPA9(注3)						

○：可能 —：不可能

注1. LWA = 1の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ/インプットキャプチャイベントから選択可能です。TGRBLWのキャプチャ要因はMTIOC1Bからの入力、MTU0.TGRCのコンペアマッチ/インプットキャプチャイベントから選択可能です。

注2. アンダフローは相補PWMモード時のみ有効。

注3. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

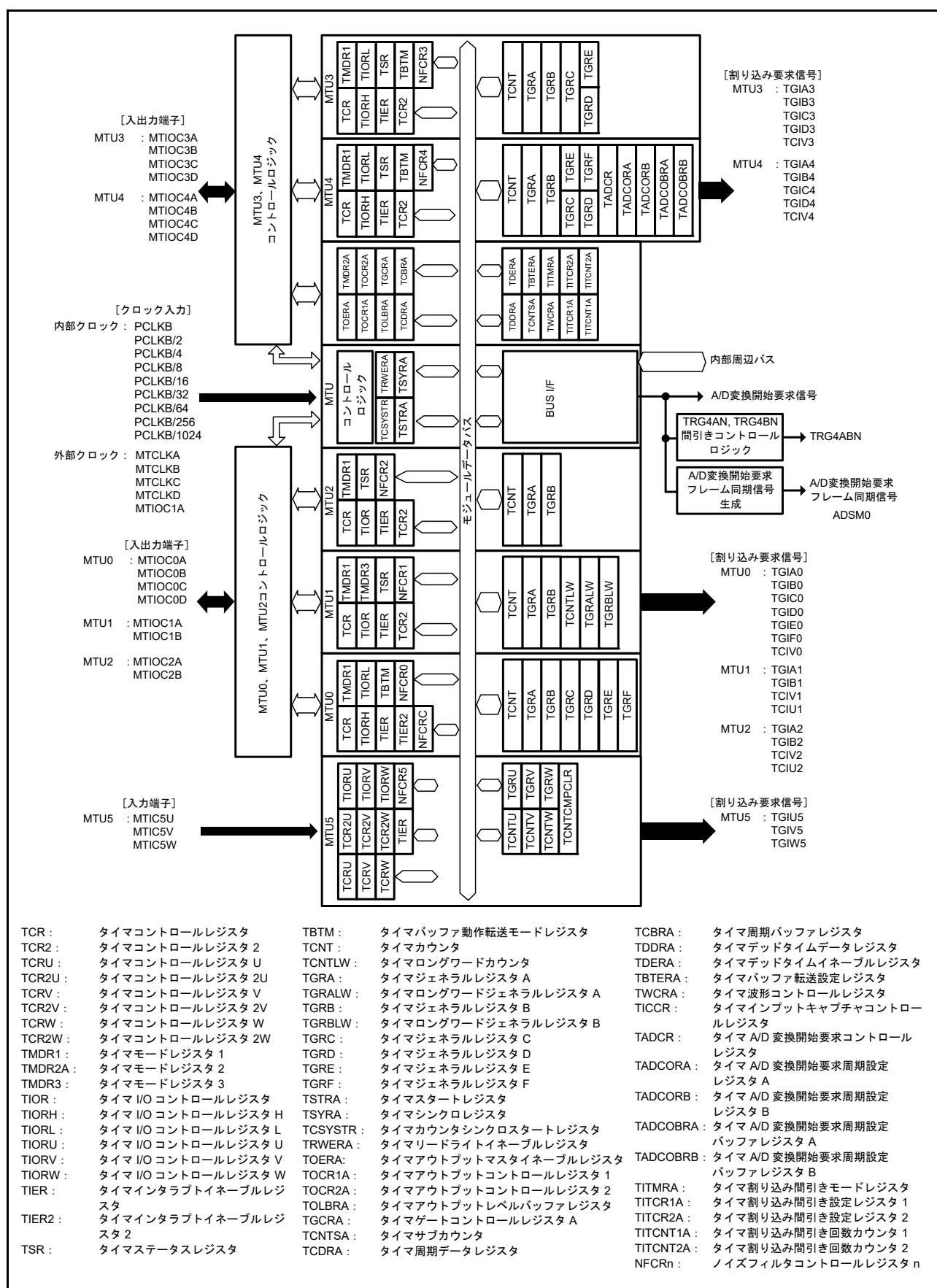


図 19.1 MTU のブロック図 (MTU0 ~ MTU5)

表 19.3 に MTU で使用する入出力端子を示します。

表 19.3 MTUの入出力端子

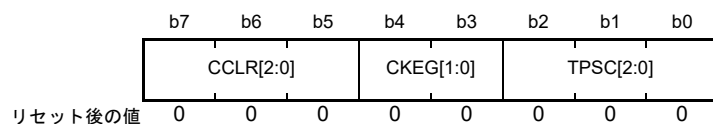
チャンネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子(MTU1、MTU2の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子(MTU1、MTU2の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子(MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子(MTU2の位相計数モードB相入力)
	ADSM0	出力	A/D変換開始要求フレーム同期信号0出力端子
	ADSM1	出力	A/D変換開始要求フレーム同期信号1出力端子
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子

19.2 レジスタの説明

19.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR

アドレス MTU0.TCR 0009 5300h, MTU1.TCR 0009 5380h, MTU2.TCR 0009 5400h, MTU3.TCR 0009 5200h, MTU4.TCR 0009 5201h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケラ選択ビット	表 19.6～表 19.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表 19.4、表 19.5を参照してください	R/W

x : Don't care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 19.6 ～表 19.9 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

カウントクロックソース (MTIOC1A 端子含む) のエッジを選択します。内部クロックを両エッジでカウントすると、カウントクロックの周期が 1/2 になります (例 : PCLKB/4 の両エッジ = PCLKB/2 の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、カウントクロックソースが PCLKB/2 もしくはそれより遅い場合に有効です。カウントクロックソースに PCLKB/1、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合、値は書き込めますが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNT のカウンタクリア要因を選択します。詳細は表 19.4、表 19.5 を参照してください。

表 19.4 CCLR[2:0] (MTU0, MTU3, MTU4)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0 MTU3 MTU4	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア(注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYRA.SYNCnビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表 19.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1 MTU2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRALWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア(LWA = 0のとき) TGRBLWのコンペアマッチ/インプットキャプチャでTCNTLWクリア(LWA = 1のとき)
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア(注1)

注1. 同期動作の設定は、TSYRA.SYNCnビットを“1”にすることにより行います。

注2. MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 0009 5484h, MTU5.TCRV 0009 5494h, MTU5.TCRW 0009 54A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TPSC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 19.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

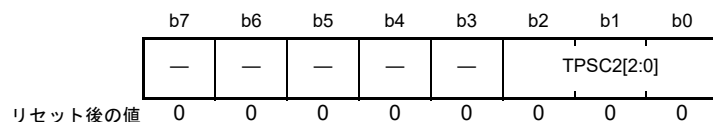
TPSC[1:0] ビット (タイマプリスケラ選択ビット)

TCNTのカウントクロックソースを選択します。詳細は表 19.10を参照してください。

19.2.2 タイマコントロールレジスタ 2 (TCR2)

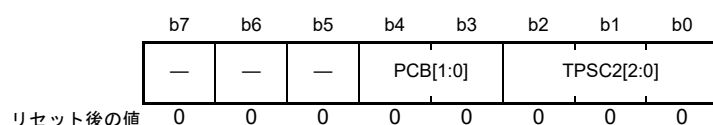
- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2

アドレス MTU0.TCR2 0009 5328h, MTU3.TCR2 0009 524Ch, MTU4.TCR2 0009 524Dh



- MTU1.TCR2, MTU2.TCR2

アドレス MTU1.TCR2 0009 5394h, MTU2.TCR2 0009 540Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケラ選択ビット	表 19.6～表 19.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャネルの TCNT を制御します。MTU0 ～ MTU4 に各 1 本、MTU5 には TCR2U/V/W の 3 本、計 8 本の TCR2 レジスタがあります。TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。各チャネル独立に選択することができます。詳細は表 19.6 ～表 19.9 を参照してください。

PCB[1:0] ビット (位相計数モード機能拡張制御ビット)

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は「19.3.6 位相計数モード」を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス MTU5.TCR2U 0009 5485h, MTU5.TCR2V 0009 5495h, MTU5.TCR2W 0009 54A5h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	CKEG[1:0]		TPSC2[2:0]		
0	0	0	0	0	0	0	0

リセット後の値

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケラ選択ビット	表 19.10 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

TPSC2[2:0] ビット (タイマプリスケラ選択ビット)

TCNT のカウントクロックソースを選択します。詳細は表 19.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

MTIOC1A 端子によるカウントクロックソースのエッジを選択します。

表 19.6 TPSC2[2:0], TPSC2[2:0] (MTU0)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	0	0	0	内部クロック : PCLKB/1 でカウント
	0	0	0	0	0	1	内部クロック : PCLKB/4 でカウント
	0	0	0	0	1	0	内部クロック : PCLKB/16 でカウント
	0	0	0	0	1	1	内部クロック : PCLKB/64 でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA 端子入力 でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB 端子入力 でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC 端子入力 でカウント
	0	0	0	1	1	1	外部クロック : MTCLKD 端子入力 でカウント
	0	0	1	x	x	x	内部クロック : PCLKB/2 でカウント
	0	1	0	x	x	x	内部クロック : PCLKB/8 でカウント
	0	1	1	x	x	x	内部クロック : PCLKB/32 でカウント
	1	0	0	x	x	x	内部クロック : PCLKB/256 でカウント
	1	0	1	x	x	x	内部クロック : PCLKB/1024 でカウント
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	外部クロック : MTIOC1A 端子入力 でカウント

x : Don't care

表 19.7 TPSC[2:0], TPSC2[2:0] (MTU1)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	0	0	0	内部クロック : PCLKB/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKB/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKB/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKB/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック : PCLKB/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー / アンダフロー
	0	0	1	x	x	x	内部クロック : PCLKB/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKB/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKB/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKB/1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x : Don't care

注. MTU1が位相計数モード時、この設定は無効になります。

表 19.8 TPSC[2:0], TPSC2[2:0] (MTU2)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	0	0	0	内部クロック : PCLKB/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKB/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKB/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKB/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック : PCLKB/1024でカウント
	0	0	1	x	x	x	内部クロック : PCLKB/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKB/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKB/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKB/256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x : Don't care

注. MTU2が位相計数モード時、この設定は無効になります。

表 19.9 TPSC[2:0], TPSC2[2:0] (MTU3, MTU4)

チャンネル	TCR2 レジスタ			TCR レジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3 MTU4	0	0	0	0	0	0	内部クロック : PCLKB/1 でカウント
	0	0	0	0	0	1	内部クロック : PCLKB/4 でカウント
	0	0	0	0	1	0	内部クロック : PCLKB/16 でカウント
	0	0	0	0	1	1	内部クロック : PCLKB/64 でカウント
	0	0	0	1	0	0	内部クロック : PCLKB/256 でカウント
	0	0	0	1	0	1	内部クロック : PCLKB/1024 でカウント
	0	0	0	1	1	0	外部クロック : MTCLKA 端子入力 でカウント
	0	0	0	1	1	1	外部クロック : MTCLKB 端子入力 でカウント
	0	0	1	x	x	x	内部クロック : PCLKB/2 でカウント
	0	1	0	x	x	x	内部クロック : PCLKB/8 でカウント
	0	1	1	x	x	x	内部クロック : PCLKB/32 でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
	1	1	1	x	x	x	設定しないでください

x : Don't care

表 19.10 TPSC[1:0], TPSC2[2:0] (MTU5)

チャンネル	TCR2 レジスタ			TCR レジスタ		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[1]	TPSC[0]	
MTU5	0	0	0	0	0	内部クロック : PCLKB/1 でカウント
	0	0	0	0	1	内部クロック : PCLKB/4 でカウント
	0	0	0	1	0	内部クロック : PCLKB/16 でカウント
	0	0	0	1	1	内部クロック : PCLKB/64 でカウント
	0	0	1	x	x	内部クロック : PCLKB/2 でカウント
	0	1	0	x	x	内部クロック : PCLKB/8 でカウント
	0	1	1	x	x	内部クロック : PCLKB/32 でカウント
	1	0	0	x	x	内部クロック : PCLKB/256 でカウント
	1	0	1	x	x	内部クロック : PCLKB/1024 でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック : MTIOC1A 端子入力

x : Don't care

19.2.3 タイマモードレジスタ 1 (TMDR1)

- MTU0.TMDR1

アドレス MTU0.TMDR1 0009 5301h

b7	b6	b5	b4	b3	b2	b1	b0
—	BFE	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0

- MTU1.TMDR1, MTU2.TMDR1

アドレス MTU1.TMDR1 0009 5381h, MTU2.TMDR1 0009 5401h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0

- MTU3.TMDR1, MTU4.TMDR1

アドレス MTU3.TMDR1 0009 5202h, MTU4.TMDR1 0009 5203h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	BFB	BFA	MD[3:0]			
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表 19.11 を参照してください	R/W
b4	BFA	バッファ動作Aビット	0 : TGRA と TGRC レジスタは通常動作 1 : TGRA と TGRC レジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0 : TGRB と TGRD レジスタは通常動作 1 : TGRB と TGRD レジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0 : MTU0.TGRE と MTU0.TGRF は通常動作 1 : MTU0.TGRE と MTU0.TGRF はバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャネルの動作モードの設定を行うレジスタです。MTU0 ～ MTU4 に各 1 本、計 5 本の TMDR1 レジスタがあります。TMDR1 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

表 19.11 MD[3:0]ビットによる動作モードの設定(MTU0～MTU4)

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4
MD[3]	MD[2]	MD[1]	MD[0]							
0	0	0	0	ノーマルモード	○	○	○		○	○
0	0	0	1	設定しないでください						
0	0	1	0	PWMモード1	○	○	○		○	○
0	0	1	1	PWMモード2	○	○	○			
0	1	0	0	位相計数モード1		○	○	○		
0	1	0	1	位相計数モード2		○	○	○		
0	1	1	0	位相計数モード3		○	○	○		
0	1	1	1	位相計数モード4		○	○	○		
1	0	0	0	リセット同期PWMモード(注1)					○	
1	0	0	1	位相計数モード5		○	○	○		
1	0	1	x	設定しないでください						
1	1	0	0	設定しないでください						
1	1	0	1	相補PWMモード1 (山で転送) (注1)					○	
1	1	1	0	相補PWMモード2 (谷で転送) (注1)					○	
1	1	1	1	相補PWMモード3 (山と谷で転送) (注1)					○	

x : Don't care

注. 各チャネルで該当以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。

MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となり自動的にMTU3の設定に従います。MTU4には初期値（ノーマルモード）を設定してください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR1 の BFA ビットの設定に従い動作します。MTU4.TMDR1 の BFA ビットを“0”にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 19.47 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR1 の BFB ビットの設定に従い動作します。MTU4.TMDR1 の BFB ビットを“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。相補 PWM モードの Tb 区間については、図 19.47 を参照してください。

BFE ビット (バッファ動作 E ビット)

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ～ MTU4 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

19.2.4 タイマモードレジスタ 2A (TMDR2A)

アドレス MTU.TMDR2A 0009 5270h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0：ダブルバッファ機能は無効 1：ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと “0” が読めます。書く場合、“0” としてください	R/W

TMDR2A レジスタは、相補 PWM モード 3（山と谷で転送）時、ダブルバッファ機能の設定を行うレジスタです。TMDR2A レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット (ダブルバッファ選択ビット)

相補 PWM モード時、ダブルバッファ機能の有効 / 無効を選択します。

19.2.5 タイマモードレジスタ 3 (TMDR3)

アドレス MTU1.TMDR3 0009 5391h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0 : 16ビットアクセス可能 1 : 32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	0 : 外部入力位相クロックはMTCLKA、MTCLKB 1 : 外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ (TCNTLW)、ジェネラルレジスタ A (TGRALW)、ジェネラルレジスタ B (TGRBLW) は表 19.12 のような組み合わせでアクセスされます。

LWA ビット (ロングワードアクセス制御ビット)

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。

LWA ビットが“0”の場合、MTU1 と MTU2 はそれぞれ独立した 16 ビットタイマとして動作するため、TCNTLW、TGRALW、TGRBLW レジスタはアクセスできません。

LWA ビットが“1”の場合、MTU1 と MTU2 はカスケード接続された 32 ビットタイマとして動作し、タイマの制御は MTU1.TCR、MTU1.TCR2、MTU1.TIOR、MTU1.TMDR1 レジスタで行います。MTU2.TCR、MTU2.TCR2、MTU2.TIOR、MTU2.TMDR1 レジスタの設定は無効で、MTU1、MTU2 の 16 ビットレジスタ (TCNT、TGRA、TGRB レジスタ) へのアクセスもできません。また、MTU2 のインプットキャプチャとコンペアマッチも無効となります。

なお、LWA ビットを“1”にした MTU1 と MTU2 のカスケード接続は、位相計数モードでのみ使用できます。ノーマルモード、PWM1 モード、PWM2 モードでは使用できません。LWA ビットを“1”にする場合、位相計数モードを選択してください。

LWA ビットを“1”にする場合は、事前に MTU1 と MTU2 の TCNT、TGRA、TGRB レジスタを初期化してください。

PHCKSEL ビット (外部入力位相クロック選択ビット)

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は「表 19.50 位相計数モードクロック入力端子」を参照してください。

表 19.12 TMDR3 レジスタの設定と組み合わせ

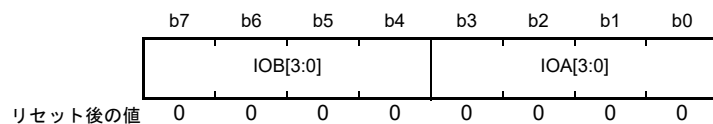
レジスタ	TMDR3.LWA = 0		TMDR3.LWA = 1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1のカウンタ (注1)	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2のカウンタ	MTU2.TCNT	ワード		
MTU1のジェネラルレジスタ A	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2のジェネラルレジスタ A	MTU2.TGRA	ワード		
MTU1のジェネラルレジスタ B	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2のジェネラルレジスタ B	MTU2.TGRB	ワード		

注1. LWA = 1にした場合、MTU1のカウントクロックをMTU2.TCNTのオーバフロー/アンダフローに設定する必要はありません。

19.2.6 タイマ I/O コントロールレジスタ (TIOIR)

- MTU0.TIOIRH, MTU1.TIOIR, MTU2.TIOIR, MTU3.TIOIRH, MTU4.TIOIRH

アドレス MTU0.TIOIRH 0009 5302h, MTU1.TIOIR 0009 5382h, MTU2.TIOIR 0009 5402h, MTU3.TIOIRH 0009 5204h, MTU4.TIOIRH 0009 5206h

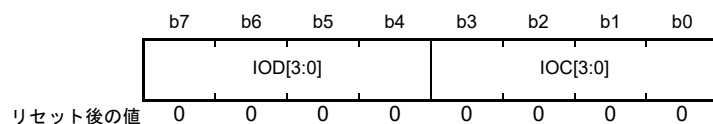


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット(注1)	下記の表を参照してください MTU0.TIOIRH : 表 19.21 MTU1.TIOIR : 表 19.23 MTU2.TIOIR : 表 19.24 MTU3.TIOIRH : 表 19.25 MTU4.TIOIRH : 表 19.27	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット(注1)	下記の表を参照してください MTU0.TIOIRH : 表 19.13 MTU1.TIOIR : 表 19.15 MTU2.TIOIR : 表 19.16 MTU3.TIOIRH : 表 19.17 MTU4.TIOIRH : 表 19.19	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = A, B)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU0.TIOIRL, MTU3.TIOIRL, MTU4.TIOIRL

アドレス MTU0.TIOIRL 0009 5303h, MTU3.TIOIRL 0009 5205h, MTU4.TIOIRL 0009 5207h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット(注1)	下記の表を参照してください MTU0.TIOIRL : 表 19.22 MTU3.TIOIRL : 表 19.26 MTU4.TIOIRL : 表 19.28	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット(注1)	下記の表を参照してください MTU0.TIOIRL : 表 19.14 MTU3.TIOIRL : 表 19.18 MTU4.TIOIRL : 表 19.20	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IOm[3:0] (m = C, D)の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 0009 5486h, MTU5.TIORV 0009 5496h, MTU5.TIORW 0009 54A6h



ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表 19.29	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIORレジスタは、TGRmレジスタを制御します。MTU0、MTU3、MTU4に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計11本のTIORがあります。TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタはTMDR1レジスタの設定により影響を受けますので注意してください。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTRA.CSTnビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0000h”になった時点での出力を指定します。

TGRCレジスタ、あるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表 19.13 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC0B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ (注1)

x : Don't care

注1. MTU1のカウントクロックにPCLKB/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKB/1以外のクロックを選択してください。

表 19.14 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC0D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ (注2)

x : Don't care

注1. MTU0.TMDR1.BFB ビットを“1”にして、MTU0.TGRD レジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKB/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKB/1以外のクロックを選択してください。

表 19.15 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB/TGRBLW レジスタの機能	MTIOC1B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャの発生 でインプットキャプチャ

x : Don't care

表 19.16 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC2B 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.17 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC3B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.18 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC3D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 19.19 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	TGRB レジスタの機能	MTIOC4B 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.20 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	TGRD レジスタの機能	MTIOC4D 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 19.21 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC0A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ (注1)

x : Don't care

注1. MTU1のカウントクロックにPCLKB/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKB/1以外のクロックを選択してください。

表 19.22 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC0C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNT (LWA = 0) またはMTU1.TCNTLW (LWA = 1) の カウントアップ/カウントダウンでインプットキャプチャ (注2)

x : Don't care

注1. MTU0.TMDR1.BFAビットを“1”にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

注2. MTU1のカウントクロックにPCLKB/1を選択した場合、MTU0のインプットキャプチャは発生しません。PCLKB/1以外のクロックを選択してください。

表 19.23 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA/TGRALW レジスタの機能	MTIOC1A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャの発生 でインプットキャプチャ

x : Don't care

表 19.24 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC2A 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.25 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC3A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.26 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC3C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFAビットを“1”にして、MTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 19.27 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	TGRA レジスタの機能	MTIOC4A 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表 19.28 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRC レジスタの機能	MTIOC4C 端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 19.29 TIORU, TIORV, TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	TGRU、TGRV、 TGRWレジスタの機能	MTIC5U、MTIC5V、MTIC5W端子の機能
0	0	0	0	0	アウトプットコンペア レジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャ レジスタ(注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0] ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU3、MTU4と連動したデッドタイム補償機能使用時のみとしてください。詳細は「19.3.11 外部パルス幅測定機能」、「19.3.12 デッドタイム補償機能」を参照してください。

19.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 0009 54B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの“0000h”クリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの“0000h”クリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの“0000h”クリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5 に 1 本の TCNTCMPCLR レジスタがあります。

19.2.8 タイマインタラプトイネーブルレジスタ (TIER)

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 0009 5384h, MTU2.TIER 0009 5404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER

アドレス MTU0.TIER 0009 5304h, MTU3.TIER 0009 5208h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER

アドレス MTU4.TIER 0009 5209h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可 A ビット	0 : 割り込み要求 (TGIA) を禁止 1 : 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可 B ビット	0 : 割り込み要求 (TGIB) を禁止 1 : 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可 C ビット	0 : 割り込み要求 (TGIC) を禁止 1 : 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可 D ビット	0 : 割り込み要求 (TGID) を禁止 1 : 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0 : 割り込み要求 (TCIV) を禁止 1 : 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0 : 割り込み要求 (TCIU) を禁止 1 : 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D 変換開始要求許可 2 ビット	0 : MTUn.TCNT のアンダフロー (谷) による A/D 変換要求を禁止 1 : MTUn.TCNT のアンダフロー (谷) による A/D 変換要求を許可	R/W
b7	TTGE	A/D 変換開始要求許可ビット	0 : A/D 変換開始要求の生成を禁止 1 : A/D 変換開始要求の生成を許可	R/W

n = 4

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ～ MTU5 に各 1 本、計 7 本の TIER レジスタがあります。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIm) を許可または禁止します ($m = A, B$)。

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

割り込み要求 (TGIm) を許可または禁止します ($m = C, D$)。

MTU1、MTU2 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTUn.TCNT のアンダフロー (谷) による A/D 変換要求の生成を許可または禁止します ($n = 4$)。

MTU0 ~ MTU3 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ / コンペアマッチによる A/D コンバータの開始要求の生成を許可または禁止します。

- MTU0.TIER2

アドレス MTU0.TIER2 0009 5324h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE2	—	—	—	—	—	TGIEF	TGIEE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可 E ビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可 F ビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D 変換開始要求許可 2 ビット	0 : MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 変換開始要求を禁止 1 : MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 変換開始要求を許可	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT と MTU0.TGRm のコンペアマッチによる割り込み要求の生成を許可または禁止します (m = E, F)。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 変換開始要求の生成を許可または禁止します。

- MTU5.TIER

アドレス MTU5.TIER 0009 54B2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可 5W ビット	0 : TGIW5 割り込み要求を禁止 1 : TGIW5 割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可 5V ビット	0 : TGIV5 割り込み要求を禁止 1 : TGIV5 割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可 5U ビット	0 : TGIU5 割り込み要求を禁止 1 : TGIU5 割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5m ビット (TGR 割り込み許可 5m ビット)

割り込み要求 (TGI_m5) を許可または禁止します (m = U, V, W)。

19.2.9 タイマステータスレジスタ (TSR)

- MTU1.TSR, MTU2.TSR

アドレス MTU1.TSR 0009 5385h, MTU2.TSR 0009 5405h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR

アドレス MTU3.TSR 0009 522Ch, MTU4.TSR 0009 522Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTはダウンカウント 1 : TCNTはアップカウント	R

TSR レジスタは、各チャネルのステータスの表示を行うレジスタです。MTU1 ～ MTU4 に各 1 本、計 4 本の TSR レジスタがあります。

TCFD フラグ（カウント方向フラグ）

MTU1 ～ MTU4 の TCNT のカウント方向を示すステータスフラグです。

19.2.10 タイマバッファ動作転送モードレジスタ (TBTM)

• MTU0.TBTM

アドレス MTU0.TBTM 0009 5326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TTSE	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0

• MTU3.TBTM, MTU4.TBTM

アドレス MTU3.TBTM 0009 5238h, MTU4.TBTM 0009 5239h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TTSB	TTSA
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0 : TGRCからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1 : TGRCからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0 : TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1 : TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1 : MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4 に各 1 本、計 3 本の TBTM レジスタがあります。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時の TGRC レジスタから TGRA レジスタへの転送タイミングを設定します。
なお、PWM モード以外で使用するチャンネルでは、TTSA ビットを“1”にしないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。
なお、PWM モード以外で使用するチャンネルでは、TTSB ビットを“1”にしないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時の MTU0.TGRF から MTU0.TGRE への転送タイミングを設定します。MTU3、MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”にしてください。

なお、PWM モード以外で使用するチャンネルでは、TTSE ビットを“1”にしないでください。

19.2.11 タイマインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 0009 5390h

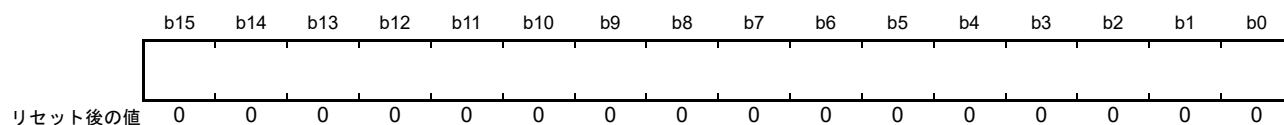
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加しない 1 : MTIOC1A端子をMTU2.TGRAのインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加しない 1 : MTIOC1B端子をMTU2.TGRBのインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加しない 1 : MTIOC2A端子をMTU1.TGRAのインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加しない 1 : MTIOC2B端子をMTU1.TGRBのインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

19.2.12 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 0009 5306h, MTU1.TCNT 0009 5386h, MTU2.TCNT 0009 5406h, MTU3.TCNT 0009 5210h,
MTU4.TCNT 0009 5212h, MTU5.TCNTU 0009 5480h, MTU5.TCNTV 0009 5490h, MTU5.TCNTW 0009 54A0h



注. TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTは、16ビットの読み出し/書き込み可能なカウンタです。MTU0～MTU4に各1本、MTU5にTCNTU, TCNTV, TCNTWの3本、計8本のTCNTがあります。

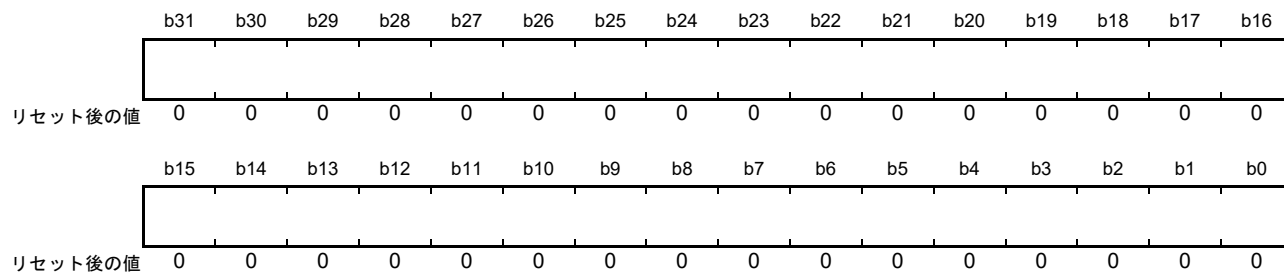
MTU0～MTU4のTCNTは、リセット時に“0000h”に初期化されます。MTU5のTCNTU, TCNTV, TCNTWは、リセット時に“0000h”に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。MTU0～MTU4のTCNTは、16ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNTは、TMDR3.LWA=1のときは“0000h”が読み出されます。詳細は「19.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

19.2.13 タイマロングワードカウンタ (TCNTLW)

アドレス MTU1.TCNTLW 0009 53A0h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TCNTLWカウンタは、TMDR3.LWA=1のときのみ有効で、MTU1.TCNTとMTU2.TCNTで構成される、32ビットの読み出し/書き込み可能なカウンタです。MTU1に1本あります。

TCNTLWカウンタは、リセット時に“0000 0000h”に初期化されます。また、TMDR3.LWA=0のときは“0000 0000h”が読み出されます。詳細は「19.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

本レジスタは32ビット位相計数モードのときのみ使用可能です。

19.2.14 タイマジェネラルレジスタ m (TGRm) (m = A, B, C, D, E, F, U, V, W)

MTU0.TGRA 0009 5308h, MTU0.TGRB 0009 530Ah, MTU0.TGRC 0009 530Ch, MTU0.TGRD 0009 530Eh,
 MTU0.TGRE 0009 5320h, MTU0.TGRF 0009 5322h,
 MTU1.TGRA 0009 5388h, MTU1.TGRB 0009 538Ah,
 MTU2.TGRA 0009 5408h, MTU2.TGRB 0009 540Ah,
 アドレス MTU3.TGRA 0009 5218h, MTU3.TGRB 0009 521Ah, MTU3.TGRC 0009 5224h, MTU3.TGRD 0009 5226h,
 MTU3.TGRE 0009 5272h,
 MTU4.TGRA 0009 521Ch, MTU4.TGRB 0009 521Eh, MTU4.TGRC 0009 5228h, MTU4.TGRD 0009 522Ah,
 MTU4.TGRE 0009 5274h, MTU4.TGRF 0009 5276h,
 MTU5.TGRU 0009 5482h, MTU5.TGRV 0009 5492h, MTU5.TGRW 0009 54A2h



注. TGRm レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRm レジスタの初期値は、“FFFFh”です。

TGRm レジスタは、16 ビットの読み出し / 書き込み可能なレジスタです。MTU0 に 6 本、MTU1、MTU2 に各 2 本、MTU3 に 5 本、MTU4 に 6 本、MTU5 に 3 本、計 24 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD レジスタはアウトプットコンペア / インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4 の TGRC レジスタと TGRD レジスタは、バッファレジスタとして動作設定することができます。TGRm レジスタとバッファレジスタの組み合わせは、TGRA–TGRC、TGRB–TGRD になります。

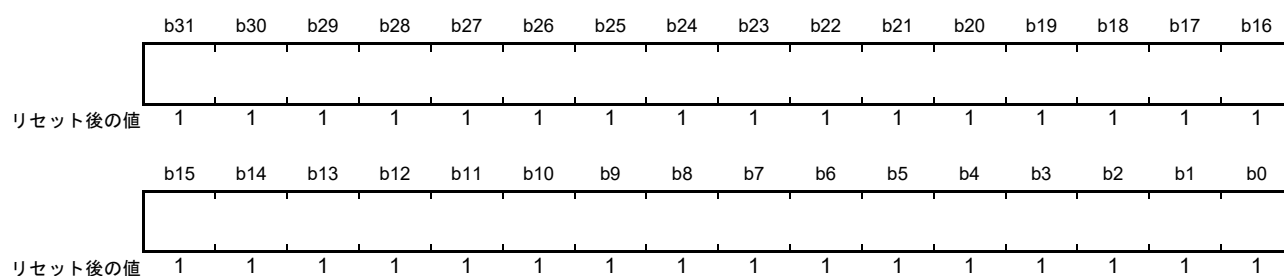
MTU0.TGRE、MTU0.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT カウンタと MTU0.TGRE レジスタが一致したとき、A/D 変換開始要求を生成することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGRm レジスタとバッファレジスタの組み合わせは、TGRC–TGRF になります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRW レジスタはコンペアマッチ / インプットキャプチャ / 外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRB レジスタは、TMDR3.LWA = 1 のときは “0000h” が読み出されます。詳細は「19.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

19.2.15 タイマロングワードジェネラルレジスタ m (TGRmLW) (m = A, B)

アドレス MTU1.TGRALW 0009 53A4h, MTU1.TGRBLW 0009 53A8h



注. 8ビット、16ビット単位でのアクセスは禁止です。32ビット単位でアクセスしてください。

TGRmLW レジスタは、TMDR3.LWA = 1 のときのみ有効で、MTU1.TGRm レジスタと MTU2.TGRm レジスタで構成される、32 ビットの読み出し / 書き込み可能なレジスタです。MTU1 に 2 本あります。

TGRmLW レジスタは、リセット時に“FFFF FFFFh”に初期化されますが、TMDR3.LWA = 0 のときは“0000 0000h”が読み出されます。詳細は「19.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、32 ビット位相計数モードでのみ使用可能なコンペアマッチ / インプットキャプチャ兼用のレジスタです。

19.2.16 タイマスタートレジスタ (TSTRA, TSTR)

- MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4)

アドレス MTU.TSTRA 0009 5280h

b7	b6	b5	b4	b3	b2	b1	b0
CST4	CST3	—	—	—	CST2	CST1	CST0
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTはカウント停止 1 : MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTはカウント停止 1 : MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTはカウント停止 1 : MTU2.TCNTはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTはカウント停止 1 : MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTはカウント停止 1 : MTU4.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタは MTU0 ~ MTU4 の TCNT の動作 / 停止を選択するレジスタです。

TSTR レジスタは MTU5 の TCNT の動作 / 停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合や TCR レジスタへ TCNT のカウントクロックを設定する場合は、TCNT のカウント動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0, 1, 2, 3, 4)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、相補 PWM モード / リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード / リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

• MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 0009 54B4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWはカウント停止 1 : MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVはカウント停止 1 : MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUはカウント停止 1 : MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

19.2.17 タイマシンクロレジスタ A (TSYRA)

アドレス MTU.TSYRA 0009 5281h

	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTは独立して動作 (TCNTのセット/クリアは他のチャネルと無関係) 1 : MTU0.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTは独立して動作 (TCNTのセット/クリアは他のチャネルと無関係) 1 : MTU1.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTは独立して動作 (TCNTのセット/クリアは他のチャネルと無関係) 1 : MTU2.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTは独立して動作 (TCNTのセット/クリアは他のチャネルと無関係) 1 : MTU3.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTは独立して動作 (TCNTのセット/クリアは他のチャネルと無関係) 1 : MTU4.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

TSYRA レジスタは MTU0 ～ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。
対応するビットを“1”にしたチャネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0, 1, 2, 3, 4)

他のチャネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低 2 チャネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

19.2.18 タイマカウンタシンクロスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 0009 5282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SCH4	シンクロスタート4ビット	0 : MTU4.TCNTをシンクロスタートしない 1 : MTU4.TCNTをシンクロスタートする	R/(W) (注1)
b4	SCH3	シンクロスタート3ビット	0 : MTU3.TCNTをシンクロスタートしない 1 : MTU3.TCNTをシンクロスタートする	R/(W) (注1)
b5	SCH2	シンクロスタート2ビット	0 : MTU2.TCNTをシンクロスタートしない 1 : MTU2.TCNTをシンクロスタートする	R/(W) (注1)
b6	SCH1	シンクロスタート1ビット	0 : MTU1.TCNTをシンクロスタートしない 1 : MTU1.TCNTをシンクロスタートする	R/(W) (注1)
b7	SCH0	シンクロスタート0ビット	0 : MTU0.TCNTをシンクロスタートしない 1 : MTU0.TCNTをシンクロスタートする	R/(W) (注1)

注1. “1”を書くことのみ可能です。カウントがスタートすると、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH4 ビット (シンクロスタート4ビット)

MTU4.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH4 ビットが“1”の状態で TSTRA.CST4 ビットを“1”にしたとき

SCH3 ビット (シンクロスタート3ビット)

MTU3.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH3 ビットが“1”の状態で TSTRA.CST3 ビットを“1”にしたとき

SCH2 ビット (シンクロスタート2ビット)

MTU2.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH2 ビットが“1”の状態で TSTRA.CST2 ビットを“1”にしたとき

SCH1 ビット (シンクロスタート1ビット)

MTU1.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH1 ビットが“1”の状態で TSTRA.CST1 ビットを“1”にしたとき

SCH0 ビット (シンクロスタート0ビット)

MTU0.TCNT のシンクロスタートを制御します。

[“0”になる条件]

SCH0 ビットが“1”の状態では TSTRA.CST0 ビットを“1”にしたとき

19.2.19 タイマリードライトイネーブルレジスタ A (TRWERA)

アドレス MTU.TRWERA 0009 5284h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0 : レジスタのリードライトを禁止する 1 : レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

RWE ビット（リードライト許可ビット）

誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。

[“0”になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに“0”を書いたとき

誤書き込み防止の対象レジスタおよび対象カウンタ（TRWERA）

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA と MTUn.TCNT の計 24 レジスタです（n = 3, 4）。

19.2.20 タイマアウトプットマスタイネーブルレジスタ A (TOERA)

アドレス MTU.TOERA 0009 520Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止(注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ(PDR)、ポート出力データレジスタ(PODR)に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ(PMR)で汎用入出力ポート使用に切り替えてください。詳細は、「17. I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可 / 禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。

19.2.21 タイマアウトプットコントロールレジスタ 1A (TOCR1A)

アドレス MTU.TOCR1A 0009 520Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注1、注3)	表 19.30を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注1、注3)	表 19.31を参照してください	R/W
b2	TOCS	TOC選択ビット	0 : TOCR1mの設定を有効にする (m = A) 1 : TOCR2mの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット(注2、注4)	0 : TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1 : TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0 : トグル出力を禁止 1 : トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1m.TOCSビットを“0”にすることにより、本設定が有効になります。

注2. TOCR1m.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。

カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。

カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット (TOC 選択ビット)

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1m レジスタと TOCR2m レジスタ (m = A) のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1m レジスタ (m = A) の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力を、MTIOC3A 端子から出力するかどうかを設定します。

表 19.30 出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 19.31 出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN = 1、OLSP = 1 の場合の相補 PWM モードの出力例（1 相分）を図 19.2 に示します。

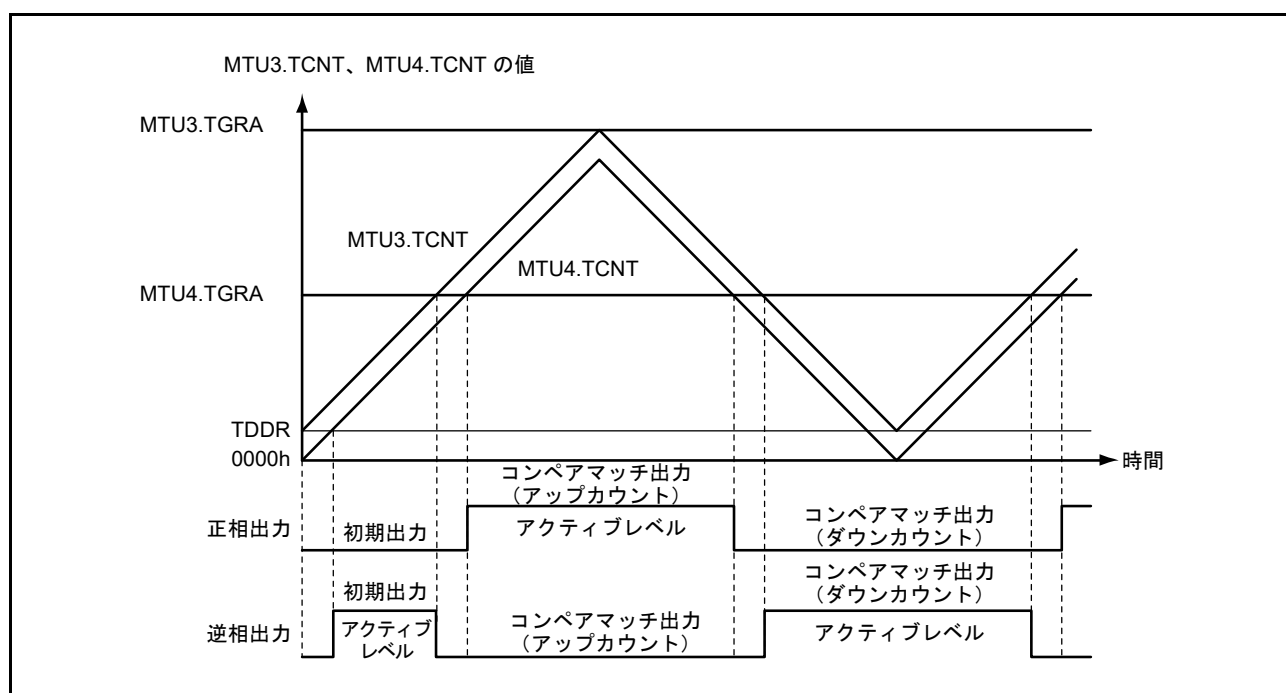


図 19.2 相補 PWM モードの出力レベルの例

19.2.22 タイマアウトプットコントロールレジスタ 2A (TOCR2A)

アドレス MTU.TOCR2A 0009 520Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します 表 19.32を参照してください	R/W
b1	OLS1N	出力レベル選択 1N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します 表 19.33を参照してください	R/W
b2	OLS2P	出力レベル選択 2P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します 表 19.34を参照してください	R/W
b3	OLS2N	出力レベル選択 2N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します 表 19.35を参照してください	R/W
b4	OLS3P	出力レベル選択 3P ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します 表 19.36を参照してください	R/W
b5	OLS3N	出力レベル選択 3N ビット(注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します 表 19.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBRmから TOCR2mへのバッファ転送タイミングを 選択します 詳細は表 19.38を参照してください	R/W

m = A

注1. TOCR1m.TOCSビットを“1”にすることにより、本設定が有効になります。

注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSiPビットのみ有効となります。
(i = 1, 2, 3)

TOCR2A レジスタは、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行うレジスタです。

カウンタが停止した状態では、初期出力が選択されます。

表 19.32 MTIOCnB出力レベル選択機能

ビット0	機能			
OLS1P	初期出力	アクティブ レベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 3

表 19.33 MTIOCnD 出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 3

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 19.34 MTIOCnA 出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4

表 19.35 MTIOCnC 出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 19.36 MTIOCnB 出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

n = 4

表 19.37 MTIOCnD 出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

n = 4

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 19.38 TOCR2m.BF[1:0] ビットの設定

ビット7 BF[1]	ビット6 BF[0]	説明	
		相補PWMモード時	リセット同期PWMモード時
0	0	バッファレジスタ (TOLBRm) から TOCR2m へ転送しない	バッファレジスタ (TOLBRm) から TOCR2m へ転送しない
0	1	MTUn.TCNT の山でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	MTUk.TCNT、MTUn.TCNT カウンタクリア時にバッファレジスタ (TOLBRm) から TOCR2m へ転送する
1	0	MTUn.TCNT の谷でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	設定しないでください
1	1	MTUn.TCNT の山と谷でバッファレジスタ (TOLBRm) から TOCR2m へ転送する	設定しないでください

n = 4、k = 3、m = A

19.2.23 タイマアウトプットレベルバッファレジスタ A (TOLBRA)

アドレス MTU.TOLBRA 0009 5236h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択 1P ビット	TOCR2mのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択 1N ビット	TOCR2mのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択 2P ビット	TOCR2mのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択 2N ビット	TOCR2mのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択 3P ビット	TOCR2mのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択 3N ビット	TOCR2mのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = A

TOLBRA レジスタは TOCR2A レジスタのバッファレジスタで、相補 PWM モード / リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 19.3 に示します。

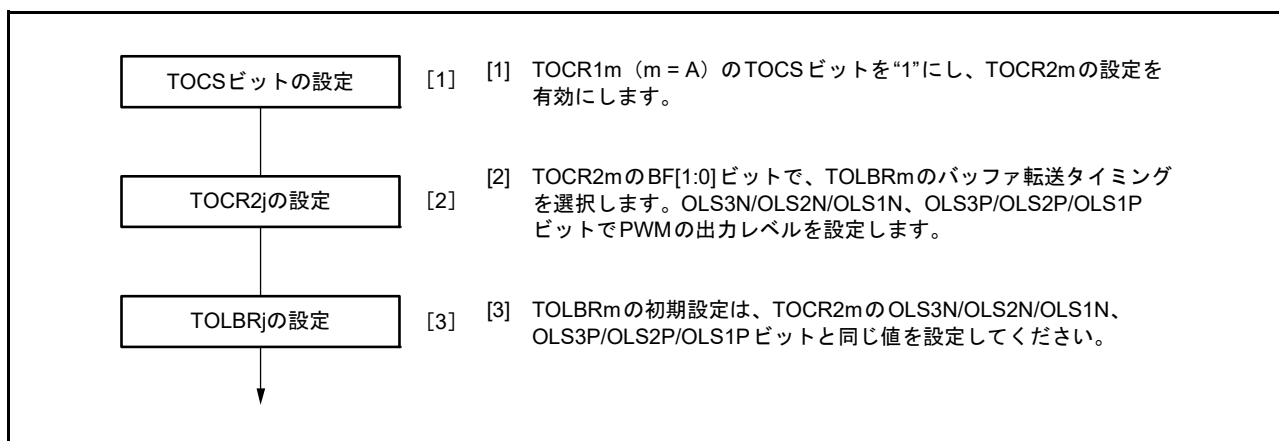


図 19.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

19.2.24 タイマゲートコントロールレジスタ A (TGCRA)

アドレス MTU.TGCRA 0009 520Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”の時のみ有効です。このときは、b0～b2の設定が、外部入力に代わりになります。表 19.39 を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0の TGRA、TGRB、TGRC のインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRA の UF、VF、WF の設定値）	R/W
b4	P	正相出力(P)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力(N)制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能は有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定はFB ビットが“1”の時のみ有効です。このときは、b0～b2 の設定が、外部入力の代わりになります。表 19.39 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えを MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号で自動的に行うか、TGCRA レジスタのビット 2～0 に“0”または“1”を書き込むことによって行うかを選択します。

TGCRA.FB ビットが“0”の場合、MTU0 の TGRA、TGRB、TGRC レジスタのインプットキャプチャ信号により、MTU3、MTU4 の出力を切り替えます。

P ビット（正相出力(P)制御ビット）

正相端子（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット（逆相出力(N)制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

BDC ビット (ブラシレス DC モータビット)

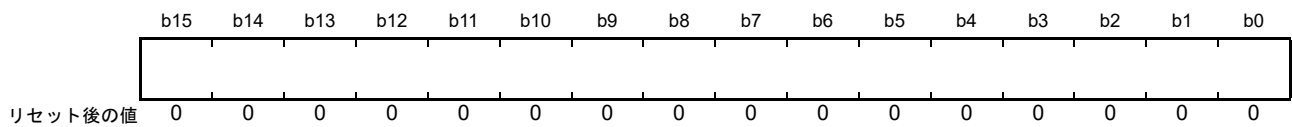
TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表 19.39 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

19.2.25 タイマサブカウンタ A (TCNTSA)

アドレス MTU.TCNTSA 0009 5220h

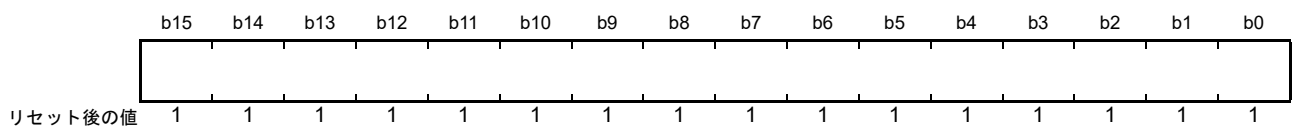


注. TCNTSAレジスタの8ビット単位でアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTSA レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA レジスタのリセット後の値は“0000h”です。

19.2.26 タイマ周期データレジスタ A (TCDRA)

アドレス MTU.TCDRA 0009 5214h

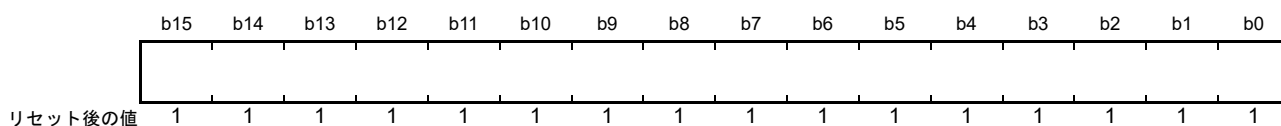


注. TCDRAレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCDRA レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタです。TCDRA レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA レジスタは、相補 PWM モード時 TCNTSA カウンタと常時比較され、一致すると TCNTSA カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。TCDRA レジスタのリセット後の値は“FFFFh”です。

19.2.27 タイマ周期バッファレジスタ A (TCBRA)

アドレス MTU.TCBRA 0009 5222h



注. TCBRAレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCBRA レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、TCDRA レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA レジスタの値が TCDRA レジスタに転送されます。TCBRA レジスタのリセット後の値は“FFFFh”です。

19.2.28 タイマデッドタイムデータレジスタ A (TDDRA)

アドレス MTU.TDDRA 0009 5216h



注. TDDRAレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TDDRA レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDRA レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。TDDRA レジスタのリセット後の値は“FFFFh”です。

19.2.29 タイマデッドタイムイネーブルレジスタ A (TDERA)

アドレス MTU.TDERA 0009 5234h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0 : デッドタイムを生成しない 1 : デッドタイムを生成する(注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA ≥ 1に設定してください。

TDERA レジスタは、TDERA は MTU3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイムイネーブルビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

19.2.30 タイマバッファ転送設定レジスタ A (TBTERA)

アドレス MTU.TBTERA 0009 5232h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します 詳細は表 19.40 を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 対象バッファレジスタ (TBTERA)
MTU3.TGRC, MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU.TCBRA

TBTERA レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する / しない、または割り込み間引き機能 1 と連動する / しないを設定するレジスタです。

表 19.40 TBTERA.BTE[1:0] ビットの設定

ビット1 BTE[1]	ビット0 BTE[0]	説明
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1. TMDR1.MD[3:0] ビットの設定に従い転送します。詳細は「19.3.8 相補PWMモード」を参照してください。

注2. 割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR1A) のT3AEN、T4VENビットを“0”にしたとき、またはTITCR1Aの間引き回数設定ビット (T3ACOR、T4VCOR) を“0”にしたとき) は、バッファ転送を割り込み間引きと連動しない設定 (タイマバッファ転送レジスタ (TBTERA) のBTE1ビットを“0”にする) にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

19.2.31 タイマ波形コントロールレジスタ A (TWCRA)

アドレス MTU.TWCRA 0009 5260h

	b7	b6	b5	b4	b3	b2	b1	b0
	CCE	—	—	—	—	—	—	WRE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0 : TOCR1A, TOCR2A レジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE	コンペアマッチクリア許可ビット (注1)	0 : MTU3.TGRAのコンペアマッチによるカウンタクリアをしない 1 : MTU3.TGRAのコンペアマッチによるカウンタクリアをする	R/(W)

注1. 相補PWMモード1のとき以外は、“1”を書かないでください。

TWCRA レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA のコンペアマッチによるカウンタクリアをする / しないを設定します。

TWCRA レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット（波形保持許可ビット）

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力を抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、図 19.47 を参照してください。

[“1”になる条件]

- WRE = 0 で WRE ビットを読んだ後、WRE ビットに“1”を書いたとき

CCE ビット（コンペアマッチクリア許可ビット）

相補 PWM モードで、MTU3.TGRA のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1”になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに“1”を書いたとき

19.2.32 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4

アドレス MTU0.NFCR0 0009 5290h, MTU1.NFCR1 0009 5291h, MTU2.NFCR2 0009 5292h, MTU3.NFCR3 0009 5293h, MTU4.NFCR4 0009 5294h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTIOCnA 端子のノイズフィルタは無効 1 : MTIOCnA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTIOCnB 端子のノイズフィルタは無効 1 : MTIOCnB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット(注1)	0 : MTIOCnC 端子のノイズフィルタは無効 1 : MTIOCnC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット(注1)	0 : MTIOCnD 端子のノイズフィルタは無効 1 : MTIOCnD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKB/1 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. MTU1、MTU2では予約ビットです。読むと“0”が読めます。書き込みは無効です。

NFCRn レジスタ (n = 0 ~ 4) は、対応するチャネルのインプットキャプチャ入力端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOcND 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。本ビットを“11b”に設定しカウントソースを外部クロックとした場合、本ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス MTU0.NFCRC 0009 5299h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTCLKA 端子のノイズフィルタは無効 1 : MTCLKA 端子のノイズフィルタは有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTCLKB 端子のノイズフィルタは無効 1 : MTCLKB 端子のノイズフィルタは有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0 : MTCLKC 端子のノイズフィルタは無効 1 : MTCLKC 端子のノイズフィルタは有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0 : MTCLKD 端子のノイズフィルタは無効 1 : MTCLKD 端子のノイズフィルタは有効	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKB/1 0 1 : PCLKB/2 1 0 : PCLKB/8 1 1 : PCLKB/32	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCRC レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTCLKA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTCLKB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTCLKC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図

しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

19.2.33 ノイズフィルタコントロールレジスタ 5 (NFCR5)

アドレス MTU5.NFCR5 0009 5295h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIC5U端子のノイズフィルタは無効 1 : MTIC5U端子のノイズフィルタは有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIC5V端子のノイズフィルタは無効 1 : MTIC5V端子のノイズフィルタは有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIC5W端子のノイズフィルタは無効 1 : MTIC5W端子のノイズフィルタは有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKB/1 0 1 : PCLKB/8 1 0 : PCLKB/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIC5U 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIC5V 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIC5W 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

19.2.34 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

アドレス MTU4.TADCR 0009 5240h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット(注1、注2、注3)	0 : A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動しない 1 : A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3 割り込み間引き連動許可ビット(注1、注2、注3)	0 : A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能1と連動しない 1 : A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット(注1、注2、注3)	0 : A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動しない 1 : A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3 割り込み間引き連動許可ビット(注1、注2、注3)	0 : A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能1と連動しない 1 : A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウンタ TRG4BN 許可ビット(注3)	0 : MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウンタ TRG4BN 許可ビット	0 : MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を禁止 1 : MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウンタ TRG4AN 許可ビット(注3)	0 : MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT のダウンカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウンタ TRG4AN 許可ビット	0 : MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を禁止 1 : MTU4.TCNT のアップカウンタ時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/TADCOBRB 転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRB から MTU4.TADCORA、MTU4.TADCORB への転送タイミングを選択します。詳細は表 19.41 を参照してください	R/W

注. MTU4.TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき TITCR1A.T3AEN、T4VEN ビットを“0”にしたとき、または TITCR1A.T3ACOR、T4VCOR ビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. 相補PWMモードのとき以外は、“0”にしてください。

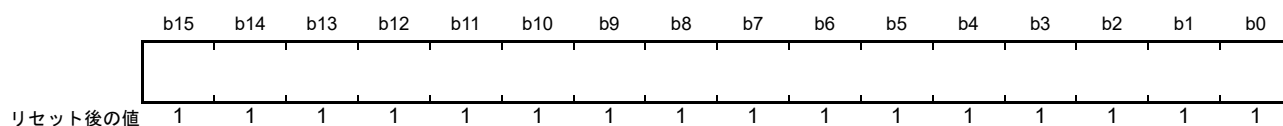
TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。

表 19.41 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU4)

ビット15 BF[1]	ビット14 BF[0]	説明			
		相補PWMモード時	リセット同期PWM モード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

19.2.35 タイマ A/D 変換開始要求周期設定レジスタ m (TADCORm) (m = A, B)

アドレス MTU4.TADCORA 0009 5244h, MTU4.TADCORB 0009 5246h



注. TADCORA、TADCORBは8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「19.3.9 (5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は“0002h”～MTU4：TCDRAの設定値－2の値を設定してください。

注2. 割り込み間引き機能2を使用し、かつTADCORAレジスタ値とTADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

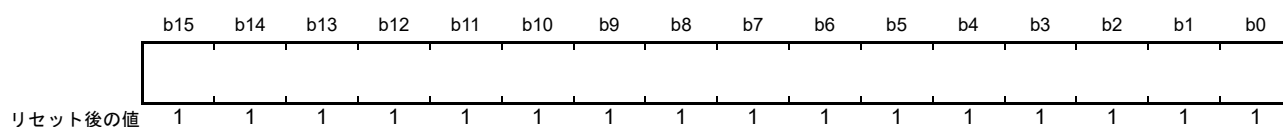
- (1) 間引き機能2、間引き回数が“0”の場合
 - ・ TADCORAレジスタ値とTADCORBレジスタ値との間隔が「4」以上
 - ・ TADCORAのコンペア間隔が4 PCLKB以上（TADCORAレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
 - ・ TADCORBのコンペア間隔が4 PCLKB以上（TADCORBレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
- (2) 間引き機能2、間引き回数が1以上の場合
 - ・ TADCORAレジスタ値とTADCORBレジスタ値との間隔が「2」以上
 - ・ TADCORBのコンペア間隔が2 PCLKB以上（TADCORBレジスタの更新値を「前値+2以上」、「前値-2以下」に設定）

TADCORA、TADCORB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、MTUn.TCNT (n = 4) と一致したとき、対応する A/D 変換開始要求を生成します。

TADCORA、TADCORB レジスタのリセット後の値は“FFFFh”です。

19.2.36 タイマ A/D 変換開始要求周期設定バッファレジスタ m (TADCOBRm) (m = A, B)

アドレス MTU4.TADCOBRA 0009 5248h, MTU4.TADCOBRB 0009 524Ah



注. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRB レジスタは 16 ビットの読み出し / 書き込み可能なレジスタで、TADCORA、TADCORB のバッファレジスタです。TADCOBRA、TADCOBRB から山か谷で TADCORA、TADCORB に転送します。

TADCOBRA、TADCOBRB レジスタのリセット後の値は“FFFFh”です。

19.2.37 タイマ割り込み間引きモードレジスタ A (TITMRA)

アドレス MTU.TITMRA 0009 523Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

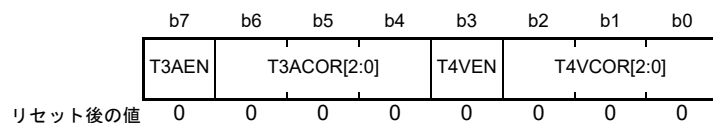
ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 0：割り込み間引き機能1(注1) 1：割り込み間引き機能2(注2)	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TITCR1Aレジスタを設定することにより割り込み間引き機能1が有効になります。
注2. TITCR2Aレジスタを設定することにより割り込み間引き機能2が有効になります。

TITMRA レジスタは、2 種類の間引き機能を選択するレジスタです。

19.2.38 タイマ割り込み間引き設定レジスタ 1A (TITCR1A)

アドレス MTU.TITCR1A 0009 5230h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0～7回で設定します 詳細は表 19.42を参照してください	R/W
b3	T4VEN	T4VEN ビット	0 : TCIV4割り込みの間引きを禁止する 1 : TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0～7回で設定します(注1) 詳細は表 19.43を参照してください	R/W
b7	T3AEN	T3AEN ビット	0 : TGIA3割り込みの間引きを禁止する 1 : TGIA3割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VEN ビットを“0”にして間引き回数カウンタ (TITCNT1A) をクリアしてください。

TITCR1A レジスタは、割り込み間引きの禁止 / 許可、割り込み間引き回数の設定を制御します。この設定は TITMRA.TITM ビットを“0”としたときのみ有効になります。また、TITMRA.TITM ビットを“1”にした場合、TITCR1A レジスタの値はクリアされます。

表 19.42 T4VCOR[2:0] ビットによる割り込み間引き回数の設定

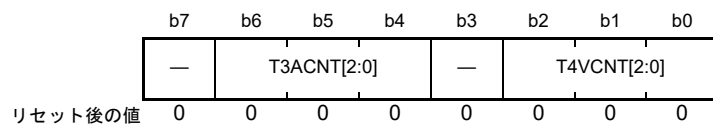
ビット2 T4VCOR[2]	ビット1 T4VCOR[1]	ビット0 T4VCOR[0]	説明
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表 19.43 T3ACOR[2:0] ビットによる割り込み間引き回数の設定

ビット6 T3ACOR[2]	ビット5 T3ACOR[1]	ビット4 T3ACOR[0]	説明
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

19.2.39 タイマ割り込み間引き回数カウンタ 1A (TITCNT1A)

アドレス MTU.TITCNT1A 0009 5231h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます	R

注. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1A レジスタは、8 ビットの読み出し可能なカウンタです。TITCNT1A は、MTU3.TCNT および MTU4.TCNT のカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T4VEN ビットが“0”のとき
- TITCR1A.T4VCOR[2:0] ビットが“000b”のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

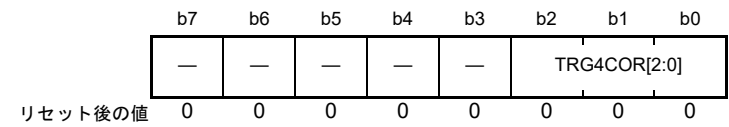
T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T3AEN ビットが“0”のとき
- TITCR1A.T3ACOR[2:0] ビットが“000b”のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

19.2.40 タイマ割り込み間引き設定レジスタ 2A (TITCR2A)

アドレス MTU.TITCR2A 0009 523Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN割り込み間引き回数設定ビット	TRG4AN/TRG4BN割り込みの間引き回数を0～7回で設定します。詳細は表 19.44 を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

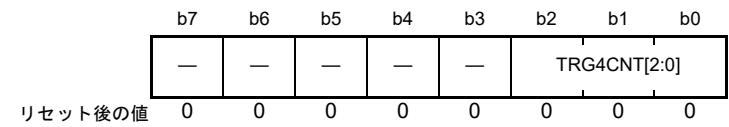
TITCR2A レジスタは、TRG4AN と TRG4BN の割り込み間引き回数を設定するレジスタです。
この設定は TITMRA レジスタを“1”にしたときのみ有効になります。

表 19.44 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR[2]	TRG4COR[1]	TRG4COR[0]	
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

19.2.41 タイマ割り込み間引き回数カウンタ 2A (TITCNT2A)

アドレス MTU.TITCNT2A 0009 523Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます	R

TITCNT2A レジスタは、TRG4COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN（TITCNT2A）が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

TRG4CNT[2:0] ビット (TRG4AN/TRG4BN 割り込みカウンタビット)

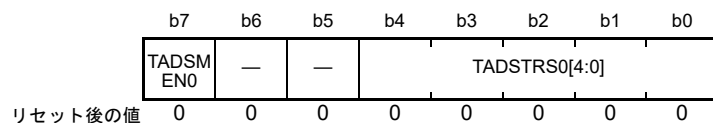
TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0” になる条件]

- TITMRA.TITM ビットが “0” のとき
- TITCR2A.TRG4COR[2:0] ビットが “000b” のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

19.2.42 A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)

アドレス MTU.TADSTRGR0 0009 5D30h

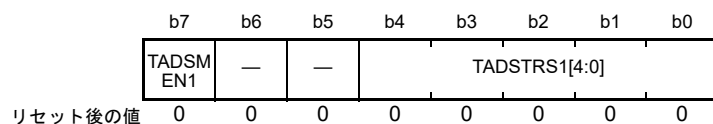


ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS0[4:0]	ADSM0端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM0端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表 19.45を参照してください。表 19.45記載の値以外は設定しないでください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TADSMEN0	ADSM0端子出力許可ビット	0 : ADSM0端子出力禁止 1 : ADSM0端子出力許可	R/W

TADSTRGR0 レジスタは、ADSM0 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

19.2.43 A/D 変換開始要求選択レジスタ 1 (TADSTRGR1)

アドレス MTU.TADSTRGR1 0009 5D32h



ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS1[4:0]	ADSM1端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM1端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表 19.45を参照してください。表 19.45記載の値以外は設定しないでください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TADSMEN1	ADSM1端子出力許可ビット	0 : ADSM1端子出力禁止 1 : ADSM1端子出力許可	R/W

TADSTRGR1 レジスタは、ADSM1 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

表 19.45 フレーム同期信号生成用A/D変換開始要求の設定 (n = 0, 1)

TADSTRSn[4:0]					要因	内容
[4]	[3]	[2]	[1]	[0]		
0	0	0	0	0	—	要因非選択
0	0	0	0	1	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	0	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ
0	0	0	1	1	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	0	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ
0	0	1	0	1	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー（谷）
0	1	0	0	0	TRG0N	MTU0.TGREのコンペアマッチ
0	1	0	0	1	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ
0	1	0	1	0	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ
0	1	1	0	0	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）

19.3 動作説明

19.3.1 基本動作

各チャンネルには、TCNT と TGR レジスタがあります。TCNT は、アップカウント動作を行い、フリーランニングカウント動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR レジスタは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRA レジスタの CST0 ～ CST4 ビット、MTU5.TSTR レジスタの CSTU5、CSTV5、CSTW5 ビットを“1”にすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウント動作、周期カウント動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 19.4 に示します。

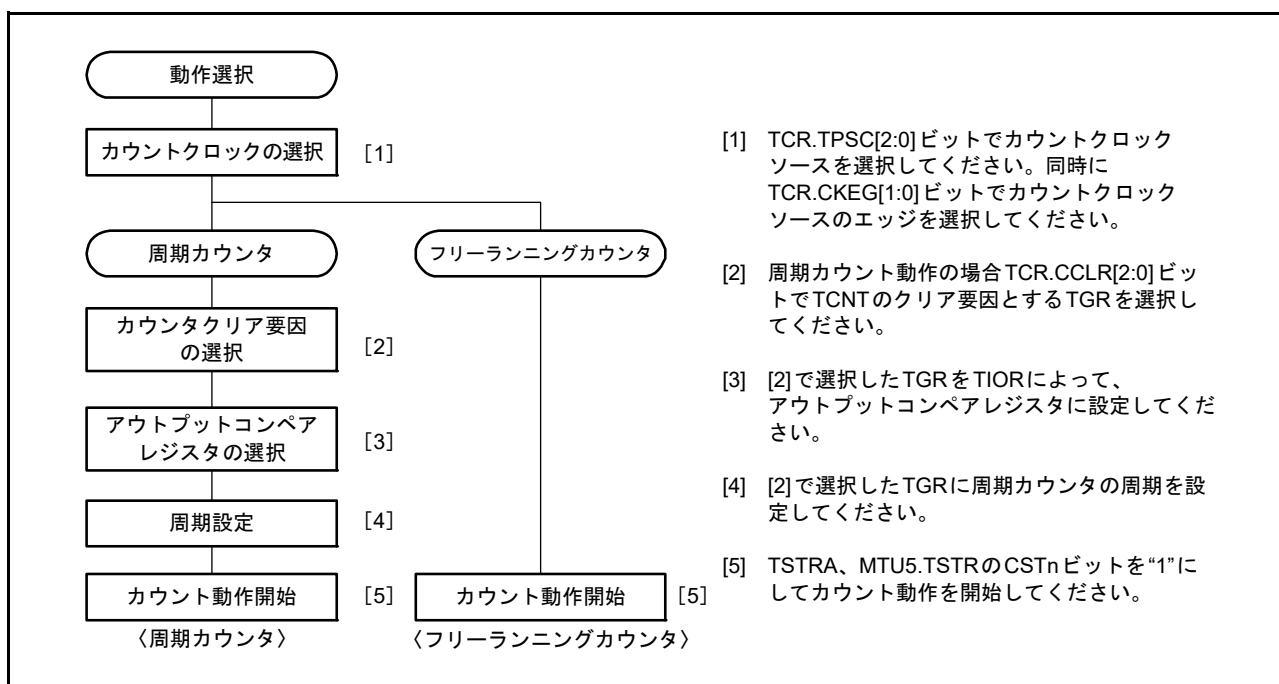


図 19.4 カウント動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、MTU5.TSTR レジスタの CSTn ビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (FFFFh → 0000h) すると、対応する TIER.TCIEV ビットが“1”ならば、CPU への割り込み要求を発行します。TCNT はオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 19.5 に示します。

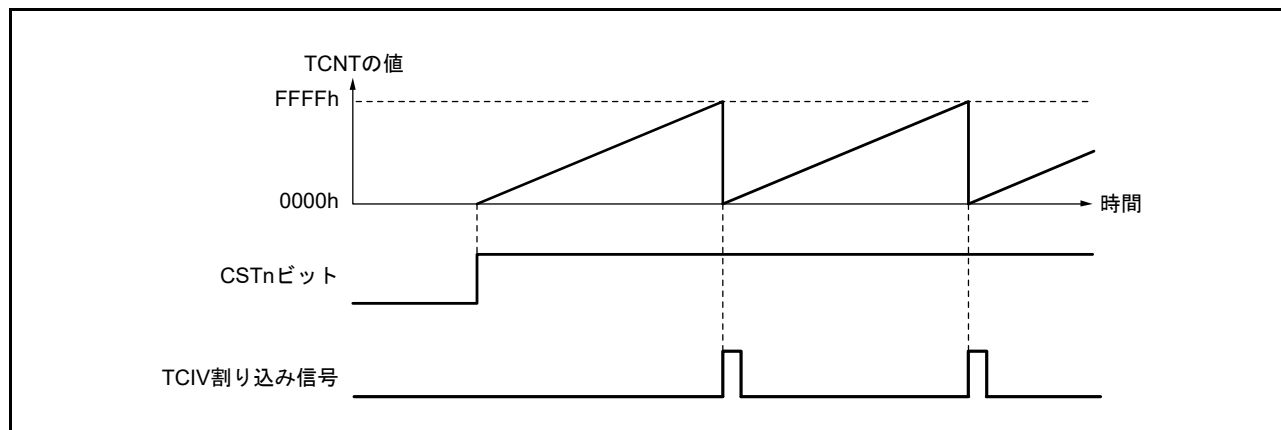


図 19.5 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、MTU5.TSTR レジスタの CSTn ビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TCNT は“0000h”になります。

このとき対応する TIER.TGIE ビットが“1”ならば、CPU への割り込み要求を発行します。TCNT はコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図 19.6 に示します。

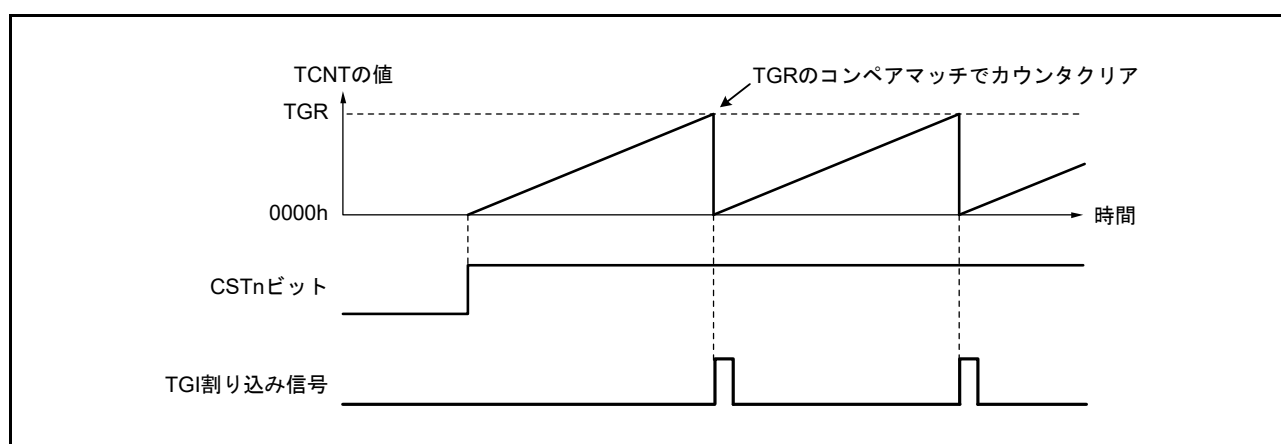


図 19.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 19.7 に示します。

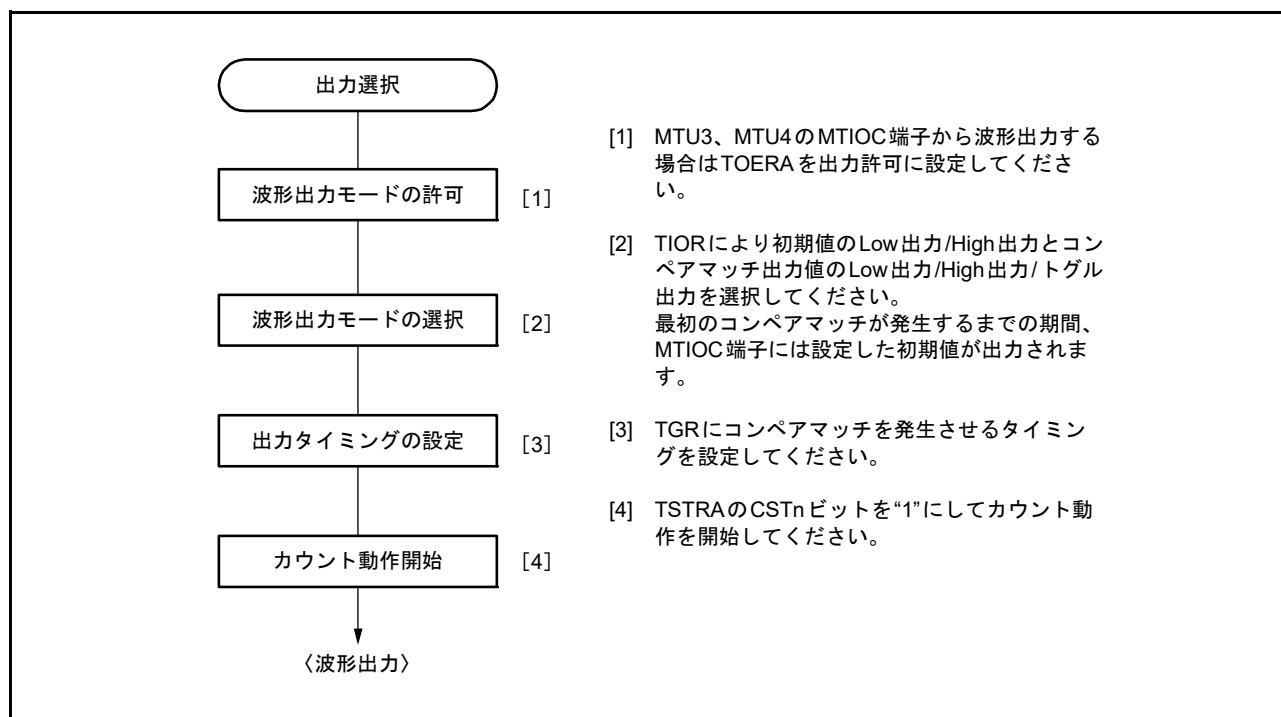


図 19.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low 出力 / High 出力例を図 19.8 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により High 出力、コンペアマッチ B により Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

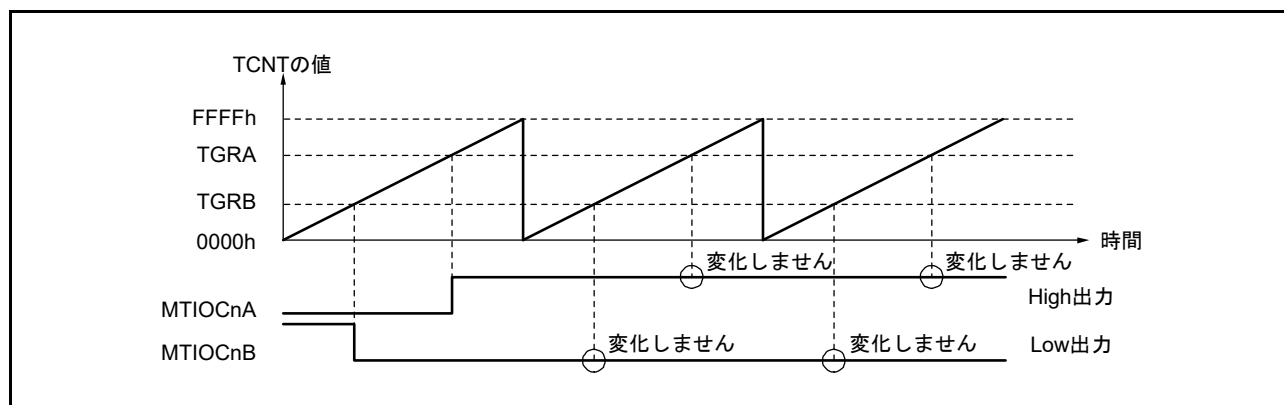


図 19.8 Low 出力 / High 出力の動作例 (n = 0 ~ 4)

トグル出力の例を図 19.9 に示します。

TCNT を周期カウンタ動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

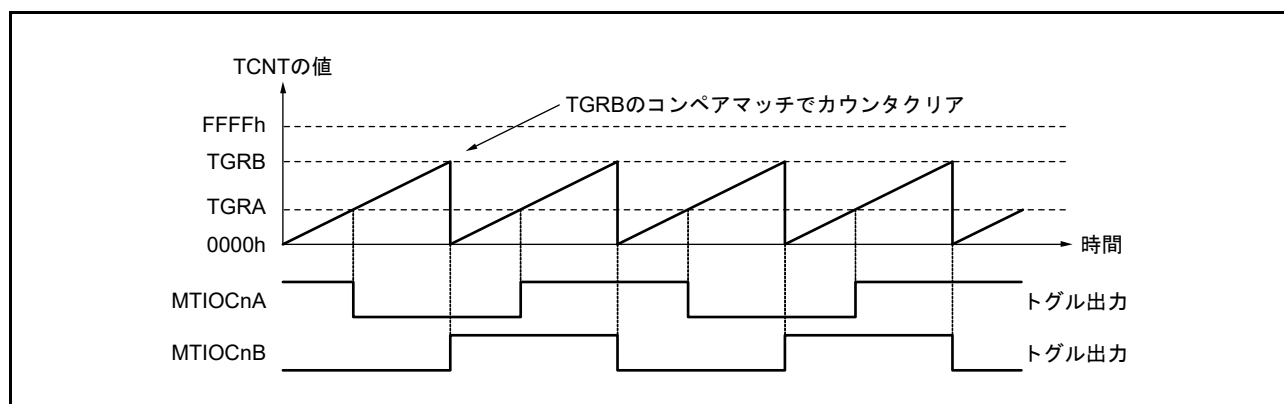


図 19.9 トグル出力の動作例 (n = 0 ~ 4)

(3) インพุットキャプチャ機能

MTIOCnm 端子 (n = 0 ~ 4、m = A ~ D)、および MTIC5m 端子 (m = U, V, W) の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャネルのカウントクロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャネルのカウントクロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウントクロックに PCLKB/1 を選択しないでください。PCLKB/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 19.10 に示します。

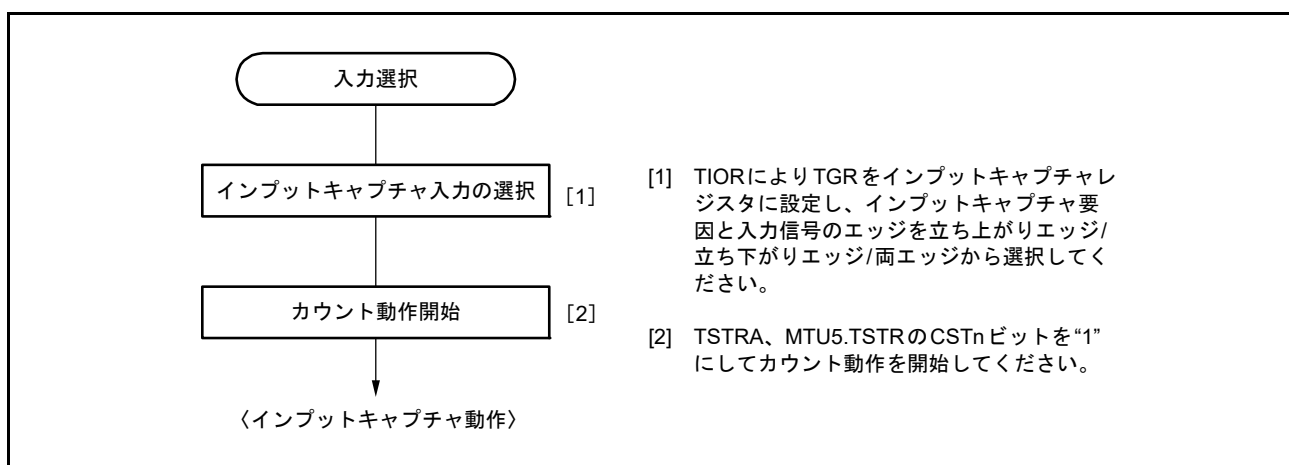


図 19.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 19.11 に示します。

MTIOCnA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下りの両エッジ、また MTIOCnB 端子のインพุットキャプチャ入力エッジは立ち下りエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です (n = 0 ~ 4)。

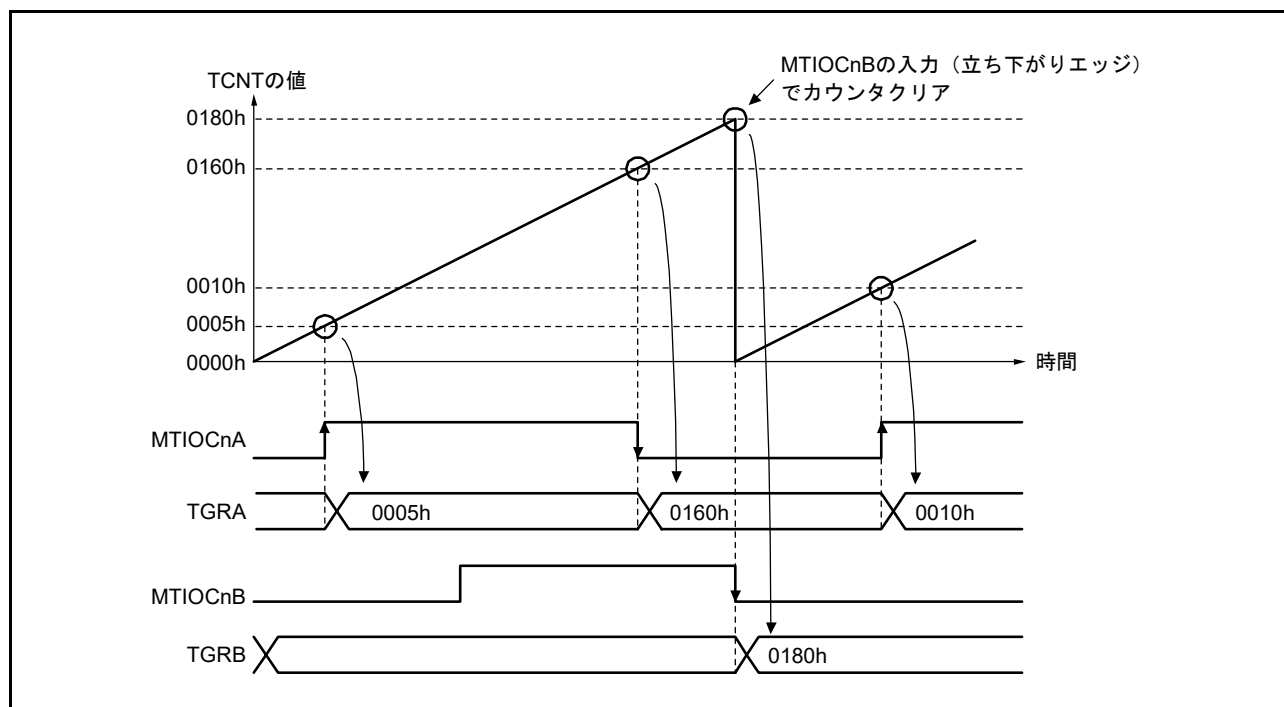


図 19.11 インพุットキャプチャ動作例 (n = 0 ~ 4)

19.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます（同期セット）。また、TCR レジスタの設定によって複数の TCNT を同時に“0”にすることができます（同期クリア）。

同期動作によって、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ～ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 19.12 に示します。

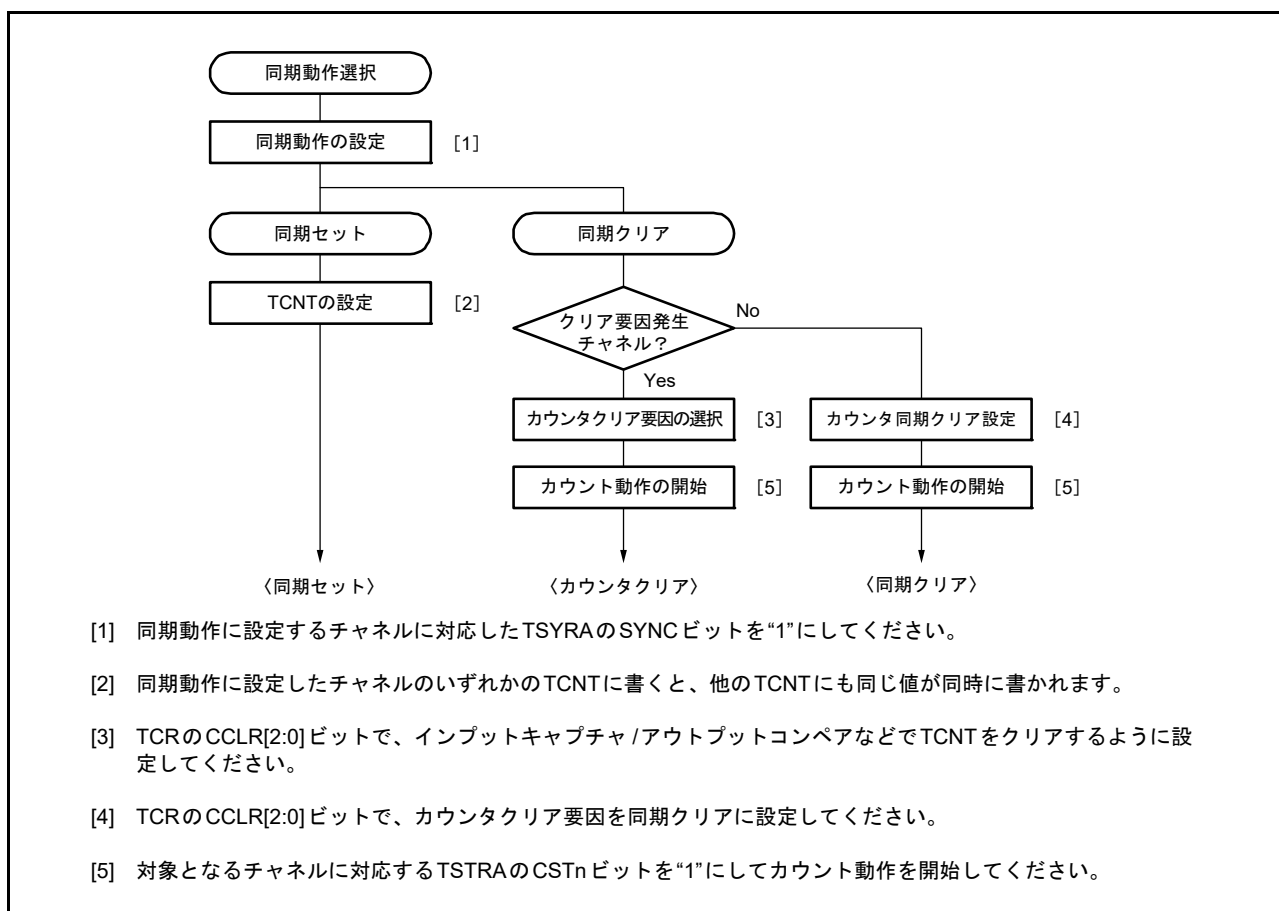


図 19.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 19.13 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「19.3.5 PWM モード」を参照してください。

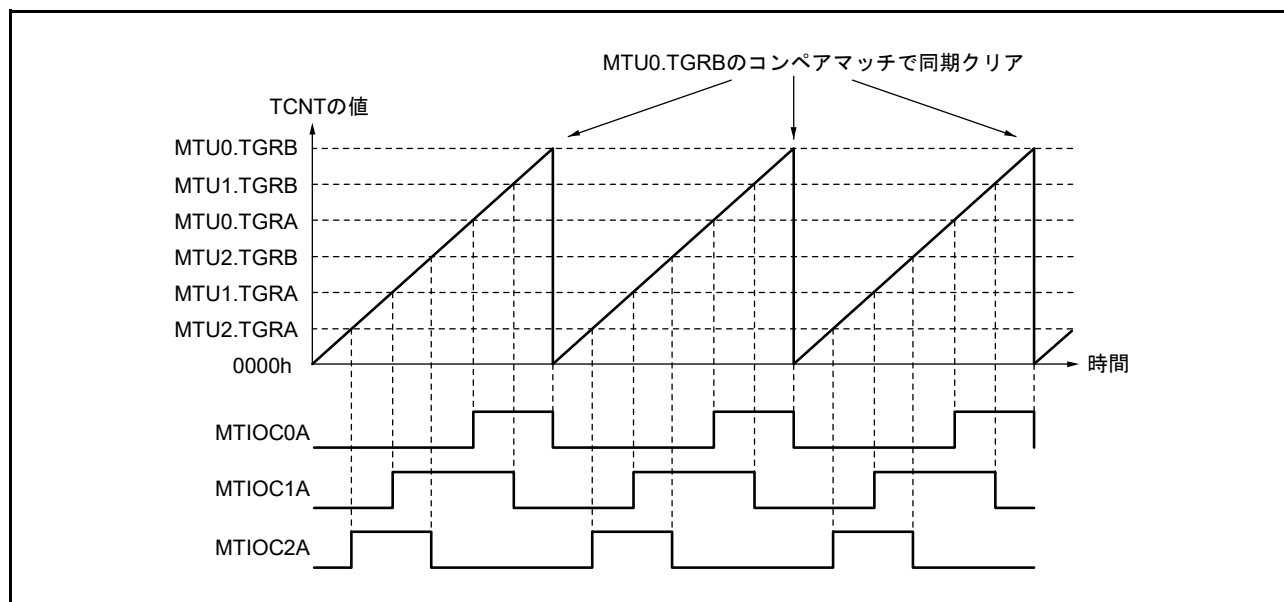


図 19.13 同期動作の動作例

19.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 19.46 にバッファ動作時のレジスタの組み合わせを示します。

表 19.46 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

• TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 19.14 に示します。

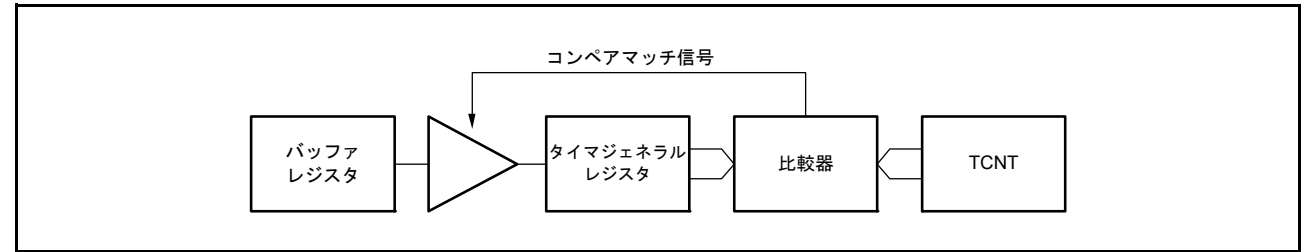


図 19.14 コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 19.15 に示します。

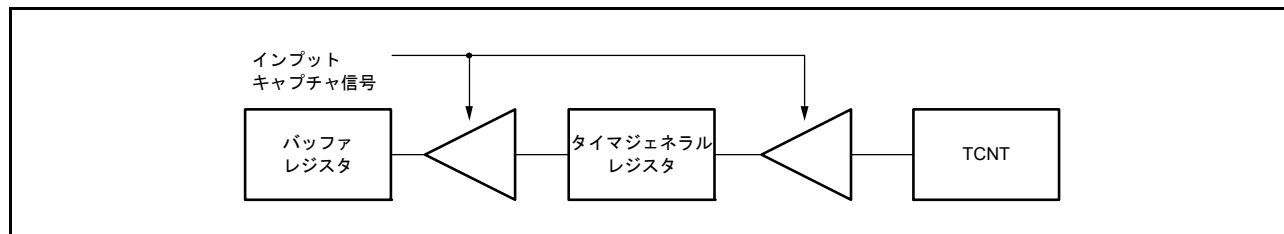


図 19.15 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 19.16 に示します。

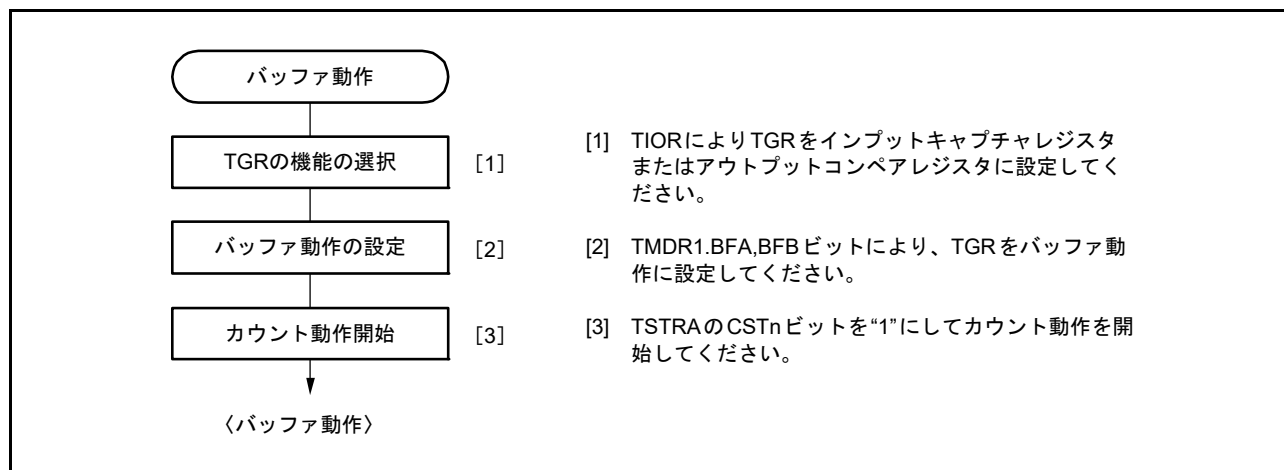


図 19.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

MTU0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 19.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力に設定した例です。この例では、TBTM.TTSA ビットは“0”にしています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「19.3.5 PWM モード」を参照してください。

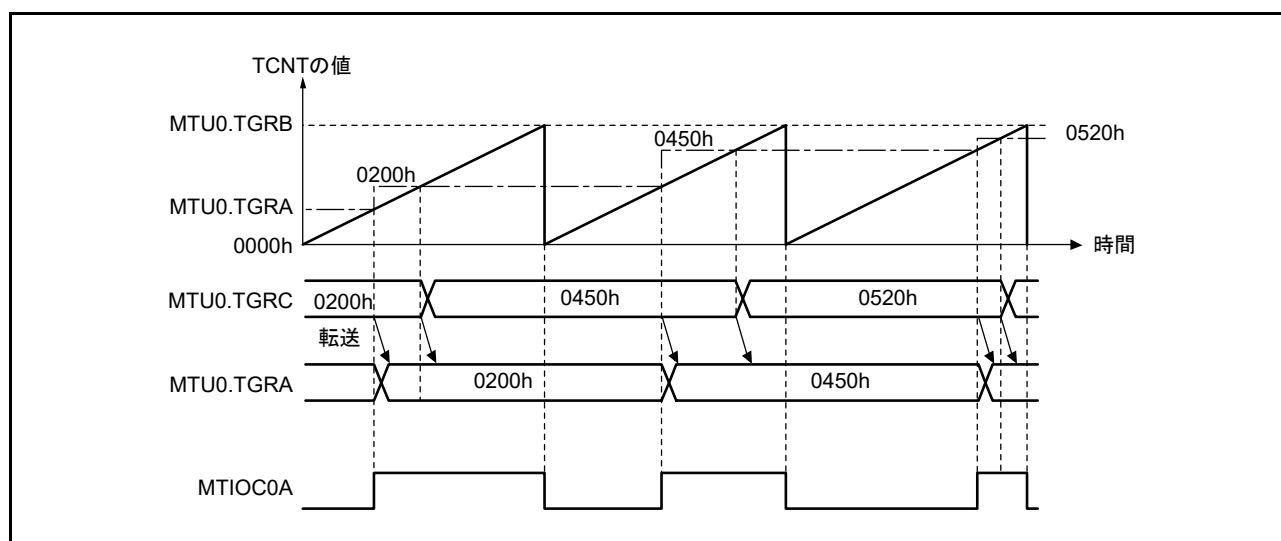


図 19.17 バッファ動作例 (1)

(b) TGRがインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 19.18 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、MTIOChA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています ($n=0 \sim 4$)。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

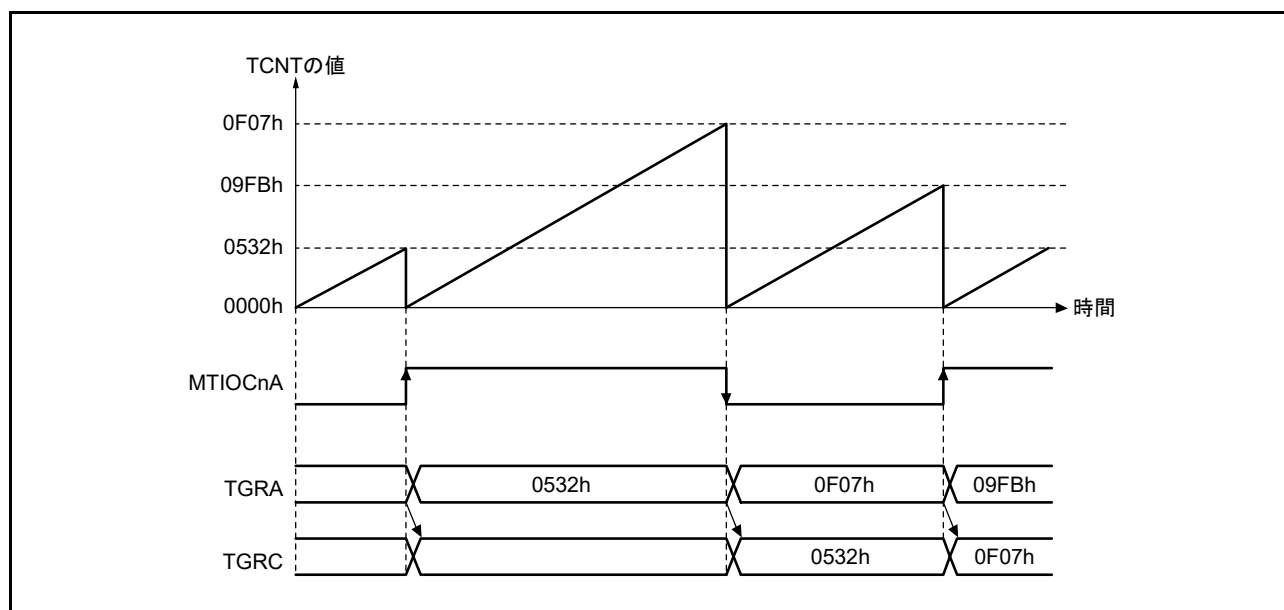


図 19.18 バッファ動作例 (2) ($n=0 \sim 4$)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTUn.TBTM) (n=0, 3, 4) を設定することで、MTU0 では PWM モード 1、2 時の、MTU3、MTU4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（リセット後の値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (FFFFh → 0000h)
- カウンタの動作中、TCNT に “0000h” が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が “0000h” になったとき

注． TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード 1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 19.19 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは “1” にしています。

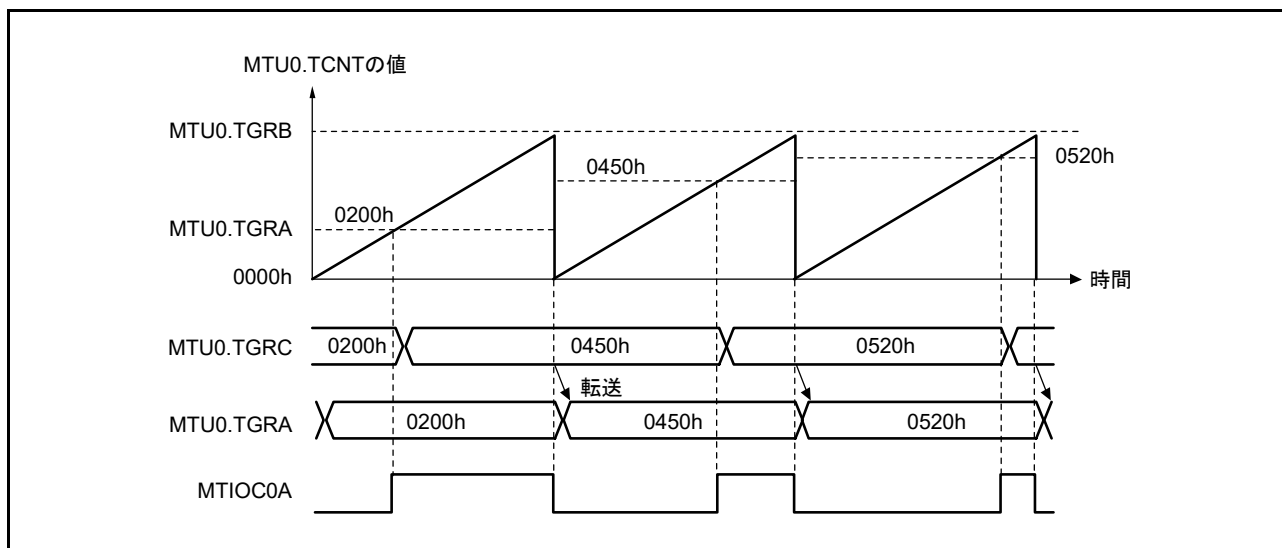


図 19.19 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

19.3.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

MTU1 と MTU2 を接続して 32 ビットカウンタとして使用する機能には、MTU1.TMDR3.LWA ビットを“0”のときに設定するカスケード接続と、MTU1.TMDR3.LWA ビットを“1”に設定するカスケード接続 32 ビット位相計数モードがあります。カスケード接続 32 ビット位相計数モードについては「19.3.6.2 カスケード接続 32 ビット位相計数モード」を参照してください。本章では、MTU1.TMDR3.LWA ビットを“0”のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWA ビットを“0”に設定し、MTU1.TCR.TPSC[2:0] ビットで MTU1.TCNT を MTU2.TCNT のオーバフロー / アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位 16 ビットが割り当てられた MTU2 が位相計数モードのときのみです。

表 19.47 にカスケード接続の組み合わせを示します。

注． MTU1 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 19.47 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
MTU1 と MTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNT と MTU2.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High のとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例 (c)」を参照してください。カスケード接続時のインプットキャプチャについては「19.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプット キャプチャ」を参照してください。

TICCR レジスタの設定値とインプットキャプチャ入力端子の対応を表 19.48 に示します。

表 19.48 TICCR レジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
MTU1.TCNT から MTU1.TGRA へのインプットキャプチャ	I2AE ビット = 0 (初期値)	MTIOC1A
	I2AE ビット = 1	MTIOC1A、MTIOC2A
MTU1.TCNT から MTU1.TGRB へのインプットキャプチャ	I2BE ビット = 0 (初期値)	MTIOC1B
	I2BE ビット = 1	MTIOC1B、MTIOC2B
MTU2.TCNT から MTU2.TGRA へのインプットキャプチャ	I1AE ビット = 0 (初期値)	MTIOC2A
	I1AE ビット = 1	MTIOC2A、MTIOC1A
MTU2.TCNT から MTU2.TGRB へのインプットキャプチャ	I1BE ビット = 0 (初期値)	MTIOC2B
	I1BE ビット = 1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 19.20 に示します。

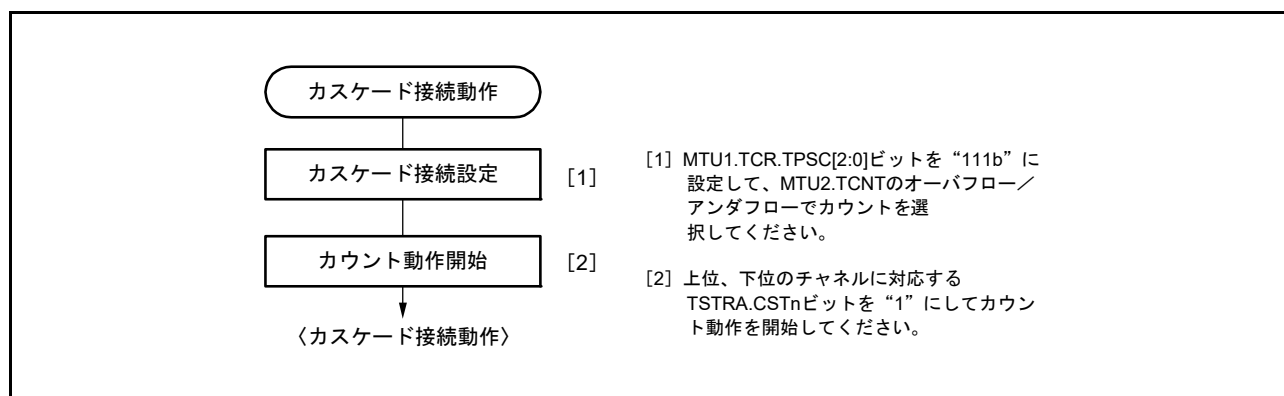


図 19.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバフロー / アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 19.21 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

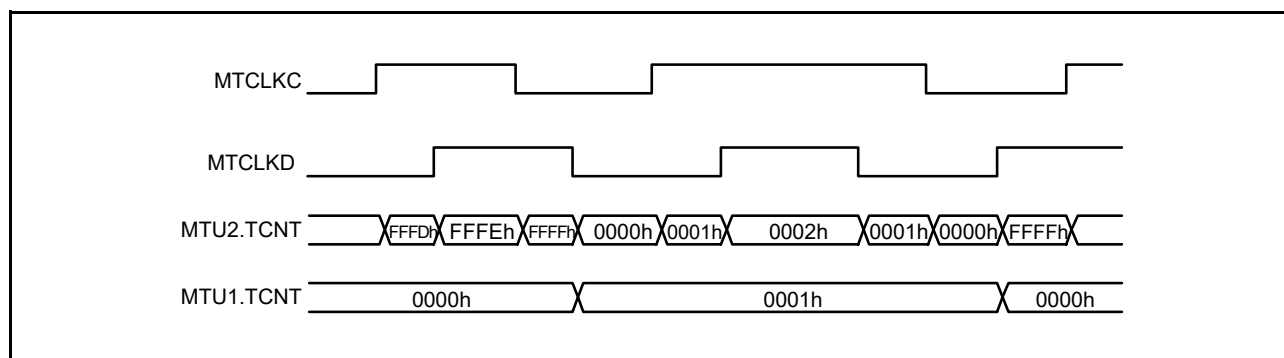


図 19.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 19.22 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、MTIOC1A の立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

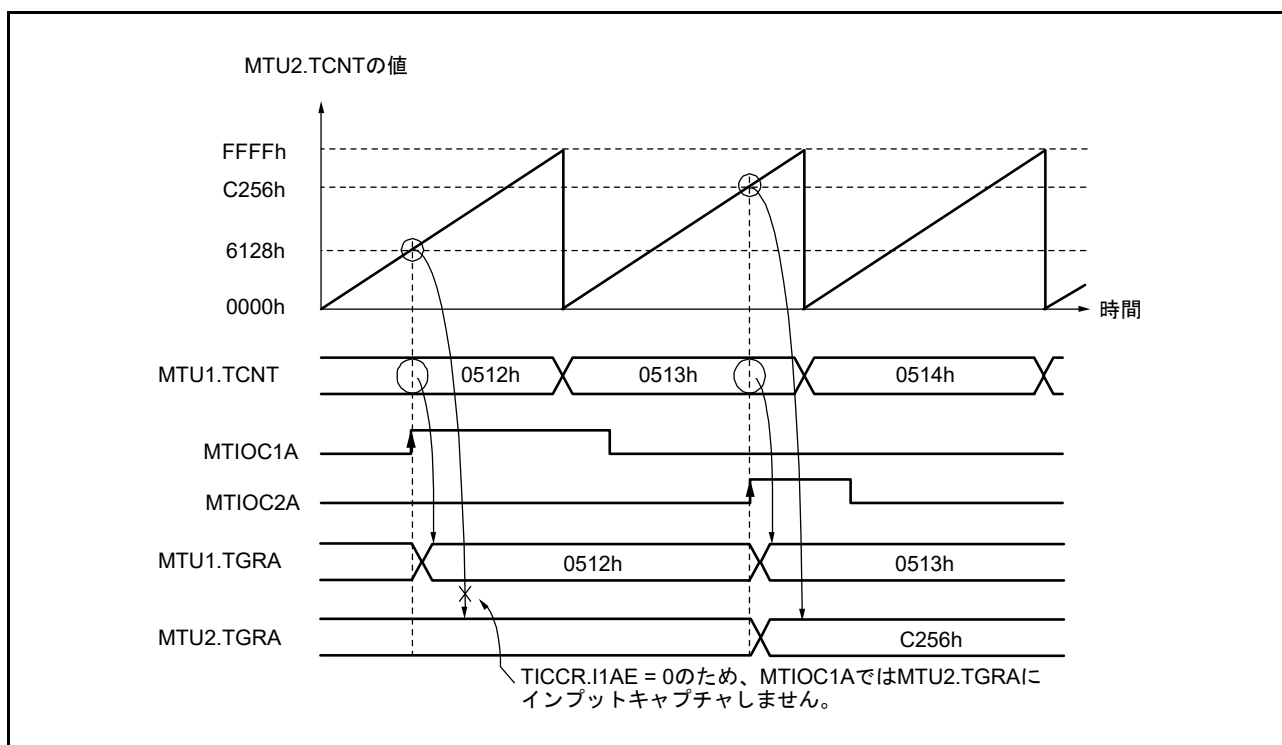


図 19.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA の入力キャプチャ条件に追加した場合の動作を図 19.23 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA の入力キャプチャ条件となります。

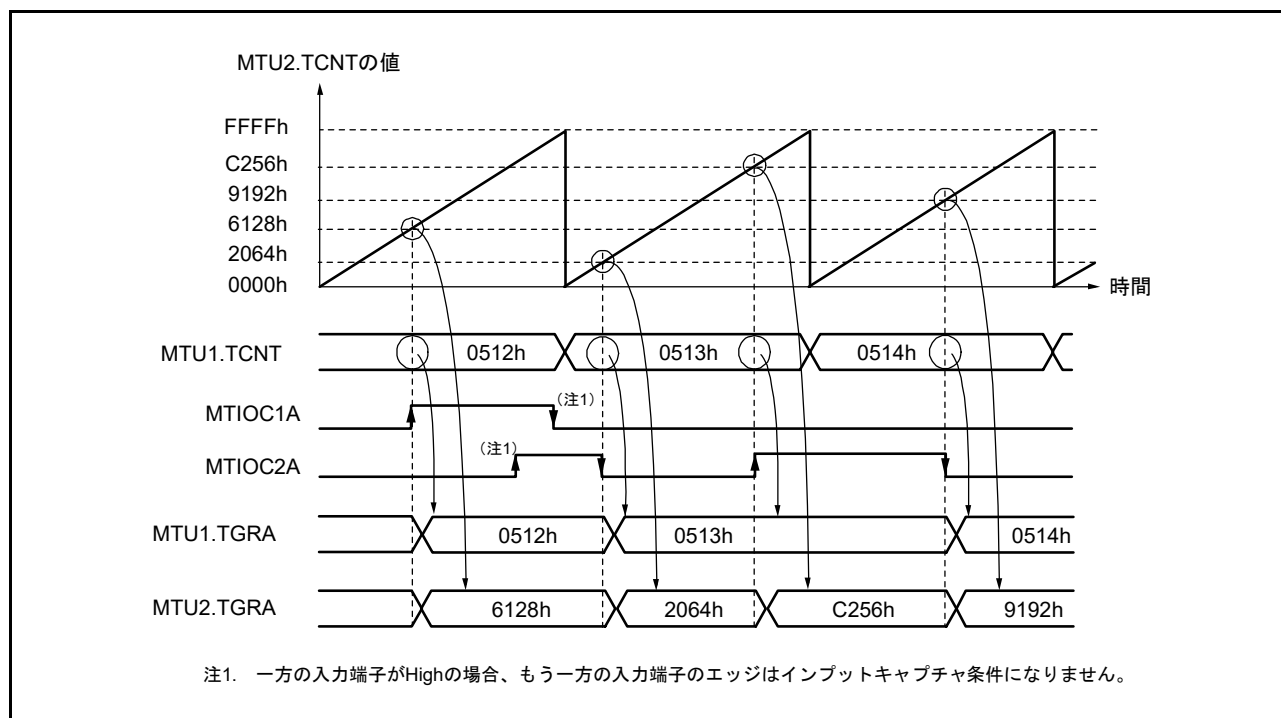


図 19.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 19.24 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、MTIOC2A の立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

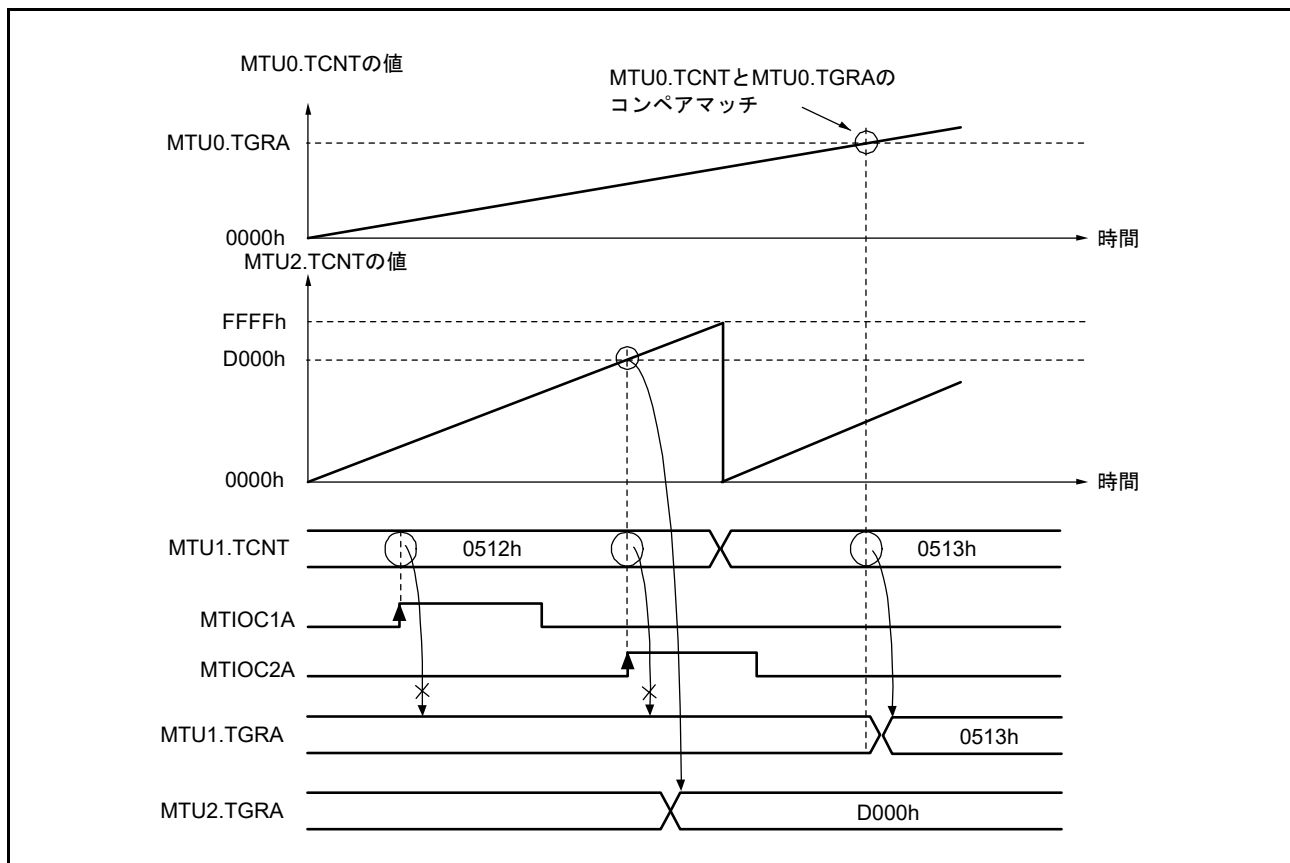


図 19.24 カスケード接続動作例 (d)

19.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。MTU5 を除くすべてのチャンネルは、個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOChA 端子、MTIOChC 端子から PWM 波形を出力します。MTIOChA 端子、MTIOChC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います (n = 0 ~ 4)。初期出力値は TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャンネルの同期クリアを同期動作として併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 19.49 に示します。

表 19.49 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子		
		PWMモード1	PWMモード2	
MTU0	TGRA	MTIOC0A	MTIOC0A	
	TGRB		MTIOC0B	
	TGRC	MTIOC0C	MTIOC0C	
	TGRD		MTIOC0D	
MTU1	TGRA	MTIOC1A	MTIOC1A	
	TGRB		MTIOC1B	
MTU2	TGRA	MTIOC2A	MTIOC2A	
	TGRB		MTIOC2B	
MTU3	TGRA	MTIOC3A	設定できません	
	TGRB			
	TGRC	MTIOC3C		
	TGRD			
MTU4	TGRA	MTIOC4A		
	TGRB			
	TGRC	MTIOC4C		
	TGRD			

注. PWM モード 2 のとき、周期を設定した TGR の PWM 波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 19.25 に示します。

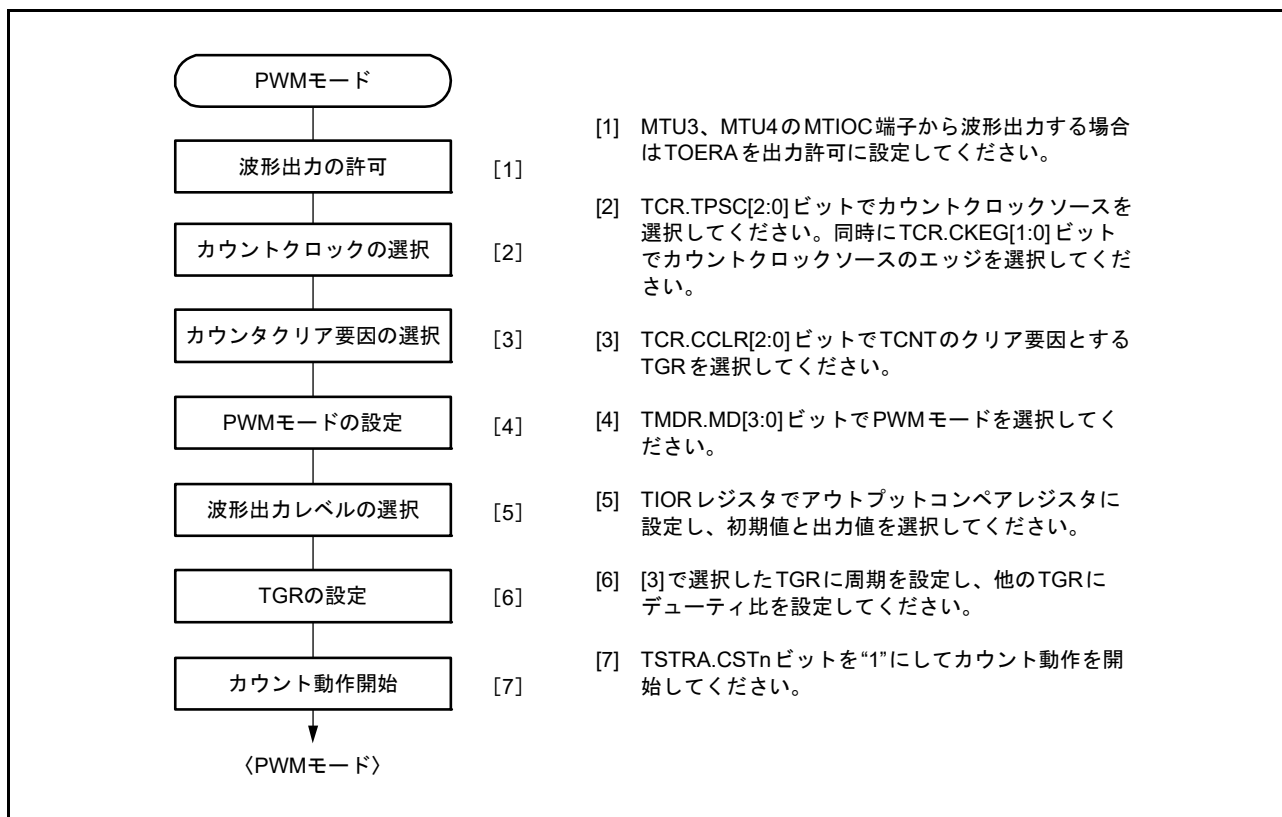


図 19.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 19.26 に示します。

この図は、TCNTのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TGRBレジスタの出力値を“1”にした場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティ比になります。

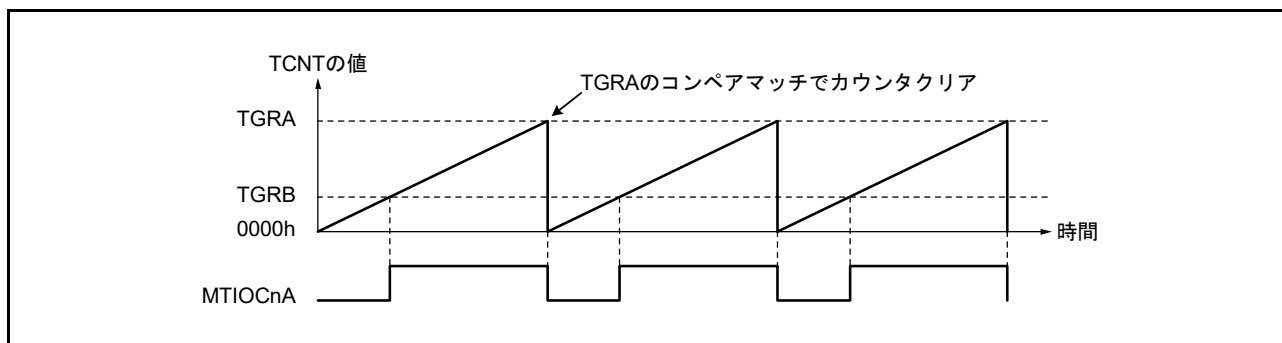


図 19.26 PWM モード1の動作例 (n = 0 ~ 4)

PWM モード2の動作例を図 19.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を Low、出力値を High にして 5 相の PWM 波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) に設定した値がデューティ比になります。

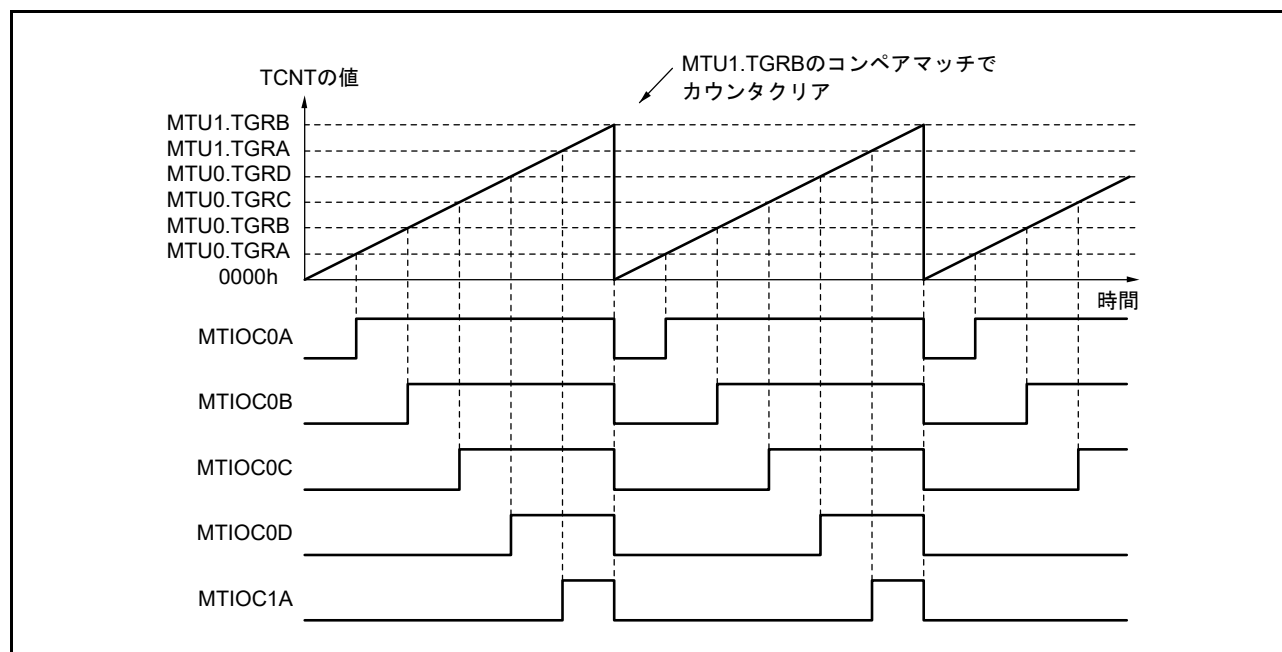


図 19.27 PWM モード2の動作例

PWM モード1で、デューティ比0%、デューティ比100%のPWM波形を出力する例を図19.28に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

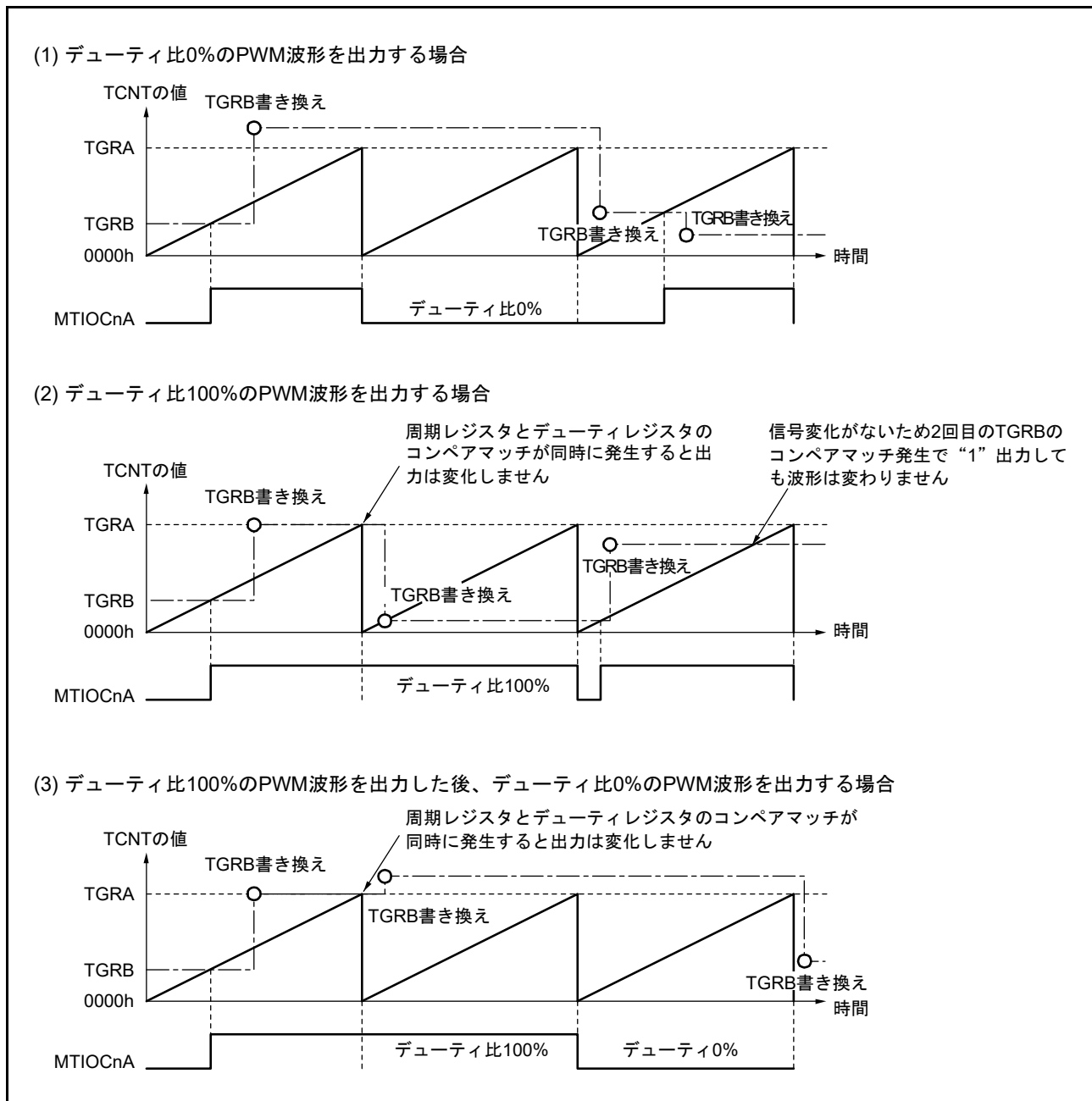


図 19.28 PWM モード動作例 (デューティ 0%、デューティ 100% の PWM 波形を出力する例)
($n = 0 \sim 4$)

19.3.6 位相計数モード

位相計数モードには MTU1 と MTU2 がそれぞれ独立に動作する 16 ビット位相計数モードと MTU1, MTU2 をカスケード接続したカスケード接続 32 ビット位相計数モードがあります。

位相計数モードでは 2 つの外部クロック入力の位相差を検出して、対応する TCNT をアップカウント / ダウンカウントします。

各位相計数モードでの 2 つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらず。MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モードの 2 つの外部クロック入力、MTU1.TMDR3.PHCKSEL で選択を行うことができます。MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モード以外の位相計数モードでは、A 相 / B 相に MTCLKA/MTCLKB が選択されます。位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を 2 相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を表 19.50 に示します。

表 19.50 位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSEL ビット	外部クロック端子	
		A相	B相
MTU1 16 ビット位相計数モード	x (Don't care)	MTCLKA	MTCLKB
MTU2 16 ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD
カスケード接続32 ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD

19.3.6.1 16 ビット位相計数モード

MTU1.TMDR3.LWA = 0 のとき、MTU1 と MTU2 には各々独立して 16 ビット位相計数モードが設定できます。

16 ビット位相計数モードでは、2 本の外部クロック入力の位相差を検出して対応するチャネルの 16 ビットカウンタ TCNT をアップカウント / ダウンカウントします。

16 ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらずカウンタクロックは外部クロックが選択され、TCNT はアップカウンタ / ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ / コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウントしているときにオーバフローが発生すると、対応する TIER.TCIEV ビットが“1”であれば、TCIV 割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応する TIER.TCIEU ビットが“1”であれば、TCIU 割り込みが発生します。

TSR.TCFD フラグはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

(1) 16ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 19.29 に示します。

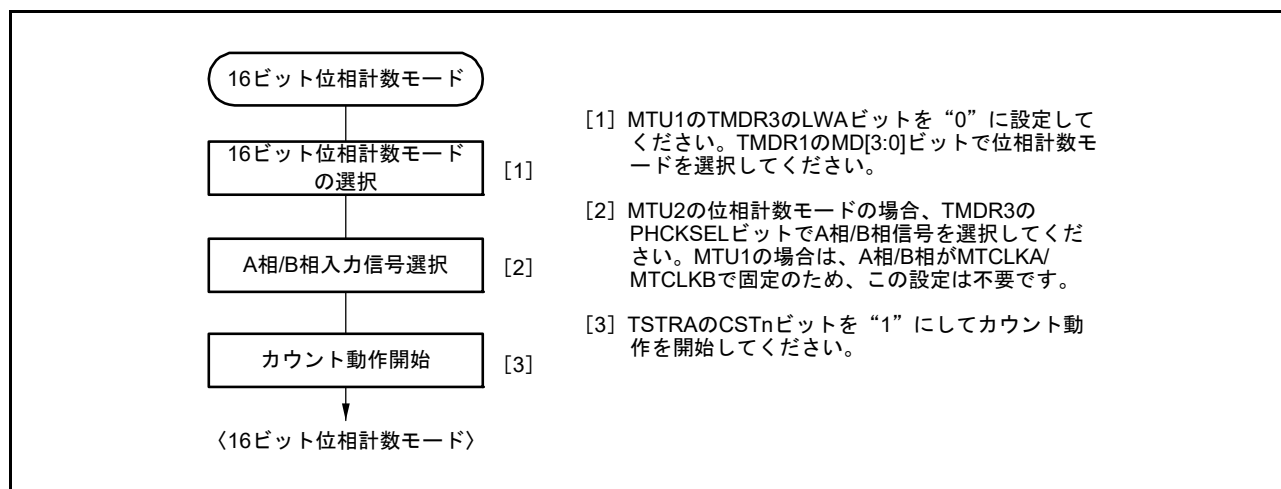


図 19.29 16ビット位相計数モードの設定手順例

(2) 16ビット位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップカウント/ダウンカウントします。なお、カウント条件により 5 つのモードがあり、各モードは PHCKSEL = 1 の条件で、つまり MTU1 の位相クロックは MTCLKA, MTCLKB から入力、MTU2 の位相クロックは MTCLKC, MTCLKD から入力として説明します。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 19.30 に、TCNT のアップカウント/ダウンカウント条件を表 19.51 に示します。

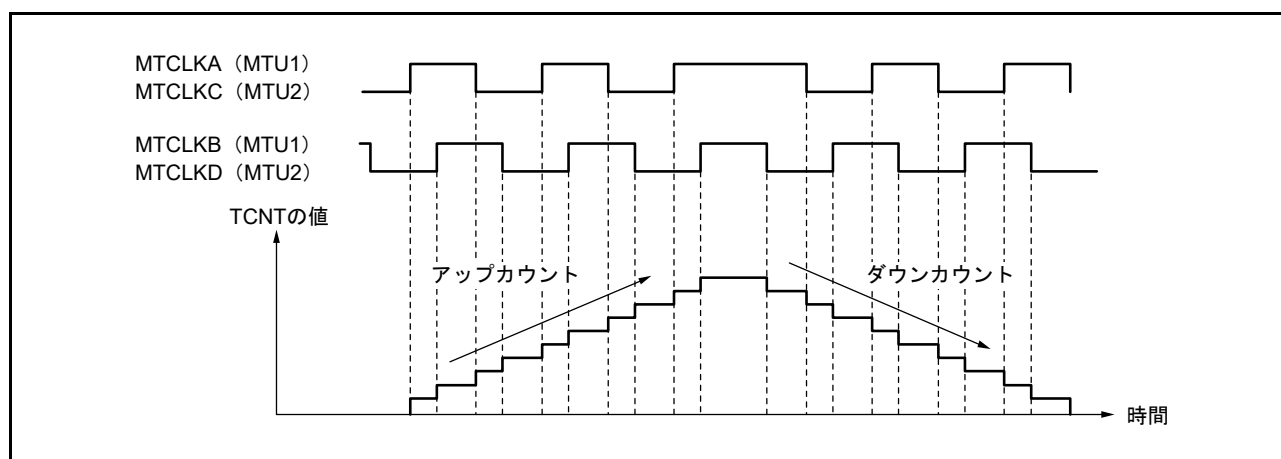


図 19.30 位相計数モード 1 の動作例

表 19.51 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		アップカウント
Low		
	Low	
	High	
High		ダウンカウント
Low		
	High	
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 19.31 ～図 19.33 に、TCNT のアップカウント / ダウンカウント条件を表 19.52 に示します。

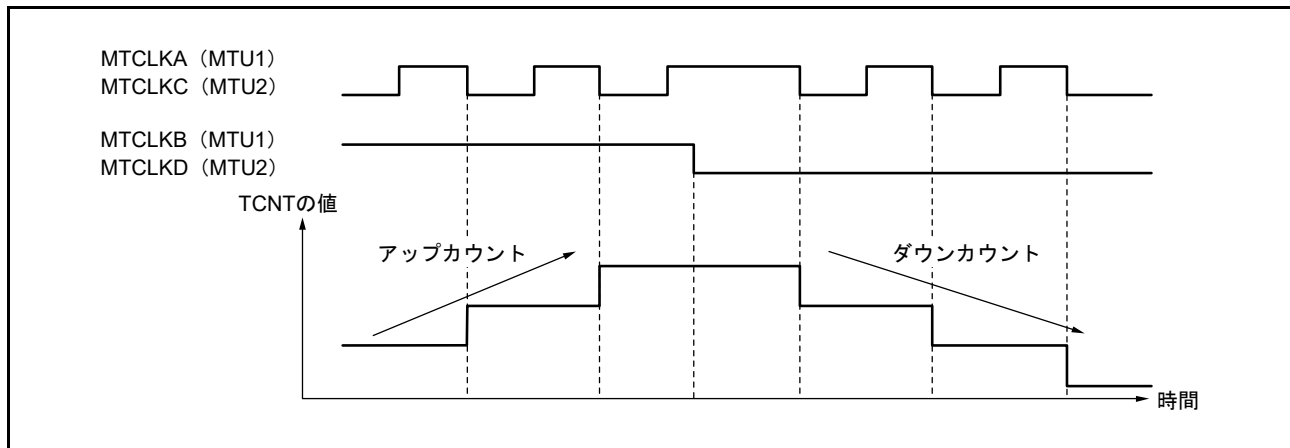


図 19.31 位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

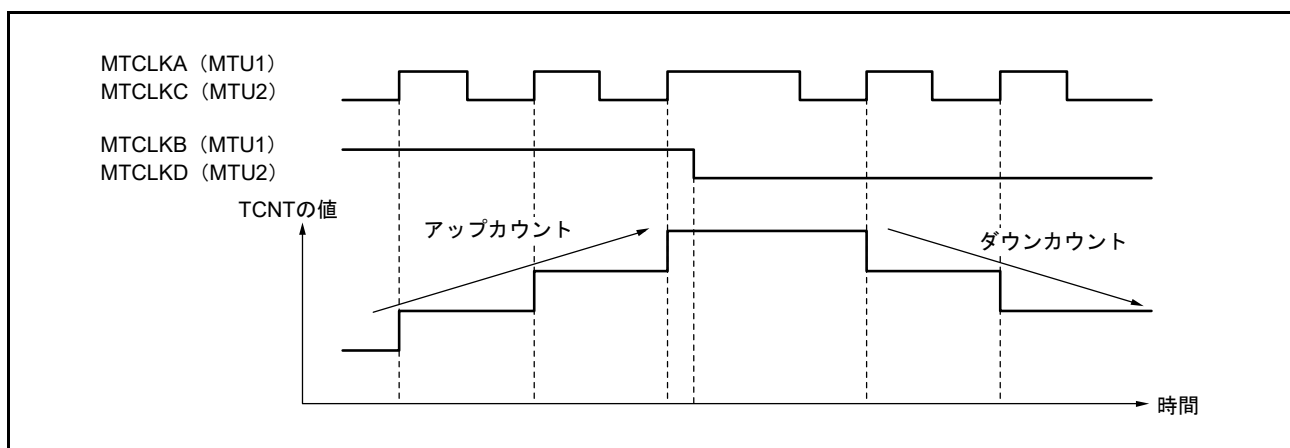


図 19.32 位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

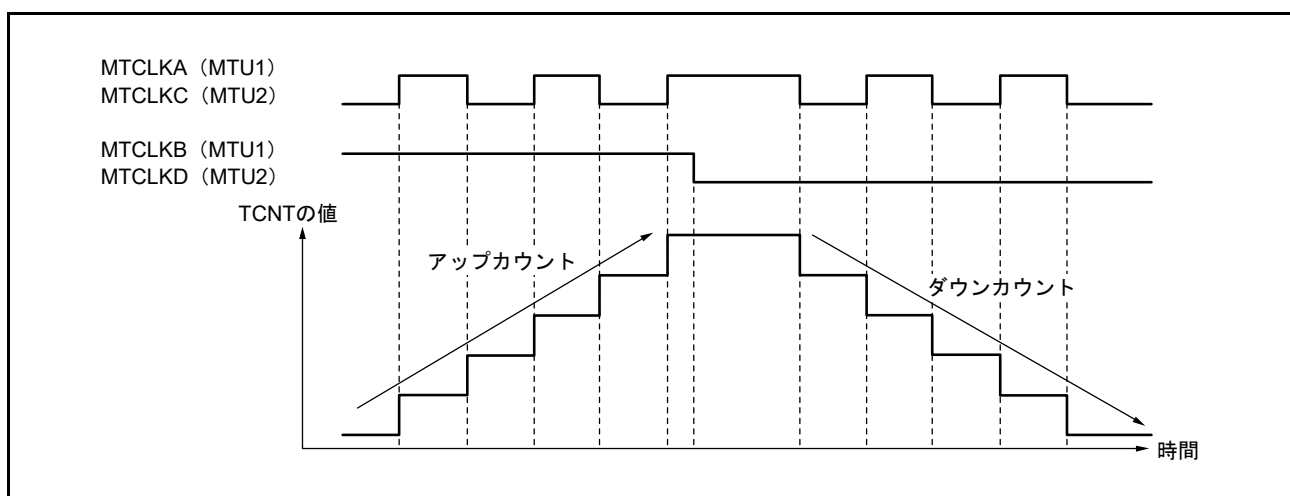


図 19.33 位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 19.52 位相計数モード2のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	ダウンカウント
		Low	
01	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	カウントしない (Don't care)
	High		
	Low		アップカウント
		High	
		Low	カウントしない (Don't care)
1x	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	アップカウント
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	ダウンカウント

: 立ち上がりエッジ: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図19.34～図19.36に、TCNTのアップカウント/ダウンカウント条件を表19.53に示します。

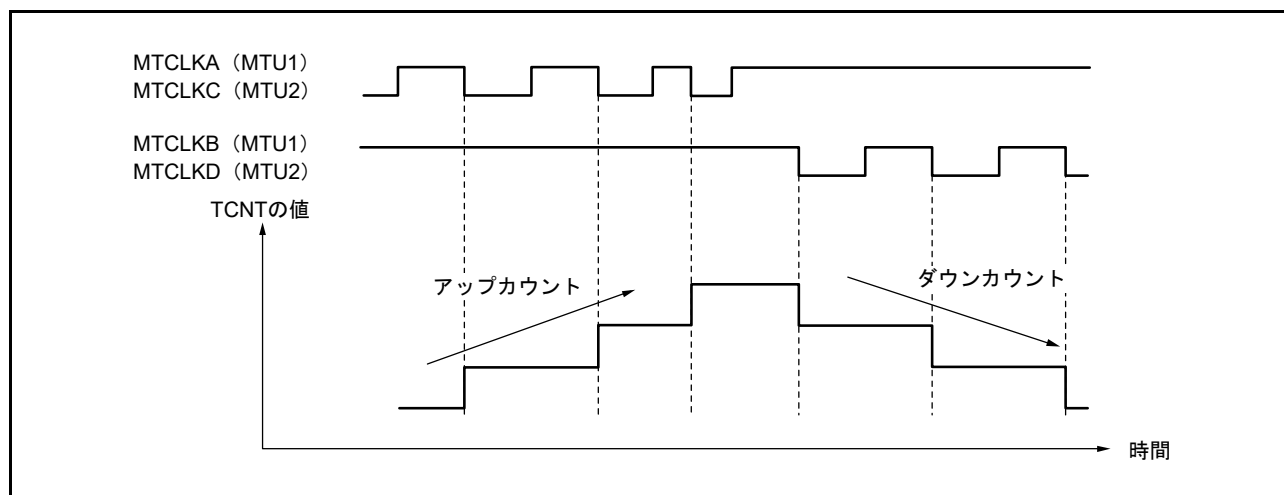


図 19.34 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

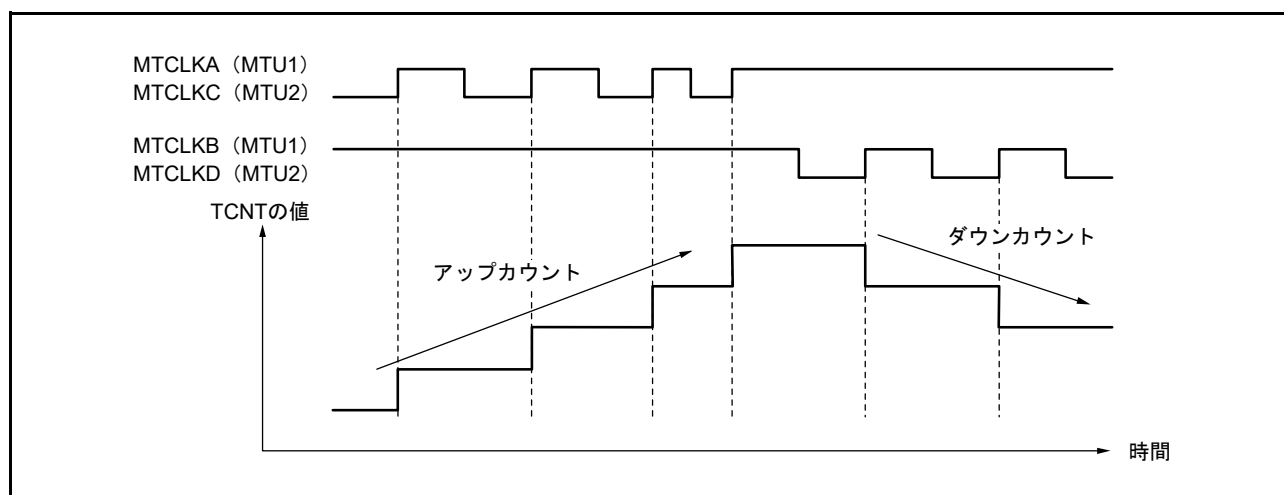


図 19.35 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

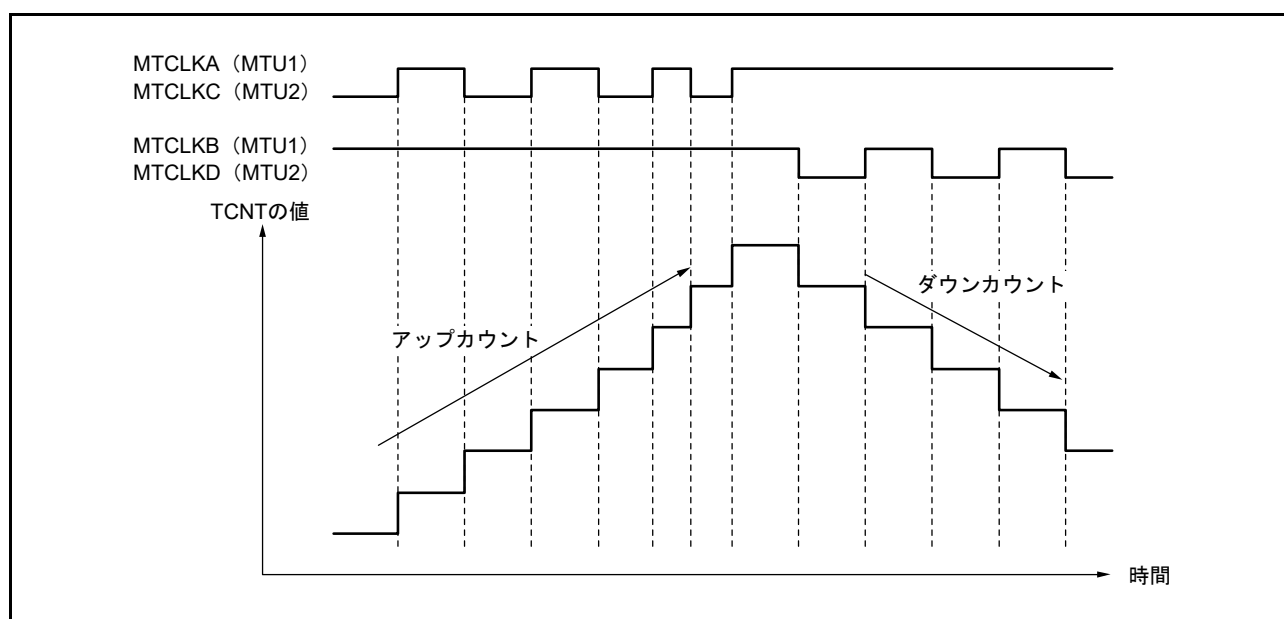


図 19.36 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 19.53 位相計数モード3のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	
01	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	
	High		
	Low		アップカウント
		High	
		Low	
1x	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	アップカウント
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	アップカウント

: 立ち上がりエッジ: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図19.37に、TCNTのアップカウント/ダウンカウント条件を表19.54に示します。

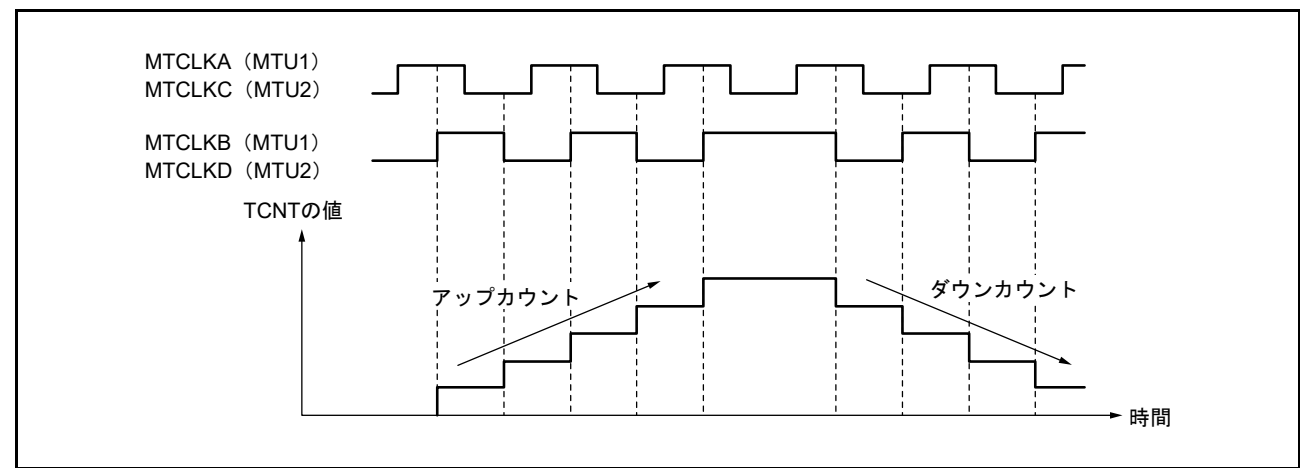


図 19.37 位相計数モード4の動作例

表 19.54 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High		アップカウント
Low		
	Low	カウントしない (Don't care)
	High	
High		ダウンカウント
Low		
	High	カウントしない (Don't care)
	Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(e) 位相計数モード5

位相計数モード5の動作例を図19.38、図19.39に、TCNTのアップカウント/ダウンカウント条件を表19.55に示します。

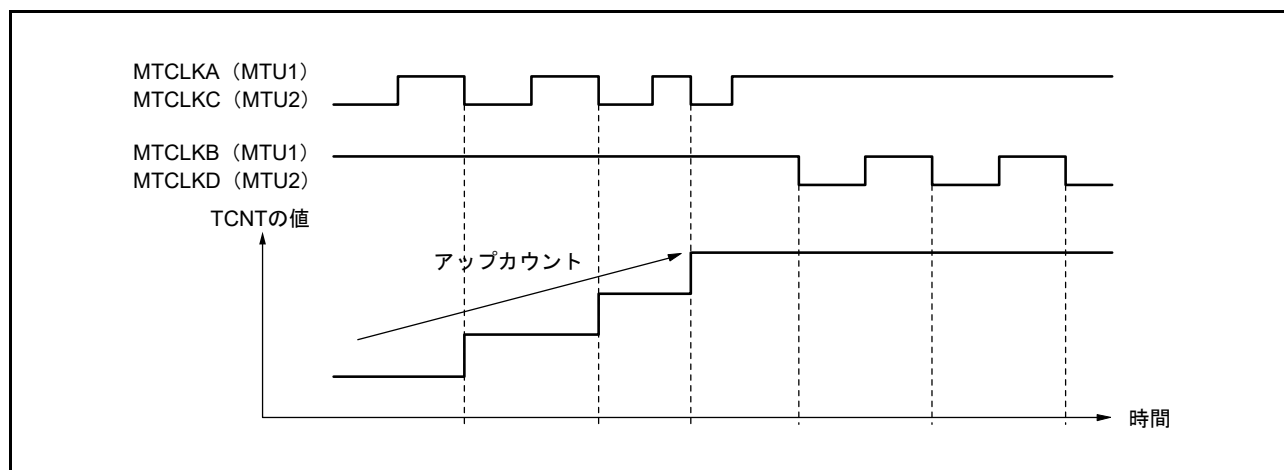


図 19.38 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0] = 0xb のとき (n = 1, 2))

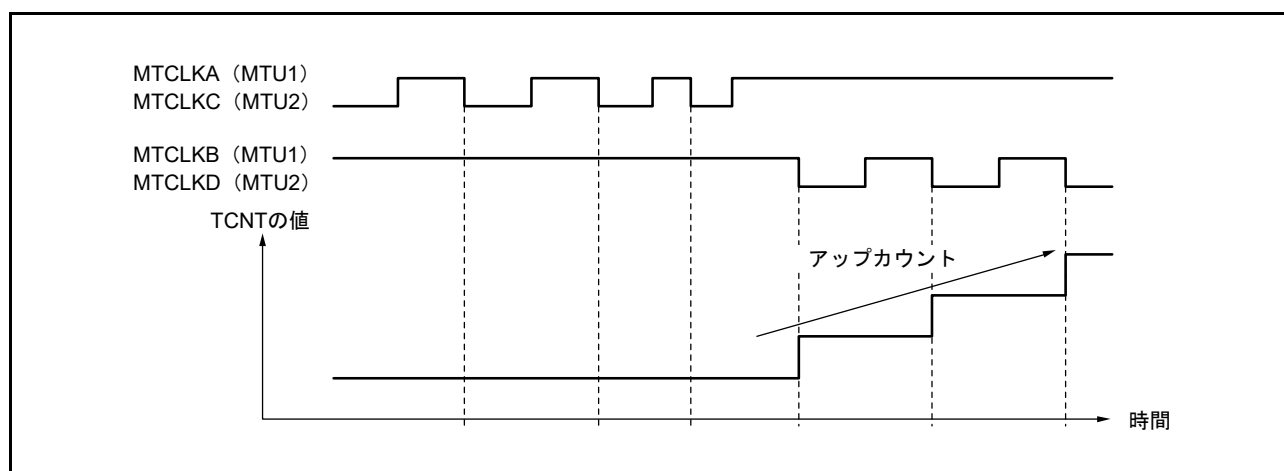


図 19.39 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 19.55 位相計数モード5のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
0x	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	
1x	High		カウントしない (Don't care)
	Low		アップカウント
		Low	カウントしない (Don't care)
		High	
	High		アップカウント
	Low		カウントしない (Don't care)
		High	
		Low	

: 立ち上がりエッジ: 立ち下がりエッジ

(3) 16 ビット位相計数モード応用例

MTU1 を位相計数モードに設定し、MTU0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 19.40 に示します。

MTU1 は位相計数モード 1 に設定し、MTCLKA と MTCLKB にエンコーダパルスの A 相、B 相を入力します。

MTU0 は TCNT を MTU0.TGRC のコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRA と MTU0.TGRC はコンペアマッチ機能で使用する、速度制御周期と位置制御周期を設定します。MTU0.TGRB はインプットキャプチャ機能で使用する、MTU0.TGRB と MTU0.TGRD をバッファ動作させます。MTU0.TGRB のインプットキャプチャ要因は、MTU1 のカウントクロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

MTU1 の MTU1.TGRA と MTU1.TGRB は、インプットキャプチャ機能に設定し、インプットキャプチャ要因は MTU0 の MTU0.TGRA と MTU0.TGRC のコンペアマッチを選択し、それぞれの制御周期時のアップ / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

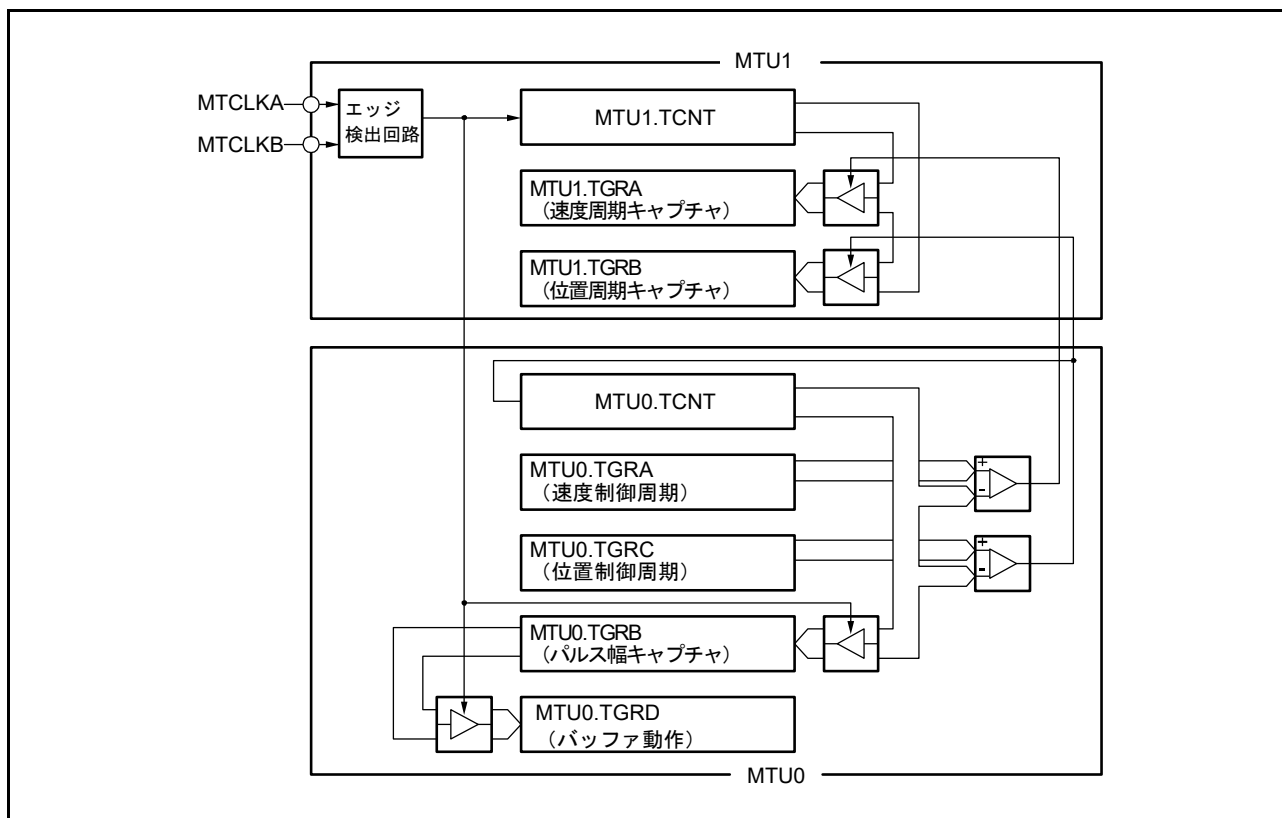


図 19.40 16 ビット位相計数モードの応用例

19.3.6.2 カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA = 1 で MTU1 に位相計数モードを設定した場合、MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、図 19.41 を参照してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、「19.3.4 カスケード接続動作」を参照してください。

(1) カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を図 19.41 に示します。

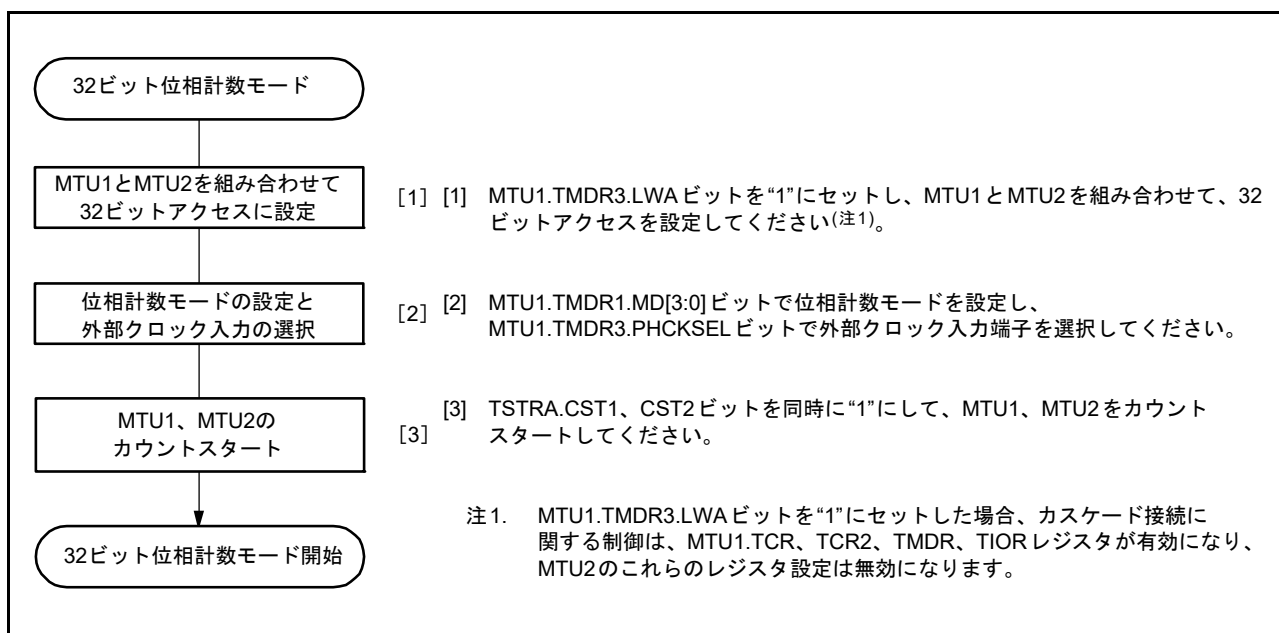


図 19.41 カスケード接続 32 ビット位相計数モード設定手順

19.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 3 相、合計 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3（MTU3.TCNT）はアップカウンタとして機能します。

使用される PWM 出力端子を表 19.56 に、使用するレジスタの設定を表 19.57 に示します。

表 19.56 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1'（PWM出力1の逆相波形）
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2'（PWM出力2の逆相波形）
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3'（PWM出力3の逆相波形）

表 19.57 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h"を初期設定
MTU4.TCNT	"0000h"を初期設定
MTU3.TGRA	MTU3.TCNTのカウンタ周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 19.42 に示します。

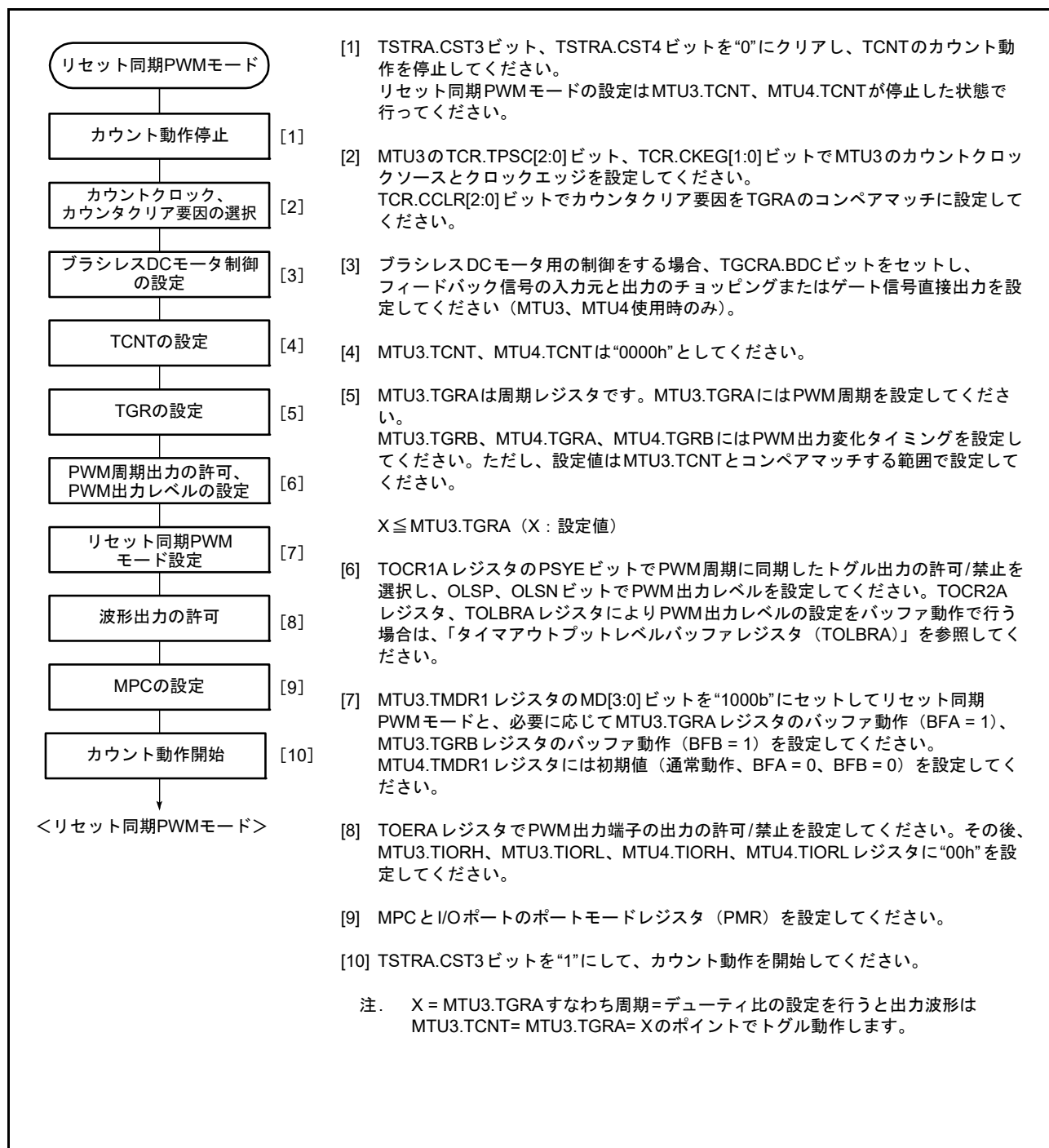


図 19.42 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 19.43 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT はアップカウンタとして動作します。MTU3.TCNT が MTU3.TGRA とコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

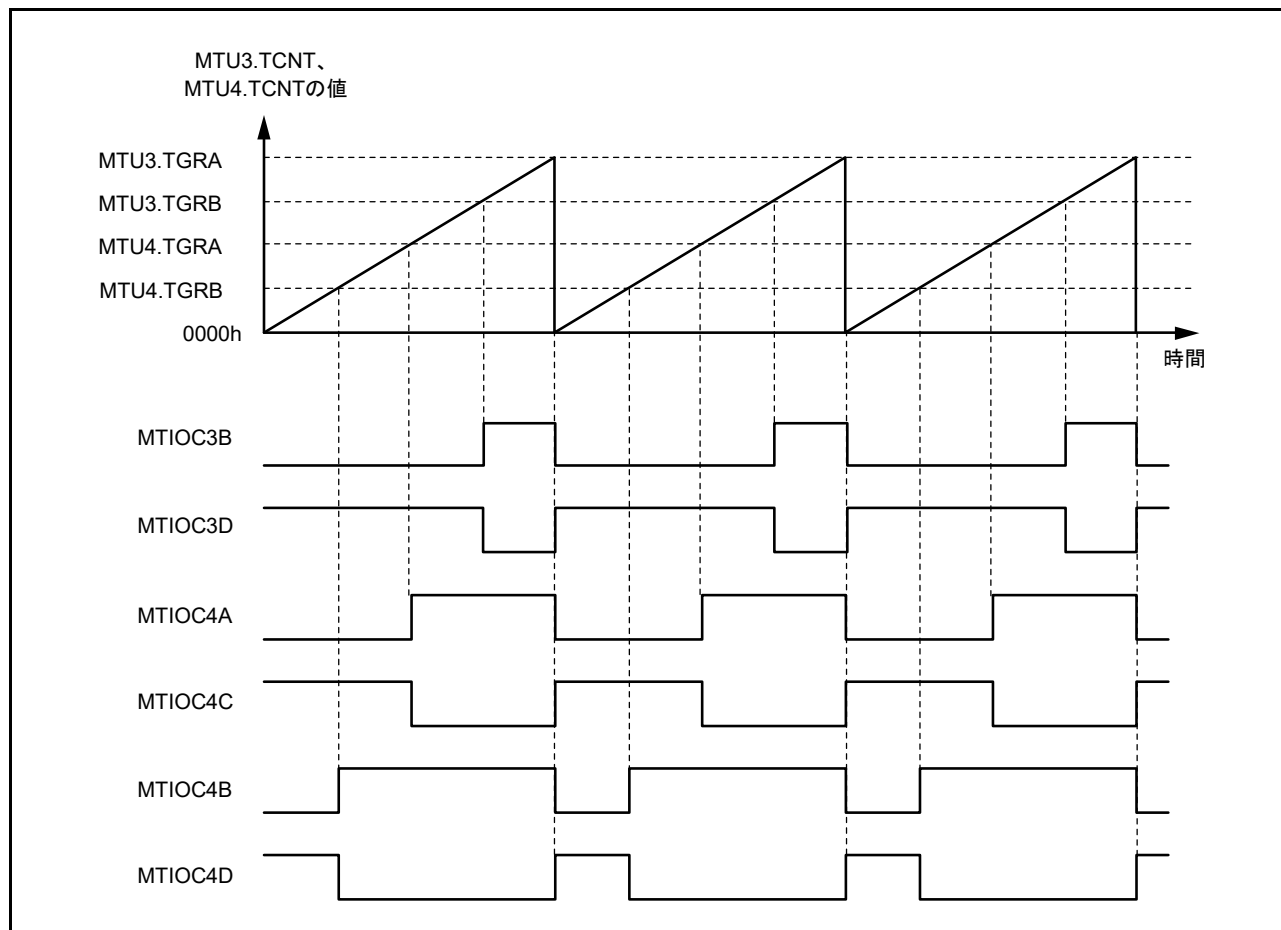


図 19.43 リセット同期 PWM モードの動作例
(MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

19.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 3 相、合計 6 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 19.58 に、使用するレジスタの設定を表 19.59 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 19.58 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート (注1)
	MTIOC3D	PWM 出力端子 1' (PWM 出力 1 の逆相波形出力)
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2' (PWM 出力 2 の逆相波形出力)
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3' (PWM 出力 3 の逆相波形出力)

注 1. MTIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 19.59 相補 PWM モード時のレジスタ設定 (1/2)

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERA レジスタの設定によりマスク可能 (注1)
	TGRA	MTU3.TCNT の上限値を設定 (キャリア周期の 1/2 + デッドタイム)	TRWERA レジスタの設定によりマスク可能 (注1)
	TGRB	PWM 出力 1 のコンペアレジスタ	TRWERA レジスタの設定によりマスク可能 (注1)
	TGRC	MTU3.TGRA のバッファレジスタ	読み出し / 書き込み可能
	TGRD	PWM 出力 1 / MTU3.TGRB のバッファレジスタ	読み出し / 書き込み可能
	TGRE	MTU3.TGRB のバッファレジスタ B (ダブルバッファ機能使用時)	読み出し / 書き込み可能
MTU4	TCNT	"0000h" を初期設定しカウントアップスタート	TRWERA レジスタの設定によりマスク可能 (注1)
	TGRA	PWM 出力 2 のコンペアレジスタ	TRWERA レジスタの設定によりマスク可能 (注1)
	TGRB	PWM 出力 3 のコンペアレジスタ	TRWERA レジスタの設定によりマスク可能 (注1)
	TGRC	PWM 出力 2 / MTU4.TGRA のバッファレジスタ	読み出し / 書き込み可能
	TGRD	PWM 出力 3 / MTU4.TGRB のバッファレジスタ	読み出し / 書き込み可能
	TGRE	MTU4.TGRA のバッファレジスタ B (ダブルバッファ機能使用時)	読み出し / 書き込み可能
	TGRF	MTU4.TGRB のバッファレジスタ B (ダブルバッファ機能使用時)	読み出し / 書き込み可能

注 1. TRWERA レジスタ (タイマリードライトイネーブルレジスタ A) の設定によりアクセスの許可 / 禁止が可能です。

表 19.60 相補PWMモード時のレジスタ設定 (2/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
タイマデッドタイムデータ レジスタ A (TDDRA)		MTU4.TCNTとMTU3.TCNTのオフセット値（デッドタイムの値）を設定	TRWERAの設定によりマスク可能(注1)
タイマ周期データレジスタ A (TCDRA)		MTU4.TCNTの上限値の値を設定（キャリア周期の1/2）	TRWERAの設定によりマスク可能(注1)
タイマ周期バッファレジスタ A (TCBRA)		TCDRAのバッファレジスタ	読み出し/書き込み可能
サブカウンタ A (TCNTSA)		デッドタイム生成のためのサブカウンタ A	読み出しのみ可能
テンポラリレジスタ 1A (TEMP1A)		PWM出力1/MTU3.TGRBのテンポラリレジスタ A	読み出し/書き込み不可能
テンポラリレジスタ 1B (TEMP1B)		PWM出力1/MTU3.TGRBのテンポラリレジスタ B（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ 2A (TEMP2A)		PWM出力2/MTU4.TGRAのテンポラリレジスタ A	読み出し/書き込み不可能
テンポラリレジスタ 2B (TEMP2B)		PWM出力2/MTU4.TGRAのテンポラリレジスタ B（ダブルバッファ機能使用時）	読み出し/書き込み不可能
テンポラリレジスタ 3A (TEMP3A)		PWM出力3/MTU4.TGRBのテンポラリレジスタ A	読み出し/書き込み不可能
テンポラリレジスタ 3B (TEMP3B)		PWM出力3/MTU4.TGRBのテンポラリレジスタ B（ダブルバッファ機能使用時）	読み出し/書き込み不可能

注1. TRWERAレジスタ（タイマリードライトイネーブルレジスタA）の設定によりアクセスの許可/禁止が可能です。

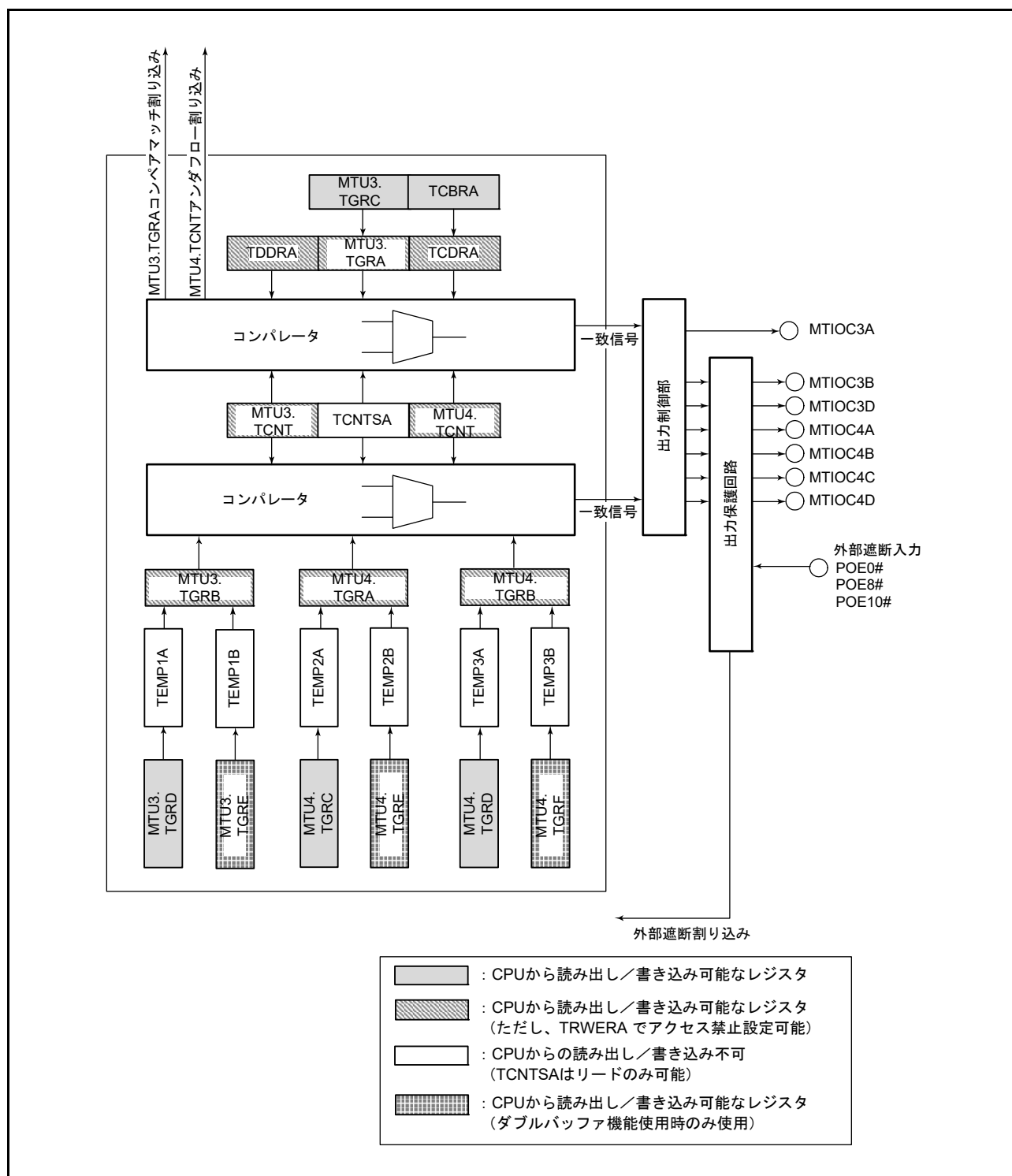


図 19.44 相補 PWM モード時の MTU3、MTU4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 19.45 に示します。

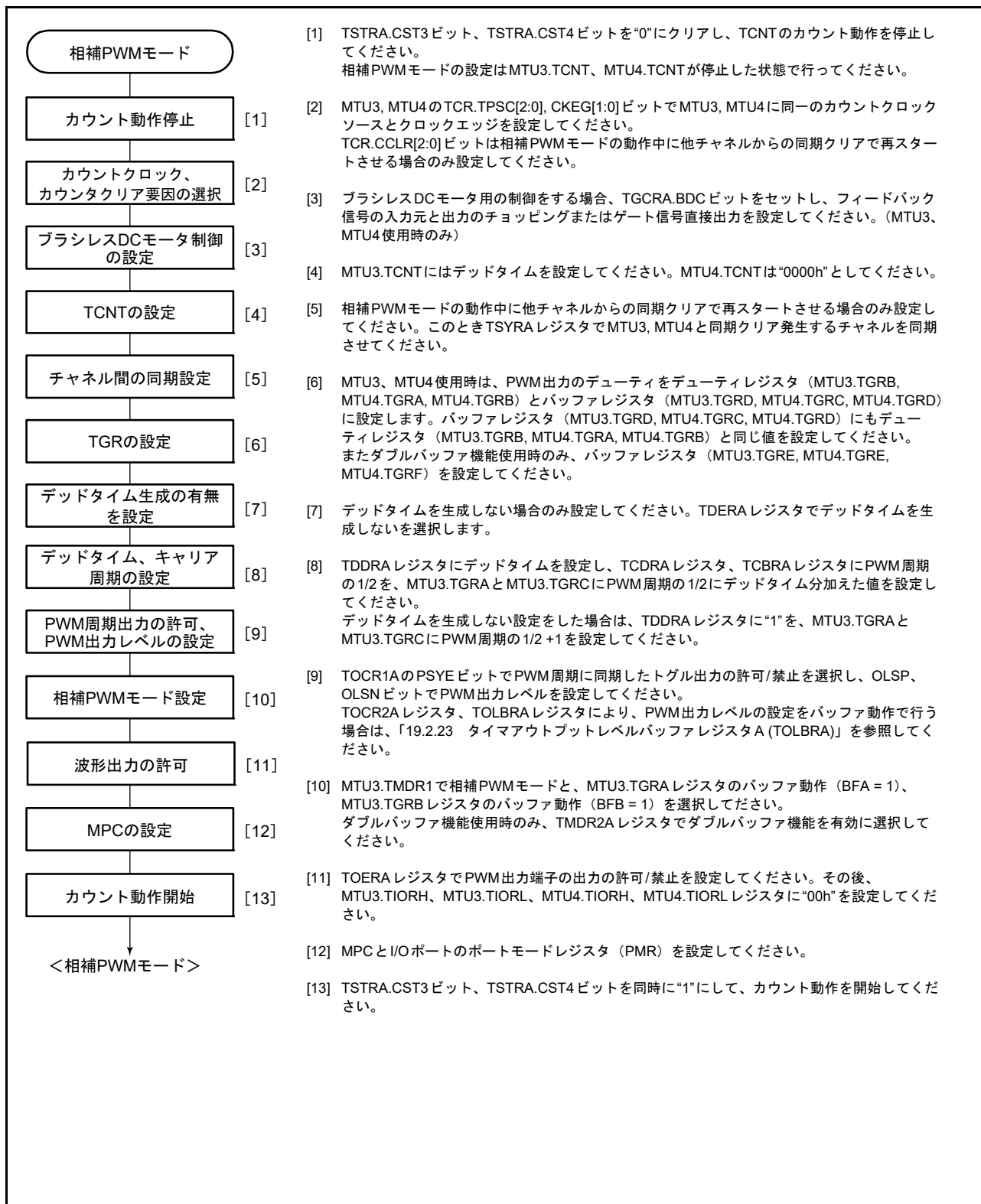


図 19.45 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6 相（正相 3 本、逆相 3 本）の PWM 出力が可能です。図 19.46 に相補 PWM モードのカウンタの動作 (MTU3, MTU4) を示します。図 19.47 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA レジスタの 3 本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT は、相補 PWM モードに設定され TSTRA の CST3 ビットが“0”のとき、TDDRA に設定された値が自動的に初期値として設定されます。CST3 ビットが“1”になると、MTU3.TGRA に設定された値までアップカウント動作を行い、MTU3.TGRA と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT が“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT には、初期値として“0000h”を設定します。CST4 ビットが“1”に設定されると、MTU3.TCNT に同期して動作しアップカウントを行い、MTU3.TCNT が MTU3.TGRA と一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT がアップカウント時、MTU3.TCNT が TCDRA と一致するとダウンカウントを開始し、MTU3.TCNT が MTU3.TGRA と一致するとアップカウントに切り替わります。

また、MTU4.TCNT と TDDRA が一致すると TCNTSA は MTU3.TGRA の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT がダウンカウント時、MTU4.TCNT が TDDRA と一致するとアップカウントを開始し、MTU4.TCNT が“0000h”と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT と TCDRA が一致すると TCNTSA は“0000h”になり、カウントを停止します。

TCNTSA は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

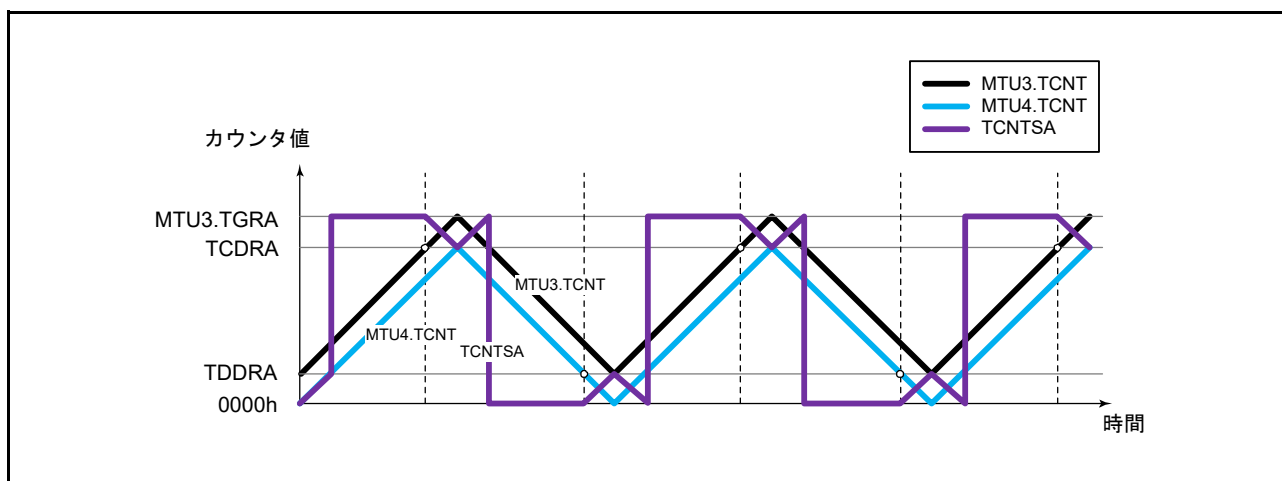


図 19.46 相補 PWM モードのカウンタ動作 (MTU3, MTU4)

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用して、PWM 出力のデューティ制御を行います。図 19.47 に相補 PWM モードの動作例 (MTU3, MTU4) を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR1A) の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF も使用されます。動作の詳細は「19.3.8 (2) (r) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し / 書き込みが可能です。

バッファレジスタのデータを書き替える場合は、最後に MTU4.TGRD への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA レジスタ、MTU3.TGRC レジスタからテンポラリレジスタへの転送も許可されます。転送は 5 本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTSA がアップカウント時に MTU3.TGRA と一致したとき)、または Tb2 区間が終了したとき (TCNTSA がダウンカウント時に “0000h” と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択できます。図 19.47 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 19.47 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

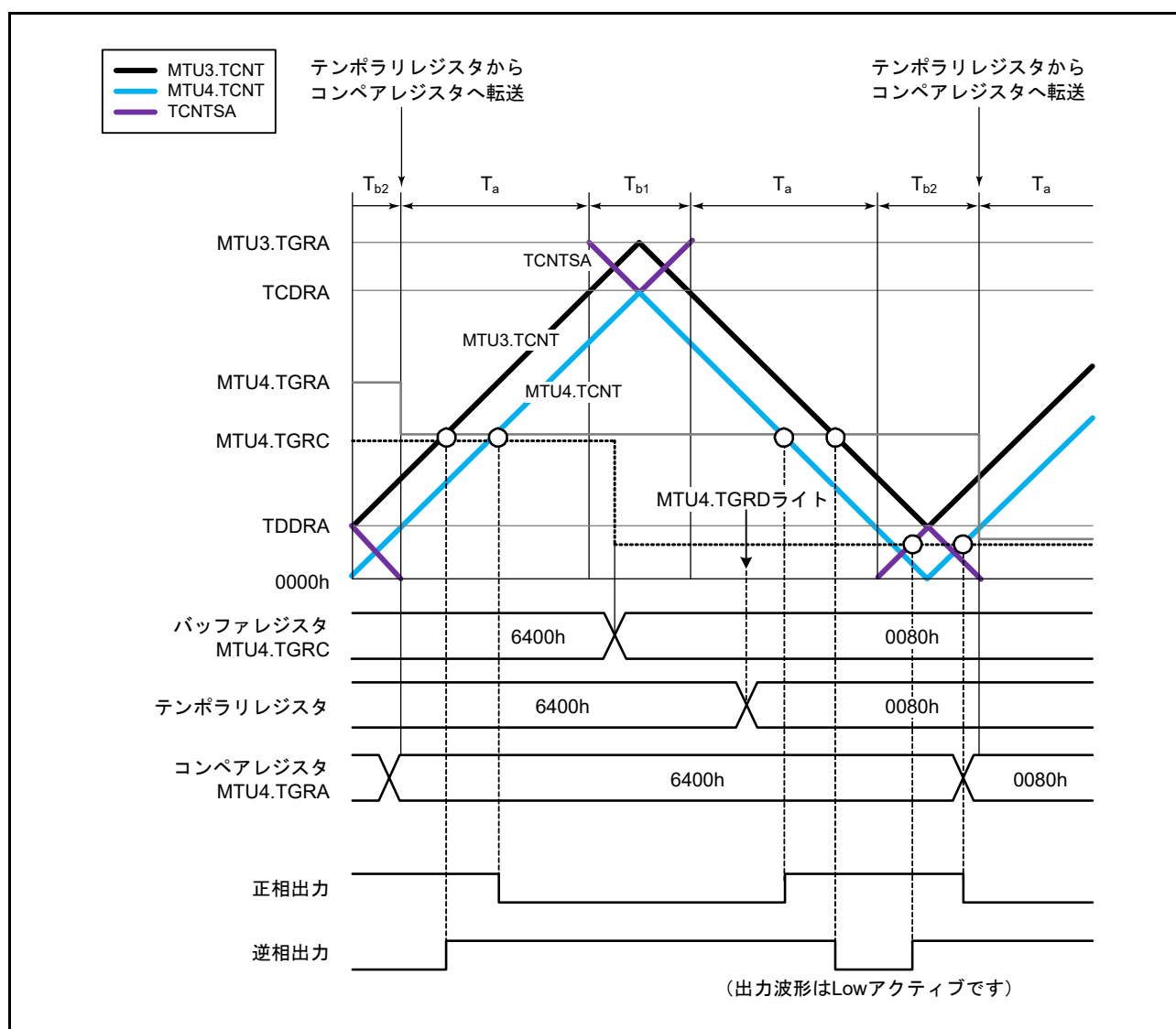


図 19.47 相補 PWM モード動作例 (MTU3, MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが 9 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A レジスタは、PWM 出力レベルを設定します。MTU3.TGRC は MTU3.TGRA のバッファレジスタとして動作し、PWM 周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBRA) は、タイマ周期データレジスタ (TCDRA) のバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDRA) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDERA) の TDER ビットを“0”にし、MTU3.TGRC、MTU3.TGRA には、PWM キャリア周期の $1/2 + 1$ を、TDDRA を“1”にします。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD) の 3 本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF) の 3 本は、ダブルバッファ機能使用時のみ設定します。

TDDRA を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT は、相補 PWM モードに設定する前に“0000h”にしてください。

表 19.61 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TOCR1A, TOCR2A	PWM 出力レベルを設定
MTU3.TGRC	PWM 周期の $1/2 + \text{デッドタイム } T_d$ TDERA でデッドタイム生成をなしに設定した場合は PWM 周期の $1/2 + 1$)
TDDRA	デッドタイム T_d (TDERA でデッドタイム生成をなしに設定した場合“1”)
TCBRA	PWM 周期の $1/2$
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD	各相の PWM デューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF	各相の PWM デューティ比の初期値 (ダブルバッファ機能使用時のみ)
MTU4.TCNT	“0000h”

注. MTU3.TGRC の設定値は、TCBRA に設定する PWM 周期の $1/2$ の値と TDDRA に設定するデッドタイム T_d の値の和としてください。ただし、TDERA レジスタでデッドタイム生成をなしに設定した場合は、PWM 周期の $1/2 + 1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1A) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2A) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定 / 変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ (TDDRA) に設定します。TDDRA に設定した値が、MTU3.TCNT のカウンタスタート値となり、MTU3.TCNT と MTU4.TCNT のノンオーバーラップを生成します。TDDRA の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDERA) の TDER ビットを“0”にします。TDERA は、TDER ビット=1 の状態で TDER ビットを読んだ後、TDER ビットに“0”を書いたときのみ、“0”にできます。

MTU3.TGRA、MTU3.TGRC には PWM 周期の $1/2 + 1$ を設定し、タイマデッドタイムデータレジスタ (TDDRA) を“1”にします。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。図 19.48 にデッドタイムを生成しない場合の動作例 (MTU3, MTU4) を示します。

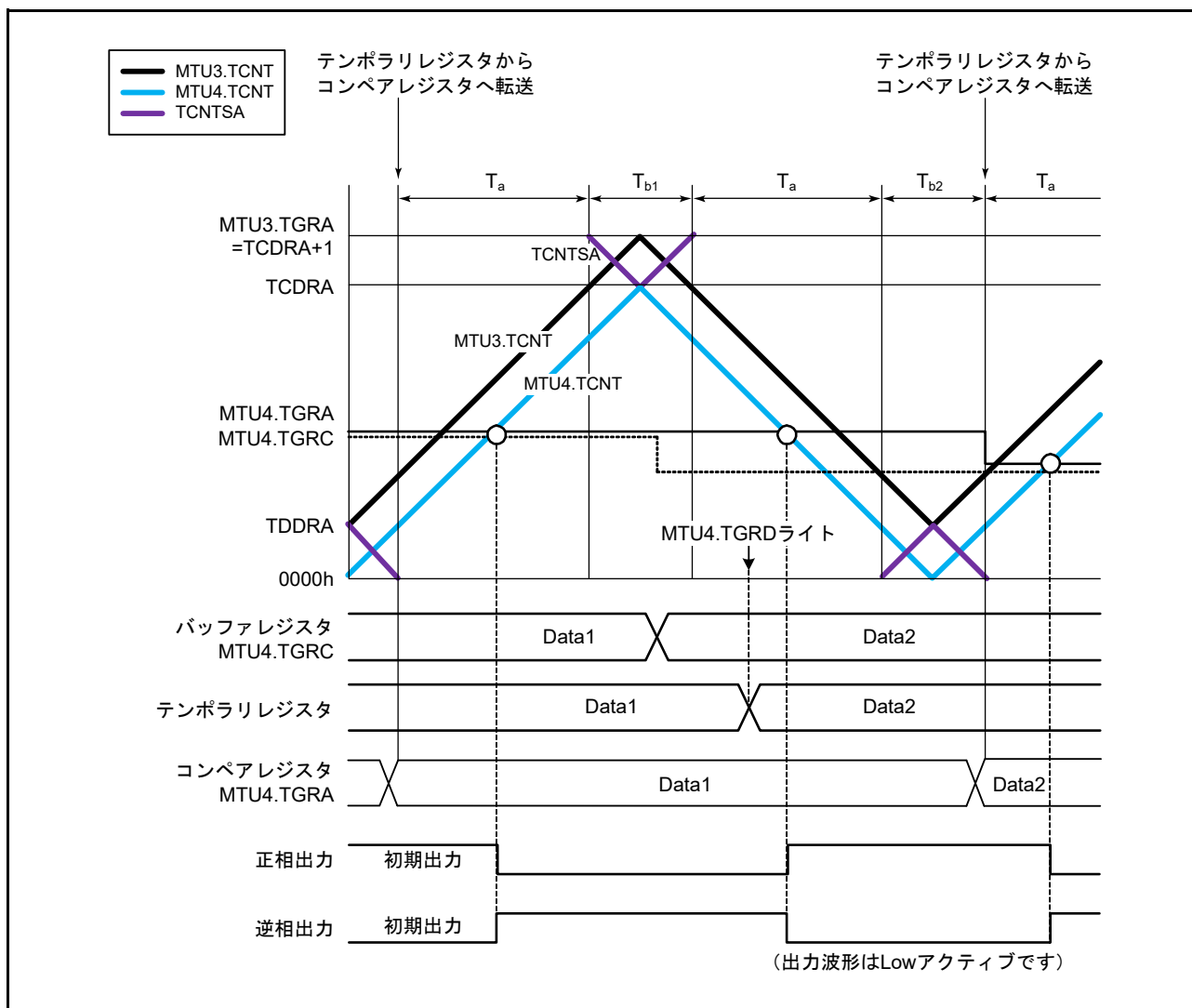


図 19.48 デッドタイムを生成しない場合の動作例 (MTU3, MTU4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT の上限値を設定する MTU3.TGRA と MTU4.TCNT の上限値を設定する TCDRA の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : $\text{MTU3.TGRA の設定値} = \text{TCDRA の設定値} + \text{TDDRA の設定値}$

デッドタイム生成なし : $\text{MTU3.TGRA の設定値} = \text{TCDRA の設定値} + 1$

また、TCDRA レジスタと TDDRA レジスタの関係が、次の関係になるように設定してください。

$\text{TCDRA の設定値} > \text{TDDRA の設定値} \times 2 + 2$

また、MTU3.TGRA、TCDRA の設定は、バッファレジスタの MTU3.TGRC、TCBRA に値を設定することで行ってください。MTU4.TGRD への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA に設定した値は、MTU3.TMDR1.MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA、TCDRA に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 19.49 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次項の「(h) レジスタデータの更新」を参照してください。

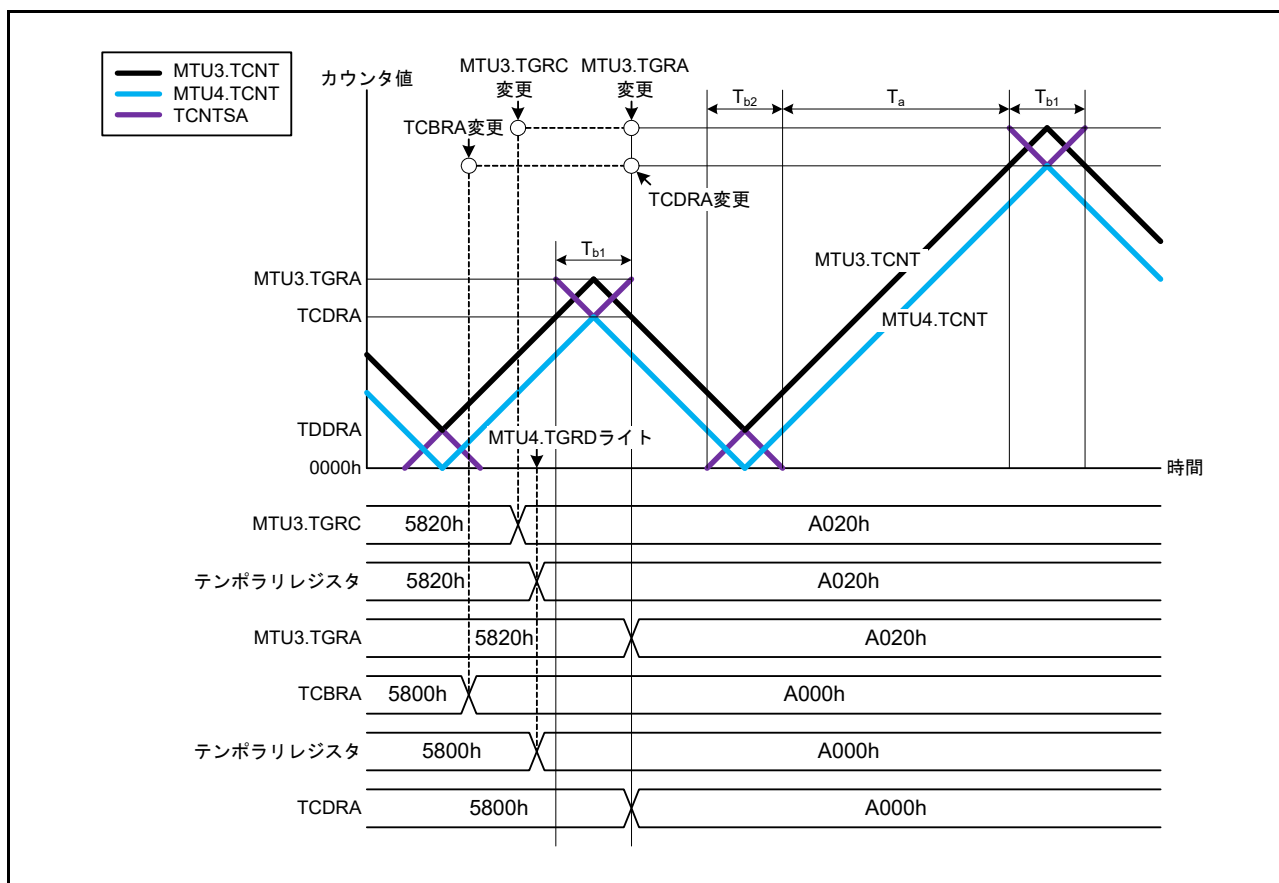


図 19.49 PWM 周期の変更例 (MTU3, MTU4)

(h) レジスタデータの更新

相補 PWM モードで、PWM デューティ用および PWM 周期用のコンペアレジスタ（5 本）のデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 19.50 に相補 PWM モード時のデータ更新例（MTU3、MTU4）を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD に書き込み動作を行ってください。またこのとき、MTU4.TGRD に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「19.3.8 (2) (r) 相補 PWM モードのダブルバッファ機能」を参照してください。

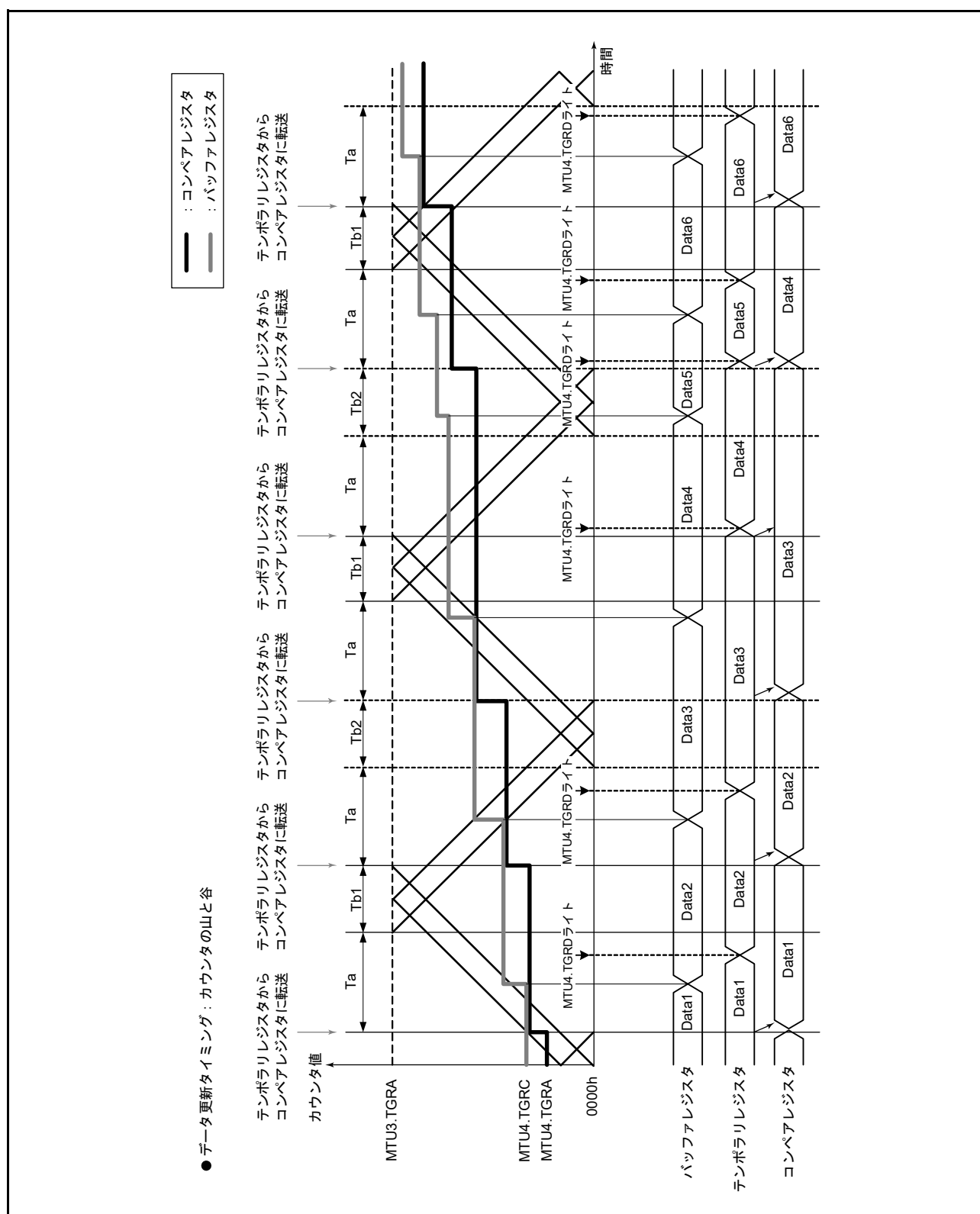


図 19.50 相補 PWM モードのデータ更新例 (MTU3, MTU4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A レジスタの OLSN、OLSP ビットの設定または、TOCR2A レジスタの OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1 で相補 PWM モードを設定してから MTU4.TCNT が TDDRA レジスタに設定された値より大きくなるまで出力されます。図 19.51 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA の値より小さい場合の波形例を図 19.52 に示します。

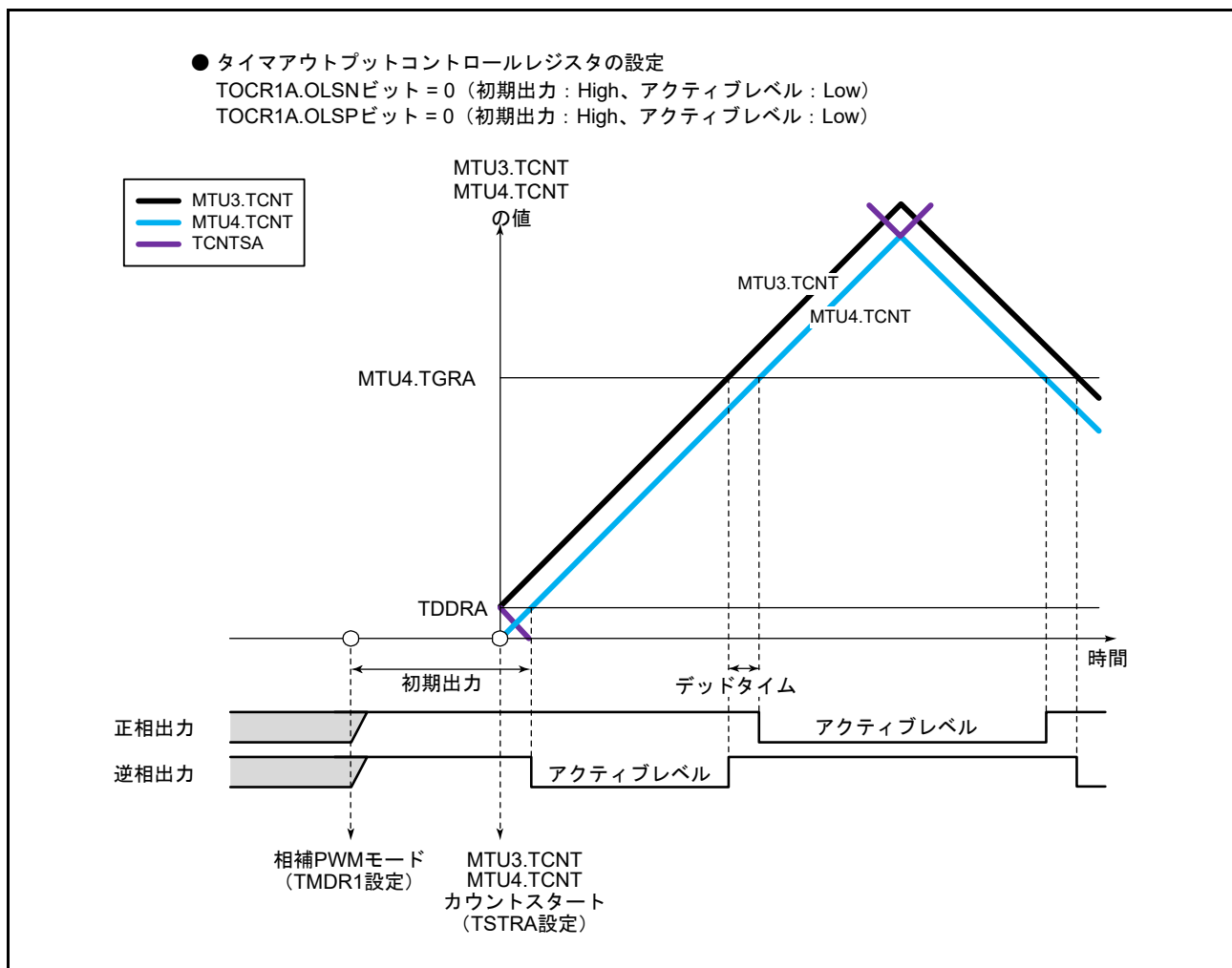


図 19.51 相補 PWM モードの初期出力例 (MTU3, MTU4) (1)

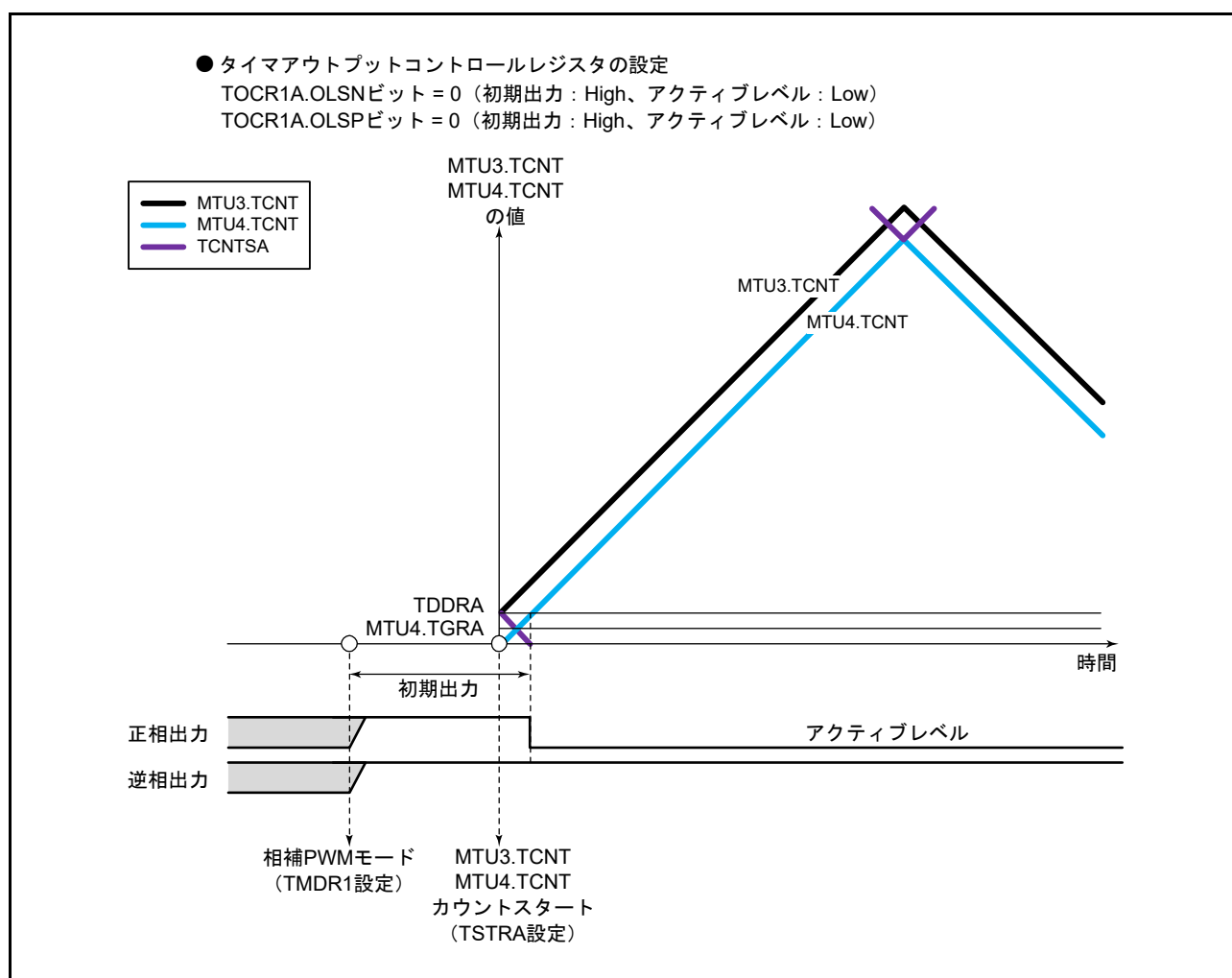


図 19.52 相補 PWM モードの初期出力例 (MTU3, MTU4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA がカウント動作する期間では、デューティ 0% ～ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 19.53 ～図 19.55 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 19.53 に示すように通常の場合のコンペアマッチは、 $a \rightarrow b \rightarrow c \rightarrow d$ （または $c \rightarrow d \rightarrow a' \rightarrow b'$ ）の順番で発生します。

コンペアマッチが $a \rightarrow b \rightarrow c \rightarrow d$ の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または $c \rightarrow d \rightarrow a' \rightarrow b'$ の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 19.54 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 19.55 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

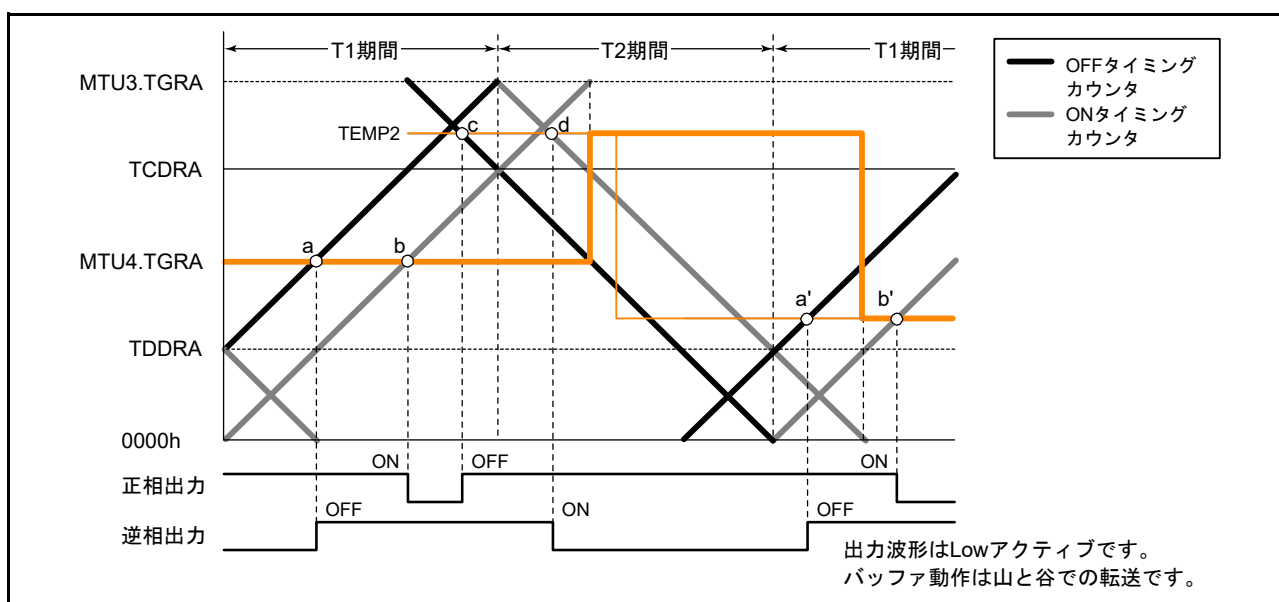


図 19.53 相補 PWM モード波形出力例 (MTU3, MTU4) (1)

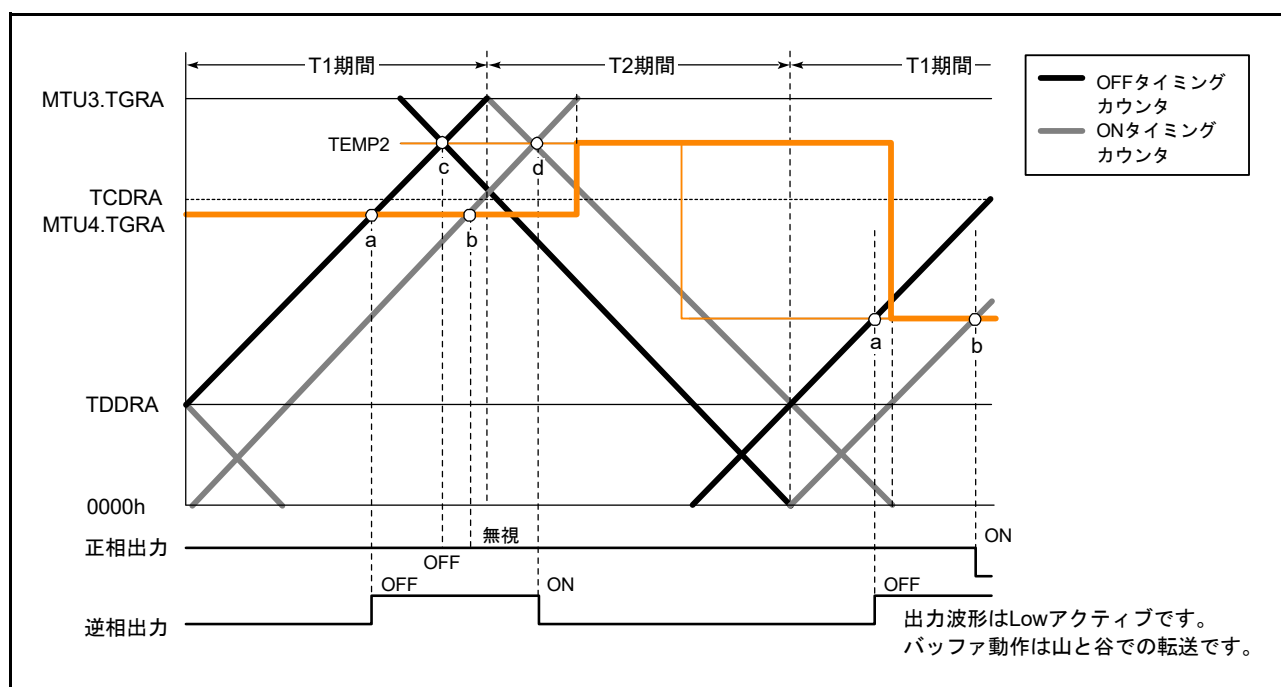


図 19.54 相補 PWM モード波形出力例 (MTU3, MTU4) (2)

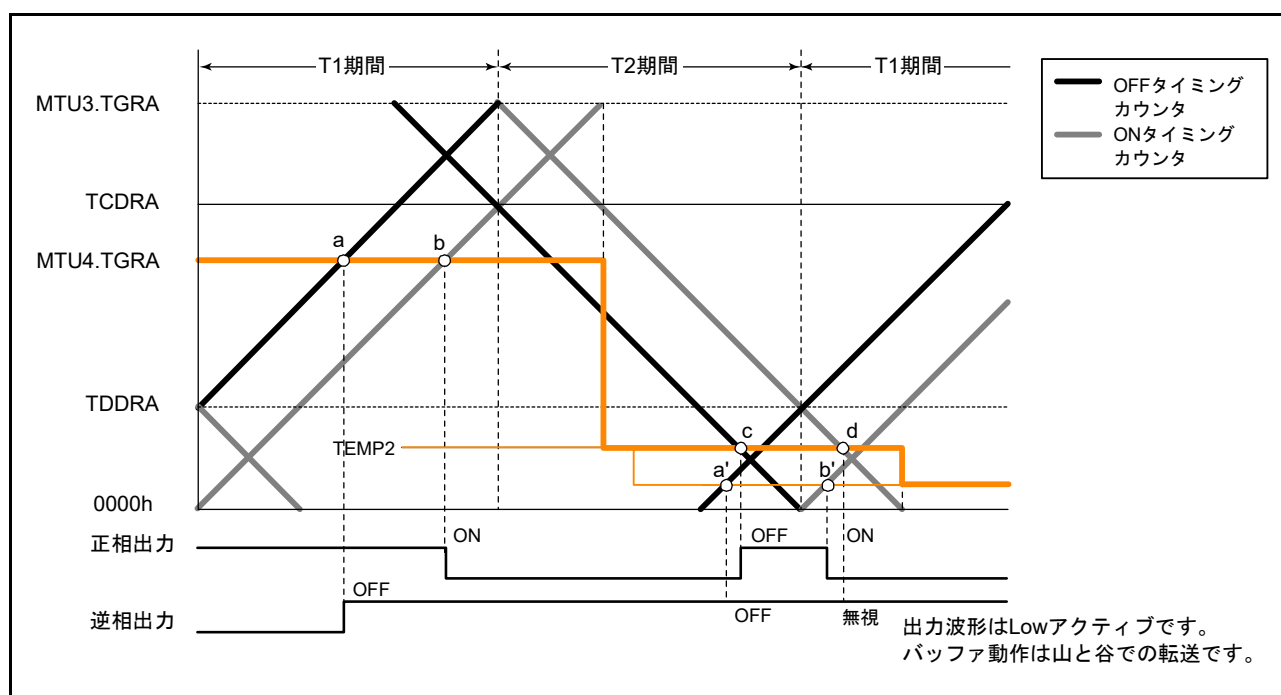


図 19.55 相補 PWM モード波形出力例 (MTU3, MTU4) (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 19.56 ～図 19.60 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を “0000h” にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

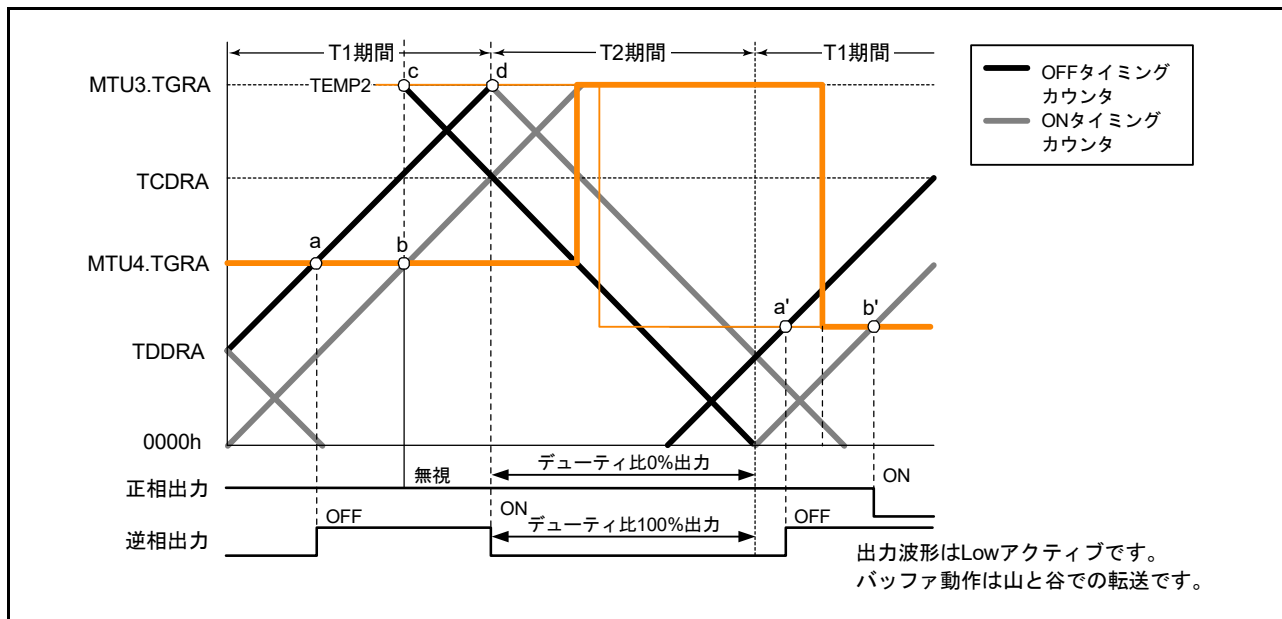


図 19.56 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (1)

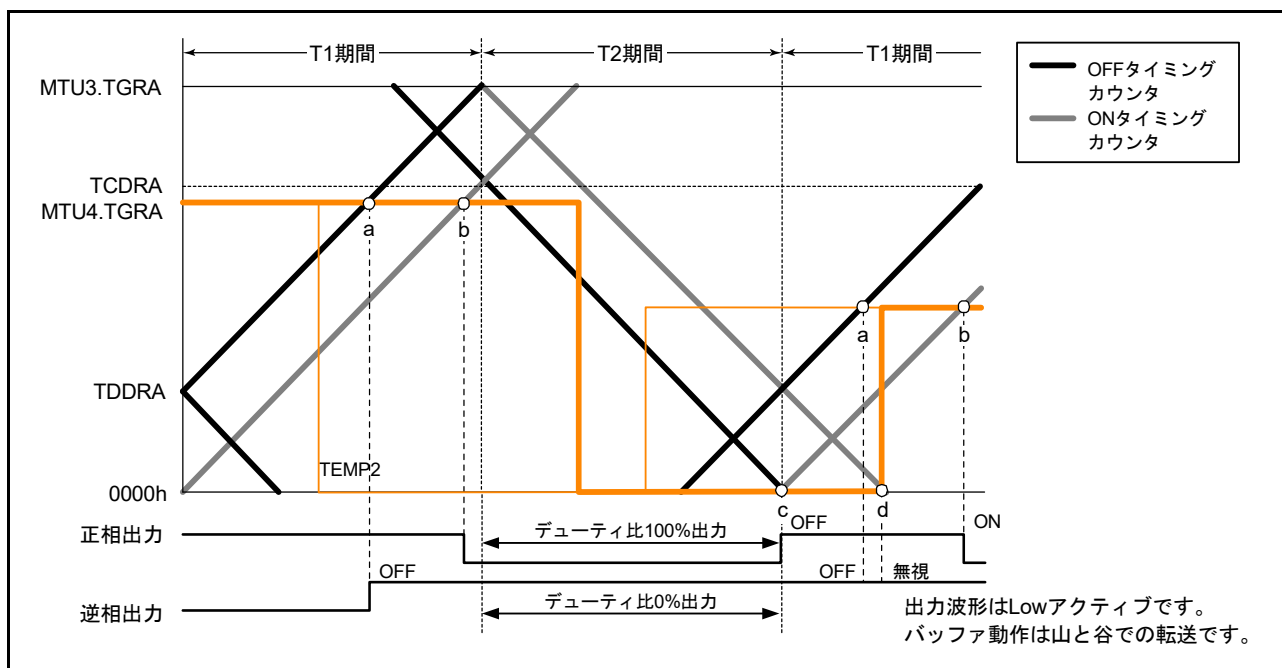


図 19.57 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (2)

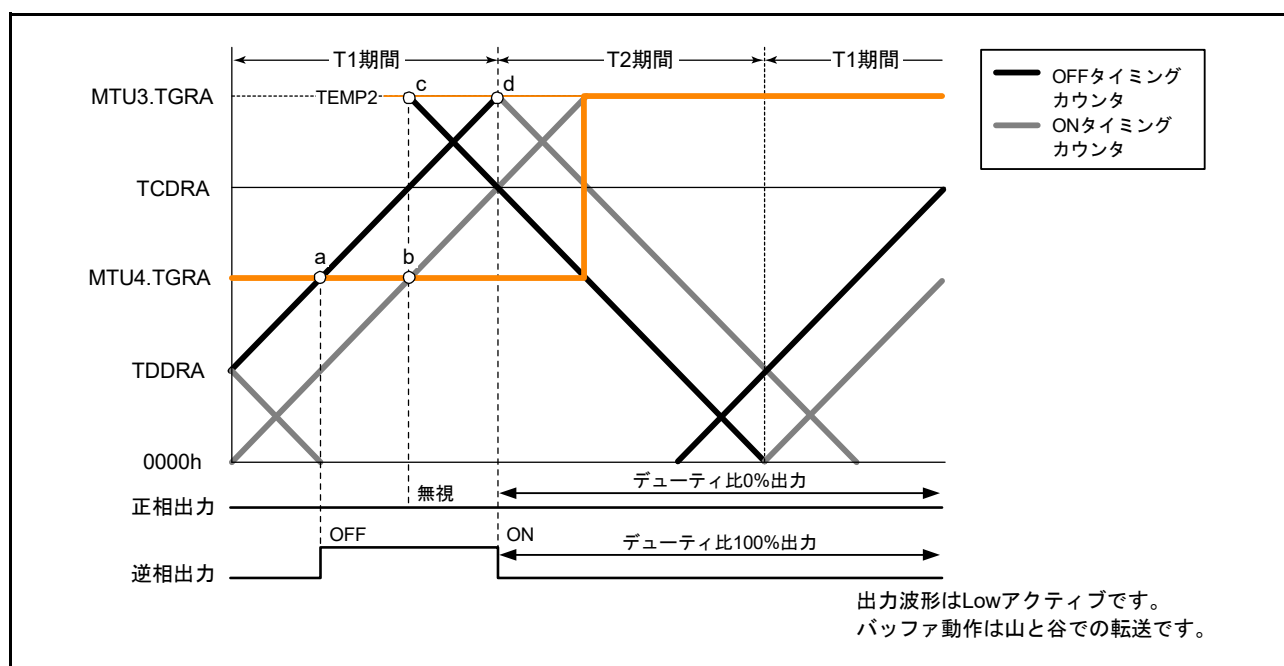


図 19.58 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (3)

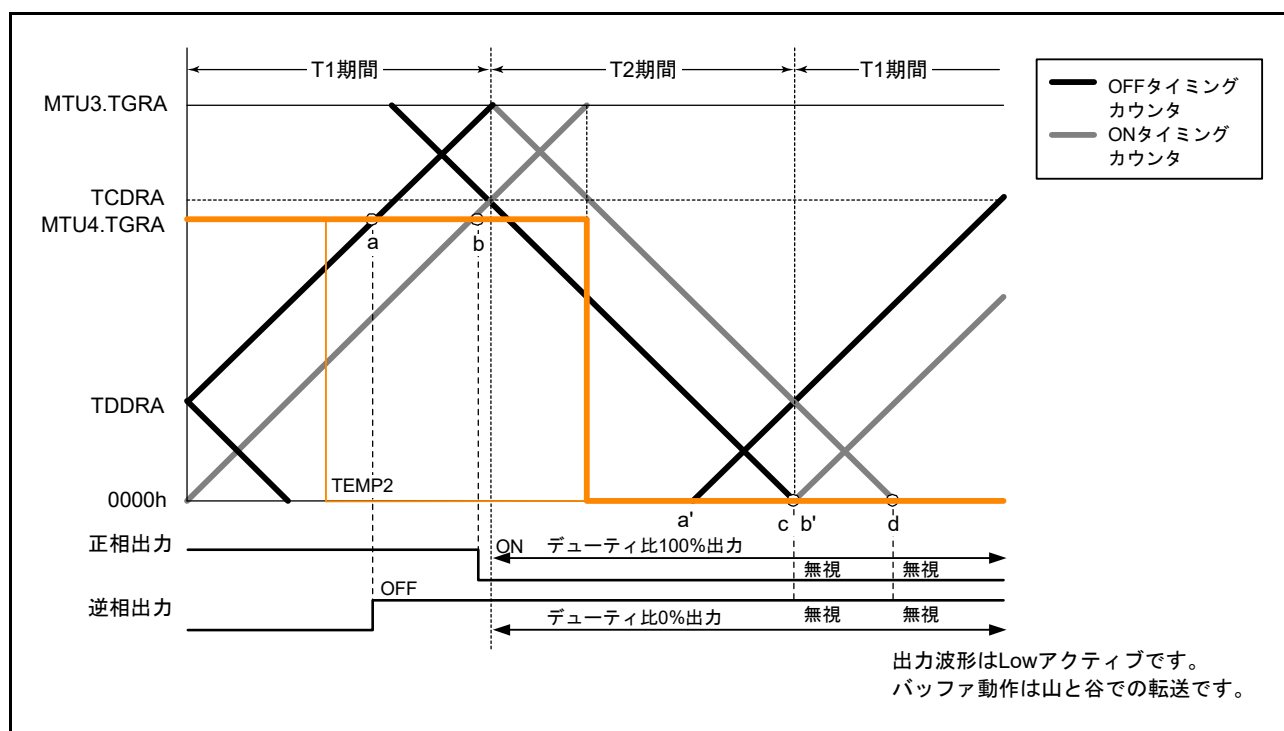


図 19.59 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (4)

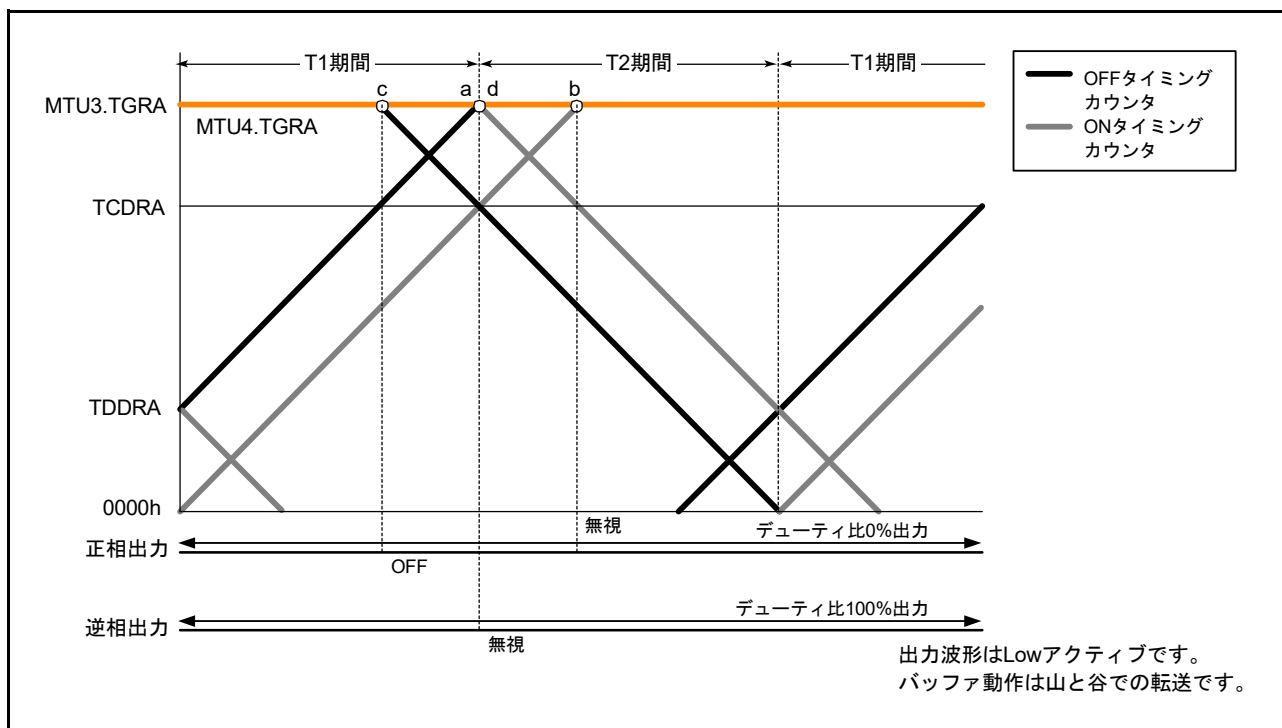


図 19.60 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A レジスタの PSYE ビットを“1”にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 19.61 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA のコンペアマッチと MTU4.TCNT と “0000h” のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は“High” 出力です。

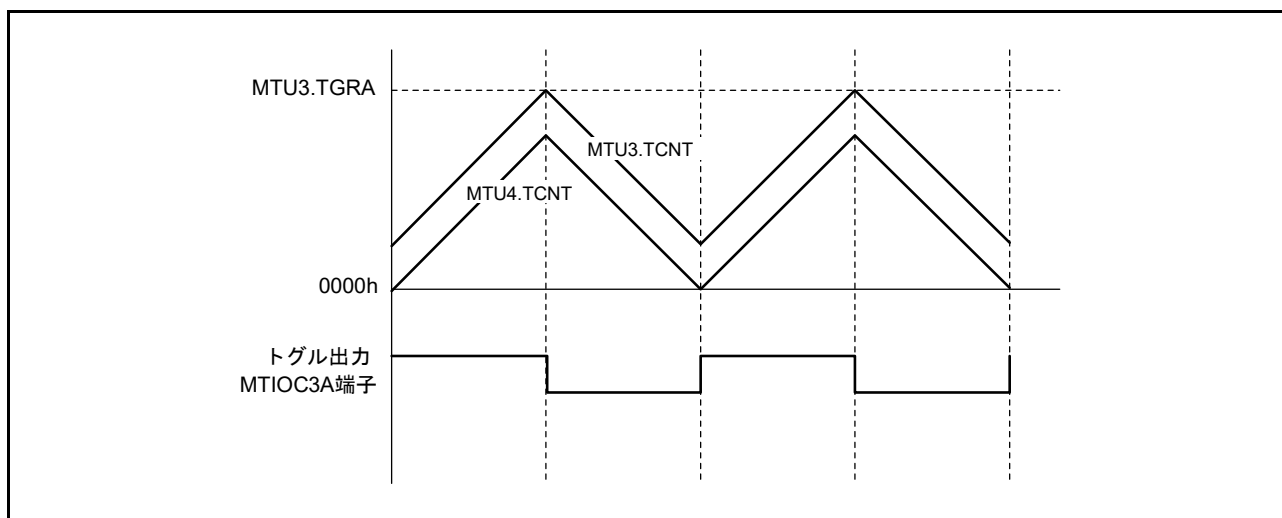


図 19.61 PWM 出力に同期したトグル出力波形例 (MTU3, MTU4)

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYRA レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0] ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT、MTU4.TCNT および TCNTSA をクリアをすることが可能です。

図 19.62 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

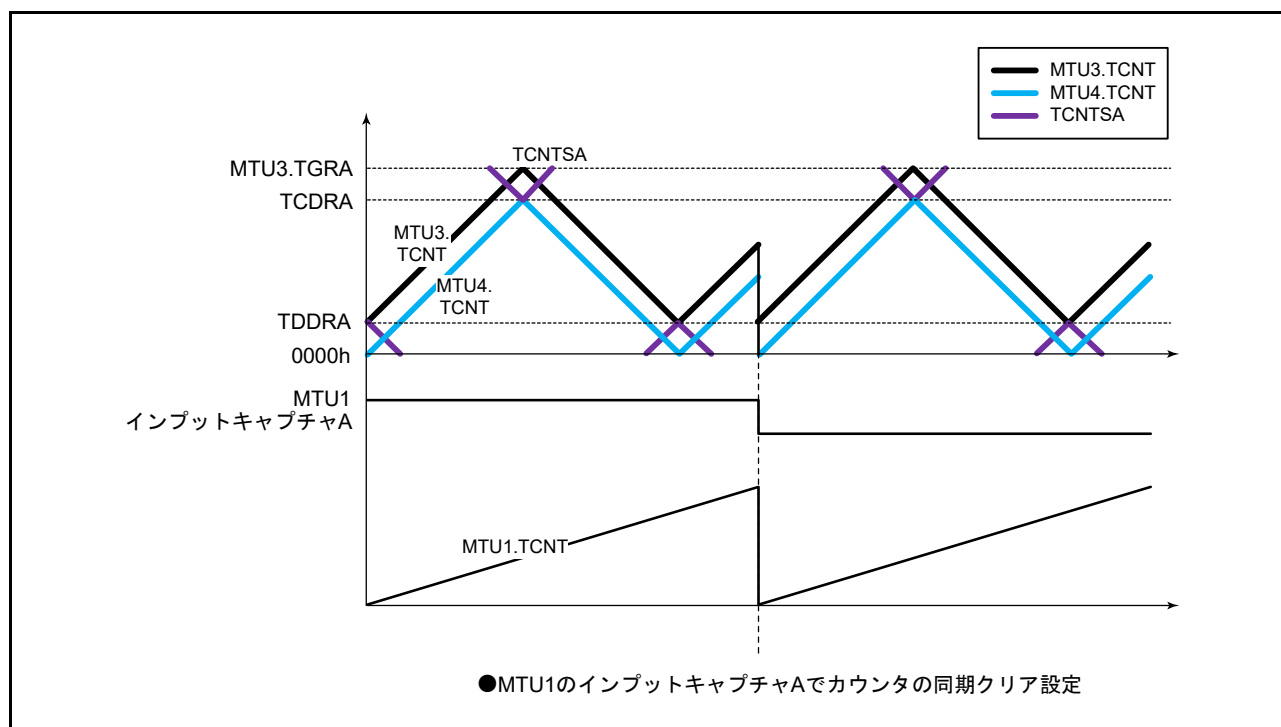


図 19.62 他のチャネルに同期したカウンタクリア (MTU3, MTU4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA レジスタの WRE ビットを“1”にすることにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”にすることで初期出力を抑止することができるのは、同期クリアが図 19.63 の⑩、⑪のような Tb2 区間に入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 19.63 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4 で使用することができます。MTU3、MTU4 のカウンタクリア要因は MTU0 ～ MTU2 からの同期クリアです。

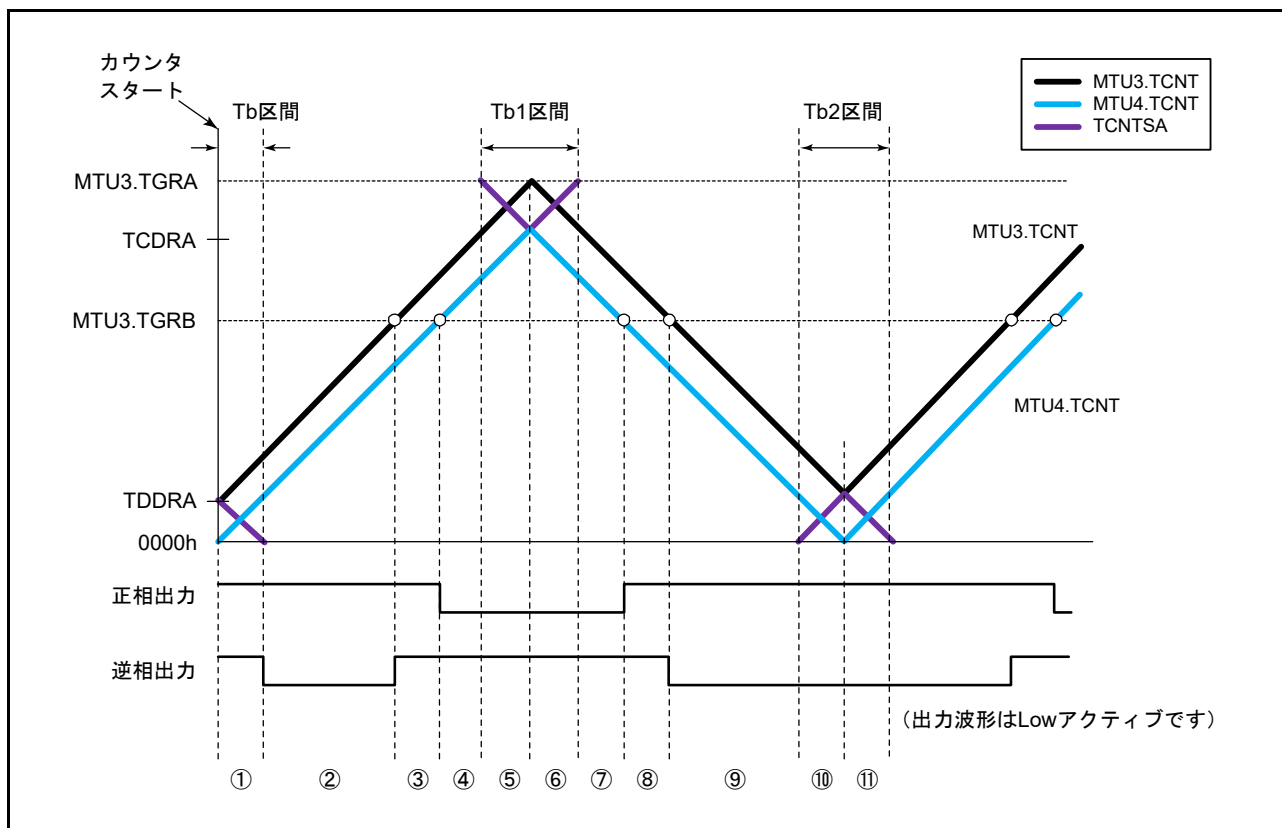


図 19.63 同期カウンタクリアタイミング (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 19.64 に示します。

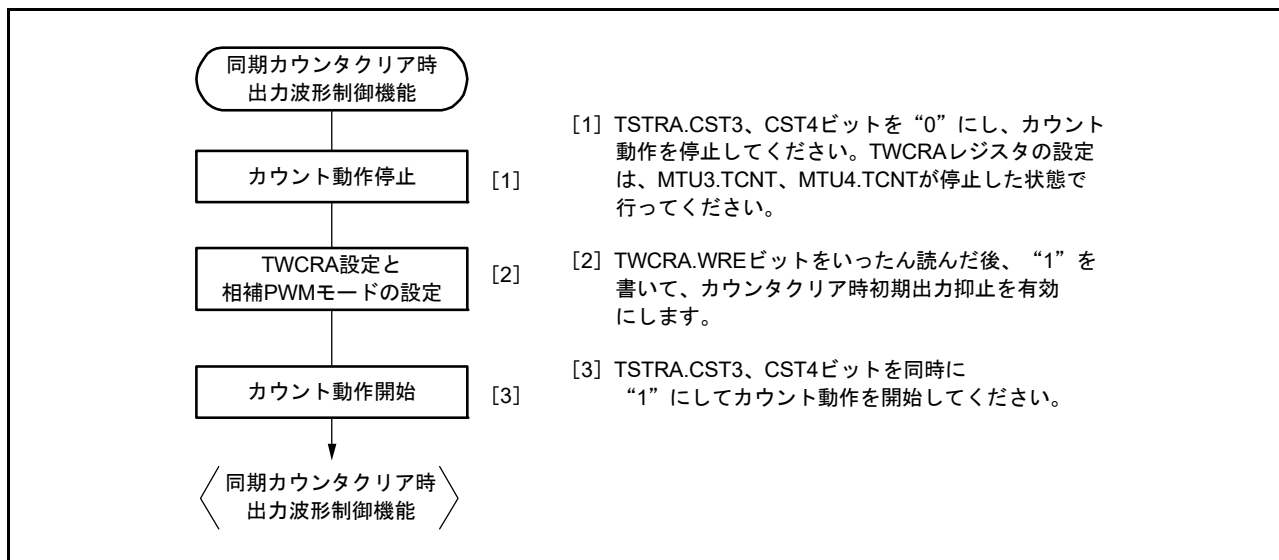


図 19.64 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 19.65 ～図 19.68 に、TWCRA.WRE ビットを“1”にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 19.65 ～図 19.68 の同期カウンタクリアのタイミングは、それぞれ図 19.63 の③、⑥、⑧、⑪で示したタイミングです。

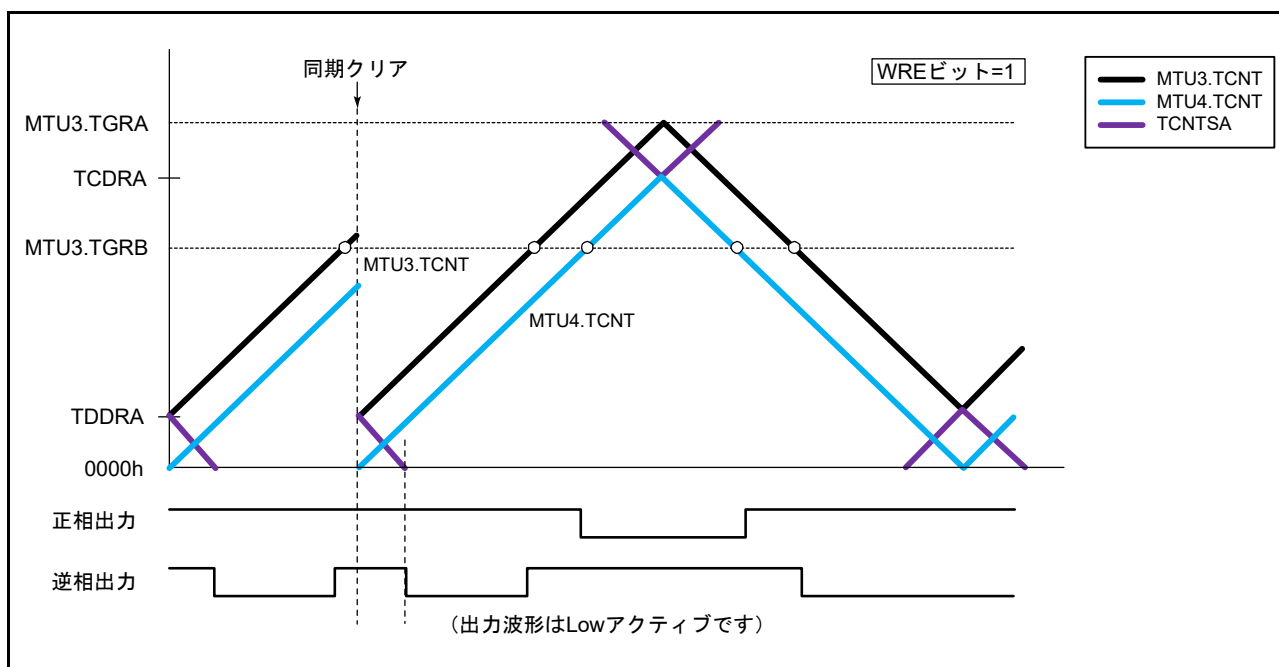


図 19.65 アップカウント中のデッドタイム時に同期クリアが発生した場合
(図 19.63 のタイミング③、TWCRA レジスタの WRE ビット = 1)

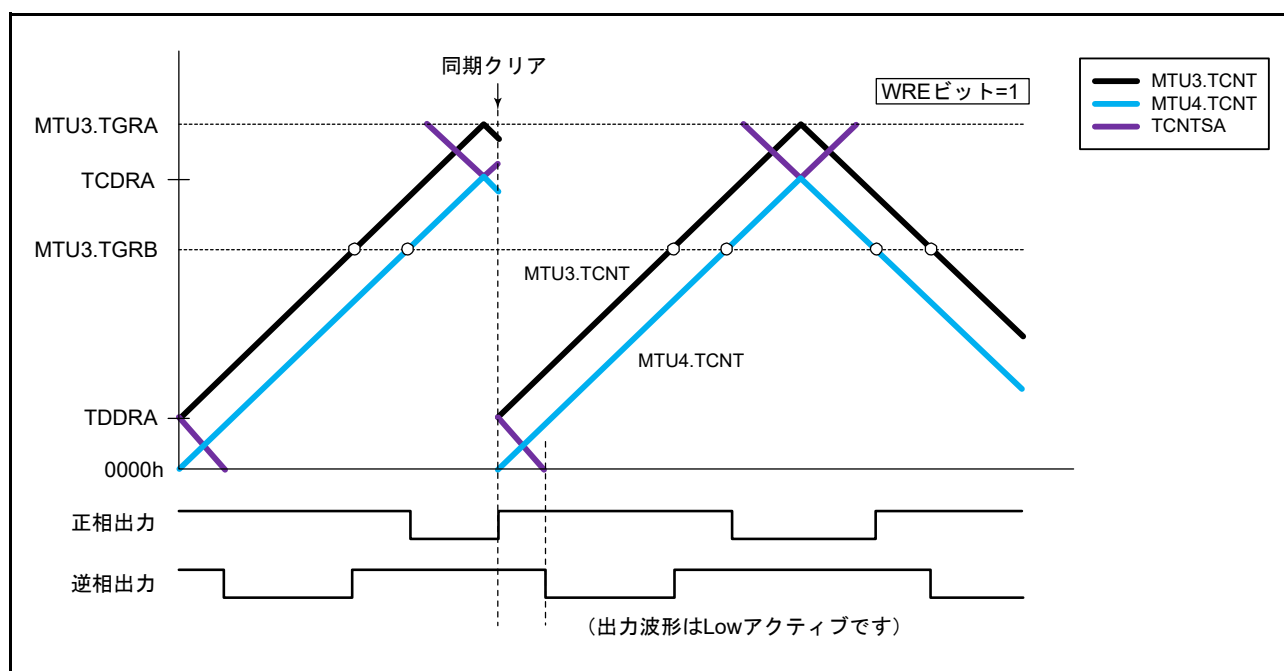


図 19.66 Tb1 区間で同期クリアが発生した場合
(図 19.63 のタイミング⑥、TWCRA レジスタの WRE ビット = 1)

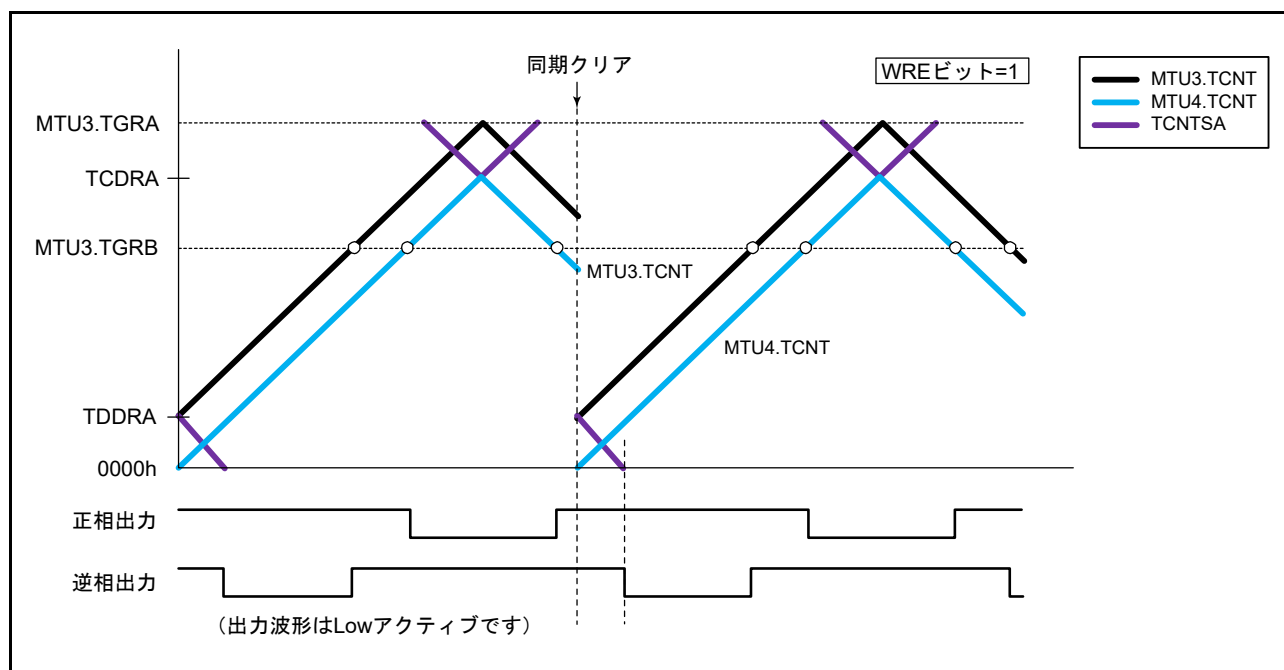


図 19.67 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
(図 19.63 のタイミング⑧、TWCRA レジスタの WRE ビット = 1)

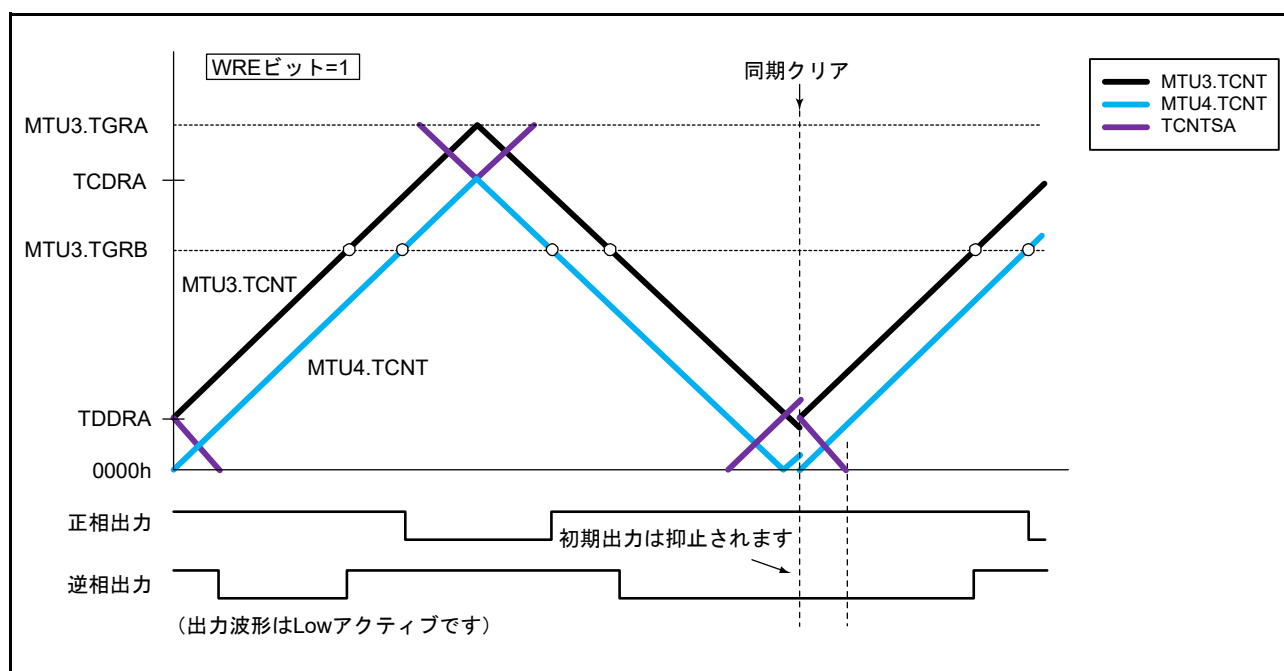


図 19.68 Tb2 区間で同期クリアが発生した場合
(図 19.63 のタイミング⑪、TWCRA レジスタの WRE ビット = 1)

(o) MTU3.TGRA のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE ビットを設定することにより、MTU3.TGRA のコンペアマッチで MTU3.TCNT、MTU4.TCNT および TCNTSA をクリアすることが可能です。

図 19.69 に動作例を示します。

- 注 1. 相補 PWM モード 1（山で転送）でのみ使用してください。
 注 2. 他のチャネルとの同期クリア機能に設定しないでください（タイマシンクロレジスタ（TSYRA）の SYNC0 ~ SYNC4 ビットを“1”に設定しないでください）。
 注 3. PWM デューティは、“0000h”を設定しないでください。
 注 4. タイマアウトプットコントロールレジスタ 1（TOCR1A）の PSYE ビットを“1”に設定しないでください。

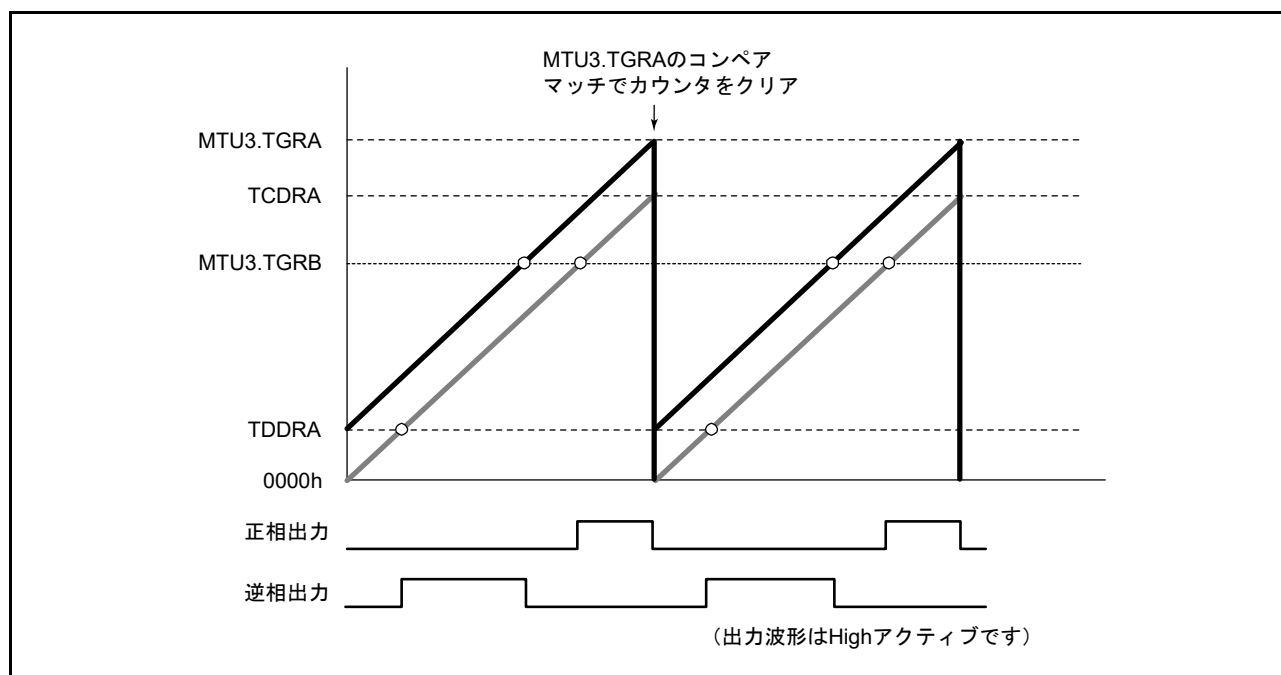


図 19.69 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(p) AC 同期モータ (ブラシレス DC モータ) の駆動波形出力例

MTU3、MTU4 を使用した相補 PWM モードでは、TGCRA レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 19.70 ～図 19.73 に TGCRA を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを“0”にします。この場合、磁極位置を示す外部信号を MTU0 の MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します (MPC と I/O ポートのポートモードレジスタ (PMR) で設定してください)。MTIOC0A、MTIOC0B、MTIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB ビットが“1”の場合は、TGCRA の UF、VF、WF ビットの各ビットを“0”または“1”にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相 PWM 出力端子から出力されます。

この 6 相出力は TGCRA レジスタの N ビットまたは P ビットを“1”にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが“0”の場合は、レベル出力になります。

また、6 相出力のアクティブレベル (ON 出力時レベル) は、N ビットおよび P ビットの設定にかかわらず、TOCR1A.OLSN、TOCR1A.OLSP ビットで設定できます。

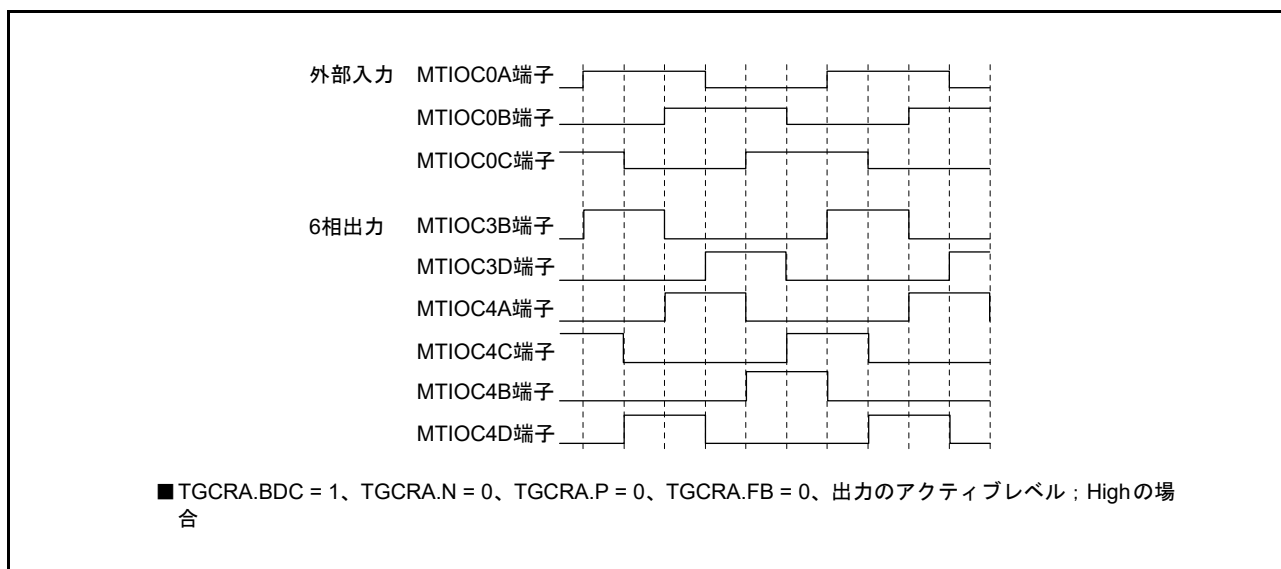


図 19.70 外部入力による出力相の切り替え動作例 (1)

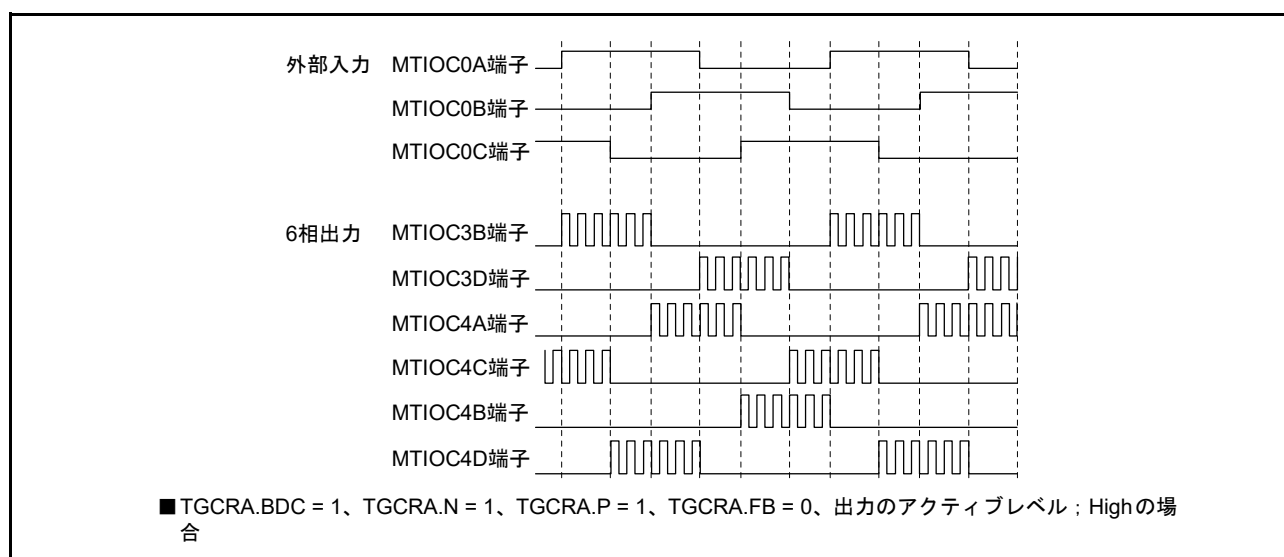


図 19.71 外部入力による出力相の切り替え動作例 (2)

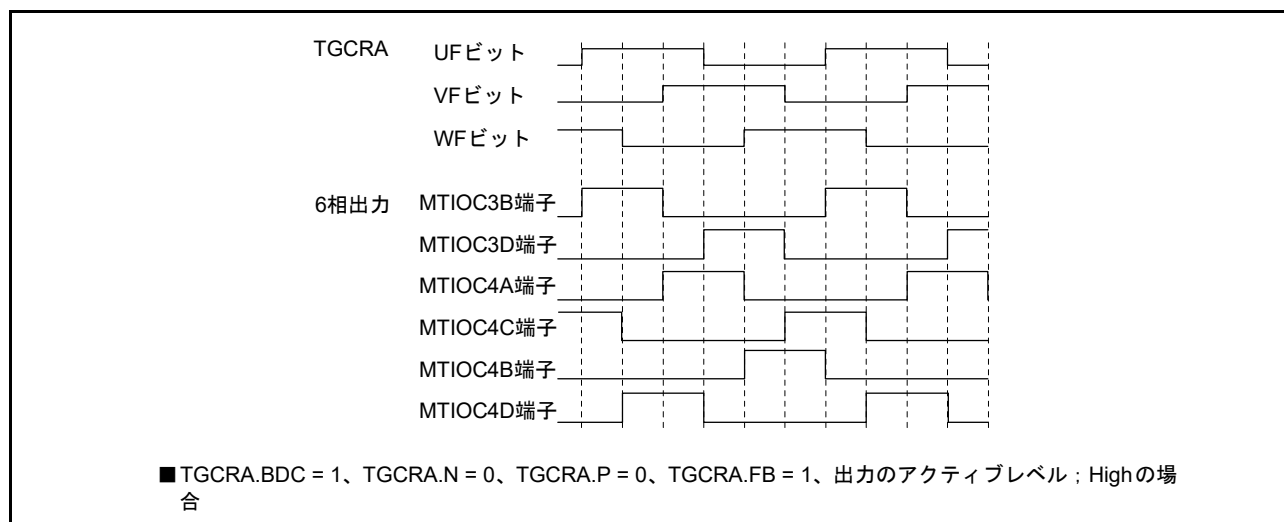


図 19.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

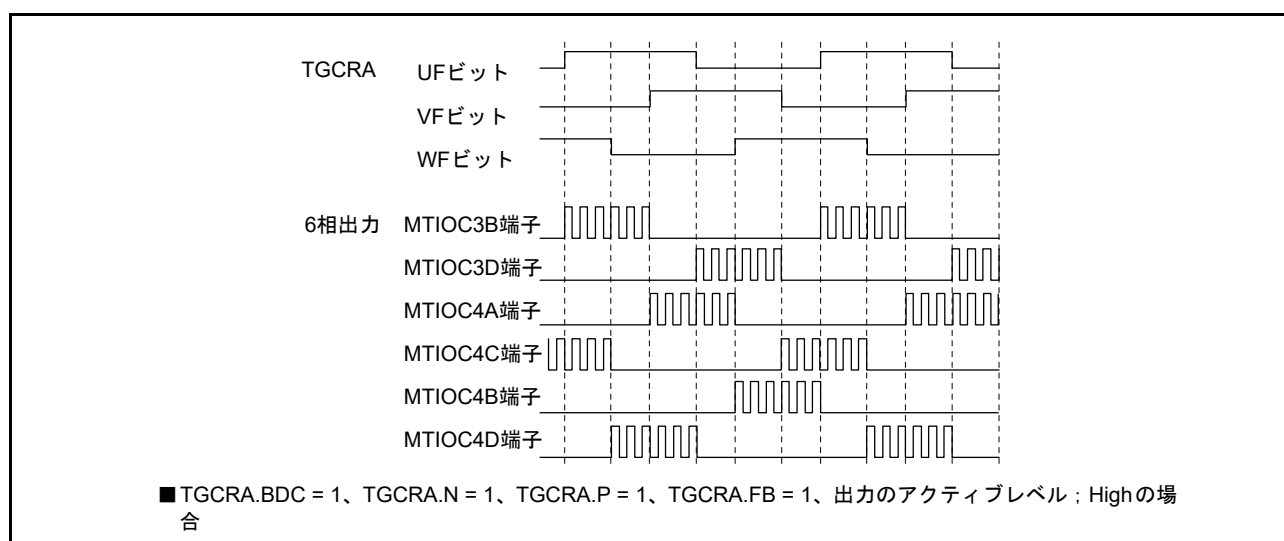


図 19.73 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA のコンペアマッチ、MTU4.TCNT のアンダフロー（谷）、MTU3、MTU4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2 ビットを“1”にすることで設定できます。

(r) 相補 PWM モードのダブルバッファ機能

相補 PWM モード 3（山と谷で転送）時、TMDR2A.DRS ビットを“1”にすることにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A（MTU3.TGRD, MTU4.TGRC, MTU4.TGRD）を設定する際は、バッファレジスタ B（MTU3.TGRE, MTU4.TGRE, MTU4.TGRF）も同時に設定してください。設定手順の詳細は「19.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注． バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値を設定しない場合、PWM 出力が非対称になります。

図 19.74 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD（バッファ A）書き込み時に MTU4.TGRD（バッファ A）→ TEMP3A（テンポラリ A）、および MTU4.TGRF（バッファ B）→ TEMP3B（テンポラリ B）へのデータ転送
 - ①のタイミングで TEMP3A（テンポラリ A）→ MTU4.TGRB（コンペア）へのデータ転送
 - ②のタイミングで TEMP3B（テンポラリ B）→ MTU4.TGRB（コンペア）へのデータ転送
- 山区間（Tb1 区間）ではコンペアレジスタとテンポラリレジスタ A、谷区間（Tb2 区間）ではコンペアレジスタとテンポラリレジスタ B が有効

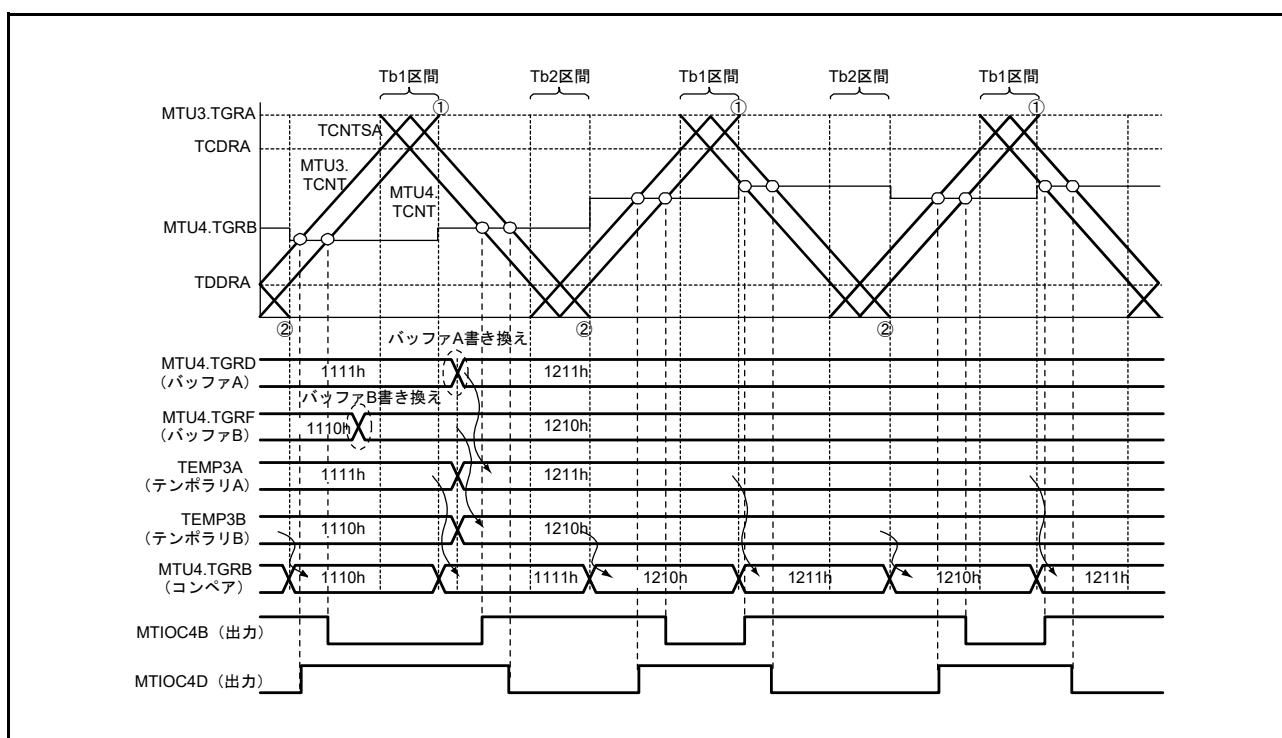


図 19.74 ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA レジスタより小さい場合を図 19.75 に、TCDRA レジスタより大きい場合を図 19.76 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

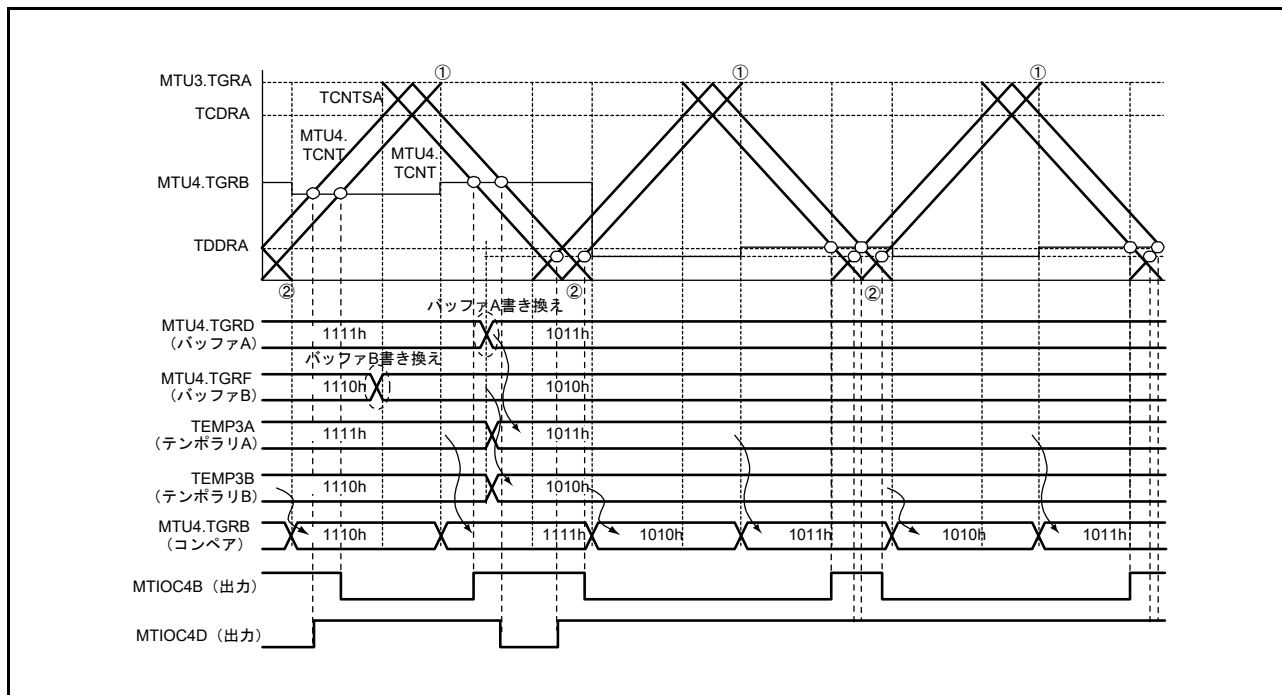


図 19.75 ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

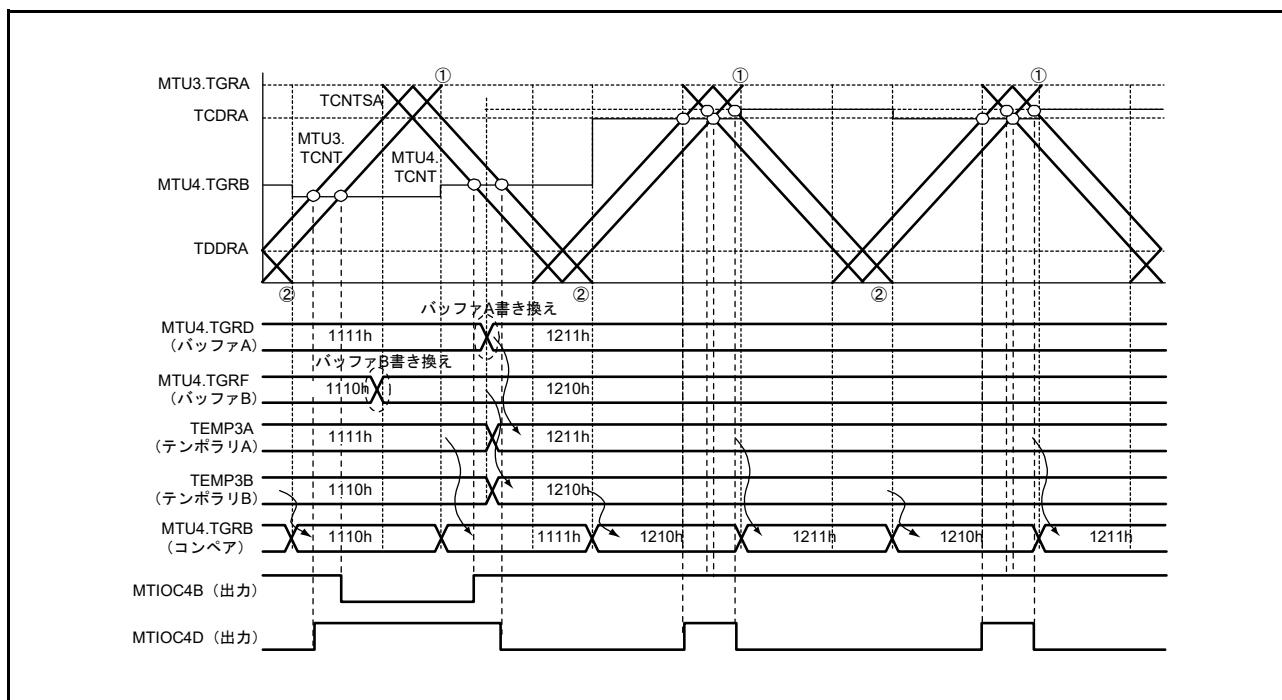


図 19.76 ダブルバッファ機能の動作例 (バッファへの書き込み値が TCDRA より大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4 の TGIA3（山の割り込み）、および TCIV4（谷の割り込み）は、TITCR1A レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTERA レジスタを設定することにより、バッファレジスタからテンポラリレジスタ / コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

MTU4.TADCR レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「19.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR1A レジスタの設定は、タイマ割り込み間引きモードレジスタ (TITMRA) の TITM ビットを“0”にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER レジスタの設定で TGIA3 割り込み要求を禁止した状態、MTU4.TIER レジスタの設定で TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN、T4VEN ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を図 19.77 に示します。また、割り込み間引き回数の変更可能期間を図 19.78 に示します。

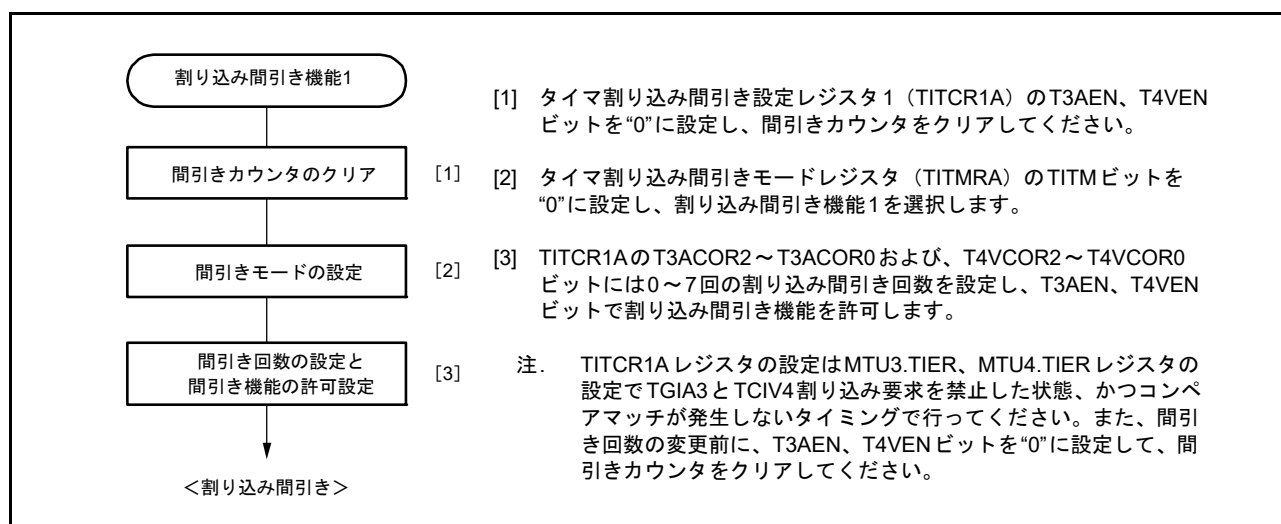


図 19.77 割り込み間引き機能 1 の設定手順例

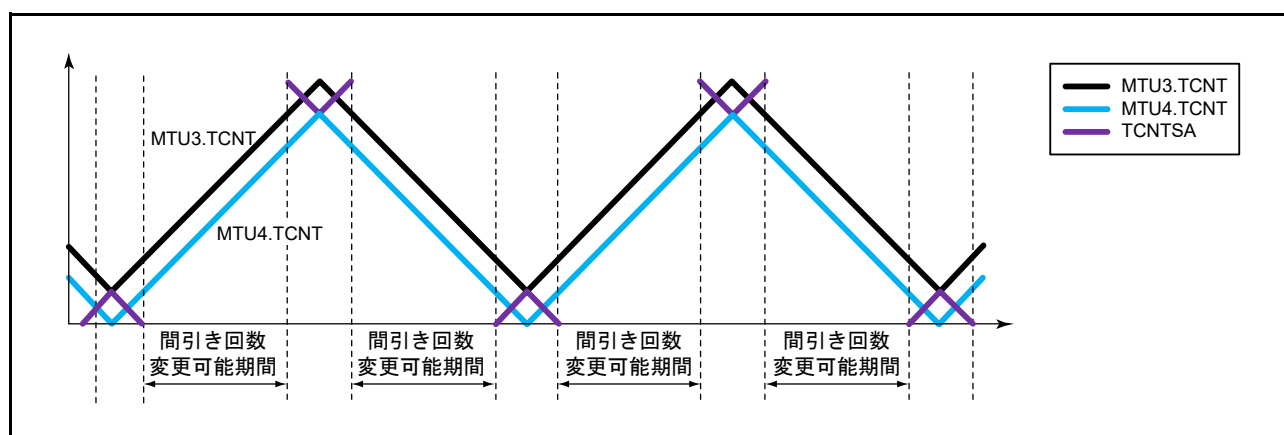


図 19.78 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

TITCR1A レジスタの T3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを“1”にした場合の、TGIA3 割り込み間引きの動作例を図 19.79 に示します。

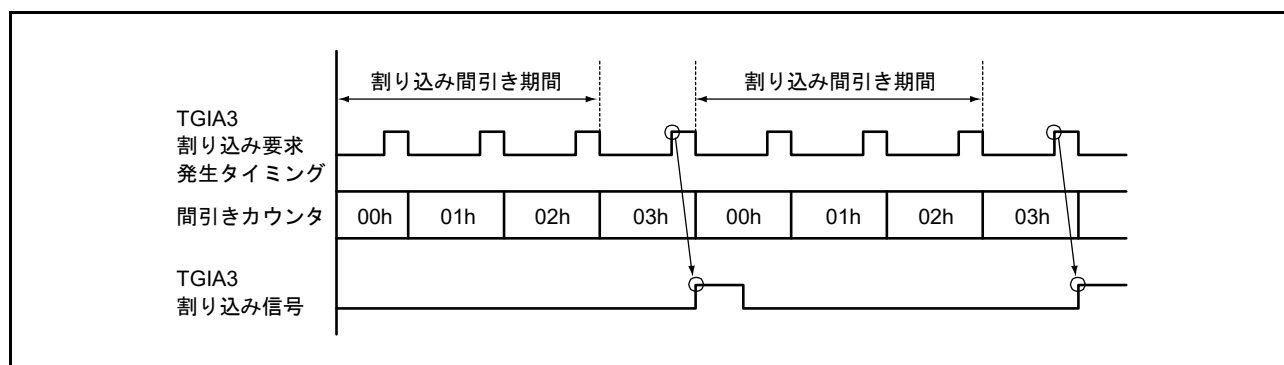


図 19.79 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTERA レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑止する設定 (BTE[1:0] = 01b) にした場合の動作例を図 19.80 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例を図 19.81 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A レジスタの T3AEN ビットのみを“1”にした場合、T4VEN ビットのみを“1”にした場合、TITCR1A レジスタの T3AEN、T4VEN ビット両方を“1”にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 19.82 に示します。

注. 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ 1 (TITCR1A) の T3AEN、T4VEN ビットを“0”に設定したとき、または TITCR1A の間引き回数設定ビット (T3ACOR, T4VCOR) を“0”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTERA の BTE1 ビットを“0”に設定) してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

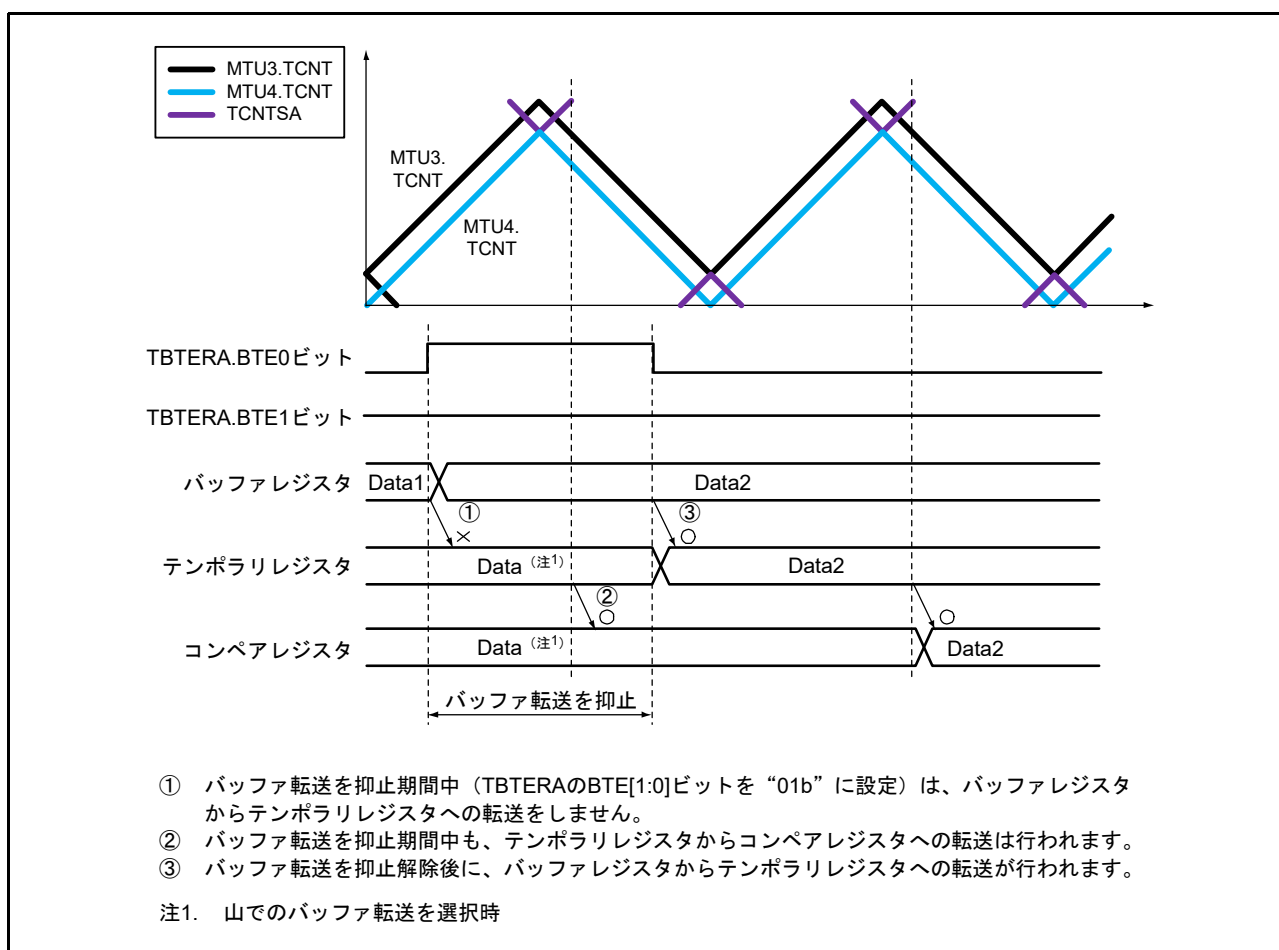


図 19.80 バッファ転送を抑止する設定 (BTE[1:0] = 01b) にした場合の動作例

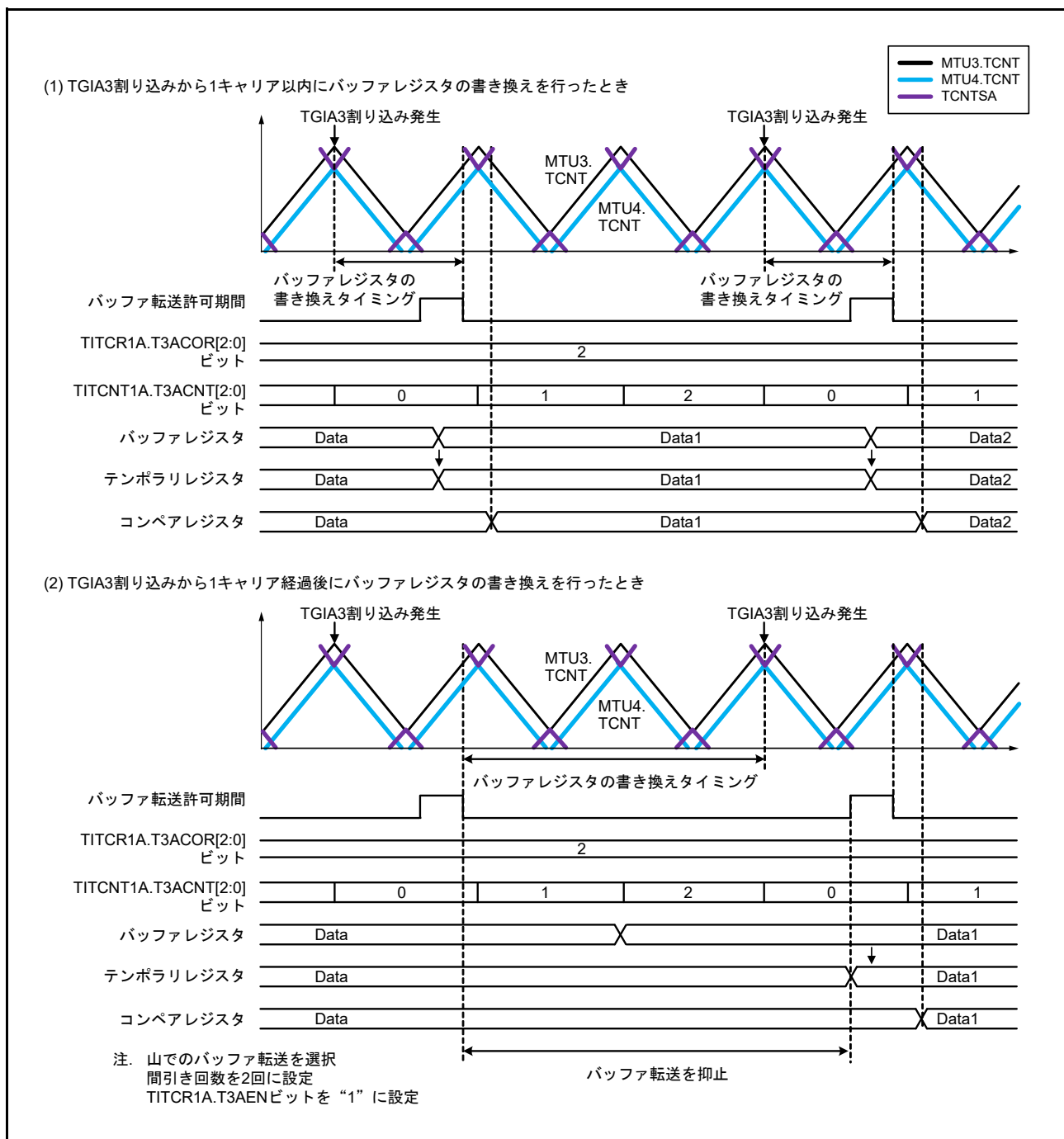


図 19.81 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

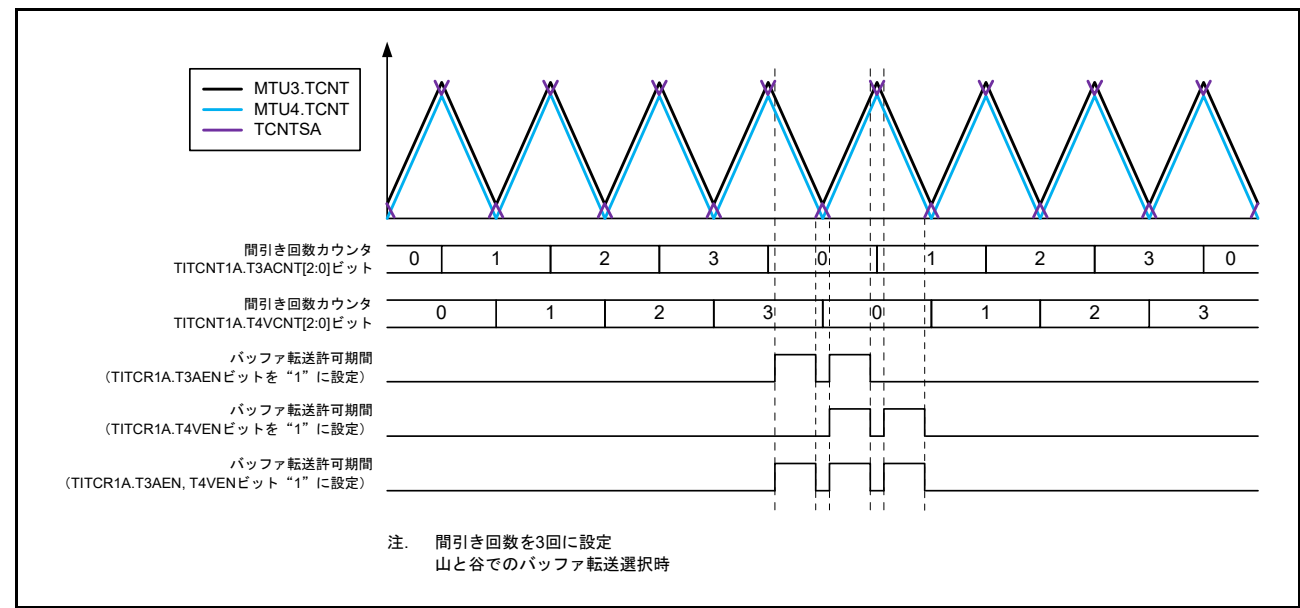


図 19.82 TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA レジスタの RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR, MTU4.TCR, MTU3.TCR2, MTU4.TCR2, MTU3.TMDR1, MTU4.TMDR1, MTU3.TIORH, MTU4.TIORH, MTU3.TIORL, MTU4.TIORL, MTU3.TIER, MTU4.TIER, MTU3.TCNT, MTU4.TCNT, MTU3.TGRA, MTU4.TGRA, MTU3.TGRB, MTU4.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA

計 24 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。詳細は、「20. ポートアウトプットイネーブル 3 (POE3E)」を参照してください。

19.3.9 A/D 変換開始要求ディレイド機能

MTU4 のタイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 19.83 に示します。

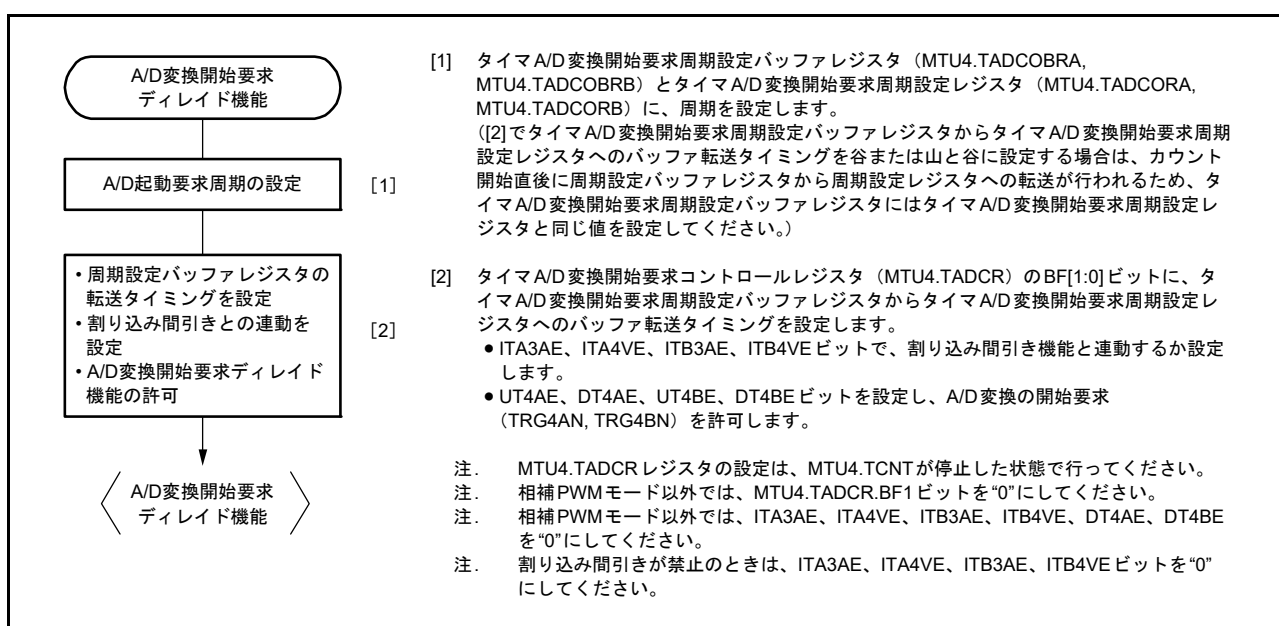


図 19.83 A/D 変換開始要求ディレイド機能の設定手順例 (MTU3, MTU4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT の谷に設定し、MTU4.TCNT のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 19.84 に示します。

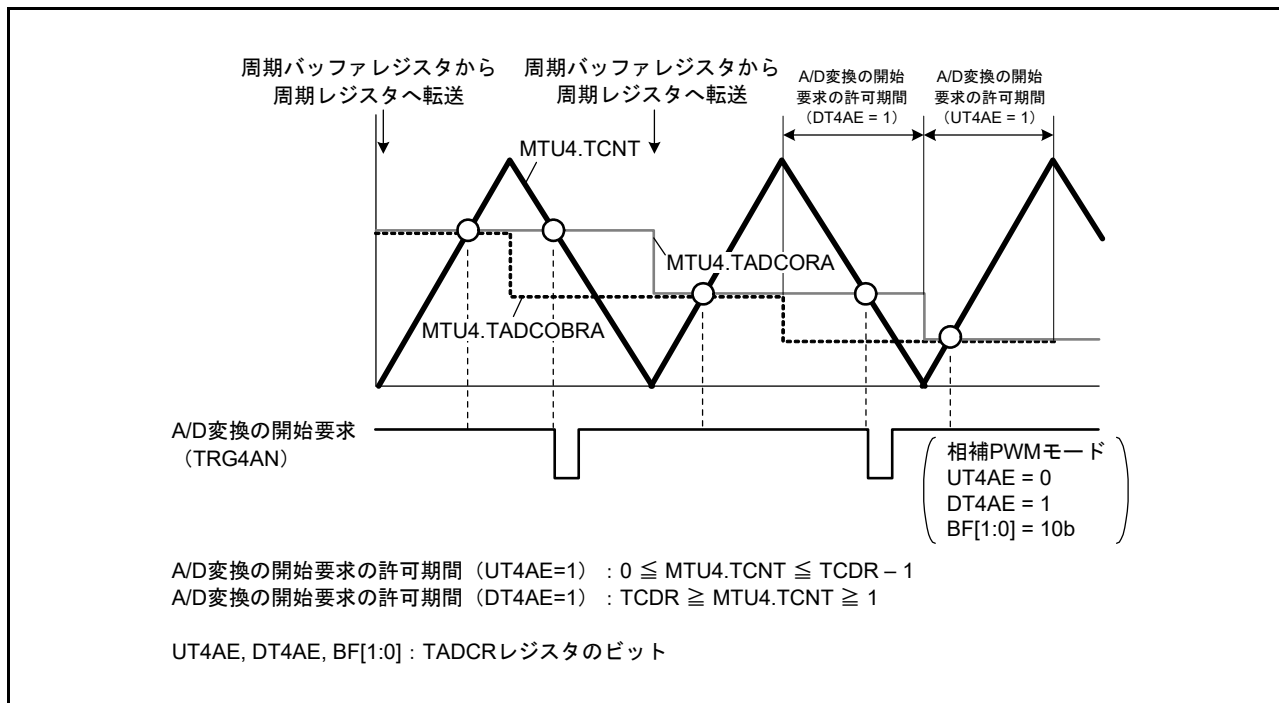


図 19.84 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR レジスタの UT4AE、UT4BE ビットで許可した期間内に MTU4.TCNT カウンタと MTU4.TADCORA、MTU4.TADCBRA レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR レジスタの UT4AE、UT4BE ビットを“1”にすると、MTU4.TCNT カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT} \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。MTU4.TADCR レジスタの DT4AE、DT4BE ビットを“1”にすると、MTU4.TCNT カウンタのダウンカウント期間 ($\text{TCDR} \leq \text{MTU4.TCNT} \leq 1$) に A/D 変換の開始要求を許可します (図 19.84)。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、MTU4.TADCR レジスタの BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時は MTU4.TGRD レジスタの書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「19.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR レジスタの BF1 ビットを“0”にしてください。

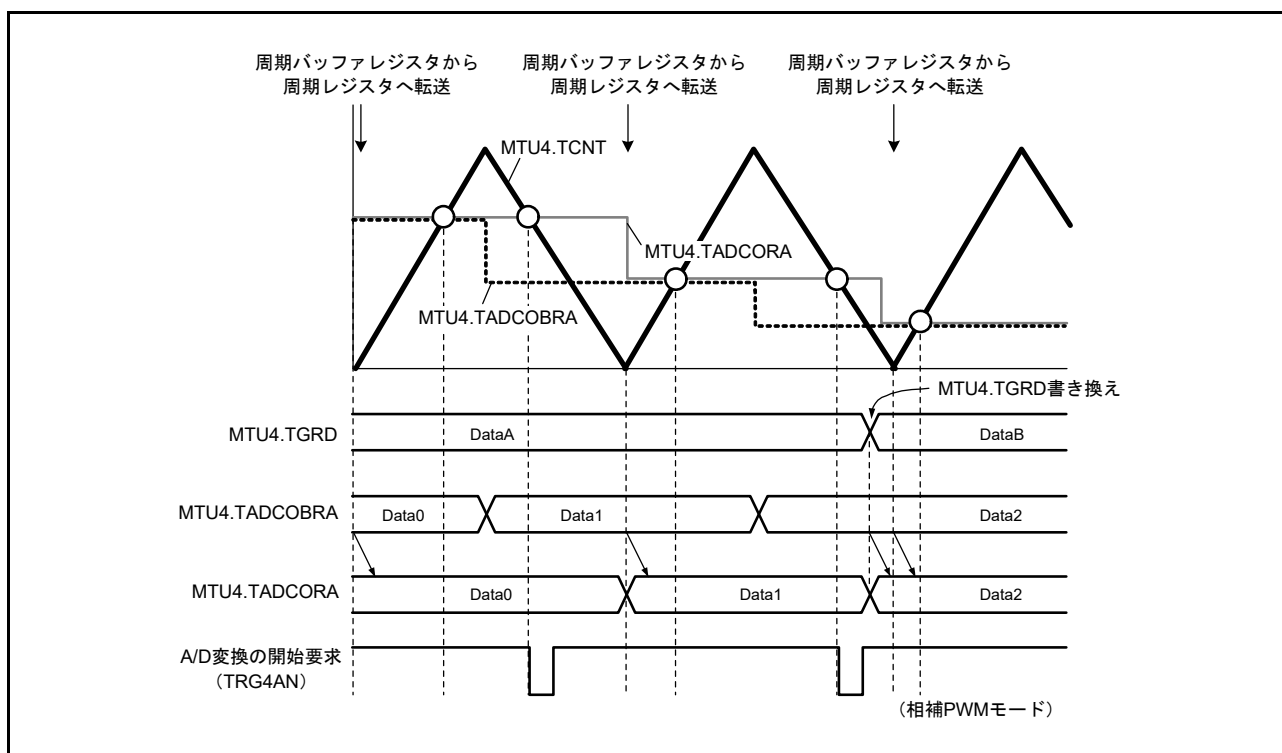


図 19.85 A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(5) 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能

相補 PWM モードでは、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を行うことが可能です。

MTU4.TCNT のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 19.86 に示します。

また、MTU4.TCNT のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例を図 19.87 に示します。

相補 PWM モード以外では、割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能は使用できません。

MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを“0”にしてください。

注. 本機能は割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ (TITCR1A) の T3AEN、T4VEN ビットを“0”にしたとき、または TITCR1A レジスタの間引き回数設定ビット (T3ACOR、T4VCOR) を“0”にしたとき) は、割り込み間引き機能 1 と連動しない (MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを“0”にする) 設定にしてください。

また、本機能使用時、MTU4.TADCORA、MTU4.TADCORB には“0002h”～ TCDRA の設定値 - 2 の値にしてください。

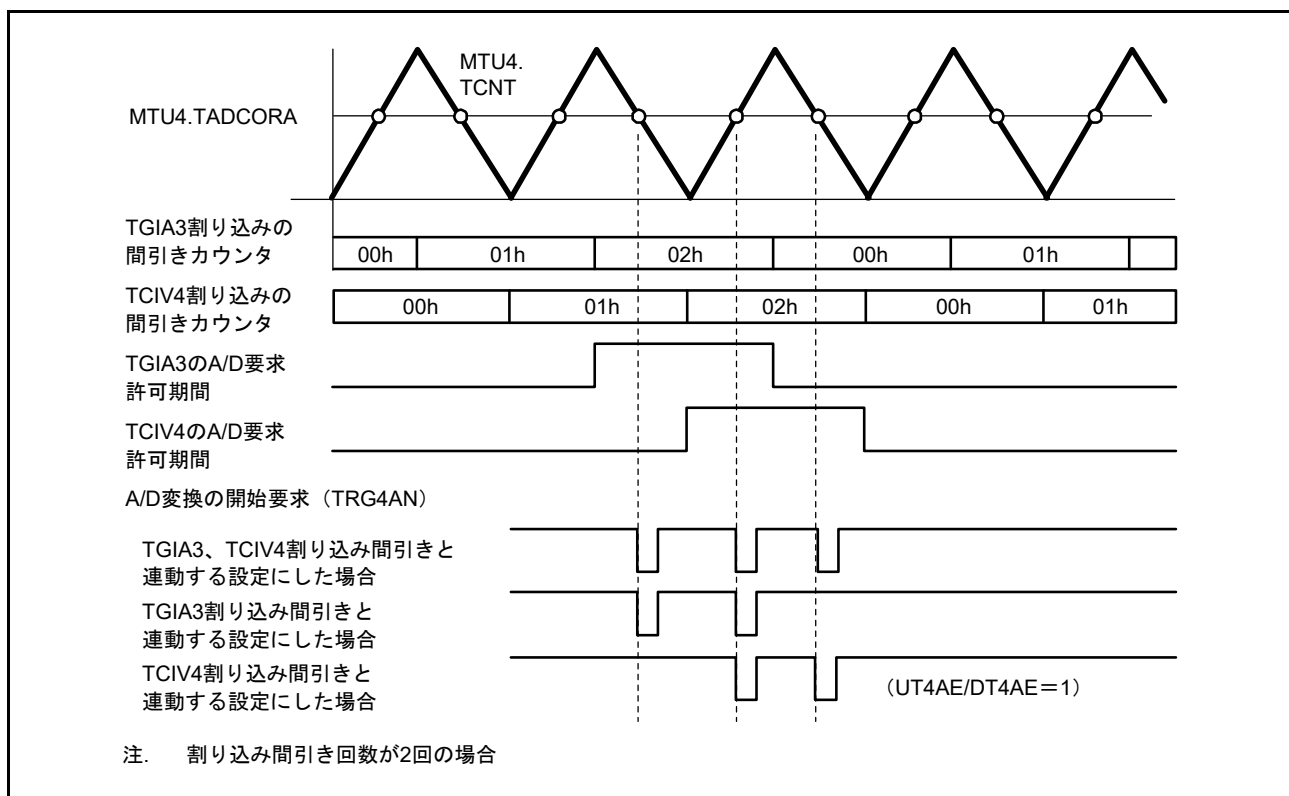


図 19.86 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE、DT4AE = 1)

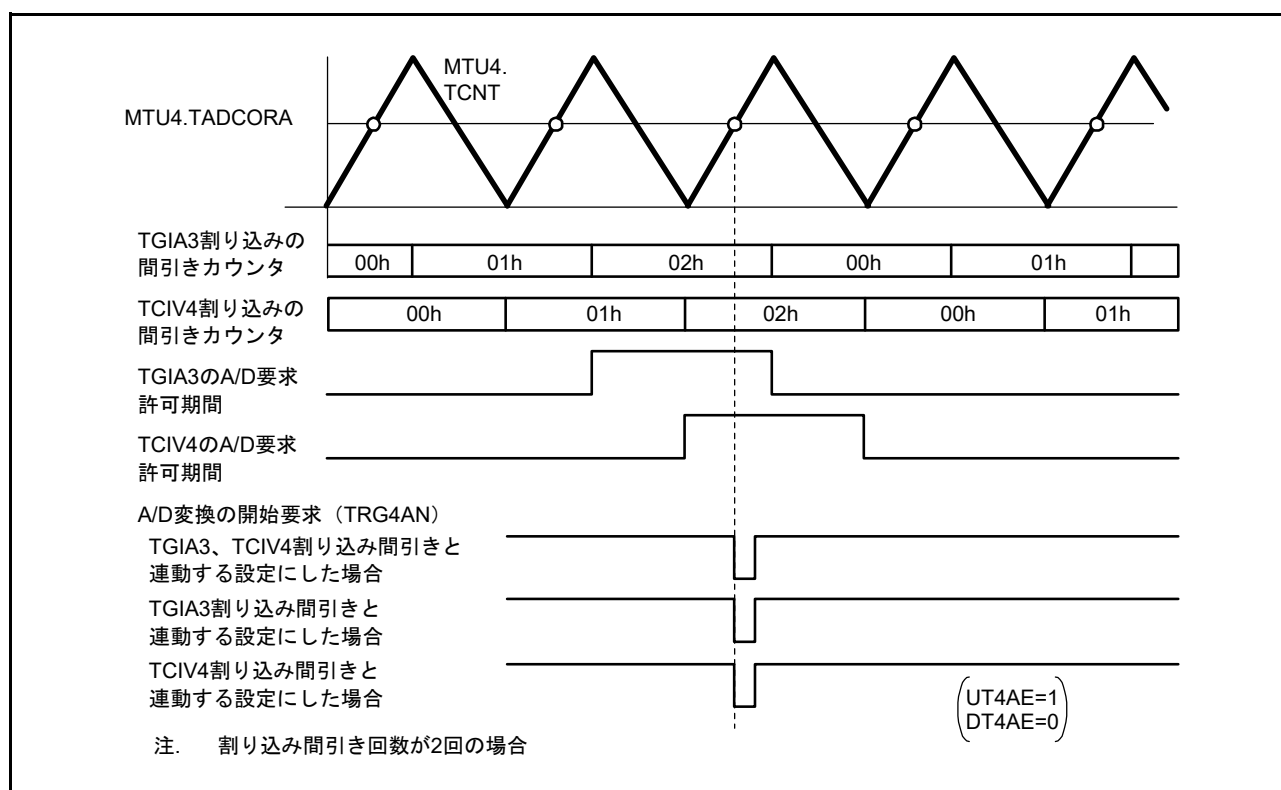


図 19.87 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1, DT4AE = 0)

(6) 割り込み間引き機能2と連動したA/D変換開始要求ディレイド機能

TITMRAレジスタのTITMビットを“1”にし、TITCR2AレジスタのTRG4COR[2:0]ビットで設定した値(0～7)から、既存のA/D変換開始トリガ(TRG4ANおよびTRG4BN)が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4ANおよびTRG4BNの割り込みが有効になり、A/D変換開始要求信号(TRG4ABN)が出力されます。

この機能はA/D変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能2の設定手順例

図 19.88 に割り込み間引き機能2の設定手順例を示します。

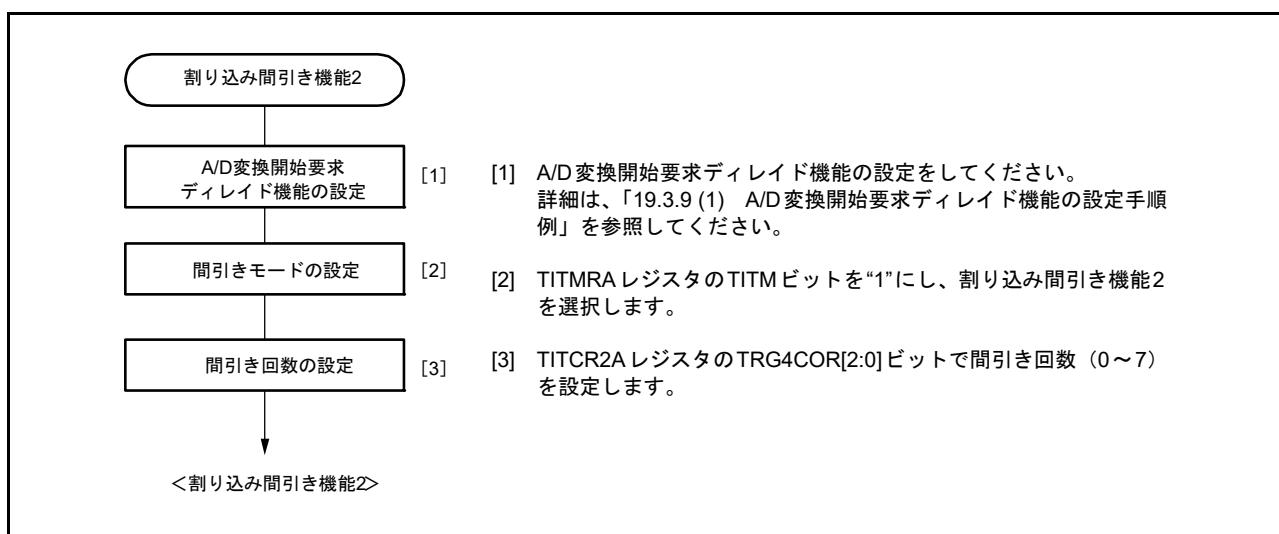


図 19.88 割り込み間引き機能2の設定手順例

(b) 割り込み間引き機能 2 の動作例

図 19.89 に割り込み間引き機能 2 の動作例を示します。

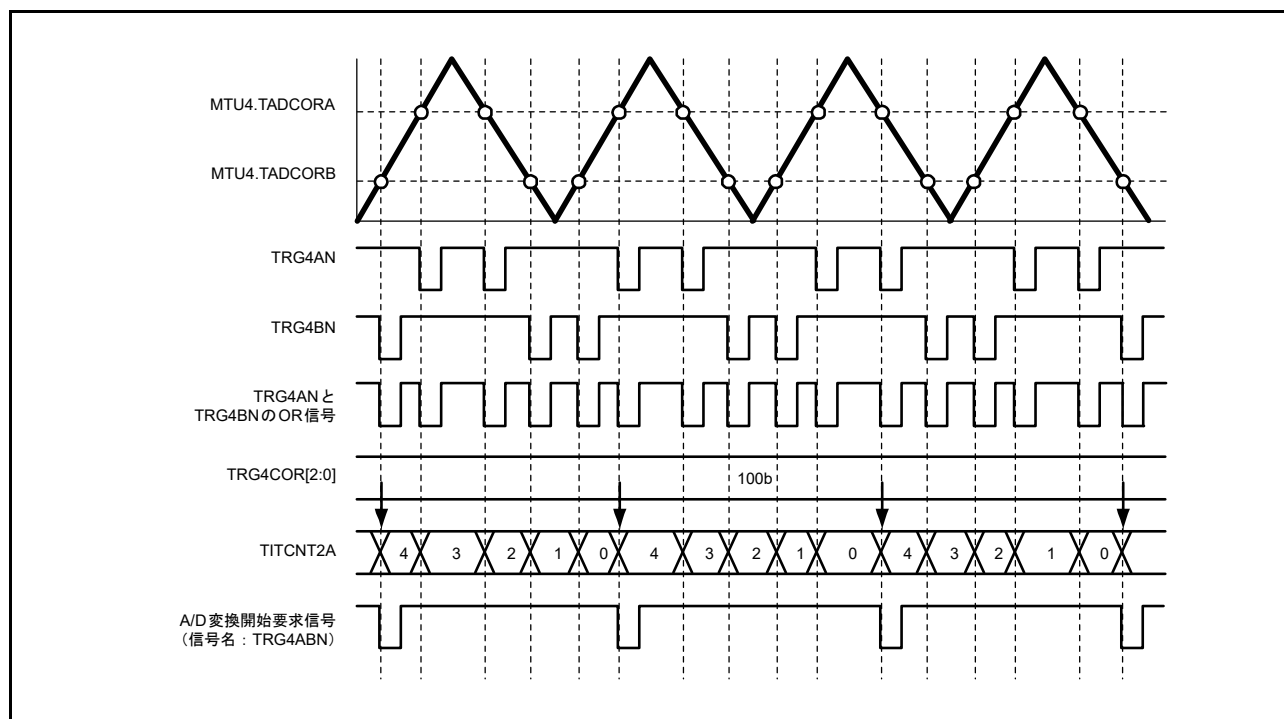


図 19.89 割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

19.3.10 MTU0 ～ MTU4 の同期動作

(1) MTU0 ～ MTU4 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ～ MTU4 のカウンタを同期スタートすることができます。

(a) MTU0 ～ MTU4 カウンタ同期スタートの設定手順例

図 19.90 に MTU0 ～ MTU4 カウンタ同期スタートの設定手順例を示します。

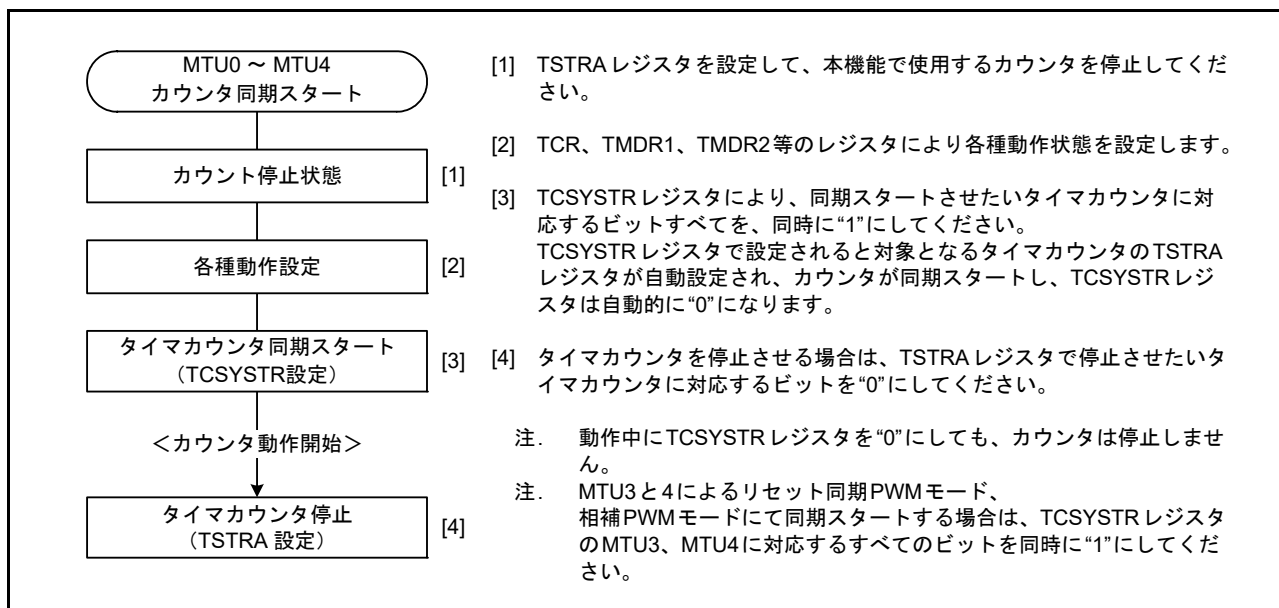


図 19.90 MTU0 ～ MTU4 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 19.91 に MTU0 ～ MTU4 カウンタ同期スタートの動作例を示します。

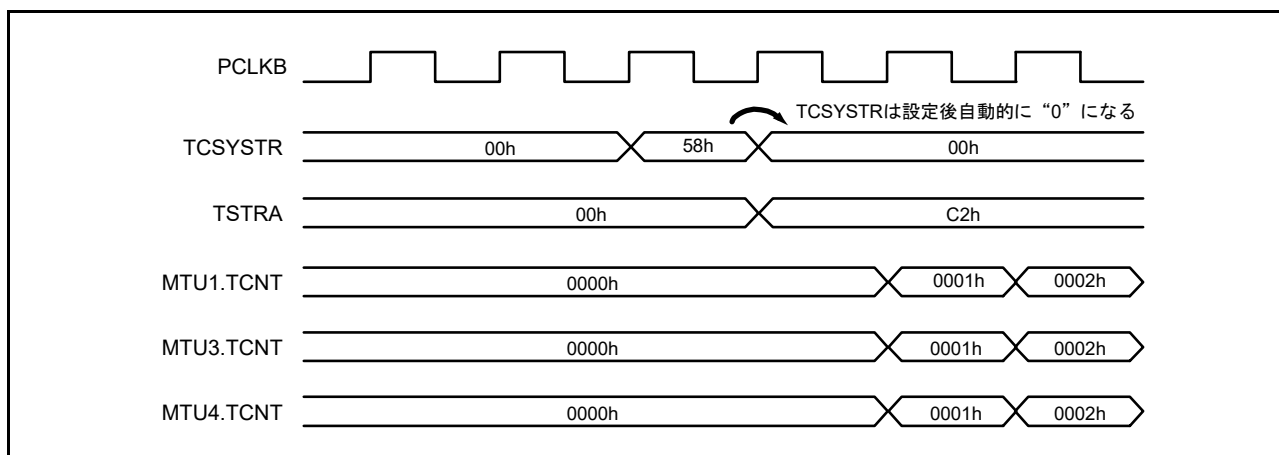


図 19.91 MTU0 ～ MTU4 カウンタ同期スタートの動作例

19.3.11 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 19.92 に、動作例を図 19.93 に示します。

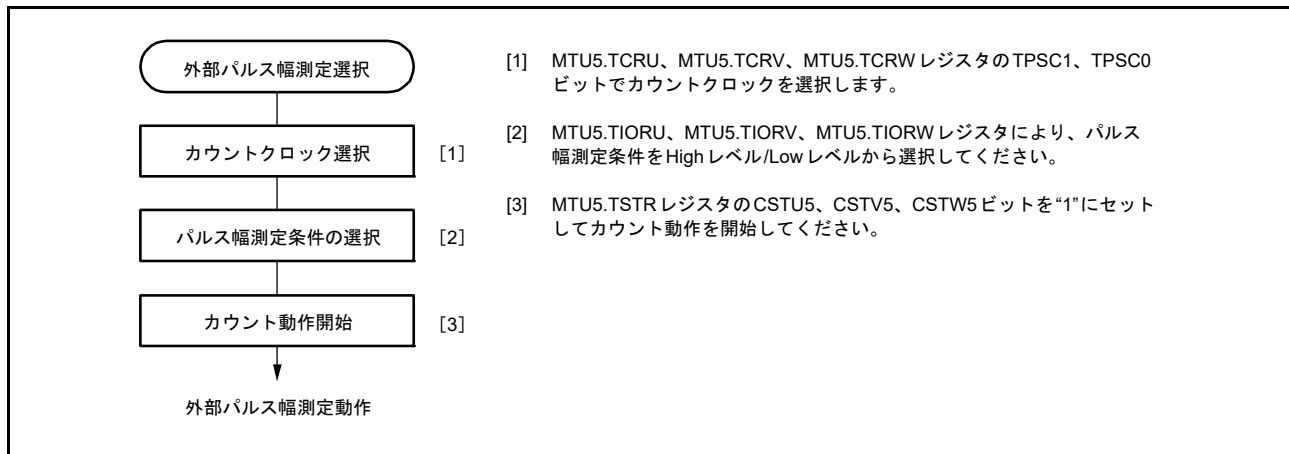


図 19.92 外部パルス幅測定の設定手順例

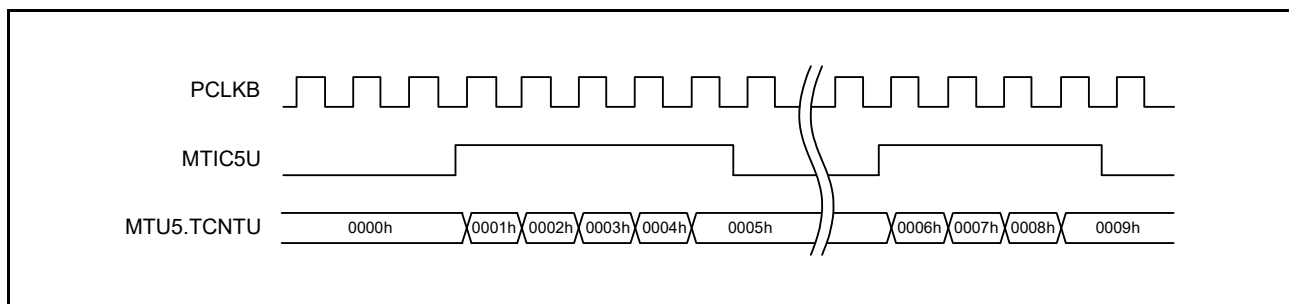


図 19.93 外部パルス幅測定の動作例 (High パルス幅測定)

19.3.12 デッドタイム補償用機能

MTU3 ～ MTU5 を組み合わせて、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を補償することができます。図 19.94 に、MTU3 ～ MTU5 を組み合わせて、デッドタイム遅れを補償するモータ制御の回路例を示します。MTU5 の外部パルス測定機能で相補 PWM 出力とインバータ出力間の遅延を測定して、PWM 出力のコンペアレジスタに設定するデューティを補正することで、MTU3、MTU4 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 19.95）。MTU3 ～ MTU5 を使用したデッドタイム補償の設定手順を図 19.96 に示します。このときの MTU5 の動作については、「19.3.13 相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作」を参照してください。

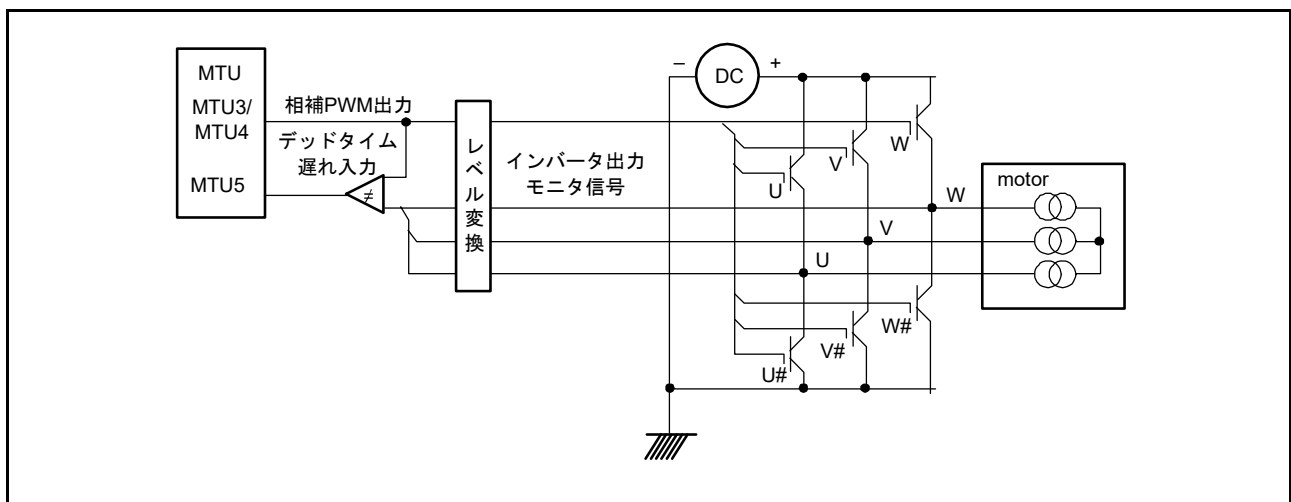


図 19.94 モータ制御回路例

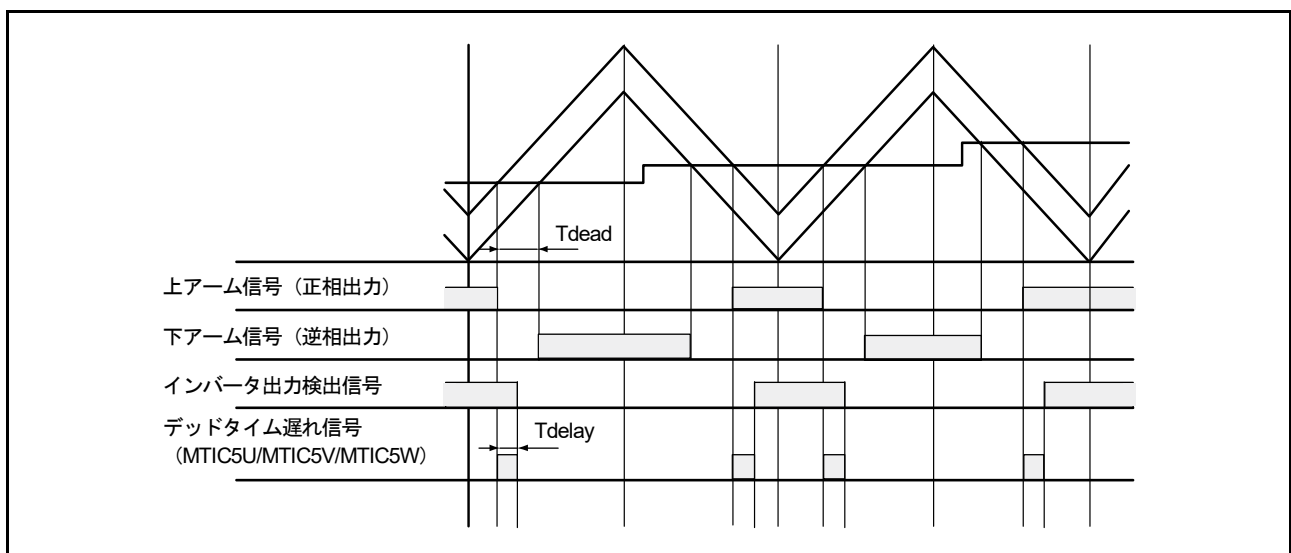


図 19.95 相補 PWM 動作時のデッドタイム遅れ

(1) デッドタイム補償用機能の設定手順例

MTU5 の3本のカウンタを使用したデッドタイム補償用機能の設定手順例を図 19.96 に示します。

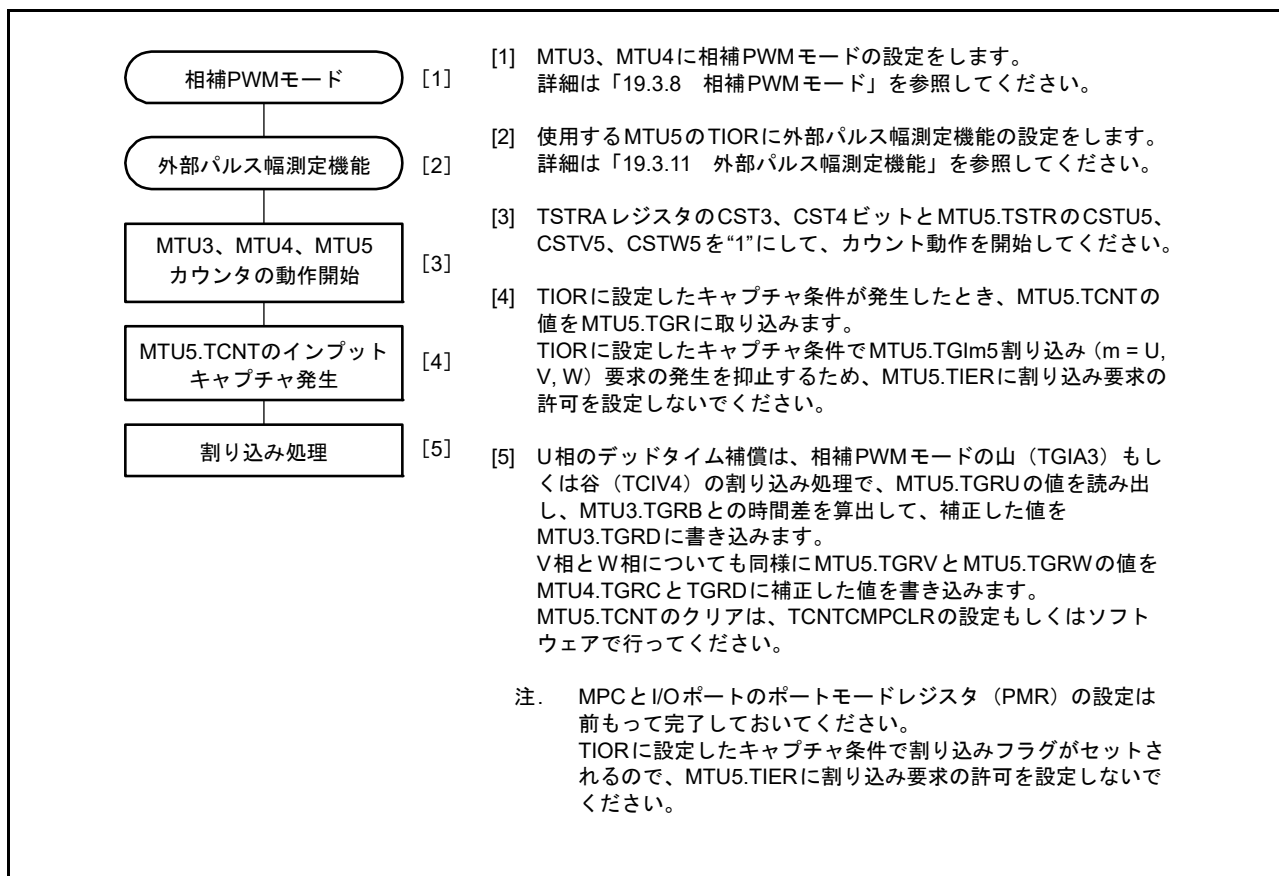


図 19.96 デッドタイム補償用機能の設定手順例

19.3.13 相補 PWM モード時の山と谷での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、MTU3、MTU4 を相補 PWM モードで動作させたときに、相補 PWM の山、谷、または山と谷で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送する機能です。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを“1”にすると、TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW が“0000h”になります。

図 19.97 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの山と谷で TGRU にキャプチャを行った動作例です。

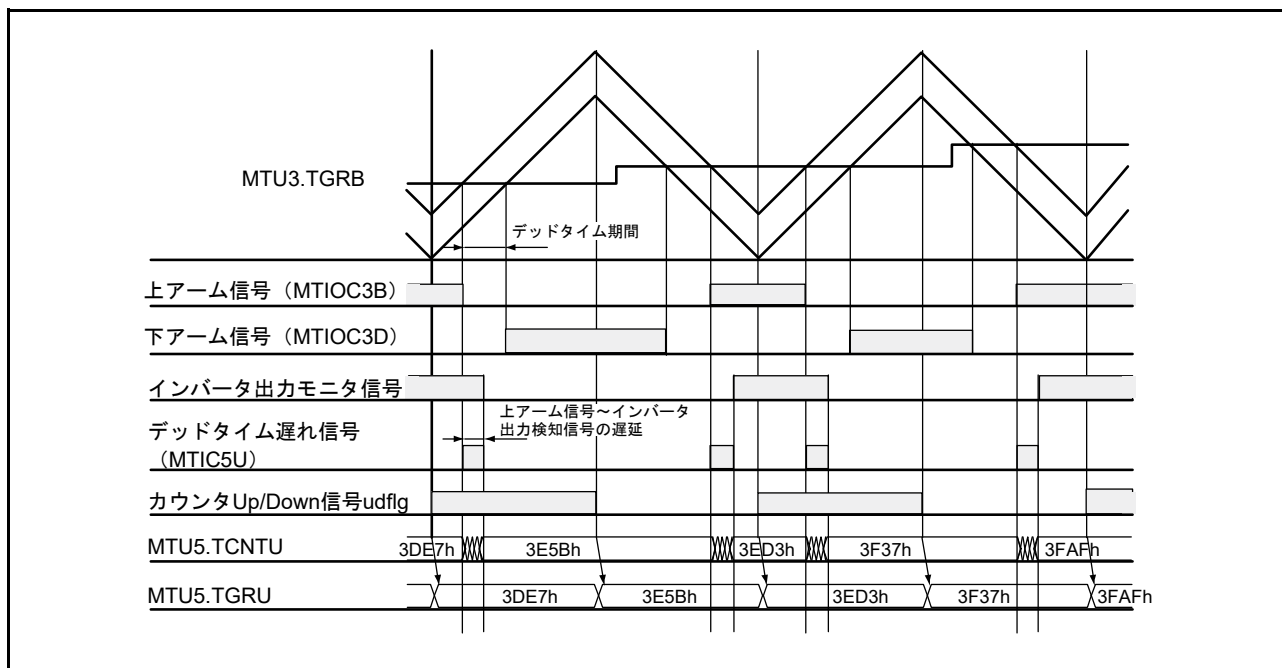


図 19.97 相補 PWM の山と谷での TCNTU キャプチャ動作

19.3.14 ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

ノイズフィルタ機能を有効にすると、サンプリングクロックの3周期に満たない入力パルスを除去できます。ノイズフィルタ機能の有効/無効は端子ごとに設定でき、サンプリングクロックの設定はチャンネルごとに設定できます。

図 19.98 にノイズフィルタのタイミングを示します。

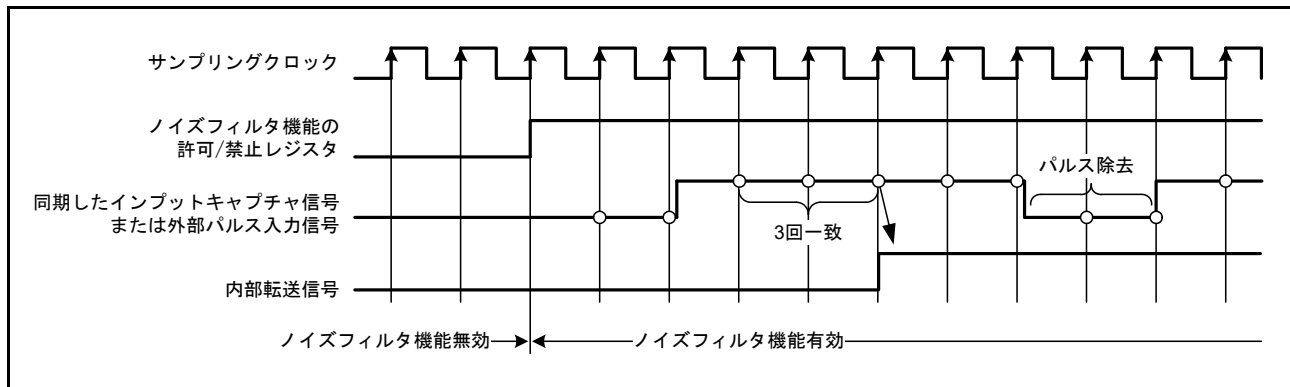


図 19.98 ノイズフィルタのタイミング

なお、ノイズフィルタ機能を有効にした場合、入力信号は最短で、「サンプリングクロックの周期 × 2 + PCLKB」だけ遅延します。

19.3.15 A/D 変換開始要求フレーム同期信号

本機能を使用すると A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。

TADSTRGR_n レジスタ (n = 0, 1) でモニタしたい A/D 変換要求信号を選択し、TADSTRGR_n.TADSMEN_n ビットで ADSM_n 端子出力許可にすると ADSM_n 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。

図 19.99 に A/D 変換開始要求フレーム同期信号出力例を示します。

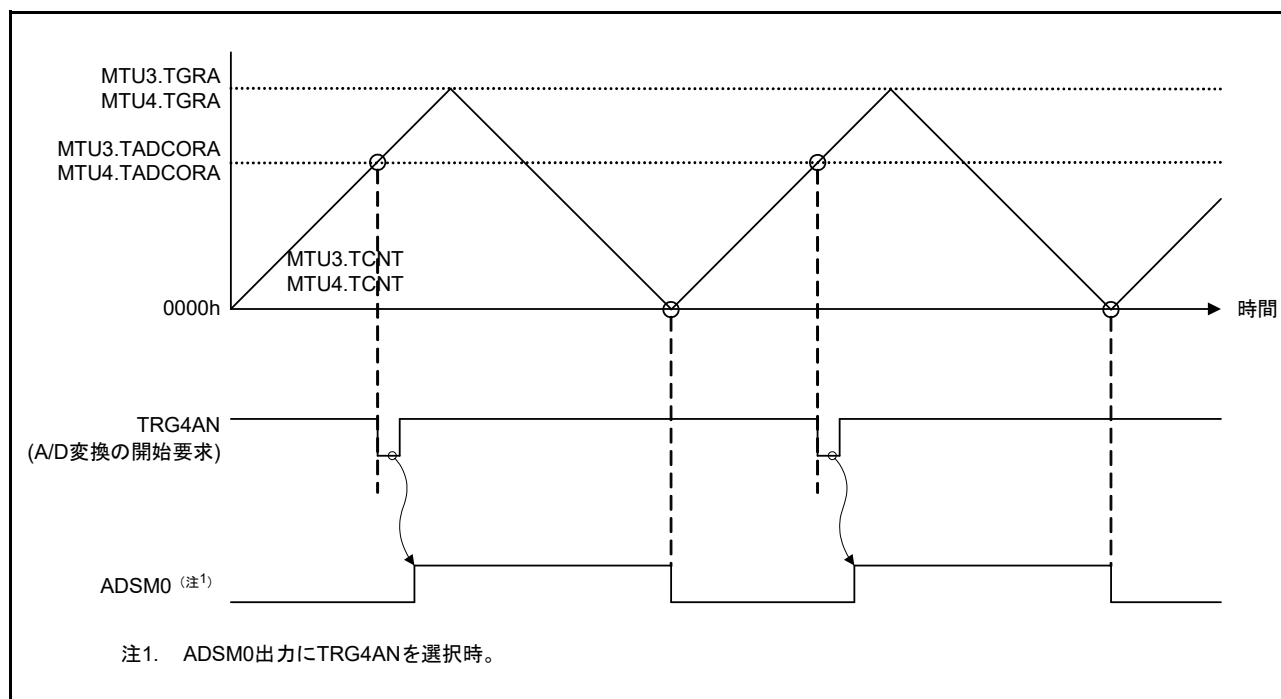


図 19.99 A/D 変換開始要求フレーム同期信号出力例

19.4 割り込み要因

19.4.1 割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用の許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可 / 禁止ビットが“1”ならば、割り込みを要求します。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICub)」を参照してください。表 19.62 に MTU の割り込み要因の一覧を示します。

表 19.62 MTU割り込み要因

[illegible]

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

注1. アンダフローは相補PWMモード時のみ有効

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャネルの TGR のインพุットキャプチャ/コンペアマッチが発生したとき、TIER.TGIE ビットが“1”であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 21 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが“1”であれば、割り込みを要求します。MTU には、MTU5 を除く各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

なお、相補 PWM モードで動作時は、MTU4.TCNT のアンダフロー発生時もオーバフロー割り込みが発生します。

(3) アンダフロー割り込み

各チャネルの TCNT のアンダフローが発生したとき、TIER.TCIEU ビットが“1”であれば、割り込みを要求します。MTU には、MTU1、MTU2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

19.4.2 DTC の起動

(1) DTC の起動

各チャネルの TGR のインพุットキャプチャ/コンペアマッチ割り込み、MTU4 のオーバフロー割り込みによって、DTC を起動することができます。詳細は「16. データトランスファコントローラ (DTCb)」を参照してください。

MTU では、MTU0、MTU3 が各 4 本、MTU1、MTU2 が各 2 本、MTU4 が 5 本、MTU5 が 3 本、計 20 本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みを DTC の起動要因とすることができます。

19.4.3 A/D コンバータの起動

MTU では、次の3種類の方法で A/D コンバータを起動することができます。

各割り込み要因と A/D 変換開始要求の対応を、表 19.63 に示します。

(1) TGRA のインプットキャプチャ/コンペアマッチと、相補 PWM モード時の MTU4.TCNT の谷での A/D 起動

各チャネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D コンバータを起動することができます。また、MTU4.TIER の TTGE2 ビットを“1”にした状態で、相補 PWM 動作をさせた場合は、MTU4.TCNT が谷 (MTU4.TCNT = 0000h) になったときも A/D コンバータを起動することができます。

次に示す条件で、A/D コンバータに対して A/D 変換の開始要求 (TRGAnN (n = 0 ~ 4)) を行います。

- 各チャネルの TGRA のインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGE ビットが“1”になっていた場合
- MTU4.TIER の TTGE2 ビットが“1”の状態で、相補 PWM 動作をさせ、MTU4.TCNT が谷 (MTU4.TCNT = 0000h) になった場合

これらのとき A/D コンバータ側で MTU の変換開始トリガ TRGAnN が選択されていれば、A/D 変換が開始されます。

(2) MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 起動

MTU0.TCNT と MTU0.TGRE のコンペアマッチによって、A/D 変換の開始要求 (TRG0N) を行い、A/D コンバータを起動することができます。

MTU0.TCNT と MTU0.TGRE のコンペアマッチが発生したとき、MTU0.TIER2 の TTGE2 ビットが“1”になっていれば、A/D コンバータに対して A/D 変換の開始要求 (TRG0N) を行います。このとき、A/D コンバータ側で MTU の変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3) A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ (MTU4.TADCRCR) の UT4AE、DT4AE、UT4BE、DT4BE ビットを“1”にした場合、MTU4.TADCORA、MTU4.TADCORB と MTU4.TCNT の一致によって、TRG4AN、TRG4BN を生成し、A/D コンバータを起動することができます。また、TRG4AN の発生または TRG4BN の発生にて TRG4ABN を出力し、A/D コンバータを起動することができます。詳細は「19.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TRG4AN が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4AN が選択されているとき、TRG4BN が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4BN が選択されているとき、TRG4ABN が発生し A/D コンバータ側で MTU の変換開始トリガ TRG4ABN が選択されているとき、おのこの A/D 変換が開始されます。

表 19.63 各割り込み要因と A/D 変換開始要求信号の対応

対象	割り込み要因	A/D 変換開始要求信号
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU1.TGRA と MTU1.TCNT		TRGA1N
MTU2.TGRA と MTU2.TCNT		TRGA2N
MTU3.TGRA と MTU3.TCNT		TRGA3N
MTU4.TGRA と MTU4.TCNT(注1)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU0.TGRE と MTU0.TCNT	コンペアマッチ	TRG0N
MTU4.TADCORA と MTU4.TCNT		TRG4AN
MTU4.TADCORB と MTU4.TCNT		TRG4BN
MTU4.TADCORA と MTU4.TCNT、 MTU4.TADCORB と MTU4.TCNT	コンペアマッチ（割り込み間引き機能2）	TRG4ABN

注1. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRAはMTU4.TCNTだけではなく、MTU3.TCNTやTCNTSAともコンペアマッチの検出を行っています。そのため、MTU3.TCNTやTCNTSAとコンペアマッチが起こった際もTRGA4Nを生成します。

MTU3、MTU4を相補PWMモードで動作させて、A/D変換の開始要求を行う場合はMTU4.TCNTとMTU4.TADCORA/TADCORBとのコンペアマッチによるA/D変換開始要求を使用してください。

19.5 動作タイミング

19.5.1 入出力タイミング

(1) TCNTのカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 19.100、図 19.101 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 19.102 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 19.103 に示します。

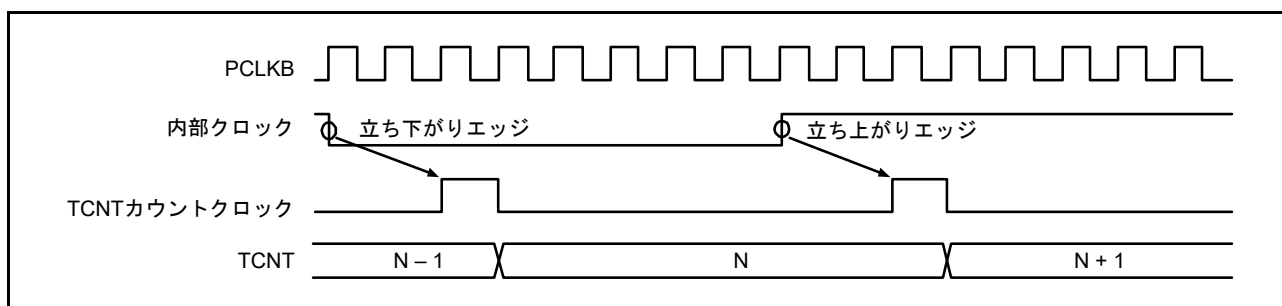


図 19.100 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

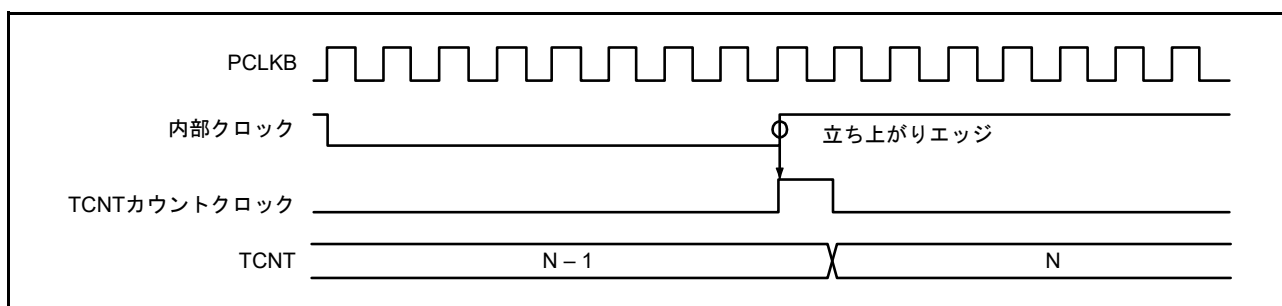


図 19.101 内部クロック動作時のカウントタイミング (MTU5)

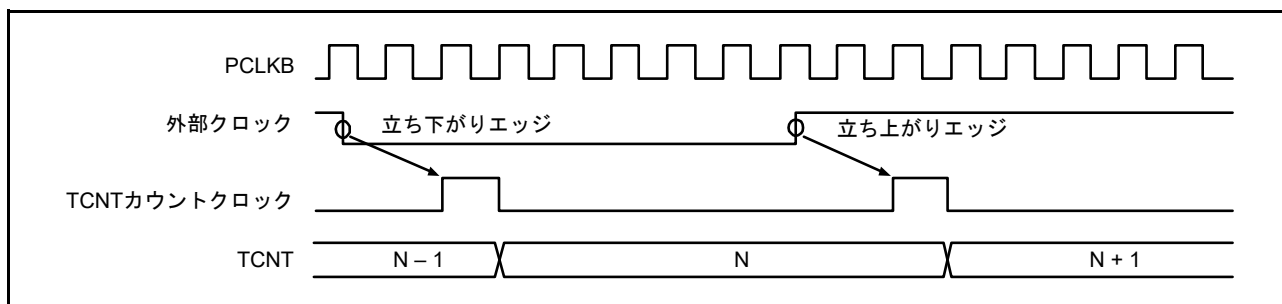


図 19.102 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

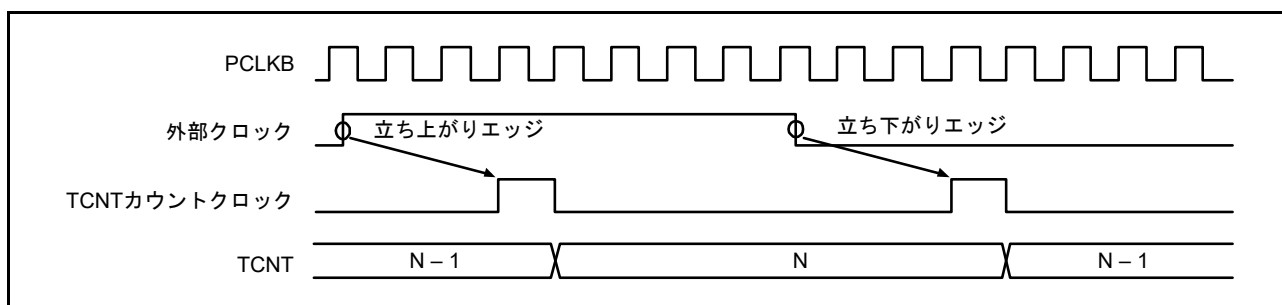


図 19.103 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCR レジスタで設定した出力値が MTIOCNm 端子（ $n=0 \sim 4$ 、 $m=A \sim D$ ）に出力されます。TCNT と TGR が一致した後、TCNT カウントクロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 19.104 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 19.105 に示します。

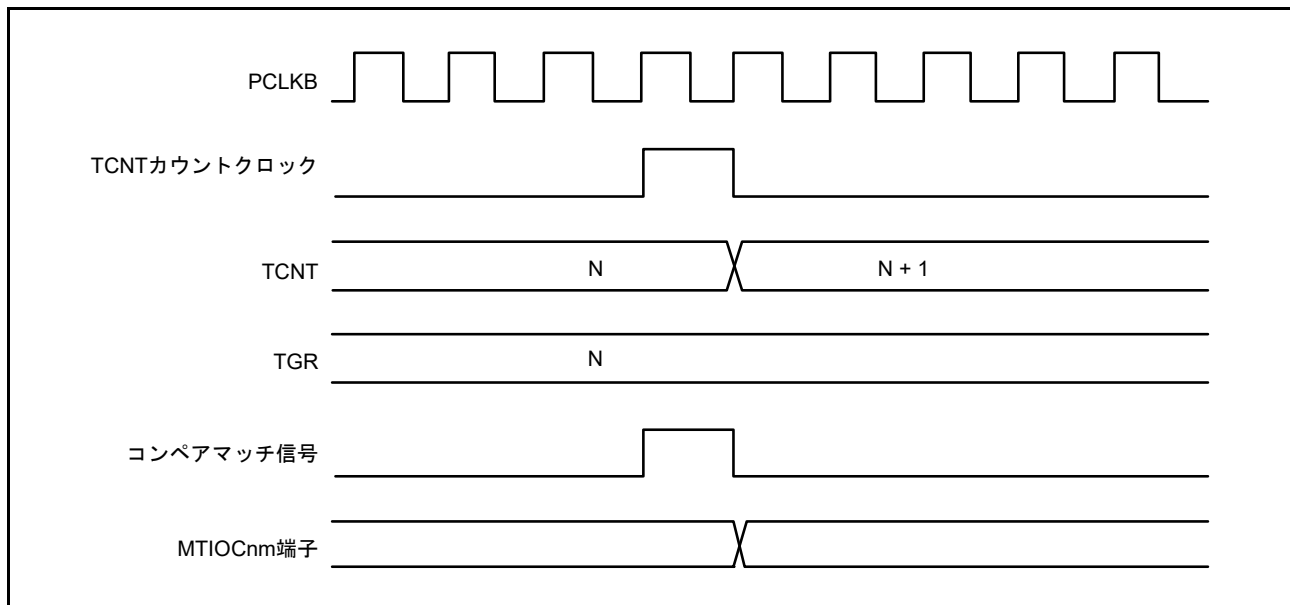


図 19.104 アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）
($n=0 \sim 4$ 、 $m=A \sim D$)

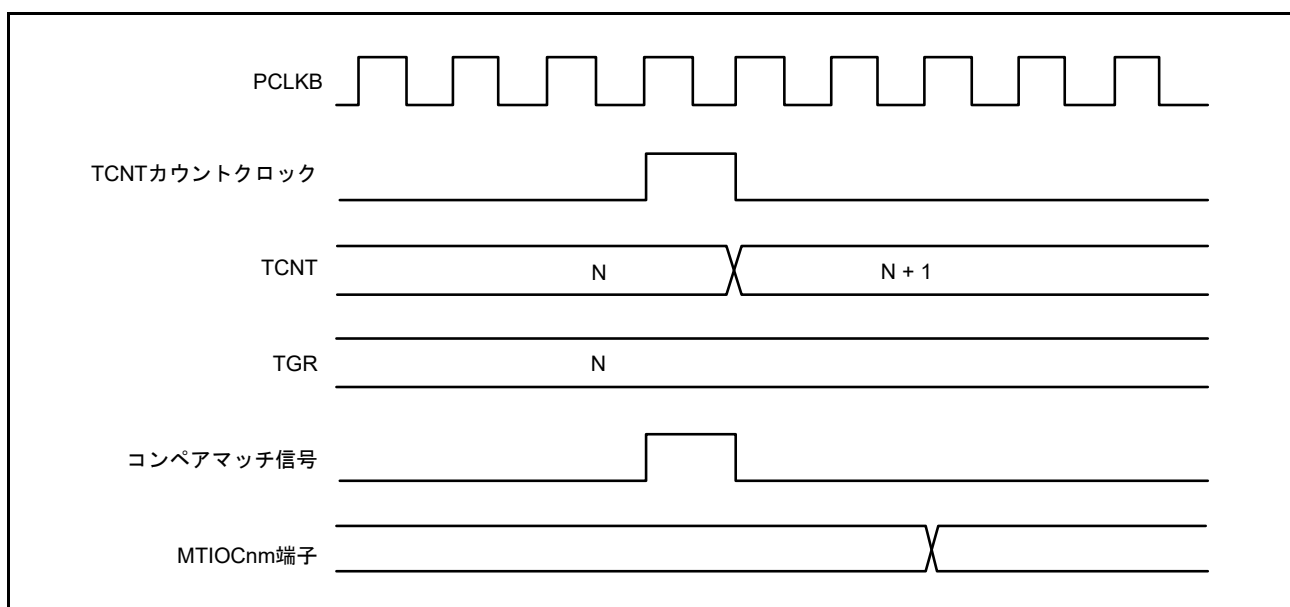


図 19.105 アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）
($n=0 \sim 4$ 、 $m=A \sim D$)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 19.106 に示します。

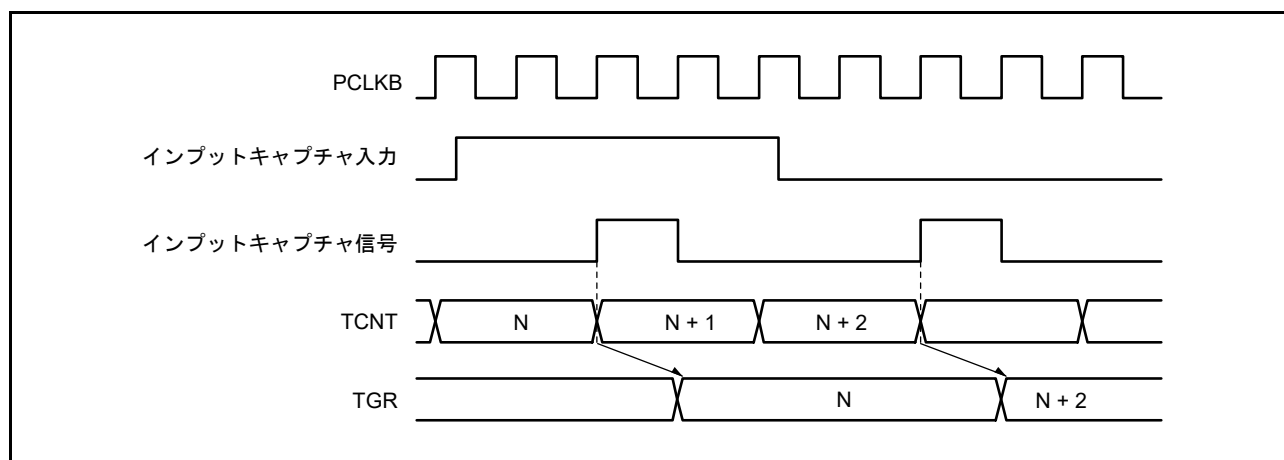


図 19.106 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 19.107、図 19.108 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 19.109 に示します。

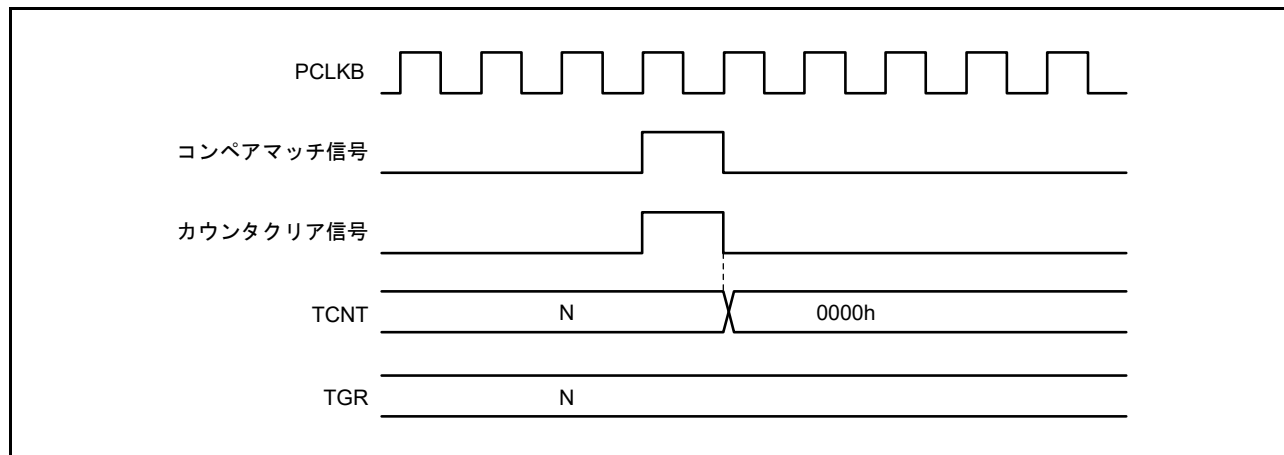


図 19.107 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4)

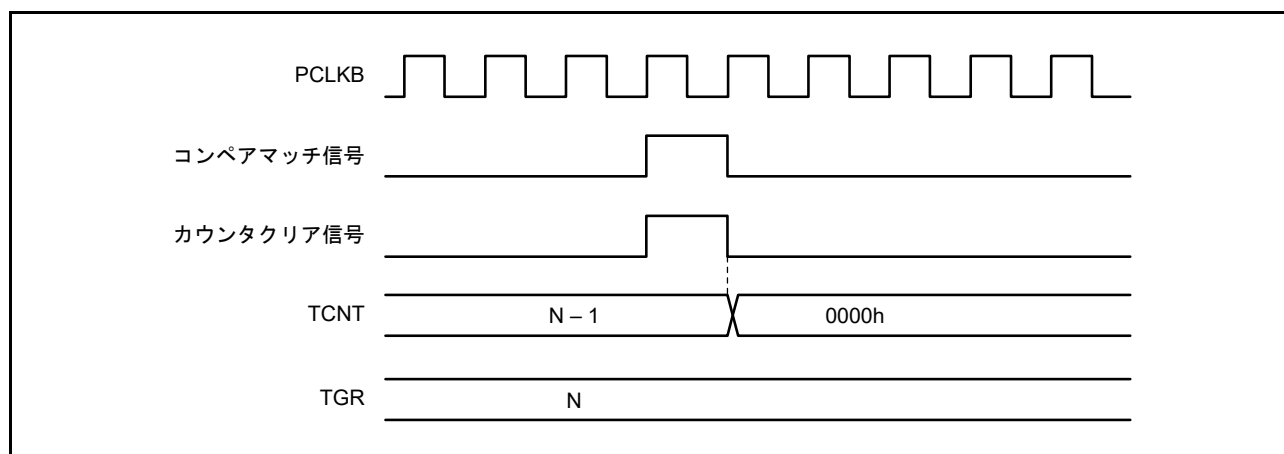


図 19.108 カウンタクリアタイミング (コンペアマッチ) (MTU5)

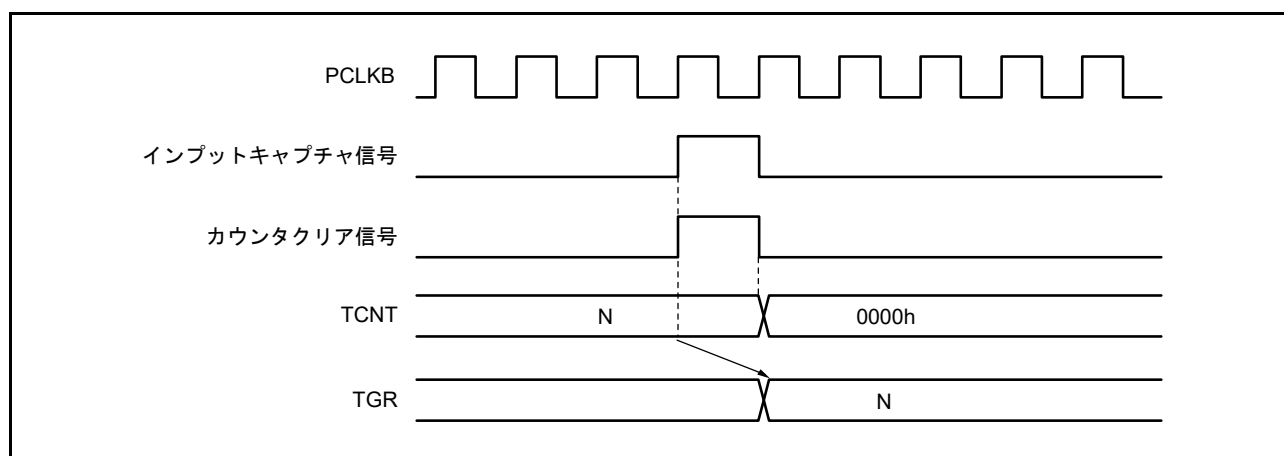


図 19.109 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 19.110 ～図 19.112 に示します。

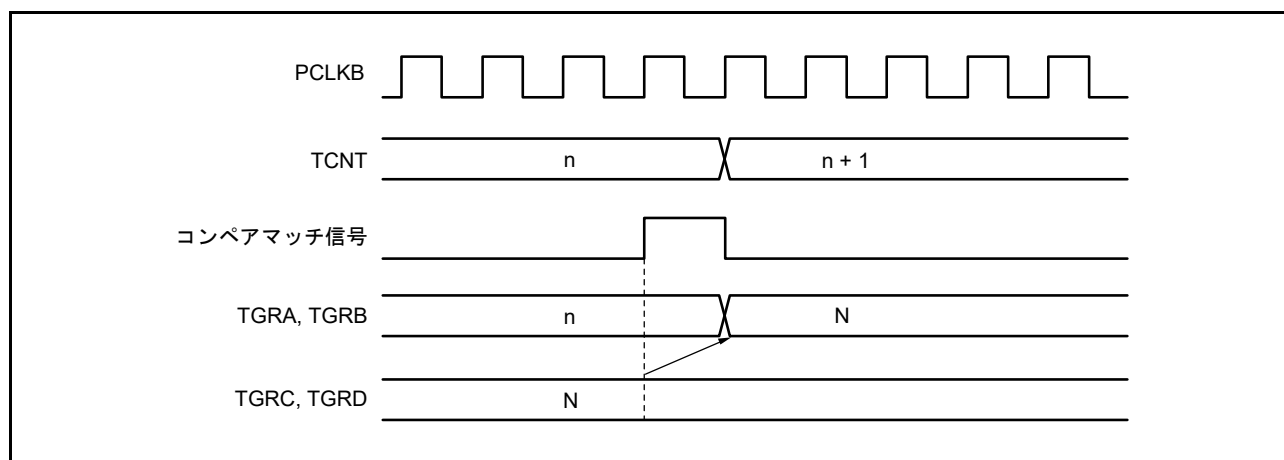


図 19.110 バッファ動作タイミング (コンペアマッチ)

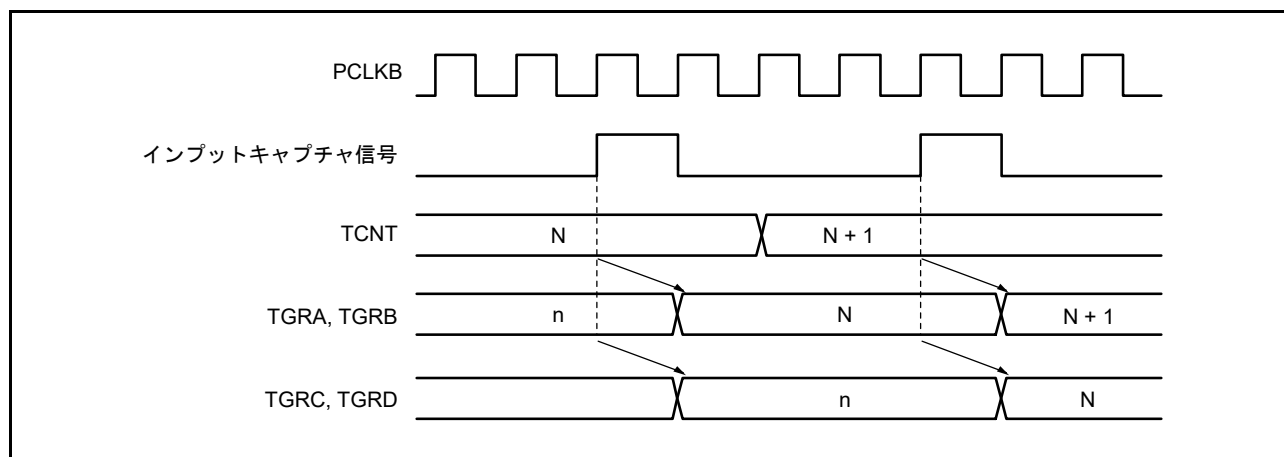


図 19.111 バッファ動作タイミング (インプットキャプチャ)

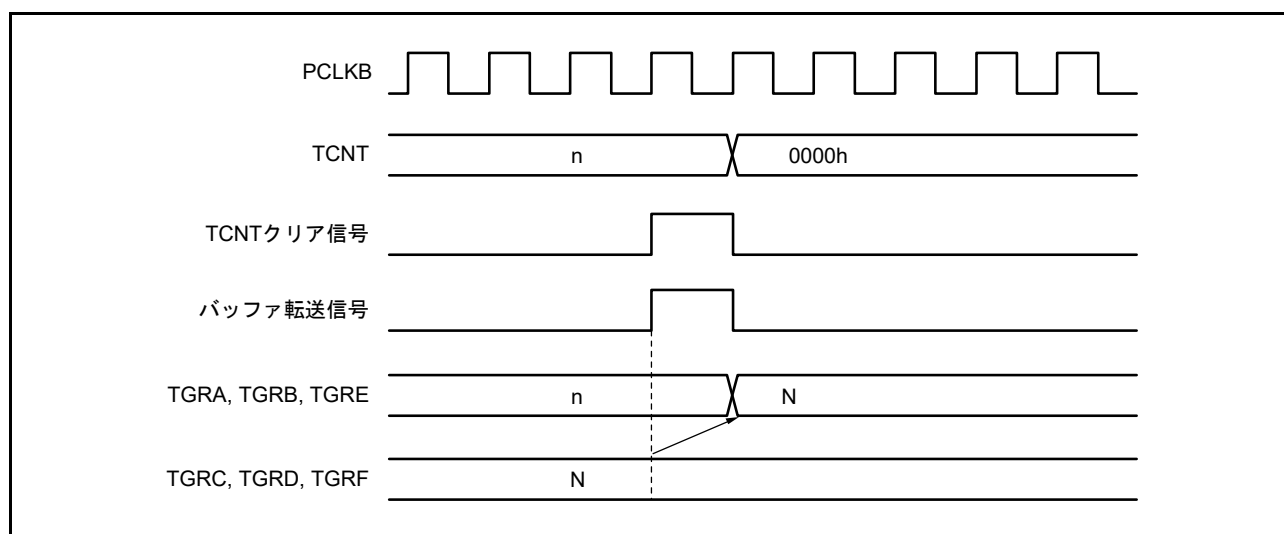


図 19.112 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 19.113 ～図 19.115 に示します。

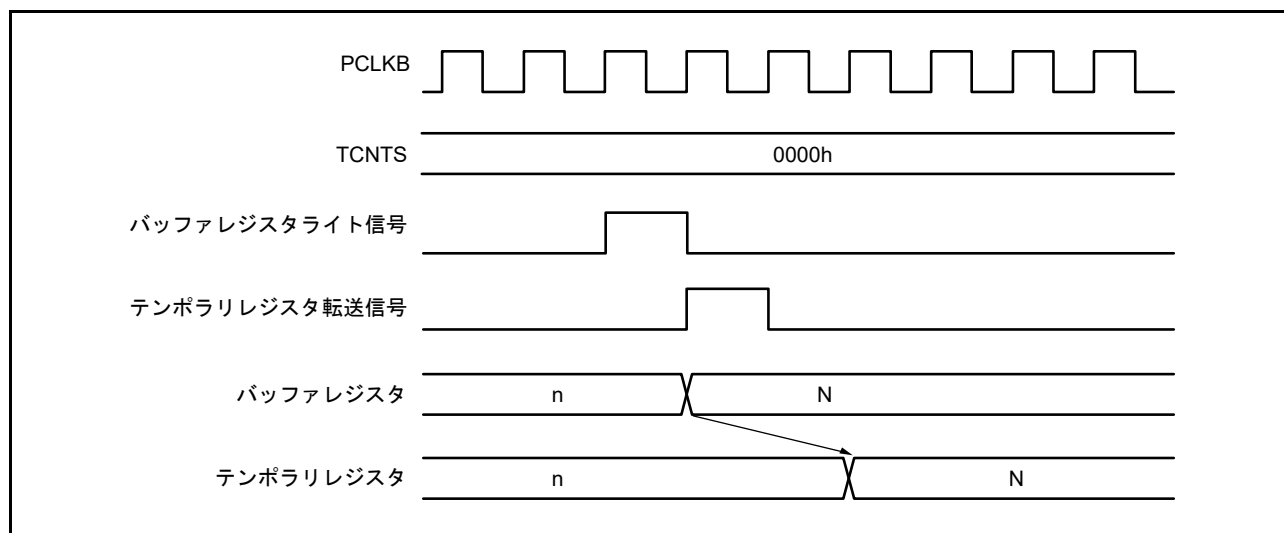


図 19.113 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

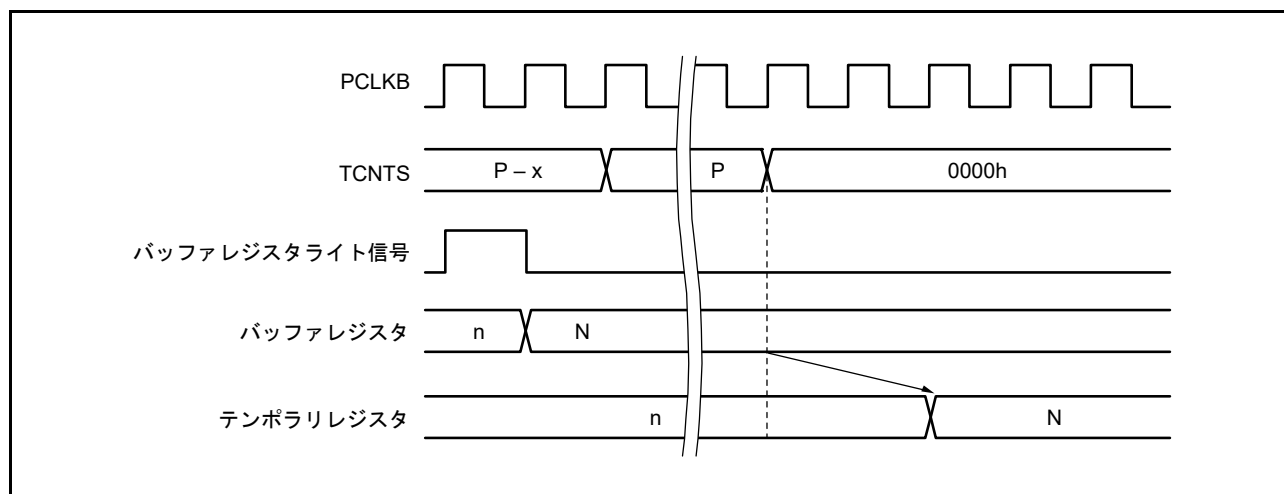


図 19.114 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

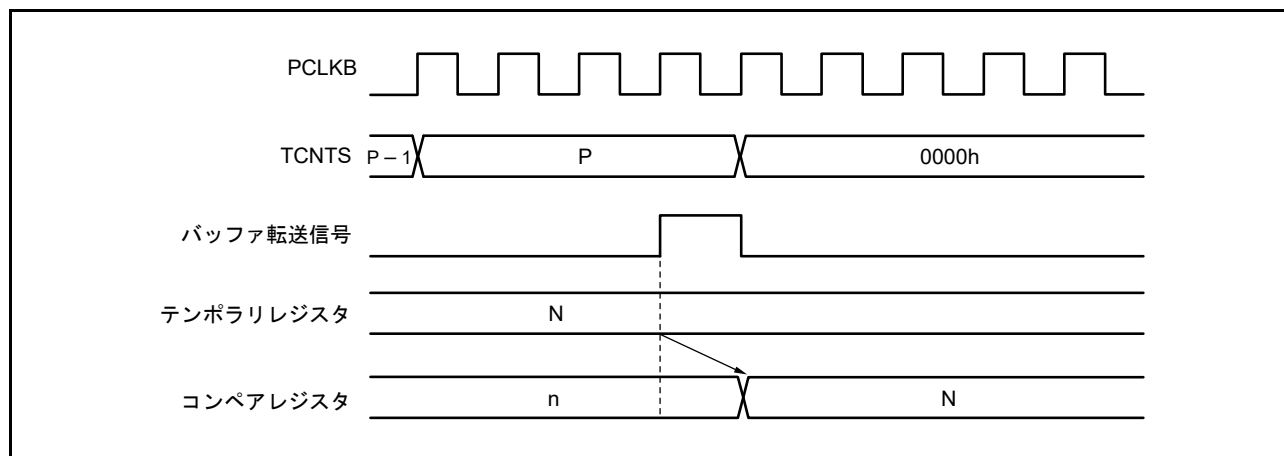


図 19.115 テンポラリレジスタからコンペアレジスタへの転送タイミング

19.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 19.116、図 19.117 に示します。

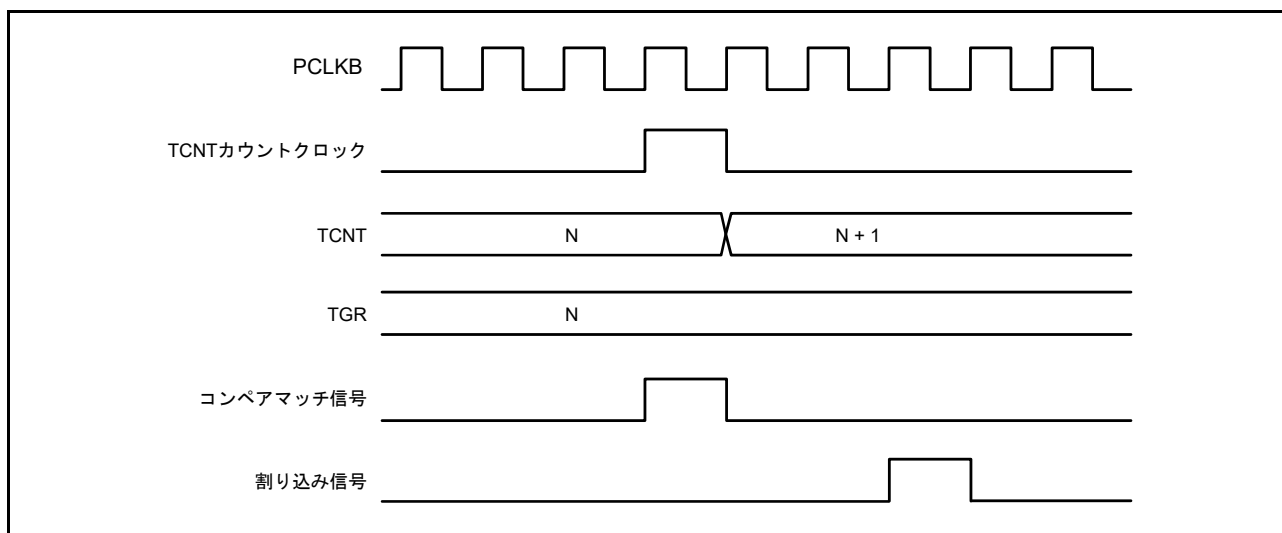


図 19.116 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4)

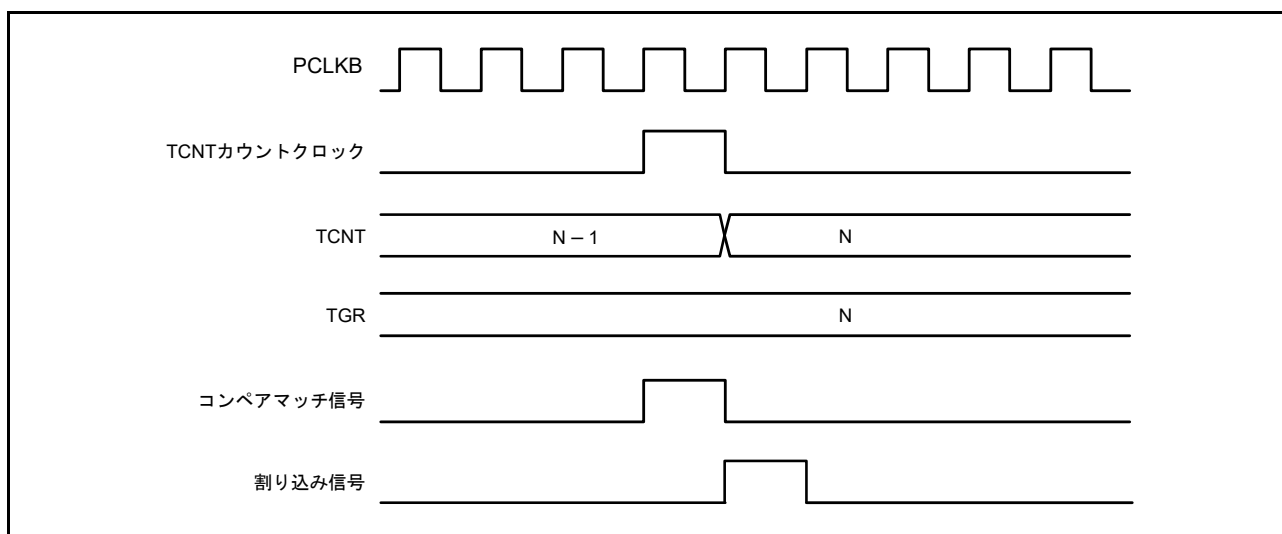


図 19.117 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 19.118、図 19.119 に示します。

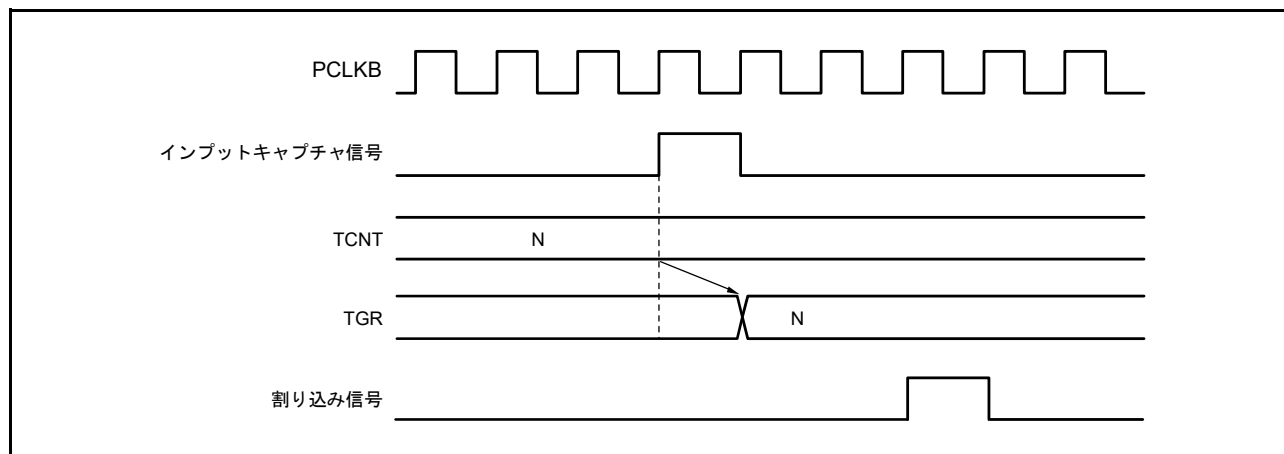


図 19.118 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4)

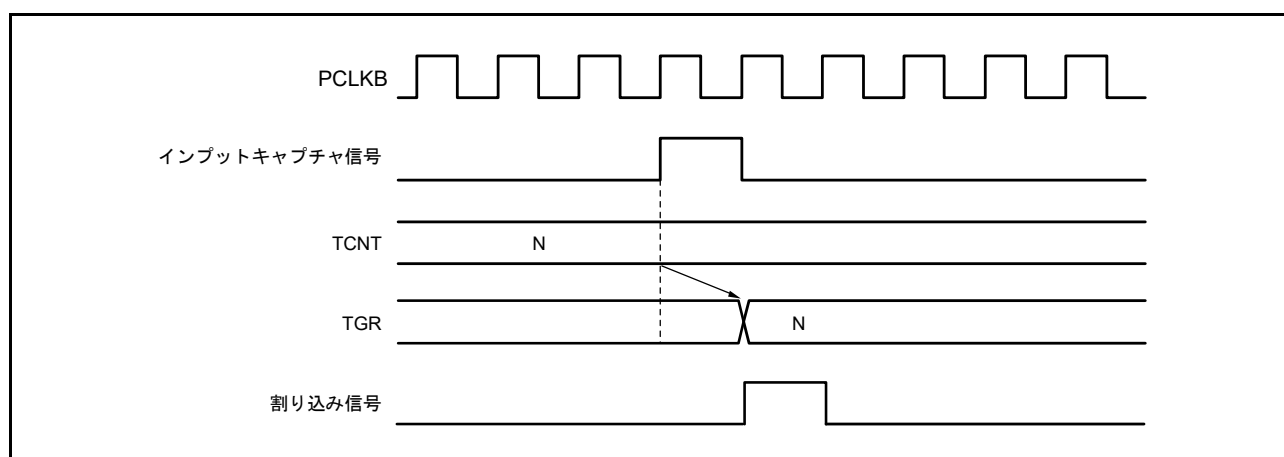


図 19.119 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローが発生したときの TCIV 割り込み要求信号のタイミングを図 19.120 に示します。

アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 19.121 に示します。

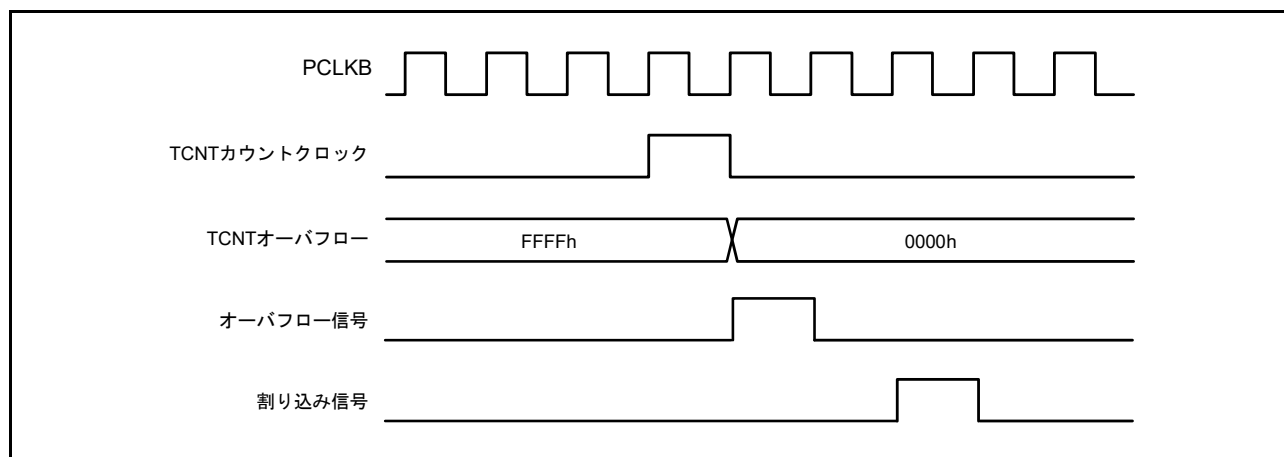


図 19.120 TCIV 割り込みタイミング

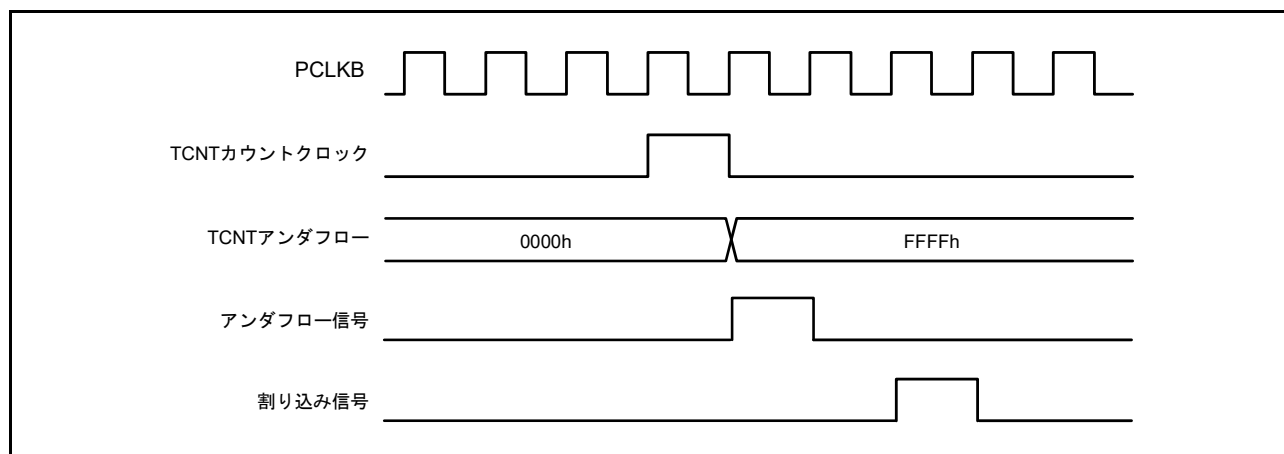


図 19.121 TCIU 割り込みタイミング

19.6 使用上の注意事項

19.6.1 モジュールストップ機能の設定

MTU は、モジュールストップコントロールレジスタにより、MTU の動作禁止 / 許可を設定することが可能です。初期値では、MTU の動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

19.6.2 カウントクロックの制限事項

カウントクロックソースのパルス幅は、単エッジの場合は 1.5 PCLKB 以上、両エッジの場合は 2.5 PCLKB 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 PCLKB 以上、パルス幅は 2.5 PCLKB 以上必要です。位相計数モードの入力クロックの条件を図 19.122 に示します。

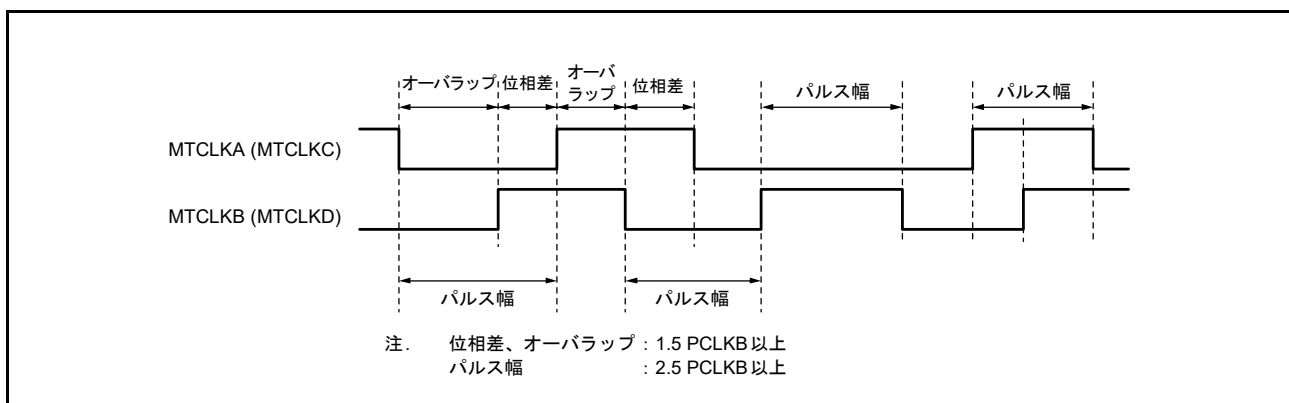


図 19.122 位相計数モード時の位相差、オーバーラップ、およびパルス幅

19.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR レジスタの値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

- MTU0 ~ MTU4 の場合

$$f = \frac{\text{CNTCLK}}{N + 1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数

N : TGR の設定値

19.6.4 TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われずに、TCNT のクリアが優先されます。

このタイミングを図 19.123 に示します。

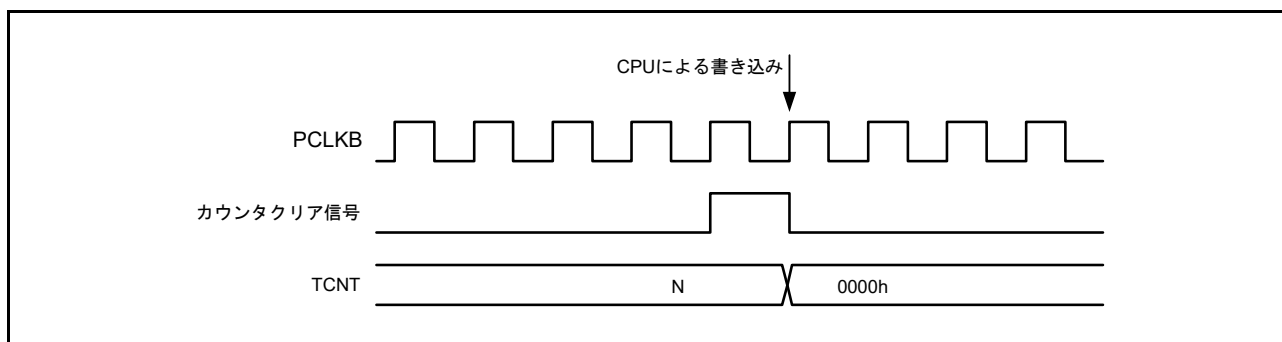


図 19.123 TCNT への書き込みとカウンタクリアの競合

19.6.5 TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 19.124 に示します。

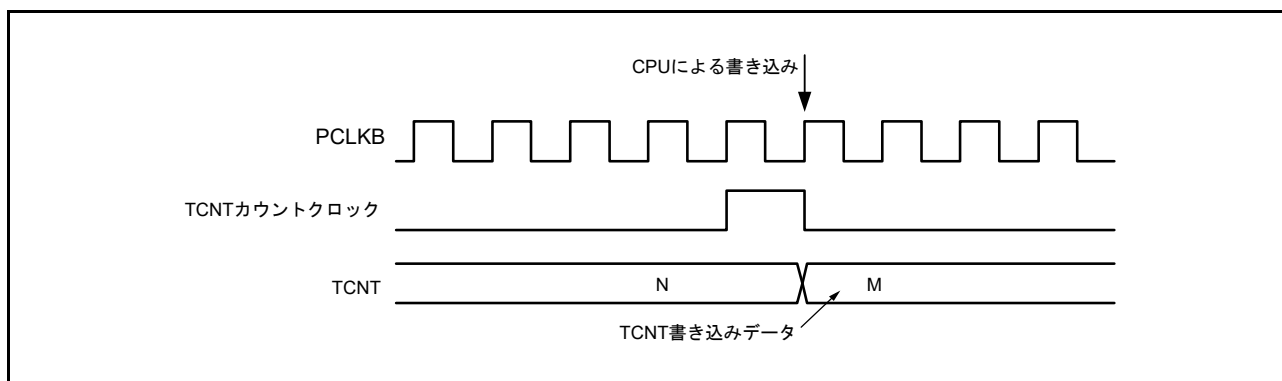


図 19.124 TCNT への書き込みとカウントアップの競合

19.6.6 TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 19.125 に示します。

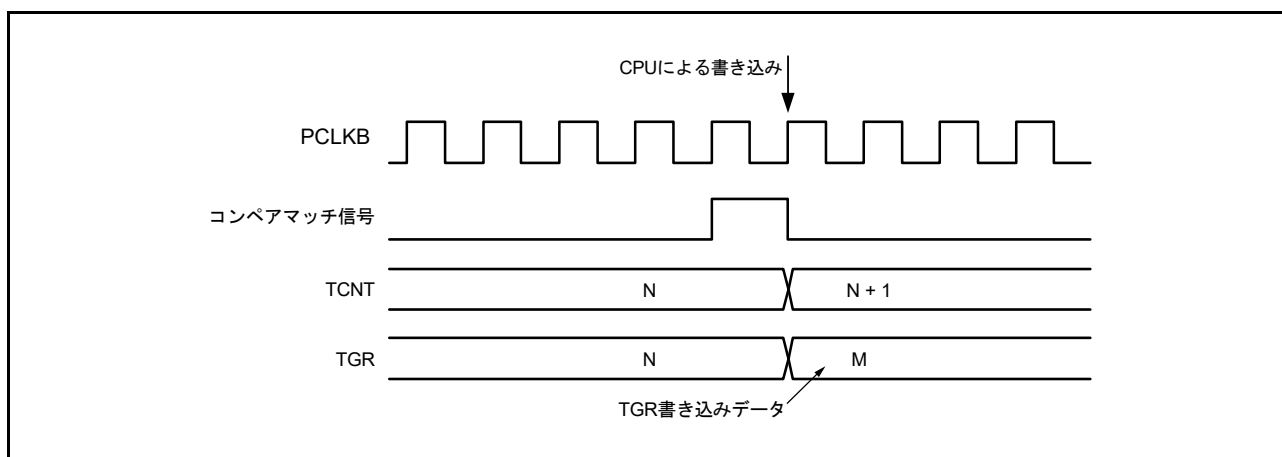


図 19.125 TGR レジスタのライトとコンペアマッチの競合

19.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

バッファレジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 19.126 に示します。

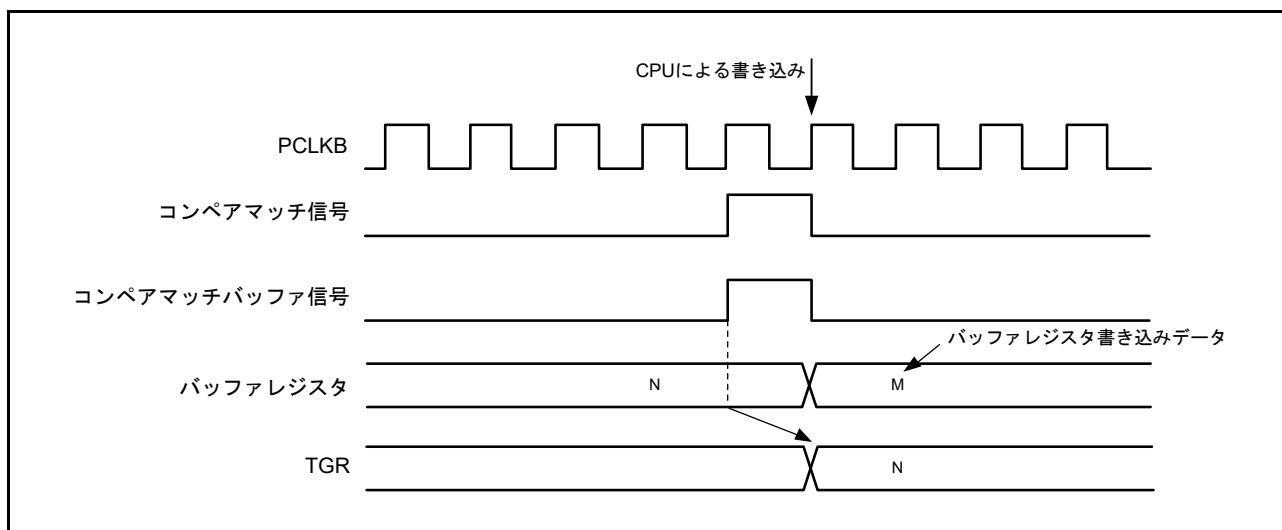


図 19.126 バッファレジスタへの書き込みとコンペアマッチの競合

19.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、バッファレジスタの書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 19.127 に示します。

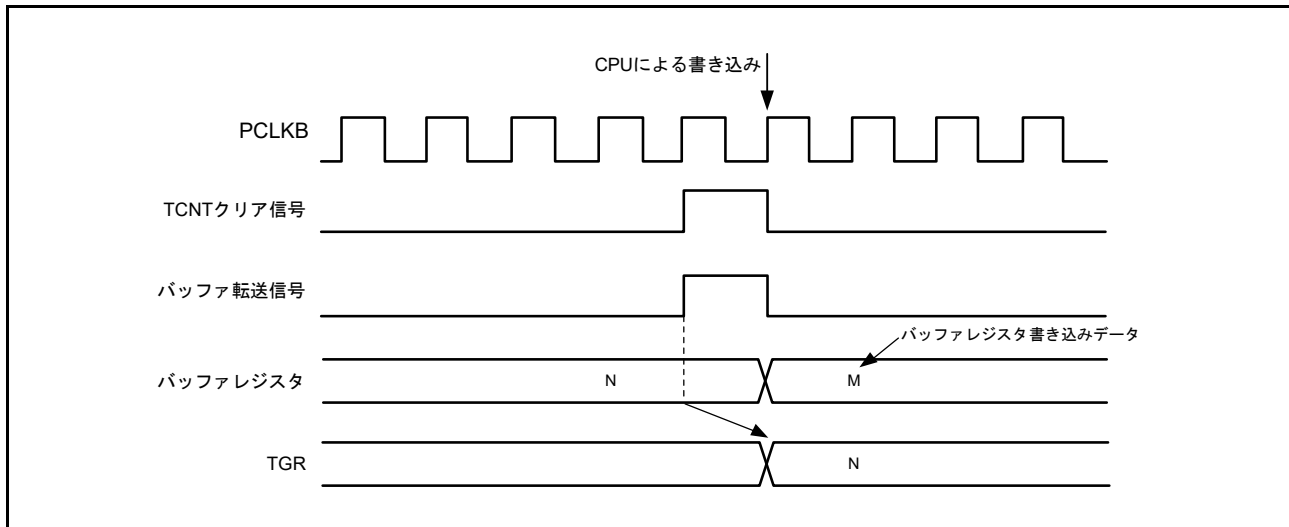


図 19.127 バッファレジスタへの書き込みと TCNT クリアの競合

19.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 19.128 に示します。

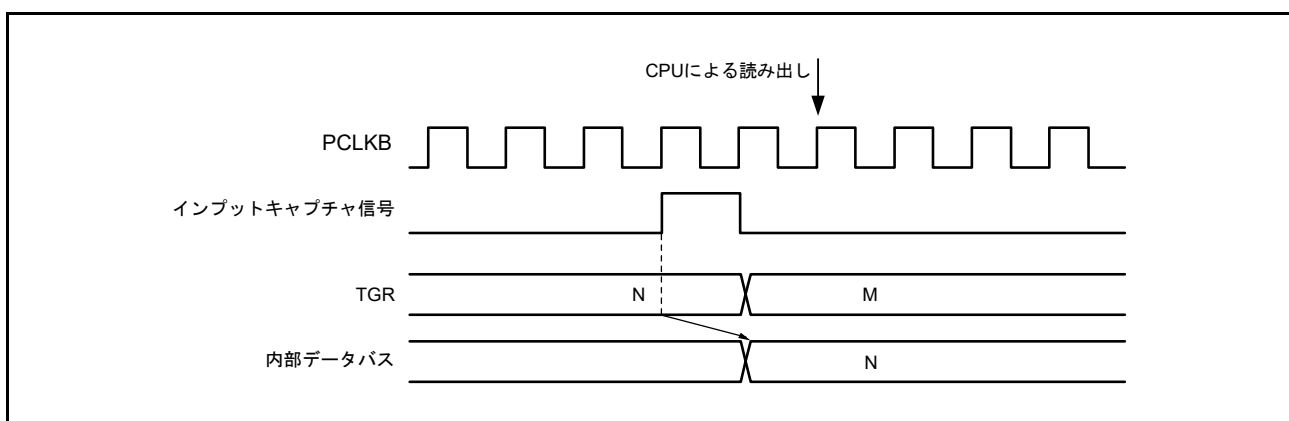


図 19.128 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU5)

19.6.10 TGR レジスタへの書き込みとインプットキャプチャの競合

TGR レジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、MTU0 ～ MTU4 では TGR レジスタへの書き込みは行われず、インプットキャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、インプットキャプチャ信号も発生します。

このタイミングを図 19.129、図 19.130 に示します。

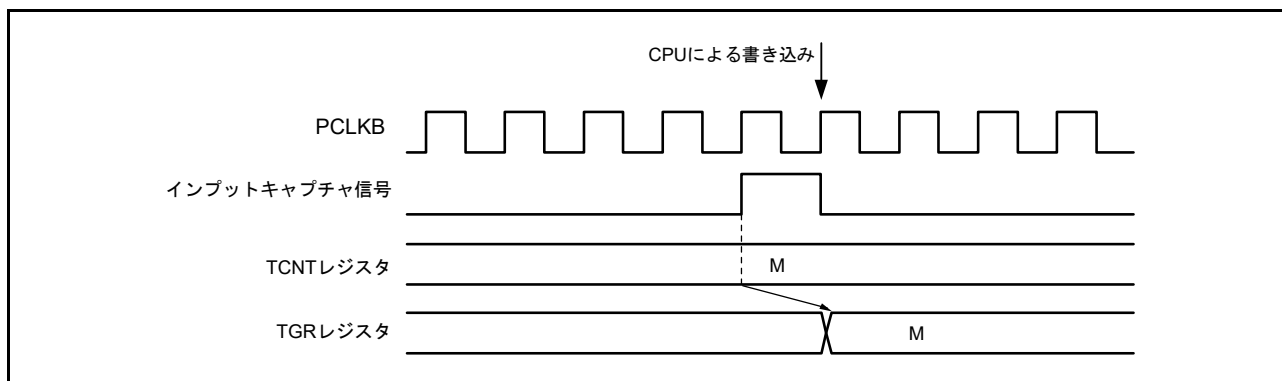


図 19.129 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU0 ～ MTU4)

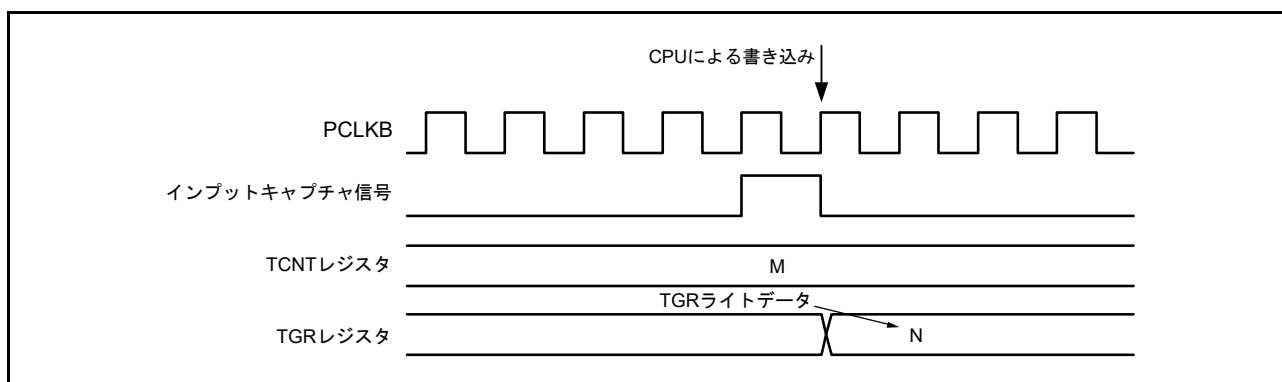


図 19.130 TGR レジスタへの書き込みとインプットキャプチャの競合 (MTU5)

19.6.11 バッファレジスタへの書き込みとインプットキャプチャの競合

バッファレジスタの書き込みサイクル中にインプットキャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 19.131 に示します。

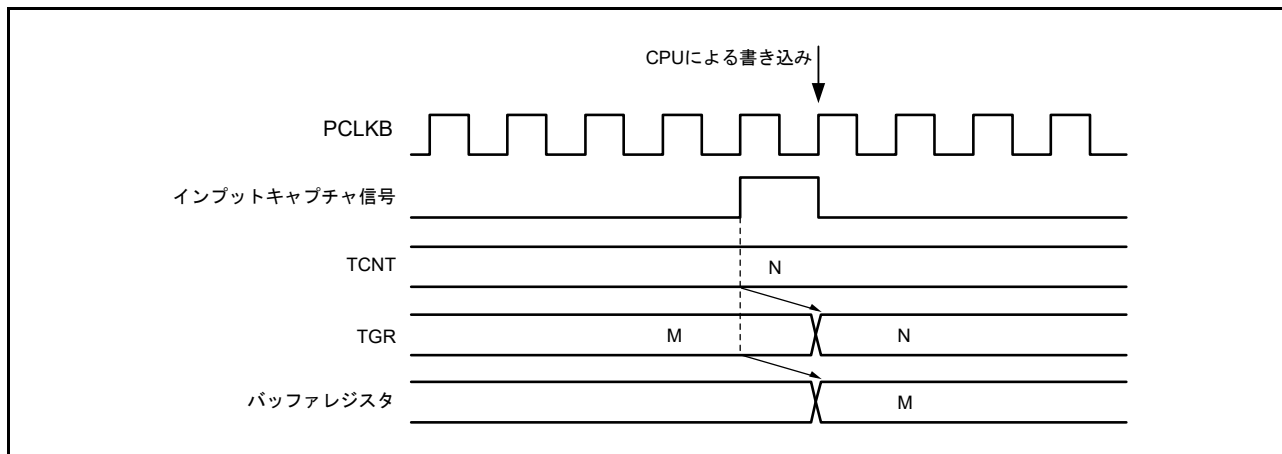


図 19.131 バッファレジスタへの書き込みとインプットキャプチャ競合

19.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバーフロー / アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバーフロー / アンダフローする瞬間) と MTU2.TCNT の書き込みが競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ / インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 19.132 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

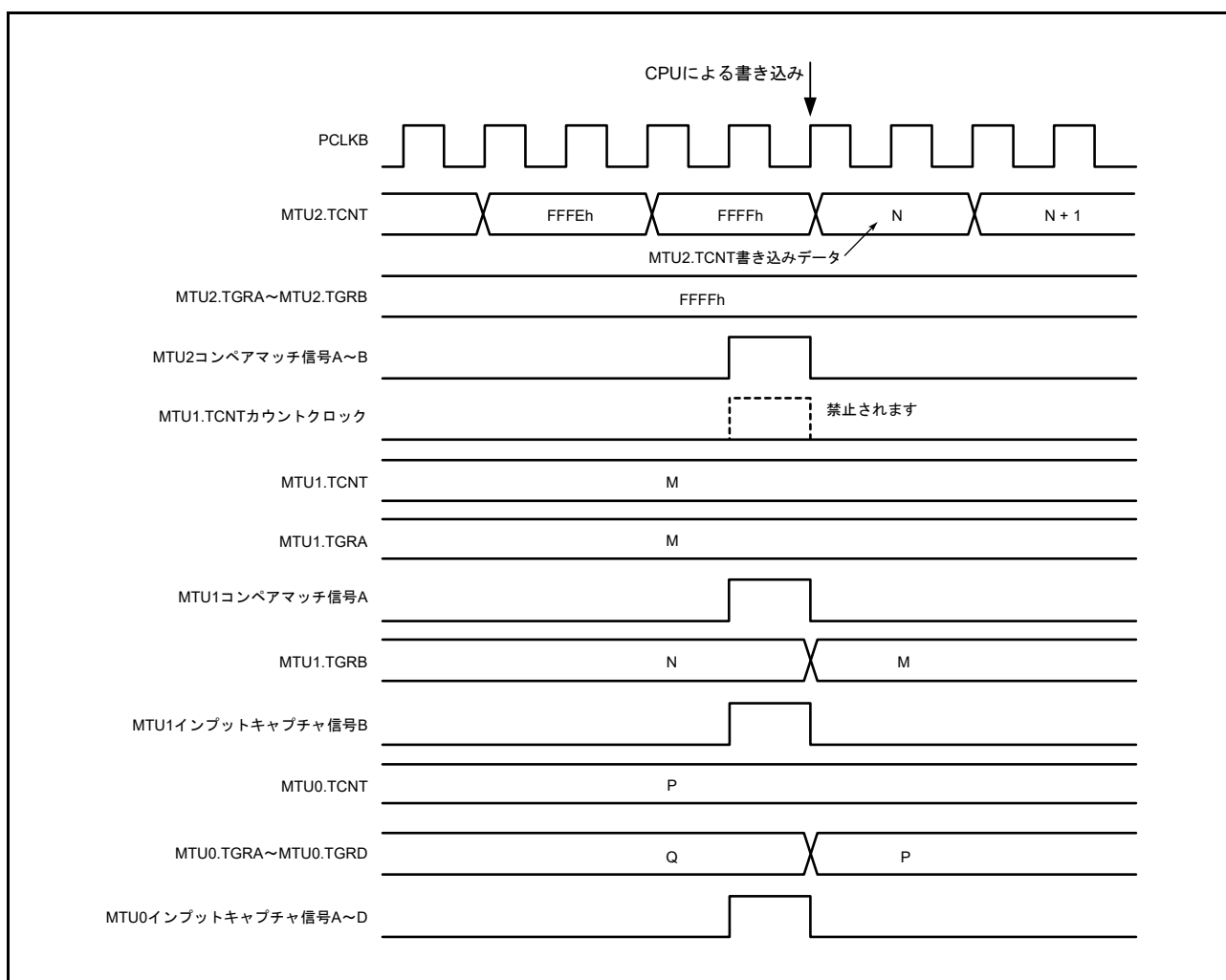


図 19.132 カスケード接続における MTU2.TCNT の書き込みとオーバーフロー / アンダフローの競合

19.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT はタイマデッドタイムレジスタ (TDDRA) の値、MTU4.TCNT は“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 19.133 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT にカウント初期値の設定を行ってください。

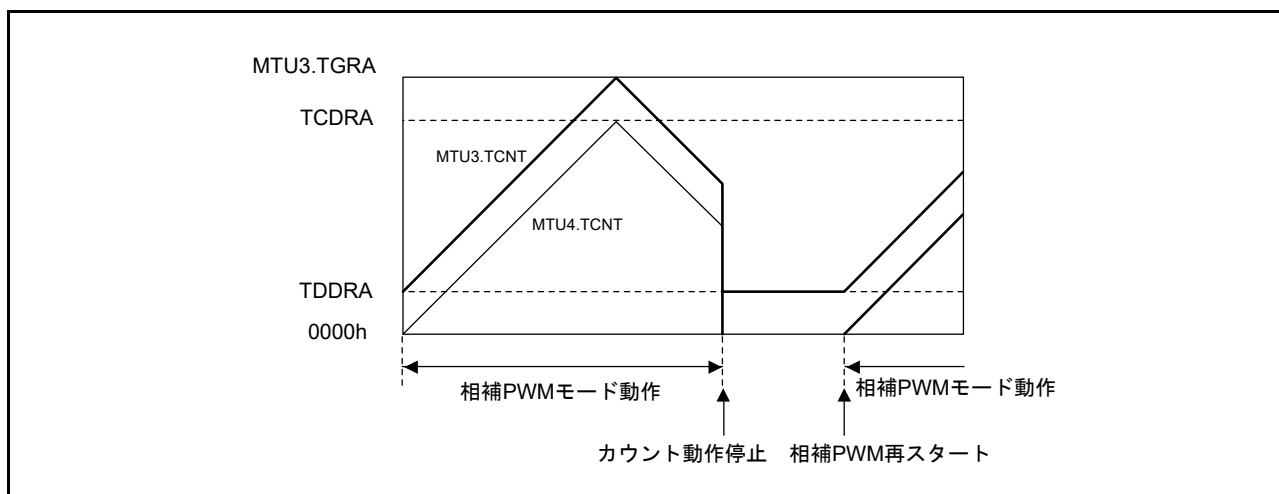


図 19.133 相補 PWM モード停止時のカウンタ値

19.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA)、タイマ周期データレジスタ (TCDRA)、デューティ設定レジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA ビット、MTU4.TMDR1.BFB ビットを“0”にしてください。MTU4.TMDR1.BFA ビットを“1”にすると、MTIOC4C 端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB ビットを“1”にすると、MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR1.BFA ビット、MTU3.TMDR1.BFB ビットの設定に従い動作します。MTU3.TMDR1.BFA ビットを“1”にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能し、さらに TCBRA は TCDRA のバッファレジスタとして機能します。

19.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット、MTU4.TMDR1.BFB ビットを“0”にしてください。MTU4.TMDR1.BFA ビットを“1”にすると、MTIOC4C 端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビットを“1”にすると、MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR1.BFA ビット、MTU3.TMDR1.BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビットを“1”にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD がバッファレジスタとして動作している場合、TGImn 割り込み (m = C, D、n = 3, 4) は発生しません。

MTU3.TMDR1.BFA ビット、MTU3.TMDR1.BFB ビットを“1”にし、MTU4.TMDR1.BFA ビット、MTU4.TMDR1.BFB ビットを“0”にした場合の MTU3.TGR、MTU4.TGR、MTIOC3、MTIOC4 の動作例を図 19.134 に示します。

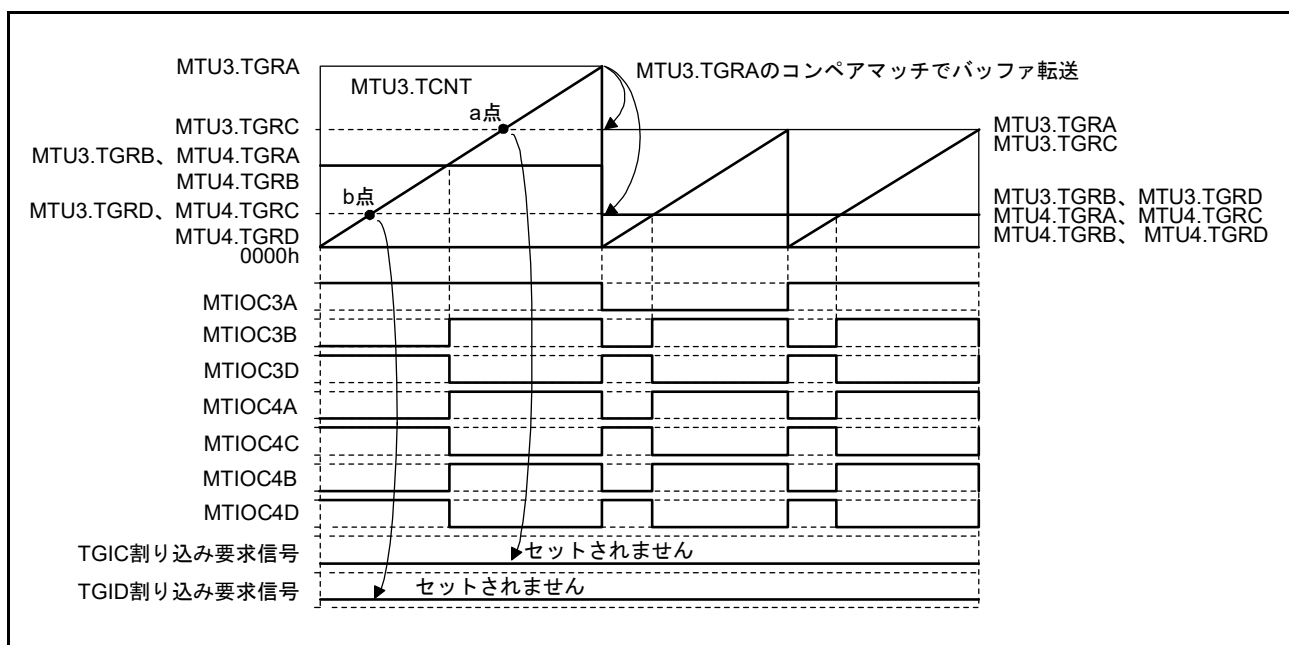


図 19.134 リセット同期 PWM モードのバッファ動作とコンペアマッチ

19.6.16 リセット同期 PWM モードのオーバフロー

リセット同期 PWM モードを設定し、TSTRA の CST3 ビットを“1”にすると、MTU3.TCNT と MTU4.TCNT のカウント動作が開始します。このとき、MTU4.TCNT のカウントクロックソースとカウントエッジは MTU3.TCR の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT がアップカウントし“FFFFh”になると、MTU3.TGRA とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT とともにクリアされます。このとき、TCIV_n 割り込み (n = 3, 4) は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合の動作例を図 19.135 に示します。

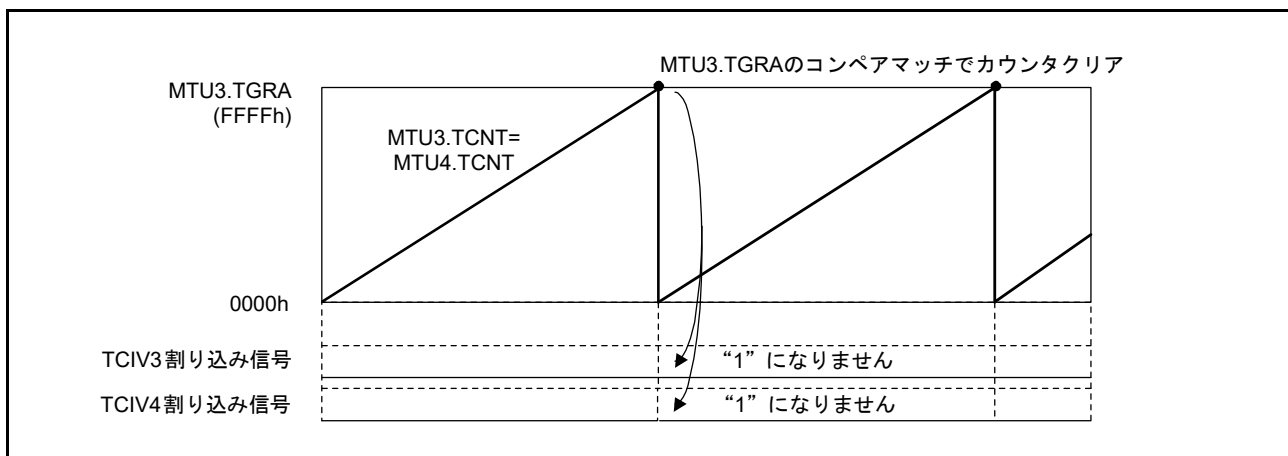


図 19.135 リセット同期 PWM モードのオーバフロー

19.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCIV_n 割り込み ($n=0 \sim 4$)、TCIU_n 割り込み ($n=1, 2$) は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを“FFFFh”にした場合の動作タイミングを図 19.136 に示します。

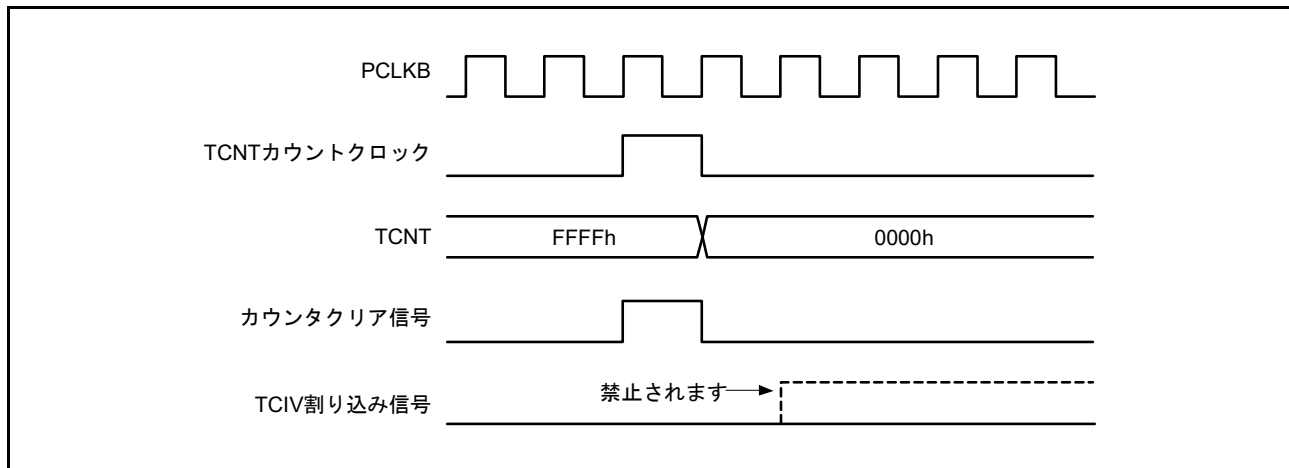


図 19.136 オーバフローとカウンタクリアの競合

19.6.18 TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT の書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT への書き込みが優先されます。TCIV_n 割り込み ($n=0 \sim 4$)、TCIU_n 割り込み ($n=1, 2$) は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 19.137 に示します。

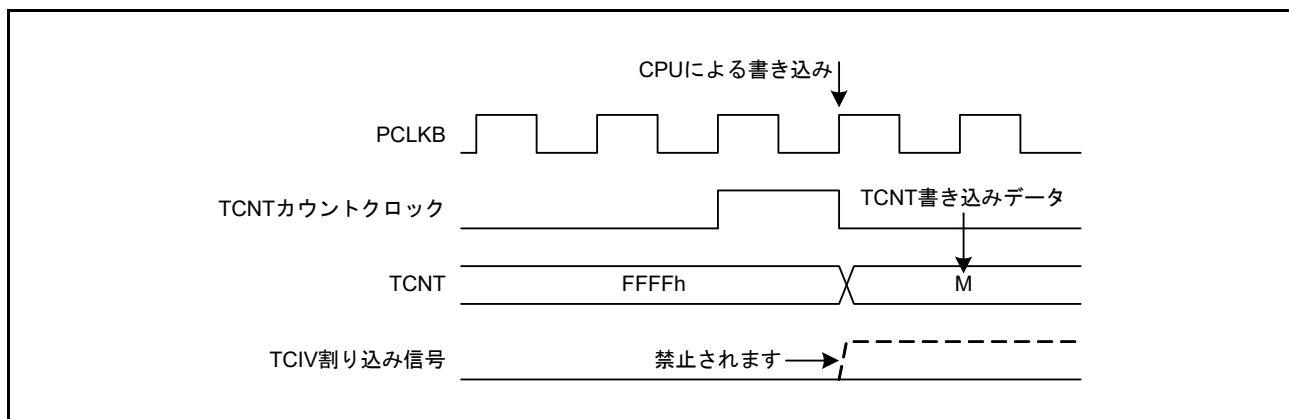


図 19.137 TCNT への書き込みとオーバフローの競合

19.6.19 ノーマルモードまたはPWM モード1 からリセット同期PWM モードへ遷移する場合の注意事項

MTU3、MTU4 のノーマルモードまたはPWM モード1 からリセット同期PWM モードへ遷移させる場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) を High の状態にしたままカウンタを止め、リセット同期PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期PWM モードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL レジスタに“11h”を書いて出力端子を Low に初期化した後、レジスタの初期値“00h”を書いてからモード遷移を行ってください。

PWM モード1 からリセット同期PWM モードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値“00h”を書いてからリセット同期PWM モードに遷移してください。

19.6.20 相補PWM モード、リセット同期PWM モードの出力レベル

MTU3、MTU4 が相補PWM モードまたはリセット同期PWM モードの場合、PWM 波形の出力レベルは TOCR1A.OLSP ビット、TOCR1A.OLSN ビットで設定します。相補PWM モードまたはリセット同期PWM モードの場合、TIOH レジスタは“00h”にしてください。

相補PWM モードで TDERA.TDER ビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1A.OLSN ビットの設定によらず、TOCR1A.OLSP ビットの設定による正相出力の反転レベルとなります。

19.6.21 カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ

タイマカウンタ 1、2 (MTU1.TCNT と MTU2.TCNT) をカスケード接続して、32 ビットカウンタとして動作させている場合、MTIOC1A と MTIOC2A、または MTIOC1B と MTIOC2B に同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNT に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、または MTIOC1B と MTIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位 16 ビットのカウンタ) が MTU2.TCNT (下位 16 ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは MTU1.TCNT = FFF1h、MTU2.TCNT = 0000h の値を MTU1.TGRA と MTU2.TGRA、もしくは MTU1.TGRB と MTU2.TGRB に転送すべきところを誤って MTU1.TCNT = FFF0h、MTU2.TCNT = 0000h の値を転送します。

1 本のインプットキャプチャ入力で MTU1.TCNT と MTU2.TCNT を同時にキャプチャできる機能を使用すれば、MTU1.TCNT と MTU2.TCNT のキャプチャタイミングのずれなく、32 ビットカウンタの取り込みを行うことができます。詳細は「19.2.11 タイマインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

19.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能 2、間引き回数が“0”の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4 PCLKB 以上 (MTU4.TADCORA レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)
- MTU4.TADCORB のコンペア間隔が 4 PCLKB 以上 (MTU4.TADCORB レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)

(2) 間引き機能 2、間引き回数が“1”以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2 PCLKB 以上 (MTU4.TADCORB レジスタの更新値を「前値+2 以上」、「前値-2 以下」に設定)

19.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、「20. ポートアウトプットイネーブル 3 (POE3E)」を参照ください。

19.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項

MTU5.TCNT_m (m = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_m に MTU5.TCNT_m 値 + 1 の値を設定しないでください。MTU5.TCNT_m のカウント動作を停止した状態で、MTU5.TGR_m に MTU5.TCNT_m 値 + 1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_m ビット) が“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT_m カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

19.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCRA.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合 (図 19.138 参照)

条件 2 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB \leq TDDRA$ 、 $MTU4.TGRA \leq TDDRA$ 、 $MTU4.TGRB \leq TDDRA$ のいずれかが成立する状態で、同期クリアする (図 19.139 参照)

本現象は下記の方法により、回避することができます。

コンペアレジスタ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のすべてが、TDDRA レジスタの 2 倍以上になるように設定した状態で、同期クリアする

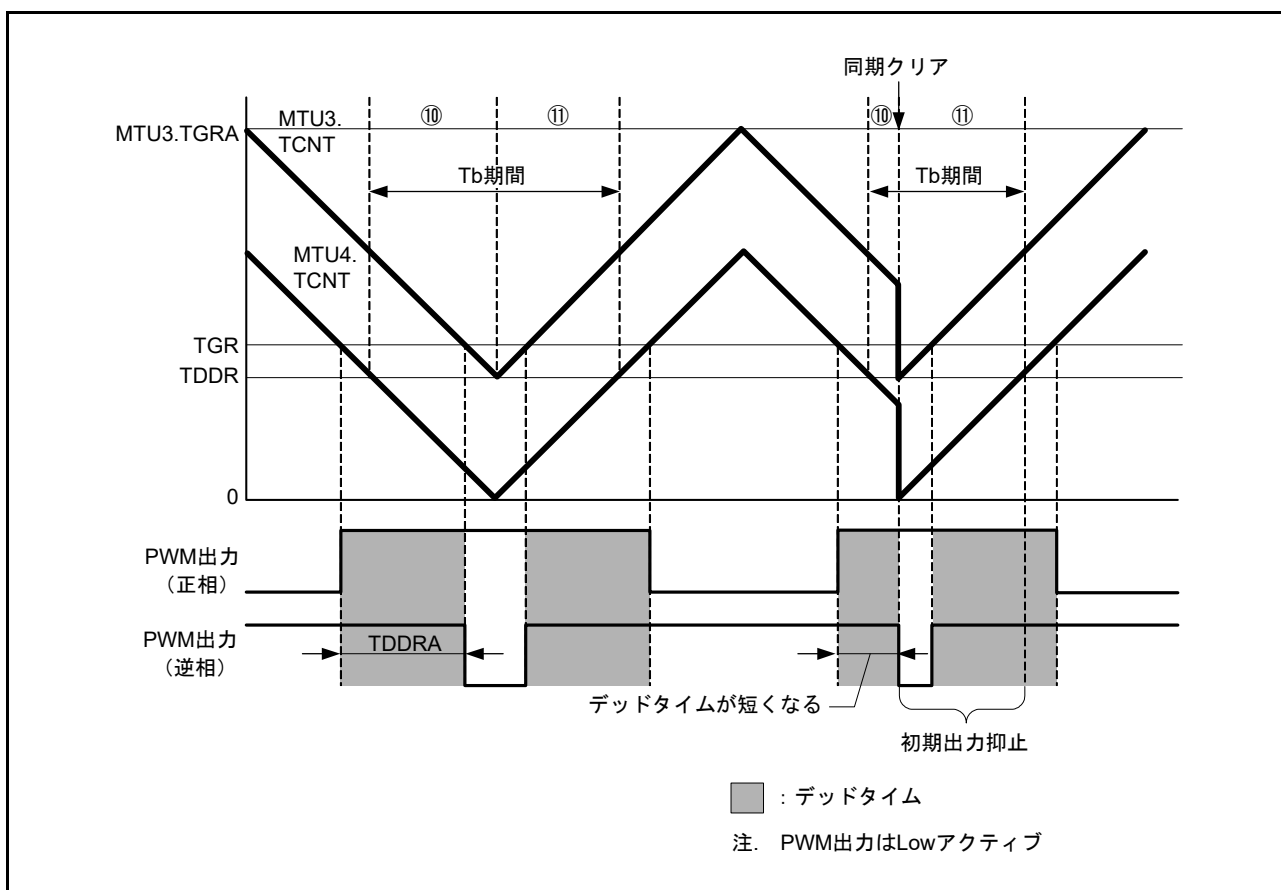


図 19.138 同期クリア例 (条件 1 の場合)

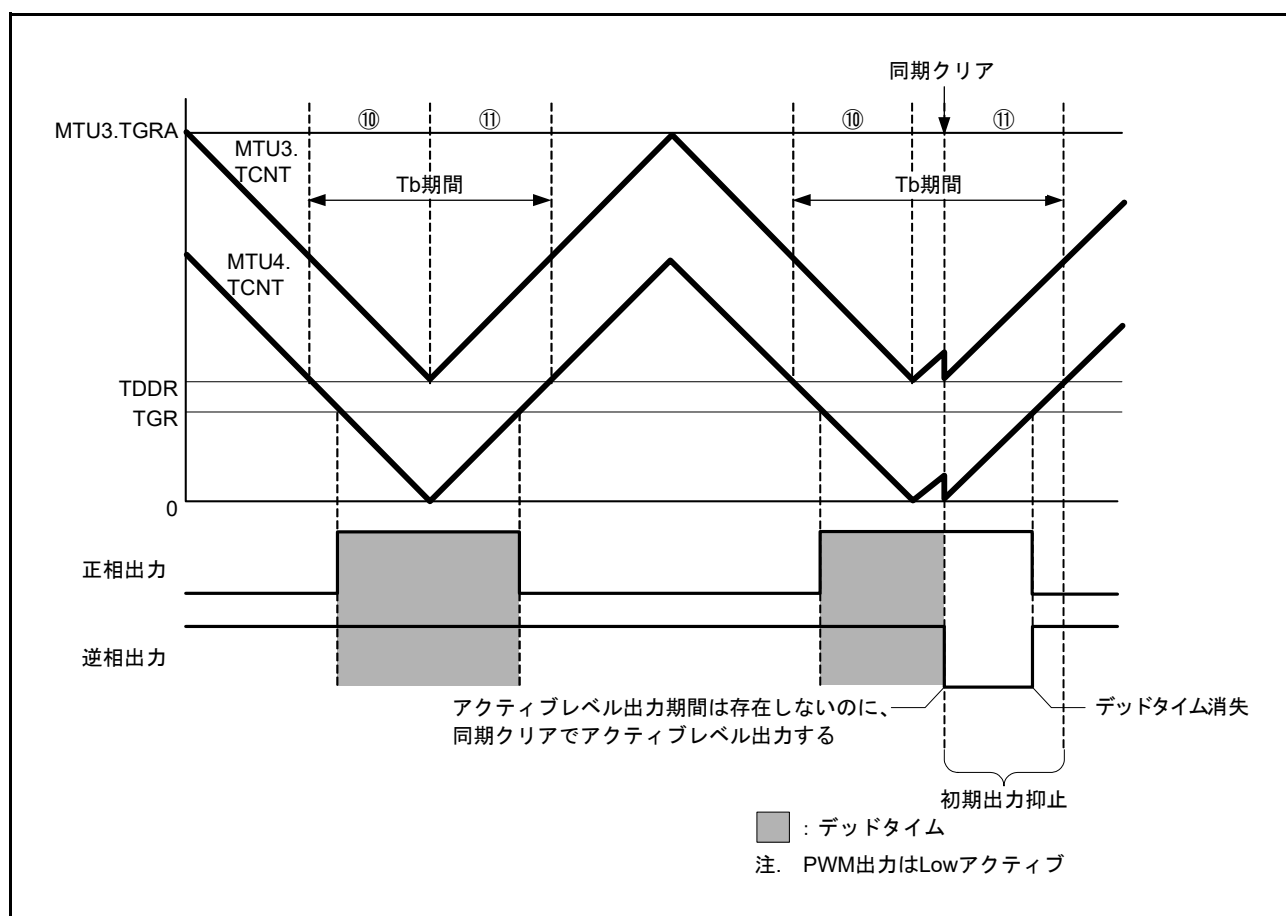


図 19.139 同期クリア例 (条件2の場合)

19.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLKB/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 19.140 に示します。

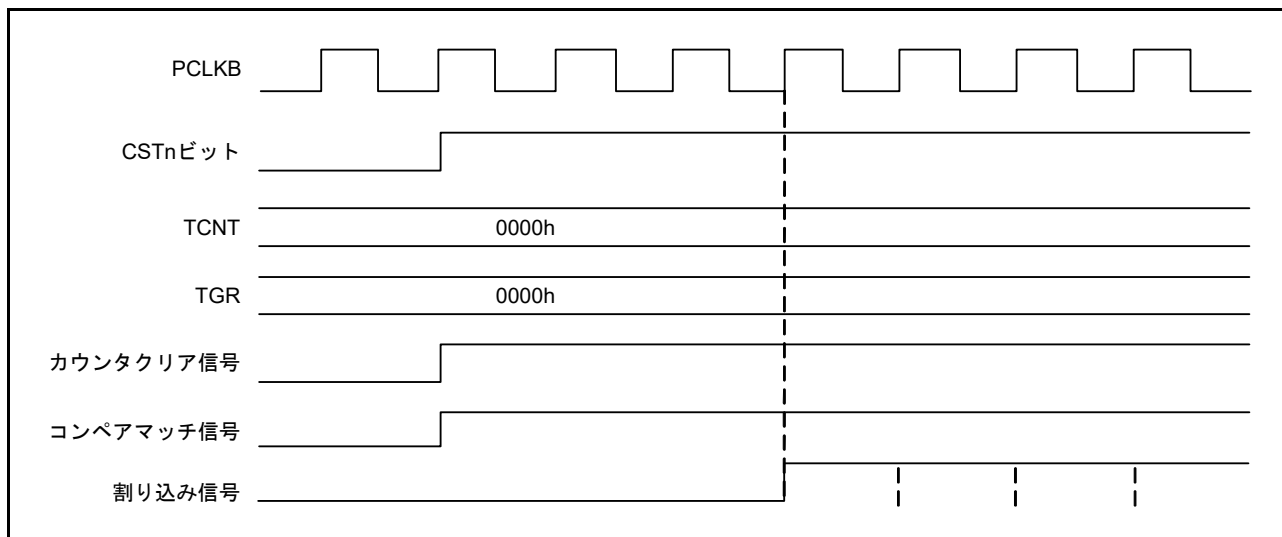


図 19.140 コンペアマッチによる割り込み信号の連続出力

19.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB レジスタに“0”、かつ、MTU4.TADCR レジスタの UT4AE、UT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 19.141)。
- MTU4.TADCOBRA、MTU4.TADCOBRB レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR レジスタの DT4AE、DT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 19.142)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTUn.TADCORA/TADCORB} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA、MTU4.TADCORB レジスタを設定してください ($n = 4$)。

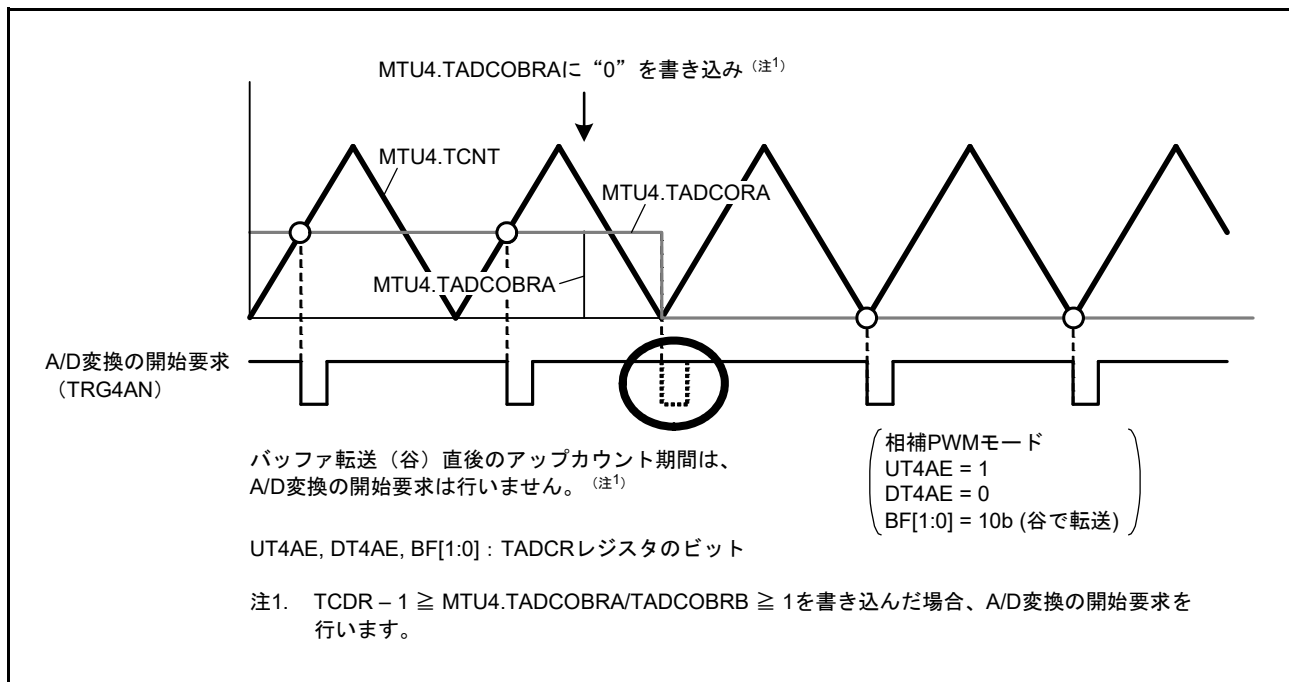


図 19.141 MTU4.TADCOBRA に“0”を書き込んだときの A/D 変換の開始要求 (MTU4)

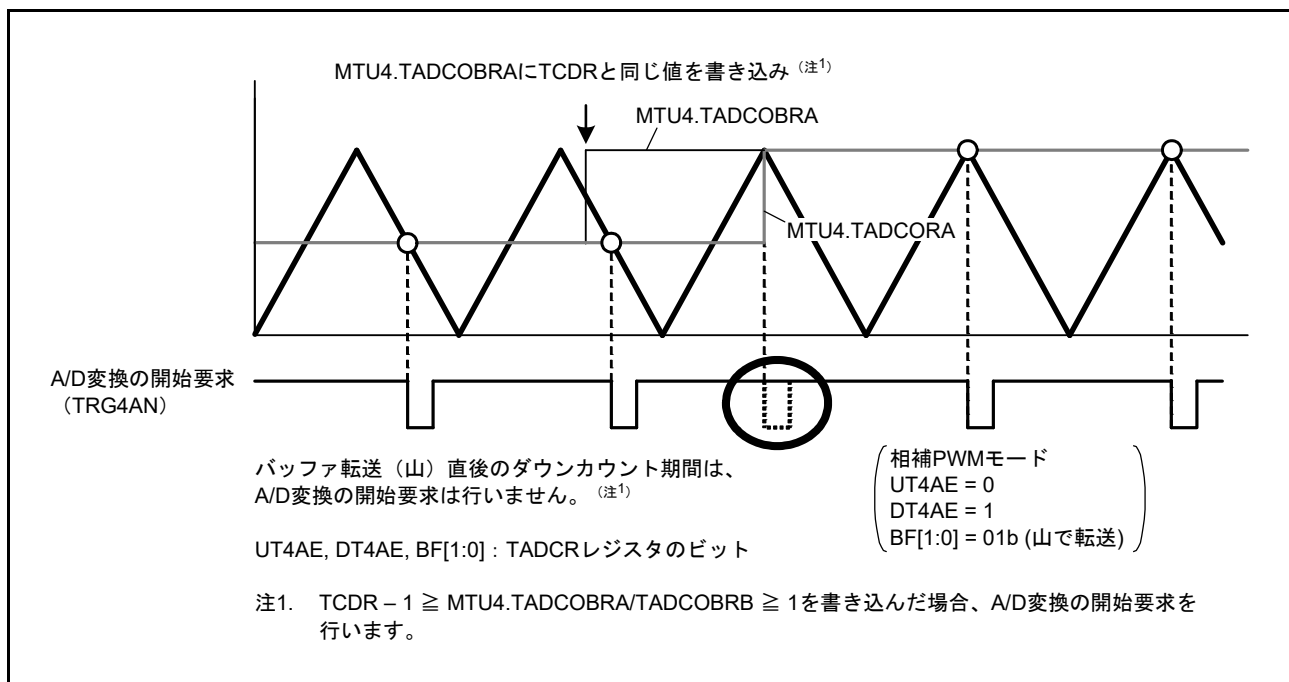


図 19.142 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求 (MTU4)

19.7 MTU 出力端子の初期化方法

19.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4)
- PWM モード 1 (MTU0 ~ MTU4)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 5 (MTU1, MTU2)
- 相補 PWM モード (MTU3, MTU4)
- リセット同期 PWM モード (MTU3, MTU4)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

19.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) は、TOERA レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3 (POE3) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を表 19.64 に示します。

表 19.64 モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 5

CPWM : 相補 PWM モード

RPWM : リセット同期 PWM モード

19.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCnB/MTIOCnD 端子 ($n=3, 4$) に波形が出力されません。端子の機能を MTIOCnB/MTIOCnD に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。端子の機能を MTIOCnm 端子 ($n=0 \sim 2, m=A \sim D$) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子 ($n=0, 3, 4$) に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、対応する MTIOCnC/MTIOCnD 端子 ($n=0, 3, 4$) に波形が出力されません。端子の機能を MTIOCnC/MTIOCnD 端子に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。
- タイマアウトプットコントロールレジスタ (TOCR1A, TOCR2A) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、タイマアウトプットマスタイネーブルレジスタ (TOERA) で MTU3、MTU4 を 1 度出力禁止にしてください。このとき、端子の機能を MTIOCnm 端子 ($n=3, 4, m=A \sim D$) に設定している場合、当該端子はハイインピーダンス状態になります。出力すべきレベルがある場合は、当該端子を汎用出力ポートに設定してください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 19.64 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.143 に示します。

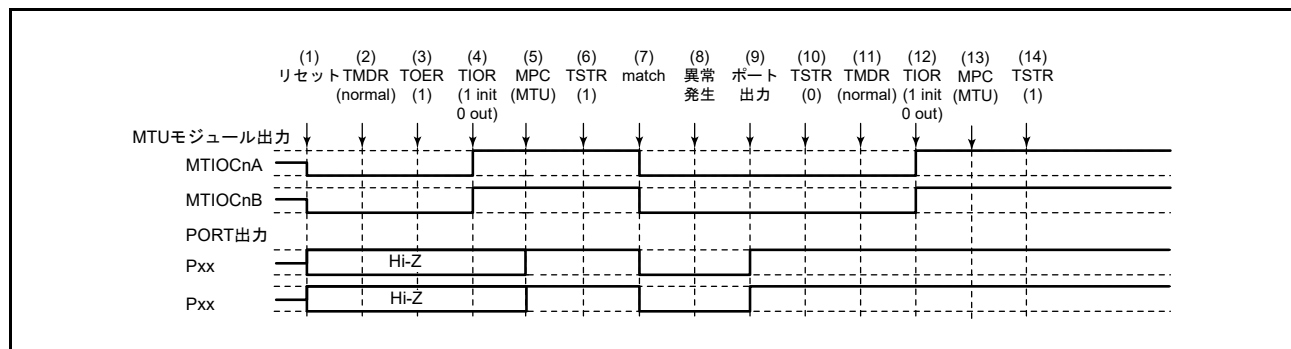


図 19.143 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (5) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.144 に示します。

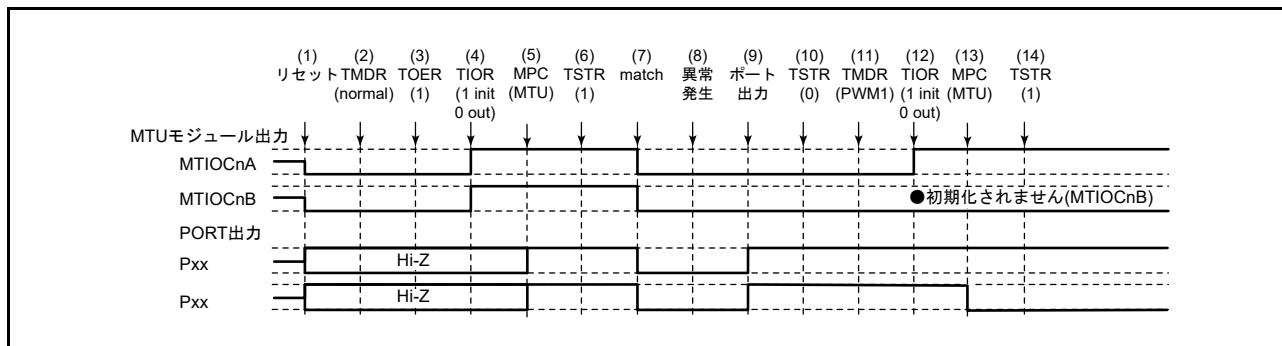


図 19.144 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 19.143 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOChB (MTIOChD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード2で再スタートする場合の説明図を図 19.145 に示します。

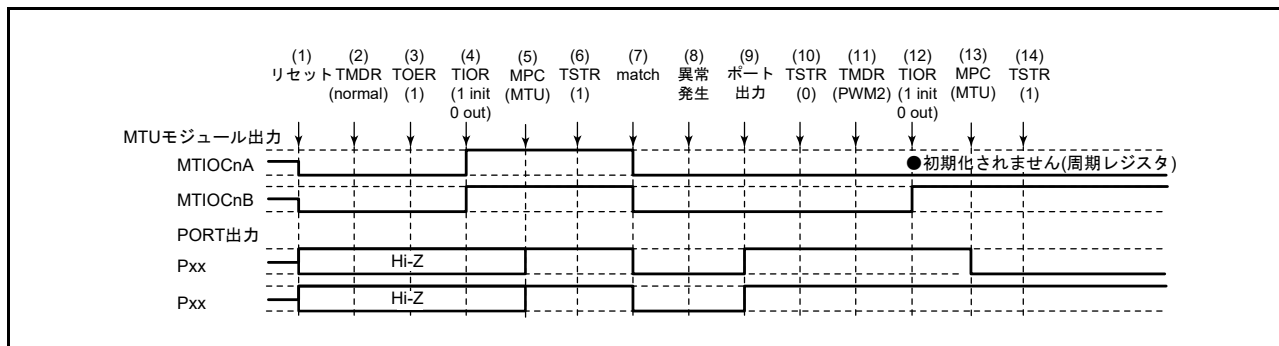


図 19.145 ノーマルモードで異常が発生し、PWM モード2で復帰する場合

(1) ～ (10) は図 19.143 と共通です。

(11) PWM モード2を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. PWM モード2は MTU0 ～ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.146 に示します。

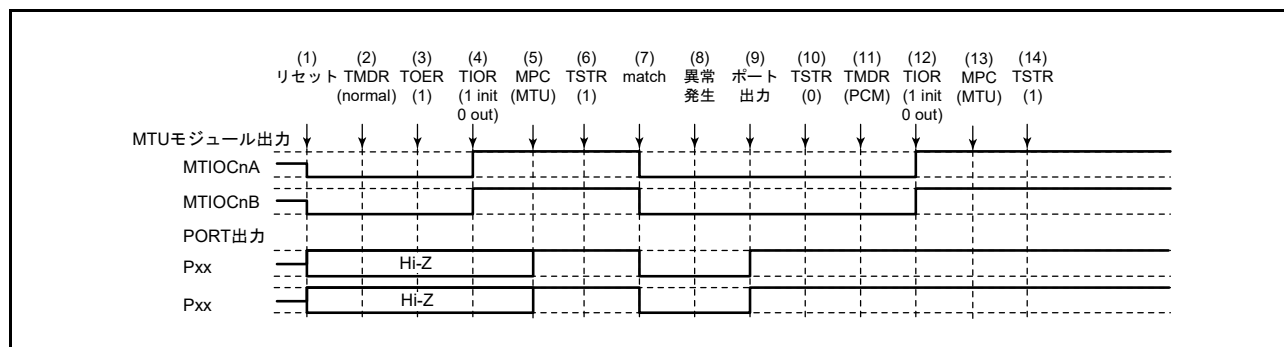


図 19.146 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (10) は図 19.143 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.147 に示します。

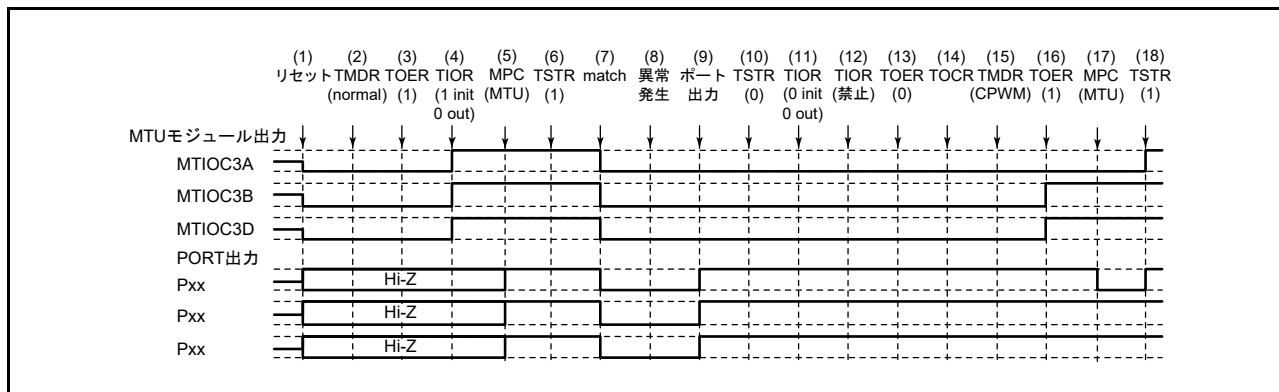


図 19.147 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ～ (10) は図 19.143 と共通です。

- (11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (13) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (14) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTR レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 19.148 に示します。

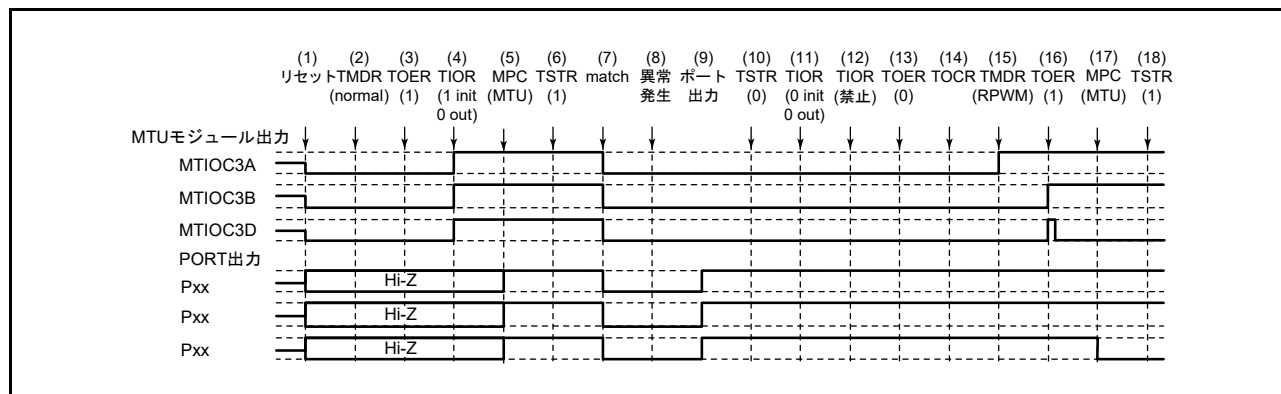


図 19.148 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (13) は図 19.147 と共通です。

(14) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(15) リセット同期 PWM を設定します。

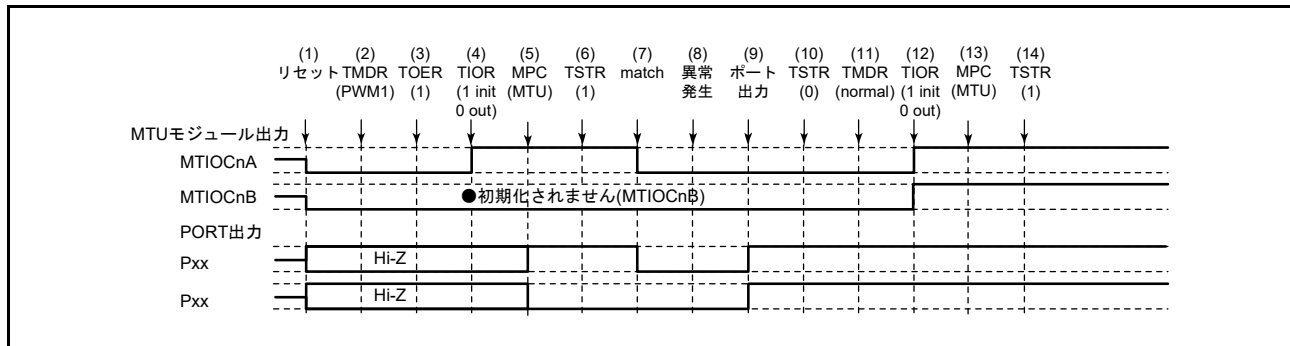
(16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(18) TSTRA レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.149 に示します。



- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.150 に示します。

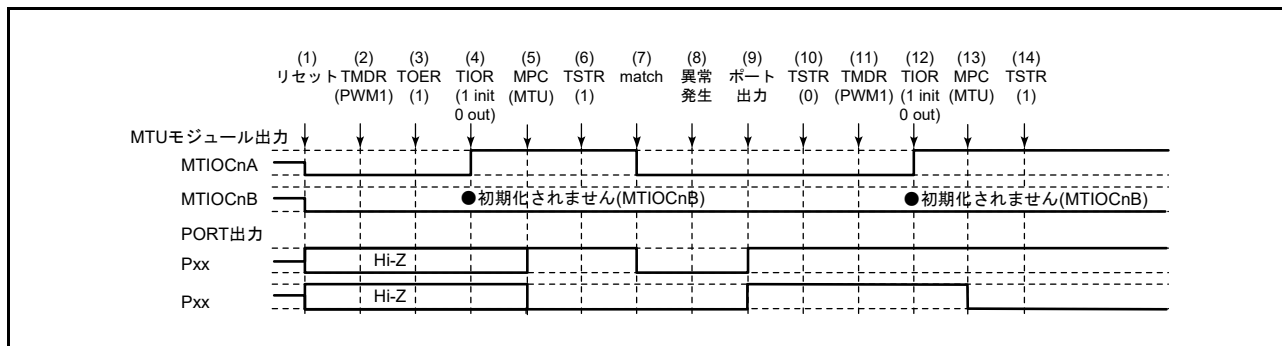


図 19.150 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 19.149 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 19.151 に示します。

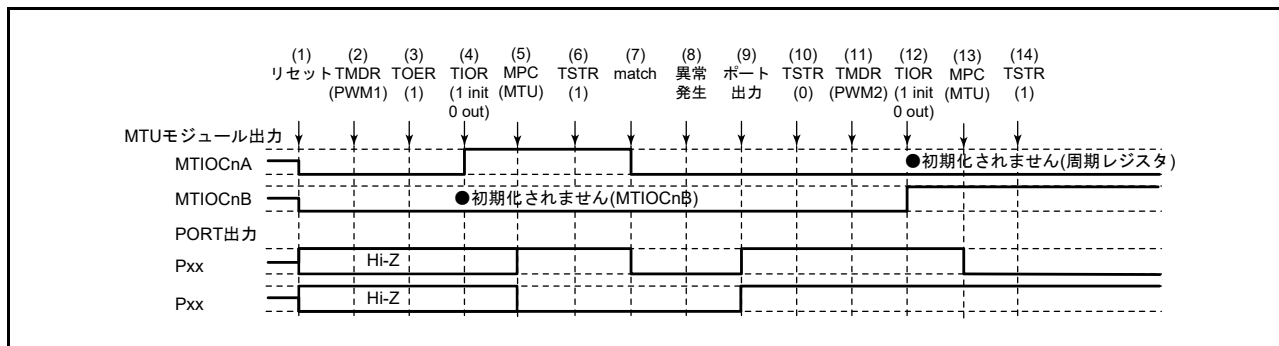


図 19.151 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (10) は図 19.149 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ～ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.152 に示します。

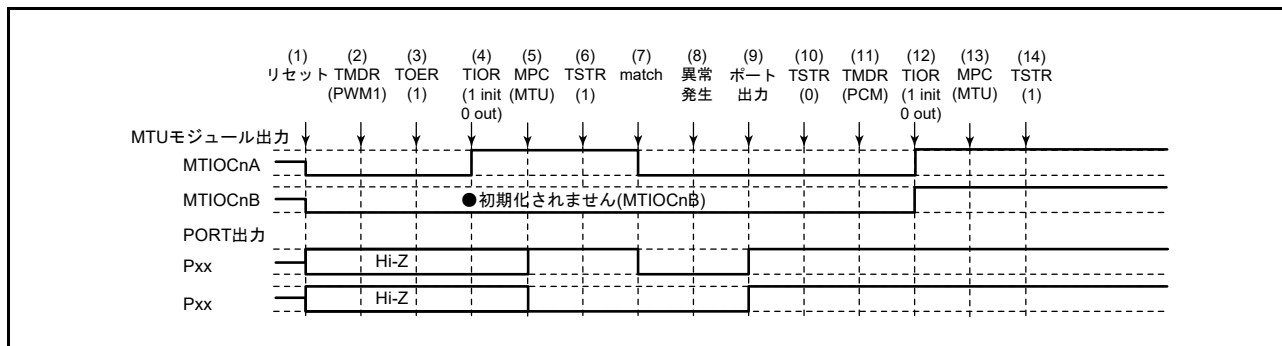


図 19.152 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ～ (10) は図 19.149 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注． 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.153 に示します。

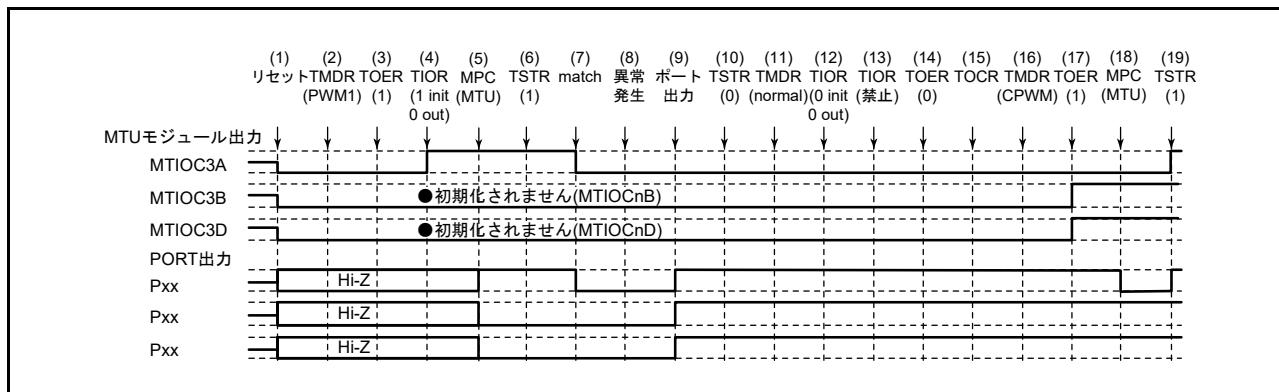


図 19.153 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 19.149 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください
- (14) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (15) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTR レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 19.154 に示します。

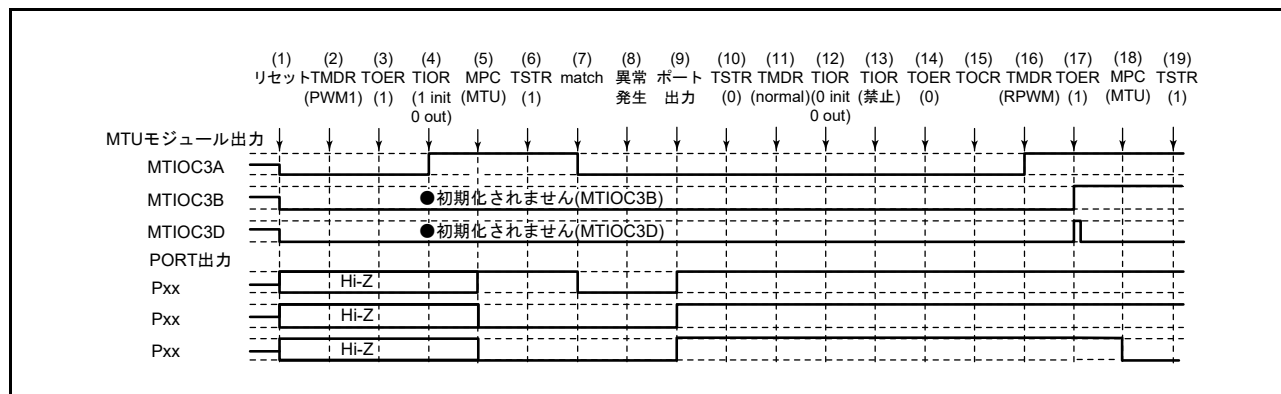


図 19.154 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (14) は図 19.153 と共通です。

(15) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTRA レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.155 に示します。

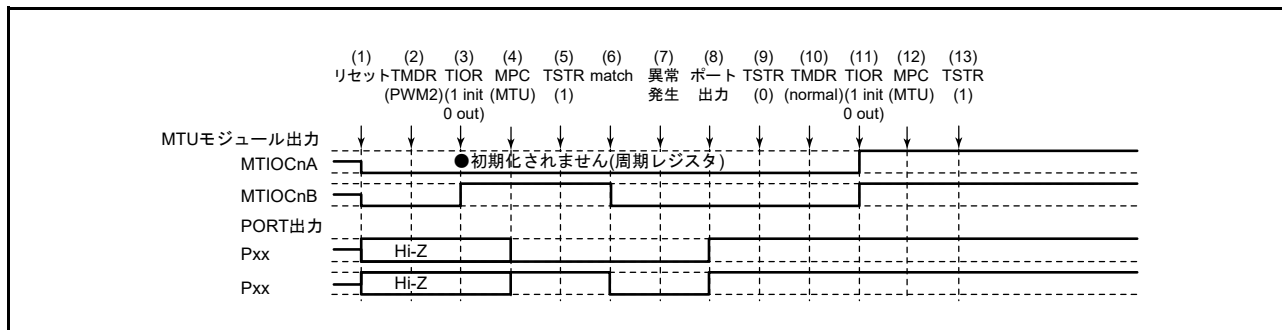


図 19.155 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子は初期化されません。例は MTUn.TGRA レジスタを周期レジスタに使用した場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTRA レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTRA レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTRA レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.156 に示します。

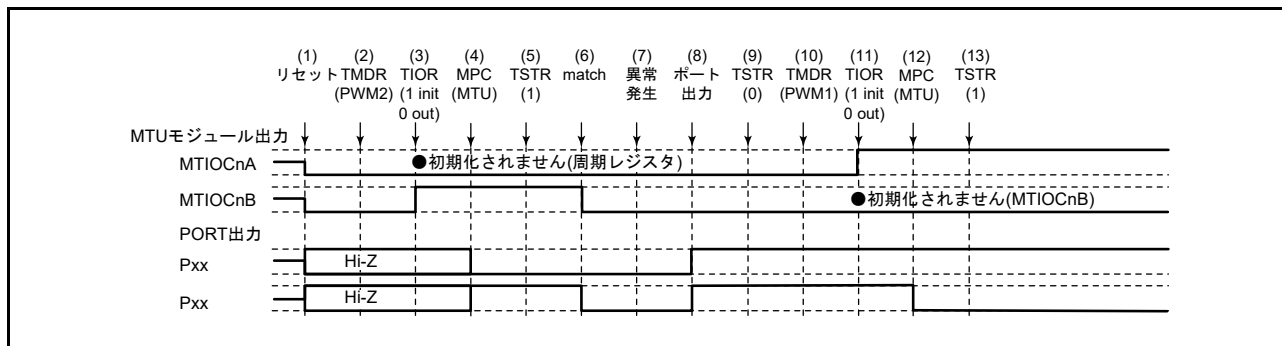


図 19.156 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 19.155 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 19.157 に示します。

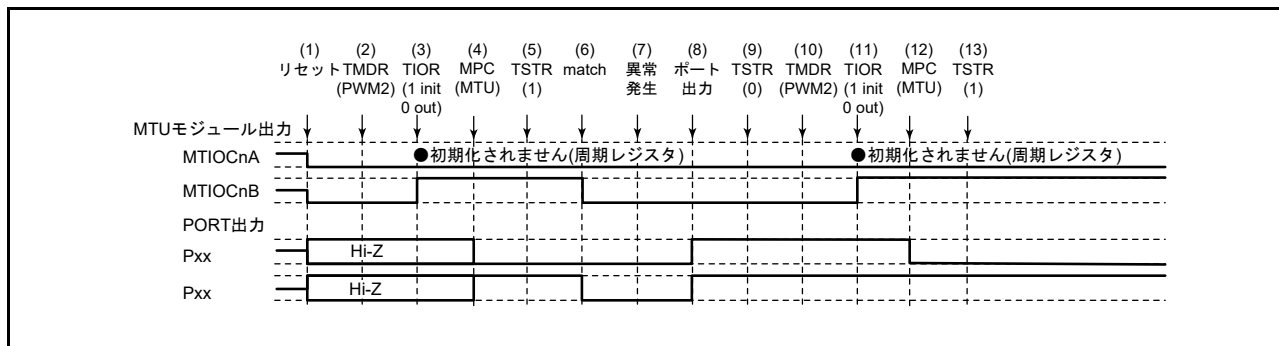


図 19.157 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ～ (9) は図 19.155 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.158 に示します。

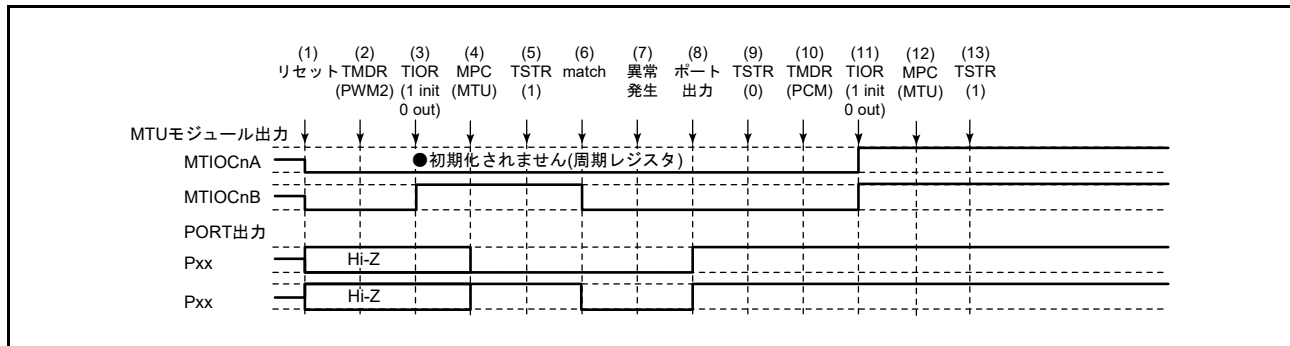


図 19.158 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は図 19.155 と共通です。

(10) 位相計数モードを設定します。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.159 に示します。

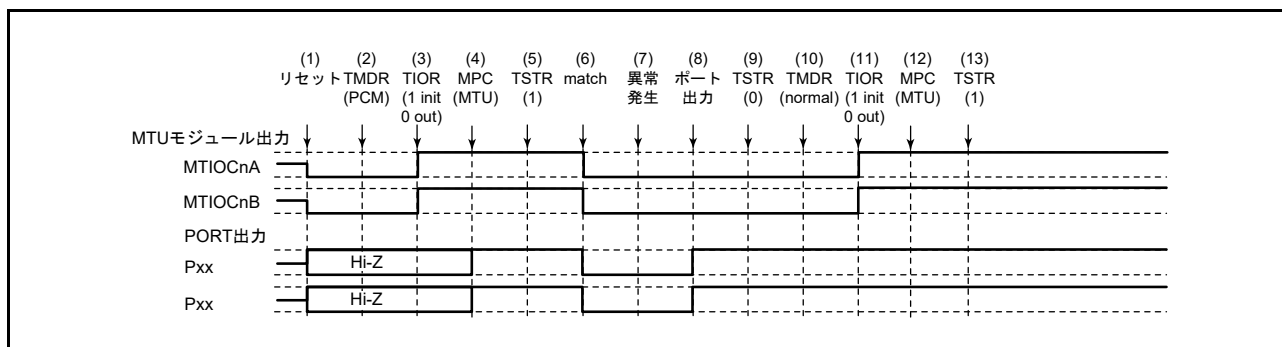


図 19.159 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.160 に示します。

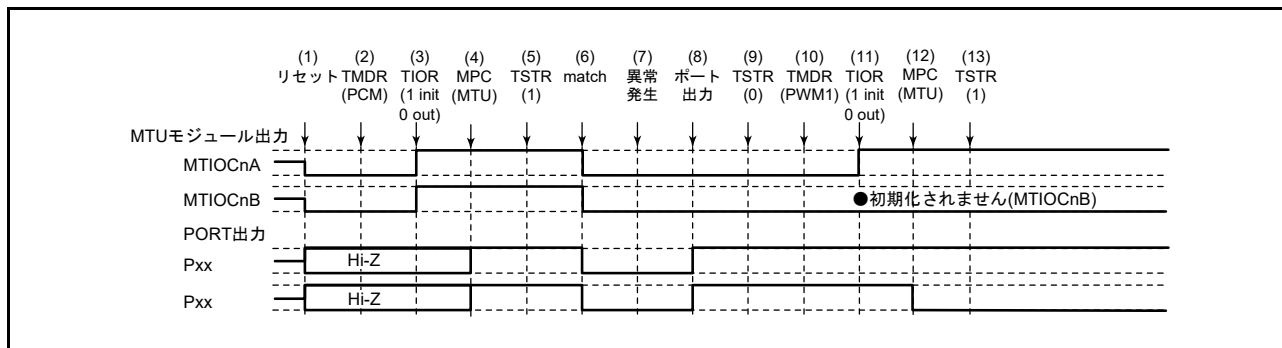


図 19.160 位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (9) は図 19.159 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 19.161 に示します。

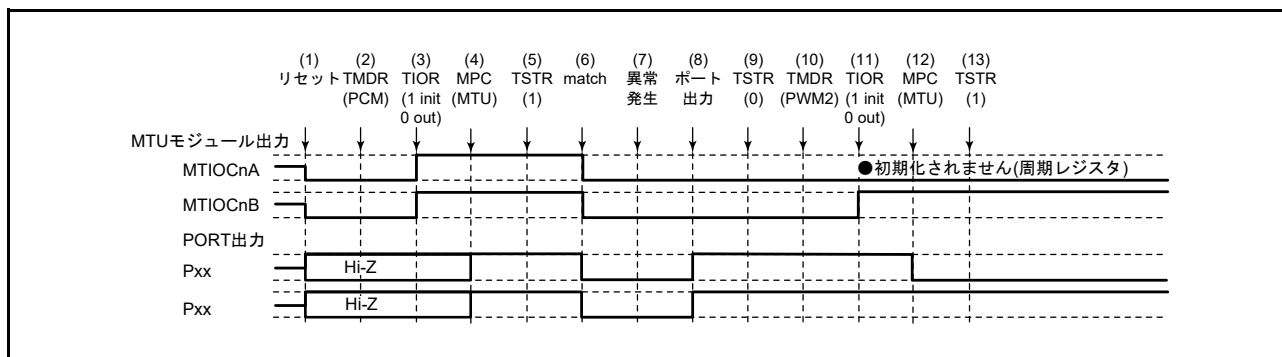


図 19.161 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1) ～ (9) は図 19.159 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード2 では周期レジスタに使用した TGR レジスタに対応する端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 19.162 に示します。

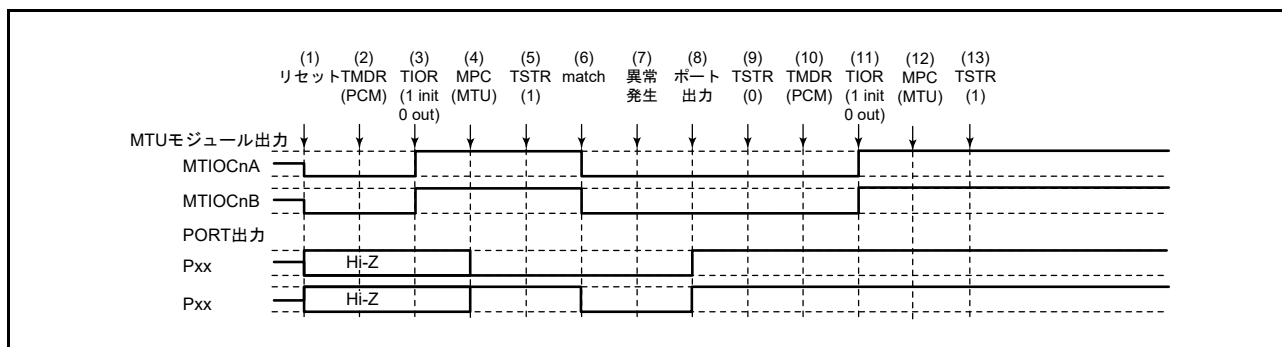


図 19.162 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ～ (9) は図 19.159 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.163 に示します。

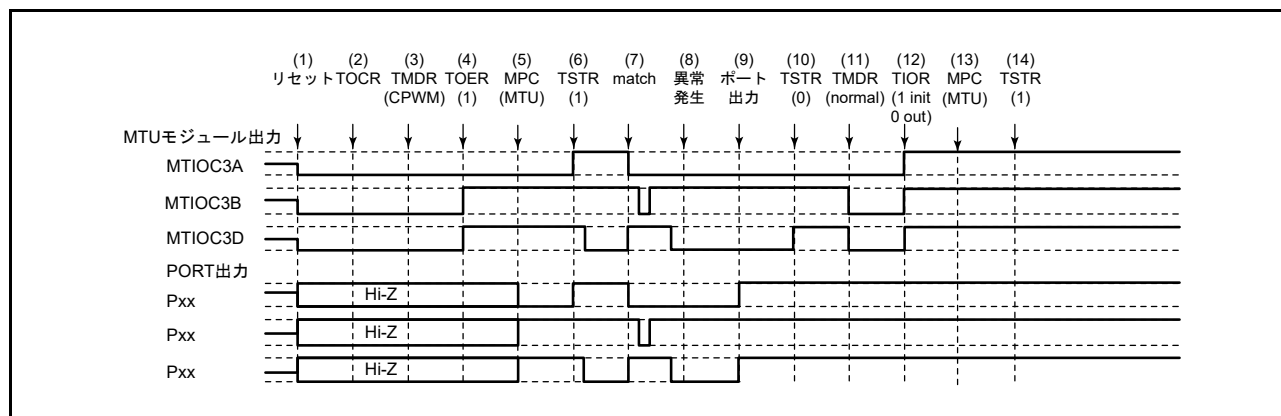


図 19.163 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.164 に示します。

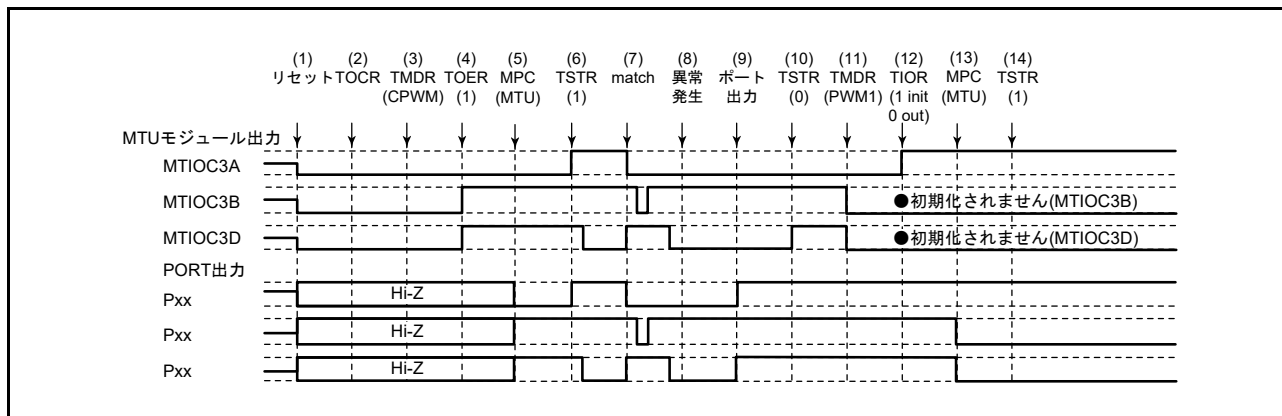


図 19.164 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 19.163 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.165 に示します（周期、デューティ設定をカウンタを止めたときの値から再スタートする場合）。

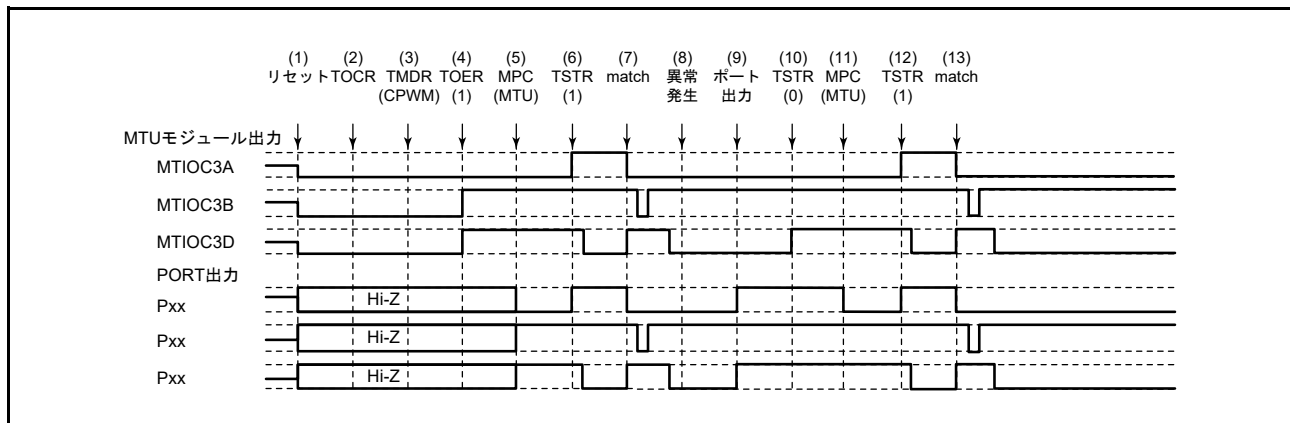


図 19.165 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ～ (10) は図 19.163 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.166 に示します（周期、デューティ比設定を全く新しい設定値で再スタートする場合）。

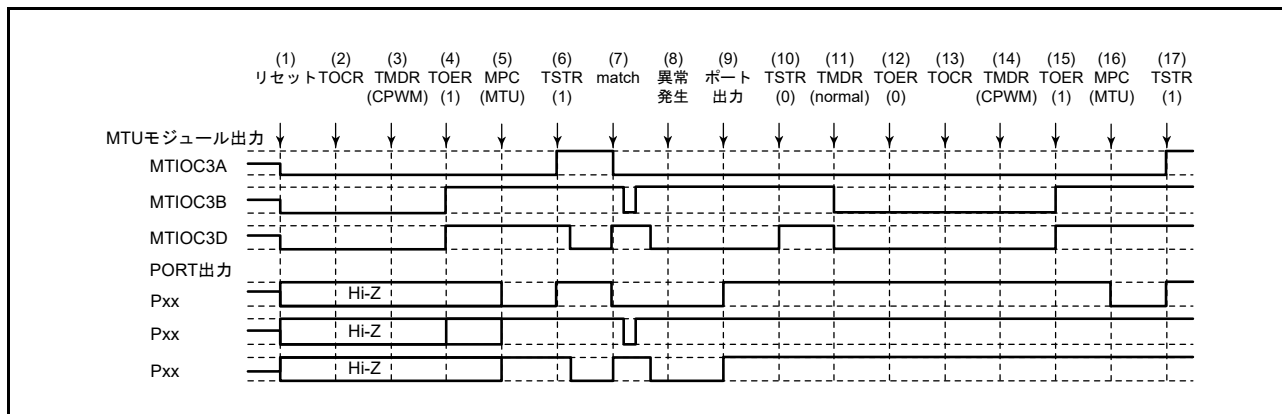


図 19.166 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ～ (10) は図 19.163 と共通です。

(11) ノーマルモードを設定し新しい設定値を設定してください（MTU 出力は Low となります）。

(12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR1A、TOCR2A レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) 相補 PWM を設定します。

(15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。

(17) TSTRA レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 19.167 に示します。

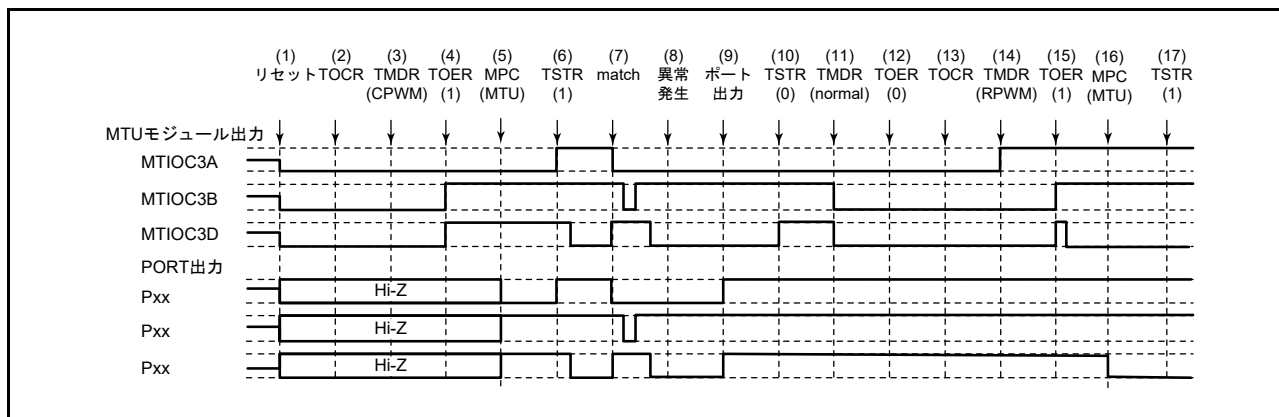


図 19.167 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 19.163 と共通です。

(11) ノーマルモードを設定してください (MTU 出力は Low となります)。

(12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(13) TOCR1A、TOCR2A レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。

(14) リセット同期 PWM を設定します。

(15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(17) TSTRA レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 19.168 に示します。

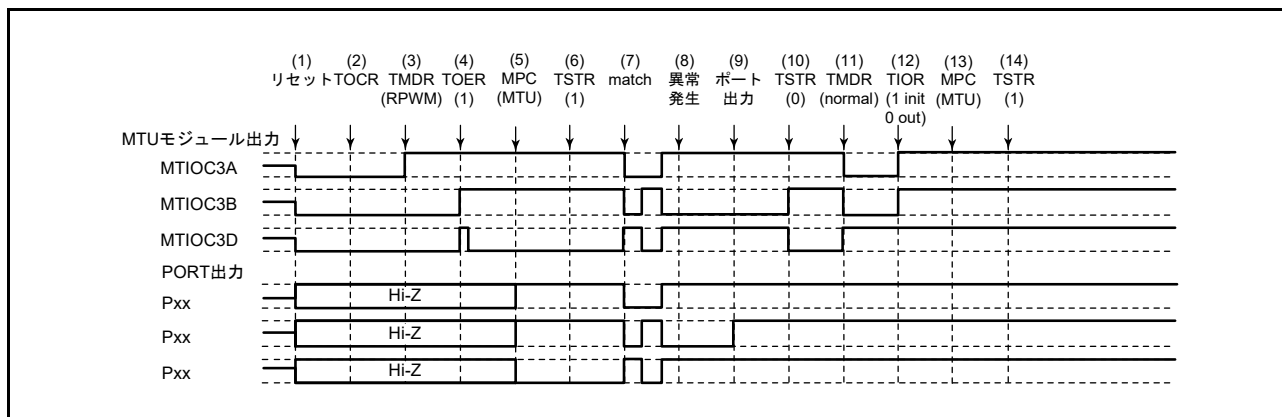


図 19.168 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 19.169 に示します。

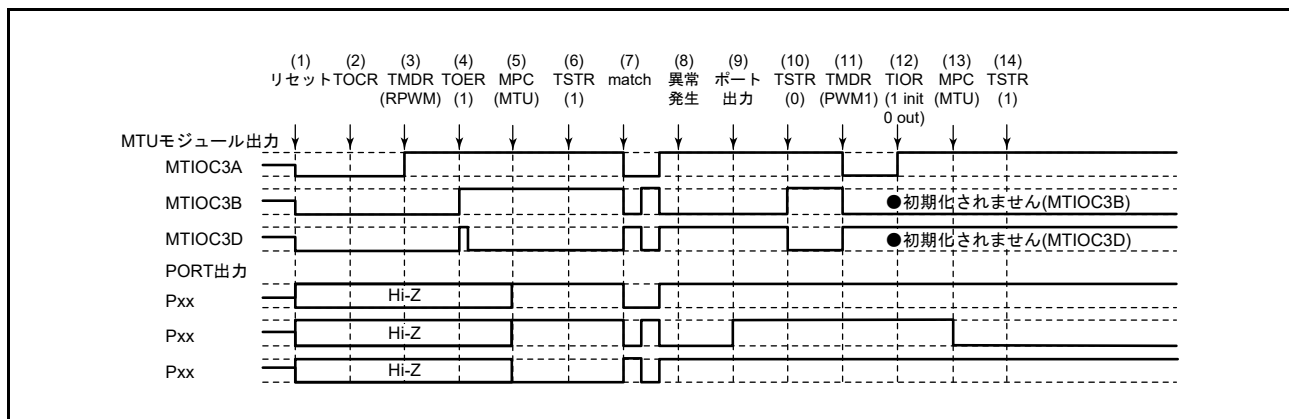


図 19.169 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ～ (10) は図 19.168 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 19.170 に示します。

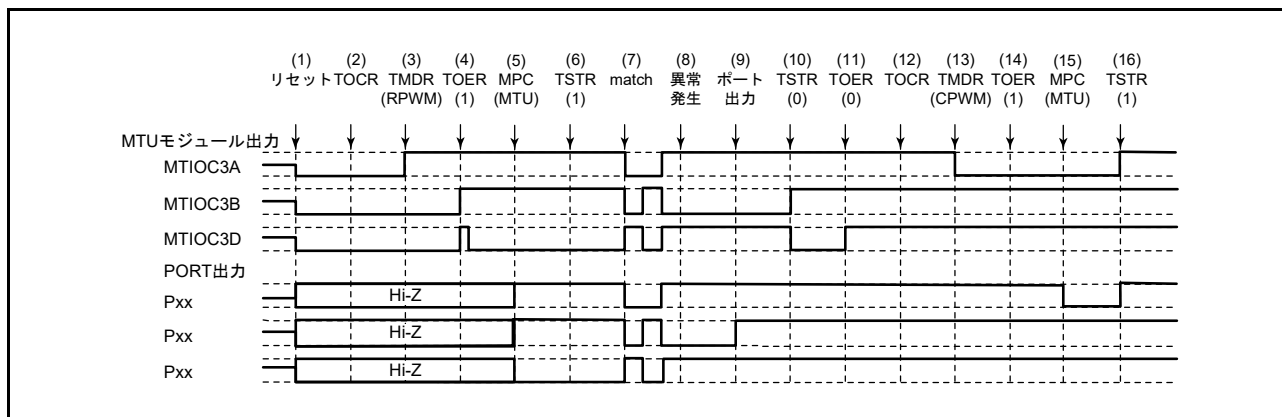


図 19.170 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 19.168 と共通です。

(11) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。

(12) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。

(14) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(16) TSTRA レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 19.171 に示します。

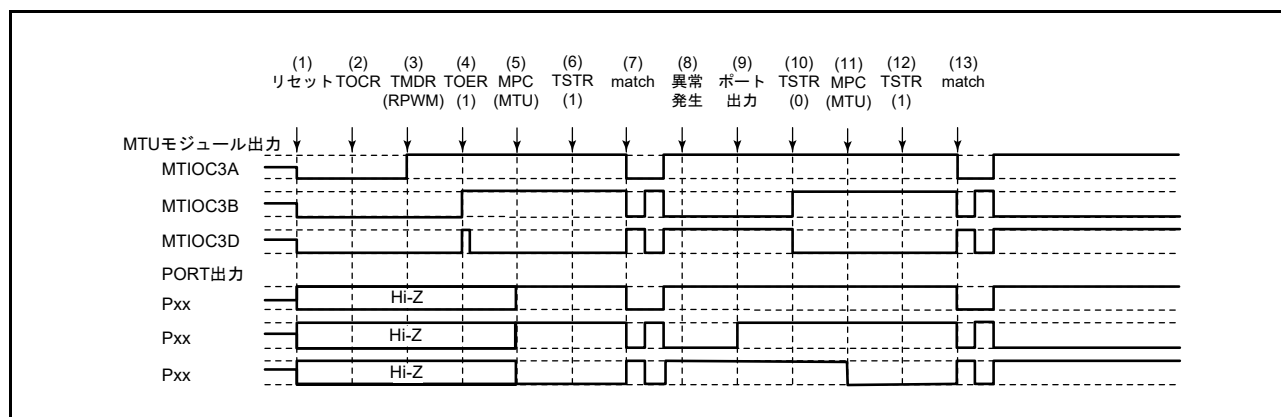


図 19.171 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ～ (10) は図 19.168 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

20. ポートアウトプットイネーブル 3 (POE3E)

本 MCU は、各種条件で MTU や GPTW の出力を停止させることができるポートアウトプットイネーブル 3 (POE3E) を搭載しています。出力停止時の端子の状態をハイインピーダンスまたは汎用入出力ポートのいずれかから選択できます。

なお、本章に記載している PCLK とは PCLKB を指します。

20.1 概要

表 20.1 に POE の仕様、図 20.1 に POE 周辺のシステムブロック図、図 20.2 に POE のブロック図を示します。

表 20.1 POE の仕様

項目	内容																
出力停止時の端子の状態	・ ハイインピーダンス ・ 汎用入出力ポート																
出力停止制御対象端子	・ MTUの出力端子 MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) MTU3 端子 (MTIOC3B, MTIOC3D) MTU4 端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) ・ GPTWの出力端子 GPTW0 端子 (GTIOC0A, GTIOC0B) GPTW1 端子 (GTIOC1A, GTIOC1B) GPTW2 端子 (GTIOC2A, GTIOC2B)																
出力停止要求発生条件	・ 入力端子の変化 POE0#, POE8#, POE10#, POE11#, POE12# 端子に信号が入力されたとき ・ 出力信号の短絡 以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき <table><tr><td></td><td>MTU 相補 PWM 出力信号</td><td></td><td>GPTW 相補 PWM 出力信号</td></tr><tr><td>1</td><td>MTIOC3B と MTIOC3D</td><td>1</td><td>GTIOC0A と GTIOC0B</td></tr><tr><td>2</td><td>MTIOC4A と MTIOC4C</td><td>2</td><td>GTIOC1A と GTIOC1B</td></tr><tr><td>3</td><td>MTIOC4B と MTIOC4D</td><td>3</td><td>GTIOC2A と GTIOC2B</td></tr></table> ・ SPOERレジスタを設定したとき ・ メインクロック発生回路の発振停止を検出したとき ・ コンパレータ C (CMPC)の出力を検出したとき		MTU 相補 PWM 出力信号		GPTW 相補 PWM 出力信号	1	MTIOC3B と MTIOC3D	1	GTIOC0A と GTIOC0B	2	MTIOC4A と MTIOC4C	2	GTIOC1A と GTIOC1B	3	MTIOC4B と MTIOC4D	3	GTIOC2A と GTIOC2B
	MTU 相補 PWM 出力信号		GPTW 相補 PWM 出力信号														
1	MTIOC3B と MTIOC3D	1	GTIOC0A と GTIOC0B														
2	MTIOC4A と MTIOC4C	2	GTIOC1A と GTIOC1B														
3	MTIOC4B と MTIOC4D	3	GTIOC2A と GTIOC2B														
機能	・ POE0#, POE8#, POE10#, POE11#, POE12#端子のそれぞれに立ち下がりエッジ検出、立ち上がりエッジ検出、Lowレベル検出、Highレベル検出のいずれかを選択できます。レベル検出の場合、サンプリングクロックはPCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/128から、サンプリング回数は4回、8回～16回のいずれかから選択できます ・ POE0#, POE8#, POE10#, POE11#, POE12#端子への入力のエッジ検出、またはレベル検出によって、すべての制御対象端子の出力を停止できます ・ クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます ・ MTU相補PWM出力信号のレベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子の出力を停止できます ・ GPTW相補PWM出力信号(GPTW0～GPTW2)の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、GPTW出力端子の出力を停止できます ・ コンパレータ C (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます ・ POEのレジスタの設定により、すべての制御対象端子の出力を停止できます ・ 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です ・ MTU出力信号(MTU0～MTU4)、GPTW出力信号(GPTW0～GPTW2)によって、POE0#, POE8#, POE10#, POE11#, POE12#端子およびCOMP0～COMP2レベル検出信号による出力停止要求をマスクすることができます																

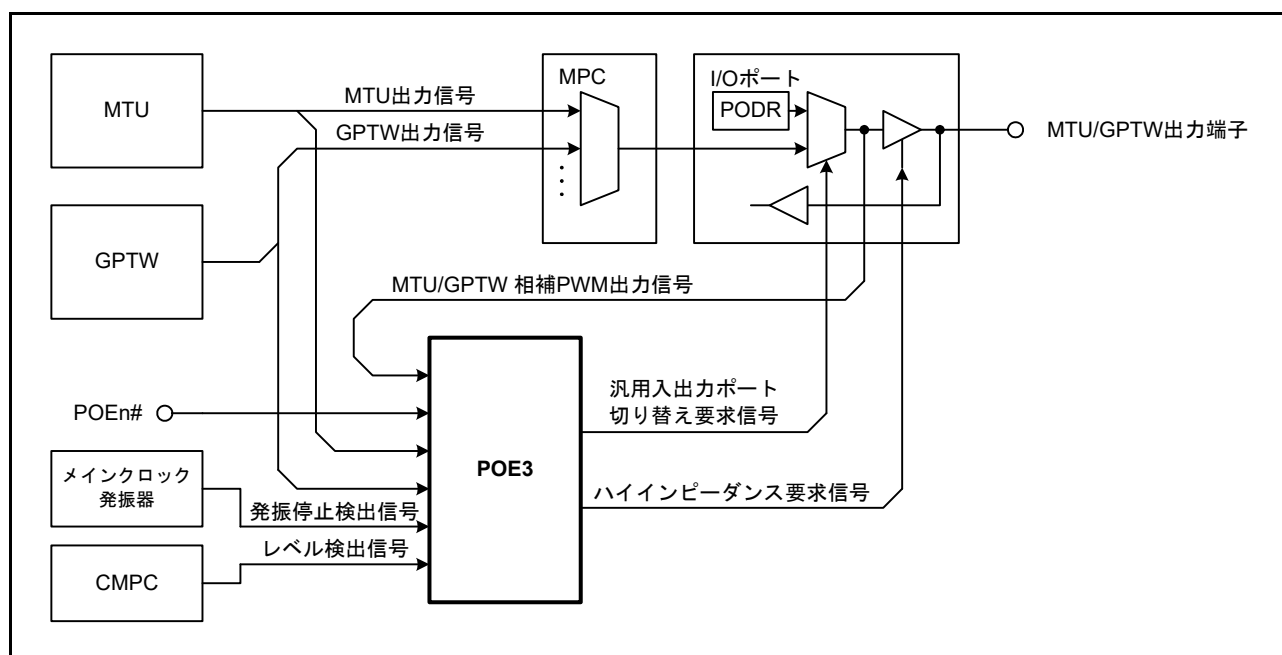


図 20.1 POE システムブロック図

POE は図 20.2 のブロック図に示すように、入力レベル検出回路、端子選択回路、出力レベル比較回路、およびハインピーダンス要求 / ポート切り替え要求 / 割り込み要求生成回路から構成されます。

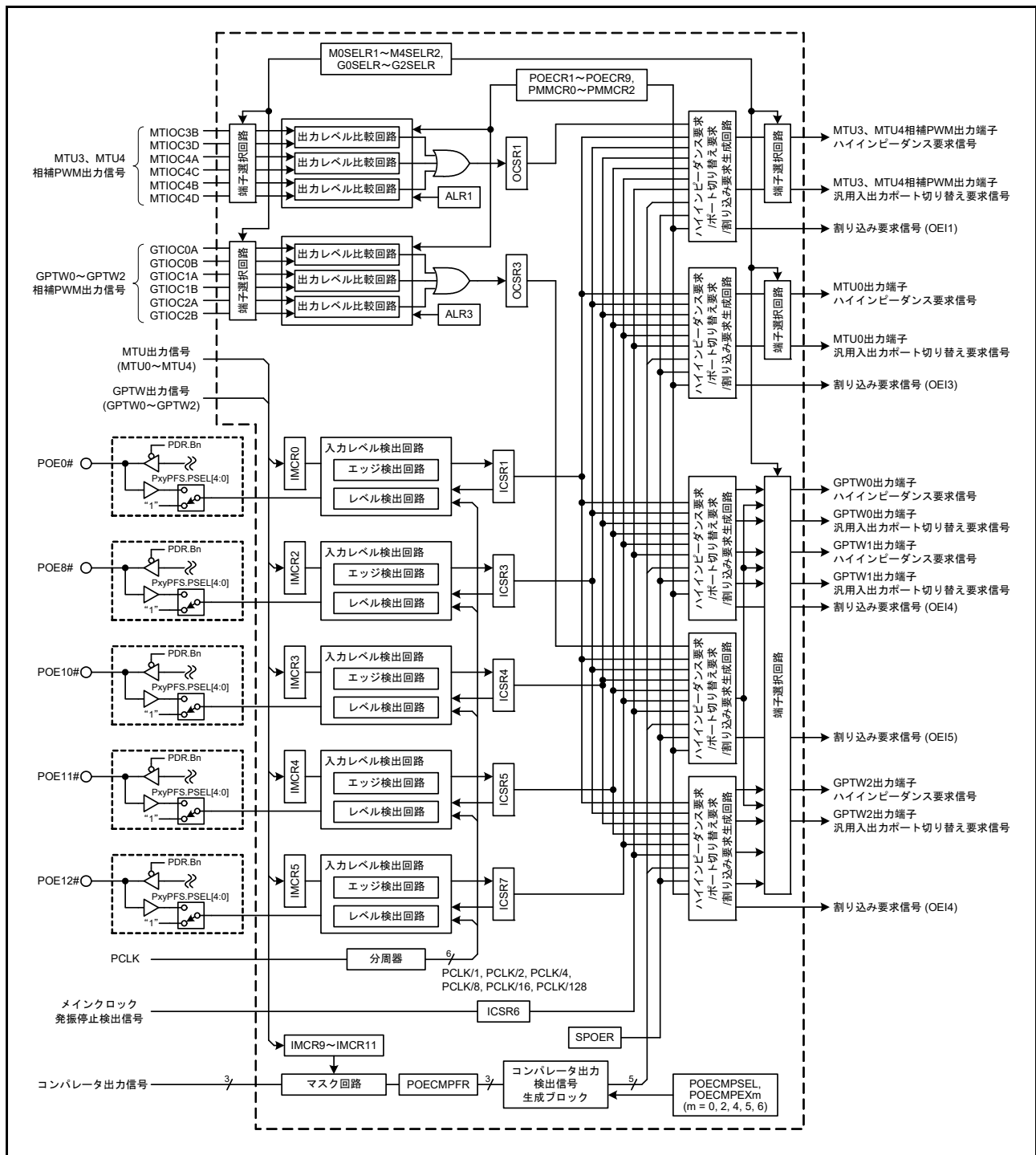


図 20.2 POE のブロック図

表 20.2 に POE で使用する入出力端子を示します。

表 20.2 POEの入出力端子

端子名	入出力	機能
POE0#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU相補PWM出力端子(MTU3、MTU4端子)の出力を停止する要求信号としてアサインされています
POE8#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はMTU0端子の出力を停止する要求信号としてアサインされています
POE10#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW0、GPTW1の端子の出力を停止する要求信号としてアサインされています
POE11#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW2の端子の出力を停止する要求信号としてアサインされています
POE12#	入力	レジスタの設定によってすべての制御対象端子を制御できます。リセット後はGPTW0～GPTW2端子の出力を停止する要求信号としてアサインされています

表 20.3 に示す信号の組み合わせで出力レベルの比較を行います。

表 20.3 出力信号の組み合わせ

信号の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺モジュールクロック (PCLK) 1サイクル以上同時にアクティブレベル出力(ALR1.OLSENビットが"0"かつMTU.TOCR1A.TOCSビットが"0"のときに、MTU.TOCR1A.OLSPビットが"0"の場合はLow出力、"1"の場合はHigh出力。または、ALR1.OLSENビットが"0"かつMTU.TOCR1A.TOCSビットが"1"のときに、MTU.TOCR2A.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが"0"の場合はLow出力、"1"の場合はHigh出力)が続いた場合、MTU相補PWM出力端子(MTU3、MTU4端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	
GTIOC0AとGTIOC0B	出力	周辺モジュールクロック (PCLK) 1サイクル以上同時にアクティブレベル出力(ALR3.OLSG0A、OLSG0B、OLSG1A、OLSG1B、OLSG2A、OLSG2Bビットが"0"の場合はLow出力、"1"の場合はHigh出力)が続いた場合、GPTW出力端子(GPTW0～GPTW2端子)の出力を停止します。どの組み合わせに対して出力比較を行い端子制御を行うかは、POEのレジスタで設定できます
GTIOC1AとGTIOC1B	出力	
GTIOC2AとGTIOC2B	出力	

20.2 レジスタの説明

POE のレジスタは、リセットで初期化されます。

20.2.1 入力レベルコントロール / ステータスレジスタ 1 (ICSR1)

アドレス POE.ICSR1 0009 E400h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
INV	—	—	POE0F	—	—	—	PIE1		POE0M2[3:0]				POE0M[3:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE0M[3:0]	POE0 モード選択ビット	b3 b0 0 0 0 0 : POE0#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1 : POE0#端子からの入力をPCLK/8でサンプリングし、Low またはHigh レベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0 : POE0#端子からの入力をPCLK/16でサンプリングし、Low またはHigh レベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1 : POE0#端子からの入力をPCLK/128でサンプリングし、Low またはHigh レベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0 : POE0#端子からの入力をPCLKでサンプリングし、Low またはHigh レベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1 : POE0#端子からの入力をPCLK/2でサンプリングし、Low またはHigh レベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0 : POE0#端子からの入力をPCLK/4でサンプリングし、Low またはHigh レベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE0M2[3:0]	POE0 サンプリング回数選択ビット	b7 b4 0 0 0 0 : 16回 0 0 0 1 : 4回 0 0 1 0 : 8回 0 0 1 1 : 9回 0 1 0 0 : 10回 0 1 0 1 : 11回 0 1 1 0 : 12回 0 1 1 1 : 13回 1 0 0 0 : 14回 1 0 0 1 : 15回 上記以外は設定しないでください	R/W (注1)
b8	PIE1	ポート割り込み許可ビット1	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0 フラグ	0 : POE0#端子に出力停止要求なし 1 : POE0#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE0#端子入力反転ビット	0 : POE0#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1 : POE0#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE0M[3:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE0M2[3:0] ビット (POE0 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE1 ビット (ポート割り込み許可ビット 1)

POE0F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE0# 端子に POE0M[3:0] ビット、POE0M2[3:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE0M[3:0] ビットで Low レベル検出を設定している場合、“0”を書くには、POE0# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE0# 端子に Low を入力する必要があります。詳細は、「20.3.10 出力停止状態の解除」を参照してください。

INV ビット (POE0# 端子入力反転ビット)

POE0# 端子の入力信号を論理反転させるビットです。

“0”の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。

“1”にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

20.2.2 入力レベルコントロール / ステータスレジスタ 3 (ICSR3)

アドレス POE.ICSR3 0009 E408h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE8F	—	—	POE8E	PIE3	POE8M2[3:0]				POE8M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE8M[3:0]	POE8モード選択ビット	b3 b0 0000: POE8#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0001: POE8#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0010: POE8#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0011: POE8#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0100: POE8#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0101: POE8#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0110: POE8#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE8M2[3:0]	POE8サンプリング回数選択ビット	b7 b4 0000: 16回 0001: 4回 0010: 8回 0011: 9回 0100: 10回 0101: 11回 0110: 12回 0111: 13回 1000: 14回 1001: 15回 上記以外は設定しないでください	R/W (注1)
b8	PIE3	ポート割り込み許可ビット3	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE8E	POE8出力停止許可ビット	0: POE8#信号により端子の出力を停止しない 1: POE8#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0: POE8#端子に出力停止要求なし 1: POE8#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE8#端子入力反転ビット	0: POE8#端子からの入力信号を反転しない(立ち下がりエッジまたはLowレベル検出) 1: POE8#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE8M[3:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE8M2[3:0] ビット (POE8 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE3 ビット (ポート割り込み許可ビット 3)

POE8F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 出力停止許可ビット)

POE8F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[3:0] ビット、POE8M2[3:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE8M[3:0] ビットで Low レベル検出を設定している場合、“0”を書くには、POE8#端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE8#端子に Low を入力する必要があります。詳細は、「20.3.10 出力停止状態の解除」を参照してください。

INV ビット (POE8# 端子入力反転ビット)

POE8# 端子の入力信号を論理反転させるビットです。

“0”の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。

“1”にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

20.2.3 入力レベルコントロール / ステータスレジスタ 4 (ICSR4)

アドレス POE.ICSR4 0009 E416h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
INV	—	—	POE10F	—	—	POE10E	PIE4	POE10M2[3:0]				POE10M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE10M[3:0]	POE10モード選択ビット	b3 b0 0000: POE10#端子入力の立ち下がリエッジまたは立ち上がりエッジで要求を受け付け 0001: POE10#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0010: POE10#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0011: POE10#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0100: POE10#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0101: POE10#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0110: POE10#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE10M2[3:0]	POE10サンプリング回数選択ビット	b7 b4 0000: 16回 0001: 4回 0010: 8回 0011: 9回 0100: 10回 0101: 11回 0110: 12回 0111: 13回 1000: 14回 1001: 15回 上記以外は設定しないでください	R/W (注1)
b8	PIE4	ポート割り込み許可ビット4	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE10E	POE10出力停止許可ビット	0: POE10#信号により端子の出力を停止しない 1: POE10#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0: POE10#端子に出力停止要求なし 1: POE10#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE10#端子入力反転ビット	0: POE10#端子からの入力信号を反転しない(立ち下がリエッジまたはLowレベル検出) 1: POE10#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE10M[3:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE10M2[3:0] ビット (POE10 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE4 ビット (ポート割り込み許可ビット 4)

POE10F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 出力停止許可ビット)

POE10F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE10# 端子に POE10M[3:0] ビット、POE10M2[3:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE10M[3:0] ビットで Low レベル検出を設定している場合、“0”を書くには、POE10# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE10# 端子に Low を入力する必要があります。詳細は、「20.3.10 出力停止状態の解除」を参照してください。

INV ビット (POE10# 端子入力反転ビット)

POE10# 端子の入力信号を論理反転させるビットです。

“0”の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。

“1”にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

20.2.4 入力レベルコントロール/ステータスレジスタ 5 (ICSR5)

アドレス POE.ICSR5 0009 E418h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
INV	—	—	POE11F	—	—	POE11E	PIE5	POE11M2[3:0]				POE11M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE11M[3:0]	POE11モード選択ビット	b3 b0 0000: POE11#端子入力の立ち下がリエッジまたは立ち上がりエッジで要求を受け付け 0001: POE11#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0010: POE11#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0011: POE11#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0100: POE11#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0101: POE11#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0110: POE11#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE11M2[3:0]	POE11サンプリング回数選択ビット	b7 b4 0000: 16回 0001: 4回 0010: 8回 0011: 9回 0100: 10回 0101: 11回 0110: 12回 0111: 13回 1000: 14回 1001: 15回 上記以外は設定しないでください	R/W (注1)
b8	PIE5	ポート割り込み許可ビット5	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	POE11E	POE11出力停止許可ビット	0: POE11#信号により端子の出力を停止しない 1: POE11#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE11F	POE11フラグ	0: POE11#端子に出力停止要求なし 1: POE11#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE11#端子入力反転ビット	0: POE11#端子からの入力信号を反転しない(立ち下がリエッジまたはLowレベル検出) 1: POE11#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR5 レジスタは、POE11# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE11M[3:0] ビット (POE11 モード選択ビット)

POE11# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE11M2[3:0] ビット (POE11 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE5 ビット (ポート割り込み許可ビット 5)

POE11F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE11E ビット (POE11 出力停止許可ビット)

POE11F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE11F フラグ (POE11 フラグ)

POE11# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE11# 端子に POE11M[3:0] ビット、POE11M2[3:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE11M[3:0] ビットで Low レベル検出を設定している場合、“0”を書くには、POE11#端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE11#端子に Low を入力する必要があります。詳細は、「20.3.10 出力停止状態の解除」を参照してください。

INV ビット (POE11# 端子入力反転ビット)

POE11# 端子の入力信号を論理反転させるビットです。

“0”の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。

“1”にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

20.2.5 入力レベルコントロール / ステータスレジスタ 6 (ICSR6)

アドレス POE.ICSR6 0009 E41Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	発振停止時出力停止許可ビット	0 : 発振停止検出時に制御対象端子の出力を停止しない 1 : 発振停止検出時に制御対象端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	発振停止検出フラグ	0 : 発振停止による出力停止要求なし 1 : 発振停止による出力停止要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータス表示を行うレジスタです。

OSTSTE ビット (発振停止時出力停止許可ビット)

発振停止検出時に制御対象端子の出力を停止するかしないかを設定します。

OSTSTF フラグ (発振停止検出フラグ)

OSTSTF フラグは、発振停止による出力停止要求を示すステータスフラグです。

メインクロックの発振が停止すると“1”になります。OSTSTF フラグを“0”にするときは、OSTSTF フラグが“1”になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが“0”のときに“0”を書いてください。OSTDSR.OSTDF フラグが“1”のときに OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

[“1”になる条件]

- 発振停止を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

20.2.6 入力レベルコントロール / ステータスレジスタ 7 (ICSR7)

アドレス POE.ICSR7 0009 E420h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	INV	—	—	POE12F	—	—	POE12E	PIE7	POE12M2[3:0]				POE12M[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	POE12M[3:0]	POE12モード選択ビット	b3 b0 0 0 0 0 : POE12#端子入力の立ち下がリエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1 : POE12#端子からの入力をPCLK/8でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0 : POE12#端子からの入力をPCLK/16でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1 : POE12#端子からの入力をPCLK/128でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0 : POE12#端子からの入力をPCLKでサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1 : POE12#端子からの入力をPCLK/2でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0 : POE12#端子からの入力をPCLK/4でサンプリングし、LowまたはHighレベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください	R/W (注1)
b7-b4	POE12M2[3:0]	POE12サンプリング回数選択ビット	b7 b4 0 0 0 0 : 16回 0 0 0 1 : 4回 0 0 1 0 : 8回 0 0 1 1 : 9回 0 1 0 0 : 10回 0 1 0 1 : 11回 0 1 1 0 : 12回 0 1 1 1 : 13回 1 0 0 0 : 14回 1 0 0 1 : 15回 上記以外は設定しないでください	R/W (注1)
b8	PIE7	ポート割り込み許可ビット7	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE12E	POE12出力停止許可ビット	0 : POE12#信号により端子の出力を停止しない 1 : POE12#信号により端子の出力を停止する	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE12F	POE12フラグ	0 : POE12#端子に出力停止要求なし 1 : POE12#端子に出力停止要求あり	R/(W) (注2)
b14-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	INV	POE12#端子入力反転ビット	0 : POE12#端子からの入力信号を反転しない(立ち下がリエッジまたはLowレベル検出) 1 : POE12#端子からの入力信号を反転する(立ち上がりエッジまたはHighレベル検出)	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR7 レジスタは、POE12# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

POE12M[3:0] ビット (POE12 モード選択ビット)

POE12# 端子の入力検出方法を選択します。エッジ検出、またはレベル検出が選択できます。どちらのエッジを使用するか、またはどちらのレベルを使用するかは INV ビットで指定します。レベル検出の場合はサンプリング間隔の設定ができます。

POE12M2[3:0] ビット (POE12 サンプリング回数選択ビット)

レベル検出を選択した場合のサンプリング回数を指定します。
エッジ検出を選択した場合、本ビットの設定値は無視されます。

PIE7 ビット (ポート割り込み許可ビット 7)

POE12F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE12E ビット (POE12 出力停止許可ビット)

POE12F フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

POE12F フラグ (POE12 フラグ)

POE12# 端子に出力停止要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE12# 端子に POE12M[3:0] ビット、POE12M2[3:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE12M[3:0] ビットで Low レベル検出を設定している場合、“0”を書くには、POE12# 端子に High を入力する必要があります。同様に High レベル検出を設定している場合、POE12# 端子に Low を入力する必要があります。詳細は、「20.3.10 出力停止状態の解除」を参照してください。

INV ビット (POE12# 端子入力反転ビット)

POE12# 端子の入力信号を論理反転させるビットです。

“0”の場合、立ち下がりエッジ検出または Low レベル検出が選択できます。

“1”にすると、立ち上がりエッジ検出または High レベル検出が選択できます。

20.2.7 出力レベルコントロール / ステータスレジスタ 1 (OCSR1)

アドレス POE.OCSR1 0009 E402h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み1許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	OCE1	出力短絡時出力停止許可ビット1	0 : 出力短絡時に端子の出力を停止しない 1 : 出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0 : 同時にアクティブレベルになっていない 1 : 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR1 レジスタは、MTU3、MTU4 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE1 ビット (出力短絡割り込み1許可ビット)

OSF1 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡時出力停止許可ビット1)

OSF1 フラグが“1”になったときに、端子の出力を停止するかどうかを指定します。

OSF1 フラグ (出力短絡フラグ1)

MTU 相補 PWM 出力信号 (MTU3, MTU4) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF1 フラグは“1”になりません。

アクティブレベルの設定については「20.2.9 アクティブレベルレジスタ 1 (ALR1)」を参照してください。

["1" になる条件]

- POECR2.MTU3BDZE ビットが“1”、または PMMCR1.MTU3BME ビット、PMMCR1.MTU3DME ビットの少なくとも一方が“1”の場合に、MTIOC3B 信号と MTIOC3D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注1) になったとき
- POECR2.MTU4ACZE ビットが“1”、または PMMCR1.MTU4AME ビット、PMMCR1.MTU4CME ビットの少なくとも一方が“1”の場合に、MTIOC4A 信号と MTIOC4C 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注1) になったとき
- POECR2.MTU4BDZE ビットが“1”、または PMMCR1.MTU4BME ビット、PMMCR1.MTU4DME ビットの少なくとも一方が“1”の場合に、MTIOC4B 信号と MTIOC4D 信号が PCLK の 1 サイクル以上同時にアクティブレベル (注1) になったとき

注1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

["0" になる条件]

- "1" の状態を読んだ後、"0" を書いたとき
"0" を書くには、MTU 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「20.3.10 出力停止状態の解除」を参照してください。

20.2.8 出力レベルコントロール / ステータスレジスタ 3 (OCSR3)

アドレス POE.OCSR3 0009 E42Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF3	—	—	—	—	—	OCE3	OIE3	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b8	OIE3	出力短絡割り込み3許可ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	OCE3	出力短絡時出力停止許可ビット3	0 : 出力短絡時に端子の出力を停止しない 1 : 出力短絡時に端子の出力を停止する	R/W (注1)
b14-b10	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b15	OSF3	出力短絡フラグ3	0 : 同時にアクティブレベルになっていない 1 : 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを"0"にするため、"1"を読んだ後、"0"を書き込むことのみ可能です。

OCSR3 レジスタは、GPTW0 ~ GPTW2 端子に対する出力レベルの比較許可 / 禁止、出力短絡割り込みの許可 / 禁止の制御、およびステータス表示を行うレジスタです。

OIE3 ビット (出力短絡割り込み3許可ビット)

OSF3 フラグが"1"になったときに、割り込みを要求するかどうかを指定します。

OCE3 ビット (出力短絡時出力停止許可ビット3)

OSF3 フラグが"1"になったときに、端子の出力を停止するかどうかを指定します。

OSF3 フラグ (出力短絡フラグ3)

GPTW 相補 PWM 出力信号 (GPTW0 ~ GPTW2) の比較する3組の2相出力のうち、1組以上が同時にアクティブレベルになったことを示すフラグです。ただし、対応する端子の出力停止制御が許可されていない場合、OSF3 フラグは"1"になりません。

アクティブレベルの設定については「20.2.10 アクティブレベルレジスタ3 (ALR3)」を参照してください。

["1" になる条件]

- POE3R3.GPT0ABZE ビットが"1"、または PMMCR2.GPT0AME ビット、PMMCR2.GPT0BME ビットの少なくとも一方が"1"の場合に、GTIOC0A 信号と GTIOC0B 信号が PCLK の1サイクル以上同時にアクティブレベル(注1)になったとき
- POE3R3.GPT1ABZE ビットが"1"、または PMMCR2.GPT1AME ビット、PMMCR2.GPT1BME ビットの少

なくとも一方が“1”の場合に、GTIOC1A 信号と GTIOC1B 信号が PCLK の 1 サイクル以上同時にアクティブレベル(注1)になったとき

- POECCR3.GPT2ABZE ビットが“1”、または PMMCR2.GPT2AME ビット、PMMCR2.GPT2BME ビットの少なくとも一方が“1”の場合に、GTIOC2A 信号と GTIOC2B 信号が PCLK の 1 サイクル以上同時にアクティブレベル(注1)になったとき

注1. MPC.PxyPFS レジスタの設定内容にかかわらず、信号のレベルだけで判断します。

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

“0”を書くには、GPTW 相補 PWM 出力信号を非アクティブレベルにする必要があります。詳細は、「20.3.10 出力停止状態の解除」を参照してください。

20.2.9 アクティブレベルレジスタ 1 (ALR1)

アドレス POE.AL1 0009 E41Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B 信号アクティブレベル設定ビット	0 : アクティブ Low 1 : アクティブ High	R/W (注1)
b1	OLSG0B	MTIOC3D 信号アクティブレベル設定ビット	0 : アクティブ Low 1 : アクティブ High	R/W (注1)
b2	OLSG1A	MTIOC4A 信号アクティブレベル設定ビット	0 : アクティブ Low 1 : アクティブ High	R/W (注1)
b3	OLSG1B	MTIOC4C 信号アクティブレベル設定ビット	0 : アクティブ Low 1 : アクティブ High	R/W (注1)
b4	OLSG2A	MTIOC4B 信号アクティブレベル設定ビット	0 : アクティブ Low 1 : アクティブ High	R/W (注1)
b5	OLSG2B	MTIOC4D 信号アクティブレベル設定ビット	0 : アクティブ Low 1 : アクティブ High	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1 レジスタは、OCSR1 レジスタで MTU3、MTU4 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B 信号アクティブレベル設定ビット)

MTIOC3B 出力のアクティブレベルを設定します。OLSG0A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (MTIOC3D 信号アクティブレベル設定ビット)

MTIOC3D 出力のアクティブレベルを設定します。OLSG0B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (MTIOC4A 信号アクティブレベル設定ビット)

MTIOC4A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (MTIOC4C 信号アクティブレベル設定ビット)

MTIOC4C 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (MTIOC4B 信号アクティブレベル設定ビット)

MTIOC4B 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (MTIOC4D 信号アクティブレベル設定ビット)

MTIOC4D 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ~ 2、m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが“0”の場合は OLSGnm ビットの設定は無効となり、MTU3、MTU4 出力のアクティブレベルは MTU.TOCR1A および MTU.TOCR2A レジスタの設定に従います。OLSEN ビットが“1”の場合は、MTU3、MTU4 出力のアクティブレベルは OLSGnm ビットの設定に従います。

20.2.10 アクティブレベルレジスタ 3 (ALR3)

アドレス POE.AL3 0009 E42Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2B	OLSG2A	OLSG1B	OLSG1A	OLSG0B	OLSG0A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	GTIOC0A信号アクティブレベル設定ビット	0 : アクティブLow 1 : アクティブHigh	R/W (注1)
b1	OLSG0B	GTIOC0B信号アクティブレベル設定ビット	0 : アクティブLow 1 : アクティブHigh	R/W (注1)
b2	OLSG1A	GTIOC1A信号アクティブレベル設定ビット	0 : アクティブLow 1 : アクティブHigh	R/W (注1)
b3	OLSG1B	GTIOC1B信号アクティブレベル設定ビット	0 : アクティブLow 1 : アクティブHigh	R/W (注1)
b4	OLSG2A	GTIOC2A信号アクティブレベル設定ビット	0 : アクティブLow 1 : アクティブHigh	R/W (注1)
b5	OLSG2B	GTIOC2B信号アクティブレベル設定ビット	0 : アクティブLow 1 : アクティブHigh	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR3 レジスタは、OCSR3 レジスタで GPTW0 ~ GPTW2 の出力短絡検出を行う場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (GTIOC0A 信号アクティブレベル設定ビット)

GTIOC0A 出力のアクティブレベルを設定します。OLSG0A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (GTIOC0B 信号アクティブレベル設定ビット)

GTIOC0B 出力のアクティブレベルを設定します。OLSG0B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (GTIOC1A 信号アクティブレベル設定ビット)

GTIOC1A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (GTIOC1B 信号アクティブレベル設定ビット)

GTIOC1B 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (GTIOC2A 信号アクティブレベル設定ビット)

GTIOC2A 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (GTIOC2B 信号アクティブレベル設定ビット)

GTIOC2B 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n = 0 ~ 2, m = A, B) によるアクティブレベル設定の有効 / 無効を設定します。OLSEN ビットが“0”の場合は OLSGnm ビットの設定は無効となります。

GPTW 出力のアクティブレベルは、OLSEN ビットが“1”のときのみ設定可能です。GPTW 出力の短絡検出を行う場合は OLSSEN ビットを“1”にし、OLSGnm ビットで GPTW 出力のアクティブレベルを設定してください。

20.2.11 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス POE.SPOER 0009 E42Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	GPT02 HIZ	—	—	—	GPT23 HIZ	GPT01 HIZ	MTUC H0HIZ	—	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3、MTU4 端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	MTUCH0HIZ	MTU0 端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b3	GPT01HIZ	GPTW0、GPTW1 端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b4	GPT23HIZ	GPTW2 端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	GPT02HIZ	GPTW0～GPTW2 端子出力停止許可ビット	0: 端子の出力を停止しない 1: 端子の出力を停止する	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子の出力停止制御を行うレジスタです。

MTUCH34HIZ ビット (MTU3、MTU4 端子出力停止許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) の出力を停止する制御を行います。“0”にする場合は、“1”の状態を読んだ後“0”を書いてください。

MTUCH0HIZ ビット (MTU0 端子出力停止許可ビット)

MTU0 端子の出力を停止する制御を行います。“0”にする場合は、“1”の状態を読んだ後“0”を書いてください。

GPT01HIZ ビット (GPTW0、GPTW1 端子出力停止許可ビット)

GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力を停止する制御を行います。“0”にする場合は、“1”の状態を読んだ後“0”を書いてください。

GPT23HIZ ビット (GPTW2 端子出力停止許可ビット)

GPTW2 端子 (GTIOC2A, GTIOC2B) の出力を停止する制御を行います。“0”にする場合は、“1”の状態を読んだ後“0”を書いてください。

GPT02HIZ ビット (GPTW0～GPTW2 端子出力停止許可ビット)

GPTW0～GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力を停止する制御を行います。“0”にする場合は、“1”の状態を読んだ後“0”を書いてください。

20.2.12 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス POE.POECR1 0009 E40Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0A 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTIOC0B 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTIOC0C 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTIOC0D 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンス制御を行うレジスタです。

MTU0AZE ビット (MTIOC0A 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CjFLAG フラグ (j = 0 ~ 2) のうち、どれか1つでも“1”になったときに、MTIOC0A 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0AME ビットを“0”にしてください。

MTU0BZE ビット (MTIOC0B 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0BME ビットを“0”にしてください。

MTU0CZE ビット (MTIOC0C 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC0C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0CME ビットを“0”にしてください。

MTU0DZE ビット (MTIOC0D 端子ハイインピーダンス許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC0D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR0.MTU0DME ビットを“0”にしてください。

20.2.13 ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)

アドレス POE.POECR2 0009 E40Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3B DZE	MTU4A CZE	MTU4B DZE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B/MTIOC4D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTIOC4A/MTIOC4C端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTIOC3B/MTIOC3D端子ハイインピーダンス許可ビット	0：ハイインピーダンスにしない 1：ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR2 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) のハイインピーダンス制御を行うレジスタです。

MTU4BDZE ビット (MTIOC4B/MTIOC4D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも“1”になったときに、MTIOC4B 出力と MTIOC4D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU4BME ビットと MTU4DME ビットを“0”にしてください。

MTU4ACZE ビット (MTIOC4A/MTIOC4C 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも“1”になったときに、MTIOC4A 出力と MTIOC4C 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU4AME ビットと MTU4CME ビットを“0”にしてください。

MTU3BDZE ビット (MTIOC3B/MTIOC3D 端子ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも“1”になったときに、MTIOC3B 出力と MTIOC3D 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR1 レジスタの MTU3BME ビットと MTU3DME ビットを“0”にしてください。

20.2.14 ポートアウトプットイネーブルコントロールレジスタ 3 (POECR3)

アドレス POE.POECR3 0009 E40Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	GPT2A BZE	GPT1A BZE	GPT0A BZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPT0ABZE	GTIOC0A/GTIOC0B 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b1	GPT1ABZE	GTIOC1A/GTIOC1B 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b2	GPT2ABZE	GTIOC2A/GTIOC2B 端子ハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR3 レジスタは、GPTW 出力端子 (GPTW0 ~ GPTW2 端子) のハイインピーダンス制御を行うレジスタです。

GPT0ABZE ビット (GTIOC0A/GTIOC0B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 3 ~ 5, 7, m=0, 8, 10, 11, 12)、POECMPFR.CjFLAG フラグ (j=0 ~ 2)、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC0A 出力と GTIOC0B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2 レジスタの GPT0AME ビットと GPT0BME ビットを“0”にしてください。

GPT1ABZE ビット (GTIOC1A/GTIOC1B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC1A 出力と GTIOC1B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2 レジスタの GPT1AME ビットと GPT1BME ビットを“0”にしてください。

GPT2ABZE ビット (GTIOC2A/GTIOC2B 端子ハイインピーダンス許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6B レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC2A 出力と GTIOC2B 出力をハイインピーダンスにするかどうかを設定します。

なお、このビットを“1”にする場合は、PMMCR2 レジスタの GPT2AME ビットと GPT2BME ビットを“0”にしてください。

20.2.15 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス POE.POECR4 0009 E410h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IC6ADDM T34ZE	IC5ADDM T34ZE	IC4ADDM T34ZE	IC3ADDM T34ZE	—	IC1ADDM T34ZE	CMADDM T34ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT34ZE	MTU3、MTU4出力停止条件 CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT34ZE	MTU3、MTU4出力停止条件 POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IC3ADDMT34ZE	MTU3、MTU4出力停止条件 POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU3、MTU4出力停止条件 POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT34ZE	MTU3、MTU4出力停止条件 POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT34ZE	MTU3、MTU4出力停止条件 POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) の出力停止制御条件を設定するレジスタです。

CMADDMT34ZE ビット (MTU3、MTU4 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ~ 2) を、MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1, 3 ~ 5) は発生しません。

IC1ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC3ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC4ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC5ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

IC6ADDMT34ZE ビット (MTU3、MTU4 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU3、MTU4 端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) の出力停止制御条件に追加します。

20.2.16 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス POE.POECR5 0009 E412h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IC6ADD MT0ZE	IC5ADD MT0ZE	IC4ADD MT0ZE	IC3ADD MT0ZE	—	IC1ADD MT0ZE	CMADD MT0ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT0ZE	MTU0出力停止条件CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDMT0ZE	MTU0出力停止条件POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IC3ADDMT0ZE	MTU0出力停止条件POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDMT0ZE	MTU0出力停止条件POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDMT0ZE	MTU0出力停止条件POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDMT0ZE	MTU0出力停止条件POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加する	R/W (注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子の出力停止制御条件を設定するレジスタです。

CMADDMT0ZE ビット (MTU0 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ~ 2) を、MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1, 3 ~ 5) は発生しません。

IC1ADDMT0ZE ビット (MTU0 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC3ADDMT0ZE ビット (MTU0 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC4ADDMT0ZE ビット (MTU0 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC5ADDMT0ZE ビット (MTU0 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

IC6ADDMT0ZE ビット (MTU0 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) の出力停止制御条件に追加します。

20.2.17 ポートアウトプットイネーブルコントロールレジスタ 6 (POECR6)

アドレス POE.POECR6 0009 E414h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IC6ADDG PT01ZE	IC5ADDG PT01ZE	IC4ADDG PT01ZE	IC3ADDG PT01ZE	—	IC1ADDG PT01ZE	CMADDG PT01ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT01ZE	GPTW0、GPTW1 出力停止条件 CFLAG 追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDGPT01ZE	GPTW0、GPTW1 出力停止条件 POE0F 追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IC3ADDGPT01ZE	GPTW0、GPTW1 出力停止条件 POE8F 追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDGPT01ZE	GPTW0、GPTW1 出力停止条件 POE10F 追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDGPT01ZE	GPTW0、GPTW1 出力停止条件 POE11F 追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDGPT01ZE	GPTW0、GPTW1 出力停止条件 POE12F 追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR6 レジスタは、GPTW0、GPTW1 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ~ 2) を、GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1, 3 ~ 5) は発生しません。

IC1ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC3ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC4ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC5ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

IC6ADDGPT01ZE ビット (GPTW0、GPTW1 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW0、GPTW1 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B) の出力停止制御条件に追加します。

20.2.18 ポートアウトプットイネーブルコントロールレジスタ 6B (POECR6B)

アドレス POE.POECR6B 0009 E450h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IC6ADDGPT23ZE	IC5ADDGPT23ZE	IC4ADDGPT23ZE	IC3ADDGPT23ZE	—	IC1ADDGPT23ZE	CMADDGPT23ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT23ZE	GPTW2出力停止条件CFLAG追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b1	IC1ADDGPT23ZE	GPTW2出力停止条件POE0F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IC3ADDGPT23ZE	GPTW2出力停止条件POE8F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b4	IC4ADDGPT23ZE	GPTW2出力停止条件POE10F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b5	IC5ADDGPT23ZE	GPTW2出力停止条件POE11F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b6	IC6ADDGPT23ZE	GPTW2出力停止条件POE12F追加ビット	0 : 出力停止制御条件に追加しない 1 : 出力停止制御条件に追加する	R/W (注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR6B レジスタは、GPTW2 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT23ZE ビット (GPTW2 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0 ~ 2) を、GPTW2 端子 (GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1, 3 ~ 5) は発生しません。

IC1ADDGPT23ZE ビット (GPTW2 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW2 端子 (GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC3ADDGPT23ZE ビット (GPTW2 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW2 端子 (GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC4ADDGPT23ZE ビット (GPTW2 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW2 端子 (GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC5ADDGPT23ZE ビット (GPTW2 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW2 端子 (GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC6ADDGPT23ZE ビット (GPTW2 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW2 端子 (GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

20.2.19 ポートアウトプットイネーブルコントロールレジスタ 9 (POECR9)

アドレス POE.POECR9 0009 E452h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	IC6ADDG PT02ZE	IC5ADDG PT02ZE	IC4ADDG PT02ZE	IC3ADDG PT02ZE	—	IC1ADDG PT02ZE	CMADDG PT02ZE
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDGPT02ZE	GPTW0～GPTW2出力停止条件 CFLAG追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b1	IC1ADDGPT02ZE	GPTW0～GPTW2出力停止条件 POE0F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IC3ADDGPT02ZE	GPTW0～GPTW2出力停止条件 POE8F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b4	IC4ADDGPT02ZE	GPTW0～GPTW2出力停止条件 POE10F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b5	IC5ADDGPT02ZE	GPTW0～GPTW2出力停止条件 POE11F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b6	IC6ADDGPT02ZE	GPTW0～GPTW2出力停止条件 POE12F追加ビット	0：出力停止制御条件に追加しない 1：出力停止制御条件に追加にする	R/W (注1)
b15-b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR9 レジスタは、GPTW0～GPTW2 端子の出力停止制御条件を設定するレジスタです。

CMADDGPT02ZE ビット (GPTW0～GPTW2 出力停止条件 CFLAG 追加ビット)

POECMPFR.CjFLAG フラグ (j = 0～2) を、GPTW0～GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。ただし、POECMPFR.CjFLAG フラグにより端子の出力が停止した場合、OEIk 割り込み (k = 1, 3～5) は発生しません。

IC1ADDGPT02ZE ビット (GPTW0～GPTW2 出力停止条件 POE0F 追加ビット)

ICSR1.POE0F フラグを GPTW0～GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC3ADDGPT02ZE ビット (GPTW0～GPTW2 出力停止条件 POE8F 追加ビット)

ICSR3.POE8F フラグを GPTW0～GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC4ADDGPT02ZE ビット (GPTW0～GPTW2 出力停止条件 POE10F 追加ビット)

ICSR4.POE10F フラグを GPTW0～GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC5ADDGPT02ZE ビット (GPTW0～GPTW2 出力停止条件 POE11F 追加ビット)

ICSR5.POE11F フラグを GPTW0～GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

IC6ADDGPT02ZE ビット (GPTW0 ~ GPTW2 出力停止条件 POE12F 追加ビット)

ICSR7.POE12F フラグを GPTW0 ~ GPTW2 端子 (GTIOC0A, GTIOC0B, GTIOC1A, GTIOC1B, GTIOC2A, GTIOC2B) の出力停止制御条件に追加します。

20.2.20 ポートモードマスクコントロールレジスタ 0 (PMMCR0)

アドレス POE.PMMCR0 0009 E430h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MTU0DME	MTU0CME	MTU0BME	MTU0AME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AME	MTIOC0A端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	MTU0BME	MTIOC0B端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	MTU0CME	MTIOC0C端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	MTU0DME	MTIOC0D端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR0 レジスタは、MTU0 端子に関連する PMR レジスタの設定をマスクするレジスタです。

MTU0AME ビット (MTIOC0A 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n = 1, 3 ~ 5, 7, m = 0, 8, 10, 11, 12)、POECMPFR.CjFLAG フラグ (j = 0 ~ 2) のうち、どれか1つでも“1”になったときに、MTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0AZE ビットを“0”にしてください。

POECR1.MTU0AZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0BME ビット (MTIOC0B 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0BZE ビットを“0”にしてください。

POECR1.MTU0BZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0CME ビット (MTIOC0C 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC0C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0CZE ビットを“0”にしてください。

POECR1.MTU0CZE ビットが“1”の場合、このビットの設定は無視されます。

MTU0DME ビット (MTIOC0D 端子ポートモードマスク許可ビット)

SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になった

ときに、MTIOC0D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR1.MTU0DZE ビットを“0”にしてください。

POECR1.MTU0DZE ビットが“1”の場合、このビットの設定は無視されます。

20.2.21 ポートモードマスクコントロールレジスタ 1 (PMMCR1)

アドレス POE.PMMCR1 0009 E432h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MTU3D ME	MTU4C ME	MTU4D ME	MTU3B ME	MTU4A ME	MTU4B ME	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BME	MTIOC4B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b9	MTU4AME	MTIOC4A端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b10	MTU3BME	MTIOC3B端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b11	MTU4DME	MTIOC4D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b12	MTU4CME	MTIOC4C端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b13	MTU3DME	MTIOC3D端子ポートモードマスク許可ビット	0：汎用入出力ポートへの切り替えを禁止 1：汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR1 レジスタは、MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) に関連する PMR レジスタの設定をマスクするレジスタです。

MTU4BME ビット (MTIOC4B 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも“1”になったときに、MTIOC4B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU4BDZE ビットを“0”にしてください。POECR2.MTU4BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU4AME ビット (MTIOC4A 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも“1”になったときに、MTIOC4A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU4ACZE ビットを“0”にしてください。POECR2.MTU4ACZE ビットが“1”の場合、このビットの設定は無視されます。

MTU3BME ビット (MTIOC3B 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット = 1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか 1 つでも“1”になったときに、MTIOC3B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

トに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU3BDZE ビットを“0”にしてください。
POECR2.MTU3BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU4DME ビット (MTIOC4D 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット=1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC4D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU4BDZE ビットを“0”にしてください。
POECR2.MTU4BDZE ビットが“1”の場合、このビットの設定は無視されます。

MTU4CME ビット (MTIOC4C 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット=1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC4C 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU4ACZE ビットを“0”にしてください。
POECR2.MTU4ACZE ビットが“1”の場合、このビットの設定は無視されます。

MTU3DME ビット (MTIOC3D 端子ポートモードマスク許可ビット)

OCSR1.OSF1 フラグ (OCSR1.OCE1 ビット=1 のとき)、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR4 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、MTIOC3D 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR2.MTU3BDZE ビットを“0”にしてください。
POECR2.MTU3BDZE ビットが“1”の場合、このビットの設定は無視されます。

20.2.22 ポートモードマスクコントロールレジスタ 2 (PMMCR2)

アドレス POE.PMMCR2 0009 E434h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	GPT2B ME	GPT2A ME	GPT1B ME	GPT1A ME	GPT0B ME	GPT0A ME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GPT0AME	GTIOC0A端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b1	GPT0BME	GTIOC0B端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b2	GPT1AME	GTIOC1A端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b3	GPT1BME	GTIOC1B端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b4	GPT2AME	GTIOC2A端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b5	GPT2BME	GTIOC2B端子ポートモードマスク許可ビット	0: 汎用入出力ポートへの切り替えを禁止 1: 汎用入出力ポートへの切り替えを許可	R/W (注1)
b15-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

PMMCR2 レジスタは、GPTW 出力端子 (GPTW0 ~ GPTW2 端子) に関連する PMR レジスタの設定をマスクするレジスタです。

GPT0AME ビット (GTIOC0A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 3 ~ 5, 7, m=0, 8, 10, 11, 12)、POECMPFR.CjFLAG フラグ (j=0 ~ 2)、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC0A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT0ABZE ビットを“0”にしてください。

POECR3.GPT0ABZE ビットが“1”の場合、このビットの設定は無視されます。

GPT0BME ビット (GTIOC0B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POEmF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC0B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT0ABZE ビットを“0”にしてください。

POECR3.GPT0ABZE ビットが“1”の場合、このビットの設定は無視されます。

GPT1AME ビット (GTIOC1A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した

ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC1A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT1ABZE ビットを“0”にしてください。
POECR3.GPT1ABZE ビットが“1”の場合、このビットの設定は無視されます。

GPT1BME ビット (GTIOC1B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT01HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6 レジスタで追加選択した ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC1B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT1ABZE ビットを“0”にしてください。
POECR3.GPT1ABZE ビットが“1”の場合、このビットの設定は無視されます。

GPT2AME ビット (GTIOC2A 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6B レジスタで追加選択した ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに GTIOC2A 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT2ABZE ビットを“0”にしてください。
POECR3.GPT2ABZE ビットが“1”の場合、このビットの設定は無視されます。

GPT2BME ビット (GTIOC2B 端子ポートモードマスク許可ビット)

OCSR3.OSF3 フラグ (OCSR3.OCE3 ビット=1 のとき)、SPOER.GPT23HIZ ビット、SPOER.GPT02HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR6B レジスタで追加選択した ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグ、POECR9 レジスタで追加選択した ICSRn.POE_mF フラグ、POECMPFR.CjFLAG フラグのうち、どれか1つでも“1”になったときに、GTIOC2B 端子を汎用入出力ポートに切り替えるかどうかを設定します。

なお、このビットを“1”にする場合は、POECR3.GPT2ABZE ビットを“0”にしてください。
POECR3.GPT2ABZE ビットが“1”の場合、このビットの設定は無視されます。

20.2.23 ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR)

アドレス POE.POECMPFR 0009 E426h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	C2FLAG	C1FLAG	C0FLAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0FLAG	コンパレータチャンネル0出力検出フラグ	0 : コンパレータ出力を検出していない 1 : コンパレータ出力を検出した	R/(W) (注1)
b1	C1FLAG	コンパレータチャンネル1出力検出フラグ	0 : コンパレータ出力を検出していない 1 : コンパレータ出力を検出した	R/(W) (注1)
b2	C2FLAG	コンパレータチャンネル2出力検出フラグ	0 : コンパレータ出力を検出していない 1 : コンパレータ出力を検出した	R/(W) (注1)
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

CjFLAG フラグ (コンパレータチャンネルj 出力検出フラグ) (j = 0 ~ 2)

各コンパレータ出力の検出 / 未検出状態を示すフラグです。

[“1”になる条件]

- コンパレータ出力の Low から High への変化を検知したとき
 - コンパレータが正転出力の場合: 基準電圧よりも低い入力電圧から高い入力電圧への変化
 - コンパレータが反転出力の場合: 基準電圧よりも高い入力電圧から低い入力電圧への変化

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

20.2.24 ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)

アドレス POE.POECMPSEL 0009 E428h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	POERE Q2	POERE Q1	POERE Q0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャンネル0出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャンネル1出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャンネル2出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECMPSEL レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタです。

POEREQj ビット (コンパレータチャンネルj 出力停止許可ビット) (j = 0 ~ 2)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

20.2.25 ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (POECMPEXm) (m = 0, 2, 4 ~ 6)

アドレス POE.POECMPEX0 0009 E438h, POE.POECMPEX2 0009 E43Ah, POE.POECMPEX4 0009 E43Ch, POE.POECMPEX5 0009 E43Dh, POE.POECMPEX6 0009 E458h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	POERE Q2	POERE Q1	POERE Q0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャンネル0出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b1	POEREQ1	コンパレータチャンネル1出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b2	POEREQ2	コンパレータチャンネル2出力停止許可ビット	0 : コンパレータ出力検出時の出力停止要求を禁止 1 : コンパレータ出力検出時の出力停止要求を許可	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECMPEXm レジスタはコンパレータ出力検出フラグを出力停止制御条件として使用するために設定するレジスタです。POECMPSEL レジスタが全端子一括で条件を選択するのに対し、POECMPEXm レジスタでは出力端子グループごとに条件が選択できます。表 20.4 に出力端子グループと対応する POECMPEXm レジスタを示します。

表 20.4 出力端子グループと対応する POECMPEXm レジスタ

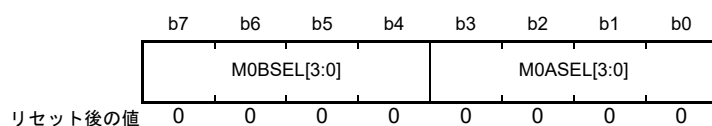
出力端子グループ	対応する POECMPEXm レジスタ	対応する CFLAG 追加ビット
MTU3, MTU4	POECMPEX0	POECR4.CMADDMT34ZE
MTU0	POECMPEX2	POECR5.CMADDMT0ZE
GPTW0, GPTW1	POECMPEX4	POECR6.CMADDGPT01ZE
GPTW2	POECMPEX5	POECR6B.CMADDGPT23ZE
GPTW0 ~ GPTW2	POECMPEX6	POECR9.CMADDGPT02ZE

POEREQj ビット (コンパレータチャンネル j 出力停止許可ビット) (j = 0 ~ 2)

各コンパレータ出力の検出による出力停止要求の生成を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、出力停止要求を生成します。

20.2.26 MTU0 端子選択レジスタ 1 (M0SELR1)

アドレス POE.M0SELR1 0009 E460h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0ASEL[3:0]	MTU0-A (MTIOC0A) 端子選択ビット	b3 b0 0 0 0 0 : どのMTIOC0A 端子も出力停止制御を行わない 0 0 0 1 : P30をMTIOC0A 端子として出力停止制御を行う 0 0 1 0 : P36をMTIOC0A 端子として出力停止制御を行う 0 0 1 1 : PB1をMTIOC0A 端子として出力停止制御を行う 0 1 0 0 : PD3をMTIOC0A 端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M0BSEL[3:0]	MTU0-B (MTIOC0B) 端子選択ビット	b7 b4 0 0 0 0 : どのMTIOC0B 端子も出力停止制御を行わない 0 0 0 1 : P25をMTIOC0B 端子として出力停止制御を行う 0 0 1 0 : P92をMTIOC0B 端子として出力停止制御を行う 0 0 1 1 : PB0をMTIOC0B 端子として出力停止制御を行う 0 1 0 0 : PD4をMTIOC0B 端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M0SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU0-A/B の端子を選択します。

M0ASEL[3:0] ビット (MTU0-A (MTIOC0A) 端子選択ビット)

出力停止制御の対象となる MTIOC0A 端子を選択します。

M0BSEL[3:0] ビット (MTU0-B (MTIOC0B) 端子選択ビット)

出力停止制御の対象となる MTIOC0B 端子を選択します。

20.2.27 MTU0 端子選択レジスタ 2 (M0SELR2)

アドレス POE.M0SELR2 0009 E461h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M0CSEL[3:0]	MTU0-C (MTIOC0C)端子選択ビット	b3b0 0000: どのMTIOC0C端子も出力停止制御を行わない 0001: P33をMTIOC0C端子として出力停止制御を行う 0010: P93をMTIOC0C端子として出力停止制御を行う 0011: P97をMTIOC0C端子として出力停止制御を行う 0100: PD5をMTIOC0C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M0DSEL[3:0]	MTU0-D (MTIOC0D)端子選択ビット	b7b4 0000: どのMTIOC0D端子も出力停止制御を行わない 0001: P32をMTIOC0D端子として出力停止制御を行う 0010: P96をMTIOC0D端子として出力停止制御を行う 0011: PD6をMTIOC0D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M0SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU0-C/D の端子を選択します。

M0CSEL[3:0] ビット (MTU0-C (MTIOC0C) 端子選択ビット)

出力停止制御の対象となる MTIOC0C 端子を選択します。

M0DSEL[3:0] ビット (MTU0-D (MTIOC0D) 端子選択ビット)

出力停止制御の対象となる MTIOC0D 端子を選択します。

20.2.28 MTU3 端子選択レジスタ (M3SELR)

アドレス POE.M3SELR 0009 E462h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M3BSEL[3:0]	MTU3-B (MTIOC3B)端子選択ビット	b3b0 0000: どのMTIOC3B端子も出力停止制御を行わない 0001: P26をMTIOC3B端子として出力停止制御を行う 0010: P71をMTIOC3B端子として出力停止制御を行う 0011: P94をMTIOC3B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M3DSEL[3:0]	MTU3-D (MTIOC3D)端子選択ビット	b7b4 0000: どのMTIOC3D端子も出力停止制御を行わない 0001: P74をMTIOC3D端子として出力停止制御を行う 0010: P97をMTIOC3D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M3SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU3-B/D の端子を選択します。

M3BSEL[3:0] ビット (MTU3-B (MTIOC3B) 端子選択ビット)

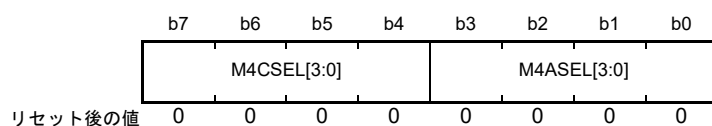
出力停止制御の対象となる MTIOC3B 端子を選択します。

M3DSEL[3:0] ビット (MTU3-D (MTIOC3D) 端子選択ビット)

出力停止制御の対象となる MTIOC3D 端子を選択します。

20.2.29 MTU4 端子選択レジスタ 1 (M4SELR1)

アドレス POE.M4SELR1 0009 E463h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4ASEL[3:0]	MTU4-A (MTIOC4A) 端子選択ビット	b3 b0 0 0 0 0 : どのMTIOC4A端子も出力停止制御を行わない 0 0 0 1 : P31をMTIOC4A端子として出力停止制御を行う 0 0 1 0 : P36をMTIOC4A端子として出力停止制御を行う 0 0 1 1 : P72をMTIOC4A端子として出力停止制御を行う 0 1 0 0 : P95をMTIOC4A端子として出力停止制御を行う 0 1 0 1 : PD3をMTIOC4A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M4CSEL[3:0]	MTU4-C (MTIOC4C) 端子選択ビット	b7 b4 0 0 0 0 : どのMTIOC4C端子も出力停止制御を行わない 0 0 0 1 : P11をMTIOC4C端子として出力停止制御を行う 0 0 1 0 : P75をMTIOC4C端子として出力停止制御を行う 0 0 1 1 : PB0をMTIOC4C端子として出力停止制御を行う 0 1 0 0 : PD5をMTIOC4C端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M4SELR1 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU4-A/C の端子を選択します。

M4ASEL[3:0] ビット (MTU4-A (MTIOC4A) 端子選択ビット)

出力停止の対象となる MTIOC4A 端子を選択します。

M4CSEL[3:0] ビット (MTU4-C (MTIOC4C) 端子選択ビット)

出力停止の対象となる MTIOC4C 端子を選択します。

20.2.30 MTU4 端子選択レジスタ 2 (M4SELR2)

アドレス POE.M4SELR2 0009 E464h



ビット	シンボル	ビット名	機能	R/W
b3-b0	M4BSEL[3:0]	MTU4-B (MTIOC4B)端子選択ビット	b3b0 0000: どのMTIOC4B端子も出力停止制御を行わない 0001: P25をMTIOC4B端子として出力停止制御を行う 0010: P73をMTIOC4B端子として出力停止制御を行う 0011: P96をMTIOC4B端子として出力停止制御を行う 0100: PD4をMTIOC4B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	M4DSEL[3:0]	MTU4-D (MTIOC4D)端子選択ビット	b7b4 0000: どのMTIOC4D端子も出力停止制御を行わない 0001: P76をMTIOC4D端子として出力停止制御を行う 0010: PB1をMTIOC4D端子として出力停止制御を行う 0011: PD6をMTIOC4D端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

M4SELR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる MTU4-B/D の端子を選択します。

M4BSEL[3:0] ビット (MTU4-B (MTIOC4B) 端子選択ビット)

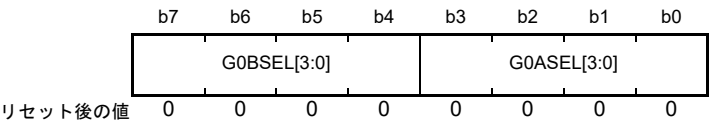
出力停止制御の対象となる MTIOC4B 端子を選択します。

M4DSEL[3:0] ビット (MTU4-D (MTIOC4D) 端子選択ビット)

出力停止制御の対象となる MTIOC4D 端子を選択します。

20.2.31 GPTW0 端子選択レジスタ (G0SELR)

アドレス POE.G0SELR 0009 E46Ah



ビット	シンボル	ビット名	機能	R/W
b3-b0	G0ASEL[3:0]	GPTW0-A (GTIOC0A)端子選択ビット	b3b0 0000: どのGTIOC0A端子も出力停止制御を行わない 0001: P26をGTIOC0A端子として出力停止制御を行う 0010: P36をGTIOC0A端子として出力停止制御を行う 0011: P71をGTIOC0A端子として出力停止制御を行う 0100: P94をGTIOC0A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G0BSEL[3:0]	GPTW0-B (GTIOC0B)端子選択ビット	b7b4 0000: どのGTIOC0B端子も出力停止制御を行わない 0001: P31をGTIOC0B端子として出力停止制御を行う 0010: P74をGTIOC0B端子として出力停止制御を行う 0011: P97をGTIOC0B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G0SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW0-A/B の端子を選択します。

G0ASEL[3:0] ビット (GPTW0-A (GTIOC0A) 端子選択ビット)

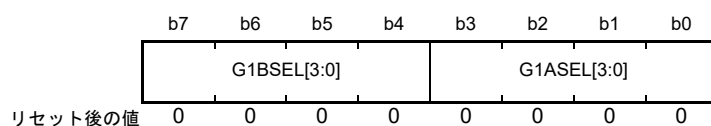
出力停止制御の対象となる GTIOC0A 端子を選択します。

G0BSEL[3:0] ビット (GPTW0-B (GTIOC0B) 端子選択ビット)

出力停止制御の対象となる GTIOC0B 端子を選択します。

20.2.32 GPTW1 端子選択レジスタ (G1SELR)

アドレス POE.G1SELR 0009 E46Bh



ビット	シンボル	ビット名	機能	R/W
b3-b0	G1ASEL[3:0]	GPTW1-A (GTIOC1A) 端子選択ビット	b3 b0 0 0 0 0 : どのGTIOC1A端子も出力停止制御を行わない 0 0 0 1 : P31をGTIOC1A端子として出力停止制御を行う 0 0 1 0 : P72をGTIOC1A端子として出力停止制御を行う 0 0 1 1 : P92をGTIOC1A端子として出力停止制御を行う 0 1 0 0 : P95をGTIOC1A端子として出力停止制御を行う 0 1 0 1 : PB5をGTIOC1A端子として出力停止制御を行う 0 1 1 0 : PD3をGTIOC1A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G1BSEL[3:0]	GPTW1-B (GTIOC1B) 端子選択ビット	b7 b4 0 0 0 0 : どのGTIOC1B端子も出力停止制御を行わない 0 0 0 1 : P75をGTIOC1B端子として出力停止制御を行う 0 0 1 0 : P93をGTIOC1B端子として出力停止制御を行う 0 0 1 1 : PB0をGTIOC1B端子として出力停止制御を行う 0 1 0 0 : PD4をGTIOC1B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G1SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW1-A/B の端子を選択します。

G1ASEL[3:0] ビット (GPTW1-A (GTIOC1A) 端子選択ビット)

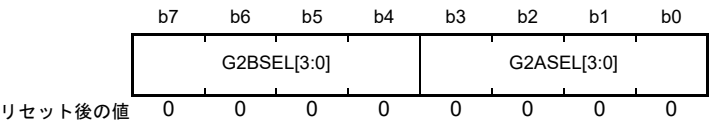
出力停止制御の対象となる GTIOC1A 端子を選択します。

G1BSEL[3:0] ビット (GPTW1-B (GTIOC1B) 端子選択ビット)

出力停止制御の対象となる GTIOC1B 端子を選択します。

20.2.33 GPTW2 端子選択レジスタ (G2SELR)

アドレス POE.G2SELR 0009 E46Ch



ビット	シンボル	ビット名	機能	R/W
b3-b0	G2ASEL[3:0]	GPTW2-A (GTIOC2A) 端子選択ビット	b3b0 0000: どのGTIOC2A端子も出力停止制御を行わない 0001: P04をGTIOC2A端子として出力停止制御を行う 0010: P23をGTIOC2A端子として出力停止制御を行う 0011: P73をGTIOC2A端子として出力停止制御を行う 0100: P96をGTIOC2A端子として出力停止制御を行う 0101: PB5をGTIOC2A端子として出力停止制御を行う 0110: PD5をGTIOC2A端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)
b7-b4	G2BSEL[3:0]	GPTW2-B (GTIOC2B) 端子選択ビット	b7b4 0000: どのGTIOC2B端子も出力停止制御を行わない 0001: P03をGTIOC2B端子として出力停止制御を行う 0010: P24をGTIOC2B端子として出力停止制御を行う 0011: P76をGTIOC2B端子として出力停止制御を行う 0100: PB1をGTIOC2B端子として出力停止制御を行う 0101: PB6をGTIOC2B端子として出力停止制御を行う 0110: PD6をGTIOC2B端子として出力停止制御を行う 上記以外は設定しないでください	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

G2SELR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、出力停止制御の対象となる GPTW2-A/B の端子を選択します。

G2ASEL[3:0] ビット (GPTW2-A (GTIOC2A) 端子選択ビット)

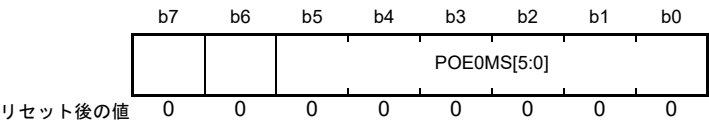
出力停止制御の対象となる GTIOC2A 端子を選択します。

G2BSEL[3:0] ビット (GPTW2-B (GTIOC2B) 端子選択ビット)

出力停止制御の対象となる GTIOC2B 端子を選択します。

20.2.34 入力信号マスク制御レジスタ 0 (IMCR0)

アドレス POE.IMCR0 0009 E45Ch



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE0MS[5:0]	POE0マスク信号選択ビット	b5b0 000000 : POE0#信号をマスクしない 000001 : MTIOC0A信号でPOE0#信号をマスクする 000010 : MTIOC0B信号でPOE0#信号をマスクする 000011 : MTIOC0C信号でPOE0#信号をマスクする 000100 : MTIOC0D信号でPOE0#信号をマスクする 000101 : MTIOC1A信号でPOE0#信号をマスクする 000110 : MTIOC1B信号でPOE0#信号をマスクする 000111 : MTIOC2A信号でPOE0#信号をマスクする 001000 : MTIOC2B信号でPOE0#信号をマスクする 001001 : MTIOC3A信号でPOE0#信号をマスクする 001010 : MTIOC3B信号でPOE0#信号をマスクする 001011 : MTIOC3C信号でPOE0#信号をマスクする 001100 : MTIOC3D信号でPOE0#信号をマスクする 001101 : MTIOC4A信号でPOE0#信号をマスクする 001110 : MTIOC4B信号でPOE0#信号をマスクする 001111 : MTIOC4C信号でPOE0#信号をマスクする 010000 : MTIOC4D信号でPOE0#信号をマスクする 011101 : GTIOC0A信号でPOE0#信号をマスクする 011110 : GTIOC0B信号でPOE0#信号をマスクする 011111 : GTIOC1A信号でPOE0#信号をマスクする 100000 : GTIOC1B信号でPOE0#信号をマスクする 100001 : GTIOC2A信号でPOE0#信号をマスクする 100010 : GTIOC2B信号でPOE0#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

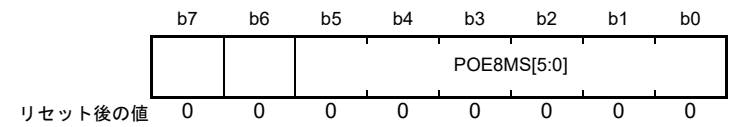
IMCR0 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE0# 端子による出力停止要求をマスクするためのレジスタです。

POE0MS[5:0] ビット (POE0 マスク信号選択ビット)

POE0# 信号をマスクするための信号を選択します。選択された信号が High のとき POE0# 信号がマスクされます。

20.2.35 入力信号マスク制御レジスタ 2 (IMCR2)

アドレス POE.IMCR2 0009 E45Eh



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE8MS[5:0]	POE8マスク信号選択ビット	b5b0 000000 : POE8#信号をマスクしない 000001 : MTIOC0A信号でPOE8#信号をマスクする 000010 : MTIOC0B信号でPOE8#信号をマスクする 000011 : MTIOC0C信号でPOE8#信号をマスクする 000100 : MTIOC0D信号でPOE8#信号をマスクする 000101 : MTIOC1A信号でPOE8#信号をマスクする 000110 : MTIOC1B信号でPOE8#信号をマスクする 000111 : MTIOC2A信号でPOE8#信号をマスクする 001000 : MTIOC2B信号でPOE8#信号をマスクする 001001 : MTIOC3A信号でPOE8#信号をマスクする 001010 : MTIOC3B信号でPOE8#信号をマスクする 001011 : MTIOC3C信号でPOE8#信号をマスクする 001100 : MTIOC3D信号でPOE8#信号をマスクする 001101 : MTIOC4A信号でPOE8#信号をマスクする 001110 : MTIOC4B信号でPOE8#信号をマスクする 001111 : MTIOC4C信号でPOE8#信号をマスクする 010000 : MTIOC4D信号でPOE8#信号をマスクする 011101 : GTIOC0A信号でPOE8#信号をマスクする 011110 : GTIOC0B信号でPOE8#信号をマスクする 011111 : GTIOC1A信号でPOE8#信号をマスクする 100000 : GTIOC1B信号でPOE8#信号をマスクする 100001 : GTIOC2A信号でPOE8#信号をマスクする 100010 : GTIOC2B信号でPOE8#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

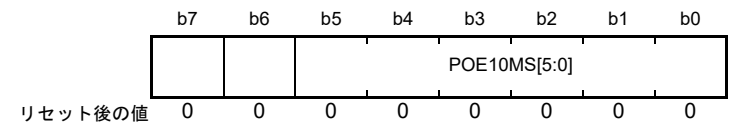
IMCR2 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE8# 端子による出力停止要求をマスクするためのレジスタです。

POE8MS[5:0] ビット (POE8 マスク信号選択ビット)

POE8# 信号をマスクするための信号を選択します。選択された信号が High のとき POE8# 信号がマスクされます。

20.2.36 入力信号マスク制御レジスタ 3 (IMCR3)

アドレス POE.IMCR3 0009 E45Fh



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE10MS[5:0]	POE10 マスク信号選択ビット	b5b0 000000 : POE10# 信号をマスクしない 000001 : MTIOC0A 信号で POE10# 信号をマスクする 000010 : MTIOC0B 信号で POE10# 信号をマスクする 000011 : MTIOC0C 信号で POE10# 信号をマスクする 000100 : MTIOC0D 信号で POE10# 信号をマスクする 000101 : MTIOC1A 信号で POE10# 信号をマスクする 000110 : MTIOC1B 信号で POE10# 信号をマスクする 000111 : MTIOC2A 信号で POE10# 信号をマスクする 001000 : MTIOC2B 信号で POE10# 信号をマスクする 001001 : MTIOC3A 信号で POE10# 信号をマスクする 001010 : MTIOC3B 信号で POE10# 信号をマスクする 001011 : MTIOC3C 信号で POE10# 信号をマスクする 001100 : MTIOC3D 信号で POE10# 信号をマスクする 001101 : MTIOC4A 信号で POE10# 信号をマスクする 001110 : MTIOC4B 信号で POE10# 信号をマスクする 001111 : MTIOC4C 信号で POE10# 信号をマスクする 010000 : MTIOC4D 信号で POE10# 信号をマスクする 011101 : GTIOC0A 信号で POE10# 信号をマスクする 011110 : GTIOC0B 信号で POE10# 信号をマスクする 011111 : GTIOC1A 信号で POE10# 信号をマスクする 100000 : GTIOC1B 信号で POE10# 信号をマスクする 100001 : GTIOC2A 信号で POE10# 信号をマスクする 100010 : GTIOC2B 信号で POE10# 信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

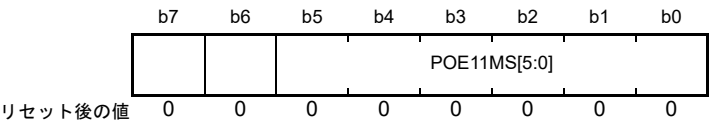
IMCR3 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE10# 端子による出力停止要求をマスクするためのレジスタです。

POE10MS[5:0] ビット (POE10 マスク信号選択ビット)

POE10# 信号をマスクするための信号を選択します。選択された信号が High のとき POE10# 信号がマスクされます。

20.2.37 入力信号マスク制御レジスタ 4 (IMCR4)

アドレス POE.IMCR4 0009 E474h



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE11MS[5:0]	POE11 マスク信号選択ビット	b5b0 000000 : POE11#信号をマスクしない 000001 : MTIOC0A信号でPOE11#信号をマスクする 000010 : MTIOC0B信号でPOE11#信号をマスクする 000011 : MTIOC0C信号でPOE11#信号をマスクする 000100 : MTIOC0D信号でPOE11#信号をマスクする 000101 : MTIOC1A信号でPOE11#信号をマスクする 000110 : MTIOC1B信号でPOE11#信号をマスクする 000111 : MTIOC2A信号でPOE11#信号をマスクする 001000 : MTIOC2B信号でPOE11#信号をマスクする 001001 : MTIOC3A信号でPOE11#信号をマスクする 001010 : MTIOC3B信号でPOE11#信号をマスクする 001011 : MTIOC3C信号でPOE11#信号をマスクする 001100 : MTIOC3D信号でPOE11#信号をマスクする 001101 : MTIOC4A信号でPOE11#信号をマスクする 001110 : MTIOC4B信号でPOE11#信号をマスクする 001111 : MTIOC4C信号でPOE11#信号をマスクする 010000 : MTIOC4D信号でPOE11#信号をマスクする 011101 : GTIOC0A信号でPOE11#信号をマスクする 011110 : GTIOC0B信号でPOE11#信号をマスクする 011111 : GTIOC1A信号でPOE11#信号をマスクする 100000 : GTIOC1B信号でPOE11#信号をマスクする 100001 : GTIOC2A信号でPOE11#信号をマスクする 100010 : GTIOC2B信号でPOE11#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

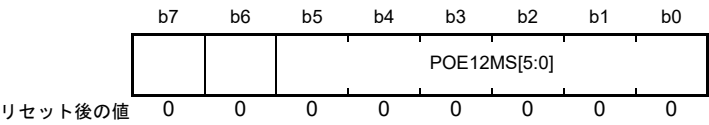
IMCR4 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE11# 端子による出力停止要求をマスクするためのレジスタです。

POE11MS[5:0] ビット (POE11 マスク信号選択ビット)

POE11# 信号をマスクするための信号を選択します。選択された信号が High のとき POE11# 信号がマスクされます。

20.2.38 入力信号マスク制御レジスタ 5 (IMCR5)

アドレス POE.IMCR5 0009 E475h



ビット	シンボル	ビット名	機能	R/W
b5-b0	POE12MS[5:0]	POE12マスク信号選択ビット	b5b0 000000 : POE12#信号をマスクしない 000001 : MTIOC0A信号でPOE12#信号をマスクする 000010 : MTIOC0B信号でPOE12#信号をマスクする 000011 : MTIOC0C信号でPOE12#信号をマスクする 000100 : MTIOC0D信号でPOE12#信号をマスクする 000101 : MTIOC1A信号でPOE12#信号をマスクする 000110 : MTIOC1B信号でPOE12#信号をマスクする 000111 : MTIOC2A信号でPOE12#信号をマスクする 001000 : MTIOC2B信号でPOE12#信号をマスクする 001001 : MTIOC3A信号でPOE12#信号をマスクする 001010 : MTIOC3B信号でPOE12#信号をマスクする 001011 : MTIOC3C信号でPOE12#信号をマスクする 001100 : MTIOC3D信号でPOE12#信号をマスクする 001101 : MTIOC4A信号でPOE12#信号をマスクする 001110 : MTIOC4B信号でPOE12#信号をマスクする 001111 : MTIOC4C信号でPOE12#信号をマスクする 010000 : MTIOC4D信号でPOE12#信号をマスクする 011101 : GTIOC0A信号でPOE12#信号をマスクする 011110 : GTIOC0B信号でPOE12#信号をマスクする 011111 : GTIOC1A信号でPOE12#信号をマスクする 100000 : GTIOC1B信号でPOE12#信号をマスクする 100001 : GTIOC2A信号でPOE12#信号をマスクする 100010 : GTIOC2B信号でPOE12#信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

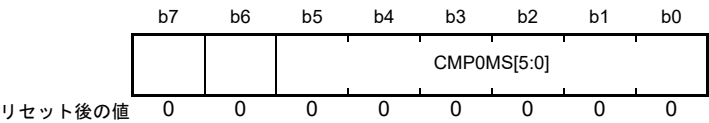
IMCR5 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、POE12# 端子による出力停止要求をマスクするためのレジスタです。

POE12MS[5:0] ビット (POE12 マスク信号選択ビット)

POE12# 信号をマスクするための信号を選択します。選択された信号が High のとき POE12# 信号がマスクされます。

20.2.39 入力信号マスク制御レジスタ 9 (IMCR9)

アドレス POE.IMCR9 0009 E479h



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP0MS[5:0]	COMP0 マスク信号選択ビット	b5b0 000000 : COMP0 レベル検出信号をマスクしない 000001 : MTIOC0A 信号で COMP0 レベル検出信号をマスクする 000010 : MTIOC0B 信号で COMP0 レベル検出信号をマスクする 000011 : MTIOC0C 信号で COMP0 レベル検出信号をマスクする 000100 : MTIOC0D 信号で COMP0 レベル検出信号をマスクする 000101 : MTIOC1A 信号で COMP0 レベル検出信号をマスクする 000110 : MTIOC1B 信号で COMP0 レベル検出信号をマスクする 000111 : MTIOC2A 信号で COMP0 レベル検出信号をマスクする 001000 : MTIOC2B 信号で COMP0 レベル検出信号をマスクする 001001 : MTIOC3A 信号で COMP0 レベル検出信号をマスクする 001010 : MTIOC3B 信号で COMP0 レベル検出信号をマスクする 001011 : MTIOC3C 信号で COMP0 レベル検出信号をマスクする 001100 : MTIOC3D 信号で COMP0 レベル検出信号をマスクする 001101 : MTIOC4A 信号で COMP0 レベル検出信号をマスクする 001110 : MTIOC4B 信号で COMP0 レベル検出信号をマスクする 001111 : MTIOC4C 信号で COMP0 レベル検出信号をマスクする 010000 : MTIOC4D 信号で COMP0 レベル検出信号をマスクする 011101 : GTIOC0A 信号で COMP0 レベル検出信号をマスクする 011110 : GTIOC0B 信号で COMP0 レベル検出信号をマスクする 011111 : GTIOC1A 信号で COMP0 レベル検出信号をマスクする 100000 : GTIOC1B 信号で COMP0 レベル検出信号をマスクする 100001 : GTIOC2A 信号で COMP0 レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

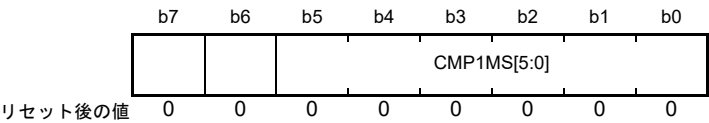
IMCR9 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP0 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP0MS[5:0] ビット (COMP0 マスク信号選択ビット)

COMP0 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP0 レベル検出信号がマスクされます。

20.2.40 入力信号マスク制御レジスタ 10 (IMCR10)

アドレス POE.IMCR10 0009 E47Ah



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP1MS[5:0]	COMP1 マスク信号選択ビット	b5b0 000000 : COMP1 レベル検出信号をマスクしない 000001 : MTIOC0A 信号で COMP1 レベル検出信号をマスクする 000010 : MTIOC0B 信号で COMP1 レベル検出信号をマスクする 000011 : MTIOC0C 信号で COMP1 レベル検出信号をマスクする 000100 : MTIOC0D 信号で COMP1 レベル検出信号をマスクする 000101 : MTIOC1A 信号で COMP1 レベル検出信号をマスクする 000110 : MTIOC1B 信号で COMP1 レベル検出信号をマスクする 000111 : MTIOC2A 信号で COMP1 レベル検出信号をマスクする 001000 : MTIOC2B 信号で COMP1 レベル検出信号をマスクする 001001 : MTIOC3A 信号で COMP1 レベル検出信号をマスクする 001010 : MTIOC3B 信号で COMP1 レベル検出信号をマスクする 001011 : MTIOC3C 信号で COMP1 レベル検出信号をマスクする 001100 : MTIOC3D 信号で COMP1 レベル検出信号をマスクする 001101 : MTIOC4A 信号で COMP1 レベル検出信号をマスクする 001110 : MTIOC4B 信号で COMP1 レベル検出信号をマスクする 001111 : MTIOC4C 信号で COMP1 レベル検出信号をマスクする 010000 : MTIOC4D 信号で COMP1 レベル検出信号をマスクする 011101 : GTIOC0A 信号で COMP1 レベル検出信号をマスクする 011110 : GTIOC0B 信号で COMP1 レベル検出信号をマスクする 011111 : GTIOC1A 信号で COMP1 レベル検出信号をマスクする 100000 : GTIOC1B 信号で COMP1 レベル検出信号をマスクする 100001 : GTIOC2A 信号で COMP1 レベル検出信号をマスクする 100010 : GTIOC2B 信号で COMP1 レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

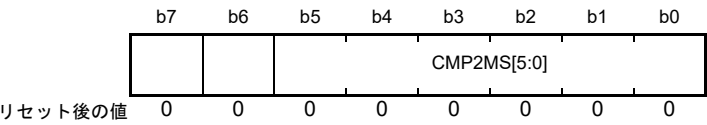
IMCR10 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP1 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP1MS[5:0] ビット (COMP1 マスク信号選択ビット)

COMP1 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP1 レベル検出信号がマスクされます。

20.2.41 入力信号マスク制御レジスタ 11 (IMCR11)

アドレス POE.IMCR11 0009 E47Bh



ビット	シンボル	ビット名	機能	R/W
b5-b0	CMP2MS[5:0]	COMP2マスク信号選択ビット	b5b0 000000 : COMP2 レベル検出信号をマスクしない 000001 : MTIOC0A 信号で COMP2 レベル検出信号をマスクする 000010 : MTIOC0B 信号で COMP2 レベル検出信号をマスクする 000011 : MTIOC0C 信号で COMP2 レベル検出信号をマスクする 000100 : MTIOC0D 信号で COMP2 レベル検出信号をマスクする 000101 : MTIOC1A 信号で COMP2 レベル検出信号をマスクする 000110 : MTIOC1B 信号で COMP2 レベル検出信号をマスクする 000111 : MTIOC2A 信号で COMP2 レベル検出信号をマスクする 001000 : MTIOC2B 信号で COMP2 レベル検出信号をマスクする 001001 : MTIOC3A 信号で COMP2 レベル検出信号をマスクする 001010 : MTIOC3B 信号で COMP2 レベル検出信号をマスクする 001011 : MTIOC3C 信号で COMP2 レベル検出信号をマスクする 001100 : MTIOC3D 信号で COMP2 レベル検出信号をマスクする 001101 : MTIOC4A 信号で COMP2 レベル検出信号をマスクする 001110 : MTIOC4B 信号で COMP2 レベル検出信号をマスクする 001111 : MTIOC4C 信号で COMP2 レベル検出信号をマスクする 010000 : MTIOC4D 信号で COMP2 レベル検出信号をマスクする 011101 : GTIOC0A 信号で COMP2 レベル検出信号をマスクする 011110 : GTIOC0B 信号で COMP2 レベル検出信号をマスクする 011111 : GTIOC1A 信号で COMP2 レベル検出信号をマスクする 100000 : GTIOC1B 信号で COMP2 レベル検出信号をマスクする 100001 : GTIOC2A 信号で COMP2 レベル検出信号をマスクする 100010 : GTIOC2B 信号で COMP2 レベル検出信号をマスクする 上記以外は設定しないでください	R/W (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

IMCR11 レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタで、COMP2 レベル検出信号による出力停止要求をマスクするためのレジスタです。

CMP2MS[5:0] ビット (COMP2 マスク信号選択ビット)

COMP2 レベル検出信号をマスクするための信号を選択します。選択された信号が High のとき COMP2 レベル検出信号がマスクされます。

20.3 動作説明

以下に出力停止制御の対象になる端子と条件を示します。

(1) MTU3 端子 (MTIOC3B, MTIOC3D)

POECR2.MTU3BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU3BDZE ビットが“0”、PMMCR1.MTU3BME ビット、MTU3DME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC3B 信号と MTIOC3D 信号の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT34ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(2) MTU4 端子 (MTIOC4A, MTIOC4C)

POECR2.MTU4ACZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4ACZE ビットが“0”、PMMCR1.MTU4AME ビット、MTU4CME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC4A 信号と MTIOC4C 信号の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT34ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ0 ビットまたは
POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ1 ビットまたは
POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ2 ビットまたは
POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(3) MTU4 端子 (MTIOC4B, MTIOC4D)

POECR2.MTU4BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR2.MTU4BDZE ビットが“0”、PMMCR1.MTU4BME ビット、MTU4DME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- MTIOC4B 信号と MTIOC4D 信号の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC1ADDMT34ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR4.IC5ADDMT34ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR4.IC6ADDMT34ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットが“1”、かつ POECMPPEX0.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(4) MTU0 端子 (MTIOC0A)

POECR1.MTU0AZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0AZE ビットが“0”、PMMCR0.MTU0AME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC3ADDMT0ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(5) MTU0 端子 (MTIOC0B)

POECR1.MTU0BZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0BZE ビットが“0”、PMMCR0.MTU0BME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC3ADDMT0ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(6) MTU0 端子 (MTIOC0C)

POECR1.MTU0CZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0CZE ビットが“0”、PMMCR0.MTU0CME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC3ADDMT0ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPEX2.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(7) MTU0 端子 (MTIOC0D)

POECR1.MTU0DZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR1.MTU0DZE ビットが“0”、PMMCR0.MTU0DME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC3ADDMT0ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR5.IC5ADDMT0ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR5.IC6ADDMT0ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットが“1”、かつ POECMPPEX2.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(8) GPTW0 端子 (GTIOC0A, GTIOC0B)

POECR3.GPT0ABZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT0ABZE ビットが“0”、PMMCR2.GPT0AME ビット、GPT0BME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC0A 信号と GTIOC0B 信号の出力レベル比較動作
OCSR3.OCE3 ビットが“1”の状態、OCSR3.OSF3 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT01HIZ ビットを“1”にしたとき
SPOER.GPT02HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT01ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC3ADDGPT01ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT01ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6.IC5ADDGPT01ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR6.IC6ADDGPT01ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- POECR9 レジスタで追加された条件
POECR9.IC1ADDGPT02ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR9.IC3ADDGPT02ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR9.IC4ADDGPT02ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR9.IC5ADDGPT02ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR9.IC6ADDGPT02ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR6.CMADDGPT01ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPEX6.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6.CMADDGPT01ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPEX6.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6.CMADDGPT01ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPEX6.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(9) GPTW1 端子 (GTIOC1A, GTIOC1B)

POECR3.GPT1ABZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT1ABZE ビットが“0”、PMMCR2.GPT1AME ビット、GPT1BME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC1A 信号と GTIOC1B 信号の出力レベル比較動作
OCSR3.OCE3 ビットが“1”の状態、OCSR3.OSF3 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT01HIZ ビットを“1”にしたとき
SPOER.GPT02HIZ ビットを“1”にしたとき
- POECR6 レジスタで追加された条件
POECR6.IC1ADDGPT01ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6.IC3ADDGPT01ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6.IC4ADDGPT01ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6.IC5ADDGPT01ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR6.IC6ADDGPT01ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- POECR9 レジスタで追加された条件
POECR9.IC1ADDGPT02ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR9.IC3ADDGPT02ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR9.IC4ADDGPT02ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR9.IC5ADDGPT02ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR9.IC6ADDGPT02ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR6.CMADDGPT01ZE ビットが“1”、かつ POECMPEX4.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPEX6.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6.CMADDGPT01ZE ビットが“1”、かつ POECMPEX4.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPEX6.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6.CMADDGPT01ZE ビットが“1”、かつ POECMPEX4.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPEX6.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(10) GPTW2 端子 (GTIOC2A, GTIOC2B)

POECR3.GPT2ABZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。また、POECR3.GPT2ABZE ビットが“0”、PMMCR2.GPT2AME ビット、GPT2BME ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子が汎用入出力ポートに切り替わります。

- GTIOC2A 信号と GTIOC2B 信号の出力レベル比較動作
OCSR3.OCE3 ビットが“1”の状態、OCSR3.OSF3 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.GPT23HIZ ビットを“1”にしたとき
SPOER.GPT02HIZ ビットを“1”にしたとき
- POECR6B レジスタで追加された条件
POECR6B.IC1ADDGPT23ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR6B.IC3ADDGPT23ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR6B.IC4ADDGPT23ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR6B.IC5ADDGPT23ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR6B.IC6ADDGPT23ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- POECR9 レジスタで追加された条件
POECR9.IC1ADDGPT02ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR9.IC3ADDGPT02ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR9.IC4ADDGPT02ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
POECR9.IC5ADDGPT02ZE ビットと ICSR5.POE11E ビットが“1”の状態、ICSR5.POE11F フラグが“1”になったとき
POECR9.IC6ADDGPT02ZE ビットと ICSR7.POE12E ビットが“1”の状態、ICSR7.POE12F フラグが“1”になったとき
- コンパレータ出力検出
POECR6B.CMADDGPT23ZE ビットが“1”、かつ POECMPPEX5.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPPEX6.POEREQ0 ビットまたは POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR6B.CMADDGPT23ZE ビットが“1”、かつ POECMPPEX5.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPPEX6.POEREQ1 ビットまたは POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR6B.CMADDGPT23ZE ビットが“1”、かつ POECMPPEX5.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、または POECR9.CMADDGPT02ZE ビットが“1”、かつ POECMPPEX6.POEREQ2 ビットまたは POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

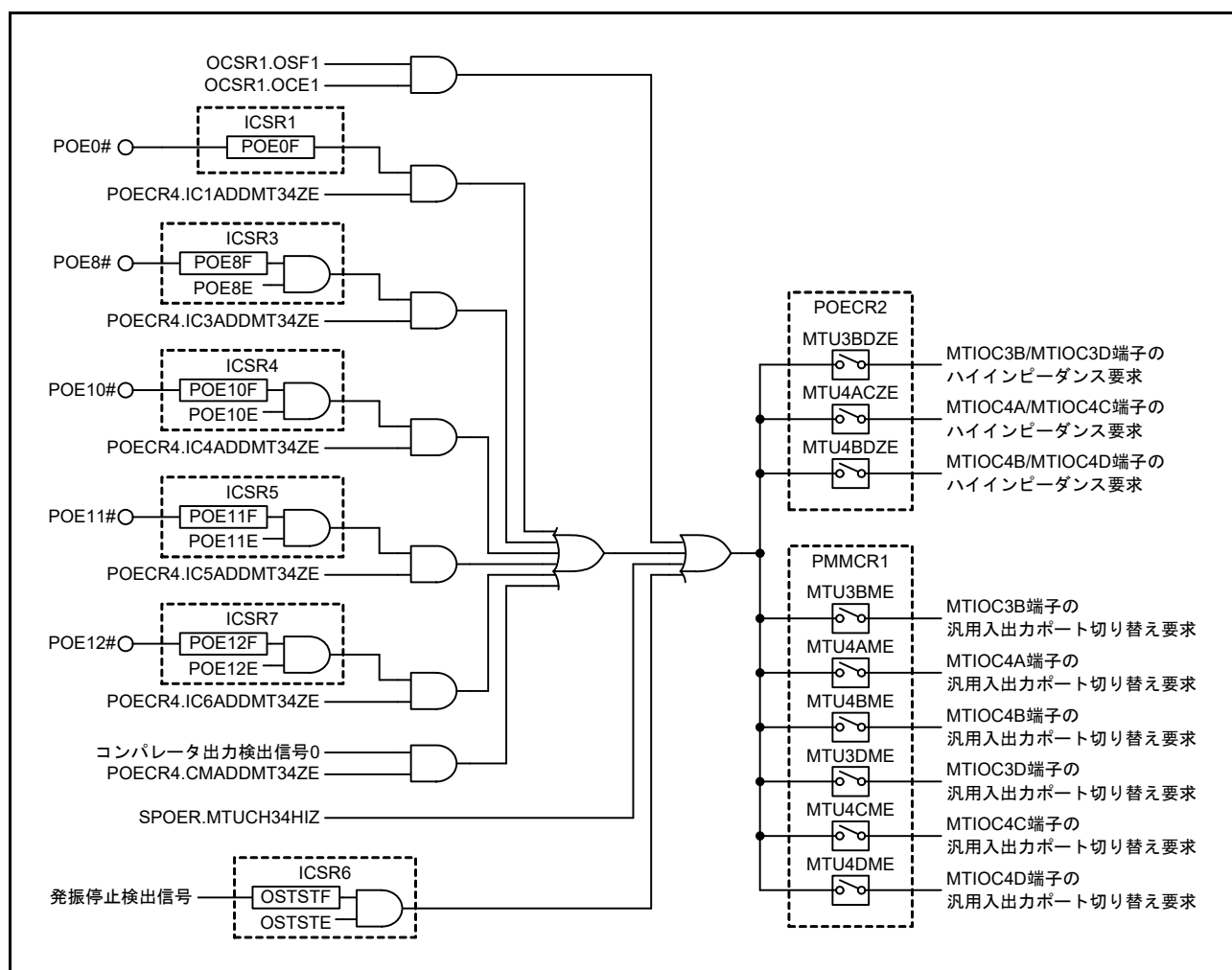


図 20.3 ハイインピーダンス制御の対象と条件 (1)

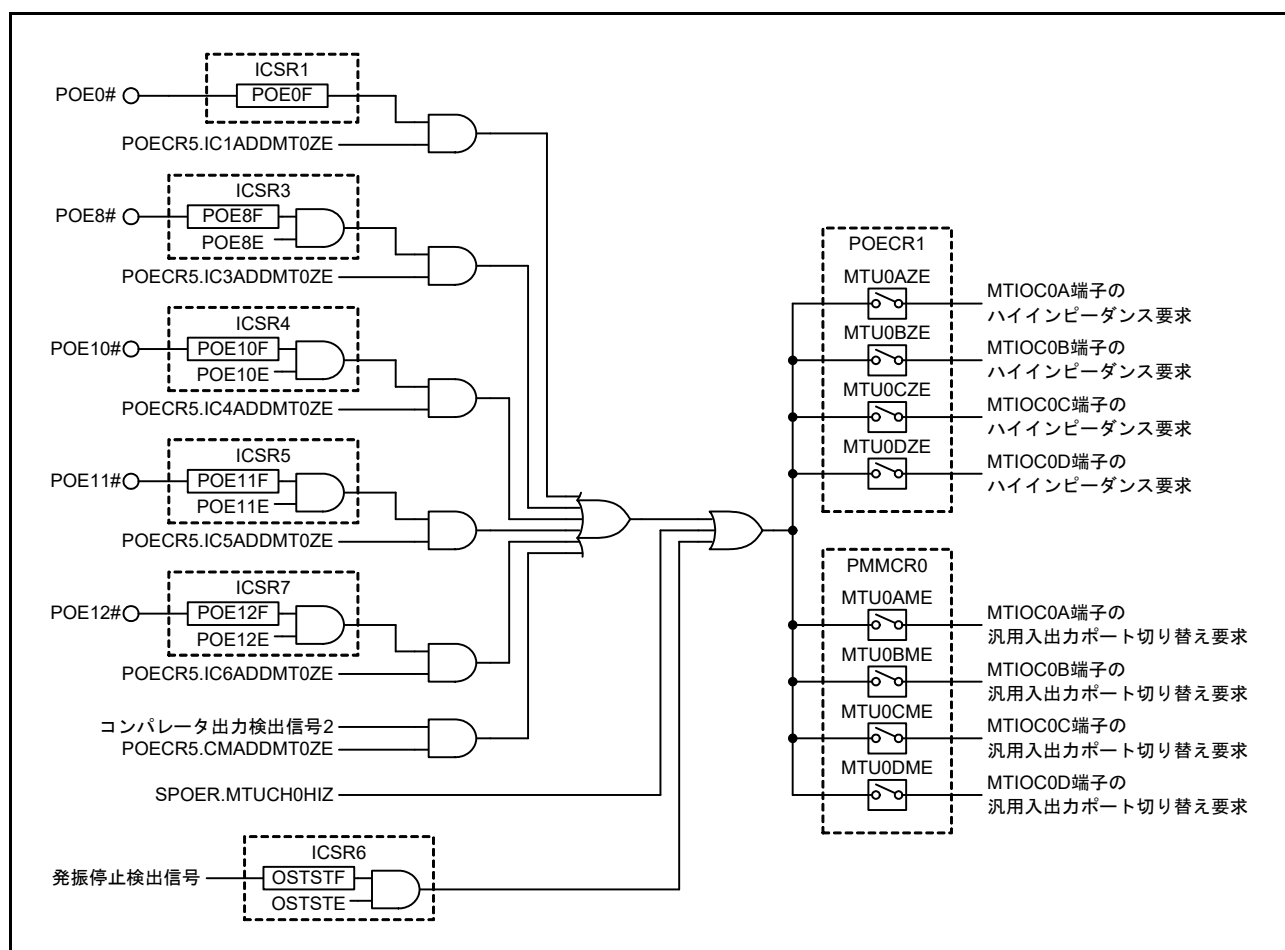


図 20.4 ハイインピーダンス制御の対象と条件 (2)

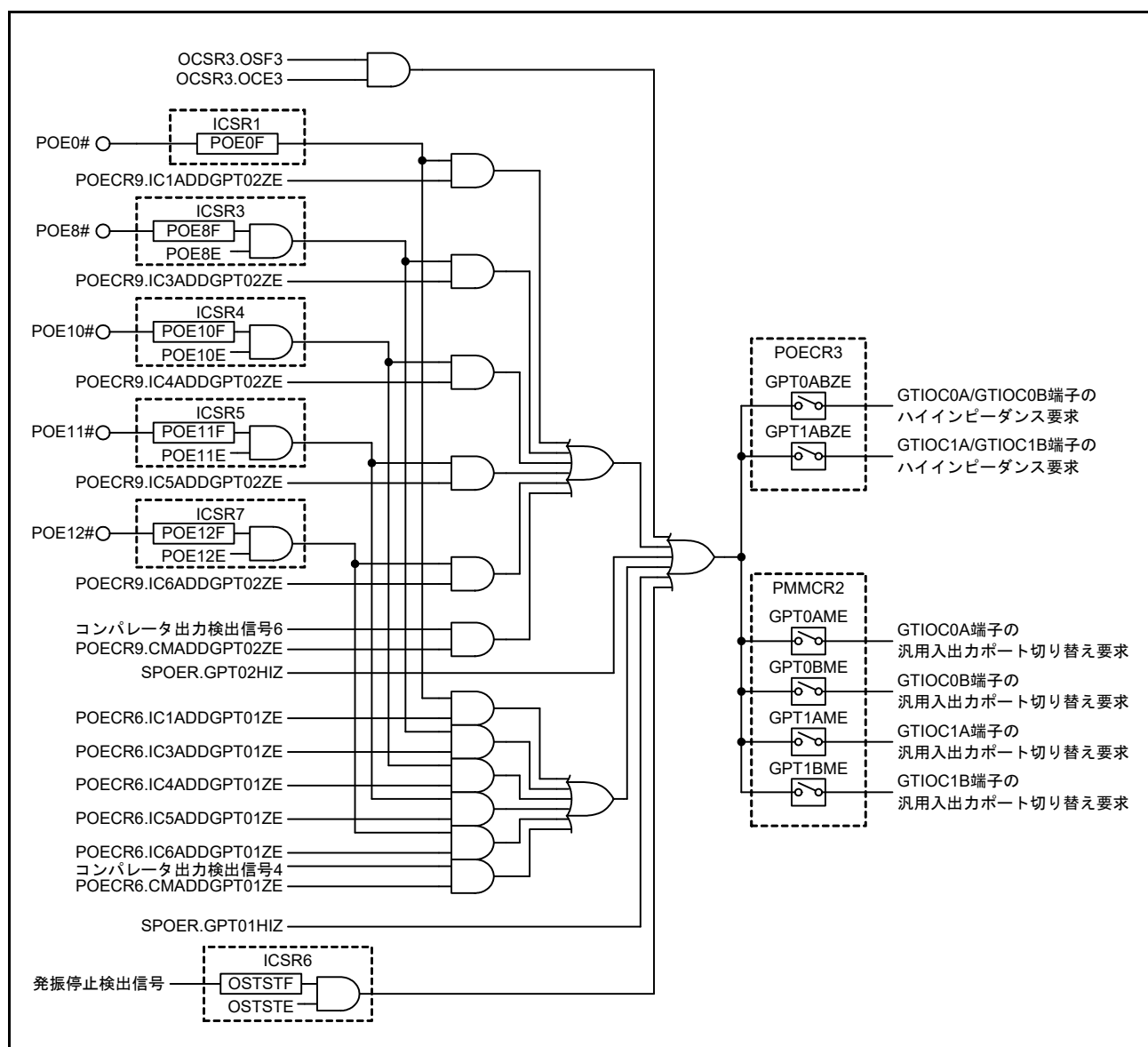


図 20.5 ハイインピーダンス制御の対象と条件 (3)

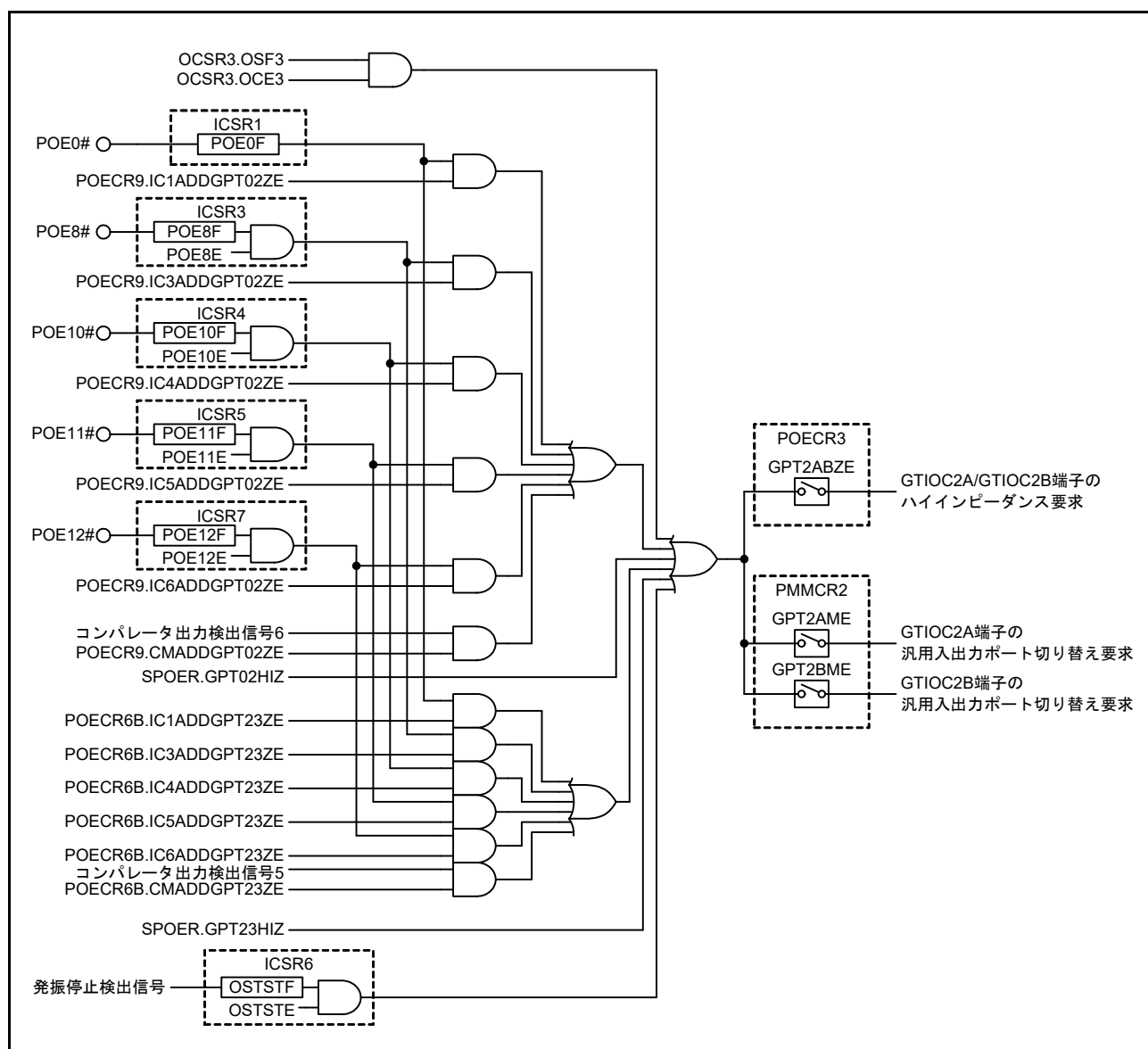


図 20.6 ハイインピーダンス制御の対象と条件 (4)

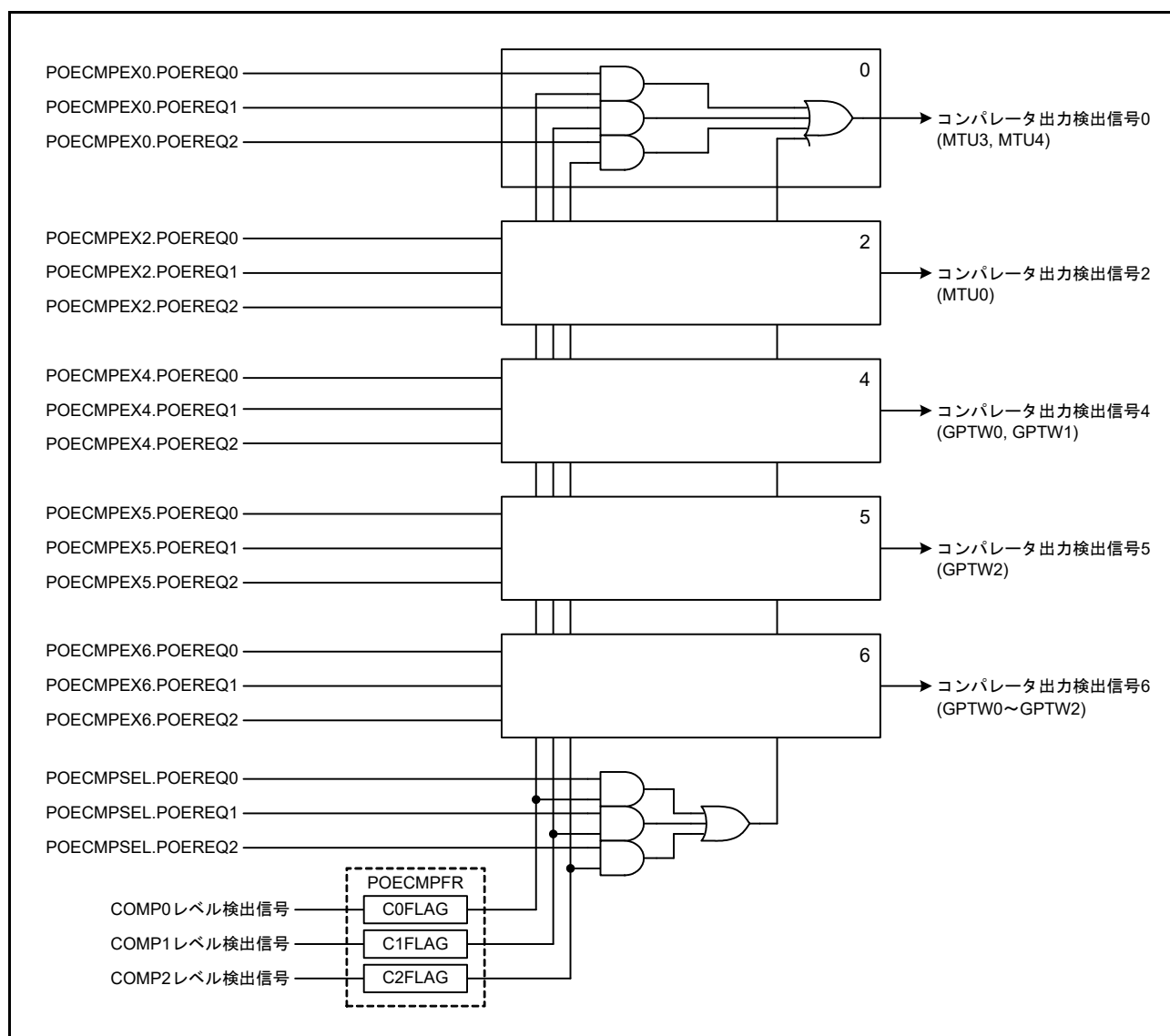


図 20.7 コンパレータ出力検出信号生成ブロック

20.3.1 MTU/GPTW 端子選択

本 MCU では、MTU/GPTW 用の各端子機能が各々複数のポートに割り当てられています。どのポートを出力停止制御の対象とするかは POE の端子選択レジスタ (M0SELR1/M0SELR2/M3SELR/M4SELR1/M4SELR2/G0SELR/G1SELR/G2SELR レジスタ) で選択できます。表 20.5 に MTU 端子と選択レジスタの対応、表 20.6 に GPTW 端子と選択レジスタの対応を示します。

なお、MTU/GPTW として使用する端子は、別途マルチファンクションピンコントローラ (MPC) のレジスタで設定する必要があります。POE のレジスタで選択した端子と MPC のレジスタで選択した端子に乖離がないよう注意してください。

表 20.5 MTU 端子と選択レジスタの対応

MTU 端子機能	対応ポート	選択レジスタ
MTIOC0A	P30	M0SELR1
	P36	
	PB1	
	PD3	
MTIOC0B	P25	
	P92	
	PB0	
	PD4	
MTIOC0C	P33	M0SELR2
	P93	
	P97	
	PD5	
MTIOC0D	P32	
	P96	
	PD6	
MTIOC3B	P26	M3SELR
	P71	
	P94	
MTIOC3D	P74	
	P97	

MTU 端子機能	対応ポート	選択レジスタ
MTIOC4A	P31	M4SELR1
	P36	
	P72	
	P95	
	PD3	
MTIOC4C	P11	
	P75	
	PB0	
	PD5	
MTIOC4B	P25	M4SELR2
	P73	
	P96	
	PD4	
MTIOC4D	P76	
	PB1	
	PD6	

表 20.6 GPTW 端子と選択レジスタの対応

GPTW 端子機能	対応ポート	選択レジスタ
GTIOC0A	P26	G0SELR
	P36	
	P71	
	P94	
GTIOC0B	P31	
	P74	
	P97	
GTIOC1A	P31	G1SELR
	P72	
	P92	
	P95	
	PB5	
	PD3	
GTIOC1B	P75	
	P93	
	PB0	
	PD4	

GPTW 端子機能	対応ポート	選択レジスタ
GTIOC2A	P04	G2SELR
	P23	
	P73	
	P96	
	PB5	
	PD5	
GTIOC2B	P03	
	P24	
	P76	
	PB1	
	PB6	
	PD6	

20.3.2 入力レベル検出動作

ICSR1、ICSR3 ~ ICSR5、ICSR7 レジスタで設定した入力条件が POE0#、POE8#、POE10#、POE11#、POE12# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3、MTU4 端子) および MTU0 端子、GPTW 端子の出力を停止します。

(1) エッジ検出

POE0#、POE8#、POE10#、POE11#、POE12# 端子に High から Low の変化 (INV ビットが“0”の場合。INV ビットが“1”のときは Low から High の変化) が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子、GPTW 端子の出力を停止します。

エッジは、PCLK でサンプリングを行った後、検出します。POE0#、POE8#、POE10#、POE11#、POE12# 端子に 1.5 PCLK クロック以上の Low または High を入力してください。

POE0#、POE8#、POE10#、POE11#、POE12# 端子入力から端子がハイインピーダンスになるまでのタイミング例を図 20.8 に示します。

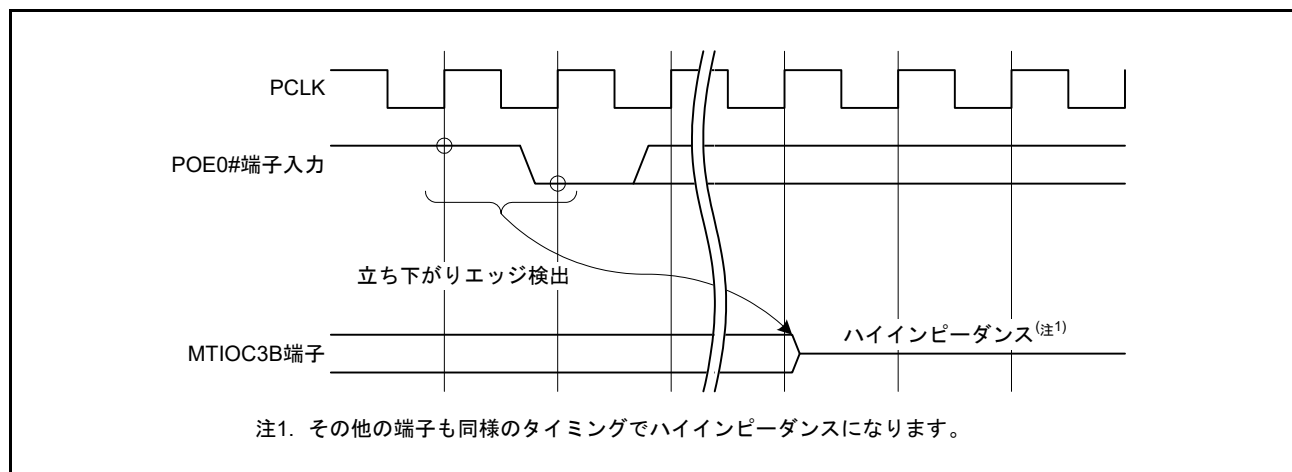


図 20.8 立ち下がりエッジ検出、ハイインピーダンスを選択した場合の動作

(2) レベル検出

図 20.9 に Low レベル検出 (INV ビットが“0”) で端子をハイインピーダンスにする場合の動作例を示します。ICSR1、ICSR3 ~ ICSR5、ICSR7 レジスタで設定したサンプリングクロックで、指定された回数連続して Low を検出すると Low が入力されたとみなし、MTU 相補 PWM 出力端子、MTU0 端子、および GPTW 端子の出力を停止します。このとき、一度でも High を検出した場合は Low が入力されたとみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子、GPTW 端子の出力が停止するまでの時間は、エッジ検出、レベル検出ともに同じです。

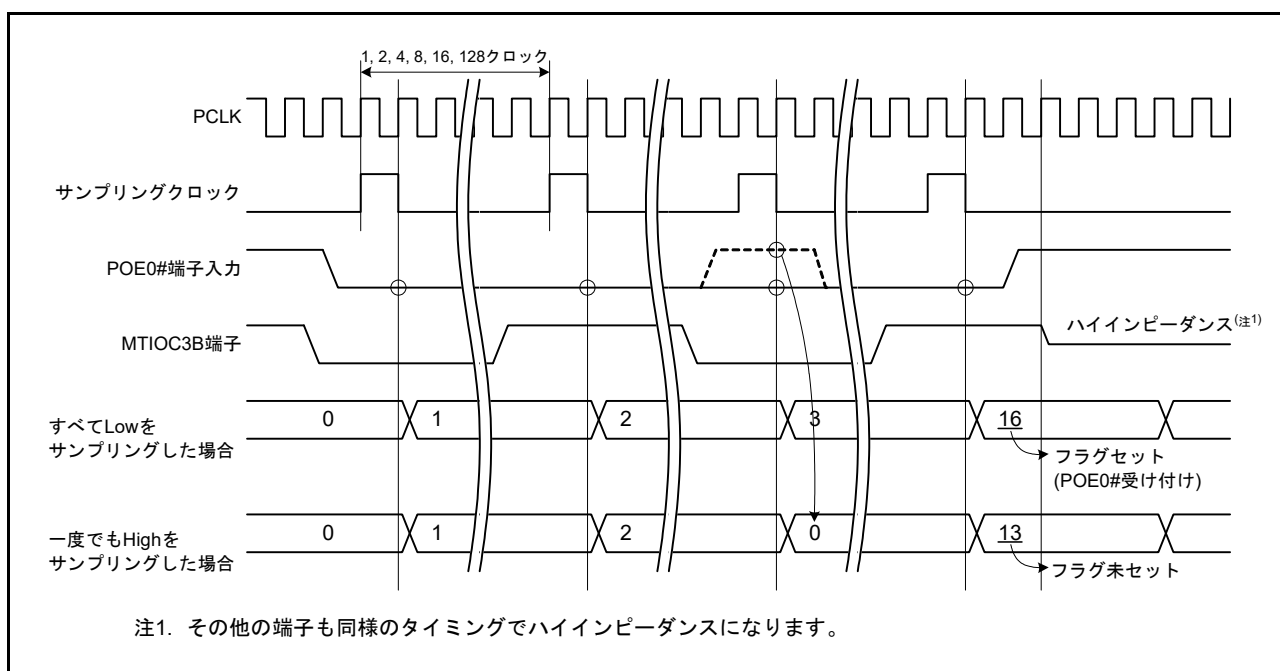


図 20.9 Low レベル検出、ハイインピーダンスを選択した場合の動作 (16 回サンプリング)

20.3.3 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 20.10 に示します。MTIOC3B 信号と MTIOC3D 信号が PCLK の 1 サイクル以上同時にアクティブレベルになると、両端子の出力が停止します。他の信号の組み合わせ、汎用入出力ポートへの切り替えの場合についても同様です。

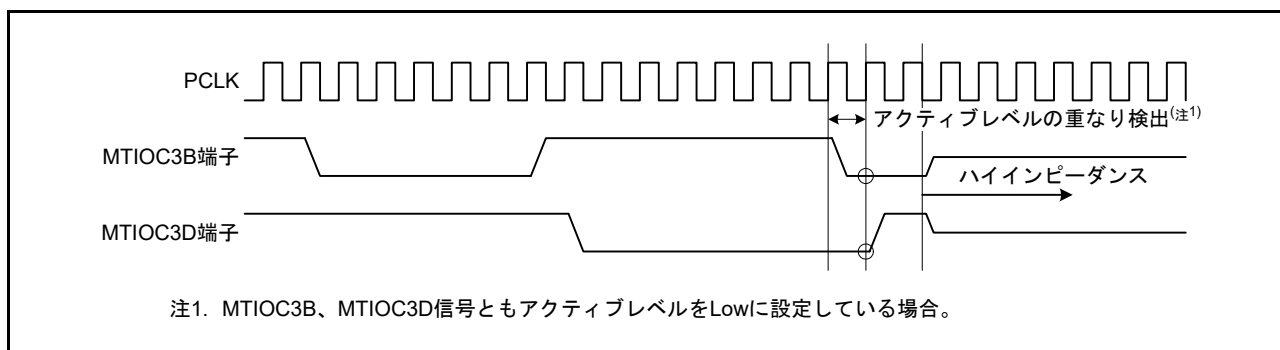


図 20.10 出力レベル検出動作

20.3.4 レジスタによる出力停止制御

SPOER レジスタにより、直接、MTU 端子 (MTU0、MTU3、MTU4 端子) および GPTW 端子 (GPTW0 ~ GPTW2 端子) の出力停止制御を行います。

たとえば、SPOER.MTUCH34HIZ ビットを“1”にすることで、POECR2 レジスタで設定した MTU3、MTU4 の端子をハイインピーダンスにできます。

他の端子についても、SPOER レジスタ内のビット設定により同様に出力停止制御が行えます。

20.3.5 発振停止検出検知による出力停止制御

ICSR6.OSTSTE ビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR1 ~ POECR3 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子、GPTW 端子をハイインピーダンスに、PMMCR0 ~ PMMCR2 レジスタで設定した MTU 相補 PWM 出力端子、MTU0 端子、GPTW 端子を汎用入出力ポートにできます。

20.3.6 コンパレータ出力検出による出力停止制御

コンパレータ出力の検出により、MTU 相補 PWM 出力端子、MTU0 端子、GPTW 端子の出力を停止することができます。

たとえば、POECR4.CMADDMT34ZE ビットを“1”にして MTU3、MTU4 の端子の出力停止制御条件に POECMPFR.CjFLAG フラグ (j = 0 ~ 2) を追加することで、コンパレータ出力検出時に POECR2 レジスタで設定した MTU3、MTU4 の端子の出力をハイインピーダンスに、PMMCR1 レジスタで設定した MTU3、MTU4 の端子を汎用入出力ポートにできます。

他の端子についても、POECR1 ~ POECR6B レジスタ、PMMCR0 ~ PMMCR2 レジスタの設定により同様に出力停止制御が行えます。

CjFLAG フラグ (j = 0 ~ 2) を出力停止制御条件として使用するには、POECMPSEL レジスタまたは POECMPPEXm レジスタ (m = 0, 2, 4 ~ 6) の設定が必要です。POECMPSEL.POEREQj ビットを“1”にすると、すべての制御対象端子に CjFLAG フラグが要因として追加されます。POECMPPEXm.POEREQj ビットを“1”にすると、対応する制御対象端子にのみ CjFLAG フラグが要因として追加されます。

20.3.7 出力停止制御条件の追加機能

POECR4 ~ POECR6、POECR6B、POECR9 レジスタの設定により、MTU 相補 PWM 出力端子、MTU0 端子、および GPTW 端子の出力停止制御条件を追加することができます。

たとえば、MTU3、MTU4 の端子の出力停止制御条件に、下記を追加することができます。

- POECR4.CMADDMT34ZE ビットを“1”にして、コンパレータ出力検出を追加
- POECR4.IC1ADDMT34ZE ビットを“1”にして、POE0# 端子による入力レベル検出を追加
- POECR4.IC3ADDMT34ZE ビットを“1”にして、POE8# 端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZE ビットを“1”にして、POE10# 端子による入力レベル検出を追加
- POECR4.IC5ADDMT34ZE ビットを“1”にして、POE11# 端子による入力レベル検出を追加
- POECR4.IC6ADDMT34ZE ビットを“1”にして、POE12# 端子による入力レベル検出を追加

他の端子についても、POECR4 ~ POECR6、POECR6B、POECR9 レジスタの設定により同様に出力停止制御条件の追加が行えます。

20.3.8 出力停止制御信号のマスク

POE0#、POE8#、POE10#、POE11#、POE12# 端子からの入力信号、およびコンパレータレベル検出信号による出力停止要求を、IMCRn レジスタ (n = 0, 2 ~ 5, 9 ~ 11) によってマスクすることができます。

IMCRn.POEmMS[5:0] ビット (n = 0, 2 ~ 5, m = 0, 8, 10, 11, 12) によって選択された信号が High のとき、POEm# 端子からの入力信号がマスクされ、IMCRn.CMPjMS[5:0] ビット (n = 9 ~ 11, j = 0 ~ 2) によって選択された信号が High のとき、コンパレータレベル検出信号がマスクされます。

図 20.11 に立ち下がりエッジ検出を選択したときの入力信号のマスク動作例を示します。

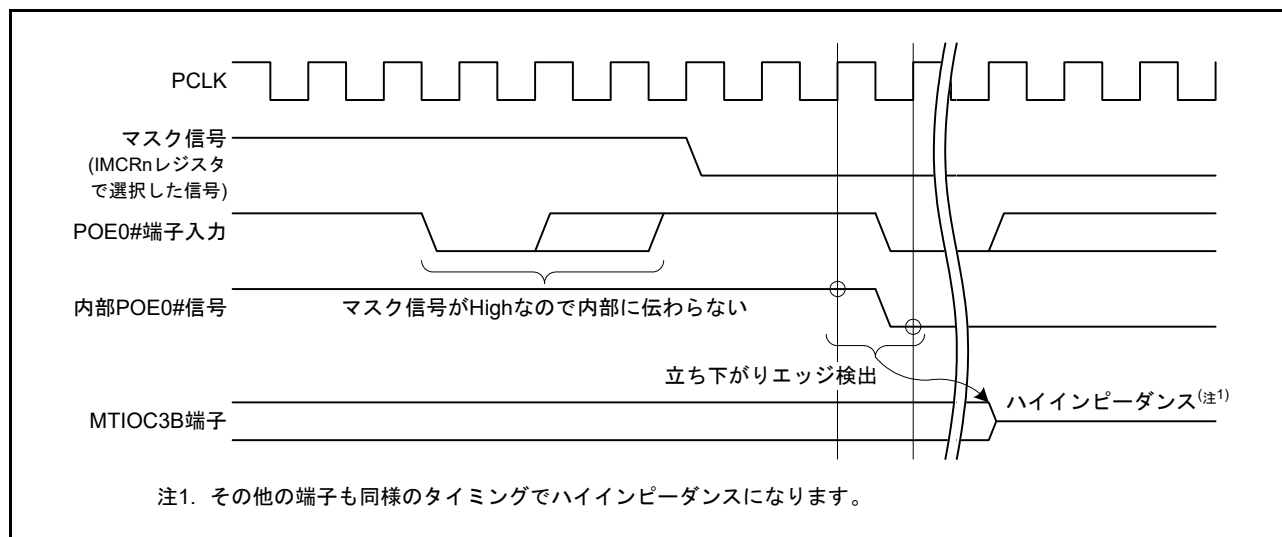


図 20.11 POEm# 信号のマスク動作 (立ち下がりエッジ検出時)

20.3.9 出力停止要求発生時の制御

出力停止要求が発生したとき、POECR1 ~ POECR3 レジスタの対応するビットを“1”にした端子はハイインピーダンスになり、PMMCR0 ~ PMMCR2 レジスタの対応するビットを“1”にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを“1”にした場合は、POECR1 ~ POECR3 レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。

20.3.10 出力停止状態の解除

入力レベル検出で出力が停止した端子は、リセットで初期状態に戻すか、ICSR1.POE0F フラグ、ICSR3.POE8F フラグ、ICSR4.POE10F フラグ、ICSR5.POE11F フラグ、ICSR7.POE12F フラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[3:0] ビット、ICSR3.POE8M[3:0] ビット、ICSR4.POE10M[3:0] ビット、ICSR5.POE11M[3:0] ビット、ICSR7.POE12M[3:0] ビットで Low レベル検出に設定している場合には、POE0#、POE8#、POE10#、POE11#、POE12# 端子から High を入力して High を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。同様に、High レベル検出に設定している場合には、POE0#、POE8#、POE10#、POE11#、POE12# 端子から Low を入力して Low を検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力短絡検出で出力が停止した端子は、リセットで初期状態に戻すか、OCSR1.OSF1 フラグ、OCSR3.OSF3 フラグを“0”にすることによって解除されます。ただし、当該信号を非アクティブレベルにし

た後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTUの場合はカウント動作停止後に初期出力状態にすることで、GPTWの場合は「21.8.2 動作中の異常などによる端子の初期化」の手順で行うことができます。

コンパレータ出力検出で出力が停止した端子は、リセットで初期状態に戻すか、POECMPFR.CjFLAG フラグ ($j=0 \sim 2$) を“0”にすることによって解除されます。POECMPFR.CjFLAG フラグを“0”にする場合は、コンパレータ出力検出を行ったアナログ入力信号が適正值に戻ったことを A/D 変換実施等で確認した後に実施してください。アナログ入力信号が適正值に戻ったことを確認しないで当該フラグをクリアしたときで、かつコンパレータが正転出力の場合にアナログ入力信号が基準電圧よりも高い、またはコンパレータが反転出力の場合にアナログ入力信号が基準電圧よりも低いままだった場合、前述の POECMPFR.CjFLAG フラグは再び“1”にはなりませんのでご注意ください。

発振停止検出で出力が停止した端子は、リセットで初期状態に戻すか、SYSTEM.OSTDSR.OSTDF フラグを“0”にして ICSR6.OSTSTF フラグを“0”にすることによって解除されます。

20.4 POE 設定手順

POE の設定手順を図 20.12、図 20.13 に示します。図 20.12 は、MTU3 信号 (MTIOC3B/MTIOC3D) の出力レベル比較によるハイインピーダンス制御の例で、MTIOC3B 信号を P71 端子、MTIOC3D 信号を P74 端子に割り当てています。図 20.13 は、POE0# 信号の立ち上がりエッジ検出によるハイインピーダンス制御の例で、POE0# 信号を P70 端子、MTIOC3B 信号を P71 端子、MTIOC3D 信号を P74 端子に割り当てています。

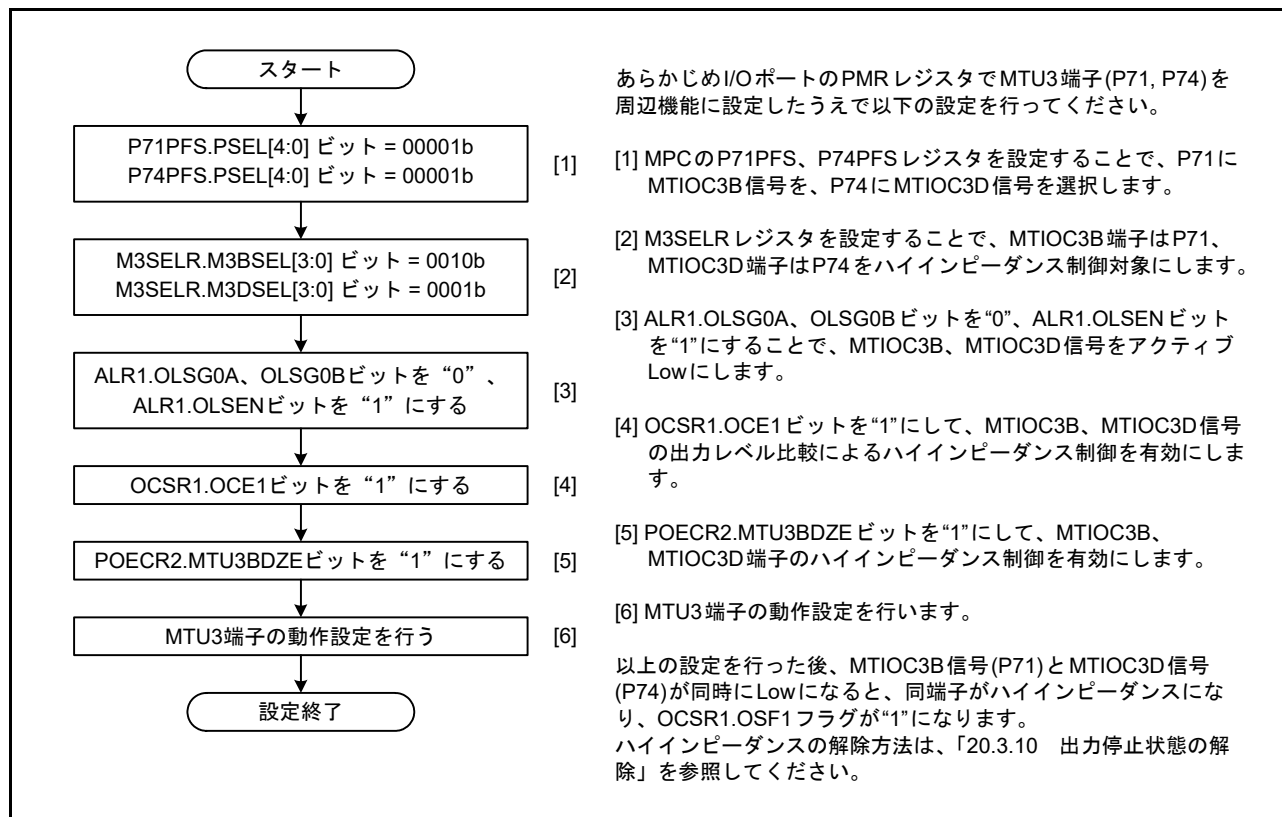


図 20.12 POE の設定手順例 (出力レベル比較動作)

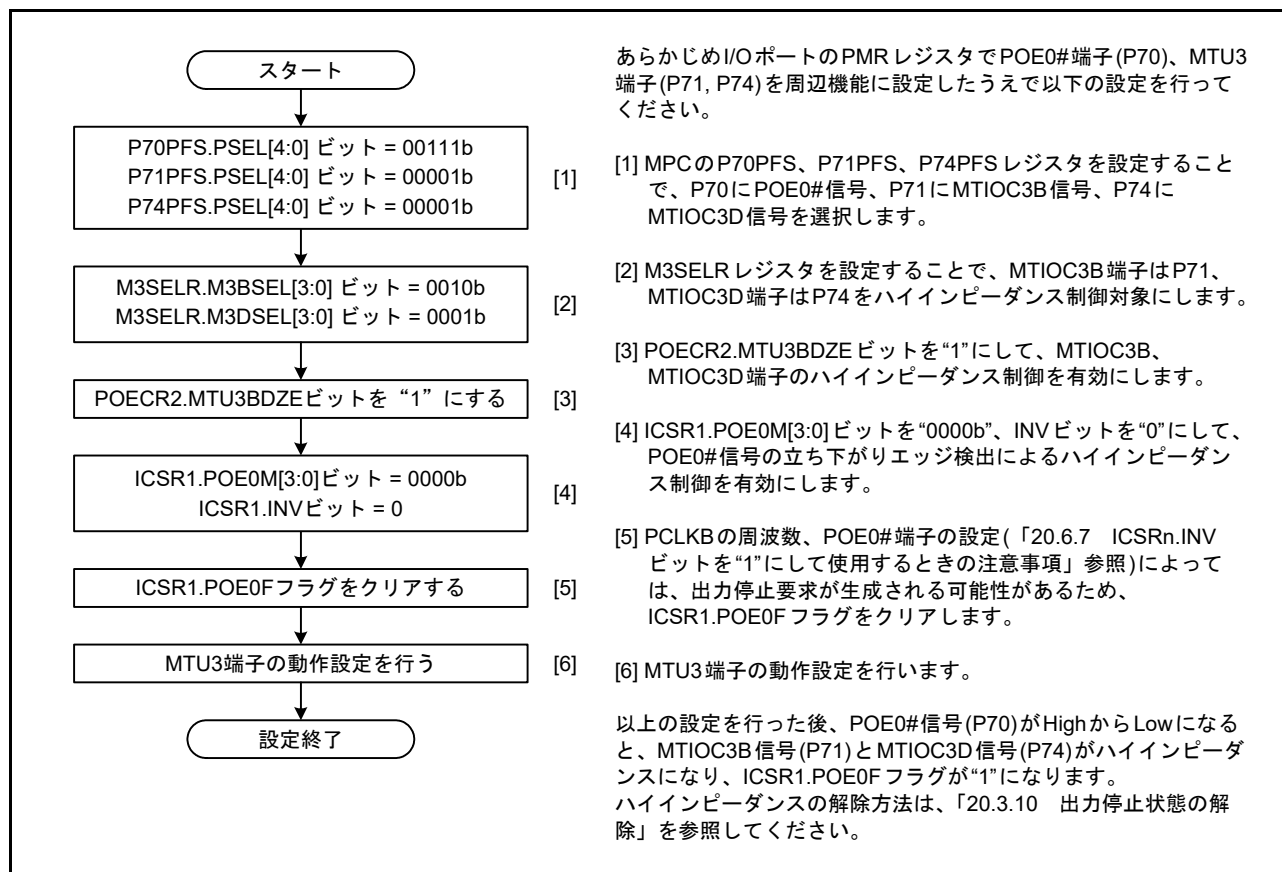


図 20.13 POE の設定手順例 (入力レベル検出動作)

20.5 割り込み

POE は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 20.7 に割り込みの種類と割り込み要求を出す条件を示します。

表 20.7 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, OSF1	ICSR1.PIE1ビットが“1”の状態でICSR1.POE0Fフラグが“1”になったとき、またはOCSR1.OIE1ビットが“1”の状態でOCSR1.OSF1フラグが“1”になったとき
OEI3	アウトプットイネーブル割り込み3	POE8F	ICSR3.PIE3ビットが“1”の状態でICSR3.POE8Fフラグが“1”になったとき
OEI4	アウトプットイネーブル割り込み4	POE10F, POE11F	ICSR4.PIE4ビットが“1”の状態でICSR4.POE10Fフラグが“1”になったとき、またはICSR5.PIE5ビットが“1”の状態でICSR5.POE11Fフラグが“1”になったとき
OEI5	アウトプットイネーブル割り込み5	POE12F, OSF3	ICSR7.PIE7ビットが“1”の状態でICSR7.POE12Fフラグが“1”になったとき、またはOCSR3.OIE3ビットが“1”の状態でOCSR3.OSF3フラグが“1”になったとき

20.6 使用上の注意事項

20.6.1 低消費電力モードへの遷移

POEを使用する場合は、ソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードでは、POEの動作が停止するため、端子の出力停止制御はできません。

20.6.2 MTU/GPTW 端子非選択時の出力停止制御

POECR1～POECR3レジスタ、PMMCR0～PMMCR2レジスタでMTU/GPTW端子の出力停止制御を有効にしているときに制御条件を満たすと、端子選択レジスタによって制御対象になった端子はMPCのPxyPFSレジスタでMTU/GPTW機能を選択していない場合でも、出力が停止します。

意図せず端子の出力が停止するのを避けるため、MPCのPxyPFSレジスタで選択したMTU/GPTW端子と、POEの端子選択レジスタで選択したMTU/GPTW端子が一致するように設定を行ってください。

20.6.3 POEを使用しない場合について

POEによる端子の出力停止制御は、リセット後から有効となっている端子があります。POEを使用しない場合でも、POECR2レジスタの対象ビットに“0”を書いてください。また、端子選択レジスタ(M0SELR1, M0SELR2, M3SELR, M4SELR1, M4SELR2, G0SELR, G1SELR, G2SELR)の対象ビットにも“0000b”を書いてください。

20.6.4 MTU/GPTW 反転出力設定時のアクティブレベル設定について

本MCUでは、MPC.PxyPFSレジスタによりMTU/GPTWの出力を正転出力/反転出力から選択することができます。

MTUの反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2jレジスタ(j=A, B)で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTWの反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

20.6.5 ハイインピーダンス時の端子の読み出しについて

POEによって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

20.6.6 POEとPOEGを併用した場合の注意事項

POEとPOEGを併用する場合、同一のGPTW出力端子に対して、POEとPOEGの両方で出力停止制御を行わないでください。

20.6.7 ICSRn.INV ビットを“1”にして使用するときの注意事項

ICSRn.INV ビット ($n = 1, 3 \sim 5, 7$) を“1” (立ち上がりエッジまたは High レベル検出) にして使用する場合、リセット解除時の POEm# 端子 ($m = 0, 8, 10, 11, 12$) には Low が入力されているはずですが、この状態で MPC.PxyPFS レジスタにより POEm# 信号を選択すると、内部信号が High から Low に変化するため、出力停止要求が生成されてしまいます (図 20.14 (1) 参照)。先に ICSRn レジスタを設定してから PxyPFS レジスタを設定してください。

なお、ICSRn.POEmM[3:0] ビット、POEmM2[3:0] ビットの設定によっては、ICSRn レジスタを設定してから PxyPFS レジスタを設定するまでの間に出力停止要求が生成される場合があります (図 20.14 (2) 参照)。この場合は、「20.3.10 出力停止状態の解除」に従って、ICSRn.POEmF フラグをクリアしてください。

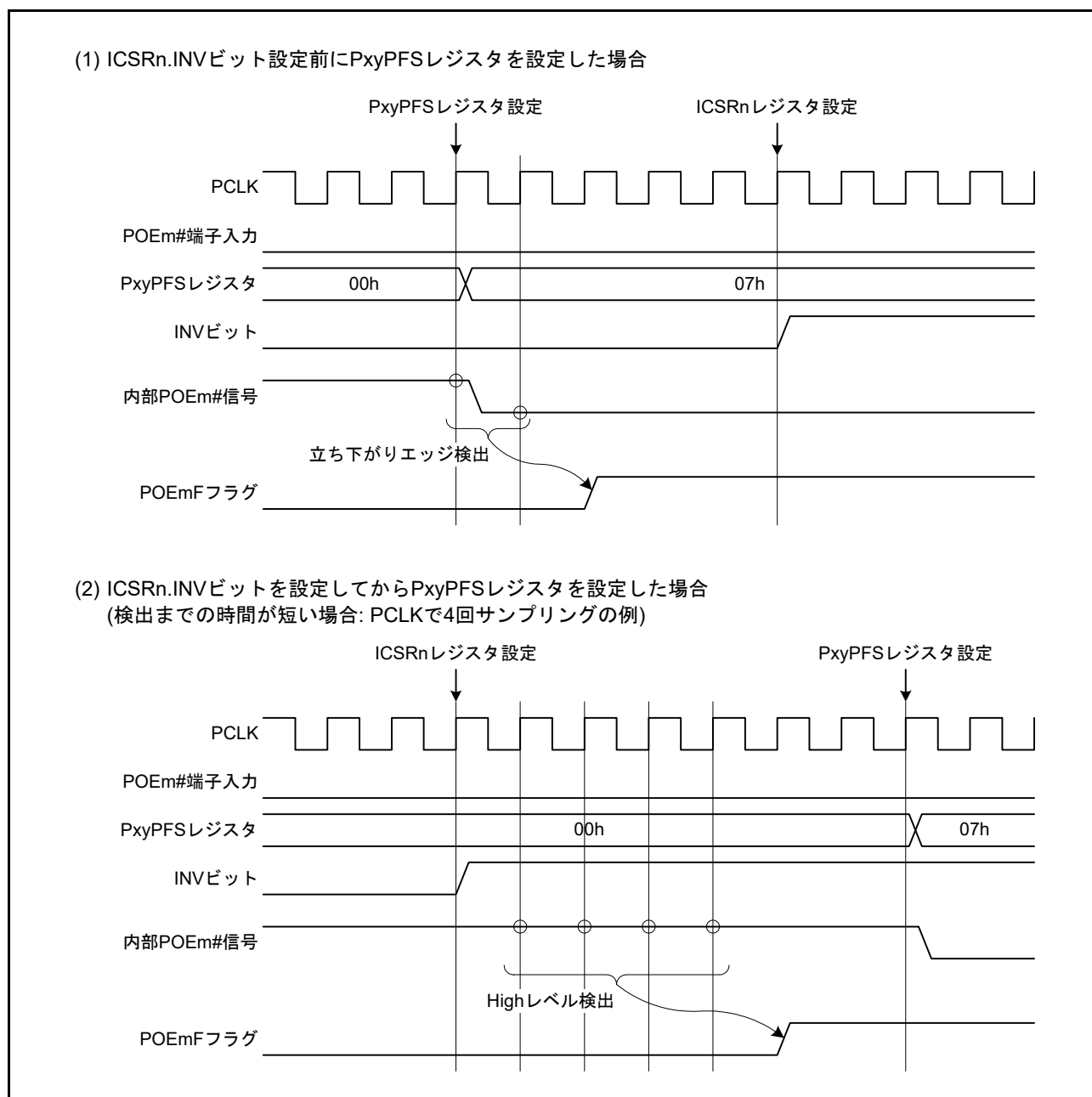


図 20.14 ICSRn.INV ビットと PxyPFS レジスタの設定タイミング

21. 汎用 PWM タイマ (GPTWd)

本 MCU は、3 チャンネルの 16 ビットタイマにより構成される汎用 PWM タイマ (GPTW) を内蔵しています。

21.1 概要

表 21.1 に GPTW の仕様を、表 21.2 に GPTW の機能一覧を示します。図 21.1 に GPTW のブロック図を示します。

表 21.1 GPTW の仕様

項目	仕様
機能	16 ビット×3チャンネル - 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載(オーバフロー/アンダフローで割り込み可能) - PWM動作の際にデッドタイム生成が可能 - 任意のチャンネルのカウンタを同時スタート/ストップ/クリア可能 2本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 1本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 - MTUと同期カウントスタート可能 MTU0、MTU4のカウントスタート動作により、カウントスタート動作が可能 - デューティ 0%/100%出力機能 - デッドタイムエラー、POEGからの出力停止要求による出力ネゲート制御機能 - A/D変換開始トリガ生成機能 - インプットキャプチャ入力にはノイズフィルタ機能を選択可能 - チャンネル間で同期セット/クリア/インプットキャプチャが可能 - バスクロック、GPTWカウンタ基準クロック：PCLKB

表21.2 GPTWの機能一覧

項目		GPTW0	GPTW1, GPTW2
タイマカウンタ		16ビット	
カウントクロック		PCLKB, PCLKB/2, PCLKB/4, PCLKB/8, PCLKB/16, PCLKB/32, PCLKB/64, PCLKB/256, PCLKB/1024, GTETRGA	
アウトプットコンペア/インプットキャプチャレジスタ (GTCCR)		GTCCRA, GTCCRB	
コンペア/バッファレジスタ		GTCCRC, GTCCRD, GTCCRE, GTCCRF	
周期設定レジスタ		GTPR	
周期設定バッファレジスタ		GTPBR, GTPDBR	
インプットキャプチャ入力/コンペアマッチ出力/PWM出力端子		GTIOCnA, GTIOCnB	
外部トリガ入力端子(POEG 経由)		GTETRGA	
カウンタクリア要因		GTPRレジスタのコンペアマッチ、インプットキャプチャ、入力端子状態、外部トリガ入力、GTCCRレジスタのコンペアマッチ、他チャネルのクリア要因	
コンペアマッチ出力	Low出力		○
	High出力		○
	トグル出力		○
インプットキャプチャ機能			○
デッドタイム自動設定機能			○
PWMモード	のこぎり波PWMモード		○
	のこぎり波ワンショットパルスモード		○
	三角波PWMモード 1、2、3		○
PWM周期同期出力		○	—
バッファ動作	ダブルバッファ		○
	複数チャネル同時動作禁止制御		○
	カウンタクリア/コンペアマッチによるバッファ転送		○
ワンショット動作			○
DTCの起動		すべての割り込み要因	
A/D変換開始トリガ		GTADTRA、GTADTRBレジスタのコンペアマッチ	
割り込み要因		9要因 - GTCCRAレジスタコンペアマッチ/インプットキャプチャ (GTICAn) - GTCCRBレジスタコンペアマッチ/インプットキャプチャ (GTICBn) - GTCCRCレジスタコンペアマッチ (GTICIn) - GTCCRDレジスタコンペアマッチ (GTICDn) - デッドタイムエラー (GDTEn) - GTCCREレジスタコンペアマッチ (GTICEn) - GTCCRFレジスタコンペアマッチ (GTICFn) - GTCNTカウンタオーバフロー (GTPRレジスタコンペアマッチ) (GTICVn) - GTCNTカウンタアンダフロー (GTICUn)	
割り込み間引き機能		GTCNTカウンタオーバフロー (GTPRレジスタコンペアマッチ) (GTICVn)/GTCNTカウンタアンダフロー (GTICUn)割り込みを間引き (他の割り込み、およびA/D変換開始要求との連動機能あり)	
ノイズフィルタ機能			○
同期クリア/セット/インプットキャプチャ			○
MTUと同期カウントスタート			○

○：可能

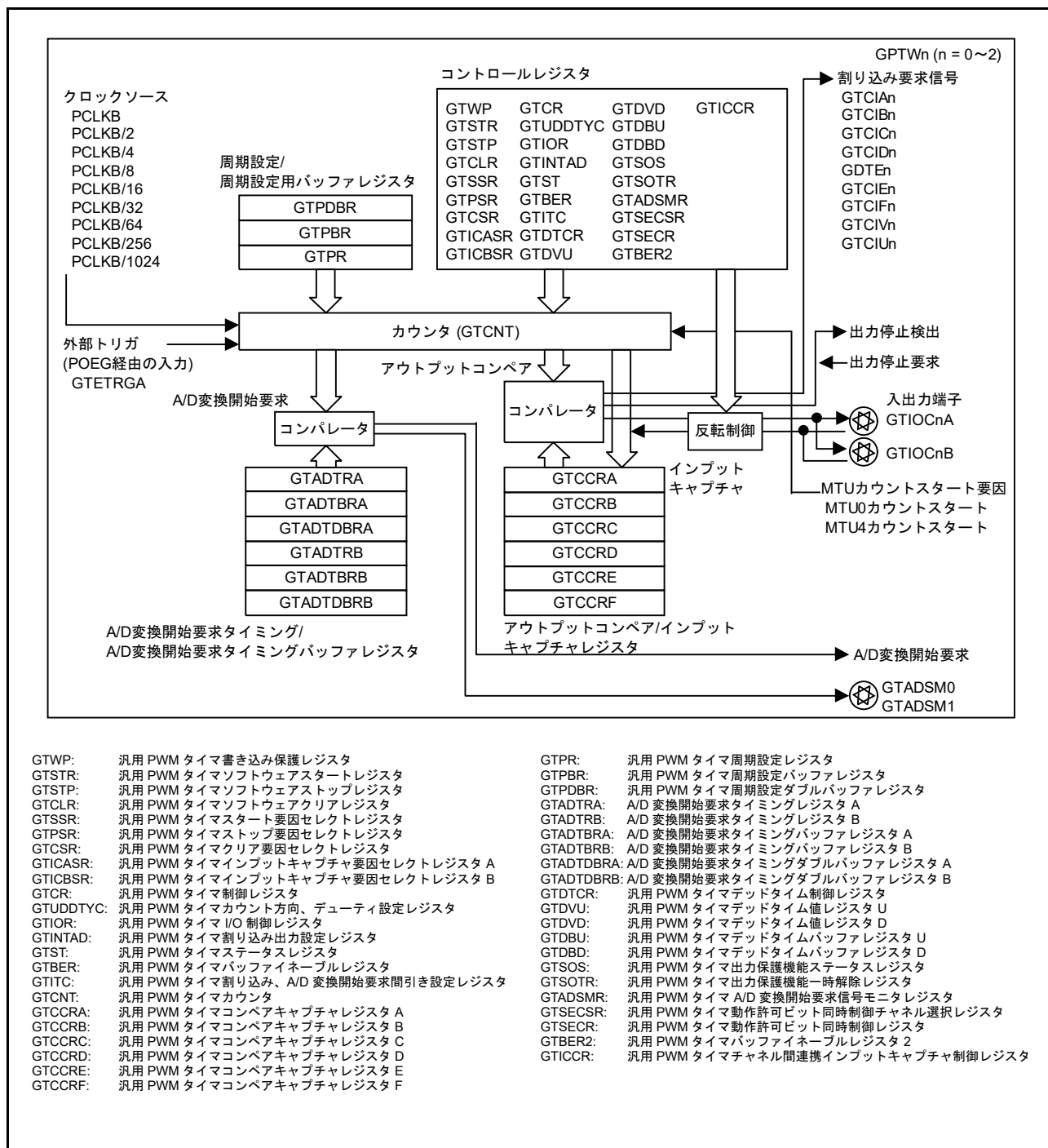


図 21.1 GPTW のブロック図 (のこぎり波 PWM モード、のこぎり波ワンショットパルスモード、三角波 PWM モード 1、2、3 の場合)

表 21.3 に GPTW で使用する入出力端子を示します。

表 21.3 GPTWの入出力端子 (n = 0 ~ 2)

チャンネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子 A (POEG 経由による入力)
	GTADSM0	出力	A/D 変換開始要求モニタ 0 出力端子
	GTADSM1	出力	A/D 変換開始要求モニタ 1 出力端子
GPTWn	GTIOCnA	入出力	GTCCRA レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	GTIOCnB	入出力	GTCCRB レジスタのインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	GTCPPO0	出力	PWM 周期同期出力

21.2 レジスタの説明

21.2.1 汎用 PWM タイマ書き込み保護レジスタ (GTWP)

アドレス GPTW0.GTWP 0009 6000h, GPTW1.GTWP 0009 6100h, GPTW2.GTWP 0009 6200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]							—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止ビット	0 : レジスタへの書き込みを許可 1 : レジスタへの書き込みを禁止	R/W
b1	STRWP	GTSTR.CSTRT ビット書き込み禁止ビット	0 : ビットへの書き込みを許可 1 : ビットへの書き込みを禁止	R/W
b2	STPWP	GTSTP.CSTOP ビット書き込み禁止ビット	0 : ビットへの書き込みを許可 1 : ビットへの書き込みを禁止	R/W
b3	CLRWP	GTCLR.CCLR ビット書き込み禁止ビット	0 : ビットへの書き込みを許可 1 : ビットへの書き込みを禁止	R/W
b4	CMNWP	共通レジスタ書き込み禁止ビット	0 : レジスタへの書き込みを許可 1 : レジスタへの書き込みを禁止	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	GTWP キーコードビット	読むと“0”が読めます。 WP、STRWP、STPWP、CLRWP、CMNWP ビットを書き換える場合、“A5h”としてください。	R/W
b31-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可 / 禁止するレジスタです。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。

CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

GTWP レジスタの設定で、書き込み許可 / 禁止が反映されるレジスタは、「21.7.1 レジスタの書き込み保護」を参照してください。

WP ビット (レジスタ書き込み禁止ビット)

GPTW のレジスタへの書き込みの許可 / 禁止を選択します。

書き込みの許可 / 禁止の対象となるレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTBER2, GTICCR

STRWP ビット (GTSTR.CSTRT ビット書き込み禁止ビット)

チャンネル番号に対応する GTSTR レジスタの CSTRT ビットへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSTR レジスタの各 CSTRT ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どの

チャンネルの GTSTR レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの STRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する CSTRT ビットの更新のみを制御します。

従って、STRWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する CSTRT ビットは更新されませんが、STRWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する CSTRT ビットは更新されます。たとえば、GPTW0.GTWP.STRWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが“0”のとき、“1”を書き込むと GPTW0.GTSTR.CSTRT0 ビットが“0”から“1”に更新され GPTW0.GTCNT カウンタが動作を開始します。GPTW0.GTWP.STRWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTSTR.CSTRT0 ビットが“0”のとき、“1”を書き込んでも GPTW0.GTSTR.CSTRT0 ビットは“0”から“1”に更新されず GPTW0.GTCNT カウンタは動作を開始しません。

GTSTR レジスタの更新を完全に保護したい場合は、全てのチャンネルの STRWP ビットを“1”に設定してください。

STPWP ビット (GTSTP.CSTOP ビット書き込み禁止ビット)

チャンネル番号に対応する GTSTP レジスタの CSTOP ビットへの書き込み動作による値の更新の許可/禁止を選択します。

GTSTP レジスタの各 CSTOP ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どのチャンネルの GTSTP レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの STPWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する CSTOP ビットの更新のみを制御します。

従って、STPWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する CSTOP ビットは更新されませんが、STPWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する CSTOP ビットは更新されます。たとえば、GPTW0.GTWP.STPWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが“0”のとき、“1”を書き込むと GPTW0.GTSTP.CSTOP0 ビットが“0”から“1”に更新され GPTW0.GTCNT カウンタが動作を停止します。GPTW0.GTWP.STPWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTSTP.CSTOP0 ビットが“0”のとき、“1”を書き込んでも GPTW0.GTSTP.CSTOP0 ビットは“0”から“1”に更新されず GPTW0.GTCNT カウンタは動作を停止しません。

GTSTP レジスタの更新を完全に保護したい場合は、全てのチャンネルの STPWP ビットを“1”に設定してください。

CLRWP ビット (GTCLR.CCLR ビット書き込み禁止ビット)

チャンネル番号に対応する GTCLR レジスタの CCLR ビットへの書き込み動作による値の更新の許可/禁止を選択します。

GTCLR レジスタの各 CCLR ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どのチャンネルの GTCLR レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの CLRWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する CCLR ビットの更新のみを制御します。

従って、CLRWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する CCLR ビットは更新されませんが、CLRWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する CCLR ビットは更新されます。たとえば、GPTW0.GTWP.CLRWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTCLR.CCLR0 ビットが“0”のとき、“1”を書き込むと GPTW0.GTCLR.CCLR0 ビットが“0”から“1”に更新され GPTW0.GTCNT カウンタがクリアされます。GPTW0.GTWP.STPWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTCLR.CCLR0 ビットが“0”のとき、“1”を書き込んでも GPTW0.GTCLR.CCLR0 ビットは“0”から“1”に更新されず

GPTW0.GTCNT カウンタはクリアされません。

GTCLR レジスタの更新を完全に保護したい場合は、全てのチャンネルの CLRWP ビットを“1”に設定してください。

CMNWP ビット (共通レジスタ書き込み禁止ビット)

チャンネル番号に対応する GTSECSR レジスタの SECSELn ビット (n = 0 ~ 2)、および GTSECR レジスタへの書き込み動作による値の更新の許可 / 禁止を選択します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャンネル番号として各チャンネルに配置され、どのチャンネルの GTSECSR レジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。GTSECR レジスタは、どのチャンネルのレジスタに書きこんでも、全てのチャンネルで書き込み動作が行われます。各チャンネルの CMNWP ビットは、書き込み動作自体を制御するものではなく、全てのチャンネルで同時に行われる書き込み動作に対して、そのチャンネルに対応する SECSEL ビット、および GTSECR レジスタ値の更新のみを制御します。

従って、CMNWP ビットが“1”(書き込み禁止)に設定されているチャンネルに対して書き込み動作を行った場合、そのチャンネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されませんが、CMNWP ビットが“0”(書き込み許可)に設定されているチャンネルに対応する SECSEL ビット、および GTSECR レジスタの値は更新されます。

たとえば、GPTW0.GTWP.CMNWP ビットが“0”(書き込み許可)に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行うと GPTW0.GTSECSR.SECSEL0 ビットが更新されます。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行うと GPTW0.GTSECR レジスタが更新されます。GPTW0.GTWP.CMNWP ビットが“1”(書き込み禁止)に設定されている場合は、GPTW1.GTSECSR.SECSEL0 ビットに書き込む動作を行っても GPTW0.GTSECSR.SECSEL0 ビットは更新されません。同様に、GPTW1.GTSECR レジスタへの書き込み動作を行っても GPTW0.GTSECR レジスタは更新されません。

GTSECSR レジスタおよび GTSECR レジスタの更新を完全に保護したい場合は、全てのチャンネルの CMNWP ビットを“1”に設定してください。

PRKEY[7:0] ビット (GTWP キーコードビット)

WP、STRWP、STPWP、CLRWP、CMNWP ビットの書き換えの可否を制御します。

21.2.2 汎用 PWM タイマソフトウェアスタートレジスタ (GTSTR)

アドレス GPTW0.GTSTR 0009 6004h, GPTW1.GTSTR 0009 6104h, GPTW2.GTSTR 0009 6204h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CSTRT 2	CSTRT 1	CSTRT 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSTRT0	チャンネル0カウントスタートビット	【読み出し時】 0：カウンタは停止中 1：カウンタは動作中 【書き込み時】 0：無視されます 1：カウンタの動作を開始します	R/W
b1	CSTRT1	チャンネル1カウントスタートビット		R/W
b2	CSTRT2	チャンネル2カウントスタートビット		R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSTR レジスタは、GTCNT カウンタの動作を開始するレジスタです。

GTSTR レジスタのビット位置がチャンネル番号を表します。各チャンネルの GTSTR レジスタは、共通のレジスタであり、どのチャンネルの GTSTR レジスタを更新しても、“1”を書き込んだビット位置のチャンネルの GTCNT カウンタの動作を開始することが可能です。“0”の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

CSTRTn ビット (チャンネル n カウントスタートビット) (n = 0 ~ 2)

チャンネル n の GTCNT カウンタの動作を開始します。

読み出した値は、各チャンネルのカウンタの動作状態 (GTCR.CST ビット) を表します。“0”のビットはカウンタ停止中、“1”のビットはカウンタ動作中を表します。

21.2.3 汎用 PWM タイマソフトウェアストップレジスタ (GTSTP)

アドレス GPTW0.GTSTP 0009 6008h, GPTW1.GTSTP 0009 6108h, GPTW2.GTSTP 0009 6208h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CSTOP2	CSTOP1	CSTOP0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CSTOP0	チャンネル0カウントストップビット	【読み出し時】 0：カウンタは動作中 1：カウンタは停止中 【書き込み時】 0：無視されます 1：カウンタの動作を停止します	R/W
b1	CSTOP1	チャンネル1カウントストップビット		R/W
b2	CSTOP2	チャンネル2カウントストップビット		R/W
b31-b3	—	予約ビット	読むと“1”が読めます。書く場合、“0”としてください	R/W

GTSTP レジスタは、GTCNT カウンタの動作を停止するレジスタです。

GTSTP レジスタのビット位置がチャンネル番号を表します。各チャンネルの GTSTP レジスタは、共通のレジスタであり、どのチャンネルの GTSTP レジスタを更新しても、“1”を書き込んだビット位置のチャンネルの GTCNT カウンタの動作を停止することが可能です。“0”の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

CSTOPn ビット (チャンネル n カウントストップビット) (n = 0 ~ 2)

チャンネル n の GTCNT カウンタの動作を停止します。

読み出した値は、各チャンネルのカウンタの動作状態 (GTCR.CST ビットの反転) を表します。“0”のビットはカウンタ動作中、“1”のビットはカウンタ停止中を表します。

21.2.4 汎用 PWM タイマソフトウェアクリアレジスタ (GTCLR)

アドレス GPTW0.GTCLR 0009 600Ch, GPTW1.GTCLR 0009 610Ch, GPTW2.GTCLR 0009 620Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CCLR2	CCLR1	CCLR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLR0	チャンネル0カウンタクリアビット	0 : 無視されます 1 : カウンタをクリアします	W
b1	CCLR1	チャンネル1カウンタクリアビット		W
b2	CCLR2	チャンネル2カウンタクリアビット		W
b31-b3	—	予約ビット	書く場合、“0”としてください	W

GTCLR レジスタは、書き込み専用のレジスタで GTCNT カウンタのクリアを設定するレジスタです。

GTCLR レジスタのビット位置がチャンネル番号を表します。各チャンネルの GTCLR レジスタは、共通のレジスタであり、どのチャンネルの GTCLR レジスタを更新しても、“1”を書き込んだビット位置のチャンネルの GTCNT カウンタが“0”になります。“0”の書き込みによる、カウンタの動作およびレジスタ値の変更は発生しません。

CCLRn ビット (チャンネル n カウンタクリアビット) (n = 0 ~ 2)

GTCCR.MD[2:0] ビットでのこぎり波を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態で“1”を書くとチャンネル n の GTCNT カウンタが GTPR レジスタの値になります。それ以外の設定の場合は“0000 0000h”になります。

21.2.5 汎用 PWM タイマスタート要因セレクトレジスタ (GTSSR)

アドレス GPTW0.GTSSR 0009 6010h, GPTW1.GTSSR 0009 6110h, GPTW2.GTSSR 0009 6210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTRT	—	—	—	—	—	—	—	—	—	—	—	—	—	SSMTU 4	SSMTU 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCBF AH	SSCBF AL	SSCBR AH	SSCBR AL	SSCAF BH	SSCAF BL	SSCAR BH	SSCAR BL	—	—	—	—	—	—	SSGTR GAF	SSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0 : カウントスタートの要因にGTETRGA信号を使用しない 0 1 : GTETRGA信号の立ち上がりエッジでカウントスタート	R/W
b1	SSGTRGAF		1 0 : GTETRGA信号の立ち下がりエッジでカウントスタート 1 1 : GTETRGA信号の両エッジでカウントスタート	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SSCARBL	GTIOcNA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0 : カウントスタートの要因にGTIOcNA信号の立ち上がりエッジを使用しない 0 1 : GTIOcNB端子がLowのときのGTIOcNA信号の立ち上がりエッジでカウントスタート	R/W
b9	SSCARBH		1 0 : GTIOcNB端子がHighのときのGTIOcNA信号の立ち上がりエッジでカウントスタート 1 1 : GTIOcNA信号の立ち上がりエッジでカウントスタート	R/W
b10	SSCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0 : カウントスタートの要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1 : GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでカウントスタート	R/W
b11	SSCAFBH		1 0 : GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでカウントスタート 1 1 : GTIOcNA信号の立ち下がりエッジでカウントスタート	R/W
b12	SSCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0 : カウントスタートの要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1 : GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでカウントスタート	R/W
b13	SSCBRAH		1 0 : GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでカウントスタート 1 1 : GTIOcNB信号の立ち上がりエッジでカウントスタート	R/W
b14	SSCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0 : カウントスタートの要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1 : GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでカウントスタート	R/W
b15	SSCBFAH		1 0 : GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでカウントスタート 1 1 : GTIOcNB信号の立ち下がりエッジでカウントスタート	R/W

ビット	シンボル	ビット名	機能	R/W
b16	SSMTU0	MTU0 カウントスタート要因カウントスタート許可ビット	0 : MTU0 カウントスタートによるカウントスタートを禁止 1 : MTU0 カウントスタートによるカウントスタートを許可	R/W
b17	SSMTU4	MTU4 カウントスタート要因カウントスタート許可ビット	0 : MTU4 カウントスタートによるカウントスタートを禁止 1 : MTU4 カウントスタートによるカウントスタートを許可	R/W
b30-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTRT	ソフトウェア要因カウントスタート許可ビット	0 : GTSTR レジスタによるカウントスタートを禁止 1 : GTSTR レジスタによるカウントスタートを許可	R/W

n = 0 ~ 2

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGA 入力、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

SSGTRGAR ビット (GTETRGA 立ち上がり要因カウントスタート許可ビット)

GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSGTRGAF ビット (GTETRGA 立ち下がり要因カウントスタート許可ビット)

GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCARBL ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子 0 要因カウントスタート許可ビット)

GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCARBH ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子 1 要因カウントスタート許可ビット)

GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCAFBL ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子 0 要因カウントスタート許可ビット)

GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCAFBLH ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子 1 要因カウントスタート許可ビット)

GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCBRAL ビット (GTIOCnB 端子立ち上がり GTIOCnA 端子 0 要因カウントスタート許可ビット)

GTIOCnA 端子入力が“0”状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCBRAH ビット (GTIOCnB 端子立ち上がり GTIOCnA 端子 1 要因カウントスタート許可ビット)

GTIOCnA 端子入力が“1”状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCBFAL ビット (GTIOcNB 端子立ち下がり GTIOcNA 端子 0 要因カウントスタート許可ビット)

GTIOcNA 端子入力が“0”状態での GTIOcNB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSCBFAH ビット (GTIOcNB 端子立ち下がり GTIOcNA 端子 1 要因カウントスタート許可ビット)

GTIOcNA 端子入力が“1”状態での GTIOcNB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSMTU0 ビット (MTU0 カウントスタート要因カウントスタート許可ビット)

MTU0 カウントスタート入力による GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

SSMTU4 ビット (MTU4 カウントスタート要因カウントスタート許可ビット)

MTU4 カウントスタート入力による GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

CSTRT ビット (ソフトウェア要因カウントスタート許可ビット)

GTSTR レジスタによる GTCNT カウンタのカウントスタートの許可 / 禁止を選択します。

21.2.6 汎用 PWM タイマストップ要因セレクトレジスタ (GTPSR)

アドレス GPTW0.GTPSR 0009 6014h, GPTW1.GTPSR 0009 6114h, GPTW2.GTPSR 0009 6214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBF AH	PSCBF AL	PSCBR AH	PSCBR AL	PSCAF BH	PSCAF BL	PSCAR BH	PSCAR BL	—	—	—	—	—	—	PSGTR GAF	PSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0 : カウントストップの要因にGTETRGA信号を使用しない 0 1 : GTETRGA信号の立ち上がりエッジでカウントストップ	R/W
b1	PSGTRGAF		1 0 : GTETRGA信号の立ち下がりエッジでカウントストップ 1 1 : GTETRGA信号の両エッジでカウントストップ	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PSCARBL	GTIOcNA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0 : カウントストップの要因にGTIOcNA信号の立ち上がりエッジを使用しない 0 1 : GTIOcNB端子がLowのときのGTIOcNA信号の立ち上がりエッジでカウントストップ	R/W
b9	PSCARBH		1 0 : GTIOcNB端子がHighのときのGTIOcNA信号の立ち上がりエッジでカウントストップ 1 1 : GTIOcNA信号の立ち上がりエッジでカウントストップ	R/W
b10	PSCAFBL	GTIOcNA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0 : カウントストップの要因にGTIOcNA信号の立ち下がりエッジを使用しない 0 1 : GTIOcNB端子がLowのときのGTIOcNA信号の立ち下がりエッジでカウントストップ	R/W
b11	PSCAFBH		1 0 : GTIOcNB端子がHighのときのGTIOcNA信号の立ち下がりエッジでカウントストップ 1 1 : GTIOcNA信号の立ち下がりエッジでカウントストップ	R/W
b12	PSCBRAL	GTIOcNB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0 : カウントストップの要因にGTIOcNB信号の立ち上がりエッジを使用しない 0 1 : GTIOcNA端子がLowのときのGTIOcNB信号の立ち上がりエッジでカウントストップ	R/W
b13	PSCBRAH		1 0 : GTIOcNA端子がHighのときのGTIOcNB信号の立ち上がりエッジでカウントストップ 1 1 : GTIOcNB信号の立ち上がりエッジでカウントストップ	R/W
b14	PSCBFAL	GTIOcNB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0 : カウントストップの要因にGTIOcNB信号の立ち下がりエッジを使用しない 0 1 : GTIOcNA端子がLowのときのGTIOcNB信号の立ち下がりエッジでカウントストップ	R/W
b15	PSCBFAH		1 0 : GTIOcNA端子がHighのときのGTIOcNB信号の立ち下がりエッジでカウントストップ 1 1 : GTIOcNB信号の立ち下がりエッジでカウントストップ	R/W
b30-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CSTOP	ソフトウェア要因カウントストップ許可ビット	0 : GTSTPレジスタによるカウントストップを禁止 1 : GTSTPレジスタによるカウントストップを許可	R/W

$n = 0 \sim 2$

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGA 入力、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

PSGTRGAR ビット (GTETRGA 立ち上がり要因カウントストップ許可ビット)

GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSGTRGAF ビット (GTETRGA 立ち下がり要因カウントストップ許可ビット)

GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCARBL ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子 0 要因カウントストップ許可ビット)

GTIOCnB 端子入力 ($n = 0 \sim 2$) が “0” 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCARBH ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子 1 要因カウントストップ許可ビット)

GTIOCnB 端子入力が “1” 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCAFBL ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子 0 要因カウントストップ許可ビット)

GTIOCnB 端子入力が “0” 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCAFBH ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子 1 要因カウントストップ許可ビット)

GTIOCnB 端子入力が “1” 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCBRAL ビット (GTIOCnB 端子立ち上がり GTIOCnA 端子 0 要因カウントストップ許可ビット)

GTIOCnA 端子入力が “0” 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCBRAH ビット (GTIOCnB 端子立ち上がり GTIOCnA 端子 1 要因カウントストップ許可ビット)

GTIOCnA 端子入力が “1” 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCBFAL ビット (GTIOCnB 端子立ち下がり GTIOCnA 端子 0 要因カウントストップ許可ビット)

GTIOCnA 端子入力が “0” 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

PSCBFAH ビット (GTIOCnB 端子立ち下がり GTIOCnA 端子 1 要因カウントストップ許可ビット)

GTIOCnA 端子入力が “1” 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

CSTOP ビット (ソフトウェア要因カウントストップ許可ビット)

GTSTP レジスタによる GTCNT カウンタのカウントストップの許可 / 禁止を選択します。

21.2.7 汎用 PWM タイマクリア要因セレクトレジスタ (GTCSR)

アドレス GPTW0.GTCSR 0009 6018h, GPTW1.GTCSR 0009 6118h, GPTW2.GTCSR 0009 6218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCLR	—	—	—	—	CSCMSC[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSCBF AH	CSCBF AL	CSCBR AH	CSCBR AL	CSCAF BH	CSCAF BL	CSCAR BH	CSCAR BL	—	—	—	—	—	—	CSGTR GAF	CSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA信号エッジ選択ビット	b1 b0 0 0 : カウンタクリアの要因にGTETRGA信号を使用しない 0 1 : GTETRGA信号の立ち上がりエッジでカウンタクリア 1 0 : GTETRGA信号の立ち下がりエッジでカウンタクリア 1 1 : GTETRGA信号の両エッジでカウンタクリア	R/W
b1	CSGTRGAF			R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CSCARBL	GTIOCnA信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0 : カウンタクリアの要因にGTIOCnA信号の立ち上がりエッジを使用しない 0 1 : GTIOCnB端子がLowのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 0 : GTIOCnB端子がHighのときのGTIOCnA信号の立ち上がりエッジでカウンタクリア 1 1 : GTIOCnA信号の立ち上がりエッジでカウンタクリア	R/W
b9	CSCARBH			R/W
b10	CSCAFBL	GTIOCnA信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0 : カウンタクリアの要因にGTIOCnA信号の立ち下がりエッジを使用しない 0 1 : GTIOCnB端子がLowのときのGTIOCnA信号の立ち下がりエッジでカウンタクリア 1 0 : GTIOCnB端子がHighのときのGTIOCnA信号の立ち下がりエッジでカウンタクリア 1 1 : GTIOCnA信号の立ち下がりエッジでカウンタクリア	R/W
b11	CSCAFBH			R/W
b12	CSCBRAL	GTIOCnB信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0 : カウンタクリアの要因にGTIOCnB信号の立ち上がりエッジを使用しない 0 1 : GTIOCnA端子がLowのときのGTIOCnB信号の立ち上がりエッジでカウンタクリア 1 0 : GTIOCnA端子がHighのときのGTIOCnB信号の立ち上がりエッジでカウンタクリア 1 1 : GTIOCnB信号の立ち上がりエッジでカウンタクリア	R/W
b13	CSCBRAH			R/W
b14	CSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0 : カウンタクリアの要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1 : GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでカウンタクリア 1 0 : GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでカウンタクリア 1 1 : GTIOCnB信号の立ち下がりエッジでカウンタクリア	R/W
b15	CSCBFAH			R/W
b23-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b24	CSCMSC[2:0]	コンペアマッチ/インプットキャプチャ/同期クリア要因カウンタクリア許可ビット	b26 b24 0 0 0: コンペアマッチ/インプットキャプチャ/同期クリアグループ要因によるクリア禁止 0 0 1: GTCCRAのコンペアマッチ/インプットキャプチャでカウンタクリア 0 1 0: GTCCRBのコンペアマッチ/インプットキャプチャでカウンタクリア 0 1 1: GTCCRCのコンペアマッチでカウンタクリア 1 0 0: GTCCRDのコンペアマッチでカウンタクリア 1 0 1: GTCCREのコンペアマッチでカウンタクリア 1 1 0: GTCCRFのコンペアマッチでカウンタクリア 1 1 1: 同期クリアグループのクリア要因でGTCNTカウンタクリア	R/W
b30-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可ビット	0: GTCLRレジスタによるカウンタクリアを禁止 1: GTCLRレジスタによるカウンタクリアを許可	R/W

n = 0 ~ 2

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST ビット = 1) の場合でも、停止中 (GTCR.CST ビット = 0) の場合でも、実行することが可能です。

GTETRGA 入力は、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

CSGTRGAR ビット (GTETRGA 立ち上がり要因カウンタクリア許可ビット)

GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSGTRGAF ビット (GTETRGA 立ち下がり要因カウンタクリア許可ビット)

GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCARBL ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子 0 要因カウンタクリア許可ビット)

GTIOCnB 端子入力 (n = 0 ~ 2) が “0” 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCARBH ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子 1 要因カウンタクリア許可ビット)

GTIOCnB 端子入力が “1” 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCAFBL ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子 0 要因カウンタクリア許可ビット)

GTIOCnB 端子入力が “0” 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCAFBH ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子 1 要因カウンタクリア許可ビット)

GTIOCnB 端子入力が “1” 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCBRAL ビット (GTIOCnB 端子立ち上がり GTIOCnA 端子 0 要因カウンタクリア許可ビット)

GTIOCnA 端子入力が “0” 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCBRAH ビット (GTIOcN_B 端子立ち上がり GTIOcN_A 端子 1 要因カウンタクリア許可ビット)

GTIOcN_A 端子入力が “1” 状態での GTIOcN_B 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCBFAL ビット (GTIOcN_B 端子立ち下がり GTIOcN_A 端子 0 要因カウンタクリア許可ビット)

GTIOcN_A 端子入力が “0” 状態での GTIOcN_B 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCBFAH ビット (GTIOcN_B 端子立ち下がり GTIOcN_A 端子 1 要因カウンタクリア許可ビット)

GTIOcN_A 端子入力が “1” 状態での GTIOcN_B 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

CSCMSC[2:0] ビット (コンペアマッチ / インプットキャプチャ / 同期クリアクリア要因カウンタクリア許可ビット)

コンペアマッチ、インプットキャプチャ、同期クリアグループのクリア要因によるカウンタクリア許可 / 禁止を選択します。コンペアマッチ、インプットキャプチャによるカウンタクリアを許可した場合、「21.3.8.3 チャンネル間連携による同期クリア動作」で説明するチャンネル間連携による同期クリアの要因として扱うことができます。

他チャンネル要因によるインプットキャプチャ (GTICASR.ASOC ビットまたは GTICBSR.BSOC ビットを “1” に設定) をインプットキャプチャによるカウンタクリアの要因として、使用することができます。他チャンネル要因によるインプットキャプチャは、チャンネル間連携による同期クリアの要因にはなりませんが、自チャンネルのカウンタクリア要因として使用することができます。

バッファ動作 (波形モード固有の場合を含む) を行っているレジスタによるコンペアマッチは発生しないため、該当する動作モードにおいて対象となるレジスタをコンペアマッチ要因とするカウンタクリア許可の設定は無効です。

CCLR ビット (ソフトウェア要因カウンタクリア許可ビット)

GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可 / 禁止を選択します。

21.2.8 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR)

アドレス GPTW0.GTICASR 0009 6024h, GPTW1.GTICASR 0009 6124h, GPTW2.GTICASR 0009 6224h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ASOC	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCBF AH	ASCBF AL	ASCBR AH	ASCBR AL	ASCAF BH	ASCAF BL	ASCAR BH	ASCAR BL	—	—	—	—	—	—	ASGTR GAF	ASGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0 : GTCCRA レジスタへのインプットキャプチャ要因に GTETRGA 信号を使用しない 0 1 : GTETRGA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 0 : GTETRGA 信号の立ち下がりエッジで GTCCRA レジスタにインプットキャプチャ 1 1 : GTETRGA 信号の両エッジで GTCCRA レジスタにインプットキャプチャ	R/W
b1	ASGTRGAF			R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ASCARBL	GTIOcNA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0 : GTCCRA レジスタへのインプットキャプチャ要因に GTIOcNA 信号の立ち上がりエッジを使用しない 0 1 : GTIOcNB 端子が Low のときの GTIOcNA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 0 : GTIOcNB 端子が High のときの GTIOcNA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 1 : GTIOcNA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ	R/W
b9	ASCARBH			R/W
b10	ASCAFBL	GTIOcNA 信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0 : GTCCRA レジスタへのインプットキャプチャ要因に GTIOcNA 信号の立ち下がりエッジを使用しない 0 1 : GTIOcNB 端子が Low のときの GTIOcNA 信号の立ち下がりエッジで GTCCRA レジスタにインプットキャプチャ 1 0 : GTIOcNB 端子が High のときの GTIOcNA 信号の立ち下がりエッジで GTCCRA レジスタにインプットキャプチャ 1 1 : GTIOcNA 信号の立ち下がりエッジで GTCCRA レジスタにインプットキャプチャ	R/W
b11	ASCAFBH			R/W
b12	ASCBRAL	GTIOcNB 信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0 : GTCCRA レジスタへのインプットキャプチャ要因に GTIOcNB 信号の立ち上がりエッジを使用しない 0 1 : GTIOcNA 端子が Low のときの GTIOcNB 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 0 : GTIOcNA 端子が High のときの GTIOcNB 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 1 : GTIOcNB 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ	R/W
b13	ASCBRAH			R/W

ビット	シンボル	ビット名	機能	R/W
b14	ASCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0 : GTCCRA レジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1 : GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 0 : GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ 1 1 : GTIOCnB信号の立ち下がりエッジでGTCCRAレジスタにインプットキャプチャ	R/W
b15	ASCBFAH			R/W
b23-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	ASOC	他チャネル要因GTCCRAインプットキャプチャ許可ビット	0 : 他チャネル要因によるGTCCRAインプットキャプチャを禁止 1 : 他チャネル要因によるGTCCRAインプットキャプチャを許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 2

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA 入力、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

ASGTRGAR ビット (GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可ビット)

GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可 / 禁止を選択します。

ASGTRGAF ビット (GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可ビット)

GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可 / 禁止を選択します。

ASCARBL ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子0 要因 GTCCRA インプットキャプチャ許可ビット)

GTIOCnB 端子入力 (n = 0 ~ 2) が “0” 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可 / 禁止を選択します。

ASCARBH ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子1 要因 GTCCRA インプットキャプチャ許可ビット)

GTIOCnB 端子入力が “1” 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可 / 禁止を選択します。

ASCAFBL ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子0 要因 GTCCRA インプットキャプチャ許可ビット)

GTIOCnB 端子入力が “0” 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可 / 禁止を選択します。

ASCAFBH ビット (GTIOcN_A 端子立ち下がり GTIOcN_B 端子1 要因 GTCCRA インพุットキャプチャ許可ビット)

GTIOcN_B 端子入力が“1”状態での GTIOcN_A 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

ASCBRAL ビット (GTIOcN_B 端子立ち上がり GTIOcN_A 端子0 要因 GTCCRA インพุットキャプチャ許可ビット)

GTIOcN_A 端子入力が“0”状態での GTIOcN_B 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

ASCBRAH ビット (GTIOcN_B 端子立ち上がり GTIOcN_A 端子1 要因 GTCCRA インพุットキャプチャ許可ビット)

GTIOcN_A 端子入力が“1”状態での GTIOcN_B 端子入力の立ち上がりによる GTCCRA レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

ASCBFAL ビット (GTIOcN_B 端子立ち下がり GTIOcN_A 端子0 要因 GTCCRA インพุットキャプチャ許可ビット)

GTIOcN_A 端子入力が“0”状態での GTIOcN_B 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

ASCBFAH ビット (GTIOcN_B 端子立ち下がり GTIOcN_A 端子1 要因 GTCCRA インพุットキャプチャ許可ビット)

GTIOcN_A 端子入力が“1”状態での GTIOcN_B 端子入力の立ち下がりによる GTCCRA レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

ASOC ビット (他チャネル要因 GTCCRA インพุットキャプチャ許可ビット)

他チャネルの GTICCR レジスタで設定したチャネル間連携によるインพุットキャプチャを要因とする GTCCRA レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

本ビットで許可した他チャネル要因のインพุットキャプチャは、GTICCR.ICAFA、ICBFA ビットで設定する他チャネルのインพุットキャプチャ要因の対象にはなりません。

21.2.9 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR)

アドレス GPTW0.GTICBSR 0009 6028h, GPTW1.GTICBSR 0009 6128h, GPTW2.GTICBSR 0009 6228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	BSOC	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSCBF AH	BSCBF AL	BSCBR AH	BSCBR AL	BSCAF BH	BSCAF BL	BSCAR BH	BSCAR BL	—	—	—	—	—	—	BSGTR GAF	BSGTR GAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRG A 信号エッジ選択ビット	b1 b0 0 0 : GTCCRB レジスタへのインプットキャプチャ要因に GTETRG A 信号を使用しない 0 1 : GTETRG A 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 0 : GTETRG A 信号の立ち下がりエッジで GTCCRB レジスタにインプットキャプチャ 1 1 : GTETRG A 信号の両エッジで GTCCRB レジスタにインプットキャプチャ	R/W
b1	BSGTRGAF			R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	BSCARBL	GTIOCN A 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0 : GTCCRB レジスタへのインプットキャプチャ要因に GTIOCN A 信号の立ち上がりエッジを使用しない 0 1 : GTIOCN B 端子が Low のときの GTIOCN A 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 0 : GTIOCN B 端子が High のときの GTIOCN A 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 1 : GTIOCN A 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ	R/W
b9	BSCARBH			R/W
b10	BSCAFBL	GTIOCN A 信号立ち下がりエッジ使用条件選択ビット	b11 b10 0 0 : GTCCRB レジスタへのインプットキャプチャ要因に GTIOCN A 信号の立ち下がりエッジを使用しない 0 1 : GTIOCN B 端子が Low のときの GTIOCN A 信号の立ち下がりエッジで GTCCRB レジスタにインプットキャプチャ 1 0 : GTIOCN B 端子が High のときの GTIOCN A 信号の立ち下がりエッジで GTCCRB レジスタにインプットキャプチャ 1 1 : GTIOCN A 信号の立ち下がりエッジで GTCCRB レジスタにインプットキャプチャ	R/W
b11	BSCAFBH			R/W
b12	BSCBRAL	GTIOCN B 信号立ち上がりエッジ使用条件選択ビット	b13 b12 0 0 : GTCCRB レジスタへのインプットキャプチャ要因に GTIOCN B 信号の立ち上がりエッジを使用しない 0 1 : GTIOCN A 端子が Low のときの GTIOCN B 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 0 : GTIOCN A 端子が High のときの GTIOCN B 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 1 : GTIOCN B 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ	R/W
b13	BSCBRAH			R/W

ビット	シンボル	ビット名	機能	R/W
b14	BSCBFAL	GTIOCnB信号立ち下がりエッジ使用条件選択ビット	b15 b14 0 0 : GTCCRB レジスタへのインプットキャプチャ要因にGTIOCnB信号の立ち下がりエッジを使用しない 0 1 : GTIOCnA端子がLowのときのGTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 0 : GTIOCnA端子がHighのときのGTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ 1 1 : GTIOCnB信号の立ち下がりエッジでGTCCRBレジスタにインプットキャプチャ	R/W
b15	BSCBFAH			R/W
b23-b16	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	BSOC	他チャネル要因GTCCRBインプットキャプチャ許可ビット	0 : 他チャネル要因によるGTCCRBインプットキャプチャを禁止 1 : 他チャネル要因によるGTCCRBインプットキャプチャを許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 2

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが“1”の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGA 入力、POEG を経由して GPTW に入力されます。これらの信号の極性は POEG で設定してください。

BSGTRGAR ビット (GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可ビット)

GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可 / 禁止を選択します。

BSGTRGAF ビット (GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可ビット)

GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可 / 禁止を選択します。

BSCARBL ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子0 要因 GTCCRB インプットキャプチャ許可ビット)

GTIOCnB 端子入力 (n = 0 ~ 2) が“0”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可 / 禁止を選択します。

BSCARBH ビット (GTIOCnA 端子立ち上がり GTIOCnB 端子1 要因 GTCCRB インプットキャプチャ許可ビット)

GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可 / 禁止を選択します。

BSCAFBL ビット (GTIOCnA 端子立ち下がり GTIOCnB 端子0 要因 GTCCRB インプットキャプチャ許可ビット)

GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可 / 禁止を選択します。

BSCAFBH ビット (GTIOCNB 端子立ち下がり GTIOCNB 端子1 要因 GTCCRB インพุットキャプチャ許可ビット)

GTIOCNB 端子入力が“1”状態での GTIOCNB 端子入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

BSCBRAL ビット (GTIOCNB 端子立ち上がり GTIOCNB 端子0 要因 GTCCRB インพุットキャプチャ許可ビット)

GTIOCNB 端子入力が“0”状態での GTIOCNB 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

BSCBRAH ビット (GTIOCNB 端子立ち上がり GTIOCNB 端子1 要因 GTCCRB インพุットキャプチャ許可ビット)

GTIOCNB 端子入力が“1”状態での GTIOCNB 端子入力の立ち上がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

BSCBFAL ビット (GTIOCNB 端子立ち下がり GTIOCNB 端子0 要因 GTCCRB インพุットキャプチャ許可ビット)

GTIOCNB 端子入力が“0”状態での GTIOCNB 端子入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

BSCBFAH ビット (GTIOCNB 端子立ち下がり GTIOCNB 端子1 要因 GTCCRB インพุットキャプチャ許可ビット)

GTIOCNB 端子入力が“1”状態での GTIOCNB 端子入力の立ち下がりによる GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

BSOC ビット (他チャネル要因 GTCCRB インพุットキャプチャ許可ビット)

他チャネルの GTICCR レジスタで設定したチャネル間連携によるインพุットキャプチャを要因とする GTCCRB レジスタへのインพุットキャプチャの許可 / 禁止を選択します。

本ビットで許可した他チャネル要因のインพุットキャプチャは、GTICCR.ICAFB、ICBFB ビットで設定する他チャネルのインพุットキャプチャ要因の対象にはなりません。

21.2.10 汎用 PWM タイマ制御レジスタ (GTCR)

アドレス GPTW0.GTCR 0009 602Ch, GPTW1.GTCR 0009 612Ch, GPTW2.GTCR 0009 622Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—		TPCS[3:0]			—	—	—	—		MD[2:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCEN	—	—	—	SSCGRP[1:0]		SCGTIOC	ICDS	—	—	BINV	AINV	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタートビット	0: カウント停止 1: カウント動作	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	AINV	GTIOCnA 入出力端子極性反転制御ビット	0: 反転しない 1: 反転する	R/W
b5	BINV	GTIOCnB 入出力端子極性反転制御ビット	0: 反転しない 1: 反転する	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ICDS	カウント停止時インプットキャプチャ動作選択ビット	0: カウント停止時にインプットキャプチャ動作する 1: カウント停止時にインプットキャプチャ動作しない	R/W
b9	SCGTIOC	GTIOC入力要因同期クリア許可ビット	0: GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用禁止 1: GTIOC入力を要因とするクリアを他チャネルのクリア要因に使用許可	R/W
b11-b10	SSCGRP[1:0]	同期セット/クリアグループ選択ビット	b11 b10 0 0: 同期セット/クリアグループAを選択 0 1: 同期セット/クリアグループBを選択 1 0: 同期セット/クリアグループCを選択 1 1: 同期セット/クリアグループDを選択	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	SSCEN	同期セット/リセット許可ビット	0: GTCNTカウンタの同期セット/同期クリアを禁止 1: GTCNTカウンタの同期セット/同期クリアを許可	R/W
b18-b16	MD[2:0]	モード選択ビット	b18 b16 0 0 0: のこぎり波PWMモード(シングル/ダブルバッファ可能) 0 0 1: のこぎり波ワンショットパルスモード(バッファ動作固定) 0 1 0: 設定しないでください 0 1 1: 設定しないでください 1 0 0: 三角波PWMモード1(谷32ビット転送)(シングル/ダブルバッファ可能) 1 0 1: 三角波PWMモード2(山/谷32ビット転送)(シングル/ダブルバッファ可能) 1 1 0: 三角波PWMモード3(谷64ビット転送)(バッファ動作固定) 1 1 1: 設定しないでください	R/W
b22-b19	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b26-b23	TPCS[3:0]	タイマプリスケラ選択ビット	b26 b23 0 0 0 0 : PCLKB 0 0 0 1 : PCLKB/2 0 0 1 0 : PCLKB/4 0 0 1 1 : PCLKB/8 0 1 0 0 : PCLKB/16 0 1 0 1 : PCLKB/32 0 1 1 0 : PCLKB/64 0 1 1 1 : 設定しないでください 1 0 0 0 : PCLKB/256 1 0 0 1 : 設定しないでください 1 0 1 0 : PCLKB/1024 1 0 1 1 : 設定しないでください 1 1 0 0 : GTETRGA (POEG 経由) 1 1 0 1 : 設定しないでください 1 1 1 0 : 設定しないでください 1 1 1 1 : 設定しないでください	R/W
b31-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット (カウントスタートビット)

GTCNT カウンタの動作 / 停止を制御します。

[“1” になる条件]

- GTSSR.CSTRT ビットが“1”の状態、GTSTR レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTSSR レジスタでカウントスタート要因として許可された外部トリガもしくは GTIOCnA、GTIOCnB 端子入力 (n = 0 ~ 2) 条件が発生したとき
- ソフトウェアで直接“1”を書いたとき

[“0” になる条件]

- GTPSR.CSTOP ビットが“1”の状態、GTSTP レジスタのチャンネル番号に対応するビットに“1”を書いたとき
- GTPSR レジスタでカウントストップ要因として許可された外部トリガもしくは GTIOCnA、GTIOCnB 端子入力条件が発生したとき
- ソフトウェアで直接“0”を書いたとき

AINV ビット (GTIOCnA 入出力端子極性反転制御ビット)

GTIOCnA 入出力端子の反転制御を選択します。

BINV ビット (GTIOCnB 入出力端子極性反転制御ビット)

GTIOCnB 入出力端子の反転制御を選択します。

ICDS ビット (カウント停止時インプットキャプチャ動作選択ビット)

インプットキャプチャ機能を選択している場合のカウント停止時のインプットキャプチャ動作を選択します。

SCGTIOC ビット (GTIOC 入力要因同期クリア許可ビット)

GTCSR レジスタで選択された GTIOCnA/GTIOCnB 端子を要因とする他チャンネルのクリア要因として使用することの許可 / 禁止を選択します。

SSCGRP[1:0] ビット (同期セット/クリアグループ選択ビット)

同期セット/クリアを行うチャネルのグループを選択します。

SSCEN ビット (同期セット/リセット許可ビット)

同期セット/クリアの許可/禁止を選択します。

MD[2:0] ビット (モード選択ビット)

GPTW の動作モードを選択します。

インプットキャプチャ時は、MD[2] ビットだけが有効です。MD[2] ビットが、“0” の場合はのこぎり波のカウントを行い、“1” の場合は三角波のカウントを行います。

MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

TPCS[3:0] ビット (タイマプリスケアラ選択ビット)

GTCNT カウンタのクロックを選択します。各チャネル独立にクロックソースを選択することができます。

TPCS[3:0] ビットの設定は、GTCNT カウンタの動作が停止した状態で行ってください。

21.2.11 汎用 PWM タイマカウント方向、デューティ設定レジスタ (GTUDDTYC)

アドレス GPTW0.GTUDDTYC 0009 6030h, GPTW1.GTUDDTYC 0009 6130h, GPTW2.GTUDDTYC 0009 6230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	OABDT YT	OBDTY R	OBDTY F	OBDTY[1:0]	—	—	—	—	OADTY R	OADTY F	OADTY[1:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定ビット	0 : GTCNTカウンタはダウンカウント 1 : GTCNTカウンタはアップカウント	R/W
b1	UDF	カウント方向強制設定ビット	0 : カウント方向を強制設定しない 1 : カウント方向を強制設定する	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	OADTY[1:0]	GTIOCnA端子出力デューティ設定ビット	b17 b16 0 x : コンペアマッチでGTIOCnA端子出力のデューティが決まる 1 0 : GTIOCnA端子出力のデューティ 0% 1 1 : GTIOCnA端子出力のデューティ 100%	R/W
b18	OADTYF	GTIOCnA端子出力デューティ強制設定ビット	0 : GTIOCnA端子出力デューティを強制設定しない 1 : GTIOCnA端子出力デューティを強制設定する	R/W
b19	OADTYR	GTIOCnA端子出力0%/100%デューティ設定解除後出力	0 : 0%/100%デューティ設定解除後にデューティ設定されていた出力値に対してGTIOA[3:2]ビットの機能を適用する 1 : 0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOA[3:2]ビットの機能を適用する	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	OBDTY[1:0]	GTIOCnB端子出力デューティ設定ビット	b25 b24 0 x : コンペアマッチでGTIOCnB端子出力のデューティが決まる 1 0 : GTIOCnB端子出力のデューティ 0% 1 1 : GTIOCnB端子出力のデューティ 100%	R/W
b26	OBDTYF	GTIOCnB端子出力デューティ強制設定ビット	0 : GTIOCnB端子出力デューティを強制設定しない 1 : GTIOCnB端子出力デューティを強制設定する	R/W
b27	OBDTYR	GTIOCnB端子出力0%/100%デューティ設定解除後出力	0 : 0%/100%デューティ設定解除後にデューティ設定されていた出力値に対してGTIOB[3:2]ビットの機能を適用する 1 : 0%/100%デューティ設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOB[3:2]ビットの機能を適用する	R/W
b28	OABDTYT	GTIOCnA、B端子出力0%/100%デューティ設定反映タイミング設定ビット	0 : 谷で設定反映 1 : 谷、山で設定反映 三角波モード以外で、“1”の設定は禁止です。	R/W
b31-b29	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 2

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向 (アップカウント / ダウンカウント) を設定、GTIOCnA、GTIOCnB 端子出力のデューティ設定を行うレジスタです。

(1) カウント方向設定

• のこぎり波の場合

アップカウント動作中に UD ビットを “0” にした場合、オーバフロー (GTCNT カウンタ値が GTPR レジスタ状態でのカウントクロック) 時にカウント方向が切り替わります。

ダウンカウント動作中に UD ビットを “1” にした場合、アンダフロー (GTCNT カウンタ値が “0000 0000h” 状態でのカウントクロック) 時にカウント方向が切り替わります。

カウントストップ中に UDF ビットが “0” の状態で UD ビットを “1” から “0” に変更した場合、最初のカウント動作はアップカウントとなり、オーバフロー (GTCNT カウンタ値が GTPR レジスタ状態でのカウントクロック) 時にカウント方向が切り替わります。

カウントストップ中に UDF ビットが “0” の状態で UD ビットを “0” から “1” に変更した場合、最初のカウント動作はダウンカウントとなり、アンダフロー (GTCNT カウンタ値が “0000 0000h” 状態でのカウントクロック) 時にカウント方向が切り替わります。

カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウントスタート時のカウント方向に反映されます。

• 三角波の場合

カウント中に UD ビット値を変化させてもカウント方向には反映されません。

カウントストップ中に UDF ビットが “0” の状態で UD ビットの値を変化させても、カウントスタート後のカウント方向には反映されません。

カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビットの値がカウントスタート時のカウント方向に反映されます。

UD ビット (カウント方向設定ビット)

GTCNT カウンタのカウント方向 (アップ / ダウン) を設定します。

UDF ビット (カウント方向強制設定ビット)

GTCNT カウンタのスタート時のカウント方向を強制的に UD ビットの値に設定します。

カウント中の書き込みは “0” としてください。

カウントストップ中に “1” を書いた場合、カウントスタートまでに “0” に戻してください。

(2) 出力デューティ設定

• のこぎり波の場合

アップカウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、オーバフロー時に変更したデューティ設定が反映されます。

ダウンカウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “0” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アップカウントの場合はオーバフロー時に、ダウンカウントの場合はアンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “1” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

• 三角波の場合

カウント動作中に OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、アンダフロー時に変更したデューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “0” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作には変更したデューティ設定は反映されず、アンダフロー時に変更した

デューティ設定が反映されます。

カウントストップ中に OADTYF/OBDTYF ビットが “1” の状態で、OADTY[1:0]/OBDTY[1:0] ビットを変更した場合、最初のカウント動作に変更したデューティ設定が反映されます。

のこぎり波の場合でも三角波の場合でも、カウントストップ中に OADTYF/OBDTYF ビットを “1” にして、カウントスタート後の最初の周期のデューティを OADTY[1:0]/OBDTY[1:0] ビットで設定すると、OADTYF/OBDTYF ビットを “0” にして、OADTY[1:0]/OBDTY[1:0] ビットを再設定しても、カウントスタートすると最初の周期と次の周期のデューティはカウントストップ中に設定した OADTY[1:0]/OBDTY[1:0] ビットのデューティ設定となります。

OmDTY[1:0] ビット (GTIOCnm 端子出力デューティ設定ビット) (n = 0 ~ 2, m = A, B)

GTIOCnm 端子からの出力のデューティ (0%/100%/ コンペアマッチによる制御) を設定します。

OmDTYF ビット (GTIOCnm 端子出力デューティ強制設定ビット) (n = 0 ~ 2, m = A, B)

GTCNT カウンタ動作開始時のデューティを強制的に OmDTY[1:0] ビットに設定します。

カウント動作中の書き込みは常に “0” としてください。

カウント動作停止中に “1” を書いた場合、カウントスタート後の最初の周期の終わりまでに “0” に戻して、次の周期の設定をしてください。

OmDTYR ビット (GTIOCnm 端子出力 0%/100% デューティ設定解除後出力ビット) (n = 0 ~ 2, m = A, B)

GTIOCnm 端子に対して 0%/100% デューティ設定からコンペアマッチによる制御に変更し、GTIOR.GTIOm[3:2] ビットが “00b” で周期の終わりで出力保持、または “11b” で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を選択します。

デューティ 0%/100% 設定の動作中、GPTW 内部ではコンペアマッチ動作は継続しています。OmDTYR ビットが “1” の場合、このコンペアマッチ動作による周期の終わりでの値を GTIOm[3:2] ビットの対象とします。

OABDTYT ビット (GTIOCnm 端子出力 0%/100% デューティ設定反映タイミング設定ビット) (n = 0 ~ 2, m = A, B)

三角波モードにおける GTIOCnm 端子に対する 0%/100% デューティ設定の反映タイミングを選択します。

OABDTYT ビットが “0” の場合、アンダフロー発生時に OADTY[1:0]/OBDTY[1:0] ビットに設定した出力デューティ設定が反映されます。

OABDTYT ビットが “1” の場合、アンダフロー発生時および三角波のトップで OADTY[1:0]/OBDTY[1:0] ビットに設定した出力デューティ設定が反映されます。

21.2.12 汎用 PWM タイマ I/O 制御レジスタ (GTIOR)

アドレス GPTW0.GTIOA 0009 6034h, GPTW1.GTIOA 0009 6134h, GPTW2.GTIOA 0009 6234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCBSB[1:0]	NFBEN	—	—	OBDF[1:0]	OBE	OBHLD	OBDFLT	—							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NFCSA[1:0]	NFAEN	PSYE	—	OADF[1:0]	OAE	OAHL	OADFLT	—							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA端子機能選択ビット	表21.4を参照してください。	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	OADFLT	GTIOCA端子カウントストップ時の出力値ビット	0: カウントストップ時にGTIOCA端子からLowを出力 1: カウントストップ時にGTIOCA端子からHighを出力	R/W
b7	OAHL	GTIOCA端子カウントスタート/ストップ時の出力保持ビット	0: カウントスタート/ストップ時のGTIOCA端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時にGTIOCA端子の出力レベルを保持する	R/W
b8	OAE	GTIOCA端子出力カインープルビット	0: 端子出力しない 1: 端子出力する	R/W
b10-b9	OADF[1:0]	GTIOCA端子ネゲート値設定ビット	b10 b9 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時にGTIOCA端子を“Hi-Z”にする 1 0: 出力ネゲート制御時にGTIOCA端子を“Low”にする 1 1: 出力ネゲート制御時にGTIOCA端子を“High”にする	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	PSYE	PWM周期同期出力許可ビット (注1)	0: GTCPP00出力端子からの出力を禁止 1: GTCPP00出力端子からの出力を許可	R/W
b13	NFAEN	GTIOCA端子入力ノイズフィルタインープルビット	0: GTIOCA端子入力のノイズフィルタを禁止 1: GTIOCA端子入力のノイズフィルタを許可	R/W
b15-b14	NFCSA[1:0]	GTIOCA端子入力ノイズフィルタサンプリングクロック選択ビット	b15 b14 0 0: PCLKB 0 1: PCLKB/4 1 0: PCLKB/16 1 1: PCLKB/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB端子機能選択ビット	表21.4を参照してください。	R/W
b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b22	OBDFLT	GTIOCB端子カウントストップ時の出力値ビット	0: カウントストップ時にGTIOCB端子からLowを出力 1: カウントストップ時にGTIOCB端子からHighを出力	R/W
b23	OBHL	GTIOCB端子カウントスタート/ストップ時の出力保持ビット	0: カウントスタート/ストップ時のGTIOCB端子の出力レベルは、レジスタ設定値に従う 1: カウントスタート/ストップ時にGTIOCB端子の出力レベルを保持する	R/W
b24	OBE	GTIOCB端子出力カインープルビット	0: 端子出力しない 1: 端子出力する	R/W
b26-b25	OBDF[1:0]	GTIOCB端子ネゲート値設定ビット	b26 b25 0 0: 下記要因を設定しない 0 1: 出力ネゲート制御時にGTIOCB端子を“Hi-Z”にする 1 0: 出力ネゲート制御時にGTIOCB端子を“Low”にする 1 1: 出力ネゲート制御時にGTIOCB端子を“High”にする	R/W
b28-b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b29	NFBEN	GTIOCnB 端子入力ノイズフィルタイネーブルビット	0 : GTIOCnB 端子入力のノイズフィルタを禁止 1 : GTIOCnB 端子入力のノイズフィルタを許可	R/W
b31-b30	NFC SB[1:0]	GTIOCnB 端子入力ノイズフィルタサンプリングクロック選択ビット	b31 b30 0 0 : PCLKB 0 1 : PCLKB/4 1 0 : PCLKB/16 1 1 : PCLKB/64	R/W

n = 0 ~ 2

注1. PWM 周期同期出力は GPTW0 のみ存在します。GPTW1、GPTW2 は予約ビットです。予約ビットは読むと "0" が読めます。書く場合、"0" としてください。

GTIOR レジスタは、GTIOCnA、GTIOCnB、および GTCPP00 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット (GTIOCnA 端子機能選択ビット) (n = 0 ~ 2)

GTIOCnA 端子の機能を選択します。詳細は、表 21.4 を参照してください。

OADFLT ビット (GTIOCnA 端子カウントストップ時の出力値ビット) (n = 0 ~ 2)

カウントストップ時に、GTIOCnA 端子から Low を出力するか、High を出力するかを設定します。

OAHLDBIT ビット (GTIOCnA 端子カウントスタート / ストップ時の出力保持ビット) (n = 0 ~ 2)

カウントスタート / ストップ時に、GTIOCnA 端子の出力レベルを保持するか、レジスタ設定に従うかを設定します。

[OAHLDBIT ビットを "0" にした場合]

- カウントスタート時に、GTIOA[4:0] ビットのビット 4 で指定した値を出力する。
- カウントストップ時に、OADFLT ビットで指定した値を出力する。
- カウントストップ中に、OADFLT ビットの値を変更した場合は、ただちに出力に反映されます。

[OAHLDBIT ビットを "1" にした場合]

- カウントスタート / ストップ時に、出力を保持します。

OAE ビット (GTIOCnA 端子出力イネーブルビット) (n = 0 ~ 2)

GTIOCnA 端子出力をする / しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合 (GTICASR レジスタの少なくともひとつのビットが "1" の場合) は、OAE ビットの設定に関わらず GTIOCnA 端子出力を行いません。

OADF[1:0] ビット (GTIOCnA 端子ネゲート値設定ビット) (n = 0 ~ 2)

POEG からの出力停止要求によって GTIOCnA 端子から出力する値を選択します。

PSYE ビット (PWM 周期同期出力許可ビット)

三角波の山 / 谷 / GTCNT カウンタクリア、のこぎり波の周期の終わりでトグルする PWM 周期に同期した信号 GTCPP00 出力端子から出力の許可 / 禁止を設定します。

GTCPP00 出力端子の初期出力は Low、カウントスタートによって High になります。

NFAEN ビット (GTIOCnA 端子入力ノイズフィルタイネーブルビット) (n = 0 ~ 2)

GTIOCnA 端子の入力のノイズフィルタ機能の許可 / 禁止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCSA[1:0] ビット (GTIOcNA 端子入力ノイズフィルタサンプリングクロック選択ビット) (n = 0 ~ 2)

GTIOcNA 端子の入力に対するノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

GTIOB[4:0] ビット (GTIOcNB 端子機能選択ビット) (n = 0 ~ 2)

GTIOcNA 端子の機能を選択します。詳細は、表 21.4 を参照してください。

OBDFLT ビット (GTIOcNB 端子カウントストップ時の出力値ビット) (n = 0 ~ 2)

カウントストップ時に、GTIOcNB 端子から Low を出力するか、High を出力するかを設定します。

OBHLD ビット (GTIOcNB 端子カウントスタート / ストップ時の出力保持ビット) (n = 0 ~ 2)

カウントスタート / ストップ時に、GTIOcNB 端子の出力レベルを保持するか、レジスタ設定に従うかを設定します。

[OBHLD ビットを “0” にした場合]

- カウントスタート時に、GTIOB[4:0] ビットのビット 4 で指定した値を出力する。
- カウントストップ時に、OBDFLT ビットで指定した値を出力する。
- カウントストップ中に、OBDFLT ビットの値を変更した場合は、ただちに出力に反映されます。

[OBHLD ビットを “1” にした場合]

- カウントスタート / ストップ時に、出力を保持します。

OBE ビット (GTIOcNB 端子出力イネーブルビット) (n = 0 ~ 2)

GTIOcNB 端子出力をする / しないを選択します。

GTCCRb レジスタをインプットキャプチャレジスタとして使用する場合 (GTICBSR レジスタの少なくともひとつのビットが “1” の場合) は、OBE ビットの設定に関わらず GTIOcNB 端子出力を行いません。

OBDF[1:0] ビット (GTIOcNB 端子ネゲート値設定ビット) (n = 0 ~ 2)

POEG からの出力停止要求によって GTIOcNB 端子から出力する値を選択します。

NFBEN ビット (GTIOcNB 端子入力ノイズフィルタイネーブルビット) (n = 0 ~ 2)

GTIOcNB 端子の入力のノイズフィルタ機能の許可 / 禁止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定した状態で本ビットを切り替えてください。

NFCsB[1:0] ビット (GTIOcNB 端子入力ノイズフィルタサンプリングクロック選択ビット) (n = 0 ~ 2)

GTIOcNB 端子の入力に対するノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の 2 周期分待った後インプットキャプチャ機能に設定してください。

表21.4 GTIOA[4:0] (GTIOB[4:0]) ビットの設定 (のこぎり波、三角波の場合) (1/2)

GTIOA[4:0] (GTIOB[4:0]) ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力Low	周期の終わりで出力保持	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力
0	1	1	0	0	初期出力Low	周期の終わりでトグル出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力
1	0	0	0	0	初期出力High	周期の終わりで出力保持	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力

表21.4 GTIOA[4:0] (GTIOB[4:0]) ビットの設定 (のこぎり波、三角波の場合) (2/2)

GTIOA[4:0] (GTIOB[4:0]) ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチで トグル出力
1	1	1	0	0		周期の終わりで トグル出力	GTCCRA/GTCCRB レジスタのコンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB レジスタのコンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB レジスタのコンペアマッチで トグル出力

注. 周期の終わりとは、のこぎり波のときはオーバフロー (アップカウント時に GTCNT カウンタ値が GTPR レジスタ値から "0" になる)、アンダフロー (ダウンカウント時に GTCNT カウンタ値が "0" から GTPR レジスタ値になる)、GTCNT カウンタクリアを、三角波のときは谷 (GTCNT カウンタ値が "0" から "1" になる) を示します。

注. コンペアマッチ動作時、周期の終わりと GTCCRA/GTCCRB レジスタのコンペアマッチのタイミングが一致する場合、のこぎり波 PWM モードでは、b3-b2 の設定が優先され、それ以外のモードでは b1-b0 の設定が優先されます。

21.2.13 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)

アドレス GPTW0.GTINTAD 0009 6038h, GPTW1.GTINTAD 0009 6138h, GPTW2.GTINTAD 0009 6238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPAB L	GRPAB H	GRPDT E	—	—	—	—	—	—	—	—	ADTRB DEN	ADTRB UEN	ADTRA DEN	ADTRA UEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCFPU	SCFPO	SCFF	SCFE	SCFD	SCFC	SCFB	SCFA	GTINTPR[1:0]	GTINT F	GTINT E	GTINT D	GTINT C	GTINT B	GTINT A	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GTINTA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b1	GTINTB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b2	GTINTC	GTCCRCレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b3	GTINTD	GTCCRDレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b4	GTINTE	GTCCREレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b5	GTINTF	GTCCRFレジスタコンペアマッチ割り込み許可ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b7-b6	GTINTPR[1:0]	GTCCRレジスタコンペアマッチ割り込み許可ビット	b7 b6 0 0: 割り込み要求を禁止 0 1: のこぎり波のときにオーバフロー、三角波のときに(山)で割り込み要求を許可 1 0: のこぎり波のときにアンダフロー、三角波のときに(谷)で割り込み要求を許可 1 1: のこぎり波のときにオーバフロー/アンダフロー両方、三角波のときに(山/谷)両方で割り込み要求を許可	R/W
b8	SCFA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ要因同期クリア許可ビット	0: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用禁止 1: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用許可	R/W
b9	SCFB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ要因同時クリア許可ビット	0: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用禁止 1: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのクリア要因に使用許可	R/W
b10	SCFC	GTCCRCレジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCRCレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCRCレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b11	SCFD	GTCCRDレジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCRDレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCRDレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b12	SCFE	GTCCREレジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCREレジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCREレジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b13	SCFF	GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット	0: GTCCRF レジスタコンペアマッチを他チャネルのクリア要因に使用禁止 1: GTCCRF レジスタコンペアマッチを他チャネルのクリア要因に使用許可	R/W
b14	SCFPO	オーバフロー要因同時クリア許可ビット	0: オーバフローを他チャネルのクリア要因に使用禁止 1: オーバフローを他チャネルのクリア要因に使用許可	R/W
b15	SCFPU	アンダフロー要因同時クリア許可ビット	0: アンダフローを他チャネルのクリア要因に使用禁止 1: アンダフローを他チャネルのクリア要因に使用許可	R/W
b16	ADTRAUEN	GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット	0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
b17	ADTRADEN	GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット	0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
b18	ADTRBUEN	GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット	0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
b19	ADTRBDEN	GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット	0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
b27-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	GRPDTE	デッドタイムエラー出力停止検出許可ビット	0: デッドタイムエラー出力停止検出を禁止 1: デッドタイムエラー出力停止検出を許可	R/W
b29	GRPABH	同時 High 出力停止検出許可ビット	0: 同時 High 出力停止検出を禁止 1: 同時 High 出力停止検出を許可	R/W
b30	GRPABL	同時 Low 出力停止検出許可ビット	0: 同時 Low 出力停止検出を禁止 1: 同時 Low 出力停止検出を許可	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力停止検出の許可 / 禁止を設定するレジスタです。

GTINTA ビット (GTCCRA レジスタコンペアマッチ / インพุットキャプチャ要因同期クリア許可ビット)

GTCCRA レジスタのコンペアマッチ / インพุットキャプチャによる割り込み要求 (GTCIA) を許可 / 禁止します。

GTINTB ビット (GTCCRB レジスタコンペアマッチ / インพุットキャプチャ要因同時クリア許可ビット)

GTCCRB レジスタのコンペアマッチ / インพุットキャプチャによる割り込み要求 (GTCIB) を許可 / 禁止します。

GTINTC ビット (GTCCRC レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRC レジスタのコンペアマッチによる割り込み要求 (GTCIC) を許可 / 禁止します。

GTINTD ビット (GTCCRD レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRD レジスタのコンペアマッチによる割り込み要求 (GTCID) を許可 / 禁止します。

GTINTE ビット (GTCCRE レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRE レジスタのコンペアマッチによる割り込み要求 (GTCIE) を許可 / 禁止します。

GTINTF ビット (GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRF レジスタのコンペアマッチによる割り込み要求 (GTCIF) を許可 / 禁止します。

GTINTPR[1:0] ビット (GTPR レジスタコンペアマッチ割り込み許可ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー)/GTCNT カウンタのアンダフローによる割り込み要求 (GTCIV/GTCIU) を許可 / 禁止します。

SCFA ビット (GTCCRA レジスタコンペアマッチ / インพุットキャプチャ要因同期クリア許可ビット)

GTCCRA レジスタのコンペアマッチ / インพุットキャプチャを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFB ビット (GTCCRB レジスタコンペアマッチ / インพุットキャプチャ要因同時クリア許可ビット)

GTCCRB レジスタのコンペアマッチ / インพุットキャプチャを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFC ビット (GTCCRC レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRC レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFD ビット (GTCCRD レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRD レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFE ビット (GTCCRE レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRE レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFF ビット (GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット)

GTCCRF レジスタのコンペアマッチを他チャネルの同期クリア要因とするかを許可 / 禁止を選択します。

SCFPO ビット (オーバフロー要因同時クリア許可ビット)

オーバフローを他チャネルの同期クリア要因とすることを許可 / 禁止を選択します。

SCFPU ビット (アンダフロー要因同時クリア許可ビット)

アンダフローを他チャネルの同期クリア要因とすることを許可 / 禁止を選択します。

ADTRAUEN ビット (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRADEN ビット (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRBUEN ビット (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

ADTRBDEN ビット (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求許可ビット)

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を、許可 / 禁止します。

GRPDTE ビット (デッドタイムエラー出力停止検出許可ビット)

デッドタイムエラーによる出力停止検出を許可 / 禁止します。

GRPABH ビット (同時 High 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に High になったときの出力停止検出を許可 / 禁止します。

GRPABL ビット (同時 Low 出力停止検出許可ビット)

GTIOCnA 端子と GTIOCnB 端子が同時に Low になったときの出力停止検出を許可 / 禁止します。

21.2.14 汎用 PWM タイマステータスレジスタ (GTST)

アドレス GPTW0.GTST 0009 603Ch, GPTW1.GTST 0009 613Ch, GPTW2.GTST 0009 623Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRB DF	ADTRB UF	ADTRA DF	ADTRA UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	ITCNT[2:0]	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	コンペアマッチ/インプットキャプチャフラグA	0: GTCCRAレジスタコンペアマッチ/インプットキャプチャの発生なし 1: GTCCRAレジスタコンペアマッチ/インプットキャプチャの発生あり	R/(W) (注1)
b1	TCFB	コンペアマッチ/インプットキャプチャフラグB	0: GTCCRBレジスタコンペアマッチ/インプットキャプチャの発生なし 1: GTCCRBレジスタコンペアマッチ/インプットキャプチャの発生あり	R/(W) (注1)
b2	TCFC	コンペアマッチフラグC	0: GTCCRCレジスタコンペアマッチの発生なし 1: GTCCRCレジスタコンペアマッチの発生あり	R/(W) (注1)
b3	TCFD	コンペアマッチフラグD	0: GTCCRDレジスタコンペアマッチの発生なし 1: GTCCRDレジスタコンペアマッチの発生あり	R/(W) (注1)
b4	TCFE	コンペアマッチフラグE	0: GTCCREレジスタコンペアマッチの発生なし 1: GTCCREレジスタコンペアマッチの発生あり	R/(W) (注1)
b5	TCFF	コンペアマッチフラグF	0: GTCCRFレジスタコンペアマッチの発生なし 1: GTCCRFレジスタコンペアマッチの発生あり	R/(W) (注1)
b6	TCFPO	オーバフローフラグ	0: オーバフロー、または(山)の発生なし 1: オーバフロー、または(山)の発生あり	R/(W) (注1)
b7	TCFPU	アンダフローフラグ	0: アンダフロー、または(谷)の発生なし 1: アンダフロー、または(谷)の発生あり	R/(W) (注1)
b10-b8	ITCNT[2:0]	GTCIV/GTCIU 割り込み間引き回数カウンタ	タイマ割り込み間引き回数カウンタ	R
b14-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	TUCF	カウント方向フラグ	0: GTCNTカウンタはダウンカウント 1: GTCNTカウンタはアップカウント	R
b16	ADTRAUF	GTADTRAレジスタコンペアマッチ(アップカウント) A/D変換開始要求フラグ	0: アップカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1: アップカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b17	ADTRADF	GTADTRAレジスタコンペアマッチ(ダウンカウント) A/D変換開始要求フラグ	0: ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生なし 1: ダウンカウントでのGTADTRAレジスタのコンペアマッチの発生あり	R/(W) (注1)
b18	ADTRBUF	GTADTRBレジスタコンペアマッチ(アップカウント) A/D変換開始要求フラグ	0: アップカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1: アップカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b19	ADTRBDF	GTADTRBレジスタコンペアマッチ(ダウンカウント) A/D変換開始要求フラグ	0: ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生なし 1: ダウンカウントでのGTADTRBレジスタのコンペアマッチの発生あり	R/(W) (注1)
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b24	ODF	出力停止要求フラグ	0 : 出力停止要求なし 1 : 出力停止要求あり	R
b27-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b28	DTEF	デッドタイムエラーフラグ	0 : デッドタイムエラーの発生なし 1 : デッドタイムエラーの発生あり	R
b29	OABHF	同時High出力フラグ	0 : GTIOCnA端子とGTIOCnB端子の同時“1”発生なし 1 : GTIOCnA端子とGTIOCnB端子の同時“1”発生あり	R
b30	OABLF	同時Low出力フラグ	0 : GTIOCnA端子とGTIOCnB端子の同時“0”発生なし 1 : GTIOCnA端子とGTIOCnB端子の同時“0”発生あり	R
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

n = 0 ~ 2

注1. フラグをクリアするための“0”書き込みのみ可能です。ADTRAUF、ADTRADF、ADTRBUFフラグまたはADTRBDFフラグをクリアする場合は、クリアしたいフラグにのみ“0”を、クリアしたくないフラグには“1”を書き込んでください。

GTST レジスタは、GPTW の状態を示します。

TCFA フラグ (コンペアマッチ/インプットキャプチャフラグ A)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャの発生を示すステータスフラグです。

["1"になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT = GTCCRA になったとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

["0"になる条件]

- TCFA フラグに“0”を書いたとき

TCFB フラグ (コンペアマッチ/インプットキャプチャフラグ B)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャの発生を示すステータスフラグです。

["1"になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT = GTCCRB になったとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

["0"になる条件]

- TCFB フラグに“0”を書いたとき

TCFC フラグ (コンペアマッチフラグ C)

GTCCRC レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRC レジスタがバッファ動作のときは、コンペアマッチを行いません。

["1"になる条件]

- GTCNT = GTCCRC になったとき

["0"になる条件]

- TCFC フラグに“0”を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)

- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

TCFD フラグ (コンペアマッチフラグ D)

GTCCRD レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRD レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT = GTCCRD になったとき

[“0”になる条件]

- TCFD フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

TCFE フラグ (コンペアマッチフラグ E)

GTCCRE レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRE レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT = GTCCRE になったとき

[“0”になる条件]

- TCFE フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b, 10b, 11b (GTCCRE レジスタがバッファ動作)

TCFF フラグ (コンペアマッチフラグ F)

GTCCRF レジスタのコンペアマッチの発生を示すステータスフラグです。

GTCCRF レジスタがバッファ動作のときは、コンペアマッチを行いません。

[“1”になる条件]

- GTCNT = GTCCRF になったとき

[“0”になる条件]

- TCFF フラグに “0” を書いたとき

[コンペアを行わない条件]

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b, 11b (GTCCRF レジスタがバッファ動作)

TCFPO フラグ (オーバーフローフラグ)

オーバーフロー、または山の発生を示すフラグです。

[“1”になる条件]

- のこぎり波の場合、オーバーフロー(アップカウント動作中に GTCNT カウンタが GTPR レジスタの値から “0” になる)が発生

- 三角波の場合、山 (GTCNT カウンタが GTPR レジスタの値から GTPR レジスタ -1 になる) が発生
- ハードウェア要因にカウント動作の場合、オーバフロー(アップカウント動作によって GTCNT カウンタが GTPR レジスタの値から “0” になる) が発生

[“0” になる条件]

- TCFPO フラグに “0” を書いたとき

TCFPU フラグ (アンダフローフラグ)

アンダフロー、または谷の発生を示すフラグです。

[“1” になる条件]

- のこぎり波の場合、アンダフロー(ダウンカウント動作中に GTCNT カウンタが “0” から GTPR レジスタの値になる) が発生
- 三角波の場合、山 (GTCNT カウンタが “0” から “1” になる) が発生
- ハードウェア要因にカウント動作の場合、アンダフロー(ダウンカウント動作によって GTCNT カウンタが “0” から GTPR レジスタの値になる) が発生

[“0” になる条件]

- TCFPU フラグに “0” を書いたとき

ITCNT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数カウンタ)

GTCIV/GTCIU 割り込み間引き機能を使用時 (GTITC.IVTC[1:0] ビットを “00b” 以外に設定時)、IVTC[1:0] ビットで選択された GTCIV/GTCIU 割り込み要因が発生するごとに 1 カウントアップします。

GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

[“0” になる条件]

- GTCIV/GTCIU 割り込み間引き機能を未使用時 (IVTC[1:0] ビットが “00b” のとき、GTITC.IVTT[2:0] ビットが “000b” のとき)
- GTCIV/GTCIU 割り込み間引き回数が一致したとき (IVTT[2:0] ビットで設定した間引き回数と ITCNT[2:0] ビット値が一致したとき)
- カウント動作停止中

TUCF フラグ (カウント方向フラグ)

GTCNT カウンタのカウント方向を示すフラグです。

ADTRAUF フラグ (GTADTRA レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- アップカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

[“0” になる条件]

- ADTRAUF フラグに “0” を書いたとき

ADTRADF フラグ (GTADTRA レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRA レジスタのコンペアマッチの発生を示すステータスフラグです。

[“1” になる条件]

- ダウンカウントで GTCNT カウンタ = GTADTRA レジスタになったとき

[“0” になる条件]

- ADTRADF フラグに “0” を書いたとき

ADTRBUF フラグ (GTADTRB レジスタコンペアマッチ (アップカウント) A/D 変換開始要求フラグ)

アップカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- アップカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

["0" になる条件]

- ADTRBUF フラグに "0" を書いたとき

ADTRBDF フラグ (GTADTRB レジスタコンペアマッチ (ダウンカウント) A/D 変換開始要求フラグ)

ダウンカウントでの GTADTRB レジスタのコンペアマッチの発生を示すステータスフラグです。

["1" になる条件]

- ダウンカウントで GTCNT カウンタ = GTADTRB レジスタになったとき

["0" になる条件]

- ADTRBDF フラグに "0" を書いたとき

ODF フラグ (出力停止要求フラグ)

POEG からの出力停止要求をモニタします。

出力停止要求が行われた後に要求が解除されても、PWM 端子のネゲート制御の解除は、PWM 周期の終わりまで待たされます。

DTEF フラグ (デッドタイムエラーフラグ)

デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたことを示すフラグです。

デッドタイム自動設定後の波形変化ポイントが、カウント周期内に戻ると "0" に戻ります。

DTEF フラグは読み出しのみ可能です。("0" 書き込みによって "0" にすることはできません)

DTEF フラグによる割り込み、および出力停止検出を許可している (GTINTAD.GRPDTE ビット = 1) 場合、DTEF フラグを POEG に出力停止検出として出力し、DTEF フラグが "0" から "1" に変化するたびに GDTE 割り込みが発生します。

["1" になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期を超えたとき (以下の場合)
三角波でアップカウントの場合: $GTCRA \text{ レジスタ} - GTDVU \text{ レジスタ} \leq 0$ のとき
三角波でダウンカウントの場合: $GTCRA \text{ レジスタ} - GTDVD \text{ レジスタ} < 0$ のとき
のこぎり波ワンショットパルスモードでアップカウントの場合:
 $GTCRA \text{ レジスタ} - GTDVU \text{ レジスタ} < 0$ または $GTCRA \text{ レジスタ} + GTDVD \text{ レジスタ} > GTPR \text{ レジスタ}$ のとき
のこぎり波ワンショットパルスモードでダウンカウントの場合:
 $GTCRA \text{ レジスタ} + GTDVU \text{ レジスタ} > GTPR \text{ レジスタ}$ または $GTCRA \text{ レジスタ} - GTDVD \text{ レジスタ} < 0$ のとき

["0" になる条件]

- デッドタイム自動設定後の波形変化ポイントが、カウント周期内にあるとき

OABHF フラグ (同時 High 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に "1" を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が "0" になると "0" に戻ります。

OABHF フラグは読み出しのみ可能です。("0" 書き込みによって "0" にすることはできません)

OABHF フラグによる出力停止検出を許可している (GTINTAD.GRPABH ビット = 1) 場合、OABHF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 High 出力の割り込みはありません。割

り込みを行いたい場合は、POEG 側の割り込みを利用してください。

["1" になる条件]

- GTIOR.OAE ビットと GTIOR.OBE ビットの両方が“1”の状態、GTIOCnA 端子と GTIOCnB 端子が同時に“1”を出力しているとき

["0" になる条件]

- OAE ビットと OBE ビットの両方が“1”の状態、GTIOCnA 端子と GTIOCnB 端子が異なる値を出力しているとき
- OAE ビットと OBE ビットの両方が“1”の状態、GTIOCnA 端子と GTIOCnB 端子が同時に“0”を出力しているとき
- OAE ビットまたは OBE ビットの少なくとも一方が“0”のとき

OABLF フラグ (同時 Low 出力フラグ)

GTIOCnA 端子と GTIOCnB 端子が同時に“0”を出力していることを示すフラグです。

GTIOCnA 端子と GTIOCnB 端子のどちらか一方が“1”になると“0”に戻ります。

OABLF フラグは読み出しのみ可能です。(“0”書き込みによって“0”にすることはできません)

OABLF フラグによる出力停止検出を許可している (GTINTAD.GRPABL ビット = 1) 場合、OABLF フラグを POEG に出力停止検出として出力します。なお、GPTW での同時 Low 出力の割り込みはありません。割り込みを行いたい場合は、POEG 側の割り込みを利用してください。

["1" になる条件]

- OAE ビットと OBE ビットの両方が“1”の状態、GTIOCnA 端子と GTIOCnB 端子が同時に“0”を出力しているとき

["0" になる条件]

- OAE ビットと OBE ビットの両方が“1”の状態、GTIOCnA 端子と GTIOCnB 端子が異なる値を出力しているとき
- OAE ビットと OBE ビットの両方が“1”の状態、GTIOCnA 端子と GTIOCnB 端子が同時に“1”を出力しているとき
- OAE ビットまたは OBE ビットの少なくとも一方が“0”のとき

OABHF/OABLF フラグを生成するための出力値の比較は、コンペアマッチ出力 (PWM 出力) が、出力ネゲート機能によってマスクされる前の値です。出力ネゲート状態でも、内部ではコンペアマッチ動作は継続しており、その結果の値に従って OABHF/OABLF フラグは更新されます。

21.2.15 汎用 PWM タイマバッファイネーブルレジスタ (GTBER)

アドレス GPTW0.GTBER 0009 6040h, GPTW1.GTBER 0009 6140h, GPTW2.GTBER 0009 6240h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ADTDB	ADTTB[1:0]	—	ADTDA	ADTTA[1:0]	—	CCRS WT	PR[1:0]	CCRB[1:0]	CCRA[1:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DBRTS ADB	DBRTE ADB	DBRTS ADA	DBRTE ADA	DBRTS CB	DBRTE CB	DBRTS CA	DBRTE CA	—	—	—	—	BD[3]	BD[2]	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット	0 : バッファ動作許可 1 : バッファ動作禁止	R/W
b1	BD[1]	GTPR レジスタのバッファ動作禁止ビット		R/W
b2	BD[2]	GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット		R/W
b3	BD[3]	GTDVU/GTDVD レジスタのバッファ動作禁止ビット		R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	DBRTECA	GTCCRA レジスタのダブルバッファリピート動作許可ビット	0 : GTCCRA レジスタのダブルバッファリピート動作禁止 1 : GTCCRA レジスタのダブルバッファリピート動作許可	R/W
b9	DBRTSCA	GTCCRA レジスタのダブルバッファリピート動作期間選択ビット	0 : 谷を周期として、GTCCRA レジスタへの中間バッファからの転送を繰り返す 1 : 山を周期として、GTCCRA レジスタへの中間バッファからの転送を繰り返す	R/W
b10	DBRTECB	GTCCRB レジスタのダブルバッファリピート動作許可ビット	0 : GTCCRB レジスタのダブルバッファリピート動作禁止 1 : GTCCRB レジスタのダブルバッファリピート動作許可	R/W
b11	DBRTSCB	GTCCRB レジスタのダブルバッファリピート動作期間選択ビット	0 : 谷を周期として、GTCCRB レジスタへの中間バッファからの転送を繰り返す 1 : 山を周期として、GTCCRB レジスタへの中間バッファからの転送を繰り返す	R/W
b12	DBRTEADA	GTADTRA レジスタのダブルバッファリピート動作許可ビット	0 : GTADTRA レジスタのダブルバッファリピート動作禁止 1 : GTADTRA レジスタのダブルバッファリピート動作許可	R/W
b13	DBRTSADA	GTADTRA レジスタのダブルバッファリピート動作期間選択ビット	0 : 谷を周期として、GTADTRA レジスタへの中間バッファからの転送を繰り返す 1 : 山を周期として、GTADTRA レジスタへの中間バッファからの転送を繰り返す	R/W
b14	DBRTEADB	GTADTRB レジスタのダブルバッファリピート動作許可ビット	0 : GTADTRB レジスタのダブルバッファリピート動作禁止 1 : GTADTRB レジスタのダブルバッファリピート動作許可	R/W
b15	DBRTSADB	GTADTRB レジスタのダブルバッファリピート動作期間選択ビット	0 : 谷を周期として、GTADTRB レジスタへの中間バッファからの転送を繰り返す 1 : 山を周期として、GTADTRB レジスタへの中間バッファからの転送を繰り返す	R/W
b17-b16	CCRA[1:0]	GTCCRA レジスタのバッファ動作ビット	b17b16 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRA レジスタ⇔GTCCRC レジスタ) 1 x : ダブルバッファとして動作する (GTCCRA レジスタ⇔GTCCRC レジスタ⇔GTCCRD レジスタ)	R/W

ビット	シンボル	ビット名	機能	R/W
b19-b18	CCRB[1:0]	GTCCRB レジスタのバッファ動作ビット	b19b18 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTCCRB レジスタ⇒GTCCRE レジスタ) 1 x : ダブルバッファとして動作する (GTCCRB レジスタ⇒GTCCRE レジスタ⇒GTCCRF レジスタ)	R/W
b21-b20	PR[1:0]	GTPR レジスタのバッファ動作ビット	b21b20 0 0 : バッファ動作しない 0 1 : シングルバッファとして動作する (GTPBR レジスタ⇒GTPR レジスタ) 1 x : ダブルバッファとして動作する (GTPDBR レジスタ⇒GTPBR レジスタ⇒GTPR レジスタ)	R/W
b22	CCRSWT	GTCCRA/GTCCRB レジスタの強制バッファ動作ビット	“1”を書くときGTCCRA、GTCCRB レジスタのバッファ転送を強制的に行います。“1”を書いた後、自動的に“0”に戻ります。読むと“0”が読めます	R/W
b23	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25-b24	ADTTA[1:0]	GTADTRA レジスタのバッファ転送タイミング選択ビット	- 三角波の場合 b25b24 0 0 : 転送しない 0 1 : (山)で転送 1 0 : (谷)で転送 1 1 : (谷/山)両方で転送 - のこぎり波の場合 b25b24 0 0 : 転送しない 0 0 以外 : アンダフロー (ダウンカウント時)、オーバフロー (アップカウント時)、カウンタクリアで転送	R/W
b26	ADTDA	GTADTRA レジスタのダブルバッファ動作ビット	0 : シングルバッファとして動作する (GTADTBRA レジスタ⇒GTADTRA レジスタ) 1 : ダブルバッファとして動作する (GTADTBRA レジスタ⇒GTADTBRA レジスタ⇒GTADTRA レジスタ)	R/W
b27	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b29-b28	ADTTB[1:0]	GTADTRB レジスタのバッファ転送タイミング選択ビット	- 三角波の場合 b29b28 0 0 : 転送しない 0 1 : (山)で転送 1 0 : (谷)で転送 1 1 : (谷/山)両方で転送 - のこぎり波の場合 b29b28 0 0 : 転送しない 0 0 以外 : アンダフロー (ダウンカウント時)、オーバフロー (アップカウント時)、カウンタクリアで転送	R/W
b30	ADTDB	GTADTRB レジスタのダブルバッファ動作ビット	0 : シングルバッファとして動作する (GTADTBRA レジスタ⇒GTADTRB レジスタ) 1 : ダブルバッファとして動作する (GTADTBRA レジスタ⇒GTADTBRA レジスタ⇒GTADTRB レジスタ)	R/W
b31	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTBER レジスタは、バッファ動作の設定を行うレジスタです。

BD[3:0] ビットを除く GTBER レジスタの設定は、GTCNT カウンタが停止した状態で行ってください。

BD[0] ビット (GTCCRA/GTCCRB レジスタのバッファ動作禁止ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTCCRB レジスタは、のこぎり波ワンショットパルスモードまたは三角波では、GTDTCR.TDE ビットが“1”の場合、BD[0] ビット=0 に設定しても、バッファ動作せず、デッドタイム付き逆相波形用のコンペアマッチ値が自動設定されます。

GTSECR レジスタの SBDCE ビットまたは SBDCE ビットに“1”を書き込むことによって、GTSECSR レジスタで“1”となっているビット位置のチャンネルの BD[0] ビットに値を設定することができます。

DBRTECm (m = A, B) ビットが“1”の場合、のこぎり波ワンショットパルスモード、三角波 PWM モード 3、および三角波 PWM モード 2 のダブルバッファを使用すると、BD[0] = 1 に設定しても、中間バッファから GTCCRM レジスタへのバッファ動作を行います。

BD[1] ビット (GTPR レジスタのバッファ動作禁止ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECR レジスタの SBDPE ビットまたは SBDPD ビットに“1”を書き込むことによって、GTSECSR レジスタで“1”となっているビット位置のチャンネルの BD[1] ビットに値を設定することができます。

BD[2] ビット (GTADTRA/GTADTRB レジスタのバッファ動作禁止ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。

GTSECR レジスタの SBDAE ビットまたは SBDAD ビットに“1”を書き込むことによって、GTSECSR レジスタで“1”となっているビット位置のチャンネルの BD[2] ビットに値を設定することができます。

DBRTECm (m = A, B) ビットが“1”の場合、三角波を用い、GTADTRm レジスタをダブルバッファ動作させ、バッファ転送タイミングを谷 / 山両方 (GTBER.ADTTm[1:0] ビットが“11b”) にすると、BD[2] ビットを“1”にしても、中間バッファから GTADTRm レジスタへのバッファ動作を行います。

BD[3] ビット (GTDVU/GTDVD レジスタのバッファ動作禁止ビット)

のこぎり波 PWM モード、のこぎり波ワンショットパルスモード、三角波で、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。

GTDVD レジスタは、GTDTCR.TDFER ビットが“1”の場合、BD[3] ビット=0 に設定しても、バッファ動作せず、GTDVU レジスタの値が自動設定されます。

GTSECR レジスタの SBDDE ビットまたは SBDDE ビットに“1”を書き込むことによって、GTSECSR レジスタで“1”となっているビット位置のチャンネルの BD[3] ビットに値を設定することができます。

DBRTECm ビット (GTCCRM レジスタのダブルバッファリピート動作許可ビット) (m = A, B)

GTCCRM レジスタをダブルバッファ動作させる場合、バッファ転送禁止期間中に、中間バッファから GTCCRM レジスタへの転送を周期単位で繰り返す動作を許可します。

のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3、および GTCCRM レジスタをダブルバッファ (GTBER.CCRm[1] ビットが“1”) させる三角波 PWM モード 2 で有効です。

バッファ転送の禁止期間は、BD[0] ビットの設定 (CPU 書き込み、または GTSECSR レジスタによるバッファ動作同時制御) に対応します。

DBRTECm ビットが“1”の場合、GTCCRM レジスタに CPU 書き込みを行うと、テンポラリレジスタ x (x = C, E) にも同じ値が書きこまれます。また、強制バッファ転送によって、GTCCR_x (x = C, E) レジスタの値が、テンポラリレジスタ x (x = C, E) に転送されます。

DBRTSCm ビット (GTCCRM レジスタのダブルバッファリピート動作期間選択ビット) (m = A, B)

GTCCRM ダブルバッファリピート動作を許可した場合、リピート動作の対象となる期間を選択します。

三角波 PWM モード 2 の場合に有効です。

GTCNT カウンタのカウント動作中にバッファ転送の禁止 / 許可を変更する場合、DBRTSCm ビットで設定した周期期間と同じ時間を単位とする期間で変更してください。

DBRTEADm ビット (GTADTRm レジスタのダブルバッファリピート動作許可ビット) (m = A, B)

GTADTRm レジスタをダブルバッファ動作させる場合、バッファ転送が禁止された期間中に、中間バッファから GTADTRm レジスタへの転送を周期単位で繰り返す動作を許可します。

三角波を用い、GTADTRm レジスタをダブルバッファ動作 (GTBER.ADTDm ビットが“1”) させ、バッファ転送タイミングが谷 / 山両方 (GTBER.ADTTm[1:0] ビットが“11b”) の場合に有効です。

バッファ転送の禁止期間は、BD[2] ビットの設定 (CPU 書き込み、または GTSECSR レジスタによるバッファ動作制御) に対応します。

ADTDm ビットが“1” かつ DBRTEADm ビットが“1” の場合、GTADTRm レジスタに CPU 書き込みを行うと、テンポラリレジスタ ADm (m = A, B) にも同じ値が書き込まれます。

DBRTSADm ビット (GTADTRm レジスタのダブルバッファ動作期間選択ビット) (m = A, B)

GTADTRm ダブルバッファリピート動作を許可した場合、リピート動作の対象となる期間を選択します。

GTCNT カウンタのカウント動作中に、バッファ転送の禁止 / 許可を変更する場合、DBRTSADm ビットで設定した周期期間と同じ期間で変更してください。

CCRA[1:0] ビット (GTCCRA レジスタのバッファ動作ビット)

GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注1)

CCRB[1:0] ビット (GTCCRB レジスタのバッファ動作ビット)

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによりバッファ動作が制限される場合には、GTCR レジスタの設定が優先されます。(注1)

PR[1:0] ビット (GTPR レジスタのバッファ動作ビット)

GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット (GTCCRA/GTCCRB レジスタの強制バッファ動作ビット)

CCRSWT ビットに“1” を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。“1” を書いた後、自動的に“0”に戻ります。読むと“0”が読めます。

カウントストップ中かつコンペアマッチ動作設定時のみ有効です。

ADTTA[1:0] ビット (GTADTRA レジスタのバッファ転送タイミング選択ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

ADTDA ビット (GTADTRA レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

ADTTB[1:0] ビット (GTADTRB レジスタのバッファ転送タイミング選択ビット)

GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

ADTDB ビット (GTADTRB レジスタのダブルバッファ動作ビット)

GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

- 注 1. のこぎり波ワンショットパルスモード、三角波 PWM モード 3 (谷 64 ビット転送) の場合、バッファ動作は固定となります。

21.2.16 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ (GTITC)

アドレス GPTW0.GTITC 0009 6044h, GPTW1.GTITC 0009 6144h, GPTW2.GTITC 0009 6244h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADTBL	—	ADTAL	—	IVTT[2:0]		IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRC レジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRD レジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCRE レジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRF レジスタコンペアマッチ割り込み連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GTCIV/GTCIU 割り込み間引き機能選択ビット	b7 b6 0 0 : 間引きしない 0 1 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(山)をカウントして間引く 1 0 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷)をカウントして間引く 1 1 : のこぎり波のときにオーバフロー/アンダフロー両方を、三角波のときに(谷/山)両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GTCIV/GTCIU 割り込み間引き回数選択ビット	b10 b8 0 0 0 : 間引きしない 0 0 1 : 間引き回数 : 1回 0 1 0 : 間引き回数 : 2回 0 1 1 : 間引き回数 : 3回 1 0 0 : 間引き回数 : 4回 1 0 1 : 間引き回数 : 5回 1 1 0 : 間引き回数 : 6回 1 1 1 : 間引き回数 : 7回	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADTAL	GTADTRA レジスタ A/D 変換開始要求連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	ADTBL	GTADTRB レジスタ A/D 変換開始要求連動ビット	0 : GTCIV/GTCIU 割り込み間引き機能と連動しない 1 : GTCIV/GTCIU 割り込み間引き機能と連動する	R/W
b31-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTITC レジスタは、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) 割り込み (GTCIV)/ アンダフロー割り込み (GTCIU) の間引き機能の設定と他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動するかどうかを設定するレジスタです。ただし、POEG への出力

停止検出、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。なお、割り込み間引き機能を設定した場合、ステータスフラグの変化も間引かれます。

ITLA ビット (GTCCRA レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRA レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIA) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLB ビット (GTCCRB レジスタコンペアマッチ/インプットキャプチャ割り込み連動ビット)

GTCCRB レジスタのコンペアマッチ/インプットキャプチャ割り込み (GTCIB) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLC ビット (GTCCRC レジスタコンペアマッチ割り込み連動ビット)

GTCCRC レジスタのコンペアマッチ割り込み (GTCIC) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLD ビット (GTCCRD レジスタコンペアマッチ割り込み連動ビット)

GTCCRD レジスタのコンペアマッチ割り込み (GTCID) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLE ビット (GTCCRE レジスタコンペアマッチ割り込み連動ビット)

GTCCRE レジスタのコンペアマッチ割り込み (GTCIE) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ITLF ビット (GTCCRF レジスタコンペアマッチ割り込み連動ビット)

GTCCRF レジスタのコンペアマッチ割り込み (GTCIF) が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

IVTC[1:0] ビット (GTCIV/GTCIU 割り込み間引き機能選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) 割り込み (GTCIV)/GTCNT カウンタのアンダフロー割り込み (GTCIU) の間引き機能を選択します。

IVTT[2:0] ビット (GTCIV/GTCIU 割り込み間引き回数選択ビット)

GTPR レジスタのコンペアマッチ (GTCNT カウンタのオーバフロー) 割り込み (GTCIV)/GTCNT カウンタのアンダフロー割り込み (GTCIU) の間引き回数を選択します。

IVTT[2:0] ビットを変更する場合は、IVTC[1:0] ビットを“00b”にしてから行ってください。

ADTAL ビット (GTADTRA レジスタ A/D 変換開始要求連動ビット)

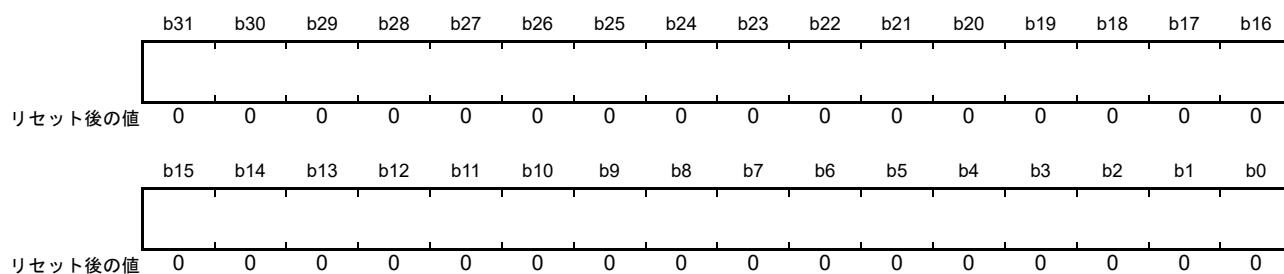
GTADTRA レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

ADTBL ビット (GTADTRB レジスタ A/D 変換開始要求連動ビット)

GTADTRB レジスタのコンペアマッチでの A/D 変換開始要求が、GTCIV/GTCIU 割り込み間引き機能と連動する / しないを設定します。

21.2.17 汎用 PWM タイマカウンタ (GTCNT)

アドレス GPTW0.GTCNT 0009 6048h, GPTW1.GTCNT 0009 6148h, GPTW2.GTCNT 0009 6248h

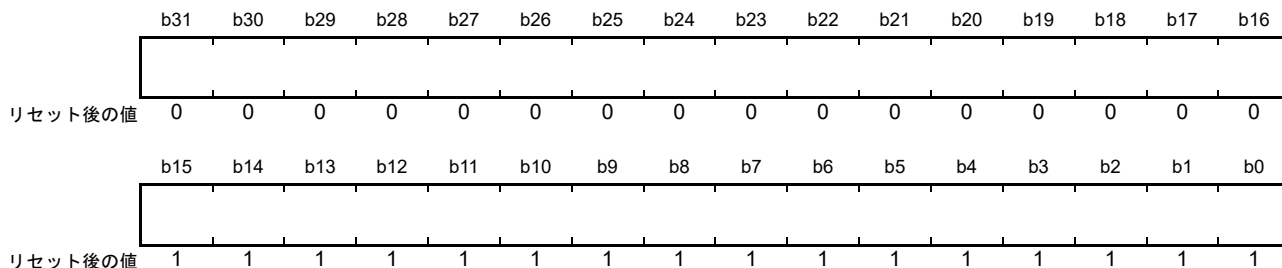


GTCNT カウンタは、32 ビットの読み書き可能なカウンタで、各チャンネルに 1 本ずつあります。カウント停止時のみ書き込み可能で、カウント中 (CST=1 の時) の書き込みは無効です。上位 16 ビットは予約ビットです。読むと “0” が読めます。GTCNT カウンタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTCNT カウンタは、 $0 \leq \text{GTCNT カウンタ} \leq \text{GTPR レジスタの範囲内に設定してください。}$

21.2.18 汎用 PWM タイマコンペアキャプチャレジスタ m (GTCCRm) (m = A ~ F)

アドレス GPTW0.GTCCRA 0009 604Ch, GPTW1.GTCCRA 0009 614Ch, GPTW2.GTCCRA 0009 624Ch,
 GPTW0.GTCCRB 0009 6050h, GPTW1.GTCCRB 0009 6150h, GPTW2.GTCCRB 0009 6250h,
 GPTW0.GTCCRC 0009 6054h, GPTW1.GTCCRC 0009 6154h, GPTW2.GTCCRC 0009 6254h,
 GPTW0.GTCCRE 0009 6058h, GPTW1.GTCCRE 0009 6158h, GPTW2.GTCCRE 0009 6258h,
 GPTW0.GTCCRD 0009 605Ch, GPTW1.GTCCRD 0009 615Ch, GPTW2.GTCCRD 0009 625Ch,
 GPTW0.GTCCRF 0009 6060h, GPTW1.GTCCRF 0009 6160h, GPTW2.GTCCRF 0009 6260h



GTCCRm レジスタは、32 ビットの読み書き可能なレジスタです。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTCCRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

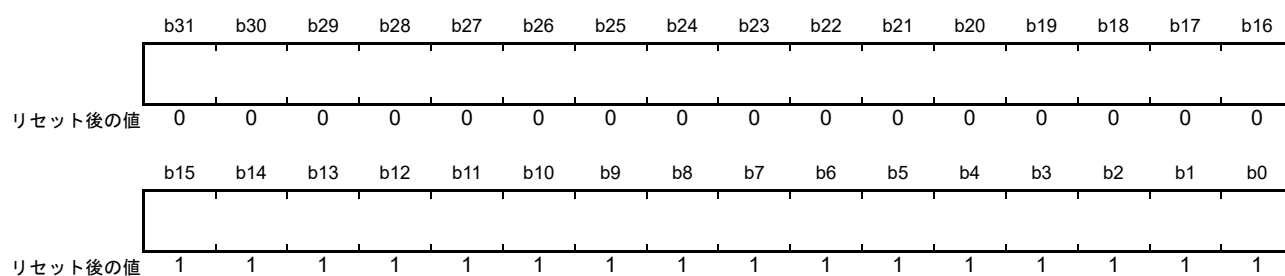
GTCCRA、GTCCRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

GTCCRC、GTCCRE レジスタはコンペアマッチレジスタですが、GTCCRA、GTCCRB レジスタのバッファレジスタとして動作させることもできます。

GTCCRD、GTCCRF レジスタはコンペアマッチレジスタですが、GTCCRC、GTCCRE レジスタのバッファレジスタ (GTCCRA、GTCCRB レジスタのダブルバッファレジスタ) として動作させることもできます。

21.2.19 汎用 PWM タイマ周期設定レジスタ (GTPR)

アドレス GPTW0.GTPR 0009 6064h, GPTW1.GTPR 0009 6164h, GPTW2.GTPR 0009 6264h



GTPR レジスタは、32 ビットの読み書き可能なレジスタで、GTCNT カウンタのカウント最大値を設定するレジスタです。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTPR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

のこぎり波の場合は、GTPR レジスタ値 + 1 がカウント周期になります。三角波の場合は、GTPR レジスタ値 × 2 がカウント周期になります。

21.2.20 汎用 PWM タイマ周期設定バッファレジスタ (GTPBR)

アドレス GPTW0.GTPBR 0009 6068h, GPTW1.GTPBR 0009 6168h, GPTW2.GTPBR 0009 6268h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPBR レジスタは、32 ビットの読み書き可能なレジスタで、GTPR レジスタのバッファレジスタとして動作します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTPBR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

21.2.21 汎用 PWM タイマ周期設定ダブルバッファレジスタ (GTPDBR)

アドレス GPTW0.GTPDBR 0009 606Ch, GPTW1.GTPDBR 0009 616Ch, GPTW2.GTPDBR 0009 626Ch

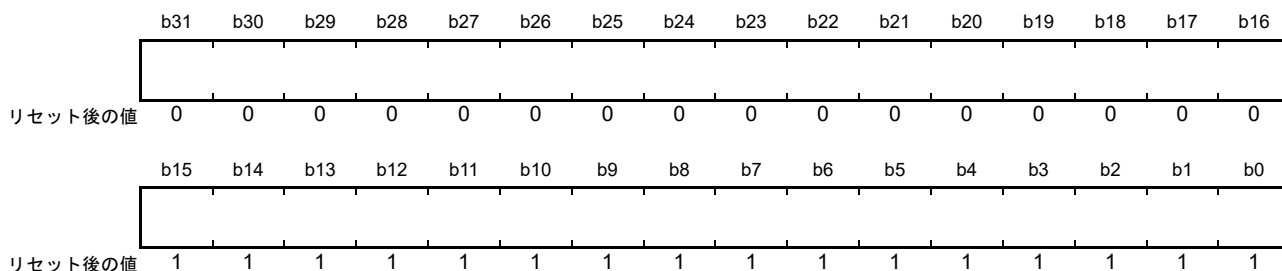
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPDBR レジスタは、32 ビットの読み書き可能なレジスタで、GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTPDBR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

21.2.22 A/D 変換開始要求タイミングレジスタ m (GTADTRm) (m = A, B)

アドレス GPTW0.GTADTRA 0009 6070h, GPTW1.GTADTRA 0009 6170h, GPTW2.GTADTRA 0009 6270h,
GPTW0.GTADTRB 0009 607Ch, GPTW1.GTADTRB 0009 617Ch, GPTW2.GTADTRB 0009 627Ch



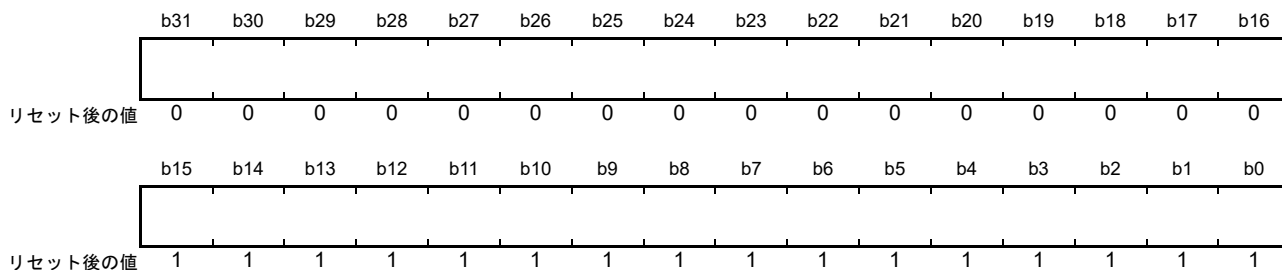
GTADTRm レジスタは、32 ビットの読み書き可能なレジスタで、A/D 変換開始要求のタイミングを設定します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTADTRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

GTADTRm レジスタの値が GTCNT カウンタと一致したとき、A/D 変換開始要求を生成します。

21.2.23 A/D 変換開始要求タイミングバッファレジスタ m (GTADTBRm) (m = A, B)

アドレス GPTW0.GTADTBRA 0009 6074h, GPTW1.GTADTBRA 0009 6174h, GPTW2.GTADTBRA 0009 6274h,
GPTW0.GTADTBRB 0009 6080h, GPTW1.GTADTBRB 0009 6180h, GPTW2.GTADTBRB 0009 6280h

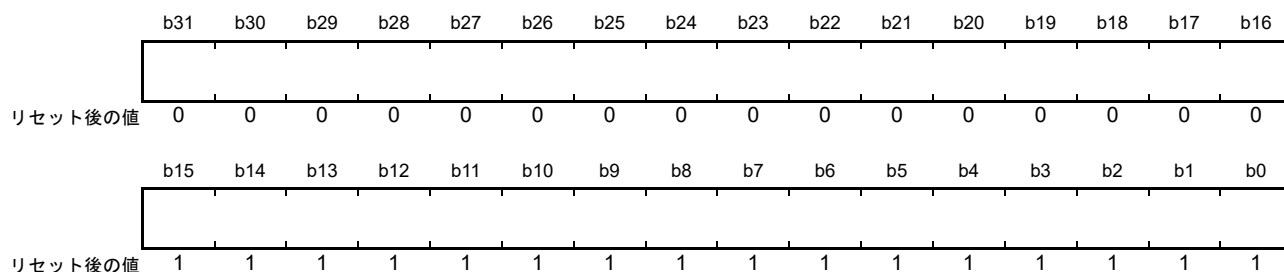


GTADTBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTRm レジスタのバッファレジスタとして動作します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTADTBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

21.2.24 A/D 変換開始要求タイミングダブルバッファレジスタ m (GTADTDBRm) (m = A, B)

アドレス GPTW0.GTADTDBRA 0009 6078h, GPTW1.GTADTDBRA 0009 6178h, GPTW2.GTADTDBRA 0009 6278h,
GPTW0.GTADTDBRB 0009 6084h, GPTW1.GTADTDBRB 0009 6184h, GPTW2.GTADTDBRB 0009 6284h



GTADTDBRm レジスタは、32 ビットの読み書き可能なレジスタで、GTADTBRm レジスタのバッファレジスタ (GTADTRm レジスタのダブルバッファレジスタ) として動作します。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTADTDBRm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

21.2.25 汎用 PWM タイマデッドタイム制御レジスタ (GTDTCCR)

アドレス GPTW0.GTDTCCR 0009 6088h, GPTW1.GTDTCCR 0009 6188h, GPTW2.GTDTCCR 0009 6288h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定ビット	0 : GTDVU、GTDVD レジスタを使用しないで、GTCCRB レジスタを個別に設定する 1 : GTDVU、GTDVD レジスタを使用して、デッドタイム付き逆相波形用コンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	TDBUE	GTDVU レジスタのバッファ動作許可ビット	0 : GTDVU レジスタのバッファ動作を禁止 1 : GTDVU レジスタのバッファ動作を許可	R/W
b5	TDBDE	GTDVD レジスタのバッファ動作許可ビット	0 : GTDVD レジスタのバッファ動作を禁止 1 : GTDVD レジスタのバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TDFER	GTDVD レジスタ設定ビット	0 : GTDVU、GTDVD レジスタを個別に設定する 1 : GTDVU レジスタに書き込んだ値を、GTDVD レジスタにも自動設定する	R/W
b31-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTDTCCR レジスタは、デッドタイム付き逆相波形用コンペアマッチ値の自動設定を許可するレジスタです。

TDE ビット (逆相波形設定ビット)

GTDVU、GTDVD レジスタを使用する / しないを設定します。GTDVU、GTDVD レジスタを使用する場合、正相波形用のコンペアマッチ値 (GTCCRA レジスタ) とデッドタイム値 (GTDVU、GTDVD レジスタ) から算出したデッドタイム付き逆相波形用コンペアマッチ値が、GTCCRB レジスタに自動設定されます。

のこぎり波 PWM モードでは TDE ビットの設定は無視され、GTCCRB レジスタの自動設定は行われません。

自動設定される GTCCRB レジスタの上限値 / 下限値は以下のようになります。

- 三角波 PWM モードの場合
上限値 : GTPR レジスタの設定値 - 1
下限値 : アップカウント時“1”、ダウンカウント時“0”
- のこぎり波ワンショットパルスモードの場合
上限値 : GTPR レジスタの設定値
下限値 : “0”

算出された GTCCRB レジスタ値が上限値 / 下限値の範囲外となる場合は、GTCCRB レジスタには上限値 / 下限値が設定され、GTST.DTEF フラグが“1”になります。ただし、三角波で上限値を超える場合は、DTEF フラグは“0”になります。

TDBUE ビット (GTDVU レジスタのバッファ動作許可ビット)

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

TDBDE ビット (GTDVD レジスタのバッファ動作許可ビット)

GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバフローまたはアンダフローです。

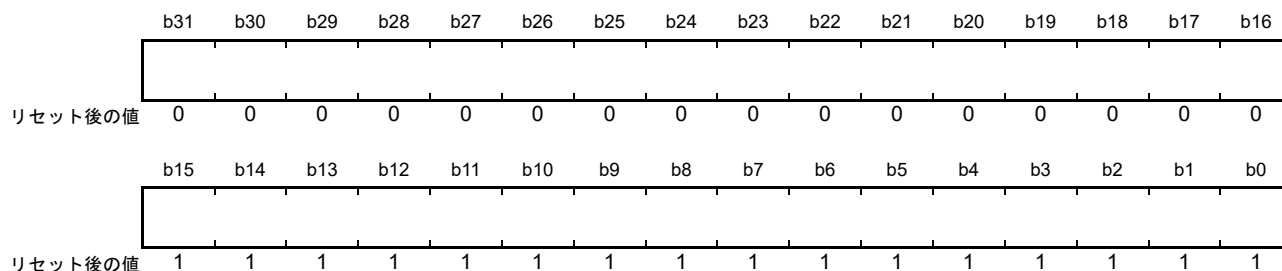
TDFER ビットを同時に“1”にした場合、TDFER ビットの設定が優先されます。

TDFER ビット (GTDVD レジスタ設定ビット)

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

21.2.26 汎用 PWM タイマデッドタイム値レジスタ m (GTDVm) (m = U, D)

アドレス GPTW0.GTDVU 0009 608Ch, GPTW1.GTDVU 0009 618Ch, GPTW2.GTDVU 0009 628Ch,
GPTW0.GTDVD 0009 6090h, GPTW1.GTDVD 0009 6190h, GPTW2.GTDVD 0009 6290h



GTDVm レジスタは、32 ビットの読み書き可能なレジスタで、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定するレジスタです。上位 16 ビットは予約ビットです。読むと“0”が読めます。

GTDVm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

三角波の場合、GTDVU レジスタは、アップカウント用です。GTDVD レジスタは、ダウンカウント用です。

のこぎり波の場合、アップカウントでもダウンカウントでも GTDVU レジスタは前側のデッドタイム、GTDVD レジスタは後側のデッドタイムになります。

GTDVm レジスタに、GTDVm レジスタ $\geq$ GTPR レジスタとなる値の設定は禁止です。

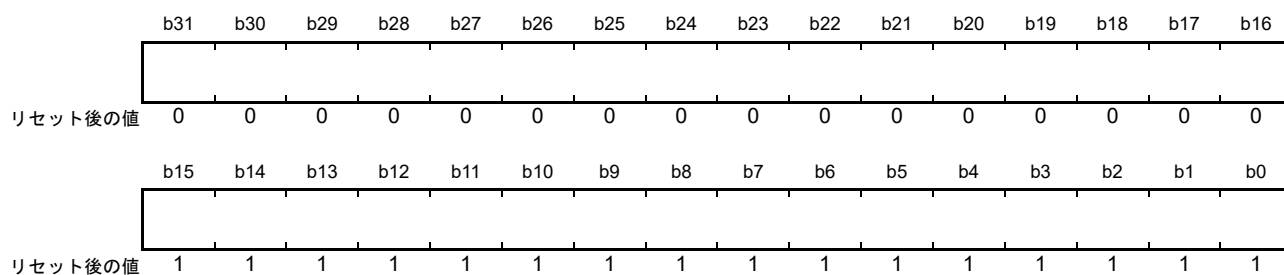
- GTDVU > 0
- GTDVU < GTPR / 2
- GTDVU + GTPR $\leq$ FFFF FFFFh

また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRB レジスタを読むことで自動計算された逆相波形の変化ポイントがわかります。GTDVm レジスタを使用する場合は GTCCRB レジスタへの書き込みは禁止です。値を“0”にすれば、デッドタイムなしの波形が出力されます。

GTDTCR.TDFER ビットが“1”の場合、GTDVD レジスタへの書き込みは無効となり、GTDVD レジスタを読むと GTDVU レジスタの値が読めます。

21.2.27 汎用 PWM タイマデッドタイムバッファレジスタ m (GTDBm) (m = U, D)

アドレス GPTW0.GTDBU 0009 6094h, GPTW1.GTDBU 0009 6194h, GPTW2.GTDBU 0009 6294h,
GPTW0.GTDBD 0009 6098h, GPTW1.GTDBD 0009 6198h, GPTW2.GTDBD 0009 6298h



GTDBm レジスタは、32 ビットの読み書き可能なレジスタで、GTDVm レジスタのバッファレジスタとして動作します。上位 16 ビットは予約ビットです。読むと“0”が読めます。GTDBm レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

21.2.28 汎用 PWM タイマ出力保護機能ステータスレジスタ (GTSOS)

アドレス GPTW0.GTSOS 0009 609Ch, GPTW1.GTSOS 0009 619Ch, GPTW2.GTSOS 0009 629Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	—
リセット後の値	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS[1:0]	出力保護機能ステータスビット	b1 b0 0 0 : 通常動作 0 1 : 保護状態(谷もしくは山の転送で GTCCRA レジスタ = 0 が設定された) 1 0 : 保護状態(谷の転送で GTCCRA レジスタ ≥ GTPR レジスタが設定された) 1 1 : 保護状態(山の転送で GTCCRA レジスタ ≥ GTPR レジスタが設定された)	R
b7-b2	—	予約ビット	読むと“0”が読めます	R
b9-b8	—	予約ビット	読んだ場合、その値は不定	R
b31-b10	—	予約ビット	読むと“0”が読めます	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイム自動設定されている (GTDTCR.TDE = 1) 場合のみ有効になります。

SOS[1:0] ビット (出力保護機能ステータスビット)

三角波 PWM モードでの出力保護機能のステータスを示します。出力保護機能の詳細については、「21.7.4 GTIOChm 端子出力の出力保護機能 (n = 0 ~ 2、m = A, B)」を参照してください。

21.2.29 汎用 PWM タイマ出力保護機能一時解除レジスタ (GTSOTR)

アドレス GPTW0.GTSOTR 0009 60A0h, GPTW1.GTSOTR 0009 61A0h, GPTW2.GTSOTR 0009 62A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除ビット	0：保護状態を解除しない 1：保護状態を解除する	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSOTR レジスタは、出力保護状態時に GTIOCNB 端子出力 (n = 0 ~ 2) の保護状態を一時的に解除します。

GTSOS.SOS[1:0] = 10b (谷の転送で GTCCRA レジスタ ≥ GTPR レジスタとなったことを示す保護状態) の場合のみ、解除することができます。他の保護状態の場合には解除されません。

SOTR ビット (出力保護機能一時解除ビット)

出力保護状態時に GTIOCNB 端子出力の保護状態を一時的に解除するかしないかを設定します。

SOTR ビットを“1”にすると、最初に現れる“谷”以降の出力保護機能を解除します。また、SOTR ビットを“0”にすると、最初に現れる“谷”以降の出力保護を再開します。

21.2.30 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ (GTADSMR)

アドレス GPTW0.GTADSMR 0009 60A4h, GPTW1.GTADSMR 0009 61A4h, GPTW2.GTADSMR 0009 62A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	—	—	—	ADSMS1[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	—	—	—	ADSMS0[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	ADSMS0[1:0]	A/D 変換開始要求信号モニタ 0 選択ビット	b1 b0 0 0 : GTADTRA によるアップカウント時の A/D 変換開始要求信号 0 1 : GTADTRA によるダウンカウント時の A/D 変換開始要求信号 1 0 : GTADTRB によるアップカウント時の A/D 変換開始要求信号 1 1 : GTADTRB によるダウンカウント時の A/D 変換開始要求信号	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	ADSMEN0	A/D 変換開始要求信号モニタ 0 出力許可ビット	0 : A/D 変換開始要求信号モニタ 0 出力禁止 1 : A/D 変換開始要求信号モニタ 0 出力許可	R/W
b15-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17-b16	ADSMS1[1:0]	A/D 変換開始要求信号モニタ 1 選択ビット	b17 b16 0 0 : GTADTRA によるアップカウント時の A/D 変換開始要求信号 0 1 : GTADTRA によるダウンカウント時の A/D 変換開始要求信号 1 0 : GTADTRB によるアップカウント時の A/D 変換開始要求信号 1 1 : GTADTRB によるダウンカウント時の A/D 変換開始要求信号	R/W
b23-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	ADSMEN1	A/D 変換開始要求信号モニタ 1 出力許可ビット	0 : A/D 変換開始要求信号モニタ 1 出力禁止 1 : A/D 変換開始要求信号モニタ 1 出力許可	R/W
b31-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTADSMR レジスタは、フレーム同期化された A/D 変換開始要求信号のモニタを制御するレジスタです。

ADSMsk[1:0] ビット (A/D 変換開始要求信号モニタ k 選択ビット) (k = 0, 1)

GTADSMk 端子でモニタするフレーム同期化された A/D 変換開始要求信号を選択します。

三角波 PWM モードの場合、下記設定は禁止です。

- GTADTRA = 0 で ADSMsk[1:0] ビットを “00b”(アップカウント時の A/D 変換開始要求) に設定
- GTADTRB = 0 で ADSMsk[1:0] ビットを “10b”(アップカウント時の A/D 変換開始要求) に設定
- GTADTRA = GTPR かつ ADSMsk[1:0] ビットを “01b”(ダウンカウント時の A/D 変換開始要求) に設定
- GTADTRB = GTPR かつ ADSMsk[1:0] ビットを “11b”(ダウンカウント時の A/D 変換開始要求) に設定

ADSMENk ビット (A/D 変換開始要求信号モニタ k 出力許可ビット) (k = 0, 1)

GTADSMk 端子へのモニタ出力を許可 / 禁止します。

禁止に設定した場合、GTADSMk 端子は Low になります。

ADSMENk ビットが“1”のとき、ADSMSk[1:0] ビットで選択した A/D 変換開始要求信号が発生すると、GTADSMk 端子は High になり、選択した A/D 変換開始要求信号を生成するチャネルのタイマの周期の終わりで Low になります。カウンタが停止した場合、出力はカウント停止時の値を保持します。出力を Low するには、ADSMENk ビットを“0”にしてください。

周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。

複数のチャネルで同じ A/D 変換開始要求信号モニタ出力に出力許可した場合、OR された信号が出力されます。

21.2.31 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ (GTSECSR)

アドレス GPTW0.GTSECSR 0009 60D0h, GPTW1.GTSECSR 0009 61D0h, GPTW2.GTSECSR 0009 62D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SECSEL2	SECSEL1	SECSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SECSEL0	チャンネル0動作許可ビット同時制御チャネル選択ビット	0：同時制御禁止 1：同時制御許可	R/W
b1	SECSEL1	チャンネル1動作許可ビット同時制御チャネル選択ビット		R/W
b2	SECSEL2	チャンネル2動作許可ビット同時制御チャネル選択ビット		R/W
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSECSR レジスタは、GTSECR レジスタによる動作許可ビットの更新の対象となるチャネルを選択するレジスタです。

GTSECSR レジスタのビット位置がチャネル番号を表します。各チャネルの GTSECSR レジスタは、共通のレジスタであり、どのチャネルの GTSECSR レジスタを更新しても、“1”を書き込んだビット位置のチャネルが GTSECR レジスタによって動作許可ビットが同時制御される対象チャネルとなります。

GTSECSR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SECSELn ビット (動作許可ビット同時制御チャネル選択ビット) (n = 0 ~ 2)

チャンネル n の動作許可ビットの同時制御を許可 / 禁止します。

“1” の場合に同時制御を許可し、“0” の場合に禁止します。

21.2.32 汎用 PWM タイマ動作許可ビット同時制御レジスタ (GTSECR)

アドレス GPTW0.GTSECR 0009 60D4h, GPTW1.GTSECR 0009 61D4h, GPTW2.GTSECR 0009 62D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	SSCD	—	—	—	—	—	—	—	SSCE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SBDDD	SBDAD	SBDPD	SBDCE	—	—	—	—	SBDDE	SBDPE	SBDCE	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SBDCE	GTCCR レジスタのバッファ動作同時許可ビット	0 : GTCCR レジスタのバッファ動作を同時許可しない 1 : GTCCR レジスタのバッファ動作を同時許可する	R/W
b1	SBDPE	GTPR レジスタのバッファ動作同時許可ビット	0 : GTPR レジスタのバッファ動作を同時許可しない 1 : GTPR レジスタのバッファ動作を同時許可する	R/W
b2	SBDPE	GTADTR レジスタのバッファ動作同時許可ビット	0 : GTADTR レジスタのバッファ動作を同時許可しない 1 : GTADTR レジスタのバッファ動作を同時許可する	R/W
b3	SBDDE	GTDV レジスタのバッファ動作同時許可ビット	0 : GTDV レジスタのバッファ動作を同時許可しない 1 : GTDV レジスタのバッファ動作を同時許可する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	SBDCE	GTCCR レジスタのバッファ動作同時禁止ビット	0 : GTCCR レジスタのバッファ動作を同時禁止しない 1 : GTCCR レジスタのバッファ動作を同時禁止する	R/W
b9	SBDPD	GTPR レジスタのバッファ動作同時禁止ビット	0 : GTPR レジスタのバッファ動作を同時禁止しない 1 : GTPR レジスタのバッファ動作を同時禁止する	R/W
b10	SBDAD	GTADTR レジスタのバッファ動作同時禁止ビット	0 : GTADTR レジスタのバッファ動作を同時禁止しない 1 : GTADTR レジスタのバッファ動作を同時禁止する	R/W
b11	SBDDD	GTDV レジスタのバッファ動作同時禁止ビット	0 : GTDV レジスタのバッファ動作を同時禁止しない 1 : GTDV レジスタのバッファ動作を同時禁止する	R/W
b16-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b17	SSCE	同期セット/クリア同時許可ビット	0 : 同期セット/クリア機能を同時許可しない 1 : 同期セット/クリア機能を同時許可する	R/W
b24-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b25	SSCD	同期セット/クリア同時禁止ビット	0 : 同期セット/クリア機能を同時禁止しない 1 : 同期セット/クリア機能を同時禁止する	R/W
b31-b26	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTSECR レジスタは、GTSECSR レジスタによって設定されたチャンネルの動作許可ビットの値を同時に更新するレジスタです。

どのチャンネルの GTSECR レジスタを更新しても、GTSECSR レジスタで“1”となっているすべてのビット位置のチャンネルの動作許可ビットを同時に更新します。同じ動作許可ビットに対して、GTSECR レジスタの許可ビットと禁止ビットを同時に“1”にすることは禁止です。

“1”を書いたビットは、自動的に“0”に戻ります。GTSECR レジスタを読むと“0”が読めます。

GTSECR レジスタの 8/16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット (GTCCR レジスタのバッファ動作同時許可ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルの GTBER.BD[0] ビットに同時に“0”を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および

GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を許可します。
SBDCE ビットと SBDCE ビットに同時に “1” を設定することは禁止です。

SBDPE ビット (GTPR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャンネルの GTBER.BD[1] ビットに同時に “0” を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を許可します。
SBDPE ビットと SBDPD ビットに同時に “1” を設定することは禁止です。

SBDAE ビット (GTADTR レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャンネルの GTBER.BD[2] ビットに同時に “0” を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を許可します。
SBDAE ビットと SBDAD ビットに同時に “1” を設定することは禁止です。

SBDDE ビット (GTDV レジスタのバッファ動作同時許可ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャンネルの GTBER.BD[3] ビットに同時に “0” を設定し、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。
SBDDE ビットと SBDDE ビットに同時に “1” を設定することは禁止です。

SBDCE ビット (GTCCR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャンネルの GTBER.BD[0] ビットに同時に “1” を設定し、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ動作、および GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ動作を禁止します。
SBDCE ビットと SBDCE ビットに同時に “1” を設定することは禁止です。

SBDPD ビット (GTPR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャンネルの GTBER.BD[1] ビットに同時に “1” を設定し、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ動作を禁止します。
SBDPE ビットと SBDPD ビットに同時に “1” を設定することは禁止です。

SBDAD ビット (GTADTR レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャンネルの GTBER.BD[2] ビットに同時に “1” を設定し、GTADTRA レジスタと GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作、および GTADTRB レジスタと GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。
SBDAE ビットと SBDAD ビットに同時に “1” を設定することは禁止です。

SBDDE ビット (GTDV レジスタのバッファ動作同時禁止ビット)

“1” を書くと、GTSECSR レジスタで “1” となっているチャンネルの GTBER.BD[3] ビットに同時に “1” を設定し、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を禁止します。
SBDDE ビットと SBDDE ビットに同時に “1” を設定することは禁止です。

SSCE ビット (同期セット/クリア同時許可ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャネルの GTCR.SSCEN ビットに同時に“1”を設定し、同期セット/クリア機能を許可します。

SSCE ビットと SSCD ビットに同時に“1”を設定することは禁止です。

SSCD ビット (同期セット/クリア同時禁止ビット)

“1”を書くと、GTSECSR レジスタで“1”となっているチャネルの GTCR.SSCEN ビットに同時に“0”を設定し、同期セット/クリア機能を禁止します。

SSCE ビットと SSCD ビットに同時に“1”を設定することは禁止です。

21.2.33 汎用 PWM タイマバッファイネーブルレジスタ 2 (GTBER2)

アドレス GPTW0.GTBER2 0009 60E0h, GPTW1.GTBER2 0009 61E0h, GPTW2.GTBER2 0009 62E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	CPTDV	CPTAD B	CPTAD A	CPTPR	CPTCB	CPTCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CMTAD B	CMTAD A	—	CMTCB[1:0]	CMTCA[1:0]	—	—	—	—	CCTDV	CCTAD B	CCTAD A	CCTPR	CCTCB	CCTCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCTCA	カウンタクリア GTCCRA バッファ転送禁止ビット	0: カウンタクリアによる GTCCRA レジスタバッファ転送を許可する 1: カウンタクリアによる GTCCRA レジスタバッファ転送を許可しない	R/W
b1	CCTCB	カウンタクリア GTCCRB バッファ転送禁止ビット	0: カウンタクリアによる GTCCRB レジスタバッファ転送を許可する 1: カウンタクリアによる GTCCRB レジスタバッファ転送を許可しない	R/W
b2	CCTPR	カウンタクリア GTPR バッファ転送禁止ビット	0: カウンタクリアによる GTPR レジスタバッファ転送を許可する 1: カウンタクリアによる GTPR レジスタバッファ転送を許可しない	R/W
b3	CCTADA	カウンタクリア GTADTRA バッファ転送禁止ビット	0: カウンタクリアによる GTADTRA レジスタバッファ転送を許可する 1: カウンタクリアによる GTADTRA レジスタバッファ転送を許可しない	R/W
b4	CCTADB	カウンタクリア GTADTRB バッファ転送禁止ビット	0: カウンタクリアによる GTADTRB レジスタバッファ転送を許可する 1: カウンタクリアによる GTADTRB レジスタバッファ転送を許可しない	R/W
b5	CCTDV	カウンタクリア GTDVU/GTDVD バッファ転送禁止ビット	0: カウンタクリアによる GTDVU/GTDVD レジスタバッファ転送を許可する 1: カウンタクリアによる GTDVU/GTDVD レジスタバッファ転送を許可しない	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	CMTCA[1:0]	コンペアマッチ GTCCRA バッファ転送許可ビット	b9 b8 0 0: GTCCRA および GTCCRB コンペアマッチによる GTCCRA バッファ転送を許可しない 0 1: GTCCRA コンペアマッチによる GTCCRA バッファ転送を許可する 1 0: GTCCRB コンペアマッチによる GTCCRA バッファ転送を許可する 1 1: GTCCRA および GTCCRB コンペアマッチによる GTCCRA バッファ転送を許可する	R/W
b11-b10	CMTCB[1:0]	コンペアマッチ GTCCRB バッファ転送許可ビット	b11 b10 0 0: GTCCRA および GTCCRB コンペアマッチによる GTCCRB バッファ転送を許可しない 0 1: GTCCRA コンペアマッチによる GTCCRB バッファ転送を許可する 1 0: GTCCRB コンペアマッチによる GTCCRB バッファ転送を許可する 1 1: GTCCRA および GTCCRB コンペアマッチによる GTCCRB バッファ転送を許可する	R/W
b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b13	CMTADA	コンペアマッチGTADTRAバッファ転送許可ビット	0 : GTADTRAコンペアマッチによるGTADTRAバッファ転送を許可しない 1 : GTADTRAコンペアマッチによるGTADTRAバッファ転送を許可する	R/W
b14	CMTADB	コンペアマッチGTADTRBバッファ転送許可ビット	0 : GTADTRBコンペアマッチによるGTADTRBバッファ転送を許可しない 1 : GTADTRBコンペアマッチによるGTADTRBバッファ転送を許可する	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	CPTCA	オーバフロー/アンダフロー GTCCRA バッファ転送禁止ビット	0 : オーバフロー/アンダフローによるGTCCRAバッファ転送を許可する 1 : オーバフロー/アンダフローによるGTCCRAバッファ転送を禁止する	R/W
b17	CPTCB	オーバフロー/アンダフロー GTCCRB バッファ転送禁止ビット	0 : オーバフロー/アンダフローによるGTCCRBバッファ転送を許可する 1 : オーバフロー/アンダフローによるGTCCRBバッファ転送を禁止する	R/W
b18	CPTPR	オーバフロー/アンダフロー GTPR バッファ転送禁止ビット	0 : オーバフロー/アンダフローによるGTPRバッファ転送を許可する 1 : オーバフロー/アンダフローによるGTPRバッファ転送を禁止する	R/W
b19	CPTADA	オーバフロー/アンダフロー GTADTRA バッファ転送禁止ビット	0 : オーバフロー/アンダフローによるGTADTRAバッファ転送を許可する 1 : オーバフロー/アンダフローによるGTADTRAバッファ転送を禁止する	R/W
b20	CPTADB	オーバフロー/アンダフロー GTADTRB バッファ転送禁止ビット	0 : オーバフロー/アンダフローによるGTADTRBバッファ転送を許可する 1 : オーバフロー/アンダフローによるGTADTRBバッファ転送を禁止する	R/W
b21	CPTDV	オーバフロー/アンダフロー GTDVU/ GTDVD バッファ転送禁止ビット	0 : オーバフロー/アンダフローによるGTDVU/ GTDVD バッファ転送を許可する 1 : オーバフロー/アンダフローによるGTDVU/ GTDVD バッファ転送を禁止する	R/W
b31-b22	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

GTBER2 レジスタは、バッファ動作の設定を行うレジスタです。

CCTCm ビット (カウンタクリア GTCCRm バッファ転送禁止ビット) (m = A, B)

カウンタクリア時の GTCCRm レジスタと GTCCRn、GTCCRx レジスタを組み合わせたバッファ転送を禁止します。(m = A, B、n = C, E、x = D, F)

のこぎり波で、GTBER.BD[0] ビットが“0”(バッファ転送許可)、かつ GTBER.CCRm[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。CCTCm ビットが“0”であっても、カウンタクリアによるバッファ転送は行いません。

CMTCm ビットの設定と競合した場合、CCTCm ビットの設定が優先されます。

CCTPR ビット (カウンタクリア GTPR バッファ転送禁止ビット)

カウンタクリア時の GTPR レジスタと GTPBR、GTPDBR レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で GTBER.BD[1] ビットが“0”(バッファ転送許可)、かつ GTBER.PR[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。CCTPR ビットが“0”であっても、カウンタクリアによるバッファ転送は行いません。

CCTADm ビット (カウンタクリア GTADTRm バッファ転送禁止ビット) (m = A, B)

カウンタクリア時の GTADTRm レジスタと GTADTBRm レジスタと GTADTDBRm レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、GTBER.BD[2] ビットが“0”(バッファ動作許可)、GTBER.ADTTm[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。CCTADm ビットが“0”であっても、カウンタクリアによるバッファ転送は行いません。

CMTADm ビットの設定と競合した場合、CCTADm ビットの設定が優先されます。

CCTDV ビット (カウンタクリア GTDVU/GTDVD バッファ転送禁止ビット)

カウンタクリア時の GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ転送、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、GTBER.BD[3] ビットが“0”(バッファ動作許可)、GTDTCR.TDBUE ビットおよび GTDTCR.TDBDE ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。CCTDV ビットが“0”であっても、カウンタクリアによるバッファ転送は行いません。

CMTCA[1:0] ビット (コンペアマッチ GTCCRA バッファ転送許可ビット)

GTCCRA レジスタのコンペアマッチ時、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ転送を許可します。

のこぎり波で、GTBER.BD[0] ビットが“0”(バッファ動作許可)、GTBER.CCRA[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

CCTCA ビットの設定と競合した場合、CCTCA ビットの設定が優先されます。

CMTCB[1:0] ビット (コンペアマッチ GTCCRB バッファ転送許可ビット)

GTCCRB レジスタのコンペアマッチ時、GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ転送を許可します。

のこぎり波で、GTBER.BD[0] ビットが“0”(バッファ動作許可)、GTBER.CCRB[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

CCTCB ビットの設定と競合した場合、CCTCB ビットの設定が優先されます。

CMTADm ビット (コンペアマッチ GTADTRm バッファ転送許可ビット) (m = A, B)

GTADTRm レジスタのコンペアマッチ時、GTADTRm レジスタと GTADTBRm レジスタと GTADTDBRm レジスタを組み合わせたバッファ転送を許可します。

のこぎり波で、GTBER.BD[2] ビットが“0”(バッファ動作許可)、GTBER.ADTTm[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

CCTADm ビットの設定と競合した場合、CCTADm ビットの設定が優先されます。

CPTCA ビット (オーバフロー / アンダフロー GTCCRA バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTCCRA レジスタと GTCCRC レジスタと GTCCRD レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、CCTCA ビットが“0”(カウンタクリアによる GTCCRA バッファ転送を許可)、GTBER.BD[0] ビットが“0”(バッファ動作許可)、GTBER.CCRA[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

CPTCB ビット (オーバフロー / アンダフロー GTCCRB バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTCCRB レジスタと GTCCRE レジスタと GTCCRF レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、CCTCB ビットが “0” (カウンタクリアによる GTCCRB バッファ転送を許可)、GTBER.BD[0] ビットが “0” (バッファ動作許可)、GTBER.CCRB[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

CPTPR ビット (オーバフロー / アンダフロー GTPR バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTPR レジスタと GTPBR レジスタと GTPDBR レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、CCTPR ビットが “0” (カウンタクリアによる GTPR バッファ転送を許可)、GTBER.BD[1] ビットが “0” (バッファ動作許可)、GTBER.PR[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

CPTADm ビット (オーバフロー / アンダフロー GTADTRm バッファ転送禁止ビット) (m = A, B)

のこぎり波のオーバフロー / アンダフロー時、GTADTRm レジスタと GTADTBRm レジスタと GTADTDBRm レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、CCTADm ビットが “0” (カウンタクリアによる GTADTRm バッファ転送を許可)、GTBER.BD[2] ビットが “0” (バッファ動作許可)、GTBER.ADTTm[1:0] ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

CPTDV ビット (オーバフロー / アンダフロー GTDVU/GTDVD バッファ転送禁止ビット)

のこぎり波のオーバフロー / アンダフロー時、GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ転送、および GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ転送を禁止します。

のこぎり波で、CCTDV ビットが “0” (カウンタクリアによる GTDVU/GTDVD バッファ転送を許可)、GTBER.BD[3] ビットが “0” (バッファ動作許可)、GTDTCR.TDBUE ビットおよび GTDTCR.TDBDE ビットでバッファ動作が選択されている場合に有効です。

三角波の場合は無効です。

21.2.34 汎用 PWM タイマチャネル間連携インプットキャプチャ制御レジスタ (GTICCR)

アドレス GPTW0.GTICCR 0009 60ECh, GPTW1.GTICCR 0009 61ECh, GPTW2.GTICCR 0009 62ECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ICBGRP[1:0]	—	—	—	—	—	—	ICBCLK	ICBFPU	ICBFPO	ICBFF	ICBFE	ICBFD	ICBFC	ICBFB	ICBFA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ICAGRP[1:0]	—	—	—	—	—	—	ICACK	ICAFFU	ICAFFO	ICAFF	ICAFF	ICAFF	ICAFF	ICAFF	ICAFF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICAFA	GTCCRA レジスタコンペアマッチ/インプットキャプチャ要因他チャネル GTCCRA インプットキャプチャ許可ビット	0 : GTCCRA レジスタコンペアマッチ/インプットキャプチャを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用禁止 1 : GTCCRA レジスタコンペアマッチ/インプットキャプチャを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用許可	R/W
b1	ICAFB	GTCCRB レジスタコンペアマッチ/インプットキャプチャ要因他チャネル GTCCRA インプットキャプチャ許可ビット	0 : GTCCRB レジスタコンペアマッチ/インプットキャプチャを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用禁止 1 : GTCCRB レジスタコンペアマッチ/インプットキャプチャを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用許可	R/W
b2	ICAFC	GTCCRC レジスタコンペアマッチ要因他チャネル GTCCRA インプットキャプチャ許可ビット	0 : GTCCRC レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用禁止 1 : GTCCRC レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用許可	R/W
b3	ICAFD	GTCCRD レジスタコンペアマッチ要因他チャネル GTCCRA インプットキャプチャ許可ビット	0 : GTCCRD レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用禁止 1 : GTCCRD レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用許可	R/W
b4	ICAFF	GTCCRE レジスタコンペアマッチ要因他チャネル GTCCRA インプットキャプチャ許可ビット	0 : GTCCRE レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用禁止 1 : GTCCRE レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用許可	R/W
b5	ICAFF	GTCCRF レジスタコンペアマッチ要因他チャネル GTCCRA インプットキャプチャ許可ビット	0 : GTCCRF レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用禁止 1 : GTCCRF レジスタコンペアマッチを他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用許可	R/W
b6	ICAFPO	オーバフロー要因他チャネル GTCCRA インプットキャプチャ許可ビット	0 : のこぎり波の場合はオーバフロー、三角波の場合は山を他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用禁止 1 : のこぎり波の場合はオーバフロー、三角波の場合は山を他チャネルの GTCCRA レジスタインプットキャプチャ要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b7	ICAFPU	アンダフロー要因他チャネルGTCCRAインプットキャプチャ許可ビット	0: のこぎり波の場合はアンダフロー、三角波の場合は谷を他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: のこぎり波の場合はアンダフロー、三角波の場合は谷を他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b8	ICACLK	カウントクロック要因他チャネルGTCCRAインプットキャプチャ許可ビット	0: カウントクロックを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用禁止 1: カウントクロックを他チャネルのGTCCRAレジスタインプットキャプチャ要因に使用許可	R/W
b13-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	ICAGRP[1:0]	GTCCRAインプットキャプチャグループ設定ビット	b15 b14 0 0: グループAを選択 0 1: グループBを選択 1 0: グループCを選択 1 1: グループDを選択	R/W
b16	ICBFA	GTCCRAレジスタコンペアマッチ/インプットキャプチャ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: GTCCRAレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b17	ICBFB	GTCCRBレジスタコンペアマッチ/インプットキャプチャ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: GTCCRBレジスタコンペアマッチ/インプットキャプチャを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b18	ICBFC	GTCCRCレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0: GTCCRCレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: GTCCRCレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b19	ICBFD	GTCCRDレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0: GTCCRDレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: GTCCRDレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b20	ICBFE	GTCCREレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0: GTCCREレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: GTCCREレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b21	ICBFF	GTCCRFレジスタコンペアマッチ要因他チャネルGTCCRBインプットキャプチャ許可ビット	0: GTCCRFレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: GTCCRFレジスタコンペアマッチを他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b22	ICBFPO	オーバフロー要因他チャネルGTCCRBインプットキャプチャ許可ビット	0: のこぎり波の場合はオーバフロー、三角波の場合は山を他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: のこぎり波の場合はオーバフロー、三角波の場合は山を他チャネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ICBFPU	アンダフロー要因他チャンネルGTCCRBインプットキャプチャ許可ビット	0: のこぎり波の場合はアンダフロー、三角波の場合は谷を他チャンネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: のこぎり波の場合はアンダフロー、三角波の場合は谷を他チャンネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b24	ICBCLK	カウントクロック要因他チャンネルGTCCRBインプットキャプチャ許可ビット	0: カウントクロックを他チャンネルのGTCCRBレジスタインプットキャプチャ要因に使用禁止 1: カウントクロックを他チャンネルのGTCCRBレジスタインプットキャプチャ要因に使用許可	R/W
b29-b25	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b30	ICBGRP[1:0]	GTCCRBインプットキャプチャグループ設定ビット	b31 b30 0 0: グループAを選択 0 1: グループBを選択 1 0: グループCを選択 1 1: グループDを選択	R/W

GTICCR レジスタは、チャンネル間の連携によるインプットキャプチャを制御するレジスタです。

連携によってインプットキャプチャが行われるチャンネルでは、インプットキャプチャの発生する GTCCRA レジスタまたは GTCCRB レジスタに対応するインプットキャプチャ要因の許可ビットは無効です。

ICAFm ビット (GTCCRm レジスタコンペアマッチ/インプットキャプチャ要因他チャンネル GTCCRA インプットキャプチャ許可ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ/インプットキャプチャを他チャンネルの GTCCRA レジスタインプットキャプチャ要因として使用することを許可/禁止します。

ICAFn ビット (GTCCRn レジスタコンペアマッチ要因他チャンネル GTCCRA インプットキャプチャ許可ビット) (n = C, D, E, F)

GTCCRn レジスタのコンペアマッチ要因を他チャンネルの GTCCRA レジスタインプットキャプチャ要因として使用することを許可/禁止します。

ICAFPO ビット (オーバフロー要因他チャンネル GTCCRA インプットキャプチャ許可ビット)

のこぎり波の場合はオーバフロー、三角波の場合は山を他チャンネルの GTCCRA レジスタのインプットキャプチャ要因として使用することを許可/禁止します。

ICAFPU ビット (アンダフロー要因他チャンネル GTCCRA インプットキャプチャ許可ビット)

のこぎり波の場合はアンダフロー、三角波の場合は谷を他チャンネルの GTCCRA レジスタのインプットキャプチャ要因として使用することを許可/禁止します。

ICACLK ビット (カウントクロック要因他チャンネル GTCCRA インプットキャプチャ許可ビット)

カウントクロックを他チャンネルの GTCCRA レジスタのインプットキャプチャ要因として使用することを許可/禁止します。

ICAGRP[1:0] ビット (GTCCRA インプットキャプチャグループ設定ビット)

GTCCRA レジスタのインプットキャプチャ要因をチャンネル間で連携させるグループを選択します。

他チャンネルからのインプットキャプチャ要因によって GTCCRA レジスタのインプットキャプチャを行うチャンネルでは、GTICASR.ASOC ビットを“1”に設定し、ICAGRP[1:0] ビットで連携させるグループを選択してください。

ICBFm ビット (GTCCRm レジスタコンペアマッチ / インพุットキャプチャ要因他チャネル GTCCRB インพุットキャプチャ許可ビット) (m = A, B)

GTCCRm レジスタのコンペアマッチ / インพุットキャプチャを他チャネルの GTCCRB レジスタインพุットキャプチャ要因として使用することを許可 / 禁止します。

ICBFn ビット (GTCCRN レジスタコンペアマッチ要因他チャネル GTCCRB インพุットキャプチャ許可ビット) (n = C, D, E, F)

GTCCRN レジスタのコンペアマッチ要因を他チャネルの GTCCRB レジスタインพุットキャプチャ要因として使用することを許可 / 禁止します。

ICBFPO ビット (オーバフロー要因他チャネル GTCCRB インพุットキャプチャ許可ビット)

のこぎり波の場合はオーバフロー、三角波の場合は山を他チャネルの GTCCRB レジスタのインพุットキャプチャ要因として使用することを許可 / 禁止します。

ICBFPU ビット (アンダフロー要因他チャネル GTCCRB インพุットキャプチャ許可ビット)

のこぎり波の場合はアンダフロー、三角波の場合は谷を他チャネルの GTCCRB レジスタのインพุットキャプチャ要因として使用することを許可 / 禁止します。

ICBCLK ビット (カウントクロック要因他チャネル GTCCRB インพุットキャプチャ許可ビット)

カウントクロックを他チャネルの GTCCRB レジスタのインพุットキャプチャ要因として使用することを許可 / 禁止します。

ICBGRP[1:0] ビット (GTCCRB インพุットキャプチャグループ設定ビット)

GTCCRB レジスタのインพุットキャプチャ要因をチャネル間で連携させるグループを選択します。

他チャネルからのインพุットキャプチャ要因によって GTCCRB レジスタのインพุットキャプチャを行うチャネルでは、GTICBSR.BSOC ビットを“1”に設定し、ICBGRP[1:0] ビットで連携させるグループを選択してください。

21.3 動作説明

21.3.1 基本動作

各チャンネルのタイマは、カウントクロックによるサイクルカウント動作を行います。GTCNT カウンタは、アップカウント動作、ダウンカウント動作が可能です。タイマ周期は GTPR レジスタまたは GTCCRm レジスタ (m = A ~ F) によって制御されます。

GTCNT カウンタ値が GTCCRA、GTCCRB レジスタの値と一致すると、それぞれ GTIOChA、GTIOChB 端子出力 (n = 0 ~ 2) を変化させることができます。また、GTCCRA、GTCCRB レジスタをハードウェア要因によるインプットキャプチャレジスタとして使用することができます。

GTCCRC、GTCCRD レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRE、GTCCRF レジスタは GTCCRB レジスタのバッファレジスタとして動作させることができます。

21.3.1.1 カウンタの動作

(1) カウンタのスタート/ストップ

各チャンネルのカウンタは、GTCR.CST ビットを“1”にするとカウント動作を開始し、“0”にすると停止します。

CST ビットの値は、下記の要因で変更することが可能です。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが“1”の状態での GTSTR レジスタのチャンネル番号に対応するビットへの“1”書き込み
- GTPSR.CSTOP ビットが“1”の状態での GTSTP レジスタのチャンネル番号に対応するビットへの“1”書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

(2) サイクルカウント動作 (カウントクロックによるアップカウント時)

各チャンネルのカウンタは、CST ビットを“1”にするとアップカウントを開始します。GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になる (オーバーフロー) と、GTST.TCFPO フラグが“1”になり、GTINTAD.GTINTPR[0] ビットが“1”ならば、GTCIV 割り込み要求が発生します。GTCNT カウンタはオーバーフロー後、“0000 0000h” からアップカウントを継続します。

図 21.2 にカウントクロックによるアップカウント時のサイクルカウント動作例を示します。

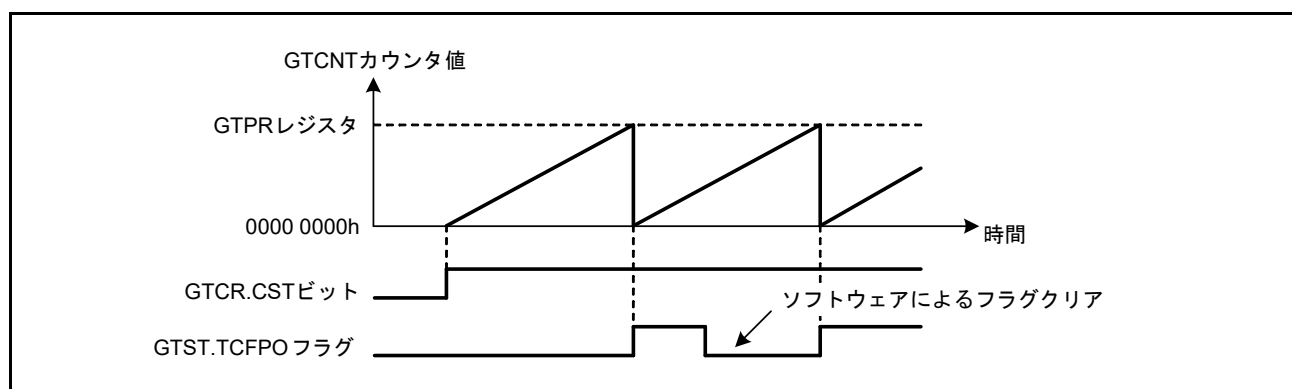


図 21.2 サイクルカウント動作例 (カウントクロックによるアップカウント時)

図 21.3 にアップカウント時のサイクルカウント動作例を示します。

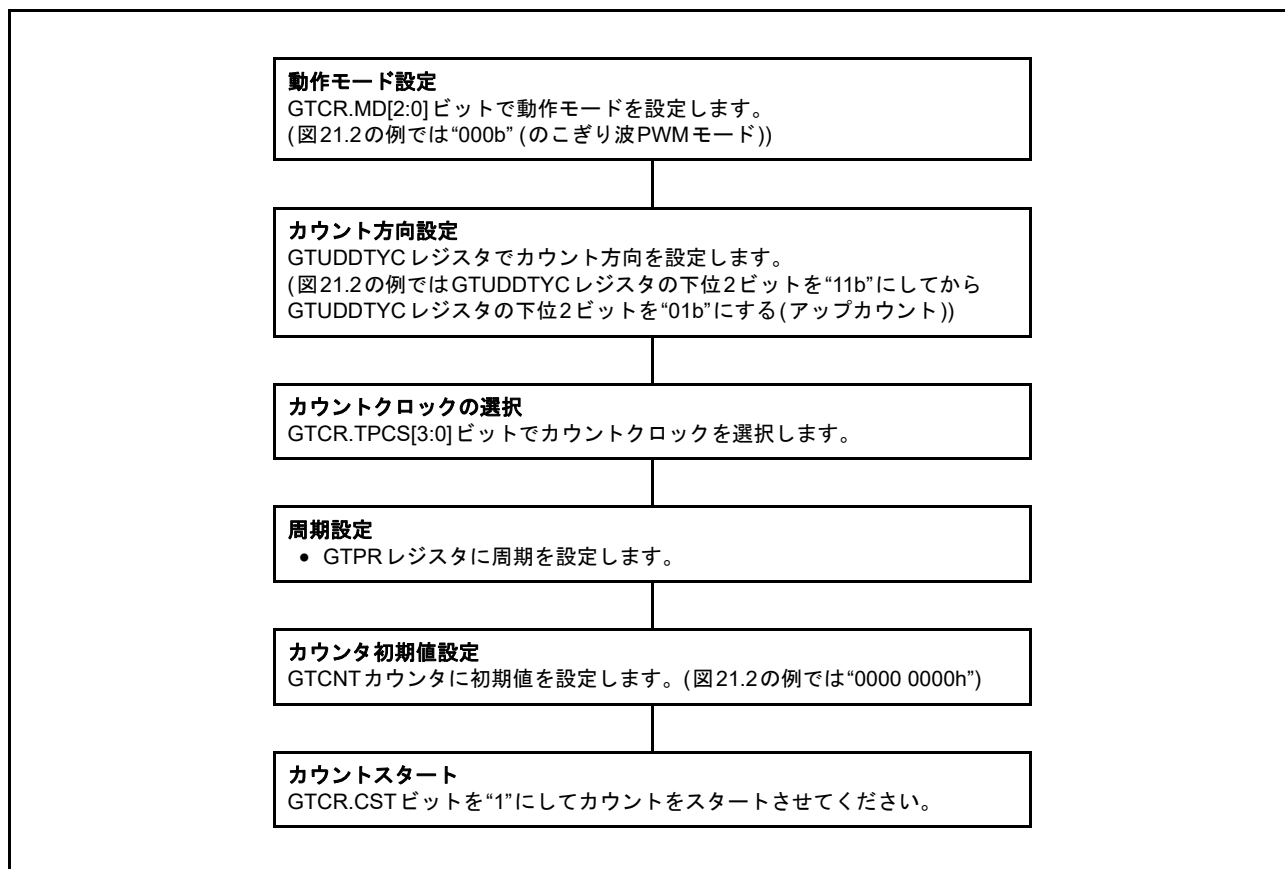


図 21.3 サイクルカウント動作設定例 (カウントクロックによるアップカウント時)

(3) サイクルカウント動作 (カウントクロックによるダウンカウント時)

各チャネルのカウンタは、GTUDDTYC.UD ビットを設定することで、ダウンカウントを行うことが可能です。GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になる (アンダフロー) と、GTST.TCFPU フラグが “1” になり、GTINTAD.GTINTPR[1] ビットが “1” ならば、GTCIU 割り込み要求が発生します。

GTCNT カウンタはアンダフロー後、GTPR レジスタ値からダウンカウントを継続します。

図 21.4 にカウントクロックによるダウンカウント時のサイクルカウント動作例を示します。

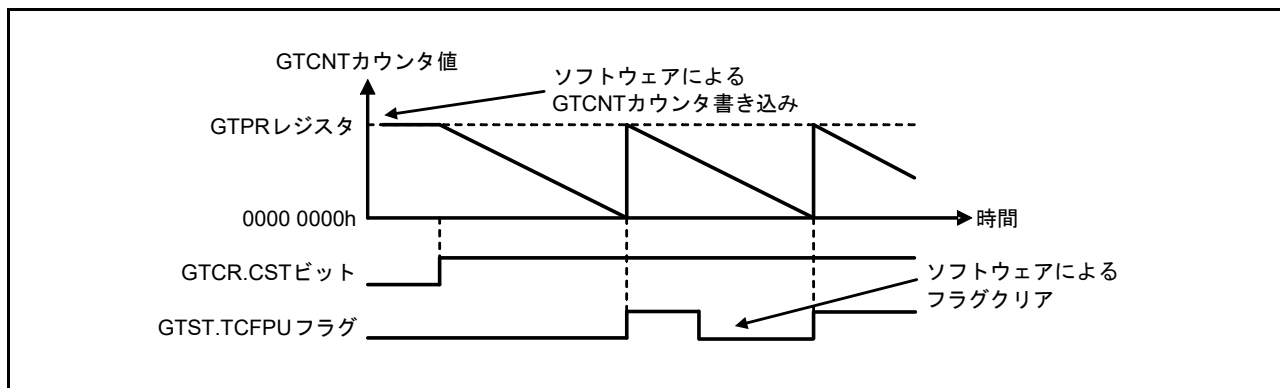


図 21.4 サイクルカウント動作例 (カウントクロックによるダウンカウント時)

図 21.5 にカウントクロックによるダウンカウント時のサイクルカウント動作設定例を示します。

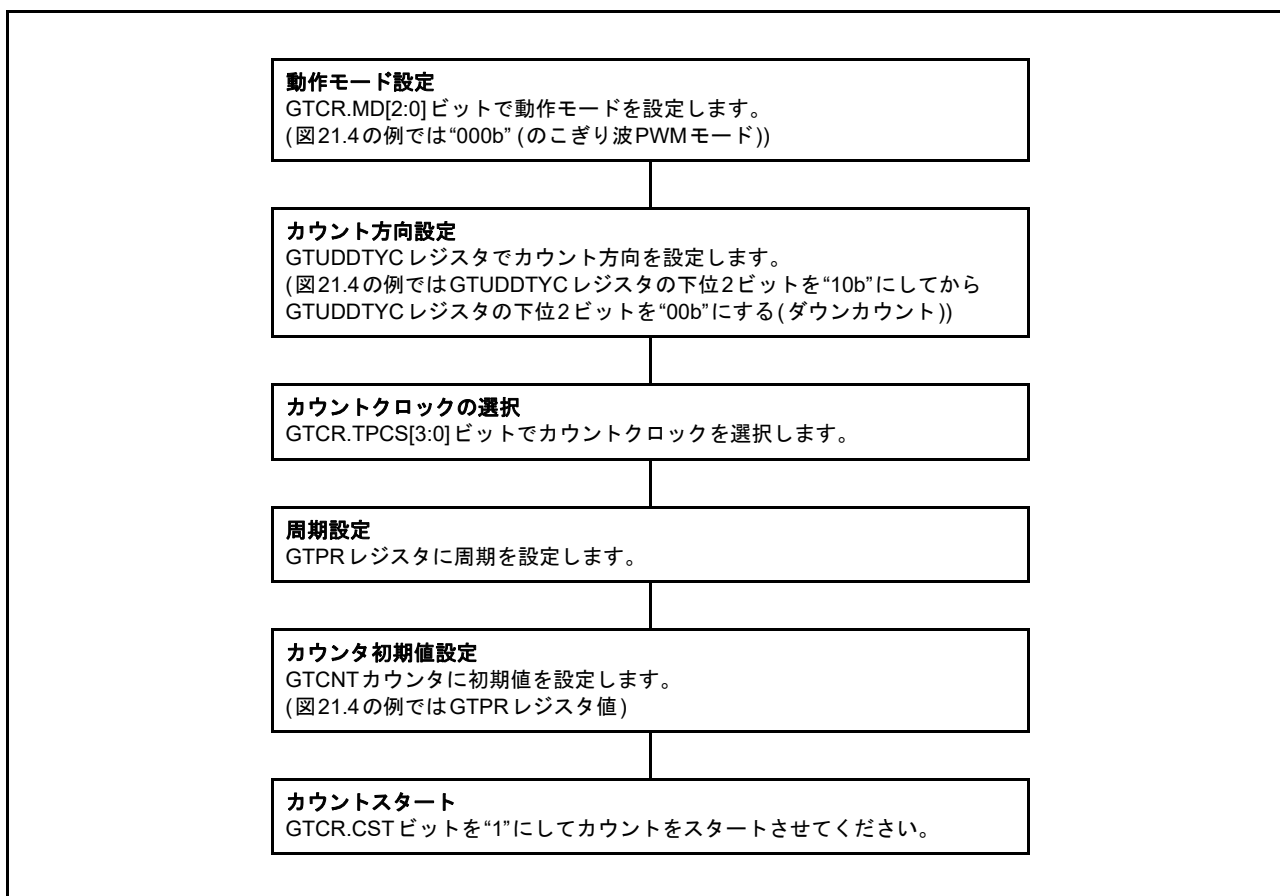


図 21.5 サイクルカウント動作設定例 (カウントクロックによるダウンカウント時)

(4) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT カウンタへの書き込み
- GTCSR.CCLRビットが“1”の状態でのGTCLRレジスタのチャネル番号に対応するビットへの“1”書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント中 (CST = 1 の時) の書き込みは無効です。

GTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中 (GTCR.CST ビット = 1) の場合でも、停止中 (CST ビット = 0) の場合でも実行することが可能です。GTCR.MD[2:0] ビットでのこぎり波を選択し、カウント方向フラグがダウンカウント (GTST.TUCF フラグ = 0) の状態でのGTCLR レジスタへの書き込みおよびハードウェア要因によるクリアは、カウンタが動作中でも停止中でも、GTCNT カウンタ値は GTPR レジスタの値になります。それ以外の設定の場合は “0000 0000h” になります。

21.3.1.2 コンペアマッチによる波形出力機能

GTCNT カウンタ値が GTCCRA、GTCCRB レジスタの値と一致することをコンペアマッチと呼びます。コンペアマッチ発生後のカウンタクロックのタイミングで GTIOCnA、GTIOCnB 端子出力 (n=0~2) を Low 出力 / High 出力 / トグル出力にすることができます。

また、GTPR レジスタにより決まる“周期の終わり”でも、GTIOCnA、GTIOCnB 端子出力を Low 出力 / High 出力 / トグル出力にすることができます。“周期の終わり”とは、以下を示します。

- のこぎり波でアップカウントの場合:GTCNT カウンタ値が GTPR レジスタ値から “0000 0000h” になるとき (オーバーフロー)
- のこぎり波でダウンカウントの場合:GTCNT カウンタ値が “0000 0000h” から GTPR レジスタ値になるとき (アンダフロー)
- のこぎり波で GTCNT カウンタクリアの場合
- 三角波の場合 : GTCNT カウンタ値が “0000 0000h” から “0000 0001h” になるとき (谷)

(1) Low 出力 / High 出力

図 21.6 に GTCCRA、GTCCRB レジスタとのコンペアマッチによる Low 出力 / High 出力動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA レジスタとのコンペアマッチにより GTIOC0A 端子を High 出力、GPTW0.GTCCRB レジスタとのコンペアマッチにより GTIOC0B 端子を Low 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

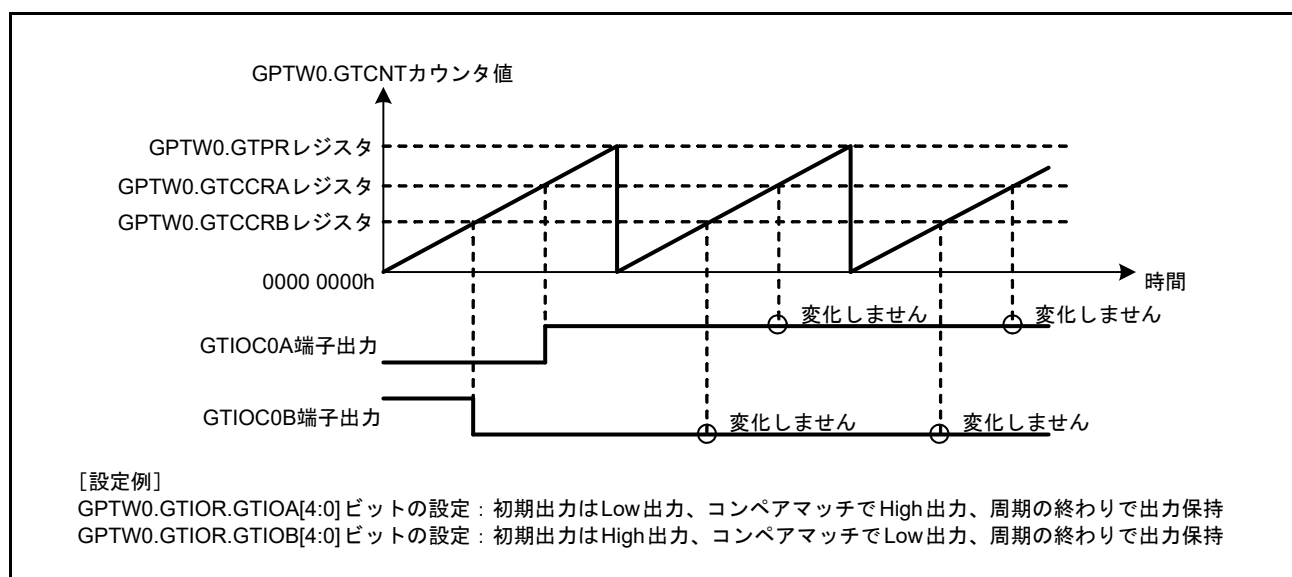


図 21.6 Low 出力 / High 出力動作例

図 21.7 に Low 出力 /High 出力動作設定例を示します。

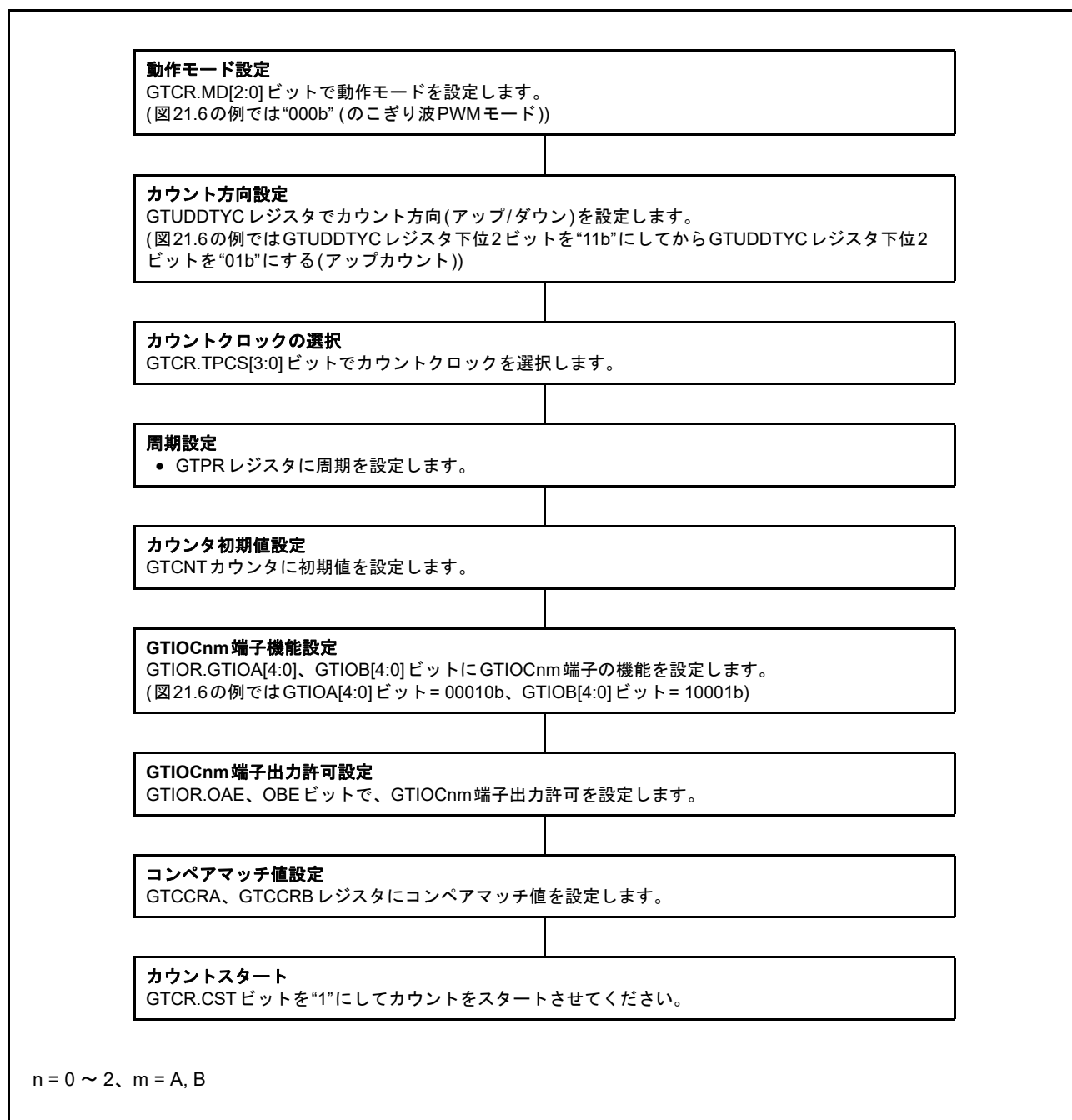


図 21.7 Low 出力 /High 出力動作設定例

(2) トグル出力

図 21.8、図 21.9 に GTCCRA、GTCCRB レジスタとのコンペアマッチによるトグル出力動作例を示します。

図 21.8 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA、GTCCRB レジスタとのコンペアマッチによりそれぞれ GTIIOC0A、GTIIOC0B 端子をトグル出力となるように設定した場合の例です。

図 21.9 は、GPTW0.GTCNT カウンタをアップカウントし、GPTW0.GTCCRA レジスタとのコンペアマッチにより GTIIOC0A 端子をトグル出力、周期の終わりで GTIIOC0B 端子をトグル出力となるように設定した場合の例です。

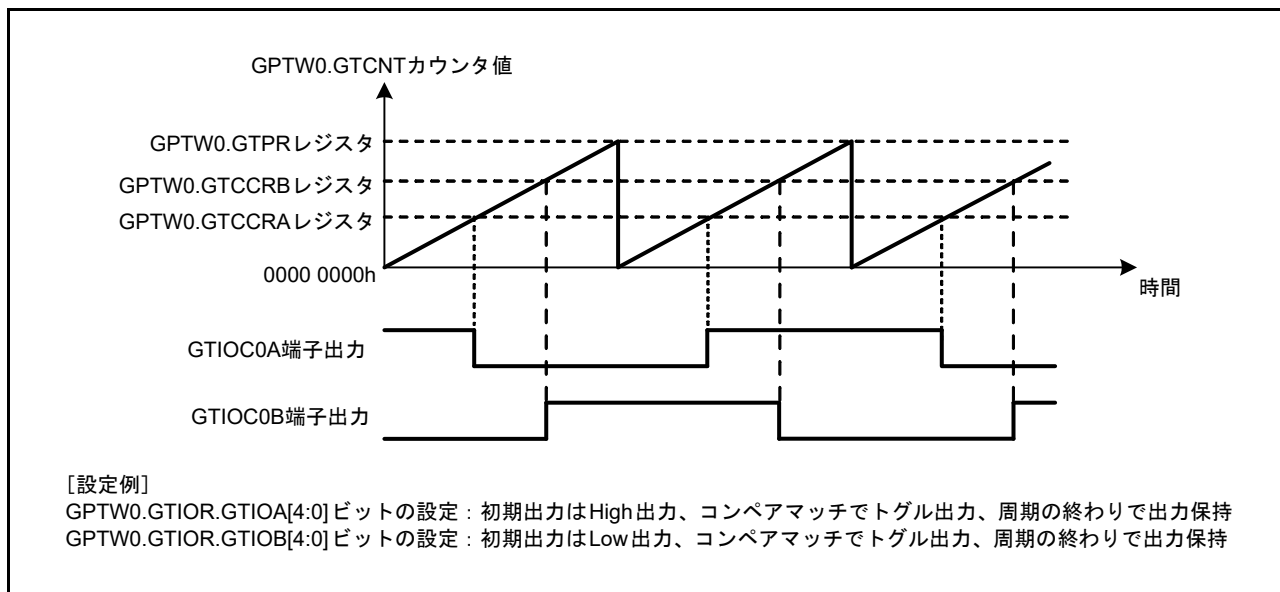


図 21.8 トグル出力動作例 (1)

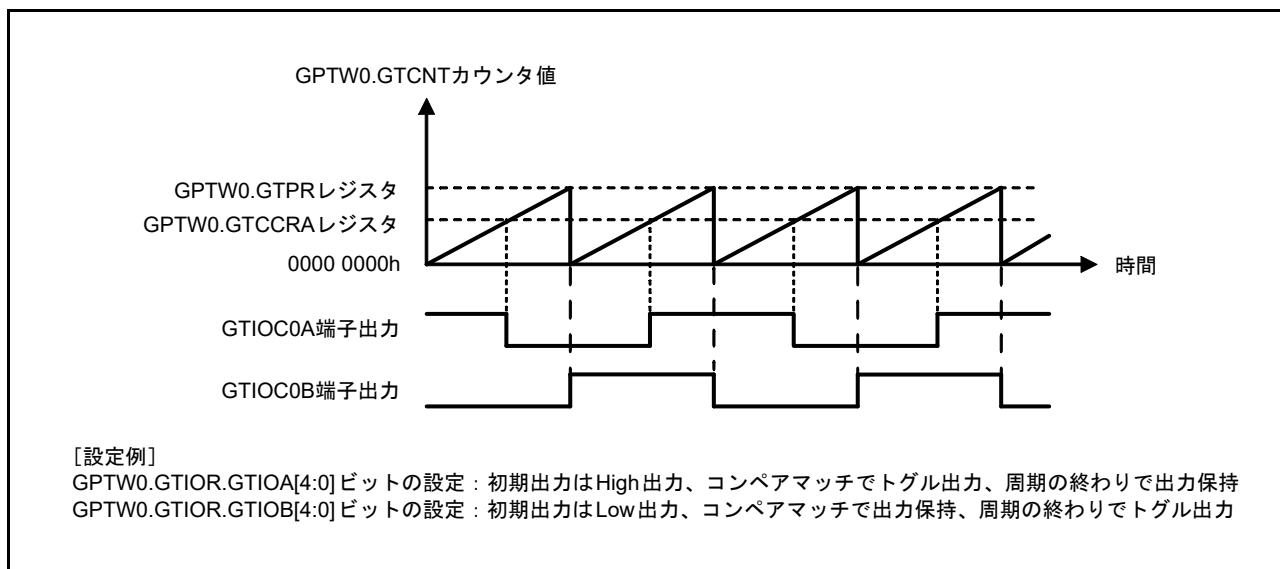


図 21.9 トグル出力動作例 (2)

図 21.10 にトグル出力動作設定例を示します。



図 21.10 トグル出力動作設定例

21.3.1.3 インพุットキャプチャ機能

GTICASR、GTICBSR レジスタで選択したハードウェア要因を検出して、GTCNT カウンタの値をそれぞれ GTCCRA、GTCCRB レジスタに転送することができます。

図 21.11 にインพุットキャプチャ機能の動作例を示します。

GPTW0.GTCNT カウンタをアップカウントし、GTIOC0A 端子入力の両エッジでインพุットキャプチャ、GTIOC0B 端子入力の立ち上がりエッジでインพุットキャプチャとなるように設定した場合の例です。

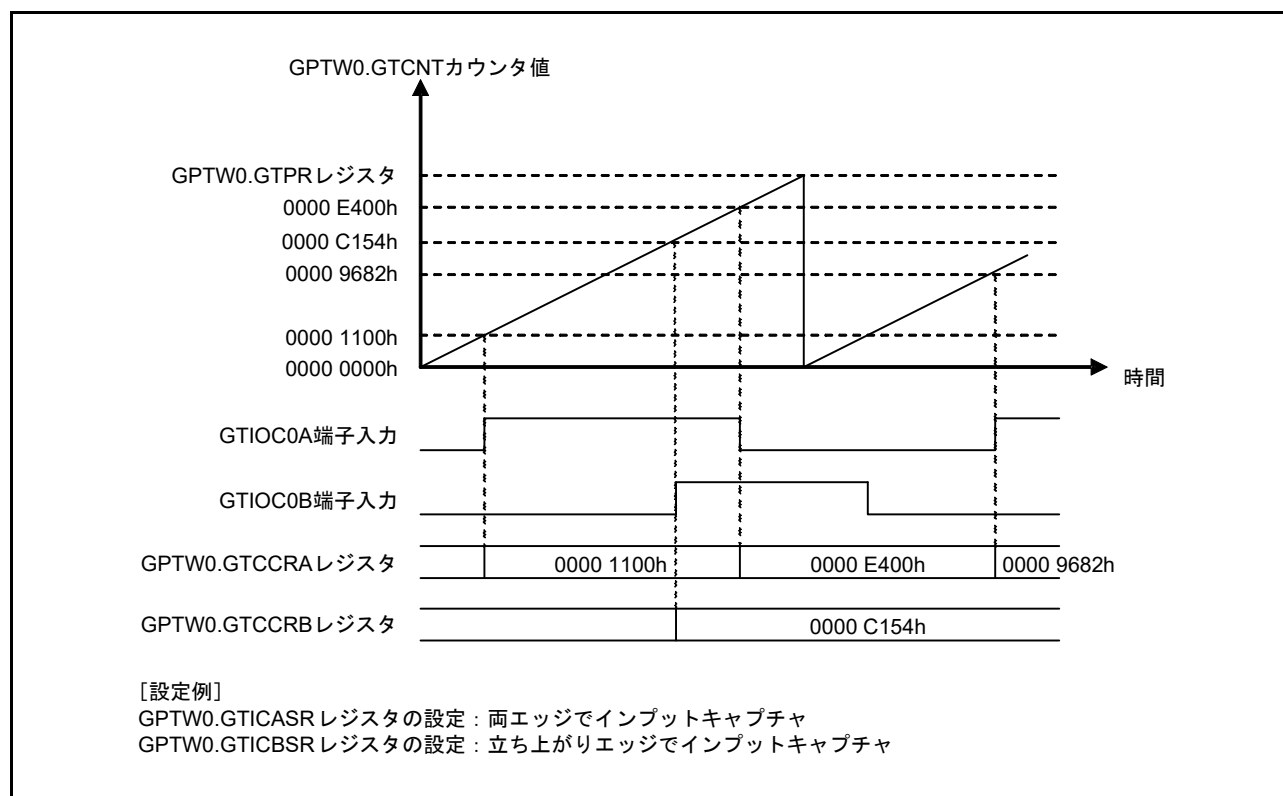


図 21.11 インพุットキャプチャ動作例

図 21.12 にインプットキャプチャ動作設定例を示します。

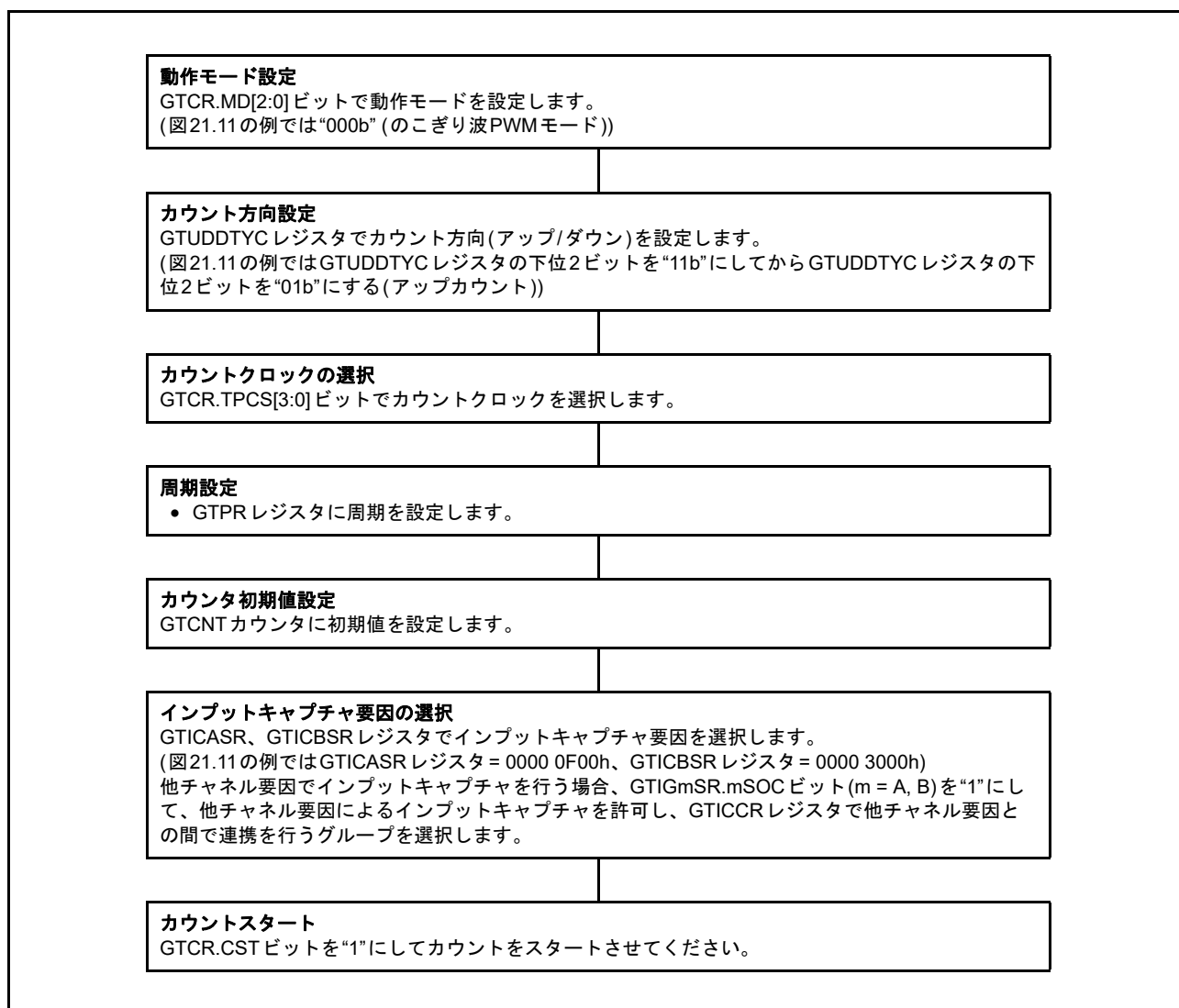


図 21.12 インプットキャプチャ動作設定例

図 21.13 に GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。

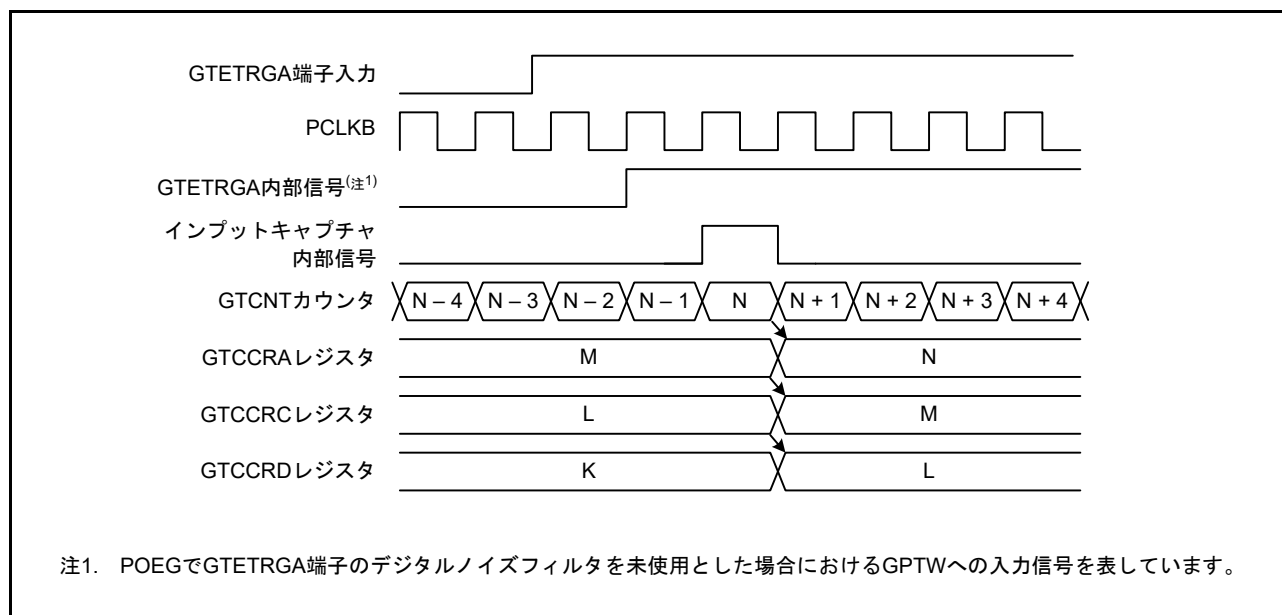


図 21.13 GTETRGA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 21.14 に GTIOChA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例を示します。

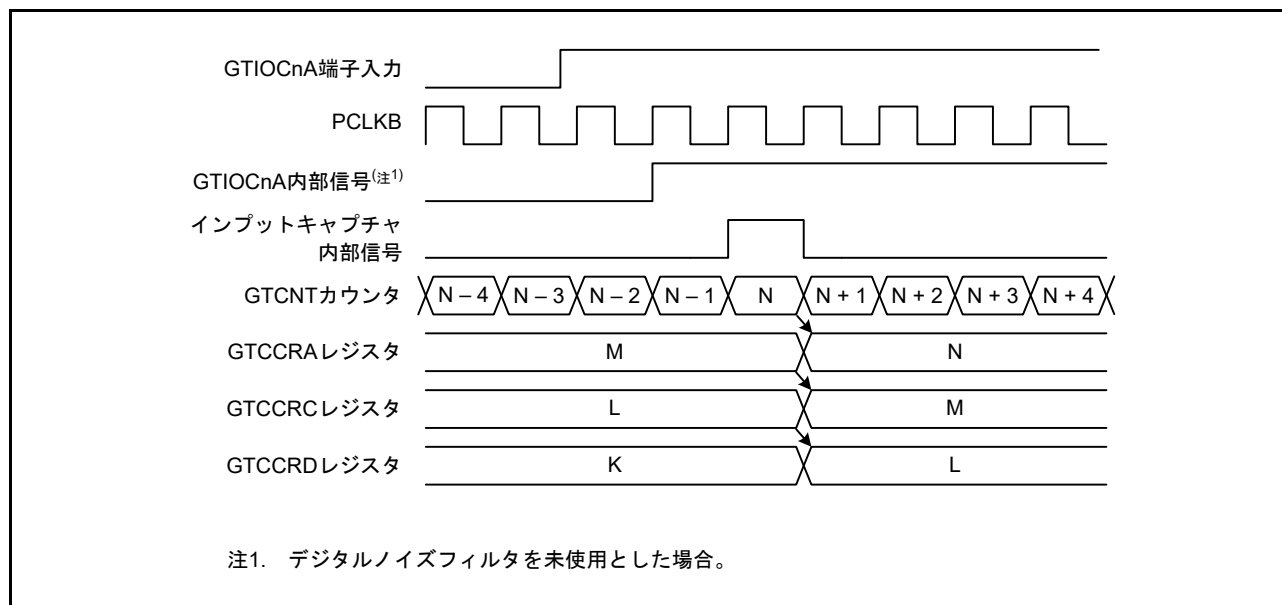


図 21.14 GTIOChA 端子入力立ち上がりによるインプットキャプチャ動作タイミング例

図 21.15 に他チャネルのカウンタクロックによるインプットキャプチャ動作タイミング例を示します。

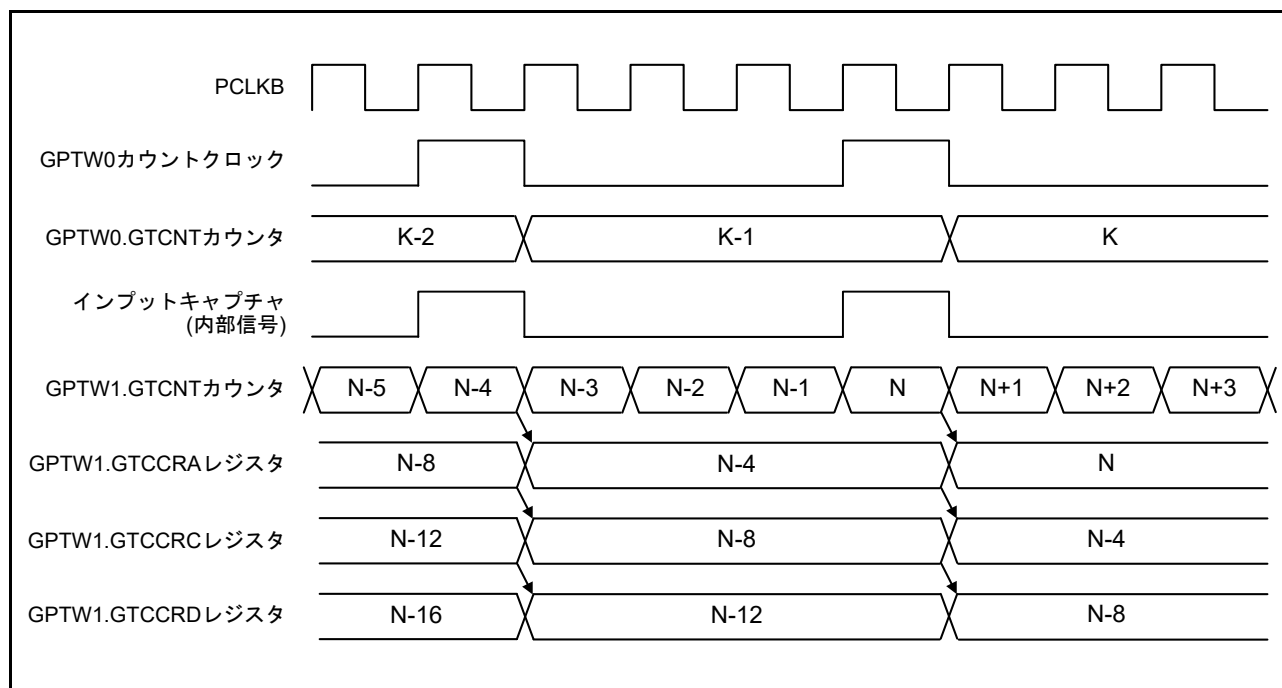


図 21.15 他チャネルのカウンタクロックによるインプットキャプチャ動作タイミング例

21.3.2 バッファ動作

GTBER レジスタを設定することにより、以下のバッファ動作が可能です。

- GTPR レジスタと GTPBR、GTPDBR レジスタを組み合わせたバッファ動作
- GTCCRA レジスタと GTCCRC、GTCCRD レジスタを組み合わせたバッファ動作
- GTCCRB レジスタと GTCCRE、GTCCRF レジスタを組み合わせたバッファ動作
- GTADTRA レジスタと GTADTBRA、GTADTDDBRA レジスタを組み合わせたバッファ動作
- GTADTRB レジスタと GTADTBRB、GTADTDDBRB レジスタを組み合わせたバッファ動作

GTDTCR レジスタを設定することにより、以下のバッファ動作も可能です。

- GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作
- GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作

21.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタのバッファレジスタ (GTPR レジスタのダブルバッファレジスタ) として動作します。

バッファ転送のタイミングは、のこぎり波の場合はオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時) または三角波の場合は谷となります。

のこぎり波の場合は、カウント動作中、下記に示すカウンタクリアが発生した場合でも、バッファ転送を行います。

- ハードウェア要因クリア
(GTCSR.CSGTRGAR、CSGTRGAF、CSCARBL、CSCARBH、CSCAFBL、CSCAFBH、CSCBRAL、CSCBRAH、CSCBFAL、CSCBFAH、CSCMSC[2:0] ビットで選択したクリア要因)
- ソフトウェアによるクリア
(GTCSR.CCLR ビットが“1”の状態、GTCLR.CCLR_n ビットに“1”を書いた場合) (n = 0 ~ 2)

のこぎり波の場合、GTBER2.CCTPR ビットによって、カウンタクリアによるバッファ転送を禁止することが可能です。

GTPR レジスタをダブルバッファ動作させる場合には GTBER.PR[1:0] ビットを“10b”または“11b”、シングルバッファ動作させる場合には“01b”、バッファ動作させない場合には“00b”にします。

図 21.16 ~ 図 21.18 に GTPR レジスタのバッファ動作例を、図 21.19 に GTPR レジスタのバッファ動作設定例を示します。

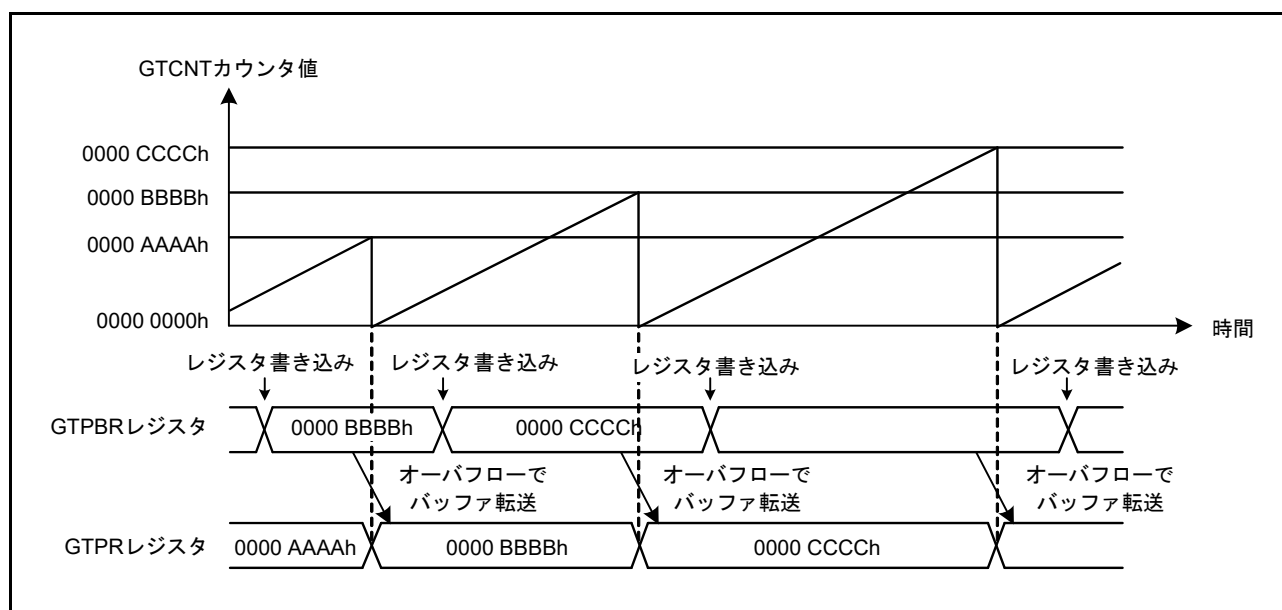


図 21.16 GTPR レジスタのバッファ動作例 (のこぎり波でアップカウントの場合)

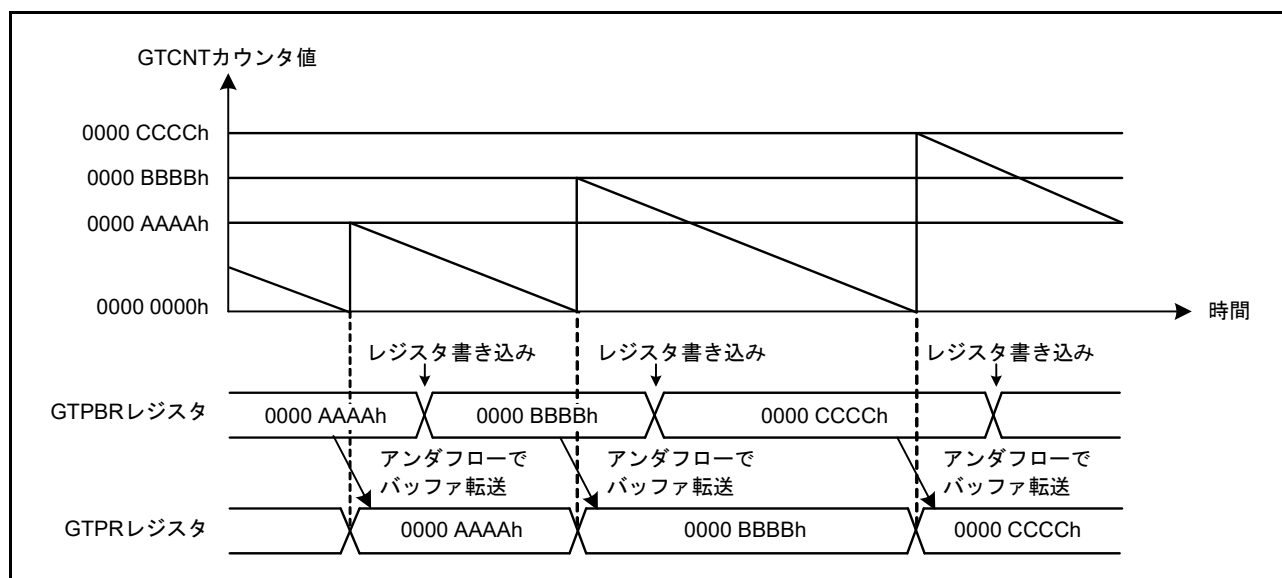


図 21.17 GTPR レジスタのバッファ動作例 (のこぎり波でダウンカウントの場合)

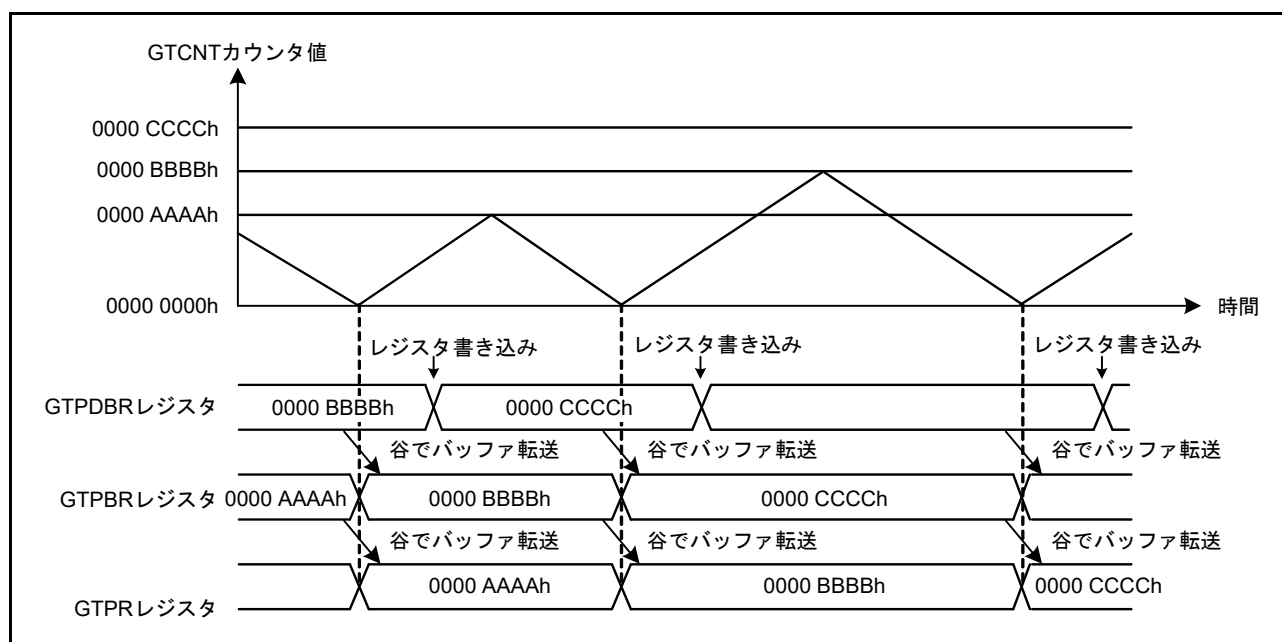


図 21.18 GTPR レジスタのダブルバッファ動作例 (三角波の場合)

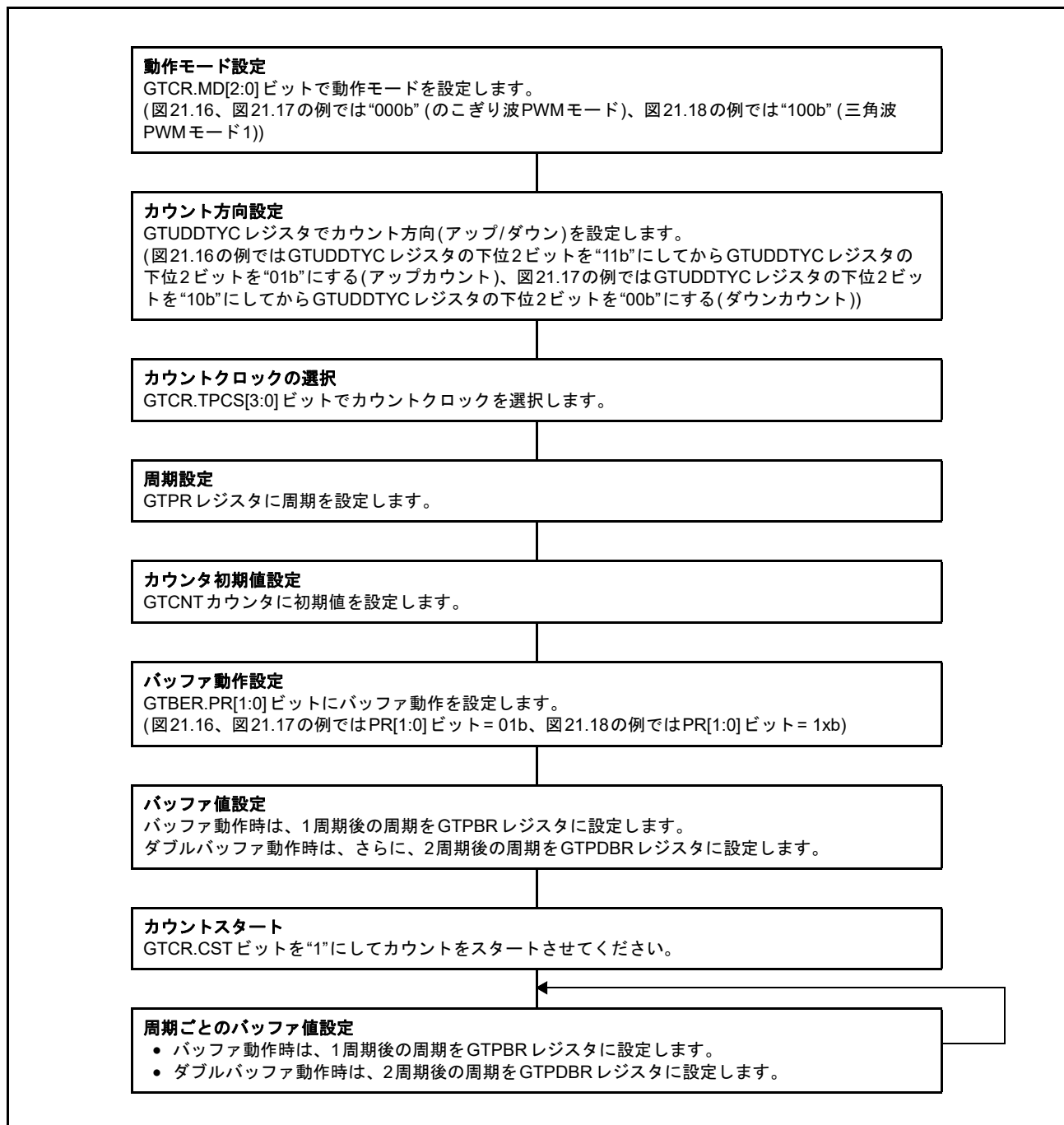


図 21.19 GTPR レジスタのバッファ動作設定例

21.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ (GTCCRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ (GTCCRB レジスタのダブルバッファレジスタ) として動作します。

GTCCRA、GTCCRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.CCRA[1:0]、CCRB[1:0] ビットに “10b” または “11b”、シングルバッファ動作させる場合には “01b”、バッファ動作させない場合には “00b” にします。

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合、GTBER.CCRA[1:0]、CCRB[1:0] ビットの設定に関わらず、PWM 出力動作モード固有のバッファ動作を行います。

以下、アウトプットコンペア動作時、インプットキャプチャ動作時のバッファ動作について説明します。

(1) GTCCRA、GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合、バッファ転送は、GTBER.CCRA[1:0]、CCRB[1:0] ビットの設定に関わらず、PWM 出力動作モード固有の操作を行います。詳細は「21.3.3 PWM 出力動作モード」を参照してください。これらを除く、PWM 出力動作モードにおける通常のバッファ転送は、下記の 4 ケースがあります。

- オーバフロー/アンダフローによるバッファ転送
のこぎり波の場合はオーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時)、三角波の場合は谷 (三角波 PWM モード 1) または山 / 谷 (三角波 PWM モード 2) でバッファ転送を行います。
- カウンタクリアによるバッファ転送
のこぎり波の場合は、カウント動作中、「21.3.2.1 GTPR レジスタのバッファ動作」と同様のカウンタクリア要因によって、オーバフロー (アップカウント時) またはアンダフロー (ダウンカウント時) の場合と同じバッファ転送を行います。
のこぎり波の場合、GTBER2.CCTCm (m = A, B) ビットによって、カウンタクリアによる GTCCRm レジスタのバッファ転送を禁止することが可能です。
三角波の場合は、カウンタクリアによるバッファ転送を行いません。
- コンペアマッチによるバッファ転送
のこぎり波の場合、GTBER2.CMTCm (m = A, B) ビットによるバッファ転送許可によって GTCCRm レジスタのコンペアマッチによる GTCCRm レジスタのバッファ転送を行います。
- 強制バッファ転送
のこぎり波、三角波の場合ともに、カウントストップ中に GTBER.CCRSWT ビットに “1” を書くと、GTCCRA、GTCCRB レジスタのバッファ転送を強制的に行います。
のこぎり波ワンショットパルスモードおよび三角波 PWM モード 3 の場合は、カウントストップ中の強制バッファ転送により、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B のバッファ転送も行います。

GTBER.DBRTEm (m = A, B) ビットを “1” にして、のこぎり波ワンショットパルスモード、三角波 PWM モード 3 を使用すると、GTBER.BD[0] ビットまたはバッファ転送拡張間引き機能によって、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRm (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、「21.7.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」を参照してください。

図 21.20 ~ 図 21.22 に GTCCRA、GTCCRB レジスタのバッファ動作例を、図 21.23 に GTCCRA、GTCCRB レジスタのバッファ動作設定例を示します。

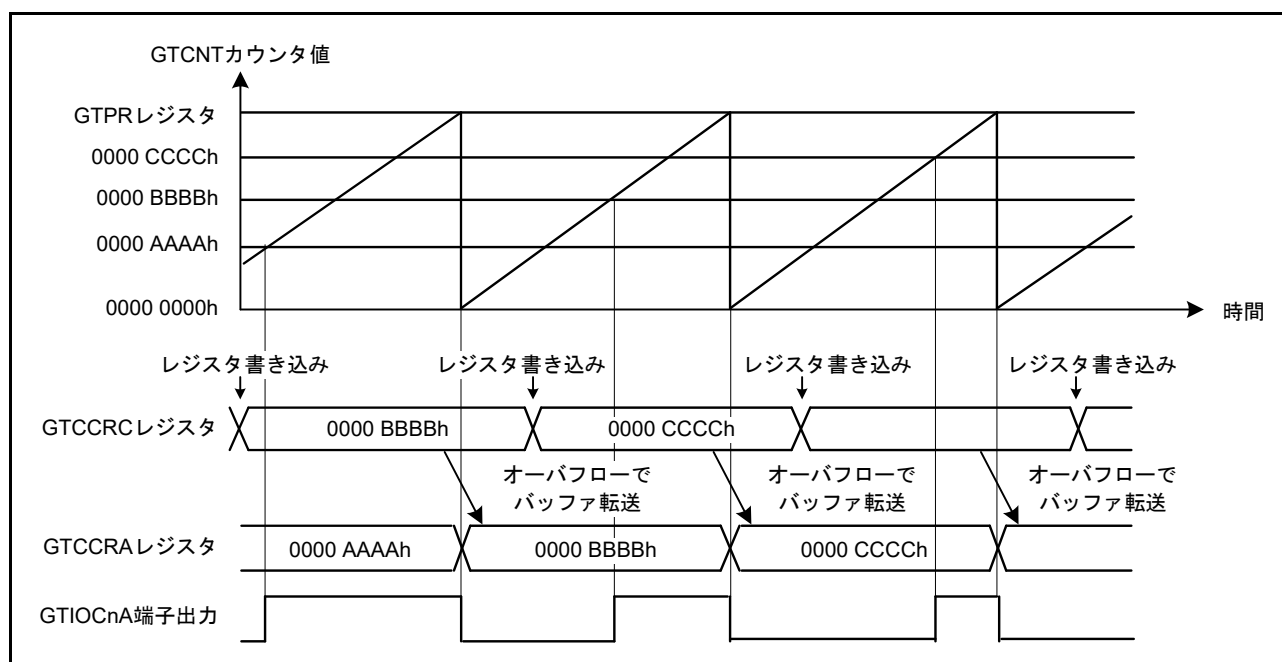


図 21.20 GTCCRA、GTCCRB レジスタのバッファ動作例
(アウトプットコンペア、のこぎり波でアップカウント、GTCCRA レジスタコンペアマッチで High 出力、周期の終わりで Low 出力の場合) (n = 0 ~ 2)

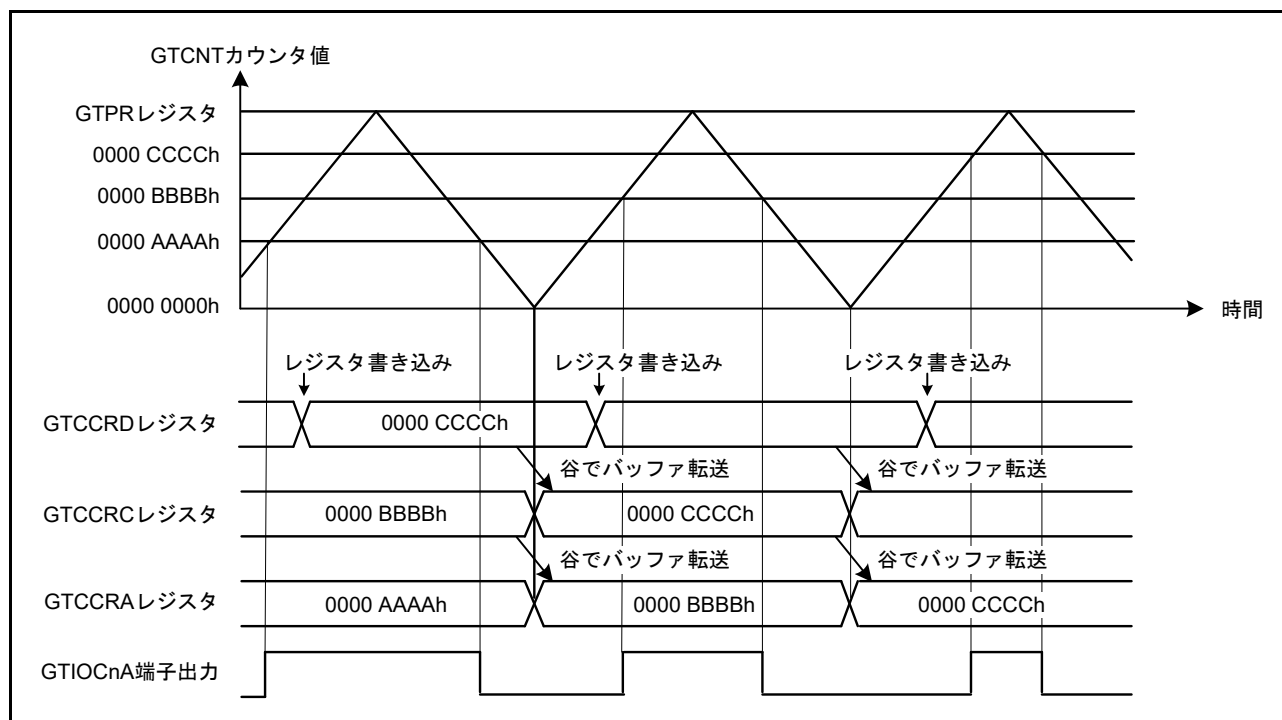


図 21.21 GTCCRA、GTCCRB レジスタのダブルバッファ動作例
(アウトプットコンペア、三角波、谷でバッファ転送、GTCCRA レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ~ 2)

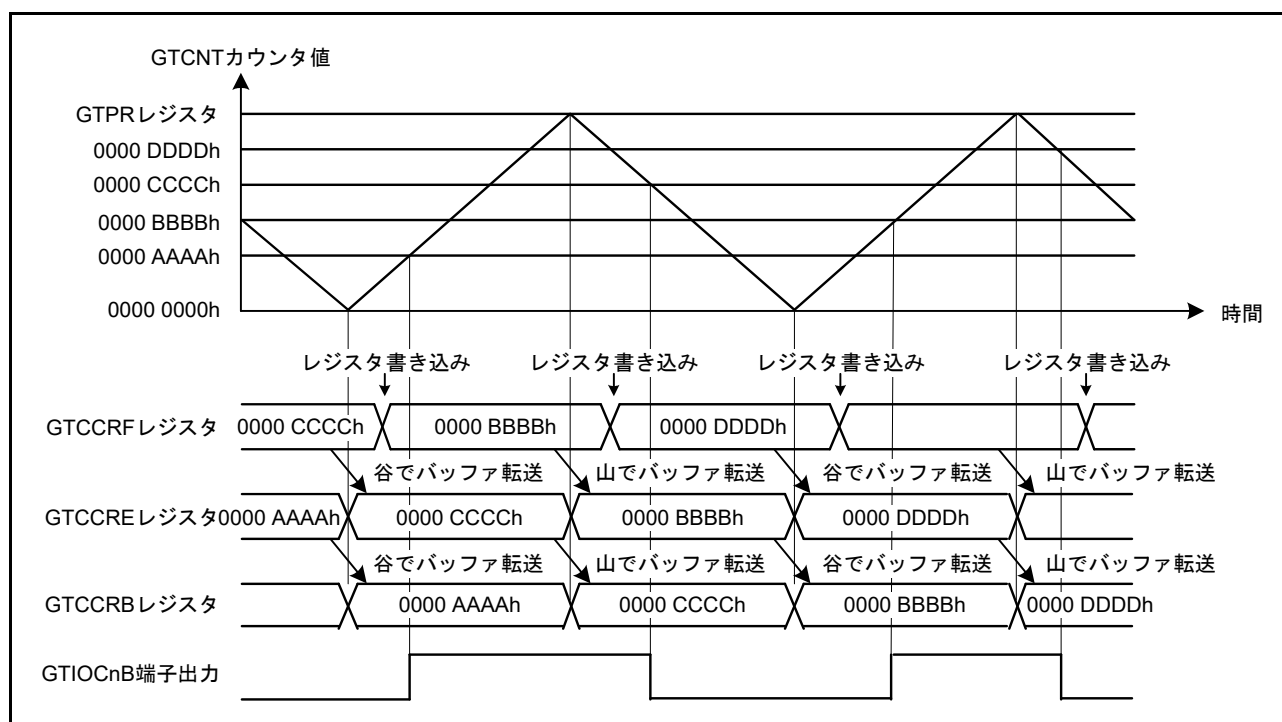


図 21.22 GTCCRA、GTCCRB レジスタのダブルバッファ動作例
 (アウトプットコンペア、三角波、谷 / 山両方でバッファ転送、GTCCRB レジスタコンペアマッチでトグル出力、周期の終わりで出力保持の場合) (n = 0 ~ 2)

動作モード設定 GTCR.MD[2:0] ビットで動作モードを設定します。 (図 21.20 の例では "000b" (のこぎり波 PWM モード)、図 21.21 の例では "100b" (三角波 PWM モード 1)、図 21.22 の例では "101b" (三角波 PWM モード 2))	
カウント方向設定 GTUDDTYC レジスタでカウント方向 (アップ/ダウン) を設定します。 (図 21.20 の例では GTUDDTYC レジスタの下位 2 ビットを "11b" にしてから GTUDDTYC レジスタの下位 2 ビットを "01b" にする (アップカウント))	
カウントクロックの選択 GTCR.TPCS[3:0] ビットでカウントクロックを選択します。	
周期設定 • GTPR レジスタに周期を設定します。	
カウンタ初期値設定 GTCNT カウンタに初期値を設定します。	
GTIOCNm 端子機能設定 GTIOR.GTIOA[4:0]、GTIOB[4:0] ビットに GTIOCNm 端子の機能を設定します。 (図 21.20 の例では GTIOA[4:0] ビット = 00110b、図 21.21 の例では GTIOA[4:0] ビット = 00011b、図 21.22 の例では GTIOB[4:0] ビット = 00011b)	
GTIOCNm 端子出力許可設定 GTIOR.OAE、OBE ビットで、GTIOCNm 端子出力許可を設定します。	
バッファ動作設定 GTBER.CCRA[1:0]、CCRB[1:0] ビットにバッファ動作を設定します。 (図 21.20 の例では CCRA[1:0] ビット = 01b、図 21.21 の例では CCRA[1:0] ビット = 1xb、図 21.22 の例では CCRB[1:0] ビット = 1xb)	
コンペアマッチ値設定 GTIOCNm 端子の切り替わりポイントを GTCCRA レジスタに、GTIOCNm 端子の切り替わりポイントを GTCCRB レジスタに設定します。	
バッファ値設定 バッファ動作時は、1 周期後 (のこぎり波の場合、および三角波で (山) もしくは (谷) でバッファ転送の場合) もしくは半周期後 (三角波で (谷/山) 両方でバッファ転送の場合) の GTIOCNm 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCNm 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後 (のこぎり波の場合、および三角波で (山) もしくは (谷) でバッファ転送の場合) もしくは 1 周期後 (三角波で (谷/山) 両方でバッファ転送の場合) の GTIOCNm 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCNm 端子の切り替わりポイントを GTCCRF レジスタに設定します。	
カウントスタート GTCR.CST ビットを "1" にしてカウントをスタートさせてください。	
周期ごとのバッファ値設定 バッファ動作時は、1 周期後 (のこぎり波の場合、および三角波で (山) もしくは (谷) でバッファ転送の場合) もしくは半周期後 (三角波で (谷/山) 両方でバッファ転送の場合) の GTIOCNm 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCNm 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後 (のこぎり波の場合、および三角波で (山) もしくは (谷) でバッファ転送の場合) もしくは 1 周期後 (三角波で (谷/山) 両方でバッファ転送の場合) の GTIOCNm 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCNm 端子の切り替わりポイントを GTCCRF レジスタに設定します。	

n = 0 ~ 2, m = A, B

図 21.23 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (アウトプットコンペア時)

(2) GTCCRA、GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

バッファ転送のタイミングは、インプットキャプチャが発生したポイントとなります。インプットキャプチャが発生すると、GTCNT カウンタの値を GTCCRA、GTCCRB レジスタに転送すると同時に、それまで格納されていた GTCCRA、GTCCRB レジスタの値をバッファレジスタに転送します。インプットキャプチャでは、カウンタクリアによるバッファ転送を行いません。

図 21.24、図 21.25 に GTCCRA、GTCCRB レジスタのバッファ動作例を、図 21.26 に GTCCRA、GTCCRB レジスタのバッファ動作設定例を示します。

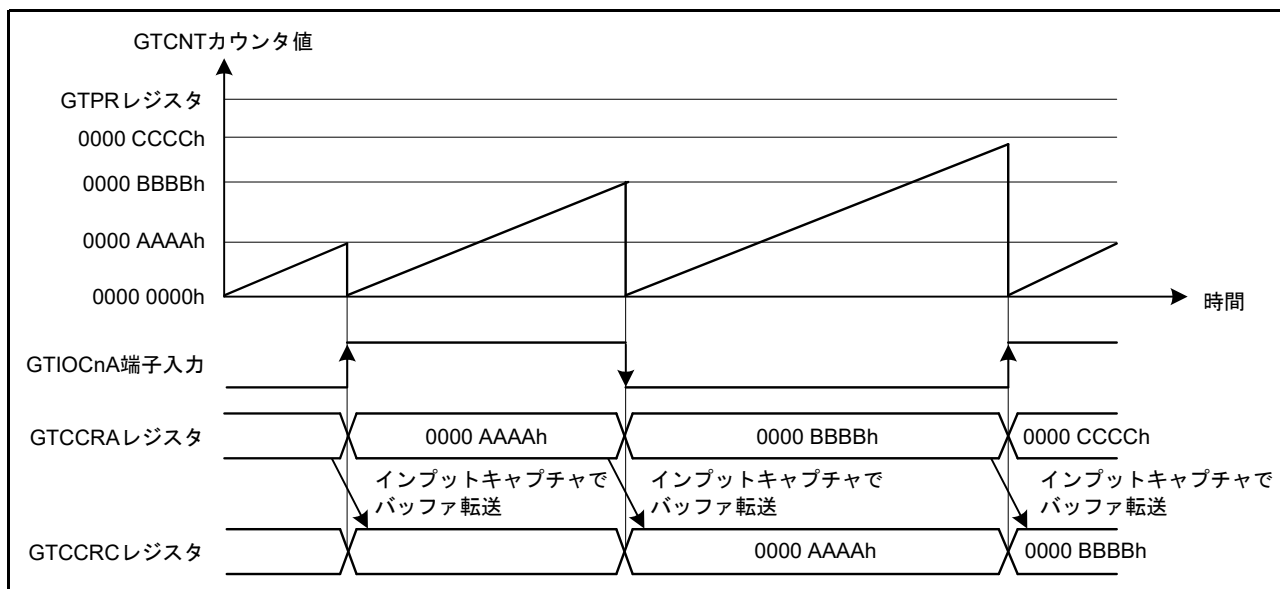


図 21.24 GTCCRA、GTCCRB レジスタのバッファ動作例

(のこぎり波でアップカウント、GTIOcNA 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ~ 2)

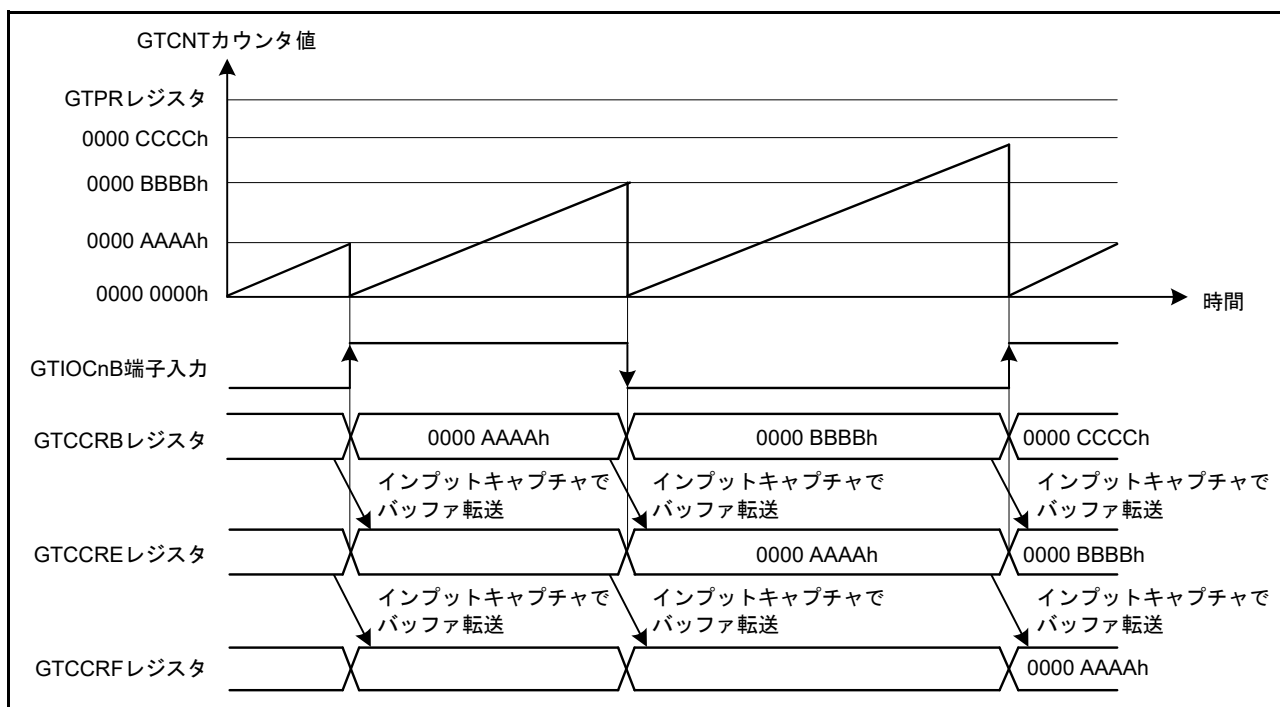


図 21.25 GTCCRA、GTCCRB レジスタのダブルバッファ動作例

(のこぎり波でアップカウント、GTIOcNB 端子入力の両エッジで GTCNT カウンタクリアおよびインプットキャプチャの場合) (n = 0 ~ 2)

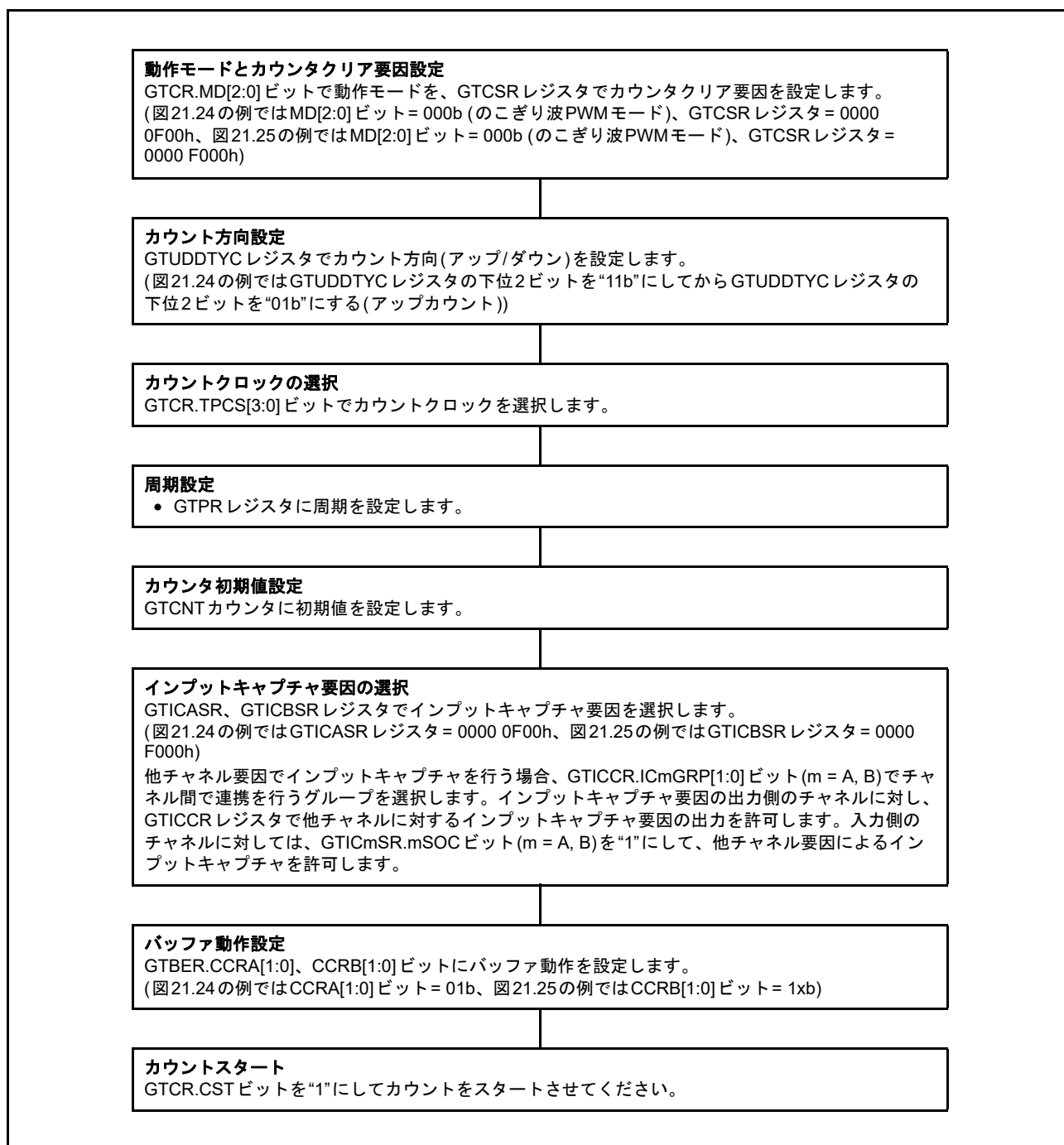


図 21.26 GTCCRA、GTCCRB レジスタのバッファ動作設定例 (インプットキャプチャ時)

21.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ (GTADTRA レジスタのダブルバッファレジスタ) として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ (GTADTRB レジスタのダブルバッファレジスタ) として動作します。

GTADTRA、GTADTRB レジスタをダブルバッファ動作させる場合には、それぞれ GTBER.ADTDA、ADTDB ビットを“1”に、シングルバッファ動作させる場合には“0”にします。GTADTRA、GTADTRB レジスタをバッファ動作させない場合には、それぞれ GTBER.ADTTA[1:0]、ADTTB[1:0] ビットを“00b”にします。

バッファ転送のタイミングは ADTTA[1:0]、ADTTB[1:0] ビットで設定でき、のこぎり波の場合はオーバーフロー (アップカウンタ時)、アンダフロー (ダウンカウンタ時)、または三角波の場合は ADTTA[1:0]、ADTTB[1:0] ビットが“01b”のときは山、“10b”のときは谷、“11b”のときは谷/山の両方となります。

のこぎり波の場合は、カウンタ動作中かつ ADTTA[1:0]、ADTTB[1:0] ビットの設定が“00b”以外の条件で、「21.3.2.1 GTPR レジスタのバッファ動作」と同様のカウンタクリア要因によって、オーバーフロー (アップカウンタ時) またはアンダフロー (ダウンカウンタ時) の場合と同じバッファ転送を行います。

のこぎり波の場合、GTBER2.CCTADm (m = A, B) ビットによって、カウンタクリアによる GTADTRm レジスタのバッファ転送を禁止することが可能です。また GTBER2.CMTADm ビットによるバッファ転送許可によって GTADTRm レジスタのコンペアマッチによる GTADTRm レジスタのバッファ転送を行います。

図 21.27 ～図 21.30 に GTADTRA、GTADTRB レジスタのバッファ動作例を、図 21.31 に GTADTRA、GTADTRB レジスタのバッファ動作設定例を示します。

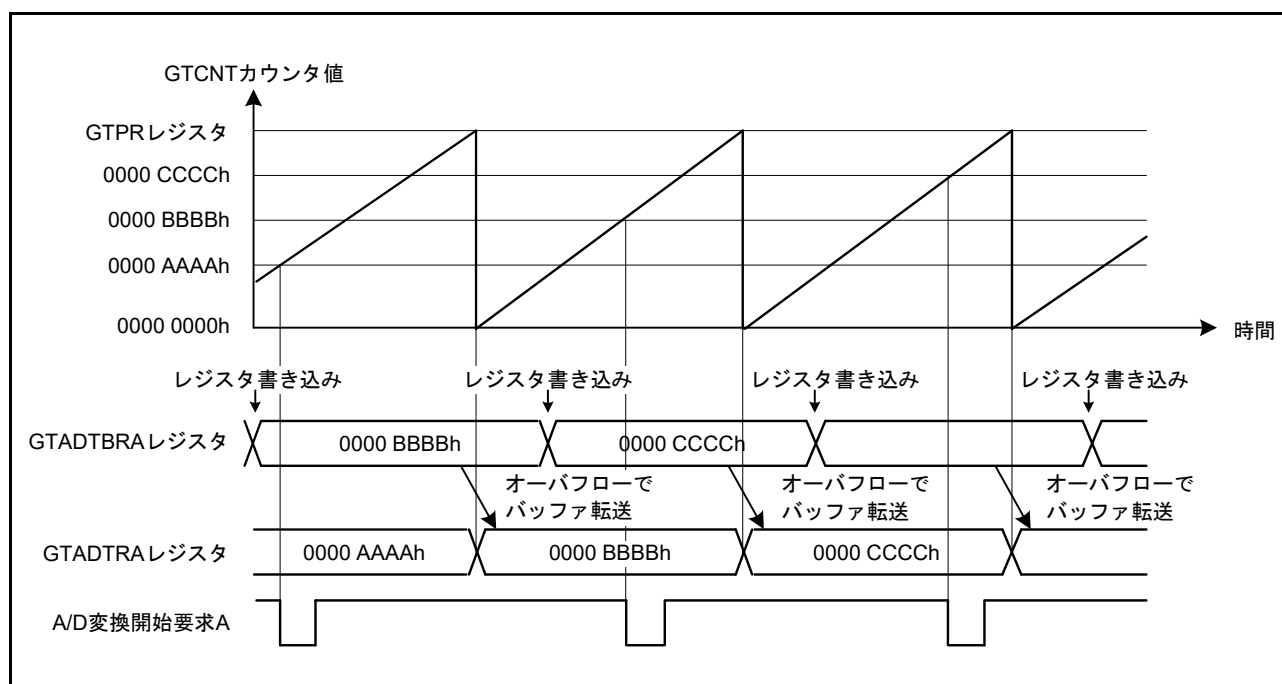


図 21.27 GTADTRA、GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウンタ、アップカウンタで A/D 変換開始要求発生の場合)

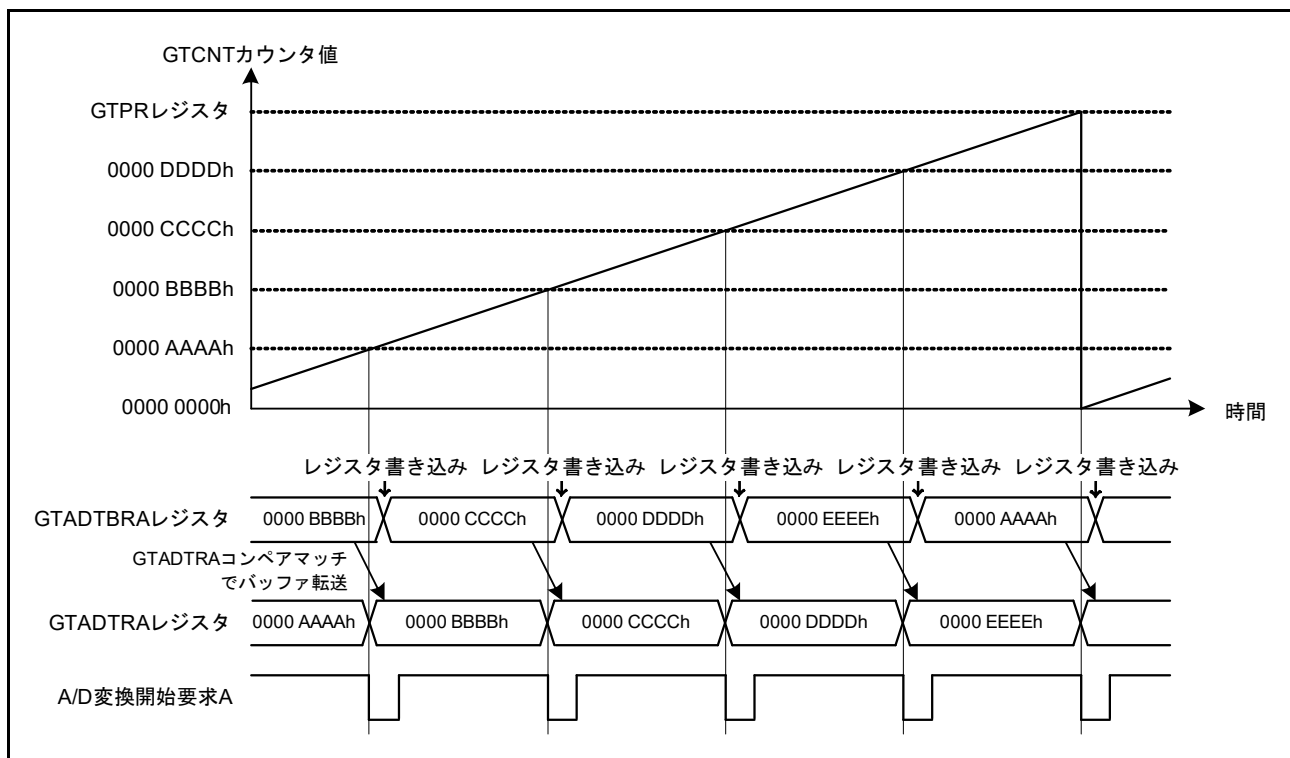


図 21.28 GTADTRA、GTADTRB レジスタのバッファ動作例
(のこぎり波でアップカウント、GTADTRA レジスタコンペアマッチでバッファ転送、アップカ
ウントで A/D 変換開始要求発生の場合)

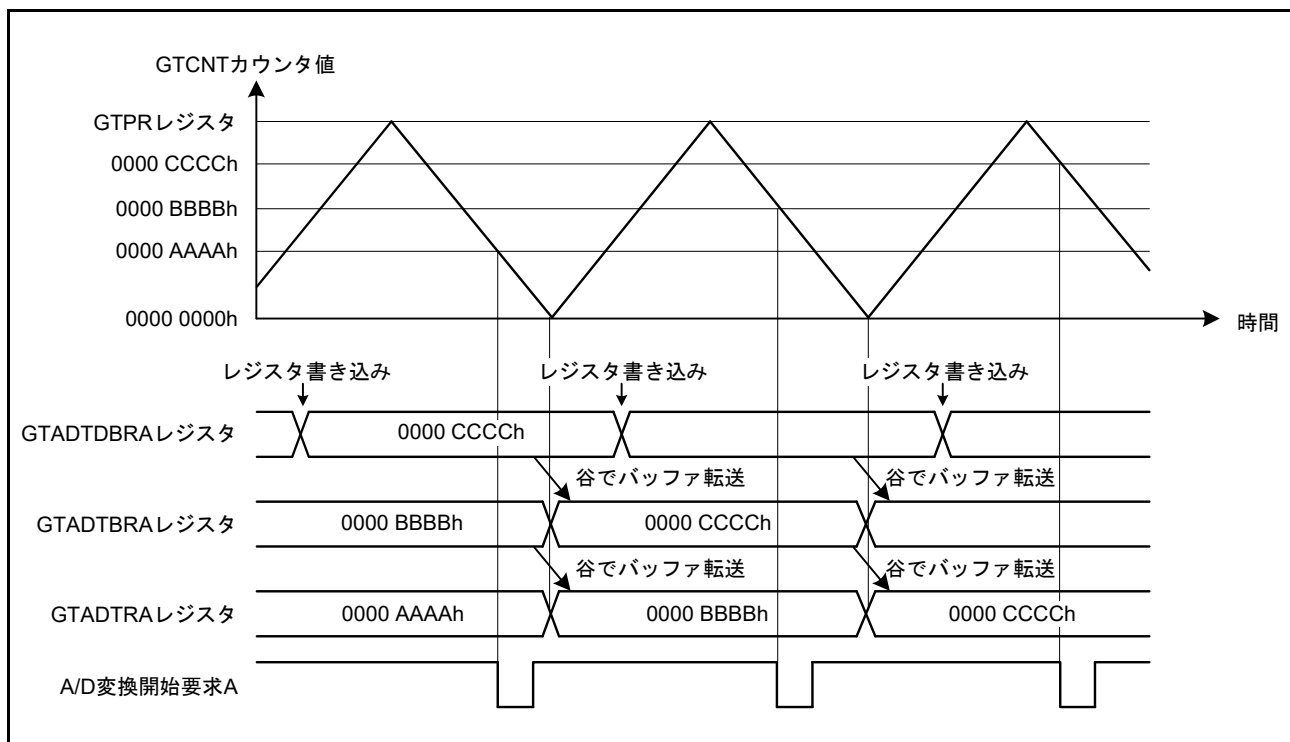


図 21.29 GTADTRA、GTADTRB レジスタのダブルバッファ動作例
(三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合)

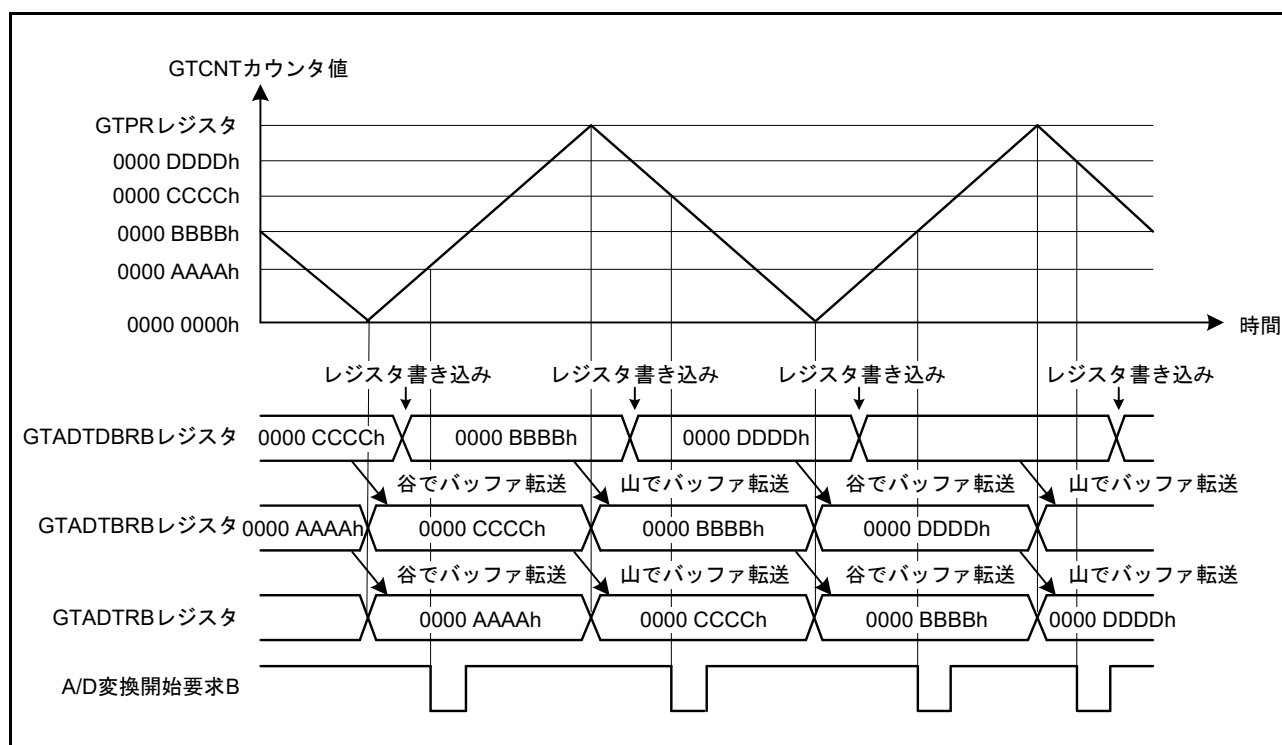


図 21.30 GTADTRA、GTADTRB レジスタのダブルバッファ動作例
(三角波、谷 / 山両方でバッファ転送、アップカウント / ダウンカウント両方で A/D 変換開始要求発生の場合)

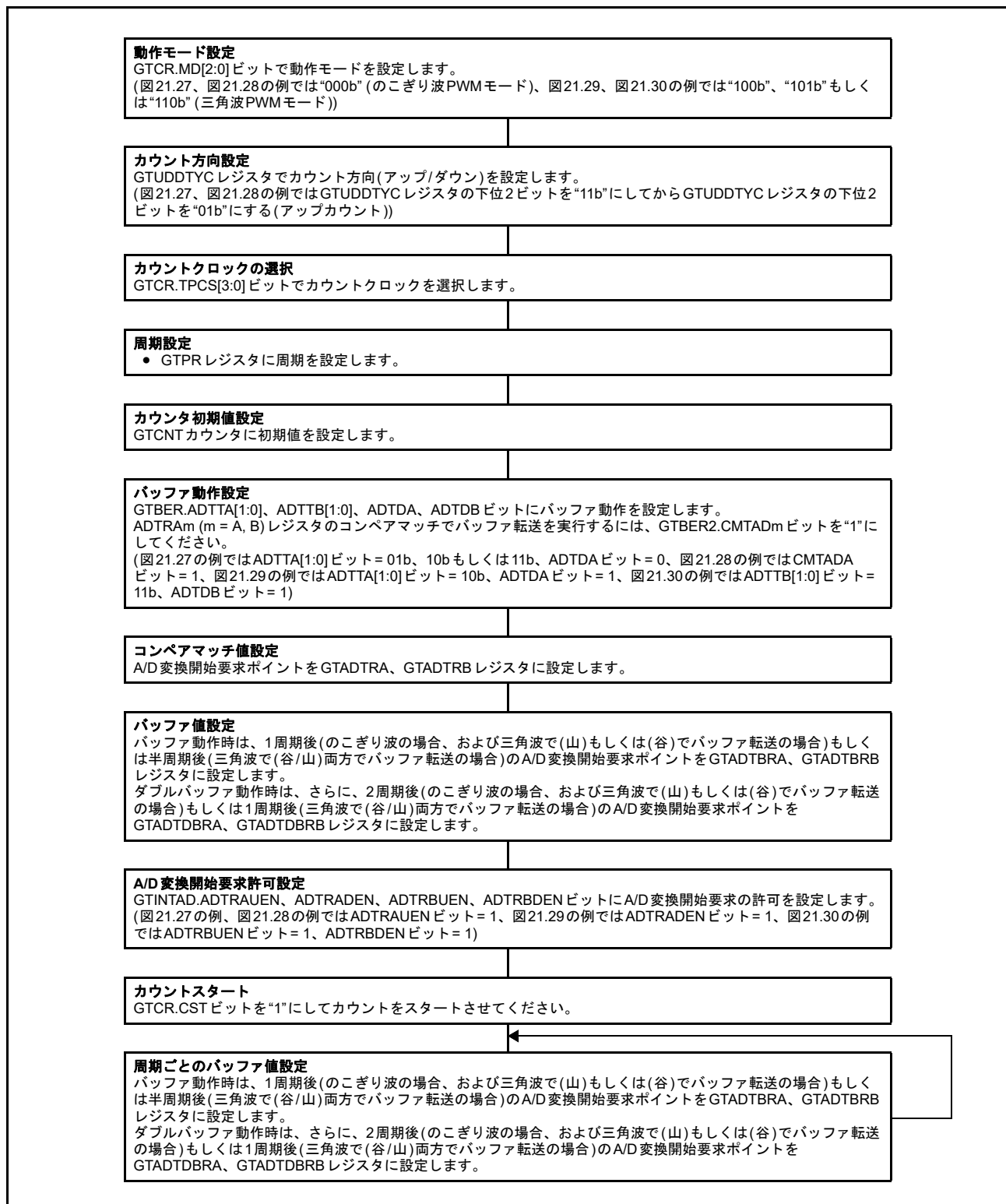


図 21.31 GTADTRA、GTADTRB レジスタのバッファ動作設定例

21.3.3 PWM 出力動作モード

GTCNT カウンタと GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOcNA、GTIOcNB 端子 ($n = 0 \sim 2$) に PWM 波形を出力することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

のこぎり波、三角波の場合、GTIOR.PSYE ビットを“1”に設定することにより、のこぎり波の場合は周期の終わり、三角波の場合は山 / 谷 / GTCNT カウンタクリアでトグルする PWM 周期に同期した信号を GTCPP00 出力端子から出力することができます。GTCPP00 出力端子の初期出力は Low、カウントスタートによって High になります。

(1) のこぎり波 PWM モード

のこぎり波 PWM モードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波 (半波) 動作させ、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOcNA、GTIOcNB 端子に PWM 波形を出力するモードです。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

周期の終わりと GTCCRm レジスタ ($m = A, B$) のコンペアマッチのタイミングが一致する場合、GTIOR.GTIOm[3:2] ビットに設定した周期の終わりで PWM 出力動作を行います。

図 21.32 にのこぎり波 PWM モードの動作例を、図 21.33 にのこぎり波 PWM モードの設定例を示します。

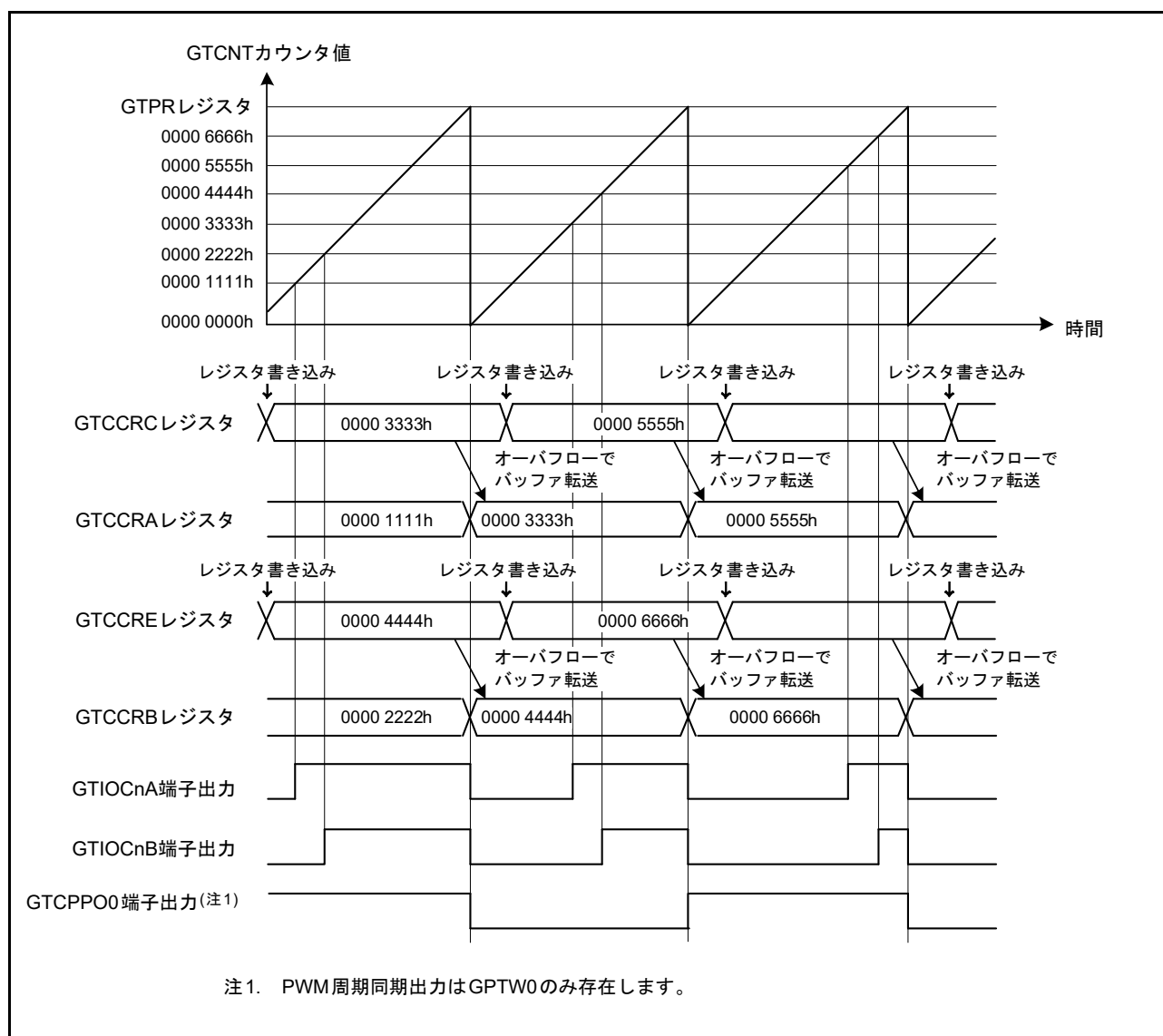


図 21.32 のこぎり波 PWM モード動作例
(アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、
周期の終わりで Low 出力の場合 (n = 0 ~ 2)、GTIOR.PSYE ビット = 1 の場合 (GPTW0))

動作モード設定 GTCR.MD[2:0] ビットで動作モードを設定します。 (図21.32の例では“000b” (のこぎり波PWMモード))	
カウント方向設定 GTUDDTYC レジスタでカウント方向(アップ/ダウン)を設定します。 (図21.32の例ではGTUDDTYC レジスタの下位2ビットを“11b”にしてからGTUDDTYC レジスタの下位2ビットを“01b”にする(アップカウント))	
カウントクロックの選択 GTCR.TPCS[3:0] ビットでカウントクロックを選択します。	
周期設定 GTPR レジスタに周期を設定します。	
カウンタ初期値設定 GTCNT カウンタに初期値を設定します。	
GTIOCnm 端子機能設定 GTIOR.GTIOA[4:0]、GTIOB[4:0] ビットにGTIOCnm端子の機能を設定します。 (図21.32の例ではGTIOA[4:0] ビット = 00110b、GTIOB[4:0] ビット = 00110b)	
GTCPP00 端子出力許可設定 (GPTW0のみ) GTIOR.PSYE ビットで、GTCPP00端子からのPWM出力の許可/禁止を設定します。	
GTIOCnm 端子出力許可設定 GTIOR.OAE、OBE ビットで、GTIOCnm端子出力許可を設定します。	
バッファ動作設定 GTBER.CCRA[1:0]、CCRB[1:0] ビットにバッファ動作を設定します。 (図21.32の例ではCCRA[1:0] ビット = 01b、CCRB[1:0] ビット = 01b)	
コンペアマッチ値設定 GTIOCnA端子の切り替わりポイントをGTCCRAレジスタに、GTIOCnB端子の切り替わりポイントをGTCCRBレジスタに設定します。	
バッファ値設定 バッファ動作時は、1周期後のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタに、GTIOCnB端子の切り替わりポイントをGTCCREレジスタに設定します。 ダブルバッファ動作時は、さらに、2周期後のGTIOCnA端子の切り替わりポイントをGTCCRDレジスタに、GTIOCnB端子の切り替わりポイントをGTCCRFレジスタに設定します。	
カウントスタート GTCR.CST ビットを“1”にしてカウントをスタートさせてください。	
周期ごとのバッファ値設定 バッファ動作時は、1周期後のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタに、GTIOCnB端子の切り替わりポイントをGTCCREレジスタに設定します。 ダブルバッファ動作時は、2周期後のGTIOCnA端子の切り替わりポイントをGTCCRDレジスタに、GTIOCnB端子の切り替わりポイントをGTCCRFレジスタに設定します。	

n = 0 ~ 2、m = A, B

図 21.33 のこぎり波 PWM モード設定例

(2) のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波 (半波) 動作させ、バッファ動作固定で、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCN_A、GTIOCN_B 端子 (n = 0 ~ 2) に PWM 波形を出力するモードです。のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なり、周期の終わりで、GTCCRC レジスタから GTCCRA レジスタに、GTCCRE レジスタから GTCCRB レジスタに、GTCCRD レジスタからテンポラリレジスタ A に、GTCCRF レジスタからテンポラリレジスタ B にバッファ転送され、さらに、GTCCRA レジスタのコンペアマッチでテンポラリレジスタ A から GTCCRA レジスタに、GTCCRB レジスタのコンペアマッチでテンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

テンポラリレジスタ A およびテンポラリレジスタ B は、カウント停止中に GTBER.CCRSWT ビットに“1”を書くことで、GTCCRD レジスタからテンポラリレジスタ A、GTCCRF レジスタからテンポラリレジスタ B に強制バッファ転送を行うことで設定可能です。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

GTBER.DBRTEC_m (m = A, B) ビットを“1”にすると、GTCCR_x (x = C, E) レジスタと GTCCR_m (m = A, B) レジスタの中間バッファとなるテンポラリレジスタ x (x = C, E) とテンポラリレジスタ m (m = A, B) を用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCR_m (m = A, B) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、「21.7.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」を参照してください。

図 21.34 にのこぎり波ワンショットパルスモードの動作例を、図 21.35 にのこぎり波ワンショットパルスモードの設定例を示します。

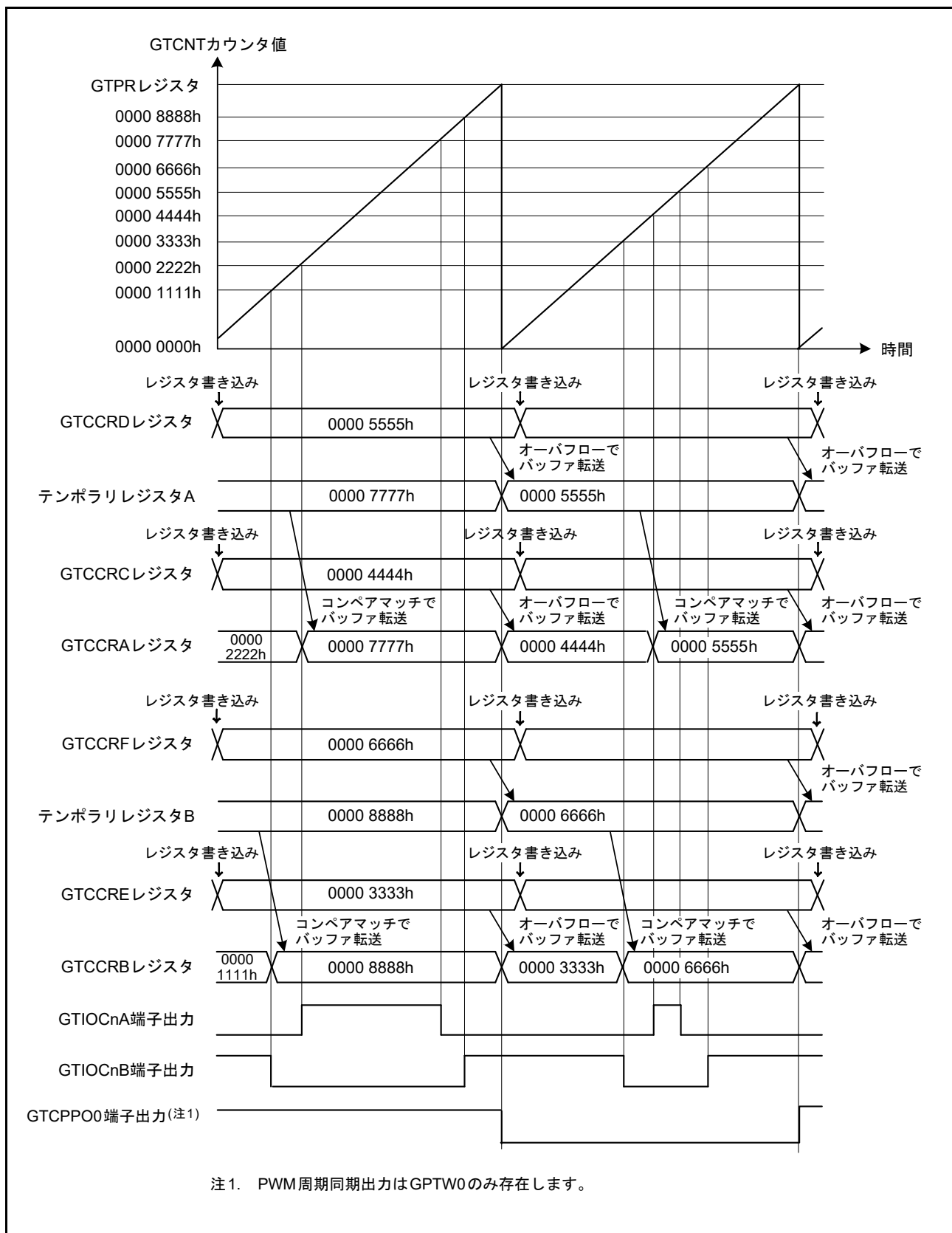


図 21.34 のこぎり波ワンショットパルスモード動作例 (アップカウント、初期出力で GTIOcNA 端子 = Low 出力 / GTIOcNB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ~ 2)、GTIOR.PSYE ビット = 1 の場合 (GPTW0))

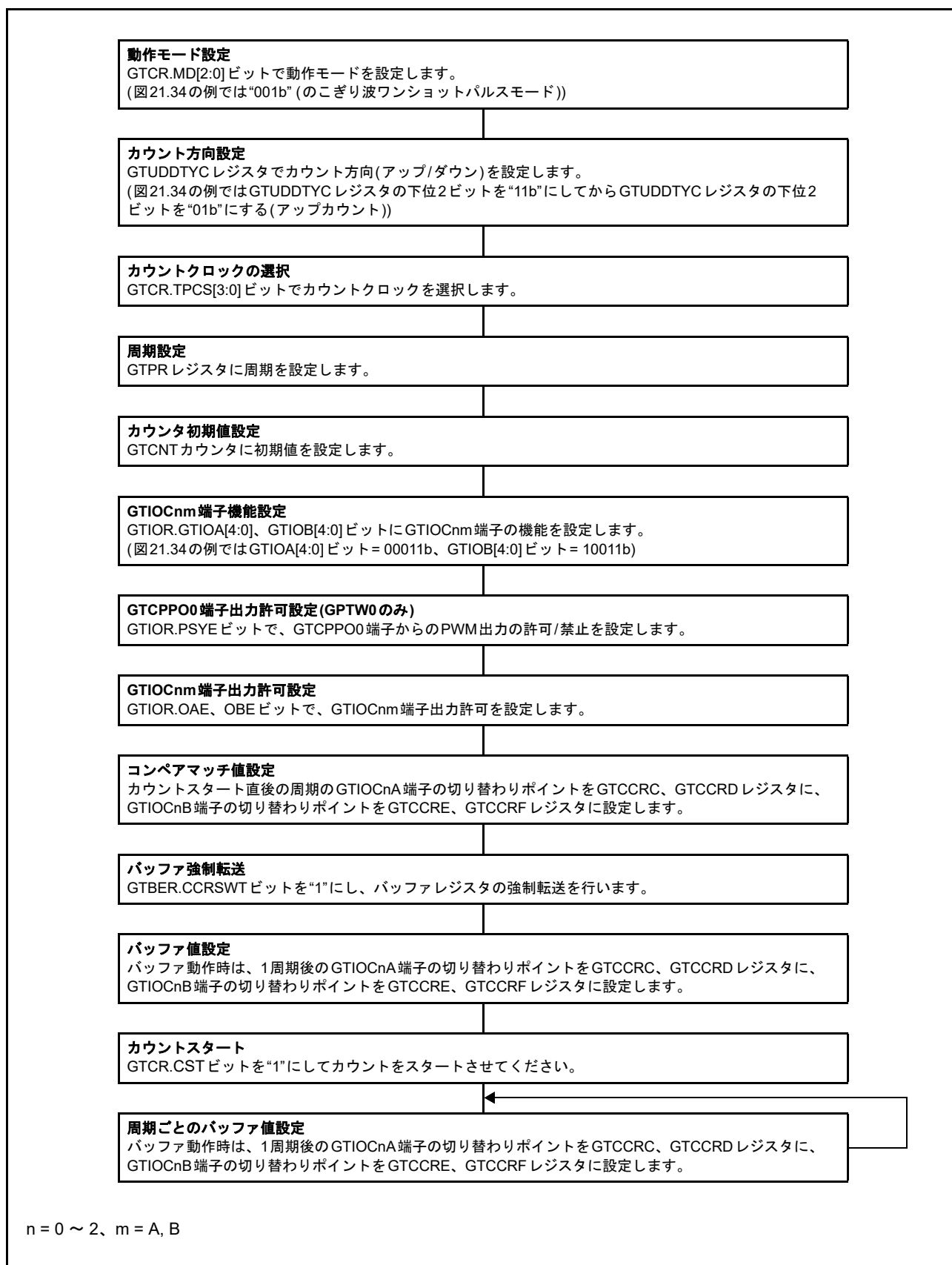


図 21.35 のこぎり波ワンショットパルスモード設定例

(3) 三角波 PWM モード 1 (谷 32 ビット転送)

三角波 PWM モード 1 は、GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子 (n=0~2) に PWM 波形を出力するモードです。バッファ動作のタイミングは、谷となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することによって、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

図 21.36 に三角波 PWM モード 1 の動作例を、図 21.37 に三角波 PWM モード 1 の設定例を示します。

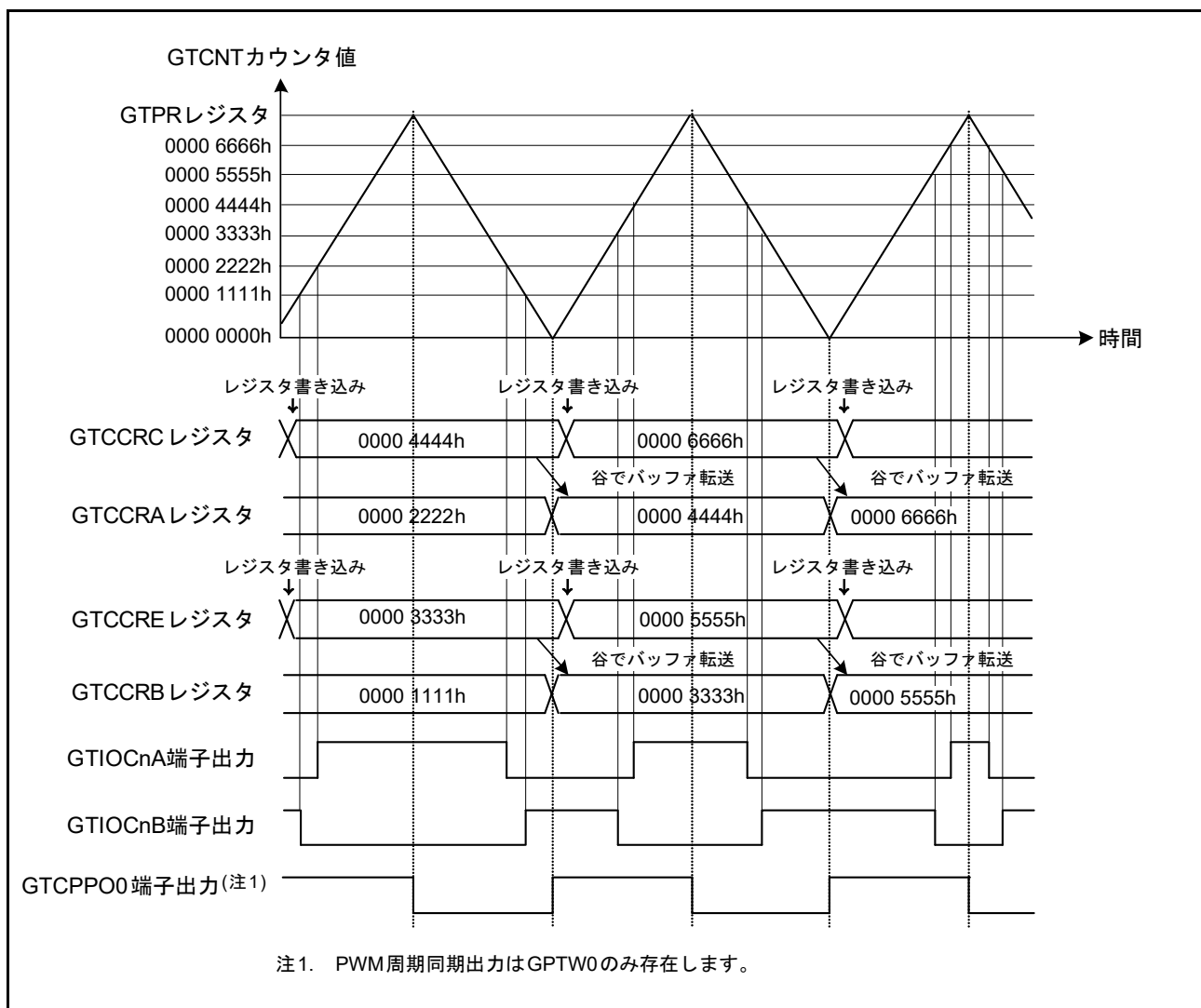


図 21.36 三角波 PWM モード 1 動作例 (バッファ動作、初期出力で GTIOCnA 端子 = Low 出力 / GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n=0~2)、GTIOR.PSYE ビット = 1 の場合 (GPTW0))



図 21.37 三角波 PWM モード 1 設定例

(4) 三角波 PWM モード 2 (山 / 谷 32 ビット転送)

三角波 PWM モード 2 は、三角波 PWM モード 1 と同様に GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、GTCCR_A、GTCCR_B レジスタのコンペアマッチにより、GTIOC_{nA}、GTIOC_{nB} 端子 ($n=0 \sim 2$) に PWM 波形を出力するモードですが、バッファ動作のタイミングは山 / 谷の両方となります。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCR_B レジスタに自動設定することも可能です。

GTCCR_m ($m=A, B$) レジスタをダブルバッファ動作させている場合、GTBER.DBRTEC_m ($m=A, B$) ビットを“1”にすると、GTCCR_x ($x=C, E$) レジスタと GTCCR_m ($m=A, B$) レジスタの中間バッファとなるテンポラリレジスタ x ($x=C, E$) と GTCCR_x ($x=C, E$) レジスタを用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCR_m ($m=A, B$) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は「21.7.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」を参照してください。

図 21.38 に三角波 PWM モード 2 の動作例を、図 21.39 に三角波 PWM モード 2 の設定例を示します。

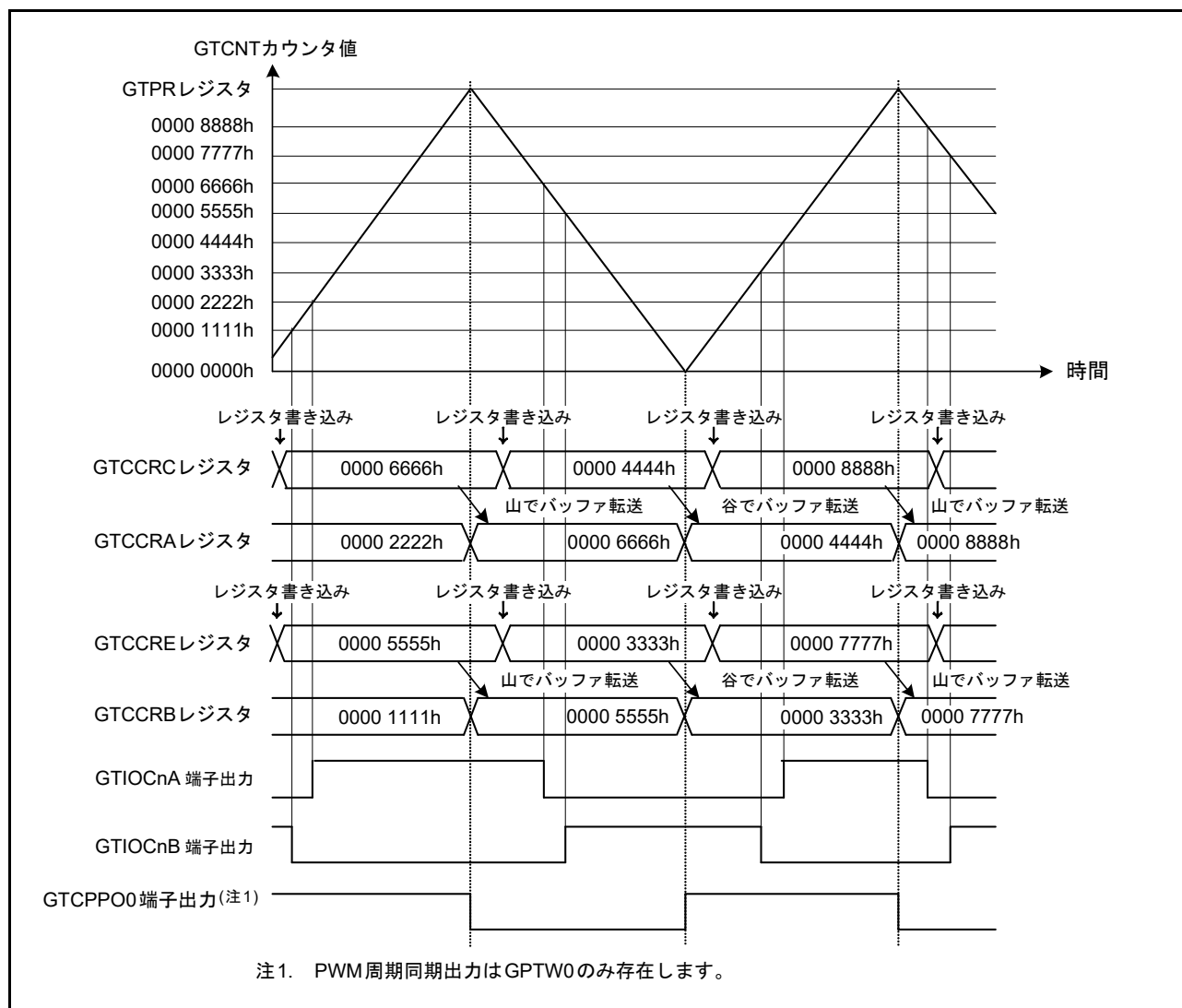


図 21.38 三角波 PWM モード 2 動作例 (バッファ動作、初期出力で GTIOC_{nA} 端子 = Low 出力 / GTIOC_{nB} 端子 = High 出力、GTCCR_A/GTCCR_B レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 ($n=0 \sim 2$)、GTIOR.PSYE ビット = 1 の場合 (GPTW0))



図 21.39 三角波 PWM モード 2 設定例

(5) 三角波 PWM モード 3 (谷 64 ビット転送)

三角波 PWM モード 3 は、GTPR レジスタに周期を設定して GTCNT カウンタを三角波 (全波) 動作させ、バッファ動作固定で、GTCCRA、GTCCRB レジスタのコンペアマッチにより、GTIOCnA、GTIOCnB 端子 ($n = 0 \sim 2$) に PWM 波形を出力するモードです。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なり、谷で、GTCCRC レジスタから GTCCRA レジスタに、GTCCRE レジスタから GTCCRB レジスタに、GTCCRD レジスタからテンポラリレジスタ A に、GTCCRF レジスタからテンポラリレジスタ B にバッファ転送され、さらに、山で、テンポラリレジスタ A から GTCCRA レジスタに、テンポラリレジスタ B から GTCCRB レジスタにバッファ転送されます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力 / High 出力 / トグル出力、周期の終わりで Low 出力 / High 出力 / トグル出力、を設定することができます。

また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付きの逆相波形用のコンペアマッチ値を GTCCRB レジスタに自動設定することも可能です。

GTBER.DBRTEC m ($m = A, B$) ビットを“1”にすると、GTCCR x ($x = C, E$) レジスタと GTCCR m ($m = A, B$) レジスタの中間バッファとなるテンポラリレジスタ x ($x = C, E$) とテンポラリレジスタ m ($m = A, B$) を用いて、バッファ転送が抑止されている状態であっても、中間バッファから GTCCR m ($m = A, B$) レジスタへの転送を周期単位で繰り返します (バッファ転送抑止時ダブルバッファリピート動作機能)。詳細は、「21.7.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作」を参照してください。

図 21.40 に三角波 PWM モード 3 の動作例を、図 21.41 に三角波 PWM モード 3 の設定例を示します。

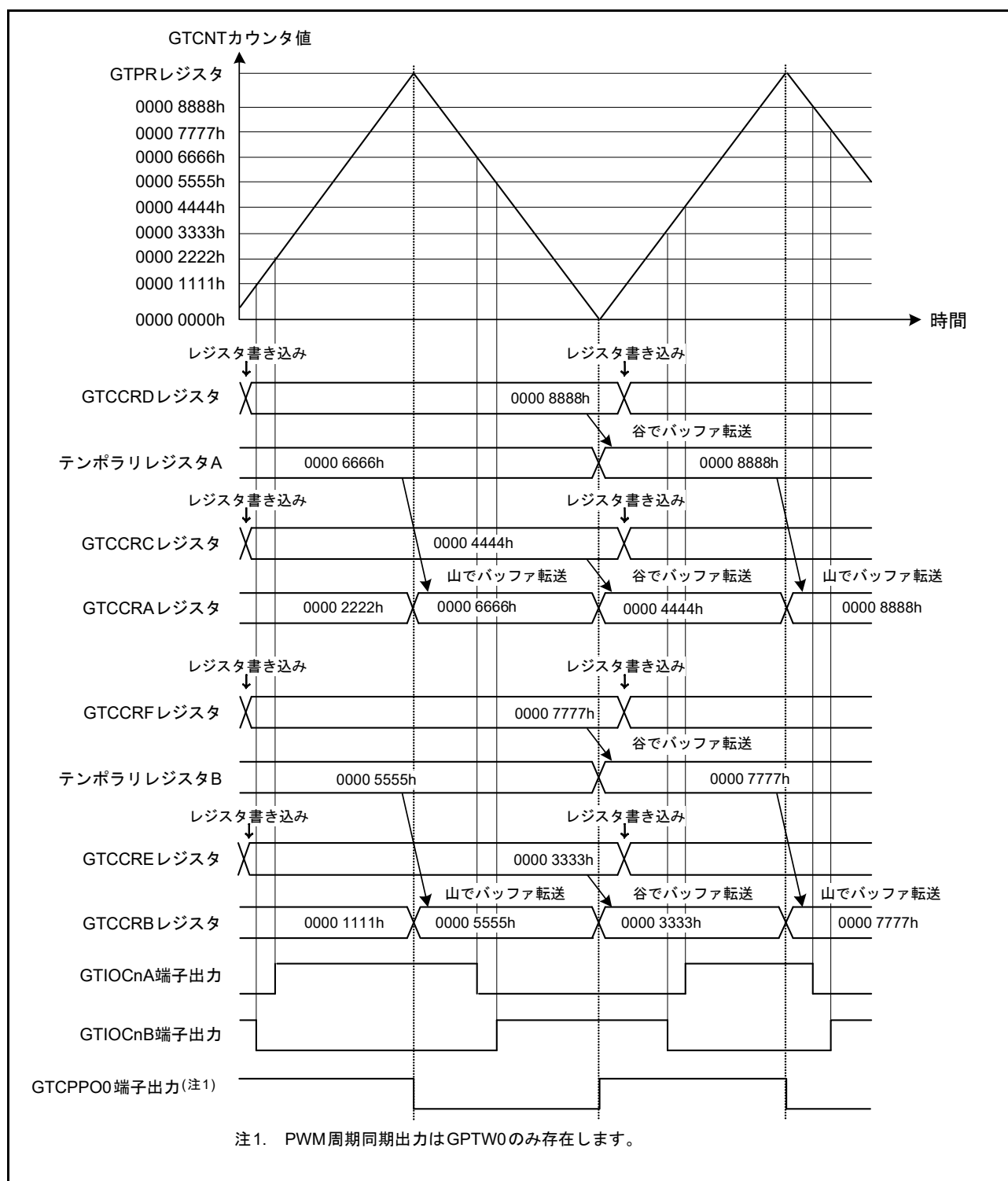


図 21.40 三角波 PWM モード 3 動作例 (初期出力で GTIOCN A 端子 = Low 出力 / GTIOCN B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合 (n = 0 ~ 2)、GTIOR.PSYE ビット = 1 の場合 (GPTW0))

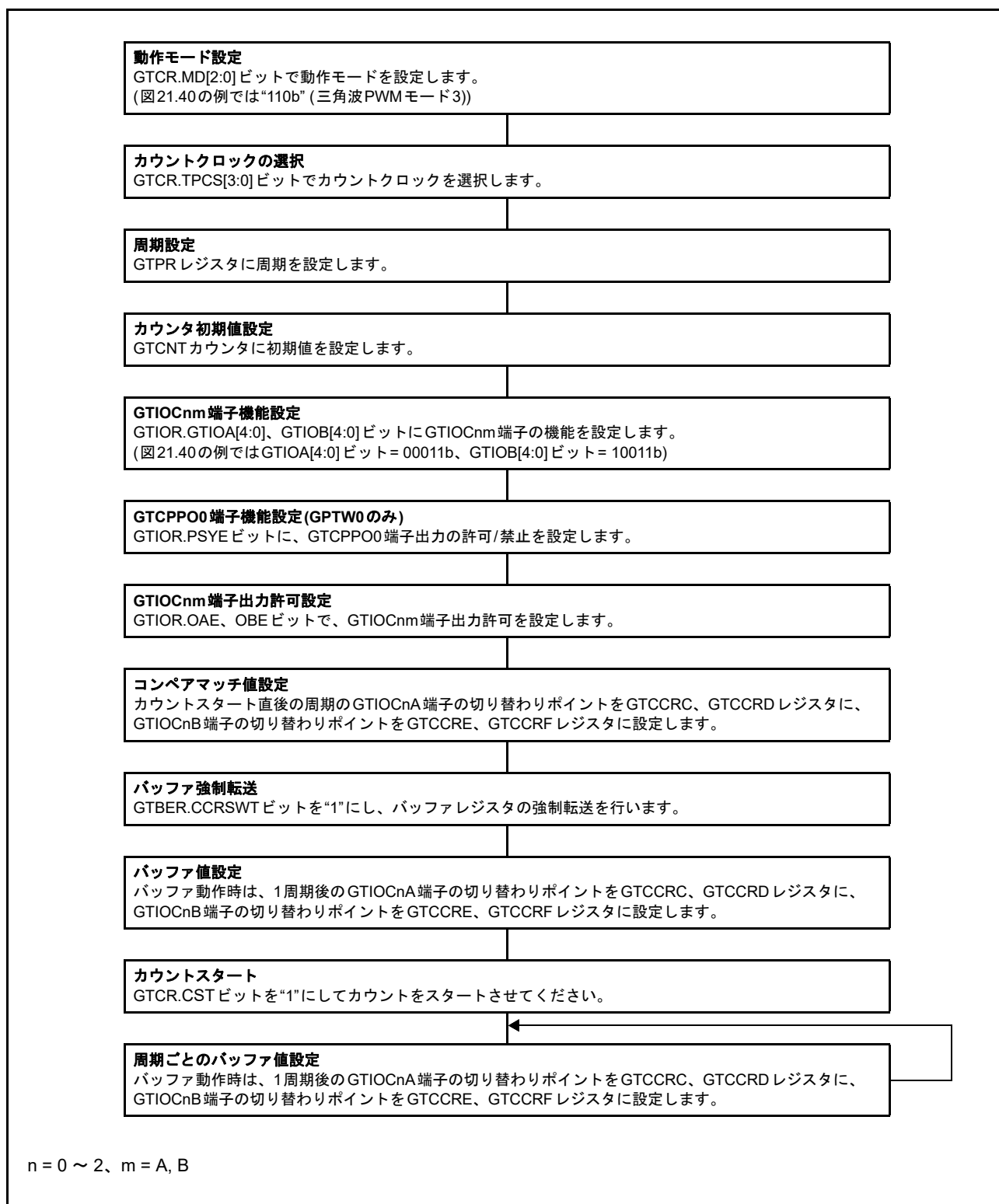


図 21.41 三角波 PWM モード 3 設定例

21.3.4 デッドタイム自動設定機能

GTDTCCR レジスタの設定により、正相波形用のコンペアマッチ値 (GTCCRA レジスタ値) とデッドタイム値 (GTDVU、GTDVD レジスタ値) からデッドタイム付き逆相波形用コンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。

デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは前側 / 後側で独立に設定でき、逆相波形の前側の切り替わりポイントに対するデッドタイムを GTDVU レジスタで設定し、後側の切り替わりポイントに対するデッドタイムを GTDVD レジスタで設定します。GTDTCCR.TDFER ビットに“1”を設定することによって、デッドタイムを前側 / 後側で共通にすることもできます。

また、GTDBU レジスタを GTDVU レジスタのバッファレジスタとして使用することができ、同様に、GTDBD レジスタを GTDVD レジスタのバッファレジスタとして使用することができます。バッファ転送タイミングはカウント周期の終わり (のこぎり波の場合は GTCNT カウンタのオーバフロー (アップカウント時)、アンダフロー (ダウンカウント時)、GTCNT カウンタのクリア、または三角波の場合は谷) です。

デッドタイム自動設定による逆相波形の変化ポイントは、GTCCRB レジスタ値を読むことで確認できます。デッドタイム自動設定機能を使用するときは、GTCCRB レジスタへの書き込みは禁止です。

波形の変化ポイントがカウント周期を超えるようなデッドタイム設定は禁止です。デッドタイムエラーの発生条件となるようなデッドタイム設定を行った場合、表 21.5 に示すように正相波形と逆相波形の変化するポイントを補正して、デッドタイムを確保した波形を生成します。補正された逆相波形の変化ポイントは、GTCCRB レジスタに自動設定されますが、正相波形の変化ポイントの判定には内部信号を用いており、GTCCRA レジスタを補正值で更新することはありません。

のこぎり波ワンショットパルスモードで、デッドタイムエラー発生による波形変化ポイントの補正によって変化ポイントの順番が乱れた場合や、補正した後もカウント周期を超えている場合は、正相と逆相の相補関係を保証できません。

三角波 PWM モードで、GTCCRA レジスタに“0”または GTPR レジスタ設定値以上の値を設定することで、カウント周期を超えるようなデッドタイム設定になった場合、出力保護機能によって出力変化が抑止されます (「21.7.4 GTIOCnm 端子出力の出力保護機能 (n = 0 ~ 2, m = A, B)」参照)。GTCCRA レジスタ $\geq$ GTPR レジスタ + GTDVm レジスタ (m = U, D) の場合、GTCCRB レジスタには上限値として、GTPR レジスタ - 1 が設定されます。

GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値の算出に用いるレジスタ値が更新された次のカウントクロックで行われます。三角波の場合は、山の次のカウントクロックでも行われます。

表 21.5 デッドタイムエラー発生時の変化ポイント補正

PWM出力動作モード	カウント方向	区間	デッドタイムエラー条件	補正後の正相波形変化ポイント	補正後の逆相波形変化ポイント
のこぎり波ワンショットパルスモード	アップカウント	前側	$GTCCRA - GTDVU < 0$	GTDVU	0
		後側	$GTCCRA + GTDVD > GTPR$ ($GTCCRA + GTDVU > GTPR$)(注 1)	$GTPR - GTDVD$ ($GTPR - GTDVU$)(注 1)	GTPR
	ダウンカウント	前側	$GTCCRA + GTDVU > GTPR$	$GTPR - GTDVU$	GTPR
		後側	$GTCCRA - GTDVD < 0$ ($GTCCRA - GTDVU < 0$)(注 1)	GTDVD (GTDVU)(注 1)	0
三角波 PWM モード 1/2/3	アップカウント	(前側)	$GTCCRA - GTDVU \leq 0$	$GTDVU + 1$	1
	ダウンカウント	(後側)	$GTCCRA - GTDVD < 0$ ($GTCCRA - GTDVU < 0$)(注 1)	GTDVD (GTDVU)(注 1)	0

注 1. GTDTCCR.TDFER ビットが“1”の場合

図 21.42 ~ 図 21.45 にデッドタイム自動設定機能の動作例を、図 21.46、図 21.47 に設定例を示します。

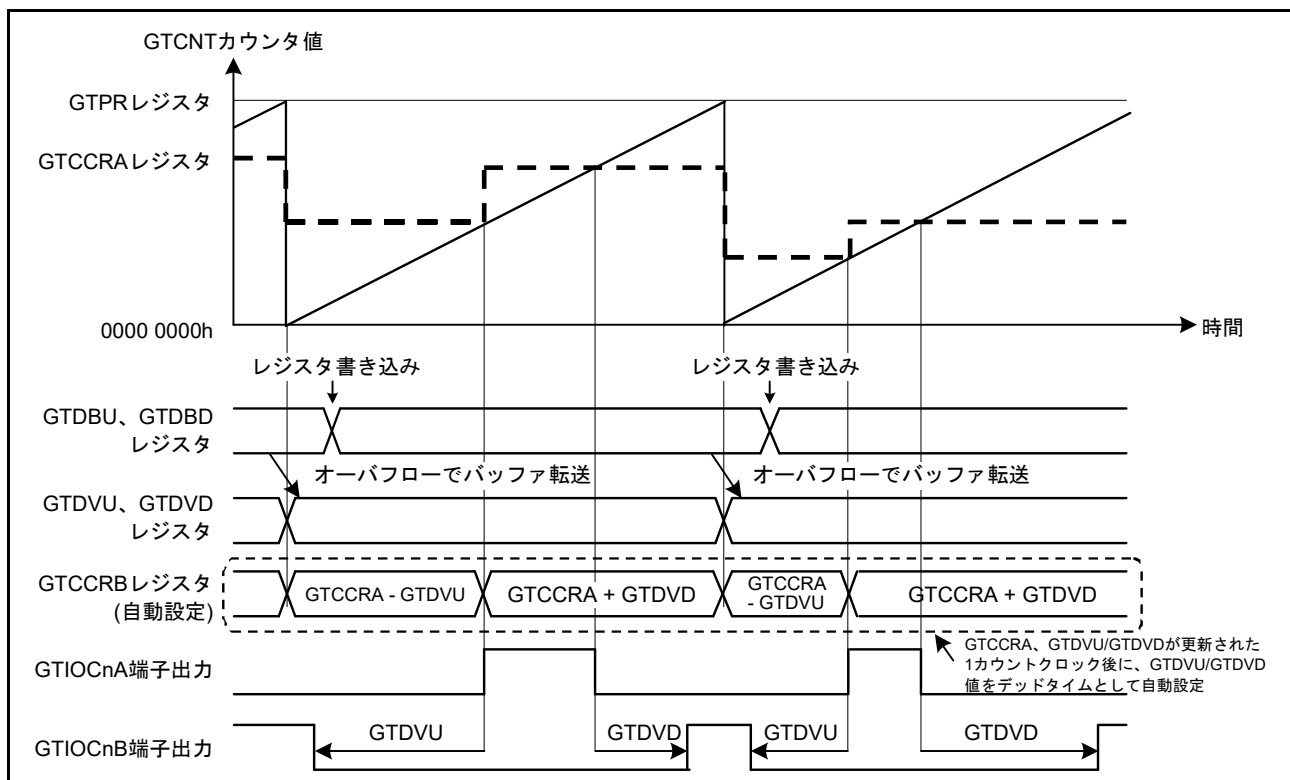


図 21.42 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ~ 2)

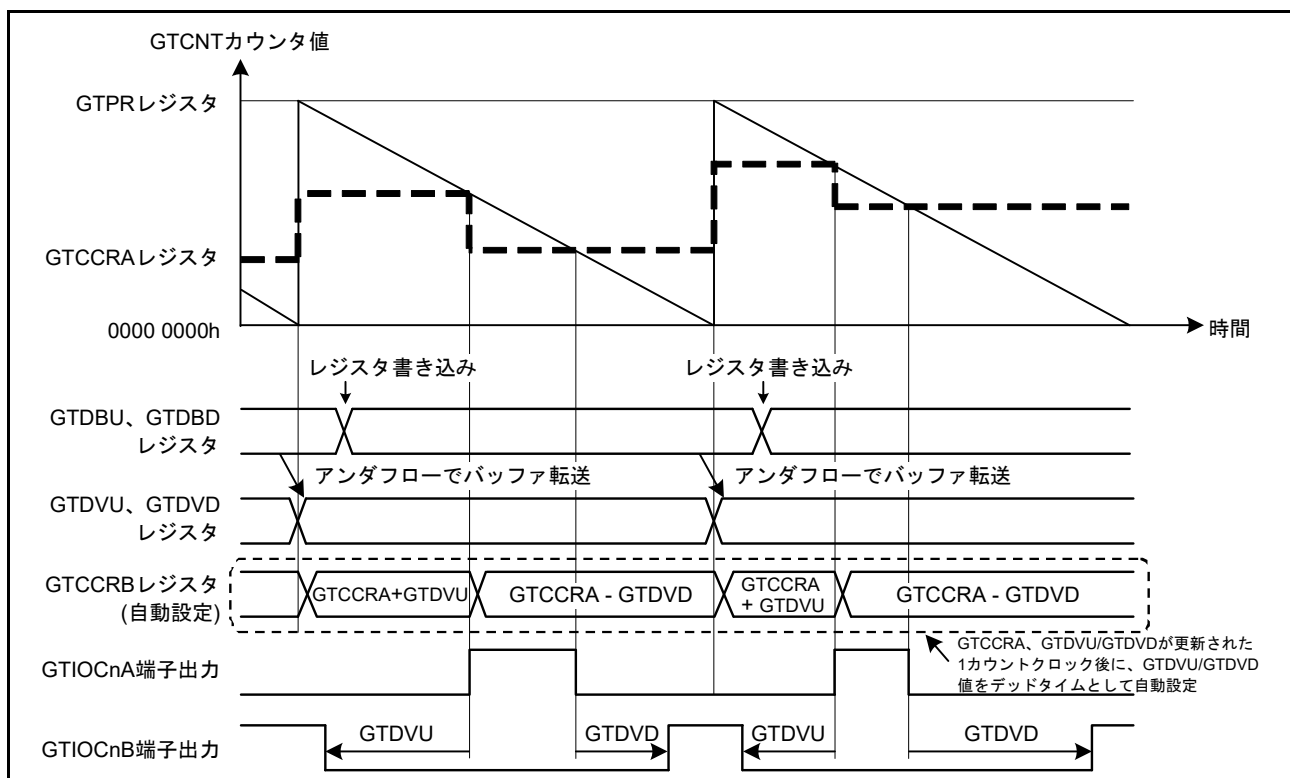


図 21.43 デッドタイム自動設定機能の動作例 (のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) (n = 0 ~ 2)

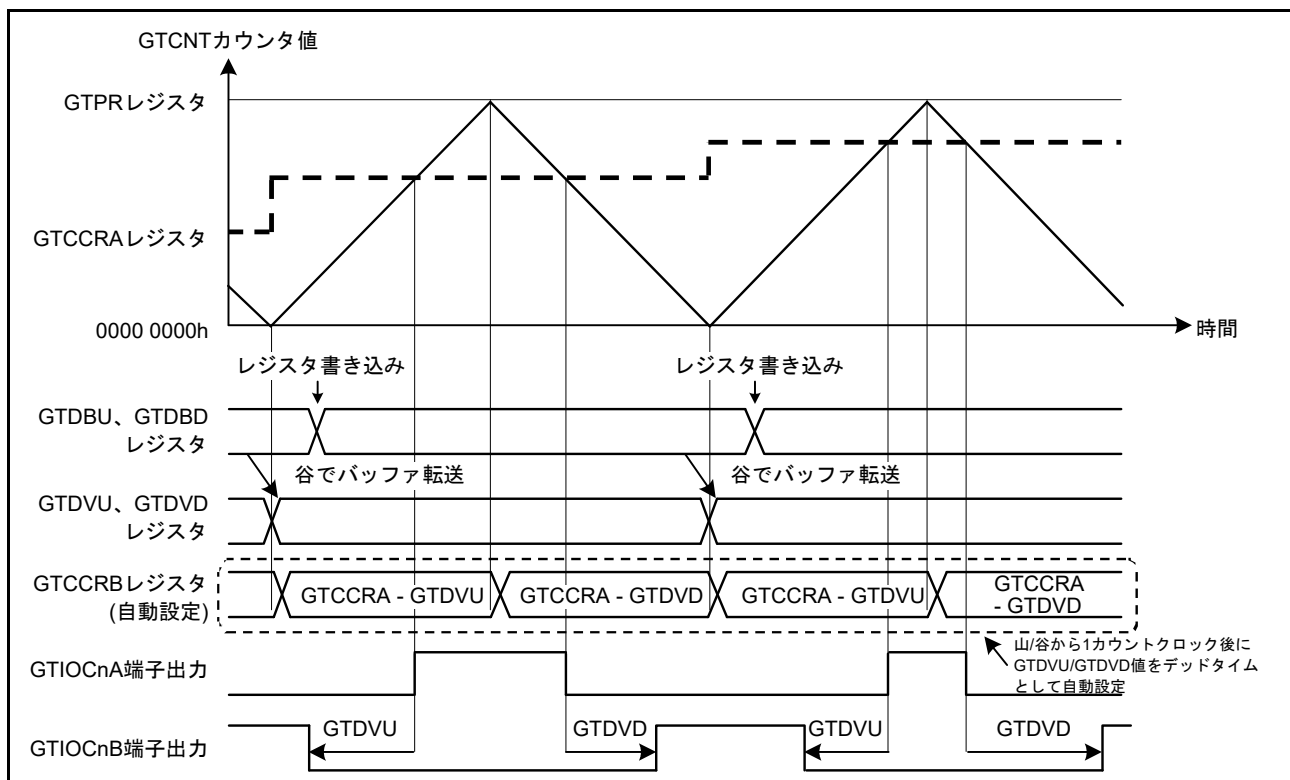


図 21.44 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) ($n = 0 \sim 2$)

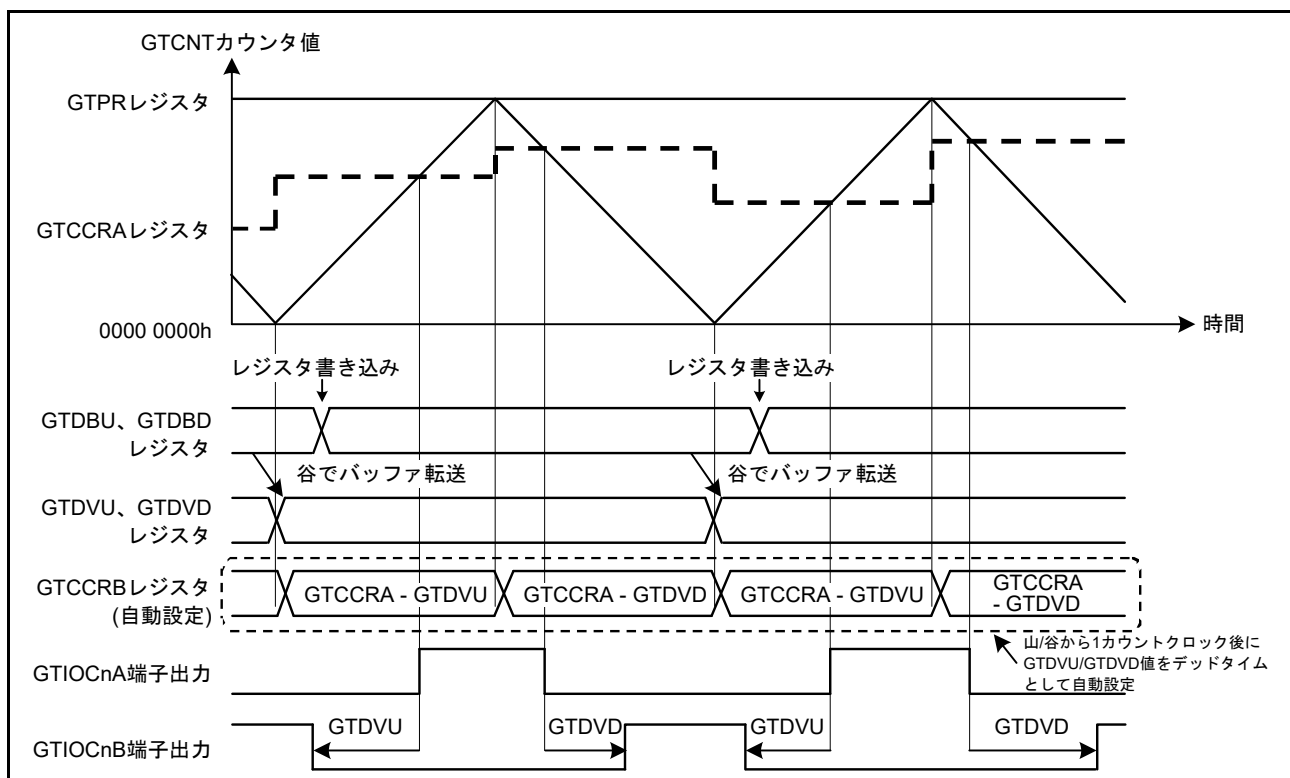


図 21.45 デッドタイム付きコンペアマッチ値の自動設定機能の動作例 (三角波 PWM モード 2/3、GTDVU/GTDVD レジスタはバッファ動作、アクティブレベルは High の場合) ($n = 0 \sim 2$)

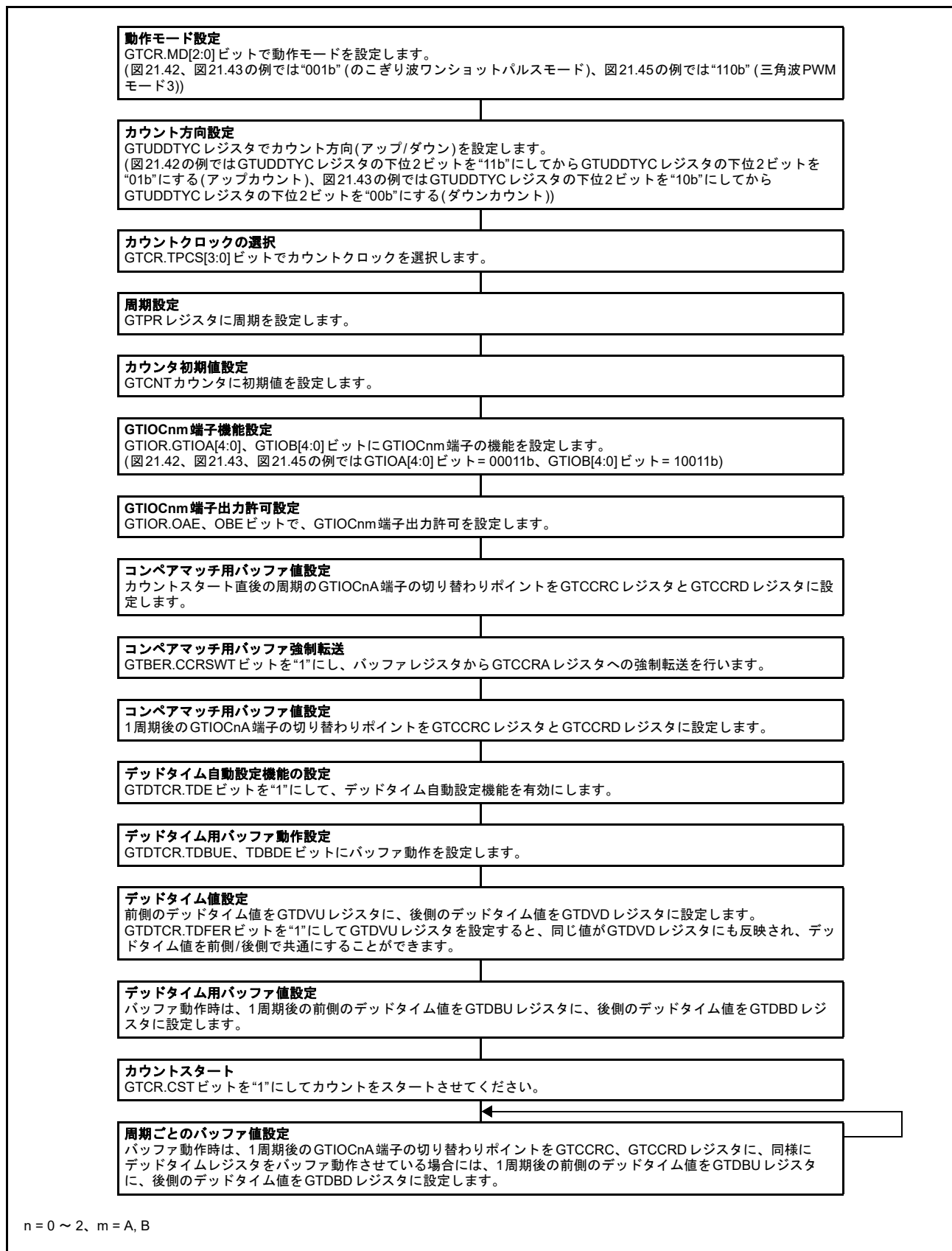


図 21.46 デッドタイム自動設定機能の設定例
 (のこぎり波ワンショットパルスモード、三角波 PWM モード 3 時)

動作モード設定 GTCR.MD[2:0]ビットで動作モードを設定します。 (図21.44の例では"100b" (三角波PWMモード1)、図21.45の例では"101b" (三角波PWMモード2))	
カウントクロックの選択 GTCR.TPCS[3:0]ビットでカウントクロックを選択します。	
周期設定 GTPRレジスタに周期を設定します。	
カウンタ初期値設定 GTCNTカウンタに初期値を設定します。	
GTIOCNm端子機能設定 GTIOR.GTIOA[4:0]、GTIOB[4:0]ビットにGTIOCNm端子の機能を設定します。 (図21.44、図21.45の例ではGTIOA[4:0]ビット = 00011b、GTIOB[4:0]ビット = 10011b)	
GTIOCNm端子出力許可設定 GTIOR.OAE、OBEビットで、GTIOCNm端子出力許可を設定します。	
コンペアマッチ用バッファ動作設定 GTBER.CCRA[1:0]ビットにバッファ動作を設定します。	
コンペアマッチ値設定 1周期後のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタに設定します。	
コンペアマッチ用バッファ値設定 バッファ動作時は、1周期後(三角波PWMモード1時)もしくは半周期(三角波PWMモード2時)のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタに設定します。 ダブルバッファ動作時は、さらに、2周期後(三角波PWMモード1時)もしくは1周期(三角波PWMモード2時)のGTIOCnA端子の切り替わりポイントをGTCCRDレジスタに設定します。	
デッドタイム自動設定機能の設定 GTDTCR.TDEビットを"1"にして、デッドタイム自動設定機能を有効にします。	
デッドタイム用バッファ動作設定 GTDTCR.TDBUE、TDBDEビットにバッファ動作を設定します。	
デッドタイム値設定 前側のデッドタイム値をGTDVUレジスタに、後側のデッドタイム値をGTDVDレジスタに設定します。 GTDTCR.TDFERビットを"1"にしてGTDVUレジスタを設定すると、同じ値がGTDVDレジスタにも反映され、デッドタイム値を前側/後側で共通にすることができます。	
デッドタイム用バッファ値設定 バッファ動作時は、1周期後の前側のデッドタイム値をGTDBUレジスタに、後側のデッドタイム値をGTDBDレジスタに設定します。	
カウントスタート GTCR.CSTビットを"1"にしてカウントをスタートさせてください。	
周期ごとのバッファ値設定 コンペアマッチレジスタをバッファ動作時は、1周期後(三角波PWMモード1時)もしくは半周期(三角波PWMモード2時)のGTIOCnA端子の切り替わりポイントをGTCCRCレジスタに設定します。 コンペアマッチレジスタをダブルバッファ動作時は、2周期後(三角波PWMモード1時)もしくは1周期(三角波PWMモード2時)のGTIOCnA端子の切り替わりポイントをGTCCRDレジスタに設定します。 同様に、デッドタイムレジスタをバッファ動作させている場合には、1周期後の前側のデッドタイム値をGTDBUレジスタに、後側のデッドタイム値をGTDBDレジスタに設定します。	

n = 0 ~ 2, m = A, B

図 21.47 デッドタイム自動設定機能の設定例 (三角波 PWM モード 1/2 時)

21.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を変更することにより、GTCNT カウンタのカウント方向を切り替えることができます。

のこぎり波の場合、カウント中に UD ビット値を変更すると、オーバフロー (アップカウント中に変更した場合) もしくはアンダフロー (ダウンカウント中に変更した場合) 発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で UD ビット値を変更すると、カウントスタート時には反映されず、オーバフローもしくはアンダフロー発生時にカウント方向が切り替わります。カウントストップ中に UDF ビットを “1” にすると、そのときの UD ビット値がカウントスタート時から反映されます。

三角波の場合、カウント動作中に GTUDDTYC.UD ビット値を変更してもカウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが “0” の状態で GTUDDTYC.UD ビット値を変更しても反映されません。カウントストップ中に GTUDDTYC.UDF ビットを “1” にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時から反映されます。

のこぎり波でカウント中にカウント方向を切り替えた場合、アップカウント時はアップカウントスタート後の GTPR レジスタ値がカウント周期に反映され、ダウンカウント時はダウンカウントスタート後の GTPR レジスタ値がカウント周期に反映されます。

図 21.48 にカウント方向切り替え機能の動作例を示します。

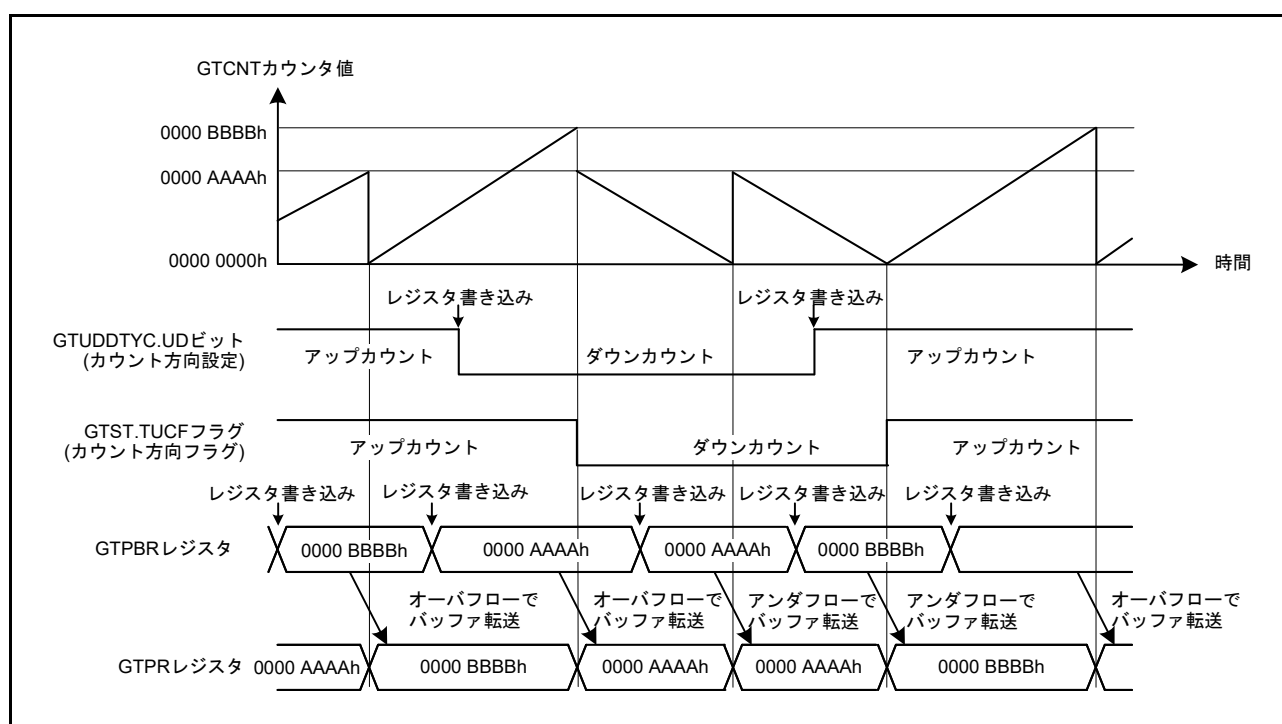


図 21.48 カウント方向切り替え機能の動作例 (バッファ動作時)

21.3.6 デューティ 0%/100% 出力機能

GTUDDTYC.OADTY[1:0]、OBDTY[1:0] ビットの値を変更することにより、GTIOChA、GTIOChB 端子 (n = 0 ~ 2) の出力デューティを 0%/100% にすることができます。

のこぎり波の場合、カウント動作中に OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、オーバフロー (アップカウント動作中に変更した場合) もしくはアンダフロー (ダウンカウント動作中に変更した場合) 発生時に変更した出力デューティ設定が反映されます。カウント停止中に GTUDDTYC.OADTYF、OBDTYF ビットが “0” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、オーバフローもしくはアンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF、OBDTYF ビットが “1” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0]、OBDTY[1:0] ビットの値がカウント開始時から反映されます。

三角波の場合、カウント動作中に OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、GTUDDTYC.OABDITYT ビットが “0” の場合にはアンダフロー発生時に変更した出力デューティ設定が反映され、GTUDDTYC.OABDITYT ビットが “1” の場合にはアンダフロー発生時および三角波のトップで変更した出力デューティ設定が反映されます。

カウント停止中に OADTYF、OBDTYF ビットが “0” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、カウント開始時には変更した出力デューティ設定は反映されず、アンダフロー発生時に変更した出力デューティ設定が反映されます。カウント停止中に OADTYF、OBDTYF ビットが “1” の状態で、OADTY[1:0]、OBDTY[1:0] ビットの値を変更すると、そのときの OADTY[1:0]、OBDTY[1:0] ビットの値がカウント開始時から反映されます。

デューティ 0%/100% 設定の動作中、GPTW 内部ではコンペアマッチ動作は継続し、割り込み出力、バッファ動作を行います。

出力デューティを 0% または 100% の設定からコンペアマッチによる出力の設定に変更した場合の周期の終わりでの出力値は、GTIOChA 端子は GTIOR.GTIOA[3:2] ビットと OADTYR ビット、GTIOChB 端子は GTIOR.GTIOB[3:2] ビットと OBDTYR ビットによって決まります。GTIOA[3:2]、GTIOB[3:2] ビットが、“01b” の場合は周期の終わりで “Low” を出力し、“10b” の場合は周期の終わりで “High” を出力します。“00b” で周期の終わりで出力保持、または “11b” で周期の終わりでトグル出力となっていた場合の保持またはトグルの対象となる値を、OADTYR、OBDTYR ビットで選択します。デューティ 0%/100% 設定からコンペアマッチによる出力に設定を変更した場合の周期の終わりの出力値を表 21.6 に示します。

表 21.6 デューティ 0%/100%解除後の出力値

GTIOR.GTIOm[3:2] ビット	デューティ 0%/100%によってマスクされていたコンペアマッチ出力の周期の終わりでの値	デューティ 0% 設定時の GTUDDTYC.OmDTYR ビット		デューティ 100% 設定時の GTUDDTYC.OmDTYR ビット	
		0	1	0	1
00b (周期の終わりで出力保持)	0	0	0	1	0
	1	0	1	1	1
01b (周期の終わりで Low 出力)	—	0	0	0	0
10b (周期の終わりで High 出力)	—	1	1	1	1
11b (周期の終わりでトグル出力)	0	1	1	0	1
	1	1	0	0	0

m = A, B

図 21.49 にデューティ 0%/100% 出力機能の動作例 (n = 0 ~ 2) を示します。

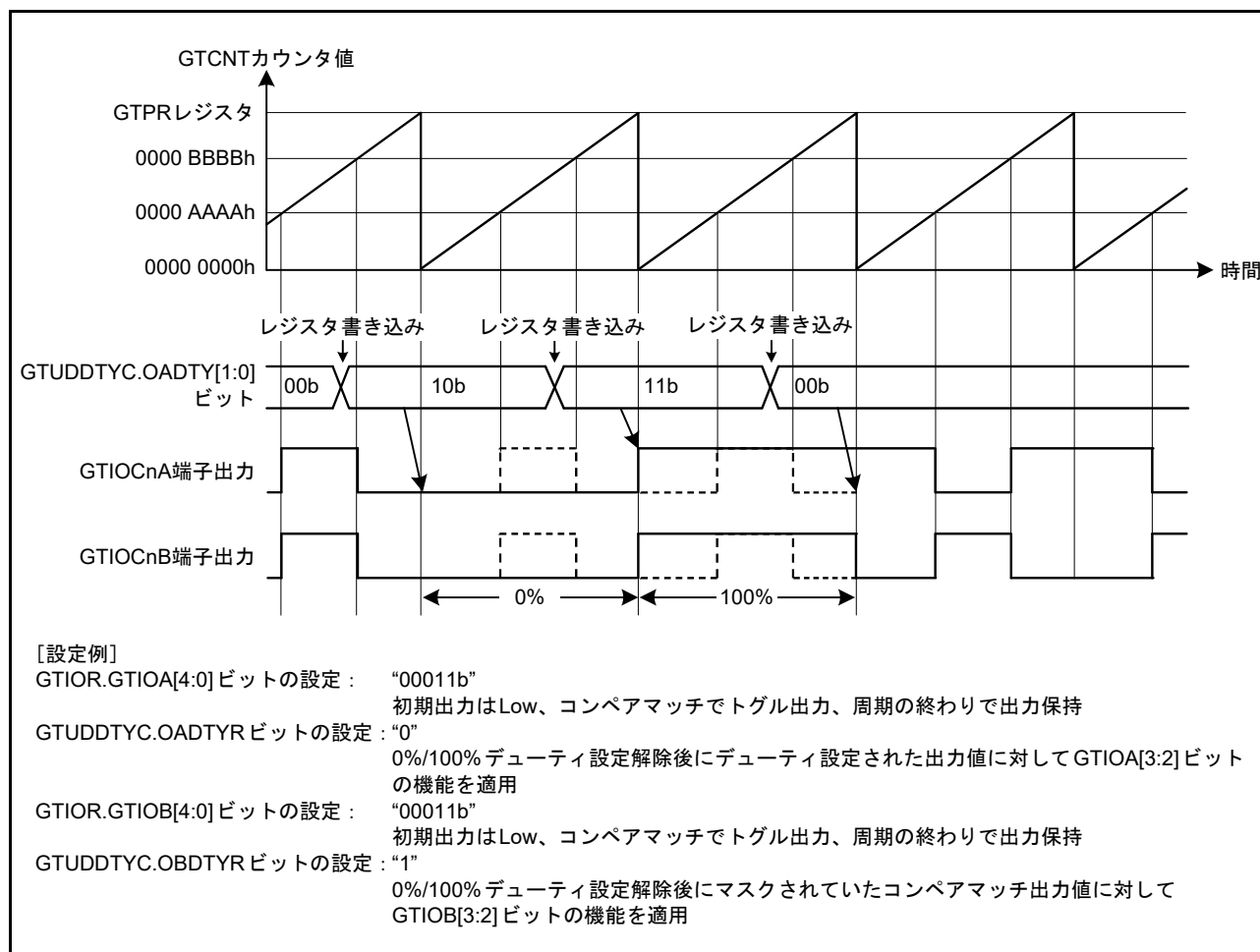


図 21.49 デューティ 0%/100% 出力機能の動作例 (n = 0 ~ 2)

21.3.7 ハードウェアカウントスタート、カウントストップ、カウンタクリア動作

本MCU内蔵のハードウェア要因により、GTCNTカウンタのスタート、ストップ、クリア制御が可能です。

ハードウェア要因には、外部トリガ入力、GTIOCnm端子入力($n=0\sim 2$, $m=A, B$)の2種類の要因があります。

また、MTU カウントスタート入力に同期したGTCNTカウンタのカウントスタート制御が可能です。

21.3.7.1 ハードウェアスタート動作

ハードウェア要因により、GTCNTカウンタのスタート制御が可能です。GTSSRレジスタでカウントをスタートさせるハードウェア要因を選択してカウントスタートを許可します。

図21.50にハードウェア要因によるカウントスタートの動作例を、図21.51に設定例を示します。

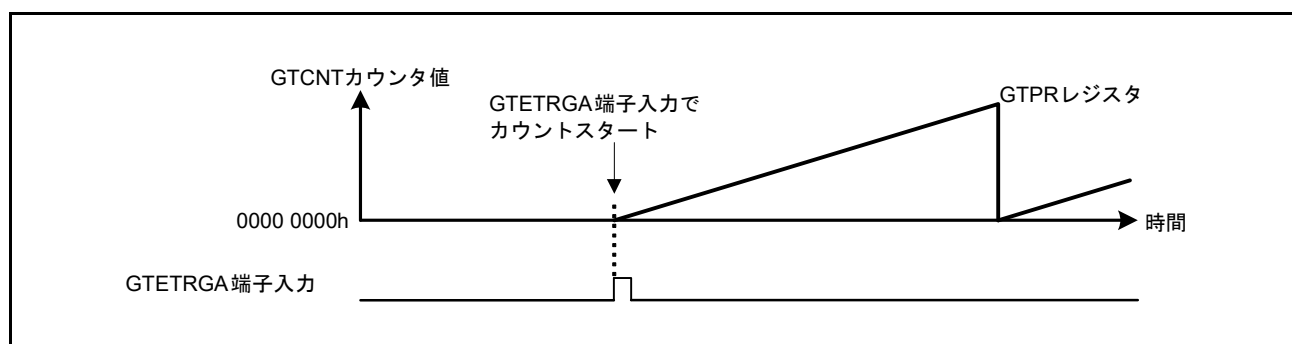


図 21.50 ハードウェア要因によるカウントスタート動作例 (GTETRGA 端子によるスタート時)

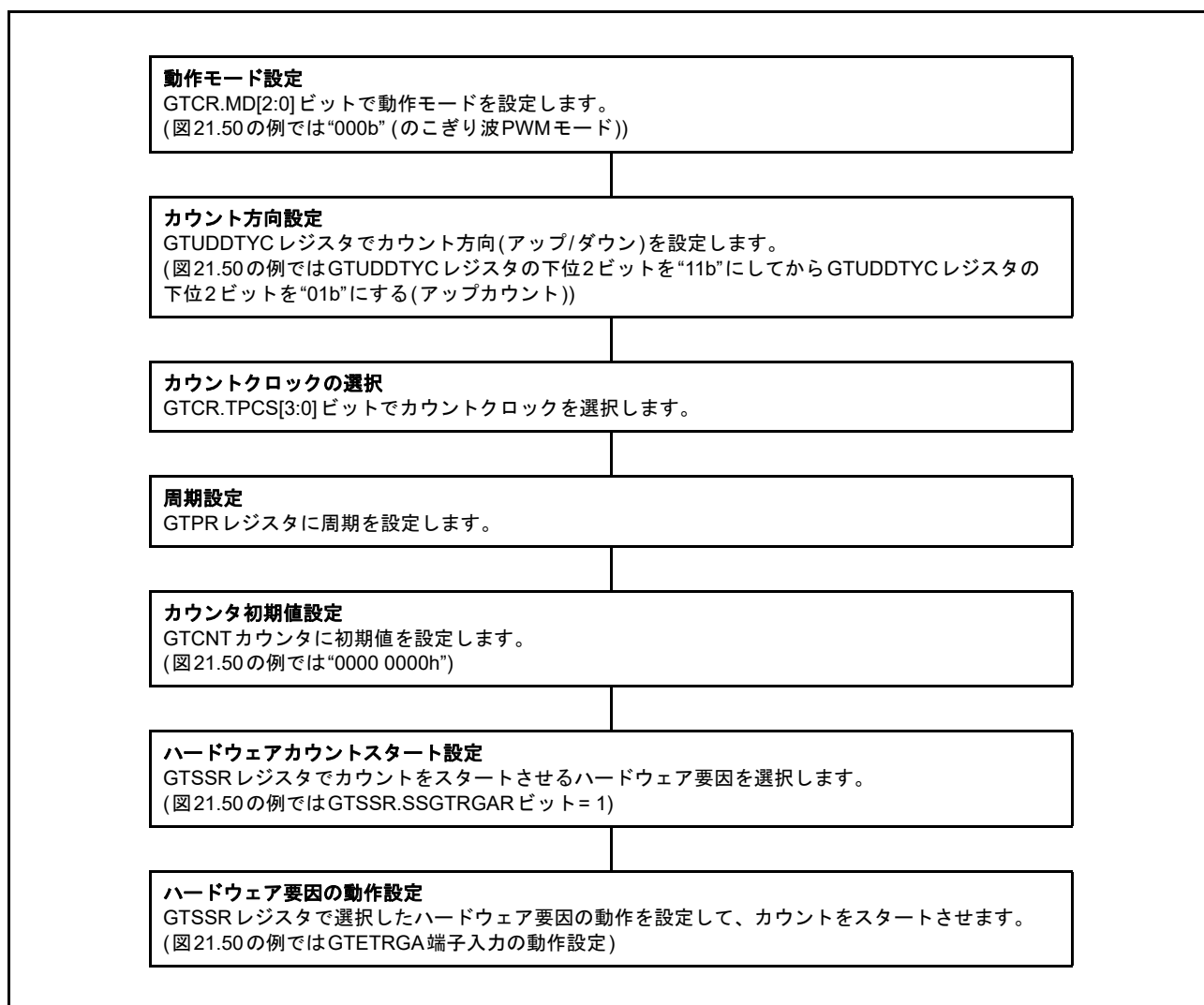


図 21.51 ハードウェア要因によるカウントスタート動作設定例

図 21.52 に GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

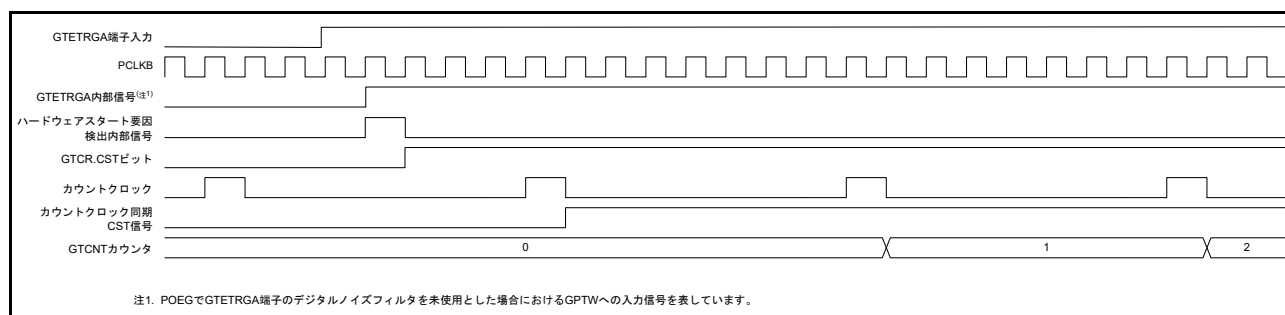


図 21.52 GTETRGA 端子入力の立ち上がりによるカウントスタート動作タイミング例

図 21.53 に GTIOChA 端子入力の立ち上がりによるカウントスタート動作タイミング例を示します。

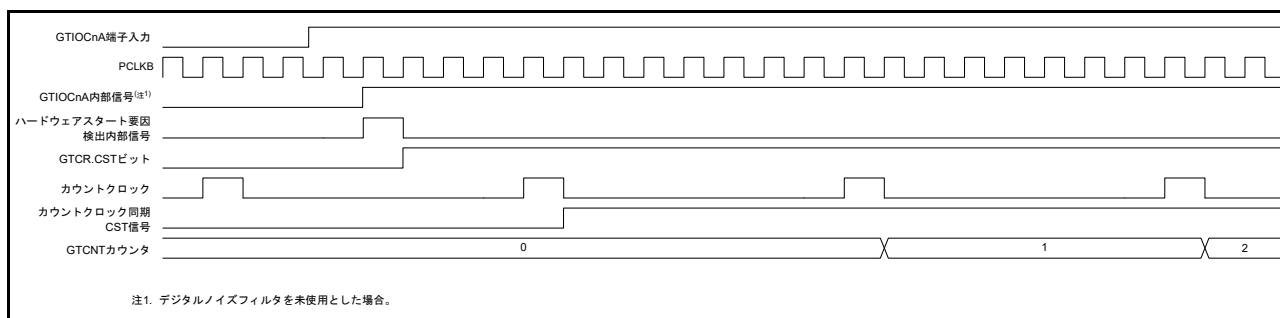


図 21.53 GTIOChA 端子入力の立ち上がりによるカウントスタート動作タイミング例

21.3.7.2 ハードウェアストップ動作

ハードウェア要因により、GTCNT カウンタのストップ制御が可能です。GTPSR レジスタでカウントをストップさせるハードウェア要因を選択してカウントストップを許可します。

図 21.54 にハードウェア要因によるカウントストップの動作例を、図 21.55 に設定例を示します。GTETRGA 端子入力によりストップ、GTIOCnA 端子入力により再スタートする例です。

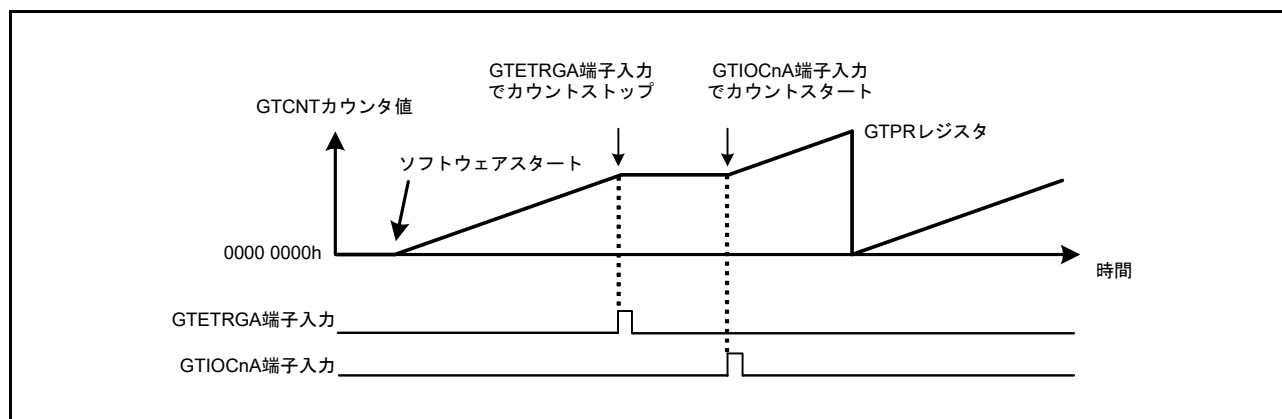


図 21.54 ハードウェア要因によるカウントストップ動作例
(ソフトウェアでスタート、GTETRGA 端子入力でストップ、GTIOCnA 端子入力で再スタート時)

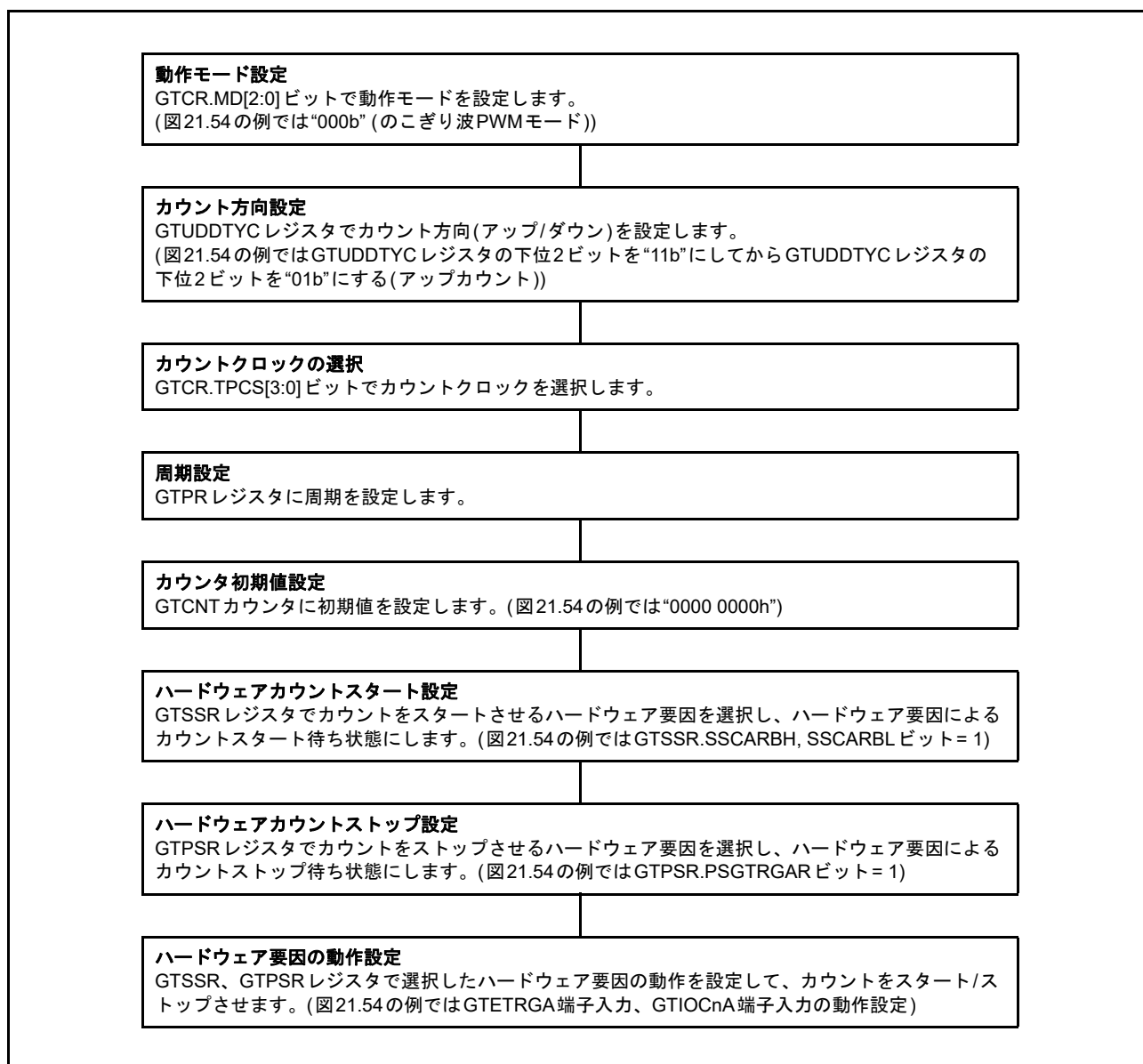


図 21.55 ハードウェア要因によるカウントストップ動作設定例

図 21.56 にハードウェア要因によるカウントスタート/ストップの動作例を、図 21.57 に設定例を示します。外部入力トリガ GTETRGA 端子が High の区間でカウント動作する例です。

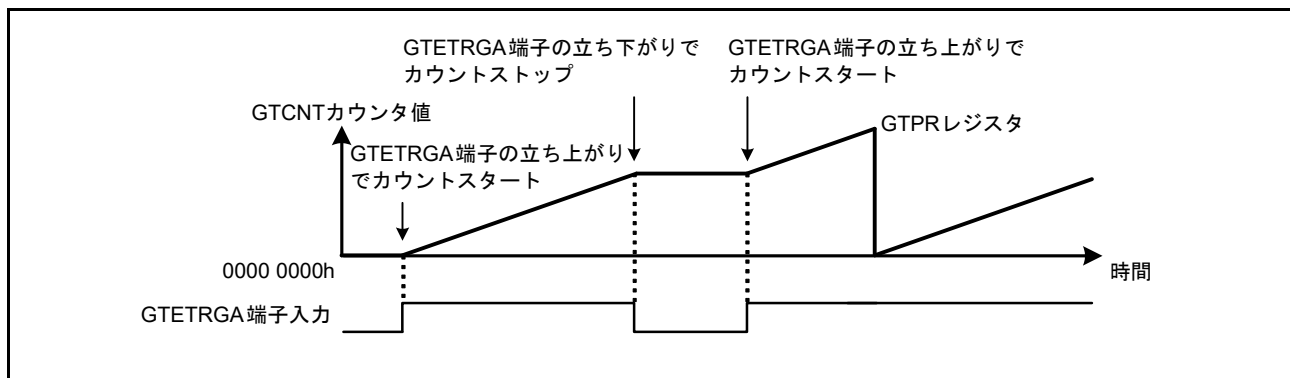


図 21.56 ハードウェア要因によるカウントスタート/ストップ動作例
(GTETRGA 端子入力の立ち上がりでスタート、GTETRGA 端子入力の立ち下がりでストップ時)

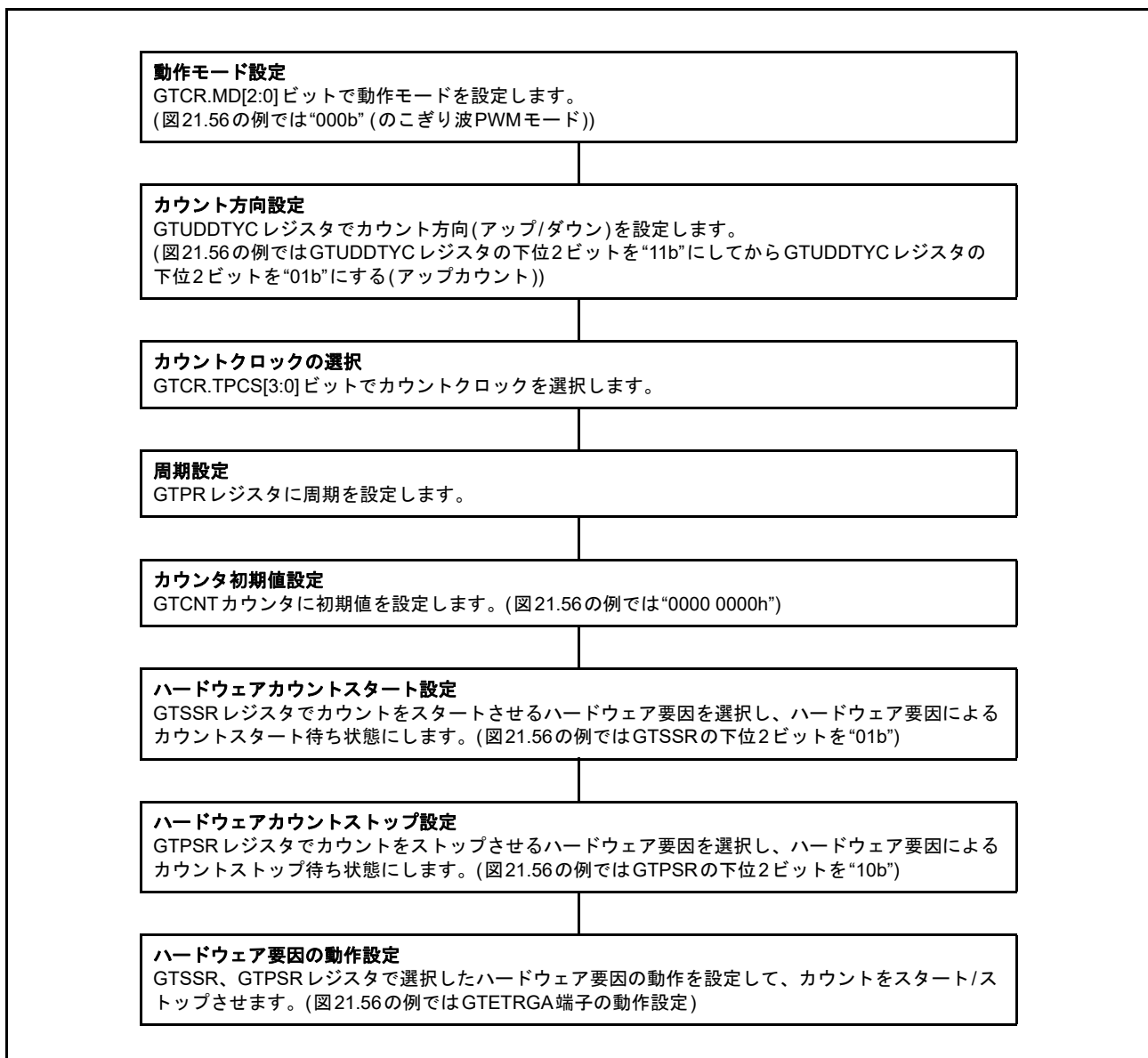


図 21.57 ハードウェア要因によるカウントスタート/ストップ動作設定例

図 21.58 に GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

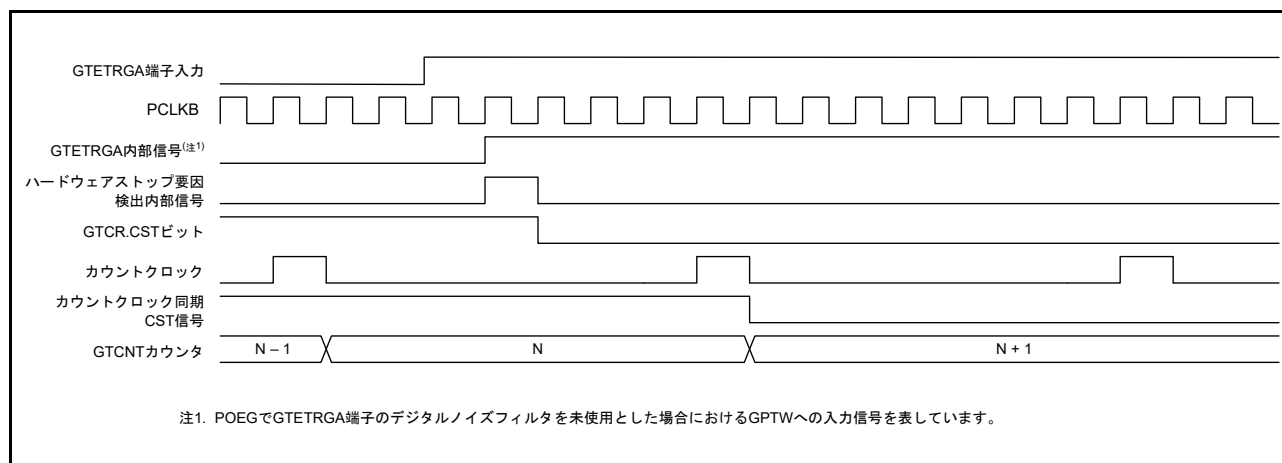


図 21.58 GTETRGA 端子入力の立ち上がりによるカウントストップ動作タイミング例

図 21.59 に GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例を示します。

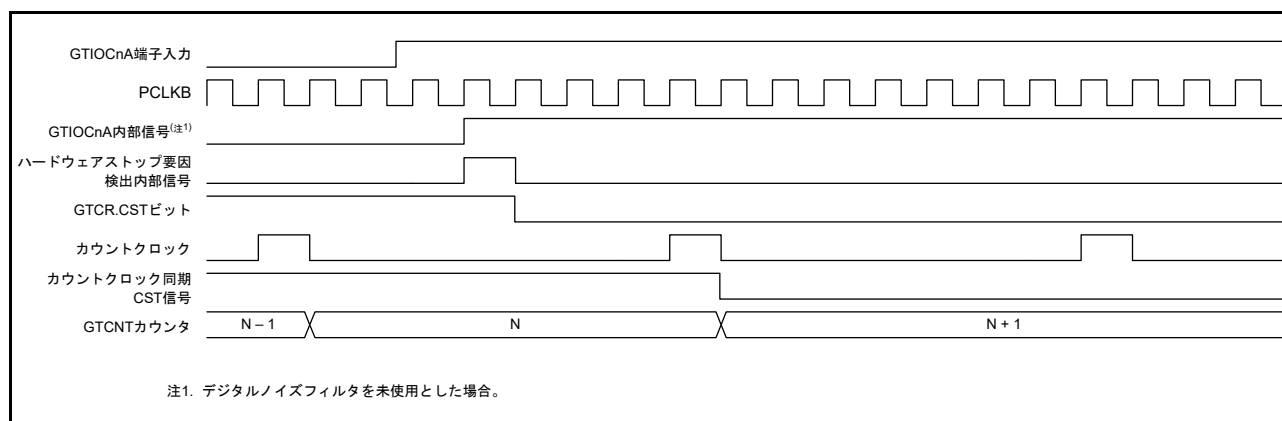


図 21.59 GTIOCnA 端子入力の立ち上がりによるカウントストップ動作タイミング例

21.3.7.3 ハードウェアクリア動作

ハードウェア要因によって、GTCNTカウンタのクリア制御が可能です。GTCSRレジスタでカウンタをクリアさせるハードウェア要因を選択してカウンタクリアを許可します。

なお、ハードウェア要因によるカウンタクリアおよびソフトウェアによるカウンタクリアが発生しても、GTCIV/GTCIU割り込み (オーバーフロー/アンダフロー割り込み) は発生しません。

図 21.60、図 21.61 にハードウェア要因によるカウンタクリアの動作例を、図 21.62 に設定例を示します。GTIOCnA 端子入力によりスタート、GTETRGA 端子入力によりカウントストップ/クリアする例です。

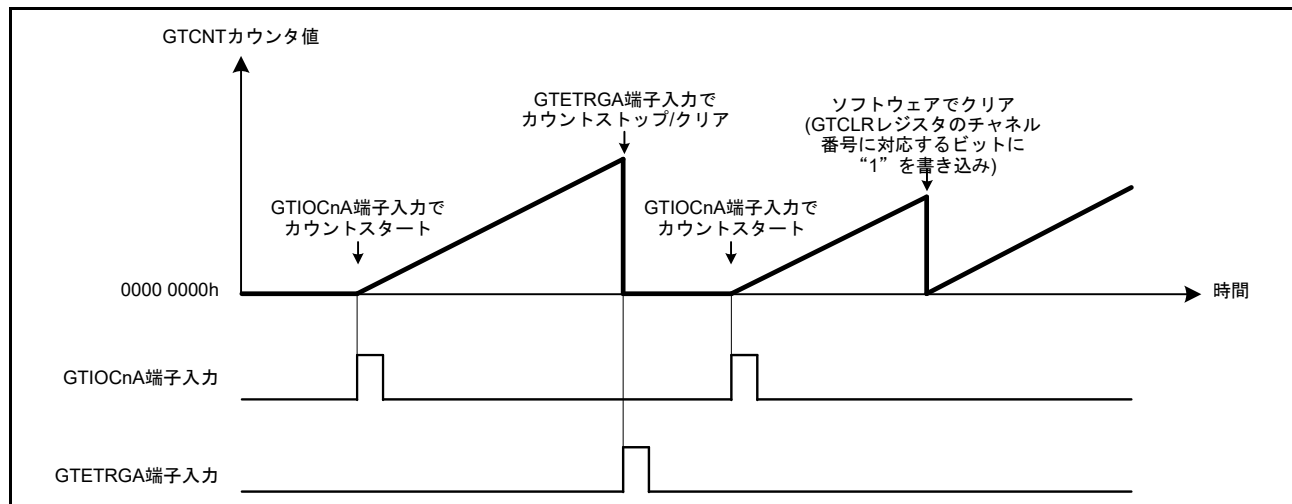


図 21.60 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でアップカウント、GTIOCnA 端子入力でスタート、GTETRGA 端子入力でカウントストップ/クリア時)

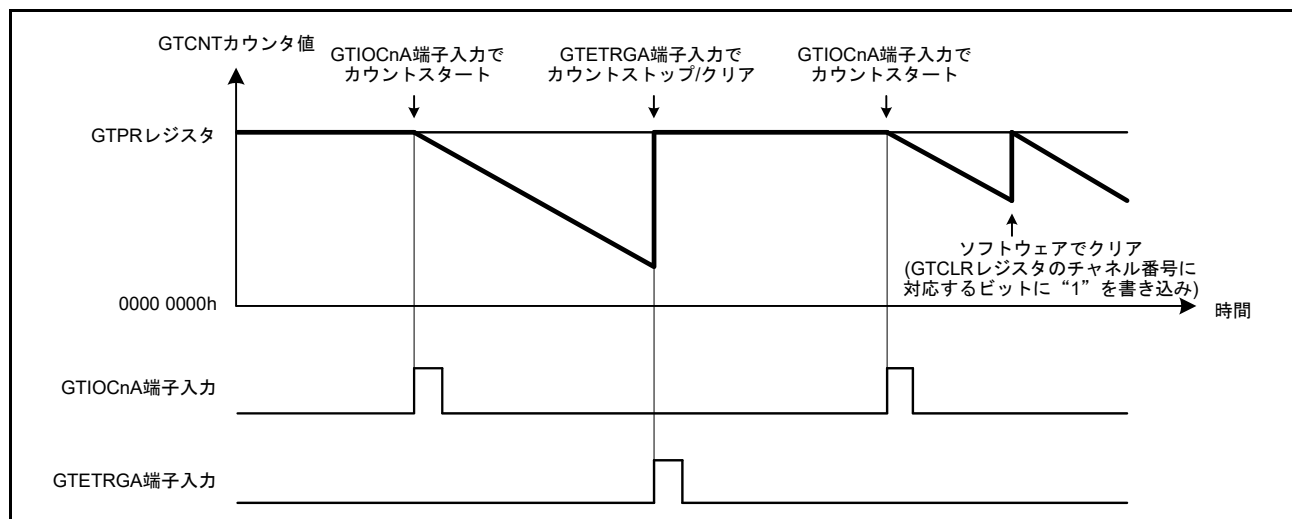


図 21.61 ハードウェア要因によるカウンタクリア動作例 (のこぎり波でダウンカウント、GTIOCnA 端子入力でスタート、GTETRGA 端子入力でカウントストップ/クリア時)

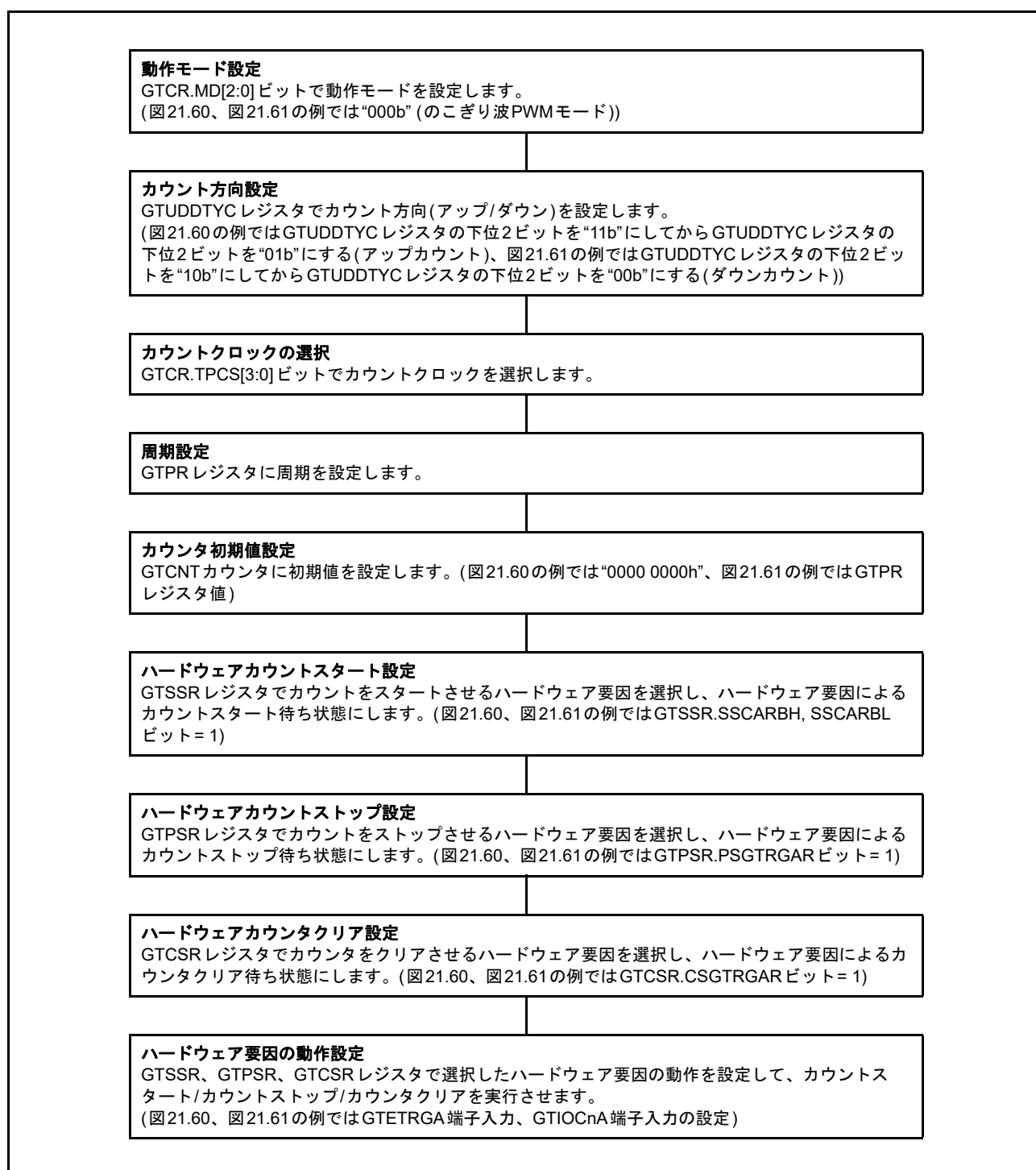


図 21.62 ハードウェア要因によるカウンタクリア動作設定例

ハードウェア要因によるカウンタクリアを行っても、GTCIV/GTCIU 割り込み (オーバーフロー/アンダフロー割り込み) は発生しません。同様に、ソフトウェアでのカウンタクリアを行った場合も、GTCIV/GTCIU 割り込みは発生しません。

図 21.63 にハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係を示します。

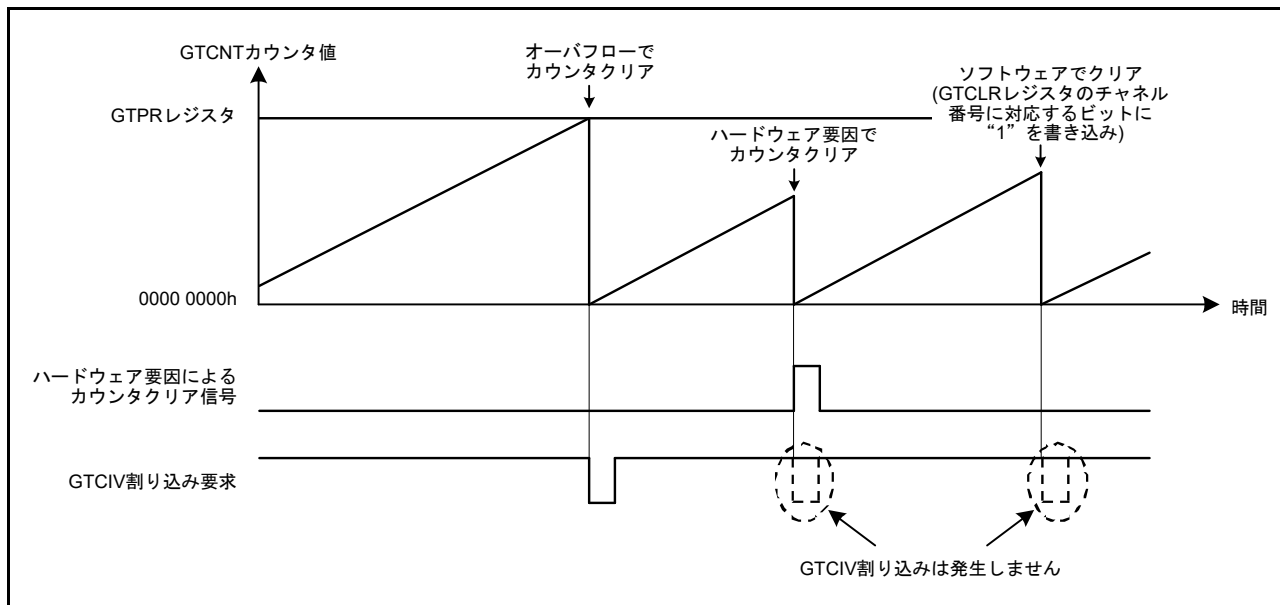


図 21.63 ハードウェア要因によるカウンタクリアと GTCIV 割り込みの関係

図 21.64 に GTCNT カウンタのカウントクロックに PCLKB の分周クロックを選択した場合における GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウント動作時にクリアされます。

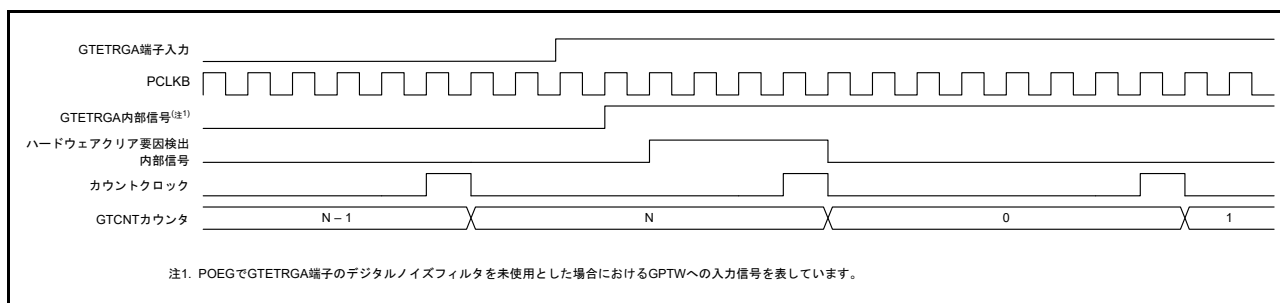


図 21.64 GTETRGA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKB の分周クロックによるカウント動作時)

図 21.65 に GTCNT カウンタのカウンタクロックに PCLKB の分周クロックを選択した場合における GTIOcNA 端子入力の立ち上がりによるカウンタクリア動作タイミング例を示します。

GTCNT カウンタは、GPTW がクリア要因を検出した後のカウンタ動作時にクリアされます。

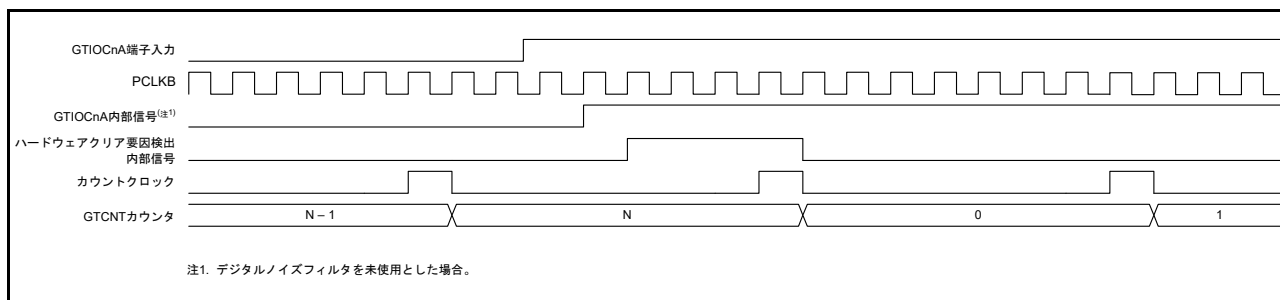


図 21.65 GTIOcNA 端子入力の立ち上がりによるカウンタクリア動作タイミング例 (PCLKB の分周クロックによるカウンタ動作時)

21.3.7.4 MTU 同期カウントスタート動作

MTU カウントスタート入力に同期した GTCNT カウンタのカウンタスタート制御が可能です。

図 21.50 にハードウェア要因によるカウンタスタートの動作例を、図 21.51 に設定例を示します。

図 21.66 に MTU0 カウントスタートによる GPTW0 カウントスタート動作タイミング例を示します。

MTU.TSTRA.CST0 ビットのカウンタスタート動作により GPTW0.GTCNT カウンタのカウンタスタート動作を行った場合の例です。MTU と GPTW のカウンタクロックは PCLKB/2 のプリスケアラ分周比設定でカウントしており、MTU のカウンタスタートから 4 PCLKB サイクル後に GPTW がカウンタスタートされます。

MTU のカウンタスタートから GPTW のカウンタスタートまで「2 PCLKB サイクル × GPTW プリスケアラ分周比」サイクルを必要とします。GTCR.TPCS[3:0] ビットでプリスケアラの分周比を設定できます。

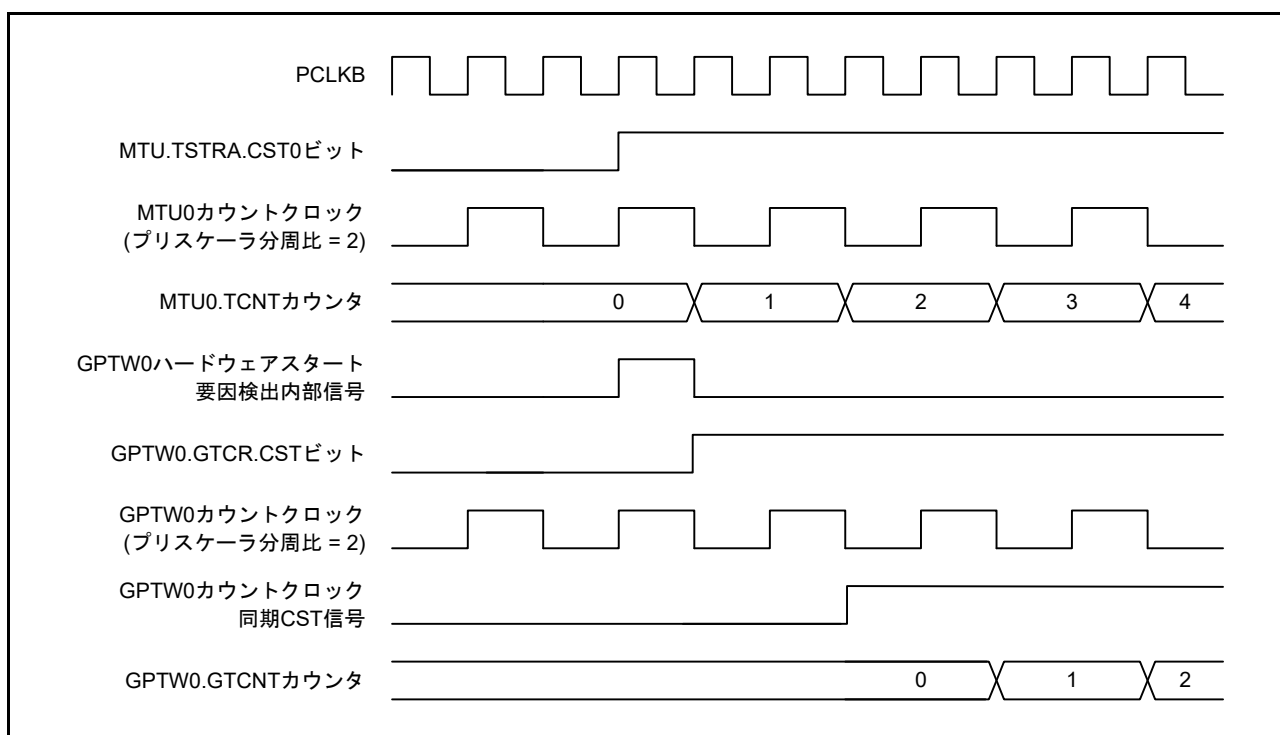


図 21.66 MTU カウントスタートによるカウンタスタート動作タイミング例

21.3.8 チャンネル間同期動作

チャンネル間の同期動作 (同時スタート/ストップ/クリア) が可能です。

21.3.8.1 ソフトウェアによる同期動作

GTSTR、GTSTP、GTCLR レジスタの複数ビットを同時に“1”にすることによって、各チャンネルのカウンタ動作を同時にスタート、ストップ、クリアすることができます。

GTCNT カウンタの値の設定は、GTCR.SSCEN ビットで同期セットされ、GTCR.SSCGRP[1:0] ビットで同じグループに設定された複数のチャンネルに同時に書き込むことができます。GTSECR.SSCE ビットまたはSSCD ビットのどちらか一方に“1”を書くと、GTSECSR レジスタで“1”となっているチャンネルのGTCR.SSCEN ビットに同時に値が設定され、同期セットが複数のチャンネルで同時に許可、禁止されます。

カウンタ動作は、GTCR.TPCS[3:0] ビットで選択したカウンタクロックでおこなうため、同時にスタート、ストップ、クリアを行う複数のチャンネルのカウンタクロックが異なる場合、完全に同じタイミングでのスタート、ストップ、クリア動作を行うことはできません。

図 21.67 は、3つのチャンネルを、ソフトウェアによる同時スタート/ストップ/クリアさせた例です。図 21.68 ~ 図 21.70 はカウンタクロックが異なる場合のソフトウェアによる同時スタート/ストップ/クリアさせた例です。

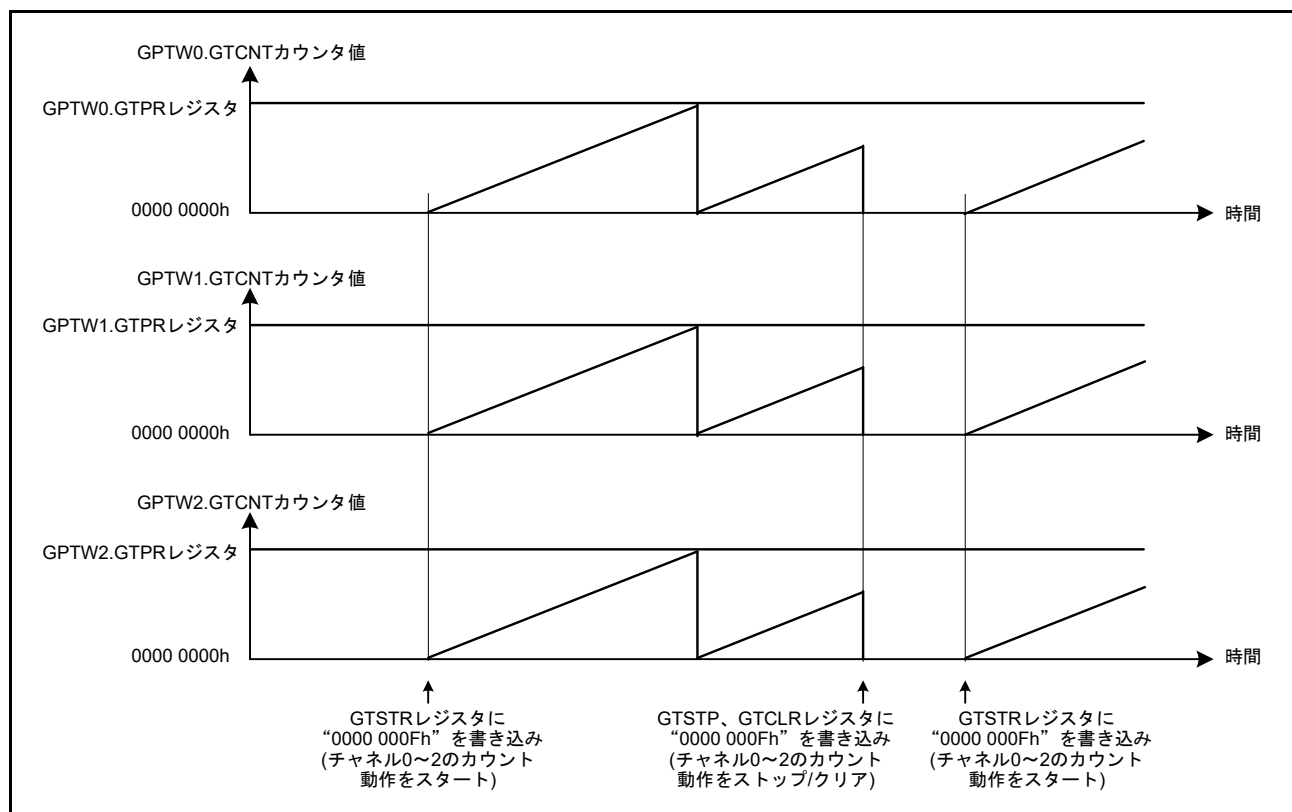


図 21.67 ソフトウェアによる同時スタート/ストップ/クリア動作例
(カウンタ周期 (GTPR レジスタ値) が同一のとき)

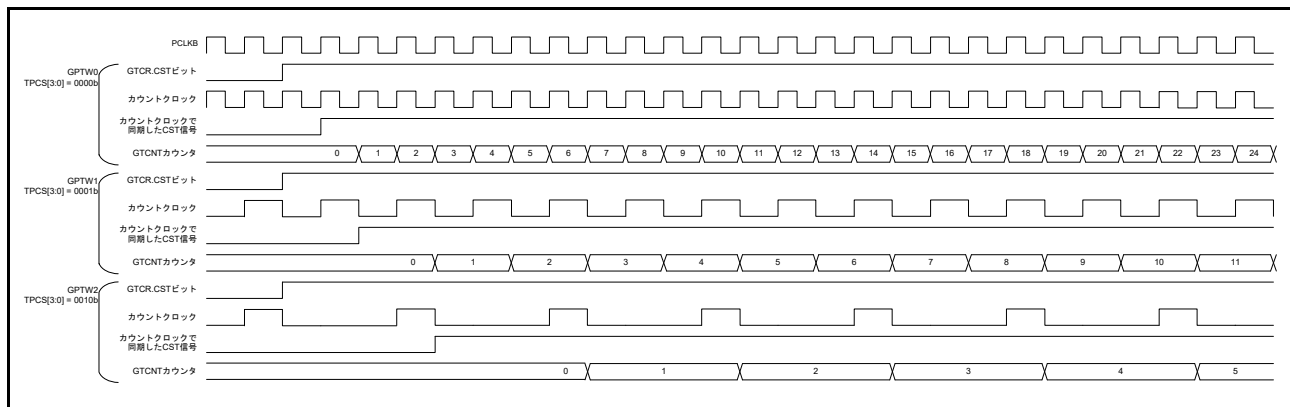


図 21.68 ソフトウェアによる同時スタート動作例 (チャンネルごとにカウントクロックが異なる場合)

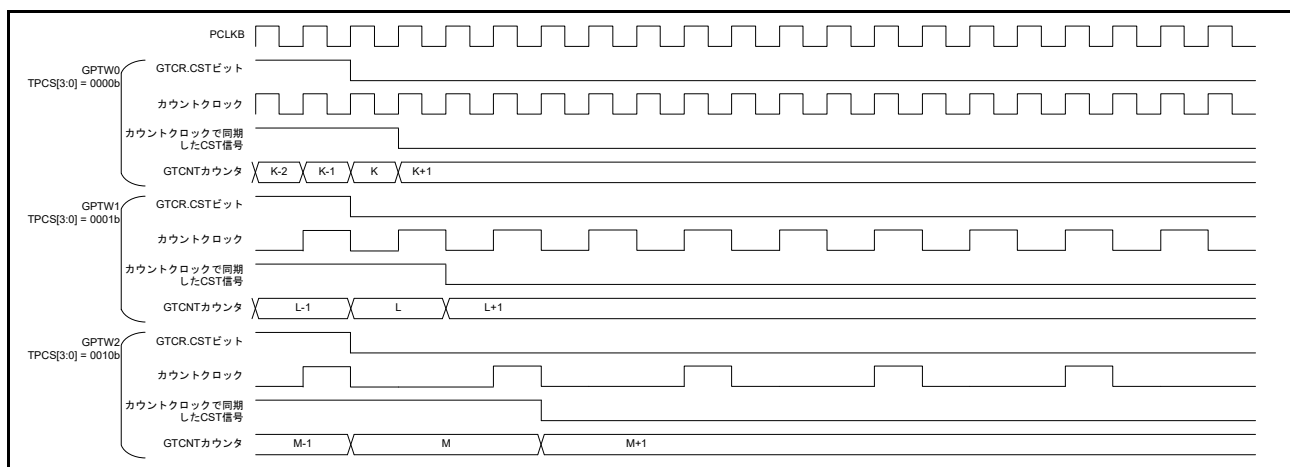


図 21.69 ソフトウェアによる同時ストップ動作例 (チャンネルごとにカウントクロックが異なる場合)

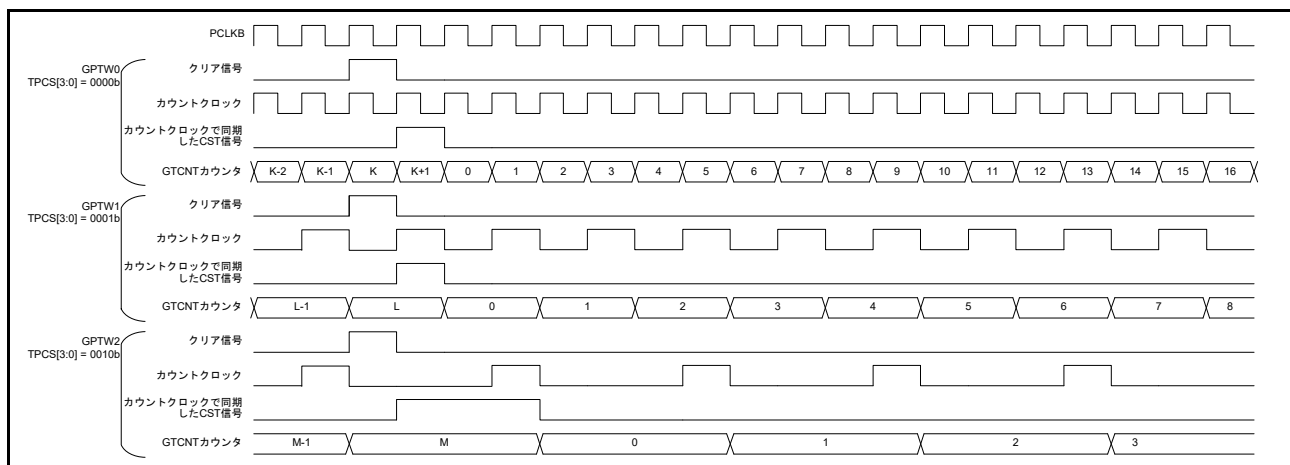


図 21.70 ソフトウェアによる同時クリア動作例 (チャンネルごとにカウントクロックが異なる場合)

21.3.8.2 ハードウェア要因による同期動作

ハードウェア要因により、各チャネルのカウンタ動作を同時にスタート、ストップ、クリアすることができます。

同期動作が可能なハードウェア要因は、外部トリガ入力です。

図 21.71 は、3つのチャネルを、ハードウェア要因による同時スタート/ストップ/クリア動作させた例です。

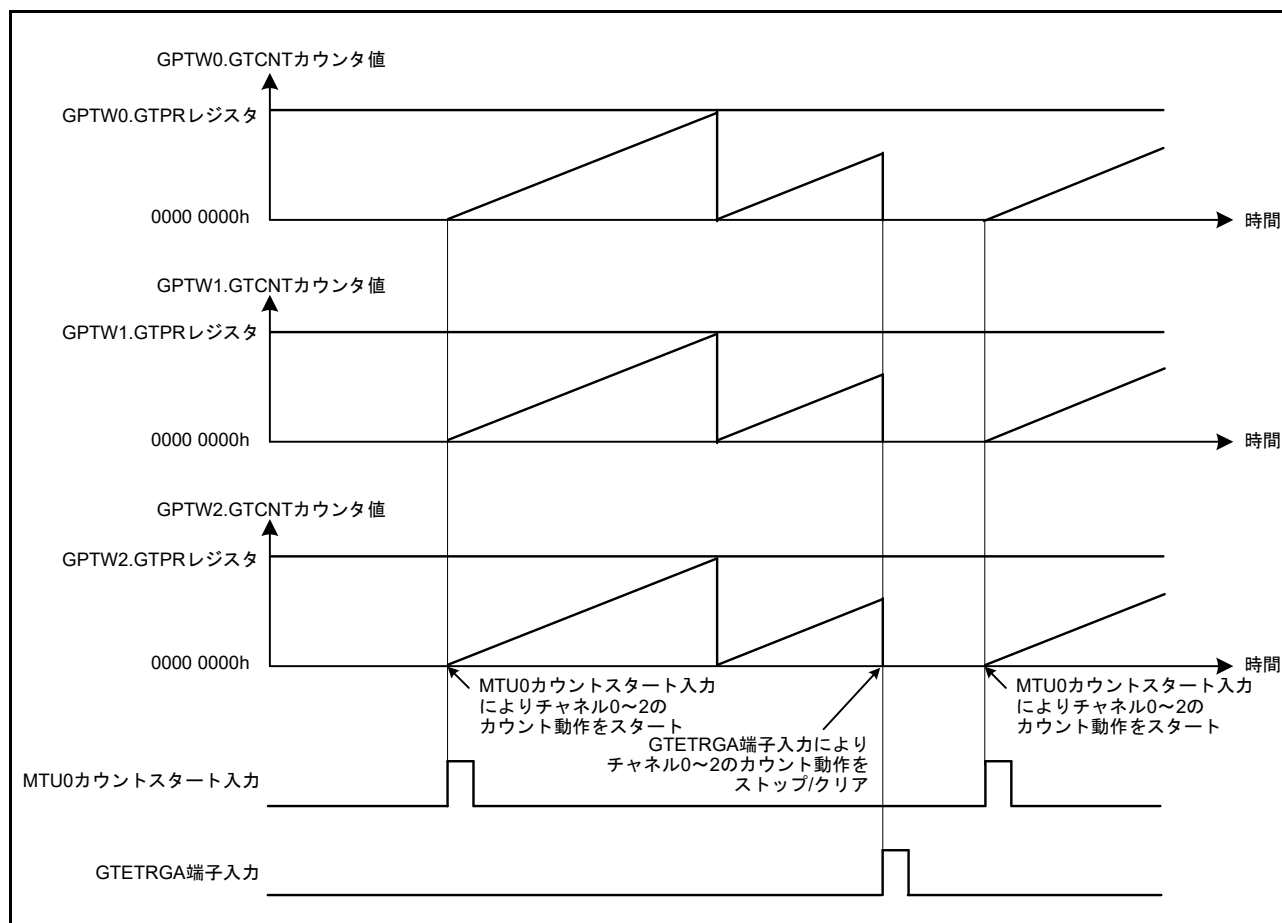


図 21.71 ハードウェア要因による同時スタート/ストップ/クリア動作例
(カウンタ周期 (GTPR レジスタ値) が同一のとき)



図 21.72 ハードウェア要因による同時スタート設定例

21.3.8.3 チャネル間連携による同期クリア動作

コンペアマッチ、インプットキャプチャ、のこぎり波アップカウントのオーバフロー、のこぎり波ダウンカウントのアンダフロー、GTCSR レジスタで選択された GTIOCnA/GTIOCnB 端子を要因とするクリアにより、他のチャネルのカウンタを同時にクリアすることができます。

GTCLR レジスタによるクリア、GTCSR レジスタで選択された外部トリガ入力によるクリアは、同時にクリアさせるチャネルのクリア要因を同じものに設定することで同時クリアが実現できるため、チャネル間連携による同期クリアの要因としては用いません。

同期クリアの要因を生成するチャネルと同期クリアされるチャネルは、GTCR.SSCGRP[1:0] ビットで同じ同期セット/クリアグループに設定してください。

「21.3.8.1 ソフトウェアによる同期動作」と同様に、GTCR.TPCS[3:0] ビットで選択するカウントクロックが個々のチャネルで異なる場合、完全に同じタイミングでの同期クリア動作を行うことはできません。図 21.70 のソフトウェアによる同期クリア動作例と同様に、カウントクロックが異なる場合、同期クリアされるチャネルの同期クリア要因は、そのチャネルのカウントクロックで同期化してクリアを行います。

GTSECR.SSCE ビットまたは SSCD ビットのどちらか一方に“1”を書くと、GTSECSR レジスタで“1”となっているチャネルの GTCR.SSCEN ビットに同時に値が設定され、同期セットが複数のチャネルで同時に許可、禁止されます。

表 21.7 に同期クリア要因を設定するレジスタの設定値を示します。図 21.73 にチャネル間連携による同期クリア動作例を示します。図 21.74 に設定例を示します。

表21.7 同期クリア要因レジスタの設定

チャネル間連携の同期クリア要因	設定レジスタ.ビット	設定値
GTCCRA レジスタコンペアマッチ/インプットキャプチャ	GTINTAD.SCFA	1b
	GTCSR.CSCMSC[2:0]	001b
GTCCRB レジスタコンペアマッチ/インプットキャプチャ	GTINTAD.SCFB	1b
	GTCSR.CSCMSC[2:0]	010b
GTCCRC レジスタコンペアマッチ	GTINTAD.SCFC	1b
	GTCSR.CSCMSC[2:0]	011b
GTCCRD レジスタコンペアマッチ	GTINTAD.SCFD	1b
	GTCSR.CSCMSC[2:0]	100b
GTCCRE レジスタコンペアマッチ	GTINTAD.SCFE	1b
	GTCSR.CSCMSC[2:0]	101b
GTCCRF レジスタコンペアマッチ	GTINTAD.SCFF	1b
	GTCSR.CSCMSC[2:0]	110b
のこぎり波アップカウントのオーバフロー	GTINTAD.SCFPO	1b
のこぎり波ダウンカウントのアンダフロー	GTINTAD.SCFPU	1b
GTIOCnA/GTIOCnB 端子を要因とするクリア	GTCR.SCGTIOC	1b

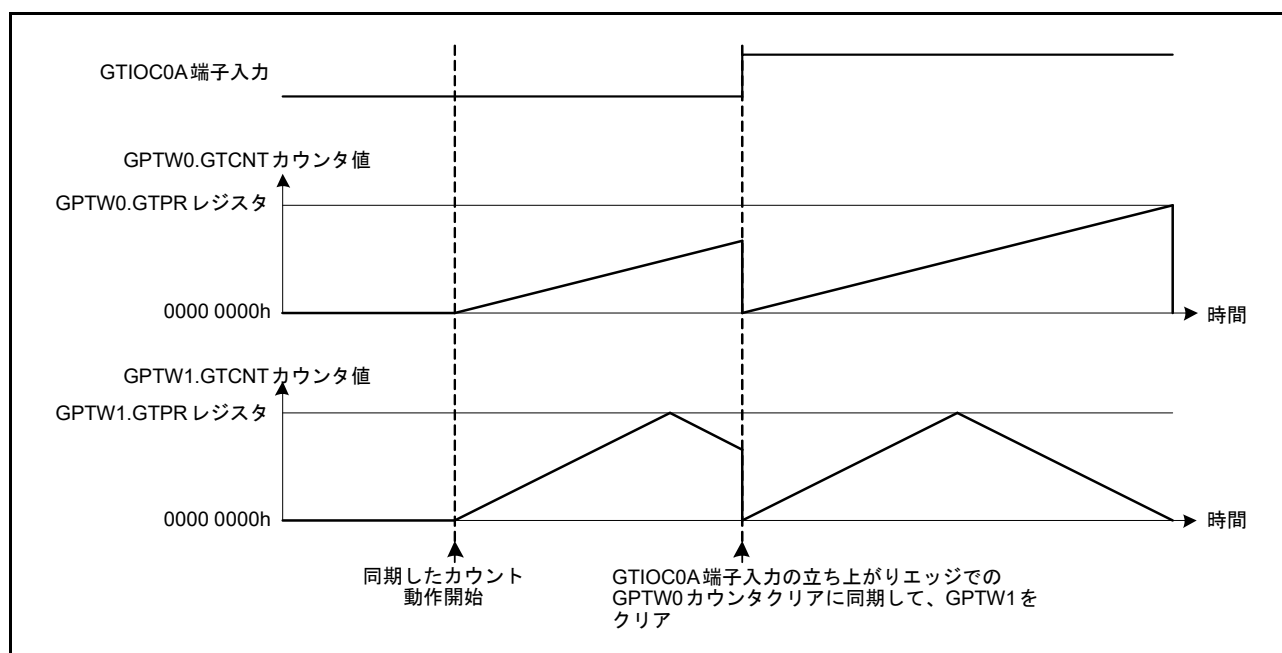


図 21.73 チャンネル間連携による同期クリア動作例 (GTIOCnA/GTIOCnB 端子を要因とするクリア)
 (GPTW0 はのこぎり波で GTIOC0A 信号の立ち上がりエッジでカウンタクリア、
 GPTW1 は三角波で、GPTW0、GPTW1 は同じ同期セット / クリアグループの場合)

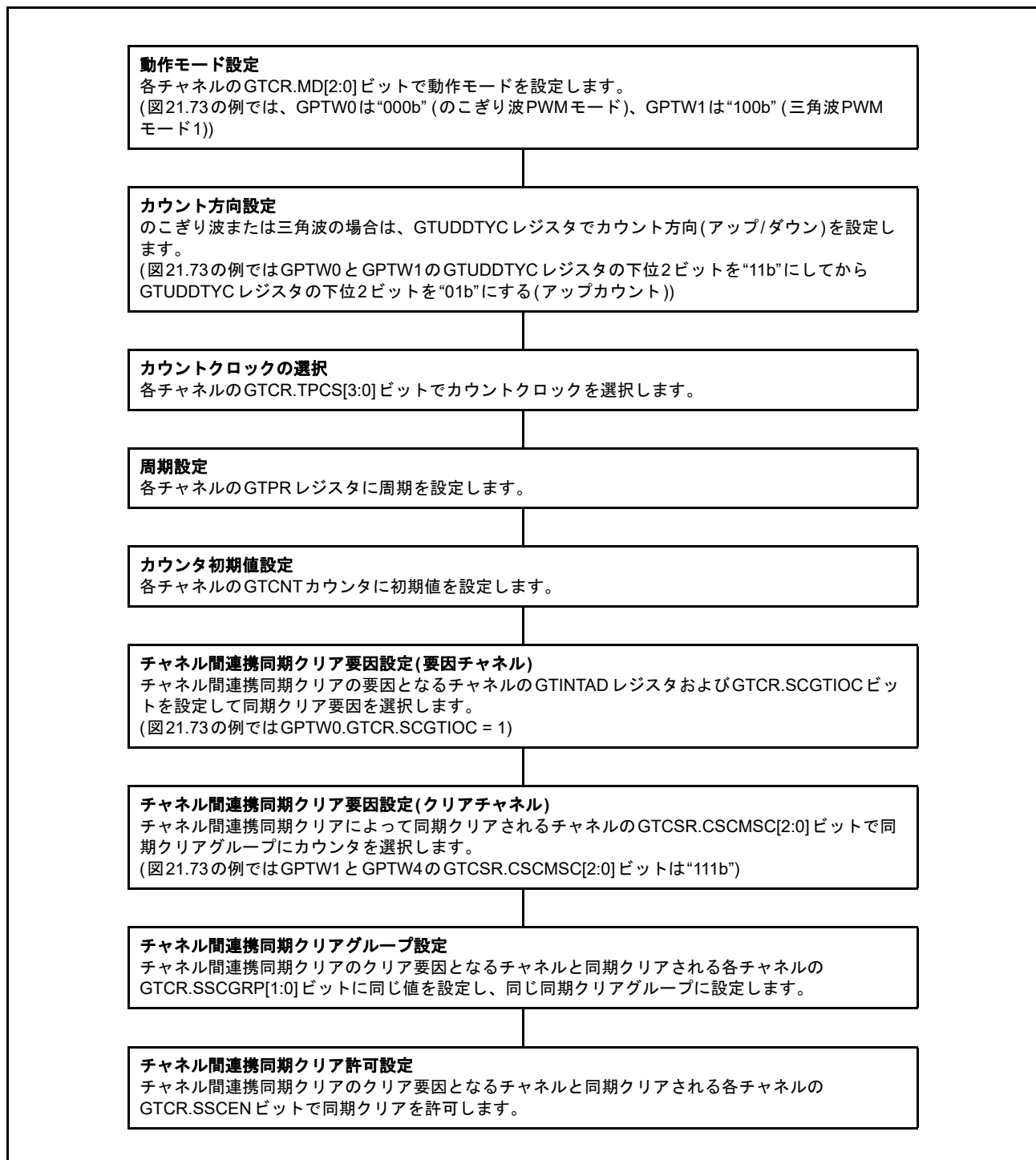


図 21.74 チャンネル間連携による同期クリアの設定例 (GTIOCnA/GTIOCnB 端子を要因とするクリア)

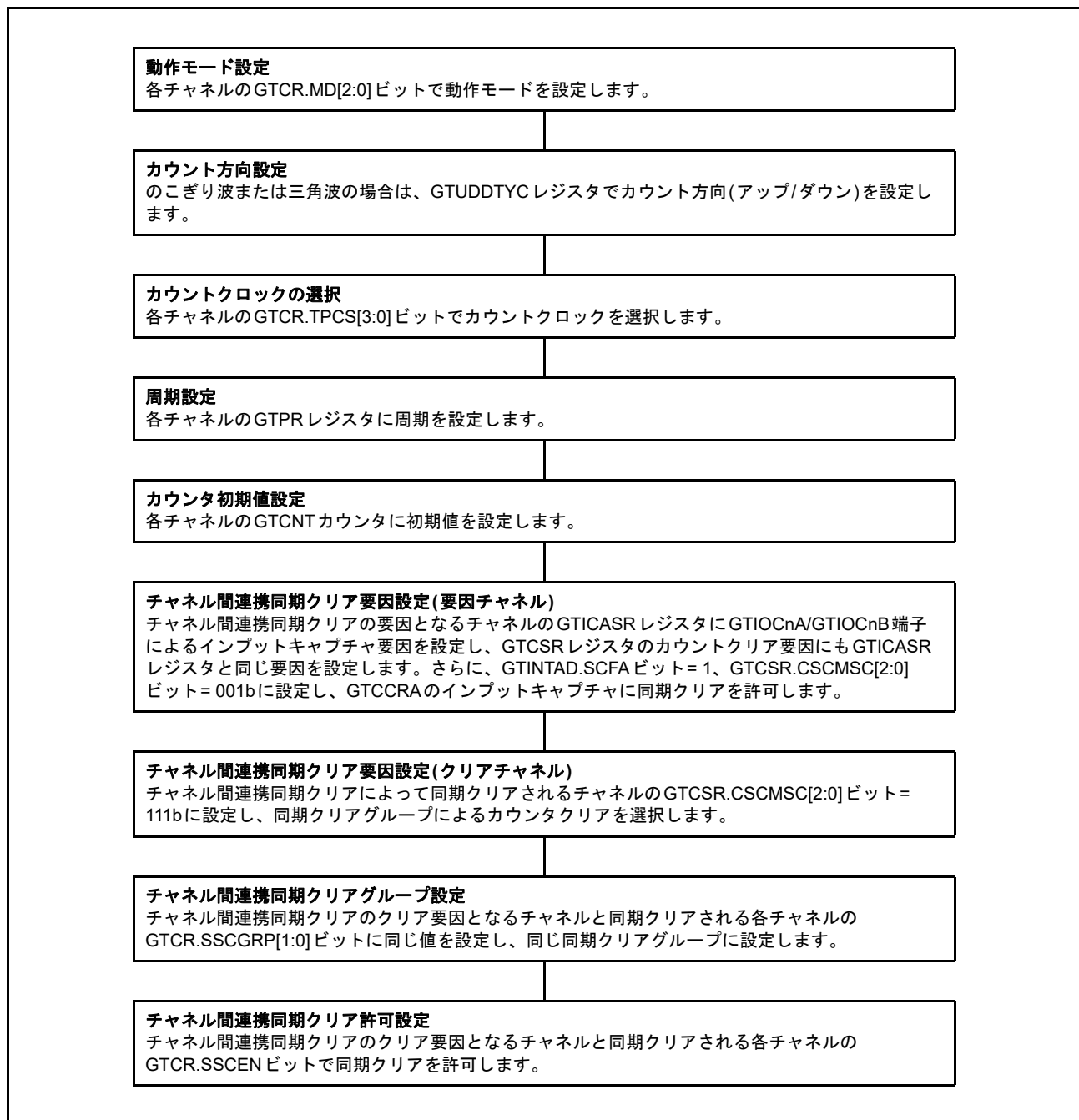


図 21.75 チャンネル間連携による同期クリアの設定例 (GTIOCnA/GTIOCnB 端子による GTCCRA のインプットキャプチャを要因とするクリア)

21.3.8.4 チャンネル間連携によるインプットキャプチャ動作

コンペアマッチ、インプットキャプチャ、のこぎり波のオーバフロー、アンダフロー、三角波の山、谷、カウントクロックを、他チャンネルの GTCCRm レジスタ ($m = A, B$) のインプットキャプチャ要因として使用することができます。

インプットキャプチャ要因を生成するチャンネルの GTICCR レジスタにインプットキャプチャの要因を設定し、インプットキャプチャされるチャンネルの GTICmSR.mSOC ビット ($m = A, B$) により他チャンネル要因によるインプットキャプチャを許可します。インプットキャプチャの要因を生成するチャンネルとインプットキャプチャされるチャンネルは、GTICCR.ICmGRP[1:0] ビット ($m = A, B$) で同じインプットキャプチャグループに設定してください。

図 21.76 にチャンネル間連携によるインプットキャプチャの動作例、図 21.77 にチャンネル間連携によるインプットキャプチャの設定例を示します。

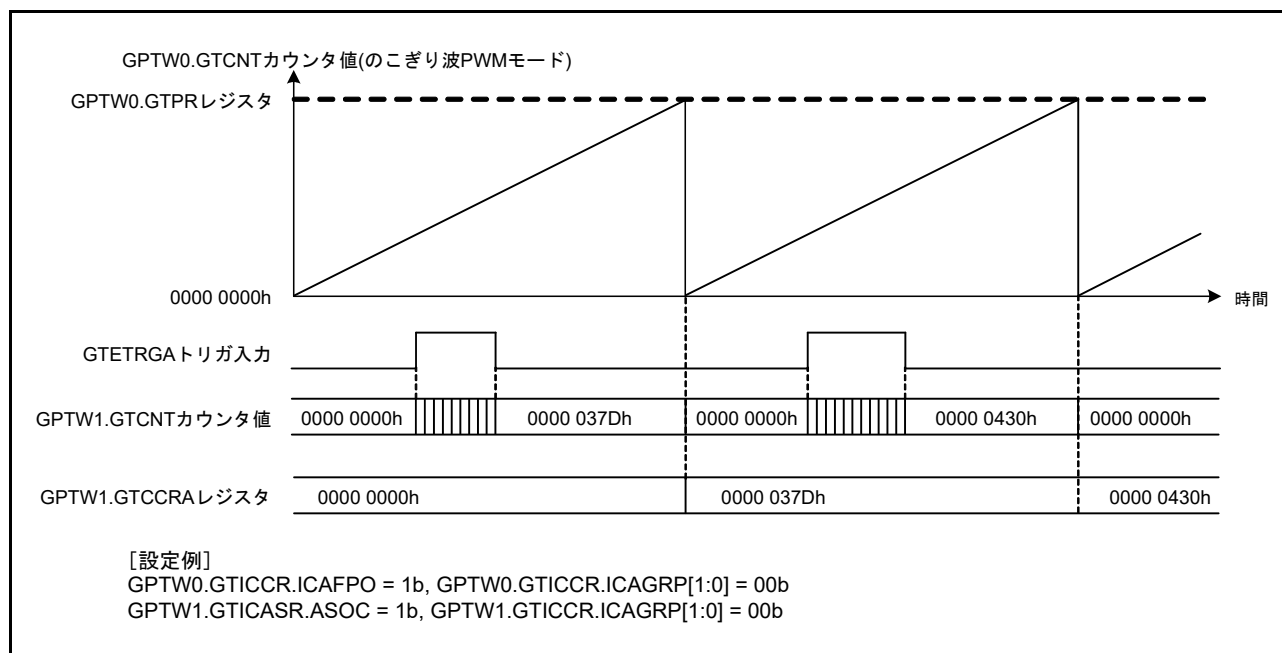


図 21.76 チャンネル間連携によるインプットキャプチャ動作例 (GPTW0 のオーバフローで GPTW1 をインプットキャプチャ)

動作モード設定 各チャンネルの GTCR.MD[2:0] ビットで動作モードを設定します。 (図21.76の例では、GPTW0とGPTW1は“000b”(のこぎり波PWMモード))	
カウント方向設定 のこぎり波または三角波の場合は、GTUDDTYCレジスタでカウント方向(アップ/ダウン)を設定します。 (図21.76の例ではGPTW0のGTUDDTYCレジスタの下位2ビットを“11b”にしてからGTUDDTYCレジスタの下位2ビットを“01b”にする(アップカウント))	
カウントクロックの選択 各チャンネルの GTCR.TPCS[3:0] ビットでカウントクロックを選択します。	
周期設定 各チャンネルの GTPR レジスタに周期を設定します。	
カウンタ初期値設定 各チャンネルの GTCNT カウンタに初期値を設定します。	
ハードウェアカウントスタート設定 GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。(図21.76の例では、GPTW1.GTSSRの下位2ビットを“01b”(GTETRGA信号の立ち上がりエッジでカウントスタート))	
ハードウェアカウントストップ設定 GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。(図21.76の例では、GPTW1.GTPSRの下位2ビットを“10b”(GTETRGA信号の立ち下がりエッジでカウントストップ))	
チャンネル間連携インプットキャプチャによるカウンタクリア要因設定(クリアチャンネル) チャンネル間連携インプットキャプチャによってカウンタクリアされるチャンネルの GTCR.CSCMSC[2:0] ビットを“001b”、“010b”に設定し、インプットキャプチャによるカウンタクリアを選択します。 (図21.76の例ではGPTW1.GTCR.CSCMSC[2:0] = 001b)	
チャンネル間連携インプットキャプチャ要因設定(要因チャンネル) チャンネル間連携インプットキャプチャの要因となるチャンネルの GTICCR レジスタでインプットキャプチャ要因を設定します。 (図21.76の例ではGPTW0.GTICCR.ICAFPO = 1)	
チャンネル間連携インプットキャプチャ要因設定(キャプチャチャンネル) チャンネル間連携インプットキャプチャによってインプットキャプチャされるチャンネルの GTICmSR.mSOC (m = A, B) ビットで他チャンネル要因による GTCCRm (m = A, B) レジスタへのインプットキャプチャを許可します。 (図21.76の例ではGPTW1.GTICASR.ASOC = 1)	
チャンネル間連携インプットキャプチャグループ設定 チャンネル間連携インプットキャプチャのインプットキャプチャ要因となるチャンネルとインプットキャプチャされるチャンネルの GTICCR.ICAGRP[1:0] ビットに同じ値を設定し、同じインプットキャプチャグループに設定します。	

図 21.77 チャンネル間連携によるインプットキャプチャ設定例

21.3.8.5 位相シフトスタートによる同期動作

カウントスタート前に各チャンネルの GTCNT カウンタ値を設定しておき、GTSTR レジスタの複数のビットを同時に“1”にすることにより、各チャンネル間に位相差をつけたカウントスタートすることができます。

図 21.78 は、3 つのチャンネルを、ソフトウェアによる位相スタートをさせた例です。

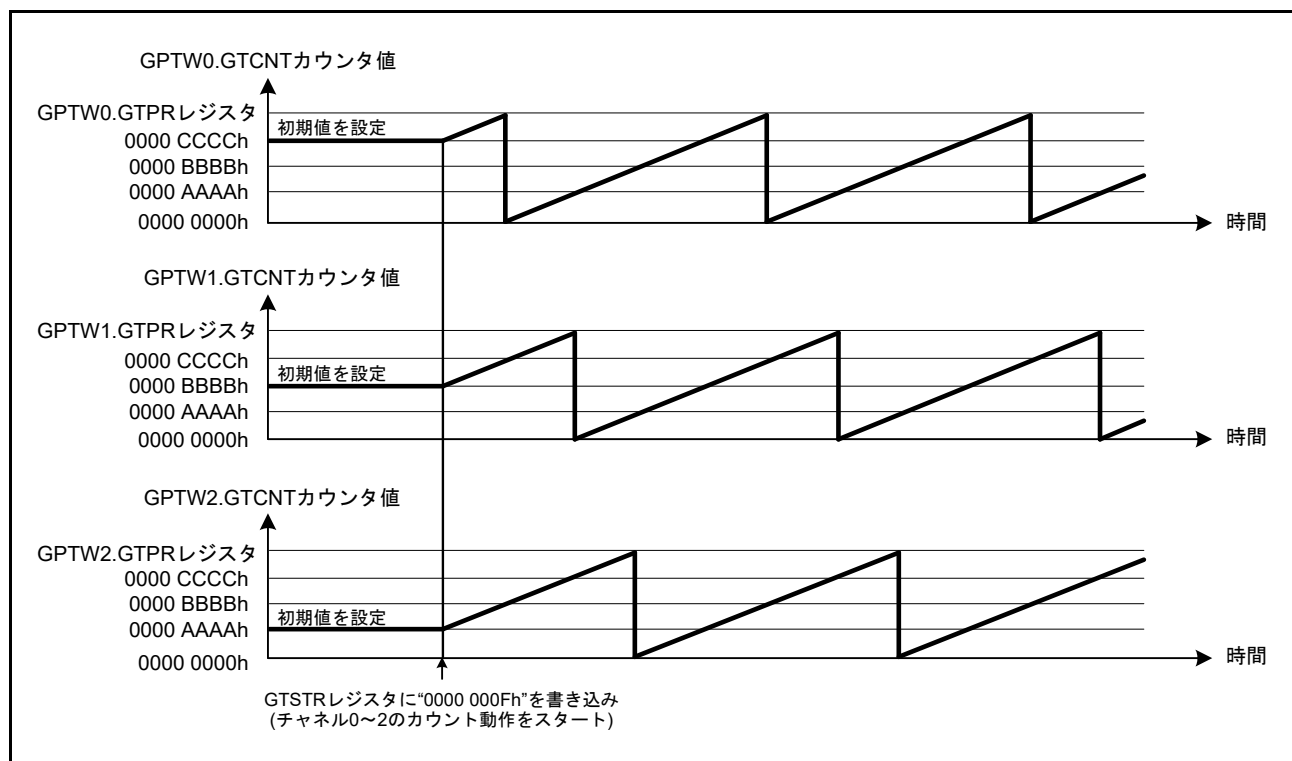


図 21.78 位相シフトスタート動作例 (カウント周期 (GTPR レジスタ値) が同一のとき)

21.3.9 PWM 出力動作例

(1) 同期 PWM 出力

チャンネル間の同期動作をすることにより、1チャンネル2相、最大3チャンネル6相の連動したPWM波形を出力できます。

図 21.79 は、3つのチャンネルを、のこぎり波PWMモードで同期動作させ、6相のPWM波形を出力させた例です。GTIOCnA 端子出力 ($n=0 \sim 2$) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とした例です。

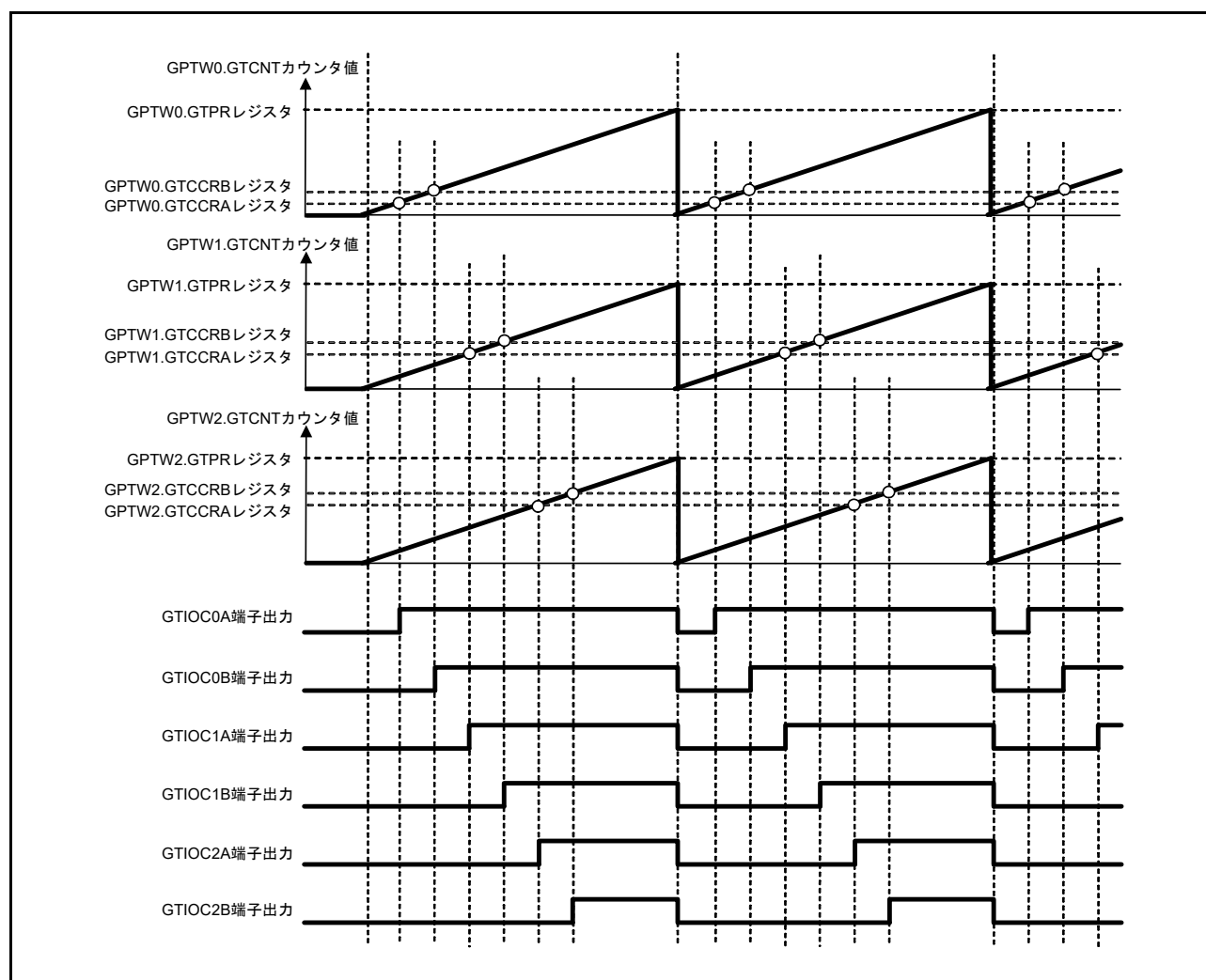


図 21.79 同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 21.80 は、3 つのチャネルをのこぎり波 PWM モードで同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ~ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力とした例です。

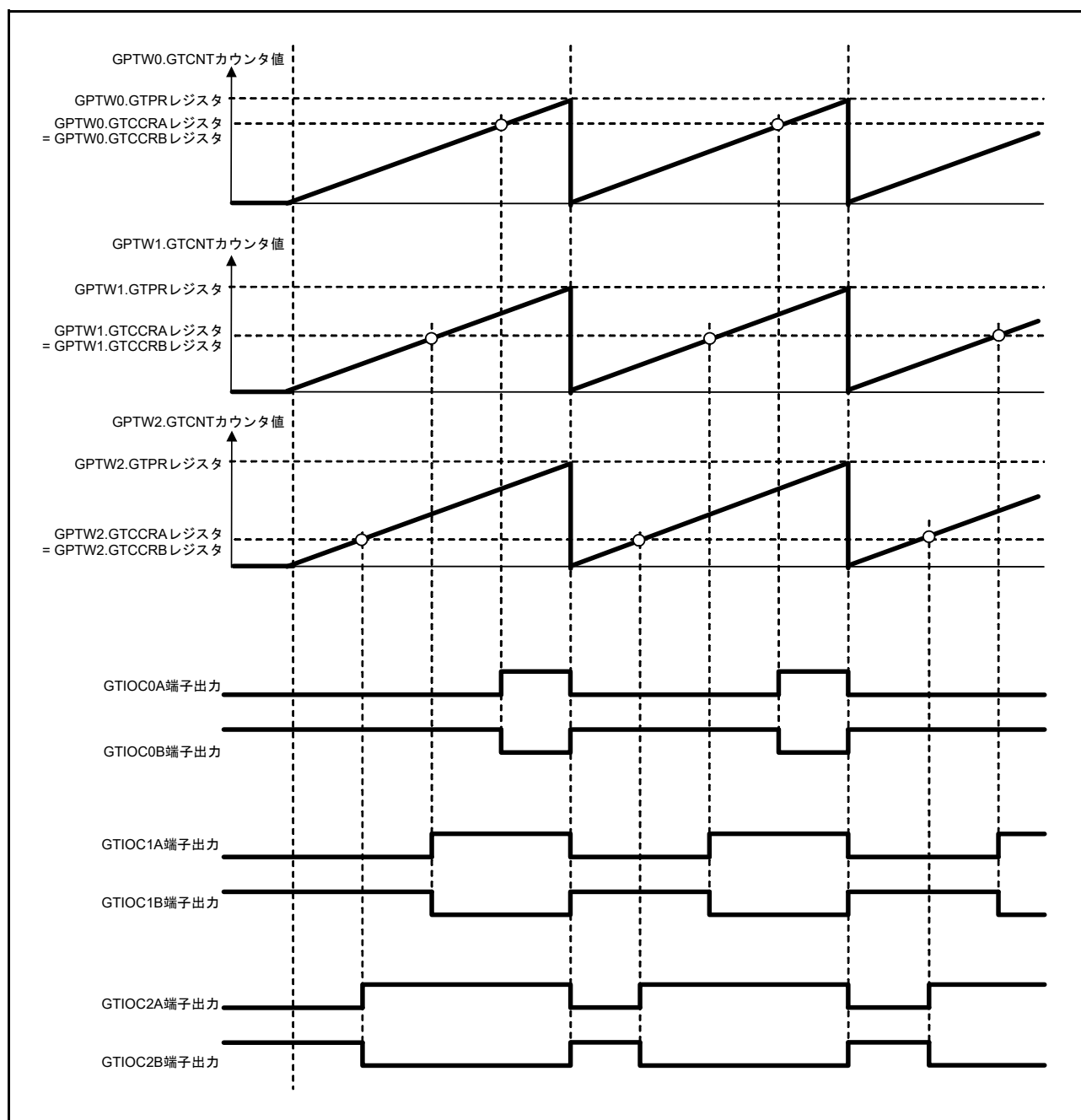


図 21.80 のこぎり波 3 相相補 PWM 出力

(3) のこぎり波3相相補PWM出力(デッドタイム自動設定)

図 21.81 は、3つのチャネルを、デッドタイムを自動設定したのこぎり波ワンショットパルスモードで同期動作させ、3相相補PWM波形を出力させた例です。GTIOCnA 端子出力 ($n=0\sim2$) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

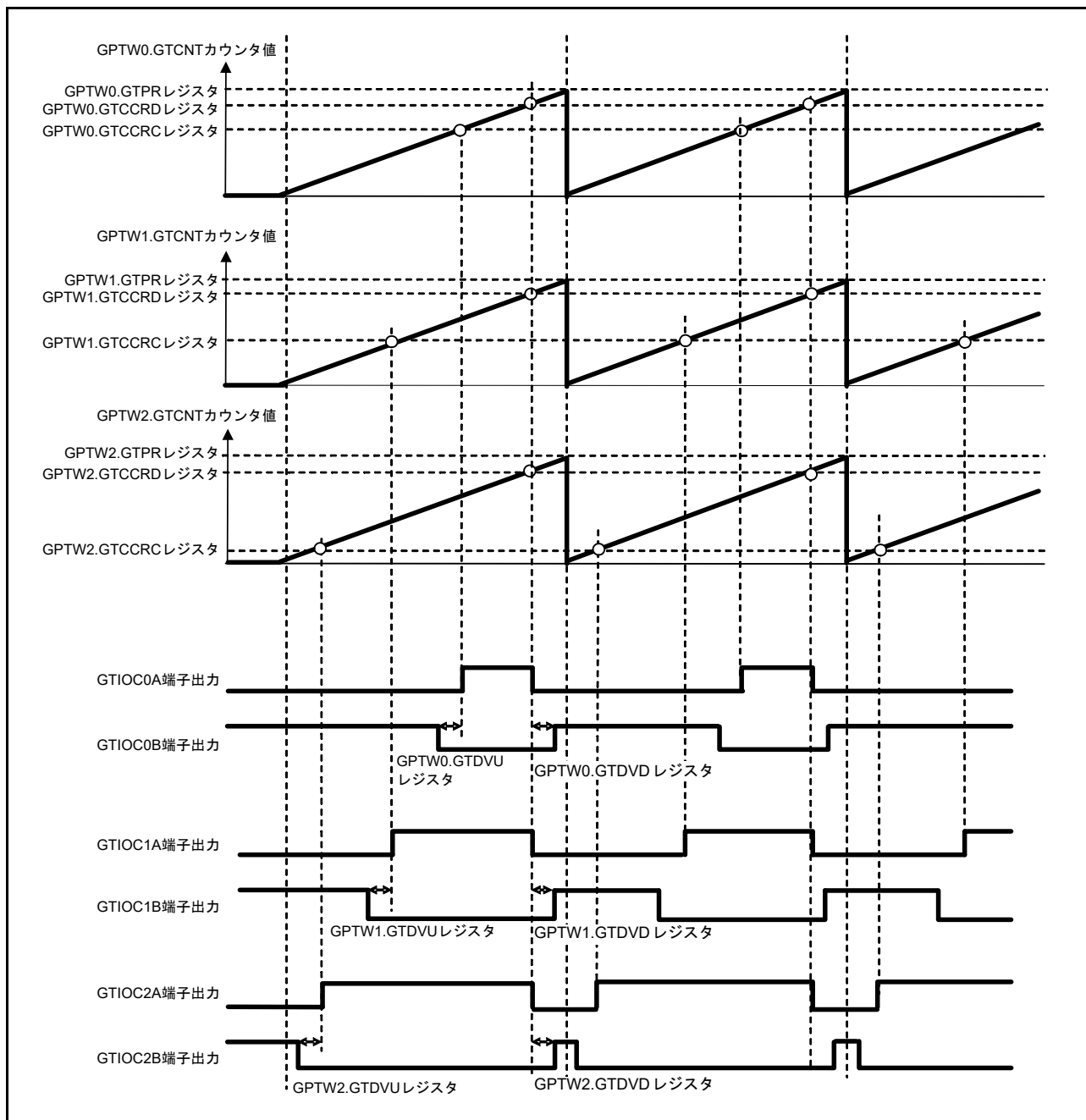


図 21.81 のこぎり波3相相補PWM出力例(デッドタイム自動設定)

(4) 三角波 3 相相補 PWM 出力

図 21.82 は、3 つのチャネルを三角波 PWM モード 1 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n = 0 ~ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

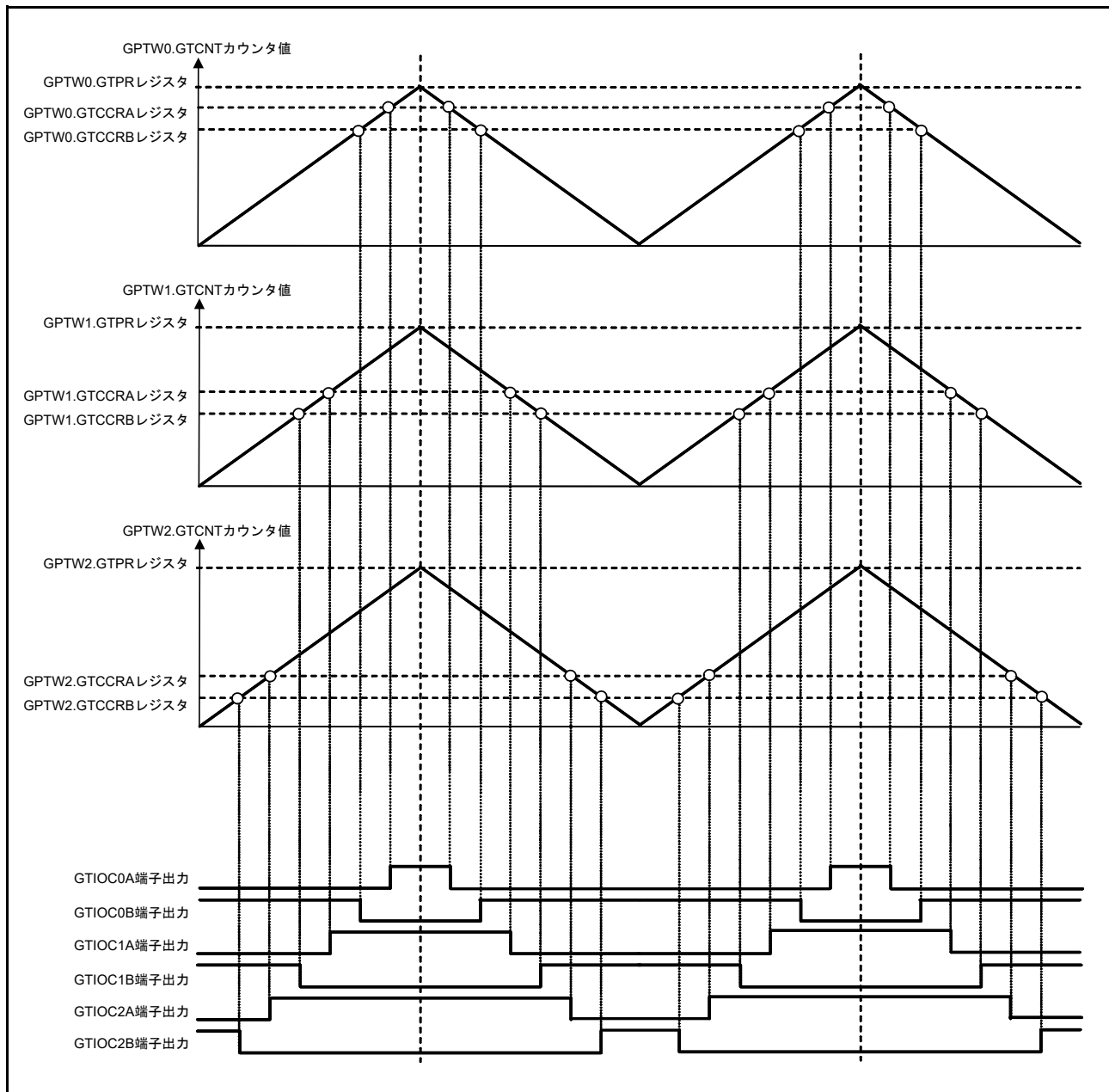


図 21.82 三角波 3 相相補 PWM 出力

(5) 三角波3相相補PWM出力(デッドタイム自動設定)

図 21.83 は、3つのチャネルを、デッドタイムを自動設定した三角波PWMモード1で同期動作させ、3相相補PWM波形を出力させた例です。GTIOCnA 端子出力 (n=0~2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

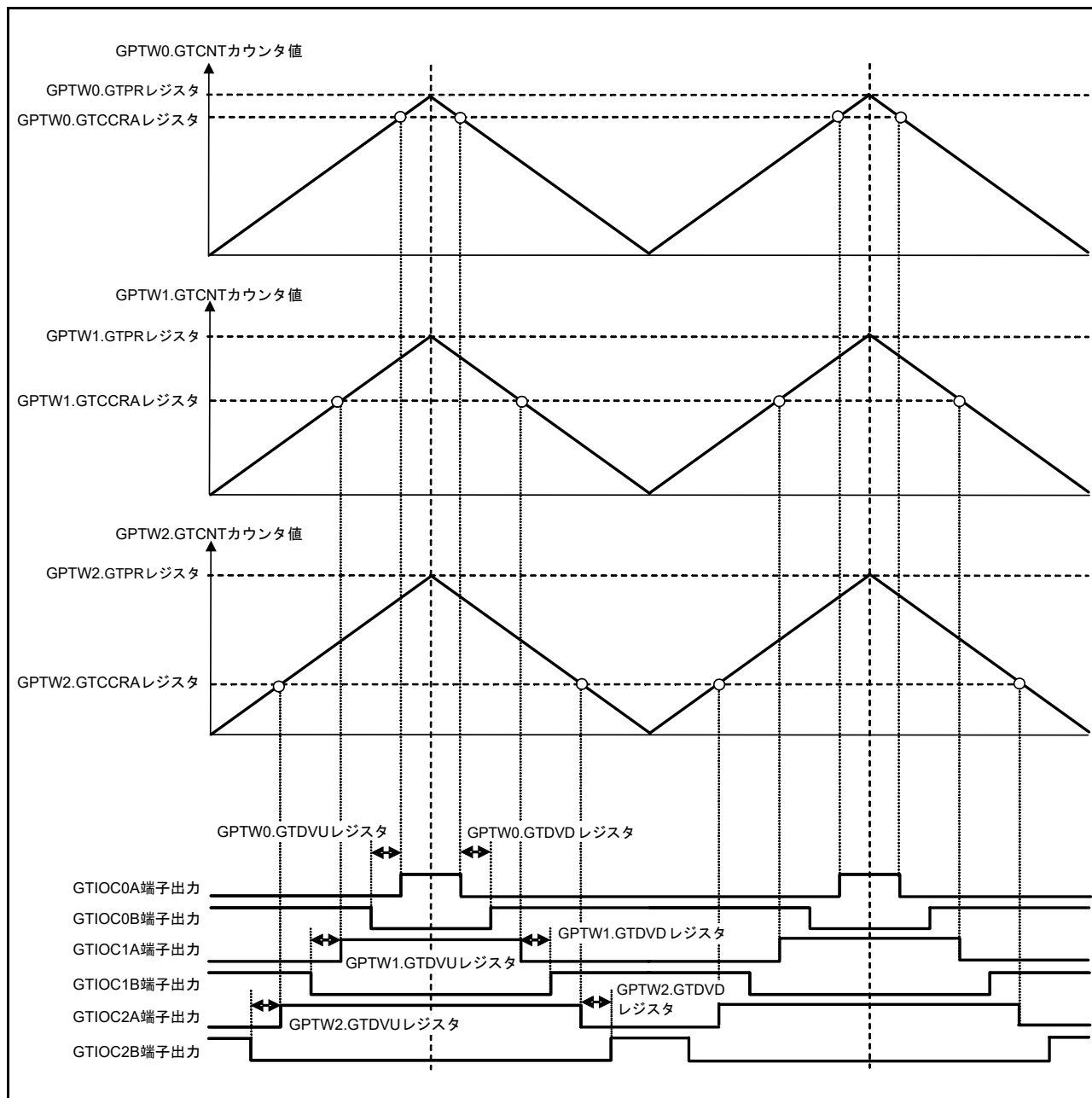


図 21.83 三角波3相相補PWM出力例(デッドタイム自動設定)

(6) 非対称三角波 3 相相補 PWM 出力 (デッドタイム自動設定)

図 21.84 は、3 つのチャンネルを、デッドタイムを自動設定した三角波 PWM モード 3 で同期動作させ、3 相相補 PWM 波形を出力させた例です。GTIOCnA 端子出力 (n=0 ~ 2) の設定は、初期出力は Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とし、GTIOCnB 端子出力の設定は、初期出力は High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持とした例です。

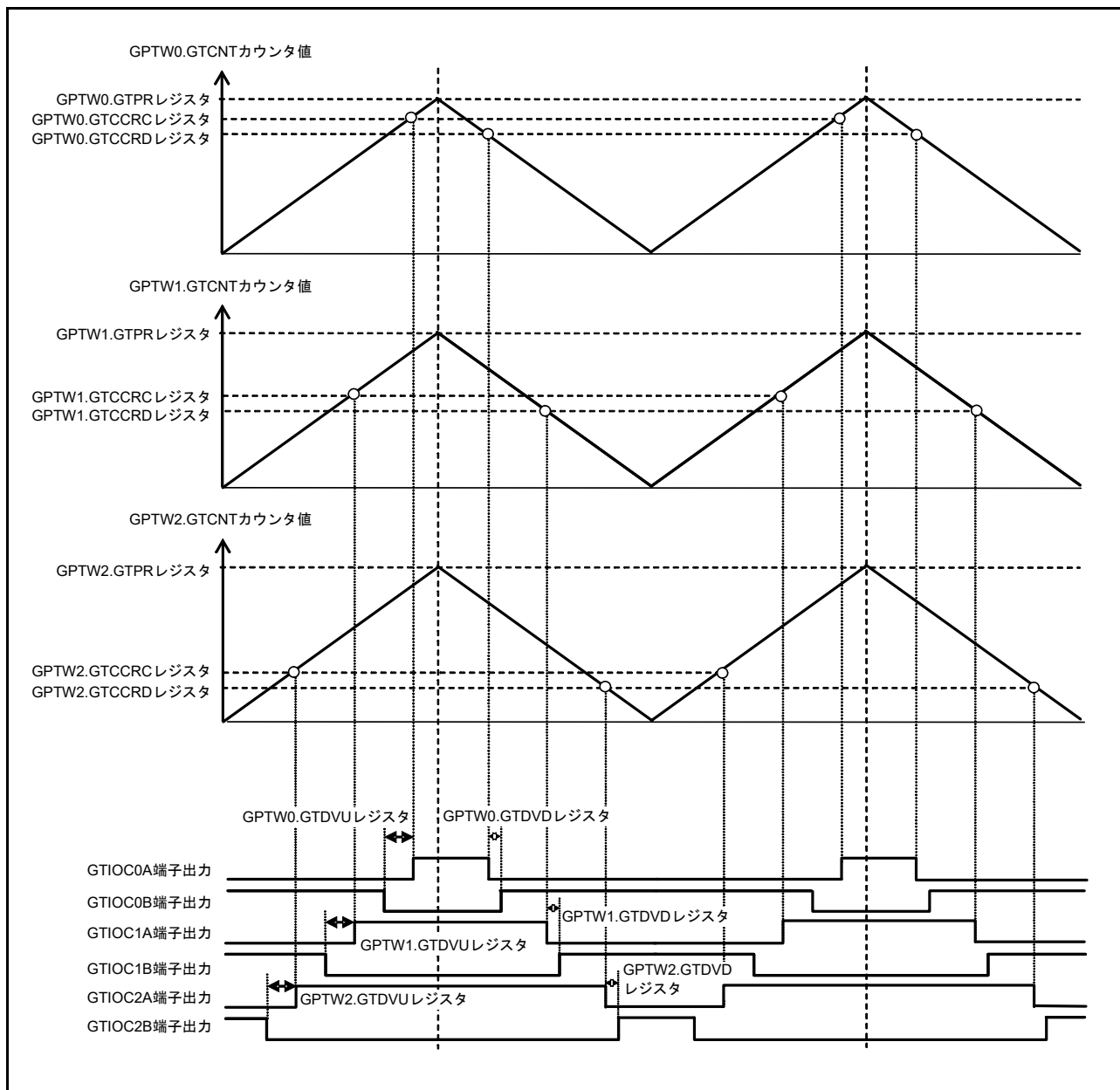


図 21.84 非対称三角波 3 相相補 PWM 出力例 (デッドタイム自動設定)

21.4 割り込み要因

21.4.1 割り込み要因と優先順位

割り込み要因には、GTCCRm レジスタ (m = A ~ F) のインプットキャプチャ / コンペアマッチ、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ) / アンダフロー、デッドタイムエラーの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと割り込み要求発生制御ビットがあり、割り込み要求の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、GTST レジスタの対応するステータスフラグが“1”になります。このとき GTINTAD レジスタの対応する割り込み要求許可 / 禁止ビットが“1”であれば、割り込み要求が発生します。

GTST レジスタの対応するステータスフラグは、書き込みでクリアできます。フラグのセットとクリアが競合する場合、セットよりクリアが優先されます。

詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。表 21.8 に GPTW の割り込み要因の一覧を示します。

表 21.8 GPTWの割り込み要因 (n = 0 ~ 2)

チャンネル	名称	割り込み要因	割り込みフラグ
GPTWn	GTClAn	GTCCRA レジスタのインプットキャプチャ / コンペアマッチ	GPTWn.GTST.TCFA
	GTClBn	GTCCRB レジスタのインプットキャプチャ / コンペアマッチ	GPTWn.GTST.TCFB
	GTClCn	GTCCRC レジスタのコンペアマッチ	GPTWn.GTST.TCFC
	GTClDn	GTCCRD レジスタのコンペアマッチ	GPTWn.GTST.TCFD
	GDTEn	デッドタイムエラー	GPTWn.GTST.DTEF
	GTClEn	GTCCRE レジスタのコンペアマッチ	GPTWn.GTST.TCFE
	GTClFn	GTCCRF レジスタのコンペアマッチ	GPTWn.GTST.TCFF
	GTClVn	GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)	GPTWn.GTST.TCFPO
	GTClUn	GTCNT カウンタのアンダフロー	GPTWn.GTST.TCFPU

(1) GTClAn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTA ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタと一致したとき
- GTCCRA レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRA レジスタに転送されたとき

(2) GTClBn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTB ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタと一致したとき
- GTCCRB レジスタがインプットキャプチャとして機能している場合、インプットキャプチャ信号により GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

(3) GTClCn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTC ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 01b, 10b, 11b (GTCCRC レジスタがバッファ動作)

(4) GTCIDn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTD ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRA[1:0] = 10b, 11b (GTCCRD レジスタがバッファ動作)

(5) GTCIEn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTE ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 01b, 10b, 11b (GTCCRE レジスタがバッファ動作)

(6) GTCIFn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTF ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRF レジスタと一致したとき

以下の条件ではコンペアマッチを行わず、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b (のこぎり波ワンショットパルスモード)
- GTCR.MD[2:0] = 110b (三角波 PWM モード 3)
- GTBER.CCRB[1:0] = 10b, 11b (GTCCRF レジスタがバッファ動作)

(7) GTCIVn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTPR[0] ビットが“1”である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、オーバフロー(アップカウント動作中に GTCNT カウンタ値が GTPR レジスタ値から “0” になる) が発生
- 三角波の場合、山 (GTCNT カウンタ値が GTPR レジスタ値から GTPR レジスタ値 -1 になる) が発生
- ハードウェア要因によるカウント動作の場合、オーバフロー(アップカウント動作によって GTCNT カウ

ンタ値が GTPR レジスタ値から “0” になる) が発生

(8) GTCIUn 割り込み (n = 0 ~ 2)

GTINTAD.GTINTPR[1] ビットが “1” である場合、以下の条件で割り込み要求が発生します。

- のこぎり波の場合、アンダフロー(ダウンカウント動作中に GTCNT カウンタ値が “0” から GTPR レジスタ値になる) が発生
- 三角波の場合、谷 (GTCNT カウンタ値が “0” から “1” になる) が発生
- ハードウェア要因によるカウント動作の場合、アンダフロー(ダウンカウント動作によって GTCNT カウンタ値が “0” から GTPR レジスタ値になる) が発生

(9) GDTEn 割り込み (n = 0 ~ 2)

デッドタイムの自動設定がなされているとき、自動設定後の波形変化ポイントがカウント周期を超えると GTST.DTEF フラグが “1” になります。このとき、GTINTAD.GRPDTE ビットが “1” であれば、デッドタイムエラー割り込み (GDTE) 要求が発生します。

なお、GTST.DTEF フラグはデッドタイム自動設定後の波形変化ポイントがカウント周期内に戻ると “1” から “0” になります。

表 21.9 割り込み信号、割り込み許可ビットの関係 (n = 0 ~ 2)

割り込み信号	割り込み許可ビット	ステータスフラグ
GTCIAn	GTINTAD.GTINTA ビット	GTST.TCFA フラグ
GTCIBn	GTINTAD.GTINTB ビット	GTST.TCFB フラグ
GTCICn	GTINTAD.GTINTC ビット	GTST.TCFC フラグ
GTCIDn	GTINTAD.GTINTD ビット	GTST.TCFD フラグ
GDTEn	GTINTAD.GRPDTE ビット	GTST.DTEF フラグ
GTCIEn	GTINTAD.GTINTE ビット	GTST.TCFE フラグ
GTCIFn	GTINTAD.GTINTF ビット	GTST.TCFF フラグ
GTCIVn	GTINTAD.GTINTPR[1:0] ビット	GTST.TCFPO フラグ
GTCIUn		GTST.TCFPU フラグ

21.4.2 DTC の起動

各チャネルの割り込み要求によって、DTC を起動することができます。詳細は「14. 割り込みコントローラ (ICUb)」、「16. データトランスファコントローラ (DTCb)」を参照してください。

21.4.3 割り込み、A/D 変換開始要求の間引き機能

21.4.3.1 GTITC レジスタによる割り込み間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバフロー (GTPR レジスタのコンペアマッチ)/アンダフロー割り込み (GTCIV/GTCIU) を間引くことができます。また、他の割り込み、および A/D 変換開始要求を GTCIV/GTCIU 割り込み間引き機能と連動して間引くことができます。ただし、デッドタイムエラー割り込みは GTCIV/GTCIU 割り込み間引き機能と連動することはできません。なお、割り込みを間引いた場合は対応するステータスフラグの変化も間引かれ、ステータスフラグが“1”になっている間も間引き機能は動作を続けます。

割り込み間引き機能は、GTITC レジスタの設定だけに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。割り込み許可ビットは、間引き後の割り込み信号の出力制御だけに用います。

また、三角波で谷/山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込み要求が発生しません。三角波で谷/山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波でカウント方向を変えながらオーバフロー/アンダフロー両方をカウントして間引く場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込み要求が発生しない場合があります。のこぎり波でカウント方向を変えながらオーバフロー/アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV/GTCIU 割り込みを使用する場合は、間引き状態を十分検討のうえ、使用してください。

なお、間引き回数を変更する場合は、間引き機能をいったん解除 (GTITC.IVTC[1:0] ビット = 00b) してから行ってください。

間引き機能の動作例を図 21.85 ～図 21.90 に示します。

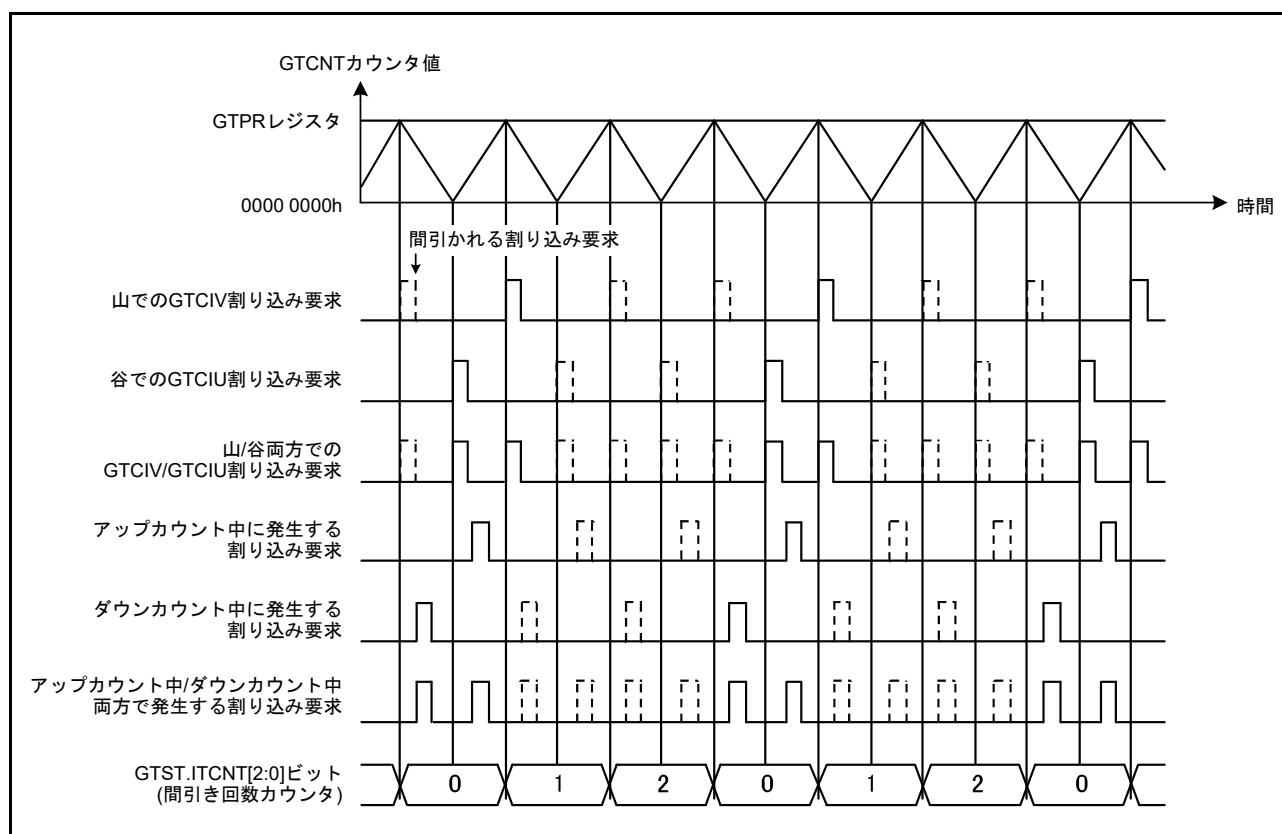


図 21.85 割り込み間引き機能の動作例 (三角波、山をカウントして間引き、間引き回数 2 の場合)

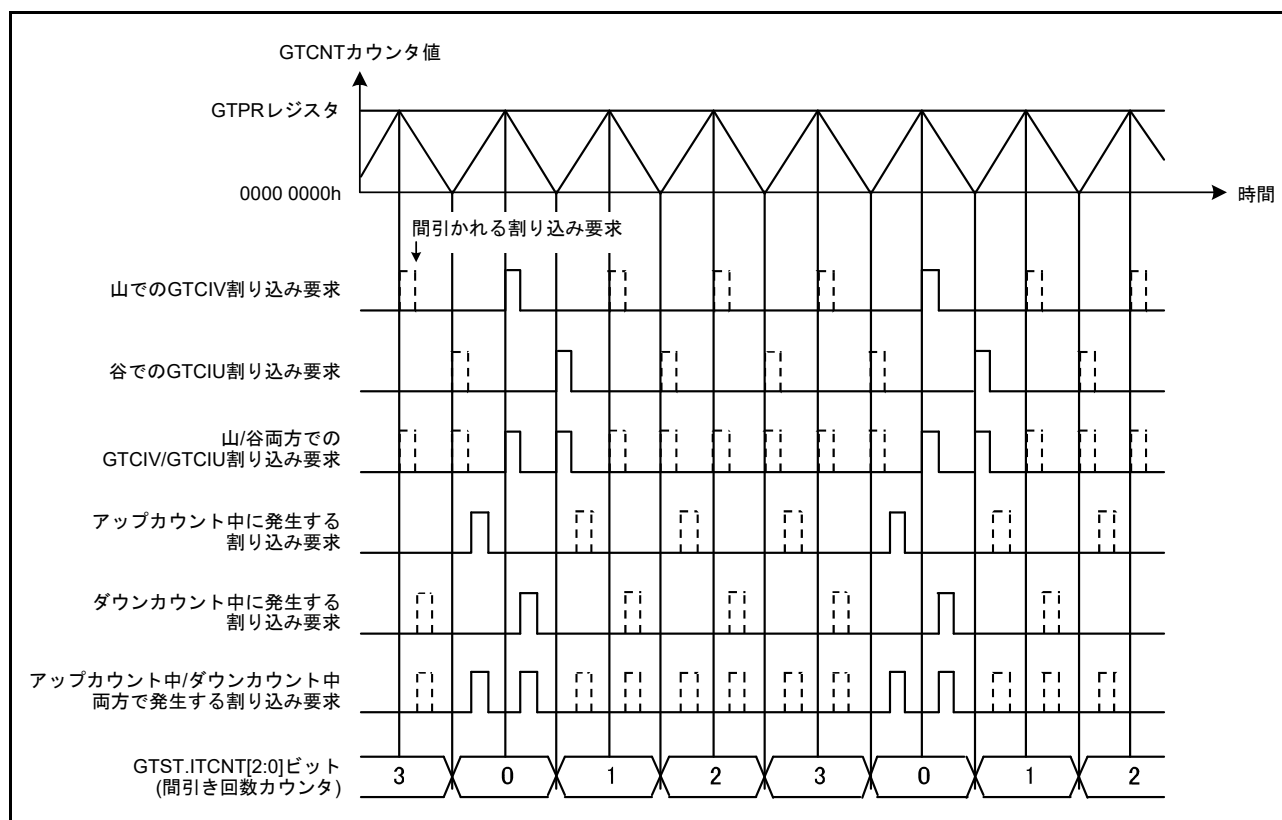


図 21.86 割り込み間引き機能の動作例 (三角波、谷をカウントして間引き、間引き回数 3 の場合)

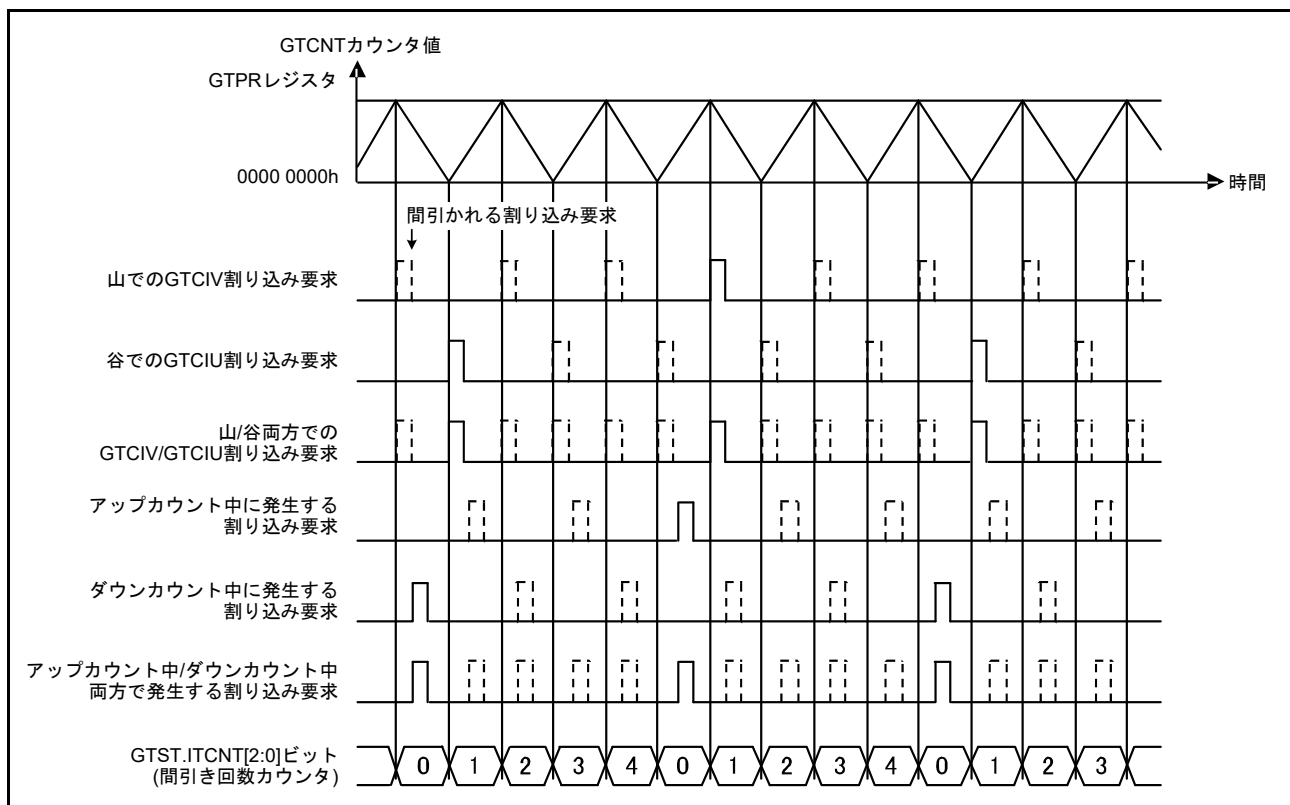
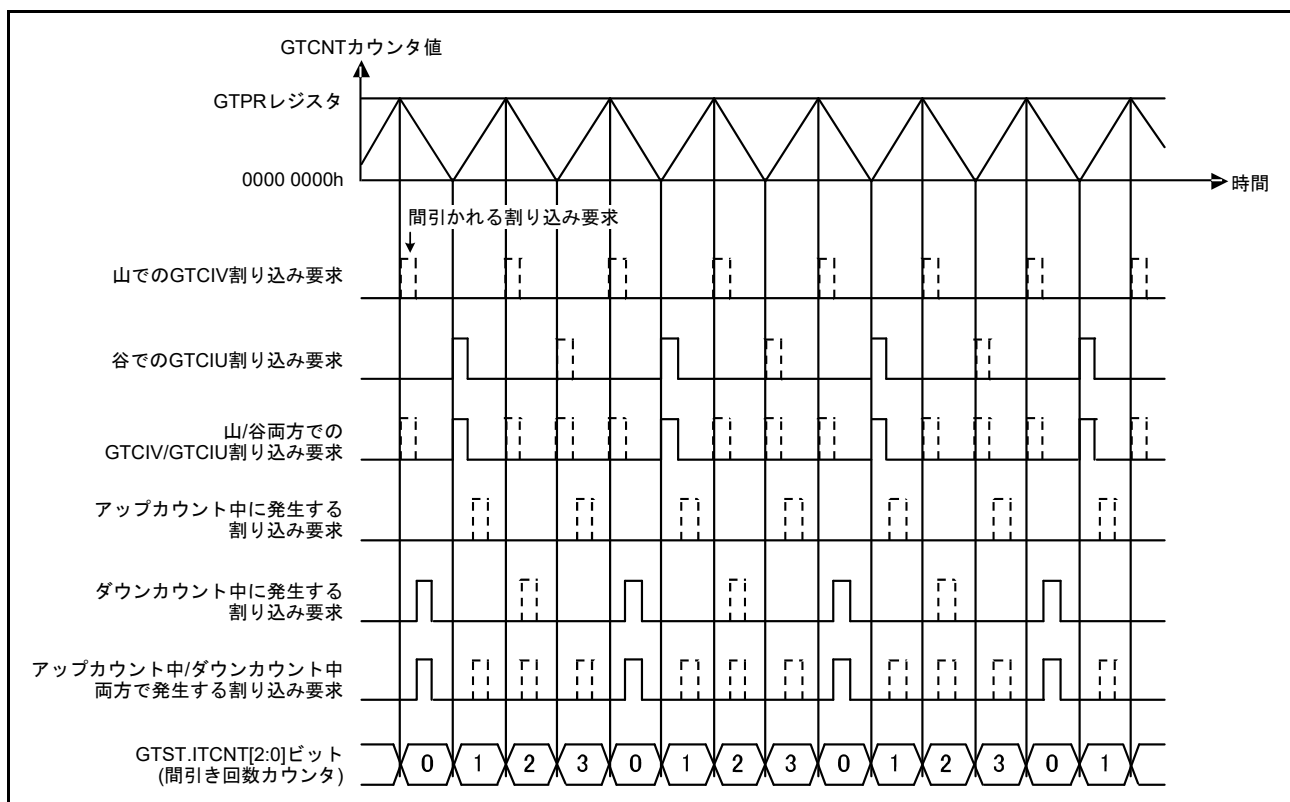
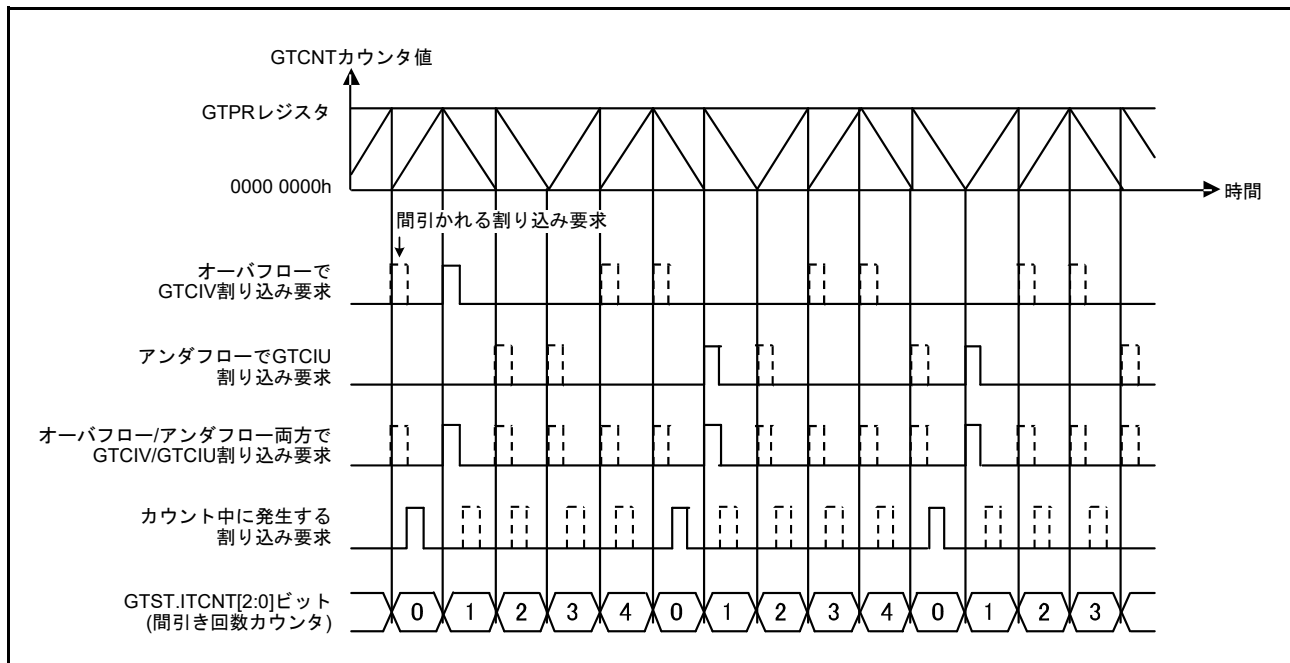
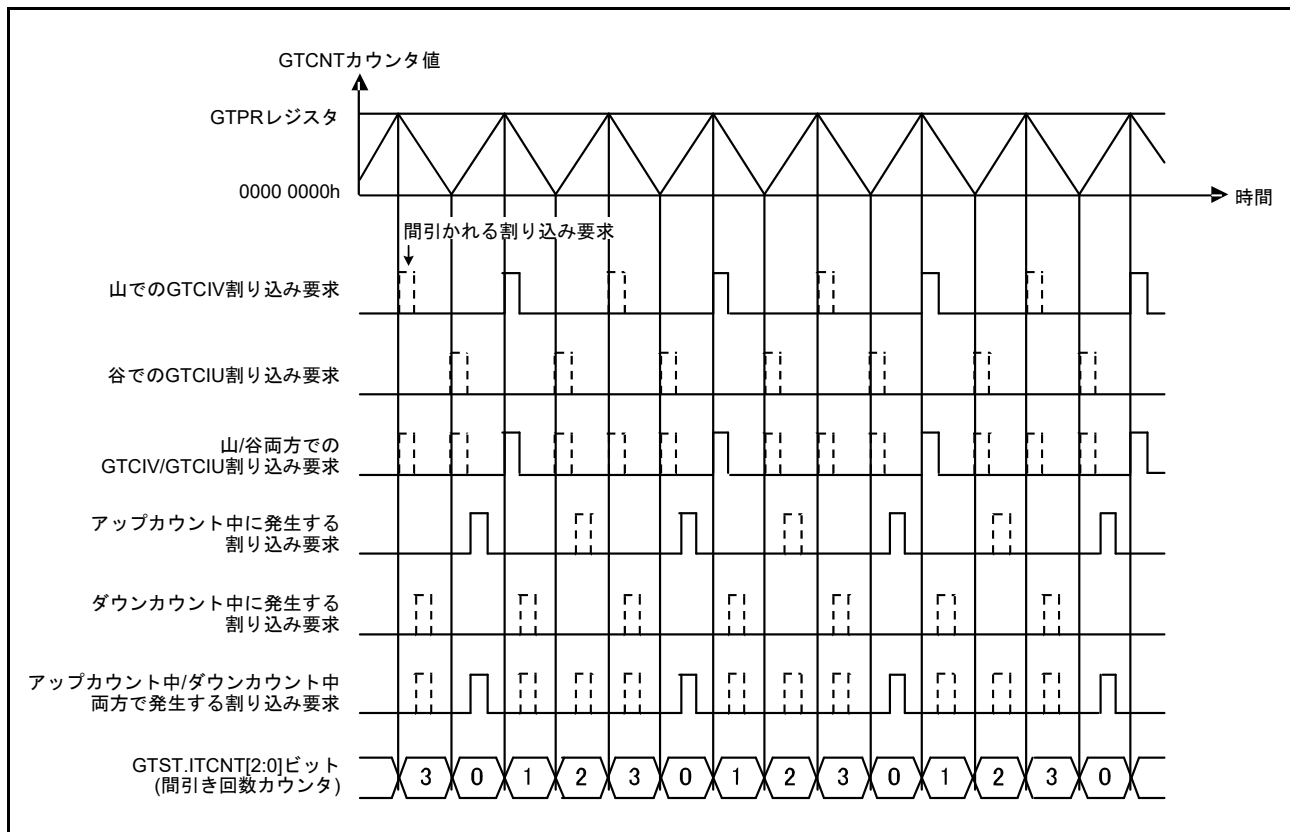


図 21.87 割り込み間引き機能の動作例 (三角波、谷 / 山両方をカウントして間引き、間引き回数 4 の場合)

図 21.88 割り込み間引き機能の動作例
(三角波、谷 / 山両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合)



21.5 A/D 変換開始要求

GTCNT カウンタと GTADTRA、GTADTRB レジスタのコンペアマッチで、A/D 変換開始要求を発生させることができます。GTINTAD レジスタの設定で、アップカウント時のみ、ダウンカウント時のみ、またはアップカウント/ダウンカウント両方で A/D 変換開始要求を発生させることができます。

GTADTRA、GTADTRB レジスタにはバッファレジスタがそれぞれ 2 本ずつあり、GTADTRA レジスタと GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作、GTADTRB レジスタと GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

A/D 変換開始要求の発生タイミングは、外部端子でモニタすることができます。GTADSMR.ADSMSk ビット (k = 0, 1) でモニタしたい A/D 変換開始要求信号を選択し、ADSMENk ビットで出力許可にすると、GTADSMk 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマの周期の終わりで Low 出力となるタイマの周期フレームに同期した信号を出力します。周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。A/D 変換開始要求信号の生成要因となっているレジスタ (GTADTRA, GTADTRB) とカウント方向は、GTST レジスタの A/D 変換開始要求フラグ (ADTRAUF, ADTRAUF, ADTRBUF, ADTRBDF) で確認することができます。複数のチャンネルで同じ A/D 変換開始要求信号モニタ出力に出力許可した場合、OR された信号が GPTW から出力されます。

図 21.91 に A/D 変換開始要求の動作例を、図 21.92 に A/D 変換開始要求の動作設定例を示します。

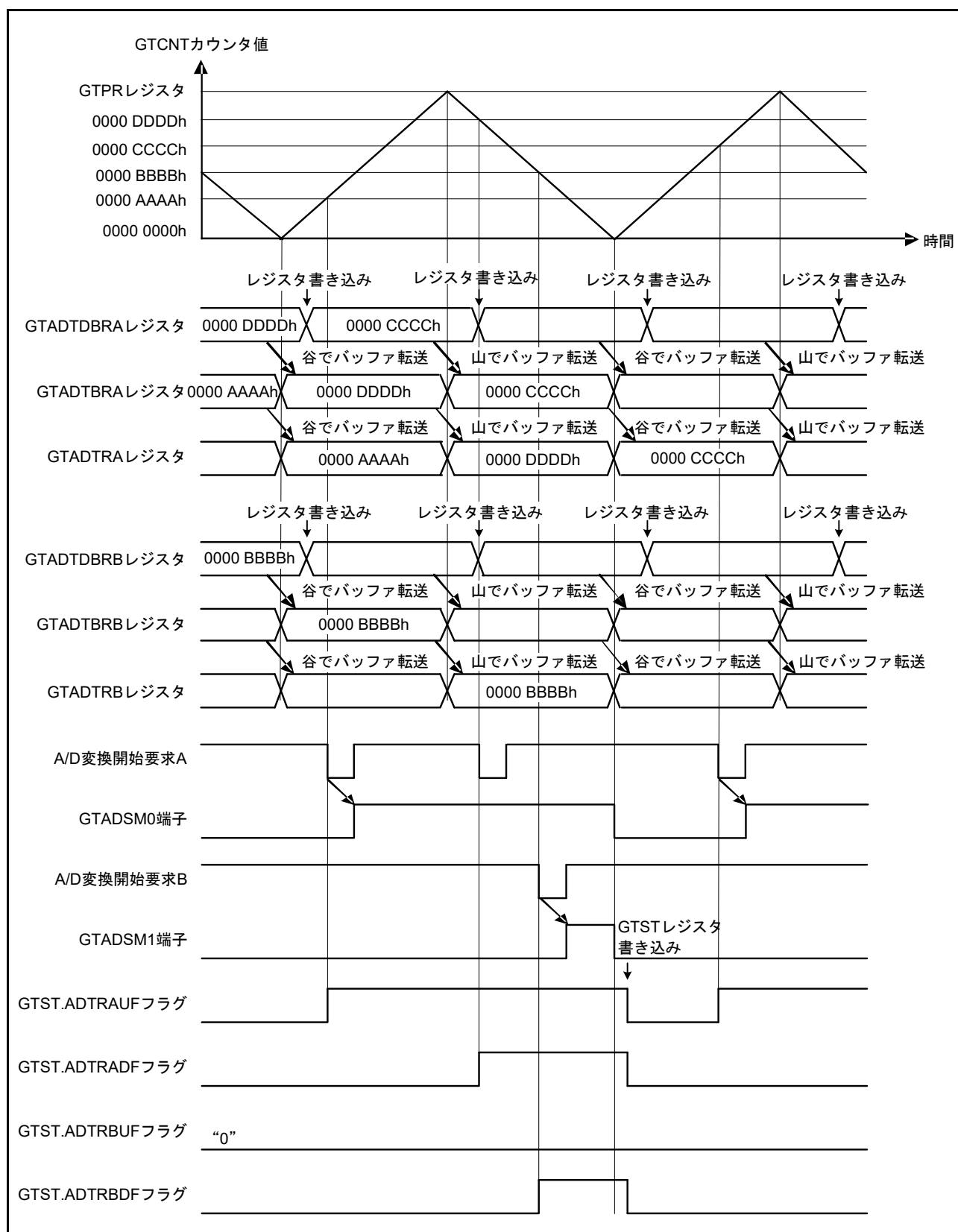


図 21.91 A/D 変換開始要求の動作例

(三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送、GTADTRA レジスタはアップカウント / ダウンカウント両方で A/D 変換開始要求、GTADTRB レジスタはダウンカウントで A/D 変換開始要求を発生、GTADSM0 端子は GTADTRA レジスタのアップカウントをモニタ、GTADSM1 端子は GTADTRB レジスタのダウンカウントをモニタの場合)

動作モード設定 GTCR.MD[2:0] ビットで動作モードを設定します。 (図21.91の例では“100b”もしくは“101b”もしくは“110b” (三角波PWMモード1))	
カウントクロックの選択 GTCR.TPCS[3:0] ビットでカウントクロックを選択します。	
周期設定 GTPR レジスタに周期を設定します。	
カウンタ初期値設定 GTCNT カウンタに初期値を設定します。	
バッファ動作設定 GTBER.ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットにバッファ動作を設定します。 (図21.91の例ではADTTA[1:0] ビット = 11b、ADTTB[1:0] ビット = 11b、ADTDA ビット = 1、ADTDB ビット = 1)	
コンペアマッチ値設定 A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。	
バッファ値設定 バッファ動作時は、1周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは半周期後(三角波で(谷/山)両方でバッファ転送の場合)のA/D変換開始要求ポイントを GTADTBRA、GTADTB RB レジスタに設定します。 ダブルバッファ動作時は、さらに、2周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは1周期後(三角波で(谷/山)両方でバッファ転送の場合)のA/D変換開始要求ポイントを GTADTBRA、GTADTB RB レジスタに設定します。	
A/D 変換開始要求モニタ設定 GTADSMR.ADSMS0[1:0]、ADSMS1[1:0] ビットに、GTADSM0、GTADSM1 端子でモニタ A/D 変換開始要求信号を設定し、GTADSMR.ADSMEN0、ADSMEN1 ビットに A/D 変換開始要求モニタの出力許可を設定します。 (図21.91の例ではADSMS0[1:0] ビット = 00b、ADSMS1[1:0] ビット = 11b、ADSMEN0 ビット = 1、ADSMEN1 ビット = 1)	
A/D 変換開始要求許可設定 GTINTAD.ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットに A/D 変換開始要求の許可を設定します。 (図21.91の例ではADTRAUEN ビット = 1、ADTRADEN ビット = 1、ADTRBUEN ビット = 0、ADTRBDEN ビット = 1)	
カウントスタート GTCR.CST ビットを“1”にしてカウントをスタートさせてください。	
周期ごとのバッファ値設定 バッファ動作時は、1周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは半周期後(三角波で(谷/山)両方でバッファ転送の場合)のA/D変換開始要求ポイントを GTADTBRA、GTADTB RB レジスタに設定します。 ダブルバッファ動作時は、2周期後(のこぎり波の場合、および三角波で(山)もしくは(谷)でバッファ転送の場合)もしくは1周期後(三角波で(谷/山)両方でバッファ転送の場合)のA/D変換開始要求ポイントを GTADTBRA、GTADTB RB レジスタに設定します。	

図 21.92 A/D 変換開始要求の動作設定例

21.6 ノイズフィルタ機能

GPTW のインプットキャプチャ入力端子には、ノイズフィルタ機能があります。ノイズフィルタ機能は、入力信号をサンプリングクロックでサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

ノイズフィルタ機能は、端子ごとにノイズフィルタ機能の許可/停止およびサンプリングクロックが設定可能です。

図 21.93 にノイズフィルタのタイミングチャートを示します。

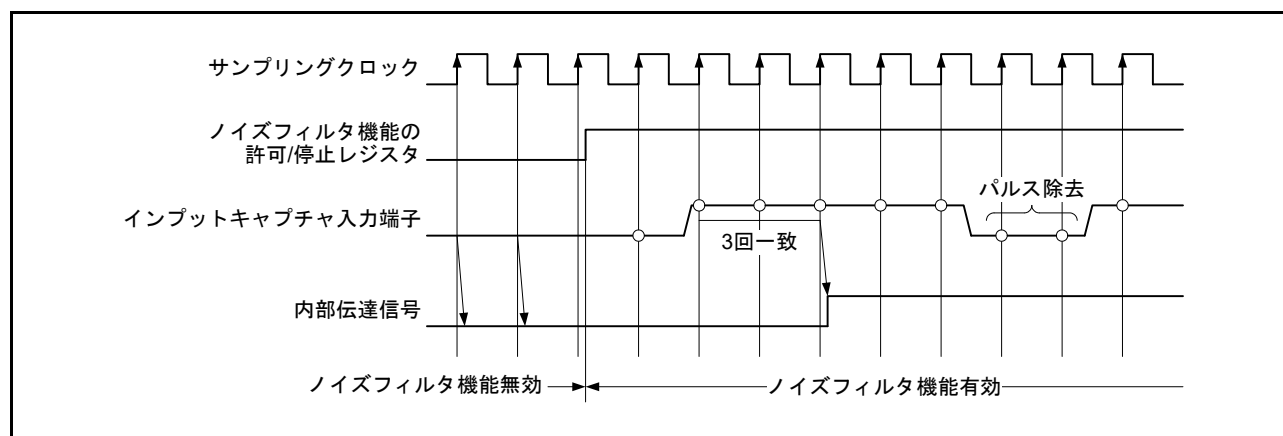


図 21.93 ノイズフィルタのタイミングチャート

ノイズフィルタ機能を設定した場合は、インプットキャプチャ入力に対するノイズフィルタリングによって最短で「サンプリングサイクル×2 + PCLKB」だけ遅延したノイズフィルタ後の信号のエッジに対してインプットキャプチャ動作が行われます。

21.7 保護機能

21.7.1 レジスタの書き込み保護

レジスタへの誤書き込みを防ぐために、GTWP.WP ビットの設定でレジスタへの書き込みをチャンネルごとに許可 / 禁止することができます。

書き込み許可 / 禁止が可能なレジスタは、下記のとおりです。

GTSSR, GTPSR, GTCR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCRA, GTCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTBER2, GTICCR

どのチャンネルのレジスタを更新しても全チャンネルを制御できる GTSTR、GTSTP、GTCLR レジスタは、それぞれ GTWP.STRWP、STPWP、CLRWP ビットの設定で、チャンネル番号に対応するビットへの書き込みをチャンネルごとに許可 / 禁止することで誤書き込みを防ぐことができます。

同様に全チャンネルを制御できる GTSECSR、GTSECR レジスタは、GTWP.CMNWP ビットの設定で、チャンネルごとにそのチャンネルでの GTSECSR、GTSECR レジスタへの書き込みを許可 / 禁止することができます。

GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

21.7.2 バッファ動作の抑止

バッファレジスタの書き込みがバッファ転送タイミングに間に合わない場合、GTBER.BD[0]、BD[1]、BD[2]、BD[3] ビットの設定でバッファ動作を禁止することができます。

バッファレジスタの書き込み前に BD[0]、BD[1]、BD[2]、BD[3] ビットの対応するビットを“1”(バッファ動作禁止) にしておき、すべてのバッファレジスタの書き込み終了後に“0”(バッファ動作許可) にすることで、バッファレジスタ書き込み中にバッファ転送条件が発生してもバッファ転送を一時的に禁止することができます。

BD[0]、BD[1]、BD[2]、BD[3] ビットの設定は、チャンネルごとに直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャンネルを GTSECR レジスタによって同時に設定する方法があります。

図 21.94 にチャンネル 0 を例にしたバッファ動作の抑止動作例を示します。

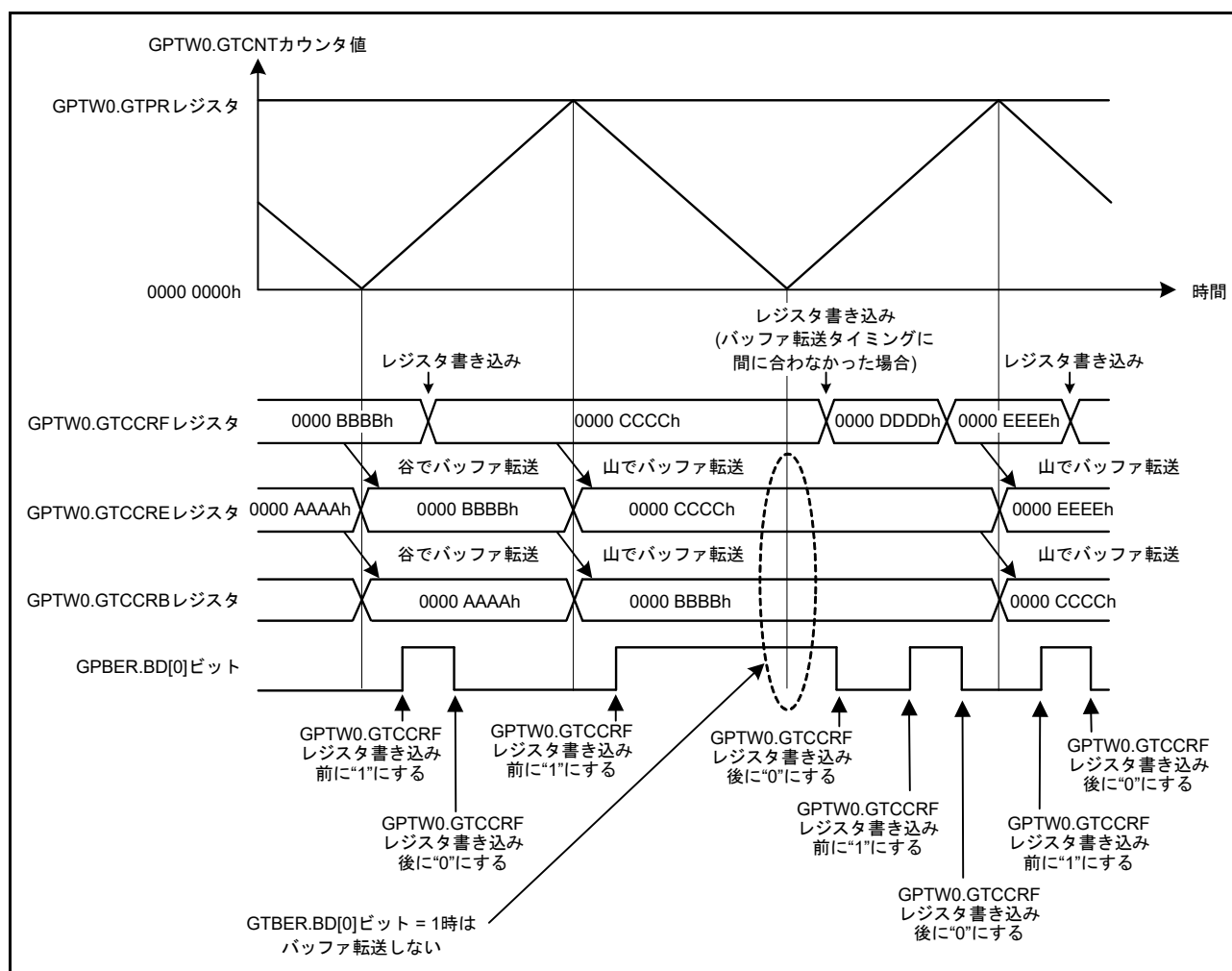


図 21.94 バッファ動作の抑止動作例 (三角波、ダブルバッファ動作、谷 / 山両方でバッファ転送の場合)

21.7.2.1 バッファ動作の複数チャンネル同時制御

GTBER.BD ビットの設定は、チャンネルごとに直接 GTBER レジスタに書き込む方法と、GTSECSR レジスタで設定した複数のチャンネルを GTSECR レジスタによって同時に設定する方法があります。

複数のチャンネルの GTBER.BD ビットの同時設定は、以下の手順で実施してください。

(1) 同時設定するチャンネルの選択 (GTSECSR レジスタの設定)

GTBER.BD ビットを同時に設定する対象となるチャンネルに該当するビット位置が“1”となるように GTSECSR レジスタを設定してください。GTSECSR レジスタは、どのチャンネルに書き込んでも、全てのチャンネルの GTSECSR レジスタが更新されます。

(2) GTBER.BD ビットの同時設定 (GTSECR レジスタの更新)

同時に設定する GTBER.BD ビットの内容 (バッファ動作の禁止 / 許可) を GTSECR レジスタに設定してください。GTSECR レジスタは、どのチャンネルに書き込んでも、GTSECSR レジスタで“1”となっているビットに対応する全てのチャンネルの GTBER.BD ビットが、一斉に GTSECR レジスタへの書き込み値に従って、更新されます。図 21.95、図 21.96 に複数のチャンネルのバッファ動作の禁止 / 許可を同時に制御する動作例を示します。

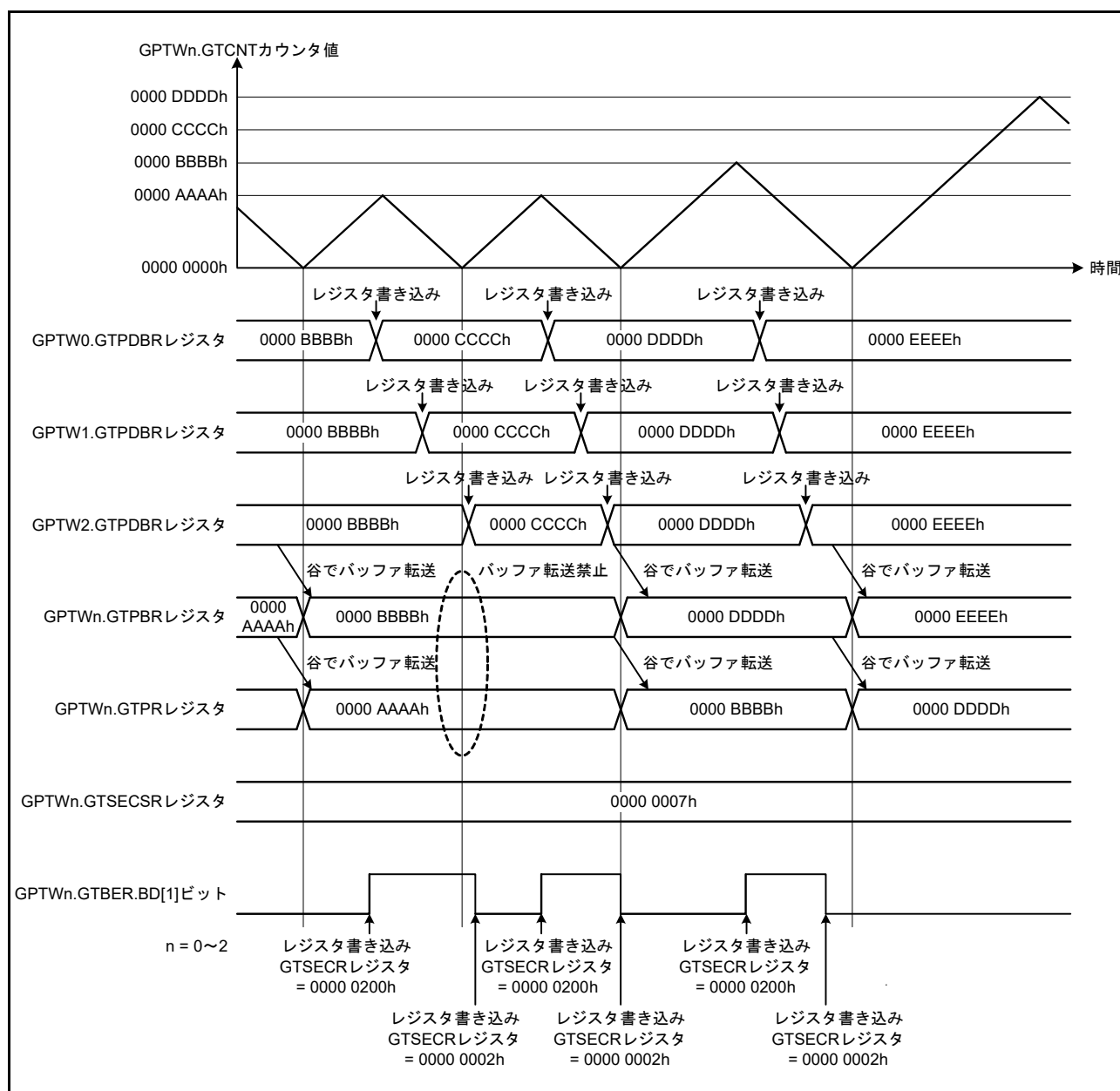


図 21.95 複数チャネルのバッファ動作の同時制御例 (三角波、ダブルバッファ動作の場合)

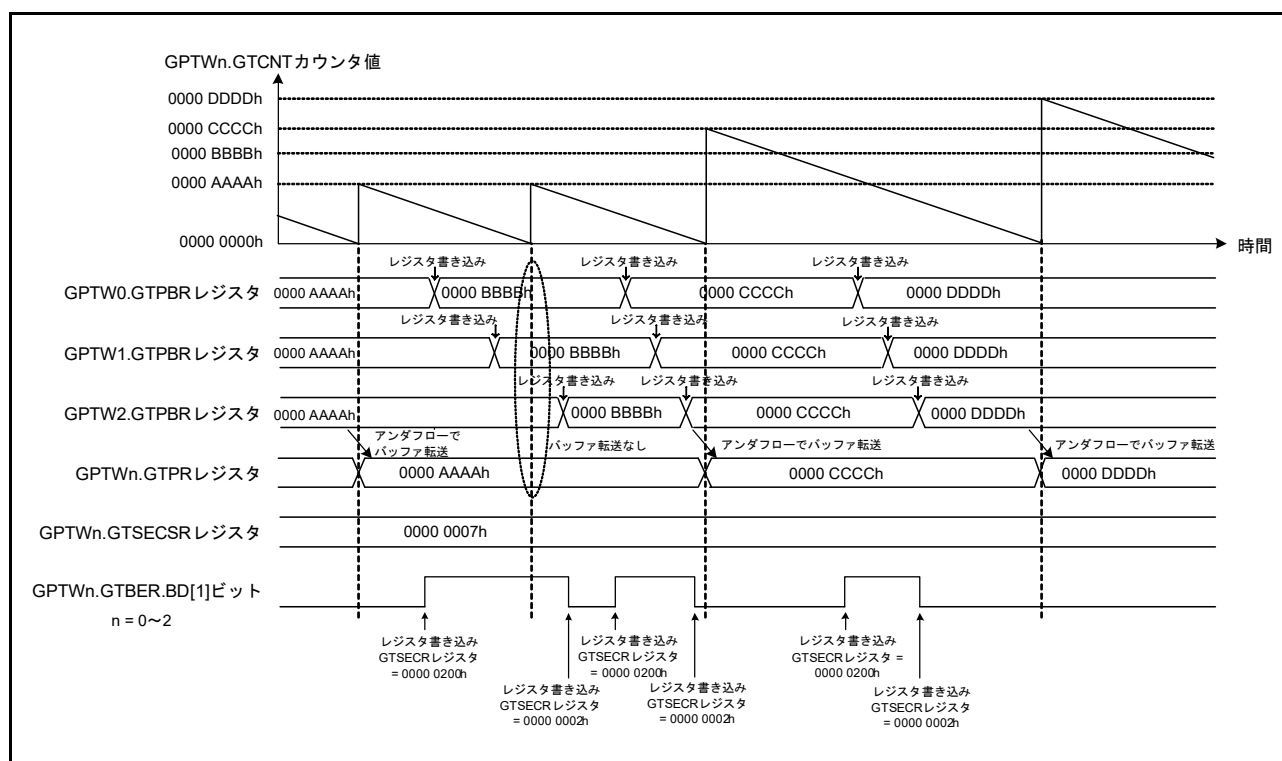


図 21.96 複数チャネルのバッファ動作の同時制御例 (のこぎり波、シングルバッファ動作の場合)

21.7.2.2 GTCCR バッファ転送抑止時ダブルバッファリピート動作

のこぎり波ワンショットパルスモード、三角波 PWM モード3を使用する場合、GTBER.DBRTECm (m = A, B) ビットに“1”を設定すると、GTBER.BD[0] ビットによって、バッファ転送が抑止されている状態であっても、中間バッファから GTCCRx (m = A, B) レジスタへの転送を周期単位で繰り返します。

(1) のこぎり波ワンショットパルスモードの場合

のこぎり波ワンショットパルスモードの場合、リピート動作時のコンペアマッチ値は、GTCCRx (x = C, E) レジスタの中間バッファとしてテンポラリレジスタ x (x = C, E) に周期の前半のコンペアマッチ値、GTCCRy (y = D, F) レジスタの中間バッファとしてテンポラリレジスタ m (m = A, B) に周期の後半のコンペアマッチ値がそれぞれ格納され、これらが交互に GTCCRx (m = A, B) レジスタに転送されます。

表 21.10 にのこぎり波ワンショットパルスモードのカウンタ動作時における GTCCR バッファのバッファ転送を示します。カウンタ停止時、テンポラリレジスタへの値の設定は、強制バッファ転送によって行われます。強制バッファ転送では、テンポラリレジスタ m (m = A, B) には GTCCRy (y = D, F) レジスタ、テンポラリレジスタ x (x = C, E) には GTBER.DBRTECm (m = A, B) ビットが“1”の場合に GTCCRx (x = C, E) レジスタの値が、それぞれ転送されます。

また、GTBER.DBRTECm (m = A, B) ビットが“1”の場合、GTCCRx (m = A, B) レジスタへの CPU 書き込みを行うと、テンポラリレジスタ x (x = C, E) にも同じ値が書きこまれます。

表 21.10 のこぎり波ワンショットパルスモードにおける GTCCR バッファ動作

GTBER.DBRTECm	バッファ転送	転送タイミング				
		GTCCRx ↓ GTCCRxm	GTCCRx ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCRxm	GTCCRy ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCRxm
0	可能期間	オーバーフロー/アンダフロー	転送なし	転送なし	オーバーフロー/アンダフロー	GTCCRxm コンペアマッチ
	抑止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	可能期間	オーバーフロー/アンダフロー	オーバーフロー/アンダフロー	転送なし	オーバーフロー/アンダフロー	GTCCRxm コンペアマッチ
	抑止期間	転送なし	転送なし	オーバーフロー/アンダフロー	転送なし	GTCCRxm コンペアマッチ

m = A, B
x = C, E
y = D, F

図 21.97 に、のこぎり波ワンショットパルスモードでの GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を GTBER.BD[0] ビットの更新で生成した場合を示します。

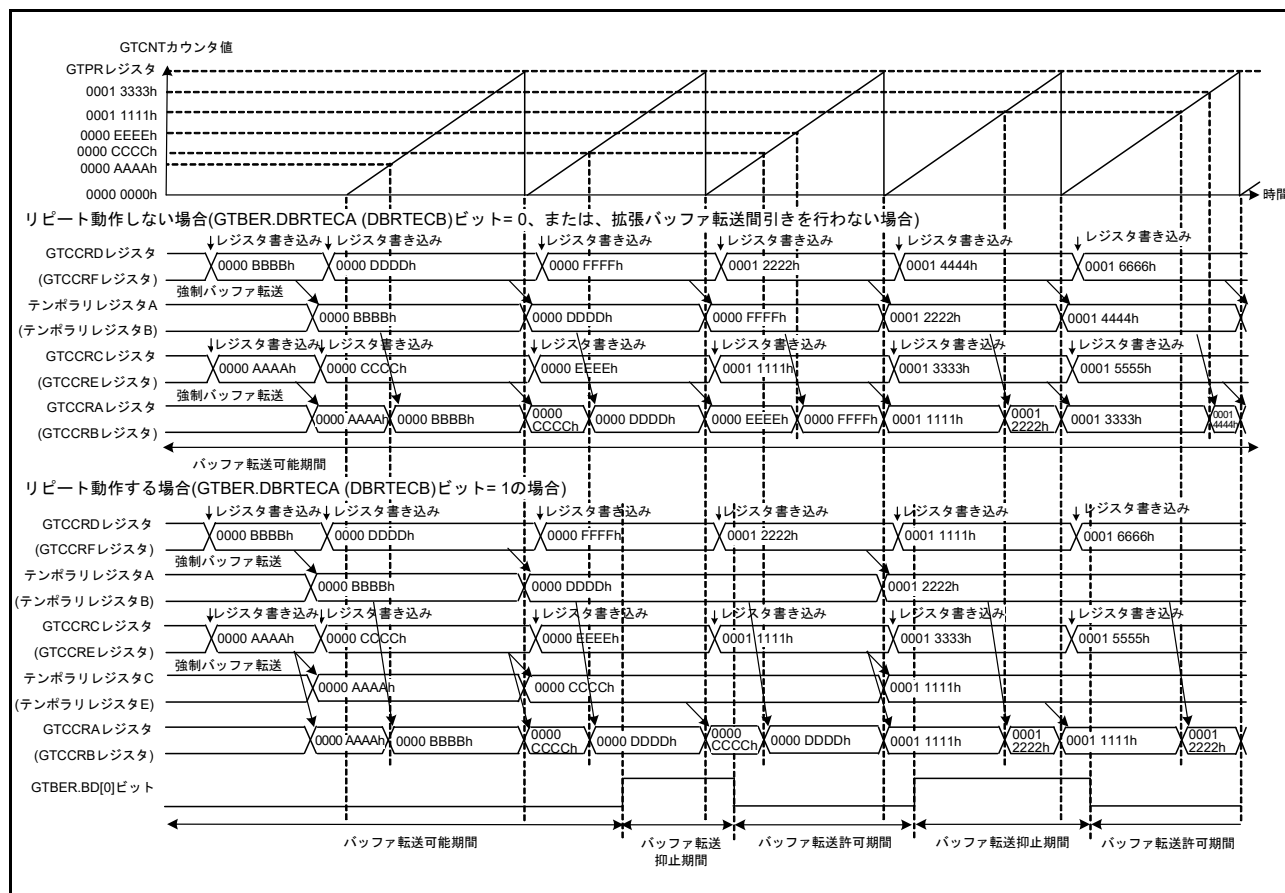


図 21.97 GTCCR バッファ転送抑止時ダブルバッファリポート動作例 (のこぎり波ワンショットパルスモード、GTBER.BD[0] ビットを更新する場合)

(2) 三角波 PWM モード 3 の場合

三角波 PWM モード 3 の場合、リピート動作時のコンペアマッチ値は、GTCCR x ($x = C, E$) レジスタの中間バッファとしてテンポラリレジスタ x ($x = C, E$) に周期の前半のコンペアマッチ値 GTCCR y ($y = D, F$) レジスタの中間バッファとしてテンポラリレジスタ m ($m = A, B$) に周期の後半のコンペアマッチ値がそれぞれ格納され、これらが交互に GTCCR m ($m = A, B$) レジスタに転送されます。

表 21.11 に三角波 PWM モード 3 のカウント動作時における GTCCR バッファのバッファ転送を示します。

カウント停止時、テンポラリレジスタへの値の設定は、強制バッファ転送によって行われます。強制バッファ転送では、テンポラリレジスタ m ($m = A, B$) には GTCCR y ($y = D, F$) レジスタ、テンポラリレジスタ x ($x = C, E$) には GTBER.DBRTEC m ($m = A, B$) ビットが“1”の場合に GTCCR x ($x = C, E$) レジスタの値が、それぞれ転送されます。

また、GTBER.DBRTEC m ($m = A, B$) ビットが“1”の場合、GTCCR m ($m = A, B$) レジスタへの CPU 書き込みを行うと、テンポラリレジスタ x ($x = C, E$) にも同じ値が書きこまれます。

表 21.11 三角波 PWM モード 3 における GTCCR バッファ動作

GTBER.DBRTEC m	バッファ転送	転送タイミング				
		GTCCR x ↓ GTCCR m	GTCCR x ↓ テンポラリレジスタ x	テンポラリレジスタ x ↓ GTCCR m	GTCCR y ↓ テンポラリレジスタ m	テンポラリレジスタ m ↓ GTCCR m
0	可能期間	谷	転送なし	転送なし	谷	山
	抑止期間	転送なし	転送なし	転送なし	転送なし	転送なし
1	可能期間	谷	谷	転送なし	谷	山
	抑止期間	転送なし	転送なし	谷	転送なし	山

$m = A, B$

$x = C, E$

$y = D, F$

図 21.98 に、三角波 PWM モード 3 での GTCCR バッファ転送抑止時ダブルバッファリピート動作の動作例として、転送抑止期間を GTBER.BD[0] ビットの更新で生成した場合を示します。

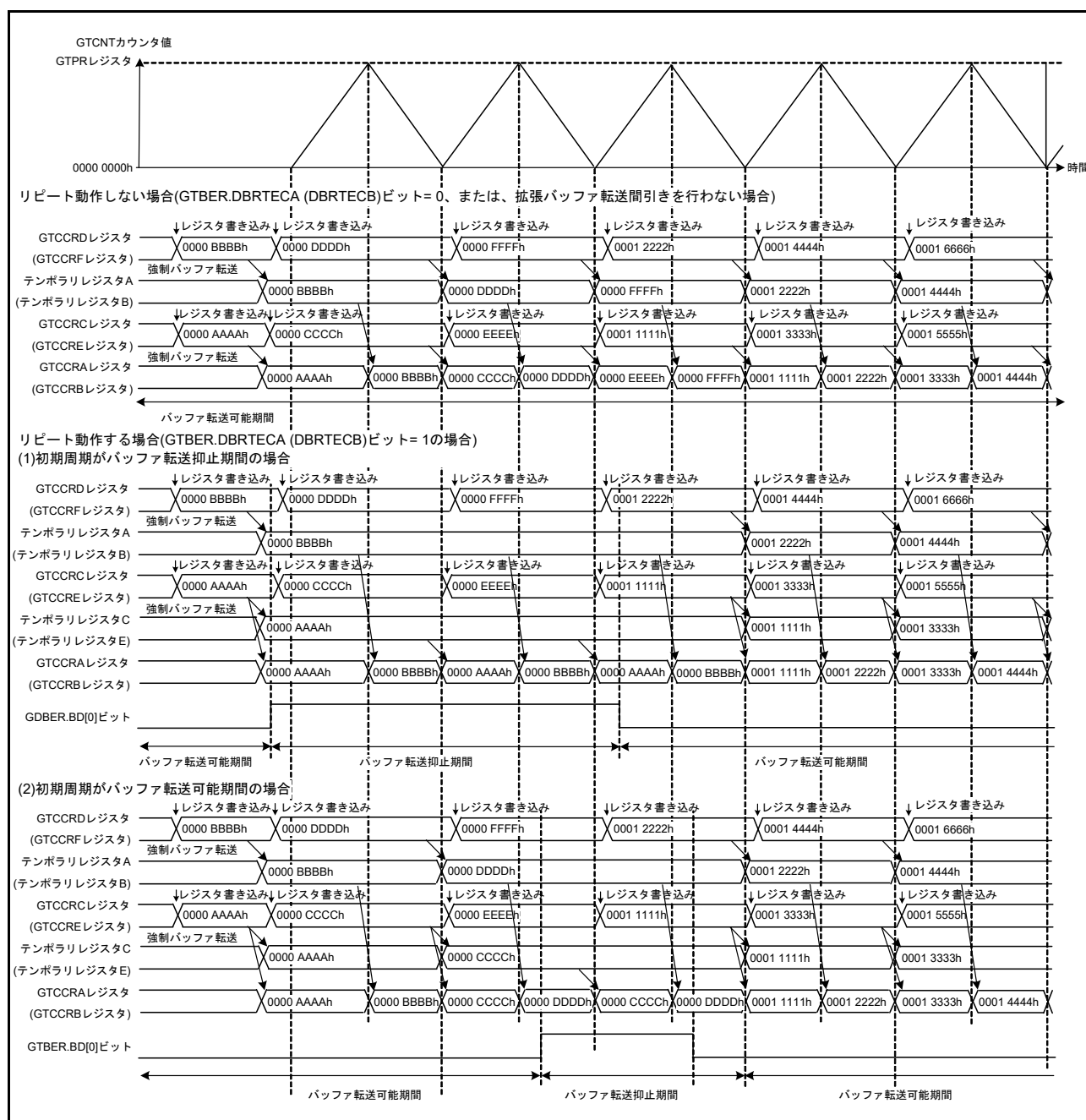


図 21.98 GTCCR バッファ転送抑止時ダブルバッファリポート動作例 (三角波 PWM モード 3、GTBER.BD[0] ビットを更新する場合)

21.7.3 GTIOCnm 端子出力の出力ネゲート制御 (n = 0 ~ 2、m = A, B)

システム異常時の保護のため、POEG からの出力停止要求によって、GTIOCnm 端子出力を強制的に変更する出力ネゲート制御を行うことができます。

出力保護が必要な状態として、デッドタイムエラーおよび GTIOCnA 端子と GTIOCnB 端子の出力値が同じ場合を検出して、GTINTAD.GRPDTE、GRPABH、GRPABL ビットの出力停止検出許可ビットの設定に従って GTINTAD.GRP[1:0] ビットで設定された POEG のグループに出力停止検出を出力します。POEG では、他の出力停止検出と論理和がとられたあと、POEG から GPTW に出力停止要求が出力されます。

GTINTAD.GRP[1:0] ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力停止要求信号として、POEG から入力される 4 グループの出力停止要求から 1 グループを選択することができます。選択された出力停止要求は、GTST.ODF フラグを読むことにより確認することができます。出力ネゲート制御時の出力状態は、GTIOCnA 端子は GTIOR.OADF[1:0] ビット、GTIOCnB 端子は GTIOR.OBDF[1:0] ビットで設定することができます。

POEG からの出力停止要求の発生による出力ネゲート状態への遷移は非同期で行いますが、出力停止要求の消滅による出力ネゲート状態の解除は、周期の終わりで行います。出力停止要求が消滅して出力ネゲート状態が解除されるのは、最短で 3 PCLKB 後です。確実な出力ネゲート制御を行うために、出力停止要求の消滅は、出力停止要求の発生から、4 PCLKB 以上後となるように POEG のフラグクリアを行ってください。

周期の終わりを待たずに出力ネゲート状態を解除したい場合は、GTIOCnA 端子は OADF[1:0] ビット、GTIOCnB 端子は OBDF[1:0] ビットを“00b”にしてください。

図 21.99 に GTIOCnm 端子出力の出力ネゲート制御動作を示します。

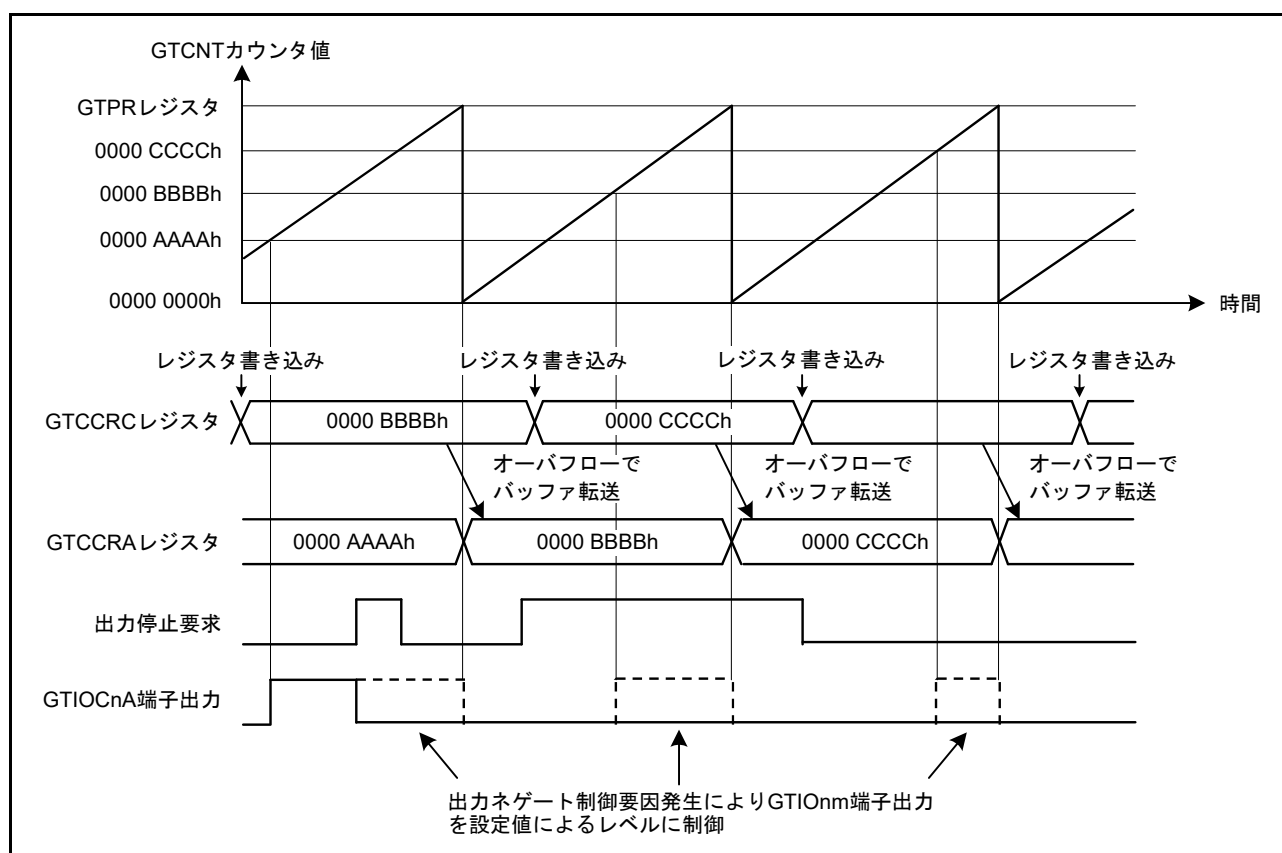


図 21.99 GTIOCnm 端子出力の出力ネゲート制御動作例 (のこぎり波でアップカウント、バッファ動作、アクティブレベルは High (GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力)、出力ネゲート時に Low 出力) (n = 0 ~ 2、m = A, B)

21.7.4 GTIOCnm 端子出力の出力保護機能 (n = 0 ~ 2, m = A, B)

GTCCRA レジスタに異常値 (“0000 0000h” または GTPR レジスタ設定値以上の値) が設定された場合に備え、三角波 PWM モードでデッドタイム自動設定 (GTDTCR.TDE ビットが “1”) をしている場合、GTIOCnm 端子出力の出力保護機能 (抑止機能) が動作します。

出力保護機能の動作状態は、GTSOS.SOS[1:0] ビットで確認することができます。

図 21.100 に出力保護機能の状態遷移を示します。

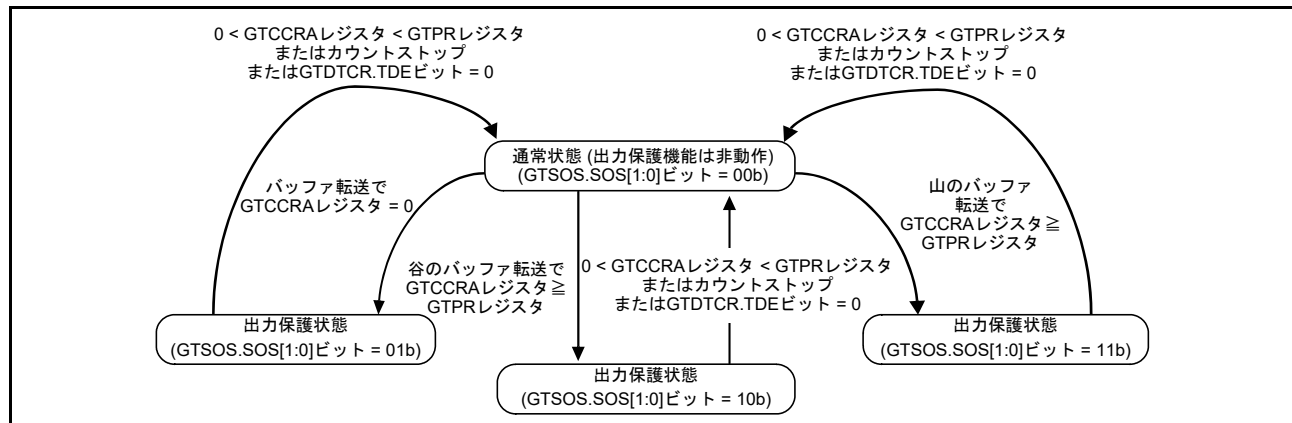


図 21.100 出力保護機能

(1) バッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能

図 21.101、図 21.102 に谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合、図 21.103、図 21.104 に山のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例を示します。

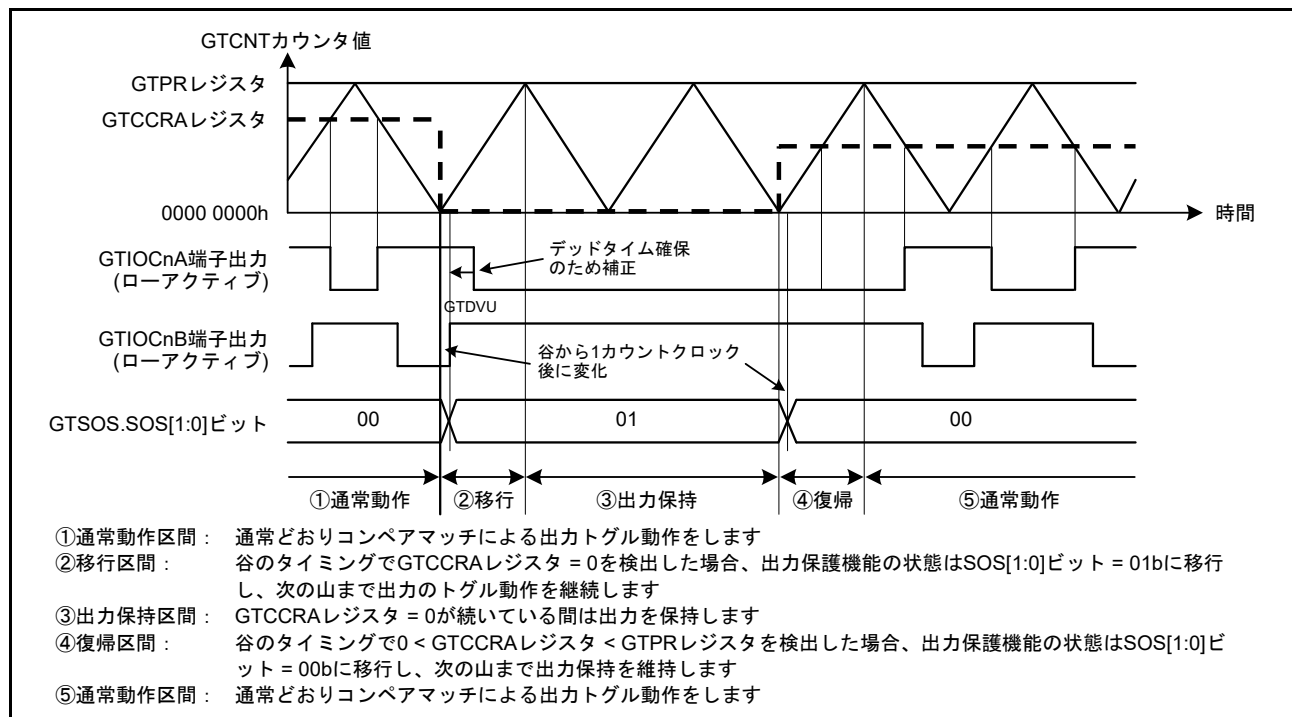


図 21.101 谷のバッファ転送で GTCCRA レジスタが “0000 0000h” である場合の出力保護機能の動作例 (谷のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合) (n = 0 ~ 2)

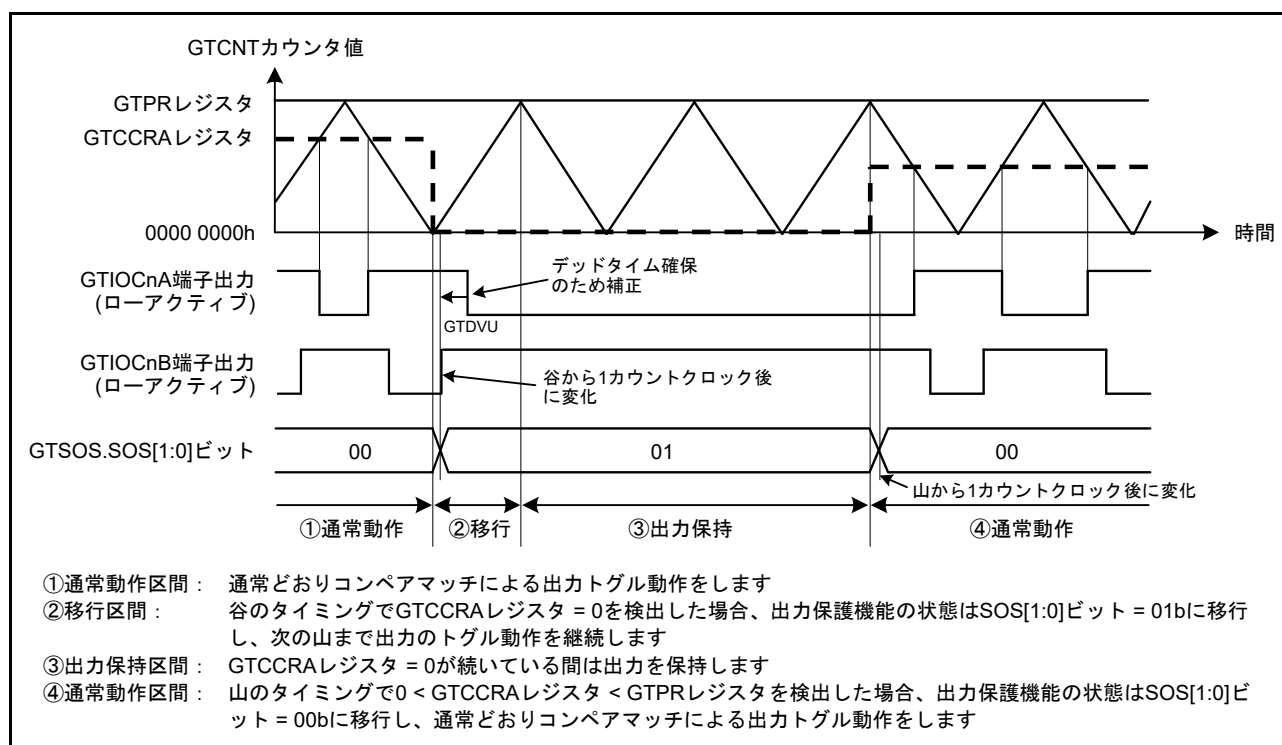


図 21.102 谷のバッファ転送で GTCCRA レジスタが "0000 0000h" である場合の出力保護機能の動作例 (山のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合) ($n = 0 \sim 2$)

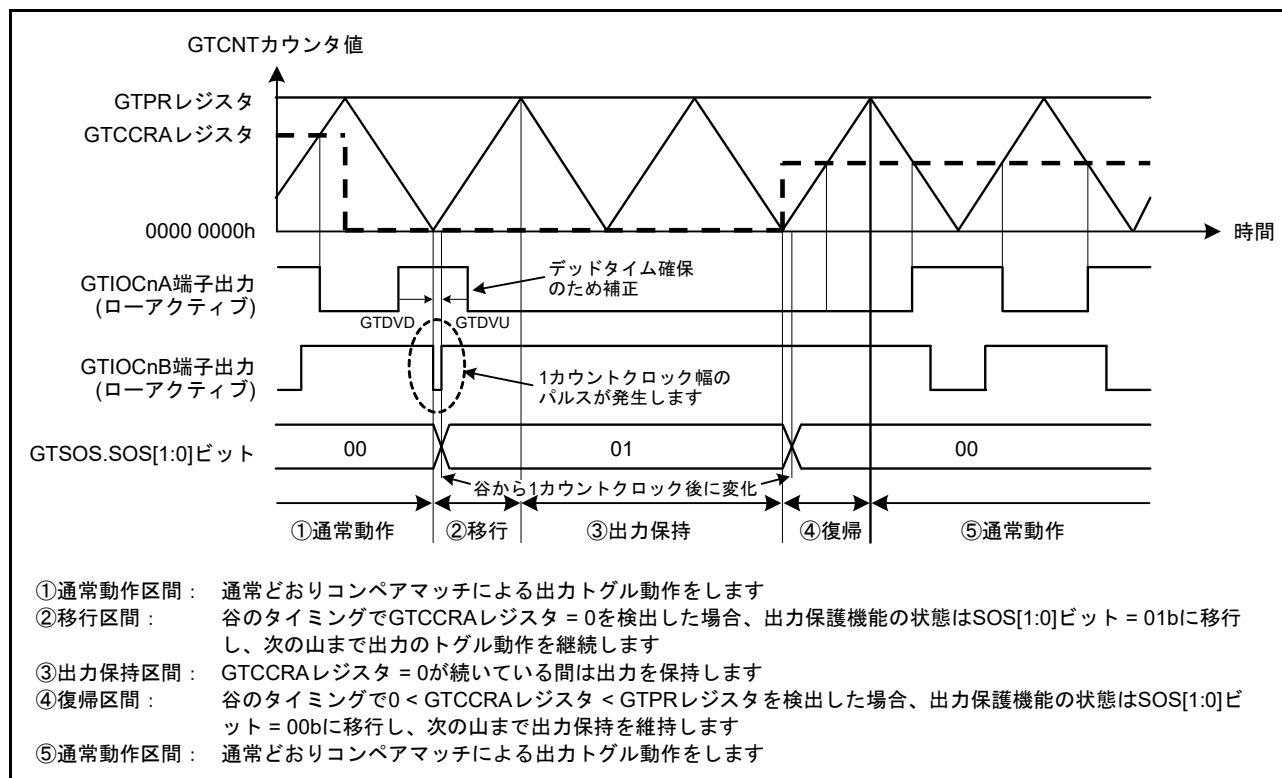


図 21.103 山のバッファ転送で GTCCRA レジスタが "0000 0000h" である場合の出力保護機能の動作例 (谷のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合) ($n = 0 \sim 2$)

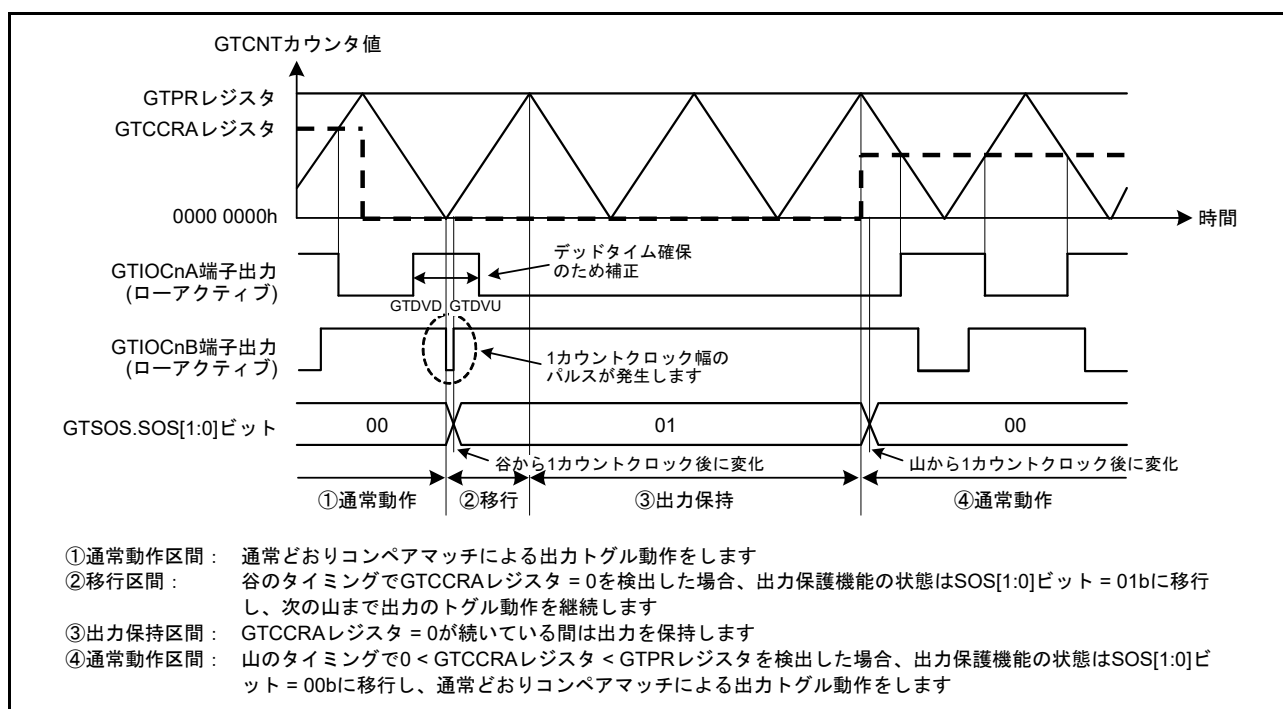


図 21.104 山のバッファ転送で GTCCRA レジスタが "0000 0000h" である場合の出力保護機能の動作例（山のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合）(n = 0 ~ 2)

(2) 谷のバッファ転送で GTCCRA レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能

図 21.105、図 21.106 に谷のバッファ転送で GTCCRA レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能の動作例を示します。

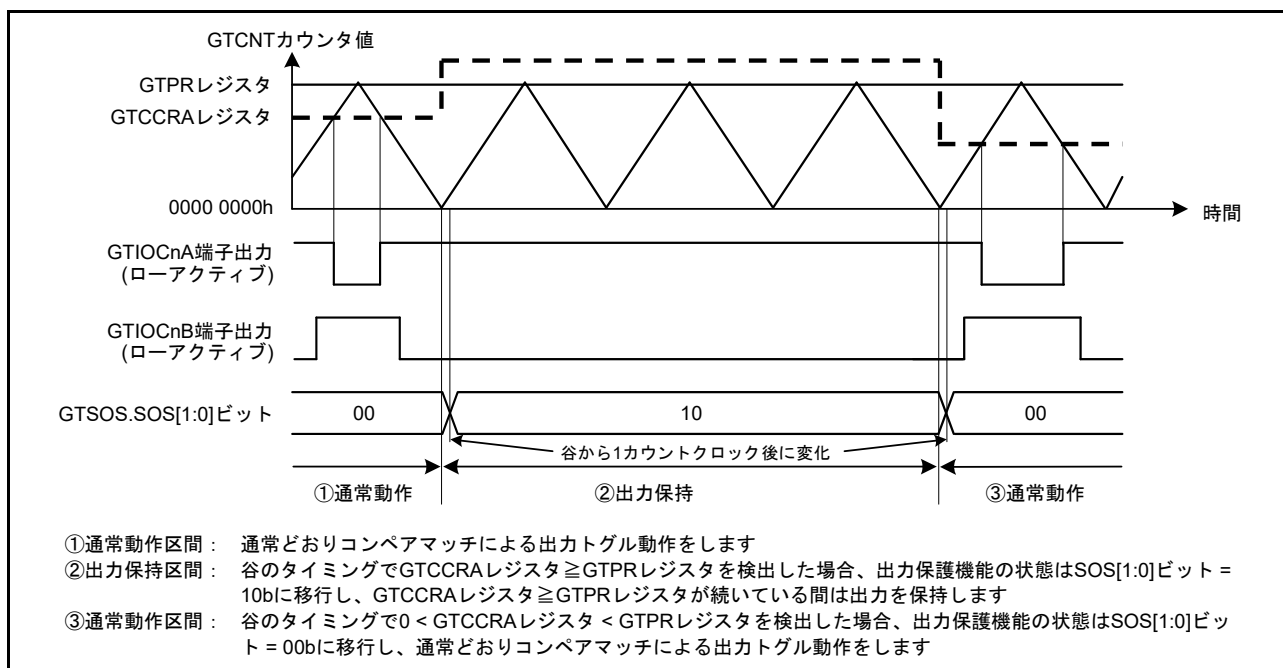


図 21.105 谷のバッファ転送で GTCCRA レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能の動作例（谷のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合）(n = 0 ~ 2)

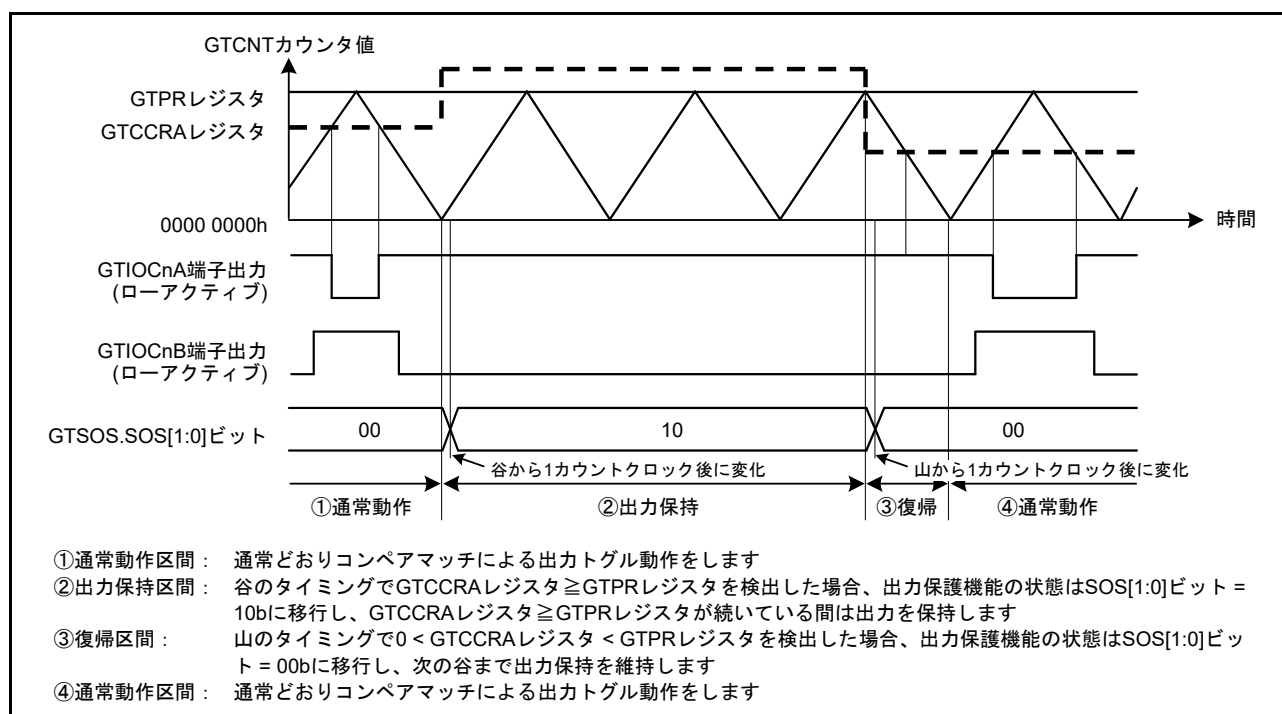


図 21.106 谷のバッファ転送で GTCCR レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で $0 < \text{GTCCR レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合) ($n = 0 \sim 2$)

(3) 山のバッファ転送で GTCCR レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能

図 21.107、図 21.108 に山のバッファ転送で GTCCR レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能の動作例を示します。

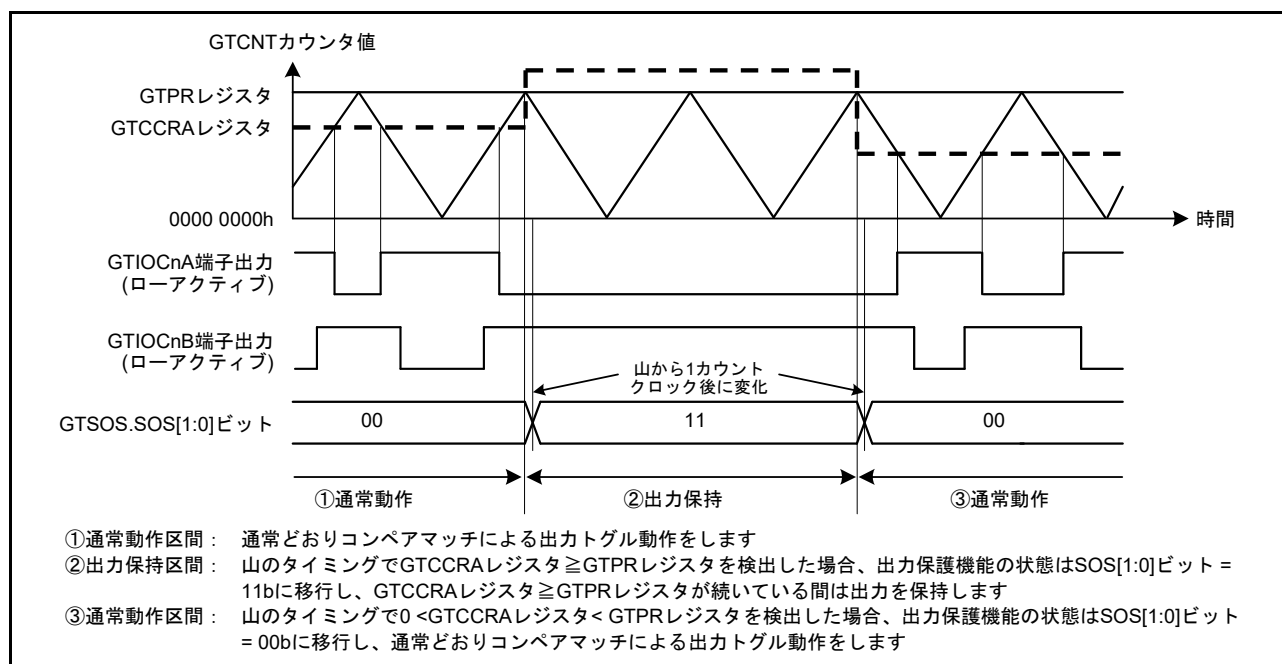


図 21.107 山のバッファ転送で GTCCR レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能の動作例 (山のバッファ転送で $0 < \text{GTCCR レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合) ($n = 0 \sim 2$)

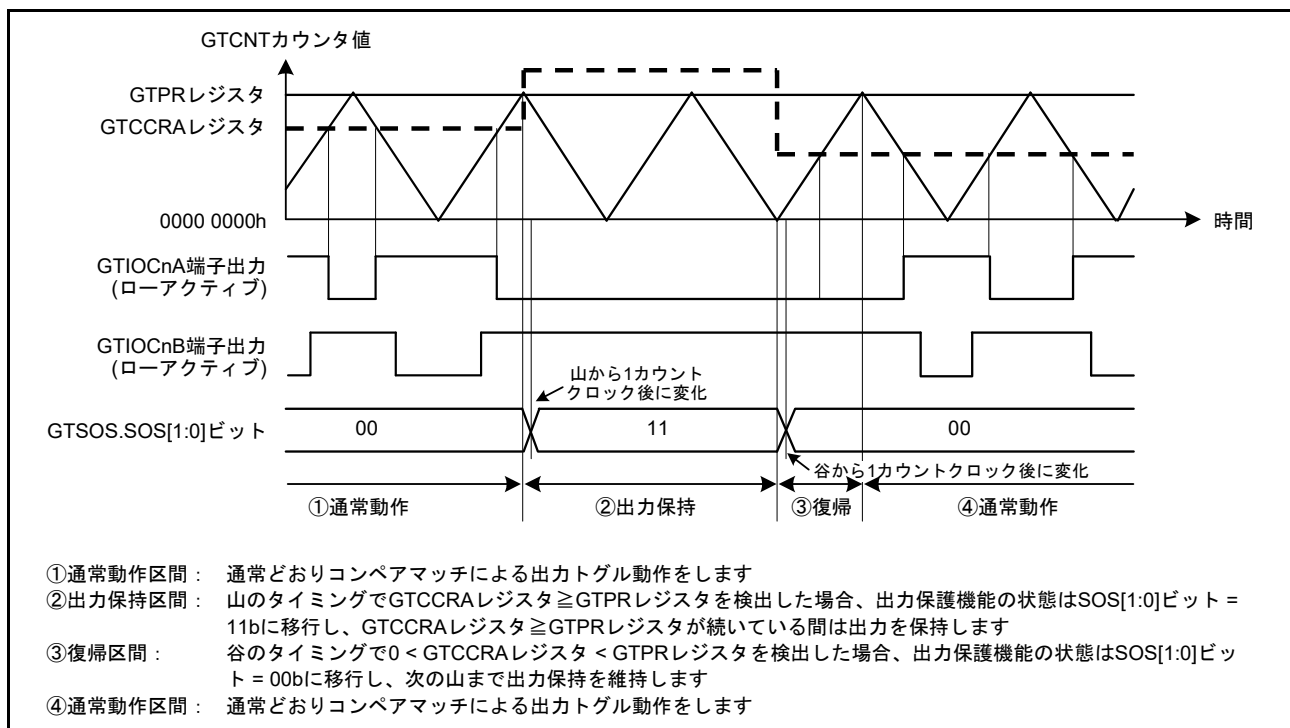


図 21.108 山のバッファ転送で GTCCR レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能の動作例 (谷のバッファ転送で $0 < \text{GTCCR レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合) ($n = 0 \sim 2$)

(4) 出力保護機能の注意事項

出力保護機能は、カウント動作中に GTCCR レジスタに異常値 (“0000 0000h” または GTPR レジスタ設定値以上の値) が設定された場合にも正相 / 逆相出力のうちどちらかが非アクティブ出力となるように機能しますが、下記の条件を満足しない場合、正常に機能しません。

- カウント開始時の GTCCR レジスタの値が “0000 0001h” 以上 GTPR レジスタ設定値未満

(5) 出力保護機能一時解除

GTSOS.SOS[1:0] ビットが “10b” (谷の転送で GTCCR レジスタ $\geq$ GTPR レジスタとなったことを示す保護状態) の場合、GTSOTR.SOTR ビットを “1” にすると、GTIOCNB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、SOS[1:0] ビットは “10b” を保持します。

また、SOTR ビットを “0” にすると、GTIOCNB 端子出力保護を再開できます。

図 21.109 に谷のバッファ転送で GTCCR レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能一時解除の動作例を示します。

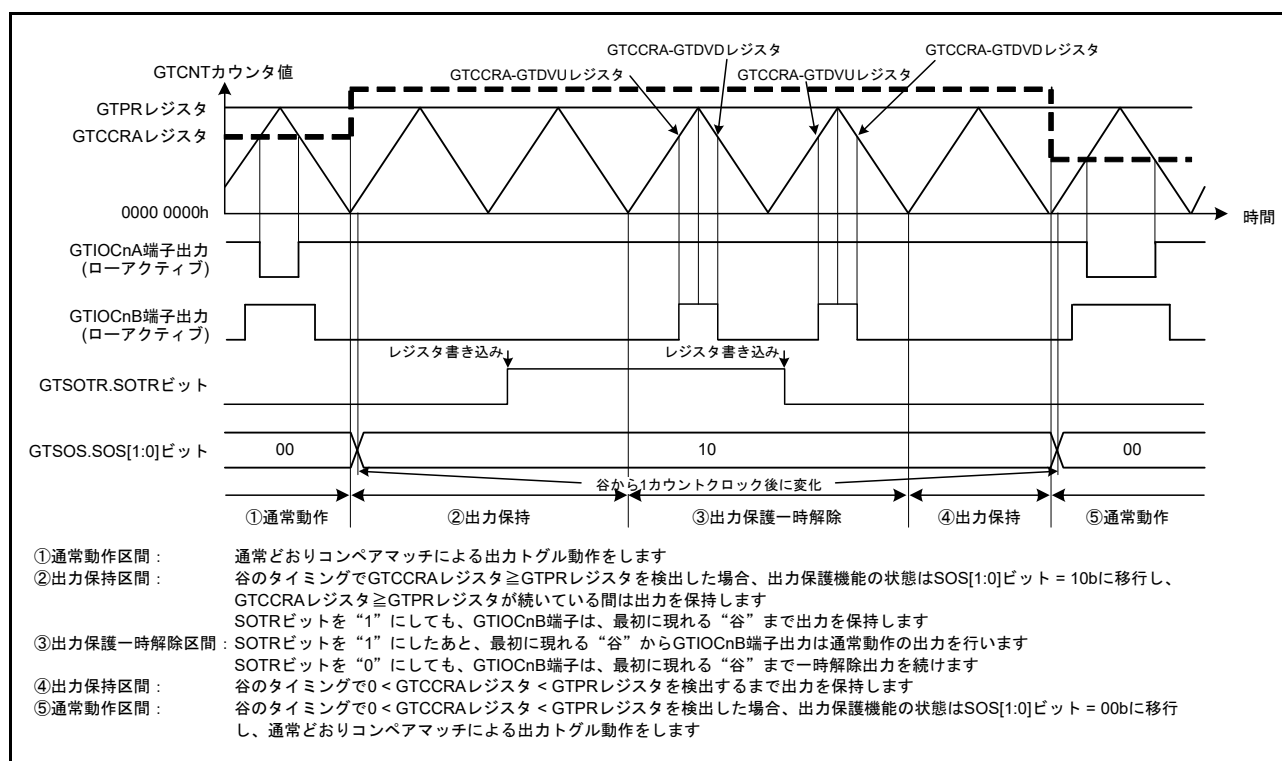


図 21.109 谷のバッファ転送で GTCCRA レジスタ $\geq$ GTPR レジスタが設定された場合の出力保護機能一時解除の動作例 (谷のバッファ転送で $0 < \text{GTCCRA レジスタ} < \text{GTPR レジスタ}$ に復帰、アクティブレベルは Low の場合) ($n = 0 \sim 2$)

21.8 出力端子の初期化方法

21.8.1 リセット後の端子設定

GPTW のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE、OBE ビットの設定によって、GPTW が外部端子に出力する初期設定を行った後、カウント動作を開始してください。

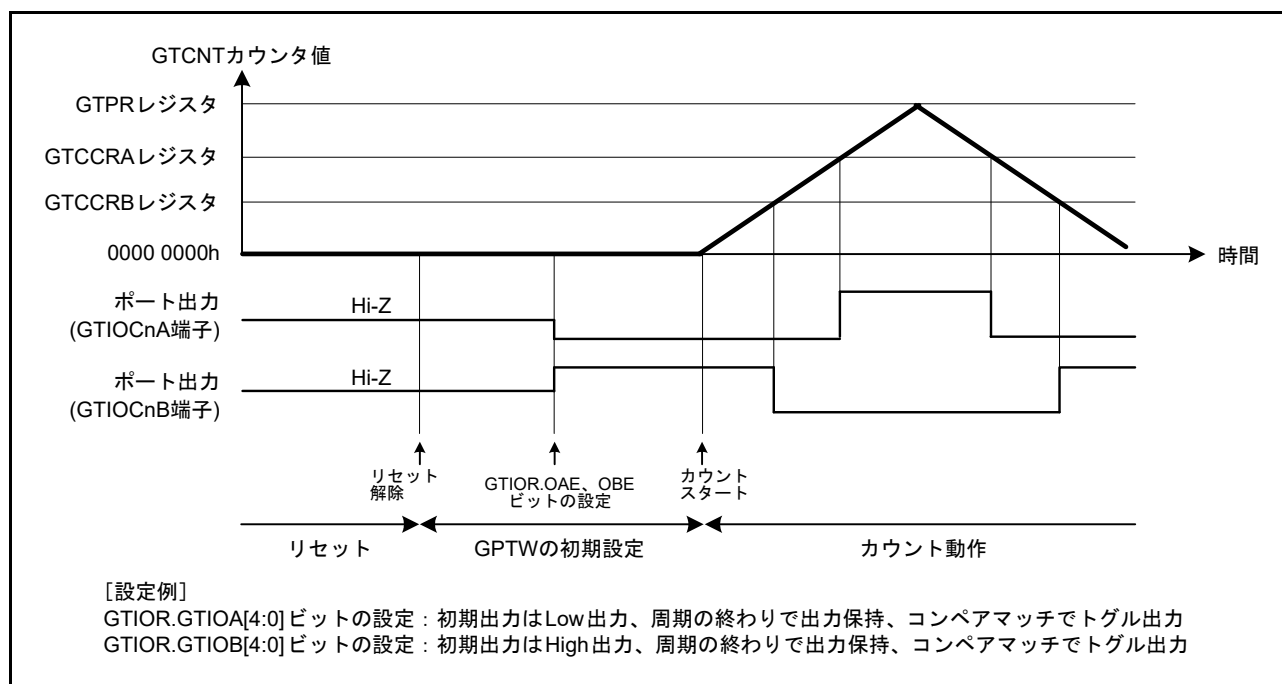


図 21.110 リセット後の端子設定例 (n = 0 ~ 2)

21.8.2 動作中の異常などによる端子の初期化

GPTW の動作中に異常などが発生して端子を初期化するまでの端子処理として、下記の方法があります。

- (1) GTIOR.OAHL D、OBHL D ビットを “1” にしておき、カウントストップ時に出力を保持
- (2) OAHL D、OBHL D ビットを “0” にし、GTIOR.OADFLT、OBDFLT ビットに任意の出力値を設定しておき、カウントストップ時に任意の値を出力
- (3) あらかじめ I/O ポートの PDR、PODR レジスタと PMR レジスタで汎用出力ポート時に任意の値を出力する設定をしておき、異常発生時に GTIOR.OAE、OBE ビットを “0” に、PMR レジスタの当該端子の制御ビットを “0” にして、端子を汎用出力ポートとして任意の値を出力
- (4) POEG 機能を使用し、出力をハイインピーダンス化

デッドタイムの自動設定を行っている場合は、カウントストップ後に GTDTCR.TDE ビットをいったん “0” にしてください。

カウントストップ時、GPTW 以外の外部要因によって変化するレジスタ以外は変化しません。カウント動作を再開すれば継続して動作します。

カウント動作をストップした場合は、各レジスタを初期化してからカウント動作を再開してください。

21.9 使用上の注意事項

21.9.1 モジュールストップ機能の設定

GPTW は、モジュールストップコントロールレジスタにより、GPTW の動作禁止 / 許可を設定することが可能です。リセット後、GPTW は動作を停止しています。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

21.9.2 コンペアマッチ動作時の GTCCRm レジスタの設定 (m = A ~ F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行っている場合

GTCCRA レジスタは、

GTCCRA レジスタ > GTDVU レジスタ

GTCCRA レジスタ > GTDVD レジスタ

GTCCRA レジスタ < GTPR レジスタ

を満たすように設定してください。

カウント動作中に GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタ設定値以上の値が設定されると出力保護機能が動作します。

ただし、下記の条件を満足しない場合、正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が “0000 0001h” 以上 GTPR レジスタ設定値未満
詳細は、「21.7.4 GTIOcnm 端子出力の出力保護機能 (n = 0 ~ 2, m = A, B)」を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行っていない場合

GTCCRA レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。

GTCCRA レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h” 以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに “0000 0000h” もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っている場合

GTCCRC、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はデッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時：
GTCCRC レジスタ < GTCCRD レジスタ
GTCCRC レジスタ > GTDVU レジスタ
GTCCRD レジスタ < GTPR レジスタ – GTDVD レジスタ
- ダウンカウント時：
GTCCRC レジスタ > GTCCRD レジスタ
GTCCRC レジスタ < GTPR レジスタ – GTDVU レジスタ
GTCCRD レジスタ > GTDVD レジスタ

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行っていない場合

GTCCRC、GTCCRD レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合は、コンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < \text{GTCCRC レジスタ} < \text{GTCCRD レジスタ} < \text{GTPR レジスタ}$
- ダウンカウント時： $\text{GTPR レジスタ} > \text{GTCCRC レジスタ} > \text{GTCCRD レジスタ} > 0$

同様に、GTCCRE、GTCCRF レジスタは、以下の制約を満たすように設定してください。制約を満たさない場合はコンペアマッチが2回発生せず、パルス出力が得られません。

- アップカウント時： $0 < \text{GTCCRE レジスタ} < \text{GTCCRF レジスタ} < \text{GTPR レジスタ}$
- ダウンカウント時： $\text{GTPR レジスタ} > \text{GTCCRE レジスタ} > \text{GTCCRF レジスタ} > 0$

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタには、“0000 0001h”以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRA レジスタに“0000 0000h”もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRA レジスタ = 0000 0000h もしくは GTCCRA レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRA レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタには、“0000 0001h”以上 GTPR レジスタ設定値未満の値を設定してください。GTCCRB レジスタに“0000 0000h”もしくは GTPR レジスタと同じ値が設定されると、周期内で発生するコンペアマッチは、GTCCRB レジスタ = 0000 0000h もしくは GTCCRB レジスタ = GTPR レジスタが成立したときのみとなります。また、GTCCRB レジスタに GTPR レジスタ設定値を超える値が設定されると、コンペアマッチは発生しません。

21.9.3 GTCNT カウンタ値の設定範囲

GTCNT カウンタは、 $0 \leq \text{GTCNT カウンタ} \leq \text{GTPR レジスタの範囲内}$ に設定してください。

21.9.4 GTCNT カウンタのスタート/ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート/ストップの制御は、GTCR.TPCS[3:0] ビットで選択されたカウントクロックに同期しています。CST ビットが更新されてから TPCS[3:0] ビットで選択されたカウントクロック後に、GTCNT カウンタはスタート/ストップするので、実際に GTCNT カウンタがスタートするまでのイベントは無視され、CST ビットが“0”になったあとにイベントを受け付けたり、割り込みが発生する場合があります。

21.9.5 イベントの優先順序

(1) GTCNT カウンタ

GTCNT カウンタを更新するイベントの優先順序を示します。

表 21.12 GTCNT カウンタ更新の優先順序

GTCNT カウンタの更新要因	優先順序
CPU 書き込み (GTCNT カウンタ書き込み / GTCLR レジスタ書き込み)	高
GTCSR レジスタで設定されたハードウェア要因によるクリア	↑
カウント動作	低

GTCNT カウンタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(2) GTCR.CST ビット

GTSSR、GTPSR レジスタで設定されたハードウェア要因によるスタート/ストップと CPU 書き込み (GTCR レジスタ書き込み / GTSTR レジスタ書き込み / GTSTP レジスタ書き込み) が競合した場合、CPU 書き込みが優先されます。

GTSSR レジスタで設定されたハードウェア要因によるスタートと GTPSR レジスタで設定されたハードウェア要因によるストップが競合した場合は、CST ビットの状態は変わりません。

CST ビットの更新と CPU 読み出し (GTCR レジスタ読み出し / GTSTR レジスタ読み出し / GTSTP レジスタ読み出し) が競合した場合、更新前のデータが読めます。

(3) GTCCRm レジスタ (m = A ~ F)

GTCCRm レジスタへの書き込みとインプットキャプチャ/バッファ転送が競合した場合、インプットキャプチャ/バッファ転送より GTCCRm レジスタへの書き込みが優先されます。

インプットキャプチャとカウンタへの CPU 書き込みまたはハードウェア要因によるカウンタの更新が競合した場合、更新前のカウンタの値がキャプチャされます。

GTCCRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(4) GTPR レジスタ

バッファ転送と GTPR レジスタへの書き込みが競合した場合、バッファ転送より GTPR レジスタへの書き込みが優先されます。

GTPR レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(5) GTADTRm レジスタ (m = A, B)

バッファ転送と GTADTRm レジスタへの書き込みが競合した場合、バッファ転送より GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(6) GTDVM レジスタ (m = U, D)

バッファ転送と GTDVM レジスタへの書き込みが競合した場合、バッファ転送より GTDVM レジスタへの書き込みが優先されます。

GTDVM レジスタの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

(7) GTIOR.GTIOm ビット (m = A, B)

バッファ転送と GTIOR.GTIOm ビットへの書き込みが競合した場合、バッファ転送より GTIOR.GTIOm ビットへの書き込みが優先されます。

GTIOR.GTIOm ビットの更新と CPU 読み出しが競合した場合、更新前のデータが読めます。

22. GPTW 用ポートアウトプットイネーブル (POEGb)

22.1 概要

POEG は汎用 PWM タイマ (GPTW) に対し、出力端子の出力停止要求を発行します。POE3 とは異なり、停止させる出力端子の組み合わせはどのチャネルからでも指定することができます。MTU3 と GPTW の出力端子を同時に停止する場合は、POE3 を使用してください。出力停止の検出方法は以下から選択します。

- GTETRGA 端子の入力レベルまたはエッジ検出
- GPTW による出力停止条件検出
- コンパレータによる検出 (エッジ検出、レベル検出)
- メインクロック発振停止検出回路からの発振停止検出
- レジスタ設定

GTETRGA 端子は、GPTW への外部トリガ入力端子としても使用可能です。

表 22.1 に POEG の仕様、図 22.1 に POEG 周辺のシステムブロック図、図 22.2 に POEG のブロック図、表 22.2 に入力端子を示します。

表 22.1 POEG の仕様

項目	内容
GTETRGA 端子の入力レベルまたはエッジ検出による停止要求	• GTETRGA 端子の入力レベルまたはエッジ検出によって、POEGGA.PIDF フラグが“1”になると、GPTW に出力停止要求を発行 • GTETRGA 端子の入力信号から直接 GPTW に出力停止要求を発行
GPTW からの出力停止条件検出信号による停止要求	• GPTW が GTIOCA と GTIOCB 端子の同時アクティブレベル (High レベル、Low レベル) を検出し、POEGGA.IOCF フラグが“1”になると、GPTW に出力停止要求を発行 • GPTW がデッドタイムエラーを検出し、POEGGA.IOCF フラグが“1”になると、GPTW に出力停止要求を発行
コンパレータからの検出信号による停止要求	• COMPn エッジ検出信号によって、POEGGA.IOCF フラグが“1”になると、GPTW に出力停止要求を発行 • COMPn レベル検出信号から直接 GPTW に出力停止要求を発行 • GPTW から出力された PWM 信号によって、出力停止要求のマスクが可能
発振停止検出による停止要求	メインクロック用発振停止検出回路が発振停止を検出し、POEGGA.OSTPF フラグが“1”になると、GPTW に出力停止要求を発行
ソフトウェアによる停止要求	ソフトウェアで POEGGA.SSF ビットを“1”にすることによって、GPTW に出力停止要求を発行
割り込み	• POEGGA.PIDF フラグによる停止要求で割り込みを発生 • POEGGA.IOCF フラグによる停止要求で割り込みを発生
GPTW に対する外部トリガ出力	GTETRGA 端子からの入力信号を GPTW へ外部トリガとして出力
ノイズ除去	GTETRGA 端子にデジタルノイズフィルタを内蔵 • 8 種類のサンプリングクロックを選択可能 • 一致検出回数を 3 回～6 回の範囲で設定可能

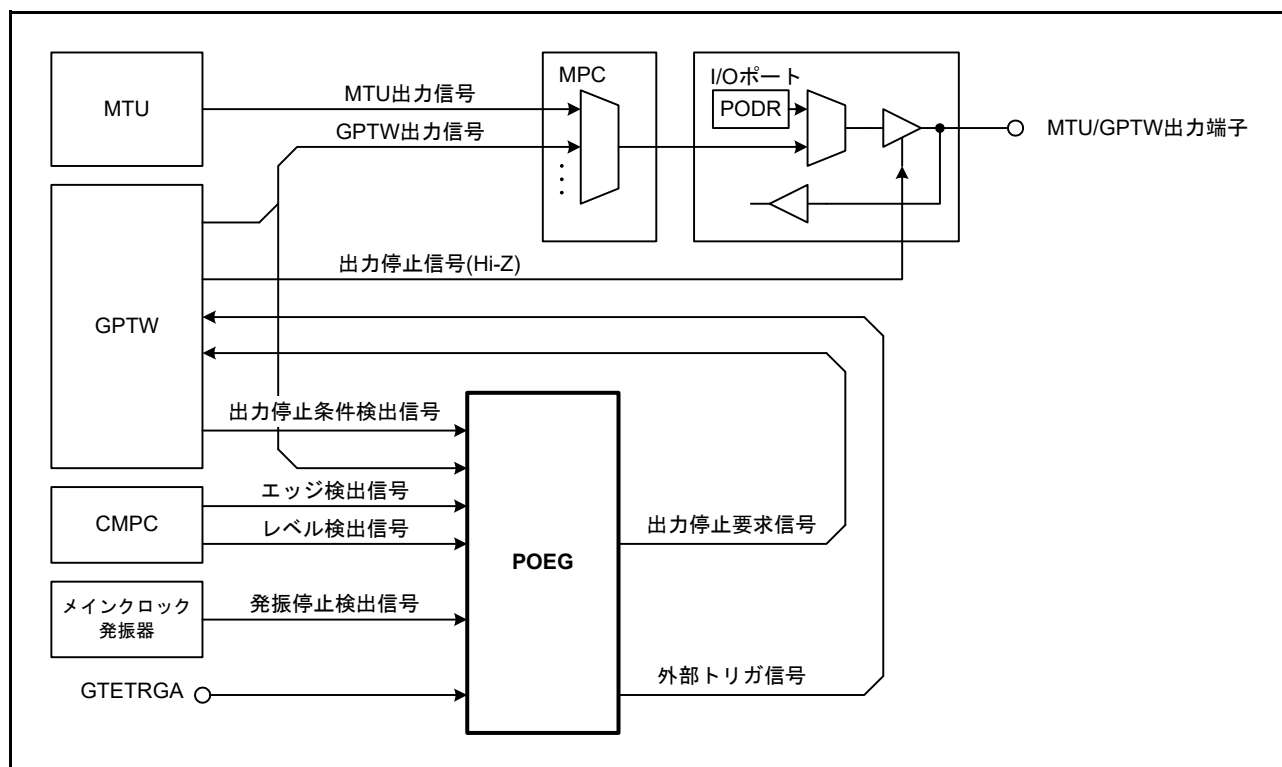


図 22.1 POEG システムブロック図

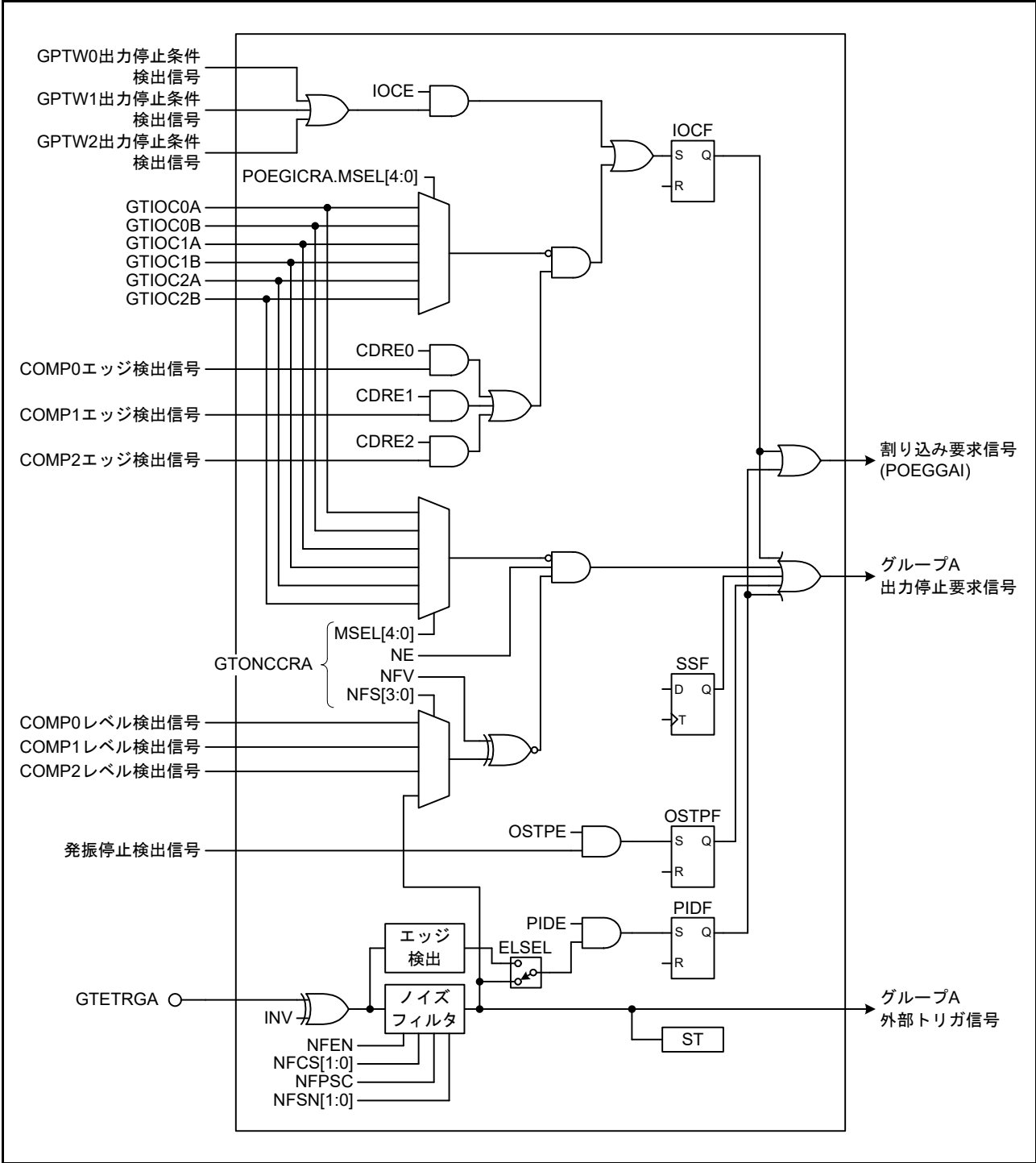


図 22.2 POEG のブロック図

表 22.2 POEGの入出力端子

端子名	入出力	機能
GTETRGA	入力	GPTW出力端子の出力停止要求信号およびGPTW外部トリガの入力端子A

22.2 レジスタの説明

22.2.1 POEGグループA設定レジスタ(POEGGA)

アドレス POEG.POEGGA 0009 E000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]	NFEN	INV	NFSN[1:0]	ELSEL	NFPSC	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0 : GTETRG信号による出力停止要求なし 1 : GTETRG信号による出力停止要求あり	R/(W) (注1)
b1	IOCF	GPTW/CMPC出力停止条件検出フラグ	0 : GPTWの出力停止条件検出信号またはCOMPnエッジ検出信号による出力停止要求なし 1 : GPTWの出力停止条件検出信号またはCOMPnエッジ検出信号による出力停止要求あり	R/(W) (注1)
b2	OSTPF	発振停止検出フラグ	0 : 発振停止による出力停止要求なし 1 : 発振停止による出力停止要求あり	R/(W) (注1)
b3	SSF	ソフトウェア出力停止要求ビット	0 : ソフトウェアによる出力停止要求を発行しない 1 : ソフトウェアによる出力停止要求を発行する	R/W
b4	PIDE	ポート入力信号許可ビット	0 : GTETRG信号による出力停止要求を禁止 1 : GTETRG信号による出力停止要求を許可	R/W (注2)
b5	IOCE	GPTW出力停止条件検出信号許可ビット	0 : GPTWの出力停止条件検出信号による出力停止要求を禁止 1 : GPTWの出力停止条件検出信号による出力停止要求を許可	R/W (注2)
b6	OSTPE	発振停止検出信号許可ビット	0 : 発振停止検出信号による出力停止要求を禁止 1 : 発振停止検出信号による出力停止要求を許可	R/W (注2)
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	CDRE0	COMP0エッジ検出信号許可ビット	0 : COMP0エッジ検出信号による出力停止要求を禁止 1 : COMP0エッジ検出信号による出力停止要求を許可	R/W (注2)
b9	CDRE1	COMP1エッジ検出信号許可ビット	0 : COMP1エッジ検出信号による出力停止要求を禁止 1 : COMP1エッジ検出信号による出力停止要求を許可	R/W (注2)
b10	CDRE2	COMP2エッジ検出信号許可ビット	0 : COMP2エッジ検出信号による出力停止要求を禁止 1 : COMP2エッジ検出信号による出力停止要求を許可	R/W (注2)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	ST	GTETRG信号ステータスフラグ	0 : GPTWに出力しているGTETRG信号はLow 1 : GPTWに出力しているGTETRG信号はHigh	R
b23-b17	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b24	NFPSC	ノイズフィルタクロック選択ビット	NFCS[1:0]ビットと組み合わせて、ノイズフィルタのサンプリングクロックを設定します	R/W
b25	ELSEL	GTETRG入力エッジ・レベル検出選択ビット	0 : レベル検出 1 : エッジ検出	R/W
b27-b26	NFSN[1:0]	ノイズフィルタ一致検出回数選択ビット	b27 b26 0 0 : 3回 0 1 : 4回 1 0 : 5回 1 1 : 6回	R/W

ビット	シンボル	ビット名	機能	R/W
b28	INV	GTETRGA入力反転ビット	0 : GTETRGA端子からの入力信号を反転しない 1 : GTETRGA端子からの入力信号を反転する	R/W
b29	NFEN	ノイズフィルタ許可ビット	0 : GTETRGA端子のデジタルノイズフィルタを禁止 1 : GTETRGA端子のデジタルノイズフィルタを許可	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択ビット	● NFPSCビット=0の場合 b31 b30 0 0 : GTETRGA端子からの入力信号をPCLKB/1クロックごとにサンプリングする 0 1 : GTETRGA端子からの入力信号をPCLKB/8クロックごとにサンプリングする 1 0 : GTETRGA端子からの入力信号をPCLKB/32クロックごとにサンプリングする 1 1 : GTETRGA端子からの入力信号をPCLKB/128クロックごとにサンプリングする ● NFPSCビット=1の場合 b31 b30 0 0 : GTETRGA端子からの入力信号をPCLKB/2クロックごとにサンプリングする 0 1 : GTETRGA端子からの入力信号をPCLKB/4クロックごとにサンプリングする 1 0 : GTETRGA端子からの入力信号をPCLKB/16クロックごとにサンプリングする 1 1 : GTETRGA端子からの入力信号をPCLKB/64クロックごとにサンプリングする	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

注2. リセット後、1回のみ書き込み可能です。

POEGGAレジスタは、各種検出信号を元に、GPTWに対して出力停止要求や外部トリガを制御するレジスタです。

SSFビット(ソフトウェア出力停止要求ビット)

本ビットに“1”を書くと、GPTWに対し出力停止要求を発行し、“0”を書くと出力停止要求を解除します。

22.2.2 POEG グループ A 入力制御レジスタ (POEGICRA)

アドレス POEG.POEGICRA 0009 E004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	MSEL[4:0]				—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	MSEL[4:0]	出力停止要求マスク信号選択ビット	選択した信号がHighのとき、POEGGA.CDREnビット(n = 0～2)で許可したCOMPnエッジ検出信号による出力停止要求をマスクします。 b4 b0 0 0 0 0 : 出力停止要求をマスクしない 0 0 0 1 : GTIOC0A信号で出力停止要求をマスクする 0 0 0 1 0 : GTIOC0B信号で出力停止要求をマスクする 0 0 0 1 1 : GTIOC1A信号で出力停止要求をマスクする 0 0 1 0 0 : GTIOC1B信号で出力停止要求をマスクする 0 0 1 0 1 : GTIOC2A信号で出力停止要求をマスクする 0 0 1 1 0 : GTIOC2B信号で出力停止要求をマスクする 上記以外は設定しないでください。	R/W (注1)
b31-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

22.2.4 GPTW 出力停止制御グループ A コントロールレジスタ (GTONCCRA)

アドレス POEG.GTONCCRA 0009 E044h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSEL[4:0]					—	—	NFV	NFS[3:0]			—	—	—	NE	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NE	直接出力停止要求許可ビット	0 : 直接出力停止要求を許可しない 1 : 直接出力停止要求を許可する	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b4	NFS[3:0]	直接出力停止要求要因選択ビット	b7 b4 0 0 0 0 : COMP0 レベル検出信号 0 0 0 1 : COMP1 レベル検出信号 0 0 1 0 : COMP2 レベル検出信号 0 1 1 1 : GTETRGA 端子入力信号 (High/Low) 1 0 0 0 : GTETRGA 端子入力信号、COMP0 レベル検出信号、COMP1 レベル検出信号、COMP2 レベル検出信号のいずれか 1 0 0 1 : GTETRGA 端子入力信号、COMP0 レベル検出信号、COMP1 レベル検出信号のいずれか 1 0 1 0 : GTETRGA 端子入力信号、COMP1 レベル検出信号、COMP2 レベル検出信号のいずれか 1 0 1 1 : GTETRGA 端子入力信号、COMP0 レベル検出信号のいずれか 1 1 0 0 : GTETRGA 端子入力信号、COMP1 レベル検出信号のいずれか 上記以外は設定しないでください。	R/W
b8	NFV	直接出力停止要求極性ビット	0 : 検出信号が“0”のときに出力停止を要求 1 : 検出信号が“1”のときに出力停止を要求	R/W
b10-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b11	MSEL[4:0]	出力停止要求マスク信号選択ビット	選択した信号がHighのとき、NFS[3:0] ビットで選択した要因による出力停止要求をマスクします。 b15 b11 0 0 0 0 0 : 出力停止要求をマスクしない 0 0 0 0 1 : GTIOC0A 信号で出力停止要求をマスクする 0 0 0 1 0 : GTIOC0B 信号で出力停止要求をマスクする 0 0 0 1 1 : GTIOC1A 信号で出力停止要求をマスクする 0 0 1 0 0 : GTIOC1B 信号で出力停止要求をマスクする 0 0 1 0 1 : GTIOC2A 信号で出力停止要求をマスクする 0 0 1 1 0 : GTIOC2B 信号で出力停止要求をマスクする 上記以外は設定しないでください。	R/W

GTONCCRA レジスタは、直接出力停止要求を設定するためのレジスタです。

NE ビット (直接出力停止要求許可ビット)

NE ビットに“1”を書くと、NFS[3:0] ビットで選択された検出信号が、出力停止要求信号として直接 GPTW に出力されます。

22.3 動作説明

22.3.1 GTETRGA 端子の入力レベルまたは入力エッジ検出による出力停止要求

GTETRGA 端子による出力停止要求には、POEGGA.PIDF フラグ経由で行う方法と、入力信号から直接行う方法の2種類あります。

(1) PIDF フラグ経由の出力停止要求

POEGGA.PIDE ビットが“1”のとき、POEGGA.NFCS[1:0] ビット、NFEN ビット、NFSN[1:0] ビット、NFPSC ビット、ELSEL ビット、および INV ビットで設定されたレベルまたはエッジが検出されると、PIDF フラグが“1”になり、GPTW の全チャンネルに出力停止要求が発行されます。

出力停止要求の解除は PIDF フラグのクリアで行います。詳細は、「22.3.6.2 POEGGA レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

(2) 入力信号による直接出力停止要求

GTONCCRA.NFS[3:0] ビットが“0111b”(GTETRGA 端子入力信号)、NE ビットが“1”のとき、POEGGA.NFCS[1:0] ビット、NFEN ビット、NFSN[1:0] ビット、NFPSC ビット、INV ビット、および GTONCCRA.NFV ビットで設定されたレベルが検出されると、直接 GPTW の全チャンネルに出力停止要求が発行されます。出力停止要求は、GTETRGA 端子のレベルが発行条件に一致なくなると解除されます。

詳細は、「22.3.7 入力信号による直接出力停止要求と解除」を参照してください。

22.3.1.1 デジタルノイズフィルタ

GTETRGA 端子には、デジタルノイズフィルタ機能があります。図 22.3 にデジタルノイズフィルタの動作例を示します。この例は、POEGGA.INV ビット = 0 (反転しない = High 検出)、NFSN[1:0] ビット = 00b (3 回)、NFEN ビット = 1 (ノイズフィルタ許可) の場合です。

POEGGA.NFPSC ビット、NFCS[1:0] ビットで選択したサンプリングクロックで GTETRGA 端子のレベルをサンプリングし、3 回連続で High が検出されると、High が入力されたと判断し、GPTW に出力停止要求を発行します。

このとき、一度でも Low を検出した場合は High が入力されたと判断されません。なお、サンプリングタイミングとサンプリングタイミングの間で起こった GTETRGA 端子のレベル変化は無視されます。

デジタルノイズフィルタの出力は、POEGGA.PIDF フラグによる出力停止要求、検出信号による直接出力停止要求、および GPTW に出力する外部トリガのすべてに使用されます。

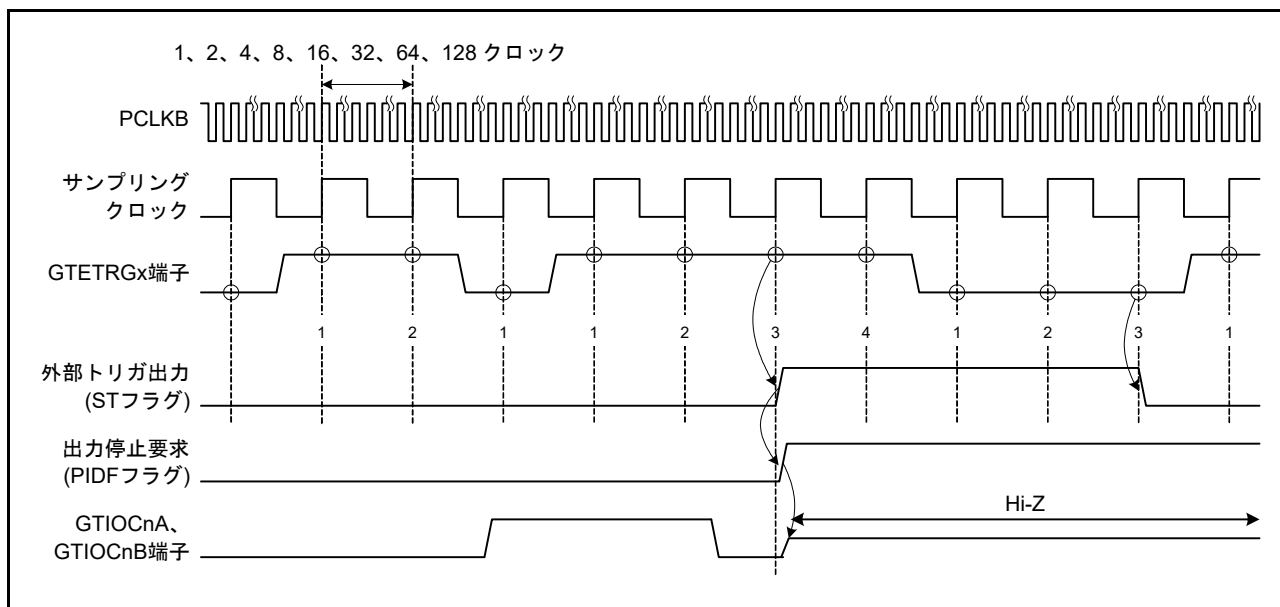


図 22.3 デジタルノイズフィルタの動作例

22.3.2 GPTW の出力停止条件検出信号による出力停止要求

POEGGA.IOCE ビットが“1”のとき、GPTW がデッドタイムエラー、同時 High 出力、同時 Low 出力のいずれかを検出すると、IOCF フラグが“1”になり、GPTW の全チャンネルに出力停止要求が発行されます。IOCF フラグは、COMPn エッジ検出による出力停止要求と兼用になっています。

出力停止要求の解除は IOCF フラグのクリアで行います。詳細は、「22.3.6.2 POEGGA レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

GPTW でデッドタイムエラー、同時 High 出力、および同時 Low 出力を検出するには、それぞれ GPTWn.GTINTAD.GRPDTE、GRPABH、GRPABL ビットを“1”にする必要があります。また、GPTW の各チャンネルで生成された出力停止条件検出信号は、GPTWn.GTINTAD.GRP[1:0] ビットで選択した POEG グループにのみ出力されます。詳細は、「21.2.13 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)」を参照してください。

22.3.3 コンパレータの検出信号による出力停止要求

コンパレータによる出力停止要求には、COMP_n エッジ検出信号によって POEGGA.IOCF フラグ経由で行う方法と、COMP_n レベル検出信号から直接行う方法の2種類あります。

また、コンパレータによる出力停止要求は、POEGICRA.MSEL[4:0] ビットや GTONCCRA.MSEL[4:0] ビットで選択した GPTW 出力信号が High の間、マスクすることができます。

(1) IOCF フラグ経由の出力停止要求

POEGGA.CDREn ビットが“1”のとき、COMP_n エッジ検出信号が“1”になると、IOCF フラグが“1”になり、GPTW の全チャンネルに出力停止要求が発行されます。IOCF フラグは、GPTW による出力停止要求と兼用になっています。

出力停止要求の解除は IOCF フラグのクリアで行います。詳細は、「22.3.6.2 POEGGA レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

(2) COMP_n レベル検出信号による直接出力停止要求

GTONCCRA.NE ビットが“1”のとき、NFS[3:0] ビットで選択した COMP_n レベル検出信号が、NFV ビットで設定した値と一致すると、GPTW の全チャンネルに出力停止要求が発行されます。出力停止要求は、COMP_n レベル検出信号が NFV ビットの値と一致なくなると解除されます。

詳細は、「22.3.7 入力信号による直接出力停止要求と解除」を参照してください。

22.3.4 発振停止検出信号による出力停止要求

POEGGA.OSTPE ビットが“1”のとき、クロック発生回路内にある発振停止検出回路がメインクロックの発振停止を検出すると、OSTPF フラグが“1”になり、GPTW の全チャンネルに出力停止要求が発行されます。

出力停止要求の解除は OSTPF フラグのクリアで行います。詳細は、「22.3.6.2 POEGGA レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

22.3.5 レジスタによる出力停止要求

POEGGA.SSF ビットを“1”にすると、GPTW の全チャンネルに出力停止要求が発行されます。

出力停止要求の解除は SSF ビットを“0”にすることで行います。詳細は、「22.3.6.2 POEGGA レジスタのフラグクリアによる出力停止要求の解除」を参照してください。

22.3.6 出力停止要求の解除

出力停止要求の解除方法には、以下の3通りの方法があります。

- リセット (初期状態に復帰)
- POEGGA レジスタのフラグのクリア
- 入力信号のネゲート

22.3.6.1 リセットによる出力停止要求の解除

すべてのリセットで出力停止要求を解除することができます。リセットに関する詳細は、「6. リセット」を参照してください。

22.3.6.2 POEGGA レジスタのフラグクリアによる出力停止要求の解除

下記フラグ/ビットの内、“1”になっているフラグ/ビットをすべて“0”にすると、出力停止要求が解除されます。

- POEGGA.PIDF フラグ
- POEGGA.IOCF フラグ
- POEGGA.OSTPF フラグ
- POEGGA.SSF ビット

出力停止要求が解除されると、GPTW は次の PWM 周期の終了タイミングでこの信号を取り込み、最短で 3 PCLKB 後から PWM 出力の停止状態を解除します。図 22.4 に、出力停止状態の解除タイミングを示します。

フラグをクリアするときは、そのフラグを“1”にした入力信号が“0”になっていることを確認してから、“0”を書いてください。入力信号が“1”のときにフラグに“0”を書いても、フラグはクリアされません。COMPn エッジ検出信号や GTETRGA 信号のエッジ検出信号は、要因を検出した直後のみ入力信号が“1”になり、その後は“0”に戻るため、いつ“0”を書いてもフラグがクリアされます。

入力信号の状態は下記のステータスフラグで確認できます。

- GTETRGA 端子入力信号： POEGGA.ST フラグ (GTETRGA 信号ステータスフラグ)
- 出力停止条件検出信号： GPTWn.GTST.DTEF フラグ (デッドタイムエラーフラグ)
GPTWn.GTST.OABHF フラグ (同時High出力フラグ)
GPTWn.GTST.OABLF フラグ (同時Low出力フラグ)
- 発振停止検出信号： OSTDSR.OSTDF フラグ (発振停止検出フラグ)

また、エッジを検出する前のコンパレータの比較結果 (COMPn レベル検出信号) の状態は下記のステータスフラグで確認できます。

- COMPn レベル検出信号： CMPCn.CMPMON.CMPMON0 フラグ (コンパレータ出力モニタフラグ)

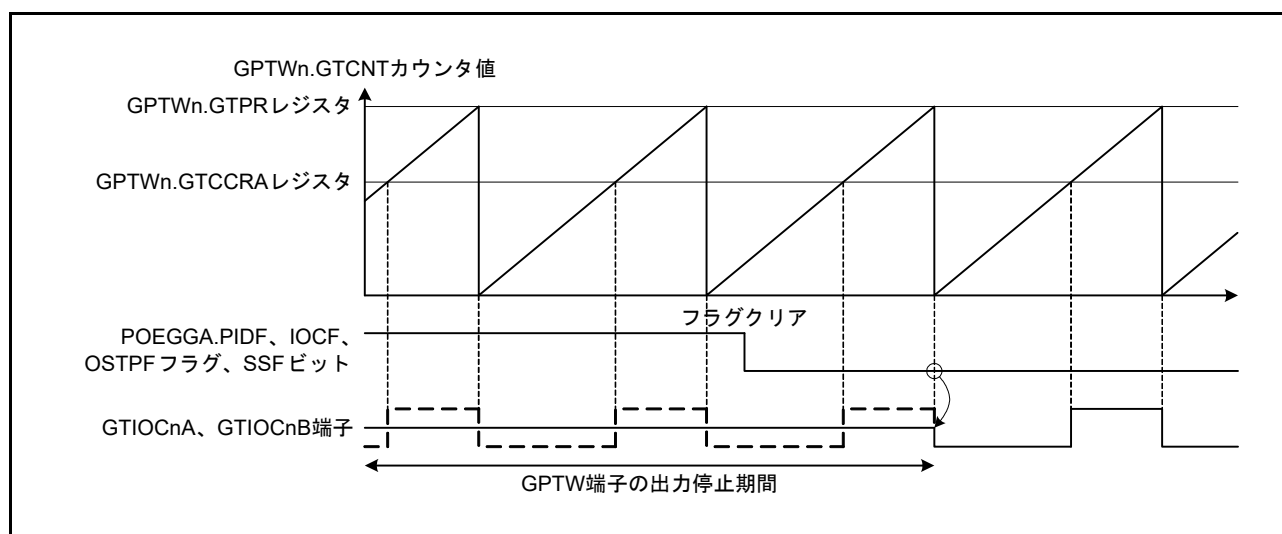


図 22.4 出力停止要求の解除による GPTW 端子の出力停止解除タイミング

22.3.6.3 入力信号のネゲートによる直接出力停止要求の解除

GTETRGA 端子入力信号と COMP_n レベル検出信号による直接出力停止要求は、選択された信号の入力レベルが NFV ビットの値と一致しなくなると解除されます。

詳細は「22.3.7 入力信号による直接出力停止要求と解除」を参照してください。

22.3.7 入力信号による直接出力停止要求と解除

入力信号による直接出力停止要求は、GTETRGA 端子からの入力信号と COMPn レベル検出信号 (n = 0 ~ 2) で可能です。要因として使用する信号は、GTONCCRA.NFS[3:0] ビットで選択します。NE ビットが“1”のときに、選択した信号のレベルが INV ビット、NFV ビットで設定した値と一致すると、GPTW に出力停止要求が発行されます。

出力停止要求は、GTETRGA 端子からの入力信号や COMPn レベル検出信号のレベルが、発行条件を満たさなくなると解除されます。なお、要求を解除するときは、他の要因による出力停止要求が発行されていない (POEGGA.PIDF、IOCF フラグが“0”になっている) ことを確認してください。

図 22.5 に COMP0 レベル検出信号による出力停止動作の例を示します。この例では、GPTW0 が GTIOC0A 端子から PWM 波形を出力しているときに、CMPC0 のアナログ入力電圧がリファレンス入力電圧より高くなり、COMP0 レベル検出信号が High になります。POEG は、この信号をもとに出力停止要求を GPTW0 に出力し、GPTW0 は直ちに出力を停止します。

GPTW0 は、PWM 周期の終了前に出力停止要求が解除されても、PWM 周期が終了するまで出力停止状態を維持します。また、PWM 周期の終了時に出力停止要求が解除されていなかった場合、GPTW0 は次の PWM 周期の終了時まで出力停止状態を継続します。

なお、出力停止要求の有無は、GPTW の GTST.ODF フラグで確認することができます。詳細は、「21.2.14 汎用 PWM タイマステータスレジスタ (GTST)」の ODF フラグを参照してください。

図 22.6 に COMP0 レベル検出信号による直接出力停止要求の設定手順の例を示します。

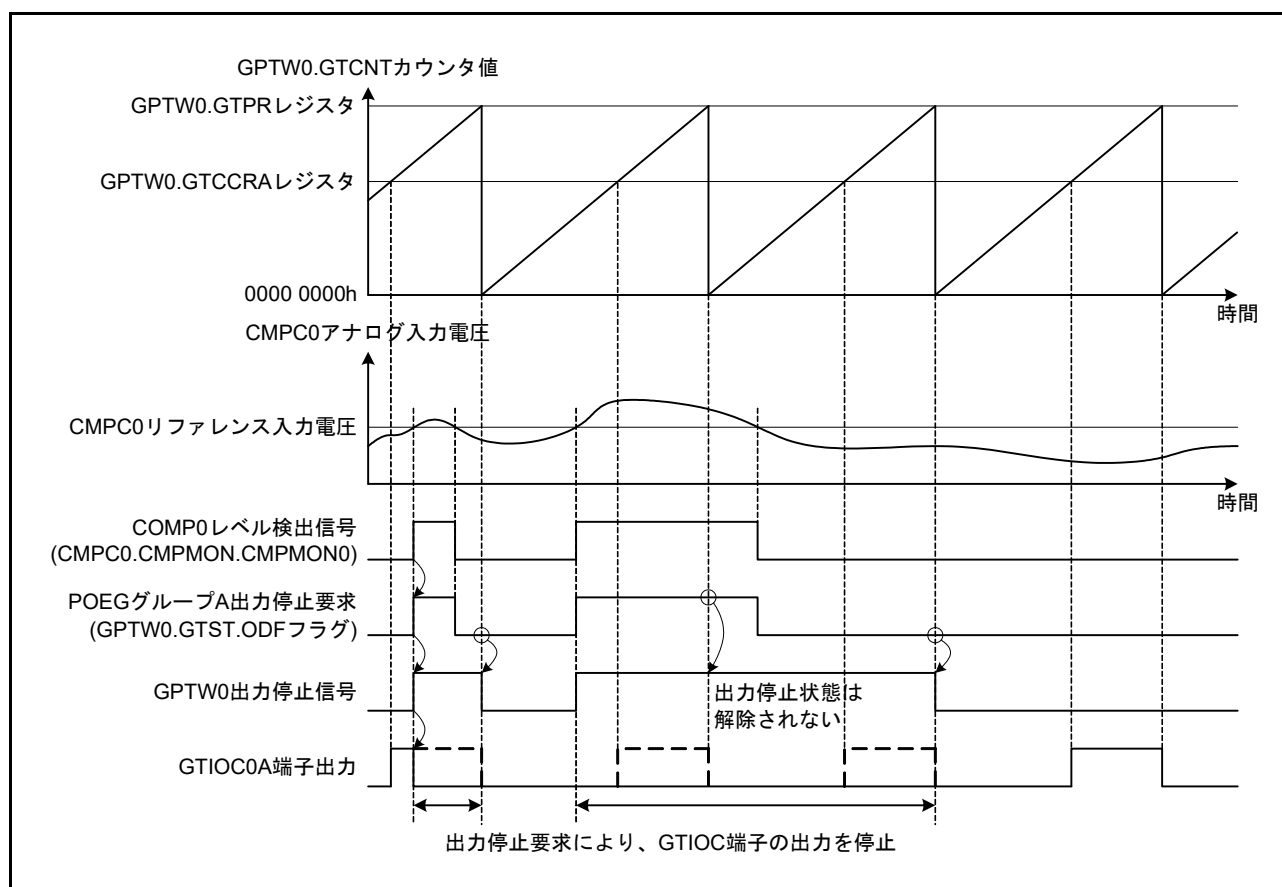


図 22.5 COMP0 レベル検出信号による GTIOC 端子の出力停止動作の例

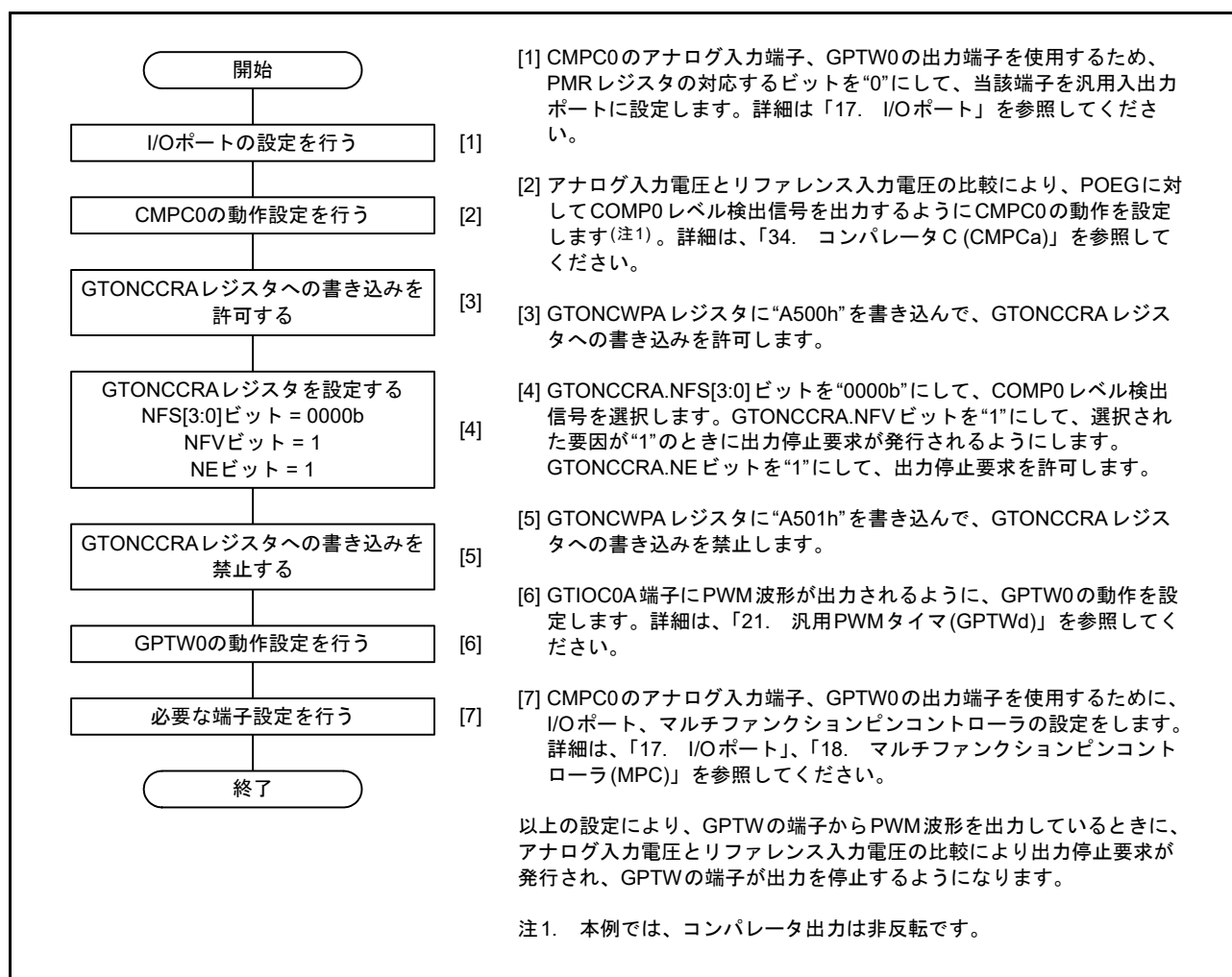


図 22.6 COMP0 レベル検出信号による GTIOC 端子の出力停止の設定例

22.4 割り込み要因

POEG には、グループごとに下記の割り込み要因があります。

- GTETRGA 端子の入力レベル / エッジ検出
- GPTW からの出力停止条件検出信号の検出
- COMPn エッジ検出信号の検出 (n = 0 ~ 2)

表 22.3 に、割り込み要因の一覧を示します。

表 22.3 割り込み要因

割り込み名称	シンボル	対応するフラグ	割り込み要因
グループA割り込み	POEGGAI	POEGGA.PIDF	GTETRGA端子からの入力信号
		POEGGA.IOCF	GPTWからの出力停止条件検出信号
			COMPnエッジ検出信号

22.5 GPTW に対する外部トリガ出力

POEG は、GTETRGA 端子からの入力信号を、極性変換、デジタルノイズフィルタを経由させて、外部トリガ信号として GPTW に出力します。外部トリガ信号は、POEGGA.ST フラグでモニタすることができます。GPTW は外部トリガ信号により、以下の動作を行うことができます。

- カウントスタート
- カウントストップ
- カウンタクリア
- カウントアップ
- カウントダウン
- インプットキャプチャ

詳細は、「21. 汎用 PWM タイマ (GPTWd)」を参照してください。

22.6 使用上の注意事項

22.6.1 低消費電力モードへの遷移

POEGを使用する場合は、ソフトウェアスタンバイモードへ遷移しないでください。このモードではPOEGが停止するため、出力停止要求をすることができません。

22.6.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) により、POEGの動作を禁止/許可することが可能です。リセット解除後は、POEGの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。なお、POEGのモジュールストップビットはGPTWと兼用になっています。

22.6.3 出力停止要求の重複について

フラグ経由の出力停止要求は、POEGGA.PIDF フラグ、IOCF フラグ、OSTPF フラグ、SSF ビットの出力の論理和になっているため、どれか一つでもフラグが“1”になっていると、出力停止要求は解除されませんので注意してください。

また、GTONCCRA レジスタで設定した入力信号による直接出力停止要求についても、上記のいずれかのフラグが“1”になっていると、入力信号がネゲートされても出力停止要求は解除されません。

22.6.4 COMPn エッジ検出信号による出力停止要求のマスクについて

POEGGA.CDREn ビットを“1”にした後に、POEGICRA.MSEL[4:0] ビットを設定した場合、意図せずPOEGGA.IOCF フラグが“1”になることがあります。POEGGA.CDREn ビットを“1”にする前に、POEGICRA.MSEL[4:0] ビットを設定してください。

23. 8ビットタイマ (TMR)

本 MCU は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャンネル内蔵しています。外部イベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット 0、ユニット 1 は同一機能です。また、SCI の基本クロックを生成することができます。

本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に TMR の仕様を、表 23.2 に TMR の機能一覧を示します。

図 23.1 にユニット 0、図 23.2 にユニット 1 のブロック図を示します。

表 23.1 TMR の仕様

項目	仕様
カウントクロック	- 内部クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 - 外部クロック : 外部カウントクロック
チャンネル数	(8 ビット×2チャンネル)×2ユニット
コンペアマッチ	8ビットモード(コンペアマッチA、コンペアマッチB) 16ビットモード(コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	16ビットカウントモード TMR0を上位、TMR1を下位(TMR2を上位、TMR3を下位)とする16ビットタイマ - コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント(TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2のコンペアマッチA
SCIの基本クロック生成	SCIの基本クロックを生成(注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への遷移が可能

注1. 詳細は「26. シリアルコミュニケーションインタフェース(SCIg, SCIh)」を参照してください。

表23.2 TMRの機能一覧

項目		ユニット0			ユニット1		
カウンタモード		8ビット		16ビット	8ビット		16ビット
チャネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCIO
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRIO	TMR1.TCORA TMR1.TCORB TMRIO	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRIO	TMR2.TCORA TMR2.TCORB TMRIO	TMR3.TCORA TMR3.TCORB TMRIO	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRIO
コンペアマッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバーフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバーフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1 のオーバーフロー	TMR0 のコンペアマッチ A	—	TMR3 のオーバーフロー	TMR2 のコンペアマッチ A	—
A/Dコンバータの変換開始トリガ (注1)		○	—	○	○	—	○
SCIの基本クロックの生成 (注2)		○		—	○		—
モジュールストップの設定 (注3)		(ユニット0) MSTPCRA.MSTPA5 ビット、(ユニット1) MSTPCRA.MSTPA4 ビット					

○：可能

—：不可能

注1. 詳細は「30. 12ビットA/Dコンバータ(S12ADF)」を参照してください。

注2. 詳細は「26. シリアルコミュニケーションインターフェース(SCIg, SCIH)」を参照してください。

注3. 詳細は「11. 消費電力低減機能」を参照してください。

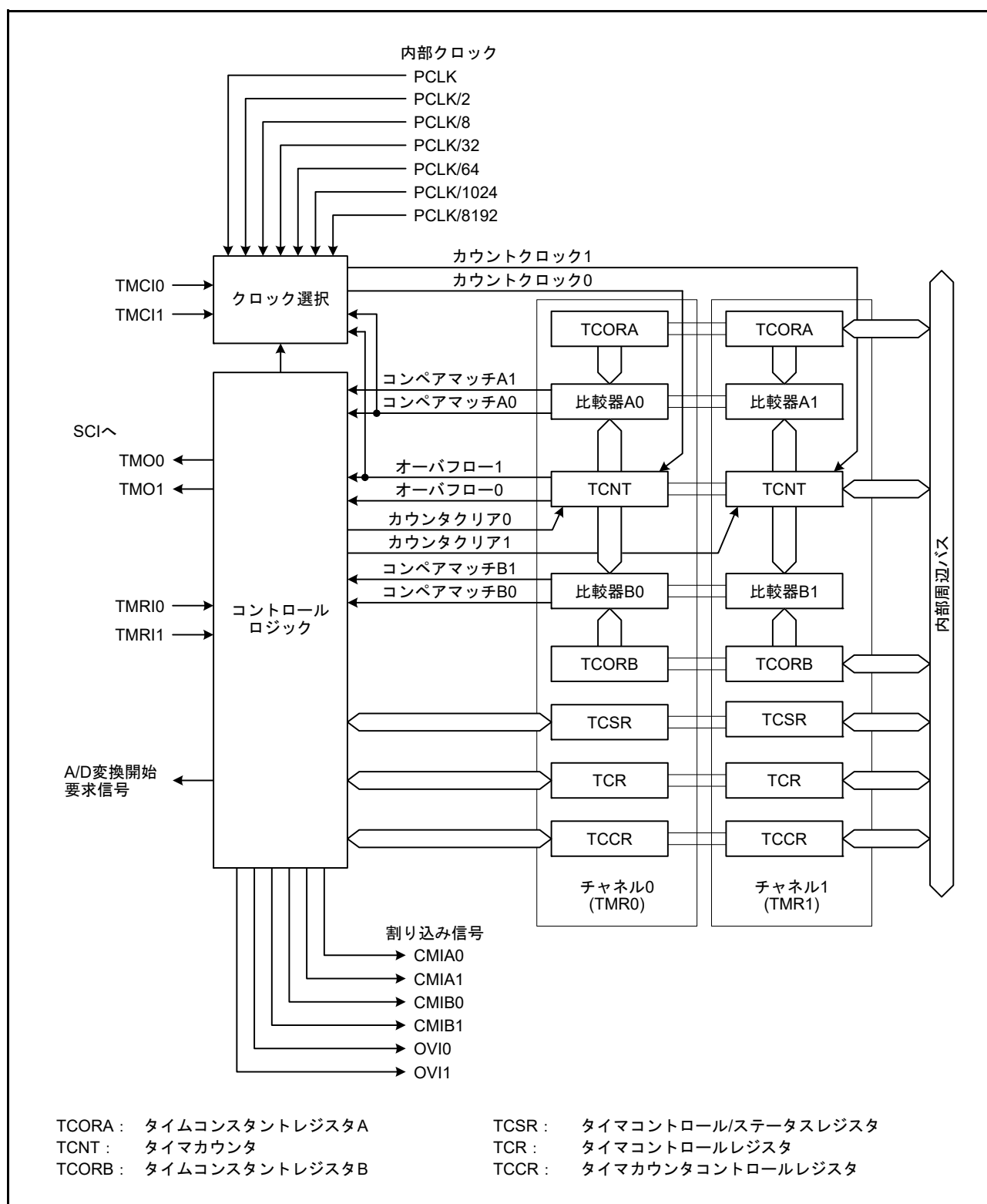


図 23.1 TMR (ユニット0) のブロック図

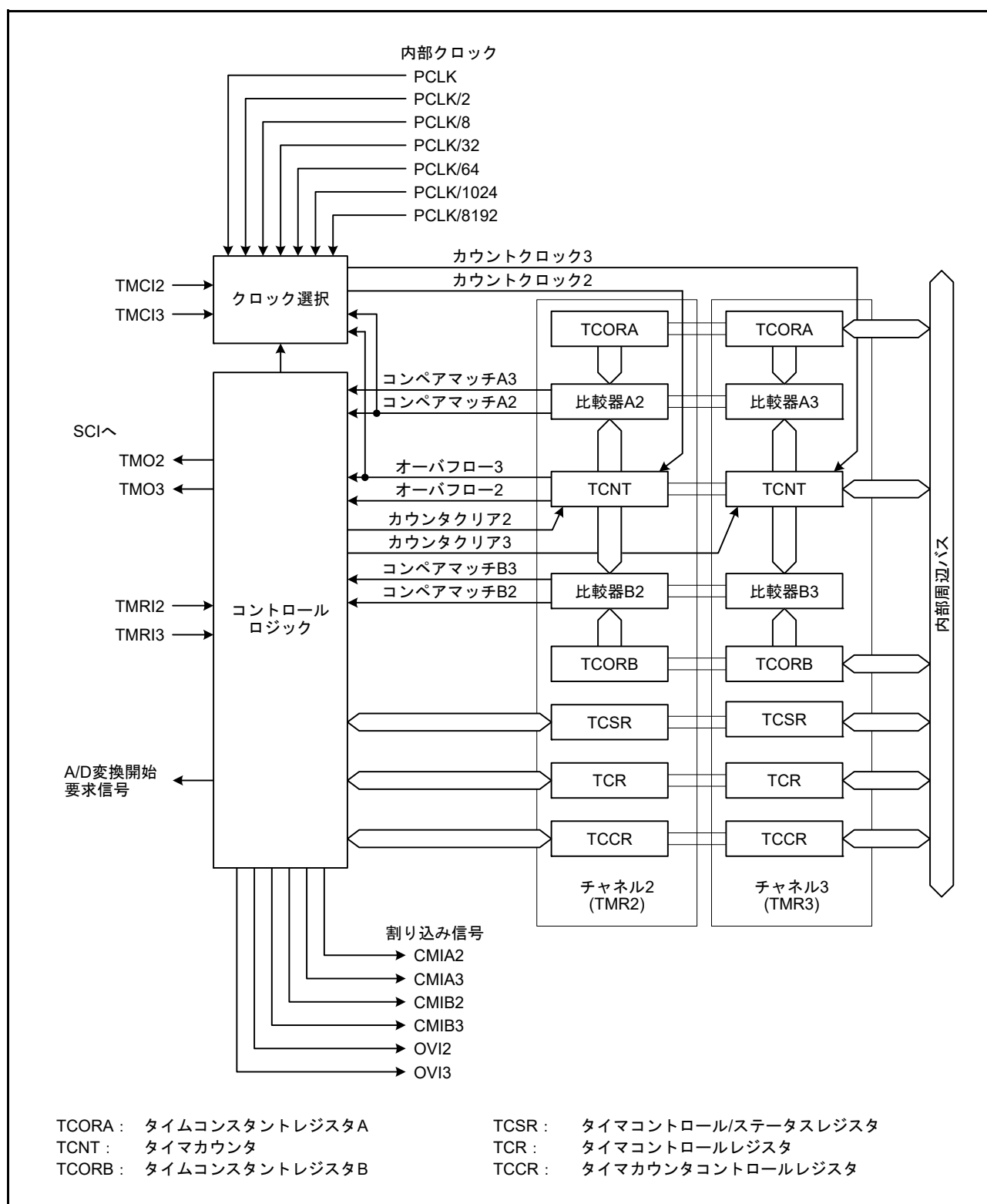


図 23.2 TMR (ユニット1) のブロック図

表 23.3 に TMR で使用する入出力端子を示します。

表 23.3 TMRの入出力端子

ユニット	チャネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCi0	入力	外部カウントクロック入力
		TMRi0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCi1	入力	外部カウントクロック入力
		TMRi1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCi2	入力	外部カウントクロック入力
		TMRi2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCi3	入力	外部カウントクロック入力
		TMRi3	入力	外部カウンタリセット入力

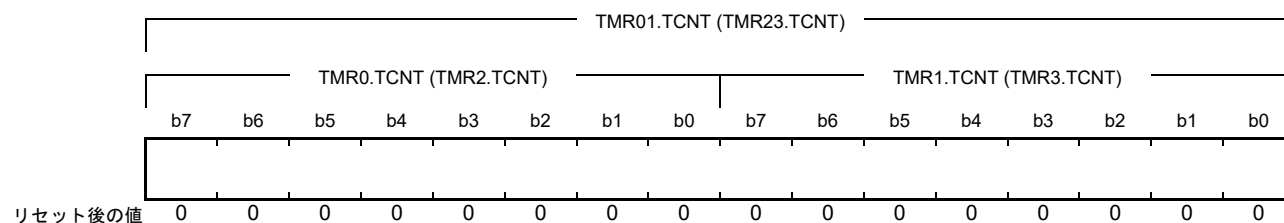
23.2 レジスタの説明

表 23.4 16ビットアクセスのレジスタ配置

アドレス	レジスタ	上位8ビット	下位8ビット
0008 8208h	TMR01.TCNT	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR01.TCORA	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR01.TCORB	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR01.TCCR	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR23.TCNT	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR23.TCORA	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR23.TCORB	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR23.TCCR	TMR2.TCCR	TMR3.TCCR

23.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h,
TMR01.TCNT 0008 8208h, TMR23.TCNT 0008 8218h



TCNT カウンタは、8 ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16 ビットカウンタ (TMR01.TCNT, TMR23.TCNT) として 16 ビット単位でアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

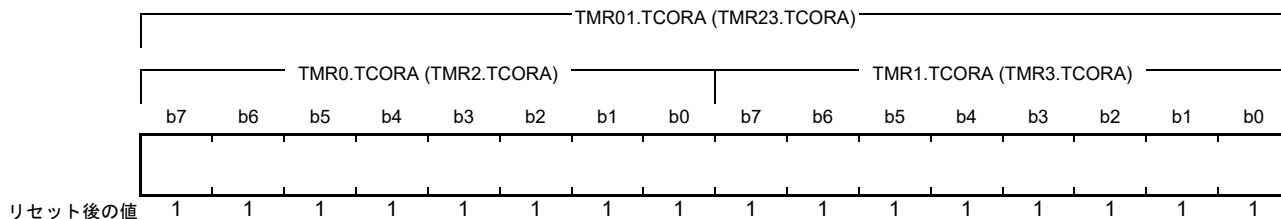
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバフロー割り込みを出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 23.6 TMR の割り込み要因」を参照してください。

23.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h,
TMR01.TCORA 0008 8204h, TMR23.TCORA 0008 8214h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

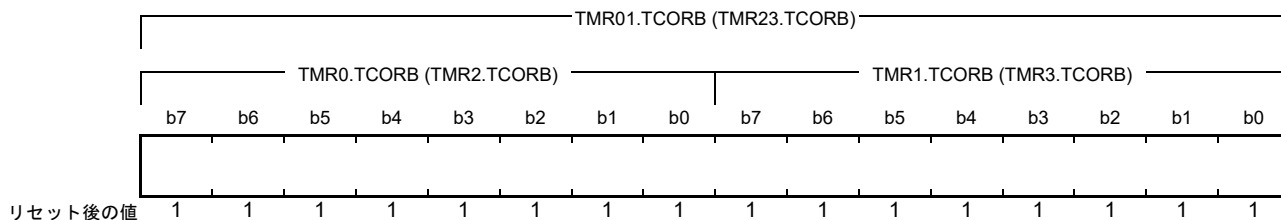
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタ (TMR01.TCORA, TMR23.TCORA) として 16 ビット単位でアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込みを出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

23.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h,
TMR01.TCORB 0008 8206h, TMR23.TCORB 0008 8216h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタ (TMR01.TCORB, TMR23.TCORB) として 16 ビット単位でアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込みを出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

23.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット	b4 b3 0 0 : クリアを禁止 0 1 : コンペアマッチAによりクリア 1 0 : コンペアマッチBによりクリア 1 1 : 外部カウンタリセット信号によりクリア (注1) (TCCR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	オーバフロー割り込み許可ビット	0 : オーバフローによる割り込み要求(OVIn)を禁止 1 : オーバフローによる割り込み要求(OVIn)を許可	R/W
b6	CMIEA	コンペアマッチA割り込み許可ビット	0 : コンペアマッチAによる割り込み要求(CMIAIn)を禁止 1 : コンペアマッチAによる割り込み要求(CMIAIn)を許可	R/W
b7	CMIEB	コンペアマッチB割り込み許可ビット	0 : コンペアマッチBによる割り込み要求(CMIBIn)を禁止 1 : コンペアマッチBによる割り込み要求(CMIBIn)を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「17. I/Oポート」、および「18. マルチファンクションピンコントローラ(MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (オーバフロー割り込み許可ビット)

TCNT カウンタのオーバフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ A 割り込み許可ビット)

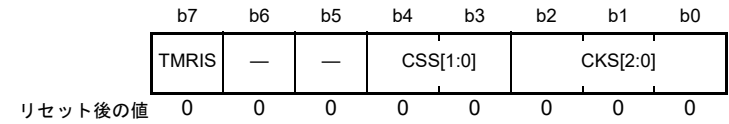
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIAIn) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ B 割り込み許可ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIBIn) の許可または禁止を選択します。

23.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh,
TMR01.TCCR 0008 820Ah, TMR23.TCCR 0008 821Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表 23.5を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表 23.5を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0：外部カウンタリセット信号の立ち上がりでクリア 1：外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「17. I/Oポート」、および「18. マルチファンクションピンコントローラ(MPC)」を参照してください。

TCCR レジスタはカウンタの基本動作を設定する 8 ビットのレジスタです。偶数チャネルのアドレスに対して 16 ビットアクセスすると、同時に 2 つの TCCR レジスタにアクセスできます。

CKS[2:0] ビット (クロック選択ビット)
CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよび CSS[1:0] ビットは、カウントクロックを選択します。詳細は、表 23.5 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが “11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表23.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCR レジスタ					機能
	CSS[1:0]		CKS[2:0]			
	b4	b3	b2	b1	b0	
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウン ト (注1)
	0	1	0	0	0	内部クロック : PCLKでカウント
					1	内部クロック : PCLK/2でカウント
				1	0	内部クロック : PCLK/8でカウント
					1	内部クロック : PCLK/32でカウント
			1	0	0	内部クロック : PCLK/64でカウント
					1	内部クロック : PCLK/1024でカウント
				1	0	内部クロック : PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT)のオーバフロー信号でカウント (注2)
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)
				1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウン ト (注1)
	0	1	0	0	0	内部クロック : PCLKでカウント
					1	内部クロック : PCLK/2でカウント
				1	0	内部クロック : PCLK/8でカウント
					1	内部クロック : PCLK/32でカウント
			1	0	0	内部クロック : PCLK/64でカウント
					1	内部クロック : PCLK/1024でカウント
				1	0	内部クロック : PCLK/8192でカウント
					1	クロック入力を禁止
	1	0	—	—	—	設定しないでください
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT)のコンペアマッチAでカウント (注2)

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「17. I/Oポート」、および「18. マルチファンクションピンコントローラ(MPC)」を参照してください。

注2. TMR0 (TMR2)のクロック入力をTMR1.TCNT (TMR3.TCNT)カウンタのオーバフロー信号とし、TMR1 (TMR3)のクロック入力をTMR0.TCNT (TMR2.TCNT)カウンタのコンペアマッチ信号とすると、TCNTカウントクロックが発生しません。この設定は行わないでください。

23.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット	0 : コンペアマッチAによるA/D変換開始要求を禁止 1 : コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMRn端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMRn 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMRn 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]		OSA[1:0]	
リセット後の値	x	x	x	1	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力(トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”にした場合、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

23.3 動作説明

23.3.1 パルス出力

任意のデューティパルスを出力させる例を図 23.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介在なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

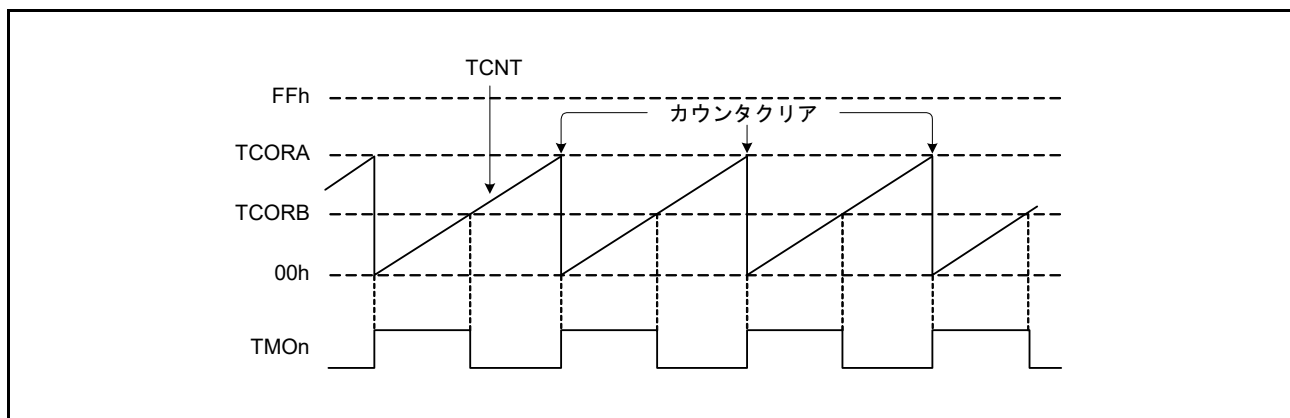


図 23.3 パルス出力例 (n = 0 ~ 3)

23.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 23.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを “11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを “1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを “10b” (High 出力)、TCSR.OSB[1:0] ビットを “01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB – TCORA) の波形を出力できます。

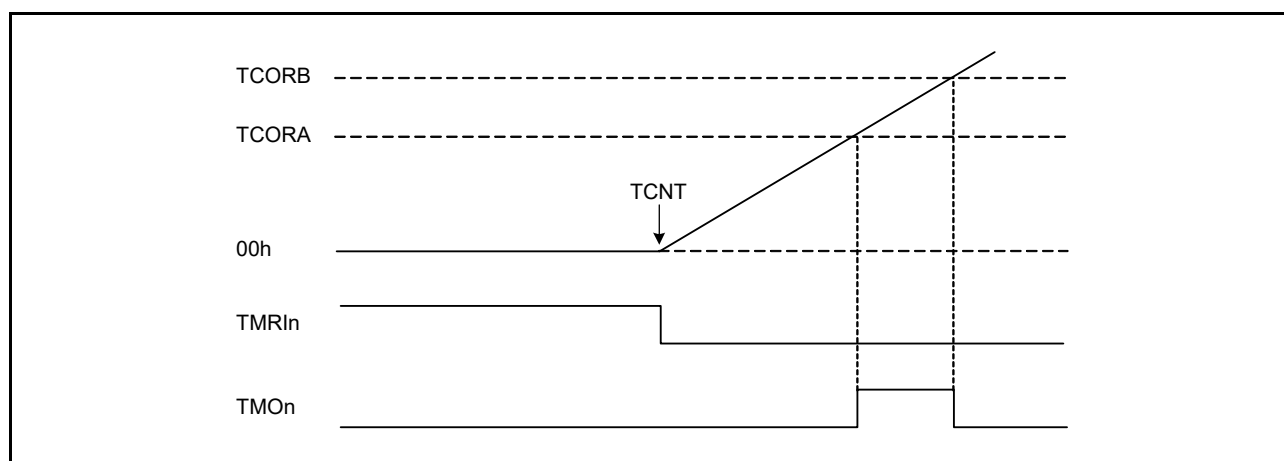


図 23.4 外部カウンタリセット信号入力例 (n = 0 ~ 3)

23.4 動作タイミング

23.4.1 TCNT カウンタのカウントタイミング

内部クロック動作の場合の TCNT カウンタのカウントタイミングを図 23.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウントタイミングを図 23.6 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

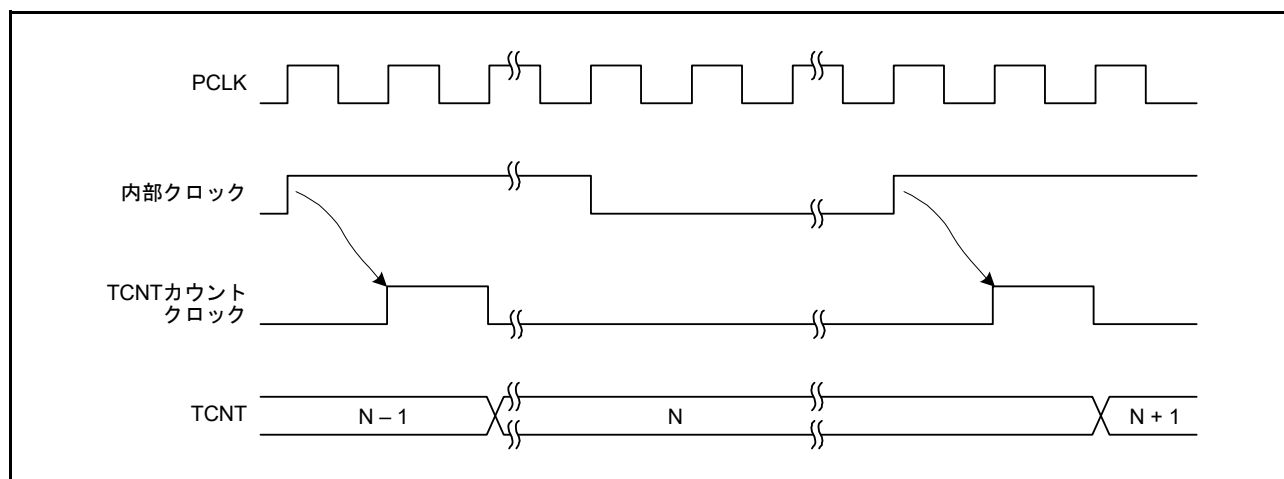


図 23.5 内部クロック動作時のカウントタイミング

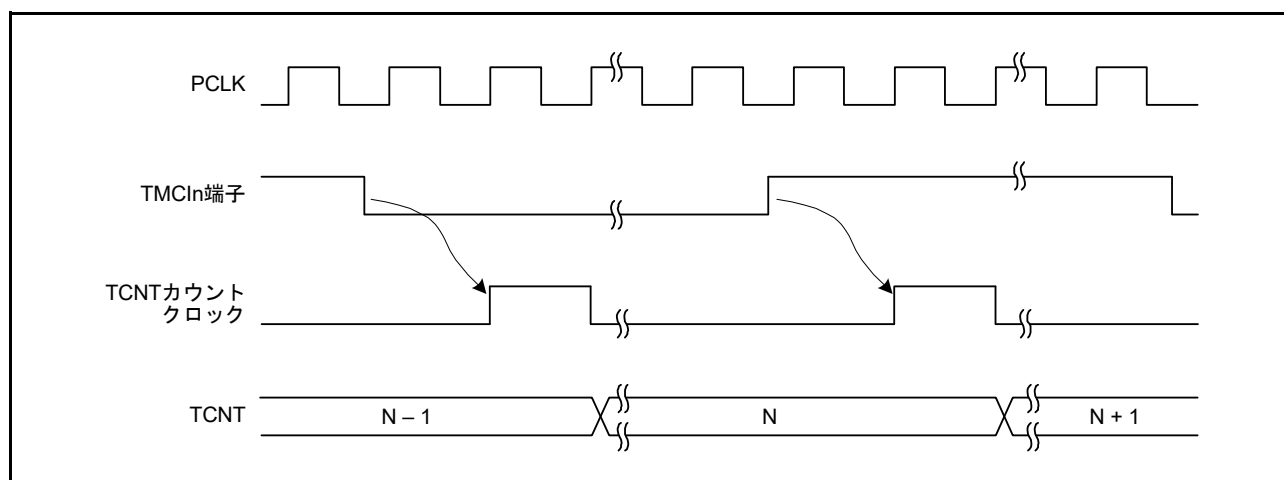


図 23.6 外部クロック動作時のカウントタイミング (両エッジの場合)

23.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 23.7 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 23.6 を参照してください。

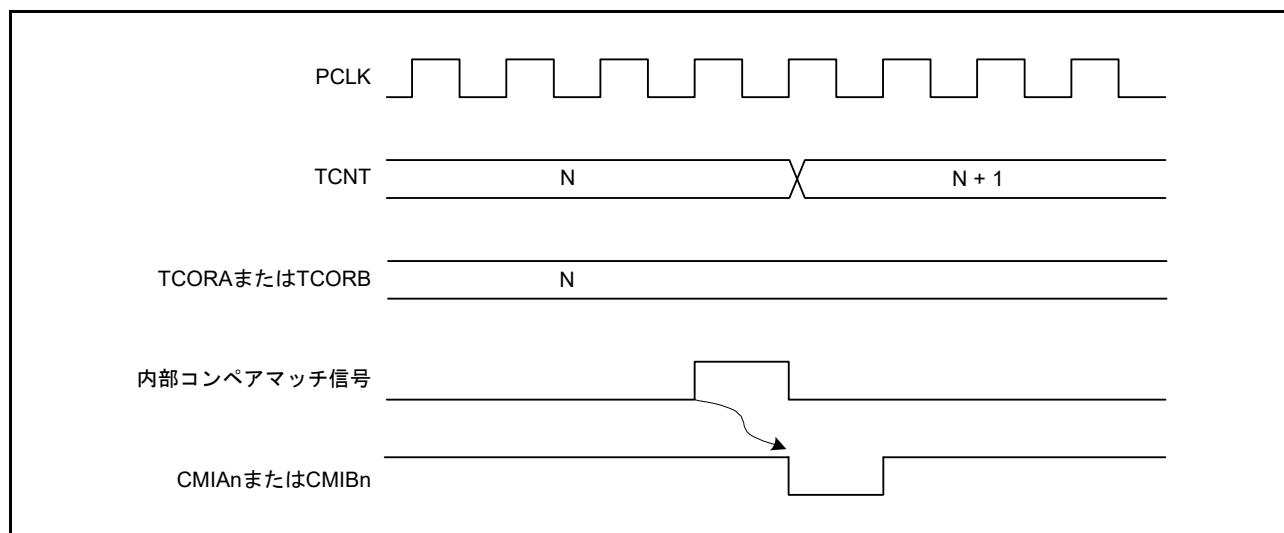


図 23.7 コンペアマッチ時の割り込みタイミング (n = 0 ~ 3)

23.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 23.8 に示します。

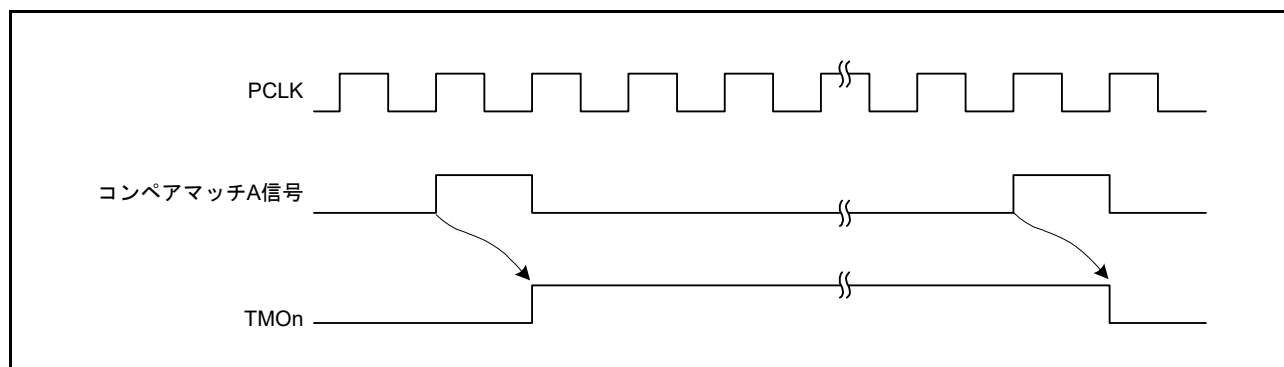


図 23.8 コンペアマッチ A 信号による出力信号タイミング (n = 0 ~ 3)

23.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 23.9 に示します。

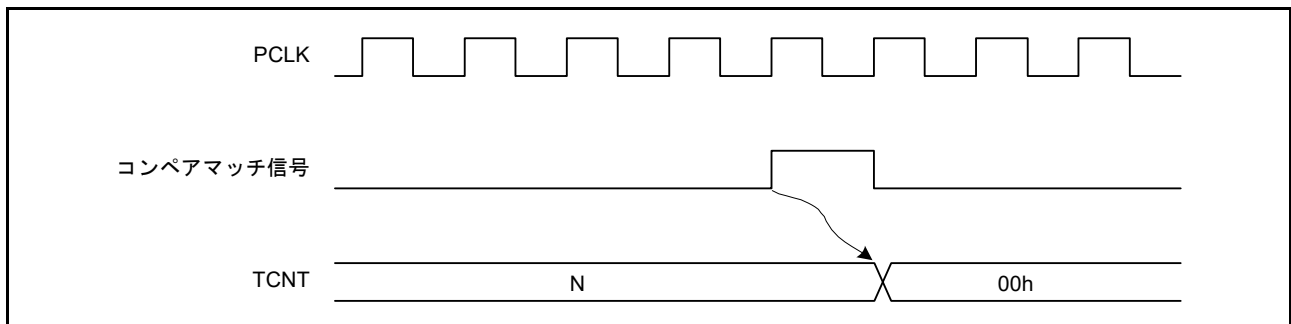


図 23.9 コンペアマッチによるカウンタクリアタイミング

23.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 23.10、図 23.11 に示します。

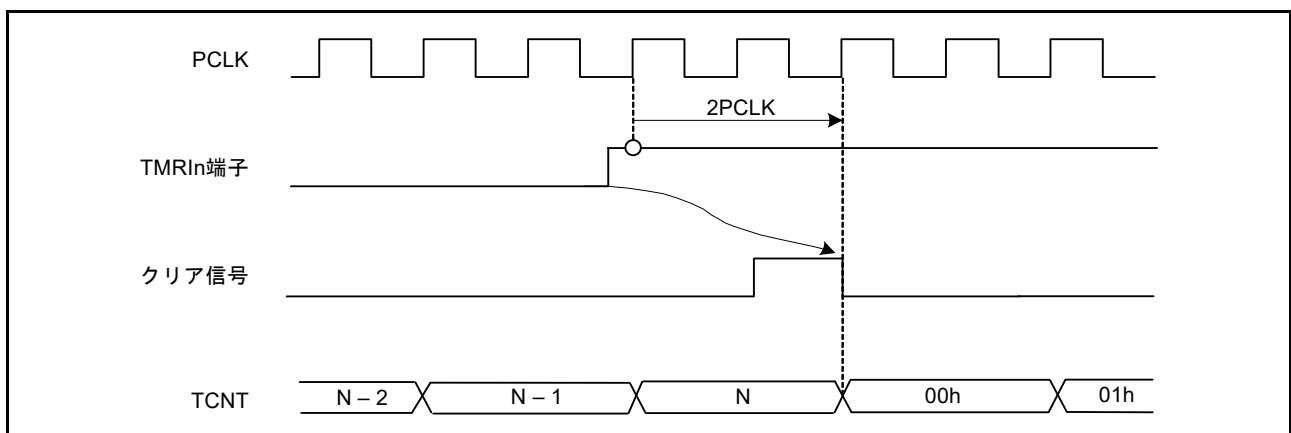


図 23.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

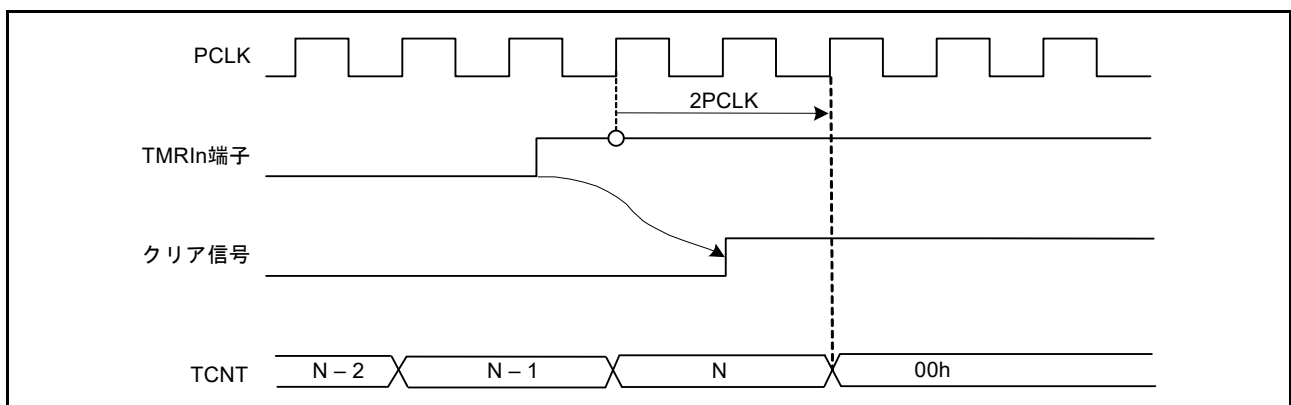


図 23.11 外部カウンタリセット信号によるクリアタイミング (High)

23.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh”→“00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 23.12 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 23.6 を参照してください。

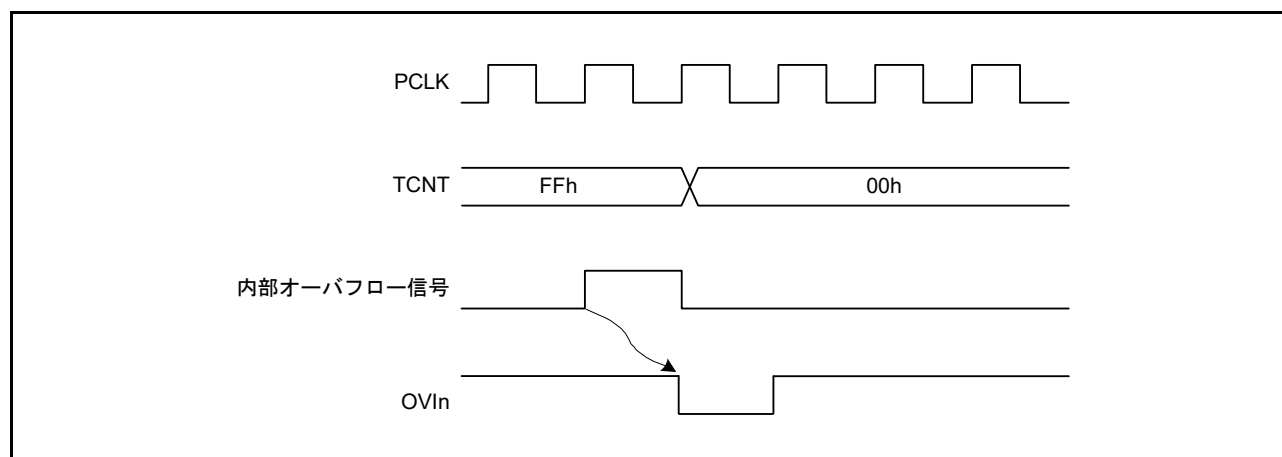


図 23.12 オーバフローによる割り込みタイミング (n = 0 ~ 3)

23.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルのTMRはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、またはTMR0のコンペアマッチをTMR1でカウントするコンペアマッチカウントモードにすることができます。

なお、この節ではユニット0について説明しています。ユニット1のカスケード接続時の動作についても、ユニット0と同様です。

23.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0を上位8ビット、TMR1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによるTMO0端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによるTMO1端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

23.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタはTMR0のコンペアマッチAの発生回数をカウントします。TMR0、TMR1の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n 端子 (n = 0, 1) の出力、カウンタクリアなどは各チャンネルの設定に従います。

23.6 割り込み要因

23.6.1 割り込み要因と DTC 起動

TMR_n の割り込み要因は、CMIA_n、CMIB_n、OVI_n の 3 種類があります。表 23.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 23.6 TMRの割り込み要因

名称	割り込み要因	DTCの起動	優先順位
CMIA0	TMR0.TCORAのコンペアマッチ	可能	高 ↑ 低
CMIB0	TMR0.TCORBのコンペアマッチ	可能	
OVI0	TMR0.TCNTのオーバフロー	不可能	
CMIA1	TMR1.TCORAのコンペアマッチ	可能	
CMIB1	TMR1.TCORBのコンペアマッチ	可能	
OVI1	TMR1.TCNTのオーバフロー	不可能	
CMIA2	TMR2.TCORAのコンペアマッチ	可能	
CMIB2	TMR2.TCORBのコンペアマッチ	可能	
OVI2	TMR2.TCNTのオーバフロー	不可能	
CMIA3	TMR3.TCORAのコンペアマッチ	可能	
CMIB3	TMR3.TCORBのコンペアマッチ	可能	
OVI3	TMR3.TCNTのオーバフロー	不可能	

23.6.2 A/D コンバータの起動

TMR0、TMR2 のコンペアマッチ A で、A/D コンバータを起動することができます。

TMR_n.TCSR.ADTE ビットが“1”(コンペアマッチ A による A/D 変換開始要求を許可)の状態で、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

表 23.7 A/Dコンバータの起動

A/D コンバータ	TMRユニット番号	対象	A/D変換開始要求
S12AD, S12AD1 (12ビットA/Dコンバータ)	0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1

23.7 使用上の注意事項

23.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止 / 許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

23.7.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f : カウンタ周波数、PCLK: 動作周波数、 N : TCORA、TCORB レジスタの設定値)。

$$f = \text{PCLK} / (N + 1)$$

23.7.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 23.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

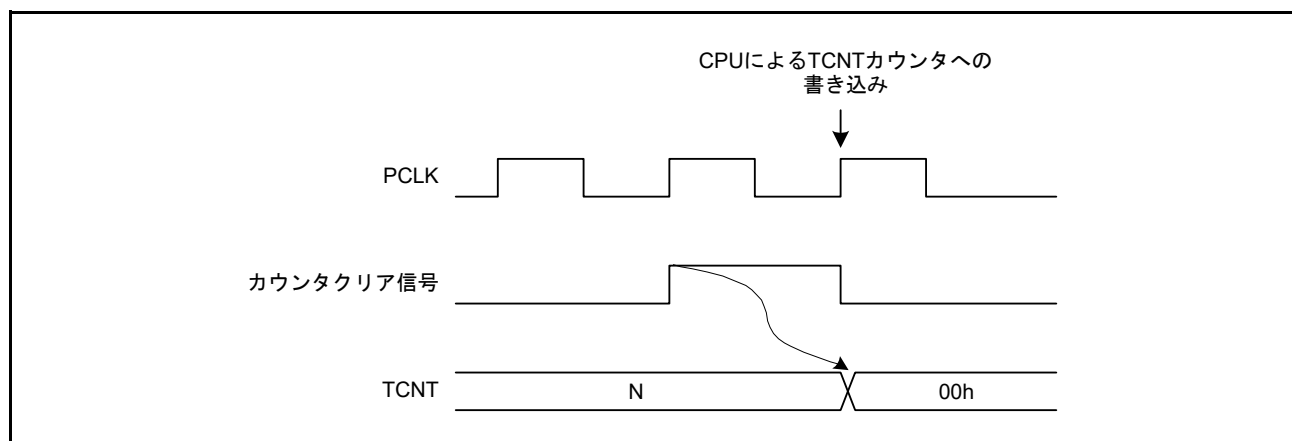


図 23.13 TCNT カウンタへの書き込みとカウンタクリアの競合

23.7.4 TCNT カウンタへの書き込みとカウントアップの競合

図 23.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

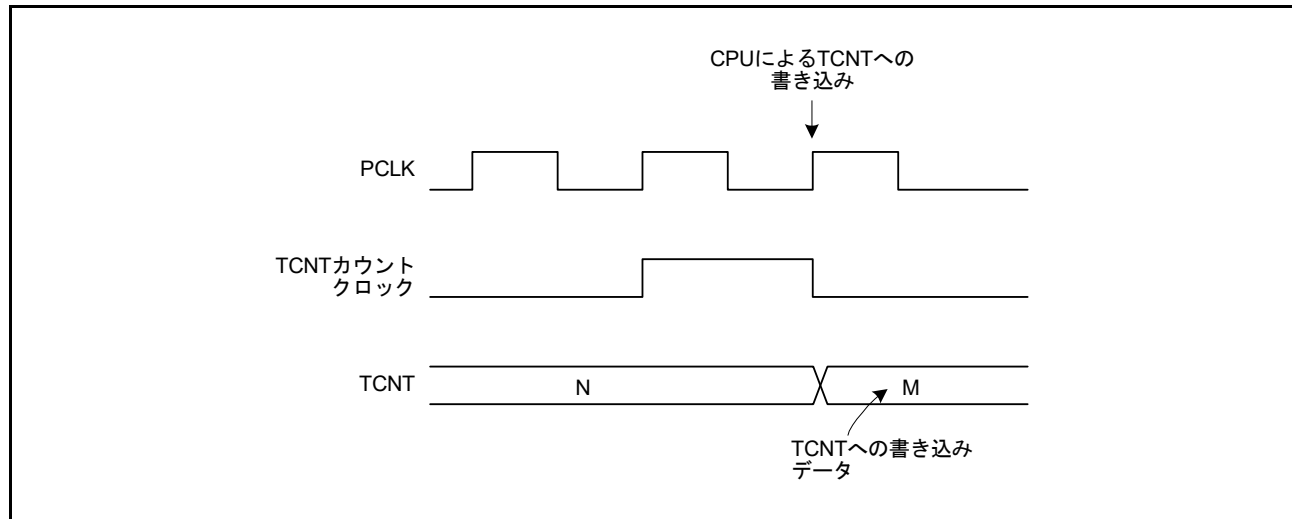


図 23.14 TCNT カウンタへの書き込みとカウントアップの競合

23.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 23.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

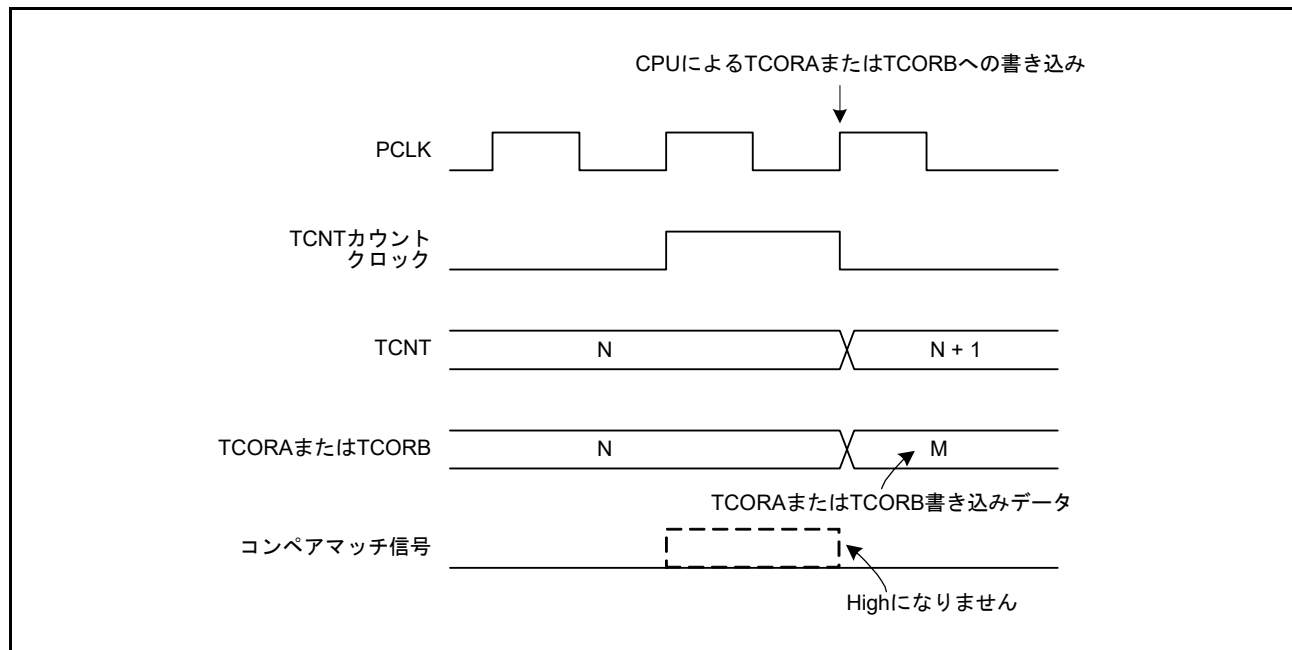


図 23.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

23.7.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 23.8 に示す出力設定の優先順位の高い方が出力されます。

表 23.8 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

23.7.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 23.9 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 23.9 の No.2 のように、Low→High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 23.9 内部クロックの切り替えと TCNT カウンタの動作 (1/2)

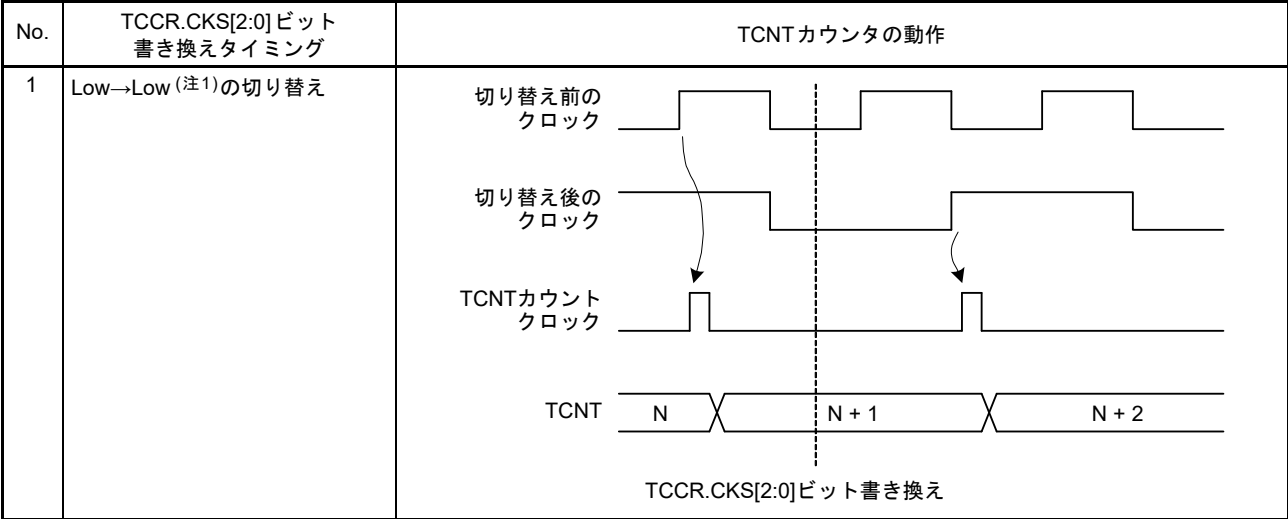


表23.9 内部クロックの切り替えとTCNTカウンタの動作 (2/2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2)の切り替え	切り替え前のクロック 切り替え後のクロック TCNTカウンタクロック TCNT N N+1 N+2 N+3 TCCR.CKS[2:0]ビット書き換え (注3)
3	High→Low (注4)の切り替え	切り替え前のクロック 切り替え後のクロック TCNTカウンタクロック TCNT N N+1 N+2 N+3 TCCR.CKS[2:0]ビット書き換え
4	High→Highの切り替え	切り替え前のクロック 切り替え後のクロック TCNTカウンタクロック TCNT N N+1 N+2 TCCR.CKS[2:0]ビット書き換え

注1. Low→停止、および停止→Lowの場合を含みます。

注2. 停止→Highの場合を含みます。

注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。

注4. High→停止の場合を含みます。

23.7.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

23.7.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 23.16 に示します。

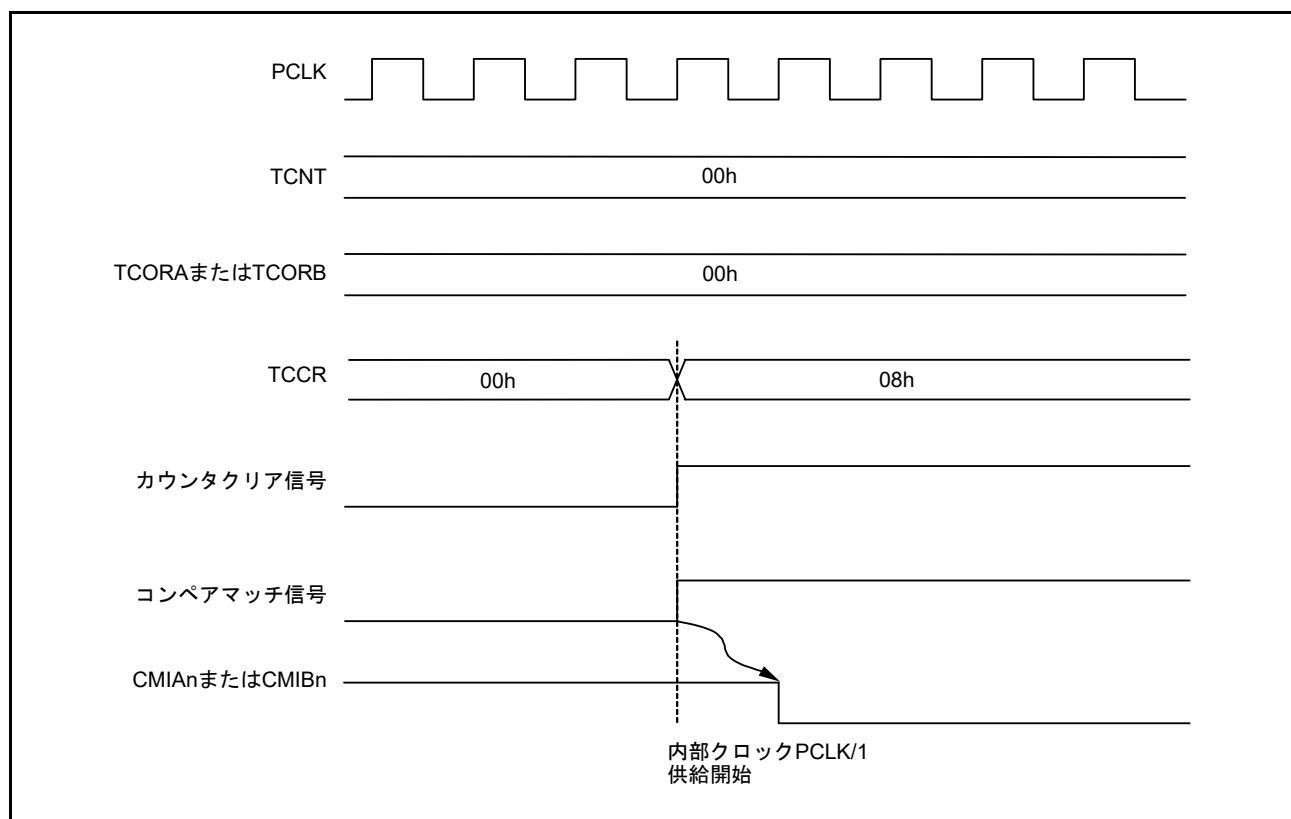


図 23.16 コンペアマッチ割り込みの連続出力 (n = 0 ~ 3)

24. コンペアマッチタイマ (CMT)

本 MCU は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 1 ユニット (ユニット 0)、合計 2 チャンネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

24.1 概要

表 24.1 に CMT の仕様を示します。

図 24.1 に CMT (ユニット 0) のブロック図を示します。2 チャンネルの CMT で 1 ユニートを構成しています。

表24.1 CMTの仕様

項目	機能
カウントクロック	• 4種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
消費電力低減機能	モジュールストップ状態への設定が可能

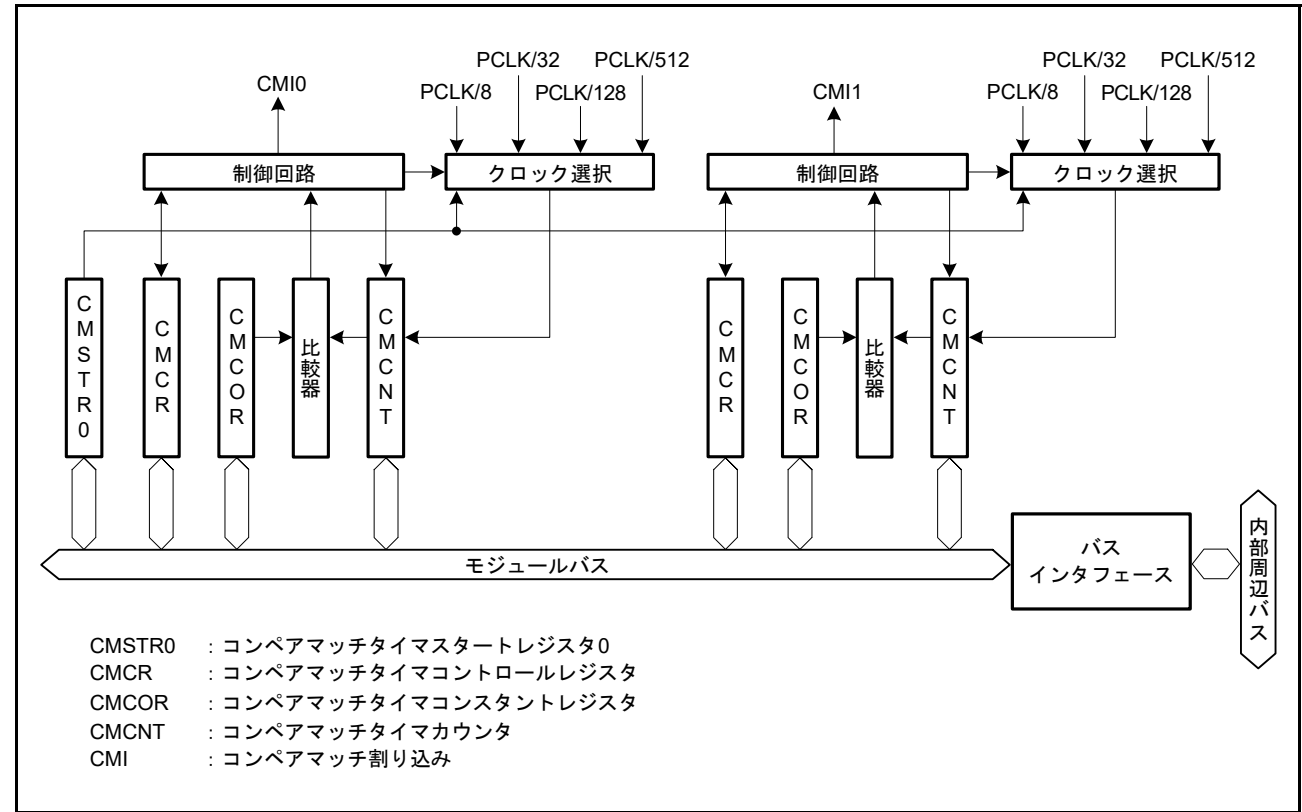


図 24.1 CMT (ユニット 0) のブロック図

24.2 レジスタの説明

24.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス CMT.CMSTR0 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

24.2.2 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h

b15

b14

b13

b12

b11

b10

b9

b8

b7

b6

b5

b4

b3

b2

b1

b0

—

—

—

—

—

—

—

—

—

CMIE

—

—

—

—

—

CKS[1:0]

リセット後の値 0 0 0 0 0 0 0 0 x 0 0 0 0 0 0 0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み(CMIn)を禁止 1 : コンペアマッチ割り込み(CMIn)を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

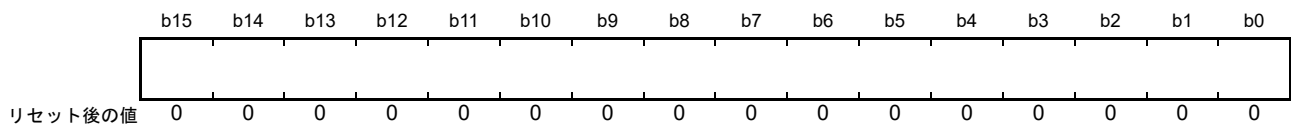
CMSTR0.STRn ビット (n = 0, 1) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n = 0, 1) の発生を許可するか禁止するかを選択します。

24.2.3 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah



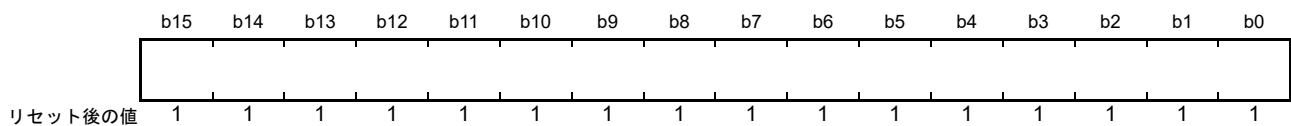
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTR0.STRn ビット (n = 0, 1) を “1” にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは “0000h” になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0, 1) が発生します。

24.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

24.3 動作説明

24.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTR0.STRn ビット ($n = 0, 1$) を“1”にすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、コンペアマッチ割り込み (CMIn) ($n = 0, 1$) が発生します。CMCNT カウンタは“0000h”からカウントアップを再開します。CMCNT カウンタの動作を図 24.2 に示します。

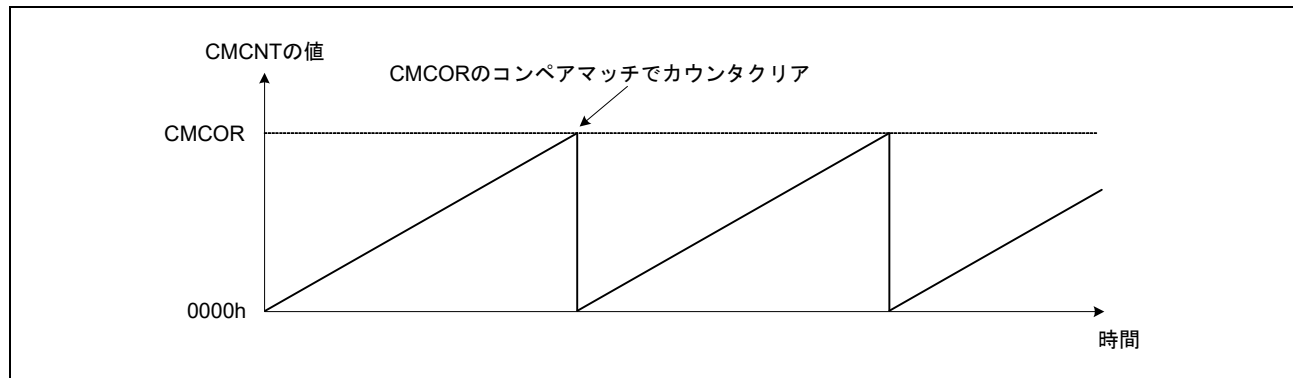


図 24.2 CMCNT カウンタの動作

24.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した 4 種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) から CMCNT カウンタに入力するカウントクロックを選択できます。このときの CMCNT カウンタのカウントタイミングを図 24.3 に示します。

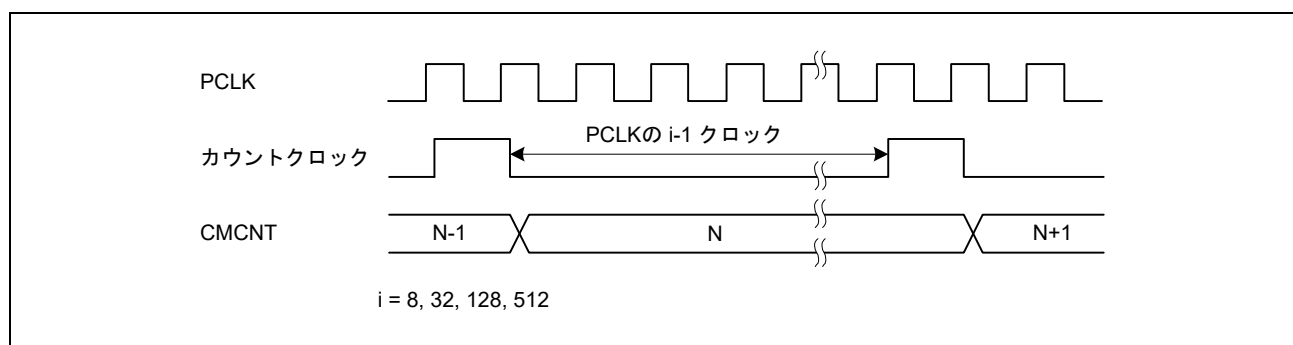


図 24.3 CMCNT カウンタのカウントタイミング

24.4 割り込み

24.4.1 割り込み要因

CMT は、チャンネルごとにコンペアマッチ割り込み (CMI_n) (n = 0, 1) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUb)」を参照してください。

表 24.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動
CMI0	CMT0のコンペアマッチ	可能
CMI1	CMT1のコンペアマッチ	可能

24.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) (n = 0, 1) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 24.4 に示します。

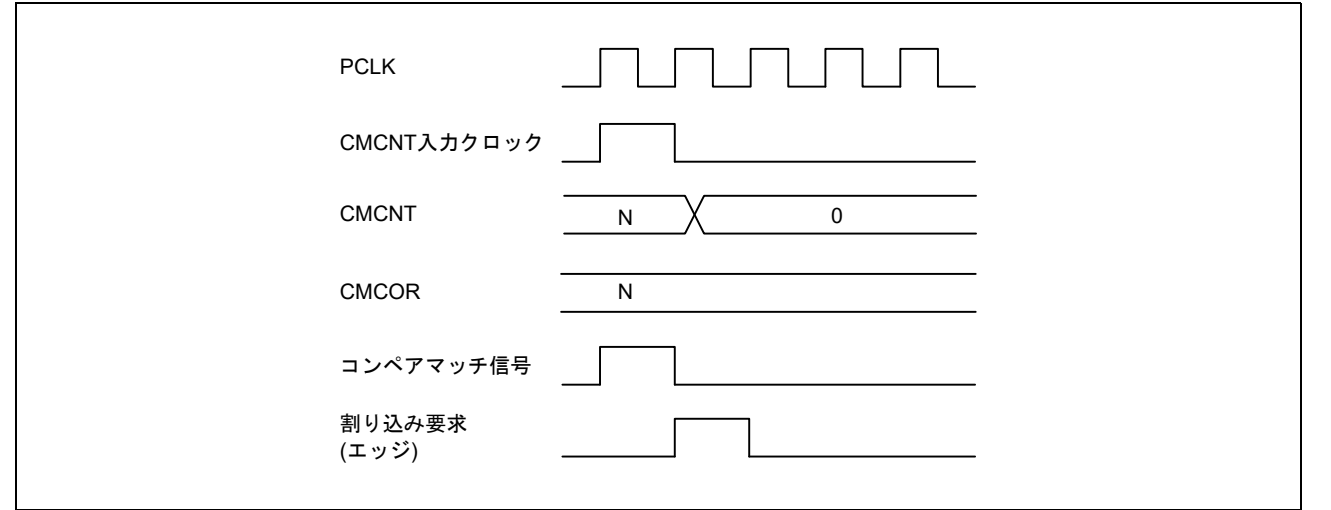


図 24.4 コンペアマッチ割り込みタイミング

24.5 使用上の注意事項

24.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMT の動作を禁止 / 許可することが可能です。リセット後、CMT はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

24.5.2 CMCNT カウンタへの書き込みとコンペアマッチの競合

CMCNT カウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 24.5 に示します。

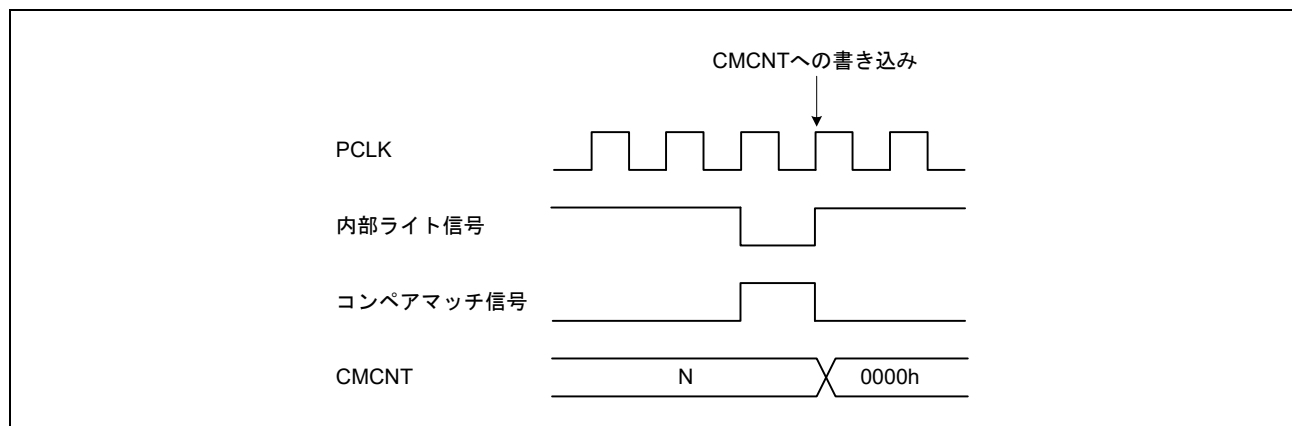


図 24.5 CMCNT カウンタへの書き込みとコンペアマッチの競合

24.5.3 CMCNT カウンタへの書き込みとカウントアップの競合

CMCNT カウンタへの書き込みと、カウントアップが競合した場合、CMCNT カウンタへの書き込みが優先されます。このタイミングを図 24.6 に示します。

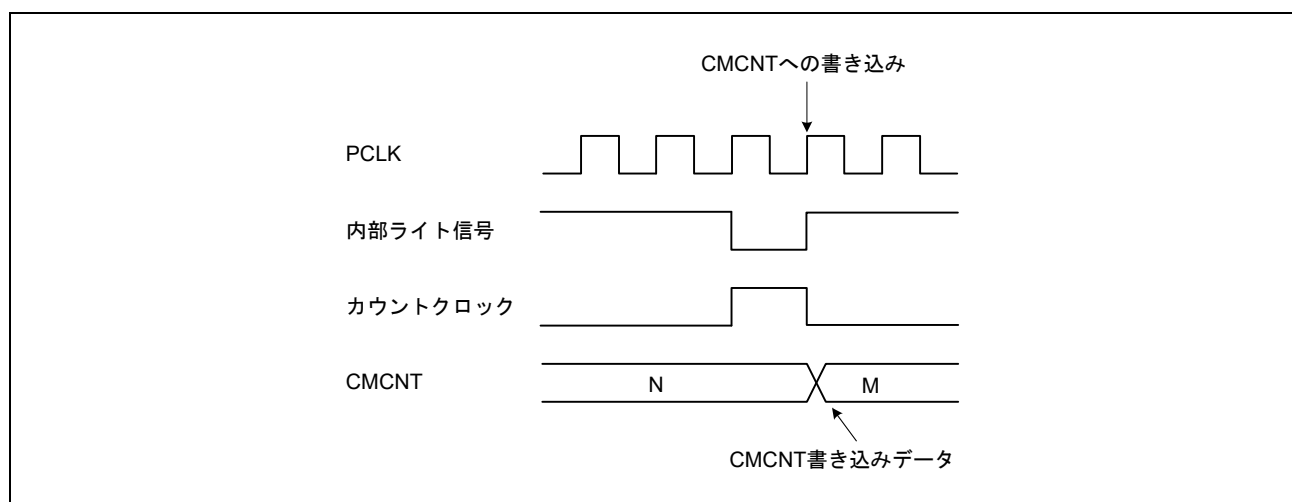


図 24.6 CMCNT カウンタへの書き込みとカウントアップの競合

25. 独立ウォッチドッグタイマ (IWDtA)

独立ウォッチドッグタイマ (IWDt) は、プログラムの暴走を検知するために使用できます。IWDt のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースはIWDt 専用クロック (IWDtCLK) を分周したもの (周辺モジュールクロックの影響を受けない)
- 低消費電力状態で、カウンタを停止させない選択が可能 (IWDtCSTPR.SLCSTP ビットまたは、OFS0.IWDtSLCSTP ビットで選択)

25.1 概要

表 25.1 に IWDt の仕様を示します。

表 25.1 IWDt の仕様

項目	内容
カウントソース(注1)	IWDt専用クロック (IWDtCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのカウンタによるダウンカウント
カウント開始条件	• オートスタートモード：リセット解除後、自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作(IWDtRRレジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	• リセット • 低消費電力状態 (レジスタ設定による(注2)) • アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
ノンマスクابل割り込み要因	• カウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
カウンタ値の読み出し	IWDtSRレジスタを読み出すことで、カウンタのカウント値の読み出しが可能
オートスタートモード (オプション機能選択レジスタ0 (OFS0)制御)	• リセット後のクロック分周比の選択 (OFS0.IWDtCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDtTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDtRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDtRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDtRSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (OFS0.IWDtSLCSTP ビット)
レジスタスタートモード (IWDt レジスタ制御)	• リフレッシュ動作後のクロック分周比の選択 (IWDtCR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDtCR.TOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDtCR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDtCR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDtCR.RSTIRQS ビット) • 低消費電力状態でのカウンタ動作/停止の選択 (IWDtCSTPR.SLCSTP ビット)

注1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

注2. オートスタートモード時、OFS0.IWDtSLCSTP ビットが“1”の場合、レジスタスタートモード時、IWDtCSTPR.SLCSTP ビットが“1”の場合。

図 25.1 に IWDT のブロック図を示します。

IWDT では、バスインタフェース部とレジスタ部は周辺モジュールクロック (PCLKB) で動作し、14 ビットダウンカウンタと制御回路は IWDTCLK で動作します。

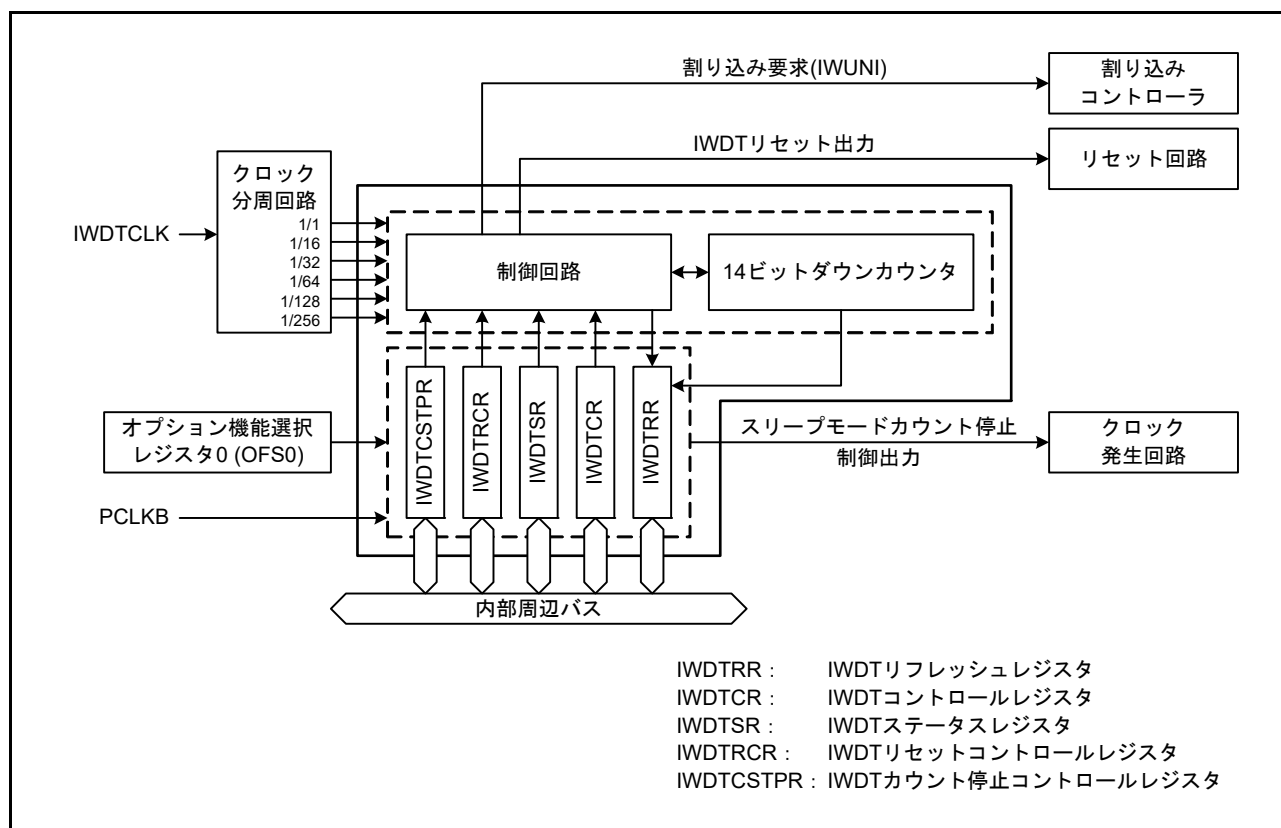
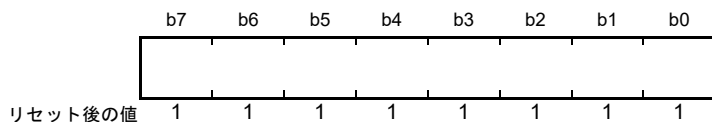


図 25.1 IWDT のブロック図

25.2 レジスタの説明

25.2.1 IWDt リフレッシュレジスタ (IWDtRR)

アドレス IWDt.IWDtRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDtRR レジスタは、IWDt のカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間中に、IWDtRR レジスタに“00h”を書き込み後、“FFh”を書き込む (リフレッシュ動作) により IWDt のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDtTOPS[1:0] ビットで設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDtCR.TOPPS[1:0] ビットで設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDtCR.TOPPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「25.3.2 リフレッシュ動作」を参照してください。

25.2.2 IWDt コントロールレジスタ (IWDTCR)

アドレス IWDt.IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	RPSS[1:0]	—	—	RPES[1:0]	—	—	CKS[3:0]	—	—	TOPS[1:0]	—	—	—	—
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128サイクル(007Fh) 0 1 : 512サイクル(01FFh) 1 0 : 1024サイクル(03FFh) 1 1 : 2048サイクル(07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウト時間、リフレッシュ許可期間を設定するレジスタです。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「25.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 25.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 25.2 タイムアウト期間設定表

CKS[3:0] ビット				TOPS[1:0] ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0] ビット (クロック分周比選択ビット)

IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。

TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 128 ～ 524288 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウンタ値は、TOPS[1:0] ビットの設定により変わります。

表 25.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウンタ値を示します。

表25.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 25.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

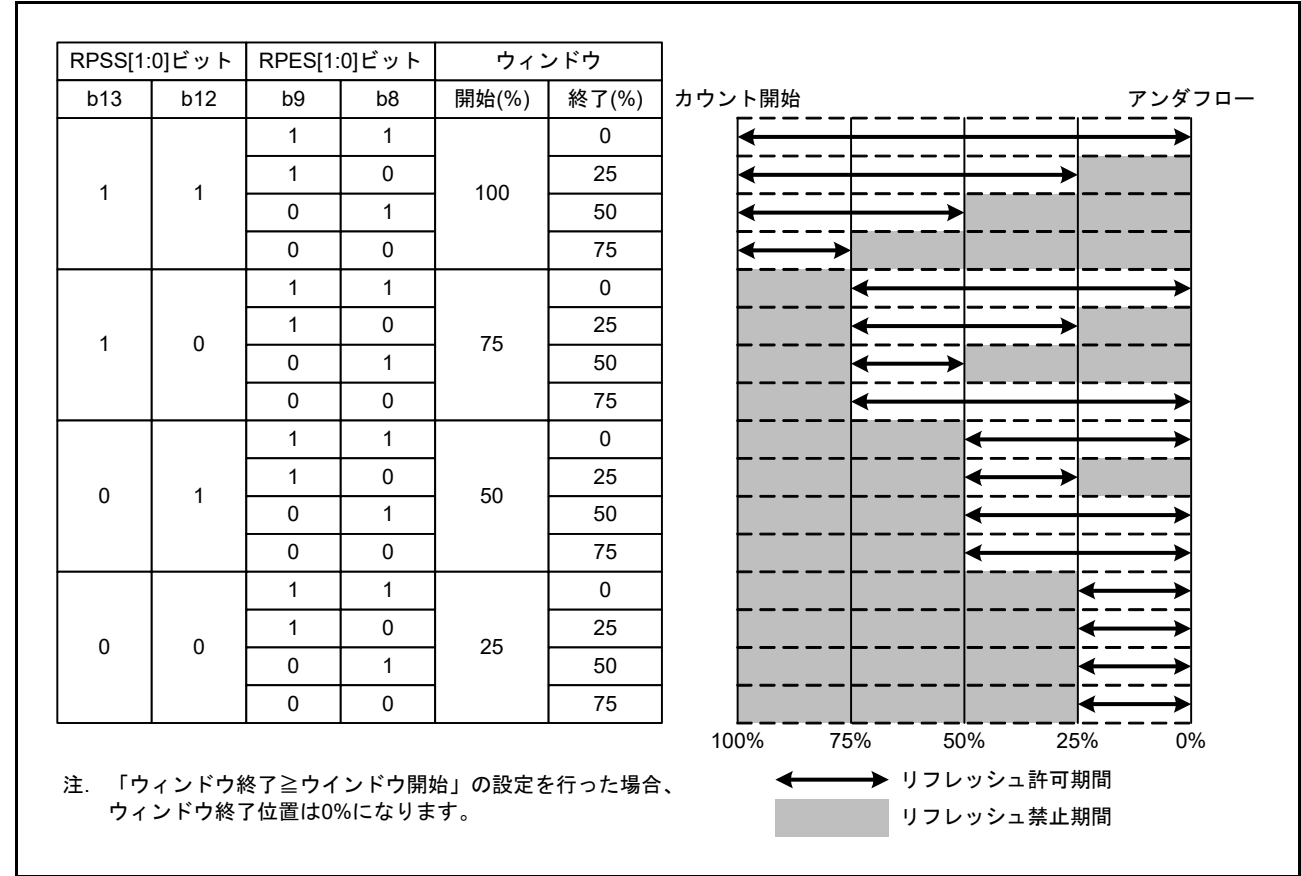
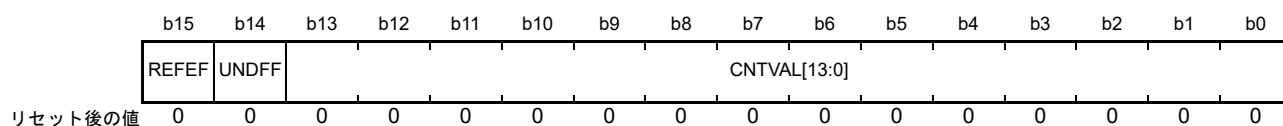


図 25.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

25.2.3 IWDt ステータスレジスタ (IWDTSR)

アドレス IWDt.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDF	アンダフローフラグ	0 : アンダフローなし 1 : アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0 : リフレッシュエラーなし 1 : リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDF フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

25.2.4 IWDt リセットコントロールレジスタ (IWDtRCR)

アドレス IWDt.IWDtRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0：ノンマスクブル割り込み要求を出力 1：リセット信号を出力	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

レジスタスタートモード使用時に、タイムアウトまたはリフレッシュエラー発生時の動作を設定するレジスタです。

オートスタートモードの場合は、IWDtRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDtRCR レジスタの各ビットと同様の設定が可能です。詳細については、「25.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

25.2.5 IWDt カウント停止コントロールレジスタ (IWDTCSTPR)

アドレス IWDt.IWDTCSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0：低消費電力状態でもカウンタが動作(注1) 1：低消費電力状態でカウンタが停止	R/W

注. 本レジスタはリセット後1回だけ書けます。また、カウンタが動作を開始した後は書けません。

注1. スリープモード、ディープスリープモード、またはソフトウェアスタンバイモードでカウンタがカウントを継続します。

レジスタスタートモード使用時に、低消費電力状態でカウンタを動作させるかどうかを設定するレジスタです。

オートスタートモードの場合は、IWDTCSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。OFS0 レジスタの設定は、IWDTCSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「25.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

低消費電力状態でのカウンタの動作 / 停止を選択します。

25.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「25.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDt レジスタの対応」を参照してください。

25.3 動作説明

25.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットで行います。

OFS0.IWDTSTRT ビットが“1”(レジスタスタートモード)の場合、IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタの設定が有効となり、IWDTRR レジスタへのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0”(オートスタートモード)の場合、OFS0 レジスタが有効となり、リセット後、自動的にカウントが開始されます。

25.3.1.1 レジスタスタートモード

OFS0.IWDTSTRT ビットが“1”の場合、レジスタスタートモードとなり、IWDTCR レジスタ、IWDTRCR レジスタ、および IWDTCSTPR レジスタが有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態におけるカウンタ動作/停止の設定を行います。その後、リフレッシュ動作でカウンタに IWDTCR.TOPS[1:0] ビットで選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。IWDTRCR.RSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 25.3 に以下の条件での動作例を示します。

- レジスタスタートモード (OFS0.IWDTSTRT = 1)
- リセット出力許可 (IWDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (IWDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (IWDTCR.RPES[1:0] = 10b)

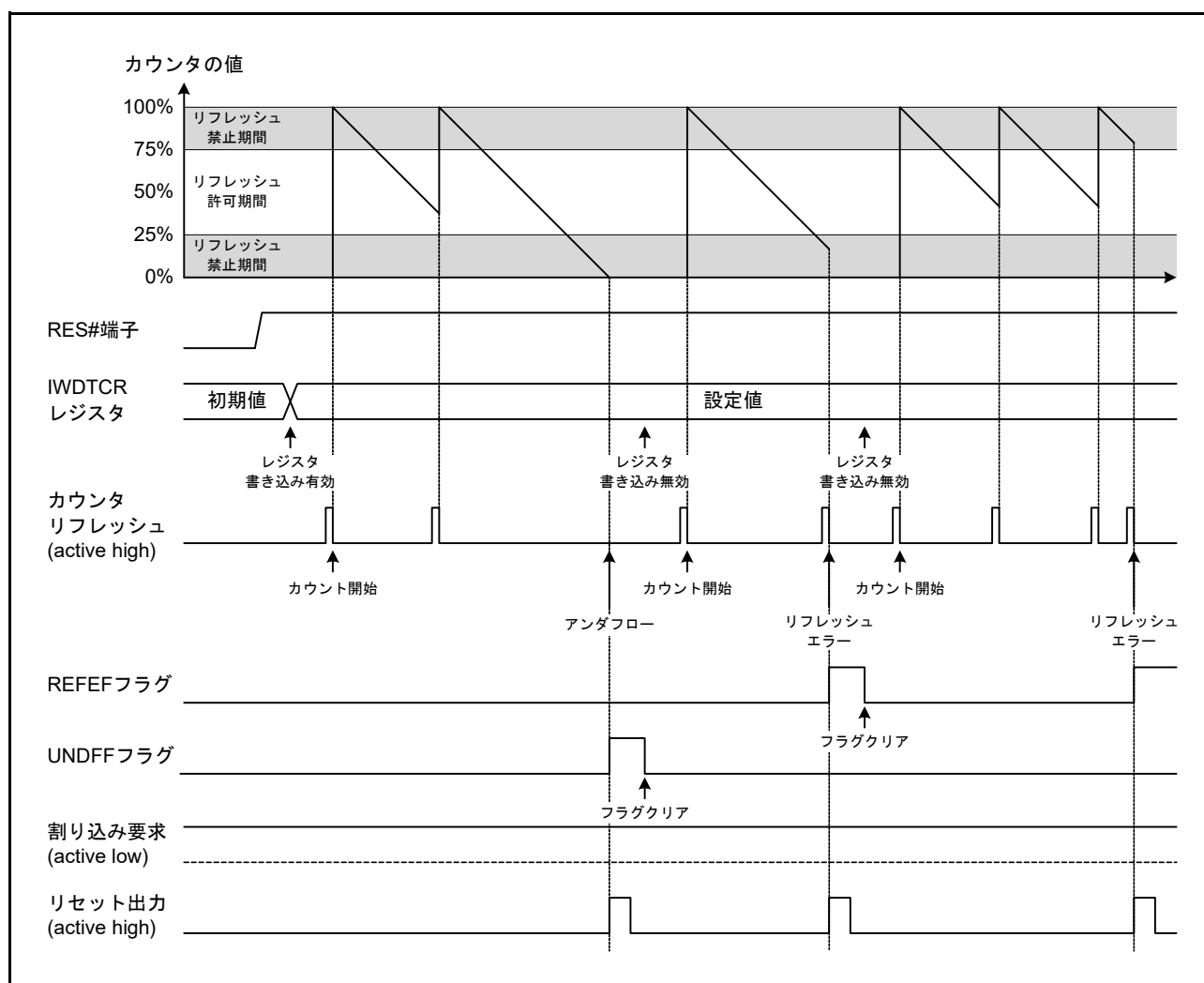


図 25.3 レジスタスタートモード動作例

25.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDTSTRT ビットが“0”の場合、オートスタートモードとなり、IWDTCR レジスタ、IWDTCCR レジスタ、および IWDTCSPTPR レジスタが無効となります。

また、リセット期間中に OFS0 レジスタの値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態におけるカウンタ動作/停止の設定が行われます。その後、リセット解除でカウンタに OFS0.IWDTTOS[1:0] ビットで設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセット信号、もしくは割り込み要求 (IWUNI) を出力します。リセット信号または割り込み要求を出力後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。OFS0.IWDTIRSTIRQS ビットで、リセット信号出力、または割り込み要求出力のいずれかを選択します。

図 25.4 に以下の条件での動作例を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- 割り込み要求出力許可 (OFS0.IWDTIRSTIRQS = 0)
- ウィンドウ開始位置 75% (OFS0.IWDTWPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTWPES[1:0] = 10b)

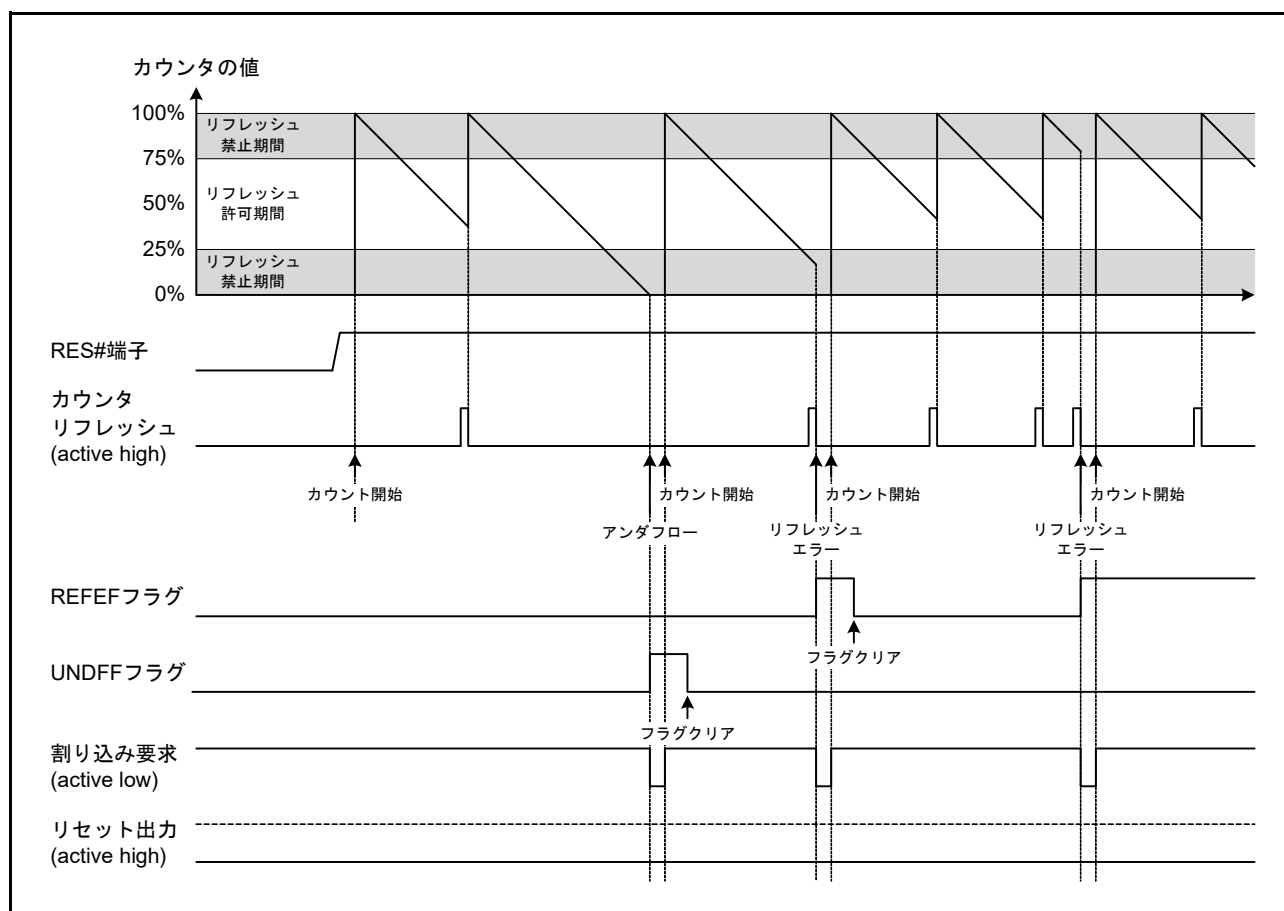


図 25.4 オートスタートモード動作例

25.3.2 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始(リフレッシュによるカウント開始)を行うには、IWDTRR レジスタへの“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h”(1回目)→“00h”(2回目)の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h”→“FFh”順の書き込み動作が成立するため、“00h”(n-1回目)→“00h”(n回目)→“FFh”のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h”→“FFh”順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、またはIWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h”→“FFh”
- “00h”(n-1回目)→“00h”(n回目)→“FFh”
- “00h”→別レジスタアクセスまたはIWDTRR レジスタの読み出し→“FFh”

【リフレッシュ無効書き込み例】

- “23h”(“00h”以外)→“FFh”
- “00h”→“54h”(“FFh”以外)
- “00h”→“AAh”(“00h”および“FFh”以外)→“FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります(1サイクル間のIWDTCCLKの数は、IWDTCR.CKS[3:0]ビットの設定値により異なります)。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値はIWDTSR.CNTVAL[13:0]ビットで確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を“01FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“01FFh”より前(たとえば“0202h”)であっても、IWDTSR.CNTVAL[13:0]ビットの値が“01FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置を“01FFh”とした場合、IWDTRR レジスタへ“00h”→“FFh”を書き込んだ直後にIWDTSR.CNTVAL[13:0]ビットの値を読み出して“0203h”(“01FFh”の4カウント前)以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前までリフレッシュが可能となりますが、この場合IWDTRR レジスタへ“00h”→“FFh”を書き込んだ直後にIWDTSR.CNTVAL[13:0]ビットの値を読み出して“0003h”(アンダフローの4カウント前)以上であればアンダフローは発生せず、リフレッシュを行います。

図 25.5 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT リフレッシュ動作波形を示します。

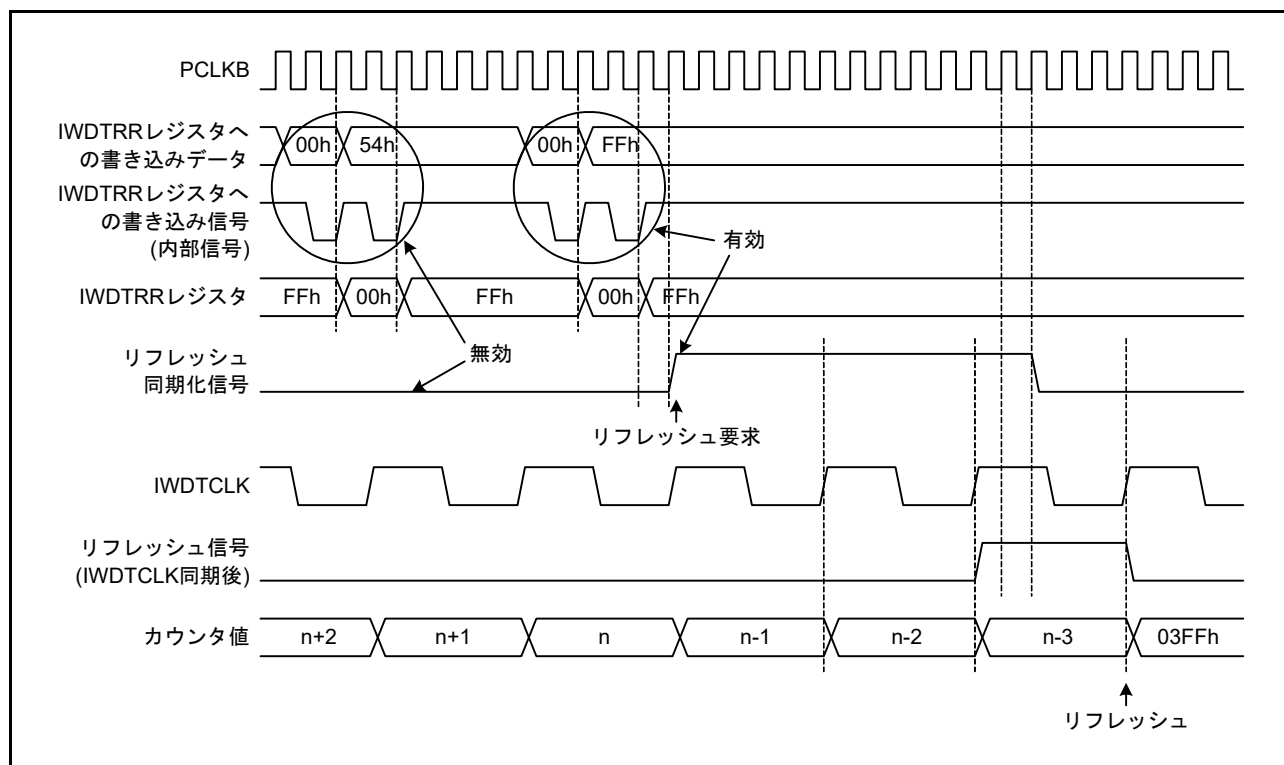


図 25.5 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 10b)

25.3.3 ステータスフラグ

IWDTSR.REFEEF フラグ、IWDTSR.UNDFF フラグは、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEEF フラグ、または IWDTSR.UNDFF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLKB 2 クロック必要です。

25.3.4 リセット出力

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDTRSTIRQS ビットを“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (“0000h”) で停止します。リセット解除後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

25.3.5 割り込み要因

レジスタスタートモード時、IWDTRCR.RSTIRQS ビットを“0”にした場合、またはオートスタートモード時、OFS0.IWDTRSTIRQS ビットを“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生すると、割り込み (IWUNI) が発生します。本割り込みはノンマスカブル割り込みです。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表 25.4 IWDT の割り込み要因

名称	割り込み要因	DTC の起動
IWUNI	カウンタのアンダフロー リフレッシュエラー	不可能

25.3.6 カウンタ値の読み出し

IWDT のカウンタは IWDTCLK で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を PCLKB で同期化し、IWDTSR.CNTVAL[13:0] ビットに格納します。

IWDTSR.CNTVAL[13:0] ビットに格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLKB で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 25.6 に PCLKB > IWDTCLK、カウントクロックが IWDTCLK/1 の場合の IWDT カウンタ値の読み出し処理を示します。

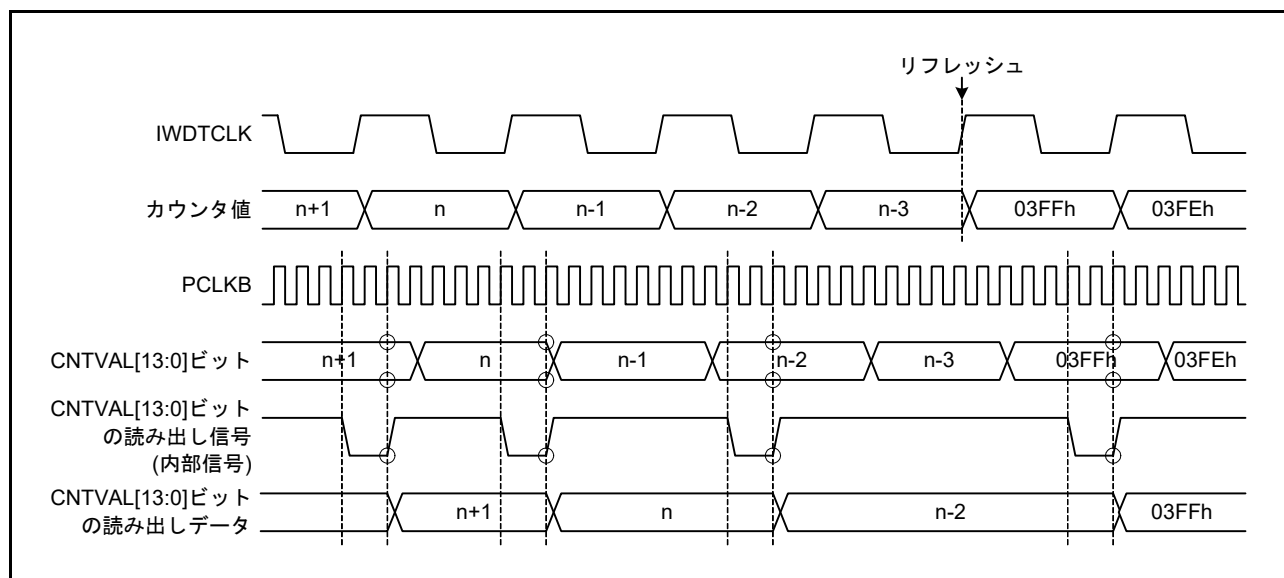


図 25.6 IWDT カウンタ値の読み出し処理 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 10b)

25.3.7 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 25.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタについては、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表 25.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSTPR.SLCSTP

25.4 使用上の注意事項

25.4.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLKB と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

25.4.2 クロック分周比の設定

PCLKB の周波数 $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

26. シリアルコミュニケーションインタフェース (SCIg, SCIH)

本 MCU は、独立した 4 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communications Interface) を備えています。SCI は、SCIg モジュール (SCI1, SCI5, SCI6) と、SCIH モジュール (SCI12) から構成されています。

SCIg (SCI1, SCI5, SCI6) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

SCIH (SCI12) は、上記の機能に加えて、Start Frame、Information Frame から構成される拡張シリアル通信プロトコルに対応しています。

本章に記載している PCLK とは PCLKB を指します。

26.1 概要

表 26.1 に SCIg の仕様を、表 26.2 に SCIH の仕様を、表 26.3 に SCI チャンネル別機能一覧を示します。

図 26.1 に SCI1 のブロック図を、図 26.2 に SCI5、SCI6 のブロック図を、図 26.3 に SCI12 (SCIH) のブロック図を示します。

表 26.1 SCIg の仕様 (1/2)

項目		内容
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 26.4～表 26.6 参照
データ転送		LSB ファースト/MSB ファースト選択可能 (注1)
割り込み要因		送信終了、送信データエンpty、受信データフル、受信エラー 開始条件/再開条件/停止条件生成終了 (簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXD _n 端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5, SCI6)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
ノイズ除去		RXD _n 端子入力経路にデジタルノイズフィルタを内蔵

表 26.1 SCIgの仕様 (2/2)

項目		内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「26.2.11 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 26.2 SCIHの仕様 (1/2)

項目		内容
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易I²Cバス - 簡易SPIバス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表26.4～表26.7参照
データ転送		LSBファースト/MSBファースト選択可能(注1)
割り込み要因		送信終了、送信データエンpty、受信データフル、受信エラー 開始条件/再開条件/停止条件生成終了(簡易I ² Cモード用)
消費電力低減機能		モジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Lowまたは立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn端子のレベルを直接読み出すことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMRからの転送レートクロック入力が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵

表 26.2 SCIlhの仕様 (2/2)

項目		内容
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応(転送速度は「26.2.11 ビットレートレジスタ(BRR)」を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
拡張シリアルモード	Start Frame 送信	- Break Field Low widthの出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり
	Start Frame 受信	- Break Field Low widthの検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり - Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 - Control Field 1にプライオリティインタラプトビットを設定可能 - Break FieldがないStart Frameにも対応可能 - Control Field 0がないStart Frameにも対応可能 - ビットレート測定機能あり
	入出力制御機能	- TXDX12/RXDX12信号の極性選択が可能 - RXDX12信号にデジタルフィルタ機能を設定可能 - RXDX12端子とTXDX12端子を兼用した半二重通信が可能 - RXDX12端子受信データサンプリングタイミング選択可能
	タイマ機能	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注 1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 26.3 SCIチャネル別機能一覧

項目	SCI1	SCI5	SCI6	SCI12
調歩同期式モード	○	○	○	○
クロック同期式モード	○	○	○	○
スマートカードインタフェースモード	○	○	○	○
簡易I ² Cモード	○	○	○	○
簡易SPIモード	○	○	○	○
拡張シリアルモード	—	—	—	○
TMRクロック入力	—	○	○	○

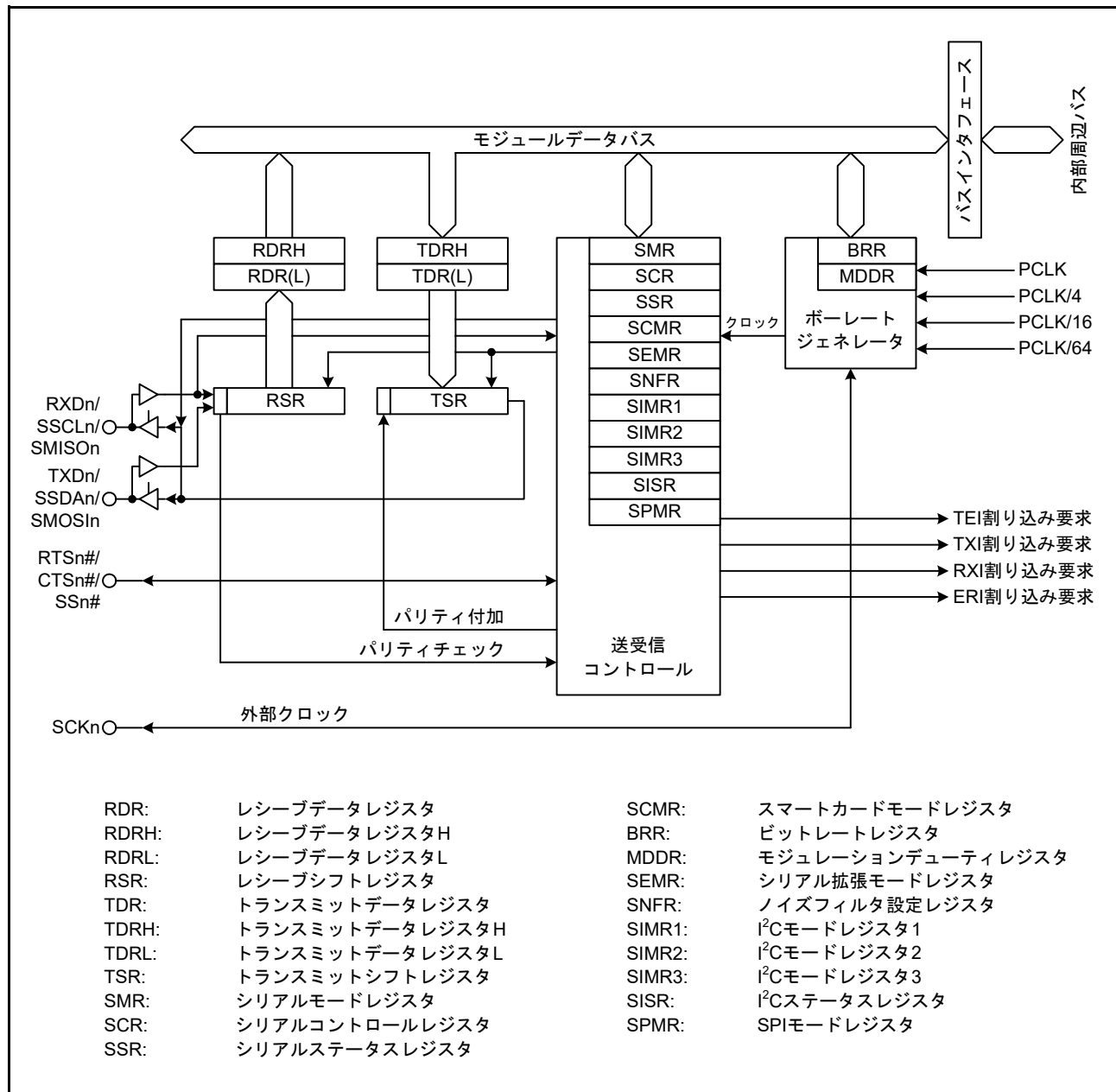


図 26.1 SCIg (SCI1) のブロック図

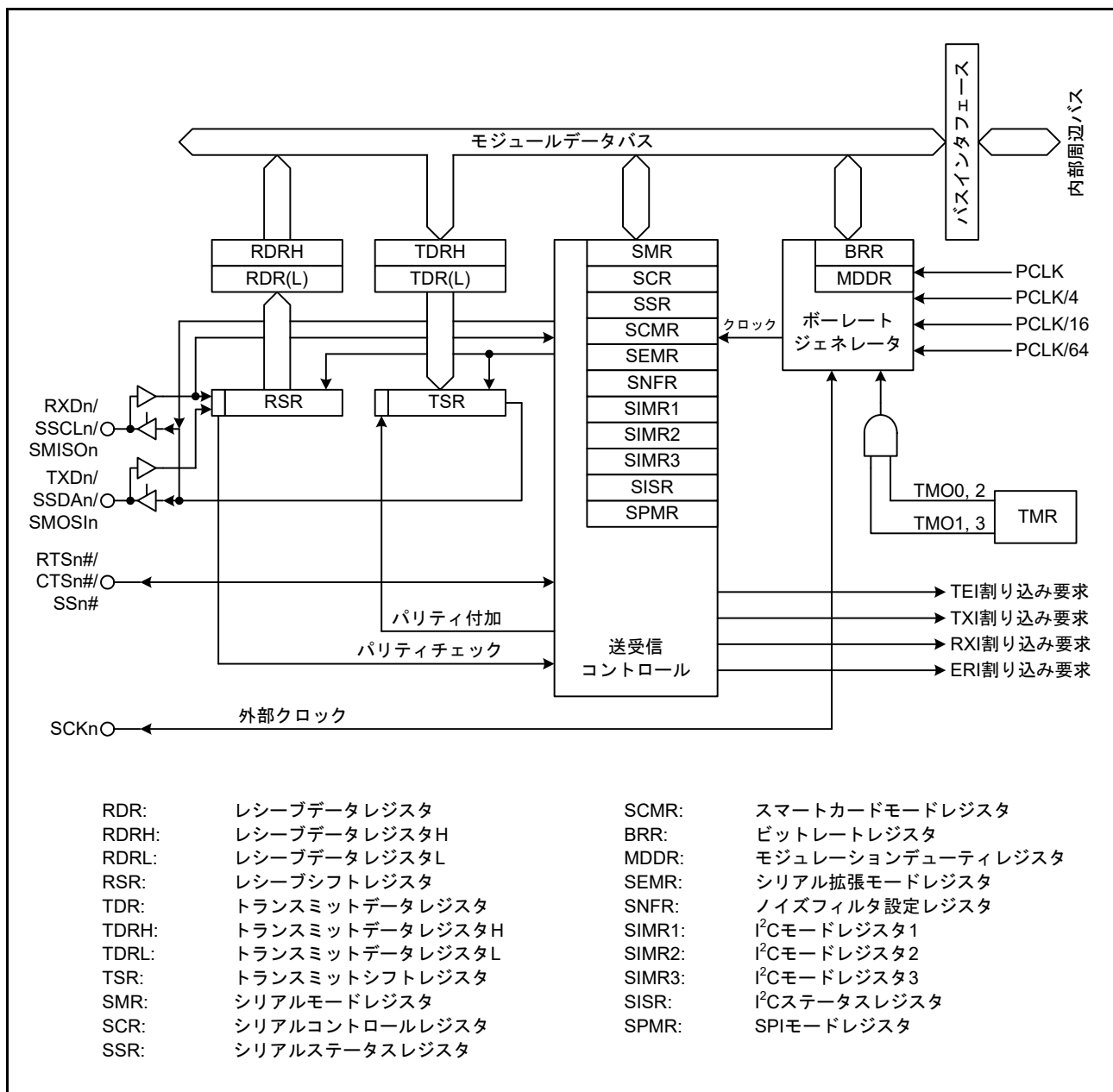


図 26.2 SCIg (SCI5, SCI6) のブロック図

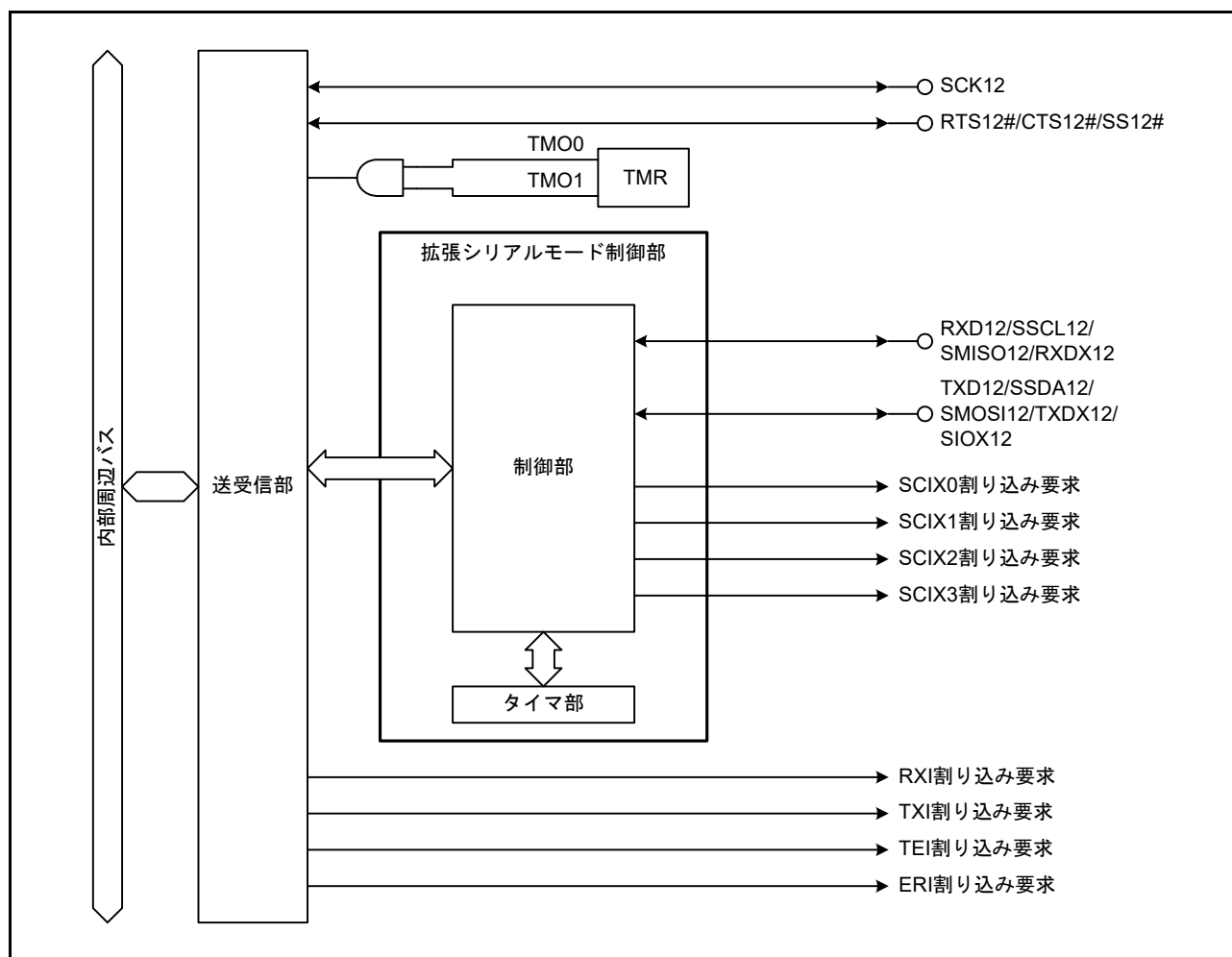


図 26.3 SCIf (SCI12) のブロック図

表 26.4 ～表 26.7 に SCI の入出力端子をモード別に示します。

表 26.4 SCIの入出力端子(調歩同期式/クロック同期式モード)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6	入力	SCI6の受信データ入力端子
	TXD6	出力	SCI6の送信データ出力端子
	CTS6#/RTS6#	入出力	SCI6送受信開始制御用入出力端子
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	RXD12	入力	SCI12の受信データ入力端子
	TXD12	出力	SCI12の送信データ出力端子
	CTS12#/RTS12#	入出力	SCI12送受信開始制御用入出力端子

表 26.5 SCIの入出力端子(簡易I²Cモード)

チャネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子
SCI6	SSCL6	入出力	SCI6のI ² Cクロック入出力端子
	SSDA6	入出力	SCI6のI ² Cデータ入出力端子
SCI12	SSCL12	入出力	SCI12のI ² Cクロック入出力端子
	SSDA12	入出力	SCI12のI ² Cデータ入出力端子

表 26.6 SCIの入出力端子(簡易SPIモード)(1/2)

チャネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	SMISO6	入出力	SCI6のスレーブ送出データ入出力端子
	SMOSI6	入出力	SCI6のマスタ送出データ入出力端子
	SS6#	入力	SCI6チップセレクト入力端子

表 26.6 SCIの入出力端子(簡易SPIモード) (2/2)

チャンネル	端子名	入出力	機能
SCI12	SCK12	入出力	SCI12のクロック入出力端子
	SMISO12	入出力	SCI12のスレーブ送出データ入出力端子
	SMOSI12	入出力	SCI12のマスタ送出データ入出力端子
	SS12#	入力	SCI12チップセレクト入力端子

表 26.7 SCIの入出力端子(拡張シリアルモード)

チャンネル	端子名	入出力	機能
SCI12	RXDX12	入力	SCI12の受信データ入力端子
	TXDX12	出力	SCI12の送信データ出力端子
	SIOX12	入出力	SCI12送受信データ入出力端子

26.2 レジスタの説明

26.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

26.2.2 レシーブデータレジスタ (RDR)

アドレス SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h, SCI6.RDR 0008 A0C5h, SCI12.RDR 0008 B305h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

26.2.3 レシーブデータレジスタ H、L、HL (RDRH, RDRL, RDRHL)

- レシーブデータレジスタ H (RDRH)

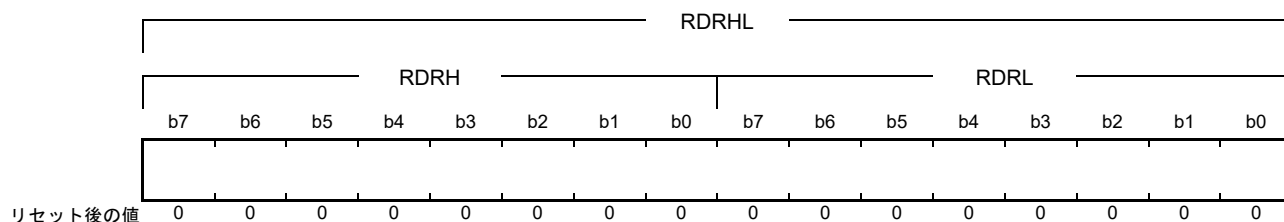
アドレス SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h, SCI6.RDRH 0008 A0D0h, SCI12.RDRH 0008 B310h

- レシーブデータレジスタ L (RDRL)

アドレス SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h, SCI6.RDRL 0008 A0D1h, SCI12.RDRL 0008 B311h

- レシーブデータレジスタ HL (RDRHL)

アドレス SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h, SCI6.RDRHL 0008 A0D0h, SCI12.RDRHL 0008 B310h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

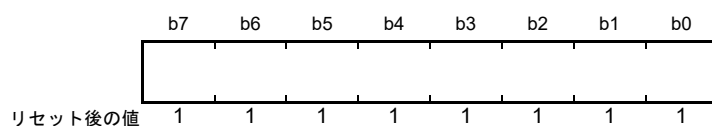
RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

26.2.4 トランスミットデータレジスタ (TDR)

アドレス SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h, SCI6.TDR 0008 A0C3h, SCI12.TDR 0008 B303h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

26.2.5 トランスミットデータレジスタ H、L、HL (TDRH, TDRL, TDRHL)

- トランスミットデータレジスタ H (TDRH)

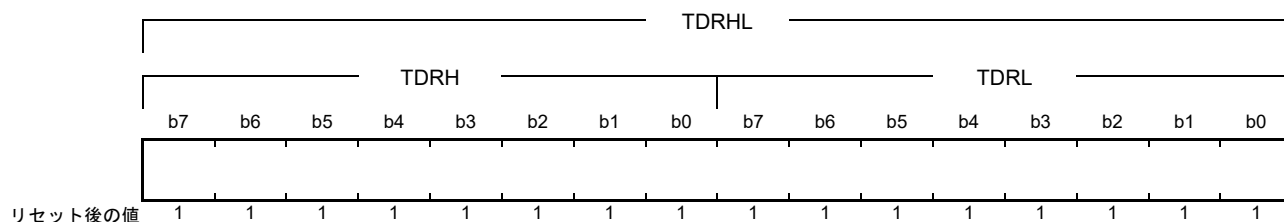
アドレス SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh, SCI6.TDRH 0008 A0CEh, SCI12.TDRH 0008 B30Eh

- トランスミットデータレジスタ L (TDRL)

アドレス SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh, SCI6.TDRL 0008 A0CFh, SCI12.TDRL 0008 B30Fh

- トランスミットデータレジスタ HL (TDRHL)

アドレス SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh, SCI6.TDRHL 0008 A0CEh, SCI12.TDRHL 0008 B30Eh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

26.2.6 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

26.2.7 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h, SCI6.SMR 0008 A0C0h, SCI12.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モード、または簡易I ² Cモードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「26.2.11 ビットレートレジスタ(BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB(b7)は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「26.2.11 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可 / 禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SMR 0008 A020h, SMC15.SMR 0008 A0A0h, SMC16.SMR 0008 A0C0h, SMC112.SMR 0008 B300h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLK (n = 0) (注1) 0 1 : PCLK/4 (n = 1) (注1) 1 0 : PCLK/16 (n = 2) (注1) 1 1 : PCLK/64 (n = 3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表26.8にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0 : 非ブロック転送モードで動作します 1 : ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0 : 非GSMモードで動作します 1 : GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「26.2.11 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「26.2.11 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「26.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表26.8 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「26.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「26.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティ イネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送 モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「26.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu: Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「26.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「26.6.8 クロック出力制御」を参照してください。

26.2.8 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h, SCI6.SCR 0008 A0C2h, SCI12.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	(調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn端子はハイインピーダンスになります 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロックまたはTMRクロック (注2) 外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください。 TMRクロック使用時 (注2)は、SCKn端子はハイインピーダンスになります。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0 : TEI割り込み要求を禁止 1 : TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0 : 通常の受信動作 1 : マルチプロセッサビットが“0”の受信データは読み飛ばし、 SSR.RDRF, ORER, FERの各ステータスフラグのセット (“1”)を禁止します。マルチプロセッサビットが“1”のデータ を受信すると、MPIEビットは自動的に“0”になり、通常の 受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注3)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注3)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SCI5、SCI6、SCI12のみ選択可能。

注3. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。
 一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CM
 ビットが“0”かつSIMR1のICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCKn 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンド インタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始 / 再開 / 停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.RDRF、ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「26.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、RDRF、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、RDRF、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SCR 0008 A022h, SMC15.SCR 0008 A0A2h, SMC16.SCR 0008 A0C2h, SMC112.SCR 0008 B302h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	- SMR.GM ビット = 0 の場合 b1 b0 0 0 : 出力ディセーブル SCKn 端子はハイインピーダンスになります 0 1 : クロック出力 1 x : 設定しないでください - SMR.GM ビット = 1 の場合 b1 b0 0 0 : Low 出力固定 x 1 : クロック出力 1 0 : High 出力固定	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXI および ERI 割り込み要求を禁止 1 : RXI および ERI 割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI 割り込み要求を禁止 1 : TXI 割り込み要求を許可	R/W

x: Don't care

注1. TE ビット = 0、RE ビット = 0 の場合のみ書き込み可能です。

注2. TE ビット = 0、RE ビット = 0 の場合のみ“1”を書き込み可能です。

一度、TE、RE ビットのいずれかを“1”にした後は、TE ビット = 0、RE ビット = 0 の書き込みのみ行ってください。

各割り込み要求については、「26.12 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「26.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

TIE ビット (トランスミットインタラプトイネーブルビット)

TXI 割り込み要求を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを“0”にすることで行うことができます。

26.2.9 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h, SCI6.SSR 0008 A0C4h, SCI12.SSR 0008 B304h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
PER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
FER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

["1" になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0" になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

["1" になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0" になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SSR 0008 A024h, SMC15.SSR 0008 A0A4h, SMC16.SSR 0008 A0C4h, SMC12.SSR 0008 B304h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0" としてください	R
b2	TEND	トランスミットエンドフラグ	0 : キャラクタを送信中 1 : キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0 : パリティエラーの発生なし 1 : パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0 : エラーシグナルLow応答なし 1 : エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0 : オーバランエラーの発生なし 1 : オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0 : RDRレジスタに有効なデータなし 1 : RDRレジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0 : TDRレジスタに未送信のデータあり 1 : TDRレジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"]になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"]になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"]になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"]になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"]になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"]になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込み処理ルーチンを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

26.2.10 スマートカードモードレジスタ (SCMR)

アドレス SC11.SCMR 0008 A026h, SC15.SCMR 0008 A0A6h, SC16.SCMR 0008 A0C6h, SC12.SCMR 0008 B306h,
SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h, SMCI6.SCMR 0008 A0C6h, SMCI12.SCMR 0008 B306h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0 : 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1 : スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインバートビット (注2、注3)	0 : TDRレジスタのデータビットをそのままTSRレジスタに転送、 RSRレジスタのデータビットをそのままRDRレジスタに転送 1 : TDRレジスタのデータビットを反転してTSRレジスタに転送、 RSRレジスタのデータビットを反転してRDRレジスタに転送	R/W (注1)
b3	SDIR	送受信データトランスファ ディレクションビット (注2、注4)	0 : LSB ファーストで送受信 1 : MSB ファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1 (注5)	SMR.CHR ビットと組み合わせて選択します CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注6)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0] ビットと組み合わせて選択します 表 26.9 に SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TE ビット = 0、SCR.RE ビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. スマートカードインタフェースモード、調歩同期式モード (マルチプロセッサモード)、クロック同期式モード、簡易SPIモードで使用可能です。

注3. 簡易I²Cモードで動作させる場合は、“0”にしてください

注4. 簡易I²Cモードで動作させる場合は、“1”にしてください

注5. 調歩同期式モードでのみ有効です。調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注6. LSB ファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

SMIF ビット (スマートカードインタフェース モードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式 (マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインバートビット)

データレジスタとシフトレジスタ間のデータ転送時にロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

CHR1 ビット (キャラクタレングスビット 1)

送受信データのデータ長を選択します。

SMR.CHR ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

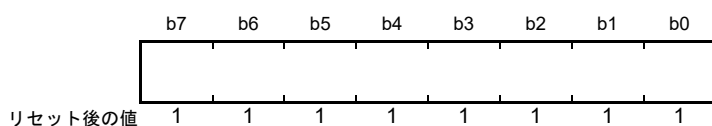
表 26.9 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93 クロック (S = 93) (注1)
0	0	1	128 クロック (S = 128) (注1)
0	1	0	186 クロック (S = 186) (注1)
0	1	1	512 クロック (S = 512) (注1)
1	0	0	32 クロック (S = 32) (注1) (初期値)
1	0	1	64 クロック (S = 64) (注1)
1	1	0	372 クロック (S = 372) (注1)
1	1	1	256 クロック (S = 256) (注1)

注1. Sは「26.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

26.2.11 ビットレートレジスタ (BRR)

アドレス SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h, SCI6.BRR 0008 A0C1h, SCI12.BRR 0008 B301h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 26.10 に示します。

BRR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 26.10 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B: ビットレート (bps)

N: BRR レジスタの設定値 ($0 \leq N \leq 255$)

PCLK: 周辺モジュールクロック周波数 (MHz)

n と S: 表 26.12、表 26.13 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表 26.11 SCL High/Low 幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅 (min 値)	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 26.12 クロックソースの設定

SMR.CKS[1:0] ビットの設定	クロックソース	n
0 0	PCLK	0
0 1	PCLK/4	1
1 0	PCLK/16	2
1 1	PCLK/64	3

表 26.13 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定	SMR.BCP[1:0] ビットの設定	1ビット期間中の基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 26.14 に、各動作周波数における設定可能な最高ビットレートを表 26.15 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 26.18 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 26.20 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 26.22 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「26.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 26.16、表 26.19 に外部クロック入力時の最高ビットレートを示します。

調歩同期式モードで SEMR.ABCS ビットまたは BGDM ビットのいずれか一方のビットを“1”にしたときのビットレートは表 26.14 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表26.14 ビットレートに対するBRRの設定例(調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

注. SEMR.ABCSビット、SEMR.BGDMビットがすべて“0”のときの例です。

ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。

ABCSビット、BGDMビットを両方とも“1”にしたときは、ビットレートが4倍になります。

表26.15 各動作周波数における最高ビットレート(調歩同期式モード)

PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最高ビット レート (bps)
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
8	0	0	0	0	250000	9.8304	0	0	0	0	307200
		1	0	0	500000			1	0	0	614400
	1	0	0	0			1	0	0	0	
		1	0	0	1000000			1	0	0	1228800
10	0	0	0	0	312500	12	0	0	0	0	375000
		1	0	0	625000			1	0	0	750000
	1	0	0	0			1	0	0	0	
		1	0	0	1250000			1	0	0	1500000
12.288	0	0	0	0	384000	14	0	0	0	0	437500
		1	0	0	768000			1	0	0	875000
	1	0	0	0			1	0	0	0	
		1	0	0	1536000			1	0	0	1750000
16	0	0	0	0	500000	17.2032	0	0	0	0	537600
		1	0	0	1000000			1	0	0	1075200
	1	0	0	0			1	0	0	0	
		1	0	0	2000000			1	0	0	2150400
18	0	0	0	0	562500	19.6608	0	0	0	0	614400
		1	0	0	1125000			1	0	0	1228800
	1	0	0	0			1	0	0	0	
		1	0	0	2250000			1	0	0	2457600
20	0	0	0	0	625000	25	0	0	0	0	781250
		1	0	0	1250000			1	0	0	1562500
	1	0	0	0			1	0	0	0	
		1	0	0	2500000			1	0	0	3125000
30	0	0	0	0	937500	33	0	0	0	0	1031250
		1	0	0	1875000			1	0	0	2062500
	1	0	0	0			1	0	0	0	
		1	0	0	3750000			1	0	0	4125000
40	0	0	0	0	1250000						
		1	0	0	2500000						
	1	0	0	0							
		1	0	0	5000000						

表 26.16 外部クロック入力時の最高ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000

表 26.17 TMRクロック入力時の最高ビットレート (調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最高ビットレート (bps)	
		SEMR.ABCS ビット = 0	SEMR.ABCS ビット = 1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000
33	16.5	1031250	2062500
40	20	1250000	2500000

表 26.18 ビットレートに対するBRRの設定例(クロック同期式モード、簡易SPIモード)

ビット レート (bps)	動作周波数PCLK (MHz)															
	8		10		16		20		25		30		33		40	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	3	155	3	249										
500	2	249	3	77	3	124	3	155	3	194	3	233	3	255		
1k	2	124	2	155	2	249	3	77	3	97	3	116	3	128	3	155
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19
1M	0	1			0	3	0	4	—	—			—	—	0	9
2.5M			0	0 (注1)			0	1			0	2			0	3
5M							0	0 (注1)							0	1
7.5M											0	0 (注1)				

空欄：誤差が5%を超えるため、設定できません。

—：設定可能ですが1～5%の誤差がでます。

注1. 連続送信/連続受信はできません。1フレームの送信/受信終了後、次のフレームの送信/受信を開始するまで1ビット期間の間隔が空きます(同期クロックの出力が1ビット期間停止します)。そのため、1フレーム(8ビット)のデータ転送に9ビット分の時間がかかり、平均した転送レートは8/9倍になります。

表 26.19 外部クロック入力時の最高ビットレート(クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最高ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667

表 26.20 ビットレートに対するBRRの設定例(スマートカードインタフェースモードでS = 372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	-30.00
	10.7136	0	1	-25.00
	13.00	0	1	-8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	-15.99
	20.00	0	2	-6.66
	25.00	0	3	-12.49
	30.00	0	3	5.01
	33.00	0	4	-7.59
	40.00	0	5	-6.66

表 26.21 各動作周波数における最高ビットレート(スマートカードインタフェースモードでS = 32のとき)

PCLK (MHz)	最高ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0

表26.22 ビットレートに対するBRRの設定例(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	30	0.8	0	49	0.0	0	62	-0.8	0	77	0.2
25k	0	9	0.0	0	12	-3.8	1	4	0.0	0	24	0.0	0	30	0.8
50k	0	4	0.0	0	5	4.2	0	9	0.0	0	12	-3.8	2	0	-2.3
100k	0	2	-16.7	1	0	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25.0	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)								
	30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	93	-0.3	0	102	0.1	0	124	0.0
25k	0	37	-1.3	0	40	0.6	0	49	0.0
50k	0	18	-1.3	0	20	-1.8	0	24	0.0
100k	0	9	-6.3	0	10	-6.3	0	12	-3.8
250k	1	0	-6.3	1	0	3.1	0	4	0.0
350k	0	2	-10.7	0	2	-1.8	1	0	-10.7

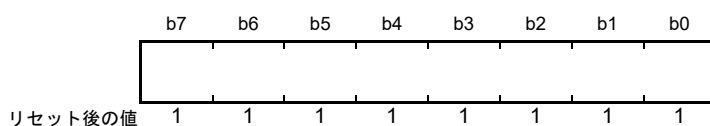
表26.23 各ビットレート設定でのSCL High/Low幅最小値(簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	30	43.40/49.60	0	49	43.75/50.00	0	62	44.10/50.40
25k	0	9	17.50/20.00	0	12	18.20/20.80	1	4	17.50/20.00	0	24	17.50/20.00
50k	0	4	8.75/10.00	0	5	8.40/9.60	0	9	8.75/10.00	0	12	9.10/10.40
100k	0	2	5.25/6.00	1	0	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	77	43.68/49.92	0	93	43.87/50.13	0	102	43.70/49.94	0	124	43.75/50.00
25k	0	30	17.36/19.84	0	37	17.73/20.27	0	40	17.39/19.88	0	49	17.50/20.00
50k	2	0	8.96/10.24	0	18	8.87/10.13	0	20	8.91/10.18	0	24	8.75/10.00
100k	1	1	4.48/5.12	0	9	4.67/5.33	0	10	4.67/5.33	0	12	4.55/5.20
250k	0	2	1.68/1.92	1	0	1.87/2.13	1	0	1.70/1.94	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	1	0	1.40/1.60

26.2.12 モジュレーションデューティレジスタ (MDDR)

アドレス SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h, SCI6.MDDR 0008 A0D2h, SCI12.MDDR 0008 B312h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に $M/256$ に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 26.24 に示します。

MDDR レジスタに設定できる値の範囲は、“80h”以上“FFh”以下です。これ以外の値は設定できません。

MDDR レジスタへの書き込みは、SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 26.24 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 (%)
	BGDM ビット	ABCS ビット		
調歩同期式、マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、簡易 SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times \frac{256}{M} \times B} - 1$	$\text{誤差} = \left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times \frac{256}{M} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times \frac{256}{M} \times B} - 1$	

B: ビットレート (bps)

M: MDDR レジスタの設定値 ($128 \leq M \leq 255$)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK: 動作周波数 (MHz)

n と S: 「26.2.11 ビットレートレジスタ (BRR)」表 26.12、表 26.13 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期式モードおよび簡易 SPI モードの最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) では、本機能を使用しないでください。

注2. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

なお、SMR.CKS[1:0] ビットの設定値を小さく、BRR レジスタの設定値を大きくした方が、1 ビット期間

の長さの長短差が小さくなります。

26.2.13 シリアル拡張モードレジスタ (SEMR)

アドレス SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h, SCI6.SEMR 0008 A0C7h, SCI12.SEMR 0008 B307h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	BGDM	NFEN	ABCS	—	BRME	—	ACS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードでのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積(SCI5、SCI6、SCI12のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードでのみ有効) 0: 基本クロック 16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック 8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn、SSDAn入力信号のノイズ除去機能無効 1: SSCLn、SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードでのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0(シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b、11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5、SCI6、SCI12 では、TMR ユニット 0、1 の TMO_n (n = 0 ~ 3 出力を基本クロックソースにすることができます。詳細は表 26.25 を参照してください。

SCI1 の ACS0 ビットは予約ビットです。SCI1 では“0”にしてください。

表 26.25 SCIのチャネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット 0	TMO0, TMO1
SCI6	ユニット 1	TMO2, TMO3
SCI12	ユニット 0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 26.4 に示します。

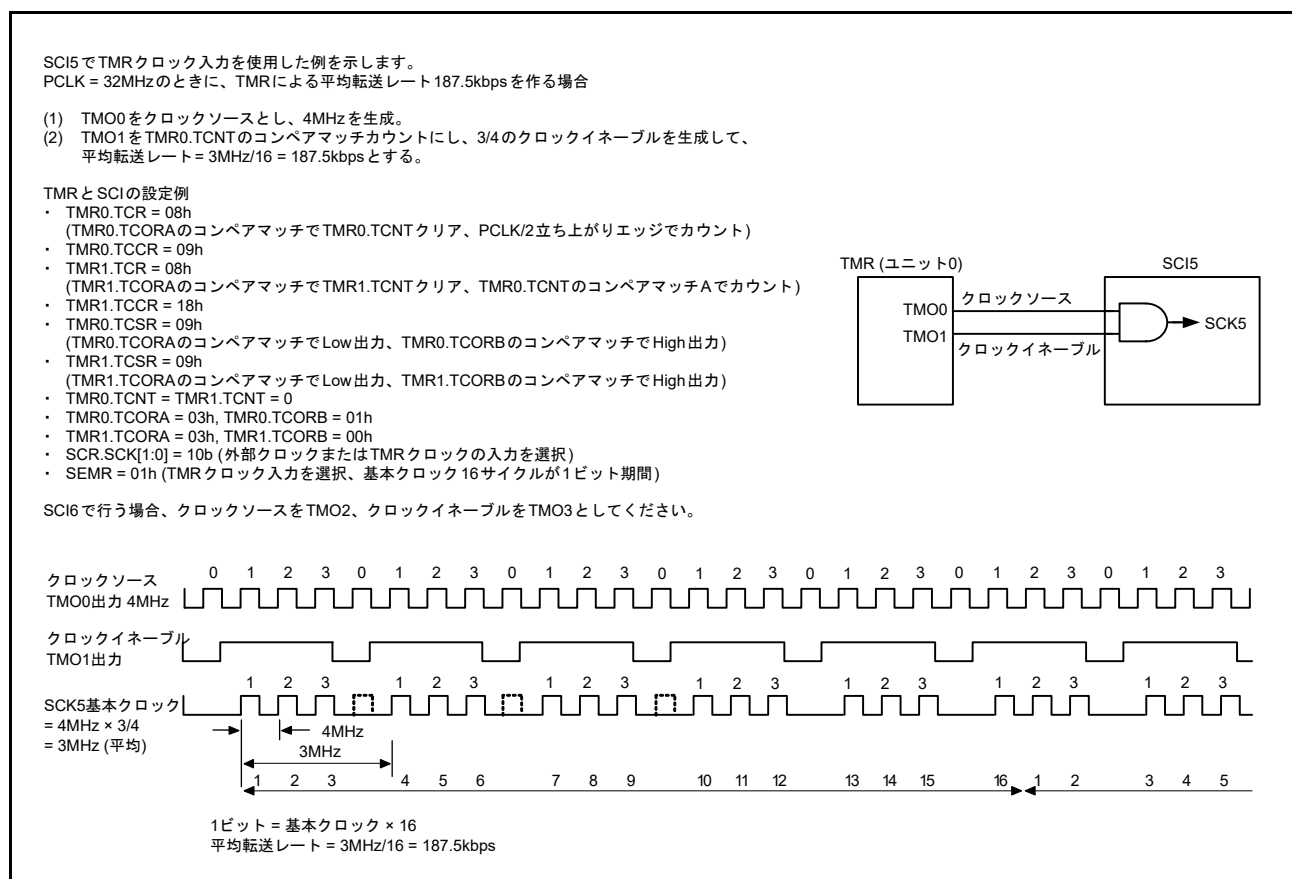


図 26.4 TMR クロック入力時の平均転送レート設定例

BRME ビット（ビットレートモジュレーションイネーブルビット）

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に補正します。

NFEN ビット（デジタルノイズフィルタ機能イネーブルビット）

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去し、簡易 I²C モードの場合は SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを“0”にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット（ボーレートジェネレータ倍速モードセレクトビット）

ボーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード（SMR.CM ビット=0）で、クロックソースに内蔵ボーレートジェネレータを選択（SCR.CKE[1] ビット=0）したときに有効です。内蔵ボーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット=1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では“0”を設定してください。

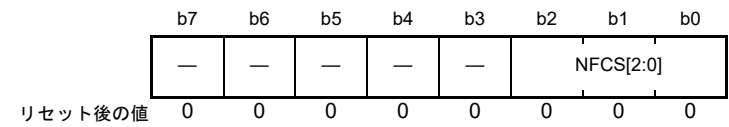
RXDESEL ビット（調歩同期スタートビットエッジ検出セレクトビット）

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブレイク時の動作が異なります。ブレイク中に受信動作を停止させたい場合、およびブレイク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は“1”を設定してください。

調歩同期式モード以外では“0”を設定してください。

26.2.14 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h, SCI6.SNFR 0008 A0C8h, SCI12.SNFR 0008 B308h



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2b0 000: 1分周のクロックをノイズフィルタに使用 簡易 I²C モード時、SMR.CKS[1:0] ビットで選択した内蔵ポーレートジェネレータのクロックソース基準で b2b0 001: 1分周のクロックをノイズフィルタに使用 010: 2分周のクロックをノイズフィルタに使用 011: 4分周のクロックをノイズフィルタに使用 100: 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット= 0、SCR.RE ビット= 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

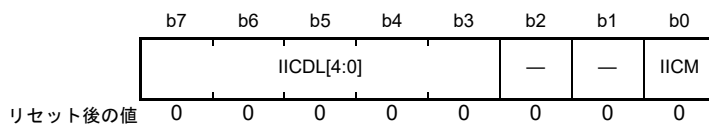
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易 I²C モード時は“001b”～“100b”の中で設定してください。

26.2.15 I²C モードレジスタ 1 (SIMR1)

アドレス SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h, SCI6.SIMR1 0008 A0C9h, SCI12.SIMR1 0008 B309h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易 I ² C モードセレクトビット	SMIF IICM 0 0 : 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPI モード) 0 1 : 簡易 I ² C モード 1 0 : スマートカードインタフェースモード 1 1 : 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA 出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0 : 出力遅延なし 0 0 0 0 1 : 0~1 サイクル 0 0 0 1 0 : 1~2 サイクル 0 0 0 1 1 : 2~3 サイクル 0 0 1 0 0 : 3~4 サイクル 0 0 1 0 1 : 4~5 サイクル : 1 1 1 1 0 : 29~30 サイクル 1 1 1 1 1 : 30~31 サイクル	R/W (注1)

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを 1 サイクルとし、遅延なし~ 31 サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では“00000b”を設定してください。簡易 I²C モード時は、“00001b”~ “11111b”のいずれかを設定してください。

26.2.16 I²C モードレジスタ 2 (SIMR2)

アドレス SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh, SCI6.SIMR2 0008 A0CAh, SCI12.SIMR2 0008 B30Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK 送信データビット	0 : ACK 送信 1 : NACK 送信または ACK/NACK 受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止)の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

26.2.17 I²C モードレジスタ 3 (SIMR3)

アドレス SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh, SCI6.SIMR3 0008 A0CBh, SCI12.SIMR3 0008 B30Bh

b7	b6	b5	b4	b3	b2	b1	b0
IICSCLS[1:0]	IICSDAS[1:0]	IICSTIF	IICSTPREQ	IICRSTAREQ	IICSTAREQ		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開条件生成ビット	0 : 再開条件を生成しない 1 : 再開条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

- 注1. SSCLn端子とSSDAn端子が両方ともHigh (それぞれの端子に対応するPIDRレジスタのビットが“1”)のときに開始条件生成を行ってください。
- 注2. SSCLn端子がLow (対応するPIDRレジスタのビットが“0”)のときに再開条件生成または停止条件生成を行ってください。
- 注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。
- 注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。
- 注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開条件生成ビット）

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成ビット）

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1" になる条件]

- “1”を書き込んだとき

["0" になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始 / 再開 / 停止条件生成完了フラグ）

各条件生成実行後、生成完了した状態を示します。IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1" になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき（ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。）

["0" になる条件]

- “0”を書き込んだとき（IICSTIF フラグが“0”になったことを確認してください。）
- SIMR1.IICM ビットが“0”のとき（簡易 I²C モード以外の場合）
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット（SSDA 出力セレクトビット）

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

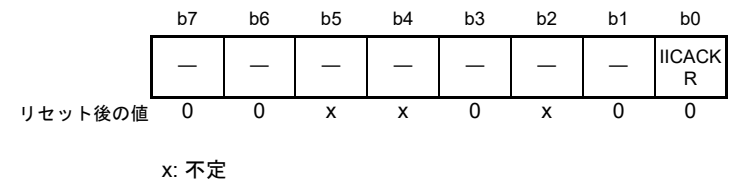
IICSCLS[1:0] ビット（SSCL 出力セレクトビット）

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

26.2.18 I²C ステータスレジスタ (SISR)

アドレス SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh, SCI6.SISR 0008 A0CCh, SCI12.SISR 0008 B30Ch



ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0 : ACK受信 1 : NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。

IICACKR フラグ (ACK 受信データフラグ)

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCLn クロックの立ち上がりのタイミングで更新されます。

26.2.19 SPI モードレジスタ (SPMR)

アドレス SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh, SCI6.SPMR 0008 A0CDh, SCI12.SPMR 0008 B30Dh

b7	b6	b5	b4	b3	b2	b1	b0
CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値 0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn# 端子機能イネーブルビット	0 : SSn# 端子機能禁止 1 : SSn# 端子機能許可	R/W (注1)
b1	CTSE	CTS イネーブルビット	0 : CTS 機能禁止 (RTS 出力機能有効) 1 : CTS 機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : SMOSIn 端子 : 送信、SMISOn 端子 : 受信 (マスタモード) 1 : SMOSIn 端子 : 受信、SMISOn 端子 : 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TE ビット = 0、SCR.RE ビット = 0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット (SSn# 端子機能イネーブルビット)

SSn# 端子を用いて送受信制御を行う場合 (簡易 SPI モード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易 SPI モードでも、マスタモード (SCR.CKE[1:0] ビット = 00b かつ MSS ビット = 0) かつシングルマスタで使用するときは、マスタ側の SSn# 端子を用いた送受信制御は不要であり、SSE ビットは“0”を設定します。SSE ビット、CTSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSE ビット (CTS イネーブルビット)

SSn# 端子を CTS 制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態では RTSn# 信号を出力します。スマートカードインタフェースモード、簡易 SPI モード、簡易 I²C モード時は“0”を設定してください。CTSE ビット、SSE ビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSS ビット (マスタスレーブセレクトビット)

簡易 SPI モード時にマスタモード、スレーブモードを選択します。MSS ビットを“1”にすると、SMOSIn 端子から受信データを入力し、SMISOn 端子から送信データを出力します。

簡易 SPI モード以外では“0”にしてください。

MFF フラグ（モードフォルトフラグ）

モードフォルトエラーが発生したことを表示します。
マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1” になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力 が Low になったとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

CKPOL ビット（クロック極性セレクトビット）

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 26.58 を参照してください。
簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

CKPH ビット（クロック位相セレクトビット）

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 26.58 を参照してください。
簡易 SPI モードおよびクロック同期式モード以外では “0” としてください。

26.2.20 拡張シリアルモード有効レジスタ (ESMER)

アドレス SCI12.ESMER 0008 B320h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	ESME

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ESME	拡張シリアルモード有効ビット	0：拡張シリアルモード無効 1：拡張シリアルモード有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ESME ビット（拡張シリアルモード有効ビット）

ESME ビットが “1” の場合、拡張シリアルモード制御部が有効となります。
ESME ビットを “0” にすると、拡張シリアルモード制御部は初期化された状態になります。

表 26.26 ESME ビットの設定とタイマ動作モード

ESME ビット	タイマモード	Break Field Low width 判定モード	Break Field Low width 出力モード
0	使用可能 (注 1)	使用不可能	使用不可能
1	使用可能	使用可能	使用可能

注 1. PCLK 選択時のみ動作します。

26.2.21 コントロールレジスタ 0 (CR0)

アドレス SCI12.CR0 0008 B321h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BRME	RXDSF	SFSF	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	SFSF	Start Frameステータスフラグ	0 : Start Frame検出機能無効状態 1 : Start Frame検出機能有効状態	R
b2	RXDSF	RXDX12入力ステータスフラグ	0 : RXDX12入力許可状態 1 : RXDX12入力禁止状態	R
b3	BRME	ビットレート測定イネーブルビット	0 : ビットレート測定無効 1 : ビットレート測定有効	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

26.2.22 コントロールレジスタ 1 (CR1)

アドレス SCI12.CR1 0008 B322h

b7	b6	b5	b4	b3	b2	b1	b0
PIBS[2:0]			PIBE	CF1DS[1:0]	CF0RE	BFE	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFE	Break Fieldイネーブルビット	0 : Break Fieldの検出が無効 1 : Break Fieldの検出が有効	R/W
b1	CF0RE	Control Field 0受信イネーブルビット	0 : Control Field 0受信無効 1 : Control Field 0受信有効	R/W
b3-b2	CF1DS[1:0]	Control Field 1データレジスタ選択ビット	b3 b2 00 : PCF1DRを比較データに選択 01 : SCF1DRを比較データに選択 10 : PCF1DRおよびSCF1DRを比較データに選択 11 : 設定しないでください	R/W
b4	PIBE	プライオリティインタラプトビットイネーブルビット	0 : プライオリティインタラプトビット無効 1 : プライオリティインタラプトビット有効	R/W
b7-b5	PIBS[2:0]	プライオリティインタラプトビットセレクトビット	b7 b5 000 : Control Field 1 0ビット目 001 : Control Field 1 1ビット目 010 : Control Field 1 2ビット目 011 : Control Field 1 3ビット目 100 : Control Field 1 4ビット目 101 : Control Field 1 5ビット目 110 : Control Field 1 6ビット目 111 : Control Field 1 7ビット目	R/W

26.2.23 コントロールレジスタ 2 (CR2)

アドレス SCI12.CR2 0008 B323h

b7	b6	b5	b4	b3	b2	b1	b0
RTS[1:0]	BCCS[1:0]	—	DFCS[2:0]				
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DFCS[2:0]	RDX12信号デジタルフィルタ クロック選択ビット	b2 b0 0 0 0 : フィルタ無効 0 0 1 : フィルタクロックは基本クロック (注1、注2) 0 1 0 : フィルタクロックはPCLK/8 0 1 1 : フィルタクロックはPCLK/16 1 0 0 : フィルタクロックはPCLK/32 1 0 1 : フィルタクロックはPCLK/64 1 1 0 : フィルタクロックはPCLK/128 1 1 1 : 設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	BCCS[1:0]	バス衝突検出クロック選択 ビット	- SEMR.BGDMビットが“0”または、SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”以外の場合 b5 b4 0 0 : 基本クロック 0 1 : 基本クロックの2分周 1 0 : 基本クロックの4分周 1 1 : 設定しないでください - SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合 b5 b4 0 0 : 基本クロックの2分周 0 1 : 基本クロックの4分周 1 0 : 設定しないでください 1 1 : 設定しないでください	R/W
b7-b6	RTS[1:0]	RDX12受信サンプリング タイミング選択ビット	- SCI12.SEMR.ABCSビット = 0の場合 b7 b6 0 0 : 基本クロックの8クロック目の立ち上がり 0 1 : 基本クロックの10クロック目の立ち上がり 1 0 : 基本クロックの12クロック目の立ち上がり 1 1 : 基本クロックの14クロック目の立ち上がり - SCI12.SEMR.ABCSビット = 1の場合 b7 b6 0 0 : 基本クロックの4クロック目の立ち上がり 0 1 : 基本クロックの5クロック目の立ち上がり 1 0 : 基本クロックの6クロック目の立ち上がり 1 1 : 基本クロックの7クロック目の立ち上がり	R/W

注. 基本クロックとは、SCI12.SEMR.ABCS = 0のとき、1データ期間の1/16の周期、SCI12.SEMR.ABCS = 1のとき、1データ期間の1/8の周期です。

注1. 基本クロックを使用する場合、SCI12.SCR.TEビットを“1”にしてください。

注2. SEMR.BGDMビットが“1”かつSMR.CKS[1:0]ビットが“00b”の場合は基本クロックの2分周がフィルタクロックとなります。

26.2.24 コントロールレジスタ 3 (CR3)

アドレス SCI12.CR3 0008 B324h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDST	Start Frame検出開始ビット	0 : Start Frameの検出を行わない 1 : Start Frameの検出を行う	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SDST ビット (Start Frame 検出開始ビット)

SDST ビットを“1”にすると Start Frame の検出を開始します。読むと“0”が読み出されます。

26.2.25 ポートコントロールレジスタ (PCR)

アドレス SCI12.PCR 0008 B325h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SHARPS	—	—	RXDXP S	TXDXP S
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXDXPS	TXDX12信号極性選択ビット	0 : TXDX12信号極性を反転せずに出力 1 : TXDX12信号極性を反転して出力	R/W
b1	RXDXP S	RXDX12信号極性選択ビット	0 : RXDX12極性を反転せずに入力 1 : RXDX12極性を反転して入力	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SHARPS	TXDX12/RXDX12端子兼用選択ビット	0 : TXDX12端子、RXDX12端子独立 1 : TXDX12/RXDX12端子兼用	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SHARPS ビット (TXDX12/RXDX12 端子兼用選択ビット)

SHARPS ビットが“1”の場合、TXDX12/RXDX12 端子を兼用した半二重通信が可能となります。

26.2.26 割り込みコントロールレジスタ (ICR)

アドレス SCI12.ICR 0008 B326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDIE	BCDIE	PIBDIE	CF1MIE	CF0MIE	BFDIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDIE	Break Field Low width検出割り込み許可ビット	0 : Break Field Low width検出割り込み禁止 1 : Break Field Low width検出割り込み許可	R/W
b1	CF0MIE	Control Field 0一致割り込み許可ビット	0 : Control Field 0一致割り込み禁止 1 : Control Field 0一致割り込み許可	R/W
b2	CF1MIE	Control Field 1一致割り込み許可ビット	0 : Control Field 1一致割り込み禁止 1 : Control Field 1一致割り込み許可	R/W
b3	PIBDIE	プライオリティインタラプトビット検出割り込み許可ビット	0 : プライオリティインタラプトビット検出割り込み禁止 1 : プライオリティインタラプトビット検出割り込み許可	R/W
b4	BCDIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b5	AEDIE	有効エッジ検出割り込み許可ビット	0 : 有効エッジ検出割り込み禁止 1 : 有効エッジ検出割り込み許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

26.2.27 ステータスレジスタ (STR)

アドレス SCI12.STR 0008 B327h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDF	BCDF	PIBDF	CF1MF	CF0MF	BFDF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDF	Break Field Low width検出フラグ	["1"]になる条件] - Break Field Low width検出したとき - Break Field Low width出力完了したとき - タイマがアンダフローしたとき ["0"]になる条件] - STCR.BFDCL ビットに"1"を書いたとき	R
b1	CF0MF	Control Field 0一致フラグ	["1"]になる条件] - Control Field 0受信データが設定データと一致したとき ["0"]になる条件] - STCR.CF0MCL ビットに"1"を書いたとき	R
b2	CF1MF	Control Field 1一致フラグ	["1"]になる条件] - Control Field 1受信データが設定データと一致したとき ["0"]になる条件] - STCR.CF1MCL ビットに"1"を書いたとき	R
b3	PIBDF	プライオリティインタラプトビット検出フラグ	["1"]になる条件] - プライオリティインタラプトビットを検出したとき ["0"]になる条件] - STCR.PIBDCL ビットに"1"を書いたとき	R
b4	BCDF	バス衝突検出フラグ	["1"]になる条件] - バス衝突を検出したとき ["0"]になる条件] - STCR.BCDCL ビットに"1"を書いたとき	R
b5	AEDF	有効エッジ検出フラグ	["1"]になる条件] - 有効エッジを検出したとき ["0"]になる条件] - STCR.AEDCL ビットに"1"を書いたとき	R
b7-b6	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R

26.2.28 ステータスクリアレジスタ (STCR)

アドレス SCI12.STCR 0008 B328h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	AEDCL	BCDCL	PIBDC L	CF1MC L	CF0MC L	BFDCL
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BFDCL	BFDCL クリアビット	BFDCL ビットを“1”にすると STR.BFDF フラグをクリアします。読むと“0”が読み出されます	R/W
b1	CF0MCL	CF0MF クリアビット	CF0MCL ビットを“1”にすると STR.CF0MF フラグをクリアします。読むと“0”が読み出されます	R/W
b2	CF1MCL	CF1MF クリアビット	CF1MCL ビットを“1”にすると STR.CF1MF フラグをクリアします。読むと“0”が読み出されます	R/W
b3	PIBDCL	PIBDF クリアビット	PIBDCL ビットを“1”にすると STR.PIBDF フラグをクリアします。読むと“0”が読み出されます	R/W
b4	BCDCL	BCDF クリアビット	BCDCL ビットを“1”にすると STR.BCDF フラグをクリアします。読むと“0”が読み出されます	R/W
b5	AEDCL	AEDF クリアビット	AEDCL ビットを“1”にすると STR.AEDF フラグをクリアします。読むと“0”が読み出されます	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

26.2.29 Control Field 0 データレジスタ (CF0DR)

アドレス SCI12.CF0DR 0008 B329h

b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0

CF0DR レジスタは、Control Field 0 の比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

26.2.30 Control Field 0 コンペアイネーブルレジスタ (CF0CR)

アドレス SCI12.CF0CR 0008 B32Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	CF0CE7	CF0CE6	CF0CE5	CF0CE4	CF0CE3	CF0CE2	CF0CE1	CF0CE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CF0CE0	Control Field 0 0 ビットコンペアイネーブルビット	0 : Control Field 0 ビット0コンペ無効 1 : Control Field 0 ビット0コンペ有効	R/W
b1	CF0CE1	Control Field 0 1 ビットコンペアイネーブルビット	0 : Control Field 0 ビット1コンペ無効 1 : Control Field 0 ビット1コンペ有効	R/W
b2	CF0CE2	Control Field 0 2 ビットコンペアイネーブルビット	0 : Control Field 0 ビット2コンペ無効 1 : Control Field 0 ビット2コンペ有効	R/W
b3	CF0CE3	Control Field 0 3 ビットコンペアイネーブルビット	0 : Control Field 0 ビット3コンペ無効 1 : Control Field 0 ビット3コンペ有効	R/W
b4	CF0CE4	Control Field 0 4 ビットコンペアイネーブルビット	0 : Control Field 0 ビット4コンペ無効 1 : Control Field 0 ビット4コンペ有効	R/W
b5	CF0CE5	Control Field 0 5 ビットコンペアイネーブルビット	0 : Control Field 0 ビット5コンペ無効 1 : Control Field 0 ビット5コンペ有効	R/W
b6	CF0CE6	Control Field 0 6 ビットコンペアイネーブルビット	0 : Control Field 0 ビット6コンペ無効 1 : Control Field 0 ビット6コンペ有効	R/W
b7	CF0CE7	Control Field 0 7 ビットコンペアイネーブルビット	0 : Control Field 0 ビット7コンペ無効 1 : Control Field 0 ビット7コンペ有効	R/W

26.2.31 Control Field 0 受信データレジスタ (CF0RR)

アドレス SCI12.CF0RR 0008 B32Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CF0RR レジスタは、Control Field 0 の受信データを格納する 8 ビットのリード可能なレジスタです。

26.2.32 プライマリ Control Field 1 データレジスタ (PCF1DR)

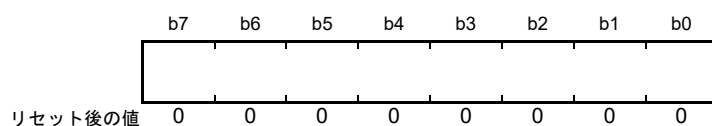
アドレス SCI12.PCF1DR 0008 B32Ch

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

PCF1DR レジスタは、Control Field 1 のプライマリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

26.2.33 セカンダリ Control Field 1 データレジスタ (SCF1DR)

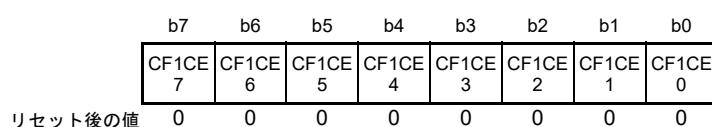
アドレス SCI12.SCF1DR 0008 B32Dh



SCF1DR レジスタは、Control Field 1 のセカンダリ比較データを格納する 8 ビットのリード/ライト可能なレジスタです。

26.2.34 Control Field 1 コンペアイネーブルレジスタ (CF1CR)

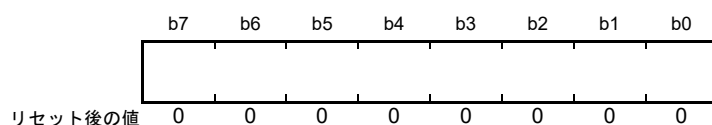
アドレス SCI12.CF1CR 0008 B32Eh



ビット	シンボル	ビット名	機能	R/W
b0	CF1CE0	Control Field 1 0ビットコンペアイネーブルビット	0 : Control Field 1 ビット0コンペア無効 1 : Control Field 1 ビット0コンペア有効	R/W
b1	CF1CE1	Control Field 1 1ビットコンペアイネーブルビット	0 : Control Field 1 ビット1コンペア無効 1 : Control Field 1 ビット1コンペア有効	R/W
b2	CF1CE2	Control Field 1 2ビットコンペアイネーブルビット	0 : Control Field 1 ビット2コンペア無効 1 : Control Field 1 ビット2コンペア有効	R/W
b3	CF1CE3	Control Field 1 3ビットコンペアイネーブルビット	0 : Control Field 1 ビット3コンペア無効 1 : Control Field 1 ビット3コンペア有効	R/W
b4	CF1CE4	Control Field 1 4ビットコンペアイネーブルビット	0 : Control Field 1 ビット4コンペア無効 1 : Control Field 1 ビット4コンペア有効	R/W
b5	CF1CE5	Control Field 1 5ビットコンペアイネーブルビット	0 : Control Field 1 ビット5コンペア無効 1 : Control Field 1 ビット5コンペア有効	R/W
b6	CF1CE6	Control Field 1 6ビットコンペアイネーブルビット	0 : Control Field 1 ビット6コンペア無効 1 : Control Field 1 ビット6コンペア有効	R/W
b7	CF1CE7	Control Field 1 7ビットコンペアイネーブルビット	0 : Control Field 1 ビット7コンペア無効 1 : Control Field 1 ビット7コンペア有効	R/W

26.2.35 Control Field 1 受信データレジスタ (CF1RR)

アドレス SCI12.CF1RR 0008 B32Fh



CF1RR レジスタは Control Field 1 の受信データを格納する 8 ビットのリード可能なレジスタです。

26.2.36 タイマコントロールレジスタ (TCR)

アドレス SCI12.TCR 0008 B330h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCST
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCST	タイマカウント開始ビット	0 : タイマカウント停止 1 : タイマカウント開始	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

26.2.37 タイマモードレジスタ (TMR)

アドレス SCI12.TMR 0008 B331h

b7	b6	b5	b4	b3	b2	b1	b0
—	TCSS[2:0]			TWRC	—	TOMS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOMS[1:0]	タイマ動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : Break Field Low width 判定モード 1 0 : Break Field Low width 出力モード 1 1 : 設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	TWRC	カウンタ書き込み制御ビット	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b6-b4	TCSS[2:0]	タイマカウントクロックソース選択ビット (注1)	b6 b4 0 0 0 : PCLK 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

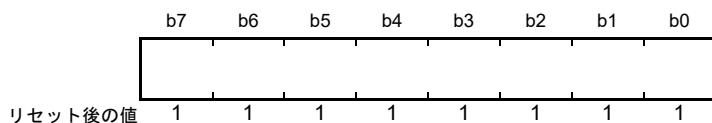
注1. TOMS[1:0]およびTCSS[2:0]ビットの書き換えは、タイマカウント停止時(TCST = 0)に行ってください。

TWRC ビット (カウンタ書き込み制御ビット)

TCNT、TPRE レジスタにライトしたときに、リロードレジスタのみ書き込むのか、リロードレジスタとカウンタに書き込むのか選択します。

26.2.38 タイムプリスケアラレジスタ (TPRE)

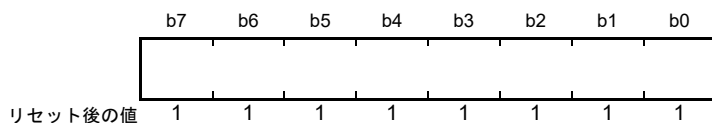
アドレス SCI12.TPRE 0008 B332h



TPRE レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TMR.TCSS[2:0] ビットで選択されたカウントクロックソースでダウンカウントを行い、アンダフローするとカウンタへリロードレジスタの値がロードされます。またアンダフローは TCNT レジスタのカウントクロックソースとなります。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

26.2.39 タイマカウントレジスタ (TCNT)

アドレス SCI12.TCNT 0008 B333h



TCNT レジスタは、8 ビットのリロードレジスタ、リードバッファおよびカウンタで構成され、初期値はそれぞれ FFh です。TPRE レジスタのアンダフローをダウンカウントし、TCNT レジスタがアンダフローするとカウンタへリロードレジスタの値がロードされます。リロードレジスタとリードバッファは同じアドレスに配置されており、ライト時はリロードレジスタへ書き込まれ、リード時はリードバッファに転送されたカウンタ値が読み出されます。なお、リロードレジスタ値をカウンタへロードする際は、PCLK の 1 クロックが必要です。

26.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 26.5 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

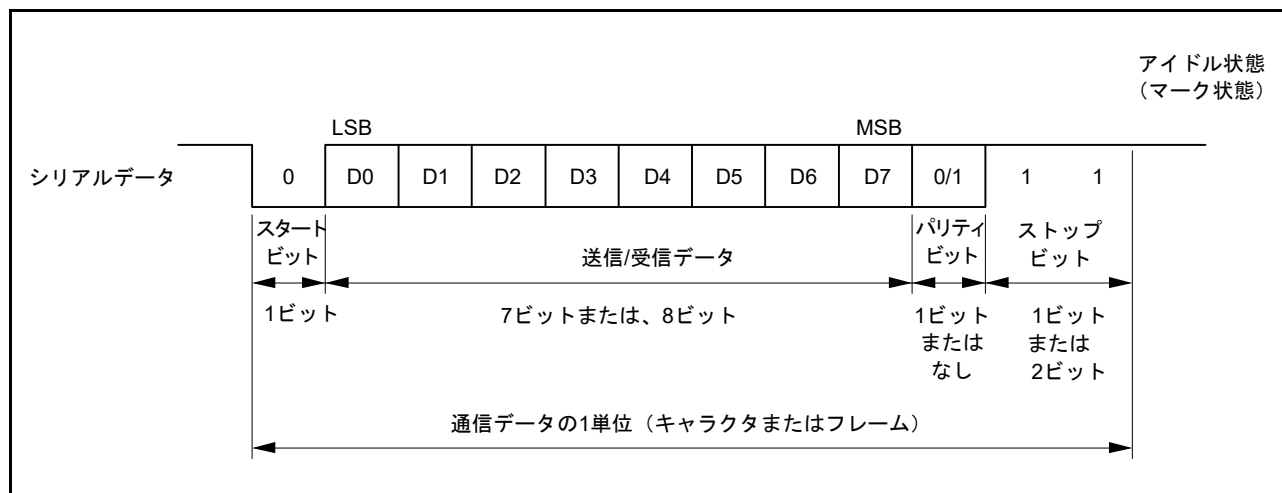


図 26.5 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

26.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 26.27 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「26.4 マルチプロセッサ通信機能」を参照してください。

表 26.27 シリアル送信/受信フォーマット(調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13
0	0	0	0	0	S	9ビットデータ									STOP		
0	0	0	0	1	S	9ビットデータ									STOP		STOP
0	0	1	0	0	S	9ビットデータ									P	STOP	
0	0	1	0	1	S	9ビットデータ									P	STOP	STOP
1	0	0	0	0	S	8ビットデータ								STOP			
1	0	0	0	1	S	8ビットデータ								STOP		STOP	
1	0	1	0	0	S	8ビットデータ								P	STOP		
1	0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	1	0	0	0	S	7ビットデータ							STOP				
1	1	0	0	1	S	7ビットデータ							STOP		STOP		
1	1	1	0	0	S	7ビットデータ							P	STOP			
1	1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	0	—	1	0	S	9ビットデータ									MPB	STOP	
0	0	—	1	1	S	9ビットデータ									MPB	STOP	STOP
1	0	—	1	0	S	8ビットデータ								MPB	STOP		
1	0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	1	—	1	0	S	7ビットデータ							MPB	STOP			
1	1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

S: スタートビット

STOP: ストップビット

P: パリティビット

MPB: マルチプロセッサビット

26.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりをもとに基本クロックでサンプリングして内部を同期化します。また、図 26.6 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%) \quad \dots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCS ビットが“0”のとき $N = 16$
- SEMR.ABCS ビットが“1”のとき $N = 8$

D: クロックのデューティ ($D = 0.5 \sim 1.0$)

L: フレーム長 ($L = 9 \sim 13$)

F: クロック周波数の偏差の絶対値

式 (1) で、 $F = 0$ 、 $D = 0.5$ とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 (\%) = 46.875 (\%)$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30% の余裕を持たせてください。

注 1. いずれも SEMR.ABCS ビットが“0”のときの値です。ABCS ビットが“1”のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

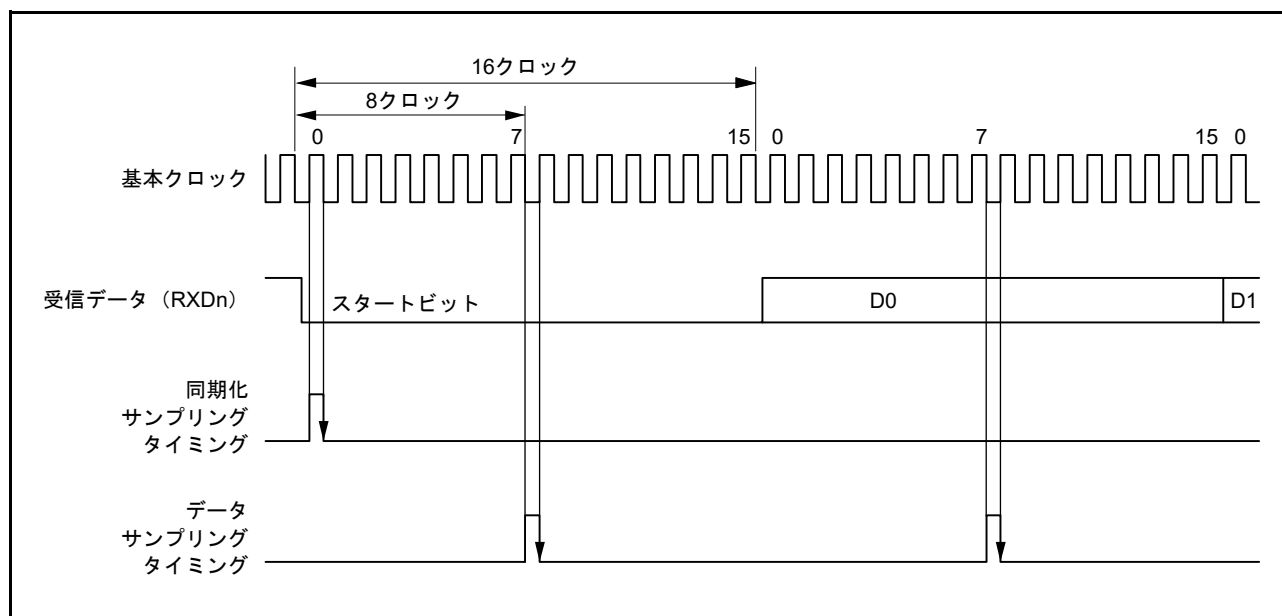


図 26.6 調歩同期式モードの受信データサンプリングタイミング

26.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCK_n端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCK_n端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCI_n.SEMR.ACS0ビット（n=5, 6, 12）の設定により、TMR0、TMR1からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCK_n端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図26.7に示すように送信データの中央でクロックが立ち上がります。

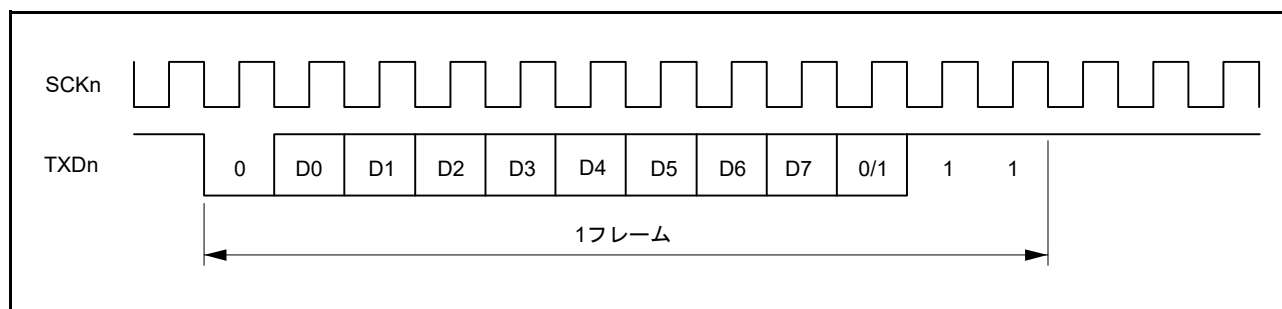


図 26.7 出力クロックと送信データの位相関係
(調歩同期式モード: SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

26.3.4 倍速モード

SEMR.BGDMビットを“1”にすることによって内蔵ボーレートジェネレータの出力クロック周波数が2倍となり、ビットレートが2倍の高速通信が可能となります。また、この状態からSEMR.ABCSビットを“1”にすると基本クロックのサイクル数が16から8になるため、ビットレートは初期状態から4倍に高速化されます。

なお、「26.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SEMR.ABCSビットを“1”にするとサイクル数が8になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート2倍の高速通信は、SEMR.BGDMビットを“0”、SEMR.ABCSビットを“1”にするよりも、SEMR.BGDMビットを“1”、SEMR.ABCSビットを“0”にする設定を推奨します。

26.3.5 CTS、RTS 機能

CTS 機能は、CTS_n# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS_n# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS_n# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS_n# 端子出力を使用して送信要求を行う機能で、受信可能状態になると Low を出力します。RTS_n# 端子から Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

26.3.6 SCI の初期化 (調歩同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 26.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER、RDRF フラグおよび RDR、RDRH、RDRL レジスタは初期化されませんので注意してください。

また、SCR レジスタの TIE ビット、TE ビット、TEIE ビットを同時に “1” にすると、送信データエンブレディ割り込み (TXI) 要求が発生する前に送信終了割り込み (TEI) 要求が発生しますので注意してください。

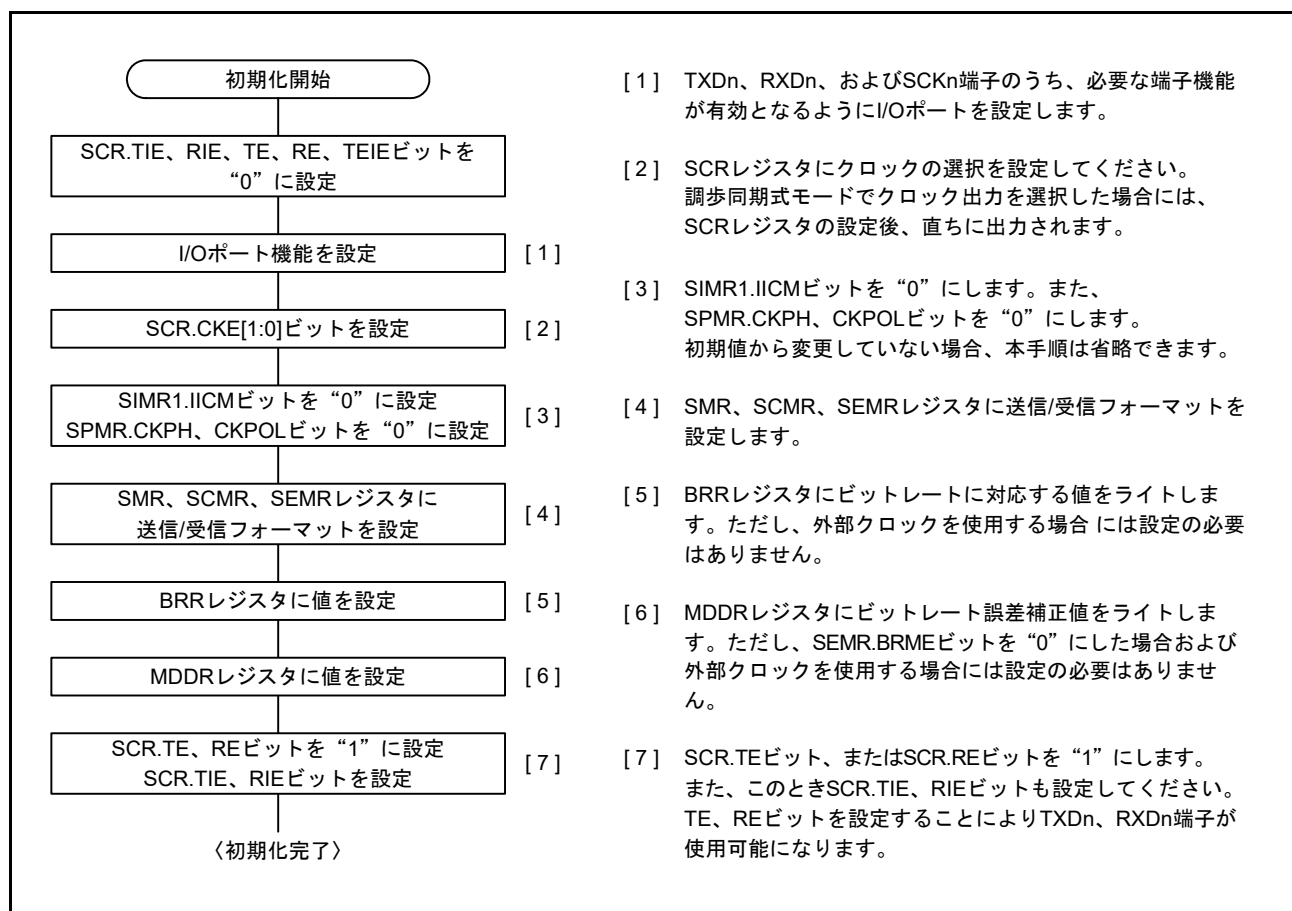


図 26.8 SCI の初期化フローチャートの例 (調歩同期式モード)

図 26.9 は、リセット解除後に図 26.8 に従って SCI を調歩同期式モードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を TXD 端子に設定した時点では、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。調歩同期式モードでは、この期間 TXD 端子は High になります。

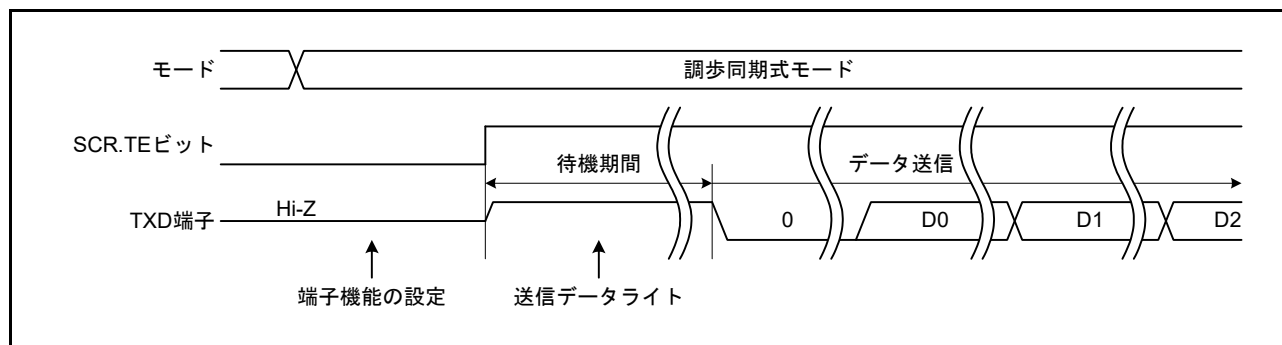


図 26.9 調歩同期式モード時のデータ送信タイミング例

26.3.7 シリアルデータの送信 (調歩同期式モード)

図 26.10 ～図 26.12 に調歩同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ (注 1) にデータが書き込まれると、TDR レジスタ (注 1) から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” にした後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” にすることで発生します。
2. SPMR.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力 Low で、TDR レジスタ (注 1) から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ (注 1、注 2) に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ (注 1、注 2) に書いた後、SCR.TIE ビットを “0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを “1” (TEI 割り込み要求を許可) にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ (注 3) の更新 (書き込み) をチェックします。
5. TDR レジスタ (注 3) が更新されていると、SPMR.CTSE ビットが “0” (CTS 機能禁止)、または CTSn# 端子入力 Low で、次の送信データを TDR レジスタ (注 1) から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ (注 3) が更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、High を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” であると、SSR.TEND フラグが “1” になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 26.13 にシリアル送信のフローチャートの例を示します。

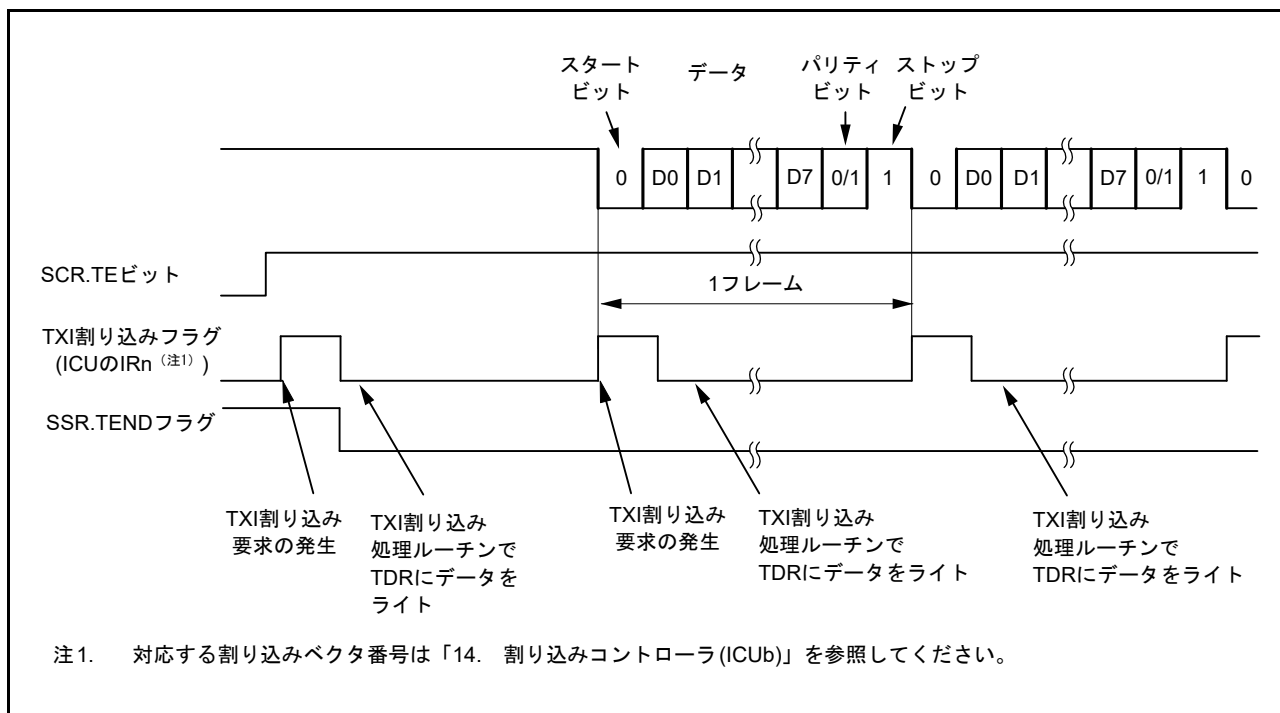


図 26.10 調歩同期式モードのシリアル送信の動作例 (1)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信開始時)

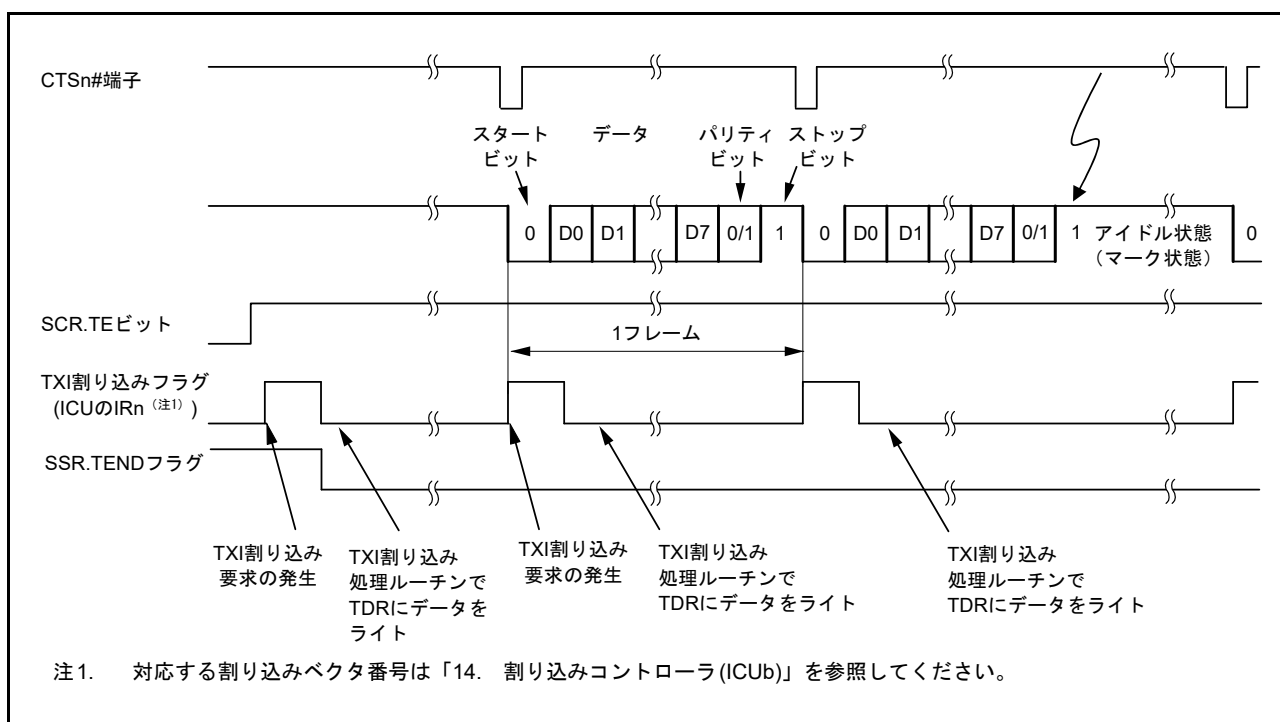


図 26.11 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

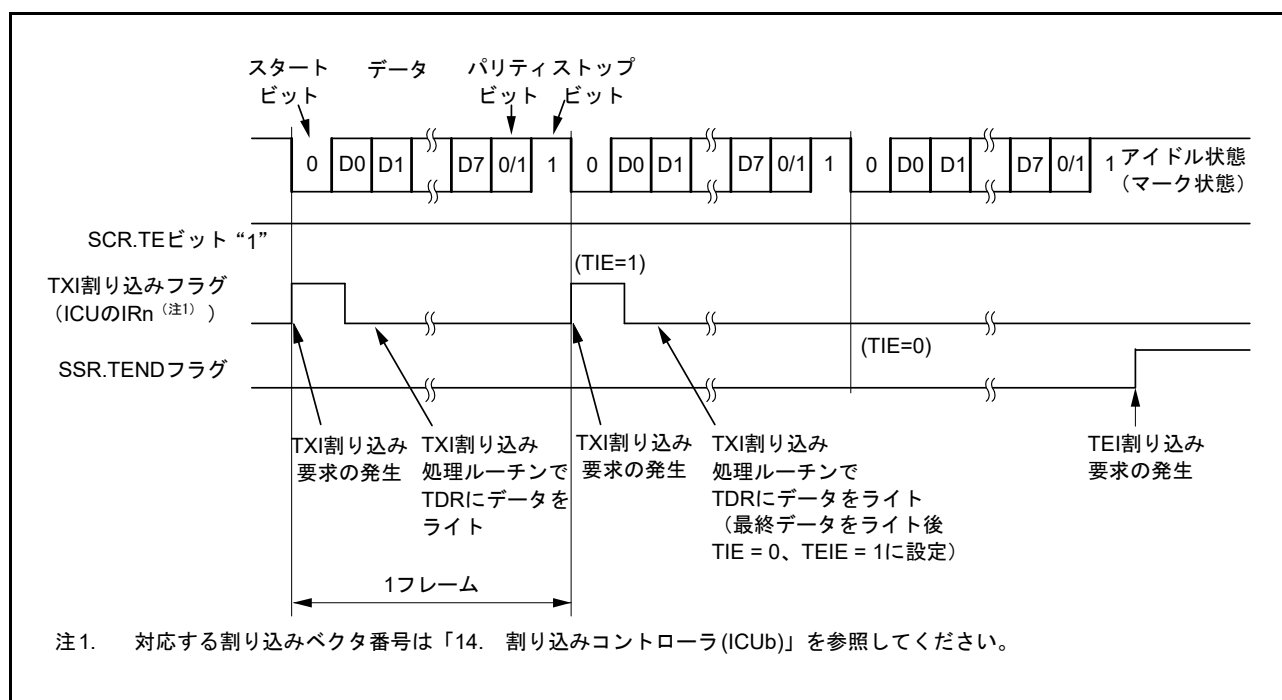


図 26.12 調歩同期式モードのシリアル送信の動作例 (3)

(8 ビットデータ / パリティあり / 1 ストップビット / CTS 機能使用しない / 送信中～送信終了時)

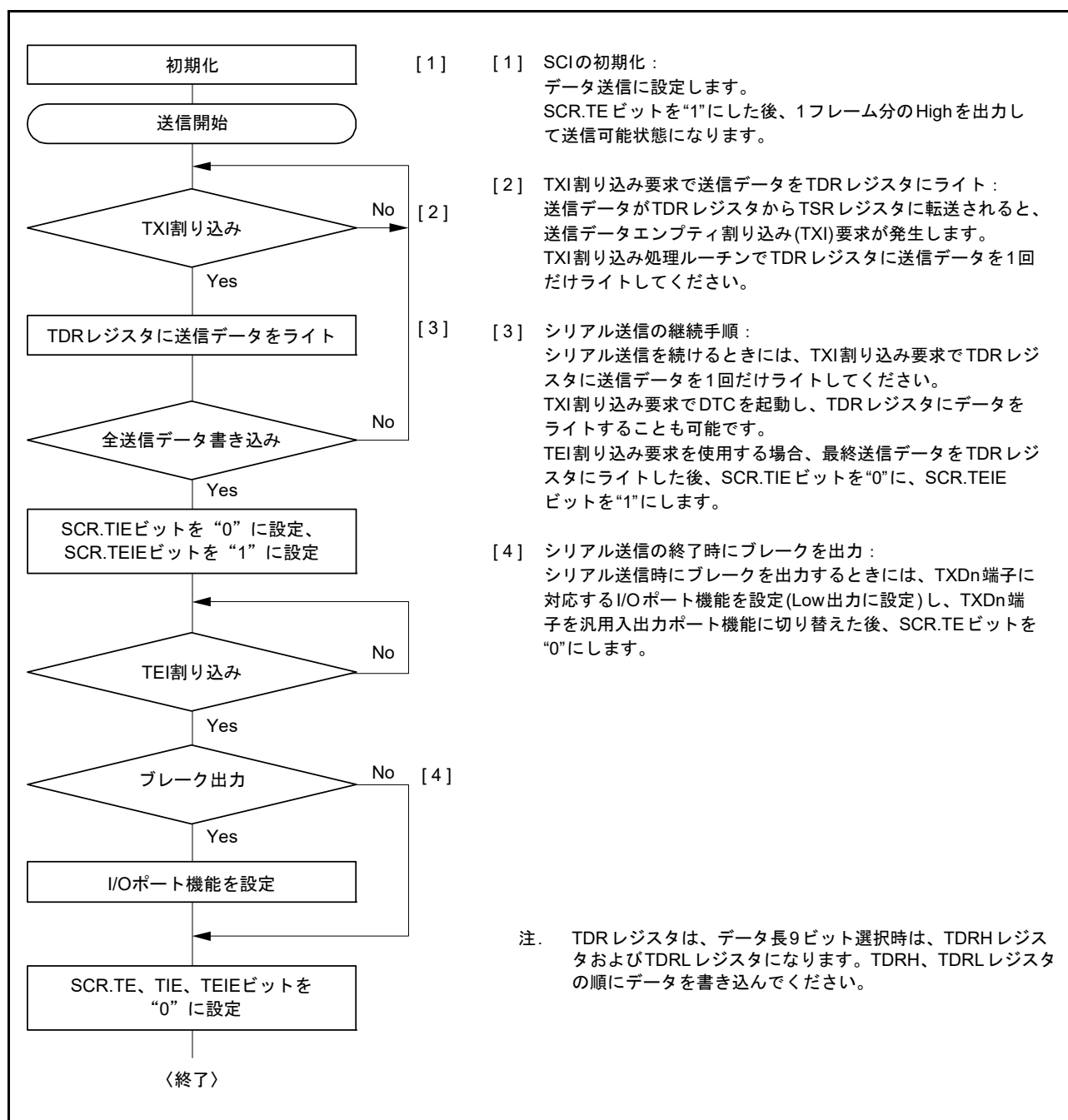


図 26.13 調歩同期式モードのシリアル送信のフローチャート例

26.3.8 シリアルデータの受信 (調歩同期式モード)

図 26.14、図 26.15 に調歩同期式モードのシリアル受信時の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします (RTS 機能使用時)。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ (注 1) に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー (ストップビットが“0”のとき) を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ (注 1) に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ (注 1) に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ (注 2) に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

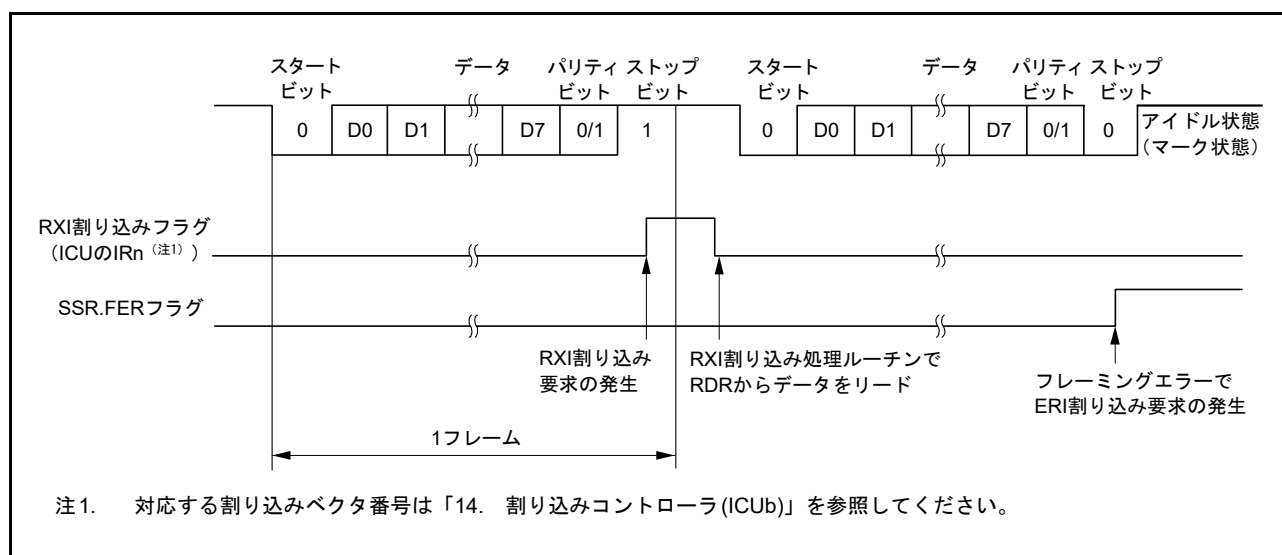


図 26.14 調歩同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

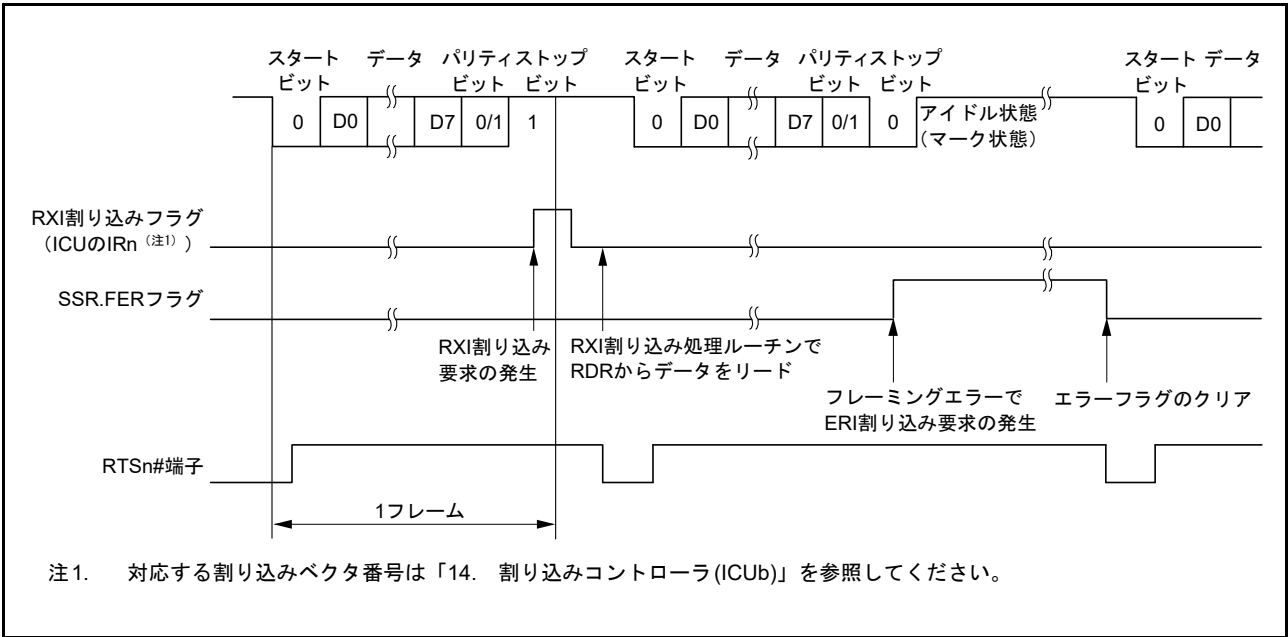


図 26.15 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 26.28 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 26.16、図 26.17 にシリアル受信のフローチャートの例を示します。

表 26.28 SSRレジスタのステータスフラグの状態と受信データの処理

SSRレジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1)へ転送	フレーミングエラー
0	0	1	RDR (注1)へ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDR (注1)へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注1. データ長9ビット選択時はRDRH、RDRL レジスタになります。

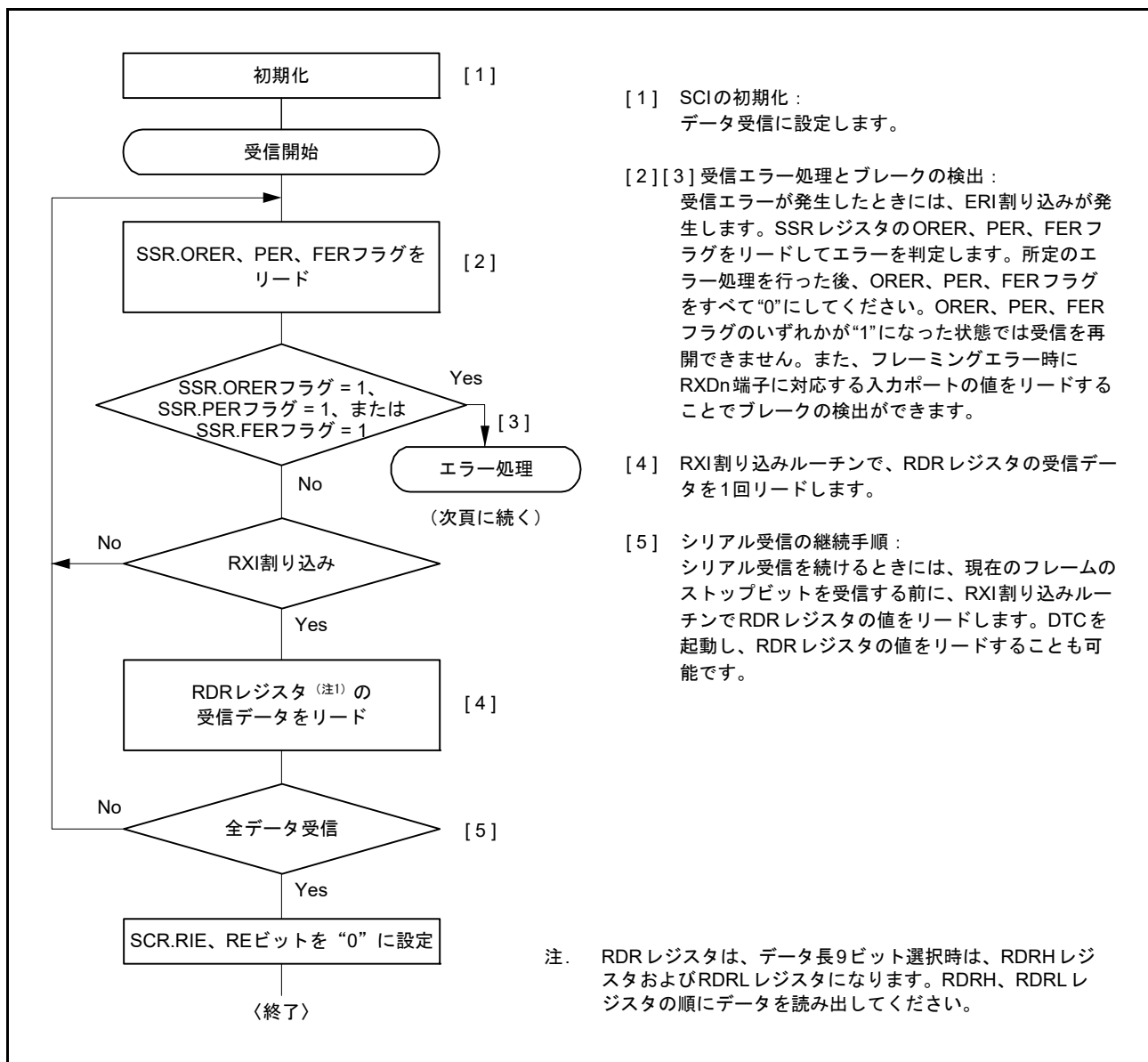


図 26.16 調歩同期式モードのシリアル受信のフローチャート例 (1)

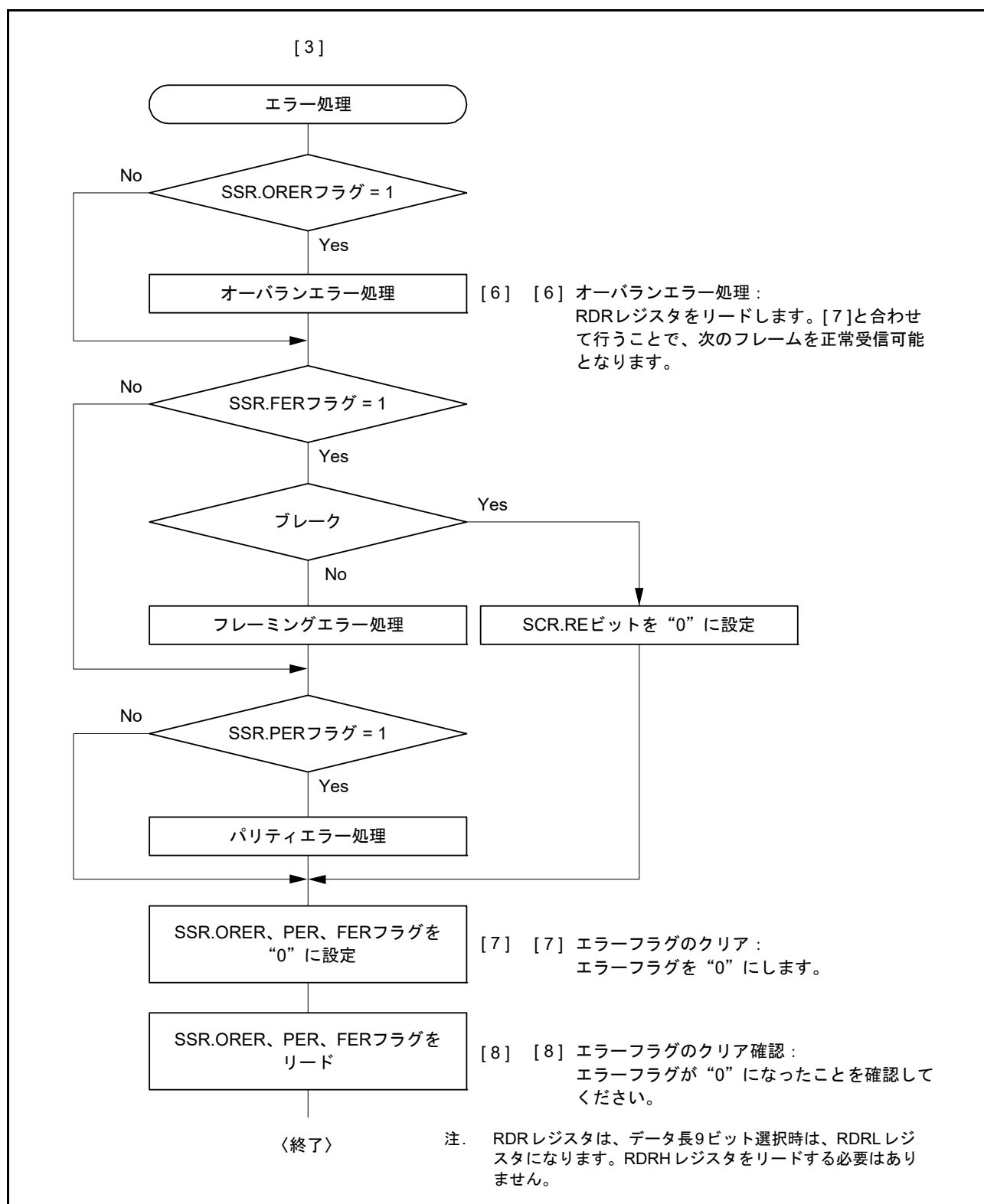


図 26.17 調歩同期式モードのシリアル受信のフローチャート例 (2)

26.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 26.18 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともに SCR.MPIE ビットが“0”になって通常の受信動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

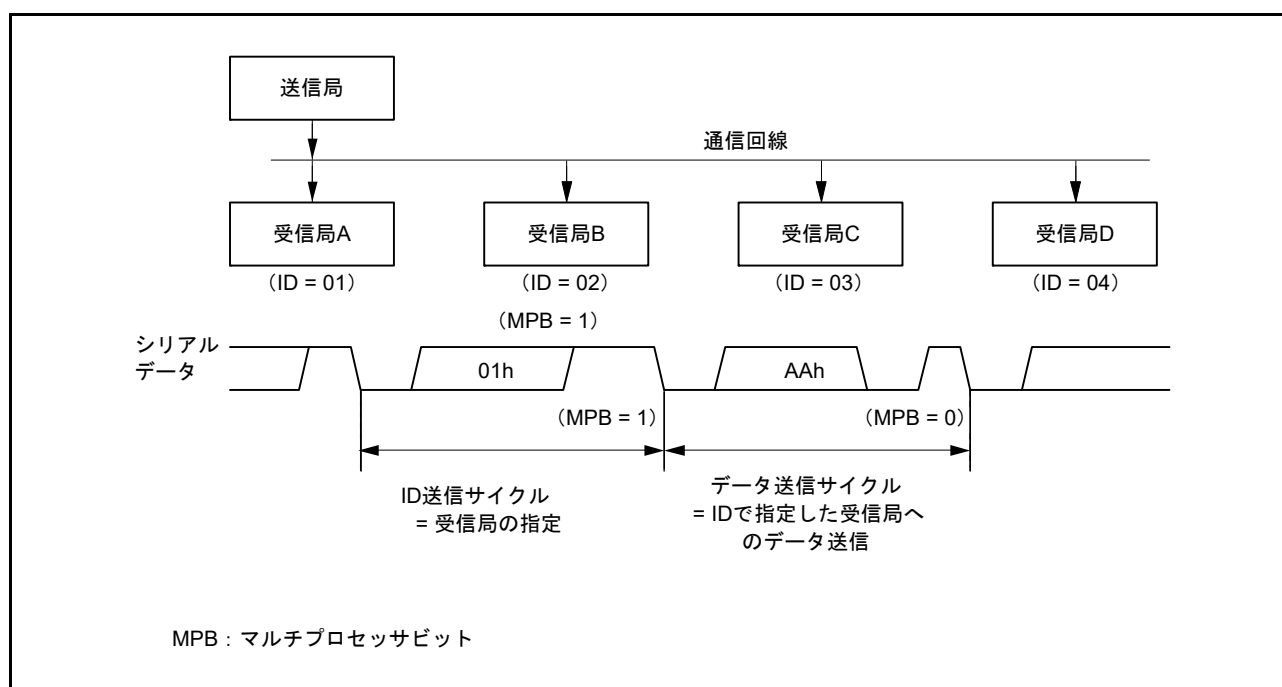


図 26.18 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ “AAh” の送信の例)

26.4.1 マルチプロセッサシリアルデータ送信

図 26.19 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

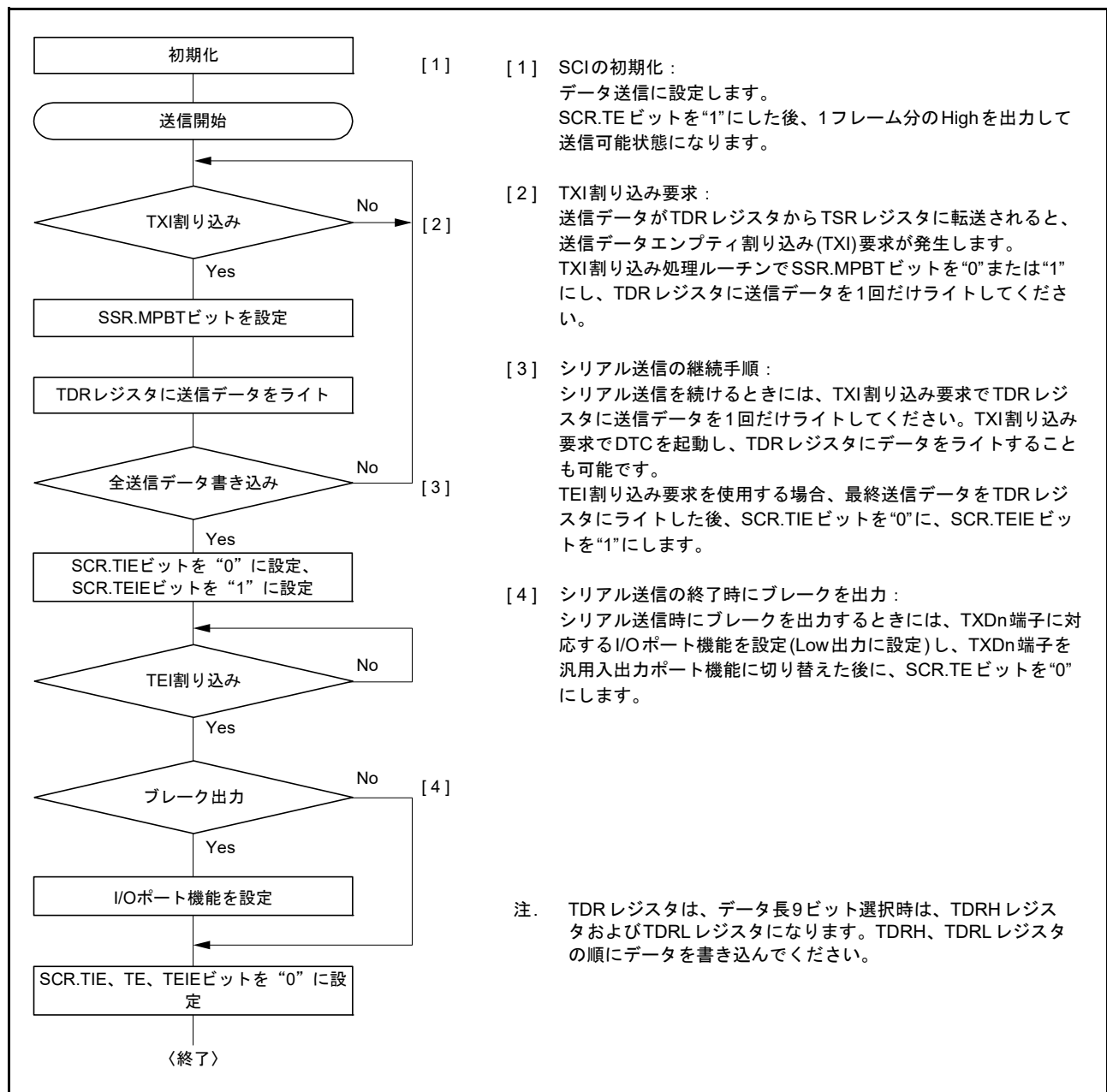


図 26.19 マルチプロセッサシリアル送信のフローチャートの例

26.4.2 マルチプロセッサシリアルデータ受信

図 26.21、図 26.22 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 26.20 に受信時の動作例を示します。

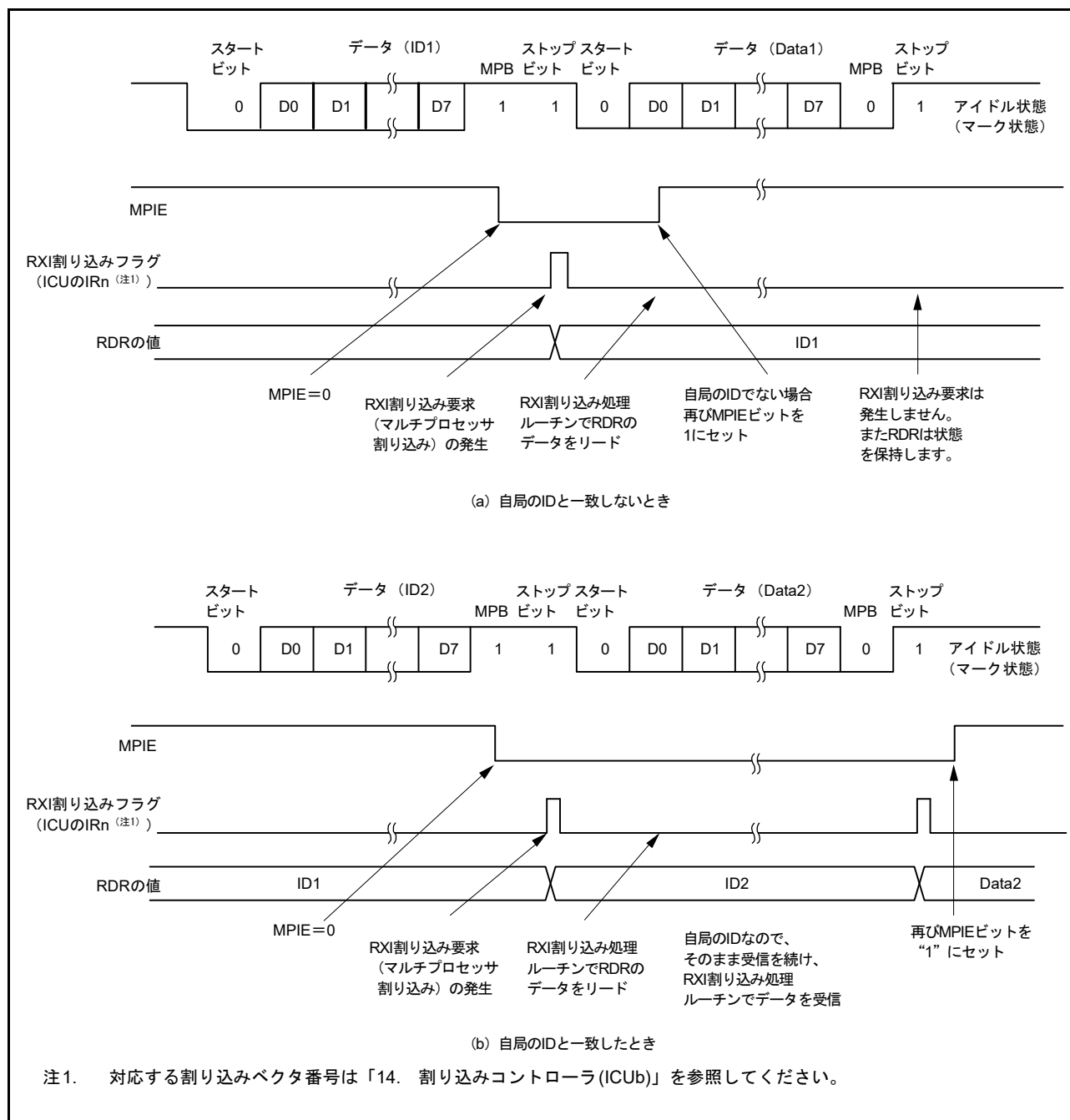


図 26.20 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

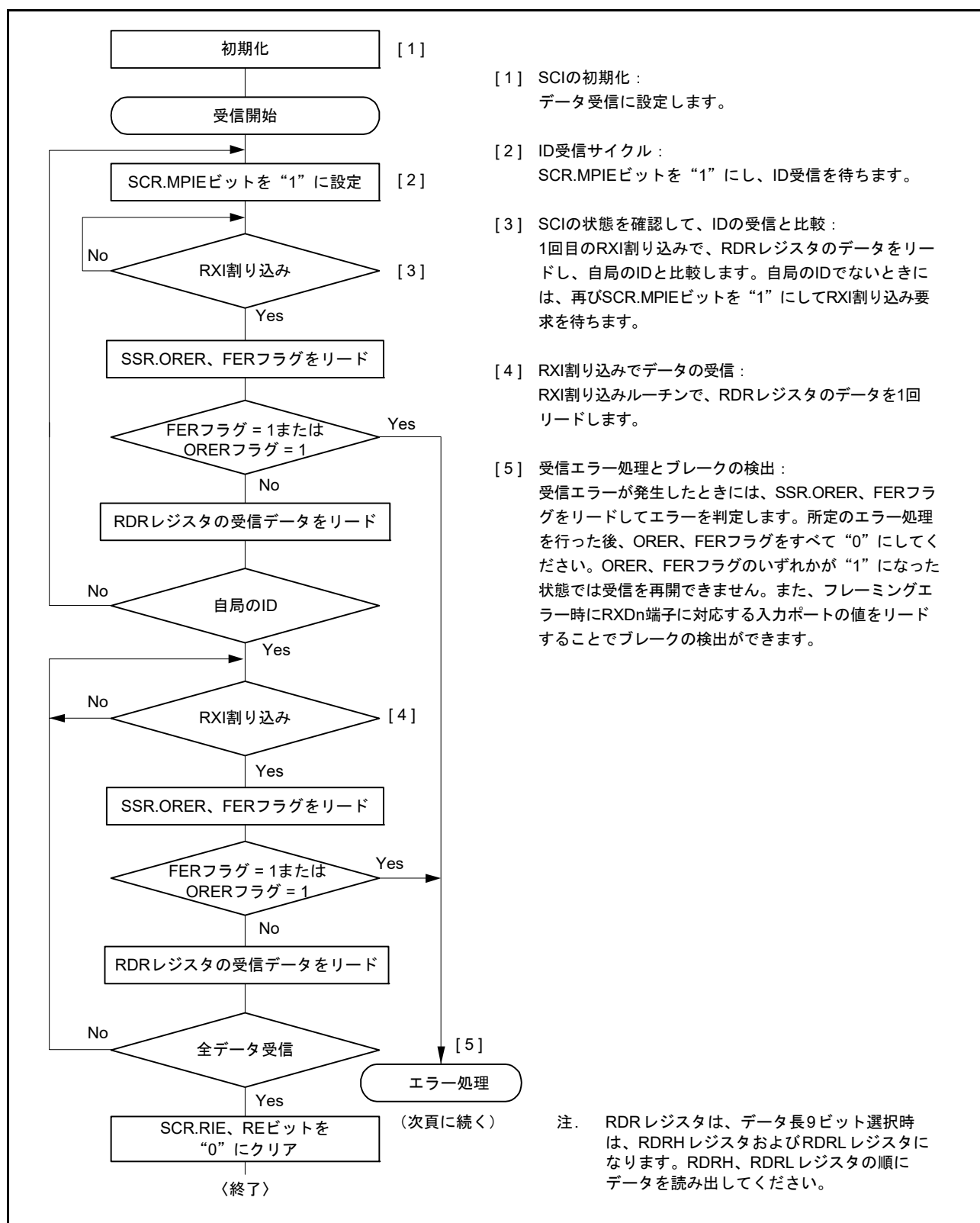


図 26.21 マルチプロセッサシリアル受信のフローチャートの例 (1)

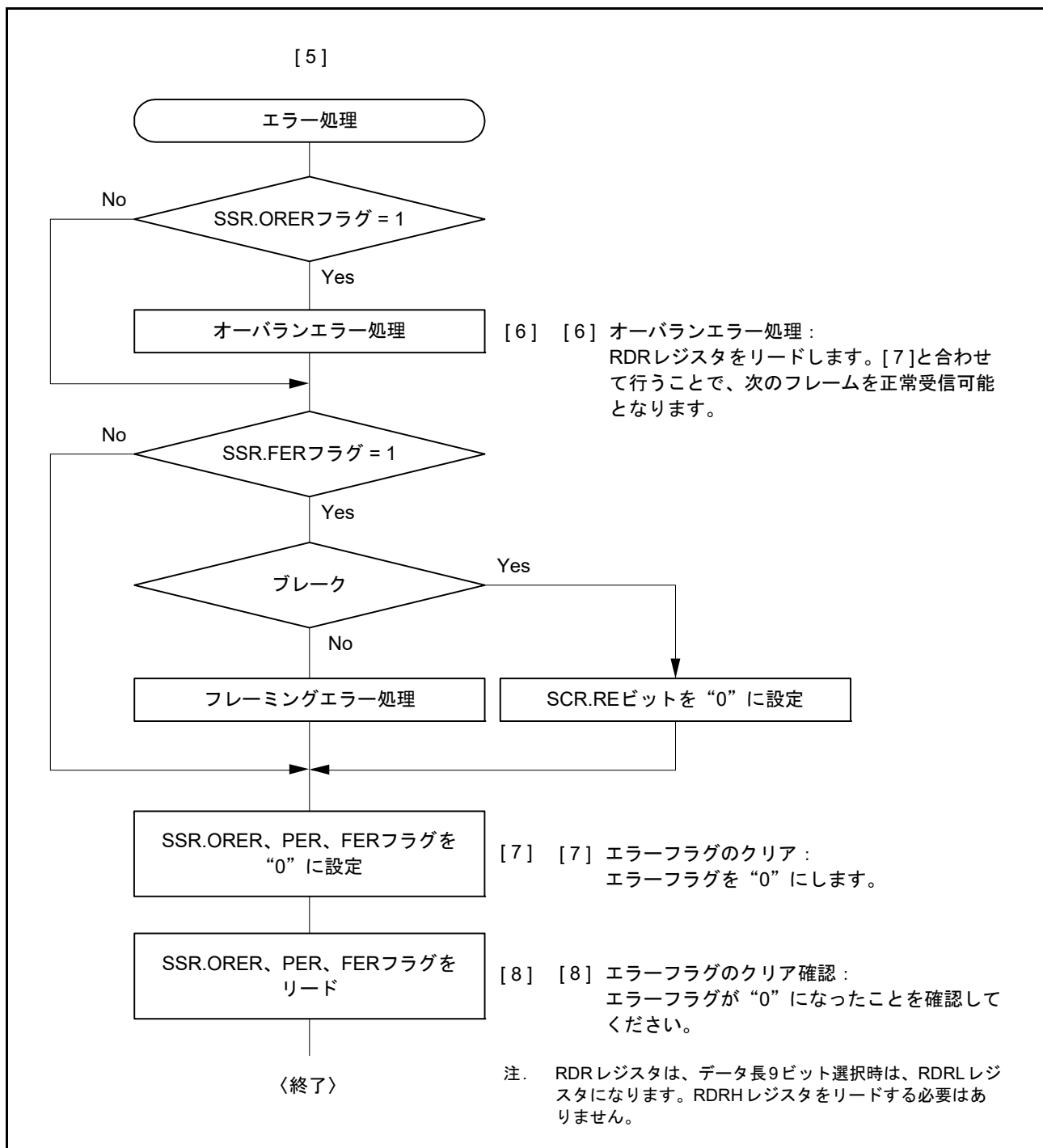


図 26.22 マルチプロセッサシリアル受信のフローチャートの例 (2)

26.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 26.23 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

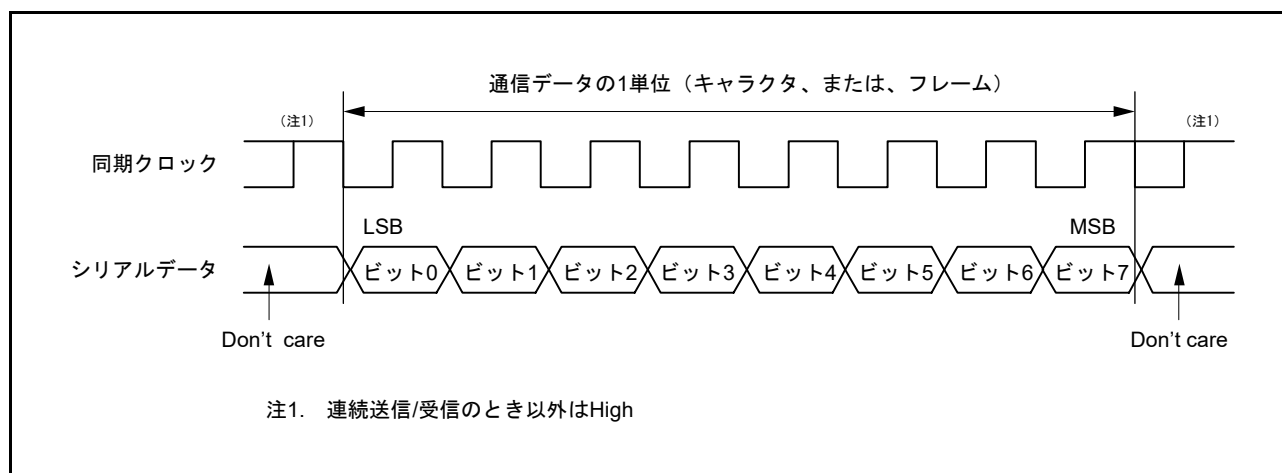


図 26.23 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

26.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバーランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバーランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

26.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビットを“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

送受信動作中に CTSn# 端子を High にした場合、送受信中のフレームは影響を受けず送受信を継続します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 未読の受信データがない (SCR.RE ビットが“1”のとき)
- 未送信のデータがある (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

26.5.3 SCI の初期化 (クロック同期式モード)

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 26.24 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。

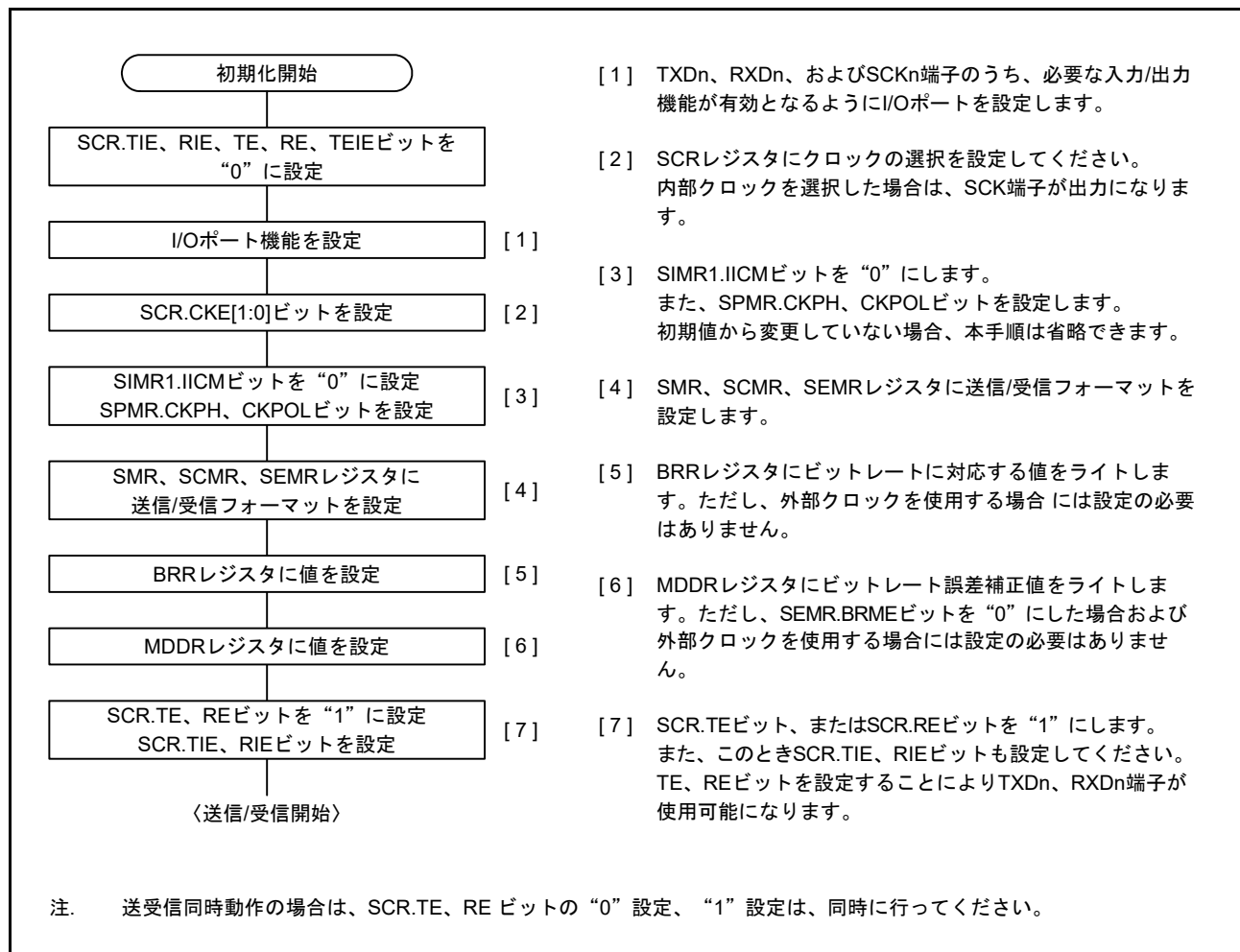


図 26.24 SCI の初期化フローチャートの例 (クロック同期式モード)

26.5.4 シリアルデータの送信 (クロック同期式モード)

図 26.25、図 26.26、図 26.27 にクロック同期式モードのシリアル送信時の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0” (TXI 割り込み要求を禁止) に、SCR.TEIE ビットを“1” (TEI 割り込み要求を許可) にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1” (CTS 機能許可) のとき、CTS 信号入力 Low になるまで待つてから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新 (書き込み) をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 26.28 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ (SSR.ORER, FER, PER) が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にただけではクリアされませんので注意してください。

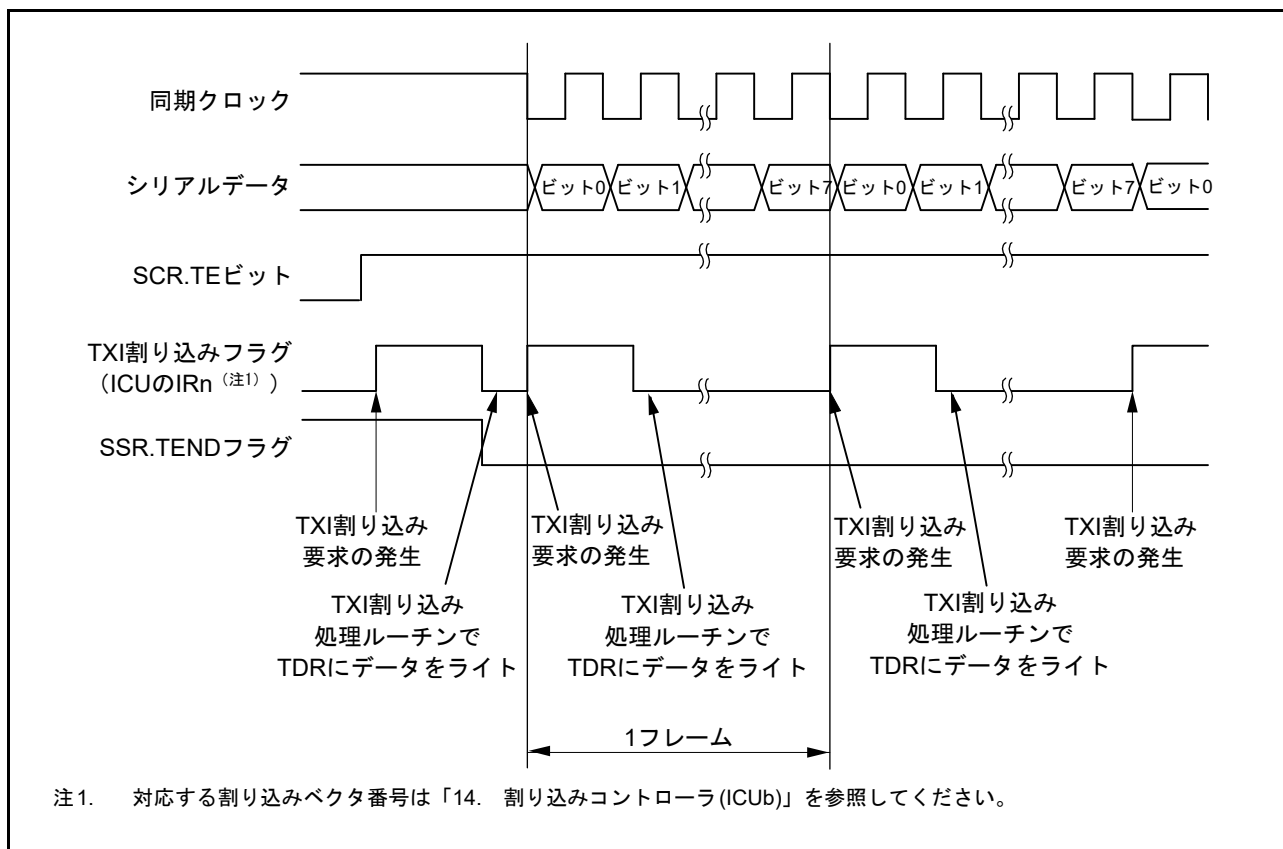


図 26.25 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

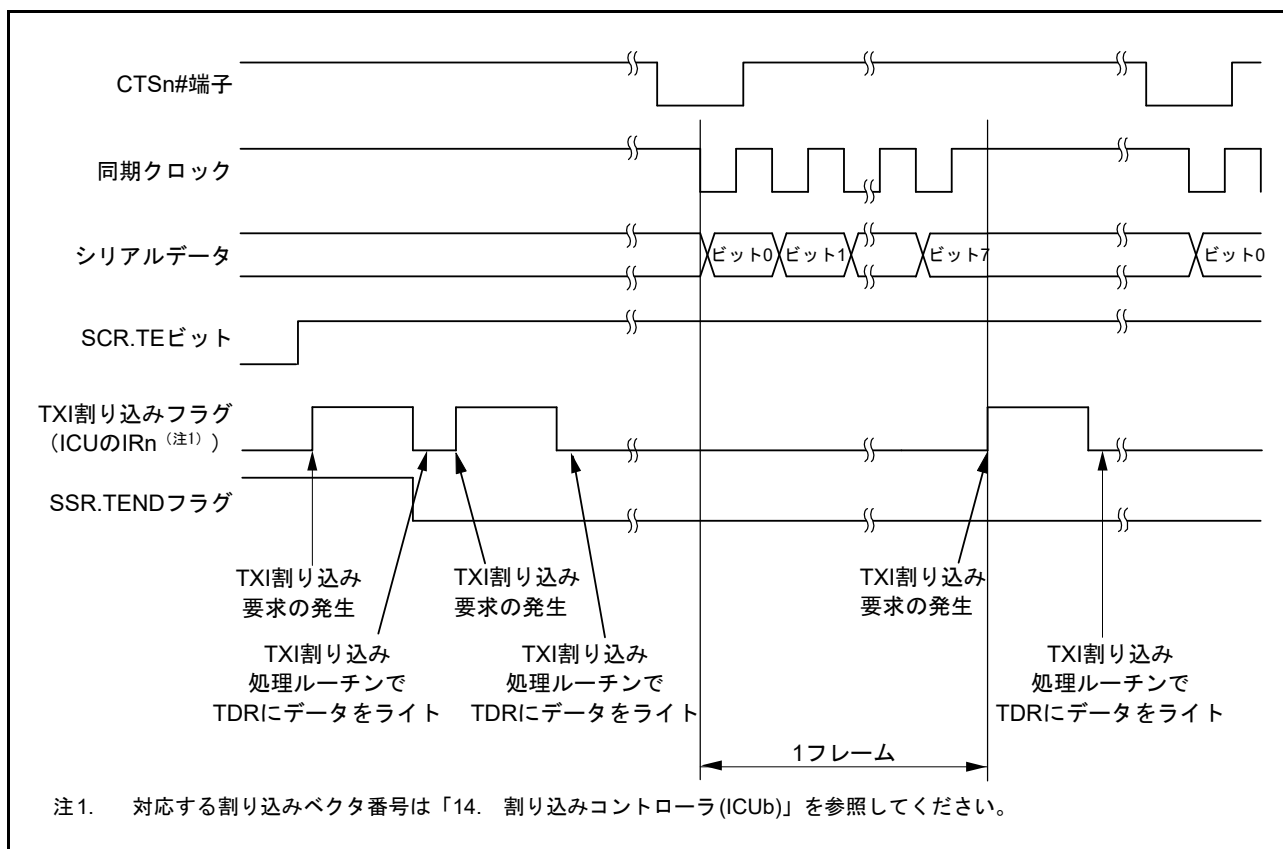


図 26.26 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

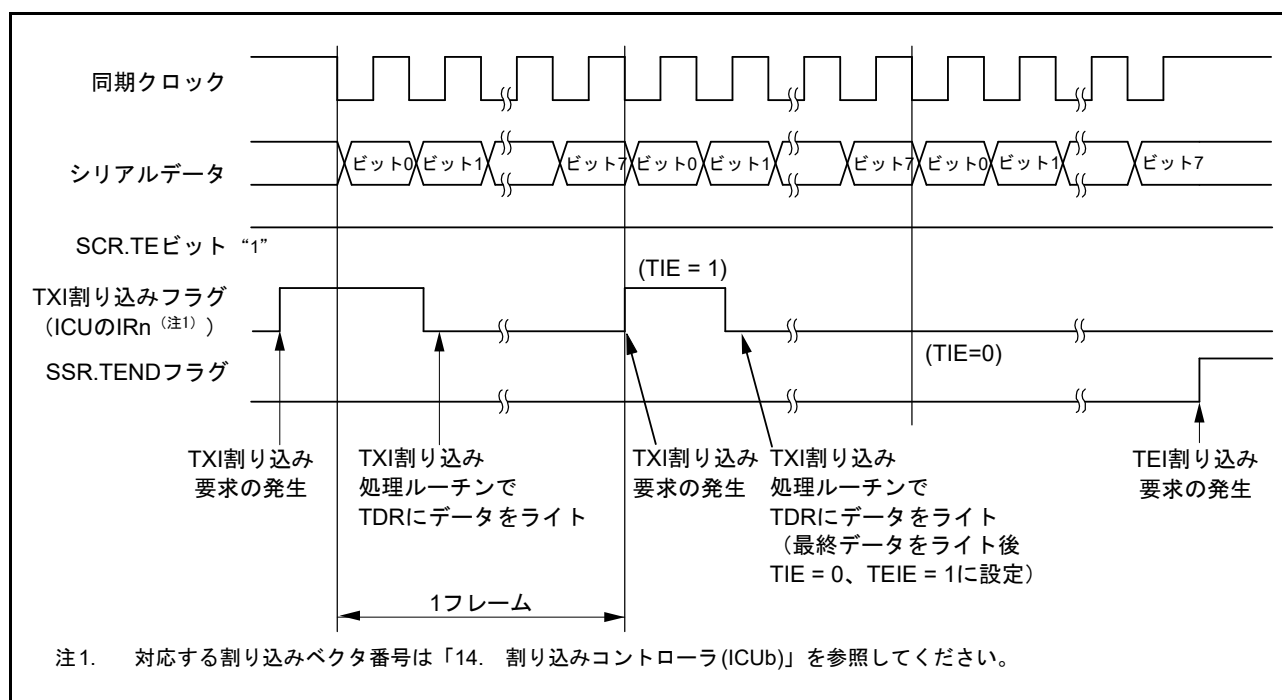


図 26.27 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

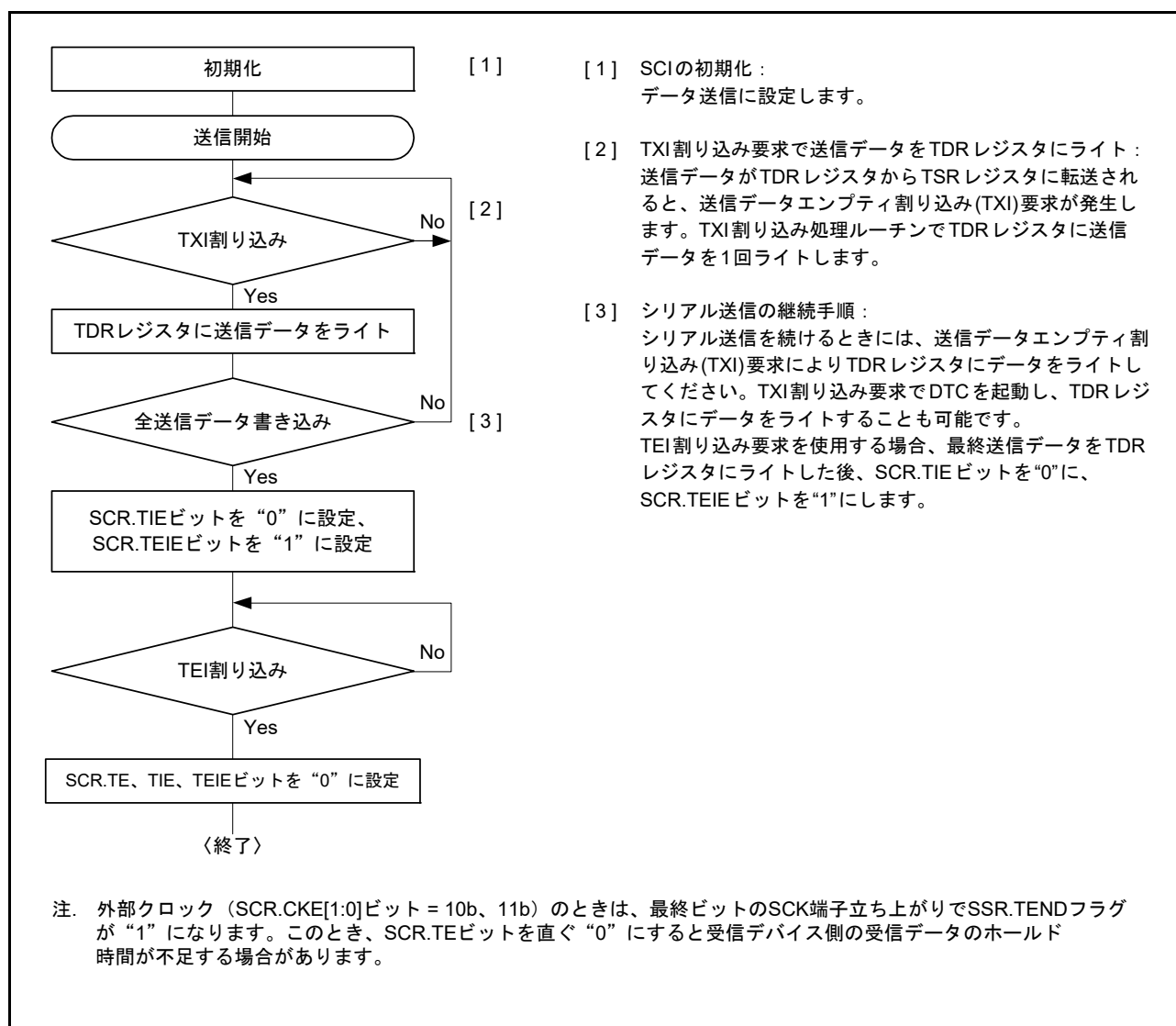


図 26.28 クロック同期式モードのシリアル送信のフローチャート例

26.5.5 シリアルデータの受信 (クロック同期式モード)

図 26.29、図 26.30 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします (RTS 機能使用時)。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします (RTS 機能使用時)。

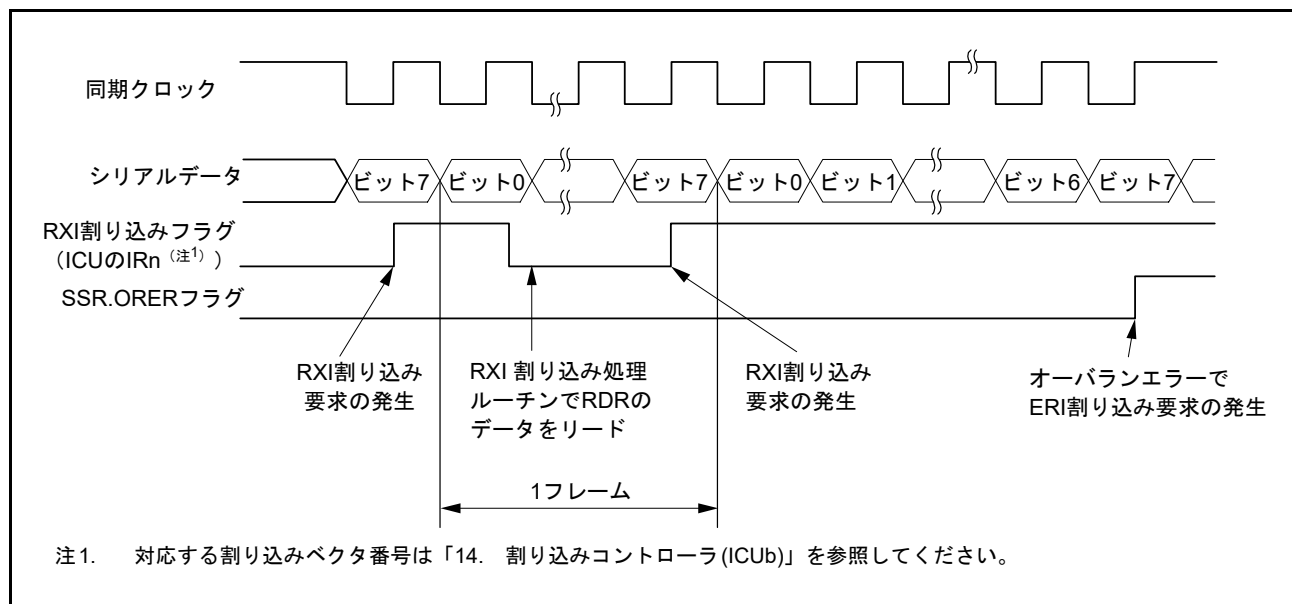


図 26.29 クロック同期式モードのシリアル受信時の動作例 (1) (RTS 機能未使用時)

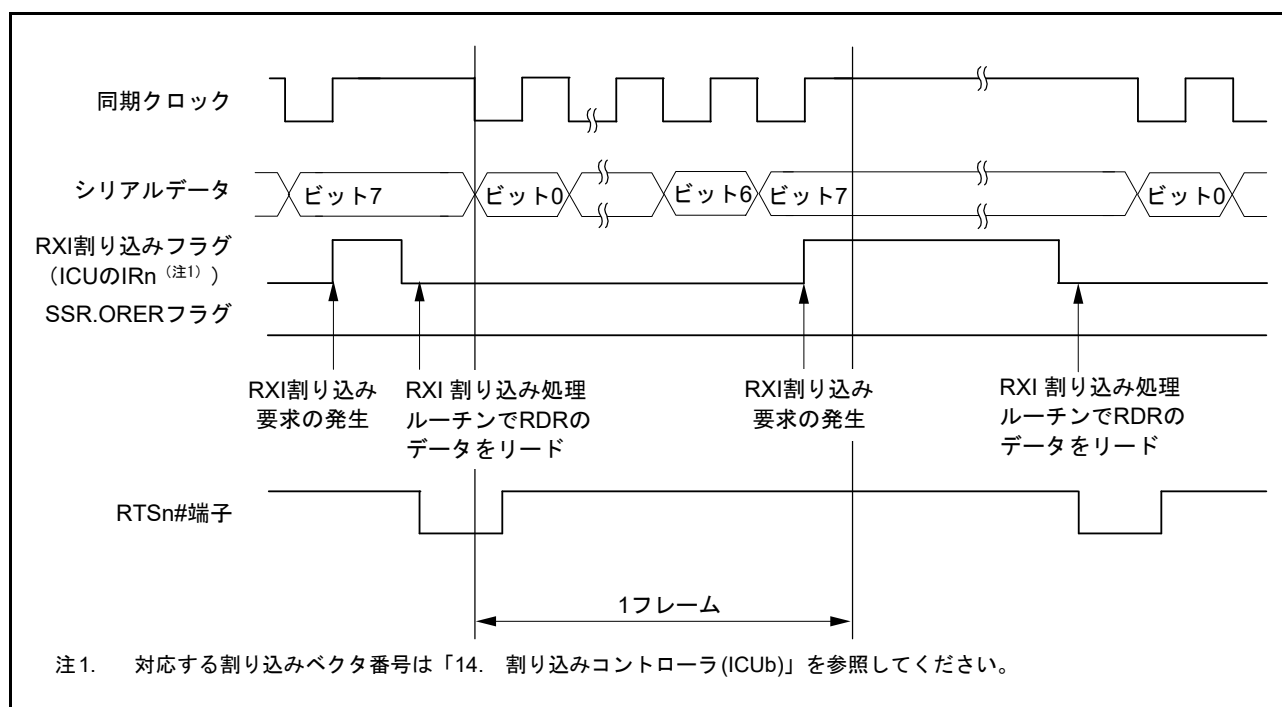


図 26.30 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 26.31 にシリアル受信のフローチャートの例を示します。

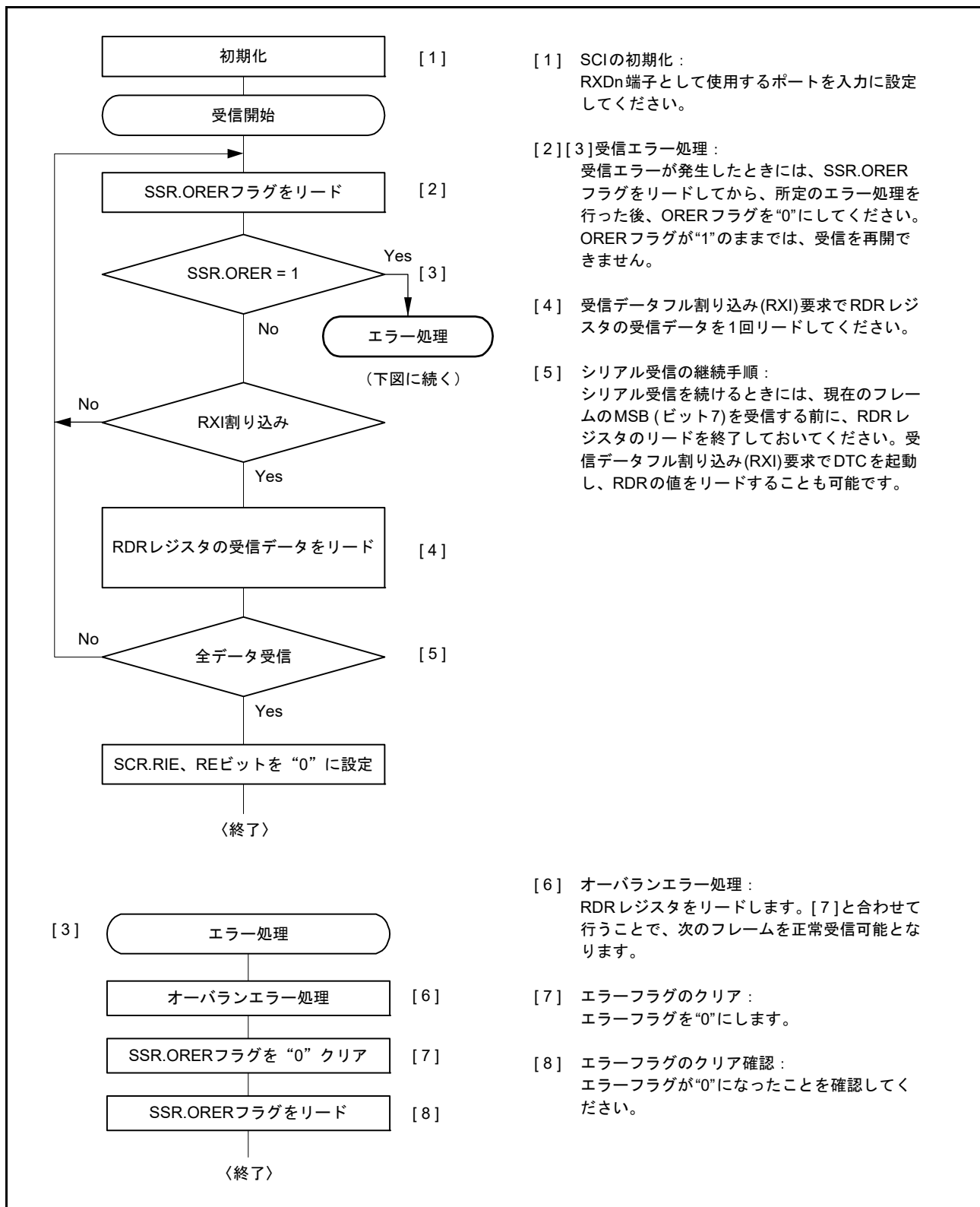


図 26.31 クロック同期式モードのシリアル受信のフローチャート例

26.5.6 シリアルデータの送受信同時動作 (クロック同期式モード)

図 26.32 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが“1”になっていることで確認してください。その後、SCR レジスタを初期化してから SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR レジスタの RIE、RE ビットを“0”にしてから、エラーフラグ (SSR.ORER, FER, PER) が“0”であることを確認した後、SCR レジスタの TIE、RIE、TE、RE ビットを 1 命令で同時に“1”にしてください。

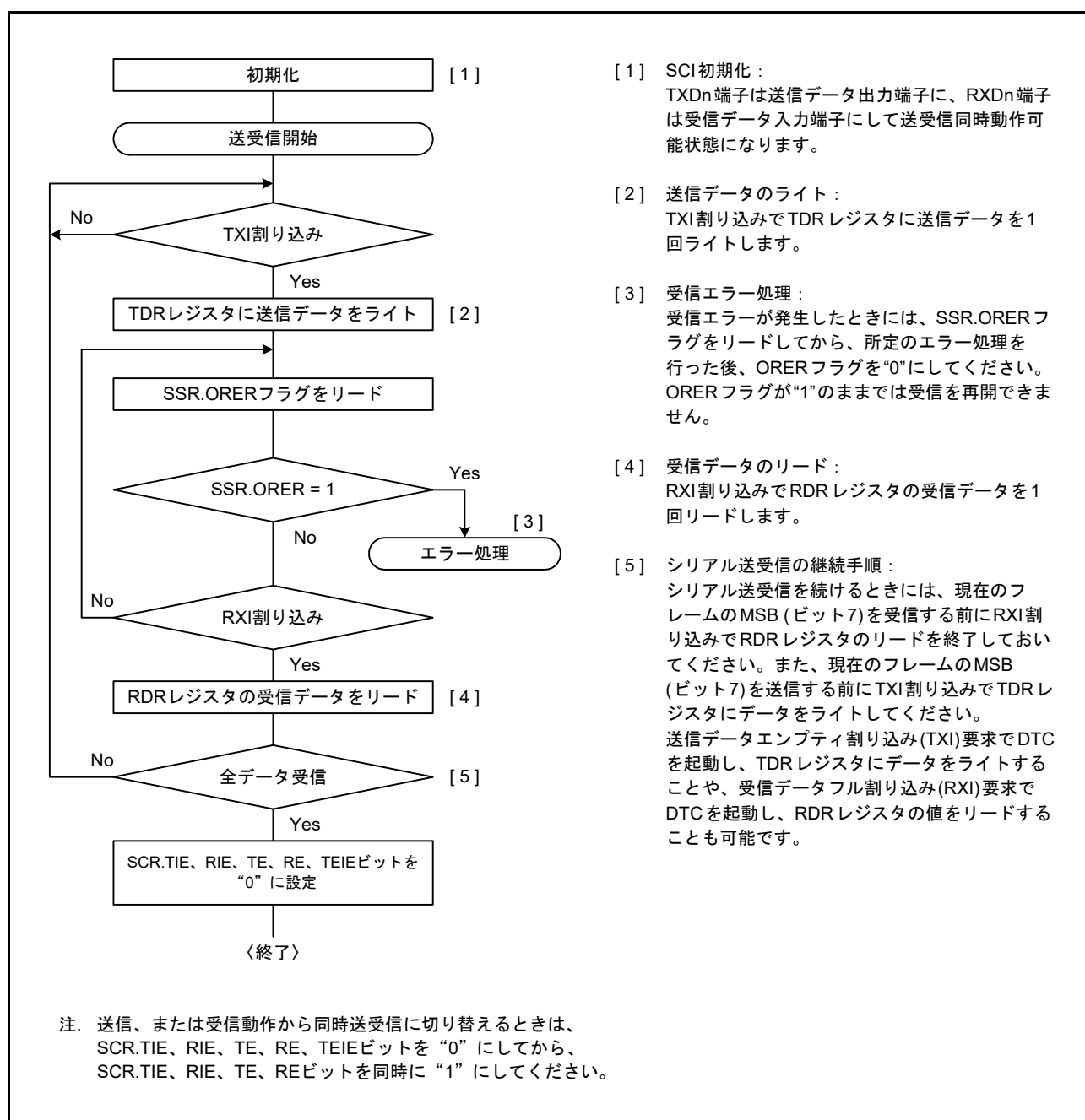


図 26.32 クロック同期式モードのシリアル送受信同時動作のフローチャート例

26.6 スマートカードインタフェースモードの動作

SCI の拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

26.6.1 接続例

図 26.33 にスマートカード (IC カード) との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

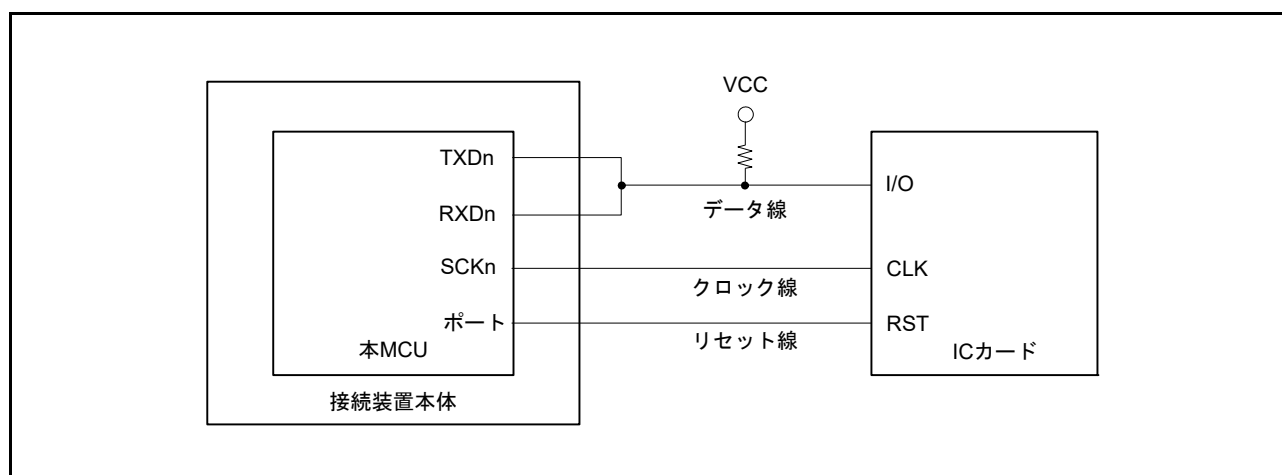


図 26.33 スマートカード (IC カード) との接続例

26.6.2 データフォーマット (ブロック転送モード時を除く)

図 26.34 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit: 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

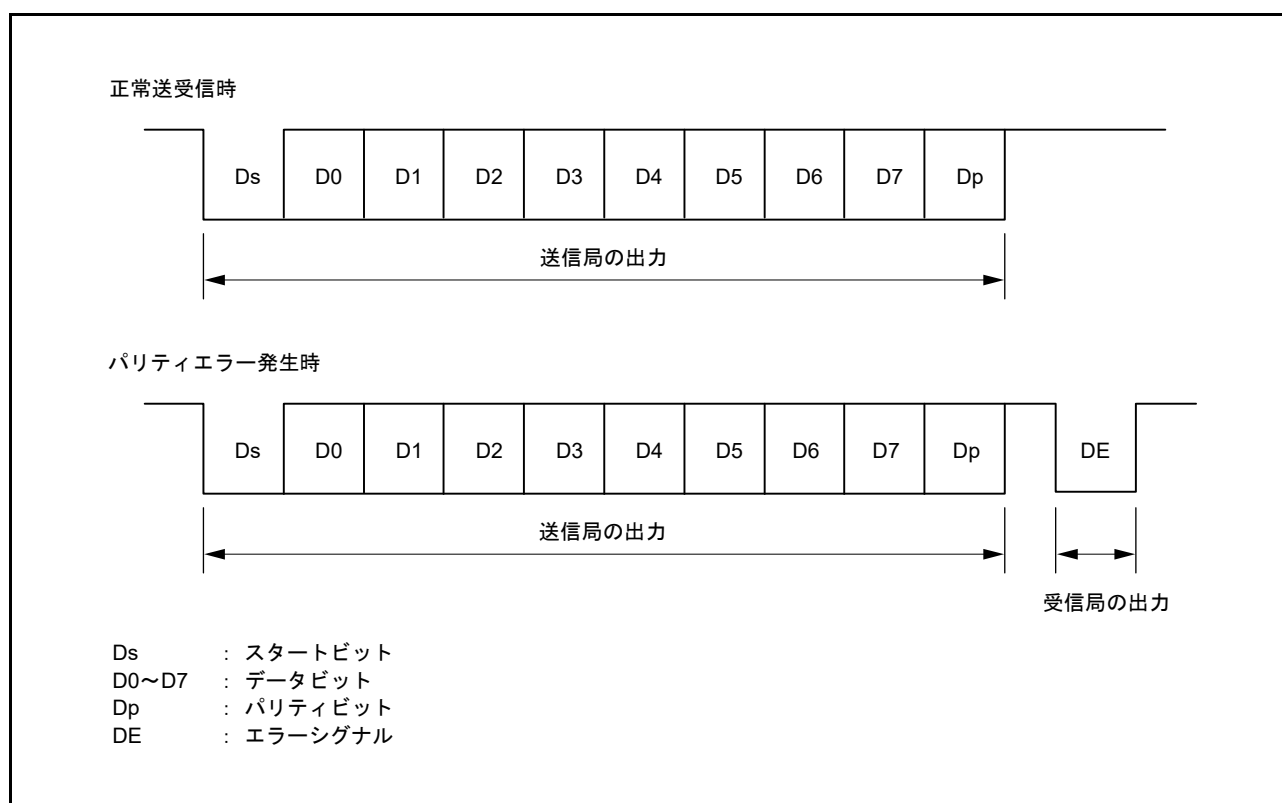


図 26.34 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、図 26.35 に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。図 26.35 の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには“0”を設定してください。

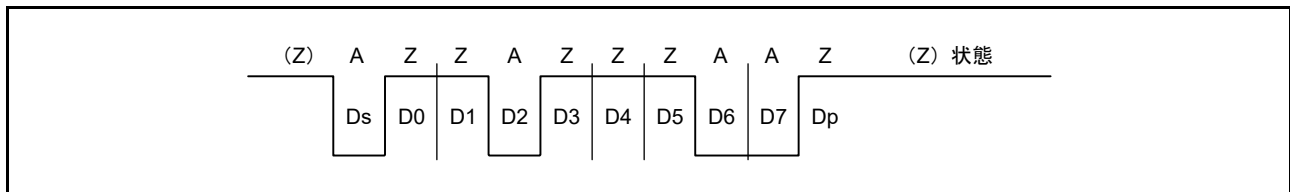


図 26.35 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。図 26.36 の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR.PM ビットに“1”を設定してパリティビットを反転させてください。

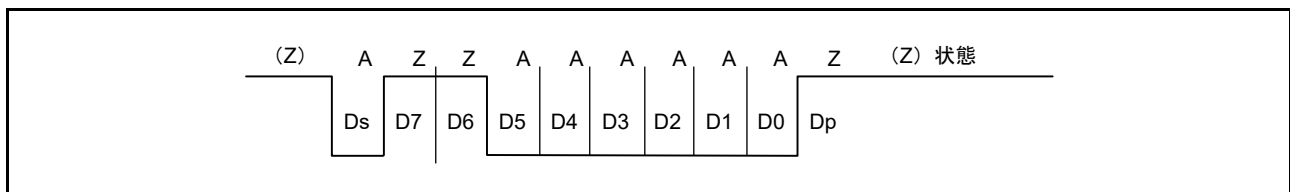


図 26.36 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

26.6.3 ブロック転送モード

ブロック転送モードは、非ブロック転送モードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは非ブロック転送モードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

26.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使える送受信クロックは、内蔵ボーレートジェネレータが生じた基本クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして同期化します。図 26.37 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 クロック目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100 (\%)$$

M: 受信マージン(%)

N: クロックに対するビットレートの比(N = 32, 64, 372, 256)

D: クロックデューティ (D = 0 ~ 1.0)

L: フレーム長(L = 10)

F: クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{0.5 - 1/(2 \times 372)\} \times 100 (\%) = 49.866 (\%)$$

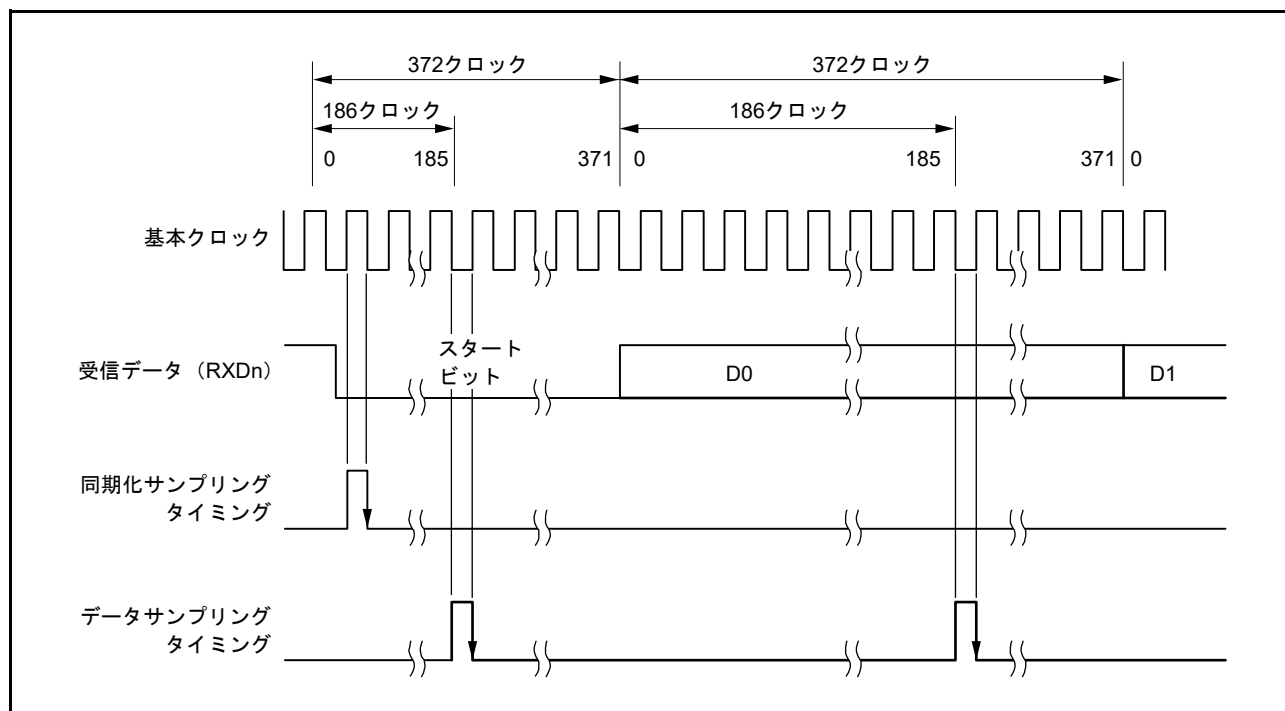


図 26.37 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

26.6.5 SCI の初期化 (スマートカードインタフェースモード)

図 26.38 のフローチャート例に従って SCI を初期化してください。

送信モードと受信モードを切り替える場合も、SCR レジスタと SSR レジスタは初期化してください。ビットレートを変更しない場合、CKE[1:0] ビットを “00b” にする必要はありません。なお、RE ビットを “0” にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、図 26.38 の [1] と [3] を実施し、[11] で TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、または SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、図 26.38 の [1] と [3] を実施し、[11] で TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

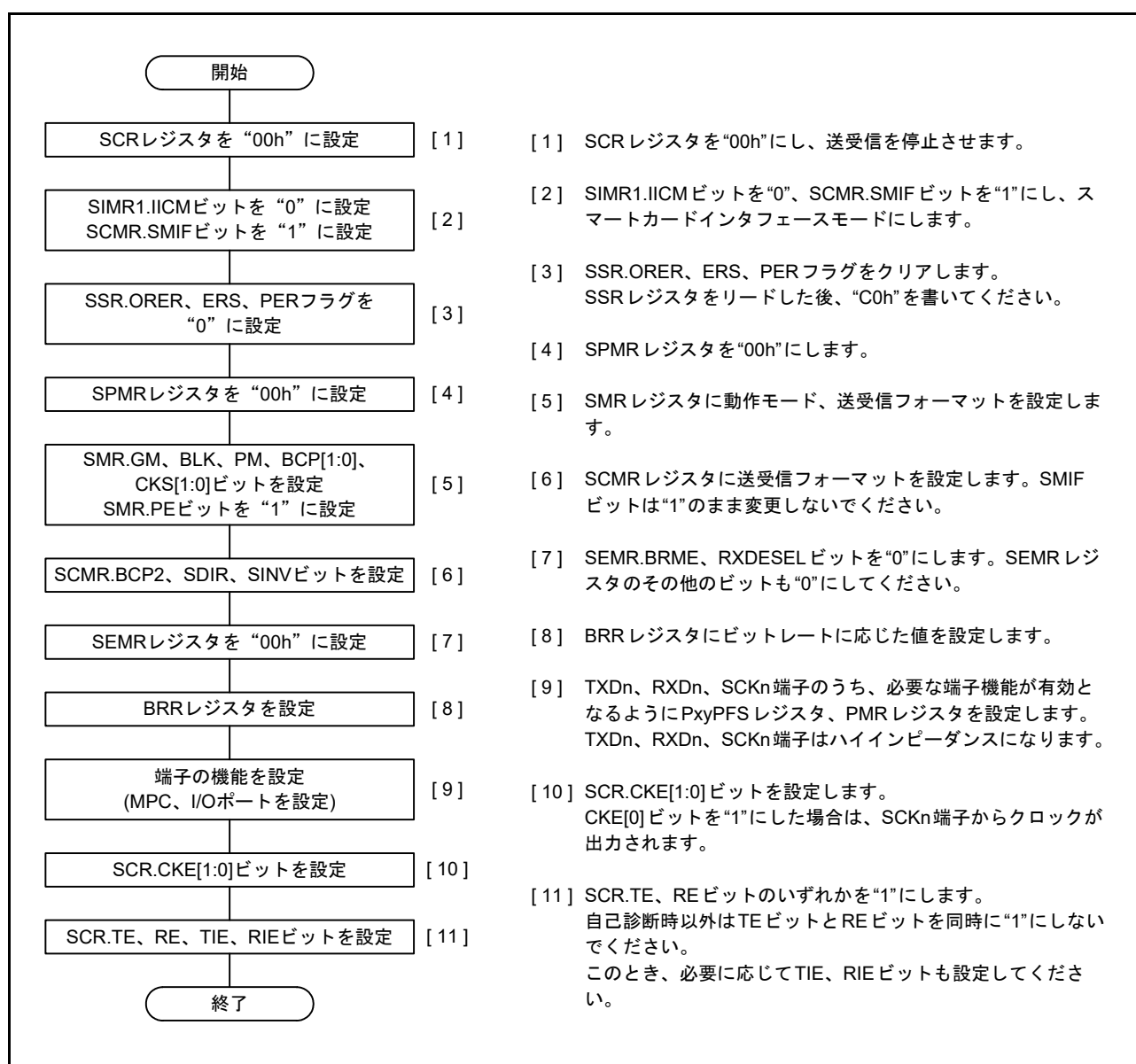


図 26.38 SCI の初期化フローチャートの例 (スマートカードインタフェースモード)

図 26.39 は、リセット解除後に図 26.38 に従って SCI をスマートカードインタフェースモードに設定して、データ送信を行ったときのタイミング例です。図に示すように、端子機能を SCK 端子、TXD 端子に設定した時点では、それぞれ SCR.CKE[0] ビット、SCR.TE ビットが“0”であるため端子はハイインピーダンスです。CKE[0] ビットを“1”にすると SCK 端子からクロックが出力されます。TE ビットを“1”にした後送信データを書くと、データ送信が開始されます。TE ビットを“1”にしてからデータ送信が開始されるまでには、1 フレーム分の内部待機期間があります。スマートカードインタフェースモードでは、この期間 TXD 端子はハイインピーダンスになります。

スマートカードインタフェースモードでは、TE ビット、RE ビットが共に“0”になっている場合でも、CKE[0] ビットが“1”(クロック出力)であれば、クロックを出力し続けます。

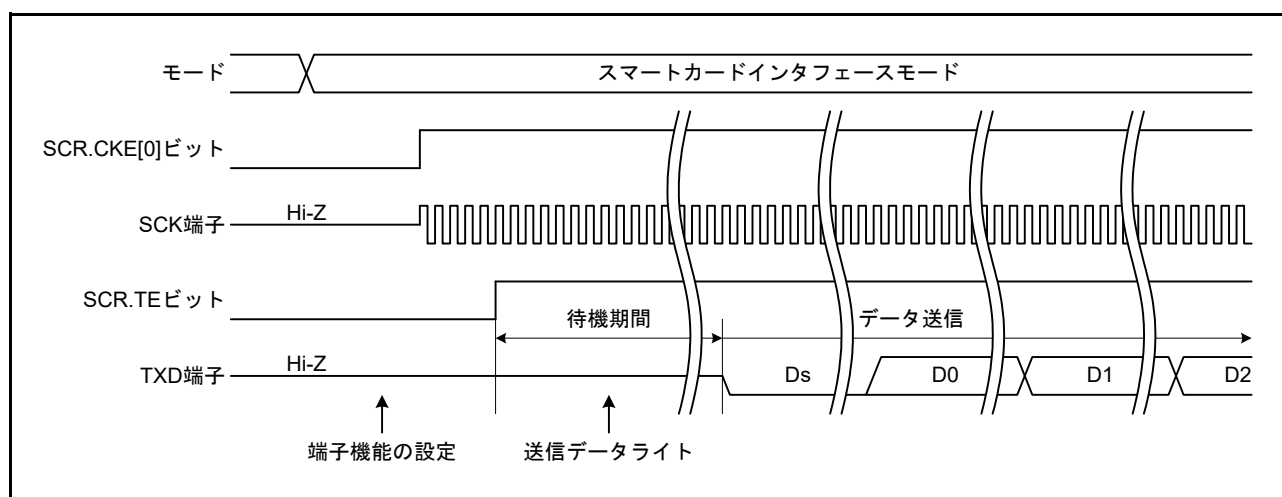


図 26.39 スマートカードインタフェースモード時のデータ送信タイミング例

26.6.6 シリアルデータの送信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります (ブロック転送モードを除く)。送信時の再送信動作を図 26.40 に示します。

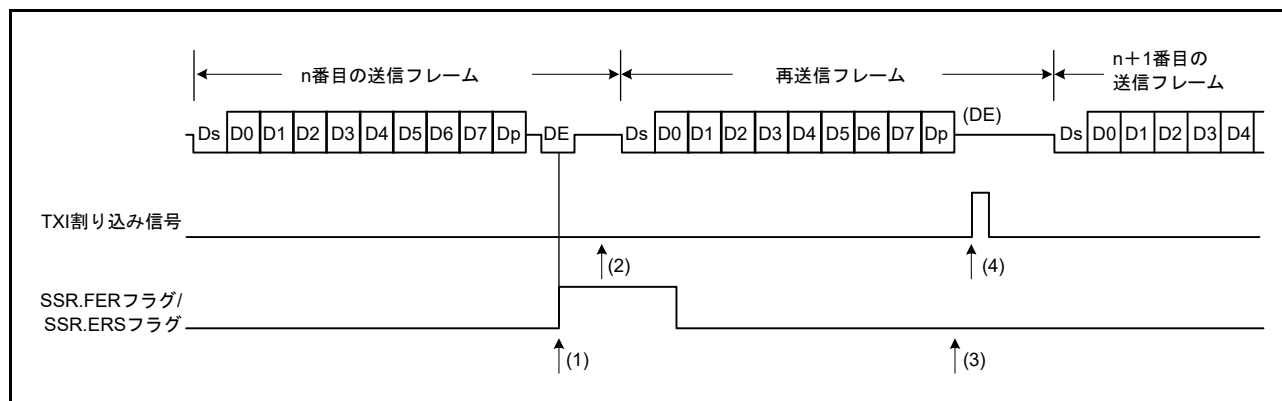


図 26.40 SCI 送信モードの場合の再送信動作 (送信時の再送信動作)

- (1) 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが“1”になります。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS フラグをクリアしてください。
- (2) エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
- (3) 受信側からエラーシグナルが返ってこない場合は、ERS フラグはセットされません。
- (4) 再送信を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが“1”であれば、TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 26.41 に示します。

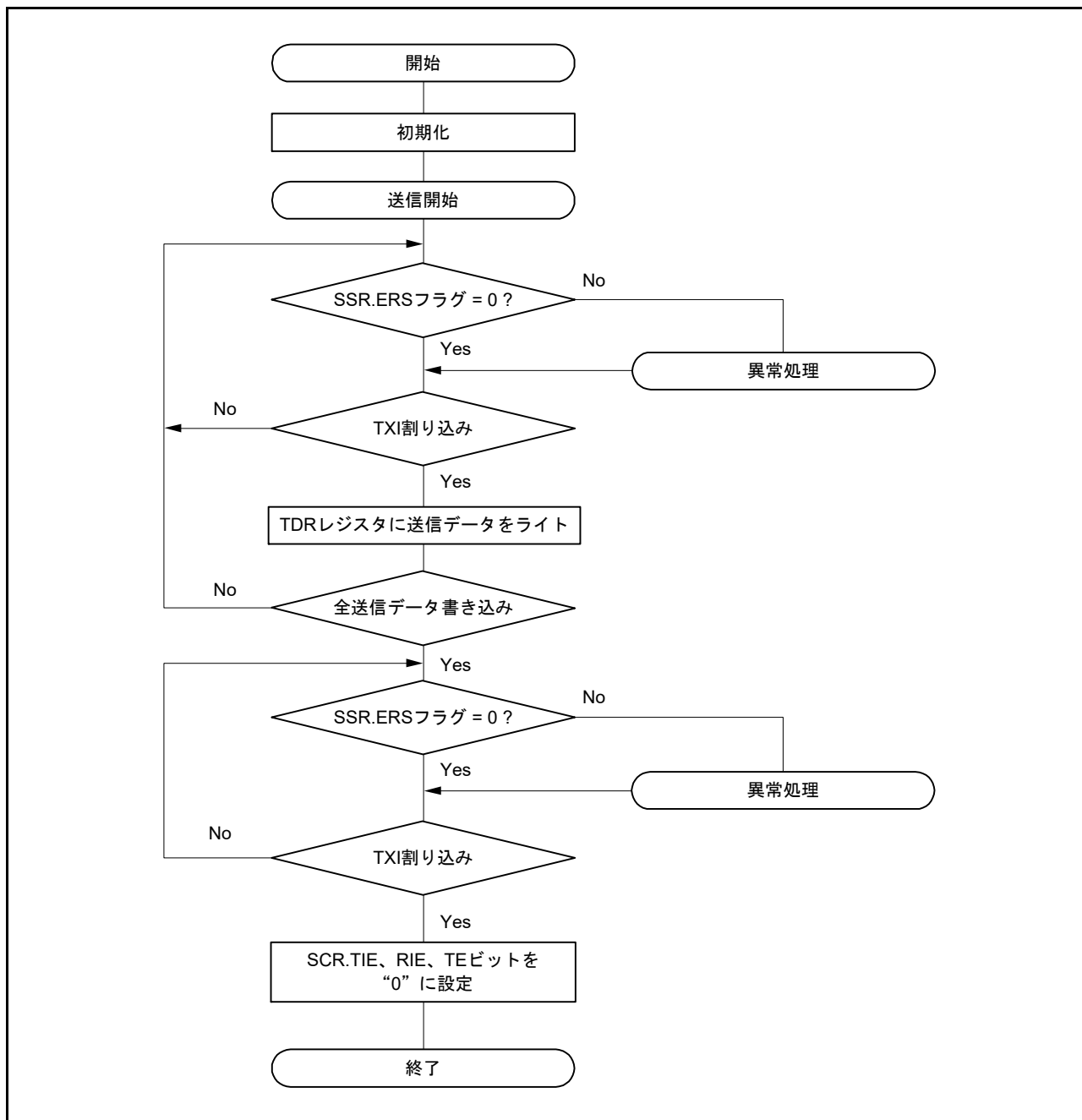


図 26.41 スマートカードインタフェース送信のフローチャート例

これらの一連の処理は、TXI 割り込み要因によって DTC を起動することで自動的に行うことができます。

送信動作では、SCR.TIE ビットを“1”にしておくと、SSR.TEND フラグが“1”になったときに TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS フラグをクリアしてください。

さい。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

DTC の設定方法は「16. データトランスファコントローラ (DTCb)」を参照してください。

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 26.42 に TEND フラグ発生タイミングを示します。

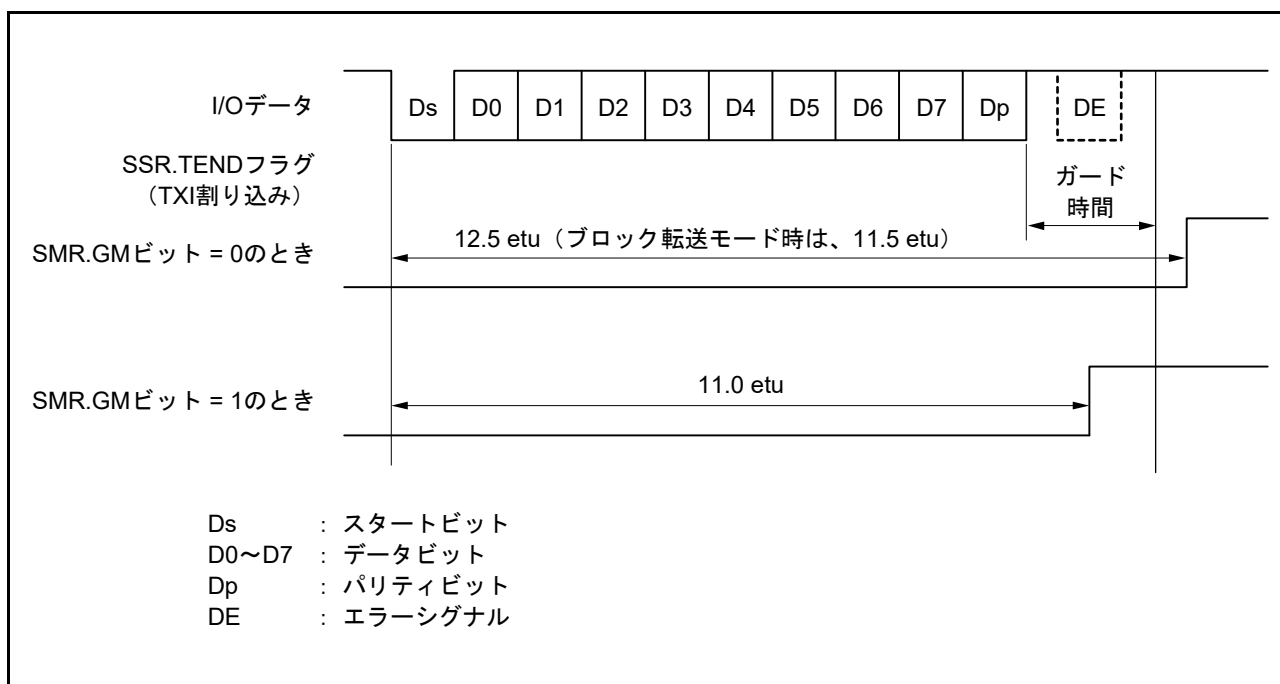


図 26.42 送信時の SSR.TEND フラグの発生タイミング

26.6.7 シリアル受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再送信動作を図 26.43 に示します。

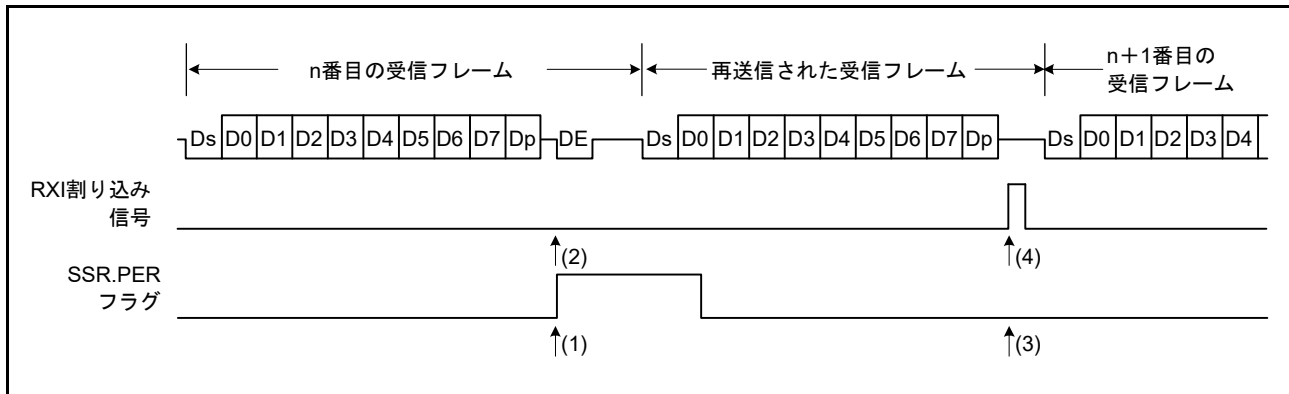


図 26.43 SCI 受信モードの場合の再送信動作 (受信時の再送信動作)

- (1) 受信データにパリティエラーを検出すると SSR.PER フラグが“1”になります。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに PER フラグをクリアしてください。
- (2) パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
- (3) パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
- (4) 正常に受信を完了したと判断して、RIE ビットが“1”であれば、RXI 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 26.44 に示します。

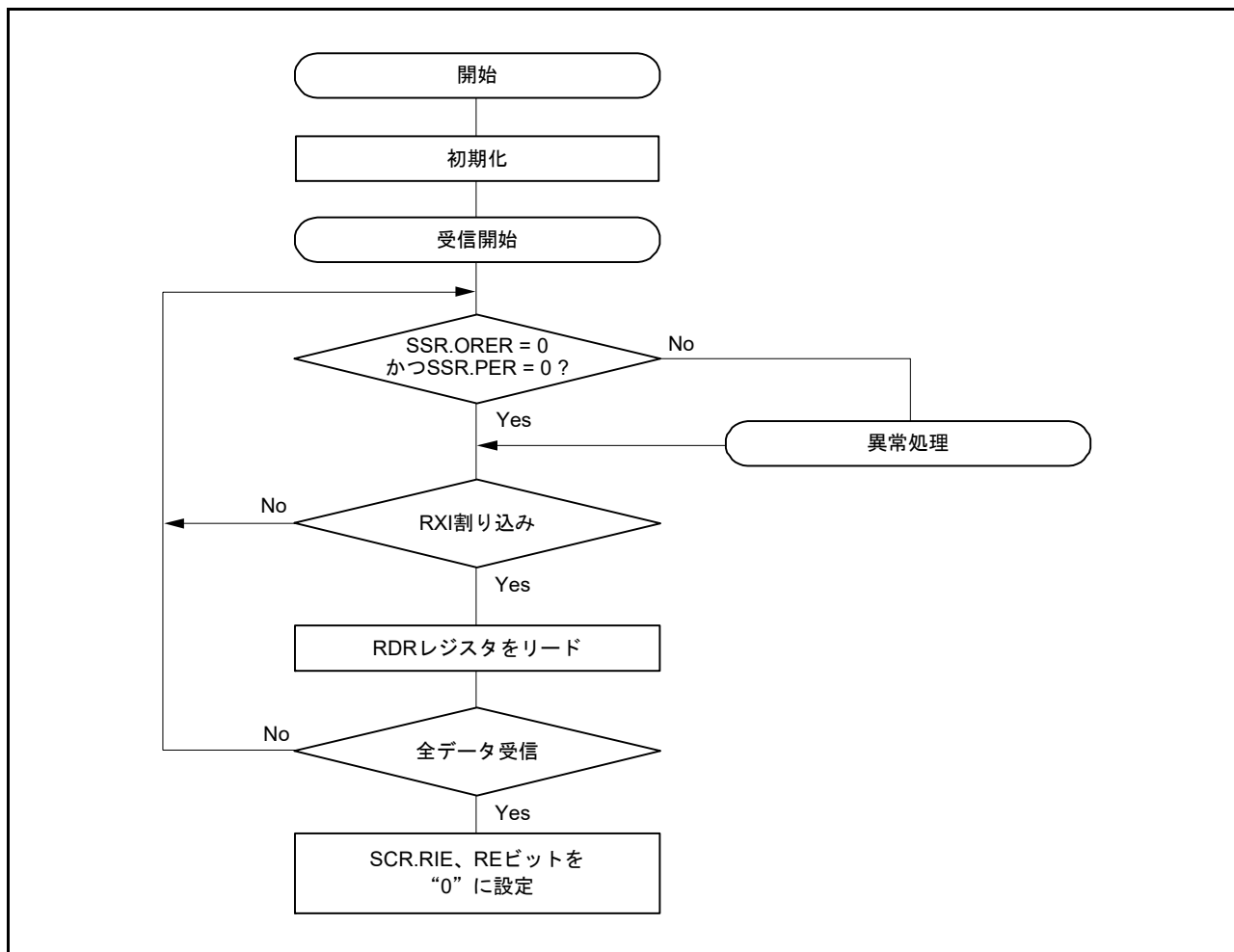


図 26.44 スマートカードインタフェース受信のフローチャート例

これらの一連の処理は、RXI 割り込み要求によって DTC を起動することで自動的に行うことができます。

受信動作では、RIE ビットを“1”にしておくと、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求により DTC が起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR レジスタの ORER、PER フラグのいずれかが“1”になると、受信エラー割り込み (ERI) 要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC は起動されず、受信データはスキップされるため DTC に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し PER フラグが“1”になった場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

注． ブロック転送モードの場合は、「26.3 調歩同期式モードの動作」を参照してください。

26.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を High や Low に固定することができます。CKE[1:0] ビットを“01b”(クロック出力)にすると、SCK 端子から基本クロックが出力されます。基本クロックの周波数(ビットレート)の設定については、「26.2.11 ビットレートレジスタ(BRR)」を参照してください。CKE[1:0] ビットを“00b”(Low 出力固定)や“10b”(High 出力固定)にすると、SCK 端子から Low や High を出力できます。

図 26.45 にクロック出力制御を行ったときのタイミング図を示します。

なお、SMR.GM ビットが”0”(非 GSM モード)の場合に CKE[1:0] ビットを変更すると、その結果がすぐに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力されることがあります。

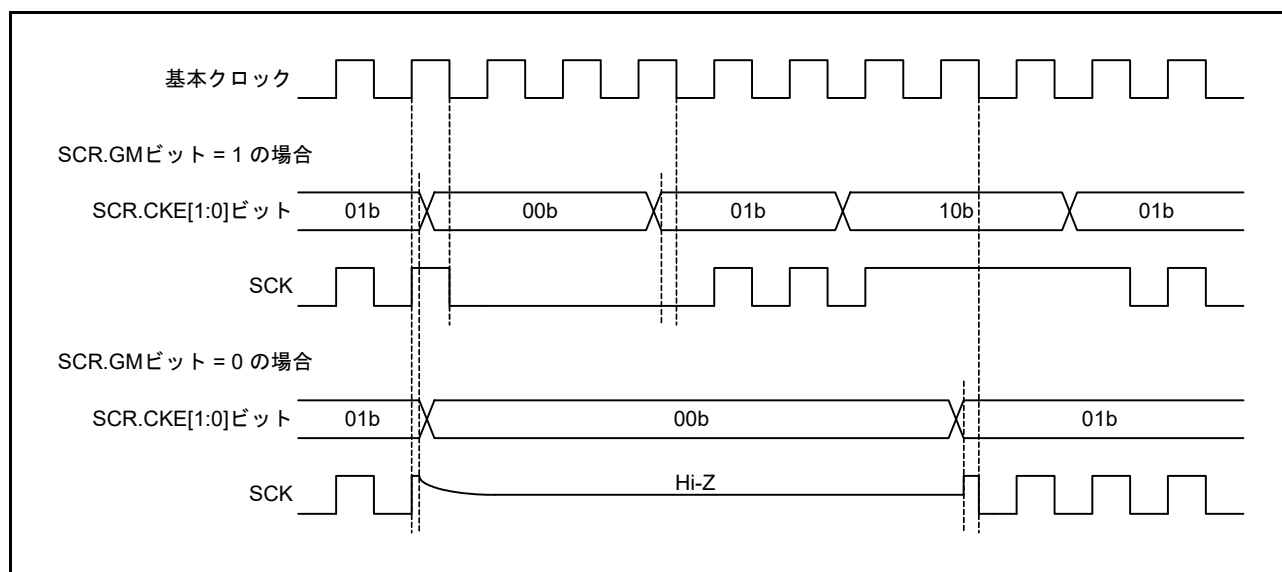


図 26.45 クロック出力制御

26.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、MSB から順に送信されます。

図 26.46 に I²C バスフォーマットを、図 26.47 に I²C バスタイミングを示します。

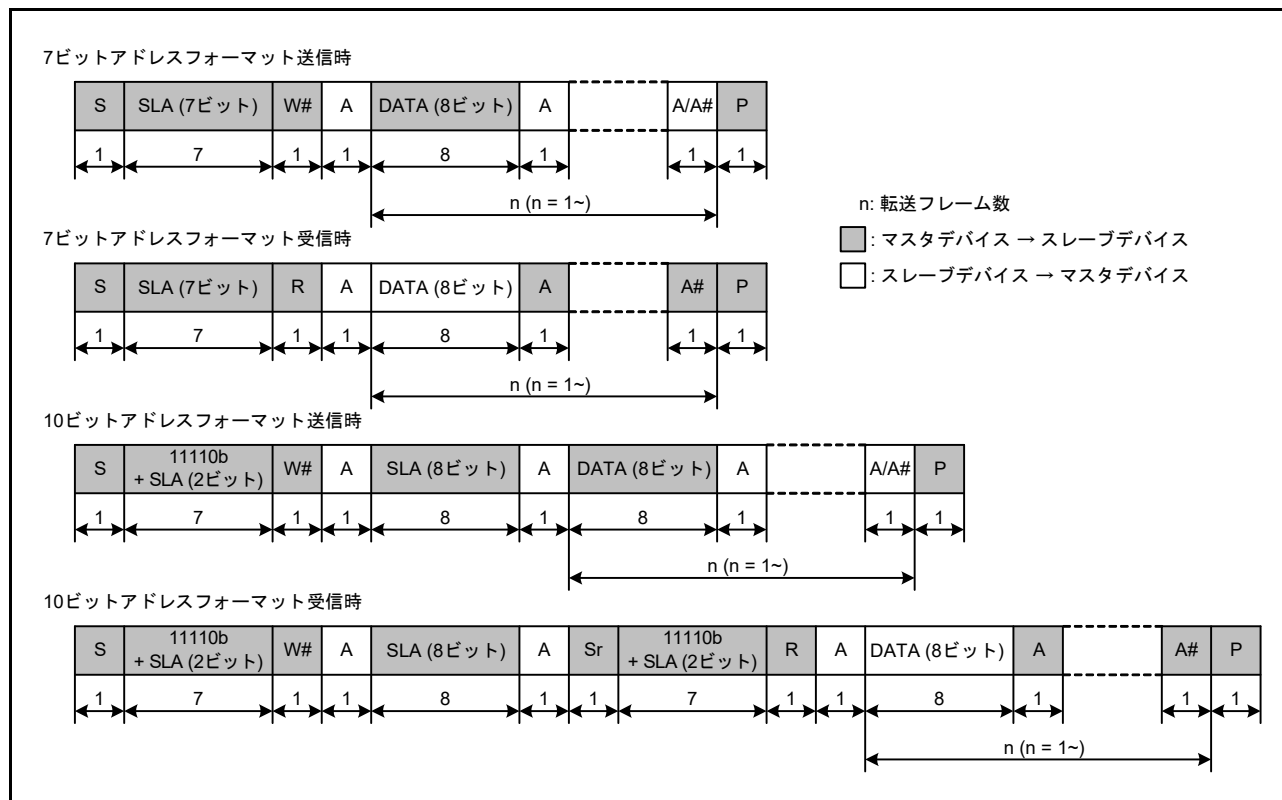


図 26.46 I²C バスフォーマット

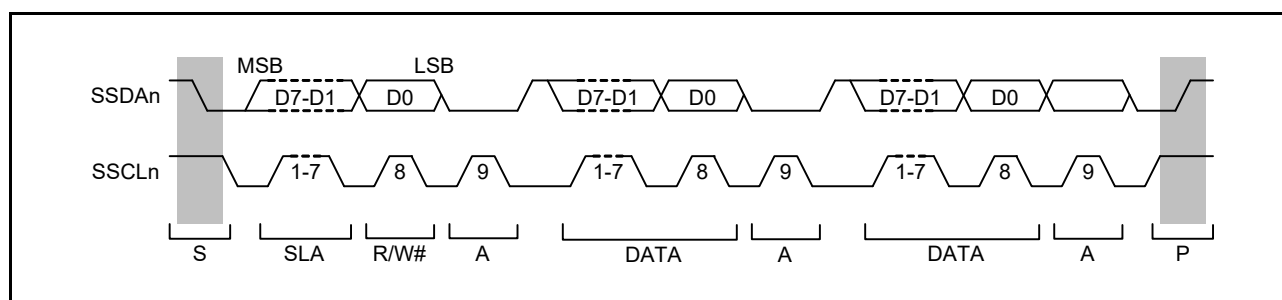


図 26.47 I²C バスタイミング (SLA = 7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが High から Low に変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#: アクノリッジを示します (マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Low を返すことを ACK、High を返すことを NACK と言います。
- Sr: リスタートコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態でセットアップ時間経過後に SSDAn ラインが High から Low に遷移します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SSCLn ラインが High の状態で SSDAn ラインが Low から High に変化します。

26.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 26.48 に開始条件、再開条件、停止条件生成の動作タイミングを示します。

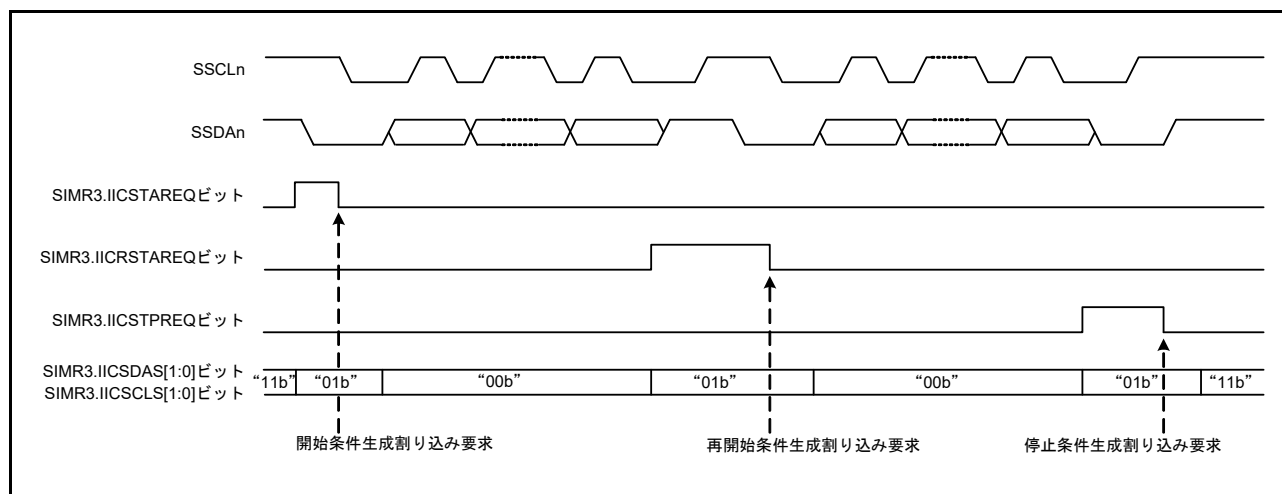


図 26.48 開始条件、再開条件、停止条件生成の動作タイミング

26.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 26.49 にクロック同期化の動作例を示します。

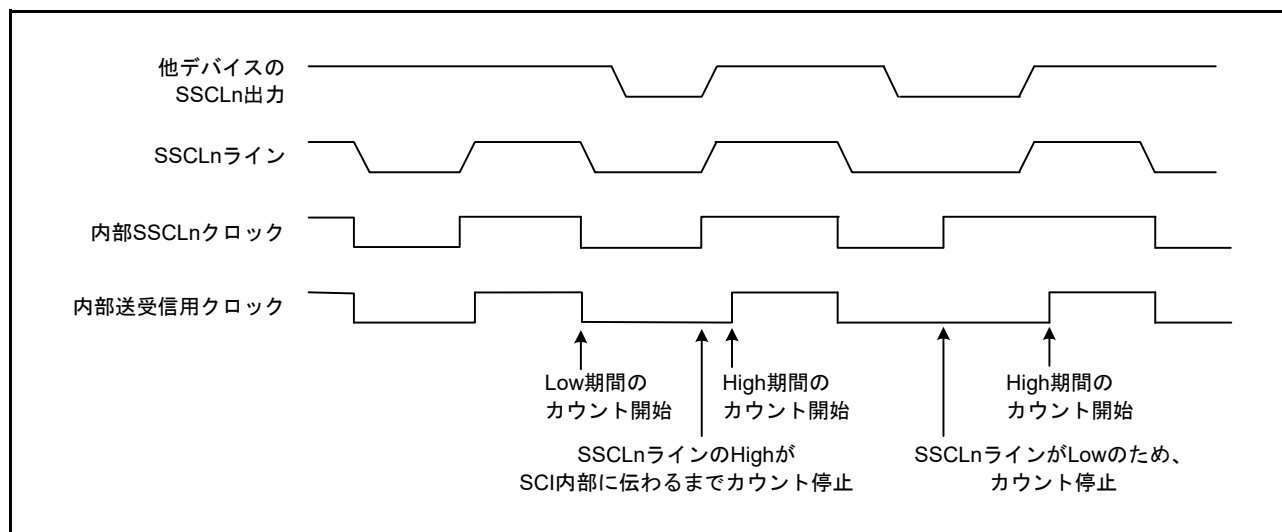


図 26.49 クロック同期化の動作例

26.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ボーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0 ～ 31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 26.50 に SSDA 出力遅延のタイミングを示します。

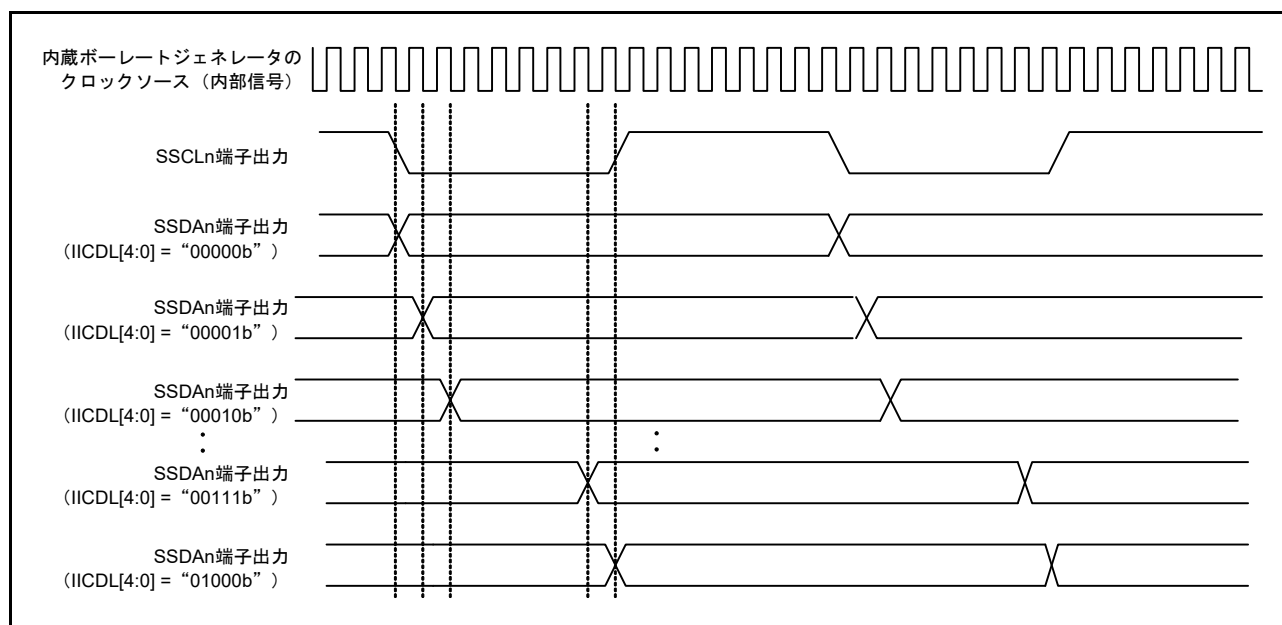


図 26.50 SSDA 出力遅延のタイミング

26.7.4 SCI の初期化 (簡易 I²C モード)

データの送受信前に、SCR レジスタに初期値 “00h” を書き込み、図 26.51 のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCR レジスタを初期値にしてから変更してください。また、簡易 I²C モード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

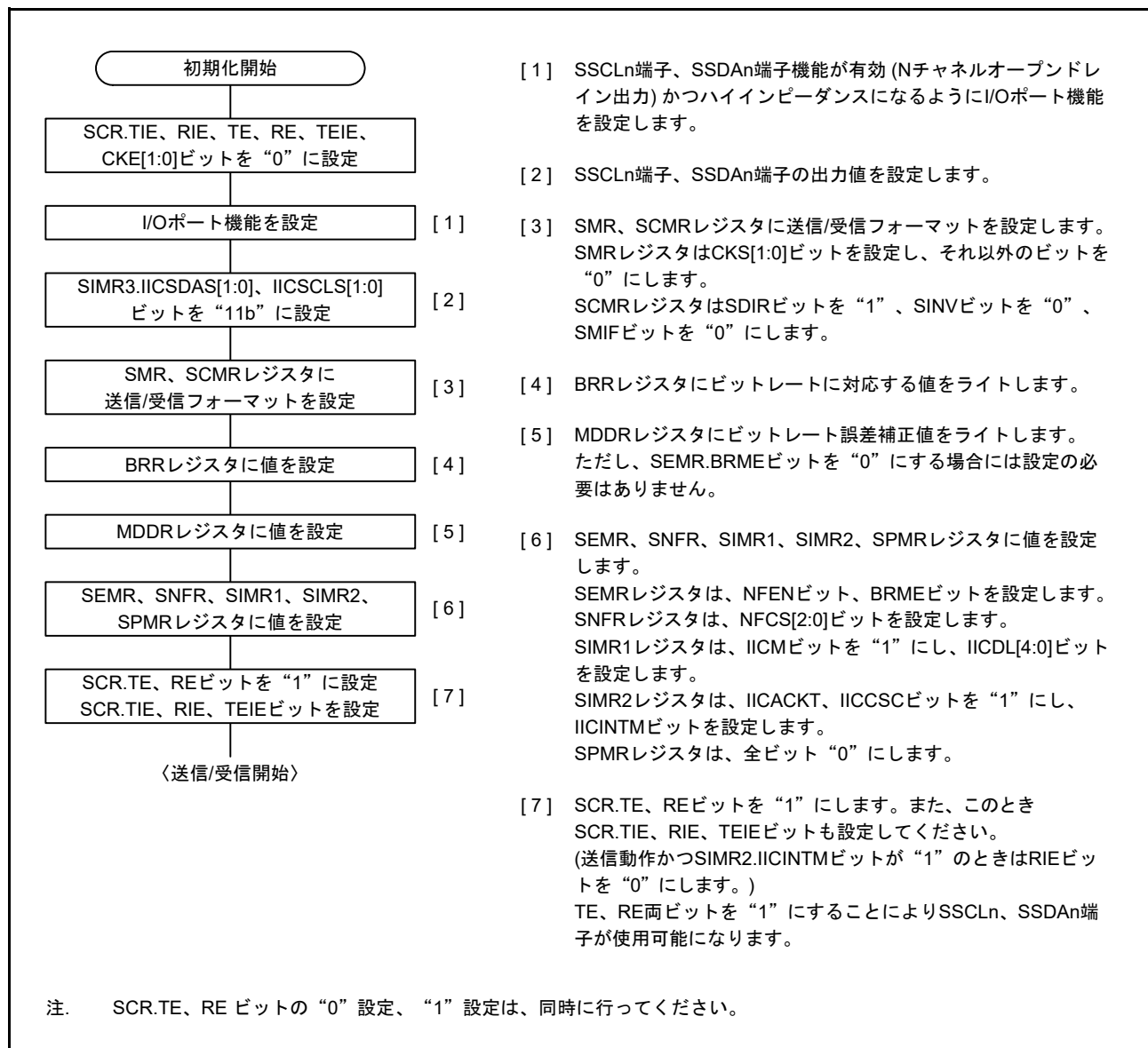


図 26.51 SCI の初期化フローチャート例 (簡易 I²C モード)

26.7.5 マスタ送信動作 (簡易 I²C モード)

図 26.52、図 26.53 に簡易 I²C モードのマスタ送信の動作例を、図 26.54 にデータ送信のフローチャートの例を示します。STI 割り込みについては、表 26.33 を参照してください。

10 ビットスレーブアドレス時は、図 26.54 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

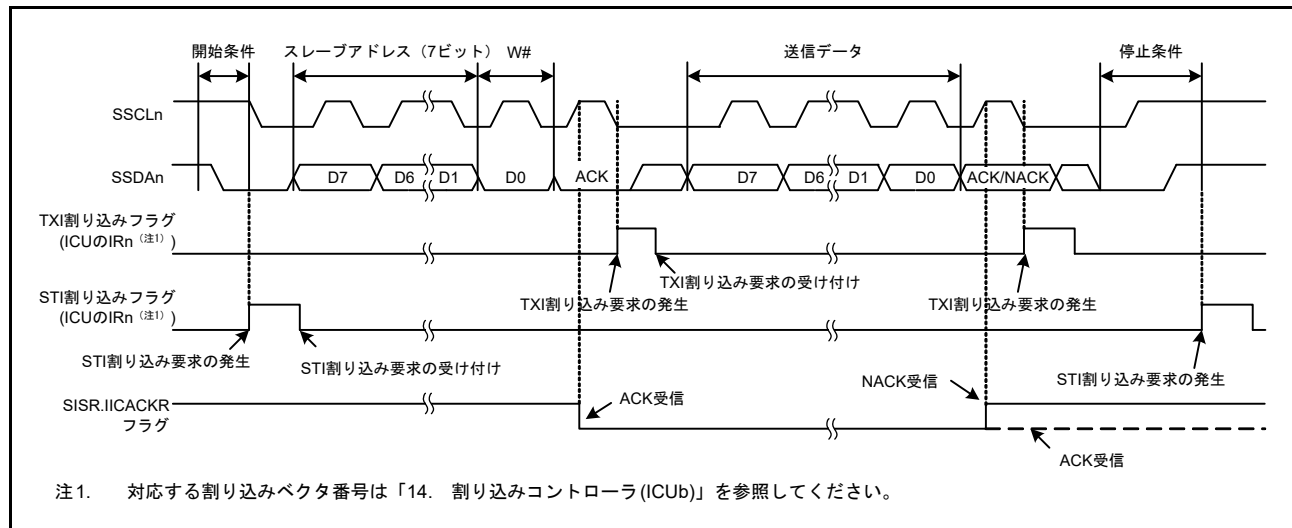


図 26.52 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0”（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガに DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

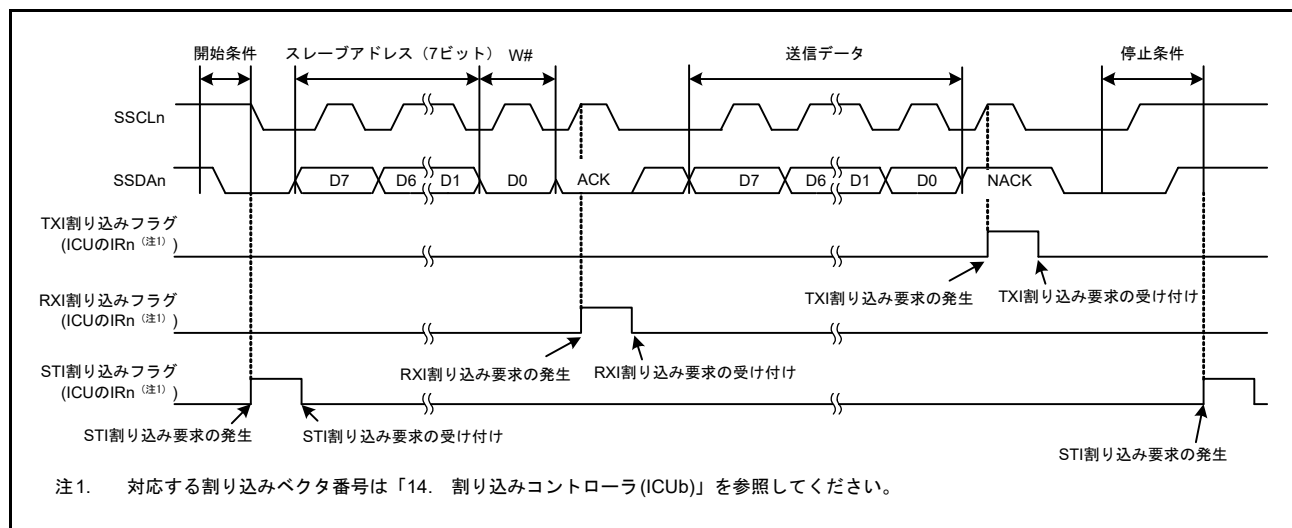
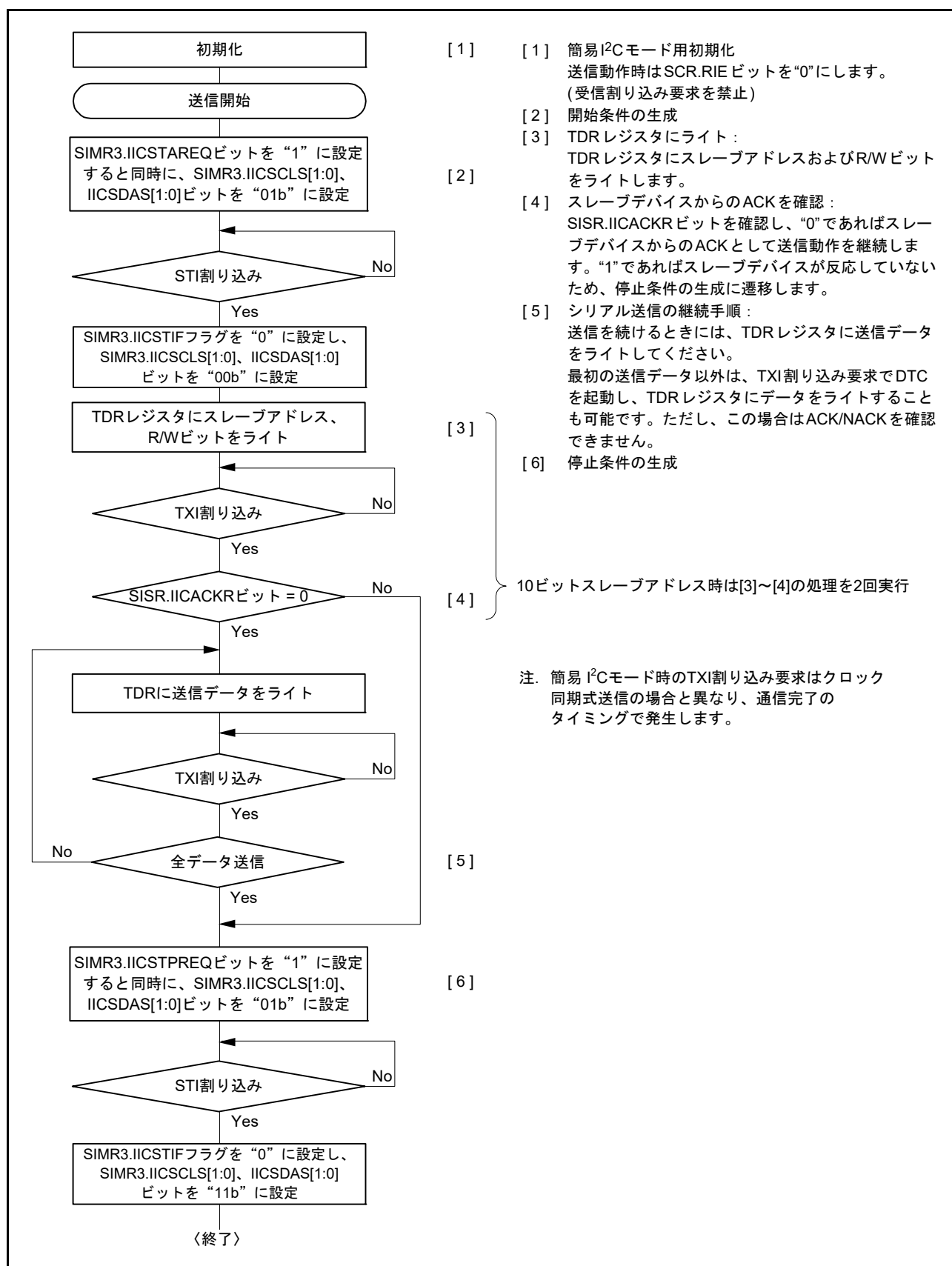


図 26.53 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

図 26.54 簡易 I²C モードのマスタ送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

26.7.6 マスタ受信動作 (簡易 I²C モード)

図 26.55 に簡易 I²C モードのマスタ受信の動作例を、図 26.56 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

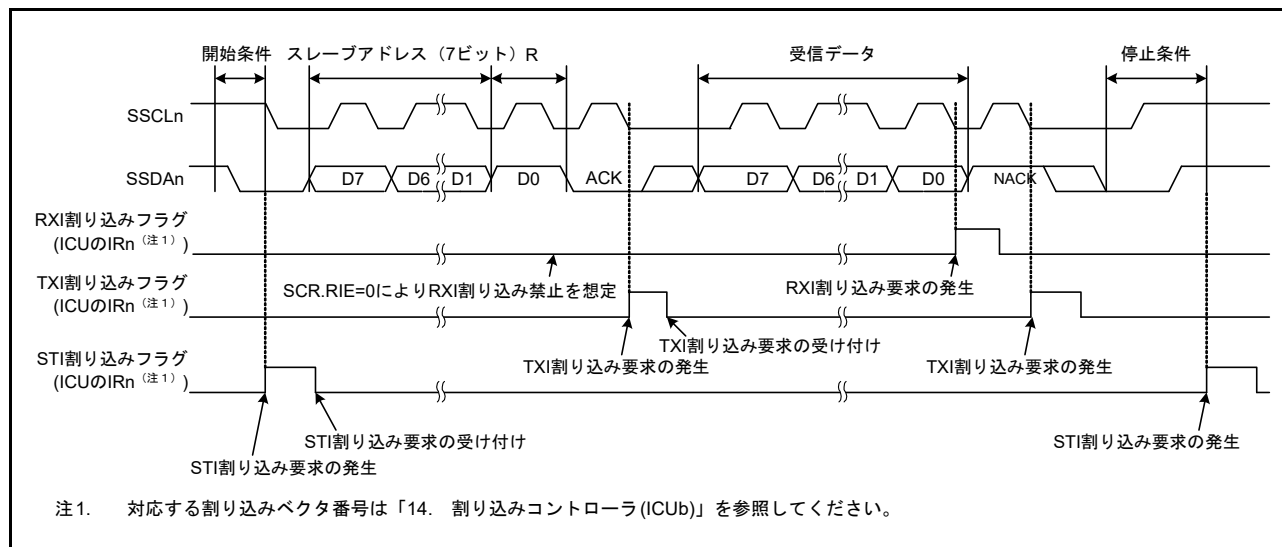
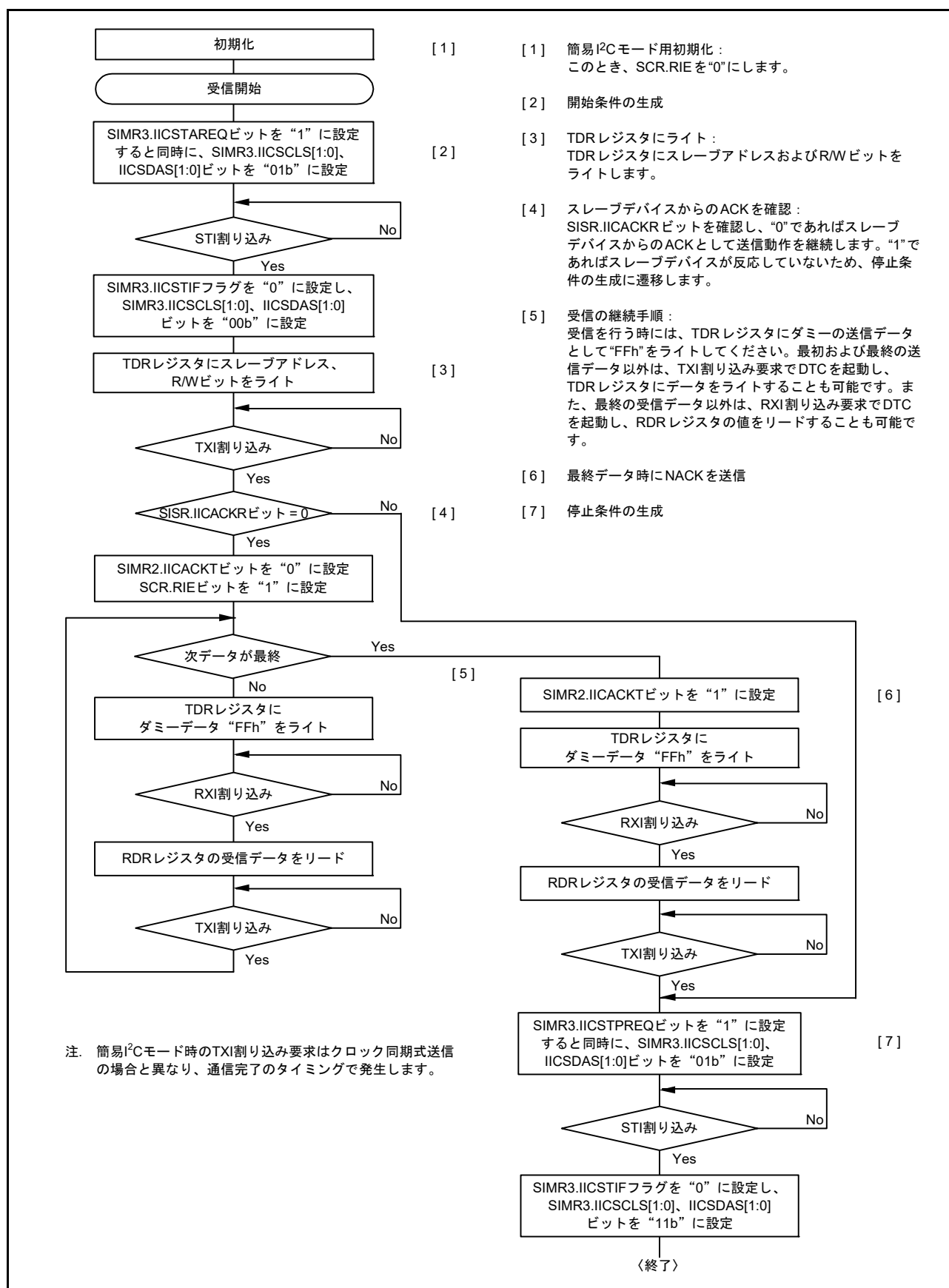


図 26.55 簡易 I²C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

図 26.56 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

26.7.7 バスハングアップからの回復

通信不具合などで SCI の内部状態が異常になり、バスをスタックさせてしまった場合、以下の手順で SCI をリセットし、バスを解放してください。

- (1) SCR.TE ビットと RE ビットを同時に “0” にして、SCI をリセットする。
- (2) SIMR3 レジスタを “F0h” にして、バスを解放する。
- (3) SSR.RDRF フラグが “1” の場合は、RDR レジスタをダミーリードして RDRF フラグをクリアする。
- (4) SCR.TE ビットと RE ビットを同時に “1” にする。

26.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット=0、SIMR1.IICM ビット=0、SMR.CM ビット=1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 26.57 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

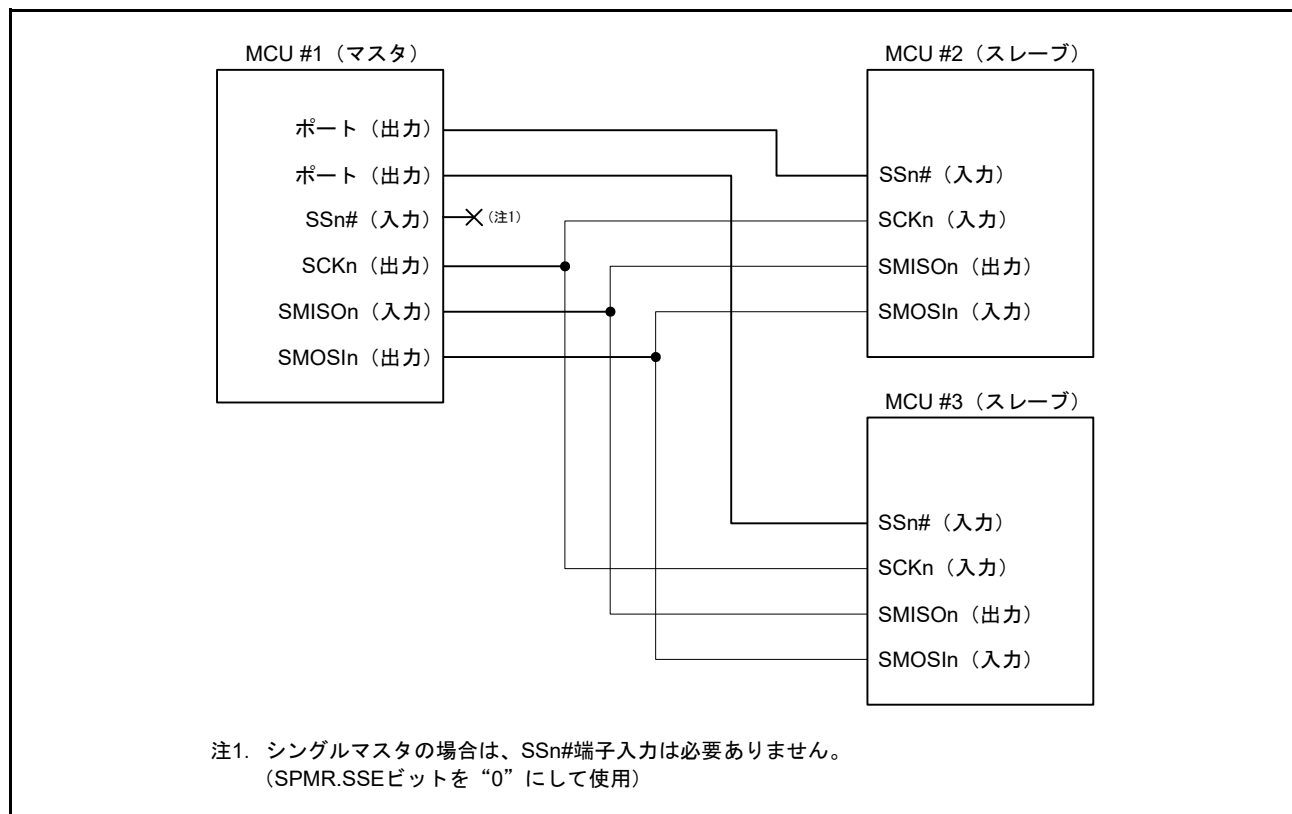


図 26.57 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

26.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 26.29 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 26.29 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

26.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力がハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

26.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

26.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 26.58 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。

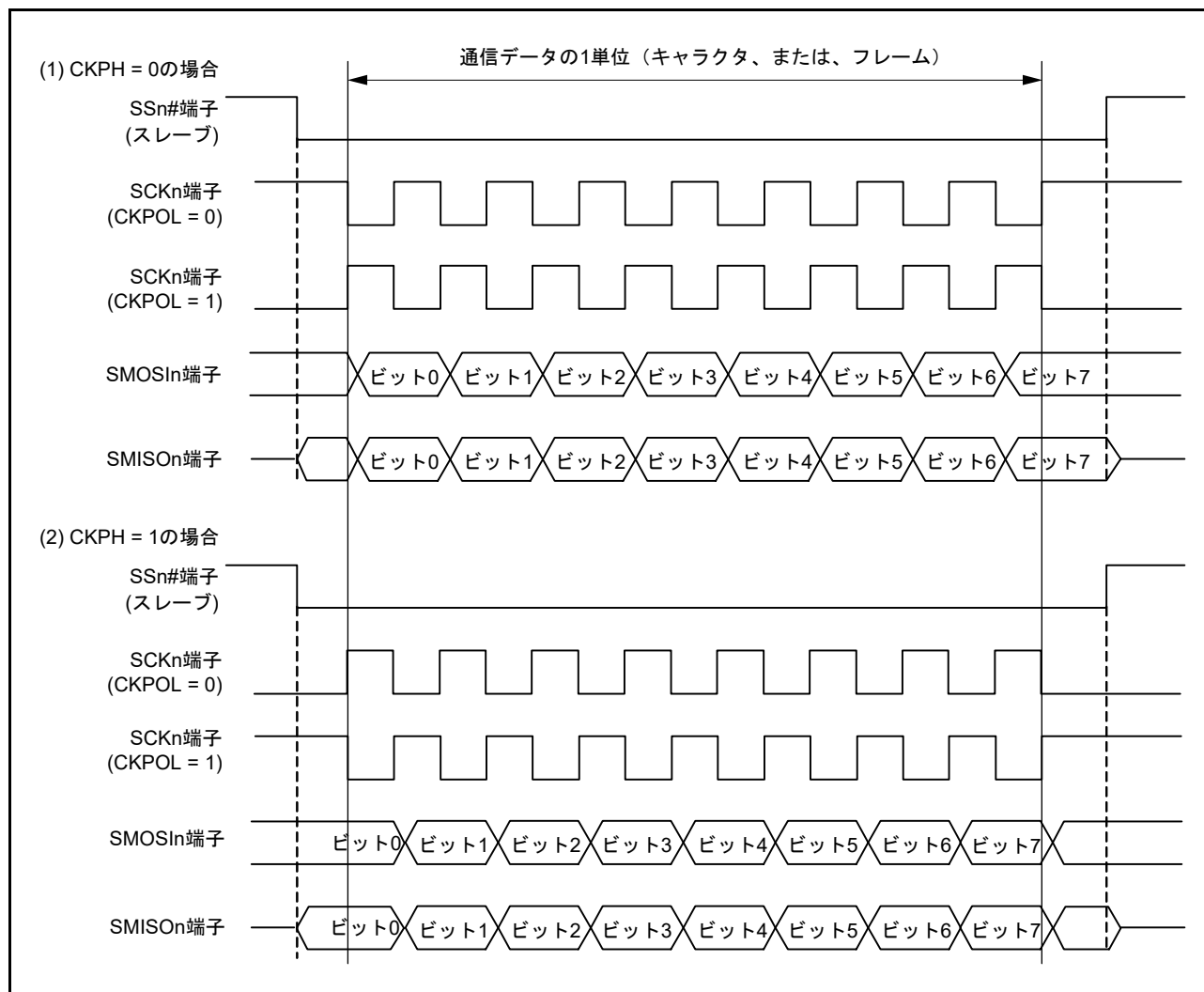


図 26.58 簡易 SPI モードのクロックと送受信データの関係

26.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順（図 26.24 の SCI の初期化フローチャート例）と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

26.8.6 シリアルデータの送受信 (簡易 SPI モード)

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

26.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、図 26.59 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードでは、最高速設定 (SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0) で本機能を使用しないでください。

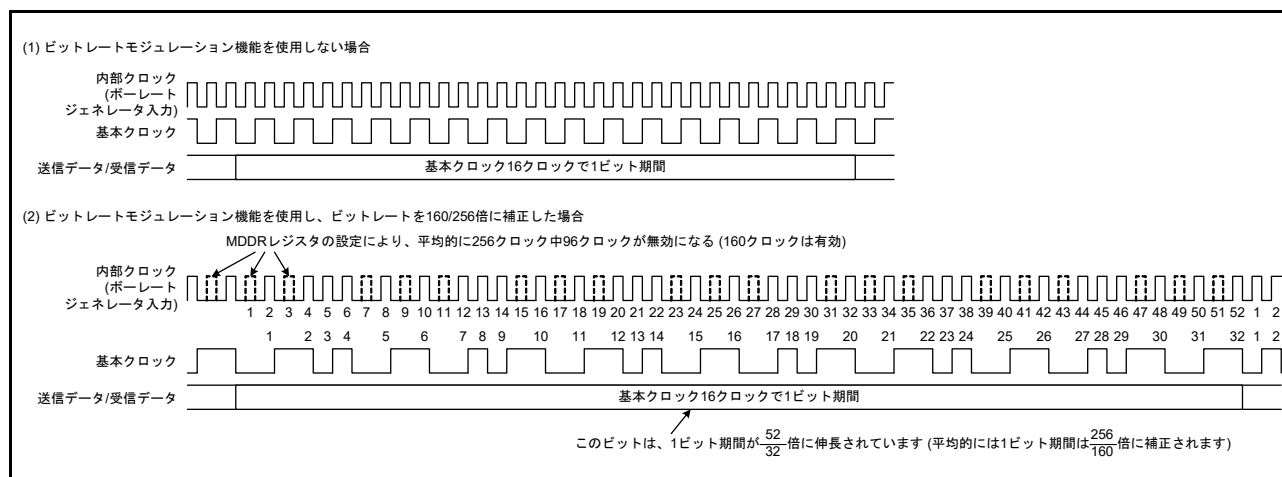


図 26.59 ビットレートモジュレーション機能使用時の基本クロックの例

なお、ボーレートジェネレータに入力されるクロックの周期が短いほど、生成される基本クロックの周期の差が小さくなり、また、ボーレートジェネレータの分周比も大きくなるため、結果として1ビット期間の長さの差も小さくなります。

26.10 拡張シリアルモード制御部の動作説明

26.10.1 シリアル通信プロトコル

SCI12 の拡張シリアルモード制御部は、図 26.60 に示すような Start Frame、Information Frame から構成されるシリアル通信プロトコルを実現します。

Start Frame は Break Field と Control Field 0、Control Field 1 で構成されています。また、Information Frame はいくつかの Data Field と CRC16 Upper Field、CRC16 Lower Field で構成することができます。

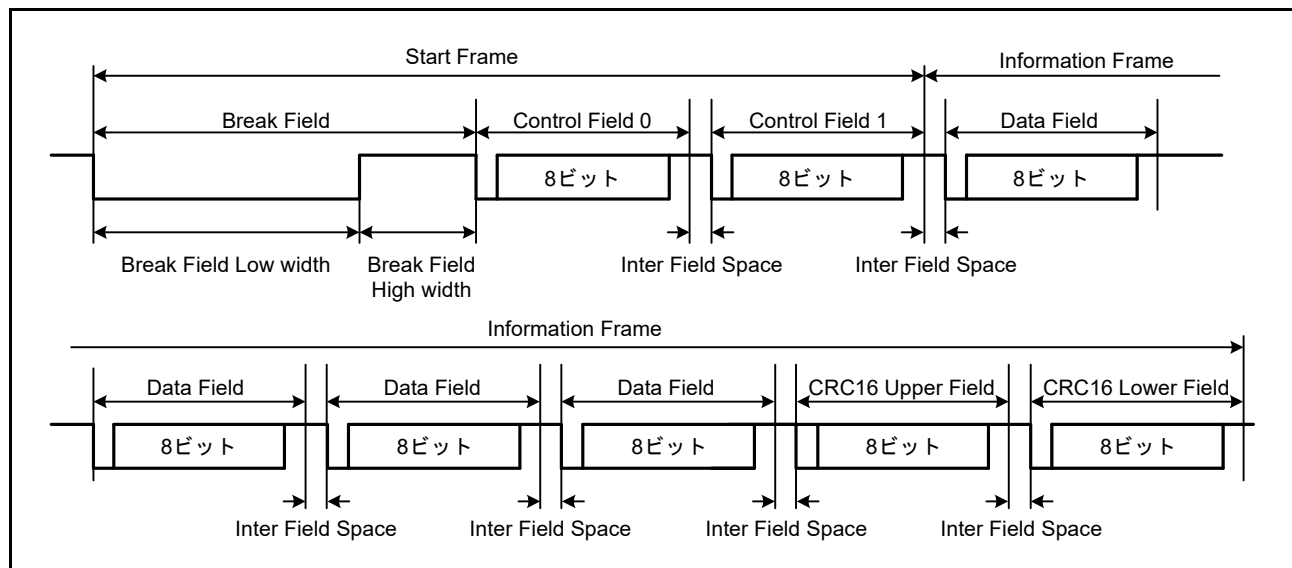


図 26.60 拡張シリアルモード制御部シリアル通信プロトコル

26.10.2 Start Frame 送信

図 26.61 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の送信時の動作例を示します。また、図 26.62、図 26.63 に Start Frame の送信を行うためのフローチャートを示します。

拡張シリアルモード制御部は、Start Frame 送信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使します。

- (1) タイマの動作モードを Break Field Low width 出力モードにした状態で、TCR.TCST ビットに“1”を書き込むと、タイマがカウントを開始し、TCNT、TPRE レジスタに設定した期間、TXDX12 端子から Low が出力されます。
- (2) タイマがアンダフローすると TXDX12 端子の出力が反転し、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) TCR.TCST ビットに“0”を書き込んでタイマのカウントを停止させた後、Control Field 0 のデータを送信します。Break Field Low width 出力後、次にアンダフローするまでにカウントを停止してください。
- (4) Control Field 0 のデータの送信が完了した後、Control Field 1 のデータを送信します。
- (5) Control Field 1 のデータの送信が完了した後、Information Frame の通信を行います。

Start Frame の構成にあわせて Break Field および Control Field 0 を省略してください。

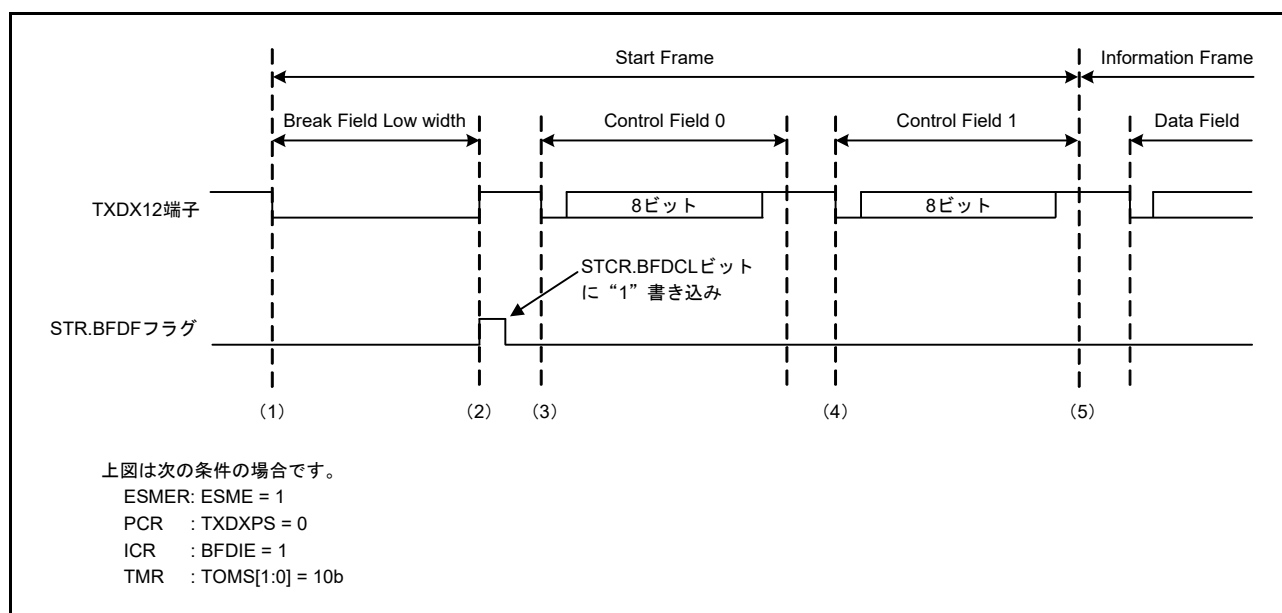


図 26.61 Start Frame 送信時の動作例

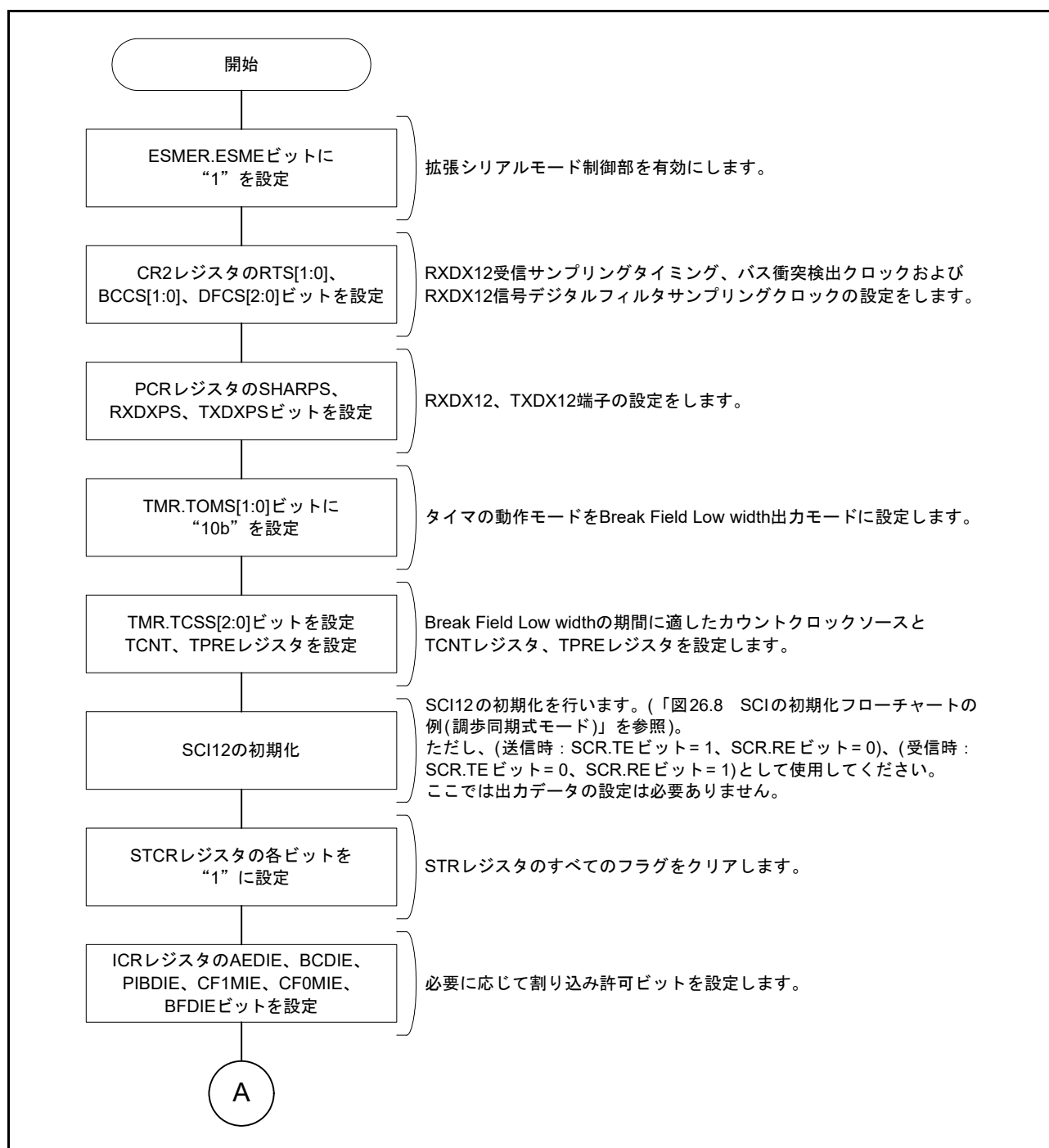


図 26.62 Start Frame 送信フローチャート例 (1)

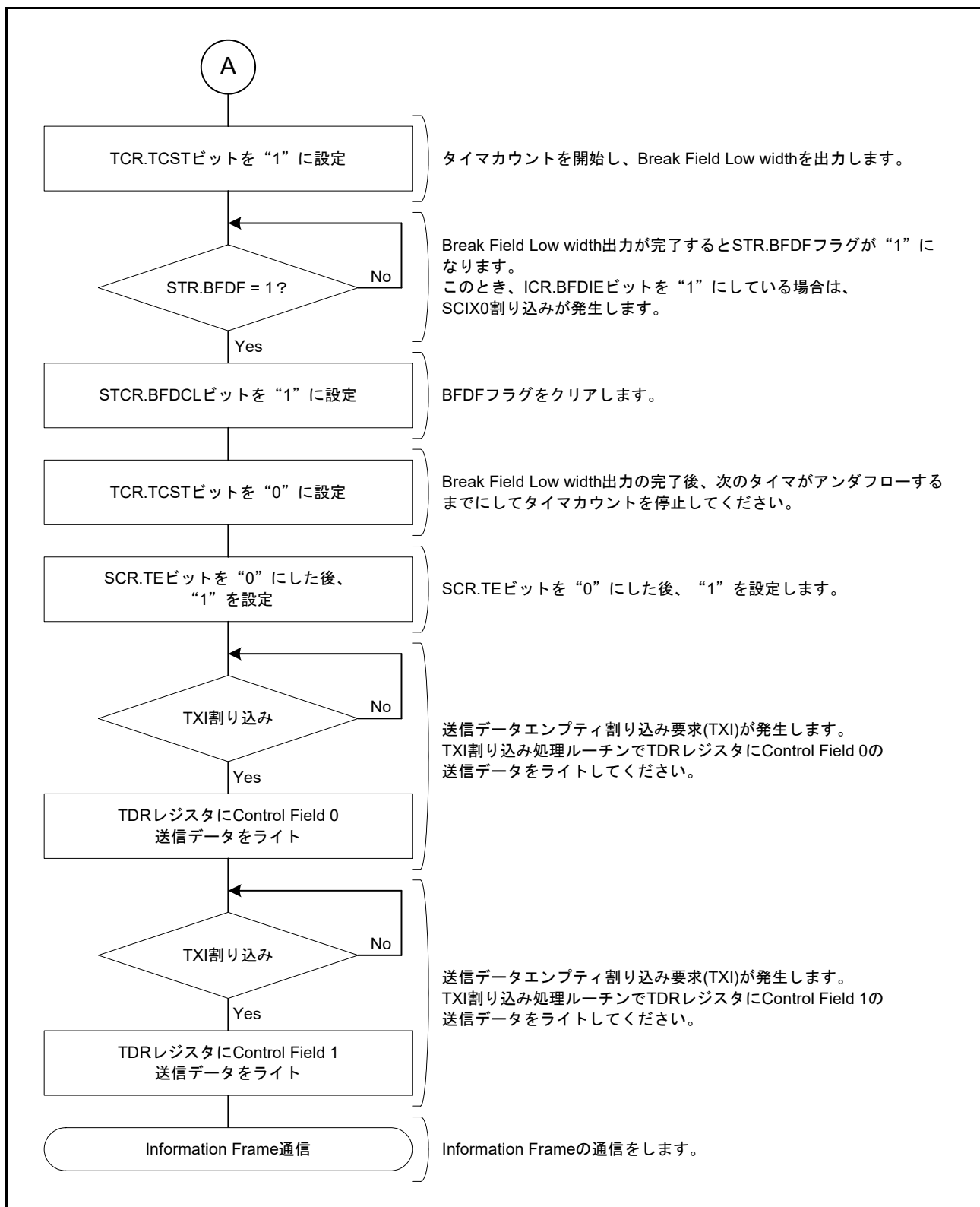


図 26.63 Start Frame 送信フローチャート例 (2)

26.10.3 Start Frame 受信

拡張シリアルモード制御部では、表 26.30 のような構成の Start Frame を検出することができます。

表 26.30 Start Frameの構成

ビットの設定		Start Frameの構成	
BFE	CF0RE		
0	0		Control Field1 8ビット Information Frame
0	1		Control Field0 8ビット Control Field1 8ビット Information Frame
1	0		Break Field Low width Control Field1 8ビット Information Frame
1	1		Break Field Low width Control Field0 8ビット Control Field1 8ビット Information Frame

図 26.64 に Break Field Low width、Control Field 0 および Control Field 1 で構成される Start Frame の受信時の動作例を示します。また、図 26.65、図 26.66 に Start Frame の受信を行うためのフローチャート、図 26.67 に Start Frame 受信時の状態遷移図を示します。

拡張シリアルモード制御部は、Start Frame 受信時、以下のように動作します。なお、SCI12 は調歩同期式モードで使します。

- (1) タイマの動作モードを Break Field Low width 検出モードに設定して、CR3.SDST ビットに“1”を書き込むと、Break Field Low width 検出が可能になります。
- (2) タイマの TCNT、TPRE レジスタに設定した期間以上の Low が RXDX12 端子から入力されると、Break Field Low width として検出します。このとき、STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。
- (3) Break Field Low width 検出後、RXDX12 端子からの入力が High になると CR0.RXDSF フラグが“0”になり、Control Field 0 の受信を開始します。
- (4) Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致した場合、STR.CF0MF フラグが“1”になります。また、ICR.CF0MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Control Field 1 の受信を開始します。Control Field 0 で受信したデータが CF0DR レジスタに設定したデータと一致しない場合は、Break Field Low width 検出前の状態に遷移します。
- (5) Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータと一致した場合、STR.CF1MF フラグが“1”になります。また、ICR.CF1MIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致しない場合は、Break Field Low width 検出前の状態に遷移します。

Start Frame の構成にあわせ、Break Field および Control Field 0 の処理を省略してください。

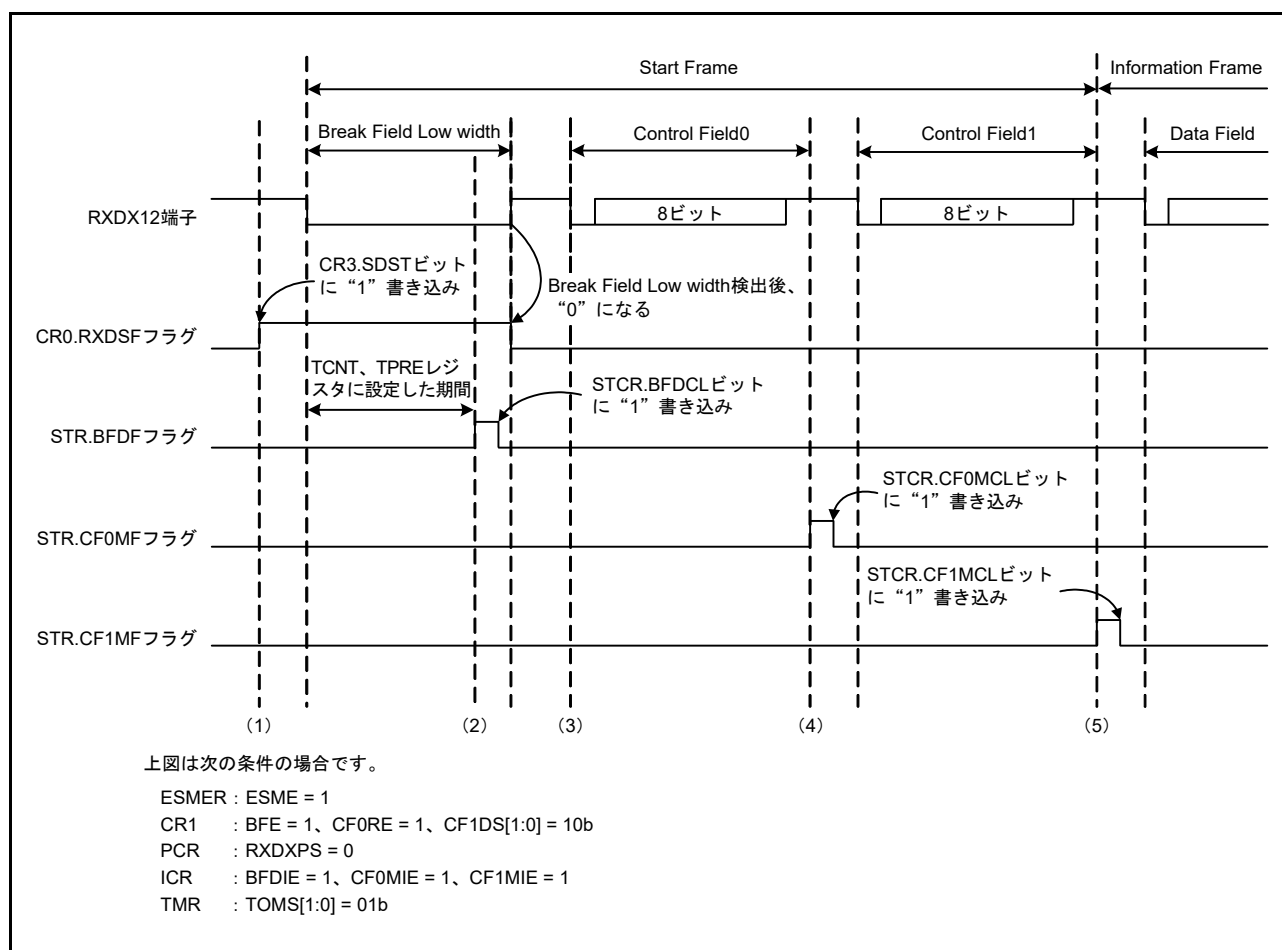


図 26.64 Start Frame 受信時の動作例

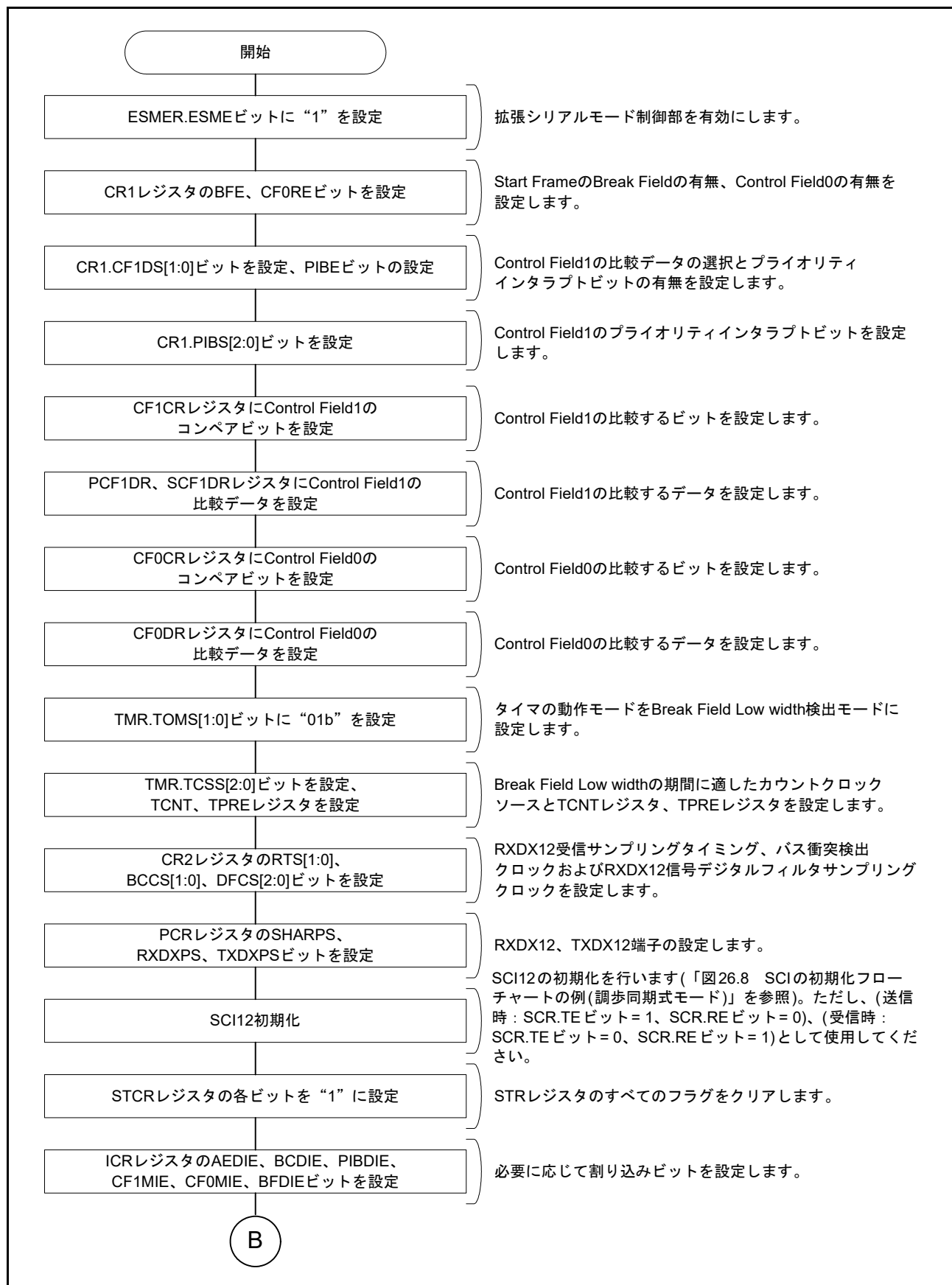


図 26.65 Start Frame 受信フローチャート例 (1)

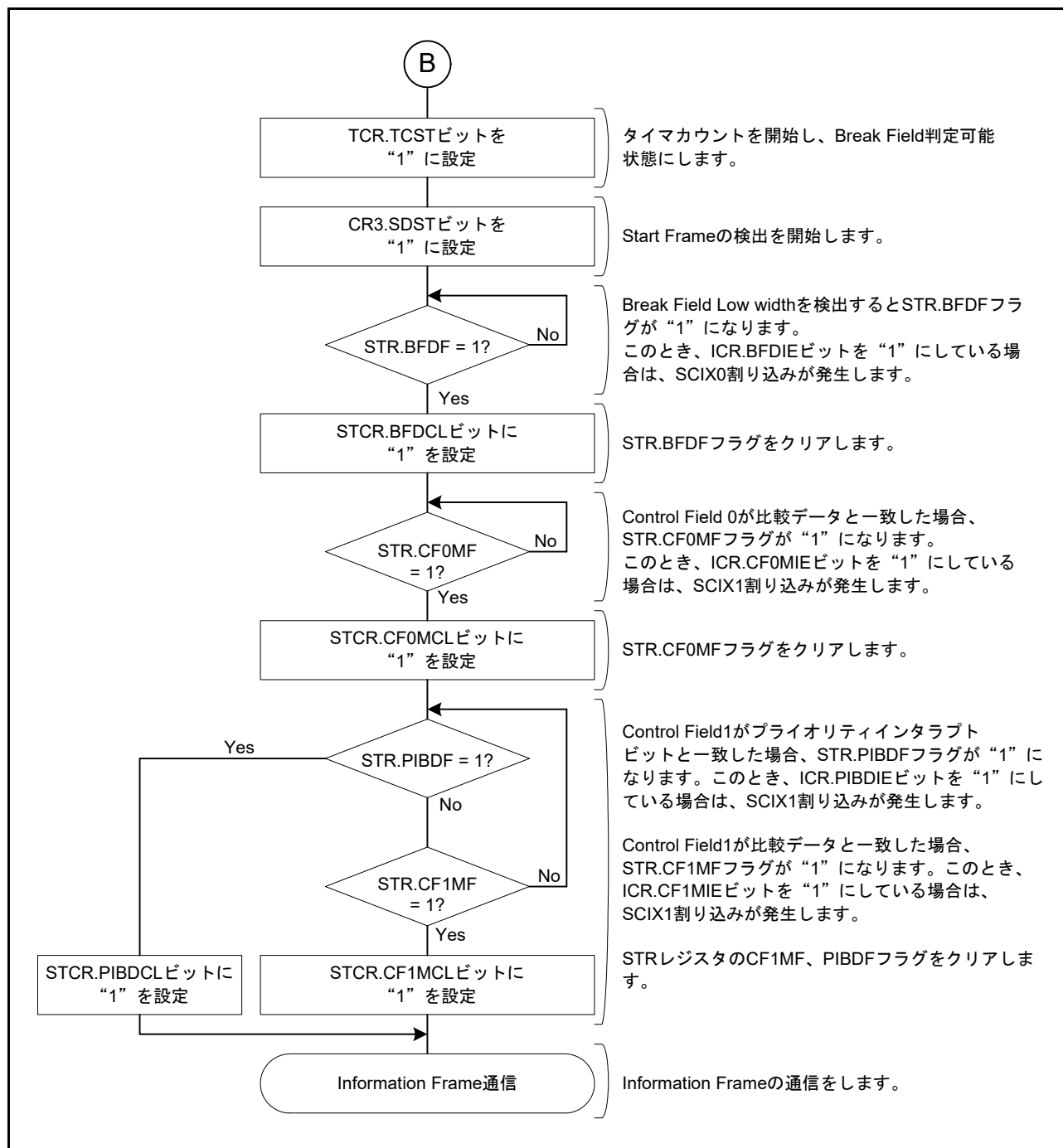


図 26.66 Start Frame 受信フローチャート例 (2)

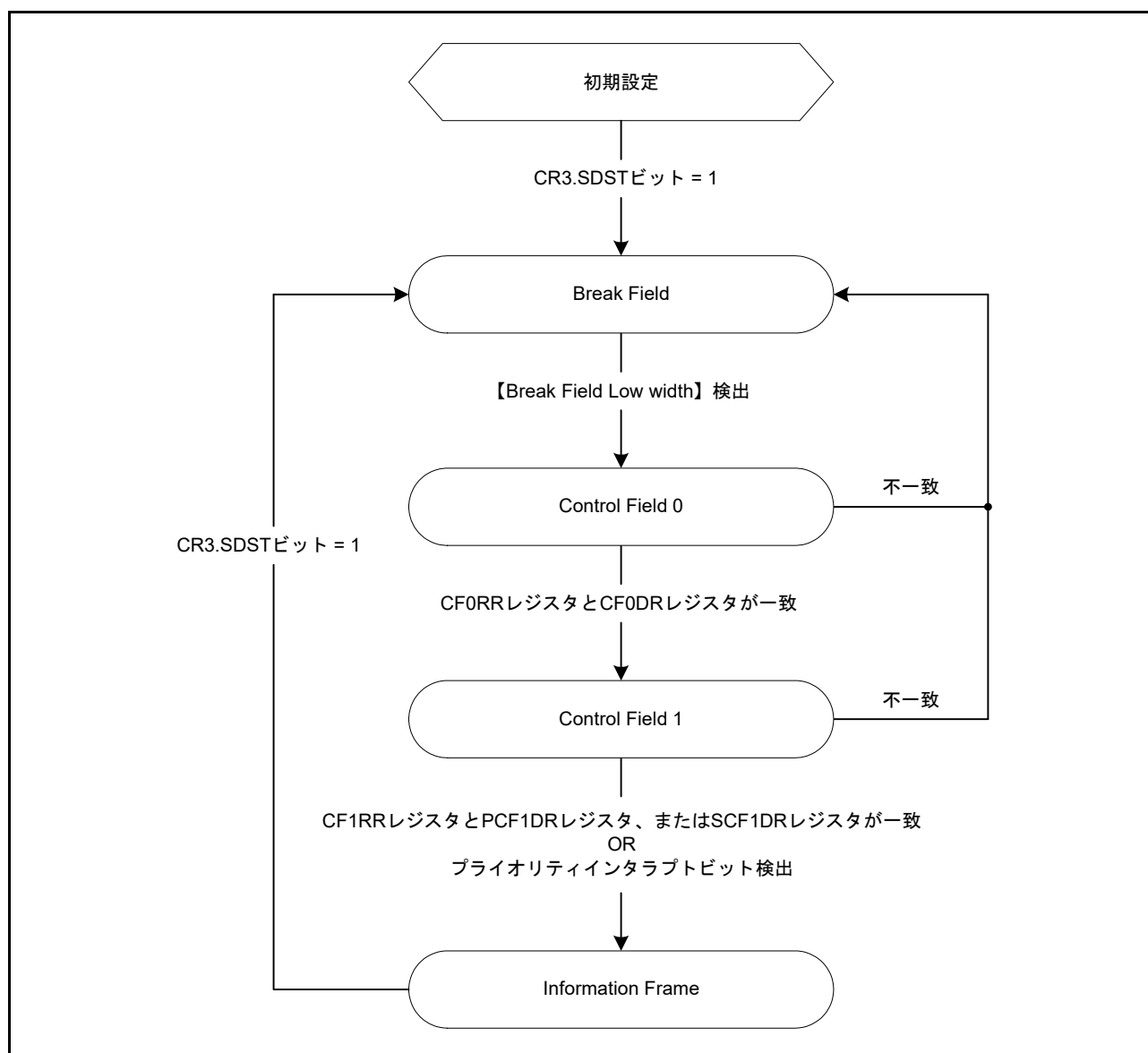


図 26.67 Start Frame 受信時の状態遷移図

26.10.3.1 プライオリティインタラプトビット

図 26.68 にプライオリティインタラプトビットを使用した Start Frame 受信時の動作例を示します。プライオリティインタラプトビットは CR1.PIBE ビットを“1”にすることで有効となります。

拡張シリアルモード制御部は、プライオリティインタラプトビットを使用した Start Frame 受信時、以下のよう動作します。

(1) ～ (4) は図 26.64 の Start Frame 受信時の動作例 (1) ～ (4) と同様になります。

(5) CR1.PIBS[2:0] ビットで指定したビットの値が PCF1DR レジスタに設定した値と一致した場合、STR.PIBDF フラグが“1”になります。また、ICR.PIBDIE ビットを“1”にしている場合は、SCIX1 割り込みが発生します。その後、Information Frame の通信を行います。Control Field 1 で受信したデータが PCF1DR レジスタまたは SCF1DR レジスタに設定したデータのどちらとも一致せず、プライオリティインタラプトビットも検出しない場合は、Break Field Low width 検出前の状態に遷移します。

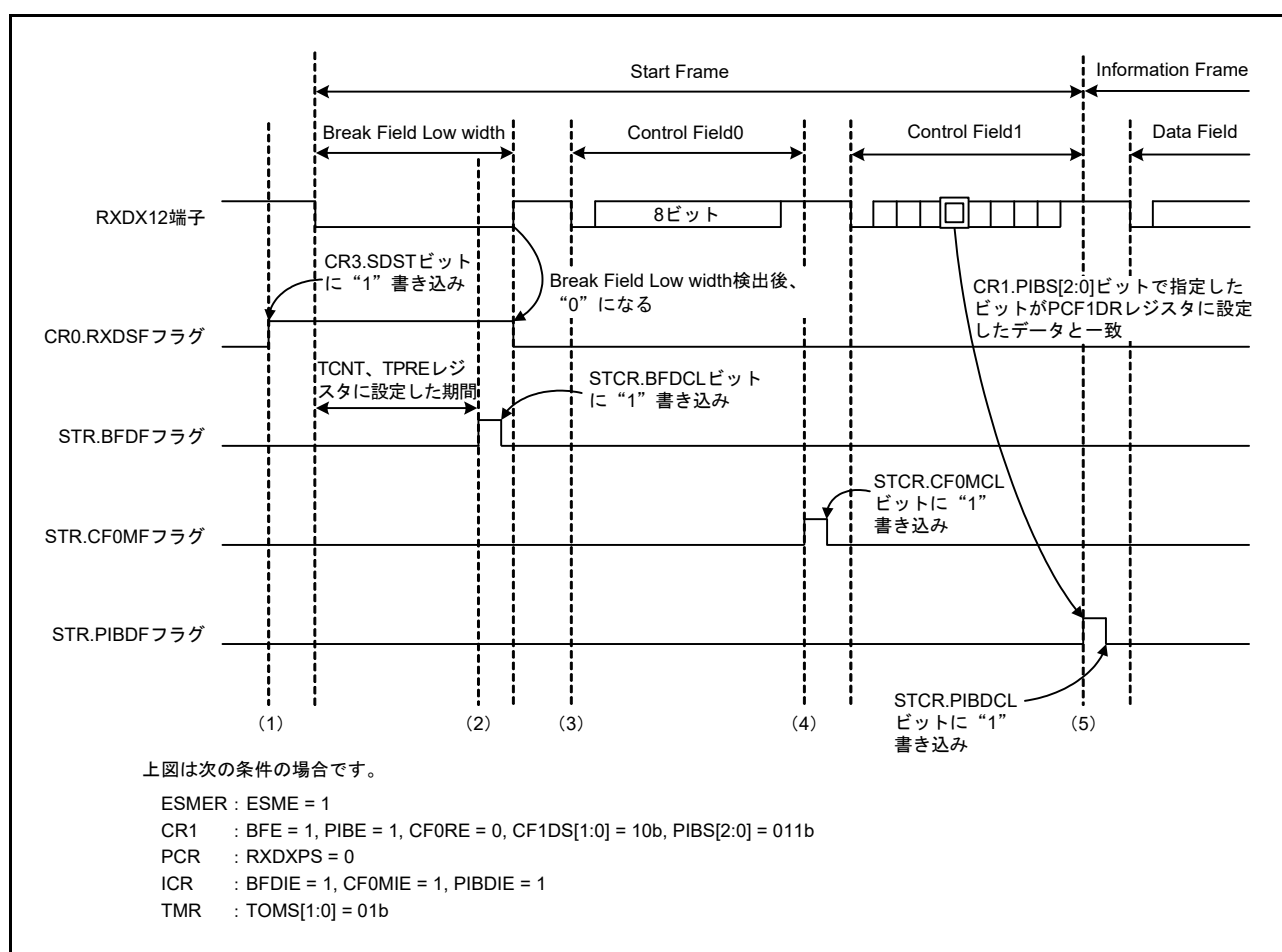


図 26.68 Start Frame の受信時の動作例 (プライオリティインタラプトビット使用時)

26.10.4 バス衝突検出機能

ESMER.ESME ビット = 1、かつ SCR.TE ビット = 1 の状態で、Break Field Low width 出力中およびデータ送信中にバス衝突検出機能が働きます。

図 26.69 にバス衝突検出機能の動作例を示します。TXDX12 端子の出力と RXDX12 端子の入力を CR2.BCCS[1:0] ビットで設定されたバス衝突検出クロックでサンプリングし、3 回連続不一致が発生すると STR.BCDF フラグが“1”になります。また、ICR.BCDIE ビットを“1”にしている場合は、SCIX2 割り込みが発生します。

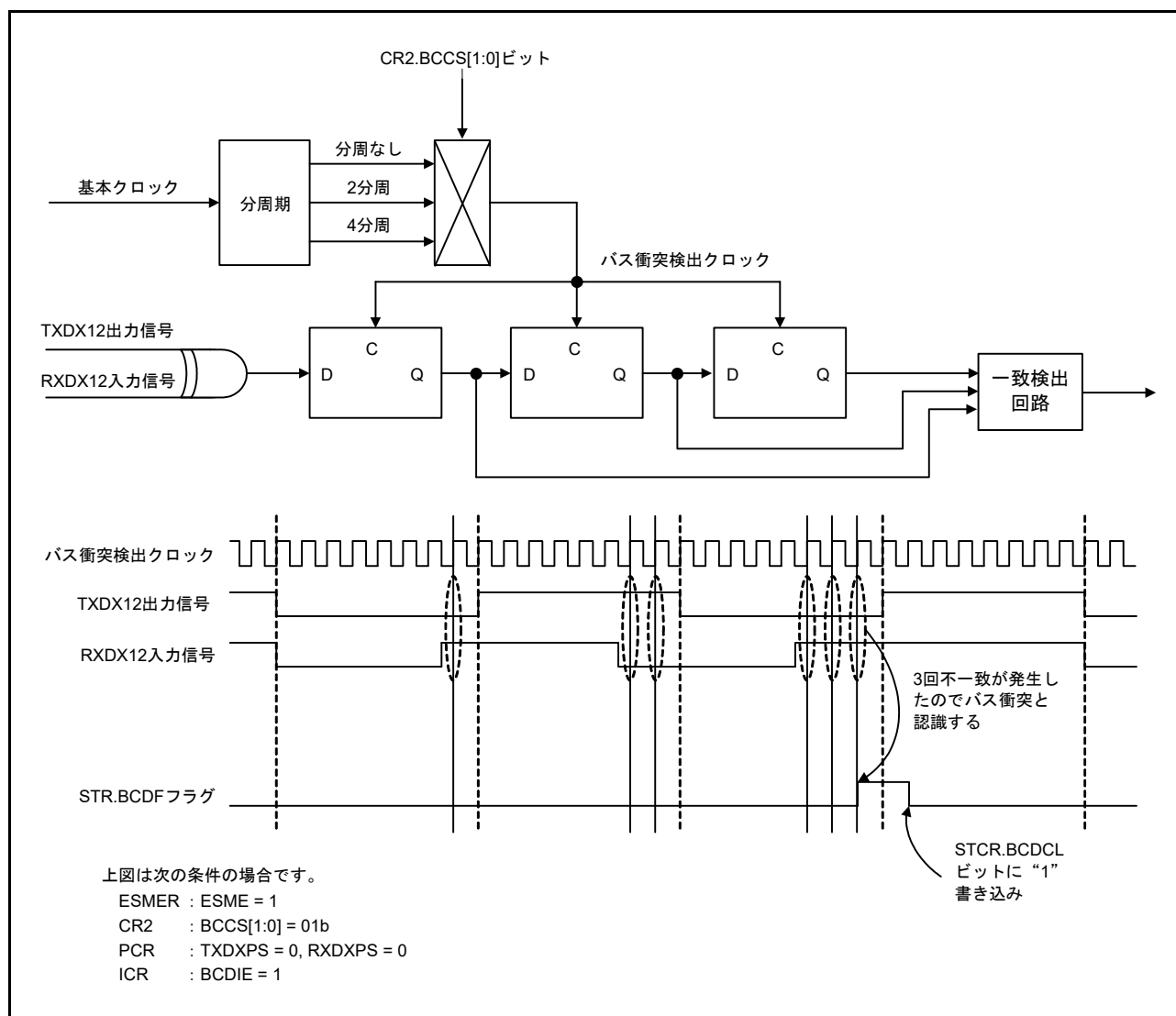


図 26.69 バス衝突検出機能の動作例

26.10.5 RXDX12 端子入力デジタルフィルタ機能

RXDX12 端子の入力信号は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたフリップフロップ回路と一致検出回路で構成されます。RXDX12 端子入力信号は CR2.DFCS[2:0] ビットによって選択されたクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルリングクロック以上同一のレベルを保持した場合は信号として認識しますが、3 サンプルリングクロック以下の信号変化はノイズとして判断し、信号変化として認識しません。図 26.70 にデジタルフィルタ機能の動作例を示します。

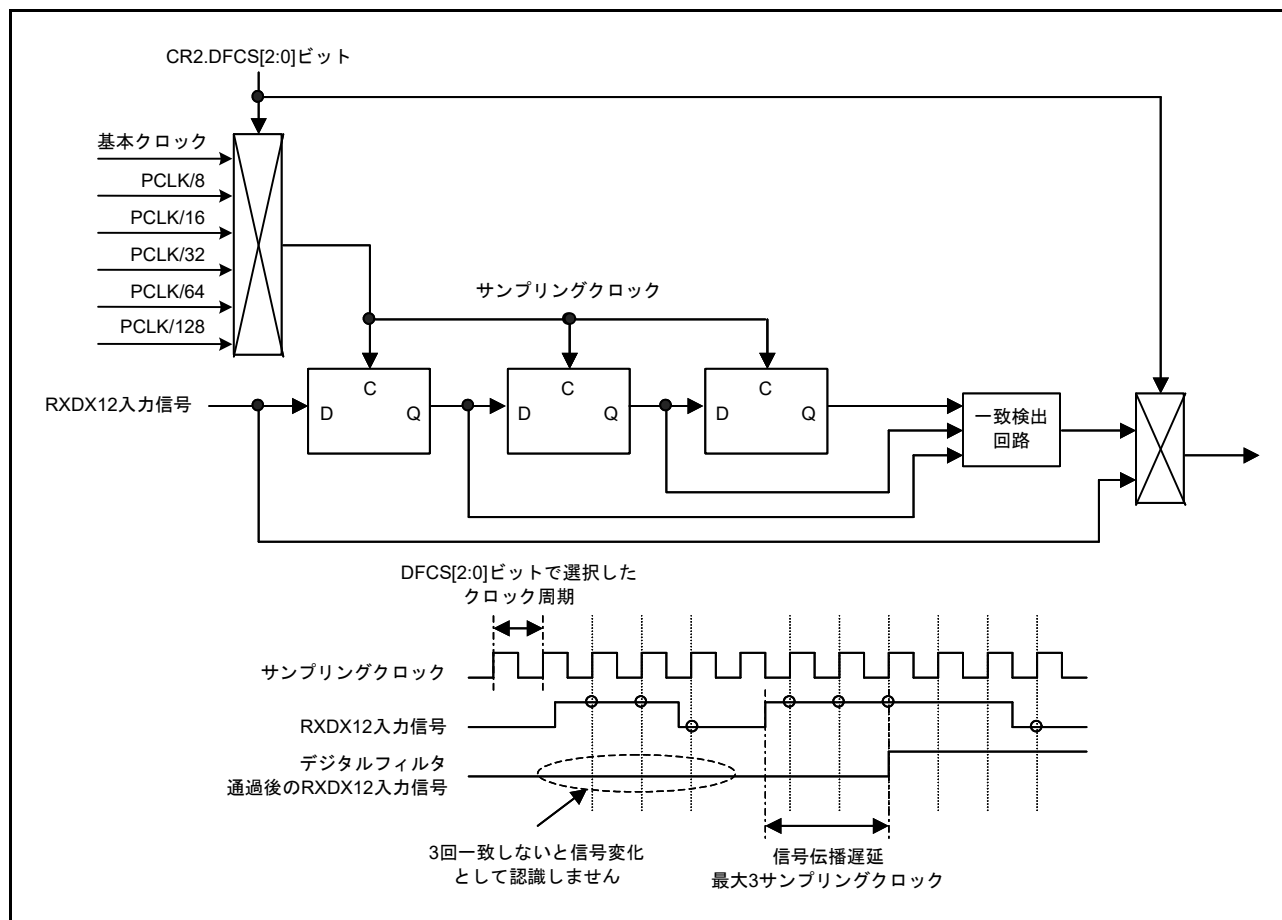


図 26.70 デジタルフィルタ機能の動作例

26.10.6 ビットレート測定機能

RXDX12 端子から入力される信号の立ち上がり — 立ち下がり間または、立ち下がり — 立ち上がり間を測定する機能です。図 26.71 にビットレート測定機能の動作例を示します。

- (1) CR0.BRME ビットに“1”を書き込むとビットレート測定が有効となります。BRME ビットは、測定を行いたいときのみ“1”を設定してください。また、BRME ビットを“1”にしても Break Field 中は、ビットレートの測定動作を行いません。
- (2) Break Field Low width を検出後、RXDX12 端子の入力が High になると、ビットレート測定が開始します。
- (3) ビットレート測定開始後、RXDX12 端子から有効エッジ(立ち上がりエッジおよび立ち下がりエッジ)が入力されるとタイマはそのときのカウンタ値をリードバッファに保持し、カウンタをリロードします。ICR.AEDIE ビットを“1”にしている場合は、SCIX3 割り込みが発生します。TCNT、TPRE レジスタをリードすることで保持は解除されます。
- (4) 有効エッジ間のカウンタ値からビットレートを算出し、BRR レジスタの設定を変更することで、ビットレートを調整することができます。Control Field 1 一致後、ビットレート測定機能を無効にする場合は CR0.BRME ビットに“0”を書き込んでください。

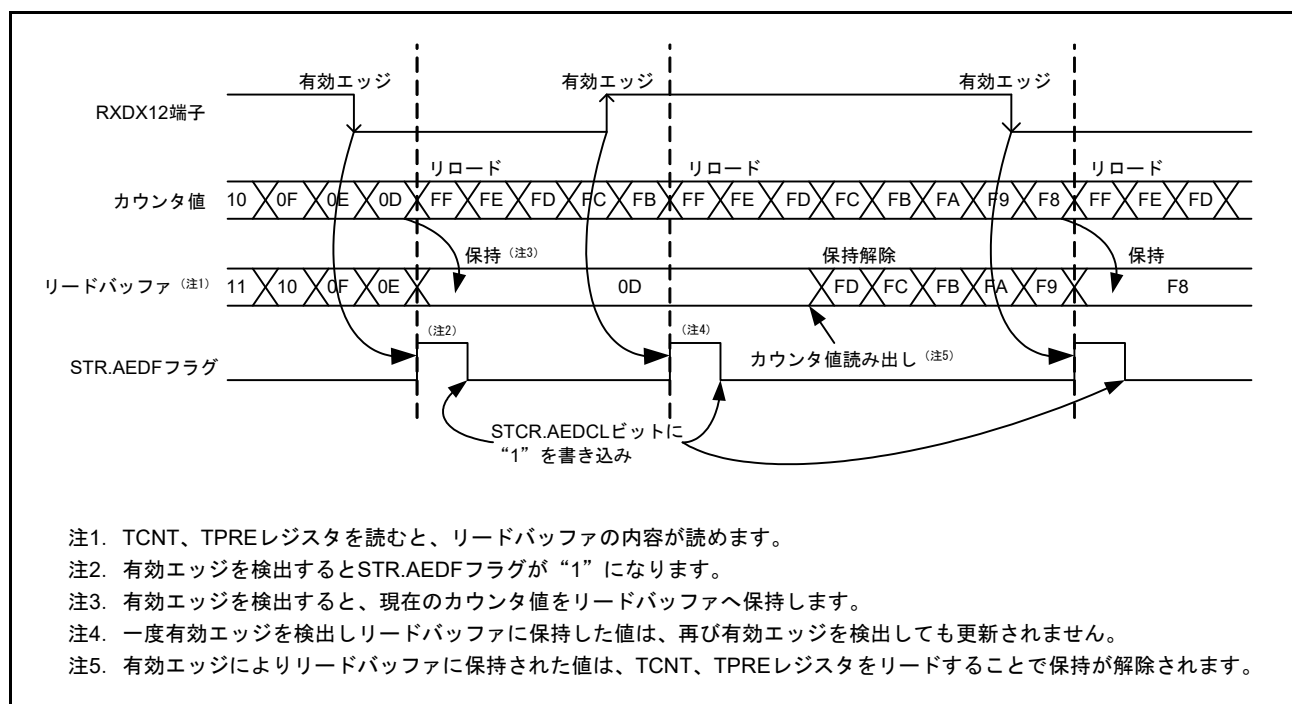


図 26.71 ビットレート測定機能動作例

26.10.7 RXDX12 受信データサンプリングタイミング選択機能

拡張シリアルモード制御部では、RXDX12 受信データのサンプリングタイミングを CR2.RTS[1:0] ビットにより、基本クロックの 8 クロック目の立ち上がり、10 クロック目の立ち上がり、12 クロック目の立ち上がりおよび 14 クロック目の立ち上がりから選択することができます。SEMR.ABCS ビットが“1”の場合は基本クロックの 4 クロック目の立ち上がり、5 クロック目の立ち上がり、6 クロック目の立ち上がりおよび 7 クロック目の立ち上がりから選択することができます。図 26.72 に RXDX12 受信データサンプリングタイミングを示します。

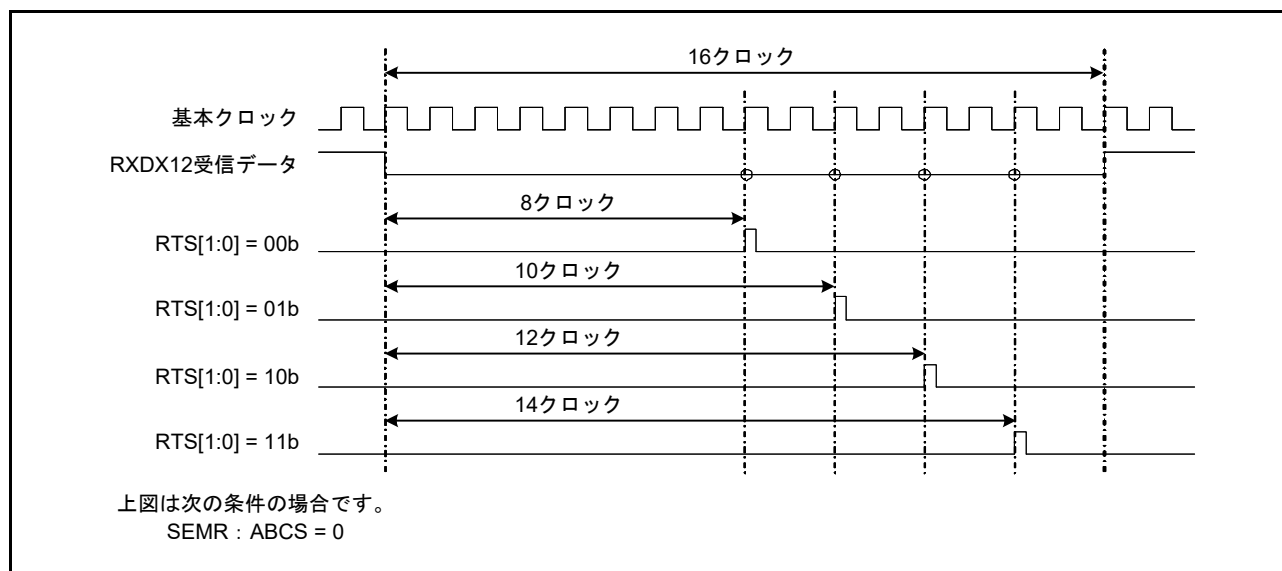


図 26.72 RXDX12 受信データサンプリングタイミング

26.10.8 タイマ

タイマには次の動作モードがあります。

(1) Break Field Low width 出力モード

Start Frame 送信時、Break Field Low width の Low を TXDX12 端子から出力するモードです。TMR.TOMS[1:0] ビットを “10b” に設定すると、Break Field Low width 出力モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに “1” を書き込むと、TXDX12 端子の出力を Low にし、カウントを開始します。タイマがアンダフローすると TXDX12 端子の出力を High にし、STR.BFDF フラグが “1” になります。また、ICR.BFDIE ビットを “1” にしている場合は、SCIX0 割り込みが発生します。TCR.TCST ビットに “0” を書き込むと、TPRE レジスタおよび TCNT レジスタはリロード後カウントを停止します。Break Field Low width 出力完了後、タイマが再度アンダフローする前にカウントを停止してください。図 26.73 に Break Field Low width 出力モードの動作例を示します。

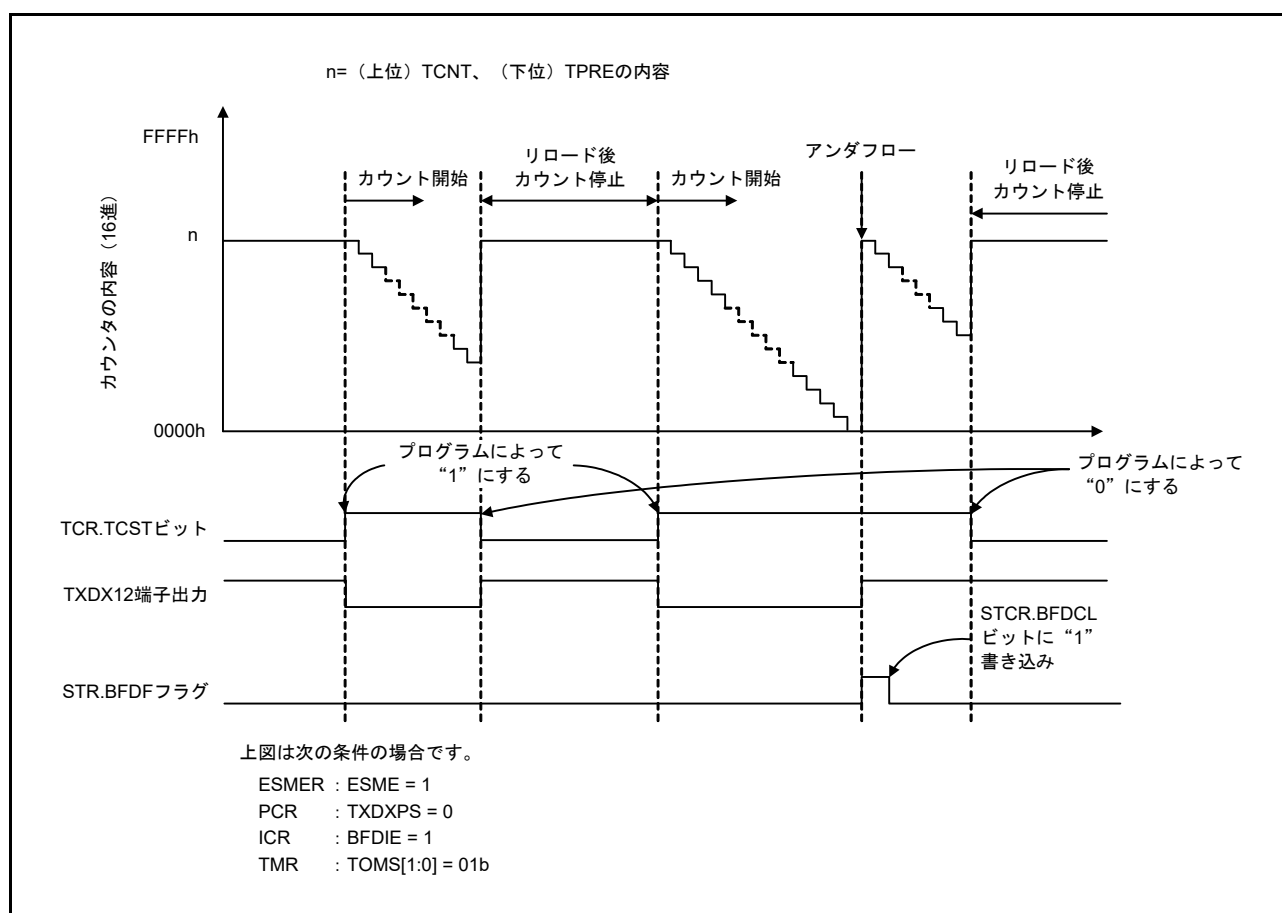


図 26.73 Break Field Low width 出力モードの動作例

(2) Break Field Low width 判定モード

Start Frame 受信時、RXDX12 端子から入力される Break Field Low width 判定するモードです。TMR.TOMS[1:0] ビットを“01b”に設定すると、Break Field Low width 判定モード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、Break Field Low width 判定可能状態になります。RXDX12 端子から Low が入力されると判定を開始します。RXDX12 端子から High が入力されると TPRES レジスタおよび TCNT レジスタはリロードを行い Break Field Low width 判定可能状態になります。Break Field Low width 判定中にタイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。データ通信中にタイマがアンダフローし、割り込みが発生することが問題となる場合は、Break Field Low width 判定後、タイマを停止してください。図 26.74 に Break Field Low width 判定モードの動作例を示します。

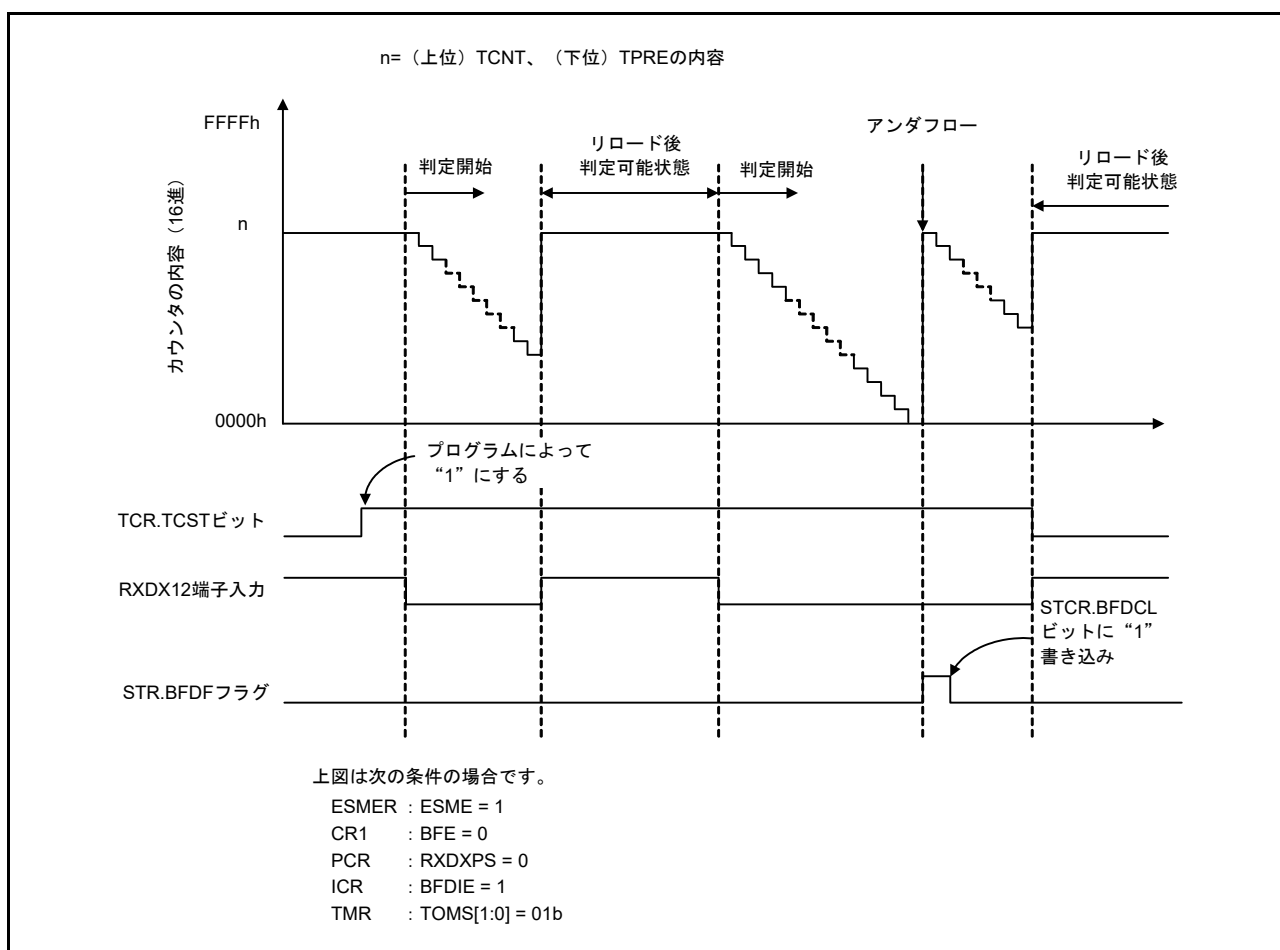


図 26.74 Break Field Low width 判定モードの動作例

(3) タイマモード

内部クロックをカウントクロックソースとしてカウントするモードです。TMR.TOMS[1:0] ビットを“00b”に設定すると、タイマモード動作になります。カウントクロックソースは TMR.TCSS[2:0] ビットで選択します。TCR.TCST ビットに“1”を書き込むと、カウントを開始し、TCST ビットに“0”を書き込むとカウントを停止します。TPRES レジスタに入力するカウントクロックソースの周期で TPRES レジスタがダウンカウントします。TPRES レジスタのアンダフローをカウントクロックソースにして、TCNT レジスタがダウンカウントします。タイマがアンダフローすると STR.BFDF フラグが“1”になります。また、ICR.BFDIE ビットを“1”にしている場合は、SCIX0 割り込みが発生します。

26.11 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 26.75 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCS = 1 のとき1ビット期間の1/8) となります。

簡易 I²C モード時は SSDAn、SSCLn の入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ボーレートジェネレータのクロックソースの1/2/4/8分周クロックから SNFR.NFCS[2:0] ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット = 0、SCR.RE ビット = 0 にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

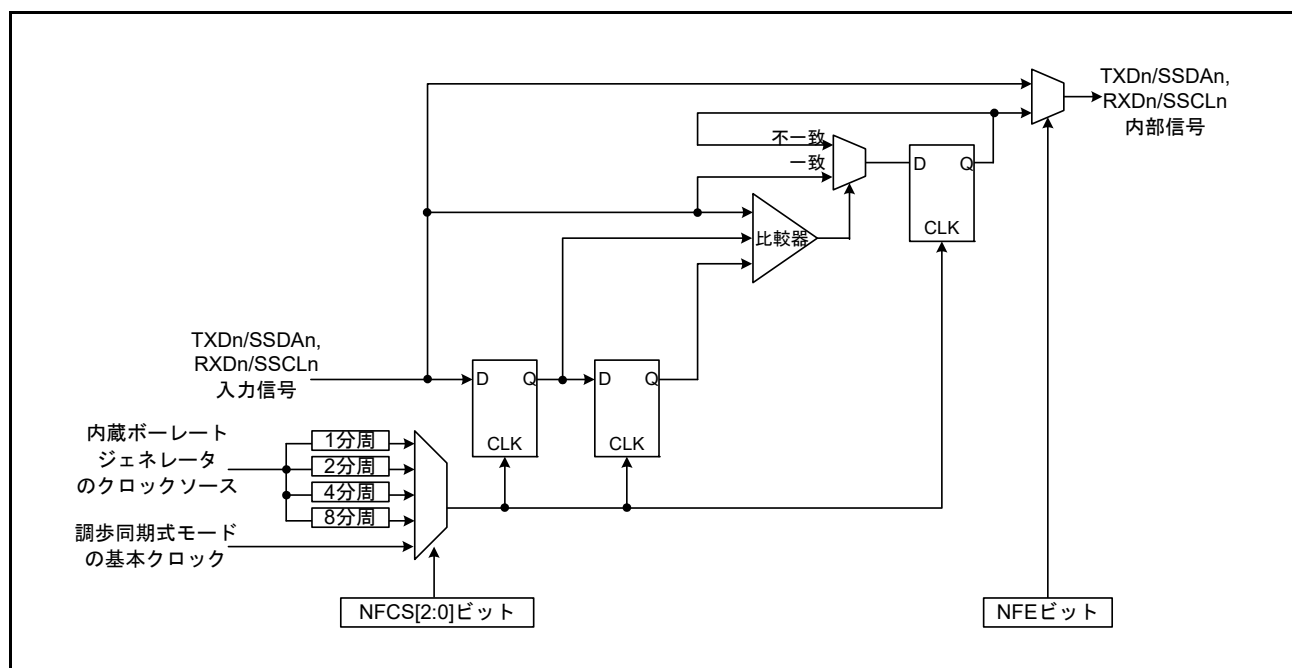


図 26.75 デジタルノイズフィルタのブロック図

26.12 割り込み要因

26.12.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでもクリアできます。

26.12.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 26.31 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因は、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ（注 1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることも発生します。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態で SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態で SCR.TIE ビットを“1”にした場合には発生しません。（注 2）

ただし、SCR.TIE ビットが“1”の状態で SCR.TE ビットを“0”にした場合、TXI 割り込み要求が発生しますのでご注意ください。

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注 1）に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ（注 1）に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注 1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ（注 1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 26.31 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動
ERI	受信エラー	ORER, FER, PER	不可能
RXI	受信データフル	RDRF	可能
TXI	送信データエンプティ	TDRE	可能
TEI	送信終了	TEND	不可能

26.12.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 26.32 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 26.32 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能
RXI	受信データフル	—	可能
TXI	送信データエンプティ	TEND	可能

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「16. データトランスファコントローラ (DTCb)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

26.12.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 26.33 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。また、9 ビット目（アクノリッジビット）の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目（アクノリッジビット）の SSCLn 端子立ち上がりで、SSDAn 端子入力 Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力 High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 26.33 SCI 割り込み要因

名称	割り込み要因		割り込みフラグ	DTC の起動
	IICINTM ビット = 0	IICINTM ビット = 1		
RXI	ACK 検出	受信	—	可能
TXI	NACK 検出	送信	—	可能 (注 1)
STI	開始条件、再開条件、停止条件生成終了		IICSTIF	不可能

注 1. SIMR2.IICINTM ビット = 1 (受信割り込み、送信割り込みを選択) の場合のみ DTC の起動が可能です。

26.12.5 拡張シリアルモード制御部の割り込み要求

SCIf の拡張シリアルモード制御部が生成する割り込み要求には、SCIX0 割り込み (Break Field Low width 検出)、SCIX1 割り込み (Control Field 0 一致、Control Field 1 一致、プライオリティインタラプトビット検出)、SCIX2 割り込み (バス衝突検出) および SCIX3 割り込み (有効エッジ検出) の計 6 種類があります。各割り込み要因が発生するとステータスフラグが“1”になります。表 26.34 に各割り込み要求の内容を示します。

表 26.34 拡張シリアルモード制御部の割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
SCIX0 割り込み (Break Field Low width 検出)	BFDF	• タイマに設定した期間より長い Break Field Low width を検出したとき • タイマに設定した期間、Break Field Low width 出力が完了したとき • タイマがアンダフローしたとき
SCIX1 割り込み (Control Field 0 一致)	CF0MF	Control Field 0 の受信データが CF0DR に設定したデータと一致したとき
SCIX1 割り込み (Control Field 1 一致)	CF1MF	Control Field 1 の受信データが PCF1DR または SCF1DR に設定したデータと一致したとき
SCIX1 割り込み (プライオリティ インタラプトビット検出)	PIBDF	プライオリティインタラプトビットに指定したビットのデータが PCF1DR に設定したデータと一致したとき
SCIX2 割り込み (バス衝突検出)	BCDF	TXDX12 端子の出力と RXDX12 端子の入力をバス衝突検出クロックでサンプリングし、3 回連続不一致が発生とき
SCIX3 割り込み (有効エッジ検出)	AEDF	ビットレート測定中、有効エッジを検出したとき

26.13 使用上の注意事項

26.13.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

26.13.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは RXDn 端子からの入力が入力がすべて Low になりますので、SSR.FER フラグが “1” (フレーミングエラーの発生あり) になり、また SSR.PER フラグも “1” (パリティエラーの発生あり) になる可能性があります。SEMR.RXDESEL ビットが “0” のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを “0” (フレーミングエラーの発生なし) にしても、再び FER フラグが “1” になりますので注意してください。SEMR.RXDESEL ビットが “1” のとき、SCI は、SSR.FER フラグを “1” にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを “0” にすれば、ブレーク中は SSR.FER フラグの “0” を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりですタートビットの始まりを検出し、受信動作を開始します。

26.13.3 マーク状態とブレークの送出

SCR.TE ビットが “0” (シリアル送信動作を禁止) のとき、TXDn 端子はハイインピーダンスになります。このとき TXDn 端子を強制的にマーク / スペース状態にするには、I/O ポート関連のレジスタを設定して TXDn 端子を汎用出力ポートに切り替えてください。

SCR.TE ビットを “1” (シリアル送信動作を許可) にするまで、通信回線をマーク状態 (“1” の状態) にするためには、対応する PODR レジスタのビットを “1” にして、汎用出力ポートから High を出力します。通信を開始する場合、TE ビットを “1” にしてから PMR レジスタの対応するビットを “1” にしてください。

データ送信時にブレーク (一定期間以上連続したスペース) を送出したいときは、対応する PODR レジスタのビットを “0” (Low 出力) にした後、PMR レジスタの対応するビットを “0” (汎用入出力ポート) にします。TE ビットを “0” にする場合、この後実施してください。TE ビットを “0” にすると現在の送信状態とは無関係に送信部は初期化されます。

26.13.4 受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)

受信エラーフラグ (SSR.ORER) が “1” になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを “0” にしておいてください。また、SCR.RE ビットを “0” (シリアル受信動作を禁止) にしても受信エラーフラグは “0” になりませんので注意してください。

26.13.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

26.13.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 26.76 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち下がり以前に、TDR レジスタまたはTDRL レジスタに次の送信データを書き込んでください (図 26.76 参照)。
- ビット7送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR レジスタを更新し、かつビット7の送信クロックの High 幅を、4 PCLK 以上にしてください (図 26.76 参照)。

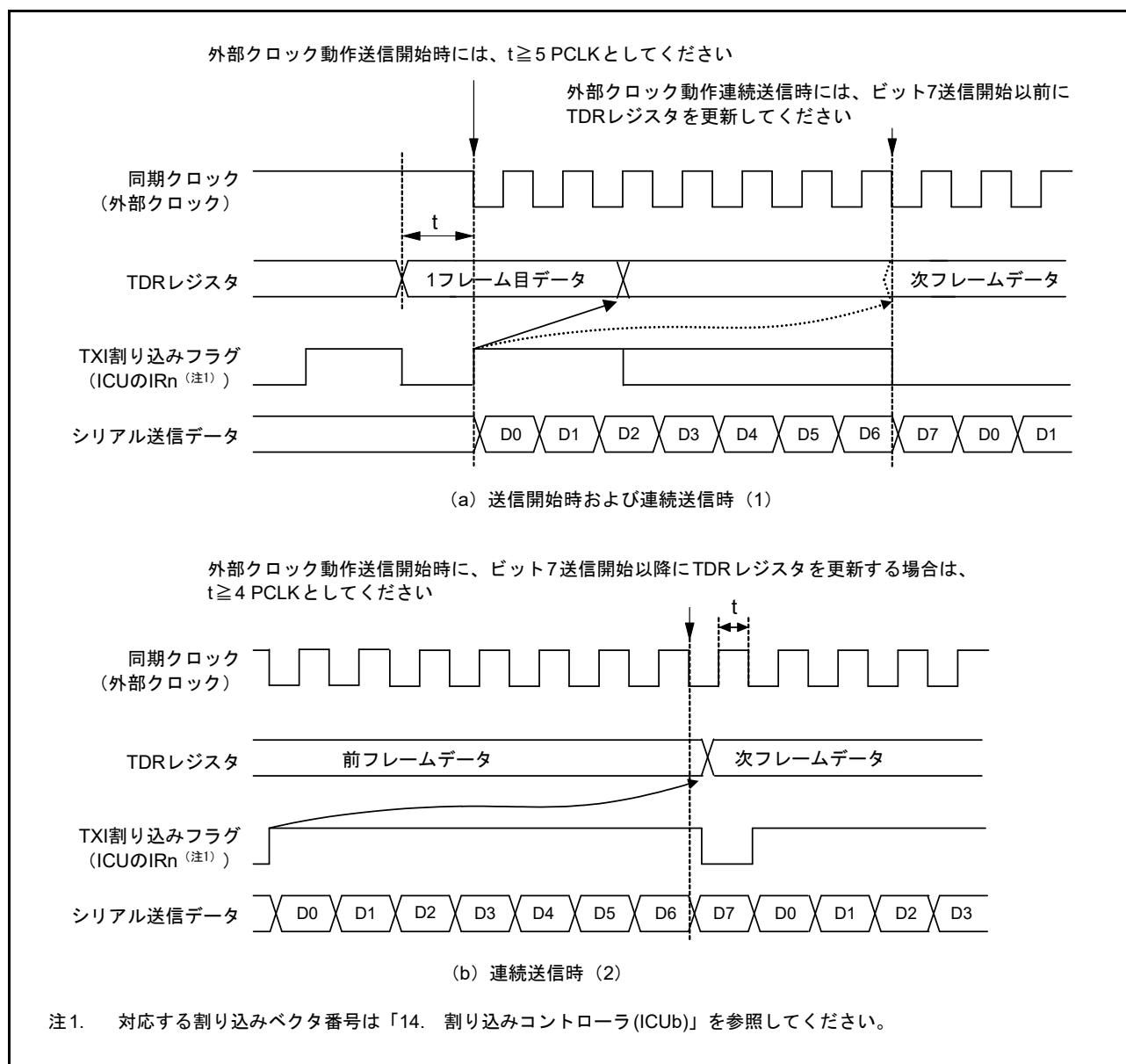


図 26.76 クロック同期式モード送信での外部クロック使用の制約事項

26.13.7 DTC 使用上の制約事項

DTC により、RDR、RDRH、RDRL レジスタのリードを行うときは起動要因を当該 SCI の受信データフル割り込み (RXI) に設定してください。

26.13.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、または SCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたは SCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたは SCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

26.13.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよび SSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 26.77 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 26.78、図 26.79 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後、DTC による送信を再開する場合は、TE ビット=1、TIE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 26.80 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

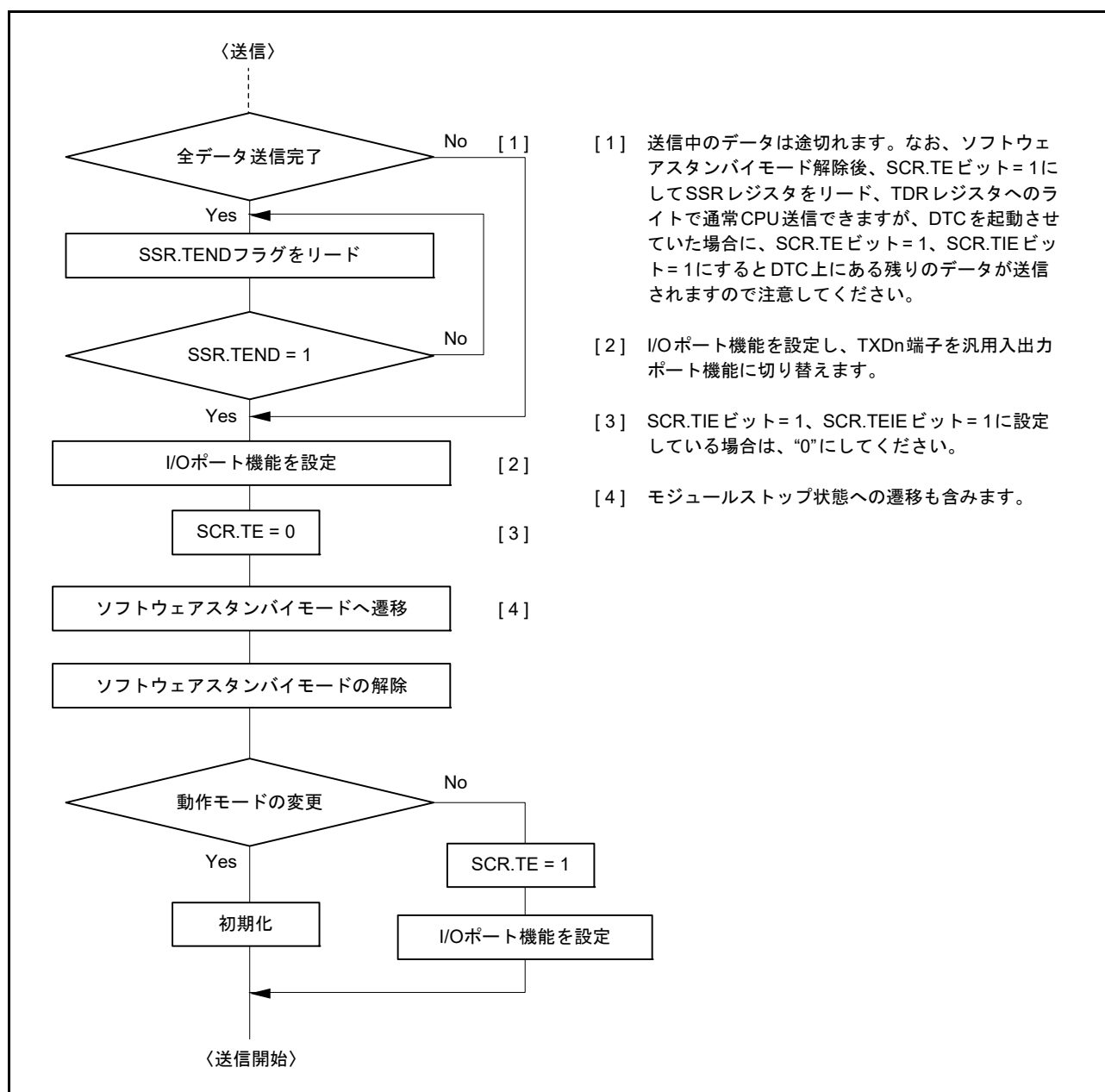


図 26.77 送信時のソフトウェアスタンバイモード遷移フローチャートの例

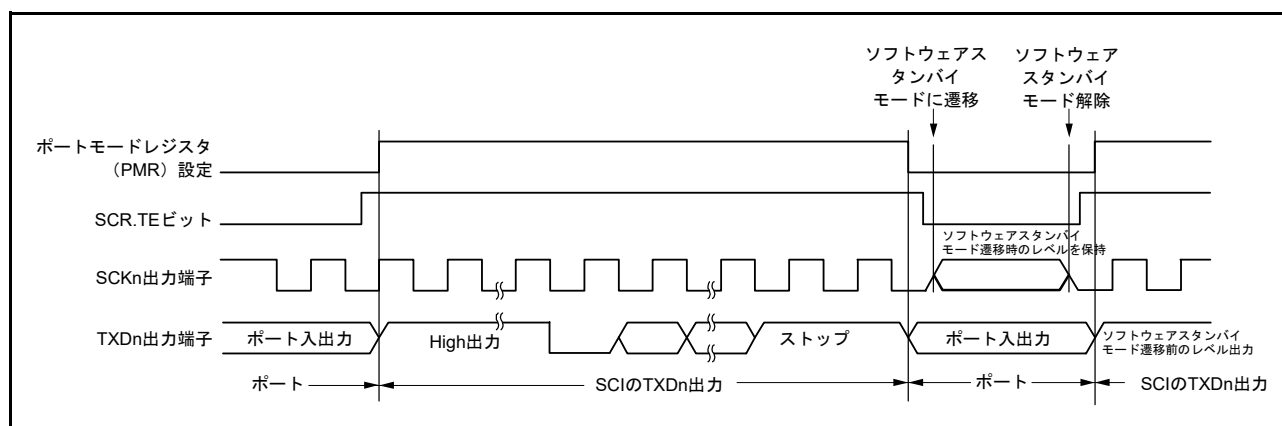


図 26.78 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

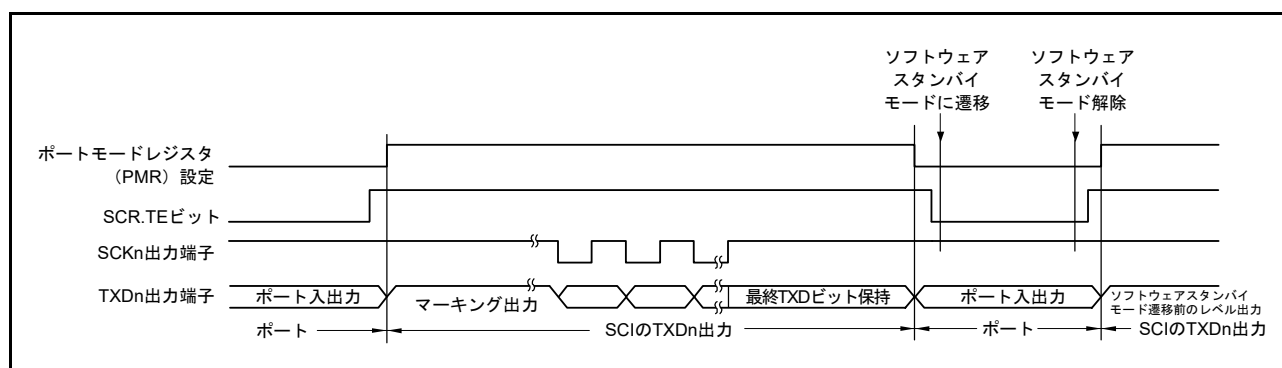


図 26.79 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

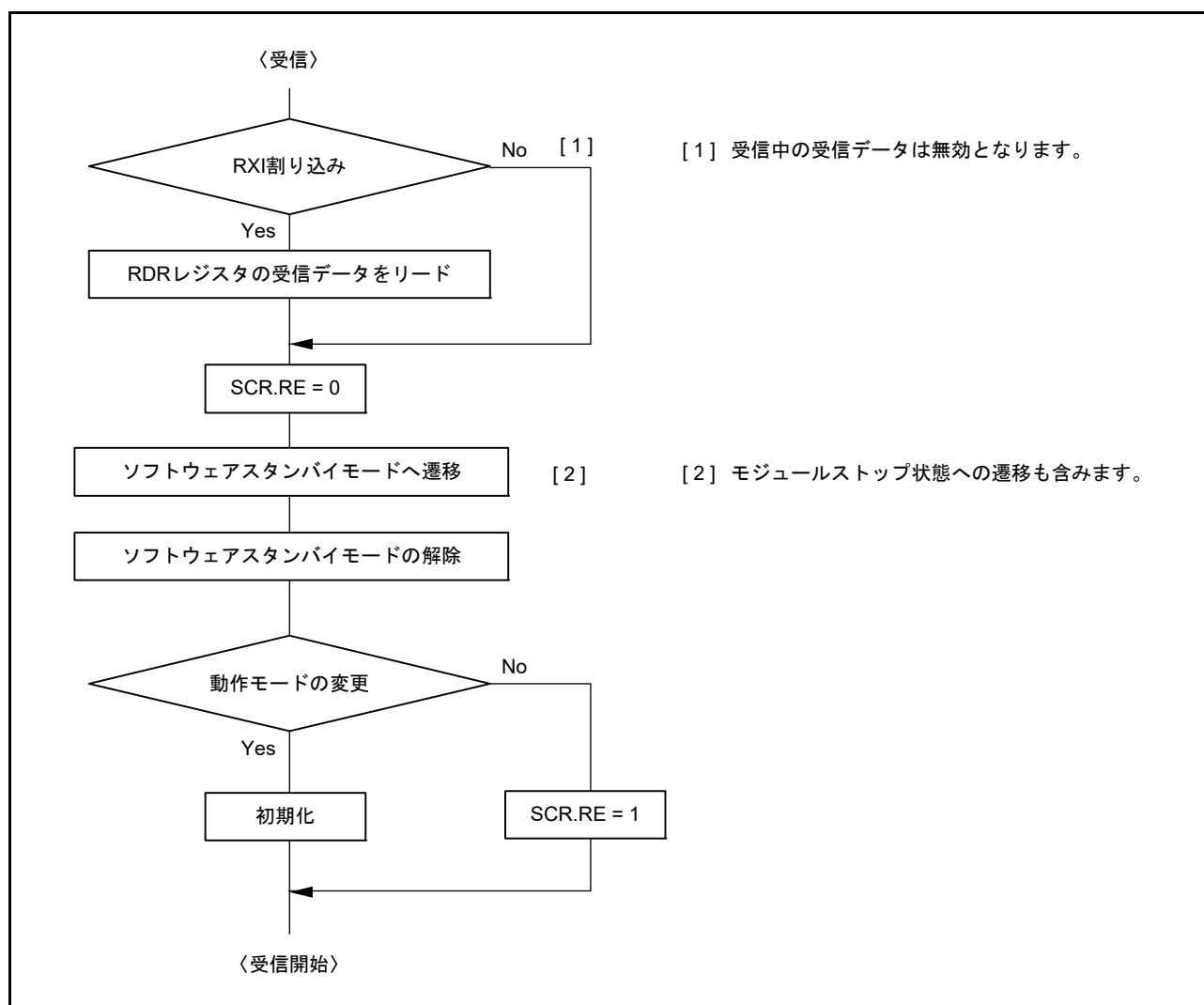


図 26.80 受信時のソフトウェアスタンバイモード遷移フローチャートの例

26.13.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

26.13.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット = 1) の場合、図 26.81 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

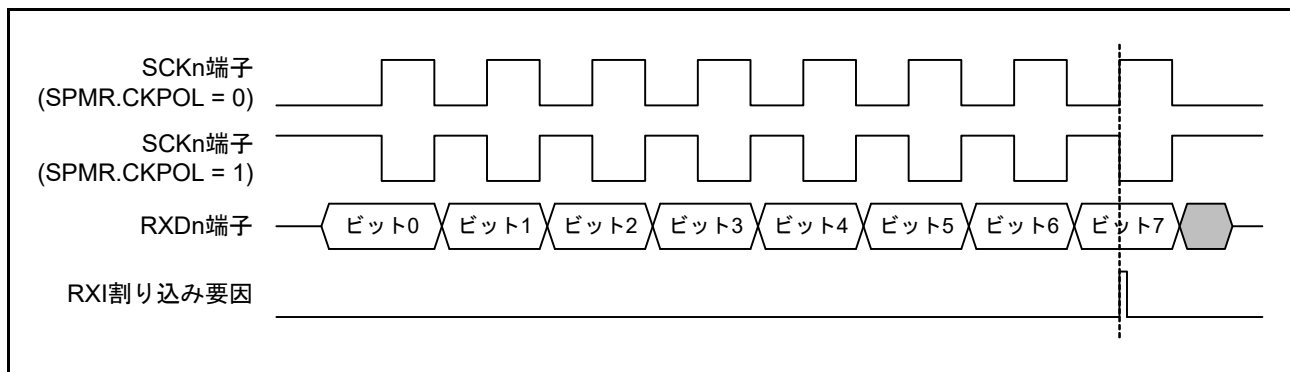


図 26.81 簡易 SPI モード (クロック遅れあり) RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5 PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5 PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

26.13.12 拡張シリアルモード制御部の使用上の制約事項 1

PCR.SHARPS ビットを“1”にした場合、TXDX12/RXDX12 端子は以下のときのみ出力となります。

- タイマを Break Field Low width 出力モードで TCR.TCST ビットを“1”にしたとき
(TCR.TCST ビットを“1”にし、Low が出力されるまで、最大でタイマカウントクロックソースの 1 サイクルの High が出力されます。)
- SCR.TE ビットが“1”のとき

26.13.13 拡張シリアルモード制御部の使用上の制約事項 2

拡張シリアルモードを有効にした場合も、TXI、RXI、ERI、TEI 割り込み要求は生成されます。Start Frame 受信中は拡張シリアルモード制御部が受信データフル信号を使用するため、RXI 割り込みを許可しないでください。Information Frame 受信時に RXI 割り込みを使用する場合、以下のいずれかの手順で使用してください。なお、受信エラーを検出したときは、図 26.82 のフローチャートの例に従って受信エラーフラグのクリアと拡張シリアルモード制御部の初期化を実施してください。

- (1) SCR.RIE ビットを“0”にし、割り込み要求出力を禁止してください。この場合受信エラーが発生した場合に ERI 割り込みが発生しないため、Start Frame の受信終了タイミングで、SSR レジスタのエラーフラグを確認してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、SCR.RIE ビットを“1”に切り替えてください。
- (2) SCR.RIE ビットを“1”にし、ICU の RXI 割り込みを禁止し、ICU の ERI 割り込みを許可してください。Start Frame の受信完了後 Information Frame の第 1 バイトの受信が完了するまでの間に、ICU の RXI 割り込みに対応する IRn.IR フラグをクリアし、ICU の RXI 割り込みを許可に切り替えてください。

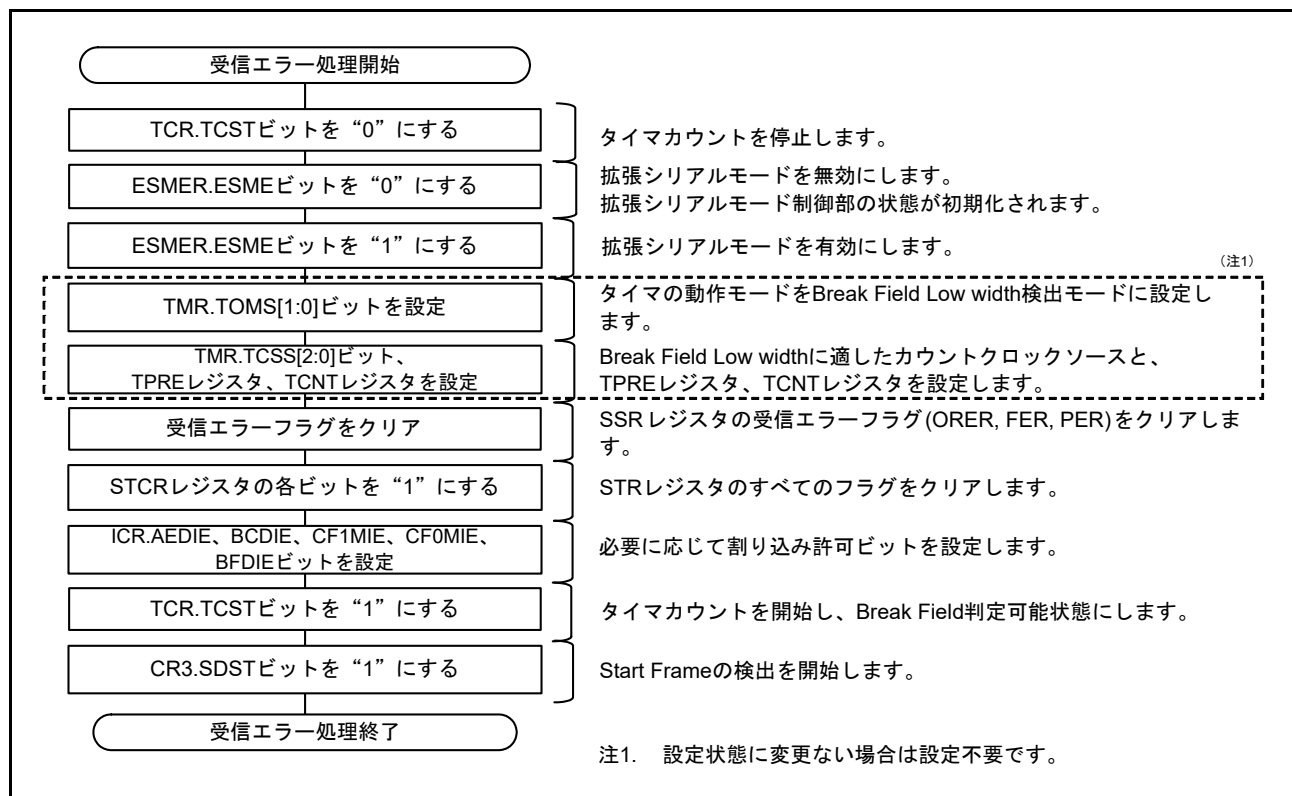


図 26.82 受信エラー処理のフローチャートの例 (Start Frame 受信中)

26.13.14 トランスミットイネーブルビット (TE ビット) に関する注意事項

SCR.TE ビットが“0”(シリアル送信動作を禁止)のときに端子の機能を「TXDn」にしたり、端子の機能が「TXDn」になっているときに TE ビットを“0”にしたりすると、TXDn 端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) TE ビットを“1”にしてから、端子の機能を「TXDn」に切り替える(注1)。また、TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート」に切り替えて、High または Low を出力させる。

注 1. TXI 割り込みが許可されているときに TE ビットを“1”にすると、割り込みが発生します。このことが問題になる場合は、端子の機能を「TXDn」にした後に、対応する ICU.IERm.IENj ビットを“1”にしてください。

26.13.15 調歩同期式モードにおける RTS 機能使用時の受信停止に関する注意事項

調歩同期式モードでは、SCR.RE ビットを“0”にしてから RTS 信号生成回路が停止するまでに、PCLK で 1 サイクル必要です。

RE ビットを“0”にしてから RDR (または RDRL) レジスタを読み出す場合は、これら 2 つの処理が連続して行われないように、RE ビットが“0”になったのを確認してから RDR (または RDRL) レジスタを読み出してください。

27. I²Cバスインタフェース (RIICa)

本 MCU は、1 チャネルの I²C バスインタフェース (RIIC0) を内蔵しています。

RIIC は、NXP 社が提唱する I²C バス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

27.1 概要

表 27.1 に RIIC の仕様を、図 27.1 に RIIC のブロック図を、表 27.2 に RIIC で使用する入出力端子を示します。

表 27.1 RIIC の仕様 (1/2)

項目	内容
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
シリアルクロック (SCL)	マスタ時、SCL のデューティ比を 4% ~ 96% の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション (リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクリリッジ応答	- 送信時、アクリリッジビットの自動ロード ノットアクリリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクリリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリリッジ応答のソフトウェア制御が可能
ウェイト機能	受信時、SCL ラインの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間でウェイト 9 クロック目と 1 クロック目の間でウェイト
SDA 出力遅延機能	アクリリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能
アービトレーション	- マルチマスタ対応 他のマスタとの SCL 衝突時、SCL の同期動作可能 スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) - ノットアクリリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL の長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー/通信イベント アービトレーションロスト検出 NACK 検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 27.1 RIIC の仕様 (2/2)

項目	内容
RIICの動作モード	• 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

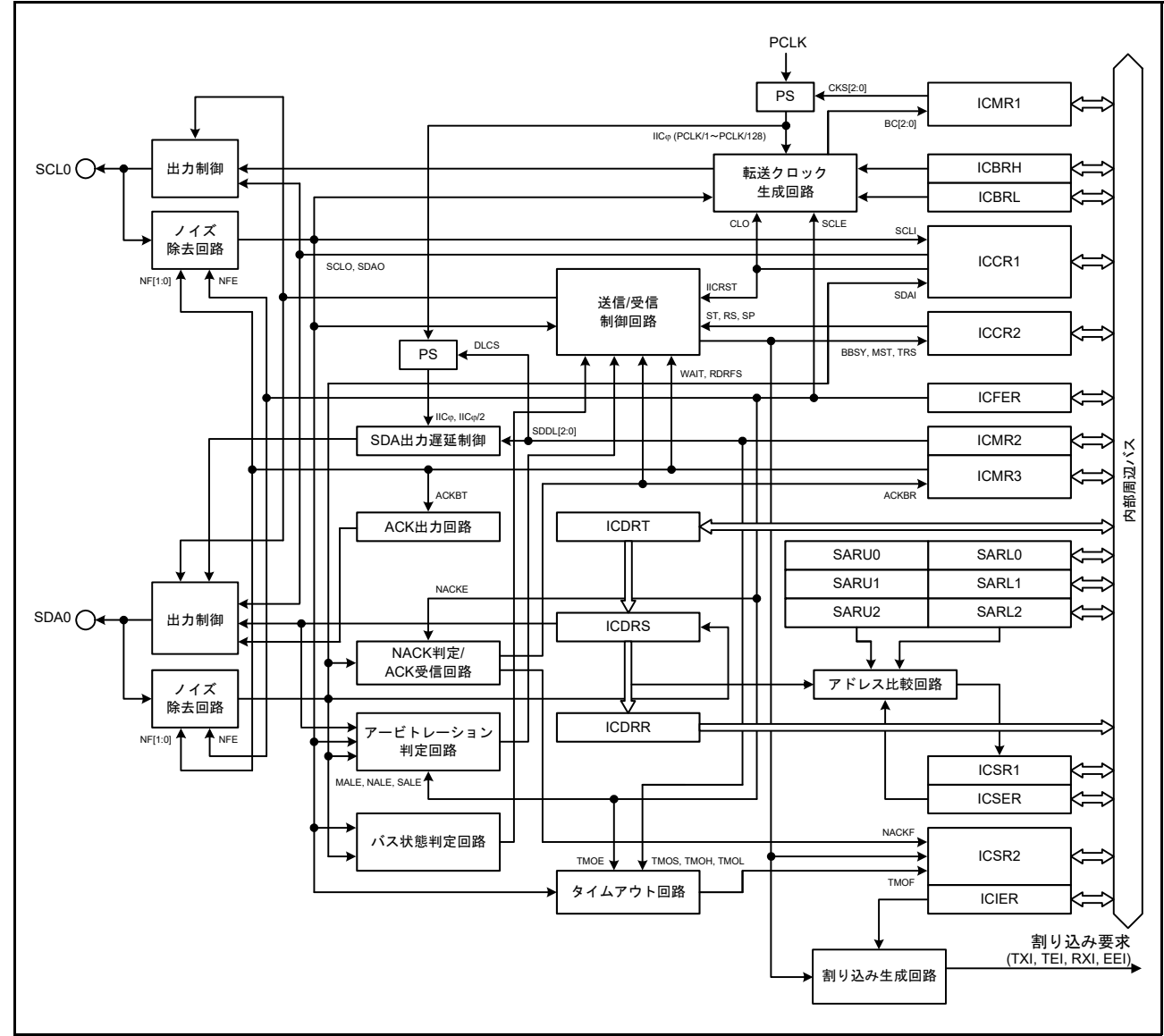


図 27.1 RIIC のブロック図

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 27.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0 シリアルクロック入出力端子
	SDA0	入出力	RIIC0 シリアルデータ入出力端子

27.2 レジスタの説明

27.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA0ラインはLow 1 : SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL0ラインはLow 1 : SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	・リード時 0 : SDA0端子をLowにしている 1 : SDA0端子を解放している ・ライト時 0 : SDA0端子をLowにする 1 : SDA0端子を解放する (外部プルアップ抵抗によりHigh出力)	R/W
b3	SCLO	SCL出力制御/モニタビット	・リード時 0 : SCL0端子をLowにしている 1 : SCL0端子を解放している ・ライト時 0 : SCL0端子をLowにする 1 : SCL0端子を解放する (外部プルアップ抵抗によりHigh出力)	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCL追加出力ビット	0 : SCLを追加で出力しない(通常状態) 1 : SCLを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止(SCL0、SDA0端子非駆動状態) 1 : 許可(SCL0、SDA0端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIIC が出力する SDA0 信号、SCL0 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOWP ビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介して RIIC に入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのとき RIIC が出力している信号の状態が読めます。

CLO ビット (SCL 追加出力ビット)

SCL を 1 クロックずつ追加で出力する機能で、デバッグ時または異常処理時に使用します。
通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「27.11.2 SCL 追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 27.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態を初期化します。各レジスタのリセット状況については、「27.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

注． スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、スレーブモード時に内部リセットを行う場合は、バスフリー中に実施してください。なお、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ずれの原因になります。

表 27.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 27.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

27.2.2 I²C バスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0 : スタートコンディションの発行を要求しない 1 : スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0 : リスタートコンディションの発行を要求しない 1 : リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0 : ストップコンディションの発行を要求しない 1 : ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0 : 受信モード 1 : 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0 : スレーブモード 1 : マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0 : I ² Cバスが解放状態(バスフリー状態) 1 : I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWP ビットが“1”のとき、MST、TRS ビットへの書き込みができます。

ST ビット (スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが“1”になるとスタートコンディションの発行を要求し、BBSY フラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「27.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ST ビットは、BBSY フラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSY フラグが“1”(バスビジー)のとき、ST ビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット (リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが“1”になるとリスタートコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「27.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1" になる条件]

- ICCR2.BBSY フラグが "1" の状態で、"1" を書いたとき

["0" になる条件]

- "0" を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが "1" になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを "1" にしないでください。

注. スレーブモードでは RS ビットに "1" (リスタートコンディション発行要求) を書いた場合、リスタートコンディションは発行されずに RS ビットは "1" のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが "1" になるとストップコンディションの発行を要求し、BBSY フラグが "1" (バスビジー) でかつ MST ビットが "1" (マスタモード) のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「27.10 スタートコンディション、リスタートコンディション、ストップコンディション 発行機能」を参照してください。

["1" になる条件]

- ICCR2.BBSY フラグが "1" でかつ ICCR2.MST ビットが "1" の状態で、"1" を書いたとき

["0" になる条件]

- "0" を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが "1" になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに "1" を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが "0" (バスフリー) のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを "1" にしないでください。

TRS ビット (送信 / 受信モードビット)

送信 / 受信モードを示すビットです。

TRS ビットが "0" のとき受信モード、TRS ビットが "1" のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行 / 検出および R/W# ビットの値で "1" または "0" になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが "1" のとき書き込みはできますが、通常では書き込みの必要はありません。

["1" になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが "1" の状態で、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが "1" の状態で、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが“0”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“1”を受信したとき
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが“1”のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに“0”を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが“0”のときスレーブモード、MST ビットが“1”のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで“1”または“0”になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

[“1”になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが“1”の状態に、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが“1”の状態に“1”を書いたとき

[“0”になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが“1”の状態に“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して“1”になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでスタートコンディションを検出しなかったとき“0”になります。

[“1”になる条件]

- スタートコンディションを検出したとき

[“0”になる条件]

- ストップコンディションを検出後、バスフリー時間 (ICBRL レジスタに設定した時間) が経過するまでス

タートコンディションを検出しなかったとき

- ICCR1.ICE ビットが“0”の状態ではICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

27.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h

b7	b6	b5	b4	b3	b2	b1	b0
MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロック (IICφ) ソースを選択します b6 b4 0 0 0 : PCLK/1 0 0 1 : PCLK/2 0 1 0 : PCLK/4 0 1 1 : PCLK/8 1 0 0 : PCLK/16 1 0 1 : PCLK/32 1 1 0 : PCLK/64 1 1 1 : PCLK/128	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRS ビットへの書き込み禁止 1 : ICCR2.MST, TRS ビットへの書き込み許可	R/W

注1. BC[2:0] ビットを書き換える場合は、BCWP ビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し (データにアクノリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出 (リスタートコンディション含む) で自動的に“000b”に戻ります。

27.2.4 I²C バスモードレジスタ 2 (ICMR2)

アドレス R1IC0.ICMR2 0008 8303h

b7	b6	b5	b4	b3	b2	b1	b0	
DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS	
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCL0ラインがLow期間中のカウントアップを禁止 1 : SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCL0ラインがHigh期間中のカウントアップを禁止 1 : SCL0ラインがHigh期間中のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCS ビット= 0 (IICφ) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1サイクル 0 1 0 : IICφの2サイクル 0 1 1 : IICφの3サイクル 1 0 0 : IICφの4サイクル 1 0 1 : IICφの5サイクル 1 1 0 : IICφの6サイクル 1 1 1 : IICφの7サイクル • ICMR2.DLCS ビット= 1 (IICφ/2) のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IICφの1~2サイクル 0 1 0 : IICφの3~4サイクル 0 1 1 : IICφの5~6サイクル 1 0 0 : IICφの7~8サイクル 1 0 1 : IICφの9~10サイクル 1 1 0 : IICφの11~12サイクル 1 1 1 : IICφの13~14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0 : SDA出力遅延カウンタのクロックソースに 内部基準クロック (IICφ) を選択 1 : SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周 (IICφ/2) を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット= 1 (IICφ/2) の設定が有効になります。SCL端子がHighのときDLCSビット= 1 の設定は無効となり内部基準クロック (IICφ) となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット= 1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL0ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック (IICφ) をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「27.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット= 1) に SCL0 ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウト H カウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット = 1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間 / アクノリッジ有効時間 (注 1) 以内) または SMBus 仕様 (データホールド時間 (300 ns) 以上、かつ「クロックの Low 幅 – データセットアップ時間 (250 ns)」以下) を満たすようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「27.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間 / アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

27.2.5 I²C バスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IICφ以下のノイズを除去(フィルタは1段) 0 1 : 2 IICφ以下のノイズを除去(フィルタは2段) 1 0 : 3 IICφ以下のノイズを除去(フィルタは3段) 1 1 : 4 IICφ以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRF フラグセット タイミング選択ビット	0 : 9個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりりでSCL0ラインをLowにホールドしない) 1 : 8個目のSCLの立ち上がり時に“1”になる (8クロック目の立ち下がりりでSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「27.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。ノイズフィルタ幅を、[SCLのHigh幅またはLow幅のいずれか短い方] - 1.5 × t_{IIcCyc} (内部基準クロック (IICφ)の周期)と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりシリアルクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1”になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“1”を受信したとき

[“0”になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態ではICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクリッジビット)

受信モード時にアクリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態ではストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態ではICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび 8 個目の SCL の立ち下がりでは SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりでは SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりでは RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりでは“1”にし、8 クロック目の立ち下がりでは SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL の 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL の 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択 ビット)

SMBS ビットを“1”にすると、SMBus が選択され ICSSR.HOAE ビットが有効になります。

27.2.6 I²C バスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による ICCR2.MST, TRS ビットの自動クリアを行う)	R/W
b2	NALE	NACK 送信アービトレーションロスト検出許可ビット	0: NACK 送信アービトレーションロスト検出禁止 1: NACK 送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK 受信転送中断許可ビット	0: NACK 受信時、転送を中断しない(転送中断禁止) 1: NACK 受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ有効ビット	0: デジタルノイズフィルタを使用しない 1: デジタルノイズフィルタを使用する	R/W
b6	SCLE	SCL 同期回路有効ビット	0: SCL 同期回路無効 1: SCL 同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効 / 無効を選択します。

タイムアウト検出機能の詳細については、「27.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効 / 無効を決定します。通常は“1”にしてください。

NALE ビット (NACK 送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送出中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACK ビット (NACK 受信転送中断許可ビット)

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACK ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACK ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「27.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、クロック同期を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0”(SCL 同期回路無効)にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度のクロックを出力します。そのため、I²C バスラインの負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL 出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL 追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

27.2.7 I²C バスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「27.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつ HOAE ビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”または HOAE ビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

27.2.8 I²C バス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0 : タイムアウト割り込み (TMOI) 要求の禁止 1 : タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0 : アービトレーションロスト割り込み (ALI) 要求の禁止 1 : アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0 : スタートコンディション検出割り込み (STI) 要求の禁止 1 : スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0 : ストップコンディション検出割り込み (SPI) 要求の禁止 1 : ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK 受信割り込み要求許可ビット	0 : NACK 受信割り込み (NAKI) 要求の禁止 1 : NACK 受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0 : 受信データフル割り込み (RXI) 要求の禁止 1 : 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0 : 送信終了割り込み (TEI) 要求の禁止 1 : 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0 : 送信データエンプティ割り込み (TXI) 要求の禁止 1 : 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可 / 禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可 / 禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可 / 禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可 / 禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

27.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0 : スレーブアドレス0未検出 1 : スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0 : スレーブアドレス1未検出 1 : スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0 : スレーブアドレス2未検出 1 : スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0 : ジェネラルコールアドレス未検出 1 : ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0 : デバイスIDアドレス未検出 1 : デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0 : ホストアドレス未検出 1 : ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y = 0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの 9 個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの 9 個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時 : SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

[10ビットアドレスフォーマット選択時 : SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1”(スレーブアドレス y 検出有効)の状態、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの 9 個目の SCL の立ち上がり

- ICSE.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSE.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.GCAE ビットが“1” (ジェネラルコールアドレス検出有効) の状態で、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1" になる条件]

- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICSE.DIDE ビットが“1” (デバイス ID アドレス検出有効) の状態で、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1" になる条件]

- ICSE.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの 9 個目の SCL の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSE.HOAE ビットが“1” (ホストアドレス検出有効) の状態で、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの 9 個目の SCL の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

27.2.10 I²C バスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0 : タイムアウト未検出 1 : タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0 : アービトレーションロストの発生なし 1 : アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0 : スタートコンディション未検出 1 : スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0 : ストップコンディション未検出 1 : ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK 検出フラグ	0 : NACK 未検出 1 : NACK 検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0 : ICDRR レジスタに受信データなし 1 : ICDRR レジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0 : データ送信中 1 : データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0 : ICDRT レジスタに送信データあり 1 : ICDRT レジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0 ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOE ビットが“1”(タイムアウト検出機能有効)で、かつマスタモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0 ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失 (アービトレーションロスト) したことを示します。RIIC は送信中に SDA0 ラインのレベルを監視し、出力データと SDA0 ラインのレベルが一致しない場合 AL フラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、受信モード時の NACK 送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

[“1”になる条件]

【マスタアービトレーションロスト検出有効時 : ICFER.MALE ビット = 1】

- マスタ送信モード時のデータ送信 (スレーブアドレス送信含む) において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき (内部 SDA 出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき
- ICCR2.BBSY フラグが“1”の状態ですICCR2.ST ビットが“1”(スタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL の立ち上がり時に、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致であったとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 27.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですタートコンディション検出時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき
			1	送信データ不一致	ICCR2.BBSY フラグが“1”の状態ですICCR2.ST ビットを“1”にしたとき
x	1	x	1	NACK 送信不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	x	1	1	送信データ不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション (リスタートコンディション含む) を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKF ビットが“1”(転送中断許可)の状態、送信モード時に受信デバイスからアクノリッジがなかった(NACKを受信した)とき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の場合、送信モード時に ICDRT レジスタへの書き込みを行ったり、受信モード時に ICDRR レジスタの読み出しを行ったりしても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

[“1”になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により 8 または 9 個目の SCL の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

[“1”になる条件]

- TDRE フラグが“1”の状態、9 個目の SCL の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

[“1”になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

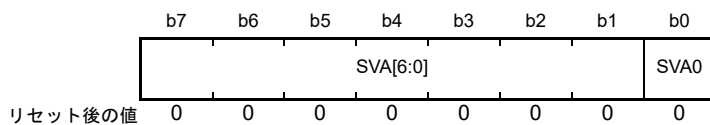
[“0”になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが“0”)、ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、TDRE フラグは“1”になりません。

27.2.11 スレーブアドレスレジスタ Ly (SARLy) (y = 0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが “1” (SARLy、SARUy レジスタ有効) でかつ SARUy.FS ビットが “1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが “0” のとき設定値は無視されます。

SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが “0” のとき設定値は無視されます。

27.2.12 スレーブアドレスレジスタ Uy (SARUy) (y = 0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	SVA[1:0]	FS	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0: 7ビットアドレスフォーマット選択 1: 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

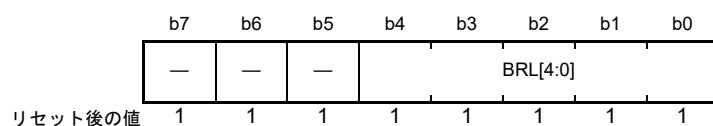
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) でかつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

27.2.13 I²C バスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL の Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時 (「27.8 SCL の自動 Low ホールド機能」参照) のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間(注1)以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロック (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

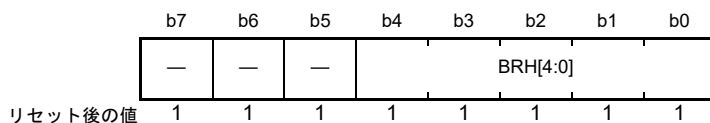
注 1. データセットアップ時間 (t_{SU;DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

27.2.14 I²C バスビットレート High レジスタ (ICBRH)

アドレス R1IC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRH レジスタは SCL の High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。R1IC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

ICBRH レジスタは ICMR1.CKS[2:0] ビットで選択された内部基準クロック (IICφ) で High 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRH レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

I²C 転送速度および SCL のデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi^{(\text{注1})} + \text{SCL0 ライン立ち上がり時間 (tr)} + \text{SCL0 ライン立ち下がり時間 (tf)} \}$$

$$\text{デューティ比} = \{ \text{SCL0 ライン立ち上がり時間 (tr)}^{(\text{注2})} + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0 ライン立ち下がり時間 (tf)}^{(\text{注2})} + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注 1. IICφ = PCLK × 分周比

注 2. SCL0 ライン立ち上がり時間 (tr)、SCL0 ライン立ち下がり時間 (tf) は、バスライン総容量 (Cb) とプルアップ抵抗 (Rp) に依存します。詳細については NXP 社の I²C バス仕様書を参照してください。

ICBRH、ICBRL レジスタの値の設定例を表 27.5 に示します。

表 27.5 転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数 PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

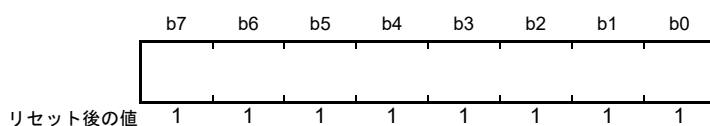
転送速度 (kbps)	動作周波数 PCLK (MHz)								
	30			32			33		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)	110b	22 (F6h)	26 (FAh)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)	100b	17 (F1h)	20 (F4h)
100	011b	14 (EEh)	17 (F1h)	011b	15 (EFh)	18 (F2h)	011b	16 (F0h)	19 (F3h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)	001b	9 (E9h)	21 (F5h)

転送速度 (kbps)	動作周波数 PCLK (MHz)		
	40		
	CKS[2:0]	ICBRH	ICBRL
10	111b	13 (EDh)	15 (EFh)
50	100b	21 (F5h)	24 (F8h)
100	011b	19 (F3h)	23 (F7h)
400	001b	11 (EBh)	25 (F9h)

注. SCL0 ラインの立ち上がり時間 (tr) を 100 kbps 以下 (Sm) は 1000 ns、400 kbps 以下 (Fm) は 300 ns、SCL0 ラインの立ち下がり時間 (tf) を 400 kbps 以下 (Sm/Fm) は 300 ns として計算した場合の設定例です。
SCL0 ライン立ち上がり時間 (tr)、SCL0 ライン立ち下がり時間 (tf) の値については NXP 社の I²C バス仕様書を参照してください。

27.2.15 I²C バス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



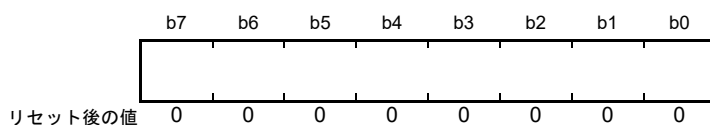
I²C バスシフトレジスタ (ICDRS) の空きを検出すると、ICDRT レジスタに書き込まれた送信データが ICDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

27.2.16 I²C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま (ICSR2.RDRF フラグが“1”の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に“1”になるタイミングの 1 つ手前の SCL0 の立ち下がりで SCL0 ラインを Low にホールドします。

27.2.17 I²C バスシフトレジスタ (ICDRS)

ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA0 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

27.3 動作説明

27.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 27.2 に I²C バスフォーマットを、図 27.3 に I²C バスタイミングを示します。

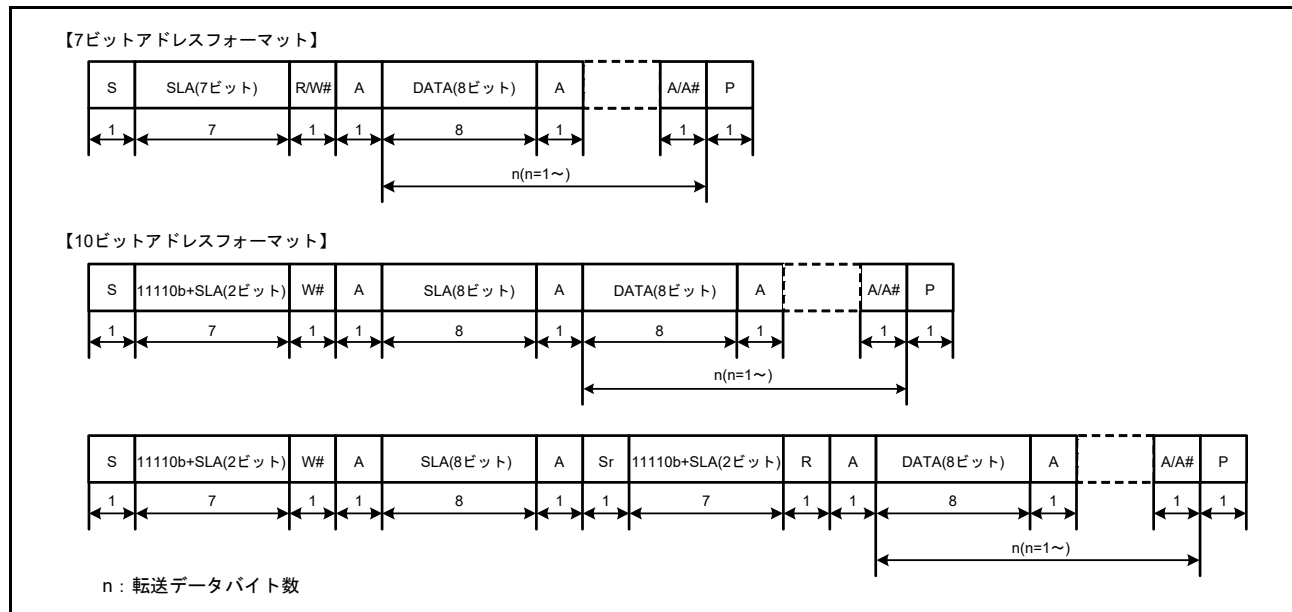


図 27.2 I²C バスフォーマット

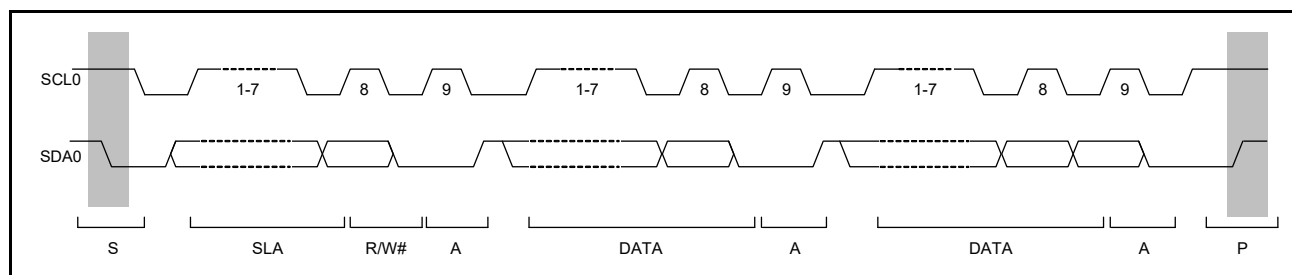


図 27.3 I²C バスタイミング (SLA = 7 ビットの場合)

- S : スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- SLA : スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W# : 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します)。
- A# : ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr : リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- DATA : 送受信データを示します。
- P : ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがLowからHighに変化します。

27.3.2 初期設定

データの送信 / 受信を開始する場合、図 27.4 に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0”(SCL0、SDA0 端子非駆動状態)にしたまま ICCR1.IICRST ビットを“1”(RIIC リセット)にした後、ICCR1.ICE ビットを“1”(内部リセット)にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y = 0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については図 27.4 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0”(RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

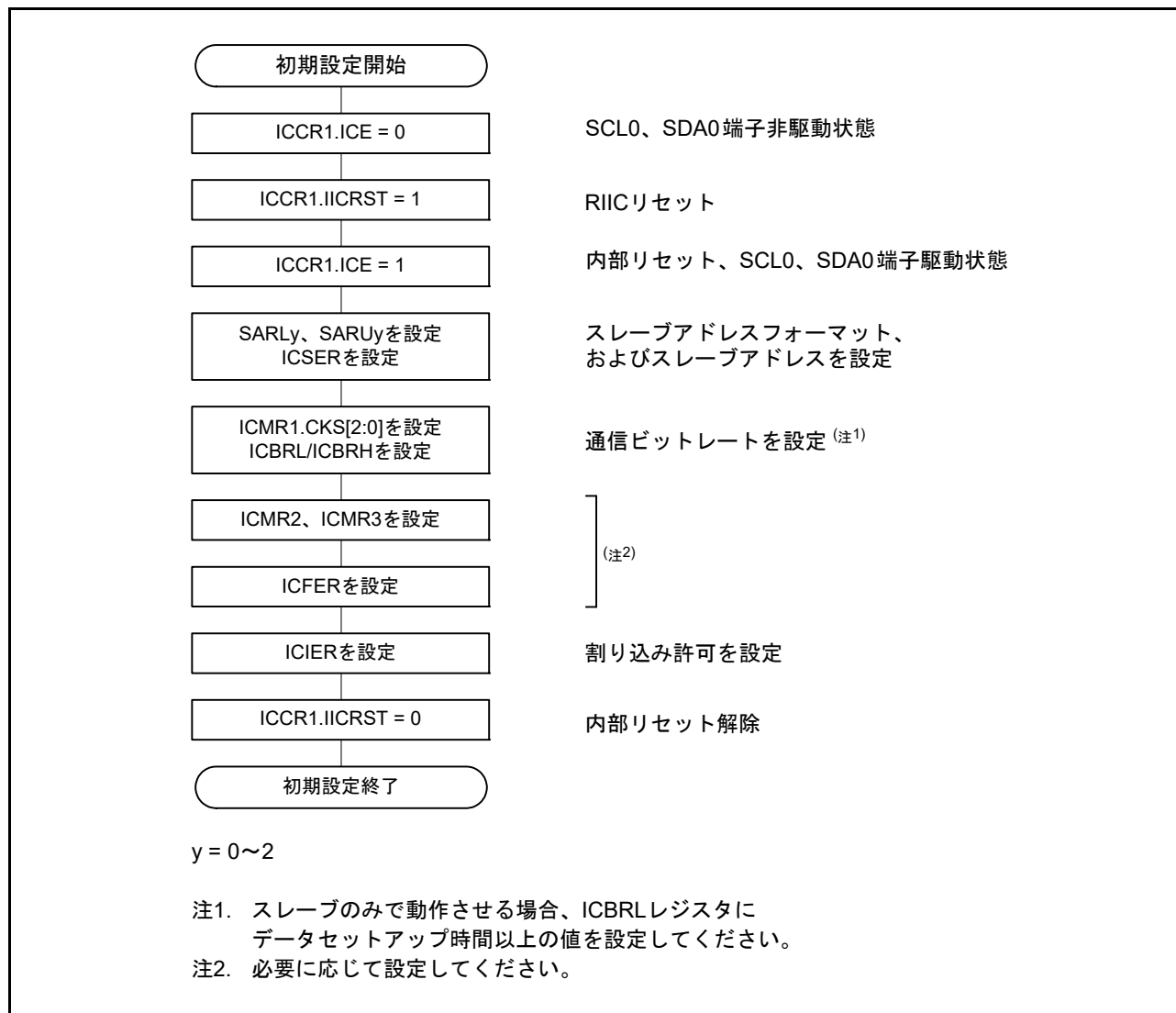


図 27.4 RIIC の初期化フローチャート例

27.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC がクロックを生成し、データを送信して、スレーブデバイスがアクノリッジを返します。図 27.5 にマスタ送信の使用例を、図 27.6 ～図 27.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。
このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.NACKF フラグが“1”になるか、ICSR2.TEND フラグが“1”になるまで待ってから ICCR2.SP ビットに“1”を書いてください (ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

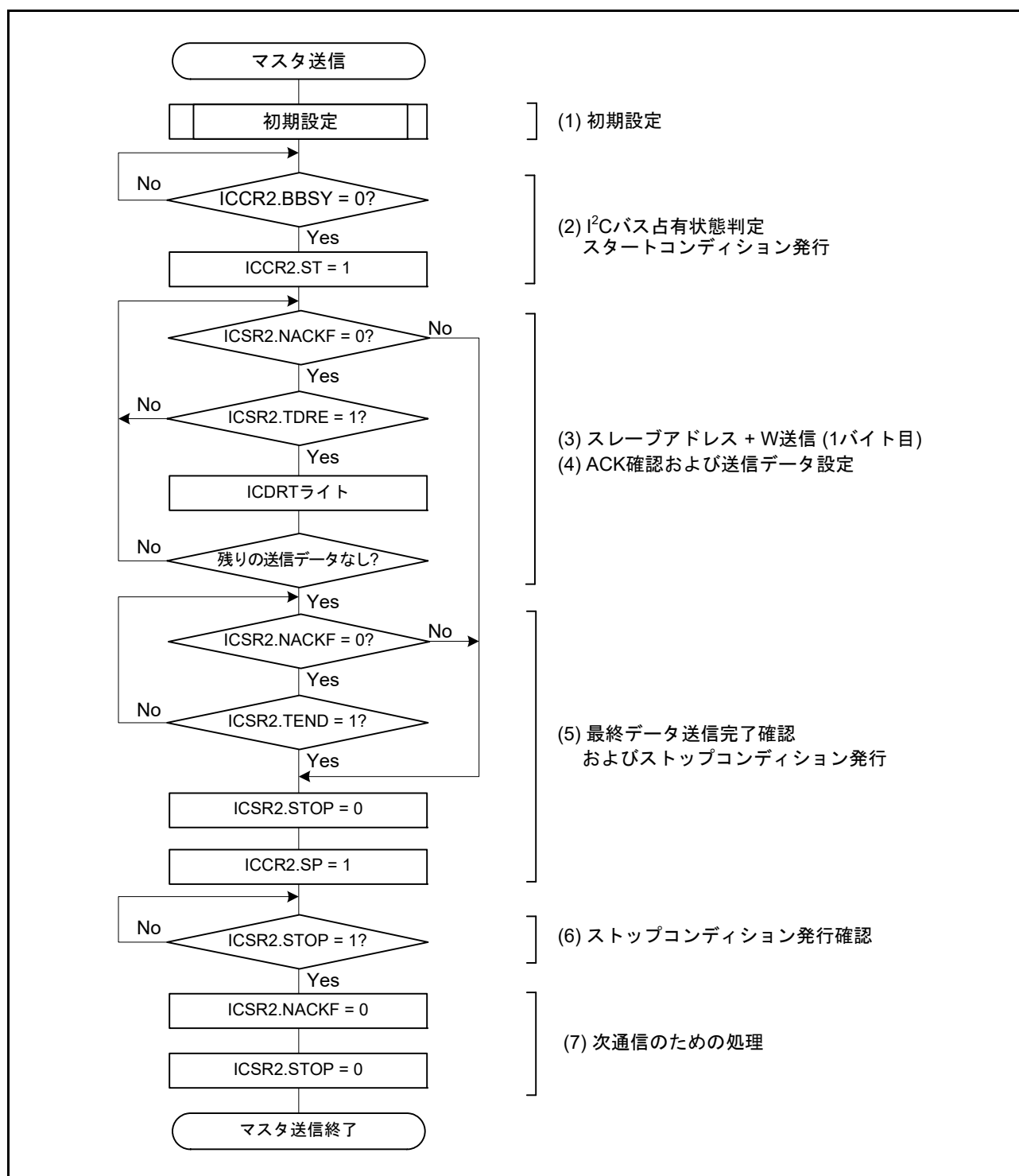


図 27.5 マスタ送信のフローチャート例

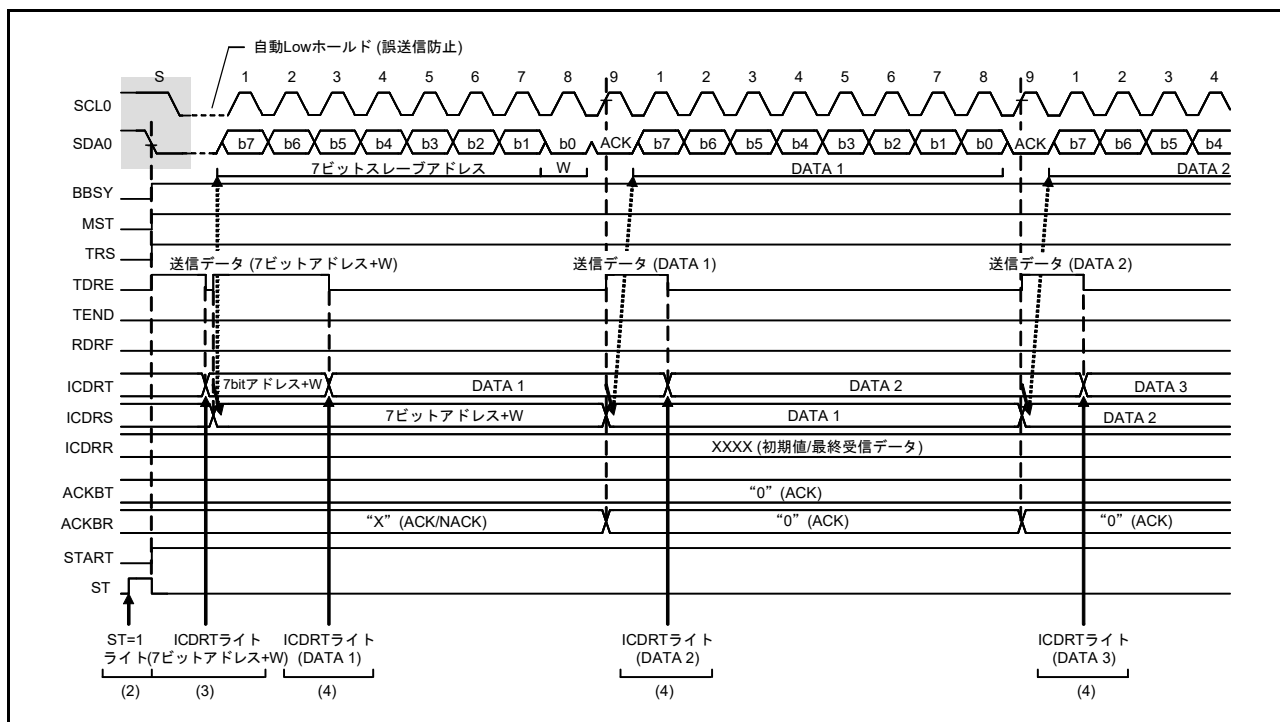


図 27.6 マスタ送信の動作タイミング (1) (7 ビットアドレスフォーマットの時)

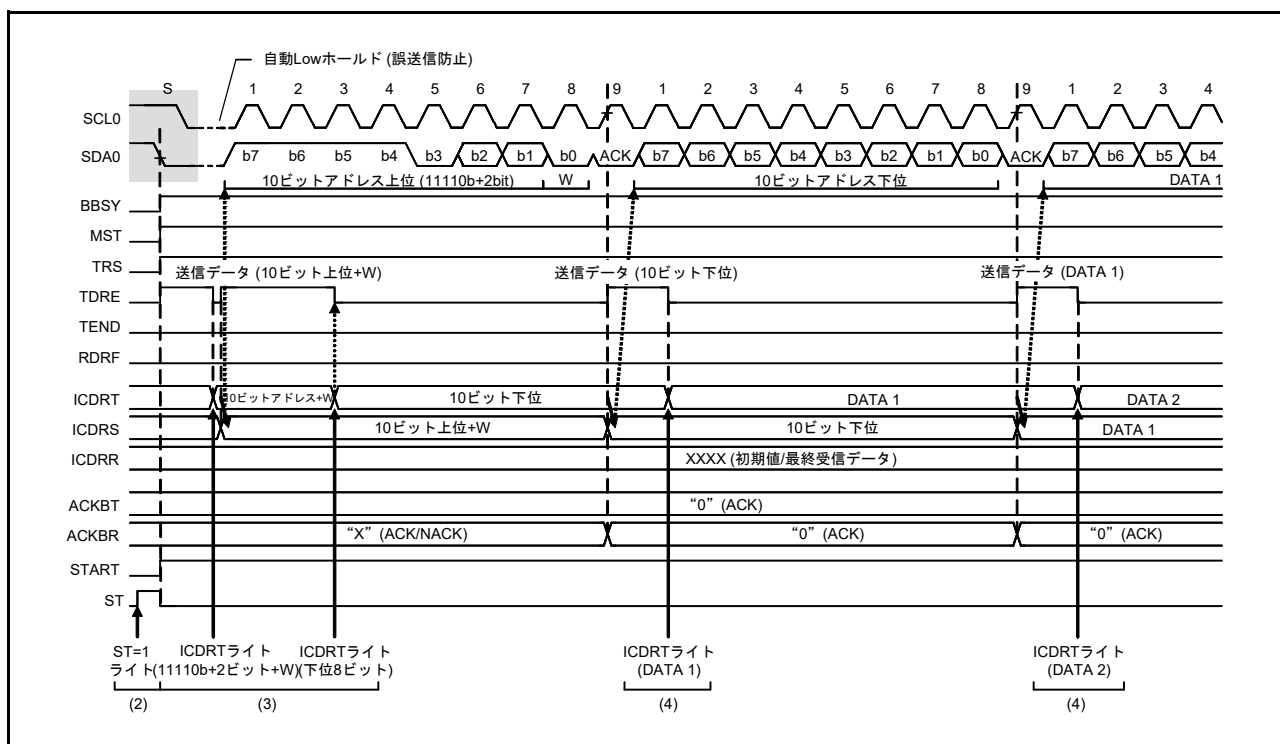


図 27.7 マスタ送信の動作タイミング (2) (10 ビットアドレスフォーマットの時)

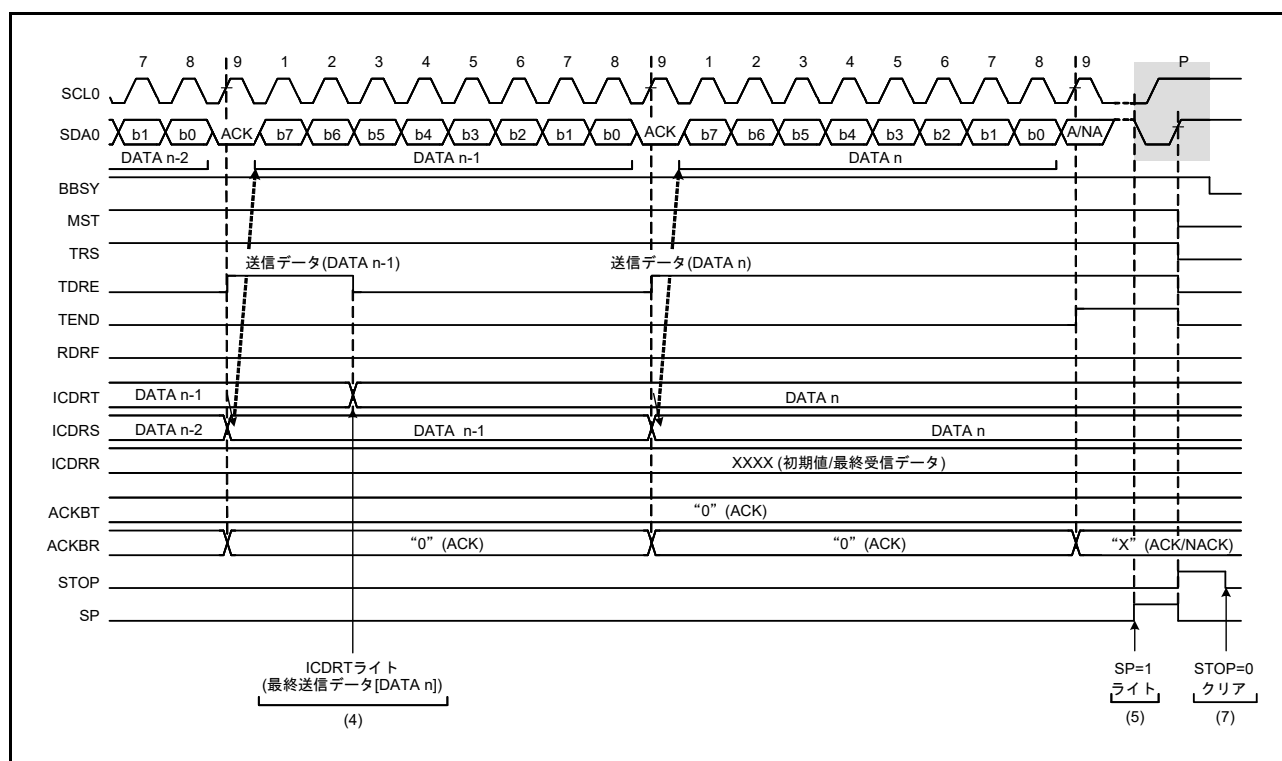


図 27.8 マスタ送信の動作タイミング (3)

27.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC がクロックを生成し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信するため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 27.9、図 27.10 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 27.11 ~ 図 27.13 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態で出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL を出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した 8 または 9 個目の SCL の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また 9 個目の SCL のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

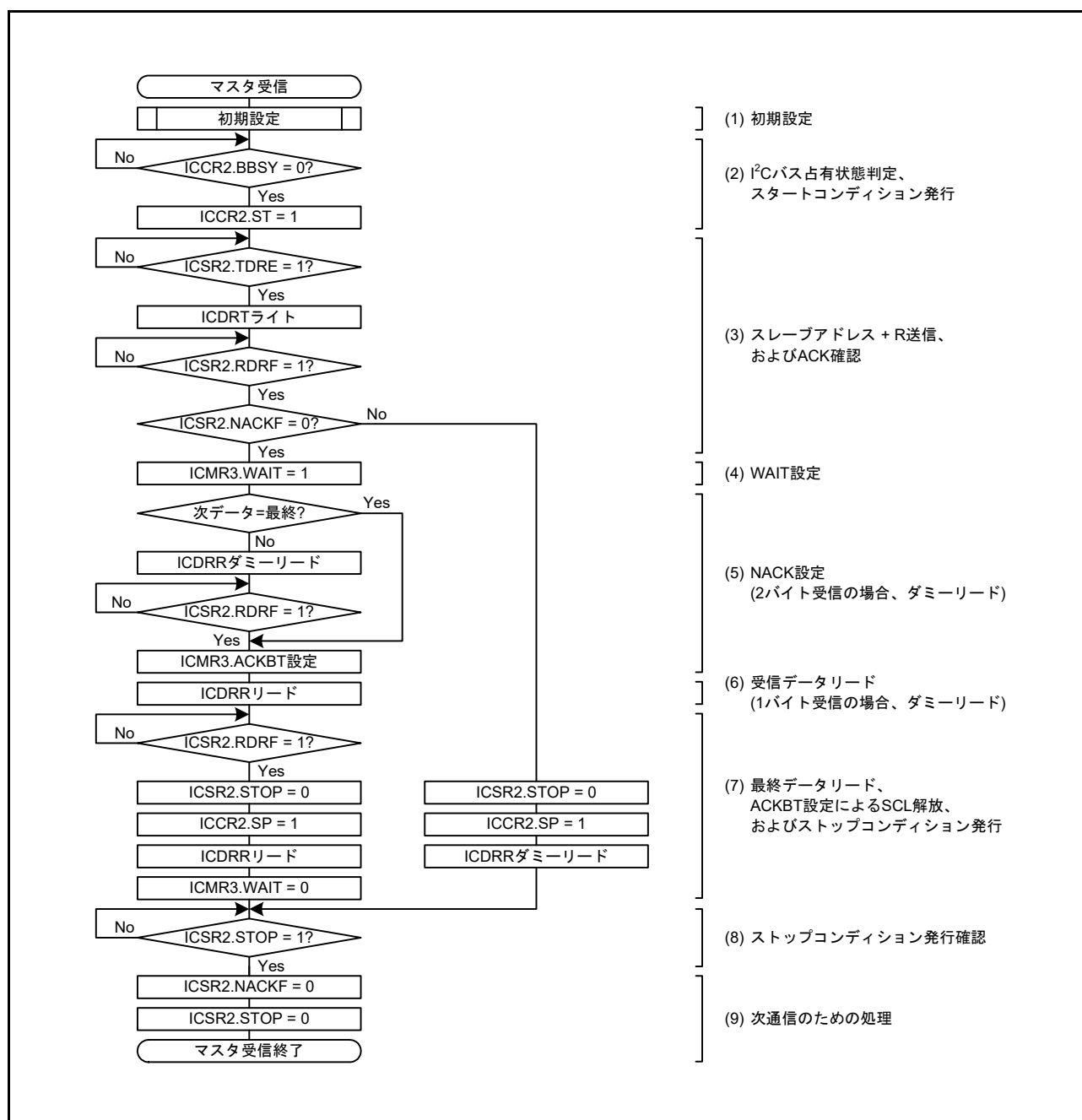


図 27.9 マスタ受信のフローチャート例 (7 ビットアドレスフォーマットの場合、2 バイト以下の場合)

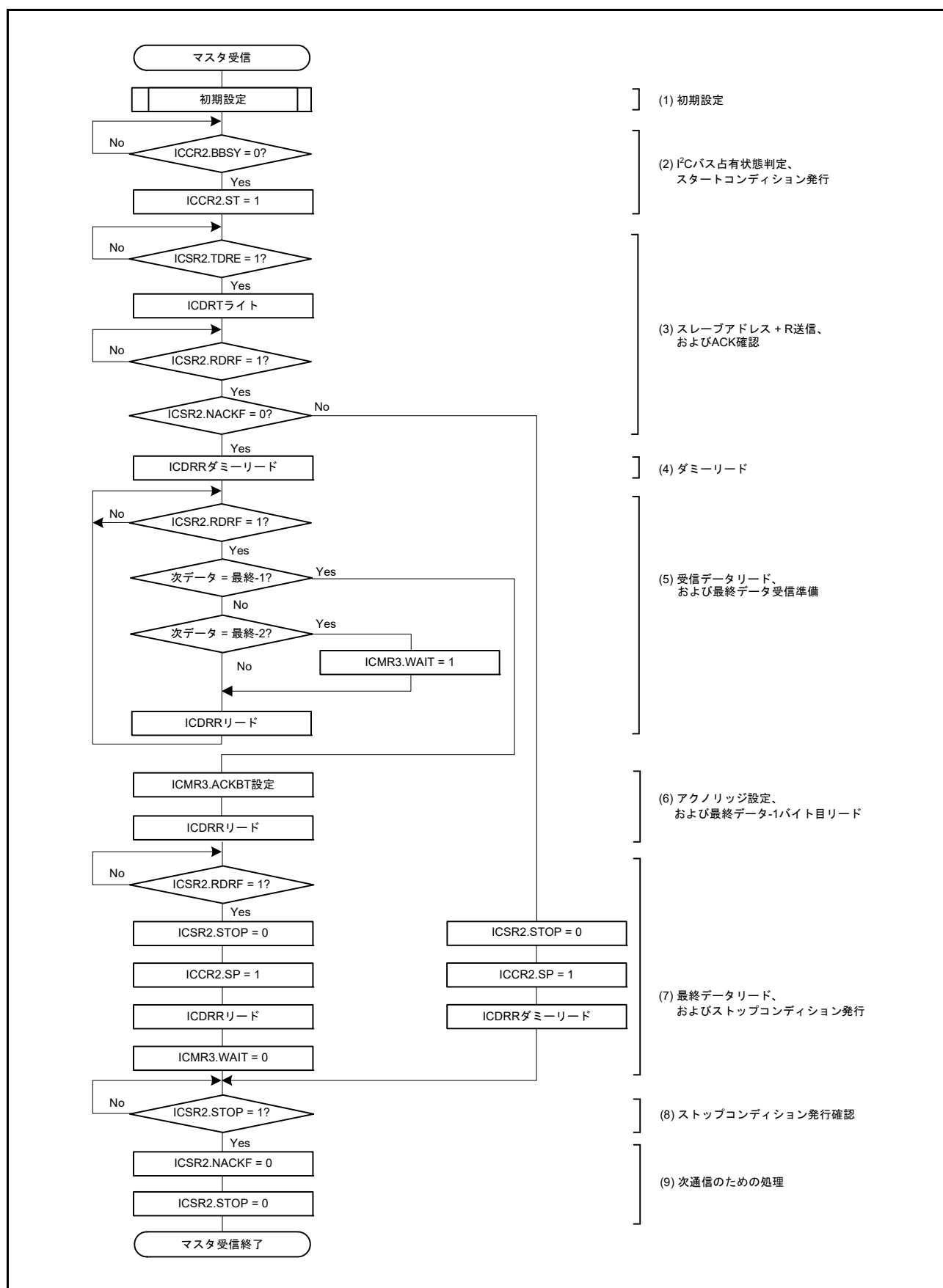
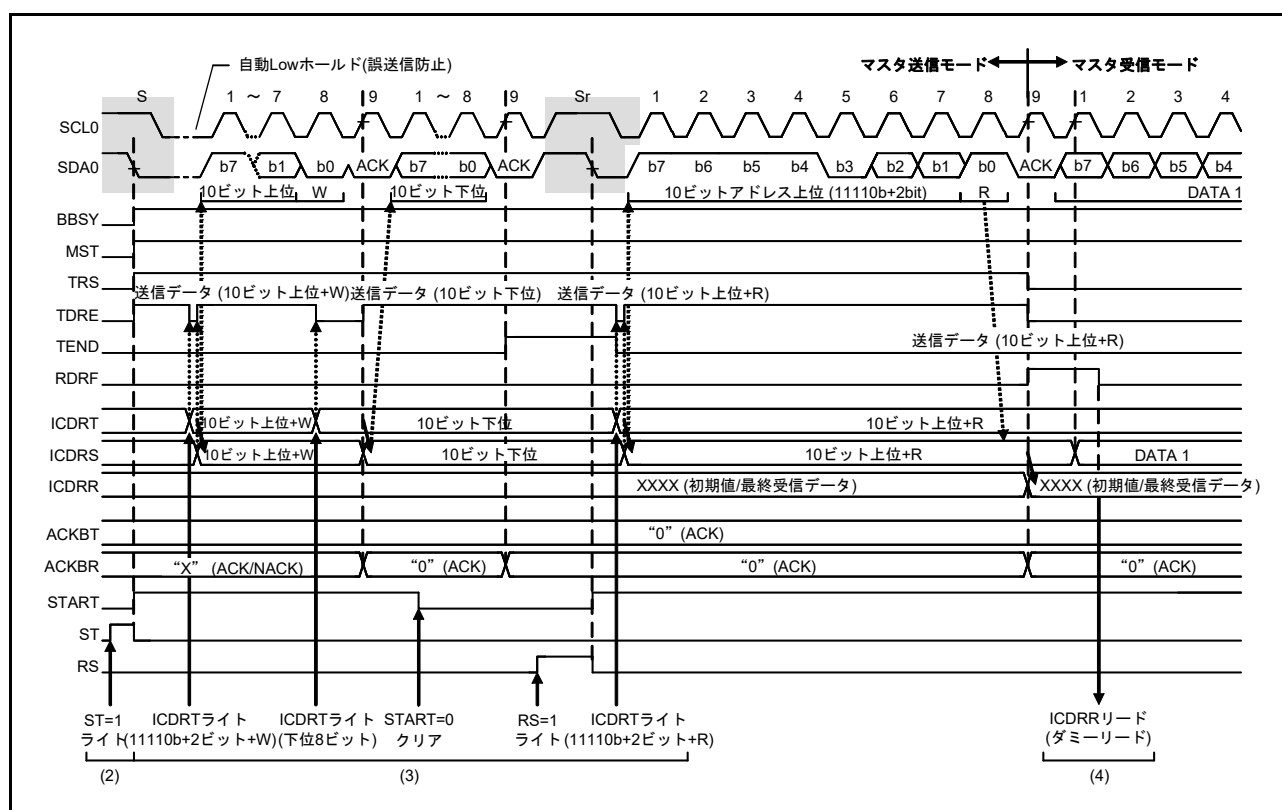
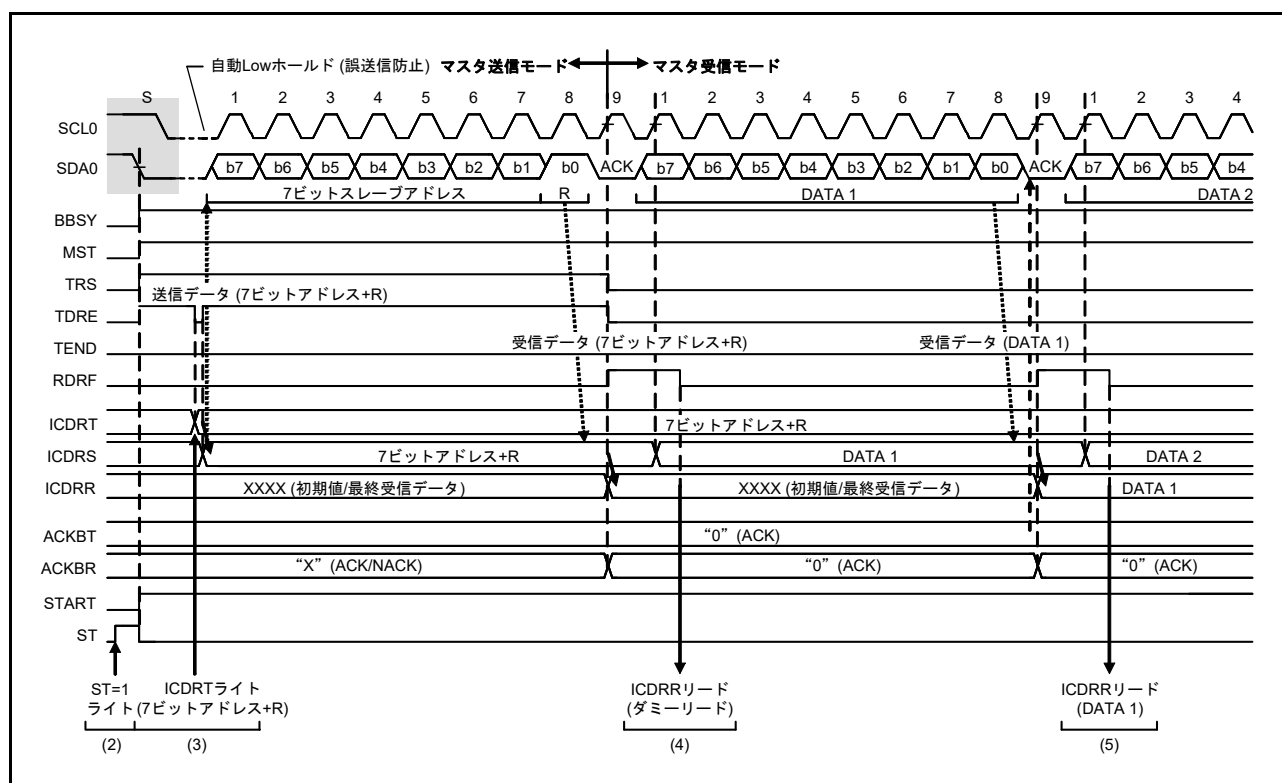


図 27.10 マスタ受信のフローチャート例 (7 ビットアドレスフォーマット、3 バイト以上の場合)



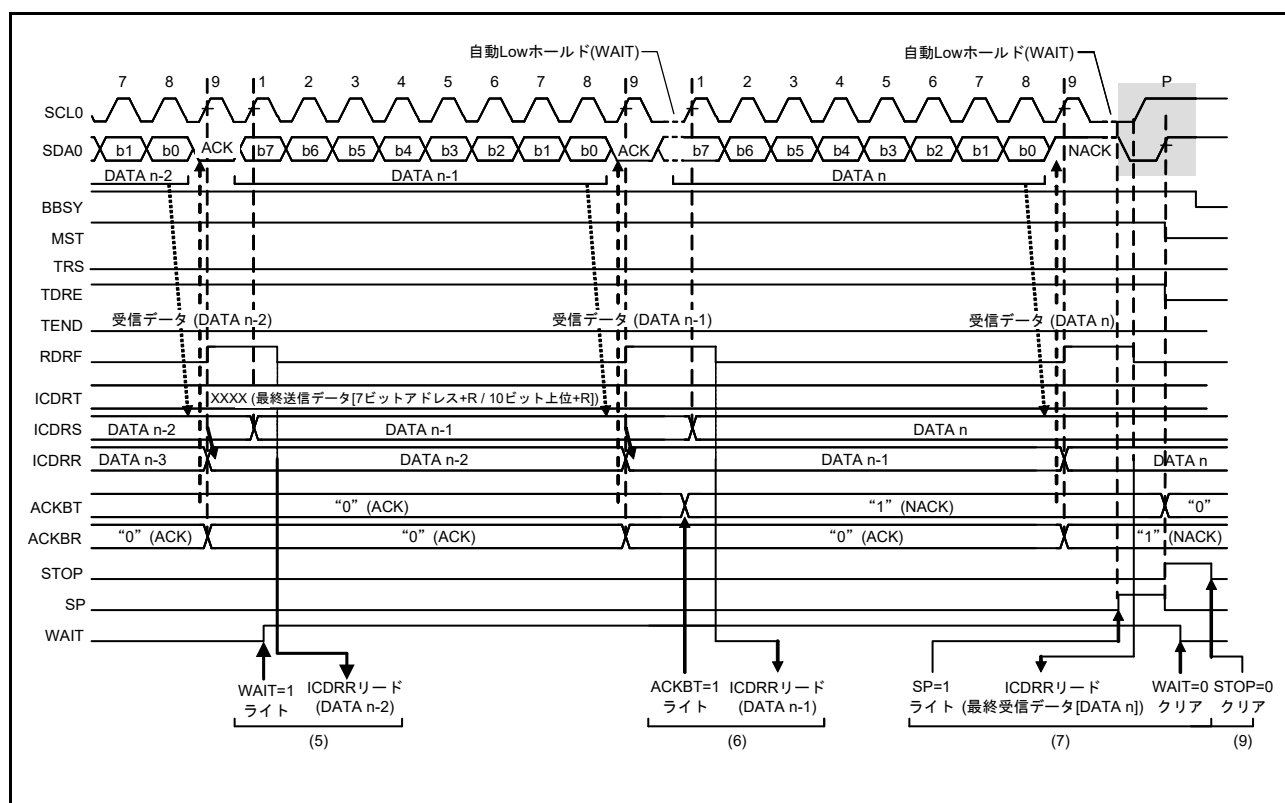


図 27.13 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

27.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL を出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 27.14 にスレーブ送信の使用例を示します。図 27.15、図 27.16 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット ($y=0 \sim 2$) のいずれかを“1”にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもマスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット ($y=0 \sim 2$)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

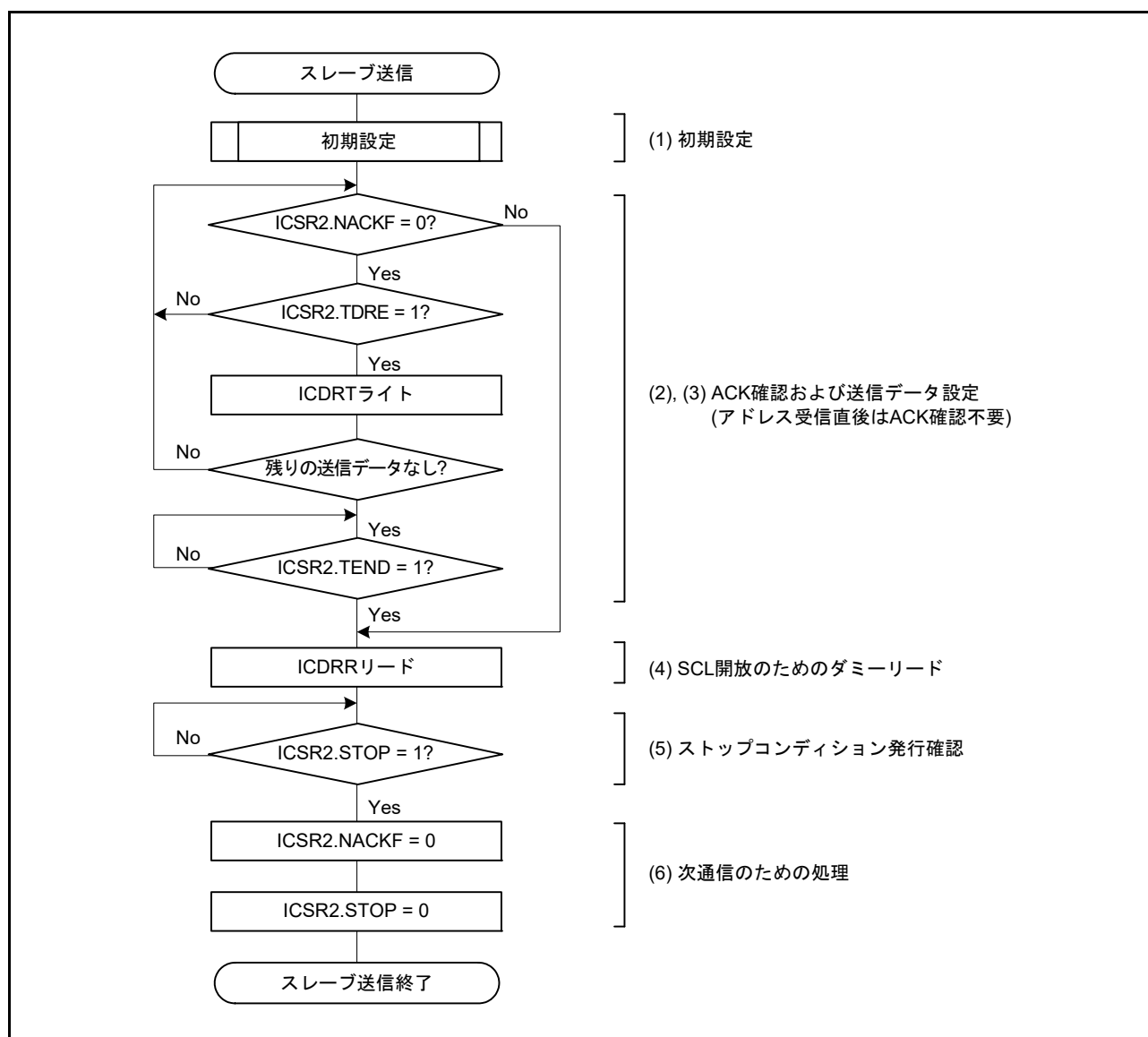


図 27.14 スレーブ送信のフローチャート例

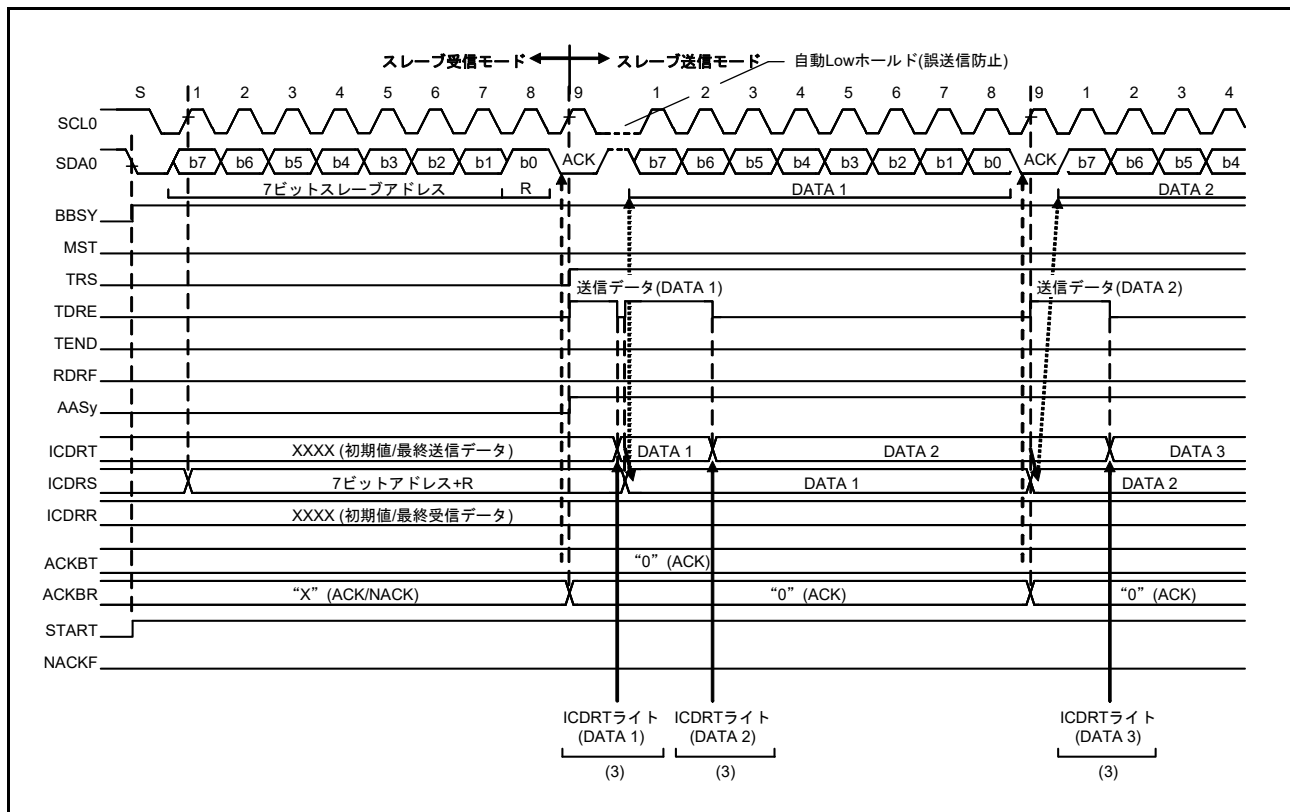


図 27.15 スレーブ送信の動作タイミング (1) (7 ビットアドレスフォーマットするとき)

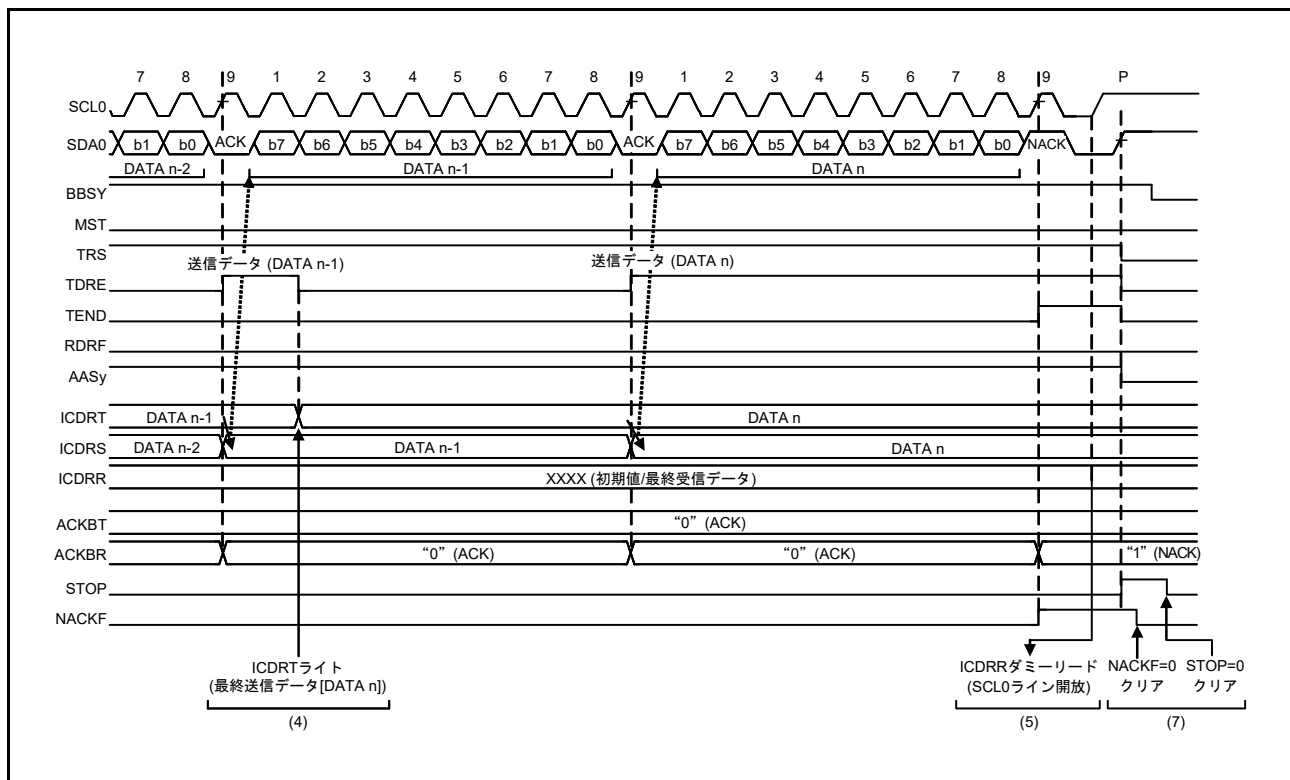


図 27.16 スレーブ送信の動作タイミング (2)

27.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL と送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 27.17 にスレーブ受信の使用例を図 27.18、図 27.19 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「27.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は 9 個目の SCL の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) のいずれかを “1” にし、9 個目の SCL のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを “1” にします。
- (3) ICSR2.STOP フラグが “0” で、かつ ICSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に “0” にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL 立ち下がり SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。
ICSR2.STOP フラグが “1” で、かつ ICSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y = 0 ~ 2) を自動的に “0” にします。
- (6) ICSR2.STOP フラグが “1” であることを確認した後、次通信のために ICSR2.STOP フラグを “0” にしてください。

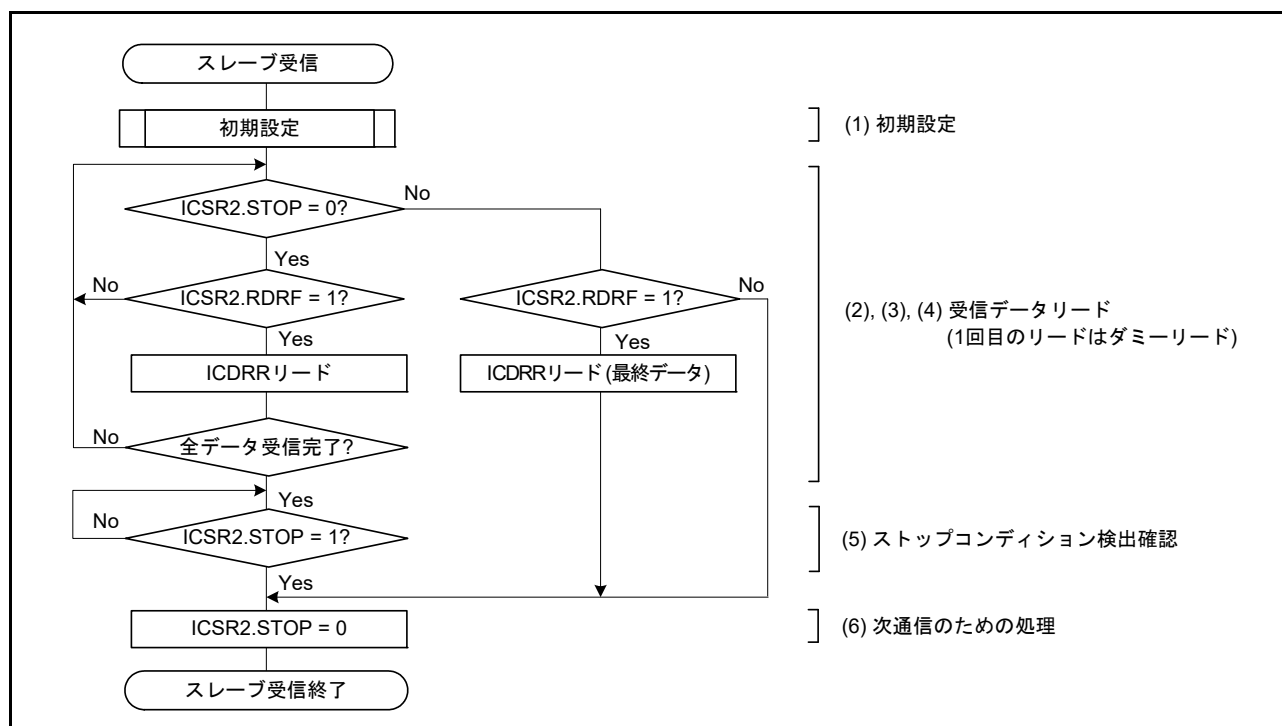


図 27.17 スレーブ受信のフローチャート例

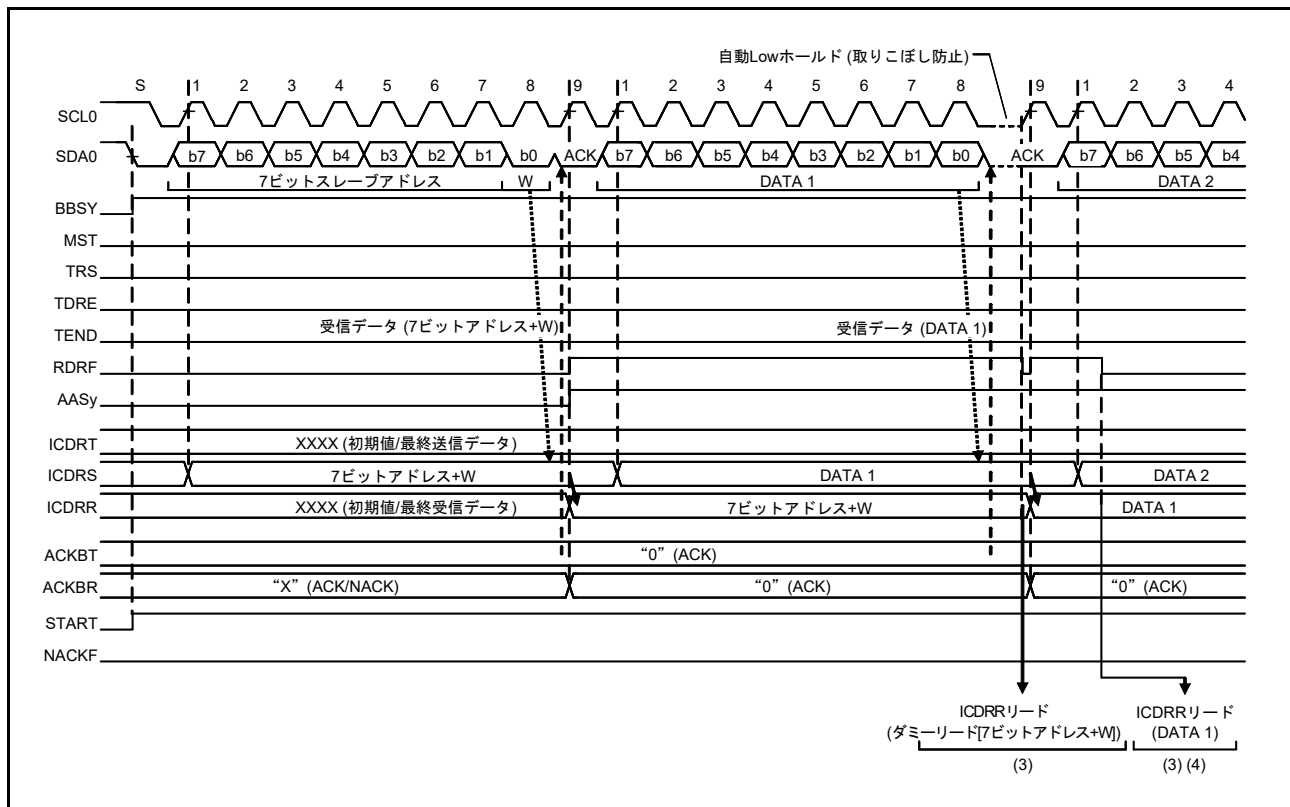


図 27.18 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

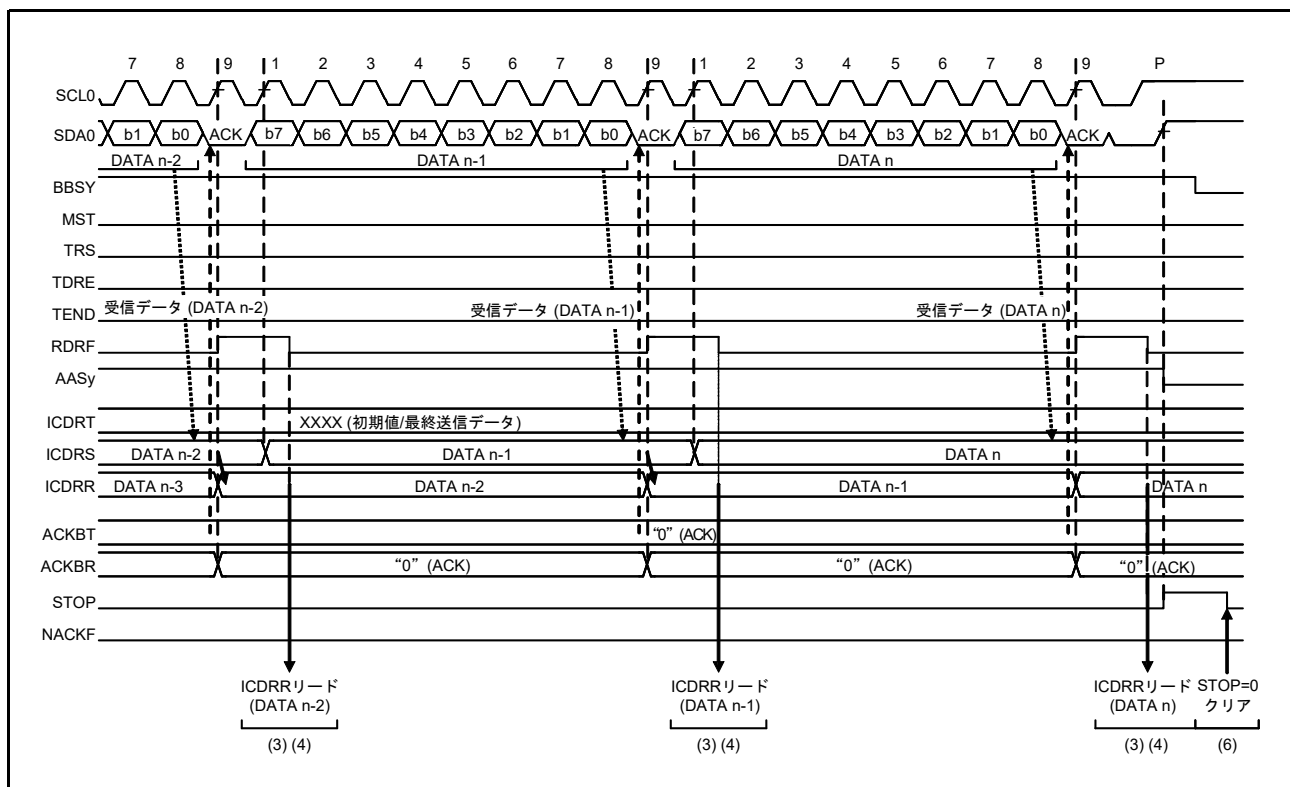


図 27.19 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

27.4 SCL 同期回路

RIIC の SCL 生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL を生成します。

I²C バスをマルチマスタで使用する場合、SCL は他のマスタデバイスとの競合により SCL 同士が衝突する場合があります。SCL が衝突した場合、マスタデバイスは SCL の同期化を行う必要があります。この SCL の同期はビットごとに行う必要があり、RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL を生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL 出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL の Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL の Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL が立ち上がります。そのため SCL 出力衝突時の SCL の High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

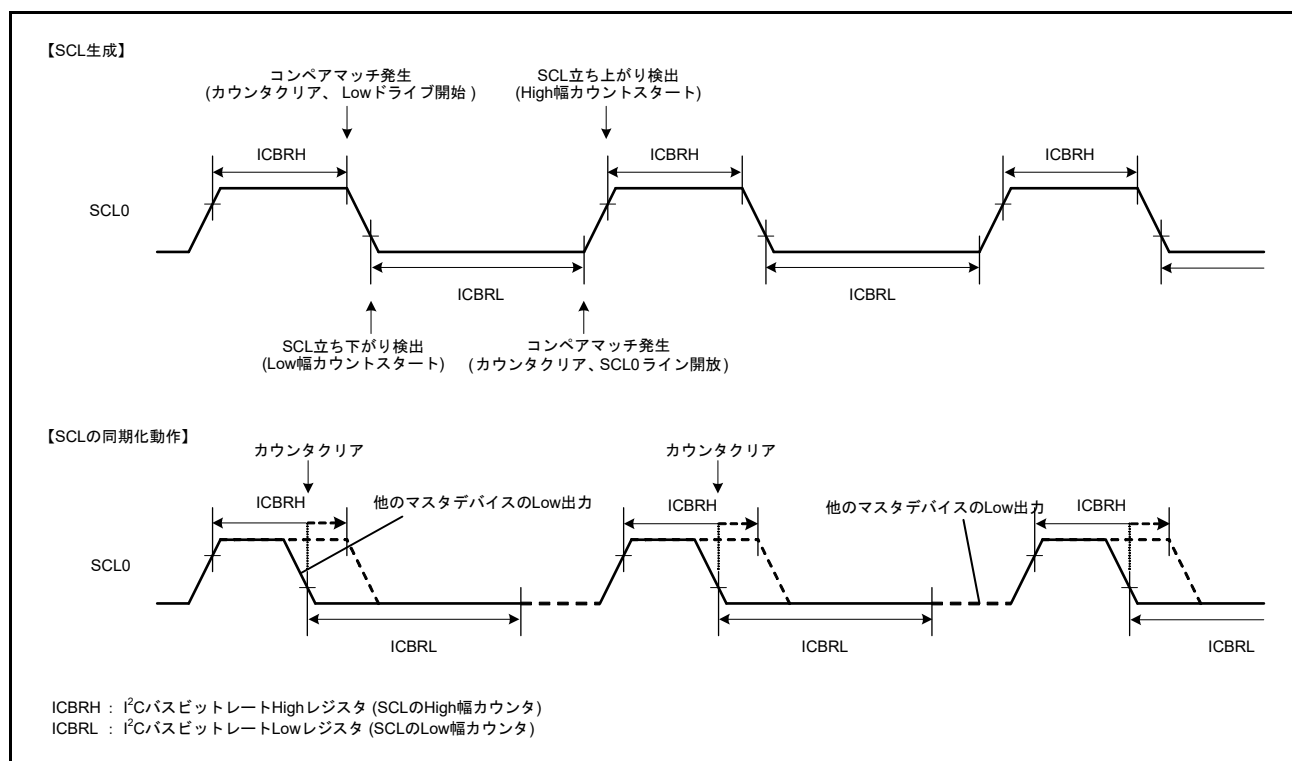


図 27.20 RIIC の SCL 生成および SCL 同期化動作

27.5 SDA 出力遅延機能

RIIC は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を遅延させることができます。

SDA 出力遅延機能は、SCL の立ち下がり検出から SDA 出力を遅延させ、確実に SCL の Low 期間中に SDA 出力を行うことで、通信デバイスの誤認識動作を防ぐ目的で使用します。また、SMBus のデータホールド時間 : 300 ns (min) の仕様を満たす目的でも使用することができます。

この SDA 出力遅延機能は ICMR2.SDDL[2:0] ビットが “000b” 以外のとき有効で、SDDL[2:0] ビットが “000b” のとき無効です。

SDA 出力遅延機能が有効 (SDDL[2:0] ビットが “000b” 以外) のとき、SDA 出力遅延カウンタは ICMR2.DLCS ビットで選択された内部基準クロック (IIC ϕ) またはその 2 分周クロック (IIC ϕ /2) をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行います。遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力 (発行動作 (スタート / リスタート / ストップコンディション)、データ出力、ACK/NACK 出力) を行います。

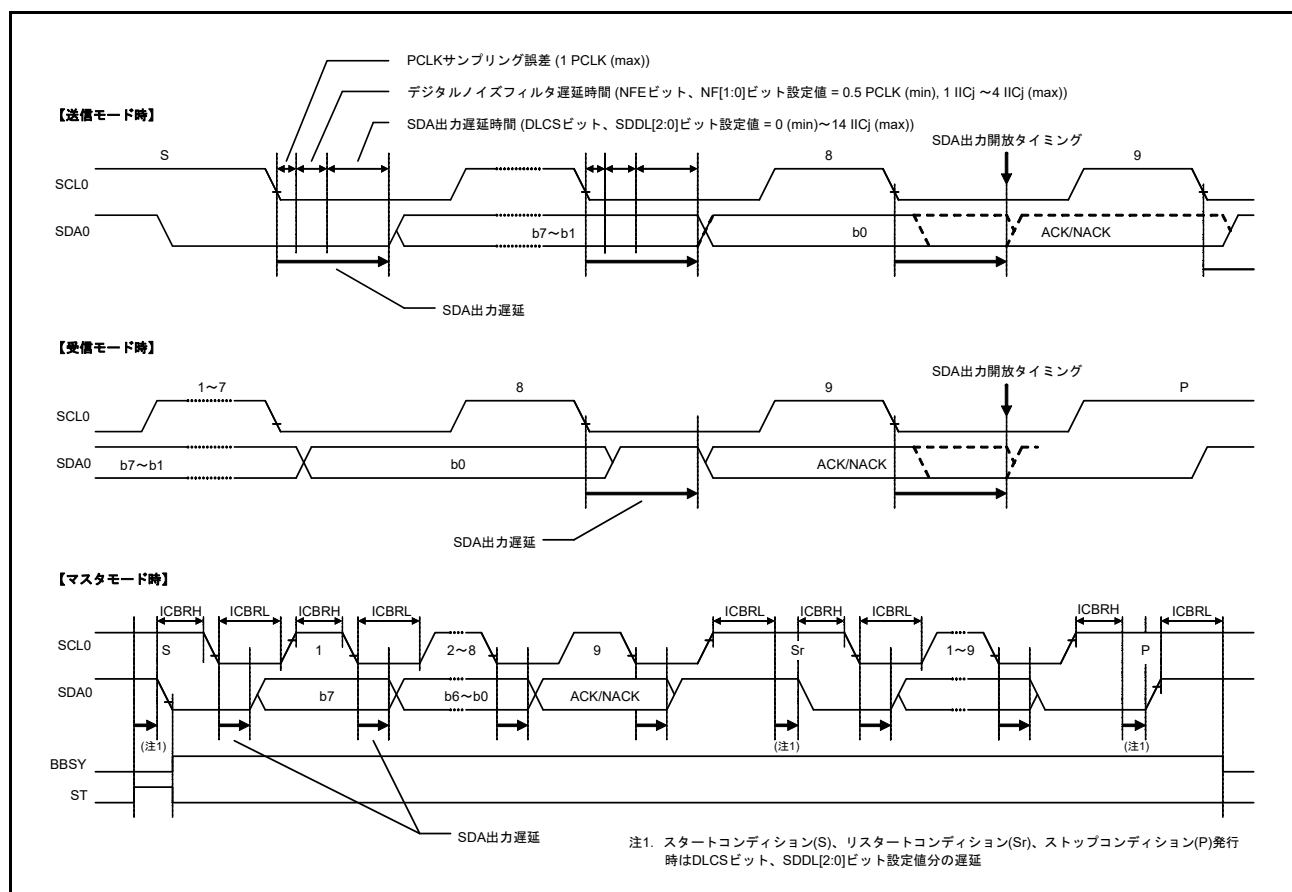


図 27.21 SDA 出力遅延タイミング

27.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。

図 27.22 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1 IICφ ~ 4 IICφ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は IICφ の立ち下がり でサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4 MHz 時の 400 kbps 通信のように内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上、ノイズ発生時に必要な信号まで除去してしまう場合がありますので注意してください。

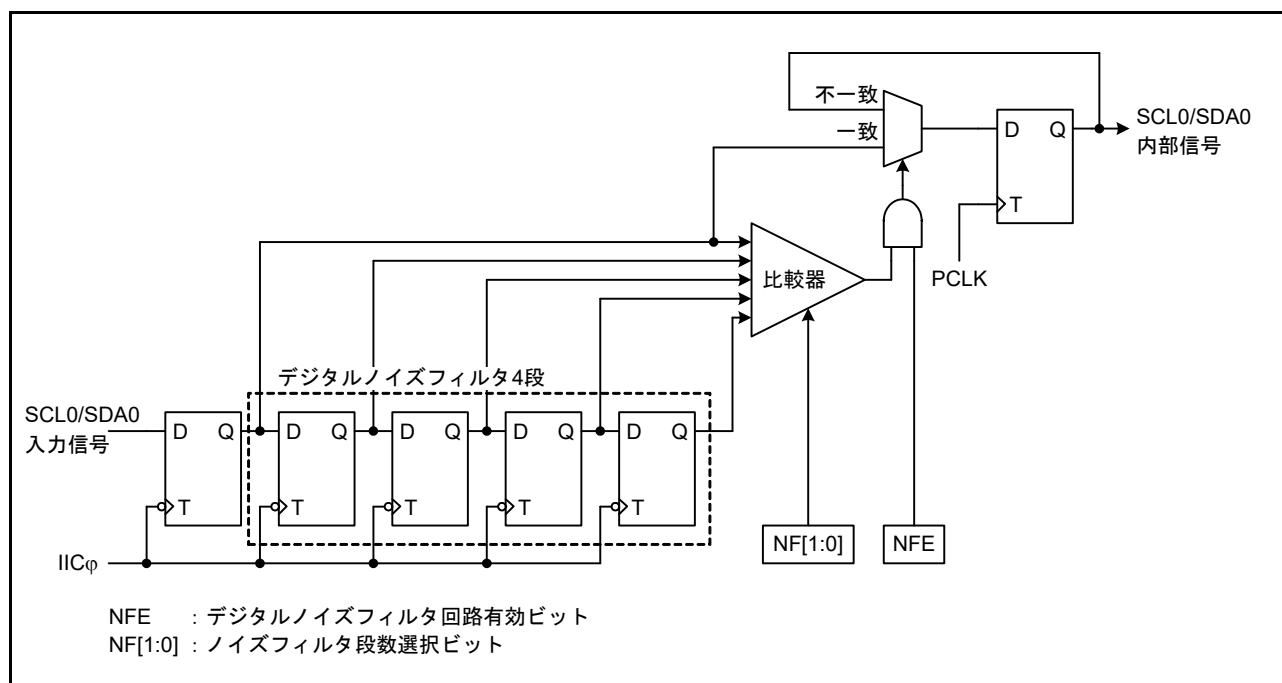


図 27.22 デジタルノイズフィルタ回路のブロック図

27.7 アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

27.7.1 スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyE ビット (y=0~2) が“1” のとき、SARUy/SARLy レジスタ (y=0~2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、9 個目の SCL の立ち上がりで該当する ICSR1.AASy フラグ (y=0~2) を“1”にし、このとき受信した R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグを“1”にします。これにより受信データフル割り込み (RXI) または送信データエンピ割り込み (TXI) を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 27.23 ~ 図 27.25 に AASy フラグが“1”になるタイミングを示します。

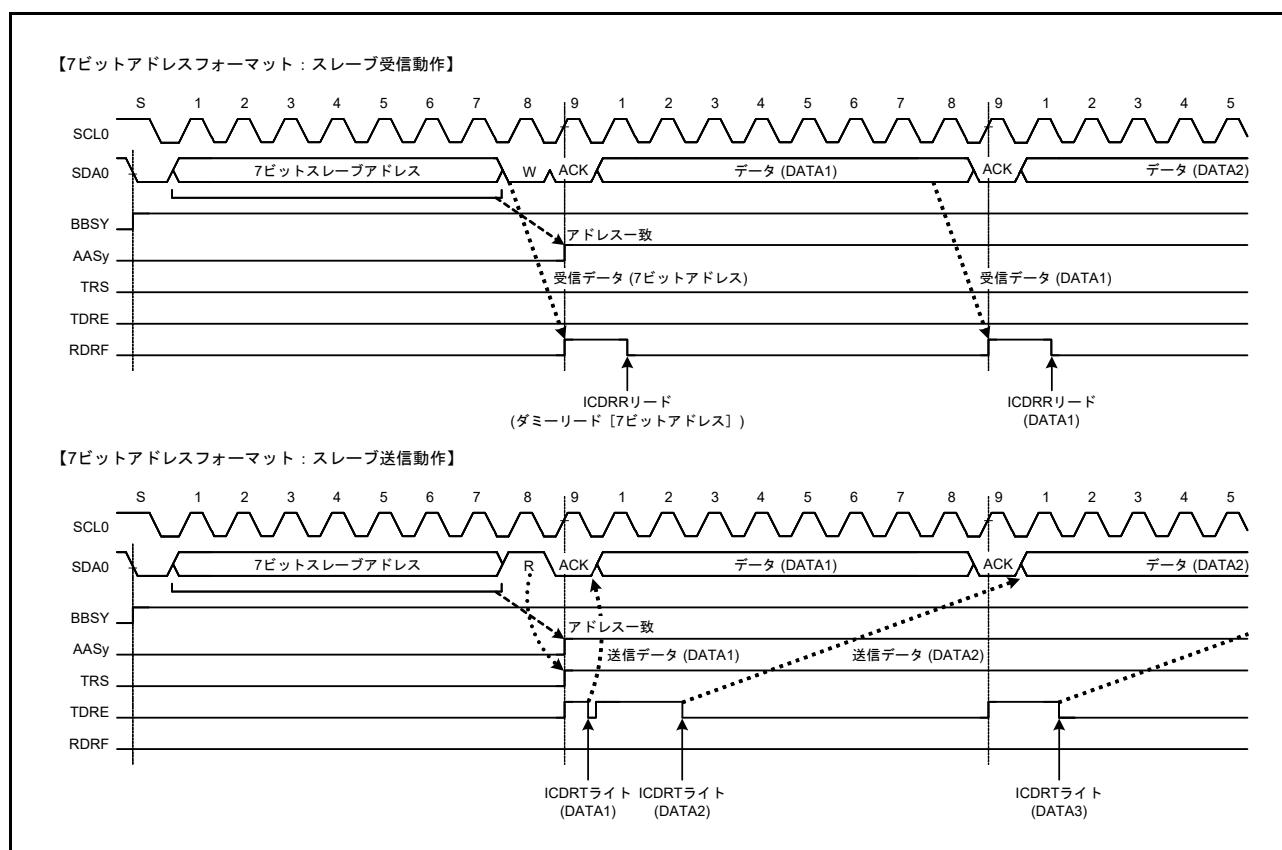


図 27.23 7 ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

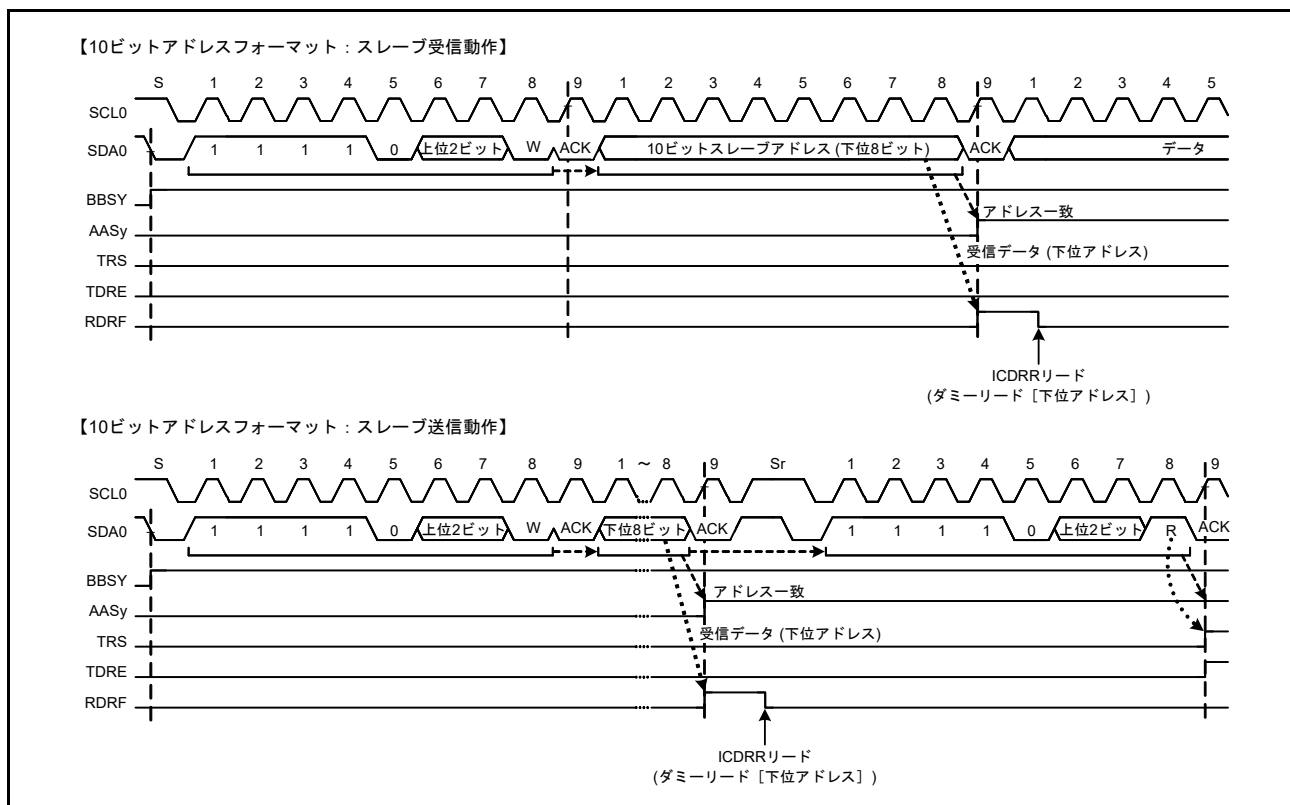


図 27.24 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

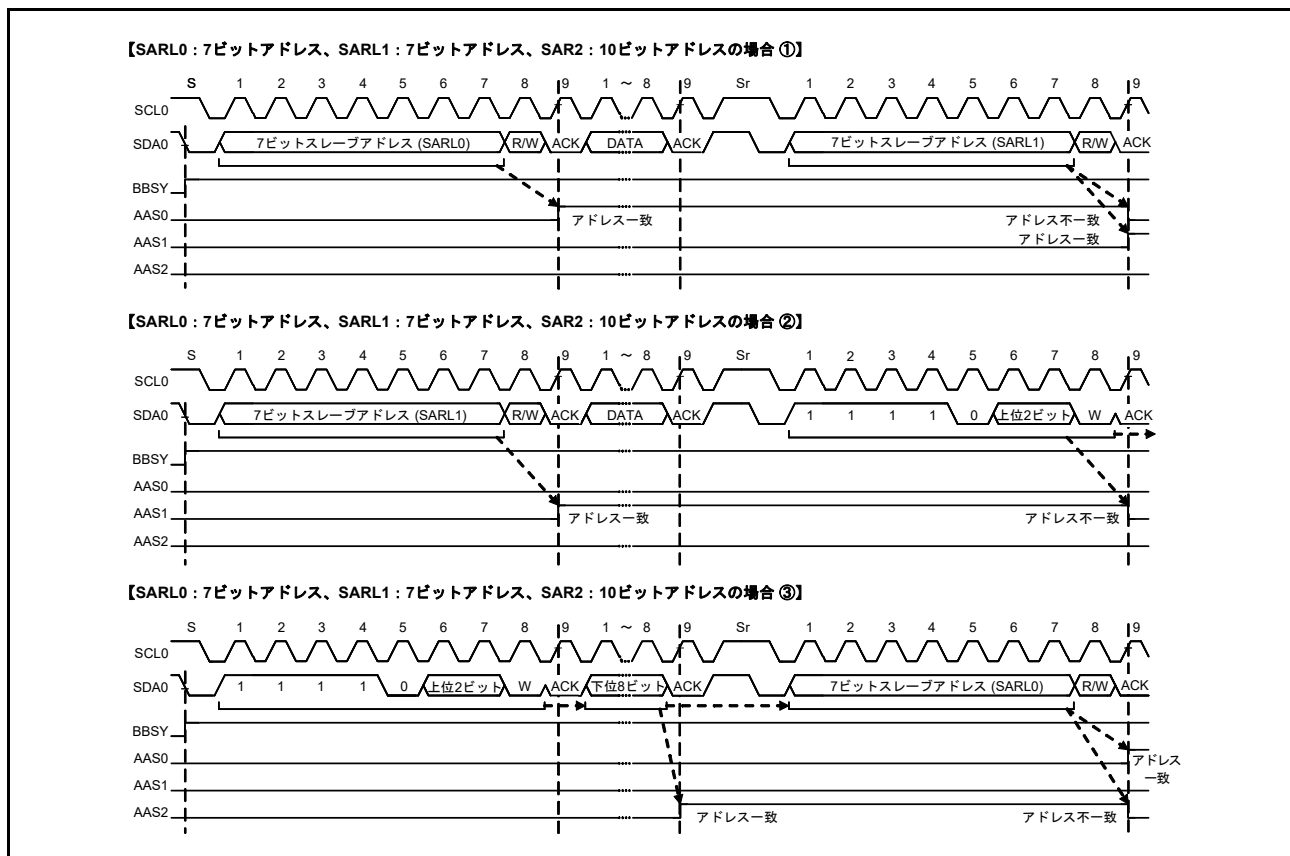


図 27.25 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

27.7.2 ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSR.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIIC はこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

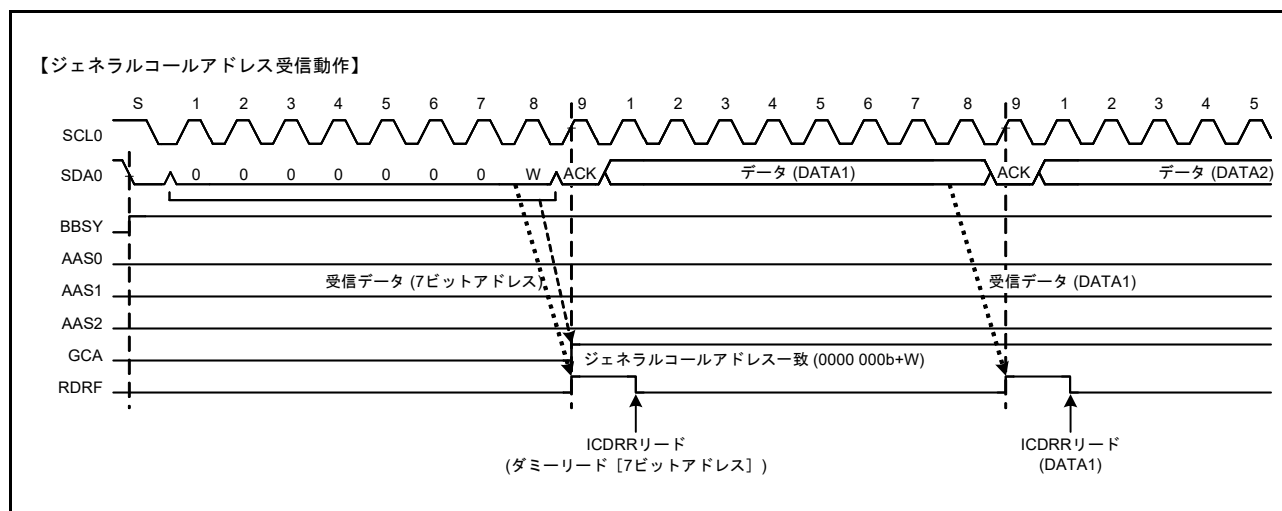


図 27.26 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

27.7.3 デバイス ID アドレス検出機能

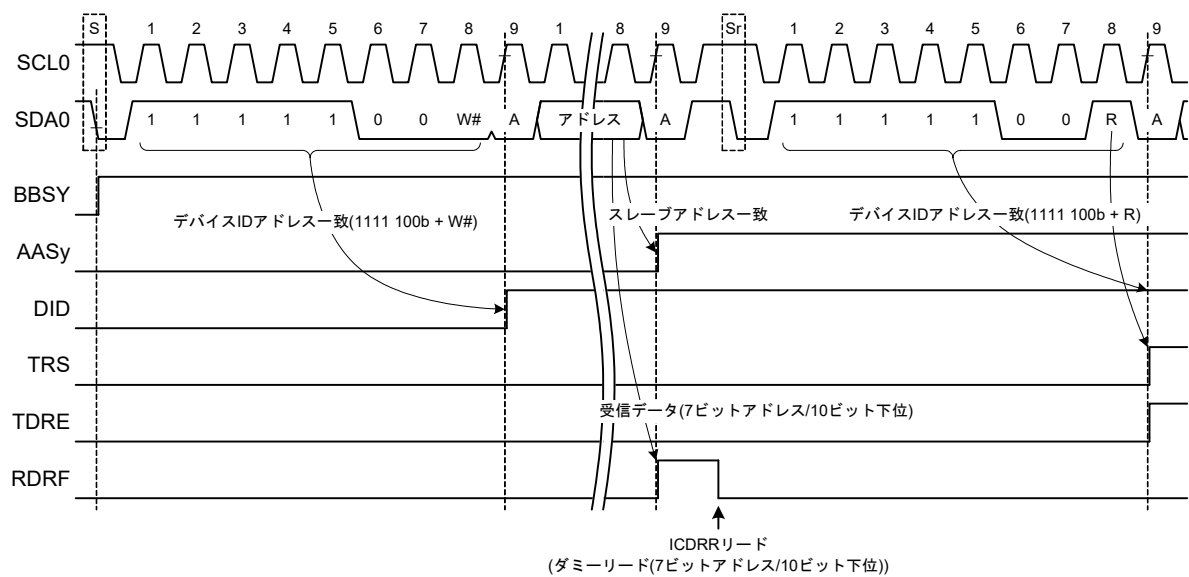
RIIC は I²C バス仕様に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき 9 個目の SCL の立ち上がりで ICSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AAS_y フラグ (y = 0 ~ 2) が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W# ビットが“1”のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、ICSR2.TDRE フラグを“1”にします。

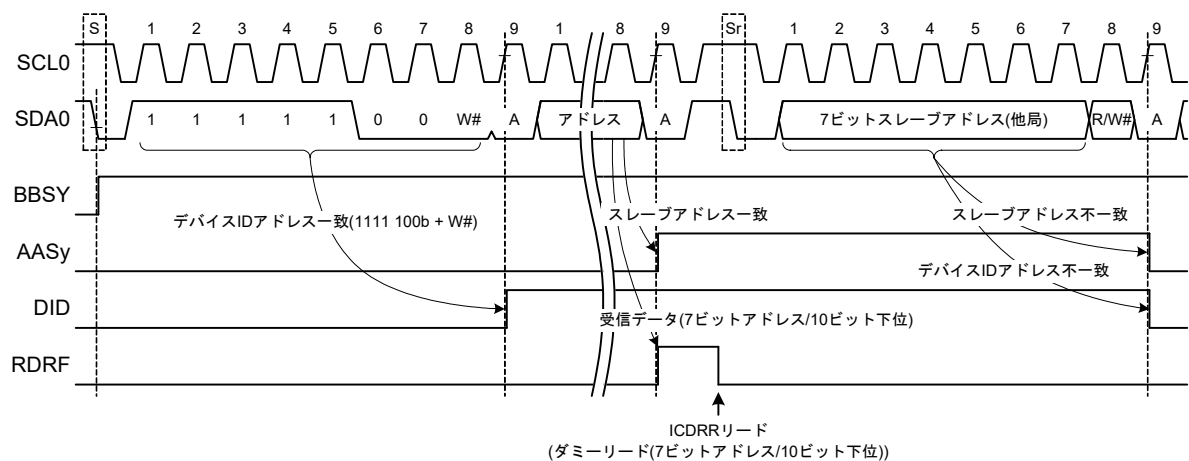
デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを“0”にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W# ビットが“0”のとき DID フラグを“1”にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが“1”の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE フラグが“1”であることを確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報 (3 バイト分: メーカー [12 ビット] + 部品識別 [9 ビット] + リビジョン [3 ビット]) は、通常の送信データと同様あらかじめ準備してください。また、デバイス ID フィールドに必要な情報の詳細については NXP 社にお問い合わせください。

【デバイスID受信動作】



【リスタートコンディション後のアドレスがデバイスIDアドレスでない場合】



【デバイスIDアドレス+Rの以前にスレーブアドレスが一致していない場合】

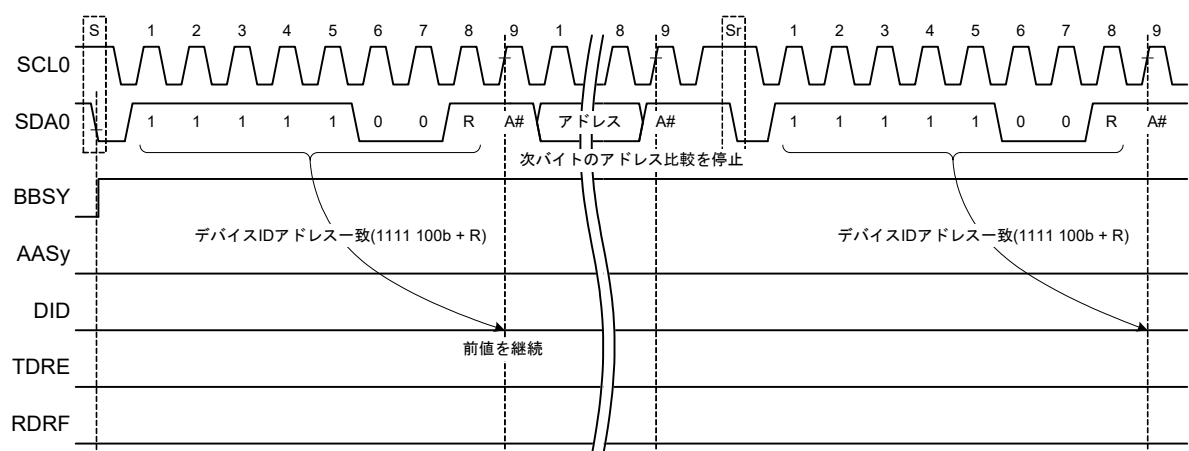


図 27.27 デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

27.7.4 ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが“1”のとき ICSEH.HOAE ビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRS ビット = 00b) にホストアドレス (0001 000b) を検出することが可能です。

RIIC はホストアドレスを検出すると、9 個目の SCL の立ち上がりで ICSR1.HOA フラグを“1”にし、Wr ビット (R/W# ビットに“0”を受信) のとき ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOA フラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

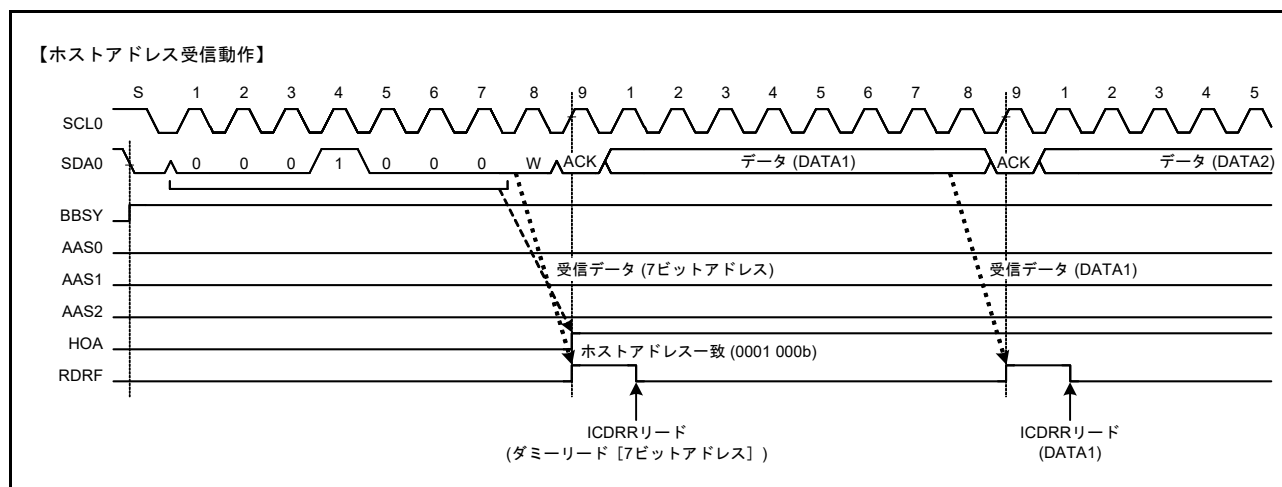


図 27.28 ホストアドレス受信時に HOA フラグが“1”になるタイミング

27.8 SCL の自動 Low ホールド機能

27.8.1 送信データ誤送信防止機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1)、シフトレジスタ (ICDRS レジスタ) が空の状態であつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL0 ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション / リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の間の Low 区間

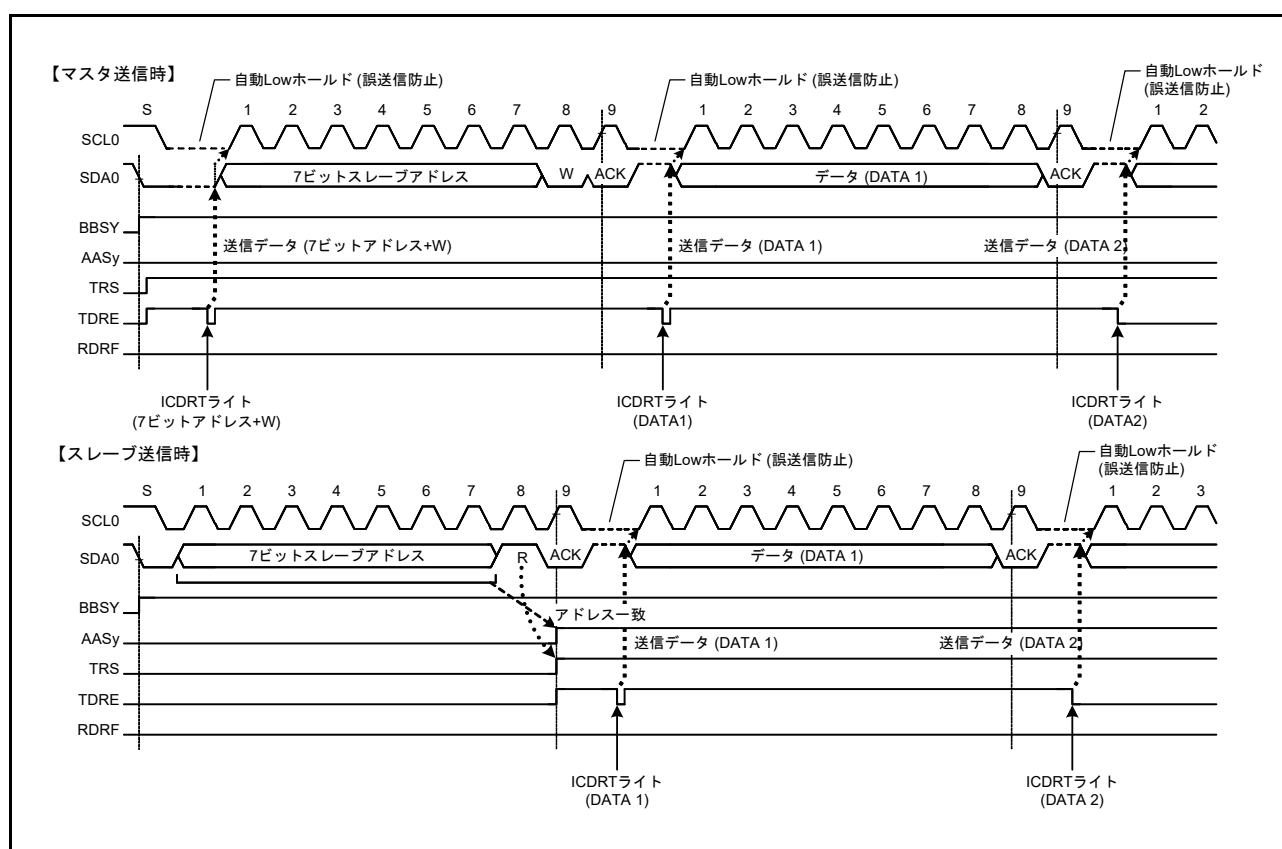


図 27.29 送信モードの自動 Low ホールド動作

27.8.2 NACK 受信転送中断機能

RIIC は送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKF ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、9 個目の SCL の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。

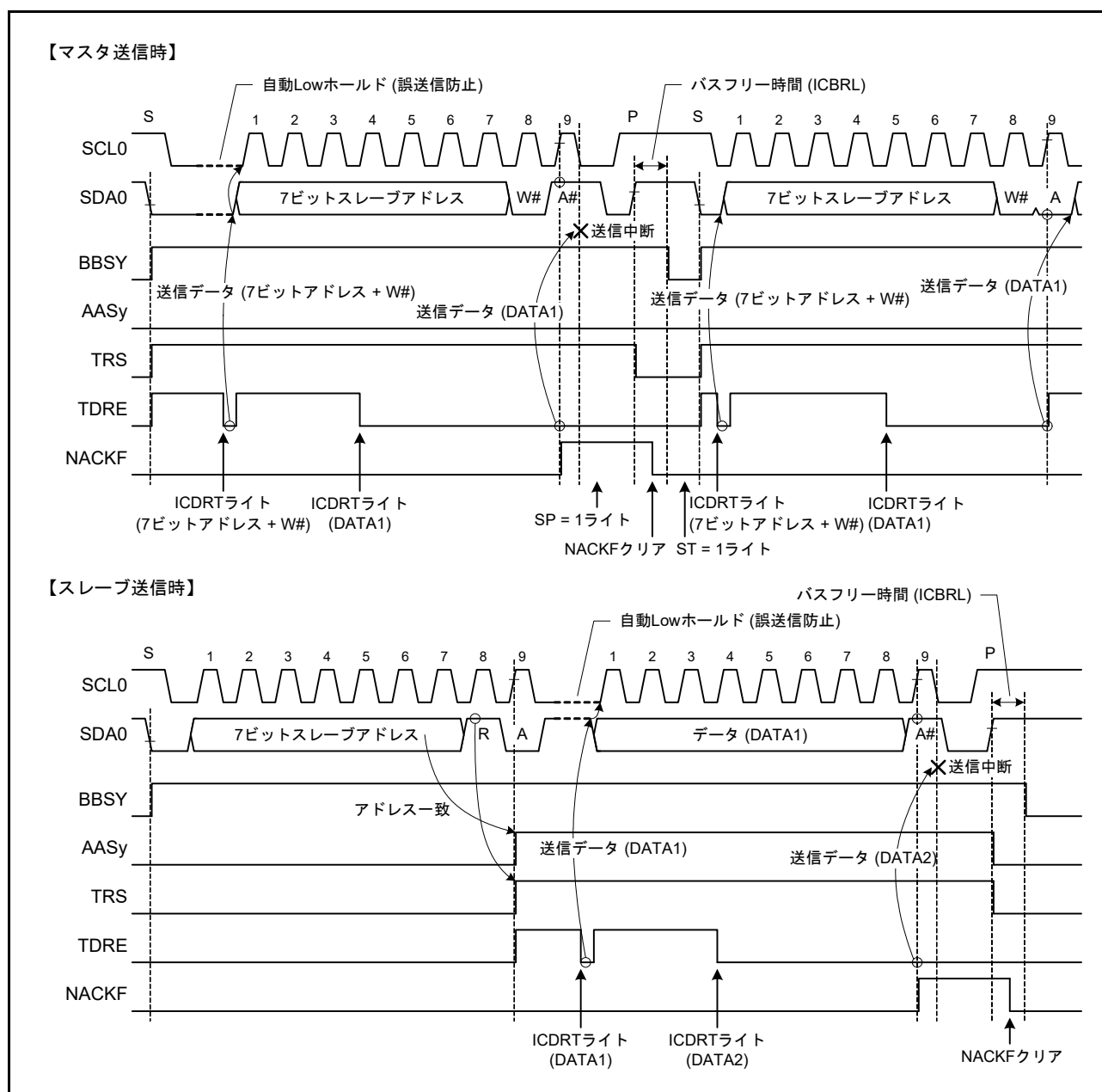


図 27.30 NACK 受信時の転送中断動作 (NACKF ビット = 1 のとき)

27.8.3 受信データ取りこぼし防止機能

RIIC は受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT ビットと RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIIC は SCL の 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ICMR3.ACKBT ビットの内容が送出され、9 クロック目の立ち下がりを検出すると WAIT ビット機能により自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ (ICSR2.RDRF フラグ) が“1”になるタイミングが 8 個目の SCL の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL0 ラインを Low にホールドします。この Low ホールドは ICMR3.ACKBT ビットへの書き込みによって解除され、ICDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス (ジェネラルコールアドレス、ホストアドレス含む) と一致した以降の受信バイトから有効になります。

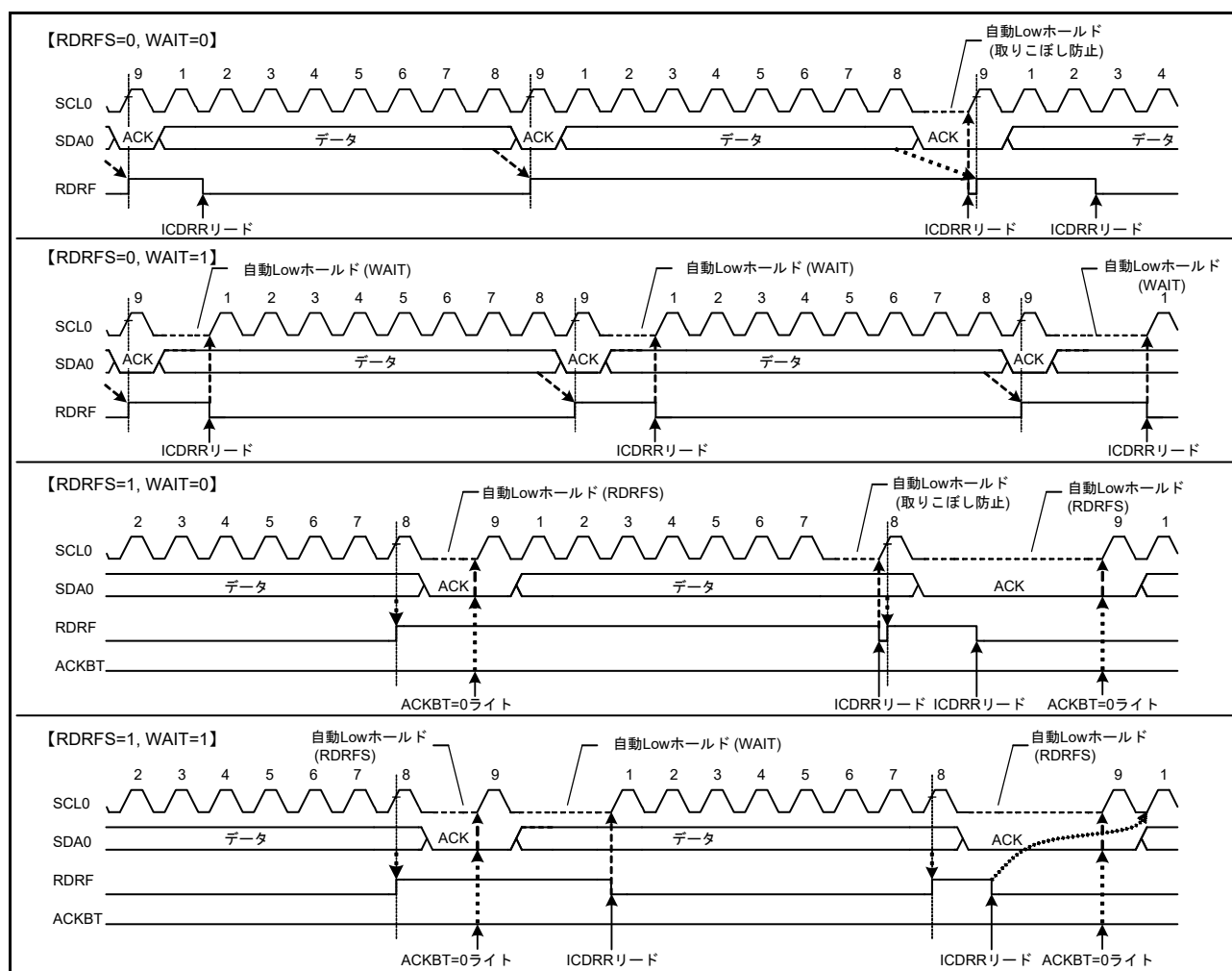


図 27.31 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

27.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

27.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDA0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDA0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDA0ラインに不一致が生じた場合(SDA出力がHigh(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおRIICは、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、マスタアービトレーションロストを検出します。

マスタアービトレーションロスト検出条件

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”にしてスタートコンディションを発行したときに、SDA信号とSDA0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー))
- ICCR2.BBSYフラグが“1”の状態(ICCR2.STビットを“1”にしたとき(スタートコンディション二重発行エラー))
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDA0ライン上の信号の状態が不一致のとき

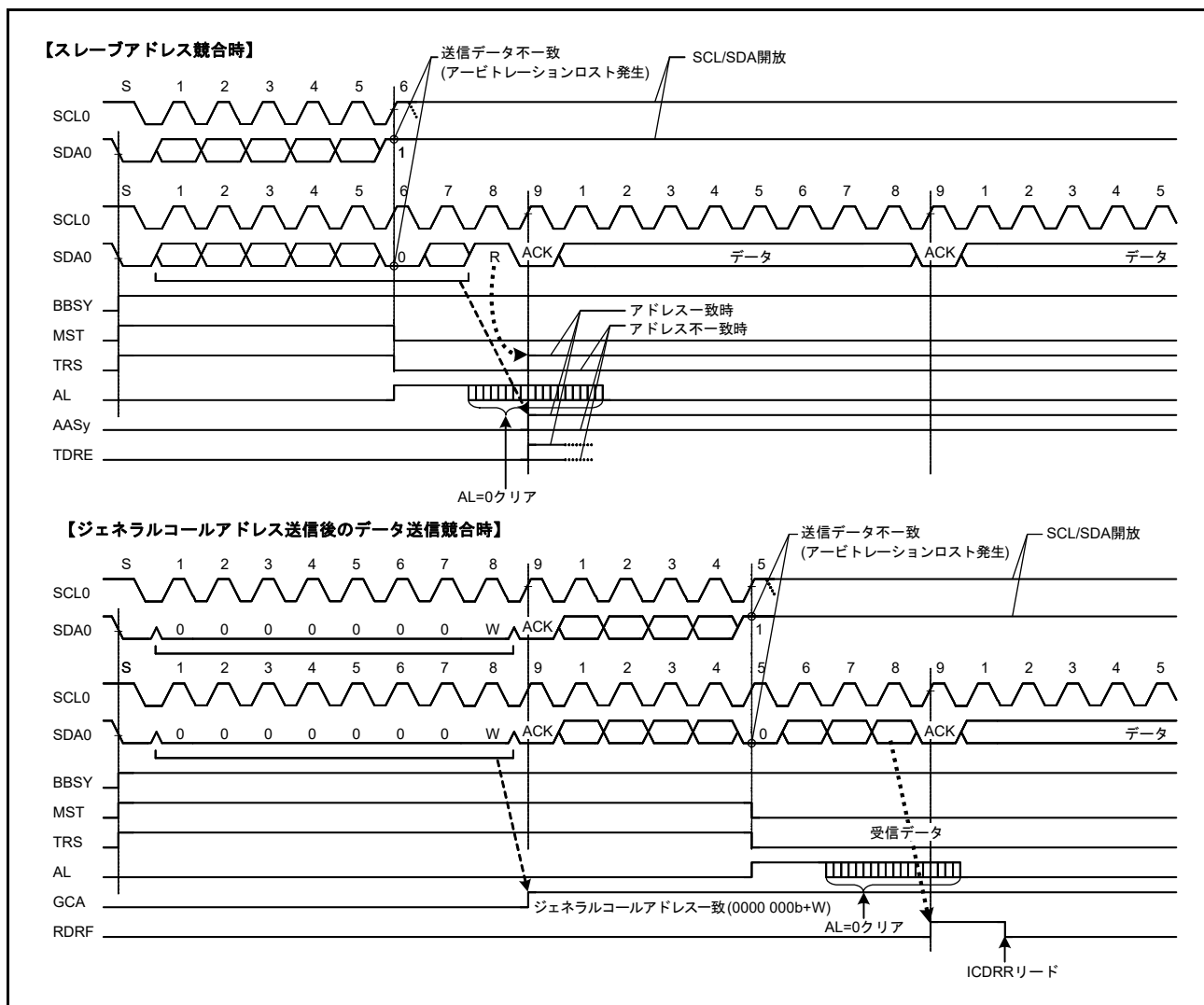


図 27.32 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

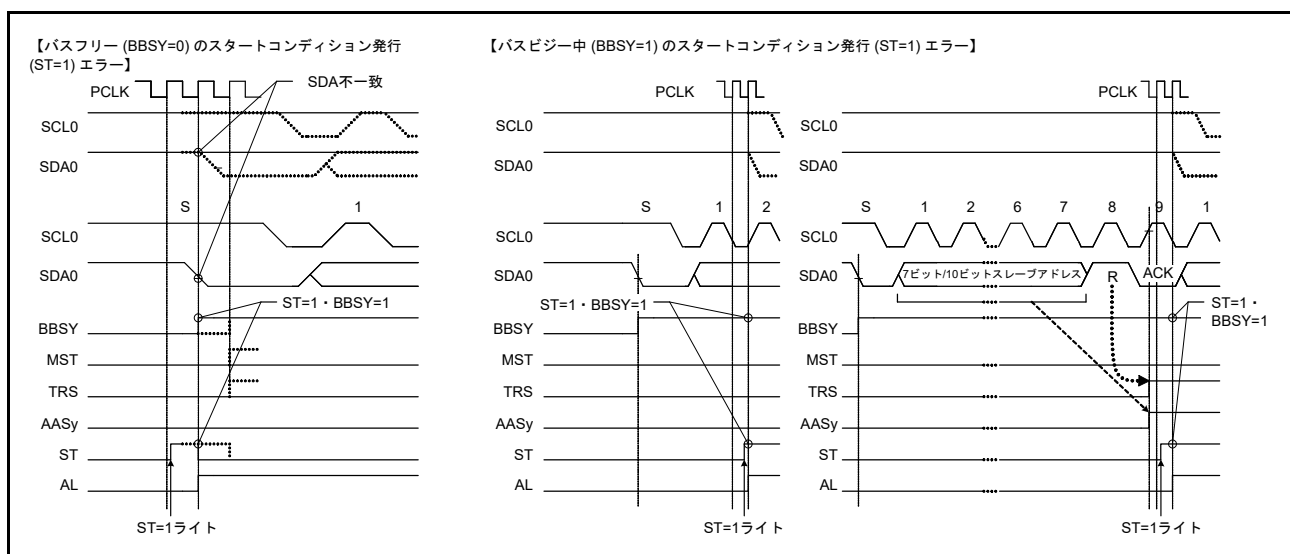


図 27.33 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

27.9.2 NACK 送信アービトレーションロスト検出機能 (NALE ビット)

RIIC は受信モード時で NACK 送信時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致の場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。NACK 送信アービトレーションロストは、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図 27.34 に NACK 送信アービトレーションロスト検出動作例を示します。

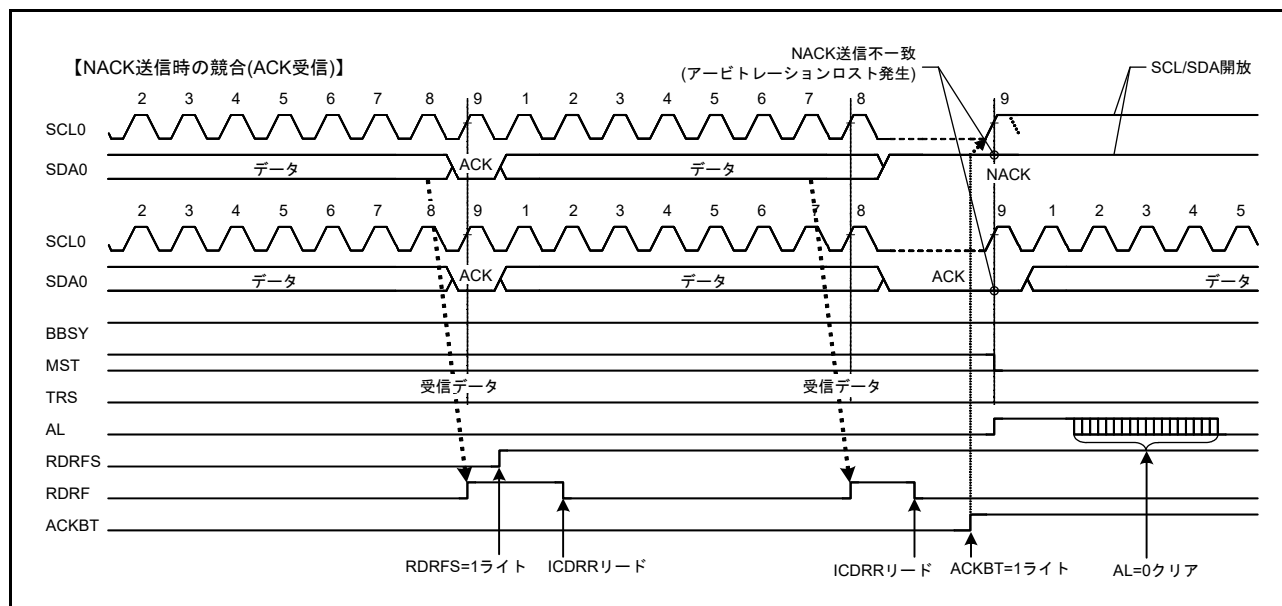


図 27.34 NACK 送信アービトレーションロスト検出動作例 (NALE ビット = 1 のとき)

2 つのマスタデバイス (マスタ A、マスタ B) と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B とともにスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B とともにどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト目の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。このような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL 出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、アービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、Assign Address の UDID (Unique Device Identifier) 不一致時の NACK 送信以降、および Assign Address 確定後の Get UDID (General) の NACK 送信以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.NALE ビットが “1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、NACK 送信アービトレーションロストを検出します。

NACK 送信アービトレーションロスト検出条件

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

27.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (SDA 出力が High (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (Unique Device Identifier) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なお RIIC は、ICFER.SALE ビットが “1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、スレーブアービトレーションロストを検出します。

スレーブアービトレーションロスト検出条件

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

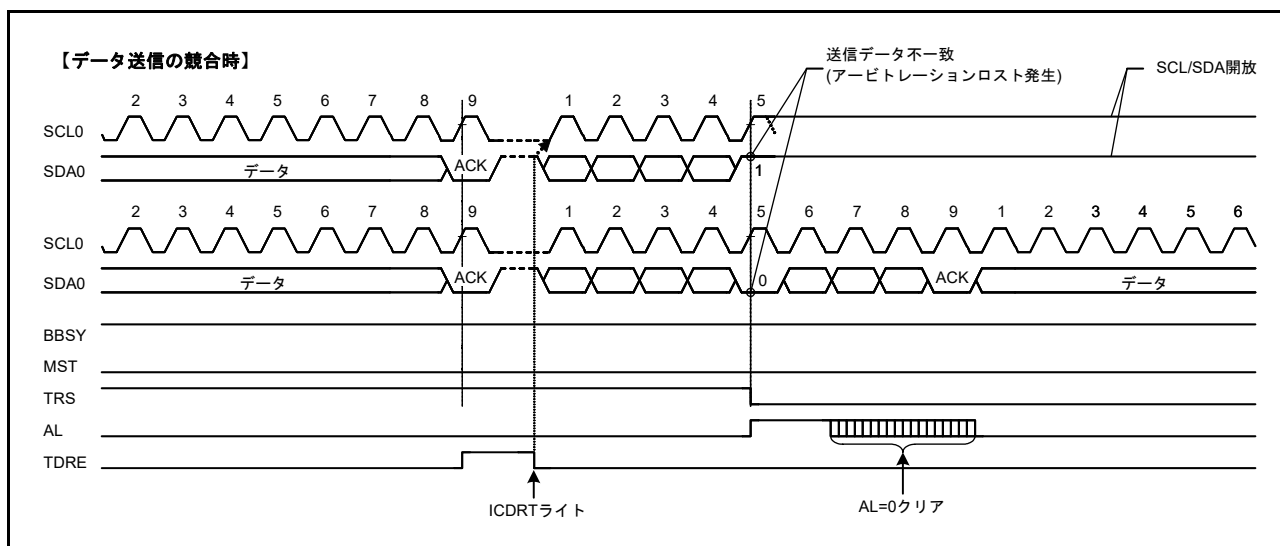


図 27.35 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

27.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

27.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

スタートコンディション発行動作

- (1) SDA0ラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0ラインを立ち下げ (High から Low に遷移)
- (4) SCL0ラインの Low を検出後、ICBRLレジスタで設定した時間 SCL0ラインの Low 幅を確保

27.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態であつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

リスタートコンディション発行動作

- (1) SDA0ラインを開放
- (2) ICBRLレジスタで設定した時間 SCL0ラインの Low 幅を確保
- (3) SCL0ラインを開放 (Low から High に遷移)
- (4) SCL0ラインの High 検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0ラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0ラインを立ち下げ (High から Low に遷移)
- (8) SCL0ラインの Low を検出後、ICBRLレジスタで設定した時間 SCL0ラインの Low 幅を確保

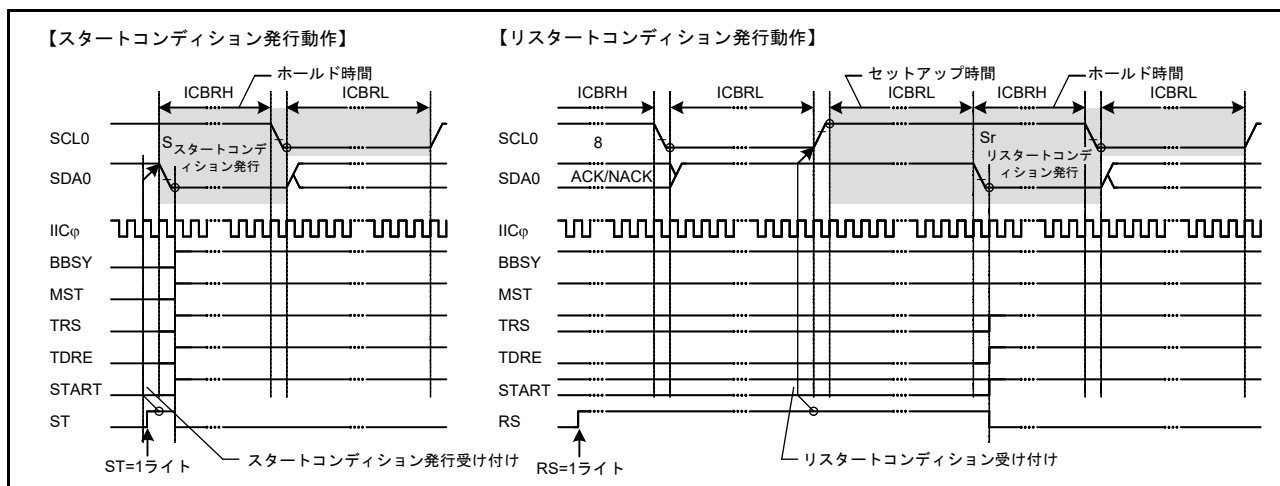


図 27.36 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

27.10.3 ストップコンディション発行動作

RIIC は ICCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを“1”にするとストップコンディション発行の要求が行われ、RIIC は ICCR2.BBSY フラグが“1”(バスビジー)の状態であつ ICCR2.MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

ストップコンディション発行動作

- (1) SDA0 ラインを立ち下げ (High から Low に遷移)
- (2) ICBRL レジスタで設定した時間 SCL0 ラインの Low 幅を確保
- (3) SCL0 ラインを開放 (Low から High に遷移)
- (4) SCL0 ラインの High 検出後、ICBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- (5) SDA0 ラインを開放 (Low から High に遷移)
- (6) ICBRL レジスタで設定した時間、バスフリー時間を確保
- (7) BBSY フラグクリア (バス権解放)

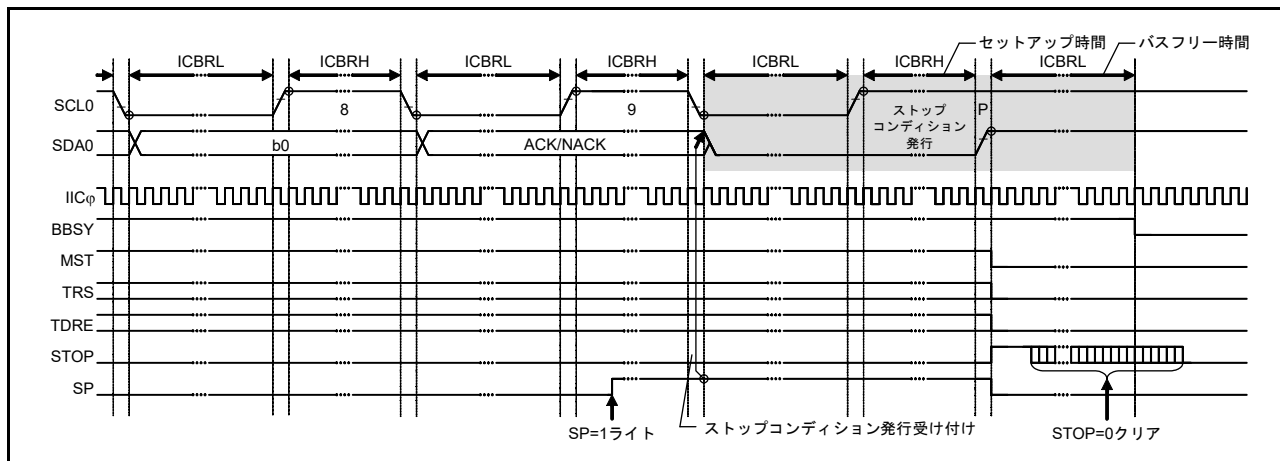


図 27.37 ストップコンディション発行動作タイミング (SP ビット)

27.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ずれが発生すると、SCL0ラインやSDA0ラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL0ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ずれによるバスハングアップ状態を解除するためのSCL追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCLO, SDAO, SCLI, SDAIビットを確認することで、RIIC自身がSCL0ライン/SDA0ラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

27.11.1 タイムアウト検出機能

RIICにはSCL0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCL0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0ラインに変化がないまま内部カウンタがオーバフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCL0ラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH, TMOLビットの設定により選択することが可能です。なおTMOH, TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

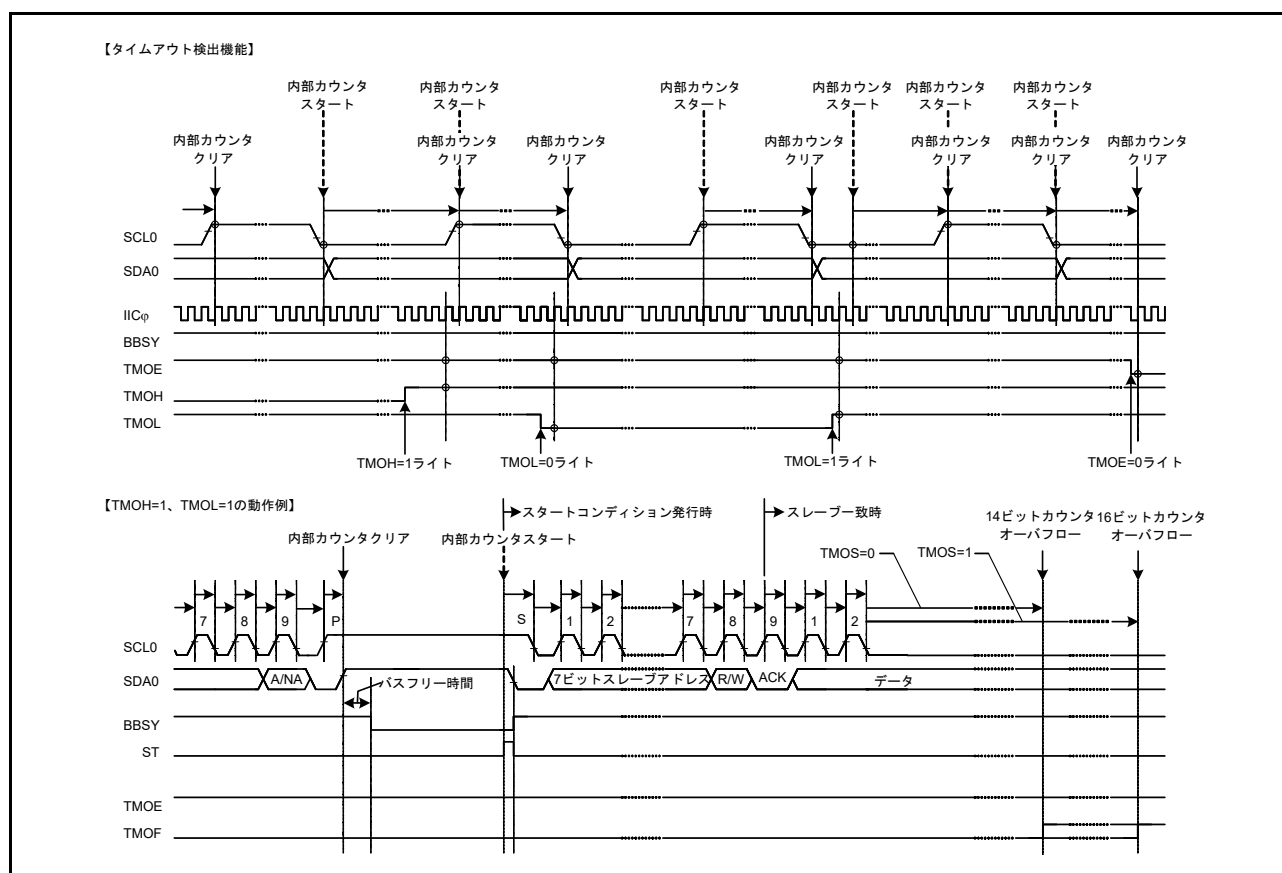


図 27.38 タイムアウト検出機能

27.11.2 SCL 追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ずれによるスレーブデバイスの SDA0 ライン Low 固定状態を開放するための SCL 追加出力機能を備えています。

SCL 追加出力機能は、SCL を 1 クロックずつ追加で出力する機能で、主にマスタモード時にスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された周波数のクロックが SCL0 端子から 1 クロック分追加で出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。このとき ICCR2.BBSY フラグが“1”であると SCL0 端子は Low になり、BBSY フラグが“0”であると SCL0 端子は High になります。CLO ビットが“0”であることを確認した後“1”を書くことにより、追加クロックを連続して出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ずれが原因でスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL 追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA0 ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0”（マスタアービトラリションロスト検出禁止）にして使用してください。

ICCR1.CLO ビットの使用条件

- バスフリー状態 (ICCR2.BBSY フラグ=0) またはマスタモード (ICCR2.MST ビット=1、BBSY フラグ=1 の状態) のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 27.39 に SCL 追加出力機能 (CLO ビット) を示します。

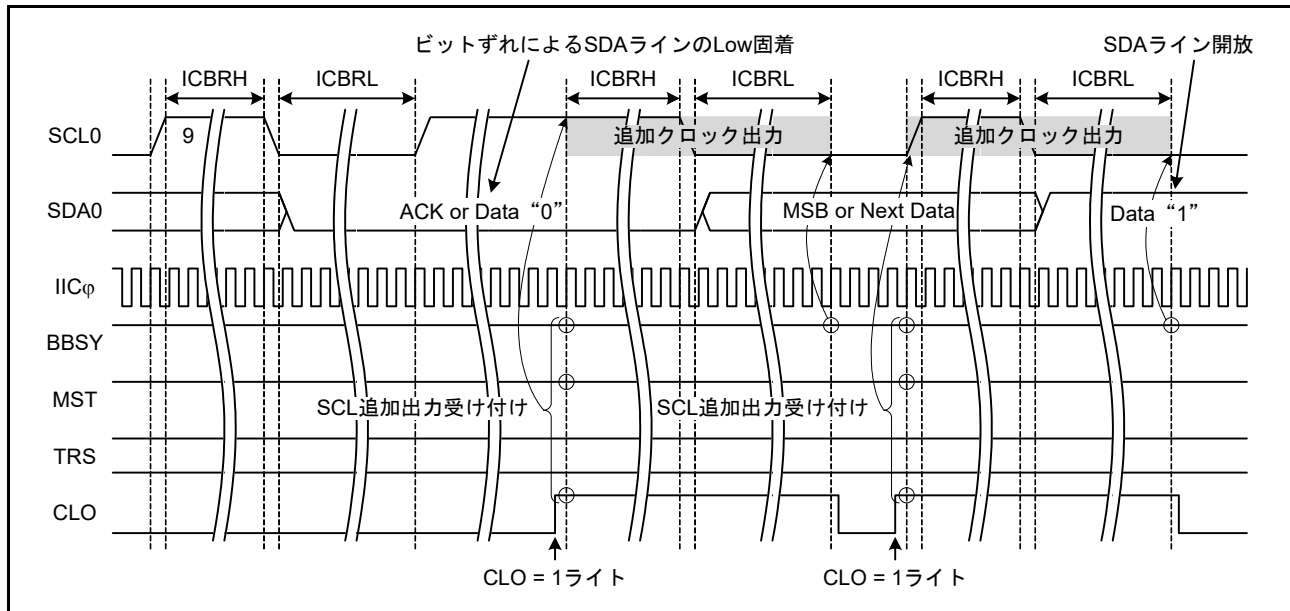


図 27.39 SCL 追加出力機能 (CLO ビット)

27.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL0 端子 / SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ずれを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「27.14 リセット時 / コンディション検出時のレジスタおよび機能の初期化」を参照してください。

27.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間 : 300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y = 0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (Unique Device Identifier) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトレーションロスト検出機能を有効にしてください。

27.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔 : $t_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $t_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト t_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 /SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔 : $t_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $t_{\text{LOW:MEXT}}$: 10 ms (max) 以内である必要があり、スタートコンディションからストップコンディションまでのすべての $t_{\text{LOW:MEXT}}$ を加算した結果が $t_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $t_{\text{LOW:MEXT}} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $t_{\text{TIMEOUT}} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

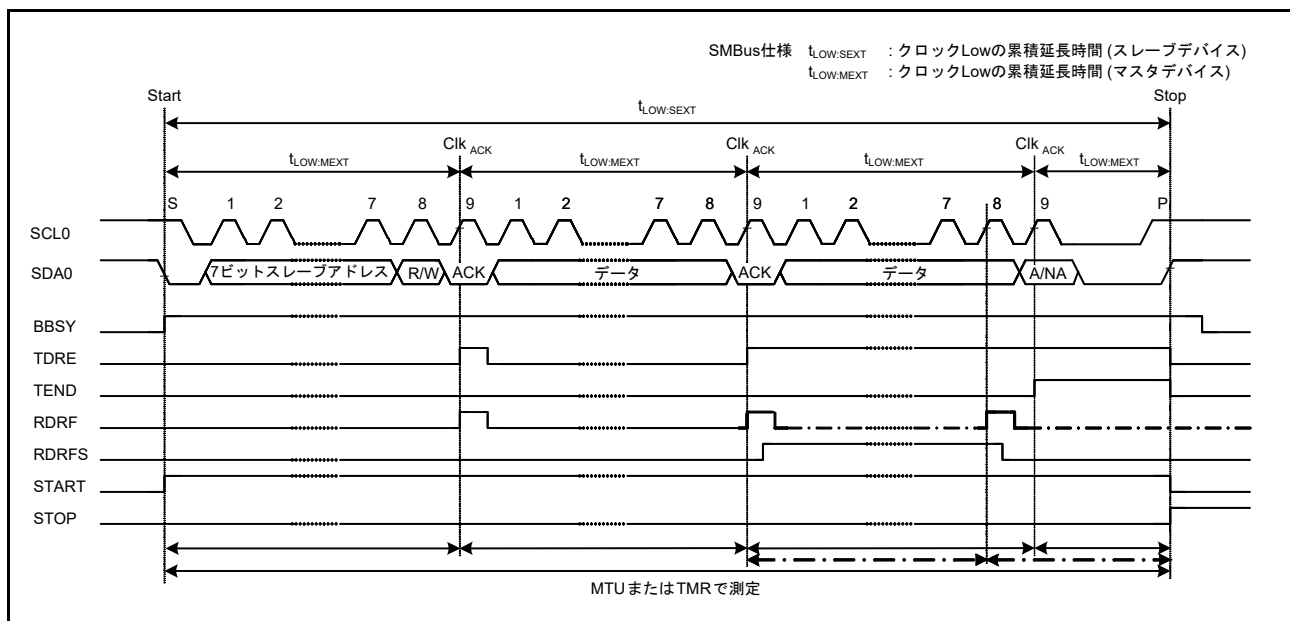


図 27.40 SMBus タイムアウト測定

27.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「28. CRC 演算器 (CRCA)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL0 ラインを Low にホールドしてください。

27.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

27.13 割り込み要因

RIIC の割り込み要因には、通信エラー / 通信イベント (アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の 4 種類があります。

表 27.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTC を起動してデータ転送を行うことができます。

表 27.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	割り込み条件
EEI	通信エラー / 通信イベント	AL	不可能	AL = 1 かつ ALIE = 1
		NACKF		NACKF = 1 かつ NAKIE = 1
		TMOF		TMOF = 1 かつ TMOIE = 1
		START		START = 1 かつ STIE = 1
		STOP		STOP = 1 かつ SPIE = 1
RXI (注2)	受信データフル	RDRF	可能	RDRF = 1 かつ RIE = 1
TXI (注1)	送信データエンプティ	TDRE	可能	TDRE = 1 かつ TIE = 1
TEI (注3)	送信終了	TEND	不可能	TEND = 1 かつ TEIE = 1

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。
なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

27.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した ICURn.IR フラグが“1”のときに割り込み発生条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します (内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

27.14 リセット時/コンディション検出時のレジスタおよび機能の初期化

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表27.7にリセット時/コンディション検出時のレジスタおよび機能のリセット状況を示します。

表27.7 リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP					リセット
	TRS				(注1)	
	MST				(注1)	
	BBSY			保持	"1"になる	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	"1"になる	リセット
	STOP				保持	"1"になる
	TEND					リセット
	TDRE				(注1)	
	その他				保持	保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1. リセットされません。条件に応じて"0"または"1"になります。

27.15 使用上の注意事項

27.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移 / 解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

27.15.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが “1” のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが “1” で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが “0” であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を “0” にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0”を確認
- (4) IR フラグを “0” にする

28. CRC 演算器 (CRCA)

CRC (Cyclic Redundancy Check) 演算器は、CRC コード生成を行います。

28.1 概要

表 28.1 に CRC 演算器の仕様を示します。図 28.1 に CRC 演算器のブロック図を示します。

表 28.1 CRC 演算器の仕様

項目	内容	
データサイズ	8ビット	32ビット
CRC演算対象データ(注1)	8nビットのデータに対してCRCコードを生成(n = 自然数)	32nビットのデータに対してCRCコードを生成(n = 自然数)
CRC演算処理方式	8ビット並列実行	32ビット並列実行
CRC生成多項式	3つの多項式から選択可能 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$	2つの多項式から選択可能 32ビットCRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への遷移が可能	

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位または32ビット単位で書いてください。

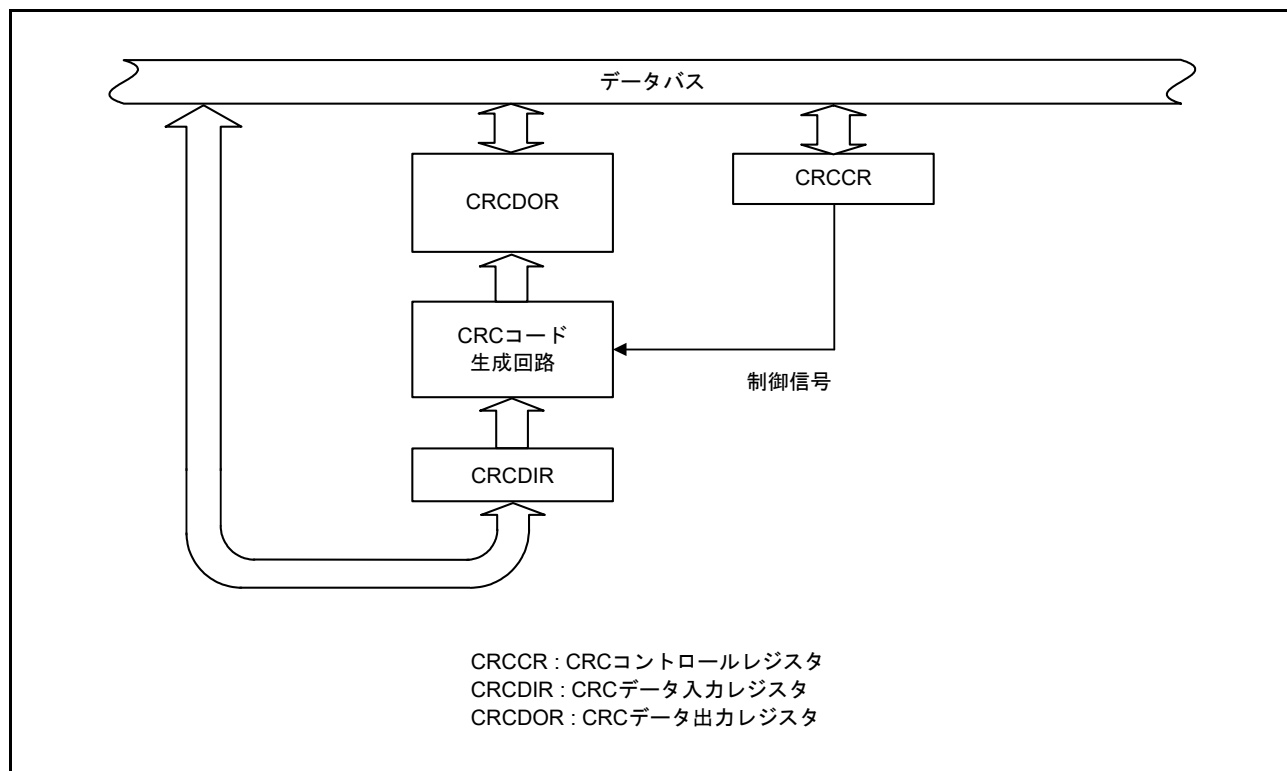


図 28.1 CRC 演算器のブロック図

28.2 レジスタの説明

28.2.1 CRC コントロールレジスタ (CRCCR)

アドレス CRC.CRCCR 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替えビット	b2 b0 0 0 0 : 計算しません 0 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32ビットCRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 : 32ビットCRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	W (注1)

注1. “1”のみ書けます。

LMS ビット (CRC 演算切り替えビット)

生成したCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイトから先に、MSBファーストで通信を行う場合はCRCコードの上位バイトから先に送信してください。

CRCコードの送信および受信については、「28.3 CRC演算器の動作説明」を参照してください。

DORCLR ビット (CRCDOR レジスタクリアビット)

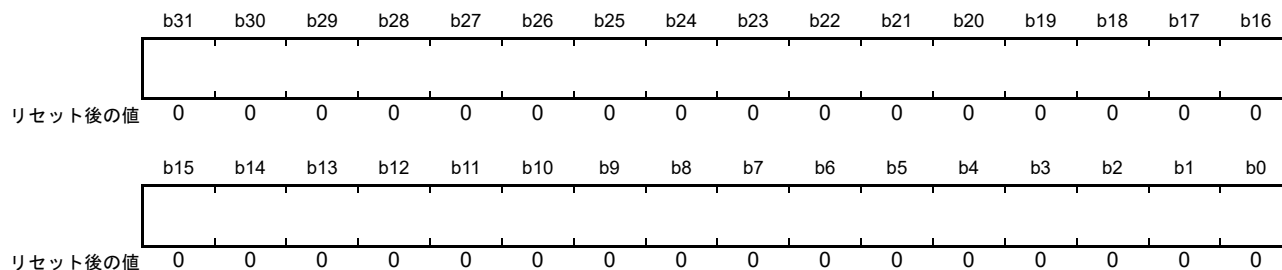
DORCLRビットに“1”を書くと、CRCDORレジスタが“0000 0000h”になります。

読むと“0”が読めます。“0”を書いても何も起こりません。

28.2.2 CRC データ入力レジスタ (CRCDIR)

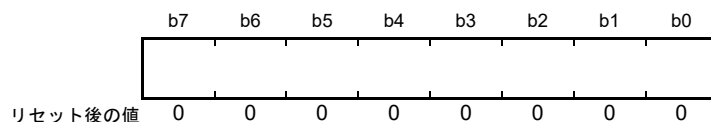
- 32 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h



- 16 ビット CRC、8 ビット CRC 生成時

アドレス CRC.CRCDIR 0008 8284h

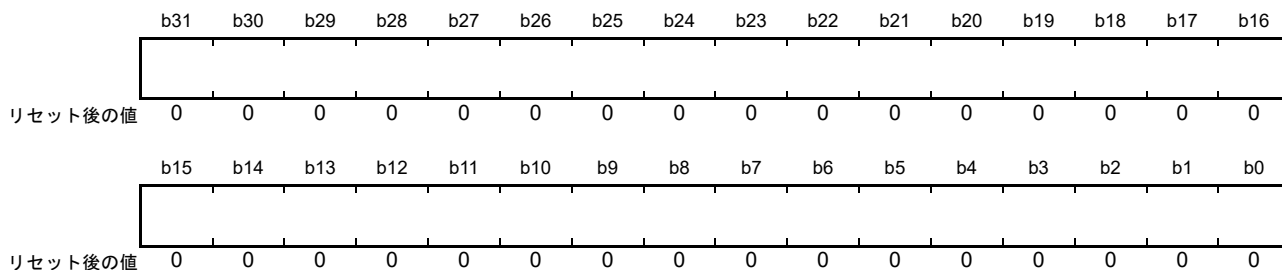


CRCDIR レジスタは、読み出し / 書き込み可能なレジスタです。CRC 演算の対象となるデータを書いてください。32 ビット CRC を生成する場合は、CRCDIR レジスタをロングワードアクセスしてください。8ビット CRC または 16 ビット CRC を生成する場合は、CRCDIR レジスタをバイトアクセスしてください。

28.2.3 CRC データ出力レジスタ (CRCDOR)

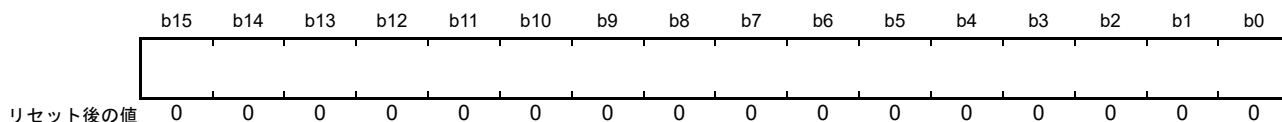
- 32 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h



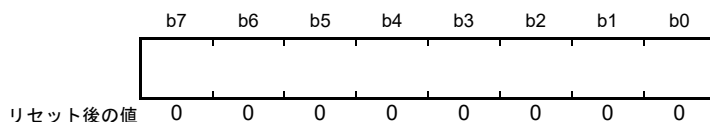
- 16 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h



- 8 ビット CRC 生成時

アドレス CRC.CRCDOR 0008 8288h



CRCDOR レジスタは、読み出し / 書き込み可能なレジスタです。

リセット後の値は“0000 0000h”ですので、初期値を“0000 0000h”以外にして演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRCDIR レジスタに書き、その演算結果が“0000 0000h”の場合、誤りがないと判断できます。

32 ビット CRC を選択した場合は、CRCDOR レジスタをロングワードアクセスしてください。16 ビット CRC を選択した場合は、CRCDOR レジスタをワードアクセスしてください。8 ビット CRC を選択した場合は、CRCDOR レジスタをバイトアクセスしてください。

28.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト /MSB ファースト通信用 CRC コードを生成します。

16 ビットの CRC 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) の CRC コードを生成する例を以下に示します。この例では CRC 演算の初期値を “0000 0000h” にするために、DORCLR ビットを “1” にして CRC データ出力レジスタ (CRCDOR) の値をクリアしています。

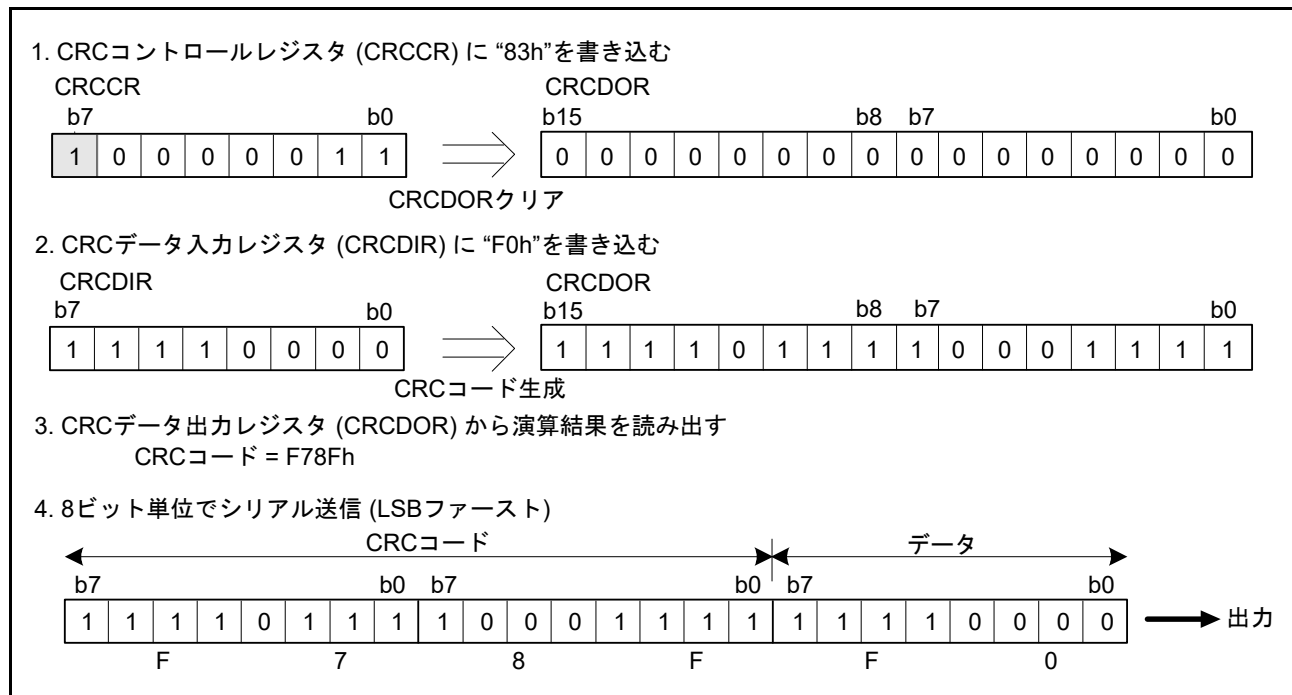


図 28.2 LSB ファーストでのデータ送信

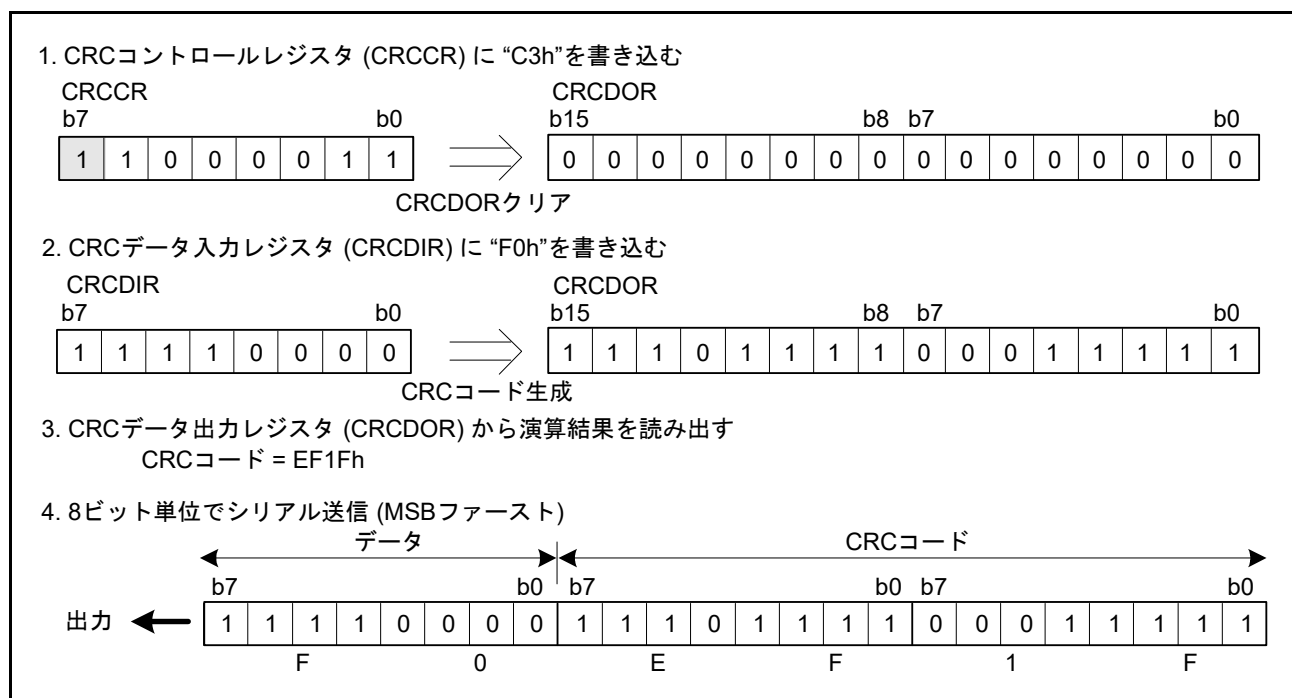


図 28.3 MSB ファーストでのデータ送信

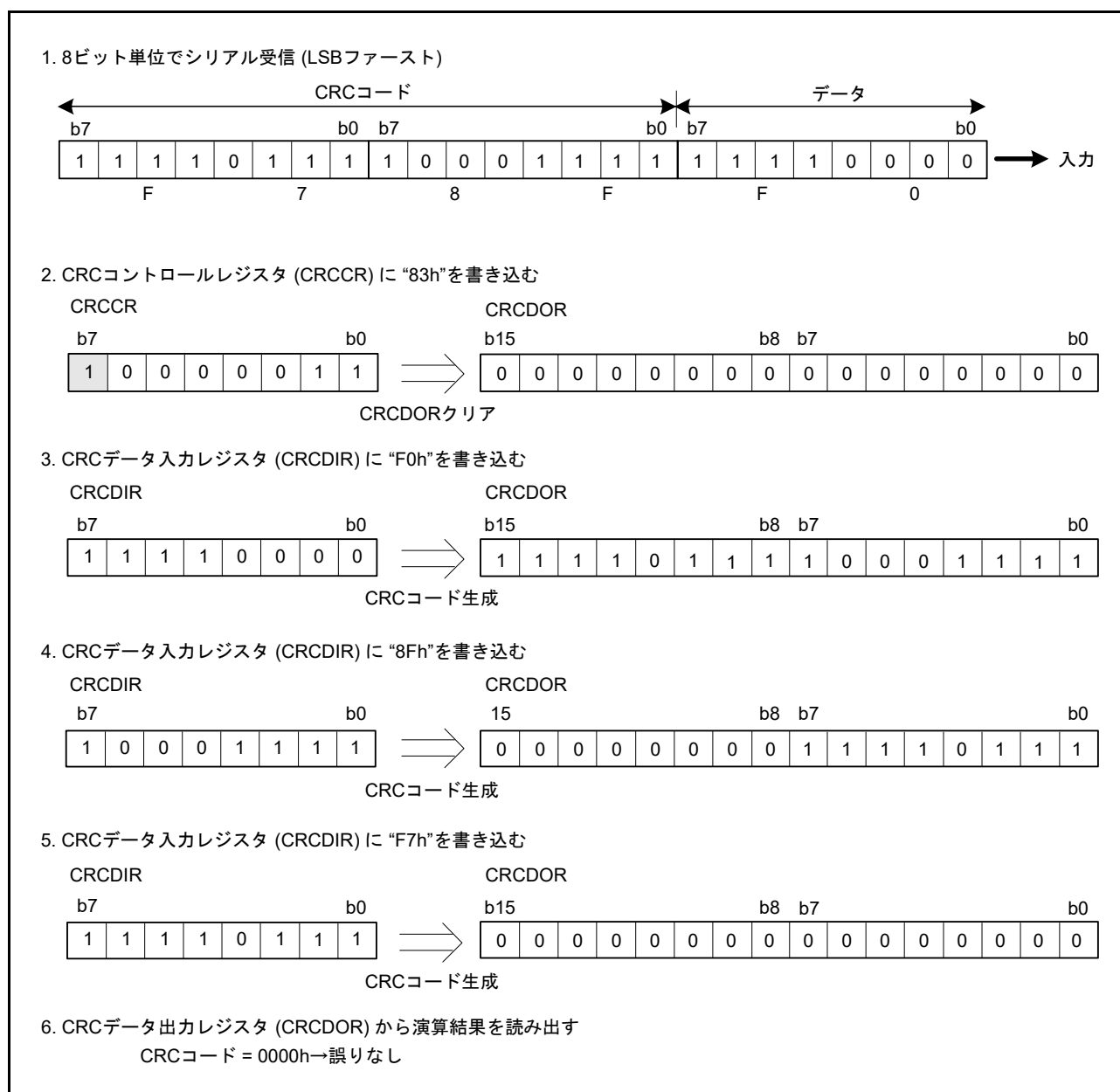


図 28.4 LSB ファーストでのデータ受信

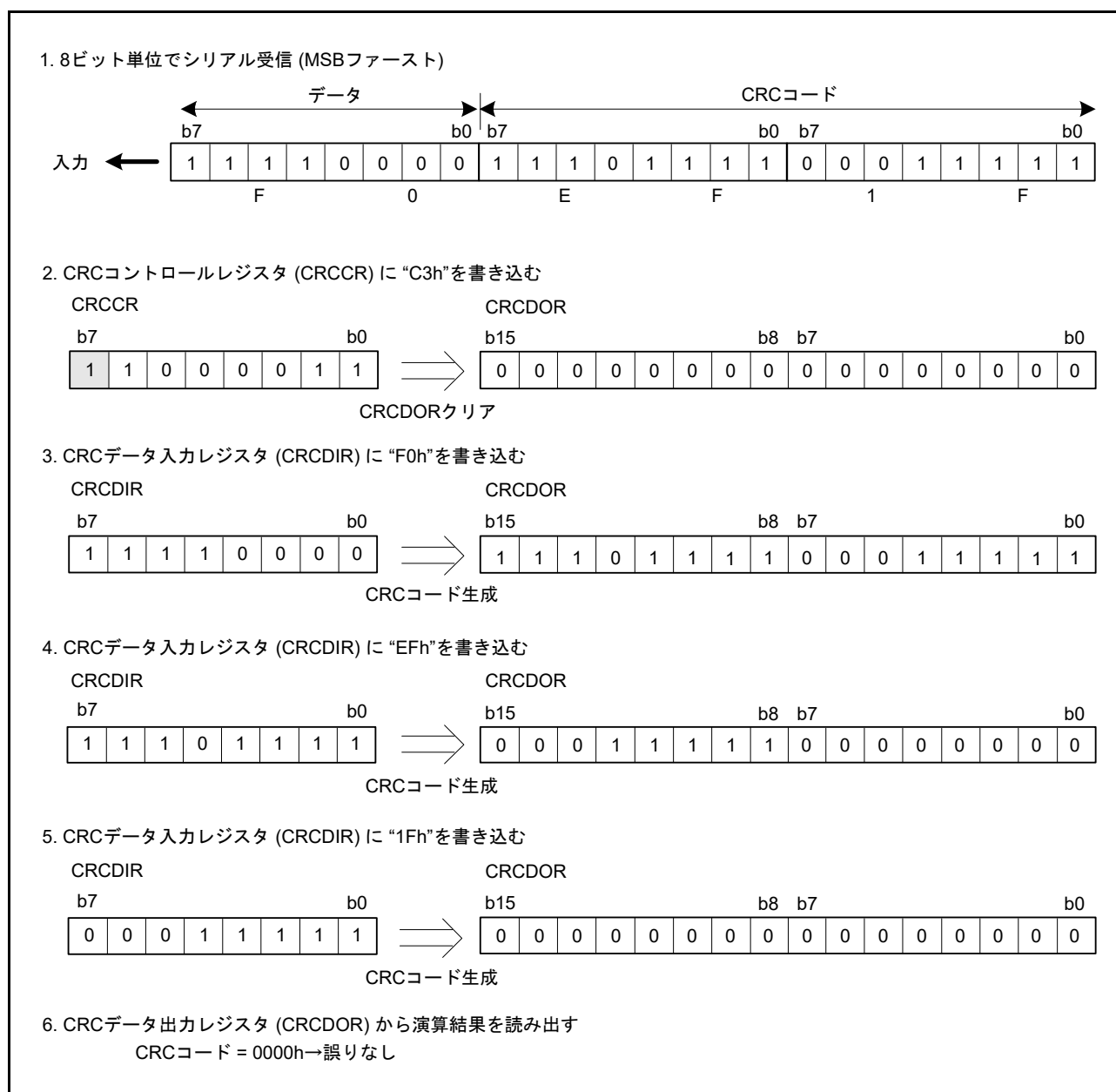


図 28.5 MSB ファーストでのデータ受信

28.4 使用上の注意事項

28.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止 / 許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

28.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので注意してください。

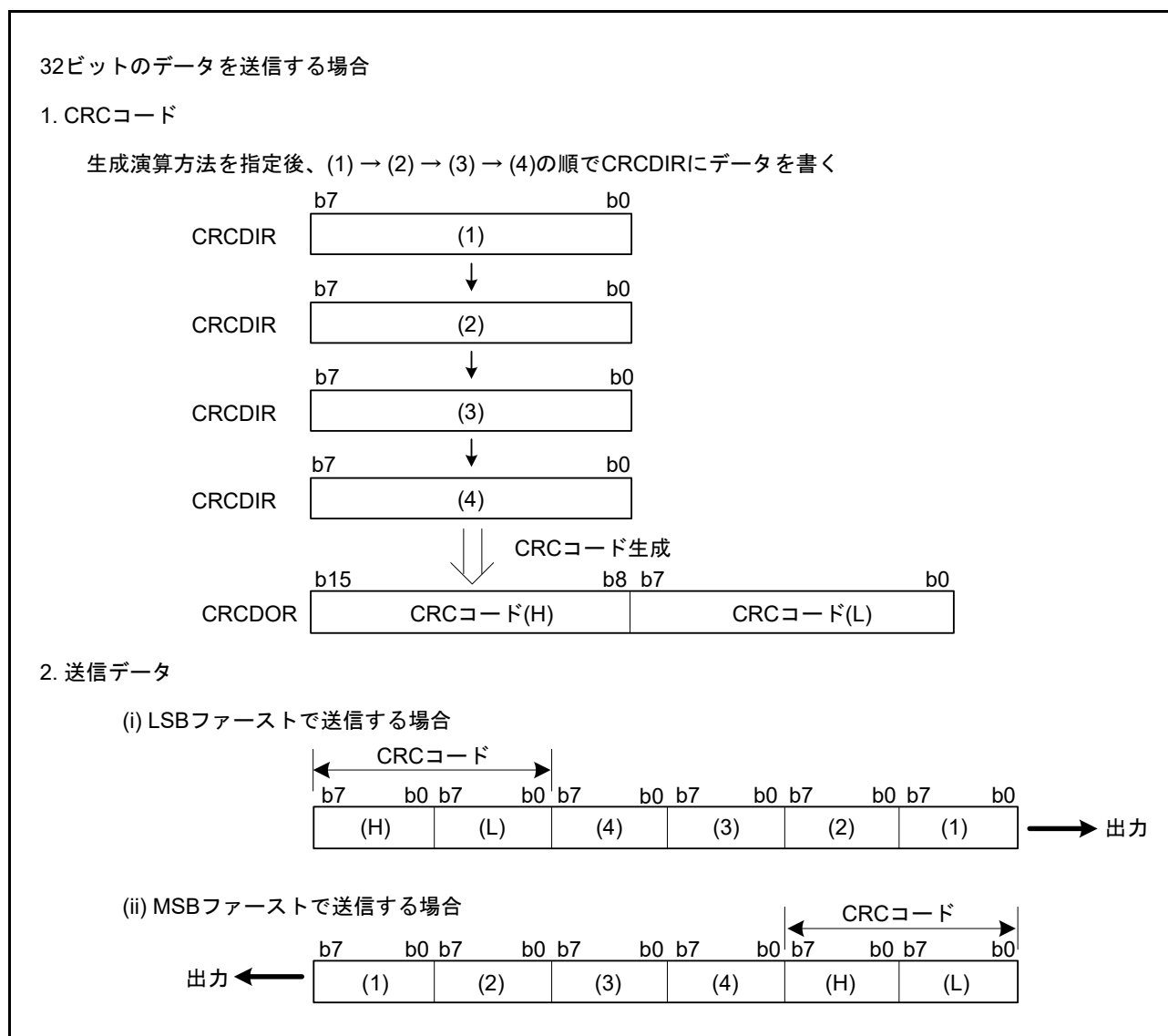


図 28.6 LSB ファーストと MSB ファーストの送信データ

29. 三角関数演算器 (TFUv1)

本 MCU は、三角関数演算器 (TFU) を搭載しています。

TFU を使用することにより、`sinf` 関数、`cosf` 関数、`atan2f` 関数、`hypotf` 関数が高速に演算できるようになります。C/C++ コンパイラでコンパイルオプションを指定することにより、TFU を使用する命令コードが生成されます。詳細はコンパイラのマニュアルを参照してください。

TFU の動作クロックは ICLK です。

29.1 概要

表 29.1 に TFU の仕様を示します。

表 29.1 TFU の仕様

項目	内容				
演算処理	sin 演算、cos 演算、atan 演算、hypot 演算 • sin 演算と cos 演算は同時に演算できます。 • atan 演算と hypot 演算は同時に演算できます。				
値の範囲および単位	演算処理	入出力		範囲	単位
	sin 演算	入力	角度 θ	$-\text{float\_max} \leq \theta \leq \text{float\_max}$ (注1)	radian
		出力	$\sin\theta$	$-1.0 \leq \sin\theta \leq 1.0$	—
	cos 演算	入力	角度 θ	$-\text{float\_max} \leq \theta \leq \text{float\_max}$ (注1)	radian
		出力	$\cos\theta$	$-1.0 \leq \cos\theta \leq 1.0$	—
	atan 演算	入力	x, y 座標	$-\text{float\_max} \leq x \leq \text{float\_max}$ (注1) $-\text{float\_max} \leq y \leq \text{float\_max}$ (注1)	—
		出力	$\text{atan}(y/x)$	$-\pi \leq \text{atan}(y/x) \leq \pi$	radian
	hypot 演算	入力	x, y 座標	$-\text{float\_max} \leq x \leq \text{float\_max}$ (注1) $-\text{float\_max} \leq y \leq \text{float\_max}$ (注1)	—
		出力	$\sqrt{x^2 + y^2}$	$0 \leq \sqrt{x^2 + y^2} \leq \infty$	—
処理可能なデータタイプ	単精度浮動小数点数				
演算実行サイクル数	sin 演算：14 サイクル cos 演算：14 サイクル atan 演算：14 サイクル hypot 演算：14 サイクル+ 2 サイクル(ソフトウェア処理)				

注1. float_max は単精度浮動小数点数で表現可能な最大値。 $(2 - 2^{-23}) \times 2^{127}$ 。

30. 12ビットA/Dコンバータ (S12ADF)

本章に記載している PCLK とは PCLKB、ADCLK とは PCLKD を指します。

30.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータを 2 ユニット内蔵しています。各ユニットは 8 チャンネルのアナログ入力を選択できます。ただし、AN001/PGAIN01 および PGAIN02 は両方のユニットに接続されていますので、同時に使用可能なアナログ入力は、最大 14 本です。また、温度センサ出力、内部基準電圧はユニット 1 のみ選択できます。

12 ビット A/D コンバータは、選択した最大 14 チャンネルのアナログ入力、温度センサ出力または内部基準電圧（ユニット 1 のみ）を逐次比較方式で 12 ビットのデジタル値に変換します。動作モードは、任意に選択した 8 チャンネルのアナログ入力を若いチャンネル番号順に変換するシングルスキャンモードと、各ユニットで選択した任意の 8 チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、8 チャンネルのアナログ入力を任意に選択して 2 つ（グループ A、グループ B）または 3 つのグループ（グループ A、グループ B、グループ C）に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードは、2 つのグループ（グループ A、B）か、3 つのグループ（グループ A、B、C）のどちらか一方を選択します。各グループ（A、B または A、B、C）のスキャン開始条件（同期トリガ）を個別に選択し、各グループ（A、B または A、B、C）のスキャンを異なるタイミングで開始することができます。

グループスキャンモードのグループ優先動作は、前述の動作に加え、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。グループ優先動作の優先順位は、グループ A > グループ B > グループ C の順となります。グループ優先動作では、グループ C のスキャン中にグループ B のスキャン開始を受け付けるとグループ C のスキャンを中断しグループ B のスキャンを開始する、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始する、同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けるとグループ B のスキャンを中断し、グループ A のスキャンを開始する動作となります。ただし、温度センサ出力または内部基準電圧から選択することができるのは、ユニット 1 のみです。

また中断したグループのスキャンを優先グループのスキャン終了後に再開することもできます。

ダブルトリガモードは、任意に選択した 1 チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の同期トリガで変換したデータと 2 回目の同期トリガで変換したデータを別々のレジスタに格納（A/D 変換データの二重化）します。連続スキャンモードでは温度センサ出力または内部基準電圧を選択できません。

自己診断は、スキャンごとの最初に 1 回実施され、12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

表 30.1 に 12 ビット A/D コンバータの仕様を、表 30.2 に 12 ビット A/D コンバータの機能概要を示します。図 30.1 に 12 ビット A/D コンバータのブロック図を示します。

A/D コンバータの各ユニット、アナログ入力と A/D 変換結果の格納先の対応については「30.3 動作説明」を参照してください。

表30.1 12ビットA/Dコンバータの仕様 (1/2)

項目	内容
ユニット数	2ユニット (S12AD, S12AD1)
入力チャンネル	S12AD : 8チャンネル、S12AD1 : 8 (AN001/PGAIN01およびPGAIN02は共通です) チャンネル
拡張アナログ機能	温度センサ出力または内部基準電圧 (S12AD1のみ)
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり0.5μs (A/D変換クロックADCLK = 64MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK(注1)とA/D変換クロックADCLK(注1)を以下の周波数比で設定可能 PCLK : ADCLK周波数比 = 1 : 1, 1 : 2, 2 : 1, 4 : 1, 8 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	- アナログ入力用16本 (S12AD : 8本、S12AD1 : 8本)、ダブルトリガモードでのA/D変換データ二重化用1本、ダブルトリガモード拡張動作時のA/D変換データ二重化用2本/ユニット - 温度センサ出力用1本 (S12AD1) - 内部基準電圧用1本 (S12AD1) - 自己診断用1本/ユニット - A/D変換結果を12ビットA/Dデータレジスタに保持 - A/D変換結果の12ビット精度出力に対応 - 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 - ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作 (特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	動作モードは2ユニット個別で設定可能です。 - シングルスキャンモード : 任意に選択したチャンネルのアナログ入力を1回のみA/D変換 温度センサ出力または内部基準電圧を1回のみA/D変換 (S12AD1) - 連続スキャンモード : 任意に選択したチャンネルのアナログ入力を繰り返しA/D変換 - グループスキャンモード : 使用するグループの数は2つ (グループA, B) と3つ (グループA, B, C) が選択可能 (グループの数が2つの場合、グループA、グループBの組み合わせのみ選択可能) 任意に選択したチャンネルのアナログ入力をグループAとグループBまたはグループA, B, Cに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBとグループCは、各々の変換開始条件 (同期トリガ) を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ優先制御選択時) 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループA (高) > グループB > グループC (低) 優先グループのスキャン終了後、低優先グループのスキャンを再実行 (再スキャン) する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D変換未終了のチャンネルからかを設定可能
A/D変換開始条件	- ソフトウェアトリガ - 同期トリガ マルチファンクションタイマパルスユニット (MTU)、汎用PWMタイマ (GPTW)、8ビットタイマ (TMR) からのトリガ - 非同期トリガ 外部トリガADTRG0# (S12AD), ADTRG1# (S12AD1) 端子によるA/D変換動作の開始が可能 (2ユニット個別)
機能	- プログラマブルゲインアンプによる入力信号増幅機能 (3ch/S12AD, 2 (AN001/PGAIN01およびPGAIN02は共通です) ch/S12AD1) - サンプリング時間可変機能 (チャンネルごとに設定可能) 12ビットA/Dコンバータの自己診断機能 - A/D変換値加算モードと平均モードが選択可能 - アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能) - ダブルトリガモード (A/D変換データ二重化機能) - A/Dデータレジスタオートクリア機能

表 30.1 12ビットA/Dコンバータの仕様 (2/2)

項目	内容
割り込み要因	• ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生 (2ユニット個別) • ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生 (2ユニット個別) • グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求 (GBADI, GBADI1) を発生。グループCのスキャン終了でグループC専用のスキャン終了割り込み要求 (GCADI, GCADI1) を発生 • グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループBとグループCのスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (GBADI/GCADI, GBADI1/GCADI1) を発生 • S12ADI/S12ADI1, GBADI/GBADI1, GCADI/GCADI1 割り込みでデータトランスファコントローラ (DTC) を起動可能
消費電力低減機能	• モジュールストップ状態への設定が可能 (注3、注4)

注1. 周辺モジュールクロック PCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロック ADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。

注2. 加算時の拡張ビット数は、加算回数により異なります。

2ビット拡張：1～4回変換 (0～3回加算)

4ビット拡張：16回変換 (15回加算)

注3. 詳細は、「11. 消費電力低減機能」を参照してください。

注4. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

表30.2 12ビットA/Dコンバータの機能概要 (1/2)

項目			端子名、略称等	
			ユニット0 (S12AD)	ユニット1 (S12AD1)
アナログ入力チャネル			AN000/PGAIN00～ AN002/PGAIN02, AN003～AN007	AN001/PGAIN01, PGAIN02, AN102～AN107
AD変換 開始条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	トリガ入力端子	ADTRG0#	ADTRG1#
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	TRGA0N	
		MTU1.TGRAのコンペアマッチ/インプットキャプチャ	TRGA1N	
		MTU2.TGRAのコンペアマッチ/インプットキャプチャ	TRGA2N	
		MTU3.TGRAのコンペアマッチ/インプットキャプチャ	TRGA3N	
		MTU4.TGRAのコンペアマッチ/インプットキャプチャ、 または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	TRGA4N	
		MTU0.TGREのコンペアマッチ	TRG0N	
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	TRG4AN	
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	TRG4BN	
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、ま たは、MTU4.TADCORBとMTU4.TCNTのコンペアマッ チ	TRG4ANまたはTRG4BN	
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割 り込み間引き機能2を使用時)	TRG4ABN	
		GPTW0.GTADTRAのコンペアマッチ	GTADTRA0N	
		GPTW0.GTADTRBのコンペアマッチ	GTADTRB0N	
		GPTW1.GTADTRAのコンペアマッチ	GTADTRA1N	
		GPTW1.GTADTRBのコンペアマッチ	GTADTRB1N	
		GPTW2.GTADTRAのコンペアマッチ	GTADTRA2N	
		GPTW2.GTADTRBのコンペアマッチ	GTADTRB2N	
		GPTW0.GTADTRAのコンペアマッチまたは GPTW0.GTADTRBのコンペアマッチ	GTADTRA0NまたはGTADTRB0N	
		GPTW1.GTADTRAのコンペアマッチまたは GPTW1.GTADTRBのコンペアマッチ	GTADTRA1NまたはGTADTRB1N	
		GPTW2.GTADTRAのコンペアマッチまたは GPTW2.GTADTRBのコンペアマッチ	GTADTRA2NまたはGTADTRB2N	
		MTU0.TGRAのコンペアマッチ/インプットキャプチャ、 またはMTU0.TGREのコンペアマッチ	TRGA0NまたはTRG0N	
		TMR0.TCORAとTMR0.TCNTのコンペアマッチ	TMTRG0AN_0	
		TMR2.TCORAとTMR2.TCNTのコンペアマッチ	TMTRG0AN_1	
		MTU0.TGRAのコンペアマッチ/インプットキャプチャ と、MTU0.TGREのコンペアマッチ	TRG0AEN	
		GPTW0.GTADTRAのコンペアマッチまたは GPTW0.GTADTRBのコンペアマッチまたは GPTW1.GTADTRAのコンペアマッチまたは GPTW1.GTADTRBのコンペアマッチまたは GPTW2.GTADTRAのコンペアマッチまたは GPTW2.GTADTRBのコンペアマッチ	GTADTRA0NまたはGTADTRB0Nまたは GTADTRA1NまたはGTADTRB1Nまたは GTADTRA2NまたはGTADTRB2N	
		GPTW0.GTADTRAのコンペアマッチまたは GPTW0.GTADTRBのコンペアマッチまたは GPTW1.GTADTRAのコンペアマッチまたは GPTW1.GTADTRBのコンペアマッチ	GTADTRA0NまたはGTADTRB0Nまたは GTADTRA1NまたはGTADTRB1N	

表 30.2 12ビットA/Dコンバータの機能概要 (2/2)

項目		端子名、略称等	
		ユニット0 (S12AD)	ユニット1 (S12AD1)
PGA機能	対象チャネル	AN000～AN002	AN001～AN002
割り込み		S12ADI, GBADI, GCADI割り込み	S12ADI1, GBADI1, GCADI1割り込み
モジュールストップ機能の設定(注1、注2)		MSTPCRA.MSTPA17 ビット	MSTPCRA.MSTPA16 ビット

注. A/D変換を開始するトリガをADTRG0#, ADTRG1#に設定する場合は、該当する端子のポートモードレジスタの端子モード制御ビットを“1”（周辺機能）に、端子機能制御レジスタの端子機能選択ビットをADTRG0#, ADTRG1#に設定してください。
詳細は「17. I/Oポート」を参照してください。

注1. 詳細は、「11. 消費電力低減機能」を参照してください。

注2. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

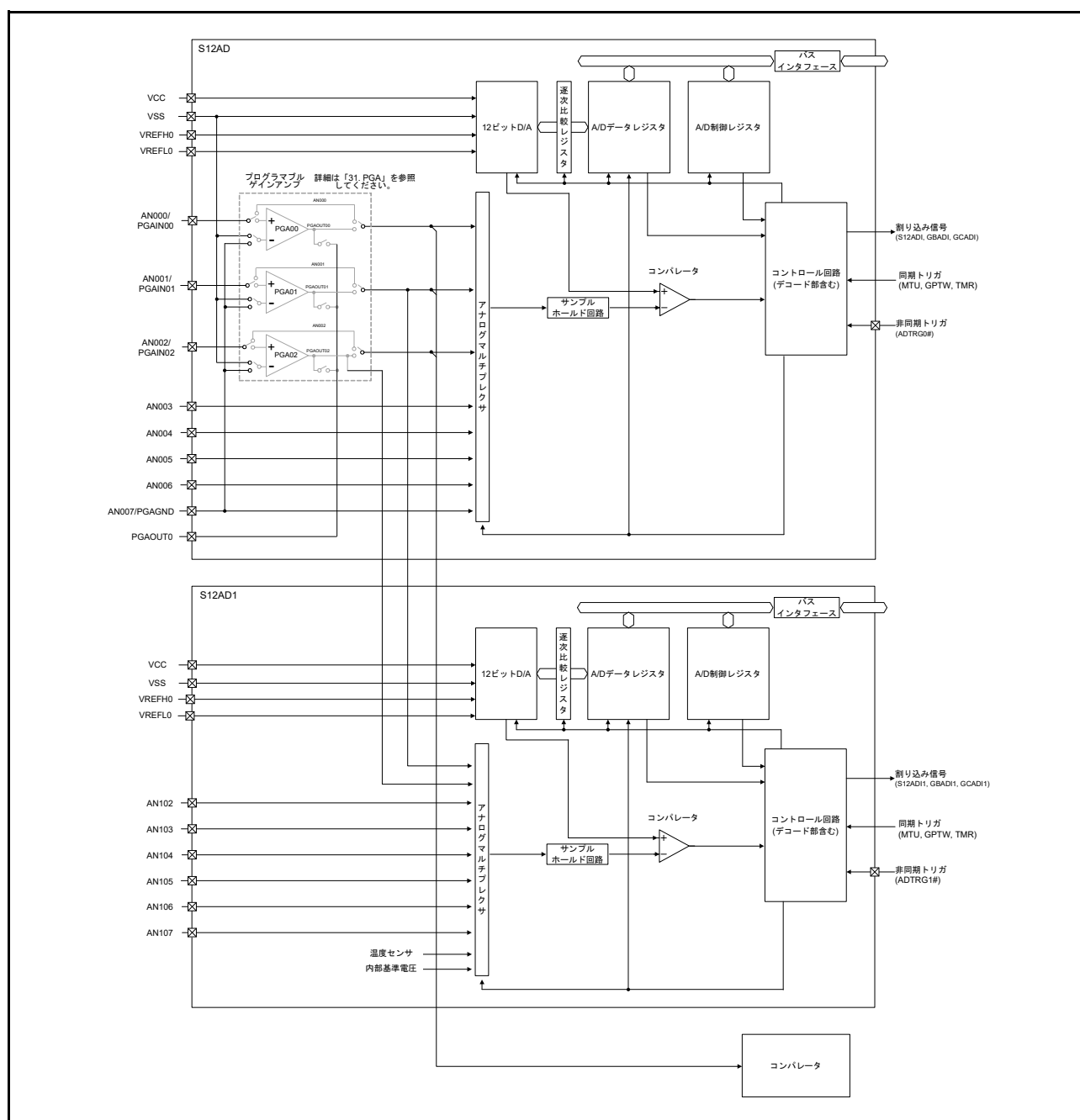


図 30.1 12ビットA/Dコンバータのブロック図

表 30.3 に 12 ビット A/D コンバータで使用する入出力端子を示します。

12 ビット A/D コンバータは 2 ユニットで構成され、ユニット 0 (S12AD)、ユニット 1 (S12AD1) は独立に動作させることができます。S12AD, S12AD1 の入力チャネルは、3 つのグループに分割して動作させることもできます。プログラマブルゲインアンプ (PGA) は AN000 ~ AN002 に内蔵されています。

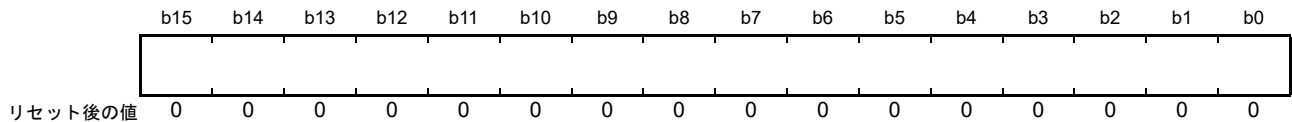
表30.3 12ビットA/Dコンバータの入出力端子

ユニット	端子名	入出力	機能
ユニット0 (S12AD)	AN000	入力	アナログ入力端子
	AN001	入力	アナログ入力端子
	AN002	入力	アナログ入力端子
	AN003	入力	アナログ入力端子
	AN004	入力	アナログ入力端子
	AN005	入力	アナログ入力端子
	AN006	入力	アナログ入力端子
	AN007	入力	アナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0	出力	ADSTビットの状態出力端子
	ADSS0	出力	サンプリングの状態出力端子
ユニット1 (S12AD1)	AN001	入力	アナログ入力端子
	AN102	入力	アナログ入力端子
	AN103	入力	アナログ入力端子
	AN104	入力	アナログ入力端子
	AN105	入力	アナログ入力端子
	AN106	入力	アナログ入力端子
	AN107	入力	アナログ入力端子
	ADTRG1#	入力	A/D変換開始のための外部トリガ入力端子
	ADST1	出力	ADSTビットの状態出力端子
	ADSS1	出力	サンプリングの状態出力端子
ユニット0/ ユニット1共通	VCC	—	アナログ回路の電源端子
	VSS	—	アナログ回路のグランド端子
	VREFH0	—	基準電源端子
	VREFL0	—	基準電源グランド端子

30.2 レジスタの説明

30.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 7)、 A/D データ二重化レジスタ (ADDBLDR)、 A/D データ二重化レジスタ A (ADDBLDRA)、 A/D データ二重化レジスタ B (ADDBLDRB)、 A/D 温度センサデータレジスタ (ADTSDR)、 A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h, S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah, S12AD.ADDR6 0008 902Ch, S12AD.ADDR7 0008 902Eh, S12AD.ADBLDR 0008 9018h, S12AD.ADBLDRA 0008 9084h, S12AD.ADBLDRB 0008 9086h, S12AD1.ADDR0 0008 9220h, S12AD1.ADDR1 0008 9222h, S12AD1.ADDR2 0008 9224h, S12AD1.ADDR3 0008 9226h, S12AD1.ADDR4 0008 9228h, S12AD1.ADDR5 0008 922Ah, S12AD1.ADDR6 0008 922Ch, S12AD1.ADDR7 0008 922Eh, S12AD1.ADBLDR 0008 9218h, S12AD1.ADBLDRA 0008 9284h, S12AD1.ADBLDRB 0008 9286h, S12AD1.ADTSDR 0008 921Ah, S12AD1.ADOCDR 0008 921Ch



ADDRy レジスタ (y = 0 ~ 7) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (2 回、3 回、4 回、16 回変換)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めフォーマットに設定した場合
b11-b0 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に同一チャネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は“0”が読み出されます。

A/D 変換値加算モードを 2 回、4 回変換に設定の場合のみ、A/D 変換値平均モードを設定できます。

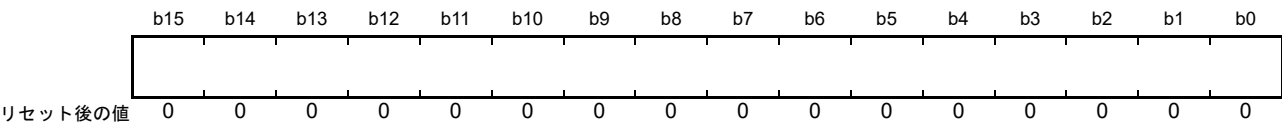
(3) A/D 変換値加算モードを選択した場合

- 右詰めのフォーマット（A/D 変換値加算モード、変換回数 1 回～4 回選択時）に設定した場合
b13-b0 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は“0”が読み出されます。
- 右詰めのフォーマット（A/D 変換値加算モード、変換回数 16 回選択時）に設定した場合
b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。
- 左詰めのフォーマット（A/D 変換値加算モード、変換回数 1 回～4 回選択時）に設定した場合
b15-b2 に同一チャネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は“0”が読み出されます。
- 左詰めのフォーマット（A/D 変換値加算モード、変換回数 16 回選択時）に設定した場合
b15-b0 に同一チャネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

30.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh, S12AD1.ADRD 0008 921Eh



ADRD レジスタは、12 ビット A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値に加えて、自己診断のステータスが付加されます。ADRD レジスタは下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については「30.2.9 A/D コントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。b15-b14 に自己診断ステータスを格納します。読み出し時、b13-b12 は “0” が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。b1-b0 に自己診断ステータスを格納します。読み出し時、b3-b2 は “0” が読み出されます。

表 30.4 自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電源×1/2の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「30.2.9 A/D コントロール拡張レジスタ (ADCER)」を参照してください。

30.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h, S12AD1.ADCSR 0008 9200h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0 : グループBのスキャン終了後に割り込み発生を禁止 1 : グループBのスキャン終了後に割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0 : ダブルトリガモード非選択 1 : ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット(注1)	0 : 同期トリガによるA/D変換の開始を選択 1 : 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0 : 同期、非同期トリガによるA/D変換の開始を禁止 1 : 同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0 : スキャン終了後の割り込み発生を禁止 1 : スキャン終了後の割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0 : シングルスキャンモード 0 1 : グループスキャンモード 1 0 : 連続スキャンモード 1 1 : 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0 : A/D変換停止 1 : A/D変換開始	R/W

注1. 外部端子（非同期トリガ）でA/D変換を起動する方法

外部端子（ADTRG0#, ADTRG1#）にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#, ADTRG1#の信号をLowに変化させると、ADTRG0#, ADTRG1#の立ち下がりエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

なお、ユニットと外部端子（非同期トリガ）の関係は以下のとおりです。

ユニット	外部端子（非同期トリガ）
S12AD	ADTRG0#
S12AD1	ADTRG1#

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可 / 禁止、スキャンモードの選択、A/D 変換の開始 / 停止を行うレジスタです。

DBLANS[4:0] ビット（ダブルトリガ対象チャネル選択ビット）

ダブルトリガモードで A/D 変換データを二重化する 1 チャンネルを選択します。

DBLANS[4:0] ビットで選択したチャネルのアナログ入力を、1 回目および以降の奇数回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目および以降の偶数回目の A/D 変換開始トリガで変換した結果が A/D データ二重化レジスタに格納されます。表 30.5 にダブルトリガ対象チャネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0 レジスタで選択したチャネルの選択は無効になり、DBLANS[4:0] ビットで選択した 1 チャンネルが A/D 変換を行うチャネルとなります。

また、DBLANS[4:0] ビットは、ADST ビットが“0”のときに設定してください（ADST ビットへの“1”書

き込みと同時設定もしないでください。

表 30.5 DBLANS[4:0] ビット設定値とダブルトリガ対象チャネルの関係

S12AD (ユニット0)		S12AD1 (ユニット1)	
DBLANS[4:0]	二重化チャネル	DBLANS[4:0]	二重化チャネル
00000b	AN000/PGAIN00	00000b	AN001/PGAIN01
00001b	AN001/PGAIN01	00001b	PGAIN02
00010b	AN002/PGAIN02	00010b	AN102
00011b	AN003	00011b	AN103
00100b	AN004	00100b	AN104
00101b	AN005	00101b	AN105
00110b	AN006	00110b	AN106
00111b	AN007	00111b	AN107

注. 自己診断、温度センサ出力および内部基準電圧の A/D 変換データは、二重化を選択できません。

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込みの発生を許可 / 禁止します。グループ B のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ B のスキャン終了割り込みの関係を表 30.6 に示します。

表 30.6 各ユニットとグループ B のスキャン終了割り込みの関係

ユニット	グループ B のスキャン終了割り込み
S12AD	GBADI
S12AD1	GBADI1

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1 回目および以降の奇数回目の同期トリガで変換された結果と 2 回目および以降の偶数回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0 レジスタで指定したチャネルは無効となり、DBLANS[4:0] ビットで選択したチャネルが有効となります。ADSTRGR.TRSA[5:0] ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目および以降の奇数回目の同期トリガで変換した結果は、A/D データレジスタ y に格納され、2 回目および以降の偶数回目の同期トリガで変換した結果は、A/D データ二重化レジスタに格納されます。このとき、ADIE ビットが“1”に設定していると、1 回目および以降の奇数回目の変換終了時は割り込みを発生せず、2 回目および以降の偶数回目の変換終了時に割り込みを発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。さらに、自己診断機能、温度センサ出力の変換、および内部基準電圧の変換でも使用しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを“0”にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対して本ビットの設定が有効です。グループ B、グループ C は、本ビットの設定に依らず選択した同期トリガで A/D 変換を開始します。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B とグループ C を除く、A/D スキャン変換終了割り込みの発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、A/D スキャン変換終了割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目および以降の偶数回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば A/D スキャン変換終了割り込みが発生します。

ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADIE ビットが“1”にセットされていれば A/D スキャン変換終了割り込みが発生します。A/D スキャン変換終了割り込みは、ユニットごとに各 1 本あり、各ユニットと A/D スキャン変換終了割り込みの関係を表 30.7 に示します。

表 30.7 各ユニットと A/D スキャン変換終了割り込みの関係

ユニット	A/D スキャン変換終了割り込み
S12AD	S12ADI
S12AD1	S12ADI1

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0 レジスタで選択したアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA0 レジスタで選択したチャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0 レジスタで選択したチャンネルのアナログ入力（グループ A）を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また、同様に ADSTRGR.TRSB[5:0] ビット、ADGCTRGR.TRSC[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSB0 レジスタ、ADANSC0 レジスタで選択したチャンネルのアナログ入力（グループ B またはグループ C）を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの A/D 変換が終了すると停止します。

グループスキャンモードを選択する場合は、グループ A とグループ B とグループ C で異なるチャンネルと異なるトリガを選択してください。

グループスキャンモード設定時に 2 つのグループを使用する場合、グループ A とグループ B を使用してください（ADGCTRGR.GRCE ビット = 0）。また、3 つのグループを使用する場合、グループ A、グループ B とグループ C を使用してください（ADGCTRGR.GRCE ビット = 1）。

S12AD1 で温度センサ出力または内部基準電圧を選択する場合は、シングルスキャンモードを選択し、ADANSA0 レジスタでのチャンネル選択を全て非選択としてから A/D 変換を行います。選択した温度センサ出力および内部基準電圧の A/D 変換が終了すると停止します。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください（ADST ビットへの“1”書き込みと同時に設定もしないでください）。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[“1”になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードでADCSR.TRGE ビットに“1”を設定しADSTRGR.TRSB[5:0] ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B またはグループ C のトリガを検出し、グループ B またはグループ C の A/D 変換を開始したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B またはグループ C の A/D 変換を再開したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを“1”に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[“0”になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネル、温度センサ出力および内部基準電圧 (S12AD1 のみ) の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループスキャンモードでグループ C のスキャンが終了したとき
- グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、低優先グループのトリガによるスキャンが終了したとき

注． グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを“1”にしないでください。

注． グループ優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを“0”にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

注． グループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット = 1) した場合、ADST ビットは“1”を保持します。

30.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

(1) S12AD.ADANSA0

アドレス 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D 変換チャネル選択ビット	0 : AN000/PGAIN00 を変換対象から外す 1 : AN000/PGAIN00 を変換対象とする	R/W
b1	ANSA001		0 : AN001/PGAIN01 を変換対象から外す 1 : AN001/PGAIN01 を変換対象とする	R/W
b2	ANSA002		0 : AN002/PGAIN02 を変換対象から外す 1 : AN002/PGAIN02 を変換対象とする	R/W
b3	ANSA003		0 : AN003 を変換対象から外す 1 : AN003 を変換対象とする	R/W
b4	ANSA004		0 : AN004 を変換対象から外す 1 : AN004 を変換対象とする	R/W
b5	ANSA005		0 : AN005 を変換対象から外す 1 : AN005 を変換対象とする	R/W
b6	ANSA006		0 : AN006 を変換対象から外す 1 : AN006 を変換対象とする	R/W
b7	ANSA007		0 : AN007 を変換対象から外す 1 : AN007 を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSA0 レジスタは、A/D 変換を行うチャネルのアナログ入力 AN000/PGAIN00 ～ AN002/PGAIN02、AN003 ～ AN007 を選択するレジスタです。グループスキャンモードでは、グループ A のチャネルを選択します。

ANSA0n ビット (n = 00 ～ 07) (A/D 変換チャネル選択ビット)

A/D 変換を行うチャネルのアナログ入力 AN000/PGAIN00 ～ AN002/PGAIN02、AN003 ～ AN007 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。

ダブルトリガモードを選択した場合は、S12AD.ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSA0

アドレス 0008 9204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャネル選択ビット	0 : AN001/PGAIN01を変換対象から外す 1 : AN001/PGAIN01を変換対象とする	R/W
b1	ANSA001		0 : PGAIN02を変換対象から外す 1 : PGAIN02を変換対象とする	R/W
b2	ANSA002		0 : AN102を変換対象から外す 1 : AN102を変換対象とする	R/W
b3	ANSA003		0 : AN103を変換対象から外す 1 : AN103を変換対象とする	R/W
b4	ANSA004		0 : AN104を変換対象から外す 1 : AN104を変換対象とする	R/W
b5	ANSA005		0 : AN105を変換対象から外す 1 : AN105を変換対象とする	R/W
b6	ANSA006		0 : AN106を変換対象から外す 1 : AN106を変換対象とする	R/W
b7	ANSA007		0 : AN107を変換対象から外す 1 : AN107を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSA0 レジスタは、A/D変換を行うチャネルのアナログ入力 AN001/PGAIN01、PGAIN02、AN102～AN107を選択するレジスタです。グループスキャンモードでは、グループAのチャネルを選択します。

ANSA0n ビット (n = 00～07) (A/D変換チャネル選択ビット)

A/D変換を行うチャネルのアナログ入力 AN001/PGAIN01、PGAIN02、AN102～AN107の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。

温度センサ出力または内部基準電圧をA/D変換する場合は、アナログ入力チャネルを選択しないでください（本レジスタ設定値を“0000h”としてください）。

ダブルトリガモードを選択した場合は、S12AD1.ADCSR.DBLANS[4:0] ビットで選択した1チャネルがグループAの選択チャネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

30.2.5 A/D チャネル選択レジスタ B0 (ADANSB0)

(1) S12AD.ADANSB0

アドレス 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSB0 07	ANSB0 06	ANSB0 05	ANSB0 04	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D 変換チャネル選択ビット	0 : AN000/PGAIN00 を変換対象から外す 1 : AN000/PGAIN00 を変換対象とする	R/W
b1	ANSB001		0 : AN001/PGAIN01 を変換対象から外す 1 : AN001/PGAIN01 を変換対象とする	R/W
b2	ANSB002		0 : AN002/PGAIN02 を変換対象から外す 1 : AN002/PGAIN02 を変換対象とする	R/W
b3	ANSB003		0 : AN003 を変換対象から外す 1 : AN003 を変換対象とする	R/W
b4	ANSB004		0 : AN004 を変換対象から外す 1 : AN004 を変換対象とする	R/W
b5	ANSB005		0 : AN005 を変換対象から外す 1 : AN005 を変換対象とする	R/W
b6	ANSB006		0 : AN006 を変換対象から外す 1 : AN006 を変換対象とする	R/W
b7	ANSB007		0 : AN007 を変換対象から外す 1 : AN007 を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000/PGAIN00 ~ AN002/PGAIN02、AN003 ~ AN007 を選択するレジスタです。
S12AD.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00 ~ 07) (A/D 変換チャネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000/PGAIN00 ~ AN002/PGAIN02、AN003 ~ AN007 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD.ADANSA0 レジスタ、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル) 以外から設定します。

ANSB0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSB0

アドレス 0008 9214h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSB0 07	ANSB0 06	ANSB0 05	ANSB0 04	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャネル選択ビット	0 : AN001/PGAIN01を変換対象から外す 1 : AN001/PGAIN01を変換対象とする	R/W
b1	ANSB001		0 : PGAIN02を変換対象から外す 1 : PGAIN02を変換対象とする	R/W
b2	ANSB002		0 : AN102を変換対象から外す 1 : AN102を変換対象とする	R/W
b3	ANSB003		0 : AN103を変換対象から外す 1 : AN103を変換対象とする	R/W
b4	ANSB004		0 : AN104を変換対象から外す 1 : AN104を変換対象とする	R/W
b5	ANSB005		0 : AN105を変換対象から外す 1 : AN105を変換対象とする	R/W
b6	ANSB006		0 : AN106を変換対象から外す 1 : AN106を変換対象とする	R/W
b7	ANSB007		0 : AN107を変換対象から外す 1 : AN107を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN001/PGAIN01、PGAIN02、AN102 ～ AN107 を選択するレジスタです。

S12AD1.ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00 ～ 07) (A/D 変換チャネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN001/PGAIN01、PGAIN02、AN102 ～ AN107 の選択を行います。S12AD1.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル (S12AD1.ADANSA0 レジスタ、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャネル) 以外から設定します。

ANSB0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

30.2.6 A/D チャネル選択レジスタ C0 (ADANSC0)

(1) S12AD.ADANSC0

アドレス 0008 90D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSC0 07	ANSC0 06	ANSC0 05	ANSC0 04	ANSC0 03	ANSC0 02	ANSC0 01	ANSC0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D 変換チャネル選択ビット	0 : AN000/PGAIN00 を変換対象から外す 1 : AN000/PGAIN00 を変換対象とする	R/W
b1	ANSC001		0 : AN001/PGAIN01 を変換対象から外す 1 : AN001/PGAIN01 を変換対象とする	R/W
b2	ANSC002		0 : AN002/PGAIN02 を変換対象から外す 1 : AN002/PGAIN02 を変換対象とする	R/W
b3	ANSC003		0 : AN003 を変換対象から外す 1 : AN003 を変換対象とする	R/W
b4	ANSC004		0 : AN004 を変換対象から外す 1 : AN004 を変換対象とする	R/W
b5	ANSC005		0 : AN005 を変換対象から外す 1 : AN005 を変換対象とする	R/W
b6	ANSC006		0 : AN006 を変換対象から外す 1 : AN006 を変換対象とする	R/W
b7	ANSC007		0 : AN007 を変換対象から外す 1 : AN007 を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000/PGAIN00 ~ AN002/PGAIN02、AN003 ~ AN007 を選択するレジスタです。
S12AD.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (n = 00 ~ 07) (A/D 変換チャネル選択ビット)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN000/PGAIN00 ~ AN002/PGAIN02、AN003 ~ AN007 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。

ANSC0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADANSC0

アドレス 0008 92D4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSC0 07	ANSC0 06	ANSC0 05	ANSC0 04	ANSC0 03	ANSC0 02	ANSC0 01	ANSC0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSC000	A/D変換チャネル選択ビット	0 : AN001/PGAIN01を変換対象から外す 1 : AN001/PGAIN01を変換対象とする	R/W
b1	ANSC001		0 : PGAIN02を変換対象から外す 1 : PGAIN02を変換対象とする	R/W
b2	ANSC002		0 : AN102を変換対象から外す 1 : AN102を変換対象とする	R/W
b3	ANSC003		0 : AN103を変換対象から外す 1 : AN103を変換対象とする	R/W
b4	ANSC004		0 : AN104を変換対象から外す 1 : AN104を変換対象とする	R/W
b5	ANSC005		0 : AN105を変換対象から外す 1 : AN105を変換対象とする	R/W
b6	ANSC006		0 : AN106を変換対象から外す 1 : AN106を変換対象とする	R/W
b7	ANSC007		0 : AN107を変換対象から外す 1 : AN107を変換対象とする	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADANSC0 レジスタは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN001/PGAIN01、PGAIN02、AN102 ～ AN107 を選択するレジスタです。

S12AD1.ADANSC0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSC0n ビット (n = 00 ～ 07) (A/D 変換チャネル選択ビット)

グループスキャンモード選択時にグループ C で A/D 変換を行うチャネルのアナログ入力 AN001/PGAIN01、PGAIN02、AN102 ～ AN107 の選択を行います。S12AD1.ADANSC0 レジスタは他のスキャンモードでは使用しません。

ANSC0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

30.2.7 A/D 変換値加算 / 平均機能チャネル選択レジスタ 0 (ADADS0)

(1) S12AD.ADADS0

アドレス 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D 変換値加算 / 平均チャネル選択ビット	0 : AN000/PGAIN00のA/D変換値加算 / 平均モード非選択 1 : AN000/PGAIN00のA/D変換値加算 / 平均モード選択	R/W
b1	ADS001		0 : AN001/PGAIN01のA/D変換値加算 / 平均モード非選択 1 : AN001/PGAIN01のA/D変換値加算 / 平均モード選択	R/W
b2	ADS002		0 : AN002/PGAIN02のA/D変換値加算 / 平均モード非選択 1 : AN002/PGAIN02のA/D変換値加算 / 平均モード選択	R/W
b3	ADS003		0 : AN003のA/D変換値加算 / 平均モード非選択 1 : AN003のA/D変換値加算 / 平均モード選択	R/W
b4	ADS004		0 : AN004のA/D変換値加算 / 平均モード非選択 1 : AN004のA/D変換値加算 / 平均モード選択	R/W
b5	ADS005		0 : AN005のA/D変換値加算 / 平均モード非選択 1 : AN005のA/D変換値加算 / 平均モード選択	R/W
b6	ADS006		0 : AN006のA/D変換値加算 / 平均モード非選択 1 : AN006のA/D変換値加算 / 平均モード選択	R/W
b7	ADS007		0 : AN007のA/D変換値加算 / 平均モード非選択 1 : AN007のA/D変換値加算 / 平均モード選択	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算（積算）、または平均する A/D 変換チャネル AN000/PGAIN00 ～ AN002/PGAIN02、AN003 ～ AN007 を選択します。

ADS0n ビット (n = 00 ～ 07) (A/D 変換値加算 / 平均チャネル選択ビット)

S12AD.ADANSA0.ANSA0n ビット (n = 00 ～ 07)、または S12AD.ADCSR.DBLANS[4:0] ビットと S12AD.ADANSB0.ANSB0n ビットで選択した A/D 変換チャネルと同一番号の ADS0n ビットを“1”にすると、S12AD.ADADC.ADC[2:0] ビットで設定した回数（2 ～ 4、16 回）分、選択したチャネルのアナログ入力を連続して A/D 変換し、S12AD.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD.ADCSR.ADST ビットが“0”のときに設定してください。

(2) S12AD1.ADADS0

アドレス 0008 9208h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D 変換値加算 / 平均チャンネル選択ビット	0 : AN001/PGAIN01のA/D 変換値加算 / 平均モード非選択 1 : AN001/PGAIN01のA/D 変換値加算 / 平均モード選択	R/W
b1	ADS001		0 : PGAIN02のA/D 変換値加算 / 平均モード非選択 1 : PGAIN02のA/D 変換値加算 / 平均モード選択	R/W
b2	ADS002		0 : AN102のA/D 変換値加算 / 平均モード非選択 1 : AN102のA/D 変換値加算 / 平均モード選択	R/W
b3	ADS003		0 : AN103のA/D 変換値加算 / 平均モード非選択 1 : AN103のA/D 変換値加算 / 平均モード選択	R/W
b4	ADS004		0 : AN104のA/D 変換値加算 / 平均モード非選択 1 : AN104のA/D 変換値加算 / 平均モード選択	R/W
b5	ADS005		0 : AN105のA/D 変換値加算 / 平均モード非選択 1 : AN105のA/D 変換値加算 / 平均モード選択	R/W
b6	ADS006		0 : AN106のA/D 変換値加算 / 平均モード非選択 1 : AN106のA/D 変換値加算 / 平均モード選択	R/W
b7	ADS007		0 : AN107のA/D 変換値加算 / 平均モード非選択 1 : AN107のA/D 変換値加算 / 平均モード選択	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S12AD1.ADADS0 レジスタは、A/D 変換を連続 2 ～ 4、16 回実施して加算（積算）、または平均する A/D 変換チャンネル AN001/PGAIN01、PGAIN02、AN102 ～ AN107 を選択します。

ADS0n ビット (n = 00 ～ 07) (A/D 変換値加算 / 平均チャンネル選択ビット)

S12AD1.ADANSA0.ANSA0n ビット (n = 00 ～ 07)、または S12AD1.ADCSR.DBLANS[4:0] ビットと S12AD1.ADANSB0.ANSB0n ビット、S12AD1.ADANSC0.ANSC0n ビットで選択した A/D 変換チャンネルと同一番号の ADS0n ビットを“1”にすると、S12AD1.ADADC.ADC[2:0] ビットで設定した回数（2 ～ 4、16 回）分、選択したチャンネルのアナログ入力を連続して A/D 変換し、S12AD1.ADADC.AVEE ビットが“0”の場合、加算（積算）した値を、S12AD1.ADADC.AVEE ビットが“1”の場合、加算（積算）値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS0n ビットは、S12AD1.ADCSR.ADST ビットが“0”のときに設定してください。

図 30.2 に S12AD.ADADS0.ADS002 と S12AD.ADADS0.ADS006 ビットを“1”にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (S12AD.ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (S12AD.ADADC.AVEE = 0)、加算回数は3回に設定 (S12AD.ADADC.ADC[2:0] = 011b)、AN000 ~ AN007 が選択 (S12AD.ADANSA0.ANSA0n = FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は4回連続変換 (3回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で4回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

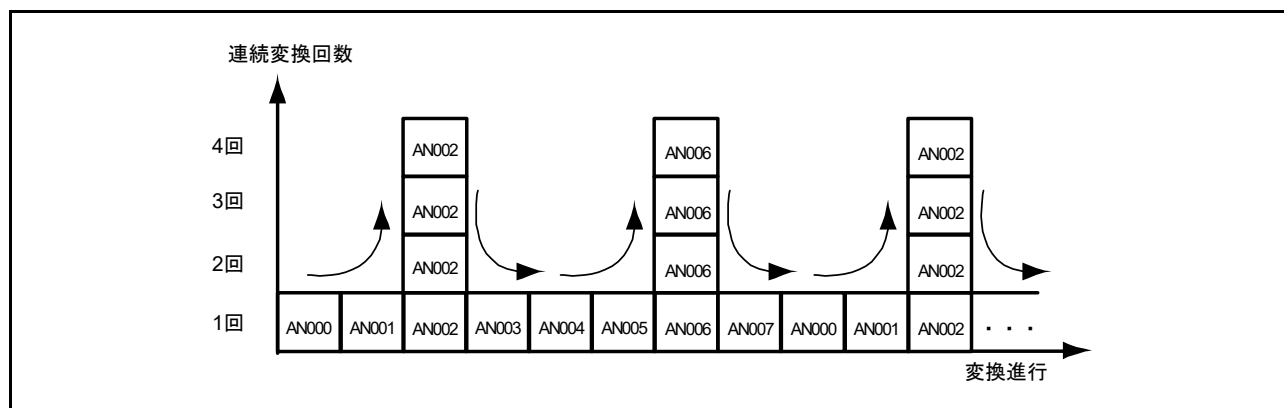


図 30.2 S12AD.ADADC.ADC[2:0] = 011b, S12AD.ADADC.AVEE = 0, S12AD.ADADS0.ADS002 = 1, S12AD.ADADS0.ADS006 = 1 選択時のスキャン変換シーケンス

30.2.8 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch, S12AD1.ADADC 0008 920Ch

b7	b6	b5	b4	b3	b2	b1	b0
AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 0 0 0 : 1回変換（加算なし。通常変換と同じ） 0 0 1 : 2回変換（1回加算を行う） 0 1 0 : 3回変換（2回加算を行う）（注1） 0 1 1 : 4回変換（3回加算を行う） 1 0 1 : 16回変換（15回加算を行う）（注1） 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. AVEE ビットは、2回変換、4回変換の時にのみ有効です。平均モードを選択した場合（ADADC.AVEE = 1）、3回変換（ADADC.ADC[2:0] = 010b）および16回変換（ADADC.ADC[2:0] = 101b）に設定しないでください。

ADADC レジスタは、A/D 変換値加算 / 平均モードが選択されたチャネル、温度センサ出力、内部基準電圧（S12AD1 のみ）の A/D 変換に対して加算回数の設定と、加算モード / 平均モードの選択を行います。

ADC[2:0] ビット（加算回数選択ビット）

ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算 / 平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して共通の加算回数を設定します。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1 回変換（ADADC.ADC[2:0] = 000b）、3 回変換（ADADC.ADC[2:0] = 010b）および 16 回変換（ADADC.ADC[2:0] = 101b）に設定しないでください。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

AVEE ビット（平均モードイネーブルビット）

ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算 / 平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEE ビットを“1”にして平均モードを選択する場合、1 回変換（ADADC.ADC[2:0] = 000b）、3 回変換（ADADC.ADC[2:0] = 010b）および 16 回変換（ADADC.ADC[2:0] = 101b）に設定しないでください。1 回、3 回および 16 回変換の平均値を求めることはできません。

AVEE ビットの設定は、ADCSR.ADST ビットが“0”のときに設定してください。

30.2.9 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh, S12AD1.ADCER 0008 920Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/D データレジスタ自動クリアイネーブルビット	0 : 自動クリアを禁止 1 : 自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0 : 自己診断電圧固定モード時は設定禁止 0 1 : 0Vの電圧を使って自己診断を行う 1 0 : 基準電源×1/2の電圧を使って自己診断を行う(注1) 1 1 : 基準電源の電圧を使って自己診断を行う(注1)	R/W
b10	DIAGLD	自己診断モード選択ビット	0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット(注2)	0 : 12ビットA/Dコンバータの自己診断を実施しない 1 : 12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/D データレジスタフォーマット選択ビット	0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	R/W

注1. 基準電圧とはADHVREFCNTレジスタで選択した端子の電圧を意味します。

注2. 本ビットを“1”にした場合は、ADDISCRレジスタを“00h”（断線検出アシスト機能無効）にしてください。

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU, DTC によって ADDRy, ADDR, ADDBLDR, ADDBLDRA, ADDBLDRB, ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

ADCER.DIAGLD ビットを“0”にすると 0V → 基準電源×1/2 → 基準電源の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は 0V から自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても 0V に戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断

電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST が“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12 ビット A/D コンバータの故障を検出するための機能です。内部で生成する 0V、基準電源 × 1/2、基準電源の 3 つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアで ADRD レジスタを読み出し、変換値が正常の範囲にある (正常) かない (異常) かを判断します。自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B とグループ C のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

ADDRy, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR, ADRD レジスタに格納するデータの右詰め / 左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「30.2.1 A/D データレジスタ y (ADDRy) (y = 0 ~ 7)、A/D データ二重化レジスタ (ADDBLDR)、A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB)、A/D 温度センサデータレジスタ (ADTSDR)、A/D 内部基準電圧データレジスタ (ADOCDR)」、「30.2.2 A/D 自己診断データレジスタ (ADRD)」を参照してください。

30.2.10 A/D 変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h, S12AD1.ADSTRGR 0008 9210h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	TRSA[5:0]					—	—	TRSB[5:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D 変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”に設定してください。

グループスキャンモードのグループ優先動作時に、2 グループを選択 (ADGCTRGR.GRCE = 0) した場合、ADGSPCR.GBRP ビットを“1”に設定することで、グループBをシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを“1”に設定する場合は、TRSB[5:0] ビットを“3Fh”に設定してください。なお、A/D 変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに PCLKB 動作モジュール (MTU, GPTW, TMR) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「30.3.8 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 30.8 に TRSA[5:0]、TRSB[5:0]、TRSC[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D 変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ADCSR.TRGE ビットを“1”に設定してください。

- 同期トリガの A/D 変換起動要因を使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGE ビットを“1”に設定し、かつ ADCSR.EXTRG ビットを“1”に設定してください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]

ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによる A/D 変換が無効となる場合があります。A/D 変換開始トリガに PCLKB 動作モジュール (MTU, GPTW, TMR) からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「30.3.8 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表 30.8 に TRSA[5:0]、TRSB[5:0]、TRSC[5:0] ビットでの A/D 起動要因選択一覧を示します。

30.2.11 A/D 変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD1.ADEXICR 0008 9212h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力 A/D 変換値加算/平均モード選択ビット	0 : 温度センサ出力 A/D 変換値加算/平均モード非選択 1 : 温度センサ出力 A/D 変換値加算/平均モード選択	R/W
b1	OCSAD	内部基準電圧 A/D 変換値加算/平均モード選択ビット	0 : 内部基準電圧 A/D 変換値加算/平均モード非選択 1 : 内部基準電圧 A/D 変換値加算/平均モード選択	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	TSSA	温度センサ出力 A/D 変換選択ビット(注1)	0 : 温度センサ出力を A/D 変換しない 1 : 温度センサ出力を A/D 変換する	R/W
b9	OCSA	内部基準電圧 A/D 変換選択ビット(注1)	0 : 内部基準電圧を A/D 変換しない 1 : 内部基準電圧を A/D 変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 本ビットを“1”にした場合は、ADCER.DIAGM ビットを“0”（自己診断を実施しない）にしてください。

ADEXICR レジスタは、温度センサ出力 / 内部基準電圧の A/D 変換の設定をします。

TSSAD ビット（温度センサ出力 A/D 変換値加算 / 平均モード選択ビット）

温度センサ出力の A/D 変換を選択し、TSSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数（2～4、16 回）分、温度センサ出力を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算（積算）した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 温度センサデータレジスタ（ADTSDR）に格納します。TSSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

OCSAD ビット（内部基準電圧 A/D 変換値加算 / 平均モード選択ビット）

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数（2～4、16 回）分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算（積算）した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 内部基準電圧データレジスタ（ADOCDR）に格納します。

OCSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

TSSA ビット（温度センサ出力 A/D 変換選択ビット）

シングルスキャンモードでの温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADANSA0 レジスタ、ADANSB0 レジスタの全ビットと ADCSR.DBLE ビット、OCSA ビットのすべてに“0”を設定し、シングルスキャンモードで実行してください。TSSA ビットの設定は、ADST ビットが“0”のときに行ってください。温度センサ出力の A/D 変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。

TSSA ビットを“1”にすると、温度センサが自動的に起動します。TSSA ビットを“1”にしてから、温度センサの起動時間を待って A/D 変換を開始してください。起動時間は「38. 電気的特性」の表 38.56 を参照してください。

温度センサ出力の A/D 変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間（15 ADCLK）がサンプリング前に挿入されます。

OCSA ビット（内部基準電圧 A/D 変換選択ビット）

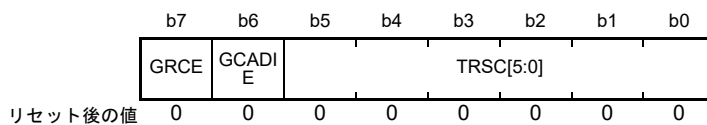
シングルスキャンモードでの内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場合は、ADANSA0 レジスタ、ADANSB0 レジスタの全ビットと ADCSR.DBLE ビットの全てに“0”を設定し、シングルスキャンモードで実行してください。OCSA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。内部基準電圧の A/D 変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。

OCSA ビットを“1”にしてから、内部基準電圧の出力安定時間を待って A/D 変換を開始してください。内部基準電圧の出力安定時間は「38. 電気的特性」の表 38.52 を参照してください。

内部基準電圧の A/D 変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間（15 ADCLK）がサンプリング前に挿入されます。

30.2.12 A/D グループ C トリガ選択レジスタ (ADGCTRGR)

アドレス S12AD.ADGCTRGR 0008 90D9h, S12AD1.ADGCTRGR 0008 92D9h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSC[5:0]	グループC専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループCのA/D変換開始トリガを選択します	R/W
b6	GCADIE	グループCスキャン終了割り込み許可ビット	0: グループCのスキャン終了後に割り込み発生を禁止 1: グループCのスキャン終了後に割り込み発生を許可	R/W
b7	GRCE	グループC専用A/D変換動作許可ビット	グループCのA/D変換動作許可を設定します 0: グループCを使用しない 1: グループCを使用する	R/W

ADGCTRGR レジスタは、グループCの動作許可設定とA/D変換開始トリガを選択します。グループ優先動作の設定は、表 30.14、表 30.15 を参照してください。

TRSC[5:0] ビット（グループC専用A/D変換開始トリガ選択ビット）

グループCで選択したアナログ入力のスキャンを開始するトリガの選択を行います。TRSC[5:0] ビットはグループスキャンモードでのみ使用可能なビットで、他のスキャンモードでは使用しません。グループCのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガは設定できません。グループスキャンモードでグループCを使用する場合は、TRSC[5:0] ビットを“000000b”以外に設定し、ADCSR.TRGE ビットを“1”、GRCE ビットを“1”に設定してください。

グループスキャンモードのグループ優先制御時にグループCを使用し、ADGSPCR.GBRP ビットを“1”に設定することで、グループCをシングルスキャンモードで連続動作させることができます。グループCをシングルスキャンモードで連続動作させる場合は、TRSC[5:0] ビットを“3Fh”に設定し、トリガ選択を無効にしてください。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間（ t_{SCAN} ）以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガにPCLKB動作モジュール（MTU, GPTW, TMR）からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「30.3.8 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 30.8 に TRSA[5:0]、TRSB[5:0]、TRSC[5:0] ビットでのA/D起動要因選択一覧を示します。

表 30.8 TRSA[5:0]、TRSB[5:0]、TRSC[5:0] ビットでのA/D起動要因選択一覧

発生元	開始要因	備考	ダブルトリガ拡張 モード対応	TRSx[5:0] (x = A, B, C)						
				2進数表記						16進数表記
				b5	b4	b3	b2	b1	b0	
トリガ要因非選択状態			—	1	1	1	1	1	1	3F
MTU3	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	—	0	0	0	0	0	1	1
	TRG0N	MTU0.TGREのコンペアマッチ	—	0	0	1	0	0	0	8
	TRG0AEN	MTU0.TGRAのコンペアマッチ/インプットキャプチャと、MTU0.TGREのコンペアマッチ	—	1	0	0	0	1	0	22
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	—	0	0	0	0	1	0	2
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	—	0	0	0	0	1	1	3
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	—	0	0	0	1	0	0	4
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー（谷）	—	0	0	0	1	0	1	5
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	—	0	0	1	0	0	1	9
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	—	0	0	1	0	1	0	A
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ（割り込み間引き機能2を使用時）	—	0	0	1	1	0	0	C
	TRGA0N またはTRG0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ、またはMTU0.TGREのコンペアマッチ	✓	0	1	1	1	0	0	1C
TRG4AN またはTRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、または、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	✓	0	0	1	0	1	1	B	
GPTW	GTADTRA0N	GPTW0.GTADTRAのコンペアマッチ	—	0	1	0	0	0	1	11
	GTADTRB0N	GPTW0.GTADTRBのコンペアマッチ	—	0	1	0	0	1	0	12
	GTADTRA1N	GPTW1.GTADTRAのコンペアマッチ	—	0	1	0	0	1	1	13
	GTADTRB1N	GPTW1.GTADTRBのコンペアマッチ	—	0	1	0	1	0	0	14
	GTADTRA2N	GPTW2.GTADTRAのコンペアマッチ	—	0	1	0	1	0	1	15
	GTADTRB2N	GPTW2.GTADTRBのコンペアマッチ	—	0	1	0	1	1	0	16
	GTADTRA0N またはGTADTRB0N	GPTW0.GTADTRAのコンペアマッチまたはGPTW0.GTADTRBのコンペアマッチ	✓	0	1	1	0	0	1	19
	GTADTRA1N またはGTADTRB1N	GPTW1.GTADTRAのコンペアマッチまたはGPTW1.GTADTRBのコンペアマッチ	✓	0	1	1	0	1	0	1A
	GTADTRA2N またはGTADTRB2N	GPTW2.GTADTRAのコンペアマッチまたはGPTW2.GTADTRBのコンペアマッチ	✓	0	1	1	0	1	1	1B
	GTADTRA0N またはGTADTRB0N またはGTADTRA1N またはGTADTRB1N	GPTW0.GTADTRAのコンペアマッチまたはGPTW0.GTADTRBのコンペアマッチまたはGPTW1.GTADTRAのコンペアマッチまたはGPTW1.GTADTRBのコンペアマッチ	✓	1	0	1	0	1	0	2A
	GTADTRA0N またはGTADTRB0N またはGTADTRA1N またはGTADTRB1N またはGTADTRA2N またはGTADTRB2N	GPTW0.GTADTRAのコンペアマッチまたはGPTW0.GTADTRBのコンペアマッチまたはGPTW1.GTADTRAのコンペアマッチまたはGPTW1.GTADTRBのコンペアマッチまたはGPTW2.GTADTRAのコンペアマッチまたはGPTW2.GTADTRBのコンペアマッチ	✓	1	0	1	0	0	1	29
TMR	TMTRG0AN_0	TMR0.TCORAとTMR0.TCNTのコンペアマッチ	—	0	1	1	1	0	1	1D
	TMTRG0AN_1	TMR2.TCORAとTMR2.TCNTのコンペアマッチ	—	0	1	1	1	1	0	1E

GCADIE ビット（グループ C スキャン終了割り込み許可ビット）

グループスキャンモードでのグループ C のスキャン終了割り込みの発生を許可 / 禁止します。グループ C のスキャン終了割り込みはユニットごとに各 1 本あり、各ユニットとグループ C のスキャン終了割り込みの関係を表 30.9 に示します。

表 30.9 各ユニットとグループ C のスキャン終了割り込みの関係

ユニット	グループ C のスキャン終了割り込み
S12AD	GCADI
S12AD1	GCADI1

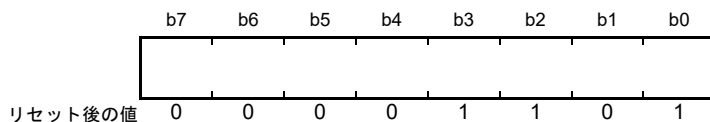
GRCE ビット（グループ C 専用 A/D 変換動作許可ビット）

グループスキャンモードでグループ C を使用する場合は、GRCE ビットを“1”にしてください。GRCE ビットが“0”の場合は、グループ C のトリガ入力が無効となります。グループ C を使用したグループ優先動作（ADGSPCR.PGS ビットが“1”）で、ADGSPCR.GBRP ビットを“1”とすると、グループ C がシングルスキャンの連続動作を行います。（GRCE ビットを“1”にするとグループ B はシングルスキャンの連続動作を行いません）

GRCE ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

30.2.13 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, T, O)

アドレス S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h,
S12AD.ADSSTR6 0008 90E6h, S12AD.ADSSTR7 0008 90E7h, S12AD1.ADSSTR0 0008 92DEh,
S12AD1.ADSSTR1 0008 92DFh, S12AD1.ADSSTR2 0008 92E0h, S12AD1.ADSSTR3 0008 92E1h,
S12AD1.ADSSTR4 0008 92E2h, S12AD1.ADSSTR5 0008 92E3h, S12AD1.ADSSTR6 0008 92E4h,
S12AD1.ADSSTR7 0008 92E5h, S12AD1.ADSSTR8 0008 92E6h, S12AD1.ADSSTR9 0008 92E7h



ADSSTRn レジスタは、アナログ入力のスAMPLING時間の設定を行います。

サンプリング時間は ADCLK (A/D 変換クロック) のクロック数で設定します。

サンプリング時間 (t_{SPL}) は以下の式で求められます。

$$t_{SPL} = (ADSSTR + 0.5) \times ADCLK$$

ADSSTR 初期値は 13 で、サンプリング時間は 13.5 クロックです。

アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。ADSSTRn レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。

本レジスタの設定値は 10 以上の値にしてください。

表 30.10 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

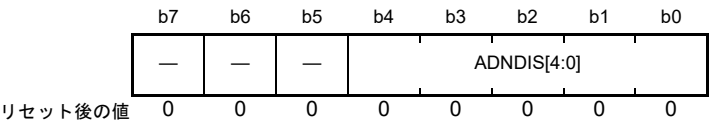
詳細は、「30.3.8 アナログ入力のスAMPLING時間とスキャン変換時間」を参照してください。

表30.10 A/Dサンプリングステートレジスタと対象チャネルの関係

ユニット	レジスタ名	対象チャネル
S12AD	ADSSTR0 レジスタ	AN000/PGAIN00、自己診断
	ADSSTR1 レジスタ	AN001/PGAIN01
	ADSSTR2 レジスタ	AN002/PGAIN02
	ADSSTR3 レジスタ	AN003
	ADSSTR4 レジスタ	AN004
	ADSSTR5 レジスタ	AN005
	ADSSTR6 レジスタ	AN006
	ADSSTR7 レジスタ	AN007
S12AD1	ADSSTR0 レジスタ	AN001/PGAIN01、自己診断
	ADSSTR1 レジスタ	PGAIN02
	ADSSTR2 レジスタ	AN102
	ADSSTR3 レジスタ	AN103
	ADSSTR4 レジスタ	AN104
	ADSSTR5 レジスタ	AN105
	ADSSTR6 レジスタ	AN106
	ADSSTR7 レジスタ	AN107
	ADSSTRT レジスタ	温度センサ出力
	ADSSTRO レジスタ	内部基準電圧

30.2.14 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah, S12AD1.ADDISCR 0008 927Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	A/D断線検出アシスト設定ビット	b4 ADNDIS[4] : ディスチャージ/プリチャージの選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : ディスチャージ/プリチャージ期間	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b, 0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のクロック数となります。ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

温度センサ出力または内部基準電圧を A/D 変換するために、ADEXICR.OCSA もしくは TSSA ビットを“1”にすると、ADNDIS[4:0] を自動的に“0Fh”に固定し、A/D 変換に先立ちディスチャージする設定（オートディスチャージ）となります。温度センサ出力または内部基準電圧を A/D 変換するたびに、オートディスチャージ期間（15 ADCLK）がサンプリング前に挿入されます。

30.2.15 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h, S12AD1.ADGSPCR 0008 9280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループ優先制御設定ビット (注1)	0 : グループの優先制御動作を行わない 1 : グループの優先制御動作を行う	R/W
b1	GBRSCN	低優先グループ再起動設定ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0 : グループ優先制御で中断されたグループの再起動をしない 1 : グループ優先制御で中断されたグループの再起動をする	R/W
b13-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	LGRRS	再開チャンネル選択ビット	(PGS = 1かつ GBRSCN = 1のときのみ有効。PGS = 0または GBRSCN = 0のときは予約ビット) 0 : スキャン先頭チャンネルから再スキャンを行う 1 : A/D変換が未終了チャンネルから再スキャンを行う	R/W
b15	GBRP	シングルスキャン連続起動設定ビット (注3)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0 : シングルスキャン連続動作しない 1 : 最も優先度の低いグループのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”（グループスキャンモード）に設定してください。それ以外の設定をした場合、動作は保証されません。

注2. GBRSCNビットを“1”にする場合は、周辺モジュールクロックPCLKとA/D変換クロックADCLKの周波数比を1 : 1にしてください。

注3. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、最も優先度の低いグループのシングルスキャン連続動作を実行します。

ADGSPCR レジスタは、グループスキャンモードで低優先グループのスキャンを中断し、優先グループのスキャンを実行する優先制御を設定するレジスタです。グループ優先動作の設定は、表 30.14、表 30.15 を参照してください。

PGS ビット（グループ優先制御設定ビット）

グループスキャンモードでの優先動作を制御します。グループ優先制御動作を行うときに“1”を設定してください。

PGS ビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b”（グループスキャンモード）に設定してください。

グループ優先動作は、低優先グループのスキャン中に優先グループのスキャン開始を受け付け、低優先グループのスキャンを中断して優先グループのスキャンを開始します。優先順位は、グループ A > グループ B > グループ C の順です。グループ C のスキャン中にグループ B のスキャン開始を受け付けると、グループ C のスキャンを中断し、グループ B のスキャンを開始します。また、グループ C のスキャン中にグループ A のスキャン開始を受け付けるとグループ C のスキャンを中断し、グループ A のスキャンを開始します。同様にグループ B のスキャン中にグループ A のスキャン開始を受け付けると、グループ B のスキャンを中断し、グループ A のスキャンを開始します。

PGS ビットを“0”にする場合は、「30.7.2 A/D 変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを“1”にする場合は、「30.3.6.3 グループ優先制御動作」の手順に従い設定を行ってください。

GBRSCN ビット (低優先グループ再起動設定ビット)

グループ優先制御時の、再スキャン動作を設定します。

GBRSCN ビットを“1”にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを“0”にした場合は、A/D 変換実行中に入力されたトリガは無視されます。また、GBRSCN ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

GBRSCN ビットの設定は、PGS ビットが“1”のときに有効となります。

LGRRS ビット (再開チャンネル選択ビット)

グループ優先動作時の、再スキャン開始チャンネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが“1”のときに有効となります。

LGRRS ビットが“0”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後のスキャンを先頭チャンネルから再実行します。

LGRRS ビットが“1”のとき、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後の再スキャンを A/D 変換未終了のチャンネルから再実行(注1)します。

LGRRS ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

注 1. 中断時に加算設定チャンネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャンネルは再度 A/D 変換を設定回数分実行します。

GBRP ビット (シングルスキャン連続起動設定ビット)

グループ優先動作設定で最も優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。最も優先度の低いグループとは、グループ A, B, C を使用する場合はグループ C、グループ A, B のみを使用する場合は、グループ B になります。

GBRP ビットを“1”にすると、最も優先度の低いグループのシングルスキャンが起動します。スキャン終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、自動的に最も優先度の低いグループのシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前に最も優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを“1”に設定した場合、GBRSCN ビットが“0”でも、最も優先度の低いグループのみ再スキャンを行います。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

30.2.16 A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス S12AD.ADHVREFCNT 0008 908Ah, S12AD1.ADHVREFCNT 0008 928Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	LVSEL	—	—	HVSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	HVSEL[1:0]	高電位側基準電圧選択ビット	b1 b0 0 0 : 高電位側基準電圧にVCCを選択 0 1 : 高電位側基準電圧にVREFH0を選択(注1) 上記以外は設定しないでください	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LVSEL	低電位側基準電圧選択ビット	0 : 低電位側基準電圧にVSSを選択 1 : 低電位側基準電圧にVREFL0を選択(注1)	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. P13、P14端子をアナログ入出力端子（PORT1.PMR.B3 = 0, PORT1.PMR.B4 = 0, PORT1.PDR.B3 = 0, PORT1.PDR.B4 = 0, P13PFS.ASEL = 1, P14PFS.ASEL = 1）に設定してください。

ADHVREFCNT レジスタは、高電位 / 低電位基準電圧の設定を行います。A/D 変換前に設定してください。

HVSEL[1:0] ビット（高電位側基準電圧選択ビット）

高電位側基準電圧の設定を行います。VCC、VREFH0 から選択できます。

LVSEL ビット（低電位側基準電圧選択ビット）

低電位側基準電圧の設定を行います。VSS、VREFL0 から選択できます。

30.3 動作説明

30.3.1 A/Dコンバータの初期設定フロー

図 30.3 に A/D コンバータの初期設定フローを示します。

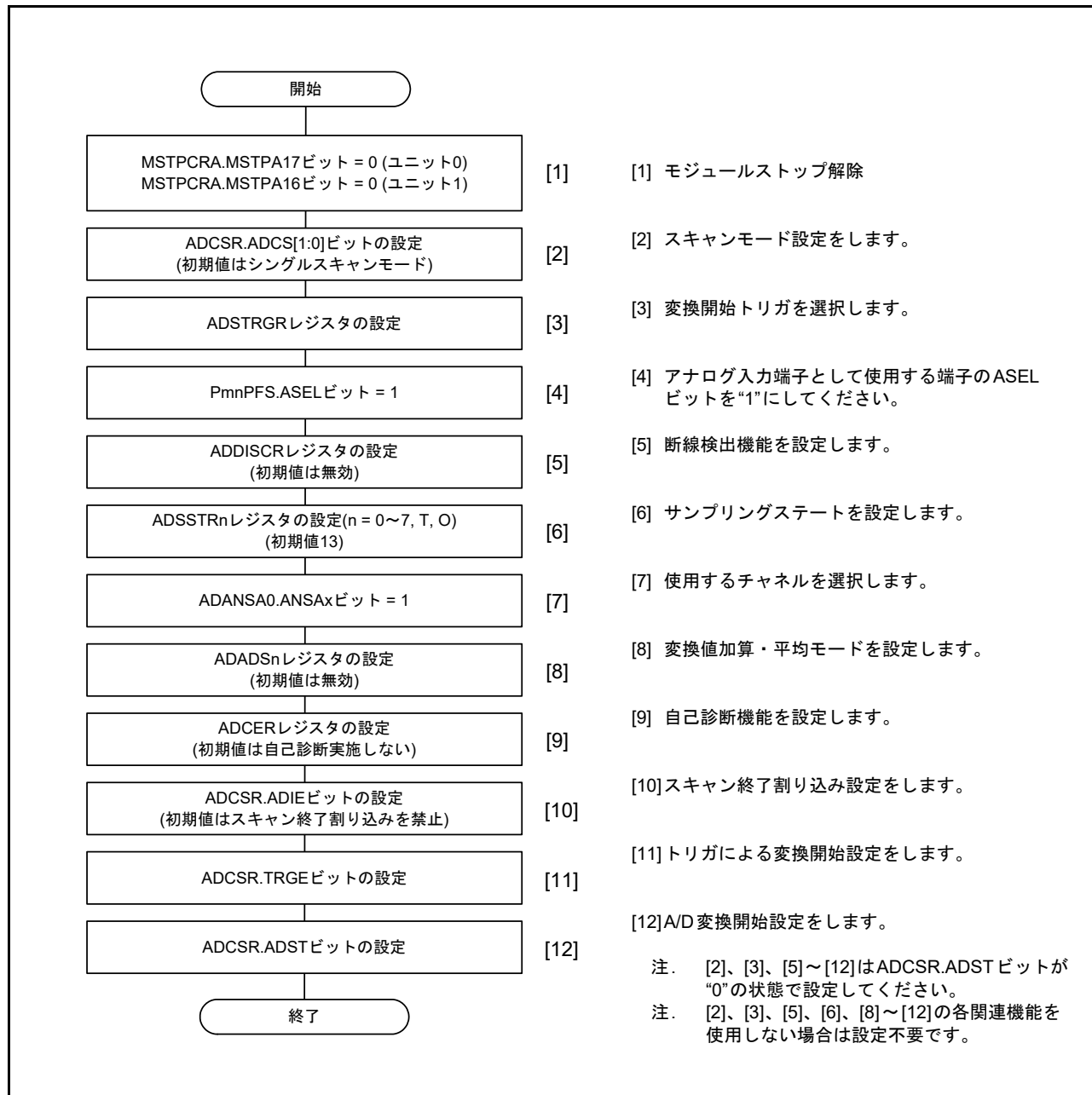


図 30.3 A/D コンバータの初期設定フロー

30.3.2 A/D コンバータの各ユニット、アナログ入力と A/D 変換結果の格納先

A/D コンバータの各ユニット、アナログ入力と A/D 変換結果の格納先レジスタの対応は表 30.11 のようになっています。

表 30.11 アナログ入力の設定と A/D 変換結果格納先

入力選択設定				変換結果格納先
A/D の ユニット	入力チャンネル	A/D チャンネル選択レジスタ (n = A, B, C)	PGA設定	
ユニット0	AN000	S12AD.ADANSn0.ANSn000 = 1	PGA0.PGA0EN = 0	S12AD.ADDR0
	PGAIN00		PGA0.PGA0EN = 1	
	AN001	S12AD.ADANSn0.ANSn001 = 1	PGA0.PGA1EN = 0	S12AD.ADDR1
	PGAIN01		PGA0.PGA1EN = 1	
	AN002	S12AD.ADANSn0.ANSn002 = 1	PGA0.PGA2EN = 0	S12AD.ADDR2
	PGAIN02		PGA0.PGA2EN = 1	
	AN003	S12AD.ADANSn0.ANSn003 = 1	—	S12AD.ADDR3
	AN004	S12AD.ADANSn0.ANSn004 = 1	—	S12AD.ADDR4
	AN005	S12AD.ADANSn0.ANSn005 = 1	—	S12AD.ADDR5
	AN006	S12AD.ADANSn0.ANSn006 = 1	—	S12AD.ADDR6
	AN007	S12AD.ADANSn0.ANSn007 = 1	—	S12AD.ADDR7
ユニット1	AN001	S12AD1.ADANSn0.ANSn000 = 1	PGA0.PGA1EN = 0	S12AD1.ADDR0
	PGAIN01		PGA0.PGA1EN = 1	
	—	S12AD1.ADANSn0.ANSn001 = 1	PGA0.PGA2EN = 0	—
	PGAIN02		PGA0.PGA2EN = 1	S12AD1.ADDR1
	AN102	S12AD1.ADANSn0.ANSn002 = 1	—	S12AD1.ADDR2
	AN103	S12AD1.ADANSn0.ANSn003 = 1	—	S12AD1.ADDR3
	AN104	S12AD1.ADANSn0.ANSn004 = 1	—	S12AD1.ADDR4
	AN105	S12AD1.ADANSn0.ANSn005 = 1	—	S12AD1.ADDR5
	AN106	S12AD1.ADANSn0.ANSn006 = 1	—	S12AD1.ADDR6
	AN107	S12AD1.ADANSn0.ANSn007 = 1	—	S12AD1.ADDR7

30.3.3 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”) にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B とグループ C のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B とグループ C で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0 レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB0 レジスタで選択した ANn の n が小さい番号順から、グループ C が ADANSC0 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビット A/D コンバータ内部で生成する3つの電圧値のうち1つを A/D 変換します。

温度センサ出力または内部基準電圧を A/D 変換する場合、温度センサ出力と内部基準電圧の両方を A/D 変換対象とすることは禁止です。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換データを二重化します。グループスキャンモードではグループ A のみダブルトリガ機能が使用できます。

ダブルトリガ拡張モードは、ダブルトリガモードで A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで表 30.8 に示す同期トリガ (2 種類以上の同期トリガ要因許可) に選択した状態を示します。

ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、トリガの種別に応じて、A/D 変換データを A/D データ二重化レジスタ A (ADDBLDRA)、A/D データ二重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガ拡張モード時に、2 種類以上のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは実施せず、A/D 変換データは、データ二重化レジスタ B (ADDBLDRB) に格納されます。なお、一方のトリガで A/D 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否は表 30.12 の通りです。

表 30.12 スキャンモード、ダブルトリガモードと A/D 変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力 (グループ A 含む)	アナログ入力 (グループ B、グループ C)	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○ (注 1)	○ (注 2)	×	○ (注 3)	○ (注 3)
	DBLE = 1	×	○ (1ch のみ)	×	×	×
連続スキャン	DBLE = 0 (注 4)	○	○	×	×	×
グループスキャン	DBLE = 0	○	○	○	×	×
	DBLE = 1	×	○ (1ch のみ)	○ (注 5)	×	×

○ : 選択可能、× : 選択不可能

注 1. 温度センサまたは内部基準電圧を A/D 変換する場合、自己診断は禁止です。

注 2. 温度センサまたは内部基準電圧を A/D 変換する場合、アナログ入力は選択禁止です。

注 3. 温度センサと内部基準電圧の両方を選択することは禁止です。

注 4. 連続スキャンモードではダブルトリガモード設定 (DBLE = 1) は禁止です。

注 5. グループスキャンでダブルトリガモードを設定した場合、グループ B と C は同期トリガで開始するシングルスキャンモードと同じ動作になります。

ADST0 出力は、S12AD.ADCSR.ADST ビット、ADST1 出力は、S12AD1.ADCSR.ADST ビットの状態を出力します。ADSS0 出力は、S12AD のサンプリング状態、ADSS1 出力は、S12AD1 のサンプリング状態を出力します。

30.3.4 シングルスキャンモード

30.3.4.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1”（A/D変換開始）になると、ADANSA0レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。なお、サンプリングを実施している期間、ADSS0端子がHighになります。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ（ADDRy）に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生）に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”（A/D変換開始）を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

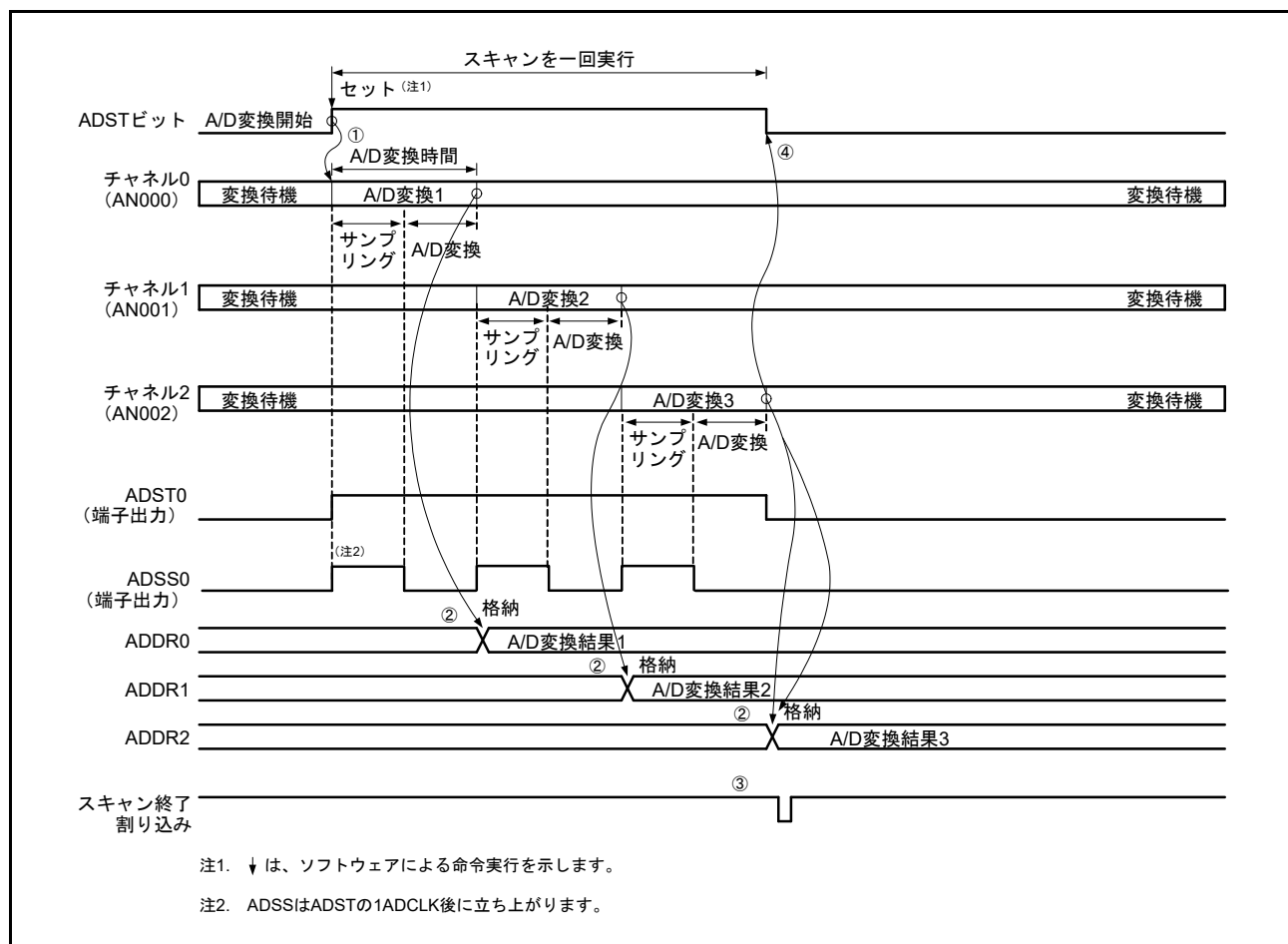


図 30.4 シングルスキャンモードの動作例（基本動作：AN000, AN001, AN002 選択）

30.3.4.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。なお、サンプリングを実施している期間、ADSS0 端子が High になります。
- (2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0 レジスタで選択したチャネル AN_n の n が小さい番号順に A/D 変換を開始します。なお、サンプリングを実施している期間、ADSS0 端子が High になります。
- (3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (4) 選択されたすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求が発生します。
- (5) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

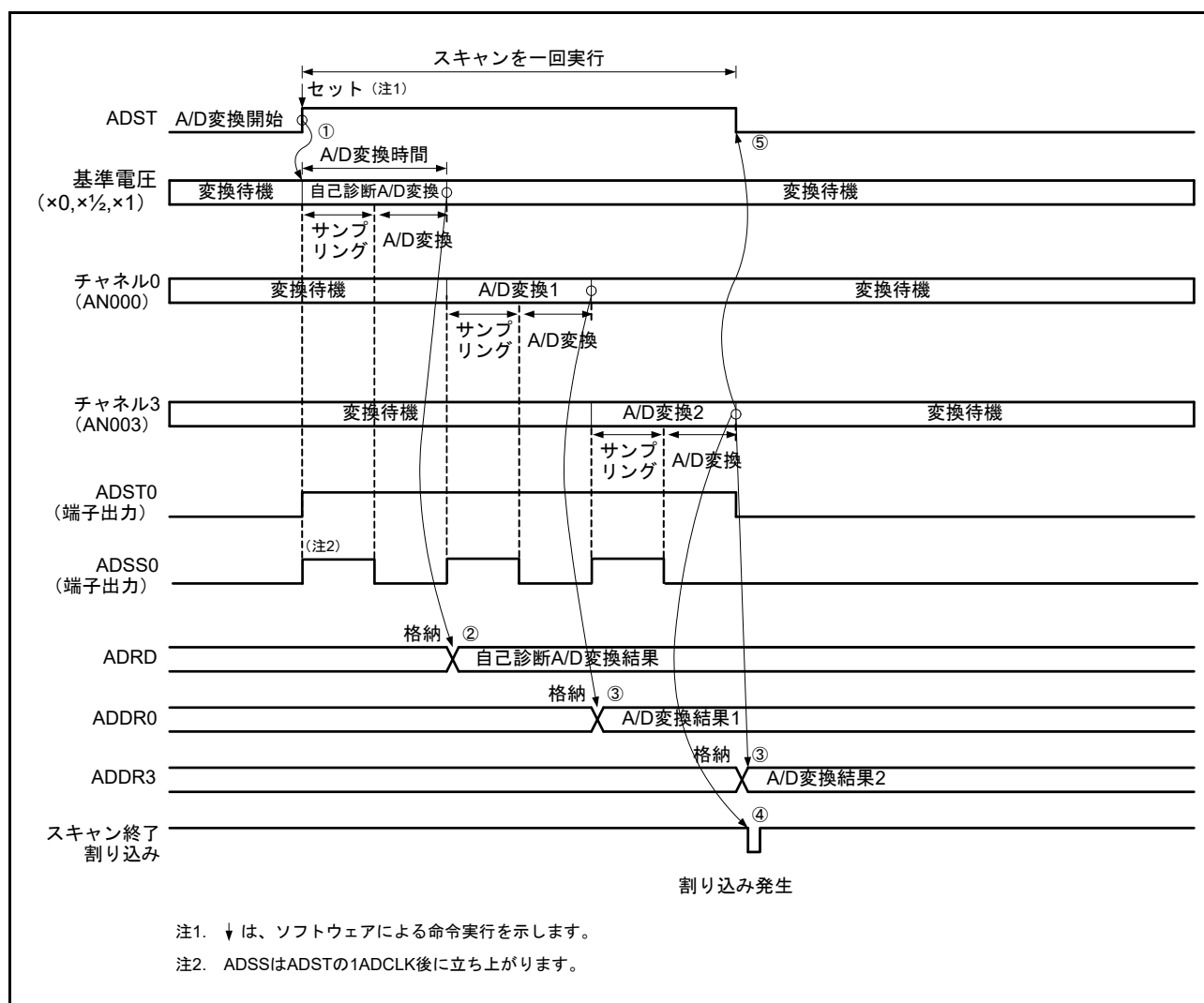


図 30.5 シングルスキャンモードの動作例 (基本動作 : AN000, AN003 選択 + 自己診断)

30.3.4.3 温度センサ出力または内部基準電圧選択時の A/D 変換動作

温度センサ出力または内部基準電圧の A/D 変換は、S12AD1 のみ可能です。温度センサ出力または内部基準電圧の A/D 変換は、シングルスキャンモードで実行し、動作は以下のようになります。

チャンネル選択は全て非選択（ADANSA0 レジスタビットは全て“0”かつ ADCSR.DBLE ビットを“0”）に設定します。また、温度センサ出力の A/D 変換を選択する場合は、内部基準電圧の A/D 変換選択ビット（ADEXICR.OCSA）は“0”（非選択）に、内部基準電圧の A/D 変換を選択する場合は、温度センサ出力の A/D 変換選択ビット（ADEXICR.TSSA）は“0”（非選択）に設定します。

- (1) サンプリング時間を設定してください。必要なサンプリング時間は「38. 電气的特性」を参照してください。
- (2) 温度センサ出力または内部基準電圧の A/D 変換に切り替えた後、ADST ビットを“1”にセットして変換を開始してください。
- (3) A/D 変換が終了すると、A/D 変換結果は対応する A/D 温度センサデータレジスタ（ADTSDR）または A/D 内部基準電圧データレジスタ（ADOCDR）に格納され、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生許可）に設定されていると、スキャン終了割り込み要求が発生します。
- (4) ADST ビットは A/D 変換中は“1”を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

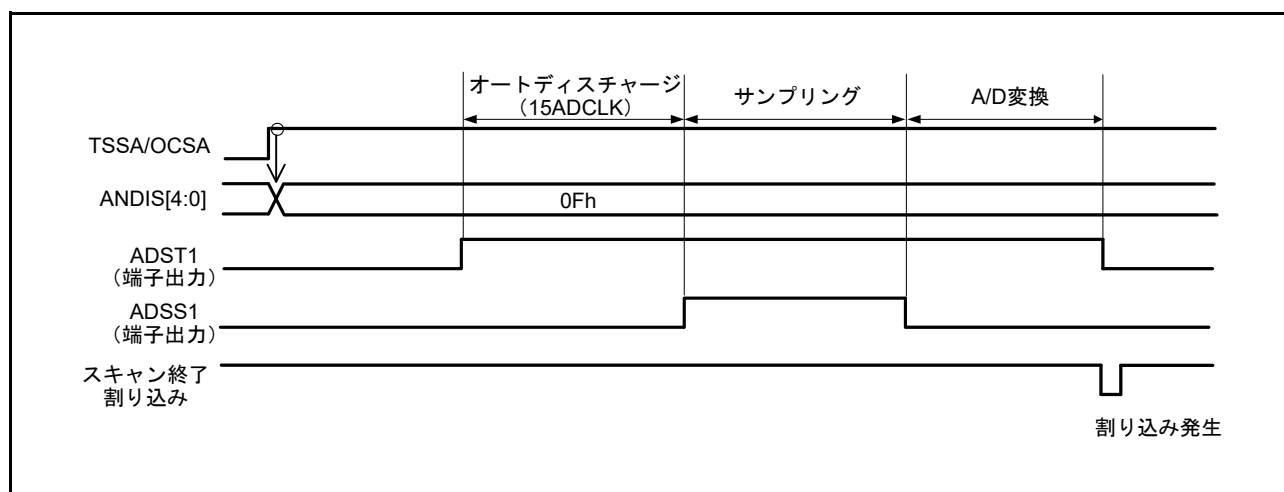


図 30.6 シングルスキャンモードの動作例（温度センサ出力、内部基準電圧選択：S12AD1 のみ）

30.3.4.4 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンを2回行います。

自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を“0”に設定してください。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了後の割り込み発生許可) の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ二重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生許可) に設定されていれば、スキャン終了割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

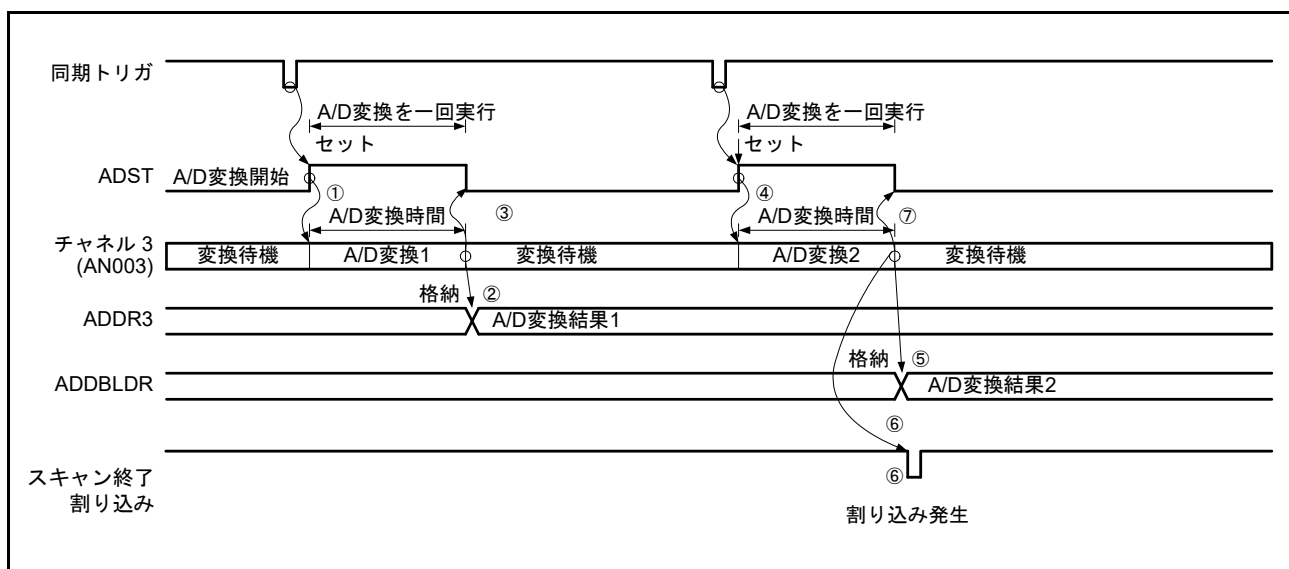


図 30.7 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を二重化)

30.3.4.5 ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを選択し、A/D変換開始トリガ選択レジスタ(ADSTRGR)のTRSA[5:0]ビットで表30.8に示すダブルトリガ拡張モードに対応した同期トリガを選択した場合は、以下のようにシングルスキャンを複数回行います。

自己診断は非選択とし、温度センサ出力A/D変換選択ビット(ADEXICR.TSSA)と内部基準電圧A/D変換選択ビット(ADEXICR.OCSA)を“0”に設定してください。

A/D変換データ二重化は、二重化するチャンネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEを“1”にすると有効となります。ADCSR.DBLEを“1”にした場合はADANSA0レジスタのチャンネル選択は無効になります。また、ダブルトリガ拡張モードを選択する場合は、ADCSR.EXTRGビットを“0”に、ADCSR.TRGEビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

ダブルトリガ拡張モードで、トリガ要因TRG4ANとTRG4BN、もしくはTRGAnNとTRGBnN($n=0, 4$)、もしくはGTADTRAmNとGTADTRBmN($n=0, 1, 2$)が同時に発生した場合、トリガ要因による振り分けは実施せず、データ二重化レジスタB(ADDBLDRB)に格納します。

なお、一方のトリガ要因にてA/D変換を実施中に、他方のトリガ要因が入力された場合、他方のトリガ要因は無視され、現在変換中のトリガ要因による振り分けを実施します。

図30.8はダブルトリガ拡張モードの基本動作の説明です。

- (1) TRG4AN入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
- (2) A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)とA/Dデータ二重化レジスタA(ADDBLDRA)へ格納されます。
- (3) ADCSR.ADSTは自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。このとき、ADCSR.ADIEビット(スキャン終了後の割り込み発生の許可)の設定に関わらず、スキャン終了割り込みは発生しません。
- (4) TRG4BN入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADCSR.DBLANS[4:0]ビットで選択した1チャンネルのA/D変換を開始します。
- (5) A/D変換が終了すると、A/D変換結果はA/Dデータ二重化レジスタ(ADDBLDR)とA/Dデータ二重化レジスタB(ADDBLDRB)に格納されます。
- (6) ADCSR.ADIEビットが“1”(スキャン終了後の割り込み発生の許可)に設定されていると、スキャン終了割り込み要求を発生します。
- (7) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、A/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

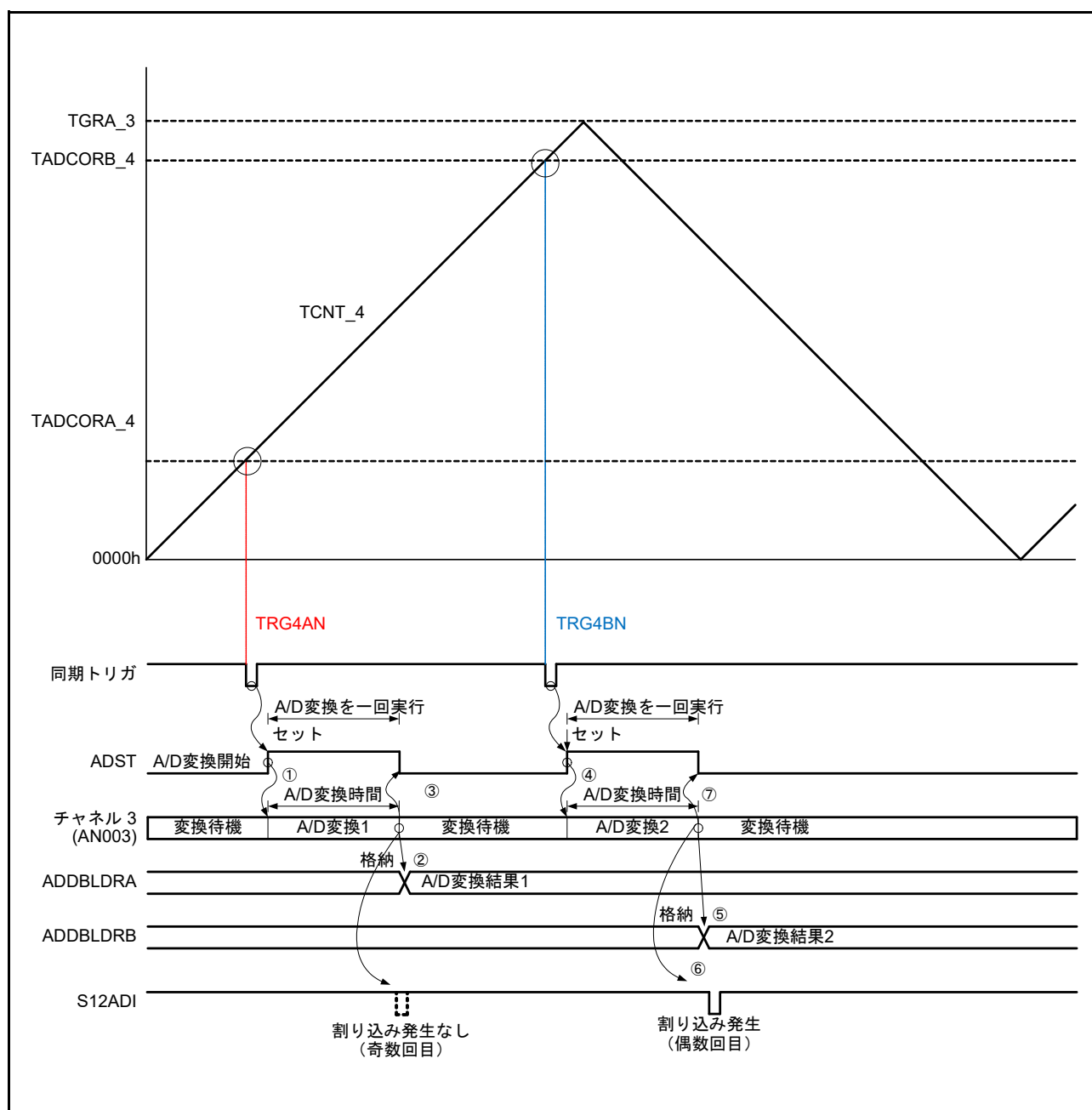


図 30.8 ダブルトリガモードの拡張動作例 (1)
(AN003 を二重化選択、TRG4AN または TRG4BN 選択、1 回目トリガが TRG4AN の場合)

ダブルトリガ拡張モードで、変換中に他方のトリガ入力がある場合の動作例を図 30.9 に示します。また、トリガ要因 GTADTRA0N または GTADTRB0N または GTADTRA1N または GTADTRB1N を選択した場合の動作例を図 30.10 に示します。

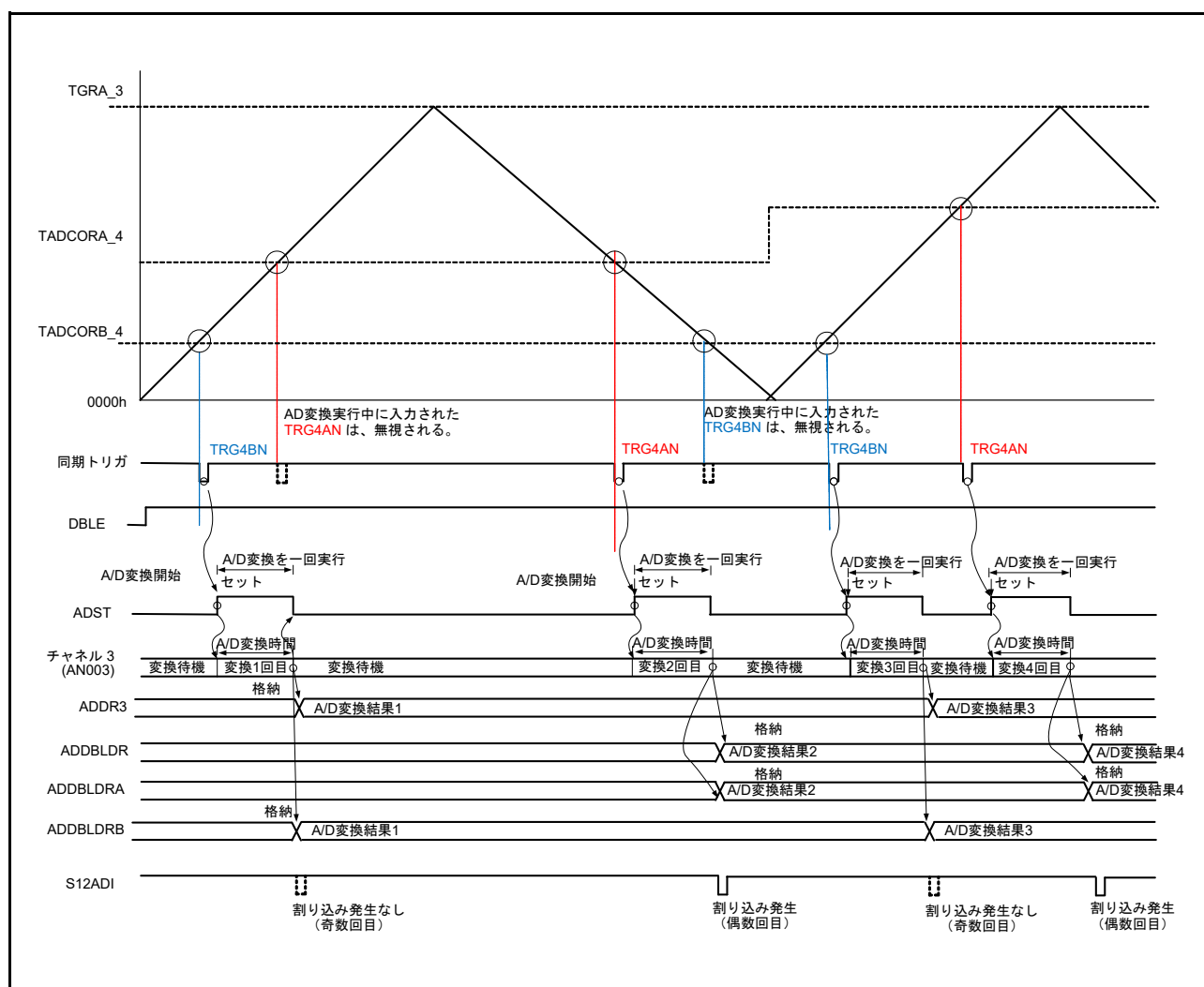


図 30.9 ダブルトリガモードの拡張動作例 (2)
 (AN003 を二重化選択、TRG4AN または TRG4BN 選択、A/D 変換中に他方のトリガ入力がある場合)

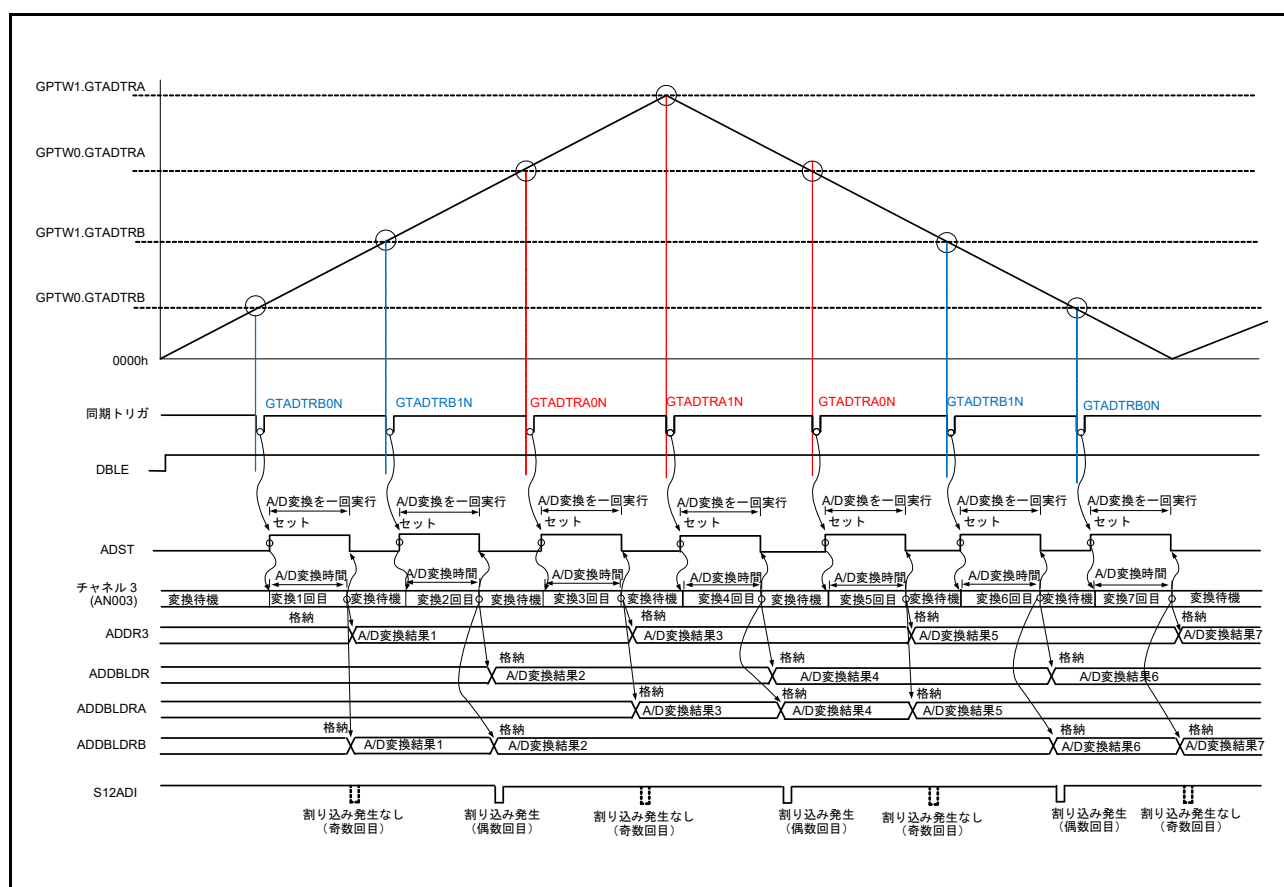


図 30.10 ダブルトリガモードの拡張動作例 (3)
 (AN003 を二重化選択、GTADTRA0N または GTADTRB0N または GTADTRA1N または GTADTRB1N を選択した場合)

30.3.5 連続スキャンモード

30.3.5.1 基本動作

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返し A/D 変換します。

連続スキャンモード時は、温度センサ出力 A/D 変換選択ビット (S12AD1.ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (S12AD1.ADEXICR.OCSA) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA0 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (3) 選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていると、スキャン終了割り込み要求が発生します。
また 12 ビット A/D コンバータは、継続して ADANSA0 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は (2) ~ (3) を繰り返します。ADCSR.ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1” (A/D 変換開始) にセットすると再び ADANSA0 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。

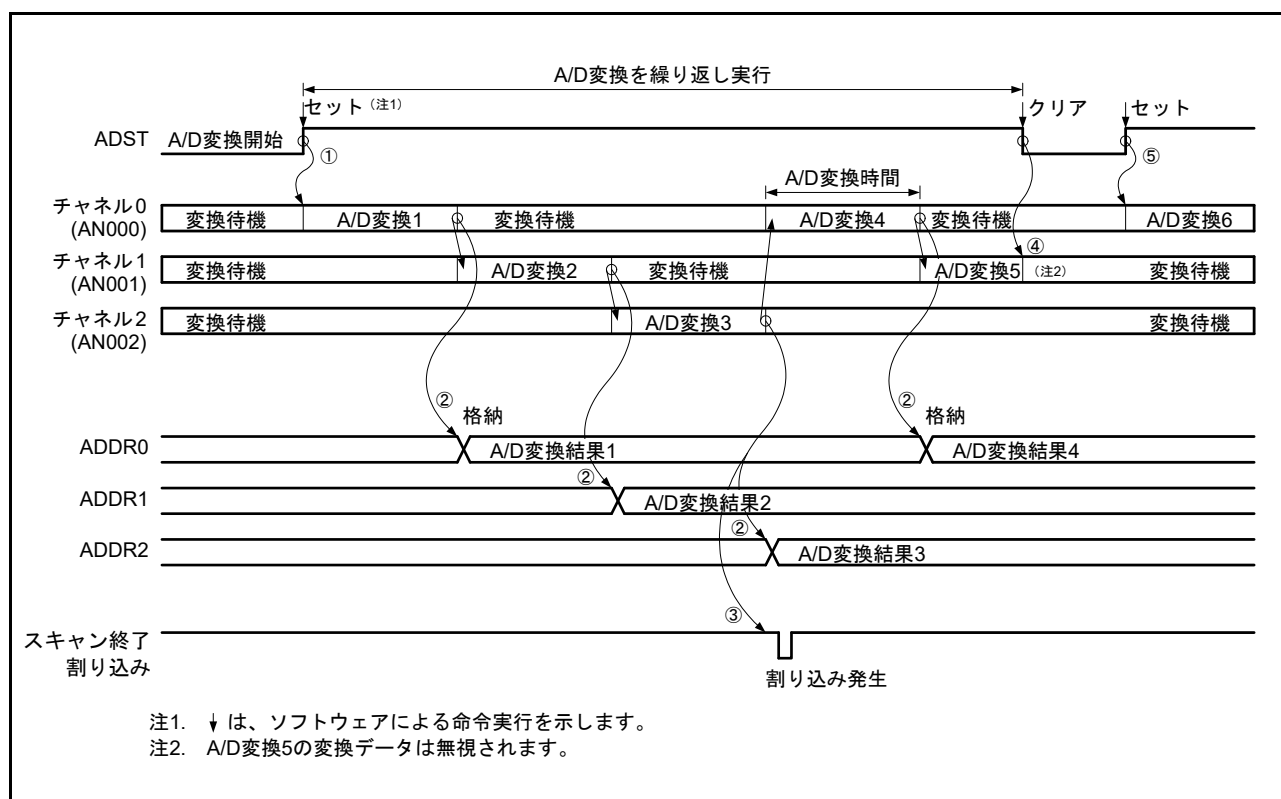


図 30.11 連続スキャンモードの動作例 (基本動作 : AN000, AN001, AN002 選択)

30.3.5.2 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように 12 ビット A/D コンバータに供給される基準電圧の A/D 変換を行い、その後選択したチャネルのアナログ入力を A/D 変換する動作を繰り返します。連続スキャンモード時は、温度センサ出力 A/D 変換選択ビット (S12AD1.ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (S12AD1.ADEXICR.OCSA) はともに“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、最初に自己診断での A/D 変換を開始します。
- (2) 自己診断での A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納され、次に ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
- (3) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) へ格納されます。
- (4) 選択したすべてのチャネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生) に設定されていれば、スキャン終了割り込み要求を発生します。また、12 ビット A/D コンバータは継続して自己診断での A/D 変換を開始し、終了後に ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
- (5) ADCSR.ADST ビットは自動的にクリアされず、“1” に設定されている間は (2) ~ (4) を繰り返します。ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。
- (6) その後、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、再び自己診断での A/D 変換から開始します。

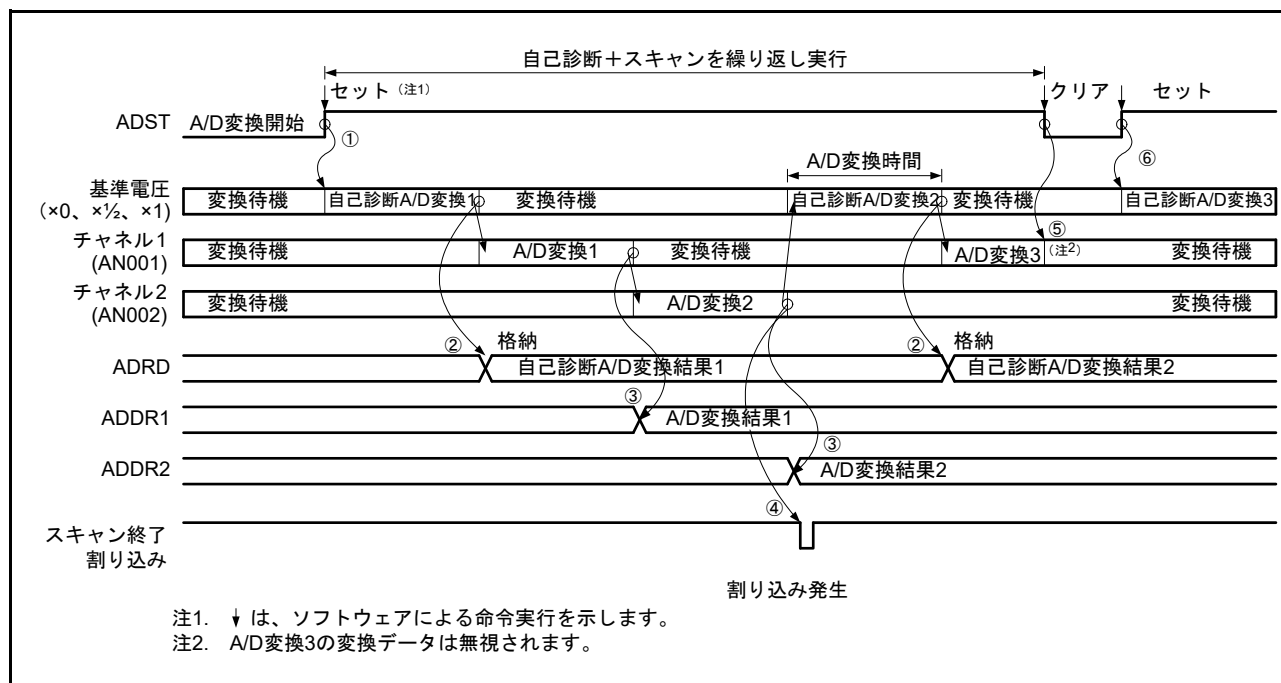


図 30.12 連続スキャンモードの動作例 (基本動作 : AN001, AN002 選択 + 自己診断)

30.3.6 グループスキャンモード

30.3.6.1 基本動作

グループスキャンモードで使用するグループの数は2つ（グループA, B）と3つ（グループA, B, C）のどちらか一方を選択することができます。グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループA, BまたはグループA, B, Cのそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように1回のみA/D変換します。グループA, B, Cのそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループBの同期トリガを選択し、ADGCTRGR.TRSC[5:0]ビットでグループCの同期トリガを選択します。グループAとグループBとグループCのスキャンが同時に起こらないように、グループAとグループBとグループCのトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

スキャン対象とするチャンネルは、ADANSA0レジスタでグループAのチャンネルを選択し、ADANSB0レジスタでグループBのチャンネルを選択し、ADANSC0レジスタでグループCのチャンネルを選択します。

グループスキャンモード時は、温度センサ出力A/D変換選択ビット（ADEXICR.TSSA）と内部基準電圧A/D変換選択ビット（ADEXICR.OCSA）はともに“0”（非選択）に設定します。

グループスキャンモードで自己診断を選択した場合は、グループAとグループBまたはグループAとグループBとグループCそれぞれで自己診断を実施します。

以下にMTUからの同期トリガによるグループスキャンモードの動作例を示します。グループAはMTUからのTRG4ANトリガで変換開始し、グループBはMTUからのTRG4BNトリガで変換開始し、グループCはMTUからのTRG4ABNトリガで変換開始する設定です。

- (1) MTUからのTRG4ANトリガでグループAのスキャンを開始します。
- (2) グループAのスキャン終了時にADCSR.ADIEビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込みを発生します。
- (3) MTUからのTRG4BNトリガでグループBのスキャンを開始します。
- (4) グループBのスキャン終了時にADCSR.GBADIEビットが“1”（グループBのスキャン終了後に割り込み発生を許可）に設定されていると、グループBスキャン終了割り込みを発生します。
- (5) MTUからのTRG4ABNトリガでグループCのスキャンを開始します。
- (6) グループCのスキャン終了時にADGCTRGR.GCADIEビットが“1”（グループCのスキャン終了後に割り込み発生を許可）に設定されていると、グループCスキャン終了割り込みを発生します。

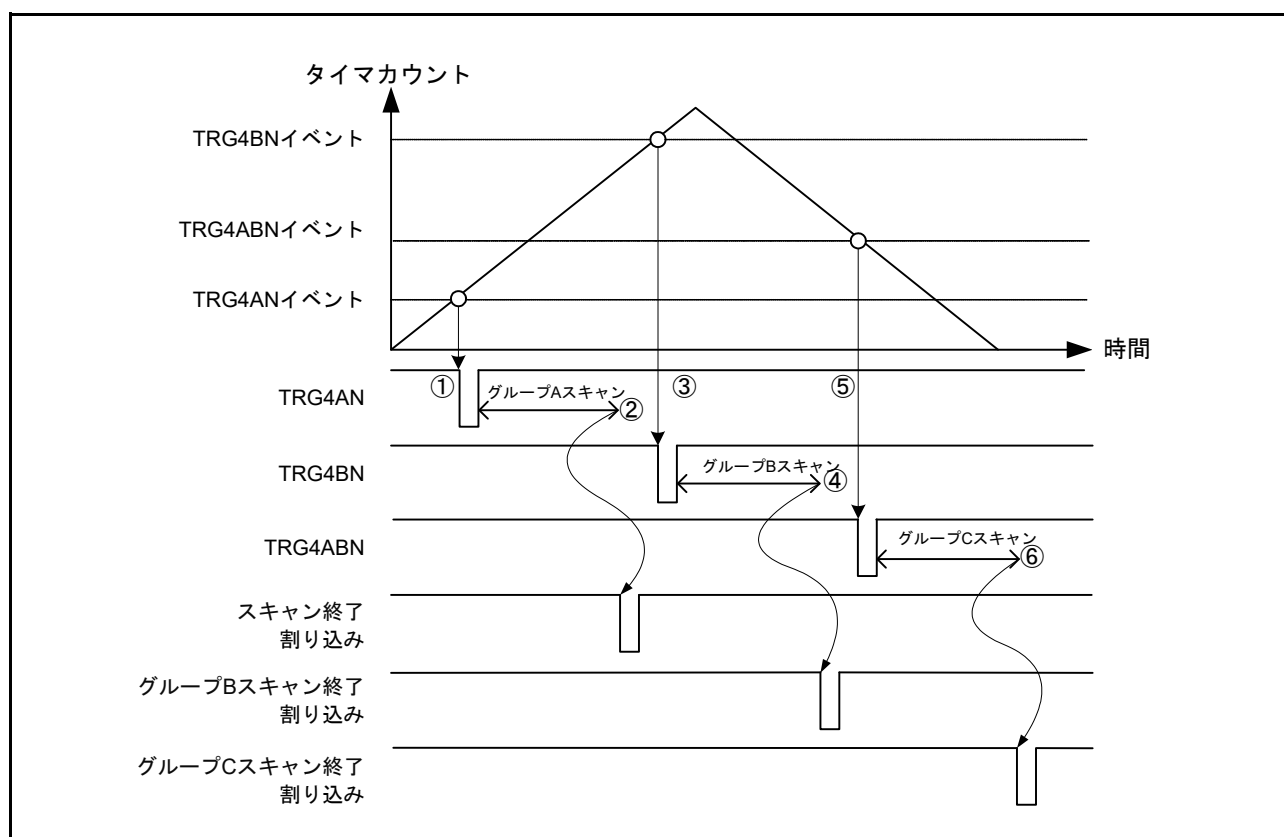


図 30.13 グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

30.3.6.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B とグループ C は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ C の同期トリガを選択します。グループ A とグループ B とグループ C のスキャンが同時に起こらないように、グループ A とグループ B とグループ C のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガに表 30.8 に示すダブルトリガ拡張モードに対応した同期トリガを選択した場合は、ダブルトリガ拡張モードで動作します。

スキャン対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0 レジスタでグループ B のチャンネルを選択し、ADANSC0 レジスタでグループ C のチャンネルを選択します。グループスキャンモード時は、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSSA) はともに“0” (非選択) に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ二重化は、二重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRGA0N トリガで変換開始し、グループ C は MTU からの TRGA1N トリガで変換開始する設定です。

- (1) MTU からの TRGA1N トリガでグループ C のスキャンを開始します。
- (2) グループ C のスキャン終了時に ADGCTRGR.GCADIE ビットが“1”（グループ C のスキャン終了後に割り込み発生を許可）に設定されていると、グループ C スキャン終了割り込みを発生します。
- (3) MTU からの TRGA0N トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了後に割り込み発生を許可）に設定されていると、グループ B スキャン終了割り込みを発生します。
- (5) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (6) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらずスキャン終了割り込み要求は発生しません。
- (7) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (8) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生を許可）に設定されていると、スキャン終了割り込み要求を発生します。
- (9) MTU からの 2 回目の TRGA0N トリガでグループ B の 2 回目のスキャンを開始します。
- (10) グループ B の 2 回目のスキャン終了時は、ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了後に割り込み発生を許可）に設定されていると、グループ B スキャン割り込みを発生します。
- (11) MTU からの 2 回目の TRGA1N トリガでグループ C の 2 回目のスキャンを開始します。
- (12) グループ C の 2 回目のスキャン終了時は、ADGCTRGR.GCADIE ビットが“1”（グループ C のスキャン終了後に割り込み発生を許可）に設定されていると、グループ C スキャン割り込みを発生します。

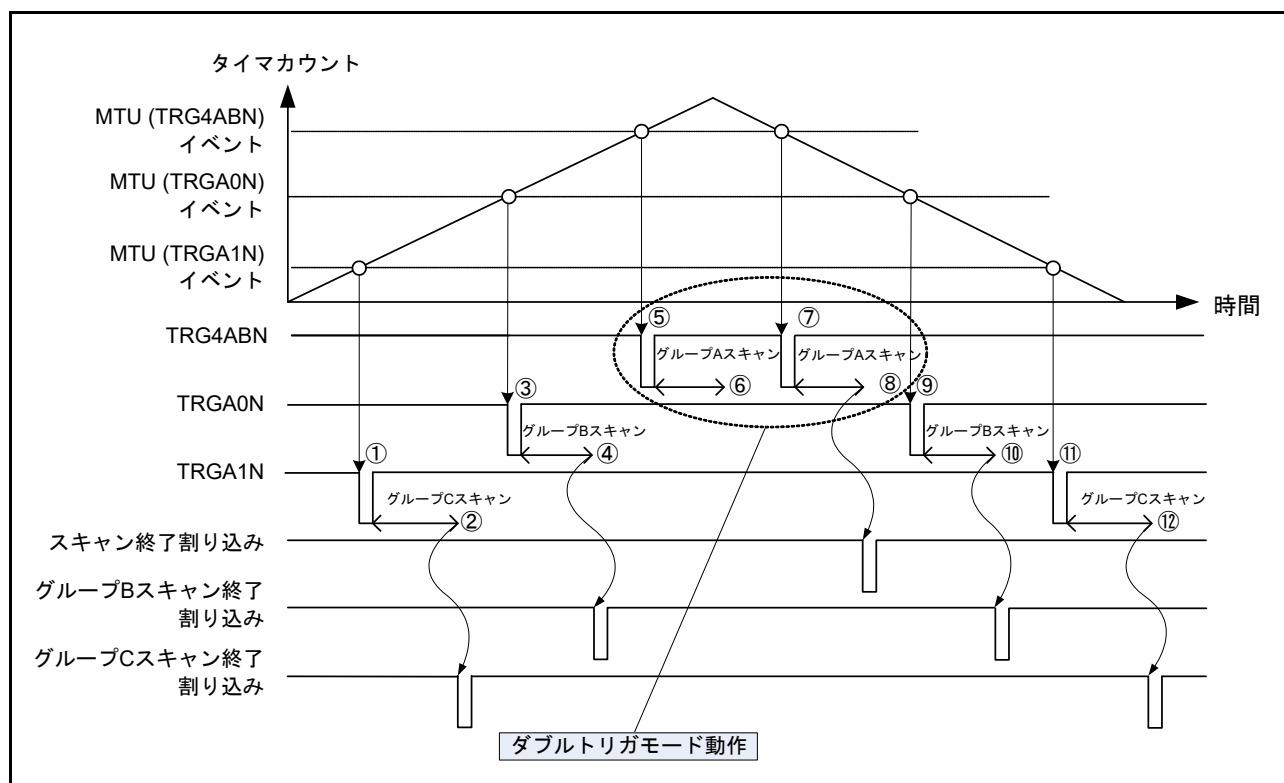


図 30.14 グループスキャンモードでダブルトリガモード選択時の動作例
(MTU からの同期トリガ発生による基本動作)

30.3.6.3 グループ優先制御動作

グループスキャンモードで ADGSPCR.PGS ビットを“1”にすると、グループ優先制御動作を行います。グループの優先度は、グループ A > グループ B > グループ C の順となります。グループスキャンモードで使用するグループの数は ADGCTRGR.GRCE ビットの設定により、2 つ（グループ A, B）または 3 つ（グループ A, B, C）のいずれか一方を選択可能です。ADGSPCR.PGS ビットを“1”に設定する際は、図 30.15 に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、スキャンの動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、グループ B、またはグループ C のスキャン動作中に他方のトリガ入力があっても無視されます。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループのスキャンを中断して、優先グループのスキャンを行います。

ADGSPCR.GBRSCN ビットが“0”のとき、優先グループのスキャン終了後、低優先グループは待機状態となります。またスキャン中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが“1”のとき、優先グループのスキャン終了後、自動的に低優先グループのスキャンを再実行します。また優先グループのスキャン中に発生した低優先グループのトリガ入力は有効となり、優先グループのスキャン終了後、自動的に低優先グループのスキャンを実行します。

ADGSPCR.GBRSCN ビットが“1”のときに ADGSPCR.LGRRS が“0”のとき、低優先グループのスキャンは先頭から再実行します。また、ADGSPCR.LGRRS が“1”のとき、低優先グループのスキャンは中断したチャンネルから再実行します。ただし自己診断機能を使用した場合は、自己診断後に中断したチャンネルから再実行します。

ADGSPCR.GBRSCN ビットの設定とスキャン動作中のトリガ入力時の動作を表 30.13 に示します。

ADGSPCR.GBRP ビットに“1”を設定したとき、最も優先度の低いグループのスキャン動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ A のトリガとは異なるグループ B の同期トリガを選択し、ADGCTRGR.TRSC[5:0] ビットでグループ A, B のトリガとは異なるグループ C の同期トリガを選択してください。

グループスキャンモードを 2 グループ（ADGCTRGR.GRCE ビットを“0”に設定）でかつ

ADGSPCR.GBRP ビットに“1”を設定する場合、ADSTRGR.TRSB[5:0] ビットは“3Fh”を設定してください。

また、グループスキャンモードを 3 グループ（ADGCTRGR.GRCE ビットを“1”に設定）でかつ

ADGSPCR.GBRP ビットに“1”を設定する場合は、ADGCTRGR.TRSC[5:0] ビットを“3Fh”に設定してください。

またスキャン対象とするチャンネルは、ADANSA0 レジスタでグループ A のチャンネルを選択し、ADANSB0 レジスタでグループ B のチャンネルを選択し、ADANSC0 レジスタでグループ C のチャンネルを選択してください。

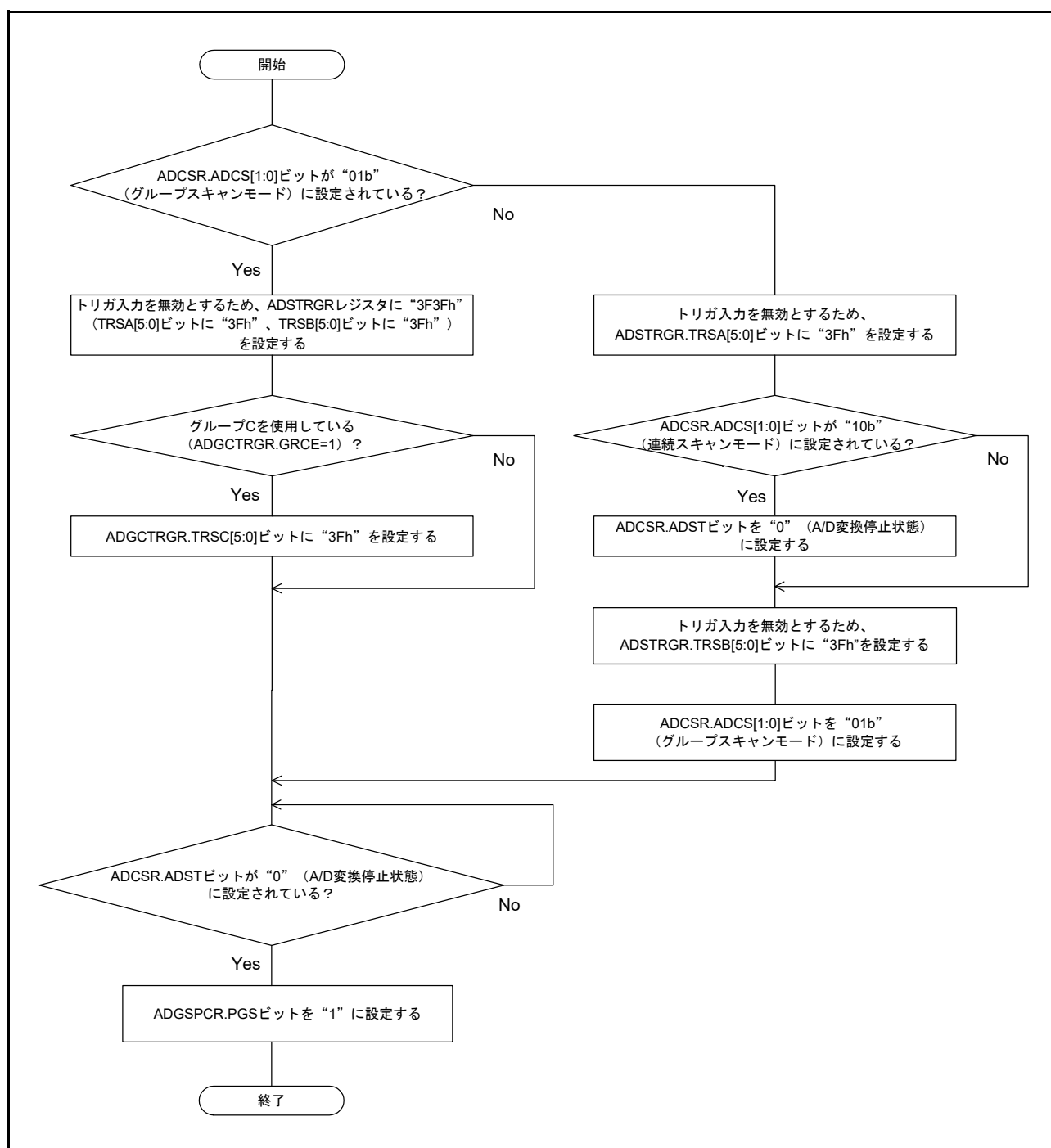


図 30.15 ADGSPCR.PGS ビット設定時のフローチャート

表30.13 ADGSPCR.GBRSCNビットの設定によるスキャン動作制御

スキャン動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のスキャン中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループBのスキャンを行います
	グループCトリガ入力	トリガ入力無効	グループAのスキャン終了後、グループCのスキャンを行います
グループB のスキャン中	グループAトリガ入力	グループBのスキャンを中断し、グループAのスキャンを開始	- グループBのスキャンを中断し、グループAのスキャン開始 - グループAのスキャン終了後、グループBのスキャン動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効
	グループCトリガ入力	トリガ入力無効	グループBのスキャン終了後、グループCのスキャンを行います
グループC のスキャン中	グループAトリガ入力	グループCのスキャンを中断し、グループAのスキャンを開始	- グループCのスキャンを中断し、グループAのスキャンを開始 - グループAのスキャン終了後、グループCのスキャンを開始
	グループBトリガ入力	グループCのスキャンを中断し、グループBのスキャン動作を開始	- グループCのスキャンを中断し、グループBのスキャン開始 - グループBのスキャン終了後、グループCのスキャン開始
	グループCトリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表30.14 2グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2グループ（グループA, B）のグループ優先動作 グループAのトリガが入力されたとき、グループBのスキャンは終了する（再実行しない）
1	0	0	2グループ（グループA, B）のグループ優先動作 グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャネルの先頭からスキャンを再開する
1	1	0	2グループ（グループA, B）のグループ優先動作 グループBのスキャンが中断された後、グループBはグループAのスキャン終了後にADANSB0レジスタで指定したチャネルのうち、中断したチャネル(注1)からスキャンを再開する
x	0	1	2グループ（グループA, B）のグループ優先動作 グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャネルの先頭からシングルスキャンを再開する
1	1	1	2グループ（グループA, B）のグループ優先動作 グループBは開始トリガ入力なしで、連続でシングルスキャンを実施。グループBのスキャンが中断された後は、グループAのスキャン終了後にADANSB0レジスタで指定したチャネルのうち、中断したチャネル(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャネルのA/D変換を開始します。

表 30.15 3グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	3グループ（グループA, B, C）のグループ優先動作 - グループAのトリガが入力されたとき、グループBのスキャンは終了する（再実行しない） - グループA、またはグループBのトリガが入力されたとき、グループCのスキャンは終了する（再実行しない）
0	x	1	3グループ（グループA, B, C）のグループ優先動作 - グループAのトリガが入力されたとき、グループBのスキャンは終了する（再実行しない） - グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルの先頭からスキャンを再開する
1	0	0	3グループ（グループA, B, C）のグループ優先動作 - グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からスキャンを再開する - グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルの先頭からスキャンを再開する
1	1	0	3グループ（グループA, B, C）のグループ優先動作 - グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する - グループCのスキャンが中断された後、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からスキャンを再開する
1	0	1	3グループ（グループA, B, C）のグループ優先動作 - グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルの先頭からスキャンを再開する - グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルの先頭からシングルスキャンを再開する
1	1	1	3グループ（グループA, B, C）のグループ優先動作 - グループBのスキャンが中断された後、グループAのスキャン終了後にADANSB0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)から再開する - グループCは開始トリガ入力なしで、連続でシングルスキャンを実施。グループCのスキャンが中断された後は、グループA/Bのスキャン終了後にADANSC0レジスタで指定したチャンネルのうち、中断したチャンネル(注1)からシングルスキャンを再開する

x = Don't care

注1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャンネルのA/D変換を開始します。

(1) 2 グループのグループ優先動作 (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 0 設定)

グループ A にチャンネル 0 を、グループ B にチャンネル 1 ～ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 1 ～ 5 に示します。

動作例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。
- (7) チャンネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生許可) に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (9) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

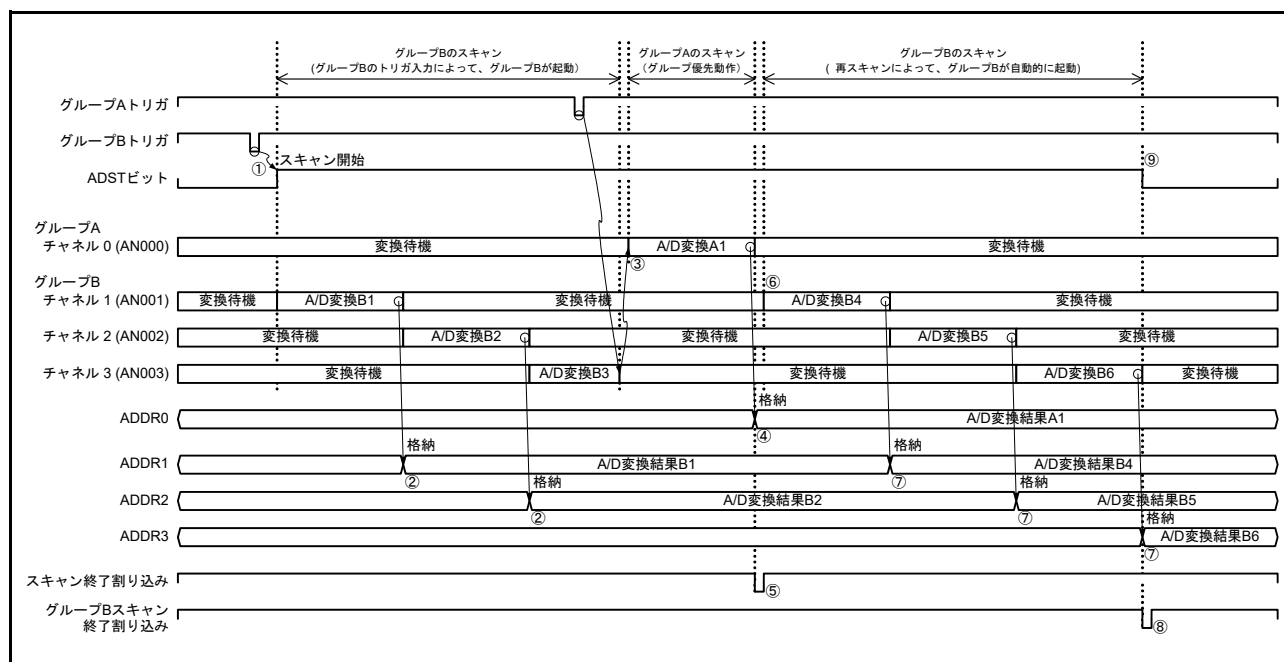


図 30.16 グループ優先動作の例 1 「グループ B スキャン中のグループ A トリガ入力」再スキャンあり
(ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

動作例 2「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 30.17 に示します。

再スキャン動作中であっても、グループ A のトリガが入力されれば、グループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDR_y) への格納、割り込み要求は、例 1 と同じ動作になります。

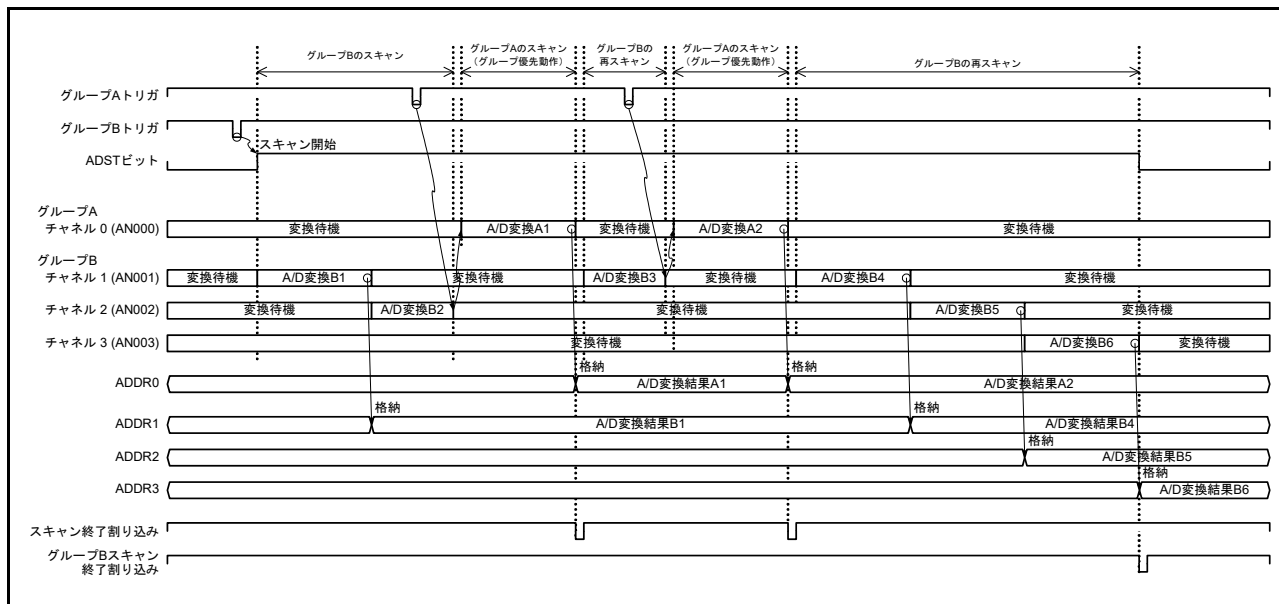


図 30.17 グループ優先動作の例 2「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

動作例 3「グループ A スキャン中のグループ B トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが“1”（グループ優先動作で中断されたグループの再スキャンをする）の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが“0”に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガはすべて無効となります。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”（A/D 変換開始）に設定されると、ADANSA0 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
- (3) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込み要求が発生します。
- (5) グループ A のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、グループ B のスキャンを実行します。（グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。）
- (6) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了後に割り込み発生を許可）に設定されていると、グループ B スキャン終了割り込み要求が発生します。
- (8) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

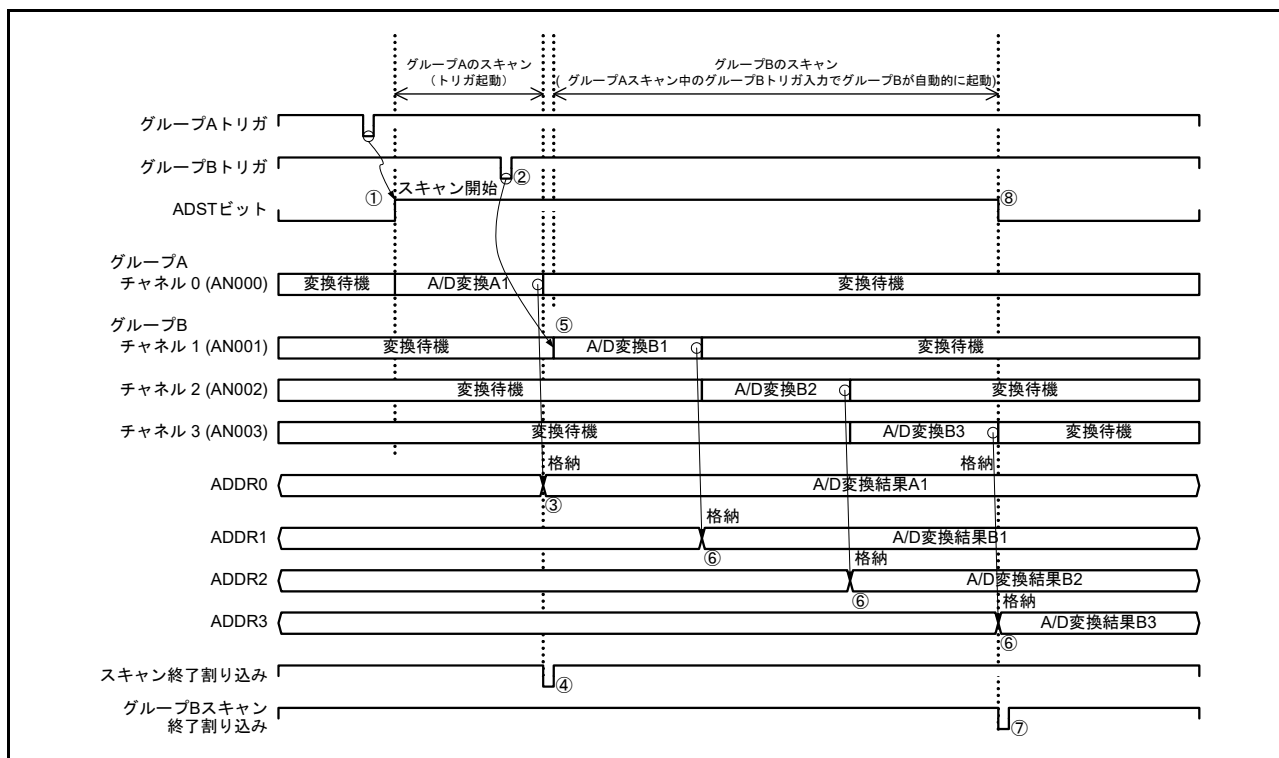


図 30.18 グループ優先動作の例 3「グループ A スキャン中のグループ B トリガ入力」再スキャンあり
(ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1 ～ 3 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが “1” (A/D 変換開始) になると、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを “1” に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが “1” (スキャン終了後の割り込み発生許可) に設定されていると、スキャン終了割り込み要求が発生します。
- (6) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ B は、以後のグループ B トリガ入力までスキャンを行いません。

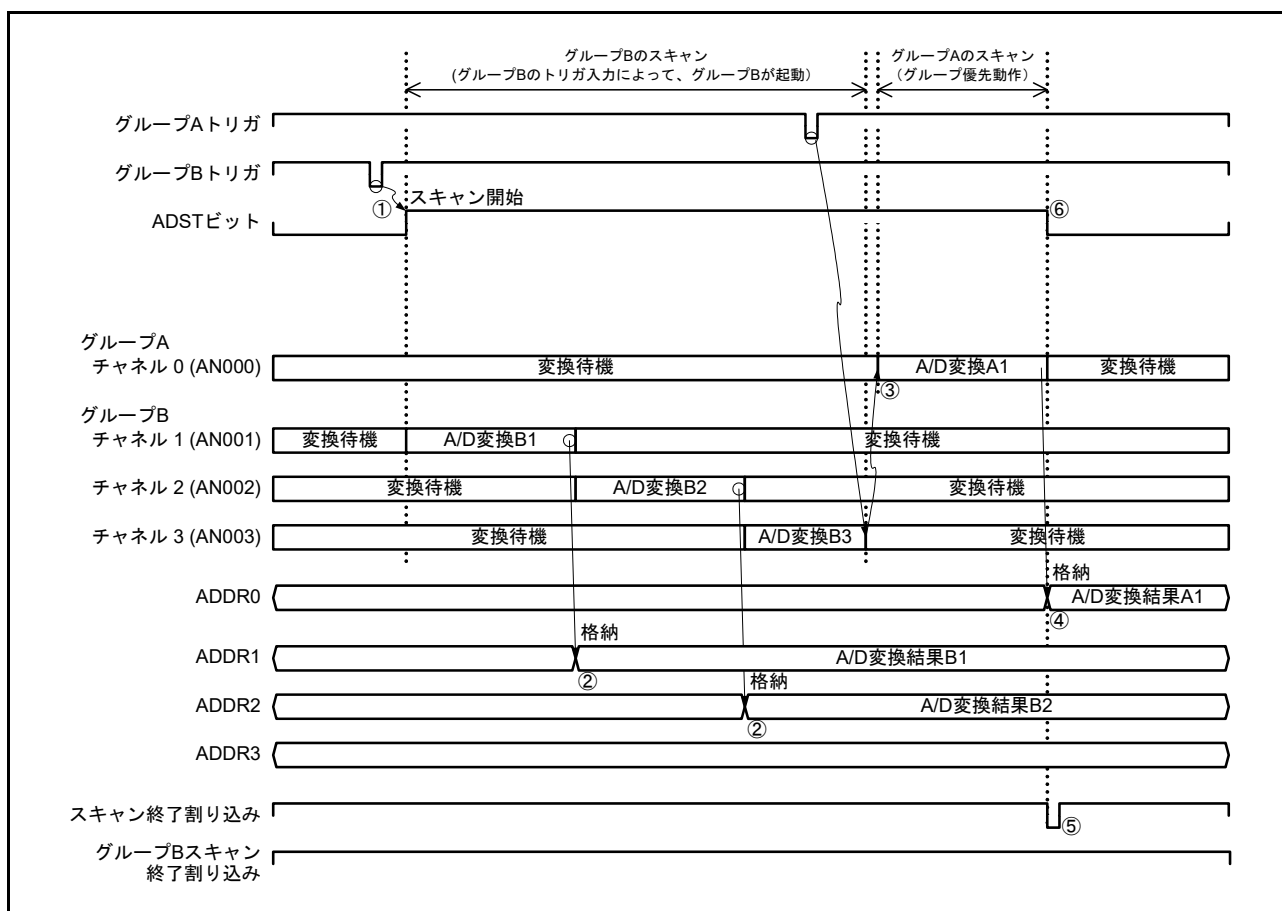


図 30.19 グループ優先動作の例 4 「グループ B スキャン中のグループ A トリガ入力」再スキャンなし (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時)

グループ A にチャンネル 0 を、グループ B にチャンネル 1, 2 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 0 設定時) を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“1”の設定では、グループ C がシングルスキャン連続動作を行い、グループ B はトリガ入力でのスキャン開始になります。

動作例 5「グループ B のシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSB0 レジスタで選択したチャンネル AN_n の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (3) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル AN_n の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDR_y) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (5) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生の許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (6) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル AN_n の n が小さい番号順に、再度グループ B のスキャンを開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (9) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル An の n が小さい番号順に、再度グループ B のスキャンを開始します。

グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが“1”に設定されている間は (6) ~ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「30.7.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

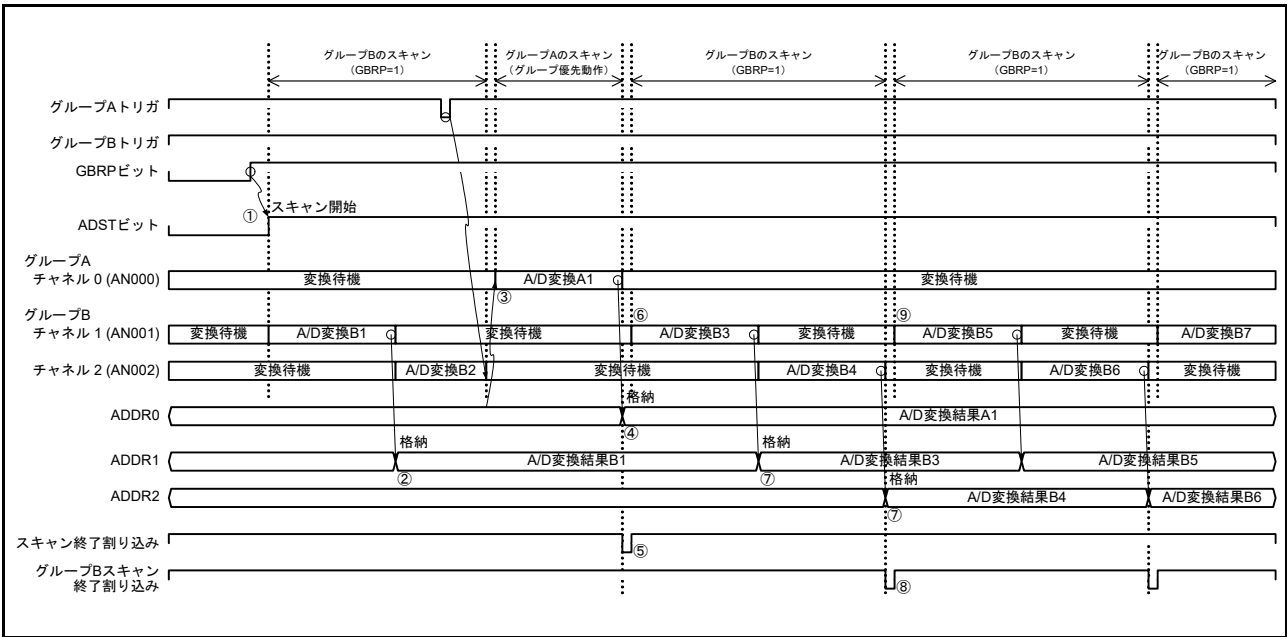


図 30.20 グループ優先動作の例 5「グループ B のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1, ADGCTRGR.GRCE = 0 設定時)

(2) 3 グループのグループ優先動作 (ADGSPCR.PGS = 1, ADGCTRGR.GRCE = 1 設定)

グループ A にチャンネル 0、グループ B にチャンネル 1, 2、グループ C にチャンネル 3, 4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時) を動作例 1 ～例 5 に示します。優先グループとは、グループ C に対するグループ A とグループ B、グループ B に対するグループ A を意味します。

動作例 1 「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (8) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (9) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (10) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (11) ADGSPCR.GBRSCN ビットが“1”に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
- (12) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (13) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (14) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

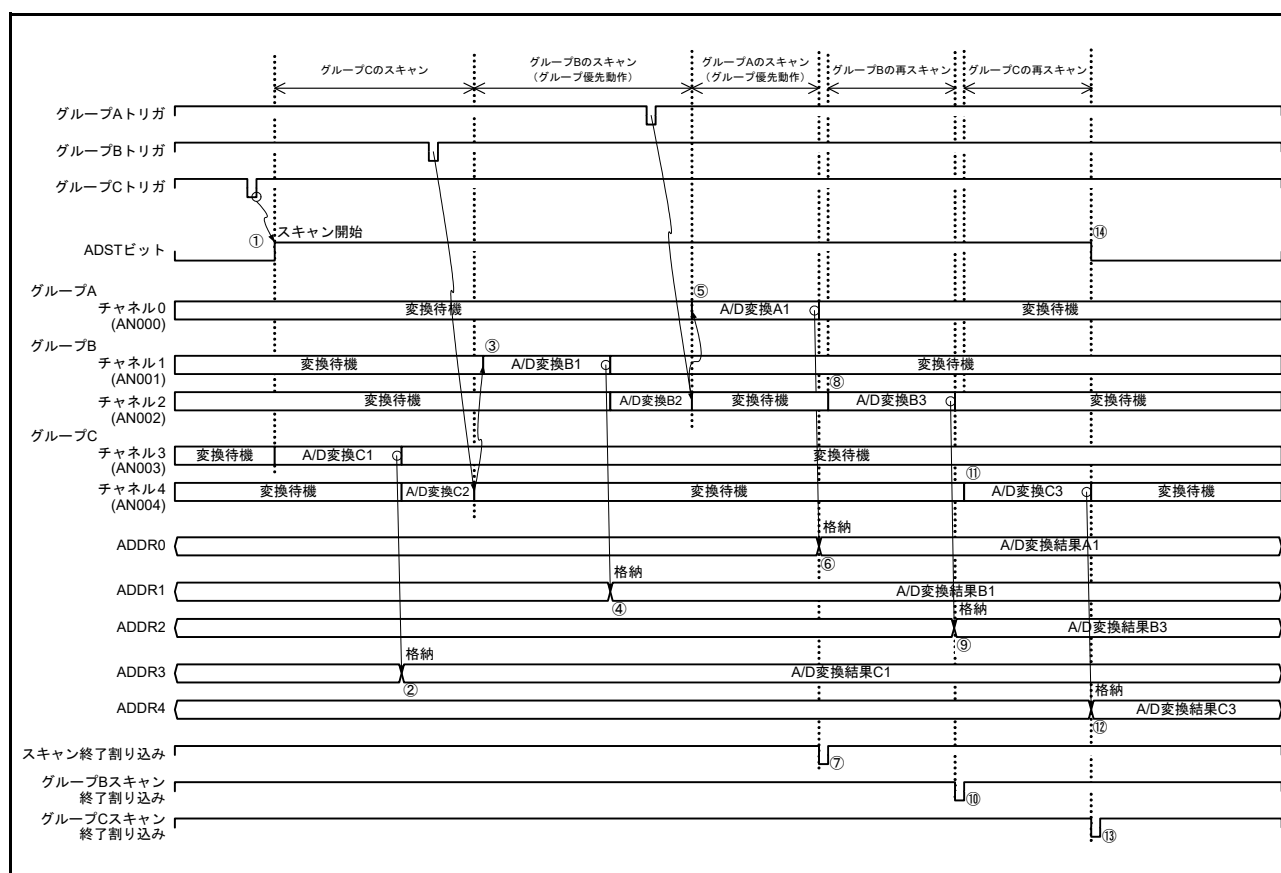


図 30.21 グループ優先動作の例 1「低優先グループスキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

動作例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり

グループ B 再スキャン動作中に、グループ A のトリガが入力された場合を図 30.22 に示します。

低優先グループが再スキャン動作中であっても、優先グループ（グループ C に対する優先グループはグループ A とグループ B、グループ B に対する優先グループはグループ A）のトリガが入力されれば、優先グループのスキャンを開始し、優先グループのスキャン終了後、中断した低優先グループのスキャンを開始します。

ADCSR.ADST ビット、A/D 変換結果の A/D データレジスタ (ADDR_y) への格納、割り込み要求は、例 1 と同じ動作になります。

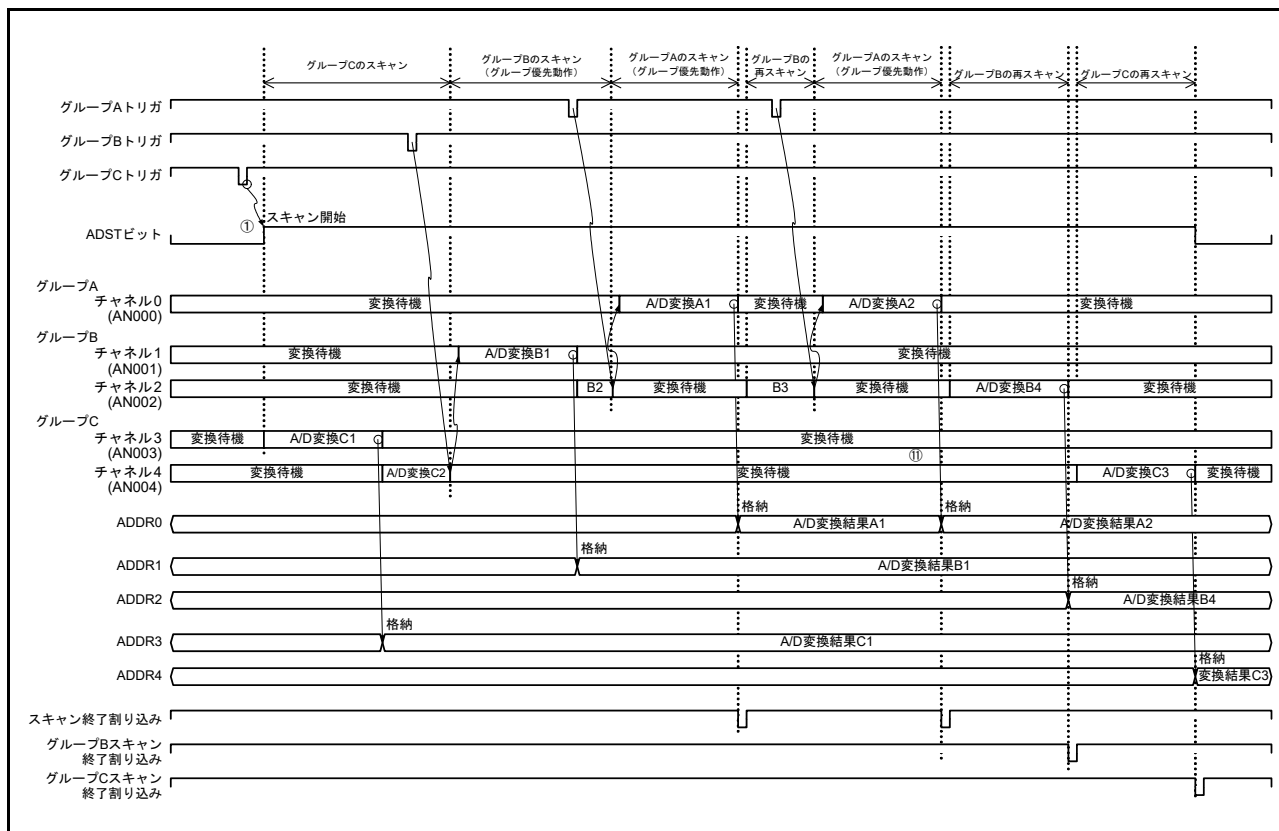


図 30.22 グループ優先動作の例 2 「低優先グループ再スキャン中の優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時)

動作例 3 「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが“1”（グループ優先動作で中断されたグループの再スキャンをする）の設定で、優先グループのスキャン動作中に低優先グループのトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが“0”に設定されている場合は、優先グループのスキャン動作中に入力された低優先グループのトリガはすべて無効となります。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1”（A/D 変換開始）に設定されると、ADANSA0 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) グループ A のスキャン中に、グループ B のトリガ入力があると、グループ B はスキャン実行可能状態になります。
- (3) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込み要求を発生します。
- (5) グループ A のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、グループ B のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャンネルから開始します。
（グループ B のスキャン中にグループ A のトリガが入力されると、例 1 と同じくグループ A のスキャンを開始し、グループ A のスキャン終了後、グループ B のスキャンを開始します。）
- (6) グループ B のスキャン中に、グループ C のトリガ入力があると、グループ C はスキャン実行可能状態になります。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
- (8) グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了後に割り込み発生を許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (9) グループ B のスキャン終了後、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択した、グループ C のチャンネル ANn の n が小さい番号順に、グループ C のスキャンを実行します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャンネルから開始します。
（グループ C のスキャン中にグループ A またはグループ B のトリガが入力されると、例 1 と同じくグループ A またはグループ B のスキャンを開始し、スキャン終了後、グループ C のスキャンを開始します。）
- (10) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ（ADDRy）に格納されます。
- (11) グループ C のスキャン終了後、ADGCTRGR.GCADIE ビットが“1”（グループ C のスキャン終了後に割り込み発生を許可）に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (12) ADCSR.ADST ビットは、すべてのスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

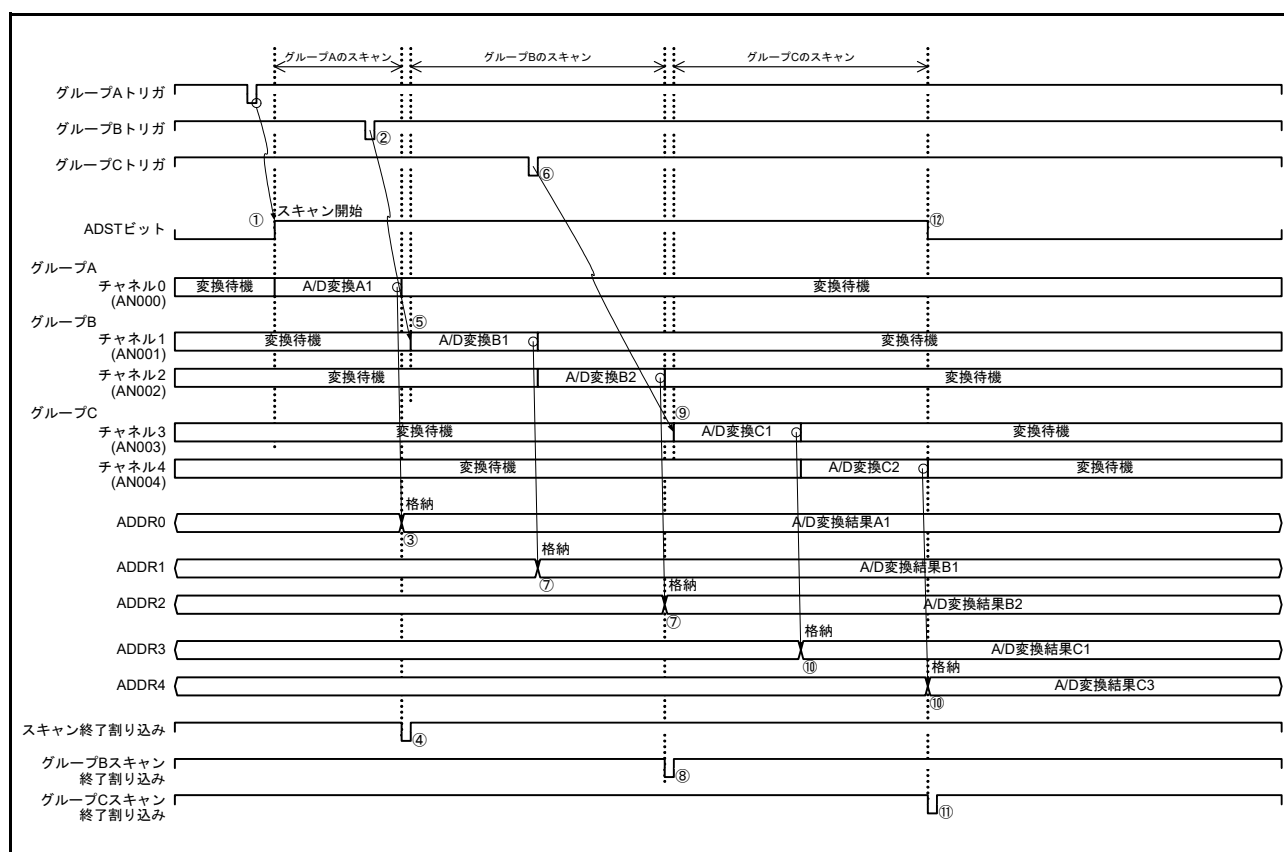


図 30.23 グループ優先動作の例 3「優先グループスキャン中の低優先グループトリガ入力」再スキャンあり (ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1, ADGCTRGR.GRCE = 1 時の動作)

グループ A にチャンネル 0、グループ B にチャンネル 1,2、グループ C にチャンネル 3,4 を選択したグループスキャンモードグループ優先動作 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 0 設定時) を動作例 4 に示します。

動作例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし

- (1) グループ C のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSC0 レジスタで選択したチャンネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャンネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。

- (6) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると、スキャン終了割り込み要求が発生します。
- (7) ADST ビットは、グループ A のスキャンが終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。グループ C とグループ B は、以後のグループに対応したトリガ入力までスキャンを行いません。

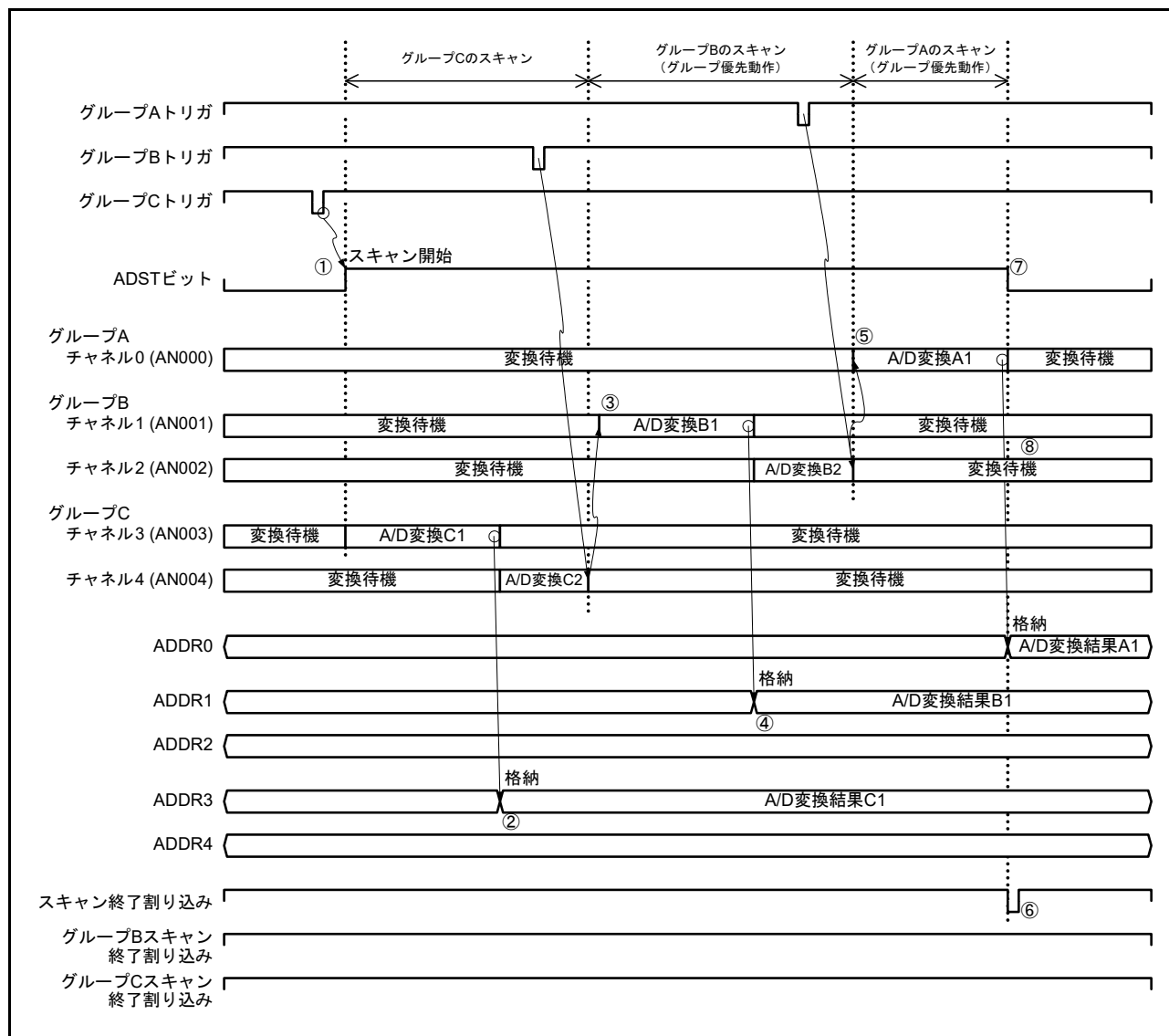


図 30.24 グループ優先動作の例 4「低優先グループスキャン中の優先グループトリガ入力」再スキャンなし（ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0, ADGSPCR.LGRRS = 1 設定時）

グループ A にチャンネル 0、グループ B にチャンネル 1、グループ C にチャンネル 2, 3 を選択したグループスキャンモードグループ優先動作（ADGSPCR.GBRSCN = 1, ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時）を動作例 5 に示します。

ADGCTRGR.GRCE ビットが“0”の設定では、グループ B がシングルスキャン連続動作を行い、グループ C はトリガ入力が無効になります。

動作例 5「グループ C のシングルスキャン連続動作」

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSC0 レジスタで選択したチャネル ANn の n が小さい番号順にスキャンを開始します。
- (2) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ C のスキャン中に、グループ B のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ C のスキャンを中断し、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ B のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (4) グループ B のスキャン中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを“1”に保持したまま、グループ B のスキャンを中断し、ADANSA0 レジスタで選択したチャネル ANn の n が小さい番号順にグループ A のスキャンを開始します。中断時に A/D 変換が終了していなければ A/D 変換結果は A/D データレジスタ (ADDRy) に格納しません。
- (5) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了後の割り込み発生を許可) に設定されていると、スキャン終了割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSB0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ B のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ B のスキャンは、A/D 変換が中断したチャネルから開始します。
- (8) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (9) ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に割り込み発生を許可) に設定されていると、グループ B スキャン終了割り込み要求を発生します。
- (10) ADGSPCR.GBRSCN ビットが“1” (グループ優先動作で中断されたグループの再スキャンをする) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択したチャネル ANn の n が小さい番号順に、再度グループ C のスキャンを開始します。このとき、ADGSPCR.LGRRS ビットが“1”に設定されていれば、グループ C のスキャンは、A/D 変換が中断したチャネルから開始します。
- (11) 1 チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (12) ADGCTRGR.GCADIE ビットが“1” (グループ C のスキャン終了後に割り込み発生を許可) に設定されていると、グループ C スキャン終了割り込み要求を発生します。
- (13) ADGSPCR.GBRP ビットが“1” (シングルスキャン連続動作する) に設定されていれば、ADCSR.ADST ビットを“1”に保持したまま、ADANSC0 レジスタで選択したチャネル An の n が小さい番号順に、再度グループ C のスキャンを開始します。

グループ C をシングルスキャン連続動作させる場合は、グループ C のトリガ入力を無効にしてください。

ADGSPCR.GBRP ビットが“1”に設定されている間は (13) → (11) → (12) → (13) の動作を繰り返します。

ADGSPCR.GBRP ビットが“1”に設定されている間は、ADCSR.ADST ビットのクリアは禁止です。

ADGSPCR.GBRP = 1 のとき、スキャンを強制停止させるには、「30.7.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

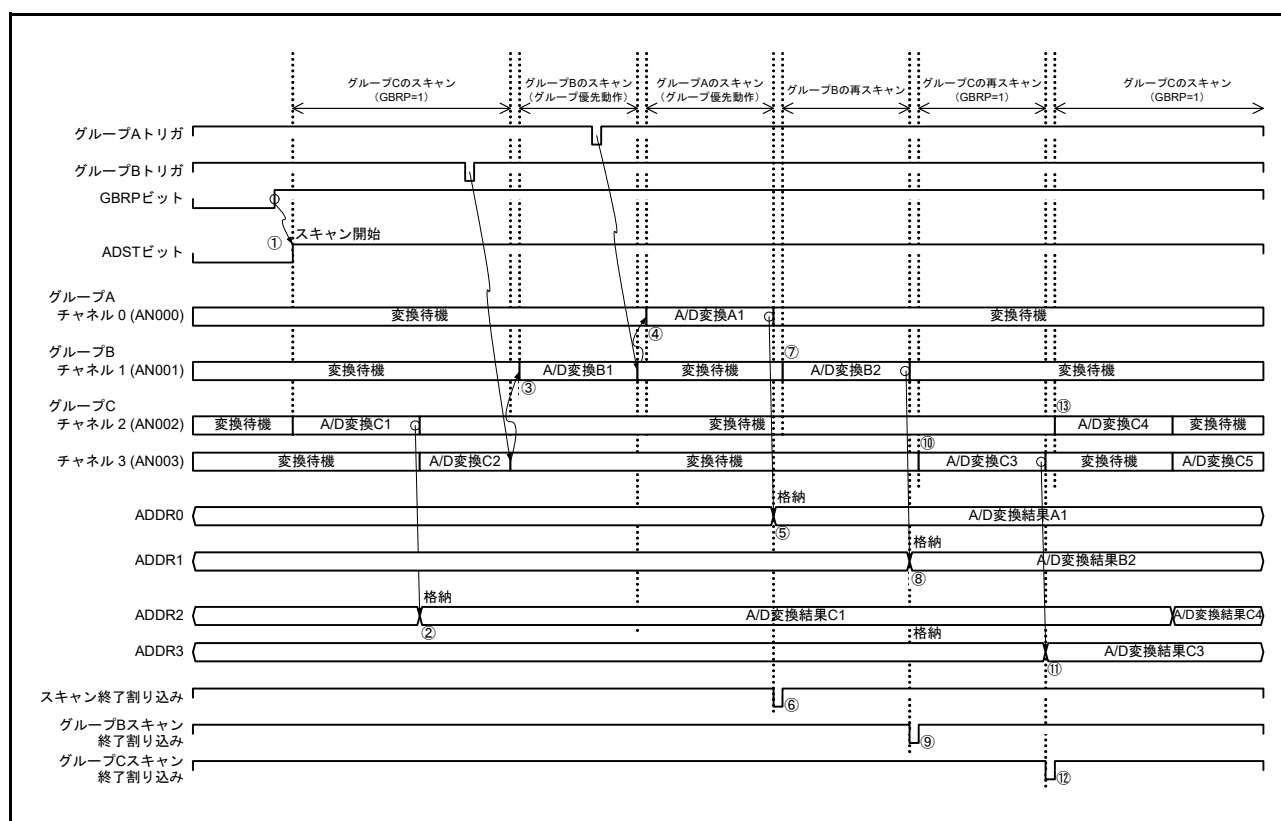


図 30.25 グループ優先動作の例 5「グループ C のシングルスキャン連続動作」
(ADGSPCR.GBRP = 1, ADGSPCR.LGRRS = 1 設定時)

30.3.7 タイムインターリーブ動作

タイムインターリーブ動作とは、高速でデータを取得するために2つのA/Dコンバータユニットが同じ1つの端子を交互に変換することです。この動作はチャンネルAN001/PGAIN01とPGAIN02で、シングルスキャンモードと連続スキャンモードで使用できます。トリガについては、確実なA/D変換タイミングのため、同期トリガ使用を推奨します。

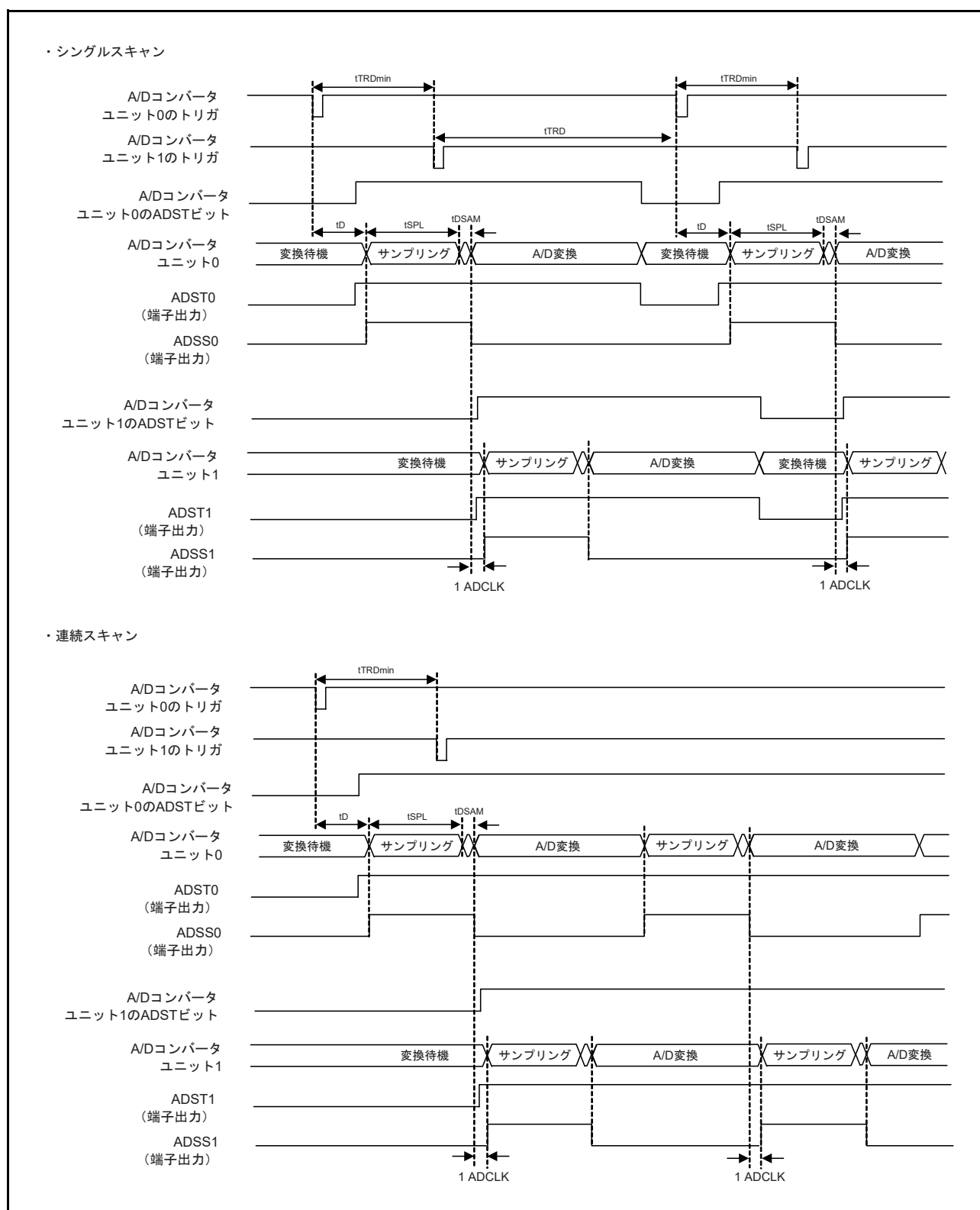
30.3.7.1 トリガ入力タイミング

図 30.26 に示すように、各A/Dコンバータに対するトリガ入力タイミングは、サンプリングを実施している期間がオーバーラップしないように制御してください。サンプリングを実施している期間はADSS0、ADSS1端子でモニタできます。ADSS0、ADSS1端子は $t_{SPL} + t_{DSAM}$ の時間、Highになります。サンプリングを実施している期間がオーバーラップした場合、A/D変換特性および信頼性は保証されません。タイミングパラメータ (t_{TRD} , t_{SPL} , t_{DSAM}) については、表 30.16 を参照してください。

表 30.16 タイムインターリーブ動作によるトリガ入力タイミング設定

項目	シンボル	最小値 (t_{TRDmin})
ユニット間トリガ入力間隔	t_{TRD}	$t_{SPL} + t_{DSAM} + 1 \times ADCLK$ (注1)

注1. t_{SPL} は $ADSSTR_n$ ($n = 1, 2$) 設定値 $\times ADCLK + 0.5 \times ADCLK$ 、 t_{DSAM} は $0.5 \times ADCLK$ です。



30.3.7.2 シングルスキャンモード

この動作では、各 A/D コンバータは同じサンプリング周期と変換周期に設定してください。
動作は以下のとおりです。

1. 同期トリガ入力または非同期トリガ入力によって、A/D コンバータユニット 0 の ADCSR.ADST ビットが“1”になると、選択したチャンネルの A/D コンバータユニット 0 の A/D 変換が行われます。
2. A/D コンバータユニット 0 の変換開始から一定時間経過した後（「30.3.7.1 トリガ入力タイミング」参照）、A/D コンバータユニット 0 と同じアナログ入力端子のチャンネルに対する同期トリガ入力または非同期トリガ入力によって A/D コンバータユニット 1 の ADCSR.ADST ビットが“1”になると、選択したチャンネルの A/D コンバータユニット 1 の A/D 変換が行われます。
3. A/D コンバータユニット 1 の A/D 変換が完了する前に、A/D コンバータユニット 0 の A/D 変換が完了し、S12ADI 割り込み要求が発生します。
4. A/D コンバータユニット 0 のトリガ入力によって、A/D コンバータユニット 0 の A/D 変換を開始します。
5. A/D コンバータユニット 1 の A/D 変換が完了すると、S12ADI 割り込み要求が発生します。
6. 上記 1～5 を繰り返します。

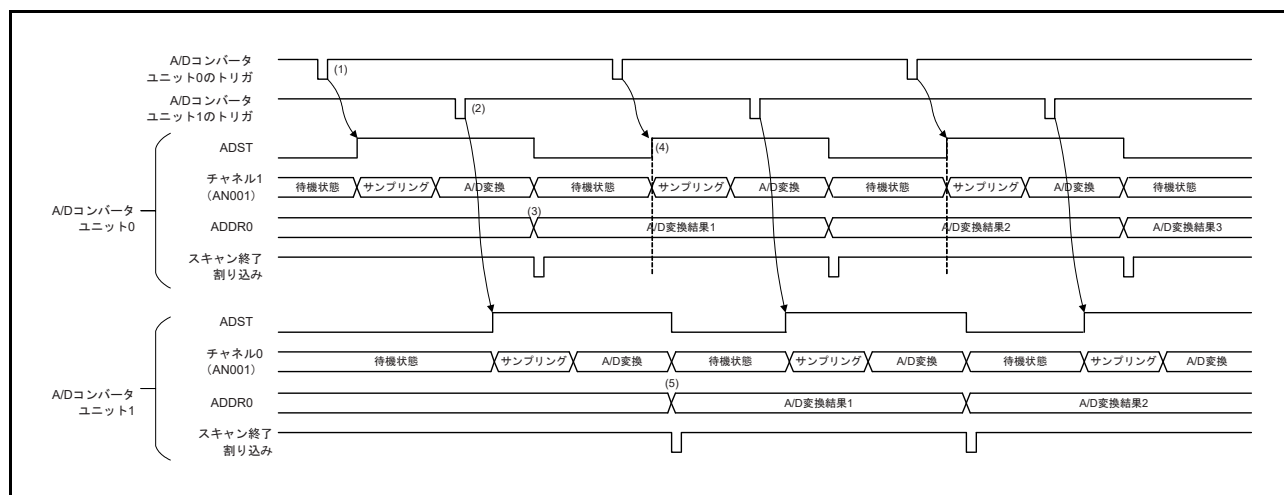


図 30.27 シングルスキャンモードの動作例（タイムインターリーブ動作）

30.3.7.3 シングルスキャンモード（ダブルトリガ拡張モード選択）

この動作では、各 A/D コンバータは同じサンプリング周期と変換周期に設定してください。

ダブルトリガ拡張モード選択時の動作の詳細は、「30.3.4.5 ダブルトリガ拡張モードの動作」を参照してください。

この動作では、S12AD.ADDBLDRA と S12AD.ADDBLDRB、S12AD1.ADDBLDRA と S12AD1.ADDBLDRB レジスタの連続したアドレスで変換データを読み出すことができます。

以下に GPTW からの同期トリガによるシングルスキャン（ダブルトリガ拡張モード選択、タイムインターリーブ動作）の動作例を示します。A/D コンバータユニット 0 は GTADTRA0N/GTADTRB0N トリガ、A/D コンバータユニット 1 は GTADTRA1N/GTADTRB1N トリガで変換開始する設定です。

1. GTADTRA0N トリガ入力によって A/D コンバータユニット 0 の ADCSR.ADST ビットが“1”になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
2. A/D コンバータユニット 0 の変換開始から一定時間経過した後（「30.3.7.1 トリガ入カタイミング」参照）、GTADTRA1N トリガ入力によって A/D コンバータユニット 1 の ADCSR.ADST ビットが“1”になると、選択したチャンネルの A/D コンバータユニット 1 の A/D 変換を開始します。
3. A/D コンバータユニット 1 の A/D 変換が完了する前に、A/D コンバータユニット 0 の A/D 変換が完了します。A/D 変換結果は A/D コンバータユニット 0 の関連する A/D データレジスタ y (ADDRy) および A/D データ二重化レジスタ A (ADDBLDRA) へ格納されます。S12ADI 割り込み要求は発生しません。
4. GTADTRB0N トリガ入力による A/D コンバータユニット 0 の A/D 変換を開始します。
5. A/D コンバータユニット 1 の A/D 変換が完了します。A/D 変換結果は A/D コンバータユニット 1 の関連する A/D データレジスタ y (ADDRy) および A/D データ二重化レジスタ A (ADDBLDRA) へ格納されます。S12ADI 割り込み要求は発生しません。
6. GTADTRB1N トリガ入力による A/D コンバータユニット 1 の A/D 変換を開始します。
7. A/D コンバータユニット 0 の A/D 変換が完了します。A/D 変換結果は A/D コンバータユニット 0 の A/D データ二重化レジスタ (ADDBLDR) および A/D データ二重化レジスタ B (ADDBLDRB) に格納されます。S12ADI 割り込み要求が発生します。
8. GTADTRA0N トリガ入力による A/D コンバータユニット 0 の A/D 変換を開始します。
9. A/D コンバータユニット 1 の A/D 変換が完了します。A/D 変換結果は A/D コンバータユニット 1 の A/D データ二重化レジスタ (ADDBLDR) および A/D データ二重化レジスタ B (ADDBLDRB) に格納されます。S12ADI 割り込み要求が発生します。
10. 上記 1～9 を繰り返します。

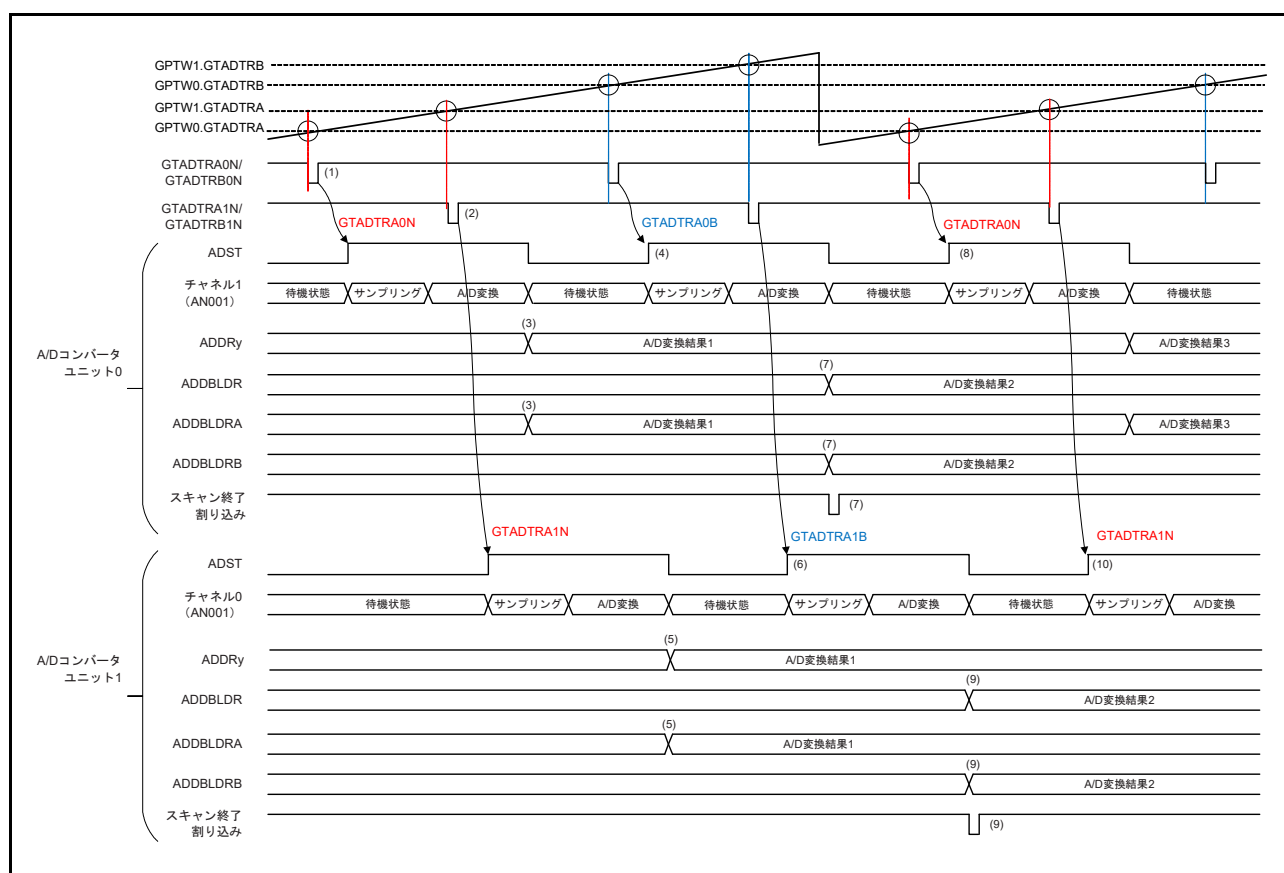


図 30.28 シングルスキャンモードの動作例（ダブルトリガ拡張モード選択、GPTW からの同期トリガ発生によるタイムインターリーブ動作）

30.3.8 アナログ入力のサンプリング時間とスキャン変換時間

図 30.29 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 30.30 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS}) (注1)、自己診断変換時間 (t_{DIAG}) (注2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、21 クロック (ADCLK) となります。スキャン変換時間を表 30.17 に示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注3)} + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。

連続スキャンの 2 サイクル目以降は、 $(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ (注3)

となります。

注 1. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。温度センサ出力または内部基準電圧を A/D 変換する場合に限り、オートディスチャージ期間 15 クロック (ADCLK) 挿入されます。

注 2. 自己診断を設定しない場合は、 $t_{DIAG} = 0$, $t_{DSD} = 0$ となります。

注 3. 選択チャネルのサンプリング時間 (t_{SPL}) が、同一の場合は $t_{CONV} \times n$ となりますが、チャネルごとに異なる場合は、各チャネルのサンプリング時間 (t_{SPL}) と逐次変換時間 (t_{SAM}) の総和になります。

表30.17 スキャンでの各所要時間 (ADCLKとPCLKのサイクル数で示します)

項目			記号	種別/条件			単位
				同期トリガ (MTU, GPTW, TMR)	非同期トリガ	ソフトウェア トリガ	
スキャン 開始処理 時間 (注1、注2)	グループ優先 制御動作による グループの A/D変換	低優先グループ中断あり (優先グループのA/D変換 要因によって低優先グルー プを停止させた後、優先グル ープを起動)	t _D	3 PCLK + 6 ADCLK (6 PCLK + 3 ADCLK(注4))	—	—	サイクル
		低優先グループ中断なし (優先グループのA/D変換 要因によって起動)		3 PCLK + 4 ADCLK	—	—	
	自己診断有効 時のA/D変換	自己診断変換開始時		3 PCLK + 6 ADCLK	5 PCLK + 6 ADCLK	6 ADCLK	
	上記以外			3 PCLK + 4 ADCLK	5 PCLK + 4 ADCLK	4 ADCLK	
	断線検出アシスト処理時間			t _{DIS}	ADDISCR.ADNDIS[3:0]設定値×ADCLK(注3)		
自己診断 変換処理 時間 (注1)	サンプリング時間		t _{DIAG}	t _{SPL}	ADSSTR0設定値×ADCLK+0.5ADCLK(注5)		
	逐次比較開始遅延時間			t _{DSAM}	0.5ADCLK		
	逐次変換時間			t _{SAM}	21ADCLK		
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間		t _{DED}	2ADCLK			
	連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間		t _{DSD}	2ADCLK			
A/D変換 処理時間 (注1)	サンプリング時間		t _{CONV}	t _{SPL}	ADSSTRn (n = 0 ~ 7, T, O) 設定値×ADCLK+0.5ADCLK(注5)		
	逐次比較開始遅延時間			t _{DSAM}	0.5ADCLK		
	逐次変換時間			t _{SAM}	21ADCLK		
スキャン終了時間(注1)			t _{ED}	1PCLK+3ADCLK (2PCLK+2ADCLK(注4))			

注1. t_D 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図30.29、図30.30を参照してください。

注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。

注3. 温度センサ出力/内部基準電圧をA/D変換時は、“0Fh”(15 ADCLK)に固定されます。

注4. ADCLKがPCLKより高速な場合(PCLK:ADCLK周波数比=1:2の設定)の最大時間。

注5. 電圧条件により必要なサンプリング時間(ns)が規定されています。「38.6 A/D変換特性」を参照ください。

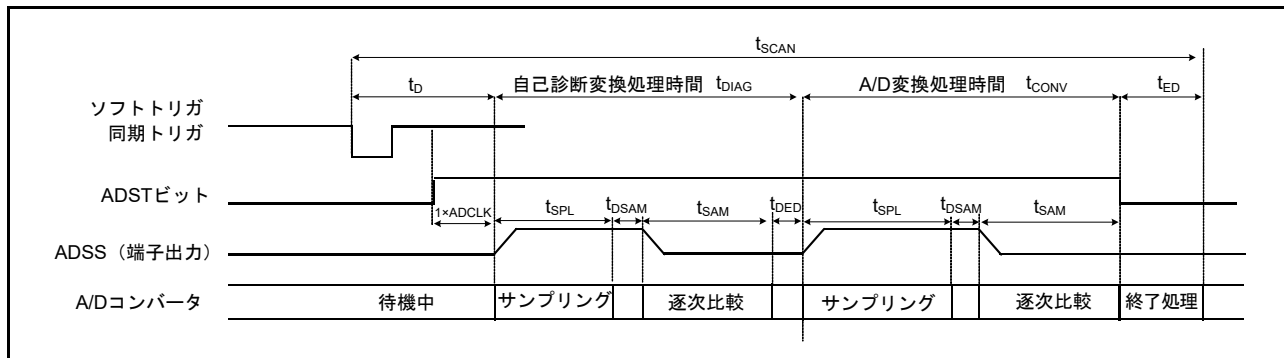


図 30.29 スキャン変換のタイミング (ソフトウェア起動、同期トリガ起動の場合)

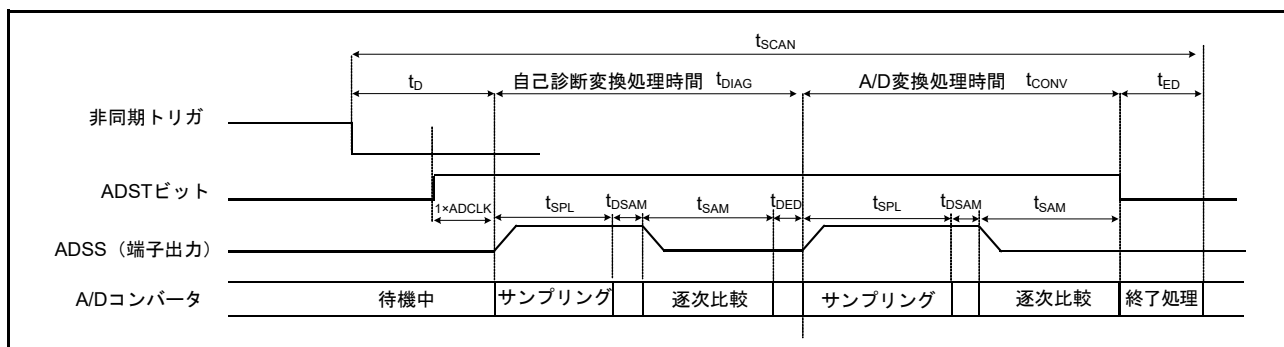


図 30.30 スキャン変換のタイミング (非同期トリガ起動の場合)

30.3.8.1 グループ優先動作でのスキャン中断 / 開始タイミング

グループ優先動作では、スキャンを中断 / 開始する下記のタイミングがあります。

1. 低優先グループのスキャンを中断し優先グループのスキャンを開始するタイミング
2. 中断した低優先グループのスキャンを再開するタイミングと、高優先グループのスキャン中に受け付けた低優先グループのトリガで、高優先グループのスキャン終了後に低優先グループのスキャンを開始するタイミング
3. 低優先グループがシングルスキャンを連続で行うタイミング

それぞれのタイミングを図 30.31 に示します。

グループ A とグループ C またはグループ B とグループ C によるスキャン中断 / 開始のタイミングは、図 30.31 に示すグループ A とグループ B によるスキャン中断 / 開始のタイミングと同じになります。シングルスキャンの連続は、グループ B とグループ C 共に同じタイミングになります。

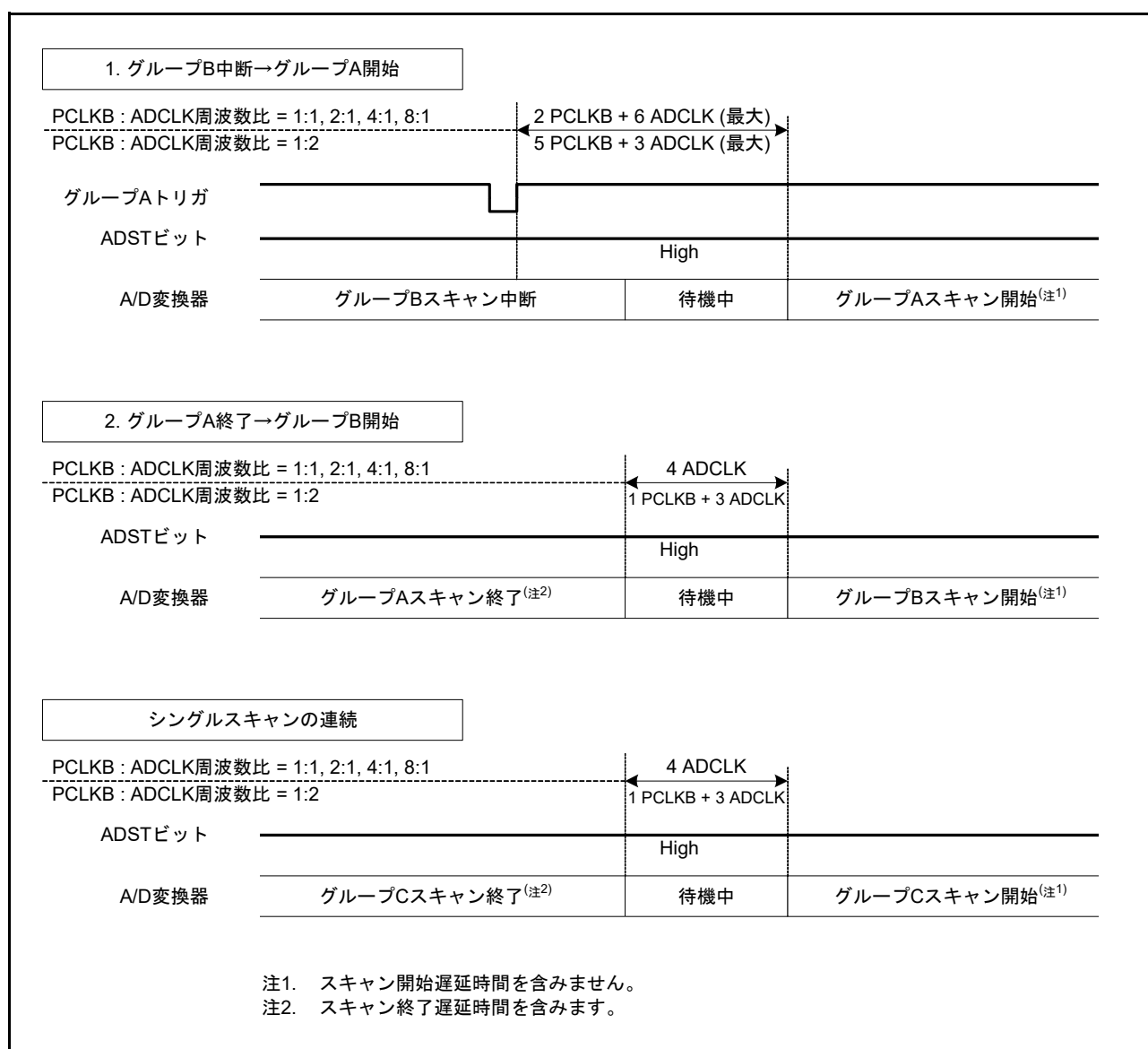


図 30.31 グループ優先でのスキャン停止 / 起動タイミング

30.3.9 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU, DTC によって A/D データレジスタ (ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB) を読み出す際、自動的に ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB レジスタを“0000h”にクリアできます。

この機能を使うことにより、ADDRy, ADRD, ADTSDR, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効 / 有効時の例を示します。

ADCER.ACE ビットが“0” (自動クリア禁止) の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1” (自動クリア許可) の場合には、ADDRy = 0111h を CPU, DTC により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

30.3.10 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャネルを 2～4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換 (S12AD1 のみ)、内部基準電圧 A/D 変換選択時 (S12AD1 のみ) に使用できます。

30.3.11 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態 (A/D 高電位 / 低電位基準電圧コントロールレジスタで選択した基準電圧) に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 30.32 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 30.33 にプリチャージを選択した場合の断線検出例を、図 30.34 にディスチャージを選択した場合の断線検出例を示します。

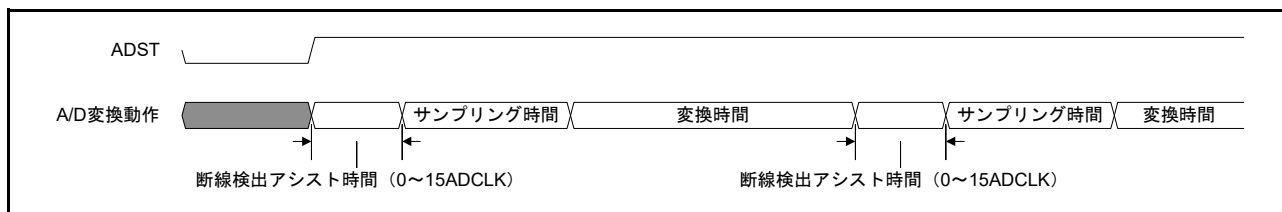


図 30.32 断線検出アシスト機能を使用した場合の A/D 変換動作図

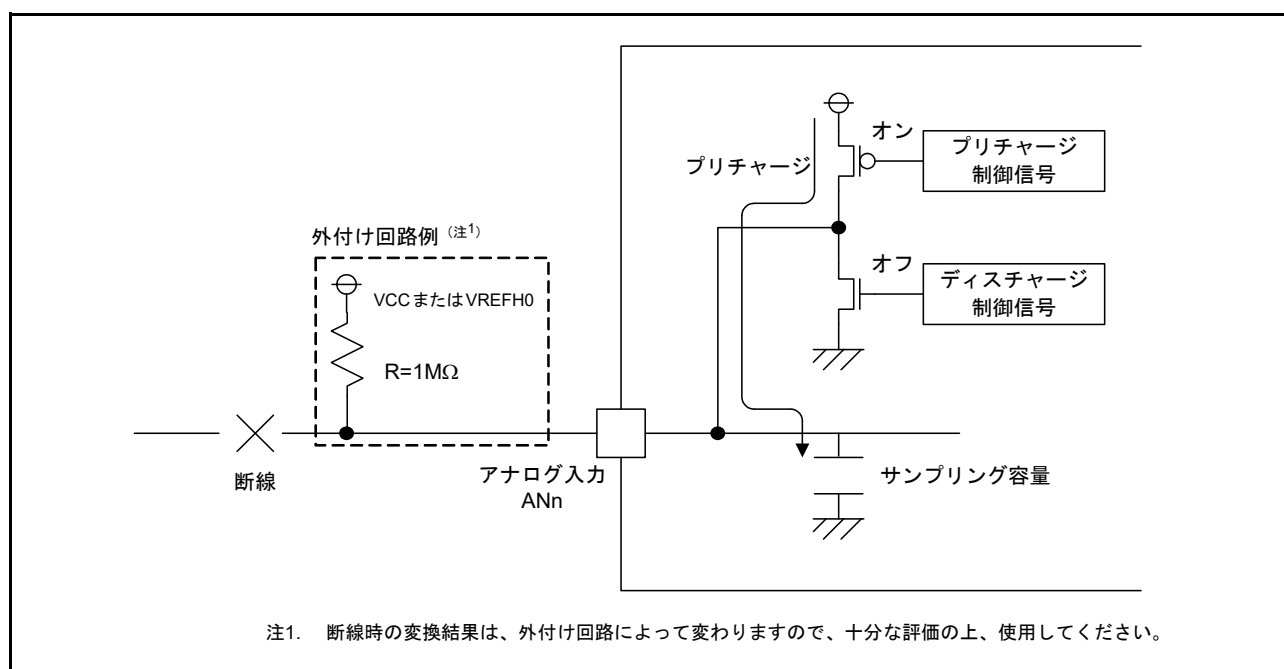


図 30.33 プリチャージを選択した場合の断線検出例

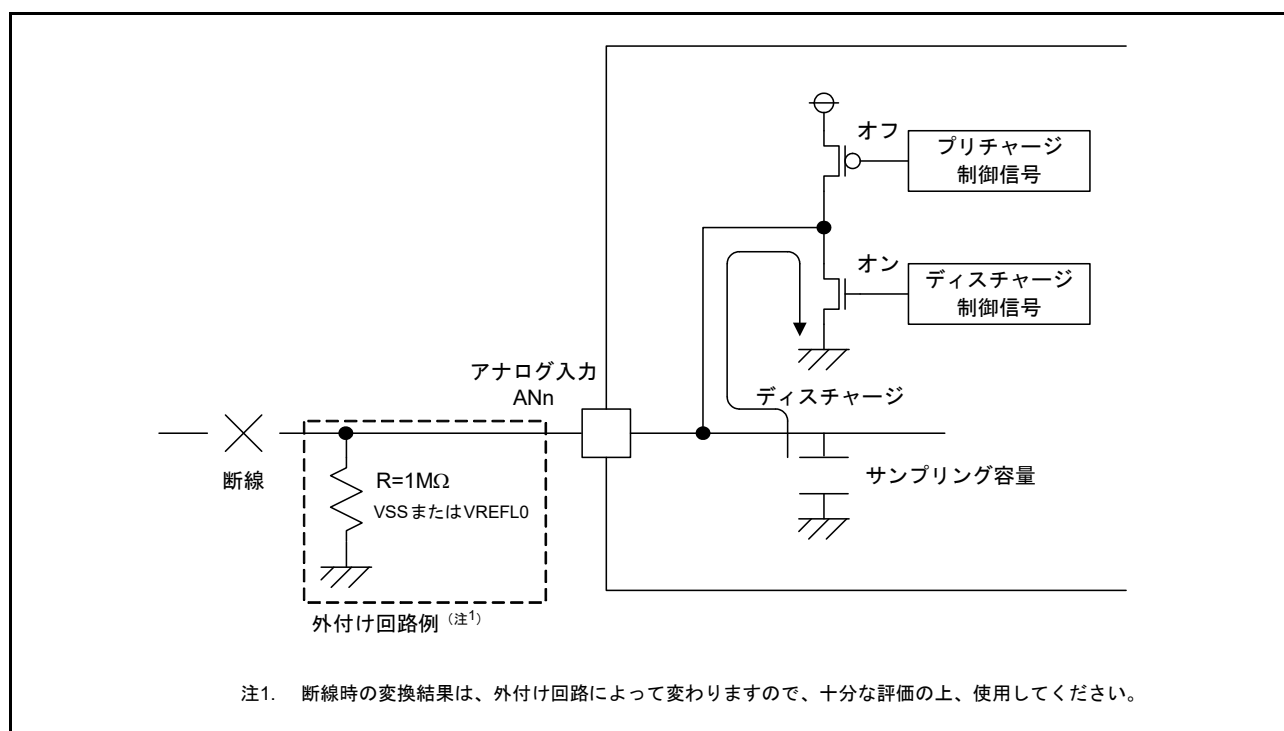


図 30.34 ディスチャージを選択した場合の断線検出例

30.3.12 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 30.35 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「30.7.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードでは非同期トリガは設定禁止です。

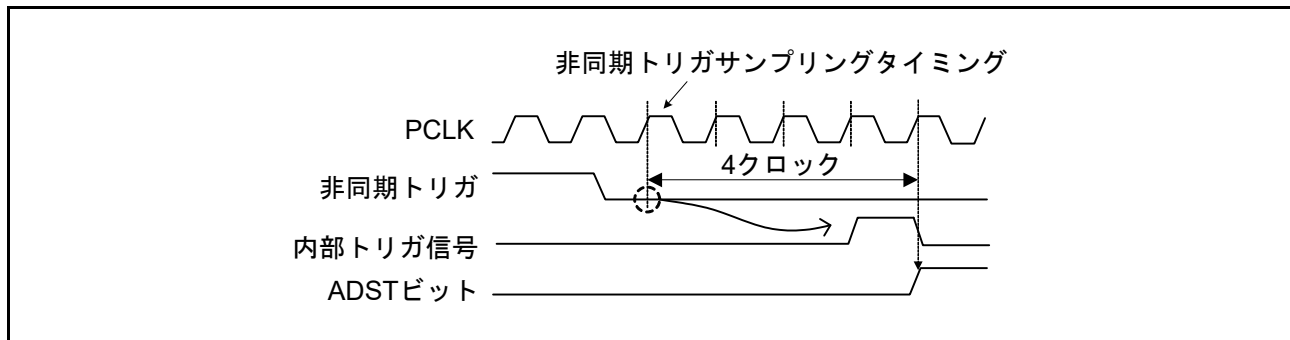


図 30.35 非同期トリガ入力タイミング

30.3.13 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビット、ADGCTRGR.TRSC[5:0] ビットで該当の A/D 変換開始要因を選択します。

30.3.14 プログラマブルゲインアンプ

プログラマブルゲインアンプは、AN000 ～ AN002 に搭載されています。

詳細は、「31. プログラマブルゲインアンプ (PGA)」を参照してください。

30.4 割り込み要因と DTC 転送要求

30.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI/S12ADI1, GBADI/GBADI1, GCADI/GCADI1 割り込みを発生することができます。

ADCSR.ADIE ビットを“1”にすると S12ADI/S12ADI1 を許可、“0”にすると S12ADI/S12ADI1 を禁止できます。ADCSR.GBADIE ビットを“1”にすると GBADI/GBADI1 を許可、“0”にすると GBADI/GBADI1 を禁止できます。ADGCTRGR.GCADIE ビットを“1”にすると GCADI/GCADI1 を許可、“0”にすると GCADI/GCADI1 を禁止できます。

また、S12ADI/S12ADI1, GBADI/GBADI1, GCADI/GCADI1 発生時に DTC を起動できます。

S12ADI/S12ADI1, GBADI/GBADI1, GCADI/GCADI1 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「16. データトランスファコントロール (DTCb)」を参照してください。

割り込みは、スキャンモードとダブルトリガモードの設定により、表 30.18 のように出力されます。

表 30.18 スキャンモードと割り込み出力

スキャンモード	ダブルトリガモード (ADCSR.DBLE)	トリガ	S12ADI割り込み (ADCSR.ADIE = 1 設定)	GBADI 割り込み (ADCSR.GBADIE = 1設定)	GCADI 割り込み (ADGCTRGR. GCADIE = 1設定)
シングルスキャン	DBLE = 0	ソフトウェア	スキャン終了毎に 出力	/	/
		同期トリガ			
		非同期トリガ			
	DBLE = 1	ソフトウェア	設定禁止		
		同期トリガ	スキャン偶数回終 了毎に出力		
		非同期トリガ	設定禁止		
連続スキャン	設定禁止	ソフトウェア	スキャン終了毎に 出力	/	/
		同期トリガ			
		非同期トリガ			
グループスキャン	DBLE = 0	ソフトウェア	設定禁止	設定禁止	設定禁止
		同期トリガ	グループAのスキャン 終了毎に出力	グループBのスキャン 終了毎に出力	グループCのスキャン 終了毎に出力
		非同期トリガ	設定禁止	設定禁止	設定禁止
	DBLE = 1	ソフトウェア	設定禁止	設定禁止	設定禁止
		同期トリガ	グループAのスキャン 偶数回終了毎に 出力	グループBのスキャン 終了毎に出力	グループCのスキャン 終了毎に出力
		非同期トリガ	設定禁止	設定禁止	設定禁止

30.5 基準電圧の選択方法

A/D コンバータは高電位側基準電圧を VREFH0 と VCC、低電位側基準電圧を VREFL0 と VSS からそれぞれ選択することができます。A/D 変換前に設定してください。設定の詳細は、「30.2.16 A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)」を参照してください。

30.6 許容信号源インピーダンスについて

図 30.36 にアナログ入力端子と外部センサの等価回路を示します。

A/D 変換を正しく行うためには、内部コンデンサ (C_s) への充電がサンプリング時間内に終了することが必要です。信号源インピーダンス (R_0) が大きく C_s への充電に時間がかかるときは、ADSSTRn レジスタでサンプリング時間を延長してください。逆に R_0 が小さいときは、サンプリング時間を短縮することができます。電気的特性に各種動作条件下での許容信号源インピーダンスを記載していますので、参考にしてください。

シングルスキャンモードで 1 端子のみの変換を行う場合、外部に大容量のコンデンサ (C) を接続することにより、入力の負荷が実質的に内部入力抵抗 (R_s) だけになり、 R_0 の影響を無視できるようになります。ただし、 R_0 と C でローパスフィルタが形成されますので、変化の速いアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

信号源インピーダンスとサンプリング時間については、「38. 電気的特性」を参照してください。

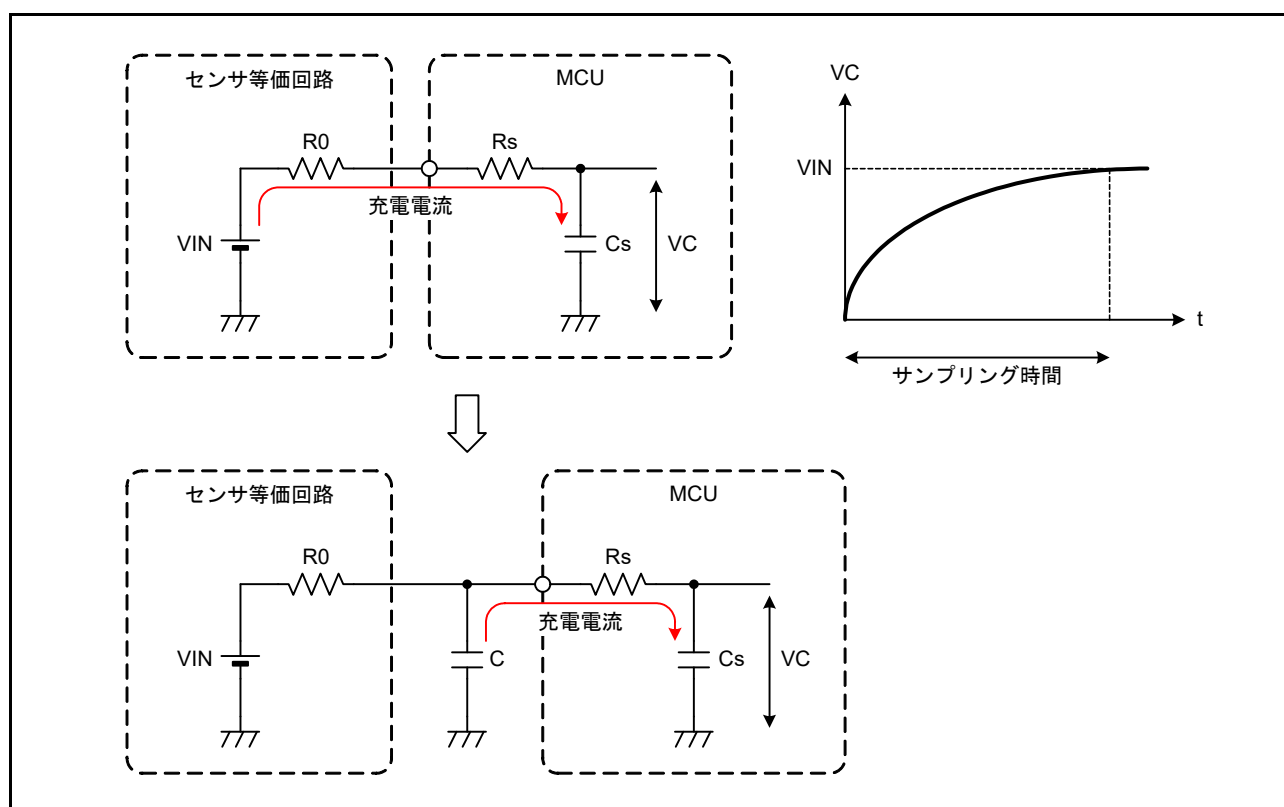


図 30.36 アナログ入力端子と外部センサの等価回路

30.7 使用上の注意事項

30.7.1 データレジスタの読み出し注意事項

A/D データレジスタ、A/D データ二重化レジスタ、A/D データ二重化レジスタ A、A/D データ二重化レジスタ B、A/D 温度センサデータレジスタ (S12AD1 のみ)、A/D 内部基準電圧データレジスタ (S12AD1 のみ)、および A/D 自己診断データレジスタの読み出しは、16 ビット単位で行ってください。8 ビット単位で上位バイト / 下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、8 ビット単位の読み出しは行わないでください。

30.7.2 A/D 変換停止時の注意事項

30.7.2.1 A/D 変換停止手順

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、図 30.37 のフローチャートの手順に従ってください。

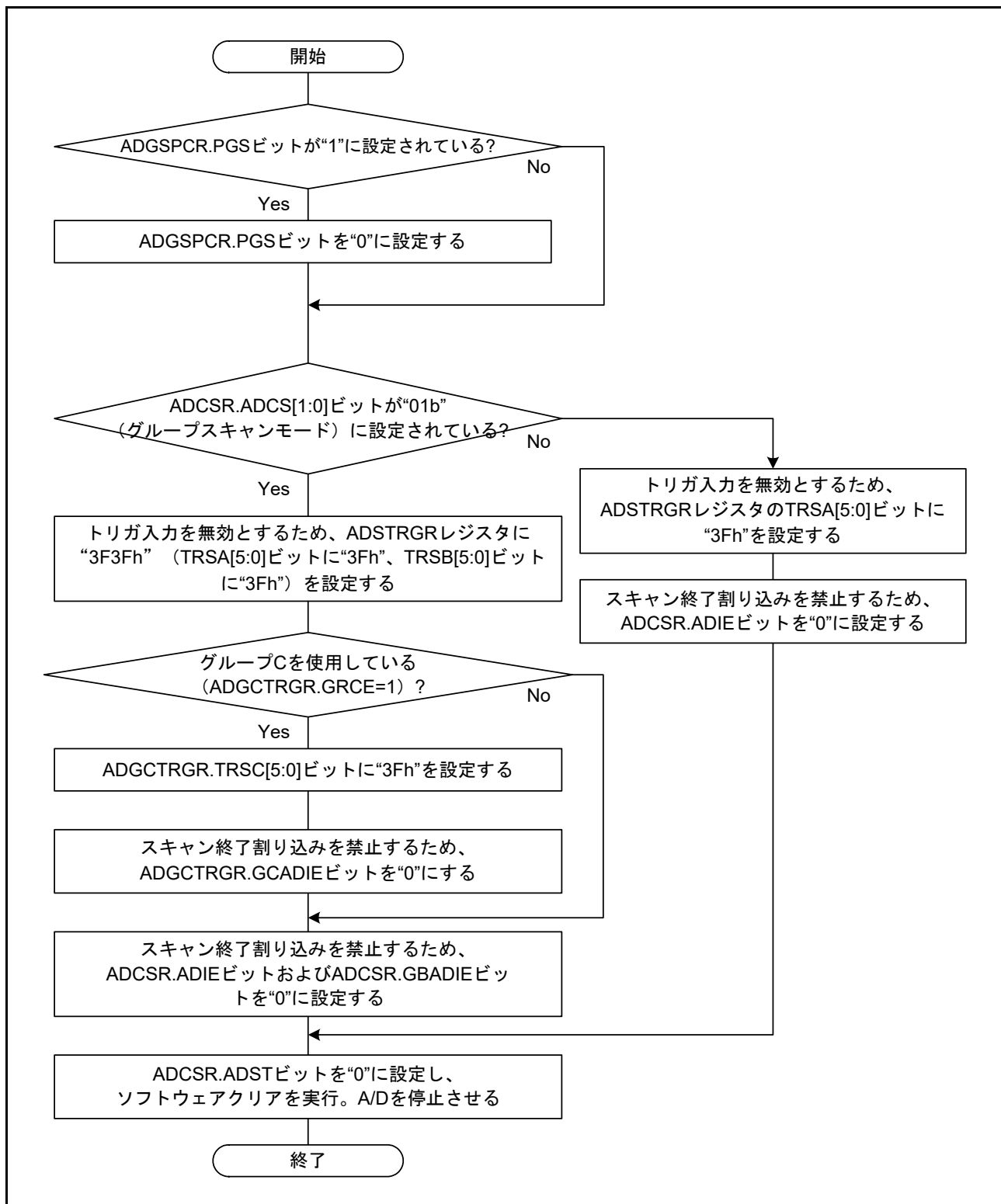


図 30.37 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

30.7.2.2 モード / ステータスフラグの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数 / 偶数判定は、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定をするには、ADCER.DIAGLD ビットを“1”にし ADCER.DIAGVAL[1:0] ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを“0”から“1”にするとスキャン1回目の動作から開始します。

30.7.3 A/D 変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのに ADCLK で最大6クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLK で最大3クロック（ADCLK が PCLK より高速な場合（PCLK : ADCLK 周波数比 = 1 : 2 の設定）では、最大1 PCLK + 2 ADCLK）の時間を必要とします。

30.7.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

30.7.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、12ビットA/Dコンバータの動作禁止 / 許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs 待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

30.7.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 30.37 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の3クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

30.7.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間またはPLL回路の安定時間経過後、さらに1μs以上待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

30.7.8 12ビットA/Dコンバータを使用する場合の端子の設定

A/D変換中のアナログ入力端子付近の端子出力が変化すると、A/D変換精度に影響を及ぼすことがあります。

30.7.9 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (R_p) と信号源抵抗 (R_s) の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

30.7.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN000 ~ AN007, AN102 ~ AN107 に印加する電圧は、 $V_{SS} \leq V_{ANn} \leq V_{CC}$ の範囲としてください。アナログ入力端子 AN000 ~ AN007, AN102 ~ AN107 に印加する電圧が、 V_{REFH0} を超える場合は、正しく変換できません (図 30.38 参照)。

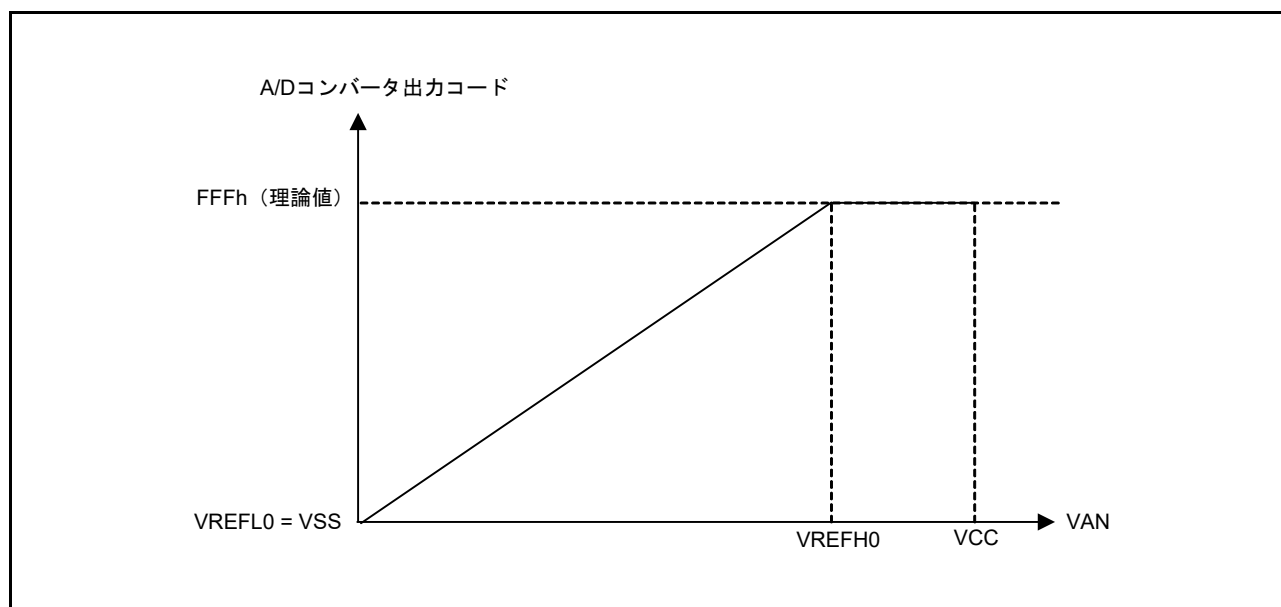


図 30.38 アナログ入力端子に印加する電圧と出力コードの関係

- 各電源端子（VREFH0 – VREFL0, VCC – VSS）の関係

図 30.39 に示すように各々の電源間に最短で閉ループが形成できるように $0.1\mu\text{F}$ のコンデンサを接続し、供給元で $\text{VREFL0} = \text{VSS}$ になるように接続してください。

A/D コンバータの基準電圧に VCC、VSS を使用し、VREFH0、VREFL0 端子を他の用途に使用する場合は、コンデンサは接続しないでください。

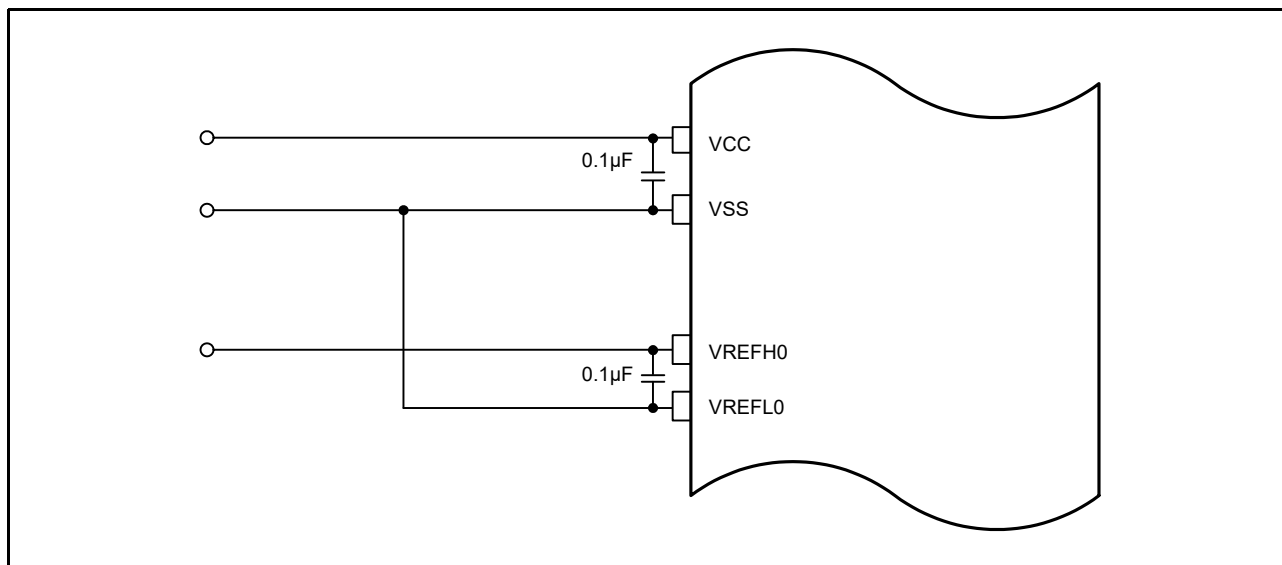


図 30.39 各電源端子の接続例

30.7.11 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子（AN000～AN007, AN102～AN107）、基準電源端子（VREFH0）、基準グランド端子（VREFL0）はデジタル回路から離してください。

30.7.12 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN000～AN007, AN102～AN107）の破壊を防ぐために、図 30.40 に示すように VCC と VSS 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子（AN000～AN007, AN102～AN107）を基準に保護回路を接続してください。

A/Dコンバータの基準電圧に VCC、VSS を使用し、VREFH0、VREFL0 端子を他の用途に使用する場合は、コンデンサは接続しないでください。

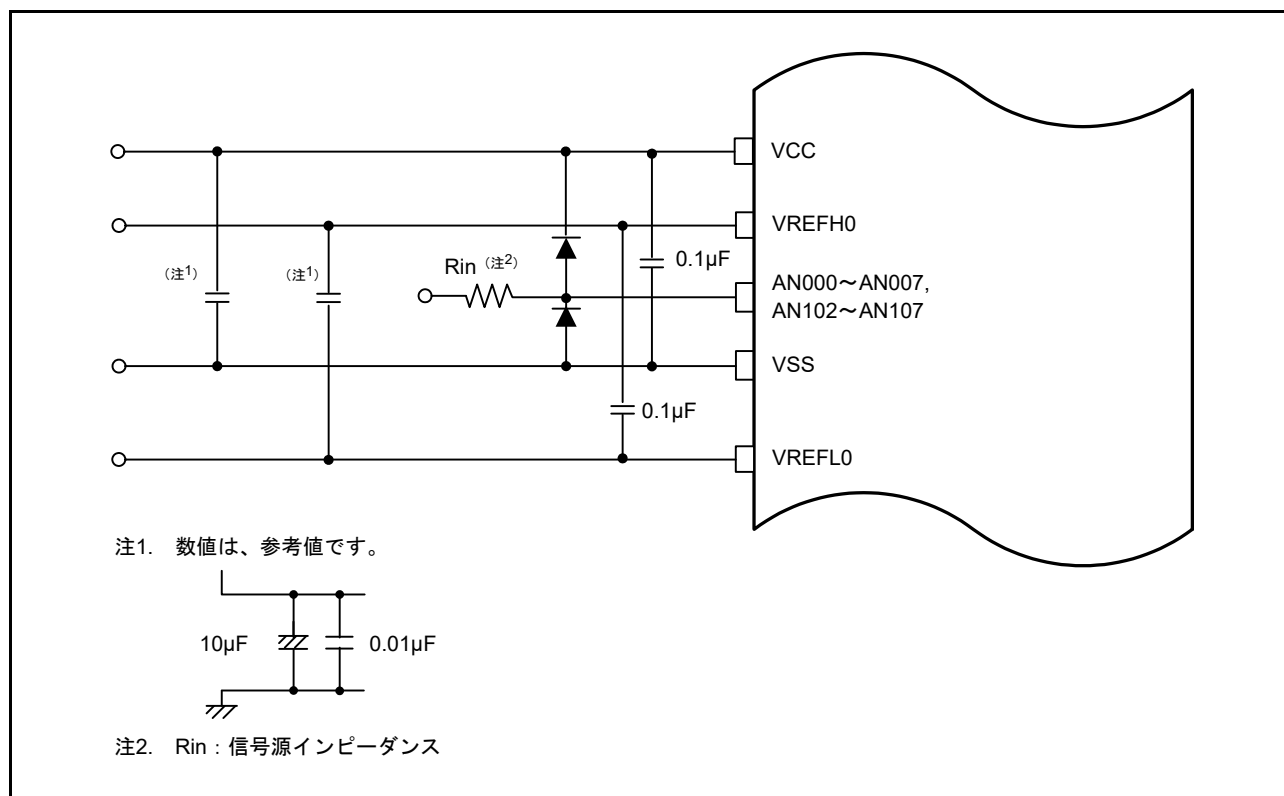


図 30.40 アナログ入力保護回路の例

31. プログラマブルゲインアンプ (PGA)

31.1 概要

本 MCU には、プログラマブルゲインアンプ (PGA00 ~ PGA02) が内蔵されており、アナログ入力端子 PGAIN00 ~ PGAIN02 の入力信号を増幅することが可能です。増幅した信号は、A/D コンバータのアナログ入力、コンパレータのアナログ入力として使用することができます。

プログラマブルゲインアンプの仕様を表 31.1 に、プログラマブルゲインアンプの入出力端子を表 31.2 に、プログラマブルゲインアンプの出力信号 (内部信号) を表 31.3 に、ブロック図を図 31.1 に示します。

表31.1 プログラマブルゲインアンプの仕様

項目	内容
ユニット数	3ユニット (PGA00, PGA01, PGA02)
ゲイン	4、8、16、32倍を設定可能
フィードバック抵抗のグラウンド	VSSまたはPGAGNDを選択可能
プログラマブルゲインアンプ出力モニタ	PGA00 ~ PGA02のいずれかの出力をPGAOUT0端子に出力可能

表31.2 プログラマブルゲインアンプの入出力端子

端子名	入出力	機能
AN000/PGAIN00	入力	アナログ入力端子
AN001/PGAIN01	入力	アナログ入力端子
AN002/PGAIN02	入力	アナログ入力端子
VCC	入力	アナログ回路の電源端子
VSS	入力	アナログ回路のグラウンド端子
PGAGND	入力	プログラマブルゲインアンプ専用グラウンド端子
PGAOUT0	出力	プログラマブルゲインアンプモニタ端子

表31.3 プログラマブルゲインアンプの出力信号 (内部信号)

信号線名	機能
PGAOUT00	PGA00の出力信号
PGAOUT01	PGA01の出力信号
PGAOUT02	PGA02の出力信号

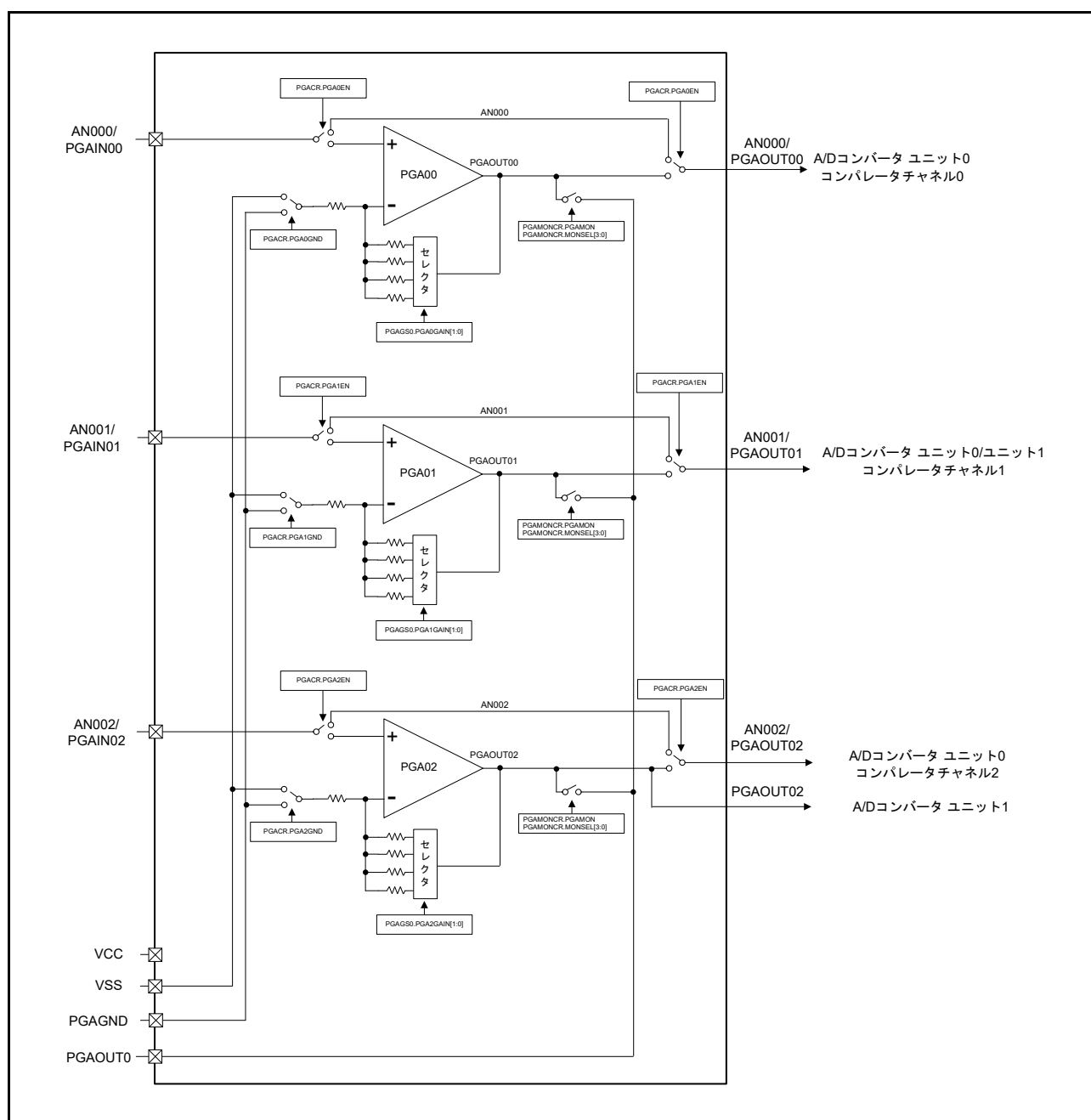


図 31.1 プログラマブルゲインアンプのブロック図

31.2 レジスタの説明

31.2.1 プログラマブルゲインアンプコントロールレジスタ (PGACR)

アドレス PGA0.PGACR 0008 91A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	PGA2G ND	PGA1G ND	PGA0G ND	—	PGA2E N	—	—	—	PGA1E N	—	—	—	PGA0E N	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W
b2	PGA0EN	PGA0イネーブルビット	0 : PGA00を使用しない 1 : PGA00を使用する	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W
b6	PGA1EN	PGA1イネーブルビット	0 : PGA01を使用しない 1 : PGA01を使用する	R/W
b9-b7	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W
b10	PGA2EN	PGA2イネーブルビット	0 : PGA02を使用しない 1 : PGA02を使用する	R/W
b11	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W
b12	PGA0GND	PGA0フィードバック抵抗のグランド選択ビット	0 : VSSを選択 (注1) 1 : PGAGNDを選択	R/W
b13	PGA1GND	PGA1フィードバック抵抗のグランド選択ビット	0 : VSSを選択 (注1) 1 : PGAGNDを選択	R/W
b14	PGA2GND	PGA2フィードバック抵抗のグランド選択ビット	0 : VSSを選択 (注1) 1 : PGAGNDを選択	R/W
b15	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W

注1. 本ビットを“0”にした場合、VSSに流れる電流が増えるに従って、プログラマブルゲインアンプの特性が悪化します。

PGA0.PGACR レジスタは、プログラマブルゲインアンプ PGA00 ~ PGA02 を有効または無効にするために使用します。

PGA0EN ビット (PGA0 イネーブルビット)

プログラマブルゲインアンプ PGA00 を使用する / しないを選択します。

PGA1EN ビット (PGA1 イネーブルビット)

プログラマブルゲインアンプ PGA01 を使用する / しないを選択します。

PGA2EN ビット (PGA2 イネーブルビット)

プログラマブルゲインアンプ PGA02 を使用する / しないを選択します。

PGA0GND ビット (PGA0 フィードバック抵抗のグランド選択ビット)

プログラマブルゲインアンプ PGA00 のフィードバック抵抗のグランドを選択します。

PGA1GND ビット (PGA1 フィードバック抵抗のグランド選択ビット)

プログラマブルゲインアンプ PGA01 のフィードバック抵抗のグランドを選択します。

PGA2GND ビット (PGA2 フィードバック抵抗のグランド選択ビット)

プログラマブルゲインアンプ PGA02 のフィードバック抵抗のグランドを選択します。

31.2.2 プログラマブルゲインアンプゲイン設定レジスタ 0 (PGAGS0)

アドレス PGA0.PGAGS0 0008 91A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PGA2GAIN[1:0]	—	—	PGA1GAIN[1:0]	—	—	PGA0GAIN[1:0]	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PGA0GAIN[1:0]	PGA0ゲイン設定ビット	PGA00のゲインは以下ようになります。 b1 b0 0 0 : × 4 0 1 : × 8 1 0 : × 16 1 1 : × 32	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W
b5-b4	PGA1GAIN[1:0]	PGA1ゲイン設定ビット	PGA01のゲインは以下ようになります。 b5 b4 0 0 : × 4 0 1 : × 8 1 0 : × 16 1 1 : × 32	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W
b9-b8	PGA2GAIN[1:0]	PGA2ゲイン設定ビット	PGA02のゲインは以下ようになります。 b9 b8 0 0 : × 4 0 1 : × 8 1 0 : × 16 1 1 : × 32	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W

PGA0.PGAGS0 レジスタは、プログラマブルゲインアンプ PGA00 ～ PGA02 のゲインを設定するために使用します。

PGA0GAIN[1:0] ビット (PGA0 ゲイン設定ビット)

プログラマブルゲインアンプ PGA00 のゲイン倍率を設定します。

PGA1GAIN[1:0] ビット (PGA1 ゲイン設定ビット)

プログラマブルゲインアンプ PGA01 のゲイン倍率を設定します。

PGA2GAIN[1:0] ビット (PGA2 ゲイン設定ビット)

プログラマブルゲインアンプ PGA02 のゲイン倍率を設定します。

31.2.3 プログラマブルゲインアンプモニタ出力コントロールレジスタ (PGAMONCR)

アドレス PGA0.PGAMONCR 0008 91E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	MONSEL[3:0]				—	—	—	PGAMON
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGAMON	PGAOUT0許可ビット	0：モニタ出力禁止 1：モニタ出力許可	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合“0”を書いてください	R/W
b7-b4	MONSEL[3:0]	PGAOUT0選択ビット	b7 b4 0 0 0 0：モニタ出力選択なし 1 0 0 0：PGA00選択 1 0 0 1：PGA01選択 1 0 1 0：PGA02選択 上記以外は設定しないでください	R/W

PGA0.PGAMONCR レジスタは、プログラマブルゲインアンプの出力モニタ機能を制御するために使用します。

PGAMON ビット (PGAOUT0 許可ビット)

PGAOUT0 端子からプログラマブルゲインアンプ信号を出力するかしないかを選択します。

MONSEL[3:0] ビット (PGAOUT0 選択ビット)

どのプログラマブルゲインアンプをモニタするか選択します。

31.3 動作説明

プログラマブルゲインアンプは、アナログ入力端子 PGAIN00 ～ PGAIN02 の入力信号を、マイコン内部で増幅します。増幅した信号は、A/D コンバータのアナログ入力、コンパレータのアナログ入力として使用することができます。

プログラマブルゲインアンプの入力端子と、A/D コンバータのユニットおよび変換結果格納先は、「30. 12 ビット A/D コンバータ (S12ADF)」の「表 30.11 アナログ入力の設定と A/D 変換結果格納先」を参照してください。

コンパレータの入力端子の対応は、「34. コンパレータ C (CMPCa)」の「表 34.3 コンパレータ C のアナログ入力端子接続先」を参照してください。

プログラマブルゲインアンプの動作開始手順を図 31.2 に、動作停止手順を図 31.3 に示します。

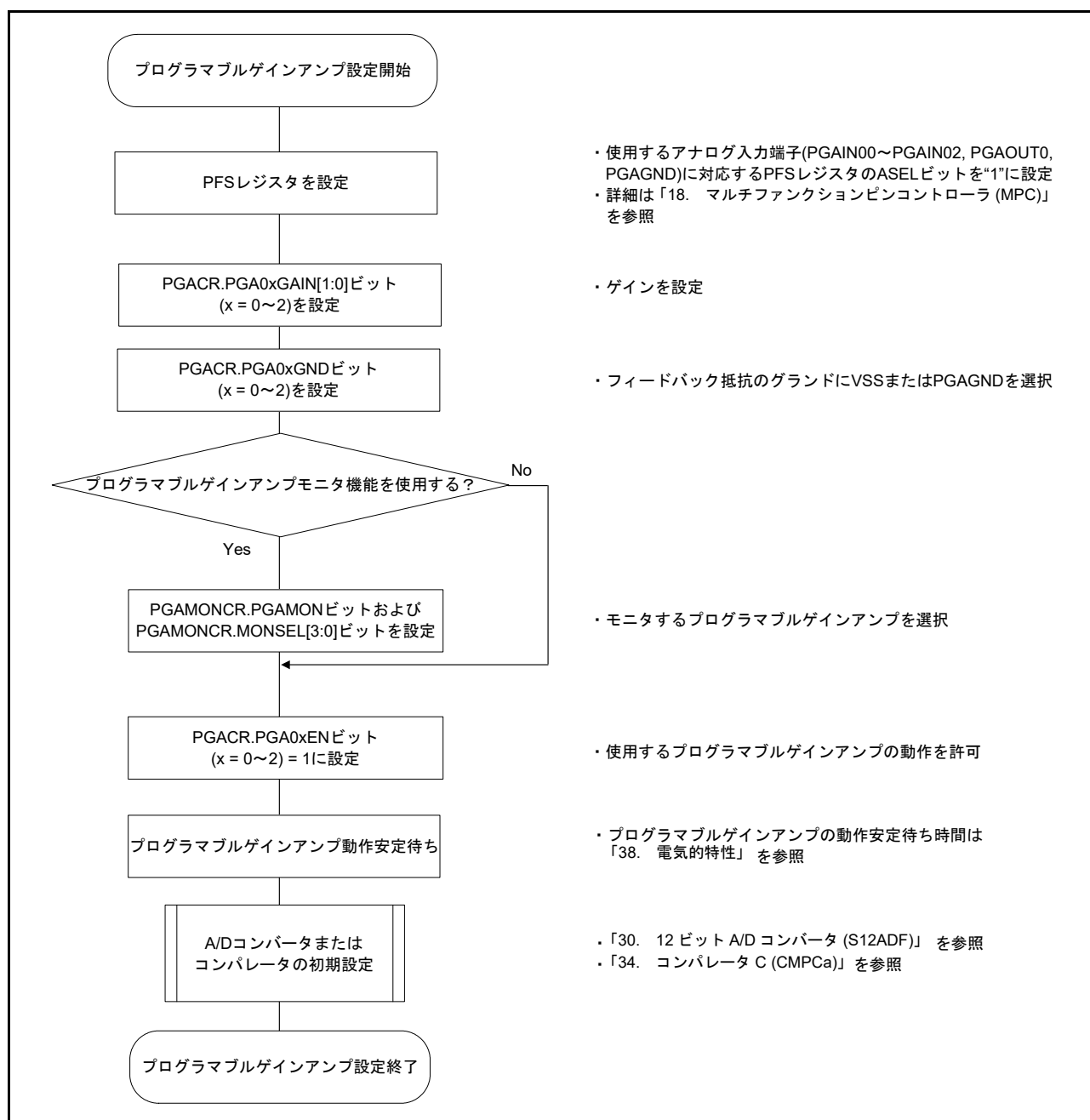


図 31.2 プログラマブルゲインアンプの動作開始設定フロー

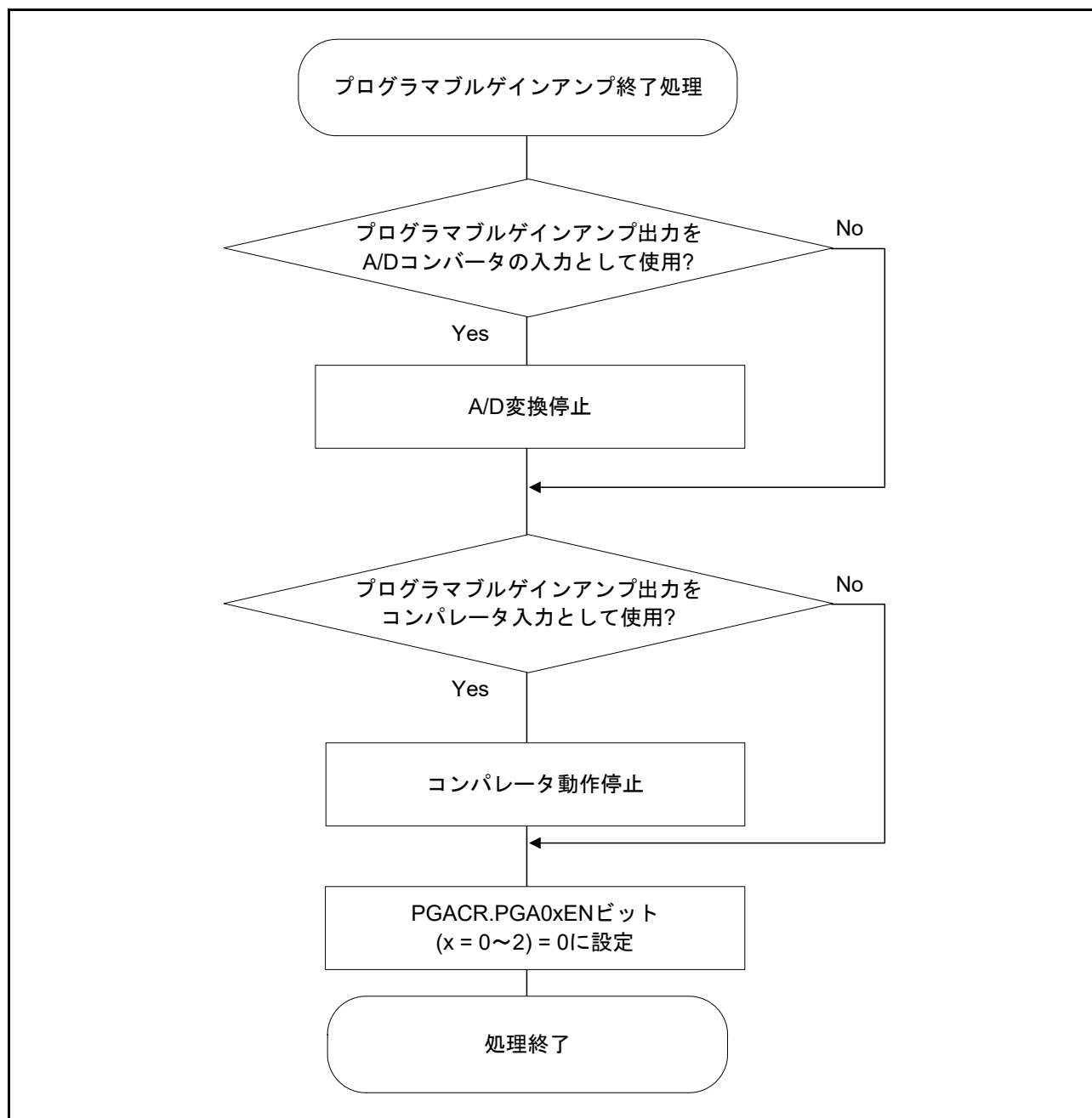


図 31.3 プログラマブルゲインアンプの動作停止設定フロー

31.4 使用上の注意

31.4.1 プログラマブルゲインアンプモニタ機能に関する制限

プログラマブルゲインアンプモニタ機能はMCUのプログラム開発およびデバッグを目的とした補助機能です。PGAOUT0端子にはオシロスコープ等以外は接続しないでください。また、外部でゲイン調整することはできません。

31.4.2 PGAGND 端子使用時の注意

PGACR.PGA0xGND = 1 (x = 0 ~ 2) にしたときは、PGAGND と VSS を同電位にしてください。

31.4.3 モジュールストップ機能の設定

リセット解除後、プログラマブルゲインアンプの動作は停止しています。A/Dコンバータユニット0のモジュールストップを解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

31.4.4 モジュールストップ時のプログラマブルゲインアンプの動作

プログラマブルゲインアンプを動作させたままモジュールストップ状態に移行すると、プログラマブルゲインアンプのアナログ回路の動作が停止しないためアナログ電源電流はプログラマブルゲインアンプ使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、PGACR.PGAxEN ビット (x = 0 ~ 2) を“0”にしてプログラマブルゲインアンプを停止させてください。

31.4.5 ソフトウェアスタンバイモード時のプログラマブルゲインアンプの動作

プログラマブルゲインアンプを動作させたままソフトウェアスタンバイモードに移行すると、プログラマブルゲインアンプのアナログ回路の動作が停止しないためアナログ電源電流はプログラマブルゲインアンプ使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、PGACR.PGAxEN ビット (x = 0 ~ 2) を“0”にしてプログラマブルゲインアンプを停止させてください。

32. D/A コンバータ (DAa)

32.1 概要

本MCUは、8ビットD/Aコンバータを2チャンネル内蔵しています。

チャンネル 1 は、コンパレータ C のリファレンス入力電圧生成専用です。MCU 外部へのアナログ出力端子はありません。チャンネル 0 は、コンパレータ C のリファレンス入力電圧生成と外部へのアナログ出力を兼用しています。

表 32.1 に 8 ビット D/A コンバータの仕様を示します。図 32.1 に 8 ビット D/A コンバータのブロック図を示します。

表32.1 8ビットD/Aコンバータの仕様

項目	内容
分解能	8ビット
出力チャンネル	2チャンネル
アナログモジュールの干渉対策	D/A変換とA/D変換の干渉対策 12ビットA/Dコンバータ(ユニット1)が出力する12ビットA/Dコンバータ同期D/A変換許可信号により、D/A変換データの更新タイミングを制御する。 これにより、8ビットD/Aコンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉によるA/D変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能

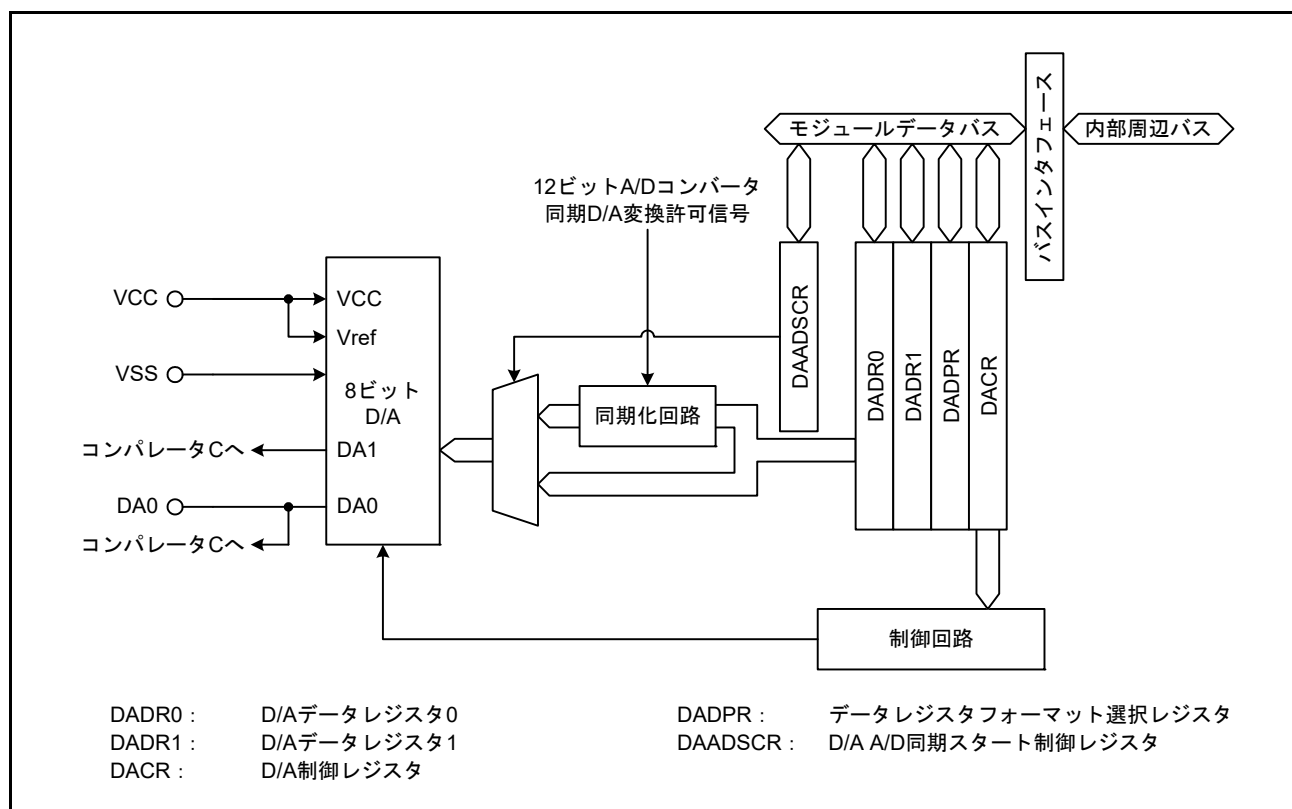


図 32.1 8 ビット D/A コンバータのブロック図

表 32.2 に 8 ビット D/A コンバータで使用する入出力端子を示します。

表 32.2 8ビットD/Aコンバータの入出力端子

端子名	入出力	機能
VCC	入力	電源端子
VSS	入力	グランド端子
DA0	出力	チャンネル0のアナログ出力

32.2 レジスタの説明

32.2.1 D/A データレジスタ m (DADRm) (m = 0, 1)

アドレス DA.DADR0 0008 80C0h, DA.DADR1 0008 80C2h

- ・ DADPR.DPSEL ビット = 0 (データは右詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	0	0	0	0	0	0	0	0

- ・ DADPR.DPSEL ビット = 1 (データは左詰め)

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—

DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し / 書き込み可能なレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換され D/A コンバータから出力されます。

DADPR.DPSEL ビットの設定によって 8 ビットのデータの配置を変更できます。“—” のビットは、読むと“0” が読めます。書く場合、“0” としてください。

32.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 80C4h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	—	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	DAOE0	D/A出力許可0ビット	0 : チャネル0のアナログ出力(DA0)を禁止 1 : チャネル0のD/A変換を許可 チャネル0のアナログ出力(DA0)を許可	R/W
b7	DAOE1	D/A出力許可1ビット	0 : チャネル1のD/A変換を禁止 1 : チャネル1のD/A変換を許可	R/W

このレジスタは、DAADSCR.DAADST ビットが“1”(D/A 変換と A/D 変換の干渉対策が有効) の場合、12 ビット A/D コンバータ (ユニット 1) 停止中に設定してください (ADCSR.ADST ビットが“0”のときに設定してください)。このとき確実に 12 ビット A/D コンバータ (ユニット 1) を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

DAOE0 ビット (D/A 出力許可 0 ビット)

D/A 変換とアナログ出力を制御します。

DAOE1 ビット (D/A 出力許可 1 ビット)

D/A 変換を制御します。

32.2.3 データレジスタフォーマット選択レジスタ (DADPR)

アドレス DA.DADPR 0008 80C5h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	フォーマット選択ビット	0 : D/A データレジスタは右詰め 1 : D/A データレジスタは左詰め	R/W

32.2.4 D/A A/D 同期スタート制御レジスタ (DAADSCR)

アドレス DA.DAADSCR 0008 80C6h

	b7	b6	b5	b4	b3	b2	b1	b0
DAADST	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DAADST	D/A A/D同期変換ビット	0: 8ビットD/Aコンバータは、12ビットA/Dコンバータ(ユニット1)と同期変換しない(D/A変換とA/D変換の干渉対策の無効) 1: 8ビットD/Aコンバータは、12ビットA/Dコンバータ(ユニット1)と同期変換する(D/A変換とA/D変換の干渉対策の有効)	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉対策のために、8 ビット D/A コンバータの変換開始タイミングを 12 ビット A/D コンバータ (ユニット 1) からの 12 ビット A/D コンバータ同期 D/A 変換許可信号に同期させるかさせないかを選択します。

このレジスタは、12 ビット A/D コンバータ (ユニット 1) 停止中に設定してください (12 ビット A/D コンバータ (ユニット 1) のトリガ選択をソフトウェアトリガに選択後、ADCSR.ADST ビットが“0”のときに設定してください)。

DAADST ビット (D/A A/D 同期変換ビット)

DAADST ビットを“0”にすると、随時 DADR_m レジスタ (m = 0, 1) の値を D/A 変換します。DAADST ビットを“1”にすると、12 ビット A/D コンバータ (ユニット 1) からの同期 D/A 変換許可信号に同期して D/A 変換が行われます。したがって、DADR_m レジスタの値を書き換えても、12 ビット A/D コンバータ (ユニット 1) の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は 12 ビット A/D コンバータ (ユニット 1) の ADCSR.ADST ビットが“0”のときに設定してください。このとき確実に 12 ビット A/D コンバータ (ユニット 1) を停止させるため、トリガ選択をソフトウェアトリガに設定してください。

32.3 動作説明

2チャンネルの8ビットD/Aコンバータは、それぞれ独立して変換を行うことができます。

DACR.DAOEmビット(m=0,1)を“1”にすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図32.2に示します。

- (1) DADPR.DPSELビットとDADR0レジスタにD/A変換を行うためのデータを設定します。
- (2) DACR.DAOE0ビットを“1”にすると、D/A変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が設定値に対応する電圧で安定します。DADR0レジスタを書き換えるか、DAOE0ビットを“0”にするまで、この電圧が出力され続けます。出力電圧(参考)は以下の式で計算します。

$$\frac{\text{DADRm レジスタ}}{256} \times V_{\text{CC}}$$

- (3) DADR0レジスタを書き換えると変換が開始されます。変換時間 t_{DCONV} が経過すると、DA0出力が変更した電圧で安定します。DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、D/A変換開始まで最大A/D変換1回分待たされます(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
- (4) DAOE0ビットを“0”にするとアナログ出力が禁止されます。

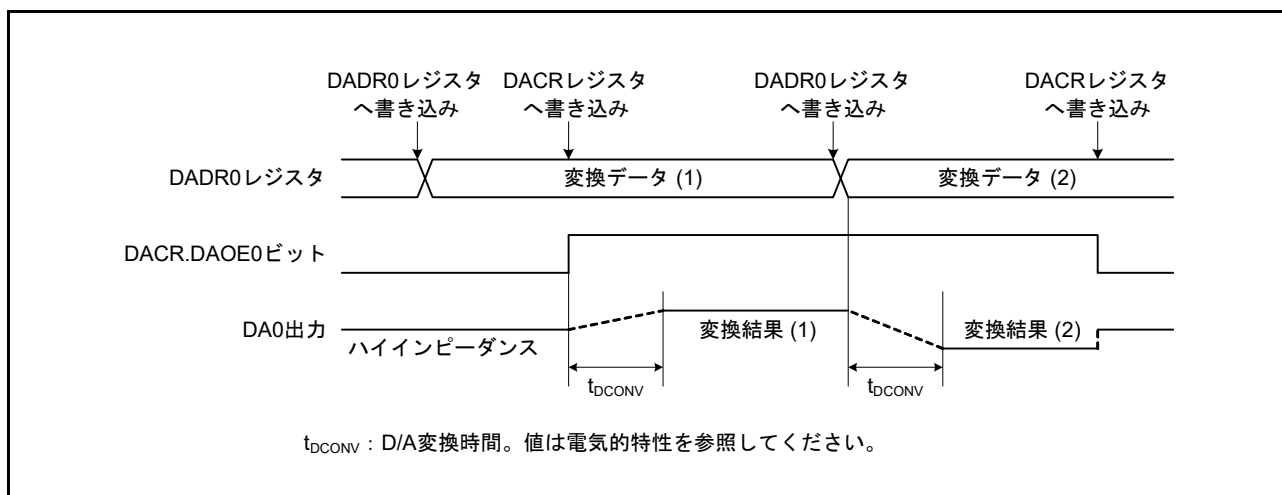


図 32.2 8ビットD/Aコンバータの動作例

32.3.1 D/A変換とA/D変換の干渉対策

D/A変換が始まると8ビットD/Aコンバータにはラッシュカレントが発生します。8ビットD/Aコンバータと12ビットA/Dコンバータ(ユニット1)のアナログ電源が共通のため、発生したラッシュカレントが12ビットA/Dコンバータ(ユニット1)の変換に干渉することがあります。

DAADSCR.DAADSTビットを“1”にしている場合、12ビットA/Dコンバータ(ユニット1)がA/D変換中にDADR_mレジスタ($m=0, 1$)にデータを書き換えても、すぐに変換されず、12ビットA/Dコンバータ(ユニット1)のA/D変換終了タイミングに同期して変換を開始します。DADR_mレジスタへの書き込みからD/A変換回路の入力に反映するまで最大A/D変換1回分待たされます。その間DADR_mレジスタ値とアナログ出力値は一致しません。

本機能が有効なときに、DADR_mレジスタの値がD/A変換されたかどうかをソフトウェアで確認する手段はありません。

DAADSCR.DAADSTビットを“1”にしている場合であっても、12ビットA/Dコンバータ(ユニット1)がADCSR.ADSTビットを“0”にして停止中であればDADR_mレジスタにデータを書き換えると、1PCLKB後にD/A変換を開始します。

図32.3に8ビットD/Aコンバータを12ビットA/Dコンバータ(ユニット1)に同期変換させる場合のチャンネル0のD/A変換の動作例を示します。

- (1) 12ビットA/Dコンバータ(ユニット1)が停止中であることを確認し、DAADSCR.DAADSTビットを“1”にする。
- (2) 12ビットA/Dコンバータ(ユニット1)が停止中であることを確認し、DACR.DAOE0ビットを“1”にする。
- (3) DADR0レジスタを設定する(ADCLKが周辺モジュールクロックよりも速い場合は、A/D変換1回分以上待たされる場合があります)。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータ(ユニット1)が停止していた場合(ADCSR.ADSTビット=0)、1PCLKB後にD/A変換が開始されます。
 - DADR0レジスタを書き換えたとき、12ビットA/Dコンバータ(ユニット1)がA/D変換中の場合(ADCSR.ADSTビット=1)、A/D変換終了時にD/A変換が開始されます。A/D変換中に2回、DADR0レジスタを書き換えた場合、1回目の値は、D/A変換されないことがあります。

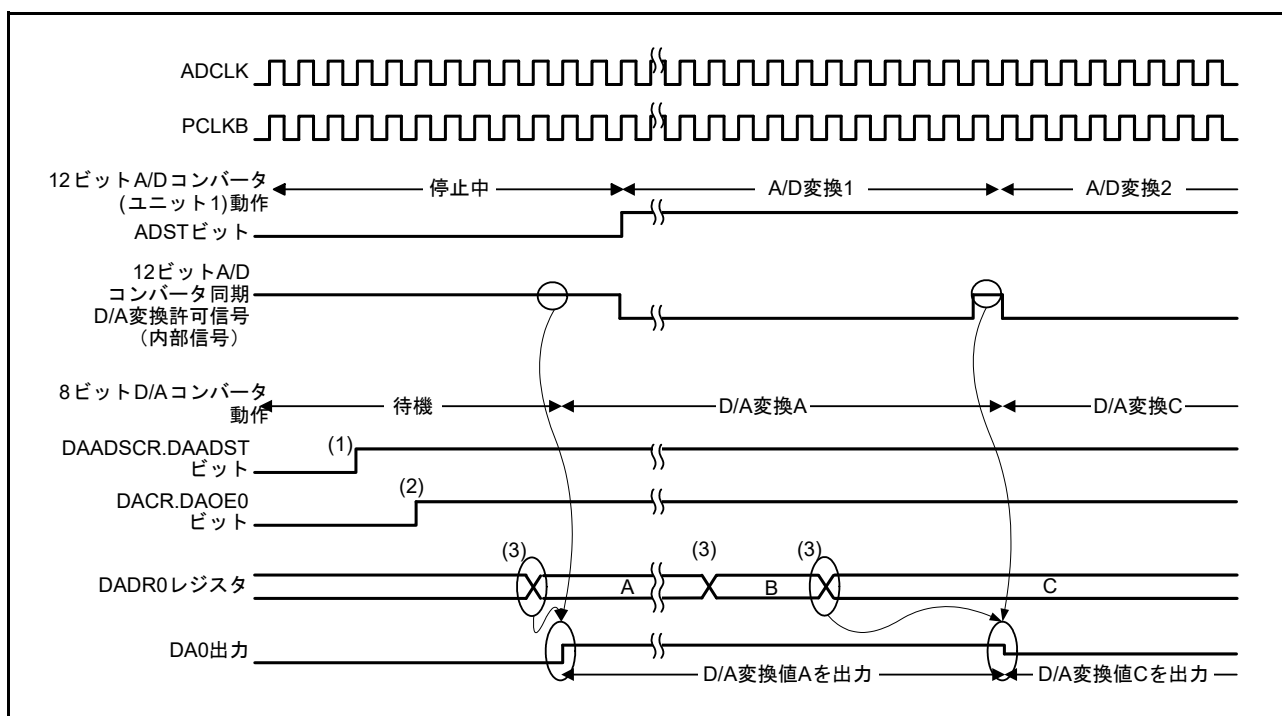


図 32.3 8ビットD/Aコンバータを12ビットA/Dコンバータ(ユニット1)に同期して変換する例

ADCLKがPCLKBよりも速い場合、A/D変換1とA/D変換2の間に出力されるADCLK 1周期分の12ビットA/Dコンバータ同期D/A変換許可信号を8ビットD/Aコンバータが取り込めない可能性があります。図 32.4 に8ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例を示します。この場合、DA0出力はD/A変換値Aの出力を継続します。

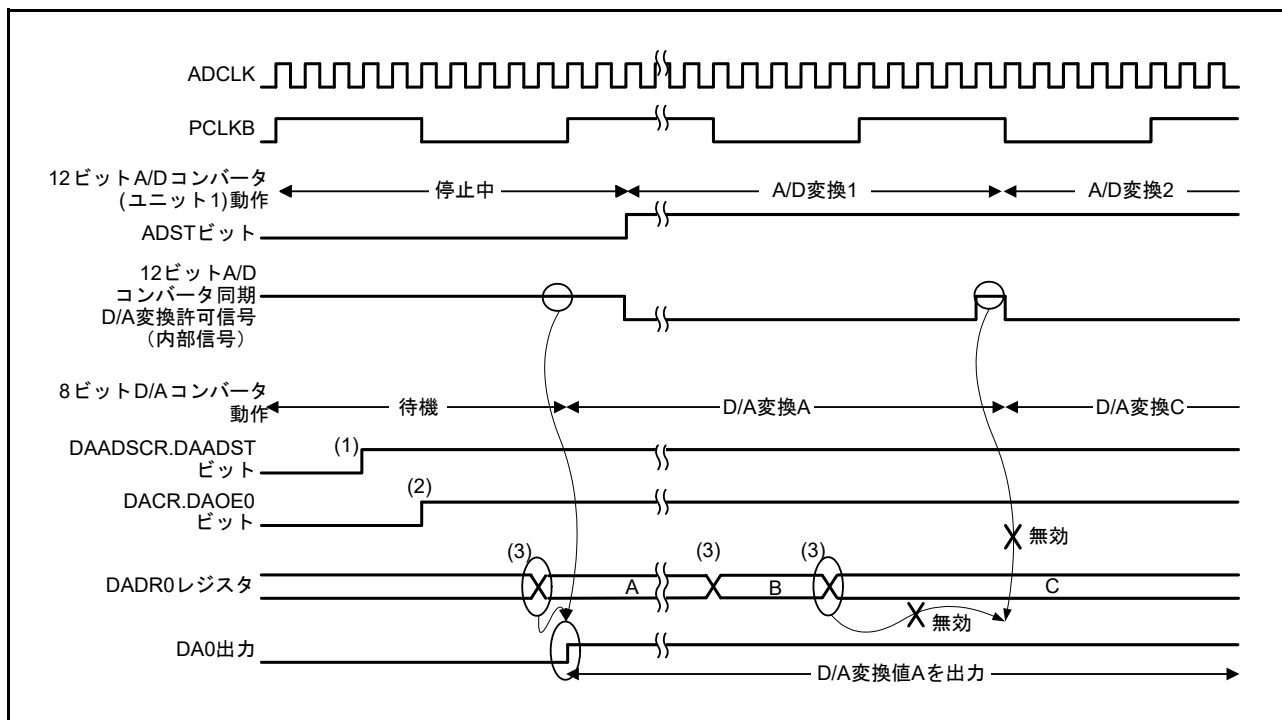


図 32.4 8ビットD/Aコンバータが12ビットA/Dコンバータ同期D/A変換許可信号を取り込めない例

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、8ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、8ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

32.4.2 モジュールストップ時のD/Aコンバータの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

32.4.3 ソフトウェアスタンバイモード時のD/Aコンバータの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/Aコンバータの出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE1, DAOE0ビットをすべて“0”にしてD/Aコンバータの出力を禁止してください。

32.4.4 D/Aコンバータの設定について

コンパレータCのリファレンス入力電圧にD/Aコンバータの出力を使用する場合、D/Aコンバータの設定は、コンパレータCの動作を許可する前に実施し、D/Aコンバータの出力が安定するまで(D/A変換時間: t_{DCONV}) 待ってからコンパレータの動作を許可してください。D/Aコンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてからD/Aコンバータの設定を変更し、D/Aコンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

32.4.5 D/A変換とA/D変換の干渉対策有効時の注意事項

DAADSCR.DAADSTビットが“1”(D/A変換とA/D変換の干渉対策が有効)の場合、12ビットA/Dコンバータ(ユニット1)をモジュールストップ状態にしないでください。A/D変換が停止するだけでなく、D/A変換が停止する可能性があります。

32.4.6 DA0端子出力とコンパレータC基準電圧との同時利用に関する注意事項

D/Aコンバータの出力を、DA0端子から出力すると同時に、コンパレータCのリファレンス入力にも使用した場合、電気的特性に記載されたD/A変換特性が満たせないことがあります。同時に使用する場合は、十分に評価した上で使用してください。

33. 温度センサ (TEMPSA)

33.1 概要

本 MCU は、温度センサを内蔵しています。温度センサは温度に比例した電圧を出力します。温度センサの出力電圧を 12 ビット A/D コンバータ (ユニット 1) でデジタル値に変換し、温度に換算することで、MCU の内部温度を求めることができます。

表 33.1 に温度センサの仕様を示します。図 33.1 に温度センサ周りのブロック図を示します。

表 33.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータへ出力

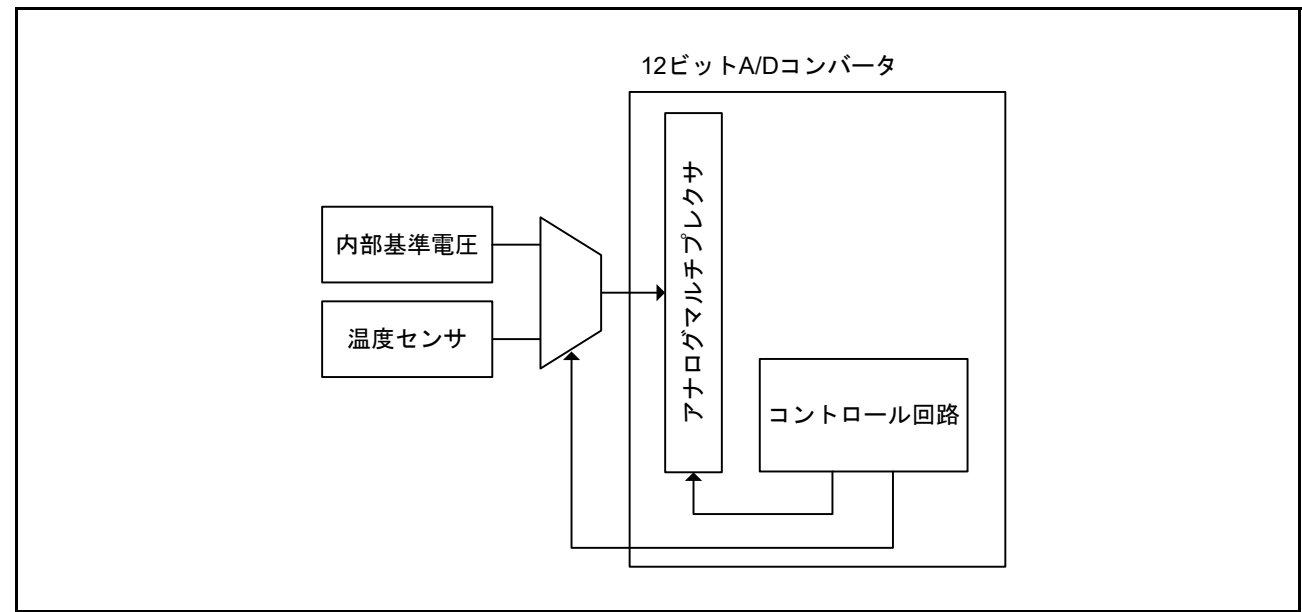


図 33.1 温度センサ周りのブロック図

33.2 レジスタの説明

33.2.1 温度センサ校正データレジスタ (TSCDR)

アドレス TEMPS.TSCDR 007F C228h



TSCDR レジスタには、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、 $T_j = 140^{\circ}\text{C}$ における温度センサの出力電圧(注1)を、 $V_{CC} = V_{REFH0} = 5\text{ V}$ の条件下で 12 ビット A/D コンバータを使用してデジタル変換した値 (CAL_{140}) です。

この変換値 CAL_{140} から、 $T_j = 140^{\circ}\text{C}$ における温度センサの出力電圧 $V1$ は、

$$V1 = 5 \times CAL_{140} / 4096 \quad (\text{V})$$

であったと計算できます。

注1. 温度センサの出力電圧 $V1$ は、 V_{CC} や V_{REFH0} の電圧に依存しません。

33.3 温度センサの使用手法

温度センサは、温度に比例する電圧を出力します。この電圧を 12 ビット A/D コンバータを用いてデジタル変換し、温度に換算することで MCU の内部温度を求めることができます。

33.3.1 使用前の準備

温度センサのキャリブレーションを実施します。温度センサ出力電圧は、温度変化と比例関係にあり、以下の式で表されます。

温度特性の式

$$T = (V_s - V_1) / \text{Slope} + T_1$$

T : 測定温度 (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

T₁ : 1 点目の試行測定時の温度 (°C)

V₁ : 1 点目の試行測定時の温度センサの出力電圧 (V)

T₂ : 2 点目の試行測定時の温度 (°C)

V₂ : 2 点目の試行測定時の温度センサの出力電圧 (V)

Slope : 温度センサの温度傾斜 (V/°C) $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

まず、温度 T₁ のときの温度センサの出力電圧 V₁ を 12 ビット A/D コンバータで試行測定することで求めます。

次に、温度 T₁ と異なる温度 T₂ のときの温度センサの出力電圧 V₂ を 12 ビット A/D コンバータにて試行測定することで求めます。

両者の測定結果から、温度傾斜 ($\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$) を求めます。

この Slope を温度特性の式に代入し、測定温度 $T = (V_s - V_1) / \text{Slope} + T_1$ を求めます。

また、「38. 電气的特性」に記載の温度傾斜を用いることで、温度 T₁ のときの温度センサの出力電圧 V₁ を、12 ビット A/D コンバータで試行測定することで求め、下記式により測定温度を算出します。なお、本測定温度精度は 2 点測定方法よりも劣ります。

$$T = (V_s - V_1) / \text{Slope} + T_1$$

また、本 MCU は、TSCDR レジスタに、T_j = 140°C、VCC = VREFH0 = 5 V の条件における温度センサの温度測定値 (CAL₁₄₀) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL₁₄₀ から V₁ を求めると、

$$V_1 = 5 \times \text{CAL}_{140} / 4096 \quad (\text{V})$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V_1) / \text{Slope} + 140 \quad (^\circ\text{C})$$

T : 測定温度 (MCU の内部温度) (°C)

V_s : 温度測定時の温度センサの出力電圧 (V)

V_1 : $T_j = 140^{\circ}\text{C}$ 、 $V_{CC} = V_{REFH0} = 5\text{ V}$ 時の温度センサの出力電圧 (V)

Slope : 表 38.56 に記載の温度傾斜 $\div 1000$ ($\text{V}/^{\circ}\text{C}$)

なお、測定温度誤差 (ばらつき範囲は 3σ) は、図 33.2 のとおりです。

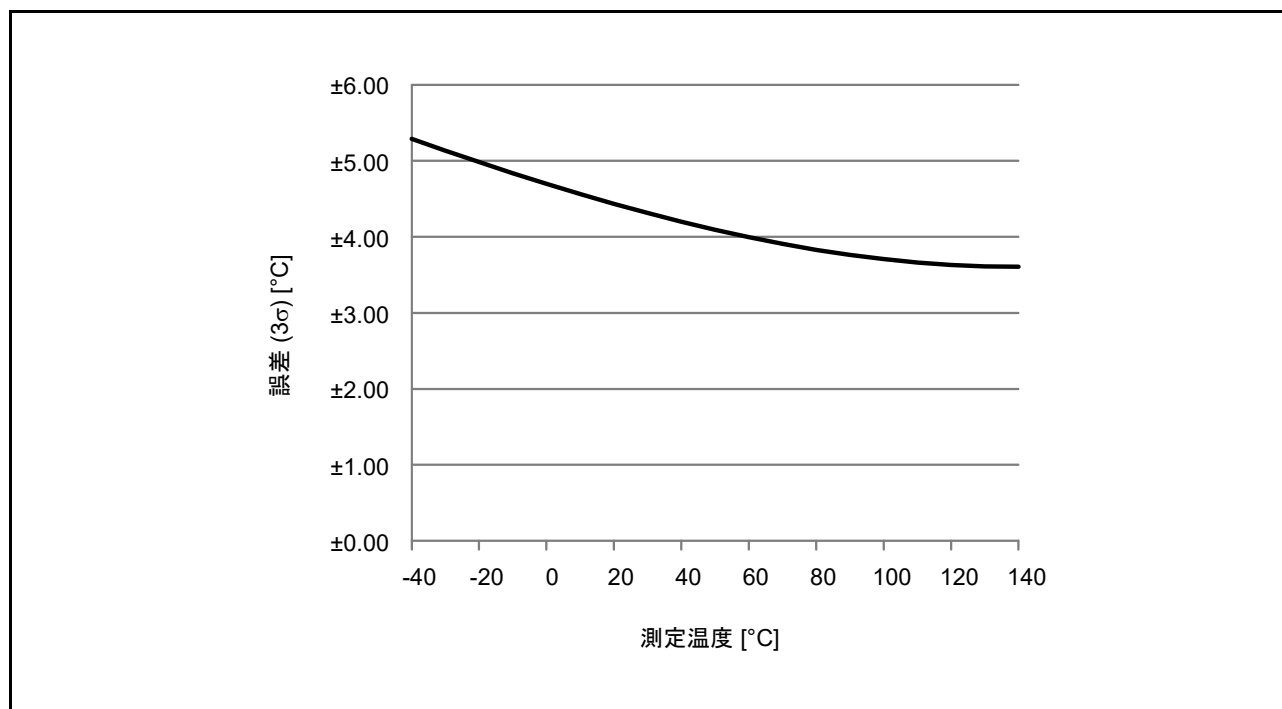


図 33.2 測定温度誤差 (設計値)

33.3.2 12 ビット A/D コンバータの設定

詳細は、「30. 12 ビット A/D コンバータ (S12ADF)」を参照してください。

34. コンパレータ C (CMPCa)

34.1 概要

コンパレータ C はリファレンス入力電圧とアナログ入力電圧を比較します。リファレンス入力電圧とアナログ入力電圧の比較結果はソフトウェアで読むことも、外部端子に出力することもできます。また、比較結果の変化を検出して割り込み要求を発生させることもできます。

コンパレータ C のリファレンス入力電圧は、CVREFC0 端子からの入力、内蔵 D/A コンバータ 0 出力、または内蔵 D/A コンバータ 1 出力のいずれかから選択できます。

アナログ入力は 4 系統あり、いずれか 1 つを選択します。

表 34.1 にコンパレータ C の仕様を、図 34.1 にコンパレータ C のブロック図を、表 34.2 にコンパレータ C の入出力端子を、表 34.3 にコンパレータ C のアナログ入力端子接続先を示します。

本章に記載している PCLK とは PCLKB を指します。

表34.1 コンパレータCの仕様

項目	内容
チャンネル数	3チャンネル(コンパレータC0～コンパレータC2)
アナログ入力電圧	CMPCnm 端子(n = チャンネル番号、m = 0～3)からの入力電圧
リファレンス入力電圧	CVREFC0 端子からの入力電圧、内蔵 D/A コンバータ 0 出力電圧、または内蔵 D/A コンバータ 1 出力電圧
比較結果	比較結果を外部出力可能
デジタルノイズフィルタ機能	- ノイズフィルタの有効/無効を選択可能 8種類のサンプリング周期の選択可能 - ノイズフィルタを通した信号から割り込み要求出力、POE 要因出力の生成(注1)、およびレジスタを介して比較結果を読み出し可能
割り込み要求	- 比較結果の有効エッジを検出して割り込み要求を発生 - 有効エッジは、比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジから選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. POEの場合はレベル検出信号のみ。POEGの場合はレベル検出信号とエッジ検出信号。

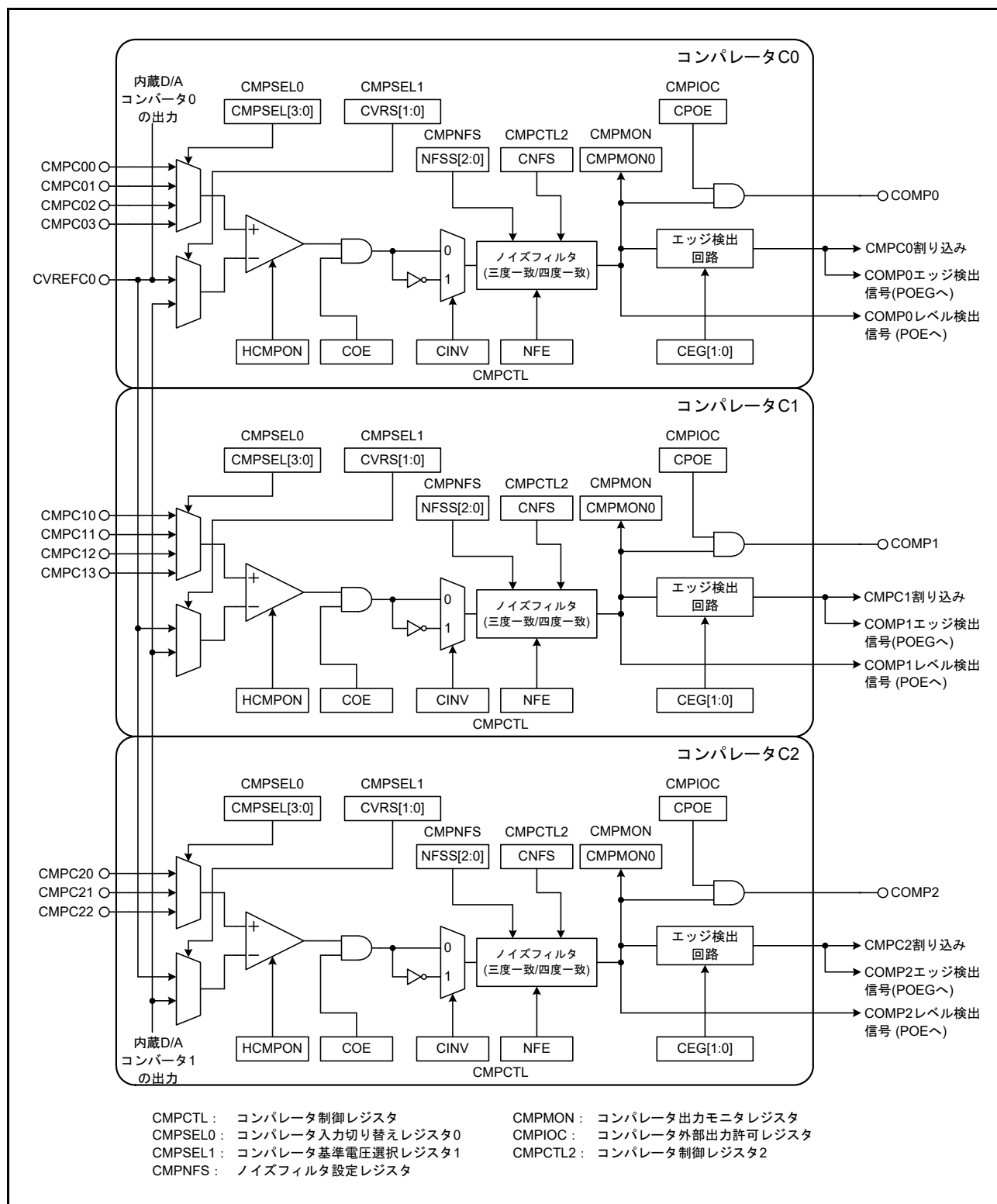


図 34.1 コンパレータ C のブロック図

表 34.2 コンパレータ C の入出力端子

端子名	入出力	機能
CMPC00, CMPC01, CMPC02, CMPC03	入力	CMPC0用アナログ入力端子
CMPC10, CMPC11, CMPC12, CMPC13	入力	CMPC1用アナログ入力端子
CMPC20, CMPC21, CMPC22	入力	CMPC2用アナログ入力端子
CVREFC0	入力	リファレンス入力電圧端子0
COMP0	出力	CMPC0比較結果出力端子
COMP1	出力	CMPC1比較結果出力端子
COMP2	出力	CMPC2比較結果出力端子

表 34.3 コンパレータ C のアナログ入力端子接続先

アナログ入力端子	接続先
CMPC00	AN000端子
CMPC01	AN000端子プログラマブルゲインアンプ出力
CMPC02	AN102端子
CMPC03	AN004端子
CMPC10	AN001端子
CMPC11	AN001端子プログラマブルゲインアンプ出力
CMPC12	AN105端子
CMPC13	AN006端子
CMPC20	AN002端子
CMPC21	AN002端子プログラマブルゲインアンプ出力
CMPC22	AN106端子

34.2 レジスタの説明

34.2.1 コンパレータ制御レジスタ (CMPCTL)

アドレス CMPC0.CMPCTL 000A 0C80h, CMPC1.CMPCTL 000A 0CA0h, CMPC2.CMPCTL 000A 0CC0h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMP ON	—	NFE	CEG[1:0]	—	COE	CINV	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性切り替えビット (注1、注4)	0 : コンパレータ出力非反転 1 : コンパレータ出力反転	R/W
b1	COE	コンパレータ出力許可ビット	0 : コンパレータ出力禁止("0"出力に固定) 1 : コンパレータ出力許可	R/W
b2	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4-b3	CEG[1:0]	コンパレータエッジ割り込み検出選択 ビット	b4 b3 0 0 : 割り込み要求を生成しない 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 立ち上がり、立ち下がりの両エッジ	R/W
b5	NFE	ノイズフィルタ許可ビット	0 : ノイズフィルタ無効 1 : ノイズフィルタ有効	R/W
b6	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b7	HCMPON	コンパレータ動作許可ビット(注3)	0 : 動作停止(コンパレータの出力は"0") 1 : 動作許可(コンパレータの端子入力許可)	R/W

注. コンパレータ出力をPOE要因として使用する場合、POEのレジスタを設定する前に、このレジスタを設定してください。

注1. CINV、NFEビットの書き換えは、コンパレータの出力を禁止(COEビット=0)した後で行ってください。

注2. NFEビットを"0"(ノイズフィルタ無効)から"1"(ノイズフィルタ有効)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、CMPCn割り込み要求出力やPOE要因出力を使用してください。

注3. コンパレータ動作を許可(HCMPONビット=1)に設定後、動作安定待ち時間が必要です。値は、「38. 電気的特性」を参照してください。

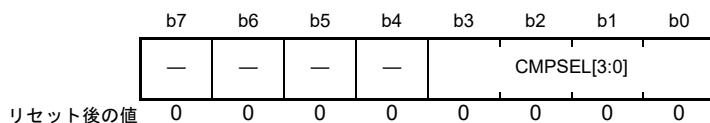
注4. CINVビット、NFEビットを変更するとCMPCn割り込み要求およびPOE要因が発生することがあります。これらのビットは、POE/POEGのレジスタ設定でコンパレータ出力を出力停止制御に使用しない設定にしてから変更してください。また、変更後に対応する割り込み要求レジスタの割り込みステータスフラグ(IR)、POEのコンパレータチャネルn出力検出フラグ(n=0~2)、POEGのGPTWまたはCMPC出力停止要求検出フラグを"0"にしてください。

CEG[1:0] ビット (コンパレータエッジ割り込み検出選択ビット)

コンパレータ出力信号のどのエッジで割り込み要求を生成するかを選択するビットです。有効エッジの設定は、CINV ビットおよび NFE ビットにより、コンパレータ出力信号を反転 / 非反転処理、ノイズフィルタ無効 / 有効処理した信号に対して設定されます。

34.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0)

アドレス CMPC0.CMPSEL0 000A 0C84h, CMPC1.CMPSEL0 000A 0CA4h, CMPC2.CMPSEL0 000A 0CC4h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPSEL[3:0]	コンパレータ入力切り替えビット (注1、注2)	- コンパレータ C0 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC00 を選択 0 0 1 0 : CMPC01 を選択 0 1 0 0 : CMPC02 を選択 1 0 0 0 : CMPC03 を選択 上記以外は設定しないでください - コンパレータ C1 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC10 を選択 0 0 1 0 : CMPC11 を選択 0 1 0 0 : CMPC12 を選択 1 0 0 0 : CMPC13 を選択 上記以外は設定しないでください - コンパレータ C2 の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC20 を選択 0 0 1 0 : CMPC21 を選択 0 1 0 0 : CMPC22 を選択 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CMPSEL[3:0] ビットの書き換えは、以下の手順で行ってください。CMPSEL[3:0] ビットが“0000b”でないときに、“0000b”以外の書き込みは無効です。2ビット以上“1”となる値を書いた場合も無効です。いずれの場合も前の値を保持します。

- (1) CMPCTL.COE ビットを“0”にする
- (2) CMPSEL[3:0] ビットを“0000b”にする
- (3) CMPSEL[3:0] ビットを新しい設定値(いずれか1ビットのみ“1”)にする
- (4) 入力切り替えの安定時間を待つ。値は、「38. 電気的特性」を参照してください。
- (5) CMPCTL.COE ビットを“1”にする
- (6) 対応する割り込み要求レジスタの割り込みステータスフラグ(IR)を“0”にする
- (7) 対応するPOEGのGPTWまたはCMPC出力停止要求検出フラグ(POEGGA.IOCF)を“0”にする

注2. COMPn レベル検出信号をPOE要因として使用する場合、POEのレジスタを設定した後に、このビットに書き込むとPOE要因が発生することがあるので注意してください。

34.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス CMPC0.CMPSEL1 000A 0C88h, CMPC1.CMPSEL1 000A 0CA8h, CMPC2.CMPSEL1 000A 0CC8h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	CVRS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CVRS[1:0]	リファレンス入力電圧選択ビット (注1、注2、注3)	b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に内蔵 D/A コンバータ 1 の出力を選択 1 0 : リファレンス入力電圧に内蔵 D/A コンバータ 0 の出力または CVREFC0 入力を選択 上記以外は設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

- 注1. 内蔵 D/A コンバータの出力を使用する場合、コンパレータの動作を許可 (CMPCTL.HCMPON ビット = 1) する前に、D/A コンバータを設定してください。D/A コンバータの設定については「32. D/A コンバータ (DAa)」を参照してください。
- 注2. CVRS[1:0] ビットの書き換えは、以下の手順で行ってください。設定値を変えるときは、CVRS[1:0] ビットを“00b”にしてから設定値を変更してください。“01b”から“10b”、“10b”から“01b”に直接書き換えようとしても無視されます。
- (1) CMPCTL.COE ビットを“0”にする
 - (2) CVRS[1:0] ビットを“00b”にする
 - (3) CVRS[1:0] ビットを新しい設定値(いずれか1ビットのみ“1”)にする
 - (4) 入力切り替えの安定時間を待つ。値は、「38. 電気的特性」を参照してください。
 - (5) CMPCTL.COE ビットを“1”にする
 - (6) 対応する割り込み要求レジスタの割り込みステータスフラグ (IR) を“0”にする
 - (7) 対応する POEG の GPTW または CMPC 出力停止要求検出フラグ (POEGGA.IOCF) を“0”にする
- 注3. COMPn レベル検出信号を POE 要因として使用する場合、POE のレジスタを設定した後に、このビットに書き込むと POE 要因が発生することがあるので注意してください。

34.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス CMPC0.CMPMON 000A 0C8Ch, CMPC1.CMPMON 000A 0CACH, CMPC2.CMPMON 000A 0CCCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPMON0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPMON0	コンパレータ出力モニタフラグ (注1)	0 : コンパレータ出力は“0” 1 : コンパレータ出力は“1”	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ノイズフィルタ未使用(CMPCTL.NFE ビット=0)の設定でコンパレータを動作(CMPCTL.HCMPON、COE ビット=1)させる場合は、CMPMON0 フラグを2回リードし、一致したときのみその値を使用してください。

34.2.5 コンパレータ外部出力許可レジスタ (CMPIOC)

アドレス CMPC0.CMPIOC 000A 0C90h, CMPC1.CMPIOC 000A 0CB0h, CMPC2.CMPIOC 000A 0CD0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	外部端子出力許可ビット	コンパレータの比較結果を外部端子へ出力します。 0 : COMPn 端子 (n = 0 ~ 2) 出力禁止 (Low 出力に固定) 1 : COMPn 端子出力許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

34.2.6 コンパレータ制御レジスタ 2 (CMPCTL2)

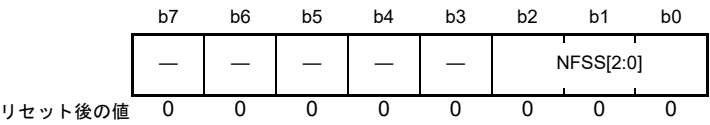
アドレス CMPC0.CMPCTL2 000A 0C98h, CMPC1.CMPCTL2 000A 0CB8h, CMPC2.CMPCTL2 000A 0CD8h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CNFS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CNFS	ノイズフィルタ判定基準設定ビット	0 : 三度一致 1 : 四度一致	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

34.2.7 ノイズフィルタ設定レジスタ (CMPNFS)

アドレス CMPC0.CMPNFS 000A 0C9Ch, CMPC1.CMPNFS 000A 0CBCh, CMPC2.CMPNFS 000A 0CDCh



ビット	シンボル	ビット名	機能	R/W
b2-b0	NFSS[2:0]	ノイズフィルタサンプリング選択ビット(注1)	b2 b0 0 0 0 : PCLK/2でサンプリング 0 0 1 : PCLK/4でサンプリング 0 1 0 : PCLK/8でサンプリング 0 1 1 : PCLK/16でサンプリング 1 0 0 : PCLK/32でサンプリング 1 0 1 : PCLK/64でサンプリング 1 1 0 : PCLK/128でサンプリング 1 1 1 : PCLK/256でサンプリング	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NFSS[2:0]ビットの書き換えは、コンパレータの出力を禁止(CMPCTL.COEビット=0)した後で行ってください。

34.3 動作説明

34.3.1 コンパレータ動作例

図 34.2 にコンパレータの動作例を示します。リファレンス入力電圧よりアナログ入力電圧が高い場合に COMPn レベル検出信号 (n = 0 ~ 2) が High になり、リファレンス入力電圧よりアナログ入力電圧が低い場合に COMPn レベル検出信号が Low になります (CMPCTL.CINV ビットが “0” の場合)。COMPn レベル検出信号は CMPIOC.CPOE ビットが “1” の場合、COMPn 端子から出力されます。また、コンパレータ出力が変化すると割り込み要求、COMPn エッジ検出信号を生成します。

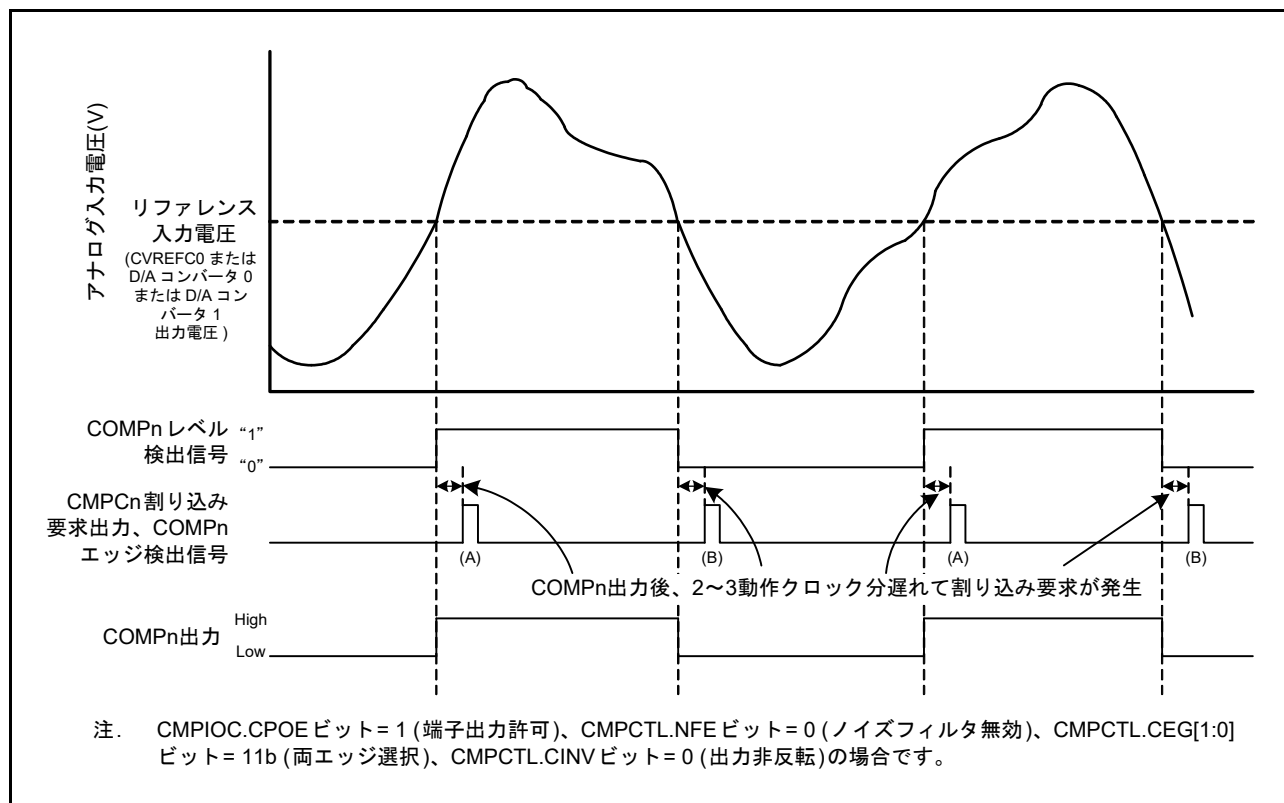


図 34.2 コンパレータの動作例 (n = 0 ~ 2)

34.3.2 ノイズフィルタ

コンパレータ C は、ノイズフィルタを内蔵しています。サンプリングクロックは CMPNFS.NFSS[2:0] ビットで、一致回数は CMPCTL2.CNFS ビットで選択できます。サンプリングクロックごとにコンパレータの出力信号をサンプリングし、レベルが 3 回または 4 回一致した次のサンプリングクロックで、ノイズフィルタ出力がその値になります。

図 34.3 にノイズフィルタとエッジ検出回路の構成を、図 34.4 にノイズフィルタと割り込み動作例を示します。

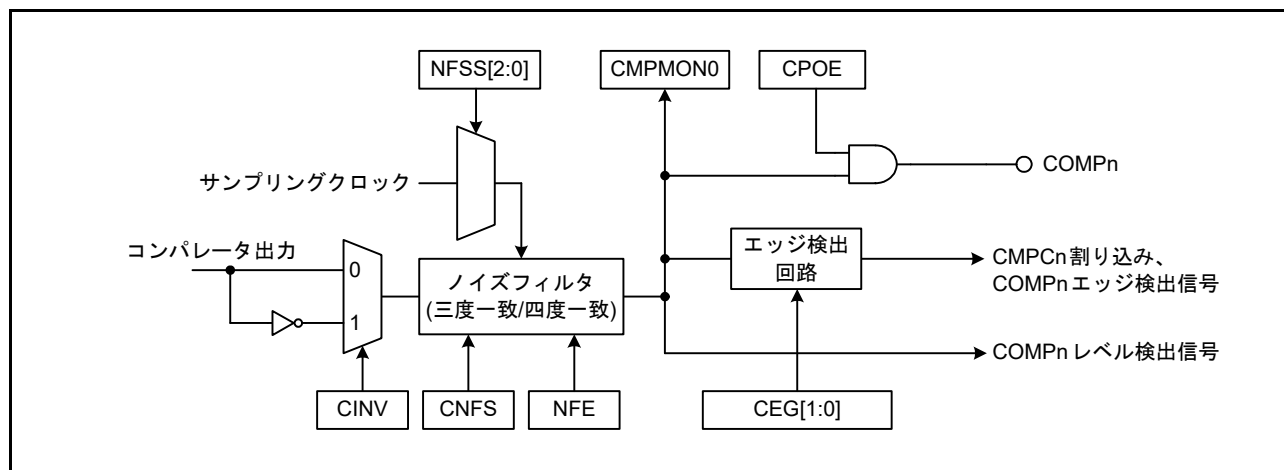


図 34.3 ノイズフィルタとエッジ検出回路の構成 (n = 0 ~ 2)

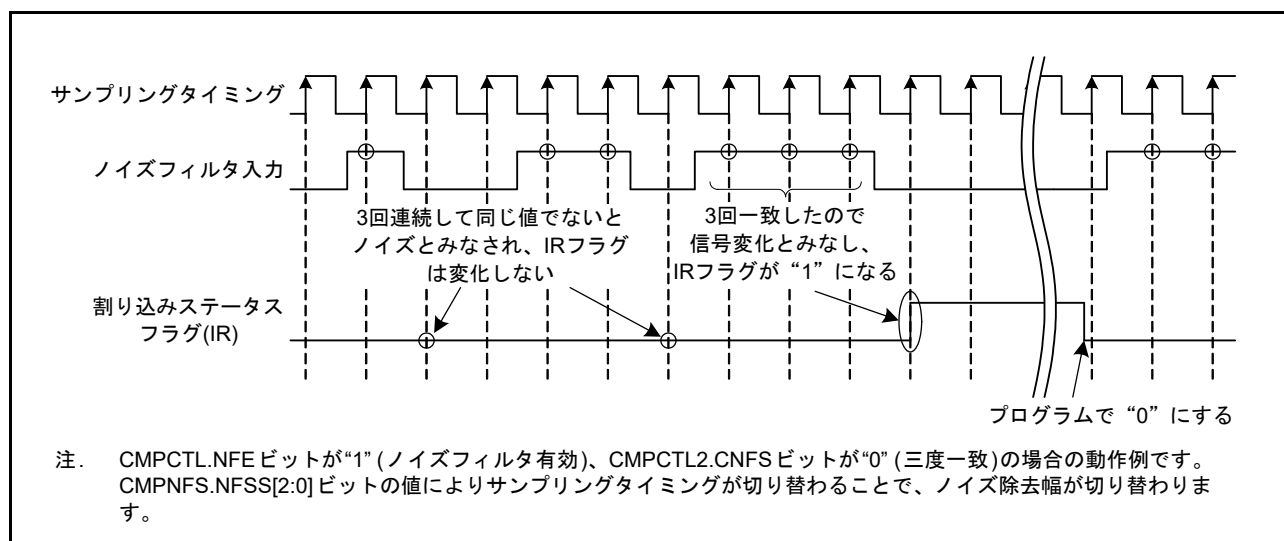


図 34.4 ノイズフィルタと割り込み動作例

34.3.3 割り込み

コンパレータ C は比較結果の変化を検出して割り込み要求を発生させます。

CMPnCn 割り込みを使用するときは、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを“1”(“00b”(割り込み要求を生成しない)以外の設定)にしてください。

CMPnCn 割り込みを使用する場合は、以下の手順で設定してください。ただし、(1)、(2)、(3) は順不同です。

- (1) リファレンス入力電圧に内蔵 D/A コンバータの出力を使用する場合は、D/A コンバータを設定し、D/A 変換を許可する。
- (2) CMPSEL0、CMPSEL1 レジスタでコンパレータの入力を設定する。
- (3) CMPCTL.CINV ビット、CMPNFS.NFSS[2:0] ビット、CMPCTL2.CNFS ビットを設定し、反転 / 非反転処理およびノイズフィルタのサンプリングタイミング、一致回数を選択する。
- (4) CMPCTL.NFE ビットを“1”にする。
- (5) コンパレータの割り込み検出エッジを有効 (CMPCTL.CEG[1:0] ビットを“00b”以外)にする。
- (6) コンパレータの入力を許可 (CMPCTL.HCMPON ビットを“1”)し、コンパレータの動作安定時間を待つ。値は、「38. 電气的特性」を参照してください。
- (7) コンパレータの出力を許可 (CMPCTL.COE ビットを“1”)する。

34.3.4 コンパレータの端子出力

コンパレータの比較結果を COMPn 端子 (n = 0 ~ 2) に出力することができます。CMPCTL.CINV ビットや CMPIOC.CPOE ビットにより、出力極性 (非反転出力 / 反転出力) や出力許可 / 禁止を設定できます。

コンパレータの比較結果を COMPn 端子に出力する場合は、以下の手順で設定してください (リセット後、ポートは入力設定になっています)。

- (1) 「34.3.3 割り込み」に示す手順の (1) ~ (3) および (5)、(6) を行う。
- (2) コンパレータの比較結果を外部端子へ出力 (CMPIOC.CPOE ビットを“1”)する。
- (3) 各コンパレータの出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする。

34.3.5 コンパレータの設定手順

図 34.5 にコンパレータの動作設定フローを示します。

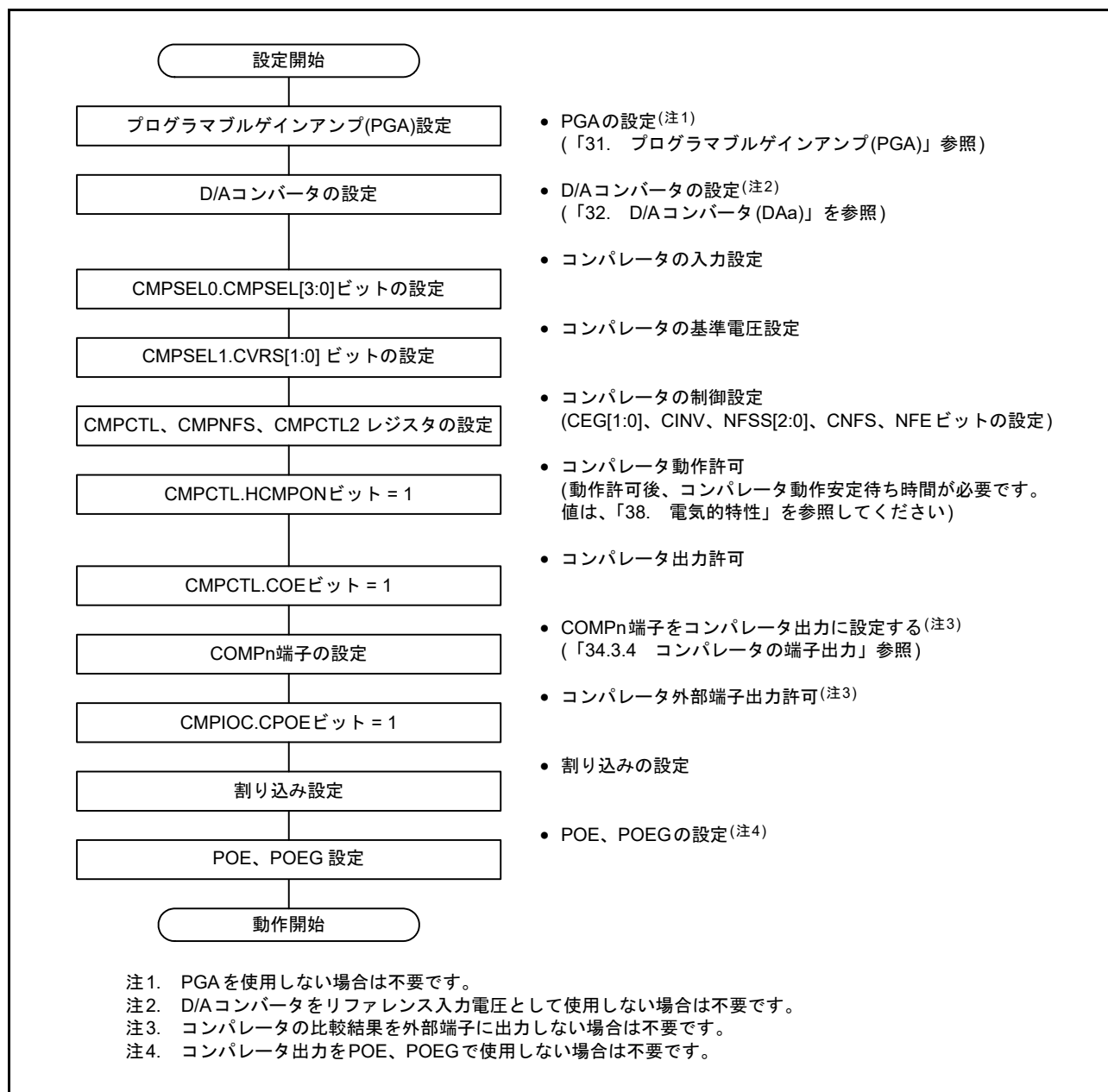


図 34.5 コンパレータ動作設定フローチャート (n = 0 ~ 2)

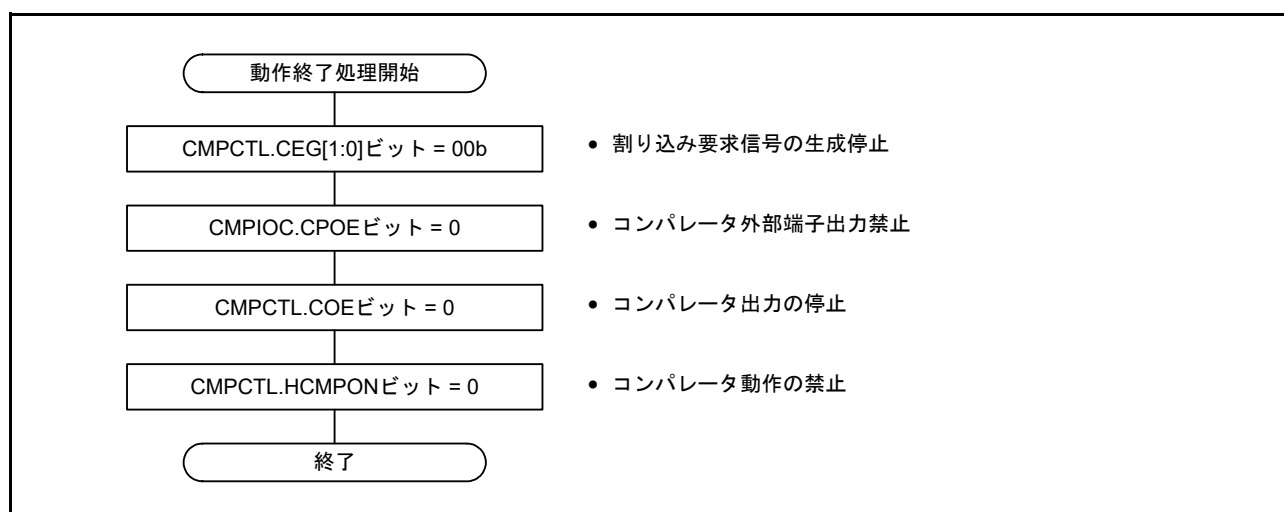


図 34.6 コンパレータ動作終了フローチャート

34.4 使用上の注意事項

34.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ C の動作禁止 / 許可を設定することが可能です。リセット解除後は、コンパレータ C の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

34.4.2 モジュールストップ時のコンパレータ C の動作

コンパレータ C を動作させたままモジュールストップ状態に遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

34.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させたままソフトウェアスタンバイモードに遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

34.4.4 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作

プログラマブルゲインアンプ (PGA) と 12 ビット A/D コンバータは同じモジュールストップ信号で制御されていますので、12 ビット A/D コンバータがモジュールストップ中は、以下の PGA 出力の比較はできません。

- AN000 端子 PGA 出力
- AN001 端子 PGA 出力
- AN002 端子 PGA 出力

12 ビット A/D コンバータがモジュールストップ中でも、以下のアナログ端子は直接コンパレータに接続されていますので、比較が可能です。

- AN000 端子
- AN001 端子
- AN002 端子
- AN102 端子
- AN105 端子
- AN106 端子
- AN004 端子
- AN006 端子

34.4.5 リファレンス電圧生成に使用する D/A コンバータの設定について

リファレンス電圧生成に使用する D/A コンバータの設定は、コンパレータの動作を許可する前に行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。リファレンス電圧生成に使用する D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

34.4.6 比較結果へのパルスの出現について

コンパレータのアナログ入力電圧やリファレンス入力電圧が、 $\pm 3.0 \text{ V}/\mu\text{s}$ を超える傾きで急峻に変化した場合、比較結果に最長 150 ns のパルスが現れることがあります。

このパルスが問題になる場合、以下の対策を実施してください。

- CMPCTL.NFE ビットを“1”にして、ノイズフィルタを有効にする
- COMP_n 端子 (n = 0 ~ 2) の出力にノイズフィルタを挿入する
- CMPMON.CMPMON0 フラグをポーリングする場合は、ポーリング間隔を 150 ns 以上にする、一致回数を増やすなど、短いパルスを除去できるようにする

35. データ演算回路 (DOC)

35.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算する機能です。
表 35.1 にデータ演算回路 (DOC) の仕様、図 35.1 に DOC のブロック図を示します。
16 ビットのデータを比較し、選択した条件に合致した場合に割り込みを発生させることができます。

表 35.1 データ演算回路(DOC)の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への遷移が可能
割り込み	- データ比較の結果が検出条件に合致したとき - データ加算の結果が“FFFFh”より大きくなったとき(オーバーフロー) - データ減算の結果が“0000h”より小さくなったとき(アンダフロー)

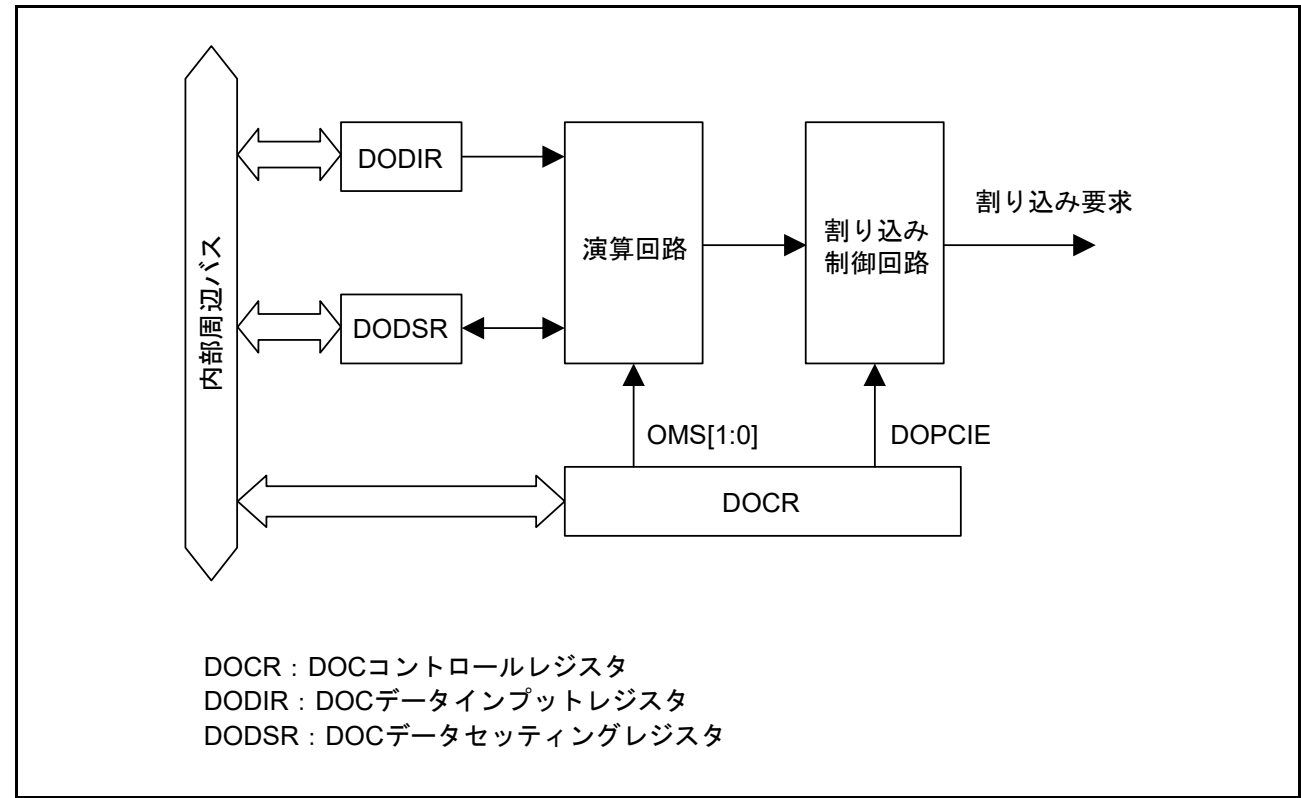


図 35.1 DOC のブロック図

35.2 レジスタの説明

35.2.1 DOC コントロールレジスタ (DOCR)

アドレス DOC.DOCR 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0 : データ比較モード 0 1 : データ加算モード 1 0 : データ減算モード 1 1 : 設定禁止	R/W
b2	DCSEL	検出条件選択ビット(注1)	0 : 不一致を検出する 1 : 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W
b5	DOPCF	データ演算結果フラグ	演算結果を示します	R
b6	DOPCFCL	データ演算結果クリアビット	0 : DOPCF フラグの値を保持 1 : DOPCF フラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. データ比較モード選択時のみ有効

DOCR レジスタは、DOC の動作モードの設定や、割り込みの許可 / 禁止を設定するレジスタです。

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定により DOC の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算結果フラグ)

[“1”になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

[“0”になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

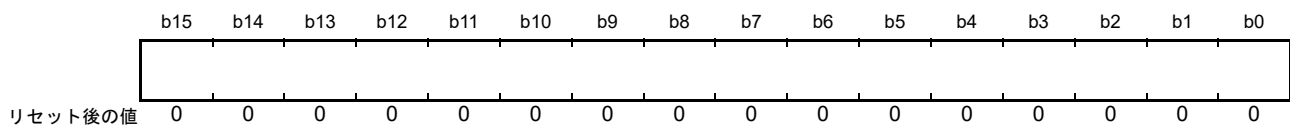
DOPCFCL ビット (データ演算結果クリアビット)

本ビットに“1”を書くと DOPCF フラグがクリアされます。

読むと“0”が読めます。

35.2.2 DOC データインプットレジスタ (DODIR)

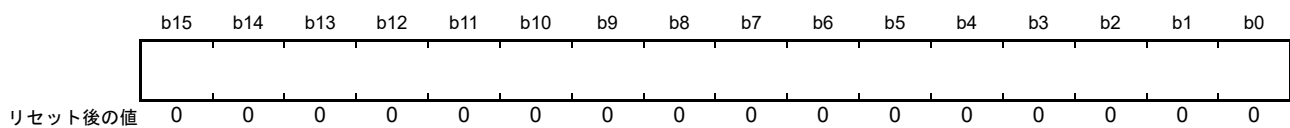
アドレス DOC.DODIR 0008 B082h



DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。

35.2.3 DOC データセッティングレジスタ (DODSR)

アドレス DOC.DODSR 0008 B084h



DODSR レジスタは、比較対象のデータを格納する、または演算結果が格納される読み書き可能なレジスタです。

データ比較モードでは、比較の基準となるデータを格納してください。

データ加算モードおよびデータ減算モードでは、演算結果が格納されます。

35.3 動作説明

35.3.1 データ比較モード

図 35.2 にデータ比較モードの動作例を示します。

DOC は、データ比較モード時、以下のように動作します。

以下は DCSEL = 0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに比較の基準となるデータを設定します。
- (3) DODIR レジスタに比較するデータを書き込みます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに比較するデータを書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかったとき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、データ演算回路割り込みが発生します。

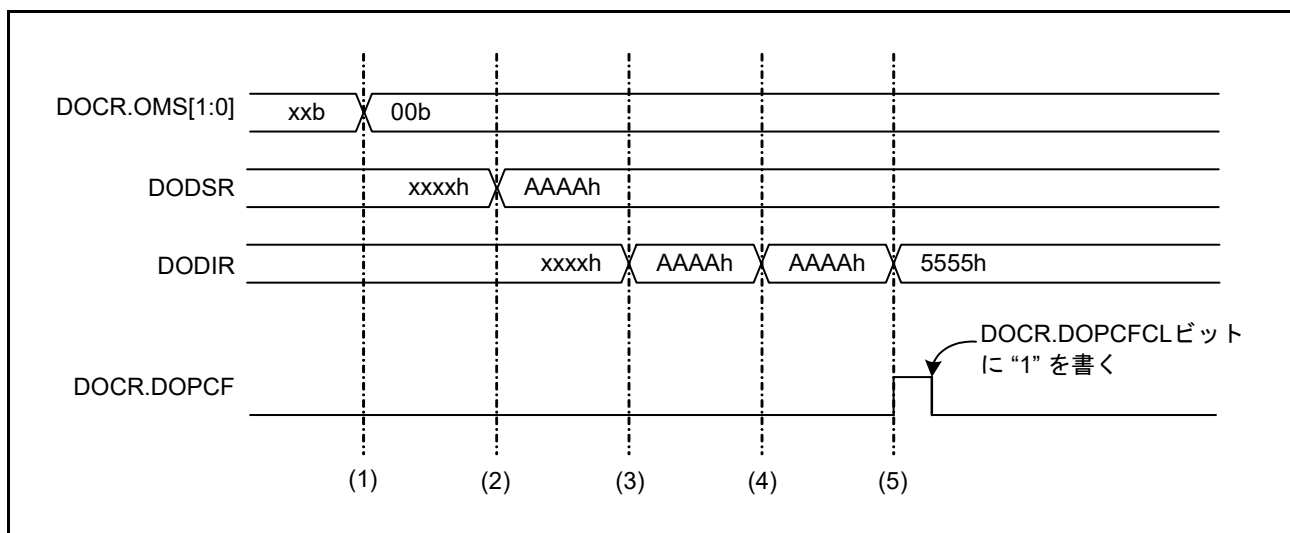


図 35.2 データ比較モードの動作例

35.3.2 データ加算モード

図 35.3 にデータ加算モードの動作例を示します。

DOC は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値を設定します。
- (3) DODIR レジスタに加算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに加算するデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなると DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCFCL ビットが“1”の場合は、データ演算回路割り込みが発生します。

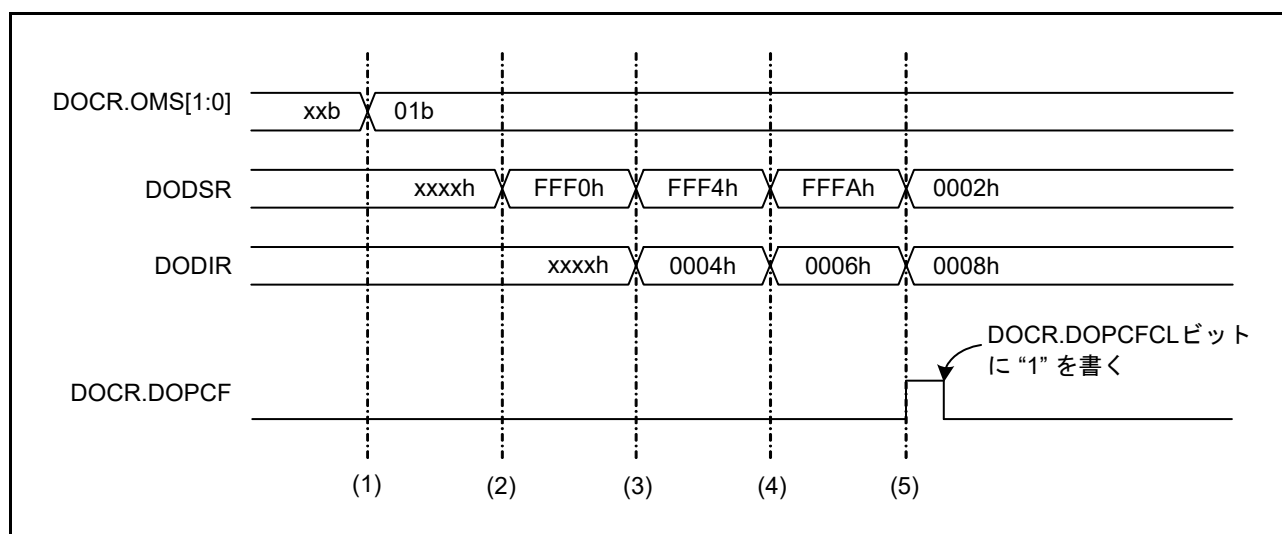


図 35.3 データ加算モードの動作例

35.3.3 データ減算モード

図 35.4 にデータ減算モードの動作例を示します。

DOC は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値を設定します。
- (3) DODIR レジスタに減算するデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべてのデータの書き込みが完了するまで、DODIR レジスタに減算するデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなると DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCF ビットが“1”の場合は、データ演算回路割り込みが発生します。

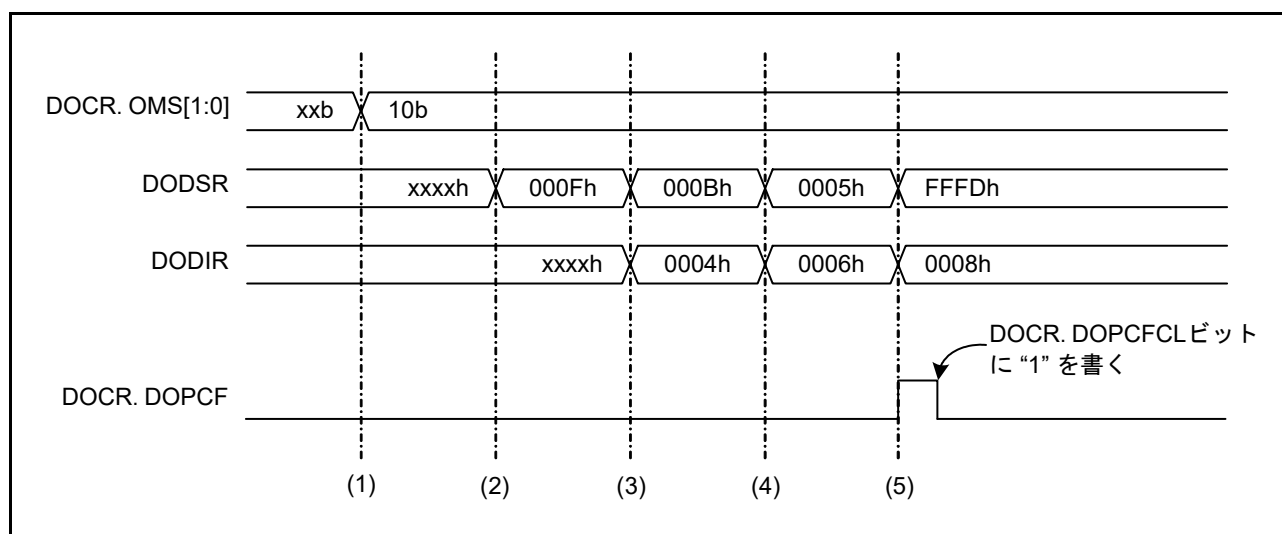


図 35.4 データ減算モードの動作例

35.4 割り込み要求

DOC が生成する割り込み要求には、データ演算回路割り込み (DOPCI) があります。割り込み要因が発生すると DOCR.DOPCF フラグが“1”になります。表 35.2 に割り込み要求の内容を示します。

表 35.2 DOCの割り込み要求

割り込み要求	データ演算結果フラグ	割り込み発生タイミング
データ演算回路割り込み (DOPCI)	DOPCF	- データ比較の結果が検出条件に合致したとき - データ加算の結果が“FFFFh”より大きくなったとき - データ減算の結果が“0000h”より小さくなったとき

35.5 使用上の注意事項

35.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) の MSTPB6 ビットにより、DOC の動作を禁止または許可することができます。リセット後、DOC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

36. RAM

本 MCU は、ノーウェイトで動作する 12K バイトの高速スタティック RAM (RAM) を内蔵しています。

36.1 概要

表 36.1 に RAM の仕様を示します。

表 36.1 RAMの仕様

項目	RAM
容量	12K バイト
アドレス	0000 0000h ~ 0000 2FFFh
メモリバス	メモリバス 1
アクセス	- 読み出し/書き込みともに 1 サイクルで動作 (注1) - RAM 有効/無効選択可能 (注2)
消費電力低減機能	モジュールストップ状態への遷移が可能

注1. 8 バイト境界をまたいだアクセス時は、サイクル数が 2 倍に増えます。

注2. SYSCR1.RAME ビットにより選択可能です。SYSCR1 レジスタについては、「3.2.2 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

36.2 使用上の注意事項

36.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減することができます。

MSTPCRC.MSTPC0 ビットを“1”にすると RAM に供給されるクロックが停止します。

クロック供給の停止により、RAM はモジュールストップ状態になります。

リセット後は、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。

RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

モジュールストップ状態で RAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

36.2.2 RAM の自己診断に関する注意事項

RAM にはライトバッファが搭載されているため、書き込みを行った後に同一アドレスから読み出しを行うと、RAM のメモリセルではなくライトバッファのデータが読み出されることがあります。RAM の自己診断を行う場合、ライトバッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のアドレスにデータを書く
- (2) (1) のアドレスから 4 番地以上離れたアドレスにデータを書く
- (3) (1) のアドレスからデータを読む

37. フラッシュメモリ (FLASH)

本 MCU は、128K バイトのユーザ領域 (ROM) と 4K バイトのデータ領域 (E2 データフラッシュ) を内蔵しています。

本章に記載している PCLK とは PCLKB を指します。

37.1 概要

表 37.1 にフラッシュメモリの仕様を示します。

表 37.8 にブートモードで使用する入出力端子を示します。

表 37.1 フラッシュメモリの仕様

項目	内容
メモリ空間	- ユーザ領域：最大 128K バイト - データ領域：4K バイト - エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納
動作クロック	- FCLK：1～48 MHz (ROM P/E モード時、E2 データフラッシュ P/E モード時) ～48 MHz (E2 データフラッシュリードモード時) - HOCO クロック：24 MHz、32 MHz、または 48 MHz (ROM P/E モード時、E2 データフラッシュ P/E モード時)
ソフトウェアコマンド	- 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレース、全ブロックイレース - エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム
イレース後の値	- ROM：FFh - E2 データフラッシュ：FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) - シリアルコミュニケーションインタフェースのチャンネル 1 (SCI1) を調歩同期式モードで使用 - ユーザ領域とデータ領域を書き換え可能 ブートモード (FINE インタフェース) (注1) - FINE を使用 - ユーザ領域とデータ領域を書き換え可能 セルフプログラミング (シングルチップモード) - ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換えが可能
オフボードプログラミング	本 MCU に対応したフラッシュプログラマを使用して、ユーザ領域とデータ領域の書き換えが可能
ID コードプロテクト	- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバッグエミュレータ接続時、ID コードにより制御可能
スタートアッププログラム保護機能	ブロック 0～7 の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能
バックグラウンドオペレーション (BGO) 機能	E2 データフラッシュの書き換え中に、ROM 上に配置されたプログラムを実行可能

注 1. 詳細については各シリアルプログラマのマニュアル、『Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザズ・マニュアル』をご参照ください。

37.2 ROM の領域とブロックの構成

本 MCU の ROM は 128K バイトあります。ROM は 2K バイトのブロックと呼ばれる単位に分割されており、ブロックイレーズコマンドはこのブロック単位でメモリの消去を実行します。図 37.1 に ROM の領域とブロックの構成を示します。

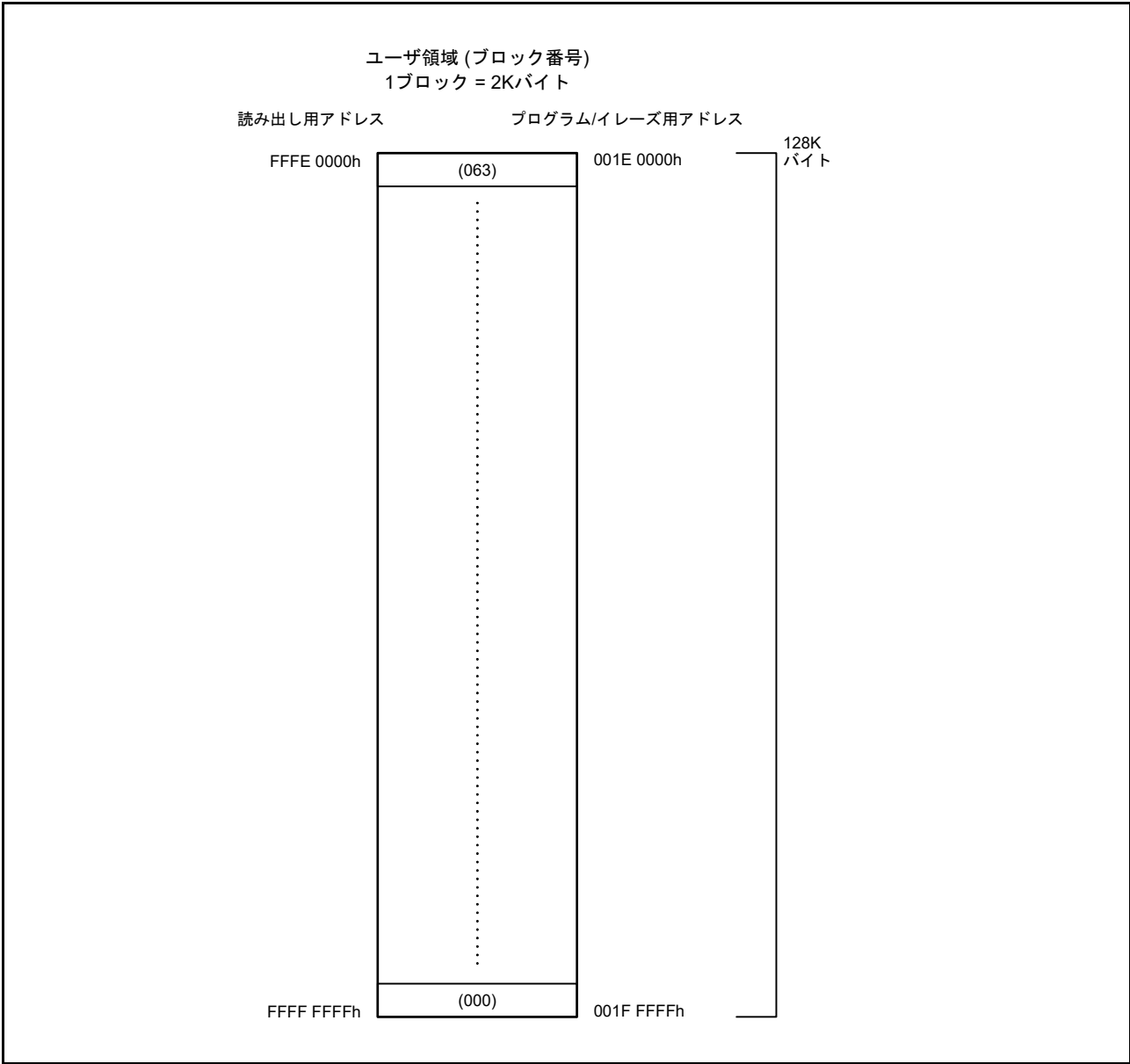


図 37.1 ROM の領域とブロックの構成

表 37.2 ROM 容量と読み出し用アドレス対応表

ROM 容量	読み出し用アドレス
128K バイト	FFFE 0000h ~ FFFF FFFFh

37.3 E2 データフラッシュの領域とブロックの構成

本 MCU の E2 データフラッシュは 4K バイトで構成されています。ブロックに分割されており、イレーズはこのブロック単位で行います。図 37.2 に E2 データフラッシュの領域とブロックの構成を示します。

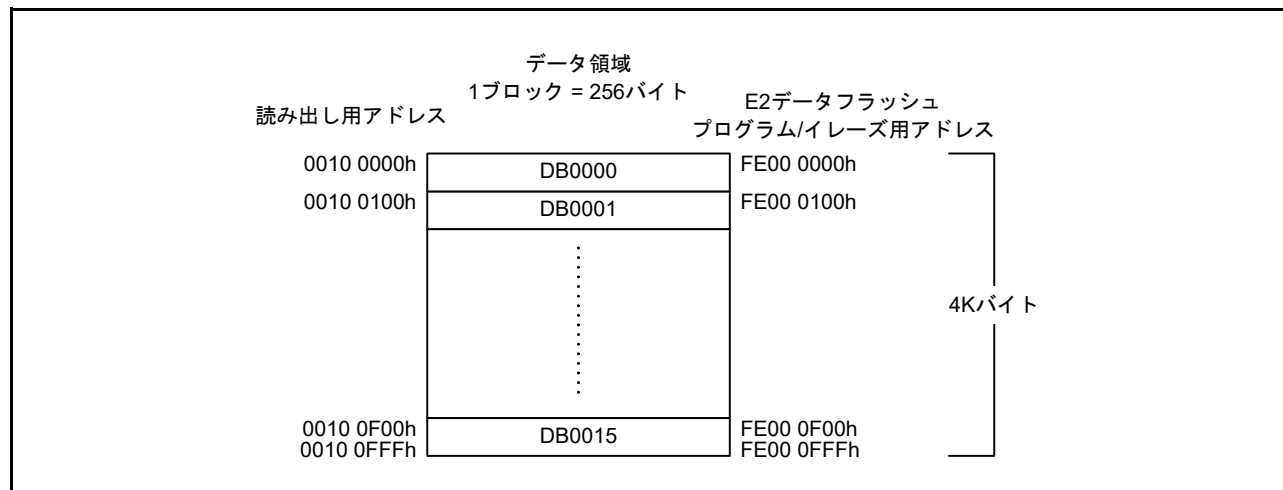


図 37.2 E2 データフラッシュの領域とブロックの構成

37.4 レジスタの説明

37.4.1 E2 データフラッシュ制御レジスタ (DFLCTL)

アドレス FLASH.DFLCTL 007F C090h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DFLEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0 : E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1) 禁止 1 : E2データフラッシュへのアクセスおよびP/Eモード時におけるエクストラ領域へのアクセス(注1) 許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム

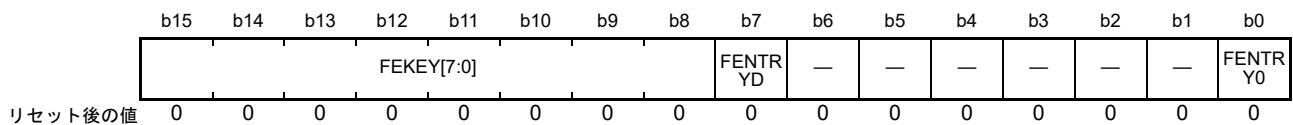
DFLCTL レジスタは、E2 データフラッシュへのアクセス (リード、プログラム、イレーズ) の許可 / 禁止および P/E モード時におけるエクストラ領域へのアクセス (スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム) を許可 / 禁止するためのレジスタです。

E2 データフラッシュのリード、プログラム、イレーズを行う場合は、DFLCTL.DFLEN ビットを“1”にして E2 データフラッシュ STOP 解除時間 (tDSTOP) 経過後に E2 データフラッシュの読み出しと E2 データフラッシュ P/E モードへの遷移を行ってください。E2 データフラッシュ STOP 解除時間 (tDSTOP) を経過するまでは E2 データフラッシュの読み出しと E2 データフラッシュ P/E モードへの遷移を行わないでください。

E2 データフラッシュ P/E モードについては、「37.7.1 シーケンサのモード」を、E2 データフラッシュ STOP 解除時間 (tDSTOP) については、「38. 電気的特性」を参照してください。

37.4.2 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス FLASH.FENTRYR 007F FFB0h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	FENTRYD	E2データフラッシュ P/Eモードエントリビット	0 : E2データフラッシュはリードモード 1 : E2データフラッシュはP/Eモードエントリ可能	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを“AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROM や E2 データフラッシュを書き換えるためには、HOCO を発振させた後、FENTRYD ビットと FENTRY0 ビットのいずれかを“1”にして P/E モードに移行させる必要があります。

リードモードに戻るときは、FENTRYR レジスタを設定した後、値が書き換わっていることを確認してから、ROM や E2 データフラッシュのリードを行ってください。

P/E モード、リードモードについては、「37.7.1 シーケンサのモード」を参照してください。

FENTRY0 ビット (ROM P/E モードエントリビット 0)

ROM を P/E モードに移行させるためのビットです。

["1" になる条件]

- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA01h”を書いた場合

注． ROM P/E モードに遷移する場合、ROM に対する命令フェッチを実行させないため、命令フェッチ番地を ROM 以外の領域に移す必要があります。必要な命令コードを内蔵 RAM ヘコピーして内蔵 RAM ヘジャンプしてください。ただし、E2 データフラッシュは、ROM 上に配置されたプログラムで書き換え可能です。

["0" になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

FENTRYD ビット (E2 データフラッシュ P/E モードエントリビット)

E2 データフラッシュを P/E モードに移行させるためのビットです。

["1" になる条件]

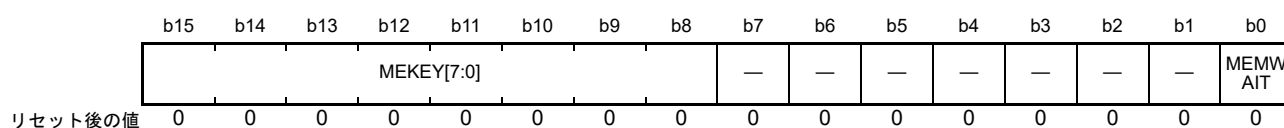
- FENTRYR レジスタが“0000h”のときに、FENTRYR レジスタに“AA80h”を書いた場合

["0" になる条件]

- FENTRYR レジスタに“AA00h”を書いた場合

37.4.3 メモリウェイトサイクル設定レジスタ (MEMWAITR)

アドレス FLASH.MEMWAITR 007F FFC0h



ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル設定ビット	0 : ウェイトなし 1 : ウェイトあり	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	MEKEY[7:0]	キーコード	MEMWAITRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

MEMWAITR レジスタはROMのウェイトサイクルを制御するレジスタです。

MEMWAIT ビット (メモリウェイトサイクル設定ビット)

ROMのウェイトサイクルを指定するビットです。

システムクロック (ICLK) を 32 MHz より高い周波数にする場合、MEMWAIT ビットを“1”にしてください。また、中速動作モードでは、MEMWAIT ビットを“0”にしてください。

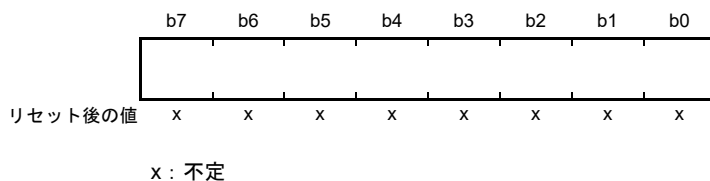
なお、MEMWAIT ビットの値は、高速動作モードでかつ ICLK の周波数が 32 MHz 以下のときに変更してください。

表37.3 MEMWAIT ビットの設定に関する制約

MEMWAIT ビット	高速動作モード		中速動作モード
	ICLK > 32 MHz	ICLK ≤ 32 MHz	
0	設定禁止	設定可	設定可
1	設定可	設定可	設定禁止

37.4.4 プロテクト解除レジスタ (FPR)

アドレス FLASH.FPR 007F C180h



本レジスタは、CPU が暴走したときに備え、FPMCR レジスタが容易に書き換えられないように保護するためのライトオンリのレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCR レジスタへの書き込みが有効になります。

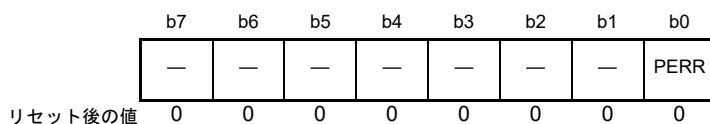
プロテクト解除手順

- (1) FPR レジスタに“A5h”を書き込む
- (2) FPMCR レジスタに設定したい値を書き込む
- (3) FPMCR レジスタに設定したい値の反転値を書き込む
- (4) FPMCR レジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERR フラグが“1”になります。

37.4.5 プロテクト解除ステータスレジスタ (FPSR)

アドレス FLASH.FPSR 007F C184h



ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0 : エラーなし 1 : エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

PERR フラグ (プロテクトエラーフラグ)

FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

["1"になる条件]

- FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

["0"になる条件]

- 「37.4.4 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

37.4.6 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス FLASH.FPMCR 007F C100h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	FMS1	RPDIS	—	FMS0	—
リセット後の値	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS1 FMS0 0 0 : ROM/E2 データフラッシュリードモード 0 1 : ROM P/E モード 1 0 : E2 データフラッシュ P/E モード 1 1 : 設定禁止	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	RPDIS	ROM P/E 禁止ビット	0 : ROMはプログラム/イレーズ可能 1 : ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0 ビットを参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください (詳細は「37.4.4 プロテクト解除レジスタ (FPR)」を参照)。

ROM P/E モードに遷移する場合、もしくは ROM P/E モード中は RAM 上で命令を実行する必要があります。

FMS0, FMS1 ビット (フラッシュ動作モード選択ビット0、フラッシュ動作モード選択ビット1)

フラッシュの動作モードを設定します。

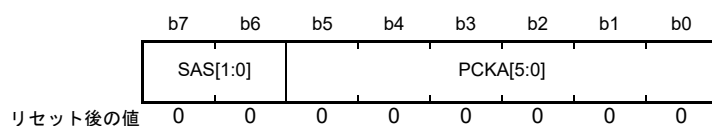
- リードモードから ROM P/E モードに遷移する場合
FMS1 ビット = 0、FMS0 ビット = 1、RPDIS ビット = 0 に設定します。
- ROM P/E モードからリードモードに遷移する場合
FMS1 ビット = 0、FMS0 ビット = 0、RPDIS ビット = 1 に設定します。
ROM モード遷移待ち時間 (tMS、「38. 電気的特性」を参照) 待ちます。
- リードモードから E2 データフラッシュ P/E モードに遷移する場合
FMS1 ビット = 1、FMS0 ビット = 0、RPDIS ビット = 0 に設定します。
- E2 データフラッシュ P/E モードからリードモードに遷移する場合
FMS1 ビット = 0、FMS0 ビット = 0、RPDIS ビット = 1 に設定します。
ROM モード遷移待ち時間 (tMS、「38. 電気的特性」を参照) 待ちます。

RPDIS ビット (ROM P/E 禁止ビット)

ROM のプログラム / イレーズ実行をソフトウェアによって禁止します。

37.4.7 フラッシュ初期設定レジスタ (FISR)

アドレス FLASH.FISR 007F C1D8h



ビット	シンボル	ビット名	機能	R/W
b5-b0	PCKA[5:0]	周辺クロック通知ビット	FlashIF クロック (FCLK) の周波数を設定するためのビットです	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

PCKA[5:0] ビット (周辺クロック通知ビット)

ROM/E2 データフラッシュのプログラム / イレーズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム / イレーズを行う前に PCKA[5:0] ビットに FCLK の周波数を設定してください。ROM/E2 データフラッシュのプログラム / イレーズ中は、FCLK の周波数を変更しないでください。

- FCLK が 4 MHz より高い場合

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[5:0] ビット = 011111b) に設定してください。

- FCLK が 4 MHz 以下の場合

小数部のある周波数は使用しないでください。

1 MHz、2 MHz、3 MHz または 4 MHz の周波数で使用してください。

注． FCLK と異なる周波数を PCKA[5:0] ビットに設定した場合、ROM/E2 データフラッシュのデータが破壊される可能性があります。

表 37.4 FlashIF クロック周波数設定例

FlashIF のクロック 周波数 (MHz)	PCKA[5:0] ビット 設定値	FlashIF のクロック 周波数 (MHz)	PCKA[5:0] ビット 設定値	FlashIF のクロック 周波数 (MHz)	PCKA[5:0] ビット 設定値
48	100111b	46	100110b	44	100101b
42	100100b	40	100011b	38	100010b
36	100001b	34	100000b	32	011111b
31	011110b	30	011101b	29	011100b
28	011011b	27	011010b	26	011001b
25	011000b	24	010111b	23	010110b
22	010101b	21	010100b	20	010011b
19	010010b	18	010001b	17	010000b
16	001111b	15	001110b	14	001101b
13	001100b	12	001011b	11	001010b

表 37.4 FlashIF クロック周波数設定例

FlashIFのクロック 周波数 (MHz)	PCKA[5:0] ビット 設定値	FlashIFのクロック 周波数 (MHz)	PCKA[5:0] ビット 設定値	FlashIFのクロック 周波数 (MHz)	PCKA[5:0] ビット 設定値
10	001001b	9	001000b	8	000111b
7	000110b	6	000101b	5	000100b
4	000011b	3	000010b	2	000001b
1	000000b	—	—	—	—

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の3種類の方法があります。

- エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合
SAS[1:0] ビットが“00b”または“01b”の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。
- 一時的にスタートアップ領域をデフォルト領域に切り替える場合
SAS[1:0] ビットを“10b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。
- 一時的にスタートアップ領域を代替領域に切り替える場合
SAS[1:0] ビットを“11b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

37.4.8 フラッシュリセットレジスタ (FRESETR)

アドレス FLASH.FRESETR 007F C124h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	FRESE T
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0: フラッシュ制御回路のリセットを解除する 1: フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR、FSARH、FSARL、FEARH、FEARL、FWB0、FWB1、FWB2、FWB3、FCR、FEXCR レジスタがリセットされます。また、FEAMH、FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

37.4.9 フラッシュ領域選択レジスタ (FASR)

アドレス FLASH.FASR 007F C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0 : ユーザ領域、データ領域 1 : エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の期間中は書き込みません。

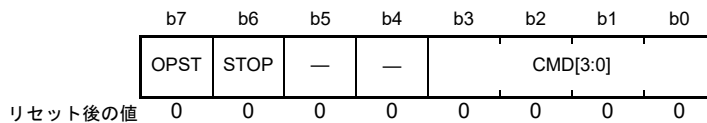
EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド (スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム) を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレース、全ブロックイレース) を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

37.4.10 フラッシュ制御レジスタ (FCR)

アドレス FLASH.FCR 007F C114h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット (注1)	b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 1 0 : 全ブロックイレーズ 上記以外は設定しないでください(注2)	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができます	R/W
b7	OPST	処理開始ビット	0 : 処理終了 1 : 処理開始	R/W

注1. OPST ビットと FSTATR1.FRDY フラグが両方とも“0”のときのみ書き換え可能です。

注2. OPST ビットを“0”にするために、FCR レジスタに“00h”を書く場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時、または E2 データフラッシュ P/E モード時に書き込みができます。

FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を設定します。それぞれのコマンドの機能を以下に示します。

- プログラム

FSARH/FSARL レジスタに設定したアドレスに、FWB0/FWB1/FWB2/FWB3 レジスタに設定した値を書き込みます。

- ブランクチェック

FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

- ブロックイレーズ

フラッシュメモリ内の指定した任意の連続した領域をブロック単位で消去します。

消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

- 全ブロックイレーズ

ROM または E2 データフラッシュを一括で消去します。

全ブロックイレーズは、ブロックイレーズに比べてより短時間でメモリを消去できます。

ROM を一括消去する場合は、ROM の先頭アドレスを FSARH/FSARL レジスタに、ROM の最終アドレ

スを FEARH/FEARL レジスタに設定してください。表 37.5 に全ブロックイレーズ時のアドレス設定値を示します。

表 37.5 全ブロックイレーズ時のアドレス設定値

対象	容量	FSARH/FSARL	FEARH/FEARL
ROM	128Kバイト	001E 0000h	001F FFF8h
E2 データフラッシュ	4Kバイト	FE00 0000h	FE00 0FFFh

STOP ビット (強制処理停止ビット)

実行中の処理 (ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを“1”にした後は、FSTATR1.FRDY フラグが“1” (処理完了) になるのを待ってから OPST ビットを“0”にしてください。

OPST ビット (処理開始ビット)

CMD[3:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.FRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.FRDY フラグが“0”になったのを確認してから次の処理を実施してください。

37.4.11 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス FLASH.FEXCR 007F C1DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	OPST	—	—	—	—	CMD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット (注1)	b2 b0 0 0 1 : スタートアップ領域情報プログラム/アクセスウィンドウプロテクト(注2) 0 1 0 : アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注3)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0 : 処理終了 1 : 処理開始	R/W

注1. OPSTビットとFSTATR1.EXRDYフラグが両方とも“0”のときのみ書き換え可能です。

注2. 一度プロテクトすると、解除できません。

注3. OPSTビットを“0”にするために、FEXCR レジスタに“00h”を書く場合を除きます。

FEXCR レジスタは、ROM P/E モードでかつ ROM がプログラム / イレーズ可能時に書き込みができます。

FEXCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の期間中は書き込めません。

ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[2:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド (スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム) を設定します。

各コマンドの詳細を以下に示します。

- スタートアップ領域情報プログラム

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

スタートアップ領域をデフォルト領域に設定する場合、FWB1、FWB0 レジスタに“FFFFh”を設定してこのコマンドを実行します。

スタートアップ領域を代替領域に設定する場合、FWB1 レジスタに“FFFFh”、FWB0 レジスタに“FEFFh”を設定してこのコマンドを実行します。

なお、FWB1、FWB0 レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

- アクセスウィンドウプロテクト

アクセスウィンドウの設定をプロテクトするために使用します。

FWB1 レジスタに“FFFFh”、FWB0 レジスタの b14 に“0”、b8 に FSCMR.SASMF フラグと同じ値、その他のビットに“1”を設定してこのコマンドを実行すると、アクセスウィンドウの設定がプロテクトされます。一度プロテクトすると、解除できません。

- アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWB0 レジスタにアクセスウィンドウの先頭アドレス (アクセスウィンドウ開始アドレス) を、FWB1 レジスタにアクセスウィンドウの最終アドレスの次のアドレス (アクセスウィンドウ終了アドレス) を

指定してこのコマンドを発行します。各レジスタにはプログラム / イレーズ用アドレスの b21 ~ b11 を設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

OPST ビット (処理開始ビット)

CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1”(処理完了)になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域へのプログラムが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

37.4.12 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス FLASH.FSARH 007F C110h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム / イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 37.1、図 37.2 を参照してください。

37.4.13 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス FLASH.FSARL 007F C108h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム / イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には “000b” を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。FRESETR.FRESET ビットが “1” の期間中は書き込みません。

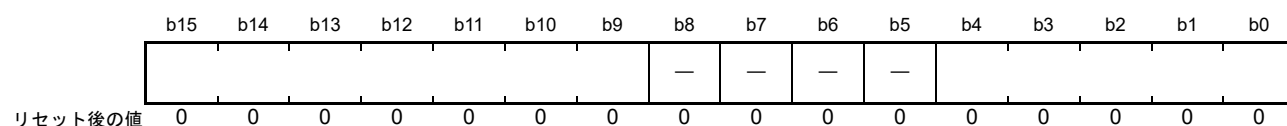
このレジスタはプログラムコマンド実行後、ROM を指定した場合、+8h、E2 データフラッシュを指定した場合、+1h インクリメントされます。そのため、連続してプログラムコマンドを実行する場合、このレジスタへのプログラム対象アドレスの設定は不要になります。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 37.1、図 37.2 を参照してください。

37.4.14 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス FLASH.FEARH 007F C120h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム / イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

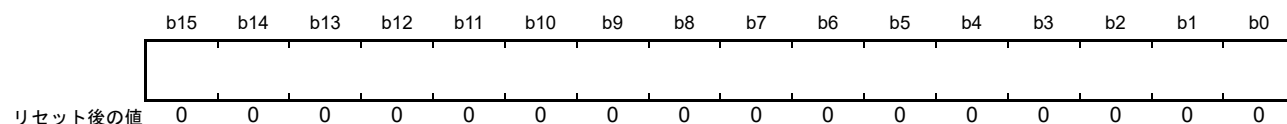
このレジスタは、リセットもしくは FRESETR.FRESET ビットを “1” にすることによって初期化されます。FRESETR.FRESET ビットが “1” の期間中は書き込みません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 37.1、図 37.2 を参照してください。

37.4.15 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス FLASH.FEARL 007F C118h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム / イレーズ用アドレスの b15-b0 を設定します。

なお、対象が ROM の場合、b2-b0 には “000b” を設定してください。

このレジスタは、ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

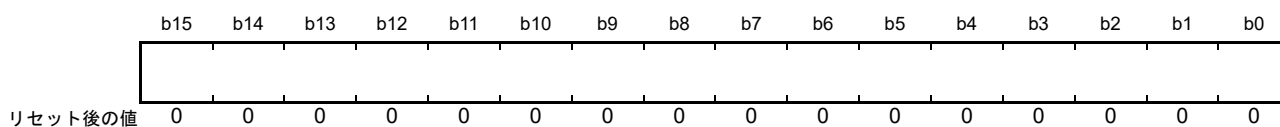
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 37.1、図 37.2 を参照してください。

37.4.16 フラッシュライトバッファレジスタ n (FWBn) (n = 0 ~ 3)

アドレス FLASH.FWB0 007F C130h, FLASH.FWB1 007F C138h, FLASH.FWB2 007F C140h, FLASH.FWB3 007F C144h



FWBn レジスタは、ROM、E2 データフラッシュ、またはエクストラ領域にプログラムするデータを設定するレジスタです。ROM P/E モードまたは E2 データフラッシュ P/E モード時に書き込みができます。

FWBn レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みません。

また、FCR レジスタによるソフトウェアコマンド実行中、または FEXCR レジスタによるソフトウェアコマンド実行中に FWBn レジスタを読み出した場合、その値は不定です。

エクストラ領域にプログラムする場合、プログラムする 4 バイトのデータは FWB0 レジスタと FWB1 レジスタに設定してください。

E2 データフラッシュにプログラムする場合、プログラムするデータは FWB0 レジスタの下位 8 ビットに設定してください。

ROM にプログラムする場合、プログラムする 8 バイトのデータは FWB0 レジスタから FWB3 レジスタに設定してください。図 37.3 に FSARH/FSARL レジスタが示すアドレスと FWBn レジスタに設定されたデータの関係を示します。

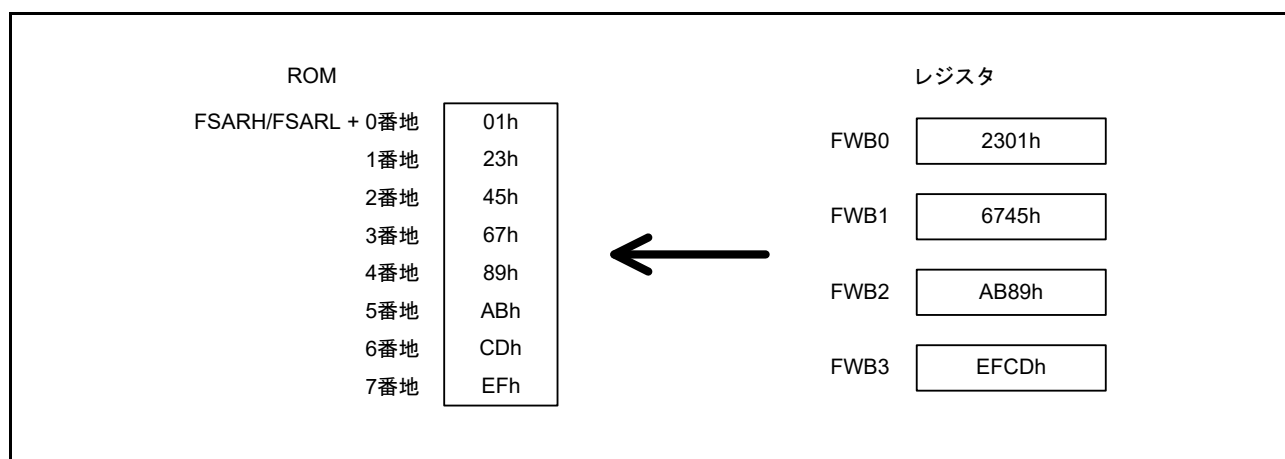


図 37.3 FWBn レジスタ設定値と ROM 上のデータ配置

37.4.17 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス FLASH.FSTATR0 007F C128h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	EILGLERR	ILGLERR	BCERR	—	PRGERR	ERERR
リセット後の値	x	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0 : イレーズは正常終了 1 : イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0 : プログラムは正常終了 1 : プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0 : ブランクチェックは正常終了 1 : ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0 : 不正なソフトウェアコマンドや、不正なアクセスを検出していない 1 : 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ	0 : エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出していない 1 : エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

ERERR フラグ (イレーズエラーフラグ)

ROM/E2 データフラッシュに対するイレーズ処理の結果を示すフラグです。

["1" になる条件]

- ・ イレーズ中にエラーが発生した

["0" になる条件]

- ・ 次のソフトウェアコマンドを実行した
イレーズ中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

PRGERR フラグ (プログラムエラーフラグ)

ROM/E2 データフラッシュに対するプログラム処理の結果を示すフラグです。

["1" になる条件]

- ・ プログラム中にエラーが発生した

["0" になる条件]

- ・ 次のソフトウェアコマンドを実行した

BCERR フラグ (ブランクチェックエラーフラグ)

ROM/E2 データフラッシュに対するブランクチェック処理の結果を示すフラグです。

["1" になる条件]

- ・ ブランクチェック中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した
ブランクチェック中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム / イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが "1" のときに、プログラムコマンド、ブロックイレーズコマンドを実行した
- アクセスウィンドウを設定した状態で全ブロックイレーズを実行した
- FSARH/FSARL レジスタ、FEARH/FEARL レジスタの設定を正しく行わずに全ブロックイレーズコマンドを実行した
- ROM が P/E モードのときに FSARH/FSARL レジスタに E2 データフラッシュのアドレスを設定して、ソフトウェアコマンドを実行した
- E2 データフラッシュが P/E モードのときに FSARH/FSARL レジスタに ROM のアドレスを設定して、ソフトウェアコマンドを実行した
- ROM/E2 データフラッシュとも P/E モードに設定して、ソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- FASR.EXS ビットが "0" のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

37.4.18 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス FLASH.FSTATR1 007F C12Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	EXRDY	FRDY	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0：下記以外 1：FCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0：下記以外 1：FEXCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

FRDY フラグ (フラッシュレディフラグ)

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

EXRDY フラグ (エクストラ領域レディフラグ)

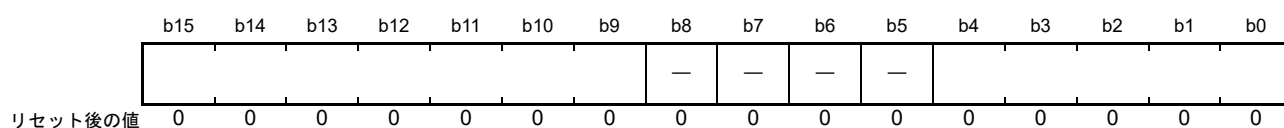
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

37.4.19 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス FLASH.FEAMH 007F C1E8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b31-b25、b20-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b31-b25、b20-b16 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

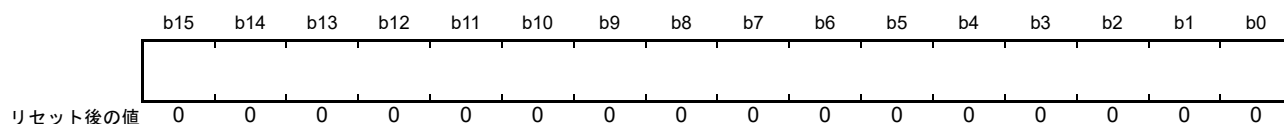
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b31-b25、b20-b16 が格納されます。

フラッシュメモリのアドレスは、図 37.1、図 37.2 を参照してください。

37.4.20 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス FLASH.FEAML 007F C1E0h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されます。

なお、ROM に対するソフトウェアコマンドを実行した場合下位 3 ビットは“000b”になります。

フラッシュメモリのアドレスは、図 37.1、図 37.2 を参照してください。

37.4.21 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス FLASH.FSCMR 007F C1C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	AWPR	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	ユーザ の設定 値 (注1)	1	1	0	1	1	ユーザ の設定 値 (注2)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0：代替領域から起動する設定になっています 1：デフォルト領域から起動する設定になっています	R
b10-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b14	AWPR	アクセスウィンドウプロテクトフラグ	0：アクセスウィンドウの設定を変更できません 1：アクセスウィンドウの設定を変更できます	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。アクセスウィンドウプロテクトコマンドを実行した後は、FWB0レジスタのb14に設定した値と同じ値になります。

注2. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWB0レジスタのb8に設定した値と同じ値になります。

SASMF フラグ (スタートアップ領域設定モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

AWPR フラグ (アクセスウィンドウプロテクトフラグ)

アクセスウィンドウの設定内容がプロテクトされているかどうかを確認するためのフラグです。

“0”の場合、アクセスウィンドウの開始/終了アドレスを変更することはできません。

“1”の場合、アクセスウィンドウの開始/終了アドレスを変更することができます。

37.4.22 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス FLASH.FAWSMR 007F C1C8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—											
リセット後の値	0	0	0	0	0											

ユーザの設定値 (注1)

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB0レジスタのb10-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

37.4.23 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス FLASH.FAWEMR 007F C1D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—											
リセット後の値	0	0	0	0	0											

ユーザの設定値 (注1)

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB1レジスタのb10-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

37.4.24 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス FLASH.UIDR0 007F C350h, FLASH.UIDR1 007F C354h, FLASH.UIDR2 007F C358h, FLASH.UIDR3 007F C35Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値																

チップごとの固有値

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値																

チップごとの固有値

UIDRn レジスタは、MCU の個体を識別するために用意された 16 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。

37.5 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができるようになり、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図37.4にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック0～7をデフォルト領域、ブロック8～15を代替領域と呼びます。

注1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

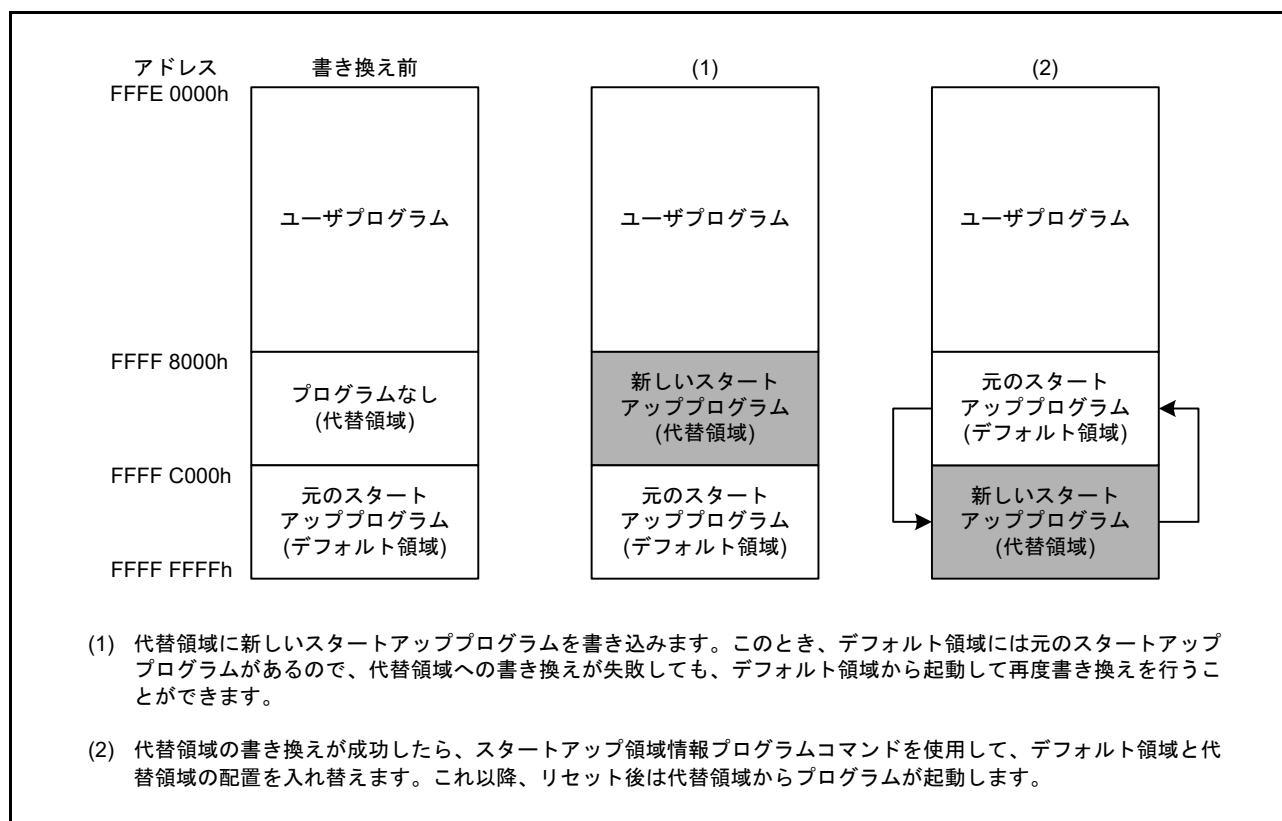


図 37.4 スタートアッププログラム保護機能の概念

37.6 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲 (アクセスウィンドウ) のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。データ領域にアクセスウィンドウを設定することはできません。アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 37.5 にエリアプロテクションの概念を示します。

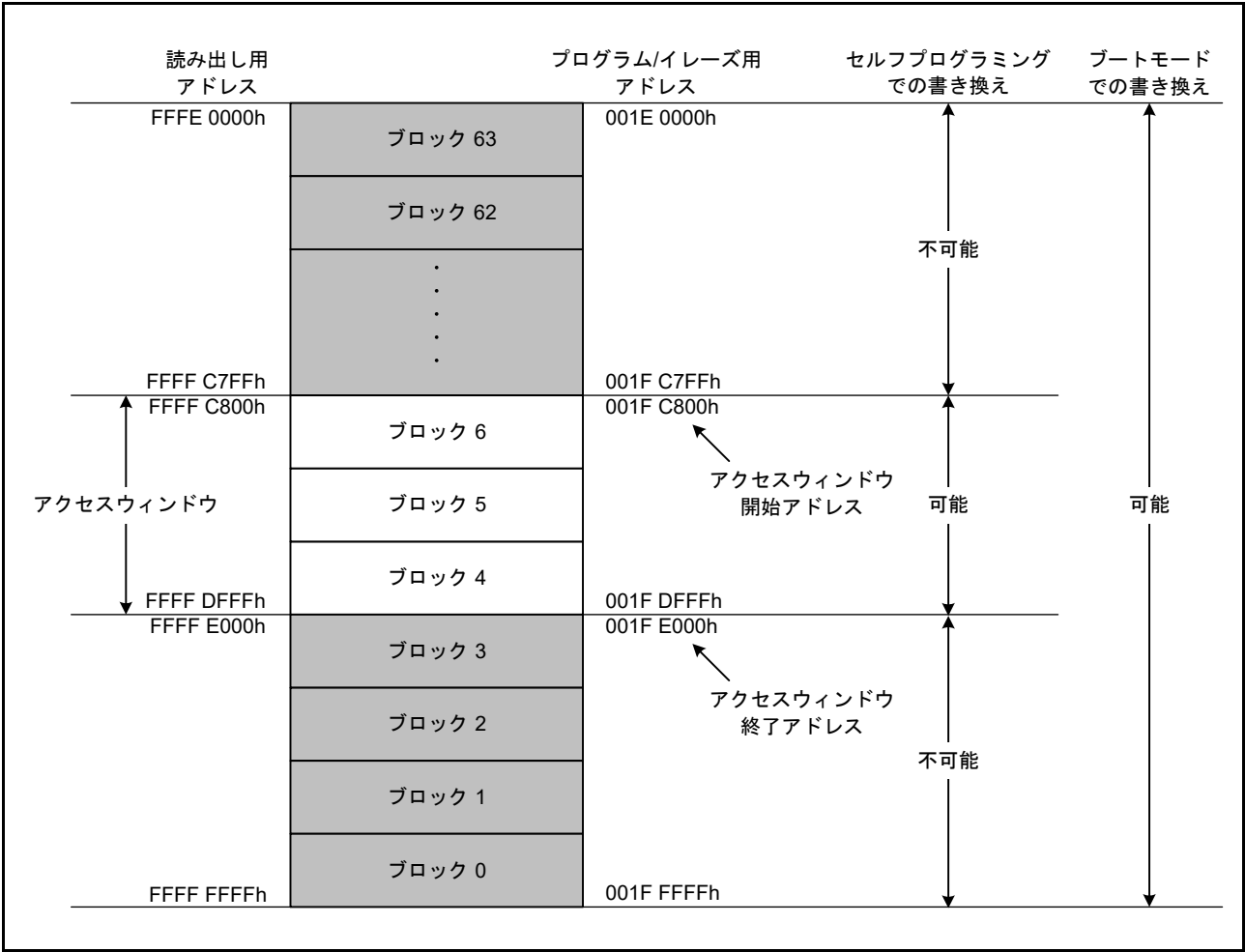


図 37.5 エリアプロテクションの概念 (ROM 容量が 128K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

37.7 プログラム/イレーズ

ROM や E2 データフラッシュへのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM や E2 データフラッシュへのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

37.7.1 シーケンサのモード

シーケンサには、4 種類のモードがあります。モードの移行は、DFLCTL レジスタ、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 37.6 にフラッシュメモリのモード遷移図を示します。

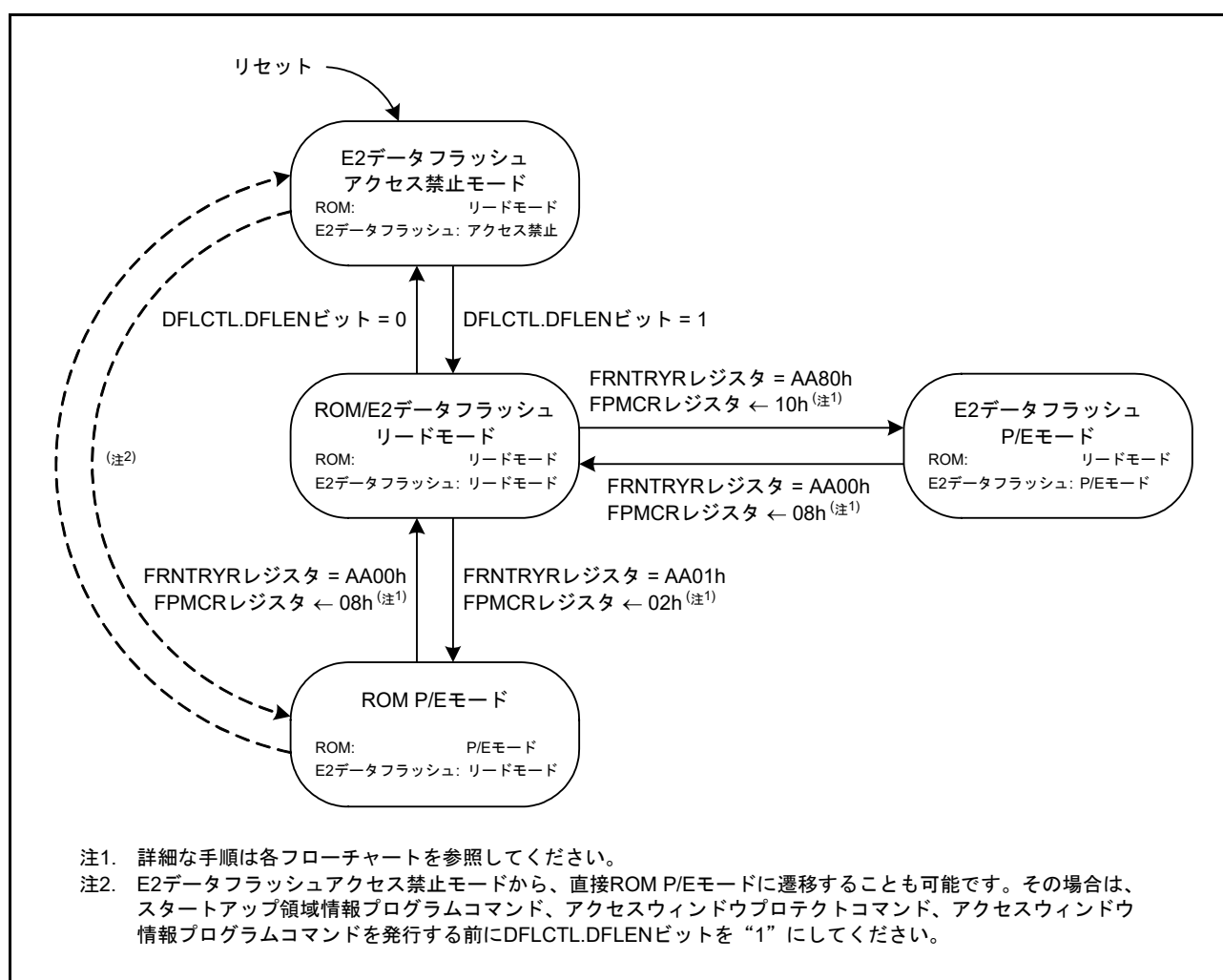


図 37.6 フラッシュメモリのモード遷移図

37.7.1.1 E2 データフラッシュアクセス禁止モード

E2 データフラッシュアクセス禁止モードは、E2 データフラッシュのアクセスが禁止されているモードです。リセット直後はこのモードに遷移します。

DFLCTL.DFLEN ビットを“1”にすると、E2 データフラッシュはリードモードに遷移します。

37.7.1.2 リードモード

リードモードは、ROM または E2 データフラッシュの高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、1 ICLK クロックの高速読み出しが可能です。

(1) ROM/E2 データフラッシュリードモード

ROM、E2 データフラッシュともにリードモードになっているモードを、ROM/E2 データフラッシュリードモードと言います。P/E モードからは、FPMCR レジスタを“08h”、FENTRYR.FENTRYD ビットを“0”、FENTRYR.FENTRY0 ビットを“0”にした場合にこのモードに遷移します。

37.7.1.3 P/E モード

P/E モードは、ROM または E2 データフラッシュのプログラム / イレーズを行うモードです。

(1) ROM P/E モード

ROM が P/E モード、E2 データフラッシュがリードモードになっているモードを、ROM P/E モードと言います。FENTRYR.FENTRYD ビットを“0”、FENTRYR.FENTRY0 ビットを“1”、FPMCR レジスタを“02h”にした場合にこのモードに遷移します。

(2) E2 データフラッシュ P/E モード

ROM がリードモード、E2 データフラッシュが P/E モードになっているモードを、E2 データフラッシュ P/E モードと言います。FENTRYR.FENTRYD ビットを“1”、FENTRYR.FENTRY0 ビットを“0”、FPMCR レジスタを“10h”にした場合にこのモードに遷移します。

37.7.2 モード遷移

37.7.2.1 E2 データフラッシュアクセス禁止モードからリードモードへの遷移

E2 データフラッシュをリードするためには、E2 データフラッシュアクセス禁止モードから、ROM/E2 データフラッシュリードモードに遷移させる必要があります。

ROM/E2 データフラッシュリードモードに遷移させるためには、DFLCTL.DFLEN ビットを“1”にします。

図 37.7 に E2 データフラッシュアクセス禁止モードから ROM/E2 データフラッシュリードモードへの遷移フローを示します。

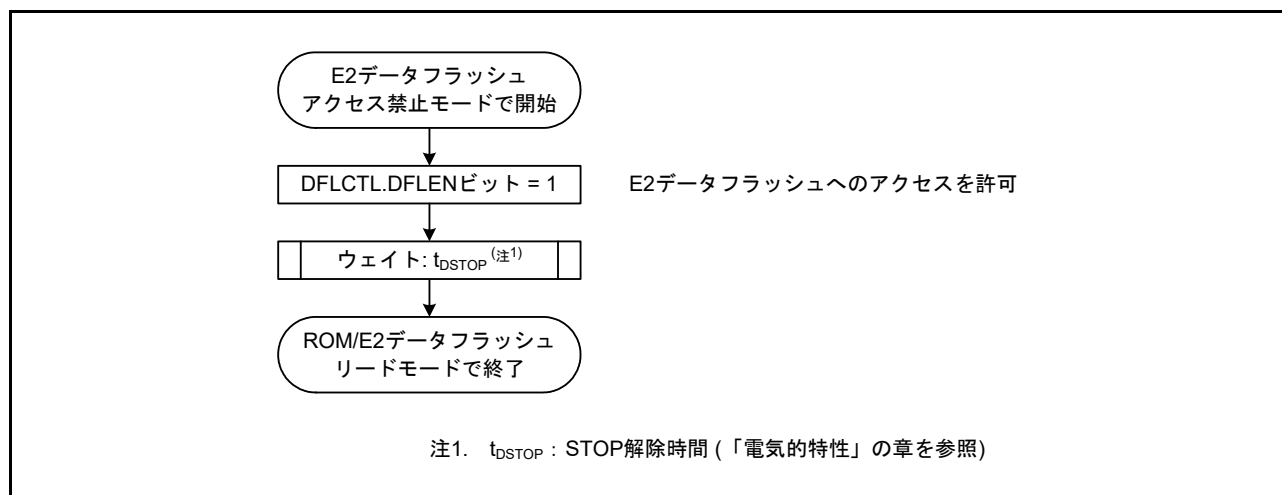


図 37.7 E2 データフラッシュアクセス禁止モードから ROM/E2 データフラッシュリードモードへの遷移フロー

37.7.2.2 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 37.8 に ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フローを、図 37.9 に ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フローを示します。

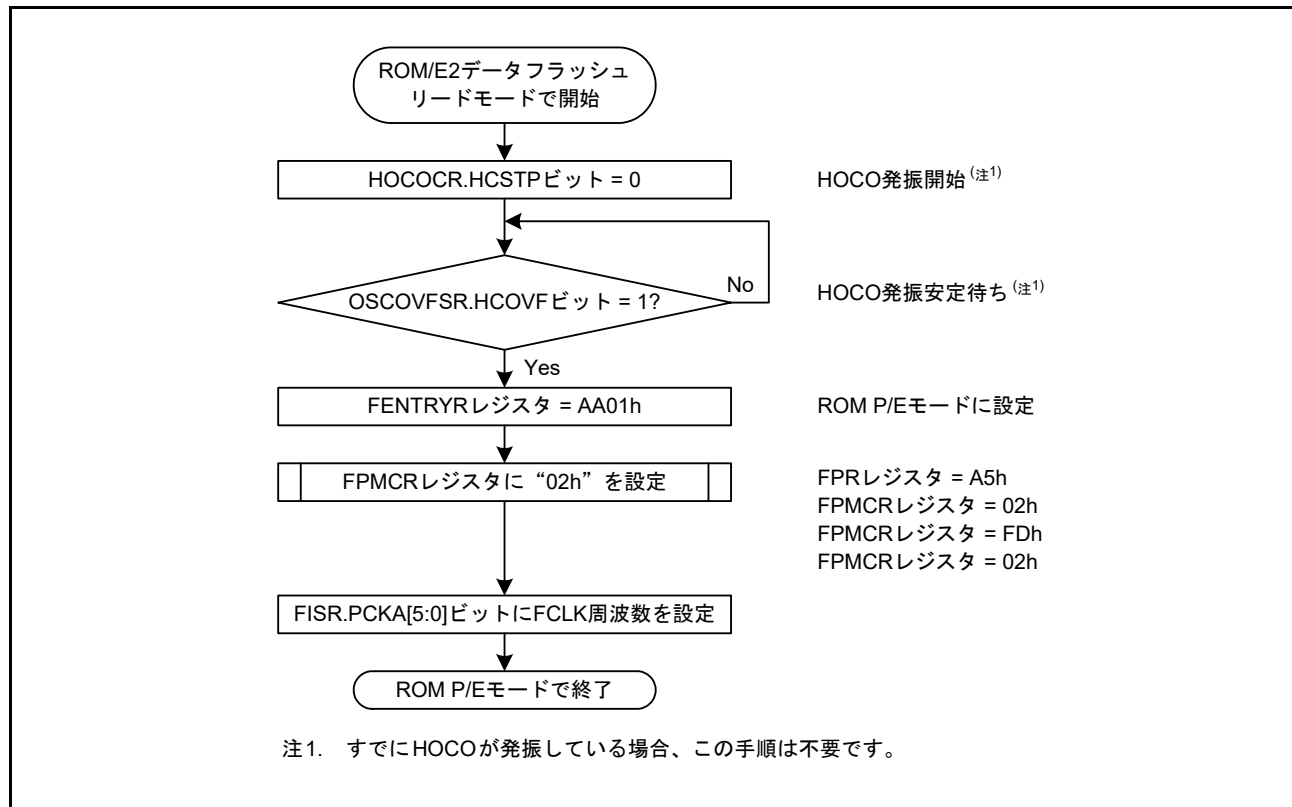


図 37.8 ROM/E2 データフラッシュリードモードから ROM P/E モードへの遷移フロー

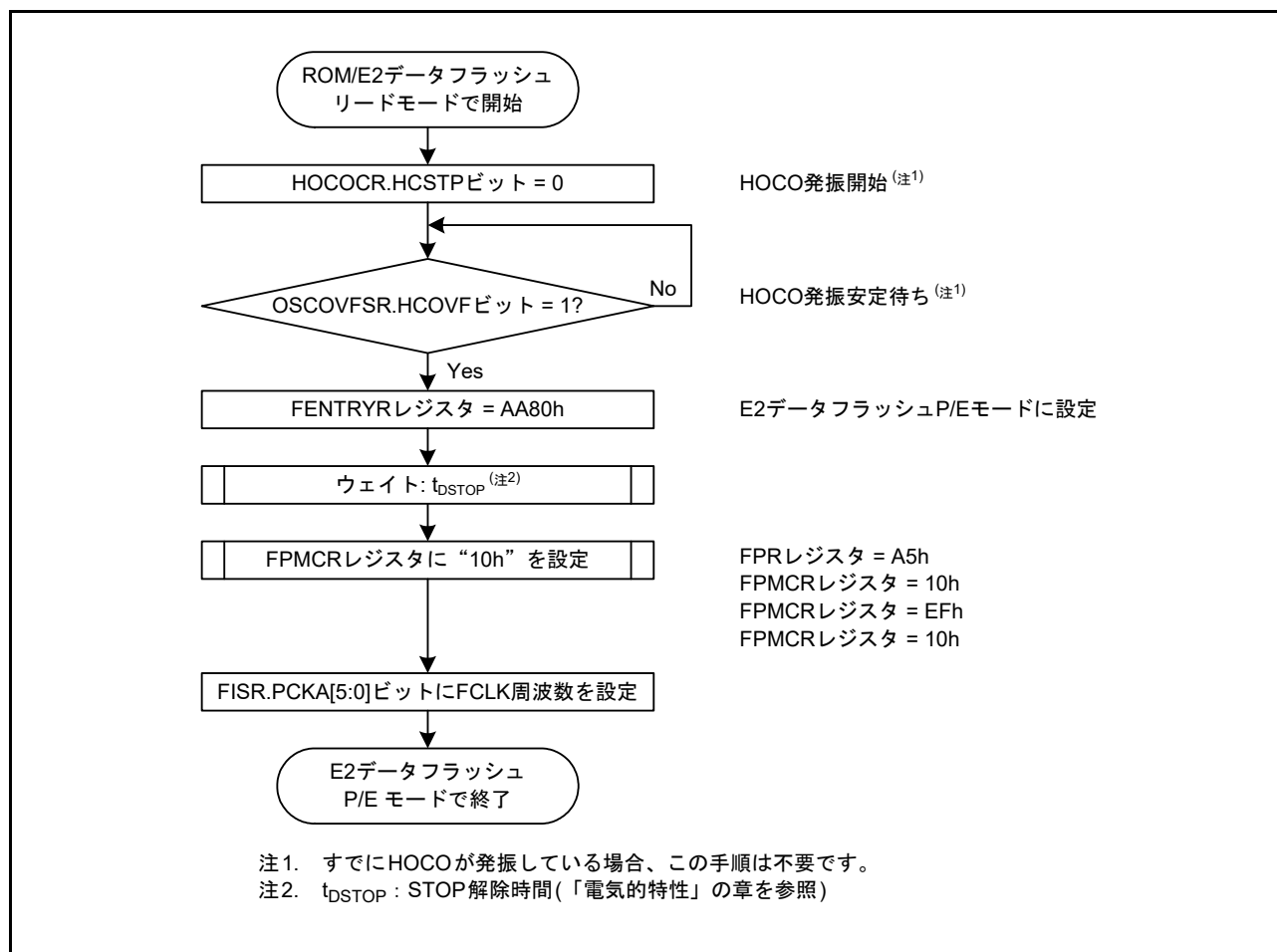


図 37.9 ROM/E2 データフラッシュリードモードから E2 データフラッシュ P/E モードへの遷移フロー

37.7.2.3 P/E モードからリードモードへの遷移

ROM の高速読み出しを行うためには、ROM/E2 データフラッシュリードモードに遷移させる必要があります。

図 37.10 に ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを、図 37.11 に E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フローを示します。

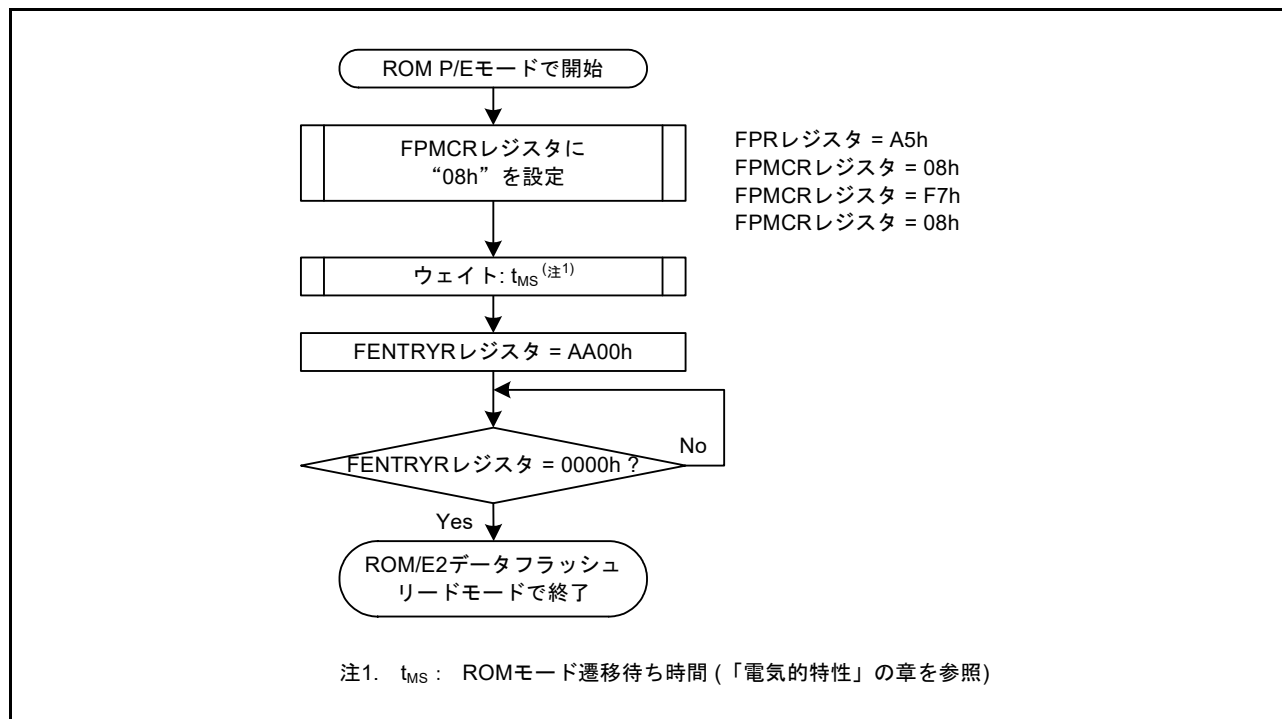


図 37.10 ROM P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

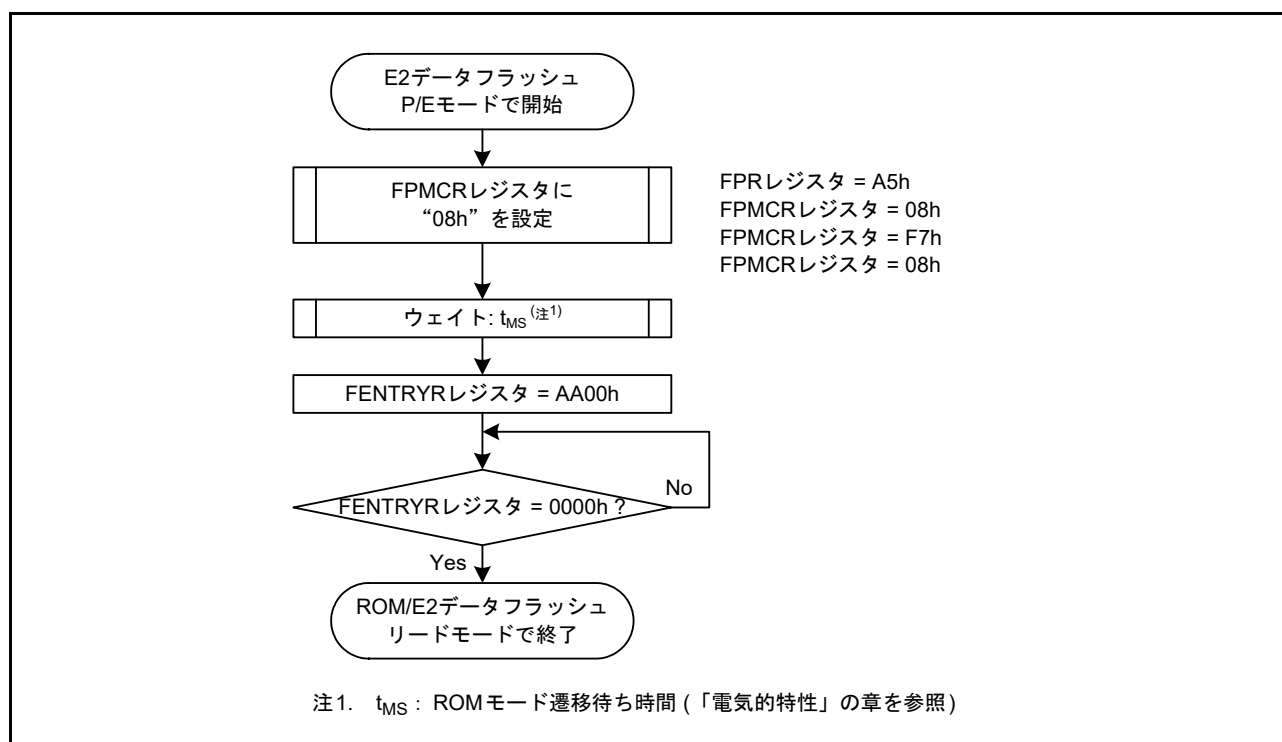


図 37.11 E2 データフラッシュ P/E モードから ROM/E2 データフラッシュリードモードへの遷移フロー

37.7.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 37.6 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表 37.6 ソフトウェアコマンド一覧

コマンド	機能
プログラム	- ROMへの書き込み(8バイト) - E2データフラッシュへの書き込み(1バイト)
ブロックイレーズ	ROM/E2データフラッシュの消去
全ブロックイレーズ	ROM/E2データフラッシュの一括消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウプロテクト	エリアプロテクションで使用するアクセスウィンドウの設定を書き換えられないようにプロテクトします
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します

37.7.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

37.7.4.1 プログラム

図 37.12、図 37.13 にプログラムコマンドの発行フローを示します。

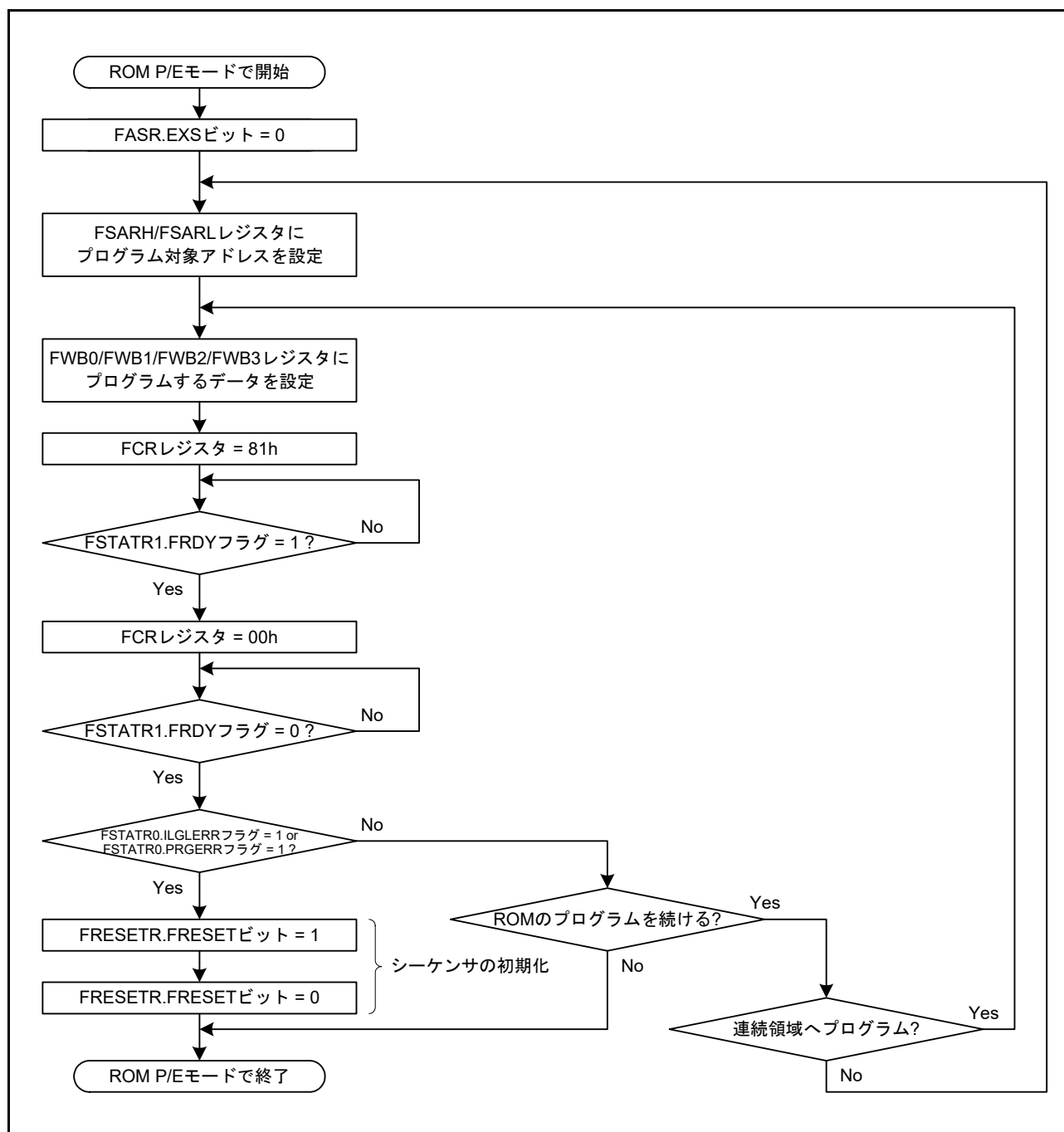


図 37.12 プログラムコマンドの発行フロー (ROM)

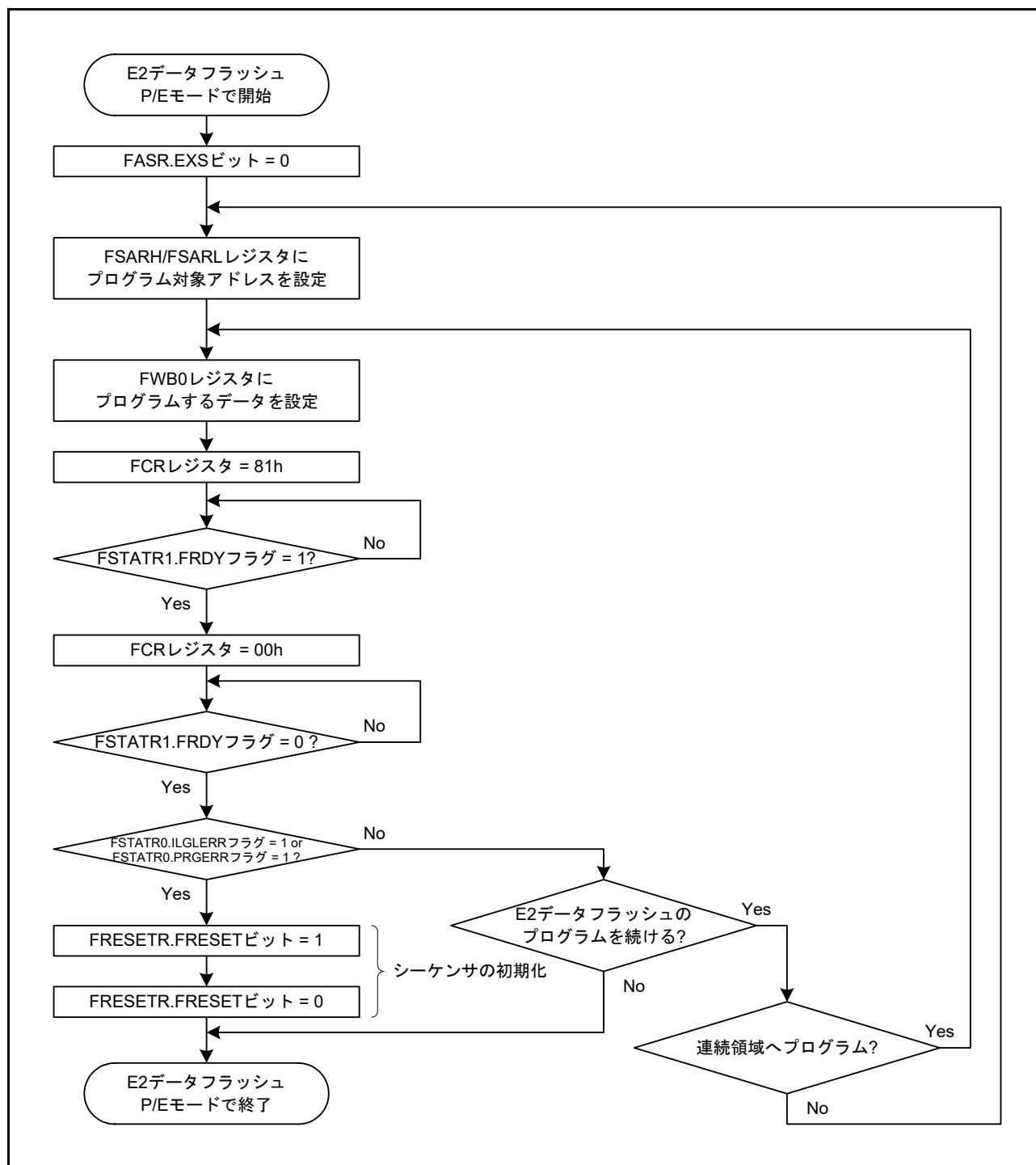


図 37.13 プログラムコマンドの発行フロー (E2 データフラッシュ)

37.7.4.2 ブロックイレーズ

図 37.14、図 37.15 にブロックイレーズコマンドの発行フローを示します。

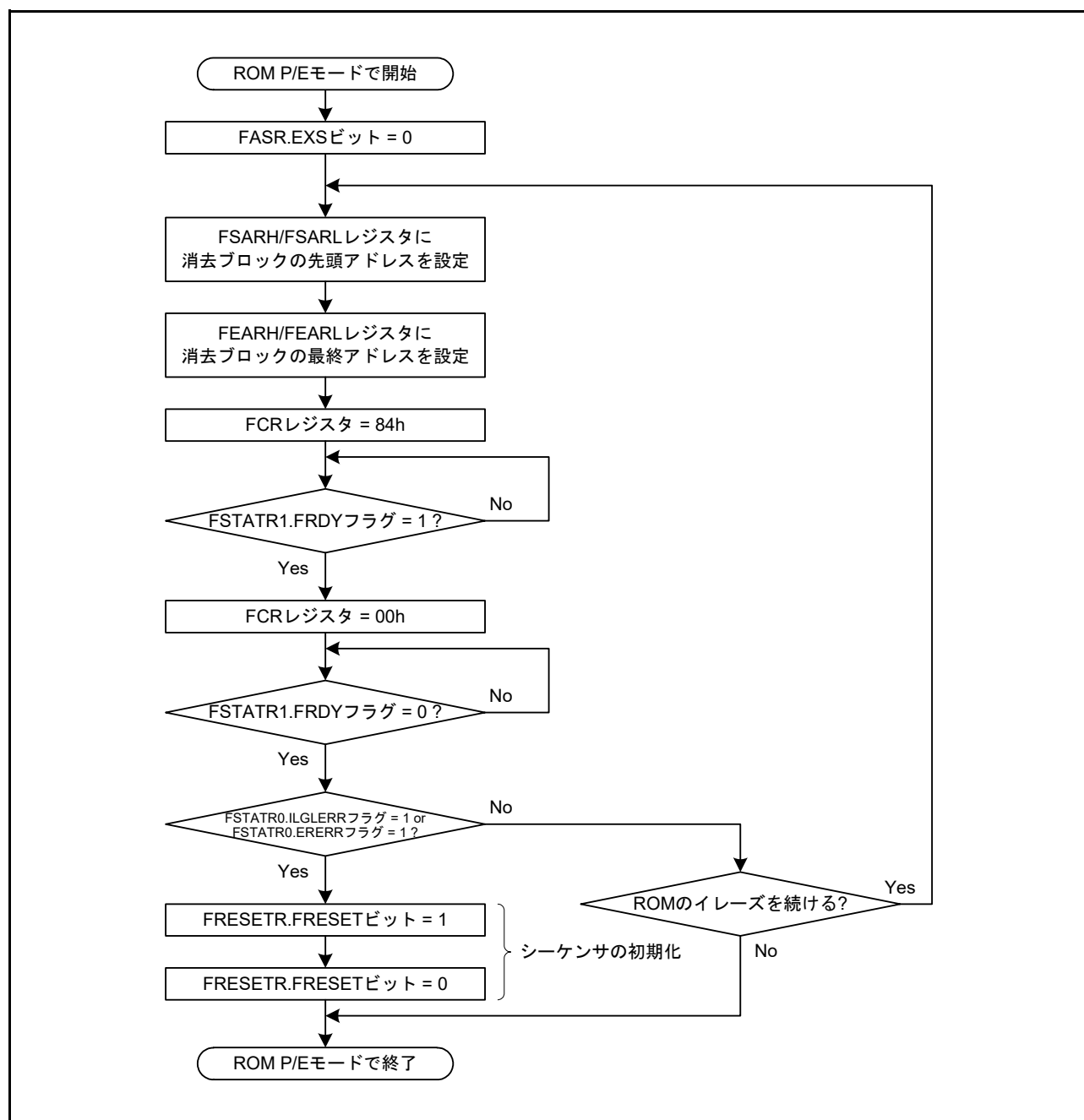


図 37.14 ブロックイレーズコマンドの発行フロー (ROM)

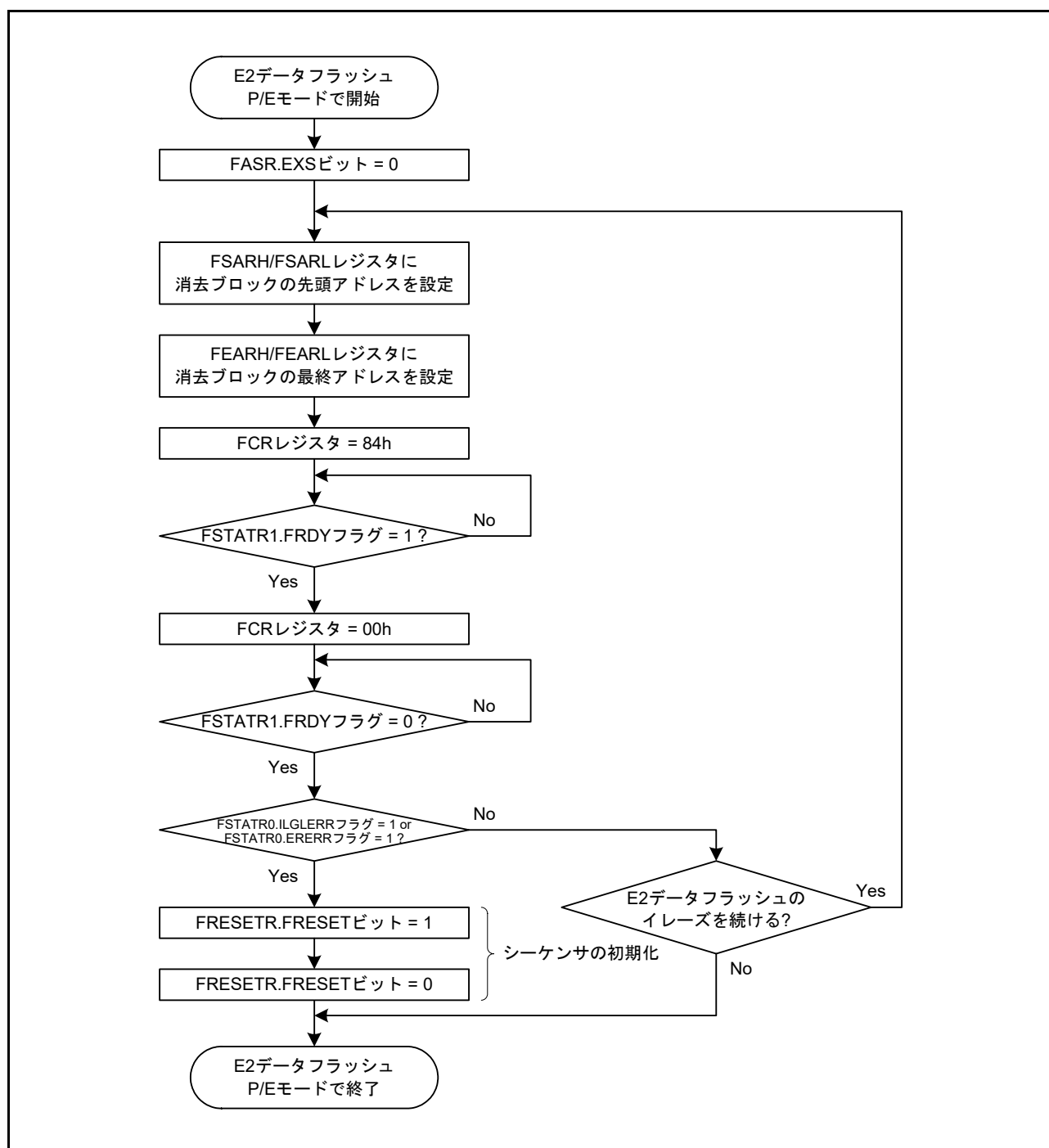


図 37.15 ブロックイレーズコマンドの発行フロー (E2 データフラッシュ)

37.7.4.3 全ブロックイレーズ

図 37.16、図 37.17 に全ブロックイレーズコマンドの発行フローを示します。

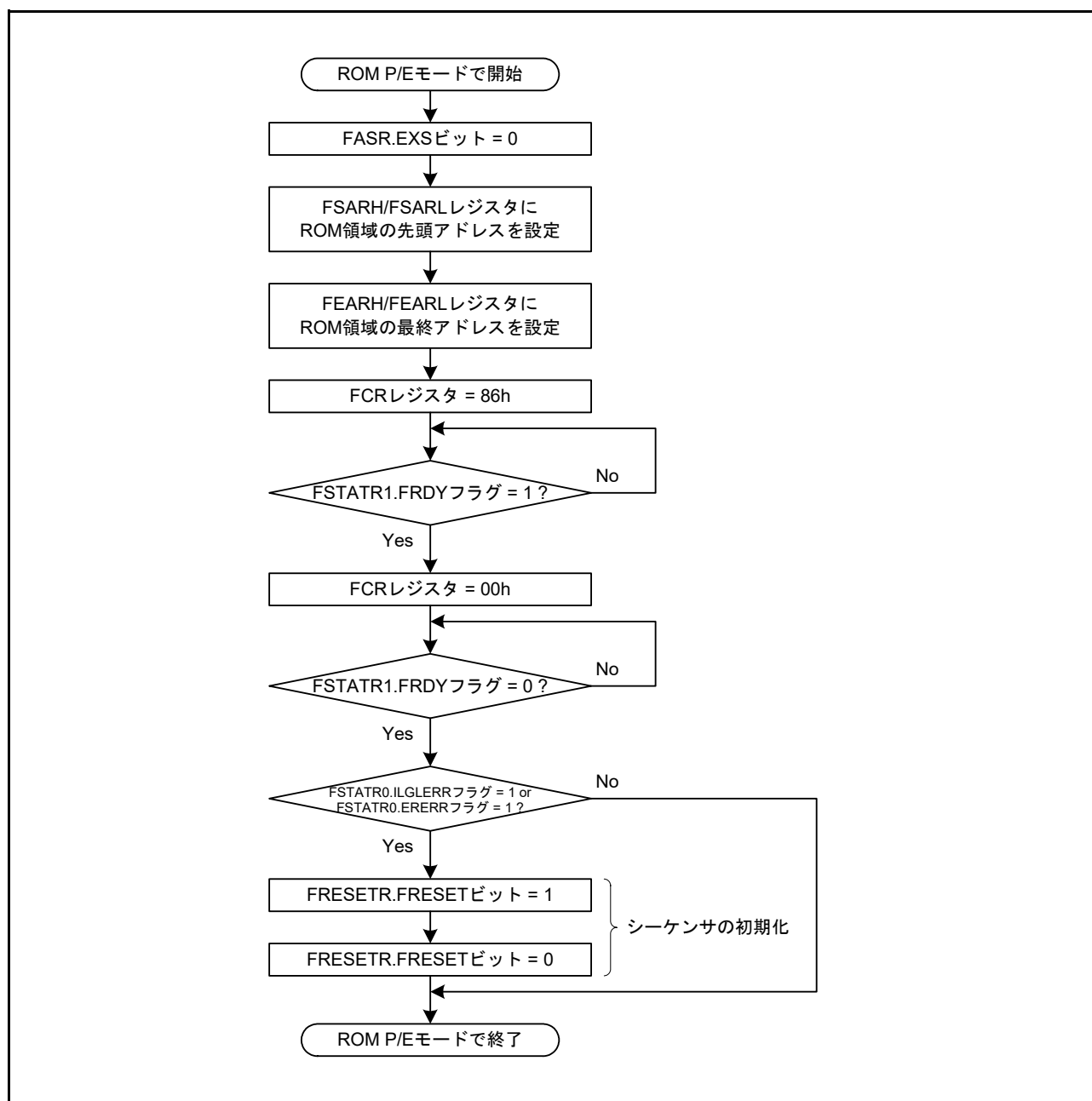


図 37.16 全ブロックイレーズコマンドの発行フロー (ROM)

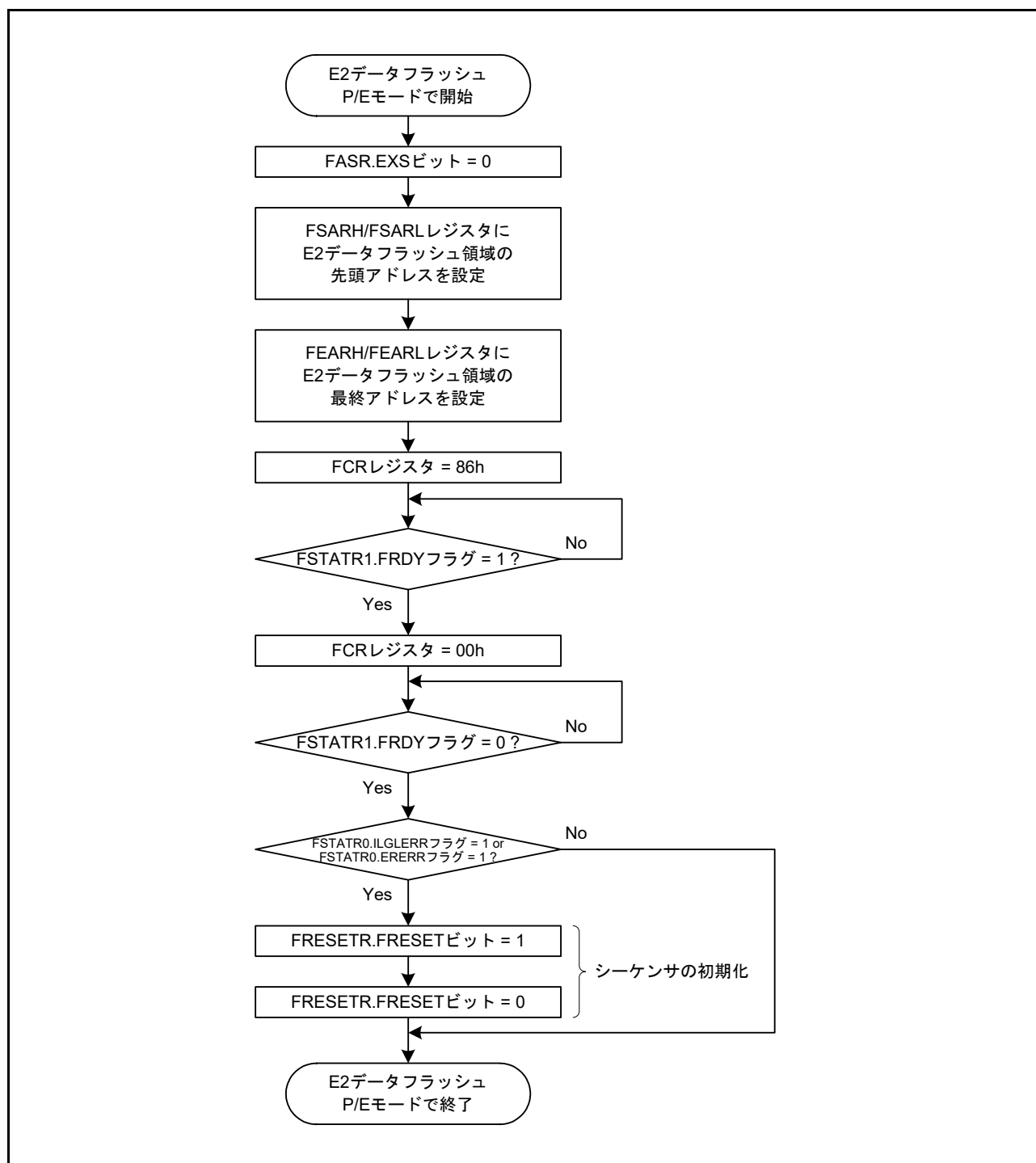


図 37.17 全ブロックイレースコマンドの発行フロー (E2 データフラッシュ)

37.7.4.4 ブランクチェック

図 37.18、図 37.19 にブランクチェックコマンドの発行フローを示します。

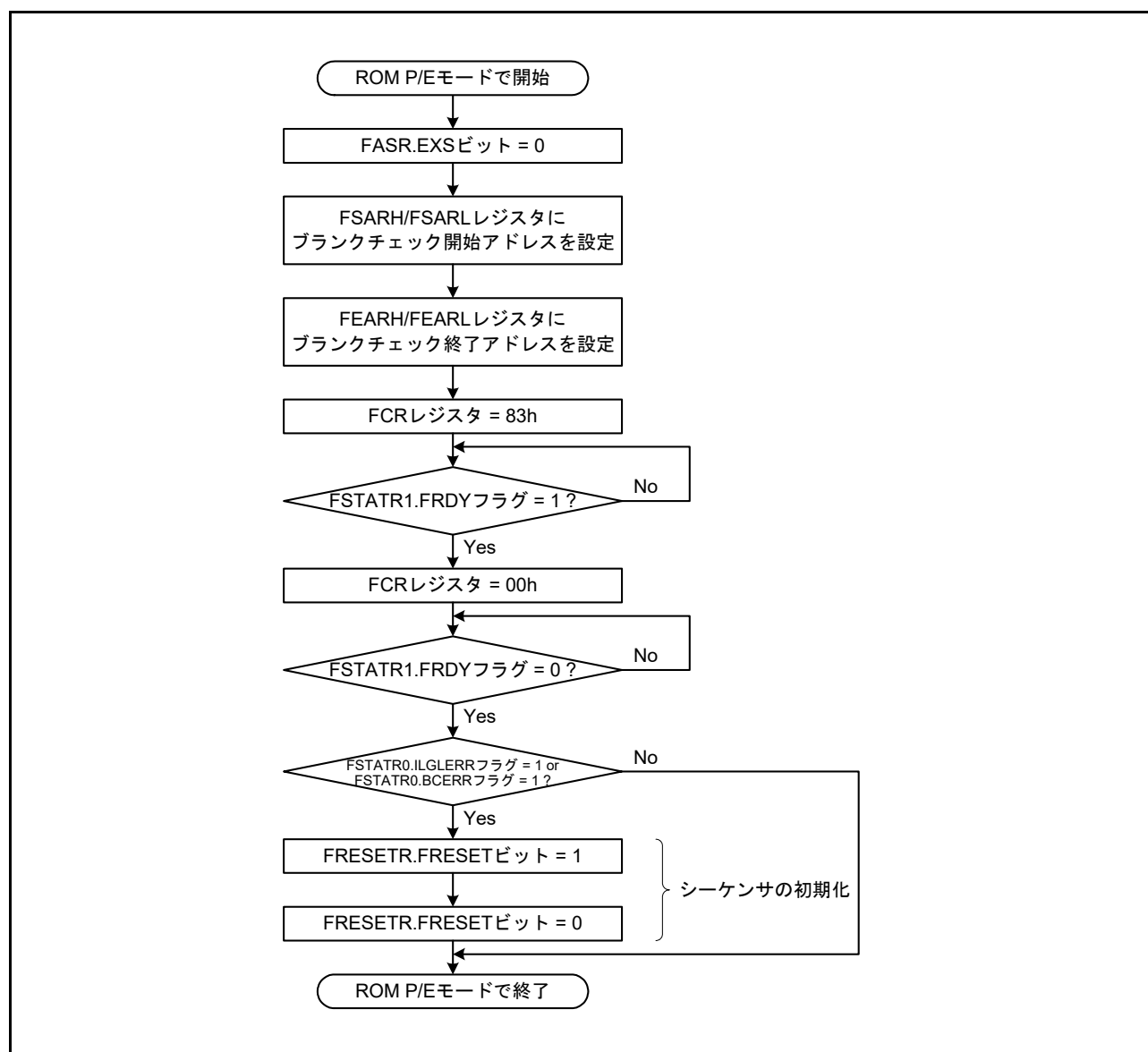


図 37.18 ブランクチェックコマンドの発行フロー (ROM)

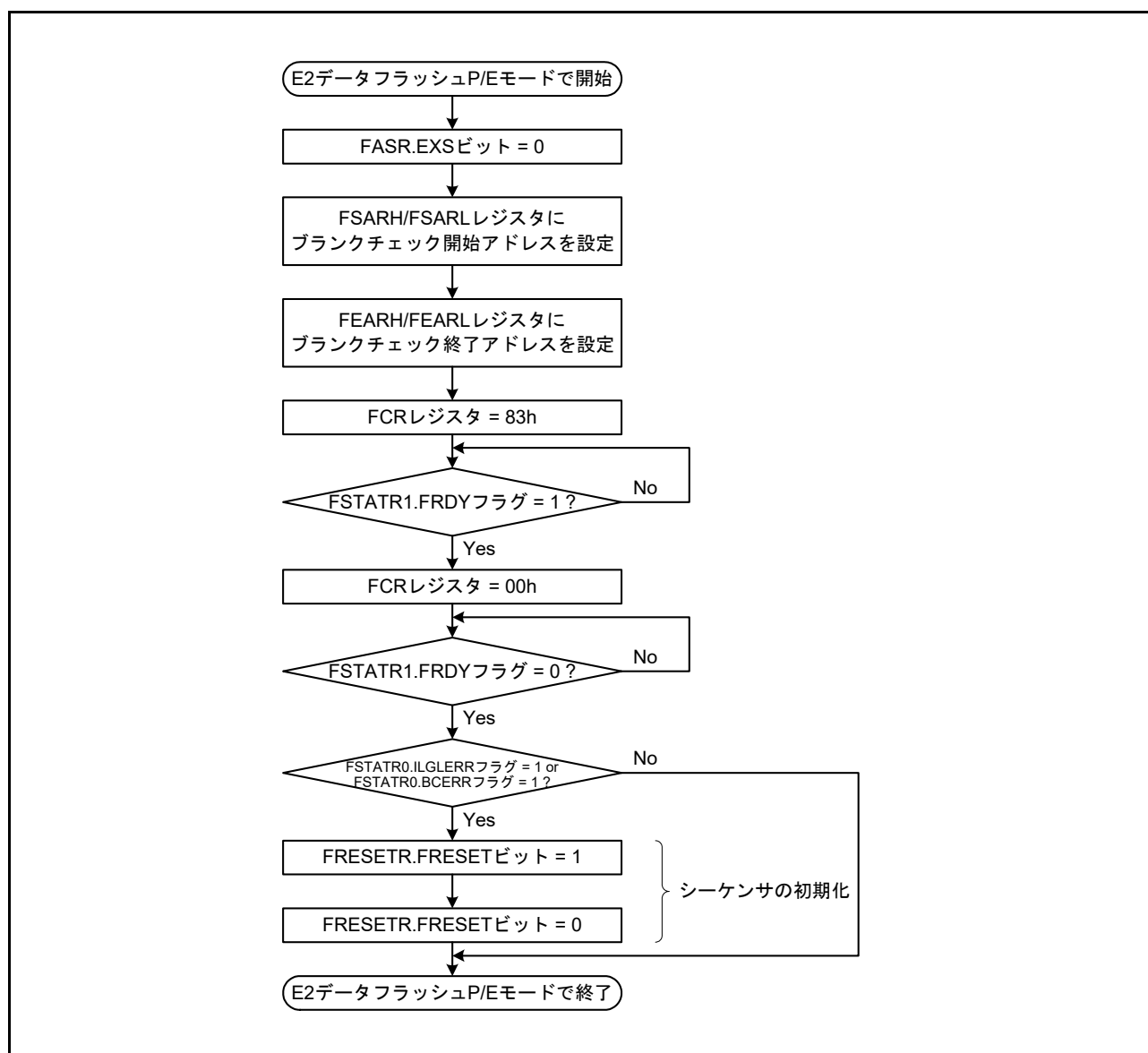


図 37.19 ブランクチェックコマンドの発行フロー (E2 データフラッシュ)

37.7.4.5 スタートアップ領域情報プログラム/アクセスウィンドウプロテクト/アクセスウィンドウ情報プログラム

図 37.20 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウプロテクトコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

なお、E2 データフラッシュアクセス禁止モードから直接 ROM P/E モードに遷移した場合は、フローの先頭で DFLCTL.DFLEN ビットを“1”にしてください。

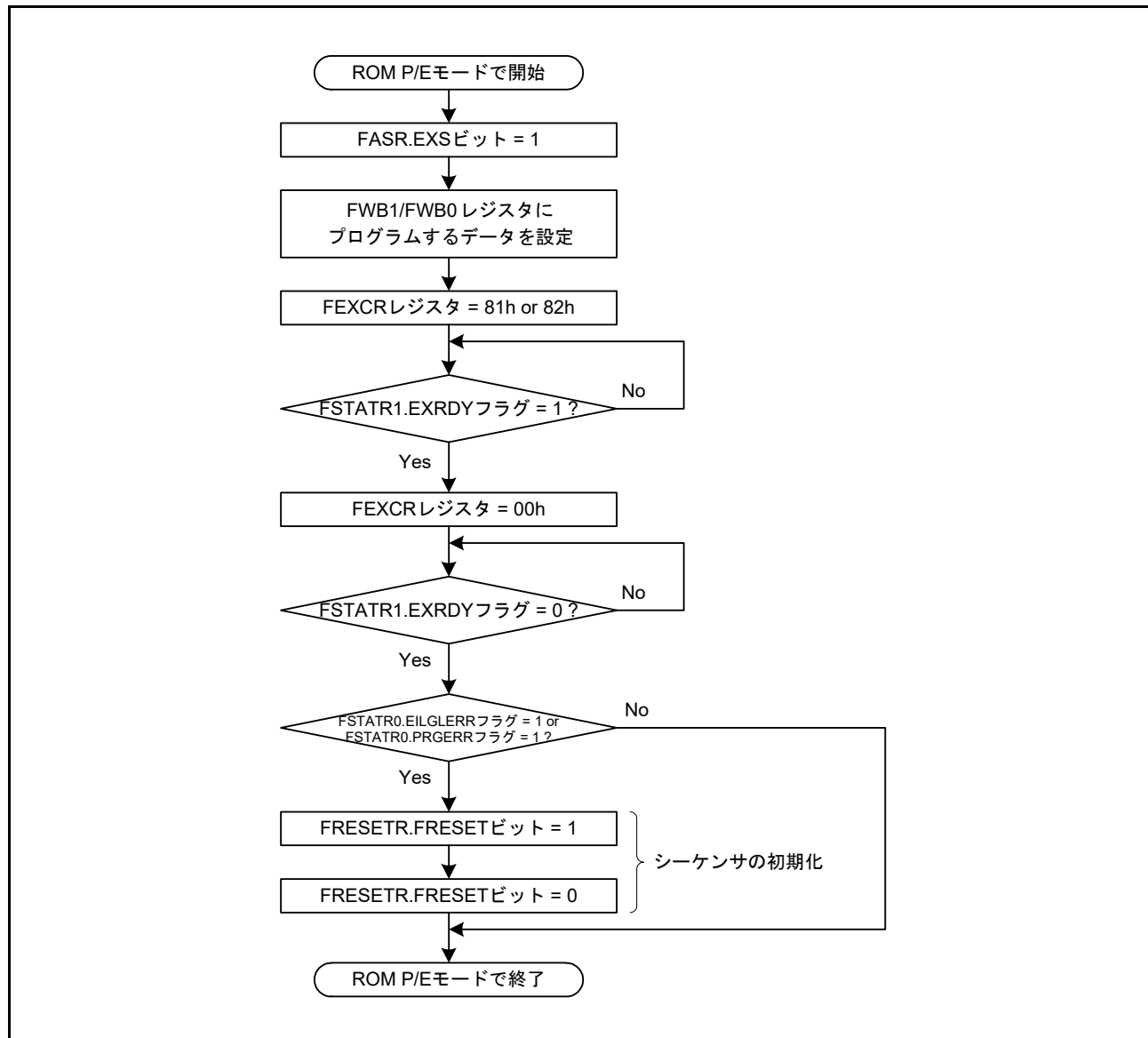


図 37.20 スタートアップ領域情報プログラムコマンド/アクセスウィンドウプロテクトコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

37.7.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、図 37.21 に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

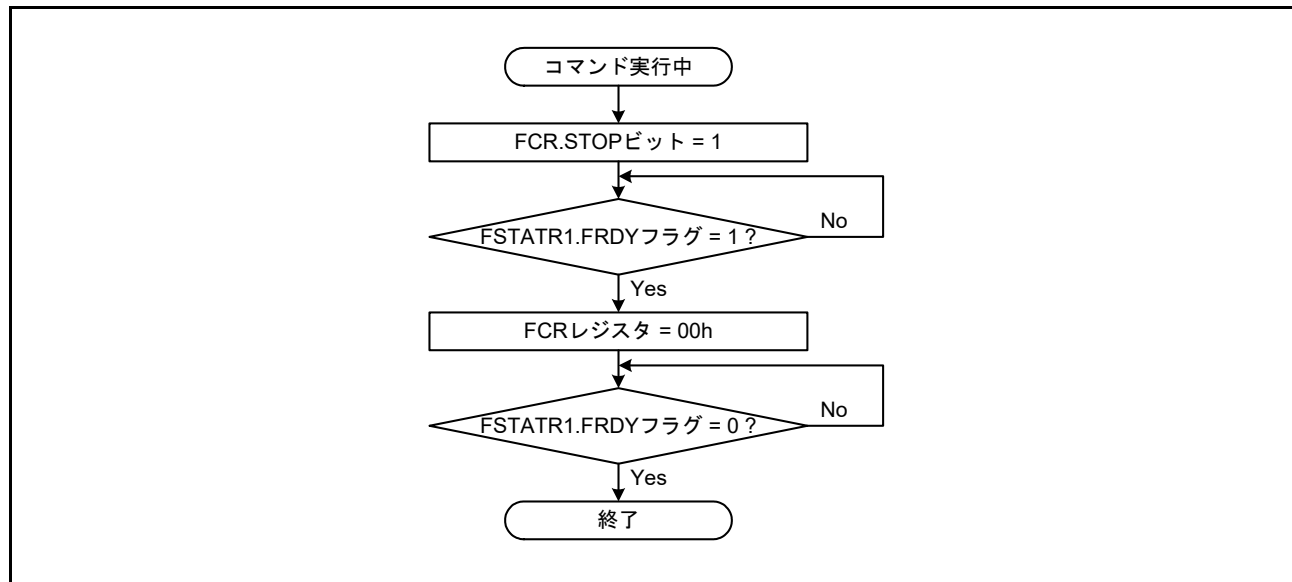


図 37.21 ソフトウェアコマンド強制停止の実行フロー

37.7.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを “0” にすると FSTATR1.FR DY フラグが “0” に、また、FEXCR.OPST ビットを “0” にすると FSTATR1.EXRDY フラグが “0” になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IENj ビットを “1” にする前に、IRn.IR フラグをクリアしてください。

37.8 ブートモード

ブートモードは、SCI インタフェース、または FINE インタフェースを使用します。

表 37.7 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 37.8 にブートモードで使用する入出力端子を示します。

表 37.7 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード	
	SCI インタフェース	FINE インタフェース
プログラム/イレーズ可能な領域	ユーザ領域 データ領域	ユーザ領域 データ領域
使用する周辺モジュール	SCI1 (調歩同期式シリアル通信)	FINE

表 37.8 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINE インタフェース)	動作モードを選択、FINE データ入出力
PB6/RXD1	入力	ブートモード (SCI インタフェース)	データ受信 (注1)
PB5/TXD1	出力		データ送信 (注1)

注 1. SCI インタフェースを使用する場合は、抵抗を介して VCC に接続 (プルアップ) してください。

37.8.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イレージに SCI の調歩同期式モードを用いるモードです。ユーザ領域とデータ領域を書き換えることができます。

MD 端子を Low にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマについてはメーカーにお問い合わせください。

37.8.1.1 ブートモード (SCI インタフェース) の動作条件

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCI1 を調歩同期式モードで使
用します。図 37.22 にブートモード (SCI インタフェース) 時の端子接続例を、表 37.9 にブートモード (SCI
インタフェース) 時に使用する端子の処理内容を示します。

なお、図 37.22 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものでは
ありません。

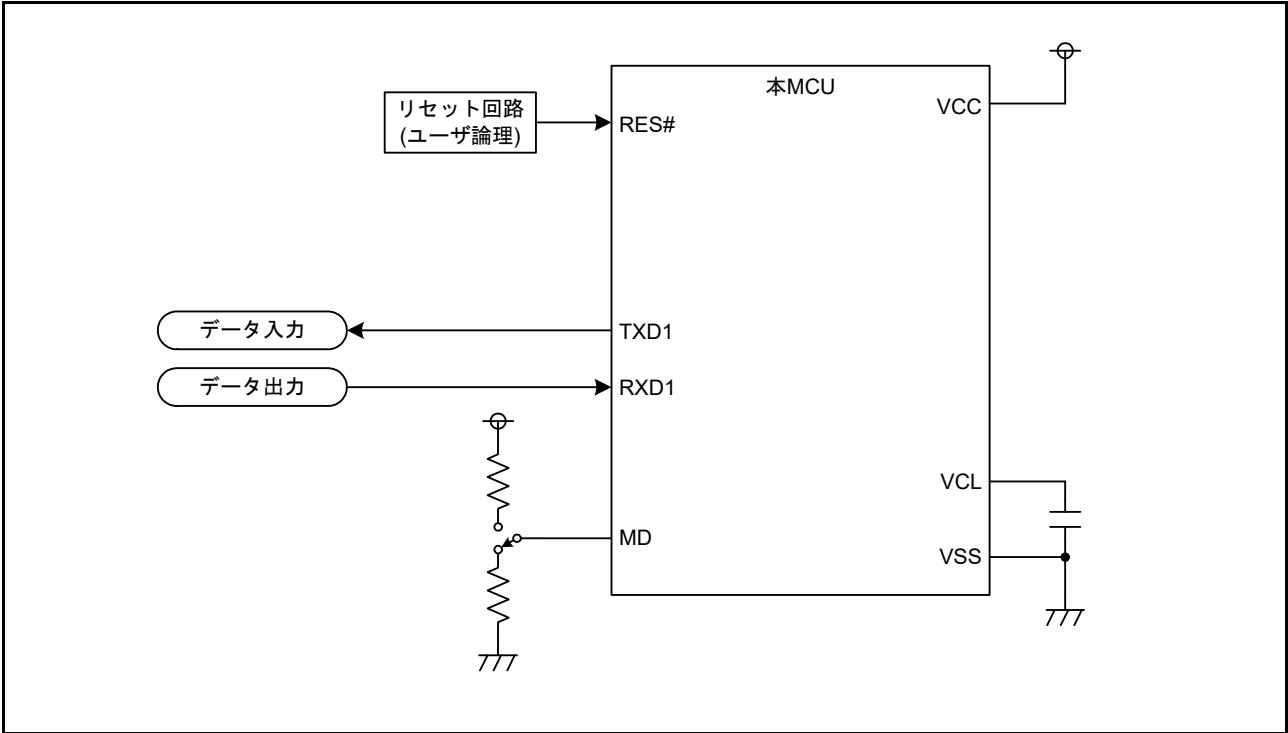


図 37.22 ブートモード (SCI インタフェース) 時の端子接続例

表 37.9 ブートモード (SCI インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 2.7 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール	入力	Low を入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
PB6/RXD1	データ入力 RXD	入力	シリアルデータの入力端子です
PB5/TXD1	データ出力 TXD	出力	シリアルデータの出力端子です

シリアルプログラマとの通信フォーマットは、図 37.23 に示すとおり、8 ビットデータ、1 ストップビット、パリティなし、LSB ファーストです。

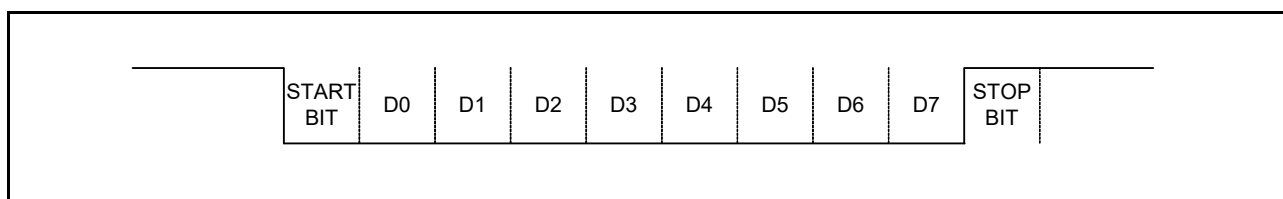


図 37.23 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。ブートモード (SCI インタフェース) で通信が可能な最大通信ビットレートは 2 Mbps です。

37.8.1.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 37.24 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「38.5.2 リセットタイミング」に示す規格を守ってください。

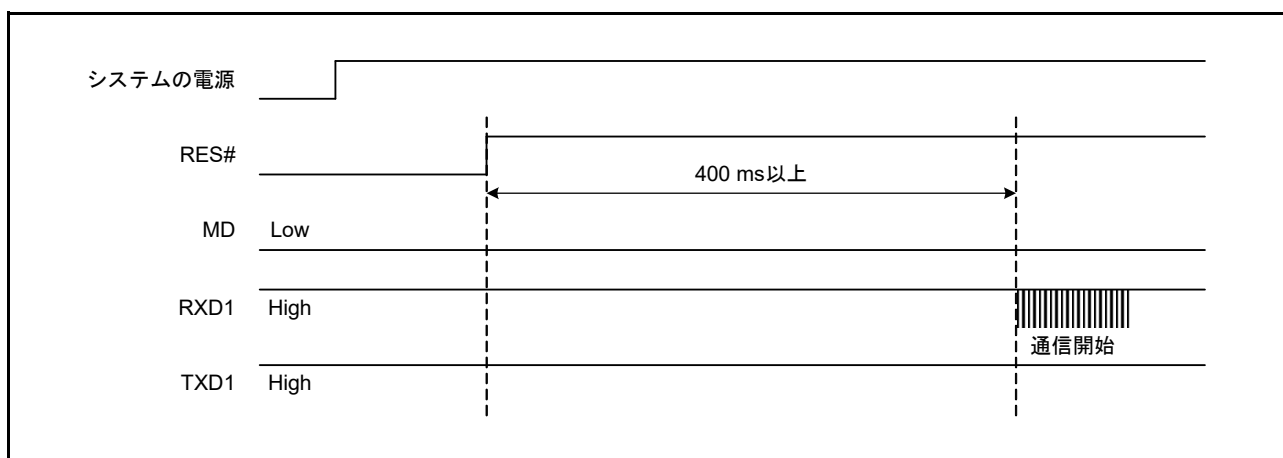


図 37.24 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

37.8.2 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域とデータ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

37.8.2.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。

図 37.25 にブートモード (FINE インタフェース) 時の端子接続例を、表 37.10 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 37.25 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

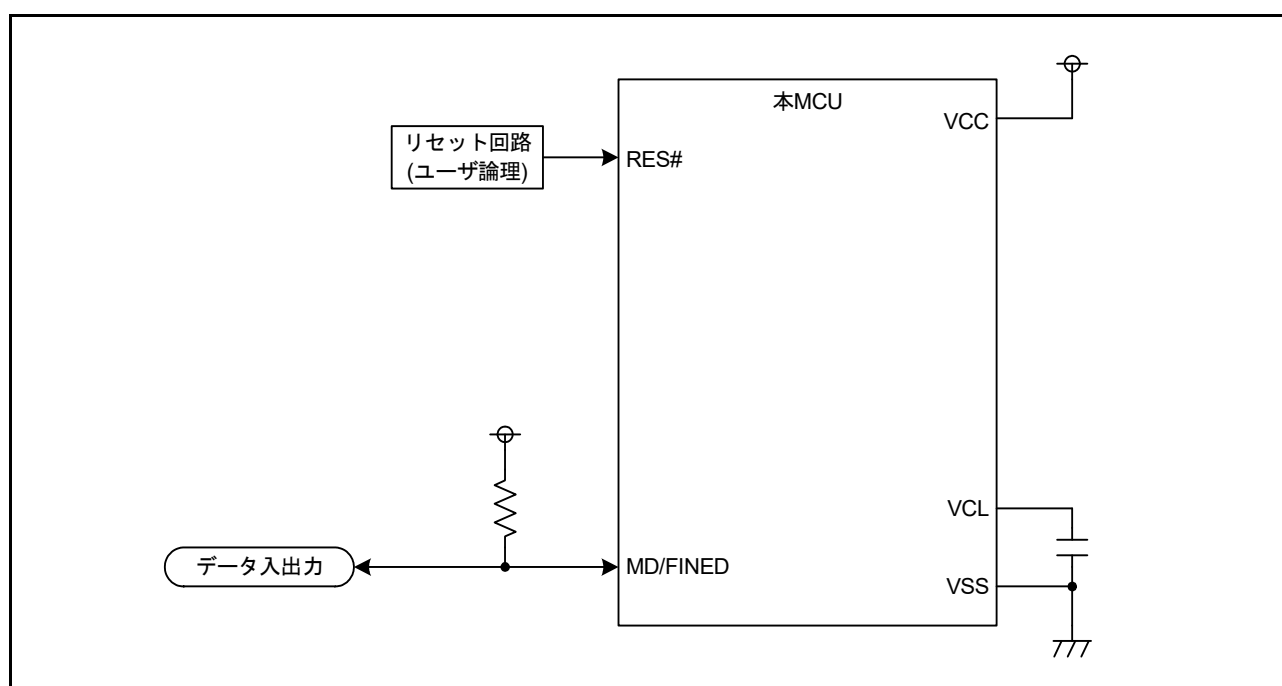


図 37.25 ブートモード (FINE インタフェース) 時の端子接続例

表 37.10 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源	—	VCC 端子には 2.7 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD/FINED	動作モードコントロール / データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

37.9 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き換えから保護する機能です。

シリアルプログラマ接続時にはブートモード ID コードプロテクト、オンチップデバ깅エミュレータ接続時にはオンチップデバ깅エミュレータ ID コードプロテクトがあります。

37.9.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバ깅エミュレータを接続したときのオンチップデバ깅エミュレータ ID コードプロテクトの 2 つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード 1～ID コード 15 で構成されています。32 ビット長 4 ワードのデータで、32 ビット単位で設定してください。図 37.26 に ID コードの構成を示します。

	31	24 23	16 15	8 7	0
FFFF FFA0h	制御コード	IDコード1	IDコード2	IDコード3	
FFFF FFA4h	IDコード4	IDコード5	IDコード6	IDコード7	
FFFF FFA8h	IDコード8	IDコード9	IDコード10	IDコード11	
FFFF FFACH	IDコード12	IDコード13	IDコード14	IDコード15	

図 37.26 ID コードの構成

ID コードを設定するときのプログラムの記述例を以下に示します。

制御コード、ID コード 1～ID コード 15 を順に “45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh” に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFF0A0
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFF0A0h
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

37.9.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、第三者がシリアルプログラマを接続したときのユーザ領域とデータ領域の読み出し、書き換えを禁止する機能です。

制御コードが“45h”または“52h”(ブートモード ID コードプロテクト有効)の場合は、シリアルプログラマから送られてくる 16 バイトのコードと、ユーザ領域上にある ID コードを比較し、その結果に従って、ユーザ領域とデータ領域の読み出し、書き換えを許可します。

制御コードが“45h”、“52h”以外(ブートモード ID コードプロテクト無効)の場合、ユーザ領域とデータ領域のすべてのブロックを消去し、ユーザ領域とデータ領域の読み出し、書き込みを許可します。

制御コードは、プロテクトの有効もしくは無効を設定します。表 37.11 にブートモード ID コードプロテクトの仕様を、図 37.27 にブートモード ID コードプロテクトの認証フローを示します。

ID コード 1 ～ ID コード 15 は、任意の値が設定できます。

ただし、無条件にシリアルプログラマの接続を禁止する場合は、ID コード 1 ～ ID コード 15 に順に“50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh, FFh”と設定してください。

表 37.11 ブートモード ID コードプロテクトの仕様

IDコード		プロテクト	IDコードの 判定結果	動作
制御コード	IDコード1～ IDコード15			
45h	任意	有効	一致	ブートモードIDコード認証ステートを完了し、プログラム/イレーズホストコマンド待ちステートに遷移する
			不一致	ブートモードIDコード認証ステートを継続する
			不一致 (3回連続)	ユーザ領域とデータ領域のすべてのブロックを消去し、ブートモードIDコード認証ステートを継続する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8バイトすべて FFh)	有効	—	シリアルプログラマが送信したコードの値に関係なく、フラッシュメモリの読み出し、書き換えを許可しない
	上記以外		一致	ブートモードIDコード認証ステートを完了し、プログラム/イレーズホストコマンド待ちステートに遷移する
			不一致	ブートモードIDコード認証ステートを継続する
上記以外	任意	無効	—	ユーザ領域とデータ領域のすべてのブロックを消去する

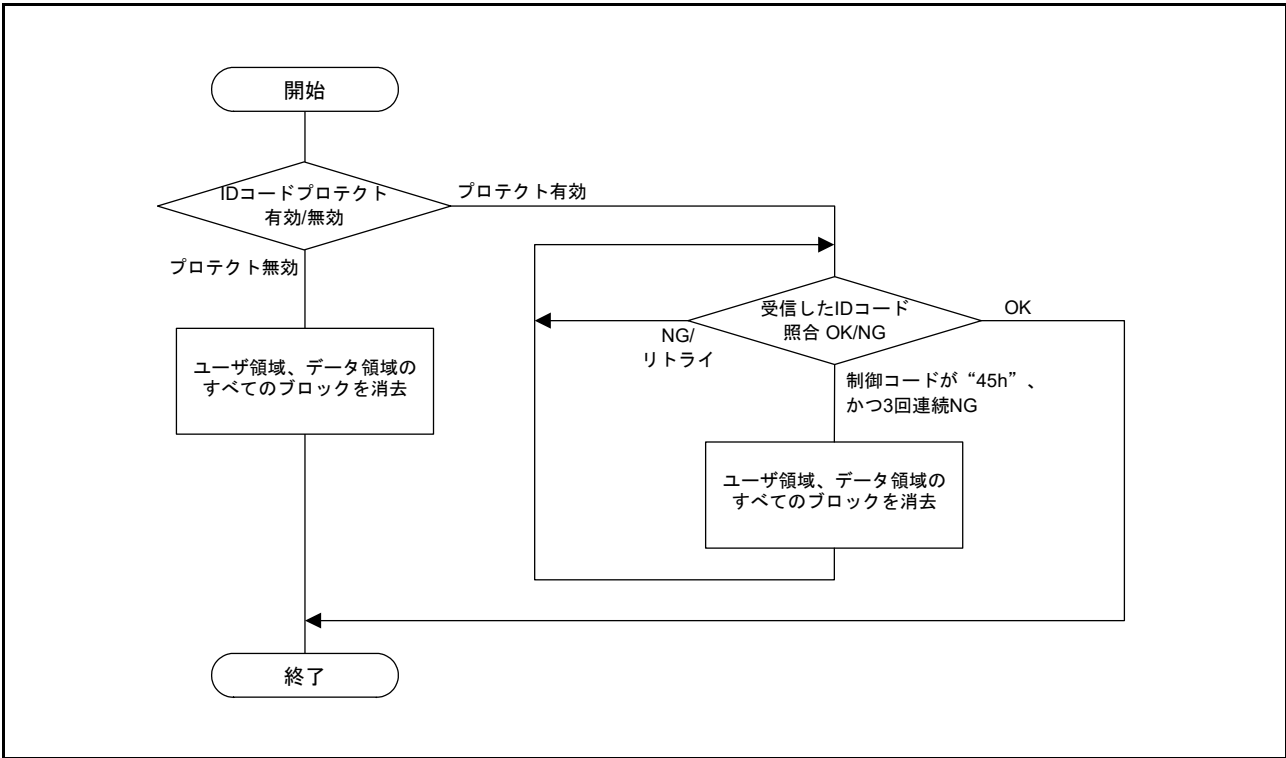


図 37.27 ブートモード ID コードプロテクトの認証フロー

37.9.1.2 オンチップデバ깅ングエミュレータ ID コードプロテクト

オンチップデバ깅ングエミュレータ ID コードプロテクトは、オンチップデバ깅ングエミュレータとの接続を許可 / 禁止する機能です。

オンチップデバ깅ングエミュレータ ID コードプロテクトが無効の場合もしくは、プロテクトが有効でオンチップデバ깅ングエミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバ깅ングエミュレータとの接続を許可します。

オンチップデバ깅ングエミュレータ ID コードプロテクトの仕様を、表 37.12 に示します。

表 37.12 オンチップデバ깅ングエミュレータ ID コードプロテクトの仕様

ID コード		プロテクト	ID コードの判定結果	動作
制御コード	ID コード 1 ~ ID コード 15			
FFh	FFh, ..., FFh (15 バイトすべて FFh)	無効	—	オンチップデバ깅ングエミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の 8 バイト	有効	—	オンチップデバ깅ングエミュレータが送信したコードの値に関係なく、オンチップデバ깅ングエミュレータの接続を許可しない
上記以外	上記以外	有効	一致	オンチップデバ깅ングエミュレータとの接続を許可する
			不一致	ID コード待ちを継続する

37.10 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

37.10.1 ブートモード (SCI インタフェース) の状態遷移

図 37.28 にブートモード (SCI インタフェース) の状態遷移図を示します。

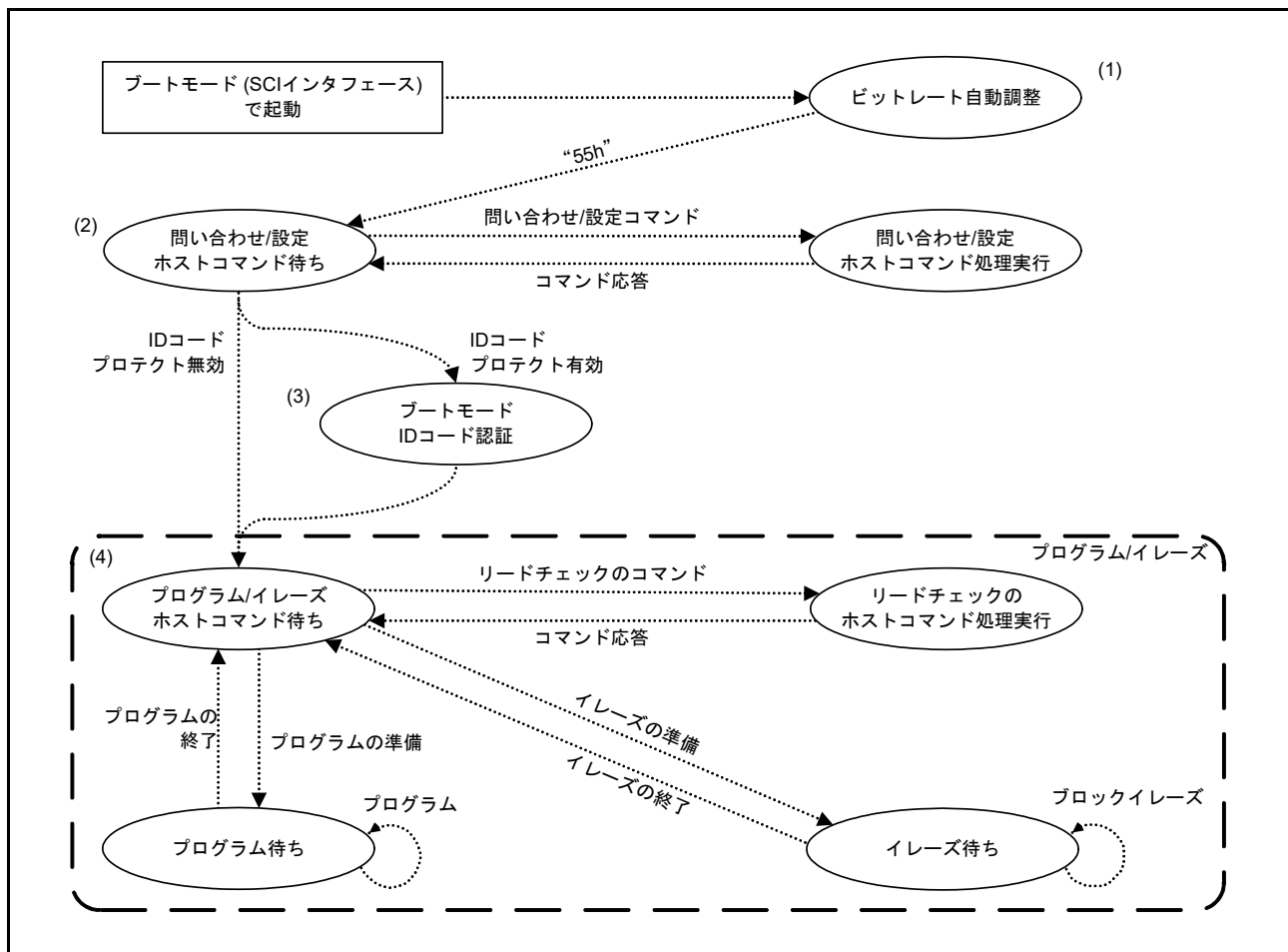


図 37.28 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、本 MCU とホスト間の通信ビットレートを 9,600 bps または 19,200 bps に自動調整します。ビットレート自動調整が終了すると、本 MCU はホストに “00h” を送信します。ホストは “00h” を受け取った後、“55h” を送信してください。“55h” を受信すると、本 MCU はホストに “E6h” を送信し、問い合わせ / 設定ホストコマンド待ちステートに遷移します。なお、ホストは、本 MCU のリセットを解除した後、400 ms 以上経過するまではデータを送信しないでください。

(2) 問い合わせ / 設定ホストコマンド待ちステート

問い合わせ / 設定ホストコマンド待ちステートでは、ブロック構成、ブロックサイズ、ユーザ領域やデータ領域の配置アドレスなど本 MCU の情報問い合わせや、データのエンディアン、ビットレートの選択ができます。本 MCU はホストからプログラム / イレーズホストコマンド待ちステート遷移コマンドを受信すると、ブートモード ID コードプロテクトの有効、無効を判定します。ブートモード ID コー

ドプロテクトが無効の場合、プログラム/イレーズホストコマンド待ちステートに遷移します。ブートモード ID コードプロテクトが有効の場合、ブートモード ID コード認証ステートに遷移します。問い合わせ/設定コマンドに関する詳細は、「37.10.5 問い合わせコマンド」、「37.10.6 設定コマンド」を参照してください。

(3) ブートモード ID コード認証ステート

ブートモード ID コード認証ステートでは、ID コード認証コマンドを受け付けます。ブートモード ID コードが不一致の場合は、ブートモード ID コード認証ステートから他のステートに遷移することはありません。

ブートモード ID コードプロテクトに関する詳細は、「37.9.1.1 ブートモード ID コードプロテクト」を、ID コード認証コマンドに関する詳細は、「37.10.7 ID コード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「37.10.8 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「37.10.9 リードチェックコマンド」を参照してください。

37.10.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本 MCU に送信する“コマンド”と本 MCU からホストに送信する“レスポンス”で構成されています。コマンドには 1 バイトコマンドと複数バイトコマンドがあり、レスポンスには 1 バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(先頭 1 バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドで指定するプログラムアドレス、ブロックイレーズコマンドで指定するブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドで指定する AW 先頭アドレス、AW 最終アドレス、アクセスウィンドウリードコマンドで受信する AW 先頭アドレス、AW 最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。

37.10.3 未定義コマンドに対するレスポンス

本 MCU は未定義のコマンドを受信した場合、コマンドエラーを意味するレスポンスを返します。コマンドエラーのレスポンスの内容は以下のとおりです。エラーレスポンスの返信データには、受信したコマンドのコマンドコードが格納されています。

エラーレスポンス

80h	コマンド コード

37.10.4 ブートモードステータス問い合わせ

ブートプログラムの、現在のステートと直前のコマンドを発行したときにどのようなエラーがあったか、確認するコマンドです。

本 MCU が応答するステート、エラーの一覧を、表 37.13、表 37.14 に示します。

ブートモードステータス問い合わせコマンドは、問い合わせ / 設定ホストコマンド待ちステートとプログラム / イレーズホストコマンド待ちステートで使用することができます。

コマンド	4Fh				
レスポンス	5Fh	サイズ	ステート	エラー	SUM

サイズ (1 バイト) : ステート、エラーのデータの総バイト数 (固定値で "02h")
 ステート (1 バイト) : 本 MCU の現在のステート (表 37.13 を参照)
 エラー (1 バイト) : 直前に発行したコマンドに対するエラー状況 (表 37.14 を参照)
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

表 37.13 ステートの内容

コード	ステート (注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステート	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズホストコマンド待ちステート遷移コマンド待ち
31h	ブートモードIDコード認証ステート	ユーザ領域、データ領域のイレーズ中
3Fh	プログラム/イレーズホストコマンド待ちステート	プログラム/イレーズコマンド待ち
4Fh		プログラムデータ受信待ち
5Fh		ブロックイレーズ指定待ち

注1. 各ステートについては、図 37.28 に記載しています。図の内容も併せて確認してください。

表 37.14 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロック先頭アドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり (未消去エラー)
53h	プログラムエラー
61h	IDコード不一致
63h	IDコード不一致かつイレーズエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

37.10.5 問い合わせコマンド

問い合わせコマンドは、設定コマンド、プログラム / イレーズコマンド、リードチェックコマンドを送信するために必要な基本情報を取得するコマンドです。表 37.15 に問い合わせコマンドの一覧を示します。一覧にあるコマンドは、問い合わせ / 設定ホストコマンド待ち状態でのみ使用できます。

表 37.15 問い合わせコマンド一覧

コマンド	問い合わせ内容
サポートデバイス問い合わせ	デバイスコードとシリーズ名
データ領域有無問い合わせ	データ領域の有無
ユーザ領域情報問い合わせ	ユーザ領域の個数、領域先頭 / 領域最終アドレス
データ領域情報問い合わせ	データ領域の個数、領域先頭 / 領域最終アドレス
ブロック情報問い合わせ	ユーザ領域、データ領域それぞれの先頭アドレス、1 ブロックのブロックサイズ、ブロック数

37.10.5.1 サポートデバイス問い合わせ

開発したソフトウェアのエンディアンを識別するためのデバイス情報を取得するコマンドです。
このコマンドを受信すると、本 MCU は開発したソフトウェアがリトルエンディアンで動作する場合のデバイス情報とビッグエンディアンで動作する場合のデバイス情報を順に送信します。

コマンド	20h		
レスポンス	30h	サイズ	デバイス数
	文字数	デバイスコード(リトルエンディアン)	
	文字数	デバイスコード(ビッグエンディアン)	
	SUM		
	シリーズ名(リトルエンディアン)		
	シリーズ名(ビッグエンディアン)		

- サイズ (1 バイト)
- : デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数
- デバイス数 (1 バイト)
- : MCU がサポートするエンディアンの種別数 (固定値で “02h”)
- 文字数 (1 バイト)
- : デバイスコードとシリーズ名の文字数
- デバイスコード (4 バイト)
- : 開発したソフトウェアのエンディアンを認識するための認識コード
- シリーズ名 (n バイト)
- : MCU のシリーズ名とリトルエンディアン / ビッグエンディアンの別 (ASCII コード)
- SUM (1 バイト)
- : レスポンスデータを合計して “00h” になる値

37.10.5.2 データ領域有無問い合わせ

このコマンドを受信すると、本MCUは「データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり、アクセスウィンドウプロテクトあり」という結果を送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM
サイズ (1 バイト)	: 領域有無の文字数 (固定値で "01h")			
領域有無 (1 バイト)	: データ領域の有無 (固定値で "5Dh") (データ領域あり、エリアプロテクションあり、データ領域プログラムコマンドあり、アクセスウィンドウプロテクトあり)			
SUM (1 バイト)	: レスポンスデータを合計して "00h" になる値 (固定値で "68h")			

37.10.5.3 ユーザ領域情報問い合わせ

このコマンドを受信すると、本MCUはユーザ領域の領域数とアドレスの情報を送信します。

コマンド

25h

レスポンス

35h

サイズ

領域数

領域先頭アドレス

領域最終アドレス

SUM

サイズ (1 バイト)

: 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")

領域数 (1 バイト)

: ユーザ領域の領域数 (固定値で "01h")

領域先頭アドレス (4 バイト)

: ユーザ領域の先頭アドレス

領域最終アドレス (4 バイト)

: ユーザ領域の最終アドレス

SUM (1 バイト)

: レスポンスデータを合計して "00h" になる値

37.10.5.4 データ領域情報問い合わせ

このコマンドを受信すると、本 MCU はデータ領域の領域数とアドレスの情報を送信します。

コマンド	2Bh		
レスポンス	3Bh	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		

サイズ (1 バイト) : 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")

領域数 (1 バイト) : データ領域の領域数 (固定値で "01h")

領域先頭アドレス (4 バイト) : データ領域の先頭アドレス (固定値で "0010 0000h")

領域最終アドレス (4 バイト) : データ領域の最終アドレス (固定値で "0010 0FFFh")

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値 (固定値で "8Dh")

37.10.5.5 ブロック情報問い合わせ

このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	データ領域先頭アドレス		
	1ブロックブロックサイズ(データ領域)		
	データ領域ブロック数		
	SUM		

サイズ (2 バイト) : "DDh" からデータ領域ブロック数までのデータの総バイト数 (固定値で "00 19h")

ユーザ領域先頭アドレス (4 バイト) : ユーザ領域の先頭アドレス

1 ブロックブロックサイズ (ユーザ領域) (4 バイト) : 1 ブロックのメモリサイズ (固定値で "00 00 08 00h")

ユーザ領域ブロック数 (4 バイト) : ユーザ領域を構成するブロックの数

データ領域先頭アドレス (4 バイト) : データ領域の先頭アドレス (固定値で "00 10 00 00h")

1 ブロックブロックサイズ (データ領域) (4 バイト) : 1 ブロックのメモリサイズ (固定値で "00 00 01 00h")

データ領域ブロック数 (4 バイト) : データ領域を構成するブロックの数 (固定値で "00 00 00 10h")

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

37.10.6 設定コマンド

設定コマンドは、本 MCU のプログラムやイレーズを実行するために必要な基本設定を行うためのコマンドです。

表 37.16 に設定コマンドの一覧を示します。一覧にあるコマンドは、問い合わせ / 設定ホストコマンド待ちステートでのみ使用できます。

表 37.16 設定コマンド一覧

コマンド	機能
デバイス選択	デバイスコードの選択
動作周波数選択	通信のビットレートを変更
プログラム/イレーズホストコマンド待ちステート遷移	プログラム/イレーズホストコマンド待ちステート、またはブートモード ID コード認証ステートに遷移

37.10.6.1 デバイス選択

開発したソフトウェアのエンディアンを指定するコマンドです。コマンドに指定するデバイスコードは、サポートデバイス問い合わせコマンドで取得したデバイスコードの中から選択してください。

本 MCU は受け取ったデバイスコードがサポートしているデバイスに一致した場合、レスポンス “46h” を送信します。サポートしていないデバイスであった場合や、受信したコマンドの SUM 値が一致しなかった場合には、エラーレスポンスを送信します。

コマンド	10h	サイズ	デバイスコード	SUM
サイズ (1 バイト)	: デバイスコードの文字数 (固定値で “04h”)			
デバイスコード (4 バイト)	: 開発したソフトウェアのエンディアンを認識するための認識コード (サポートデバイス問い合わせコマンドの応答と同一のデバイスコード)			
SUM (1 バイト)	: コマンドデータを合計して “00h” になる値			
レスポンス	46h			
エラーレスポンス	90h	エラー		
エラー (1 バイト)	: エラーコード “11h” : SUM エラー “21h” : デバイスコードエラー			

37.10.6.2 動作周波数選択

MCU の動作周波数、フラッシュメモリプログラムの通信ビットレートを指定するコマンドです。コマンドに指定するビットレートは、32 MHz を分周して得られるビットレートとの誤差が 4% 未満となるビットレートを設定してください。

本 MCU は指定された設定内容がサポート可能である場合、レスポンス “06h” を送信します。ビットレート誤差が 4% 以上の場合や、受信したコマンドの SUM 値が一致しなかった場合には、エラーレスポンスを送信します。

ホストはレスポンスを受信した後、旧ビットレートで 1 ビット期間以上待ってから新ビットレートで通信確認データを送信してください。

本 MCU は通信確認データを正しく受信できた場合、レスポンス “06h” を送信します。正しく受信できなかった場合には、エラーレスポンスを送信します。

コマンド	3Fh	サイズ	ビットレート	ダミーデータ
	クロック数	通倍率1	通倍率2	
	SUM			

サイズ (1 バイト) : ビットレート、ダミーデータ、クロック数、通倍率のデータの総バイト数 (固定値で “07h”)

ビットレート (2 バイト) : 新ビットレート
ビットレート値を 1/100 した値を設定 (例: 19200 bps の場合、“00C0h” を設定)

ダミーデータ (2 バイト) : 固定値で “0000h” を設定

クロック数 (1 バイト) : 通倍率を設定するクロックの種類 (固定値: “02h”)

通倍率 1 (1 バイト) : システムクロック (ICLK) の通倍率 (固定値で “01h”)

通倍率 2 (1 バイト) : 周辺モジュールクロック (PCLK) の通倍率 (固定値で “01h”)

SUM (1 バイト) : コマンドデータ (ダミーデータを含む) を合計して “00h” になる値

レスポンス

06h

エラーレスポンス

BFh

エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“24h” : ビットレート選択エラー

通信確認

06h

レスポンス

06h

エラーレスポンス

FFh

- ビットレート選択エラー

動作周波数選択コマンドで指定したビットレートを、本 MCU が誤差 4% 未満で生成できない場合にビットレート選択エラーが発生します。

動作周波数選択コマンドで指定した新ビットレートを B、32 (MHz) を Pφ とした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{P\phi \times 10^6}{B \times 16 \times N} - 1 \right) \times 100$$

$$N = \text{INT} \left(\frac{P\phi \times 10^6}{B \times 16} \right)$$

Pφ : 32 (MHz)

B : 新ビットレート (bps)

N : Pφ と新ビットレートの 16 倍との比 (ただし、1 ≤ N ≤ 256)

37.10.6.3 プログラム / イレーズホストコマンド待ちステート遷移

問い合わせ / 設定ホストコマンド待ちステートからプログラム / イレーズホストコマンド待ちステートに遷移させるために使用するコマンドです。このコマンドを受信すると、本 MCU はブートモード ID コードプロテクトの有効 / 無効を判定します。

ブートモード ID コードプロテクトが無効の場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。すべてのブロックのイレーズが完了するとレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。正しくすべてのブロックをイレーズできなかった場合には、エラーレスポンスを送信します。

ブートモード ID コードプロテクトが有効の場合、レスポンス “16h” を送信し、ブートモード ID コード認証ステートに遷移します。

コマンド

40h

レスポンス

ACK

ACK (1 バイト) : ACK コード

“06h” : ID コードプロテクト無効

“16h” : ID コードプロテクト有効

エラーレスポンス

C0h

エラー

エラー (1 バイト) : エラーコード

“51h” : イレーズエラー

37.10.7 ID コード認証コマンド

ID コード認証コマンドは、ブートモード ID コードプロテクトが有効の場合に、ID コード認証を行うためのコマンドです。表 37.17 に ID コード認証コマンドの一覧を示します。一覧にあるコマンドは、ブートモード ID コード認証ステートでのみ使用できます。

表 37.17 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ホストから送信する16バイトのコードとIDコードとを比較する

37.10.7.1 ID コードチェック

ブートモード ID コードプロテクトを解除するために使用するコマンドです。コマンド中で指定する比較用 ID コードは、ユーザ領域にプログラム済みの制御コード、ID コード 1 ～ ID コード 15 と同じ値にしてください。

ホストから送信した比較用 ID コードと、ユーザ領域にプログラムされた ID コードが一致した場合、本 MCU はレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。一致しなかった場合や受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

制御コードに “45h” がプログラムされているときに 3 回連続で不一致となった場合、ユーザ領域、データ領域のすべてのブロックをイレーズします。イレーズ中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。また、すべてのブロックのイレーズが正常に完了してもエラーレスポンスを送信し、ブートモード ID コード認証ステートを継続します。プログラム / イレーズホストコマンド待ちステートに遷移するには、本 MCU をリセットしてください。

コマンド	60h	サイズ
	比較用IDコード(制御コード + IDコード1～IDコード15)	
	SUM	

サイズ (1 バイト) : ID コードのバイト数 (固定値で “10h”)
ID コード (16 バイト) : 制御コード (1 バイト) + ID コード 1 ～ ID コード 15 (15 バイト)
SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	ACK
ACK (1 バイト)	: ACK コード “06h” : プログラム / イレーズホストコマンド待ちステートに遷移します

エラーレスポンス	E0h	エラー
エラー (1 バイト)	: エラーコード “11h” : SUM エラー “61h” : ID コード不一致 “63h” : ID コード不一致かつイレーズエラー	

37.10.8 プログラム/イレーズコマンド

プログラム/イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本 MCU のユーザ領域やデータ領域に対してプログラムやイレーズを行うコマンドです。表 37.18 にプログラム/イレーズホストコマンド待ち、プログラム待ち、イレーズ待ちの各状態で使用可能なプログラム/イレーズコマンドの一覧を、表 37.19 に各状態で受け付けるコマンドを示します。

各状態で表 37.19 に記載されていないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表 37.18 プログラム/イレーズコマンド一覧

コマンド	機能
ユーザ/データ領域プログラム準備	ユーザ領域、データ領域にデータをプログラムするためのプログラム待ち状態に遷移
プログラム	ユーザ領域またはデータ領域の指定領域に指定したデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態に遷移(プログラムの終了)
データ領域プログラム	データ領域の指定領域に指定したサイズのデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態に遷移(データ領域プログラムの終了)
イレーズ準備	イレーズ待ち状態に遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラム/イレーズホストコマンド待ち状態に遷移 (イレーズの終了)

表 37.19 ステート毎の受け付け可能なコマンド

ステート	受け付け可能なコマンド
プログラム/イレーズホストコマンド待ち状態	ユーザ/データ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ち状態	プログラムコマンド、データ領域プログラムコマンド
イレーズ待ち状態	ブロックイレーズコマンド

37.10.8.1 ユーザ/データ領域プログラム準備

プログラムコマンドとデータ領域プログラムコマンドの受け付け準備をさせるためのコマンドです。

このコマンドを受信すると、本 MCU はプログラムの準備の指示がホストから行われたと判断し、プログラムコマンドとデータ領域プログラムコマンドのみ受け付ける、プログラム待ち状態に遷移し、レスポンス“06h”を送信します。

コマンド

43h

レスポンス

06h

37.10.8.2 プログラム

ユーザ領域、データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 8 ビットを “0” にしてください。プログラムデータ長が 256 バイトに満たないデータを書き込むことはできません。不足部分は “FFh” で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス “06h” を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム / イレーズホストコマンド待ちステートに遷移する場合、ホストから “50h FFh FFh FFh FFh B4h” を送信してください。本 MCU はレスポンス “06h” を送信し、プログラム / イレーズホストコマンド待ちステートに遷移します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

- プログラムアドレス (4 バイト) : プログラム先のアドレス
下位 8 ビットを “0” に設定
プログラムを終了する場合は “FFFF FFFFh” を設定
- プログラムデータ (n バイト) : プログラムデータ (n = 256 または 0 (終了時))
n バイトに満たない領域には “FFh” を設定
プログラムを終了する場合はプログラムデータなし
- SUM (1 バイト) : コマンドデータを合計して “00h” になる値

レスポンス	06h

エラーレスポンス	D0h	エラー

- エラー (1 バイト) : エラーコード
“11h” : SUM エラー
“2Ah” : アドレスエラー (アドレスが指定の領域内でない)
“53h” : プログラムエラー (データが書き込めない)

37.10.8.3 データ領域プログラム

データ領域に指定のデータを書き込むためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 2 ビットを“0”にしてください。プログラムデータ長が 4 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“51h FFh FFh FFh FFh 00h B3h”を送信してください。本 MCU はレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。

コマンド	51h	プログラムアドレス	プログラムデータ長
	プログラムデータ		
	SUM		

プログラムアドレス (4 バイト) : データ領域のプログラム先アドレス

指定するアドレスの下位 2 ビットは“0”に設定

データ領域プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ長 (1 バイト) : プログラムデータのサイズ

4 バイト単位のデータを設定

データ領域プログラムを終了する場合は“00h”を設定

プログラムデータ (n バイト) : データ領域へのプログラムデータ (n = プログラムデータ長、“0” (終了時))

プログラムデータ長分のデータを設定

n バイトに満たない領域には“FFh”を設定

データ領域プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D1h

エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー

“2Bh” : データ長エラー

“53h” : プログラムエラー (データが書き込めない)

37.10.8.4 イレーズ準備

ブロックイレーズコマンドの受け付け準備をさせるためのコマンドです。

このコマンドを受信すると、本 MCU はイレーズの準備の指示がホストから行われたと判断し、ブロックイレーズコマンドのみを受け付けるイレーズ待ちステートに遷移し、レスポンス“06h”を送信します。

コマンド	48h
レスポンス	06h

37.10.8.5 ブロックイレース

ユーザ領域、データ領域の指定のブロックを消去するためのコマンドです。

コマンド中で指定するブロック先頭アドレスは、ブロック情報問い合わせコマンドのレスポンスを元にアドレスを計算して指定してください。

本 MCU はブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、イレーズ中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ちステートに遷移する場合、ホストから“59h 04h FFh FFh FFh FFh A7h”を送信してください。本 MCU はプログラム/イレーズホストコマンド待ちステートに遷移し、レスポンス“06h”を送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1 バイト) : ブロック先頭アドレスのデータの総バイト数 (固定値で “04h”)

ブロック先頭アドレス (4 バイト) : イレーズするブロックの先頭アドレス
イレーズを終了する場合には“FFFF FFFFh”を設定

SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス	06h

エラーレスポンス	D9h	エラー

エラー (1 バイト) : エラーコード
 “11h”: SUM エラー
 “29h”: ブロック先頭アドレスエラー
 “51h”: イレーズエラー (指定ブロックがイレーズできない)

37.10.9 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本 MCU のユーザ領域やデータ領域に対してデータリードやブランクチェックを行うコマンドです。表 37.20 にプログラム / イレーズホストコマンド待ち状態で使用可能なリードチェックコマンドの一覧を示します。

表 37.20 リードチェックコマンド一覧

コマンド	機能
メモリリード	ユーザ領域、データ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域全体のチェックサムを取得
データ領域チェックサム	データ領域全体のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域のプログラム済みデータの有無をチェック
データ領域ブランクチェック	データ領域のプログラム済みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

37.10.9.1 メモリリード

ユーザ領域、データ領域にプログラムされているデータを読み出すコマンドです。

コマンド中で指定する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲内の値を設定してください。

コマンド中で指定する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンド、データ領域情報問い合わせコマンドのレスポンスで受信した領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

本 MCU はデータを正常にリードできた場合、指定された範囲のデータを送信します。受信したコマンドの SUM 値が一致しなかった場合や、リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数
 領域 (1 バイト) : 読み出し対象の領域
 "01h" : ユーザ領域またはデータ領域
 読み出し先頭アドレス (4 バイト) : 読み出し対象範囲の先頭アドレス
 読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)
 SUM (1 バイト) : コマンドデータを合計して "00h" になる値

レスポンス	52h	読み出しサイズ
	読み出しデータ	
	SUM	

読み出しサイズ (4 バイト) : 読み出したデータのサイズ (バイト単位)

読み出しデータ (n バイト) : 指定範囲から読み出したデータ (n = 読み出しサイズ)

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

エラーレスポンス	D2h	エラー

エラー (1 バイト) : エラーコード

"11h" : SUM エラー

"2Ah" : アドレスエラー

- ・コマンドの「領域」に "01h" 以外を指定した
- ・コマンドの読み出し先頭アドレスが読み出し対象領域の範囲外である

"2Bh" : サイズエラー

- ・コマンドの読み出しサイズに "0000 0000h" が指定されている
- ・コマンドの読み出しサイズが読み出し対象領域のサイズを超えている
- ・コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが読み出し対象領域の範囲外である

37.10.9.2 ユーザ領域チェックサム

ユーザ領域全体のチェックサムを取得するコマンドです。

このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。

コマンド	4Bh

レスポンス	5Bh	サイズ
	ユーザ領域チェックサム	
	SUM	

サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で "04h")

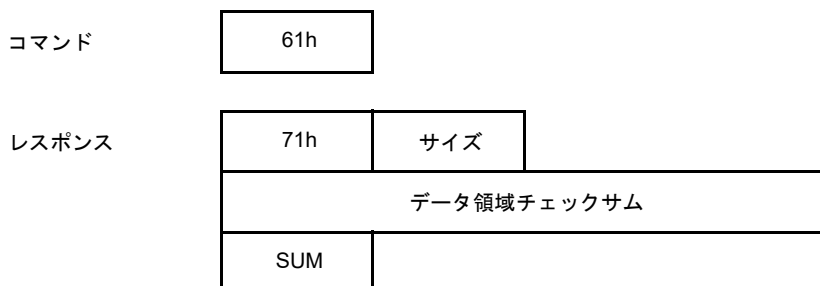
ユーザ領域チェックサム (4 バイト) : ユーザ領域のデータを 1 バイト単位で加算した結果

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

37.10.9.3 データ領域チェックサム

データ領域全体のチェックサムを取得するコマンドです。

このコマンドを受信すると、本MCUはデータ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果(チェックサム)をレスポンスとして送信します。



サイズ(1バイト) : データ領域チェックサムのバイト数(固定値で“04h”)

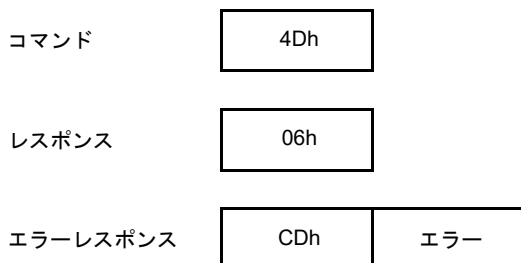
データ領域チェックサム(4バイト) : データ領域のデータを1バイト単位で加算した結果

SUM(1バイト) : レスポンスデータを合計して“00h”になる値

37.10.9.4 ユーザ領域ブランクチェック

ユーザ領域にデータがプログラムされているかどうかを確認するコマンドです。

このコマンドを受信すると、本MCUはユーザ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス“06h”を送信します。1バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。



エラー(1バイト) : エラーコード

“52h” : データあり

37.10.9.5 データ領域ブランクチェック

データ領域にデータがプログラムされているかどうかを確認するコマンドです。

このコマンドを受信すると、本 MCU はデータ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス “06h” を送信します。1 バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。

コマンド	62h
レスポンス	06h
エラーレスポンス	E2h エラー

エラー (1 バイト) : エラーコード
 “52h” : データあり

37.10.9.6 アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するコマンドです。

コマンド中で指定するアクセスウィンドウ先頭アドレスには、スタートブロックの先頭アドレスを指定してください。また、アクセスウィンドウ最終アドレスには、エンドブロックの最終アドレスを指定してください。

本 MCU は指定されたアクセスウィンドウの設定が正常に終了すると、レスポンス “06h” を送信します。受信したコマンドの SUM 値が一致しなかった場合や、アクセスウィンドウの設定中にエラーが発生すると、エラーレスポンスを送信します。

アクセスウィンドウの詳細については、「37.6 エリアプロテクション」を参照してください。

コマンド	74h	05h	AW区分	
	AW先頭 アドレス LH	AW先頭 アドレス HL	AW最終 アドレス LH	AW最終 アドレス HL
	SUM			

AW 区分 (1 バイト)	: アクセスウィンドウの設定 / 解除 アクセスウィンドウを設定する場合には “00h” を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 先頭アドレス LH (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8) スタートブロック先頭アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 先頭アドレス HL (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16) スタートブロック先頭アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 最終アドレス LH (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A15 ~ A8) エンドブロック最終アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
AW 最終アドレス HL (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A23 ~ A16) エンドブロック最終アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には “FFh” を設定
SUM (1 バイト)	: コマンドデータを合計して “00h” になる値

レスポンス	06h

エラーレスポンス	F4h	エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (指定されたアドレスが領域内にない)

“53h” : プログラムエラー (アクセスウィンドウの設定ができない)

37.10.9.7 アクセスウィンドウリード

設定されているアクセスウィンドウの範囲を確認するためのコマンドです。

本 MCU はアクセスウィンドウの範囲を正常に取得できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	73h	01h	FFh	8Dh

レスポンス	73h	05h		
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	FFh			
	SUM			

AW 先頭アドレス LH (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)

AW 先頭アドレス HL (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)

AW 最終アドレス LH (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)

AW 最終アドレス HL (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)

SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス	F3h	エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

37.10.9.8 アクセスウィンドウプロテクト

エリアプロテクションで使用するアクセスウィンドウの設定を保護するコマンドです。

プロテクトの設定が正常に終了すると、本 MCU はレスポンス “06h” を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プロテクトの設定中にエラーが発生すると、エラーレスポンスを送信します。

コマンド	7Ch	01h	FFh	84h

レスポンス	06h

エラーレスポンス	FCh	エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“53h” : プログラムエラー (プロテクトの設定ができない)

37.10.9.9 アクセスウィンドウプロテクトフラグリード

アクセスウィンドウの設定が保護されているかどうかを確認するコマンドです。

プロテクトの設定が正常に取得できた場合、本 MCU は読み出したフラグの値を送信します。受信したコマンドの SUM 値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	7Bh	01h	FFh	85h

レスポンス	7Bh	01h	ステータス	SUM

ステータス (1 バイト) : プロテクトステータス

“01h” : プロテクト有効

“00h” : プロテクト無効

SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス	FBh	エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

37.11 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマで、ユーザ領域、データ領域のプログラム / イレーズを行う手順を説明します。

1. ビットレート自動調整
2. MCU の情報取得 (注1)
3. デバイスの指定、ビットレートの変更
4. プログラム / イレーズホストコマンド待ちステートへの遷移
5. ブートモード ID コードプロテクトの解除
6. ユーザ領域、データ領域のイレーズ (注2、注3)
7. ユーザ領域、データ領域のプログラム (注2、注3)
8. ユーザ領域のデータ確認 (注2)
9. データ領域のデータ確認 (注2)
10. ユーザ領域のアクセスウィンドウ設定 (注2)
11. アクセスウィンドウの保護 (注2)
12. MCU のリセット

注1. 2 の処理は、取得する情報がすでにある場合、省略できます。

注2. 6 ～ 11 の処理は、必要に応じて行ってください。また 11 の処理を除き、実行順を入れ替えても構いません。

注3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、12 の処理を行ってください。

上記 2 ～ 11 の処理で使用するコマンドの詳細は、「37.10.5 問い合わせコマンド」、「37.10.6 設定コマンド」、「37.10.7 ID コード認証コマンド」、「37.10.8 プログラム / イレーズコマンド」、「37.10.9 リードチェックコマンド」を参照してください。

37.11.1 ビットレート自動調整

MCU はシリアルプログラマから 9,600 bps または 19,200 bps で送信されるデータ “00h” の Low 期間を測定してビットレートの自動調整を行います。

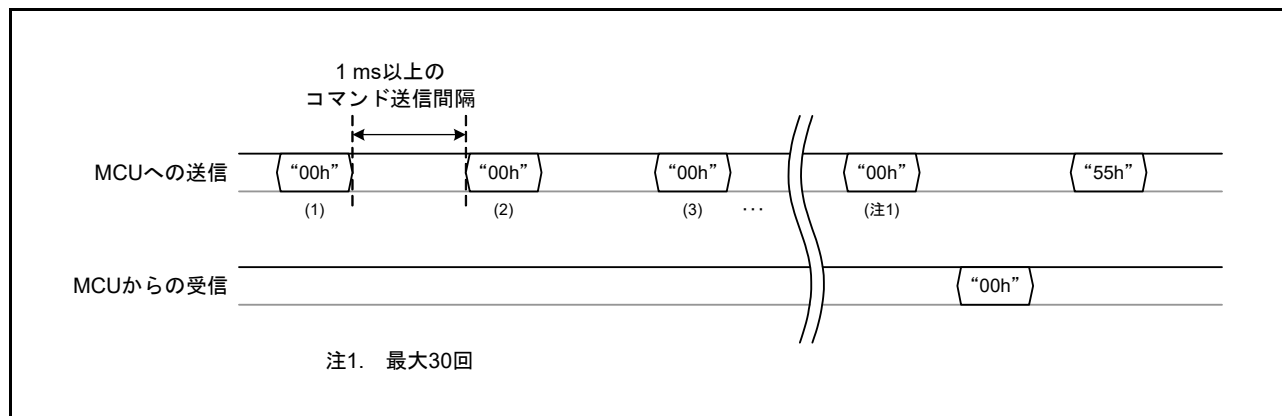


図 37.29 ビットレート自動調整時のデータフォーマット

ブートモードで起動して 400 ms 以上経過した後にシリアルプログラマから “00h” を送信してください。MCU はビットレート調整が終了すると “00h” をシリアルプログラマへ送信します。シリアルプログラマが “00h” を受信した場合には、シリアルプログラマから “55h” を送信してください。“00h” を受信できなかった場合は、1 ms 以上置いて再度 “00h” を送信してください。30 回 “00h” を送信しても “00h” を受信できなかった場合は、MCU をブートモードで再起動し、再度ビットレート自動調整をやり直してください。

MCU は “55h” を受信すると “E6h” を送信して問い合わせ / 設定コマンド待ち状態になります。“55h” を受信できなかった場合には “FFh” を送信します。シリアルプログラマは “FFh” を受信したら、MCU をブートモードで再起動し、再度ビットレート自動調整からやり直してください。

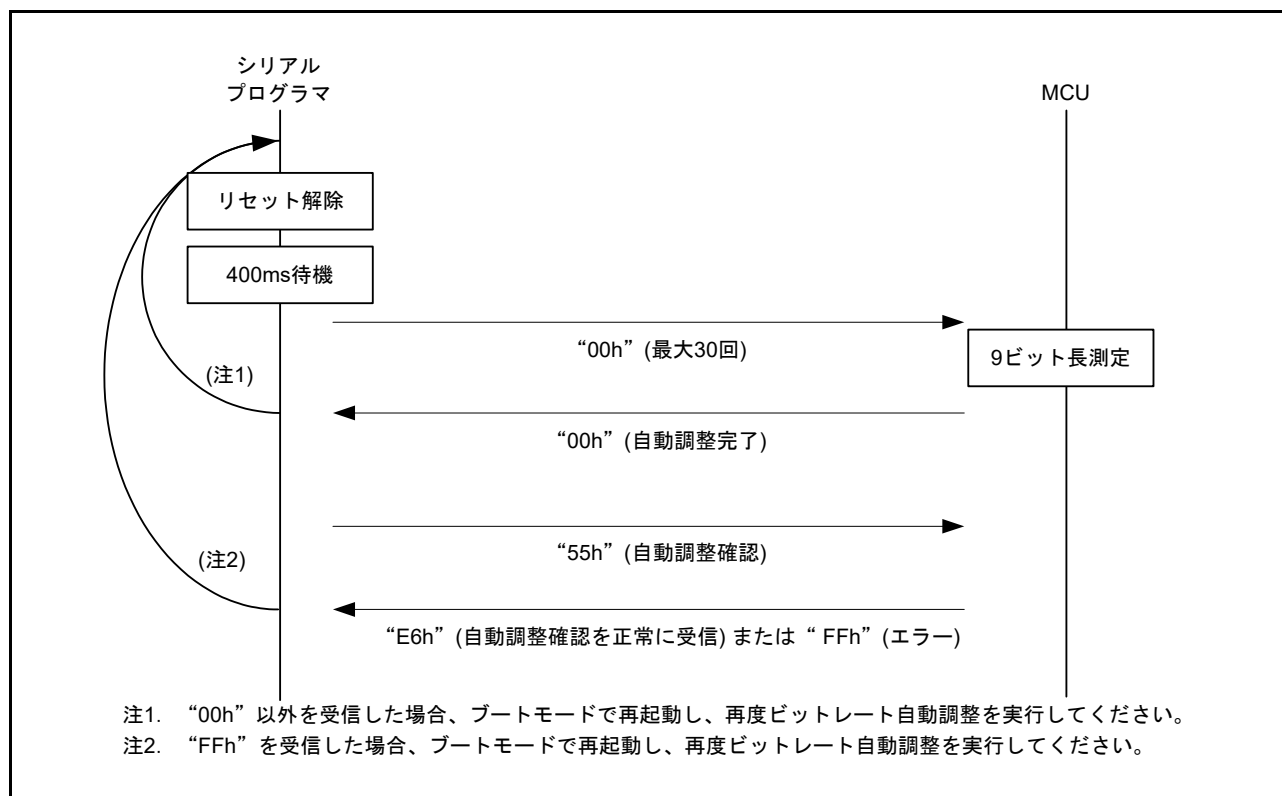


図 37.30 ビットレート自動調整の手順

37.11.2 MCU の情報取得

問い合わせコマンドを送信し、設定コマンド、プログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な情報を取得します。

- (1) MCU がどのエンディアンをサポートしているのかを確認するため、サポートデバイス問い合わせコマンド “20h” を送信します。MCU はサポートしているすべてのデバイスコードとシリーズ名を応答します。
- (2) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド “25h” を送信します。MCU はユーザ領域の先頭アドレスと最終アドレスを応答します。
- (3) ブロックの構成を確認するため、ブロック情報問い合わせコマンド “26h” を送信します。MCU はユーザ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数とデータ領域の先頭アドレス、1 ブロックのブロックサイズ、ブロック数を応答します。
- (4) データ領域の先頭アドレスと最終アドレスを確認するため、データ領域情報問い合わせコマンド “2Bh” を送信します。MCU はデータ領域の先頭アドレスと最終アドレスを応答します。

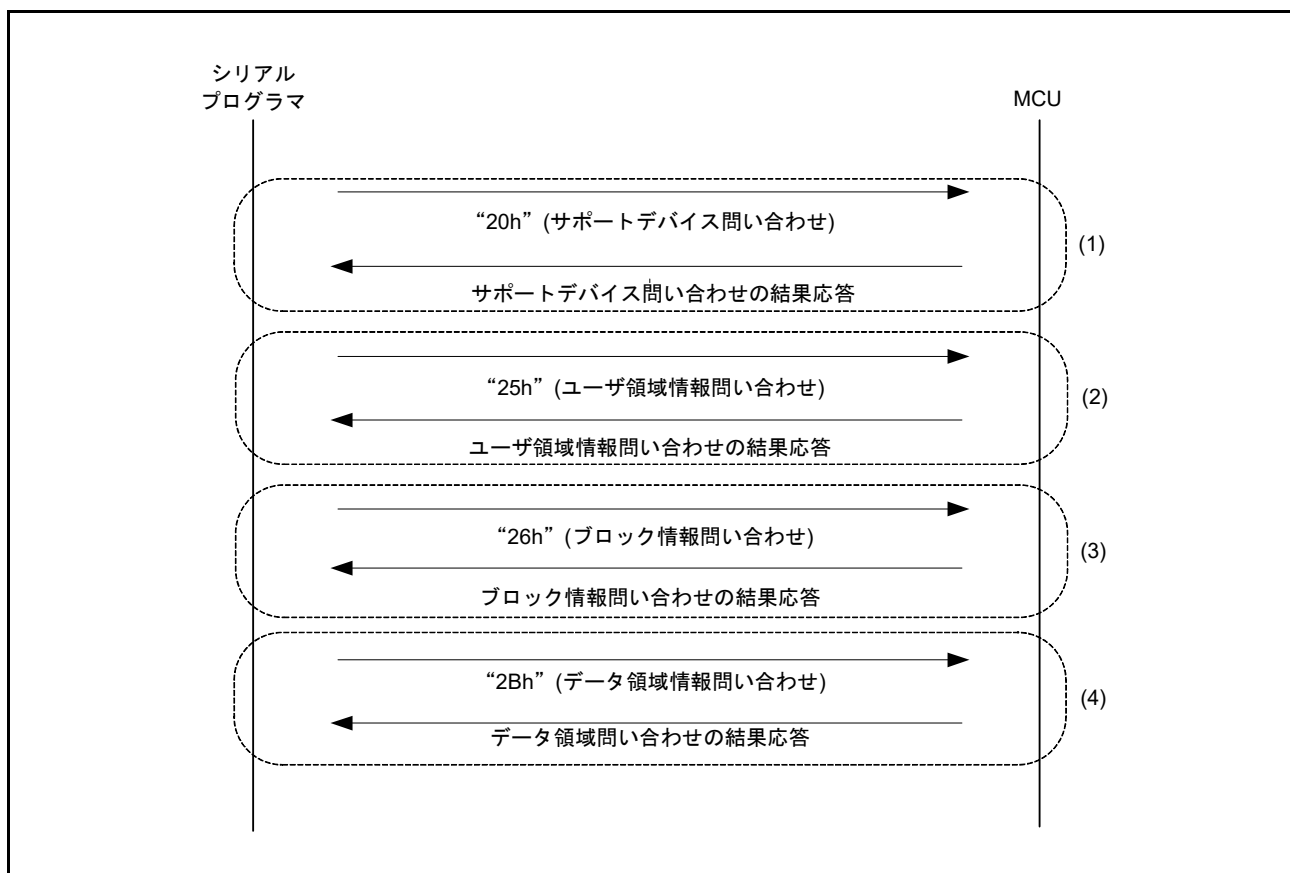


図 37.31 MCU の情報取得手順

37.11.3 デバイスの指定、ビットレートの変更

シリアルプログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) デバイス選択コマンド“10h”を送信します。開発したソフトウェアのエンディアンに合わせて、デバイスコードを指定してください。
- (2) 通信ビットレートを 9,600 bps または 19,200 bps から変更するため、動作周波数選択コマンド“3Fh”を送信します。

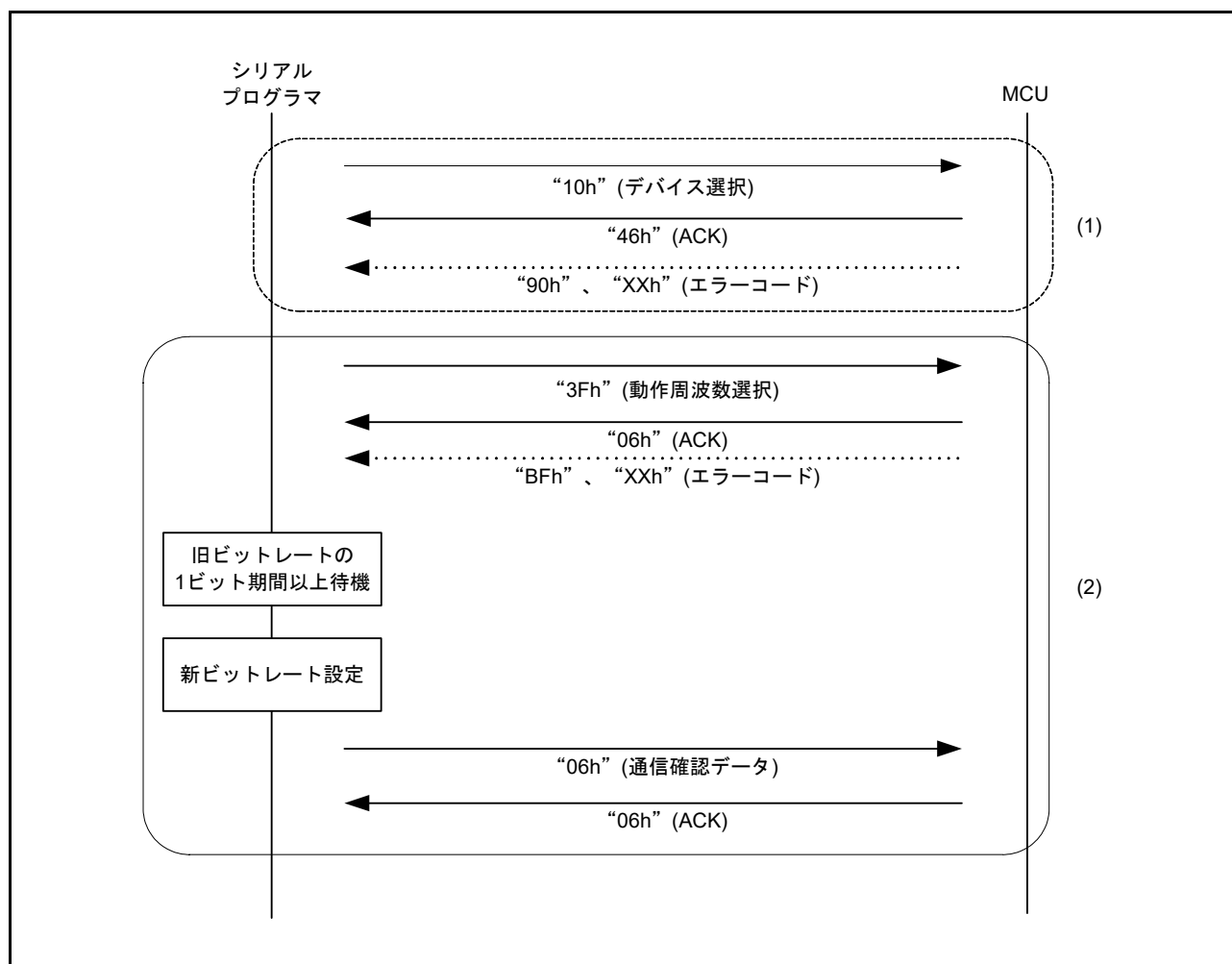


図 37.32 デバイス指定、ビットレート変更の手順

37.11.4 プログラム / イレージホストコマンド待ち状態への遷移

プログラム / イレージを行うため、プログラム / イレージホストコマンド待ち状態遷移コマンドを送信します。MCU はブートモード ID コードプロテクトの有効 / 無効に応じてレスポンスを送信します。

- (1) ブートモード ID コードプロテクトが無効の場合、MCU はレスポンス “06h” を応答し、プログラム / イレージホストコマンド待ち状態に遷移します。シリアルプログラマは「37.11.6 ユーザ領域、データ領域のイレージ」から実行してください。
- (2) ブートモード ID コードプロテクトが有効の場合、MCU はレスポンス “16h” を応答し、ID コード認証状態に遷移します。シリアルプログラマは「37.11.5 ブートモード ID コードプロテクトの解除」から実行してください。

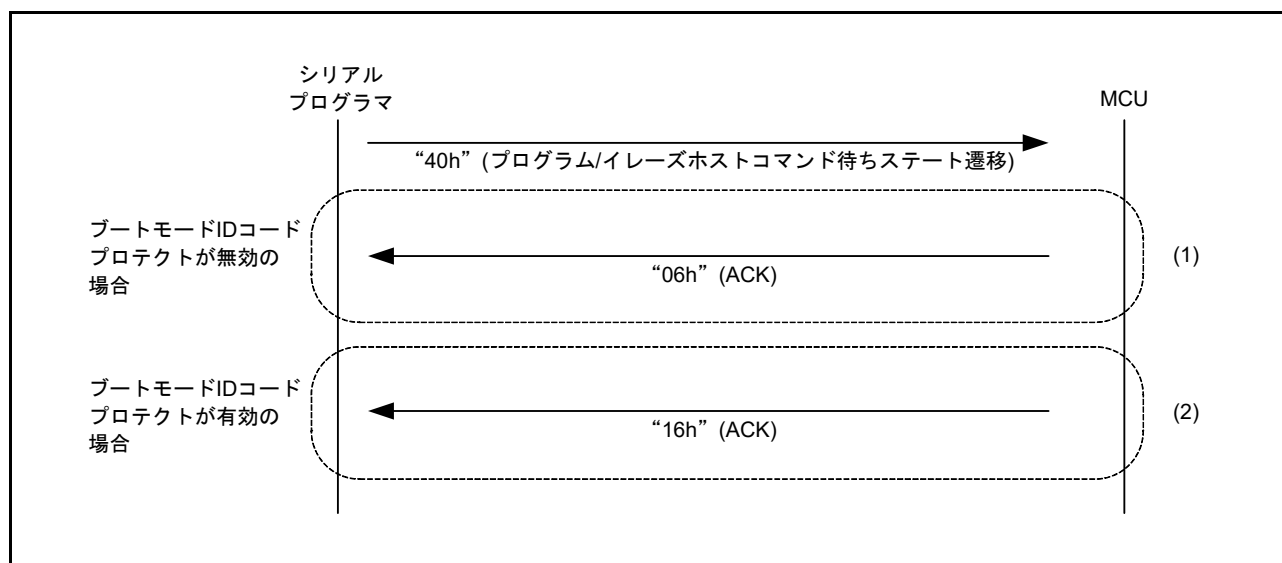


図 37.33 プログラム / イレージホストコマンド待ち状態への遷移手順

37.11.5 ブートモード ID コードプロテクトの解除

ブートモード ID コードプロテクトを解除するため、ID コードチェックコマンドを送信します。

- (1) ID コードが一致した場合、MCU はプログラム / イレーズホストコマンド待ちステートに遷移します。このとき、ユーザ領域、データ領域のデータは消去されません。シリアルプログラマは「37.11.6 ユーザ領域、データ領域のイレーズ」から実行してください。
- (2) ID コードが不一致の場合、MCU はブートモード ID コード認証ステートから遷移しません。シリアルプログラマは MCU をリセット後「37.11.1 ビットレート自動調整」から再実行してください。

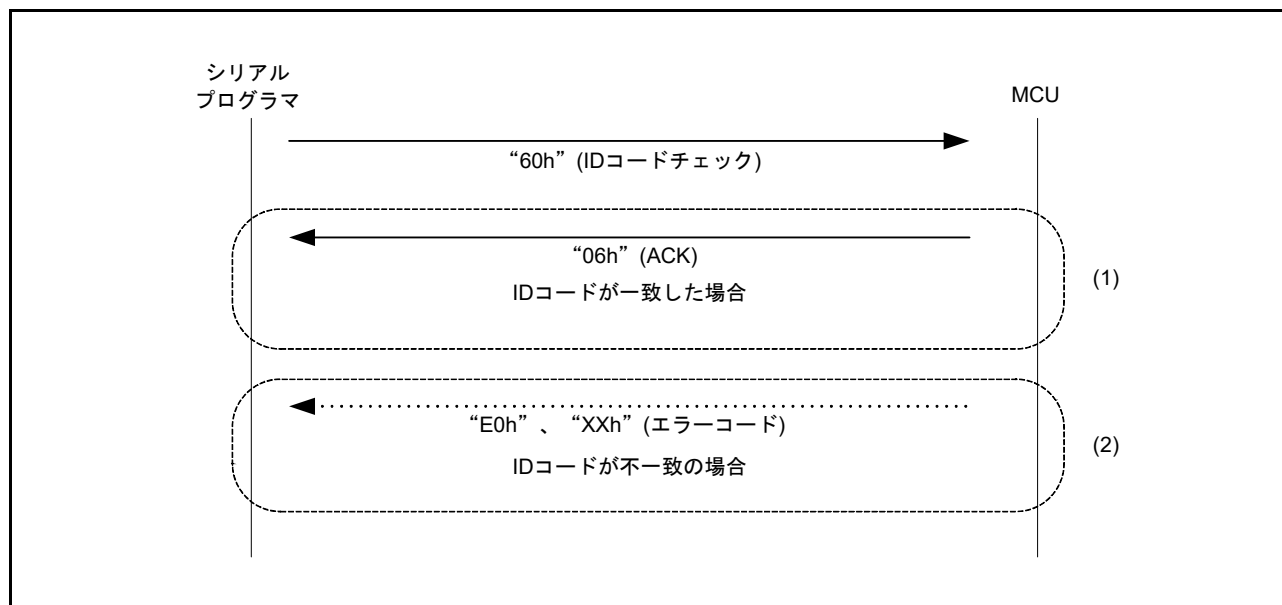


図 37.34 ブートモード ID コードプロテクトの解除手順

37.11.6 ユーザ領域、データ領域のイレーズ

ユーザプログラムやデータを書き込むために、ユーザ領域、データ領域を消去します。

- (1) イレーズ準備コマンド“48h”を送信します。
- (2) ブロックイレーズコマンド“59h”を送信します。
- (3) プログラム/イレーズホストコマンド待ちステートに遷移するため、イレーズを終了するブロックイレーズコマンド“59h 04h FFh FFh FFh FFh A7h”を送信します。

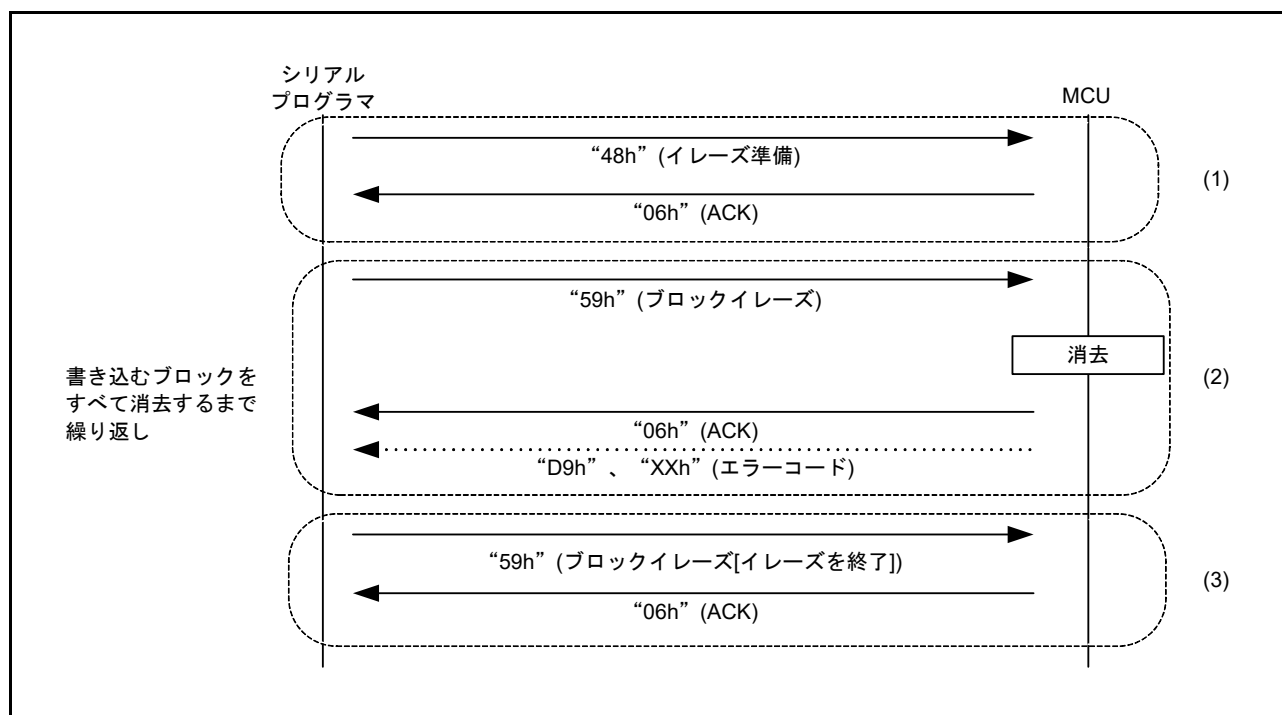


図 37.35 ユーザ領域、データ領域のイレーズ手順

37.11.7 ユーザ領域、データ領域のプログラム

ユーザ領域、データ領域にユーザプログラムやデータを書き込みます。

- (1) ユーザ/データ領域プログラム準備コマンド“43h”を送信します。
- (2) プログラムコマンド“50h”またはデータ領域プログラムコマンド“51h”を送信します。
- (3) プログラム/イレーズホストコマンド待ちステートに遷移するため、プログラムを終了するプログラムコマンド“50h FFh FFh FFh FFh B4h”またはデータ領域プログラムコマンド“51h FFh FFh FFh FFh 00h B3h”を送信します。

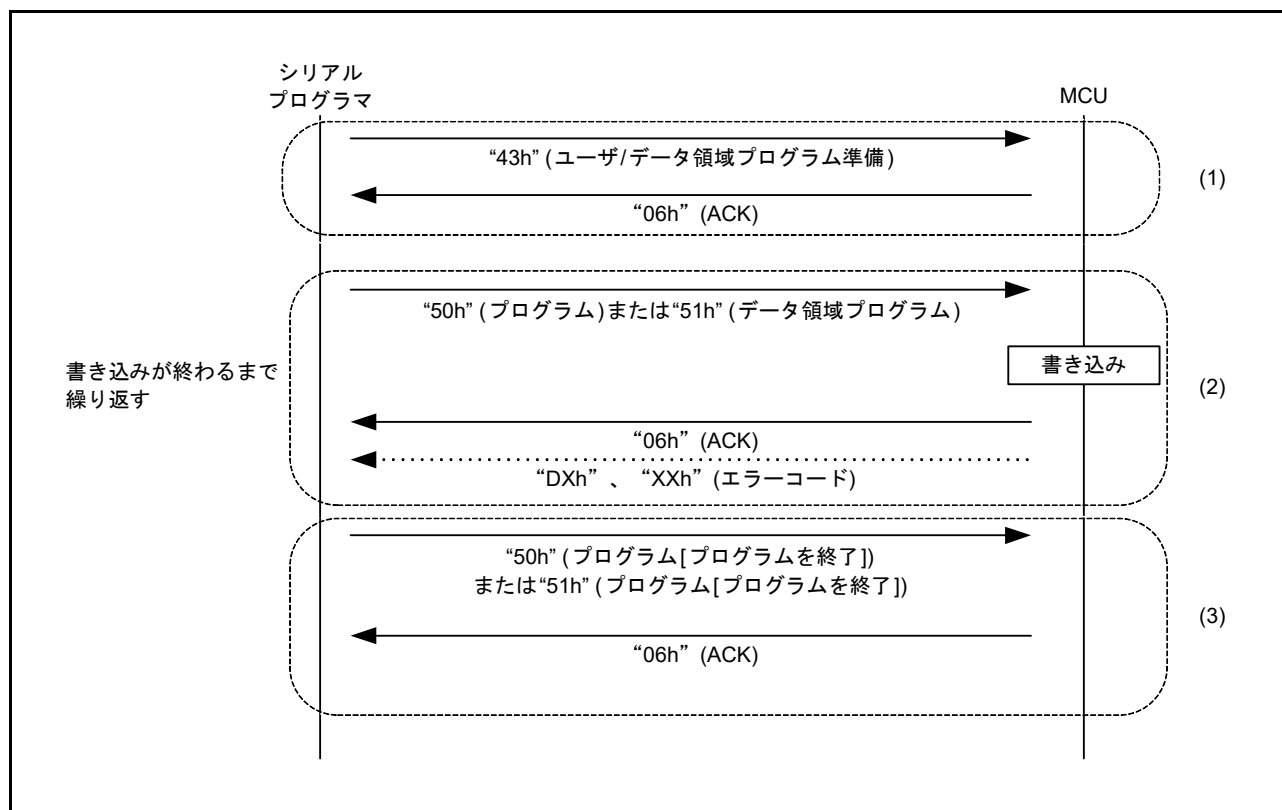


図 37.36 ユーザ領域、データ領域のプログラム手順

37.11.8 ユーザ領域のデータ確認

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド“4Bh”を送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド“4Dh”を送信します。

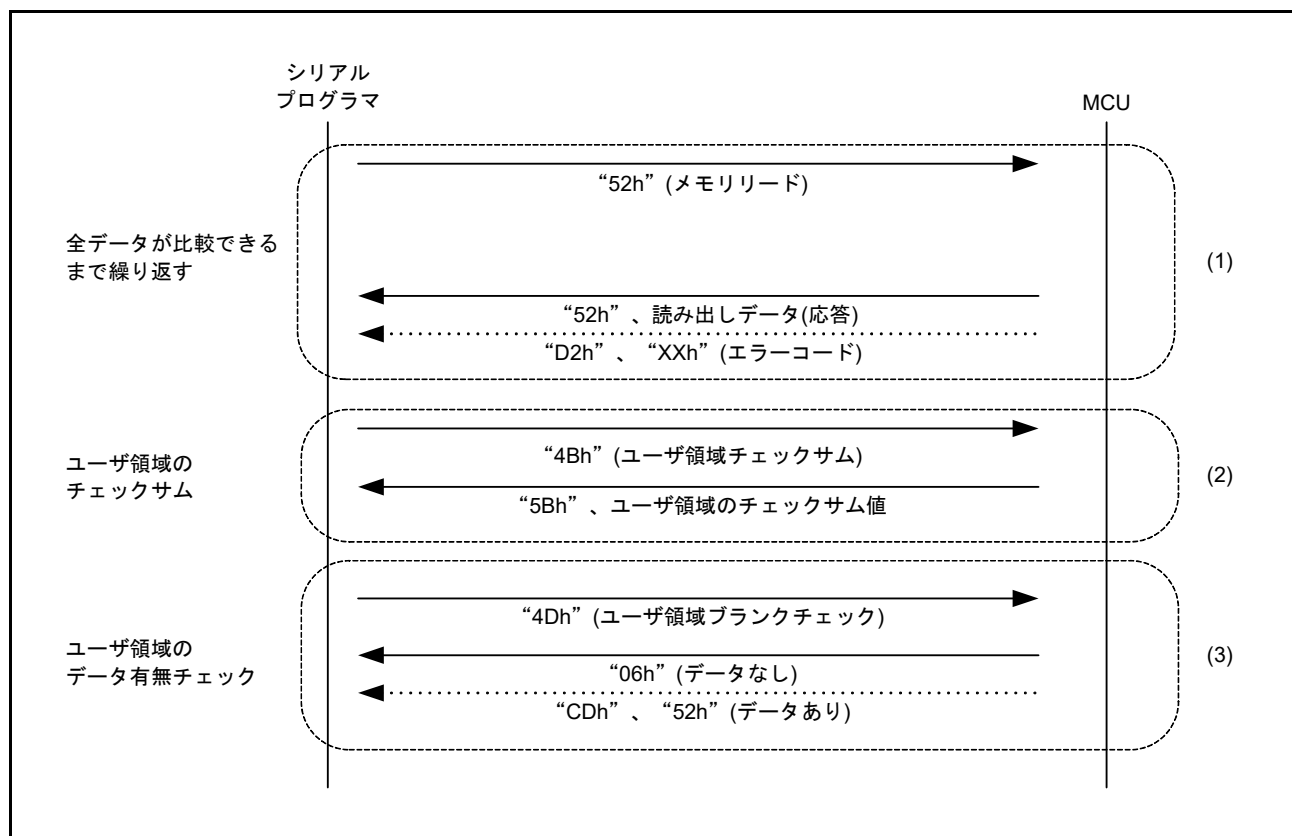


図 37.37 ユーザ領域のデータ確認手順

37.11.9 データ領域のデータ確認

データ領域に書き込まれたデータを確認するため、データ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、データ領域にあるデータを読み出して書き込んだ値と比較することで、プログラムが正常に行われたかを確認します。データ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) データ領域のチェックサム値でプログラムデータを確認するため、データ領域チェックサムコマンド“61h”を送信します。
- (3) データ領域にデータがあるかないかを確認するため、データ領域ブランクチェックコマンド“62h”を送信します。

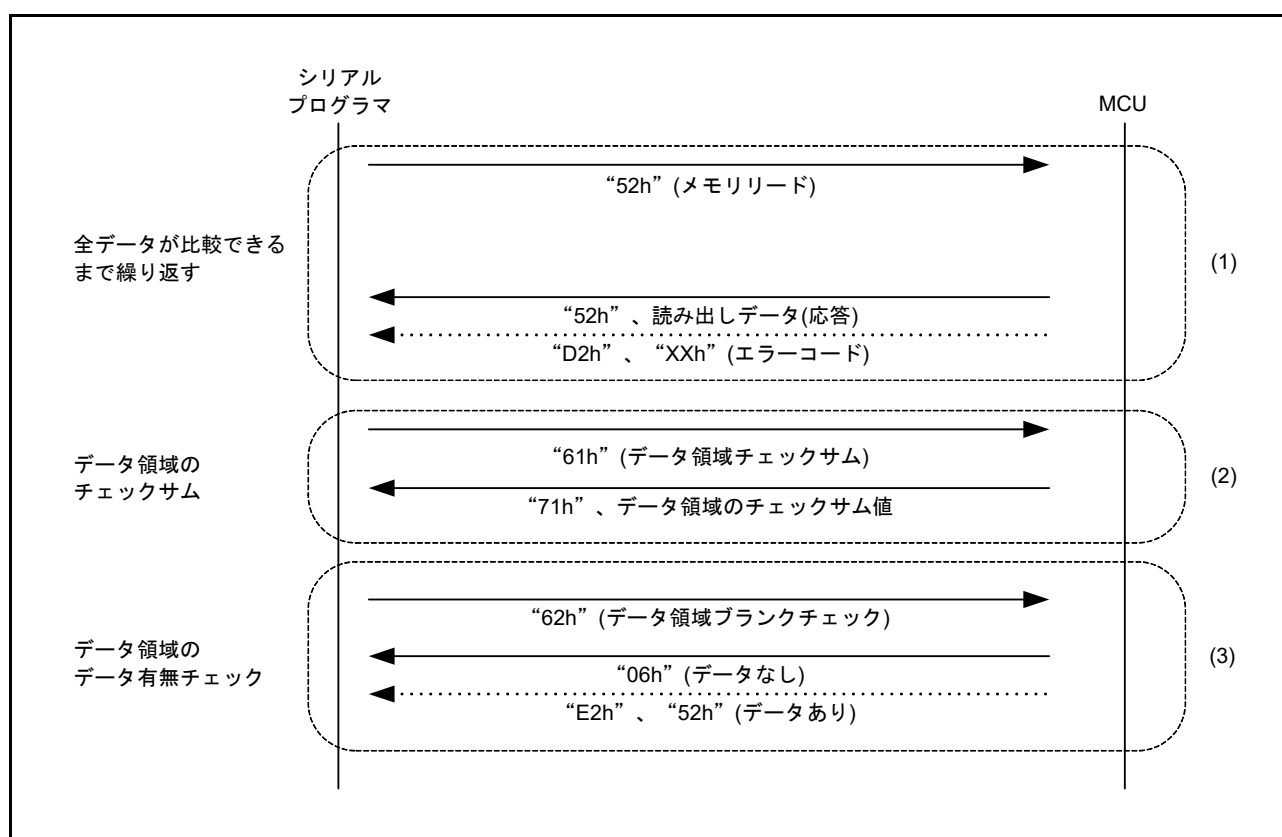


図 37.38 データ領域のデータ確認手順

37.11.10 ユーザ領域のアクセスウィンドウ設定

セルフプログラミングで、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定を行うため、アクセスウィンドウ情報プログラムコマンド“74h”を送信します。
- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド“73h”を送信します。

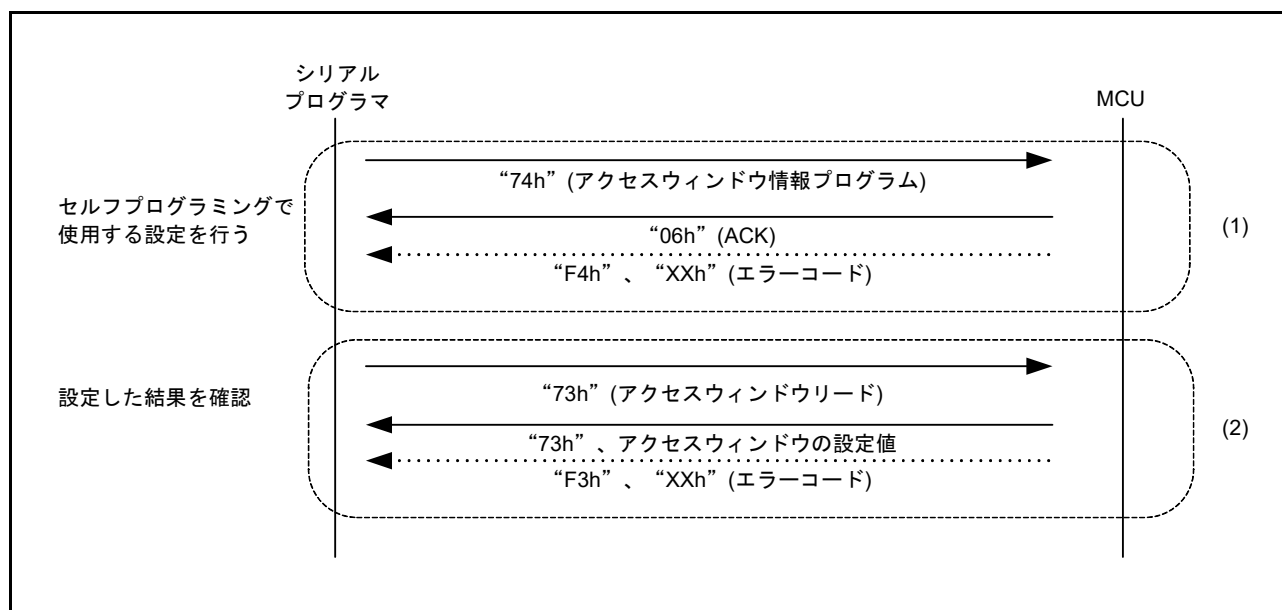


図 37.39 ユーザ領域のアクセスウィンドウ設定手順

37.11.11 アクセスウィンドウの保護

設定したアクセスウィンドウの位置を意図しない書き換えから保護するため、プロテクトを実施します。

- (1) アクセスウィンドウプロテクトコマンド“7Ch”を送信します。
- (2) プロテクトの設定を確認するため、アクセスウィンドウプロテクトフラグリードコマンド“7Bh”を送信します。

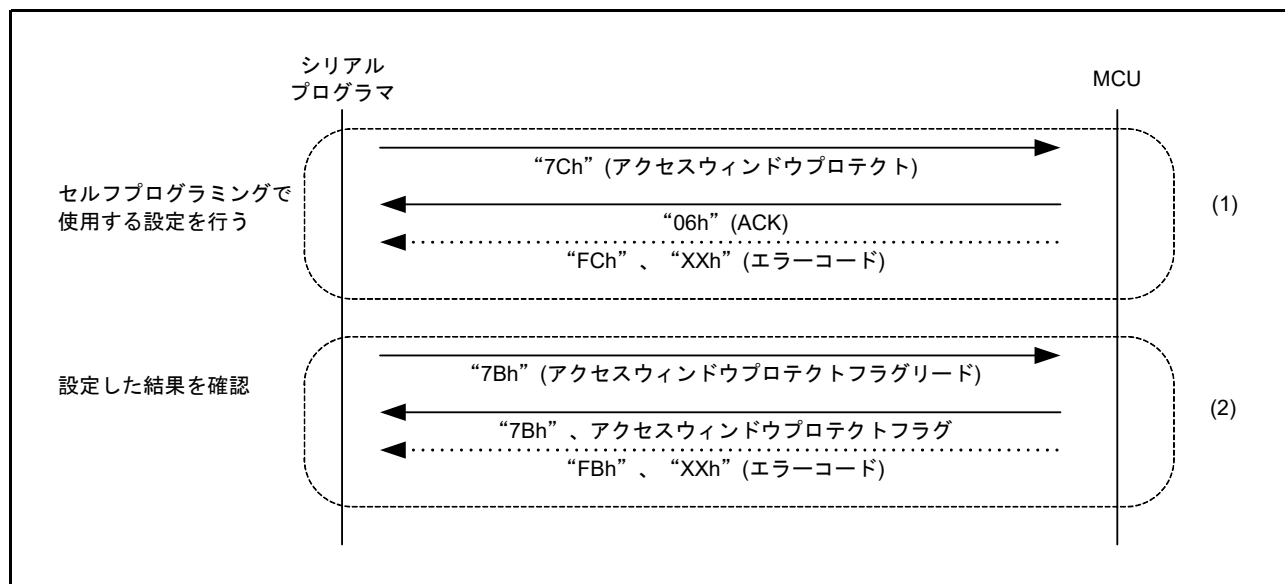


図 37.40 アクセスウィンドウの保護手順

37.12 セルフプログラミングでの書き換え

37.12.1 概要

本 MCU は、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROM と E2 データフラッシュを書き換えることができます。

E2 データフラッシュは、BGO 機能を利用して ROM 上でフラッシュ書き換えルーチンを実行して、書き換えることができます。また、あらかじめ内蔵 RAM に転送したフラッシュ書き換えルーチンを実行して、E2 データフラッシュを書き換えることもできます。

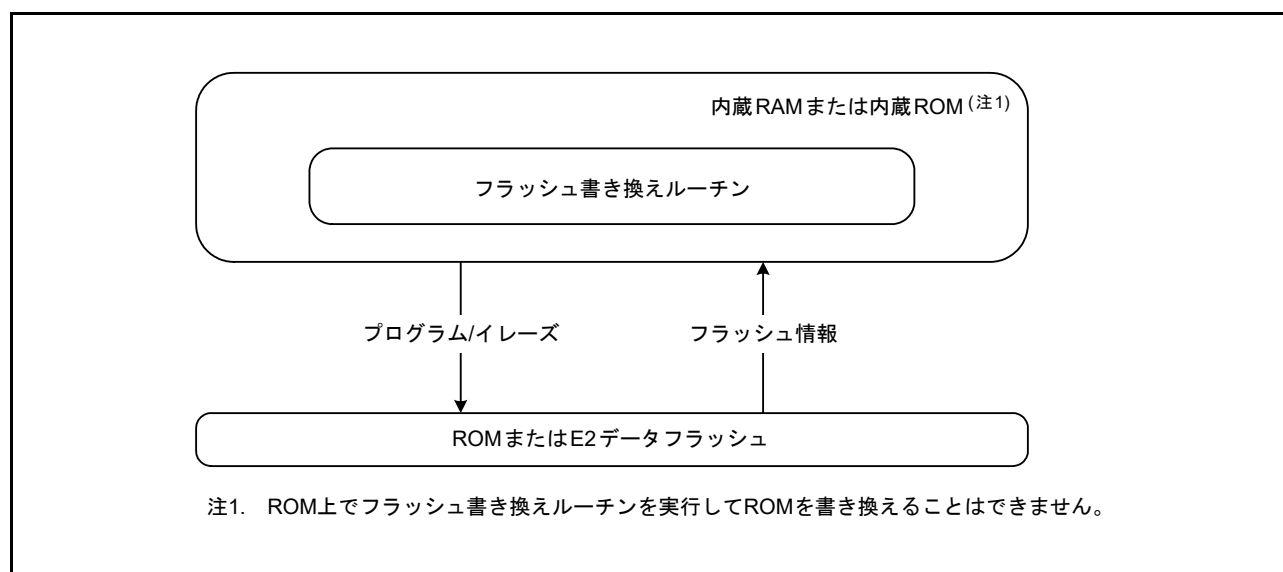


図 37.41 セルフプログラミングの概念

37.13 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止
同一アドレスに2回以上のプログラムを行うことはできません。プログラム済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット
プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「38. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。
プログラム/イレーズ中の IWDG リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中の割り込みベクタ、例外ベクタの配置
プログラム/イレーズ中に割り込みや例外が発生すると、ROM からのベクタフェッチが発生する場合があります。ROM からのベクタフェッチを回避するには、CPU の INTB レジスタおよび EXTB レジスタにより、割り込みベクタテーブル、例外ベクタテーブルを ROM 以外に配置してください。
- (6) プログラム/イレーズ中の異常終了
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項 (7) の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (7) プログラム/イレーズ中の禁止事項
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
 - ・本 MCU の電源を動作電圧範囲外にする。
 - ・OPCCR.OPCM[2:0] ビットの値を更新する。
 - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
 - ・FlashIF クロック (FCLK) の分周比を変更する。
 - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。
 - ・ROM のプログラム/イレーズ中に E2 データフラッシュへアクセスする。
 - ・E2 データフラッシュのプログラム/イレーズ中に DFLCTL.DFLEN ビットの値を変更する。
- (8) プログラム/イレーズ時の FCLK について
セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[5:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合に、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合は、1 MHz、2 MHz、3 MHz または 4 MHz 以外の周波数は使用できません。

37.14 使用上の注意事項 (ブートモード)

(1) ブートモードで通信異常が発生した場合に関する注意事項

本 MCU と正常な通信ができなくなった場合、本 MCU をリセットして、再度ブートモードで起動させてください。

(2) ブートモードでのオプション設定メモリに関する注意事項

ブートモードではオプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ 1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。

(3) スタートアップ領域の切り替えに関する注意事項

スタートアップ領域の切り替えは、セルフプログラミングで実施してください。

38. 電気的特性

38.1 絶対最大定格

表 38.1 絶対最大定格

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート : P97, PB0	V_{in}	-0.3 ~ +6.5	V
	上記以外のポート		-0.3 ~ VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ VCC + 0.3	V
出力シンク電流	1端子あたり	I_{IO}	-16	mA
	全端子合計 ($T_j = -40 \sim 125^{\circ}\text{C}$)	ΣI_{IO}	-164	mA
	全端子合計 ($T_j = -40 \sim 140^{\circ}\text{C}$)		-97	mA
出力ソース電流	1端子あたり	I_{IO}	16	mA
	全端子合計 ($T_j = -40 \sim 125^{\circ}\text{C}$)	ΣI_{IO}	76	mA
	全端子合計 ($T_j = -40 \sim 140^{\circ}\text{C}$)		45	mA
ジャンクション温度		T_j	-40 ~ +140	$^{\circ}\text{C}$
保存温度		T_{stg}	-65 ~ +150	$^{\circ}\text{C}$

【使用上の注意】

絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

ノイズによる誤動作を防止するため、VCC 端子と VSS 端子間、VREFH0 端子と VREFL0 間には周波数特性の良いコンデンサを挿入してください。コンデンサは 0.1 μF 程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL 端子は、4.7 μF のコンデンサを介して VSS に接続してください。コンデンサは端子の近くに配置してください。

詳細は、「38.15.1 VCL コンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源が OFF 状態の時に、5V トレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5V トレラントポートには -0.3 ~ +6.5V の電圧を入力しても MCU 破壊などの問題は発生しません。

38.2 推奨動作条件

表 38.2 推奨動作条件 (1)

項目		記号	min	typ	max	単位
電源電圧		VCC	2.7	—	5.5	V
		VSS	—	0	—	
リファレンス電源電圧		VREFH0	2.7	—	VCC	V
		VREFL0	—	0	—	
入力電圧	5V トレラント対応ポート : P97, PB0	V_{in}	−0.3	—	5.8	V
	PGAGND		—	0	—	
	上記以外		−0.3	—	VCC + 0.3	
動作温度	Gバージョン	T_{opr}	−40	—	105	°C
	Mバージョン		−40	—	125	
ジャンクション温度	Gバージョン	T_j	−40	—	125	°C
	Mバージョン		−40	—	140	

表 38.3 推奨動作条件 (2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	4.7 μ F $\pm$ 30% (注 1)

注 1. 静電容量の公称値が4.7 μ F、静電容量許容差とコンデンサの使用条件下における静電容量変化率の合計が $\pm 30\%$ 以内の積層セラミックコンデンサを使用してください。

38.3 測定条件

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- $V_{CC} = 2.7 \sim 5.5V$
- $V_{REFH0} = 2.7V \sim V_{CC}$
- $V_{SS} = V_{REFL0} = 0V$
- $T_a = T_{opr} = -40 \sim 125^{\circ}C$

他に指定がない場合、typ 値は室温の $25^{\circ}C$ および $V_{CC} = V_{REFH0} = 5.0V$ で測定されます。

図 38.1 にタイミング条件を示します。

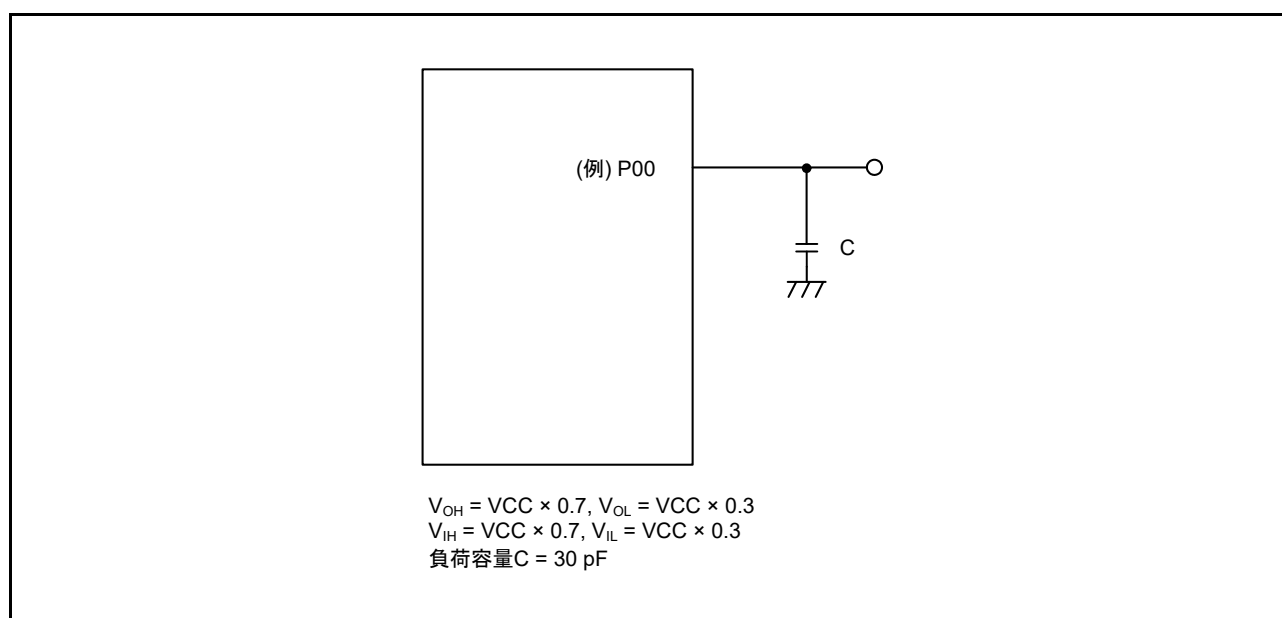


図 38.1 入出力タイミング計測条件

38.4 DC 特性

38.4.1 I/O 入力出力特性

表 38.4 I/O 入力電圧特性

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC 入力端子 (P97, PB0) (SMBus を除く)	V_{IH}	$0.7 \times VCC$	—	—	V	
		V_{IL}	—	—	$0.3 \times VCC$		
		ΔV_T	$0.05 \times VCC$	—	—		
	RIIC 入力端子 (P26, P31) (SMBus を除く)	V_{IH}	$0.8 \times VCC$	—	—		
		V_{IL}	—	—	$0.2 \times VCC$		
		ΔV_T	$0.1 \times VCC$	—	—		
	IRQ 入力端子、MTU 入力端子、 GPTW 入力端子、POE3 入力端子、 POEG 入力端子、TMR 入力端子、 SCI 入力端子、CAC 入力端子、 ADTRG# 入力端子、RES#、NMI、 MD	V_{IH}	$0.8 \times VCC$	—	—		
		V_{IL}	—	—	$0.2 \times VCC$		
		ΔV_T	$0.1 \times VCC$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	V_{IH}	$0.8 \times VCC$	—	—	V	
		V_{IL}	—	—	$0.2 \times VCC$		
	RIIC 入力端子 (P97, PB0, P26, P31) (SMBus)	V_{IH}	2.2	—	—		VCC = 3.6 ~ 5.5V
			2.0	—	—		VCC = 2.7 ~ 3.6V
		V_{IL}	—	—	0.8		VCC = 3.6 ~ 5.5V
			—	—	0.5		VCC = 2.7 ~ 3.6V
	上記以外の汎用入力	V_{IH}	$0.8 \times VCC$	—	—		
		V_{IL}	—	—	$0.2 \times VCC$		

表 38.5 I/O 入力リーク電流

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, PE2	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V, VCC$

表 38.6 I/O スリーステートリーク電流

項目		記号	min	typ	max	単位	測定条件
スリーステートリーク電流 (オフ状態)	P97, PB0	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V, 5.8V$
	P13, P14		—	—	1.0		$V_{in} = 0V, VCC$
	上記以外		—	—	0.2		$V_{in} = 0V, VCC$

表 38.7 I/O 入力容量

項目		記号	min	typ	max	単位	測定条件
入力容量	PE2	C_{in}	—	—	30	pF	$V_{in} = 0V,$ $f = 1MHz,$ $T_a = 25^{\circ}C$
	上記以外		—	—	15		

表 38.8 I/O 入力プルアップ抵抗

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (PE2 以外)	R_U	10	20	50	$k\Omega$	$V_{in} = 0V$

表 38.9 I/O 出力電圧特性

項目			記号	min	max	単位	測定条件
Low レベル出力電圧	RIIC 端子	P97, PB0	V_{OL}	—	0.6	V	$I_{OL} = 6.0mA$
		P26, P31		—	0.5		$I_{OL} = 2.0mA$
	上記以外			—	0.5		$I_{OL} = 2.0mA$
High レベル出力電圧	全出力端子		V_{OH}	$VCC - 0.5$	—	V	$I_{OH} = -2.0mA$

表 38.10 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = 3.3V, VSS = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC – 0.02	—	V	I _{OH} = –0.5mA
			—	VCC – 0.05	—		I _{OH} = –1.0mA
			—	VCC – 0.10	—		I _{OH} = –2.0mA
			—	VCC – 0.22	—		I _{OH} = –4.0mA

表 38.11 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = 5.0V, VSS = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC – 0.02	—	V	I _{OH} = –0.5mA
			—	VCC – 0.04	—		I _{OH} = –1.0mA
			—	VCC – 0.08	—		I _{OH} = –2.0mA
			—	VCC – 0.15	—		I _{OH} = –4.0mA

表 38.12 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = 3.3V, VSS = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.02	—		I _{OL} = 1.0mA
			—	0.04	—		I _{OL} = 2.0mA
			—	0.08	—		I _{OL} = 4.0mA
			—	0.17	—		I _{OL} = 8.0mA

表 38.13 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = 5.0V, VSS = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.01	—		I _{OL} = 1.0mA
			—	0.03	—		I _{OL} = 2.0mA
			—	0.06	—		I _{OL} = 4.0mA
			—	0.12	—		I _{OL} = 8.0mA

38.4.2 動作電流と待機電流

表 38.14 高速動作モードの動作電流 (注1) (1/3)

項目			記号	typ	max	単位	測定条件
通常動作モード	周辺モジュールクロック停止状態	T _a = 25°C	I _{CC}	2.4	—	mA	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		1.8	—		ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		1.5	—		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		1.0	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
	周辺モジュールクロック供給状態	T _a = 25°C	I _{CC}	12.8	25.3	mA	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 48MHz
		T _a = 85°C			25.0		
		T _a = 105°C			24.9		
		T _a = 125°C			24.6		
		T _a = 25°C		9.9	19.8		ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB = 32MHz PCLKD = 64MHz
		T _a = 85°C			19.6		
		T _a = 105°C			19.5		
		T _a = 125°C			19.2		
		T _a = 25°C		7.3	15.1		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
		T _a = 85°C			14.9		
		T _a = 105°C			14.8		
		T _a = 125°C			14.6		
		T _a = 25°C		3.7	8.6		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz
		T _a = 85°C			8.3		
		T _a = 105°C			8.3		
		T _a = 125°C			8.2		
スリープモード	周辺モジュールクロック停止状態	T _a = 25°C	I _{CC}	1.3	—	mA	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		1.0	—		ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		

表 38.14 高速動作モードの動作電流 (注1) (2/3)

項目			記号	typ	max	単位	測定条件
スリープモード	周辺モジュールクロック停止状態	T _a = 25°C	I _{CC}	0.8	—	mA	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		0.7	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
	周辺モジュールクロック供給状態	T _a = 25°C	7.4	—			ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 48MHz
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			
		T _a = 25°C	6.2	—			ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB = 32MHz PCLKD = 64MHz
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			
		T _a = 25°C	4.4	—			ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			
		T _a = 25°C	2.6	—			ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			
ディープスリープモード	周辺モジュールクロック停止状態	T _a = 25°C	0.9	—			ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			
		T _a = 25°C	0.7	—			ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			
		T _a = 25°C	0.6	—			ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			
		T _a = 25°C	0.6	—			ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—			
		T _a = 105°C		—			
		T _a = 125°C		—			

表 38.14 高速動作モードの動作電流 (注1) (3/3)

項目			記号	typ	max	単位	測定条件
ディープ スリープモード	周辺モジュールク ロック供給状態	T _a = 25°C	I _{CC}	6.6	—	mA	ICLK = 48MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 48MHz
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		5.7	—		ICLK = 32MHz クロックソース = HOCO FCLK, PCLKB = 32MHz PCLKD = 64MHz
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		4.0	—		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		2.4	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
BGO動作時の増加分（注2）			2.1	—			

注1. 動作電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップ抵抗をオフ状態にした場合の値です。

注2. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
各動作電流にはBGO動作時の電流は含まれていません。

表 38.15 中速動作モードの動作電流 (注1) (1/2)

項目			記号	typ	max	単位	測定条件
通常動作モード	周辺モジュールクロック停止状態	T _a = 25°C	I _{CC}	1.4	—	mA	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—	—		
		T _a = 105°C		—	—		
		T _a = 125°C		—	—		
		T _a = 25°C	0.9	—	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—	—		
		T _a = 105°C		—	—		
		T _a = 125°C		—	—		
		T _a = 25°C	0.2	—	—		ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—	—		
		T _a = 105°C		—	—		
		T _a = 125°C		—	—		
	周辺モジュールクロック供給状態	T _a = 25°C	7.1	14.7	—		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
		T _a = 85°C		14.5	—		
		T _a = 105°C		14.4	—		
		T _a = 125°C		14.2	—		
		T _a = 25°C	3.5	8.1	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz
		T _a = 85°C		7.9	—		
		T _a = 105°C		7.9	—		
		T _a = 125°C		7.8	—		
		T _a = 25°C	1.7	4.9	—		ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = 1MHz
		T _a = 85°C		4.7	—		
		T _a = 105°C		4.6	—		
		T _a = 125°C		4.6	—		
スリープモード	周辺モジュールクロック停止状態	T _a = 25°C	0.8	—	—		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—	—		
		T _a = 105°C		—	—		
		T _a = 125°C		—	—		
		T _a = 25°C	0.7	—	—		ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—	—		
		T _a = 105°C		—	—		
		T _a = 125°C		—	—		
		T _a = 25°C	0.2	—	—		ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64
		T _a = 85°C		—	—		
		T _a = 105°C		—	—		
		T _a = 125°C		—	—		
	周辺モジュールクロック供給状態	T _a = 25°C	4.4	—	—		ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
		T _a = 85°C		—	—		
		T _a = 105°C		—	—		
		T _a = 125°C		—	—		

表 38.15 中速動作モードの動作電流 (注1) (2/2)

項目			記号	typ	max	単位	測定条件
スリープモード	周辺モジュールクロック供給状態	T _a = 25°C	I _{CC}	2.6	—	mA	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		1.4	—		ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = 1MHz
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
ディープスリープモード	周辺モジュールクロック停止状態	T _a = 25°C	I _{CC}	0.6	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		0.6	—	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		T _a = 25°C		0.1	—	ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = クロックソース × 1/64	
		T _a = 85°C			—		
		T _a = 105°C			—		
		T _a = 125°C			—		
		周辺モジュールクロック供給状態		T _a = 25°C	4.0	—	ICLK = 24MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 24MHz
				T _a = 85°C		—	
				T _a = 105°C		—	
				T _a = 125°C		—	
	T _a = 25°C			2.4	—	ICLK = 8MHz クロックソース = HOCO FCLK, PCLKB, PCLKD = 8MHz	
	T _a = 85°C				—		
	T _a = 105°C				—		
	T _a = 125°C				—		
	T _a = 25°C	1.3		—	ICLK = 1MHz クロックソース = LOCO FCLK, PCLKB, PCLKD = 1MHz		
	T _a = 85°C			—			
	T _a = 105°C			—			
	T _a = 125°C			—			
BGO動作時の増加分（注2）				2.1	—		

注1. 動作電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップ抵抗をオフ状態にした場合の値です。

注2. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。各動作電流にはBGO動作時の電流は含まれていません。

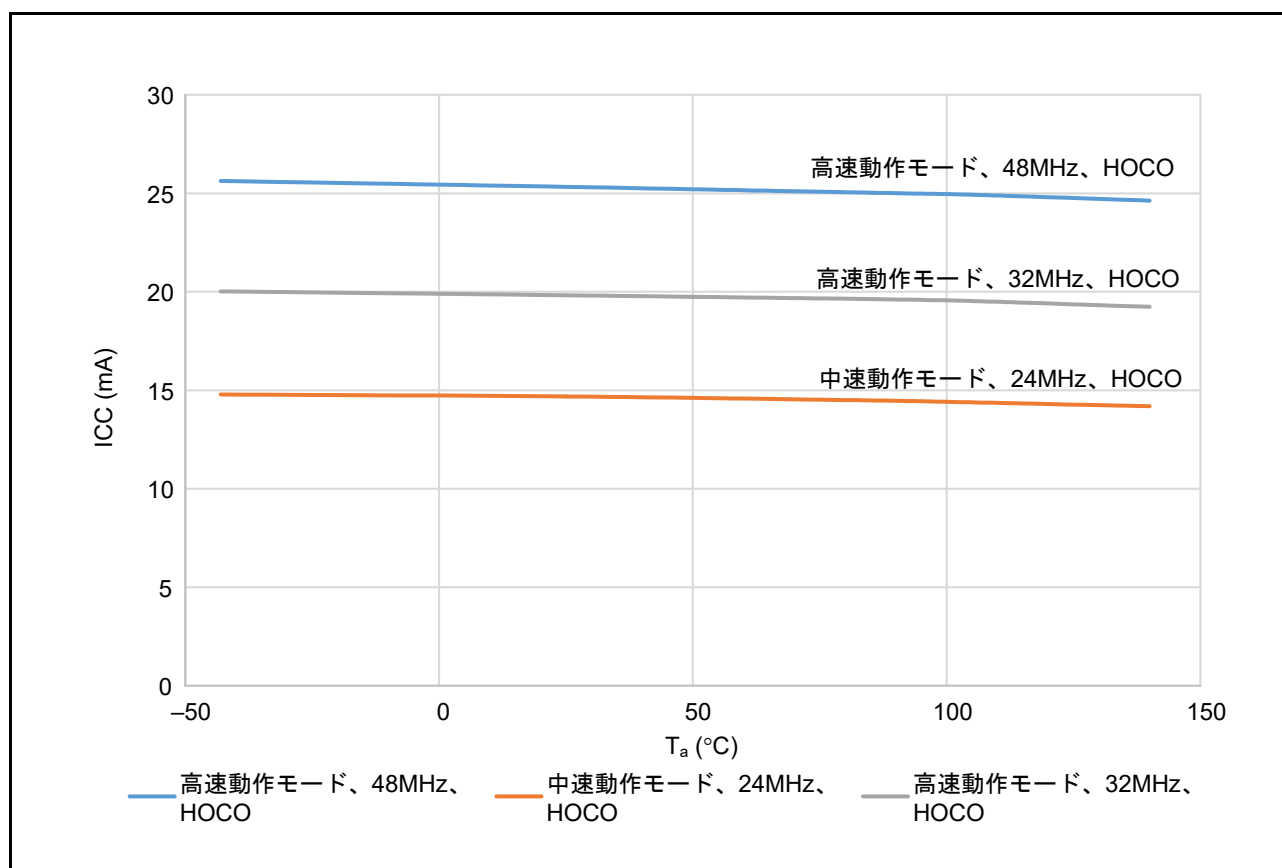


図 38.2 通常動作モード時の温度依存性

表 38.16 ソフトウェアスタンバイモードの待機電流 (注1、注2)

項目	記号	typ	max	単位	測定条件
待機電流 (3.3V)	$T_a = 25^\circ\text{C}$	I_{STBY}	0.24	μA	
	$T_a = 55^\circ\text{C}$		0.41		
	$T_a = 85^\circ\text{C}$		1.10		
	$T_a = 105^\circ\text{C}$		2.58		
	$T_a = 125^\circ\text{C}$		6.24		
待機電流 (5.0V)	$T_a = 25^\circ\text{C}$		0.27		
	$T_a = 55^\circ\text{C}$		0.44		
	$T_a = 85^\circ\text{C}$		1.15		
	$T_a = 105^\circ\text{C}$		2.68		
	$T_a = 125^\circ\text{C}$		6.49		

注1. 待機電流値はすべての出力端子を無負荷状態にして、さらに内蔵ブルアップ抵抗をオフ状態にした場合の値です。

注2. IWDTC、LVD、CMPCは動作停止です。

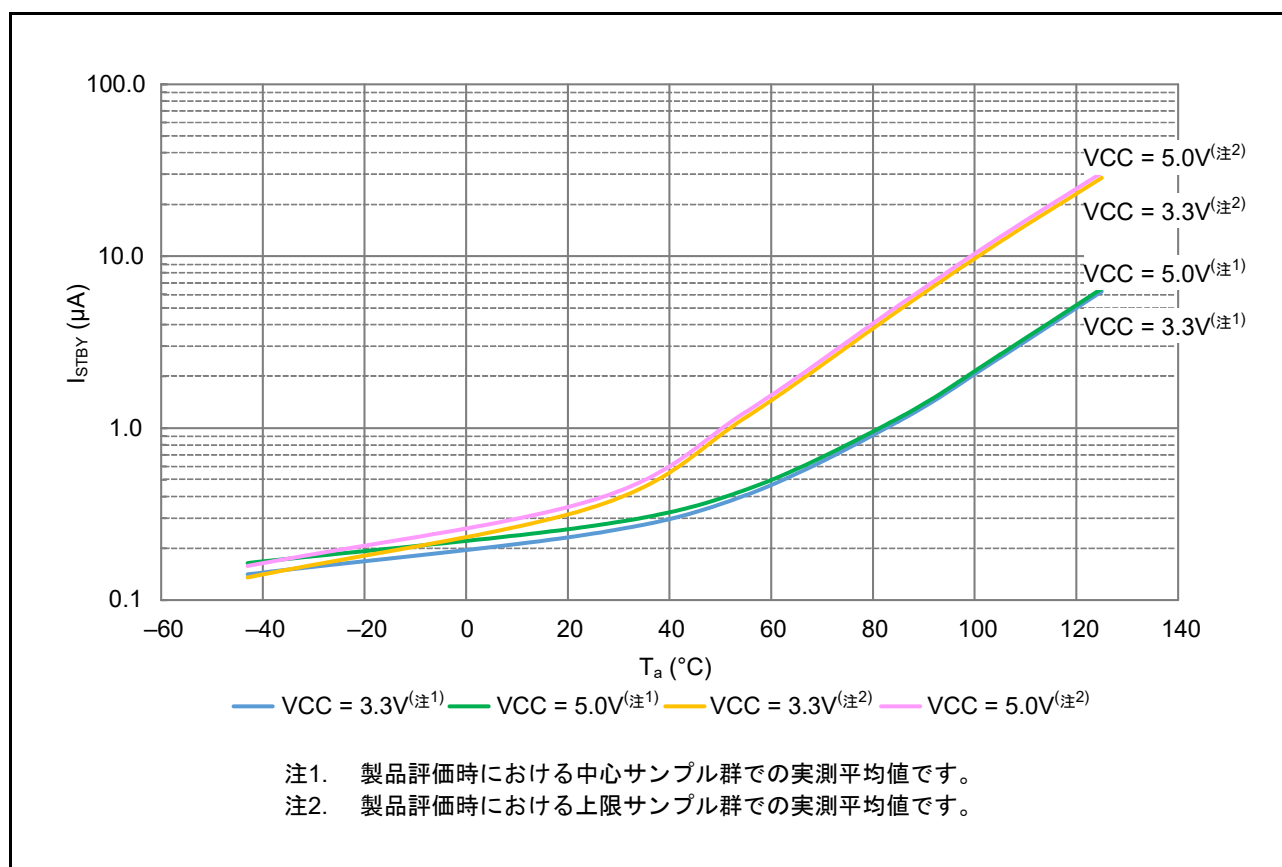


図 38.3 ソフトウェアスタンバイモード時の温度依存性

表 38.17 機能別動作電流

条件：特に指定がない限り、ICLK = PCLKB = PCLKD = 48MHz

項目	min	typ	max	単位
電圧検出回路(LVD0)	—	0.04	—	μA
電圧検出回路(LVD1, LVD2) (1チャンネルあたり)	—	0.12	—	
独立ウォッチドッグタイマ	—	0.32	—	
クロック周波数精度測定回路	—	0.11	—	mA
データトランスファコントローラ	—	2.50	—	
マルチファンクションタイマパルスユニット3	—	1.32	—	
ポートアウトプットイネーブル3	—	0.14	—	
汎用PWMタイマ	—	0.69	—	
GPTW用ポートアウトプットイネーブル	—	0.05	—	
8ビットタイマ(1ユニットあたり)	—	0.06	—	
コンペアマッチタイマ	—	0.05	—	
シリアルコミュニケーションインタフェース(1ユニットあたり)	—	0.41	—	
I ² Cバスインタフェース	—	0.20	—	
CRC演算器	—	0.08	—	
三角関数演算器	—	0.33	—	
12ビットA/Dコンバータ(1ユニットあたり)(注1)	—	1.39	1.73	
12ビットA/Dコンバータリファレンス(1ユニットあたり)(注1)	—	0.11	0.13	
プログラマブルゲインアンプ	—	0.42	0.80	
D/Aコンバータ(1ユニットあたり)	—	0.35	0.53	
温度センサ	—	0.12	—	
コンパレータC(1ユニットあたり)	—	0.09	0.17	
データ演算回路	—	0.09	—	

注1. PCLKD = 64MHzの条件

38.4.3 VCC 立ち上がり勾配と電源リップル特性

表 38.18 VCC 立ち上がり勾配

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC 立ち上がり勾配	通常起動時 (注1)	SrVCC	0.02	—	20	ms/V	
	起動時間短縮時 (注2)		0.02	—	2		
	起動時電圧監視0リセット有効時 (注3、注4)		0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS) = 11b を設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01b を設定した場合です。

注3. OFS1.LVDAS = 0 を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

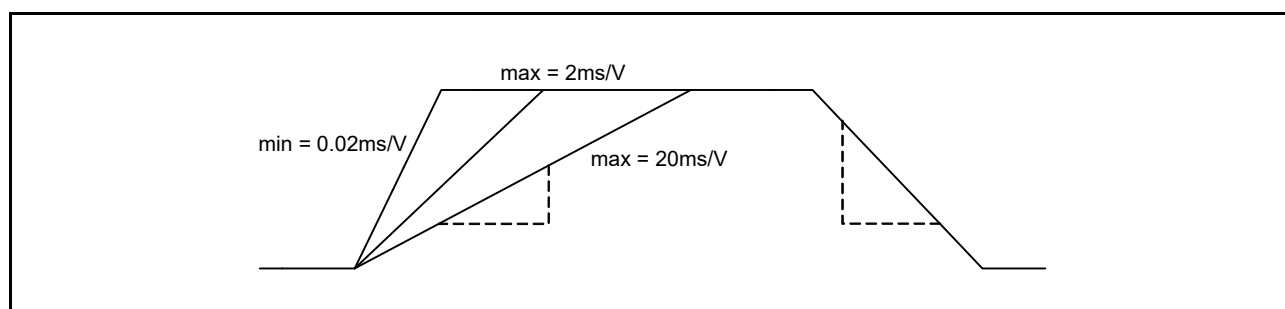


図 38.4 電源投入時 VCC 立ち上がり勾配

表 38.19 電源リップル特性

電源リップルは、VCC の上限と下限は超えない範囲で許容電源リップル周波数 $f_{r(VCC)}$ を満たしてください。VCC 変動が $V_{CC} \pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図 38.5 $V_{r(VCC)} \leq V_{CC} \times 0.2$ の場合
		—	—	1	MHz	図 38.5 $V_{r(VCC)} \leq V_{CC} \times 0.08$ の場合
		—	—	10	MHz	図 38.5 $V_{r(VCC)} \leq V_{CC} \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が $V_{CC} \pm 10\%$ を超える場合

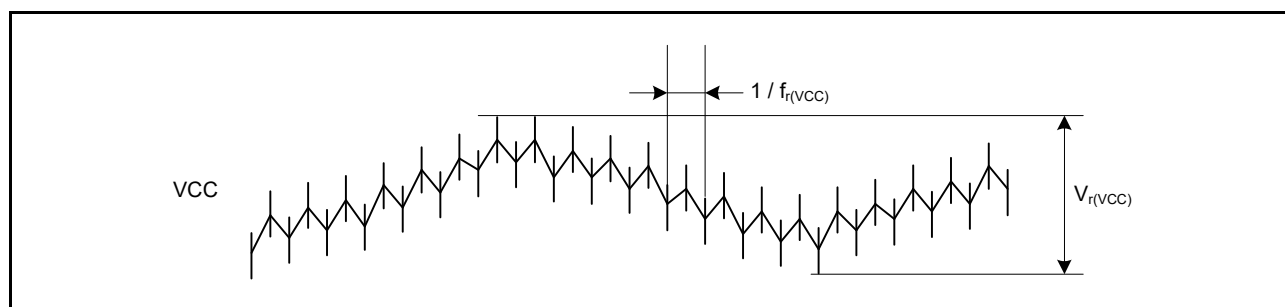


図 38.5 電源リップル波形

38.4.4 VCL 端子電圧

表 38.20 VCL 端子電圧

項目	記号	min	typ	max	単位	測定条件
VCL 端子出力電圧	V _{CL}	—	1.5	—	V	

38.4.5 RAM データ保持特性

表 38.21 RAM データ保持特性

項目	記号	min	typ	max	単位	測定条件
RAM 保持電圧	V _{RAM}	2.7	—	—	V	

38.4.6 熱抵抗値 (参考値)

表 38.22 熱抵抗値 (参考値)

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	64 ピン LFQFP (PLQP0064KB-C)	θ_{ja}	—	—	53.7	°C/W	JESD51-2 および JESD51-7 準拠
	64 ピン LQFP (PLQP0064GA-A)		—	—	53.3		
	52 ピン LQFP (PLQP0052JA-A)		—	—	45.7		
	48 ピン LFQFP (PLQP0048KB-B)		—	—	64		
	44 ピン LQFP (PLQP0044GF-A)		—	—	53		
	32 ピン LQFP (PLQP0032GB-A)		—	—	63.2		
	48 ピン HWQFN (PWQN0048KC-A)		—	—	28.7 (注 1)		
	32 ピン HWQFN (PWQN0032KE-A)		—	—	35.8 (注 1)		
	24 ピン HWQFN (PWQN0024KG-A)		—	—	43.6 (注 1)		
	64 ピン LFQFP (PLQP0064KB-C)	ψ_{jt}	—	—	2.02		
	64 ピン LQFP (PLQP0064GA-A)		—	—	2.02		
	52 ピン LQFP (PLQP0052JA-A)		—	—	1.89		
	48 ピン LFQFP (PLQP0048KB-B)		—	—	5.01		
	44 ピン LQFP (PLQP0044GF-A)		—	—	2.02		
	32 ピン LQFP (PLQP0032GB-A)		—	—	5.13		
	48 ピン HWQFN (PWQN0048KC-A)		—	—	0.21 (注 1)		
	32 ピン HWQFN (PWQN0032KE-A)		—	—	0.3 (注 1)		
	24 ピン HWQFN (PWQN0024KG-A)		—	—	0.43 (注 1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注 1. exposed die padにVSSを接続したときの値です。

38.5 AC 特性

38.5.1 クロックタイミング

表 38.23 動作周波数 (高速動作モード)

項目	記号	min	typ	max	単位
最高動作周波数	システムクロック (ICLK)	—	—	48	MHz
	FlashIFクロック (FCLK) (注1、注2)	—	—	48	
	周辺モジュールクロック (PCLKB)	—	—	48	
	周辺モジュールクロック (PCLKD)	1	—	64	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表 38.24 動作周波数 (中速動作モード)

項目	記号	min	typ	max	単位
最高動作周波数	システムクロック (ICLK)	—	—	24	MHz
	FlashIFクロック (FCLK) (注1、注2)	—	—	24	
	周辺モジュールクロック (PCLKB)	—	—	24	
	周辺モジュールクロック (PCLKD)	1	—	24	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表 38.25 EXTALクロックタイミング

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 38.6
EXTAL外部クロック入力周波数	f_{XMAIN}	—	—	20	MHz	
EXTAL外部クロック入力Highパルス幅	t_{XH}	20	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	t_{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t_{XWT}	0.5	—	—	μs	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

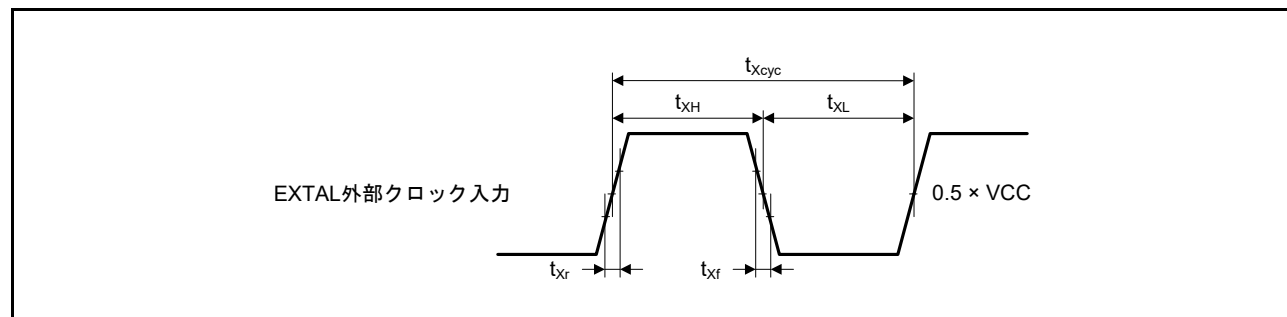


図 38.6 EXTAL 外部クロック入力タイミング

表 38.26 メインクロックタイミング

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f_{MAIN}	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注1)	t_{MAINOSC}	—	3	—	ms	図 38.7
メインクロック発振安定時間(セラミック共振子)(注1)	t_{MAINOSC}	—	50	—	μs	

注1. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。
MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

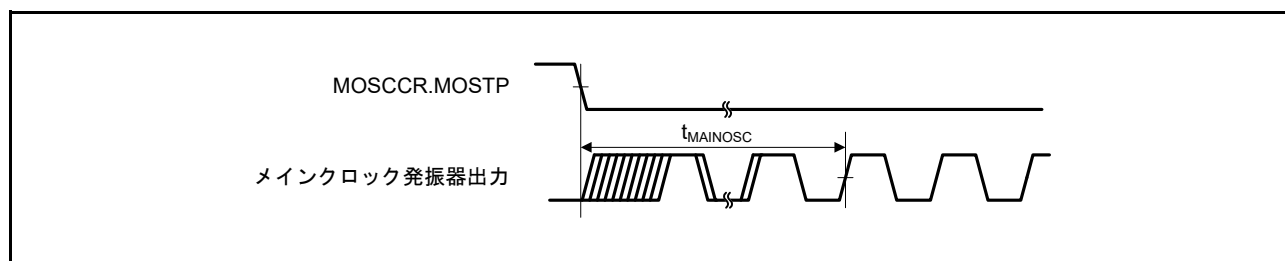


図 38.7 メインクロック発振開始タイミング

表 38.27 LOCO, IWDTC専用低速クロックタイミング

項目	記号	min	typ	max	単位	測定条件
LOCOクロック発振周波数	f_{LOCO}	3.44 (-14%)	4.0	4.56 (+14%)	MHz	
LOCOクロック発振周波数誤差	Δf_{LOCO}	—	—	± 14	%	
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μs	図 38.8
IWDTC専用クロック発振周波数	f_{ILOCO}	12.75 (-15%)	15	17.25 (+15%)	kHz	
IWDTC専用クロック発振周波数誤差	Δf_{ILOCO}	—	—	± 15	%	
IWDTC専用クロック発振安定時間	t_{ILOCO}	—	—	80	μs	図 38.9

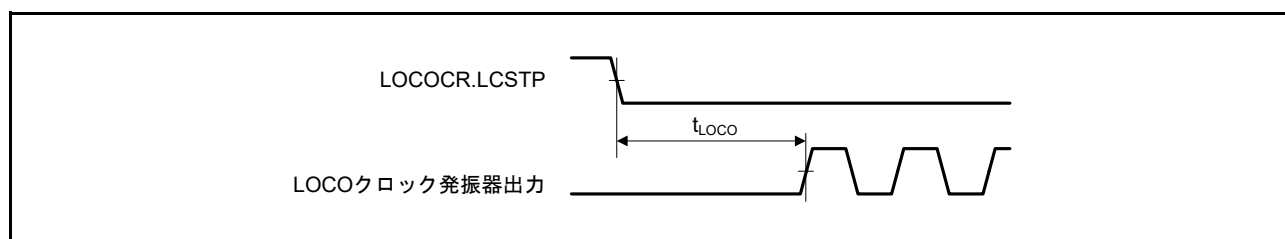


図 38.8 LOCO クロック発振開始タイミング

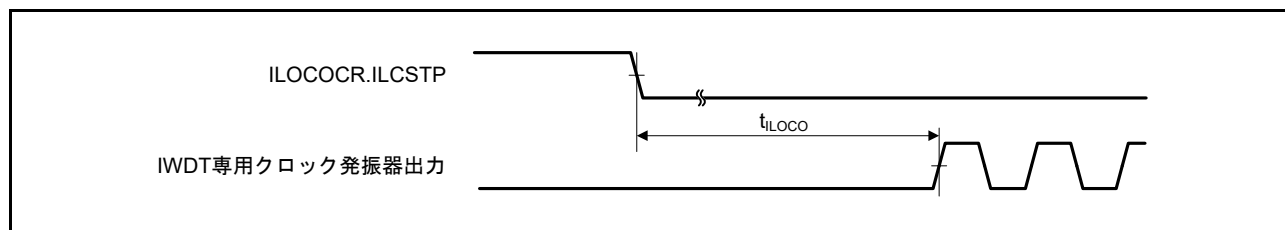


図 38.9 IWDTC 専用クロック発振開始タイミング

表38.28 HOCOクロックタイミング

項目	記号	min	typ	max	単位	測定条件
HOCO発振周波数	f_{HOCO}	23.76 (-1.0%)	24	24.24 (+1.0%)	MHz	$T_a = -40 \sim +125^\circ\text{C}$
		31.68 (-1.0%)	32	32.32 (+1.0%)		
		47.52 (-1.0%)	48	48.48 (+1.0%)		
		63.36 (-1.0%)	64	64.64 (+1.0%)		
HOCO発振周波数誤差	Δf_{HOCO}	—	—	± 1.0	%	$T_a = -40 \sim +125^\circ\text{C}$
HOCOクロック発振安定時間	t_{HOCO}	—	—	4.95	μs	図 38.11

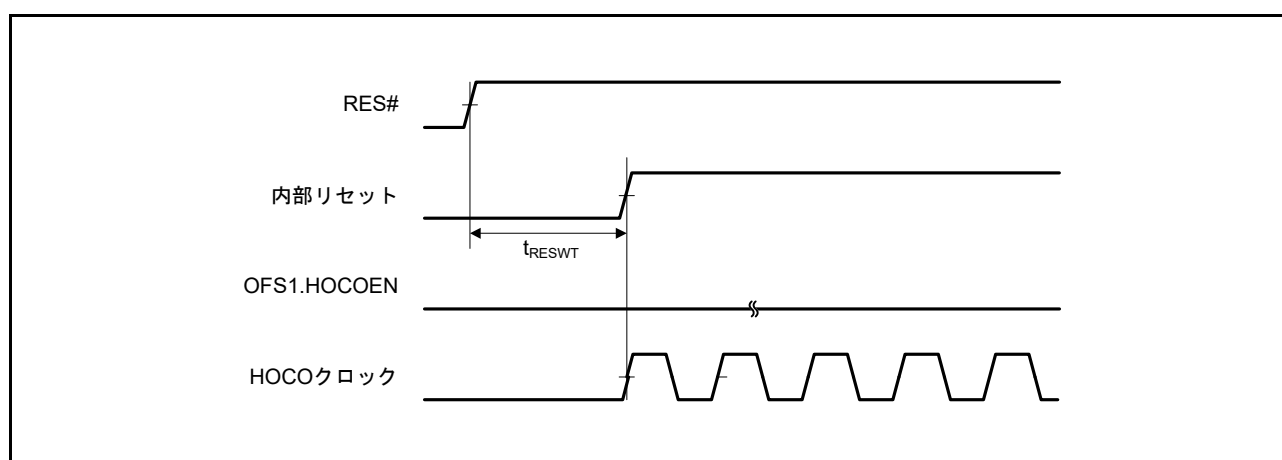


図 38.10 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0”設定時のリセット解除後)

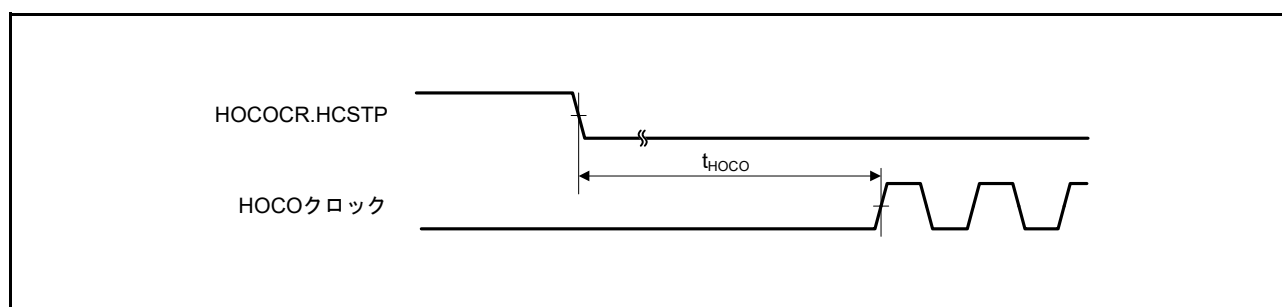


図 38.11 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

表 38.29 PLLクロックタイミング

項目	記号	min	typ	max	単位	測定条件
PLL入力周波数	f_{PLLIN}	4	—	12.5	MHz	
PLLクロック発振周波数	f_{PLL}	24	—	64	MHz	
PLLクロック発振安定時間	t_{PLL}	—	—	81.4	μ s	図 38.12
PLL自励発振周波数	f_{PLLFR}	—	9	—	MHz	

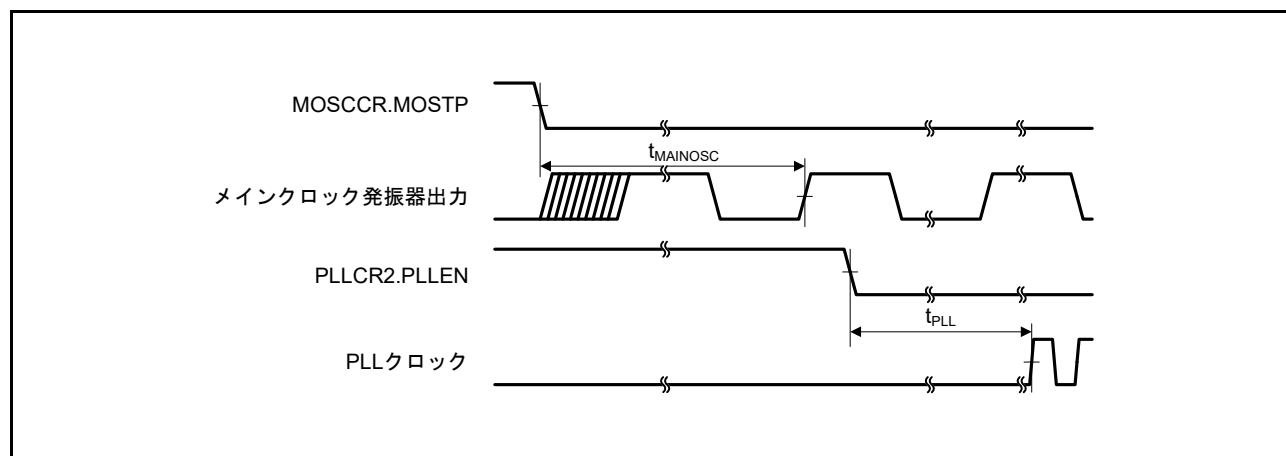


図 38.12 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

38.5.2 リセットタイミング

表 38.30 リセットタイミング

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t_{RESWP}	10.5	—	—	ms	図 38.13
	上記以外	t_{RESW}	30	—	—	μs	図 38.14
RES#解除後待機時間 (コールドスタート)	通常起動時 (注1)	t_{RESWT}	—	27.5	—	ms	図 38.13
	起動時間短縮時 (注2)	t_{RESWT}	—	850	—	μs	
	起動時電圧監視0リセット有効時 (注4、注5)	t_{RESWT}	—	850	—	μs	
RES#解除後待機時間 (ウォームスタート)	LVD0無効時 (注3)	t_{RESWT}	—	120	—	μs	図 38.14
	LVD0有効時 (注4)		—	850	—	μs	
内部リセット時間 (独立ウォッチドックタイ マリセット、ソフトウェア リセット)	LVD0無効時 (注3)	t_{RESWT2}	—	190	—	μs	
	LVD0有効時 (注4)		—	910	—	μs	

注1. OFS1.(FASTSTUP, LVDAS) = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01bを設定した場合です。

注3. OFS1.LVDAS = 1を設定した場合です。

注4. OFS1.LVDAS = 0を設定した場合です。

注5. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の時間となります。

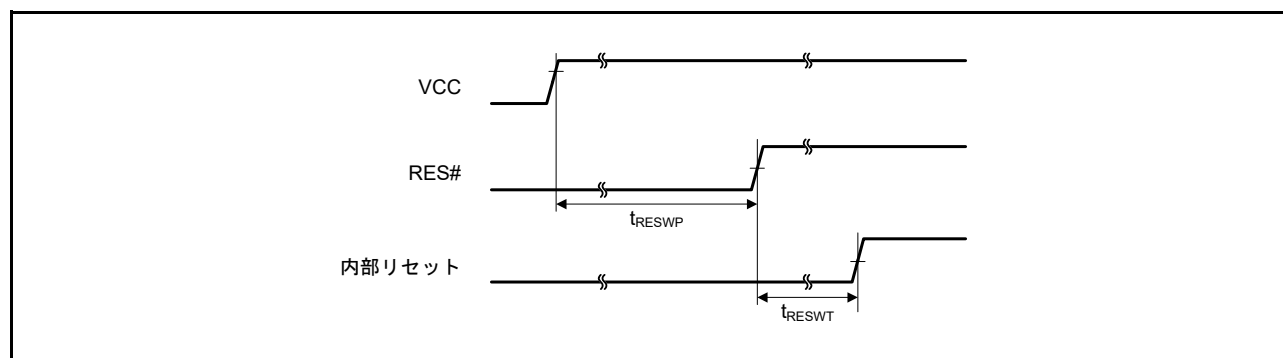


図 38.13 電源投入時リセット入力タイミング

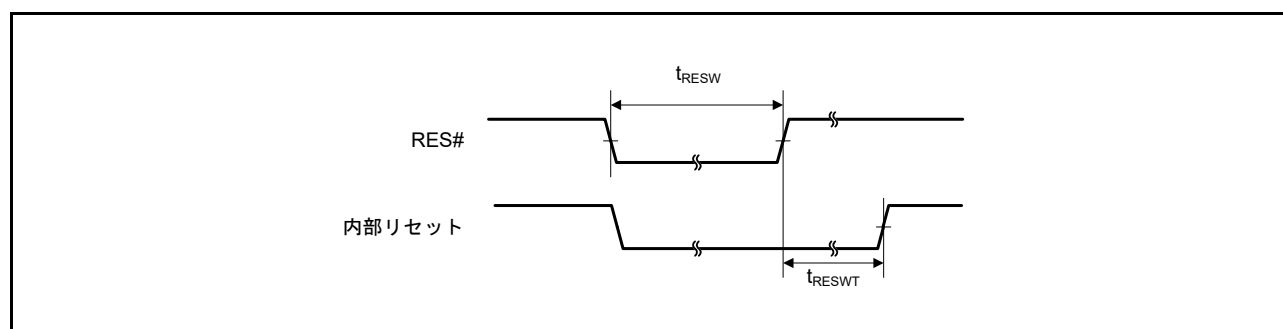


図 38.14 リセット入力タイミング

38.5.3 低消費電力状態からの復帰タイミング

表 38.31 低消費電力状態からの復帰タイミング(1)

項目			記号	min	typ	max	単位	測定条件
発振安定待機時間 (注1)	高速動作モード/ 中速動作モード	メインクロック発振器選択	t _{SBYOSCWTMC}	—	—	t _{LOCO} + (16 + MOSCWTCR 設定のサイクル数) / f _{LOCO} + 3 / f _{MOSC} + 1 / f _{ICLK}	μs	
		PLL回路選択(メインクロック発振器選択)	t _{SBYOSCWTPC}	—	—	t _{LOCO} + (280 + MOSCWTCR 設定のサイクル数) / f _{LOCO} + 3 / f _{PLL} + 1 / f _{ICLK}		
		HOCO選択	t _{SBYOSCWTHO}	—	—	t _{LOCO} + 16 / f _{LOCO} + 3 / f _{HOCO} + 1 / f _{ICLK}		
		PLL回路選択(HOCO選択)	t _{SBYOSCWTPH}	—	—	t _{LOCO} + 296 / f _{LOCO} + 3 / f _{PLL} + 1 / f _{ICLK}		
		LOCO選択	t _{SBYOSCWTL0}	—	—	t _{LOCO} + 1 / f _{ICLK}		
ソフトウェアスタンバイモード解除シーケンサ動作時間 (注2)			t _{SBYSEQ}	—	—	4 / f _{LOCO} + 11 / f _{ICLK} + 3 / f _{PCLKB} + 3n / f _{ソースクロック}		
ソフトウェアスタンバイモード解除後復帰時間 (注3)	高速動作モード/ 中速動作モード	メインクロック発振器選択	t _{SBYMC}	—	—	t _{SBYOSCWTMC} + t _{SBYSEQ}		図 38.15
		PLL回路選択(メインクロック発振器選択)	t _{SBYPC}	—	—	t _{SBYOSCWTPC} + t _{SBYSEQ}		
		HOCO選択	t _{SBYHO}	—	—	t _{SBYOSCWTHO} + t _{SBYSEQ}		
		PLL回路選択(HOCO選択)	t _{SBYPH}	—	—	t _{SBYOSCWTPH} + t _{SBYSEQ}		
		LOCO選択	t _{SBYLO}	—	—	t _{SBYOSCWTL0} + t _{SBYSEQ}		

注1. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間は動作している発振器の内、最も大きな値が選択されます。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。またソースクロックはSCKCR3.CKSELで設定したクロックです。

注3. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間とソフトウェアスタンバイモード解除シーケンサ動作時間の加算値で決まります。

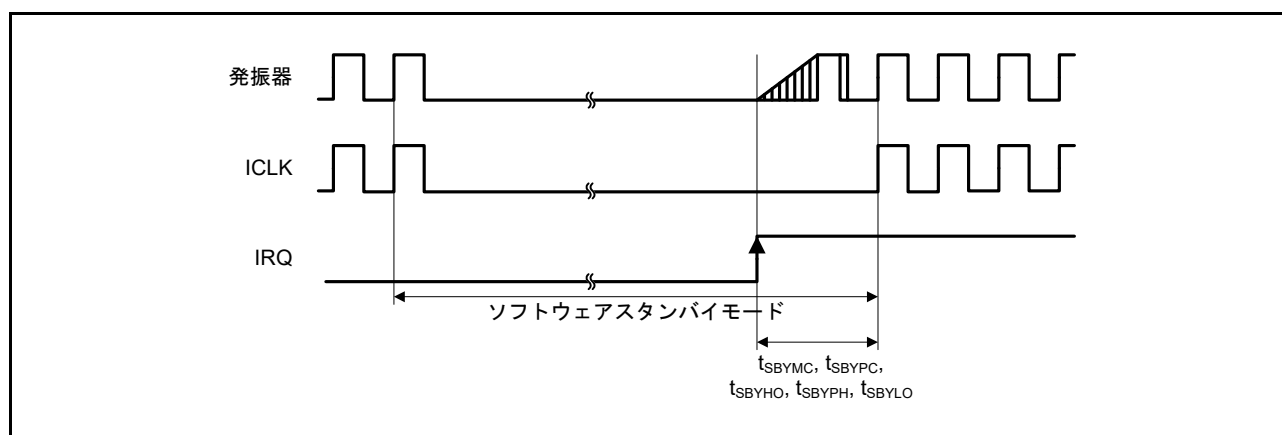


図 38.15 ソフトウェアスタンバイモード復帰タイミング

表 38.32 低消費電力状態からの復帰タイミング(5)

項目	記号	min	typ	max	単位	測定条件
ディープスリープモード 解除後復帰時間 (注1、注2)	$t_{DSL P}$	—	—	$4 / f_{LOCO} + 8 / f_{ICLK} + 2 / f_{PCLKB} + 3n / f_{ソースクロック}$	μs	図 38.16
高速動作 モード						
中速動作 モード						

注1. ディープスリープモードでは発振器は発振を継続します。

注2. nは内部クロックの分周設定の内、最も大きな値が選択されます。またソースクロックはSCKCR3.CKSELで設定したクロックです。

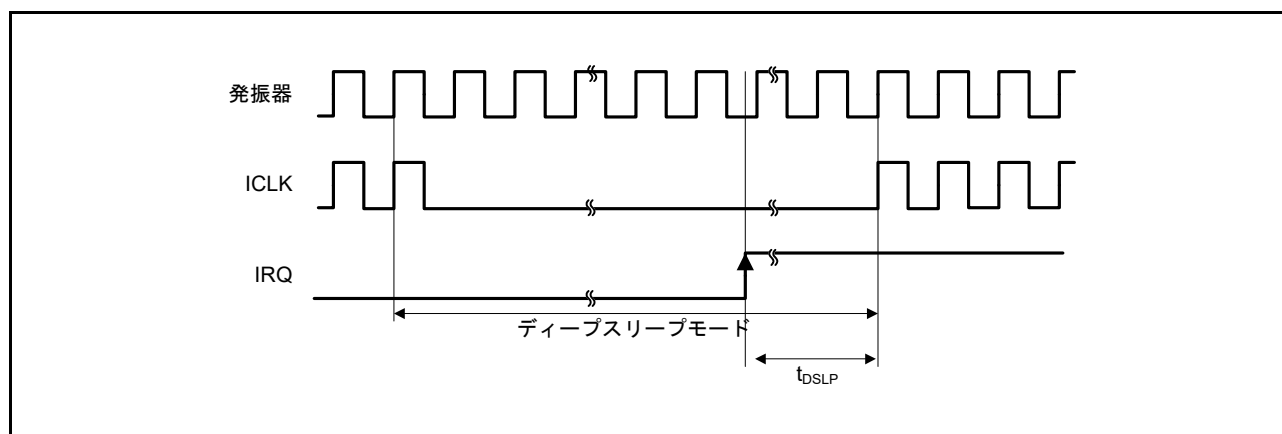


図 38.16 ディープスリープモード解除タイミング

表 38.33 動作モード遷移時間

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	24MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	μs
中速動作モード	高速動作モード	24MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	

38.5.4 制御信号タイミング

表 38.34 制御信号タイミング

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{PBcyc} \times 2 \leq 200ns$
		$t_{PBcyc} \times 2$ (注 1)	—	—			$t_{PBcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注 2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{PBcyc} \times 2 \leq 200ns$
		$t_{PBcyc} \times 2$ (注 1)	—	—			$t_{PBcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注 3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

注 1. t_{PBcyc} はPCLKBの周期を指します。

注 2. t_{NMICK} はNMI デジタルフィルタサンプリングクロックの周期です。

注 3. t_{IRQCK} はIRQi デジタルフィルタサンプリングクロック (i = 0 ~ 7) の周期を指します。

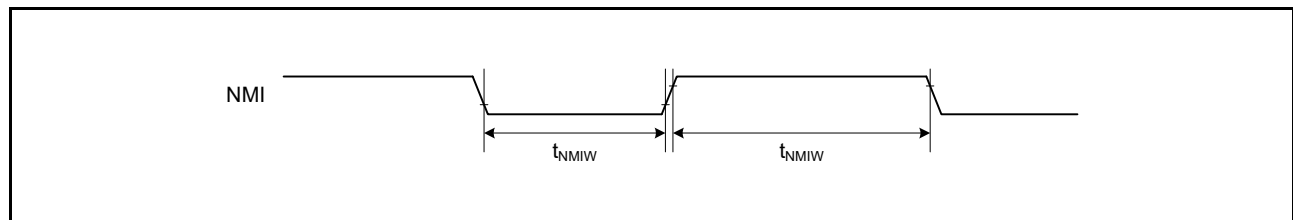


図 38.17 NMI 割り込み入力タイミング

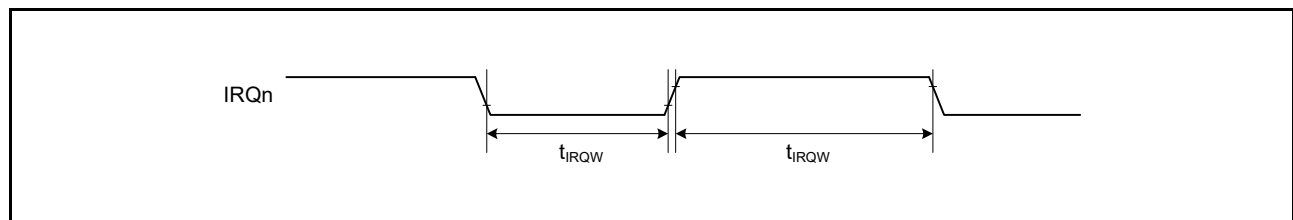


図 38.18 IRQ 割り込み入力タイミング

38.5.5 内蔵周辺モジュールタイミング

38.5.5.1 I/Oポート

表 38.35 I/Oポートタイミング

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{PBcyc}	図 38.19

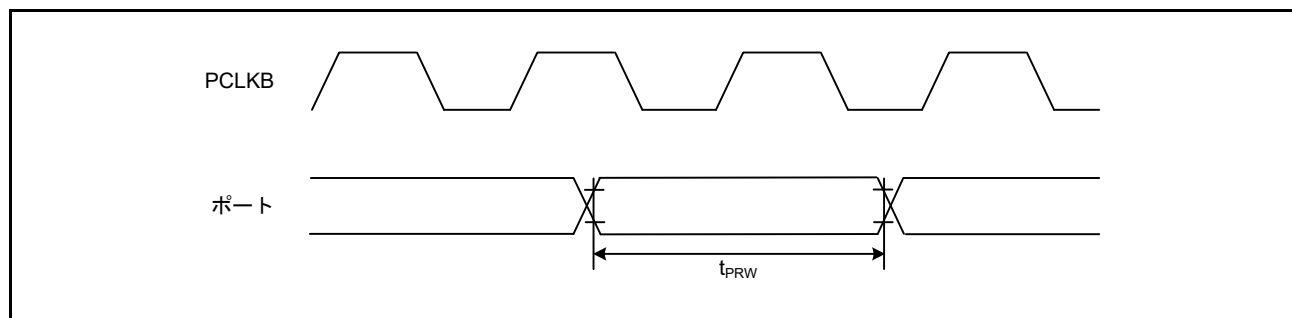
注 1. t_{PBcyc} : PCLKBの周期

図 38.19 I/Oポート入力タイミング

38.5.5.2 MTU

表 38.36 MTUタイミング

項目			記号	min	max	単位 (注1)	測定条件
MTU	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{MTICW}	1.5	—	t_{PBcyc}	図 38.20
		両エッジ指定		2.5	—		
	インプットキャプチャ入力 立ち上がり/立ち下がり時間		t_{TICr}, t_{TICf}	—	0.1	$\mu s/V$	図 38.21
	タイマクロックパルス幅	単エッジ指定	t_{MTCKWH}, t_{MTCKWL}	1.5	—	t_{PBcyc}	
		両エッジ指定		2.5	—		
	タイマクロック立ち上がり/立ち下がり時間		t_{TCKr}, t_{TCKf}	—	0.1	$\mu s/V$	

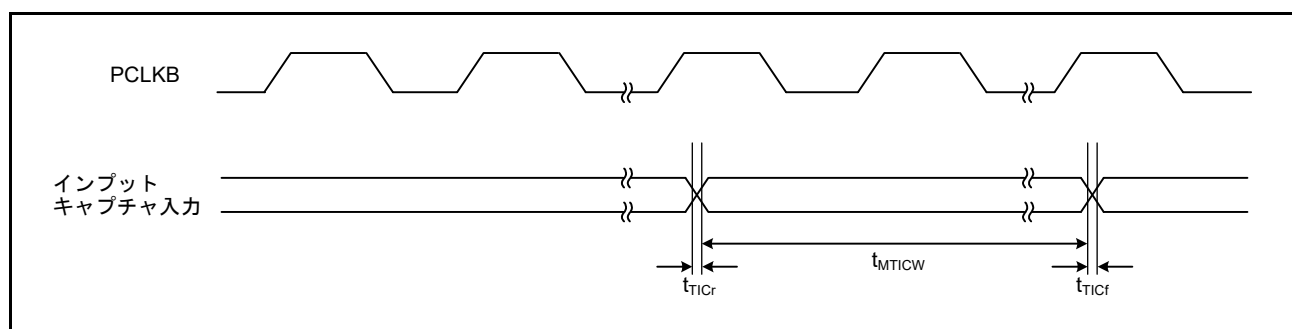
注 1. t_{PBcyc} : PCLKBの周期

図 38.20 MTU入出力タイミング

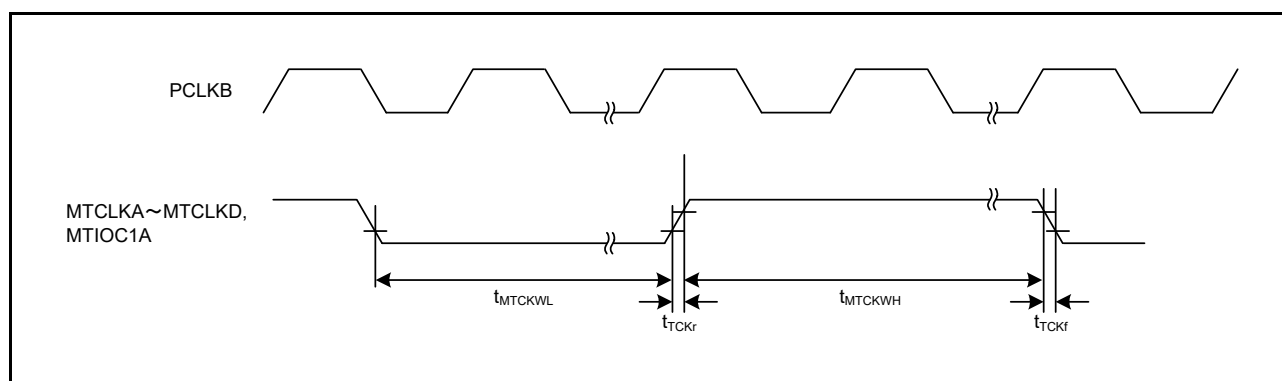


図 38.21 MTU クロック入力タイミング

38.5.5.3 POE

表 38.37 POE タイミング

項目		記号	min	max	単位 (注1)	測定条件
POE	POE#入力パルス幅	t_{POEW}	1.5	—	t_{PBcyc}	図 38.22
	POE#入力立ち上がり/立ち下がり時間	t_{POEr} t_{POEf}	—	0.1	$\mu s/V$	
	出力ディセーブル時間	POE#端子の変化	t_{POEDI}	—	$5 \times t_{PBcyc} + 0.24$	図 38.23 立ち下がりエッジ検出時 (ICSRm.POE#M[3:0] = 0000 (m = 1, 3 ~ 5, 7, n = 0, 8, 10 ~ 12))
		出力端子の短絡	t_{POEDO}	—	$3 \times t_{PBcyc} + 0.2$	図 38.24
		コンパレータ出力検出	t_{POEDC}	—	$5 \times t_{PBcyc} + 0.2$	図 38.25 コンパレータCのノイズフィルタ不使用時 (CMPCTL.NFE = 0)、コンパレータCの検出時間は除く
		レジスタ設定	t_{POEDS}	—	$t_{PBcyc} + 0.2$	図 38.26 レジスタアクセス時間は除く
		発振停止検出	t_{POEDOS}	—	8	図 38.27

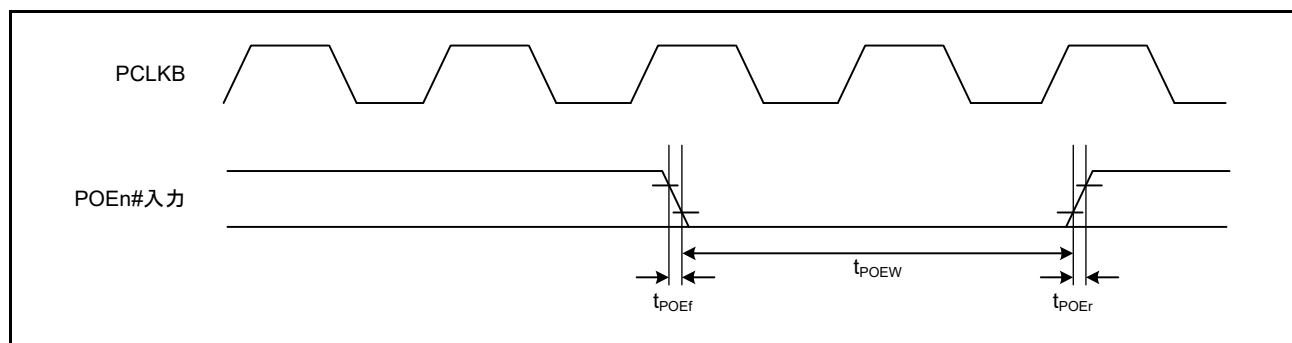
注1. t_{PBcyc} : PCLKBの周期

図 38.22 POE# 入力タイミング (n = 0, 8, 10 ~ 12))

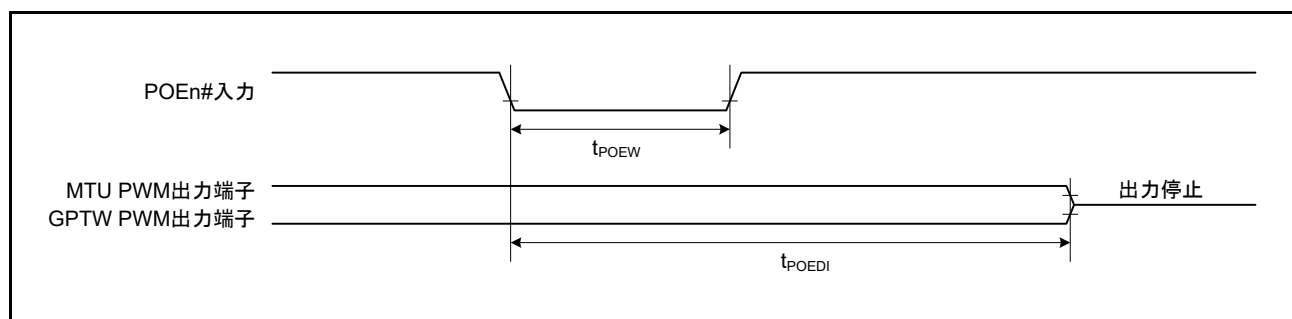


図 38.23 POE 出力ディセーブル時間 (POE# 端子の変化) (n = 0, 8, 10 ~ 12)

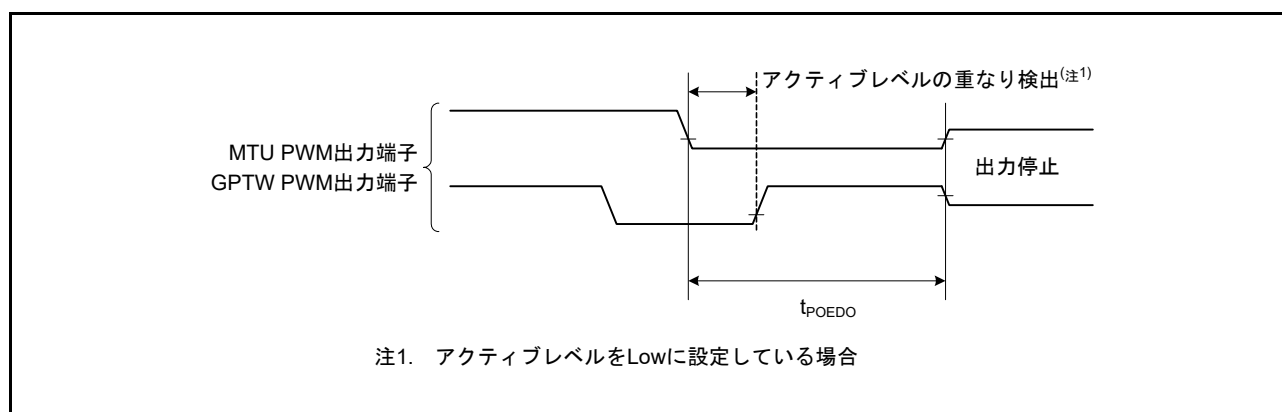


図 38.24 POE 出力ディセーブル時間 (出力端子の短絡)

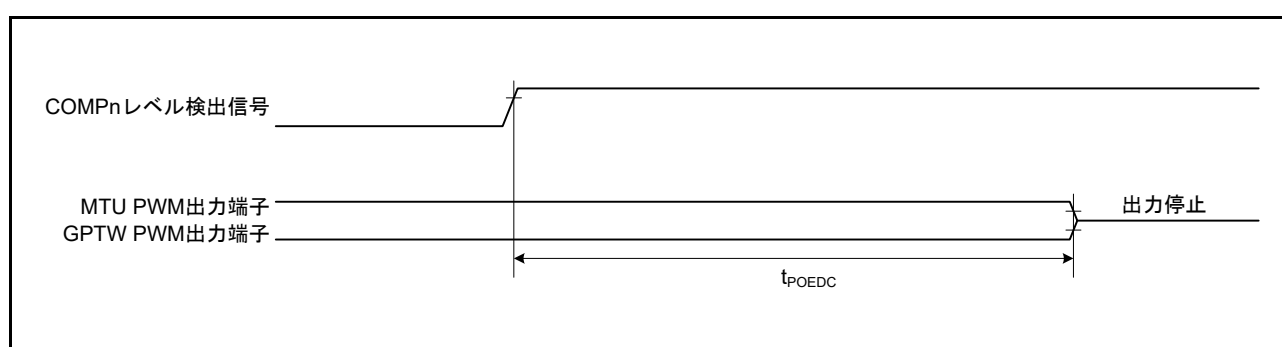
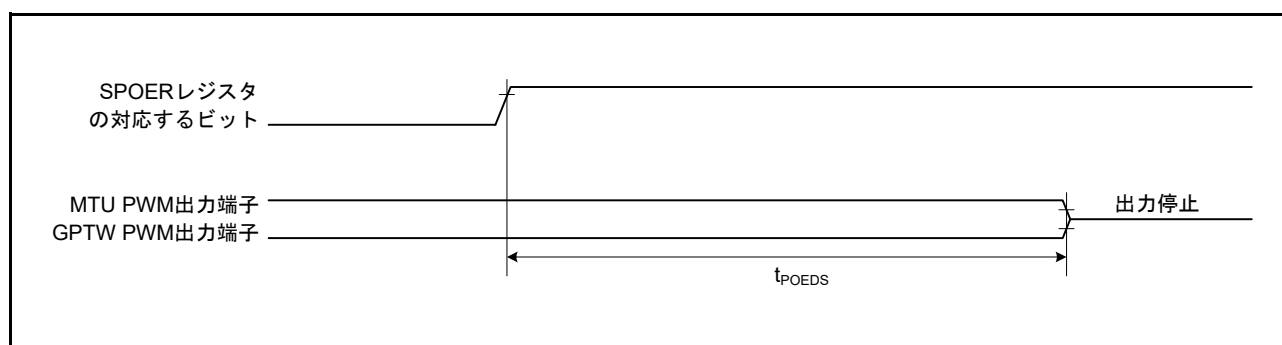
図 38.25 POE 出力ディセーブル時間 (コンパレータ出力検出) ($n = 0 \sim 2$)

図 38.26 POE 出力ディセーブル時間 (レジスタ設定)

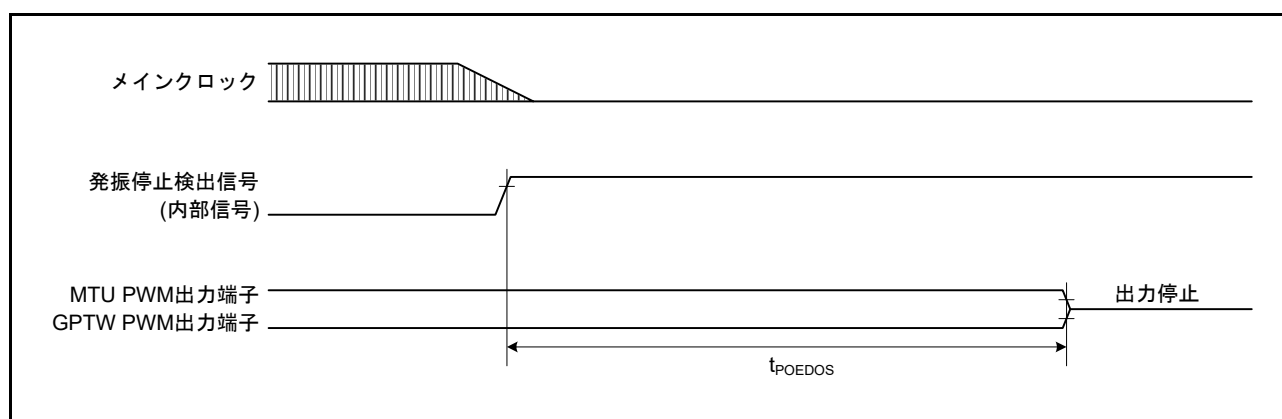


図 38.27 POE 出力ディセーブル時間 (発振停止検出)

38.5.5.4 POEG

表 38.38 POEG タイミング

項目		記号	min	max	単位 (注1)	測定条件
POEG	GTETR Gn入力パルス幅 (n = A)	t_{POEGW}	1.5	—	t_{PBcyc}	図 38.28
	GTETRGA入力立ち上がり/立ち下がり時間	t_{POEGr} , t_{POEGf}	—	0.1	μs	
	出力ディセーブル 時間	GTETR Gn端子の入力レベル 検出 (フラグ経由)	t_{POEGDI}	—	$3 \times t_{PBcyc} + 0.34$	図 38.29 デジタルノイズフィルタ 不使用時 (POEG Gn.NFEN = 0 (n = A))
		GPTWからの出力停止信号 検出 (デッドタイムエラー、同 時High出力、同時Low出 力)	t_{POEGDE}	—	0.5	図 38.30
		コンパレータエッジ検出	t_{POEGDC}	—	$4 \times t_{PBcyc} + 0.5$	図 38.31 コンパレータCのノイズ フィルタ不使用時 (CMPCTL.NFE = 0)、コン パレータCの検出時間は除 く
		レジスタ設定	t_{POEGDS}	—	$t_{PBcyc} + 0.3$	図 38.32 レジスタアクセス時間は 除く
		発振停止検出	$t_{POEGDOS}$	—	8	図 38.33
		GTETR Gn端子の入力レベル 検出 (フラグ非経由)	$t_{POEGDDI}$	—	$3 \times t_{PBcyc} + 0.34$	図 38.34
		コンパレータレベル検出	$t_{POEGDDC}$	—	$t_{PBcyc} + 0.3$	図 38.35 コンパレータCのノイズ フィルタ不使用時 (CMPCTL.NFE = 0)、コン パレータCの検出時間は除 く

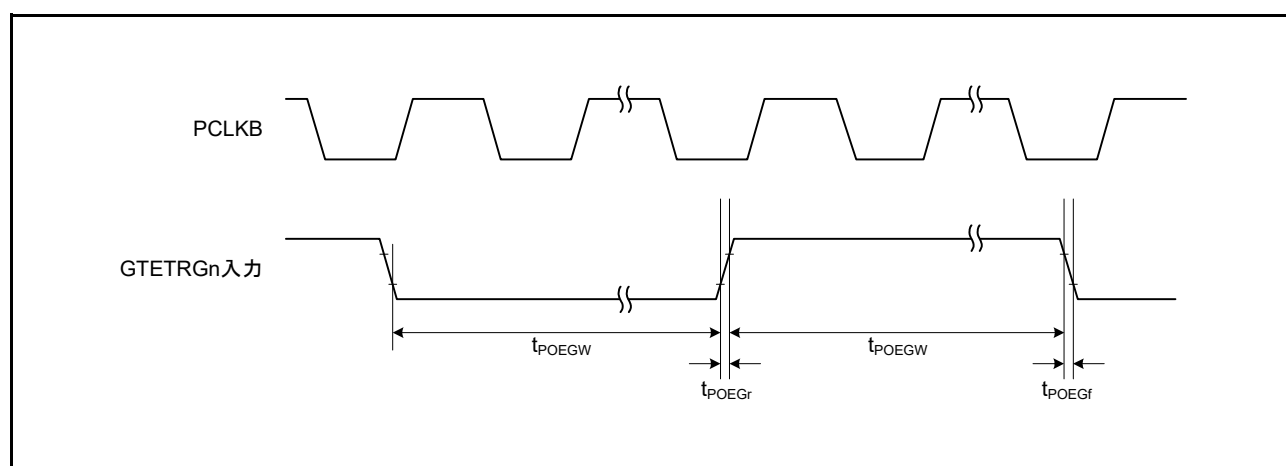
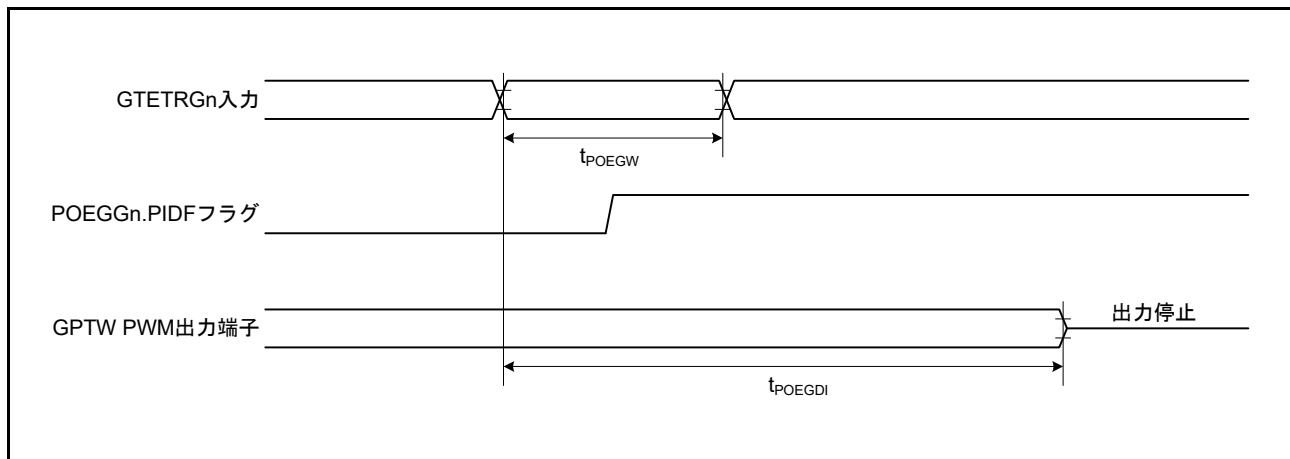
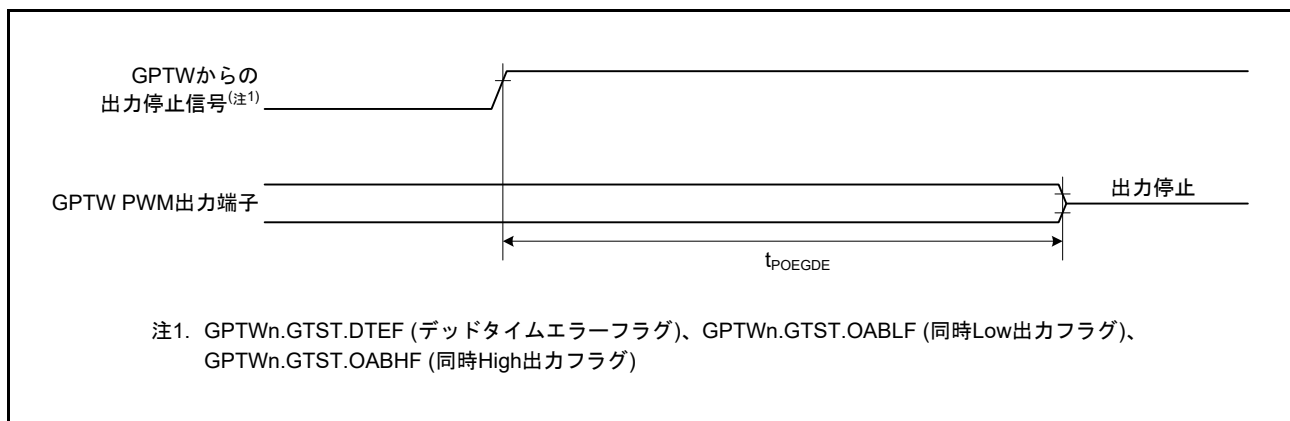
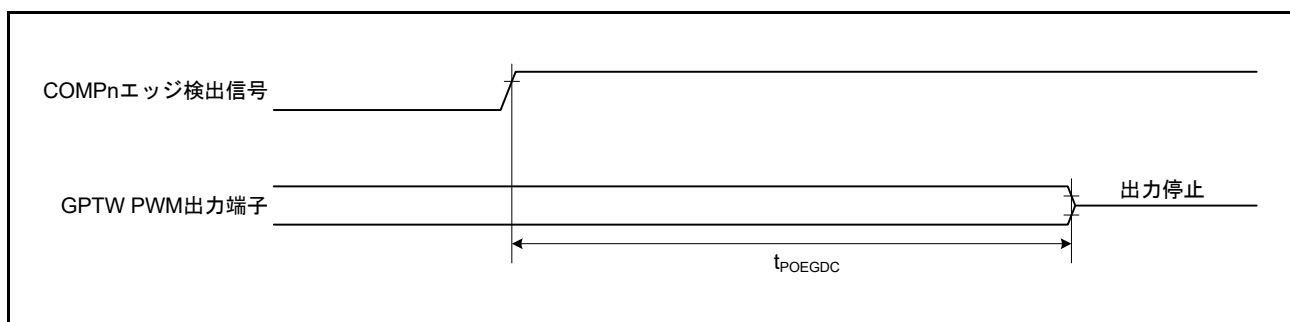
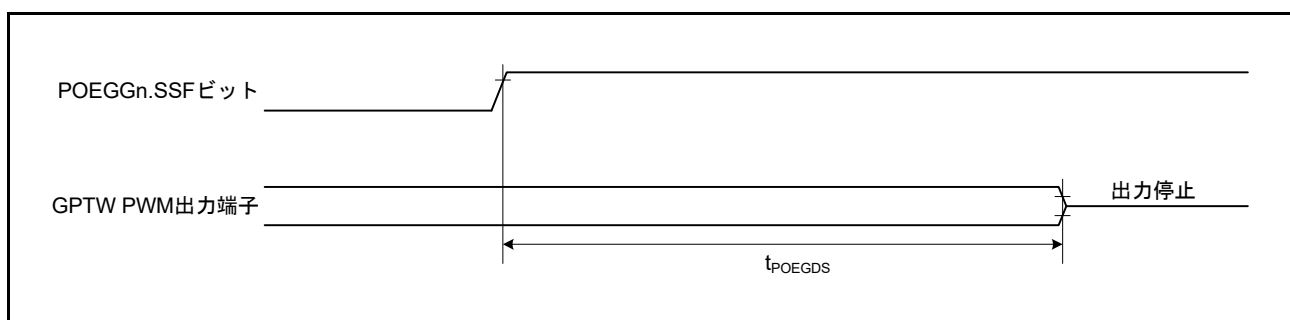
注 1. t_{PBcyc} : PCLKBの周期

図 38.28 POEG 入力タイミング (n = A)

図 38.29 POEG 出力ディセーブル時間 (GTETRn 端子の入レベル検出 (フラグ経由)) ($n = A$)図 38.30 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出) ($n = 0 \sim 2$)図 38.31 POEG 出力ディセーブル時間 (コンパレータエッジ検出) ($n = 0 \sim 2$)図 38.32 POEG 出力ディセーブル時間 (レジスタ設定) ($n = A$)

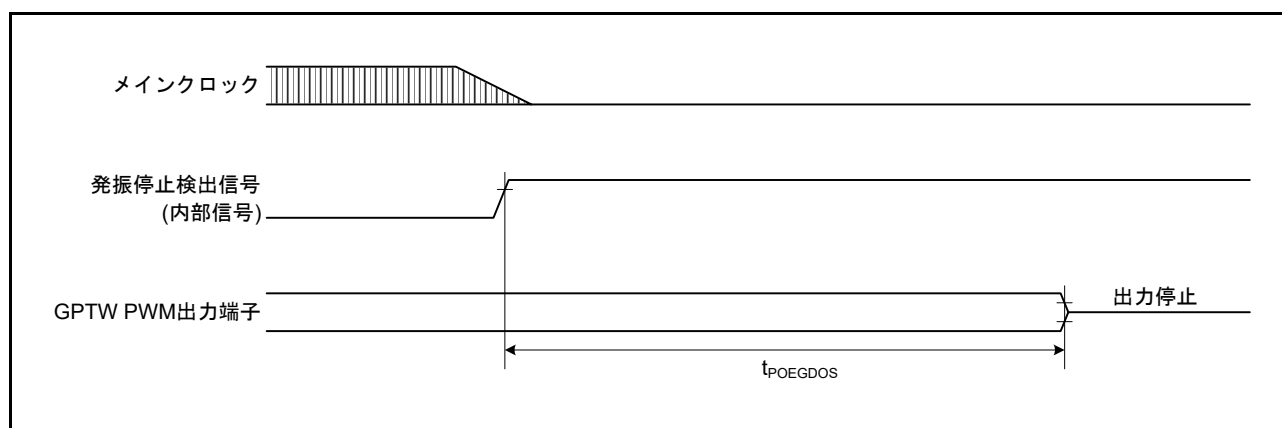


図 38.33 POEG 出力ディセーブル時間 (発振停止検出)

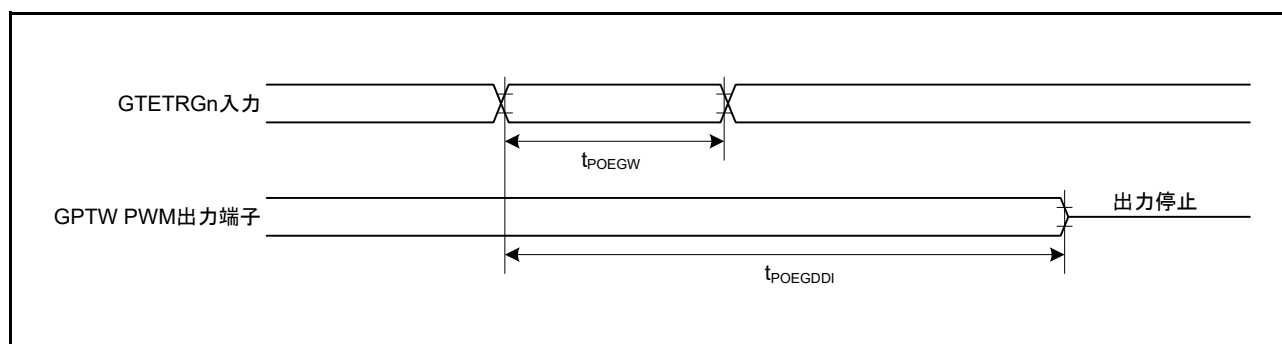


図 38.34 POEG 出力ディセーブル時間 (GTETR Gn 端子の入レベル検出 (フラグ非経由)) (n = A)

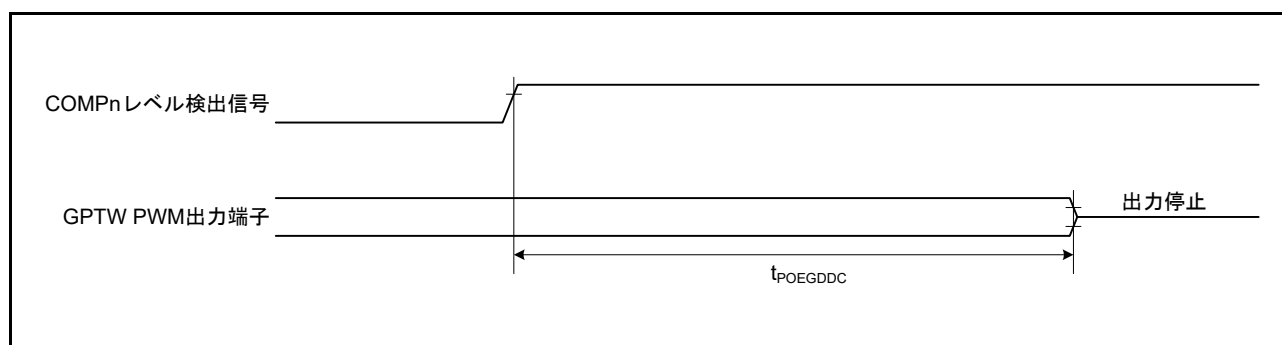


図 38.35 POEG 出力ディセーブル時間 (コンパレータレベル検出) (n = 0 ~ 2)

38.5.5.5 GPTW

表 38.39 GPTW タイミング

項目			記号	min	max	単位 (注1)	測定条件
GPTW	インプットキャプチャ 入力パルス幅	単エッジ指定	t_{GTICW}	1.5	—	t_{PBcyc}	図 38.36
		両エッジ指定		2.5	—		
	インプットキャプチャ立ち上がり/立ち下がり 時間		$t_{GTICr}/$ t_{GTICf}	—	0.1	$\mu s/V$	図 38.36
	外部トリガ入力パルス幅	単エッジ指定	t_{GTEW}	1.5	—	t_{PBcyc}	図 38.37
		両エッジ指定		2.5	—		
	タイマクロックパルス幅		$t_{GTCKWH}/$ t_{GTCKWL}	1.5	—	t_{PBcyc}	図 38.38
	タイマクロック立ち上がり/立ち下がり時間		$t_{GTCKr}/$ t_{GTCKf}	—	0.1	$\mu s/V$	図 38.38

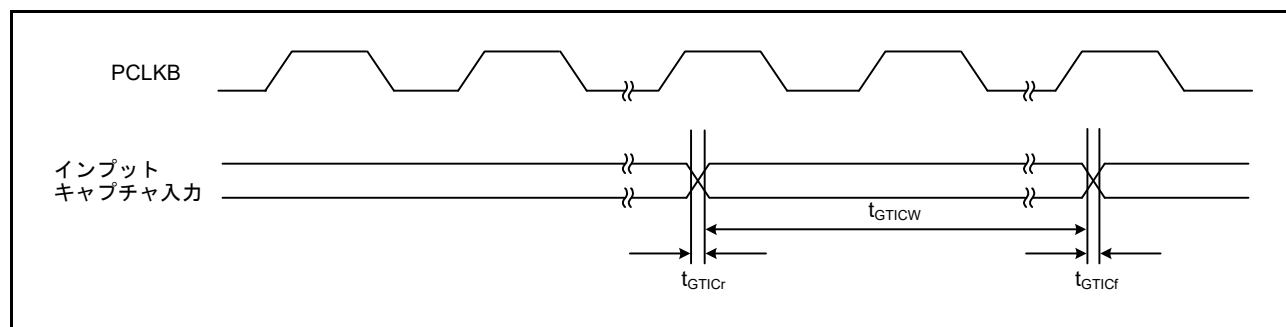
注1. t_{PBcyc} : PCLKBの周期

図 38.36 GPTW インプットキャプチャ入力タイミング

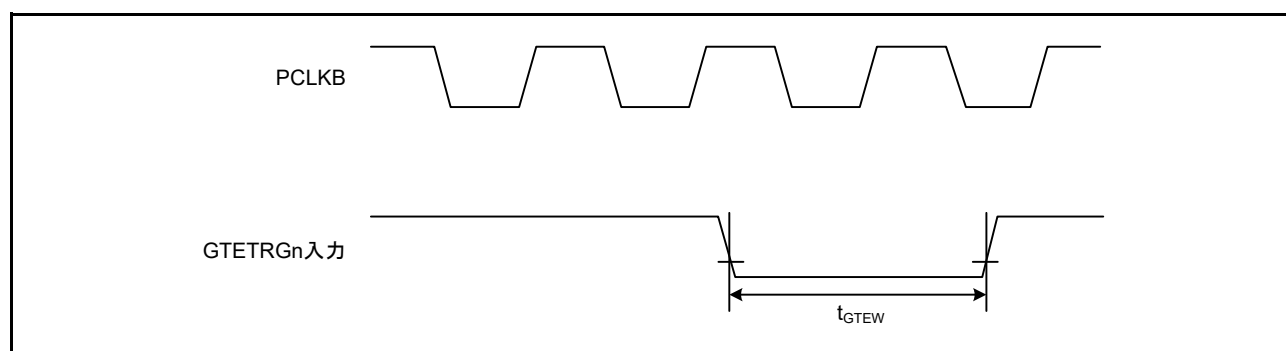


図 38.37 GPTW 外部トリガ入力タイミング (n = A)

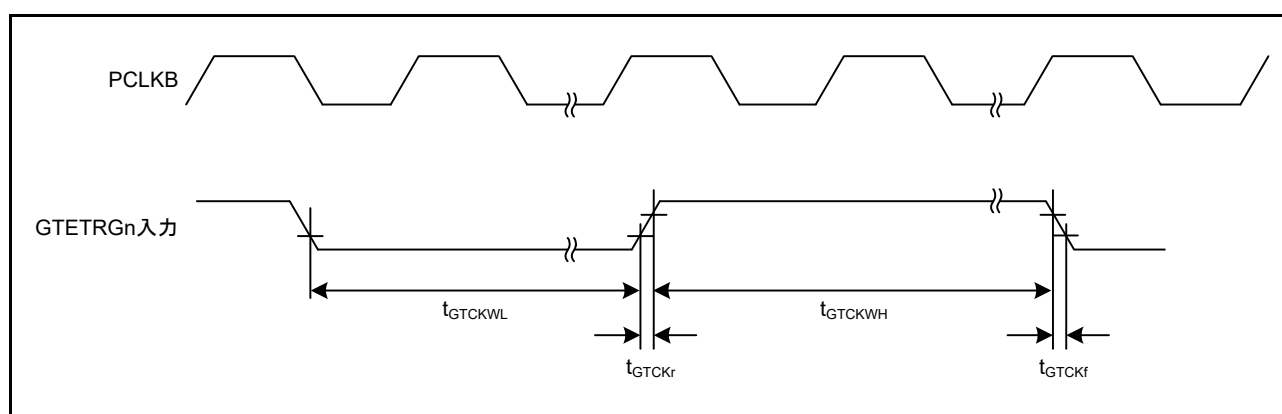


図 38.38 GPTW クロック入力タイミング (n = A)

38.5.5.6 TMR

表 38.40 TMR タイミング

項目			記号	min	max	単位 (注1)	測定条件
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{PBcyc}	図 38.39
		両エッジ指定	t_{TMCWL}	2.5	—		
	タイマクロック立ち上がり/立ち下がり時間		t_{TMCr} , t_{TMcf}	—	0.1	$\mu s/V$	

注 1. t_{PBcyc} : PCLKB の周期

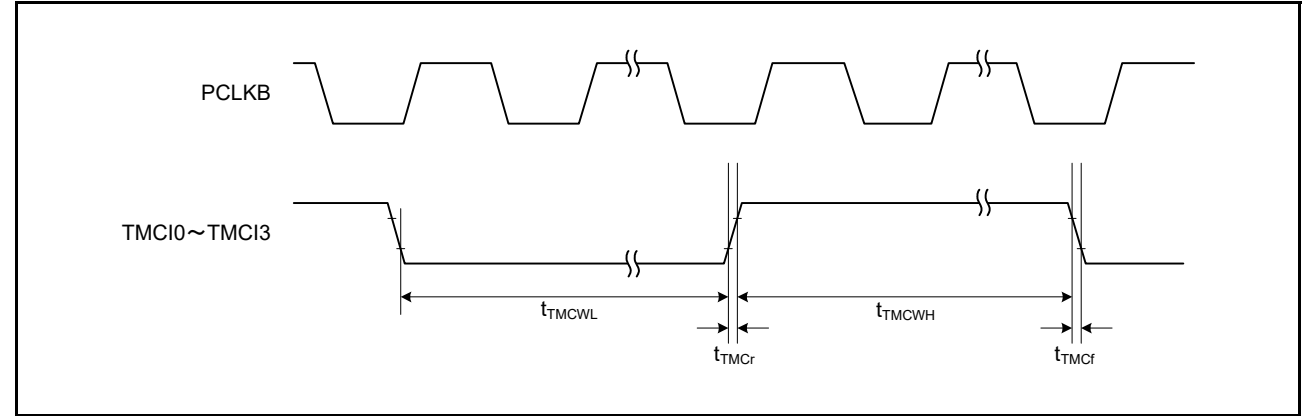


図 38.39 TMR クロック入力タイミング

38.5.5.7 SCI

表 38.41 SCI タイミング

項目				記号	min	max	単位 (注1)	測定条件	
SCI (チャンネル1, 5, 6, 12)	入力クロックサイクル時間		調歩同期	t _{Scyc}	4	—	t _{PBcyc}	図 38.40	
			クロック同期		6	—			
	入力クロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	入力クロック立ち上がり時間		t _{SCKr}	—	20	ns			
	入力クロック立ち下がり時間		t _{SCKf}	—	20	ns			
	出カクロック サイクル時間	調歩同期	t _{Scyc}	8	—	t _{PBcyc}	図 38.41		
		クロック同期		4	—				
	出カクロックパルス幅		t _{SCKW}	0.4	0.6	t _{Scyc}			
	出カクロック立ち上がり時間		t _{SCKr}	—	20	ns			
	出カクロック立ち下がり時間		t _{SCKf}	—	20	ns			
	送信データ遅延時間(マスタ)	クロック同期		t _{TXD}	—	40		ns	
	送信データ遅延時間(スレーブ)	クロック同期	4.0V ≤ VCC		—	40		ns	
			2.7V ≤ VCC		—	65		ns	
	受信データセットアップ時間 (マスタ)	クロック同期	4.0V ≤ VCC	t _{RXS}	40	—		ns	
			2.7V ≤ VCC		65	—		ns	
	受信データセットアップ時間 (スレーブ)	クロック同期				40		—	ns
	受信データホールド時間	クロック同期		t _{RXH}	40	—		ns	

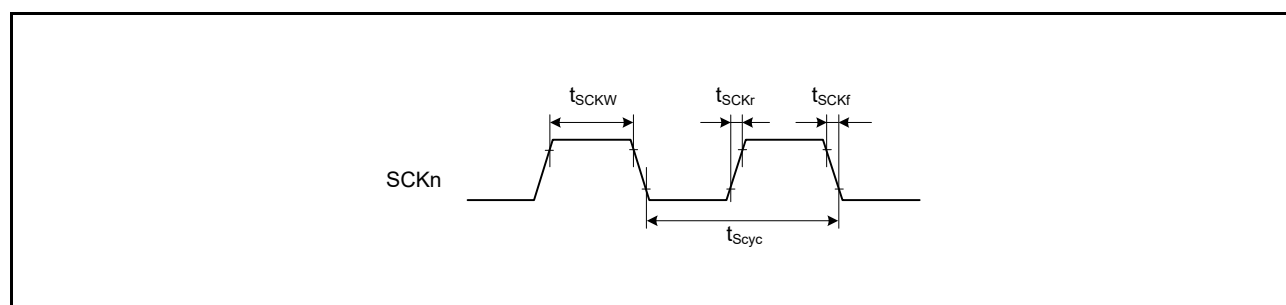
注 1. t_{PBcyc} : PCLKBの周期

図 38.40 SCK クロック入力タイミング (n = 1, 5, 6, 12)

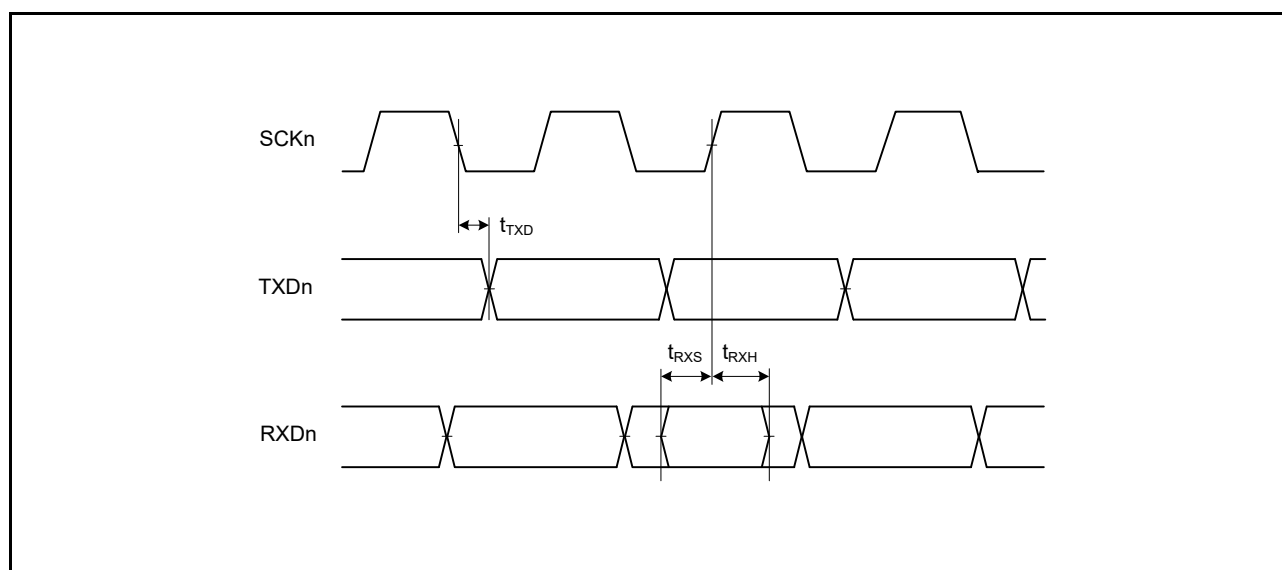


図 38.41 SCI 入出力タイミング / クロック同期式モード (n = 1, 5, 6, 12)

表 38.42 簡易 I²C タイミング

項目		記号	min	max	単位	測定条件
簡易 I ² C (スタンダード モード)	SDA 立ち上がり時間	t_{Sr}	—	1000	ns	図 38.42
	SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$	ns	
	データセットアップ時間	t_{SDAS}	250	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注 1)	—	400	pF	
簡易 I ² C (ファストモード)	SDA 立ち上がり時間	t_{Sr}	—	300	ns	図 38.42
	SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SDA スパイクパルス除去時間	t_{SP}	0	$4 \times t_{PBcyc}$	ns	
	データセットアップ時間	t_{SDAS}	100	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注 1)	—	400	pF	

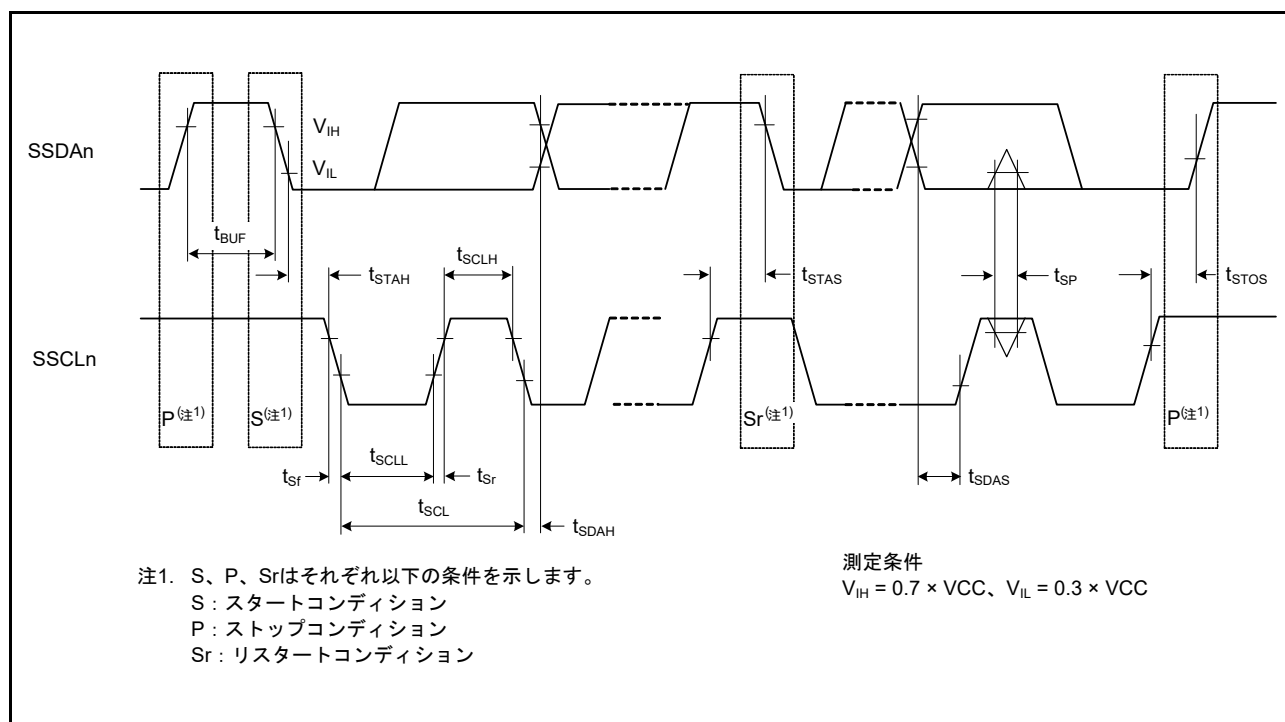
注. t_{PBcyc} : PCLKB の周期注 1. C_b はバスラインの容量総計です。図 38.42 簡易 I²C バスインタフェース入出力タイミング (n = 1, 5, 6, 12)

表 38.43 簡易SPIタイミング

項目			記号	min	max	単位 (注1)	測定条件
簡易SPI	SCKクロックサイクル出力(マスタ)		t_{SPcyc}	4	—	t_{PBcyc}	図 38.43
	SCKクロックサイクル入力(スレーブ)			6	—	t_{PBcyc}	
	SCKクロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり/立ち下がり時間		t_{SPCKr} , t_{SPCKf}	—	20	ns	
	データ入力セットアップ時間 (マスタ)	$4.0V \leq VCC$	t_{SU}	40	—	ns	図 38.44、 図 38.45
		$2.7V \leq VCC$		65	—		
	データ入力セットアップ時間(スレーブ)			40	—		
	データ入力ホールド時間		t_H	40	—	ns	
	SS入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	
	SS入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間(マスタ)		t_{OD}	—	40	ns	
	データ出力遅延時間(スレーブ)	$4.0V \leq VCC$		—	40		
		$2.7V \leq VCC$		—	65		
	データ出力ホールド時間(マスタ)		t_{OH}	-10	—	ns	
	データ出力ホールド時間(スレーブ)			-10	—		
	データ立ち上がり/立ち下がり時間		t_{Dr} , t_{Df}	—	20	ns	
	SSL入力立ち上がり/立ち下がり時間		t_{SSLr} , t_{SSLf}	—	20	ns	
	スレーブアクセス時間		t_{SA}	—	6	t_{PBcyc}	図 38.46、 図 38.47
	スレーブ出力開放時間		t_{REL}	—	6	t_{PBcyc}	

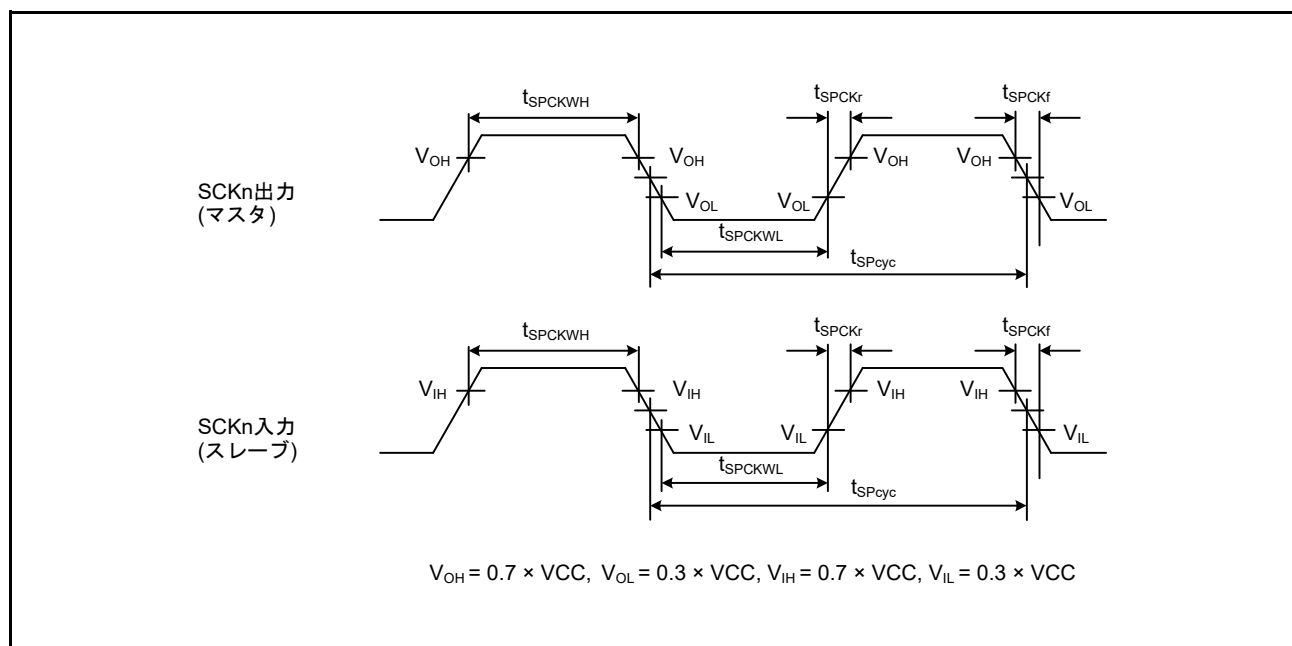
注1. t_{PBcyc} : PCLKBの周期

図 38.43 簡易SPIクロックタイミング (n = 1, 5, 6, 12)

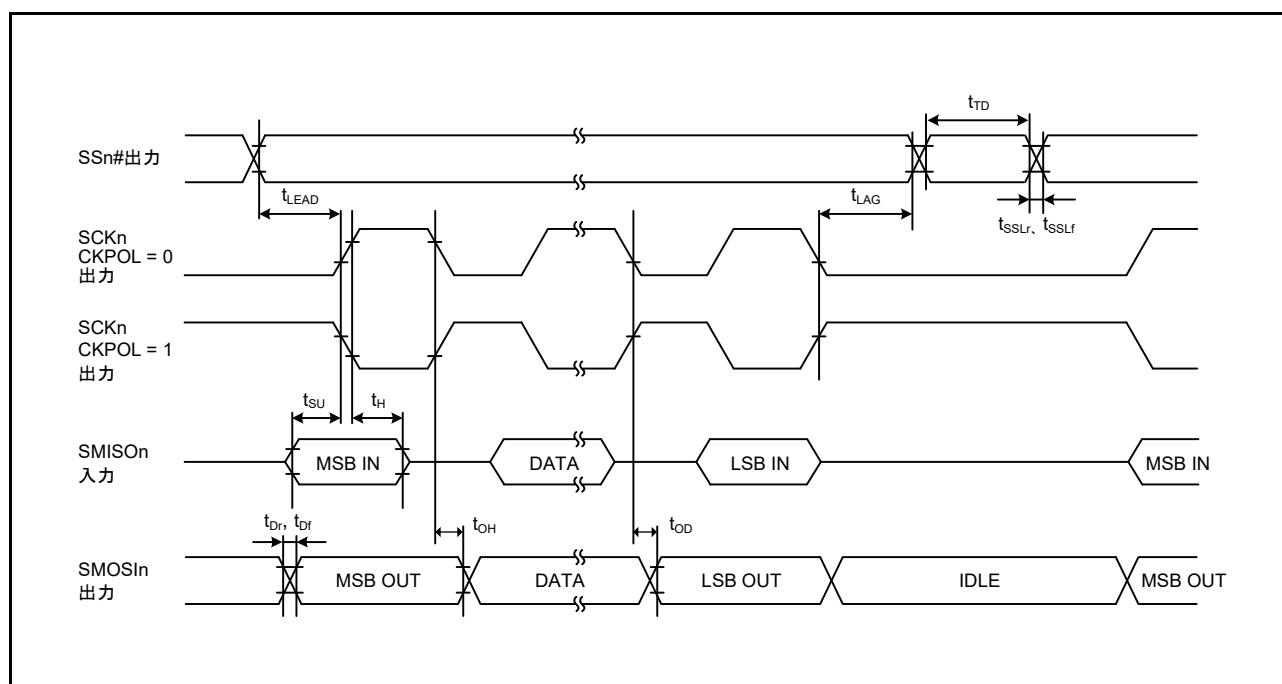


図 38.44 簡易 SPI タイミング (マスタ、CKPH = 1) (n = 1, 5, 6, 12)

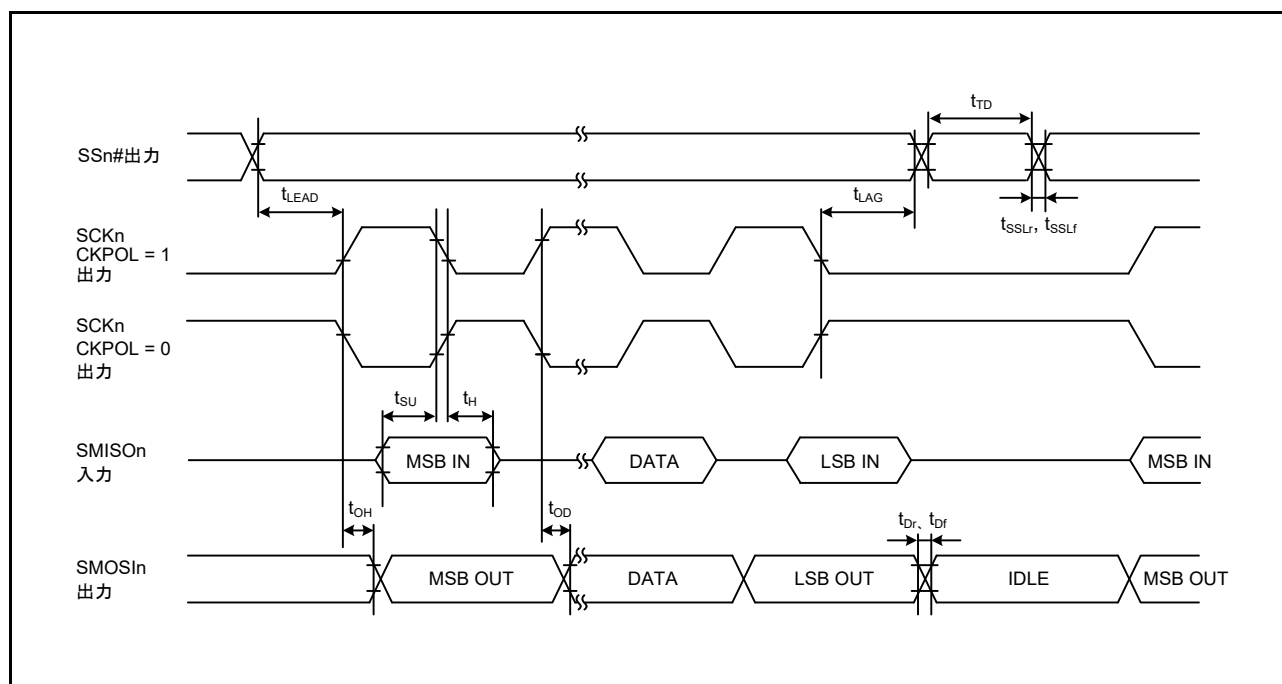


図 38.45 簡易 SPI タイミング (マスタ、CKPH = 0) (n = 1, 5, 6, 12)

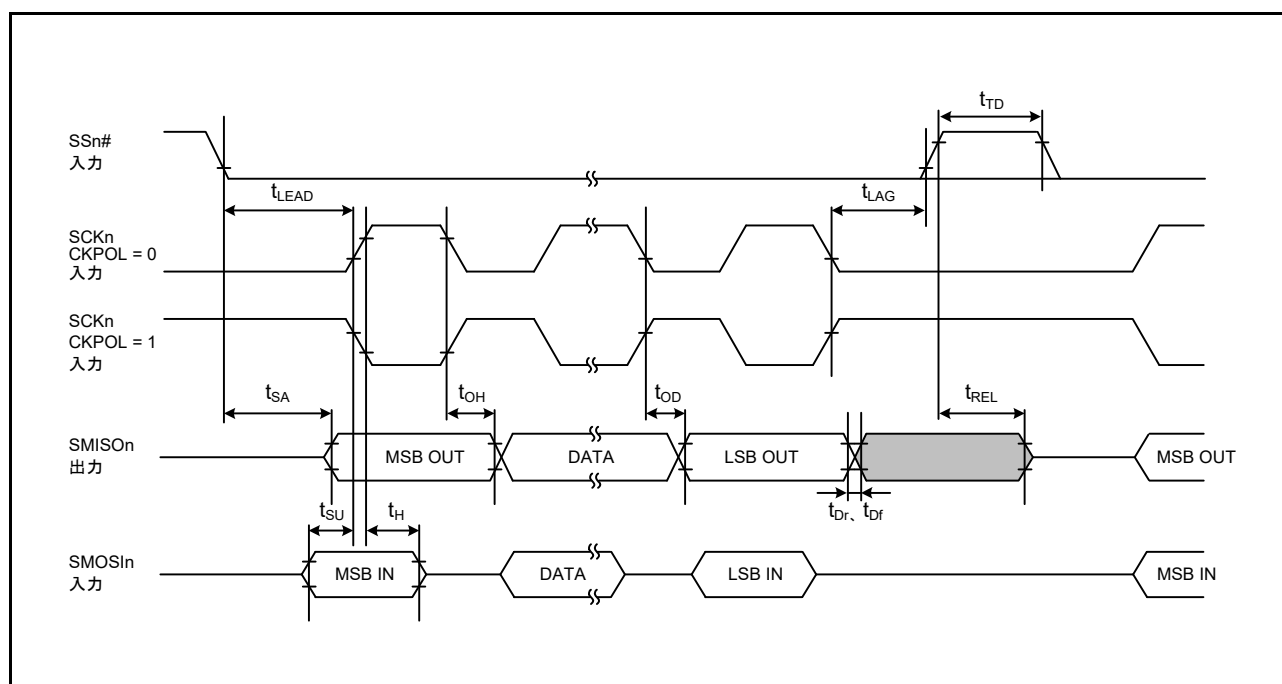


図 38.46 簡易 SPI タイミング (スレーブ、CKPH = 1) (n = 1, 5, 6, 12)

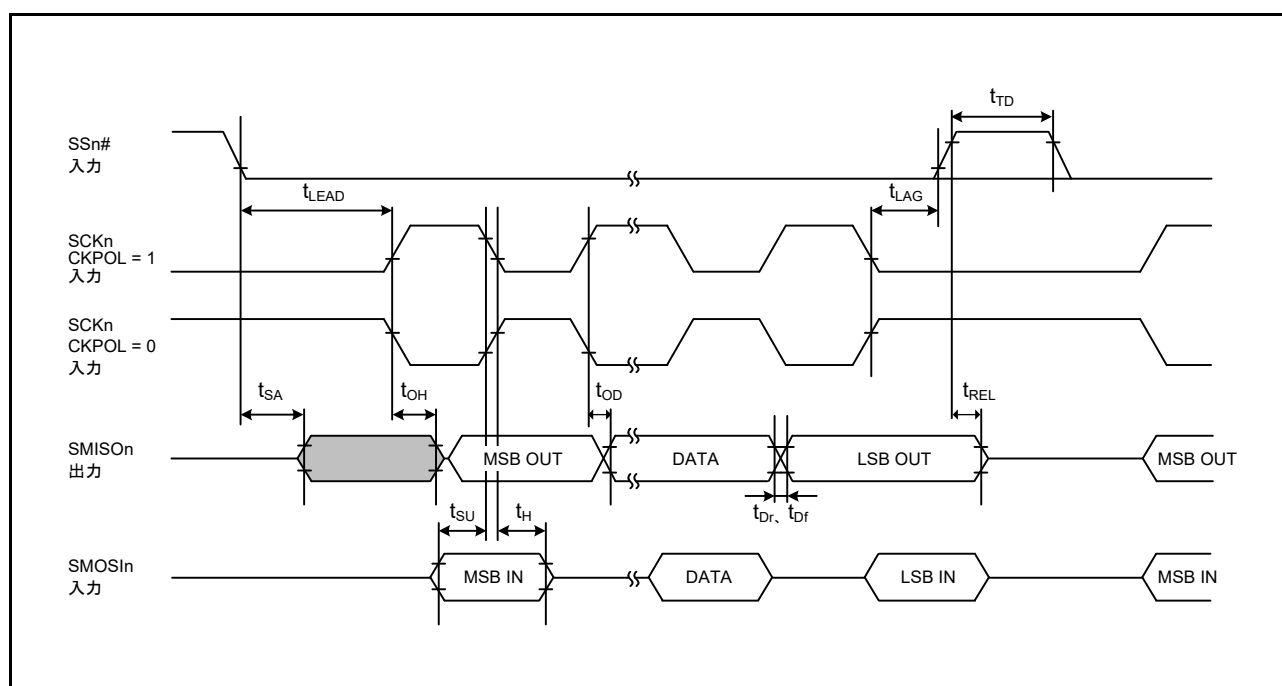


図 38.47 簡易 SPI タイミング (スレーブ、CKPH = 0) (n = 1, 5, 6, 12)

38.5.5.8 RIIC

表 38.44 RIIC タイミング

項目		記号	min (注1)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図 38.48
	SCL High パルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Low パルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディション入力ホールド 時間	$t_{STA H}$	$t_{IICcyc} + 300$	—	ns	
	リスタートコンディション入力セット アップ時間	$t_{STA S}$	1000	—	ns	
	ストップコンディション入力セット アップ時間	$t_{STO S}$	1000	—	ns	
	データセットアップ時間	$t_{SDA S}$	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	$t_{SDA H}$	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注2)	—	400	pF	
RIIC (ファストモード)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図 38.48
	SCL High パルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Low パルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	$20 \times (\text{外付けプルアップ電圧} / 5.5V)$	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	$20 \times (\text{外付けプルアップ電圧} / 5.5V)$	300	ns	
	SCL、SDA スパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDA バスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	スタートコンディション入力ホールド 時間	$t_{STA H}$	$t_{IICcyc} + 300$	—	ns	
	リスタートコンディション入力セット アップ時間	$t_{STA S}$	300	—	ns	
	ストップコンディション入力セット アップ時間	$t_{STO S}$	300	—	ns	
	データセットアップ時間	$t_{SDA S}$	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	$t_{SDA H}$	0	—	ns	
	SCL、SDA の容量性負荷	C_b (注2)	—	400	pF	

注. t_{IICcyc} : RIIC の内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFE = 1 でデジタルフィルタを有効にした状態で ICMR3.NF[1:0] = 11b の場合を示します。

注2. C_b はバスラインの容量総計です。

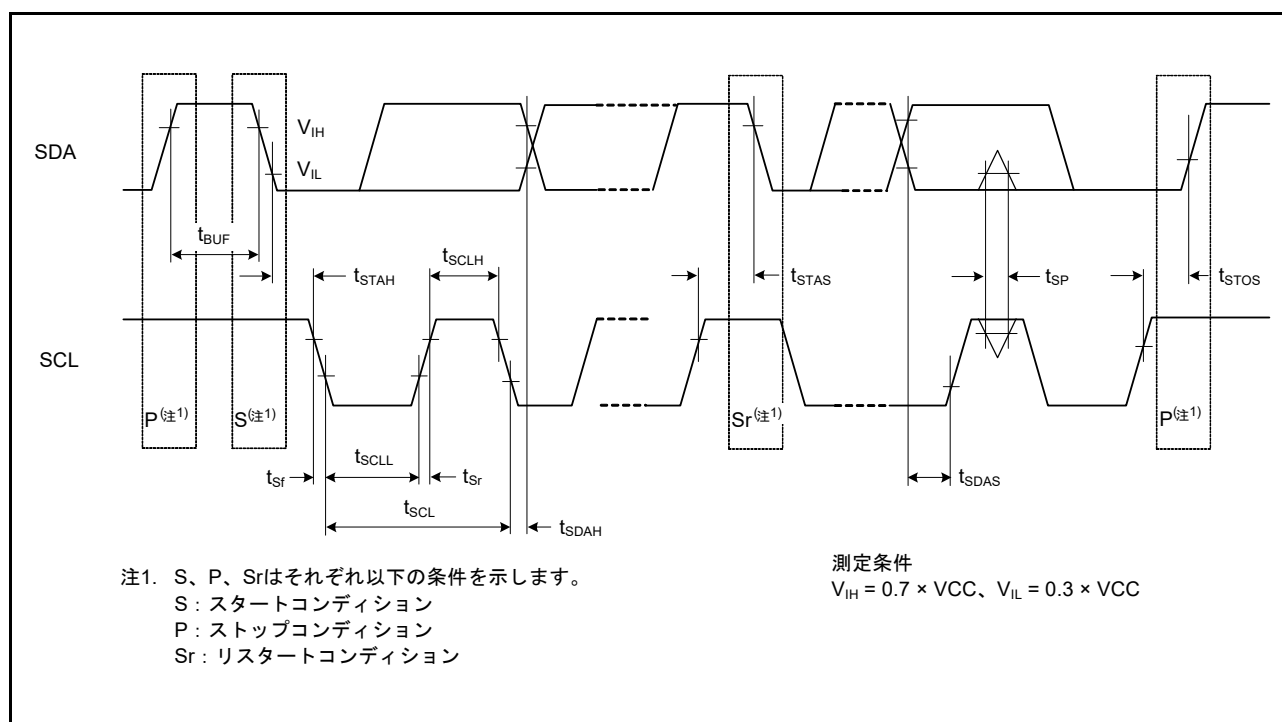


図 38.48 RIIC バスインタフェース入出力タイミング

38.5.5.9 A/Dコンバータトリガ

表 38.45 A/Dコンバータトリガタイミング

項目		記号	min	max	単位 (注1)	測定条件
A/Dコンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{PBcyc}	図 38.49

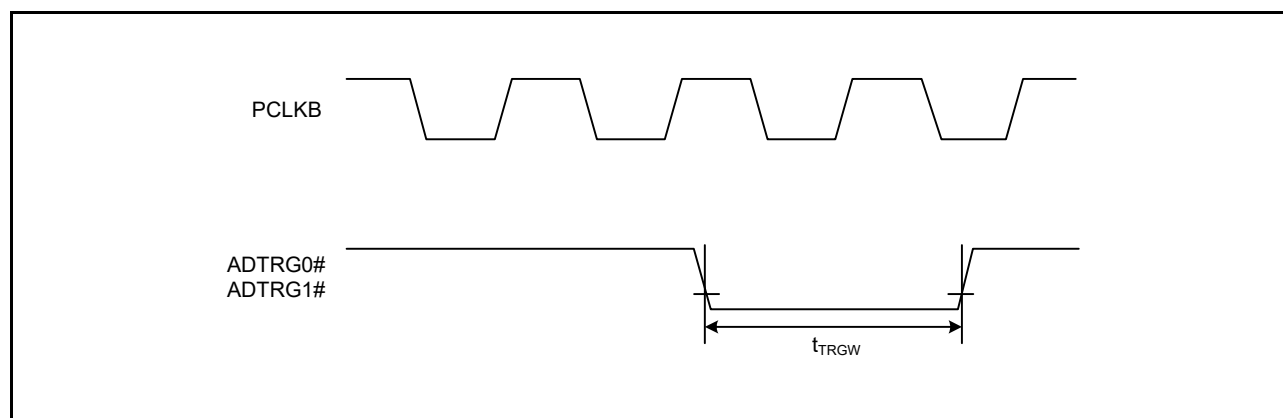
注1. t_{PBcyc} : PCLKBの周期

図 38.49 A/Dコンバータ外部トリガ入力タイミング

38.5.5.10 CAC

表 38.46 CACタイミング

項目		記号	min	max	単位 (注1)	測定条件
CAC	CACREF入力パルス幅	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	—	ns	
			$5 \times t_{cac} + 6.5 \times t_{PBcyc}$			
	CACREF入力立ち上がり/立ち下がり時間	$t_{CACREFr}$ $t_{CACREFf}$	—	0.1	$\mu s/V$	

注1. t_{PBcyc} : PCLKBの周期注2. t_{cac} : CACカウントクロックソースの周期

38.5.5.11 CLKOUT

表 38.47 CLKOUT タイミング

項目		記号	min	max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注2)	t_{Cyc}	62.5	—	ns	図 38.50
	CLKOUT 端子 High レベルパルス幅 (注1)	t_{CH}	15	—	ns	
	CLKOUT 端子 Low レベルパルス幅 (注1)	t_{CL}	15	—	ns	
	CLKOUT 端子出力立ち上がり時間	t_{Cr}	—	12	ns	
	CLKOUT 端子出力立ち下がり時間	t_{Cf}	—	12	ns	

注1. クロック出カソースに LOCO 選択 (CKOCR.CKOSSEL[3:0] ビット = 0000b) の場合は、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注2. XTAL 外部クロック入力または発振子を使用して 1 分周 (CKOCR.CKOSSEL[3:0] ビット = 0010b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比 45 ~ 55% で上記を満たします。

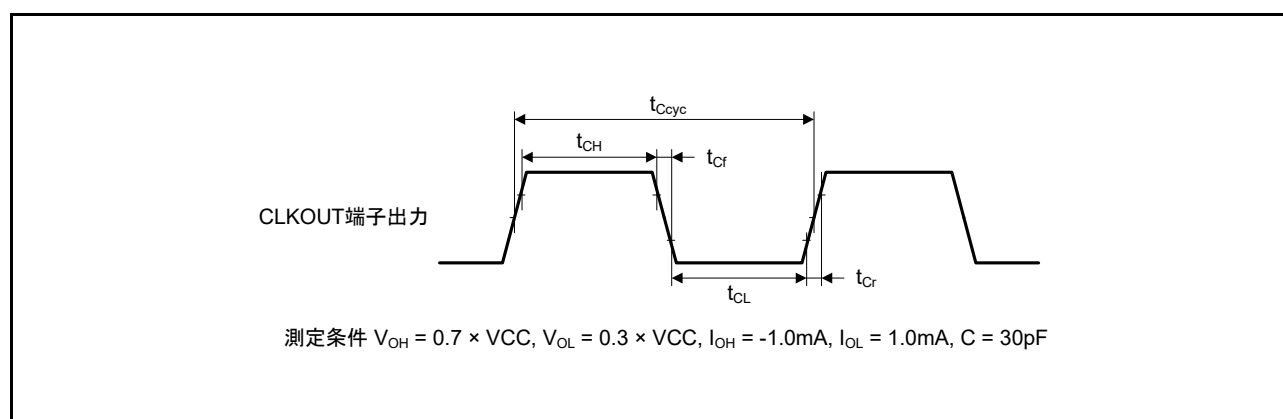


図 38.50 CLKOUT 出力タイミング

38.6 A/D 変換特性

表 38.48 A/D 変換特性 (1)

条件: $1 \sim 64\text{MHz}$, $4.5\text{V} \leq \text{VCC} \leq 5.5\text{V}$, $4.5\text{V} \leq \text{VREFH0} \leq \text{VCC}$, $\text{VSS} = \text{VREFL0} = 0\text{V}$, $T_a = -40 \sim 125^\circ\text{C}$, 信号源インピーダンス = $0.5\text{k}\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	64	MHz	
分解能		—	—	12	ビット	
変換時間 (注1)		0.50 (0.164)	—	—	μs	ADSSTRn = 0Ah
アナログ入力容量	Cs	—	—	g (注2)	pF	
アナログ入力抵抗	Rs	—	—	1.3 (注2)	$\text{k}\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差	基準電圧が VREFH0/ VREFL0 のとき	—	± 1.0	± 4.5	LSB	VCC = VREFH0 の場合
		—	± 1.0	± 5.0	LSB	VCC > VREFH0 の場合
	基準電圧が VCC/VSS のとき	—	± 1.0	± 7.0	LSB	
フルスケール誤差	基準電圧が VREFH0/ VREFL0 のとき	—	± 1.0	± 4.5	LSB	VCC = VREFH0 の場合
		—	± 1.0	± 5.0	LSB	VCC > VREFH0 の場合
	基準電圧が VCC/VSS のとき	—	± 1.0	± 7.0	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度	基準電圧が VREFH0/ VREFL0 のとき	—	± 2.5	± 5.0	LSB	VCC = VREFH0 の場合
		—	± 2.5	± 5.5	LSB	VCC > VREFH0 の場合
	基準電圧が VCC/VSS のとき	—	± 2.5	± 7.5	LSB	
DNL 微分非直線性誤差	基準電圧が VREFH0/ VREFL0 のとき	—	± 1.0	± 1.5	LSB	VCC = VREFH0 の場合
		—	± 1.0	± 2.0	LSB	VCC > VREFH0 の場合
	基準電圧が VCC/VSS のとき	—	± 1.0	± 1.5	LSB	
INL 積分非直線性誤差	基準電圧が VREFH0/ VREFL0 のとき	—	± 1.5	± 3.0	LSB	VCC = VREFH0 の場合
		—	± 1.5	± 3.5	LSB	VCC > VREFH0 の場合
	基準電圧が VCC/VSS のとき	—	± 1.5	± 3.0	LSB	

注. 変換対象のアナログ入力端子1本以外、すべての端子のレベルを固定し、A/D変換を行うユニット以外、CPUも含めてすべての周辺機能が停止しているときの特性です。この条件以外では、精度や誤差が上記特性の範囲に収まらないことがあります。

注. 絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。()はサンプリング時間を示します。

注2. 参考値

表 38.49 A/D変換特性(2)

条件: $1 \sim 48\text{MHz}$, $4.5\text{V} \leq \text{VCC} \leq 5.5\text{V}$, $4.5\text{V} \leq \text{VREFH0} \leq \text{VCC}$, $\text{VSS} = \text{VREFL0} = 0\text{V}$, $T_a = -40 \sim 125^\circ\text{C}$, 信号源インピーダンス = $0.5\text{k}\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	48	MHz	
分解能		—	—	12	ビット	
変換時間(注1)		0.67 (0.219)	—	—	μs	ADSSTRn = 0Ah
アナログ入力容量	Cs	—	—	9(注2)	pF	
アナログ入力抵抗	Rs	—	—	1.3(注2)	$\text{k}\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.0	± 4.5	LSB	VCC = VREFH0の場合
		—	± 1.0	± 5.0	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	± 1.0	± 7.0	LSB	
フルスケール誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.0	± 4.5	LSB	VCC = VREFH0の場合
		—	± 1.0	± 5.0	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	± 1.0	± 7.0	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度	基準電圧がVREFH0/ VREFL0のとき	—	± 2.5	± 5.0	LSB	VCC = VREFH0の場合
		—	± 2.5	± 5.5	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	± 2.5	± 7.5	LSB	
DNL 微分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.0	± 1.5	LSB	VCC = VREFH0の場合
		—	± 1.0	± 2.0	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	± 1.0	± 1.5	LSB	
INL 積分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.5	± 3.0	LSB	VCC = VREFH0の場合
		—	± 1.5	± 3.5	LSB	VCC > VREFH0の場合
	基準電圧がVCC/VSS のとき	—	± 1.5	± 3.0	LSB	

注. 変換対象のアナログ入力端子1本以外、すべての端子のレベルを固定し、A/D変換を行うユニット以外、CPUも含めてすべての周辺機能が停止しているときの特性です。この条件以外では、精度や誤差が上記特性の範囲に収まらないことがあります。

注. 絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。()はサンプリング時間を示します。

注2. 参考値

表 38.50 A/D変換特性(3)

条件: $1 \sim 48\text{MHz}$, $2.7\text{V} \leq \text{VCC} \leq 5.5\text{V}$, $2.7\text{V} \leq \text{VREFH0} \leq \text{VCC}$, $\text{VSS} = \text{VREFL0} = 0\text{V}$, $T_a = -40 \sim 125^\circ\text{C}$, 信号源インピーダンス = $0.5\text{k}\Omega$

項目		min	typ	max	単位	測定条件
周波数		1	—	48	MHz	
分解能		—	—	12	ビット	
変換時間(注1)		0.79 (0.344)	—	—	μs	ADSSTRn = 10h
アナログ入力容量	Cs	—	—	9 (注2)	pF	
アナログ入力抵抗	Rs	—	—	1.9 (注2)	$\text{k}\Omega$	
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.0	± 4.5	LSB	VCC = VREFH0 の場合
		—	± 1.0	± 6.0	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	± 1.0	± 8.5	LSB	
フルスケール誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.0	± 4.5	LSB	VCC = VREFH0 の場合
		—	± 1.0	± 6.0	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	± 1.0	± 8.5	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度	基準電圧がVREFH0/ VREFL0のとき	—	± 2.5	± 5.5	LSB	VCC = VREFH0 の場合
		—	± 2.5	± 7.0	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	± 2.5	± 9.5	LSB	
DNL 微分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.0	± 1.5	LSB	VCC = VREFH0 の場合
		—	± 1.0	± 2.0	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	± 1.0	± 1.5	LSB	
INL 積分非直線性誤差	基準電圧がVREFH0/ VREFL0のとき	—	± 1.5	± 3.0	LSB	VCC = VREFH0 の場合
		—	± 1.5	± 4.0	LSB	VCC > VREFH0 の場合
	基準電圧がVCC/VSS のとき	—	± 1.5	± 3.0	LSB	

注. 変換対象のアナログ入力端子1本以外、すべての端子のレベルを固定し、A/D変換を行うユニット以外、CPUも含めてすべての周辺機能が停止しているときの特性です。この条件以外では、精度や誤差が上記特性の範囲に収まらないことがあります。

注. 絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。()はサンプリング時間を示します。

注2. 参考値

表 38.51 信号源インピーダンスと必要な最小サンプリング時間

信号源インピーダンス[k Ω]	必要なサンプリング時間[ADCLK]		
	$4.5\text{V} \leq \text{VCC} \leq 5.5\text{V}$ $4.5\text{V} \leq \text{VREFH0} \leq \text{VCC}$		$2.7\text{V} \leq \text{VCC} \leq 5.5\text{V}$ $2.7\text{V} \leq \text{VREFH0} \leq \text{VCC}$
	ADCLK = 64MHz	ADCLK = 48MHz	ADCLK = 48MHz
0.5	10	10	16
2.2	25	24	24
4.7	52	43	43
10	101	80	80
22	210	160	160

表 38.52 A/D内部基準電圧特性

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャネル (注1)	1.42	1.48	1.54	V	
内部基準電圧出力安定時間	—	—	5	μs	
サンプリング時間 (注2)	3.9	—	—	μs	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。
注2. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTROレジスタを設定してください。

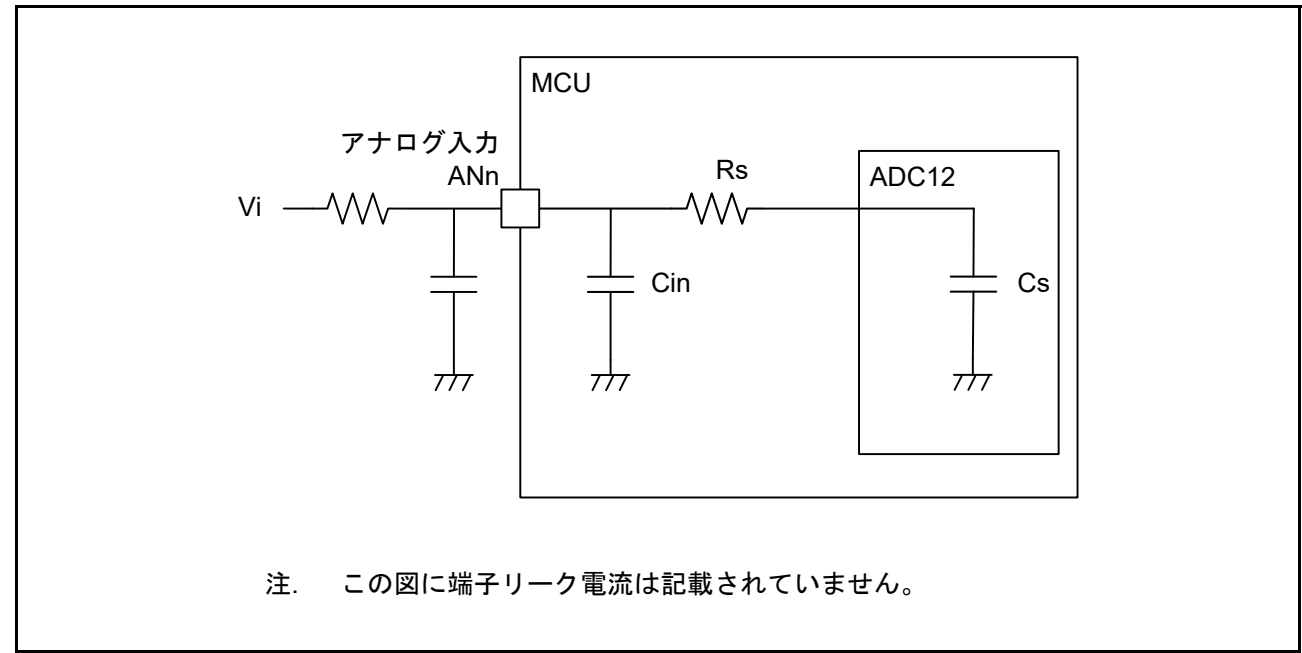


図 38.51 アナログ入力の等価回路

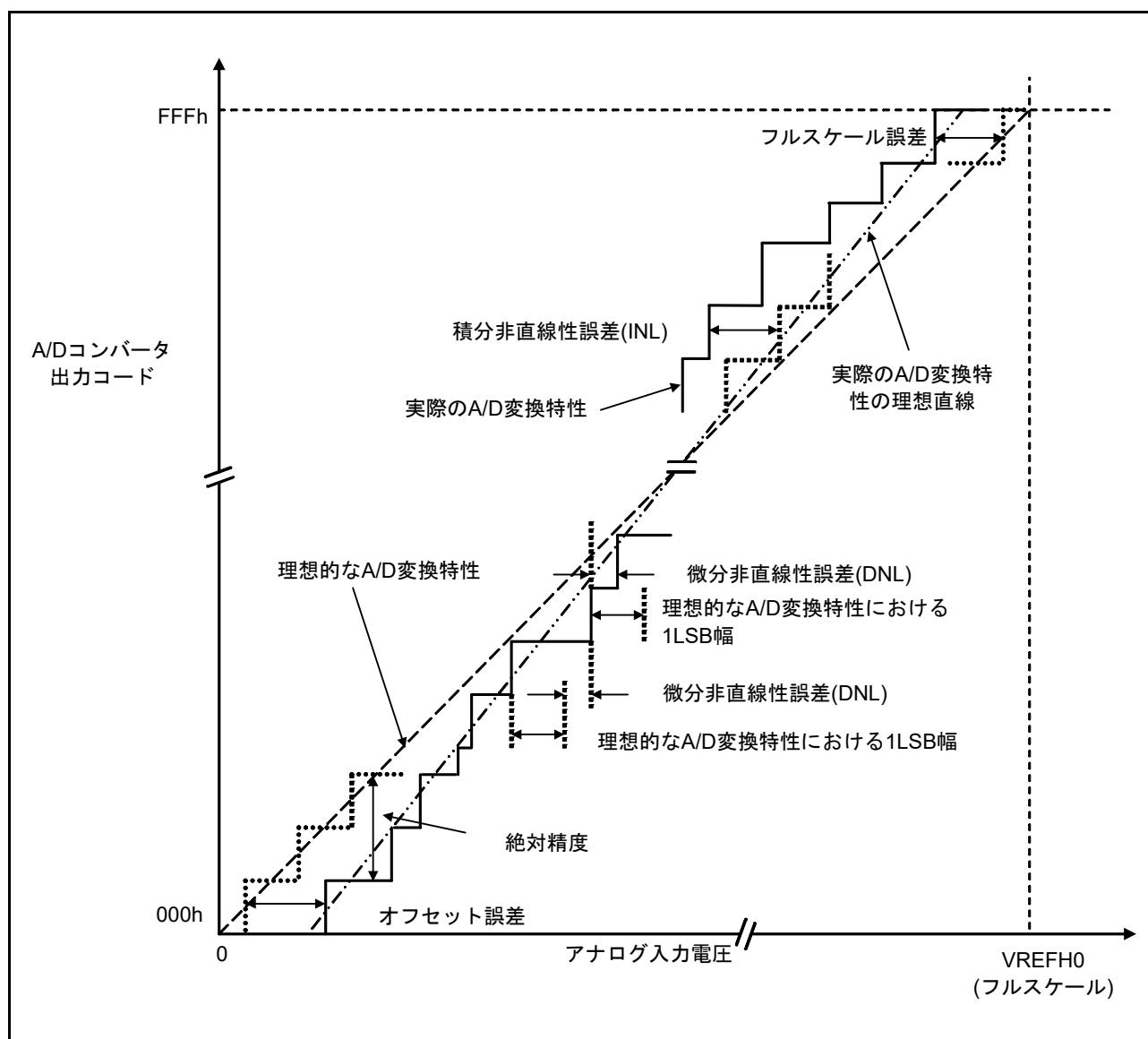


図 38.52 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧 ($V_{REFH0} = 3.072V$) の場合、1LSB 幅は $0.75mV$ で、アナログ入力電圧には $0mV$ 、 $0.75mV$ 、 $1.5mV$... を使用します。

絶対精度 $\pm 5LSB$ とは、アナログ入力電圧が $6mV$ の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00Dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

38.7 プログラマブルゲインアンプ特性

表 38.53 プログラマブルゲインアンプ特性

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧 (注1)	V_{IO}	—	—	± 5.7	mV	
入力電圧範囲	V_{ISR}	0	—	VCC	V	
出力電圧範囲	V_{OR}	$0.07 \times VCC$	—	$0.93 \times VCC$	V	
ゲイン	G	4, 8, 16, 32				
ゲインエラー (注1)	E_G	—	± 0.04	± 0.47	%	G = 4, 8
		—	± 0.02	± 0.62	%	G = 16
		—	± 0.03	± 1.23	%	G = 32
スルーレート	SR	6.1	—	—	V/ μ s	$4.0V \leq VCC \leq 5.5V$, G = 4, 8, 16
		3.4	—	—	V/ μ s	$4.0V \leq VCC \leq 5.5V$, G = 32
		2	—	—	V/ μ s	$2.7V \leq VCC \leq 4.0V$
動作安定時間	t_{start}	—	—	2.66	μ s	

注1. フィードバック抵抗のグラウンドに、PGAGNDを選択した場合の特性です。VSSを選択した場合は、この範囲に収まらないことがあります。

38.8 コンパレータ特性

表 38.54 コンパレータ特性

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{IO}	—	± 5	± 10.3	mV	
リファレンス入力電圧範囲	V_{ref}	0	—	VCC	V	
入力電圧傾き (注1)	dV/dt	—	—	± 3.0	V/ μs	
応答時間	t_{PLH}	—	50	76	ns	VOD = 100mV CMPCTL.NFE = 0
	t_{PHL}	—	50	73	ns	
入力切替時の安定待ち時間	t_{cwait}	74	—	—	ns	
動作安定時間	t_{cmp}	—	—	0.51	μs	

注1. この特性が満たせない場合は「34.4.6 比較結果へのパルスの出現について」に記載している対策を実施してください。

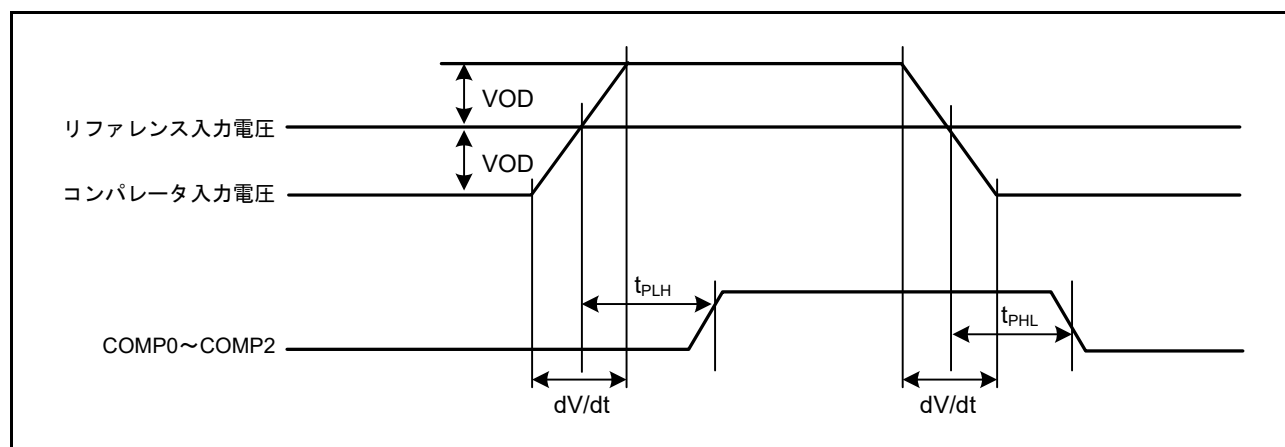


図 38.53 コンパレータ応答時間

38.9 D/A 変換特性

表 38.55 D/A 変換特性

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t_{DCONV}	—	—	3.0	μs	負荷容量 35pF
絶対精度	—	—	± 1.0	± 3.0	LSB	負荷抵抗 2M Ω
	—	—	± 1.0	± 2.0	LSB	負荷抵抗 4M Ω
微分非直線性誤差 (DNL)	—	—	± 1.0	± 2.0	LSB	
出力負荷抵抗	—	4	—	—	M Ω	
出力負荷容量	—	—	—	35	pF	
出力抵抗	—	—	9.0	—	k Ω	

38.10 温度センサ特性

表 38.56 温度センサ特性

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	
温度傾斜	—	—	−3.3	—	mV/°C	
出力電位(25°C)	—	—	1.05	—	V	
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間(注1)	—	3.9	—	—	μs	

注1. 12ビットA/Dコンバータのサンプリング時間が本規格を満たすようにS12AD1.ADSSTRTレジスタを設定してください。

38.11 パワーオンリセット回路、電圧検出回路特性

表 38.57 パワーオンリセット回路、電圧検出回路特性(1)

項目		記号	min	typ	max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR) (注1)	V _{POR}	1.35	1.50	1.65	V	図 38.54、図 38.55
	電圧検出回路 (LVD0) (注2)	V _{det0_0}	3.67	3.85	3.97	V	図 38.56 VCC 立ち下がり時
		V _{det0_1}	2.70	2.85	3.00		
		V _{det0_2}	2.37	2.53	2.67		
	電圧検出回路 (LVD1) (注3)	V _{det1_0}	4.12	4.29	4.42	V	図 38.57 VCC 立ち下がり時
		V _{det1_1}	3.98	4.16	4.28		
		V _{det1_2}	3.86	4.03	4.16		
		V _{det1_3}	3.68	3.86	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.80	2.98		
		V _{det1_8}	2.57	2.68	2.87		
		V _{det1_9}	2.47	2.59	2.67		
	電圧検出回路 (LVD2) (注4)	V _{det2_0}	4.08	4.32	4.48	V	図 38.58 VCC 立ち下がり時
		V _{det2_1}	3.95	4.17	4.35		
V _{det2_2}		3.82	4.03	4.22			
V _{det2_3}		3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD2)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. パワーオンリセット解除後にMCUは動作します。電気的特性は2.7V以上から保証されます。

注2. 記号Vdet0_nのnは、VDSEL1[1:0]ビットの値です。

注3. 記号Vdet1_nのnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注4. 記号Vdet2_nのnは、LVDLVLR.LVD2LVL[1:0]ビットの値です。

表 38.58 パワーオンリセット回路、電圧検出回路特性(2)

項目		記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	通常起動時 (注1)	t _{POR}	—	31.5	—	ms	図 38.55
	起動時間短縮時 (注2)	t _{POR}	—	5.0	—		
電圧監視0リセット解除後待機時間		t _{LVD0}	—	860	—	μs	図 38.56
電圧監視1リセット解除後待機時間	LVD0無効時 (注4)	t _{LVD1}	—	160	—	μs	図 38.57
	LVD0有効時 (注5)		—	860	—	μs	
電圧監視2リセット解除後待機時間	LVD0無効時 (注4)	t _{LVD2}	—	160	—	μs	図 38.58
	LVD0有効時 (注5)		—	860	—	μs	
POR応答遅延時間		t _{det}	—	—	500	μs	図 38.54
LVD0応答遅延時間			—	—	500	μs	図 38.54
LVD1応答遅延時間			—	—	360	μs	図 38.54
LVD2応答遅延時間			—	—	600	μs	図 38.54
POR/LVD0最小VCC低下時間 (注3)		t _{VOFF}	500	—	—	μs	図 38.54、VCC = 1.0V 以上
LVD1最小VCC低下時間 (注3)			300	—	—	μs	図 38.54、VCC = 1.0V 以上
LVD2最小VCC低下時間 (注3)			600	—	—	μs	図 38.54、VCC = 1.0V 以上
パワーオンリセット有効時間		t _{W(POR)}	1	—	—	ms	図 38.55、VCC = 1.0V 未満
LVD1動作安定時間 (LVD有効切り替え時)		t _{d(E-A)}	—	—	300	μs	図 38.57
LVD2動作安定時間 (LVD有効切り替え時)		t _{d(E-A)}	—	—	1200	μs	図 38.58
ヒステリシス幅 (パワーオンリセット (POR))		V _{PORH}	—	110	—	mV	
ヒステリシス幅 (電圧検出回路 (LVD0, LVD1, LVD2))		V _{LVH}	—	60	—	mV	LVD0選択時
			—	110	—		Vdet1_0 ~ Vdet1_2選択時
			—	70	—		Vdet1_3 ~ 9選択時
			—	90	—		LVD2選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

注4. OFS1.LVDAS = 1bを設定した場合です。

注5. OFS1.LVDAS = 0bを設定した場合です。

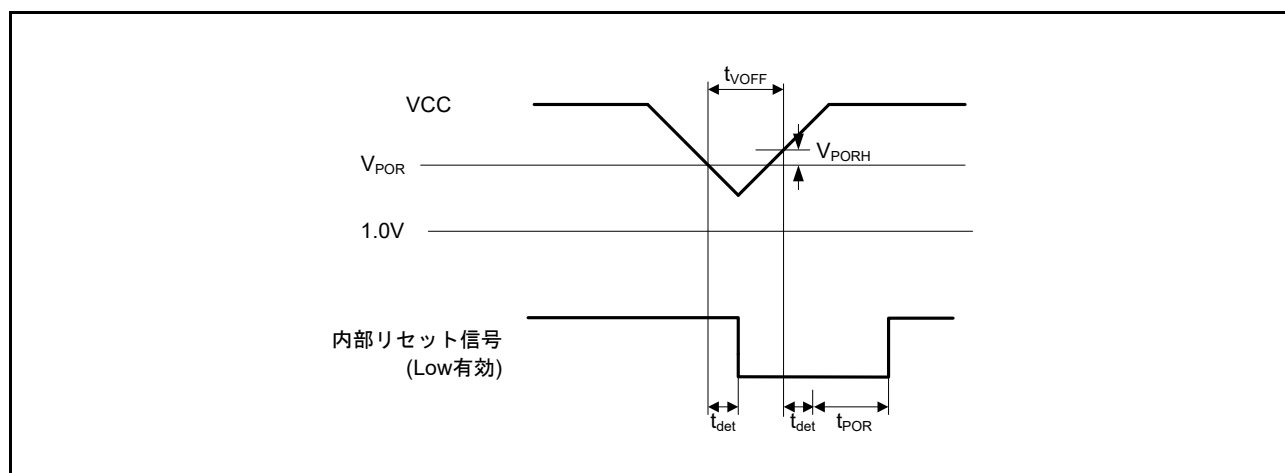


図 38.54 電圧検出リセットタイミング

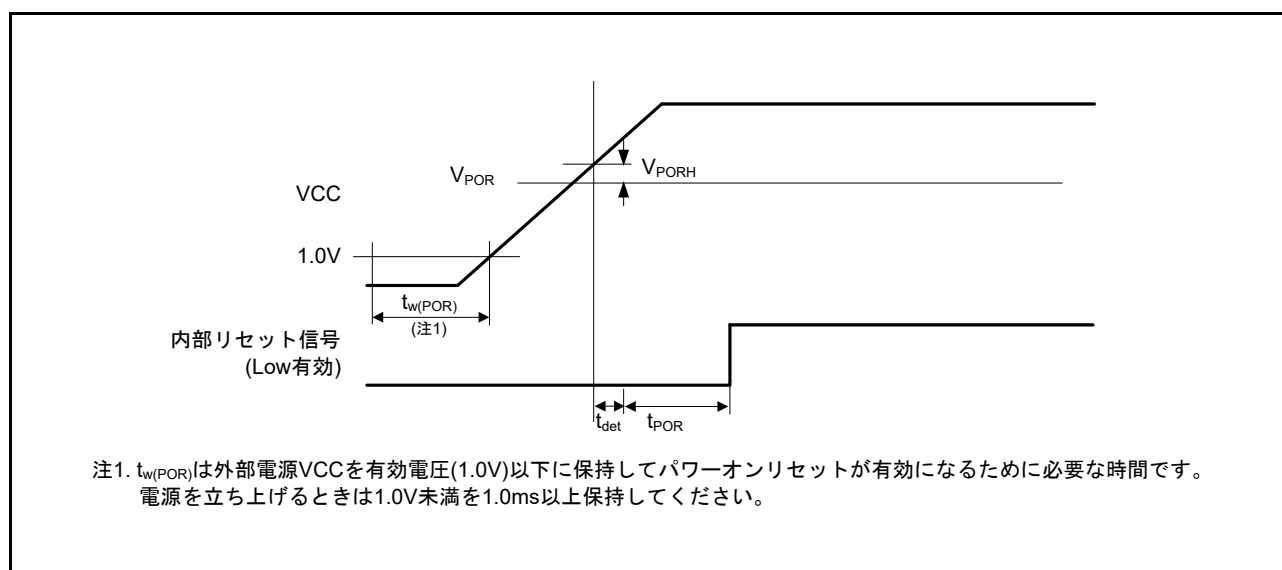
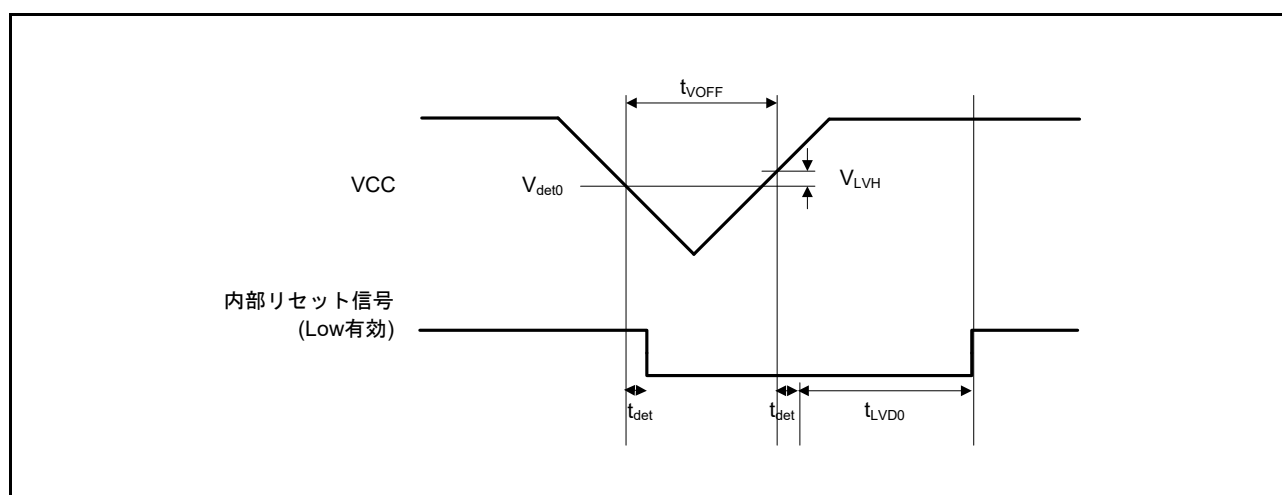
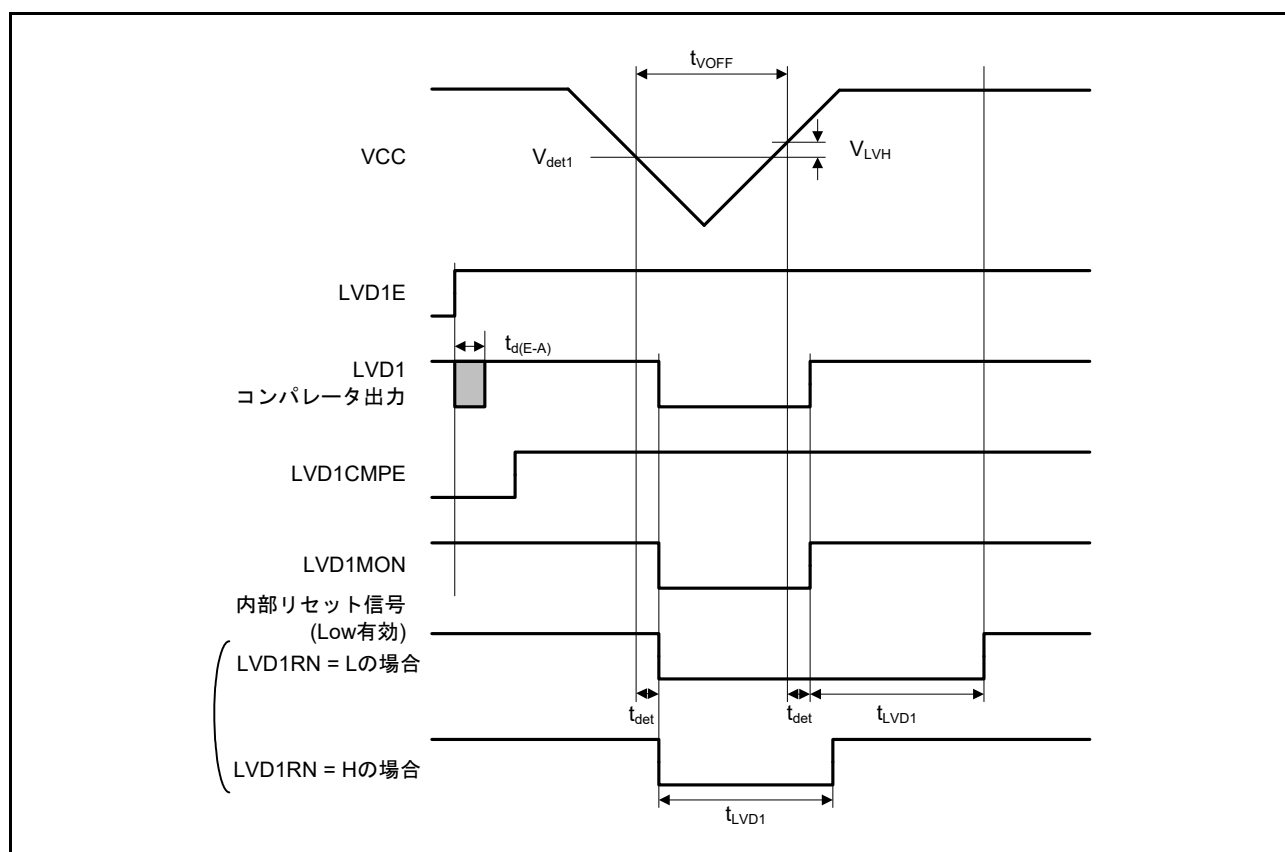
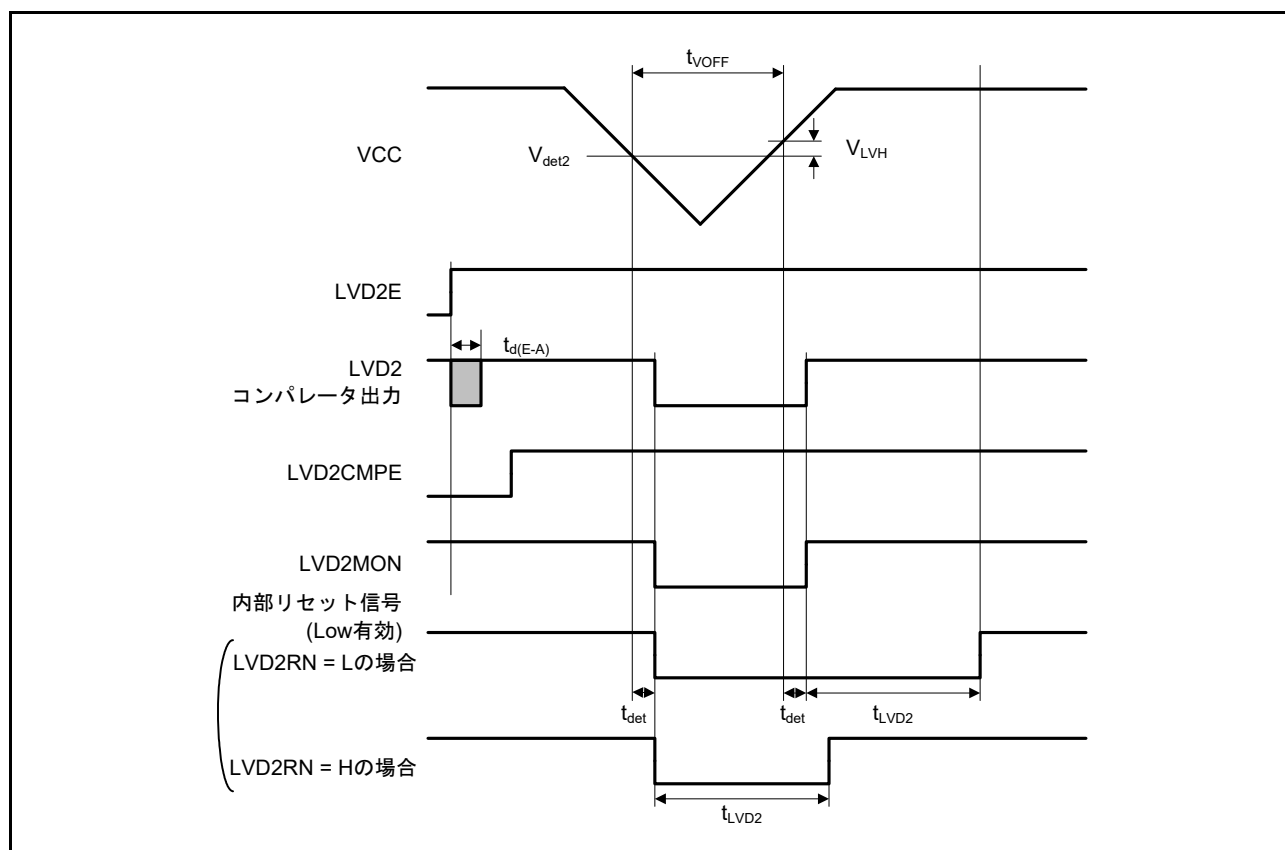


図 38.55 パワーオンリセットタイミング

図 38.56 電圧検出回路タイミング (V_{det0})

図 38.57 電圧検出回路タイミング (V_{det1})図 38.58 電圧検出回路タイミング (V_{det2})

38.12 発振停止検出タイミング

表 38.59 発振停止検出回路特性

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 38.59

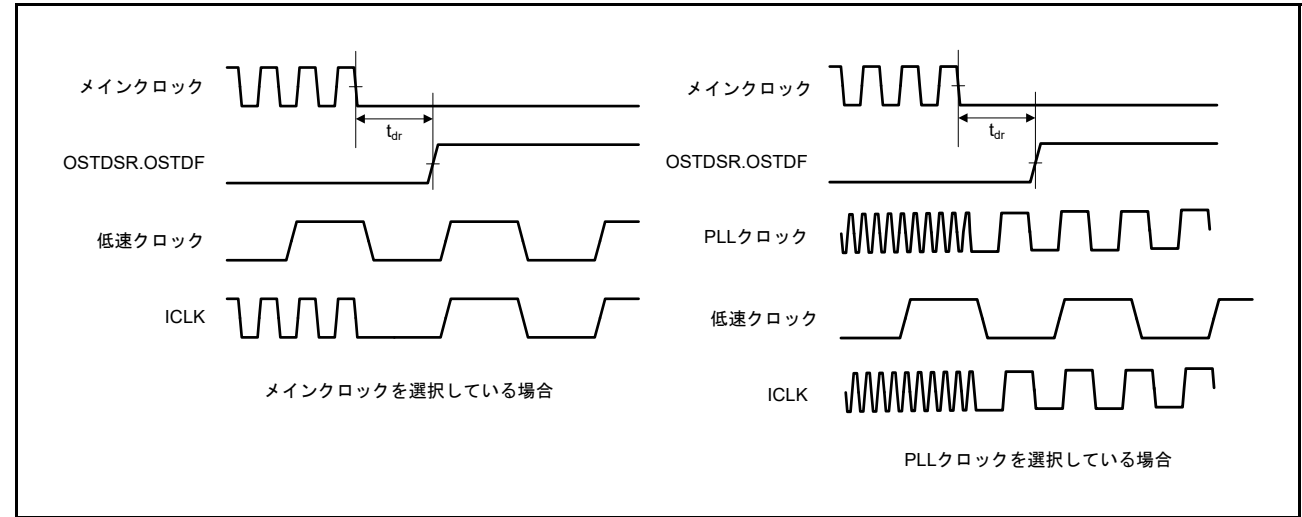


図 38.59 発振停止検出タイミング

38.13 ROM (コード格納用フラッシュメモリ) 特性

表 38.60 ROM (コード格納用フラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
プログラム/イレーズ回数 (注1)	N _{PEC}	10K	—	—	回	
データ保持時間 (注2、注3)	N _{PEC} 10K回後	t _{DRP}	20	—	年	T _a ≤ +105°C
			10	—		T _a ≤ +125°C

注1. プログラム/イレーズ回数の定義：プログラム/イレーズ回数は、ブロックごとのイレーズ回数です。

たとえば、2Kバイトのブロックについて、それぞれ異なる番地に8バイトプログラムを256回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表 38.61 ROM (コード格納用フラッシュメモリ) 特性(2) 高速動作モード

項目		記号	FCLK = 1MHz			FCLK = 32MHz			FCLK = 48MHz			単位
			min	typ	max	min	typ	max	min	typ	max	
プログラム時間	8バイト	t _{P8}	—	94	843.5	—	45.4	448.7	—	45.1	446.0	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.3	282.0	—	5.4	220.4	—	5.4	220.1	ms
	128Kバイト	t _{E128K}	—	204	4447	—	20.3	535.3	—	19.6	520.7	ms
ブランクチェック時間	8バイト	t _{BC8}	—	—	45.0	—	—	8.9	—	—	8.7	μs
	2Kバイト	t _{BC2K}	—	—	1573	—	—	120	—	—	115	μs
イレーズ処理強制停止時間		t _{SED}	—	—	22.8	—	—	11.1	—	—	11.0	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	8.2	503.3	—	5.6	438.0	—	5.6	437.7	ms
アクセスウィンドウ設定時間		t _{AWS}	—	8.2	503.3	—	5.6	438.0	—	5.6	437.7	ms
ROMモード遷移待ち時間		t _{MS}	15	—	—	15	—	—	15	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。クロックソースの周波数精度をご確認ください。

表38.62 ROM (コード格納用フラッシュメモリ)特性(3) 中速動作モード

項目		記号	FCLK = 1MHz			FCLK = 24MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	8バイト	t_{P8}	—	94.0	843.5	—	45.7	450.7	μ s
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	—	5.4	220.2	ms
	128Kバイト	t_{E128K}	—	204	4447	—	19.6	521	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45	—	—	9	μ s
	2Kバイト	t_{BC2K}	—	—	1573	—	—	115	μ s
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	—	—	11.2	μ s
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	—	5.6	437.7	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	—	5.6	437.7	ms
ROMモード遷移待ち時間		t_{MS}	15	—	—	15	—	—	μ s

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

38.14 E2 データフラッシュ (データ格納用フラッシュメモリ) 特性

表 38.63 E2 データフラッシュ特性(1)

項目	記号	min	typ	max	単位	条件
プログラム/イレース回数 (注1)	N _{DPEC}	100K	1000K	—	回	
データ保持時間	N _{DPEC} 10K 回後	t _{DDRP}	20 (注2、注3)	—	—	T _a ≤ +105°C
			10 (注2、注3)	—	—	T _a ≤ +125°C
	N _{DPEC} 100K 回後	—	5 (注2、注3)	—	—	T _a ≤ +125°C
	N _{DPEC} 1000K 回後		1 (注2、注3)	—	—	T _a = +25°C

注1. プログラム/イレース回数の定義：プログラム/イレース回数は、ブロックごとのイレース回数です。

たとえば、256バイトのブロックについて、それぞれ異なる番地に1バイトプログラムを256回に分けて行った後に、そのブロックをイレースした場合も、プログラム/イレース回数は1回と数えます。ただし、イレース1回に対して、同一アドレスに複数回のプログラムを行うことはできません(上書き禁止)。

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表 38.64 E2 データフラッシュ特性(2) 高速動作モード

項目		記号	FCLK = 1MHz			FCLK = 32MHz			FCLK = 48MHz			単位
			min	typ	max	min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	35.1	341.2	—	34.8	338.8	μs
イレース時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.4	—	5.4	220.1	ms
	4Kバイト	t _{DE4K}	—	55.0	1273.7	—	9.0	295.4	—	8.8	291.7	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	8.9	—	—	8.2	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	120	—	—	115	μs
イレース処理強制停止時間		t _{DSED}	—	—	22.8	—	—	11.1	—	—	11.0	μs
データフラッシュ STOP 解除時間		t _{DSTOP}	250	—	—	250	—	—	250	—	—	ns

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。

表 38.65 E2 データフラッシュ特性(3) 中速動作モード

項目		記号	FCLK = 1MHz			FCLK = 8MHz			単位
			min	typ	max	min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	35.3	343.2	μs
イレース時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.2	ms
	4Kバイト	t _{DE4K}	—	55.0	1273.7	—	8.8	291.8	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	9.0	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	115	ms
イレース処理強制停止時間		t _{DSED}	—	—	22.8	—	—	11.2	μs
データフラッシュ STOP 解除時間		t _{DSTOP}	250	—	—	250	—	—	ns

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。

38.15 使用上の注意事項

38.15.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ $4.7\mu\text{F}$ を接続する必要があります。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「30. 12 ビット A/D コンバータ (S12ADF)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

付録1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態 (1/2)

ポート名、端子名	リセット	ソフトウェアスタンバイモード	
P00 (IRQ4)	Hi-Z	Keep-O (注 1)	
P01 (IRQ2)	Hi-Z	Keep-O (注 1)	
P02 (IRQ5)	Hi-Z	Keep-O (注 1)	
P03, P04	Hi-Z	Keep-O	
P10 (IRQ0)	Hi-Z	Keep-O (注 1)	
P11 (IRQ1)	Hi-Z	Keep-O (注 1)	
P12 (IRQ7)	Hi-Z	Keep-O (注 1)	
P13 (IRQ4)	Hi-Z	Keep-O (注 1)	
P14 (IRQ6)	Hi-Z	Keep-O (注 1)	
P15	Hi-Z	Keep-O	
P22 (IRQ2)	Hi-Z	Keep-O (注 1)	
P23 (IRQ4)	Hi-Z	Keep-O (注 1)	
P24 (IRQ3)	Hi-Z	Keep-O (注 1)	
P25	Hi-Z	Keep-O	
P26 (IRQ1)	Hi-Z	Keep-O (注 1)	
P30 ~ P33	Hi-Z	Keep-O	
P36 (IRQ3)	Hi-Z	Keep-O (注 1)	
P37 (IRQ0)	Hi-Z	Keep-O (注 1)	
P40 ~ P43, P45 ~ P47	Hi-Z	Keep-O	
P44 (DA0)	Hi-Z	DA0 出力時 (DAOE0 = 1)	DA 出力保持
		上記以外 (DAOE0 = 0)	Keep-O
P70 (IRQ5)	Hi-Z	Keep-O (注 1)	
P71 (IRQ6)	Hi-Z	Keep-O (注 1)	
P72 (IRQ7)	Hi-Z	Keep-O (注 1)	
P73 ~ P76	Hi-Z	Keep-O	
P90 (IRQ6)	Hi-Z	Keep-O (注 1)	
P91, P95, P96	Hi-Z	Keep-O	
P92 (IRQ0)	Hi-Z	Keep-O (注 1)	
P93 (IRQ1)	Hi-Z	Keep-O (注 1)	
P94 (IRQ4)	Hi-Z	Keep-O (注 1)	
P97 (IRQ2)	Hi-Z	Keep-O (注 1)	
PB0, PB2, PB4, PB7	Hi-Z	Keep-O	
PB1 (IRQ2)	Hi-Z	Keep-O (注 1)	
PB3 (IRQ3)	Hi-Z	Keep-O (注 1)	
PB5 (IRQ7)	Hi-Z	Keep-O (注 1)	
PB6 (IRQ5)	Hi-Z	Keep-O (注 1)	
PD3, PD7	Hi-Z	Keep-O	
PD4 (IRQ2)	Hi-Z	Keep-O (注 1)	
PD5 (IRQ3)	Hi-Z	Keep-O (注 1)	

表 1.1 各処理状態におけるポートの状態 (2/2)

ポート名、端子名	リセット	ソフトウェアスタンバイモード
PD6 (IRQ5)	Hi-Z	Keep-O (注 1)
PE2 (NMI/IRQ0)	Hi-Z	Keep (注 1)
PG7/MD	Pullup (注 2)	Keep-O

Keep-O: 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Keep : ソフトウェアスタンバイモードでの端子状態を保持 (プルアップ、オープンドレイン設定も保持されます)

Hi-Z : ハイインピーダンス

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

注2. リセット解除後MD端子になり、プルアップ抵抗が有効になります。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクスホームページの「パッケージ」に掲載されています。

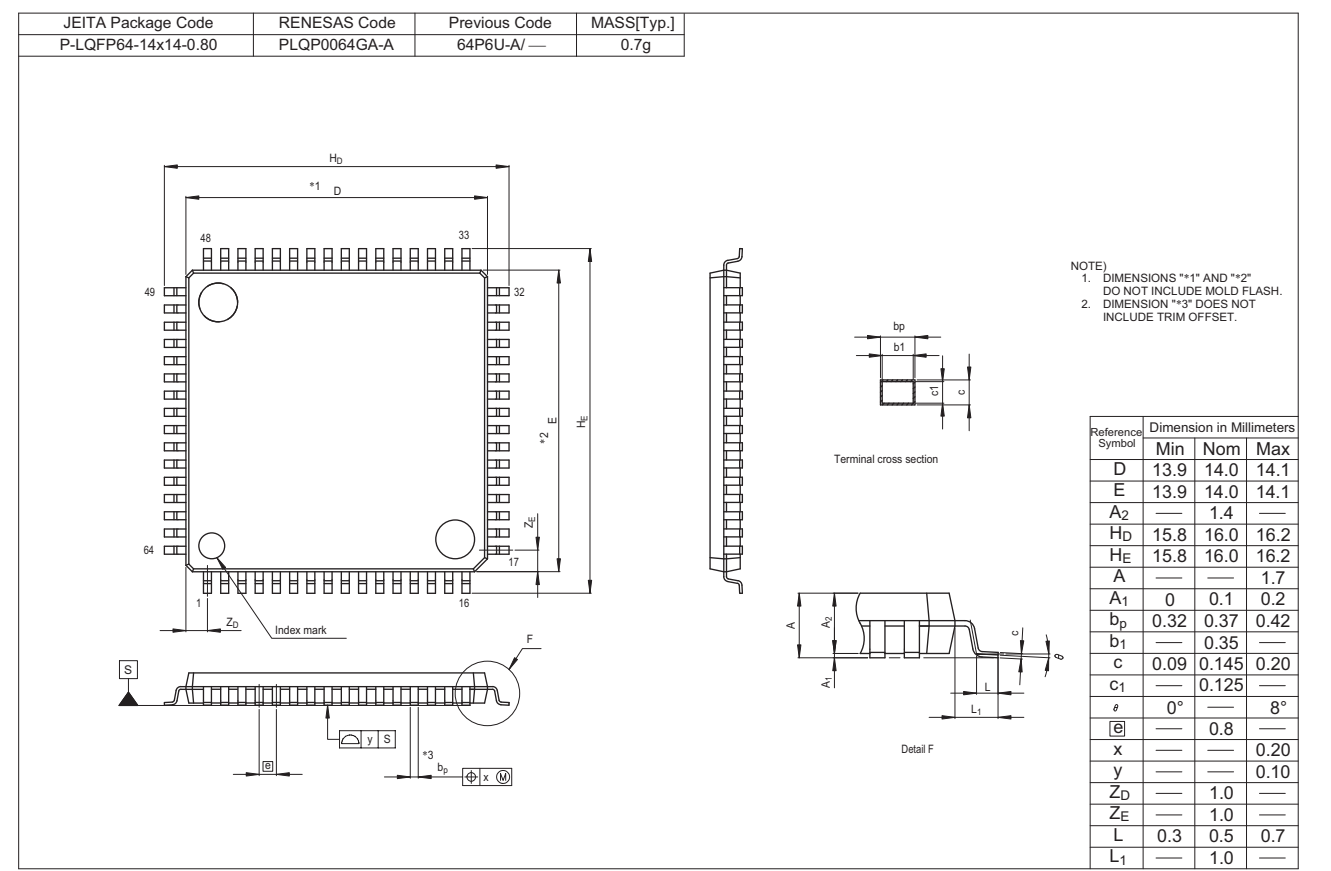


図 A. 64 ピン LQFP (PLQP0064GA-A)

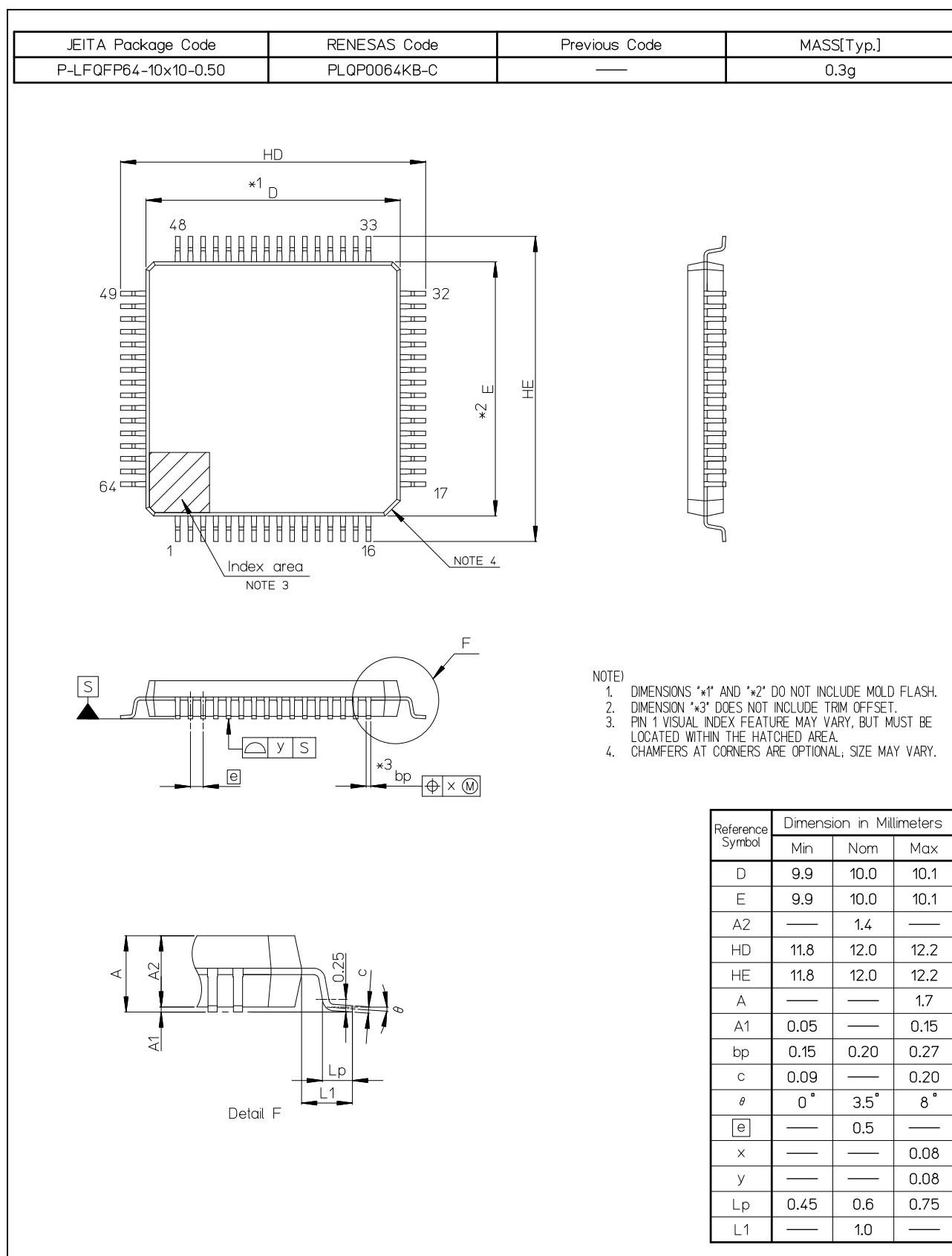


図 B. 64 ピン LFQFP (PLQP0064KB-C)

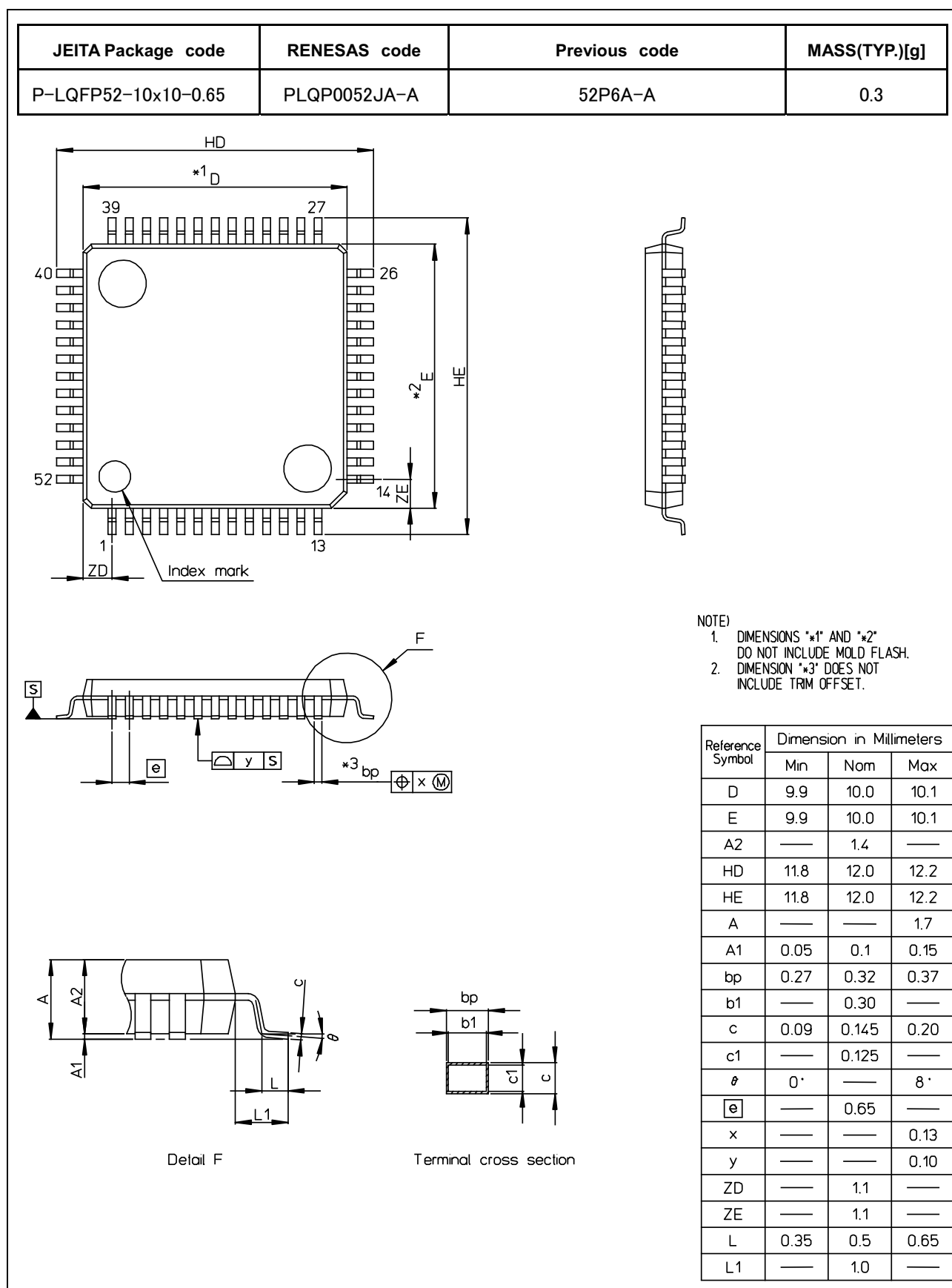


図 C. 52 ピン LQFP (PLQP0052JA-A)

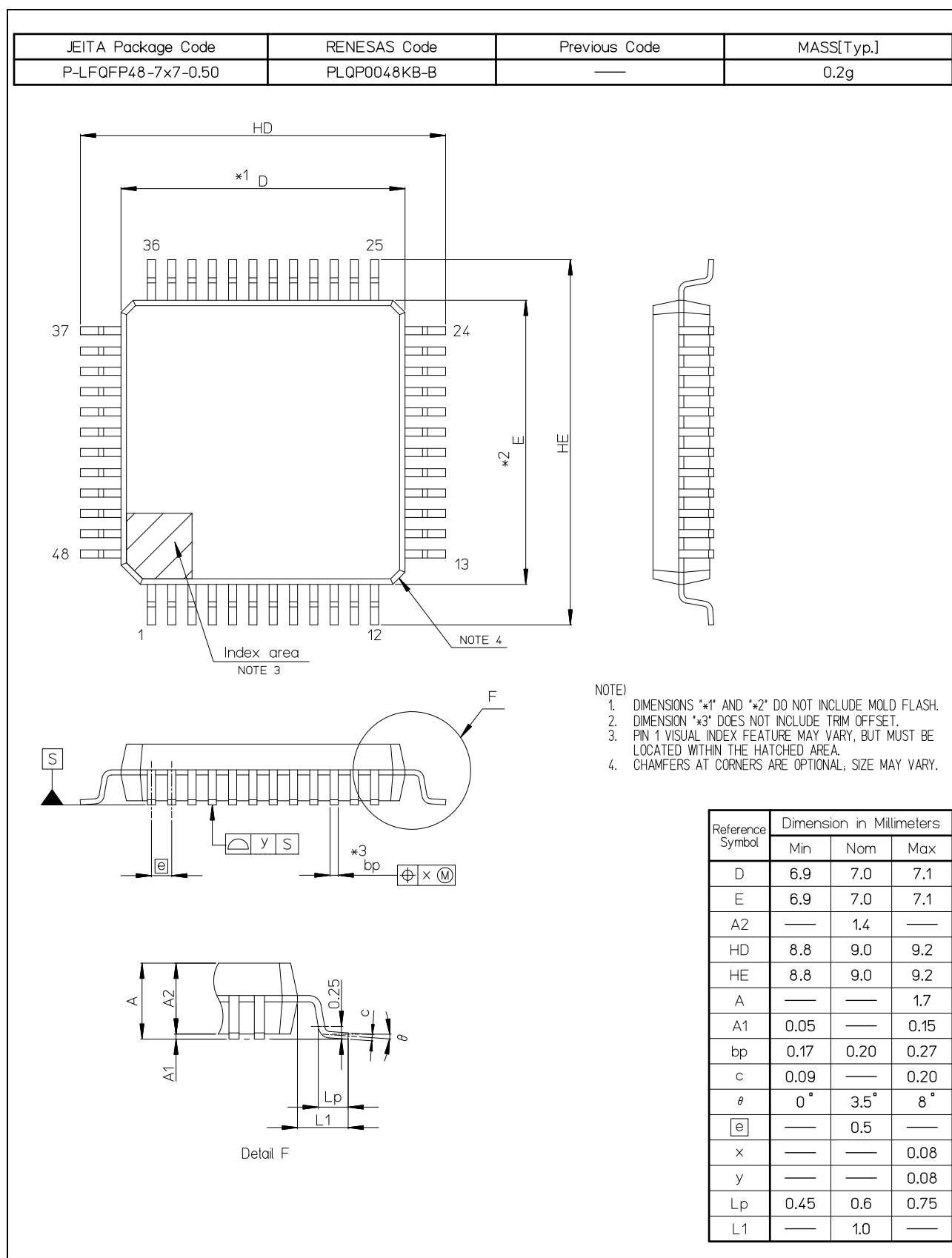
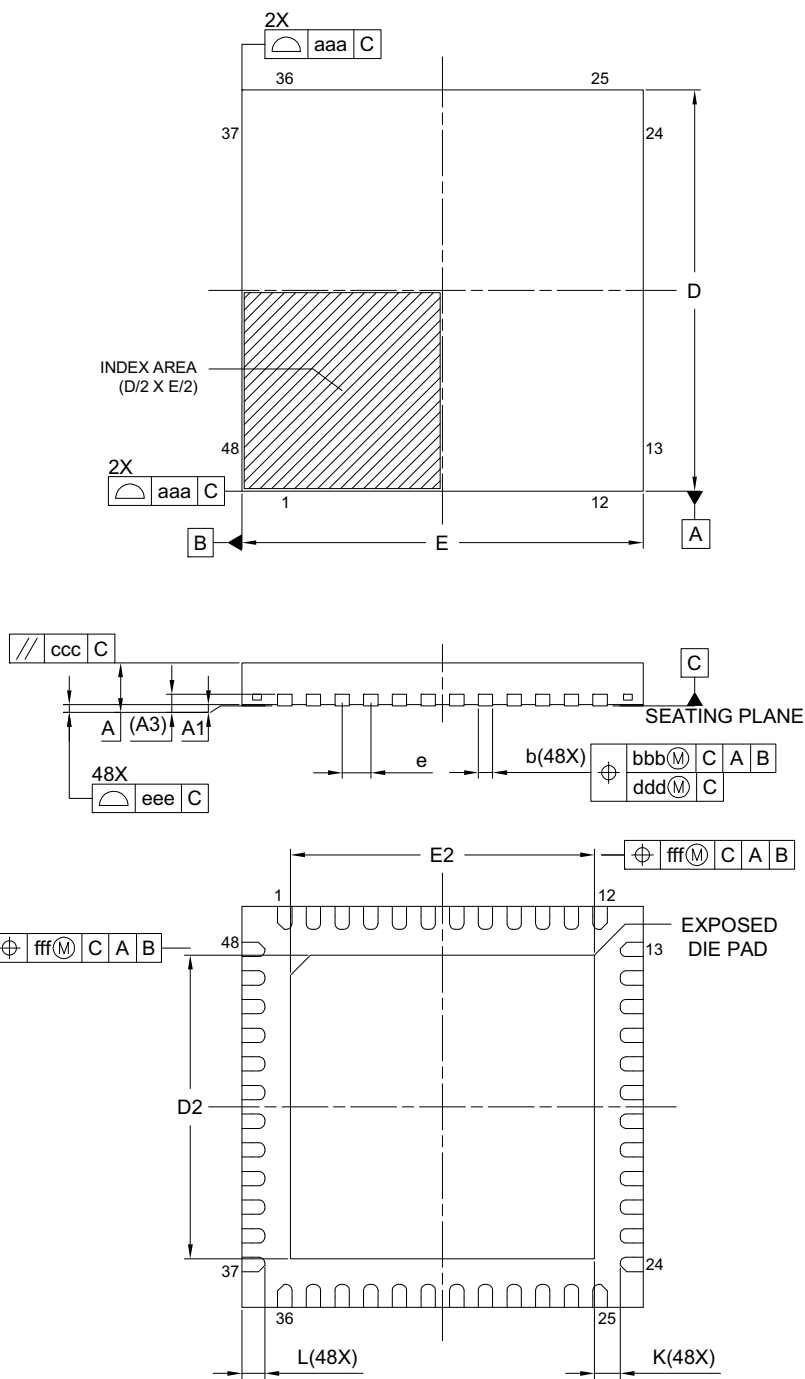


図 D. 48ピン LFQFP (PLQP0048KB-B)

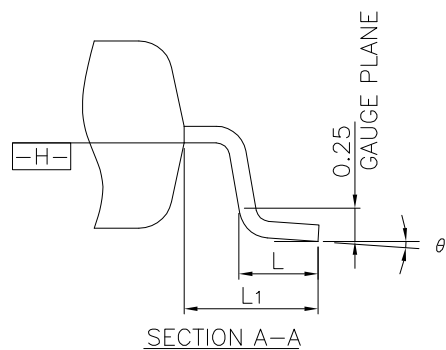
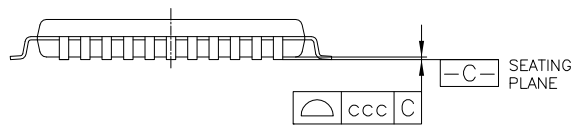
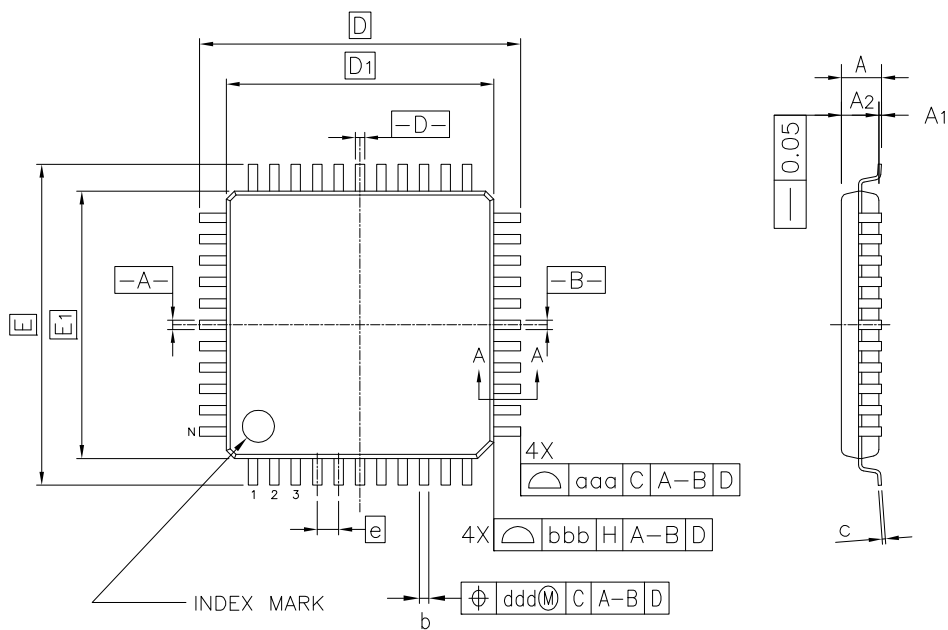
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 E. 48 ピン HWQFN (PWQN0048KC-A)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP44-10x10-0.80	PLQP0044GF-A	0.3



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.70
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	12.00 BSC.		
D ₁	10.00 BSC.		
E	12.00 BSC.		
E ₁	10.00 BSC.		
N	—	44	—
e	0.80 BSC.		
b	0.30	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	8°
L	0.45	0.60	0.75
L ₁	1.00 REF.		
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20

図 F. 44 ピン LQFP (PLQP0044GF-A)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2

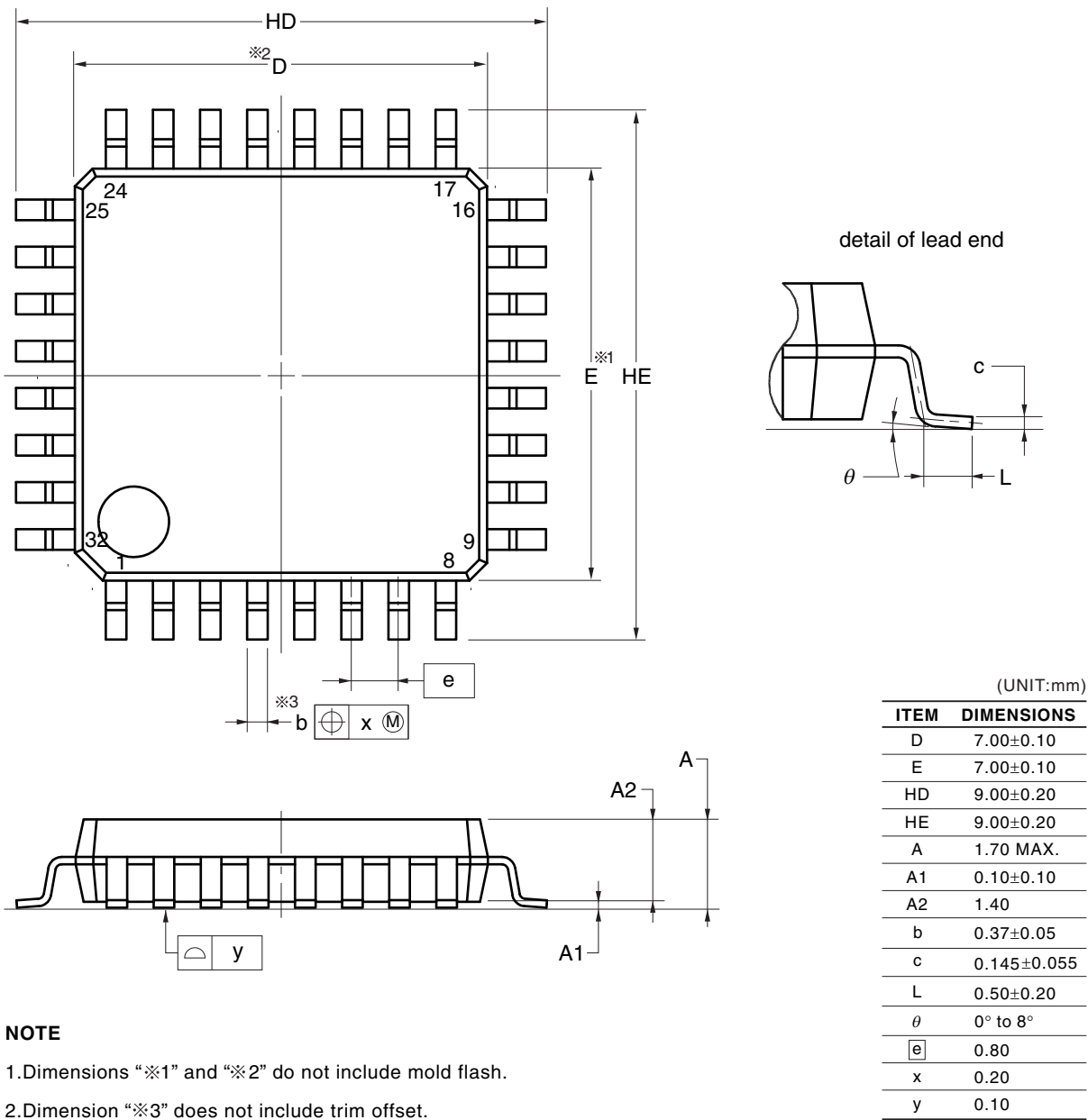
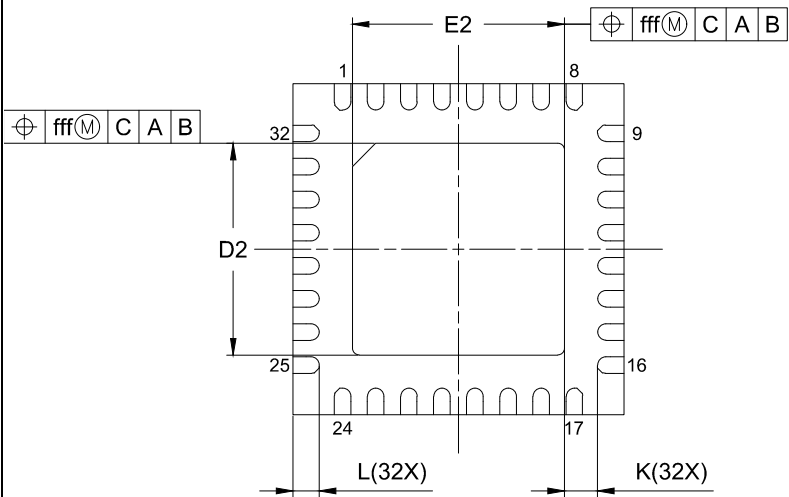
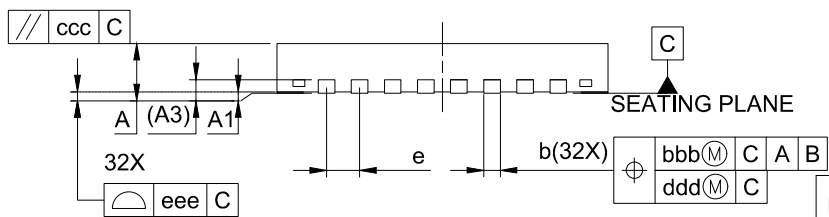
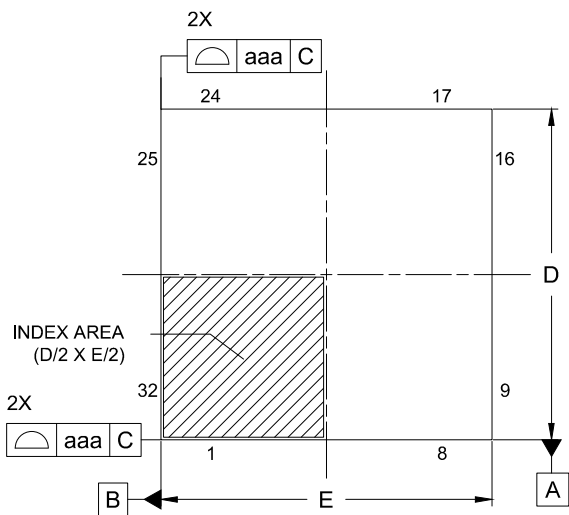


図 G. 32 ピン LQFP (PLQP0032GB-A)

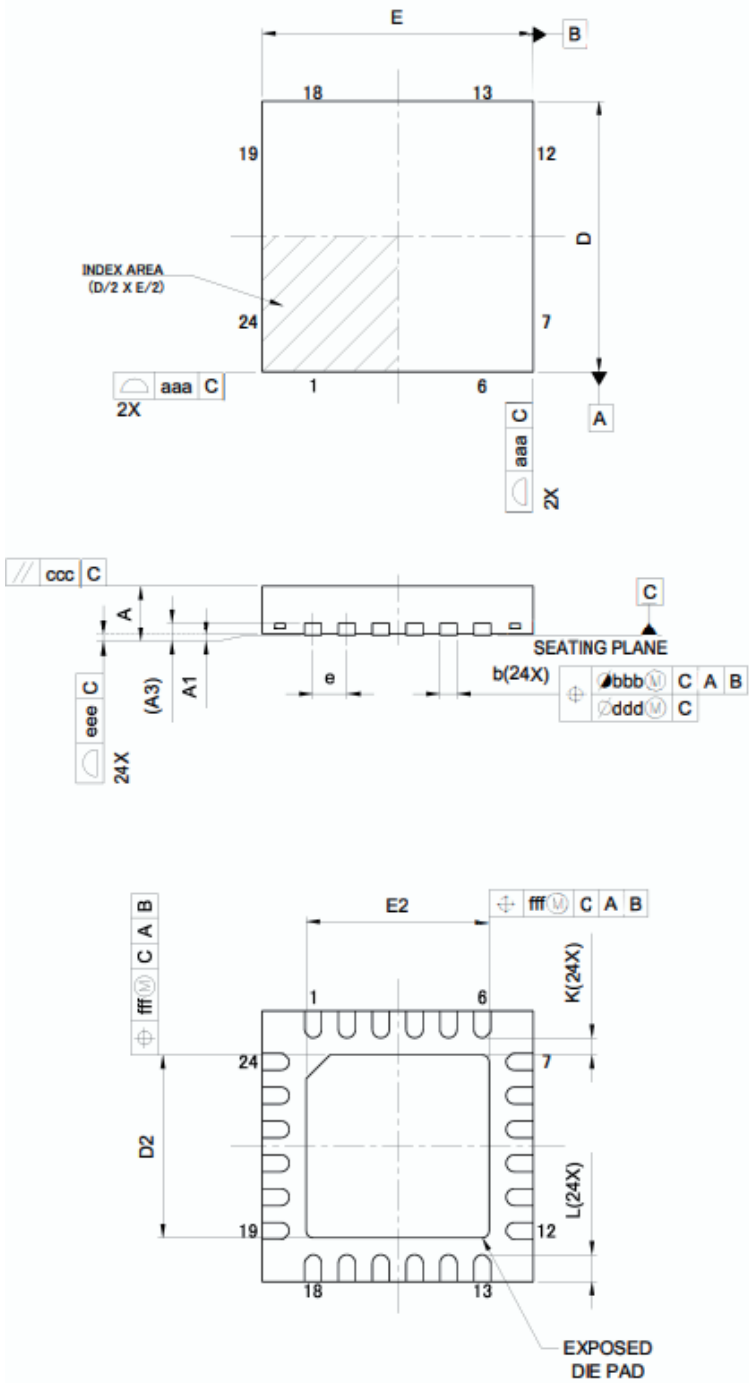
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	3.15	3.20	3.25
E ₂	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 H. 32 ピン HWQFN (PWQN0032KE-A)

JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN24-4 × 4-0.50	PWQN0024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₂	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	2.65	2.70	2.75
E ₂	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 I. 24 ピン HWQFN (PWQN0024KG-A)

改訂記録	RX14T グループ ユーザーズマニュアル ハードウェア編

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2025.09.30	—	初版発行	
1.01	2025.10.22	—	52ピンパッケージコード 変更	
1.02	2025.12.12	11. 消費電力低減機能		
		全体	【用語統一】 「移行」→「遷移」	
		211	11.4 モジュールストップ機能 変更	
		19. マルチファンクションタイマバルスユニット3 (MTU3c) 変更		
		542	19.6.7 バッファレジスタへの書き込みとコンペアマッチの競合 変更	
		543	19.6.8 バッファレジスタへの書き込みとTCNTクリアの競合 変更	
		20. ポートアウトプットイネーブル3 (POE3E)		
		663	20.3.2 入力レベル検出動作 (1) エッジ検出 変更	
		669	図20.13 POEの設定手順例(入力レベル検出動作) 変更	
		38. 電氣的特性		
		1413	表38.48 A/D変換特性(1) 注1 変更、注2 削除	
		1414	表38.49 A/D変換特性(2) 注1 変更、注2 削除	
		1415	表38.50 A/D変換特性(3) 注1 変更、注2 削除	
		1419	表38.53 プログラマブルゲインアンプ特性 変更	

RX14Tグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2025年9月30日 Rev.1.00
2025年12月12日 Rev.1.02

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RX14T グループ