

RL78/L23

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルはRL78/L23の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

• 44ピン：R7F100LFx (x = E, G, J, L)	• 64ピン：R7F100LLx (x = E, G, J, L)
• 48ピン：R7F100LGx (x = E, G, J, L)	• 80ピン：R7F100LMx (x = G, J, L)
• 52ピン：R7F100LJx (x = E, G, J, L)	• 100ピン：R7F100LPx (x = G, J, L)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/L23のマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/L23 ユーザーズマニュアル ハードウェア編

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

RL78ファミリ ユーザーズマニュアル ソフトウェア編

- CPU機能
- 命令セット
- 命令の説明

- 読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。
- 一通りの機能を理解しようとするとき
- 目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。
- この★をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。
- レジスタ・フォーマットの見方
- ビット番号を<>で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。
- RL78/L23マイクロコントローラの命令機能の詳細を知りたいとき
- 別冊のRL78ファミリ ユーザーズマニュアル ソフトウェア編（R01US0015J）を参照してください。

凡例	データ表記の重み：	左が上位桁、右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> （端子、信号名称に上線）
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxxxB
		10進数...xxxx
		16進数...xxxxH

関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/L23 ユーザーズマニュアル ハードウェア編	このマニュアル	R01UH1082E
RL78 ファミリ ユーザーズマニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込みおよびオンチップ・デバッグ機能の関連資料

資料名	資料番号	
	和文	英文
PG-FP6 フラッシュメモリプログラマ ユーザーズマニュアル	注1	注1
E2エミュレータ ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2エミュレータ Lite ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	注2	注2

注1. PG-FP6の資料は以下のホーム・ページを参照してください。

和文：<https://www.renesas.com/jp/ja/software-tool/pg-fp6>

英文：<https://www.renesas.com/us/en/software-tool/pg-fp6>

注2. Renesas Flash Programmerの資料は以下のホーム・ページを参照してください。

和文：<https://www.renesas.com/jp/ja/software-tool/renesas-flash-programmer-programming-gui>

英文：<https://www.renesas.com/us/en/software-tool/renesas-flash-programmer-programming-gui>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlashは、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概 説	1
1.1	特徴	1
1.2	型名一覧	6
1.3	端子接続図 (Top View)	8
1.3.1	44ピン製品	8
1.3.2	48ピン製品	12
1.3.3	52ピン製品	16
1.3.4	64ピン製品	20
1.3.5	80ピン製品	25
1.3.6	100ピン製品	30
1.4	端子名称	42
1.5	ブロック図	43
1.6	機能概要	44
2.	端子機能	48
2.1	ポートの端子機能	48
2.1.1	44ピン製品	49
2.1.2	48ピン製品	52
2.1.3	52ピン製品	55
2.1.4	64ピン製品	58
2.1.5	80ピン製品	62
2.1.6	100ピン製品	67
2.2	ポート以外の端子機能	73
2.2.1	製品別の搭載機能	73
2.2.2	機能説明	81
2.2.3	VBAT _n 端子 (n = 0, 1)	83
2.3	未使用端子の処理	85
2.4	端子ブロック図	87
3.	CPUアーキテクチャ	140
3.1	メモリ空間	141
3.1.1	内部プログラム・メモリ空間	150
3.1.2	ミラー領域	155
3.1.3	内部データ・メモリ空間	157
3.1.4	特殊機能レジスタ (SFR : Special Function Register) 領域	158
3.1.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域	158
3.1.6	データ・メモリ・アドレッシング	159
3.2	プロセッサ・レジスタ	160
3.2.1	制御レジスタ	160
3.2.2	汎用レジスタ	162
3.2.3	ES, CSレジスタ	163
3.2.4	特殊機能レジスタ (SFR : Special Function Register)	164
3.2.5	拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)	168
3.3	命令アドレスのアドレッシング	190
3.3.1	レラティブ・アドレッシング	190

3.3.2	イミューディエト・アドレッシング	190
3.3.3	テーブル・インダイレクト・アドレッシング	191
3.3.4	レジスタ・インダイレクト・アドレッシング	192
3.4	処理データ・アドレスに対するアドレッシング	193
3.4.1	インプライド・アドレッシング	193
3.4.2	レジスタ・アドレッシング	194
3.4.3	ダイレクト・アドレッシング	195
3.4.4	ショート・ダイレクト・アドレッシング	196
3.4.5	SFRアドレッシング	197
3.4.6	レジスタ・インダイレクト・アドレッシング	198
3.4.7	ベースト・アドレッシング	199
3.4.8	ベースト・インデクスト・アドレッシング	202
3.4.9	スタック・アドレッシング	203
4.	ポート機能	206
4.1	ポートの機能	206
4.2	ポートの構成	206
4.2.1	ポート0	208
4.2.2	ポート1	208
4.2.3	ポート2	209
4.2.4	ポート3	209
4.2.5	ポート4	210
4.2.6	ポート5	210
4.2.7	ポート6	211
4.2.8	ポート7	211
4.2.9	ポート8	212
4.2.10	ポート9	212
4.2.11	ポート12	213
4.2.12	ポート13	213
4.2.13	ポート14	214
4.3	ポート機能を制御するレジスタ	215
4.3.1	ポート・モード・レジスタ (PMxx)	219
4.3.2	ポート・レジスタ (Pxx)	220
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	221
4.3.4	ポート入力モード・レジスタ (PIMxx)	222
4.3.5	ポート出力モード・レジスタ (POMxx)	223
4.3.6	ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)	224
4.3.7	ポート・モード・コントロールA・レジスタ (PMCAxx)	225
4.3.8	ポート・モード・コントロールT・レジスタ (PMCTxx)	226
4.3.9	ポート・モード・コントロールE・レジスタ (PMCExx)	227
4.3.10	周辺I/Oリダイレクション・レジスタ (PIORx)	228
4.3.11	出力電流制御許可レジスタ (CCDE)	234
4.3.12	出力電流選択レジスタ (CCSx)	236
4.3.13	40 mAポート出力制御レジスタ (PTDC)	237
4.3.14	ポート・ファンクション出力許可レジスタ (PFOEx)	240
4.3.15	ポート・モード選択レジスタ (PMS)	241
4.3.16	LCDポート・ファンクション・レジスタ (PFSEGx)	242
4.3.17	LCD入力切り替え制御レジスタ (ISCLCD)	243

4.4	ポート機能の動作	244
4.4.1	入出力ポートへの書き込み	244
4.4.2	入出力ポートからの読み出し	244
4.4.3	入出力ポートでの演算	244
4.4.4	入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応	245
4.5	兼用機能使用時のレジスタ設定	248
4.5.1	兼用機能使用時の基本的な考え方	248
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	250
4.5.3	ポートの各レジスタ設定と端子状態	252
4.5.4	使用するポート機能および兼用機能のレジスタ設定例	252
4.6	ポート機能使用時の注意事項	298
4.6.1	ポート・レジスタ（Pxx）に対する1ビット・メモリ操作命令に関する注意事項	298
4.6.2	端子設定に関する注意事項	299
5.	オペレーション・ステート・コントロール	300
5.1	オペレーション・ステート・コントロールの構成	300
5.2	オペレーション・ステート・コントロールを制御するレジスタ	302
5.2.1	フラッシュ動作モード選択レジスタ（FLMODE）	302
5.2.2	フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）	304
5.3	フラッシュ動作モードの初期設定	305
5.4	フラッシュ動作モードの遷移	306
5.5	フラッシュ動作モードの詳細	307
5.5.1	HS（高速メイン）モードの詳細	307
5.5.2	LS（低速メイン）モードの詳細	309
5.5.3	LP（低電力メイン）モードの詳細	311
5.5.4	SUBモードの詳細	312
6.	クロック発生回路	313
6.1	クロック発生回路の機能	313
6.2	クロック発生回路の構成	315
6.3	クロック発生回路を制御するレジスタ	318
6.3.1	クロック動作モード制御レジスタ（CMC）	319
6.3.2	メイン発振器発振モード選択レジスタ（MODRV）	321
6.3.3	システム・クロック制御レジスタ（CKC）	322
6.3.4	クロック動作ステータス制御レジスタ（CSC）	324
6.3.5	発振安定時間カウンタ状態レジスタ（OSTC）	326
6.3.6	発振安定時間選択レジスタ（OSTS）	328
6.3.7	周辺イネーブル・レジスタ 0-2（PER0-PER2）	330
6.3.8	サブシステム・クロック供給モード制御レジスタ（OSMC）	337
6.3.9	サブシステム・クロック選択レジスタ（CKSEL）	339
6.3.10	高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）	340
6.3.11	中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）	342
6.3.12	高速システム・クロック分周レジスタ（MOSCDIV）	343
6.3.13	高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）	344
6.3.14	中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）	345
6.3.15	低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM）	346
6.3.16	スタンバイ・モード解除設定レジスタ（WKUPMD）	347
6.3.17	XT1発振回路マージンチェック制御レジスタ（SOMRG）	348

6.4	システム・クロック発振回路	349
6.4.1	X1発振回路	349
6.4.2	XT1発振回路	350
6.4.3	高速オンチップ・オシレータ	354
6.4.4	中速オンチップ・オシレータ	354
6.4.5	低速オンチップ・オシレータ	354
6.5	クロック発生回路の動作	355
6.6	クロックの制御	357
6.6.1	高速オンチップ・オシレータの設定例	357
6.6.2	X1発振回路の設定例	359
6.6.3	XT1発振回路の設定例	360
6.6.4	CPUクロック状態移行図	361
6.6.5	CPUクロックの移行前の条件と移行後の処理	365
6.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	370
6.6.7	クロック発振停止前の条件	372
6.7	発振子と発振回路定数	373
7.	タイマ・アレイ・ユニット (TAU)	374
7.1	タイマ・アレイ・ユニットの機能	375
7.1.1	単独チャンネル動作機能	375
7.1.2	複数チャンネル連動動作機能	377
7.1.3	8ビット・タイマ動作機能 (チャンネル1, 3のみ)	379
7.1.4	LIN-bus対応機能 (ユニット0のチャンネル7のみ)	379
7.2	タイマ・アレイ・ユニットの構成	380
7.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	386
7.2.2	タイマ・データ・レジスタ mn (TDRmn)	388
7.3	タイマ・アレイ・ユニットを制御するレジスタ	389
7.3.1	周辺イネーブル・レジスタ 0 (PER0)	390
7.3.2	周辺リセット制御レジスタ 0 (PRR0)	391
7.3.3	タイマ・クロック選択レジスタ m (TPSm)	392
7.3.4	タイマ・モード・レジスタ mn (TMRmn)	396
7.3.5	タイマ・ステータス・レジスタ mn (TSRmn)	400
7.3.6	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	401
7.3.7	タイマ・チャンネル開始レジスタ m (TSM)	402
7.3.8	タイマ・チャンネル停止レジスタ m (TTm)	404
7.3.9	タイマ入力選択レジスタ 0 (TIS0)	405
7.3.10	タイマ入力選択レジスタ 1 (TIS1)	406
7.3.11	タイマ出力選択レジスタ (TOS)	406
7.3.12	タイマ出力許可レジスタ m (TOEm)	407
7.3.13	タイマ出力レジスタ m (TOM)	408
7.3.14	タイマ出力レベル・レジスタ m (TOLm)	409
7.3.15	タイマ出力モード・レジスタ m (TOMm)	410
7.3.16	入力切り替え制御レジスタ (ISC)	411
7.3.17	ノイズ・フィルタ許可レジスタ 1 (NFEN1)	412
7.3.18	タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ	414
7.4	タイマ・アレイ・ユニットの基本ルール	415
7.4.1	複数チャンネル連動動作機能の基本ルール	415
7.4.2	8ビット・タイマ動作機能の基本ルール (チャンネル1, 3のみ)	417

7.5	カウンタの動作	418
7.5.1	カウント・クロック (fTCLK)	418
7.5.2	カウンタのスタート・タイミング	420
7.5.3	カウンタの動作	421
7.6	チャンネル出力 (TOmn端子) の制御	426
7.6.1	TOmn端子の出力回路の構成	426
7.6.2	TOmn端子の出力設定	427
7.6.3	チャンネル出力操作時の注意事項	428
7.6.4	TOmnビットの一括操作	433
7.6.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について	435
7.7	タイマ入力 (TImn) の制御	436
7.7.1	TImnの入力回路構成	436
7.7.2	ノイズ・フィルタ	436
7.7.3	チャンネル入力操作時の注意事項	437
7.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	438
7.8.1	インターバル・タイマ／方形波出力としての動作	438
7.8.2	外部イベント・カウンタとしての動作	444
7.8.3	分周器としての動作 (チャンネル0のみ)	449
7.8.4	入力パルス間隔測定としての動作	454
7.8.5	入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作	459
7.8.6	ディレイ・カウンタとしての動作	464
7.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	469
7.9.1	ワンショット・パルス出力機能としての動作	469
7.9.2	PWM機能としての動作	478
7.9.3	多重PWM出力機能としての動作	487
7.9.4	リモコン出力機能	496
7.10	タイマ・アレイ・ユニット使用時の注意事項	499
7.10.1	タイマ出力使用時の注意事項	499
7.10.2	タイマ出力をELCLのイベント入力として使用する時の注意事項	499
8.	タイマRJ	500
8.1	タイマRJnの機能	500
8.2	タイマRJnの構成	501
8.3	タイマRJを制御するレジスタ	502
8.3.1	周辺イネーブル・レジスタ2 (PER2)	503
8.3.2	周辺リセット制御レジスタ2 (PRR2)	504
8.3.3	タイマRJカウンタレジスタn (TRJn) (n = 0, 1)	505
8.3.4	タイマRJ制御レジスタn (TRJCRn) (n = 0, 1)	506
8.3.5	タイマRJ I/O制御レジスタn (TRJIOCn) (n = 0, 1)	508
8.3.6	タイマRJモードレジスタn (TRJMRn) (n = 0, 1)	510
8.3.7	タイマRJイベント端子選択レジスタn (TRJISRn) (n = 0, 1)	512
8.3.8	タイマRJの入出力と端子を兼用するポートのポート機能を制御するレジスタ	513
8.4	タイマRJnの動作	514
8.4.1	リロードレジスタとカウンタの書き換え動作	514
8.4.2	タイマモード	515
8.4.3	パルス出力モード	516
8.4.4	イベントカウンタモード	517
8.4.5	パルス幅測定モード	519
8.4.6	パルス周期測定モード	520

8.4.7	ロジック&イベント・リンク・コントローラ (ELCL) との連携による動作	522
8.4.8	各モード出力設定	523
8.5	タイマRJn使用上の注意事項	524
8.5.1	カウント動作開始、停止制御	524
8.5.2	フラグへのアクセス (TRJCRn レジスタの TEDGF _n , TUNDF _n ビット)	524
8.5.3	カウンタレジスタへのアクセス	524
8.5.4	モード変更時	525
8.5.5	TRJOn、TRJIO _n 端子の設定手順	525
8.5.6	タイマRJn未使用時	526
8.5.7	タイマRJn動作クロック停止時	526
8.5.8	STOPモード (イベントカウンタモード) の設定手順	526
8.5.9	STOPモード (イベントカウンタモードのみ) での機能制限	526
8.5.10	TSTOP _n ビットによる強制カウント停止時	526
8.5.11	デジタルフィルタ	527
8.5.12	カウントソースに fil を選択する場合	527
9.	16ビット・タイマKB40, KB41, KB42	528
9.1	16ビット・タイマKB40, KB41, KB42の機能	529
9.2	16ビット・タイマKB40, KB41, KB42の構成	531
9.3	16ビット・タイマKB40, KB41, KB42を制御するレジスタ	533
9.3.1	周辺イネーブル・レジスタ2 (PER2)	534
9.3.2	周辺リセット制御レジスタ2 (PRR2)	535
9.3.3	タイマ・クロック選択レジスタ2 (TPS2)	536
9.3.4	16ビット・タイマKBコンペア・レジスタnm (TKBCR _{nm}) (n = 0-2, m = 0-3)	538
9.3.5	16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCR _n) (n = 0-2)	538
9.3.6	16ビット・タイマKB動作制御レジスタn0 (TKBCTL _{n0}) (n = 0-2)	539
9.3.7	16ビット・タイマKB動作制御レジスタn1 (TKBCTL _{n1}) (n = 0-2)	541
9.3.8	16ビット・タイマKB動作制御レジスタn2 (TKBCTL _{n2}) (n = 0-2)	542
9.3.9	16ビット・タイマKB出力制御レジスタn0 (TKBIOC _{n0}) (n = 0-2)	543
9.3.10	16ビット・タイマKB出力制御レジスタn1 (TKBIOC _{n1}) (n = 0-2)	544
9.3.11	16ビット・タイマKBフラグ・レジスタn (TKBFLG _n) (n = 0-2)	545
9.3.12	16ビット・タイマKBトリガ・レジスタn (TKBTRG _n) (n = 0-2)	546
9.3.13	16ビット・タイマKBフラグ・クリア・トリガ・レジスタn (TKBCLR _n) (n = 0-2)	547
9.3.14	16ビット・タイマKBディザリング数レジスタnp (TKBDNR _{np}) (n = 0-2; p = 0, 1)	548
9.3.15	16ビット・タイマKBコンペア1L & ディザリング数レジスタn0 (TKBCRLD _{n0}) (n = 0-2)	550
9.3.16	16ビット・タイマKBコンペア3L & ディザリング数レジスタn1 (TKBCRLD _{n1}) (n = 0-2)	550
9.3.17	16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp (TKBSIR _{np}) (n = 0-2; p = 0, 1)	551
9.3.18	16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp (TKBSSR _{np}) (n = 0-2; p = 0, 1)	551
9.3.19	16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFR _n) (n = 0-2)	552
9.3.20	16ビット・タイマKB間引き制御レジスタn (TKBTCTL _n) (n = 0-2)	553
9.3.21	16ビット・タイマKB間引き回数設定レジスタn (TKBTCMP _n) (n = 0-2)	554
9.3.22	外部割り込み制御レジスタx (INTPCTL _x) (x = 0-7)	555
9.3.23	16ビット・タイマKB40, KB41, KB42の出力と端子を兼用するポートのポート機能を制御するレジスタ	557
9.4	16ビット・タイマKB40, KB41, KB42の動作	558
9.4.1	カウンタ基本動作	561

9.4.2	デフォルトレベルとアクティブレベル	561
9.4.3	動作停止と動作開始	566
9.4.4	一斉書き換え動作	569
9.4.5	割り込み要求、A/D変換トリガの間引き制御	570
9.4.6	単体動作モード（TKBCRn0レジスタによる周期制御）	573
9.4.7	単体動作モード（外部トリガ入力による周期制御）	580
9.4.8	同時スタート／ストップ・モード	588
9.4.9	同時スタート／クリア・モード	596
9.4.10	インターリーブPFC（Power Factor Correction）出力モード	605
9.5	16ビット・タイマKB40, KB41, KB42のオプション機能	628
9.5.1	A/D変換スタート・タイミング信号出力機能	629
9.5.2	PWM出力ディザリング機能	631
9.5.3	PWM出力ソフト・スタート機能	635
9.5.4	最大周波数リミット機能	638
9.5.5	TKBOnp出力アクティブ時の外部トリガ入力マスク機能	647
9.5.6	IH制御PWM出力機能	650
9.6	強制出力停止機能	652
9.6.1	強制出力停止機能1と強制出力停止機能2	653
9.6.2	強制出力停止機能の構成	655
9.6.3	強制出力停止機能を制御するレジスタ	656
9.6.3.1	強制出力停止機能制御レジスタ np（TKBPACTLnp）（n = 0-2; p = 0, 1）	657
9.6.3.2	強制出力停止機能制御レジスタ n2（TKBPACTLn2）（n = 0-2）	659
9.6.3.3	強制出力停止機能1入力選択レジスタ np（TKBPAHZSn）（n = 0-2; p = 0, 1）	660
9.6.3.4	強制出力停止機能2入力選択レジスタ np（TKBPAFXSn）（n = 0-2; p = 0, 1）	662
9.6.3.5	強制出力停止機能フラグ・レジスタ n（TKBPAFLGn）（n = 0-2）	664
9.6.3.6	強制出力停止機能開始トリガ・レジスタ n（TKBPAHFSn）（n = 0-2）	665
9.6.3.7	強制出力停止機能解除トリガ・レジスタ n（TKBPAHFTn）（n = 0-2）	666
9.7	強制出力停止機能1の動作説明	667
9.7.1	強制出力停止機能1の概要	667
9.7.2	強制出力停止機能1のソフトウェア開始／解除操作	668
9.7.3	強制出力停止機能1の基本動作	669
9.8	強制出力停止機能2の動作説明	673
9.8.1	強制出力停止機能2の概要	673
9.8.2	強制出力停止機能2の基本動作	674
9.9	外部割り込み（INTPx）の16ビット・タイマKB40, KB41, KB42連動機能使用時の構成	679
10.	リアルタイム・クロック（RTC）	680
10.1	リアルタイム・クロックの機能	680
10.2	リアルタイム・クロックの構成	681
10.3	リアルタイム・クロックを制御するレジスタ	683
10.3.1	周辺イネーブル・レジスタ0（PER0）	684
10.3.2	サブシステム・クロック供給モード制御レジスタ（OSMC）	685
10.3.3	リアルタイム・クロック・コントロール・レジスタ0（RTCC0）	686
10.3.4	リアルタイム・クロック・コントロール・レジスタ1（RTCC1）	688
10.3.5	秒カウント・レジスタ（SEC）	690
10.3.6	分カウント・レジスタ（MIN）	690
10.3.7	時カウント・レジスタ（HOUR）	691
10.3.8	日カウント・レジスタ（DAY）	693

10.3.9	曜日カウント・レジスタ (WEEK)	694
10.3.10	月カウント・レジスタ (MONTH)	695
10.3.11	年カウント・レジスタ (YEAR)	695
10.3.12	時計誤差補正レジスタ (SUBCUD)	696
10.3.13	アラーム分レジスタ (ALARMWM)	697
10.3.14	アラーム時レジスタ (ALARMWH)	697
10.3.15	アラーム曜日レジスタ (ALARMWW)	698
10.3.16	リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御する レジスタ	699
10.4	リアルタイム・クロックの動作	700
10.4.1	リアルタイム・クロックの動作開始	700
10.4.2	動作開始後のHALT/STOPモードへの移行	702
10.4.3	リアルタイム・クロックのカウンタ読み出し／書き込み	703
10.4.4	リアルタイム・クロックのアラーム設定	707
10.4.5	リアルタイム・クロックの1 Hz出力	708
10.4.6	リアルタイム・クロックの時計誤差補正例	709
11.	8ビット・インターバル・タイマ	714
11.1	概要	715
11.2	入出力端子	716
11.3	8ビット・インターバル・タイマを制御するレジスタ	716
11.3.1	8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRTni)	717
11.3.2	8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)	717
11.3.3	8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni)	718
11.3.4	8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)	719
11.3.5	8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	720
11.3.6	8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	722
11.4	動作説明	724
11.4.1	インターバル・タイマ・モード	724
11.4.2	タイマ動作	725
11.4.3	開始／停止タイミング	727
11.4.4	コンペア・レジスタ値の反映タイミング	731
11.4.5	8ビット・インターバル・タイマの設定手順	732
11.5	8ビット・インターバル・タイマ使用上の注意事項	733
11.5.1	動作モード設定変更について	733
11.5.2	コンペア・レジスタへのアクセスについて	733
11.5.3	8ビット・インターバル・タイマ設定手順について	733
12.	32ビット・インターバル・タイマ (TML32)	734
12.1	概要	734
12.2	32ビット・インターバル・タイマを制御するレジスタ	738
12.2.1	周辺イネーブル・レジスタ 1 (PER1)	739
12.2.2	周辺リセット制御レジスタ 1 (PRR1)	740
12.2.3	インターバル・タイマ・コンペア・レジスタ 0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)	741
12.2.4	インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n) (n = 0, 1)	741
12.2.5	インターバル・タイマ・キャプチャ・レジスタ 00 (ITLCAP00)	742
12.2.6	インターバル・タイマ制御レジスタ (ITLCTL0)	743
12.2.7	インターバル・タイマ・クロック選択レジスタ 0 (ITLCSEL0)	745

12.2.8	インターバル・タイマ分周レジスタ0 (ITLFDIV00)	746
12.2.9	インターバル・タイマ分周レジスタ1 (ITLFDIV01)	748
12.2.10	インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	750
12.2.11	インターバル・タイマ・ステータス・レジスタ (ITLS0)	752
12.2.12	インターバル・タイマー致検出マスク・レジスタ (ITLMKF0)	754
12.3	動作説明	755
12.3.1	カウンタ・モードの設定	755
12.3.2	キャプチャ・モードの設定	758
12.3.3	タイマ動作	759
12.3.4	キャプチャ動作	760
12.3.5	割り込み動作	762
12.3.6	インターバル・タイマの設定手順	764
13.	外部サンプリング	768
13.1	外部サンプリングの機能	768
13.2	外部サンプリングの構成	768
13.3	外部サンプリングを制御するレジスタ	770
13.3.1	周辺イネーブル・レジスタ2 (PER2)	771
13.3.2	周辺リセット制御レジスタ2 (PRR2)	772
13.3.3	外部サンプリング制御レジスタ0 (EXSDM0)	773
13.3.4	外部サンプリング制御レジスタ1 (EXSDM1)	774
13.3.5	外部サンプリング入出力と端子を兼用するポートのポート機能を制御するレジスタ	775
13.4	サンプリング・クロック出力の動作	776
13.5	外部サンプリングの動作	777
13.6	注意事項	779
14.	クロック出力／ブザー出力制御回路 (PCLBUZ)	780
14.1	クロック出力／ブザー出力制御回路の機能	780
14.2	クロック出力／ブザー出力制御回路の構成	782
14.3	クロック出力／ブザー出力制御回路を制御するレジスタ	782
14.3.1	クロック出力選択レジスタn (CKSn)	783
14.3.2	クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ	784
14.4	クロック出力／ブザー出力制御回路の動作	785
14.4.1	出力端子の動作	785
14.5	クロック出力／ブザー出力制御回路使用時の注意事項	785
15.	ウォッチドッグ・タイマ (WDT)	786
15.1	ウォッチドッグ・タイマの機能	786
15.2	ウォッチドッグ・タイマの構成	787
15.3	ウォッチドッグ・タイマを制御するレジスタ	788
15.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	788
15.4	ウォッチドッグ・タイマの動作	789
15.4.1	ウォッチドッグ・タイマの動作制御	789
15.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	791
15.4.3	ウォッチドッグ・タイマのウィンドウ・オープン期間の設定	792
15.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	793

16.	A/Dコンバータ (ADC)	794
16.1	A/Dコンバータの機能	794
16.2	A/Dコンバータの構成	797
16.3	A/Dコンバータを制御するレジスタ	799
16.3.1	周辺イネーブル・レジスタ0 (PER0)	800
16.3.2	周辺リセット制御レジスタ0 (PRR0)	801
16.3.3	A/Dコンバータ・モード・レジスタ0 (ADM0)	802
16.3.4	A/Dコンバータ・モード・レジスタ1 (ADM1)	811
16.3.5	A/Dコンバータ・モード・拡張レジスタ1 (ADM1EX)	813
16.3.6	A/Dコンバータ・モード・レジスタ2 (ADM2)	814
16.3.7	12ビット/10ビットA/D変換結果レジスタ (ADCR0)	817
16.3.8	8ビットA/D変換結果レジスタ (ADCR0H)	818
16.3.9	アナログ入力チャネル指定レジスタ (ADS)	819
16.3.10	変換結果比較上限値設定レジスタ (ADUL)	821
16.3.11	変換結果比較下限値設定レジスタ (ADLL)	821
16.3.12	A/Dテスト・レジスタ (ADTES)	822
16.3.13	A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御する レジスタ	823
16.4	A/Dコンバータの変換動作	824
16.5	入力電圧と変換結果	826
16.6	A/Dコンバータの動作モード	827
16.6.1	ソフトウェア・トリガ・ノーウエイト・モード (連続変換モード)	827
16.6.2	ソフトウェア・トリガ・ノーウエイト・モード (ワンショット変換モード)	828
16.6.3	ソフトウェア・トリガ・ウエイト・モード (連続変換モード)	829
16.6.4	ソフトウェア・トリガ・ウエイト・モード (ワンショット変換モード)	830
16.6.5	ハードウェア・トリガ・ノーウエイト・モード (連続変換モード)	831
16.6.6	ハードウェア・トリガ・ノーウエイト・モード (ワンショット変換モード)	832
16.6.7	ハードウェア・トリガ・ウエイト・モード (連続変換モード)	833
16.6.8	ハードウェア・トリガ・ウエイト・モード (ワンショット変換モード)	834
16.7	A/Dコンバータの設定フロー・チャート	835
16.7.1	ソフトウェア・トリガ・ノーウエイト・モード時の設定	835
16.7.2	ソフトウェア・トリガ・ウエイト・モード時の設定	836
16.7.3	ハードウェア・トリガ・ノーウエイト・モード時の設定	837
16.7.4	ハードウェア・トリガ・ウエイト・モード時の設定	838
16.7.5	温度センサ出力電圧/内部基準電圧/CTSU TSCAP電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時)	839
16.7.6	テスト・モード時の設定	840
16.8	SNOOZEモード機能	841
16.8.1	ソフトウェア・トリガの入力によるA/D変換	841
16.8.2	ハードウェア・トリガの入力によるA/D変換	843
16.9	A/Dコンバータ特性表の読み方	846
16.10	A/Dコンバータ使用時の注意事項	850
17.	D/Aコンバータ (DAC)	854
17.1	D/Aコンバータの機能	854
17.2	D/Aコンバータの構成	855
17.3	D/Aコンバータを制御するレジスタ	856
17.3.1	周辺イネーブル・レジスタ1 (PER1)	857
17.3.2	周辺リセット制御レジスタ1 (PRR1)	858

17.3.3	D/Aコンバータ・モード・レジスタ0 (DAM0)	859
17.3.4	D/Aコンバータ・モード・レジスタ1 (DAM1)	860
17.3.5	D/A変換値設定レジスタ <i>i</i> (DACSi) (<i>i</i> = 0-2)	861
17.3.6	ロジック&イベント・リンク・コントローラからのイベント出力を制御する レジスタ	862
17.3.7	D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御する レジスタ	862
17.4	D/Aコンバータの動作	863
17.4.1	通常動作モード時の動作	863
17.4.2	リアルタイム出力モード時の動作	864
17.4.3	D/A変換値の出力タイミング	865
17.5	D/Aコンバータ使用時の注意事項	866
18.	コンパレータ (CMP)	867
18.1	コンパレータの機能	867
18.2	コンパレータの構成	868
18.3	コンパレータを制御するレジスタ	869
18.3.1	周辺イネーブル・レジスタ1 (PER1)	870
18.3.2	周辺リセット制御レジスタ1 (PRR1)	871
18.3.3	コンパレータ・モード設定レジスタ (COMPMDR)	872
18.3.4	コンパレータ・フィルタ制御レジスタ (COMPFIR)	874
18.3.5	コンパレータ出力制御レジスタ (COMPOCR)	876
18.3.6	コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御する レジスタ	878
18.4	動作説明	879
18.4.1	コンパレータ <i>i</i> デジタル・フィルタ	881
18.4.2	コンパレータ <i>i</i> 割り込み	881
18.4.3	ロジック&イベント・リンク・コントローラ (ELCL) へのイベント信号出力	882
18.4.4	コンパレータ <i>i</i> 出力	883
18.4.5	コンパレータのクロック停止/供給	883
19.	シリアル・アレイ・ユニット (SAU)	884
19.1	シリアル・アレイ・ユニットの機能	886
19.1.1	簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)	886
19.1.2	UART (UART0-UART3)	887
19.1.3	簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)	888
19.2	シリアル・アレイ・ユニットの構成	889
19.2.1	シフト・レジスタ	893
19.2.2	シリアル・データ・レジスタ <i>mn</i> (SDRmn) の下位8/9ビット	893
19.3	シリアル・アレイ・ユニットを制御するレジスタ	895
19.3.1	周辺イネーブル・レジスタ0 (PER0)	896
19.3.2	周辺リセット制御レジスタ0 (PRR0)	897
19.3.3	シリアル・クロック選択レジスタ <i>m</i> (SPSm)	898
19.3.4	シリアル・モード・レジスタ <i>mn</i> (SMRmn)	900
19.3.5	シリアル通信動作設定レジスタ <i>mn</i> (SCRmn)	902
19.3.6	シリアル・データ・レジスタ <i>mn</i> (SDRmn)	905
19.3.7	シリアル・フラグ・クリア・トリガ・レジスタ <i>mn</i> (SIRmn)	907
19.3.8	シリアル・ステータス・レジスタ <i>mn</i> (SSRmn)	908
19.3.9	シリアル・チャンネル開始レジスタ <i>m</i> (SSm)	910

19.3.10	シリアル・チャネル停止レジスタ m (STm)	911
19.3.11	シリアル・チャネル許可ステータス・レジスタ m (SEm)	912
19.3.12	シリアル出力許可レジスタ m (SOEm)	913
19.3.13	シリアル出力レジスタ m (SOm)	914
19.3.14	シリアル出力レベル・レジスタ m (SOLm)	916
19.3.15	シリアル・スタンバイ・コントロール・レジスタ m (SSCm)	918
19.3.16	入力切り替え制御レジスタ (ISC)	920
19.3.17	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	922
19.3.18	シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ	923
19.3.19	UART ループバック選択レジスタ (ULBS)	924
19.4	動作停止モード	925
19.4.1	ユニット単位で動作停止とする場合	925
19.4.2	チャネルごとに動作停止とする場合	926
19.5	簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作	927
19.5.1	マスタ送信	930
19.5.2	マスタ受信	939
19.5.3	マスタ送受信	948
19.5.4	スレーブ送信	957
19.5.5	スレーブ受信	965
19.5.6	スレーブ送受信	972
19.5.7	SNOOZE モード機能	981
19.5.8	転送クロック周波数の算出	986
19.5.9	簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信時におけるエラー発生時の処理手順	988
19.6	UART (UART0-UART3) 通信の動作	989
19.6.1	UART 送信	993
19.6.2	UART 受信	1002
19.6.3	SNOOZE モード機能	1009
19.6.4	ボー・レートの算出	1017
19.6.5	UART (UART0-UART3) 通信時におけるエラー発生時の処理手順	1022
19.7	LIN 通信の動作	1023
19.7.1	LIN 送信	1023
19.7.2	LIN 受信	1026
19.8	簡易 I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作	1032
19.8.1	アドレス・フィールド送信	1035
19.8.2	データ送信	1041
19.8.3	データ受信	1044
19.8.4	ストップ・コンディション発生	1048
19.8.5	転送レートの算出	1049
19.8.6	簡易 I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時におけるエラー発生時の処理手順	1052
20.	シリアル・インタフェース IICA (IICA)	1053
20.1	シリアル・インタフェース IICA の機能	1053
20.2	シリアル・インタフェース IICA の構成	1056
20.3	シリアル・インタフェース IICA を制御するレジスタ	1059
20.3.1	周辺イネーブル・レジスタ 0 (PER0)	1060
20.3.2	周辺リセット制御レジスタ 0 (PRR0)	1061
20.3.3	IICA コントロール・レジスタ n0 (IICCTLn0)	1062

20.3.4	IICAステータス・レジスタ n (IICS _n)	1066
20.3.5	IICAフラグ・レジスタ n (IICF _n)	1069
20.3.6	IICAコントロール・レジスタ n1 (IICCTL _{n1})	1071
20.3.7	IICAロウ・レベル幅設定レジスタ n (IICWL _n)	1074
20.3.8	IICAハイ・レベル幅設定レジスタ n (IICWH _n)	1074
20.3.9	シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を 制御するレジスタ	1075
20.4	I ² Cバス・モードの機能	1076
20.4.1	端子構成	1076
20.4.2	IICWL _n , IICWH _n レジスタによる転送クロック設定方法	1077
20.5	I ² Cバスの定義および制御方法	1079
20.5.1	スタート・コンディション	1079
20.5.2	アドレス	1080
20.5.3	転送方向指定	1080
20.5.4	アクノリッジ (ACK)	1081
20.5.5	ストップ・コンディション	1082
20.5.6	クロック・ストレッチ	1083
20.5.7	クロック・ストレッチ解除方法	1085
20.5.8	割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御	1086
20.5.9	アドレスの一致検出方法	1087
20.5.10	エラーの検出	1087
20.5.11	拡張コード	1088
20.5.12	アービトレーション	1089
20.5.13	ウェイクアップ機能	1091
20.5.14	通信予約	1094
20.5.15	その他の注意事項	1098
20.5.16	通信動作	1099
20.5.17	I ² C割り込み要求信号 (INTIICAn) の発生タイミング	1107
20.6	タイミング・チャート	1127
21.	シリアル・インタフェースUARTA (UARTA)	1142
21.1	概要	1142
21.2	シリアル・インタフェースUARTAを制御するレジスタ	1144
21.2.1	周辺インエーブル・レジスタ 1, 2 (PER1, PER2)	1145
21.2.2	送信バッファ・レジスタ n (TXBAn)	1146
21.2.3	受信バッファ・レジスタ n (RXBAn)	1147
21.2.4	動作モード設定レジスタ n0 (ASIMAn0)	1148
21.2.5	動作モード設定レジスタ n1 (ASIMAn1)	1150
21.2.6	ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn)	1152
21.2.7	ステータス・レジスタ n (ASISAn)	1153
21.2.8	ステータス・クリア・トリガ・レジスタ n (ASCTAn)	1155
21.2.9	UARTAクロック選択レジスタ n (UTAnCK)	1156
21.2.10	UARTループバック選択レジスタ (ULBS)	1158
21.2.11	シリアル・インタフェースUARTA入出力と端子を兼用するポートのポート機能を 制御するレジスタ	1159
21.3	動作説明	1160
21.3.1	動作停止モード	1160
21.3.2	UARTモード	1160
21.3.3	受信データのノイズ・フィルタ	1174

21.3.4	ボー・レート・ジェネレータ	1175
21.4	使用時の注意事項	1184
21.4.1	RxDAn端子のポート設定手順	1184
21.4.2	シリアル・インタフェース	1184
21.4.3	UARTAn動作クロック (fUTAn) 選択時の注意事項	1184
22.	LCDコントローラ／ドライバ	1185
22.1	LCDコントローラ／ドライバの機能	1187
22.2	LCDコントローラ／ドライバの構成	1200
22.3	LCDコントローラ／ドライバを制御するレジスタ	1202
22.3.1	LCDモード・レジスタ0 (LCDM0)	1203
22.3.2	LCDモード・レジスタ1 (LCDM1)	1206
22.3.3	LCDモード・レジスタ2 (LCDM2)	1208
22.3.4	サブシステム・クロック供給モード制御レジスタ (OSMC)	1209
22.3.5	LCDクロック制御レジスタ0 (LCDC0)	1210
22.3.6	LCD昇圧レベル制御レジスタ (VLCD)	1212
22.3.7	LCD入力切り替え制御レジスタ (ISCLCD)	1215
22.3.8	LCDポート・ファンクション・レジスタ (PFSEGX)	1221
22.3.9	LCDコントローラ／ドライバのコモン／セグメント出力と端子を兼用するポートの ポート機能を制御するレジスタ	1228
22.4	LCD表示データ・レジスタ	1229
22.5	LCD表示レジスタの選択	1237
22.5.1	Aパターン領域、Bパターン領域のデータ表示	1238
22.5.2	点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)	1238
22.6	LCDコントローラ／ドライバの設定	1239
22.7	動作停止手順	1244
22.8	LCD駆動電圧VL1, VL2, VL3, VL4の供給	1245
22.8.1	外部抵抗分割方式	1245
22.8.2	内部昇圧方式	1247
22.8.3	容量分割方式	1249
22.9	コモン信号とセグメント信号	1251
22.10	表示モード	1259
22.10.1	スタティック表示例	1259
22.10.2	2時分割表示例	1262
22.10.3	3時分割表示例	1265
22.10.4	4時分割表示例	1269
22.10.5	6時分割表示例	1273
22.10.6	8時分割表示例	1277
23.	データ・トランスファ・コントローラ (DTC)	1281
23.1	DTCの機能	1281
23.2	DTCの構成	1283
23.3	DTCを制御するレジスタ	1284
23.3.1	DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置	1285
23.3.2	コントロール・データの配置	1286
23.3.3	ベクタ・テーブル	1288
23.3.4	周辺イネーブル・レジスタ1 (PER1)	1291
23.3.5	DTC制御レジスタj (DTCCRj) (j = 0-23)	1292
23.3.6	DTCブロック・サイズ・レジスタj (DTBLSj) (j = 0-23)	1294

23.3.7	DTC転送回数レジスタj (DTCCTj) (j = 0-23)	1295
23.3.8	DTC転送回数リロード・レジスタj (DTRLdj) (j = 0-23)	1295
23.3.9	DTCソース・アドレス・レジスタj (DTSARj) (j = 0-23)	1296
23.3.10	DTCデスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23)	1296
23.3.11	DTC起動許可レジスタi (DTCENi) (i = 0-6)	1297
23.3.12	DTCベース・アドレス・レジスタ (DTCBAR)	1300
23.4	DTCの動作	1301
23.4.1	起動要因	1302
23.4.2	ノーマル・モード	1303
23.4.3	リピート・モード	1306
23.4.4	チェーン転送	1310
23.5	DTC使用時の注意事項	1312
23.5.1	DTCのコントロール・データおよびベクタ・テーブルの設定	1312
23.5.2	DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置	1312
23.5.3	DTC保留命令	1313
23.5.4	データ・フラッシュ・メモリ領域にアクセスする場合の動作	1313
23.5.5	DTC実行クロック数	1314
23.5.6	DTC応答時間	1315
23.5.7	DTC起動要因	1315
23.5.8	スタンバイ・モード時の動作	1316
24.	ロジック&イベント・リンク・コントローラ (ELCL)	1317
24.1	ELCLの機能	1317
24.2	ELCLの構成	1317
24.3	ELCLを制御するレジスタ	1327
24.3.1	入力信号選択レジスタn (ELISELn) (n = 0-11)	1328
24.3.2	イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 0-3)	1333
24.3.3	イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 4, 5)	1334
24.3.4	イベント・リンクL1信号選択レジスタ6 (ELL1SEL6)	1335
24.3.5	論理セルブロックL1制御レジスタ (ELL1CTL)	1336
24.3.6	イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 0-3)	1337
24.3.7	イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 4, 5)	1338
24.3.8	イベント・リンクL1出力選択レジスタ6 (ELL1LNK6)	1339
24.3.9	イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 0-3)	1340
24.3.10	イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 4, 5)	1342
24.3.11	イベント・リンクL2信号選択レジスタ6 (ELL2SEL6)	1343
24.3.12	論理セルブロックL2制御レジスタ (ELL2CTL)	1344
24.3.13	イベント・リンクL2出力選択レジスタn (ELL2LNKn) (n = 0-3)	1345
24.3.14	イベント・リンクL2出力選択レジスタn (ELL2LNKn) (n = 4, 5)	1346
24.3.15	イベント・リンクL2出力選択レジスタ6 (ELL2LNK6)	1347
24.3.16	イベント・リンクL3信号選択レジスタn (ELL3SELn) (n = 0-3)	1348
24.3.17	イベント・リンクL3信号選択レジスタn (ELL3SELn) (n = 4, 5)	1350
24.3.18	イベント・リンクL3信号選択レジスタ6 (ELL3SEL6)	1351
24.3.19	論理セルブロックL3制御レジスタ (ELL3CTL)	1352
24.3.20	イベント・リンクL3出力選択レジスタn (ELL3LNKn) (n = 0-3)	1353
24.3.21	イベント・リンクL3出力選択レジスタn (ELL3LNKn) (n = 4, 5)	1354
24.3.22	イベント・リンクL3出力選択レジスタ6 (ELL3LNK6)	1355
24.3.23	出力信号選択レジスタn (ELOSELn) (n = 0-7)	1356
24.3.24	出力信号イネーブル設定レジスタ (ELOENCTL)	1358

24.3.25	出力信号モニタレジスタ (ELOMONI)	1360
24.3.26	ロジック&イベント・リンク・コントローラ入出力と端子を兼用するポートの ポート機能を制御するレジスタ	1361
24.4	ELCLの動作	1362
24.5	ELCLの設定手順	1363
24.6	ELCL使用時の注意事項	1366
25.	割り込み機能	1367
25.1	割り込み機能の種類	1367
25.2	割り込み要因と構成	1367
25.3	割り込み機能を制御するレジスタ	1374
25.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)	1381
25.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)	1384
25.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)	1386
25.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)	1390
25.3.5	プログラム・ステータス・ワード (PSW)	1392
25.3.6	割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ	1393
25.4	割り込み処理動作	1394
25.4.1	マスカブル割り込み要求の受付動作	1394
25.4.2	ソフトウェア割り込み要求の受付動作	1397
25.4.3	多重割り込み処理	1397
25.4.4	割り込み要求の保留	1401
26.	キー割り込み機能	1402
26.1	キー割り込みの機能	1402
26.2	キー割り込みの構成	1403
26.3	キー割り込みを制御するレジスタ	1404
26.3.1	キー・リターン・コントロール・レジスタ (KRCTL)	1404
26.3.2	キー・リターン・モード・レジスタ0 (KRM0)	1405
26.3.3	キー・リターン・フラグ・レジスタ (KRF)	1406
26.3.4	キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ	1406
27.	スタンバイ機能	1407
27.1	スタンバイ機能	1407
27.2	スタンバイ機能を制御するレジスタ	1408
27.2.1	スタンバイ・モード解除設定レジスタ (WKUPMD)	1409
27.2.2	メモリ電力削減制御レジスタ (PSMCR)	1410
27.3	スタンバイ機能の動作	1412
27.3.1	HALTモード	1412
27.3.2	STOPモード	1419
27.3.3	SNOOZEモード	1424
28.	リセット機能	1428
28.1	リセット動作のタイミング	1430
28.2	リセット要因を確認するレジスタ	1434
28.2.1	リセット・コントロール・フラグ・レジスタ (RESF)	1434

28.2.2	パワーオン・リセット・ステータス・レジスタ (PORSR)	1437
28.2.3	周辺リセット制御レジスタ0 (PRR0)	1438
28.2.4	周辺リセット制御レジスタ1 (PRR1)	1439
28.2.5	周辺リセット制御レジスタ2 (PRR2)	1440
29.	パワーオン・リセット回路 (POR)	1441
29.1	パワーオン・リセット回路の機能	1441
29.2	パワーオン・リセット回路の構成	1442
29.3	パワーオン・リセット回路の動作	1443
30.	電圧検出回路 (LVD)	1445
30.1	電圧検出回路の機能	1445
30.2	電圧検出回路の構成	1446
30.3	電圧検出回路を制御するレジスタ	1447
30.3.1	電圧検出レジスタ (LVIM)	1447
30.3.2	LVD 検出フラグ・クリア・レジスタ (LVDFCLR)	1448
30.3.3	電圧検出レベル・レジスタ (LVIS)	1449
30.4	電圧検出回路の動作	1451
30.4.1	リセット・モードとして使用する場合の設定	1451
30.4.2	割り込みモードとして使用する場合の設定	1454
30.5	電圧検出回路使用時の注意事項	1457
31.	発振停止検出回路	1460
31.1	発振停止検出回路の機能	1460
31.2	発振停止検出回路の構成	1461
31.3	発振停止検出回路を制御するレジスタ	1462
31.3.1	周辺イネーブル・レジスタ2 (PER2)	1462
31.3.2	周辺リセット制御レジスタ2 (PRR2)	1463
31.3.3	発振停止検出制御レジスタ (OSDC)	1464
31.4	発振停止検出回路の動作	1465
31.4.1	発振停止検出回路の動作方法	1465
31.5	発振停止検出機能使用時の注意事項	1466
32.	安全機能	1467
32.1	安全機能の概要	1467
32.2	安全機能で使用するレジスタ	1468
32.3	安全機能の動作	1468
32.3.1	フラッシュ・メモリCRC演算機能 (高速CRC)	1468
32.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)	1469
32.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	1471
32.3.2	CRC演算機能 (汎用CRC)	1473
32.3.2.1	CRC入力レジスタ (CRCIN)	1474
32.3.2.2	CRCデータ・レジスタ (CRCD)	1475
32.3.3	フラッシュ・メモリ・ガード機能	1476
32.3.3.1	コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0)	1476
32.3.3.2	データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1)	1477
32.3.3.3	フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2)	1478

32.3.4	RAMパリティ・エラー検出機能	1479
32.3.4.1	RAMパリティ・エラー制御レジスタ (RPECTL)	1479
32.3.5	RAMガード機能	1481
32.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1481
32.3.6	SFRガード機能	1482
32.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1482
32.3.7	不正メモリ・アクセス検出機能	1483
32.3.7.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1484
32.3.8	不正メモリ・アクセス検出制御レジスタのガード機能	1485
32.3.8.1	IAWCTLレジスタ・ガードレジスタ (GIAWCTL)	1485
32.3.9	周波数検出機能	1486
32.3.9.1	タイマ入力選択レジスタ0 (TIS0)	1487
32.3.10	A/Dテスト機能	1488
32.3.10.1	A/Dテスト・レジスタ (ADTES)	1490
32.3.10.2	アナログ入力チャネル指定レジスタ (ADS)	1491
32.3.11	入出力端子のデジタル出力信号レベル検出機能	1493
32.3.11.1	ポート・モード選択レジスタ (PMS)	1493
32.3.12	UARTループバック機能	1494
32.3.12.1	UARTループバック選択レジスタ (ULBS)	1495
33.	セキュリティ機能	1497
33.1	真性乱数発生器 (TRNG)	1497
33.1.1	真性乱数発生器の機能	1497
33.1.2	真性乱数発生器を制御するレジスタ	1497
33.1.2.1	乱数シード・コマンド・レジスタ0 (TRNGSCR0)	1498
33.1.2.2	乱数シード・データ・レジスタ (TRNGSDR)	1499
33.1.3	真性乱数発生器の動作	1500
33.2	フラッシュ・リード・プロテクション	1501
33.2.1	フラッシュ・リード・プロテクションの機能	1501
33.2.2	フラッシュ・リード・プロテクションの設定	1501
33.2.3	動作説明	1503
33.3	ユニークID	1504
33.3.1	ユニークIDの機能	1504
33.3.2	製品名のアスキー・コード	1504
34.	SNOOZEモード・シーケンサ (SMS)	1505
34.1	SNOOZEモード・シーケンサの機能	1505
34.2	SNOOZEモード・シーケンサの構成	1506
34.3	SNOOZEモード・シーケンサを制御するレジスタ	1507
34.3.1	周辺イネーブル・レジスタ1 (PER1)	1507
34.3.2	周辺リセット制御レジスタ1 (PRR1)	1508
34.3.3	シーケンサ・インストラクション・レジスタp (SMSIp) (p = 0-31)	1509
34.3.4	シーケンサ汎用レジスタn (SMSGn) (n = 0-15)	1512
34.3.5	シーケンサ制御レジスタ (SMSC)	1514
34.3.6	シーケンサ・ステータス・レジスタ (SMSS)	1516
34.4	SNOOZEモード・シーケンサの動作	1517
34.4.1	SNOOZEモード・シーケンサの内部の動作	1517
34.4.2	シーケンサのメモリ空間	1518
34.4.3	シーケンサ・フラグ	1520

34.4.4	SNOOZEモード・シーケンサの操作手順	1521
34.4.5	SNOOZEモード・シーケンサの状態	1523
34.5	シーケンサ処理コマンド	1524
34.5.1	8ビット・データ転送処理1	1525
34.5.2	8ビット・データ転送処理2	1526
34.5.3	16ビット・データ転送処理1	1527
34.5.4	16ビット・データ転送処理2	1528
34.5.5	1ビット・データ・セット処理	1529
34.5.6	1ビット・データ・クリア処理	1530
34.5.7	1ビット・データ転送処理	1531
34.5.8	ワード・データ加算処理	1532
34.5.9	ワード・データ減算処理	1533
34.5.10	ワード・データ比較処理	1534
34.5.11	右方向論理シフト処理	1535
34.5.12	分岐処理1 (SCY = 1)	1536
34.5.13	分岐処理2 (SCY = 0)	1537
34.5.14	分岐処理3 (SZ = 1)	1538
34.5.15	分岐処理4 (SZ = 0)	1539
34.5.16	ウエイト処理	1540
34.5.17	条件付きウエイト処理1 (bit = 1)	1542
34.5.18	条件付きウエイト処理2 (bit = 0)	1543
34.5.19	終了処理	1544
34.5.20	割り込み&終了処理	1545
34.5.21	DTC起動処理	1546
34.6	スタンバイ・モード時の動作	1547
35.	静電容量センサユニット (CTS2La)	1548
35.1	概要	1550
35.1.1	CTS2Laの機能概要	1550
35.1.2	計測ステータス	1552
35.2	静電容量センサユニットを制御するレジスタ	1554
35.2.1	周辺イネーブル・レジスタ1 (PER1)	1555
35.2.2	周辺リセット制御レジスタ1 (PRR1)	1556
35.2.3	CTS2La制御レジスタAL, AH (CTS2LAL, CTS2LAH)	1557
35.2.4	CTS2La制御レジスタBL, BH (CTS2LBL, CTS2LBH)	1565
35.2.5	CTS2La計測チャンネルレジスタL, H (CTS2LCHL, CTS2LCHH)	1568
35.2.6	CTS2Laチャンネル有効制御レジスタAL, AH, BL (CTS2LACHAL, CTS2LACHAH, CTS2LACHBL)	1570
35.2.7	CTS2Laチャンネル送受信制御レジスタAL, AH, BL (CTS2LACHTRCAL, CTS2LACHTRCAH, CTS2LACHTRCBL)	1571
35.2.8	CTS2LaステータスレジスタL (CTS2LSRL)	1572
35.2.9	CTS2Laセンサオフセットレジスタ0, 1 (CTS2LSO0, CTS2LSO1)	1575
35.2.10	CTS2Laセンサカウンタレジスタ (CTS2LSC, CTS2LUUC)	1578
35.2.11	CTS2LaキャリブレーションレジスタL, H (CTS2LDBGR0, CTS2LDBGR1)	1579
35.2.12	CTS2Laセンサユニットクロック制御レジスタAL, AH, BL, BH (CTS2LSUCLK0, CTS2LSUCLK1, CTS2LSUCLK2, CTS2LSUCLK3)	1583
35.2.13	CTS2LaトリミングレジスタAL, AH (CTS2LUTRIM0, CTS2LUTRIM1)	1585
35.2.14	CTS2LaトリミングレジスタBL, BH (CTS2LUTRIM2, CTS2LUTRIM3)	1586

35.2.15	静電容量センサユニット入出力と端子を兼用するポートのポート機能を制御するレジスタ	1587
35.3	動作説明	1588
35.3.1	計測動作原理	1588
35.3.2	初期設定手順	1591
35.3.3	計測方式	1592
35.3.4	スキャンモード	1595
35.3.5	マルチクロック計測	1595
35.3.6	複数電極接続機能	1595
35.3.7	割り込み	1596
35.4	静電容量センサユニット使用時の注意事項	1598
35.4.1	静電容量センサユニットによる検出動作の評価について	1598
35.4.2	TSCAP 端子	1598
35.4.3	計測動作中のクロック、ポート設定の変更	1598
35.4.4	ソフトウェアトリガ	1598
35.4.5	外部トリガ	1599
35.4.6	CTSUセンサカウンタレジスタ (CTSUSC, CTSUUC) 読み出し	1599
35.4.7	強制停止	1599
35.4.8	スペクトラム拡散機能使用時のサンプリング周期	1599
35.4.9	自己容量方式使用時の送信端子設定	1599
35.4.10	ノイズ対策上の注意点	1600
35.4.11	メモリ占有量	1601
36.	レギュレータ	1602
36.1	レギュレータの概要	1602
37.	オプション・バイト	1603
37.1	オプション・バイトの機能	1603
37.1.1	ユーザ・オプション・バイト (000C0H-000C2H／スワップ先アドレス)	1604
37.1.2	オンチップ・デバッグ・オプション・バイト (000C3H／スワップ先アドレス)	1605
37.2	ユーザ・オプション・バイトのフォーマット	1606
37.3	オンチップ・デバッグ・オプション・バイトのフォーマット	1611
37.4	オプション・バイトの設定	1612
38.	フラッシュ・メモリ	1613
38.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	1616
38.1.1	プログラミング環境	1617
38.1.2	通信方式	1617
38.2	外部デバイス (UART 内蔵) によるシリアル・プログラミング	1618
38.2.1	プログラミング環境	1618
38.2.2	通信方式	1619
38.3	オンボード上の端子処理	1620
38.3.1	P40/TOOL0 端子	1620
38.3.2	RESET 端子	1621
38.3.3	ポート端子	1622
38.3.4	REGC 端子	1622
38.3.5	電源	1622
38.4	プログラミング方法	1623
38.4.1	シリアル・プログラミング手順	1623

38.4.2	フラッシュ・メモリ・プログラミング・モード	1624
38.4.3	通信方式	1625
38.4.4	通信コマンド	1626
38.5	専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）	1628
38.6	セルフ・プログラミング	1629
38.6.1	セルフ・プログラミング手順	1630
38.6.2	フラッシュ・メモリを制御するレジスタ	1631
38.6.2.1	フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)	1632
38.6.2.2	フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL)	1633
38.6.2.3	フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)	1635
38.6.2.4	フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)	1636
38.6.2.5	フラッシュ・ステータス・レジスタ (PFS)	1637
38.6.2.6	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	1638
38.6.2.7	フラッシュ領域選択レジスタ (FLARS)	1639
38.6.2.8	フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)	1640
38.6.2.9	フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)	1642
38.6.2.10	フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE)	1644
38.6.2.11	フラッシュ・レジスタ初期化レジスタ (FLRST)	1646
38.6.2.12	フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)	1647
38.6.2.13	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)	1649
38.6.2.14	フラッシュ FSW モニタ・レジスタ E (FLFSWE)	1651
38.6.2.15	フラッシュ FSW モニタ・レジスタ S (FLFSWS)	1652
38.6.2.16	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	1653
38.6.2.17	割り込みベクタ移動許可レジスタ (VECTCTRL)	1654
38.6.2.18	割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1)	1655
38.6.3	フラッシュ・メモリ制御モードの設定	1656
38.6.4	フラッシュ・メモリ・シーケンサ用レジスタの初期化	1658
38.6.5	フラッシュ・メモリ・シーケンサの動作周波数設定	1658
38.6.6	フラッシュ・メモリの書き換え	1659
38.6.7	コード・フラッシュ・プログラミング・モード中の割り込み	1670
38.6.8	フラッシュ・メモリ領域書き換え時のコマンドの実行例	1672
38.6.9	セルフ・プログラミング時の注意事項	1675
38.7	ブート・スワップ機能	1676
38.8	バンク・プログラミング機能	1679
38.8.1	バンク・モード切り替え機能	1679
38.8.2	バンク・プログラミング機能	1680
38.8.3	バンク・スワップ機能	1681
38.8.4	フラッシュ動作モード選択レジスタ (FLMODE)	1682
38.8.5	プログラム更新手順	1683
38.9	フラッシュ・シールド・ウィンドウ機能	1685
38.10	セキュリティ設定	1686
38.11	ブート・クラスタ・サイズ／バンク・スワップ設定	1689
38.12	データ・フラッシュ・メモリ	1690
38.12.1	データ・フラッシュ・メモリの概要	1690
38.12.2	データ・フラッシュ・メモリへのアクセス手順	1691

39.	オンチップ・デバッグ機能	1692
39.1	E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続	1692
39.2	外部デバイス（UART内蔵）との接続	1693
39.3	オンチップ・デバッグのセキュリティ設定	1694
39.4	ユーザ資源の確保	1695
39.5	バンク・プログラミング・モード時のオンチップ・デバッグ機能	1695
40.	10進補正（BCD）回路	1698
40.1	10進補正回路の機能	1698
40.2	10進補正回路で使用するレジスタ	1698
40.2.1	BCD補正結果レジスタ（BCDADJ）	1698
40.3	10進補正回路の動作	1699
41.	命令セットの概要	1701
41.1	凡例	1702
41.1.1	オペランドの表現形式と記述方法	1702
41.1.2	オペレーション欄の説明	1703
41.1.3	フラグ動作欄の説明	1704
41.1.4	PREFIX命令	1704
41.2	オペレーション一覧	1705
42.	電氣的特性	1723
42.1	絶対最大定格	1724
42.2	発振回路特性	1726
42.2.1	X1発振回路特性	1726
42.2.2	XT1発振回路特性	1726
42.2.3	オンチップ・オシレータ特性	1727
42.3	DC特性	1728
42.3.1	端子特性	1728
42.3.2	電源電流特性	1736
42.4	AC特性	1752
42.5	周辺機能特性	1758
42.5.1	シリアル・アレイ・ユニット	1758
42.5.2	シリアル・インタフェース UARTA	1787
42.5.3	シリアル・インタフェース IICA	1788
42.6	アナログ特性	1791
42.6.1	A/Dコンバータ特性	1791
42.6.2	温度センサ／内部基準電圧特性	1796
42.6.3	D/Aコンバータ特性	1796
42.6.4	コンパレータ特性	1797
42.6.5	POR回路特性	1798
42.6.6	LVD回路特性	1799
42.6.7	電源電圧立ち上がり特性	1801
42.6.8	LCD特性	1802
42.7	RAMデータ保持特性	1808
42.8	フラッシュ・メモリ・プログラミング特性	1808
42.9	専用フラッシュ・メモリ・プログラマ通信（UART）	1810
42.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1810

43.	外形図	1811
43.1	44 ピン製品	1811
43.2	48 ピン製品	1812
43.3	52 ピン製品	1814
43.4	64 ピン製品	1815
43.5	80 ピン製品	1817
43.6	100 ピン製品	1819
付録A	改版履歴	1821
A.1	本版で改訂された主な箇所	1821
A.2	前版までの改版履歴	1823

第1章 概 説

1.1 特徴

超低消費電力テクノロジー

- VDD = 1.6 ~ 5.5 Vの単一電源
- HALTモード
- STOPモード
STOPモードから高速ウェイクアップ可能
- SNOOZEモード

RL78 CPU コア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.03125 μ s：高速オンチップ・オシレータ・クロック 32 MHz動作時）から超低速（30.5 μ s：サブシステム・クロック 32.768 kHz動作時）までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ $\times$ 8 $\times$ 4バンク
- 内蔵RAM：16 ~ 32 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：64 ~ 128 KB（シングルバンク）、
256 KB（128 KB $\times$ 2 バンクまたはシングルバンク）、
512 KB（256 KB $\times$ 2 バンクまたはシングルバンク）
- ブロック・サイズ：2 KB
- ブロック消去禁止、書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング：ブート・スワップ機能とフラッシュ・シールド・ウィンドウ機能あり
- バンク・プログラミング機能：ユーザ・プログラムを実行しながらプログラムの更新が可能

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：8 KB
- バックグラウンド・オペレーション（BGO）：データ・フラッシュ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回（Typ.）

高速オンチップ・オシレータ

- 64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択
- 高精度 $\pm 1.0\%$ ($V_{DD} = 1.6 \sim 5.5 \text{ V}$ 、 $T_A = -40 \sim +105^\circ\text{C}$)

中速オンチップ・オシレータ

- 4 MHz, 2 MHz, 1 MHzから選択（補正可能）

低速オンチップ・オシレータ

- 32.768 kHz (Typ.)（補正可能）

動作温度範囲

- $T_A = -40 \sim +105^\circ\text{C}$ (3C : 産業用途)

電源管理とリセット機能

- パワーオン・リセット回路 (POR)
- 電圧検出回路 (LVD0, LVD1)

データ・トランスファ・コントローラ (DTC)

- 転送モード : ノーマル転送モード、リピータ転送モード、ブロック転送モード
- 起動要因 : 割り込み要因により起動
- チェイン転送機能あり

SNOOZE モード・シーケンサ (SMS)

- シーケンサ処理コマンドによる演算処理や値比較処理によって、通常動作に復帰しない間欠動作を実現可能
- 21種類の処理から合計で32個の処理を選択して順次に実行可能
- CPUやフラッシュ・メモリ、RAMを使用せずに低消費電力で動作可能

ロジック&イベント・リンク・コントローラ (ELCL)

- イベント信号を特定の周辺機能へリンク可能
- 複数のイベント信号を論理回路へ入力することで信号生成が可能
- フリップ・フロップ回路（セット／リセット機能付き）を内蔵

シリアル・インタフェース

- 簡易SPI (CSI^注) : 5 ~ 8 チャンネル
- UART／UART (LIN-bus 対応)／UARTA : 5 ~ 8 チャンネル
- I²C／簡易I²C : 8 ~ 10 チャンネル

タイマ

- 16ビット・タイマ : 8チャンネル（リモコン出力機能あり）
- 16ビット・タイマRJ : 1～2チャンネル
- 16ビット・タイマKB40, KB41, KB42 : 1～3チャンネル（IH用PWM出力機能あり）
- 32ビット・インターバル・タイマ : 32ビット・カウンタ・モード時：1チャンネル
16ビット・カウンタ・モード時：2チャンネル
8ビット・カウンタ・モード時：4チャンネル
- 8ビット・インターバル・タイマ : 4～8ユニット
- リアルタイム・クロック : 1チャンネル（99年カレンダー、アラーム機能、時計補正機能）
- ウォッチドッグ・タイマ : 1チャンネル（低速オンチップ・オシレータ・クロックで動作）
- 外部サンプリング : 1チャンネル
- 発振停止検出回路 : 1チャンネル

LCD コントローラ／ドライバ

- 内部昇圧／容量分割／外部抵抗分割を切り替え可能
- セグメント信号出力：19～56本
- コモン信号出力：4～8本

A/D コンバータ

- 8／10／12ビット分解能
- アナログ入力：8～13チャンネル
- 内部基準電圧（1.48 V (Typ.)) と温度センサを搭載

D/A コンバータ

- 8ビット分解能
- アナログ出力：3チャンネル（1チャンネルはコンパレータの内部基準電圧専用）
- 出力電圧：0 V～V_{DD}
- リアルタイム出力機能を搭載

コンパレータ

- 1～2チャンネル
- 動作モード：コンパレータ高速モード、コンパレータ低速モード
- 基準電圧は外部基準電圧と内部基準電圧、D/A コンバータ出力から選択が可能

静電容量センサユニット

- 動作電圧条件：V_{DD} = 1.8～5.5 V
- 自己容量方式：1端子1キー構成で最大36キーに対応
- 相互容量方式：8×8のマトリクス構成により最大64キーに対応

入出力ポート

- I/Oポート：40～95本
(N-ch オープン・ドレイン出力／入力 [6 V 耐圧]：2～4本、
N-ch オープン・ドレイン出力／入力 [V_{DD} 耐圧]：24～57本、
出力電流制御ポート：4～8本)
- N-ch オープン・ドレイン、TTL入力バッファ、内蔵プルアップの切り替え可能
- 異電位（1.8 V系、2.5 V系、3 V系）動作デバイスと接続可能

その他

- キー割り込み機能
- クロック出力／ブザー出力制御回路
- 10進補正（BCD）回路

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

備考 製品によって、搭載している機能が異なります。詳細は、**1.6 機能概要**を参照してください。

○ ROM, RAM 容量

コード・ フラッシュ・ メモリ	データ・ フラッシュ・ メモリ	RAM	RL78/L23					
			44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
512 KB	8 KB	32 KB	R7F100LFL	R7F100LGL	R7F100LJL	R7F100LLL	R7F100LML	R7F100LPL
256 KB	8 KB	32 KB	R7F100LFJ	R7F100LGJ	R7F100LJJ	R7F100LLJ	R7F100LMJ	R7F100LPJ
128 KB	8 KB	16 KB	R7F100LFG	R7F100LGG	R7F100LJG	R7F100LLG	R7F100LMG	R7F100LPG
64 KB	8 KB	16 KB	R7F100LFE	R7F100LGE	R7F100LJE	R7F100LLE	—	—

1.2 型名一覧

図1-1 RL78/L23の型名とメモリ・サイズ、パッケージ

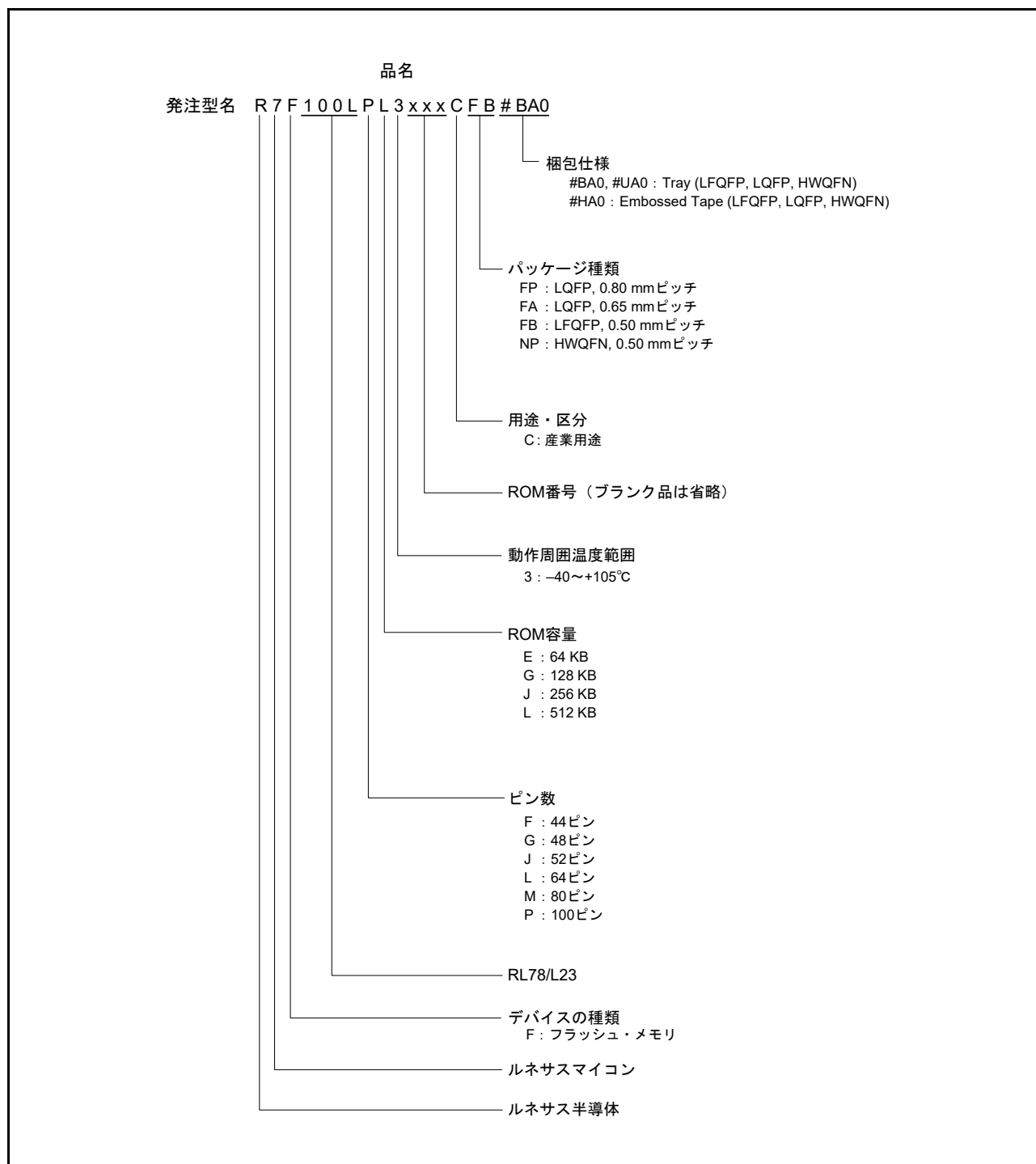


表1-1 発注型名一覧

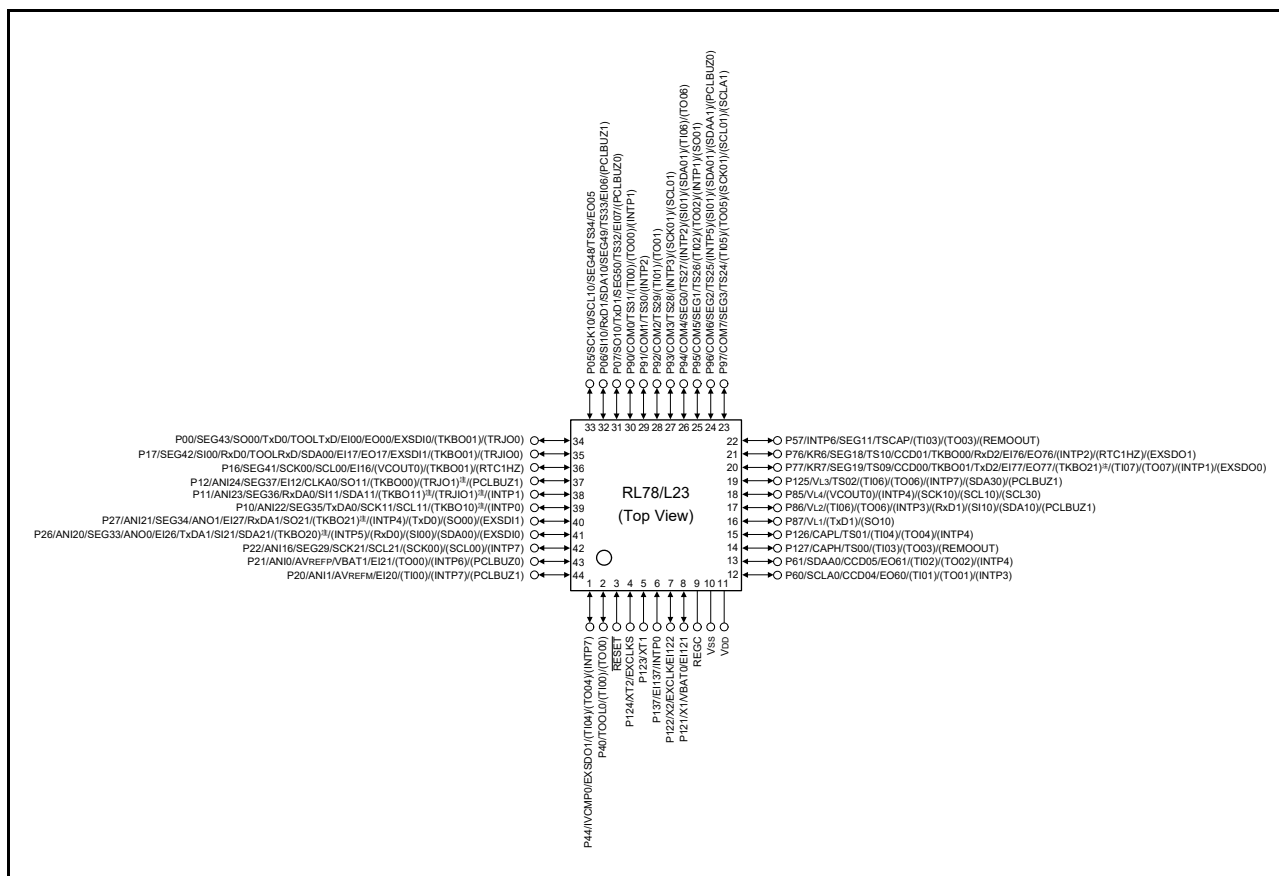
ピン数	パッケージ	用途・ 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
44ピン	44ピン・プラスチックLQFP (10×10mm、0.80mmピッチ)	C	R7F100LFL3CFP, R7F100LFJ3CFP, R7F100LFG3CFP, R7F100LFE3CFP	#BA0, #UA0, #HA0	PLQP0044GC-A
48ピン	48ピン・プラスチックLFQFP (7×7mm、0.50mmピッチ)	C	R7F100LGL3CFB, R7F100LGJ3CFB, R7F100LGG3CFB, R7F100LGE3CFB	#BA0, #UA0, #HA0	PLQP0048KB-B
	48ピン・プラスチックHWQFN (7×7mm、0.50mmピッチ)	C	R7F100LGL3CNP, R7F100LGJ3CNP, R7F100LGG3CNP, R7F100LGE3CNP	#BA0, #UA0, #HA0	PWQN0048KC-A
52ピン	52ピン・プラスチックLQFP (10×10mm、0.65mmピッチ)	C	R7F100LJL3CFA, R7F100LJJ3CFA, R7F100LJG3CFA, R7F100LJE3CFA	#BA0, #UA0, #HA0	PLQP0052JA-A
64ピン	64ピン・プラスチックLQFP (12×12mm、0.65mmピッチ)	C	R7F100LLL3CFA, R7F100LLJ3CFA, R7F100LLG3CFA, R7F100LLE3CFA	#BA0, #UA0, #HA0	PLQP0064JB-A
	64ピン・プラスチックLFQFP (10×10mm、0.50mmピッチ)	C	R7F100LLL3CFB, R7F100LLJ3CFB, R7F100LLG3CFB, R7F100LLE3CFB	#BA0, #UA0, #HA0	PLQP0064KB-C
80ピン	80ピン・プラスチックLQFP (14×14mm、0.65mmピッチ)	C	R7F100LML3CFA, R7F100LMJ3CFA, R7F100LMG3CFA	#BA0, #UA0, #HA0	PLQP0080JA-B
	80ピン・プラスチックLFQFP (12×12mm、0.50mmピッチ)	C	R7F100LML3CFB, R7F100LMJ3CFB, R7F100LMG3CFB	#BA0, #UA0, #HA0	PLQP0080KB-B
100ピン	100ピン・プラスチックLFQFP (14×14mm、0.50mmピッチ)	C	R7F100LPL3CFB, R7F100LPJ3CFB, R7F100LPG3CFB	#BA0, #UA0, #HA0	PLQP0100KB-B
	100ピン・プラスチックLQFP (14×20mm、0.65mmピッチ)	C	R7F100LPL3CFA, R7F100LPJ3CFA, R7F100LPG3CFA	#BA0, #UA0, #HA0	PLQP0100JC-A

注 用途区分は、図1-1 RL78/L23の型名とメモリ・サイズ、パッケージを参照してください。

1.3 端子接続図 (Top View)

1.3.1 44ピン製品

- 44ピン・プラスチックLQFP (10 × 10 mm、0.80 mmピッチ)



注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注意 REGC端子はコンデンサ (0.47～1 μF) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。詳細は、

4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx) を参照してください。

表1-2 44ピン製品の兼用機能 (1/3)

ピン 番号	I/O				電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	44LQFP	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02a)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P44	—	—	—	—	—	—	IVCMP0	—	(INTP7)	—	—	(TI04)/ (TO04)	—	—	EXSD01	—	—	—	—
2	P40	—	—	TOOL0	—	—	—	—	—	—	—	—	(TI00)/ (TO00)	—	—	—	—	—	—	—
3	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
4	P124	—	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
5	P123	—	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
6	P137	—	EI137	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—	—
7	P122	—	EI122	X2/EXCLK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
8	P121	—	EI121	X1/VBAT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
9	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
10	—	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
11	—	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12	P60	CCD04	EO60	—	—	—	—	—	(INTP3)	—	—	(TI01)/ (TO01)	—	—	—	—	—	—	SCLA0	—
13	P61	CCD05	EO61	—	—	—	—	—	(INTP4)	—	—	(TI02)/ (TO02)	—	—	—	—	—	—	SDAA0	—
14	P127	—	—	—	—	—	—	CAPH	—	—	TS00	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	—
15	P126	—	—	—	—	—	—	CAPL	(INTP4)	—	TS01	(TI04)/ (TO04)	—	—	—	—	—	—	—	—
16	P87	—	—	—	—	—	—	VL1	—	—	—	—	—	—	—	—	(TxD1)/ (SO10)	—	—	—
17	P86	—	—	(PCLBUZ1)	—	—	—	VL2	(INTP3)	—	—	(TI06)/ (TO06)	—	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
18	P85	—	—	—	—	—	(VCOUT0)	VL4	(INTP4)	—	—	—	—	—	—	—	—	(SCK10)/ (SCL10)/ (SCL30)	—	—
19	P125	—	—	(PCLBUZ1)	—	—	—	VL3	(INTP7)	—	TS02	(TI06)/ (TO06)	—	—	—	—	—	(SDA30)	—	—
20	P77	CCD00	EI77/ EO77	—	—	—	—	SEG19	(INTP1)	KR7	TS09	(TI07)/ (TO07)	—	TKBO01/ (TKBO21) 注	(EXSD00)	—	—	TxD2	—	—
21	P76	CCD01	EI76/ EO76	—	—	—	—	SEG18	(INTP2)	KR6	TS10	—	—	TKBO00	(EXSD01)	(RTC1H2)	—	RxD2	—	—
22	P57	—	—	—	—	—	—	SEG11	INTP6	—	TSCAP	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	—

表1 - 2 44ピン製品の兼用機能 (2/3)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	44LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU21a)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
23	P97	—	—	—	—	—	—	SEG3/ COM7	—	—	TS24	(TI05)/ (TO05)	—	—	—	—	(SCK01)/ (SCL01)	(SCLA1)	—
24	P96	—	—	(PCLBUZ0)	—	—	—	SEG2/ COM6	(INTP5)	—	TS25	—	—	—	—	—	(SI01)/ (SDA01)	(SDAA1)	—
25	P95	—	—	—	—	—	—	SEG1/ COM5	(INTP1)	—	TS26	(TI02)/ (TO02)	—	—	—	—	(SO01)	—	—
26	P94	—	—	—	—	—	—	SEG0/ COM4	(INTP2)	—	TS27	(TI06)/ (TO06)	—	—	—	—	(SI01)/ (SDA01)	—	—
27	P93	—	—	—	—	—	—	COM3	(INTP3)	—	TS28	—	—	—	—	—	(SCK01)/ (SCL01)	—	—
28	P92	—	—	—	—	—	—	COM2	—	—	TS29	(TI01)/ (TO01)	—	—	—	—	—	—	—
29	P91	—	—	—	—	—	—	COM1	(INTP2)	—	TS30	—	—	—	—	—	—	—	—
30	P90	—	—	—	—	—	—	COM0	(INTP1)	—	TS31	(TI00)/ (TO00)	—	—	—	—	—	—	—
31	P07	—	EI07	(PCLBUZ0)	—	—	—	SEG50	—	—	TS32	—	—	—	—	—	SO10/ TxD1	—	—
32	P06	—	EI06	(PCLBUZ1)	—	—	—	SEG49	—	—	TS33	—	—	—	—	—	SI10/ RxD1/ SDA10	—	—
33	P05	—	EO05	—	—	—	—	SEG48	—	—	TS34	—	—	—	—	—	SCK10/ SCL10	—	—
34	P00	—	EI00/ EO00	TOOLTxD	—	—	—	SEG43	—	—	—	—	(TRJ00)	(TKBO01)	EXSDI0	—	SO00/ TxD0	—	—
35	P17	—	EI17/ EO17	TOOLRxD	—	—	—	SEG42	—	—	—	—	(TRJ100)	(TKBO01)	EXSDI1	—	SI00/ RxD0/ SDA00	—	—
36	P16	—	EI16	—	—	—	(VCOUT0)	SEG41	—	—	—	—	—	(TKBO01)	—	(RTC1HZ)	SCK00/ SCL00	—	—
37	P12	—	EI12	(PCLBUZ1)	ANI24	—	—	SEG37	—	—	—	—	(TRJ01) 注	(TKBO00)	—	—	SO11	—	CLKA0
38	P11	—	—	—	ANI23	—	—	SEG36	(INTP1)	—	—	—	(TRJ101) 注	(TKBO11)	—	—	SI11/ SDA11	—	RxDA0
39	P10	—	—	—	ANI22	—	—	SEG35	(INTP0)	—	—	—	—	(TKBO10) 注	—	—	SCK11/ SCL11	—	TxDA0
40	P27	—	EI27	—	ANI21	ANO1	—	SEG34	(INTP4)	—	—	—	—	(TKBO21) 注	(EXSDI1)	—	(TxD0)/ (SO00)/ SO21	—	RxDA1
41	P26	—	EI26	—	ANI20	ANO0	—	SEG33	(INTP5)	—	—	—	—	(TKBO20) 注	(EXSDI0)	—	SI21/ SDA21/ (RxD0)/ (SI00)/ (SDA00)	—	TxDA1

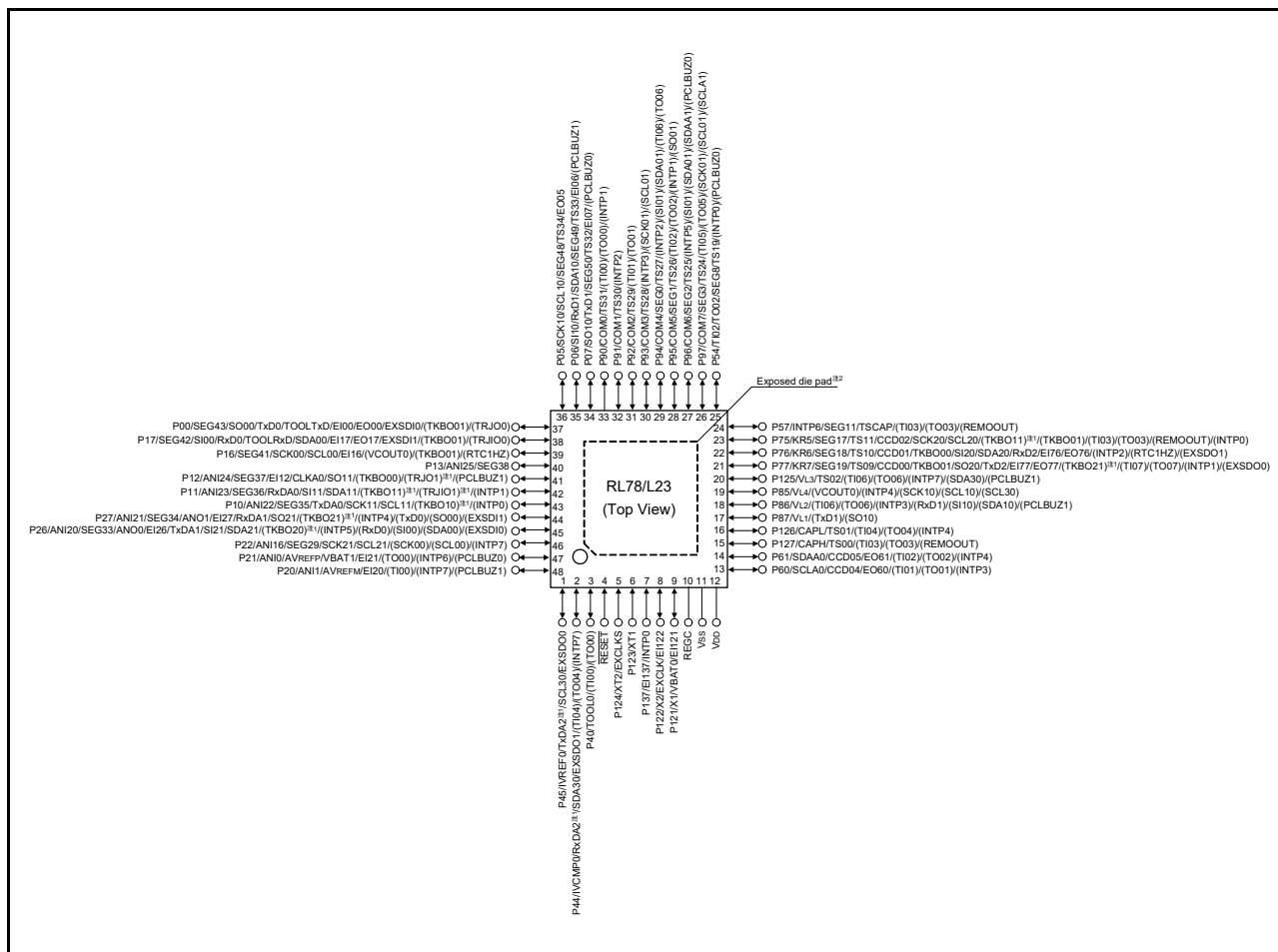
表1 - 2 44ピン製品の兼用機能 (3/3)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インターフェース		
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ/ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CISU2La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
42	P22	—	—	—	ANI16	—	—	SEG29	(INTP7)	—	—	—	—	—	—	—	(SCK00)/ (SCL00)/ SCK21/ SCL21	—	—
43	P21	—	EI21	VBAT1/ (PCLBUZ0)	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	(TO00)	—	—	—	—	—	—	—
44	P20	—	EI20	(PCLBUZ1)	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	(TI00)	—	—	—	—	—	—	—

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

1.3.2 48ピン製品

- 48ピン・プラスチックLFQFP (7 × 7 mm、0.50 mmピッチ)
- 48ピン・プラスチックHWQFN (7 × 7 mm、0.50 mmピッチ)



注1. コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注2. 48ピン・プラスチックLFQFP (7 × 7 mm、0.50 mmピッチ) 製品にはExposed die padはありません。

注意 REGC端子はコンデンサ (0.47 ~ 1 μF) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の () 内の機能は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能です。詳細は、
4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx) を参照してください。

備考3. HWQFNパッケージ製品では、Exposed die padをプリント基板に半田実装してください。
Exposed die padの実装先は電氣的オープンを推奨します。

表1-3 48ピン製品の兼用機能 (1/3)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ/ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CISU2La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIIA (IICA)	シリアル・インタフェースUARTA (UARTA)
48LFQFP, 48HWQFN																			
1	P45	—	—	—	—	—	IVREF0	—	—	—	—	—	—	—	EXSD00	—	SCL30	—	TxD2 注
2	P44	—	—	—	—	—	IVCMP0	—	(INTP7)	—	—	(TI04)/ (TO04)	—	—	EXSD01	—	SDA30	—	RxD2 注
3	P40	—	—	TOOL0	—	—	—	—	—	—	—	(TI00)/ (TO00)	—	—	—	—	—	—	—
4	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
5	P124	—	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
6	P123	—	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
7	P137	—	EI137	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—
8	P122	—	EI122	X2/EXCLK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
9	P121	—	EI121	X1/VBAT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
10	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
11	—	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12	—	—	—	Vdd	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
13	P60	CCD04	EO60	—	—	—	—	—	(INTP3)	—	—	(TI01)/ (TO01)	—	—	—	—	—	SCLA0	—
14	P61	CCD05	EO61	—	—	—	—	—	(INTP4)	—	—	(TI02)/ (TO02)	—	—	—	—	—	SDAA0	—
15	P127	—	—	—	—	—	—	CAPH	—	—	TS00	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—
16	P126	—	—	—	—	—	—	CAPL	(INTP4)	—	TS01	(TI04)/ (TO04)	—	—	—	—	—	—	—
17	P87	—	—	—	—	—	—	VL1	—	—	—	—	—	—	—	—	(TxD1)/ (SO10)	—	—
18	P86	—	—	(PCLBUZ1)	—	—	—	VL2	(INTP3)	—	—	(TI06)/ (TO06)	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
19	P85	—	—	—	—	—	(VCOUT0)	VL4	(INTP4)	—	—	—	—	—	—	—	(SCK10)/ (SCL10)/ (SCL30)	—	—
20	P125	—	—	(PCLBUZ1)	—	—	—	VL3	(INTP7)	—	TS02	(TI06)/ (TO06)	—	—	—	—	(SDA30)	—	—
21	P77	CCD00	EI77/ EO77	—	—	—	—	SEG19	(INTP1)	KR7	TS09	(TI07)/ (TO07)	—	TKBO01/ (TKBO21) 注	EXSD00	—	SO20/ TxD2	—	—
22	P76	CCD01	EI76/ EO76	—	—	—	—	SEG18	(INTP2)	KR6	TS10	—	—	TKBO00	EXSD01	(RTC1HZ)	SI20/ SDA20/ RxD2	—	—

表1 - 3 48ピン製品の兼用機能 (2/3)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42 注	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
48LQFP, 48HWQFN																			
23	P75	CCD02	—	—	—	—	—	SEG17	(INTP0)	KR5	TS11	(TI03)/ (TO03)/ (REMO OUT)	—	(TKBO11) 注 (TKBO01)	—	—	SCK20/ SCL20	—	—
24	P57	—	—	—	—	—	—	SEG11	INTP6	—	TSCAP	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—
25	P54	—	—	(PCLBUZ0)	—	—	—	SEG8	(INTP0)	—	TS19	TI02/ TO02	—	—	—	—	—	—	—
26	P97	—	—	—	—	—	—	SEG3/ COM7	—	—	TS24	(TI05)/ (TO05)	—	—	—	—	(SCK01)/ (SCL01)	(SCLA1)	—
27	P96	—	—	(PCLBUZ0)	—	—	—	SEG2/ COM6	(INTP5)	—	TS25	—	—	—	—	—	(SI01)/ (SDA01)	(SDAA1)	—
28	P95	—	—	—	—	—	—	SEG1/ COM5	(INTP1)	—	TS26	(TI02)/ (TO02)	—	—	—	—	(SO01)	—	—
29	P94	—	—	—	—	—	—	SEG0/ COM4	(INTP2)	—	TS27	(TI06)/ (TO06)	—	—	—	—	(SI01)/ (SDA01)	—	—
30	P93	—	—	—	—	—	—	COM3	(INTP3)	—	TS28	—	—	—	—	—	(SCK01)/ (SCL01)	—	—
31	P92	—	—	—	—	—	—	COM2	—	—	TS29	(TI01)/ (TO01)	—	—	—	—	—	—	—
32	P91	—	—	—	—	—	—	COM1	(INTP2)	—	TS30	—	—	—	—	—	—	—	—
33	P90	—	—	—	—	—	—	COM0	(INTP1)	—	TS31	(TI00)/ (TO00)	—	—	—	—	—	—	—
34	P07	—	EI07	(PCLBUZ0)	—	—	—	SEG50	—	—	TS32	—	—	—	—	—	SO10/ TxD1	—	—
35	P06	—	EI06	(PCLBUZ1)	—	—	—	SEG49	—	—	TS33	—	—	—	—	—	SI10/ RxD1/ SDA10	—	—
36	P05	—	EO05	—	—	—	—	SEG48	—	—	TS34	—	—	—	—	—	SCK10/ SCL10	—	—
37	P00	—	EI00/ EO00	TOOLTxD	—	—	—	SEG43	—	—	—	—	(TRJ00) 注	(TKBO01)	EXSDI0	—	SO00/ TxD0	—	—
38	P17	—	EI17/ EO17	TOOLRxD	—	—	—	SEG42	—	—	—	—	(TRJIO0) 注	(TKBO01)	EXSDI1	—	SI00/ RxD0/ SDA00	—	—
39	P16	—	EI16	—	—	—	(VCOUT0)	SEG41	—	—	—	—	—	(TKBO01)	—	(RTC1HZ)	SCK00/ SCL00	—	—
40	P13	—	—	—	ANI25	—	—	SEG38	—	—	—	—	—	—	—	—	—	—	—
41	P12	—	EI12	(PCLBUZ1)	ANI24	—	—	SEG37	—	—	—	—	(TRJ01) 注	(TKBO00)	—	—	SO11	—	CLKA0
42	P11	—	—	—	ANI23	—	—	SEG36	(INTP1)	—	—	—	(TRJIO1) 注	(TKBO11) 注	—	—	SI11/ SDA11	—	RxDA0

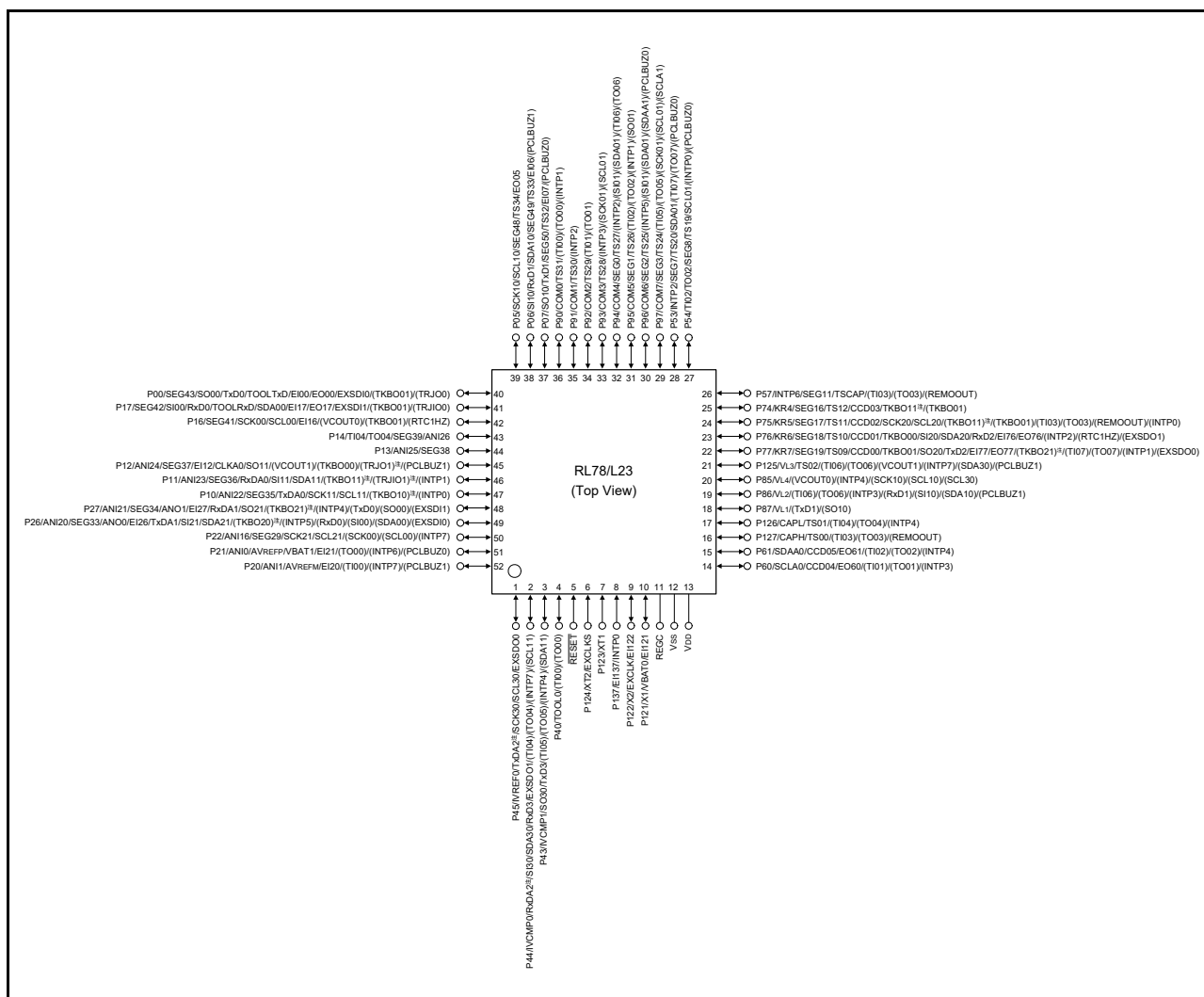
表1 - 3 48ピン製品の兼用機能 (3/3)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ				通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェースUARTA (UARTA)
48LQFP, 48HWQFN																			
43	P10	—	—	—	ANI22	—	—	SEG35	(INTP0)	—	—	—	—	(TKBO10) 注	—	—	SCK11/ SCL11	—	TxDA0
44	P27	—	EI27	—	ANI21	ANO1	—	SEG34	(INTP4)	—	—	—	—	(TKBO21) 注	(EXSDI1)	—	(TxD0)/ (SO00)/ SO21	—	RxDA1
45	P26	—	EI26	—	ANI20	ANO0	—	SEG33	(INTP5)	—	—	—	—	(TKBO20) 注	(EXSDI0)	—	SI21/ SDA21/ (RxD0)/ (SI00)/ (SDA00)	—	TxDA1
46	P22	—	—	—	ANI16	—	—	SEG29	(INTP7)	—	—	—	—	—	—	—	(SCK00)/ (SCL00)/ SCK21/ SCL21	—	—
47	P21	—	EI21	VBAT1/ (PCLBUZ0)	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	(TO00)	—	—	—	—	—	—	—
48	P20	—	EI20	(PCLBUZ1)	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	(TI00)	—	—	—	—	—	—	—

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

1.3.3 52ピン製品

- 52ピン・プラスチックLQFP（10×10 mm、0.65 mmピッチ）



注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注意 REGC端子はコンデンサ (0.47~1 μ F) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

表1-4 52ピン製品の兼用機能 (1/3)

ピン 番号	I/O				電源、システム・クロック、デバッグ	アナログ				HMI			タイマ				通信インタフェース			
	52LQFP	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P45	—	—	—	—	—	—	IVREF0	—	—	—	—	—	—	EXSD00	—	SCK30/ SCL30	—	TxD2 注	
2	P44	—	—	—	—	—	—	IVCMP0	—	(INTP7)	—	—	(TI04)/ (TO04)	—	—	EXSD01	—	SI30/ SDA30/ (SCL11)/ RxD3	—	RxD2 注
3	P43	—	—	—	—	—	—	IVCMP1	—	(INTP4)	—	—	(TI05)/ (TO05)	—	—	—	—	SO30/ (SDA11)/ TxD3	—	—
4	P40	—	—	—	TOOL0	—	—	—	—	—	—	—	(TI00)/ (TO00)	—	—	—	—	—	—	—
5	—	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
6	P124	—	—	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
7	P123	—	—	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
8	P137	—	EI137	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—	—
9	P122	—	EI122	X2/EXCLK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
10	P121	—	EI121	X1/VBAT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
11	—	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12	—	—	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
13	—	—	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
14	P60	CCD04	EO60	—	—	—	—	—	(INTP3)	—	—	(TI01)/ (TO01)	—	—	—	—	—	SCLA0	—	—
15	P61	CCD05	EO61	—	—	—	—	—	(INTP4)	—	—	(TI02)/ (TO02)	—	—	—	—	—	SDAA0	—	—
16	P127	—	—	—	—	—	—	CAPH	—	—	TS00	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	—
17	P126	—	—	—	—	—	—	CAPL	(INTP4)	—	TS01	(TI04)/ (TO04)	—	—	—	—	—	—	—	—
18	P87	—	—	—	—	—	—	VL1	—	—	—	—	—	—	—	—	(TxD1)/ (SO10)	—	—	—
19	P86	—	—	—	(PCLBUZ1)	—	—	—	VL2	(INTP3)	—	—	(TI06)/ (TO06)	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
20	P85	—	—	—	—	—	(VCOUT0)	VL4	(INTP4)	—	—	—	—	—	—	—	—	(SCK10)/ (SCL10)/ (SCL30)	—	—
21	P125	—	—	—	(PCLBUZ1)	—	—	(VCOUT1)	VL3	(INTP7)	—	TS02	(TI06)/ (TO06)	—	—	—	—	(SDA30)	—	—
22	P77	CCD00	EI77/ EO77	—	—	—	—	SEG19	(INTP1)	KR7	TS09	(TI07)/ (TO07)	—	TKB001/ (TKB021) 注	EXSD00	—	—	SO20/ TxD2	—	—

表1 - 4 52ピン製品の兼用機能 (2/3)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	52LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
23	P76	CCD01	EI76/ EO76	—	—	—	—	SEG18	(INTP2)	KR6	TS10	—	—	TKBO00	EXSD01	(RTC1H2)	SI20/ SDA20/ RxD2	—	—
24	P75	CCD02	—	—	—	—	—	SEG17	(INTP0)	KR5	TS11	(TI03)/ (TO03)/ (REMO OUT)	—	(TKBO11) 注/ (TKBO01)	—	—	SCK20/ SCL20	—	—
25	P74	CCD03	—	—	—	—	—	SEG16	—	KR4	TS12	—	—	TKBO11 注/ (TKBO01)	—	—	—	—	—
26	P57	—	—	—	—	—	—	SEG11	INTP6	—	TSCAP	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—
27	P54	—	—	(PCLBUZ0)	—	—	—	SEG8	(INTP0)	—	TS19	TI02/ TO02	—	—	—	—	SCL01	—	—
28	P53	—	—	(PCLBUZ0)	—	—	—	SEG7	INTP2	—	TS20	(TI07)/ (TO07)	—	—	—	—	SDA01	—	—
29	P97	—	—	—	—	—	—	SEG3/ COM7	—	—	TS24	(TI05)/ (TO05)	—	—	—	—	(SCK01)/ (SCL01)	(SCLA1)	—
30	P96	—	—	(PCLBUZ0)	—	—	—	SEG2/ COM6	(INTP5)	—	TS25	—	—	—	—	—	(SI01)/ (SDA01)	(SDAA1)	—
31	P95	—	—	—	—	—	—	SEG1/ COM5	(INTP1)	—	TS26	(TI02)/ (TO02)	—	—	—	—	(SO01)	—	—
32	P94	—	—	—	—	—	—	SEG0/ COM4	(INTP2)	—	TS27	(TI06)/ (TO06)	—	—	—	—	(SI01)/ (SDA01)	—	—
33	P93	—	—	—	—	—	—	COM3	(INTP3)	—	TS28	—	—	—	—	—	(SCK01)/ (SCL01)	—	—
34	P92	—	—	—	—	—	—	COM2	—	—	TS29	(TI01)/ (TO01)	—	—	—	—	—	—	—
35	P91	—	—	—	—	—	—	COM1	(INTP2)	—	TS30	—	—	—	—	—	—	—	—
36	P90	—	—	—	—	—	—	COM0	(INTP1)	—	TS31	(TI00)/ (TO00)	—	—	—	—	—	—	—
37	P07	—	EI07	(PCLBUZ0)	—	—	—	SEG50	—	—	TS32	—	—	—	—	—	SO10/ TxD1	—	—
38	P06	—	EI06	(PCLBUZ1)	—	—	—	SEG49	—	—	TS33	—	—	—	—	—	SI10/ RxD1/ SDA10	—	—
39	P05	—	EO05	—	—	—	—	SEG48	—	—	TS34	—	—	—	—	—	SCK10/ SCL10	—	—
40	P00	—	EI00/ EO00	TOOLTxD	—	—	—	SEG43	—	—	—	—	(TRJ00)	(TKBO01)	EXSDI0	—	SO00/ TxD0	—	—
41	P17	—	EI17/ EO17	TOOLRxD	—	—	—	SEG42	—	—	—	—	(TRJ00)	(TKBO01)	EXSDI1	—	SI00/ RxD0/ SDA00	—	—

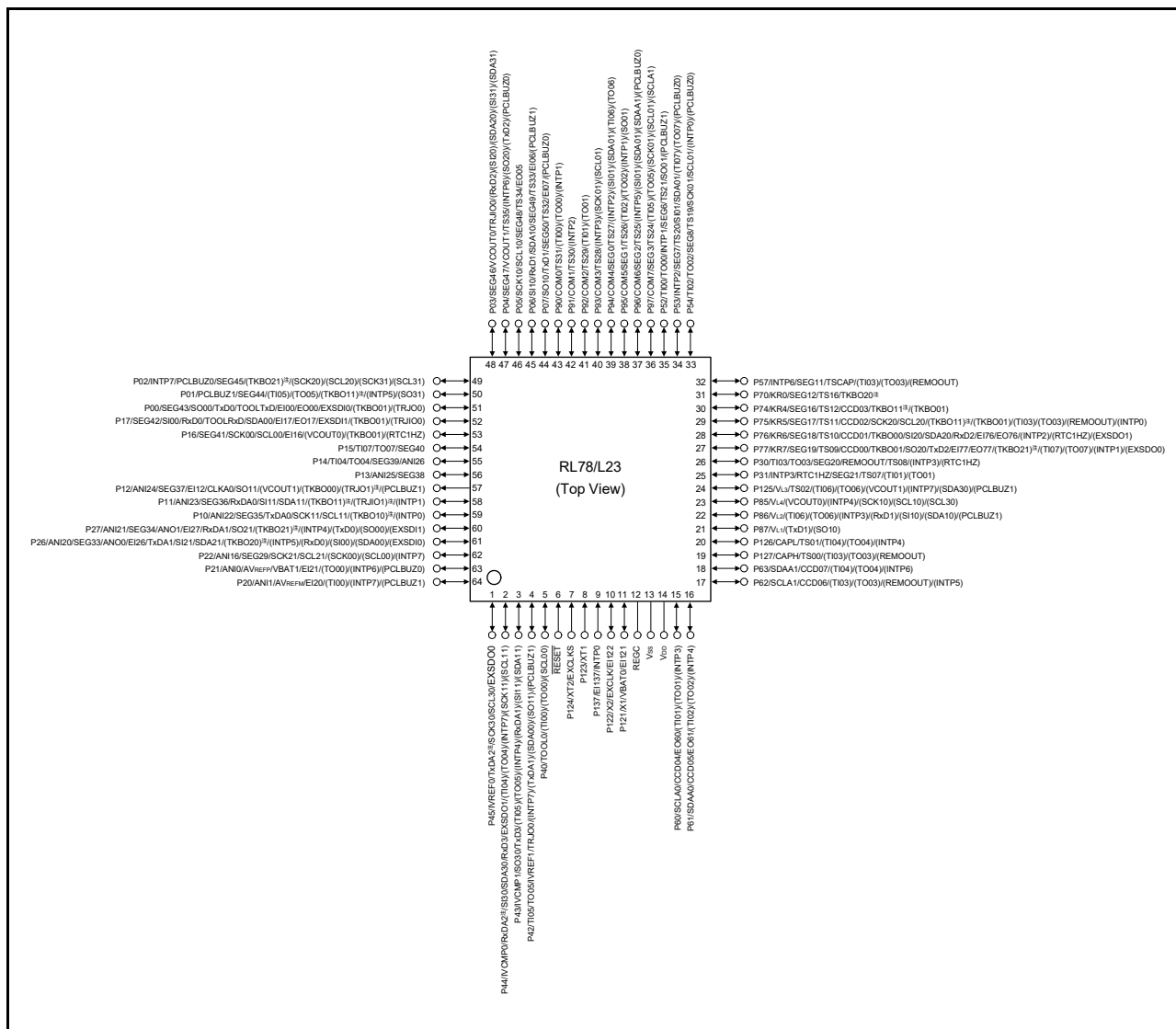
表1 - 4 52ピン製品の兼用機能 (3/3)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ				通信インタフェース			
	52LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	AVDコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40、KB41、KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
42	P16	—	EI16	—	—	—	(VCOUT0)	SEG41	—	—	—	—	—	(TKB001)	—	(RTC1H2)	SCK00/ SCL00	—	—
43	P14	—	—	—	ANI26	—	—	SEG39	—	—	—	TI04/ TO04	—	—	—	—	—	—	—
44	P13	—	—	—	ANI25	—	—	SEG38	—	—	—	—	—	—	—	—	—	—	—
45	P12	—	EI12	(PCLBUZ1)	ANI24	—	(VCOUT1)	SEG37	—	—	—	—	(TRJ01) 注	(TKB000)	—	—	SO11	—	CLKA0
46	P11	—	—	—	ANI23	—	—	SEG36	(INTP1)	—	—	—	(TRJIO1) 注	(TKB011) 注	—	—	SI11/ SDA11	—	RxDA0
47	P10	—	—	—	ANI22	—	—	SEG35	(INTP0)	—	—	—	—	(TKB010) 注	—	—	SCK11/ SCL11	—	TxDA0
48	P27	—	EI27	—	ANI21	ANO1	—	SEG34	(INTP4)	—	—	—	—	(TKB021) 注	(EXSDI1)	—	(TxD0)/ (SO00)/ SO21	—	RxDA1
49	P26	—	EI26	—	ANI20	ANO0	—	SEG33	(INTP5)	—	—	—	—	(TKB020) 注	(EXSDI0)	—	SI21/ SDA21/ (RxD0)/ (SI00)/ (SDA00)	—	TxDA1
50	P22	—	—	—	ANI16	—	—	SEG29	(INTP7)	—	—	—	—	—	—	—	(SCK00)/ (SCL00)/ SCK21/ SCL21	—	—
51	P21	—	EI21	VBAT1/ (PCLBUZ0)	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	(TO00)	—	—	—	—	—	—	—
52	P20	—	EI20	(PCLBUZ1)	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	(TI00)	—	—	—	—	—	—	—

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

1.3.4 64ピン製品

- 64ピン・プラスチックLQFP（12 × 12 mm、0.65 mmピッチ）
- 64ピン・プラスチックLFQFP（10 × 10 mm、0.50 mmピッチ）



注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

注意 REGC端子はコンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、

4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）を参照してください。

表1 - 5 64ピン製品の兼用機能 (1/4)

ピン 番号	I/O				電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	64LQFP, 64LFQFP	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIIA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P45	—	—	—	—	—	—	IVREF0	—	—	—	—	—	—	EXSD00	—	SCK30/ SCL30	—	TxD2 注	
2	P44	—	—	—	—	—	—	IVCMP0	—	(INTP7)	—	—	(TI04)/ (TO04)	—	—	EXSD01	—	SI30/ SDA30/ (SCL11)/ (SCK11)/ RxD3	—	RxD2 注
3	P43	—	—	—	—	—	—	IVCMP1	—	(INTP4)	—	—	(TI05)/ (TO05)	—	—	—	—	SO30/ (SI11)/ (SDA11)/ TxD3	—	(RxD1)
4	P42	—	—	(PCLBUZ1)	—	—	—	IVREF1	—	(INTP7)	—	—	TI05/ TO05	TRJ00	—	—	—	(SDA00)/ (SO11)	—	(TxD1)
5	P40	—	—	TOOL0	—	—	—	—	—	—	—	—	(TI00)/ (TO00)	—	—	—	—	(SCL00)	—	—
6	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
7	P124	—	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
8	P123	—	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
9	P137	—	EI137	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—	—
10	P122	—	EI122	X2/EXCLK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
11	P121	—	EI121	X1/VBAT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
12	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
13	—	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
14	—	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	P60	CCD04	EO60	—	—	—	—	—	(INTP3)	—	—	—	(TI01)/ (TO01)	—	—	—	—	—	SCLA0	—
16	P61	CCD05	EO61	—	—	—	—	—	(INTP4)	—	—	—	(TI02)/ (TO02)	—	—	—	—	—	SDAA0	—
17	P62	CCD06	—	—	—	—	—	—	(INTP5)	—	—	—	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	SCLA1	—
18	P63	CCD07	—	—	—	—	—	—	(INTP6)	—	—	—	(TI04)/ (TO04)	—	—	—	—	—	SDAA1	—
19	P127	—	—	—	—	—	—	CAPH	—	—	TS00	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	—
20	P126	—	—	—	—	—	—	CAPL	(INTP4)	—	TS01	(TI04)/ (TO04)	—	—	—	—	—	—	—	—
21	P87	—	—	—	—	—	—	VL1	—	—	—	—	—	—	—	—	—	(TxD1)/ (SO10)	—	—

表1 - 5 64ピン製品の兼用機能 (2/4)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
64LQFP, 64LQFP	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
22	P86	—	—	(PCLBUZ1)	—	—	—	VL2	(INTP3)	—	—	(TI06)/ (TO06)	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
23	P85	—	—	—	—	—	(VCOUT0)	VL4	(INTP4)	—	—	—	—	—	—	—	(SCK10)/ (SCL10)/ (SCL30)	—	—
24	P125	—	—	(PCLBUZ1)	—	—	(VCOUT1)	VL3	(INTP7)	—	TS02	(TI06)/ (TO06)	—	—	—	—	(SDA30)	—	—
25	P31	—	—	—	—	—	—	SEG21	INTP3	—	TS07	(TI01)/ (TO01)	—	—	—	RTC1HZ	—	—	—
26	P30	—	—	—	—	—	—	SEG20	(INTP3)	—	TS08	TI03/ TO03/ REMOO UT	—	—	—	(RTC1HZ)	—	—	—
27	P77	CCD00	EI77/ EO77	—	—	—	—	SEG19	(INTP1)	KR7	TS09	(TI07)/ (TO07)	—	TKBO01/ (TKBO21) 注	(EXSD00)	—	SO20/ TxD2	—	—
28	P76	CCD01	EI76/ EO76	—	—	—	—	SEG18	(INTP2)	KR6	TS10	—	—	TKBO00	(EXSD01)	(RTC1HZ)	SI20/ SDA20/ RxD2	—	—
29	P75	CCD02	—	—	—	—	—	SEG17	(INTP0)	KR5	TS11	(TI03)/ (TO03)/ (REMO OUT)	—	TKBO11) 注/ (TKBO01)	—	—	SCK20/ SCL20	—	—
30	P74	CCD03	—	—	—	—	—	SEG16	—	KR4	TS12	—	—	TKBO11 注/ (TKBO01)	—	—	—	—	—
31	P70	—	—	—	—	—	—	SEG12	—	KR0	TS16	—	—	TKBO20 注	—	—	—	—	—
32	P57	—	—	—	—	—	—	SEG11	INTP6	—	TSCAP	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—
33	P54	—	—	(PCLBUZ0)	—	—	—	SEG8	(INTP0)	—	TS19	TI02/ TO02	—	—	—	—	SCL01/ SCK01	—	—
34	P53	—	—	(PCLBUZ0)	—	—	—	SEG7	INTP2	—	TS20	(TI07)/ (TO07)	—	—	—	—	SI01/ SDA01	—	—
35	P52	—	—	(PCLBUZ1)	—	—	—	SEG6	INTP1	—	TS21	TI00/ TO00	—	—	—	—	SO01	—	—
36	P97	—	—	—	—	—	—	SEG3/ COM7	—	—	TS24	(TI05)/ (TO05)	—	—	—	—	(SCK01)/ (SCL01)	(SCLA1)	—
37	P96	—	—	(PCLBUZ0)	—	—	—	SEG2/ COM6	(INTP5)	—	TS25	—	—	—	—	—	(SI01)/ (SDA01)	(SDAA1)	—
38	P95	—	—	—	—	—	—	SEG1/ COM5	(INTP1)	—	TS26	(TI02)/ (TO02)	—	—	—	—	(SO01)	—	—

表1 - 5 64ピン製品の兼用機能 (3/4)

ピン 番号	I/O				電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	64LQFP, 64LQFP	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
39	P94	—	—	—	—	—	—	SEG0/ COM4	(INTP2)	—	TS27	(TI06)/ (TO06)	—	—	—	—	(SI01)/ (SDA01)	—	—	
40	P93	—	—	—	—	—	—	COM3	(INTP3)	—	TS28	—	—	—	—	—	(SCK01)/ (SCL01)	—	—	
41	P92	—	—	—	—	—	—	COM2	—	—	TS29	(TI01)/ (TO01)	—	—	—	—	—	—	—	
42	P91	—	—	—	—	—	—	COM1	(INTP2)	—	TS30	—	—	—	—	—	—	—	—	
43	P90	—	—	—	—	—	—	COM0	(INTP1)	—	TS31	(TI00)/ (TO00)	—	—	—	—	—	—	—	
44	P07	—	EI07	(PCLBUZ0)	—	—	—	SEG50	—	—	TS32	—	—	—	—	—	SO10/ TxD1	—	—	
45	P06	—	EI06	(PCLBUZ1)	—	—	—	SEG49	—	—	TS33	—	—	—	—	—	SI10/ RxD1/ SDA10	—	—	
46	P05	—	EO05	—	—	—	—	SEG48	—	—	TS34	—	—	—	—	—	SCK10/ SCL10	—	—	
47	P04	—	—	(PCLBUZ0)	—	—	VCOUT1	SEG47	(INTP6)	—	TS35	—	—	—	—	—	(TxD2)/ (SO20)	—	—	
48	P03	—	—	—	—	—	VCOUT0	SEG46	—	—	—	—	TRJIO0	—	—	—	(SI31)/ (SDA31)/ (RxD2)/ (SI20)/ (SDA20)	—	—	
49	P02	—	—	PCLBUZ0	—	—	—	SEG45	INTP7	—	—	—	—	(TKBO21) 注	—	—	(SCK31)/ (SCL31)/ (SCK20)/ (SCL20)	—	—	
50	P01	—	—	PCLBUZ1	—	—	—	SEG44	(INTP5)	—	—	(TI05)/ (TO05)	—	(TKBO11) 注	—	—	(SO31)	—	—	
51	P00	—	EI00/ EO00	TOOLTxD	—	—	—	SEG43	—	—	—	—	(TRJIO0)	(TKBO01)	EXSDI0	—	SO00/ TxD0	—	—	
52	P17	—	EI17/ EO17	TOOLRxD	—	—	—	SEG42	—	—	—	—	(TRJIO0)	(TKBO01)	EXSDI1	—	SI00/ RxD0/ SDA00	—	—	
53	P16	—	EI16	—	—	—	(VCOUT0)	SEG41	—	—	—	—	—	(TKBO01)	—	(RTC1HZ)	SCK00/ SCL00	—	—	
54	P15	—	—	—	—	—	—	SEG40	—	—	—	TI07/ TO07	—	—	—	—	—	—	—	
55	P14	—	—	—	ANI26	—	—	SEG39	—	—	—	TI04/ TO04	—	—	—	—	—	—	—	
56	P13	—	—	—	ANI25	—	—	SEG38	—	—	—	—	—	—	—	—	—	—	—	
57	P12	—	EI12	(PCLBUZ1)	ANI24	—	(VCOUT1)	SEG37	—	—	—	—	(TRJ01) 注	(TKBO00)	—	—	SO11	—	CLKA0	
58	P11	—	—	—	ANI23	—	—	SEG36	(INTP1)	—	—	—	(TRJIO1) 注	(TKBO11) 注	—	—	SI11/ SDA11	—	RxDA0	

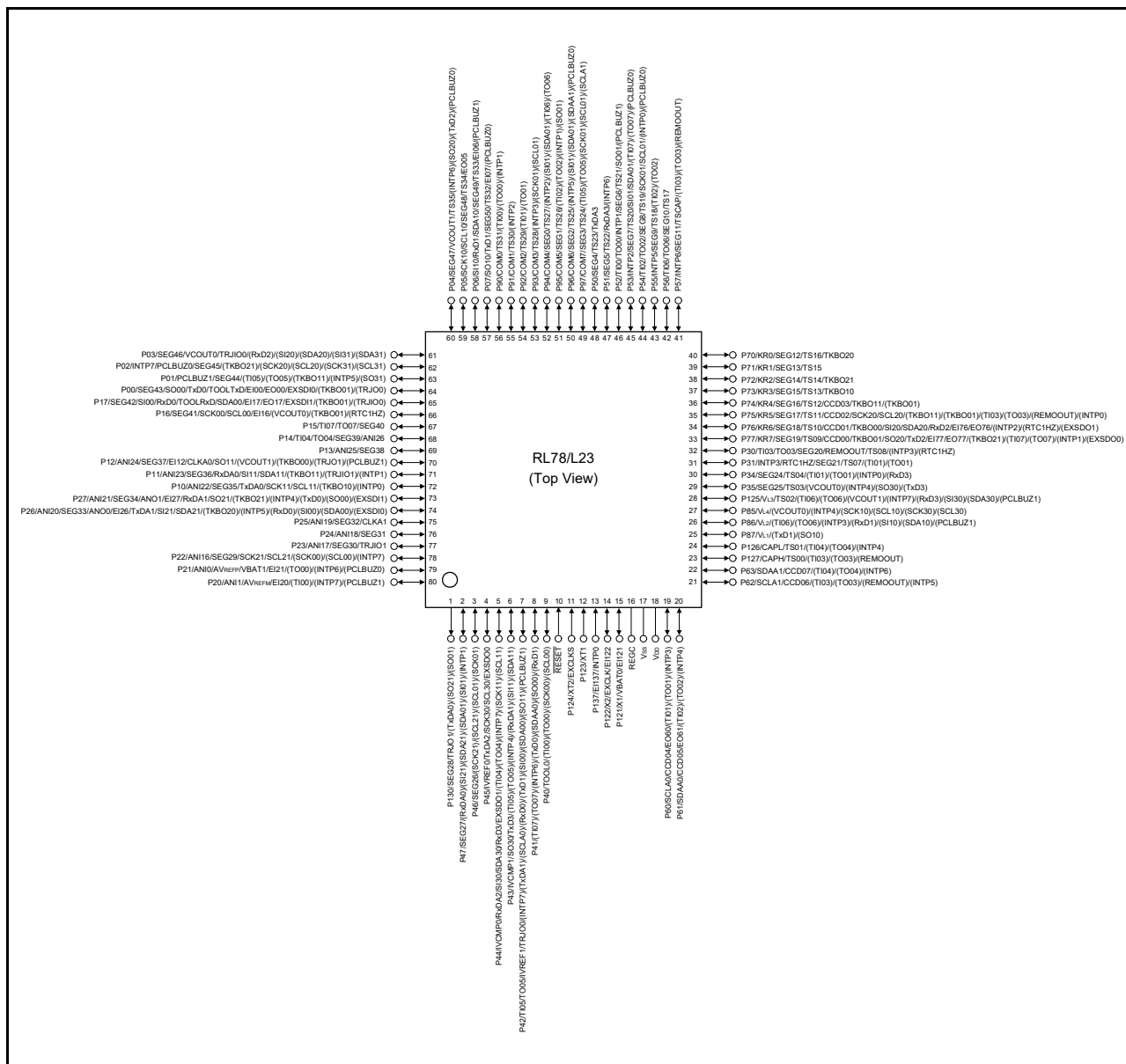
表1 - 5 64ピン製品の兼用機能 (4/4)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ				通信インタフェース			
	64LQFP, 64LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ/ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)
59	P10	—	—	—	ANI22	—	—	SEG35	(INTP0)	—	—	—	—	(TKB010) 注	—	—	SCK11/ SCL11	—	TxDA0
60	P27	—	EI27	—	ANI21	ANO1	—	SEG34	(INTP4)	—	—	—	—	(TKB021) 注	(EXSDI1)	—	(TxD0)/ (SO00)/ SO21	—	RxDA1
61	P26	—	EI26	—	ANI20	ANO0	—	SEG33	(INTP5)	—	—	—	—	(TKB020) 注	(EXSDI0)	—	SI21/ SDA21/ (RxD0)/ (SI00)/ (SDA00)	—	TxDA1
62	P22	—	—	—	ANI16	—	—	SEG29	(INTP7)	—	—	—	—	—	—	—	(SCK00)/ (SCL00)/ SCK21/ SCL21	—	—
63	P21	—	EI21	VBAT1/ (PCLBUZ0)	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	(TO00)	—	—	—	—	—	—	—
64	P20	—	EI20	(PCLBUZ1)	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	(TI00)	—	—	—	—	—	—	—

注 コード・フラッシュ・メモリが128 KB以下の製品は非搭載です。

1.3.5 80ピン製品

- 80ピン・プラスチックLQFP（14 × 14 mm、0.65 mmピッチ）
- 80ピン・プラスチックLFQFP（12 × 12 mm、0.50 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

表1 - 6 80ピン製品の兼用機能 (1/4)

ピン 番号	I/O				電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	80LQFP, 80LFQFP	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/D コンバータ (ADC)	D/A コンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェース UARTA (UARTA)
1	P130	—	—	—	—	—	—	SEG28	—	—	—	—	TRJ01	—	—	—	(SO21)/ (SO01)	—	(TxDA0)	
2	P47	—	—	—	—	—	—	SEG27	(INTP1)	—	—	—	—	—	—	—	(SI01)/ (SI21)/ (SDA01)/ (SDA21)	—	(RxDA0)	
3	P46	—	—	—	—	—	—	SEG26	—	—	—	—	—	—	—	—	(SCL01)/ (SCK01)/ (SCK21)/ (SCL21)	—	—	
4	P45	—	—	—	—	—	IVREF0	—	—	—	—	—	—	—	EXSD00	—	SCK30/ SCL30	—	TxDA2	
5	P44	—	—	—	—	—	IVCMP0	—	(INTP7)	—	—	(TI04)/ (TO04)	—	—	EXSD01	—	SI30/ SDA30/ (SCL11)/ (SCK11)/ RxD3	—	RxDA2	
6	P43	—	—	—	—	—	IVCMP1	—	(INTP4)	—	—	(TI05)/ (TO05)	—	—	—	—	SO30/ (SI11)/ (SDA11)/ TxD3	—	(RxDA1)	
7	P42	—	—	(PCLBUZ1)	—	—	IVREF1	—	(INTP7)	—	—	TI05/ TO05	TRJ00	—	—	—	(SI00)/ (RxD0)/ (SDA00)/ (SO11)/ (TxD1)	(SCLA0)	(TxDA1)	
8	P41	—	—	—	—	—	—	—	(INTP6)	—	—	(TI07)/ (TO07)	—	—	—	—	(SO00)/ (TxD0)/ (RxD1)	(SDAA0)	—	
9	P40	—	—	TOOL0	—	—	—	—	—	—	—	(TI00)/ (TO00)	—	—	—	—	(SCL00)/ (SCK00)	—	—	
10	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
11	P124	—	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
12	P123	—	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
13	P137	—	EI137	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—	
14	P122	—	EI122	X2/EXCLK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
15	P121	—	EI121	X1/VBAT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
16	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
17	—	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
18	—	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
19	P60	CCD04	EO60	—	—	—	—	—	(INTP3)	—	—	(TI01)/ (TO01)	—	—	—	—	—	SCLA0	—	
20	P61	CCD05	EO61	—	—	—	—	—	(INTP4)	—	—	(TI02)/ (TO02)	—	—	—	—	—	SDAA0	—	

表1 - 6 80ピン製品の兼用機能 (2/4)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ				通信インタフェース			
	デジタル・ポート	出力電流制御ポート	ELC _L 入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
21	P62	CCD06	—	—	—	—	—	—	(INTP5)	—	—	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	SCLA1	—
22	P63	CCD07	—	—	—	—	—	—	(INTP6)	—	—	(TI04)/ (TO04)	—	—	—	—	—	SDAA1	—
23	P127	—	—	—	—	—	—	CAPH	—	—	TS00	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—
24	P126	—	—	—	—	—	—	CAPL	(INTP4)	—	TS01	(TI04)/ (TO04)	—	—	—	—	—	—	—
25	P87	—	—	—	—	—	—	VL1	—	—	—	—	—	—	—	—	(TxD1)/ (SO10)	—	—
26	P86	—	—	(PCLBUZ1)	—	—	—	VL2	(INTP3)	—	—	(TI06)/ (TO06)	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
27	P85	—	—	—	—	—	(VCOUT0)	VL4	(INTP4)	—	—	—	—	—	—	—	(SCK10)/ (SCL10)/ (SCK30)/ (SCL30)	—	—
28	P125	—	—	(PCLBUZ1)	—	—	(VCOUT1)	VL3	(INTP7)	—	TS02	(TI06)/ (TO06)	—	—	—	—	(SI30)/ (RxD3)/ (SDA30)	—	—
29	P35	—	—	—	—	—	(VCOUT0)	SEG25	(INTP4)	—	TS03	—	—	—	—	—	(SO30)/ (TxD3)	—	—
30	P34	—	—	—	—	—	—	SEG24	(INTP0)	—	TS04	(TI01)/ (TO01)	—	—	—	—	(RxD3)	—	—
31	P31	—	—	—	—	—	—	SEG21	INTP3	—	TS07	(TI01)/ (TO01)	—	—	—	RTC1HZ	—	—	—
32	P30	—	—	—	—	—	—	SEG20	(INTP3)	—	TS08	TI03/ TO03/ REMOO UT	—	—	—	(RTC1HZ)	—	—	—
33	P77	CCD00	E177/ EO77	—	—	—	—	SEG19	(INTP1)	KR7	TS09	(TI07)/ (TO07)	—	TKBO01/ (TKBO21)	(EXSD00)	—	SO20/ TxD2	—	—
34	P76	CCD01	E176/ EO76	—	—	—	—	SEG18	(INTP2)	KR6	TS10	—	—	TKBO00	(EXSD01)	(RTC1HZ)	SI20/ SDA20/ RxD2	—	—
35	P75	CCD02	—	—	—	—	—	SEG17	(INTP0)	KR5	TS11	(TI03)/ (TO03)/ (REMO OUT)	—	(TKBO11)/ (TKBO01)	—	—	SCK20/ SCL20	—	—
36	P74	CCD03	—	—	—	—	—	SEG16	—	KR4	TS12	—	—	TKBO11/ (TKBO01)	—	—	—	—	—
37	P73	—	—	—	—	—	—	SEG15	—	KR3	TS13	—	—	TKBO10	—	—	—	—	—

表1 - 6 80ピン製品の兼用機能 (3/4)

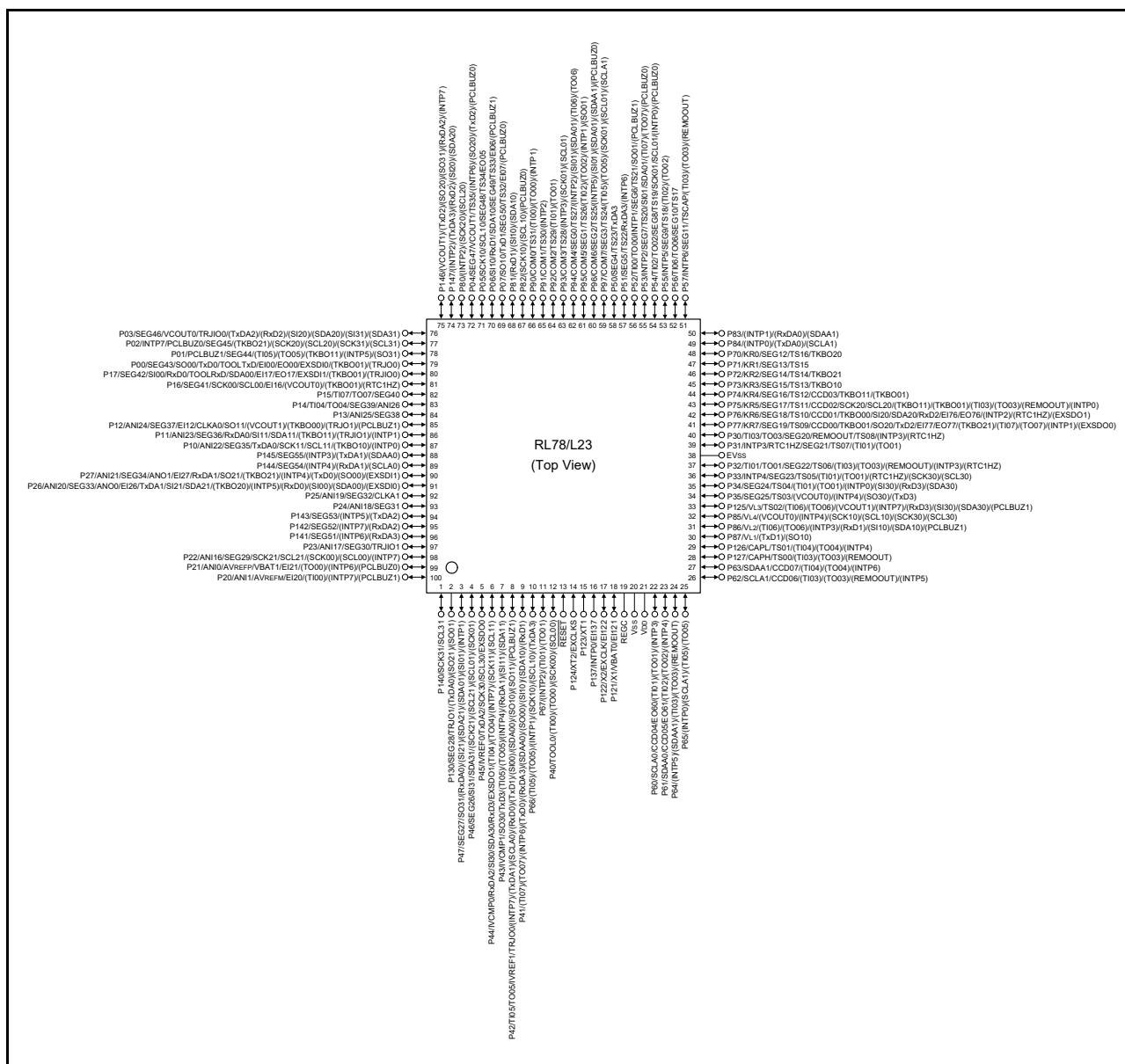
ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ/ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースICA (ICA)	シリアル・インタフェースUARTA (UARTA)
38	P72	—	—	—	—	—	—	SEG14	—	KR2	TS14	—	—	TKBO21	—	—	—	—	—
39	P71	—	—	—	—	—	—	SEG13	—	KR1	TS15	—	—	—	—	—	—	—	—
40	P70	—	—	—	—	—	—	SEG12	—	KR0	TS16	—	—	TKBO20	—	—	—	—	—
41	P57	—	—	—	—	—	—	SEG11	INTP6	—	TSCAP (TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	—
42	P56	—	—	—	—	—	—	SEG10	—	—	TS17	TI06/ TO06	—	—	—	—	—	—	—
43	P55	—	—	—	—	—	—	SEG9	INTP5	—	TS18	(TI02)/ (TO02)	—	—	—	—	—	—	—
44	P54	—	—	(PCLBUZ0)	—	—	—	SEG8	(INTP0)	—	TS19	TI02/ TO02	—	—	—	—	SCL01/ SCK01	—	—
45	P53	—	—	(PCLBUZ0)	—	—	—	SEG7	INTP2	—	TS20	(TI07)/ (TO07)	—	—	—	—	SI01/ SDA01	—	—
46	P52	—	—	(PCLBUZ1)	—	—	—	SEG6	INTP1	—	TS21	TI00/ TO00	—	—	—	—	SO01	—	—
47	P51	—	—	—	—	—	—	SEG5	(INTP6)	—	TS22	—	—	—	—	—	—	—	RxDA3
48	P50	—	—	—	—	—	—	SEG4	—	—	TS23	—	—	—	—	—	—	—	TxDA3
49	P97	—	—	—	—	—	—	SEG3/ COM7	—	—	TS24	(TI05)/ (TO05)	—	—	—	—	(SCK01)/ (SCL01)	(SCLA1)	—
50	P96	—	—	(PCLBUZ0)	—	—	—	SEG2/ COM6	(INTP5)	—	TS25	—	—	—	—	—	(SI01)/ (SDA01)	(SDAA1)	—
51	P95	—	—	—	—	—	—	SEG1/ COM5	(INTP1)	—	TS26	(TI02)/ (TO02)	—	—	—	—	(SO01)	—	—
52	P94	—	—	—	—	—	—	SEG0/ COM4	(INTP2)	—	TS27	(TI06)/ (TO06)	—	—	—	—	(SI01)/ (SDA01)	—	—
53	P93	—	—	—	—	—	—	COM3	(INTP3)	—	TS28	—	—	—	—	—	(SCK01)/ (SCL01)	—	—
54	P92	—	—	—	—	—	—	COM2	—	—	TS29	(TI01)/ (TO01)	—	—	—	—	—	—	—
55	P91	—	—	—	—	—	—	COM1	(INTP2)	—	TS30	—	—	—	—	—	—	—	—
56	P90	—	—	—	—	—	—	COM0	(INTP1)	—	TS31	(TI00)/ (TO00)	—	—	—	—	—	—	—
57	P07	—	EI07	(PCLBUZ0)	—	—	—	SEG50	—	—	TS32	—	—	—	—	—	SO10/ TxD1	—	—
58	P06	—	EI06	(PCLBUZ1)	—	—	—	SEG49	—	—	TS33	—	—	—	—	—	SI10/ RxD1/ SDA10	—	—
59	P05	—	EO05	—	—	—	—	SEG48	—	—	TS34	—	—	—	—	—	SCK10/ SCL10	—	—
60	P04	—	—	(PCLBUZ0)	—	—	VCOU1	SEG47	(INTP6)	—	TS35	—	—	—	—	—	(TxD2)/ (SO20)	—	—

表1 - 6 80ピン製品の兼用機能 (4/4)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	デジタル・ポート	出力電流制御ポート	ELC _L 入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CITSU2La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
61	P03	—	—	—	—	—	VCOUT0	SEG46	—	—	—	—	TRJIO0	—	—	—	(SI31)/ (SDA31)/ (RxD2)/ (SI20)/ (SDA20)	—	—
62	P02	—	—	PCLBUZ0	—	—	—	SEG45	INTP7	—	—	—	—	(TKBO21)	—	—	(SCK31)/ (SCL31)/ (SCK20)/ (SCL20)	—	—
63	P01	—	—	PCLBUZ1	—	—	—	SEG44	(INTP5)	—	—	(TI05)/ (TO05)	—	(TKBO11)	—	—	(SO31)	—	—
64	P00	—	EI00/ EO00	TOOLTxD	—	—	—	SEG43	—	—	—	—	(TRJO0)	(TKBO01)	EXSDI0	—	SO00/ TxD0	—	—
65	P17	—	EI17/ EO17	TOOLRxD	—	—	—	SEG42	—	—	—	—	(TRJIO0)	(TKBO01)	EXSDI1	—	SI00/ RxD0/ SDA00	—	—
66	P16	—	EI16	—	—	—	(VCOUT0)	SEG41	—	—	—	—	—	(TKBO01)	—	(RTC1Hz)	SCK00/ SCL00	—	—
67	P15	—	—	—	—	—	—	SEG40	—	—	—	TI07/ TO07	—	—	—	—	—	—	—
68	P14	—	—	—	ANI26	—	—	SEG39	—	—	—	TI04/ TO04	—	—	—	—	—	—	—
69	P13	—	—	—	ANI25	—	—	SEG38	—	—	—	—	—	—	—	—	—	—	—
70	P12	—	EI12	(PCLBUZ1)	ANI24	—	(VCOUT1)	SEG37	—	—	—	—	(TRJO1)	(TKBO00)	—	—	SO11	—	CLKA0
71	P11	—	—	—	ANI23	—	—	SEG36	(INTP1)	—	—	—	(TRJIO1)	(TKBO11)	—	—	SI11/ SDA11	—	RxDA0
72	P10	—	—	—	ANI22	—	—	SEG35	(INTP0)	—	—	—	—	(TKBO10)	—	—	SCK11/ SCL11	—	TxDA0
73	P27	—	EI27	—	ANI21	ANO1	—	SEG34	(INTP4)	—	—	—	—	(TKBO21)	(EXSDI1)	—	(TxD0)/ (SO00)/ SO21	—	RxDA1
74	P26	—	EI26	—	ANI20	ANO0	—	SEG33	(INTP5)	—	—	—	—	(TKBO20)	(EXSDI0)	—	SI21/ SDA21/ (RxD0)/ (SI00)/ (SDA00)	—	TxDA1
75	P25	—	—	—	ANI19	—	—	SEG32	—	—	—	—	—	—	—	—	—	—	CLKA1
76	P24	—	—	—	ANI18	—	—	SEG31	—	—	—	—	—	—	—	—	—	—	—
77	P23	—	—	—	ANI17	—	—	SEG30	—	—	—	—	TRJIO1	—	—	—	—	—	—
78	P22	—	—	—	ANI16	—	—	SEG29	(INTP7)	—	—	—	—	—	—	—	(SCK00)/ (SCL00)/ SCK21/ SCL21	—	—
79	P21	—	EI21	VBAT1/ (PCLBUZ0)	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	(TO00)	—	—	—	—	—	—	—
80	P20	—	EI20	(PCLBUZ1)	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	(TI00)	—	—	—	—	—	—	—

1.3.6 100ピン製品

- 100ピン・プラスチックLFQFP（14×14 mm、0.50 mmピッチ）



注意 1. EVss 端子は、Vss 端子と同電位にしてください。

注意2. REGC端子はコンデンサ (0.47~1 μ F) を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VssとEVssを別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、

4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx) を参照してください。

表1-7 100ピン製品の兼用機能 (1/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LFOFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	L0Dコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
1	P140	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SCK31/ SCL31	—	—
2	P130	—	—	—	—	—	—	SEG28	—	—	—	—	—	TRJ01	—	—	(SO21)/ (SO01)	—	(TxDA0)
3	P47	—	—	—	—	—	—	SEG27	(INTP1)	—	—	—	—	—	—	—	SO31/ (SI01)/ (SI21)/ (SDA01)/ (SDA21)	—	(RxDA0)
4	P46	—	—	—	—	—	—	SEG26	—	—	—	—	—	—	—	—	SI31/ SDA31/ (SCL01)/ (SCK01)/ (SCK21)/ (SCL21)	—	—
5	P45	—	—	—	—	—	IVREF0	—	—	—	—	—	—	—	EXSD00	—	SCK30/ SCL30	—	TxDA2
6	P44	—	—	—	—	—	IVCMP0	—	(INTP7)	—	—	(TI04)/ (TO04)	—	—	EXSD01	—	SI30/ SDA30/ (SCL11)/ (SCK11)/ RxD3	—	RxDA2
7	P43	—	—	—	—	—	IVCMP1	—	(INTP4)	—	—	(TI05)/ (TO05)	—	—	—	—	SO30/ (SI11)/ (SDA11)/ TxD3	—	(RxDA1)
8	P42	—	—	(PCLBUZ1)	—	—	IVREF1	—	(INTP7)	—	—	TI05/ TO05	TRJ00	—	—	—	(SI00)/ (RxD0)/ (SDA00)/ (SO11)/ (TxD1)/ (SO10)	(SCLA0)	(TxDA1)
9	P41	—	—	—	—	—	—	—	(INTP6)	—	—	(TI07)/ (TO07)	—	—	—	—	(SI10)/ (SO00)/ (TxD0)/ (SDA10)/ (RxD1)	(SDAA0)	(RxDA3)
10	P66	—	—	—	—	—	—	—	(INTP1)	—	—	(TI05)/ (TO05)	—	—	—	—	(SCK10)/ (SCL10)	—	(TxDA3)
11	P67	—	—	—	—	—	—	—	(INTP2)	—	—	(TI01)/ (TO01)	—	—	—	—	—	—	—
12	P40	—	—	TOOL0	—	—	—	—	—	—	—	(TI00)/ (TO00)	—	—	—	—	(SCL00)/ (SCK00)	—	—
13	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
14	P124	—	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
15	P123	—	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
16	P137	—	EI137	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—
17	P122	—	EI122	X2/EXCLK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表1 - 7 100ピン製品の兼用機能 (2/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ				通信インタフェース				
	100LFQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
18	P121	—	EI121	X1/VBAT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
19	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
20	—	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
21	—	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
22	P60	CCD04	EO60	—	—	—	—	—	(INTP3)	—	—	(TI01)/ (TO01)	—	—	—	—	—	SCLA0	—	
23	P61	CCD05	EO61	—	—	—	—	—	(INTP4)	—	—	(TI02)/ (TO02)	—	—	—	—	—	SDAA0	—	
24	P64	—	—	—	—	—	—	—	(INTP5)	—	—	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	(SDAA1)	—	
25	P65	—	—	—	—	—	—	—	(INTP0)	—	—	(TI05)/ (TO05)	—	—	—	—	—	(SCLA1)	—	
26	P62	CCD06	—	—	—	—	—	—	(INTP5)	—	—	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	SCLA1	—	
27	P63	CCD07	—	—	—	—	—	—	(INTP6)	—	—	(TI04)/ (TO04)	—	—	—	—	—	SDAA1	—	
28	P127	—	—	—	—	—	—	CAPH	—	—	TS00	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	
29	P126	—	—	—	—	—	—	CAPL	(INTP4)	—	TS01	(TI04)/ (TO04)	—	—	—	—	—	—	—	
30	P87	—	—	—	—	—	—	VL1	—	—	—	—	—	—	—	—	(TxD1)/ (SO10)	—	—	
31	P86	—	—	(PCLBUZ1)	—	—	—	VL2	(INTP3)	—	—	(TI06)/ (TO06)	—	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
32	P85	—	—	—	—	—	(VCOUT0)	VL4	(INTP4)	—	—	—	—	—	—	—	—	(SCK10)/ (SCL10)/ (SCK30)/ (SCL30)	—	—
33	P125	—	—	(PCLBUZ1)	—	—	(VCOUT1)	VL3	(INTP7)	—	TS02	(TI06)/ (TO06)	—	—	—	—	—	(SI30)/ (RxD3)/ (SDA30)	—	—
34	P35	—	—	—	—	—	(VCOUT0)	SEG25	(INTP4)	—	TS03	—	—	—	—	—	—	(SO30)/ (TxD3)	—	—
35	P34	—	—	—	—	—	—	SEG24	(INTP0)	—	TS04	(TI01)/ (TO01)	—	—	—	—	—	(SI30)/ (RxD3)/ (SDA30)	—	—
36	P33	—	—	—	—	—	—	SEG23	INTP4	—	TS05	(TI01)/ (TO01)	—	—	—	(RTC1HZ)	(SCK30)/ (SCL30)	—	—	

表1 - 7 100ピン製品の兼用機能 (3/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ						通信インタフェース		
	100LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェース IICA (IICA)	シリアル・インタフェースUARTA (UARTA)
37	P32	—	—	—	—	—	—	SEG22	(INTP3)	—	TS06	TI01/ TO01/ (TI03)/ (TO03)/ (REMO OUT)	—	—	—	(RTC1HZ)	—	—	—	
38	—	—	—	EVss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
39	P31	—	—	—	—	—	—	SEG21	INTP3	—	TS07	(TI01)/ (TO01)	—	—	—	RTC1HZ	—	—	—	
40	P30	—	—	—	—	—	—	SEG20	(INTP3)	—	TS08	TI03/ TO03/ REMOO UT	—	—	—	(RTC1HZ)	—	—	—	
41	P77	CCD00	EI77/ EO77	—	—	—	—	SEG19	(INTP1)	KR7	TS09	(TI07)/ (TO07)	—	TKBO01/ (TKBO21)	(EXSDO0)	—	SO20/ TxD2	—	—	
42	P76	CCD01	EI76/ EO76	—	—	—	—	SEG18	(INTP2)	KR6	TS10	—	—	TKBO00	(EXSDO1)	(RTC1HZ)	SI20/ SDA20/ RxD2	—	—	
43	P75	CCD02	—	—	—	—	—	SEG17	(INTP0)	KR5	TS11	(TI03)/ (TO03)/ (REMO OUT)	—	(TKBO11)/ (TKBO01)	—	—	SCK20/ SCL20	—	—	
44	P74	CCD03	—	—	—	—	—	SEG16	—	KR4	TS12	—	—	TKBO11/ (TKBO01)	—	—	—	—	—	
45	P73	—	—	—	—	—	—	SEG15	—	KR3	TS13	—	—	TKBO10	—	—	—	—	—	
46	P72	—	—	—	—	—	—	SEG14	—	KR2	TS14	—	—	TKBO21	—	—	—	—	—	
47	P71	—	—	—	—	—	—	SEG13	—	KR1	TS15	—	—	—	—	—	—	—	—	
48	P70	—	—	—	—	—	—	SEG12	—	KR0	TS16	—	—	TKBO20	—	—	—	—	—	
49	P84	—	—	—	—	—	—	—	(INTP0)	—	—	—	—	—	—	—	—	(SCLA1)	(TxDA0)	
50	P83	—	—	—	—	—	—	—	(INTP1)	—	—	—	—	—	—	—	—	(SDAA1)	(RxDA0)	
51	P57	—	—	—	—	—	—	SEG11	INTP6	—	TSCAP	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	
52	P56	—	—	—	—	—	—	SEG10	—	—	TS17	TI06/ TO06	—	—	—	—	—	—	—	
53	P55	—	—	—	—	—	—	SEG9	INTP5	—	TS18	(TI02)/ (TO02)	—	—	—	—	—	—	—	
54	P54	—	—	(PCLBUZ0)	—	—	—	SEG8	(INTP0)	—	TS19	TI02/ TO02	—	—	—	—	SCL01/ SCK01	—	—	
55	P53	—	—	(PCLBUZ0)	—	—	—	SEG7	INTP2	—	TS20	(TI07)/ (TO07)	—	—	—	—	SI01/ SDA01	—	—	
56	P52	—	—	(PCLBUZ1)	—	—	—	SEG6	INTP1	—	TS21	TI00/ TO00	—	—	—	—	SO01	—	—	
57	P51	—	—	—	—	—	—	SEG5	(INTP6)	—	TS22	—	—	—	—	—	—	—	RxDA3	

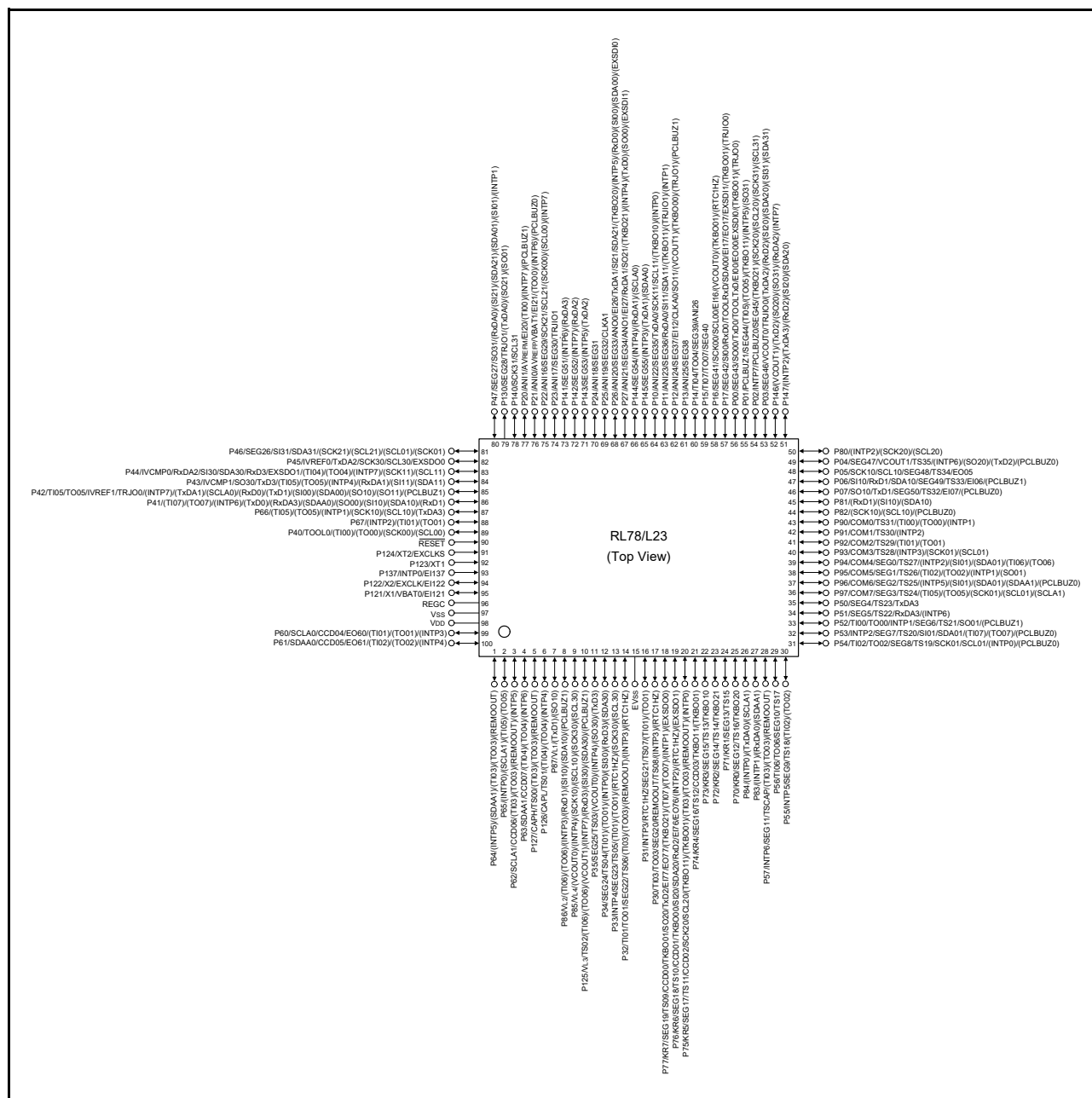
表1 - 7 100ピン製品の兼用機能 (4/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
58	P50	—	—	—	—	—	—	SEG4	—	—	TS23	—	—	—	—	—	—	—	TxD3
59	P97	—	—	—	—	—	—	SEG3/ COM7	—	—	TS24	(TI05)/ (TO05)	—	—	—	—	(SCK01)/ (SCL01)	(SCLA1)	—
60	P96	—	—	(PCLBUZ0)	—	—	—	SEG2/ COM6	(INTP5)	—	TS25	—	—	—	—	—	(SI01)/ (SDA01)	(SDAA1)	—
61	P95	—	—	—	—	—	—	SEG1/ COM5	(INTP1)	—	TS26	(TI02)/ (TO02)	—	—	—	—	(SO01)	—	—
62	P94	—	—	—	—	—	—	SEG0/ COM4	(INTP2)	—	TS27	(TI06)/ (TO06)	—	—	—	—	(SI01)/ (SDA01)	—	—
63	P93	—	—	—	—	—	—	COM3	(INTP3)	—	TS28	—	—	—	—	—	(SCK01)/ (SCL01)	—	—
64	P92	—	—	—	—	—	—	COM2	—	—	TS29	(TI01)/ (TO01)	—	—	—	—	—	—	—
65	P91	—	—	—	—	—	—	COM1	(INTP2)	—	TS30	—	—	—	—	—	—	—	—
66	P90	—	—	—	—	—	—	COM0	(INTP1)	—	TS31	(TI00)/ (TO00)	—	—	—	—	—	—	—
67	P82	—	—	(PCLBUZ0)	—	—	—	—	—	—	—	—	—	—	—	—	(SCK10)/ (SCL10)	—	—
68	P81	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
69	P07	—	EI07	(PCLBUZ0)	—	—	—	SEG50	—	—	TS32	—	—	—	—	—	SO10/ TxD1	—	—
70	P06	—	EI06	(PCLBUZ1)	—	—	—	SEG49	—	—	TS33	—	—	—	—	—	SI10/ RxD1/ SDA10	—	—
71	P05	—	EO05	—	—	—	—	SEG48	—	—	TS34	—	—	—	—	—	SCK10/ SCL10	—	—
72	P04	—	—	(PCLBUZ0)	—	—	VCOUT1	SEG47	(INTP6)	—	TS35	—	—	—	—	—	(TxD2)/ (SO20)	—	—
73	P80	—	—	—	—	—	—	—	(INTP2)	—	—	—	—	—	—	—	(SCK20)/ (SCL20)	—	—
74	P147	—	—	—	—	—	—	—	(INTP2)	—	—	—	—	—	—	—	(RxD2)/ (SI20)/ (SDA20)	—	(TxD3)
75	P146	—	—	—	—	—	VCOUT1	—	(INTP7)	—	—	—	—	—	—	—	(TxD2)/ (SO31)/ (SO20)	—	(RxD2)
76	P03	—	—	—	—	—	VCOUT0	SEG46	—	—	—	—	TRJIO0	—	—	—	(SI31)/ (SDA31)/ (RxD2)/ (SI20)/ (SDA20)	—	(TxD2)
77	P02	—	—	PCLBUZ0	—	—	—	SEG45	INTP7	—	—	—	—	(TKBO21)	—	—	(SCK31)/ (SCL31)/ (SCK20)/ (SCL20)	—	—

表1 - 7 100ピン製品の兼用機能 (5/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LFQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
78	P01	—	—	PCLBUZ1	—	—	—	SEG44	(INTP5)	—	—	(TI05)/ (TO05)	—	(TKBO11)	—	—	(SO31)	—	—
79	P00	—	EI00/ EO00	TOOLTxD	—	—	—	SEG43	—	—	—	—	(TRJ00)	(TKBO01)	EXSDI0	—	SO00/ TxDO	—	—
80	P17	—	EI17/ EO17	TOOLRxD	—	—	—	SEG42	—	—	—	—	(TRJIO0)	(TKBO01)	EXSDI1	—	SI00/ RxD0/ SDA00	—	—
81	P16	—	EI16	—	—	—	(VCOUT0)	SEG41	—	—	—	—	—	(TKBO01)	—	(RTC1HZ)	SCK00/ SCL00	—	—
82	P15	—	—	—	—	—	—	SEG40	—	—	—	TI07/ TO07	—	—	—	—	—	—	—
83	P14	—	—	—	ANI26	—	—	SEG39	—	—	—	TI04/ TO04	—	—	—	—	—	—	—
84	P13	—	—	—	ANI25	—	—	SEG38	—	—	—	—	—	—	—	—	—	—	—
85	P12	—	EI12	(PCLBUZ1)	ANI24	—	(VCOUT1)	SEG37	—	—	—	—	(TRJ01)	(TKBO00)	—	—	SO11	—	CLKA0
86	P11	—	—	—	ANI23	—	—	SEG36	(INTP1)	—	—	—	(TRJIO1)	(TKBO11)	—	—	SI11/ SDA11	—	RxDA0
87	P10	—	—	—	ANI22	—	—	SEG35	(INTP0)	—	—	—	—	(TKBO10)	—	—	SCK11/ SCL11	—	TxDA0
88	P145	—	—	—	—	—	—	SEG55	(INTP3)	—	—	—	—	—	—	—	—	(SDAA0)	(TxDA1)
89	P144	—	—	—	—	—	—	SEG54	(INTP4)	—	—	—	—	—	—	—	—	(SCLA0)	(RxDA1)
90	P27	—	EI27	—	ANI21	ANO1	—	SEG34	(INTP4)	—	—	—	—	(TKBO21)	(EXSDI1)	—	(TxDO)/ (SO00)/ SO21	—	RxDA1
91	P26	—	EI26	—	ANI20	ANO0	—	SEG33	(INTP5)	—	—	—	—	(TKBO20)	(EXSDI0)	—	SI21/ SDA21/ (RxD0)/ (SI00)/ (SDA00)	—	TxDA1
92	P25	—	—	—	ANI19	—	—	SEG32	—	—	—	—	—	—	—	—	—	—	CLKA1
93	P24	—	—	—	ANI18	—	—	SEG31	—	—	—	—	—	—	—	—	—	—	—
94	P143	—	—	—	—	—	—	SEG53	(INTP5)	—	—	—	—	—	—	—	—	—	(TxDA2)
95	P142	—	—	—	—	—	—	SEG52	(INTP7)	—	—	—	—	—	—	—	—	—	(RxDA2)
96	P141	—	—	—	—	—	—	SEG51	(INTP6)	—	—	—	—	—	—	—	—	—	(RxDA3)
97	P23	—	—	—	ANI17	—	—	SEG30	—	—	—	—	TRJIO1	—	—	—	—	—	—
98	P22	—	—	—	ANI16	—	—	SEG29	(INTP7)	—	—	—	—	—	—	—	(SCK00)/ (SCL00)/ SCK21/ SCL21	—	—
99	P21	—	EI21	VBAT1/ (PCLBUZ0)	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	(TO00)	—	—	—	—	—	—	—
100	P20	—	EI20	(PCLBUZ1)	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	(TI00)	—	—	—	—	—	—	—

- 100ピン・プラスチックLQFP（14×20mm、0.65mmピッチ）



注意1. EVss端子は、Vss端子と同電位にしてください。

注意2. REGC端子はコンデンサ（0.47～1μF）を介し、Vssに接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VssとEVssを別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、

4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）を参照してください。

表1 - 8 100ピン製品の兼用機能 (1/5)

ピン 番号	I/O				電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LQFP	デジタル・ポート	出力電流制御ポート	ELCL入出力ポート		A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CITSU2la)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P64	—	—	—	—	—	—	—	(INTP5)	—	—	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	(SDAA1)	—	
2	P65	—	—	—	—	—	—	—	(INTP0)	—	—	(TI05)/ (TO05)	—	—	—	—	—	(SCLA1)	—	
3	P62	CCD06	—	—	—	—	—	—	(INTP5)	—	—	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	SCLA1	—	
4	P63	CCD07	—	—	—	—	—	—	(INTP6)	—	—	(TI04)/ (TO04)	—	—	—	—	—	SDAA1	—	
5	P127	—	—	—	—	—	—	CAPH	—	—	TS00	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—	
6	P126	—	—	—	—	—	—	CAPL	(INTP4)	—	TS01	(TI04)/ (TO04)	—	—	—	—	—	—	—	
7	P87	—	—	—	—	—	—	VL1	—	—	—	—	—	—	—	—	(TxD1)/ (SO10)	—	—	
8	P86	—	—	(PCLBUZ1)	—	—	—	VL2	(INTP3)	—	—	(TI06)/ (TO06)	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—	
9	P85	—	—	—	—	—	(VCOUT0)	VL4	(INTP4)	—	—	—	—	—	—	—	(SCK10)/ (SCL10)/ (SCK30)/ (SCL30)	—	—	
10	P125	—	—	(PCLBUZ1)	—	—	(VCOUT1)	VL3	(INTP7)	—	TS02	(TI06)/ (TO06)	—	—	—	—	(SI30)/ (RxD3)/ (SDA30)	—	—	
11	P35	—	—	—	—	—	(VCOUT0)	SEG25	(INTP4)	—	TS03	—	—	—	—	—	(SO30)/ (TxD3)	—	—	
12	P34	—	—	—	—	—	—	SEG24	(INTP0)	—	TS04	(TI01)/ (TO01)	—	—	—	—	(SI30)/ (RxD3)/ (SDA30)	—	—	
13	P33	—	—	—	—	—	—	SEG23	INTP4	—	TS05	(TI01)/ (TO01)	—	—	—	(RTC1HZ)	(SCK30)/ (SCL30)	—	—	
14	P32	—	—	—	—	—	—	SEG22	(INTP3)	—	TS06	TI01/ TO01/ (TI03)/ (TO03)/ (REMO OUT)	—	—	—	(RTC1HZ)	—	—	—	
15	—	—	—	EVss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
16	P31	—	—	—	—	—	—	SEG21	INTP3	—	TS07	(TI01)/ (TO01)	—	—	—	RTC1HZ	—	—	—	

表1 - 8 100ピン製品の兼用機能 (2/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
17	P30	—	—	—	—	—	—	SEG20	(INTP3)	—	TS08	TI03/ TO03/ REMOO UT	—	—	—	(RTC1HZ)	—	—	—
18	P77	CCD00	EI77/ EO77	—	—	—	—	SEG19	(INTP1)	KR7	TS09	(TI07)/ (TO07)	—	TKBO01/ (TKBO21)	EXSD00	—	SO20/ TxD2	—	—
19	P76	CCD01	EI76/ EO76	—	—	—	—	SEG18	(INTP2)	KR6	TS10	—	—	TKBO00	EXSD01	(RTC1HZ)	SI20/ SDA20/ RxD2	—	—
20	P75	CCD02	—	—	—	—	—	SEG17	(INTP0)	KR5	TS11	(TI03)/ (TO03)/ (REMO OUT)	—	TKBO11)/ (TKBO01)	—	—	SCK20/ SCL20	—	—
21	P74	CCD03	—	—	—	—	—	SEG16	—	KR4	TS12	—	—	TKBO11/ (TKBO01)	—	—	—	—	—
22	P73	—	—	—	—	—	—	SEG15	—	KR3	TS13	—	—	TKBO10	—	—	—	—	—
23	P72	—	—	—	—	—	—	SEG14	—	KR2	TS14	—	—	TKBO21	—	—	—	—	—
24	P71	—	—	—	—	—	—	SEG13	—	KR1	TS15	—	—	—	—	—	—	—	—
25	P70	—	—	—	—	—	—	SEG12	—	KR0	TS16	—	—	TKBO20	—	—	—	—	—
26	P84	—	—	—	—	—	—	—	(INTP0)	—	—	—	—	—	—	—	—	(SCLA1)	(TxDA0)
27	P83	—	—	—	—	—	—	—	(INTP1)	—	—	—	—	—	—	—	—	(SDAA1)	(RxD A0)
28	P57	—	—	—	—	—	—	SEG11	INTP6	—	TSCAP	(TI03)/ (TO03)/ (REMO OUT)	—	—	—	—	—	—	—
29	P56	—	—	—	—	—	—	SEG10	—	—	TS17	TI06/ TO06	—	—	—	—	—	—	—
30	P55	—	—	—	—	—	—	SEG9	INTP5	—	TS18	(TI02)/ (TO02)	—	—	—	—	—	—	—
31	P54	—	—	(PCLBUZ0)	—	—	—	SEG8	(INTP0)	—	TS19	TI02/ TO02	—	—	—	—	SCL01/ SCK01	—	—
32	P53	—	—	(PCLBUZ0)	—	—	—	SEG7	INTP2	—	TS20	(TI07)/ (TO07)	—	—	—	—	SI01/ SDA01	—	—
33	P52	—	—	(PCLBUZ1)	—	—	—	SEG6	INTP1	—	TS21	TI00/ TO00	—	—	—	—	SO01	—	—
34	P51	—	—	—	—	—	—	SEG5	(INTP6)	—	TS22	—	—	—	—	—	—	—	RxD A3
35	P50	—	—	—	—	—	—	SEG4	—	—	TS23	—	—	—	—	—	—	—	TxD A3
36	P97	—	—	—	—	—	—	SEG3/ COM7	—	—	TS24	(TI05)/ (TO05)	—	—	—	—	(SCK01)/ (SCL01)	(SCLA1)	—
37	P96	—	—	(PCLBUZ0)	—	—	—	SEG2/ COM6	(INTP5)	—	TS25	—	—	—	—	—	(SI01)/ (SDA01)	(SDAA1)	—
38	P95	—	—	—	—	—	—	SEG1/ COM5	(INTP1)	—	TS26	(TI02)/ (TO02)	—	—	—	—	(SO01)	—	—

表1 - 8 100ピン製品の兼用機能 (3/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LOFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
39	P94	—	—	—	—	—	—	SEG0/ COM4	(INTP2)	—	TS27	(TI06)/ (TO06)	—	—	—	—	(SI01)/ (SDA01)	—	—
40	P93	—	—	—	—	—	—	COM3	(INTP3)	—	TS28	—	—	—	—	—	(SCK01)/ (SCL01)	—	—
41	P92	—	—	—	—	—	—	COM2	—	—	TS29	(TI01)/ (TO01)	—	—	—	—	—	—	—
42	P91	—	—	—	—	—	—	COM1	(INTP2)	—	TS30	—	—	—	—	—	—	—	—
43	P90	—	—	—	—	—	—	COM0	(INTP1)	—	TS31	(TI00)/ (TO00)	—	—	—	—	—	—	—
44	P82	—	—	(PCLBUZ0)	—	—	—	—	—	—	—	—	—	—	—	—	(SCK10)/ (SCL10)	—	—
45	P81	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	(RxD1)/ (SI10)/ (SDA10)	—	—
46	P07	—	EI07	(PCLBUZ0)	—	—	—	SEG50	—	—	TS32	—	—	—	—	—	SO10/ TxD1	—	—
47	P06	—	EI06	(PCLBUZ1)	—	—	—	SEG49	—	—	TS33	—	—	—	—	—	SI10/ RxD1/ SDA10	—	—
48	P05	—	EO05	—	—	—	—	SEG48	—	—	TS34	—	—	—	—	—	SCK10/ SCL10	—	—
49	P04	—	—	(PCLBUZ0)	—	—	VCOUT1	SEG47	(INTP6)	—	TS35	—	—	—	—	—	(TxD2)/ (SO20)	—	—
50	P80	—	—	—	—	—	—	—	(INTP2)	—	—	—	—	—	—	—	(SCK20)/ (SCL20)	—	—
51	P147	—	—	—	—	—	—	—	(INTP2)	—	—	—	—	—	—	—	(RxD2)/ (SI20)/ (SDA20)	—	(TxD3)
52	P146	—	—	—	—	—	(VCOUT1)	—	(INTP7)	—	—	—	—	—	—	—	(TxD2)/ (SO31)/ (SO20)	—	(RxD2)
53	P03	—	—	—	—	—	VCOUT0	SEG46	—	—	—	—	TRJIO0	—	—	—	(SI31)/ (SDA31)/ (RxD2)/ (SI20)/ (SDA20)	—	(TxD2)
54	P02	—	—	PCLBUZ0	—	—	—	SEG45	INTP7	—	—	—	—	(TKBO21)	—	—	(SCK31)/ (SCL31)/ (SCK20)/ (SCL20)	—	—
55	P01	—	—	PCLBUZ1	—	—	—	SEG44	(INTP5)	—	—	(TI05)/ (TO05)	—	(TKBO11)	—	—	(SO31)	—	—
56	P00	—	EI00/ EO00	TOOLTxD	—	—	—	SEG43	—	—	—	—	(TRJIO0)	(TKBO01)	EXSDI0	—	SO00/ TxD0	—	—
57	P17	—	EI17/ EO17	TOOLRxD	—	—	—	SEG42	—	—	—	—	(TRJIO0)	(TKBO01)	EXSDI1	—	SI00/ RxD0/ SDA00	—	—

表1 - 8 100ピン製品の兼用機能 (4/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
58	P16	—	EI16	—	—	—	(VCOUT0)	SEG41	—	—	—	—	—	(TKBO01)	—	(RTC1HZ)	SCK00/ SCL00	—	—
59	P15	—	—	—	—	—	—	SEG40	—	—	—	TI07/ TO07	—	—	—	—	—	—	—
60	P14	—	—	—	ANI26	—	—	SEG39	—	—	—	TI04/ TO04	—	—	—	—	—	—	—
61	P13	—	—	—	ANI25	—	—	SEG38	—	—	—	—	—	—	—	—	—	—	—
62	P12	—	EI12	(PCLBUZ1)	ANI24	—	(VCOUT1)	SEG37	—	—	—	—	(TRJO1)	(TKBO00)	—	—	SO11	—	CLKA0
63	P11	—	—	—	ANI23	—	—	SEG36	(INTP1)	—	—	—	(TRJIO1)	(TKBO11)	—	—	SI11/ SDA11	—	RxDA0
64	P10	—	—	—	ANI22	—	—	SEG35	(INTP0)	—	—	—	—	(TKBO10)	—	—	SCK11/ SCL11	—	TxDA0
65	P145	—	—	—	—	—	—	SEG55	(INTP3)	—	—	—	—	—	—	—	—	(SDAA0)	(TxDA1)
66	P144	—	—	—	—	—	—	SEG54	(INTP4)	—	—	—	—	—	—	—	—	(SCLA0)	(RxDA1)
67	P27	—	EI27	—	ANI21	ANO1	—	SEG34	(INTP4)	—	—	—	—	(TKBO21)	(EXSDI1)	—	(TxD0)/ (SO00)/ SO21	—	RxDA1
68	P26	—	EI26	—	ANI20	ANO0	—	SEG33	(INTP5)	—	—	—	—	(TKBO20)	(EXSDI0)	—	SI21/ SDA21/ (RxDO)/ (SI00)/ (SDA00)	—	TxDA1
69	P25	—	—	—	ANI19	—	—	SEG32	—	—	—	—	—	—	—	—	—	—	CLKA1
70	P24	—	—	—	ANI18	—	—	SEG31	—	—	—	—	—	—	—	—	—	—	—
71	P143	—	—	—	—	—	—	SEG53	(INTP5)	—	—	—	—	—	—	—	—	—	(TxDA2)
72	P142	—	—	—	—	—	—	SEG52	(INTP7)	—	—	—	—	—	—	—	—	—	(RxDA2)
73	P141	—	—	—	—	—	—	SEG51	(INTP6)	—	—	—	—	—	—	—	—	—	(RxDA3)
74	P23	—	—	—	ANI17	—	—	SEG30	—	—	—	—	TRJIO1	—	—	—	—	—	—
75	P22	—	—	—	ANI16	—	—	SEG29	(INTP7)	—	—	—	—	—	—	—	(SCK00)/ (SCL00)/ SCK21/ SCL21	—	—
76	P21	—	EI21	VBAT1/ (PCLBUZ0)	ANI0/ AVREFP	—	—	—	(INTP6)	—	—	(TO00)	—	—	—	—	—	—	—
77	P20	—	EI20	(PCLBUZ1)	ANI1/ AVREFM	—	—	—	(INTP7)	—	—	(TI00)	—	—	—	—	—	—	—
78	P140	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SCK31/ SCL31	—	—
79	P130	—	—	—	—	—	—	SEG28	—	—	—	—	TRJO1	—	—	—	(SO21)/ (SO01)	—	(TxDA0)
80	P47	—	—	—	—	—	—	SEG27	(INTP1)	—	—	—	—	—	—	—	SO31/ (SI01)/ (SI21)/ (SDA01)/ (SDA21)	—	(RxDA0)

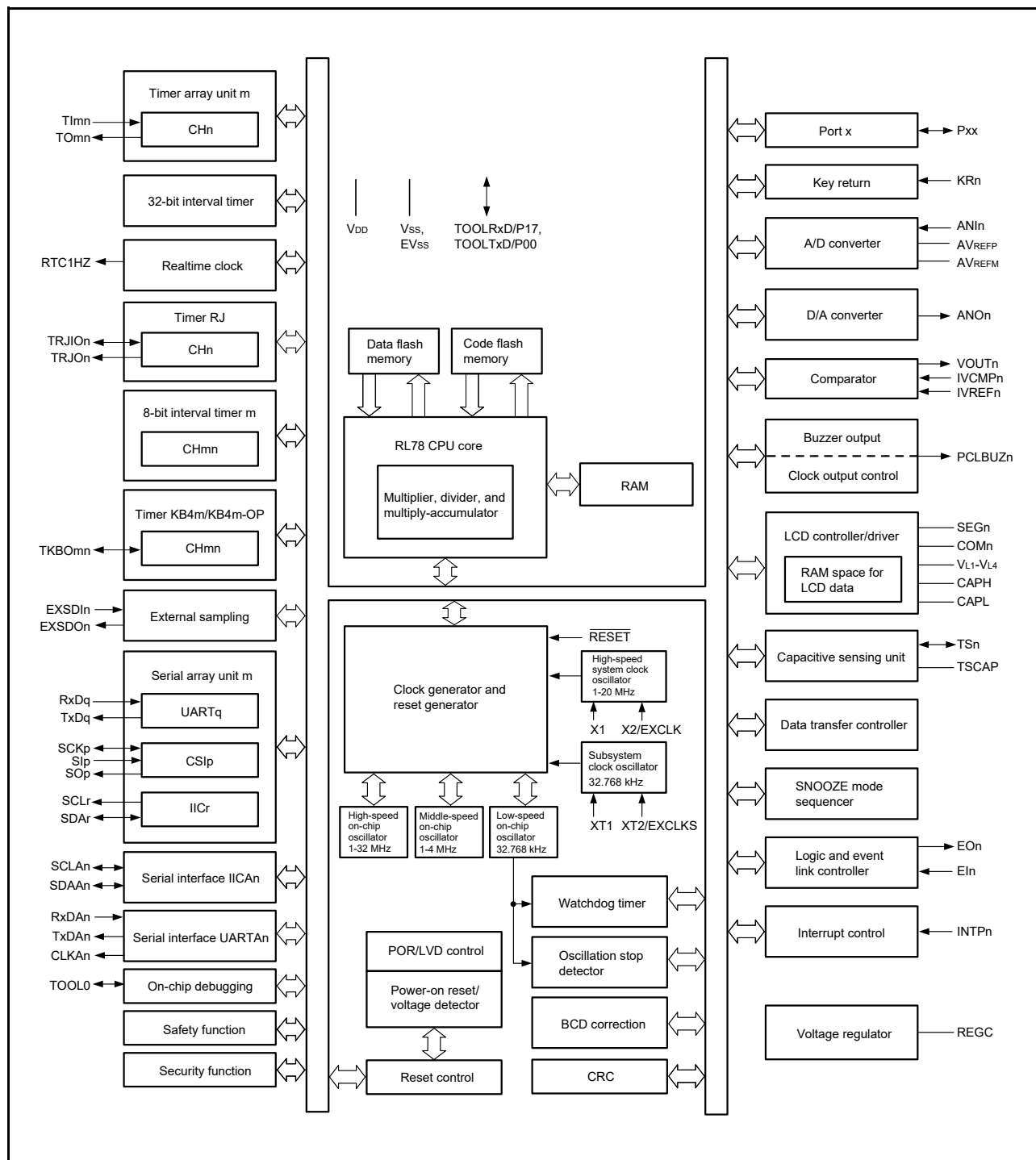
表1 - 8 100ピン製品の兼用機能 (5/5)

ピン 番号	I/O			電源、システム・クロック、デバッグ	アナログ				HMI			タイマ					通信インタフェース		
	100LQFP	デジタル・ポート	出力電流制御ポート		ELCL入出力ポート	A/Dコンバータ (ADC)	D/Aコンバータ (DAC)	コンパレータ (CMP)	LCDコントローラ／ドライバ	割り込み機能	キー割り込み機能	静電容量センサユニット (CTS02La)	タイマ・アレイ・ユニット (TAU)	タイマRJ	16ビット・タイマKB40, KB41, KB42	外部サンプリング	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)
81	P46	—	—	—	—	—	—	SEG26	—	—	—	—	—	—	—	—	SI31/ SDA31/ (SCL01)/ (SCK01)/ (SCK21)/ (SCL21)	—	—
82	P45	—	—	—	—	—	IVREF0	—	—	—	—	—	—	—	EXSD00	—	SCK30/ SCL30	—	TxD2
83	P44	—	—	—	—	—	IVCMP0	—	(INTP7)	—	—	(TI04)/ (TO04)	—	—	EXSD01	—	SI30/ SDA30/ (SCL11)/ (SCK11)/ RxD3	—	RxD2
84	P43	—	—	—	—	—	IVCMP1	—	(INTP4)	—	—	(TI05)/ (TO05)	—	—	—	—	SO30/ (SI11)/ (SDA11)/ TxD3	—	(RxDA1)
85	P42	—	—	(PCLBUZ1)	—	—	IVREF1	—	(INTP7)	—	—	TI05/ TO05	TRJ00	—	—	—	(SI00)/ (RxD0)/ (SDA00)/ (SO11)/ (TxD1)/ (SO10)	(SCLA0)	(TxDA1)
86	P41	—	—	—	—	—	—	—	(INTP6)	—	—	(TI07)/ (TO07)	—	—	—	—	(SI10)/ (SO00)/ (TxD0)/ (SDA10)/ (RxD1)	(SDAA0)	(RxDA3)
87	P66	—	—	—	—	—	—	—	(INTP1)	—	—	(TI05)/ (TO05)	—	—	—	—	(SCK10)/ (SCL10)	—	(TxDA3)
88	P67	—	—	—	—	—	—	—	(INTP2)	—	—	(TI01)/ (TO01)	—	—	—	—	—	—	—
89	P40	—	—	TOOL0	—	—	—	—	—	—	—	(TI00)/ (TO00)	—	—	—	—	(SCL00)/ (SCK00)	—	—
90	—	—	—	RESET	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
91	P124	—	—	XT2/ EXCLKS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
92	P123	—	—	XT1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
93	P137	—	EI137	—	—	—	—	—	INTP0	—	—	—	—	—	—	—	—	—	—
94	P122	—	EI122	X2/EXCLK	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
95	P121	—	EI121	X1/VBAT0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
96	—	—	—	REGC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
97	—	—	—	Vss	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
98	—	—	—	VDD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
99	P60	CCD04	EO60	—	—	—	—	—	(INTP3)	—	—	(TI01)/ (TO01)	—	—	—	—	—	SCLA0	—
100	P61	CCD05	EO61	—	—	—	—	—	(INTP4)	—	—	(TI02)/ (TO02)	—	—	—	—	—	SDAA0	—

1.4 端子名称

ANI0, ANI1,	: Analog input	PCLBUZ0, PCLBUZ1	: Programmable clock output/buzzer output
ANI16-ANI26		REGC	: Regulator capacitance
ANO0, ANO1	: Analog output	<u>RESET</u>	: Reset
AVREFM	: Analog reference voltage minus	RTC1HZ	: Realtime clock correction clock (1 Hz) output
AVREFP	: Analog reference voltage plus	RxD0-RxD3, RxDA0,	: Receive data
CCD00-CCD07	: Controlled current drive output	RxDA1, RxDA2, RxDA3	
CLKA0, CLKA1	: Asynchronous serial clock output	SCLA0, SCLA1,	: Serial clock input/output
CAPH, CAPL	: Capacitor for LCD	SCK00, SCK01, SCK10,	
COM0-COM7	: LCD common output	SCK11, SCK20, SCK21,	
EI00, EI06, EI07, EI12,	: Logic & event link controller input	SCK30, SCK31	
EI16, EI17, EI20, EI21,		SCL00, SCL01, SCL10,	: Serial clock output
EI26, EI27, EI76, EI77,		SCL11, SCL20, SCL21,	
EI121, EI122, EI137		SCL30, SCL31	
EO00, EO05, EO17,	: Logic & event link controller output	SDAA0, SDAA1, SDA00,	: Serial data input/output
EO60, EO61, EO76,		SDA01, SDA10, SDA11,	
EO77		SDA20, SDA21, SDA30,	
EVss	: Ground for port	SDA31	
EXCLK	: External clock input (main system clock)	SEG0-SEG55	: LCD segment output
EXCLKS	: External clock input (subsystem clock)	SI00, SI01, SI10, SI11,	: Serial data input
EXSDI0, EXSDI1	: External sampling input	SI20, SI21, SI30, SI31	
EXSDO0, EXSDO1	: External sampling clock output	SO00, SO01, SO10,	: Serial data output
INTP0-INTP7	: Interrupt request from peripheral modules	SO11, SO20, SO21,	
IVCMP0, IVCMP1	: Comparator input	SO30, SO31	
IVREF0, IVREF1	: Comparator reference input	TSCAP	: Touch sensor capacitance
KR0-KR7	: Key return input	TI00-TI07	: Timer input
P00-P07	: Port 0	TO00-TO07	: Timer output
P10-P17	: Port 1	TKBO00, TKBO01, TKBO10,	: Timer KB40, KB41, KB42 output
P20-P27	: Port 2	TKBO11, TKBO20, TKBO21	
P30-P35	: Port 3	TOOL0	: Data input/output for tool
P40-P47	: Port 4	TOOLRxD, TOOLTxD	: Data input/output for external device
P50-P57	: Port 5	TRJIO0, TRJIO1	: Timer RJ input/output
P60-P67	: Port 6	TS00-TS35	: Capacitive touch sensor
P70-P77	: Port 7	TxD0-TxD3, TxDA0,	: Transmit data
P80-P87	: Port 8	TxDA1, TxDA2, TxDA3	
P90-P97	: Port 9	VBAT0, VBAT1	: Battery backup power supply
P121-P127	: Port 12	VCOUT0, VCOUT1	: Comparator output
P130, P137	: Port 13	VDD	: Power supply
P140-P147	: Port 14	VL1-VL4	: LCD power supply
		Vss	: Ground
		X1, X2	: Crystal oscillator (main system clock)
		XT1, XT2	: Crystal oscillator (subsystem clock)
		REMOOUT	: Remote control output

1.5 ブロック図



備考 m : ユニット番号、n : チャネル番号、p : 簡易SPI (CSI) 番号、q : UART番号、r : 簡易I²C番号、xx : ポート番号

1.6 機能概要

注意 周辺I/Oリダイレクション・レジスタ（PIORx）を00Hに設定時の機能概要です。

(1/4)

項目		44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
		R7F100LFx	R7F100LGx	R7F100LJx	R7F100LLx	R7F100LMx	R7F100LPx
コード・フラッシュ・メモリ		512 KB (256 KB × 2バンクまたはシングルバンク) 256 KB (128 KB × 2バンクまたはシングルバンク) 128 KB (シングルバンク) 64 KB (シングルバンク)				512 KB (256 KB × 2バンク またはシングルバンク) 256 KB (128 KB × 2バンク またはシングルバンク) 128 KB (シングルバンク)	
データ・フラッシュ・メモリ		8 KB	8 KB	8 KB	8 KB	8 KB	8 KB
RAM		16-32 KB	16-32 KB	16-32 KB	16-32 KB	16-32 KB	16-32 KB
アドレス空間		1 Mバイト					
CPU／周辺 ハードウェア・ クロック周波数 (fCLK)	メイン・システム・ クロック	HS (高速メイン) モード : 1~32 MHz (V _{DD} = 1.8~5.5 V) HS (高速メイン) モード : 1~4 MHz ^{注1} (V _{DD} = 1.6~5.5 V) LS (低速メイン) モード : 1~24 MHz (V _{DD} = 1.8~5.5 V) LS (低速メイン) モード : 1~4 MHz ^{注1} (V _{DD} = 1.6~5.5 V) LP (低電力メイン) モード : 1~2 MHz ^{注2} (V _{DD} = 1.6~5.5 V)					
	サブシステム・ クロック	SUBモード : 32.768 kHz (V _{DD} = 1.6~5.5 V)					
メイン・ システム・ クロック	高速システム・ クロック (f _{MX})	1~20 MHz					
	高速オンチップ・ オシレータ・クロック (f _{IH})	1 MHz, 2 MHz, 3 MHz, 4 MHz, 6 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz					
	中速オンチップ・ オシレータ・クロック (f _{IM})	1 MHz, 2 MHz, 4 MHz					
サブシステム・ クロック	サブシステム・ クロックX (f _{SX})	32.768 kHz (V _{DD} = 1.6~5.5 V)					
	低速オンチップ・ オシレータ・クロック (f _{IL})	32.768 kHz (Typ.)					
汎用レジスタ		8ビット × 32レジスタ (8ビット × 8レジスタ × 4バンク)					
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック : f _{IH} = 32 MHz動作時)					
命令セット		・データ転送 (8/16ビット) ・加減／論理演算 (8/16ビット) ・乗算 (8 × 8ビット、16 × 16ビット)、除算 (16 ÷ 16ビット、32 ÷ 32ビット) ・積和演算 (16 × 16 + 32ビット) ・ローテート、バレル・シフト、ビット操作 (セット、リセット、テスト、ブール演算) など					

(2/4)

項目		44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
		R7F100LFx	R7F100LGx	R7F100LJx	R7F100LLx	R7F100LMx	R7F100LPx
I/Oポート	合計	40	44	48	60	76	95
	CMOS入出力	35 (N-chオープン・ドレイン出力／入力 [VDD耐圧]: 24)	39 (N-chオープン・ドレイン出力／入力 [VDD耐圧]: 27)	43 (N-chオープン・ドレイン出力／入力 [VDD耐圧]: 29)	53 (N-chオープン・ドレイン出力／入力 [VDD耐圧]: 35)	68 (N-chオープン・ドレイン出力／入力 [VDD耐圧]: 42)	87 (N-chオープン・ドレイン出力／入力 [VDD耐圧]: 57)
	CMOS入力	3	3	3	3	3	3
	CMOS出力	—	—	—	—	1	1
	N-chオープン・ドレイン出力／入力 [6 V耐圧]	2	2	2	4	4	4
	出力電流制御ポート	4	5	6	8	8	8
	タイマ	16ビット・タイマ	8チャンネル				
ウォッチドッグ・タイマ		1チャンネル					
リアルタイム・クロック (RTC)		1チャンネル					
32ビット・インターバル・タイマ (TML32)		32ビット・カウンタ・モード時: 1チャンネル、 16ビット・カウンタ・モード時: 2チャンネル、 8ビット・カウンタ・モード時: 4チャンネル					
8ビット・インターバル・タイマ		フラッシュ・メモリ 256 KB・512 KBの製品: 8ユニット フラッシュ・メモリ 64 KB・128 KBの製品: 4 ユニット				8ユニット	
16ビット・タイマRJ		フラッシュ・メモリ 256 KB・512 KBの製品: 2 チャンネル フラッシュ・メモリ 64 KB・128 KBの製品: 1 チャンネル				2チャンネル	
16ビット・タイマ KB40, KB41, KB42		フラッシュ・メモリ 256 KB・512 KBの製品: 3 チャンネル フラッシュ・メモリ 64 KB・128 KBの製品: 1 チャンネル				3チャンネル	
外部サンプリング		1チャンネル					
発振停止検出回路		1チャンネル					
タイマ出力		6本 (PWM出力: 5本 ^{注3})、 8本 (PWM出力: 7本 ^{注3}) ^{注4}			8本 (PWM出力: 7本 ^{注3})		
RTC出力		1本					
クロック出力／ブザー出力		2本					
		・ 3.91 kHz, 7.81 kHz, 15.63 kHz, 2 MHz, 4 MHz, 8 MHz, 16 MHz (メイン・システム・クロック: fMAIN = 32 MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (低速周辺クロック: fSXP = 32.768 kHz動作時)					
8／10／12ビット分解能A/Dコンバータ		8チャンネル	9チャンネル	10チャンネル	10チャンネル	13チャンネル	13チャンネル
D/Aコンバータ		3チャンネル (1チャンネルはコンパレータの内部基準電圧専用)					
コンパレータ		1チャンネル			2チャンネル		

(3/4)

項目		44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
		R7F100LFx	R7F100LGx	R7F100LJx	R7F100LLx	R7F100LMx	R7F100LPx
シリアル・インタフェース		【44ピン製品】					
		・簡易SPI（CSI）：2チャンネル ^{注4} ／簡易I ² C：2チャンネル ^{注4} ／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：1チャンネル／簡易I ² C：1チャンネル／UART（LIN-bus対応）：1チャンネル					
		・簡易I ² C：1チャンネル ^{注4}					
		【48ピン製品】					
		・簡易SPI（CSI）：2チャンネル ^{注4} ／簡易I ² C：2チャンネル ^{注4} ／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART（LIN-bus対応）：1チャンネル					
		・簡易I ² C：1チャンネル					
		【52ピン製品】					
		・簡易SPI（CSI）：2チャンネル ^{注4} ／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART（LIN-bus対応）：1チャンネル					
		・簡易SPI（CSI）：1チャンネル／簡易I ² C：1チャンネル／UART：1チャンネル					
		【64, 80ピン製品】					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART（LIN-bus対応）：1チャンネル					
		・簡易SPI（CSI）：2チャンネル ^{注4} ／簡易I ² C：2チャンネル ^{注4} ／UART：1チャンネル					
		【100ピン製品】					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART（LIN-bus対応）：1チャンネル					
		・簡易SPI（CSI）：2チャンネル／簡易I ² C：2チャンネル／UART：1チャンネル					
	UARTA	2チャンネル	フラッシュ・メモリ 256 KB・512 KBの製品：3チャンネル フラッシュ・メモリ 64 KB・128 KBの製品：2チャンネル			4チャンネル	
	I ² Cバス	2チャンネル					
データ・トランスファ・コントローラ（DTC）		48要因（フラッシュ・メモリ 64-128 KBの44, 48ピン製品） 49要因（フラッシュ・メモリ 64-128 KBの52, 64ピン製品） 51要因（フラッシュ・メモリ 256-512 KBの44ピン製品） 53要因（フラッシュ・メモリ 256-512 KBの48ピン製品） 54要因（フラッシュ・メモリ 256-512 KBの52, 64ピン製品） 56要因（フラッシュ・メモリ 128-512 KBの80, 100ピン製品）					
ロジック&イベント・リンク・コントローラ（ELCL）		1					
SNOOZEモード・シーケンサ（SMS）		1					
静電容量センサユニット		16	18	20	25	34	36
LCDコントローラ／ドライバ		内部昇圧／容量分割／外部抵抗分割の切り替えが可能					
	セグメント信号出力× コモン信号出力	19 seg × 4 com 17 seg × 6 com 15 seg × 8 com	22 seg × 4 com 20 seg × 6 com 18 seg × 8 com	25 seg × 4 com 23 seg × 6 com 21 seg × 8 com	34 seg × 4 com 32 seg × 6 com 30 seg × 8 com	49 seg × 4 com 47 seg × 6 com 45 seg × 8 com	56 seg × 4 com 54 seg × 6 com 52 seg × 8 com
ベクタ 割り込み要因	内部	47	49	50	50	52	52
	外部	9	9	9	9	9	9
キー割り込み		2	3	4	5	8	8

(4/4)

項目		44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
		R7F100LFx	R7F100LGx	R7F100LJx	R7F100LLx	R7F100LMx	R7F100LPx
リセット		• RESET端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路 (LVD0, LVD1) による内部リセット • 不正命令の実行による内部リセット^{注5} • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット					
パワーオン・リセット回路		検出電圧 • 1.50 V (Typ.)					
電圧検出回路	LVD0	検出電圧 • 立ち上がり : 1.69 ~ 3.96 V (6段階) • 立ち下がり : 1.65 ~ 3.88 V (6段階)					
	LVD1	検出電圧 • 立ち上がり : 1.67 ~ 4.16 V (18段階) • 立ち下がり : 1.63 ~ 4.08 V (18段階)					
オンチップ・デバッグ機能		あり (トレース機能対応)					
電源電圧		VDD = 1.6 ~ 5.5 V					
動作周囲温度		TA = -40 ~ +105°C (3C : 産業用途)					

注1. フラッシュ・メモリを書き換える場合は、2 MHz以下で書き換えてください。

注2. フラッシュ・メモリを書き換える場合は、HS (高速メイン) モードまたはLS (低速メイン) モードに切り替えてください。

注3. 使用チャネルの設定 (マスタとスレーブの数) によって、PWM出力数は変わります (7.9.3 多重PWM出力機能としての動作参照)。

注4. 周辺I/Oリダイレクション・レジスタ (PIORx) の該当ビットに1を設定した場合です。

注5. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポートの端子機能

端子の入出力バッファ電源は、すべての製品で単一の電源です。

電源	対応する端子
VDD	すべての端子

2.1.1 44ピン製品

(1/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-5-31	入出力	デジタル入力 無効 ^{注1}	SEG43/SO00/TxD0/TOOLTxD/ EI00/EO00/EXSDI0/(TKBO01)/ (TRJO0)	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P05	8-44-3			SCK10/SCL10/SEG48/TS34/ EO05	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P06	8-44-2			SI10/RxD1/SDA10/SEG49/ TS33/EI06/(PCLBUZ1)	P05, P06の入力はTTL入力バッファに設定可能。 P00, P05-P07の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。
P07	7-44-3			SO10/TxD1/SEG50/TS32/EI07/ (PCLBUZ0)	LCD出力に設定可能 ^{注2} 。
P10	7-10-6	入出力	アナログ入力	ANI22/SEG35/TxDA0/SCK11/ SCL11/(TKBO10) ^{注3} /(INTP0)	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P11	8-10-2			ANI23/SEG36/RxDA0/SI11/ SDA11/(TKBO11) ^{注3} / (TRJIO1) ^{注3} /(INTP1)	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P12	7-10-5			ANI24/SEG37/EI12/CLKA0/ SO11/(TKBO00)/(TRJO1) ^{注3} / (PCLBUZ1)	P11, P16, P17の入力はTTL入力バッファに設定可能。 P10, P11, P16, P17の出力はN-chオープン・ドレイン 出力[V _{DD} 耐圧]に設定可能。
P16	8-5-18		デジタル入力 無効 ^{注1}	SEG41/SCK00/SCL00/EI16/ (VCOUT0)/(TKBO01)/ (RTC1HZ)	P10-P12はアナログ入力に設定可能 ^{注4} 。 P10-P12はLCD出力に設定可能 ^{注4} 。
P17	8-5-19			SEG42/SI00/RxD0/TOOLRxD/ SDA00/EI17/EO17/EXSDI1/ (TKBO01)/(TRJIO0)	P16, P17はLCD出力に設定可能 ^{注2} 。
P20	4-3-5	入出力	アナログ入力	ANI1/AVREFM/EI20/(TI00)/ (INTP7)/(PCLBUZ1)	ポート2。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-3-5			ANI0/AVREFP/VBAT1/EI21/ (TO00)/(INTP6)/(PCLBUZ0)	P22, P26, P27は、入力ポートでは、ソフトウェアの 設定により、内蔵プルアップ抵抗を使用可能。
P22	8-10-1			ANI16/SEG29/SCK21/SCL21/ (SCK00)/(SCL00)/(INTP7)	P22, P26, P27の入力はTTL入力バッファに設定可能。 P22, P26, P27の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。
P26	8-43-1			ANI20/SEG33/ANO0/EI26/ TxDA1/SI21/SDA21/ (TKBO20) ^{注3} /(INTP5)/(RxD0)/ (SI00)/(SDA00)/(EXSDI0)	P20, P21はアナログ入力に設定可能 ^{注5} 。 P22, P26, P27はアナログ入力に設定可能 ^{注4} 。
P27	8-43-1			ANI21/SEG34/ANO1/EI27/ RxDA1/SO21/(TKBO21) ^{注3} / (INTP4)/(TxD0)/(SO00)/ (EXSDI1)	P22, P26, P27はLCD出力に設定可能 ^{注4} 。

(2/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P40	8-1-10	入出力	入力ポート	TOOL0/(TI00)/(TO00)	ポート4。
P44	8-6-10		アナログ入力	IVCMP0/EXSDO1/(TI04)/ (TO04)/(INTP7)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P40, P44の入力はTTL入力バッファに設定可能。 P40, P44の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P44はアナログ入力に設定可能 ^{注5} 。
P57	7-44-1	入出力	デジタル入力 無効 ^{注1}	INTP6/SEG11/TSCAP/(TI03)/ (TO03)/(REMOOUT)	ポート5。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注2} 。
P60	12-38-3	入出力	入力ポート	SCLA0/CCD04/EO60/(TI01)/ (TO01)/(INTP3)	ポート6。 2ビット入出力ポート。
P61	12-38-3			SDAA0/CCD05/EO61/(TI02)/ (TO02)/(INTP4)	1ビット単位で入力／出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6 V耐圧] P60, P61は出力電流制御ポートに設定可能。
P76	8-45-2	入出力	デジタル入力 無効 ^{注1}	KR6/SEG18/TS10/CCD01/ TKBO00/RxD2/EI76/EO76/ (INTP2)/(RTC1HZ)/(EXSDO1)	ポート7。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P77	7-45-2			KR7/SEG19/TS09/CCD00/ TKBO01/TxD2/EI77/EO77/ (TKBO21) ^{注3} /(TI07)/(TO07)/ (INTP1)/(EXSDO0)	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P76の入力はTTL入力バッファに設定可能。 P76, P77の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。 P76, P77は出力電流制御ポートに設定可能。
P85	8-5-20	入出力	デジタル入力 無効 ^{注1}	VL4/(VCOUT0)/(INTP4)/ (SCK10)/(SCL10)/(SCL30)	ポート8。 3ビット入出力ポート。
P86	8-5-20			VL2/(TI06)/(TO06)/(INTP3)/ (RxD1)/(SI10)/(SDA10)/ (PCLBUZ1)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P87	7-5-32			VL1/(TxD1)/(SO10)	P85, P86の入力はTTL入力バッファに設定可能。 P85-P87の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。

(3/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P90	7-44-3	入出力	デジタル入力 無効 ^{注1}	COM0/TS31/(TI00)/(TO00)/ (INTP1)	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P93, P94, P96, P97の入力はTTL入力バッファに設定 可能。 P93-P97の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P91	7-44-3			COM1/TS30/(INTP2)	
P92	7-44-3			COM2/TS29/(TI01)/(TO01)	
P93	8-44-2			COM3/TS28/(INTP3)/(SCK01)/ (SCL01)	
P94	8-44-2			COM4/SEG0/TS27/(INTP2)/ (SI01)/(SDA01)/(TI06)/(TO06)	
P95	7-44-3			COM5/SEG1/TS26/(TI02)/ (TO02)/(INTP1)/(SO01)	
P96	8-44-2			COM6/SEG2/TS25/(INTP5)/ (SI01)/(SDA01)/(SDAA1)/ (PCLBUZ0)	
P97	8-44-2			COM7/SEG3/TS24/(TI05)/ (TO05)/(SCK01)/(SCL01)/ (SCLA1)	
P121	7-2-1	入出力	入力ポート	X1/VBAT0/EI121	ポート12。 5ビット入出力ポートと2ビット入力専用ポート。 P121, P122, P125-P127は1ビット単位で入力／出力 の指定可能。 P121, P122, P125-P127は入力ポートではソフトウェ アの設定により、内蔵プルアップ抵抗を使用可能。 P125の入力はTTL入力バッファに設定可能。 P125の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P122	7-2-1			X2/EXCLK/EI122	
P123	2-2-1			XT1	
P124	2-2-1			XT2/EXCLKS	
P125	8-44-4	入出力	デジタル入力 無効 ^{注1}	VL3/TS02/(TI06)/(TO06)/ (VCOUT1)/(INTP7)/(SDA30)/ (PCLBUZ1)	ポート13。 1ビット入力専用ポート。
P126	7-44-4			CAPL/TS01/(TI04)/(TO04)/ (INTP4)	
P127	7-44-4			CAPH/TS00/(TI03)/(TO03)/ (REMOOUT)	
P137	2-1-3	入力	入力ポート	EI137/INTP0	
RESET	2-1-1	—	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を 介してV _{DD} に接続してください。

- 注1.** デジタル入力無効状態とは、デジタル出力、デジタル入力、アナログ入力、LCD出力のいずれもが無効な状態を示します。
- 注2.** 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注3.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。
- 注4.** 各端子をデジタル／アナログ／LCDのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注5.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.2 48ピン製品

(1/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-5-31	入出力	デジタル入力 無効 ^{注1}	SEG43/SO00/TxD0/TOOLTxD/ EI00/EO00/EXSDI0/(TKBO01)/ (TRJO0)	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P05	8-44-3			SCK10/SCL10/SEG48/TS34/ EO05	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P06	8-44-2			SI10/RxD1/SDA10/SEG49/ TS33/EI06/(PCLBUZ1)	P05, P06の入力はTTL入力バッファに設定可能。 P00, P05-P07の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。
P07	7-44-3			SO10/TxD1/SEG50/TS32/EI07/ (PCLBUZ0)	LCD出力に設定可能 ^{注2} 。
P10	7-10-6	入出力	アナログ入力	ANI22/SEG35/TxDA0/SCK11/ SCL11/(TKBO10) ^{注3} /(INTP0)	ポート1。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P11	8-10-2			ANI23/SEG36/RxDA0/SI11/ SDA11/(TKBO11) ^{注3} / (TRJO1) ^{注3} /(INTP1)	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P12	7-10-5			ANI24/SEG37/EI12/CLKA0/ SO11/(TKBO00)/(TRJO1) ^{注3} / (PCLBUZ1)	P11, P16, P17の入力はTTL入力バッファに設定可能。 P10, P11, P16, P17の出力はN-chオープン・ドレイン 出力[V _{DD} 耐圧]に設定可能。
P13	7-10-3			ANI25/SEG38	P10-P13はアナログ入力に設定可能 ^{注4} 。 P10-P13はLCD出力に設定可能 ^{注4} 。
P16	8-5-18		デジタル入力 無効 ^{注1}	SEG41/SCK00/SCL00/EI16/ (VCOUT0)/(TKBO01)/ (RTC1HZ)	P16, P17はLCD出力に設定可能 ^{注2} 。
P17	8-5-19			SEG42/SI00/RxD0/TOOLRxD/ SDA00/EI17/EO17/EXSDI1/ (TKBO01)/(TRJO0)	
P20	4-3-5	入出力	アナログ入力	ANI1/AVREFM/EI20/(TI00)/ (INTP7)/(PCLBUZ1)	ポート2。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-3-5			ANI0/AVREFP/VBAT1/EI21/ (TO00)/(INTP6)/(PCLBUZ0)	P22, P26, P27は、入力ポートでは、ソフトウェアの 設定により、内蔵プルアップ抵抗を使用可能。
P22	8-10-1			ANI16/SEG29/SCK21/SCL21/ (SCK00)/(SCL00)/(INTP7)	P22, P26, P27の入力はTTL入力バッファに設定可能。 P22, P26, P27の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。
P26	8-43-1			ANI20/SEG33/ANO0/EI26/ TxD1/SI21/SDA21/ (TKBO20) ^{注3} /(INTP5)/(RxD0)/ (SI00)/(SDA00)/(EXSDI0)	P20, P21はアナログ入力に設定可能 ^{注5} 。 P22, P26, P27はアナログ入力に設定可能 ^{注4} 。
P27	8-43-1			ANI21/SEG34/ANO1/EI27/ RxD1/SO21/(TKBO21) ^{注3} / (INTP4)/(TxD0)/(SO00)/ (EXSDI1)	P22, P26, P27はLCD出力に設定可能 ^{注4} 。

(2/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P40	8-1-10	入出力	入力ポート	TOOL0/(TI00)/(TO00)	ポート4。
P44	8-6-10		アナログ入力	IVCMP0/RxDA2 ^{注3} /SDA30/ EXSDO1/(TI04)/(TO04)/(INTP7)	3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P45	8-6-10			IVREF0/TxDA2 ^{注3} /SCL30/ EXSDO0	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P40, P44, P45の入力はTTL入力バッファに設定可能。 P40, P44, P45の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。 P44, P45はアナログ入力に設定可能 ^{注5} 。
P54	8-44-2	入出力	デジタル入力 無効 ^{注1}	TI02/TO02/SEG8/TS19/ (INTP0)/(PCLBUZ0)	ポート5。 2ビット入出力ポート。
P57	7-44-1			INTP6/SEG11/TSCAP/(TI03)/ (TO03)/(REMOOUT)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P54の入力はTTL入力バッファに設定可能。 P54の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧] に設定可能。 LCD出力に設定可能 ^{注2} 。
P60	12-38-3	入出力	入力ポート	SCLA0/CCD04/EO60/(TI01)/ (TO01)/(INTP3)	ポート6。 2ビット入出力ポート。
P61	12-38-3			SDAA0/CCD05/EO61/(TI02)/ (TO02)/(INTP4)	1ビット単位で入力／出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6 V 耐圧] P60, P61は出力電流制御ポートに設定可能。
P75	8-45-1	入出力	デジタル入力 無効 ^{注1}	KR5/SEG17/TS11/CCD02/ SCK20/SCL20/(TKBO11) ^{注3} / (TKBO01)/(TI03)/(TO03)/ (REMOOUT)/(INTP0)	ポート7。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P76	8-45-2			KR6/SEG18/TS10/CCD01/ TKBO00/SI20/SDA20/RxD2/ EI76/EO76/(INTP2)/(RTC1HZ)/ (EXSDO1)	P75, P76の入力はTTL入力バッファに設定可能。 P75-P77の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P77	7-45-2			KR7/SEG19/TS09/CCD00/ TKBO01/SO20/TxD2/EI77/ EO77/(TKBO21) ^{注3} /(TI07)/ (TO07)/(INTP1)/(EXSDO0)	LCD出力に設定可能 ^{注2} 。 P75-P77は出力電流制御ポートに設定可能。
P85	8-5-20	入出力	デジタル入力 無効 ^{注1}	VL4/(VCOUT0)/(INTP4)/ (SCK10)/(SCL10)/(SCL30)	ポート8。 3ビット入出力ポート。
P86	8-5-20			VL2/(TI06)/(TO06)/(INTP3)/ (RxD1)/(SI10)/(SDA10)/ (PCLBUZ1)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P87	7-5-32			VL1/(TxD1)/(SO10)	P85, P86の入力はTTL入力バッファに設定可能。 P85-P87の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。

(3/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P90	7-44-3	入出力	デジタル入力 無効 ^{注1}	COM0/TS31/(TI00)/(TO00)/ (INTP1)	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P93, P94, P96, P97の入力はTTL入力バッファに設定 可能。 P93-P97の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P91	7-44-3			COM1/TS30/(INTP2)	
P92	7-44-3			COM2/TS29/(TI01)/(TO01)	
P93	8-44-2			COM3/TS28/(INTP3)/(SCK01)/ (SCL01)	
P94	8-44-2			COM4/SEG0/TS27/(INTP2)/ (SI01)/(SDA01)/(TI06)/(TO06)	
P95	7-44-3			COM5/SEG1/TS26/(TI02)/ (TO02)/(INTP1)/(SO01)	
P96	8-44-2			COM6/SEG2/TS25/(INTP5)/ (SI01)/(SDA01)/(SDAA1)/ (PCLBUZ0)	
P97	8-44-2			COM7/SEG3/TS24/(TI05)/ (TO05)/(SCK01)/(SCL01)/ (SCLA1)	
P121	7-2-1	入出力	入力ポート	X1/VBAT0/EI121	ポート12。 5ビット入出力ポートと2ビット入力専用ポート。 P121, P122, P125-P127は1ビット単位で入力／出力 の指定可能。 P121, P122, P125-P127は入力ポートではソフトウェ アの設定により、内蔵プルアップ抵抗を使用可能。 P125の入力はTTL入力バッファに設定可能。 P125の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P122	7-2-1			X2/EXCLK/EI122	
P123	2-2-1			XT1	
P124	2-2-1			XT2/EXCLKS	
P125	8-44-4	入出力	デジタル入力 無効 ^{注1}	VL3/TS02/(TI06)/(TO06)/ (INTP7)/(SDA30)/(PCLBUZ1)	P125の入力はTTL入力バッファに設定可能。 P125の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P126	7-44-4			CAPL/TS01/(TI04)/(TO04)/ (INTP4)	
P127	7-44-4			CAPH/TS00/(TI03)/(TO03)/ (REMOOUT)	
P137	2-1-3	入力	入力ポート	EI137/INTP0	ポート13。 1ビット入力専用ポート。
RESET	2-1-1	—	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を 介してV _{DD} に接続してください。

- 注1.** デジタル入力無効状態とは、デジタル出力、デジタル入力、アナログ入力、LCD出力のいずれもが無効な状態を示します。
- 注2.** 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注3.** コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。
- 注4.** 各端子をデジタル／アナログ／LCDのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注5.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.3 52ピン製品

(1/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-5-31	入出力	デジタル入力 無効 ^{注1}	SEG43/SO00/TxD0/TOOLTxD/ EI00/EO00/EXSDI0/(TKBO01)/ (TRJO0)	ポート0。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P05	8-44-3			SCK10/SCL10/SEG48/TS34/ EO05	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P06	8-44-2			SI10/RxD1/SDA10/SEG49/ TS33/EI06/(PCLBUZ1)	P05, P06の入力はTTL入力バッファに設定可能。 P00, P05-P07の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。
P07	7-44-3			SO10/TxD1/SEG50/TS32/EI07/ (PCLBUZ0)	LCD出力に設定可能 ^{注2} 。
P10	7-10-6	入出力	アナログ入力	ANI22/SEG35/TxDA0/SCK11/ SCL11/(TKBO10) ^{注3} /(INTP0)	ポート1。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P11	8-10-2			ANI23/SEG36/RxDA0/SI11/ SDA11/(TKBO11) ^{注3} / (TRJO1) ^{注3} /(INTP1)	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P12	7-10-5			ANI24/SEG37/EI12/CLKA0/ SO11/(VCOUT1)/(TKBO00)/ (TRJO1) ^{注3} /(PCLBUZ1)	P11, P16, P17の入力はTTL入力バッファに設定可能。 P10, P11, P16, P17の出力はN-chオープン・ドレイン 出力[V _{DD} 耐圧]に設定可能。
P13	7-10-3			ANI25/SEG38	P10-P14はアナログ入力に設定可能 ^{注4} 。
P14	7-10-3			TI04/TO04/SEG39/ANI26	P10-P14はLCD出力に設定可能 ^{注4} 。
P16	8-5-18		デジタル入力 無効 ^{注1}	SEG41/SCK00/SCL00/EI16/ (VCOUT0)/(TKBO01)/ (RTC1HZ)	P16, P17はLCD出力に設定可能 ^{注2} 。
P17	8-5-19			SEG42/SI00/RxD0/TOOLRxD/ SDA00/EI17/EO17/EXSDI1/ (TKBO01)/(TRJO0)	
P20	4-3-5	入出力	アナログ入力	ANI1/AVREFM/EI20/(TI00)/ (INTP7)/(PCLBUZ1)	ポート2。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P21	4-3-5			ANI0/AVREFP/VBAT1/EI21/ (TO00)/(INTP6)/(PCLBUZ0)	P22, P26, P27は、入力ポートでは、ソフトウェアの 設定により、内蔵プルアップ抵抗を使用可能。
P22	8-10-1			ANI16/SEG29/SCK21/SCL21/ (SCK00)/(SCL00)/(INTP7)	P22, P26, P27の入力はTTL入力バッファに設定可能。 P22, P26, P27の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。
P26	8-43-1			ANI20/SEG33/ANO0/EI26/ TxDA1/SI21/SDA21/ (TKBO20) ^{注3} /(INTP5)/(RxD0)/ (SI00)/(SDA00)/(EXSDI0)	P20, P21はアナログ入力に設定可能 ^{注5} 。 P22, P26, P27はアナログ入力に設定可能 ^{注4} 。
P27	8-43-1			ANI21/SEG34/ANO1/EI27/ RxDA1/SO21/(TKBO21) ^{注3} / (INTP4)/(TxD0)/(SO00)/ (EXSDI1)	P22, P26, P27はLCD出力に設定可能 ^{注4} 。

(2/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P40	8-1-10	入出力	入力ポート	TOOL0/(TI00)/(TO00)	ポート4。
P43	8-6-10		アナログ入力	IVCMP1/SO30/TxD3/(TI05)/ (TO05)/(INTP4)/(SDA11)	4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。
P44	8-6-10			IVCMP0/RxDA2 ^{注3} /SI30/ SDA30/RxD3/EXSDO1/(TI04)/ (TO04)/(INTP7)/(SCL11)	入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P40, P43-P45の入力はTTL入力バッファに設定可能。 P40, P43-P45の出力はN-chオープン・ドレイン出力
P45	8-6-10			IVREF0/TxDA2 ^{注3} /SCK30/ SCL30/EXSDO0	[VDD 耐圧]に設定可能。 P43-P45はアナログ入力に設定可能 ^{注5} 。
P53	8-44-2	入出力	デジタル入力 無効 ^{注1}	INTP2/SEG7/TS20/SDA01/ (TI07)/(TO07)/(PCLBUZ0)	ポート5。 3ビット入出力ポート。
P54	8-44-2			TI02/TO02/SEG8/TS19/SCL01/ (INTP0)/(PCLBUZ0)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P57	7-44-1			INTP6/SEG11/TSCAP/(TI03)/ (TO03)/(REMOOUT)	P53, P54の入力はTTL入力バッファに設定可能。 P53, P54の出力はN-chオープン・ドレイン出力[VDD 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P60	12-38-3	入出力	入力ポート	SCLA0/CCD04/EO60/(TI01)/ (TO01)/(INTP3)	ポート6。 2ビット入出力ポート。
P61	12-38-3			SDAA0/CCD05/EO61/(TI02)/ (TO02)/(INTP4)	1ビット単位で入力／出力の指定可能。 P60, P61はN-chオープン・ドレイン出力[6 V 耐圧] P60, P61は出力電流制御ポートに設定可能。
P74	7-45-1	入出力	デジタル入力 無効 ^{注1}	KR4/SEG16/TS12/CCD03/ TKBO11 ^{注3} (TKBO01)	ポート7。 4ビット入出力ポート。
P75	8-45-1			KR5/SEG17/TS11/CCD02/ SCK20/SCL20/(TKBO11) ^{注3} / (TKBO01)/(TI03)/(TO03)/ (REMOOUT)/(INTP0)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P75, P76の入力はTTL入力バッファに設定可能。
P76	8-45-2			KR6/SEG18/TS10/CCD01/ TKBO00/SI20/SDA20/RxD2/ EI76/EO76/(INTP2)/(RTC1HZ)/ (EXSDO1)	P75-P77の出力はN-chオープン・ドレイン出力[VDD 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。 P74-P77は出力電流制御ポートに設定可能。
P77	7-45-2			KR7/SEG19/TS09/CCD00/ TKBO01/SO20/TxD2/EI77/ EO77/(TKBO21) ^{注3} (TI07)/ (TO07)/(INTP1)/(EXSDO0)	
P85	8-5-20	入出力	デジタル入力 無効 ^{注1}	VL4/(VCOUT0)/(INTP4)/ (SCK10)/(SCL10)/(SCL30)	ポート8。 3ビット入出力ポート。
P86	8-5-20			VL2/(TI06)/(TO06)/(INTP3)/ (RxD1)/(SI10)/(SDA10)/ (PCLBUZ1)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。
P87	7-5-32			VL1/(TxD1)/(SO10)	P85, P86の入力はTTL入力バッファに設定可能。 P85-P87の出力はN-chオープン・ドレイン出力[VDD 耐圧]に設定可能。

(3/3)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P90	7-44-3	入出力	デジタル入力 無効 ^{注1}	COM0/TS31/(TI00)/(TO00)/ (INTP1)	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P93, P94, P96, P97の入力はTTL入力バッファに設定 可能。 P93-P97の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P91	7-44-3			COM1/TS30/(INTP2)	
P92	7-44-3			COM2/TS29/(TI01)/(TO01)	
P93	8-44-2			COM3/TS28/(INTP3)/(SCK01)/ (SCL01)	
P94	8-44-2			COM4/SEG0/TS27/(INTP2)/ (SI01)/(SDA01)/(TI06)/(TO06)	
P95	7-44-3			COM5/SEG1/TS26/(TI02)/ (TO02)/(INTP1)/(SO01)	
P96	8-44-2			COM6/SEG2/TS25/(INTP5)/ (SI01)/(SDA01)/(SDAA1)/ (PCLBUZ0)	
P97	8-44-2			COM7/SEG3/TS24/(TI05)/ (TO05)/(SCK01)/(SCL01)/ (SCLA1)	
P121	7-2-1	入出力	入力ポート	X1/VBAT0/EI121	ポート12。 5ビット入出力ポートと2ビット入力専用ポート。 P121, P122, P125-P127は1ビット単位で入力／出力 の指定可能。 P121, P122, P125-P127は入力ポートではソフトウェ アの設定により、内蔵プルアップ抵抗を使用可能。 P125の入力はTTL入力バッファに設定可能。 P125の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P122	7-2-1			X2/EXCLK/EI122	
P123	2-2-1			XT1	
P124	2-2-1			XT2/EXCLKS	
P125	8-44-4	入出力	デジタル入力 無効 ^{注1}	VL3/TS02/(TI06)/(TO06)/ (VCOUT1)/(INTP7)/(SDA30)/ (PCLBUZ1)	ポート13。 1ビット入力専用ポート。
P126	7-44-4			CAPL/TS01/(TI04)/(TO04)/ (INTP4)	
P127	7-44-4			CAPH/TS00/(TI03)/(TO03)/ (REMOOUT)	
P137	2-1-3	入力	入力ポート	EI137/INTP0	
RESET	2-1-1	—	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を 介してV _{DD} に接続してください。

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、アナログ入力、LCD出力のいずれもが無効な状態を示します。

注2. 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

注3. コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

注4. 各端子をデジタル／アナログ／LCDのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

注5. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.4 64ピン製品

(1/4)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-5-31	入出力	デジタル入力 無効 ^{注1}	SEG43/SO00/TxD0/TOOLTxD/ EI00/EO00/EXSDI0/(TKBO01)/ (TRJO0)	ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P02, P03, P05, P06の入力はTTL入力バッファに設定 可能。 P00-P07の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注3} 。
P01	7-5-30			PCLBUZ1/SEG44/(TI05)/ (TO05)/(TKBO11) ^{注2} /(INTP5)/ (SO31)	
P02	8-5-18			INTP7/PCLBUZ0/SEG45/ (SCK20)/(SCL20)/(SCK31)/ (SCL31)	
P03	8-5-17			SEG46/VCOUT0/TRJIO0/ (RxD2)/(SI20)/(SDA20)/(SI31)/ (SDA31)	
P04	7-44-3			SEG47/VCOUT1/TS35/(INTP6)/ (SO20)/(TxD2)/(PCLBUZ0)	
P05	8-44-3			SCK10/SCL10/SEG48/TS34/ EO05	
P06	8-44-2			SI10/RxD1/SDA10/SEG49/ TS33/EI06/(PCLBUZ1)	
P07	7-44-3			SO10/TxD1/SEG50/TS32/EI07/ (PCLBUZ0)	
P10	7-10-6	入出力	アナログ入力	ANI22/SEG35/TxDA0/SCK11/ SCL11/(TKBO10) ^{注2} /(INTP0)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P11, P16, P17の入力はTTL入力バッファに設定可能。 P10, P11, P16, P17の出力はN-chオープン・ドレイン 出力[V _{DD} 耐圧]に設定可能。 P10-P14はアナログ入力に設定可能 ^{注4} 。 P10-P14はLCD出力に設定可能 ^{注4} 。 P15-P17はLCD出力に設定可能 ^{注3} 。
P11	8-10-2			ANI23/SEG36/RxDA0/SI11/ SDA11/(TKBO11) ^{注2} / (TRJIO1) ^{注2} /(INTP1)	
P12	7-10-5			ANI24/SEG37/EI12/CLKA0/ SO11/(VCOUT1)/(TKBO00)/ (TRJO1) ^{注2} /(PCLBUZ1)	
P13	7-10-3			ANI25/SEG38	
P14	7-10-3			TI04/TO04/SEG39/ANI26	
P15	7-5-4			TI07/TO07/SEG40	
P16	8-5-18		デジタル入力 無効 ^{注1}	SEG41/SCK00/SCL00/EI16/ (VCOUT0)/(TKBO01)/ (RTC1HZ)	
P17	8-5-19			SEG42/SI00/RxD0/TOOLRxD/ SDA00/EI17/EO17/EXSDI1/ (TKBO01)/(TRJIO0)	

(2/4)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-3-5	入出力	アナログ入力	ANI1/AVREFM/EI20/(TI00)/ (INTP7)/(PCLBUZ1)	ポート2。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P22, P26, P27は、入力ポートでは、ソフトウェアの 設定により、内蔵プルアップ抵抗を使用可能。 P22, P26, P27の入力はTTL入力バッファに設定可能。 P22, P26, P27の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。 P20, P21はアナログ入力に設定可能 ^{注5} 。 P22, P26, P27はアナログ入力に設定可能 ^{注4} 。 P22, P26, P27はLCD出力に設定可能 ^{注4} 。
P21	4-3-5			ANI0/AVREFP/VBAT1/EI21/ (TO00)/(INTP6)/(PCLBUZ0)	
P22	8-10-1			ANI16/SEG29/SCK21/SCL21/ (SCK00)/(SCL00)/(INTP7)	
P26	8-43-1			ANI20/SEG33/ANO0/EI26/ TxDA1/SI21/SDA21/ (TKBO20) ^{注2} /(INTP5)/(RxD0)/ (SI00)/(SDA00)/(EXSDI0)	
P27	8-43-1			ANI21/SEG34/ANO1/EI27/ RxD1/SO21/(TKBO21) ^{注2} / (INTP4)/(TxD0)/(SO00)/ (EXSDI1)	
P30	7-44-1	入出力	デジタル入力 無効 ^{注1}	TI03/TO03/SEG20/REMOOUT/ TS08/(INTP3)/(RTC1HZ)	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 LCD出力に設定可能 ^{注3} 。
P31	7-44-1			INTP3/RTC1HZ/SEG21/TS07/ (TI01)/(TO01)	
P40	8-1-10	入出力	入力ポート	TOOL0/(TI00)/(TO00)/(SCL00)	ポート4。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P40, P42-P45の入力はTTL入力バッファに設定可能。 P40, P42-P45の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。 P42-P45はアナログ入力に設定可能 ^{注5} 。
P42	8-6-10		アナログ入力	TI05/TO05/IVREF1/TRJO0/ (INTP7)/(TxDA1)/(SDA00)/ (SO11)/(PCLBUZ1)	
P43	8-6-10			IVCMP1/SO30/TxD3/(TI05)/ (TO05)/(INTP4)/(RxD1)/(SI11)/ (SDA11)	
P44	8-6-10			IVCMP0/RxDA2 ^{注2} /SI30/ SDA30/RxD3/EXSDO1/(TI04)/ (TO04)/(INTP7)/(SCK11)/ (SCL11)	
P45	8-6-10			IVREF0/TxDA2 ^{注2} /SCK30/ SCL30/EXSDO0	
P52	7-44-3	入出力	デジタル入力 無効 ^{注1}	TI00/TO00/INTP1/SEG6/TS21/ SO01/(PCLBUZ1)	ポート5。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P53, P54の入力はTTL入力バッファに設定可能。 P52-P54の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注3} 。
P53	8-44-2			INTP2/SEG7/TS20/SI01/ SDA01/(TI07)/(TO07)/ (PCLBUZ0)	
P54	8-44-2			TI02/TO02/SEG8/TS19/SCK01/ SCL01/(INTP0)/(PCLBUZ0)	
P57	7-44-1			INTP6/SEG11/TSCAP/(TI03)/ (TO03)/(REMOOUT)	

(3/4)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P60	12-38-3	入出力	入力ポート	SCLA0/CCD04/EO60/(TI01)/ (TO01)/(INTP3)	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63はN-chオープン・ドレイン出力[6 V 耐圧] P60-P63は出力電流制御ポートに設定可能。
P61	12-38-3			SDAA0/CCD05/EO61/(TI02)/ (TO02)/(INTP4)	
P62	12-38-2			SCLA1/CCD06/(TI03)/(TO03)/ (REMOOUT)/(INTP5)	
P63	12-38-2			SDAA1/CCD07/(TI04)/(TO04)/ (INTP6)	
P70	7-44-2	入出力	デジタル入力 無効 ^{注1}	KR0/SEG12/TS16/TKBO20 ^{注2}	ポート7。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P75, P76の入力はTTL入力バッファに設定可能。 P75-P77の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注3} 。 P74-P77は出力電流制御ポートに設定可能。
P74	7-45-1			KR4/SEG16/TS12/CCD03/ TKBO11 ^{注2} (TKBO01)	
P75	8-45-1			KR5/SEG17/TS11/CCD02/ SCK20/SCL20/(TKBO11) ^{注2} / (TKBO01)/(TI03)/(TO03)/ (REMOOUT)/(INTP0)	
P76	8-45-2			KR6/SEG18/TS10/CCD01/ TKBO00/SI20/SDA20/RxD2/ EI76/EO76/(INTP2)/(RTC1HZ)/ (EXSD01)	
P77	7-45-2			KR7/SEG19/TS09/CCD00/ TKBO01/SO20/TxD2/EI77/ EO77/(TKBO21) ^{注2} (TI07)/ (TO07)/(INTP1)/(EXSD00)	
P85	8-5-20	入出力	デジタル入力 無効 ^{注1}	VL4/(VCOUT0)/(INTP4)/ (SCK10)/(SCL10)/(SCL30)	ポート8。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P85, P86の入力はTTL入力バッファに設定可能。 P85-P87の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P86	8-5-20			VL2/(TI06)/(TO06)/(INTP3)/ (RxD1)/(SI10)/(SDA10)/ (PCLBUZ1)	
P87	7-5-32			VL1/(TxD1)/(SO10)	

(4/4)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P90	7-44-3	入出力	デジタル入力 無効 ^{注1}	COM0/TS31/(TI00)/(TO00)/ (INTP1)	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P93, P94, P96, P97の入力はTTL入力バッファに設定 可能。 P93-P97の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注3} 。
P91	7-44-3			COM1/TS30/(INTP2)	
P92	7-44-3			COM2/TS29/(TI01)/(TO01)	
P93	8-44-2			COM3/TS28/(INTP3)/(SCK01)/ (SCL01)	
P94	8-44-2			COM4/SEG0/TS27/(INTP2)/ (SI01)/(SDA01)/(TI06)/(TO06)	
P95	7-44-3			COM5/SEG1/TS26/(TI02)/ (TO02)/(INTP1)/(SO01)	
P96	8-44-2			COM6/SEG2/TS25/(INTP5)/ (SI01)/(SDA01)/(SDAA1)/ (PCLBUZ0)	
P97	8-44-2			COM7/SEG3/TS24/(TI05)/ (TO05)/(SCK01)/(SCL01)/ (SCLA1)	
P121	7-2-1	入出力	入力ポート	X1/VBAT0/EI121	ポート12。 5ビット入出力ポートと2ビット入力専用ポート。 P121, P122, P125-P127は1ビット単位で入力／出力 の指定可能。 P121, P122, P125-P127は入力ポートではソフトウェ アの設定により、内蔵プルアップ抵抗を使用可能。 P125の入力はTTL入力バッファに設定可能。 P125の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P122	7-2-1			X2/EXCLK/EI122	
P123	2-2-1			XT1	
P124	2-2-1			XT2/EXCLKS	
P125	8-44-4	入出力	デジタル入力 無効 ^{注1}	VL3/TS02/(TI06)/(TO06)/ (VCOUT1)/(INTP7)/(SDA30)/ (PCLBUZ1)	
P126	7-44-4			CAPL/TS01/(TI04)/(TO04)/ (INTP4)	
P127	7-44-4			CAPH/TS00/(TI03)/(TO03)/ (REMOOUT)	
P137	2-1-3	入力	入力ポート	EI137/INTP0	ポート13。 1ビット入力専用ポート。
RESET	2-1-1	—	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を 介してV _{DD} に接続してください。

注1. デジタル入力無効状態とは、デジタル出力、デジタル入力、アナログ入力、LCD出力のいずれもが無効な状態を示します。

注2. コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

注3. 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

注4. 各端子をデジタル／アナログ／LCDのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）

注5. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.5 80ピン製品

(1/5)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-5-31	入出力	デジタル入力 無効 ^{注1}	SEG43/SO00/TxD0/TOOLTxD/ EI00/EO00/EXSDI0/(TKBO01)/ (TRJO0)	ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P02, P03, P05, P06の入力はTTL入力バッファに設定 可能。 P00-P07の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P01	7-5-30			PCLBUZ1/SEG44/(TI05)/ (TO05)/(TKBO11)/(INTP5)/ (SO31)	
P02	8-5-18			INTP7/PCLBUZ0/SEG45/ (TKBO21)/(SCK20)/(SCL20)/ (SCK31)/(SCL31)	
P03	8-5-17			SEG46/VCOUT0/TRJIO0/ (RxD2)/(SI20)/(SDA20)/(SI31)/ (SDA31)	
P04	7-44-3			SEG47/VCOUT1/TS35/(INTP6)/ (SO20)/(TxD2)/(PCLBUZ0)	
P05	8-44-3			SCK10/SCL10/SEG48/TS34/ EO05	
P06	8-44-2			SI10/RxD1/SDA10/SEG49/ TS33/EI06/(PCLBUZ1)	
P07	7-44-3			SO10/TxD1/SEG50/TS32/EI07/ (PCLBUZ0)	
P10	7-10-6	入出力	アナログ入力	ANI22/SEG35/TxDA0/SCK11/ SCL11/(TKBO10)/(INTP0)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P11, P16, P17の入力はTTL入力バッファに設定可能。 P10, P11, P16, P17の出力はN-chオープン・ドレイン 出力[V _{DD} 耐圧]に設定可能。 P10-P14はアナログ入力に設定可能 ^{注3} 。 P10-P14はLCD出力に設定可能 ^{注3} 。 P15-P17はLCD出力に設定可能 ^{注2} 。
P11	8-10-2			ANI23/SEG36/RxDA0/SI11/ SDA11/(TKBO11)/(TRJIO1)/ (INTP1)	
P12	7-10-5			ANI24/SEG37/EI12/CLKA0/ SO11/(VCOUT1)/(TKBO00)/ (TRJO1)/(PCLBUZ1)	
P13	7-10-3			ANI25/SEG38	
P14	7-10-3			TI04/TO04/SEG39/ANI26	
P15	7-5-4			TI07/TO07/SEG40	
P16	8-5-18		デジタル入力 無効 ^{注1}	SEG41/SCK00/SCL00/EI16/ (VCOUT0)/(TKBO01)/ (RTC1HZ)	
P17	8-5-19			SEG42/SI00/RxD0/TOOLRxD/ SDA00/EI17/EO17/EXSDI1/ (TKBO01)/(TRJIO0)	

(2/5)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-3-5	入出力	アナログ入力	ANI1/AVREFM/EI20/(TI00)/ (INTP7)/(PCLBUZ1)	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P22-P27は、入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P22, P26, P27の入力はTTL入力バッファに設定可能。 P22, P26, P27の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P20, P21はアナログ入力に設定可能 ^{注4} 。 P22-P27はアナログ入力に設定可能 ^{注3} 。 P22-P27はLCD出力に設定可能 ^{注3} 。
P21	4-3-5			ANI0/AVREFP/VBAT1/EI21/ (TO00)/(INTP6)/(PCLBUZ0)	
P22	8-10-1			ANI16/SEG29/SCK21/SCL21/ (SCK00)/(SCL00)/(INTP7)	
P23	7-10-3			ANI17/SEG30/TRJIO1	
P24	7-10-3			ANI18/SEG31	
P25	7-10-3			ANI19/SEG32/CLKA1	
P26	8-43-1			ANI20/SEG33/ANO0/EI26/ TxDA1/SI21/SDA21/(TKBO20)/ (INTP5)/(RxD0)/(SI00)/ (SDA00)/(EXSDI0)	
P27	8-43-1			ANI21/SEG34/ANO1/EI27/ RxDA1/SO21/(TKBO21)/ (INTP4)/(TxD0)/(SO00)/ (EXSDI1)	
P30	7-44-1	入出力	デジタル入力 無効 ^{注1}	TI03/TO03/SEG20/REMOOUT/ TS08/(INTP3)/(RTC1HZ)	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P34の入力はTTL入力バッファに設定可能。 P34, P35の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P31	7-44-1			INTP3/RTC1HZ/SEG21/TS07/ (TI01)/(TO01)	
P34	8-44-2			SEG24/TS04/(TI01)/(TO01)/ (INTP0)/(RxD3)	
P35	7-44-3			SEG25/TS03/(VCOUT0)/ (INTP4)/(SO30)/(TxD3)	

(3/5)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P40	8-1-10	入出力	入力ポート	TOOL0/(TI00)/(TO00)/(SCK00)/ (SCL00)	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P40-P47の入力はTTL入力バッファに設定可能。 P40-P47の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P42-P45はアナログ入力に設定可能 ^{注4} 。 P46, P47はLCD出力に設定可能 ^{注2} 。
P41	8-1-10			(TI07)/(TO07)/(INTP6)/(TxD0)/ (SDAA0)/(SO00)/(RxD1)	
P42	8-6-10		アナログ入力	TI05/TO05/IVREF1/TRJO0/ (INTP7)/(TxDA1)/(SCLA0)/ (RxD0)/(TxD1)/(SI00)/(SDA00)/ (SO11)/(PCLBUZ1)	
P43	8-6-10			IVCMP1/SO30/TxD3/(TI05)/ (TO05)/(INTP4)/(RxD1)/(SI11)/ (SDA11)	
P44	8-6-10			IVCMP0/RxDA2/SI30/SDA30/ RxD3/EXSDO1/(TI04)/(TO04)/ (INTP7)/(SCK11)/ (SCL11)	
P45	8-6-10			IVREF0/TxDA2/SCK30/SCL30/ EXSDO0	
P46	8-5-17		デジタル入力 無効 ^{注1}	SEG26/(SCK21)/(SCL21)/ (SCL01)/(SCK01)	
P47	8-5-17			SEG27/(RxDA0)/(SI21)/ (SDA21)/(SDA01)/(SI01)/ (INTP1)	
P50	7-44-3	入出力	デジタル入力 無効 ^{注1}	SEG4/TS23/TxDA3	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P51, P53, P54の入力はTTL入力バッファに設定可能。 P50, P52-P54の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P51	8-44-1			SEG5/TS22/RxDA3/(INTP6)	
P52	7-44-3			TI00/TO00/INTP1/SEG6/TS21/ SO01/(PCLBUZ1)	
P53	8-44-2			INTP2/SEG7/TS20/SI01/ SDA01/(TI07)/(TO07)/ (PCLBUZ0)	
P54	8-44-2			TI02/TO02/SEG8/TS19/SCK01/ SCL01/(INTP0)/(PCLBUZ0)	
P55	7-44-1			INTP5/SEG9/TS18/(TI02)/ (TO02)	
P56	7-44-1			TI06/TO06/SEG10/TS17	
P57	7-44-1			INTP6/SEG11/TSCAP/(TI03)/ (TO03)/(REMOOUT)	
P60	12-38-3	入出力	入力ポート	SCLA0/CCD04/EO60/(TI01)/ (TO01)/(INTP3)	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63はN-chオープン・ドレイン出力[6 V耐圧] P60-P63は出力電流制御ポートに設定可能。
P61	12-38-3			SDAA0/CCD05/EO61/(TI02)/ (TO02)/(INTP4)	
P62	12-38-2			SCLA1/CCD06/(TI03)/(TO03)/ (REMOOUT)/(INTP5)	
P63	12-38-2			SDAA1/CCD07/(TI04)/(TO04)/ (INTP6)	

(4/5)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P70	7-44-2	入出力	デジタル入力 無効 ^{注1}	KR0/SEG12/TS16/TKBO20	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P75, P76の入力はTTL入力バッファに設定可能。 P75-P77の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。 P74-P77は出力電流制御ポートに設定可能。
P71	7-44-1			KR1/SEG13/TS15	
P72	7-44-2			KR2/SEG14/TS14/TKBO21	
P73	7-44-2			KR3/SEG15/TS13/TKBO10	
P74	7-45-1			KR4/SEG16/TS12/CCD03/ TKBO11/(TKBO01)	
P75	8-45-1			KR5/SEG17/TS11/CCD02/ SCK20/SCL20/(TKBO11)/ (TKBO01)/(TI03)/(TO03)/ (REMOOUT)/(INTP0)	
P76	8-45-2			KR6/SEG18/TS10/CCD01/ TKBO00/SI20/SDA20/RxD2/ EI76/EO76/(INTP2)/(RTC1HZ)/ (EXSD01)	
P77	7-45-2			KR7/SEG19/TS09/CCD00/ TKBO01/SO20/TxD2/EI77/ EO77/(TKBO21)/(TI07)/(TO07)/ (INTP1)/(EXSD00)	
P85	8-5-20	入出力	デジタル入力 無効 ^{注1}	VL4/(VCOUT0)/(INTP4)/ (SCK10)/(SCL10)/(SCK30)/ (SCL30)	ポート8。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P85, P86の入力はTTL入力バッファに設定可能。 P85-P87の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P86	8-5-20			VL2/(TI06)/(TO06)/(INTP3)/ (RxD1)/(SI10)/(SDA10)/ (PCLBUZ1)	
P87	7-5-32			VL1/(TxD1)/(SO10)	
P90	7-44-3	入出力	デジタル入力 無効 ^{注1}	COM0/TS31/(TI00)/(TO00)/ (INTP1)	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P93, P94, P96, P97の入力はTTL入力バッファに設定 可能。 P93-P97の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P91	7-44-3			COM1/TS30/(INTP2)	
P92	7-44-3			COM2/TS29/(TI01)/(TO01)	
P93	8-44-2			COM3/TS28/(INTP3)/(SCK01)/ (SCL01)	
P94	8-44-2			COM4/SEG0/TS27/(INTP2)/ (SI01)/(SDA01)/(TI06)/(TO06)	
P95	7-44-3			COM5/SEG1/TS26/(TI02)/ (TO02)/(INTP1)/(SO01)	
P96	8-44-2			COM6/SEG2/TS25/(INTP5)/ (SI01)/(SDA01)/(SDAA1)/ (PCLBUZ0)	
P97	8-44-2			COM7/SEG3/TS24/(TI05)/ (TO05)/(SCK01)/(SCL01)/ (SCLA1)	

(5/5)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P121	7-2-1	入出力	入力ポート	X1/VBAT0/EI121	ポート12。 5ビット入出力ポートと2ビット入力専用ポート。 P121, P122, P125-P127は1ビット単位で入力／出力の指定可能。 P121, P122, P125-P127は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P125の入力はTTL入力バッファに設定可能。 P125の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P122	7-2-1			X2/EXCLK/EI122	
P123	2-2-1			XT1	
P124	2-2-1			XT2/EXCLKS	
P125	8-44-4	入出力	デジタル入力 無効 ^{注1}	VL3/TS02/(TI06)/(TO06)/ (VCOUT1)/(INTP7)/(RxD3)/ (SI30)/(SDA30)/(PCLBUZ1)	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。 P130の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P130はLCD出力に設定可能 ^{注2} 。
P126	7-44-4			CAPL/TS01/(TI04)/(TO04)/ (INTP4)	
P127	7-44-4			CAPH/TS00/(TI03)/(TO03)/ (REMOOUT)	
P130	1-5-1	出力	出力モード	SEG28/TRJO1/(TxDA0)/ (SO21)/(SO01)	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。 P130の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P130はLCD出力に設定可能 ^{注2} 。
P137	2-1-3	入力	入力ポート	EI137/INTP0	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

- 注1.** デジタル入力無効状態とは、デジタル出力、デジタル入力、アナログ入力、LCD出力のいずれもが無効な状態を示します。
- 注2.** 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注3.** 各端子をデジタル／アナログ／LCDのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注4.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.1.6 100ピン製品

(1/6)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-5-31	入出力	デジタル入力 無効 ^{注1}	SEG43/SO00/TxD0/TOOLTxD/ EI00/EO00/EXSDI0/(TKBO01)/ (TRJO0)	ポート0。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P02, P03, P05, P06の入力はTTL入力バッファに設定 可能。 P00-P07の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P01	7-5-30			PCLBUZ1/SEG44/(TI05)/ (TO05)/(TKBO11)/(INTP5)/ (SO31)	
P02	8-5-18			INTP7/PCLBUZ0/SEG45/ (TKBO21)/(SCK20)/(SCL20)/ (SCK31)/(SCL31)	
P03	8-5-17			SEG46/VCOU0/TRJIO0/ (TxDA2)/(RxD2)/(SI20)/ (SDA20)/(SI31)/(SDA31)	
P04	7-44-3			SEG47/VCOU1/TS35/(INTP6)/ (SO20)/(TxD2)/(PCLBUZ0)	
P05	8-44-3			SCK10/SCL10/SEG48/TS34/ EO05	
P06	8-44-2			SI10/RxD1/SDA10/SEG49/ TS33/EI06/(PCLBUZ1)	
P07	7-44-3			SO10/TxD1/SEG50/TS32/EI07/ (PCLBUZ0)	
P10	7-10-6	入出力	アナログ入力	ANI22/SEG35/TxDA0/SCK11/ SCL11/(TKBO10)/(INTP0)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P11, P16, P17の入力はTTL入力バッファに設定可能。 P10, P11, P16, P17の出力はN-chオープン・ドレイン 出力[V _{DD} 耐圧]に設定可能。 P10-P14はアナログ入力に設定可能 ^{注3} 。 P10-P14はLCD出力に設定可能 ^{注3} 。 P15-P17はLCD出力に設定可能 ^{注2} 。
P11	8-10-2			ANI23/SEG36/RxDA0/SI11/ SDA11/(TKBO11)/(TRJIO1)/ (INTP1)	
P12	7-10-5			ANI24/SEG37/EI12/CLKA0/ SO11/(VCOU1)/(TKBO00)/ (TRJO1)/(PCLBUZ1)	
P13	7-10-3			ANI25/SEG38	
P14	7-10-3			TI04/TO04/SEG39/ANI26	
P15	7-5-4			TI07/TO07/SEG40	
P16	8-5-18		デジタル入力 無効 ^{注1}	SEG41/SCK00/SCL00/EI16/ (VCOU0)/(TKBO01)/ (RTC1HZ)	
P17	8-5-19			SEG42/SI00/RxD0/TOOLRxD/ SDA00/EI17/EO17/EXSDI1/ (TKBO01)/(TRJIO0)	

(2/6)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P20	4-3-5	入出力	アナログ入力	ANI1/AVREFM/EI20/(TI00)/ (INTP7)/(PCLBUZ1)	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P22-P27は、入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P22, P26, P27の入力はTTL入力バッファに設定可能。 P22, P26, P27の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P20, P21はアナログ入力に設定可能 ^{注4} 。 P22-P27はアナログ入力に設定可能 ^{注3} 。 P22-P27はLCD出力に設定可能 ^{注3} 。
P21	4-3-5			ANI0/AVREFP/VBAT1/EI21/ (TO00)/(INTP6)/(PCLBUZ0)	
P22	8-10-1			ANI16/SEG29/SCK21/SCL21/ (SCK00)/(SCL00)/(INTP7)	
P23	7-10-3			ANI17/SEG30/TRJIO1	
P24	7-10-3			ANI18/SEG31	
P25	7-10-3			ANI19/SEG32/CLKA1	
P26	8-43-1			ANI20/SEG33/ANO0/EI26/ TxDA1/SI21/SDA21/(TKBO20)/ (INTP5)/(RxD0)/(SI00)/ (SDA00)/(EXSDI0)	
P27	8-43-1			ANI21/SEG34/ANO1/EI27/ RxDA1/SO21/(TKBO21)/ (INTP4)/(TxD0)/(SO00)/ (EXSDI1)	
P30	7-44-1	入出力	デジタル入力 無効 ^{注1}	TI03/TO03/SEG20/REMOOUT/ TS08/(INTP3)/(RTC1HZ)	ポート3。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P33, P34の入力はTTL入力バッファに設定可能。 P33-P35の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P31	7-44-1			INTP3/RTC1HZ/SEG21/TS07/ (TI01)/(TO01)	
P32	7-44-1			TI01/TO01/SEG22/TS06/(TI03)/ (TO03)/(REMOOUT)/(INTP3)/ (RTC1HZ)	
P33	8-44-2			INTP4/SEG23/TS05/(TI01)/ (TO01)/(RTC1HZ)/(SCK30)/ (SCL30)	
P34	8-44-2			SEG24/TS04/(TI01)/(TO01)/ (INTP0)/(SI30)/(RxD3)/(SDA30)	
P35	7-44-3			SEG25/TS03/(VCOUT0)/ (INTP4)/(SO30)/(TxD3)	

(3/6)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P40	8-1-10	入出力	入力ポート	TOOL0/(TI00)/(TO00)/(SCK00)/ (SCL00)	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P40-P47の入力はTTL入力バッファに設定可能。 P40-P47の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P42-P45はアナログ入力に設定可能 ^{注4} 。 P46, P47はLCD出力に設定可能 ^{注2} 。
P41	8-1-10			(TI07)/(TO07)/(INTP6)/(TxD0)/ (RxD A3)/(SDAA0)/(SO00)/ (SI10)/(SDA10)/(RxD1)	
P42	8-6-10		アナログ入力	TI05/TO05/IVREF1/TRJO0/ (INTP7)/(TxDA1)/(SCLA0)/ (RxD0)/(TxD1)/(SI00)/(SDA00)/ (SO10)/(SO11)/(PCLBUZ1)	
P43	8-6-10			IVCMP1/SO30/TxD3/(TI05)/ (TO05)/(INTP4)/(RxD A1)/(SI11)/ (SDA11)	
P44	8-6-10			IVCMP0/RxDA2/SI30/SDA30/ RxD3/EXSDO1/(TI04)/(TO04)/ (INTP7)/(SCK11)/ (SCL11)	
P45	8-6-10			IVREF0/TxDA2/SCK30/SCL30/ EXSDO0	
P46	8-5-17		デジタル入力 無効 ^{注1}	SEG26/SI31/SDA31/(SCK21)/ (SCL21)/(SCL01)/(SCK01)	
P47	8-5-17			SEG27/SO31/(RxDA0)/(SI21)/ (SDA21)/(SDA01)/(SI01)/ (INTP1)	
P50	7-44-3	入出力	デジタル入力 無効 ^{注1}	SEG4/TS23/TxDA3	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P51, P53, P54の入力はTTL入力バッファに設定可能。 P50, P52-P54の出力はN-chオープン・ドレイン出力 [V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P51	8-44-1			SEG5/TS22/RxDA3/(INTP6)	
P52	7-44-3			TI00/TO00/INTP1/SEG6/TS21/ SO01/(PCLBUZ1)	
P53	8-44-2			INTP2/SEG7/TS20/SI01/ SDA01/(TI07)/(TO07)/ (PCLBUZ0)	
P54	8-44-2			TI02/TO02/SEG8/TS19/SCK01/ SCL01/(INTP0)/(PCLBUZ0)	
P55	7-44-1			INTP5/SEG9/TS18/(TI02)/ (TO02)	
P56	7-44-1			TI06/TO06/SEG10/TS17	
P57	7-44-1			INTP6/SEG11/TSCAP/(TI03)/ (TO03)/(REMOOUT)	

(4/6)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P60	12-38-3	入出力	入力ポート	SCLA0/CCD04/EO60/(TI01)/ (TO01)/(INTP3)	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63はN-chオープン・ドレイン出力[6 V 耐圧] P60-P63は出力電流制御ポートに設定可能。 P64-P67は、入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P64-P66の入力はTTL入力バッファに設定可能。 P64-P66の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P61	12-38-3			SDAA0/CCD05/EO61/(TI02)/ (TO02)/(INTP4)	
P62	12-38-2			SCLA1/CCD06/(TI03)/(TO03)/ (REMOOUT)/(INTP5)	
P63	12-38-2			SDAA1/CCD07/(TI04)/(TO04)/ (INTP6)	
P64	8-1-10			(INTP5)/(SDAA1)/(TI03)/ (TO03)/(REMOOUT)	
P65	8-1-10			(INTP0)/(SCLA1)/(TI05)/(TO05)	
P66	8-1-10			(TI05)/(TO05)/(INTP1)/(SCK10)/ (SCL10)/(TxDA3)	
P67	7-1-3			(INTP2)/(TI01)/(TO01)	
P70	7-44-2	入出力	デジタル入力 無効 ^{注1}	KR0/SEG12/TS16/TKBO20	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P75, P76の入力はTTL入力バッファに設定可能。 P75-P77の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。 P74-P77は出力電流制御ポートに設定可能。
P71	7-44-1			KR1/SEG13/TS15	
P72	7-44-2			KR2/SEG14/TS14/TKBO21	
P73	7-44-2			KR3/SEG15/TS13/TKBO10	
P74	7-45-1			KR4/SEG16/TS12/CCD03/ TKBO11/(TKBO01)	
P75	8-45-1			KR5/SEG17/TS11/CCD02/ SCK20/SCL20/(TKBO11)/ (TKBO01)/(TI03)/(TO03)/ (REMOOUT)/(INTP0)	
P76	8-45-2			KR6/SEG18/TS10/CCD01/ TKBO00/SI20/SDA20/RxD2/ EI76/EO76/(INTP2)/(RTC1HZ)/ (EXSDO1)	
P77	7-45-2			KR7/SEG19/TS09/CCD00/ TKBO01/SO20/TxD2/EI77/ EO77/(TKBO21)/(TI07)/(TO07)/ (INTP1)/(EXSDO0)	
P80	8-1-10	入出力	入力ポート	(INTP2)/(SCK20)/(SCL20)	ポート8。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P80-P86の入力はTTL入力バッファに設定可能。 P80-P87の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P81	8-1-10			(RxD1)/(SI10)/(SDA10)	
P82	8-1-10			(SCK10)/(SCL10)/(PCLBUZ0)	
P83	8-1-10			(INTP1)/(RxD0)/(SDAA1)	
P84	8-1-10			(INTP0)/(TxDA0)/(SCLA1)	
P85	8-5-20		デジタル入力 無効 ^{注1}	VL4/(VCOUT0)/(INTP4)/ (SCK10)/(SCL10)/(SCK30)/ (SCL30)	
P86	8-5-20			VL2/(TI06)/(TO06)/(INTP3)/ (RxD1)/(SI10)/(SDA10)/ (PCLBUZ1)	
P87	7-5-32			VL1/(TxD1)/(SO10)	

(5/6)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
P90	7-44-3	入出力	デジタル入力 無効 ^{注1}	COM0/TS31/(TI00)/(TO00)/ (INTP1)	ポート9。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P93, P94, P96, P97の入力はTTL入力バッファに設定 可能。 P93-P97の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 LCD出力に設定可能 ^{注2} 。
P91	7-44-3			COM1/TS30/(INTP2)	
P92	7-44-3			COM2/TS29/(TI01)/(TO01)	
P93	8-44-2			COM3/TS28/(INTP3)/(SCK01)/ (SCL01)	
P94	8-44-2			COM4/SEG0/TS27/(INTP2)/ (SI01)/(SDA01)/(TI06)/(TO06)	
P95	7-44-3			COM5/SEG1/TS26/(TI02)/ (TO02)/(INTP1)/(SO01)	
P96	8-44-2			COM6/SEG2/TS25/(INTP5)/ (SI01)/(SDA01)/(SDAA1)/ (PCLBUZ0)	
P97	8-44-2			COM7/SEG3/TS24/(TI05)/ (TO05)/(SCK01)/(SCL01)/ (SCLA1)	
P121	7-2-1	入出力	入力ポート	X1/VBAT0/EI121	ポート12。 5ビット入出力ポートと2ビット入力専用ポート。 P121, P122, P125-P127は1ビット単位で入力／出力 の指定可能。 P121, P122, P125-P127は入力ポートではソフトウェ アの設定により、内蔵プルアップ抵抗を使用可能。 P125の入力はTTL入力バッファに設定可能。 P125の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。
P122	7-2-1			X2/EXCLK/EI122	
P123	2-2-1			XT1	
P124	2-2-1			XT2/EXCLKS	
P125	8-44-4	入出力	デジタル入力 無効 ^{注1}	VL3/TS02/(TI06)/(TO06)/ (VCOUT1)/(INTP7)/(RxD3)/ (SI30)/(SDA30)/(PCLBUZ1)	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。 P130の出力はN-chオープン・ドレイン出力[V _{DD} 耐圧]に設定可能。 P130はLCD出力に設定可能 ^{注2} 。
P126	7-44-4			CAPL/TS01/(TI04)/(TO04)/ (INTP4)	
P127	7-44-4			CAPH/TS00/(TI03)/(TO03)/ (REMOOUT)	
P130	1-5-1	出力	出力モード	SEG28/TRJ01/(TxDA0)/ (SO21)/(SO01)	ポート14。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵 プルアップ抵抗を使用可能。 P140-P142, P144-P147の入力はTTL入力バッファに 設定可能。 P140, P143-P147の出力はN-chオープン・ドレイン 出力[V _{DD} 耐圧]に設定可能。 P141-P145はLCD出力に設定可能 ^{注2} 。
P137	2-1-3	入力	入力ポート	EI137/INTP0	
P140	8-1-10	入出力	デジタル入力 無効 ^{注1}	SCK31/SCL31	
P141	8-5-4			SEG51/(INTP6)/(RxD A3)	
P142	8-5-4			SEG52/(INTP7)/(RxD A2)	
P143	7-5-33			SEG53/(INTP5)/(TxDA2)	
P144	8-5-17			SEG54/(INTP4)/(RxD A1)/ (SCLA0)	
P145	8-5-17			SEG55/(INTP3)/(TxDA1)/ (SDAA0)	
P146	8-1-10		入力ポート	(VCOUT1)/(Tx D2)/(SO20)/ (SO31)/(RxD A2)/(INTP7)	
P147	8-1-10			(INTP2)/(TxDA3)/(RxD2)/(SI20)/ (SDA20)	

(6/6)

機能 名称	端子 タイプ	入出力	リセット解除時	兼用機能	機能
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

- 注1.** デジタル入力無効状態とは、デジタル出力、デジタル入力、アナログ入力、LCD出力のいずれもが無効な状態を示します。
- 注2.** 各端子をデジタル／LCDのいずれにするかは、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注3.** 各端子をデジタル／アナログ／LCDのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・レジスタ（PMxx）、およびLCDポート・ファンクション・レジスタ（PFSEGx）で設定します。（1ビット単位で設定可能）
- 注4.** 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考 上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

2.2 ポート以外の端子機能

2.2.1 製品別の搭載機能

(1/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
ANI0	○	○	○	○	○	○
ANI1	○	○	○	○	○	○
ANI16	○	○	○	○	○	○
ANI17	○	○	—	—	—	—
ANI18	○	○	—	—	—	—
ANI19	○	○	—	—	—	—
ANI20	○	○	○	○	○	○
ANI21	○	○	○	○	○	○
ANI22	○	○	○	○	○	○
ANI23	○	○	○	○	○	○
ANI24	○	○	○	○	○	○
ANI25	○	○	○	○	○	—
ANI26	○	○	○	○	—	—
ANO0	○	○	○	○	○	○
ANO1	○	○	○	○	○	○
IVCMP0	○	○	○	○	○	○
IVCMP1	○	○	○	○	—	—
IVREF0	○	○	○	○	○	—
IVREF1	○	○	○	—	—	—
VCOUT0	○	○	○	(○)	(○)	(○)
VCOUT1	○	○	○	(○)	—	—
TS00	○	○	○	○	○	○
TS01	○	○	○	○	○	○
TS02	○	○	○	○	○	○
TS03	○	○	—	—	—	—
TS04	○	○	—	—	—	—
TS05	○	—	—	—	—	—
TS06	○	—	—	—	—	—
TS07	○	○	○	—	—	—
TS08	○	○	○	—	—	—
TS09	○	○	○	○	○	○
TS10	○	○	○	○	○	○
TS11	○	○	○	○	○	—
TS12	○	○	○	○	—	—
TS13	○	○	—	—	—	—
TS14	○	○	—	—	—	—

(2/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
TS15	○	○	—	—	—	—
TS16	○	○	○	—	—	—
TS17	○	○	—	—	—	—
TS18	○	○	—	—	—	—
TS19	○	○	○	○	○	—
TS20	○	○	○	○	—	—
TS21	○	○	○	—	—	—
TS22	○	○	—	—	—	—
TS23	○	○	—	—	—	—
TS24	○	○	○	○	○	○
TS25	○	○	○	○	○	○
TS26	○	○	○	○	○	○
TS27	○	○	○	○	○	○
TS28	○	○	○	○	○	○
TS29	○	○	○	○	○	○
TS30	○	○	○	○	○	○
TS31	○	○	○	○	○	○
TS32	○	○	○	○	○	○
TS33	○	○	○	○	○	○
TS34	○	○	○	○	○	○
TS35	○	○	○	—	—	—
TSCAP	○	○	○	○	○	○
CCD00	○	○	○	○	○	○
CCD01	○	○	○	○	○	○
CCD02	○	○	○	○	○	—
CCD03	○	○	○	○	—	—
CCD04	○	○	○	○	○	○
CCD05	○	○	○	○	○	○
CCD06	○	○	○	—	—	—
CCD07	○	○	○	—	—	—
INTP0	○	○	○	○	○	○
INTP1	○	○	○	(○)	(○)	(○)
INTP2	○	○	○	○	(○)	(○)
INTP3	○	○	○	(○)	(○)	(○)
INTP4	○	(○)	(○)	(○)	(○)	(○)
INTP5	○	○	(○)	(○)	(○)	(○)
INTP6	○	○	○	○	○	○
INTP7	○	○	○	(○)	(○)	(○)
KR0	○	○	○	—	—	—
KR1	○	○	—	—	—	—

(3/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
KR2	○	○	—	—	—	—
KR3	○	○	—	—	—	—
KR4	○	○	○	○	—	—
KR5	○	○	○	○	○	—
KR6	○	○	○	○	○	○
KR7	○	○	○	○	○	○
PCLBUZ0	○	○	○	(○)	(○)	(○)
PCLBUZ1	○	○	○	(○)	(○)	(○)
REGC	○	○	○	○	○	○
REMOOUT	○	○	○	(○)	(○)	(○)
RTC1HZ	○	○	○	(○)	(○)	(○)
RESET	○	○	○	○	○	○
RxD0	○	○	○	○	○	○
RxD1	○	○	○	○	○	○
RxD2	○	○	○	○	○	○
RxD3	○	○	○	○	—	—
TxD0	○	○	○	○	○	○
TxD1	○	○	○	○	○	○
TxD2	○	○	○	○	○	○
TxD3	○	○	○	○	—	—
RxDA0	○	○	○	○	○	○
RxDA1	○	○	○	○	○	○
RxDA2	○	○	○注	○注	○注	—
RxDA3	○	○	—	—	—	—
TxDA0	○	○	○	○	○	○
TxDA1	○	○	○	○	○	○
TxDA2	○	○	○注	○注	○注	—
TxDA3	○	○	—	—	—	—
CLKA0	○	○	○	○	○	○
CLKA1	○	○	—	—	—	—
SCK00	○	○	○	○	○	○
SCK01	○	○	○	(○)	(○)	(○)
SCK10	○	○	○	○	○	○
SCK11	○	○	○	○	○	○
SCK20	○	○	○	○	○	—
SCK21	○	○	○	○	○	○
SCK30	○	○	○	○	—	—
SCK31	○	(○)	(○)	—	—	—
SCL00	○	○	○	○	○	○
SCL01	○	○	○	○	(○)	(○)

(4/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
SCL10	○	○	○	○	○	○
SCL11	○	○	○	○	○	○
SCL20	○	○	○	○	○	—
SCL21	○	○	○	○	○	○
SCL30	○	○	○	○	○	(○)
SCL31	○	(○)	(○)	—	—	—
SDA00	○	○	○	○	○	○
SDA01	○	○	○	○	(○)	(○)
SDA10	○	○	○	○	○	○
SDA11	○	○	○	○	○	○
SDA20	○	○	○	○	○	—
SDA21	○	○	○	○	○	○
SDA30	○	○	○	○	○	(○)
SDA31	○	(○)	(○)	—	—	—
SI00	○	○	○	○	○	○
SI01	○	○	○	(○)	(○)	(○)
SI10	○	○	○	○	○	○
SI11	○	○	○	○	○	○
SI20	○	○	○	○	○	—
SI21	○	○	○	○	○	○
SI30	○	○	○	○	—	—
SI31	○	(○)	(○)	—	—	—
SO00	○	○	○	○	○	○
SO01	○	○	○	(○)	(○)	(○)
SO10	○	○	○	○	○	○
SO11	○	○	○	○	○	○
SO20	○	○	○	○	○	—
SO21	○	○	○	○	○	○
SO30	○	○	○	○	—	—
SO31	○	(○)	(○)	—	—	—
SCLA0	○	○	○	○	○	○
SCLA1	○	○	○	(○)	(○)	(○)
SDAA0	○	○	○	○	○	○
SDAA1	○	○	○	(○)	(○)	(○)
TI00	○	○	○	(○)	(○)	(○)
TI01	○	(○)	(○)	(○)	(○)	(○)
TI02	○	○	○	○	○	(○)
TI03	○	○	○	(○)	(○)	(○)
TI04	○	○	○	○	(○)	(○)
TI05	○	○	○	(○)	(○)	(○)

(5/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
TI06	○	○	(○)	(○)	(○)	(○)
TI07	○	○	○	(○)	(○)	(○)
TO00	○	○	○	(○)	(○)	(○)
TO01	○	(○)	(○)	(○)	(○)	(○)
TO02	○	○	○	○	○	(○)
TO03	○	○	○	(○)	(○)	(○)
TO04	○	○	○	○	(○)	(○)
TO05	○	○	○	(○)	(○)	(○)
TO06	○	○	(○)	(○)	(○)	(○)
TO07	○	○	○	(○)	(○)	(○)
EI00	○	○	○	○	○	○
EI06	○	○	○	○	○	○
EI07	○	○	○	○	○	○
EI12	○	○	○	○	○	○
EI16	○	○	○	○	○	○
EI17	○	○	○	○	○	○
EI20	○	○	○	○	○	○
EI21	○	○	○	○	○	○
EI26	○	○	○	○	○	○
EI27	○	○	○	○	○	○
EI76	○	○	○	○	○	○
EI77	○	○	○	○	○	○
EI121	○	○	○	○	○	○
EI122	○	○	○	○	○	○
EI137	○	○	○	○	○	○
EO00	○	○	○	○	○	○
EO05	○	○	○	○	○	○
EO17	○	○	○	○	○	○
EO60	○	○	○	○	○	○
EO61	○	○	○	○	○	○
EO76	○	○	○	○	○	○
EO77	○	○	○	○	○	○
TRJIO0	○	○	○	(○)	(○)	(○)
TRJIO1	○	○	(○) 注	(○) 注	(○) 注	(○) 注
TRJO0	○	○	○	(○)	(○)	(○)
TRJO1	○	○	(○) 注	(○) 注	(○) 注	(○) 注
TKBO00	○	○	○	○	○	○
TKBO01	○	○	○	○	○	○
TKBO10	○	○	(○) 注	(○) 注	(○) 注	(○) 注
TKBO11	○	○	○ 注	○ 注	(○) 注	(○) 注

(6/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
TKBO20	○	○	○注	(○)注	(○)注	(○)注
TKBO21	○	○	(○)注	(○)注	(○)注	(○)注
VL1	○	○	○	○	○	○
VL2	○	○	○	○	○	○
VL3	○	○	○	○	○	○
VL4	○	○	○	○	○	○
CAPH	○	○	○	○	○	○
CAPL	○	○	○	○	○	○
X1	○	○	○	○	○	○
X2	○	○	○	○	○	○
EXCLK	○	○	○	○	○	○
XT1	○	○	○	○	○	○
XT2	○	○	○	○	○	○
EXCLKS	○	○	○	○	○	○
VDD	○	○	○	○	○	○
VBAT0	○	○	○	○	○	○
VBAT1	○	○	○	○	○	○
AVREFP	○	○	○	○	○	○
AVREFM	○	○	○	○	○	○
Vss	○	○	○	○	○	○
EVss	○	—	—	—	—	—
TOOLRxD	○	○	○	○	○	○
TOOLTxD	○	○	○	○	○	○
TOOL0	○	○	○	○	○	○
COM0	○	○	○	○	○	○
COM1	○	○	○	○	○	○
COM2	○	○	○	○	○	○
COM3	○	○	○	○	○	○
COM4	○	○	○	○	○	○
COM5	○	○	○	○	○	○
COM6	○	○	○	○	○	○
COM7	○	○	○	○	○	○
SEG0	○	○	○	○	○	○
SEG1	○	○	○	○	○	○
SEG2	○	○	○	○	○	○
SEG3	○	○	○	○	○	○
SEG4	○	○	—	—	—	—
SEG5	○	○	—	—	—	—
SEG6	○	○	○	—	—	—
SEG7	○	○	○	○	—	—

(7/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
SEG8	○	○	○	○	○	—
SEG9	○	○	—	—	—	—
SEG10	○	○	—	—	—	—
SEG11	○	○	○	○	○	○
SEG12	○	○	○	—	—	—
SEG13	○	○	—	—	—	—
SEG14	○	○	—	—	—	—
SEG15	○	○	—	—	—	—
SEG16	○	○	○	○	—	—
SEG17	○	○	○	○	○	—
SEG18	○	○	○	○	○	○
SEG19	○	○	○	○	○	○
SEG20	○	○	○	—	—	—
SEG21	○	○	○	—	—	—
SEG22	○	—	—	—	—	—
SEG23	○	—	—	—	—	—
SEG24	○	○	—	—	—	—
SEG25	○	○	—	—	—	—
SEG26	○	○	—	—	—	—
SEG27	○	○	—	—	—	—
SEG28	○	○	—	—	—	—
SEG29	○	○	○	○	○	○
SEG30	○	○	—	—	—	—
SEG31	○	○	—	—	—	—
SEG32	○	○	—	—	—	—
SEG33	○	○	○	○	○	○
SEG34	○	○	○	○	○	○
SEG35	○	○	○	○	○	○
SEG36	○	○	○	○	○	○
SEG37	○	○	○	○	○	○
SEG38	○	○	○	○	○	—
SEG39	○	○	○	○	—	—
SEG40	○	○	○	—	—	—
SEG41	○	○	○	○	○	○
SEG42	○	○	○	○	○	○
SEG43	○	○	○	○	○	○
SEG44	○	○	○	—	—	—
SEG45	○	○	○	—	—	—
SEG46	○	○	○	—	—	—
SEG47	○	○	○	—	—	—

(8/8)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
SEG48	○	○	○	○	○	○
SEG49	○	○	○	○	○	○
SEG50	○	○	○	○	○	○
SEG51	○	—	—	—	—	—
SEG52	○	—	—	—	—	—
SEG53	○	—	—	—	—	—
SEG54	○	—	—	—	—	—
SEG55	○	—	—	—	—	—
EXSDI0	○	○	○	○	○	○
EXSDI1	○	○	○	○	○	○
EXSDO0	○	○	○	○	○	(○)
EXSDO1	○	○	○	○	○	○

注 コード・フラッシュ・メモリ：128 KB以下の製品は非搭載です。

備考 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、端子を割り当てることができます。

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0, ANI1, ANI16-ANI26	入力	A/Dコンバータのアナログ入力 (図16-43 VDD、AVREFP、アナログ入力端子の処理参照)
ANO0, ANO1	出力	D/Aコンバータ出力
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOUT0, VCOUT1	出力	コンパレータ出力
TS00-TS35	入出力	静電容量計測 (タッチセンサ)
TSCAP	—	静電容量計測用電源コンデンサ接続 コンデンサ (10 nF) を介し、Vssに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
CCD00-CCD07	出力	出力電流制御ポート
INTP0-INTP7	入力	外部割り込み要求入力 有効エッジ指定: 立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続 コンデンサ (0.47 ~ 1 μ F) を介し、Vssに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
REMOOUT	出力	リモコン出力
RTC1HZ	出力	リアルタイム・クロック補正クロック (1 Hz) 出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
RxD0-RxD3	入力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ入力
TxD0-TxD3	出力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ出力
RxDA0-RxD3	入力	シリアル・インタフェースUARTA0, UARTA1, UARTA2, UARTA3のシリアル・データ入力
TxDA0-TxDA3	出力	シリアル・インタフェースUARTA0, UARTA1, UARTA2, UARTA3のシリアル・データ出力
CLKA0, CLKA1	出力	シリアル・インタフェースUARTA0, UARTA1のクロック出力
SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・クロック入出力
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・クロック出力
SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・データ入出力
SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ入力
SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31	出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ出力
SCLA0, SCLA1	入出力	シリアル・インタフェースIICA0, IICA1のクロック入出力
SDAA0, SDAA1	入出力	シリアル・インタフェースIICA0, IICA1のシリアル・データ入出力

(2/2)

機能名称	入出力	機能
EXSDI0, EXSDI1	入力	外部サンプリング位相検出入力
EXSDO0, EXSDO1	出力	外部サンプリング・クロック出力
TI00-TI07	入力	16ビット・タイマ00-07への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07	出力	16ビット・タイマ00-07のタイマ出力
EI00, EI06, EI07, EI12, EI16, EI17, EI20, EI21, EI26, EI27, EI76, EI77, EI121, EI122, EI137	入力	ELCLの入力
EO00, EO05, EO17, EO60, EO61, EO76, EO77	出力	ELCLの出力
TRJIO0, TRJIO1	入出力	タイマRJ入出力
TRJO0, TRJO1	出力	タイマRJ出力
TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21	出力	16ビット・タイマKB40, KB41, KB42出力
VL1-VL4	—	LCD駆動用電圧
CAPH, CAPL	—	LCDコントローラ／ドライバ用コンデンサ接続
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	—	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
VDD	—	端子の正電源
VBAT0, VBAT1	—	バッテリーバックアップ用電源
AVREFP	入力	A/Dコンバータの基準電圧（＋側）入力
AVREFM	入力	A/Dコンバータの基準電圧（－側）入力
VSS	—	端子のグランド電位
EVSS	—	ポート端子のグランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力
COM0-COM7	出力	LCDコントローラ／ドライバのコモン信号出力
SEG0-SEG55	出力	LCDコントローラ／ドライバのセグメント信号出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

P40/TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、38.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、VDD - VSS, EVSSライン間へのバイパスコンデンサ（0.1 μ F程度）を最短距離でかつ、比較的太い配線を使って接続してください。

2.2.3 VBATn端子 (n = 0, 1)

2.2.3.1 VBATn端子の機能 (n = 0, 1)

VBATn 端子はバックアップ用バッテリーの接続端子です。VBATn 端子にバックアップ用バッテリーを接続することで、VDD 端子への電源供給が遮断されたときに VBATn 端子から電源供給することが可能です。

VBATn 端子は、主にリアルタイム・クロック (RTC) の動作継続を目的とした機能です。

2.2.3.2 VBATn端子とバックアップ用バッテリーの接続 (n = 0, 1)

図 2 - 1 に VBATn 端子の接続例を示します。

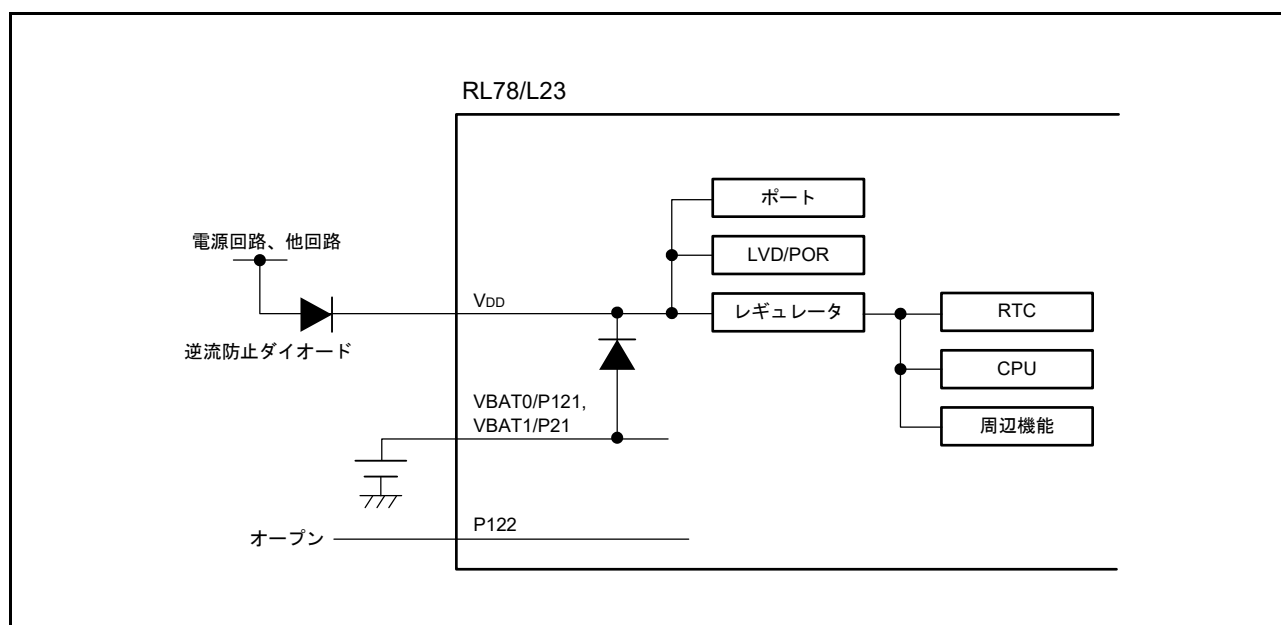
VBATn 端子は内部のダイオードを介して VDD に電源を供給します。VBATn 端子内部のダイオードは常に VDD に接続された状態です。VBATn 端子からダイオードを経由して VDD 端子に接続している電源回路や他回路への逆流を防ぐ必要がある場合は、VDD 端子の外部に逆流防止用のダイオードを接続してください。

VBATn 端子の入力電圧範囲は 2.7 ~ 5.5 V です。VBATn 端子から電源を供給している状態で VBATn 端子の入力電圧が 2.7 V 未満になるとダイオードの電圧降下により POR リセットが発生する場合があります。また、VBATn 端子から供給できる電流は 150 μ A (Max.) です。

VBAT0/P121 を使用するときは、VBAT0 にバックアップ用バッテリーを接続し P122 はオープンにしてください。

VBAT1/P21 を使用するときは、VBAT1 にバックアップ用バッテリーを接続し 1 端子のみで使用するすることができます。

図 2 - 1 VBATn端子の接続例 (n = 0, 1)



2.2.3.3 VBATn端子の使用方法 (n = 0, 1)

VBATn 端子の初期設定と電源供給を VBATn 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBATn 端子の供給電圧を下回る前に処理を完了してください。

また、図 2 - 2 に VDD 端子と VBATn 端子の切り替え時の状態遷移を示します。

(1) VBATn端子の初期設定

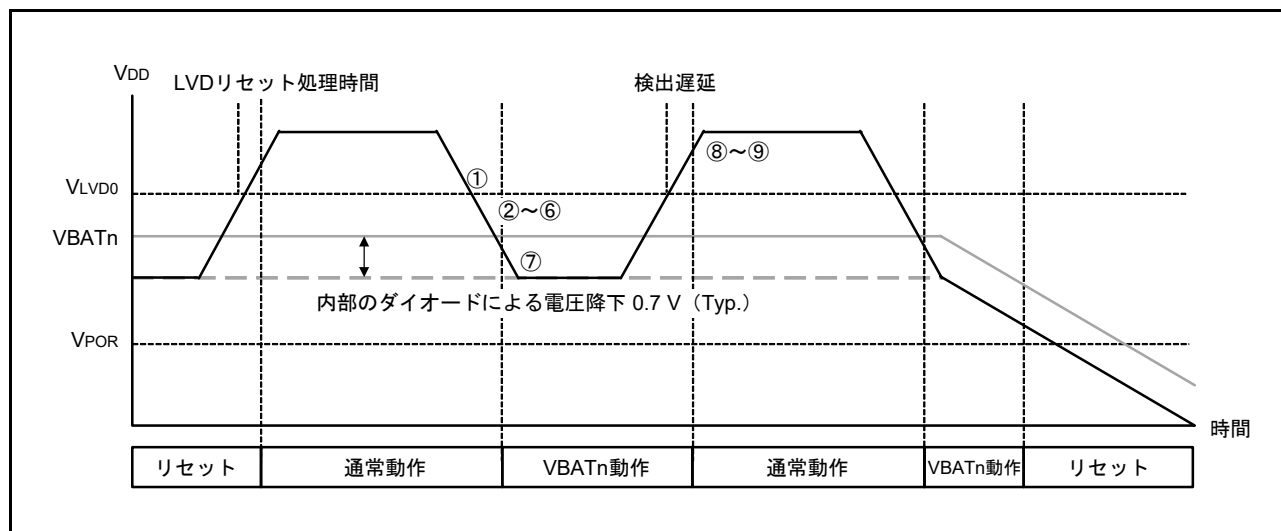
VBAT0 の場合：初期設定として P121 を X1 発振モード（CMC レジスタの EXCLK ビットを 0、OSCSEL ビットを 1、CSC レジスタの MSTOP ビットを 1）に設定してください。

VBAT1 の場合：P21 の初期設定として、PMCA2 レジスタの PMCA21 ビットに 1 を設定してください。

(2) 電源供給をVBATn端子に切り替える手順例

- ① LVD0の割り込みモードを使用して、電源電圧（VDD）の低下時に割り込み要求を発生させます。この割り込み要求によって処理を開始します。
- ② LVD0以外の割り込みを禁止に設定します。
- ③ リアルタイム・クロック（RTC）以外の周辺機能を停止します。
- ④ 各ポートの出力設定を変更し、ポートに電流が流れないようにします。
- ⑤ LVD0の割り込み要求フラグをクリアします。
- ⑥ LVD0F = 1（VDD < 検出電圧）であることを確認後、CPUがメイン・システム・クロックで動作中の場合は STOPモードへ移行します。CPUがサブシステム・クロックで動作中の場合はHALTモードへ移行します。
- ⑦ LVD0の割り込み要求が発生するまで状態を維持します。
- ⑧ 電源電圧（VDD）が再投入されると、LVD0の割り込み要求が発生し、STOPモードおよびHALTモードが解除されます。
- ⑨ LVD0F = 0（VDD ≥ 検出電圧）であることを確認後、周辺機能を再設定し、電源電圧（VDD）供給時の動作に移行します。

図 2 - 2 VDD 端子と VBATn 端子の切り替え時の状態遷移 (n = 0, 1)



VDD 端子と VBATn 端子の切り替えが頻繁に発生する場合は、④と⑤の間で電圧の変動の収まる期間をウエイトすることで VDD 端子と VBATn 端子の切り替えの発生を抑えることができます。

注意 1. バッテリ電源を供給しているときは、メイン・システム・クロックでの動作は禁止です。

注意 2. バッテリ電源を供給しているときは、WDT がカウント動作停止するように設定してください。

また、リセット端子へのロウ・レベルの入力は禁止です。リセット解除時にメイン・システム・クロックで動作を開始し、150 μ A (Max.) を超えるためです。

注意 3. バッテリ電源を使用する場合は、P121 を X1 発振モードに設定、かつ P21 の設定として PMCA2 レジスタの PMCA21 ビットに 1 を設定してください。P121, P21 を入力設定および出力設定にしないでください。

2.3 未使用端子の処理

表 2 - 1 に各端子の未使用端子処理を示します。

備考 製品により、搭載している端子が異なります。**1.3 端子接続図 (Top View)、2.1 ポートの端子機能**を参照してください。

表2 - 1 各端子の未使用端子処理 (1/2)

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P10-P17		<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P20, P21		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P22-P27		<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P30-P35		<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、VDDまたはオープンにしてください。 出力時：オープンにしてください。
P41-P45		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P46, P47		<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P50-P57		<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P60-P63		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：ポートの出カラッチに0を設定してオープン、またはポートの出カラッチに1を設定し、個別に抵抗を介してVDDまたはVSSに接続してください。
P64-P67		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。

表2 - 1 各端子の未使用端子処理 (2/2)

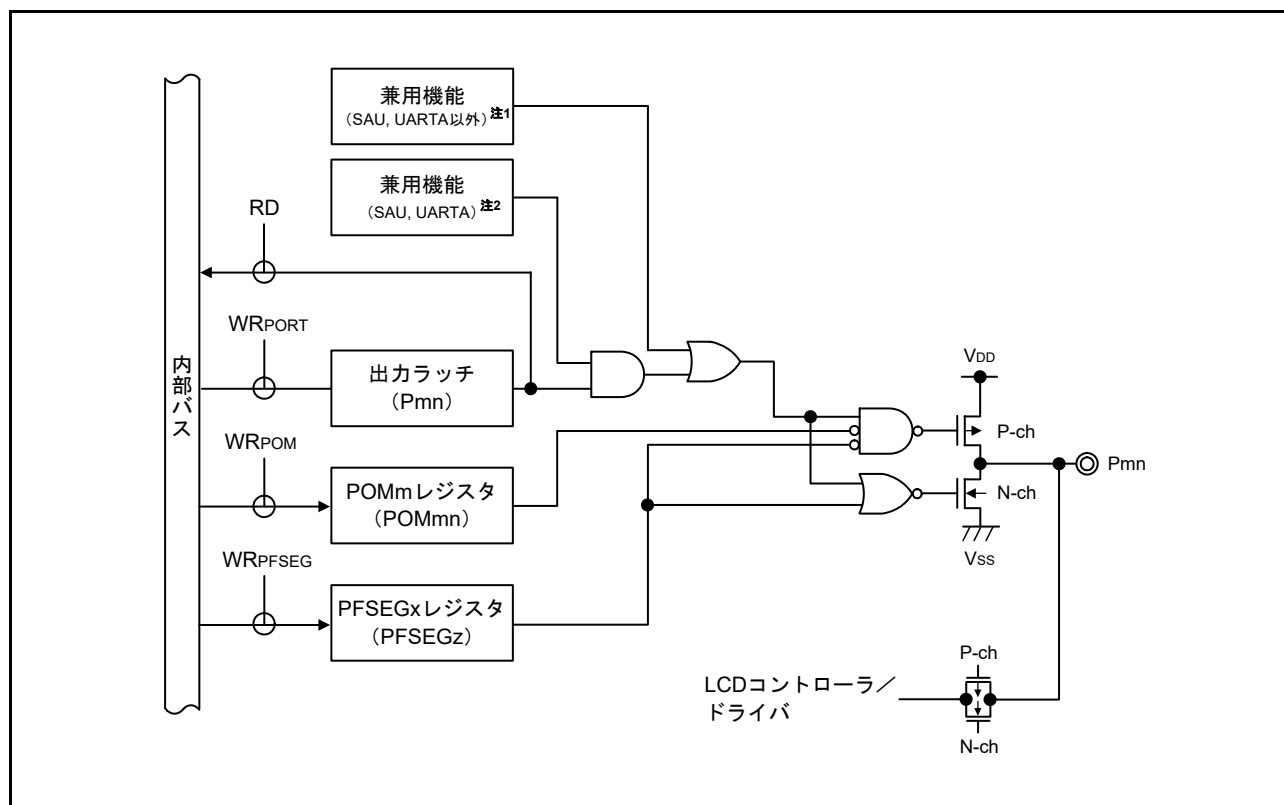
端子名称	入出力	未使用時の推奨接続方法
P70-P77	入出力	<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P80-P87		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P90-P97		<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P121, P122		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P123, P124	入力	クロック動作モード制御レジスタ（CMC）のEXCLKSビットに0、OSCSELSビットに1、かつクロック動作ステータス制御レジスタ（CSC）のXTSTOPビットに1を設定し、オープンにしてください。 ^注 または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P130	出力	<ポート設定時> オープンにしてください。 <セグメント設定時> オープンにしてください。
P137	入力	ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDIS13）のPDIDIS137ビットに1を設定し、オープンにしてください。または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P140	入出力	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P141-P145	入出力	<ポート設定時> 入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P146, P147	入出力	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
RESET	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ（0.47～1 μF）を介して、VSSに接続してください。

注 CPU／周辺ハードウェア・クロック（fCLK）に低速オンチップ・オシレータ・クロック（fIL）を選択したときは、電流が1 μA程度増える場合があります。

2.4 端子ブロック図

2.1.1 44 ピン製品～ 2.1.6 100 ピン製品に記載した端子タイプについて、図 2 - 3 ～ 図 2 - 41 に端子ブロック図を示します。

図 2 - 3 端子タイプ1-5-1の端子ブロック図



注1. UARTAのクロック出力を含む

注2. UARTAのクロック出力を除く

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図 2 - 4 端子タイプ2-1-1の端子ブロック図

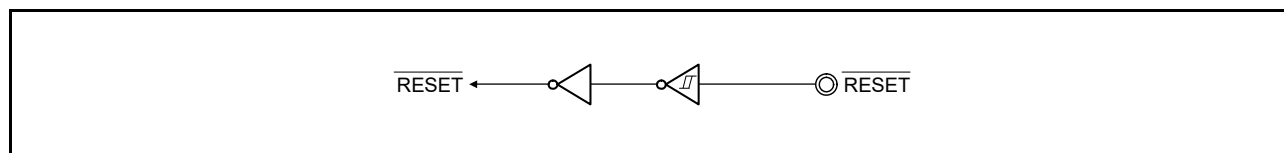
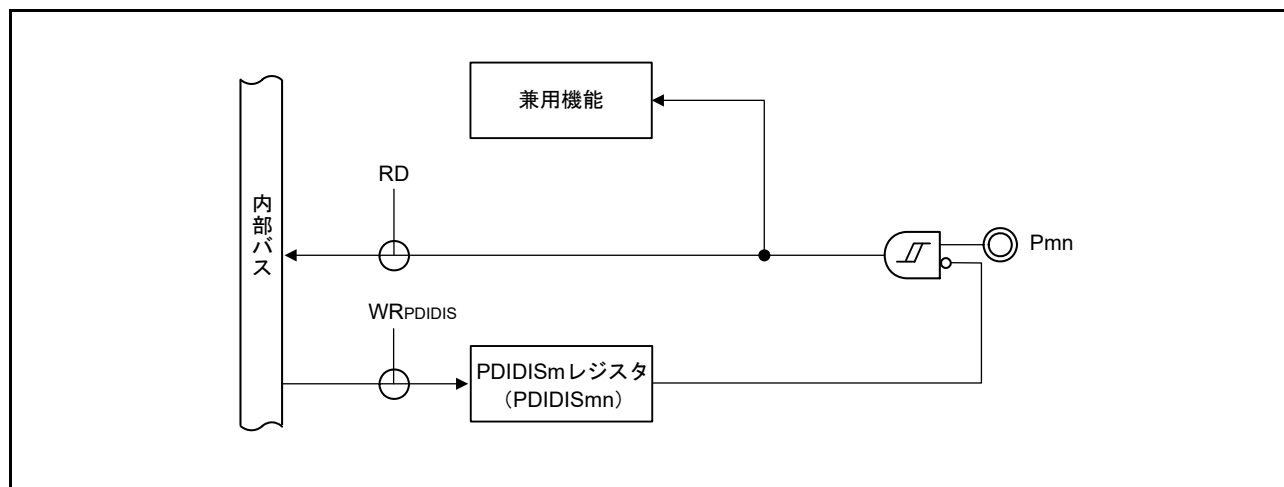
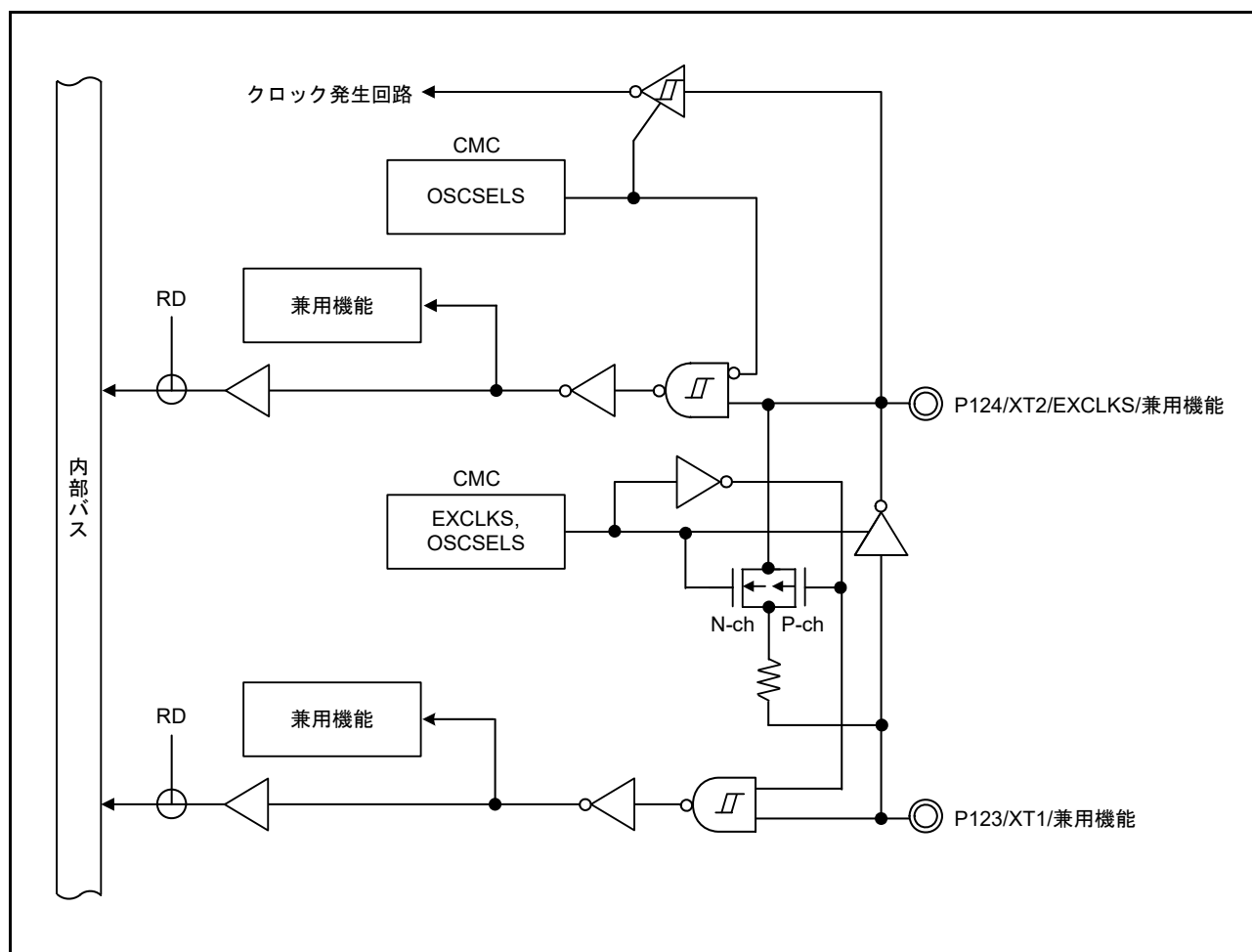


図2 - 5 端子タイプ2-1-3の端子ブロック図



備考 兼用機能は、2.1 ポートの端子機能を参照してください。

図2 - 6 端子タイプ2-2-1の端子ブロック図



備考 兼用機能は、2.1 ポートの端子機能を参照してください。

図2 - 7 端子タイプ4-3-5の端子ブロック図

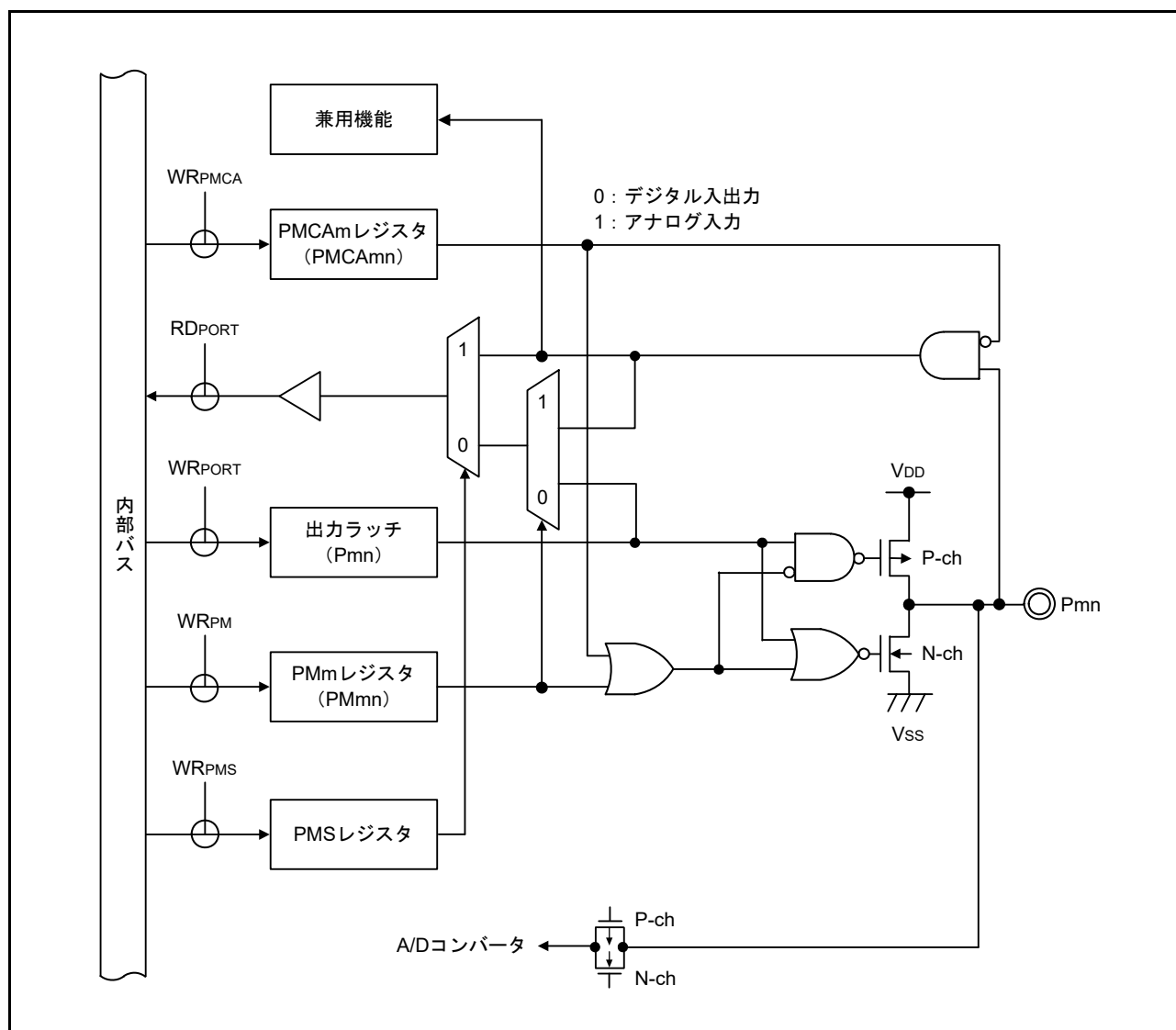
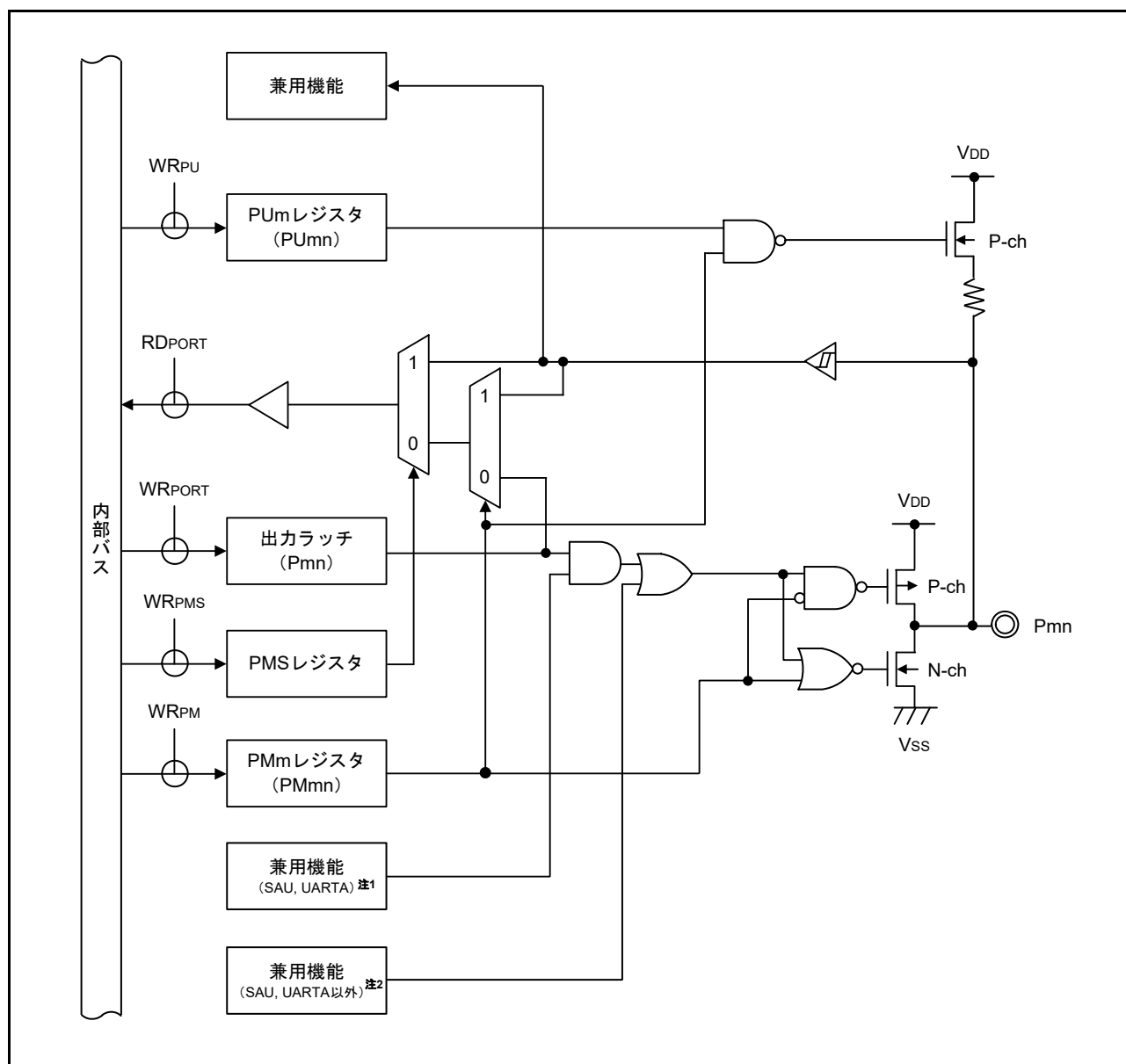


図2 - 8 端子タイプ7-1-3の端子ブロック図



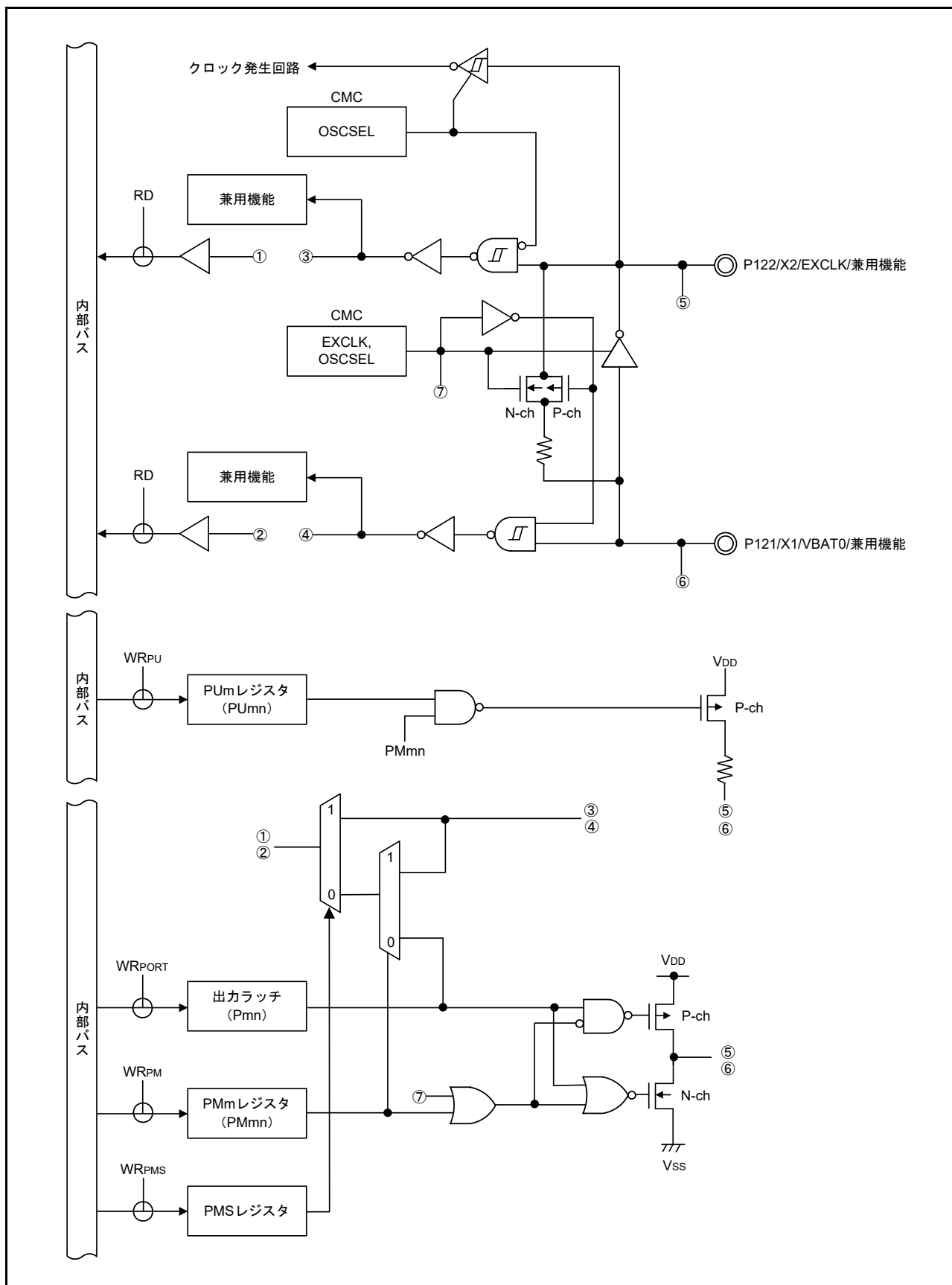
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

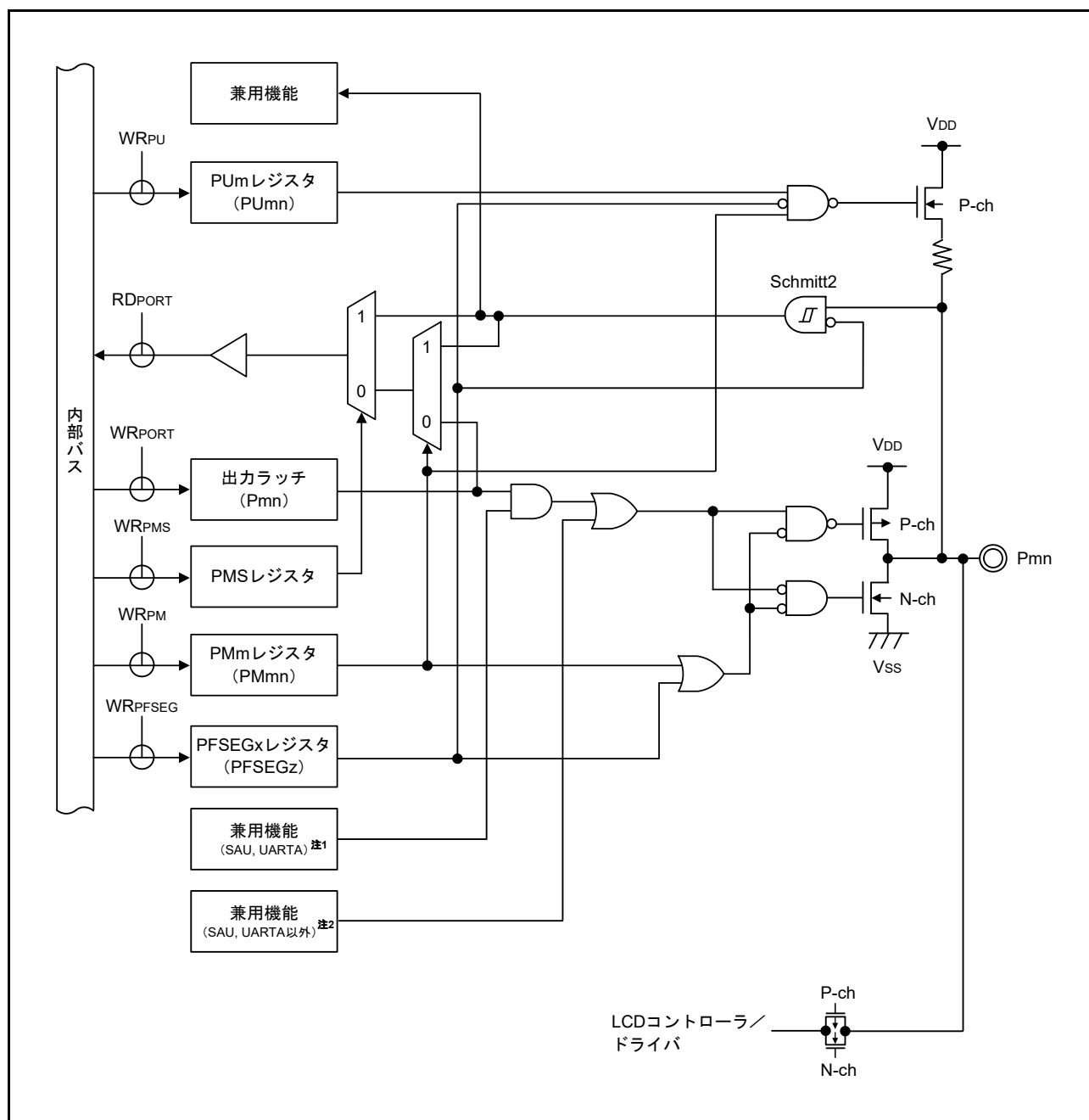
備考2. SAU : シリアル・アレイ・ユニット

図2-9 端子タイプ7-2-1の端子ブロック図



備考 兼用機能は、2.1 ポートの端子機能を参照してください。

図2 - 10 端子タイプ7-5-4の端子ブロック図



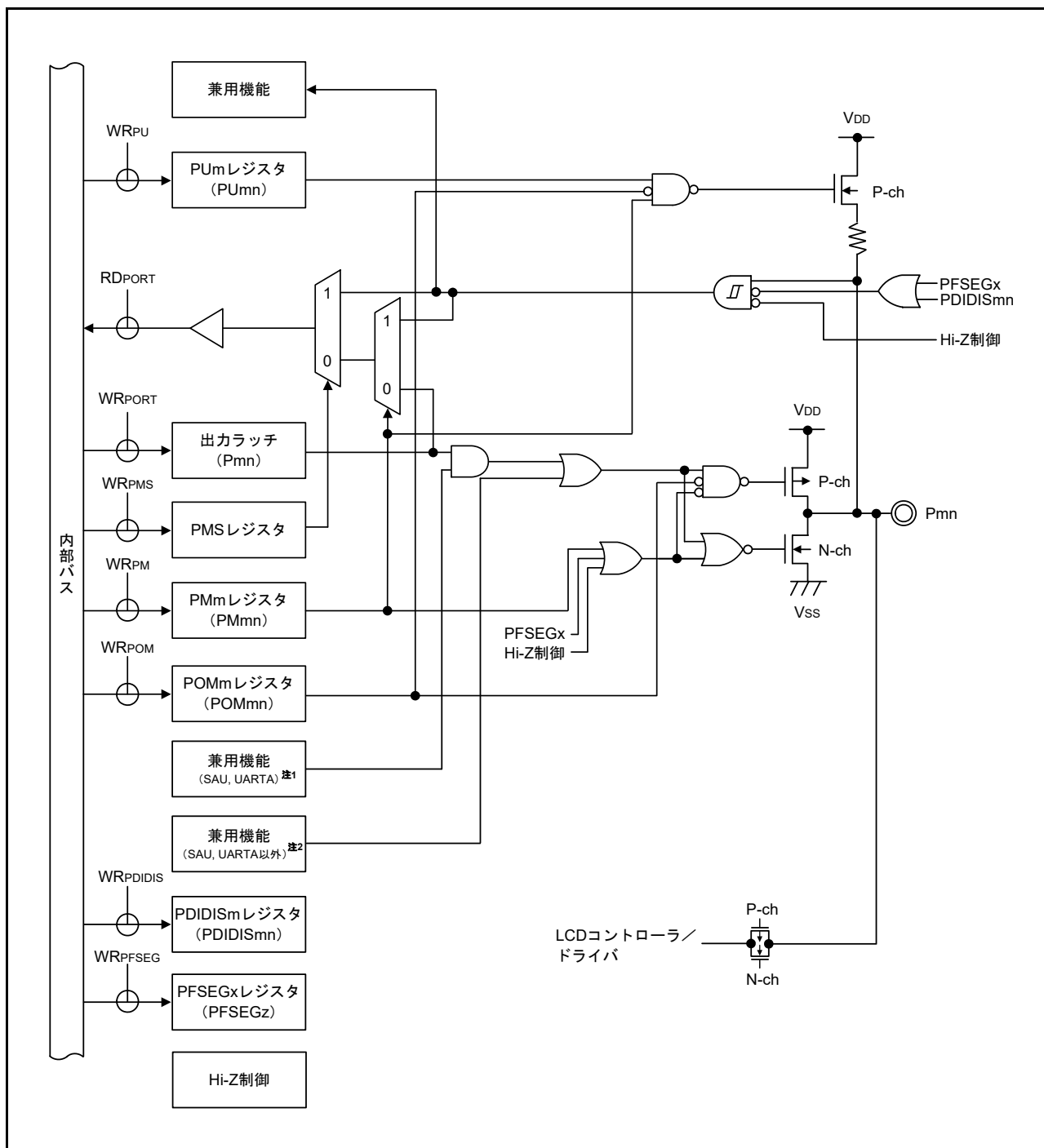
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 11 端子タイプ7-5-30の端子ブロック図



注1. UARTAのクロック出力を除く

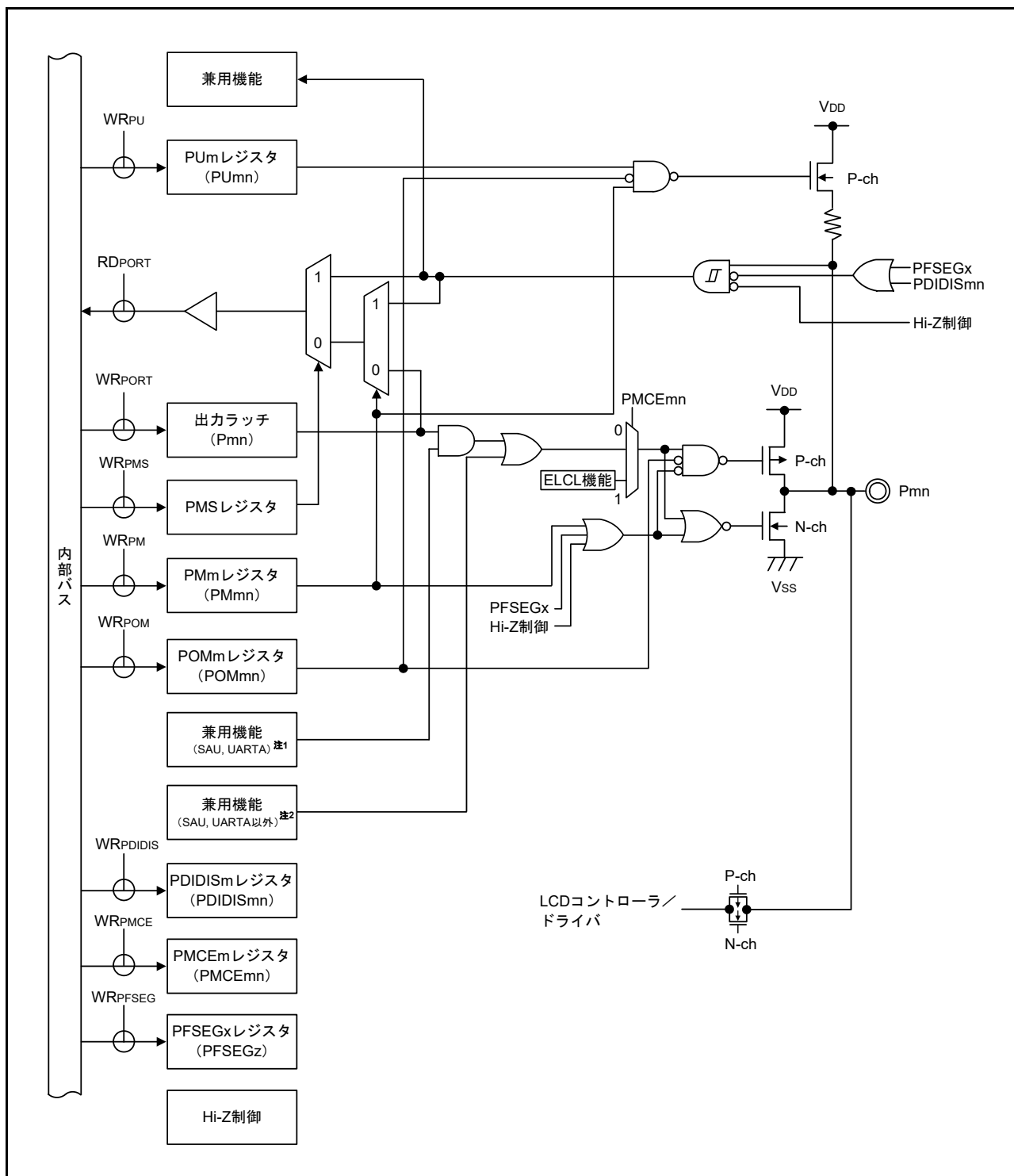
注2. UARTAのクロック出力を含む

注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 12 端子タイプ7-5-31の端子ブロック図



注1. UARTAのクロック出力を除く

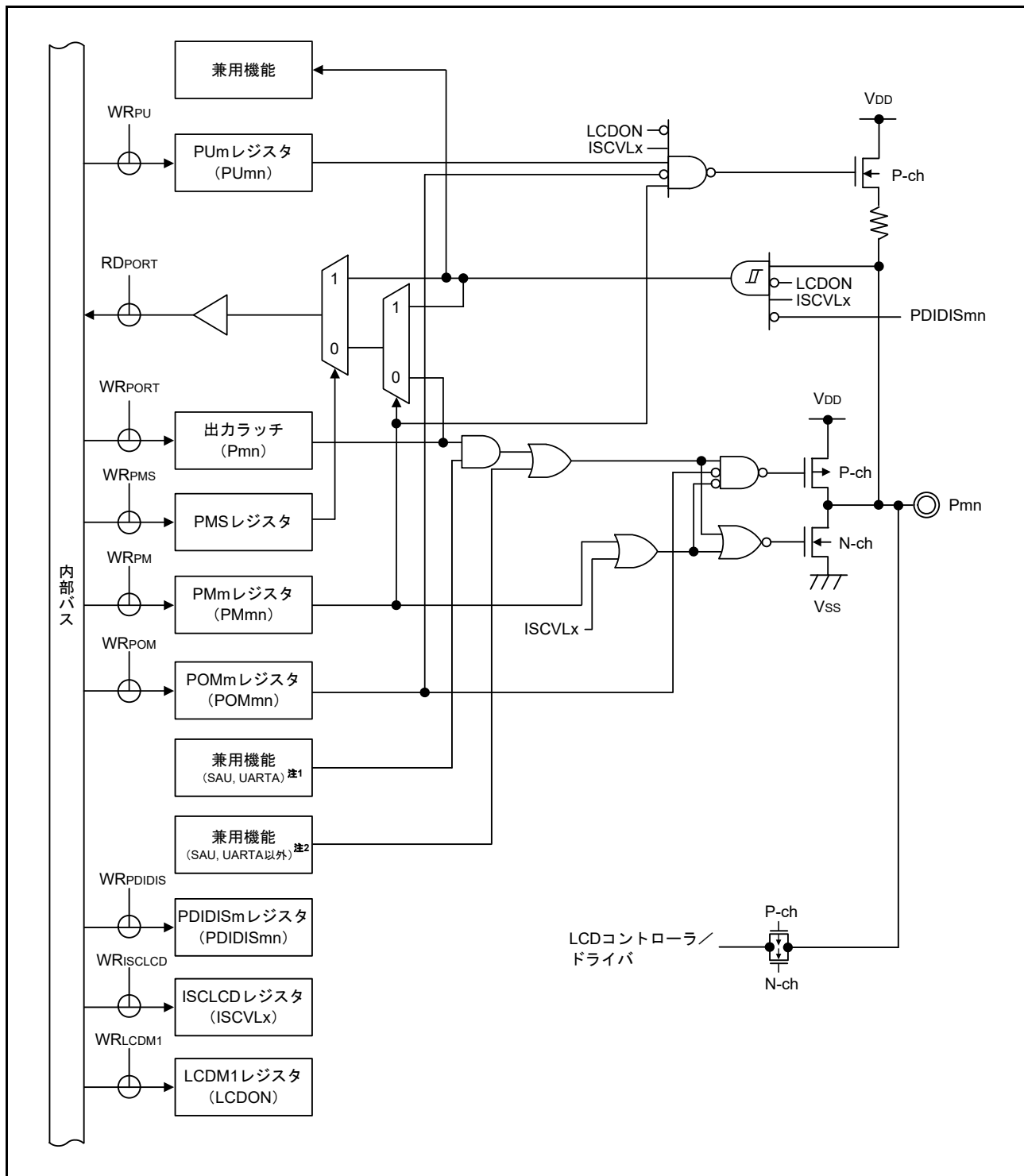
注2. UARTAのクロック出力を含む

注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-13 端子タイプ7-5-32の端子ブロック図



注1. UARTAのクロック出力を除く

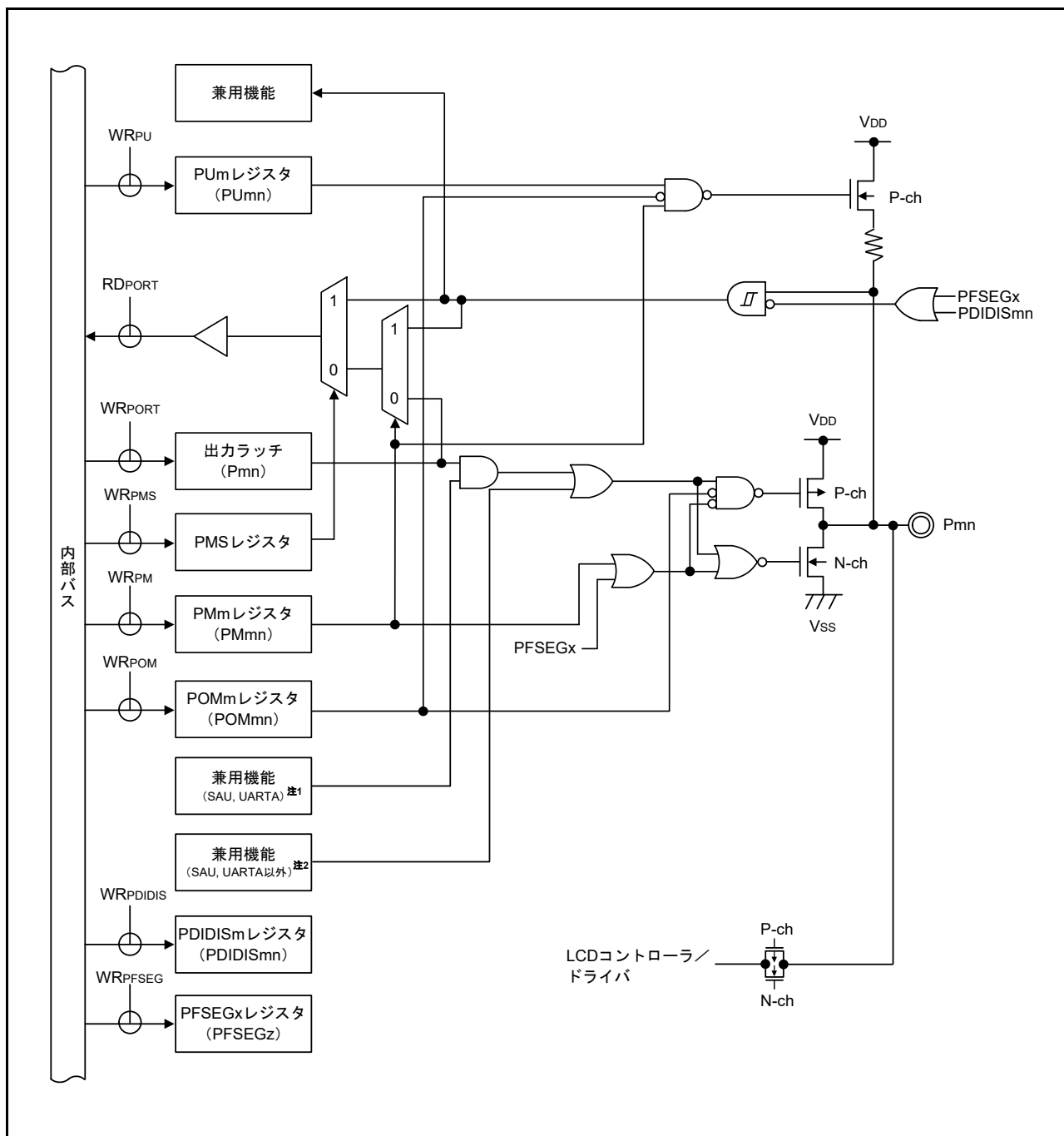
注2. UARTAのクロック出力を含む

注意 ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力パツファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 14 端子タイプ7-5-33の端子ブロック図



注1. UARTAのクロック出力を除く

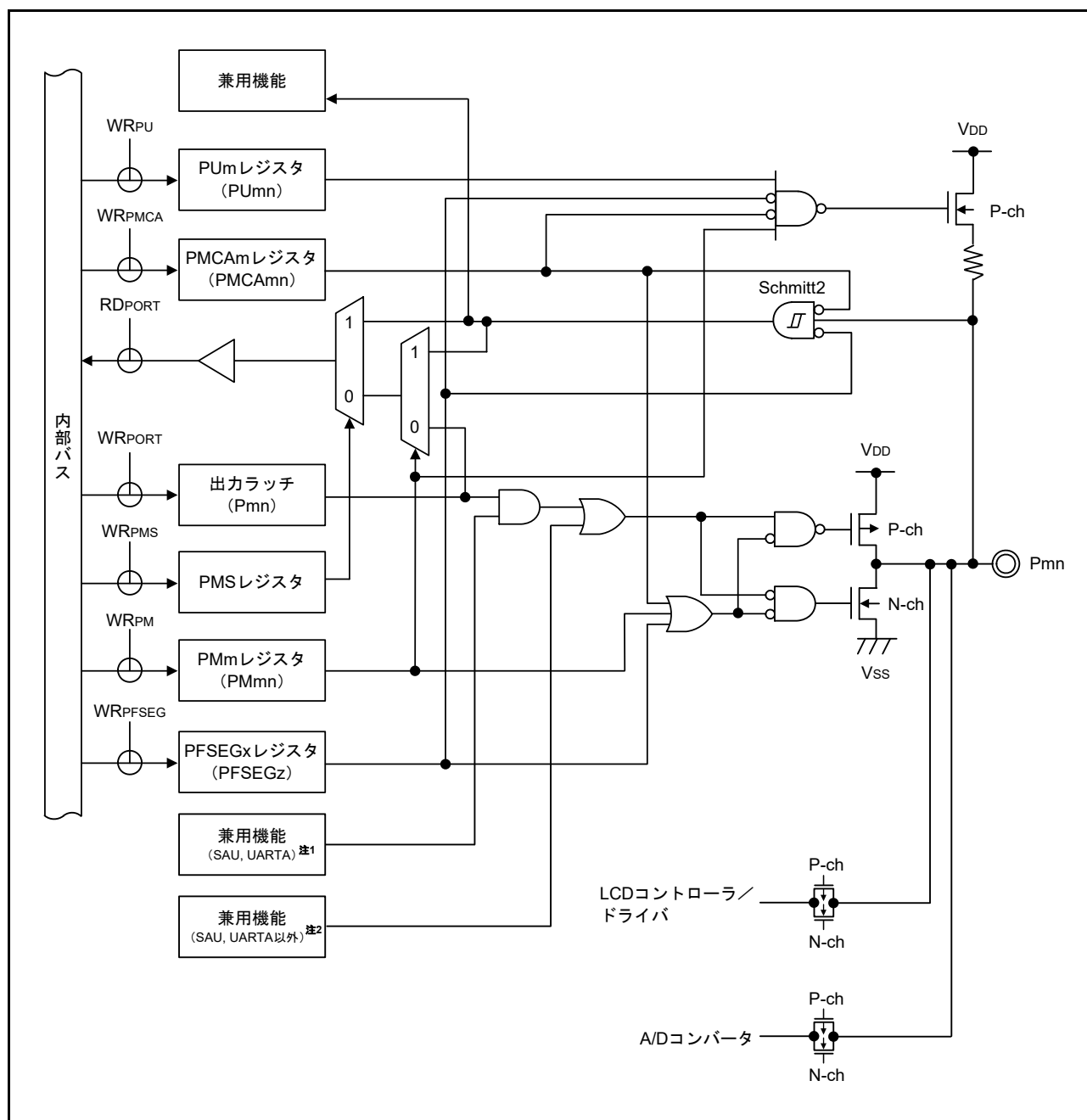
注2. UARTAのクロック出力を含む

注意 ポート出力モード・レジスタ (POMmn) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmnレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-15 端子タイプ7-10-3の端子ブロック図



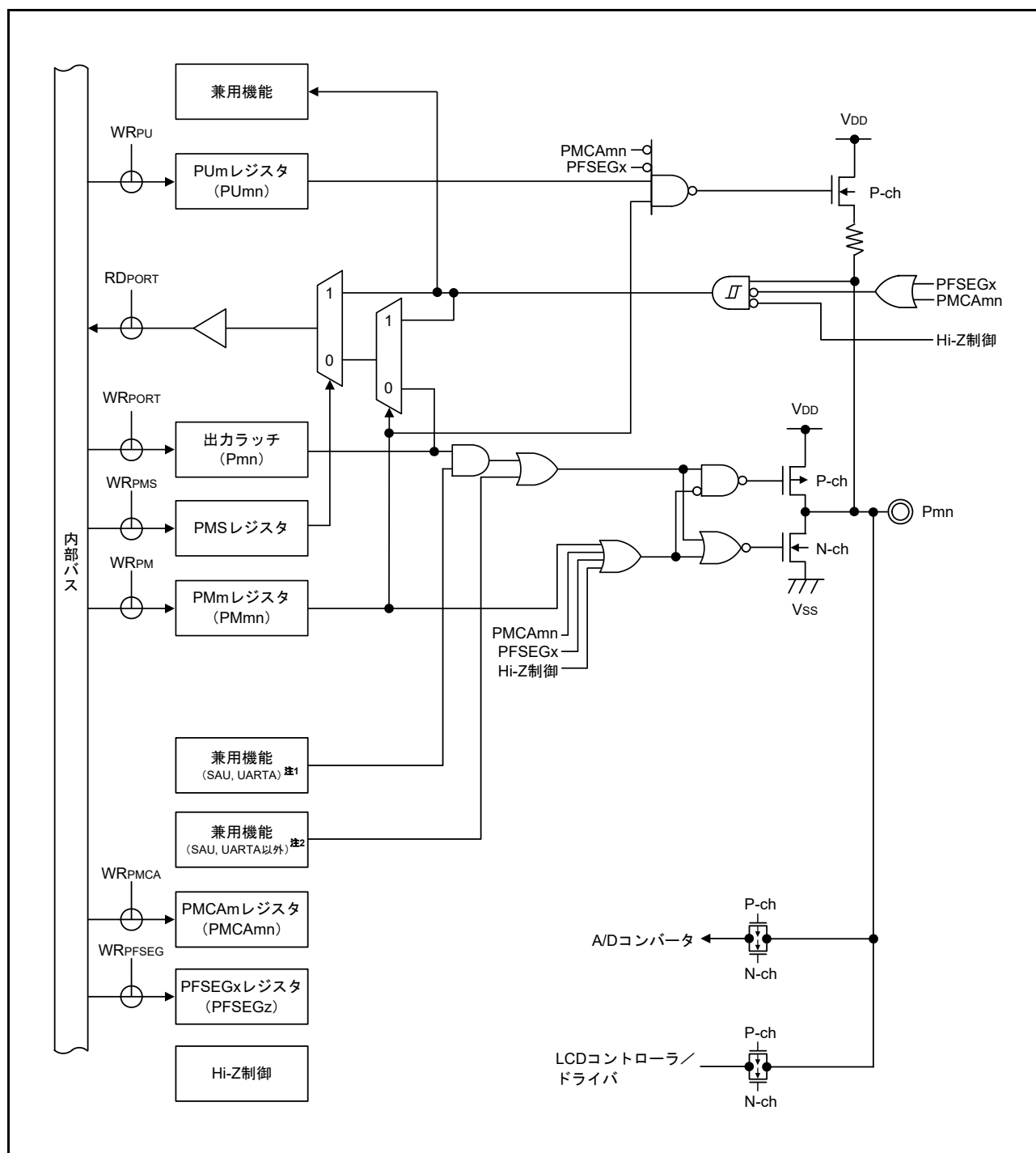
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 16 端子タイプ7-10-5の端子ブロック図



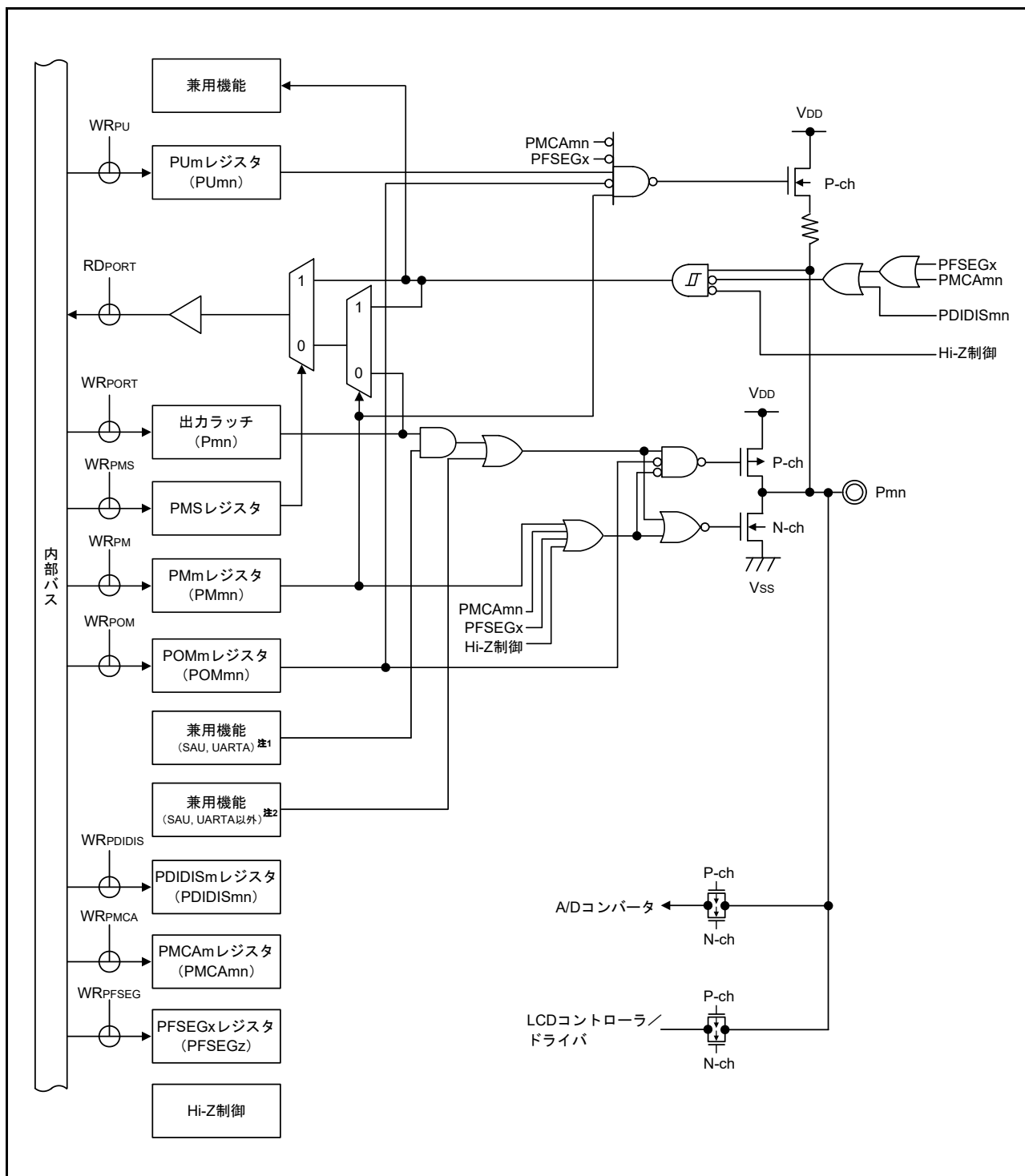
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-17 端子タイプ7-10-6の端子ブロック図



注1. UARTAのクロック出力を除く

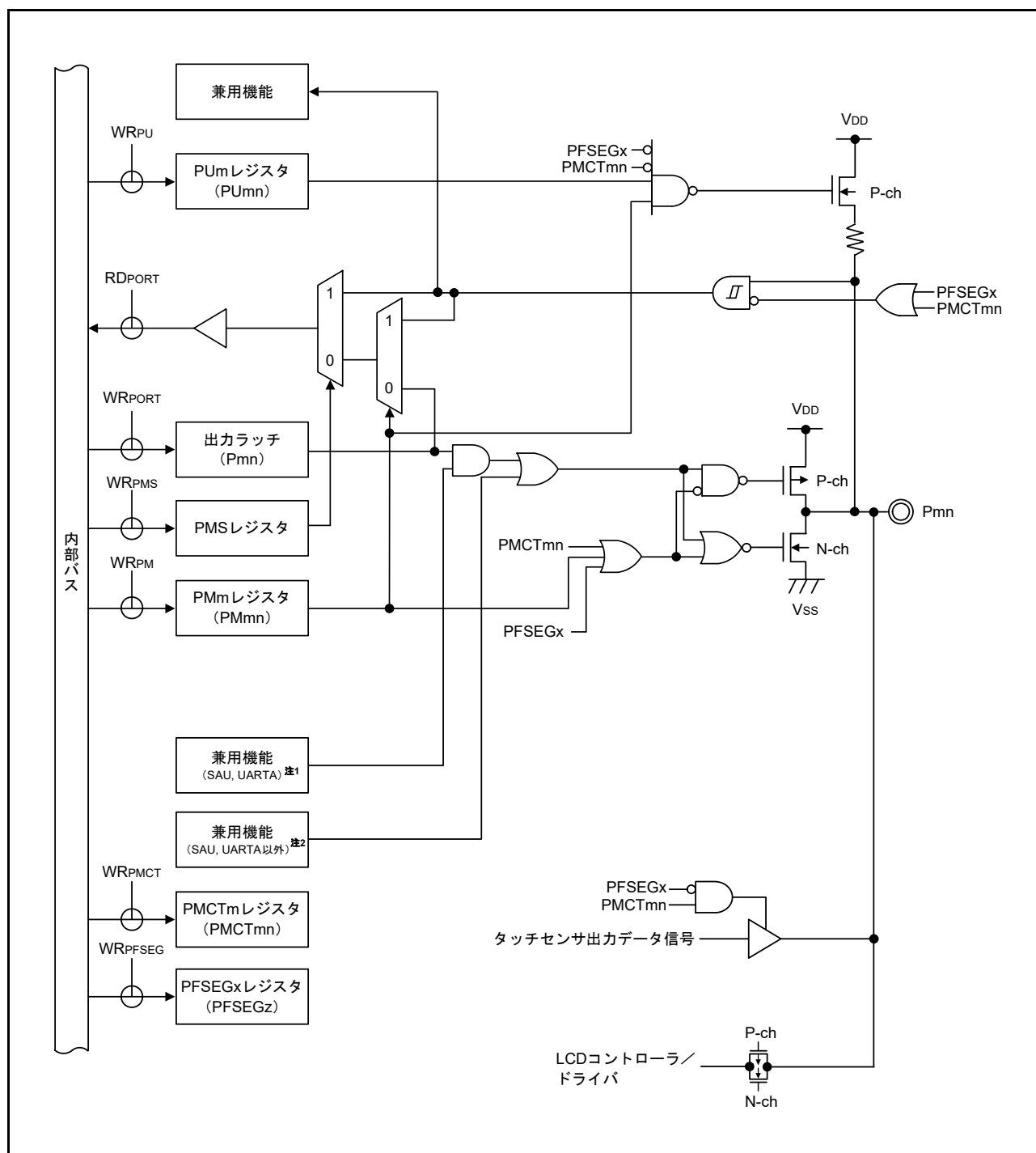
注2. UARTAのクロック出力を含む

注意 ポート出力モード・レジスタ（POMmn）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmnレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 18 端子タイプ7-44-1の端子ブロック図



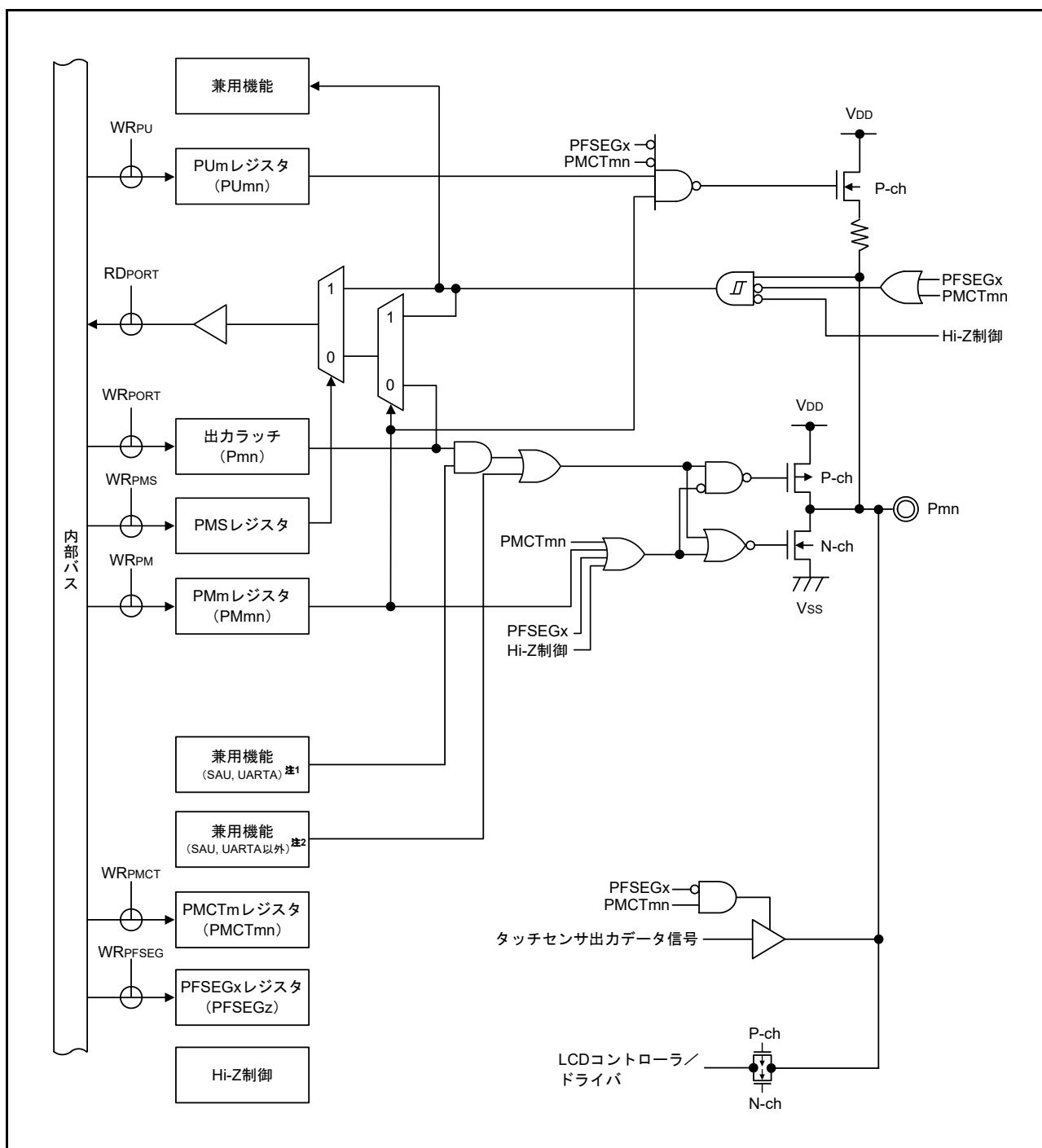
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2 - 19 端子タイプ7-44-2の端子ブロック図



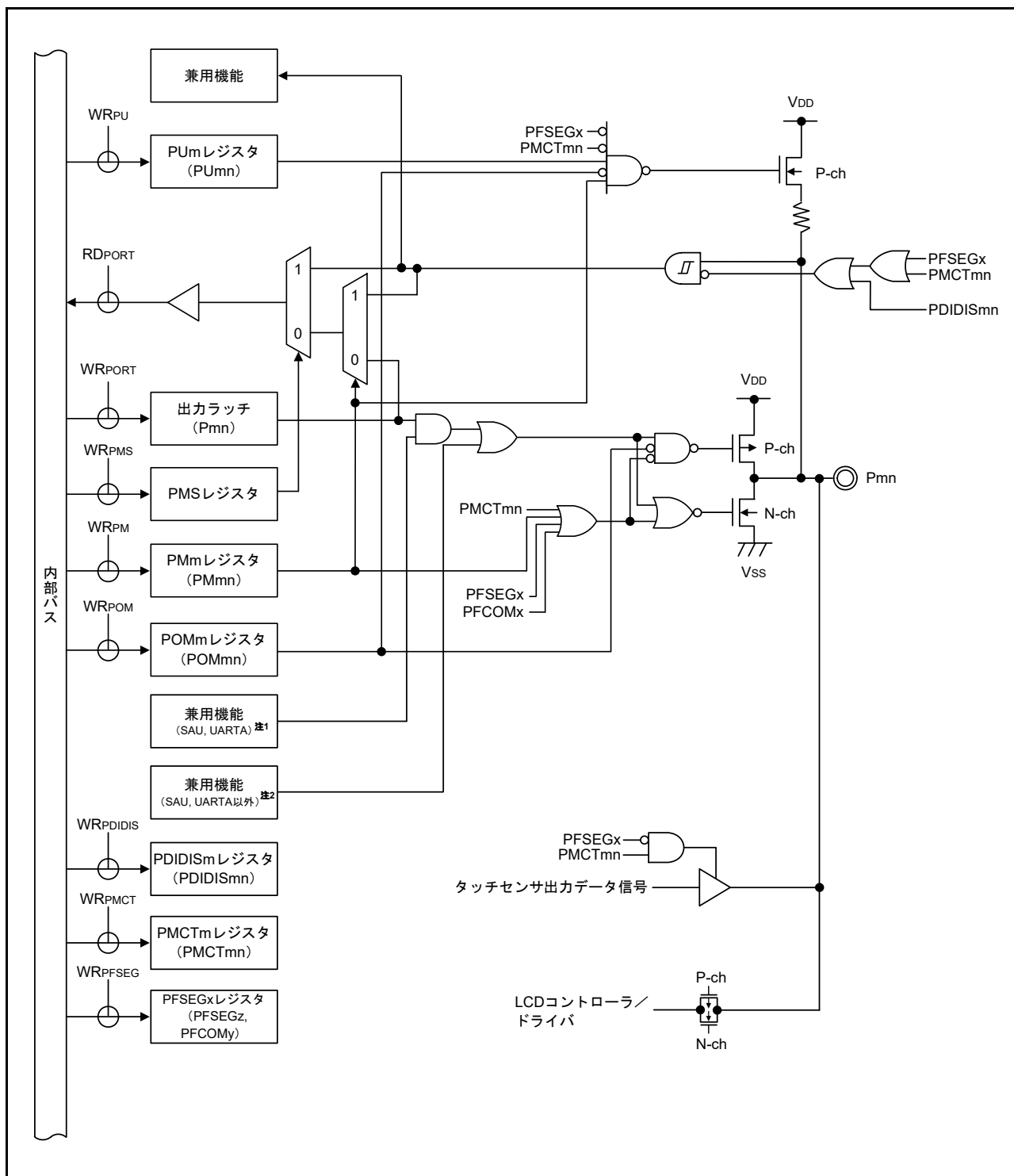
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-20 端子タイプ7-44-3の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注意 ポート出力モード・レジスタ (POMmn) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmnレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

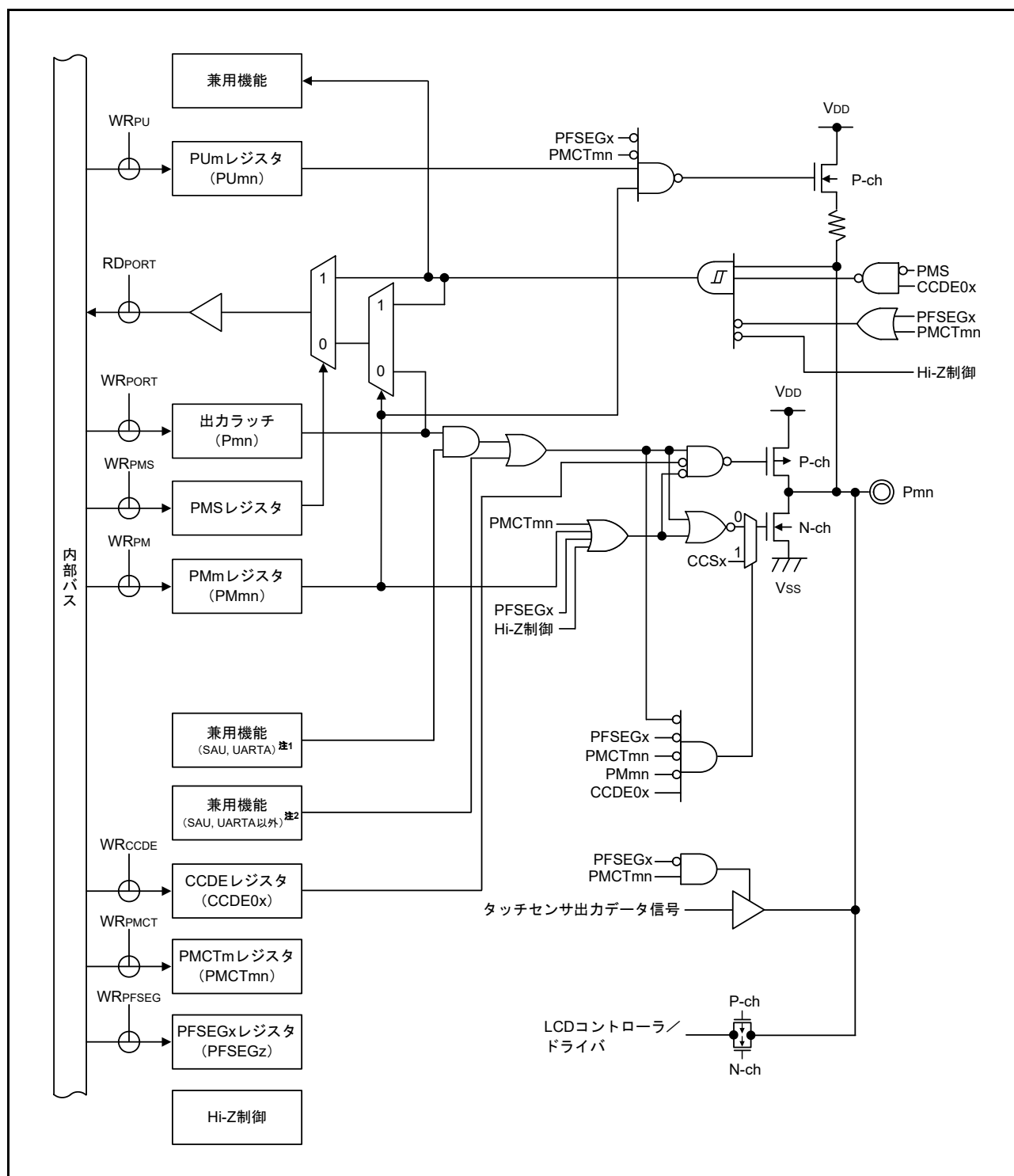
備考2. SAU : シリアル・アレイ・ユニット

[illegible]

注2. UARTAのクロック出力を含む

備考2. SAU：シリアル・アレイ・ユニット

図2-22 端子タイプ7-45-1の端子ブロック図



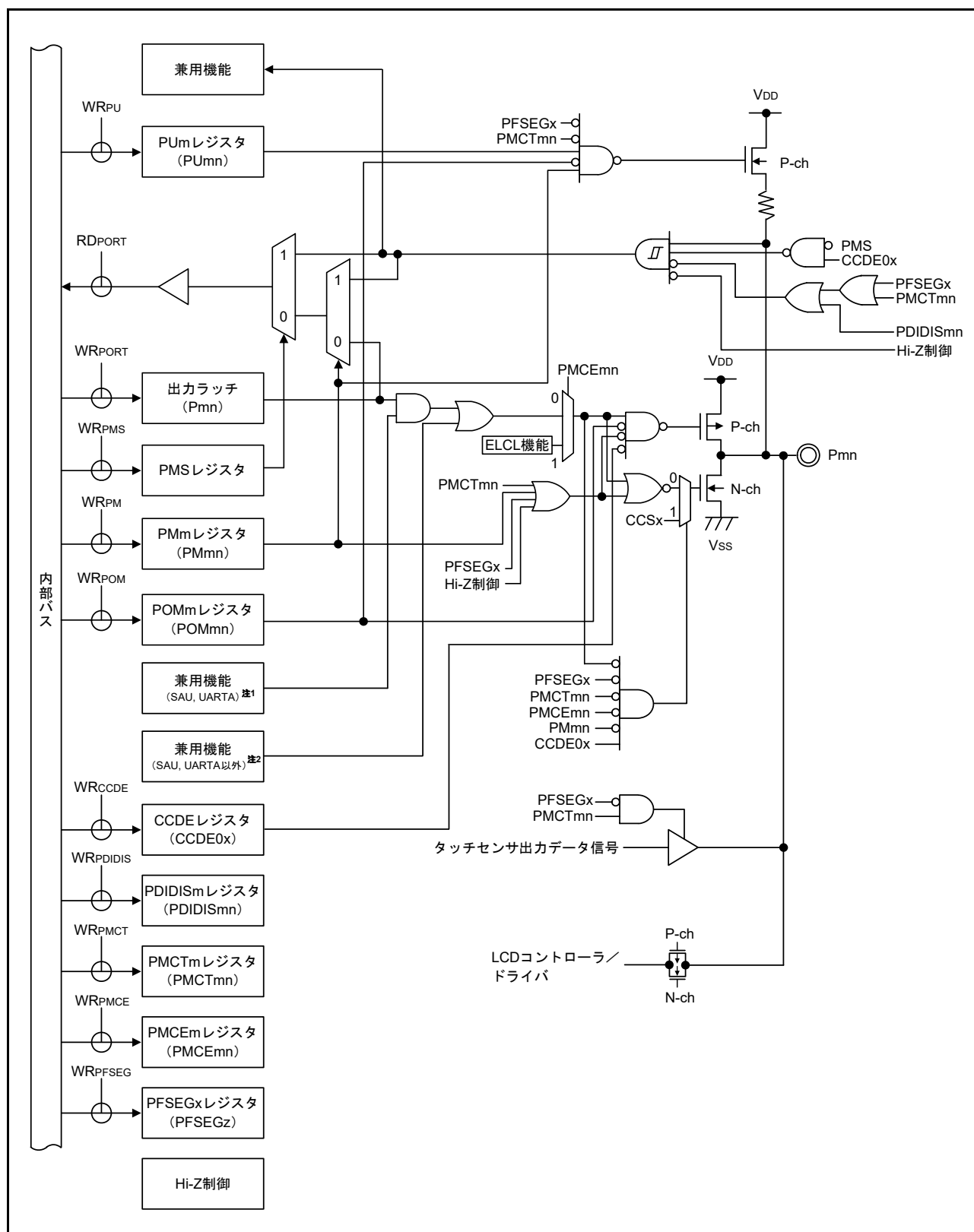
注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-23 端子タイプ7-45-2の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

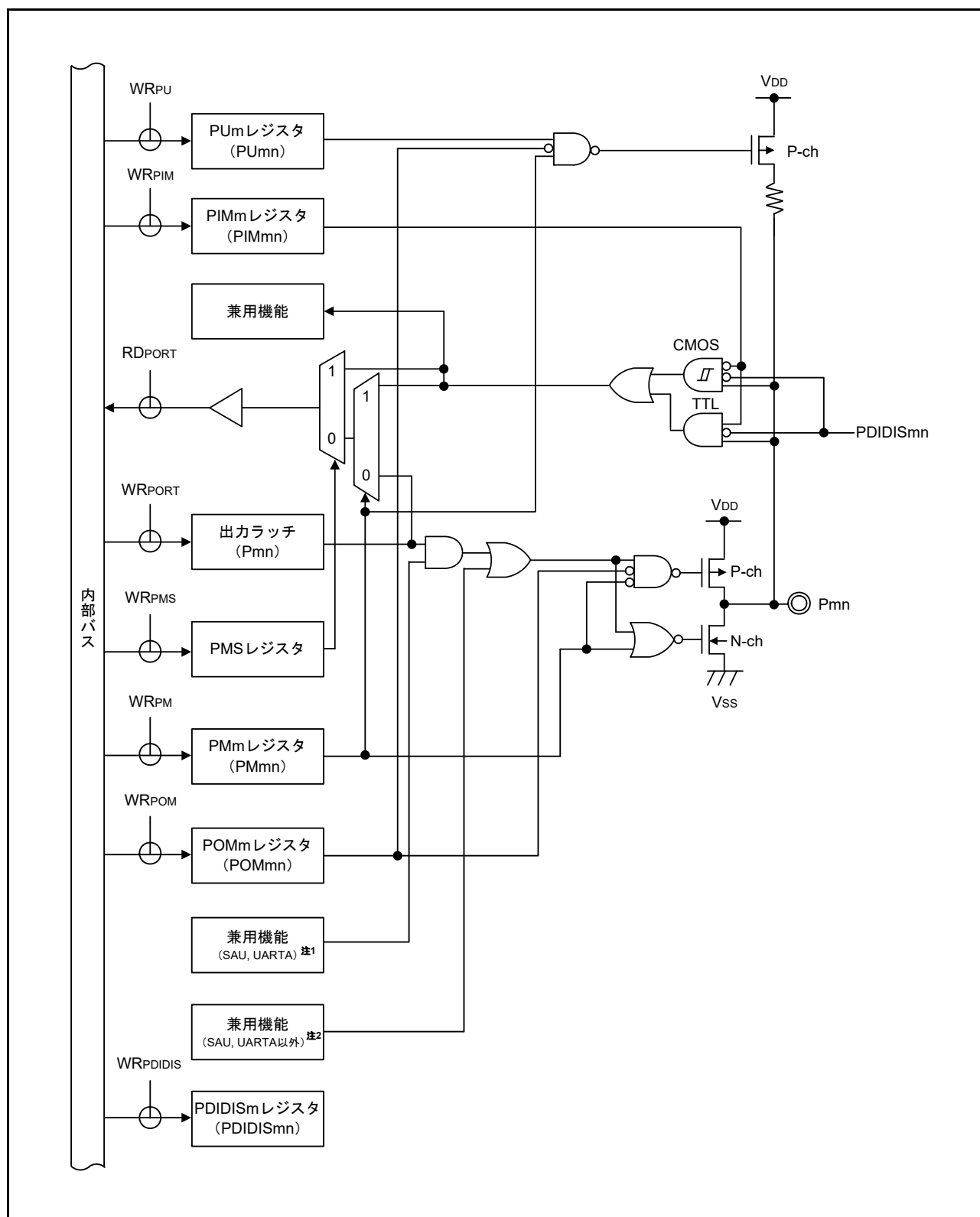
(注意、備考は次ページに続きます)

注意 ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-24 端子タイプ8-1-10の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

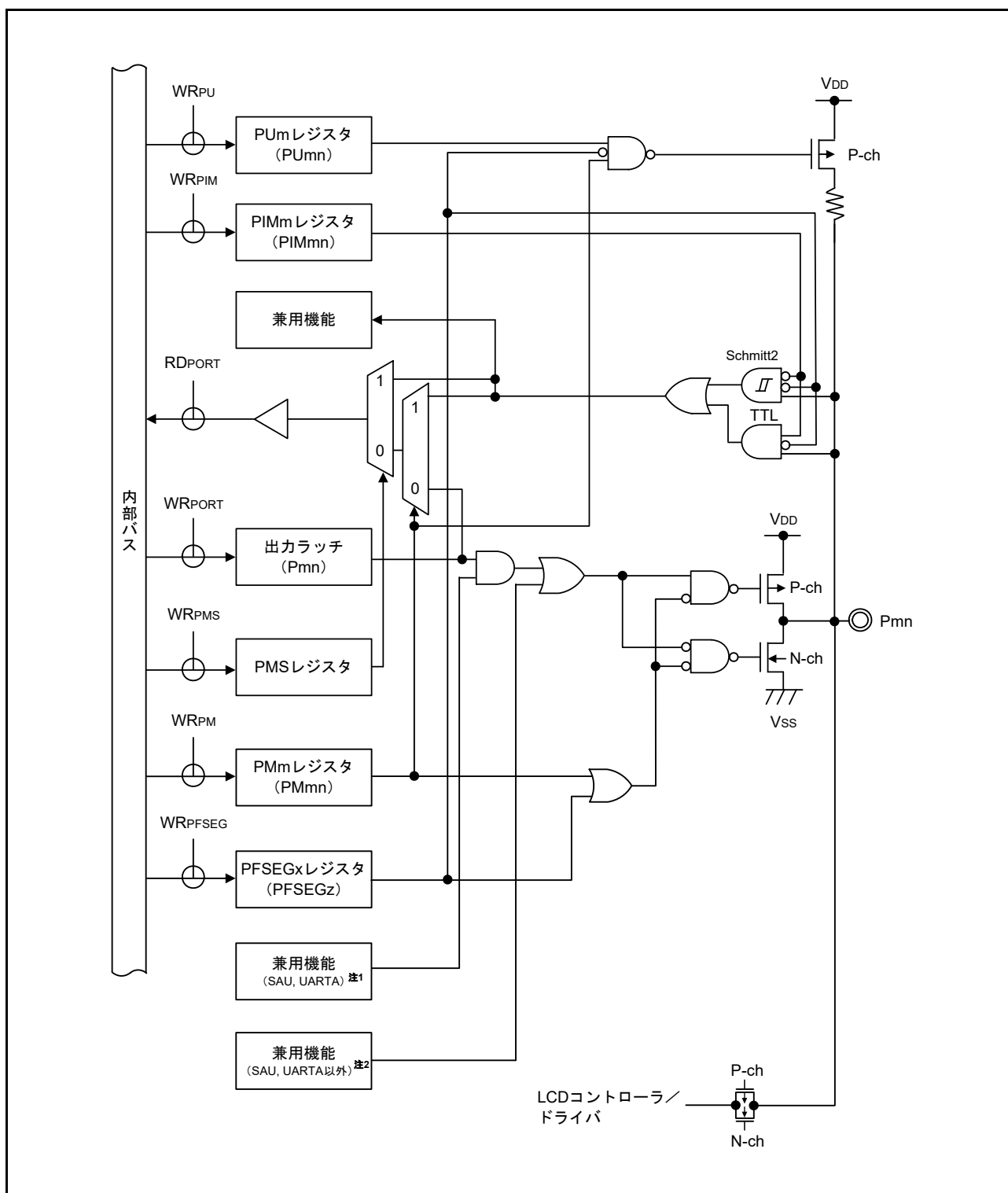
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 25 端子タイプ8-5-4の端子ブロック図



注1. UARTAのクロック出力を除く

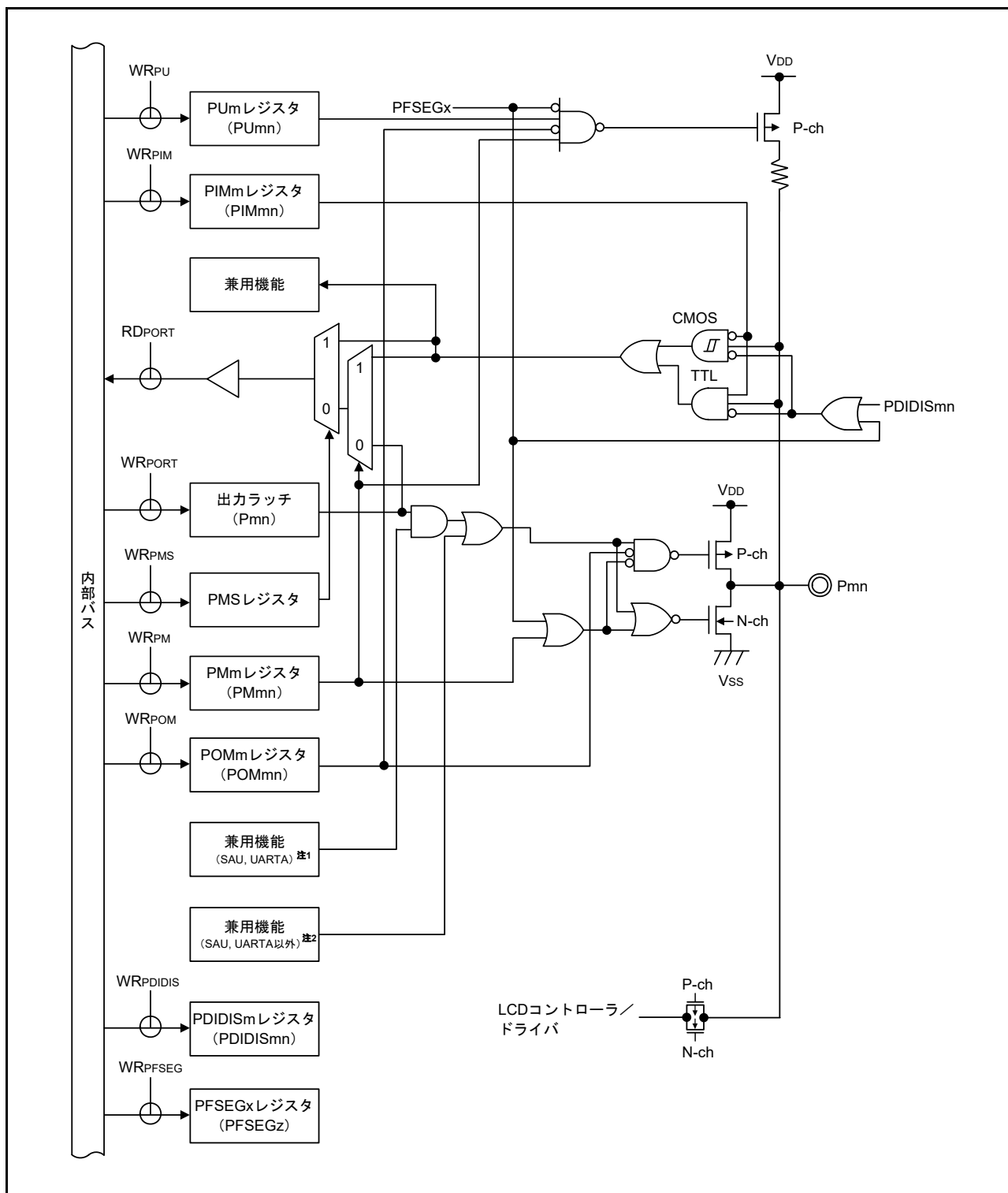
注2. UARTAのクロック出力を含む

注意 ポート入力モード・レジスタ (PIMm) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図 2 - 26 端子タイプ 8-5-17 の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注意1. ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

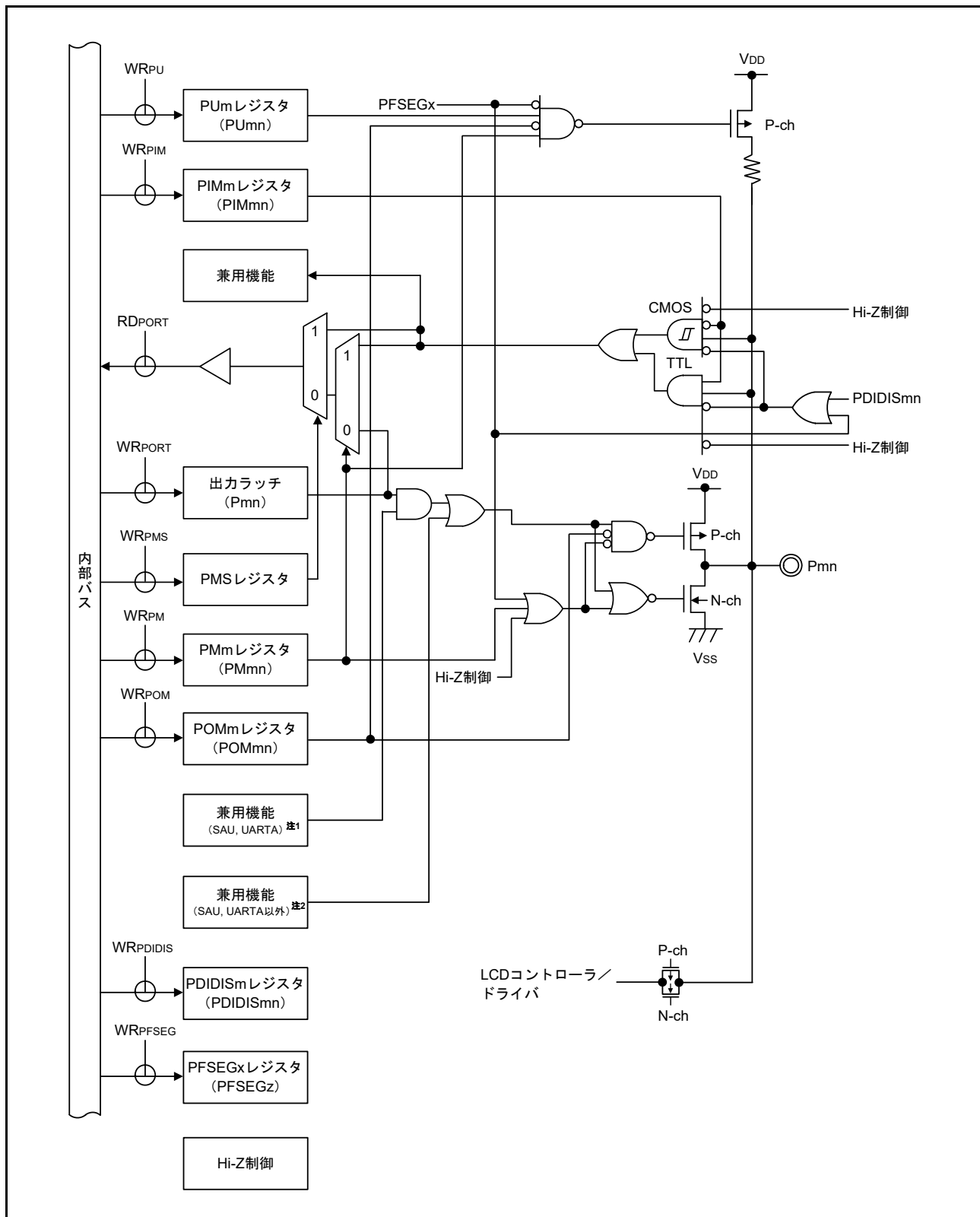
(注意、備考は次ページに続きます)

注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-27 端子タイプ8-5-18の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

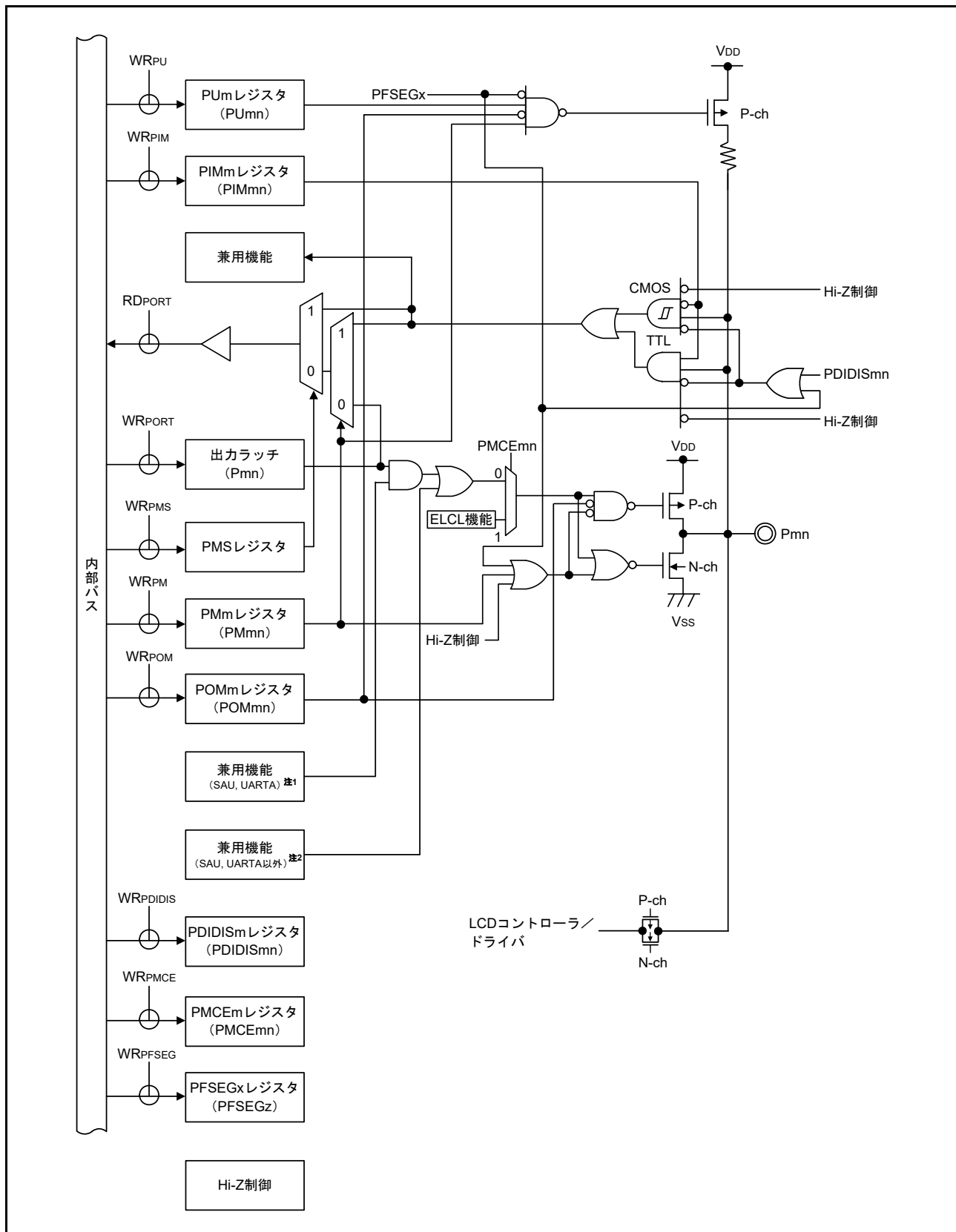
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-28 端子タイプ8-5-19の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

(注意、備考は次ページに続きます)

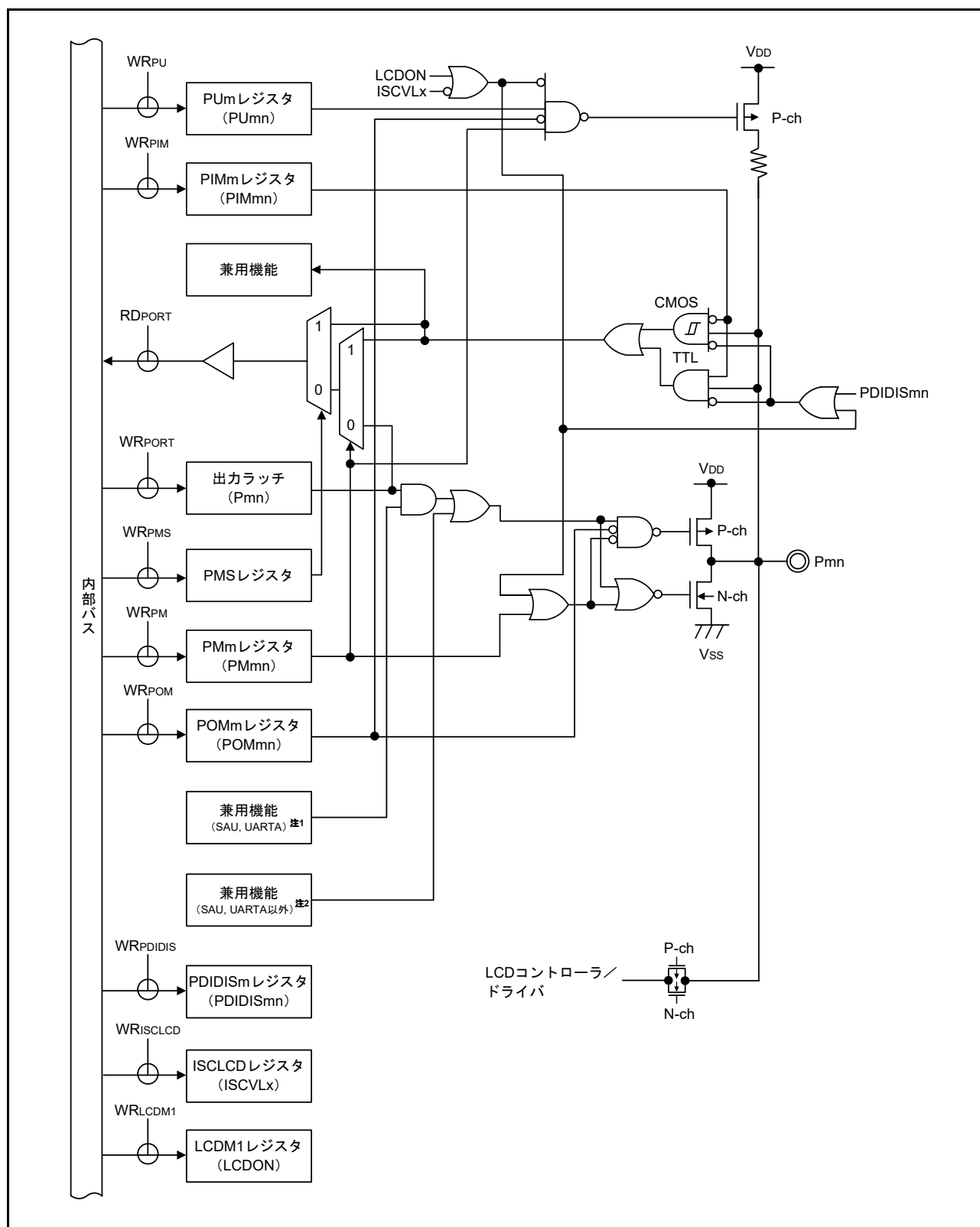
注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-29 端子タイプ8-5-20の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

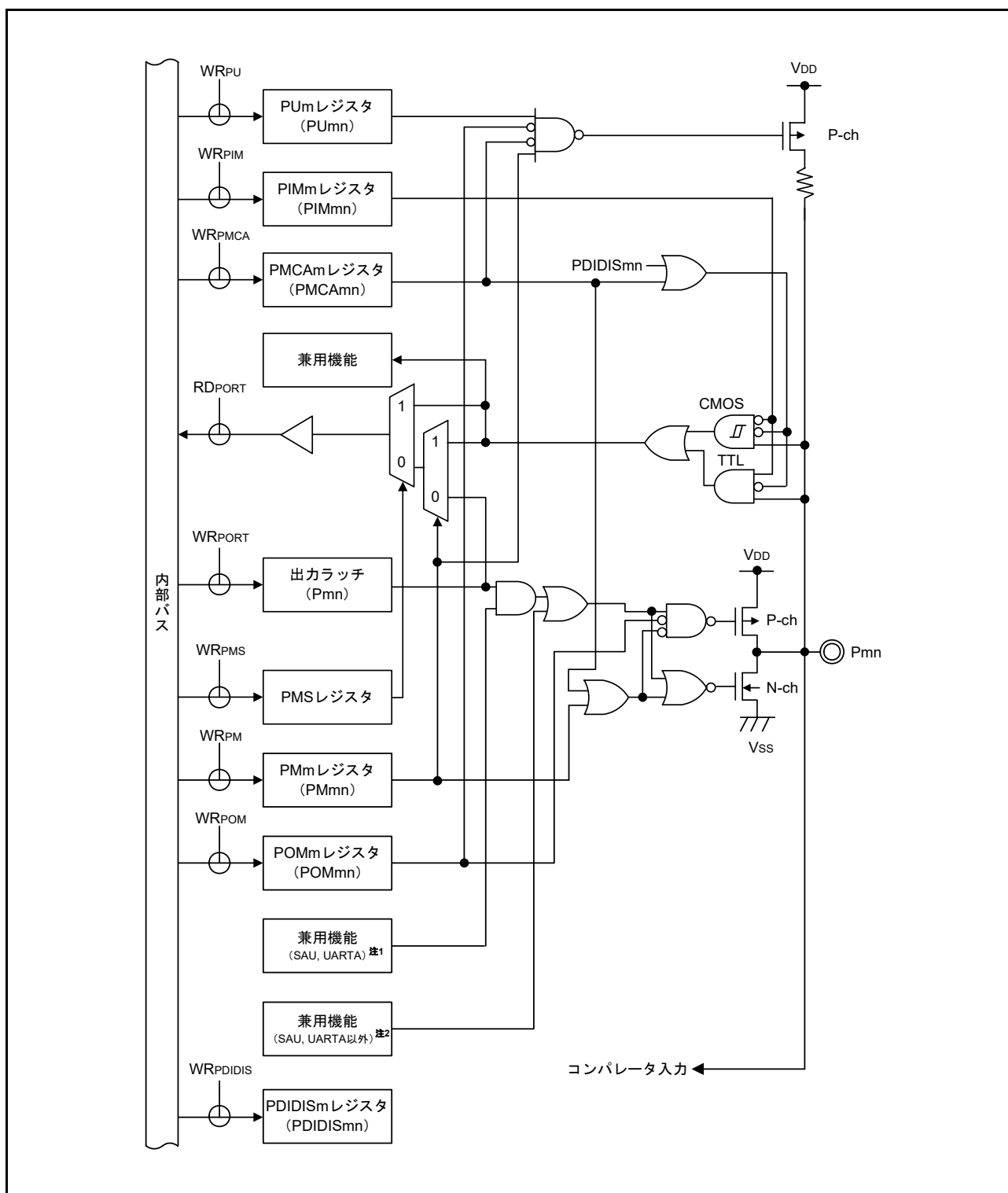
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-30 端子タイプ8-6-10の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注意1. ポート出力モード・レジスタ (POMm) でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

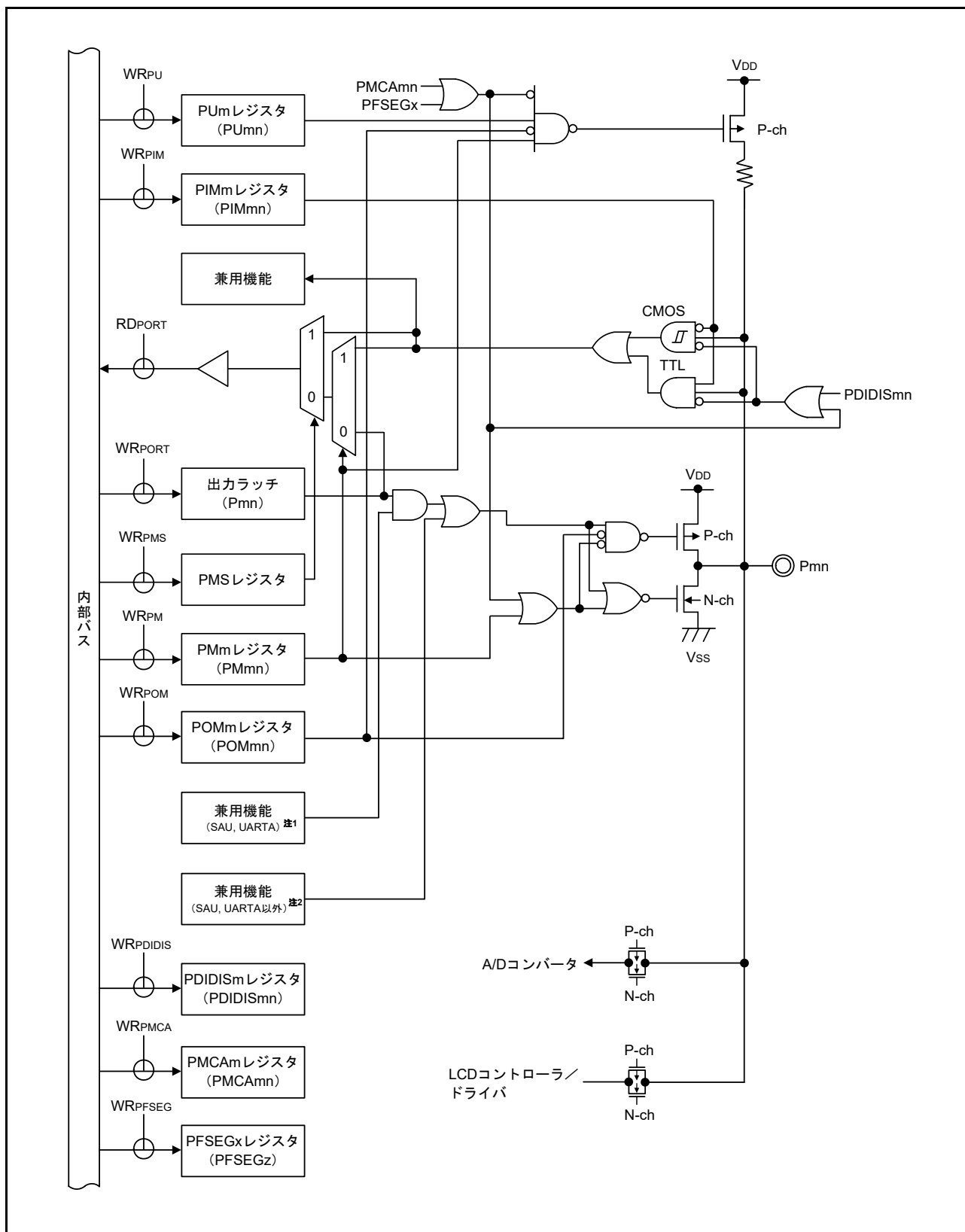
(備考は次ページに続きます)

注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 31 端子タイプ8-10-1の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

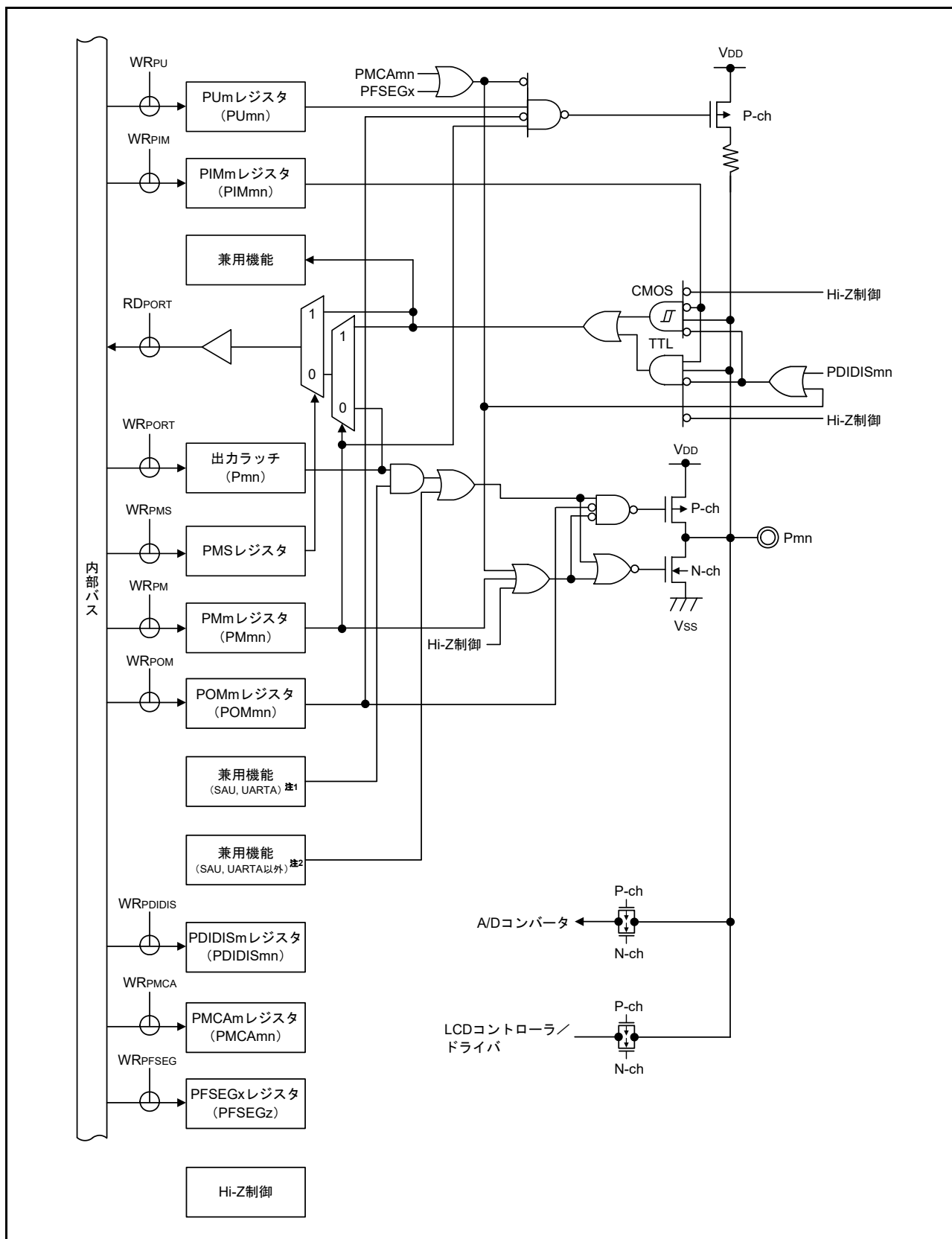
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 32 端子タイプ8-10-2の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

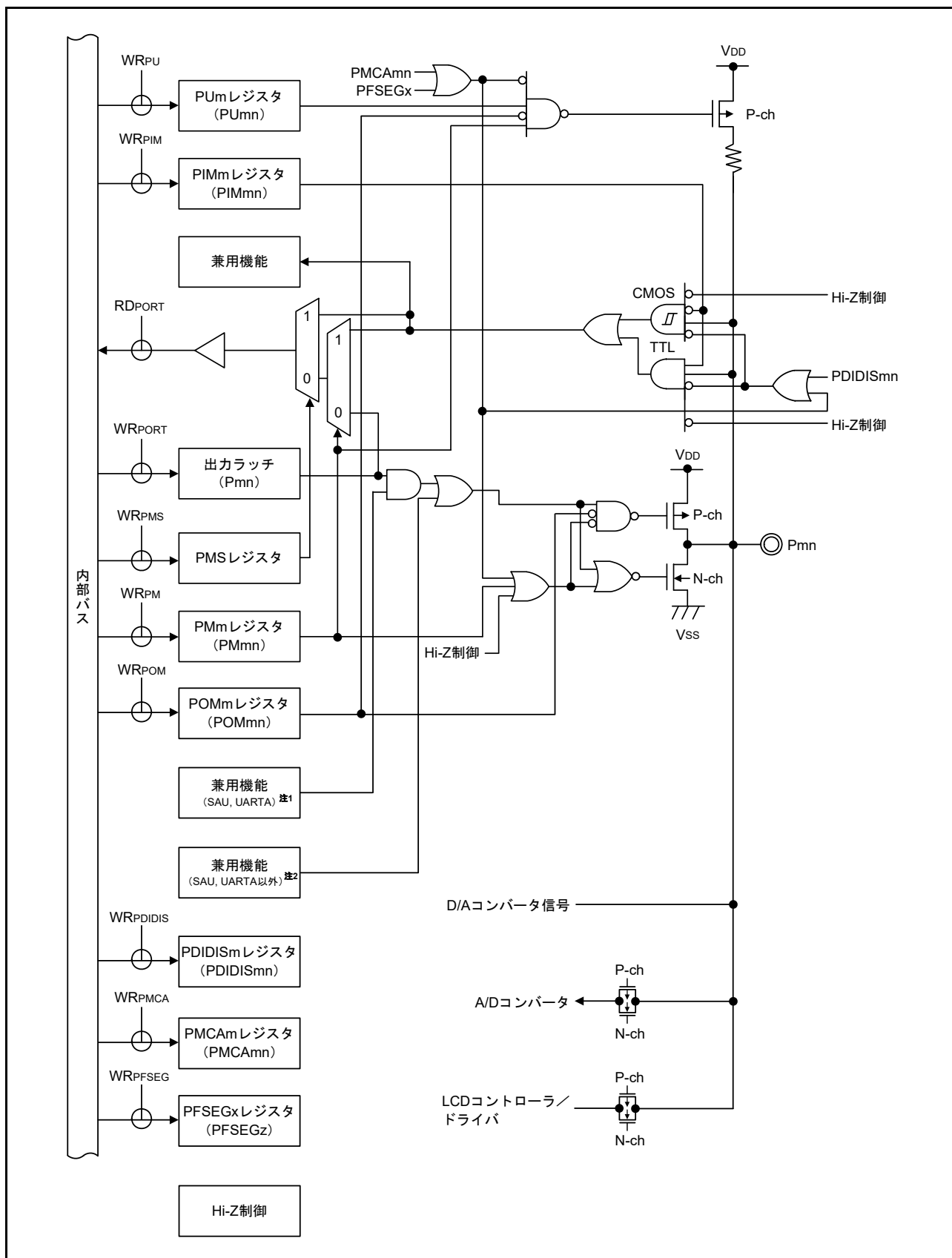
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 33 端子タイプ8-43-1の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

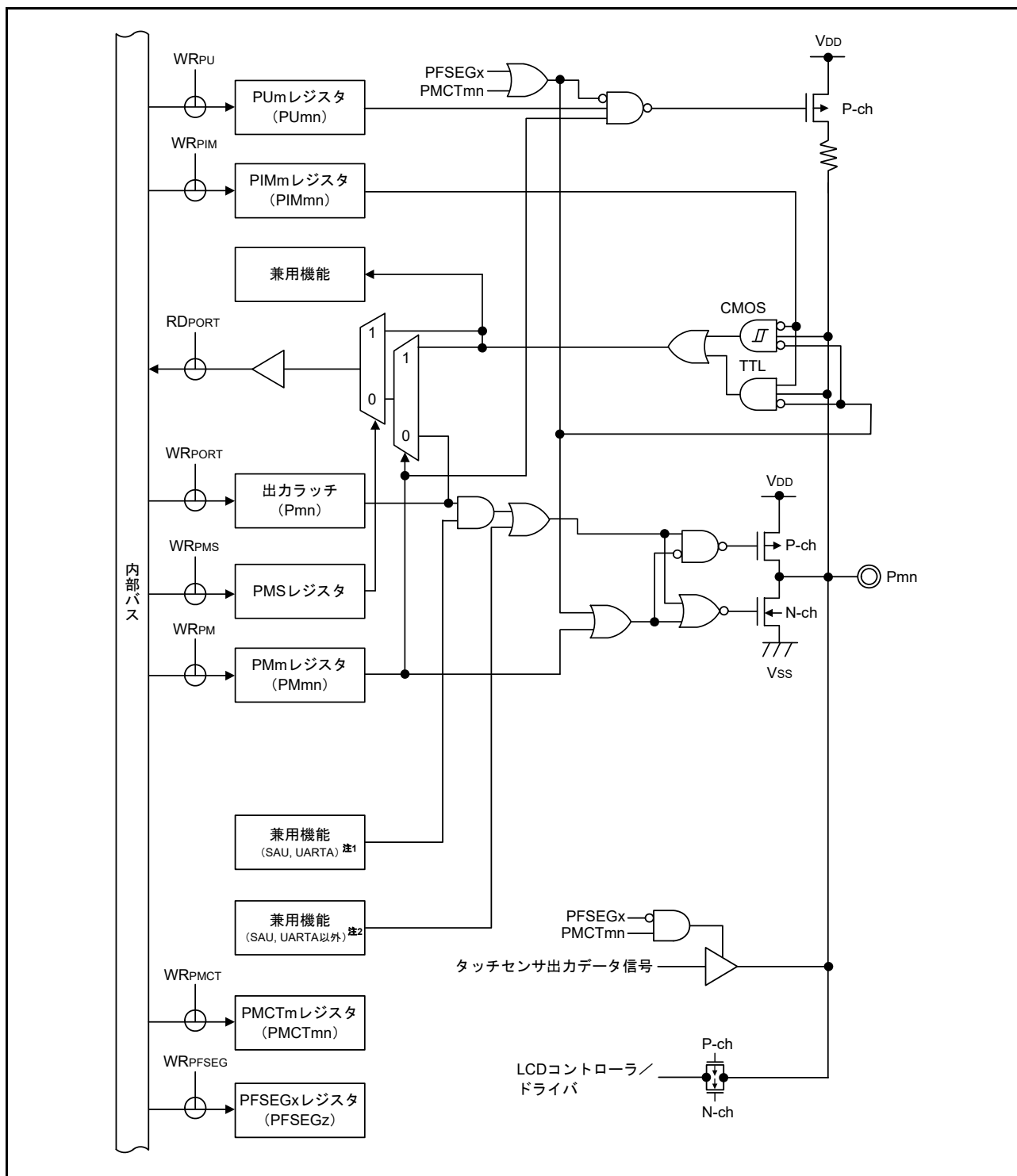
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 34 端子タイプ8-44-1の端子ブロック図



注1. UARTAのクロック出力を除く

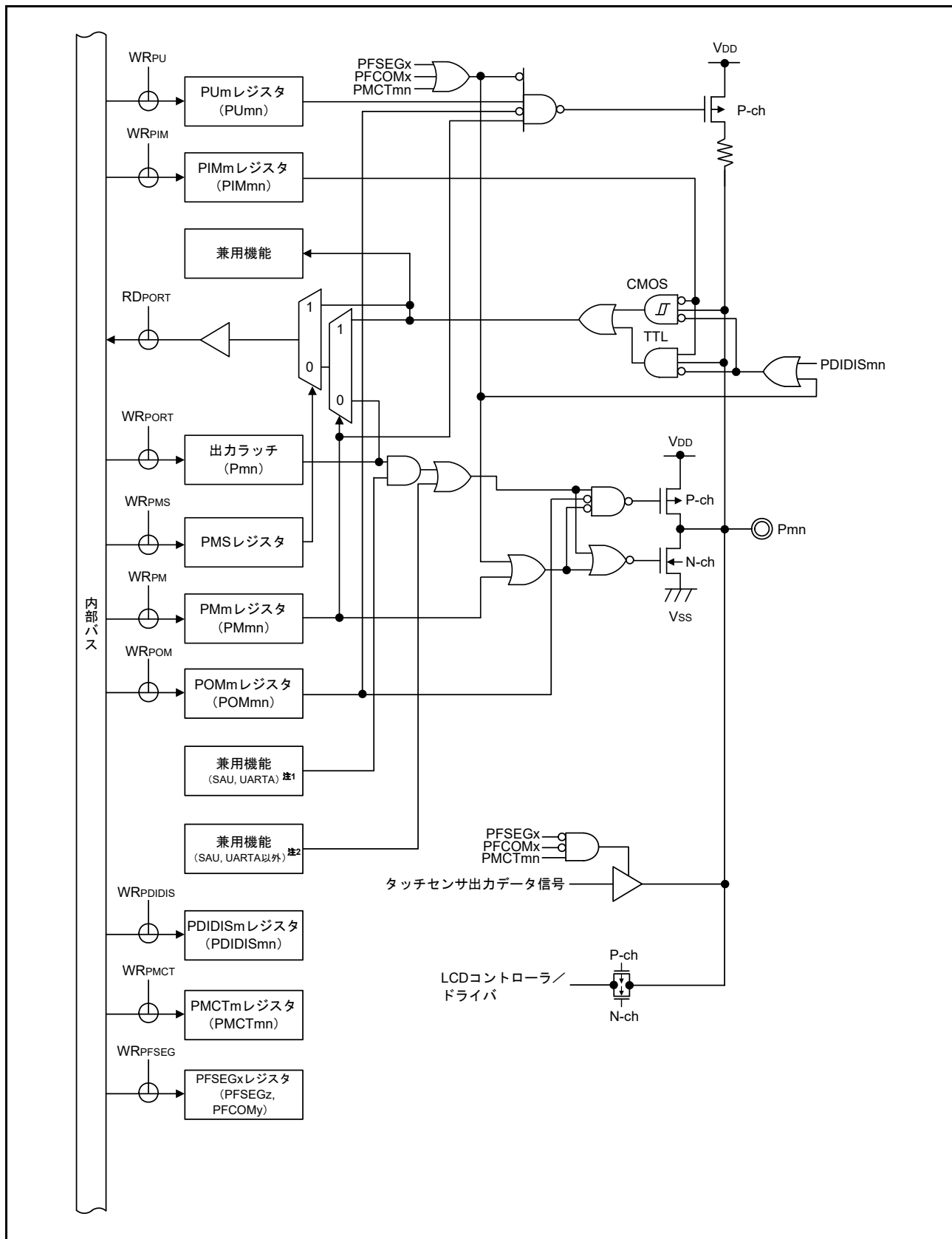
注2. UARTAのクロック出力を含む

注意 ポート入力モード・レジスタ (PIMm) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-35 端子タイプ8-44-2の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

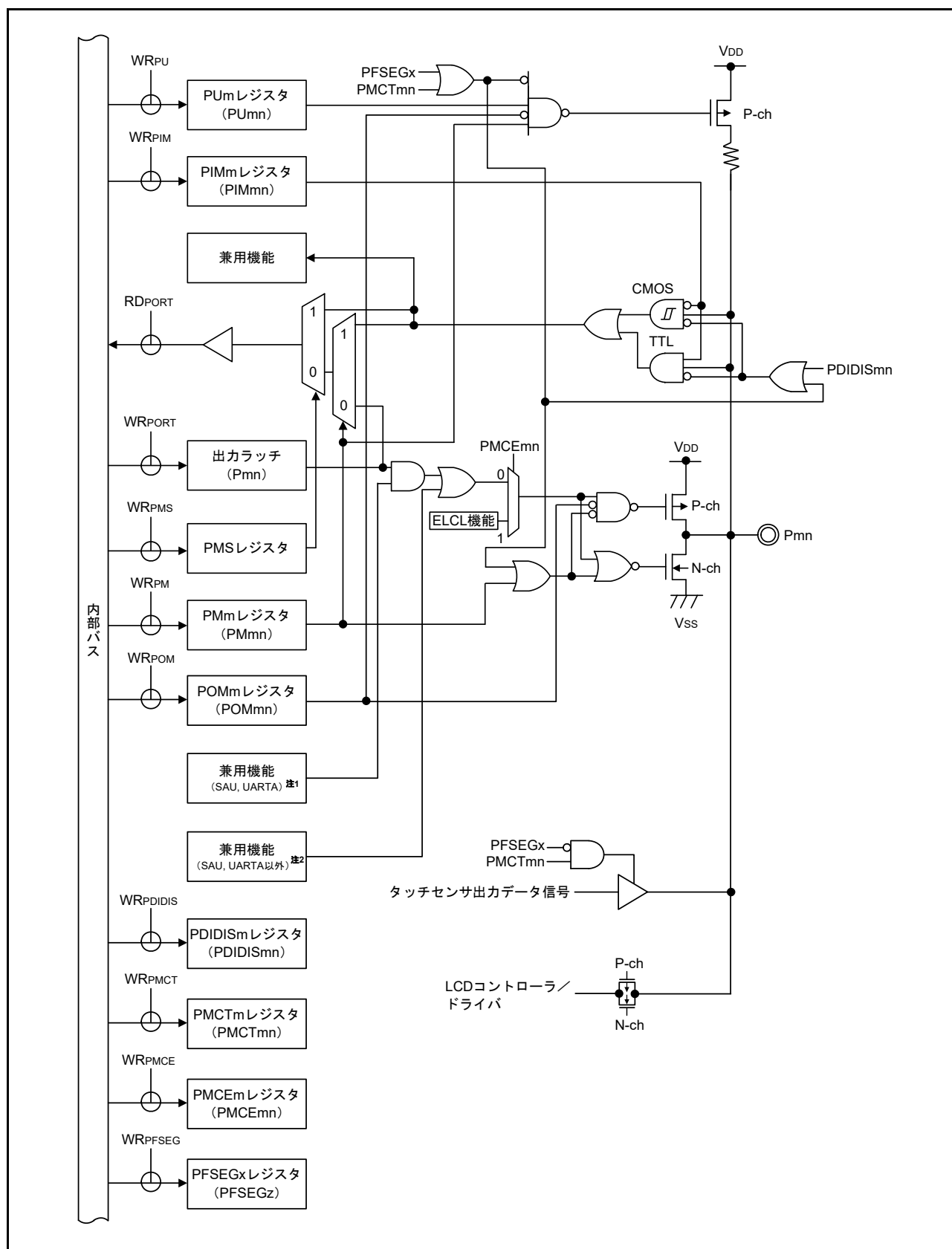
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 36 端子タイプ8-44-3の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む
(注意、備考は次ページに続きます)

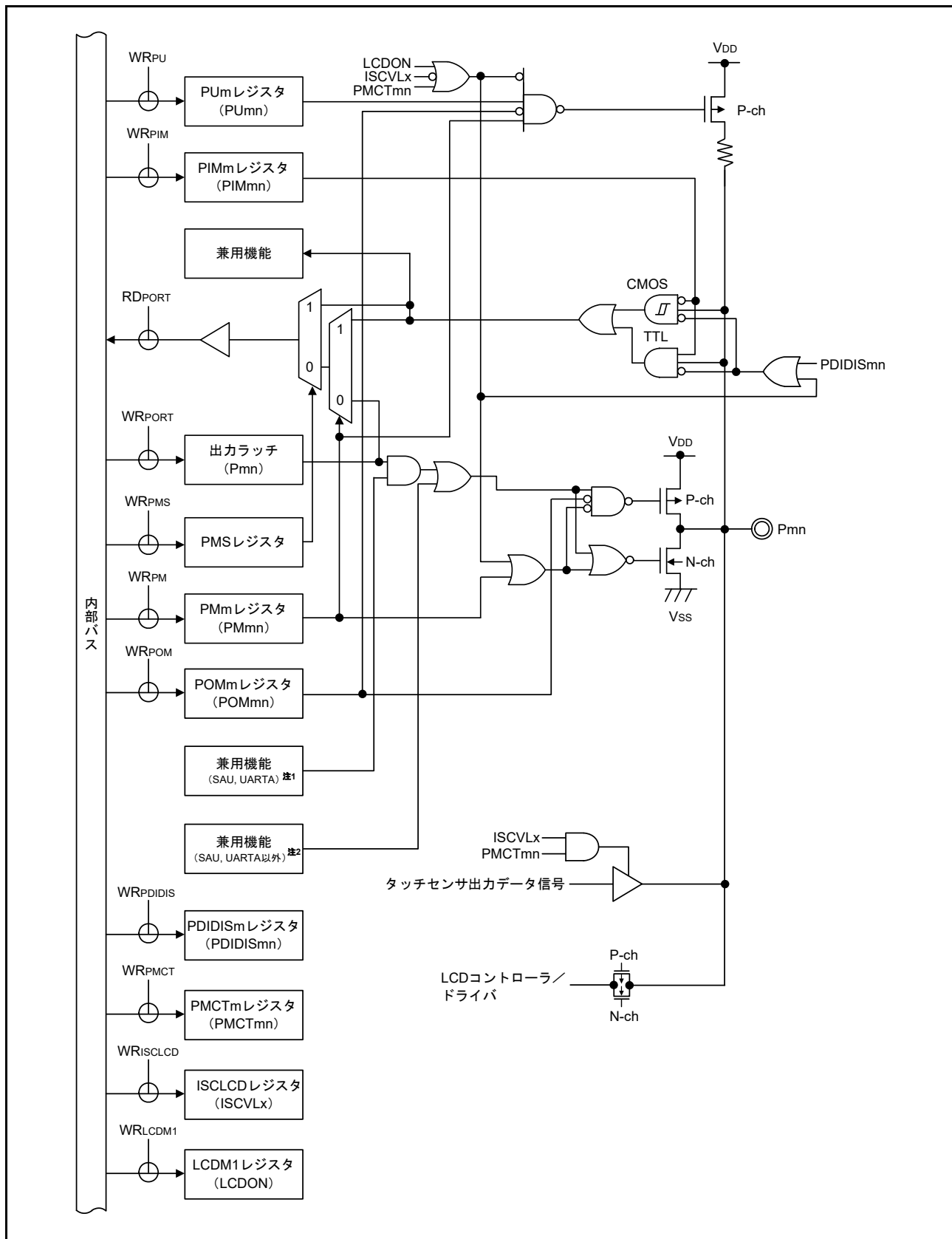
注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-37 端子タイプ8-44-4の端子ブロック図



注1. UARTAのクロック出力を除く

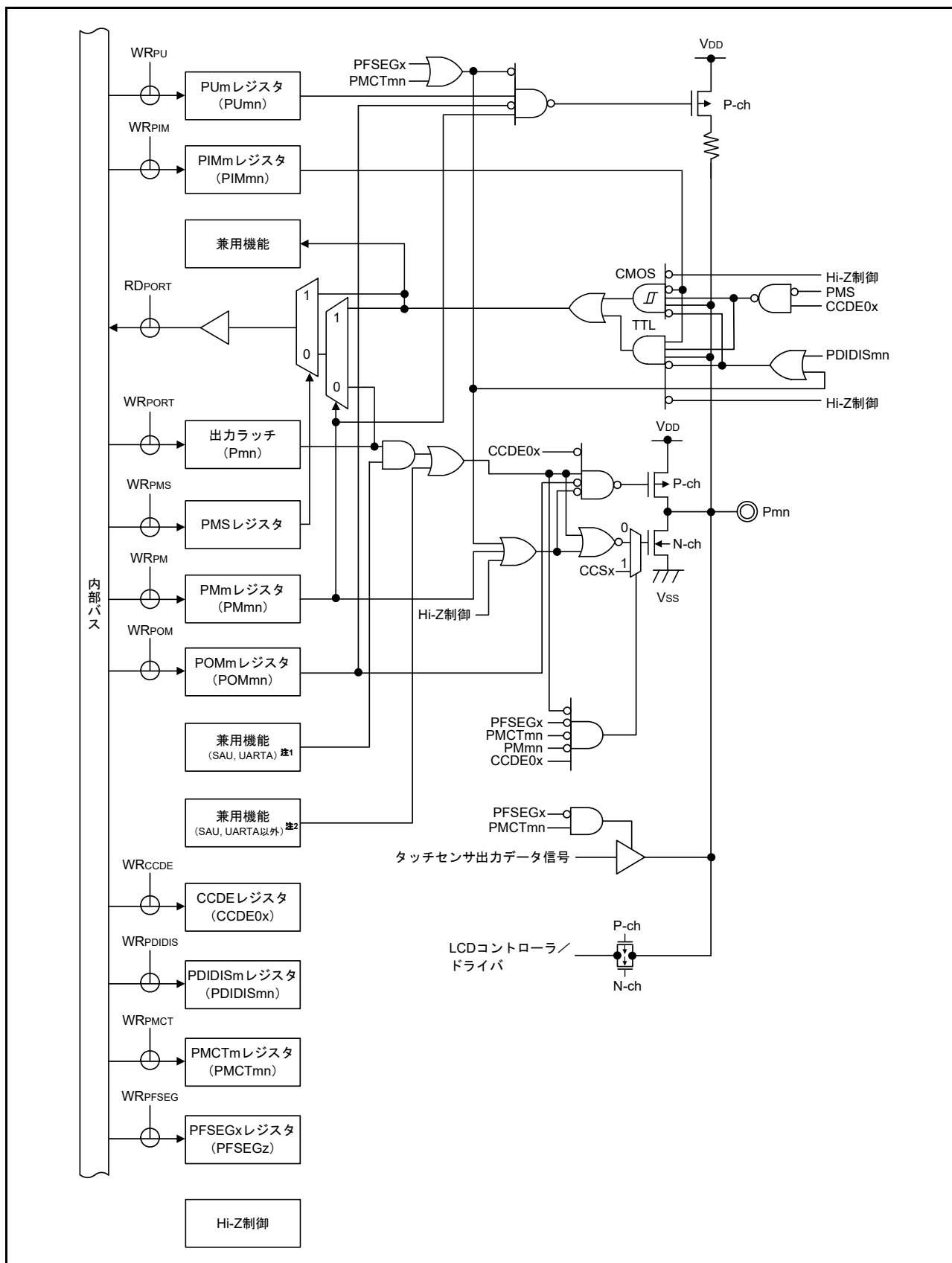
注2. UARTAのクロック出力を含む
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 38 端子タイプ8-45-1の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

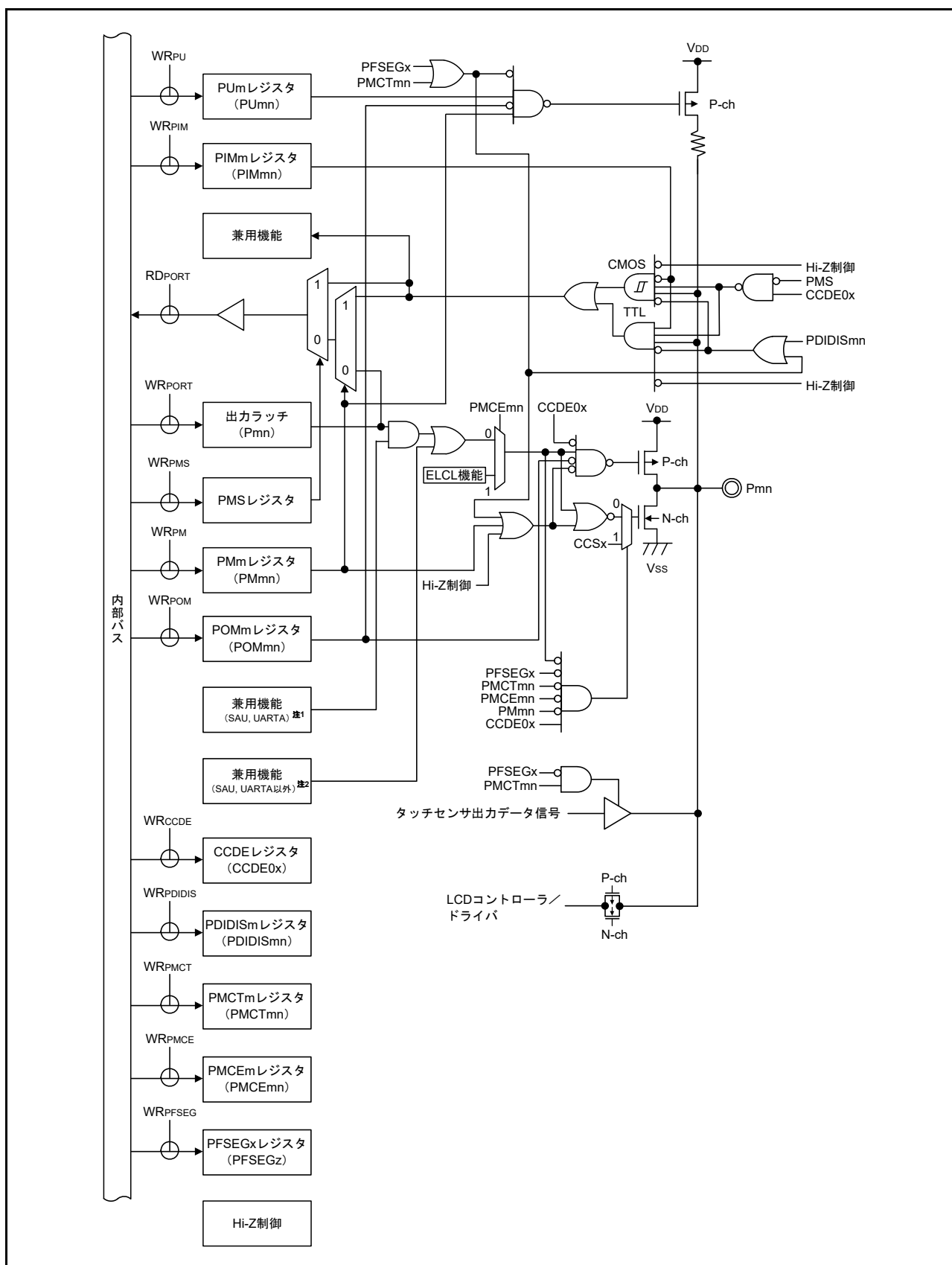
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 39 端子タイプ8-45-2の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

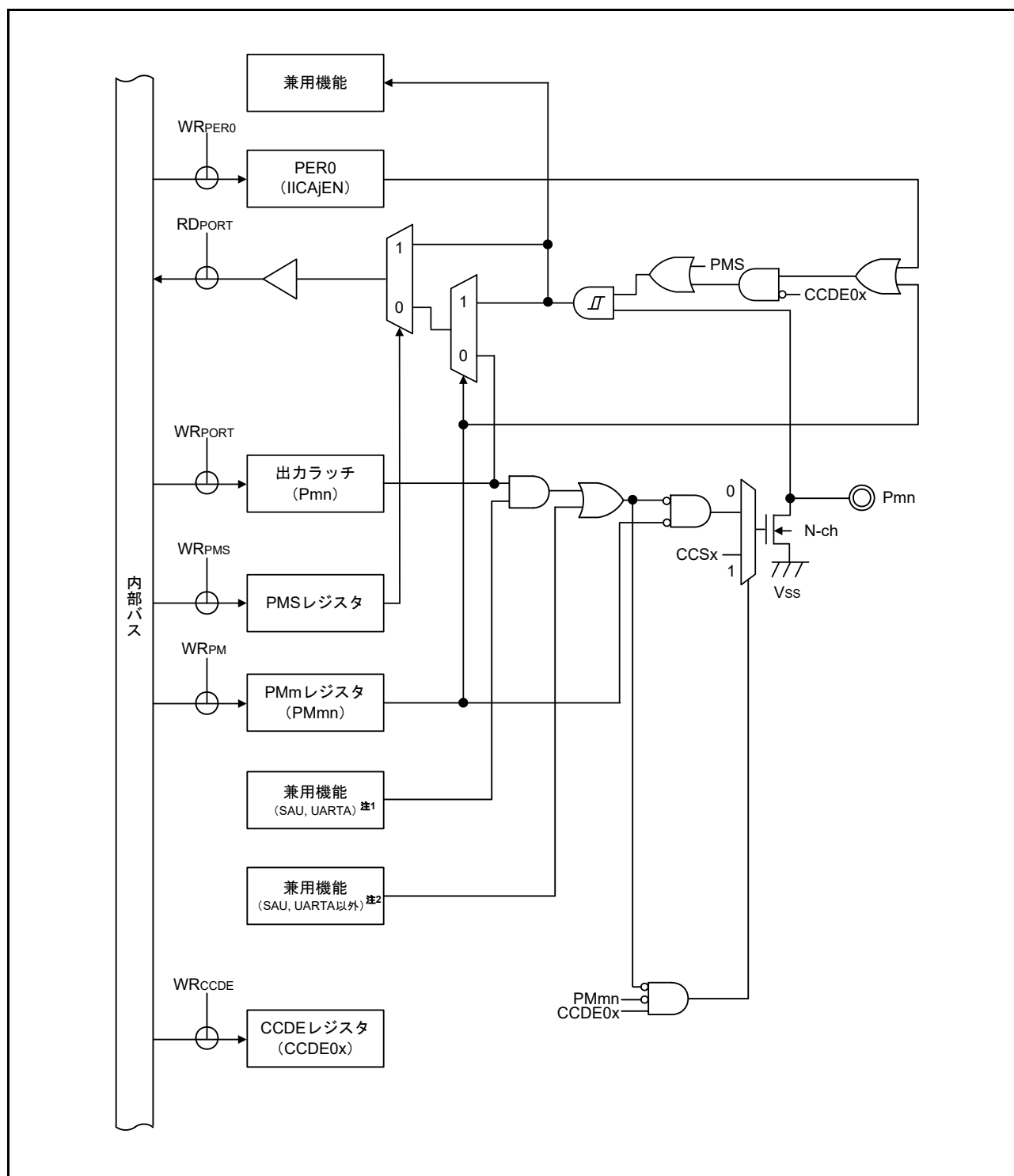
(注意、備考は次ページに続きます)

- 注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。
- 注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 40 端子タイプ12-38-2の端子ブロック図



注1. UARTAのクロック出力を除く

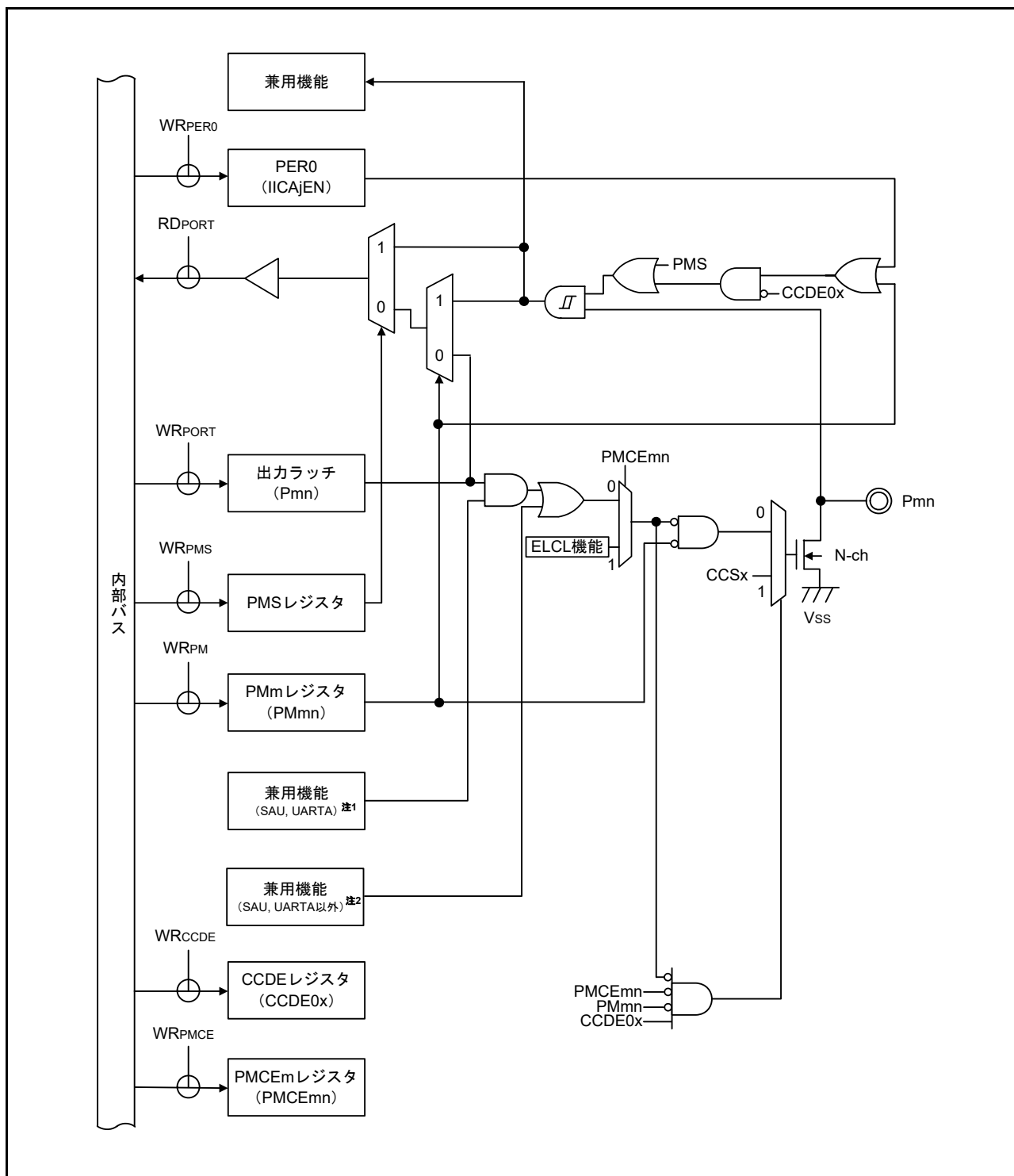
注2. UARTAのクロック出力を含む

注意 PER0レジスタのIICAJENビットに1を設定してIICA機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-41 端子タイプ12-38-3の端子ブロック図



注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注意 PER0 レジスタのIICAJEN ビットに1を設定してIICA機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、真通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポートの端子機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

本製品は、RL78-S3 CPU コアを搭載するマイクロコントローラです。

RL78-S3 の CPU コアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの3段パイプライン制御を採用することで、従来の CPU コアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とするさまざまなアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ×8本
- 命令の種類：81種類

以下の乗除算命令は、RL78-S3 コアにのみあります。

MULHU（符号なし16ビット乗算）

MULH（符号付き16ビット乗算）

DIVHU（符号なし16ビット除算）

DIVWU（符号なし32ビット除算）

MACHU（符号なし積和算（16ビット×16ビット）+32ビット）

MACH（符号付き積和算（16ビット×16ビット）+32ビット）

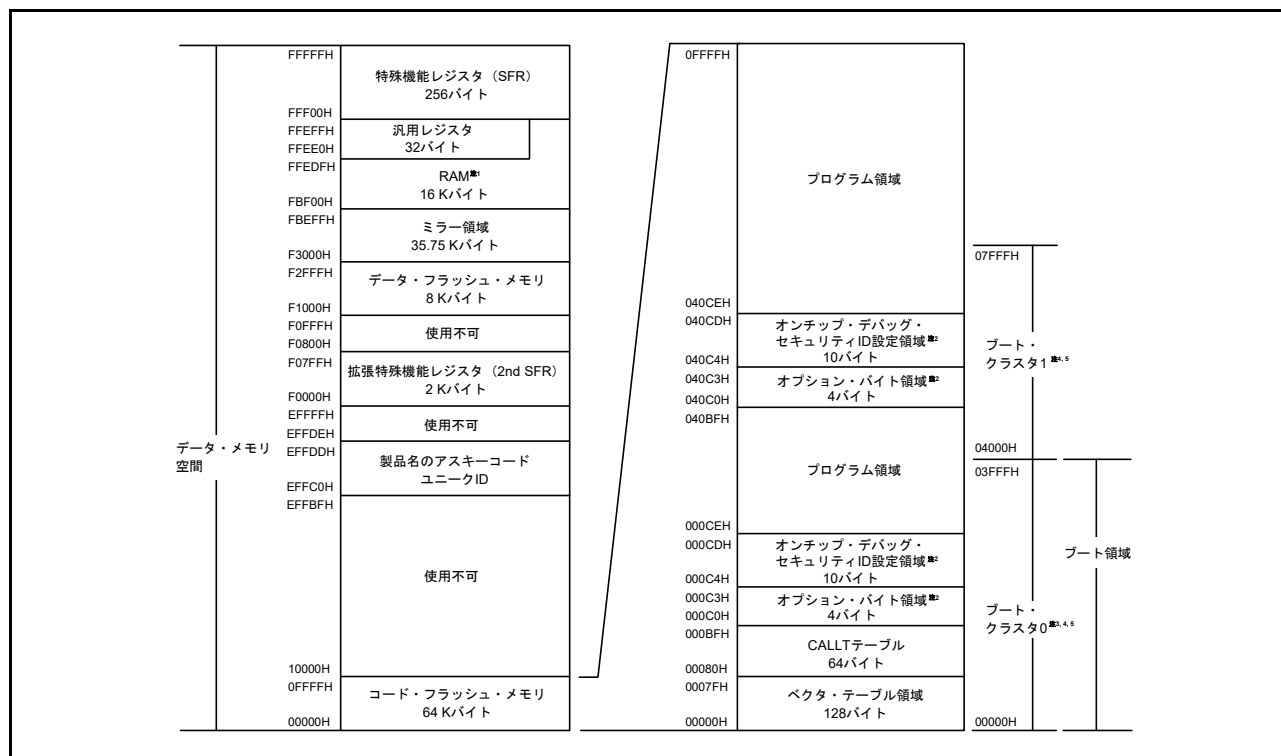
- データ配置：リトル・エンディアン

本製品は OCD トレース機能をサポートします。

3.1 メモリ空間

本製品は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ～図 3 - 4 にメモリ・マップを示します。

図 3 - 1 メモリ・マップ (R7F100LxE (x = F, G, J, L))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時 (FLSEC レジスタの BTFLG ビットが1の状態) は、000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定してください。
ブート・スワップ使用時および FLSEC レジスタの BTFLG ビットが0の状態のときは、下記のとおり選択したブート・クラスタのサイズにあわせて対応するアドレスにオプション・バイトとオンチップ・デバッグ・セキュリティ ID を設定してください。

ブート・クラスタに 16 KB を : 000C0H-000C3H, 040C0H-040C3H にオプション・バイトを設定

選択時 000C4H-000CDH, 040C4H-040CDH にオンチップ・デバッグ・セキュリティ ID を設定

ブート・クラスタに 8 KB を : 000C0H-000C3H, 020C0H-020C3H にオプション・バイトを設定

選択時 000C4H-000CDH, 020C4H-020CDH にオンチップ・デバッグ・セキュリティ ID を設定

ブート・クラスタに 4 KB を : 000C0H-000C3H, 010C0H-010C3H にオプション・バイトを設定

選択時 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID を設定

ブート・クラスタに 2 KB を : 000C0H-000C3H, 008C0H-008C3H にオプション・バイトを設定

選択時 000C4H-000CDH, 008C4H-008CDH にオンチップ・デバッグ・セキュリティ ID を設定

注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (38.10 セキュリティ設定を参照)。

注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (38.7 ブート・スワップ機能を参照)。

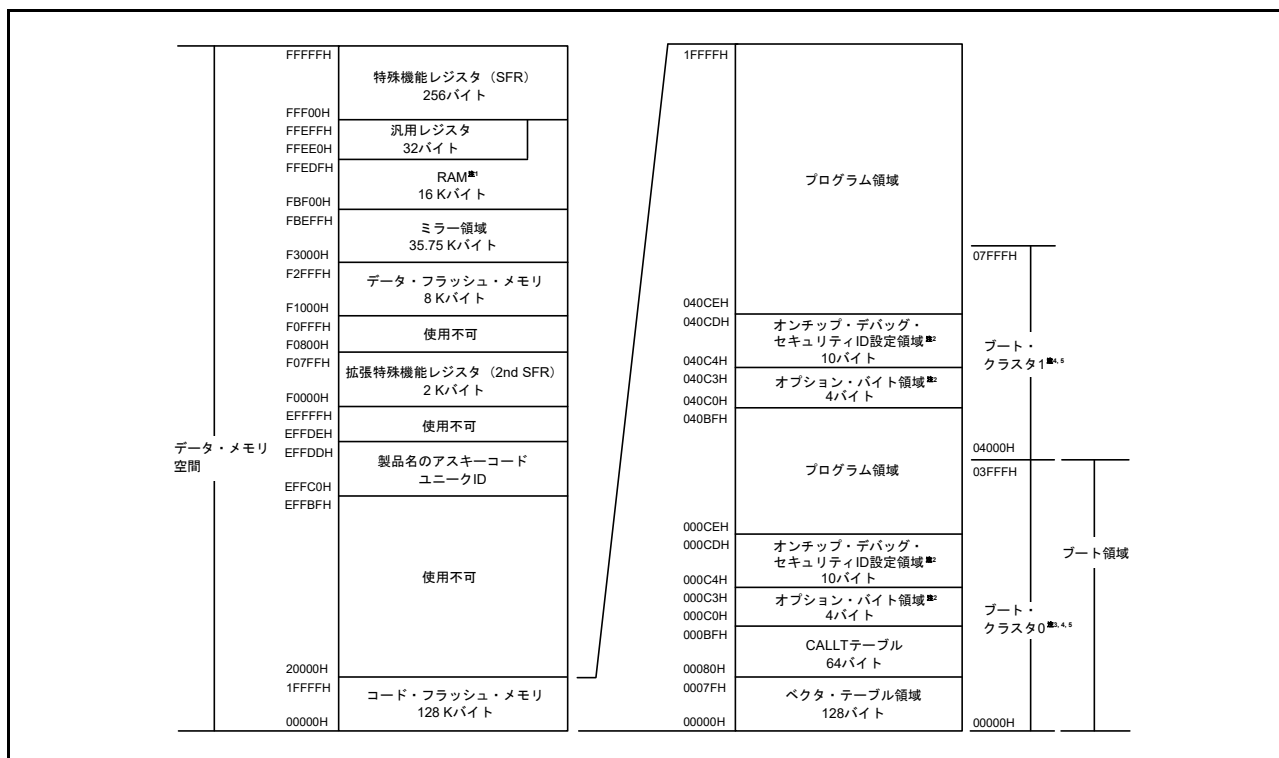
注5. ブート・クラスタ・サイズに 16 KB を選択時

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、32.3.4 RAMパリティ・エラー検出機能を参照してください。

(備考は次ページに続きます)

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック=2Kバイト）。アドレス値とブロック番号については、
表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-2 メモリ・マップ (R7F100LxG (x = F, G, J, L, M, P))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時 (FLSEC レジスタの BTFLG ビットが1の状態) は、000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定してください。

ブート・スワップ使用時およびFLSEC レジスタのBTFLG ビットが0の状態のときは、下記のとおり選択したブート・クラスタのサイズにあわせて対応するアドレスにオプション・バイトとオンチップ・デバッグ・セキュリティ IDを設定してください。

ブート・クラスタに32 KBを : 000C0H-000C3H, 080C0H-080C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 080C4H-080CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに16 KBを : 000C0H-000C3H, 040C0H-040C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 040C4H-040CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに8 KBを : 000C0H-000C3H, 020C0H-020C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに4 KBを : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに2 KBを : 000C0H-000C3H, 008C0H-008C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 008C4H-008CDHにオンチップ・デバッグ・セキュリティ IDを設定

注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (38.10 セキュリティ設定を参照)。

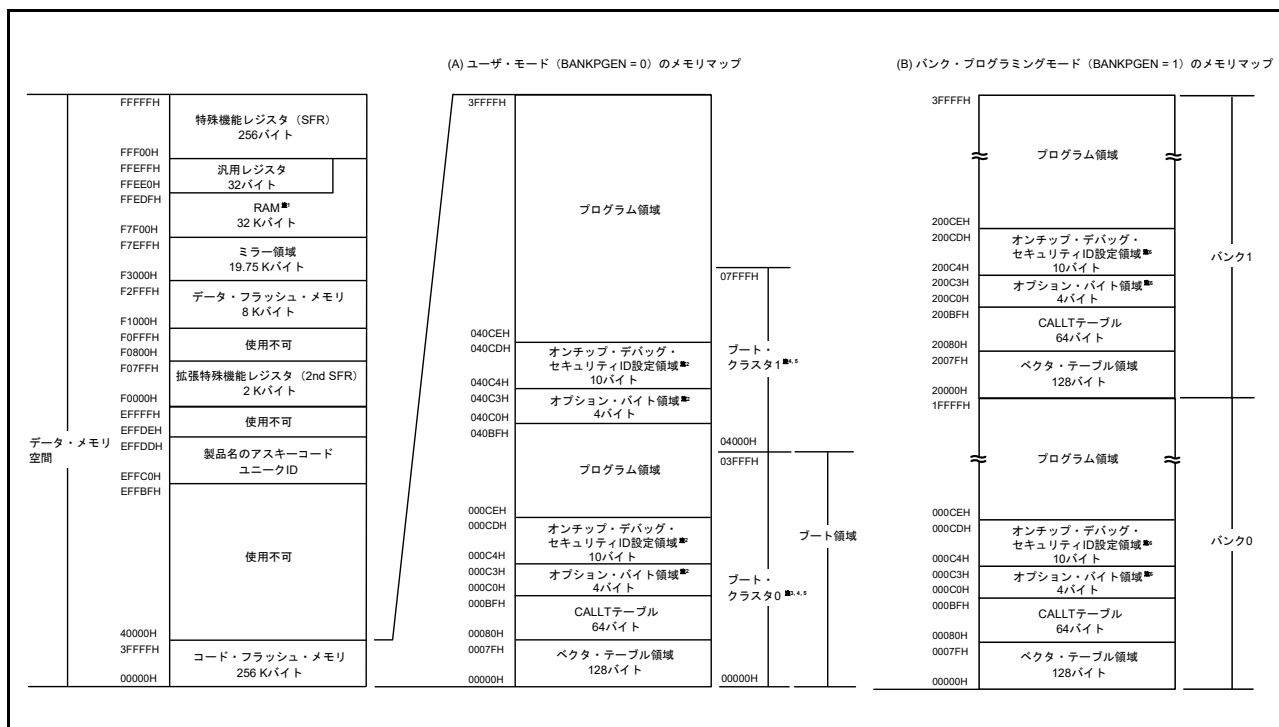
注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (38.7 ブート・スワップ機能を参照)。

注5. ブート・クラスタ・サイズに16 KBを選択時

注意 RAMパリティ・エラー・リセット発生を許可 (RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、32.3.4 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック=2 Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-3 メモリ・マップ (R7F100LxJ (x = F, G, J, L, M, P))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）は、000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定してください。

ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときは、下記のとおり選択したブート・クラスタのサイズにあわせて対応するアドレスにオプション・バイトとオンチップ・デバッグ・セキュリティ IDを設定してください。

ブート・クラスタに64 KBを : 000C0H-000C3H, 100C0H-100C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 100C4H-100CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに32 KBを : 000C0H-000C3H, 080C0H-080C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 080C4H-080CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに16 KBを : 000C0H-000C3H, 040C0H-040C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 040C4H-040CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに8 KBを : 000C0H-000C3H, 020C0H-020C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに4 KBを : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに2 KBを : 000C0H-000C3H, 008C0H-008C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 008C4H-008CDHにオンチップ・デバッグ・セキュリティ IDを設定

注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます（38.10 セキュリティ設定を参照）。

注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります（**38.7 ブート・スワップ機能**を参照）。

注5. ブート・クラスタ・サイズに16 KBを選択時

注6. バンク・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）は、000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定してください。

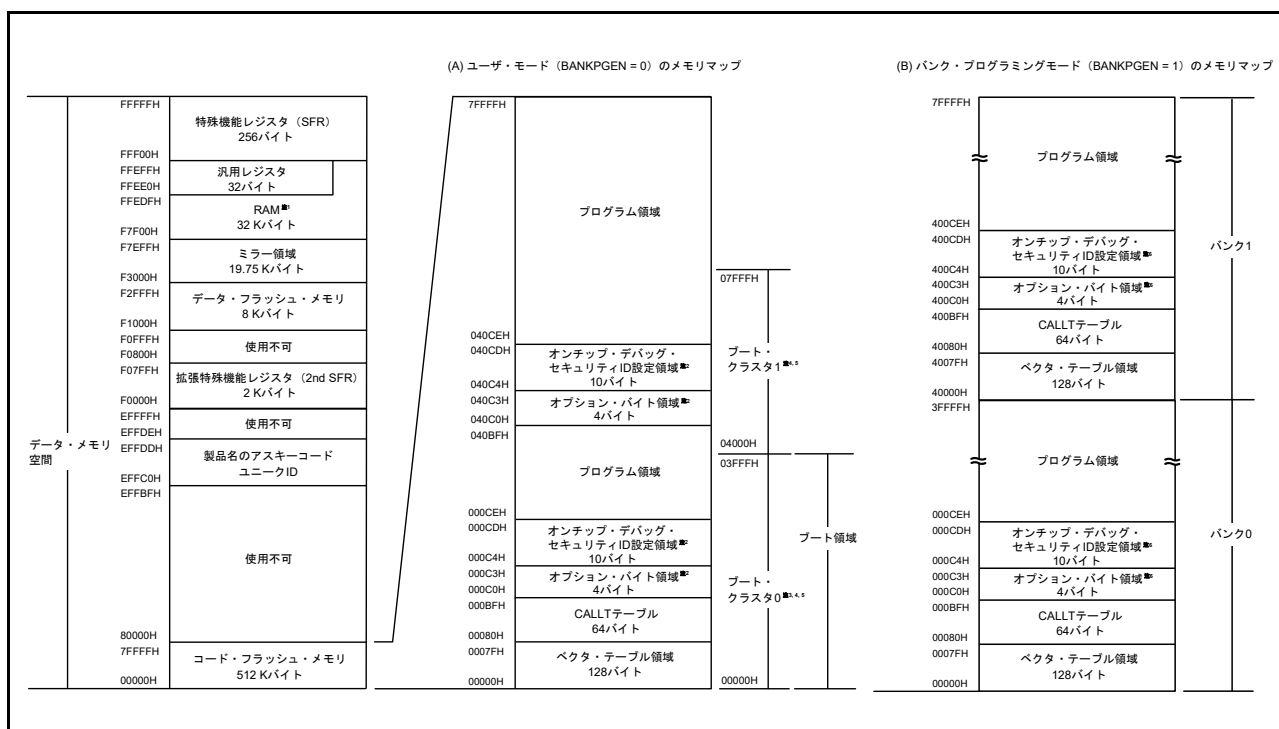
バンク・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときは、000C0H-000C3H, 200C0H-200C3H にオプション・バイト、000C4H-000CDH, 200C4H-200CDHにオンチップ・デバッグ・セキュリティ ID 設定を設定してください。

(注意、備考は次ページに続きます)

注意 RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、32.3.4 RAMパリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック = 2 Kバイト）。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

図3-4 メモリ・マップ (R7F100LxL (x = F, G, J, L, M, P))



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時 (FLSEC レジスタのBTFLG ビットが1の状態) は、000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定してください。

ブート・スワップ使用時およびFLSEC レジスタのBTFLG ビットが0の状態のときは、下記のとおり選択したブート・クラスタのサイズにあわせて対応するアドレスにオプション・バイトとオンチップ・デバッグ・セキュリティ IDを設定してください。

ブート・クラスタに128 KBを：000C0H-000C3H, 200C0H-200C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 200C4H-200CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに64 KBを：000C0H-000C3H, 100C0H-100C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 100C4H-100CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに32 KBを：000C0H-000C3H, 080C0H-080C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 080C4H-080CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに16 KBを：000C0H-000C3H, 040C0H-040C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 040C4H-040CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに8 KBを：000C0H-000C3H, 020C0H-020C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに4 KBを：000C0H-000C3H, 010C0H-010C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・クラスタに2 KBを：000C0H-000C3H, 008C0H-008C3Hにオプション・バイトを設定

選択時 000C4H-000CDH, 008C4H-008CDHにオンチップ・デバッグ・セキュリティ IDを設定

注3. セキュリティの設定により、ブート領域は書き換えを禁止することができます (38.10 セキュリティ設定を参照)。

注4. 製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります (38.7 ブート・スワップ機能を参照)。

注5. ブート・クラスタ・サイズに16 KBを選択時

(注、注意、備考は次ページに続きます)

- 注6.** バンク・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）は、000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定してください。
バンク・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときは、000C0H-000C3H, 400C0H-400C3Hにオプション・バイト、000C4H-000CDH, 400C4H-400CDHにオンチップ・デバッグ・セキュリティ ID設定を設定してください。
- 注意** RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、32.3.4 RAMパリティ・エラー検出機能を参照してください。
- 備考** フラッシュ・メモリはブロックごとに分かれています（1ブロック=2Kバイト）。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/2)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-007FFH	000H	10000H-107FFH	020H	20000H-207FFH	040H	30000H-307FFH	060H
00800H-00FFFH	001H	10800H-10FFFH	021H	20800H-20FFFH	041H	30800H-30FFFH	061H
01000H-017FFH	002H	11000H-117FFH	022H	21000H-217FFH	042H	31000H-317FFH	062H
01800H-01FFFH	003H	11800H-11FFFH	023H	21800H-21FFFH	043H	31800H-31FFFH	063H
02000H-027FFH	004H	12000H-127FFH	024H	22000H-227FFH	044H	32000H-327FFH	064H
02800H-02FFFH	005H	12800H-12FFFH	025H	22800H-22FFFH	045H	32800H-32FFFH	065H
03000H-037FFH	006H	13000H-137FFH	026H	23000H-237FFH	046H	33000H-337FFH	066H
03800H-03FFFH	007H	13800H-13FFFH	027H	23800H-23FFFH	047H	33800H-33FFFH	067H
04000H-047FFH	008H	14000H-147FFH	028H	24000H-247FFH	048H	34000H-347FFH	068H
04800H-04FFFH	009H	14800H-14FFFH	029H	24800H-24FFFH	049H	34800H-34FFFH	069H
05000H-057FFH	00AH	15000H-157FFH	02AH	25000H-257FFH	04AH	35000H-357FFH	06AH
05800H-05FFFH	00BH	15800H-15FFFH	02BH	25800H-25FFFH	04BH	35800H-35FFFH	06BH
06000H-067FFH	00CH	16000H-167FFH	02CH	26000H-267FFH	04CH	36000H-367FFH	06CH
06800H-06FFFH	00DH	16800H-16FFFH	02DH	26800H-26FFFH	04DH	36800H-36FFFH	06DH
07000H-077FFH	00EH	17000H-177FFH	02EH	27000H-277FFH	04EH	37000H-377FFH	06EH
07800H-07FFFH	00FH	17800H-17FFFH	02FH	27800H-27FFFH	04FH	37800H-37FFFH	06FH
08000H-087FFH	010H	18000H-187FFH	030H	28000H-287FFH	050H	38000H-387FFH	070H
08800H-08FFFH	011H	18800H-18FFFH	031H	28800H-28FFFH	051H	38800H-38FFFH	071H
09000H-097FFH	012H	19000H-197FFH	032H	29000H-297FFH	052H	39000H-397FFH	072H
09800H-09FFFH	013H	19800H-19FFFH	033H	29800H-29FFFH	053H	39800H-39FFFH	073H
0A000H-0A7FFH	014H	1A000H-1A7FFH	034H	2A000H-2A7FFH	054H	3A000H-3A7FFH	074H
0A800H-0AFFFH	015H	1A800H-1AFFFH	035H	2A800H-2AFFFH	055H	3A800H-3AFFFH	075H
0B000H-0B7FFH	016H	1B000H-1B7FFH	036H	2B000H-2B7FFH	056H	3B000H-3B7FFH	076H
0B800H-0BFFFH	017H	1B800H-1BFFFH	037H	2B800H-2BFFFH	057H	3B800H-3BFFFH	077H
0C000H-0C7FFH	018H	1C000H-1C7FFH	038H	2C000H-2C7FFH	058H	3C000H-3C7FFH	078H
0C800H-0CFFFH	019H	1C800H-1CFFFH	039H	2C800H-2CFFFH	059H	3C800H-3CFFFH	079H
0D000H-0D7FFH	01AH	1D000H-1D7FFH	03AH	2D000H-2D7FFH	05AH	3D000H-3D7FFH	07AH
0D800H-0DFFFH	01BH	1D800H-1DFFFH	03BH	2D800H-2DFFFH	05BH	3D800H-3DFFFH	07BH
0E000H-0E7FFH	01CH	1E000H-1E7FFH	03CH	2E000H-2E7FFH	05CH	3E000H-3E7FFH	07CH
0E800H-0EFFFH	01DH	1E800H-1EFFFH	03DH	2E800H-2EFFFH	05DH	3E800H-3EFFFH	07DH
0F000H-0F7FFH	01EH	1F000H-1F7FFH	03EH	2F000H-2F7FFH	05EH	3F000H-3F7FFH	07EH
0F800H-0FFFFH	01FH	1F800H-1FFFFH	03FH	2F800H-2FFFFH	05FH	3F800H-3FFFFH	07FH

備考 R7F100LxE (x = F, G, J, L) : ブロック番号 000H-01FH

R7F100LxG (x = F, G, J, L, M, P) : ブロック番号 000H-03FH

R7F100LxJ (x = F, G, J, L, M, P) : ブロック番号 000H-07FH

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/2)

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
40000H-407FFH	080H	50000H-507FFH	0A0H	60000H-607FFH	0C0H	70000H-707FFH	0E0H
40800H-40FFFH	081H	50800H-50FFFH	0A1H	60800H-60FFFH	0C1H	70800H-70FFFH	0E1H
41000H-417FFH	082H	51000H-517FFH	0A2H	61000H-617FFH	0C2H	71000H-717FFH	0E2H
41800H-41FFFH	083H	51800H-51FFFH	0A3H	61800H-61FFFH	0C3H	71800H-71FFFH	0E3H
42000H-427FFH	084H	52000H-527FFH	0A4H	62000H-627FFH	0C4H	72000H-727FFH	0E4H
42800H-42FFFH	085H	52800H-52FFFH	0A5H	62800H-62FFFH	0C5H	72800H-72FFFH	0E5H
43000H-437FFH	086H	53000H-537FFH	0A6H	63000H-637FFH	0C6H	73000H-737FFH	0E6H
43800H-43FFFH	087H	53800H-53FFFH	0A7H	63800H-63FFFH	0C7H	73800H-73FFFH	0E7H
44000H-447FFH	088H	54000H-547FFH	0A8H	64000H-647FFH	0C8H	74000H-747FFH	0E8H
44800H-44FFFH	089H	54800H-54FFFH	0A9H	64800H-64FFFH	0C9H	74800H-74FFFH	0E9H
45000H-457FFH	08AH	55000H-557FFH	0AAH	65000H-657FFH	0CAH	75000H-757FFH	0EAH
45800H-45FFFH	08BH	55800H-55FFFH	0ABH	65800H-65FFFH	0CBH	75800H-75FFFH	0EBH
46000H-467FFH	08CH	56000H-567FFH	0ACH	66000H-667FFH	0CCH	76000H-767FFH	0ECH
46800H-46FFFH	08DH	56800H-56FFFH	0ADH	66800H-66FFFH	0CDH	76800H-76FFFH	0EDH
47000H-477FFH	08EH	57000H-577FFH	0AEH	67000H-677FFH	0CEH	77000H-777FFH	0EEH
47800H-47FFFH	08FH	57800H-57FFFH	0AFH	67800H-67FFFH	0CFH	77800H-77FFFH	0EFH
48000H-487FFH	090H	58000H-587FFH	0B0H	68000H-687FFH	0D0H	78000H-787FFH	0F0H
48800H-48FFFH	091H	58800H-58FFFH	0B1H	68800H-68FFFH	0D1H	78800H-78FFFH	0F1H
49000H-497FFH	092H	59000H-597FFH	0B2H	69000H-697FFH	0D2H	79000H-797FFH	0F2H
49800H-49FFFH	093H	59800H-59FFFH	0B3H	69800H-69FFFH	0D3H	79800H-79FFFH	0F3H
4A000H-4A7FFH	094H	5A000H-5A7FFH	0B4H	6A000H-6A7FFH	0D4H	7A000H-7A7FFH	0F4H
4A800H-4AFFFH	095H	5A800H-5AFFFH	0B5H	6A800H-6AFFFH	0D5H	7A800H-7AFFFH	0F5H
4B000H-4B7FFH	096H	5B000H-5B7FFH	0B6H	6B000H-6B7FFH	0D6H	7B000H-7B7FFH	0F6H
4B800H-4BFFFH	097H	5B800H-5BFFFH	0B7H	6B800H-6BFFFH	0D7H	7B800H-7BFFFH	0F7H
4C000H-4C7FFH	098H	5C000H-5C7FFH	0B8H	6C000H-6C7FFH	0D8H	7C000H-7C7FFH	0F8H
4C800H-4CFFFH	099H	5C800H-5CFFFH	0B9H	6C800H-6CFFFH	0D9H	7C800H-7CFFFH	0F9H
4D000H-4D7FFH	09AH	5D000H-5D7FFH	0BAH	6D000H-6D7FFH	0DAH	7D000H-7D7FFH	0FAH
4D800H-4DFFFH	09BH	5D800H-5DFFFH	0BBH	6D800H-6DFFFH	0DBH	7D800H-7DFFFH	0FBH
4E000H-4E7FFH	09CH	5E000H-5E7FFH	0BCH	6E000H-6E7FFH	0DCH	7E000H-7E7FFH	0FCH
4E800H-4EFFFH	09DH	5E800H-5EFFFH	0BDH	6E800H-6EFFFH	0DDH	7E800H-7EFFFH	0FDH
4F000H-4F7FFH	09EH	5F000H-5F7FFH	0BEH	6F000H-6F7FFH	0DEH	7F000H-7F7FFH	0FEH
4F800H-4FFFFH	09FH	5F800H-5FFFFH	0BFH	6F800H-6FFFFH	0DFH	7F800H-7FFFFH	0FFH

備考 R7F100LxL (x = F, G, J, L, M, P) : ブロック番号 000H-0FFH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。本製品は、表3-2に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製品	内部ROM	
	構造	容量
R7F100LxE (x = F, G, J, L)	フラッシュ・メモリ	65536 × 8ビット (00000H-0FFFFH)
R7F100LxG (x = F, G, J, L, M, P)		131072 × 8ビット (00000H-1FFFFH)
R7F100LxJ (x = F, G, J, L, M, P)		262144 × 8ビット (00000H-3FFFFH)
R7F100LxL (x = F, G, J, L, M, P)		524288 × 8ビット (00000H-7FFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、ブート・クラスタ・サイズに128 KB選択時は20000H-2007FH、64 KB選択時は10000H-1007FH、32 KB選択時は08000H-0807FH、16 KB選択時は04000H-0407FH、8 KB選択時は02000H-0207FH、4 KB選択時は01000H-0107FH、2 KB選択時は00800H-0087FHにもベクタ・テーブルを設定してください。

また、バンク・スワップを使用する際には、256 KB選択時は20000H-2007FH、512 KB選択時は40000H-4007FHにもベクタ・テーブルを設定してください。

表3-3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

セルフ・プログラミングでは、ベクタ・テーブル・アドレスをRAMのアドレスに変更できます。詳細は、

38.6.2.18 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)を参照してください。

表3-3 ベクタ・テーブル (1/3)

ベクタ・テーブル・アドレス	割り込み要因	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○	○
00004H	INTWDTI	○	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○	○
00008H	INTP0	○	○	○	○	○	○
0000AH	INTP1	○	○	○	○	○	○
0000CH	INTP2	○	○	○	○	○	○
0000EH	INTP3	○	○	○	○	○	○
00010H	INTP4	○	○	○	○	○	○
00012H	INTP5	○	○	○	○	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	○	注1
	INTIT01	○	○	○	○	○	○
00016H	INTSR2/INTCSI21/INTIIC21	○	○	○	○	○	○
	INTIT41	○	○	○	○	○	○
00018H	INTSRE2	○	○	○	○	○	○
	INTIT20	○	○	○	○	○	○
0001AH	INTELCL	○	○	○	○	○	○
0001CH	INTSMSE	○	○	○	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○	○
	INTIT21	○	○	○	○	○	○
00020H	INTTM00	○	○	○	○	○	○
00022H	INTSRE0	○	○	○	○	○	○
	INTTM01H	○	○	○	○	○	○
	INTIT30	○	○	○	○	○	○
00024H	INTST1/INTCSI10/INTIIC10	○	○	○	○	○	○
	INTIT11	○	○	○	○	○	○
00026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○	○
	INTIT61	○	○	○	○	○	○
00028H	INTSRE1	○	○	○	○	○	○
	INTTM03H	○	○	○	○	○	○
	INTIT40	○	○	○	○	○	○
0002AH	INTIICA0	○	○	○	○	○	○
0002CH	INTSR0/INTCSI01/INTIIC01	○	○	○	○	○	○
	INTIT51	○	○	○	○	○	○
0002EH	INTTM01	○	○	○	○	○	○
00030H	INTTM02	○	○	○	○	○	○
00032H	INTTM03	○	○	○	○	○	○
00034H	INTAD	○	○	○	○	○	○
00036H	INTRTC	○	○	○	○	○	○
00038H	INTITL	○	○	○	○	○	○
0003AH	INTKR	○	○	○	○	○	○

表3-3 ベクタ・テーブル (2/3)

ベクタ・テーブル・アドレス	割り込み要因	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン
0003CH	INTST3/INTCSI30/INTIIC30	○	○	○	○	注2	注2
	INTIT31	○	○	○	○	○	○
0003EH	INTSR3/INTCSI31/INTIIC31	○	○	○	注3	—	—
	INTIT71	○	○	○	○	○	○
00040H	INTIT00	○	○	○	○	○	○
00042H	INTTM04	○	○	○	○	○	○
00044H	INTTM05	○	○	○	○	○	○
	INTURE3	○	○	—	—	—	—
00046H	INTTM06	○	○	○	○	○	○
	INTIT50	○	○	○	○	○	○
00048H	INTTM07	○	○	○	○	○	○
	INTIT60	○	○	○	○	○	○
0004AH	INTP6	○	○	○	○	○	○
0004CH	INTP7	○	○	○	○	○	○
0004EH	INTIT10	○	○	○	○	○	○
00050H	INTOSDC	○	○	○	○	○	○
00052H	INTFL	○	○	○	○	○	○
00054H	INTCMP0	○	○	○	○	○	○
00056H	INTCMP1	○	○	○	○	—	—
00058H	INTURE0	○	○	○	○	○	○
	INTIT70	○	○	○	○	○	○
0005AH	INTURE1	○	○	○	○	○	○
	INTTMKB1	○	○	○	○	○	○
0005CH	INTURE2	○	○	○	○	○	—
	INTTMKB2	○	○	○	○	○	○
0005EH	INTSRE3	○	○	○	○	—	—
	INTTRJ1	○	○	○	○	○	○
00060H	INTCTSUWR	○	○	○	○	○	○
00062H	INTIICA1	○	○	○	○	○	○
00064H	INTCTSURD	○	○	○	○	○	○
00066H	INTCTSUFN	○	○	○	○	○	○
00068H	INTTRJ0	○	○	○	○	○	○
0006AH	INTUT0	○	○	○	○	○	○
0006CH	INTUR0	○	○	○	○	○	○
0006EH	INTUT1	○	○	○	○	○	○
00070H	INTUR1	○	○	○	○	○	○
00072H	INTUT2	○	○	○	○	○	—
00074H	INTUR2	○	○	○	○	○	—
00076H	INTUT3	○	○	—	—	—	—
00078H	INTUR3	○	○	—	—	—	—
0007AH	INTTMKB0	○	○	○	○	○	○
0007CH	INTEXSD	○	○	○	○	○	○

表3 - 3 ベクタ・テーブル (3/3)

ベクタ・テーブル・ アドレス	割り込み要因	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン
0007EH	BRK	○	○	○	○	○	○

注1. INTST2のみ

注2. INTIIC30のみ

注3. INTSR3のみ

(2) CALLT 命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、ブート・クラスタ・サイズに128 KB選択時は20080H-200BFH、64 KB選択時は10080H-100BFH、32 KB選択時は08080H-080BFH、16 KB選択時は04080H-040BFH、8 KB選択時は02080H-020BFH、4 KB選択時は01080H-010BFH、2 KB選択時は00880H-008BFHにもCALLT 命令テーブルを設定してください。

また、バンク・スワップを使用する際には、256 KB選択時は20080H-200BFH、512 KB選択時は40080H-400BFHにもCALLT 命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用時およびFLSECレジスタのBTFLGビットが0の状態のときには、ブート・クラスタ・サイズに128 KB選択時は200C0H-200C3H、64 KB選択時は100C0H-100C3H、32 KB選択時は080C0H-080C3H、16 KB選択時は040C0H-040C3H、8 KB選択時は020C0H-020C3H、4 KB選択時は010C0H-010C3H、2 KB選択時は008C0H-008C3Hにもオプション・バイトを設定してください。

また、バンク・スワップを使用時およびFLSECレジスタのBTFLGビットが0の状態のときには、256 KB選択時は200C0H-200C3H、512 KB選択時は400C0H-400C3Hにもオプション・バイトを設定してください。詳細は、**第37章 オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH、040C4H-040CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには、ブート・クラスタ・サイズに128 KB選択時は000C4H-000CDHと200C4H-200CDH、64 KB選択時は000C4H-000CDHと100C4H-100CDH、32 KB選択時は000C4H-000CDHと080C4H-080CDH、16 KB選択時は000C4H-000CDHと040C4H-040CDH、8 KB選択時は000C4H-000CDHと020C4H-020CDH、4 KB選択時は000C4H-000CDHと010C4H-010CDH、2 KB選択時は000C4H-000CDHと008C4H-008CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。

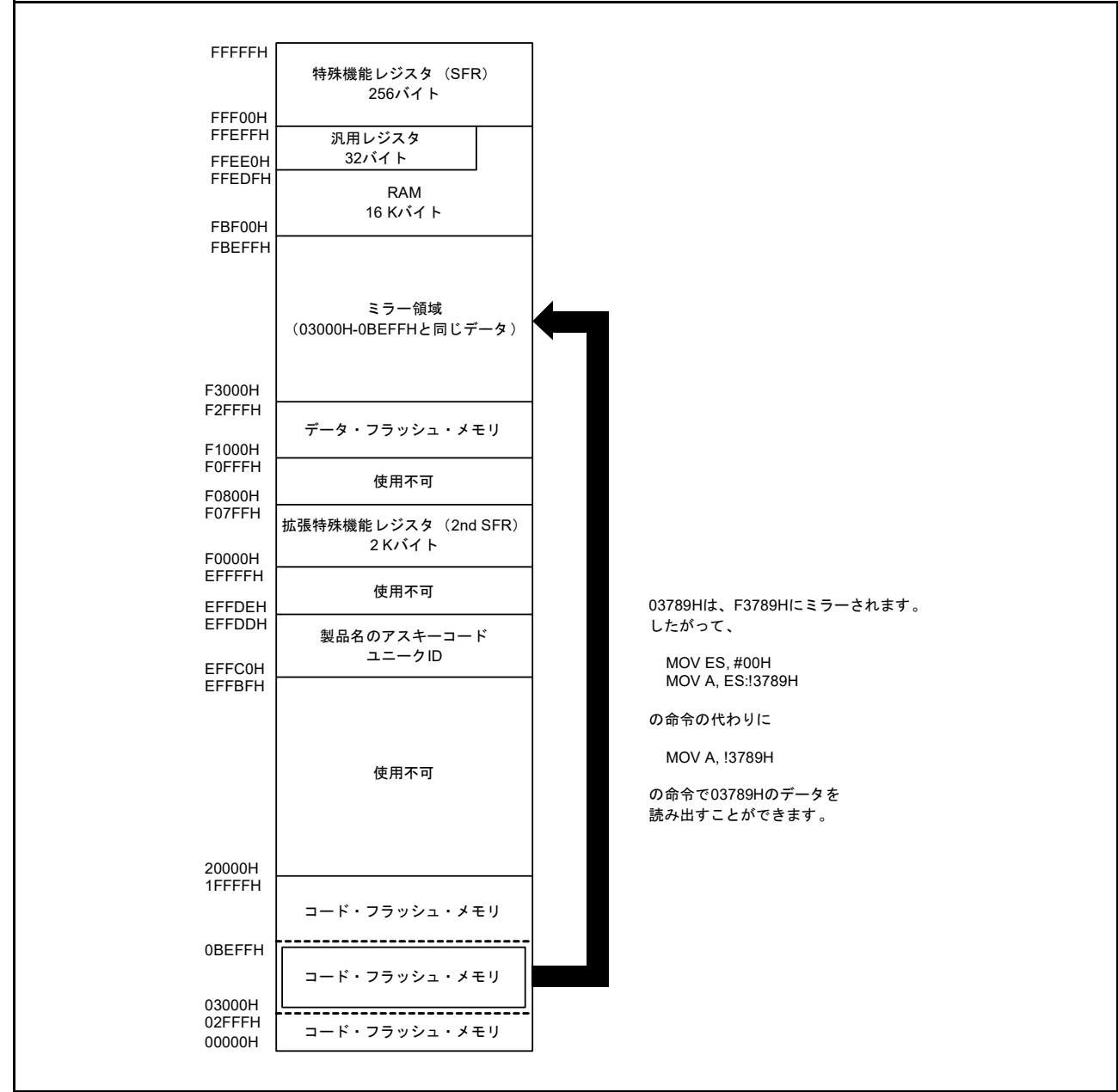
また、バンク・スワップを使用時およびFLSECレジスタのBTFLGビットが0の状態のときには、256 KB選択時は000C4H-000CDHと200C4H-200CDH、512 KB選択時は000C4H-000CDHと400C4H-400CDHにもオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は、**第39章 オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

本製品では、00000H-0FFFFH または 10000H-1FFFFH のコード・フラッシュ・メモリ・エリアを F0000H-FFFFFH へミラーさせています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。
ミラー先の F0000H-FFFFFH からデータを読み出すことにより、オペランドに ES レジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ・メモリ内容を読み出すことができます。ただし、特殊機能レジスタ（SFR）、拡張特殊機能レジスタ（2nd SFR）、RAM 領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。
ミラー領域は読み出しのみ可能で、命令フェッチはできません。
次に例を示します。

例 R7F100LxG（x = F, G, J, L, M, P）（フラッシュ・メモリ 128 K バイト、RAM16 K バイト）の場合



次に、PMC レジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMC レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-5 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFHへミラー

注意1. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

注意2. ビット0 (MAA) に0を設定した状態でブート・スワップすると、ブート・スワップ後の03000H-07FFFHをF3000H-F7FFFHへミラーします。

3.1.3 内部データ・メモリ空間

本製品は、表 3 - 4 に示す RAM を内蔵しています。

表3 - 4 内部RAM容量

製品	内部RAM
R7F100LxE (x = F, G, J, L)	16384 × 8ビット (FBF00H-FFEFFFH)
R7F100LxG (x = F, G, J, L, M, P)	16384 × 8ビット (FBF00H-FFEFFFH)
R7F100LxJ (x = F, G, J, L, M, P)	32768 × 8ビット (F7F00H-FFEFFFH)
R7F100LxL (x = F, G, J, L, M, P)	32768 × 8ビット (F7F00H-FFEFFFH)

内部 RAM は、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部 RAM 領域のうち FFEE0H-FFEFFFH の 32 バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられます。

また、スタック・メモリは内部 RAM を使用します。

内部メモリは消費電力削減のため一部の領域をシャットダウン・モードにできます。シャットダウン・モードに設定したメモリはデータ保持ができません。詳細は、27.2.2 メモリ電力削減制御レジスタ（PSMCR）を参照してください。

注意1. 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFFH）は、命令フェッチやスタックの領域に使用できません。

注意2. オンチップ・デバッグのトレース機能使用時は、次に示す製品のRAM領域が使用禁止になります。

R7F100LxE (x = F, G, J, L) : FC300H-FC6FFFH

R7F100LxG (x = F, G, J, L, M, P) : FC300H-FC6FFFH

R7F100LxJ, L (x = F, G, J, L, M, P) : F8300H-F86FFFH

3.1.4 特殊機能レジスタ（SFR : Special Function Register）領域

FFF00H-FFFFFH の領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（3.2.4 特殊機能レジスタ（SFR : Special Function Register）の表 3 - 5 SFR 一覧参照）。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）領域

F0000H-F07FFH の領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）の表 3 - 6 2nd SFR 一覧参照）。

注意 1. 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

注意 2. 2nd SFRの一部の領域（F0500H-F0533H）に配置している静電容量センサユニット（CTSU2La）のレジスタ、F0540H, F0542Hに配置している真性乱数発生器（TRNG）のレジスタ、F0550H-F0589Hに配置している8ビット・インターバル・タイマのレジスタ、F0598H, F0599Hに配置しているタイマRJカウンタレジスタ0（TRJ0）、F059AH, F059BHに配置しているタイマRJカウンタレジスタ1（TRJ1）へのアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。8ビット・インターバル・タイマのレジスタ、タイマRJnのTRJnレジスタ、静電容量センサユニット（CTSU2La）のレジスタ、真性乱数発生器（TRNG）のレジスタへのアクセス時のウェイト・クロック数は、読み出し／書き込みともに1クロックです。

備考 n : チャネル番号（n = 0, 1）

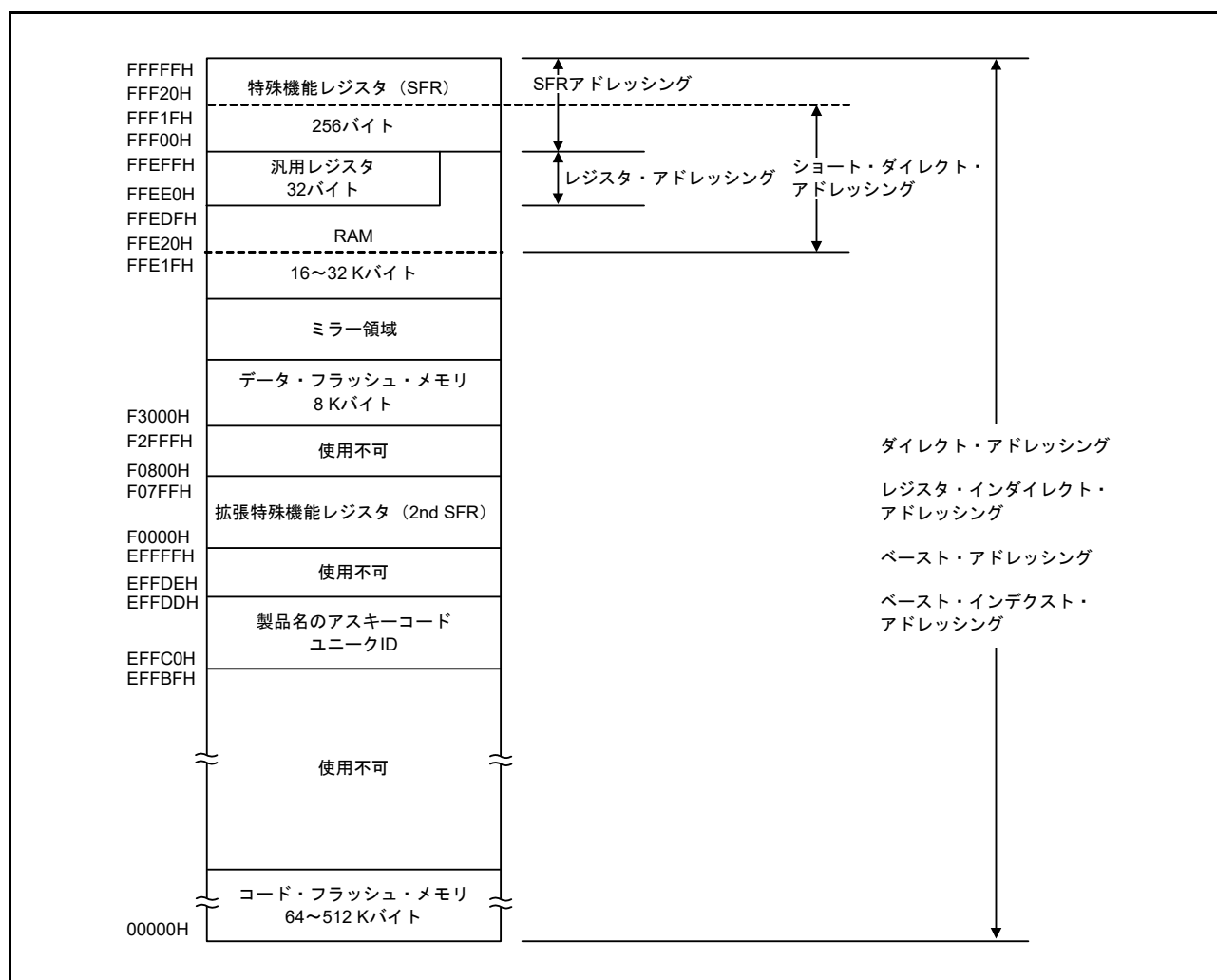
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、本製品では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-6にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、3.4 処理データ・アドレスに対するアドレッシングを参照してください。

図3-6 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

本製品は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

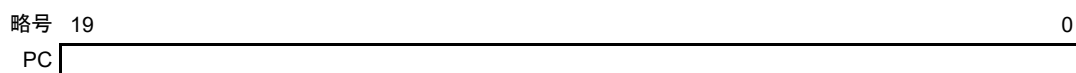
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエート・データやレジスタの内容がセットされます。

リセット信号の発生により、00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



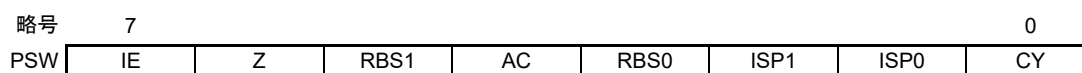
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受付発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受付動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受付は、インサース・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受付でリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外の際にリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS1, RBS0)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外の際にリセット (0) されるフラグです。

(e) インサースビス・プライオリティ・フラグ (ISP1, ISP0)

受付可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H) (25.3.3 優先順位指定フラグ・レジスタ参照) でISP1, ISP0フラグの値より低位に指定されたベクタ割り込み要求は受付禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3-9 スタック・ポインタの構成

略号	15	14	13	12	11	10	9	8
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8
	7	6	5	4	3	2	1	0
	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

注意2. 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

注意3. 次に示す製品の内部RAM領域は、オンチップ・デバッグのトレース機能使用時にスタック・メモリとして使用できません。

R7F100LxE (x = F, G, J, L) : FC300H-FC6FFH

R7F100LxG (x = F, G, J, L, M, P) : FC300H-FC6FFH

R7F100LxJ, L (x = F, G, J, L, M, P) : F8300H-F86FFH

3.2.2 汎用レジスタ

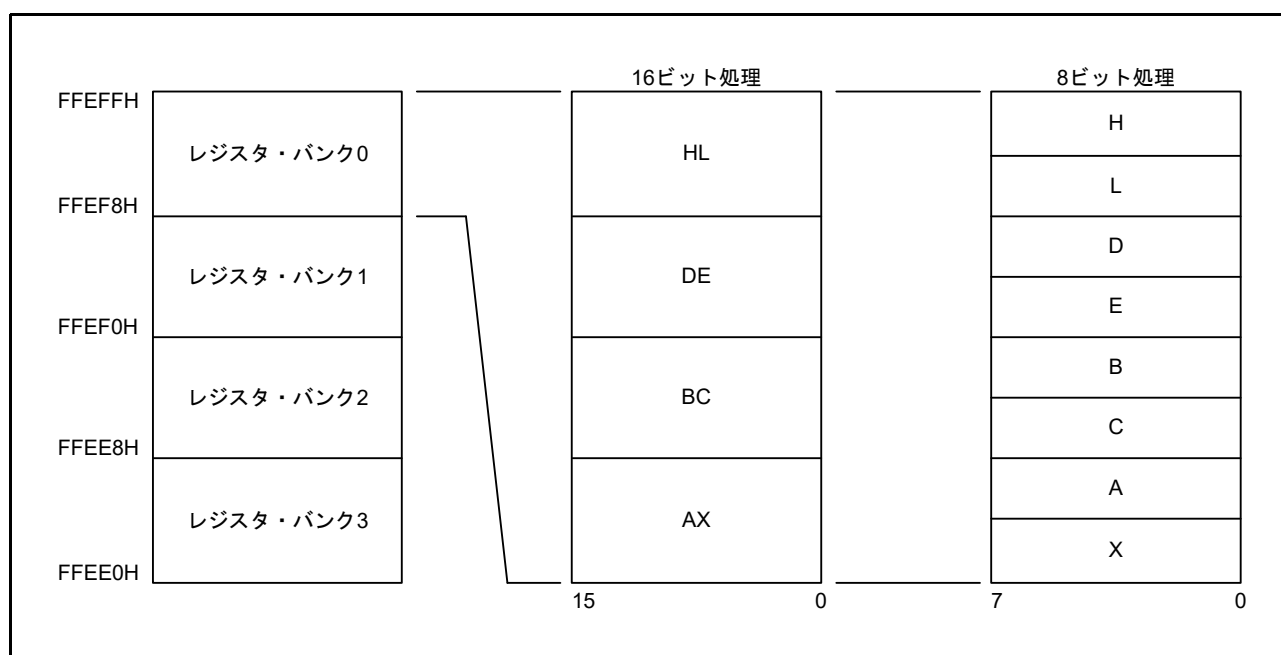
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

図3 - 10 汎用レジスタの構成（機能名称）



3.2.3 ES, CS レジスタ

ES レジスタでデータ・アクセス、CS レジスタで（レジスタ・インダイレクト・アドレッシング）分岐命令実行時の、それぞれ上位アドレスを指定できます。

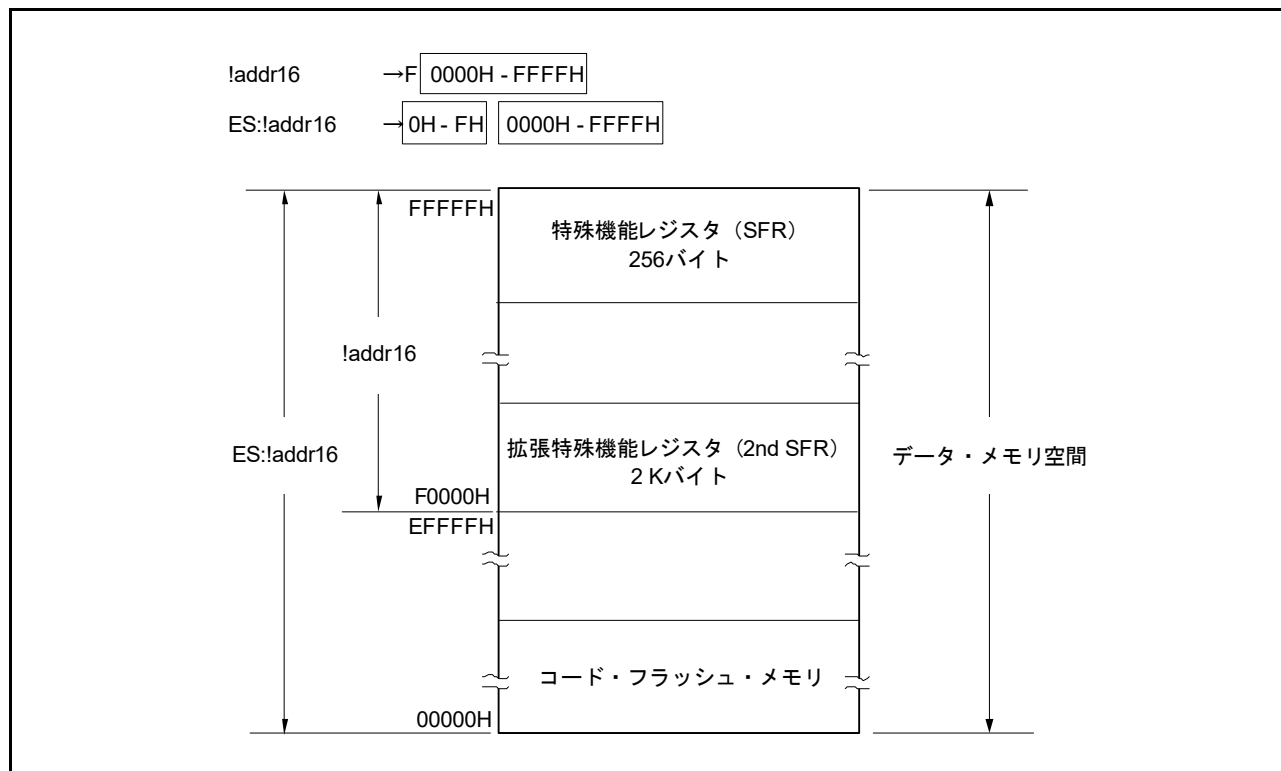
ES レジスタのリセット後の初期値は 0FH、CS レジスタのリセット後の初期値は 00H です。

図3 - 11 ES/CSレジスタの構成

略号	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
略号	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16 ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFH の 64 K バイト空間ですが、ES: を付加すると 00000H-FFFFFH の 1 M バイト空間に拡張できます。

図3 - 12 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ（SFR：Special Function Register）

特殊機能レジスタ（SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR 空間は、FFF00H-FFFFFH の領域に割り付けられています。

SFR は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド（sfr.bit）には、次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表3-5にSFR一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 指令で、sfr 変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W：読み出し／書き込みがともに可能

R：読み出しのみ可能

W：書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 2nd SFRについては、3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を参照してください。

表3 - 5 SFR一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0	R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1	R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2	R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3	R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4	R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5	R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6	R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7	R/W	○	○	—	00H
FFF08H	ポート・レジスタ8	P8	R/W	○	○	—	00H
FFF09H	ポート・レジスタ9	P9	R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12	R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13	R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14	R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	R/W	—	○	○	0000H
FFF11H		—		—	—	—	
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	R/W	—	○	○	0000H
FFF13H		—		—	—	—	
FFF14H	シリアル・データ・レジスタ12	TXD3/ SIO30	R/W	—	○	○	0000H
FFF15H		—		—	—	—	
FFF16H	シリアル・データ・レジスタ13	RXD3/ SIO31	R/W	—	○	○	0000H
FFF17H		—		—	—	—	
FFF18H	タイマ・データ・レジスタ00	TDR00	R/W	—	—	○	0000H
FFF19H				—	—	—	
FFF1AH	タイマ・データ・レジスタ01	TDR01L	R/W	—	○	○	00H
FFF1BH		TDR01H		—	○	—	00H
FFF1EH	12ビット／10ビットA/D変換結果レジスタ	ADCR	R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH	R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1	R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2	R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3	R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4	R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5	R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6	R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7	R/W	○	○	—	FFH
FFF28H	ポート・モード・レジスタ8	PM8	R/W	○	○	—	FFH
FFF29H	ポート・モード・レジスタ9	PM9	R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ12	PM12	R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ14	PM14	R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS	R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W	○	○	—	00H

表3 - 5 SFR一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL	R/W	○	○	—	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF	R/W	—	○	—	00H
FFF37H	キー・リターン・モード・レジスタ0	KRM0	R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0	R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0	R/W	○	○	—	00H
FFF40H	LCDモード・レジスタ0	LCDM0	R/W	—	○	—	00H
FFF41H	LCDモード・レジスタ1	LCDM1	R/W	○	○	—	00H
FFF42H	LCDクロック制御レジスタ0	LCDC0	R/W	—	○	—	00H
FFF43H	LCD昇圧レベル制御レジスタ	VLCD	R/W	—	○	—	04H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	R/W	—	○	○	0000H
FFF45H		—		—	—	—	
FFF46H	シリアル・データ・レジスタ03	RXD1/ SIO11	R/W	—	○	○	0000H
FFF47H		—		—	—	—	
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	R/W	—	○	○	0000H
FFF49H		—		—	—	—	
FFF4AH	シリアル・データ・レジスタ11	RXD2/ SIO21	R/W	—	○	○	0000H
FFF4BH		—		—	—	—	
FFF50H	IICAシフト・レジスタ0	IICA0	R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ0	IICS0	R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ0	IICF0	R/W	○	○	—	00H
FFF54H	IICAシフト・レジスタ1	IICA1	R/W	—	○	—	00H
FFF55H	IICAステータス・レジスタ1	IICS1	R	○	○	—	00H
FFF56H	IICAフラグ・レジスタ1	IICF1	R/W	○	○	—	00H
FFF64H	タイマ・データ・レジスタ02	TDR02	R/W	—	—	○	0000H
FFF65H				—	—	—	
FFF66H	タイマ・データ・レジスタ03	TDR03L	R/W	—	○	○	00H
FFF67H		TDR03H		—	○	—	00H
FFF68H	タイマ・データ・レジスタ04	TDR04	R/W	—	—	○	0000H
FFF69H				—	—	—	
FFF6AH	タイマ・データ・レジスタ05	TDR05	R/W	—	—	○	0000H
FFF6BH				—	—	—	
FFF6CH	タイマ・データ・レジスタ06	TDR06	R/W	—	—	○	0000H
FFF6DH				—	—	—	
FFF6EH	タイマ・データ・レジスタ07	TDR07	R/W	—	—	○	0000H
FFF6FH				—	—	—	
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W	○	○	—	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL	R/W	○	○	—	00H

表3-5 SFR一覧 (3/3)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット範囲			リセット 時
					1ビット	8ビット	16ビット	
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	—	○	—	不定 ^{注1}
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	—	00H ^{注2}
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	—	19H
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	—	○	—	9AH/ 1AH ^{注3}
FFFACH	CRC入力レジスタ	CRCIN		R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3	IF3L	IF3	R/W	○	○	○	00H
FFFD3H		IF3H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3	MK3L	MK3	R/W	○	○	○	FFH
FFFD7H		MK3H		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03	PR03L	PR03	R/W	○	○	○	FFH
FFFDBH		PR03H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH		PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13	PR13L	PR13	R/W	○	○	○	FFH
FFFDFH		PR13H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH		PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ（L）	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ（H）	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

注1. リセット要因は、第28章 リセット機能を参照してください。

注2. リセット要因により、初期値が異なります。30.3.1 電圧検出レジスタ (LVIM) を参照してください。

注3. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考 2nd SFRについては、表3-6 2nd SFR一覧を参照してください。

3.2.5 拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）

拡張特殊機能レジスタ（2nd SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

2nd SFR 空間は、F0000H-F07FFH の領域です。SFR 領域（FFF00H-FFFFFH）以外の SFR が割り付けられています。ただし、2nd SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

2nd SFR は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各 2nd SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
1ビット操作命令のオペランド（!addr16.bit）には、次のような記述をしてください。ビット名称が定義されている場合：<ビット名称>
ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作
8ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
16ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3 - 6 に 2nd SFR の一覧を示します。表中の項目の意味は次のとおりです。

- 略号
2nd SFR のアドレスを示す略号です。アセンブラで予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。アセンブラ、デバッグおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
該当する 2nd SFR が読み出し（Read）／書き込み（Write）可能かどうかを示します。
R/W：読み出し／書き込みがともに可能
R：読み出しのみ可能
W：書き込みのみ可能
- 操作可能ビット単位
操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- リセット時
リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFR が割り付けられていないアドレスにアクセスしないでください。

備考 SFR 領域の SFR については、3.1.4 特殊機能レジスタ（SFR : Special Function Register）領域を参照してください。

表3 - 6 2nd SFR一覧 (1/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0020H	12ビット／10ビットA/D変換結果レジスタ0	—	R	—	—	○	0000H
F0021H	8ビットA/D変換結果レジスタ0	ADCR0H	R	—	○	—	00H
F0030H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	—	00H
F0031H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	—	00H
F0032H	ブルアップ抵抗オプション・レジスタ2	PU2	R/W	○	○	—	00H
F0033H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	—	00H
F0034H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	—	01H
F0035H	ブルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	—	00H
F0036H	ブルアップ抵抗オプション・レジスタ6	PU6	R/W	○	○	—	00H
F0037H	ブルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	—	00H
F0038H	ブルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○	—	00H
F0039H	ブルアップ抵抗オプション・レジスタ9	PU9	R/W	○	○	—	00H
F003CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	—	00H
F003EH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0042H	ポート入力モード・レジスタ2	PIM2	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0046H	ポート入力モード・レジスタ6	PIM6	R/W	○	○	—	00H
F0047H	ポート入力モード・レジスタ7	PIM7	R/W	○	○	—	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	—	00H
F0049H	ポート入力モード・レジスタ9	PIM9	R/W	○	○	—	00H
F004CH	ポート入力モード・レジスタ12	PIM12	R/W	○	○	—	00H
F004EH	ポート入力モード・レジスタ14	PIM14	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0052H	ポート出力モード・レジスタ2	POM2	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0056H	ポート出力モード・レジスタ6	POM6	R/W	○	○	—	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W	○	○	—	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	—	00H
F0059H	ポート出力モード・レジスタ9	POM9	R/W	○	○	—	00H
F005CH	ポート出力モード・レジスタ12	POM12	R/W	○	○	—	00H
F005DH	ポート出力モード・レジスタ13	POM13	R/W	○	○	—	00H
F005EH	ポート出力モード・レジスタ14	POM14	R/W	○	○	—	00H
F0061H	ポート・モード・コントロールA・レジスタ1	PMCA1	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロールA・レジスタ2	PMCA2	R/W	○	○	—	FFH
F0064H	ポート・モード・コントロールA・レジスタ4	PMCA4	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H

表3 - 6 2nd SFR一覧 (2/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	タイマ入力選択レジスタ1	TIS1	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	UARTループバック選択レジスタ	ULBS	R/W	○	○	—	00H
F007AH	タイマ出力選択レジスタ	TOS	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F009EH	メイン発振器発振モード選択レジスタ	MODRV	R/W	—	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	注2
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	—	40H/80H/ C0H注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	—	00H
F00B0H	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ	FLSEC	R	—	—	○	不定
F00B2H	フラッシュ FSW モニタ・レジスタ S	FLFSWS	R	—	—	○	不定
F00B4H	フラッシュ FSW モニタ・レジスタ E	FLFSWE	R	—	—	○	不定
F00B6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET	R/W	—	○	—	00H
F00B7H	フラッシュ・エクストラ領域シーケンサ制御レジスタ	FSSE	R/W	○	○	—	00H
F00C0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD	W	—	○	—	不定
F00C1H	フラッシュ・ステータス・レジスタ	PFS	R	○	○	—	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F1H	周辺リセット制御レジスタ0	PRR0	R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV	R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	○	○	—	不定注4
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR	R/W	○	○	—	00H
F00FAH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F00FBH	周辺リセット制御レジスタ1	PRR1	R/W	○	○	—	00H
F00FCH	周辺イネーブル・レジスタ2	PER2	R/W	○	○	—	00H
F00FDH	周辺リセット制御レジスタ2	PRR2	R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定
F00FFH	割り込みベクタ移動許可レジスタ	VECTCTRL	R/W	—	○	—	00H
F0100H	シリアル・ステータス・レジスタ00	SSR00L	R	—	○	○	0000H
F0101H		—		—	—		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	R	—	○	○	0000H
F0103H		—		—	—		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	R	—	○	○	0000H
F0105H		—		—	—		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	R	—	○	○	0000H
F0107H		—		—	—		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	R/W	—	○	○	0000H
F0109H		—		—	—		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	R/W	—	○	○	0000H
F010BH		—		—	—		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	R/W	—	○	○	0000H
F010DH		—		—	—		

表3 - 6 2nd SFR一覧 (3/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット 時
					1ビット	8ビット	16ビット	
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ 03	SIR03L	SIR03	R/W	—	○	○	0000H
F010FH		—			—	—		
F0110H	シリアル・モード・レジスタ 00	SMR00		R/W	—	—	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ 01	SMR01		R/W	—	—	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ 02	SMR02		R/W	—	—	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ 03	SMR03		R/W	—	—	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ 00	SCR00		R/W	—	—	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ 01	SCR01		R/W	—	—	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ 02	SCR02		R/W	—	—	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ 03	SCR03		R/W	—	—	○	0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ 0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャンネル開始レジスタ 0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャンネル停止レジスタ 0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ 0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0140H	シリアル・ステータス・レジスタ 10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—	—		
F0142H	シリアル・ステータス・レジスタ 11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—	—		
F0144H	シリアル・ステータス・レジスタ 12	SSR12L	SSR12	R	—	○	○	0000H
F0145H		—			—	—		
F0146H	シリアル・ステータス・レジスタ 13	SSR13L	SSR13	R	—	○	○	0000H
F0147H		—			—	—		
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ 10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—	—		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ 11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—	—		
F014CH	シリアル・フラグ・クリア・トリガ・レジスタ 12	SIR12L	SIR12	R/W	—	○	○	0000H
F014DH		—			—	—		
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ 13	SIR13L	SIR13	R/W	—	○	○	0000H
F014FH		—			—	—		
F0150H	シリアル・モード・レジスタ 10	SMR10		R/W	—	—	○	0020H
F0151H								

表3 - 6 2nd SFR一覧 (4/21)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット 時
					1ビット	8ビット	16ビット	
F0152H	シリアル・モード・レジスタ 11	SMR11		R/W	—	—	○	0020H
F0153H								
F0154H	シリアル・モード・レジスタ 12	SMR12		R/W	—	—	○	0020H
F0155H								
F0156H	シリアル・モード・レジスタ 13	SMR13		R/W	—	—	○	0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ 10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ 11	SCR11		R/W	—	—	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ 12	SCR12		R/W	—	—	○	0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ 13	SCR13		R/W	—	—	○	0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ 1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—	—		
F0162H	シリアル・チャンネル開始レジスタ 1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—	—		
F0164H	シリアル・チャンネル停止レジスタ 1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—	—		
F0166H	シリアル・クロック選択レジスタ 1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—	—		
F0168H	シリアル出力レジスタ 1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ 1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—	—		
F0174H	シリアル出力レベル・レジスタ 1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—	—		
F0178H	シリアル・スタンバイ・コントロール・レジスタ 1	SSC1L	SSC1	R/W	—	○	○	0000H
F0179H		—			—	—		
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ 04	TCR04		R	—	—	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ 05	TCR05		R	—	—	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ 06	TCR06		R	—	—	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ 07	TCR07		R	—	—	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ 00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ 01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ 02	TMR02		R/W	—	—	○	0000H
F0195H								

表3 - 6 2nd SFR一覧 (5/21)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0196H	タイマ・モード・レジスタ 03	TMR03		R/W	—	—	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ 04	TMR04		R/W	—	—	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ 05	TMR05		R/W	—	—	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ 06	TMR06		R/W	—	—	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ 07	TMR07		R/W	—	—	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ 00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ 01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ 02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ 03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01A8H	タイマ・ステータス・レジスタ 04	TSR04L	TSR04	R	—	○	○	0000H
F01A9H		—			—	—		
F01AAH	タイマ・ステータス・レジスタ 05	TSR05L	TSR05	R	—	○	○	0000H
F01ABH		—			—	—		
F01ACH	タイマ・ステータス・レジスタ 06	TSR06L	TSR06	R	—	○	○	0000H
F01ADH		—			—	—		
F01AEH	タイマ・ステータス・レジスタ 07	TSR07L	TSR07	R	—	○	○	0000H
F01AFH		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・レジスタ 0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ 0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ 0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ 0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ 0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ 0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ 0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ 0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F0212H	中速オンチップ・オシレータ・トリミング・レジスタ	MIOTRM		R/W	—	○	—	90H
F0213H	低速オンチップ・オシレータ・トリミング・レジスタ	LIOTRM		R/W	—	○	—	80H
F0214H	高速システム・クロック分周レジスタ	MOSCDIV		R/W	—	○	—	00H
F0215H	スタンバイ・モード解除設定レジスタ	WKUPMD		R/W	○	○	—	00H
F0216H	メモリ電力削減制御レジスタ	PSMCR		R/W	○	○	—	00H
F0217H	XT1発振器マージンチェックレジスタ	SOMRG		R/W	—	○	—	00H
F0218H	LVD検出フラグ・クリア・レジスタ	LVDFCLR		R/W	○	○	—	00H
F0220H	秒カウント・レジスタ	SEC		R/W	—	○	—	不定

表3 - 6 2nd SFR一覧 (6/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F0221H	分カウント・レジスタ	MIN	R/W	—	○	—	不定
F0222H	時カウント・レジスタ	HOUR	R/W	—	○	—	不定
F0223H	曜日カウント・レジスタ	WEEK	R/W	—	○	—	不定
F0224H	日カウント・レジスタ	DAY	R/W	—	○	—	不定
F0225H	月カウント・レジスタ	MONTH	R/W	—	○	—	不定
F0226H	年カウント・レジスタ	YEAR	R/W	—	○	—	不定
F0227H	時計誤差補正レジスタ	SUBCUD	R/W	—	○	—	00H
F0228H	アラーム分レジスタ	ALARMWM	R/W	—	○	—	不定
F0229H	アラーム時レジスタ	ALARMWH	R/W	—	○	—	不定
F022AH	アラーム曜日レジスタ	ALARMWW	R/W	—	○	—	不定
F022BH	リアルタイム・クロック・コントロール・ レジスタ0	RTCC0	R/W	○	○	—	00H
F022CH	リアルタイム・クロック・コントロール・ レジスタ1	RTCC1	R/W	○	○	—	00H
F0230H	IICAコントロール・レジスタ00	IICCTL00	R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01	R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	—	○	—	00H
F0238H	IICAコントロール・レジスタ10	IICCTL10	R/W	○	○	—	00H
F0239H	IICAコントロール・レジスタ11	IICCTL11	R/W	○	○	—	00H
F023AH	IICAロウ・レベル幅設定レジスタ1	IICWL1	R/W	—	○	—	FFH
F023BH	IICAハイ・レベル幅設定レジスタ1	IICWH1	R/W	—	○	—	FFH
F023CH	スレーブ・アドレス・レジスタ1	SVA1	R/W	—	○	—	00H
F0240H	タイマRJ制御レジスタ0	TRJCR0	R/W	—	○	—	00H
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0	R/W	○	○	—	00H
F0242H	タイマRJモードレジスタ0	TRJMR0	R/W	○	○	—	00H
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0	R/W	○	○	—	00H
F0244H	タイマRJ制御レジスタ1	TRJCR1	R/W	—	○	—	00H
F0245H	タイマRJ I/O制御レジスタ1	TRJIOC1	R/W	○	○	—	00H
F0246H	タイマRJモードレジスタ1	TRJMR1	R/W	○	○	—	00H
F0247H	タイマRJイベント端子選択レジスタ1	TRJISR1	R/W	○	○	—	00H
F025AH	外部サンプリング制御レジスタ1	EXSDM1	R/W	—	○	—	00H
F025BH	外部サンプリング制御レジスタ0	EXSDM0	R/W	○	○	—	00H
F0260H	ポート・モード・コントロールT・レジスタ0	PMCT0	R/W	○	○	—	00H
F0263H	ポート・モード・コントロールT・レジスタ3	PMCT3	R/W	○	○	—	00H
F0265H	ポート・モード・コントロールT・レジスタ5	PMCT5	R/W	○	○	—	00H
F0267H	ポート・モード・コントロールT・レジスタ7	PMCT7	R/W	○	○	—	00H
F0269H	ポート・モード・コントロールT・レジスタ9	PMCT9	R/W	○	○	—	00H
F026CH	ポート・モード・コントロールT・レジスタ12	PMCT12	R/W	○	○	—	00H
F0280H	ポート・モード・コントロールE・レジスタ0	PMCE0	R/W	○	○	—	00H
F0281H	ポート・モード・コントロールE・レジスタ1	PMCE1	R/W	○	○	—	00H
F0286H	ポート・モード・コントロールE・レジスタ6	PMCE6	R/W	○	○	—	00H
F0287H	ポート・モード・コントロールE・レジスタ7	PMCE7	R/W	○	○	—	00H
F0290H	LCDポート・ファンクション・レジスタ0	PFSEG0	R/W	○	○	—	0FH
F0291H	LCDポート・ファンクション・レジスタ1	PFSEG1	R/W	○	○	—	FFH
F0292H	LCDポート・ファンクション・レジスタ2	PFSEG2	R/W	○	○	—	FFH
F0293H	LCDポート・ファンクション・レジスタ3	PFSEG3	R/W	○	○	—	FFH
F0294H	LCDポート・ファンクション・レジスタ4	PFSEG4	R/W	○	○	—	EFH

表3 - 6 2nd SFR一覧 (7/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F0295H	LCDポート・ファンクション・レジスタ5	PFSEG5	R/W	○	○	—	FFH
F0296H	LCDポート・ファンクション・レジスタ6	PFSEG6	R/W	○	○	—	FFH
F0297H	LCDポート・ファンクション・レジスタ7	PFSEG7	R/W	○	○	—	FFH
F0298H	LCD入力切り替え制御レジスタ	ISCLCD	R/W	○	○	—	00H
F0299H	LCDモード・レジスタ2	LCDM2	R/W	○	○	—	00H
F029EH	A/Dコンバータ・モード・拡張レジスタ1	ADM1EX	R/W	○	○	—	00H
F02A0H	出力電流選択レジスタ0	CCS0	R/W	—	○	—	00H
F02A4H	出力電流選択レジスタ4	CCS4	R/W	—	○	—	00H
F02A5H	出力電流選択レジスタ5	CCS5	R/W	—	○	—	00H
F02A6H	出力電流選択レジスタ6	CCS6	R/W	—	○	—	00H
F02A7H	出力電流選択レジスタ7	CCS7	R/W	—	○	—	00H
F02A8H	出力電流制御許可レジスタ	CCDE	R/W	○	○	—	00H
F02A9H	40 mAポート出力制御レジスタ	PTDC	R/W	○	○	—	00H
F02AAH	ポート・ファンクション出力許可レジスタ0	PFOE0	R/W	○	○	—	FFH
F02ABH	ポート・ファンクション出力許可レジスタ1	PFOE1	R/W	○	○	—	FFH
F02B0H	ポート・デジタル・インプット・ディスエーブル・レジスタ0	PDIDIS0	R/W	○	○	—	00H
F02B1H	ポート・デジタル・インプット・ディスエーブル・レジスタ1	PDIDIS1	R/W	○	○	—	00H
F02B2H	ポート・デジタル・インプット・ディスエーブル・レジスタ2	PDIDIS2	R/W	○	○	—	00H
F02B3H	ポート・デジタル・インプット・ディスエーブル・レジスタ3	PDIDIS3	R/W	○	○	—	00H
F02B4H	ポート・デジタル・インプット・ディスエーブル・レジスタ4	PDIDIS4	R/W	○	○	—	00H
F02B5H	ポート・デジタル・インプット・ディスエーブル・レジスタ5	PDIDIS5	R/W	○	○	—	00H
F02B6H	ポート・デジタル・インプット・ディスエーブル・レジスタ6	PDIDIS6	R/W	○	○	—	00H
F02B7H	ポート・デジタル・インプット・ディスエーブル・レジスタ7	PDIDIS7	R/W	○	○	—	00H
F02B8H	ポート・デジタル・インプット・ディスエーブル・レジスタ8	PDIDIS8	R/W	○	○	—	00H
F02B9H	ポート・デジタル・インプット・ディスエーブル・レジスタ9	PDIDIS9	R/W	○	○	—	00H
F02BCH	ポート・デジタル・インプット・ディスエーブル・レジスタ12	PDIDIS12	R/W	○	○	—	00H
F02BDH	ポート・デジタル・インプット・ディスエーブル・レジスタ13	PDIDIS13	R/W	○	○	—	00H
F02BEH	ポート・デジタル・インプット・ディスエーブル・レジスタ14	PDIDIS14	R/W	○	○	—	00H
F02C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	—	○	—	08H
F02C1H	フラッシュ領域選択レジスタ	FLARS	R/W	○	○	—	00H
F02C2H	フラッシュ・アドレス・ポインタ・レジスタL	FLAPL	R/W	—	—	○	0000H
F02C4H	フラッシュ・アドレス・ポインタ・レジスタH	FLAPH	R/W	—	○	—	00H
F02C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ	R/W	○	○	—	00H
F02C6H	フラッシュ・エンド・アドレス・ポインタ・レジスタL	FLSEDL	R/W	—	—	○	0000H

表3 - 6 2nd SFR一覧 (8/21)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F02C8H	フラッシュ・エンド・アドレス・ポインタ・レジスタH	FLSEDH	R/W	—	○	—	00H
F02C9H	フラッシュ・レジスタ初期化レジスタ	FLRST	R/W	○	○	—	00H
F02CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタL	FSASTL	R	○	○	—	00H/ 80H
F02CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH	FSASTH	R	○	○	—	00H/ 04H
F02CCH	フラッシュ・ライト・バッファ・レジスタL	FLWL	R/W	—	—	○	0000H
F02CEH	フラッシュ・ライト・バッファ・レジスタH	FLWH	R/W	—	—	○	0000H
F02D0H	発振停止検出制御レジスタ	OSDC	R/W	—	—	○	0FFFH
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR	R/W	—	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	—	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	—	00H
F02EDH	DTC起動許可レジスタ5	DTCEN5	R/W	○	○	—	00H
F02EEH	DTC起動許可レジスタ6	DTCEN6	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H
F0300H	送信バッファ・レジスタ0	TXBA0	R/W	—	○	—	FFH
F0301H	受信バッファ・レジスタ0	RXBA0	R	—	○	—	FFH
F0302H	動作モード設定レジスタ00	ASIMA00	R/W	○	○	—	01H
F0303H	動作モード設定レジスタ01	ASIMA01	R/W	○	○	—	1AH
F0304H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGCA0	R/W	—	○	—	FFH
F0305H	ステータス・レジスタ0	ASISA0	R	—	○	—	00H
F0306H	ステータス・クリア・トリガ・レジスタ0	ASCTA0	R/W	○	○	—	00H
F0310H	UARTAクロック選択レジスタ0	UTA0CK	R/W	○	○	—	00H
F0330H	D/A変換値設定レジスタ0	DACS0	R/W	—	○	—	00H
F0331H	D/A変換値設定レジスタ1	DACS1	R/W	—	○	—	00H
F0332H	D/Aコンバータ・モード・レジスタ0	DAM0	R/W	○	○	—	00H
F0338H	D/A変換値設定レジスタ2	DACS2	R/W	—	○	—	00H
F033AH	D/Aコンバータ・モード・レジスタ1	DAM1	R/W	○	○	—	00H
F0340H	コンパレータ・モード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータ・フィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0360H	インターバル・タイマ・コンペア・レジスタ00	ITLCMP000	ITLCMP00	—	○	○	FFFFH
F0361H		ITLCMP001		—	○		
F0362H	インターバル・タイマ・コンペア・レジスタ01	ITLCMP012	ITLCMP01	—	○	○	FFFFH
F0363H		ITLCMP013		—	○		
F0364H	インターバル・タイマ・キャプチャ・レジスタ00	ITLCAP00	R	—	—	○	0000H
F0365H							
F0366H	インターバル・タイマ制御レジスタ	ITLCTL0	R/W	○	○	—	00H
F0367H	インターバル・タイマ・クロック選択レジスタ0	ITLCSEL0	R/W	—	○	—	00H
F0368H	インターバル・タイマ分周レジスタ0	ITLFDIV00	R/W	—	○	—	00H
F0369H	インターバル・タイマ分周レジスタ1	ITLFDIV01	R/W	—	○	—	00H
F036AH	インターバル・タイマ・キャプチャ制御レジスタ0	ITLCC0	R/W	○	○	—	00H

表3 - 6 2nd SFR一覧 (9/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F036BH	インターバル・タイマ・ステータス・レジスタ	ITLS0	R/W	—	○	—	00H
F036CH	インターバル・タイマ・致検出マスク・レジスタ	ITLMKF0	R/W	—	○	—	00H
F0370H	外部割り込み制御レジスタ0	INTPCTL0	R/W	—	○	—	00H
F0371H	外部割り込み制御レジスタ1	INTPCTL1	R/W	—	○	—	00H
F0372H	外部割り込み制御レジスタ2	INTPCTL2	R/W	—	○	—	00H
F0373H	外部割り込み制御レジスタ3	INTPCTL3	R/W	—	○	—	00H
F0374H	外部割り込み制御レジスタ4	INTPCTL4	R/W	—	○	—	00H
F0375H	外部割り込み制御レジスタ5	INTPCTL5	R/W	—	○	—	00H
F0376H	外部割り込み制御レジスタ6	INTPCTL6	R/W	—	○	—	00H
F0377H	外部割り込み制御レジスタ7	INTPCTL7	R/W	—	○	—	00H
F037FH	タイマ・クロック選択レジスタ2	TPS2	R/W	—	○	—	00H
F0380H	シーケンサ・インストラクション・レジスタ0	SMSI0	R/W	—	—	○	0000H
F0381H							
F0382H	シーケンサ・インストラクション・レジスタ1	SMSI1	R/W	—	—	○	0000H
F0383H							
F0384H	シーケンサ・インストラクション・レジスタ2	SMSI2	R/W	—	—	○	0000H
F0385H							
F0386H	シーケンサ・インストラクション・レジスタ3	SMSI3	R/W	—	—	○	0000H
F0387H							
F0388H	シーケンサ・インストラクション・レジスタ4	SMSI4	R/W	—	—	○	0000H
F0389H							
F038AH	シーケンサ・インストラクション・レジスタ5	SMSI5	R/W	—	—	○	0000H
F038BH							
F038CH	シーケンサ・インストラクション・レジスタ6	SMSI6	R/W	—	—	○	0000H
F038DH							
F038EH	シーケンサ・インストラクション・レジスタ7	SMSI7	R/W	—	—	○	0000H
F038FH							
F0390H	シーケンサ・インストラクション・レジスタ8	SMSI8	R/W	—	—	○	0000H
F0391H							
F0392H	シーケンサ・インストラクション・レジスタ9	SMSI9	R/W	—	—	○	0000H
F0393H							
F0394H	シーケンサ・インストラクション・レジスタ10	SMSI10	R/W	—	—	○	0000H
F0395H							
F0396H	シーケンサ・インストラクション・レジスタ11	SMSI11	R/W	—	—	○	0000H
F0397H							
F0398H	シーケンサ・インストラクション・レジスタ12	SMSI12	R/W	—	—	○	0000H
F0399H							
F039AH	シーケンサ・インストラクション・レジスタ13	SMSI13	R/W	—	—	○	0000H
F039BH							
F039CH	シーケンサ・インストラクション・レジスタ14	SMSI14	R/W	—	—	○	0000H
F039DH							
F039EH	シーケンサ・インストラクション・レジスタ15	SMSI15	R/W	—	—	○	0000H
F039FH							
F03A0H	シーケンサ・インストラクション・レジスタ16	SMSI16	R/W	—	—	○	0000H
F03A1H							
F03A2H	シーケンサ・インストラクション・レジスタ17	SMSI17	R/W	—	—	○	0000H
F03A3H							
F03A4H	シーケンサ・インストラクション・レジスタ18	SMSI18	R/W	—	—	○	0000H
F03A5H							
F03A6H	シーケンサ・インストラクション・レジスタ19	SMSI19	R/W	—	—	○	0000H
F03A7H							

表3 - 6 2nd SFR一覧 (10/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F03A8H	シーケンサ・インストラクション・レジスタ 20	SMSI20	R/W	—	—	○	0000H
F03A9H							
F03AAH	シーケンサ・インストラクション・レジスタ 21	SMSI21	R/W	—	—	○	0000H
F03ABH							
F03ACH	シーケンサ・インストラクション・レジスタ 22	SMSI22	R/W	—	—	○	0000H
F03ADH							
F03AEH	シーケンサ・インストラクション・レジスタ 23	SMSI23	R/W	—	—	○	0000H
F03AFH							
F03B0H	シーケンサ・インストラクション・レジスタ 24	SMSI24	R/W	—	—	○	0000H
F03B1H							
F03B2H	シーケンサ・インストラクション・レジスタ 25	SMSI25	R/W	—	—	○	0000H
F03B3H							
F03B4H	シーケンサ・インストラクション・レジスタ 26	SMSI26	R/W	—	—	○	0000H
F03B5H							
F03B6H	シーケンサ・インストラクション・レジスタ 27	SMSI27	R/W	—	—	○	0000H
F03B7H							
F03B8H	シーケンサ・インストラクション・レジスタ 28	SMSI28	R/W	—	—	○	0000H
F03B9H							
F03BAH	シーケンサ・インストラクション・レジスタ 29	SMSI29	R/W	—	—	○	0000H
F03BBH							
F03BCH	シーケンサ・インストラクション・レジスタ 30	SMSI30	R/W	—	—	○	0000H
F03BDH							
F03BEH	シーケンサ・インストラクション・レジスタ 31	SMSI31	R/W	—	—	○	0000H
F03BFH							
F03C0H	シーケンサ汎用レジスタ 0	MSG0	R	—	—	○	0000H
F03C1H							
F03C2H	シーケンサ汎用レジスタ 1	MSG1	R/W	—	—	○	0000H
F03C3H							
F03C4H	シーケンサ汎用レジスタ 2	MSG2	R/W	—	—	○	0000H
F03C5H							
F03C6H	シーケンサ汎用レジスタ 3	MSG3	R/W	—	—	○	0000H
F03C7H							
F03C8H	シーケンサ汎用レジスタ 4	MSG4	R/W	—	—	○	0000H
F03C9H							
F03CAH	シーケンサ汎用レジスタ 5	MSG5	R/W	—	—	○	0000H
F03CBH							
F03CCH	シーケンサ汎用レジスタ 6	MSG6	R/W	—	—	○	0000H
F03CDH							
F03CEH	シーケンサ汎用レジスタ 7	MSG7	R/W	—	—	○	0000H
F03CFH							
F03D0H	シーケンサ汎用レジスタ 8	MSG8	R/W	—	—	○	0000H
F03D1H							
F03D2H	シーケンサ汎用レジスタ 9	MSG9	R/W	—	—	○	0000H
F03D3H							
F03D4H	シーケンサ汎用レジスタ 10	MSG10	R/W	—	—	○	0000H
F03D5H							
F03D6H	シーケンサ汎用レジスタ 11	MSG11	R/W	—	—	○	0000H
F03D7H							
F03D8H	シーケンサ汎用レジスタ 12	MSG12	R/W	—	—	○	0000H
F03D9H							
F03DAH	シーケンサ汎用レジスタ 13	MSG13	R/W	—	—	○	0000H
F03DBH							

表3 - 6 2nd SFR一覧 (11/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F03DCH	シーケンサ汎用レジスタ 14	SMSG14	R/W	—	—	○	0000H
F03DDH				—	—	○	
F03DEH	シーケンサ汎用レジスタ 15	SMSG15	R	—	—	○	FFFFH
F03DFH				—	—	○	
F03E0H	シーケンサ制御レジスタ	SMSC	R/W	○	○	—	00H
F03E1H	シーケンサ・ステータス・レジスタ	SMSS	R	○	○	—	00H
F0400H	LCD表示データ・メモリ 0	SEG0	R/W	—	○	—	00H
F0401H	LCD表示データ・メモリ 1	SEG1	R/W	—	○	—	00H
F0402H	LCD表示データ・メモリ 2	SEG2	R/W	—	○	—	00H
F0403H	LCD表示データ・メモリ 3	SEG3	R/W	—	○	—	00H
F0404H	LCD表示データ・メモリ 4	SEG4	R/W	—	○	—	00H
F0405H	LCD表示データ・メモリ 5	SEG5	R/W	—	○	—	00H
F0406H	LCD表示データ・メモリ 6	SEG6	R/W	—	○	—	00H
F0407H	LCD表示データ・メモリ 7	SEG7	R/W	—	○	—	00H
F0408H	LCD表示データ・メモリ 8	SEG8	R/W	—	○	—	00H
F0409H	LCD表示データ・メモリ 9	SEG9	R/W	—	○	—	00H
F040AH	LCD表示データ・メモリ 10	SEG10	R/W	—	○	—	00H
F040BH	LCD表示データ・メモリ 11	SEG11	R/W	—	○	—	00H
F040CH	LCD表示データ・メモリ 12	SEG12	R/W	—	○	—	00H
F040DH	LCD表示データ・メモリ 13	SEG13	R/W	—	○	—	00H
F040EH	LCD表示データ・メモリ 14	SEG14	R/W	—	○	—	00H
F040FH	LCD表示データ・メモリ 15	SEG15	R/W	—	○	—	00H
F0410H	LCD表示データ・メモリ 16	SEG16	R/W	—	○	—	00H
F0411H	LCD表示データ・メモリ 17	SEG17	R/W	—	○	—	00H
F0412H	LCD表示データ・メモリ 18	SEG18	R/W	—	○	—	00H
F0413H	LCD表示データ・メモリ 19	SEG19	R/W	—	○	—	00H
F0414H	LCD表示データ・メモリ 20	SEG20	R/W	—	○	—	00H
F0415H	LCD表示データ・メモリ 21	SEG21	R/W	—	○	—	00H
F0416H	LCD表示データ・メモリ 22	SEG22	R/W	—	○	—	00H
F0417H	LCD表示データ・メモリ 23	SEG23	R/W	—	○	—	00H
F0418H	LCD表示データ・メモリ 24	SEG24	R/W	—	○	—	00H
F0419H	LCD表示データ・メモリ 25	SEG25	R/W	—	○	—	00H
F041AH	LCD表示データ・メモリ 26	SEG26	R/W	—	○	—	00H
F041BH	LCD表示データ・メモリ 27	SEG27	R/W	—	○	—	00H
F041CH	LCD表示データ・メモリ 28	SEG28	R/W	—	○	—	00H
F041DH	LCD表示データ・メモリ 29	SEG29	R/W	—	○	—	00H
F041EH	LCD表示データ・メモリ 30	SEG30	R/W	—	○	—	00H
F041FH	LCD表示データ・メモリ 31	SEG31	R/W	—	○	—	00H
F0420H	LCD表示データ・メモリ 32	SEG32	R/W	—	○	—	00H
F0421H	LCD表示データ・メモリ 33	SEG33	R/W	—	○	—	00H
F0422H	LCD表示データ・メモリ 34	SEG34	R/W	—	○	—	00H
F0423H	LCD表示データ・メモリ 35	SEG35	R/W	—	○	—	00H
F0424H	LCD表示データ・メモリ 36	SEG36	R/W	—	○	—	00H
F0425H	LCD表示データ・メモリ 37	SEG37	R/W	—	○	—	00H
F0426H	LCD表示データ・メモリ 38	SEG38	R/W	—	○	—	00H
F0427H	LCD表示データ・メモリ 39	SEG39	R/W	—	○	—	00H
F0428H	LCD表示データ・メモリ 40	SEG40	R/W	—	○	—	00H
F0429H	LCD表示データ・メモリ 41	SEG41	R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (12/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F042AH	LCD表示データ・メモリ42	SEG42	R/W	—	○	—	00H
F042BH	LCD表示データ・メモリ43	SEG43	R/W	—	○	—	00H
F042CH	LCD表示データ・メモリ44	SEG44	R/W	—	○	—	00H
F042DH	LCD表示データ・メモリ45	SEG45	R/W	—	○	—	00H
F042EH	LCD表示データ・メモリ46	SEG46	R/W	—	○	—	00H
F042FH	LCD表示データ・メモリ47	SEG47	R/W	—	○	—	00H
F0430H	LCD表示データ・メモリ48	SEG48	R/W	—	○	—	00H
F0431H	LCD表示データ・メモリ49	SEG49	R/W	—	○	—	00H
F0432H	LCD表示データ・メモリ50	SEG50	R/W	—	○	—	00H
F0433H	LCD表示データ・メモリ51	SEG51	R/W	—	○	—	00H
F0434H	LCD表示データ・メモリ52	SEG52	R/W	—	○	—	00H
F0435H	LCD表示データ・メモリ53	SEG53	R/W	—	○	—	00H
F0436H	LCD表示データ・メモリ54	SEG54	R/W	—	○	—	00H
F0437H	LCD表示データ・メモリ55	SEG55	R/W	—	○	—	00H
F0440H	8ビット・インターバル・タイマ・コンペア・レジスタ00	TRTCMP00	TRTCMP0	R/W	—	○	FFH
F0441H	8ビット・インターバル・タイマ・コンペア・レジスタ01	TRTCMP01		R/W	—	○	FFH
F0442H	8ビット・インターバル・タイマ制御レジスタ0	TRTCR0	R/W	○	○	—	00H
F0443H	8ビット・インターバル・タイマ分周レジスタ0	TRTMD0	R/W	—	○	—	00H
F0448H	8ビット・インターバル・タイマ・コンペア・レジスタ10	TRTCMP10	TRTCMP1	R/W	—	○	FFH
F0449H	8ビット・インターバル・タイマ・コンペア・レジスタ11	TRTCMP11		R/W	—	○	FFH
F044AH	8ビット・インターバル・タイマ制御レジスタ1	TRTCR1	R/W	○	○	—	00H
F044BH	8ビット・インターバル・タイマ分周レジスタ1	TRTMD1	R/W	—	○	—	00H
F0450H	8ビット・インターバル・タイマ・コンペア・レジスタ20	TRTCMP20	TRTCMP2	R/W	—	○	FFH
F0451H	8ビット・インターバル・タイマ・コンペア・レジスタ21	TRTCMP21		R/W	—	○	FFH
F0452H	8ビット・インターバル・タイマ制御レジスタ2	TRTCR2	R/W	○	○	—	00H
F0453H	8ビット・インターバル・タイマ分周レジスタ2	TRTMD2	R/W	—	○	—	00H
F0458H	8ビット・インターバル・タイマ・コンペア・レジスタ30	TRTCMP30	TRTCMP3	R/W	—	○	FFH
F0459H	8ビット・インターバル・タイマ・コンペア・レジスタ31	TRTCMP31		R/W	—	○	FFH
F045AH	8ビット・インターバル・タイマ制御レジスタ3	TRTCR3	R/W	○	○	—	00H
F045BH	8ビット・インターバル・タイマ分周レジスタ3	TRTMD3	R/W	—	○	—	00H
F0460H	8ビット・インターバル・タイマ・コンペア・レジスタ40	TRTCMP40	TRTCMP4	R/W	—	○	FFH
F0461H	8ビット・インターバル・タイマ・コンペア・レジスタ41	TRTCMP41		R/W	—	○	FFH
F0462H	8ビット・インターバル・タイマ制御レジスタ4	TRTCR4	R/W	○	○	—	00H
F0463H	8ビット・インターバル・タイマ分周レジスタ4	TRTMD4	R/W	—	○	—	00H
F0468H	8ビット・インターバル・タイマ・コンペア・レジスタ50	TRTCMP50	TRTCMP5	R/W	—	○	FFH
F0469H	8ビット・インターバル・タイマ・コンペア・レジスタ51	TRTCMP51		R/W	—	○	FFH

表3 - 6 2nd SFR一覧 (13/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F046AH	8ビット・インターバル・タイマ制御レジスタ5	TRTCR5	R/W	○	○	—	00H
F046BH	8ビット・インターバル・タイマ分周レジスタ5	TRTMD5	R/W	—	○	—	00H
F0470H	8ビット・インターバル・タイマ・コンペア・ レジスタ60	TRTCMP60	R/W	—	○	○	FFH
F0471H	8ビット・インターバル・タイマ・コンペア・ レジスタ61	TRTCMP61		—	○		FFH
F0472H	8ビット・インターバル・タイマ制御レジスタ6	TRTCR6	R/W	○	○	—	00H
F0473H	8ビット・インターバル・タイマ分周レジスタ6	TRTMD6	R/W	—	○	—	00H
F0478H	8ビット・インターバル・タイマ・コンペア・ レジスタ70	TRTCMP70	R/W	—	○	○	FFH
F0479H	8ビット・インターバル・タイマ・コンペア・ レジスタ71	TRTCMP71		—	○		FFH
F047AH	8ビット・インターバル・タイマ制御レジスタ7	TRTCR7	R/W	○	○	—	00H
F047BH	8ビット・インターバル・タイマ分周レジスタ7	TRTMD7	R/W	—	○	—	00H
F0480H	割り込みベクタ変更レジスタ0	FLSIVC0	R/W	—	—	○	0000H
F0481H							
F0482H	割り込みベクタ変更レジスタ1	FLSIVC1	R/W	—	—	○	000FH
F0483H							
F0488H	コード・フラッシュ・メモリ・ガードレジスタ	GFLASH0	R/W	—	—	○	0000H
F0489H							
F048AH	データ・フラッシュ・メモリ・ガードレジスタ	GFLASH1	R/W	—	—	○	0000H
F048BH							
F048CH	フラッシュ・セキュリティ領域ガードレジスタ	GFLASH2	R/W	—	—	○	0000H
F048DH							
F048EH	IAWCTL レジスタ・ガードレジスタ	GIWCTL	R/W	—	—	○	0000H
F048FH							
F0490H	16ビット・タイマKB間引き制御レジスタ0	TKBTCTL0	R/W	—	○	—	00H
F0491H	16ビット・タイマKB間引き回数設定レジスタ0	TKBTCMP0	R/W	—	○	—	00H
F0492H	16ビット・タイマKB間引き制御レジスタ1	TKBTCTL1	R/W	—	○	—	00H
F0493H	16ビット・タイマKB間引き回数設定レジスタ1	TKBTCMP1	R/W	—	○	—	00H
F0494H	16ビット・タイマKB間引き制御レジスタ2	TKBTCTL2	R/W	—	○	—	00H
F0495H	16ビット・タイマKB間引き回数設定レジスタ2	TKBTCMP2	R/W	—	○	—	00H
F04A0H	16ビット・タイマKBコンペアレジスタ20	TKBCR20	R/W	—	—	○	0000H
F04A1H							
F04A2H	16ビット・タイマKBコンペアレジスタ21	TKBCR21	R/W	—	—	○	0000H
F04A3H							
F04A4H	16ビット・タイマKBコンペアレジスタ22	TKBCR22	R/W	—	—	○	0000H
F04A5H							
F04A6H	16ビット・タイマKBコンペアレジスタ23	TKBCR23	R/W	—	—	○	0000H
F04A7H							
F04A8H	16ビット・タイマKBトリガ・コンペア・ レジスタ2	TKBTGCR2	R/W	—	—	○	0000H
F04A9H							
F04AAH	16ビット・タイマKBソフト・スタート・ 初期デューティ・レジスタ20	TKBSIR20	R/W	—	—	○	0000H
F04ABH							
F04ACH	16ビット・タイマKBソフト・スタート・ 初期デューティ・レジスタ21	TKBSIR21	R/W	—	—	○	0000H
F04ADH							
F04AEH	16ビット・タイマKBディザリング数レジスタ20	TKBDNR20	R/W	—	○	—	00H
F04AFH	16ビット・タイマKBソフト・スタート・ ステップ幅レジスタ20	TKBSSR20	R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (14/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F04B0H	16ビット・タイマKBディザリング数レジスタ21	TKBDNR21	R/W	—	○	—	00H
F04B1H	16ビット・タイマKBソフト・スタート・ ステップ幅レジスタ21	TKBSSR21	R/W	—	○	—	00H
F04B2H	16ビット・タイマKBトリガ・レジスタ2	TKBTRG2	W	○	○	—	00H
F04B3H	16ビット・タイマKBフラグ・レジスタ2	TKBFLG2	R	○	○	—	00H
F04B4H	16ビット・タイマKBコンペア1L&ディザリング数 レジスタ20	TKBCRLD20	R/W	—	—	○	0000H
F04B6H	16ビット・タイマKBコンペア3L&ディザリング数 レジスタ21	TKBCRLD21	R/W	—	—	○	0000H
F04C0H	16ビット・タイマ・カウンタKB2	TKBCNT2	R	—	—	○	FFFFH
F04C1H							
F04C2H	16ビット・タイマKB動作制御レジスタ20	TKBCTL20	R/W	—	—	○	0040H
F04C3H							
F04C4H	16ビット・タイマKB最大周波数リミット設定 レジスタ2	TKBMFR2	R/W	—	—	○	0000H
F04C5H							
F04C6H	16ビット・タイマKB出力制御レジスタ20	TKBIOC20	R/W	○	○	—	00H
F04C7H	16ビット・タイマKBフラグ・クリア・トリガ・ レジスタ2	TKBCLR2	W	○	○	—	00H
F04C8H	16ビット・タイマKB出力制御レジスタ21	TKBIOC21	R/W	○	○	—	00H
F04C9H	16ビット・タイマKB動作制御レジスタ21	TKBCTL21	R/W	○	○	—	00H
F04CAH	16ビット・タイマKB動作制御レジスタ22	TKBCTL22	R/W	—	—	○	0000H
F04CBH							
F04D0H	強制出力停止機能制御レジスタ20	TKBPACTL20	R/W	—	—	○	0000H
F04D1H							
F04D2H	強制出力停止機能制御レジスタ21	TKBPACTL21	R/W	—	—	○	0000H
F04D3H							
F04D4H	強制出力停止機能1開始トリガ・レジスタ2	TKBPAHFS2	R/W	○	○	—	00H
F04D5H	強制出力停止機能1解除トリガ・レジスタ2	TKBPAHFT2	R/W	○	○	—	00H
F04D6H	強制出力停止機能フラグ・レジスタ2	TKBPAFLG2	R	○	○	—	00H
F04D7H	強制出力停止機能制御レジスタ22	TKBPACTL22	R/W	○	○	—	00H
F04D8H	強制出力停止機能1トリガ選択レジスタ20	TKBPAHXS20	R/W	—	—	○	0000H
F04D9H							
F04DAH	強制出力停止機能1トリガ選択レジスタ21	TKBPAHXS21	R/W	—	—	○	0000H
F04DBH							
F04DCH	強制出力停止機能2トリガ選択レジスタ20	TKBPAFXS20	R/W	—	—	○	0000H
F04DDH							
F04DEH	強制出力停止機能2トリガ選択レジスタ21	TKBPAFXS21	R/W	—	—	○	0000H
F04DFH							
F04E0H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F04E1H	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	—	○	—	00H
F04E2H	周辺I/Oリダイレクション・レジスタ2	PIOR2	R/W	—	○	—	00H
F04E3H	周辺I/Oリダイレクション・レジスタ3	PIOR3	R/W	—	○	—	00H
F04E4H	周辺I/Oリダイレクション・レジスタ4	PIOR4	R/W	—	○	—	00H
F04E5H	周辺I/Oリダイレクション・レジスタ5	PIOR5	R/W	—	○	—	00H
F04E6H	周辺I/Oリダイレクション・レジスタ6	PIOR6	R/W	—	○	—	00H
F04E7H	周辺I/Oリダイレクション・レジスタ7	PIOR7	R/W	—	○	—	00H
F04E8H	周辺I/Oリダイレクション・レジスタ8	PIOR8	R/W	—	○	—	00H
F04E9H	周辺I/Oリダイレクション・レジスタ9	PIOR9	R/W	—	○	—	00H
F04EAH	周辺I/Oリダイレクション・レジスタ10	PIOR10	R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (15/21)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F04EBH	周辺I/Oリダイレクション・レジスタ11	PIOR11		R/W	—	○	—	00H
F04ECH	周辺I/Oリダイレクション・レジスタ12	PIOR12		R/W	—	○	—	00H
F04EDH	周辺I/Oリダイレクション・レジスタ13	PIOR13		R/W	—	○	—	00H
F0500H	CTSUSUCT制御レジスタAL	CTSUCR0	CTSUCRAL	R/W	○	○	○	0000H
F0501H		CTSUCR1			○	○		
F0502H	CTSUSUCT制御レジスタAH	CTSUCR2	CTSUCRAH	R/W	○	○	○	0000H
F0503H		CTSUCR3			○	○		
F0504H	CTSUSUCT制御レジスタBL	CTSUSDP RS	CTSUCRBL	R/W	○	○	○	0000H
F0505H		CTSUSST			—	○		
F0506H	CTSUSUCT制御レジスタBH	—	CTSUCRBH	R/W	—	—	○	0000H
F0507H		CTSUDCLKC			—	○		
F0508H	CTSUSUCT計測チャネル・レジスタL	CTSUMCH0	CTSUMCHL	R/W	—	○	○	3F3FH
F0509H		CTSUMCH1			—	○		
F050AH	CTSUSUCT計測チャネル・レジスタH	CTSUMFAF	CTSUMCHH	R/W	○	○	○	0000H
F050BH		—			—	—		
F050CH	CTSUSUCTチャネル有効制御レジスタAL	CTSUCHAC0	CTSUCHACAL	R/W	○	○	○	0000H
F050DH		CTSUCHAC1			○	○		
F050EH	CTSUSUCTチャネル有効制御レジスタAH	CTSUCHAC2	CTSUCHACAH	R/W	○	○	○	0000H
F050FH		CTSUCHAC3			○	○		
F0510H	CTSUSUCTチャネル有効制御レジスタBL	CTSUCHAC4	CTSUCHACBL	R/W	○	○	○	0000H
F0511H		—			—	—		
F0514H	CTSUSUCTチャネル送受信制御レジスタAL	CTSUCHTRC0	CTSUCHTRCAL	R/W	○	○	○	0000H
F0515H		CTSUCHTRC1			○	○		
F0516H	CTSUSUCTチャネル送受信制御レジスタAH	CTSUCHTRC2	CTSUCHTRCAH	R/W	○	○	○	0000H
F0517H		CTSUCHTRC3			○	○		
F0518H	CTSUSUCTチャネル送受信制御レジスタBL	CTSUCHTRC4	CTSUCHTRCBL	R/W	○	○	○	0000H
F0519H		—			—	—		
F051CH	CTSUSUCTステータス・レジスタL	CTSUST1	CTSUSURL	R/W	○	○	○	0000H
F051DH		CTSUST			○	○		
F0520H	CTSUSUCTセンサ・オフセット・レジスタ0	CTSUSO0		R/W	—	—	○	0000H
F0521H								
F0522H	CTSUSUCTセンサ・オフセット・レジスタ1	CTSUSO1		R/W	—	—	○	0000H
F0523H								
F0524H	CTSUSUCTセンサ・カウンタ・レジスタ	CTSUSC		R	—	—	○	0000H
F0525H								
F0526H	CTSUSUCTセンサ・カウンタ・レジスタ	CTSUUC		R	—	—	○	0000H
F0527H								

表3 - 6 2nd SFR一覧 (16/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0528H	CTSU キャリブレーション・レジスタ L	CTSUDBGR0	R/W	—	—	○	0000H
F0529H				—	—	○	0000H
F052AH	CTSU キャリブレーション・レジスタ H	CTSUDBGR1	R/W	—	—	○	0000H
F052BH				—	—	○	0000H
F052CH	CTSU センサ・ユニット・クロック制御レジスタ AL	CTSUSUCLK0	R/W	—	—	○	0000H
F052DH				—	—	○	0000H
F052EH	CTSU センサ・ユニット・クロック制御レジスタ AH	CTSUSUCLK1	R/W	—	—	○	0000H
F052FH				—	—	○	0000H
F0530H	CTSU センサ・ユニット・クロック制御レジスタ BL	CTSUSUCLK2	R/W	—	—	○	0000H
F0531H				—	—	○	0000H
F0532H	CTSU センサ・ユニット・クロック制御レジスタ BH	CTSUSUCLK3	R/W	—	—	○	0000H
F0533H				—	—	○	0000H
F0540H	乱数シード・データ・レジスタ	TRNGSDR	R	—	○	—	00H
F0542H	乱数シード・コマンド・レジスタ 0	TRNGSCR0	R/W	○	○	—	00H
F0550H	8ビット・インターバル・タイマ・カウンタ・レジスタ 00	TRT00	TRT0	R	—	○	00H
F0551H	8ビット・インターバル・タイマ・カウンタ・レジスタ 01	TRT01		R	—	○	00H
F0558H	8ビット・インターバル・タイマ・カウンタ・レジスタ 10	TRT10	TRT1	R	—	○	00H
F0559H	8ビット・インターバル・タイマ・カウンタ・レジスタ 11	TRT11		R	—	○	00H
F0560H	8ビット・インターバル・タイマ・カウンタ・レジスタ 20	TRT20	TRT2	R	—	○	00H
F0561H	8ビット・インターバル・タイマ・カウンタ・レジスタ 21	TRT21		R	—	○	00H
F0568H	8ビット・インターバル・タイマ・カウンタ・レジスタ 30	TRT30	TRT3	R	—	○	00H
F0569H	8ビット・インターバル・タイマ・カウンタ・レジスタ 31	TRT31		R	—	○	00H
F0570H	8ビット・インターバル・タイマ・カウンタ・レジスタ 40	TRT40	TRT4	R	—	○	00H
F0571H	8ビット・インターバル・タイマ・カウンタ・レジスタ 41	TRT41		R	—	○	00H
F0578H	8ビット・インターバル・タイマ・カウンタ・レジスタ 50	TRT50	TRT5	R	—	○	00H
F0579H	8ビット・インターバル・タイマ・カウンタ・レジスタ 51	TRT51		R	—	○	00H
F0580H	8ビット・インターバル・タイマ・カウンタ・レジスタ 60	TRT60	TRT6	R	—	○	00H
F0581H	8ビット・インターバル・タイマ・カウンタ・レジスタ 61	TRT61		R	—	○	00H
F0588H	8ビット・インターバル・タイマ・カウンタ・レジスタ 70	TRT70	TRT7	R	—	○	00H
F0589H	8ビット・インターバル・タイマ・カウンタ・レジスタ 71	TRT71		R	—	○	00H
F0598H	タイマRJカウンタレジスタ 0	TRJ0	R/W	—	—	○	FFFFH
F0599H							
F059AH	タイマRJカウンタレジスタ 1	TRJ1	R/W	—	—	○	FFFFH
F059BH							

表3 - 6 2nd SFR一覧 (17/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット 時
					1ビット	8ビット	16ビット	
F0600H	CTSUTRIMMING・レジスタAL	RTRIM	CTSUTRI M0	R/W	—	○	○	注1
F0601H		DACTRIM			—	○		
F0602H	CTSUTRIMMING・レジスタAH	SUADJD	CTSUTRI M1	R/W	—	○	○	注1
F0603H		TRESULT4			—	○		
F0604H	CTSUTRIMMING・レジスタBL	TRESULT0	CTSUTRI M2	R/W	—	○	○	注1
F0605H		TRESULT1			—	○		
F0606H	CTSUTRIMMING・レジスタBH	TRESULT2	CTSUTRI M3	R/W	—	○	○	注1
F0607H		TRESULT3			—	○		
F0610H	送信バッファ・レジスタ1	TXBA1		R/W	—	○	—	FFH
F0611H	受信バッファ・レジスタ1	RXBA1		R	—	○	—	FFH
F0612H	動作モード設定レジスタ10	ASIMA10		R/W	○	○	—	01H
F0613H	動作モード設定レジスタ11	ASIMA11		R/W	○	○	—	1AH
F0614H	ポー・レート・ジェネレータ・コントロール・ レジスタ1	BRGCA1		R/W	—	○	—	FFH
F0615H	ステータス・レジスタ1	ASISA1		R	—	○	—	00H
F0616H	ステータス・クリア・トリガ・レジスタ1	ASCTA1		R/W	○	○	—	00H
F0620H	UARTAクロック選択レジスタ1	UTA1CK		R/W	○	○	—	00H
F0630H	送信バッファ・レジスタ2	TXBA2		R/W	—	○	—	FFH
F0631H	受信バッファ・レジスタ2	RXBA2		R	—	○	—	FFH
F0632H	動作モード設定レジスタ20	ASIMA20		R/W	○	○	—	01H
F0633H	動作モード設定レジスタ21	ASIMA21		R/W	○	○	—	1AH
F0634H	ポー・レート・ジェネレータ・コントロール・ レジスタ2	BRGCA2		R/W	—	○	—	FFH
F0635H	ステータス・レジスタ2	ASISA2		R	—	○	—	00H
F0636H	ステータス・クリア・トリガ・レジスタ2	ASCTA2		R/W	○	○	—	00H
F0640H	UARTAクロック選択レジスタ2	UTA2CK		R/W	○	○	—	00H
F0650H	送信バッファ・レジスタ3	TXBA3		R/W	—	○	—	FFH
F0651H	受信バッファ・レジスタ3	RXBA3		R	—	○	—	FFH
F0652H	動作モード設定レジスタ30	ASIMA30		R/W	○	○	—	01H
F0653H	動作モード設定レジスタ31	ASIMA31		R/W	○	○	—	1AH
F0654H	ポー・レート・ジェネレータ・コントロール・ レジスタ3	BRGCA3		R/W	—	○	—	FFH
F0655H	ステータス・レジスタ3	ASISA3		R	—	○	—	00H
F0656H	ステータス・クリア・トリガ・レジスタ3	ASCTA3		R/W	○	○	—	00H
F0660H	UARTAクロック選択レジスタ3	UTA3CK		R/W	○	○	—	00H
F0680H	入力信号選択レジスタ0	ELISEL0		R/W	—	○	—	00H
F0681H	入力信号選択レジスタ1	ELISEL1		R/W	—	○	—	00H
F0682H	入力信号選択レジスタ2	ELISEL2		R/W	—	○	—	00H
F0683H	入力信号選択レジスタ3	ELISEL3		R/W	—	○	—	00H
F0684H	入力信号選択レジスタ4	ELISEL4		R/W	—	○	—	00H
F0685H	入力信号選択レジスタ5	ELISEL5		R/W	—	○	—	00H
F0686H	入力信号選択レジスタ6	ELISEL6		R/W	—	○	—	00H
F0687H	入力信号選択レジスタ7	ELISEL7		R/W	—	○	—	00H
F0688H	入力信号選択レジスタ8	ELISEL8		R/W	—	○	—	00H
F0689H	入力信号選択レジスタ9	ELISEL9		R/W	—	○	—	00H
F068AH	入力信号選択レジスタ10	ELISEL10		R/W	—	○	—	00H
F068BH	入力信号選択レジスタ11	ELISEL11		R/W	—	○	—	00H
F0690H	イベント・リンクL1信号選択レジスタ0	ELL1SEL0		R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (18/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F0691H	イベント・リンクL1信号選択レジスタ1	ELL1SEL1	R/W	—	○	—	00H
F0692H	イベント・リンクL1信号選択レジスタ2	ELL1SEL2	R/W	—	○	—	00H
F0693H	イベント・リンクL1信号選択レジスタ3	ELL1SEL3	R/W	—	○	—	00H
F0694H	イベント・リンクL1信号選択レジスタ4	ELL1SEL4	R/W	—	○	—	00H
F0695H	イベント・リンクL1信号選択レジスタ5	ELL1SEL5	R/W	—	○	—	00H
F0696H	イベント・リンクL1信号選択レジスタ6	ELL1SEL6	R/W	—	○	—	00H
F0697H	論理セルブロックL1制御レジスタ	ELL1CTL	R/W	—	○	—	00H
F0698H	イベント・リンクL1出力選択レジスタ0	ELL1LNK0	R/W	—	○	—	00H
F0699H	イベント・リンクL1出力選択レジスタ1	ELL1LNK1	R/W	—	○	—	00H
F069AH	イベント・リンクL1出力選択レジスタ2	ELL1LNK2	R/W	—	○	—	00H
F069BH	イベント・リンクL1出力選択レジスタ3	ELL1LNK3	R/W	—	○	—	00H
F069CH	イベント・リンクL1出力選択レジスタ4	ELL1LNK4	R/W	—	○	—	00H
F069DH	イベント・リンクL1出力選択レジスタ5	ELL1LNK5	R/W	—	○	—	00H
F069EH	イベント・リンクL1出力選択レジスタ6	ELL1LNK6	R/W	—	○	—	00H
F06A0H	イベント・リンクL2信号選択レジスタ0	ELL2SEL0	R/W	—	○	—	00H
F06A1H	イベント・リンクL2信号選択レジスタ1	ELL2SEL1	R/W	—	○	—	00H
F06A2H	イベント・リンクL2信号選択レジスタ2	ELL2SEL2	R/W	—	○	—	00H
F06A3H	イベント・リンクL2信号選択レジスタ3	ELL2SEL3	R/W	—	○	—	00H
F06A4H	イベント・リンクL2信号選択レジスタ4	ELL2SEL4	R/W	—	○	—	00H
F06A5H	イベント・リンクL2信号選択レジスタ5	ELL2SEL5	R/W	—	○	—	00H
F06A6H	イベント・リンクL2信号選択レジスタ6	ELL2SEL6	R/W	—	○	—	00H
F06A7H	論理セルブロックL2制御レジスタ	ELL2CTL	R/W	—	○	—	00H
F06A8H	イベント・リンクL2出力選択レジスタ0	ELL2LNK0	R/W	—	○	—	00H
F06A9H	イベント・リンクL2出力選択レジスタ1	ELL2LNK1	R/W	—	○	—	00H
F06AAH	イベント・リンクL2出力選択レジスタ2	ELL2LNK2	R/W	—	○	—	00H
F06ABH	イベント・リンクL2出力選択レジスタ3	ELL2LNK3	R/W	—	○	—	00H
F06ACH	イベント・リンクL2出力選択レジスタ4	ELL2LNK4	R/W	—	○	—	00H
F06ADH	イベント・リンクL2出力選択レジスタ5	ELL2LNK5	R/W	—	○	—	00H
F06AEH	イベント・リンクL2出力選択レジスタ6	ELL2LNK6	R/W	—	○	—	00H
F06B0H	イベント・リンクL3信号選択レジスタ0	ELL3SEL0	R/W	—	○	—	00H
F06B1H	イベント・リンクL3信号選択レジスタ1	ELL3SEL1	R/W	—	○	—	00H
F06B2H	イベント・リンクL3信号選択レジスタ2	ELL3SEL2	R/W	—	○	—	00H
F06B3H	イベント・リンクL3信号選択レジスタ3	ELL3SEL3	R/W	—	○	—	00H
F06B4H	イベント・リンクL3信号選択レジスタ4	ELL3SEL4	R/W	—	○	—	00H
F06B5H	イベント・リンクL3信号選択レジスタ5	ELL3SEL5	R/W	—	○	—	00H
F06B6H	イベント・リンクL3信号選択レジスタ6	ELL3SEL6	R/W	—	○	—	00H
F06B7H	論理セルブロックL3制御レジスタ	ELL3CTL	R/W	—	○	—	00H
F06B8H	イベント・リンクL3出力選択レジスタ0	ELL3LNK0	R/W	—	○	—	00H
F06B9H	イベント・リンクL3出力選択レジスタ1	ELL3LNK1	R/W	—	○	—	00H
F06BAH	イベント・リンクL3出力選択レジスタ2	ELL3LNK2	R/W	—	○	—	00H
F06BBH	イベント・リンクL3出力選択レジスタ3	ELL3LNK3	R/W	—	○	—	00H
F06BCH	イベント・リンクL3出力選択レジスタ4	ELL3LNK4	R/W	—	○	—	00H
F06BDH	イベント・リンクL3出力選択レジスタ5	ELL3LNK5	R/W	—	○	—	00H
F06BEH	イベント・リンクL3出力選択レジスタ6	ELL3LNK6	R/W	—	○	—	00H
F06C0H	出力信号選択レジスタ0	ELOSEL0	R/W	—	○	—	00H
F06C1H	出力信号選択レジスタ1	ELOSEL1	R/W	—	○	—	00H
F06C2H	出力信号選択レジスタ2	ELOSEL2	R/W	—	○	—	00H
F06C3H	出力信号選択レジスタ3	ELOSEL3	R/W	—	○	—	00H

表3 - 6 2nd SFR一覧 (19/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット 時
				1ビット	8ビット	16ビット	
F06C4H	出力信号選択レジスタ4	ELOSEL4	R/W	—	○	—	00H
F06C5H	出力信号選択レジスタ5	ELOSEL5	R/W	—	○	—	00H
F06C6H	出力信号選択レジスタ6	ELOSEL6	R/W	—	○	—	00H
F06C7H	出力信号選択レジスタ7	ELOSEL7	R/W	—	○	—	00H
F06C8H	出力信号イネーブル設定レジスタ	ELOENCTL	R/W	—	○	—	00H
F06C9H	出力信号モニタレジスタ	ELOMONI	R	—	○	—	00H
F0740H	16ビット・タイマKBコンペアレジスタ00	TKBCR00	R/W	—	—	○	0000H
F0741H							
F0742H	16ビット・タイマKBコンペアレジスタ01	TKBCR01	R/W	—	—	○	0000H
F0743H							
F0744H	16ビット・タイマKBコンペアレジスタ02	TKBCR02	R/W	—	—	○	0000H
F0745H							
F0746H	16ビット・タイマKBコンペアレジスタ03	TKBCR03	R/W	—	—	○	0000H
F0747H							
F0748H	16ビット・タイマKBトリガ・コンペア・ レジスタ0	TKBTGCR0	R/W	—	—	○	0000H
F0749H							
F074AH	16ビット・タイマKBソフト・スタート・ 初期デューティ・レジスタ00	TKBSIR00	R/W	—	—	○	0000H
F074BH							
F074CH	16ビット・タイマKBソフト・スタート・ 初期デューティ・レジスタ01	TKBSIR01	R/W	—	—	○	0000H
F074DH							
F074EH	16ビット・タイマKBディザリング数レジスタ00	TKBDNR00	R/W	—	○	—	00H
F074FH	16ビット・タイマKBソフト・スタート・ ステップ幅レジスタ00	TKBSSR00	R/W	—	○	—	00H
F0750H	16ビット・タイマKBディザリング数レジスタ01	TKBDNR01	R/W	—	○	—	00H
F0751H	16ビット・タイマKBソフト・スタート・ ステップ幅レジスタ01	TKBSSR01	R/W	—	○	—	00H
F0752H	16ビット・タイマKBトリガ・レジスタ0	TKBTGR0	W	○	○	—	00H
F0753H	16ビット・タイマKBフラグ・レジスタ0	TKBFLG0	R	○	○	—	00H
F0754H	16ビット・タイマKBコンペア1L & ディザリング数 レジスタ00	TKBCRLD00	R/W	—	—	○	0000H
F0755H							
F0756H	16ビット・タイマKBコンペア3L & ディザリング数 レジスタ01	TKBCRLD01	R/W	—	—	○	0000H
F0757H							
F0760H	16ビット・タイマ・カウンタKB0	TKBCNT0	R	—	—	○	FFFFH
F0761H							
F0762H	16ビット・タイマKB動作制御レジスタ00	TKBCTL00	R/W	—	—	○	0040H
F0763H							
F0764H	16ビット・タイマKB最大周波数リミット設定 レジスタ0	TKBMFR0	R/W	—	—	○	0000H
F0765H							
F0766H	16ビット・タイマKB出力制御レジスタ00	TKBIOC00	R/W	○	○	—	00H
F0767H	16ビット・タイマKBフラグ・クリア・トリガ・ レジスタ0	TKBCLR0	W	○	○	—	00H
F0768H	16ビット・タイマKB出力制御レジスタ01	TKBIOC01	R/W	○	○	—	00H
F0769H	16ビット・タイマKB動作制御レジスタ01	TKBCTL01	R/W	○	○	—	00H
F076AH	16ビット・タイマKB動作制御レジスタ02	TKBCTL02	R/W	—	—	○	0000H
F076BH							
F0770H	強制出力停止機能制御レジスタ00	TKBPACTL00	R/W	—	—	○	0000H
F0771H							
F0772H	強制出力停止機能制御レジスタ01	TKBPACTL01	R/W	—	—	○	0000H
F0773H							

表3 - 6 2nd SFR一覧 (20/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0774H	強制出力停止機能1開始トリガ・レジスタ0	TKBPAHFS0	R/W	○	○	—	00H
F0775H	強制出力停止機能1解除トリガ・レジスタ0	TKBPAHFT0	R/W	○	○	—	00H
F0776H	強制出力停止機能フラグ・レジスタ0	TKBPAFLG0	R	○	○	—	00H
F0777H	強制出力停止機能制御レジスタ02	TKBPACTL02	R/W	○	○	—	00H
F0778H	強制出力停止機能1トリガ選択レジスタ00	TKBPAHZS00	R/W	—	—	○	0000H
F0779H							
F077AH	強制出力停止機能1トリガ選択レジスタ01	TKBPAHZS01	R/W	—	—	○	0000H
F077BH							
F077CH	強制出力停止機能2トリガ選択レジスタ00	TKBPAFXS00	R/W	—	—	○	0000H
F077DH							
F077EH	強制出力停止機能2トリガ選択レジスタ01	TKBPAFXS01	R/W	—	—	○	0000H
F077FH							
F0780H	16ビット・タイマKBコンペアレジスタ10	TKBCR10	R/W	—	—	○	0000H
F0781H							
F0782H	16ビット・タイマKBコンペアレジスタ11	TKBCR11	R/W	—	—	○	0000H
F0783H							
F0784H	16ビット・タイマKBコンペアレジスタ12	TKBCR12	R/W	—	—	○	0000H
F0785H							
F0786H	16ビット・タイマKBコンペアレジスタ13	TKBCR13	R/W	—	—	○	0000H
F0787H							
F0788H	16ビット・タイマKBトリガ・コンペア・レジスタ1	TKBTGCR1	R/W	—	—	○	0000H
F0789H							
F078AH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ10	TKBSIR10	R/W	—	—	○	0000H
F078BH							
F078CH	16ビット・タイマKBソフト・スタート・初期デューティ・レジスタ11	TKBSIR11	R/W	—	—	○	0000H
F078DH							
F078EH	16ビット・タイマKBディザリング数レジスタ10	TKBDNR10	R/W	—	○	—	00H
F078FH	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ10	TKBSSR10	R/W	—	○	—	00H
F0790H							
F0791H	16ビット・タイマKBソフト・スタート・ステップ幅レジスタ11	TKBSSR11	R/W	—	○	—	00H
F0792H							
F0793H	16ビット・タイマKBトリガ・レジスタ1	TKBTRG1	W	○	○	—	00H
F0794H	16ビット・タイマKBコンペア1L & ディザリング数レジスタ10	TKBCRLD10	R/W	—	—	○	0000H
F0795H							
F0796H	16ビット・タイマKBコンペア3L & ディザリング数レジスタ11	TKBCRLD11	R/W	—	—	○	0000H
F0797H							
F07A0H	16ビット・タイマ・カウンタKB1	TKBCNT1	R	—	—	○	FFFFH
F07A1H							
F07A2H	16ビット・タイマKB動作制御レジスタ10	TKBCTL10	R/W	—	—	○	0040H
F07A3H							
F07A4H	16ビット・タイマKB最大周波数リミット設定レジスタ1	TKBMFR1	R/W	—	—	○	0000H
F07A5H							
F07A6H	16ビット・タイマKB出力制御レジスタ10	TKBIOC10	R/W	○	○	—	00H
F07A7H	16ビット・タイマKBフラグ・クリア・トリガ・レジスタ1	TKBCLR1	W	○	○	—	00H
F07A8H							
F07A9H	16ビット・タイマKB出力制御レジスタ11	TKBIOC11	R/W	○	○	—	00H
F07A9H	16ビット・タイマKB動作制御レジスタ11	TKBCTL11	R/W	○	○	—	00H

表3 - 6 2nd SFR一覧 (21/21)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F07AAH	16ビット・タイマKB動作制御レジスタ12	TKBCTL12	R/W	—	—	○	0000H
F07ABH				—	—	○	
F07B0H	強制出力停止機能制御レジスタ10	TKBPACTL10	R/W	—	—	○	0000H
F07B1H				—	—	○	
F07B2H	強制出力停止機能制御レジスタ11	TKBPACTL11	R/W	—	—	○	0000H
F07B3H				—	—	○	
F07B4H	強制出力停止機能1開始トリガ・レジスタ1	TKBPAHFS1	R/W	○	○	—	00H
F07B5H	強制出力停止機能1解除トリガ・レジスタ1	TKBPAHFT1	R/W	○	○	—	00H
F07B6H	強制出力停止機能フラグ・レジスタ1	TKBPAFLG1	R	○	○	—	00H
F07B7H	強制出力停止機能制御レジスタ12	TKBPACTL12	R/W	○	○	—	00H
F07B8H	強制出力停止機能1トリガ選択レジスタ00	TKBPAHXS10	R/W	—	—	○	0000H
F07B9H				—	—	○	
F07BAH	強制出力停止機能1トリガ選択レジスタ01	TKBPAHXS11	R/W	—	—	○	0000H
F07BBH				—	—	○	
F07BCH	強制出力停止機能2トリガ選択レジスタ00	TKBPAFXS10	R/W	—	—	○	0000H
F07BDH				—	—	○	
F07BEH	強制出力停止機能2トリガ選択レジスタ01	TKBPAFXS11	R/W	—	—	○	0000H
F07BFH				—	—	○	

注1. リセット値は出荷時に調整した値です。

注2. ユーザ・オプション・バイト (000C2H) のFRQSEL2-FRQSEL0ビットで設定した値になります。

注3. FLMODEレジスタの初期値は、MODE1, MODE0ビットにオプション・バイトのCMODE1, CMODE0ビット (アドレス : 000C2H) の設定値が反映された値になります。

注4. OSMCレジスタの初期値は、RTCLPCビットおよびWUTMMCK0ビットは0、HIPRECビットは1になります。

備考 SFR領域のSFRについては、表3 - 5 SFR一覧を参照してください。

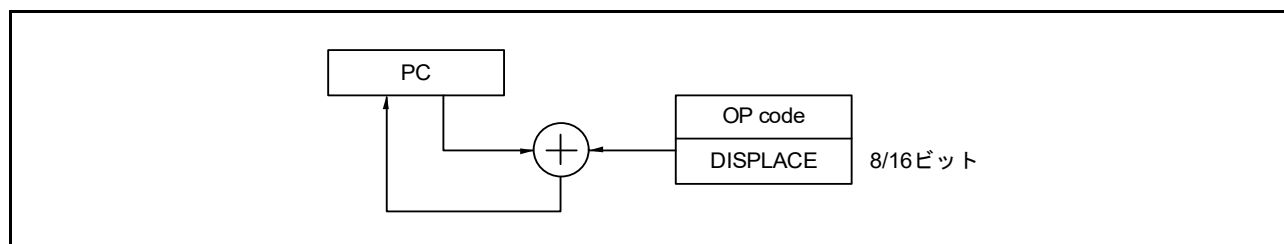
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレースメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 13 レラティブ・アドレッシングの概略



3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには、20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 14 CALL !!addr20 / BR !!addr20の例

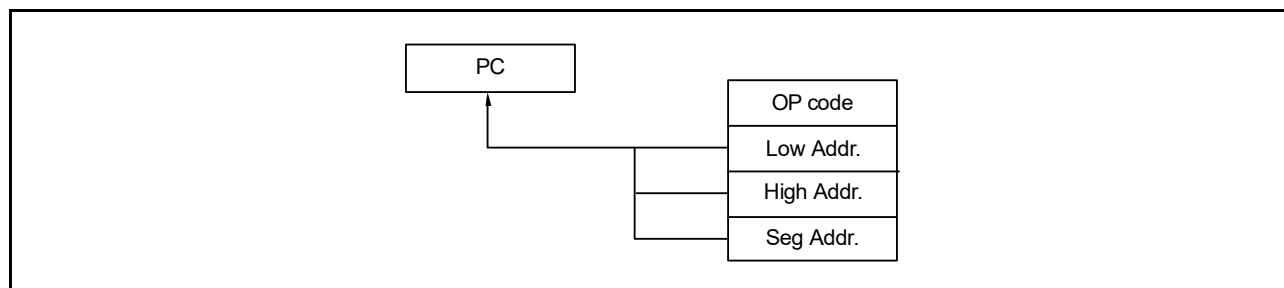
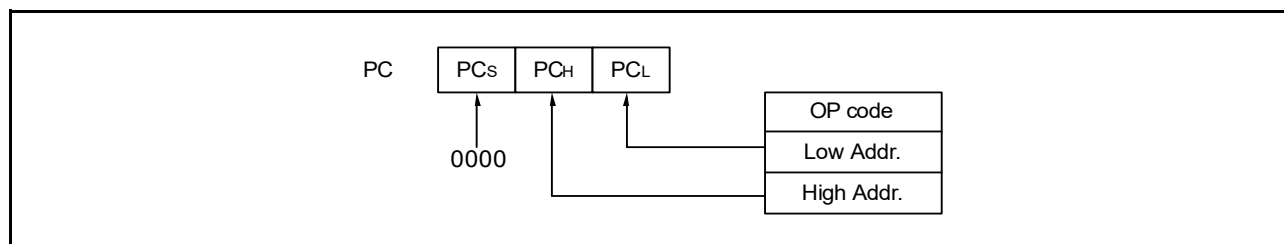


図3 - 15 CALL !addr16 / BR !addr16の例



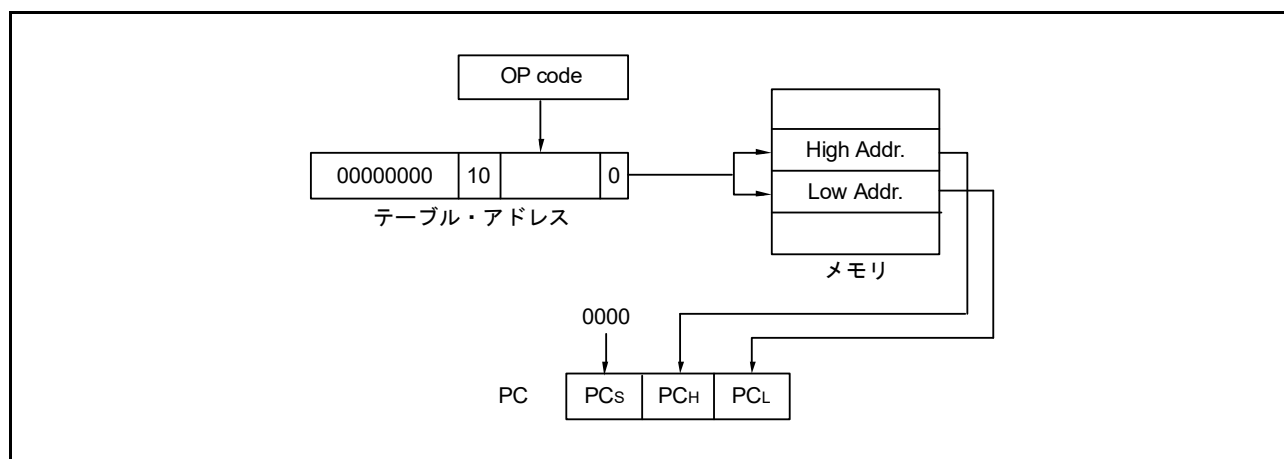
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 16 テーブル・インダイレクト・アドレッシングの概略

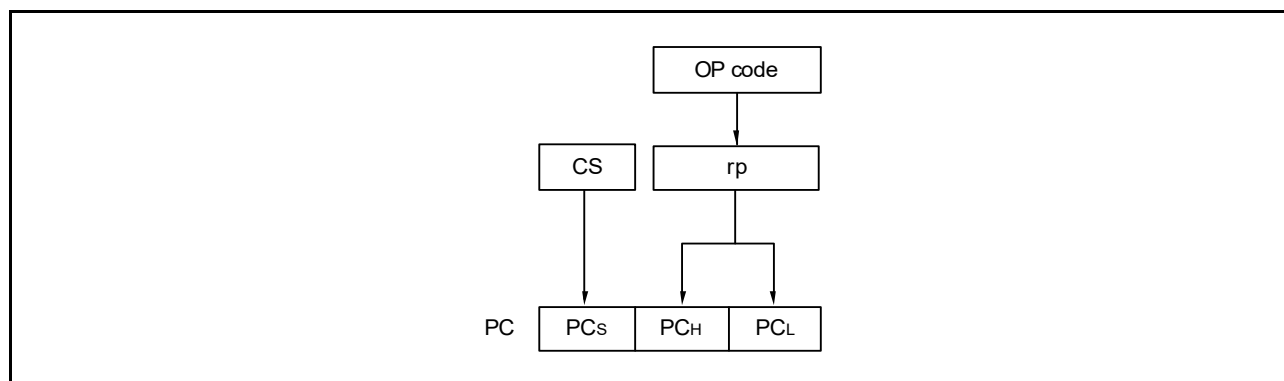


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX/BC/DE/HLとBR AX命令にのみ適用されます。

図3-17 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

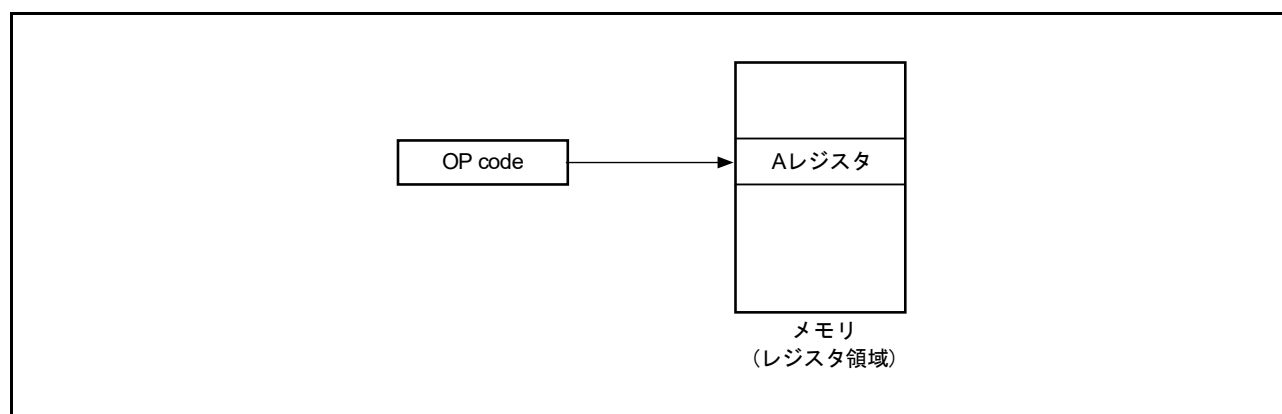
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 18 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

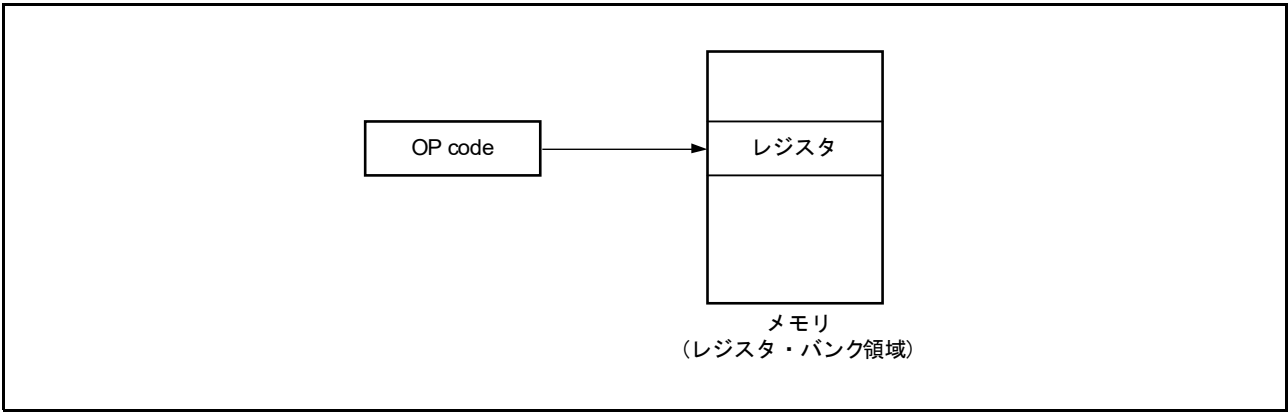
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 19 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 20 !addr16の例

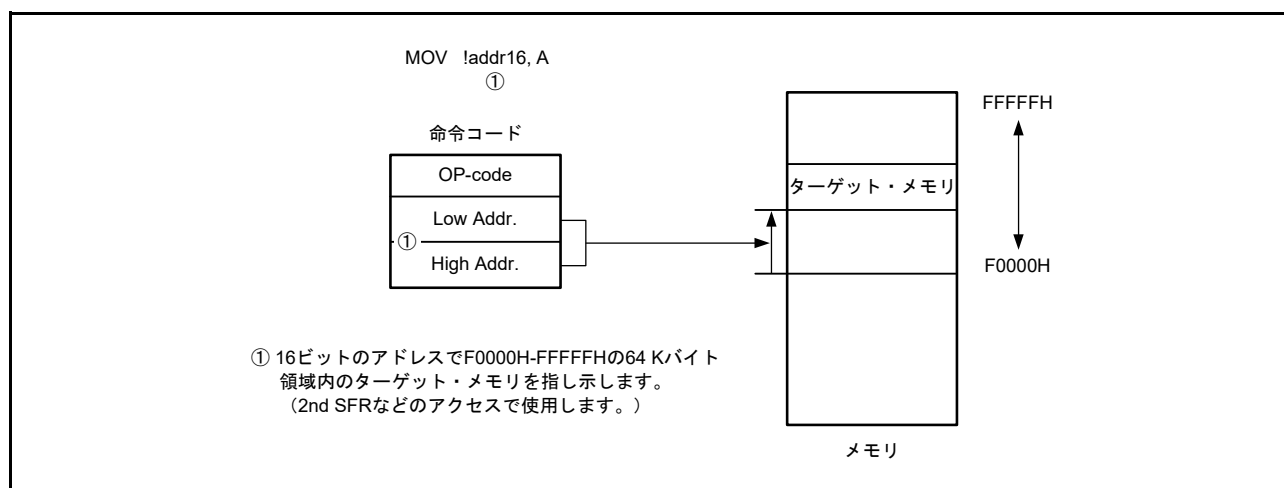
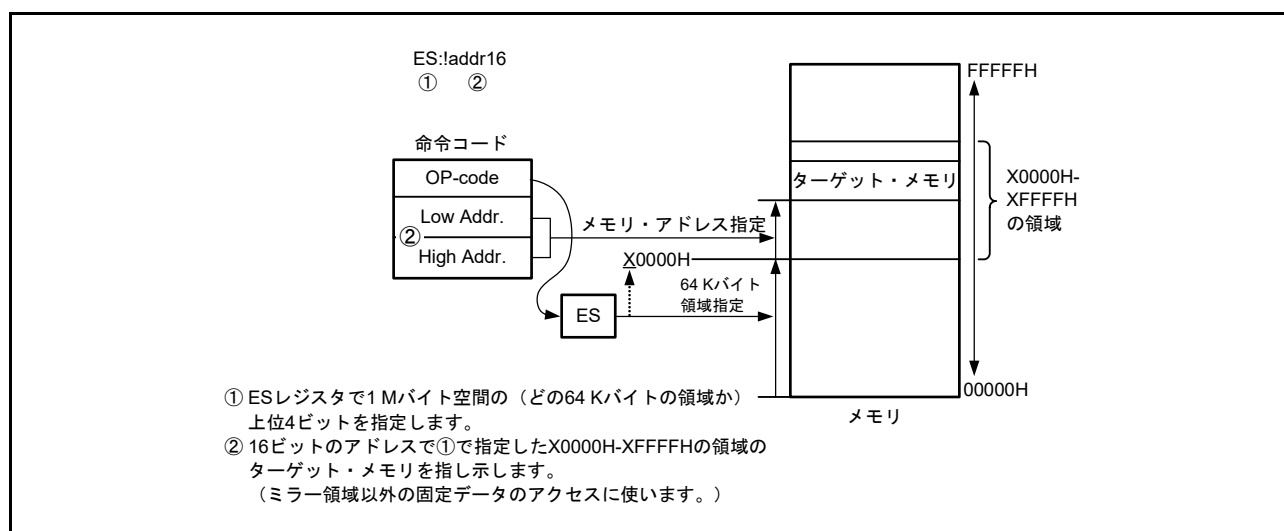


図3 - 21 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

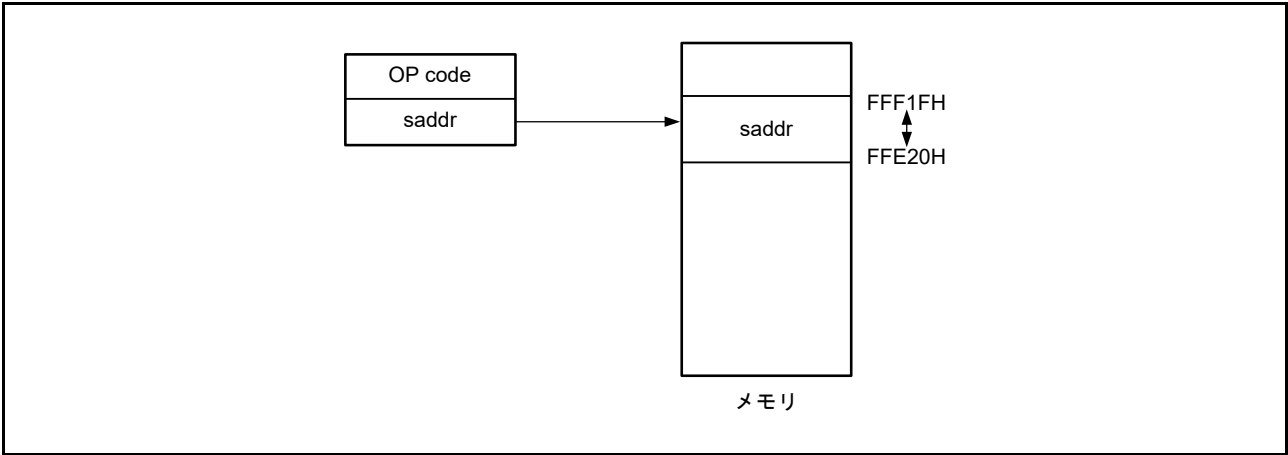
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 22 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

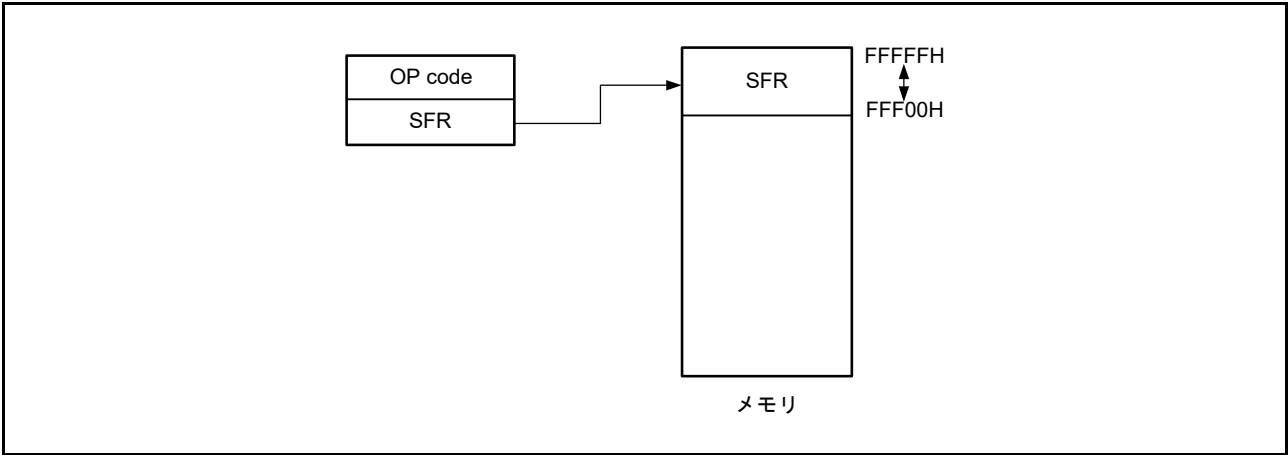
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3 - 23 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3-24 [DE], [HL]の例

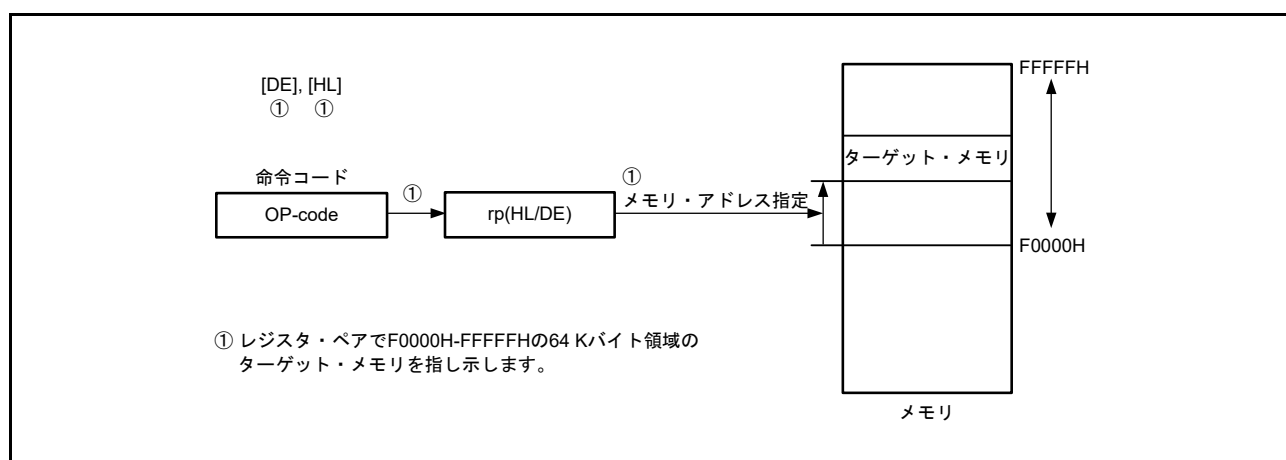
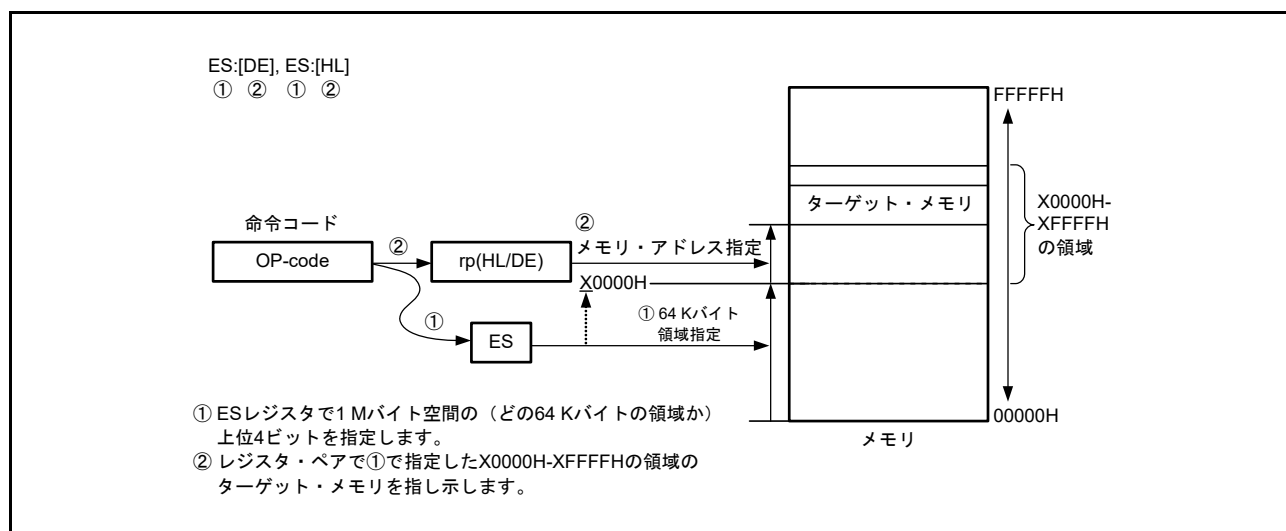


図3-25 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+byte], [DE+byte], [SP+byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL+byte], ES:[DE+byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 26 [SP+byte]の例

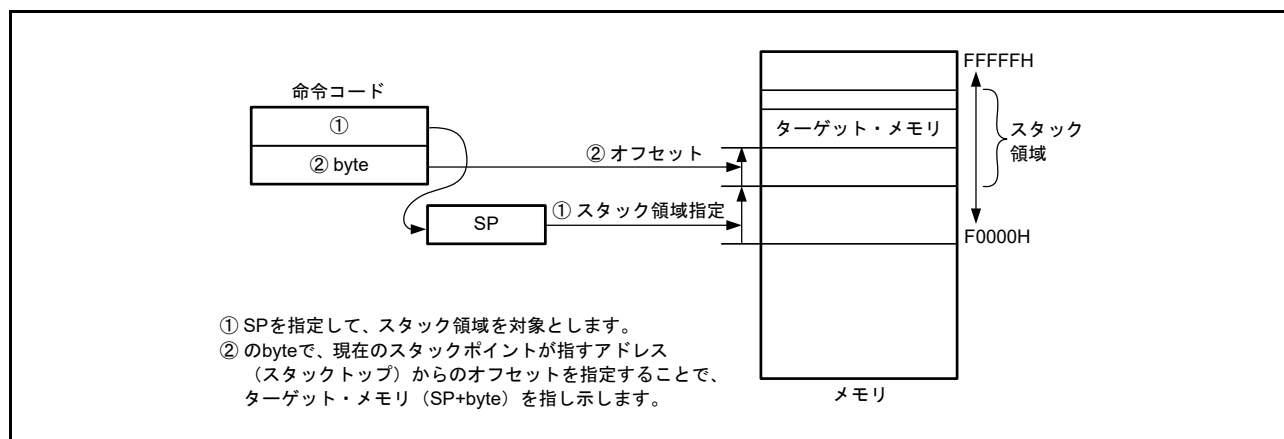


図3 - 27 [HL+byte], [DE+byte]の例

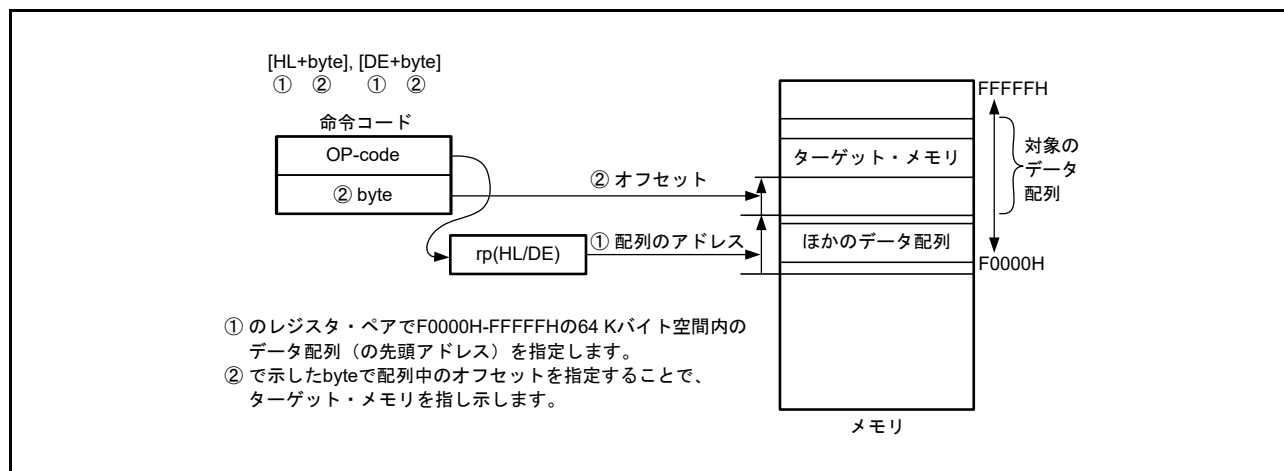


図3 - 28 word[B], word[C]の例

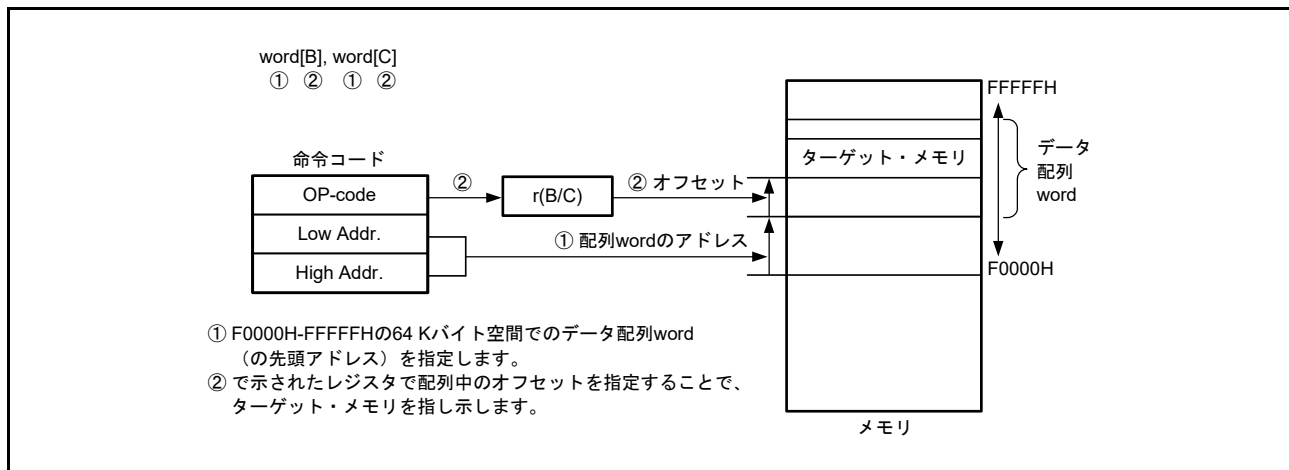


図3 - 29 word[BC]の例

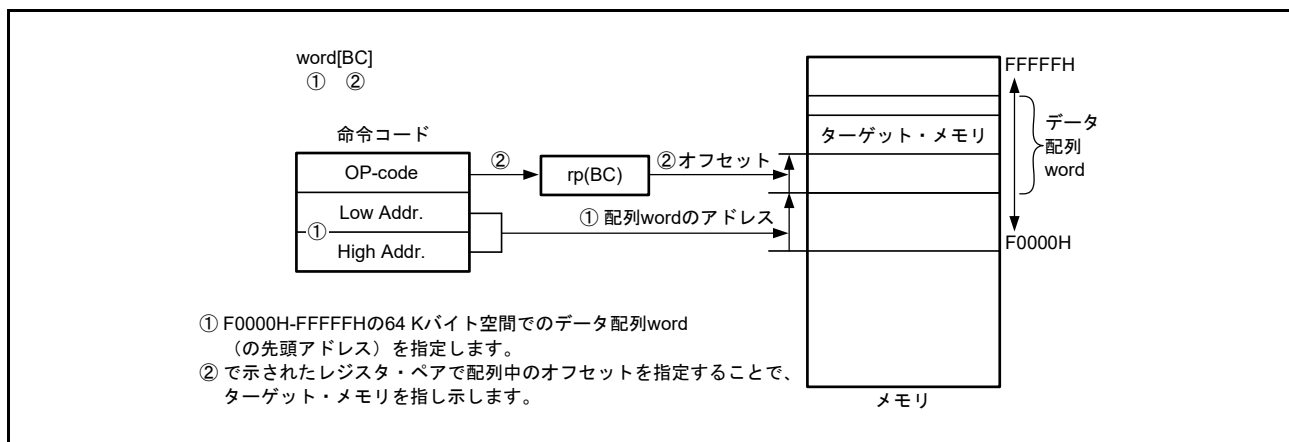


図3-30 ES:[HL+byte], ES:[DE+byte]の例

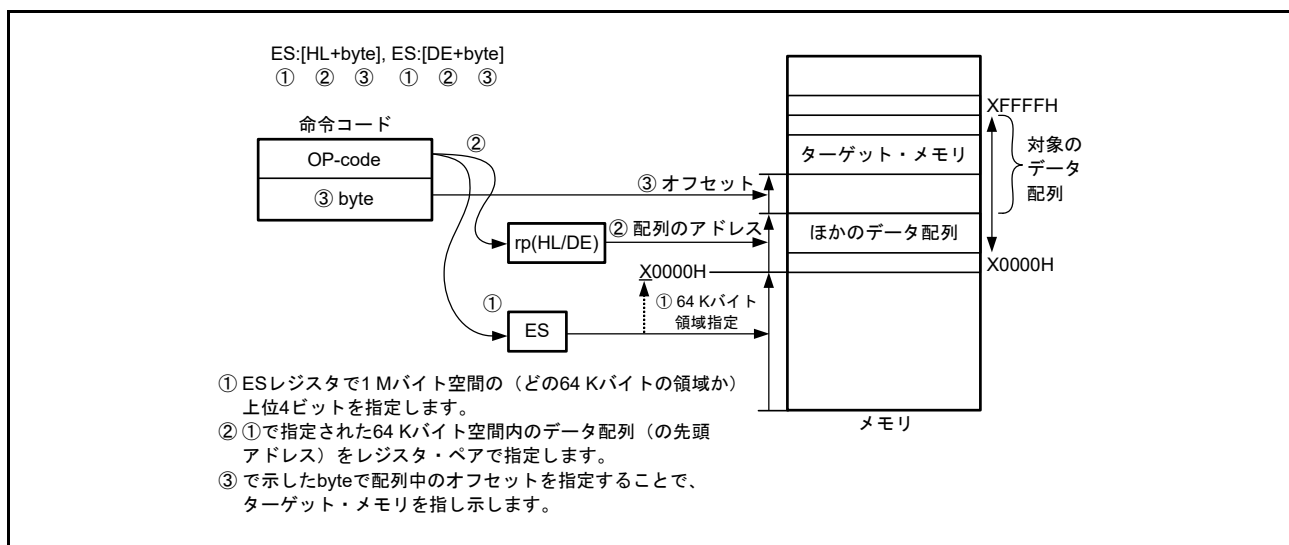


図3 - 31 ES:word[B], ES:word[C]の例

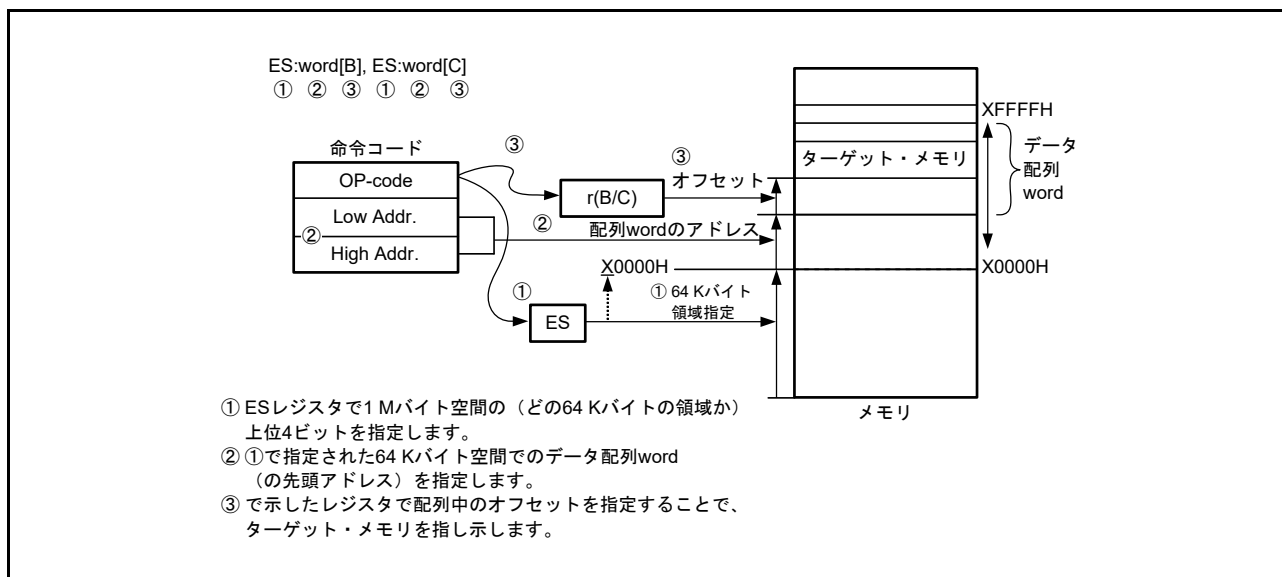
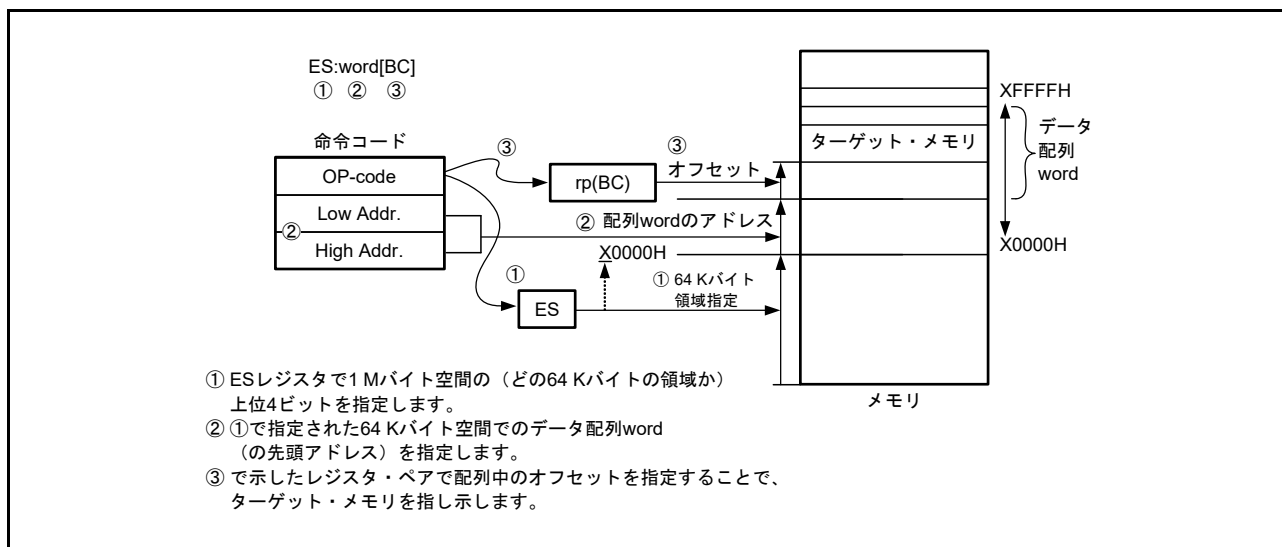


図3 - 32 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL+B], ES:[HL+C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 33 [HL+B], [HL+C]の例

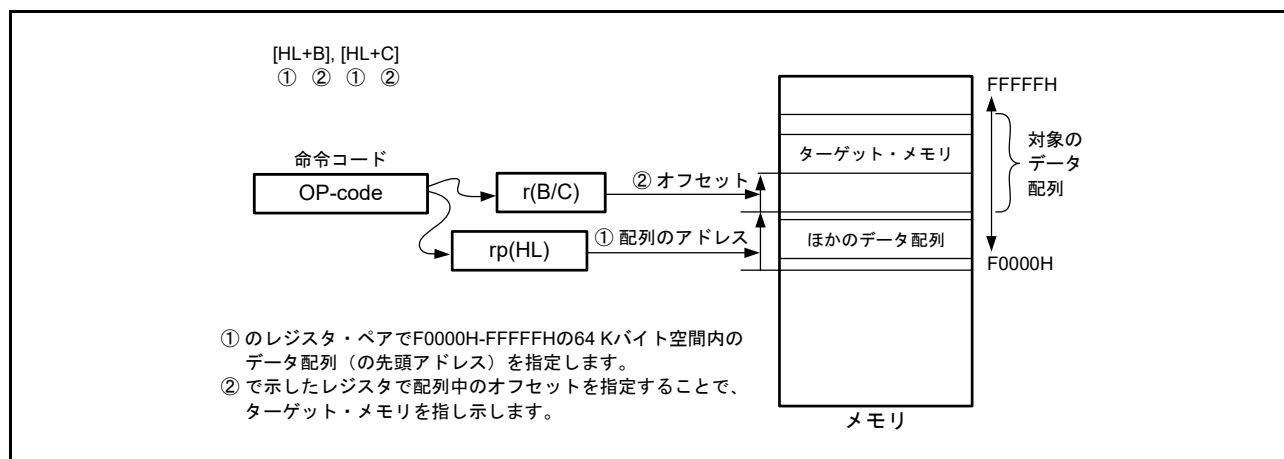
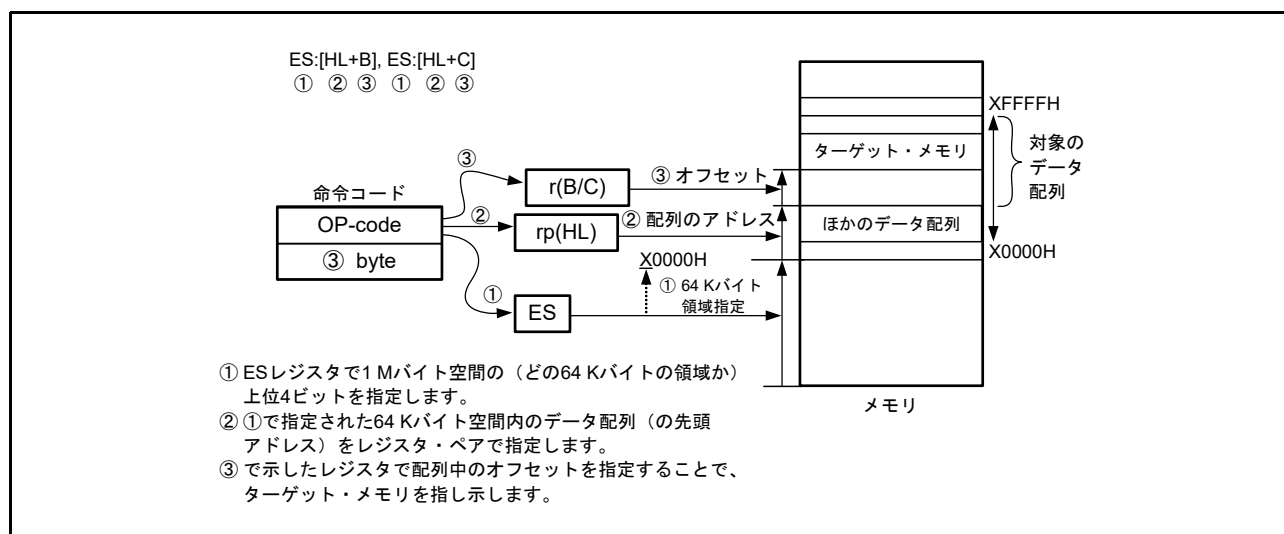


図3 - 34 ES:[HL+B], ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH、POP、サブルーチン・コール、リターン命令の実行時、および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図3 - 35～図3 - 40のようになります。

図3 - 35 PUSH rpの例

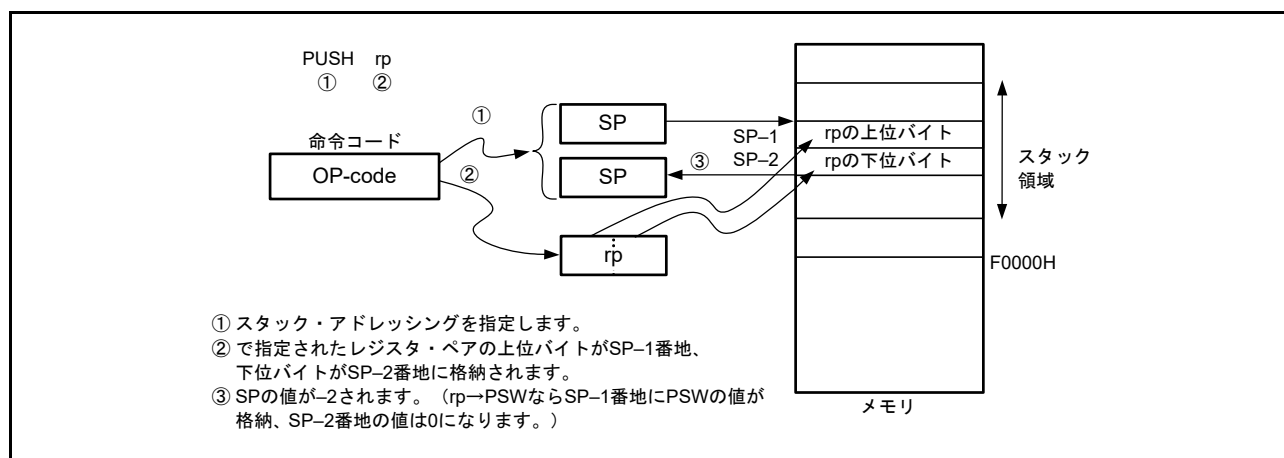


図3 - 36 POPの例

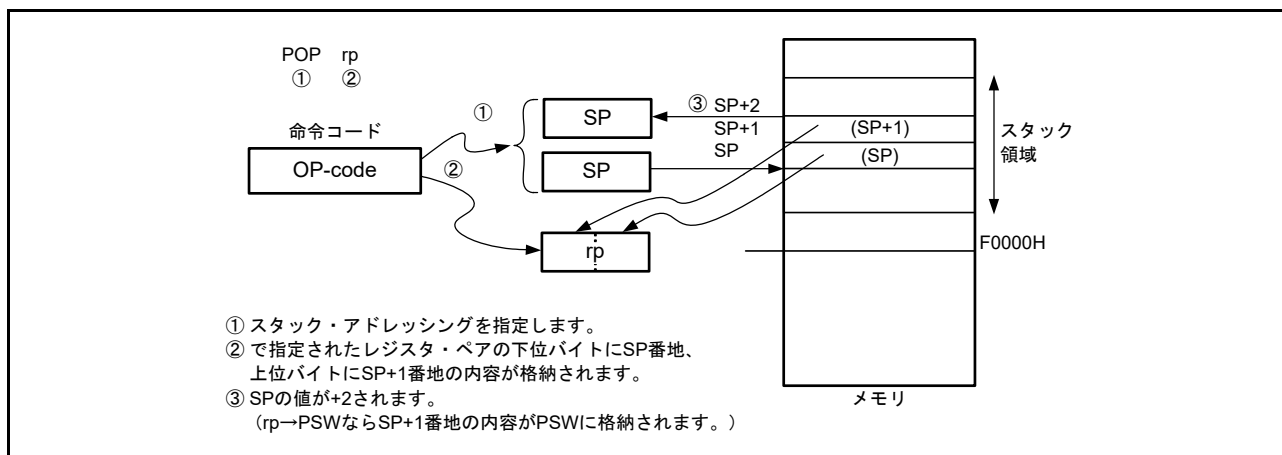


図3 - 37 CALL, CALLTの例

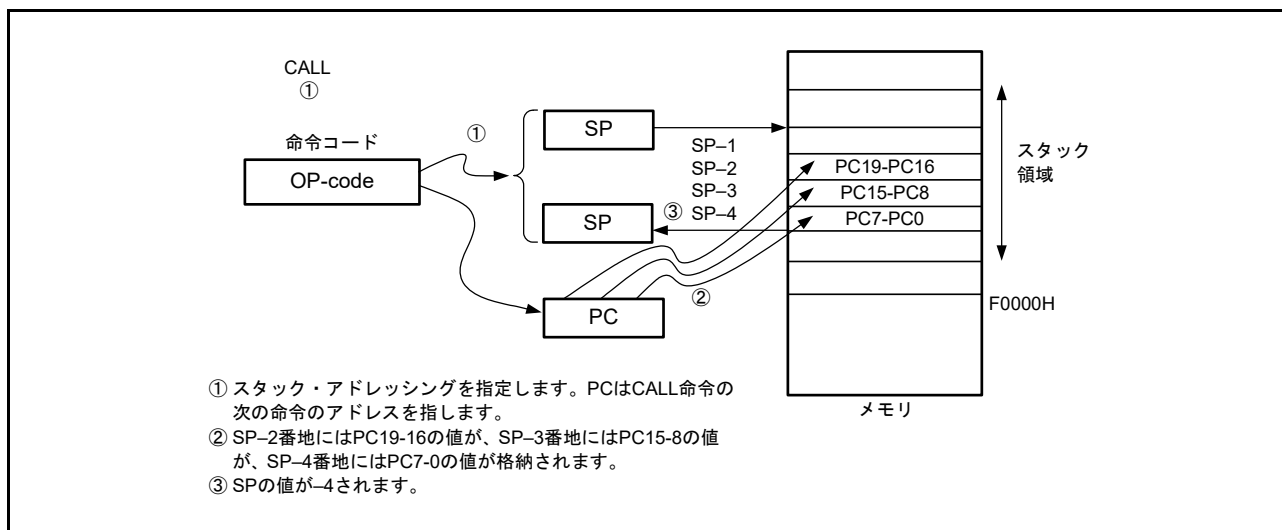


図3 - 38 RETの例

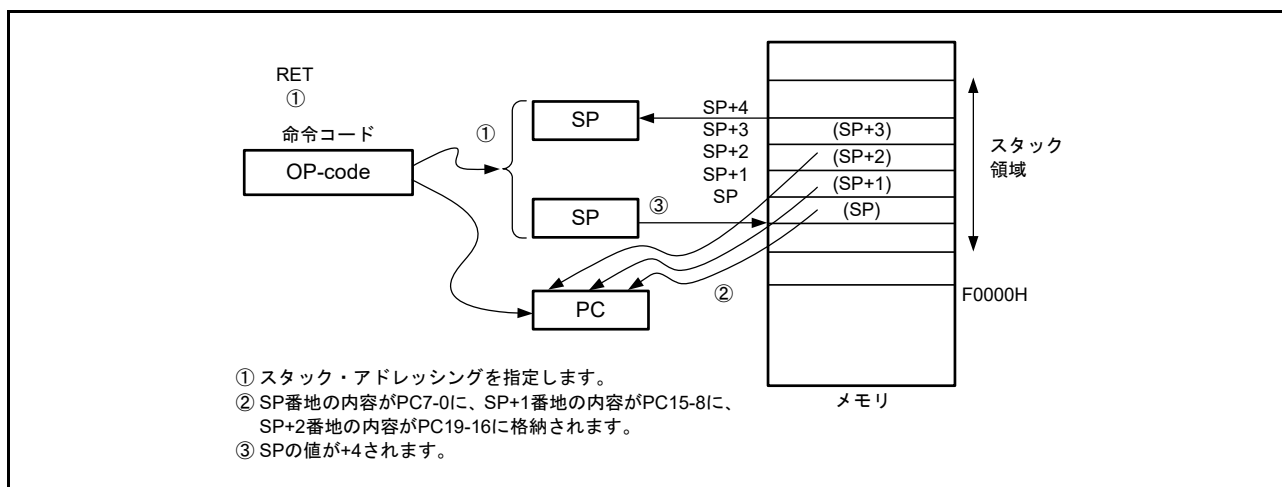


図3 - 39 割り込み、BRKの例

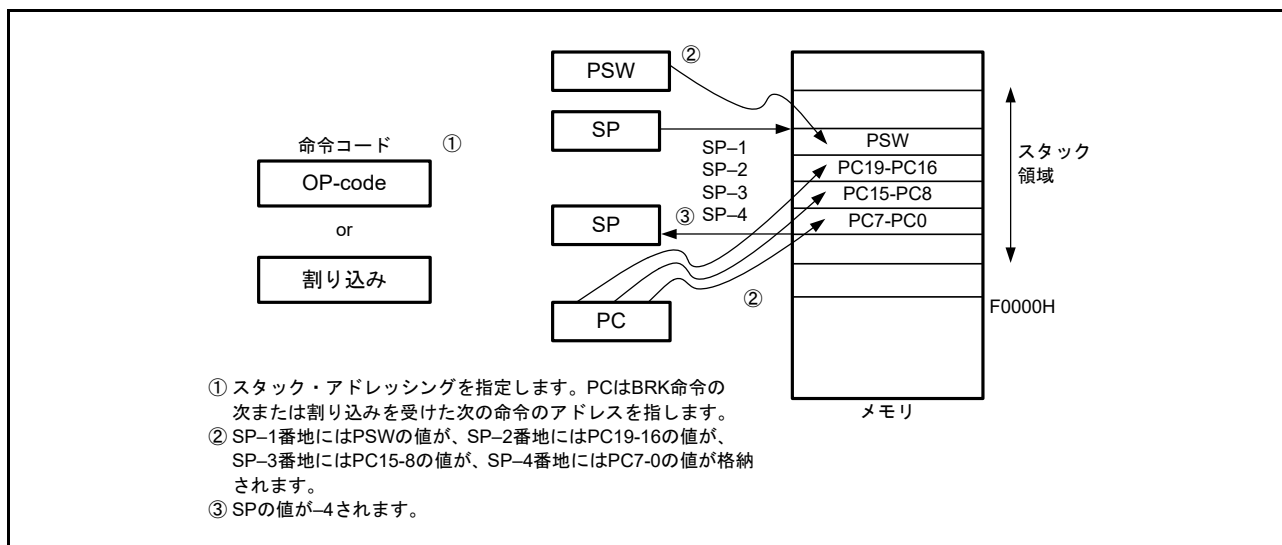
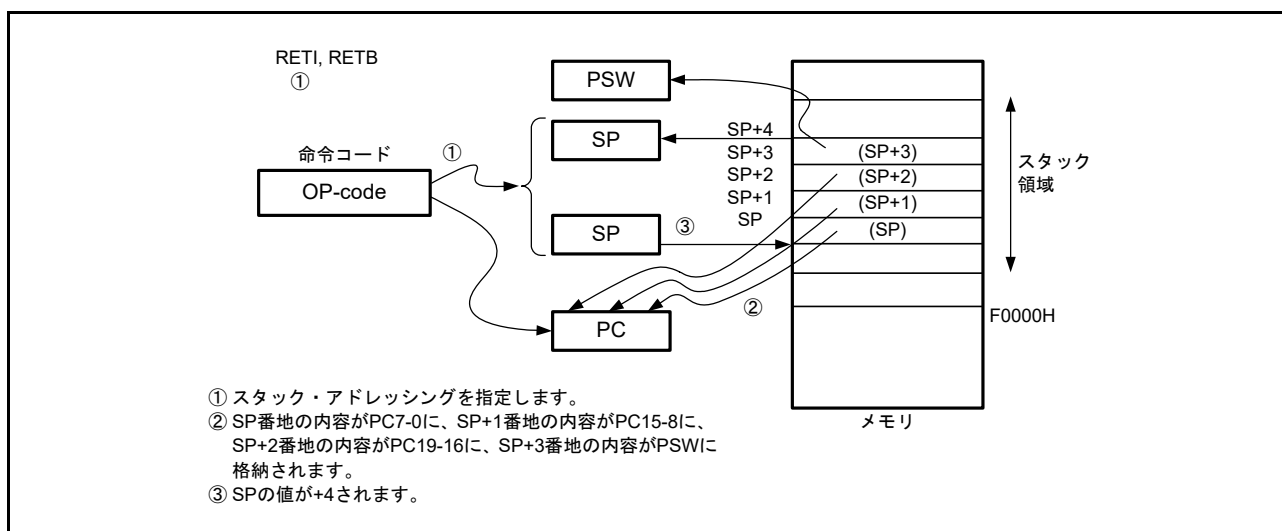


図3 - 40 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

本製品は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 1 ポートの構成 (1/2)

項目	構成
制御レジスタ	• ポート・モード・レジスタ (PM0-PM9, PM12, PM14) • ポート・レジスタ (P0-P9, P12-P14) • プルアップ抵抗オプション・レジスタ (PU0-PU9, PU12, PU14) • ポート入力モード・レジスタ (PIM0-PIM9, PIM12, PIM14) • ポート出力モード・レジスタ (POM0-POM9, POM12-POM14) • ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDIS0-PDIDIS9, PDIDIS12-PDIDIS14) • ポート・モード・コントロールA・レジスタ (PMCA1, PMCA2, PMCA4) • ポート・モード・コントロールT・レジスタ (PMCT0, PMCT3, PMCT5, PMCT7, PMCT9, PMCT12) • ポート・モード・コントロールE・レジスタ (PMCE0, PMCE1, PMCE6, PMCE7) • 周辺I/Oリダイレクション・レジスタ (PIOR0-PIOR13) • 出力電流制御許可レジスタ (CCDE) • 出力電流選択レジスタ (CCS0, CCS4-CCS7) • 40mAポート出力制御レジスタ (PTDC) • ポート・ファンクション出力許可レジスタ (PFOE0, PFOE1) • ポート・モード選択レジスタ (PMS) • LCDポート・ファンクション・レジスタ (PFSEG0-PFSEG7) • LCD入力切り替え制御レジスタ (ISCLCD)

表4 - 1 ポートの構成 (2/2)

項目	構成
ポート	• 44 ピン製品 : 合計 : 40 本 (CMOS 入出力 : 35 本 (N-ch オープン・ドレイン入出力[V_{DD} 耐圧] : 24 本、出力電流制御ポート : 4 本)、CMOS 入力 : 3 本、N-ch オープン・ドレイン入出力[6 V 耐圧] : 2 本) • 48 ピン製品 : 合計 : 44 本 (CMOS 入出力 : 39 本 (N-ch オープン・ドレイン入出力[V_{DD} 耐圧] : 27 本、出力電流制御ポート : 5 本)、CMOS 入力 : 3 本、N-ch オープン・ドレイン入出力[6 V 耐圧] : 2 本) • 52 ピン製品 : 合計 : 48 本 (CMOS 入出力 : 43 本 (N-ch オープン・ドレイン入出力[V_{DD} 耐圧] : 29 本、出力電流制御ポート : 6 本)、CMOS 入力 : 3 本、N-ch オープン・ドレイン入出力[6 V 耐圧] : 2 本) • 64 ピン製品 : 合計 : 60 本 (CMOS 入出力 : 53 本 (N-ch オープン・ドレイン入出力[V_{DD} 耐圧] : 35 本、出力電流制御ポート : 8 本)、CMOS 入力 : 3 本、N-ch オープン・ドレイン入出力[6 V 耐圧] : 4 本) • 80 ピン製品 : 合計 : 76 本 (CMOS 入出力 : 68 本 (N-ch オープン・ドレイン入出力[V_{DD} 耐圧] : 42 本、出力電流制御ポート : 8 本)、CMOS 入力 : 3 本、CMOS 出力 : 1 本、N-ch オープン・ドレイン入出力[6 V 耐圧] : 4 本) • 100 ピン製品 : 合計 : 95 本 (CMOS 入出力 : 87 本 (N-ch オープン・ドレイン入出力[V_{DD} 耐圧] : 57 本、出力電流制御ポート : 8 本)、CMOS 入力 : 3 本、CMOS 出力 : 1 本、N-ch オープン・ドレイン入出力[6 V 耐圧] : 4 本)
プルアップ抵抗	• 44 ピン製品 : 合計 : 33 本 • 48 ピン製品 : 合計 : 37 本 • 52 ピン製品 : 合計 : 41 本 • 64 ピン製品 : 合計 : 51 本 • 80 ピン製品 : 合計 : 66 本 • 100 ピン製品 : 合計 : 85 本

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P07 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P02, P03, P05, P06 端子の入力は、ポート入力モード・レジスタ（PIM0）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P00-P07 端子の出力は、ポート出力モード・レジスタ（POM0）により1ビット単位で N-ch オープン・ドレイン出力 [VDD 耐圧] モードに設定可能です。

P00-P07 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ（PFSEG6, PFSEG7）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

また、兼用機能としてコンパレータの出力、静電容量計測、外部割り込み要求入力、クロック出力／ブザー出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、ロジック&イベント・リンク・コントローラの入出力、フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART のデータ送信、LCD コントローラ／ドライバのセグメント信号出力、外部サンプリング位相検出入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P00-P07 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P11, P16, P17 端子の入力は、ポート入力モード・レジスタ（PIM1）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P10, P11, P16, P17 端子の出力は、ポート出力モード・レジスタ（POM1）により1ビット単位で N-ch オープン・ドレイン出力 [VDD 耐圧] モードに設定可能です。

P10-P14 端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール A・レジスタ（PMCA1）で“デジタル入出力”を設定し、さらに LCD ポート・ファンクション・レジスタ（PFSEG5）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

P15-P17 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ（PFSEG6）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

また、兼用機能として A/D コンバータのアナログ入力、コンパレータの出力、外部割り込み要求入力、クロック出力／ブザー出力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、ロジック&イベント・リンク・コントローラの入出力、フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART のデータ受信、LCD コントローラ／ドライバのセグメント信号出力、外部サンプリング位相検出入力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P10-P14 はアナログ入力に、P15-P17 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

P22-P27 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU2）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P22, P26, P27 端子の入力は、ポート入力モード・レジスタ（PIM2）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P22, P26, P27 端子の出力は、ポート出力モード・レジスタ（POM2）により1ビット単位でN-ch オープン・ドレイン出力[V_{DD} 耐圧]モードに設定可能です。

P22-P27 端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロールA・レジスタ（PMCA2）で“デジタル入出力”を設定し、さらにLCD ポート・ファンクション・レジスタ（PFSEG4, PFSEG5）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

また、兼用機能としてA/D コンバータのアナログ入力、D/A コンバータの出力、外部割り込み要求入力、クロック出力／ブザー出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、ロジック&イベント・リンク・コントローラの入力、バッテリーバックアップ用電源、A/D コンバータの+側基準電圧入力、A/D コンバータの-側基準電圧入力、LCD コントローラ／ドライバのセグメント信号出力、外部サンプリング位相検出入力があります。端子の状態は**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表 4-5 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P20-P27 はアナログ入力モードになります。

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30-P35 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P33, P34 端子の入力は、ポート入力モード・レジスタ（PIM3）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P33-P35 端子の出力は、ポート出力モード・レジスタ（POM3）により1ビット単位でN-ch オープン・ドレイン出力[V_{DD} 耐圧]モードに設定可能です。

P30-P35 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ（PFSEG3, PFSEG4）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

また、兼用機能としてコンパレータの出力、静電容量計測、外部割り込み要求入力、リモコン出力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、LCD コントローラ／ドライバのセグメント信号出力があります。端子の状態は**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は**表 4-5 ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P30-P35 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD出力のいずれも無効な状態を示します。

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P47 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P40-P47 端子の入力は、ポート入力モード・レジスタ（PIM4）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P40-P47 端子の出力は、ポート出力モード・レジスタ（POM4）により1ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

P46, P47 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ（PFSEG4）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

また、兼用機能としてコンパレータのアナログ電圧入力、コンパレータのリファレンス電圧入力、外部割り込み要求入力、クロック出力／ブザー出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、フラッシュ・メモリ・プログラマ／デバッグ用データ入出力、LCD コントローラ／ドライバのセグメント信号出力、外部サンプリング・クロックの出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P40, P41 は入力モード、P42-P45 はアナログ入力モードになり、P46, P47 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P57 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P51, P53, P54 端子の入力は、ポート入力モード・レジスタ（PIM5）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P50, P52-P54 端子の出力は、ポート出力モード・レジスタ（POM5）により1ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

P50-P57 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ（PFSEG1, PFSEG2）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

また、兼用機能として静電容量計測、外部割り込み要求入力、クロック出力／ブザー出力、リモコン出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、LCD コントローラ／ドライバのセグメント信号出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P50-P57 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM6）により1ビット単位で入力モード／出力モードの指定ができます。P64-P67 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU6）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63 端子の出力は、N-ch オープン・ドレイン出力 [6 V 耐圧] です。また P60-P63 端子の出力は、出力電流制御許可レジスタ（CCDE）により1ビット単位で出力電流制御ポートに設定可能です。

P64-P66 端子の入力は、ポート入力モード・レジスタ（PIM6）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P64-P66 端子の出力は、ポート出力モード・レジスタ（POM6）により1ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

また、兼用機能として出力電流制御ポート、外部割り込み要求入力、リモコン出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、ロジック&イベント・リンク・コントローラの出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P60-P67 は入力モードになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM7）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。P75, P76 端子の入力は、ポート入力モード・レジスタ（PIM7）の設定により1ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P75-P77 端子の出力は、ポート出力モード・レジスタ（POM7）により1ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

P74-P77 端子の出力は、出力電流制御許可レジスタ（CCDE）により1ビット単位で出力電流制御ポートに設定可能です。

P70-P77 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ（PFSEG2, PFSEG3）で“ポート（セグメント出力以外）として使用”を設定してください（1ビット単位で設定可能）。

また、兼用機能として静電容量計測、出力電流制御ポート、外部割り込み要求入力、キー割り込み入力、リモコン出力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、ロジック&イベント・リンク・コントローラの入出力、LCD コントローラ／ドライバのセグメント信号出力、外部サンプリング・クロック出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P70-P77 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.9 ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ (PM8) により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU8) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P80-P86 端子の入力は、ポート入力モード・レジスタ (PIM8) の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P80-P87 端子の出力は、ポート出力モード・レジスタ (POM8) により 1 ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

また、兼用機能としてコンパレータの出力、外部割り込み要求入力、クロック出力／ブザー出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、LCD 駆動用電圧があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P80-P84 は入力モード、P85-P87 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.10 ポート9

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ (PM9) により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ (PU9) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P93, P94, P96, P97 端子の入力は、ポート入力モード・レジスタ (PIM9) の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P93-P97 端子の出力は、ポート出力モード・レジスタ (POM9) により 1 ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

P90-P97 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ (PFSEG0, PFSEG1) で“ポート (セグメント出力以外) として使用”を設定してください (1 ビット単位で設定可能)。

また、兼用機能として静電容量計測、外部割り込み要求入力、クロック出力／ブザー出力、シリアル・インタフェースのデータ入出力およびクロック入出力、タイマ入出力、LCD コントローラ／ドライバのセグメント信号出力、コモン信号出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P90-P97 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.11 ポート 12

P121, P122, P125-P127 は出力ラッチ付き 5 ビットの入出力ポートです。ポート・モード・レジスタ (PM12) により、1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ (PU12) により内蔵プルアップ抵抗を使用できます。

P125 端子の入力は、ポート入力モード・レジスタ (PIM12) の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P125 端子の出力は、ポート出力モード・レジスタ (POM12) により 1 ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

P123, P124 は 2 ビットの入力専用ポートです。

また、兼用機能としてコンパレータの出力、静電容量計測、外部割り込み要求入力、クロック出力／ブザー出力、リモコン出力、シリアル・インタフェースのデータ入出力、ロジック&イベント・リンク・コントローラの入力、LCD 駆動用電圧、LCD コントローラ／ドライバ用コンデンサ接続、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用発振子接続、サブシステム・クロック用外部クロック入力、バッテリーバックアップ用電源があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P121-P124 は入力モード、P125-P127 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.2.12 ポート 13

P130 は出力ラッチ付き 1 ビット出力専用ポートです。P137 は 1 ビット入力専用ポートです。

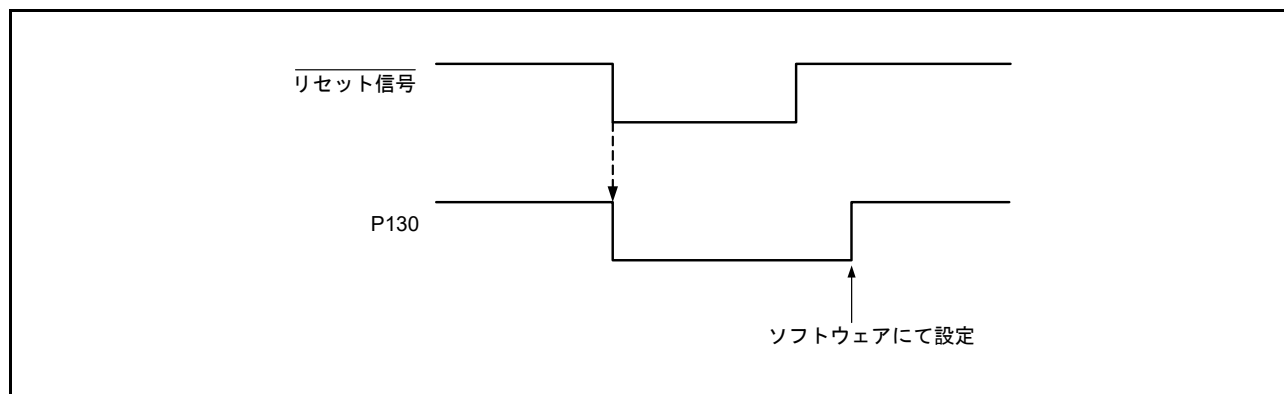
P130 端子をデジタル出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ (PFSEG4) で “ポート (セグメント出力以外) として使用” を設定してください (1 ビット単位で設定可能)。

リセット信号の発生により、P130 は出力モードになります。P137 は入力モードに固定されています。

P130 端子の出力は、ポート出力モード・レジスタ (POM13) により 1 ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ出力、ロジック&イベント・リンク・コントローラの入力、タイマの出力、LCD コントローラ／ドライバのセグメント信号出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

備考 リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130 からの出力を CPU のリセット信号として疑似的に出力するという使い方ができます。



4.2.13 ポート 14

出力ラッチ付き入力ポートです。ポート・モード・レジスタ (PM14) により 1 ビット単位で入力モード／出力モードの指定ができます。P140-P147 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 14 (PU14) により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P140-P142, P144-P147 端子の入力は、ポート入力モード・レジスタ (PIM14) の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P140, P143-P147 端子の出力は、ポート出力モード・レジスタ (POM14) により 1 ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

P141-P145 端子をデジタル入出力ポートとして使用する場合、LCD ポート・ファンクション・レジスタ (PFSEG7) で“ポート (セグメント出力以外) として使用”を設定してください (1 ビット単位で設定可能)。

また、兼用機能としてコンパレータの出力、外部割り込み要求入力、シリアル・インタフェースのデータ入出力およびクロック入出力、LCD コントローラ／ドライバのセグメント信号出力があります。端子の状態は **4.3 ポート機能を制御するレジスタ** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は **表 4-5 ポートのレジスタの設定値と端子状態の関係** を参照してください。

リセット信号の発生により、P140, P146, P147 は入力モードになり、P141-P145 はデジタル入力無効^注になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、アナログ入力、LCD 出力のいずれも無効な状態を示します。

4.3 ポート機能を制御するレジスタ

ポート機能を制御するレジスタを次に示します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- 周辺I/Oリダイレクション・レジスタ (PIORx)
- 出力電流制御許可レジスタ (CCDE)
- 出力電流選択レジスタ (CCSx)
- 40 mAポート出力制御レジスタ (PTDC)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- ポート・モード選択レジスタ (PMS)
- LCDポート・ファンクション・レジスタ (PFSEGx)
- LCD入力切り替え制御レジスタ (ISCLCD)

表4-2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCExx, PFSEGx レジスタとそのビット (1/3)

ポート		ビット名									100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCExx レジスタ						
ポート0	0	PM00	P00	PU00	—	POM00	PDIDIS00	—	—	PMCE00	PFSEG43	○	○	○	○	○
	1	PM01	P01	PU01	—	POM01	PDIDIS01	—	—	—	PFSEG44	○	○	○	—	—
	2	PM02	P02	PU02	PIM02	POM02	PDIDIS02	—	—	—	PFSEG45	○	○	○	—	—
	3	PM03	P03	PU03	PIM03	POM03	PDIDIS03	—	—	—	PFSEG46	○	○	○	—	—
	4	PM04	P04	PU04	—	POM04	PDIDIS04	—	PMCT04	—	PFSEG47	○	○	○	—	—
	5	PM05	P05	PU05	PIM05	POM05	PDIDIS05	—	PMCT05	PMCE05	PFSEG48	○	○	○	○	○
	6	PM06	P06	PU06	PIM06	POM06	PDIDIS06	—	PMCT06	—	PFSEG49	○	○	○	○	○
ポート1	7	PM07	P07	PU07	—	POM07	PDIDIS07	—	PMCT07	—	PFSEG50	○	○	○	○	○
	0	PM10	P10	PU10	—	POM10	PDIDIS10	PMCA10	—	—	PFSEG35	○	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	PDIDIS11	PMCA11	—	—	PFSEG36	○	○	○	○	○
	2	PM12	P12	PU12	—	—	—	PMCA12	—	—	PFSEG37	○	○	○	○	○
	3	PM13	P13	PU13	—	—	—	PMCA13	—	—	PFSEG38	○	○	○	○	—
	4	PM14	P14	PU14	—	—	—	PMCA14	—	—	PFSEG39	○	○	○	○	—
	5	PM15	P15	PU15	—	—	—	—	—	—	PFSEG40	○	○	○	—	—
ポート2	6	PM16	P16	PU16	PIM16	POM16	PDIDIS16	—	—	—	PFSEG41	○	○	○	○	○
	7	PM17	P17	PU17	PIM17	POM17	PDIDIS17	—	—	PMCE17	PFSEG42	○	○	○	○	○
	0	PM20	P20	—	—	—	—	PMCA20	—	—	—	○	○	○	○	○
	1	PM21	P21	—	—	—	—	PMCA21	—	—	—	○	○	○	○	○
	2	PM22	P22	PU22	PIM22	POM22	PDIDIS22	PMCA22	—	—	PFSEG29	○	○	○	○	○
	3	PM23	P23	PU23	—	—	—	PMCA23	—	—	PFSEG30	○	○	—	—	—
	4	PM24	P24	PU24	—	—	—	PMCA24	—	—	PFSEG31	○	○	—	—	—
ポート3	5	PM25	P25	PU25	—	—	—	PMCA25	—	—	PFSEG32	○	○	—	—	—
	6	PM26	P26	PU26	PIM26	POM26	PDIDIS26	PMCA26	—	—	PFSEG33	○	○	○	○	○
	7	PM27	P27	PU27	PIM27	POM27	PDIDIS27	PMCA27	—	—	PFSEG34	○	○	○	○	○
	0	PM30	P30	PU30	—	—	—	—	PMCT30	—	PFSEG20	○	○	○	—	—
	1	PM31	P31	PU31	—	—	—	—	PMCT31	—	PFSEG21	○	○	○	—	—
	2	PM32	P32	PU32	—	—	—	—	PMCT32	—	PFSEG22	○	—	—	—	—
	3	PM33	P33	PU33	PIM33	POM33	PDIDIS33	—	PMCT33	—	PFSEG23	○	—	—	—	—
ポート4	4	PM34	P34	PU34	PIM34	POM34	PDIDIS34	—	PMCT34	—	PFSEG24	○	○	—	—	—
	5	PM35	P35	PU35	—	POM35	PDIDIS35	—	PMCT35	—	PFSEG25	○	○	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	0	PM40	P40	PU40	PIM40	POM40	PDIDIS40	—	—	—	—	○	○	○	○	○
	1	PM41	P41	PU41	PIM41	POM41	PDIDIS41	—	—	—	—	○	○	—	—	—
	2	PM42	P42	PU42	PIM42	POM42	PDIDIS42	PMCA42	—	—	—	○	○	○	—	—
ポート5	3	PM43	P43	PU43	PIM43	POM43	PDIDIS43	PMCA43	—	—	—	○	○	○	○	—
	4	PM44	P44	PU44	PIM44	POM44	PDIDIS44	PMCA44	—	—	—	○	○	○	○	○
	5	PM45	P45	PU45	PIM45	POM45	PDIDIS45	PMCA45	—	—	—	○	○	○	○	—
	6	PM46	P46	PU46	PIM46	POM46	PDIDIS46	—	—	—	PFSEG26	○	○	—	—	—
	7	PM47	P47	PU47	PIM47	POM47	PDIDIS47	—	—	—	PFSEG27	○	○	—	—	—
	0	PM50	P50	PU50	—	POM50	PDIDIS50	—	PMCT50	—	PFSEG04	○	○	—	—	—
	1	PM51	P51	PU51	PIM51	—	—	—	PMCT51	—	PFSEG05	○	○	—	—	—
ポート5	2	PM52	P52	PU52	—	POM52	PDIDIS52	—	PMCT52	—	PFSEG06	○	○	○	—	—
	3	PM53	P53	PU53	PIM53	POM53	PDIDIS53	—	PMCT53	—	PFSEG07	○	○	○	○	—
	4	PM54	P54	PU54	PIM54	POM54	PDIDIS54	—	PMCT54	—	PFSEG08	○	○	○	○	—
	5	PM55	P55	PU55	—	—	—	—	PMCT55	—	PFSEG09	○	○	—	—	—
	6	PM56	P56	PU56	—	—	—	—	PMCT56	—	PFSEG10	○	○	—	—	—
	7	PM57	P57	PU57	—	—	—	—	PMCT57	—	PFSEG11	○	○	○	○	○

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCExx, PFSEGx レジスタとそのビット (2/3)

ポート		ビット名										100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCExx レジスタ	PFSEGx レジスタ						
ポート6	0	PM60	P60	—	—	—	—	—	—	PMCE60	—	○	○	○	○	○	○
	1	PM61	P61	—	—	—	—	—	—	PMCE61	—	○	○	○	○	○	○
	2	PM62	P62	—	—	—	—	—	—	—	—	○	○	○	—	—	—
	3	PM63	P63	—	—	—	—	—	—	—	—	○	○	○	—	—	—
	4	PM64	P64	PU64	PIM64	POM64	PDIDIS64	—	—	—	—	○	—	—	—	—	—
	5	PM65	P65	PU65	PIM65	POM65	PDIDIS65	—	—	—	—	○	—	—	—	—	—
	6	PM66	P66	PU66	PIM66	POM66	PDIDIS66	—	—	—	—	○	—	—	—	—	—
ポート7	7	PM67	P67	PU67	—	—	—	—	—	—	—	○	—	—	—	—	—
	0	PM70	P70	PU70	—	—	—	—	PMCT70	—	PFSEG12	○	○	○	—	—	—
	1	PM71	P71	PU71	—	—	—	—	PMCT71	—	PFSEG13	○	○	—	—	—	—
	2	PM72	P72	PU72	—	—	—	—	PMCT72	—	PFSEG14	○	○	—	—	—	—
	3	PM73	P73	PU73	—	—	—	—	PMCT73	—	PFSEG15	○	○	—	—	—	—
	4	PM74	P74	PU74	—	—	—	—	PMCT74	—	PFSEG16	○	○	○	○	—	—
	5	PM75	P75	PU75	PIM75	POM75	PDIDIS75	—	PMCT75	—	PFSEG17	○	○	○	○	○	—
ポート8	6	PM76	P76	PU76	PIM76	POM76	PDIDIS76	—	PMCT76	PMCE76	PFSEG18	○	○	○	○	○	○
	7	PM77	P77	PU77	—	POM77	PDIDIS77	—	PMCT77	PMCE77	PFSEG19	○	○	○	○	○	○
	0	PM80	P80	PU80	PIM80	POM80	PDIDIS80	—	—	—	—	○	—	—	—	—	—
	1	PM81	P81	PU81	PIM81	POM81	PDIDIS81	—	—	—	—	○	—	—	—	—	—
	2	PM82	P82	PU82	PIM82	POM82	PDIDIS82	—	—	—	—	○	—	—	—	—	—
	3	PM83	P83	PU83	PIM83	POM83	PDIDIS83	—	—	—	—	○	—	—	—	—	—
	4	PM84	P84	PU84	PIM84	POM84	PDIDIS84	—	—	—	—	○	—	—	—	—	—
ポート9	5	PM85	P85	PU85	PIM85	POM85	PDIDIS85	—	—	—	—	○	○	○	○	○	○
	6	PM86	P86	PU86	PIM86	POM86	PDIDIS86	—	—	—	—	○	○	○	○	○	○
	7	PM87	P87	PU87	—	POM87	PDIDIS87	—	—	—	—	○	○	○	○	○	○
	0	PM90	P90	PU90	—	—	—	—	PMCT90	—	PFCOM0	○	○	○	○	○	○
	1	PM91	P91	PU91	—	—	—	—	PMCT91	—	PFCOM1	○	○	○	○	○	○
	2	PM92	P92	PU92	—	—	—	—	PMCT92	—	PFCOM2	○	○	○	○	○	○
	3	PM93	P93	PU93	PIM93	POM93	PDIDIS93	—	PMCT93	—	PFCOM3	○	○	○	○	○	○
ポート12	4	PM94	P94	PU94	PIM94	POM94	PDIDIS94	—	PMCT94	—	PFSEG00	○	○	○	○	○	○
	5	PM95	P95	PU95	—	POM95	PDIDIS95	—	PMCT95	—	PFSEG01	○	○	○	○	○	○
	6	PM96	P96	PU96	PIM96	POM96	PDIDIS96	—	PMCT96	—	PFSEG02	○	○	○	○	○	○
	7	PM97	P97	PU97	PIM97	POM97	PDIDIS97	—	PMCT97	—	PFSEG03	○	○	○	○	○	○
	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	1	PM121	P121	PU121	—	—	—	—	—	—	—	○	○	○	○	○	○
	2	PM122	P122	PU122	—	—	—	—	—	—	—	○	○	○	○	○	○
ポート13	3	—	P123	—	—	—	—	—	—	—	—	○	○	○	○	○	○
	4	—	P124	—	—	—	—	—	—	—	—	○	○	○	○	○	○
	5	PM125	P125	PU125	PIM125	POM125	PDIDIS125	—	PMCT125	—	—	○	○	○	○	○	○
	6	PM126	P126	PU126	—	—	—	—	PMCT126	—	—	○	○	○	○	○	○
	7	PM127	P127	PU127	—	—	—	—	PMCT127	—	—	○	○	○	○	○	○
	0	—	P130	—	—	POM130	—	—	—	—	PFSEG28	○	○	—	—	—	—
	1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート13	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	PDIDIS137	—	—	—	—	○	○	○	○	○	○

表4 - 2 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx, PMCExx, PFSEGx レジスタとそのビット (3/3)

ポート		ビット名									100	80	64	52	48	44
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ	PMCExx レジスタ	PFSEGx レジスタ	ピン	ピン	ピン	ピン	ピン
ポート 14	0	PM140	P140	PU140	PIM140	POM140	PDIDIS140	—	—	—	—	○	—	—	—	—
	1	PM141	P141	PU141	PIM141	—	—	—	—	—	PFSEG51	○	—	—	—	—
	2	PM142	P142	PU142	PIM142	—	—	—	—	—	PFSEG52	○	—	—	—	—
	3	PM143	P143	PU143	—	POM143	PDIDIS143	—	—	—	PFSEG53	○	—	—	—	—
	4	PM144	P144	PU144	PIM144	POM144	PDIDIS144	—	—	—	PFSEG54	○	—	—	—	—
	5	PM145	P145	PU145	PIM145	POM145	PDIDIS145	—	—	—	PFSEG55	○	—	—	—	—
	6	PM146	P146	PU146	PIM146	POM146	PDIDIS146	—	—	—	—	○	—	—	—	—
	7	PM147	P147	PU147	PIM147	POM147	PDIDIS147	—	—	—	—	○	—	—	—	—

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力／出力を1ビット単位で設定するレジスタです。

PMxx レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、**4.5 兼用機能使用時のレジスタ設定**を参照し、設定してください。

図4-1 ポート・モード・レジスタ (PMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62 注	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W
PM12	PM127	PM126	PM125	1	1	PM122	PM121	1	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-9, 12, 14; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 コード・フラッシュ・メモリが、128 KB 以下かつ 52 ピン以下の製品では内部端子の制御ビットになります。リセット解除後は、ソフトウェアでポート・モード・レジスタに0を設定する必要があります。

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.2 ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

読み出す場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

Pxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注 P10-14, P20-P27, P42-P45 をアナログ機能として設定した場合に、ポートが入力モード時に読み出すと端子レベルではなく常に 0 が読み出されます。

注意 P04-P07, P30-P35, P50-P57, P70-P77, P90-P97, P125-P127 を静電容量計測として設定した場合に、ポートが入力モード時に読み出すと端子レベルではなく常に 0 が読み出されます。

図4-2 ポート・レジスタ（Pxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	0	0	P35	P34	P33	P32	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	P67	P66	P65	P64	P63	P62 ^{注1}	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H（出力ラッチ）	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FFF09H	00H（出力ラッチ）	R/W
P12	P127	P126	P125	P124	P123	P122	P121	0	FFF0CH	不定	R/W ^{注2}
P13	P137	0	0	0	0	0	0	P130	FFF0DH	^{注3}	R/W ^{注2}
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H（出力ラッチ）	R/W

Pmn	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0 を出力	ロウ・レベルを入力
1	1 を出力	ハイ・レベルを入力

注1. コード・フラッシュ・メモリが、128 KB 以下かつ 52 ピン以下の製品では内部端子の制御ビットになります。リセット解除後は、ソフトウェアでポート・レジスタに 0 を設定する必要があります。

注2. P123, P124, P137 は、読み出しのみ可能です。

注3. P137 : 不定
P130 : 0（出力ラッチ）

注意 搭載していないビットには、必ず初期値を設定してください。

備考 m = 0-9, 12-14; n = 0-7

4.3.3 プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUxx レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、PUxx レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用している場合も同様です。

PUxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H（PU4 のみ 01H）になります。

注意 PIMxx レジスタがあるポートで、異電位デバイスから TTLバッファに入力する場合は、PUmn = 0 を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4 - 3 プルアップ抵抗オプション・レジスタ（PUxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU2	PU27	PU26	PU25	PU24	PU23	PU22	0	0	F0032H	00H	R/W
PU3	0	0	PU35	PU34	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU9	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90	F0039H	00H	R/W
PU12	PU127	PU126	PU125	0	0	PU122	PU121	0	F003CH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択（m = 0-9, 12, 14; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などに TTL 入力バッファを選択できます。

PIMxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4-4 ポート入力モード・レジスタ (PIMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	PIM06	PIM05	0	PIM03	PIM02	0	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	0	0	0	0	PIM11	0	F0041H	00H	R/W
PIM2	PIM27	PIM26	0	0	0	PIM22	0	0	F0042H	00H	R/W
PIM3	0	0	0	PIM34	PIM33	0	0	0	F0043H	00H	R/W
PIM4	PIM47	PIM46	PIM45	PIM44	PIM43	PIM42	PIM41	PIM40	F0044H	00H	R/W
PIM5	0	0	0	PIM54	PIM53	0	PIM51	0	F0045H	00H	R/W
PIM6	0	PIM66	PIM65	PIM64	0	0	0	0	F0046H	00H	R/W
PIM7	0	PIM76	PIM75	0	0	0	0	0	F0047H	00H	R/W
PIM8	0	PIM86	PIM85	PIM84	PIM83	PIM82	PIM81	PIM80	F0048H	00H	R/W
PIM9	PIM97	PIM96	0	PIM94	PIM93	0	0	0	F0049H	00H	R/W
PIM12	0	0	PIM125	0	0	0	0	0	F004CH	00H	R/W
PIM14	PIM147	PIM146	PIM145	PIM144	0	PIM142	PIM141	PIM140	F004EH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 0-9, 12, 14; n = 0-7)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31 端子に N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。POMxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意 N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタ (POMxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	POM07	POM06	POM05	POM04	POM03	POM02	POM01	POM00	F0050H	00H	R/W
POM1	POM17	POM16	0	0	0	0	POM11	POM10	F0051H	00H	R/W
POM2	POM27	POM26	0	0	0	POM22	0	0	F0052H	00H	R/W
POM3	0	0	POM35	POM34	POM33	0	0	0	F0053H	00H	R/W
POM4	POM47	POM46	POM45	POM44	POM43	POM42	POM41	POM40	F0054H	00H	R/W
POM5	0	0	0	POM54	POM53	POM52	0	POM50	F0055H	00H	R/W
POM6	0	POM66	POM65	POM64	0	0	0	0	F0056H	00H	R/W
POM7	POM77	POM76	POM75	0	0	0	0	0	F0057H	00H	R/W
POM8	POM87	POM86	POM85	POM84	POM83	POM82	POM81	POM80	F0058H	00H	R/W
POM9	POM97	POM96	POM95	POM94	POM93	0	0	0	F0059H	00H	R/W
POM12	0	0	POM125	0	0	0	0	0	F005CH	00H	R/W
POM13	0	0	0	0	0	0	0	POM130	F005DH	00H	R/W
POM14	POM147	POM146	POM145	POM144	POM143	0	0	POM140	F005EH	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 0-9, 12-14; n = 0-7)
0	通常出力モード
1	N-ch オープン・ドレイン出力 [V _{DD} 耐圧] モード

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.6 ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx)

入力バッファの貫通電流を防止するレジスタです。

異電位の外部デバイスとのシリアル通信などで N-ch オープン・ドレイン出力した場合や入力ポートを使用しない場合、PDIDISxx レジスタの対象ビットに 1 を設定することにより、低消費電力にすることができます。

PDIDISxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4-6 ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PDIDIS0	PDIDIS 07	PDIDIS 06	PDIDIS 05	PDIDIS 04	PDIDIS 03	PDIDIS 02	PDIDIS 01	PDIDIS 00	F02B0H	00H	R/W
PDIDIS1	PDIDIS 17	PDIDIS 16	0	0	0	0	PDIDIS 11	PDIDIS 10	F02B1H	00H	R/W
PDIDIS2	PDIDIS 27	PDIDIS 26	0	0	0	PDIDIS 22	0	0	F02B2H	00H	R/W
PDIDIS3	0	0	PDIDIS 35	PDIDIS 34	PDIDIS 33	0	0	0	F02B3H	00H	R/W
PDIDIS4	PDIDIS 47	PDIDIS 46	PDIDIS 45	PDIDIS 44	PDIDIS 43	PDIDIS 42	PDIDIS 41	PDIDIS 40	F02B4H	00H	R/W
PDIDIS5	0	0	0	PDIDIS 54	PDIDIS 53	PDIDIS 52	0	PDIDIS 50	F02B5H	00H	R/W
PDIDIS6	0	PDIDIS 66	PDIDIS 65	PDIDIS 64	0	0	0	0	F02B6H	00H	R/W
PDIDIS7	PDIDIS 77	PDIDIS 76	PDIDIS 75	0	0	0	0	0	F02B7H	00H	R/W
PDIDIS8	PDIDIS 87	PDIDIS 86	PDIDIS 85	PDIDIS 84	PDIDIS 83	PDIDIS 82	PDIDIS 81	PDIDIS 80	F02B8H	00H	R/W
PDIDIS9	PDIDIS 97	PDIDIS 96	PDIDIS 95	PDIDIS 94	PDIDIS 93	0	0	0	F02B9H	00H	R/W
PDIDIS12	0	0	PDIDIS 125	0	0	0	0	0	F02BCH	00H	R/W
PDIDIS13	PDIDIS 137	0	0	0	0	0	0	0	F02BDH	00H	R/W
PDIDIS14	PDIDIS 147	PDIDIS 146	PDIDIS 145	PDIDIS 144	PDIDIS 143	0	0	PDIDIS 140	F02BEH	00H	R/W

PDIDISmn	入力バッファ設定 (m = 0-9, 12-14; n = 0-7)
0	入力バッファの入力許可
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

注意 搭載していないビットには、必ず初期値を設定してください。

備考 P123, P124はクロック動作モード制御レジスタ (CMC) のEXCLKSビットに0、OSCSELSビットに1、かつクロック動作ステータス制御レジスタ (CSC) のXTSTOPビットに1を設定することにより、低消費電力にすることができます。

4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)

デジタル入出力／アナログ機能を1ビット単位で設定するレジスタです。

PMCAxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-7 ポート・モード・コントロールA・レジスタ (PMCAxx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCA1	1	1	1	PMCA1 4	PMCA1 3	PMCA1 2	PMCA1 1	PMCA1 0	F0061H	FFH	R/W
PMCA2	PMCA2 7	PMCA2 6	PMCA2 5	PMCA2 4	PMCA2 3	PMCA2 2	PMCA2 1	PMCA2 0	F0062H	FFH	R/W
PMCA4	1	1	PMCA4 5	PMCA4 4	PMCA4 3	PMCA4 2	1	1	F0064H	FFH	R/W

PMCAmn	Pmn端子のデジタル入出力／アナログ機能の選択 (m = 1, 2, 4; n = 0-7)
0	デジタル入出力
1	アナログ機能

注意1. PMCAxxレジスタでアナログ機能に設定したポートは、ポート・モード・レジスタ (PM1, PM2, PM4) で入力モードに選択してください。

注意2. PMCAxxレジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) のアナログ機能に設定しないでください。

注意3. 搭載していないビットには、必ず初期値を設定してください。

4.3.8 ポート・モード・コントロールT・レジスタ（PMCTxx）

デジタル入出力／静電容量計測機能を1ビット単位で設定するレジスタです。
PMCTxx レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図4 - 8 ポート・モード・コントロールT・レジスタ（PMCTxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCT0	PMCT0 7	PMCT0 6	PMCT0 5	PMCT0 4	0	0	0	0	F0260H	00H	R/W
PMCT3	0	0	PMCT3 5	PMCT3 4	PMCT3 3	PMCT3 2	PMCT3 1	PMCT3 0	F0263H	00H	R/W
PMCT5	PMCT5 7	PMCT5 6	PMCT5 5	PMCT5 4	PMCT5 3	PMCT5 2	PMCT5 1	PMCT5 0	F0265H	00H	R/W
PMCT7	PMCT7 7	PMCT7 6	PMCT7 5	PMCT7 4	PMCT7 3	PMCT7 2	PMCT7 1	PMCT7 0	F0267H	00H	R/W
PMCT9	PMCT9 7	PMCT9 6	PMCT9 5	PMCT9 4	PMCT9 3	PMCT9 2	PMCT9 1	PMCT9 0	F0269H	00H	R/W
PMCT12	PMCT1 27	PMCT1 26	PMCT1 25	0	0	0	0	0	F026CH	00H	R/W

PMCTmn	Pmn端子のデジタル入出力／静電容量計測機能の選択（m = 0, 3, 5, 7, 9, 12; n = 0, 1, 5-7）
0	デジタル入出力
1	静電容量計測機能

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)

デジタル入出力／ELCL 出力機能を 1 ビット単位で設定するレジスタです。
PMCExx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図4 - 9 ポート・モード・コントロールE・レジスタ (PMCExx) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCE0	0	0	PMCE0 5	0	0	0	0	PMCE0 0	F0280H	00H	R/W
PMCE1	PMCE1 7	0	0	0	0	0	0	0	F0281H	00H	R/W
PMCE6	0	0	0	0	0	0	PMCE6 1	PMCE6 0	F0286H	00H	R/W
PMCE7	PMCE7 7	PMCE7 6	0	0	0	0	0	0	F0287H	00H	R/W

PMCEmn	Pmn端子のデジタル入出力／ELCL出力機能の選択 (m = 0, 1, 6, 7; n = 0, 1, 5-7)
0	デジタル入出力
1	ELCL 出力

注意 搭載していないビットには、必ず初期値を設定してください。

4.3.10 周辺 I/O リダイレクション・レジスタ (PIORx)

PIORx レジスタは、周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

周辺 I/O リダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は、PIORx レジスタでポートを割り当ててから、動作許可にしてください。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIORx レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4 - 10 周辺 I/O リダイレクション・レジスタ (PIORx) のフォーマット (1/6)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIOR0	0	PIOR0 6	PIOR0 5	PIOR0 4	PIOR0 3	PIOR0 2	PIOR0 1	PIOR0 0	F04E0H	00H	R/W
PIOR1	PIOR1 7	PIOR1 6	PIOR1 5	PIOR1 4	PIOR1 3	PIOR1 2	PIOR1 1	PIOR1 0	F04E1H	00H	R/W
PIOR2	0	0	0	0	PIOR2 3	PIOR2 2	PIOR2 1	PIOR2 0	F04E2H	00H	R/W
PIOR3	0	PIOR3 6	PIOR3 5	PIOR3 4	PIOR3 3	PIOR3 2	PIOR3 1	PIOR3 0	F04E3H	00H	R/W
PIOR4	PIOR4 7	PIOR4 6	0	0	0	0	PIOR4 1	PIOR4 0	F04E4H	00H	R/W
PIOR5	PIOR5 7	PIOR5 6	PIOR5 5	PIOR5 4	PIOR5 3	PIOR5 2	PIOR5 1	PIOR5 0	F04E5H	00H	R/W
PIOR6	0	0	PIOR6 5	PIOR6 4	PIOR6 3	PIOR6 2	PIOR6 1	PIOR6 0	F04E6H	00H	R/W
PIOR7	0	0	PIOR7 5	PIOR7 4	PIOR7 3	PIOR7 2	PIOR7 1	PIOR7 0	F04E7H	00H	R/W
PIOR8	0	0	PIOR8 5	PIOR8 4	PIOR8 3	PIOR8 2	PIOR8 1	PIOR8 0	F04E8H	00H	R/W
PIOR9	0	0	PIOR9 5	PIOR9 4	PIOR9 3	PIOR9 2	PIOR9 1	PIOR9 0	F04E9H	00H	R/W
PIOR10	PIOR1 07	PIOR1 06	PIOR1 05	PIOR1 04	PIOR1 03	PIOR1 02	PIOR1 01	PIOR1 00	F04EAH	00H	R/W
PIOR11	PIOR1 17	PIOR1 16	PIOR1 15	PIOR1 14	PIOR1 13	PIOR1 12	PIOR1 11	PIOR1 10	F04EBH	00H	R/W
PIOR12	0	0	0	0	PIOR1 23	PIOR1 22	PIOR1 21	PIOR1 20	F04ECH	00H	R/W
PIOR13	PIOR1 37	PIOR1 36	PIOR1 35	PIOR1 34	PIOR1 33	PIOR1 32	PIOR1 31	PIOR1 30	F04EDH	00H	R/W

図4 - 10 周辺I/Oリダイレクション・レジスタ (PIORx) のフォーマット (2/6)

PIOR0 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR06, PIOR05	TI02/TO02	P54 ^{注1}	P55 ^{注2}	P61	P95	—	—	—	—
PIOR04- PIOR02	TI01/TO01	P32 ^{注3}	P31 ^{注4}	P33 ^{注3}	P34 ^{注2}	P60	P92	P67 ^{注3}	—
PIOR01, PIOR00	TI00	P52 ^{注4}	P20	P40	P90	—	—	—	—
	TO00	P52 ^{注4}	P21	P40	P90	—	—	—	—

PIOR1 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR17- PIOR15	TI05/TO05	P42 ^{注4}	P01 ^{注4}	P43 ^{注5}	P66 ^{注3}	P97	P65 ^{注3}	—	—
PIOR14, PIOR13	TI04/TO04	P14 ^{注5}	P44	P63 ^{注4}	P126	—	—	—	—
PIOR12- PIOR10	TI03/TO03/ REMOOUT	P30 ^{注4}	P32 ^{注3}	P57	P62 ^{注4}	P64 ^{注3}	P75 ^{注1}	P127	—

PIOR2 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR23, PIOR22	TI07/TO07	P15 ^{注4}	P41 ^{注2}	P53 ^{注5}	P77	—	—	—	—
PIOR21, PIOR20	TI06/TO06	P56 ^{注2}	P86	P125	P94	—	—	—	—

PIOR3 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR36, PIOR35	TKBO21 ^{注6}	P72 ^{注2}	P77	P02 ^{注4}	P27	—	—	—	—
	TKBO20 ^{注6}	P70 ^{注4}	P70 ^{注4}	P26	P26	—	—	—	—
PIOR34, PIOR33	TKBO11 ^{注6}	P74 ^{注5}	P75 ^{注1}	P11	P01 ^{注4}	—	—	—	—
	TKBO10 ^{注6}	P73 ^{注2}	P73 ^{注2}	P10	P10	—	—	—	—
PIOR32- PIOR30	TKBO01	P77	P75 ^{注1}	P74 ^{注5}	P17	P16	P00	—	—
	TKBO00	P76	P76	P76	P12	P12	P12	—	—

図4 - 10 周辺I/Oリダイレクション・レジスタ (PIORx) のフォーマット (3/6)

PIOR4 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR47	EXSDI1	P17	P27	—	—	—	—	—	—
	EXSDI0	P00	P26	—	—	—	—	—	—
PIOR46	EXSDO1	P44	P76	—	—	—	—	—	—
	EXSDO0	P45 ^{注1}	P77	—	—	—	—	—	—
PIOR41	TRJO1 ^{注6}	P130 ^{注2}	P12	—	—	—	—	—	—
	TRJIO1 ^{注6}	P23 ^{注2}	P11	—	—	—	—	—	—
PIOR40	TRJO0	P42 ^{注4}	P00	—	—	—	—	—	—
	TRJIO0	P03 ^{注4}	P17	—	—	—	—	—	—

PIOR5 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR57- PIOR55	RTC1HZ	P31 ^{注4}	P30 ^{注4}	P32 ^{注3}	P33 ^{注3}	P16	P76	—	—
PIOR54, PIOR53	VCOUT1	P04 ^{注4}	P12	P146 ^{注3}	P125	—	—	—	—
	VCOUT0	P03 ^{注4}	P16	P35 ^{注2}	P85	—	—	—	—
PIOR52- PIOR50	PCLBUZ1	P01 ^{注4}	P12	P20	P42 ^{注4}	P86	P125	P52 ^{注4}	P06
	PCLBUZ0	P02	P04 ^{注4}	P07	P21	P53 ^{注5}	P54 ^{注1}	P82 ^{注3}	P96

PIOR6 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR65- PIOR63	INTP1	P52 ^{注4}	P66 ^{注3}	P77	P83 ^{注3}	P90	P95	P47 ^{注2}	P11
PIOR62- PIOR60	INTP0	P137	P10	P34 ^{注2}	P54 ^{注1}	P65 ^{注3}	P84 ^{注3}	P75 ^{注1}	—

PIOR7 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR75- PIOR73	INTP3	P31 ^{注4}	P30 ^{注4}	P32 ^{注3}	P60	P86	P145 ^{注3}	P93	—
PIOR72- PIOR70	INTP2	P53 ^{注5}	P67 ^{注3}	P76	P91	P94	P147 ^{注3}	P80 ^{注3}	—

PIOR8 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR85- PIOR83	INTP5	P55 ^{注2}	P01 ^{注4}	P26	P62 ^{注4}	P64 ^{注3}	P96	P143 ^{注3}	—
PIOR82- PIOR80	INTP4	P33 ^{注3}	P27	P35 ^{注2}	P61	P85	P144 ^{注3}	P126	P43 ^{注5}

図4 - 10 周辺I/Oリダイレクション・レジスタ (PIORx) のフォーマット (4/6)

PIOR9 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR95- PIOR93	INTP7	P02 ^{注4}	P20	P22	P42 ^{注4}	P44	P125	P142 ^{注3}	P146 ^{注3}
PIOR92- PIOR90	INTP6	P57	P04 ^{注4}	P21	P41 ^{注2}	P63 ^{注4}	P141 ^{注3}	P51 ^{注2}	—

PIOR10 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR107, PIOR106	SCK11	P10	P44 ^{注4}	—	—	—	—	—	—
	SCL11	P10	P44 ^{注5}	—	—	—	—	—	—
	SI11	P11	P43 ^{注4}	—	—	—	—	—	—
	SDA11	P11	P43 ^{注5}	—	—	—	—	—	—
	SO11	P12	P42 ^{注4}	—	—	—	—	—	—
PIOR105, PIOR104	SCK10	P05	P66 ^{注3}	P82 ^{注3}	P85	—	—	—	—
	SCL10	P05	P66 ^{注3}	P82 ^{注3}	P85	—	—	—	—
	SI10	P06	P41 ^{注3}	P81 ^{注3}	P86	—	—	—	—
	RxD1	P06	P41 ^{注2}	P81 ^{注3}	P86	—	—	—	—
	SDA10	P06	P41 ^{注3}	P81 ^{注3}	P86	—	—	—	—
	SO10	P07	P42 ^{注3}	P07 ^{注3}	P87	—	—	—	—
	TxD1	P07	P42 ^{注2}	P07 ^{注3}	P87	—	—	—	—
PIOR103, PIOR102	SCK01	P54 ^{注4}	P46 ^{注2}	P93	P97	—	—	—	—
	SCL01	P54 ^{注5}	P46 ^{注2}	P93	P97	—	—	—	—
	SI01	P53 ^{注4}	P47 ^{注2}	P94	P96	—	—	—	—
	SDA01	P53 ^{注5}	P47 ^{注2}	P94	P96	—	—	—	—
	SO01	P52 ^{注4}	P130 ^{注2}	P95	P95	—	—	—	—
PIOR101, PIOR100	SCK00	P16	P22	P40 ^{注2}	—	—	—	—	—
	SCL00	P16	P22	P40 ^{注4}	—	—	—	—	—
	SI00	P17	P26	P42 ^{注2}	—	—	—	—	—
	RxD0	P17	P26	P42 ^{注2}	—	—	—	—	—
	SDA00	P17	P26	P42 ^{注4}	—	—	—	—	—
	SO00	P00	P27	P41 ^{注2}	—	—	—	—	—
	TxD0	P00	P27	P41 ^{注2}	—	—	—	—	—

図4 - 10 周辺I/Oリダイレクション・レジスタ（PIORx）のフォーマット (5/6)

PIOR11 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR117, PIOR116	SCK31	P140 ^{注3}	P02 ^{注3}	P02 ^{注4}	—	—	—	—	—
	SCL31	P140 ^{注3}	P02 ^{注4}	P02 ^{注4}	—	—	—	—	—
	SI31	P46 ^{注3}	P03 ^{注3}	P03 ^{注4}	—	—	—	—	—
	SDA31	P46 ^{注3}	P03 ^{注4}	P03 ^{注4}	—	—	—	—	—
	SO31	P47 ^{注3}	P146 ^{注3}	P01 ^{注4}	—	—	—	—	—
PIOR115, PIOR114	SCK30	P45 ^{注5}	P85 ^{注2}	P33 ^{注3}	—	—	—	—	—
	SCL30	P45 ^{注1}	P85	P33 ^{注3}	—	—	—	—	—
	SI30	P44 ^{注5}	P125 ^{注2}	P34 ^{注3}	—	—	—	—	—
	RxD3	P44 ^{注5}	P125 ^{注2}	P34 ^{注2}	—	—	—	—	—
	SDA30	P44 ^{注1}	P125	P34 ^{注3}	—	—	—	—	—
	SO30	P43 ^{注5}	P35 ^{注2}	P35 ^{注3}	—	—	—	—	—
	TxD3	P43 ^{注5}	P35 ^{注2}	P35 ^{注2}	—	—	—	—	—
PIOR113, PIOR112	SCK21	P22	P46 ^{注2}	—	—	—	—	—	—
	SCL21	P22	P46 ^{注2}	—	—	—	—	—	—
	SI21	P26	P47 ^{注2}	—	—	—	—	—	—
	SDA21	P26	P47 ^{注2}	—	—	—	—	—	—
	SO21	P27	P130 ^{注2}	—	—	—	—	—	—
PIOR111, PIOR110	SCK20	P75 ^{注1}	P80 ^{注3}	P02 ^{注4}	—	—	—	—	—
	SCL20	P75 ^{注1}	P80 ^{注3}	P02 ^{注4}	—	—	—	—	—
	SI20	P76 ^{注1}	P147 ^{注3}	P03 ^{注4}	—	—	—	—	—
	RxD2	P76	P147 ^{注3}	P03 ^{注4}	—	—	—	—	—
	SDA20	P76 ^{注1}	P147 ^{注3}	P03 ^{注4}	—	—	—	—	—
	SO20	P77 ^{注1}	P146 ^{注3}	P04 ^{注4}	—	—	—	—	—
	TxD2	P77	P146 ^{注3}	P04 ^{注4}	—	—	—	—	—

図4 - 10 周辺I/Oリダイレクション・レジスタ（PIORx）のフォーマット (6/6)

PIOR12 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR123, PIOR122	SCLA1	P62 ^{注4}	P65 ^{注3}	P97	P84 ^{注3}	—	—	—	—
	SDAA1	P63 ^{注4}	P64 ^{注3}	P96	P83 ^{注3}	—	—	—	—
PIOR121, PIOR120	SCLA0	P60	P42 ^{注2}	P144 ^{注3}	—	—	—	—	—
	SDAA0	P61	P41 ^{注2}	P145 ^{注3}	—	—	—	—	—

PIOR13 ビット	機能	設定値							
		0	1	2	3	4	5	6	7
PIOR137, PIOR136	RxDA3 ^{注6}	P51 ^{注2}	P41 ^{注3}	P141 ^{注3}	—	—	—	—	—
	TxDA3 ^{注6}	P50 ^{注2}	P66 ^{注3}	P147 ^{注3}	—	—	—	—	—
PIOR135, PIOR134	RxDA2 ^{注6}	P44 ^{注1}	P146 ^{注3}	P142 ^{注3}	—	—	—	—	—
	TxDA2 ^{注6}	P45 ^{注1}	P03 ^{注3}	P143 ^{注3}	—	—	—	—	—
PIOR133, PIOR132	RxDA1	P27	P43 ^{注4}	P144 ^{注3}	—	—	—	—	—
	TxDA1	P26	P42 ^{注4}	P145 ^{注3}	—	—	—	—	—
PIOR131, PIOR130	RxDA0	P11	P83 ^{注3}	P47 ^{注2}	—	—	—	—	—
	TxDA0	P10	P84 ^{注3}	P130 ^{注2}	—	—	—	—	—

注1. 44ピンの製品は除く

注2. 64ピン以下の製品は除く

注3. 80ピン以下の製品は除く

注4. 52ピン以下の製品は除く

注5. 48ピン以下の製品は除く

注6. フラッシュ・メモリ 64～128 KBかつ44～64ピンの製品は除く

備考 —：兼用機能として使用できません。

4.3.11 出力電流制御許可レジスタ（CCDE）

CCDE レジスタは、P60-P63, P74-P77 を 1 ビット単位で出力電流制御ポートに設定するレジスタです。出力電流制御機能に選択した端子のロウ・レベル出力電流は、出力電流選択レジスタ（CCSx）で設定された電流または Hi-Z に制御されます。

CCDE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4 - 11 出力電流制御許可レジスタ（CCDE）のフォーマット (1/2)

アドレス : F02A8H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CCDE	CCDE07	CCDE06	CCDE05	CCDE04	CCDE03	CCDE02	CCDE01	CCDE00
CCDE07	CCD07（P63）端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力（出力電流制御以外の兼用機能）							
1	出力電流制御							
CCDE06	CCD06（P62）端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力（出力電流制御以外の兼用機能）							
1	出力電流制御							
CCDE05	CCD05（P61）端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力（出力電流制御以外の兼用機能）							
1	出力電流制御							
CCDE04	CCD04（P60）端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力（出力電流制御以外の兼用機能）							
1	出力電流制御							
CCDE03	CCD03（P74）端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力（出力電流制御以外の兼用機能）							
1	出力電流制御							
CCDE02	CCD02（P75）端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力（出力電流制御以外の兼用機能）							
1	出力電流制御							
CCDE01	CCD01（P76）端子のデジタル入出力／出力電流制御の選択							
0	デジタル入出力（出力電流制御以外の兼用機能）							
1	出力電流制御							

図4 - 11 出力電流制御許可レジスタ（CCDE）のフォーマット (2/2)

CCDE00	CCD00（P77）端子のデジタル入出力／出力電流制御の選択
0	デジタル入出力（出力電流制御以外の兼用機能）
1	出力電流制御

注意1. 出力電流制御ポートを使用する場合は、出力電流制御を設定してからPMxxレジスタを出力モードに設定してください。

注意2. CCDEレジスタに1を書き込み後、端子が安定するまでの時間は10 μsです。

4.3.12 出力電流選択レジスタ（CCSx）

CCSx レジスタは、出力電流制御ポートの電流制御を設定するレジスタです。

CCSx レジスタは、出力電流制御許可レジスタ（CCDE）で選択された出力電流制御ポートのロウ・レベル出力電流を 2 mA, 5 mA, 10 mA, 15 mA または Hi-Z に保つように制御します。

CCSx レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4 - 12 出力電流選択レジスタ（CCSx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CCS0	0	0	0	0	0	CCS02	CCS01	CCS00	F02A0H	00H	R/W
CCS4	0	0	0	0	0	CCS42	CCS41	CCS40	F02A4H	00H	R/W
CCS5	0	0	0	0	0	CCS52	CCS51	CCS50	F02A5H	00H	R/W
CCS6	0	0	0	0	0	CCS62	CCS61	CCS60	F02A6H	00H	R/W
CCS7	0	0	0	0	0	CCS72	CCS71	CCS70	F02A7H	00H	R/W

CCSx2	CCSx1	CCSx0	ロウ・レベル出力電流の設定				
			x = 0 CCD00-03	x = 4 CCD04	x = 5 CCD05	x = 6 CCD06	x = 7 CCD07
0	0	0	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
0	0	1	2 mA	2 mA	2 mA	2 mA	2 mA
0	1	0	5 mA	5 mA	5 mA	5 mA	5 mA
0	1	1	10 mA	10 mA	10 mA	10 mA	10 mA
1	0	0	設定禁止	15 mA	15 mA	15 mA	15 mA
上記以外			設定禁止	設定禁止	設定禁止	設定禁止	設定禁止

備考 x = 0, 4-7

4.3.13 40 mAポート出力制御レジスタ（PTDC）

PTDC レジスタは、P07, P10, P27, P16, P05, P00 のロウ・レベル出力時の許容出力電流を 40 mA に設定するレジスタです。

表 4 - 3 に 40 mA 出力に設定できる端子は製品ごとに異なります。製品と 40 mA 出力に設定できるポートを示します。

表4 - 3 40 mA出力ポート搭載製品と対応するポート

	型名	40 mA出力に対応するポート
100 ピン	R7F100LPL, R7F100LPJ, R7F100LPG	P07, P10, P27
80 ピン	R7F100LML, R7F100LMJ, R7F100LMG	P07, P10, P27
64 ピン	R7F100LLL, R7F100LLJ（フラッシュ・メモリが512 KB, 256 KBの製品）	P07, P10, P27
	R7F100LLG, R7F100LLE（フラッシュ・メモリが128 KB, 64 KBの製品）	P16, P05, P00
52 ピン	R7F100LJL, R7F100LJJ, R7F100LJG, R7F100LJE	P16, P05, P00
48 ピン	R7F100LGL, R7F100LGJ, R7F100LGG, R7F100LGE	P16, P05, P00
44 ピン	R7F100LFL, R7F100LFJ, R7F100LFG, R7F100LFE	P16, P05, P00

PTDC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4 - 13 40 mAポート出力制御レジスタ (PTDC) のフォーマット

アドレス : F02A9H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PTDC	0	0	PTDC5	PTDC4	PTDC3	PTDC2	PTDC1	PTDC0
PTDC5	P07端子のロウ・レベル出力時の許容出力電流 ^{注1}							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC4	P10端子のロウ・レベル出力時の許容出力電流 ^{注2}							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC3	P27端子のロウ・レベル出力時の許容出力電流 ^{注3}							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC2	P16端子のロウ・レベル出力時の許容出力電流 ^{注4}							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC1	P05端子のロウ・レベル出力時の許容出力電流 ^{注5}							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							
PTDC0	P00端子のロウ・レベル出力時の許容出力電流 ^{注6}							
0	IOL1 = 20.0 mA							
1	IOL1 = 40.0 mA							

注1. コード・フラッシュ・メモリが256-512 KBの64ピン製品、80,100ピン製品で使用可能です。100ピン製品で使用する場合、P81端子は使用できません。また、P07端子とP81端子をデバイス外部でショートして使用してください。

注2. コード・フラッシュ・メモリが256-512 KBの64ピン製品、80,100ピン製品で使用可能です。100ピン製品で使用する場合、P145端子は使用できません。また、P10端子とP145端子をデバイス外部でショートして使用してください。

注3. コード・フラッシュ・メモリが256-512 KBの64ピン製品、80,100ピン製品で使用可能です。100ピン製品で使用する場合、P144端子は使用できません。また、P27端子とP144端子をデバイス外部でショートして使用してください。

注4. 44～52ピン製品、コード・フラッシュ・メモリが64-128 KBの64ピン製品で使用可能です。64ピン製品で使用する場合、P15端子は使用できません。また、P16端子とP15端子をデバイス外部でショートして使用してください。

注5. 44～52ピン製品、コード・フラッシュ・メモリが64-128 KBの64ピン製品で使用可能です。64ピン製品で使用する場合、P04端子は使用できません。また、P05端子とP04端子をデバイス外部でショートして使用してください。

- 注6.** 44～52ピン製品、コード・フラッシュ・メモリが64-128 KBの64ピン製品で使用可能です。64ピン製品で使用する場合、P01端子は使用できません。また、P00端子とP01端子をデバイス外部でショートして使用してください。

4.3.14 ポート・ファンクション出力許可レジスタ (PFOEx)

端子に兼用されているタイマ出力、シリアル・クロック出力、シリアル・データ出力、クロック出力の出力許可を設定するレジスタです。タイマ出力、シリアル・データ出力、シリアル・クロック出力を ELCL の入力として使用する場合は出力禁止に設定してください。

PFOEx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図4 - 14 ポート・ファンクション出力許可レジスタ (PFOE0) のフォーマット

アドレス : F02AAH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFOE0	1	PFOE06	PFOE05	PFOE04	PFOE03	PFOE02	PFOE01	PFOE00
PFOE0n	TO0n 端子の出力許可 (n = 0-6)							
0	TO0n 端子へのタイマ出力禁止 (タイマ出力は ELCL の入力のみに接続され、TO0n 端子に出力されません。端子はポートおよびほかの兼用機能として使用可能です)							
1	TO0n 端子へのタイマ出力許可 (TAU0 のチャンネル n を使用しない場合は、ポートおよびほかの兼用機能として使用可能です)							

図4 - 15 ポート・ファンクション出力許可レジスタ (PFOE1) のフォーマット (1/2)

アドレス : F02ABH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFOE1	1	1	PFOE15	PFOE14	PFOE13	PFOE12	PFOE11	PFOE10
PFOE15	CLKA0 端子の出力許可							
0	CLKA0 端子へのシリアル・クロック出力禁止 (シリアル・クロック出力は ELCL の入力のみに接続され、CLKA0 端子に出力されません。端子はポートおよびほかの兼用機能として使用可能です)							
1	CLKA0 端子へのシリアル・クロック出力許可 (シリアル・クロック出力を使用しない場合は、ポートおよびほかの兼用機能として使用可能です)							
PFOE14	TxDA0 端子の出力許可							
0	TxDA0 端子へのシリアル・データ出力禁止 (シリアル・データ出力は ELCL の入力のみに接続され、TxDA0 端子に出力されません。端子はポートおよびほかの兼用機能として使用可能です)							
1	TxDA0 端子へのシリアル・データ出力許可 (UARTA0 を使用しない場合は、ポートおよびほかの兼用機能として使用可能です)							

図4 - 15 ポート・ファンクション出力許可レジスタ1 (PFOE1) のフォーマット (2/2)

PFOE13	SCK01/SCL01 端子の出力許可
0	SCK01／SCL01 端子へのシリアル・クロック出力禁止 (シリアル・クロック出力はELCLの入力のみに接続され、SCK01／SCL01 端子に出力されません。端子はポートおよびほかの兼用機能として使用可能です)
1	SCK01／SCL01 端子へのシリアル・クロック出力許可 (SAU0のチャネル1を使用しない場合は、ポートおよびほかの兼用機能として使用可能です)

PFOE12	SCK00/SCL00 端子の出力許可
0	SCK00／SCL00 端子へのシリアル・クロック出力禁止 (シリアル・クロック出力はELCLの入力のみに接続され、SCK00／SCL00 端子に出力されません。端子はポートおよびほかの兼用機能として使用可能です)
1	SCK00／SCL00 端子へのシリアル・クロック出力許可 (SAU0のチャネル0を使用しない場合は、ポートおよびほかの兼用機能として使用可能です)

PFOE11	SO01 端子の出力許可
0	SO01 端子へのシリアル・データ出力禁止 (シリアル・データ出力はELCLの入力のみに接続され、SO01 端子に出力されません。端子はポートおよびほかの兼用機能として使用可能です)
1	SO01 端子へのシリアル・データ出力許可 (SAU0のチャネル1を使用しない場合は、ポートおよびほかの兼用機能として使用可能です)

PFOE10	SO00/TxD0 端子の出力許可
0	SO00／TxD0 端子へのシリアル・データ出力禁止 (シリアル・データ出力はELCLの入力のみに接続され、SO00／TxD0 端子に出力されません。端子はポートおよびほかの兼用機能として使用可能です)
1	SO00／TxD0 端子へのシリアル・データ出力許可 (SAU0のチャネル0を使用しない場合は、ポートおよびほかの兼用機能として使用可能です)

4.3.15 ポート・モード選択レジスタ (PMS)

PMS レジスタは、端子が出力モード (ポート・モード・レジスタ (PMxx) の PMmn ビットが 0) 時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。詳細は、**32.3.11.1 ポート・モード選択レジスタ (PMS)** を参照してください。

4.3.16 LCDポート・ファンクション・レジスタ（PFSEGx）

P00-P07, P10-P17, P22-P27, P30-P35, P46, P47, P50-P57, P70-P77, P90-P97, P130, P141-P145 端子をポート（セグメントまたはコモン出力以外）／セグメントまたはコモン出力のどちらで使用するかを設定するレジスタです。PFSEGx レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定しています。

リセット信号の発生により、以下のリセット時の値になります。

図4 - 16 LCDポート・ファンクション・レジスタ（PFSEGx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PFSEG0	0	0	0	0	PFCO M3	PFCO M2	PFCO M1	PFCO M0	F0290H	0FH	R/W
PFSEG1	PFSEG 07	PFSEG 06	PFSEG 05	PFSEG 04	PFSEG 03	PFSEG 02	PFSEG 01	PFSEG 00	F0291H	FFH	R/W
PFSEG2	PFSEG 15	PFSEG 14	PFSEG 13	PFSEG 12	PFSEG 11	PFSEG 10	PFSEG 09	PFSEG 08	F0292H	FFH	R/W
PFSEG3	PFSEG 23	PFSEG 22	PFSEG 21	PFSEG 20	PFSEG 19	PFSEG 18	PFSEG 17	PFSEG 16	F0293H	FFH	R/W
PFSEG4	PFSEG 31	PFSEG 30	PFSEG 29	PFSEG 28	PFSEG 27	PFSEG 26	PFSEG 25	PFSEG 24	F0294H	EFH	R/W
PFSEG5	PFSEG 39	PFSEG 38	PFSEG 37	PFSEG 36	PFSEG 35	PFSEG 34	PFSEG 33	PFSEG 32	F0295H	FFH	R/W
PFSEG6	PFSEG 47	PFSEG 46	PFSEG 45	PFSEG 44	PFSEG 43	PFSEG 42	PFSEG 41	PFSEG 40	F0296H	FFH	R/W
PFSEG7	PFSEG 55	PFSEG 54	PFSEG 53	PFSEG 52	PFSEG 51	PFSEG 50	PFSEG 49	PFSEG 48	F0297H	FFH	R/W

PFCOMy (y = 0-3)	Pmn 端子のポート（コモン出力以外）／コモン出力（mn = 90-93）
0	ポート（コモン出力以外）として使用
1	コモン出力として使用

PFSEGz (z = 00-55)	Pmn 端子のポート（セグメント、コモン出力以外）／セグメント、コモン出力の指定 (mn = 00-07, 10-17, 22-27, 30-35, 46, 47, 50-57, 70-77, 94-97, 130, 141-145)
0	ポート（セグメント、コモン出力以外）として使用
1	セグメント、コモン出力として使用

備考 各製品に搭載されているコモン／セグメント出力端子とそれに対応するPFSEGレジスタについては、22.3.8 LCDポート・ファンクション・レジスタ（PFSEGx）の表22 - 10 各製品で搭載しているコモン／セグメント出力端子と対応するPFSEGxレジスタ（PFCOMy/PFSEGzビット）を参照してください。

4.3.17 LCD入力切り替え制御レジスタ (ISCLCD)

P125-P127, P85-P87 端子をポート (LCD 機能以外) / LCD 機能 (VL1, VL2, VL3, VL4, CAPL, CAPH) のどちらで使用するかを設定するレジスタです。

ISCLCD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で指定します。

リセット信号の発生により、00H になります。

図4 - 17 LCD入力切り替え制御レジスタ (ISCLCD) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ISCLCD	0	0	0	ISCVL4	ISCVL3	ISCVL2	ISCVL1	ISCCAP	F0298H	00H	R/W

ISCVL4	VL4/P85 端子のシュミット・トリガ・バッファの制御
0	LCD 機能有効 (VL4 として使用)
1	LCD 機能無効 (デジタル入力有効)

ISCVL3	VL3/P125 端子のシュミット・トリガ・バッファの制御
0	LCD 機能有効 (VL3 として使用)
1	LCD 機能無効 (デジタル入力有効)

ISCVL2	VL2/P86 端子のシュミット・トリガ・バッファの制御
0	LCD 機能有効 (VL2 として使用)
1	LCD 機能無効 (デジタル入力有効)

ISCVL1	VL1/P87 端子のシュミット・トリガ・バッファの制御
0	LCD 機能有効 (VL1 として使用)
1	LCD 機能無効 (デジタル入力有効)

ISCCAP	CAPL/P126, CAPH/P127 端子のシュミット・トリガ・バッファの制御
0	LCD 機能有効 (CAPH, CAPL として使用)
1	LCD 機能無効 (デジタル入力有効)

注意 ISCVL1 ビット = 0, ISCVL2 ビット = 0, ISCVL3 ビット = 0, ISCVL4 ビット = 0, ISCCAP ビット = 0 の場合、対応するポート制御レジスタは、次のように設定してください。

- PU12 レジスタの PU127 ビット = 0, P12 レジスタの P127 ビット = 0
- PU12 レジスタの PU126 ビット = 0, P12 レジスタの P126 ビット = 0
- PU12 レジスタの PU125 ビット = 0, P12 レジスタの P125 ビット = 0
- PU8 レジスタの PU85 ビット = 0, P8 レジスタの P85 ビット = 0
- PU8 レジスタの PU86 ビット = 0, P8 レジスタの P86 ビット = 0
- PU8 レジスタの PU87 ビット = 0, P8 レジスタの P87 ビット = 0

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルを読み出し、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応

ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）で入出力バッファを切り替えることにより、異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系、2.5 V系、3 V系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ（PIM0-PIM9, PIM12, PIM14）をビットごとに設定して、通常入力（CMOS）／TTL 入力バッファを切り替えます。

異電位（1.8 V系、2.5 V系、3 V系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ（POM0-POM9, POM12-POM14）をビットごとに設定して、通常出力（CMOS）／N-ch オープン・ドレイン出力 [VDD 耐圧] モードを切り替えます。

ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDIS0-PDIDIS9, PDIDIS12-PDIDIS14）をビットごとに設定すると、入力バッファへの貫通電流を防止できます。

以下、シリアル・インタフェースでの接続について説明します。

- (1) UART0-UART3, UARTA0, UARTA1, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の入力ポートをTTL入力バッファで使用する場合の設定手順

- UART0の場合 : P17 (P26, P42)
- UART1の場合 : P06 (P41, P81, P86)
- UART2の場合 : P76 (P147, P03)
- UART3の場合 : P44 (P125, P34)
- UARTA0の場合 : P11 (P83, P47)
- UARTA1の場合 : P27 (P43, P144)
- UARTA2の場合 : P44 (P146, P142)
- UARTA3の場合 : P51 (P41, P141)
- CSI00の場合 : P17, P16 (P26, P42, P22, P40)
- CSI01の場合 : P53, P54 (P47, P94, P96, P46, P93, P97)
- CSI10の場合 : P06, P05 (P41, P81, P86, P66, P82, P85)
- CSI20の場合 : P76, P75 (P147, P03, P80, P02)
- CSI30の場合 : P44, P45 (P125, P34, P85, P33)
- CSI31の場合 : P46, P140 (P03, P02)

備考 () は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）**を参照してください。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② PIM0-PIM9, PIM12, PIM14 レジスタの該当ビットに 1 を設定し、TTL 入力バッファに切り替えます。なお、V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。
- ③ シリアル・アレイ・ユニットを動作許可し、UART／簡易 SPI（CSI注）モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

(2) UART0-UART3, UAR0A0, UAR0A1, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

- UART0の場合 : P00 (P27, P41)
- UART1の場合 : P07 (P42, P07, P87)
- UART2の場合 : P77 (P146, P04)
- UART3の場合 : P43 (P35)
- UAR0A0の場合 : P10 (P84, P130)
- UAR0A1の場合 : P26 (P42, P145)
- UAR0A2の場合 : P45 (P03, P143)
- UAR0A3の場合 : P50 (P66, P147)
- CSI00の場合 : P00, P16 (P27, P41, P22, P40)
- CSI01の場合 : P52, P54 (P130, P95, P46, P93, P97)
- CSI10の場合 : P07, P05 (P42, P07, P87, P66, P82, P85)
- CSI20の場合 : P77, P75 (P146, P04, P80, P02)
- CSI30の場合 : P43, P45 (P35, P85, P33)
- CSI31の場合 : P47, P140 (P146, P01, P02)

備考 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx)** を参照してください。

- ① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ② リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
- ③ PDIDIS0-PDIDIS9, PDIDIS14 レジスタの該当ビットを 1 に設定し、入力バッファの入力禁止に設定します。
- ④ 該当するポートの出力ラッチに 1 を設定します。
- ⑤ POM0-POM9, POM13, POM14 レジスタの該当ビットに 1 を設定し、N-ch オープン・ドレイン出力 [VDD 耐圧] モードに設定します。
- ⑥ シリアル・アレイ・ユニットを動作許可し、UART / 簡易 SPI (CSI) モードに設定します。
- ⑦ PM0, PM1, PM3-PM5, PM8, PM14 レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

- (3) IIC00, IIC01, IIC10, IIC20, IIC30, IIC31機能の入出力ポートを、異電位（1.8 V系、2.5 V系、3 V系）で使用する
場合の設定手順

- IIC00の場合 : P17, P16 (P26, P42, P22, P40)
- IIC01の場合 : P53, P54 (P47, P94, P96, P46, P93, P97)
- IIC10の場合 : P06, P05 (P41, P81, P86, P66, P82, P85)
- IIC20の場合 : P76, P75 (P147, P03, P80, P02)
- IIC30の場合 : P44, P45 (P125, P34, P85, P33)
- IIC31の場合 : P46, P140 (P03, P02)

備考 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx)** を参照してください。

- ① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
- ② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
- ③ 該当するポートの出力ラッチに1を設定します。
- ④ POM0-POM9, POM12, POM14 レジスタの該当ビットに1を設定し、N-ch オープン・ドレイン出力 [VDD 耐圧] モードに設定します。
- ⑤ PIM0-PIM9, PIM12, PIM14 レジスタの該当ビットに1を設定し、TTL 入力バッファに切り替えます。
なお、V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。
- ⑥ シリアル・アレイ・ユニットを動作許可し、簡易 I²C モードに設定します。
- ⑦ PM0-PM9, PM12, PM14 レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

4.5 兼用機能使用時のレジスタ設定

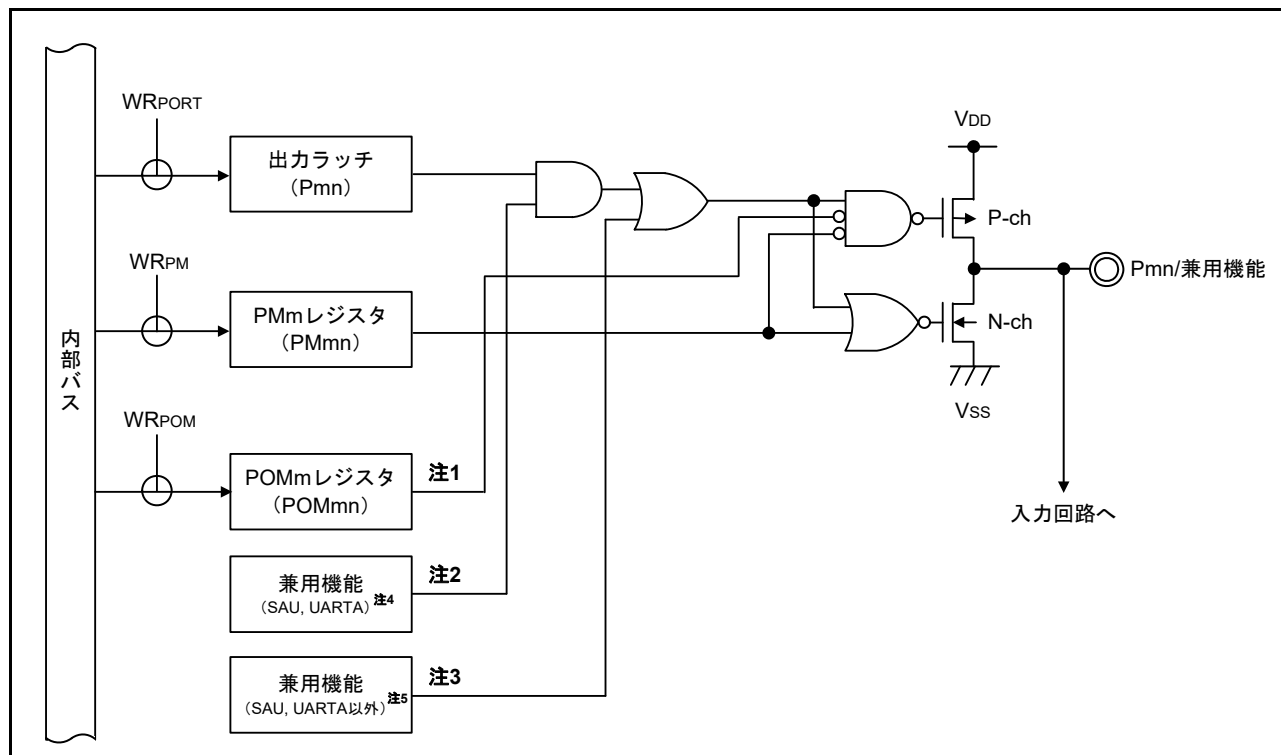
4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール A・レジスタ（PMCAxx）で設定してください。アナログ入力とセグメント出力を兼用している端子については、アナログ入力で使用するかセグメント出力で使用するか、あるいはデジタル入出力で使用するかを LCD ポート・ファンクション・レジスタ（PFSEGx）およびポート・モード・コントロール A・レジスタ（PMCAxx）で設定してください。

また、静電容量計測機能と兼用している端子については、静電容量計測機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール T・レジスタ（PMCTxx）で設定してください。ロジック&イベント・リンク・コントローラの出力機能と兼用している端子については、ロジック&イベント・リンク・コントローラ機能で使用するかをポート・モード・コントロール E・レジスタ（PMCExx）で設定してください。

図 4 - 18 にデジタル入出力で使用する端子の出力回路の基本的な構成を示します。ポートの出力ラッチの出力と兼用している SAU, UARTA 機能（UARTA のクロック出力を除く）の出力は AND ゲートに入力されます。AND ゲートの出力は OR ゲートに入力されます。OR ゲートのほかの入力には、兼用している SAU, UARTA 以外の機能（TAU, RTC、クロック/ブザー出力、IICA など）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表 4 - 4 に示します。

図 4 - 18 端子の出力回路の基本的な構成



注1. POMm レジスタがない場合には、この信号は0と考えてください。

注2. 兼用機能がない場合には、この信号は1と考えてください。

注3. 兼用機能がない場合には、この信号は0と考えてください。

注4. UARTA のクロック出力を除く

注5. UARTA のクロック出力を含む

備考 m : ポート番号 (m = 0-9, 12-14)、n : ビット番号 (n = 0-7)

表4 - 4 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU, UARTAの出力機能 ^{注1}	SAU, UARTA以外の出力機能 ^{注2}
ポート出力機能	—	出力はハイ・レベル	出力はロウ・レベル
SAU, UARTAの出力機能 ^{注1}	ハイ・レベル	出力はハイ・レベル	出力はロウ・レベル
SAU, UARTA以外の出力機能 ^{注2}	ロウ・レベル	Don't care	出力はロウ・レベル ^{注3}

注1. UARTAのクロック出力を除く

注2. UARTAのクロック出力を含む

注3. 1つの端子にSAU, UARTA以外の出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はロウ・レベルにしておく必要があります。また、1つの端子にSAUとUARTAの出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はハイ・レベルにしておく必要があります。具体的な設定方法については、**4.5.2 出力機能を使用しない兼用機能のレジスタ設定**を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺 I/O リダイレクト機能の対象になっている場合には、周辺 I/O リダイレクション・レジスタ (PIORx) を設定することで、出力をほかの端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能やほかの兼用機能を使用することが可能となります。

(1) $SOp = 1 / TxDq = 1$ (SAUのシリアル出力 (SO_p/Tx_{Dq}) を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力 (SO_p/Tx_{Dq}) を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm) のビットに0 (出力禁止) を設定し、シリアル出力レジスタ m (SOm) の SOmn ビットに1 (ハイ・レベル出力) を設定してください。さらにポートとして使用する場合は SO_p/Tx_{Dq} 端子、SCKp 端子に該当する PFOE1x ビットに1を設定してください。(ポート以外の兼用機能については PFOE1x ビットの0設定も可能) これは初期状態と同じ設定です。

(2) $SCKp = 1 / SDAr = 1 / SCLr = 1$ (SAUのチャネルnを使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタ m (SEm) のビット n (SEmn) に0 (動作停止状態) を設定し、使用しない出力に対応したシリアル出力許可レジスタ m (SOEm) のビットに0 (出力禁止) を設定し、シリアル出力レジスタ m (SOm) の SOmn ビットと CKOmn ビットに1 (ハイ・レベル出力) を設定してください。さらにポートとして使用する場合は SO_p/Tx_{Dq} 端子、SCKp 端子に該当する PFOE1x ビットに1を設定してください。(ポート以外の兼用機能については PFOE1x ビットの0設定も可能) これは初期状態と同じ設定です。

(3) $TOmn = 0$ (TAUのチャネルnの出力を使用しない場合の設定)

TAUの TOmn 出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ 0 (TOE0) のビットを0 (出力禁止)、タイマ出力レジスタ 0 (TO0) のビットに0 (ロウ・レベル出力) を設定してください。これは初期状態と同じ設定です。またタイマ出力の動作にかかわらず TOmn 端子に該当する PFOE0x ビットを0に設定することでも可能です。

(4) $SDAAn = 0 / SCLAn = 0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタ n0 (IICCTLn0) の IICEn ビットを0 (動作停止) にしてください。これは初期状態と同じ設定です。

(5) $PCLBUZn = 0$ (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn) の PCLOEn ビットを0 (出力禁止) にしてください。これは初期状態と同じ設定です。

(6) $TxDAn = 1 / CLKAn = 0$ (UARTAを使用しない場合の設定)

UARTAを使用しない場合の設定は、動作モード設定レジスタ n0 (ASIMAn0) の UARTAENn, TXEAn, RXEAn ビットを0 (動作禁止) に設定してください。さらに TxDAn 端子に該当する PFOE1x ビットに1を設定してください。これは初期状態と同じです。また CLKA0 端子の場合は UARTA の動作にかかわらず CLKA0 端子に該当する PFOE1x ビットに0を設定することでも可能です。

(7) $REMOOUT = 0$ (リモコン出力を使用しない場合の設定)

TAUを使用した REMOOUT 出力を使用しない場合は、チャネル2~5のタイマ出力許可レジスタ 0 (TOE0) のビットを0 (出力禁止)、タイマ出力レジスタ 0 (TO0) のビットを0 (ロウ・レベル出力) に設定してください。これは初期状態と同じ設定です。

備考 p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、q : UART 番号 (q = 0-3)、
r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、n : UARTA 番号 (n = 0, 1)

(8) VCOUn = 0 (VCOUnを使用しない場合の設定)

コンパレータのVCOUnを使用しない場合は、コンパレータ出力制御レジスタ (COMPOCR) のビット5, 1を0 (コンパレータnのVCOUn端子出力禁止) に設定してください。これは初期状態と同じ設定です。

(9) TKBOxx = 0 (16ビット・タイマKB4を使用しない場合の設定)

16ビット・タイマKB4を使用しない場合は、16ビット・タイマKB動作制御レジスタ01 (TKBCTL01) のビット7を0 (タイマ動作停止)、16ビット・タイマKB出力制御レジスタ01 (TKBIOC01) のビット1, 0を0 (タイマ出力禁止)、16ビット・タイマKB出力制御レジスタ00 (TKBIOC00) のビット1, 0を0 (デフォルト・レベルをロウ・レベルとする)、強制出力停止機能制御レジスタ02 (TKBPACTL02) のビット1, 0を0 (強制出力停止機能動作禁止) に設定してください。これは初期状態と同じ設定です。

(10) TRJIO_n = 0 / TRJOn = 0 (タイマRJn出力を使用しない場合の設定)

タイマRJのパルス出力機能をTRJOn端子で使用しない場合は、タイマRJ I/O制御レジスタn (TRJIO_{Cn}) のビット2 (TOENAn) を0 (TRJOn出力禁止) にしてください。これは初期値と同じ設定です。タイマRJのTRJIO_n端子を出力機能として使用しない場合は、タイマRJモードレジスタn (TRJMR_n) のビット2-0 (TMO_{Dn}-0) を001B (パルス出力モード) 以外に設定してください。初期値は000Bのタイマモードになっています。

(11) EXSDO0 = 0 / EXSDO1 = 0 (外部Sampling Clock出力を使用しない場合の設定)

外部サンプリング・クロック出力 (EXSDOn) を使用しない場合は、外部サンプリング制御レジスタ0 (EXSDM0) のビットn (EXSDOE0_n) を0 (EXSDOn出力禁止) にしてください。これは初期値と同じ設定です。

4.5.3 ポートの各レジスタ設定と端子状態

表 4 - 5 にポートの各レジスタ設定と端子状態を示します。

表4 - 5 ポートのレジスタの設定値と端子状態の関係

PMCAxx	PFSEGx	PMCTxx	PMCExx	PMxx	Pxx	PUxx	CCDE0x	CCSx	端子状態
1	1	×	×	×	×	×	×	×	アナログ入力／出力
0	1	0	×	0	×	×	×	×	LCD コモン／セグメント出力
0	1	0	×	1	×	×	×	×	デジタル入力無効
0	0	1	×	×	×	×	×	×	静電容量計測
0	0	0	1	0	×	×	×	×	ELCL 出力
0	0	0	×	1	×	1	×	×	プルアップ
0	0	0	×	1	×	0	×	×	Hi-Z
0	0	0	0	0	1	×	×	×	ポート出力（ハイ・レベル）
0	0	0	0	0	0	×	1	000	Hi-Z
0	0	0	0	0	0	×	1	001 010 011 100	出力電流制御ポート
0	0	0	0	0	0	×	0	×	ポート出力（ロウ・レベル）

備考 × : Don't care

4.5.4 使用するポート機能および兼用機能のレジスタ設定例

表 4 - 6 に使用するポート機能および兼用機能のレジスタ設定例を示します。ポート機能を制御するレジスタを表 4 - 6 のように設定してください。なお、表記については次の備考を参照してください。

備考 — : 対象外
 × : Don't care
 PIORx : 周辺 I/O リダイレクション・レジスタ
 POMxx : ポート出力モード・レジスタ
 PMCAxx : ポート・モード・コントロール A・レジスタ
 PMCTxx : ポート・モード・コントロール T・レジスタ
 PMCExx : ポート・モード・コントロール E・レジスタ
 CCDE : 出力電流制御許可レジスタ
 CCSx : 出力電流選択レジスタ
 PMxx : ポート・モード・レジスタ
 Pxx : ポートの出力ラッチ
 PFSEGx : LCD ポート・ファンクション・レジスタ
 ISCLCD : LCD 入力切り替え制御レジスタ

() は、周辺 I/O リダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺 I/O リダイレクション・レジスタ (PIORx)** を参照してください。

注意 レジスタ設定例では、ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) は入力バッファの入力許可の設定です。

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (1/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(SCVLx, ISCCAP) ^{注1}	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P00	P00	入力	—	x	—	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	—	0	0	0/1	0	SO00/TxD0 = 1	(TKBO01) = 0 (TRJO0) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	—	0	0	0/1	0	SO00/TxD0 = 1	(TKBO01) = 0 (TRJO0) = 0	○	○	○	○	○	○
	SO00	出力	PIOR101 = 0 PIOR100 = 0	0/1	—	0	0	1	0	—	(TKBO01) = 0 (TRJO0) = 0	○	○	○	○	○	○
	TxD0	出力	PIOR101 = 0 PIOR100 = 0	0/1	—	0	0	1	0	—	(TKBO01) = 0 (TRJO0) = 0	○	○	○	○	○	○
	EI00	入力	—	x	—	0	1	x	0	—	—	○	○	○	○	○	○
	EO00	出力	—	0/1	—	1	0	x	0	—	—	○	○	○	○	○	○
	EXSDI0	入力	PIOR47 = 0	x	—	0	1	x	0	—	—	○	○	○	○	○	○
	(TKBO01)	出力	PIOR32 = 1 PIOR31 = 0 PIOR30 = 1	0	—	0	0	0	0	SO00/TxD0 = 1	(TRJO0) = 0	○	○	○	○	○	○
	(TRJO0)	出力	PIOR40 = 1	0	—	0	0	0	0	SO00/TxD0 = 1	(TKBO01) = 0	○	○	○	○	○	○
	SEG43	出力	—	0	—	0	0	0	1	—	—	○	○	○	○	○	○
P01	P01	入力	—	x	—	—	1	x	0	—	—	x	x	x	○	○	○
		出力	—	0	—	—	0	0/1	0	(SO31) = 1	PCLBUZ1 = 0 (TO05) = 0 (TKBO11) = 0	x	x	x	○	○	○
		N-chOD 出力	—	1	—	—	0	0/1	0	(SO31) = 1	PCLBUZ1 = 0 (TO05) = 0 (TKBO11) = 0	x	x	x	○	○	○
	PCLBUZ1	出力	PIOR52 = 0 PIOR51 = 0 PIOR50 = 0	0	—	—	0	0	0	(SO31) = 1	(TO05) = 0 (TKBO11) = 0	x	x	x	○	○	○
	(TI05)	入力	PIOR17 = 0 PIOR16 = 0 PIOR15 = 1	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	(TO05)	出力	PIOR17 = 0 PIOR16 = 0 PIOR15 = 1	0	—	—	0	0	0	(SO31) = 1	PCLBUZ1 = 0 (TKBO11) = 0	x	x	x	○	○	○
	(TKBO11) ^{注2}	出力	PIOR34 = 1 PIOR33 = 1	0	—	—	0	0	0	(SO31) = 1	PCLBUZ1 = 0 (TO05) = 0	x	x	x	○	○	○
	(INTP5)	入力	PIOR85 = 0 PIOR84 = 0 PIOR83 = 1	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	(SO31)	出力	PIOR117 = 1 PIOR116 = 0	0/1	—	—	0	1	0	—	PCLBUZ1 = 0 (TO05) = 0 (TKBO11) = 0	x	x	x	○	○	○
	SEG44	出力	—	0	—	—	0	0	1	—	—	x	x	x	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (2/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P02	P02	入力	—	x	—	—	1	x	0	—	—	x	x	x	○	○	○
		出力	—	0	—	—	0	0/1	0	(SCK20/SCL20) = 1 (SCK31/SCL31) = 1	PCLBUZ0 = 0 (TKBO21) = 0	x	x	x	○	○	○
		N-chOD 出力	—	1	—	—	0	0/1	0	(SCK20/SCL20) = 1 (SCK31/SCL31) = 1	PCLBUZ0 = 0 (TKBO21) = 0	x	x	x	○	○	○
	INTP7	入力	PIOR95 = 0 PIOR94 = 0 PIOR93 = 0	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	PCLBUZ0	出力	PIOR52 = 0 PIOR51 = 0 PIOR50 = 0	0	—	—	0	0	0	(SCK20/SCL20) = 1 (SCK31/SCL31) = 1	(TKBO21) = 0	x	x	x	○	○	○
	(TKBO21) 注2	出力	PIOR36 = 1 PIOR35 = 0	0	—	—	0	0	0	(SCK20/SCL20) = 1 (SCK31/SCL31) = 1	PCLBUZ0 = 0	x	x	x	○	○	○
	(SCK20)	入力	PIOR111 = 1 PIOR110 = 0	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	(SCK20)	出力	PIOR111 = 1 PIOR110 = 0	0/1	—	—	0	1	0	(SCK31/SCL31) = 1	PCLBUZ0 = 0 (TKBO21) = 0	x	x	x	○	○	○
	(SCL20)	出力	PIOR111 = 1 PIOR110 = 0	0/1	—	—	0	1	0	(SCK31/SCL31) = 1	PCLBUZ0 = 0 (TKBO21) = 0	x	x	x	○	○	○
	(SCK31)	入力	PIOR117 = 0注3 PIOR116 = 1 or PIOR117 = 1 PIOR116 = 0	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	(SCK31)	出力	PIOR117 = 0注3 PIOR116 = 1 or PIOR117 = 1 PIOR116 = 0	0/1	—	—	0	1	0	(SCK20/SCL20) = 1	PCLBUZ0 = 0 (TKBO21) = 0	x	x	x	○	○	○
	(SCL31)	出力	PIOR117 = 0 PIOR116 = 1 or PIOR117 = 1 PIOR116 = 0	0/1	—	—	0	1	0	(SCK20/SCL20) = 1	PCLBUZ0 = 0 (TKBO21) = 0	x	x	x	○	○	○
	SEG45	出力	—	0	—	—	0	0	1	—	—	x	x	x	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (3/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P03	P03	入力	—	x	—	—	1	x	0	—	—	x	x	x	○	○	○
		出力	—	0	—	—	0	0/1	0	(TxDA2) = 1 (SDA20) = 1 (SDA31) = 1	VCOUT0 = 0 TRJIO0 = 0	x	x	x	○	○	○
		N-chOD 出力	—	1	—	—	0	0/1	0	(TxDA2) = 1 (SDA20) = 1 (SDA31) = 1	VCOUT0 = 0 TRJIO0 = 0	x	x	x	○	○	○
	VCOUT0	出力	PIOR54 = 0 PIOR53 = 0	0	—	—	0	0	0	(TxDA2) = 1 (SDA20) = 1 (SDA31) = 1	TRJIO0 = 0	x	x	x	○	○	○
	TRJIO0	入力	PIOR40 = 0	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	TRJIO0	出力	PIOR40 = 0	0	—	—	0	0	0	(TxDA2) = 1 (SDA20) = 1 (SDA31) = 1	VCOUT0 = 0	x	x	x	○	○	○
	(TxDA2)※2	出力	PIOR135 = 0 PIOR134 = 1	0/1	—	—	0	1	0	(SDA20) = 1 (SDA31) = 1	VCOUT0 = 0 TRJIO0 = 0	x	x	x	x	x	○
	(RxD2)	入力	PIOR111 = 1 PIOR110 = 0	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	(SI20)	入力	PIOR111 = 1 PIOR110 = 0	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	(SDA20)	入出力	PIOR111 = 1 PIOR110 = 0	1	—	—	0	1	0	(TxDA2) = 1 (SDA31) = 1	VCOUT0 = 0 TRJIO0 = 0	x	x	x	○	○	○
	(SI31)	入力	PIOR117 = 0※3 PIOR116 = 1 or PIOR117 = 1 PIOR116 = 0	x	—	—	1	x	0	—	—	x	x	x	○	○	○
	(SDA31)	入出力	PIOR117 = 0 PIOR116 = 1 or PIOR117 = 1 PIOR116 = 0	1	—	—	0	1	0	(TxDA2) = 1 (SDA20) = 1	VCOUT0 = 0 TRJIO0 = 0	x	x	x	○	○	○
	SEG46	出力	—	0	—	—	0	0	1	—	—	x	x	x	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (4/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P04	P04	入力	—	x	0	—	1	x	0	—	—	x	x	x	○	○	○
		出力	—	0	0	—	0	0/1	0	(SO20/TxD2) = 1	VCOUT1 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
		N-chOD 出力	—	1	0	—	0	0/1	0	(SO20/TxD2) = 1	VCOUT1 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
	VCOUT1	出力	PIOR54 = 0 PIOR53 = 0	0	0	—	0	0	0	(SO20/TxD2) = 1	(PCLBUZ0) = 0	x	x	x	○	○	○
	TS35	入出力	—	x	1	—	1	x	0	—	—	x	x	x	○	○	○
	(INTP6)	入力	PIOR92 = 0 PIOR91 = 0 PIOR90 = 1	x	0	—	1	x	0	—	—	x	x	x	○	○	○
	(SO20)	出力	PIOR111 = 1 PIOR110 = 0	0/1	0	—	0	1	0	—	VCOUT1 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
	(TxD2)	出力	PIOR111 = 1 PIOR110 = 0	0/1	0	—	0	1	0	—	VCOUT1 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
	(PCLBUZ0)	出力	PIOR52 = 0 PIOR51 = 0 PIOR50 = 1	0	0	—	0	0	0	(SO20/TxD2) = 1	VCOUT1 = 0	x	x	x	○	○	○
	SEG47	出力	—	0	0	—	0	0	1	—	—	x	x	x	○	○	○
P05	P05	入力	—	x	0	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0	0/1	0	SCK10/SCL10 = 1	—	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0	0/1	0	SCK10/SCL10 = 1	—	○	○	○	○	○	○
	SCK10	入力	PIOR105 = 0 PIOR104 = 0	x	0	0	1	x	0	—	—	○	○	○	○	○	○
	SCK10	出力	PIOR105 = 0 PIOR104 = 0	0/1	0	0	0	1	0	—	—	○	○	○	○	○	○
	SCL10	出力	PIOR105 = 0 PIOR104 = 0	0/1	0	0	0	1	0	—	—	○	○	○	○	○	○
	TS34	入出力	—	x	1	0	1	x	0	—	—	○	○	○	○	○	○
	EO05	出力	—	0/1	0	1	0	x	0	—	—	○	○	○	○	○	○
P06	P06	入力	—	x	0	—	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	—	0	0/1	0	SDA10 = 1	(PCLBUZ1) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	—	0	0/1	0	SDA10 = 1	(PCLBUZ1) = 0	○	○	○	○	○	○
	SI10	入力	PIOR105 = 0 PIOR104 = 0	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	RxD1	入力	PIOR105 = 0 PIOR104 = 0	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	SDA10	入出力	PIOR105 = 0 PIOR104 = 0	1	0	—	0	1	0	—	(PCLBUZ1) = 0	○	○	○	○	○	○
	TS33	入出力	—	x	1	—	1	x	0	—	—	○	○	○	○	○	○
	EI06	入力	—	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	(PCLBUZ1)	出力	PIOR52 = 1 PIOR51 = 1 PIOR50 = 1	0	0	—	0	0	0	SDA10 = 1	—	○	○	○	○	○	○
	SEG49	出力	—	0	0	—	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (5/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P07	P07	入力	—	x	0	—	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	—	0	0/1	0	SO10/TxD1 = 1	(PCLBUZ0) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	—	0	0/1	0	SO10/TxD1 = 1	(PCLBUZ0) = 0	○	○	○	○	○	○
	SO10	出力	PIOR105 = 0 PIOR104 = 0 or PIOR105 = 1注3 PIOR104 = 0	0/1	0	—	0	1	0	—	(PCLBUZ0) = 0	○	○	○	○	○	○
	TxD1	出力	PIOR105 = 0 PIOR104 = 0 or PIOR105 = 1注3 PIOR104 = 0	0/1	0	—	0	1	0	—	(PCLBUZ0) = 0	○	○	○	○	○	○
	TS32	入出力	—	x	1	—	1	x	0	—	—	○	○	○	○	○	○
	EI07	入力	—	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	(PCLBUZ0)	出力	PIOR52 = 0 PIOR51 = 1 PIOR50 = 0	0	0	—	0	0	0	SO10/TxD1 = 1	—	○	○	○	○	○	○
	SEG50	出力	—	0	0	—	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (6/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P10	P10	入力	—	x	0	—	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	—	0	0/1	0	TxDA0 = 1 SCK11/SCL11 = 1	(TKBO10) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	—	0	0/1	0	TxDA0 = 1 SCK11/SCL11 = 1	(TKBO10) = 0	○	○	○	○	○	○
	ANI22	アナログ入力	—	x	1	—	1	x	1	—	—	○	○	○	○	○	○
	TxDA0	出力	PIOR131 = 0 PIOR130 = 0	0/1	0	—	0	1	0	SCK11/SCL11 = 1	(TKBO10) = 0	○	○	○	○	○	○
	SCK11	入力	PIOR107 = 0 PIOR106 = 0	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	SCK11	出力	PIOR107 = 0 PIOR106 = 0	0/1	0	—	0	1	0	TxDA0 = 1	(TKBO10) = 0	○	○	○	○	○	○
	SCL11	出力	PIOR107 = 0 PIOR106 = 0	0/1	0	—	0	1	0	TxDA0 = 1	(TKBO10) = 0	○	○	○	○	○	○
	(TKBO10) 注2	出力	PIOR34 = 1 PIOR33 = 0 or PIOR34 = 1 PIOR33 = 1	0	0	—	0	0	0	TxDA0 = 1 SCK11/SCL11 = 1	—	○	○	○	○	○	○
	(INTP0)	入力	PIOR62 = 0 PIOR61 = 0 PIOR60 = 1	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	SEG35	出力	—	0	0	—	0	0	1	—	—	○	○	○	○	○	○
P11	P11	入力	—	x	0	—	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	—	0	0/1	0	SDA11 = 1	(TKBO11) = 0 (TRJIO1) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	—	0	0/1	0	SDA11 = 1	(TKBO11) = 0 (TRJIO1) = 0	○	○	○	○	○	○
	ANI23	アナログ入力	—	x	1	—	1	x	1	—	—	○	○	○	○	○	○
	RxDA0	入力	PIOR131 = 0 PIOR130 = 0	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	SI11	入力	PIOR107 = 0 PIOR106 = 0	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	SDA11	入出力	PIOR107 = 0 PIOR106 = 0	1	0	—	0	1	0	—	(TKBO11) = 0 (TRJIO1) = 0	○	○	○	○	○	○
	(TKBO11) 注2	出力	PIOR34 = 1 PIOR33 = 0	0	0	—	0	0	0	SDA11 = 1	(TRJIO1) = 0	○	○	○	○	○	○
	(TRJIO1)注2	入力	PIOR41 = 1	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	(TRJIO1)注2	出力	PIOR41 = 1	0	0	—	0	0	0	SDA11 = 1	(TKBO11) = 0	○	○	○	○	○	○
	(INTP1)	入力	PIOR65 = 1 PIOR64 = 1 PIOR63 = 1	x	0	—	1	x	0	—	—	○	○	○	○	○	○
	SEG36	出力	—	0	0	—	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (7/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P12	P12	入力	—	—	0	—	1	×	0	—	—	○	○	○	○	○	○
		出力	—	—	0	—	0	0/1	0	SO11 = 1	CLKA0 = 0 (VCOUT1) = 0 (TKBO00) = 0 (TRJO1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	ANI24	アナログ入力	—	—	1	—	1	×	1	—	—	○	○	○	○	○	○
	EI12	入力	—	—	0	—	1	×	0	—	—	○	○	○	○	○	○
	CLKA0	出力	—	—	0	—	0	0	0	SO11 = 1	(VCOUT1) = 0 (TKBO00) = 0 (TRJO1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	SO11	出力	PIOR107 = 0 PIOR106 = 0	—	0	—	0	1	0	—	CLKA0 = 0 (VCOUT1) = 0 (TKBO00) = 0 (TRJO1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	(VCOUT1)	出力	PIOR54 = 0 PIOR53 = 1	—	0	—	0	0	0	SO11 = 1	CLKA0 = 0 (TKBO00) = 0 (TRJO1) = 0 (PCLBUZ1) = 0	×	×	○	○	○	○
	(TKBO00)	出力	PIOR32 = 0 PIOR31 = 1 PIOR30 = 1 or PIOR32 = 1 PIOR31 = 0 PIOR30 = 0 or PIOR32 = 1 PIOR31 = 0 PIOR30 = 1	—	0	—	0	0	0	SO11 = 1	CLKA0 = 0 (VCOUT1) = 0 (TRJO1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	(TRJO1)※2	出力	PIOR41 = 1	—	0	—	0	0	0	SO11 = 1	CLKA0 = 0 (VCOUT1) = 0 (TKBO00) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	(PCLBUZ1)	出力	PIOR52 = 0 PIOR51 = 0 PIOR50 = 1	—	0	—	0	0	0	SO11 = 1	CLKA0 = 0 (VCOUT1) = 0 (TKBO00) = 0 (TRJO1) = 0	○	○	○	○	○	○
P13	SEG37	出力	—	—	0	—	0	0	1	—	—	○	○	○	○	○	○
	P13	入力	—	—	0	—	1	×	0	—	—	×	○	○	○	○	○
		出力	—	—	0	—	0	0/1	0	—	—	×	○	○	○	○	○
	ANI25	アナログ入力	—	—	1	—	1	×	1	—	—	×	○	○	○	○	○
	SEG38	出力	—	—	0	—	0	0	1	—	—	×	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (8/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMCEXX	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P14	P14	入力	—	—	0	—	1	x	0	—	—	x	x	○	○	○	○
		出力	—	—	0	—	0	0/1	0	—	TO04 = 0	x	x	○	○	○	○
	TI04	入力	PIOR14 = 0 PIOR13 = 0	—	0	—	1	x	0	—	—	x	x	○	○	○	○
	TO04	出力	PIOR14 = 0 PIOR13 = 0	—	0	—	0	0	0	—	—	x	x	○	○	○	○
	ANI26	アナログ入力	—	—	1	—	1	x	1	—	—	x	x	○	○	○	○
	SEG39	出力	—	—	0	—	0	0	1	—	—	x	x	○	○	○	○
P15	P15	入力	—	—	—	—	1	x	0	—	—	x	x	x	○	○	○
		出力	—	—	—	—	0	0/1	0	—	TO07 = 0	x	x	x	○	○	○
	TI07	入力	PIOR23 = 0 PIOR22 = 0	—	—	—	1	x	0	—	—	x	x	x	○	○	○
	TO07	出力	PIOR23 = 0 PIOR22 = 0	—	—	—	0	0	0	—	—	x	x	x	○	○	○
	SEG40	出力	—	—	—	—	0	0	1	—	—	x	x	x	○	○	○
P16	P16	入力	—	x	—	—	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	—	—	0	0/1	0	SCK00/SCL00 = 1	(VCOUT0) = 0 (TKBO01) = 0 (RTC1HZ) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	—	—	0	0/1	0	SCK00/SCL00 = 1	(VCOUT0) = 0 (TKBO01) = 0 (RTC1HZ) = 0	○	○	○	○	○	○
	SCK00	入力	PIOR101 = 0 PIOR100 = 0	x	—	—	1	x	0	—	—	○	○	○	○	○	○
	SCK00	出力	PIOR101 = 0 PIOR100 = 0	0/1	—	—	0	1	0	—	(VCOUT0) = 0 (TKBO01) = 0 (RTC1HZ) = 0	○	○	○	○	○	○
	SCL00	出力	PIOR101 = 0 PIOR100 = 0	0/1	—	—	0	1	0	—	(VCOUT0) = 0 (TKBO01) = 0 (RTC1HZ) = 0	○	○	○	○	○	○
	EI16	入力	—	x	—	—	1	x	0	—	—	○	○	○	○	○	○
	(VCOUT0)	出力	PIOR54 = 0 PIOR53 = 1	0	—	—	0	0	0	SCK00/SCL00 = 1	(TKBO01) = 0 (RTC1HZ) = 0	○	○	○	○	○	○
	(TKBO01)	出力	PIOR32 = 1 PIOR31 = 0 PIOR30 = 0	0	—	—	0	0	0	SCK00/SCL00 = 1	(VCOUT0) = 0 (RTC1HZ) = 0	○	○	○	○	○	○
	(RTC1HZ)	出力	PIOR57 = 1 PIOR56 = 0 PIOR55 = 0	0	—	—	0	0	0	SCK00/SCL00 = 1	(VCOUT0) = 0 (TKBO01) = 0	○	○	○	○	○	○
	SEG41	出力	—	0	—	—	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (9/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMCExx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P17	P17	入力	—	x	—	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	—	0	0	0/1	0	SDA00 = 1	(TKBO01) = 0 (TRJIO0) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	—	0	0	0/1	0	SDA00 = 1	(TKBO01) = 0 (TRJIO0) = 0	○	○	○	○	○	○
	SI00	入力	PIOR101 = 0 PIOR100 = 0	x	—	0	1	x	0	—	—	○	○	○	○	○	○
	RxD0	入力	PIOR101 = 0 PIOR100 = 0	x	—	0	1	x	0	—	—	○	○	○	○	○	○
	SDA00	入出力	PIOR101 = 0 PIOR100 = 0	1	—	0	0	1	0	—	(TKBO01) = 0 (TRJIO0) = 0	○	○	○	○	○	○
	EI17	入力	—	x	—	0	1	x	0	—	—	○	○	○	○	○	○
	EO17	出力	—	0/1	—	1	0	x	0	—	—	○	○	○	○	○	○
	EXSDI1	入力	PIOR47 = 0	x	—	0	1	x	0	—	—	○	○	○	○	○	○
	(TKBO01)	出力	PIOR32 = 0 PIOR31 = 1 PIOR30 = 1	0	—	0	0	0	0	SDA00 = 1	(TRJIO0) = 0	○	○	○	○	○	○
	(TRJIO0)	入力	PIOR40 = 1	x	—	0	1	x	0	—	—	○	○	○	○	○	○
	(TRJIO0)	出力	PIOR40 = 1	0	—	0	0	0	0	SDA00 = 1	(TKBO01) = 0	○	○	○	○	○	○
	SEG42	出力	—	0	—	0	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (10/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(ISCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P20	P20	入力	—	—	0	1	x	—	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—	(PCLBUZ1) = 0	○	○	○	○	○	○
	ANI1	アナログ入力	—	—	1	1	x	—	—	—	○	○	○	○	○	○
	AVREFM	基準電圧	—	—	1	1	x	—	—	—	○	○	○	○	○	○
	EI20	入力	—	—	0	1	x	—	—	—	○	○	○	○	○	○
	(TI00)	入力	PIOR01 = 0 PIOR00 = 1	—	0	1	x	—	—	—	○	○	○	○	○	○
	(INTP7)	入力	PIOR95 = 0 PIOR94 = 0 PIOR93 = 1	—	0	1	x	—	—	—	○	○	○	○	○	○
	(PCLBUZ1)	出力	PIOR52 = 0 PIOR51 = 1 PIOR50 = 0	—	0	0	0	—	—	—	○	○	○	○	○	○
★ P21	P21	入力	—	—	0	1	x	—	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—	(TO00) = 0 (PCLBUZ0) = 0	○	○	○	○	○	○
	ANI0	アナログ入力	—	—	1	1	x	—	—	—	○	○	○	○	○	○
	AVREFP	基準電圧	—	—	1	1	x	—	—	—	○	○	○	○	○	○
	VBAT1	—	—	—	1	1	x	—	—	—	○	○	○	○	○	○
	EI21	入力	—	—	0	1	x	—	—	—	○	○	○	○	○	○
	(TO00)	出力	PIOR01 = 0 PIOR00 = 1	—	0	0	0	—	—	(PCLBUZ0) = 0	○	○	○	○	○	○
	(INTP6)	入力	PIOR92 = 0 PIOR91 = 1 PIOR90 = 0	—	0	1	x	—	—	—	○	○	○	○	○	○
	(PCLBUZ0)	出力	PIOR52 = 0 PIOR51 = 1 PIOR50 = 1	—	0	0	0	—	—	(TO00) = 0	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (11/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P22	P22	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	SCK21/SCL21 = 1 (SCK00/SCL00) = 1	—	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	SCK21/SCL21 = 1 (SCK00/SCL00) = 1	—	○	○	○	○	○	○
	ANI16	アナログ入力	—	x	1	1	x	1	—	—	○	○	○	○	○	○
	SCK21	入力	PIOR113 = 0 PIOR112 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	SCK21	出力	PIOR113 = 0 PIOR112 = 0	0/1	0	0	1	0	SCK21/SCL21 = 1	—	○	○	○	○	○	○
	SCL21	出力	PIOR113 = 0 PIOR112 = 0	0/1	0	0	1	0	SCK21/SCL21 = 1	—	○	○	○	○	○	○
	(SCK00)	入力	PIOR101 = 0 PIOR100 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SCK00)	出力	PIOR101 = 0 PIOR100 = 1	0/1	0	0	1	0	(SCK00/SCL00) = 1	—	○	○	○	○	○	○
	(SCL00)	出力	PIOR101 = 0 PIOR100 = 1	0/1	0	0	1	0	(SCK00/SCL00) = 1	—	○	○	○	○	○	○
	(INTP7)	入力	PIOR95 = 0 PIOR94 = 1 PIOR93 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	SEG29	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○
P23	P23	入力	—	—	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	0	0/1	0	—	TRJIO1 = 0	x	x	x	x	○	○
	ANI17	アナログ入力	—	—	1	1	x	1	—	—	x	x	x	x	○	○
	TRJIO1※2	入力	PIOR41 = 0	—	0	1	x	0	—	—	x	x	x	x	○	○
	TRJIO1※2	出力	PIOR41 = 0	—	0	0	0	0	—	—	x	x	x	x	○	○
	SEG30	出力	—	—	0	0	0	1	—	—	x	x	x	x	○	○
P24	P24	入力	—	—	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	0	0/1	0	—	—	x	x	x	x	○	○
	ANI18	アナログ入力	—	—	1	1	x	1	—	—	x	x	x	x	○	○
	SEG31	出力	—	—	0	0	0	1	—	—	x	x	x	x	○	○
P25	P25	入力	—	—	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	0	0/1	0	—	CLKA1 = 0	x	x	x	x	○	○
	ANI19	アナログ入力	—	—	1	1	x	1	—	—	x	x	x	x	○	○
	CLKA1	出力	—	—	0	0	0	0	—	—	x	x	x	x	○	○
	SEG32	出力	—	—	0	0	0	1	—	—	x	x	x	x	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (12/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P26	P26	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	TxDA1 = 1 SDA21 = 1 (SDA00) = 1	(TKBO20) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	TxDA1 = 1 SDA21 = 1 (SDA00) = 1	(TKBO20) = 0	○	○	○	○	○	○
	ANI20	アナログ入力	—	x	1	1	x	1	—	—	○	○	○	○	○	○
	ANO0	アナログ出力	—	x	1	1	x	1	—	—	○	○	○	○	○	○
	EI26	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
	TxDA1	出力	PIOR133 = 0 PIOR132 = 0	0/1	0	0	1	0	SDA21 = 1 (SDA00) = 1	(TKBO20) = 0	○	○	○	○	○	○
	SI21	入力	PIOR113 = 0 PIOR112 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	SDA21	入出力	PIOR113 = 0 PIOR112 = 0	1	0	0	1	0	TxDA1 = 1 (SDA00) = 1	(TKBO20) = 0	○	○	○	○	○	○
	(TKBO20) ※2	出力	PIOR36 = 1 PIOR35 = 0 or PIOR36 = 1 PIOR35 = 1	0	0	0	0	0	TxDA1 = 1 SDA21 = 1 (SDA00) = 1	—	○	○	○	○	○	○
	(INTP5)	入力	PIOR85 = 0 PIOR84 = 1 PIOR83 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	(RxD0)	入力	PIOR101 = 0 PIOR100 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SI00)	入力	PIOR101 = 0 PIOR100 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SDA00)	入出力	PIOR101 = 0 PIOR100 = 1	1	0	0	1	0	TxDA1 = 1 SDA21 = 1	(TKBO20) = 0	○	○	○	○	○	○
	(EXSDI0)	入力	PIOR47 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	SEG33	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (13/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA 以外 (UARTAの クロック出力を 含む)						
P27	P27	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	SO21 = 1 (TxDO/SO00) = 1	(TKBO21) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	SO21 = 1 (TxDO/SO00) = 1	(TKBO21) = 0	○	○	○	○	○	○
	ANI21	アナログ入力	—	x	1	1	x	1	—	—	○	○	○	○	○	○
	ANO1	アナログ出力	—	x	1	1	x	1	—	—	○	○	○	○	○	○
	EI27	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
	RxDA1	入力	PIOR133 = 0 PIOR132 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	SO21	出力	PIOR113 = 0 PIOR112 = 0	0/1	0	0	1	0	(TxDO/SO00) = 1	(TKBO21) = 0	○	○	○	○	○	○
	(TKBO21) 注2	出力	PIOR36 = 1 PIOR35 = 1	0	0	0	0	0	SO21 = 1 (TxDO/SO00) = 1	—	○	○	○	○	○	○
	(INTP4)	入力	PIOR82 = 0 PIOR81 = 0 PIOR80 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(TxDO)	出力	PIOR101 = 0 PIOR100 = 1	0/1	0	0	1	0	SO21 = 1	(TKBO21) = 0	○	○	○	○	○	○
	(SO00)	出力	PIOR101 = 0 PIOR100 = 1	0/1	0	0	1	0	SO21 = 1	(TKBO21) = 0	○	○	○	○	○	○
	(EXSDI1)	入力	PIOR47 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	SEG34	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (14/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(ISCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P30	P30	入力	—	—	0	1	x	0	—	—	x	x	x	○	○	○
		出力	—	—	0	0	0/1	0	—	TO03/REMOOUT = 0 (RTC1HZ) = 0	x	x	x	○	○	○
	TI03	入力	PIOR12 = 0 PIOR11 = 0 PIOR10 = 0	—	0	1	x	0	—	—	x	x	x	○	○	○
	TO03	出力	PIOR12 = 0 PIOR11 = 0 PIOR10 = 0	—	0	0	0	0	—	(RTC1HZ) = 0	x	x	x	○	○	○
	REMOOUT	出力	PIOR12 = 0 PIOR11 = 0 PIOR10 = 0	—	0	0	0	0	—	(RTC1HZ) = 0	x	x	x	○	○	○
	TS08	入出力	—	—	1	1	x	0	—	—	x	x	x	○	○	○
	(INTP3)	入力	PIOR75 = 0 PIOR74 = 0 PIOR73 = 1	—	0	1	x	0	—	—	x	x	x	○	○	○
	(RTC1HZ)	出力	PIOR57 = 0 PIOR56 = 0 PIOR55 = 1	—	0	0	0	0	—	TO03/REMOOUT = 0	x	x	x	○	○	○
	SEG20	出力	—	—	0	0	0	1	—	—	x	x	x	○	○	○
P31	P31	入力	—	—	0	1	x	0	—	—	x	x	x	○	○	○
		出力	—	—	0	0	0/1	0	—	RTC1HZ = 0 (TO01) = 0	x	x	x	○	○	○
	INTP3	入力	PIOR75 = 0 PIOR74 = 0 PIOR73 = 0	—	0	1	x	0	—	—	x	x	x	○	○	○
	RTC1HZ	出力	PIOR57 = 0 PIOR56 = 0 PIOR55 = 0	—	0	0	0	0	—	RTC1HZ = 0	x	x	x	○	○	○
	TS07	入出力	—	—	1	1	x	0	—	—	x	x	x	○	○	○
	(TI01)	入力	PIOR04 = 0 PIOR03 = 0 PIOR02 = 1	—	0	1	x	0	—	—	x	x	x	○	○	○
	(TO01)	出力	PIOR04 = 0 PIOR03 = 0 PIOR02 = 1	—	0	0	0	0	—	(TO01) = 0	x	x	x	○	○	○
	SEG21	出力	—	—	0	0	0	1	—	—	x	x	x	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (15/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P32	P32	入力	—	—	0	1	×	0	—	—	×	×	×	×	×	○
		出力	—	—	0	0	0/1	0	—	TO01 = 0 (TO03/REMOOUT) = 0 (RTC1HZ) = 0	×	×	×	×	×	○
	TI01	入力	PIOR04 = 0 PIOR03 = 0 PIOR02 = 0	—	0	1	×	0	—	—	×	×	×	×	×	○
	TO01	出力	PIOR04 = 0 PIOR03 = 0 PIOR02 = 0	—	0	0	0	0	—	(TO03/REMOOUT) = 0 (RTC1HZ) = 0	×	×	×	×	×	○
	TS06	入出力	—	—	1	1	×	0	—	—	×	×	×	×	×	○
	(TI03)	入力	PIOR12 = 0 PIOR11 = 0 PIOR10 = 1	—	0	1	×	0	—	—	×	×	×	×	×	○
	(TO03)	出力	PIOR12 = 0 PIOR11 = 0 PIOR10 = 1	—	0	0	0	0	—	TO01 = 0 (RTC1HZ) = 0	×	×	×	×	×	○
	(REMOOUT)	出力	PIOR12 = 0 PIOR11 = 0 PIOR10 = 1	—	0	0	0	0	—	TO01 = 0 (RTC1HZ) = 0	×	×	×	×	×	○
	(INTP3)	入力	PIOR75 = 0 PIOR74 = 1 PIOR73 = 0	—	0	1	×	0	—	—	×	×	×	×	×	○
	(RTC1HZ)	出力	PIOR57 = 0 PIOR56 = 1 PIOR55 = 0	—	0	0	0	0	—	TO01 = 0 (TO03/REMOOUT) = 0	×	×	×	×	×	○
	SEG22	出力	—	—	0	0	0	1	—	—	×	×	×	×	×	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (16/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P33	P33	入力	—	x	0	1	x	0	—	—	x	x	x	x	x	○
		出力	—	0	0	0	0/1	0	(SCK30/SCL30) = 1	(TO01) = 0 (RTC1HZ) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0	0/1	0	(SCK30/SCL30) = 1	(TO01) = 0 (RTC1HZ) = 0	x	x	x	x	x	○
	INTP4	入力	PIOR82 = 0 PIOR81 = 0 PIOR80 = 0	x	0	1	x	0	—	—	x	x	x	x	x	○
	TS05	入出力	—	x	1	1	x	0	—	—	x	x	x	x	x	○
	(TI01)	入力	PIOR04 = 0 PIOR03 = 1 PIOR02 = 0	x	0	1	x	0	—	—	x	x	x	x	x	○
	(TO01)	出力	PIOR04 = 0 PIOR03 = 1 PIOR02 = 0	0	0	0	0	0	(SCK30/SCL30) = 1	(RTC1HZ) = 0	x	x	x	x	x	○
	(RTC1HZ)	出力	PIOR57 = 0 PIOR56 = 1 PIOR55 = 1	0	0	0	0	0	(SCK30/SCL30) = 1	(TO01) = 0	x	x	x	x	x	○
	(SCK30)	入力	PIOR115 = 1 PIOR114 = 0	x	0	1	x	0	—	—	x	x	x	x	x	○
	(SCK30)	出力	PIOR115 = 1 PIOR114 = 0	0/1	0	0	1	0	—	(TO01) = 0 (RTC1HZ) = 0	x	x	x	x	x	○
	(SCL30)	出力	PIOR115 = 1 PIOR114 = 0	0/1	0	0	1	0	—	(TO01) = 0 (RTC1HZ) = 0	x	x	x	x	x	○
P34	SEG23	出力	—	0	0	0	0	1	—	—	x	x	x	x	x	○
	P34	入力	—	x	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	0	0	0	0/1	0	(SDA30) = 1	(TO01) = 0	x	x	x	x	○	○
		N-chOD 出力	—	1	0	0	0/1	0	(SDA30) = 1	(TO01) = 0	x	x	x	x	○	○
	TS04	入出力	—	x	1	1	x	0	—	—	x	x	x	x	○	○
	(TI01)	入力	PIOR04 = 0 PIOR03 = 1 PIOR02 = 1	x	0	1	x	0	—	—	x	x	x	x	○	○
	(TO01)	出力	PIOR04 = 0 PIOR03 = 1 PIOR02 = 1	0	0	0	0	0	(SDA30) = 1	—	x	x	x	x	○	○
	(INTP0)	入力	PIOR62 = 0 PIOR61 = 1 PIOR60 = 0	x	0	1	x	0	—	—	x	x	x	x	○	○
	(SI30)	入力	PIOR115 = 1 PIOR114 = 0	x	0	1	x	0	—	—	x	x	x	x	x	○
	(RxD3)	入力	PIOR115 = 1 PIOR114 = 0	x	0	1	x	0	—	—	x	x	x	x	○	○
	(SDA30)	入出力	PIOR115 = 1 PIOR114 = 0	1	0	0	1	0	—	(TO01) = 0	x	x	x	x	x	○
	SEG24	出力	—	0	0	0	0	1	—	—	x	x	x	x	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (17/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP) ^{注1}	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P35	P35	入力	—	x	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	0	0	0	0/1	0	(SO30/TxD3) = 1	(VCOUT0) = 0	x	x	x	x	○	○
		N-chOD 出力	—	1	0	0	0/1	0	(SO30/TxD3) = 1	(VCOUT0) = 0	x	x	x	x	○	○
	TS03	入出力	—	x	1	1	x	0	—	—	x	x	x	x	○	○
	(VCOUT0)	出力	PIOR54 = 1 PIOR53 = 0	0	0	0	0	0	(SO30/TxD3) = 1	—	x	x	x	x	○	○
	(INTP4)	入力	PIOR82 = 0 PIOR81 = 1 PIOR80 = 0	x	0	1	x	0	—	—	x	x	x	x	○	○
	(SO30)	出力	PIOR115 = 0 PIOR114 = 1 or PIOR115 = 1 ^{注3} PIOR114 = 0	0/1	0	0	1	0	—	(VCOUT0) = 0	x	x	x	x	○	○
	(TxD3)	出力	PIOR115 = 0 PIOR114 = 1 or PIOR115 = 1 PIOR114 = 0	0/1	0	0	1	0	—	(VCOUT0) = 0	x	x	x	x	○	○
	SEG25	出力	—	0	0	0	0	1	—	—	x	x	x	x	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (18/46)

端子 名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P40	P40	入力	—	x	—	1	x	—	—	○	○	○	○	○	○
		出力	—	0	—	0	0/1	(SCK00/SCL00) = 1	(TO00) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	—	0	0/1	(SCK00/SCL00) = 1	(TO00) = 0	○	○	○	○	○	○
	(TI00)	入力	PIOR01 = 1 PIOR00 = 0	x	—	1	x	—	—	○	○	○	○	○	○
	(TO00)	出力	PIOR01 = 1 PIOR00 = 0	0	—	0	0	(SCK00/SCL00) = 1	—	○	○	○	○	○	○
	(SCK00)	入力	PIOR101 = 1 PIOR100 = 0	x	—	1	x	—	—	x	x	x	x	○	○
	(SCK00)	出力	PIOR101 = 1 PIOR100 = 0	0/1	—	0	1	—	(TO00) = 0	x	x	x	x	○	○
	(SCL00)	出力	PIOR101 = 1 PIOR100 = 0	0/1	—	0	1	—	(TO00) = 0	x	x	x	○	○	○
P41	P41	入力	—	x	—	1	x	—	—	x	x	x	x	○	○
		出力	—	0	—	0	0/1	(TxD0/SO00) = 1 (SDAA0) = 1 (SDA10) = 1	(TO07) = 0	x	x	x	x	○	○
		N-chOD 出力	—	1	—	0	0/1	(TxD0/SO00) = 1 (SDAA0) = 1 (SDA10) = 1	(TO07) = 0	x	x	x	x	○	○
	(TI07)	入力	PIOR23 = 0 PIOR22 = 1	x	—	1	x	—	—	x	x	x	x	○	○
	(TO07)	出力	PIOR23 = 0 PIOR22 = 1	0	—	0	0	(TxD0/SO00) = 1 (SDAA0) = 1 (SDA10) = 1	—	x	x	x	x	○	○
	(INTP6)	入力	PIOR92 = 0 PIOR91 = 1 PIOR90 = 1	x	—	1	x	—	—	x	x	x	x	○	○
	(TxD0)	出力	PIOR101 = 1 PIOR100 = 0	0/1	—	0	1	(SDAA0) = 1 (SDA10) = 1	(TO07) = 0	x	x	x	x	○	○
	(RxD A3) 注2	入力	PIOR137 = 0 PIOR136 = 1	x	—	1	x	—	—	x	x	x	x	x	○
	(SDAA0)	入出力	PIOR121 = 0 PIOR120 = 1	1	—	0	0	(TxD0/SO00) = 1 (SDA10) = 1	(TO07) = 0	x	x	x	x	○	○
	(SO00)	出力	PIOR101 = 1 PIOR100 = 0	0/1	—	0	1	(SDAA0) = 1 (SDA10) = 1	(TO07) = 0	x	x	x	x	○	○
	(SI10)	入力	PIOR105 = 0 PIOR104 = 1	x	—	1	x	—	—	x	x	x	x	x	○
	(SDA10)	入出力	PIOR105 = 0 PIOR104 = 1	1	—	0	1	(TxD0/SO00) = 1 (SDAA0) = 1	(TO07) = 0	x	x	x	x	x	○
	(RxD1)	入力	PIOR105 = 0 PIOR104 = 1	x	—	1	x	—	—	x	x	x	x	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (19/46)

端子 名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P42	P42	入力	—	x	0	1	x	—	—	x	x	x	○	○	○
		出力	—	0	0	0	0/1	(TxDA1) = 1 (TxD1/SO10) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	○	○	○
		N-chOD 出力	—	1	0	0	0/1	(TxDA1) = 1 (TxD1/SO10) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	○	○	○
	TI05	入力	PIOR17 = 0 PIOR16 = 0 PIOR15 = 0	x	0	1	x	—	—	x	x	x	○	○	○
	TO05	出力	PIOR17 = 0 PIOR16 = 0 PIOR15 = 0	0	0	0	0	(TxDA1) = 1 (TxD1/SO10) = 1 (SDA00) = 1 (SO11) = 1	TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	○	○	○
	IVREF1	アナログ入力	—	x	1	1	x	—	—	x	x	x	○	○	○
	TRJ00	出力	PIOR40 = 0	0	0	0	0	(TxDA1) = 1 (TxD1/SO10) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	○	○	○
	(INTP7)	入力	PIOR95 = 0 PIOR94 = 1 PIOR93 = 1	x	0	1	x	—	—	x	x	x	○	○	○
	(TxDA1)	出力	PIOR133 = 0 PIOR132 = 1	0/1	0	0	1	(TxDA1) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	○	○	○
	(SCLA0)	入出力	PIOR121 = 0 PIOR120 = 1	1	0	0	0	(TxDA1) = 1 (TxD1/SO10) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	x	○	○
	(RxD0)	入力	PIOR101 = 1 PIOR100 = 0	x	0	1	x	—	—	x	x	x	x	○	○
	(TxD1)	出力	PIOR105 = 0 PIOR104 = 1	0/1	0	0	1	(TxDA1) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	x	○	○
	(SI00)	入力	PIOR101 = 1 PIOR100 = 0	x	0	1	x	—	—	x	x	x	x	○	○
	(SDA00)	入出力	PIOR101 = 1 PIOR100 = 0	1	0	0	1	(TxDA1) = 1 (TxD1/SO10) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	○	○	○
	(SO10)	出力	PIOR105 = 0 PIOR104 = 1	0/1	0	0	1	(TxDA1) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	x	x	○
	(SO11)	出力	PIOR107 = 0 PIOR106 = 1	0/1	0	0	1	(TxDA1) = 1 (TxD1/SO10) = 1 (SDA00) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0 (PCLBUZ1) = 0	x	x	x	○	○	○
	(PCLBUZ1)	出力	PIOR52 = 0 PIOR51 = 1 PIOR50 = 1	0	0	0	0	(TxDA1) = 1 (TxD1/SO10) = 1 (SDA00) = 1 (SO11) = 1	TO05 = 0 TRJ00 = 0 (SCLA0) = 0	x	x	x	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (20/46)

端子 名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P43	P43	入力	—	×	0	1	×	—	—	×	×	○	○	○	○
		出力	—	0	0	0	0/1	SO30/TxD3 = 1 (SDA11) = 1	(TO05) = 0	×	×	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	SO30/TxD3 = 1 (SDA11) = 1	(TO05) = 0	×	×	○	○	○	○
	IVCMP1	アナログ入力	—	×	1	1	×	—	—	×	×	○	○	○	○
	SO30	出力	PIOR115 = 0 PIOR114 = 0	0/1	0	0	1	(SDA11) = 1	(TO05) = 0	×	×	○	○	○	○
	TxD3	出力	PIOR115 = 0 PIOR114 = 0	0/1	0	0	1	(SDA11) = 1	(TO05) = 0	×	×	○	○	○	○
	(TI05)	入力	PIOR17 = 0 PIOR16 = 1 PIOR15 = 0	×	0	1	×	—	—	×	×	○	○	○	○
	(TO05)	出力	PIOR17 = 0 PIOR16 = 1 PIOR15 = 0	0	0	0	0	SO30/TxD3 = 1 (SDA11) = 1	—	×	×	○	○	○	○
	(INTP4)	入力	PIOR82 = 1 PIOR81 = 1 PIOR80 = 1	×	0	1	×	—	—	×	×	○	○	○	○
	(RxD A1)	入力	PIOR133 = 0 PIOR132 = 1	×	0	1	×	—	—	×	×	×	○	○	○
	(SI11)	入力	PIOR107 = 0 PIOR106 = 1	×	0	1	×	—	—	×	×	×	○	○	○
	(SDA11)	入出力	PIOR107 = 0 PIOR106 = 1	1	0	0	1	SO30/TxD3 = 1	(TO05) = 0	×	×	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (21/46)

端子 名称	使用機能		PIORx	POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P44	P44	入力	—	x	0	1	x	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SDA30 = 1 (SCK11/SCL11) = 1	EXSDO1 = 0 (TO04) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	SDA30 = 1 (SCK11/SCL11) = 1	EXSDO1 = 0 (TO04) = 0	○	○	○	○	○	○
	IVCMP0	アナログ入力	—	x	1	1	x	—	—	○	○	○	○	○	○
	RxDA2 ^{注2}	入力	PIOR135 = 0 PIOR134 = 0	x	0	1	x	—	—	x	○	○	○	○	○
	SI30	入力	PIOR115 = 0 PIOR114 = 0	x	0	1	x	—	—	x	x	○	○	○	○
	SDA30	入出力	PIOR115 = 0 PIOR114 = 0	1	0	0	1	(SCK11/SCL11) = 1	EXSDO1 = 0 (TO04) = 0	x	○	○	○	○	○
	RxD3	入力	PIOR115 = 0 PIOR114 = 0	x	0	1	x	—	—	x	x	○	○	○	○
	EXSDO1	出力	PIOR46 = 0	0	0	0	0	SDA30 = 1 (SCK11/SCL11) = 1	(TO04) = 0	○	○	○	○	○	○
	(TI04)	入力	PIOR14 = 0 PIOR13 = 1	x	0	1	x	—	—	○	○	○	○	○	○
	(TO04)	出力	PIOR14 = 0 PIOR13 = 1	0	0	0	0	SDA30 = 1 (SCK11/SCL11) = 1	EXSDO1 = 0	○	○	○	○	○	○
	(INTP7)	入力	PIOR95 = 1 PIOR94 = 0 PIOR93 = 0	x	0	1	x	—	—	○	○	○	○	○	○
	(SCK11)	入力	PIOR107 = 0 PIOR106 = 1	x	0	1	x	—	—	x	x	x	○	○	○
	(SCK11)	出力	PIOR107 = 0 PIOR106 = 1	0/1	0	0	1	SDA30 = 1	EXSDO1 = 0 (TO04) = 0	x	x	x	○	○	○
	(SCL11)	出力	PIOR107 = 0 PIOR106 = 1	0/1	0	0	1	SDA30 = 1	EXSDO1 = 0 (TO04) = 0	x	x	○	○	○	○
P45	P45	入力	—	x	0	1	x	—	—	x	○	○	○	○	○
		出力	—	0	0	0	0/1	TxDA2 = 1 SCK30/SCL30 = 1	EXSDO0 = 0	x	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	TxDA2 = 1 SCK30/SCL30 = 1	EXSDO0 = 0	x	○	○	○	○	○
	IVREF0	アナログ入力	—	x	1	1	x	—	—	x	○	○	○	○	○
	TxDA2 ^{注2}	出力	PIOR135 = 0 PIOR134 = 0	0/1	0	0	1	SCK30/SCL30 = 1	EXSDO0 = 0	x	○	○	○	○	○
	SCK30	入力	PIOR115 = 0 PIOR114 = 0	x	0	1	x	—	—	x	x	○	○	○	○
	SCK30	出力	PIOR115 = 0 PIOR114 = 0	0/1	0	0	1	TxDA2 = 1	EXSDO0 = 0	x	x	○	○	○	○
	SCL30	出力	PIOR115 = 0 PIOR114 = 0	0/1	0	0	1	TxDA2 = 1	EXSDO0 = 0	x	○	○	○	○	○
	EXSDO0	出力	PIOR46 = 0	0	0	0	0	TxDA2 = 1 SCK30/SCL30 = 1	—	x	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (22/46)

端子 名称	使用機能		PIORx	POMxx	PMCAXx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P46	P46	入力	—	x	—	1	x	0	—	—	x	x	x	x	○	○
		出力	—	0	—	0	0/1	0	SDA31 = 1 (SCK21/SCL21) = 1 (SCL01/SCK01) = 1	—	x	x	x	x	○	○
		N-chOD 出力	—	1	—	0	0/1	0	SDA31 = 1 (SCK21/SCL21) = 1 (SCL01/SCK01) = 1	—	x	x	x	x	○	○
	SI31	入力	PIOR117 = 0 PIOR116 = 0	x	—	1	x	0	—	—	x	x	x	x	x	○
	SDA31	入出力	PIOR117 = 0 PIOR116 = 0	1	—	0	1	0	(SCK21/SCL21) = 1 (SCL01/SCK01) = 1	—	x	x	x	x	x	○
	(SCK21)	入力	PIOR113 = 0 PIOR112 = 1	x	—	1	x	0	—	—	x	x	x	x	○	○
	(SCK21)	出力	PIOR113 = 0 PIOR112 = 1	0/1	—	0	1	0	SDA31 = 1 (SCL01/SCK01) = 1	—	x	x	x	x	○	○
	(SCL21)	出力	PIOR113 = 0 PIOR112 = 1	0/1	—	0	1	0	SDA31 = 1 (SCL01/SCK01) = 1	—	x	x	x	x	○	○
	(SCL01)	出力	PIOR103 = 0 PIOR102 = 1	0/1	—	0	1	0	SDA31 = 1 (SCK21/SCL21) = 1	—	x	x	x	x	○	○
	(SCK01)	入力	PIOR103 = 0 PIOR102 = 1	x	—	1	x	0	—	—	x	x	x	x	○	○
	(SCK01)	出力	PIOR103 = 0 PIOR102 = 1	0/1	—	0	1	0	SDA31 = 1 (SCK21/SCL21) = 1	—	x	x	x	x	○	○
	SEG26	出力	—	0	—	0	0	1	—	—	x	x	x	x	○	○
P47	P47	入力	—	x	—	1	x	0	—	—	x	x	x	x	○	○
		出力	—	0	—	0	0/1	0	SO31 = 1 (SDA21) = 1 (SDA01) = 1	—	x	x	x	x	○	○
		N-chOD 出力	—	1	—	0	0/1	0	SO31 = 1 (SDA21) = 1 (SDA01) = 1	—	x	x	x	x	○	○
	SO31	出力	PIOR117 = 0 PIOR116 = 0	0/1	—	0	1	0	(SDA21) = 1 (SDA01) = 1	—	x	x	x	x	x	○
	(RxD A0)	入力	PIOR131 = 1 PIOR130 = 0	x	—	1	x	0	—	—	x	x	x	x	○	○
	(SI21)	入力	PIOR113 = 0 PIOR112 = 1	x	—	1	x	0	—	—	x	x	x	x	○	○
	(SDA21)	入出力	PIOR113 = 0 PIOR112 = 1	1	—	0	1	0	SO31 = 1 (SDA01) = 1	—	x	x	x	x	○	○
	(SDA01)	入出力	PIOR103 = 0 PIOR102 = 1	1	—	0	1	0	SO31 = 1 (SDA21) = 1	—	x	x	x	x	○	○
	(SI01)	入力	PIOR103 = 0 PIOR102 = 1	x	—	1	x	0	—	—	x	x	x	x	○	○
	(INTP1)	入力	PIOR65 = 1 PIOR64 = 1 PIOR63 = 0	x	—	1	x	0	—	—	x	x	x	x	○	○
	SEG27	出力	—	0	—	0	0	1	—	—	x	x	x	x	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (23/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P50	P50	入力	—	x	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	0	0	0	0/1	0	TxDA3 = 1	—	x	x	x	x	○	○
		N-chOD 出力	—	1	0	0	0/1	0	TxDA3 = 1	—	x	x	x	x	○	○
	TS23	入出力	—	x	1	1	x	0	—	—	x	x	x	x	○	○
	TxDA3※2	出力	PIOR137 = 0 PIOR136 = 0	0/1	0	0	1	0	—	—	x	x	x	x	○	○
	SEG4	出力	—	0	0	0	0	1	—	—	x	x	x	x	○	○
P51	P51	入力	—	—	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	0	0/1	0	—	—	x	x	x	x	○	○
	TS22	入出力	—	—	1	1	x	0	—	—	x	x	x	x	○	○
	RxDA3※2	入力	PIOR137 = 0 PIOR136 = 0	—	0	1	x	0	—	—	x	x	x	x	○	○
	(INTP6)	入力	PIOR92 = 1 PIOR91 = 1 PIOR90 = 0	—	0	1	x	0	—	—	x	x	x	x	○	○
	SEG5	出力	—	—	0	0	0	1	—	—	x	x	x	x	○	○
P52	P52	入力	—	x	0	1	x	0	—	—	x	x	x	○	○	○
		出力	—	0	0	0	0/1	0	SO01 = 1	TO00 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	SO01 = 1	TO00 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
	TI00	入力	PIOR01 = 0 PIOR00 = 0	x	0	1	x	0	—	—	x	x	x	○	○	○
	TO00	出力	PIOR01 = 0 PIOR00 = 0	0	0	0	0	0	SO01 = 1	(PCLBUZ0) = 0	x	x	x	○	○	○
	INTP1	入力	PIOR65 = 0 PIOR64 = 0 PIOR63 = 0	x	0	1	x	0	—	—	x	x	x	○	○	○
	TS21	入出力	—	x	1	1	x	0	—	—	x	x	x	○	○	○
	SO01	出力	PIOR103 = 0 PIOR102 = 0	0/1	0	0	1	0	—	TO00 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
	(PCLBUZ1)	出力	PIOR52 = 1 PIOR51 = 1 PIOR50 = 0	0	0	0	0	0	SO01 = 1	TO00 = 0	x	x	x	○	○	○
	SEG6	出力	—	0	0	0	0	1	—	—	x	x	x	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (24/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P53	P53	入力	—	x	0	1	x	0	—	—	x	x	○	○	○	○
		出力	—	0	0	0	0/1	0	SDA01 = 1	(TO07) = 0 (PCLBUZ0) = 0	x	x	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	SDA01 = 1	(TO07) = 0 (PCLBUZ0) = 0	x	x	○	○	○	○
	INTP2	入力	PIOR72 = 0 PIOR71 = 0 PIOR70 = 0	x	0	1	x	0	—	—	x	x	○	○	○	○
	TS20	入出力	—	x	1	1	x	0	—	—	x	x	○	○	○	○
	SI01	入力	PIOR103 = 0 PIOR102 = 0	x	0	1	x	0	—	—	x	x	x	○	○	○
	SDA01	入出力	PIOR103 = 0 PIOR102 = 0	1	0	0	1	0	—	(TO07) = 0 (PCLBUZ0) = 0	x	x	○	○	○	○
	(TI07)	入力	PIOR23 = 1 PIOR22 = 0	x	0	1	x	0	—	—	x	x	○	○	○	○
	(TO07)	出力	PIOR23 = 1 PIOR22 = 0	0	0	0	0	0	SDA01 = 1	(PCLBUZ0) = 0	x	x	○	○	○	○
	(PCLBUZ0)	出力	PIOR52 = 1 PIOR51 = 0 PIOR50 = 0	0	0	0	0	0	SDA01 = 1	(TO07) = 0	x	x	○	○	○	○
P54	SEG7	出力	—	0	0	0	0	1	—	—	x	x	○	○	○	○
	P54	入力	—	x	0	1	x	0	—	—	x	○	○	○	○	○
		出力	—	0	0	0	0/1	0	SCK01/SCL01 = 1	TO02 = 0 (PCLBUZ0) = 0	x	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	SCK01/SCL01 = 1	TO02 = 0 (PCLBUZ0) = 0	x	○	○	○	○	○
	TI02	入力	PIOR06 = 0 PIOR05 = 0	x	0	1	x	0	—	—	x	○	○	○	○	○
	TO02	出力	PIOR06 = 0 PIOR05 = 0	0	0	0	0	0	SCK01/SCL01 = 1	(PCLBUZ0) = 0	x	○	○	○	○	○
	TS19	入出力	—	x	1	1	x	0	—	—	x	○	○	○	○	○
	SCK01	入力	PIOR103 = 0 PIOR102 = 0	x	0	1	x	0	—	—	x	x	x	○	○	○
	SCK01	出力	PIOR103 = 0 PIOR102 = 0	0/1	0	0	1	0	—	TO02 = 0 (PCLBUZ0) = 0	x	x	x	○	○	○
	SCL01	出力	PIOR103 = 0 PIOR102 = 0	0/1	0	0	1	0	—	TO02 = 0 (PCLBUZ0) = 0	x	x	○	○	○	○
	(INTP0)	入力	PIOR62 = 0 PIOR61 = 1 PIOR60 = 1	x	0	1	x	0	—	—	x	○	○	○	○	○
	(PCLBUZ0)	出力	PIOR52 = 1 PIOR51 = 0 PIOR50 = 1	0	0	0	0	0	SCK01/SCL01 = 1	TO02 = 0	x	○	○	○	○	○
	SEG8	出力	—	0	0	0	0	1	—	—	x	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (25/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P55	P55	入力	—	—	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	0	0/1	0	—	(TO02) = 0	x	x	x	x	○	○
	INTP5	入力	PIOR85 = 0 PIOR84 = 0 PIOR83 = 0	—	0	1	x	0	—	—	x	x	x	x	○	○
	TS18	入出力	—	—	1	1	x	0	—	—	x	x	x	x	○	○
	(TI02)	入力	PIOR06 = 0 PIOR05 = 1	—	0	1	x	0	—	—	x	x	x	x	○	○
	(TO02)	出力	PIOR06 = 0 PIOR05 = 1	—	0	0	0	0	—	—	x	x	x	x	○	○
	SEG9	出力	—	—	0	0	0	1	—	—	x	x	x	x	○	○
P56	P56	入力	—	—	0	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	0	0/1	0	—	TO06 = 0	x	x	x	x	○	○
	TI06	入力	PIOR21 = 0 PIOR20 = 0	—	0	1	x	0	—	—	x	x	x	x	○	○
	TO06	出力	PIOR21 = 0 PIOR20 = 0	—	0	0	0	0	—	—	x	x	x	x	○	○
	TS17	入出力	—	—	1	1	x	0	—	—	x	x	x	x	○	○
	SEG10	出力	—	—	0	0	0	1	—	—	x	x	x	x	○	○
P57	P57	入力	—	—	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	0	—	(TO03/REMOOUT) = 0	○	○	○	○	○	○
	INTP6	入力	PIOR92 = 0 PIOR91 = 0 PIOR90 = 0	—	0	1	x	0	—	—	○	○	○	○	○	○
	TSCAP	—	—	—	1	1	x	0	—	—	○	○	○	○	○	○
	(TI03)	入力	PIOR12 = 0 PIOR11 = 1 PIOR10 = 0	—	0	1	x	0	—	—	○	○	○	○	○	○
	(TO03)	出力	PIOR12 = 0 PIOR11 = 1 PIOR10 = 0	—	0	0	0	0	—	—	○	○	○	○	○	○
	(REMOOUT)	出力	PIOR12 = 0 PIOR11 = 1 PIOR10 = 0	—	0	0	0	0	—	—	○	○	○	○	○	○
	SEG11	出力	—	—	0	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (26/46)

端子 名称	使用機能		PIORx	POMxx	PMCExx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力 を除く)	SAU, UARTA 以外 (UARTAの クロック出力 を含む)						
P60	P60	入力	—	—	0	CCDE04 = 0	CCS4x = 000	1	×	—	—	○	○	○	○	○	○
		出力	—	—	0	CCDE04 = 0	CCS4x = 000	0	0/1	—	SCLA0 = 0 (TO01) = 0	○	○	○	○	○	○
	SCLA0	入出力	PIOR121 = 0 PIOR120 = 0	—	0	CCDE04 = 0	CCS4x = 000	0	0	—	(TO01) = 0	○	○	○	○	○	○
	CCD04	出力	—	—	0	CCDE04 = 1	CCS4x = 001-100	0	0	—	SCLA0 = 0 (TO01) = 0	○	○	○	○	○	○
	EO60	出力	—	—	1	CCDE04 = 0	CCS4x = 000	0	×	—	—	○	○	○	○	○	○
	(TI01)	入力	PIOR04 = 1 PIOR03 = 0 PIOR02 = 0	—	0	CCDE04 = 0	CCS4x = 000	1	×	—	—	○	○	○	○	○	○
	(TO01)	出力	PIOR04 = 1 PIOR03 = 0 PIOR02 = 0	—	0	CCDE04 = 0	CCS4x = 000	0	0	—	SCLA0 = 0	○	○	○	○	○	○
	(INTP3)	入力	PIOR75 = 0 PIOR74 = 1 PIOR73 = 1	—	0	CCDE04 = 0	CCS4x = 000	1	×	—	—	○	○	○	○	○	○
P61	P61	入力	—	—	0	CCDE05 = 0	CCS5x = 000	1	×	—	—	○	○	○	○	○	○
		出力	—	—	0	CCDE05 = 0	CCS5x = 000	0	0/1	—	SDAA0 = 0 (TO02) = 0	○	○	○	○	○	○
	SDAA0	入出力	PIOR121 = 0 PIOR120 = 0	—	0	CCDE05 = 0	CCS5x = 000	0	0	—	(TO02) = 0	○	○	○	○	○	○
	CCD05	出力	—	—	0	CCDE05 = 1	CCS5x = 001-100	0	0	—	SDAA0 = 0 (TO02) = 0	○	○	○	○	○	○
	EO61	出力	—	—	1	CCDE05 = 0	CCS5x = 000	0	×	—	—	○	○	○	○	○	○
	(TI02)	入力	PIOR06 = 1 PIOR05 = 0	—	0	CCDE05 = 0	CCS5x = 000	1	×	—	—	○	○	○	○	○	○
	(TO02)	出力	PIOR06 = 1 PIOR05 = 0	—	0	CCDE05 = 0	CCS5x = 000	0	0	—	SDAA0 = 0	○	○	○	○	○	○
	(INTP4)	入力	PIOR82 = 0 PIOR81 = 1 PIOR80 = 1	—	0	CCDE05 = 0	CCS5x = 000	1	×	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (27/46)

端子 名称	使用機能		PIORx	POMxx	PMCExx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力 を除く)	SAU, UARTA 以外 (UARTAの クロック出力 を含む)						
P62	P62	入力	—	—	—	CCDE06 = 0	CCS6x = 000	1	x	—	—	x	x	x	○	○	○
		出力	—	—	—	CCDE06 = 0	CCS6x = 000	0	0/1	—	SCLA1 = 0 (TO03/ REMOOUT) = 0	x	x	x	○	○	○
	SCLA1	入出力	PIOR123 = 0 PIOR122 = 0	—	—	CCDE06 = 0	CCS6x = 000	0	0	—	(TO03/ REMOOUT) = 0	x	x	x	○	○	○
	CCD06	出力	—	—	—	CCDE06 = 1	CCS6x = 001-100	0	0	—	SCLA1 = 0 (TO03/ REMOOUT) = 0	x	x	x	○	○	○
	(TI03)	入力	PIOR12 = 0 PIOR11 = 1 PIOR10 = 1	—	—	CCDE06 = 0	CCS6x = 000	1	x	—	—	x	x	x	○	○	○
	(TO03)	出力	PIOR12 = 0 PIOR11 = 1 PIOR10 = 1	—	—	CCDE06 = 0	CCS6x = 000	0	0	—	SCLA1 = 0	x	x	x	○	○	○
	(REMOOUT)	出力	PIOR12 = 0 PIOR11 = 1 PIOR10 = 1	—	—	CCDE06 = 0	CCS6x = 000	0	0	—	SCLA1 = 0	x	x	x	○	○	○
	(INTP5)	入力	PIOR85 = 0 PIOR84 = 1 PIOR83 = 1	—	—	CCDE06 = 0	CCS6x = 000	1	x	—	—	x	x	x	○	○	○
P63	P63	入力	—	—	—	CCDE07 = 0	CCS7x = 000	1	x	—	—	x	x	x	○	○	○
		出力	—	—	—	CCDE07 = 0	CCS7x = 000	0	0/1	—	SDAA1 = 0 (TO04) = 0	x	x	x	○	○	○
	SDAA1	入出力	PIOR123 = 0 PIOR122 = 0	—	—	CCDE07 = 0	CCS7x = 000	0	0	—	(TO04) = 0	x	x	x	○	○	○
	CCD07	出力	—	—	—	CCDE07 = 1	CCS7x = 001-100	0	0	—	SDAA1 = 0 (TO04) = 0	x	x	x	○	○	○
	(TI04)	入力	PIOR14 = 1 PIOR13 = 0	—	—	CCDE07 = 0	CCS7x = 000	1	x	—	—	x	x	x	○	○	○
	(TO04)	出力	PIOR14 = 1 PIOR13 = 0	—	—	CCDE07 = 0	CCS7x = 000	0	0	—	SDAA1 = 0	x	x	x	○	○	○
	(INTP6)	入力	PIOR92 = 1 PIOR91 = 0 PIOR90 = 0	—	—	CCDE07 = 0	CCS7x = 000	1	x	—	—	x	x	x	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (28/46)

端子 名称	使用機能		PIORx	POMxx	PMCExx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力 を除く)	SAU, UARTA 以外 (UARTAの クロック出力 を含む)						
P64	P64	入力	—	x	—	—	—	1	x	—	—	x	x	x	x	x	○
		出力	—	0	—	—	—	0	0/1	—	(SDAA1) = 0 (TO03/ REMOOUT) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	—	—	—	0	0/1	—	(SDAA1) = 0 (TO03/ REMOOUT) = 0	x	x	x	x	x	○
	(INTP5)	入力	PIOR85 = 1 PIOR84 = 0 PIOR83 = 0	x	—	—	—	1	x	—	—	x	x	x	x	x	○
	(SDAA1)	入出力	PIOR123 = 0 PIOR122 = 1	1	—	—	—	0	0	—	(TO03/ REMOOUT) = 0	x	x	x	x	x	○
	(TI03)	入力	PIOR12 = 1 PIOR11 = 0 PIOR10 = 0	x	—	—	—	1	x	—	—	x	x	x	x	x	○
	(TO03)	出力	PIOR12 = 1 PIOR11 = 0 PIOR10 = 0	0	—	—	—	0	0	—	(SDAA1) = 0	x	x	x	x	x	○
	(REMOOUT)	出力	PIOR12 = 1 PIOR11 = 0 PIOR10 = 0	0	—	—	—	0	0	—	(SDAA1) = 0	x	x	x	x	x	○
P65	P65	入力	—	x	—	—	—	1	x	—	—	x	x	x	x	x	○
		出力	—	0	—	—	—	0	0/1	—	(SCLA1) = 0 (TO05) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	—	—	—	0	0/1	—	(SCLA1) = 0 (TO05) = 0	x	x	x	x	x	○
	(INTP0)	入力	PIOR62 = 1 PIOR61 = 0 PIOR60 = 0	x	—	—	—	1	x	—	—	x	x	x	x	x	○
	(SCLA1)	入出力	PIOR123 = 0 PIOR122 = 1	1	—	—	—	0	0	—	(TO05) = 0	x	x	x	x	x	○
	(TI05)	入力	PIOR17 = 1 PIOR16 = 0 PIOR15 = 1	x	—	—	—	1	x	—	—	x	x	x	x	x	○
	(TO05)	出力	PIOR17 = 1 PIOR16 = 0 PIOR15 = 1	0	—	—	—	0	0	—	(SCLA1) = 0	x	x	x	x	x	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (29/46)

端子 名称	使用機能		PIORx	POMxx	PMCExx	CCDE	CCSx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力								SAU, UARTA (UARTAの クロック出力 を除く)	SAU, UARTA 以外 (UARTAの クロック出力 を含む)						
P66	P66	入力	—	x	—	—	—	1	x	—	—	x	x	x	x	x	○
		出力	—	0	—	—	—	0	0/1	(SCK10/ SCL10) = 1 (TxDA3) = 1	(TO05) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	—	—	—	0	0/1	(SCK10/ SCL10) = 1 (TxDA3) = 1	(TO05) = 0	x	x	x	x	x	○
	(TI05)	入力	PIOR17 = 0 PIOR16 = 1 PIOR15 = 1	x	—	—	—	1	x	—	—	x	x	x	x	x	○
	(TO05)	出力	PIOR17 = 0 PIOR16 = 1 PIOR15 = 1	0	—	—	—	0	0	(SCK10/ SCL10) = 1 (TxDA3) = 1	—	x	x	x	x	x	○
	(INTP1)	入力	PIOR65 = 0 PIOR64 = 0 PIOR63 = 1	x	—	—	—	1	x	—	—	x	x	x	x	x	○
	(SCK10)	入力	PIOR105 = 0 PIOR104 = 1	x	—	—	—	1	x	—	—	x	x	x	x	x	○
	(SCK10)	出力	PIOR105 = 0 PIOR104 = 1	0/1	—	—	—	0	1	(TxDA3) = 1	(TO05) = 0	x	x	x	x	x	○
	(SCL10)	出力	PIOR105 = 0 PIOR104 = 1	0/1	—	—	—	0	1	(TxDA3) = 1	(TO05) = 0	x	x	x	x	x	○
P67	P67	入力	—	—	—	—	—	1	x	—	—	x	x	x	x	x	○
		出力	—	—	—	—	—	0	0/1	—	(TO01) = 0	x	x	x	x	x	○
	(INTP2)	入力	PIOR72 = 0 PIOR71 = 0 PIOR70 = 1	—	—	—	—	1	x	—	—	x	x	x	x	x	○
	(TI01)	入力	PIOR04 = 1 PIOR03 = 1 PIOR02 = 0	—	—	—	—	1	x	—	—	x	x	x	x	x	○
	(TO01)	出力	PIOR04 = 1 PIOR03 = 1 PIOR02 = 0	—	—	—	—	0	0	—	—	x	x	x	x	x	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (30/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	CCDE	CCSx	PMxx	Px	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力										SAU, UARTA (UARTAの クロック 出力を 除く)	SAU, UARTA以外 (UARTAの クロック 出力を 含む)						
P70	P70	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	○	○	○
		出力	—	—	0	—	—	—	0	0/1	0	—	TKBO20 = 0	x	x	x	○	○	○
	KR0	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	○	○	○
	TS16	入出力	—	—	1	—	—	—	1	x	0	—	—	x	x	x	○	○	○
	TKBO20注2	出力	PIOR36 = 0 PIOR35 = 0 or PIOR36 = 0 PIOR35 = 1	—	0	—	—	—	0	0	0	—	—	x	x	x	○	○	○
	SEG12	出力	—	—	0	—	—	—	0	0	1	—	—	x	x	x	○	○	○
P71	P71	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	—	—	—	0	0/1	0	—	—	x	x	x	x	○	○
	KR1	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	x	○	○
	TS15	入出力	—	—	1	—	—	—	1	x	0	—	—	x	x	x	x	○	○
	SEG13	出力	—	—	0	—	—	—	0	0	1	—	—	x	x	x	x	○	○
P72	P72	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	—	—	—	0	0/1	0	—	TKBO21 = 0	x	x	x	x	○	○
	KR2	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	x	○	○
	TS14	入出力	—	—	1	—	—	—	1	x	0	—	—	x	x	x	x	○	○
	TKBO21注2	出力	PIOR36 = 0 PIOR35 = 0	—	0	—	—	—	0	0	0	—	—	x	x	x	x	○	○
	SEG14	出力	—	—	0	—	—	—	0	0	1	—	—	x	x	x	x	○	○
P73	P73	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	x	○	○
		出力	—	—	0	—	—	—	0	0/1	0	—	TKBO10 = 0	x	x	x	x	○	○
	KR3	入力	—	—	0	—	—	—	1	x	0	—	—	x	x	x	x	○	○
	TS13	入出力	—	—	1	—	—	—	1	x	0	—	—	x	x	x	x	○	○
	TKBO10注2	出力	PIOR34 = 0 PIOR33 = 0 or PIOR34 = 0 PIOR33 = 1	—	0	—	—	—	0	0	0	—	—	x	x	x	x	○	○
	SEG15	出力	—	—	0	—	—	—	0	0	1	—	—	x	x	x	x	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (31/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	CCDE	CCSx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力										SAU, UARTA (UARTAの クロック 出力を 除く)	SAU, UARTA以外 (UARTAの クロック 出力を 含む)						
P74	P74	入力	—	—	0	—	CCDE03 = 0	CCS0x = xxx	1	x	0	—	—	x	x	○	○	○	○
		出力	—	—	0	—	CCDE03 = 0	CCS0x = xxx	0	0/1	0	—	TKBO11 = 0 (TKBO01) = 0	x	x	○	○	○	○
	KR4	入力	—	—	0	—	CCDE03 = 0	CCS0x = xxx	1	x	0	—	—	x	x	○	○	○	○
	TS12	入出力	—	—	1	—	CCDE03 = 0	CCS0x = xxx	1	x	0	—	—	x	x	○	○	○	○
	CCD03	出力	—	—	0	—	CCDE03 = 1	CCS0x = 001-011	0	0	0	—	TKBO11 = 0 (TKBO01) = 0	x	x	○	○	○	○
	TKBO11注2	出力	PIOR34 = 0 PIOR33 = 0	—	0	—	CCDE03 = 0	CCS0x = xxx	0	0	0	—	(TKBO01) = 0	x	x	○	○	○	○
	(TKBO01)	出力	PIOR32 = 0 PIOR31 = 1 PIOR30 = 0	—	0	—	CCDE03 = 0	CCS0x = xxx	0	0	0	—	TKBO11 = 0	x	x	○	○	○	○
	SEG16	出力	—	—	0	—	CCDE03 = 0	CCS0x = xxx	0	0	1	—	—	x	x	○	○	○	○

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (32/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	CCDE	CCSx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP) 注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力										SAU, UARTA (UARTAの クロック 出力を 除く)	SAU, UARTA以外 (UARTAの クロック 出力を 含む)						
P75	P75	入力	—	x	0	—	CCDE02 = 0	CCS0x = xxx	1	x	0	—	—	x	○	○	○	○	○
		出力	—	0	0	—	CCDE02 = 0	CCS0x = xxx	0	0/1	0	SCK20/ SCL20 = 1	(TKBO11) = 0 (TKBO01) = 0 (TO03/ REMOOUT) = 0	x	○	○	○	○	○
		N-chOD 出力	—	1	0	—	CCDE02 = 0	CCS0x = xxx	0	0/1	0	SCK20/ SCL20 = 1	(TKBO11) = 0 (TKBO01) = 0 (TO03/ REMOOUT) = 0	x	○	○	○	○	○
	KR5	入力	—	x	0	—	CCDE02 = 0	CCS0x = xxx	1	x	0	—	—	x	○	○	○	○	○
	TS11	入出力	—	x	1	—	CCDE02 = 0	CCS0x = xxx	1	x	0	—	—	x	○	○	○	○	○
	CCD02	出力	—	0/1	0	—	CCDE02 = 1	CCS0x = 001-011	0	0	0	—	(TKBO11) = 0 (TKBO01) = 0 (TO03/ REMOOUT) = 0	x	○	○	○	○	○
	SCK20	入力	PIOR111 = 0 PIOR110 = 0	x	0	—	CCDE02 = 0	CCS0x = xxx	1	x	0	—	—	x	○	○	○	○	○
	SCK20	出力	PIOR111 = 0 PIOR110 = 0	0/1	0	—	CCDE02 = 0	CCS0x = xxx	0	1	0	—	(TKBO11) = 0 (TKBO01) = 0 (TO03/ REMOOUT) = 0	x	○	○	○	○	○
	SCL20	出力	PIOR111 = 0 PIOR110 = 0	0/1	0	—	CCDE02 = 0	CCS0x = xxx	0	1	0	—	(TKBO11) = 0 (TKBO01) = 0 (TO03/ REMOOUT) = 0	x	○	○	○	○	○
	(TKBO11) 注2	出力	PIOR34 = 0 PIOR33 = 1	0	0	—	CCDE02 = 0	CCS0x = xxx	0	0	0	SCK20/ SCL20 = 1	(TKBO01) = 0 (TO03/ REMOOUT) = 0	x	○	○	○	○	○
	(TKBO01)	出力	PIOR32 = 0 PIOR31 = 0 PIOR30 = 1	0	0	—	CCDE02 = 0	CCS0x = xxx	0	0	0	SCK20/ SCL20 = 1	(TKBO11) = 0 (TO03/ REMOOUT) = 0	x	○	○	○	○	○
	(TI03)	入力	PIOR12 = 1 PIOR11 = 0 PIOR10 = 1	x	0	—	CCDE02 = 0	CCS0x = xxx	1	x	0	—	—	x	○	○	○	○	○
	(TO03)	出力	PIOR12 = 1 PIOR11 = 0 PIOR10 = 1	0	0	—	CCDE02 = 0	CCS0x = xxx	0	0	0	SCK20/ SCL20 = 1	(TKBO11) = 0 (TKBO01) = 0	x	○	○	○	○	○
	(REMOOUT)	出力	PIOR12 = 1 PIOR11 = 0 PIOR10 = 1	0	0	—	CCDE02 = 0	CCS0x = xxx	0	0	0	SCK20/ SCL20 = 1	(TKBO11) = 0 (TKBO01) = 0	x	○	○	○	○	○
	(INTP0)	入力	PIOR62 = 1 PIOR61 = 1 PIOR60 = 0	x	0	—	CCDE02 = 0	CCS0x = xxx	1	x	0	—	—	x	○	○	○	○	○
	SEG17	出力	—	0	0	—	CCDE02 = 0	CCS0x = xxx	0	0	1	—	—	x	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (33/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	CCDE	CCSx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力										SAU, UARTA (UARTAの クロック 出力を 除く)	SAU, UARTA以外 (UARTAの クロック 出力を 含む)						
P76	P76	入力	—	x	0	0	CCDE01 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	CCDE01 = 0	CCS0x = xxx	0	0/1	0	SDA20 = 1	TKBO00 = 0 (RTC1HZ) = 0 (EXSDO1) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	CCDE01 = 0	CCS0x = xxx	0	0/1	0	SDA20 = 1	TKBO00 = 0 (RTC1HZ) = 0 (EXSDO1) = 0	○	○	○	○	○	○
	KR6	入力	—	x	0	0	CCDE01 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	TS10	入出力	—	x	1	0	CCDE01 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	CCD01	出力	—	0/1	0	0	CCDE01 = 1	CCS0x = 001-011	0	0	0	—	TKBO00 = 0 (RTC1HZ) = 0 (EXSDO1) = 0	○	○	○	○	○	○
	TKBO00	出力	PIOR32 = 0 PIOR31 = 0 PIOR30 = 0 or PIOR32 = 0 PIOR31 = 0 PIOR30 = 1 or PIOR32 = 0 PIOR31 = 1 PIOR30 = 0	0	0	0	CCDE01 = 0	CCS0x = xxx	0	0	0	SDA20 = 1	(RTC1HZ) = 0 (EXSDO1) = 0	○	○	○	○	○	○
	SI20	入力	PIOR111 = 0 PIOR110 = 0	x	0	0	CCDE01 = 0	CCS0x = xxx	1	x	0	—	—	x	○	○	○	○	○
	SDA20	入出力	PIOR111 = 0 PIOR110 = 0	1	0	0	CCDE01 = 0	CCS0x = xxx	0	1	0	—	TKBO00 = 0 (RTC1HZ) = 0 (EXSDO1) = 0	x	○	○	○	○	○
	RxD2	入力	PIOR111 = 0 PIOR110 = 0	x	0	0	CCDE01 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	EI76	入力	—	x	0	0	CCDE01 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	EO76	出力	—	0/1	0	1	CCDE01 = 0	CCS0x = xxx	0	x	0	—	—	○	○	○	○	○	○
	(INTP2)	入力	PIOR72 = 0 PIOR71 = 1 PIOR70 = 0	x	0	0	CCDE01 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	(RTC1HZ)	出力	PIOR57 = 1 PIOR56 = 0 PIOR55 = 1	0	0	0	CCDE01 = 0	CCS0x = xxx	0	0	0	SDA20 = 1	TKBO00 = 0 (EXSDO1) = 0	○	○	○	○	○	○
	(EXSDO1)	出力	PIOR46 = 1	0	0	0	CCDE01 = 0	CCS0x = xxx	0	0	0	SDA20 = 1	TKBO00 = 0 (RTC1HZ) = 0	○	○	○	○	○	○
	SEG18	出力	—	0	0	0	CCDE01 = 0	CCS0x = xxx	0	0	1	—	—	○	○	○	○	○	○

表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 (34/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMCExx	CCDE00	CCS0x = xxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力										SAU, UARTA (UARTAの クロック 出力を 除く)	SAU, UARTA以外 (UARTAの クロック 出力を 含む)						
P77	P77	入力	—	x	0	0	CCDE00 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	CCDE00 = 0	CCS0x = xxx	0	0/1	0	SO20/TxD2 = 1	TKBO01 = 0 (TKBO21) = 0 (TO07) = 0 (EXSD00) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	CCDE00 = 0	CCS0x = xxx	0	0/1	0	SO20/TxD2 = 1	TKBO01 = 0 (TKBO21) = 0 (TO07) = 0 (EXSD00) = 0	○	○	○	○	○	○
	KR7	入力	—	x	0	0	CCDE00 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	TS09	入出力	—	x	1	0	CCDE00 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	CCD00	出力	—	0/1	0	0	CCDE00 = 1	CCS0x = 001-011	0	0	0	—	TKBO01 = 0 (TKBO21) = 0 (TO07) = 0 (EXSD00) = 0	○	○	○	○	○	○
	TKBO01	出力	PIOR32 = 0 PIOR31 = 0 PIOR30 = 0	0	0	0	CCDE00 = 0	CCS0x = xxx	0	0	0	SO20/TxD2 = 1	(TKBO21) = 0 (TO07) = 0 (EXSD00) = 0	○	○	○	○	○	○
	SO20	出力	PIOR111 = 0 PIOR110 = 0	0/1	0	0	CCDE00 = 0	CCS0x = xxx	0	1	0	—	TKBO01 = 0 (TKBO21) = 0 (TO07) = 0 (EXSD00) = 0	x	○	○	○	○	○
	TxD2	出力	PIOR111 = 0 PIOR110 = 0	0/1	0	0	CCDE00 = 0	CCS0x = xxx	0	1	0	—	TKBO01 = 0 (TKBO21) = 0 (TO07) = 0 (EXSD00) = 0	○	○	○	○	○	○
	EI77	入力	—	x	0	0	CCDE00 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	EO77	出力	—	0/1	0	1	CCDE00 = 0	CCS0x = xxx	0	x	0	—	—	○	○	○	○	○	○
	(TKBO21) 注2	出力	PIOR36 = 0 PIOR35 = 1	0	0	0	CCDE00 = 0	CCS0x = xxx	0	0	0	SO20/TxD2 = 1	TKBO01 = 0 (TO07) = 0 (EXSD00) = 0	○	○	○	○	○	○
	(TI07)	入力	PIOR23 = 1 PIOR22 = 1	x	0	0	CCDE00 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	(TO07)	出力	PIOR23 = 1 PIOR22 = 1	0	0	0	CCDE00 = 0	CCS0x = xxx	0	0	0	SO20/TxD2 = 1	TKBO01 = 0 (TKBO21) = 0 (EXSD00) = 0	○	○	○	○	○	○
	(INTP1)	入力	PIOR65 = 0 PIOR64 = 1 PIOR63 = 0	x	0	0	CCDE00 = 0	CCS0x = xxx	1	x	0	—	—	○	○	○	○	○	○
	(EXSD00)	出力	PIOR46 = 1	0	0	0	CCDE00 = 0	CCS0x = xxx	0	0	0	SO20/TxD2 = 1	TKBO01 = 0 (TKBO21) = 0 (TO07) = 0	○	○	○	○	○	○
	SEG19	出力	—	0	0	0	CCDE00 = 0	CCS0x = xxx	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (35/46)

端子 名称	使用機能		PIORx	POMxx	PMxx	Pxx	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力					SAU, UARTA (UARTAの クロック出力を除く)	SAU, UARTA以外 (UARTAの クロック出力を含む)						
P80	P80	入力	—	x	1	x	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	(SCK20/SCL20) = 1	—	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	(SCK20/SCL20) = 1	—	x	x	x	x	x	○
	(INTP2)	入力	PIOR72 = 1 PIOR71 = 1 PIOR70 = 0	x	1	x	—	—	x	x	x	x	x	○
	(SCK20)	入力	PIOR111 = 0 PIOR110 = 1	x	1	x	—	—	x	x	x	x	x	○
	(SCK20)	出力	PIOR111 = 0 PIOR110 = 1	0/1	0	1	—	—	x	x	x	x	x	○
	(SCL20)	出力	PIOR111 = 0 PIOR110 = 1	0/1	0	1	—	—	x	x	x	x	x	○
P81	P81	入力	—	x	1	x	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	(SDA10) = 1	—	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	(SDA10) = 1	—	x	x	x	x	x	○
	(RxD1)	入力	PIOR105 = 1 PIOR104 = 0	x	1	x	—	—	x	x	x	x	x	○
	(SI10)	入力	PIOR105 = 1 PIOR104 = 0	x	1	x	—	—	x	x	x	x	x	○
	(SDA10)	入出力	PIOR105 = 1 PIOR104 = 0	1	0	1	—	—	x	x	x	x	x	○
P82	P82	入力	—	x	1	x	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	(SCK10/SCL10) = 1	(PCLBUZ0) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	(SCK10/SCL10) = 1	(PCLBUZ0) = 0	x	x	x	x	x	○
	(SCK10)	入力	PIOR105 = 1 PIOR104 = 0	x	1	x	—	—	x	x	x	x	x	○
	(SCK10)	出力	PIOR105 = 1 PIOR104 = 0	0/1	0	1	—	(PCLBUZ0) = 0	x	x	x	x	x	○
	(SCL10)	出力	PIOR105 = 1 PIOR104 = 0	0/1	0	1	—	(PCLBUZ0) = 0	x	x	x	x	x	○
	(PCLBUZ0)	出力	PIOR52 = 1 PIOR51 = 1 PIOR50 = 0	0	0	0	(SCK10/SCL10) = 1	—	x	x	x	x	x	○
P83	P83	入力	—	x	1	x	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	—	(SDAA1) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	—	(SDAA1) = 0	x	x	x	x	x	○
	(INTP1)	入力	PIOR65 = 0 PIOR64 = 1 PIOR63 = 1	x	1	x	—	—	x	x	x	x	x	○
	(RxDA0)	入力	PIOR131 = 0 PIOR130 = 1	x	1	x	—	—	x	x	x	x	x	○
	(SDAA1)	入出力	PIOR123 = 1 PIOR122 = 1	1	0	0	—	—	x	x	x	x	x	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (36/46)

端子 名称	使用機能		PIORx	POMxx	PMxx	Px	PFSEGx(PFCOMx, PFSEGz)または ISCLCD(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を除く)	SAU, UARTA以外 (UARTAの クロック出力を含む)						
P84	P84	入力	—	x	1	x	—	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	—	(TxDA0) = 1	(SCLA1) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	—	(TxDA0) = 1	(SCLA1) = 0	x	x	x	x	x	○
	(INTP0)	入力	PIOR62 = 1 PIOR61 = 0 PIOR60 = 1	x	1	x	—	—	—	x	x	x	x	x	○
	(TxDA0)	出力	PIOR131 = 0 PIOR130 = 1	0/1	0	1	—	—	(SCLA1) = 0	x	x	x	x	x	○
	(SCLA1)	入出力	PIOR123 = 1 PIOR122 = 1	1	0	0	—	(TxDA0) = 1	—	x	x	x	x	x	○
P85	P85	入力	—	x	1	x	1	—	—	○	○	○	○	○	○
		出力	—	0	0	0/1	1	(SCK10/SCL10) = 1 (SCK30/SCL30) = 1	(VCOUT0) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0/1	1	(SCK10/SCL10) = 1 (SCK30/SCL30) = 1	(VCOUT0) = 0	○	○	○	○	○	○
	(VCOUT0)	出力	PIOR54 = 1 PIOR53 = 1	0	0	0	1	(SCK10/SCL10) = 1 (SCK30/SCL30) = 1	—	○	○	○	○	○	○
	(INTP4)	入力	PIOR82 = 1 PIOR81 = 0 PIOR80 = 0	x	1	x	1	—	—	○	○	○	○	○	○
	(SCK10)	入力	PIOR105 = 1 PIOR104 = 1	x	1	x	1	—	—	○	○	○	○	○	○
	(SCK10)	出力	PIOR105 = 1 PIOR104 = 1	0/1	0	1	1	(SCK30/SCL30) = 1	(VCOUT0) = 0	○	○	○	○	○	○
	(SCL10)	出力	PIOR105 = 1 PIOR104 = 1	0/1	0	1	1	(SCK30/SCL30) = 1	(VCOUT0) = 0	○	○	○	○	○	○
	(SCK30)	入力	PIOR115 = 0 PIOR114 = 1	x	1	x	1	—	—	x	x	x	x	○	○
	(SCK30)	出力	PIOR115 = 0 PIOR114 = 1	0/1	0	1	1	(SCK10/SCL10) = 1	(VCOUT0) = 0	x	x	x	x	○	○
	(SCL30)	出力	PIOR115 = 0 PIOR114 = 1	0/1	0	1	1	(SCK10/SCL10) = 1	(VCOUT0) = 0	○	○	○	○	○	○
	VL4	—	—	x	1	x	0	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (37/46)

端子 名称	使用機能		PIORx	POMxx	PMxx	Pxx	PFSEGx(PFCOMx, PFSEGz)または ISCLCD(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を除く)	SAU, UARTA以外 (UARTAの クロック出力を含む)						
P86	P86	入力	—	×	1	×	1	—	—	○	○	○	○	○	○
		出力	—	0	0	0/1	1	(SDA10) = 1	(TO06) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0/1	1	(SDA10) = 1	(TO06) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	(TI06)	入力	PIOR21 = 0 PIOR20 = 1	×	1	×	1	—	—	○	○	○	○	○	○
	(TO06)	出力	PIOR21 = 0 PIOR20 = 1	0	0	0	1	(SDA10) = 1	(PCLBUZ1) = 0	○	○	○	○	○	○
	(INTP3)	入力	PIOR75 = 1 PIOR74 = 0 PIOR73 = 0	×	1	×	1	—	—	○	○	○	○	○	○
	(RxD1)	入力	PIOR105 = 1 PIOR104 = 1	×	1	×	1	—	—	○	○	○	○	○	○
	(SI10)	入力	PIOR105 = 1 PIOR104 = 1	×	1	×	1	—	—	○	○	○	○	○	○
	(SDA10)	入出力	PIOR105 = 1 PIOR104 = 1	1	0	1	1	—	(TO06) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	(PCLBUZ1)	出力	PIOR52 = 1 PIOR51 = 0 PIOR50 = 0	0	0	0	1	(SDA10) = 1	(TO06) = 0	○	○	○	○	○	○
P87	VL2	—	—	×	1	×	0	—	—	○	○	○	○	○	○
	P87	入力	—	×	1	×	1	—	—	○	○	○	○	○	○
		出力	—	0	0	0/1	1	(TxD1/SO10) = 1	—	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0/1	1	(TxD1/SO10) = 1	—	○	○	○	○	○	○
	(TxD1)	出力	PIOR105 = 1 PIOR104 = 1	0/1	0	1	1	—	—	○	○	○	○	○	○
	(SO10)	出力	PIOR105 = 1 PIOR104 = 1	0/1	0	1	1	—	—	○	○	○	○	○	○
	VL1	—	—	×	1	×	0	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (38/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P90	P90	入力	—	—	0	1	×	0	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	0	—	(TO00) = 0	○	○	○	○	○	○
	TS31	入出力	—	—	1	1	×	0	—	—	○	○	○	○	○	○
	(TI00)	入力	PIOR01 = 1 PIOR00 = 1	—	0	1	×	0	—	—	○	○	○	○	○	○
	(TO00)	出力	PIOR01 = 1 PIOR00 = 1	—	0	0	0	0	—	—	○	○	○	○	○	○
	(INTP1)	入力	PIOR65 = 1 PIOR64 = 0 PIOR63 = 0	—	0	1	×	0	—	—	○	○	○	○	○	○
	COM0	出力	—	—	0	0	0	1	—	—	○	○	○	○	○	○
P91	P91	入力	—	—	0	1	×	0	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	0	—	—	○	○	○	○	○	○
	TS30	入出力	—	—	1	1	×	0	—	—	○	○	○	○	○	○
	(INTP2)	入力	PIOR72 = 0 PIOR71 = 1 PIOR70 = 1	—	0	1	×	0	—	—	○	○	○	○	○	○
	COM1	出力	—	—	0	0	0	1	—	—	○	○	○	○	○	○
P92	P92	入力	—	—	0	1	×	0	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	0	—	(TO01) = 0	○	○	○	○	○	○
	TS29	入出力	—	—	1	1	×	0	—	—	○	○	○	○	○	○
	(TI01)	入力	PIOR04 = 1 PIOR03 = 0 PIOR02 = 1	—	0	1	×	0	—	—	○	○	○	○	○	○
	(TO01)	出力	PIOR04 = 1 PIOR03 = 0 PIOR02 = 1	—	0	0	0	0	—	—	○	○	○	○	○	○
	COM2	出力	—	—	0	0	0	1	—	—	○	○	○	○	○	○
P93	P93	入力	—	×	0	1	×	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	(SCK01/SCL01) = 1	—	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	(SCK01/SCL01) = 1	—	○	○	○	○	○	○
	TS28	入出力	—	×	1	1	×	0	—	—	○	○	○	○	○	○
	(INTP3)	入力	PIOR75 = 1 PIOR74 = 1 PIOR73 = 0	×	0	1	×	0	—	—	○	○	○	○	○	○
	(SCK01)	入力	PIOR103 = 1 PIOR102 = 0	×	0	1	×	0	—	—	○	○	○	○	○	○
	(SCK01)	出力	PIOR103 = 1 PIOR102 = 0	0/1	0	0	1	0	—	—	○	○	○	○	○	○
	(SCL01)	出力	PIOR103 = 1 PIOR102 = 0	0/1	0	0	1	0	—	—	○	○	○	○	○	○
	COM3	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (39/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)注1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P94	P94	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	(SDA01) = 1	(TO06) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	(SDA01) = 1	(TO06) = 0	○	○	○	○	○	○
	TS27	入出力	—	x	1	1	x	0	—	—	○	○	○	○	○	○
	(INTP2)	入力	PIOR72 = 1 PIOR71 = 0 PIOR70 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SI01)	入力	PIOR103 = 1 PIOR102 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SDA01)	入出力	PIOR103 = 1 PIOR102 = 0	1	0	0	1	0	—	(TO06) = 0	○	○	○	○	○	○
	(TI06)	入力	PIOR21 = 1 PIOR20 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(TO06)	出力	PIOR21 = 1 PIOR20 = 1	0	0	0	0	0	(SDA01) = 1	—	○	○	○	○	○	○
	COM4	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○
	SEG0	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○
P95	P95	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	(SO01) = 1	(TO02) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	(SO01) = 1	(TO02) = 0	○	○	○	○	○	○
	TS26	入出力	—	x	1	1	x	0	—	—	○	○	○	○	○	○
	(TI02)	入力	PIOR06 = 1 PIOR05 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(TO02)	出力	PIOR06 = 1 PIOR05 = 1	0	0	0	0	0	(SO01) = 1	—	○	○	○	○	○	○
	(INTP1)	入力	PIOR65 = 1 PIOR64 = 0 PIOR63 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SO01)	出力	PIOR103 = 1 PIOR102 = 0 or PIOR103 = 1 PIOR102 = 1	0/1	0	0	1	0	—	(TO02) = 0	○	○	○	○	○	○
	COM5	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○
	SEG1	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (40/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)は1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P96	P96	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	(SDA01) = 1	(SDAA1) = 0 (PCLBUZ0) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	(SDA01) = 1	(SDAA1) = 0 (PCLBUZ0) = 0	○	○	○	○	○	○
	TS25	入出力	—	x	1	1	x	0	—	—	○	○	○	○	○	○
	(INTP5)	入力	PIOR85 = 1 PIOR84 = 0 PIOR83 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SI01)	入力	PIOR103 = 1 PIOR102 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SDA01)	入出力	PIOR103 = 1 PIOR102 = 1	1	0	0	1	0	—	(SDAA1) = 0 (PCLBUZ0) = 0	○	○	○	○	○	○
	(SDAA1)	入出力	PIOR123 = 1 PIOR122 = 0	1	0	0	0	0	(SDA01) = 1	(PCLBUZ0) = 0	○	○	○	○	○	○
	(PCLBUZ0)	出力	PIOR52 = 1 PIOR51 = 1 PIOR50 = 1	0	0	0	0	0	(SDA01) = 1	(SDAA1) = 0	○	○	○	○	○	○
	COM6	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○
	SEG2	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○
P97	P97	入力	—	x	0	1	x	0	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	0	(SCK01/SCL01) = 1	(TO05) = 0 (SCLA1) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	0	(SCK01/SCL01) = 1	(TO05) = 0 (SCLA1) = 0	○	○	○	○	○	○
	TS24	入出力	—	x	1	1	x	0	—	—	○	○	○	○	○	○
	(TI05)	入力	PIOR17 = 1 PIOR16 = 0 PIOR15 = 0	x	0	1	x	0	—	—	○	○	○	○	○	○
	(TO05)	出力	PIOR17 = 1 PIOR16 = 0 PIOR15 = 0	0	0	0	0	0	(SCK01/SCL01) = 1	(SCLA1) = 0	○	○	○	○	○	○
	(SCK01)	入力	PIOR103 = 1 PIOR102 = 1	x	0	1	x	0	—	—	○	○	○	○	○	○
	(SCK01)	出力	PIOR103 = 1 PIOR102 = 1	0/1	0	0	1	0	—	(TO05) = 0 (SCLA1) = 0	○	○	○	○	○	○
	(SCL01)	出力	PIOR103 = 1 PIOR102 = 1	0/1	0	0	1	0	—	(TO05) = 0 (SCLA1) = 0	○	○	○	○	○	○
	(SCLA1)	入出力	PIOR123 = 1 PIOR122 = 0	1	0	0	0	0	(SCK01/SCL01) = 1	(TO05) = 0	○	○	○	○	○	○
	COM7	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○
	SEG3	出力	—	0	0	0	0	1	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (41/46)

端子 名称	使用機能		CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	PMxx	Pxx	44	48	52	64	80	100
	機能名称	入出力				ピン	ピン	ピン	ピン	ピン	ピン
P121	P121	入力	00 xx / 10 xx / 11 xx	1	×	○	○	○	○	○	○
		出力	00 xx / 10 xx / 11 xx	0	0/1	○	○	○	○	○	○
	X1	—	01 xx	1	×	○	○	○	○	○	○
	VBAT0	—	01 xx	1	×	○	○	○	○	○	○
	EI121	入力	00 xx / 10 xx / 11 xx	1	×	○	○	○	○	○	○
P122	P122	入力	00 xx / 10 xx	1	×	○	○	○	○	○	○
		出力	00 xx / 10 xx	0	0/1	○	○	○	○	○	○
	X2	—	01 xx	1	×	○	○	○	○	○	○
	EXCLK	入力	11 xx	1	×	○	○	○	○	○	○
	EI122	入力	00 xx / 10 xx	1	×	○	○	○	○	○	○
P123	P123	入力	xx 00 / xx 10 / xx 11	—	×	○	○	○	○	○	○
	XT1	—	xx 01	—	×	○	○	○	○	○	○
P124	P124	入力	xx 00 / xx 10	—	×	○	○	○	○	○	○
	XT2	—	xx 01	—	×	○	○	○	○	○	○
	EXCLKS	入力	xx 11	—	×	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (42/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCDI(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P125	P125	入力	—	×	0	1	×	1	—	—	○	○	○	○	○	○
		出力	—	0	0	0	0/1	1	(SDA30) = 1	(TO06) = 0 (VCOUT1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
		N-chOD 出力	—	1	0	0	0/1	1	(SDA30) = 1	(TO06) = 0 (VCOUT1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	TS02	入出力	—	×	1	1	×	1	—	—	○	○	○	○	○	○
	(TI06)	入力	PIOR21 = 1 PIOR20 = 0	×	0	1	×	1	—	—	○	○	○	○	○	○
	(TO06)	出力	PIOR21 = 1 PIOR20 = 0	0	0	0	0	1	(SDA30) = 1	(VCOUT1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	(VCOUT1)	出力	PIOR54 = 1 PIOR53 = 1	0	0	0	0	1	(SDA30) = 1	(TO06) = 0 (PCLBUZ1) = 0	×	×	○	○	○	○
	(INTP7)	入力	PIOR95 = 1 PIOR94 = 0 PIOR93 = 1	×	0	1	×	1	—	—	○	○	○	○	○	○
	(RxD3)	入力	PIOR115 = 0 PIOR114 = 1	×	0	1	×	1	—	—	×	×	×	×	○	○
	(SI30)	入力	PIOR115 = 0 PIOR114 = 1	×	0	1	×	1	—	—	×	×	×	×	○	○
	(SDA30)	入出力	PIOR115 = 0 PIOR114 = 1	1	0	0	1	1	—	(TO06) = 0 (VCOUT1) = 0 (PCLBUZ1) = 0	○	○	○	○	○	○
	(PCLBUZ1)	出力	PIOR52 = 1 PIOR51 = 0 PIOR50 = 1	0	0	0	0	1	(SDA30) = 1	(TO06) = 0 (VCOUT1) = 0	○	○	○	○	○	○
	VL3	—	—	×	0	1	×	0	—	—	○	○	○	○	○	○
P126	P126	入力	—	—	0	1	×	1	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	1	—	(TO04) = 0	○	○	○	○	○	○
	TS01	入出力	—	—	1	1	×	1	—	—	○	○	○	○	○	○
	(TI04)	入力	PIOR14 = 1 PIOR13 = 1	—	0	1	×	1	—	—	○	○	○	○	○	○
	(TO04)	出力	PIOR14 = 1 PIOR13 = 1	—	0	0	0	1	—	—	○	○	○	○	○	○
	(INTP4)	入力	PIOR82 = 1 PIOR81 = 1 PIOR80 = 0	—	0	1	×	1	—	—	○	○	○	○	○	○
	CAPL	—	—	—	0	1	×	0	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (43/46)

端子 名称	使用機能		PIORx	POMxx	PMCTxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(ISCVLx, ISCCAP) ^{注1}	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力							SAU, UARTA (UARTAの クロック出力を 除く)	SAU, UARTA以外 (UARTAの クロック出力を 含む)						
P127	P127	入力	—	—	0	1	×	1	—	—	○	○	○	○	○	○
		出力	—	—	0	0	0/1	1	—	(TO03/REMOOUT) = 0	○	○	○	○	○	○
	TS00	入出力	—	—	1	1	×	1	—	—	○	○	○	○	○	○
	(TI03)	入力	PIOR12 = 1 PIOR11 = 1 PIOR10 = 0	—	0	1	×	1	—	—	○	○	○	○	○	○
	(TO03)	出力	PIOR12 = 1 PIOR11 = 1 PIOR10 = 0	—	0	0	0	1	—	—	○	○	○	○	○	○
	(REMOOUT)	出力	PIOR12 = 1 PIOR11 = 1 PIOR10 = 0	—	0	0	0	1	—	—	○	○	○	○	○	○
	CAPH	—	—	—	0	1	×	0	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (44/46)

端子 名称	使用機能		PIORx	POMxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLCD(ISCVLx, ISCCAP) ^{注1}	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を除く)	SAU, UARTA以外 (UARTAの クロック出力を含む)						
P130	P130	出力	—	0	—	0/1	0	(TxDA0) = 1 (SO21) = 1 (SO01) = 1	TRJO1 = 0	×	×	×	×	○	○
		N-chOD 出力	—	1	—	0/1	0	(TxDA0) = 1 (SO21) = 1 (SO01) = 1	TRJO1 = 0	×	×	×	×	○	○
	TRJO1 ^{注2}	出力	PIOR41 = 0	0	—	0	0	(TxDA0) = 1 (SO21) = 1 (SO01) = 1	—	×	×	×	×	○	○
	(TxDA0)	出力	PIOR131 = 1 PIOR130 = 0	0/1	—	1	0	(SO21) = 1 (SO01) = 1	TRJO1 = 0	×	×	×	×	○	○
	(SO21)	出力	PIOR113 = 0 PIOR112 = 1	0/1	—	1	0	(TxDA0) = 1 (SO01) = 1	TRJO1 = 0	×	×	×	×	○	○
	(SO01)	出力	PIOR103 = 0 PIOR102 = 1	0/1	—	1	0	(TxDA0) = 1 (SO21) = 1	TRJO1 = 0	×	×	×	×	○	○
	SEG28	出力	—	0	—	0	1	—	—	×	×	×	×	○	○
P137	P137	入力	—	—	—	×	—	—	—	○	○	○	○	○	○
	INTP0	入力	PIOR62 = 0 PIOR61 = 0 PIOR60 = 0	—	—	×	—	—	—	○	○	○	○	○	○
	EI137	入力	—	—	—	×	—	—	—	○	○	○	○	○	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (45/46)

端子 名称	使用機能		PIORx	POMxx	PMxx	Px	PFSEGx(PFCOMx, PFSEGz)または ISCLCD(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を除く)	SAU, UARTA以外 (UARTAの クロック出力を含む)						
P140	P140	入力	—	x	1	x	—	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	—	SCK31/SCL31 = 1	—	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	—	SCK31/SCL31 = 1	—	x	x	x	x	x	○
	SCK31	入力	PIOR117 = 0 PIOR116 = 0	x	1	x	—	—	—	x	x	x	x	x	○
	SCK31	出力	PIOR117 = 0 PIOR116 = 0	0/1	0	1	—	—	—	x	x	x	x	x	○
	SCL31	出力	PIOR117 = 0 PIOR116 = 0	0/1	0	1	—	—	—	x	x	x	x	x	○
P141	P141	入力	—	—	1	x	0	—	—	x	x	x	x	x	○
		出力	—	—	0	0/1	0	—	—	x	x	x	x	x	○
	(INTP6)	入力	PIOR92 = 1 PIOR91 = 0 PIOR90 = 1	—	1	x	0	—	—	x	x	x	x	x	○
	(RxD A3)※2	入力	PIOR137 = 1 PIOR136 = 0	—	1	x	0	—	—	x	x	x	x	x	○
	SEG51	出力	—	—	0	0	1	—	—	x	x	x	x	x	○
P142	P142	入力	—	—	1	x	0	—	—	x	x	x	x	x	○
		出力	—	—	0	0/1	0	—	—	x	x	x	x	x	○
	(INTP7)	入力	PIOR95 = 1 PIOR94 = 1 PIOR93 = 0	—	1	x	0	—	—	x	x	x	x	x	○
	(RxD A2)※2	入力	PIOR135 = 1 PIOR134 = 0	—	1	x	0	—	—	x	x	x	x	x	○
	SEG52	出力	—	—	0	0	1	—	—	x	x	x	x	x	○
P143	P143	入力	—	x	1	x	0	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	0	(TxDA2) = 1	—	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	0	(TxDA2) = 1	—	x	x	x	x	x	○
	(INTP5)	入力	PIOR85 = 1 PIOR84 = 1 PIOR83 = 0	x	1	x	0	—	—	x	x	x	x	x	○
	(TxDA2)※2	出力	PIOR135 = 1 PIOR134 = 0	0/1	0	1	0	—	—	x	x	x	x	x	○
	SEG53	出力	—	0	0	0	1	—	—	x	x	x	x	x	○
P144	P144	入力	—	x	1	x	0	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	0	—	(SCLA0) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	0	—	(SCLA0) = 0	x	x	x	x	x	○
	(INTP4)	入力	PIOR82 = 1 PIOR81 = 0 PIOR80 = 1	x	1	x	0	—	—	x	x	x	x	x	○
	(RxD A1)	入力	PIOR133 = 1 PIOR132 = 0	x	1	x	0	—	—	x	x	x	x	x	○
	(SCLA0)	入出力	PIOR121 = 1 PIOR120 = 0	1	0	0	0	—	—	x	x	x	x	x	○
	SEG54	出力	—	0	0	0	1	—	—	x	x	x	x	x	○

表4 - 6 端子機能使用時のレジスタ、出力ラッチの設定例 (46/46)

端子 名称	使用機能		PIORx	POMxx	PMxx	Pxx	PFSEGx(PFCOMy, PFSEGz)または ISCLDx(SCVLx, ISCCAP)※1	兼用機能出力		44 ピン	48 ピン	52 ピン	64 ピン	80 ピン	100 ピン
	機能名称	入出力						SAU, UARTA (UARTAの クロック出力を除く)	SAU, UARTA以外 (UARTAの クロック出力を含む)						
P145	P145	入力	—	x	1	x	0	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	0	(TxDA1) = 1	(SDAA0) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	0	(TxDA1) = 1	(SDAA0) = 0	x	x	x	x	x	○
	(INTP3)	入力	PIOR75 = 1 PIOR74 = 0 PIOR73 = 1	x	1	x	0	—	—	x	x	x	x	x	○
	(TxDA1)	出力	PIOR133 = 1 PIOR132 = 0	0/1	0	1	0	—	(SDAA0) = 0	x	x	x	x	x	○
	(SDAA0)	入出力	PIOR121 = 1 PIOR120 = 0	1	0	0	0	(TxDA1) = 1	—	x	x	x	x	x	○
	SEG55	出力	—	0	0	0	1	—	—	x	x	x	x	x	○
P146	P146	入力	—	x	1	x	—	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	—	(TxD2/SO20) = 1 (SO31) = 1	(VCOUT1) = 0	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	—	(TxD2/SO20) = 1 (SO31) = 1	(VCOUT1) = 0	x	x	x	x	x	○
	(VCOUT1)	出力	PIOR54 = 1 PIOR53 = 0	0	0	0	—	(TxD2/SO20) = 1 (SO31) = 1	—	x	x	x	x	x	○
	(TxD2)	出力	PIOR111 = 0 PIOR110 = 1	0/1	0	1	—	(SO31) = 1	(VCOUT1) = 0	x	x	x	x	x	○
	(SO20)	出力	PIOR111 = 0 PIOR110 = 1	0/1	0	1	—	(SO31) = 1	(VCOUT1) = 0	x	x	x	x	x	○
	(SO31)	出力	PIOR117 = 0 PIOR116 = 1	0/1	0	1	—	(TxD2/SO20) = 1	(VCOUT1) = 0	x	x	x	x	x	○
	(RxDx2)※2	入力	PIOR135 = 0 PIOR134 = 1	x	1	x	—	—	—	x	x	x	x	x	○
	(INTP7)	入力	PIOR95 = 1 PIOR94 = 1 PIOR93 = 1	x	1	x	—	—	—	x	x	x	x	x	○
P147	P147	入力	—	x	1	x	—	—	—	x	x	x	x	x	○
		出力	—	0	0	0/1	—	(TxDA3) = 1 (SDA20) = 1	—	x	x	x	x	x	○
		N-chOD 出力	—	1	0	0/1	—	(TxDA3) = 1 (SDA20) = 1	—	x	x	x	x	x	○
	(INTP2)	入力	PIOR72 = 1 PIOR71 = 0 PIOR70 = 1	x	1	x	—	—	—	x	x	x	x	x	○
	(TxDA3)※2	出力	PIOR137 = 1 PIOR136 = 0	0/1	0	1	—	(SDA20) = 1	—	x	x	x	x	x	○
	(RxD2)	入力	PIOR111 = 0 PIOR110 = 1	x	1	x	—	—	—	x	x	x	x	x	○
	(SI20)	入力	PIOR111 = 0 PIOR110 = 1	x	1	x	—	—	—	x	x	x	x	x	○
	(SDA20)	入出力	PIOR111 = 0 PIOR110 = 1	1	0	1	—	(TxDA3) = 1	—	x	x	x	x	x	○

注1. PESEGzはP00-07, P10-17, P22-27, P30-35, P46, P47, P50-57, P70-77, P94-97, P130, P141-145、PFCOMyはP90-P93、ISCLVxはP85-P87, P125、ISCCAPはP126, P127の設定に対応するビットです。

注2. フラッシュ・メモリ 64-128 KBかつ44～64ピンの製品は除く

注3. 80ピン以下の製品は除く

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ（Pxx）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

（例）P10は出力ポート、P11-P17は入力ポート（端子状態はすべてハイ・レベル）で、かつポート1の出力ラッチの値が00Hのとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出力ラッチの値は、FFHになります。

説明：PMmn = 1であるポートのPxxレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は本製品内部で、次の順序で行われます。

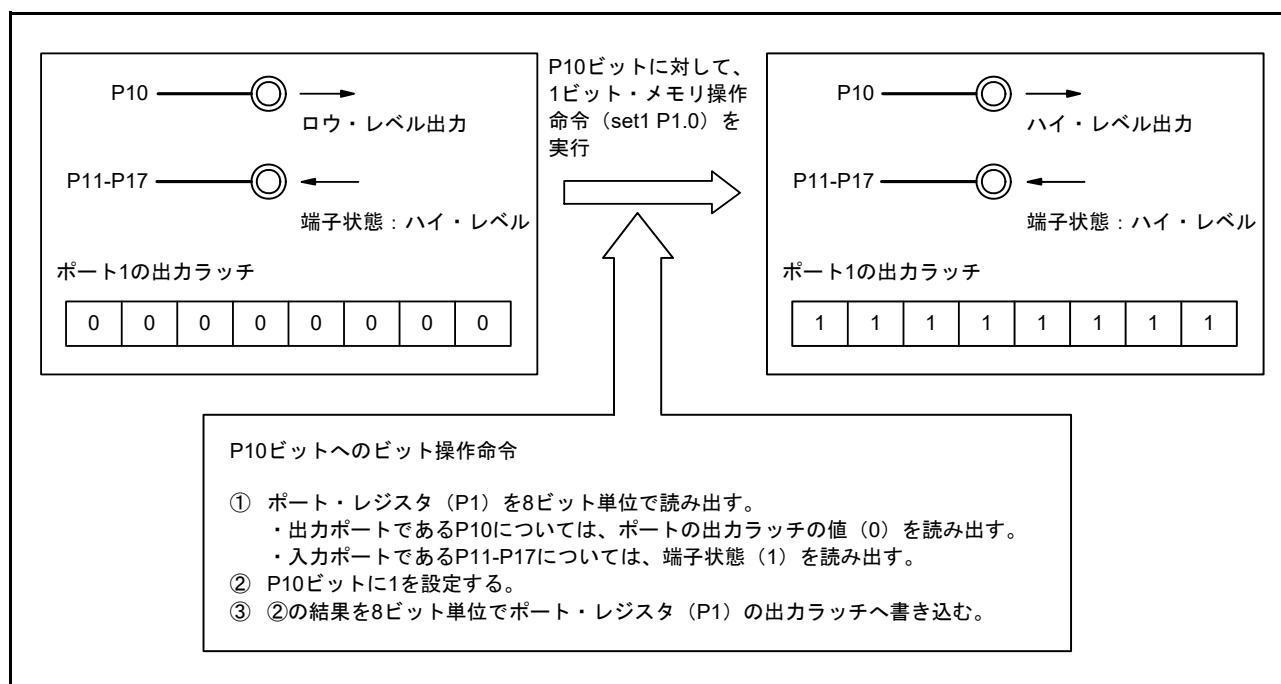
- ① Pxxレジスタを8ビット単位で読み出し
- ② 対象の1ビットを操作
- ③ Pxxレジスタへ8ビット単位で書き込み

①のとき、出力ポートであるP10は出力ラッチの値（0）を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値はFEHとなります。

②の操作で、値はFFHとなります。

③の操作で、出力ラッチにFFHが書き込まれます。

図4-19 1ビット・メモリ操作命令（P10の場合）



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺 I/O リダイレクション・レジスタ（PIORx）の設定により、割り当てられた機能も同様です。兼用出力については、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では、兼用機能の出力が無効（バッファ出力が Hi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 オペレーション・ステート・コントロール

内部回路の動作電圧、動作タイミング、動作電流は、フラッシュ動作モードによって最適化されます。マイコンの動作電圧範囲やクロック周波数にあわせて、適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後、レジスタの設定によりフラッシュ動作モードを変更できます。

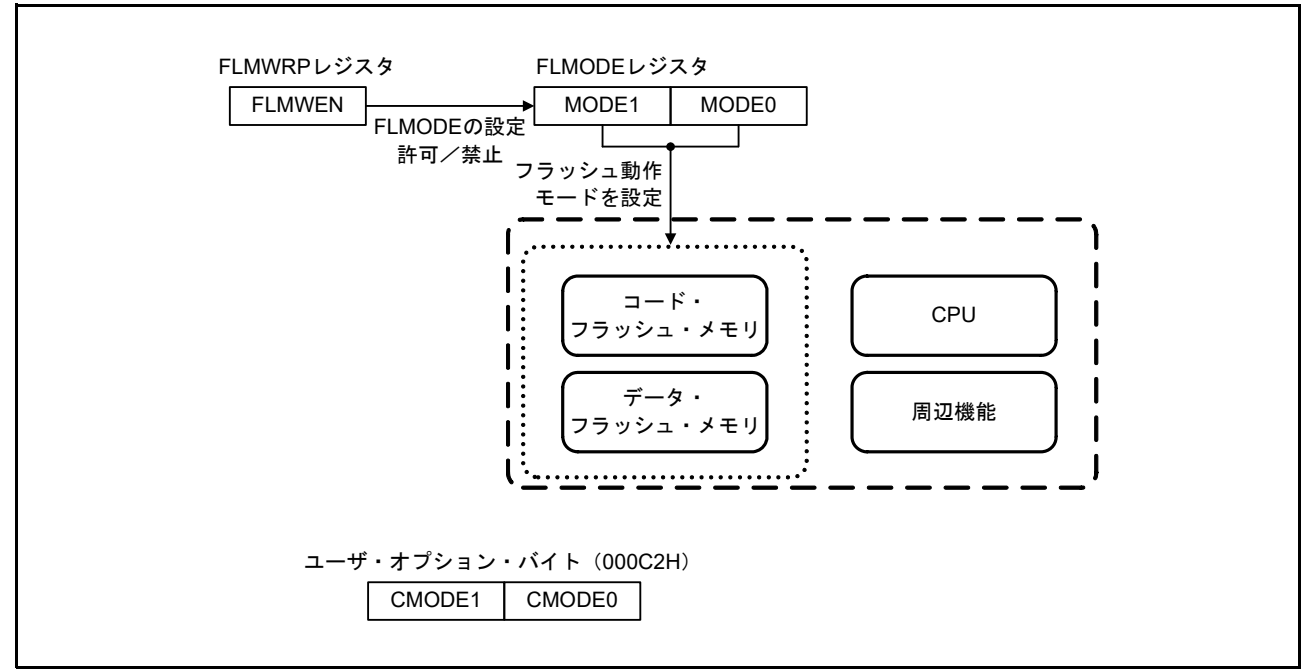
5.1 オペレーション・ステート・コントロールの構成

オペレーション・ステート・コントロールは、次のハードウェアで構成されています。

表5 - 1 オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	・ ユーザ・オプション・バイト アドレス：000C2H
制御レジスタ	・ フラッシュ動作モード選択レジスタ（FLMODE） ・ フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

図5 - 1 オペレーション・ステート・コントロールの概略図



フラッシュ動作モードは、以下の4つのモードがあります。

- HS（高速メイン）モード
- LS（低速メイン）モード
- LP（低電力メイン）モード
- SUBモード

マイコンの動作環境にあわせてこれらのフラッシュ動作モードを設定することにより、効率よくマイコンを動作させることができます。表5-2に各フラッシュ動作モードの特長を示します。

表5-2 各フラッシュ動作モードの特長

フラッシュ動作モード	推奨動作範囲		説明
HS（高速メイン）モード ^{注1}	1.6～1.8 V	1～4 MHz (フラッシュ書き換え不可)	CPUの高速動作（32 MHz (Max.)) が可能なモードです。CPUの処理能力が必要な場合に最適です。
	1.6～1.8 V	1～2 MHz	
	1.8～5.5 V	1～32 MHz	
LS（低速メイン）モード ^{注1}	1.6～1.8 V	1～4 MHz (フラッシュ書き換え不可)	動作電流とCPUの演算処理（24 MHz (Max.)) のバランスのとれたモードです。
	1.6～1.8 V	1～2 MHz	
	1.8～5.5 V	1～24 MHz	
LP（低電力メイン）モード ^{注2,3}	1.6～5.5 V	1～2 MHz (フラッシュ書き換え不可)	1～2 MHzで動作するモードです。 1～2 MHzで低動作電流を実現します。
SUBモード ^{注2}	1.6～5.5 V	32.768 kHz (フラッシュ書き換え不可)	サブシステム・クロック ^{注4} で動作するモードです。 サブシステム・クロックで動作することにより、低動作電流を実現します。

注1. バンク・プログラミング・モード時に、フラッシュ書き換えを行うときは、VDD = 2.2～5.5 Vにして実行してください。

注2. バンク・プログラミング・モード（FLMODE.BANKPGEN = 1）の設定は禁止です。

注3. LPモードでは、CPU/周辺ハードウェアクロック（fCLK）に、メイン・オンチップ・オシレータ・クロック（fIHまたはfIM）のみが選択可能です。

注4. サブシステム・クロックX（fsx）または低速オンチップ・オシレータ・クロック（fIL）で動作可能

5.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ (FLMODE)
- フラッシュ動作モード・プロテクト・レジスタ (FLMWRP)

5.2.1 フラッシュ動作モード選択レジスタ (FLMODE)

FLMODE レジスタは、フラッシュ動作モードを制御する 8 ビットのレジスタです。

FLMODE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) の FLMWEN ビットが 0 のとき、値を変更することはできません。

リセット発生により、MODE1, MODE0 ビットはユーザ・オプション・バイトの CMODE1, CMODE0 ビット（アドレス：000C2H）に設定した値が反映されます。

図 5-2 フラッシュ動作モード選択レジスタ (FLMODE) のフォーマット

アドレス : F00AAH

リセット時: 40H/80H/C0H^{注1}

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	<1>	0
FLMODE	MODE1	MODE0	0	0	0	0	BANKPGEN	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	設定禁止
0	1	LP（低電力メイン）モード ^{注2} (LSモードでメイン・オンチップ・オシレータ・クロック (f _{IH} またはf _{IM}) の 1 MHzまたは2 MHzのときに選択可能です。)
1	0	LS（低速メイン）モード (HSモードで 1 MHz ≤ f _{CLK} ≤ 24 MHz、またはLPモードのときに選択可能です。)
1	1	HS（高速メイン）モード (LSモードのときに選択可能です。)

注1. FLMODE レジスタの初期値は、MODE1, MODE0 ビットにユーザ・オプション・バイトの CMODE1, CMODE0 ビット（アドレス：000C2H）の設定値が反映された値になります。

注2. LPモードでは、CPU/周辺ハードウェア・クロック (f_{CLK}) に、メイン・オンチップ・オシレータ・クロック (f_{IH}またはf_{IM}) のみが選択可能です。

注意1. FLMODE レジスタは、フラッシュ動作モード・プロテクト・レジスタ (FLMWRP) の FLMWEN ビットが1のとき、値を変更できます。また、FLMODE レジスタの値を変更したあとは FLMWEN ビットに0を設定してください。

注意2. システム・クロック制御レジスタ (CKC) の CSS ビットが1 (CPU/周辺機能がサブシステム・クロック動作) のとき、フラッシュ動作モードは MODE1, MODE0 ビットの設定値によらず、SUBモードになります。

注意3. MODE1, MODE0 ビットの値を DTC および SMS で変更しないでください。

注意4. フラッシュ動作モードを変更する場合、変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認したあと、フラッシュ動作モードを変更してください。

(注意は次ページに続きます)

注意5. MODE1, MODE0ビットでフラッシュ動作モードを変更した場合、フラッシュ動作モードが遷移するまで下記の時間CPUはウェイト状態になります。このウェイト期間中の割り込み要求は保留されます。

フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS（低速メイン）モード⇒HS（高速メイン）モード	225クロック注
LP（低電力メイン）モード⇒LS（低速メイン）モード	10クロック注
LS（低速メイン）モード⇒LP（低電力メイン）モード	10クロック注
HS（高速メイン）モード⇒LS（低速メイン）モード	30クロック注

注 CPU／周辺ハードウェア・クロック（fCLK）のクロック数

注意6. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後、CPU／周辺ハードウェア・クロック（fCLK）で1クロック以上間を空けてから行ってください。FLMODEレジスタへの連続書き込みはしないでください。

注意7. フラッシュ・メモリの書き換え中にFLMODEレジスタは変更しないでください。

注意8. FLMODEレジスタの書き換えはSMS停止状態（SMSSTARTビットが0、またはSMSSTATビットが0かつSMSTRGWAITビットが1）のときに行ってください。

注意9. フラッシュ動作モードを変更する場合、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLENビットを1にセットし、データ・フラッシュのアクセス許可の状態で行ってください。

注意10. セルフ・プログラミングでコード・フラッシュ・メモリ領域を書き換える場合とデータ・フラッシュ・メモリ領域を書き換える場合は、必ずHS（高速メイン）モードまたはLS（低速メイン）モードに切り替えたあとに行ってください。

5.2.2 フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

FLMWRP レジスタは、フラッシュ動作モード選択レジスタへのアクセスを制御する 8 ビットのレジスタです。
FLMWRP レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット発生により、00H になります。

図5 - 3 フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）のフォーマット

アドレス : F00ABH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
FLMWRP	0	0	0	0	0	0	0	FLMWEN
FLMWEN	フラッシュ動作モード選択レジスタ（FLMODE）の制御							
0	FLMODE レジスタの書き換え禁止							
1	FLMODE レジスタの書き換え許可							

5.3 フラッシュ動作モードの初期設定

ユーザ・オプション・バイト（000C2H）は、フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時の V_{DD} の電圧と高速オンチップ・オシレータの周波数にあわせて、適切なフラッシュ動作モードを設定してください。

リセット解除時に C_{MODE1}, C_{MODE0} ビットの値はフラッシュ動作モード選択レジスタ（FL_{MODE}）の _{MODE1}, _{MODE0} ビットに、FRQSEL3-FRQSEL0 ビットの値は高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）に反映されます。

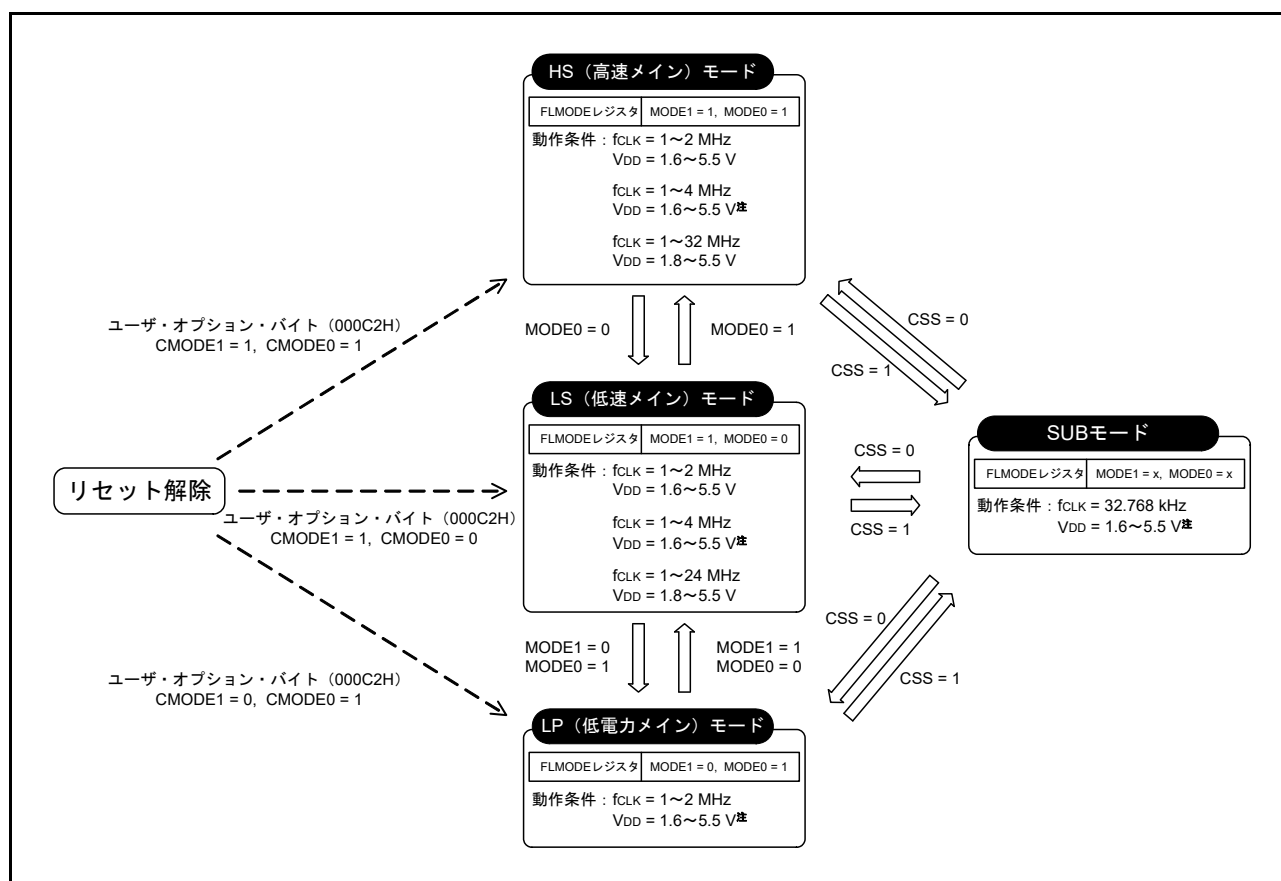
ユーザ・オプション・バイト（000C2H）の詳細は、**第 37 章 オプション・バイト**を参照してください。

5.4 フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは、ユーザ・オプション・バイト（000C2H）の CMODE1, CMODE0 ビットの設定によって、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードを選択することができます。また、CMODE1, CMODE0 ビットの値はフラッシュ動作モード選択レジスタ（FLMODE）の MODE1, MODE0 ビットに反映されます。その後は、CPU 動作中に FLMODE レジスタの値を変更することによって、フラッシュ動作モードを遷移させることができます。

また CKC レジスタの CSS ビットに 1 を設定することによって、SUB モードに自動的に切り替わります。

図5-4 フラッシュ動作モードの状態遷移



注 フラッシュ・メモリ書き換え不可

注意1. マイコンの動作中にリセットが入った場合、リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。したがって、リセット解除時は、LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲外で動作を開始しないでください。

注意2. バンク・プログラミング・モード時に、フラッシュ書き換えを行うときは、HS（高速メイン）モード、またはLS（低速メイン）モード時において電圧検出回路（LVD）でVDD電圧を確認し、VDD = 2.2~5.5 Vにて実行してください。また、LP（低消費メイン）モードおよびSUBモード時に、バンク・プログラミング・モード（FLMODE.BANKPGEN = 1）の設定は禁止です。

5.5 フラッシュ動作モードの詳細

5.5.1 HS（高速メイン）モードの詳細

HS（高速メイン）モードは、CPU の高速処理が必要なアプリケーションに最適なモードです。

HS モードは、リセット解除直後から動作可能です。また、LS（低速メイン）モードから遷移することが可能です。

HS モードの最適動作範囲は、電源電圧が $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ 、動作周波数が $24\text{ MHz} < f_{CLK} \leq 32\text{ MHz}$ のときです。24 MHz 以下で動作させる場合は、その他のモードが最適なフラッシュ動作モードになります。

HS モード時、バンク・プログラミング・モード（FLMODE.BANKPGEN = 1）は、ユーザ・モード（BANKPGEN = 0）から遷移することが可能です。バンク・プログラミング・モード（BANKPGEN = 1）時に、フラッシュ・メモリの書き換えを行うときは、電源電圧を $2.2\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ にして実行してください。バンク・プログラミング・モードについての詳細は、**第 38 章 フラッシュ・メモリ**を参照してください。

注意 STOPモードからの解除後、以下の動作が必要な場合は、20 μs 以上待機してから進めてください。

- 16ビット・タイマKB40, KB41, KB42の使用
- コード・フラッシュ・メモリとデータ・フラッシュ・メモリの書き換え

図5 - 5 HSモードの動作範囲（ユーザ・モード（FLMODE.BANKPGEN = 0））

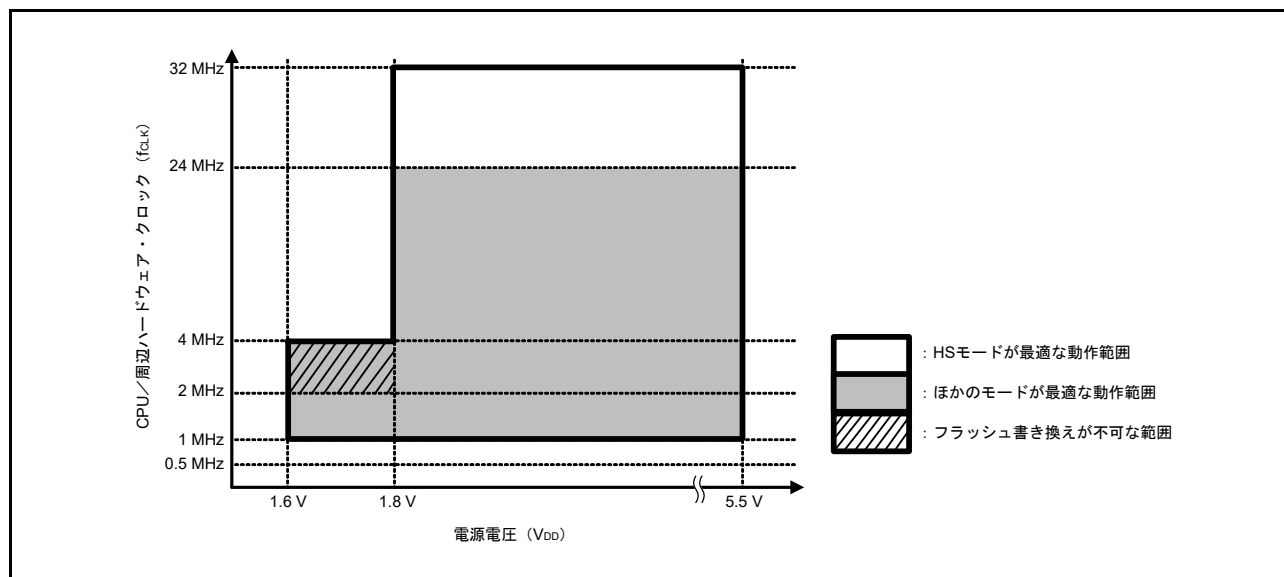
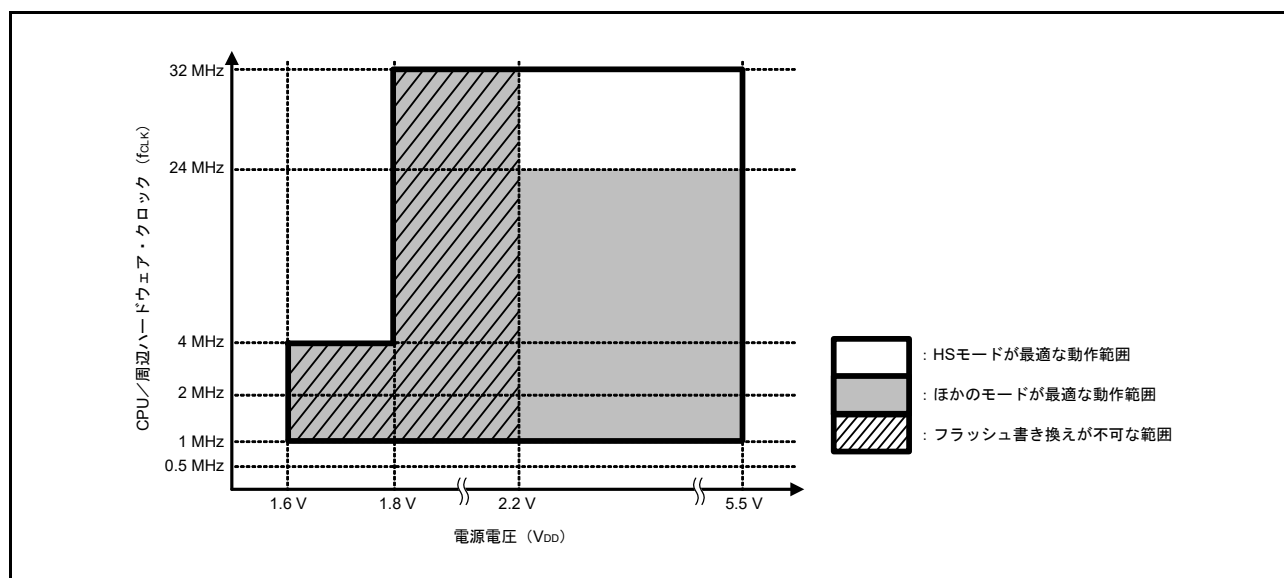


図5 - 6 HSモードの動作範囲（バンク・プログラミング・モード（FLMODE.BANKPGEN = 1））



5.5.2 LS（低速メイン）モードの詳細

LS（低速メイン）モードは、CPU の処理能力と動作電力性能を両立しており、2 ～ 24 MHz で低消費電力が必要なアプリケーションに最適なモードです。

LS モードは、リセット解除直後から動作可能です。また、HS（高速メイン）モード、LP（低電力メイン）モードから遷移することが可能です。HS モードから LS モードに遷移する場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 24\text{ MHz}$ の状態で遷移してください。

LS モードの最適動作範囲は、電源電圧が $1.8\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ かつ動作周波数が $2\text{ MHz} < f_{\text{CLK}} \leq 24\text{ MHz}$ 、または電源電圧が $1.6\text{ V} \leq V_{\text{DD}} < 1.8\text{ V}$ かつ動作周波数が $2\text{ MHz} < f_{\text{CLK}} \leq 4\text{ MHz}$ 注のときです。

LS モード時、バンク・プログラミング・モード（FLMODE.BANKPGEN = 1）は、ユーザ・モード（BANKPGEN = 0）から遷移することが可能です。バンク・プログラミング・モード（BANKPGEN = 1）時に、フラッシュ・メモリの書き換えを行うときは、電源電圧を $2.2\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ 、動作周波数が $1\text{ MHz} < f_{\text{CLK}} \leq 24\text{ MHz}$ にして実行してください。バンク・プログラミング・モードについての詳細は、**第 38 章 フラッシュ・メモリ**を参照してください。

注 フラッシュ・メモリの書き換えを行うときは、 $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ にしてください。

注意 STOP モードからの解除後、以下の動作が必要な場合は、20 μs 以上待機してから進めてください。

- 16ビットタイマKB40, 41, 42の使用
- コード・フラッシュとデータ・フラッシュの書き換え

図5 - 7 LSモードの動作範囲（ユーザ・モード（FLMODE.BANKPGEN = 0））

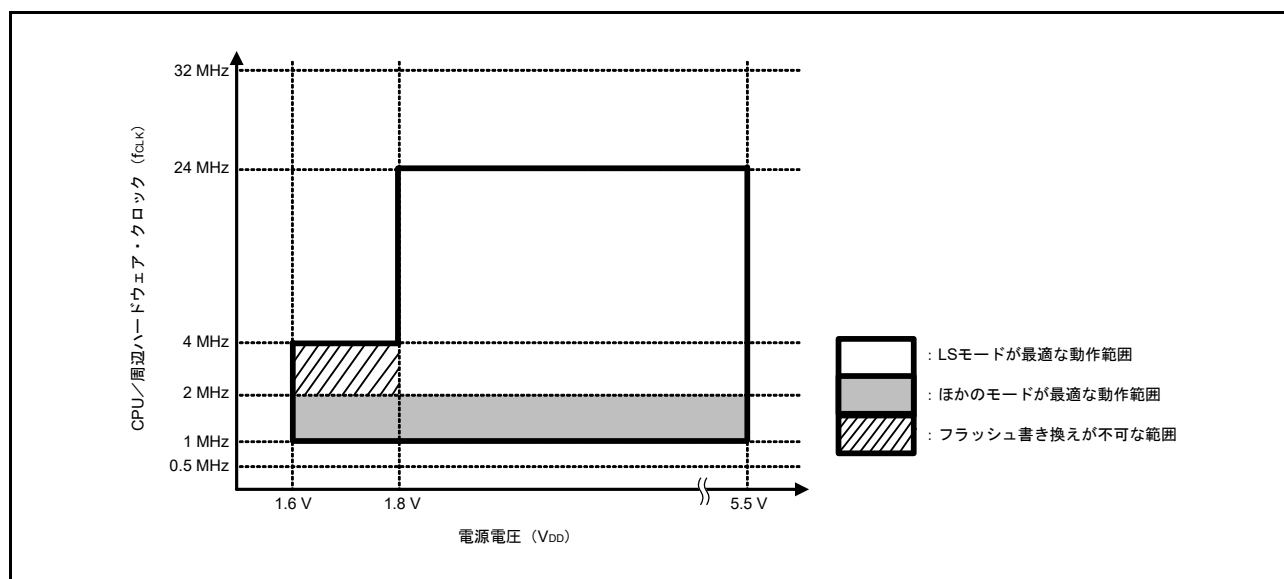
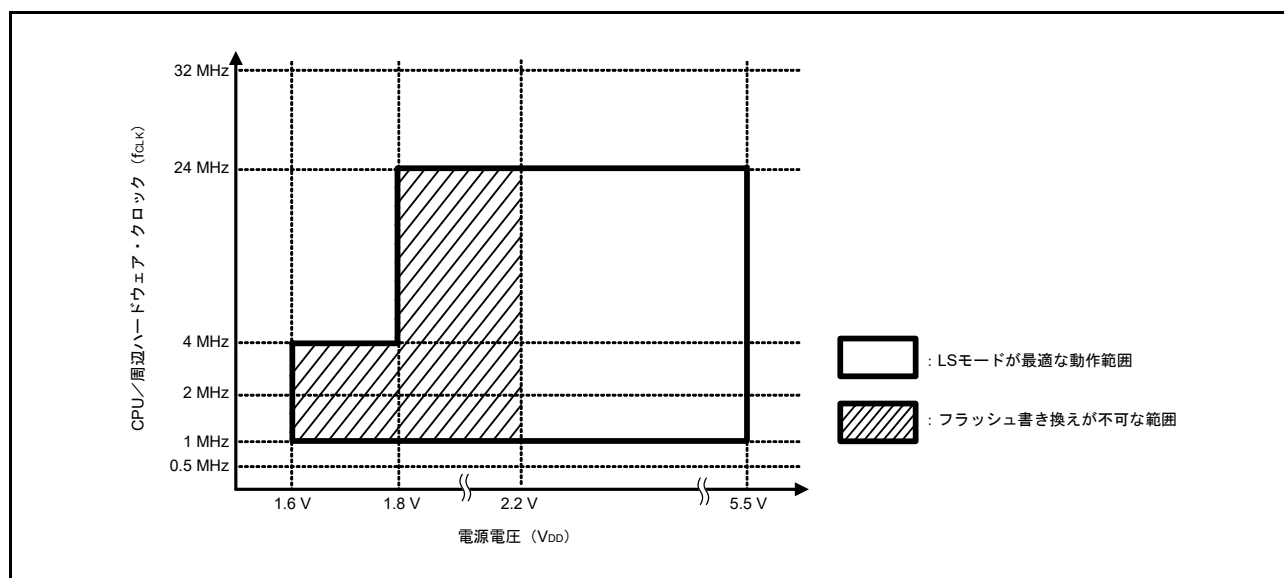


図5 - 8 LSモードの動作範囲（バンク・プログラミング・モード（FLMODE.BANKPGEN = 1））



5.5.3 LP（低電力メイン）モードの詳細

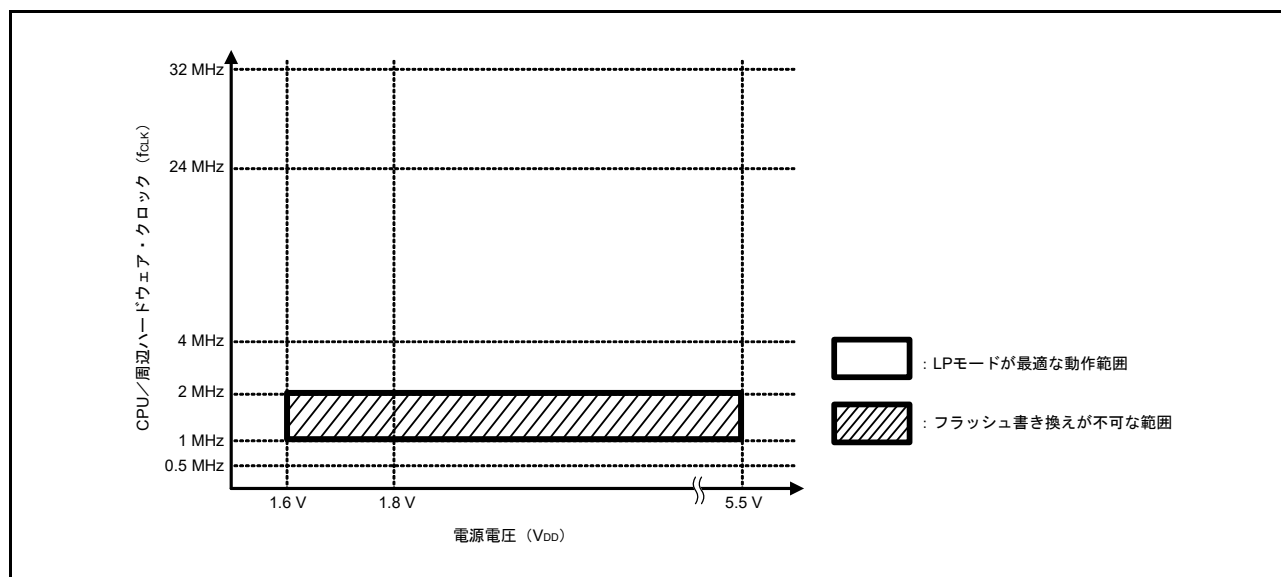
LP（低電力メイン）モードは、1～2 MHzの動作周波数によって低電力でCPUを動作させるモードです。

LPモードは、リセット解除直後から動作可能です。また、LPモードはLS（低速メイン）モードから遷移することが可能です。LSモードからLPモードに遷移する場合、動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ の状態で遷移してください。

LPモードの最適動作範囲は、電源電圧が $1.6\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$ かつ動作周波数が $1\text{ MHz} \leq f_{\text{CLK}} \leq 2\text{ MHz}$ のときです。また、LPモードでは、CPU／周辺ハードウェアクロック（ f_{CLK} ）に、メイン・オンチップ・オシレータ・クロック（ f_{IH} または f_{IM} ）のみが選択可能です。

フラッシュ・メモリの書き換えを行うときはLSモードに遷移してください。

図5-9 LPモードの動作範囲

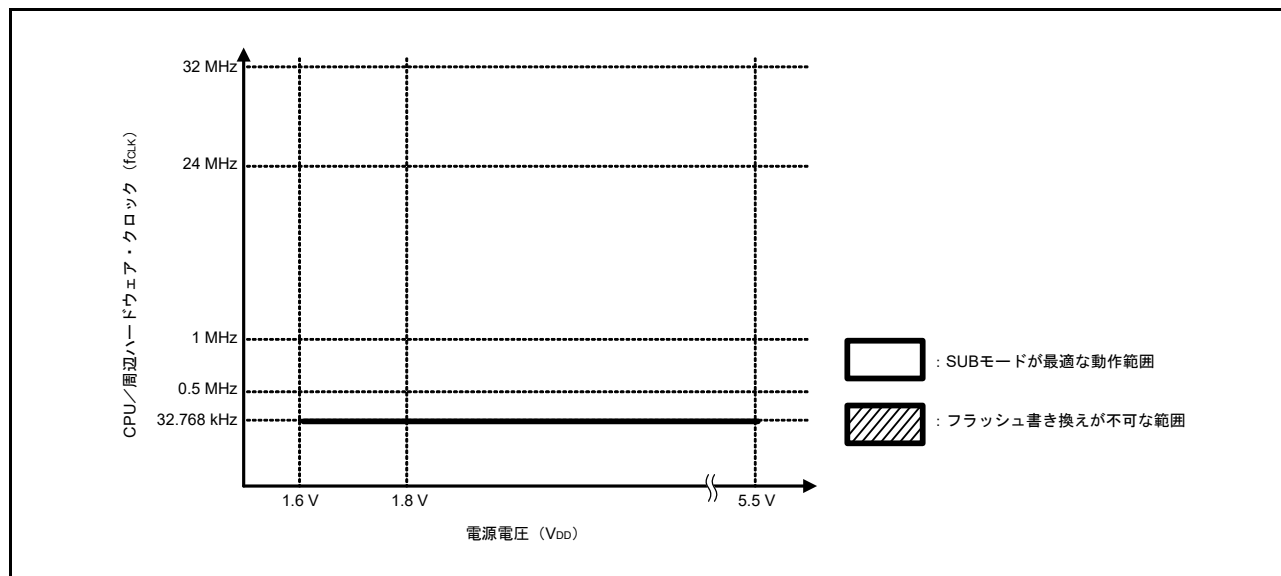


5.5.4 SUBモードの詳細

SUB モードは、32.768 kHz の動作周波数によって CPU を動作させるモードです。

SUB モードは、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードから遷移可能です。システム・クロック制御レジスタ（CKC）の CSS ビットに 1 を設定することで自動的に SUB モードに切り替わります。SUB モードはフラッシュ書き換えができません。フラッシュ・メモリの書き換えを行うときは、HS モードまたは LS モードに遷移してください。

図5 - 10 SUBモードの動作範囲



第6章 クロック発生回路

6.1 クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1, X2端子に発振子を接続することにより、 $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。

STOP命令の実行またはクロック動作ステータス制御レジスタ（CSC）のMSTOPビットの設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

ユーザ・オプション・バイト（000C2H）により、fHOCOに対して64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz（Typ.）から周波数を選択し、発振させることができます。fHOCOに64 MHz/48 MHzを選択した場合、fIHはそれぞれ32 MHz, 24 MHzになります。fHOCOに32 MHz以下を選択した場合、fIHは分周されず、fHOCOと同じ周波数になります。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはCSCレジスタのHIOSTOPビットの設定により、発振を停止することができます。

ユーザ・オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、**図6-13 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。

次に、高速オンチップ・オシレータで設定できる発振周波数を示します（ユーザ・オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）											
	1	2	3	4	6	8	12	16	24	32	48	64
$2.2\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○	○	○	○
$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○	○	—	—
$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	—	—	—	—	—	—	—	—

③ 中速オンチップ・オシレータ

MOCODIVレジスタのMOCODIV1, MOCODIV0ビットの設定により、fIMに対して4 MHz, 2 MHz, 1 MHz（Typ.）から周波数を選択し、発振させることができます。STOP命令の実行またはCSCレジスタのMIOENビットの設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 1 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、システム・クロック制御レジスタ（CKC）のMCM0, MCM1ビットの設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）とメイン・オンチップ・オシレータ・クロック（高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロック）を切り替えられます。

なお、CPU／周辺ハードウェア・クロックは、フラッシュ動作モードおよび電源電圧 V_{DD} によって使用可能な周波数がことなります。

メイン・システム・クロックをCPU／周辺ハードウェア・クロックとして使用する場合は、ユーザ・オプション・バイト（000C2H）のCMODE1, CMODE0ビットによるフラッシュ動作モードの設定（第37章 オプション・バイト）またはフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードに従って、メイン・システム・クロック周波数を選択してください。

(2) サブシステム・クロック

① XT1発振回路

XT1, XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768 \text{ kHz}$ のクロックを発振させることができます。クロック動作ステータス制御レジスタ（CSC）のXTSTOPビットの設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック（ $f_{EXS} = 32.768 \text{ kHz}$ ）を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

② 低速オンチップ・オシレータ・クロック

$f_{IL} = 32.768 \text{ kHz}$ (Typ.) のクロックを発振させることができます。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ユーザ・オプション・バイト（000C0H）のWDTONビット、サブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビット、またはサブシステム・クロック選択レジスタ（CKSEL）のSELLOSCビットのいずれか、または複数のビットが1
ただし、WDTON = 1, WUTMMCK0 = 0, SELLOSC = 0かつユーザ・オプション・バイト（000C0H）のWDSTBYONビットが0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。
- SNOOZEモード・シーケンサのウェイト処理でウェイトのソース・クロックに f_{IL} を選択

備考 f_X : X1 クロック発振周波数

f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数（最大 64 MHz）

f_{IH} : 高速オンチップ・オシレータ・クロック周波数（最大 32 MHz）**注**

f_{IM} : 中速オンチップ・オシレータ・クロック周波数（最大 4 MHz）

f_{EX} : 外部メイン・システム・クロック周波数

f_{XT} : XT1 クロック発振周波数

f_{EXS} : 外部サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

注 f_{HOCO} を 64 MHz または 48 MHz に設定した場合は f_{HOCO} の 2 分周、32 MHz 以下に設定した場合は f_{HOCO} と同一のクロック周波数となるようにハードウェアで制御されます。

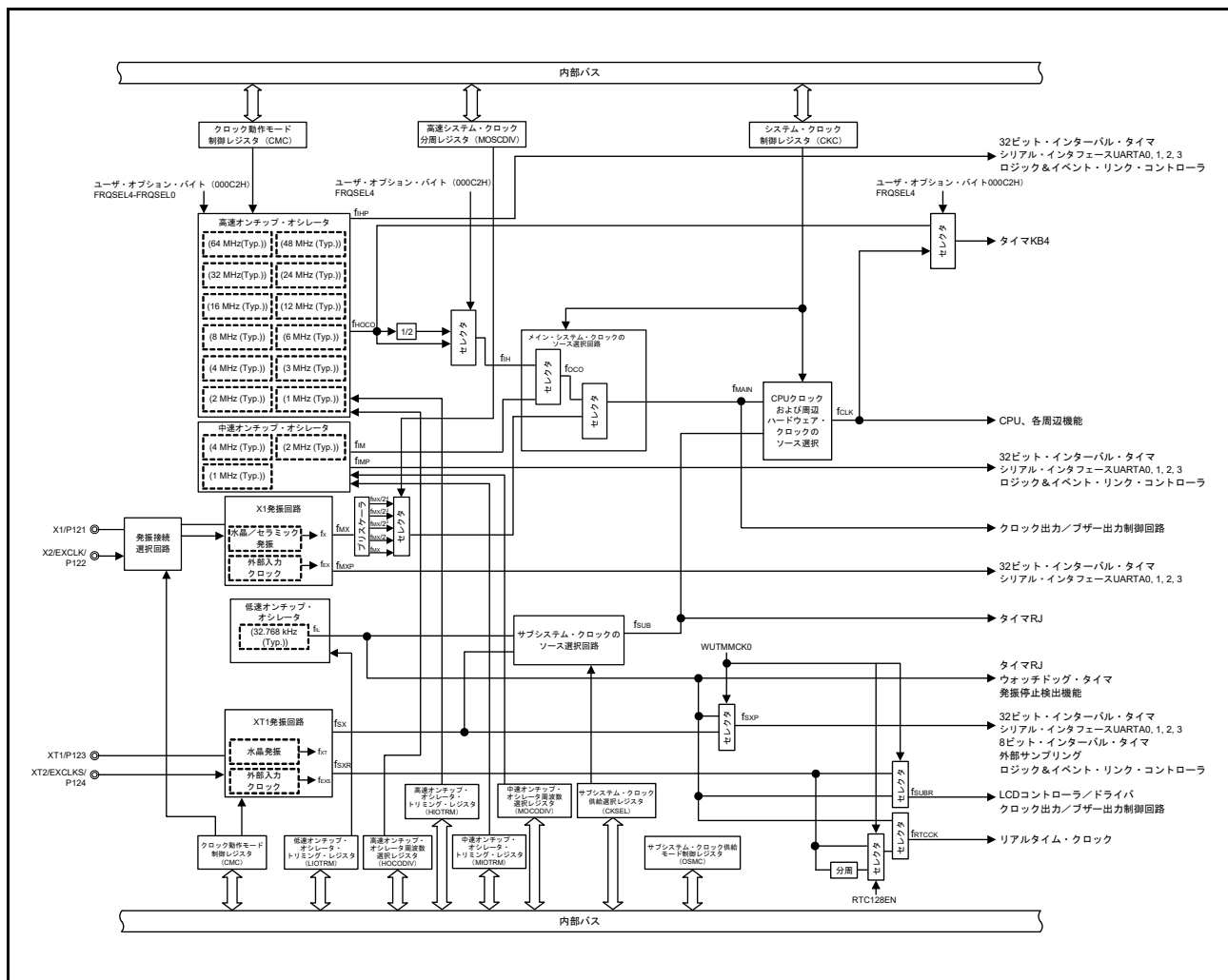
6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	・クロック動作モード制御レジスタ (CMC) ・メイン発振器発振モード選択レジスタ (MODRV) ・システム・クロック制御レジスタ (CKC) ・クロック動作ステータス制御レジスタ (CSC) ・発振安定時間カウンタ状態レジスタ (OSTC) ・発振安定時間選択レジスタ (OSTS) ・周辺イネーブル・レジスタ 0-2 (PER0-PER2) ・サブシステム・クロック供給モード制御レジスタ (OSMC) ・サブシステム・クロック選択レジスタ (CKSEL) ・高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) ・中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV) ・高速システム・クロック分周レジスタ (MOSCDIV) ・高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) ・中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) ・低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) ・スタンバイ・モード解除設定レジスタ (WKUPMD) ・XT1発振回路マージンチェック制御レジスタ (SOMRG)
発振回路	・X1発振回路 ・XT1発振回路 ・高速オンチップ・オシレータ ・中速オンチップ・オシレータ ・低速オンチップ・オシレータ

★ 図6-1 クロック発生回路のブロック図



備考	fx	: X1クロック発振周波数
	fEX	: 外部メイン・システム・クロック周波数
	fHOCO	: 高速オンチップ・オシレータ・クロック周波数（最大64 MHz）
	fIH	: 高速オンチップ・オシレータ・クロック周波数（最大32 MHz） ^注
	fIHP	: 高速オンチップ・オシレータ周辺クロック周波数 （FRQSEL4 = 1かつFRQSEL3 = 1のとき64 MHz、 FRQSEL4 = 1かつFRQSEL3 = 0のとき48 MHz、FRQSEL4 = 0かつFRQSEL3 = 1のとき32 MHz、 FRQSEL4 = 0かつFRQSEL3 = 0のとき24 MHz）
	fIM	: 中速オンチップ・オシレータ・クロック周波数（最大4 MHz）
	fIMP	: 中速オンチップ・オシレータ周辺クロック周波数（4 MHz）
	fMX	: 高速システム・クロック周波数
	fMXP	: 高速周辺クロック周波数
	fMAIN	: メイン・システム・クロック周波数
	fxT	: XT1クロック発振周波数
	fEXS	: 外部サブシステム・クロック周波数
	fSX	: サブシステム・クロックX周波数
	fSXR	: サブシステム・クロックXR周波数
	fRTCK	: リアルタイム・クロック制御部の動作クロック
	fSXP	: 低速周辺クロック周波数
	fSUB	: サブシステム・クロック周波数
	fSUBR	: サブシステム・クロックR周波数
	fCLK	: CPU／周辺ハードウェア・クロック周波数
	fIL	: 低速オンチップ・オシレータ・クロック周波数
	fOCO	: メイン・オンチップ・オシレータ・クロック周波数（fIHまたはfIM）
注	fHOCOを64 MHzまたは48 MHzに設定した場合はfHOCOの2分周、32 MHz以下に設定した場合はfHOCOと同一のクロック周波数となるようにハードウェアで制御されます。	

6.3 クロック発生回路を制御するレジスタ

クロック発生回路を制御するレジスタを次に示します。

- クロック動作モード制御レジスタ (CMC)
- メイン発振器発振モード選択レジスタ (MODRV)
- システム・クロック制御レジスタ (CKC)
- クロック動作ステータス制御レジスタ (CSC)
- 発振安定時間カウンタ状態レジスタ (OSTC)
- 発振安定時間選択レジスタ (OSTS)
- 周辺イネーブル・レジスタ 0-2 (PER0-PER2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- サブシステム・クロック選択レジスタ (CKSEL)
- 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)
- 中速オンチップ・オシレータ周波数選択レジスタ (MOCODIV)
- 高速システム・クロック分周レジスタ (MOSCDIV)
- 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
- 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM)
- 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM)
- スタンバイ・モード解除設定レジスタ (WKUPMD)
- XT1発振回路マージンチェック制御レジスタ (SOMRG)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには、必ず初期値を設定してください。

6.3.1 クロック動作モード制御レジスタ（CMC）

CMC レジスタは、X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は、8 ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00H になります。

図6-2 クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス : FFFA0H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック 端子の動作モード	X1/P121 端子	X2/EXCLK/P122 端子
0	0	ポート・モード	ポート	ポート
0	1	X1 発振モード	水晶／セラミック発振子接続	
1	0	ポート・モード	ポート	ポート
1	1	外部クロック入力モード	ポート	外部クロック入力

EXCLKS 注1	OSCSELS 注1	サブシステム・クロック 端子の動作モード	XT1/P123 端子	XT2/EXCLKS/P124 端子
0	0	入力ポート・モード	入力ポート	入力ポート
0	1	XT1 発振モード	水晶発振子接続	
1	0	入力ポート・モード	入力ポート	入力ポート
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1 注1	AMPHS0 注1	XT1 発振回路の発振モード選択
0	0	低消費発振 1（デフォルト）注2
0	1	通常発振
1	0	低消費発振 2 注2
1	1	低消費発振 3 注2

★

MODRV.AMPH1	AMPH	X1 クロック発振周波数の制御
0	0	通常モード（1 MHz ≤ f _x ≤ 10 MHz）
0	1	通常モード（10 MHz < f _x ≤ 20 MHz）
1	1	低ドライブモード（5 MHz < f _x ≤ 20 MHz）
1	0	設定禁止

注1. EXCLKS, OSCSELS, AMPHS1, AMPHS0 ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注2. XT1クロック発振回路のゲインおよび動作電流は、低消費発振1>低消費発振2>低消費発振3の順で小さくなります。

- ★ 注意1. ビット3には、必ず0を設定してください。
- 注意2. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するために、リセット解除後は必ず00Hに設定してください。
- 注意3. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。
- ★ 注意4. X1クロック発振周波数が10 MHzを超える場合に、メイン発振器発振モード選択レジスタ(MODRV)で通常モードを選択するときは、必ずAMPHビットに1を設定してください。
- 注意5. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXやfSUBに切り替える前の状態)で設定してください。
- 注意6. fXTの発振安定時間は、ソフトウェアでカウントしてください。
- 注意7. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - XT1発振回路のモードを低消費発振2(AMPHS1, AMPHS0 = 10B)または低消費発振3(AMPHS1, AMPHS0 = 11B)で使用する場合は、6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
 - XT1発振回路の発振評価を行う場合は、XT1発振回路マージンチェック制御レジスタ(SOMRG)のビット1, 0(SOSCMRG1, SOSCMRG0)にてXT1発振回路を下限マージンチェック状態、上限マージンチェック状態に設定できます。
 - XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振2(AMPHS1, AMPHS0 = 10B)または低消費発振3(AMPHS1, AMPHS0 = 11B)を選択している場合はご注意ください。
 - 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
 - XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
 - XT1端子、XT2端子と発振子の信号線はほかの信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

備考 fx : X1クロック発振周波数

6.3.2 メイン発振器発振モード選択レジスタ (MODRV)

MODRV レジスタは、X1 クロックの低ドライブモードを選択するレジスタです。

低ドライブモード設定することで制限抵抗が必要な発振回路の振幅を抑え制限抵抗を削減することができます。

MODRV レジスタは、リセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は、8 ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00H になります。

図6-3 メイン発振器発振モード選択レジスタ (MODRV) のフォーマット

アドレス : F009EH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MODRV	0	0	0	0	0	0	0	AMPH1

AMPH1	MOSCの動作モード
0	通常モード
1	低ドライブモード

注意1. MODRVレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。MODRVレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作 (00H以外の誤書き込みで復帰不可) を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振を開始する前に、MODRVレジスタを設定してください。

注意3. AMPH1ビットは、リセット解除後fCLKにfIHを選択した状態 (fCLKをfMXやfSUBに切り替える前の状態) で設定してください。

★ 注意4. AMPH1ビットは、CMCレジスタのAMPHビットと組み合わせて使用します。詳細は、6.3.1 クロック動作モード制御レジスタ (CMC) を参照ください。

6.3.3 システム・クロック制御レジスタ（CKC）

CKC レジスタは、CPU／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6-4 システム・クロック制御レジスタ（CKC）のフォーマット

アドレス : FFFA4H

リセット時: 00H

R/W属性 : R/W^{注1}

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
CKC	CLS	CSS	MCS	MCM0	0	0	MCS1	MCM1
CLS	CPU／周辺ハードウェア・クロック（fCLK）のステータス							
0	メイン・システム・クロック（fMAIN）							
1	サブシステム・クロック（fSUB）							
CSS ^{注2}	CPU／周辺ハードウェア・クロック（fCLK）の選択							
0	メイン・システム・クロック（fMAIN）							
1	サブシステム・クロック（fSUB）							
MCS	メイン・システム・クロック（fMAIN）のステータス							
0	メイン・オンチップ・オシレータ・クロック（fOCO）							
1	高速システム・クロック（fMX）							
MCM0 ^{注2}	メイン・システム・クロック（fMAIN）の動作制御							
0	メイン・システム・クロック（fMAIN）にメイン・オンチップ・オシレータ・クロック（fOCO）を選択							
1	メイン・システム・クロック（fMAIN）に高速システム・クロック（fMX）を選択 ^{注3}							
MCS1	メイン・オンチップ・オシレータ・クロック（fOCO）のステータス							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							
MCM1 ^{注2}	メイン・オンチップ・オシレータ・クロック（fOCO）の動作制御							
0	高速オンチップ・オシレータ・クロック							
1	中速オンチップ・オシレータ・クロック							

注1. ビット7, 5, 1は、読み出しのみ可能です。

注2. CSS = 1を設定した状態で、MCM1, MCM0 ビットの値を変更することは禁止です。

注3. LP（低電力メイン）モードでは、選択禁止です。

注意1. ビット3, 2には、必ず0を設定してください。

（注意、備考は次ページに続きます）

- 注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック、クロック出力／ブザー出力、LCDコントローラ／ドライバ、シリアル・インタフェースUARTA、32ビット・インターバル・タイマ、8ビット・インターバル・タイマ、タイマRJ、発振停止検出回路、外部サンプリング、およびウォッチドッグ・タイマは除く）。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータおよびシリアル・インタフェースIICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第42章 電気的特性を参照してください。
- 注意4. CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。
- 注意5. CPUクロックの切り替え（メイン・システム・クロック⇄サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、HALT命令またはSTOP命令の実行は禁止です。

備考 f_{IH} : 高速オンチップ・オシレータ・クロック周波数（最大32 MHz）
 f_{MX} : 高速システム・クロック周波数
 f_{MAIN} : メイン・システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数
 f_{OCO} : メイン・オンチップ・オシレータ・クロック周波数（f_{IH}またはf_{IM}）

6.3.4 クロック動作ステータス制御レジスタ（CSC）

CSC レジスタは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0H になります。

図6-5 クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス : FFFA1H

リセット時: C0H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	<1>	<0>
CSC	MSTOP	XTSTOP	0	0	0	0	MIOEN	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入出力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP注	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

MIOEN	中速オンチップ・オシレータ・クロックの動作制御
0	中速オンチップ・オシレータ停止
1	中速オンチップ・オシレータ動作

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注 XTSTOPビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

- ★
- 注意1. ビット5-2には、必ず0を設定してください。
- 注意2. リセット解除後は、クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。
- 注意3. リセット解除後MSTOPビットに0を設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただし、OSTSレジスタを初期値のまま使用する場合は、OSTSレジスタを設定する必要はありません。

（注意は次ページに続きます）

- 注意4. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
- 注意5. XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
- 注意6. CPU／周辺ハードウェア・クロック（fCLK）に選択しているクロックは、CSCレジスタで停止させないでください。
- 注意7. クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。クロックの停止方法については、表6-8 クロック発振停止前の条件とフラグ設定を参照してください。

6.3.5 発振安定時間カウンタ状態レジスタ (OSTC)

OSTC レジスタは、X1 クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1 クロックの発振安定時間を確認することができます。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTC レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP 命令、クロック動作ステータス制御レジスタ (CSC) の MSTOP ビット = 1 により、00H になります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時 (CMCレジスタのEXCLK = 0, OSCSEL = 1 → MSTOP = 0)
- STOPモードを解除したとき

図6-6 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

MOS T8	MOS T9	MOS T10	MOS T11	MOS T13	MOS T15	MOS T17	MOS T18	発振安定時間のステータス		
									fx = 10 MHz 時	fx = 20 MHz 時
0	0	0	0	0	0	0	0	2 ⁸ /fx 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	2 ⁸ /fx 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	2 ⁹ /fx 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx 以上	102 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx 以上	204 μs 以上	102 μs 以上
1	1	1	1	1	0	0	0	2 ¹³ /fx 以上	819 μs 以上	409 μs 以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx 以上	3.27 ms 以上	1.63 ms 以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx 以上	13.1 ms 以上	6.55 ms 以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx 以上	26.2 ms 以上	13.1 ms 以上

注意1. 上記時間経過後、MOST8ビットから順番に1となっていき、そのまま1を保持します。

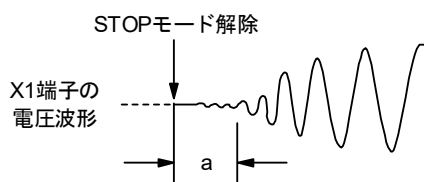
(注意、備考は次ページに続きます)

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次のときには、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
（したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 fx : X1クロック発振周波数

6.3.6 発振安定時間選択レジスタ（OSTS）

OSTS レジスタは、X1 クロックの発振安定時間を選択するレジスタです。

X1 クロックを発振させる場合は、X1 発振回路動作（MSTOP = 0）後、OSTS レジスタで設定した時間を自動でウェイトします。

CPU クロックをメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1 クロックに切り替える場合や、CPU クロックがメイン・オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後 STOP モードを解除した場合は、発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTC レジスタでは、あらかじめ OSTS レジスタで設定した時間までの確認ができます。

OSTS レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、07H になります。

図6-7 発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス : FFFA3H

リセット時: 07H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz 時	fx = 20 MHz 時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51.2 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

注意1. OSTS レジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ（CSC）の MSTOP ビットに0を設定する前に行ってください。

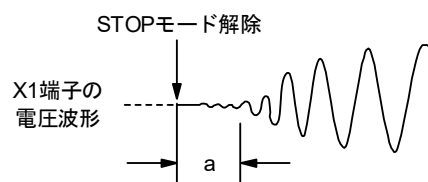
注意2. 発振安定時間カウンタはOSTS レジスタで設定した発振安定時間までしかカウントしません。

次のときには、OSTS レジスタの発振安定時間を、発振開始後に OSTC レジスタで確認したいカウント値より大きい値に設定してください。

- CPU クロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1 クロックの発振を開始したい場合
- CPU クロックがメイン・オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後、STOP モードを解除したい場合
（したがって、STOP モード解除後の OSTC レジスタは、OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

（注意、備考は次ページに続きます）

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考 f_x : X1クロック発振周波数

6.3.7 周辺イネーブル・レジスタ 0-2 (PER0-PER2)

PER0-PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1) してください。

- リアルタイム・クロック
- シリアル・インタフェース IICA
- A/Dコンバータ
- シリアル・アレイ・ユニット
- タイマ・アレイ・ユニット
- D/Aコンバータ
- SNOOZEモード・シーケンサ
- コンパレータ
- 32ビット・インターバル・タイマ
- DTC
- シリアル・インタフェース UARTA
- 静電容量センサユニット
- 外部サンプリング
- 発振停止検出回路
- 16ビット・タイマKB4／16ビット・タイマKB4の強制出力停止機能
- タイマRJ

PER0-PER2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図6-8 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロックへのアクセス制御
0	- リアルタイム・クロックで使用するSFRへのライト不可 - リアルタイム・クロックは動作可能
1	- リアルタイム・クロックで使用するSFRへのリード／ライト可 - リアルタイム・クロックは動作可能

IICA1EN	シリアル・インタフェースIICA1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICA1で使用するSFRへのライト不可 ^注
1	入カクロック供給 ・シリアル・インタフェースIICA1で使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICAの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ^注
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ^注
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

図6 - 8 周辺イネーブル・レジスタ0（PER0）のフォーマット (2/2)

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ^注
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. 各周辺機能が動作許可の状態、PER0レジスタの対象ビットを切り替えないでください。PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

図6 - 9 周辺イネーブル・レジスタ1 (PER1) のフォーマット (1/2)

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSSEN	CMPPEN	TML32EN	DTCEN	UTA0EN	0	CTSUEN

DACEN	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード/ライト可

SMSSEN	SNOOZEモード・シーケンサの入カクロック供給の制御
0	入カクロック供給停止 ・ SNOOZEモード・シーケンサで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・ SNOOZEモード・シーケンサで使用するSFRへのリード/ライト可

CMPPEN	コンパレータの入カクロック供給の制御
0	入カクロック供給停止 ・ コンパレータで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・ コンパレータで使用するSFRへのリード/ライト可

TML32EN	32ビット・インターバル・タイマの入カクロック供給の制御
0	入カクロック供給停止 ・ 32ビット・インターバル・タイマで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・ 32ビット・インターバル・タイマで使用するSFRへのリード/ライト可

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

UTA0EN	シリアル・インタフェースUARTA0の入カクロック供給の制御
0	入カクロック供給停止 ・ シリアル・インタフェースUARTA0で使用するSFRへのライト不可 ^注
1	入カクロック供給 ・ シリアル・インタフェースUARTA0で使用するSFRへのリード/ライト可

図6 - 9 周辺イネーブル・レジスタ1（PER1）のフォーマット (2/2)

CTSUN	静電容量センサユニットの入カクロック供給の制御
0	入カクロック供給停止 ・ 静電容量センサユニットで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・ 静電容量センサユニットで使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. 各周辺機能が動作許可の状態、PER1レジスタの対象ビットを切り替えしないでください。PER1レジスタによる設定は、PER1レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

図6-10 周辺イネーブル・レジスタ2 (PER2) のフォーマット (1/2)

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	EXSDEN	OSDCEN	TKBEN	UTA3EN 注1	UTA2EN 注2	UTA1EN	TRJ1EN 注3	TRJ0EN
外部サンプリングの入カクロック供給の制御								
0 入カクロック供給停止 ・外部サンプリングで使用するSFRへのライト不可注4								
1 入カクロック供給 ・外部サンプリングで使用するSFRへのリード／ライト可								
OSDCEN 発振停止検出回路の入カクロック供給の制御								
0 入カクロック供給停止 ・発振停止検出回路で使用するSFRへのライト不可注4								
1 入カクロック供給 ・発振停止検出回路で使用するSFRへのリード／ライト可								
TKBEN注5 16ビット・タイマKB04, KB41, KB42／16ビット・タイマKB04, KB41, KB42の強制出力停止機能への入カクロック供給の制御								
0 入カクロック供給停止 ・16ビット・タイマKB04, KB41, KB42／16ビット・タイマKB04, KB41, KB42の強制出力停止機能で使用するSFRへのライト不可注4								
1 入カクロック供給 ・16ビット・タイマKB04, KB41, KB42／16ビット・タイマKB04, KB41, KB42の強制出力停止機能で使用するSFRへのリード／ライト可								
UTA3EN シリアル・インタフェースUARTA3の入カクロック供給の制御								
0 入カクロック供給停止 ・シリアル・インタフェースUARTA3で使用するSFRへのライト不可注4 ・シリアル・インタフェースUARTA3は動作不可								
1 入カクロック供給 ・シリアル・インタフェースUARTA3で使用するSFRへのリード／ライト可 ・シリアル・インタフェースUARTA3は動作可								
UTA2EN シリアル・インタフェースUARTA2の入カクロック供給の制御								
0 入カクロック供給停止 ・シリアル・インタフェースUARTA2で使用するSFRへのライト不可注4 ・シリアル・インタフェースUARTA2は動作不可								
1 入カクロック供給 ・シリアル・インタフェースUARTA2で使用するSFRへのリード／ライト可 ・シリアル・インタフェースUARTA2は動作可								

図6 - 10 周辺イネーブル・レジスタ2（PER2）のフォーマット (2/2)

UTA1EN	シリアル・インタフェースUARTA1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースUARTA1で使用するSFRへのライト不可 ^{注4} ・シリアル・インタフェースUARTA1は動作不可
1	入カクロック供給 ・シリアル・インタフェースUARTA1で使用するSFRへのリード／ライト可 ・シリアル・インタフェースUARTA1は動作可

TRJ1EN	タイマRJ1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ1で使用するSFRへのライト不可 ^{注4}
1	入カクロック供給 ・タイマRJ1で使用するSFRへのリード／ライト可

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ^{注4}
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可

注1. 80, 100ピン製品のみ

注2. 48～100ピンのフラッシュ・メモリ256 KB, 512 KBの製品のみ

注3. フラッシュ・メモリ256 KB, 512 KBの44～64ピン製品、80, 100ピン製品のみ

注4. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注5. ユーザ・オプション・バイト（000C2H）においてFRQSEL4 = 1のときは、周辺イネーブル・レジスタ2（PER2）のTKBENビットをセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2（PER2）のTKBENビットをクリアしたあとに変更してください。

注意 各周辺機能が動作許可の状態、PER2レジスタの対象ビットを切り替えないでください。PER2レジスタによる設定は、PER2レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

6.3.8 サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると、STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時に、リアルタイム・クロック、クロック出力／ブザー出力機能、LCD コントローラ／ドライバ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック、シリアル・インタフェース UARTA、クロック出力／ブザー出力制御回路、LCD コントローラ／ドライバ、32 ビット・インターバル・タイマ、8 ビット・インターバル・タイマ、外部サンプリングの動作クロックを選択できます。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定^{注1}になります。

注 RTCLPC ビットおよび WUTMMCK0 ビットは 0、HIPREC ビットは 1 になります。

図6-11 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス : F00F3H

リセット時: 不定^{注1}

R/W属性 : R/W^{注2}

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	x	x	0	HIPREC
	RTCLPC ^{注3}	STOP モード時およびサブシステム・クロック X で CPU 動作中の HALT モード時の設定						
	0	周辺機能へのサブシステム・クロック X 供給許可 (動作許可となる周辺機能については、表 27-1 HALT モード時の動作状態 (CPU クロックがメイン・システム・クロックの場合) ~ 表 27-4 SNOOZE モード時の動作状態参照)						
	1	リアルタイム・クロック、クロック出力／ブザー出力機能、LCD コントローラ／ドライバ以外の周辺機能へのサブシステム・クロック供給停止						
	WUTMMCK 0	リアルタイム・クロック、シリアル・インタフェース UARTA、 クロック出力／ブザー出力制御回路、LCD コントローラ／ドライバ、 32 ビット・インターバル・タイマ、8 ビット・インターバル・タイマ、 外部サンプリングの動作クロックの選択						
	0	サブシステム・クロック X						
	1	低速オンチップ・オシレータ・クロック ^{注4, 5}						
	HIPREC	高速オンチップ・オシレータ・クロックのステータス ^{注6, 7}						
	0	高速オンチップ・オシレータ・クロックは高速起動かつ発振精度安定待ち中 ^{注8}						
	1	高速オンチップ・オシレータ・クロックは高精度動作						

注1. RTCLPC ビットおよび WUTMMCK0 ビットは 0、HIPREC ビットは 1 になります。

注2. ビット 6, 5, 1 には、必ず 0 を設定してください。ビット 3, 2, 0 は、読み出しのみ可能です。書き込みは無視されます。

(注、注意は次ページに続きます)

- 注3.** CKSELレジスタのSELLOSCビットによりサブシステム・クロックXを選択（SELLOSC = 0）してRTCLPC = 1とした場合、サブシステム・クロック（f_{SUB}）は停止しますが、低速オンチップ・オシレータ・クロックを選択（SELLOSC = 1）してRTCLPC = 1とした場合、サブシステム・クロック（f_{SUB}）は停止しません。
- 注4.** サブシステム・クロックX発振中にWUTMMCK0ビットに1を設定することは禁止です。
- 注5.** WUTMMCK0ビットによるサブシステム・クロックXと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、シリアル・インタフェースUARTA、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、32ビット・インターバル・タイマ、8ビット・インターバル・タイマ、外部サンプリングのすべての機能が停止中のみ可能です。
- 注6.** 高速オンチップ・オシレータ停止時は不定です。
- 注7.** 高速オンチップ・オシレータ・クロックの周波数精度は、**第42章 電気的特性**を参照してください。
- 注8.** 高速オンチップ・オシレータ高速起動（WKUPMD.FWKUP = 1）に設定した状態でSTOPモードから復帰すると、高速オンチップ・オシレータ・クロックは低精度で起動し、発振精度安定待ち後に自動的にHIPRECは1になります。

FRQSEL3 = 0かつHIPREC = 0のときの高速オンチップ・オシレータの周波数は、下表のとおりになります。

FRQSEL2 または HOCODIV2	FRQSEL1 または HOCODIV1	FRQSEL0 または HOCODIV0	高速オンチップ・ オシレータの周波数
0	0	0	16 MHz
0	0	1	8 MHz
0	1	0	4 MHz
0	1	1	2 MHz
1	×	×	設定禁止

注意 HIPREC = 0のときはSTOP命令を実行しないでください。

★

備考 ×：不定

6.3.9 サブシステム・クロック選択レジスタ（CKSEL）

CKSEL レジスタは、サブシステム・クロックとしてサブシステム・クロック X／低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSEL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6 - 12 サブシステム・クロック選択レジスタ（CKSEL）のフォーマット

アドレス : FFFA7H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
CKSEL	0	0	0	0	0	0	0	SELLOSC
SELLOSC	サブシステム・クロック X／低速オンチップ・オシレータ・クロック選択							
0	サブシステム・クロック X							
1	低速オンチップ・オシレータ・クロック注							

注 サブシステム・クロック X、XR（fsX, fsXR）動作時はSELLOSC = 1 の設定は禁止です。

注意 SELLOSC ビットを変更する場合は、必ず CSS = 0（fMAIN 選択）に設定し、CLS = 0 の状態で切り替えてください。

6.3.10 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

HOCODIV レジスタは、ユーザ・オプション・バイト（000C2H）で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、ユーザ・オプション・バイト（000C2H）の FRQSEL4, FRQSEL3 ビットの値によって、選択できる周波数が異なります。

HOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ユーザ・オプション・バイト（000C2H）の FRQSEL2-FRQSEL0 ビットで設定した値になります。

図6 - 13 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス : F00A8H

リセット時: ユーザ・オプション・バイト（000C2H）FRQSEL2-FRQSEL0 ビットの設定値

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{IH} = 24 MHz	f _{IH} = 32 MHz	f _{IH} = 24 MHz f _{HOCO} = 48 MHz	f _{IH} = 32 MHz f _{HOCO} = 64 MHz
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12 MHz f _{HOCO} = 24 MHz	f _{IH} = 16 MHz f _{HOCO} = 32 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6 MHz f _{HOCO} = 12 MHz	f _{IH} = 8 MHz f _{HOCO} = 16 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz	f _{IH} = 4 MHz f _{HOCO} = 8 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz	設定禁止	f _{IH} = 2 MHz f _{HOCO} = 4 MHz
1	0	1	設定禁止	f _{IH} = 1 MHz	設定禁止	f _{IH} = 1 MHz f _{HOCO} = 2 MHz
上記以外			設定禁止			

注意1. HOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、
5.2.1 フラッシュ動作モード選択レジスタ（FLMODE）を参照してください。

注意2. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック（f_{IH}）をCPU/周辺ハードウェア・クロック（f_{CLK}）に選択している状態で行ってください。

（注意は次ページに続きます）

注意3. HOCODIVレジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- 変更前の周波数で最大3クロック動作
- 変更後の周波数で最大3クロックのCPU／周辺ハードウェア・クロックウェイト

なお、HOCODIVレジスタに同じ値を設定した場合でも、最大3クロックのCPU／周辺ハードウェア・クロックウェイトが発生します。

注意4. HOCODIVレジスタで $f_{HOCO} = 64/48 \text{ MHz}$ (FRQSEL4 = 1, HOCODIV2-HOCODIV0 = 000B) に切り替える場合は、周辺イネーブル・レジスタ2 (PER2) のTKBENビットをクリアしたあとに変更してください。

6.3.11 中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）

MOCODIV レジスタは、中速オンチップ・オシレータの周波数を選択するレジスタです。
MOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 14 中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）のフォーマット

アドレス : F00F2H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV 1	MOCODIV 0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
1	1	設定禁止

注意 MOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

6.3.12 高速システム・クロック分周レジスタ（MOSCDIV）

MOSCDIV レジスタは、高速システム・クロックの分周比選択を設定するレジスタです。
MOSCDIV レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 15 高速システム・クロック分周レジスタ（MOSCDIV）のフォーマット

アドレス : F0214H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MOSCDIV	0	0	0	0	0	MOSCDIV2	MOSCDIV1	MOSCDIV0

MOSCDIV2	MOSCDIV1	MOSCDIV0	高速システム・クロック分周 選択	f _{MX} = 20 MHz のとき
0	0	0	f _{MX}	20 MHz
0	0	1	f _{MX} /2	10 MHz
0	1	0	f _{MX} /4	5 MHz
0	1	1	f _{MX} /8	2.5 MHz
1	0	0	f _{MX} /16	1.25 MHz
上記以外			設定禁止	

注意 MOSCDIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

6.3.13 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

HIOTRM レジスタは、高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、V_{DD}端子電圧に変化があった場合、周波数は変動します。

温度、V_{DD}電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 16 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H

リセット時: 注

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
⋮						↓
1	1	1	1	1	0	
1	1	1	1	1	1	
1	1	1	1	1	1	最高速

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、**RL78/G23高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN5555)** を参照してください。

6.3.14 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM)

MIOTRM レジスタは、中速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして中速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

MIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、90H になります。

注意 精度補正後に温度、V_{DD} 端子電圧に変化があった場合、周波数は変動します。

温度、V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 17 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) のフォーマット

アドレス : F0212H

リセット時: 90H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MIOTRM	MIOTRM7	MIOTRM6	MIOTRM5	MIOTRM4	MIOTRM3	MIOTRM2	MIOTRM1	MIOTRM0
MIOTRM 7	MIOTRM 6	MIOTRM 5	MIOTRM 4	MIOTRM 3	MIOTRM 2	MIOTRM 1	MIOTRM 0	中速オンチップ・ オシレータ
0	0	0	0	0	0	0	0	最低速
0	0	0	0	0	0	0	1	↑
1	0	0	0	1	1	1	1	
1	0	0	1	0	0	0	0	初期値
1	0	0	1	0	0	0	1	↓
1	1	1	1	1	1	1	0	
1	1	1	1	1	1	1	1	最高速

備考 中速オンチップ・オシレータ・クロック補正分解能は、第42章 電気的特性を参照してください。

6.3.15 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM)

LIOTRM レジスタは、低速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして低速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

LIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H になります。

注意 精度補正後に温度、V_{DD} 端子電圧に変化があった場合、周波数は変動します。

温度、V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 18 低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) のフォーマット

アドレス : F0213H

リセット時: 80H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
LIOTRM	LIOTRM7	LIOTRM6	LIOTRM5	LIOTRM4	LIOTRM3	LIOTRM2	LIOTRM1	LIOTRM0
	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	1
	0	1	1	1	1	1	1	1
	1	0	0	0	0	0	0	0
	1	0	0	0	0	0	0	1
	1	1	1	1	1	1	1	0
	1	1	1	1	1	1	1	1

備考 低速オンチップ・オシレータ・クロック補正分解能は、第42章 電気的特性を参照してください。

6.3.16 スタンバイ・モード解除設定レジスタ（WKUPMD）

WKUPMD レジスタは、スタンバイ・モード解除時の動作を設定するレジスタです。
WKUPMD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 19 スタンバイ・モード解除設定レジスタ（WKUPMD）のフォーマット

アドレス : F0215H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP
FWKUP	STOP モード解除およびSNOOZEモード遷移時の 高速オンチップ・オシレータ起動設定 ^{注1, 2}							
0	通常起動 ^{注3}							
1	高速起動 ^{注3, 4}							

- 注1.** CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。
- 注2.** リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。
- 注3.** 各起動時間については、**第27章 スタンバイ機能**を参照してください。
なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第42章 電氣的特性**を参照してください。
- 注4.** ユーザ・オプション・バイト（000C2H）のFRQSEL4ビットを0に設定している場合に使用可能です。

6.3.17 XT1発振回路マージンチェック制御レジスタ（SOMRG）

SOMRG レジスタは、XT1 発振回路の発振評価時に発振マージンをチェックするためのレジスタです。

SOSCMRG1 ビットと SOSCMRG0 ビットの設定によって、XT1 発振回路を下限マージンチェック状態、上限マージンチェック状態に設定できます。XT1 発振回路と水晶振動子の発振評価を行う場合、通常発振状態に加えて下限マージンチェック状態、上限マージンチェック状態の発振評価を行うことで XT1 発振回路の発振評価の信頼性を向上させることができます

図6 - 20 XT1発振回路マージンチェック制御レジスタ（SOMRG）のフォーマット

アドレス : F0217H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SOMRG	0	0	0	0	0	0	SOSCMRG1	SOSCMRG0

SOSCMRG1	SOSCMRG0	XT1発振回路マージンチェックの設定
0	0	通常発振状態
0	1	XT1発振回路は下限マージンチェック状態 ^注
1	0	XT1発振回路は上限マージンチェック状態 ^注
1	1	設定禁止

^注 XT1発振回路の発振評価を行う場合のみ設定してください。

6.4 システム・クロック発振回路

6.4.1 X1 発振回路

X1 発振回路は X1, X2 端子に接続された水晶振動子またはセラミック発振子（1 ～ 20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合は EXCLK 端子にクロック信号を入力してください。

X1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）の EXCLK, OSCSEL ビットを次のように設定してください。

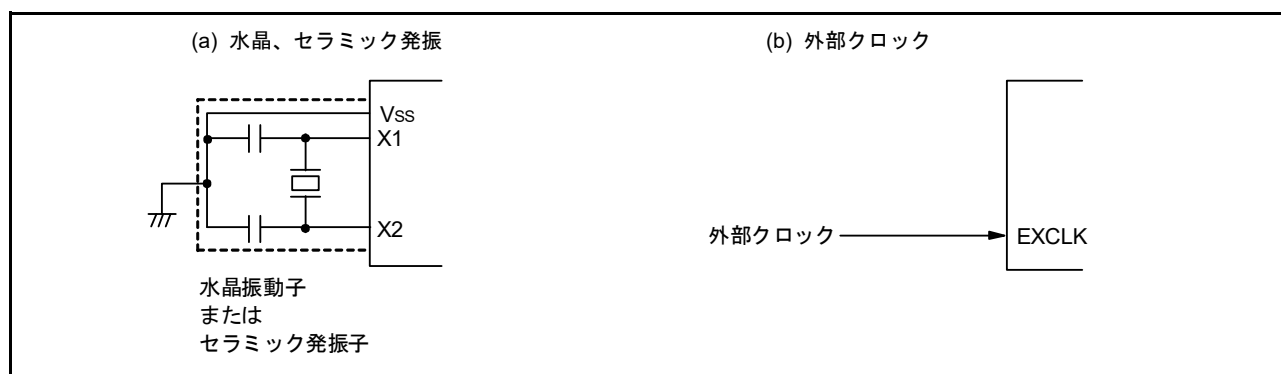
- 水晶、セラミック発振 : EXCLK, OSCSEL = 01B
- 外部クロック入力 : EXCLK, OSCSEL = 11B

X1 発振回路を使用しない場合は、ポート・モード（EXCLK, OSCSEL = 00B）に設定してください。

さらに、ポートとしても使用しない場合は、表 2 - 1 各端子の未使用端子処理を参照してください。

図 6 - 21 に X1 発振回路の外付け回路例を示します。

図 6 - 21 X1 発振回路の外付け回路例



注意 配線容量などの影響を避けるために、破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- ほかの信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

6.4.2 XT1 発振回路

XT1 発振回路は XT1, XT2 端子に接続された水晶振動子 (32.768 kHz (Typ.)) によって発振します。

XT1 発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) の OSCSELS ビットに 1 を設定してください。

また、外部クロックを入力することができます。その場合は EXCLKS 端子にクロック信号を入力してください。XT1 発振回路を使用する場合、CMC レジスタの EXCLKS, OSCSELS ビットを次のように設定してください。

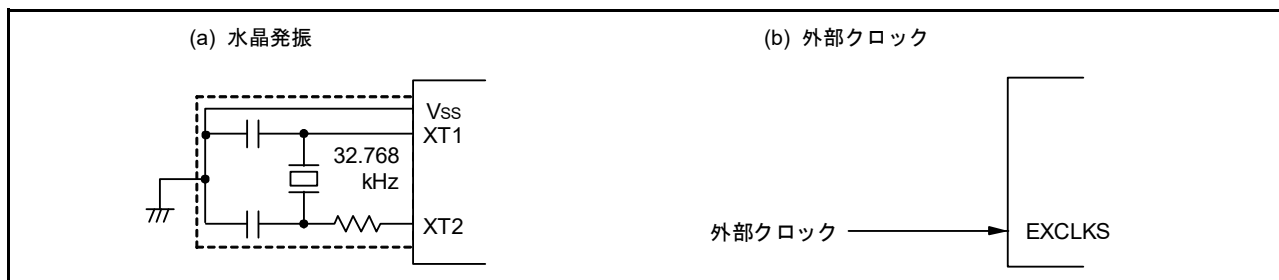
- 水晶発振 : EXCLKS, OSCSELS = 01B
- 外部クロック入力 : EXCLKS, OSCSELS = 11B

XT1 発振回路を使用しない場合は、入力ポート・モード (EXCLKS, OSCSELS = 00B) に設定してください。

XT1 発振回路を使用せず、入力ポートとしても使用しない場合は、**表 2 - 1 各端子の未使用端子処理**を参照してください。

図 6 - 22 に XT1 発振回路の外付け回路例を示します。

図 6 - 22 XT1 発振回路の外付け回路例



注意 1. 配線容量などの影響を避けるために、破線の部分を次のように配線してください。

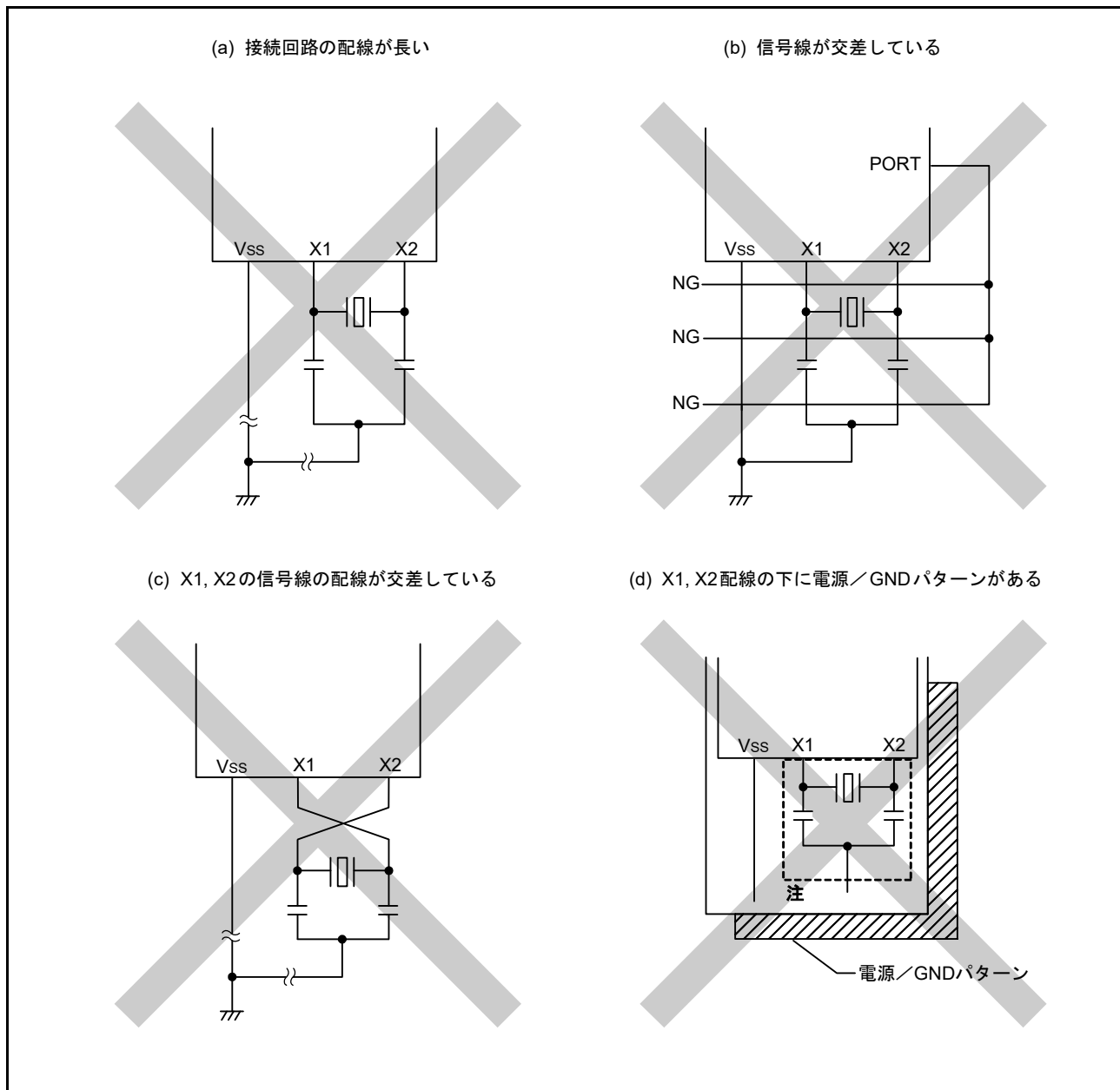
- ・ 配線は極力短くしてください。
- ・ ほかの信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- ・ 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- ・ 発振回路から信号を取り出さないでください。

注意 2. XT1 発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・ 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・ XT1 発振回路のモードを低消費発振 2 (AMPHS1, AMPHS0 = 10B) または低消費発振 3 (AMPHS1, AMPHS0 = 11B) で使用する場合は 6.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- ・ XT1 発振回路の発振評価を行う場合は、XT1 発振回路マージンチェック制御レジスタ (SOMRG) のビット 1, 0 (SOSCMRG1, SOSCMRG0) にて XT1 発振回路を下限マージンチェック状態、上限マージンチェック状態に設定できます。
- ・ XT1, XT2 端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振 2 (AMPHS1, AMPHS0 = 10B) または低消費発振 3 (AMPHS1, AMPHS0 = 11B) を選択している場合はご注意ください。
- ・ 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・ XT1 発振回路の周辺には、できるかぎり Vss と同電位のグラウンド・パターンを配置してください。
- ・ XT1, XT2 端子と発振子の信号線はほかの信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・ 高湿度環境における回路基板の吸湿や、基板上での結露によって XT1 端子と XT2 端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・ 回路基板上をコーティングする場合は、XT1 端子、XT2 端子間に容量やリークが生じない材料をご使用ください。

図 6 - 23 に発振子の接続の悪い例を示します。

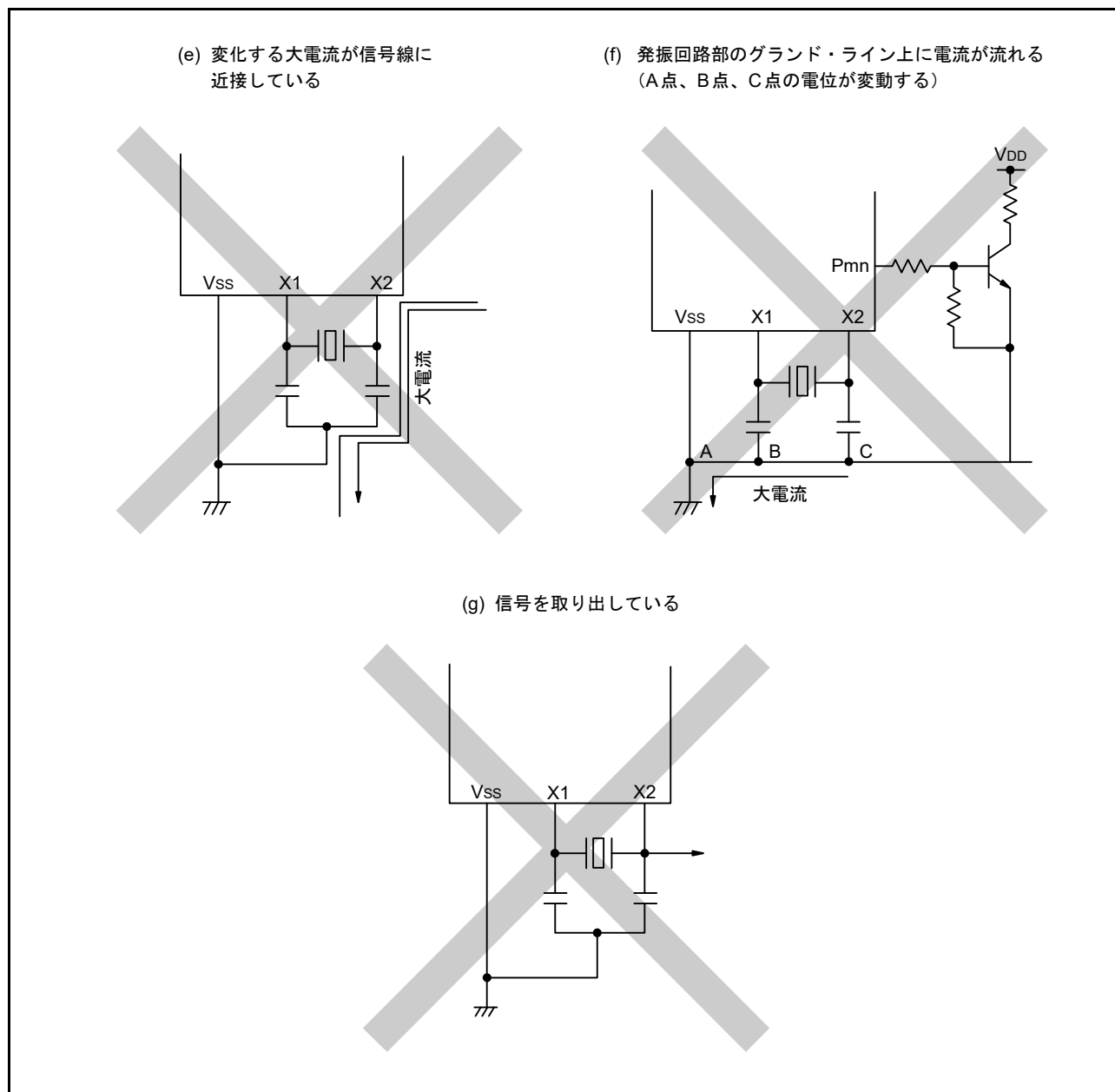
図 6 - 23 発振子の接続の悪い例 (1/2)



注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6 - 23 発振子の接続の悪い例 (2/2)



注意 X2とX1が平行に配線されている場合、X2のクロストーク・ノイズがX1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

6.4.3 高速オンチップ・オシレータ

本製品は、高速オンチップ・オシレータを内蔵しています。ユーザ・オプション・バイト（000C2H）により 64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）の HIOSTOP ビットにて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

6.4.4 中速オンチップ・オシレータ

本製品は、中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ（CSC）の MIOEN ビットにて発振を制御できます。

6.4.5 低速オンチップ・オシレータ

本製品は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ウォッチドッグ・タイマが動作
- サブシステム・クロック供給モード制御レジスタ（OSMC）の WUTMMCK0 ビット、またはサブシステム・クロック選択レジスタ（CKSEL）の SELLOSC ビットのいずれか、または両ビットが1
- SNOOZE モード・シーケンサのウェイト処理でウェイトのソース・クロックに fil を選択

ウォッチドッグ・タイマ停止時、WUTMMCK0 = 0 かつ SELLOSC = 0 のとき、低速オンチップ・オシレータは停止します。

6.5 クロック発生回路の動作

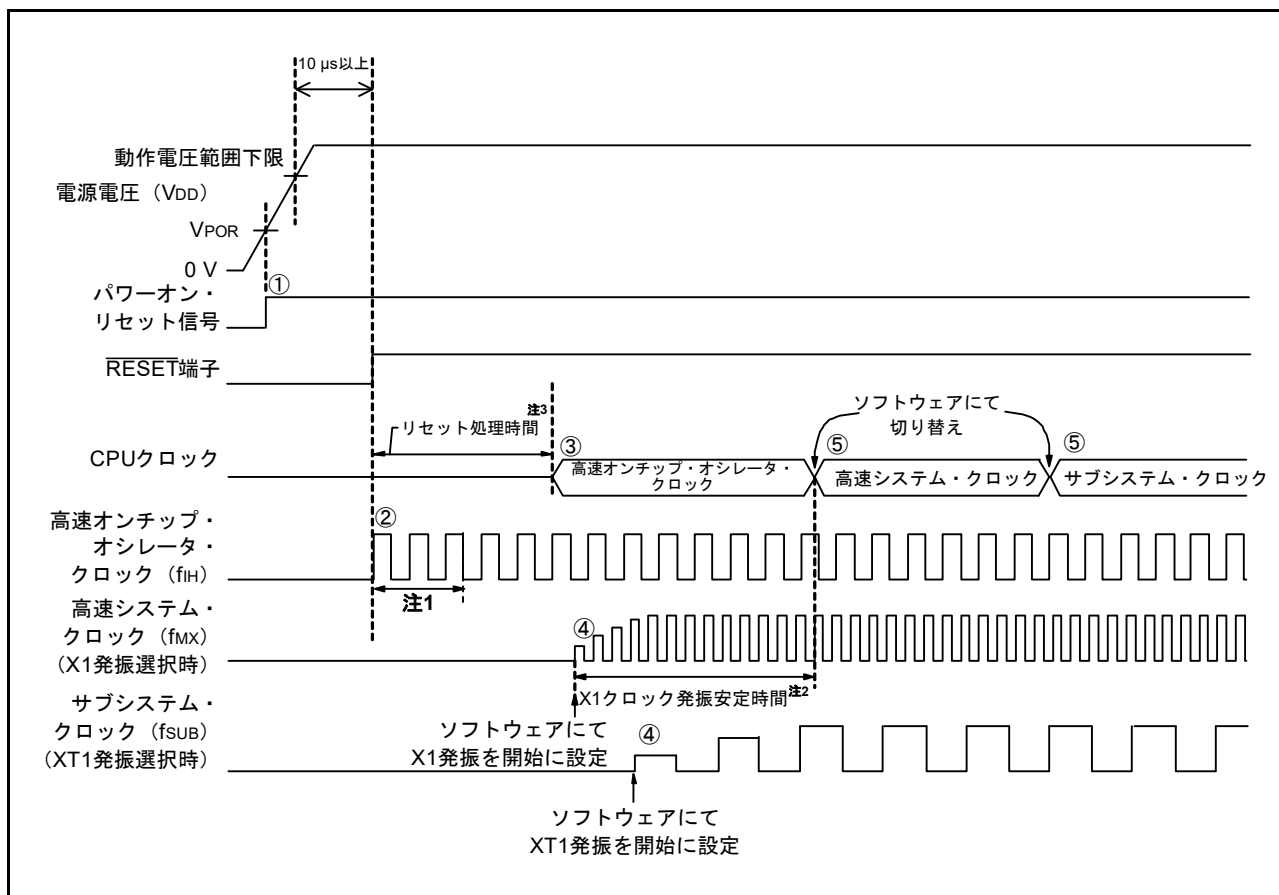
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどの CPU の動作モードを制御します（図 6-1 クロック発生回路のブロック図を参照）。

- メイン・システム・クロック (fMAIN)
 - 高速システム・クロック (fMX)
 - X1クロック (fx)
 - 外部メイン・システム・クロック (fEX)
 - 高速オンチップ・オシレータ・クロック (fiH)
 - 中速オンチップ・オシレータ・クロック (fiM)
- サブシステム・クロック (fSUB)
 - XT1 クロック (fxT)
 - 外部サブシステム・クロック (fEXS)
 - 低速オンチップ・オシレータ・クロック (fiL)
- CPU／周辺ハードウェア・クロック (fCLK)
- サブシステム・クロック X (fSX)
- 周辺用クロック
 - 高速オンチップ・オシレータ周辺クロック (fiHP)
 - 中速オンチップ・オシレータ周辺クロック (fiMP)
 - 高速周辺クロック (fMXP)
 - 低速周辺クロック (fSXP)
 - サブシステム・クロック XR (fSXR)

本製品では、リセット解除後、CPU は高速オンチップ・オシレータの出力により動作を開始します。

図 6 - 24 に電源電圧投入時のクロック発生回路の動作を示します。

図 6 - 24 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット回路による内部リセット信号が発生します。
ただし、**42.4 AC特性**に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます（上図は、外部リセット使用時の例）。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPUが高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください（**6.6.2 X1発振回路の設定例**、**6.6.3 XT1発振回路の設定例**を参照）。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください（**6.6.2 X1発振回路の設定例**または**6.6.3 XT1発振回路の設定例**を参照）。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

注3. リセット処理時間は、**第29章 パワーオン・リセット回路（POR）**を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

6.6 クロックの制御

6.6.1 高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、ユーザ・オプション・バイト（000C2H）の FRQSEL4-FRQSEL0 ビットにより、64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により、周波数を変更することもできます。

【ユーザ・オプション・バイト設定】

アドレス：000C2H

	7	6	5	4	3	2	1	0
ユーザ・ オプション・ バイト (000C2H)	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					fHOCO	fIH
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{IH} = 24 MHz	f _{IH} = 32 MHz	f _{IH} = 24 MHz f _{HOCO} = 48 MHz	f _{IH} = 32 MHz f _{HOCO} = 64 MHz
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12 MHz f _{HOCO} = 24 MHz	f _{IH} = 16 MHz f _{HOCO} = 32 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6 MHz f _{HOCO} = 12 MHz	f _{IH} = 8 MHz f _{HOCO} = 16 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz	f _{IH} = 4 MHz f _{HOCO} = 8 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz	設定禁止	f _{IH} = 2 MHz f _{HOCO} = 4 MHz
1	0	1	設定禁止	f _{IH} = 1 MHz	設定禁止	f _{IH} = 1 MHz f _{HOCO} = 2 MHz
上記以外			設定禁止			

6.6.2 X1 発振回路の設定例

CPU／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 発振クロックに変更する場合、発振安定時間選択レジスタ（OSTS）、クロック動作モード制御レジスタ（CMC）、クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ（CKC）で X1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMC レジスタの OSCSEL ビットを 1 にセット、fx > 10 MHz の場合は AMPH ビットを 1 にセットして X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 0	0	AMPHS1 0	AMPHS0 0	AMPH 0/1

- ② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。

例) 10 MHz の発振子で 102 μ s 以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

- ③ CSC レジスタの MSTOP ビットを 0 にクリアして X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 1	0	0	0	0	MIOEN 0	HIOSTOP 0

- ④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。

例) 10 MHz の発振子で 102 μ s 以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

- ⑤ CKC レジスタの MCM0 ビットで X1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	MCS1 0	MCM1 0

注意 システム・クロック制御レジスタ（CKC）でメイン・システム・クロック（fMAIN）を変更する場合は、クロックの変更前、変更後ともにユーザ・オプション・バイト（000C2H）およびフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、5.2.1 フラッシュ動作モード選択レジスタ（FLMODE）を参照してください。

6.6.3 XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ（OSMC）、クロック動作モード制御レジスタ（CMC）、クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ（CKC）で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロック、クロック出力／ブザー出力制御機能、LCD コントローラ／ドライバのみサブシステム・クロックで動作（超低消費電流）させる場合は RTCLPC ビットに 1 を設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	×	×	0	HIPREC 1

- ② CMC レジスタの OSCSELS ビットを 1 にセットして XT1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS1, AMPHS0 ビット：XT1 発振回路の発振モードを設定します。

- ③ CSC レジスタの XTSTOP ビットを 0 にクリアして XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	MIOEN 0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

- ⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	MCS1 0	MCM1 0

備考 ×：不定

6.6.4 CPUクロック状態移行図

図6-25にCPUクロック状態移行図を示します。

図6-25 CPUクロック状態移行図

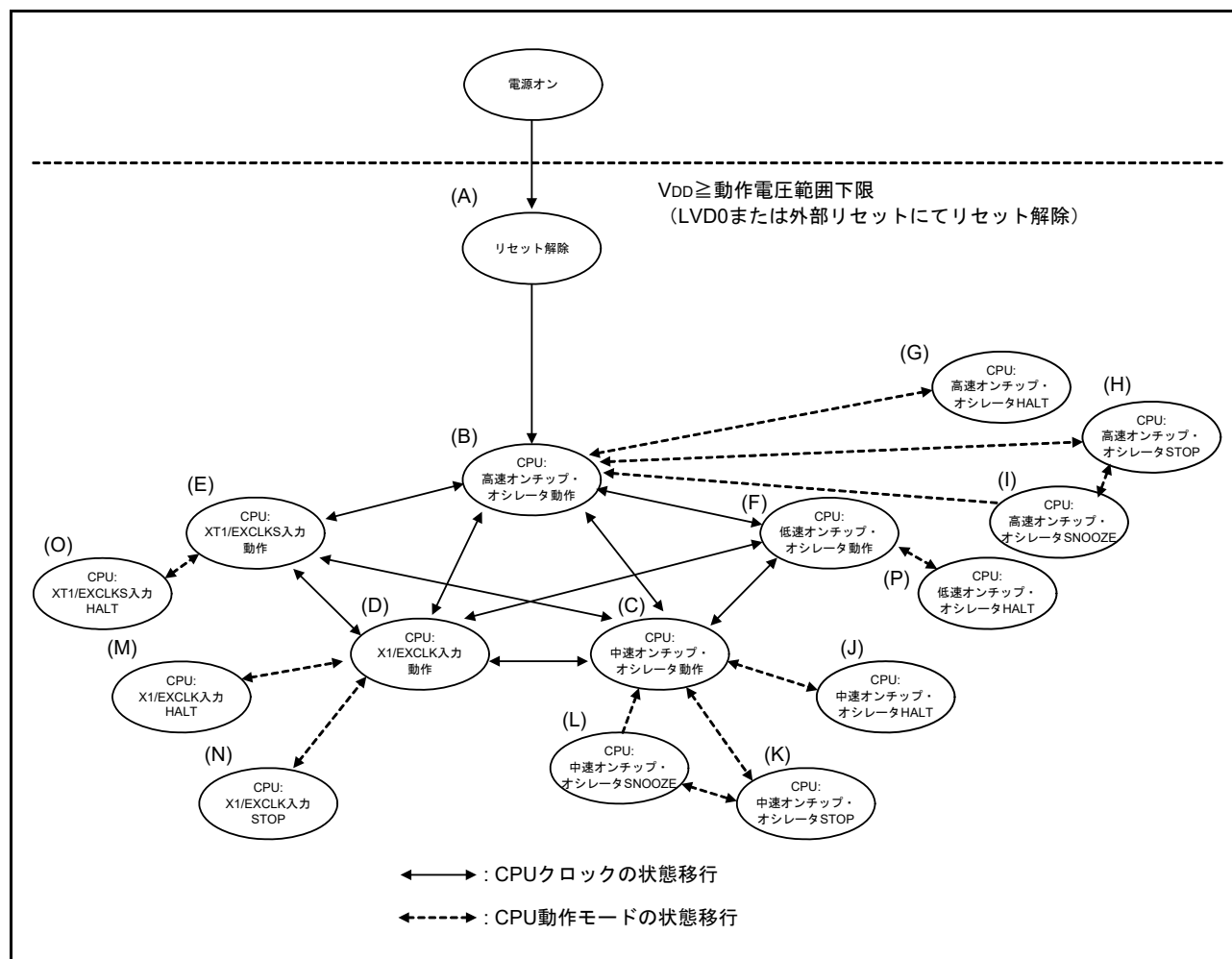


表 6 - 2 に CPU クロックの状態移行とレジスタの設定例などを示します。

表6 - 2 CPUクロックの移行とSFRレジスタの設定例 (1/3)

(1) リセット解除後(A)に、CPUを高速オンチップ・オシレータ・クロック動作(B)へ移行

対象状態遷移：(A)→(B)

移行先のクロック	SFRレジスタの設定
高速オンチップ・オシレータ	SFRレジスタ設定不要（リセット解除後の初期状態）

(2) 高速オンチップ・オシレータ・クロック動作(B)へ移行

対象状態遷移：(C)→(B), (D)→(B), (E)→(B), (F)→(B)

(SFRレジスタの設定順序) →

移行先のクロック	SFRレジスタの設定	発振安定待ち	CKCレジスタ		
	CSCレジスタ HIOSTOP		CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	5 μ s	0	0	0

高速オンチップ・オシレータ・
クロック動作中の場合は不要

(3) 中速オンチップ・オシレータ・クロック動作(C)へ移行

対象状態遷移：(B)→(C), (D)→(C), (E)→(C), (F)→(C)

(SFRレジスタの設定順序) →

移行先のクロック	SFRレジスタの設定	発振安定待ち	CKCレジスタ		
	CSCレジスタ MIOEN		CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	1 μ s	0	0	1

中速オンチップ・オシレータ・
クロック動作中の場合は不要

備考 表 6 - 2 の (A) - (P) は、図 6 - 25 CPU クロック状態移行図の (A) - (P) と対応しています。

表6-2 CPUクロックの移行とSFRレジスタの設定例 (2/3)

(4) CPUを高速システム・クロック動作(D)へ移行

対象状態遷移：(B)→(D), (C)→(D), (E)→(D), (F)→(D)

(SFRレジスタの設定順序)→

SFRレジスタの設定 移行先のクロック	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ	
	EXCLK	OSCSEL	AMPH		MSTOP		CSS	MCM0
X1クロックに移行：1 MHz ≤ f _x ≤ 10 MHz	0	1	0	注2	0	確認必要	0	1
X1クロックに移行：10 MHz < f _x ≤ 20 MHz	0	1	1	注2	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注2	0	確認不要	0	1

設定済みの場合は不要

高速システム・クロック
動作中の場合は不要**注1.** クロック動作モード制御レジスタ（CMC）は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。**注2.** 発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

- ・ 期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧（第42章 電気的特性を参照）に電源電圧が達してから、クロックを設定してください。

(5) CPUをサブシステム・クロック動作(E)へ移行

対象状態遷移：(B)→(E), (C)→(E), (D)→(E)

(SFRレジスタの設定順序)→

SFRレジスタの設定 移行先のクロック	CMCレジスタ ^注				CSCレジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
XT1クロックに移行	0	1	0/1	0/1	0	必要	1
外部サブシステム・クロックに移行	1	1	×	×	0	必要	1

設定済みの場合は不要

サブシステム・クロック動作中
の場合は不要**注** クロック動作モード制御レジスタ（CMC）は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。**備考1.** ×：Don't care**備考2.** 表6-2の(A)～(P)は、図6-25 CPUクロック状態移行図の(A)～(P)と対応しています。

表6 - 2 CPUクロックの移行とSFRレジスタの設定例 (3/3)

(6) 低速オンチップ・オシレータ・クロック動作(F)へ移行

対象状態遷移 : (B)→(F), (C)→(F), (D)→(F)

(SFRレジスタの設定順序) →

SFRレジスタの設定 移行先のクロック	CKSEL	発振精度安定待ち	CKCレジスタ
	SELLOSC		CSS
低速オンチップ・オシレータに移行	1	80 μs	1

低速オンチップ・
オシレータ・クロック
動作中の場合は不要

(7) CPU動作モード(B), (C), (D), (E), (F)からHALTモード(G), (J), (M), (O), (P)へ移行

対象状態遷移 : (B)→(G), (C)→(J), (D)→(M), (E)→(O), (F)→(P)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

(8) CPU動作モード(B), (C), (D)からSTOPモード(H), (K), (N)へ移行

対象状態遷移 : (B)→(H), (C)→(K), (D)→(N)

(設定順序) →

移行先のモード	設定内容			
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTSレジスタを設定する	HIPREC = 1であることを確認	STOP命令を実行する

STOPまたはSNOOZEモード解除時

- ・高速オンチップ・オシレータを通常起動する場合はFWKUP = 0
- ・高速オンチップ・オシレータを高速起動する場合はFWKUP = 1

CPUが高速システム・クロック動作中からSTOPモードに移行する場合のみ、設定が必要

高速オンチップ・オシレータを高速起動する場合以外は設定不要

CPUが高速オンチップ・オシレータ動作中からSTOPモードに移行する場合のみ、設定が必要

(9) STOPモード(H), (K)とSNOOZEモード(I), (L)の移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、**第27章 スタンバイ機能**および各周辺のSNOOZEモード機能を参照してください。

備考 表6 - 2の(A) - (P)は、図6 - 25 CPUクロック状態移行図の(A) - (P)と対応しています。

6.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6-3 CPUクロックの移行について (1/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、高速オンチップ・オシレータを停止 (HIOSTOP = 1) すると、動作電流を低減可能。
	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・ HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、中速オンチップ・オシレータを停止 (MIOEN = 0) すると、動作電流を低減可能
	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	

表6-3 CPUクロックの移行について (2/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能 (MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	
	外部メイン・システム・クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 ・ SELLOSC = 1	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること ・ MIOEN = 1	
	X1クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 SELLOSC = 1	

表6 - 3 CPUクロックの移行について (3/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、XT1発振停止に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・ MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	外部サブシステム・クロック	移行不可	—
	低速オンチップ・オシレータ・クロック		

表6 - 3 CPUクロックの移行について (4/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部サブシステム・クロック入力を無効に設定可能 (XTSTOP = 1)
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・ MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	XT1クロック	移行不可	—
	低速オンチップ・オシレータ・クロック		

表6 - 3 CPUクロックの移行について (5/5)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0, MCS1 = 0	—
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること ・ MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	XT1クロック	移行不可	—
	外部サブシステム・クロック		

6.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）の CSS, MCM0, MCM1 ビットの設定により、CPU クロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）、メイン・システム・クロックの切り替え（オンチップ・オシレータ・クロック⇔高速システム・クロック）、オンチップ・オシレータ・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔中速オンチップ・オシレータ・クロック）をすることができます。

実際の切り替え動作は、CKC レジスタを書き換えた直後ではなく、CKC レジスタを変更したのち、数クロックは切り替え前のクロックで動作します（表 6 - 4 ～表 6 - 7 参照）。

CPU クロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKC レジスタの CLS ビットで判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか、メイン・オンチップ・オシレータ・クロックで動作しているかは、CKC レジスタの MCS ビットで判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか、中速オンチップ・オシレータで動作しているかは、CKC レジスタの MCS1 ビットで判定できます。

CPU クロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表6 - 4 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
fOCO	↔	fMX	表 6 - 5 参照
fIH	↔	fIM	表 6 - 6 参照
fMAIN	↔	fSUB	表 6 - 7 参照

表6 - 5 fOCO⇔fMXで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (fMAIN = fOCO)	1 (fMAIN = fMX)
0 (fMAIN = fOCO)	fMX ≥ fOCO		2クロック
	fMX < fOCO		2 fOCO/fMX クロック
1 (fMAIN = fMX)	fMX ≥ fOCO	2 fMX/fOCO クロック	
	fMX < fOCO	2クロック	

表6 - 6 fIH⇔fIMで要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 (fOCO = fIH)	1 (fOCO = fIM)
0 (fOCO = fIH)	fIM ≥ fIH		2クロック
	fIM < fIH		2 fIH/fIM クロック
1 (fOCO = fIM)	fIM ≥ fIH	2 fIM/fIH クロック	
	fIM < fIH	2クロック	

表6-7 fMAIN⇄fSUBで要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 (fCLK = fMAIN)	1 (fCLK = fSUB)
0 (fCLK = fMAIN)		1 + 2 fMAIN/fSUB クロック
1 (fCLK = fSUB)	3クロック	

備考1. 表6-5～表6-7のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. 表6-5～表6-7のクロック数は、小数点以下を切り上げてください。

(例) メイン・システム・クロックを高速オンチップ・オシレータ・クロック (8 MHz 選択時) から高速システム・クロックに切り替える場合 (f_{1H} = 8 MHz, f_{1M} = 10 MHz 発振時)

$$1 + f_{1H}/f_{1M} = 1 + 8/10 = 1 + 0.8 = 1.8 \rightarrow 2 \text{ クロック}$$

6.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。

表6-8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFR レジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS1 = 1 または MCS = 1 または CLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1 = 0 または MCS = 1 または CLS = 1 (CPUクロックが中速オンチップ・オシレータ・クロック以外で動作)	MIOEN = 0
X1クロック	MCS = 0 または CLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
外部サブシステム・クロック		
低速オンチップ・オシレータ・クロック ^注	CLS = 0 (CPUクロックが低速オンチップ・オシレータ・クロック以外で動作)	SELLOSC = 0 WUTMMCK0 = 0

注 WDTが動作している場合またはSNOOZEモード・シーケンサのウェイト処理でウェイトのソース・クロックにfILを選択している場合は停止しません。

6.7 発振子と発振回路定数

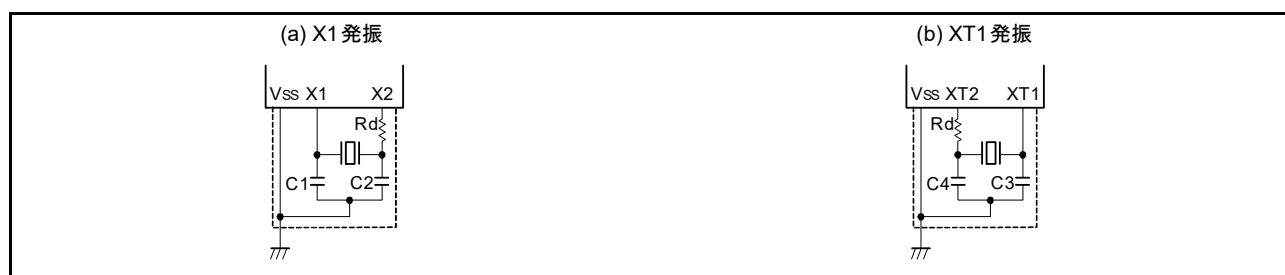
動作確認済みの発振子と、その発振回路定数（参考）は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図6 - 26 外付け回路例

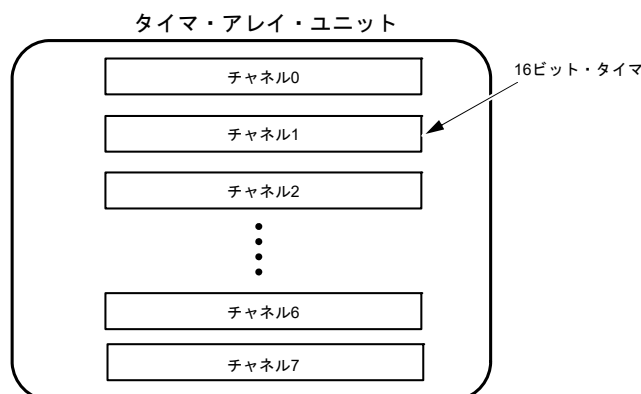


第7章 タイマ・アレイ・ユニット (TAU)

タイマ・アレイ・ユニットは1ユニット、8チャンネル搭載しています。

タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャンネル動作機能	複数チャンネル連動動作機能
・インターバル・タイマ (→7.8.1参照) ・方形波出力 (→7.8.1参照) ・外部イベント・カウンタ (→7.8.2参照) ・分周器注 (→7.8.3参照) ・入力パルス間隔測定 (→7.8.4参照) ・入力信号のロウ・レベル幅／ハイ・レベル幅測定 (→7.8.5参照) ・ディレイ・カウンタ (→7.8.6参照)	・ワンショット・パルス出力 (→7.9.1参照) ・PWM出力 (→7.9.2参照) ・多重PWM出力 (→7.9.3参照) ・リモコン出力機能 (→7.9.4参照)

注 ユニット0のチャンネル0のみ

ユニット0のチャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
- ・外部イベント・カウンタ（下位8ビット・タイマのみ）
- ・ディレイ・カウンタ（下位8ビット・タイマのみ）

また、ユニット0のチャンネル7は、シリアル・アレイ・ユニットのUART2と連携し、LIN-bus通信動作を実現することができます。

7.1 タイマ・アレイ・ユニットの機能

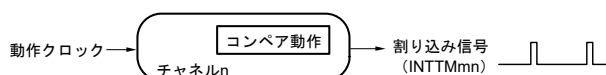
タイマ・アレイ・ユニットには、次のような機能があります。

7.1.1 単独チャネル動作機能

単独チャネル動作機能は、ほかのチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

(1) インターバル・タイマ

一定間隔で割り込み (INTTMmn) を発生する基準タイマとして利用できます。



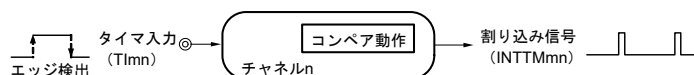
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50% の方形波をタイマ出力端子 (TOMn) より出力します。



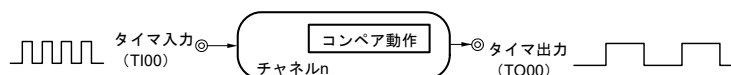
(3) 外部イベント・カウンタ

タイマ入力端子 (TImn) に入力される信号の有効エッジをカウントし、規定回数に達すると割り込みを発生するイベント・カウンタとして利用できます。



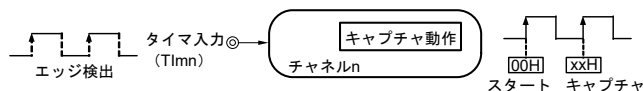
(4) 分周器機能 (ユニット0のチャネル0のみ)

タイマ入力端子 (TI00) から入力されたクロックを分周して出力端子 (TO00) より出力します。



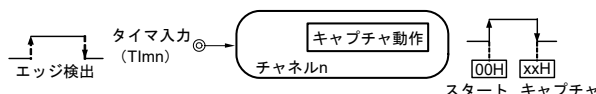
(5) 入力パルス間隔測定

タイマ入力端子 (TImn) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



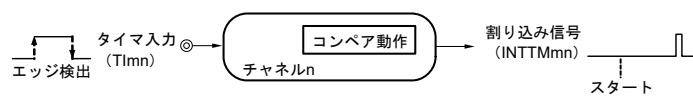
(6) 入力信号のロウ・レベル幅／ハイ・レベル幅測定

タイマ入力端子 (TImn) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のロウ・レベル幅／ハイ・レベル幅を測定します。



(7) ディレイ・カウンタ

タイマ入力端子 (Tl_{mn}) に入力される信号の有効エッジでカウントをスタートし、任意のディレイ期間後、割り込みを発生します。



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

備考2. チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

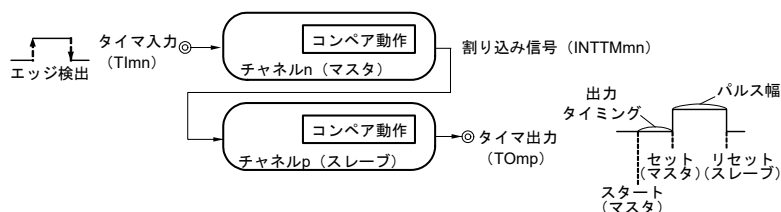
7.1.2 複数チャネル連動動作機能

複数チャネル連動動作機能は、マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合わせることで実現する機能です。

複数チャネル連動動作機能は、次に示すモードとして利用できます。

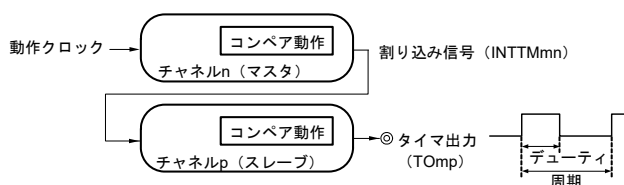
(1) ワンショット・パルス出力

2チャネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



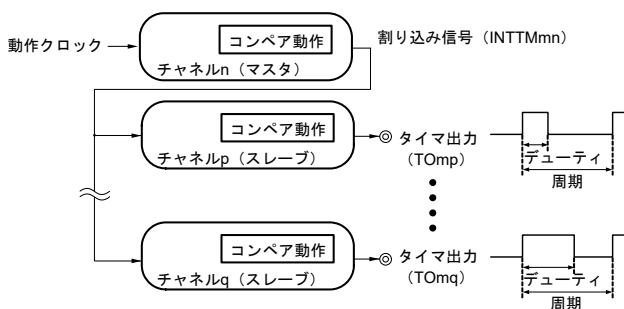
(2) PWM (Pulse Width Modulation) 出力

2チャネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



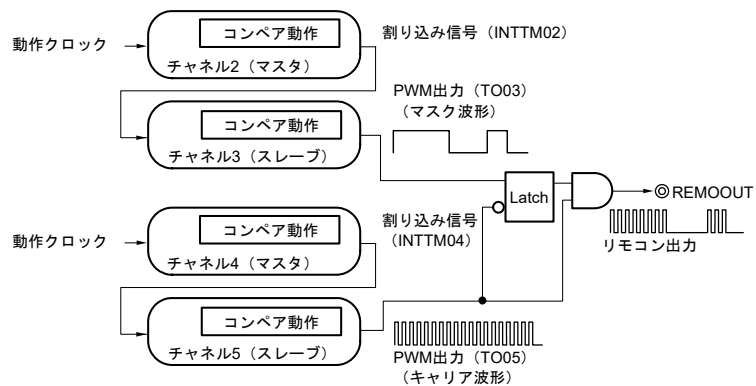
(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



(4) リモコン出力機能

チャンネル2, 3、チャンネル4, 5のセットでPWM出力機能を使用します。チャンネル3からのPWM出力信号をマスク波形、チャンネル5からのPWM出力信号をキャリア波形とし、これらの信号の論理積をリモコン出力として出力します。



注意 複数チャンネル連動動作機能のルールの詳細については、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)、
p, q : スレーブ・チャンネル番号 (n < p < q ≤ 7)

7.1.3 8ビット・タイマ動作機能（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、7.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）を参照してください。

7.1.4 LIN-bus対応機能（ユニット0のチャンネル7のみ）

LIN-bus 通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、7.3.16 入力切り替え制御レジスタ（ISC）および7.8.5 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作を参照してください。

7.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表7-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TI00-TI07 ^{注1} 、RxD2端子 (LIN-bus用)
タイマ出力	TO00-TO07 ^{注1} 、出力制御回路
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ0 (PER0) ・周辺リセット制御レジスタ0 (PRR0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSM) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ入力選択レジスタ1 (TIS1) ・タイマ出力選択レジスタ (TOS) ・タイマ出力許可レジスタm (TOEm) ・タイマ出力レジスタm (TOM) ・タイマ出力レベル・レジスタm (TOLm) ・タイマ出力モード・レジスタm (TOMm) <各チャンネル部のレジスタ> ・タイマ・モード・レジスタmn (TMRmn) ・タイマ・ステータス・レジスタmn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・レジスタ (PMxx) ^{注2} ・ポート・レジスタ (Pxx) ^{注2} ・ポート出力モード・レジスタ (POMxx) ^{注2} ・ポート・モード・コントロールA・レジスタ (PMCAxx) ^{注2} ・ポート・モード・コントロールT・レジスタ (PMCTxx) ^{注2} ・ポート・モード・コントロールE・レジスタ (PMCExx) ^{注2} ・ポート・ファンクション出力許可レジスタ (PFOEx) ^{注2} ・LCDポート・ファンクション・レジスタ (PFSEGx) ^{注2}

注1. チャンネル0～7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7-2 各製品に搭載しているタイマ入出力端子**を参照してください。

注2. 製品によって設定するレジスタが異なります。詳細は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

表7-2 各製品に搭載しているタイマ入出力端子

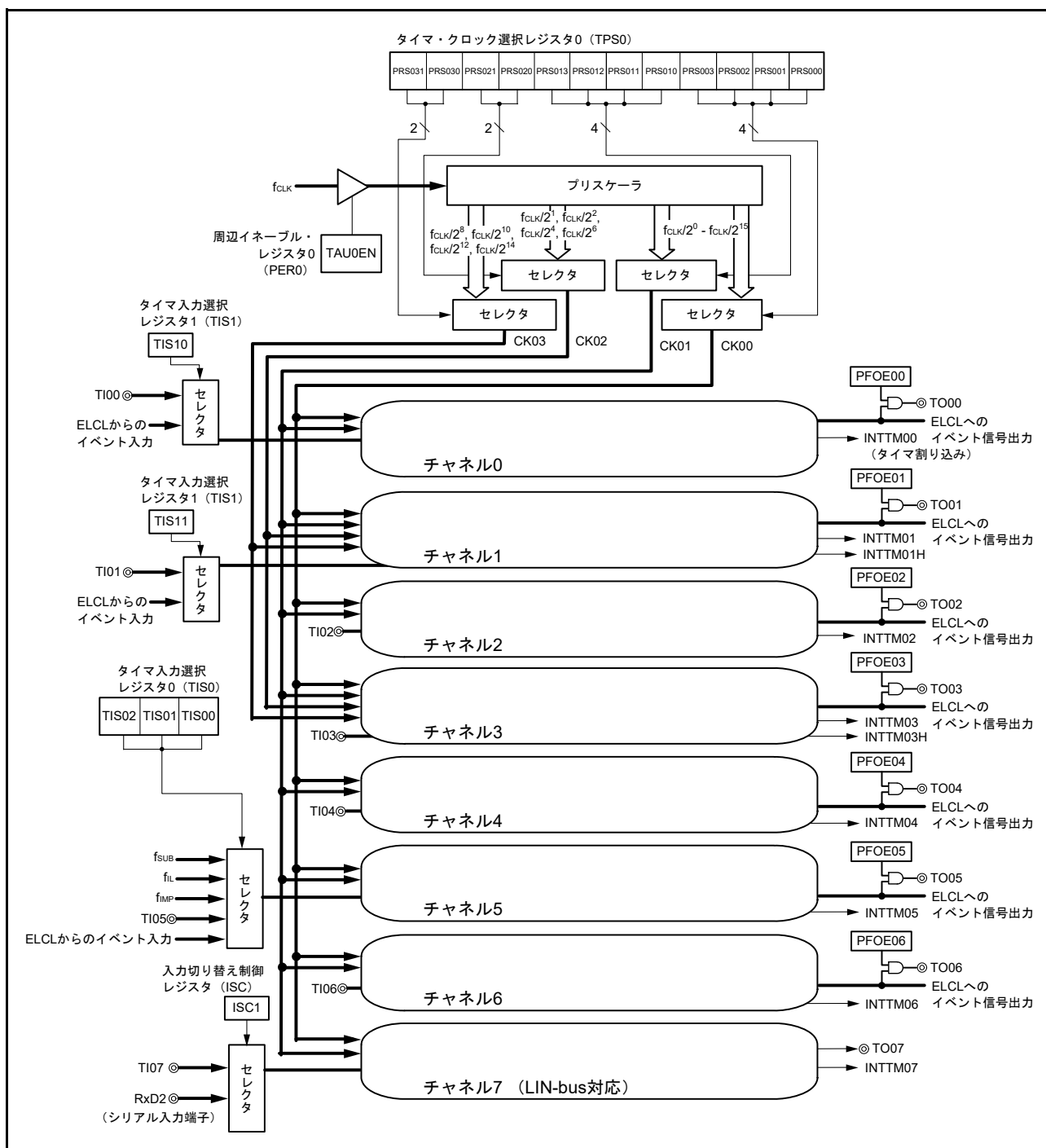
タイマ・アレイ・ ユニット・チャンネル		各製品の入出力端子の有無					
		44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
ユニット0	チャンネル0	(TI00/TO00)注			TI00/TO00		
	チャンネル1	(TI01/TO01)注					TI01/TO01
	チャンネル2	(TI02/TO02)注	TI02/TO02				
	チャンネル3	(TI03/TO03)注			TI03/TO03		
	チャンネル4	(TI04/TO04)注		TI04/TO04			
	チャンネル5	(TI05/TO05)注			TI05/TO05		
	チャンネル6	(TI06/TO06)注				TI06/TO06	
	チャンネル7	(TI07/TO07)注			TI07/TO07		

注 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx)** を参照してください。

備考 タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

図 7-1 にタイマ・アレイ・ユニットのブロック図を示します。

図 7-1 タイマ・アレイ・ユニット0のブロック図 (例: 64ピン製品)



備考 f_{SUB} : サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

f_{IMP} : 中速オンチップ・オシレータ周辺クロック周波数

図7-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図

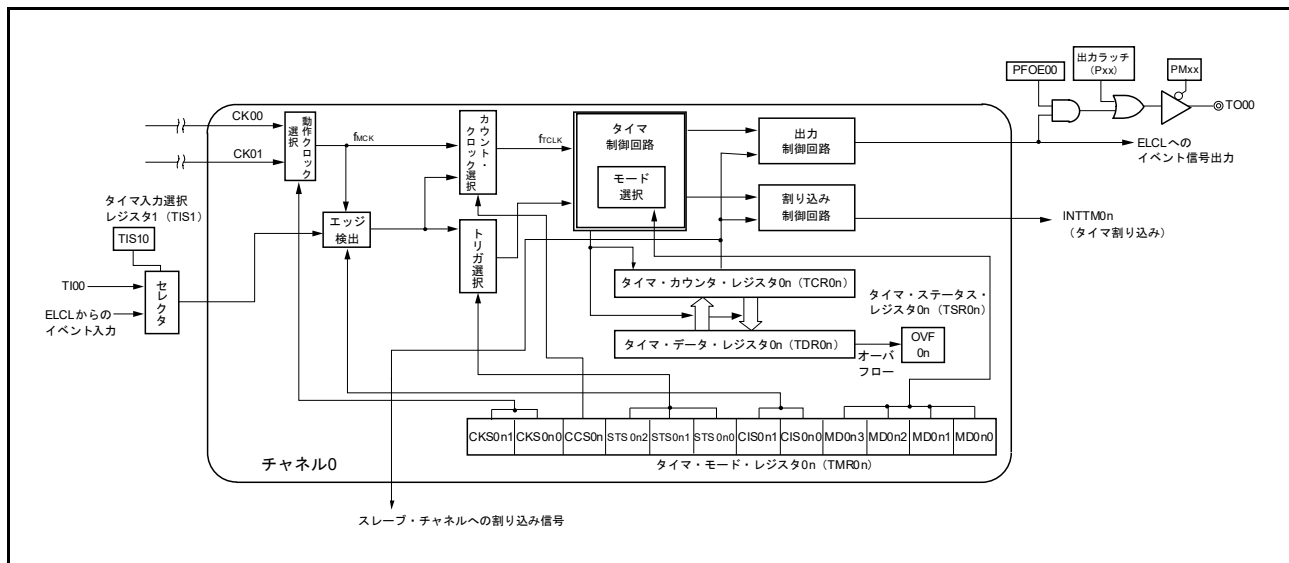


図7-3 タイマ・アレイ・ユニット0のチャンネル1内部ブロック図

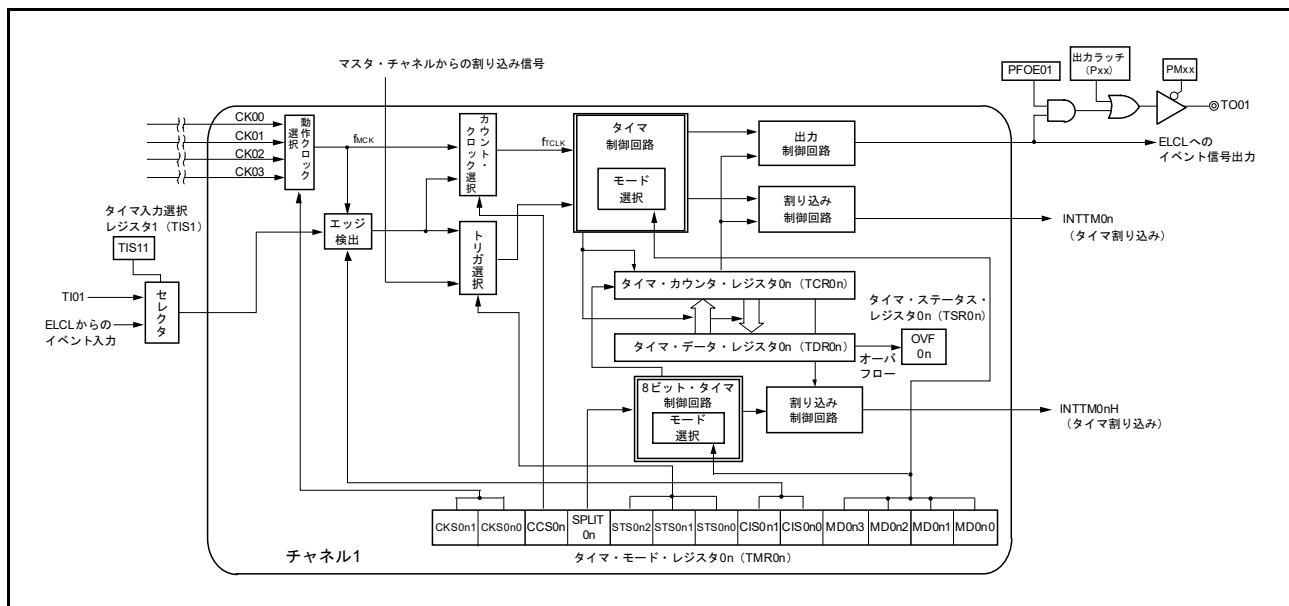
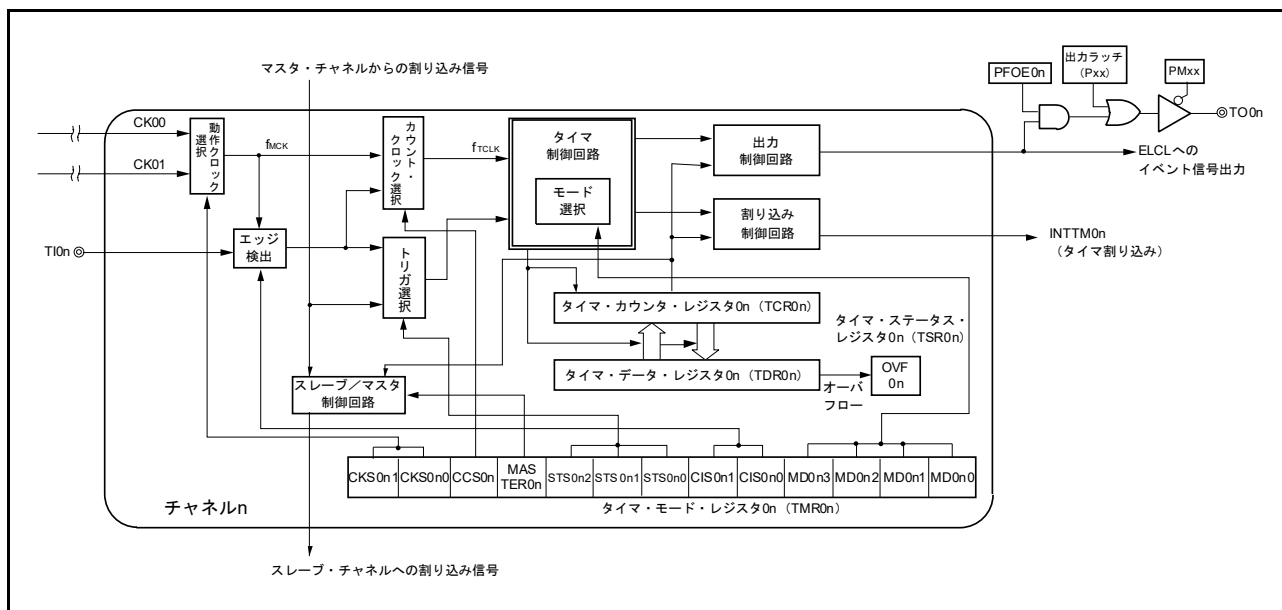


図7-4 タイマ・アレイ・ユニット0のチャンネル2, 4, 6内部ブロック図



備考 n = 2, 4, 6

図7-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図

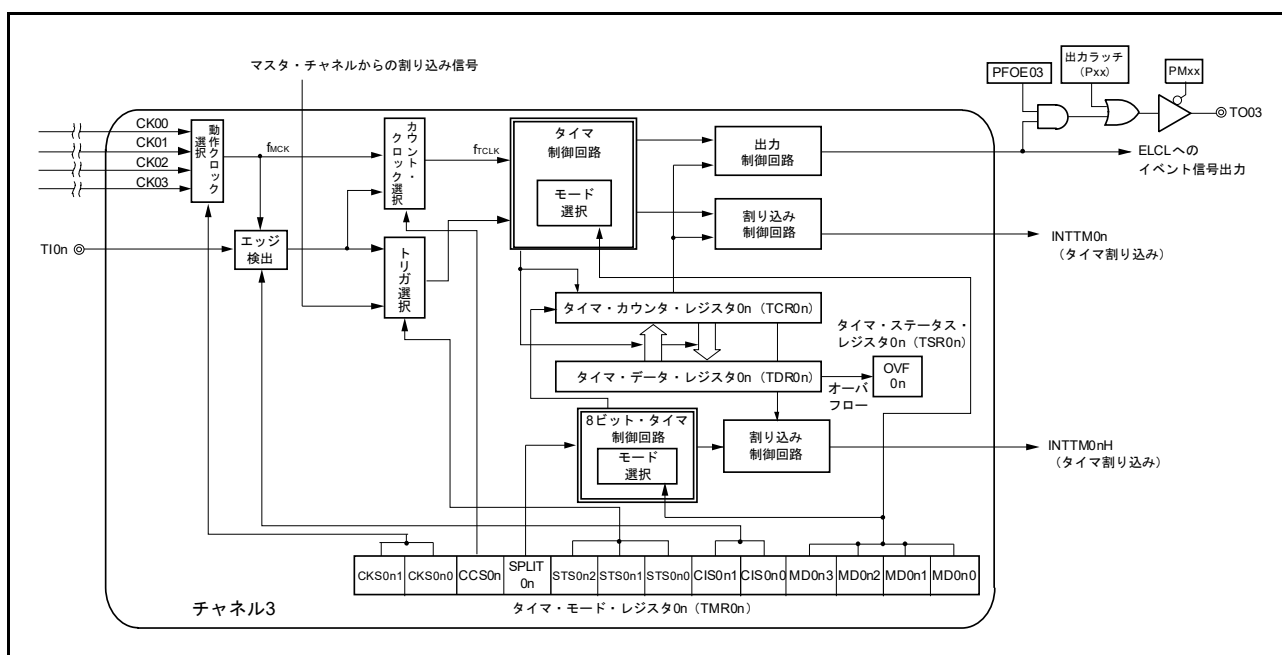


図 7-6 タイマ・アレイ・ユニット0のチャンネル5内部ブロック図

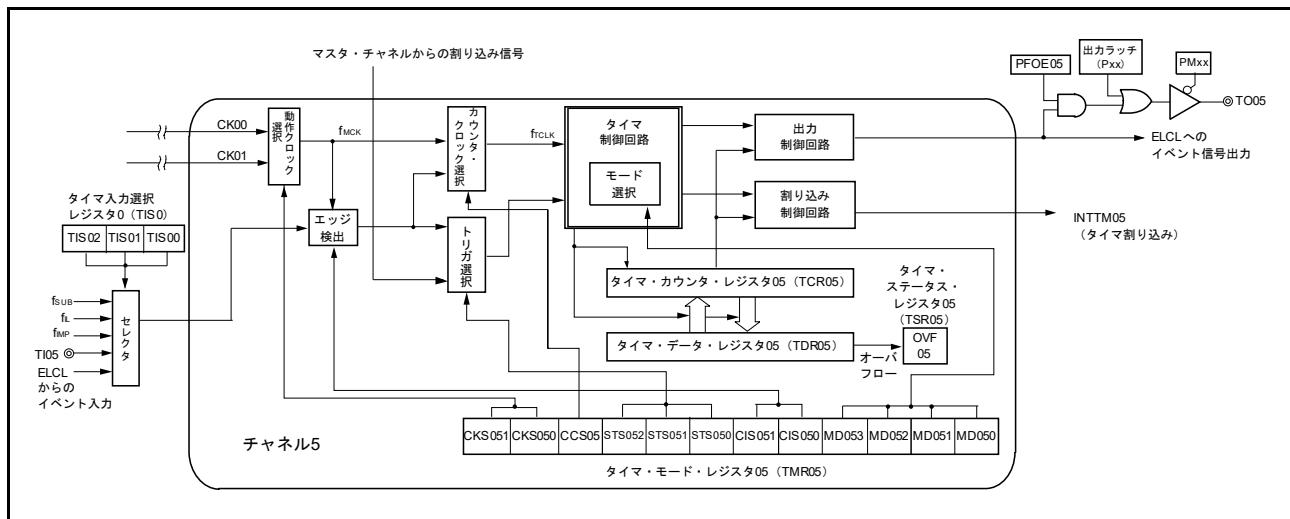
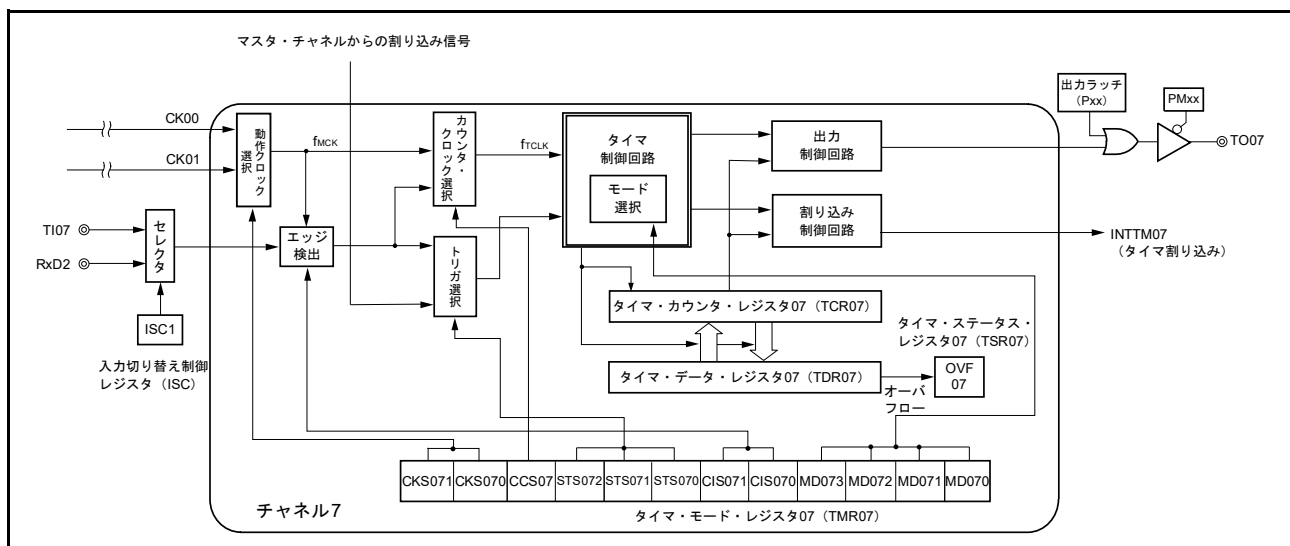


図 7-7 タイマ・アレイ・ユニット0のチャンネル7内部ブロック図



7.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

TCRmn レジスタは、カウント・クロックをカウントする 16 ビットの読み出し専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント／デクリメントします。

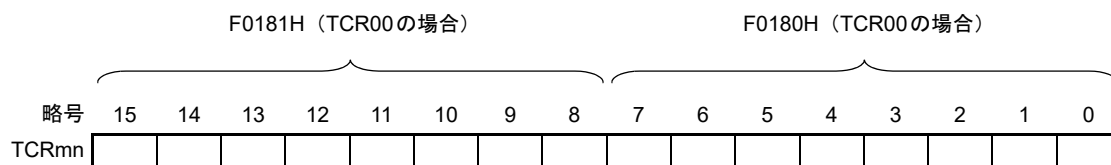
インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります (7.3.4 タイマ・モード・レジスタ mn (TMRmn) 参照)。

図7-8 タイマ・カウンタ・レジスタ mn (TCRmn) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07)

リセット時: FFFFH

R/W属性 : R



備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

タイマ・カウンタ・レジスタ mn (TCRmn) を読み出すことにより、カウント値を読み出せます。

次の場合、カウント値はFFFFHになります。

- ・ リセット信号の発生時
- ・ 周辺リセット制御レジスタ0 (PRR0) のTAUmRESビットをクリアしたとき
- ・ PWM出力モードで、スレーブ・チャネルのカウント完了時
- ・ ディレイ・カウンタ・モードで、スレーブ・チャネルのカウント完了時
- ・ ワンショット・パルス出力モードで、マスタ／スレーブ・チャネルのカウント完了時
- ・ 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・ キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・ キャプチャ・モード時で、キャプチャ完了時

注意 TCRmnレジスタを読み出しても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

TCRmn レジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7-3 各動作モード時のタイマ・カウンタ・レジスタmn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

注 チャンネルnがタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値がTCRmn レジスタに保持されます。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能がコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn) の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。

TDRmn レジスタは任意のタイミングで書き換えることができます。

16 ビット単位で読み出し／書き込み可能です。

また、TDRm1, TDRm3 レジスタは、8 ビット・タイマ・モード時 (タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3) の SPLITm1, SPLITm3 ビットが 1) に、上位 8 ビットを TDRm1H, TDRm3H、下位 8 ビットを TDRm1L, TDRm3L として、8 ビット単位で読み出し／書き込み可能です。

リセット信号の発生により、0000H になります。

図 7 - 9 タイマ・データ・レジスタ mn (TDRmn) (n = 0, 2, 4-7) のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)

リセット時: 0000H

R/W属性 : R/W

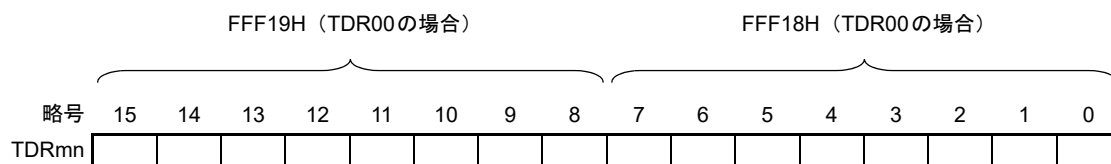
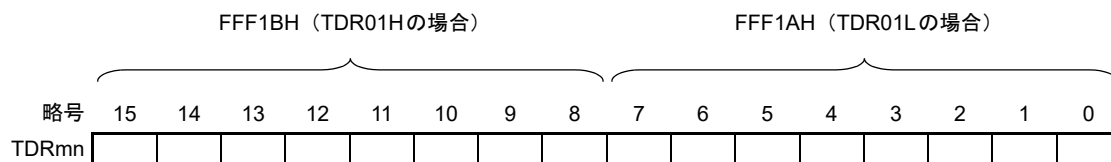


図 7 - 10 タイマ・データ・レジスタ mn (TDRmn) (n = 1, 3) のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03)

リセット時: 0000H

R/W属性 : R/W



(i) タイマ・データ・レジスタ mn (TDRmn) をコンペア・レジスタとして使用するとき

TDRmn レジスタに設定した値からダウン・カウントをスタートして、0000H になったときに割り込み信号 (INTTmn) を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

(ii) タイマ・データ・レジスタ mn (TDRmn) をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn) のカウント値を TDRmn レジスタにキャプチャします。

キャプチャ・トリガとして、TImn 端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn) で設定します。

注意 コンペア機能に設定した TDRmn レジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- タイマ・クロック選択レジスタm (TPSm)
- タイマ・モード・レジスタmn (TMRmn)
- タイマ・ステータス・レジスタmn (TSRmn)
- タイマ・チャンネル許可ステータス・レジスタm (TEm)
- タイマ・チャンネル開始レジスタm (TSM)
- タイマ・チャンネル停止レジスタm (TTm)
- タイマ入力選択レジスタ0 (TIS0)
- タイマ入力選択レジスタ1 (TIS1)
- タイマ出力選択レジスタ (TOS)
- タイマ出力許可レジスタm (TOEm)
- タイマ出力レジスタm (TOM)
- タイマ出力レベル・レジスタm (TOLm)
- タイマ出力モード・レジスタm (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには、必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ず TAU0EN ビットに1を設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-11 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ^注
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは00Hとなり、書き込みは無視されます（タイマ入力選択レジスタ0, 1 (TIS0, TIS1)、入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ1 (NFEN1)、ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート出力モード・レジスタ (POMxx)、ポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx)、ポート・ファンクション出力許可レジスタ (PFOEx)、LCDポート・ファンクション・レジスタ (PFSEGx) は除く)。

- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタmn (TSRmn)
- ・タイマ・チャネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャネル開始レジスタm (TSM)
- ・タイマ・チャネル停止レジスタm (TTm)
- ・タイマ出力許可レジスタm (TOEm)
- ・タイマ出力レジスタm (TOM)
- ・タイマ出力レベル・レジスタm (TOLm)
- ・タイマ出力モード・レジスタm (TOMm)

7.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニット0 をリセットする場合は、TAU0RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7-12 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H
リセット時: 00H
R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	IICA1RES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
TAU0RES	タイマ・アレイ・ユニット0 のリセット制御							
0	タイマ・アレイ・ユニット0 のリセット解除							
1	タイマ・アレイ・ユニット0 はリセット状態 ・タイマ・アレイ・ユニット0 で使用する SFR が初期化されます。							

注意 ビット7, 1 には、必ず0を設定してください。

7.3.3 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される 2 種類または 4 種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する 16 ビット・レジスタです。

CKm0 は TPSm レジスタのビット 3-0 で、CKm1 は TPSm レジスタのビット 7-4 で選択します。さらにチャンネル 1, 3 のみ、CKm2, CKm3 も選択できます。CKm2 は TPSm レジスタのビット 9-8 で、CKm3 は TPSm レジスタのビット 13, 12 で選択できます。

タイマ動作中の TPSm レジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03 ビットが書き換え可能な場合 (n = 0-7) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 00B) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13 ビットが書き換え可能な場合 (n = 0-7) :

- ★ 動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 10B) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21 ビットが書き換え可能な場合 (n = 1, 3) :

- ★ 動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 01B) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31 ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 11B) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図7-13 タイマ・クロック選択レジスタm (TPSm) のフォーマット (1/2)

アドレス : F01B6H, F01B7H (TPS0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TPSm	0	0	PRSm31	PRSm30	0	0	PRSm21	PRSm20
	7	6	5	4	3	2	1	0
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック (CKmk) の選択 ^注 (k = 0, 1)				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

図7-13 タイマ・クロック選択レジスタm (TPSm) のフォーマット (2/2)

PRSm21	PRSm20	動作クロック（CKm2）の選択 ^注					
		fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz	
0	0	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
1	1	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

PRSm31	PRSm30	動作クロック（CKm3）の選択 ^注					
			fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ (CKC) の値を変更）する場合は、タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。動作クロック (fMCK)、Tlmn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk) にfCLK (分周なし) を選択し、TDRmn = 0000H (m = 0, n = 0-7) を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU／周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります (m = 0)。詳細は、7.5.1 カウント・クロック (fTCLK) を参照してください。

★

チャンネル 1, 3 を 8 ビット・タイマ・モードで使用し、CKm2, CKm3 を動作クロックとすることにより、インターバル・タイマ機能で、表 7-4 に示すインターバル時間を実現することが可能です。

表 7-4 動作クロック CKSm2, CKSm3 で設定可能なインターバル時間

クロック		インターバル時間 ^注 (fCLK = 32 MHz)			
		10 μ s	100 μ s	1 ms	10 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU／周辺ハードウェア・クロック周波数

備考2. TPSm レジスタで選択する fCLK/2ⁱ の波形の詳細は、7.5.1 カウント・クロック (fCLK) を参照してください。

7.3.4 タイマ・モード・レジスタ mn (TMRmn)

TMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (fMCK) の選択、カウント・クロックの選択、マスタ/スレーブの選択、16 ビット/8 ビット・タイマの選択 (チャンネル 1, 3 のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード (インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント) 設定を行います。

TMRmn レジスタは、動作中 (TEmn = 1 のとき) の書き換えは禁止です。ただし、ビット 7, 6 (CISmn1, CISmn0) は、一部の機能で動作中 (TEmn = 1 のとき) の書き換えが可能です (詳細は、7.8 タイマ・アレイ・ユニットの単独チャンネル動作機能および 7.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

注意 TMRmn レジスタのビット 11 は、チャンネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6 : MASTERmn ビット (n = 2, 4, 6)

TMRm1, TMRm3 : SPLITmn ビット (n = 1, 3)

TMRm0, TMRm5, TMRm7 : 0 固定

図7-14 タイマ・モード・レジスタmn (TMRmn) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TMRmn (n = 2, 4, 6)	CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0

7	6	5	4	3	2	1	0
CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn (n = 1, 3)	CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0

7	6	5	4	3	2	1	0
CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn (n = 0, 5, 7)	CKSmn1	CKSmn0	0	CCSmn	0 ^{注1}	STSmn2	STSmn1	STSmn0

7	6	5	4	3	2	1	0
CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fMCK) の選択
0	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタm (TPSm) で設定した動作クロック CKm3
動作クロック (fMCK) は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fCLK) を生成します。		
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCS mn	チャンネルnのカウント・クロック (fCLK) の選択
0	CKSmn1, CKSmn0ビットで指定した動作クロック (fMCK)
1	TImn端子からの入力信号の有効エッジ ・ユニット0の場合: チャンネル0, 1では、TIS1nで選択した入力信号の有効エッジ チャンネル5では、TIS0で選択した入力信号の有効エッジ チャンネル7では、ISCで選択した入力信号の有効エッジ
カウント・クロック (fCLK) は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

図7-14 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/3)

TMRmn (n = 2, 4, 6) のビット11

MAS TER mn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作（スレーブ／マスタ）の選択
0	単独チャンネル動作機能または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作
チャンネル2, 4, 6のみマスタ・チャンネル (MASTERmn = 1) に設定できます。 チャンネル0, 5, 7は0固定となります（チャンネル0は最上位チャンネルのため、このビットの設定によらずマスタとして動作します）。 また、単独チャンネル動作機能として使用するチャンネルは、MASTERmn = 0にします。	

TMRmn (n = 1, 3) のビット11

SPLI Tmn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（ほかのトリガ要因を非選択にする）
0	0	1	Tlmn端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	Tlmn端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用（複数チャンネル連動動作機能のスレーブ・チャンネル時）
上記以外			設定禁止

CIS mn1	CIS mn0	Tlmn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ、キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ、キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0 = 010B時以外で両エッジ指定を使用する場合は、CISmn1, CISmn0 = 10Bに設定してください。		

図7-14 タイマ・モード・レジスタ mn (TMRmn) のフォーマット (3/3)

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／ 方形波出力／分周器機能 ／PWM出力（マスタ）	ダウン・カウンタ
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウンタ
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウンタ
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ ワンショット・パルス出 力／PWM出力（スレー ブ）	ダウン・カウンタ
1	1	0	キャプチャ&ワンカウント・モード	入力信号のロウ・レベル 幅／ハイ・レベル幅測定	アップ・カウンタ
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります（下表を参照）。					

動作モード (MDmn3-MDmn1ビットで設定 (上表参照))	MD mn0	カウンタ・スタートと割り込みの設定
・インターバル・タイマ・モード (000B) ・キャプチャ・モード (010B)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
	1	カウンタ開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (011B)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード ^{注2} (100B)	0	カウンタ動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
	1	カウンタ動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みは発生しない。
・キャプチャ&ワンカウント・モード (110B)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウンタ動作中のスタート・トリガを無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

注1. ビット11は読み出しのみ可能 (0固定) で、書き込みは無視されます。

注2. ワンカウント・モードでは、カウンタ動作開始時の割り込み出力 (INTTMmn)、TOMn出力は制御しません。

注3. 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタを初期化し、再カウント・スタートします (割り込み要求は発生せず)。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウンタ・クロック (fCLK) にCKSmn1, CKSmn0ビットで指定した動作クロック (fMCK)、TImn端子からの入力信号の有効エッジのどれを選択していても、fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH) させてください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.3.5 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmn レジスタは、チャンネル n のカウンタのオーバフロー状況を表示するレジスタです。

TSRmn レジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B) のみ有効です。各動作モードでの OVF ビットの動作とセット/クリア条件は表 7-5 を参照してください。

TSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また TSRmn レジスタの下位 8 ビットは、TSRmnL レジスタとして 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図 7-15 タイマ・ステータス・レジスタ mn (TSRmn) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
TSRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OVF
OVF	チャンネルnのカウンタのオーバフロー状況							
0	オーバフローなし							
1	オーバフロー発生							
OVF = 1 のとき、次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。								

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

表 7-5 各動作モードにおける OVF ビットの動作とセット/クリア条件

タイマの動作モード	OVF ビット	セット/クリア条件
- キャプチャ・モード - キャプチャ&ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
- インターバル・タイマ・モード - イベント・カウンタ・モード - ワンカウント・モード	クリア	— (使用不可)
	セット	

備考 OVF ビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

7.3.6 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEm レジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEm レジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSm レジスタの各ビットが 1 にセットされると、TEm レジスタの対応ビットが 1 にセットされます。TTm レジスタの各ビットが 1 にセットされると、その対応ビットが 0 にクリアされます。

TEm レジスタは、16 ビット・メモリ操作命令で読み出します。また TEm レジスタの下位 8 ビットは、TEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図 7-16 タイマ・チャンネル許可ステータス・レジスタ m (TEm) のフォーマット

アドレス : F01B0H, F01B1H (TE0)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
TEm	0	0	0	0	TEHm3	0	TEHm1	0
	7	6	5	4	3	2	1	0
	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0
TEHm3	チャンネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可／停止状態の表示							
0	動作停止状態							
1	動作許可状態							
TEHm1	チャンネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可／停止状態の表示							
0	動作停止状態							
1	動作許可状態							
TEmn	チャンネルnの動作許可／停止状態の表示							
0	動作停止状態							
1	動作許可状態							
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。								

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.3.7 タイマ・チャンネル開始レジスタ m (TSm)

TSm レジスタは、タイマ・カウンタ・レジスタ mn (TCRmn) を初期化し、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは、16 ビット・メモリ操作命令で設定します。また TSm レジスタの下位 8 ビットは、TSmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7-17 タイマ・チャンネル開始レジスタ m (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TSm	0	0	0	0	TSHm3	0	TSHm1	0

	7	6	5	4	3	2	1	0
	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャンネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可（スタート）トリガ							
0	トリガ動作しない							
1	TEHm3 ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm3 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (7.5.2 カウンタのスタート・タイミングの表7-6参照)。							

TSHm1	チャンネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可（スタート）トリガ							
0	トリガ動作しない							
1	TEHm1 ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm1 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (7.5.2 カウンタのスタート・タイミングの表7-6参照)。							

TSmn	チャンネルnの動作許可（スタート）トリガ							
0	トリガ動作しない							
1	TEmn ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRmn レジスタのカウント動作開始は、各動作モードにより異なります (7.5.2 カウンタのスタート・タイミングの表7-6参照)。 チャンネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。							

(注意、備考は次ページに続きます)

注意1. ビット15-12, 10, 8には、必ず0を設定してください。

注意2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットに1を設定するまでに、次の期間ウェイトが必要になります。

TImn端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.3.8 タイマ・チャンネル停止レジスタ m (TTm)

TTm レジスタは、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャンネル許可ステータス・レジスタ m (TEm) の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3 ビットはトリガ・ビットなので、動作停止状態 (TEmn, TEHm1, TEHm3 = 0) になるとすぐ TTmn, TTHm1, TTHm3 ビットはクリアされます。

TTm レジスタは、16 ビット・メモリ操作命令で設定します。また TTm レジスタの下位 8 ビットは、TTmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7-18 タイマ・チャンネル停止レジスタ m (TTm) のフォーマット

アドレス : F01B4H, F01B5H (TT0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TTm	0	0	0	0	TTHm3	0	TTHm1	0

	7	6	5	4	3	2	1	0
	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTHm1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8には、必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.3.9 タイマ入力選択レジスタ0 (TIS0)

TIS0 レジスタは、ユニット0のチャンネル5のタイマ入力を選択するレジスタです。

TIS0 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-19 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : F0074H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI05) の入力信号
0	0	1	ELCLからのイベント入力信号
0	1	1	中速オンチップ・オシレータ周辺クロック (fIMP)
1	0	0	低速オンチップ・オシレータ・クロック (fIL)
1	0	1	サブシステム・クロック (fSUB)
上記以外			設定禁止

注意 選択するタイマ入力のロウ・レベル幅／ハイ・レベル幅は、 $1/f_{MCK} + 10\text{ ns}$ 以上必要となります。
 そのため、fCLKにfSUBを選択時 (CKCレジスタのCSS = 1) は、TIS02ビットに1を設定できません。

7.3.10 タイマ入力選択レジスタ1 (TIS1)

TIS1 レジスタは、ユニット0のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS1 レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-20 タイマ入力選択レジスタ1 (TIS1) のフォーマット

アドレス : F0075H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIS1	0	0	0	0	0	0	TIS11	TIS10

TIS1n	チャンネルnで使用するタイマ入力の選択
0	タイマ入力端子 (TI0n)
1	ELCLからのイベント入力信号

備考 n = 0, 1

7.3.11 タイマ出力選択レジスタ (TOS)

TOS レジスタは、リモコン出力機能を有効にするときに設定するレジスタです。

チャンネル4, 5で生成したPWM出力信号（キャリア波形）を、チャンネル2, 3で生成したPWM出力信号（マスク波形）でマスクすることにより、リモコン出力を生成します。

TOS レジスタの書き換えは、カウント動作開始前（TE02, TE03, TE04, TE05 = 0）のみ可能です。

TOS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-21 タイマ出力選択レジスタ (TOS) のフォーマット

アドレス : F007AH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TOS	0	0	0	0	0	0	0	TOS0

TOS0	リモコン出力設定
0	無効（チャンネル2～5はタイマ出力）
1	有効（リモコン出力をREMOOUT端子へ出力）

注意 リモコン出力が有効（TOS0 = 1）の場合、チャンネル2～5は別の機能で使用できません。

7.3.12 タイマ出力許可レジスタ m (TOEm)

TOEm レジスタは、各チャンネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャンネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEm レジスタは、16 ビット・メモリ操作命令で設定します。また TOEm レジスタの下位 8 ビットは、TOEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7-22 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOEm	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0
TOEmn	チャンネルnのタイマ出力許可／禁止							
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず、出力を固定します。 TOmnビットへの書き込みが可能となり、TOmnビットに設定したレベルがTOmn端子から出力されます。							
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し、出力波形を生成します。 TOmnビットへの書き込みは無視されます。							

注意 ビット15-8には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.3.13 タイマ出力レジスタ m (TOm)

TOm レジスタは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子 (TOmn) から出力されます。

このレジスタの TOmn ビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、タイマ入出力と端子を兼用するポートをポート機能として使用する場合は、該当する TOmn ビットに 0 を設定してください。

TOm レジスタは、16 ビット・メモリ操作命令で設定します。また TOm レジスタの下位 8 ビットは、TOmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7-23 タイマ出力レジスタ m (TOm) のフォーマット

アドレス : F01B8H, F01B9H (TO0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOm	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が0
1	タイマ出力値が1

注意 ビット15-8には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.3.14 タイマ出力レベル・レジスタ m (TOLm)

TOLm レジスタは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネル n の反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャンネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLm レジスタは、16 ビット・メモリ操作命令で設定します。また TOLm レジスタの下位 8 ビットは、TOLmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7-24 タイマ出力レベル・レジスタ m (TOLm) のフォーマット

アドレス : F01BCH, F01BDH (TOL0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOLm	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャンネル n のタイマ出力レベルの制御
0	正論理出力 (アクティブ・ハイ)
1	負論理出力 (アクティブ・ロウ)

注意 ビット15-8, 0には、必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.3.15 タイマ出力モード・レジスタ m (TOMm)

TOMm レジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットに 0 を設定します。

複数チャンネル連動動作機能 (PWM 出力、ワンショット・パルス出力、多重 PWM 出力) として使用する場合、マスタ・チャンネルの対応ビットに 0 を設定し、スレーブ・チャンネルの対応ビットに 1 を設定します。

このレジスタによる各チャンネル n の設定は、タイマ出力許可 (TOEmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMm レジスタは、16 ビット・メモリ操作命令で設定します。また TOMm レジスタの下位 8 ビットは、TOMmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 7-25 タイマ出力モード・レジスタ m (TOMm) のフォーマット

アドレス : F01BEH, F01BFH (TOM0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TOMm	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0

TOMmn	チャンネル n のタイマ出力モードの制御
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMmp) で出力がリセットされる)

注意 ビット 15-8, 0 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0)

n : チャンネル番号

n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号

n < p ≤ 7

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、7.4.1 複数チャンネル連動動作機能の基本ルールを参照してください)

7.3.16 入力切り替え制御レジスタ (ISC)

ISC レジスタの ISC1, ISC0 ビットは、チャンネル 7 をシリアル・アレイ・ユニットと連携して LIN-bus 通信動作を実現するときに使用します。ISC1 ビットに 1 を設定すると、シリアル・データ入力端子 (RxD2) の入力信号がタイマ入力として選択されます。

ISC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図 7 - 26 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : F0073H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0
ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え							
0	TI07 端子の入力信号をタイマ入力とする (通常動作)							
1	RxD2 端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定)							
ISC0	外部割り込み (INTP0) の入力切り替え							
0	INTP0 端子の入力信号を外部割り込み入力とする (通常動作)							
1	RxD2 端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)							

備考 LIN-bus 通信を使用する場合は、ISC1 = 1 に設定して RxD2 端子の入力信号を選択しておいてください。

7.3.17 ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけを行います^注。

NFEN1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 詳細は、7.5.1 (2) TI_{mn}端子からの入力信号の有効エッジを選択した場合 (CCS_{mn} = 1)、7.5.2 カウンタのスタート・タイミング、7.7 タイマ入力 (TI_{mn}) の制御を参照してください。

図7-27 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット (1/2)

アドレス : F0071H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00
	TNFEN07	TI07端子のノイズ・フィルタ使用可否 ^注						
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TNFEN06	TI06端子のノイズ・フィルタ使用可否						
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TNFEN05	TI05端子のノイズ・フィルタ使用可否						
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TNFEN04	TI04端子のノイズ・フィルタ使用可否						
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TNFEN03	TI03端子のノイズ・フィルタ使用可否						
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						
	TNFEN02	TI02端子のノイズ・フィルタ使用可否						
	0	ノイズ・フィルタ OFF						
	1	ノイズ・フィルタ ON						

図7-27 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット (2/2)

TNFEN01	TI01 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN00	TI00 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

注 入力切り替え制御レジスタ (ISC) の ISC1 ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0 に設定 : TI07 端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1 に設定 : RxD2 端子のノイズ・フィルタ使用可否選択が可能

備考 チャンネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、表7-2 各製品に搭載しているタイマ入出力端子を参照してください。

7.3.18 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ

タイマ・アレイ・ユニットの入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.14 ポート・ファンクション出力許可レジスタ (PFOEx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

7.4 タイマ・アレイ・ユニットの基本ルール

7.4.1 複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は、マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合わせて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

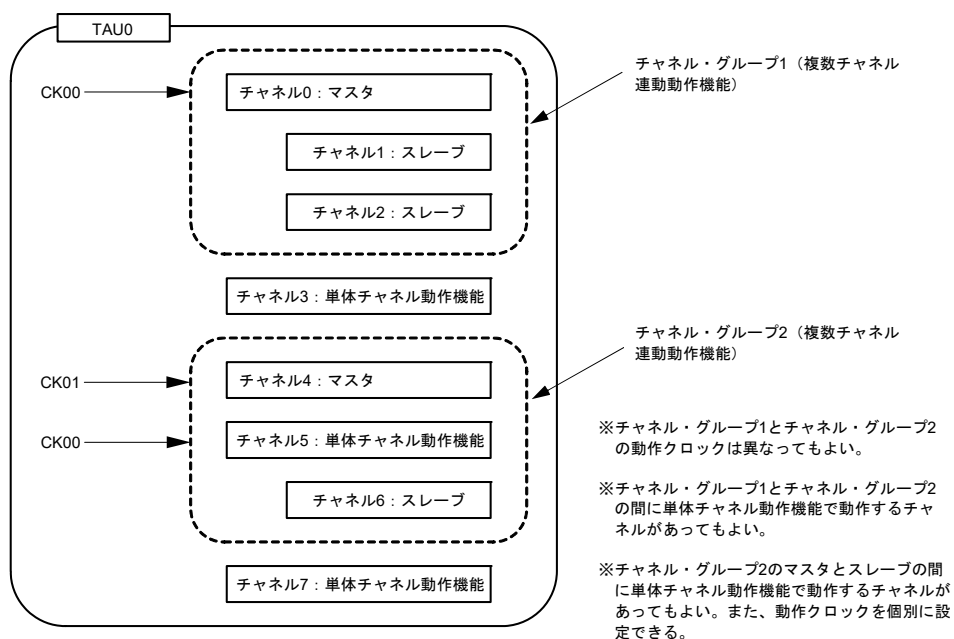
- (1) マスタ・チャネルには、偶数チャネル（チャンネル0、チャンネル2、チャンネル4、...）のみ設定できます。
- (2) スレーブ・チャネルには、チャンネル0を除くすべてのチャネルを設定できます。
- (3) スレーブ・チャネルには、マスタ・チャネルの下位チャネルのみ設定できます。
たとえばチャンネル2をマスタ・チャネルにした場合、チャンネル3以降（チャンネル3、チャンネル4、チャンネル5、...）をスレーブ・チャネルに設定できます。
- (4) 1つのマスタ・チャネルに対し、スレーブ・チャネルは複数設定できます。
- (5) マスタ・チャネルを複数使用する場合、マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
たとえばチャンネル0、チャンネル4をマスタ・チャネルにした場合、マスタ・チャンネル0は、チャンネル1～チャンネル3までをスレーブ・チャネルとして設定できますが、チャンネル5～チャンネル7をスレーブ・チャネルとして設定できません。
- (6) マスタ・チャネルと連動するスレーブ・チャネルは、同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn1, CKSmn0ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
- (7) マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
- (8) スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
- (9) マスタ・チャネルは、ほかの上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャネルを同時スタートさせるため、連動させるチャネルの動作許可（スタート）トリガ・ビット（TSmn）を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャネルを同時に停止させるため、連動させるチャネルの動作停止トリガ・ビット（TTmn）を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0（TMRm0）は、マスタ・ビットがなく、0に固定されています。しかし、チャンネル0は最上位チャネルなので、連動動作時は、チャンネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは、チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合、チャネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

(例)



7.4.2 8ビット・タイマ動作機能の基本ルール（チャンネル1, 3のみ）

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタmn (TMRmn) のSPLITmnビットに1を設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時にINTTMm1H, INTTMm3H (割り込み) を出力します (MDmn0 = 1設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットに従って動作します。
- (6) 上位8ビットは、TSHm1, TSHm3ビットを操作することでチャンネル動作を開始し、TTHm1, TTHm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1, TEHm3ビットで確認できます。
- (7) 下位8ビットは、TMRmnレジスタの設定に従って動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - インターバル・タイマ機能／方形波出力機能
 - 外部イベント・カウンタ機能
 - ディレイ・カウンタ機能
- (8) 下位8ビットは、TSm1, TSm3ビットを操作することでチャンネル動作を開始し、TTm1, TTm3ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1, TEm3ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1, TSHm3, TTHm1, TTHm3ビットの操作は無効となります。TSm1, TSm3, TTm1, TTm3ビットを操作することでチャンネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能 (ワンショット・パルス、PWM、多重PWM) を使用することはできません。

備考 m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 1, 3)

7.5 カウンタの動作

7.5.1 カウント・クロック (f_{TCLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{TCLK}) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn1, CKSmn0 ビットで指定した動作クロック (f_{MCK})
- TImn 端子からの入力信号の有効エッジ

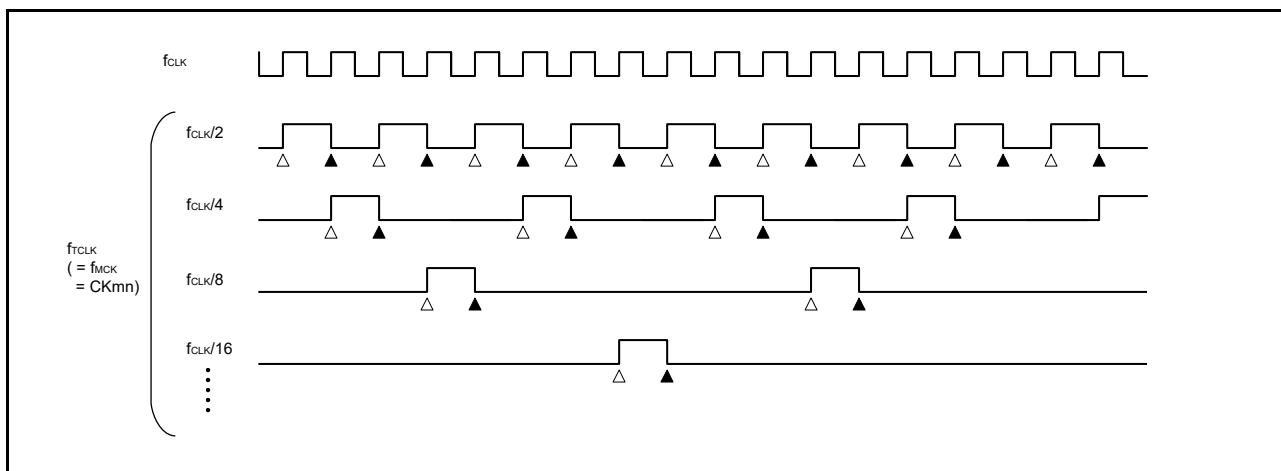
タイマ・アレイ・ユニットは、f_{CLK} との同期をとって動作するように設計されているため、カウント・クロック (f_{TCLK}) のタイミングは次のようになります。

- (1) CKSmn1, CKSmn0 ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCSmn = 0)

カウント・クロック (f_{TCLK}) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、f_{CLK} ~ f_{CLK}/2¹⁵ となります。ただし、f_{CLK} の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから f_{CLK} の 1 周期分だけハイ・レベルになる信号となります。f_{CLK} を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、f_{CLK} との同期をとるため、カウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図 7-28 f_{CLK} とカウント・クロック (f_{TCLK}) のタイミング (CCSmn = 0 時)



備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化、カウンタのインクリメント/デクリメント

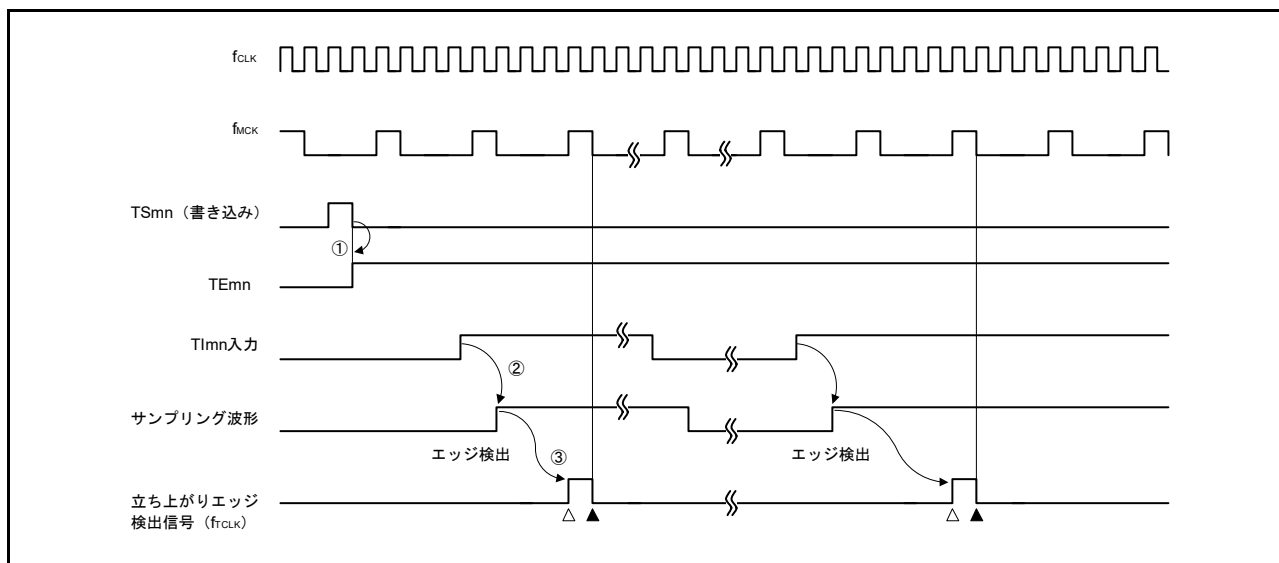
備考2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (fCLK) は、TImn端子からの入力信号の有効エッジを検出し、次のfMCKの立ち上がり同期した信号になります。これは、実際のTImn端子からの入力信号よりfMCKの1~2クロック分遅れた信号になります (ノイズ・フィルタ使用時は、fMCKの3~4クロック分遅れます)。

また、タイマ・カウンタ・レジスタmn (TCRmn) は、fCLKとの同期をとるためにカウント・クロックの立ち上がりからfCLKの1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図7-29 カウント・クロック (fCLK) のタイミング (CCSmn = 1、ノイズ・フィルタ未使用時)



- ① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。
- ② TImn 入力の立ち上がりが fMCK でサンプリングされます。
- ③ サンプリングした信号の立ち上がりでエッジ検出が行われ、検出信号 (カウント・クロック) が出力されます。

備考1. Δ: カウント・クロックの立ち上がり

▲: 同期化、カウンタのインクリメント/デクリメント

備考2. fCLK: CPU/周辺ハードウェア・クロック

fMCK: チャンネルnの動作クロック

備考3. 入力パルス間隔測定、入力信号のロウ・レベル幅/ハイ・レベル幅測定、ディレイ・カウンタ、ワンショット・パルス出力機能のTImn入力も同様の波形になります。

7.5.2 カウンタのスタート・タイミング

タイマ・カウンタ・レジスタ mn (TCRmn) は、タイマ・チャネル開始レジスタ m (TSMn) の TSMn ビットをセットすることにより、動作許可状態になります。

表 7-6 にカウント動作許可状態からタイマ・カウンタ・レジスタ mn (TCRmn) のカウント・スタートまでの動作を示します。

表7-6 カウント動作許可状態からタイマ・カウンタ・レジスタmn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSMn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSMn ビットに 1 を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。 TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出 (TSMn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSMn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

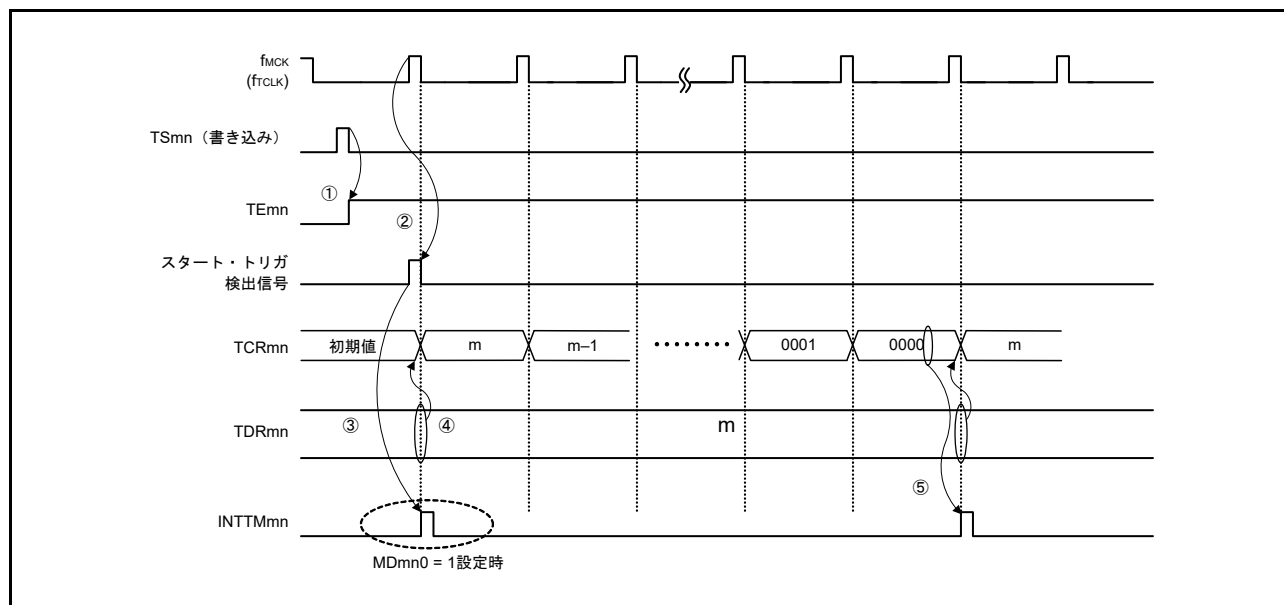
7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn ($TCRmn$) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック ($fMCK$) で、スタート・トリガが発生します。
- ③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn ($TDRmn$) の値を $TCRmn$ レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ $TCRmn$ レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック ($fMCK$) でINTTMmnを発生し、タイマ・データ・レジスタ mn ($TDRmn$) の値を $TCRmn$ レジスタにロードしてカウントを継続します。

図7-30 動作タイミング (インターバル・タイマ・モード)



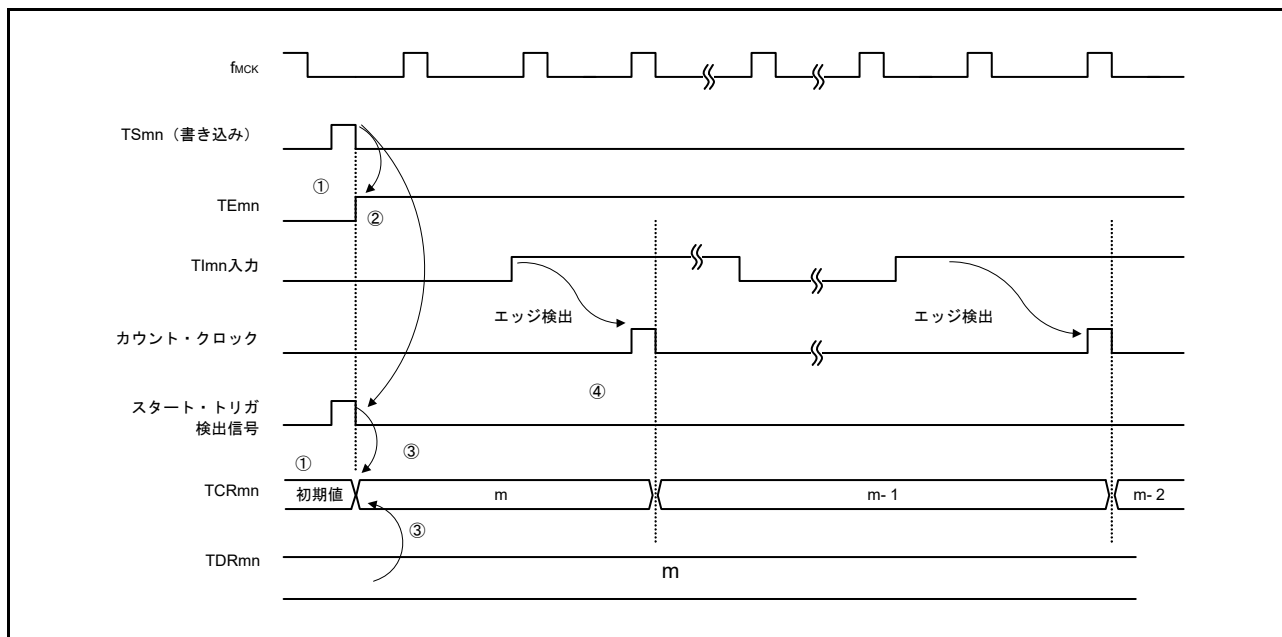
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 fMCK、スタート・トリガ検出信号、INTTMmnは、fCLKに同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ① 動作停止状態 ($TEmn = 0$) の期間、タイマ・カウンタ・レジスタ mn ($TCRmn$) は、初期値を保持します。
- ② $TSmn$ ビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。
- ③ $TSmn = 1 \rightarrow TEmn = 1$ と同時に、 $TCRmn$ レジスタにタイマ・データ・レジスタ mn ($TDRmn$) の値をロードし、カウントを開始します。
- ④ 以降は $TImn$ 入力の有効エッジでのカウント・クロックに従い、 $TCRmn$ レジスタの値をダウン・カウントします。

図7-31 動作タイミング (イベント・カウンタ・モード)

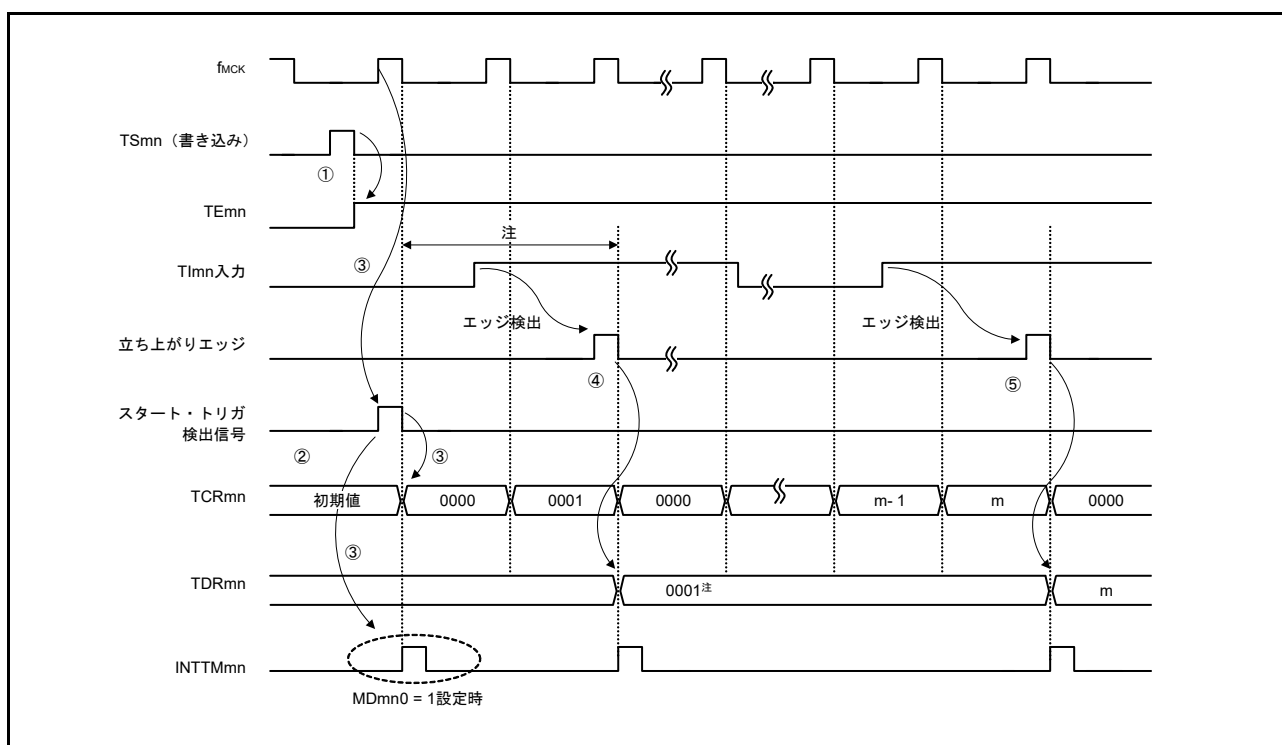


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は $TI mn$ 入力からさらに $fMCK$ の2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差は $TI mn$ 入力とカウント・クロック ($fMCK$) が非同期なためです。

(3) キャプチャ・モードの動作 (入力パルス間隔測定)

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウンタ・クロック (fMCK) で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7-32 動作タイミング (キャプチャ・モード: 入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている (トリガがある) 場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ (④) でのキャプチャ値はパルス間隔とならない (この例では0001: 2クロック分の間隔) ので、無視してください。

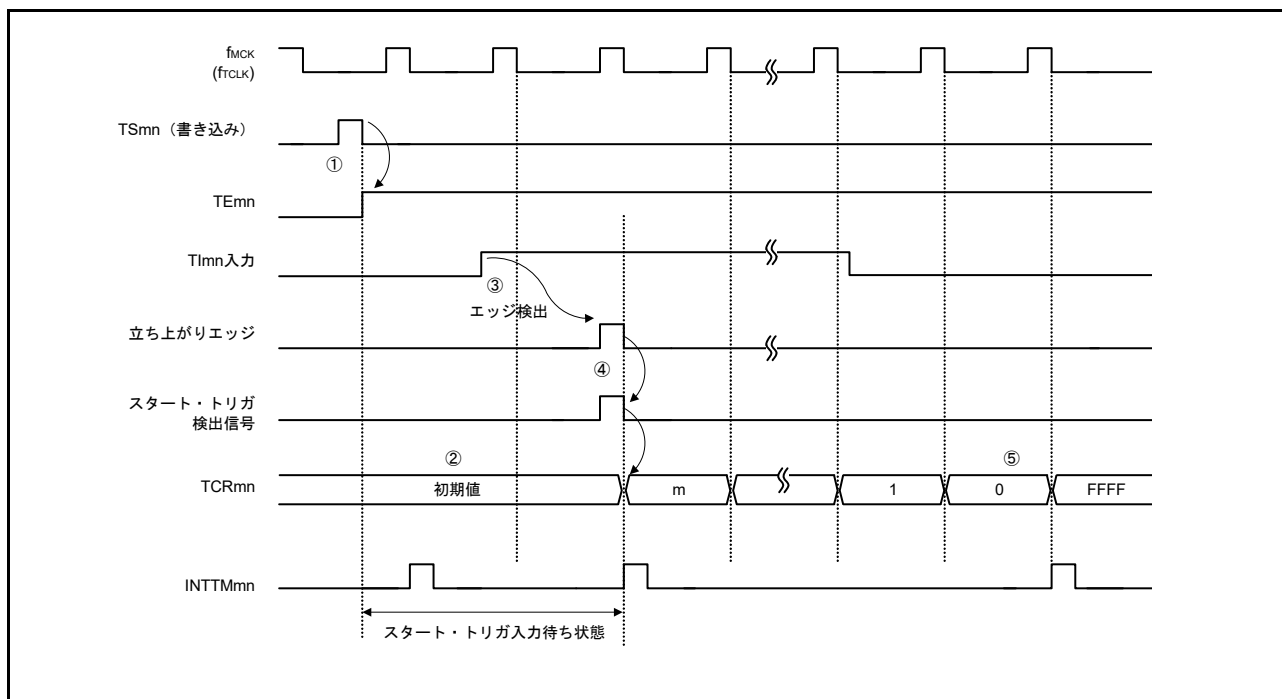
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分 (合計で3~4周期分) 遅くなります。1周期分の誤差はTImn入力とカウント・クロック (fMCK) が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。
- ② タイマ・カウンタ・レジスタmn (TCRmn) は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値 (m) をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図7-33 動作タイミング (ワンカウント・モード)

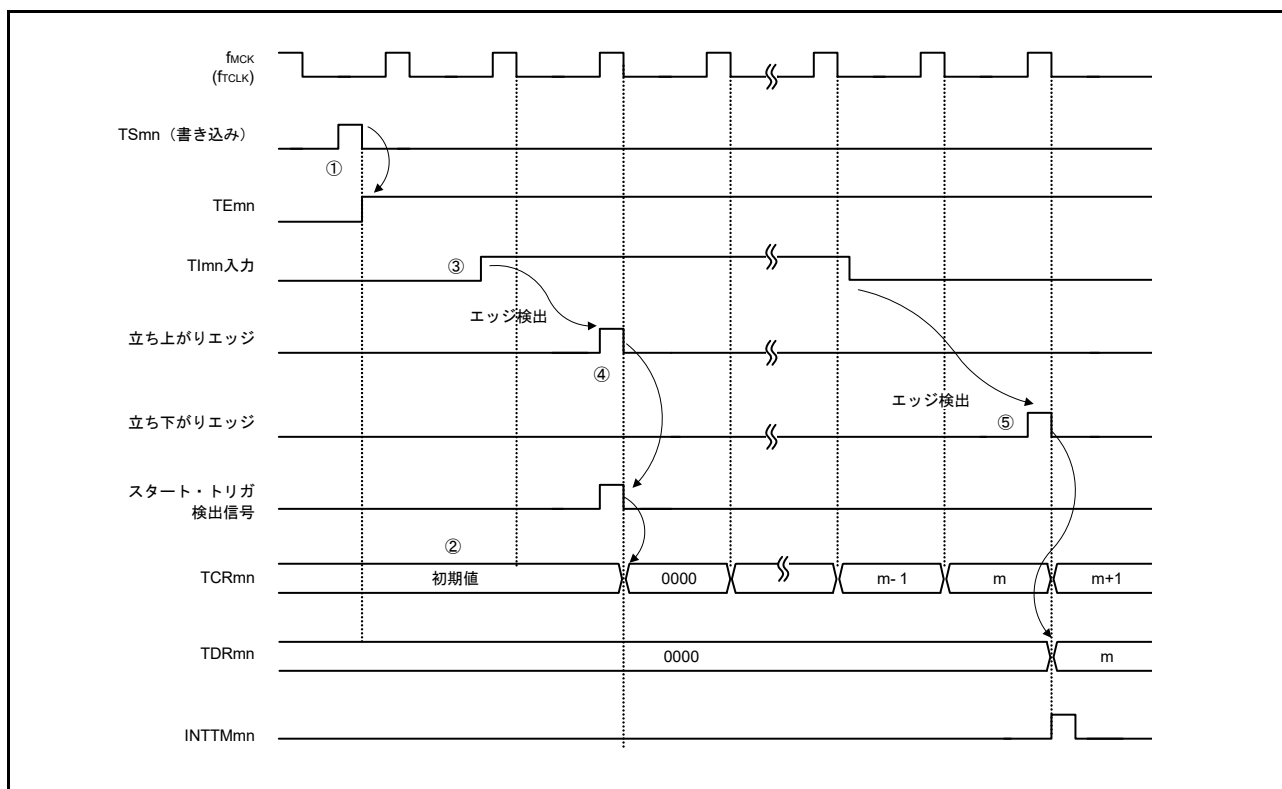


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック (fMCK) が非同期なためです。

(5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TSMn) の TSmn ビットに 1 を書き込むことにより、動作許可状態 (TEmn = 1) となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000H を TCRmn レジスタにロードし、カウントを開始します。
- ⑤ TImn 入力の立ち下がりエッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図 7 - 34 動作タイミング (キャプチャ&ワンカウント・モード: ハイ・レベル幅測定)

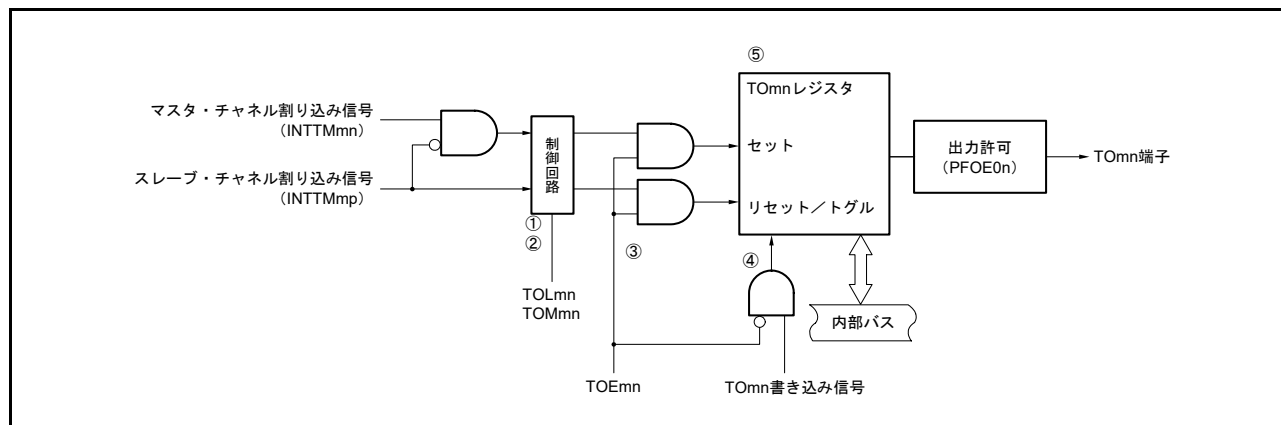


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TImn 入力からさらに fMCK の 2 周期分 (合計で 3~4 周期分) 遅くなります。1 周期分の誤差は TImn 入力とカウンタ・クロック (fMCK) が非同期なためです。

7.6 チャンネル出力 (TOmn 端子) の制御

7.6.1 TOmn 端子の出力回路の構成

図 7 - 35 出力回路構成図



TOmn 端子の出力回路の説明を次に示します。

- ① TOMmn = 0（マスタ・チャンネル出力モード）のときは、タイマ出力レベル・レジスタ m (TOLm) の設定値は無視され、INTTMmp（スレーブ・チャンネル・タイマ割り込み）のみがタイマ出力レジスタ m (TOm) に伝えられます。
- ② TOMmn = 1（スレーブ・チャンネル出力モード）のときは、INTTMmn（マスタ・チャンネル・タイマ割り込み）と INTTMmp（スレーブ・チャンネル・タイマ割り込み）が TOm レジスタに伝えられます。このとき、TOLm レジスタが有効となり、次のように信号を制御します。

- TOLmn = 0 の場合：正論理出力（INTTMmn→セット、INTTMmp→リセット）
- TOLmn = 1 の場合：負論理出力（INTTMmn→リセット、INTTMmp→セット）

また、INTTMmn と INTTMmp が同時に発生した場合（PWM 出力の 0% 出力時）は、INTTMmp（リセット信号）が優先され、INTTMmn（セット信号）はマスクされます。

- ③ タイマ出力許可状態（TOEmn = 1）で、INTTMmn（マスタ・チャンネル・タイマ割り込み）と INTTMmp（スレーブ・チャンネル・タイマ割り込み）が TOm レジスタに伝えられます。TOm レジスタへの書き込み（TOmn ライト信号）は無効となります。また、TOEmn = 1 のとき、割り込み信号以外で TOmn 端子の出力が変化することはありません。TOmn 端子の出力レベルを初期化する場合は、タイマ動作停止（TOEmn = 0）に設定し TOm レジスタに値を書き込む必要があります。
- ④ タイマ出力禁止状態（TOEmn = 0）で、対象チャンネルの TOmn ビットへの書き込み（TOmn ライト信号）が有効となります。タイマ出力禁止状態（TOEmn = 0）のとき、INTTMmn（マスタ・チャンネル・タイマ割り込み）と INTTMmp（スレーブ・チャンネル・タイマ割り込み）は TOm レジスタに伝えられません。
- ⑤ TOm レジスタは常に読み出し可能であり、TOmn 端子の出力レベルを確認することができます。

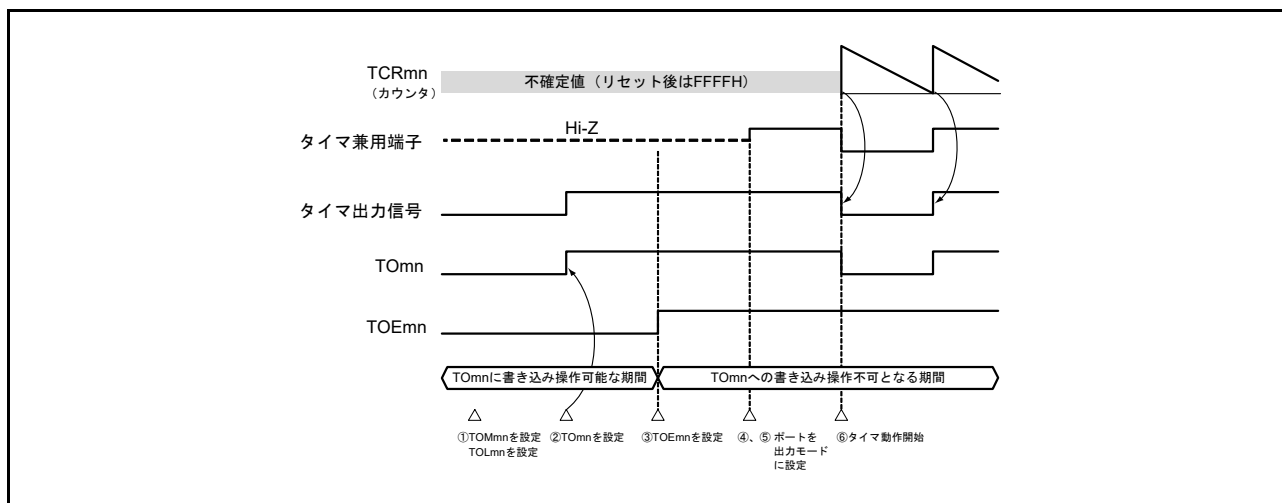
（備考は次ページに続きます）

- 備考** m : ユニット番号 (m = 0)
 n : チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 p : スレーブ・チャンネル番号
 n < p ≤ 7

7.6.2 TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7 - 36 タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmnビット (0 : マスタ・チャンネル出力モード、1 : スレーブ・チャンネル出力モード)
- TOLmnビット (0 : 正論理出力、1 : 負論理出力)

② タイマ出力レジスタ m (TOm) を設定することにより、タイマ出力信号が初期状態に設定されます。

③ TOEmn ビットに 1 を書き込み、タイマ出力動作を許可します (TOm レジスタへの書き込みは不可となります)。

④ ポートをデジタル入出力に設定します (7.3.18 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ参照)。

⑤ ポートの入出力設定を出力に設定します (7.3.18 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ参照)。

⑥ タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

7.6.3 チャネル出力操作時の注意事項

(1) タイマ動作中のTOM, TOEm, TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn (TCRmn)、タイマ・データ・レジスタmn (TDRmn) の動作）は、TOMn出力回路とは独立しています。よって、タイマ出力レジスタm (TOM)、タイマ出力許可レジスタm (TOEm)、タイマ出力レベル・レジスタm (TOLm) の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTOMn端子から出力するためには、**7.7 タイマ入力 (TImn) の制御**および**7.8 タイマ・アレイ・ユニットの単独チャネル動作機能**で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み (INTTMmn) 近辺で、TOMレジスタを除くTOEmレジスタ、TOLmレジスタの設定値変更を行うと、タイマ割り込み (INTTMmn) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み (INTTMmn) 信号発生タイミング直後に設定値変更が実施された場合とでは、TOMn端子に出力される波形が異なる場合があります。

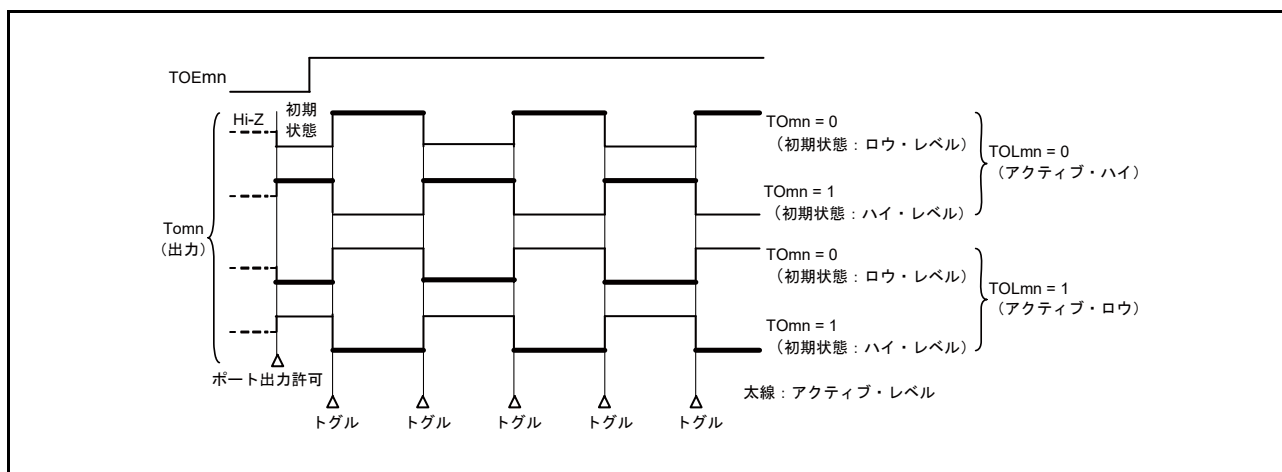
備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

(2) T_{Om}n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOEmn = 0) の状態でタイマ出力レジスタ m (T_{Om}) に書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEmn = 1) に設定した場合の T_{Om}n 端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOMmn = 0) 設定で動作を開始した場合

マスタ・チャンネル出力モード (TOMmn = 0) のとき、タイマ出力レベル・レジスタ m (TOLm) の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生により T_{Om}n 端子の出力レベルを反転します。

図 7 - 37 トグル出力時 (TOMmn = 0) の T_{Om}n 端子出力状態

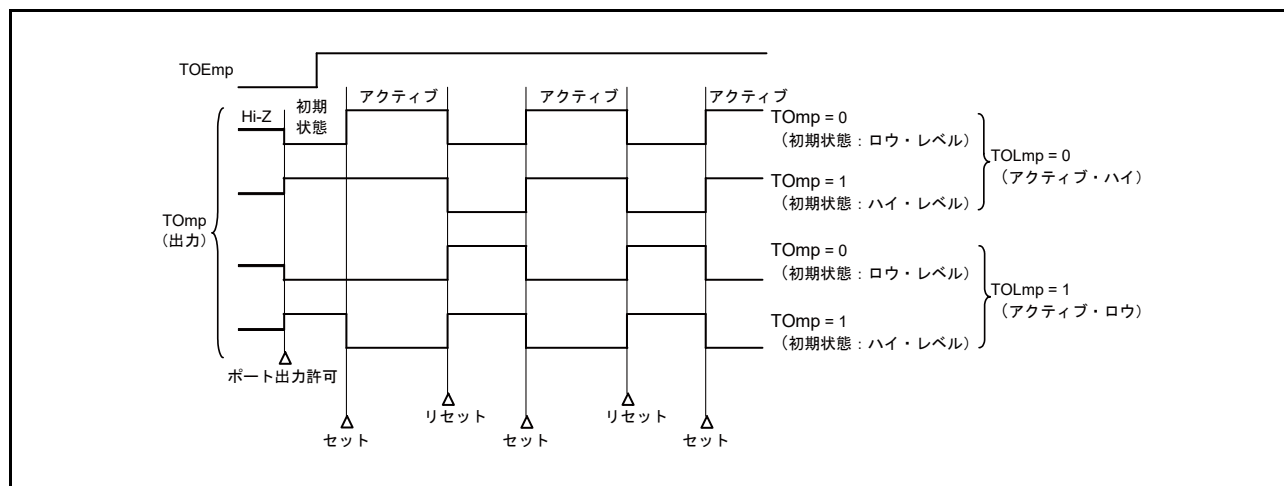
備考1. トグル: T_{Om}n端子の出力状態を反転

備考2. m: ユニット番号 (m = 0)、n: チャンネル番号 (n = 0-7)

(b) スレープ・チャンネル出力モード (TOMmp = 1) 設定で動作を開始した場合 (PWM出力)

スレープ・チャンネル出力モード (TOMmp = 1) のとき、タイマ出力レベル・レジスタ m (TOLm) の設定によりアクティブ・レベルを決定します。

図7 - 38 PWM出力時 (TOMmp = 1) のTOmp端子出力状態



備考1. セット : TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m = 0)、p : チャンネル番号 (p = 1-7)

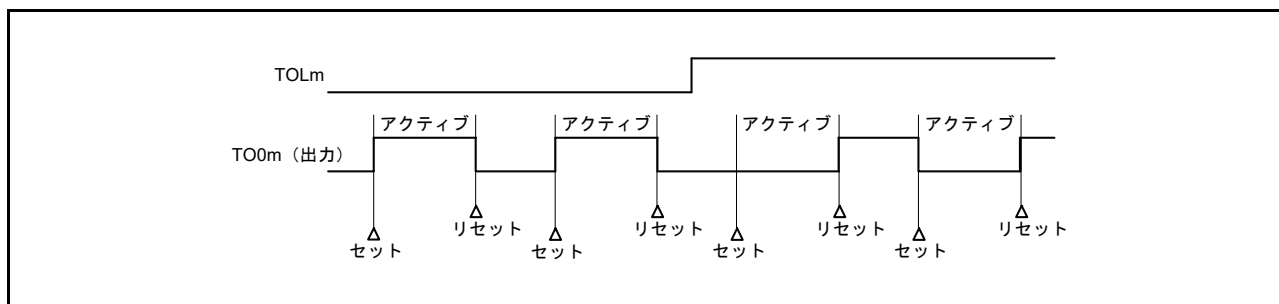
(3) TOmn端子のスレーブ・チャンネル出力モード (TOMmn = 1) での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm) の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中 (TEmn = 1) にTOLmレジスタの値を変更した場合の動作を次に示します。

図7 - 39 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット : TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMmn) 発生時のTOmn端子／TOmnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

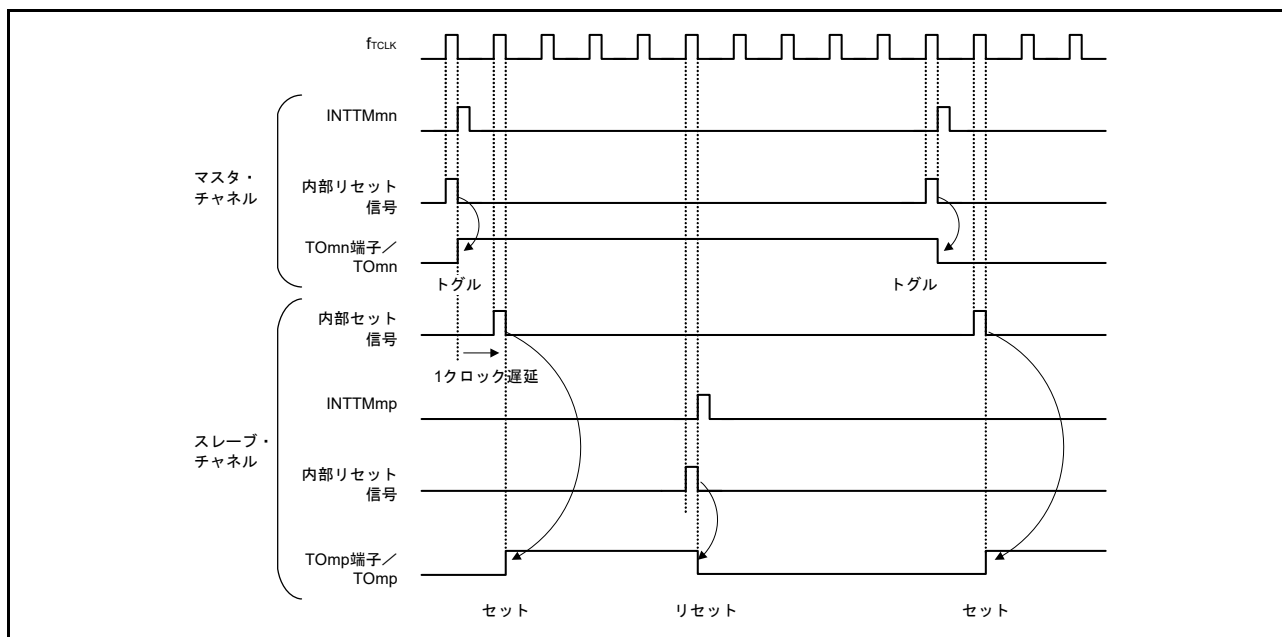
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図7 - 40に示します。

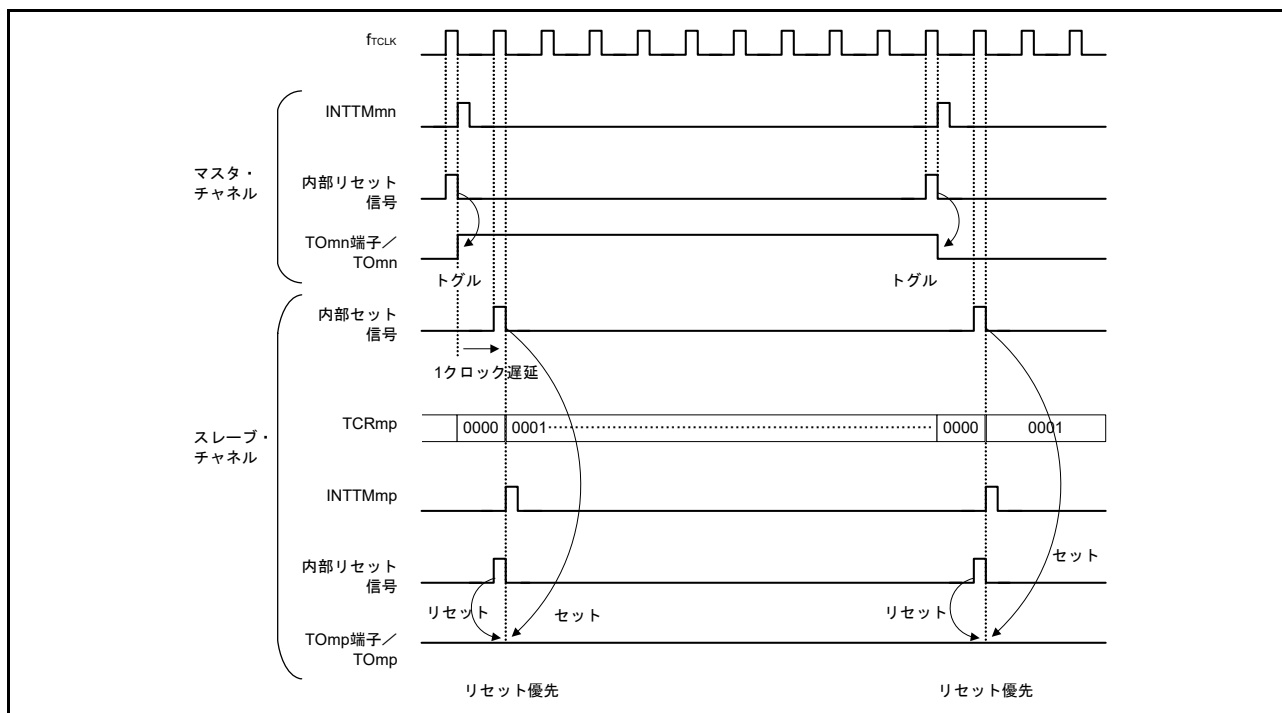
- マスタ・チャンネル : TOEmn = 1, TOMmn = 0, TOLmn = 0
- スレーブ・チャンネル : TOEmp = 1, TOMmp = 1, TOLmp = 0

図7-40 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0%デューティ時の動作タイミング



備考1. 内部リセット信号：TOnn端子のリセット／トグル信号

内部セット信号：TOnn端子のセット信号

備考2. m：ユニット番号 (m = 0)

n：チャンネル番号

n = 0-7 (マスタ・チャンネル時：n = 0, 2, 4, 6)

p：スレーブ・チャンネル番号

n < p ≤ 7

7.6.4 TOmn ビットの一括操作

タイマ出力レジスタ m (TOm) には、タイマ・チャンネル開始レジスタ m (TSm) と同様に、1 レジスタに全チャンネル分の設定ビット (TOmn) が配置されています。よって、全チャンネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TOmn) のみ TOmn ビットへの書き込み可能 (TOEmn = 0) とすることによって任意のビットのみ操作することが可能です。

図7-41 TO0n ビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
TOE0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00
	0	0	0	0	0	0	0	0	0	1	0	1	1	1	1

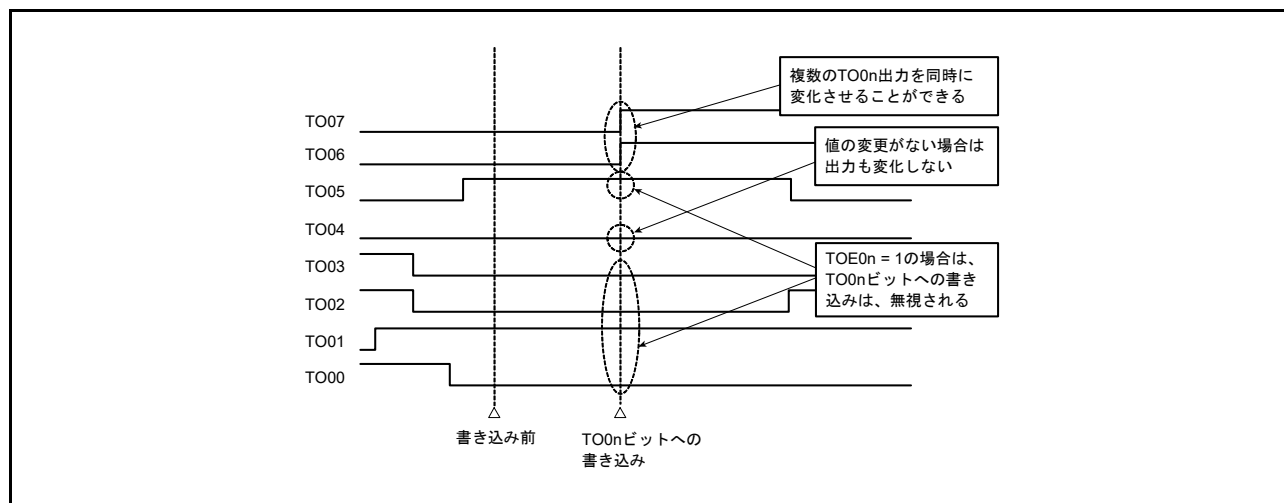
書き込みデータ

	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
								⊖	⊖	×	⊖	×	×	×	×
TO0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
								1	1	1	0	0	0	1	0

TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。

TOEmn = 1 に設定されている TOmn (チャンネル出力) は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7-42 TO0nビットの一括操作によるTO0nの端子状態



備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.6.5 カウント動作開始時のタイマ割り込みと TOmn 端子出力について

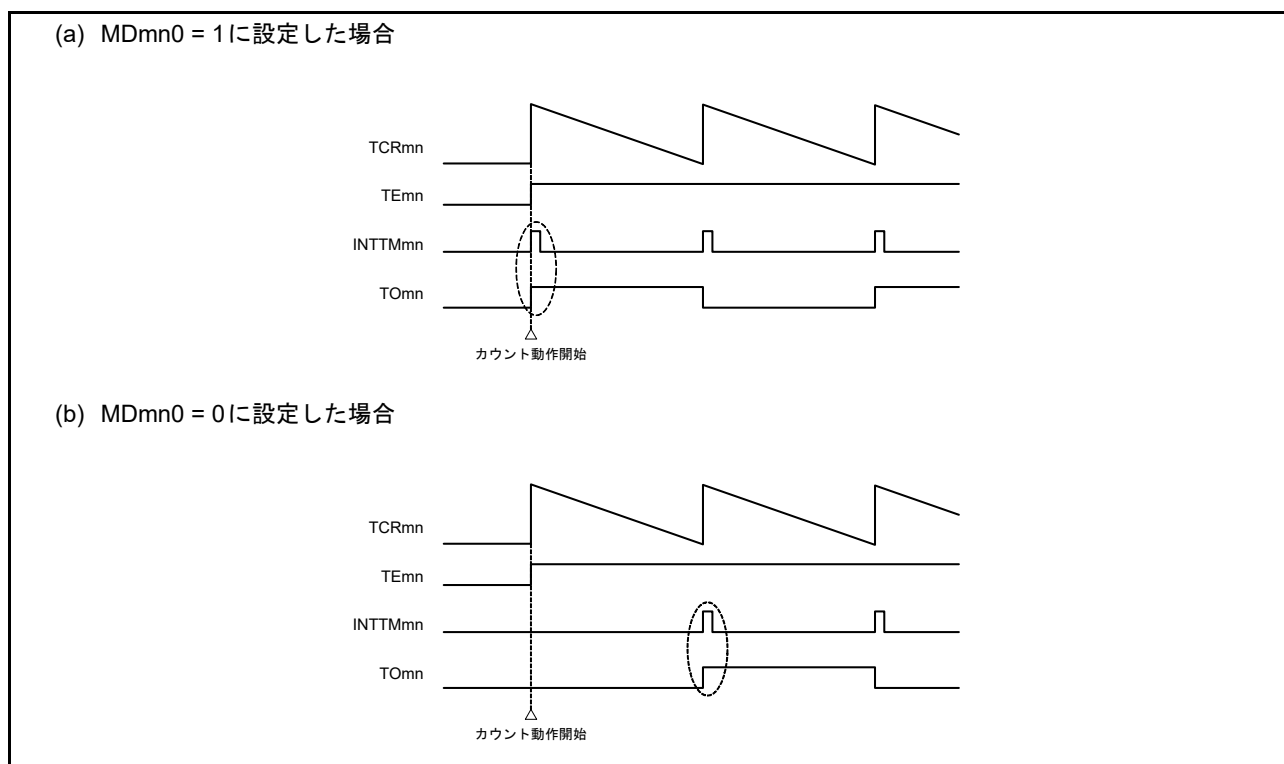
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図7-43 カウント動作開始時のタイマ割り込み、TOmn 出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOmn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOmn も変化しません。1 周期をカウント後、INTTMmn を出力し、TOmn がトグル動作します。

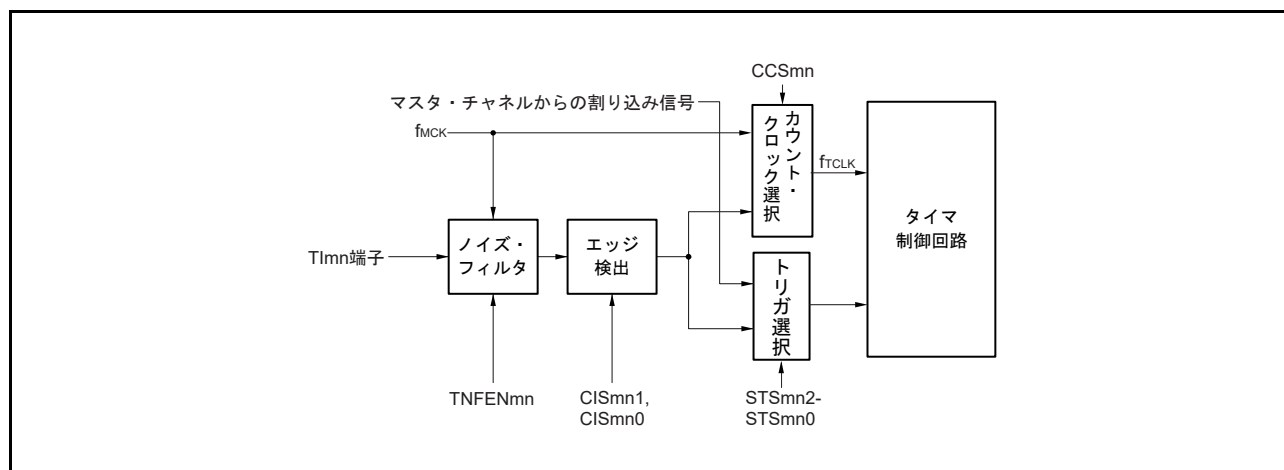
備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.7 タイマ入力 (TImn) の制御

7.7.1 TImnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

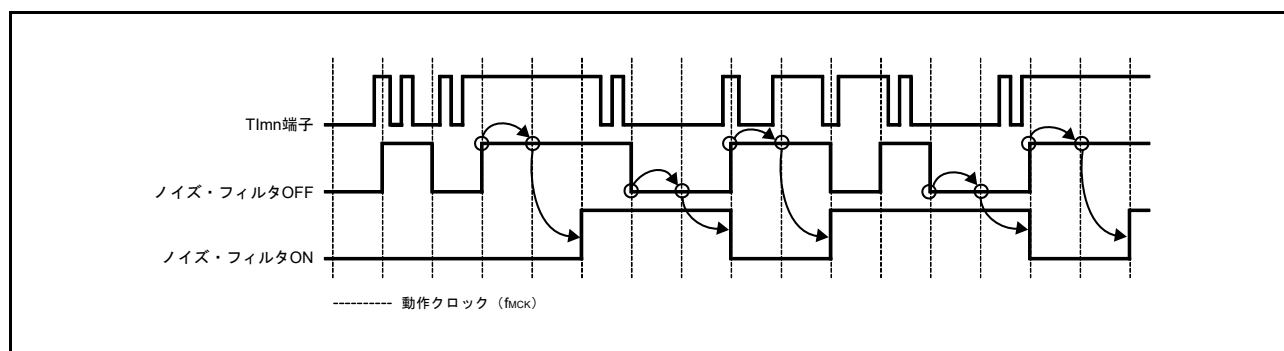
図7-44 入力回路構成図



7.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック（fMCK）で同期化のあと、2クロックの一致検出を行います。以下に、TImn入力端子に対するノイズ・フィルタ ON / OFF によるノイズ・フィルタ回路を通過後の波形を示します。

図7-45 TImn入力端子に対するノイズ・フィルタ ON / OFF によるサンプリング波形



7.7.3 チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn)、ビット 9 (STSmn1)、ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn)、ビット 9 (STSmn1)、ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

7.8 タイマ・アレイ・ユニットの単独チャネル動作機能

7.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。

TOmn出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmnからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1) \times 2$$

$$\bullet \text{ TOmnからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{(\text{TDRmnの設定値} + 1) \times 2\}$$

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSm) の動作許可（スタート）トリガ・ビット (TSmn, TSHm1, TSHm3) に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

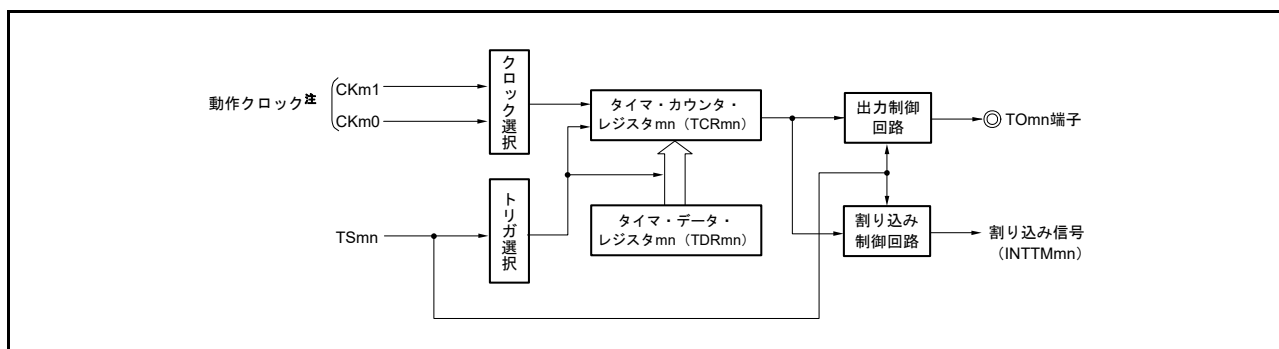
その後、TCRmn レジスタはカウント・クロックにあわせてダウン・カウントを行います。

TCRmn = 0000H となったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を継続します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

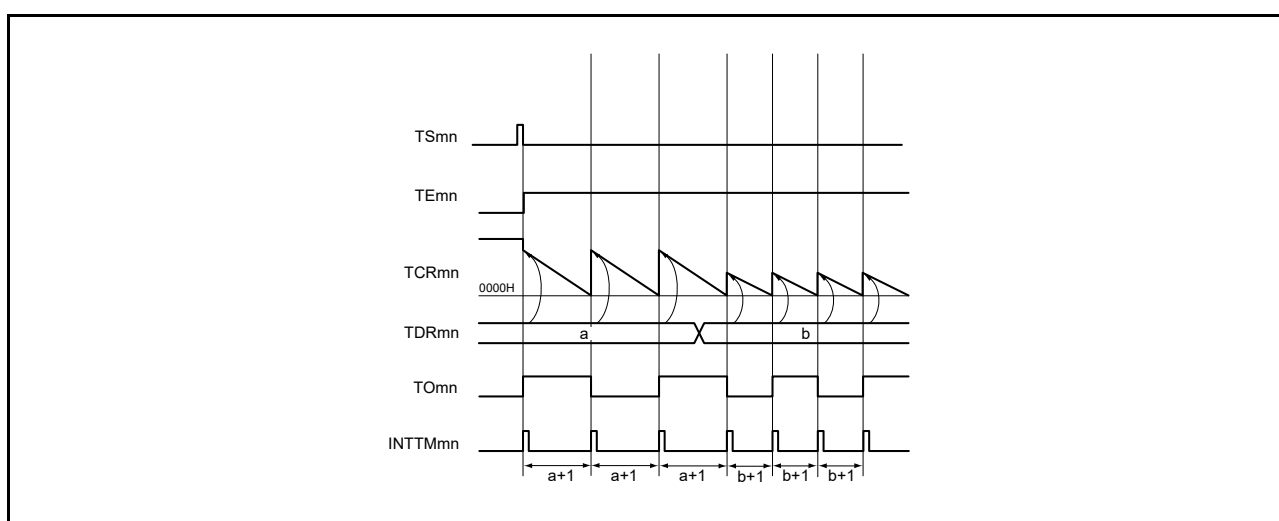
備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

図7-46 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7-47 インターバル・タイマ／方形波出力としての動作の基本タイミング例 (MDmn0 = 1)



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

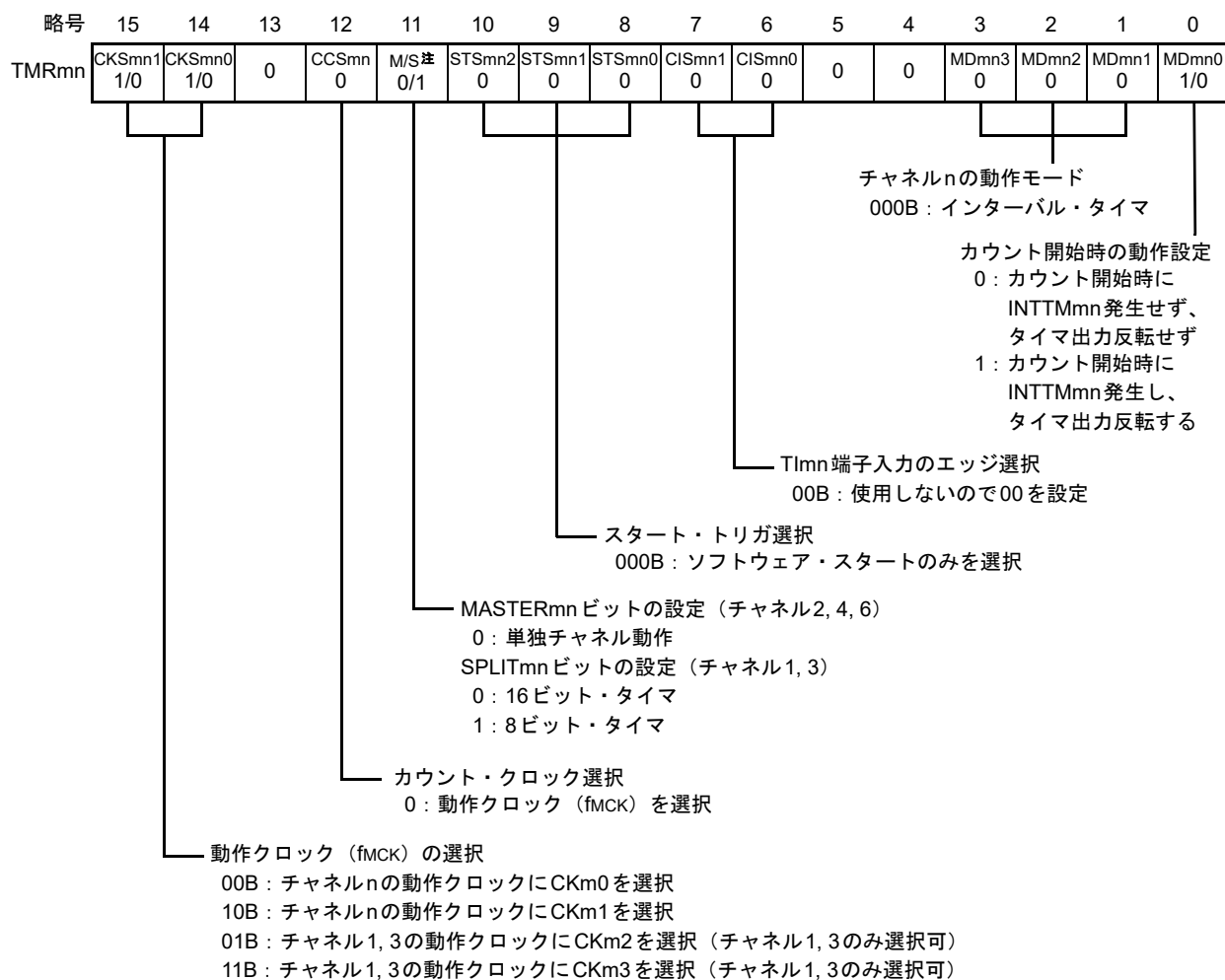
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

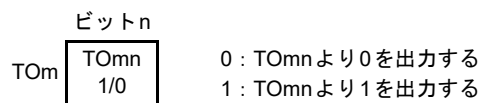
TOMn : TOMn端子出力信号

図7-48 インターバル・タイマ／方形波出力時のレジスタ設定内容例

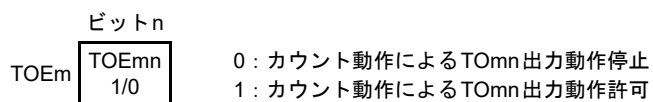
(a) タイマ・モード・レジスタ mn (TMRmn)



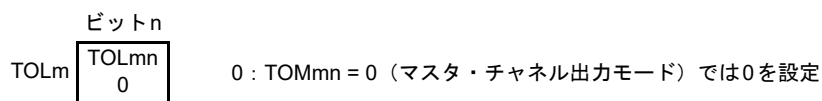
(b) タイマ出力レジスタ m (TOm)



(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(注、備考は次ページに続きます)

(e) タイマ出力モード・レジスタ m (TOMm)

TOMm

ビット n
TOMmn 0

 0 : マスタ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット
 TMRm1, TMRm3 の場合 : SPLITmn ビット
 TMRm0, TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

図7-49 インターバル・タイマ／方形波出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	TOmn出力を使用する場合、 タイマ出力モード・レジスタm (TOMm) のTOMmn ビットに0 (マスタ・チャネル出力モード) を設定する TOLmnビットに0を設定する TOmnビットを設定し、TOmn出力の初期レベルを確定 する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジ スタが0の場合は、TOmn初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmnは変化しない
	TOEmnビットに1を設定し、TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	TOmn端子はTOmn設定レベルを出力
動作 再開	動作 開始	(TOmn出力を使用する場合で、かつ動作再開時のみ TOEmnビットに1を設定する) TSmn (TSHm1, TSHm3) ビットに1を設定する TSmn (TSHm1, TSHm3) ビットはトリガ・ビットなの で、自動的に0に戻る
	動作 中	TEmn (TEHm1, TEHm3) = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn) はTDRmn レジスタの値をロードする。TMRmnレジスタのMDmn0 ビットが1の場合は、INTTMmnを発生し、TOmnもトグ ル動作する。 カウンタ (TCRmn) はダウン・カウント動作を行い、 0000Hまでカウントすると、再びTCRmnレジスタは TDRmnレジスタの値をロードし、カウント動作を継続す る。TCRmn = 0000H検出でINTTMmnを発生し、TOmnは トグル動作する。 以降、この動作を繰り返す。
	動作 停止	TTmn (TTHm1, TTHm3) ビットに1を設定する TTmn (TTHm1, TTHm3) ビットはトリガ・ビットなの で、自動的に0に戻る
	TOEmnビットに0を設定し、TOmnビットに値を設定 する	TEmn (TEHm1, TEHmn) = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず、状態保持 TOmn端子はTOmnビットに設定したレベルを出力

(備考は次ページに続きます)

図7-49 インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する → TOmn端子の出力レベルを保持不要の場合 設定不要	TOmn端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合PRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.8.2 外部イベント・カウンタとしての動作

Tl_{mn} 端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達すると割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmn の設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn) はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (T_{Sm}) の任意の動作許可（スタート）トリガ・ビット (T_{Smn}) に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。

TCRmn レジスタは Tl_{mn} 端子入力の有効エッジ検出にあわせてダウン・カウントを行い、TCRmn = 0000H となったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

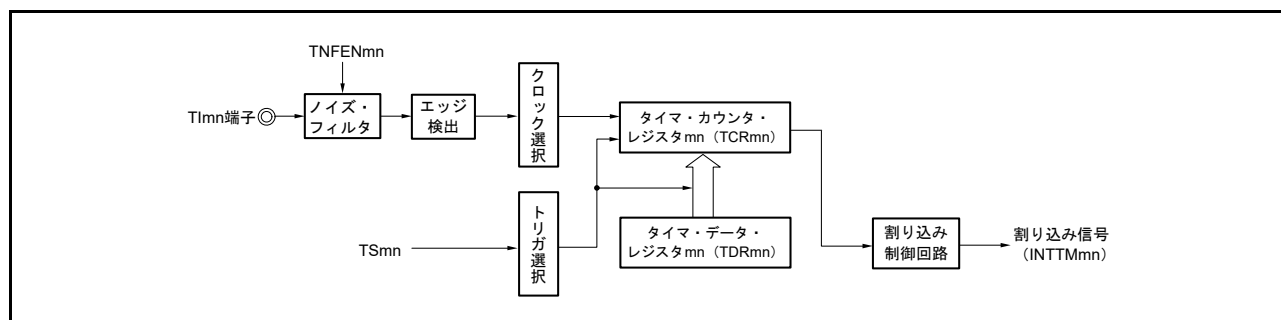
以降、同様の動作を継続します。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm) の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

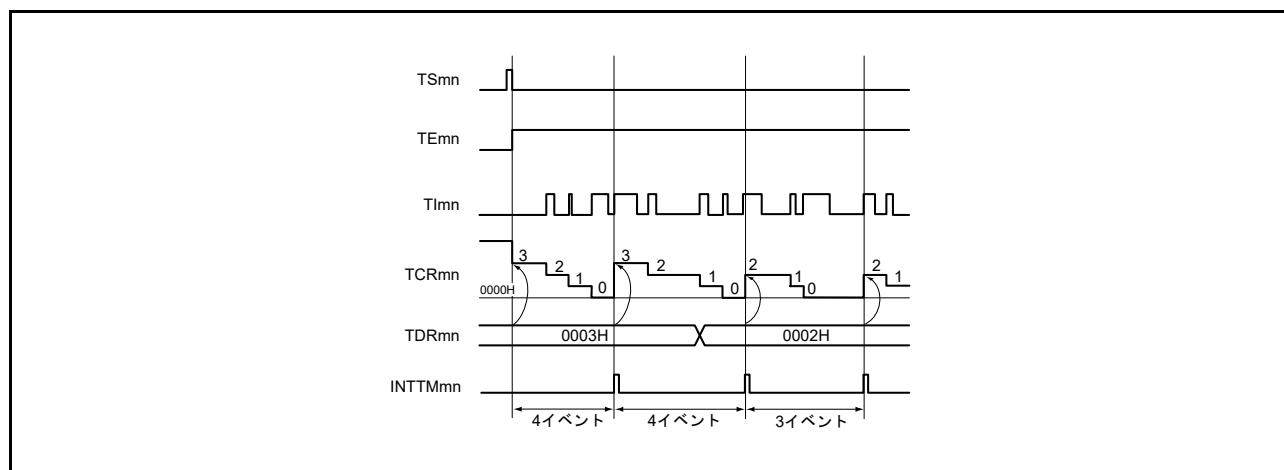
- ★ 外部イベント・カウンタは、Tl_{mn} 端子入力を使用せずに、TIS0, TIS1 レジスタで選択したタイマ入力を入力ソースにすることもできます。

図 7 - 50 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

図7-51 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

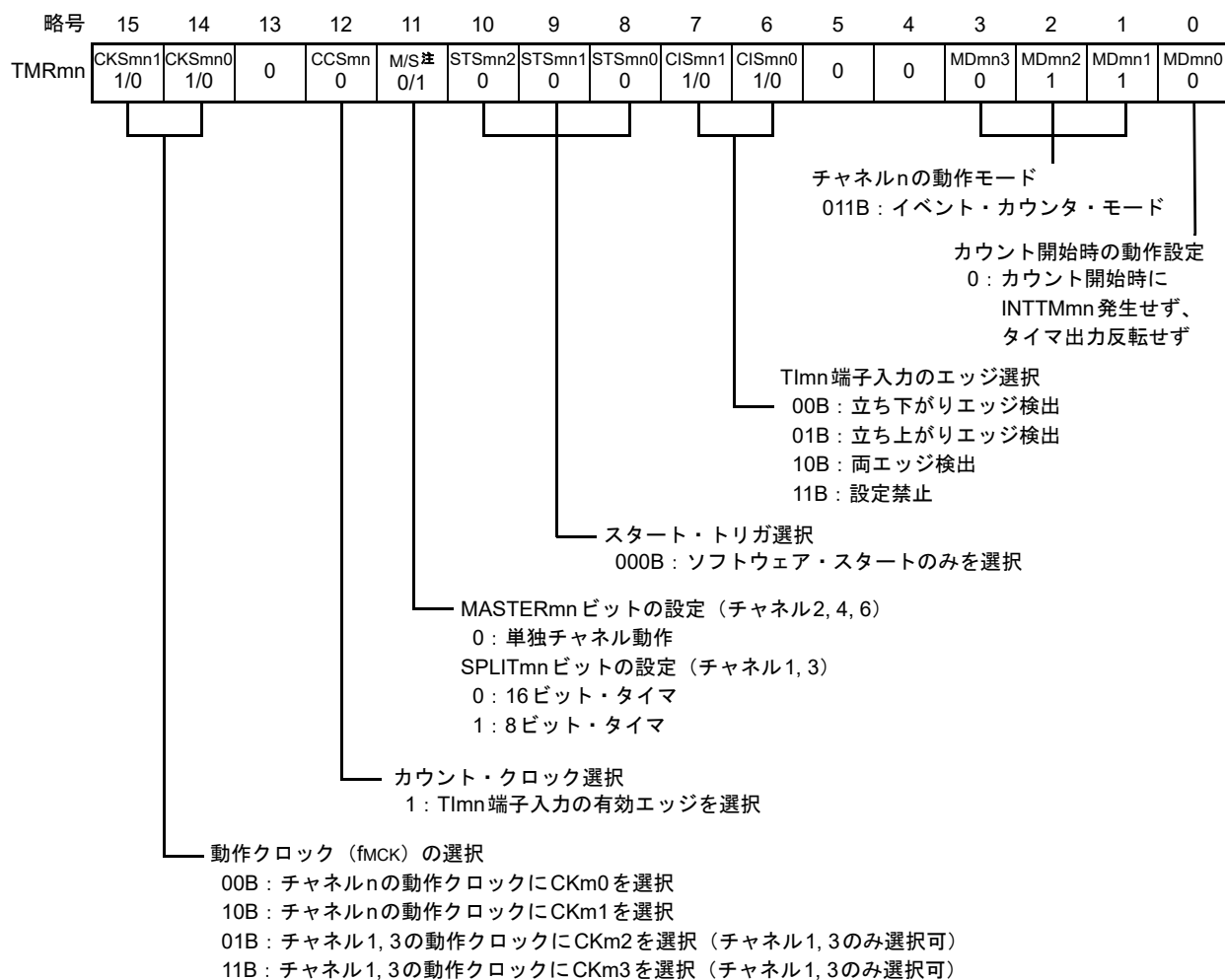
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

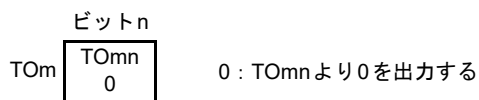
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図7-52 外部イベント・カウンタ・モード時のレジスタ設定内容例

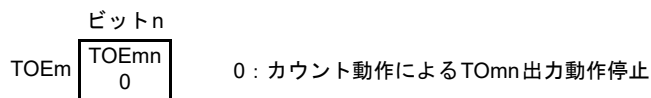
(a) タイマ・モード・レジスタ mn (TMRmn)



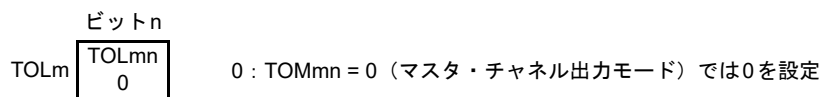
(b) タイマ出力レジスタ m (TOM)



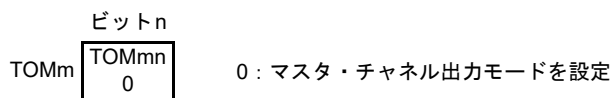
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

図7-53 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)	
	周辺イネーブル・レジスタ0 (PER0) のTAUmEN ビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)	
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する		
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn) にカウント数を設定する タイマ出力許可レジスタ m (TOEm) のTOEmn ビットに0を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)	
動作 再開	動作 開始	TSmn ビットに1を設定する TSmn ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) はTDRmn レジスタの値をロードし、TImn 端子入力のエッジ検出待ち状態になる
	動作 中	TDRmn レジスタは、任意に設定値変更が可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、使用しない TMRmn レジスタ、TOMmn, TOLmn, TOmn, TOEmn ビットは、設定値変更禁止	TImn 端子入力のエッジが検出されるごとに、カウンタ (TCRmn) はダウン・カウント動作を行う。0000Hまでカウントすると、再びTCRmn レジスタはTDRmn レジスタの値をロードし、カウント動作を継続する。TCRmn = 0000H 検出でINTTMmn 出力を発生する。 以降、この動作を繰り返す。
	動作 停止	TTmn ビットに1を設定する TTmn ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmn レジスタはカウント値を保持して停止
	TAU 停止	PER0 レジスタのTAUmEN ビットに0を設定する 全回路を初期化する場合 PRR0 レジスタのTAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.8.3 分周器としての動作 (チャンネル0のみ)

TI00 端子に入力されたクロックを分周し、TO00 端子から出力する分周器として利用することができます。

TO00 出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{(\text{TDR00 の設定値} + 1) \times 2\}$$
- 両エッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDR00 の設定値} + 1)$$

タイマ・カウンタ・レジスタ 00 (TCR00) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ 0 (TS0) の動作許可 (スタート) トリガ・ビット (TS00) に 1 を設定後、TI00 の有効エッジ検出で TCR00 レジスタはタイマ・データ・レジスタ 00 (TDR00) の値をロードします。このときタイマ・モード・レジスタ 00 (TMR00) の MD000 = 0 ならば、INTTM00 を出力せず、TO00 はトグルしません。TMR00 レジスタの MD000 = 1 ならば、INTTM00 を出力して、TO00 をトグルします。

その後、TI00 端子入力の有効エッジにあわせてダウン・カウントを行い、TCR00 = 0000H になったら、TO00 をトグルします。同時に TCR00 レジスタは TDR00 レジスタの値をロードして、カウントを継続します。

TI00 端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差が TO00 出力の分周クロック周期に影響します。

TO00 の出力クロックの周期には、動作クロック 1 周期分のサンプリング誤差が含まれます。

$$\text{TO00 出力のクロック周期} = \text{理想の TO00 出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDR00 レジスタは任意のタイミングで書き換えることができます。書き換えた TDR00 レジスタの値は次のカウント期間で有効となります。

図 7 - 54 分周器としての動作のブロック図

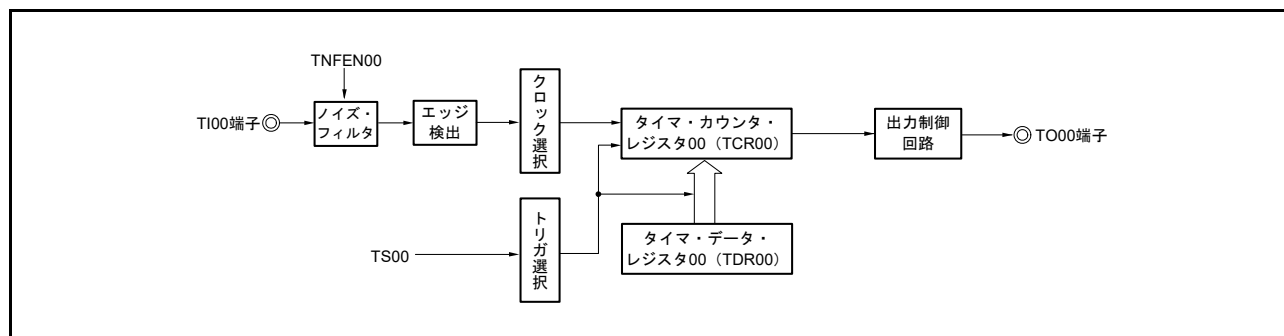
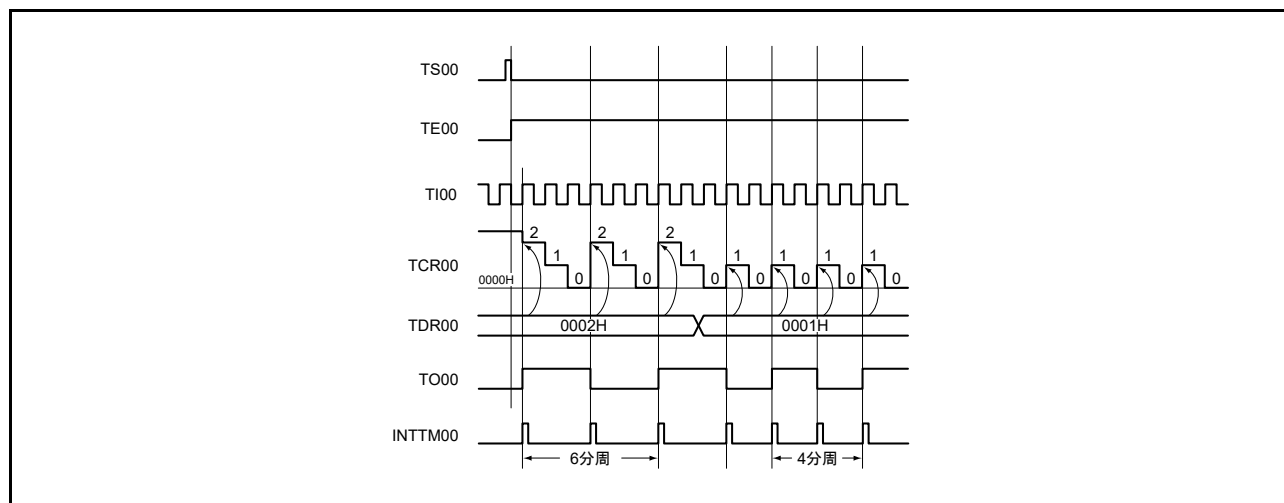


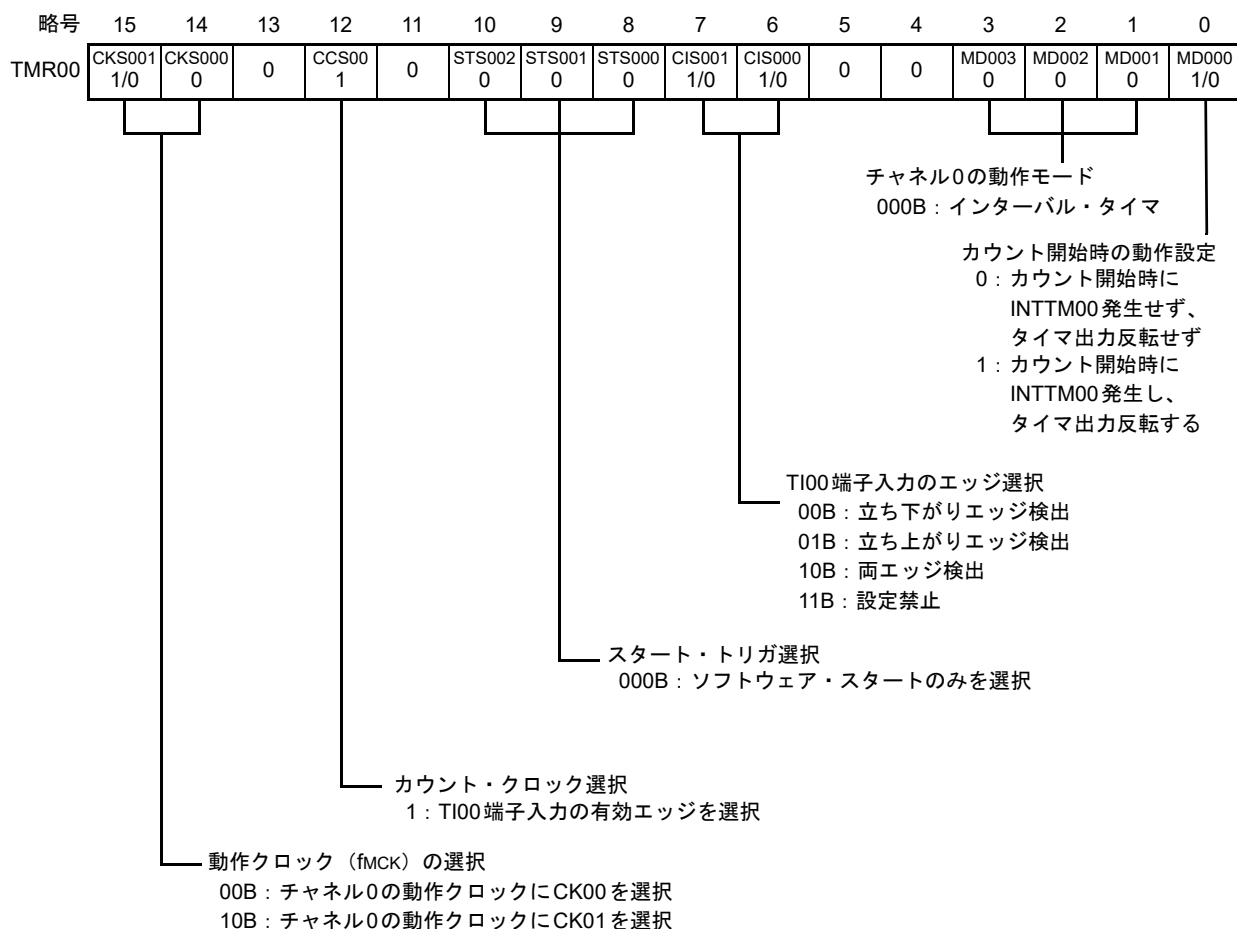
図7 - 55 分周器としての動作の基本タイミング例 (MD000 = 1)



- 備考**
- TS00 : タイマ・チャンネル開始レジスタ0 (TS0) のビット0
 - TE00 : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビット0
 - TI00 : TI00端子入力信号
 - TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
 - TDR00 : タイマ・データ・レジスタ00 (TDR00)
 - TO00 : TO00端子出力信号

図7-56 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)



(b) タイマ出力レジスタ0 (TO0)

ビット0	
TO0	TO00 1/0
	0 : TO00 より0を出力する 1 : TO00 より1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビット0	
TOE0	TOE00 1/0
	0 : カウント動作によるTO00出力動作停止 1 : カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビット0	
TOL0	TOL00 0
	0 : マスタ・チャンネル出力モード (TOM00 = 0) では0を設定

(e) タイマ出力モード・レジスタ0 (TOM0)

ビット0	
TOM0	TOM00 0
	0 : マスタ・チャンネル出力モードを設定

図 7 - 57 分周器機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ0 (TPS0) を設定する CK00-CK03のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ00 (TMR00) を設定する (チャネルの動作モード確定、検出エッジの選択) タイマ・データ・レジスタ00 (TDR00) にインターバル (周期) 値を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0) のTOM00ビットに0 (マスタ・チャネル出力モード) を設定する TOL00ビットに0を設定する TO00ビットを設定し、TO00出力の初期レベルを確定する →	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TO00初期設定レベルが出力される。
	TOE00ビットに1を設定し、TO00の動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	チャネルは動作停止状態なので、TO00は変化しない TO00端子はTO00設定レベルを出力

図7-57 分周器機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE00ビットに1を設定する (動作再開時のみ) TS00ビットに1を設定する → TS00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 1になり、カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00) はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は、INTTM00を発生し、TO00もトグル動作する。
	動作中 TDR00レジスタは、任意に設定値変更が可能 TCR00レジスタは、常に読み出し可能 TSR00レジスタは、使用しない TO0, TOE0レジスタは、設定値変更可能 TMR00レジスタ、TOM00, TOL00ビットは、設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い、0000Hまでカウントすると、再びTCR00レジスタはTDR00レジスタの値をロードし、カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し、TO00はトグル動作する。 以降、この動作を繰り返す。
	動作停止 TT00ビットに1を設定する → TT00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 0になり、カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず、状態保持
	TOE00ビットに0を設定し、TO00ビットに値を設定する →	TO00端子はTO00設定レベルを出力
	TAU停止 TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO00ビットに0を設定する → TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

7.8.4 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1 の期間中に、ソフトウェア操作 (TSmn = 1) をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn.OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) の動作許可 (スタート) トリガ・ビット (TSmn) に 1 を設定すると TCRmn レジスタはカウント・クロックにあわせて 0000H からアップ・カウントを開始します。

Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn) に転送 (キャプチャ) すると同時に、TCRmn レジスタを 0000H にクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットが 1 にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を続けます。

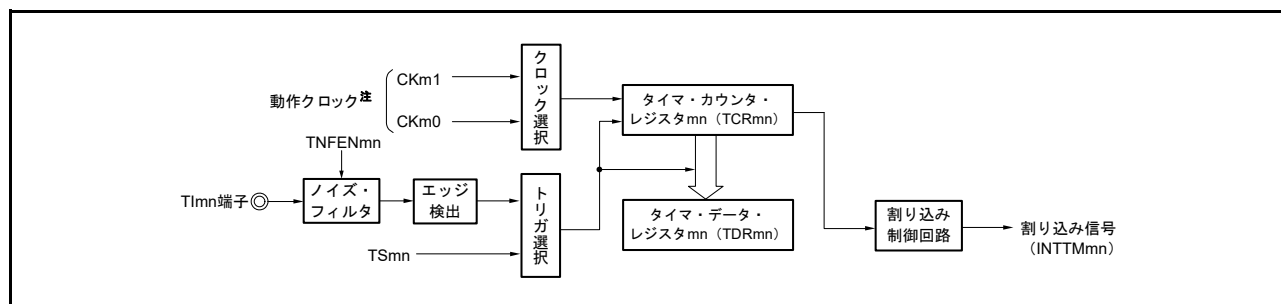
カウント値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットが 1 にセットされます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタの STSmn2-STSmn0 = 001B に設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

- ★ 入力パルス間隔測定は、Tlmn 端子入力を使用せずに、TIS0, TIS1 レジスタで選択したタイマ入力や、ソフトウェア操作 (TSmn = 1) をスタート・トリガおよびキャプチャ・トリガにすることもできます。

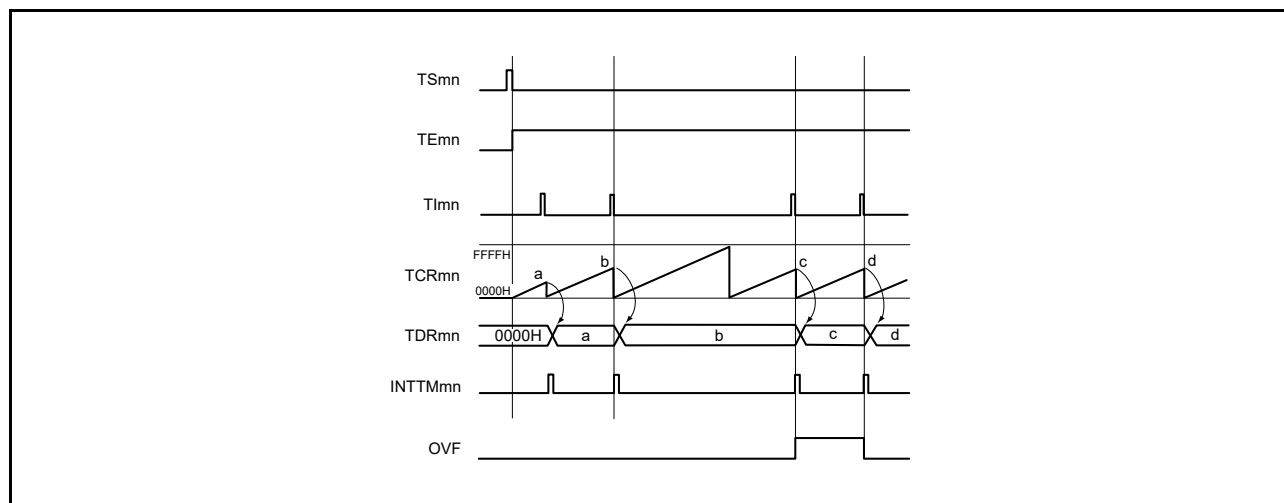
図 7 - 58 入力パルス間隔測定としての動作のブロック図



注 チャンネル 1, 3 の場合は、CKm0, CKm1, CKm2, CKm3 からクロックを選択できます。

備考 m : ユニット番号 (m = 0), n : チャンネル番号 (n = 0-7)

図7 - 59 入力パルス間隔測定としての動作の基本タイミング例 (MDmn0 = 0)



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

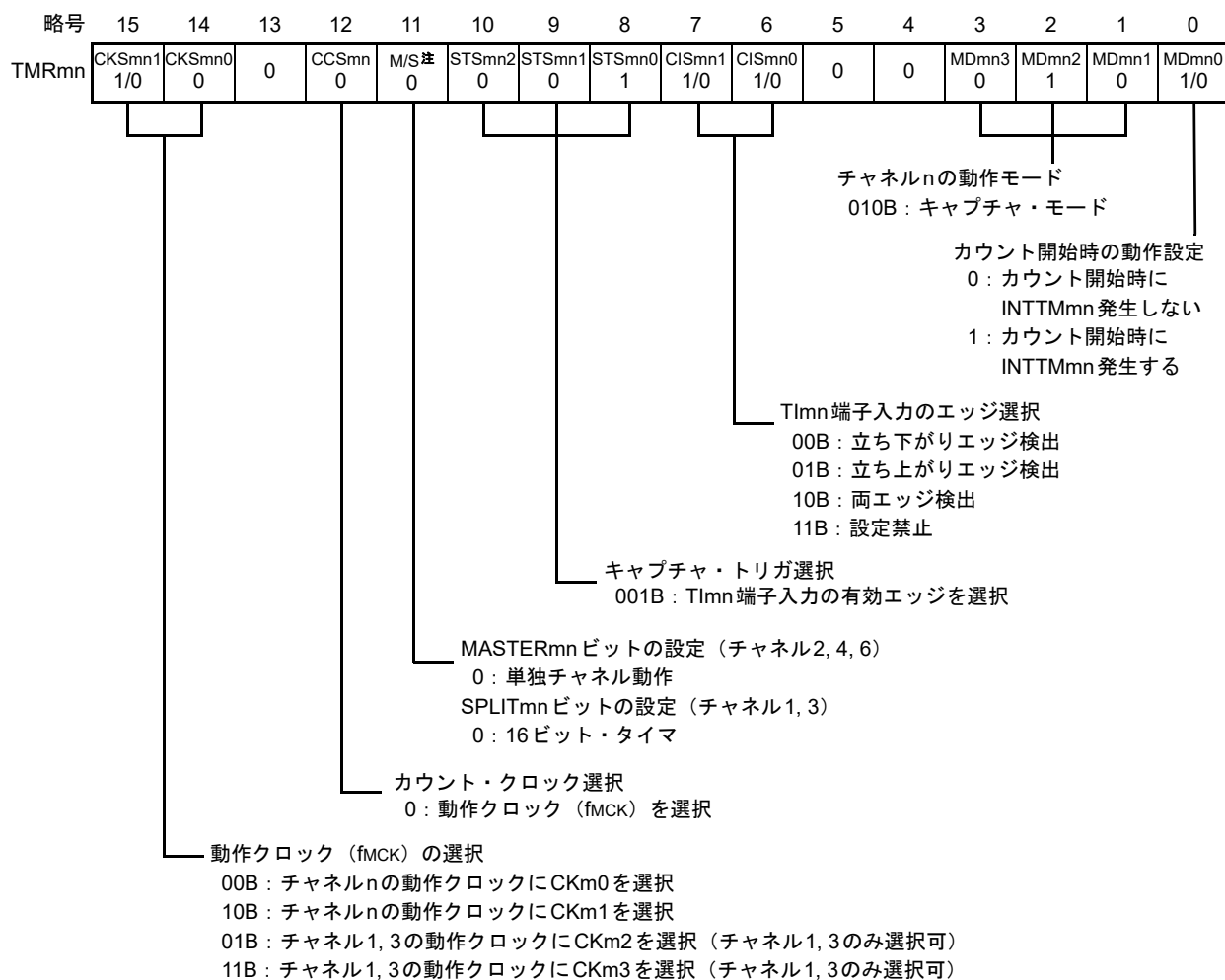
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

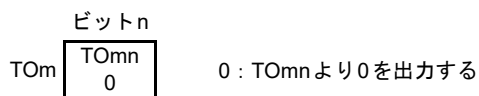
OVf : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図7-60 入力パルス間隔測定時のレジスタ設定内容例

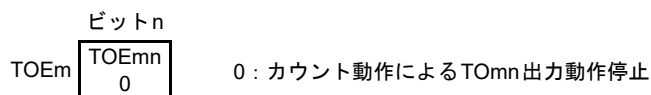
(a) タイマ・モード・レジスタ mn (TMRmn)



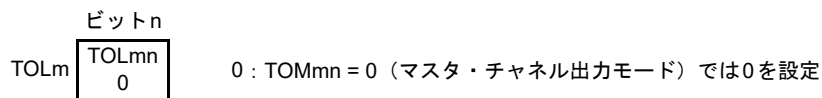
(b) タイマ出力レジスタ m (TOM)



(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(注、備考は次ページに続きます)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット n
TOMm

TOMmn
0

 0 : マスタ・チャンネル出力モードを設定

注 TMRm2, TMRm4, TMRm6 の場合 : MASTERmn ビット
TMRm1, TMRm3 の場合 : SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合 : 0 固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

図7-61 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1 (NFEN1) の対応する ビットに 0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 再開	動作 開始	TSmn ビットに 1 を設定する → TEmn = 1 になり、カウント動作開始 TSmn ビットはトリガ・ビットなので、自動的に 0 に 戻る タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H に クリアする。TMRmn レジスタの MDmn0 ビットが 1 の場 合は、INTTMmn を発生する。
	動作 中	TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値 変更可能 TDRmn レジスタは、常に読み出し可能 TCRmn レジスタは、常に読み出し可能 TSRmn レジスタは、常に読み出し可能 TOMmn, TOLmn, TOMn, TOEmn ビットは、設定値変更 禁止 カウンタ (TCRmn) は 0000H からアップ・カウント動作 を行い、TImn 端子入力の有効エッジの検出または TSmn ビットに 1 を設定すると、カウント値をタイマ・データ・ レジスタ mn (TDRmn) に転送 (キャプチャ) する。同時 に、TCRmn レジスタを 0000H にクリアし、INTTMmn を 発生する。 このときオーバフローが発生していたら、タイマ・ステー タス・レジスタ mn (TSRmn) の OVF ビットがセットさ れ、オーバフローが発生していなかったら OVF ビットが クリアされる。 以降、この動作を繰り返す。
	動作 停止	TTmn ビットに 1 を設定する → TEmn = 0 になり、カウント動作停止 TTmn ビットはトリガ・ビットなので、自動的に 0 に戻る TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
	TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する → タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路を初期化する場合 PRR0 レジスタの TAUmRES → 全回路が初期化され、各チャネルの SFR も初期化される ビットに 1 を設定する

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.8.5 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) に1を設定してください。また、以降の説明では「TImn」を「RxID2」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅 (ロウ・レベル幅／ハイ・レベル幅) を測定することができます。TImn の信号幅は次の式で求めることができます。

$$\text{TImn 入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn.OVF}) + (\text{TDRmnのキャプチャ値} + 1))$$

注意 TImn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ&ワンカウンタ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) の動作許可 (スタート) トリガ・ビット (TSmn) に1を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ) を検出すると、カウンタ・クロックにあわせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットが1にセットされます。しかし、OVF ビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

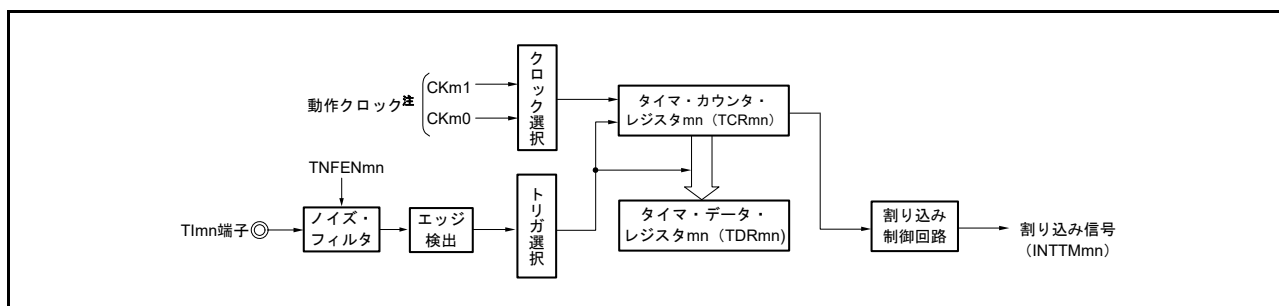
TImn 端子入力のロウ・レベル幅を測定するか、ハイ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSmn ビットの1へのセットは使用できません。

★ なお、TImn 端子入力を使用せずに、TIS0, TIS1 レジスタで選択したタイマ入力を、スタート・エッジおよびキャプチャ・エッジとすることもできます。

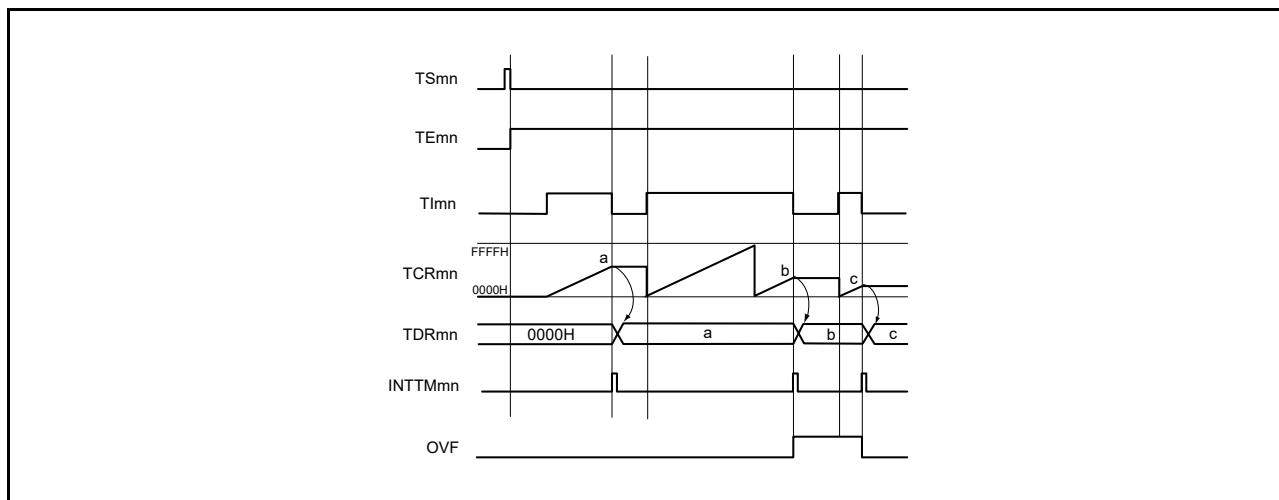
- TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する
- TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図7-62 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7-63 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

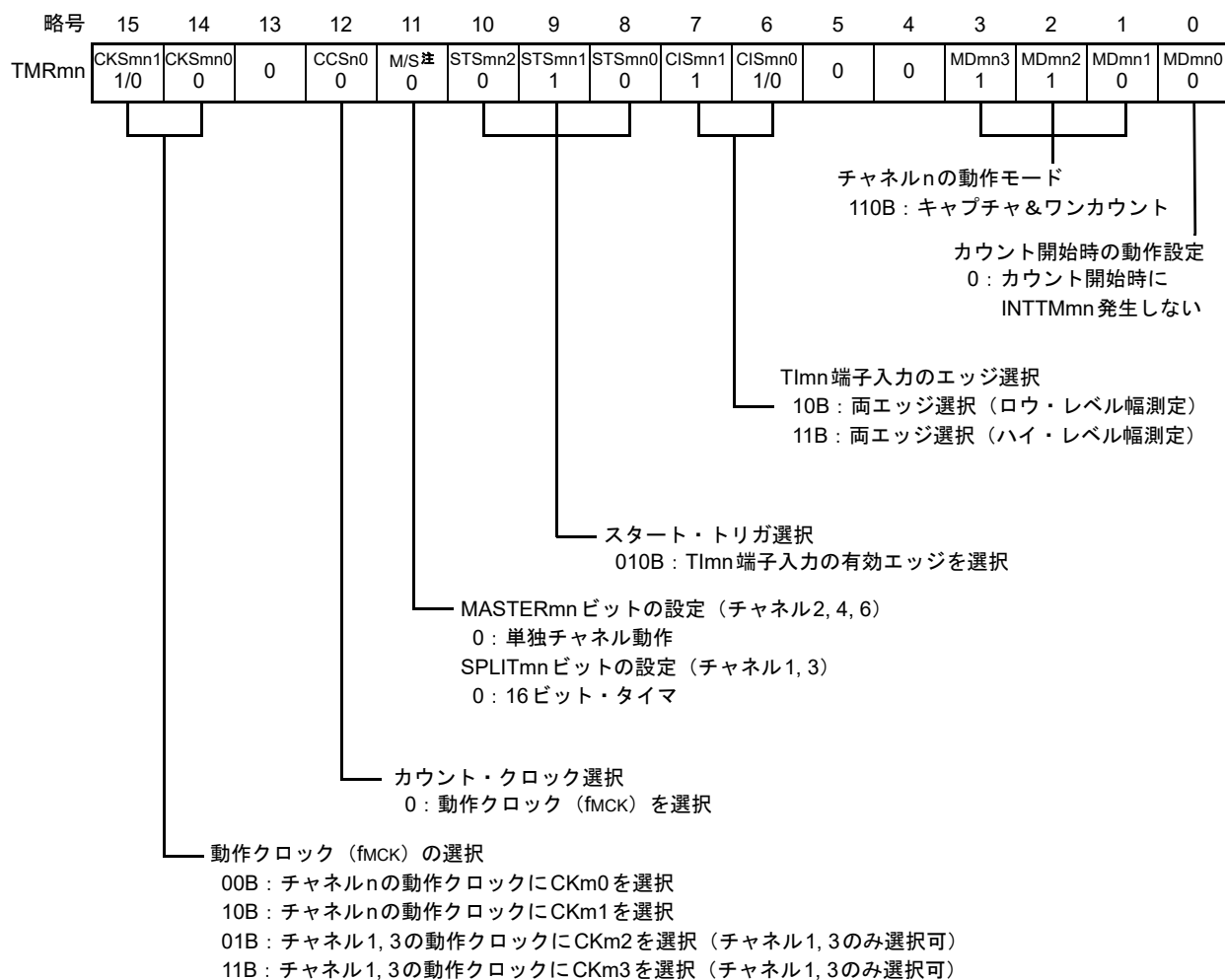
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

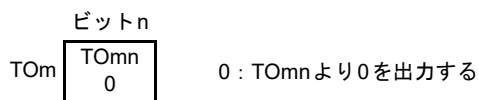
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図7-64 入力信号のロウ・レベル幅／ハイ・レベル幅測定時のレジスタ設定内容例

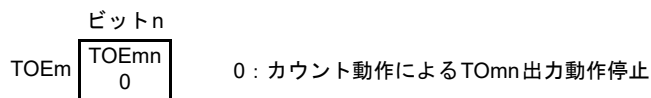
(a) タイマ・モード・レジスタ mn (TMRmn)



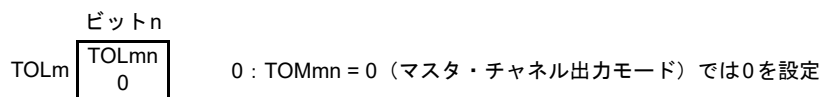
(b) タイマ出力レジスタ m (TOM)



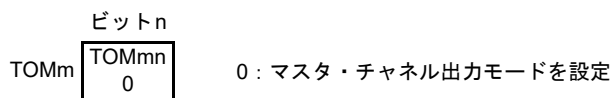
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

図7-65 入力信号のロウ・レベル幅／ハイ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定) TOEmnビットに0を設定し、TOMnの動作を停止	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn) を0000Hにクリアし、カウント・アップ動作を開始する
動作 中	TDRmnレジスタは、常に読み出し可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、常に読み出し可能 TMRmnレジスタ、TOMmn, TOLmn, TOMn, TOEmnビットは、設定値変更禁止	TImn端子のスタート・エッジ検出後、カウンタ (TCRmn) は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら、カウント値をタイマ・データ・レジスタmn (TDRmn) に転送し、INTTMmnを発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタmn (TSRmn) のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは、次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降、この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合 PRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.8.6 ディレイ・カウンタとしての動作

TI_{mn} 端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn}（タイマ割り込み）を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェア操作で TS_{mn} = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn}（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{（タイマ割り込み）の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR}_{mn} \text{の設定値} + 1)$$

タイマ・カウンタ・レジスタ *mn* (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

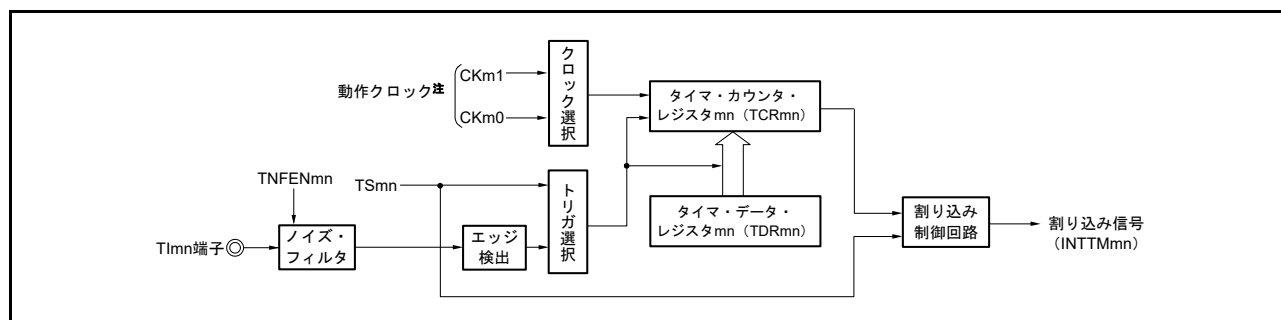
タイマ・チャネル開始レジスタ *m* (TS_m) の動作許可（スタート）トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり TI_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、TI_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ *mn* (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCR_{mn} = 0000H になったら INTTM_{mn} を出力し、次の TI_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

- ★ ディレイ・カウンタは、TI_{mn} 端子入力を使用せずに、TIS0, TIS1 レジスタで選択したタイマ入力や、ソフトウェア操作 (TS_{mn} = 1) をスタート・トリガにすることもできます。

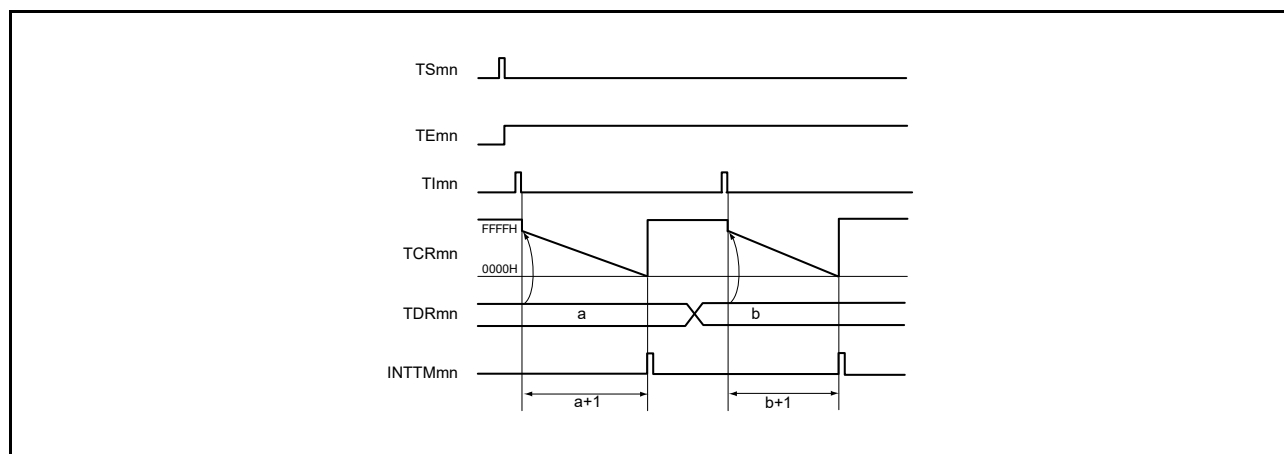
図7-66 ディレイ・カウンタとしての動作のブロック図



注 チャネル1, 3の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3}からクロックを選択できます。

備考 *m* : ユニット番号 (*m* = 0), *n* : チャネル番号 (*n* = 0-7)

図7-67 デレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

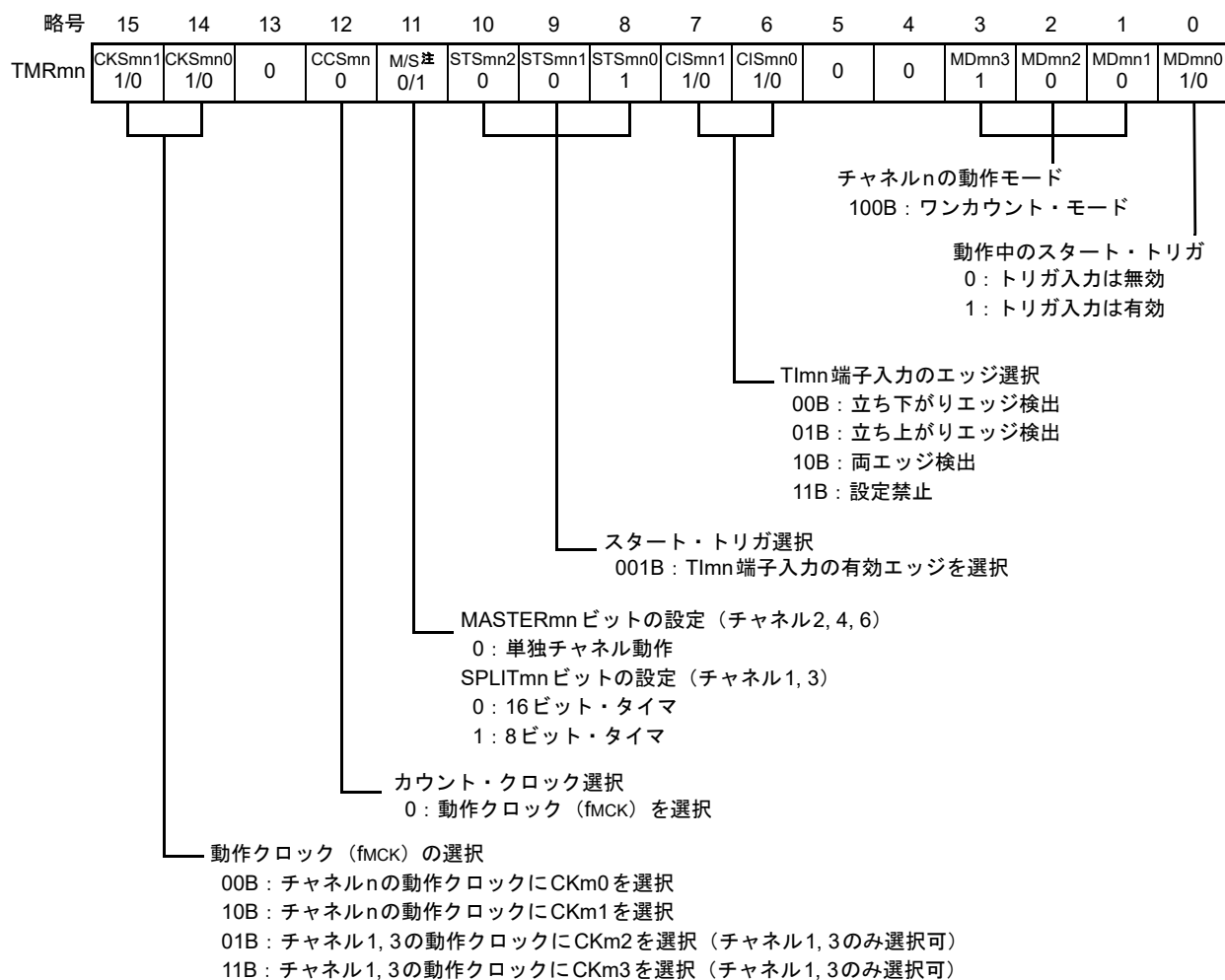
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

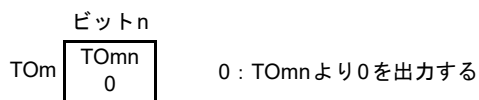
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図7-68 ディレイ・カウンタ機能時のレジスタ設定内容例

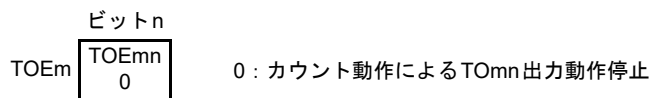
(a) タイマ・モード・レジスタmn (TMRmn)



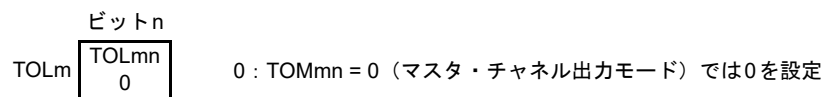
(b) タイマ出力レジスタm (TOM)



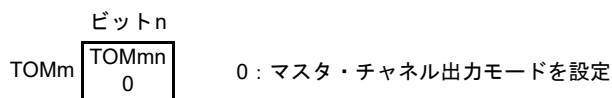
(c) タイマ出力許可レジスタm (TOEm)



(d) タイマ出力レベル・レジスタm (TOLm)



(e) タイマ出力モード・レジスタm (TOMm)



(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmnビット
 TMRm0, TMRm5, TMRm7の場合 : 0固定

備考 m : ユニット番号 (m = 0)、n : チャンネル番号 (n = 0-7)

図7-69 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0-CKm3のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに0 (オフ)、1 (オン) を設定する タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn) に遅延時間を設定する TOEmnビットに0を設定し、TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 再開	動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので、自動的に0に戻る
	次のスタート・トリガ検出によって、ダウン・カウントを開始します。 ・ TImn 端子入力の有効エッジ検出 ・ ソフトウェアでTSmnビットに1を設定	TEmn = 1になり、スタート・トリガ検出 (TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定) 待ち状態となる タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。
	動作 中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない カウンタ (TCRmn) はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントするとINTTMmn出力を発生し、次のスタート・トリガ検出 (TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定) までTCRmn = 0000Hでカウント動作を停止する。
	動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので、自動的に0に戻る
TAU 停止	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合 PRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

備考 m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0-7)

7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

7.9.1 ワンショット・パルス出力機能としての動作

2 チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned}\text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}\end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

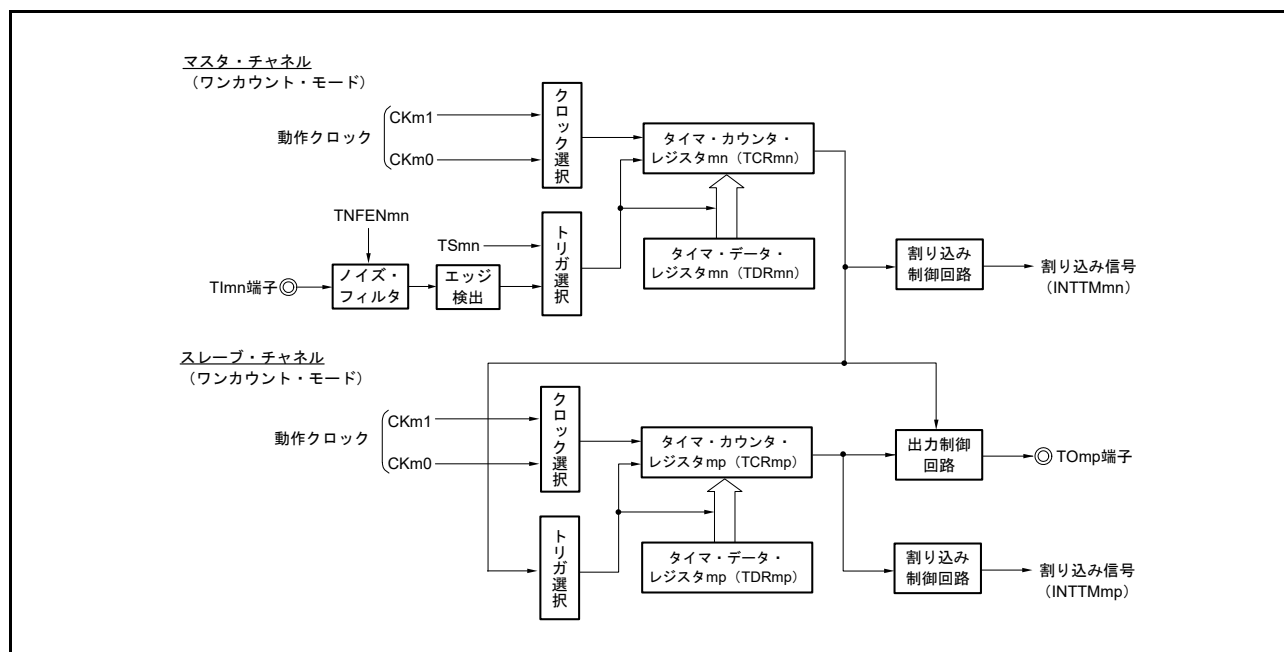
スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックにあわせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

- ★ ワンショット・パルス出力は、TImn 端子入力を使用せずに、TIS1 レジスタで選択したタイマ入力や、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると不正波形が出力されます。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

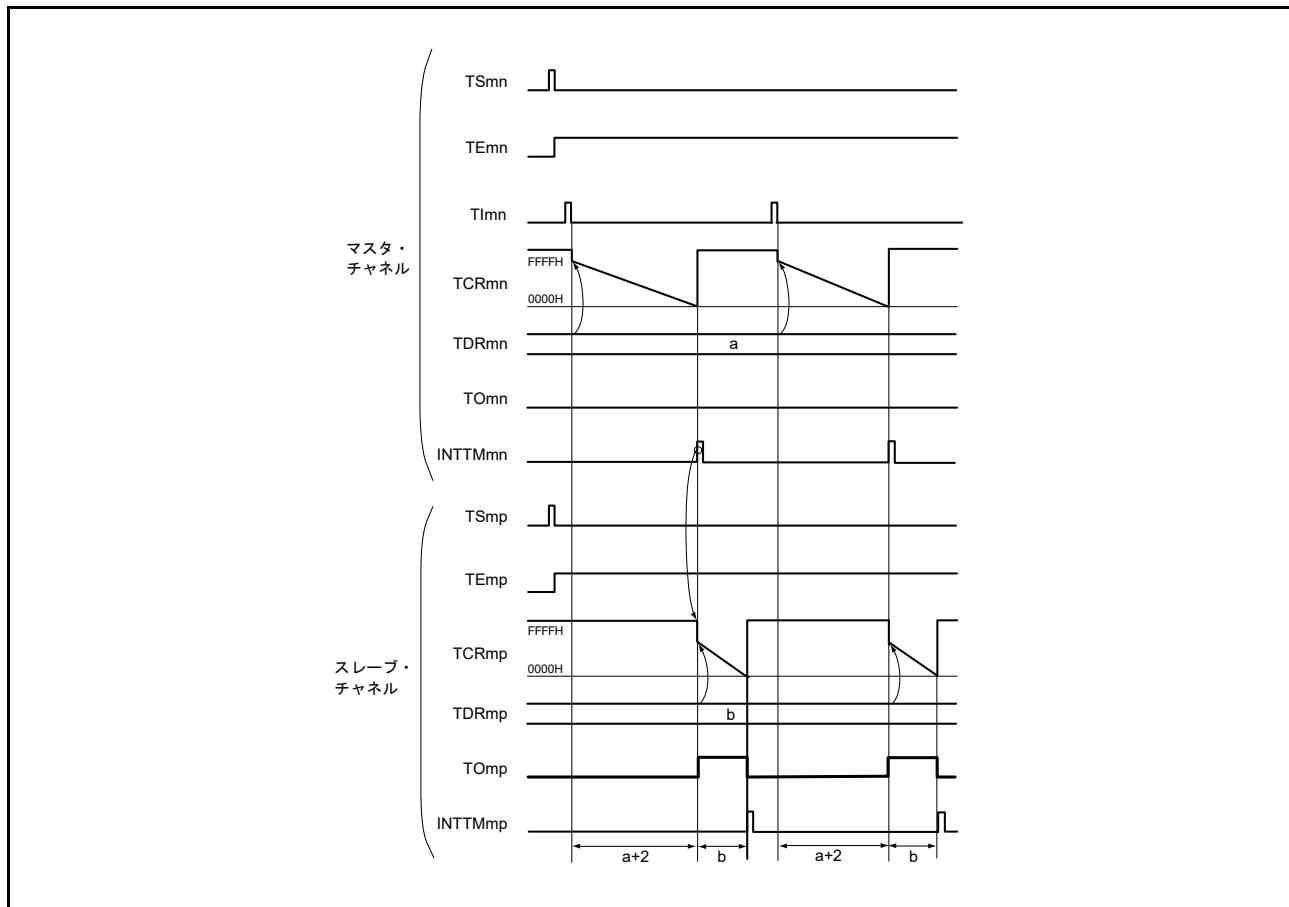
備考 m : ユニット番号 (m = 0)、n : マスタ・チャネル番号 (n = 0, 2, 4, 6)、
p : スレーブ・チャネル番号 (n < p ≤ 7)

図7-70 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)、
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-71 ワンショット・パルス出力機能としての動作の基本タイミング例

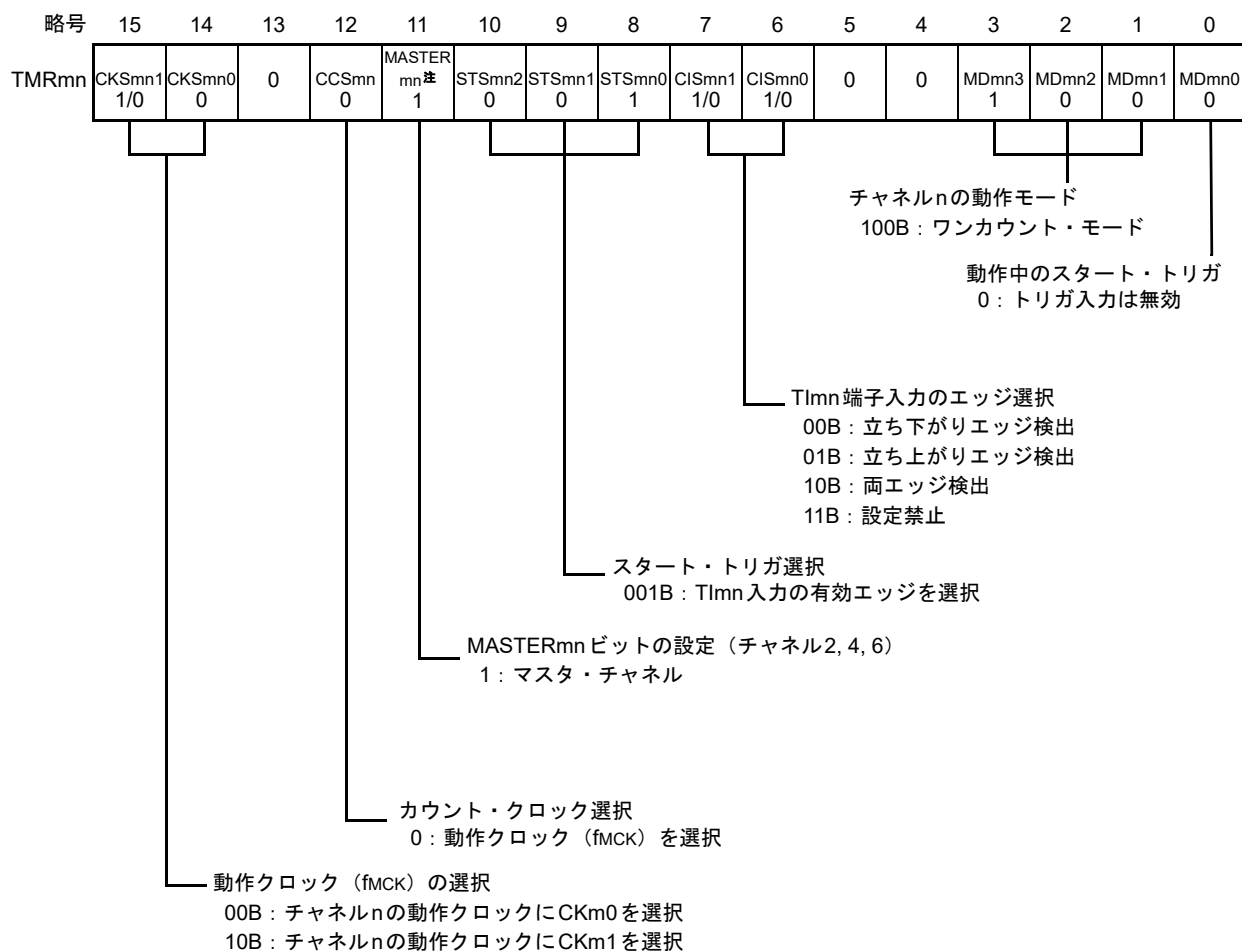


備考1. m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)、
p : スレーブ・チャンネル番号 (n < p ≤ 7)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p
TEmn, TEmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p
TImn, TImp : TImn, TImp 端子入力信号
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)
TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)
TOmn, TOmp : TOmn, TOmp 端子出力信号

図7-72 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ mn (TMRmn)



(b) タイマ出力レジスタ m (TOm)

ビットn
TOm

TOmn 0

 0 : TOmn より0を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビットn
TOEm

TOEmn 0

 0 : カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタ m (TOLm)

ビットn
TOLm

TOLmn 0

 0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタ m (TOMm)

ビットn
TOMm

TOMmn 0

 0 : マスタ・チャンネル出力モードを設定

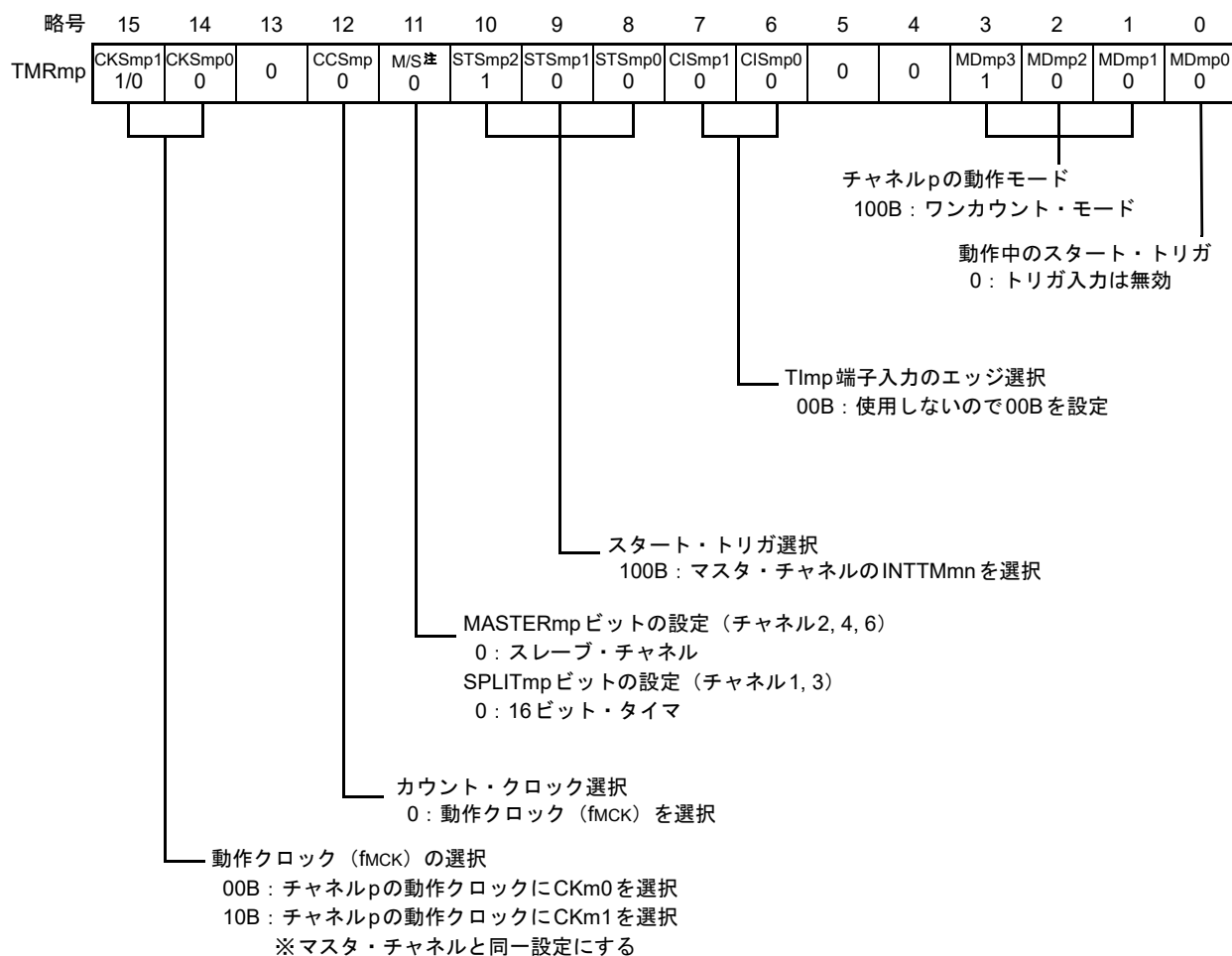
(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0 固定

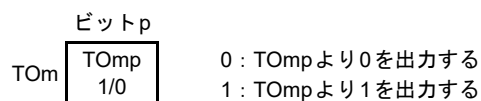
備考 m : ユニット番号 (m = 0)、n : マスタ・チャネル番号 (n = 0, 2, 4, 6)

図7-73 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

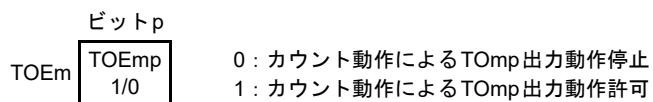
(a) タイマ・モード・レジスタ mp (TMRmp)



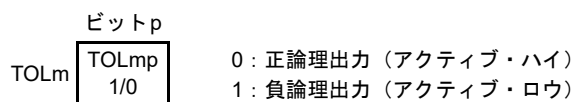
(b) タイマ出力レジスタ m (TOM)



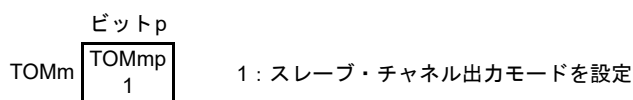
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmpビット
 TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0)、n : マスタ・チャネル番号 (n = 0, 2, 4, 6)、
 p : スレーブ・チャネル番号 (n < p ≤ 7)

図7-74 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1 (NFEN1) の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn) に出力遅延時間、スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを → 確定する TOEmpビットに1を設定し、TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を → 設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります)

図7-74 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に1を設定する → TEmn = 1, TEm = 1 となり、マスタ・チャンネルはスタート・トリガ検出 (TImn 端子入力の有効エッジの検出またはマスタ・チャンネルの TSmn ビットに1を設定) 待ち状態となる カウンタはまだ停止状態のまま	
	マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn 端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	マスタ・チャンネルがカウンタ動作開始
	動作中 TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ、TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOm, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出 (TImn 端子入力の有効エッジの検出またはマスタ・チャンネルの TSmn ビットに1を設定) により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。TCRmn = 0000H までカウントすると INTTMmn 出力を発生し、次のスタート・トリガ検出までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントすると TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp (スレーブ) ビットに同時に1を設定する → TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEm = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する →	TOmp 端子は TOmp 設定レベルを出力
TAU 停止	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する →	TOmp 端子出力レベルはポート機能により保持される。
	TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する → 全回路を初期化する場合 PRR0 レジスタの TAUmRES ビットに1を設定する →	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmn ビットが0になり、TOmn 端子はポート機能となる)

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)、
p : スレーブ・チャンネル番号 (n < p ≤ 7)

7.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。
出力パルスの周期、デューティは次の式で求めることができます。

パルス周期 = {TDRmn (マスタ) の設定値 + 1} × カウント・クロック周期
 デューティ [%] = {TDRmp (スレーブ) の設定値} / {TDRmn (マスタ) の設定値 + 1} × 100
 0%出力 : TDRmp (スレーブ) の設定値 = 0000H
 100%出力 : TDRmp (スレーブ) の設定値 ≥ {TDRmn (マスタ) の設定値 + 1}

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSM) の動作許可 (スタート) トリガ・ビット (TSMn) に 1 を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタ mn (TDRmn) に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn) にロードし、カウント・クロックにあわせてダウン・カウントを行います。カウントが 0000H になったところで、INTTMmn を出力して、再び TDRmn レジスタから TCRmn レジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm) の動作停止トリガ・ビット (TTmn) に 1 を設定するまでこの動作を繰り返します。

PWM 機能としての動作では、マスタ・チャンネルがダウン・カウントして 0000H になるまでの期間が PWM 出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからの INTTMmn をスタート・トリガとして、TDRmp レジスタから TCRmp レジスタに値をロードし、0000H になるまでダウン・カウントを行います。カウントが 0000H になったところで INTTMmp を出力して、次のスタート・トリガ (マスタ・チャンネルからの INTTMmn) が来るまで待機します。

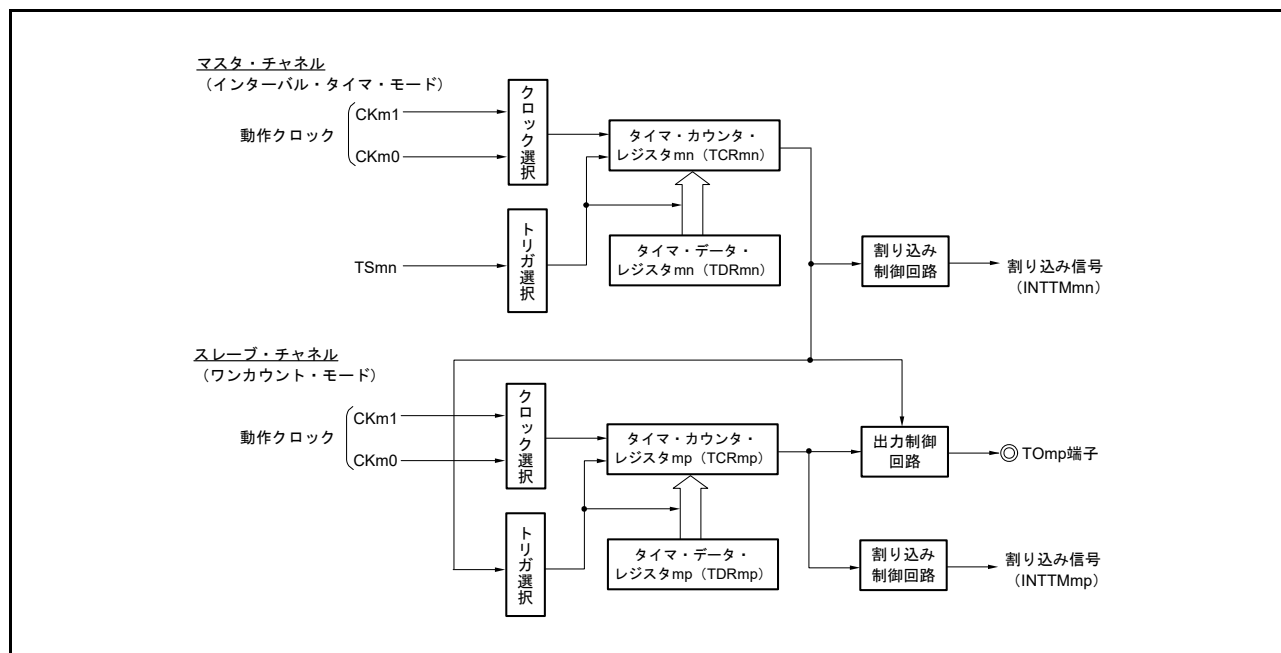
PWM 機能としての動作では、スレーブ・チャンネルがダウン・カウントして 0000H になるまでの期間が PWM 出力 (TOmp) のデューティとなります。

PWM 出力 (TOmp) は、マスタ・チャンネルの INTTMmn 発生から 1 クロック後にアクティブ・レベルとなり、スレーブ・チャンネルの TCRmp レジスタが 0000H になったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルの TDRmp レジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値がロードされるのは、マスタ・チャンネルの INTTMmn 発生時となります。そのため、書き換えがマスタ・チャンネルの INTTMmn 発生前と発生後に分かれて行われると、TOmp 端子は期待通りの波形を出力できません。したがって、マスタの TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャンネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。

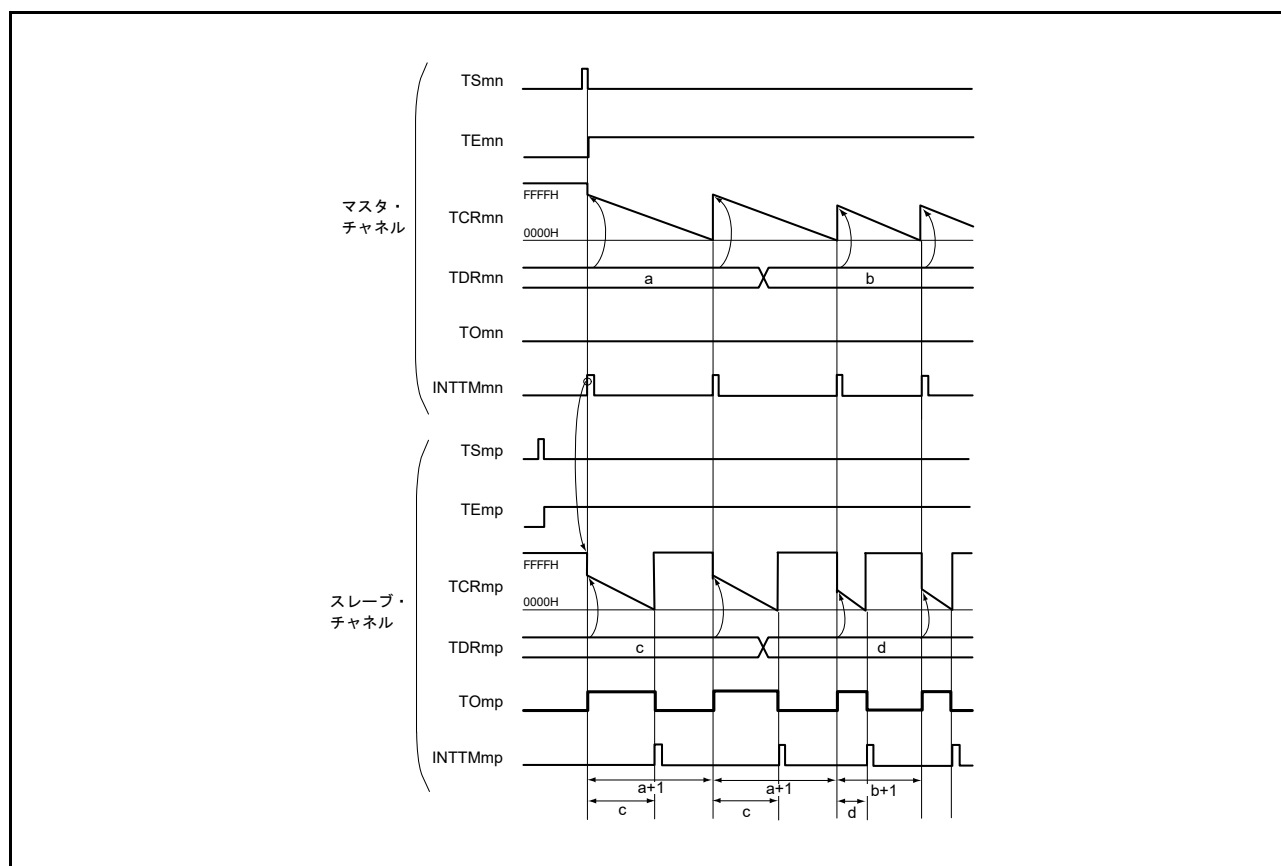
備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)、
 p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7-75 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)、
p : スレーブ・チャンネル番号 (n < p ≤ 7)

図7 - 76 PWM機能としての動作の基本タイミング例

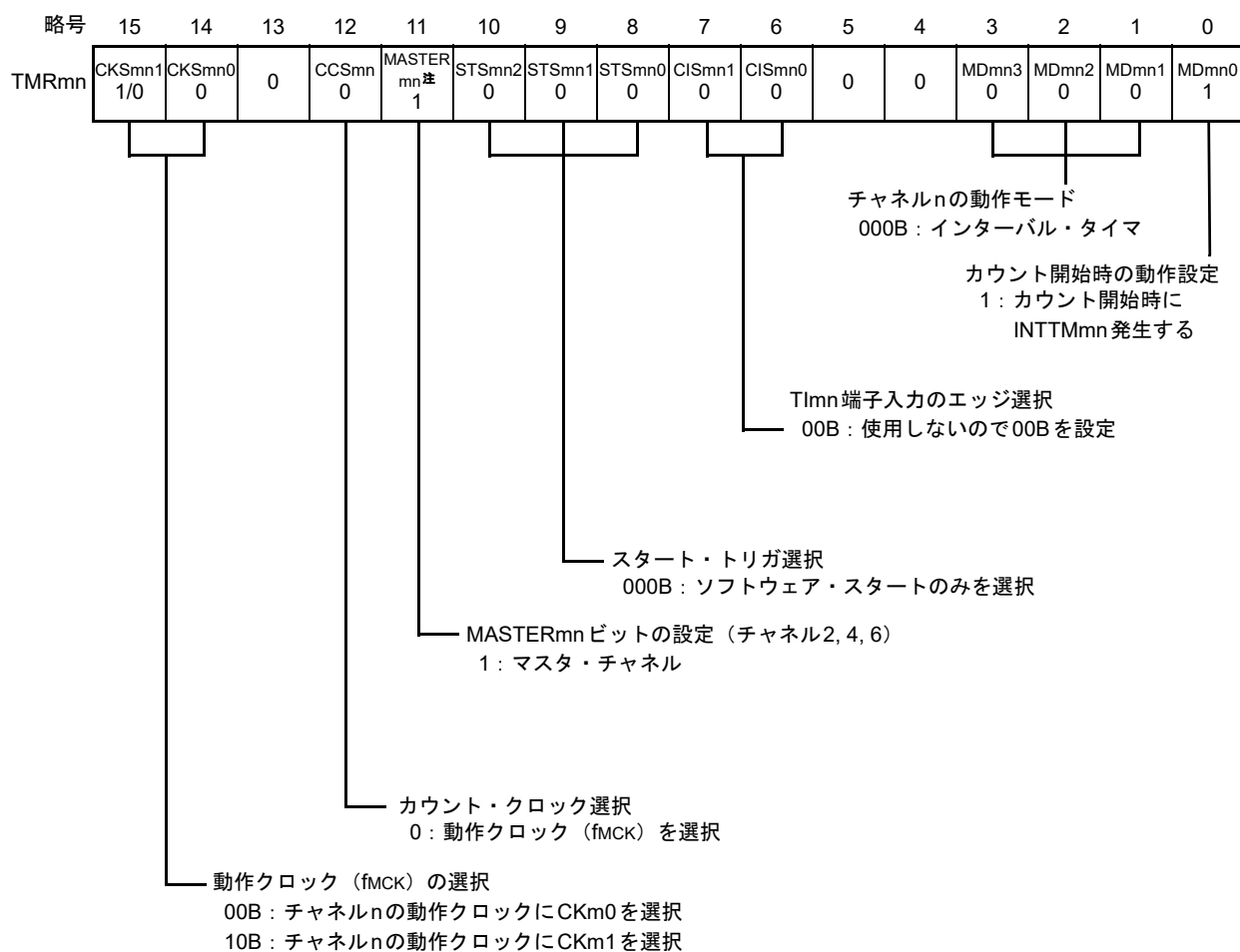


備考1. *m* : ユニット番号 ($m = 0$)、*n* : マスタ・チャンネル番号 ($n = 0, 2, 4, 6$)、
p : スレーブ・チャンネル番号 ($n < p \leq 7$)

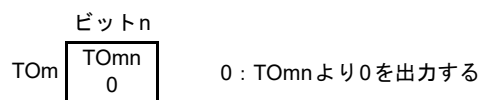
備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ *m* (TSm) のビット *n*, *p*
 TE mn, TE mp : タイマ・チャンネル許可ステータス・レジスタ *m* (TEm) のビット *n*, *p*
 TCRmn, TCRmp : タイマ・カウンタ・レジスタ *mn*, *mp* (TCRmn, TCRmp)
 TDRmn, TDRmp : タイマ・データ・レジスタ *mn*, *mp* (TDRmn, TDRmp)
 TOmn, TOmp : TOmn, TOmp 端子出力信号

図7-77 PWM機能時 (マスタ・チャンネル) のレジスタ設定内容例

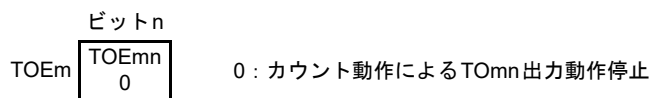
(a) タイマ・モード・レジスタ mn (TMRmn)



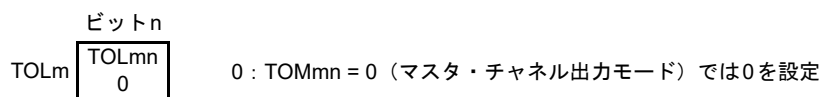
(b) タイマ出力レジスタ m (TOm)



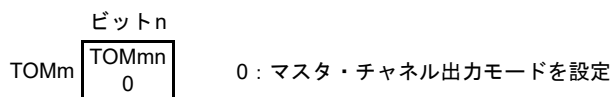
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



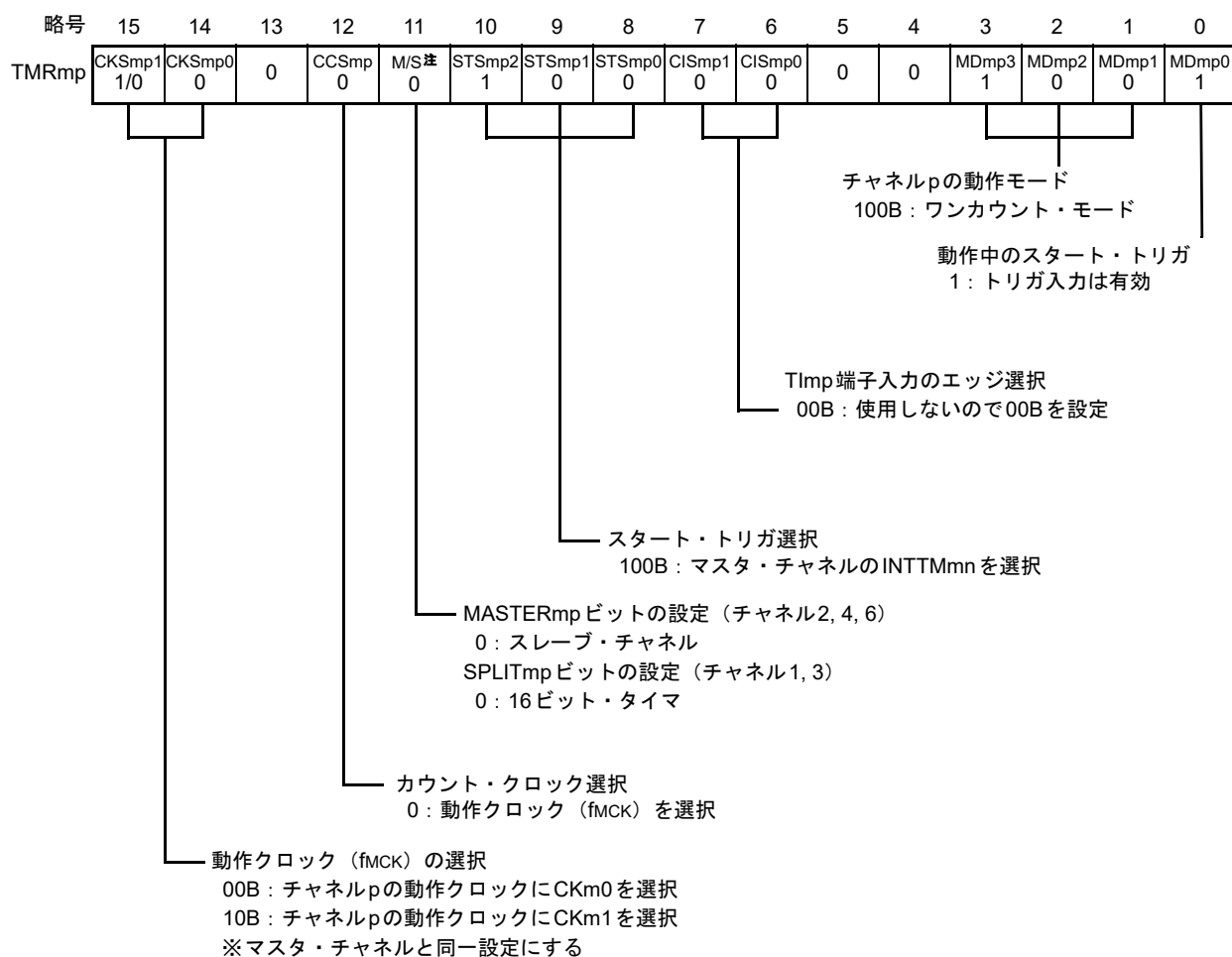
(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0 固定

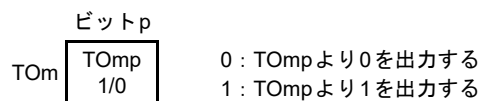
備考 m : ユニット番号 (m = 0)、n : マスタ・チャネル番号 (n = 0, 2, 4, 6)

図7-78 PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例

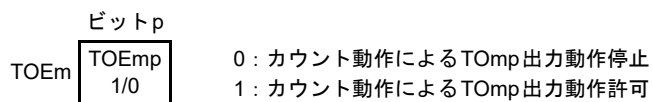
(a) タイマ・モード・レジスタ mp (TMRmp)



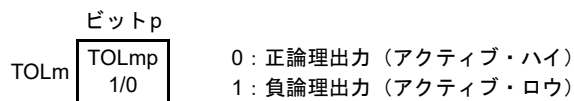
(b) タイマ出力レジスタ m (TOm)



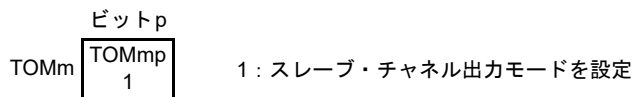
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmnビット
 TMRm1, TMRm3の場合 : SPLITmpビット
 TMRm5, TMRm7 : 0固定

備考 m : ユニット番号 (m = 0)、n : マスタ・チャネル番号 (n = 0, 2, 4, 6)、
 p : スレーブ・チャネル番号 (n < p ≤ 7)

図7 - 79 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp) を設定する (チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値、スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmpビットに1 (スレーブ・チャネル出力モード) を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを → 確定する TOEmpビットに1を設定し、TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を → 設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図7-79 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに1を設定する (動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ)、TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1 となる マスタ・チャンネルがカウント動作開始し、INTTMmn を発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ、TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000H までカウントすると INTTMmn を発生する。同時に、TCRmn レジスタは TDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。 そして TCRmp = 0000H までカウントすると TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp = 0 になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp 出力は初期化されず、状態保持
	スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに0を設定する 全回路を初期化する場合は PRR0 レジスタの TAUmRES ビットに1を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOMn ビットが0になり、TOMn 端子はポート機能となる)

備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)、
p : スレーブ・チャンネル番号 (n < p ≤ 7)

7.9.3 多重PWM出力機能としての動作

PWM 機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数の PWM 出力を行う機能です。

たとえばスレーブ・チャンネルを 2 個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ 1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ 2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ 1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合
または TDRmq (スレーブ 2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、
デューティ値が 100% を超えますが、集約して 100% 出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル 1 の TCRmp レジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp 端子より PWM 波形を出力します。TCRmp レジスタは、マスタ・チャンネルの INTTMmn をスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000H となったら、INTTMmp を出力し、次のスタート・トリガ (マスタ・チャンネルの INTTMmn) が入力されるまでカウントを停止します。TOmp の出力レベルは、マスタ・チャンネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

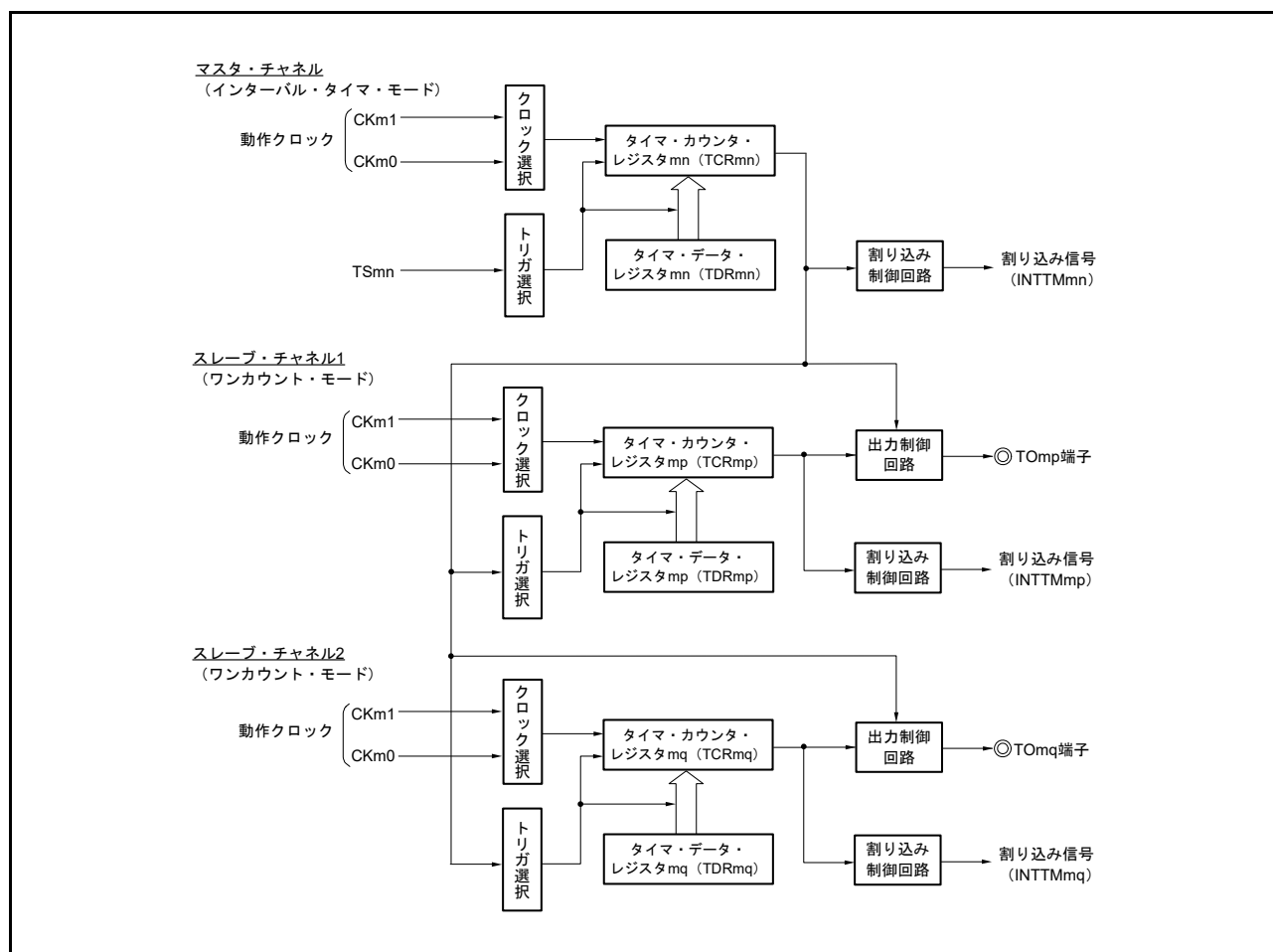
スレーブ・チャンネル 2 の TCRmq レジスタも、スレーブ・チャンネル 1 の TCRmp レジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq 端子より PWM 波形を出力します。TCRmq レジスタは、マスタ・チャンネルの INTTMmn をスタート・トリガとして、TDRmq レジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H となったら、INTTMmq を出力し、次のスタート・トリガ (マスタ・チャンネルの INTTMmn) が入力されるまでカウントを停止します。TOmq の出力レベルは、マスタ・チャンネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H となったらインアクティブ・レベルとなります。

このようにして、チャンネル 0 をマスタ・チャンネルとした場合は、最大 7 種の PWM を同時に出力できます。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネル 1 の TDRmp レジスタを両方とも書き換える場合、最低 2 回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値をロードするのは、マスタ・チャンネルの INTTMmn 発生後となるため、書き換えがマスタ・チャンネルの INTTMmn 発生前と発生後に分かれて行われると、TOmp 端子は、期待通りの波形を出力できません。したがって、TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャンネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル 2 の TDRmq レジスタの場合も同様です。)

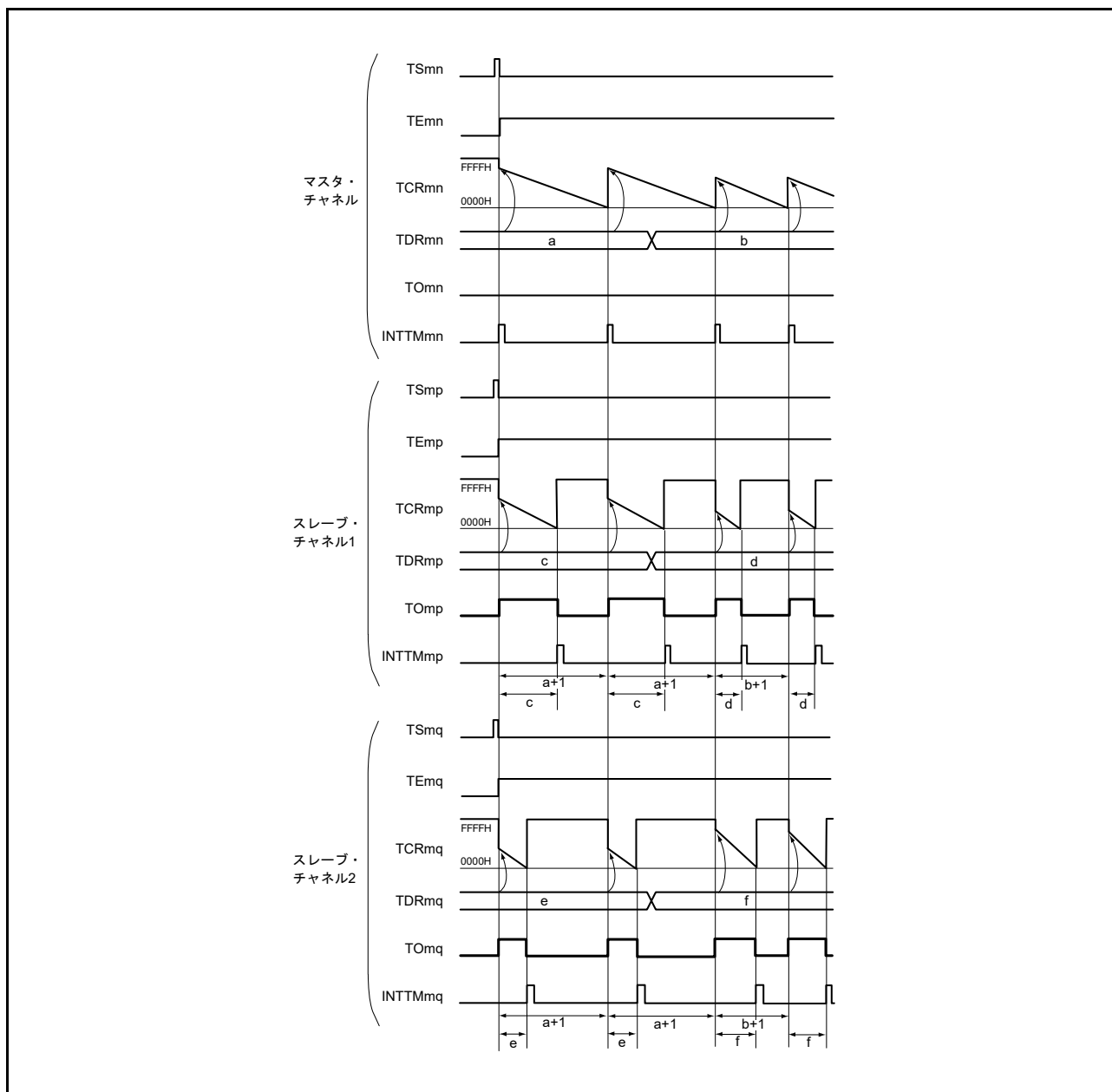
備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4)、
p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (p, q は整数)

図7 - 80 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4)、
 p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
 $n < p < q \leq 7$ (p, qは整数)

図7 - 81 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



備考1. m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4)、

p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号

$n < p < q \leq 7$ (p, qは整数)

備考2. TSmn, TSmp, TSmq : タイマ・チャンネル開始レジスタ m (TSM) のビット n, p, q

TEmn, TEmq, TEMq : タイマ・チャンネル許可ステータス・レジスタ m (TEM) のビット n, p, q

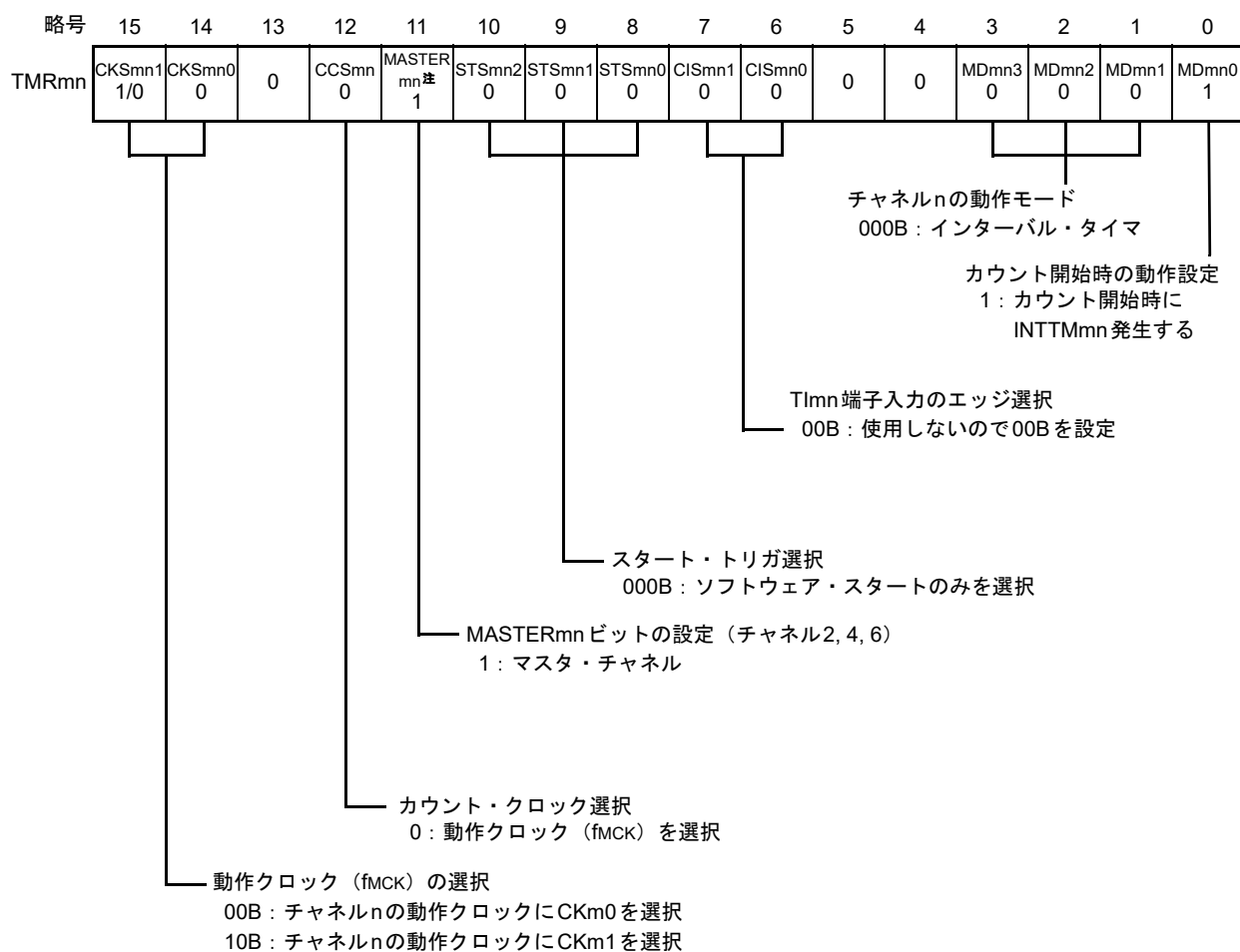
TCRmn, TCRmp, TCRmq : タイマ・カウンタ・レジスタ mn, mp, mq (TCRmn, TCRmp, TCRmq)

TDRmn, TDRmp, TDRmq : タイマ・データ・レジスタ mn, mp, mq (TDRmn, TDRmp, TDRmq)

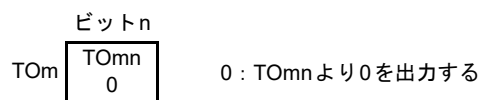
TOmn, TOmp, TOmq : TOmn, TOmp, TOmq 端子出力信号

図7-82 多重PWM出力機能時 (マスタ・チャンネル) のレジスタ設定内容例

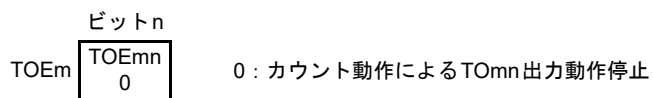
(a) タイマ・モード・レジスタ mn (TMRmn)



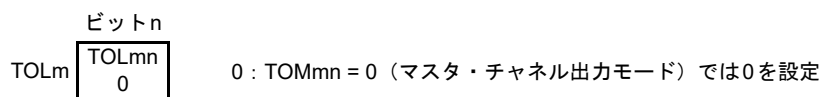
(b) タイマ出力レジスタ m (TOm)



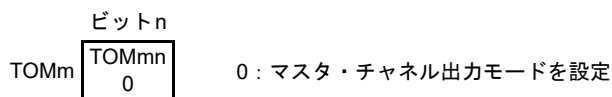
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



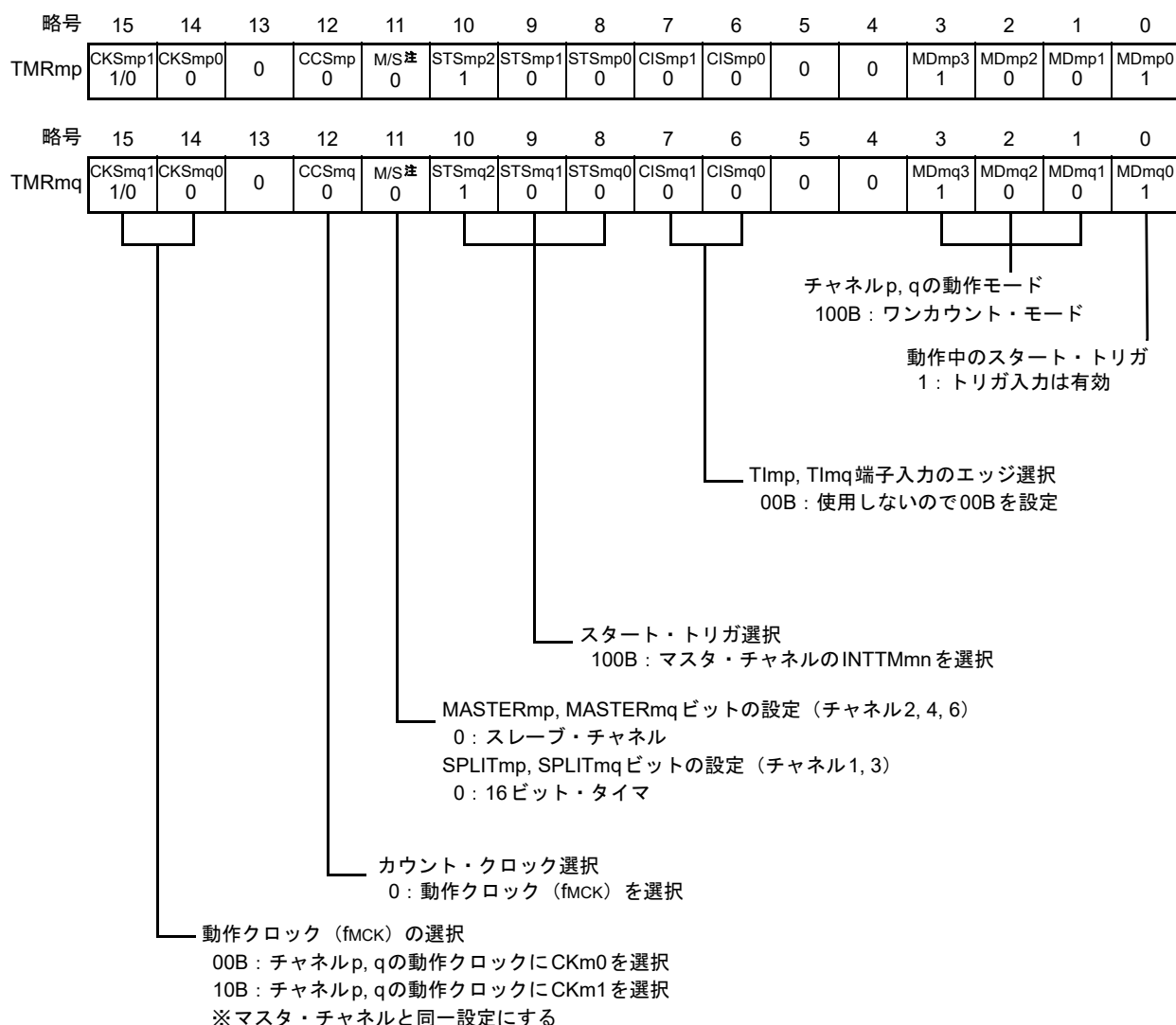
(注、備考は次ページに続きます)

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmn = 1
TMRm0の場合 : 0 固定

備考 m : ユニット番号 (m = 0)、n : マスタ・チャネル番号 (n = 0, 2, 4)

図7-83 多重PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2種類のPWMを出力する場合)

(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



(b) タイマ出力レジスタ m (TOm)

ビットq ビットp		
TOmq	TOmp	0 : TOmp, TOmqより0を出力する 1 : TOmp, TOmqより1を出力する
1/0	1/0	

(c) タイマ出力許可レジスタ m (TOEm)

ビットq ビットp		
TOEmq	TOEmp	0 : カウント動作によるTOmp, TOmq出力動作停止 1 : カウント動作によるTOmp, TOmq出力動作許可
1/0	1/0	

(d) タイマ出力レベル・レジスタ m (TOLm)

ビットq ビットp		
TOLmq	TOLmp	0 : 正論理出力 (アクティブ・ハイ) 1 : 負論理出力 (アクティブ・ロウ)
1/0	1/0	

(注、備考は次ページに続きます)

(e) タイマ出力モード・レジスタ m (TOMm)

	ビットq ビットp	
TOMm	TOMmq 1	TOMmp 1

1 : スレーブ・チャネル出力モードを設定

注 TMRm2, TMRm4, TMRm6の場合 : MASTERmp, MASTERmq ビット
 TMRm1, TMRm3の場合 : SPLITmp, SPLITmq ビット
 TMRm5, TMRm7の場合 : 0 固定

備考 m : ユニット番号 (m = 0)、n : マスタ・チャネル番号 (n = 0, 2, 4)、
 p : スレーブ・チャネル番号、q : スレーブ・チャネル番号
 $n < p < q \leq 7$ (p, qは整数)

図7 - 84 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq) を設定する (チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値、スレーブ・チャネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm) のTOMmp, TOMmqビットに1 (スレーブ・チャネル出力モード) を設定する TOLmp, TOLmqビットを設定する TOmp, TOMqビットを設定し、TOmp, TOMq出力の初期レベルを確定する →	TOmp, TOMq端子はHi-Z出力状態
	TOEmp, TOEmqビットに1を設定し、TOmp, TOMqの動作を許可 →	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp, TOMq初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmp, TOMqは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp, TOMq端子はTOmp, TOMq設定レベルを出力

図7-84 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 (動作再開時のみTOEmp, TOEmq (スレーブ) ビットに1を設定する) タイマ・チャンネル開始レジスタm (TSm) のTSmn (マスタ)、TSmp, TSmq (スレーブ) ビットに同時に1を設定する TSmn, TSmp, TSmq ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmq = 1となる マスタ・チャンネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp, TMRmq レジスタ、TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットは、設定値変更禁止 TDRmn, TDRmp, TDRmq レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmq レジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmq レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn) はTDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントするとINTTMmnを発生する。同時に、TCRmn レジスタはTDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmp レジスタ値をTCRmp レジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントするとTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmq レジスタ値をTCRmq レジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントするとTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止 TTmn (マスタ)、TTmp, TTmq (スレーブ) ビットに同時に1を設定する TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmq レジスタはカウント値を保持して停止 TOmp, TOMq出力は初期化されず、状態保持
	スレーブ・チャンネルのTOEmp, TOEmq ビットに0を設定し、TOmp, TOMq ビットに値を設定する	TOmp, TOMq端子はTOmp, TOMq設定レベルを出力
	TAU停止 TOmp, TOMq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOMq ビットに0を設定する TOmp, TOMq端子の出力レベルを保持不要の場合 設定不要	TOmp, TOMq端子出力レベルはポート機能により保持される。
	PER0 レジスタのTAUmEN ビットに0を設定する 全回路を初期化する場合はPRR0 レジスタのTAUmRES ビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOMn ビットが0になり、TOMn端子はポート機能となる)

備考 m : ユニット番号 (m = 0)、n : マスタ・チャンネル番号 (n = 0, 2, 4)、
p : スレーブ・チャンネル番号、q : スレーブ・チャンネル番号
n < p < q ≤ 7 (p, qは整数)

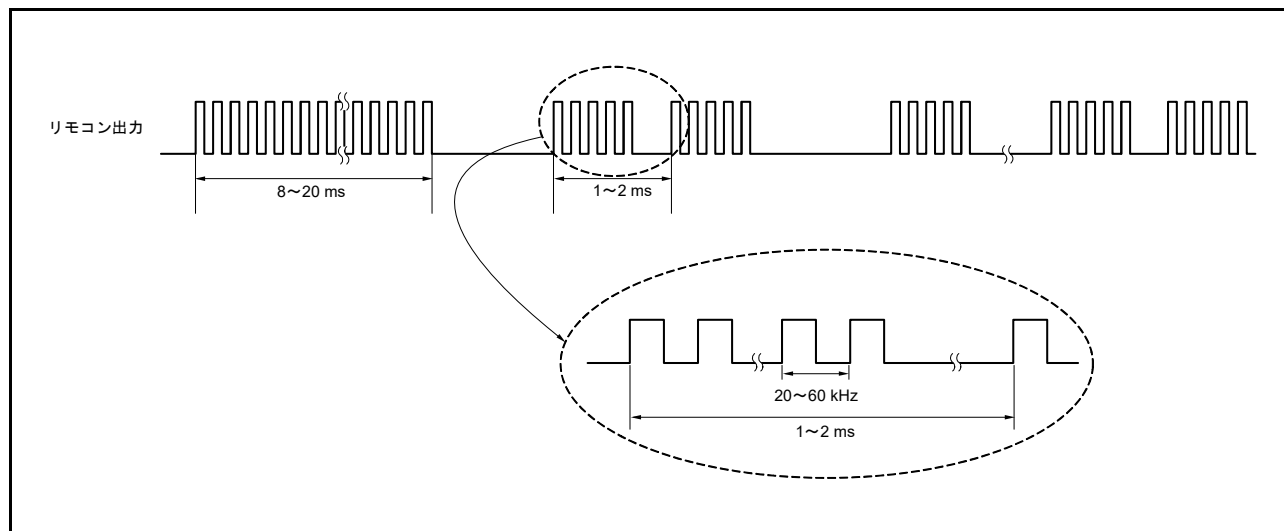
7.9.4 リモコン出力機能

リモコン出力機能は、PWM 出力機能を応用した機能です。

チャンネル 2, 3、チャンネル 4, 5 のセットで PWM 出力機能を使用します（各チャンネルの設定方法は、**7.9.2 PWM 機能としての動作**を参照）。チャンネル 3 からの PWM 出力信号をマスク波形、チャンネル 5 からの PWM 出力信号をキャリア波形とし、これらの信号の論理積をリモコン出力として出力します。

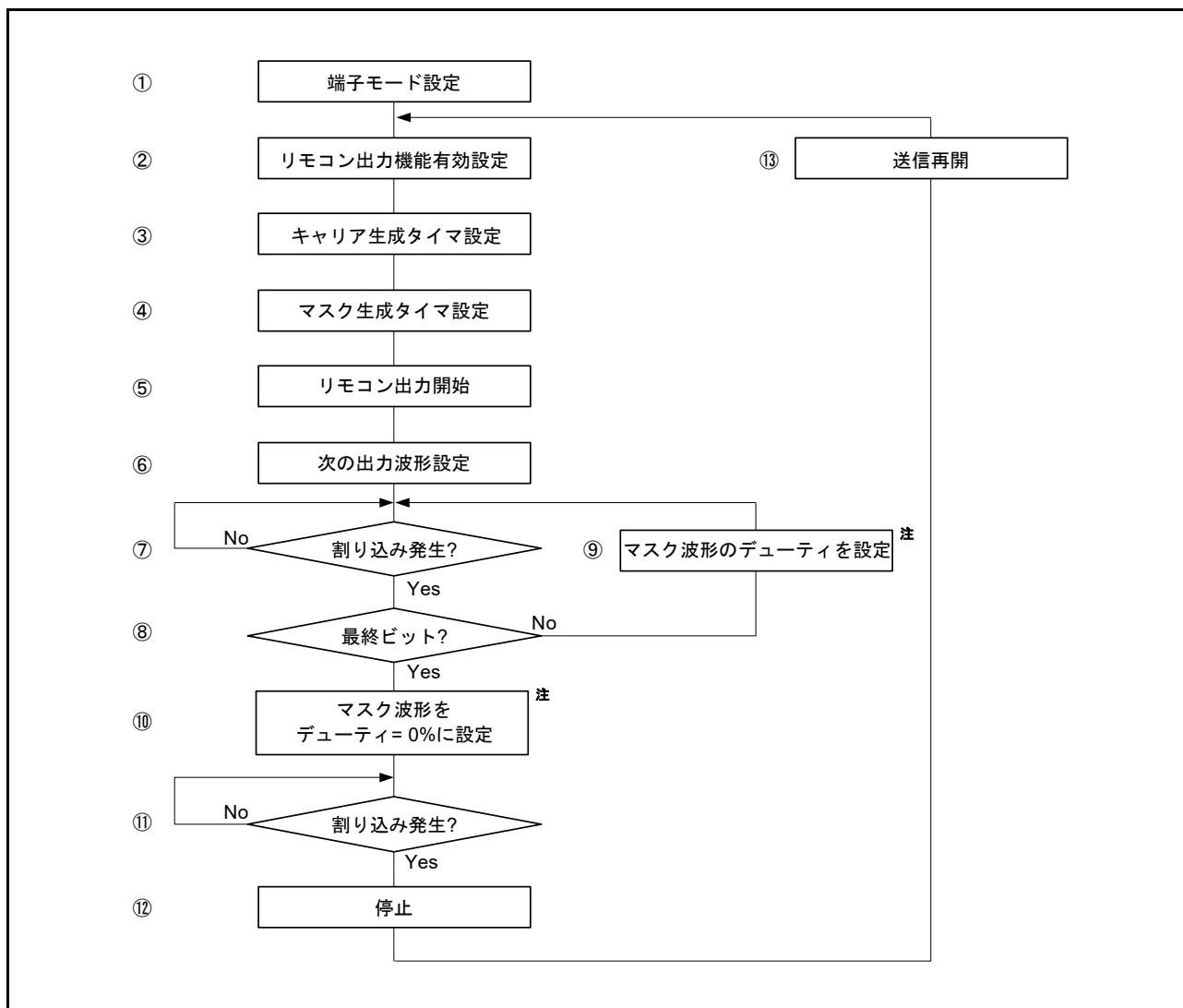
リモコン出力のハイ・レベル幅出力部分は、20 ～ 60 kHz 程度のキャリア信号で構成されています。

図 7 - 85 リモコン出力



リモコン出力設定手順を図 7 - 86 に示します。

図 7 - 86 リモコン出力機能設定手順



注 設定値はマスク波形の立ち上がりにて反映されます。
マスク波形の周期とハイ・レベル幅の設定は、キャリア周期の整数倍のみ指定可能です。

注意1. ③～⑪の期間に、TAUへのクロック供給を停止（STOP命令など）すること、TDR02とTDR03以外の設定値の変更は禁止です。

注意2. ③～⑪の期間は、通常動作またはHALTモードで使用してください。

注意3. チャンネル2～5には、同一の動作クロックを選択してください。

注意4. リモコン出力を停止する場合は、必ず手順⑩～⑫を行ってください。

異なる手順で停止した場合、次に示すエラーが発生する可能性があります。

- ・ キャリア周波数の周期以外の波形を出力する
- ・ 動作停止後に、ハイ・レベル出力に固定される

注意5. リモコン出力の場合、チャンネル2～5は必ずPWM出力モードにしてください。

- ① 端子モード設定
リモコン出力端子 (REMOOUT) のポートを設定します (7.3.18 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ参照)。
- ② タイマ出力選択レジスタ (TOS) の TOS0 ビットに 1 を設定
- ③ チャンネル 4 (マスタ)、チャンネル 5 (スレーブ) の PWM 機能でキャリア波形を設定
TDR04 レジスタ値 = キャリア波形の周期 - 1
TDR05 レジスタ値 = キャリア波形のハイ・レベル幅
- ④ チャンネル 2 (マスタ)、チャンネル 3 (スレーブ) の PWM 機能でマスク波形を生成
マスク波形の周期とハイ・レベル幅の設定 (ヘッダコード)
TDR02 レジスタ値 = マスク波形の周期 - 1
TDR03 レジスタ値 = マスク波形のハイ・レベル幅
- ⑤ 出力動作開始
タイマ・チャンネル開始レジスタ 0 (TS0) の TS02-TS05 ビットを同時に 1 に設定する
- ⑥ 次の出力波形を設定する。
TDR02 レジスタ値 = マスク波形の周期 - 1
TDR03 レジスタ値 = マスク波形のハイ・レベル幅
- ⑦ マスク波形の立ち上がりタイミングで発生する割り込み信号 (INTTM02) を待つ
- ⑧ リモコン送信波形の最終コード・ビットであれば出力停止の処理⑩へ
最終コード・ビットでない場合は、⑨にて次のマスク波形の設定を行い、最終コード・ビットまで⑦～⑨を繰り返す

<連続送信>

- ⑨ 周期とデューティを設定 (周期 : TDR02、ハイ・レベル幅 : TDR03)

<停止手順>

- ⑩ マスク波形のデューティを 0% に設定 (TDR03 を 0000H に設定)
- ⑪ マスク波形の立ち上がりタイミングで発生する割り込み信号 (INTTM02) を待つ
- ⑫ タイマ動作を停止
タイマ・チャンネル停止レジスタ 0 (TT0) の TT02-TT05 ビットに同時に 1 を設定後、タイマ出力許可レジスタ 0 (TOE0) の TOE02-TOE05 ビットに 0 を設定し、最後にタイマ出力レジスタ 0 (TO0) の TO02-TO05 ビットに 0 を設定する

<再開手順>

- ⑬ 送信を再開する場合は、TOE03, TOE05 ビットに 1 を設定し、②から設定を繰り返す
(上書き設定は不要)

7.10 タイマ・アレイ・ユニット使用時の注意事項

7.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子にほかの兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、ほかの兼用機能の出力を初期状態にする必要があります。

詳細は、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

7.10.2 タイマ出力をELCLのイベント入力として使用する時の注意事項

タイマ・アレイ・ユニット0のチャネル0～6のタイマ出力 (TO00-TO06) は、ロジック&イベント・リンク・コントローラ (ELCL) のイベント入力として使用可能です。ELCLのイベント入力として使用し、TO0m端子に出力させたくない場合には、ポート・ファンクション出力許可レジスタ0 (PFOE0) の対応するビットに0を設定してください。

詳細は、**4.3.14 ポート・ファンクション出力許可レジスタ (PFOEx)**を参照してください。

第8章 タイマRJ

タイマRJは、最大2チャンネル搭載しています。対応しているチャンネルは製品によって異なります。

ピン数	44～64ピン		80, 100ピン
フラッシュ・メモリ	64-128 KB	256-512 KB	128-512 KB
チャンネル	1 ch	2 ch	2 ch

8.1 タイマRJnの機能

タイマRJnは、パルス出力、外部入力のパルス幅／周期測定、外部イベントをカウントできる16ビットタイマです。16ビットタイマは、リロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJnレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。

表8-1にタイマRJnの仕様を示します。

表8-1 タイマRJnの仕様

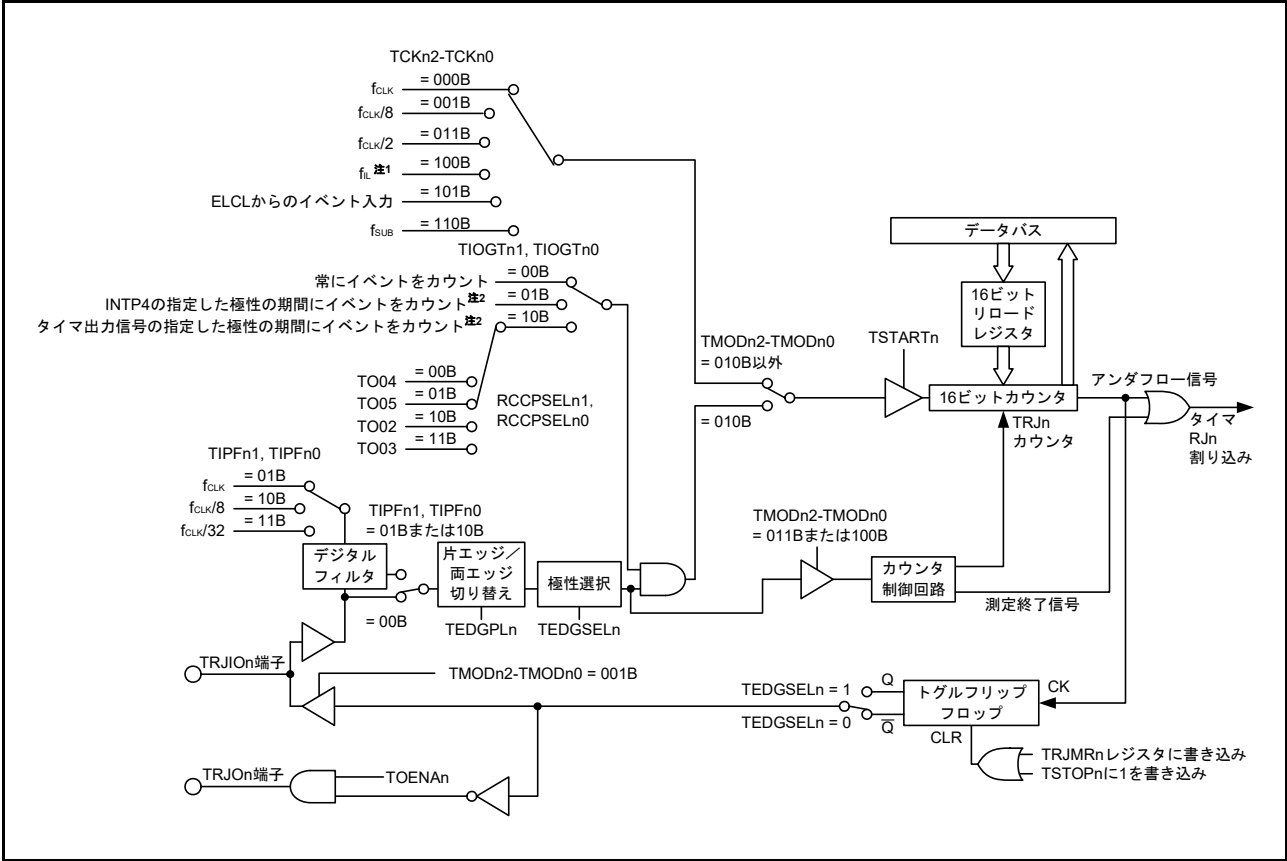
項目		内容
動作モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース（動作クロック）		fCLK, fCLK/2, fCLK/8, fIL, fSUB、ロジック&イベント・リンク・コントローラ（ELCL）からのイベント入力から選択可能
割り込み		- カウンタがアンダフローしたとき - パルス幅測定モードで、外部入力（TRJIO_n）の有効幅の測定を完了したとき - パルス周期測定モードで、外部入力（TRJIO_n）の設定エッジが入力されたとき
選択機能		ロジック&イベント・リンク・コントローラ（ELCL）との連携 カウントソースにELCLからのイベント入力を選択可能

備考 n：チャンネル番号（n = 0, 1）

8.2 タイマRJnの構成

図 8 - 1 にタイマ RJn のブロック図、表 8 - 2 にタイマ RJn の端子構成を示します。

図 8 - 1 タイマRJnのブロック図



- 注1. fILが発振していない状態でカウントソースにfILを選択することは禁止です。
注2. TRJISRnレジスタのRCCPSELn2ビットで極性を選択できます。

備考 TSTARTn, TSTOPn : TRJCRnレジスタのビット
TEDGSELn, TOENAn, TIPFn0, TIPFn1, TIOGTn0, TIOGTn1 : TRJIOCnレジスタのビット
TMODn0-TMODn2, TEDGPLn, TCKn0-TCKn2 : TRJMRnレジスタのビット
RCCPSELn0, RCCPSELn1 : TRJISRnレジスタのビット

表 8 - 2 タイマRJnの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJnのイベントカウンタモード制御
TRJIOOn	入出力	タイマRJnの外部イベント入力、パルス出力
TRJOn	出力	タイマRJnのパルス出力

備考 n : チャネル番号 (n = 0, 1)

8.3 タイマRJを制御するレジスタ

タイマRJを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- タイマRJカウンタレジスタn (TRJn) (n = 0, 1) 注
- タイマRJ制御レジスタn (TRJCRn) (n = 0, 1)
- タイマRJ I/O制御レジスタn (TRJIOCn) (n = 0, 1)
- タイマRJモードレジスタn (TRJMRn) (n = 0, 1)
- タイマRJイベント端子選択レジスタn (TRJISRn) (n = 0, 1)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

注 TRJnレジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。
このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。
TRJnレジスタアクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

備考 n : チャネル番号 (n = 0, 1)

8.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマ RJ0 を使用する場合は、必ず TRJ0EN ビットに 1 を設定してください。

タイマ RJ1 を使用する場合は、必ず TRJ1EN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	EXSDEN	OSDCEN	TKBEN	UTA3EN	UTA2EN	UTA1EN	TRJ1EN	TRJ0EN
TRJnEN	タイマRJnの入カクロック供給の制御							
0	入カクロック供給停止 ・タイマRJnで使用するSFRへのライト不可注							
1	入カクロック供給 ・タイマRJnで使用するSFRへのリード／ライト可							

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意 タイマRJnの設定をする際には、必ず最初にTRJnEN = 1の設定を行ってください。TRJnEN = 0の場合は、タイマRJnの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります（ただし、ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・コントロールE・レジスタ（PMCExx）、LCDポート・ファンクション・レジスタ（PFSEGx）は除く）。

備考 n : チャネル番号（n = 0, 1）

8.3.2 周辺リセット制御レジスタ2（PRR2）

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ RJ0 をリセットする場合は、TRJ0RES ビットに 1 を設定してください。

タイマ RJ1 をリセットする場合は、TRJ1RES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 3 周辺リセット制御レジスタ2（PRR2）のフォーマット

アドレス : F00FDH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
PRR2	EXSDRES	OSDCRES	TKBRES	0	0	0	TRJ1RES	TRJ0RES
TRJnRES		タイマRJnのリセット制御						
0		タイマRJnのリセット解除						
1		タイマRJnはリセット状態 ・タイマRJnで使用するSFRが初期化されます。						

注意 ビット4-2には、必ず0を設定してください。

備考 n : チャネル番号 (n = 0, 1)

8.3.3 タイマRJカウンタレジスタn (TRJn) (n = 0, 1)

TRJn レジスタ (n = 0, 1) は、16 ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCRn レジスタの TSTARTn ビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は、

8.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFH になります。

図8-4 タイマRJカウンタレジスタn (TRJn) のフォーマット

アドレス : F0598H(TRJ0), F059AH(TRJ1)

リセット時: FFFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJn																
—		機能												設定範囲		
ビット 15-0		16 ビットのカウンタです。注1,2												0000H-FFFFH		

- 注1. TRJCRn レジスタの TSTOPn ビットに1を書くと、16 ビットカウンタは強制停止し、FFFFH になります。
- 注2. TRJMRn レジスタの TCKn2-TCKn0 ビットの設定が001B (fCLK/8) または011B (fCLK/2) 以外では、TRJn レジスタが0000Hの場合、DTC およびELCL への要求信号はカウント開始直後の一回しか発生しません。ただし、TRJOn およびTRJIO出力はトグル出力されます。
また、イベントカウンタモード時はTCKn2-TCKn0 ビットの値にかかわらず、TRJn レジスタが0000Hの場合、DTC およびELCL への要求信号はカウント開始直後の1回しか発生しません。さらに、カウント指定期間外でもTRJOn がトグル出力されます。
TRJn レジスタが0001H以上の場合はTRJn がアンダフローするごとに要求信号が発生します。
- 注意 TRJn レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU 処理としてウェイト状態となります。このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。TRJn レジスタアクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

備考 n : チャネル番号 (n = 0, 1)

8.3.4 タイマRJ制御レジスタn (TRJCRn) (n = 0, 1)

TRJCRn レジスタは、タイマRJnのカウンタ動作・停止の制御と、タイマRJnステータスを示すレジスタです。

TRJCRn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-5 タイマRJ制御レジスタn (TRJCRn) のフォーマット (1/2)

アドレス : F0240H(TRJCR0), F0244H(TRJCR1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJCRn	0	0	TUNDFn	TEDGFn	0	TSTOPn	TCSTFn	TSTARTn

TUNDFn	タイマRJnアンダフローフラグ
0	アンダフローなし
1	アンダフローあり
[0になる条件] ・プログラムで0を書いたとき [1になる条件] ・カウンタがアンダフローしたとき	

TEDGFn	有効エッジ判定フラグ
0	有効エッジなし
1	有効エッジあり
[0になる条件] ・プログラムで0を書いたとき [1になる条件] ・パルス幅測定モードで、外部入力 (TRJION) の有効幅の測定を完了したとき ・パルス周期測定モードで、外部入力 (TRJION) の設定エッジが入力されたとき	

TSTOPn	タイマRJnカウンタ強制停止 ^{注1}
1を書くと、カウンタ強制停止。読んだ場合、その値は0。	

TCSTFn	タイマRJnカウンタステータスフラグ ^{注2}
0	カウンタ停止
1	カウンタ中
[0になる条件] ・TSTARTnビットに0を書いたとき (カウンタソースに同期して0になる) ・TSTOPnビットに1を書いたとき [1になる条件] ・TSTARTnビットに1を書いたとき (カウンタソースに同期して1になる)	

図8 - 5 タイマRJ制御レジスタn (TRJCRn) のフォーマット (2/2)

TSTARTn	タイマRJnカウント開始 ^{注2}
0	カウント停止
1	カウント開始
TSTARTnビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTnビットを1（カウント開始）にすると、カウントソースに同期してTCSTFnビットが1（カウント中）になります。また、TSTARTnビットに0を書き込み後、カウントソースに同期してTCSTFnビットが0（カウント停止）になります。詳細は、 8.5.1 カウント動作開始、停止制御 を参照してください。	

注1. TSTOPnビットに1（カウント強制停止）を書くと、同時にTSTARTn, TCSTFnビットが初期化されます。また、パルス出力レベルも初期化されます。

注2. TSTARTn, TCSTFnビットの使用上の注意は、**8.5.1 カウント動作開始、停止制御**を参照してください。

備考 n : チャネル番号 (n = 0, 1)

8.3.5 タイマRJ I/O制御レジスタn (TRJIOCn) (n = 0, 1)

TRJIOCn レジスタは、タイマRJnの入出力を設定するレジスタです。

TRJIOCn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-6 タイマRJ I/O制御レジスタn (TRJIOCn) のフォーマット

アドレス : F0241H(TRJIOC0), F0245H(TRJIOC1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJIOCn	TIOGTn1	TIOGTn0	TIPFn1	TIPFn0	0	TOENAn	0	TEDGSELn

TIOGTn1	TIOGTn0	TRJIOOnカウント制御 ^{注1, 2}
0	0	常にイベントをカウント
0	1	INTP4の指定した極性の期間イベントをカウント
1	0	タイマ出力信号の指定した極性の期間イベントをカウント
上記以外		設定禁止

TIPFn1	TIPFn0	TRJIOOn入力フィルタ選択
0	0	フィルタなし
0	1	フィルタあり、fCLKでサンプリング
1	0	フィルタあり、fCLK/8でサンプリング
1	1	フィルタあり、fCLK/32でサンプリング
TRJIOOn入力のフィルタのサンプリング周波数を指定します。TRJIOOn端子からの入力をサンプリングして、その値が3回連続して一致したとき、入力が確定します。		

TOENAn	TRJIOOn出力許可
0	TRJIOOn出力禁止 (ポート)
1	TRJIOOn出力許可

TEDGSELn	入出力極性切り替え
動作モードによって機能が異なります (表8-3および表8-4参照)。	

注1. INTP4またはタイマ出力信号使用時、TRJISRnレジスタのRCCPSELn2ビットでイベントをカウントする極性を選択できます。

注2. TIOGTn1, TIOGTn0ビットはイベントカウンタモードでのみ有効です。

備考 n : チャネル番号 (n = 0, 1)

表8 - 3 TRJION入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない（入出力ポート）
パルス出力モード	0：ハイ・レベルから出力開始（初期出力レベル：ハイ） 1：ロウ・レベルから出力開始（初期出力レベル：ロウ）
イベントカウンタモード	0：立ち上がりエッジでカウント 1：立ち下がりエッジでカウント
パルス幅測定モード	0：ロウ・レベル幅を測定 1：ハイ・レベル幅を測定
パルス周期測定モード	0：測定パルスの立ち上がりから立ち上がりまでの時間を測定 1：測定パルスの立ち下がりから立ち下がりまでの時間を測定

備考 n：チャネル番号（n = 0, 1）

表8 - 4 TRJON出力極性切り替え

動作モード	機能
全モード	0：ロウ・レベルから出力開始（初期出力レベル：ロウ） 1：ハイ・レベルから出力開始（初期出力レベル：ハイ）

備考 n：チャネル番号（n = 0, 1）

8.3.6 タイマRJモードレジスタn (TRJMRn) (n = 0, 1)

TRJMRn レジスタは、タイマRJnの動作モードを設定するレジスタです。

TRJMRn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-7 タイマRJモードレジスタn (TRJMRn) のフォーマット

アドレス : F0242H(TRJMR0), F0246H(TRJMR1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJMRn	0	TCKn2	TCKn1	TCKn0	TEDGPLn	TMODn2	TMODn1	TMODn0

TCKn2	TCKn1	TCKn0	タイマRJn カウントソース選択 ^{注1, 2}
0	0	0	fCLK
0	0	1	fCLK/8
0	1	1	fCLK/2
1	0	0	fil ^{注3}
1	0	1	ELCLからのイベント入力
1	1	0	fSUB
上記以外			設定禁止

TEDGPLn	TRJIO n エッジ極性選択 ^{注4}
0	片エッジ
1	両エッジ

TMODn2	TMODn1	TMODn0	タイマRJn 動作モード選択 ^{注5}
0	0	0	タイマモード
0	0	1	パルス出力モード
0	1	0	イベントカウンタモード
0	1	1	パルス幅測定モード
1	0	0	パルス周期測定モード
上記以外			設定禁止

注1. イベントカウンタモードを選択すると、TCKn0-TCKn2ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO n) が選択されます。

注2. カウント中にカウントソースを切り替えしないでください。カウントソースを切り替えるときはTRJCRn レジスタのTSTARTnビットとTCSTFnビットがいずれも0 (カウント停止) のときに、カウントソースを切り替えてください。

注3. filが発振していない状態でカウントソースにfilを選択することは禁止です。

注4. TEDGPLnビットはイベントカウンタモード時のみ有効です。

注5. 動作モードの変更は、カウント停止時 (TRJCRn レジスタのTSTARTnビットとTCSTFnビットがともに0 (カウント停止)) のみ可能です。カウント動作中には変更しないでください。

(注意、備考は次ページに続きます)

注意 TRJMRn レジスタへの書き込みにより、タイマRJnのTRJOn端子およびTRJOn端子の出力は初期化されます。
初期化時の出力レベルは、表8-3 TRJOn入出力のエッジおよび極性切り替えおよび表8-4 TRJOn出力極性
切り替えを参照してください。

備考 n : チャネル番号 (n = 0, 1)

8.3.7 タイマRJイベント端子選択レジスタ n (TRJISRn) (n = 0, 1)

TRJISRn レジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISRn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 8 タイマRJイベント端子選択レジスタ n (TRJISRn) のフォーマット

アドレス : F0243H(TRJISR0), F0247H(TRJISR1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRJISRn	0	0	0	0	0	RCCPSELn 2	RCCPSELn 1	RCCPSELn 0

RCCPSELn2 注	タイマ出力信号およびINTP4極性選択	
0	ロウ・レベル期間にイベントをカウント	
1	ハイ・レベル期間にイベントをカウント	

RCCPSELn1 注	RCCPSELn0 注	タイマ出力信号選択
0	0	TO04
0	1	TO05
1	0	TO02
1	1	TO03

注 RCCPSELn0-RCCPSELn2ビットはイベントカウンタモードでのみ有効です。

備考 n : チャネル番号 (n = 0, 1)

8.3.8 タイマRJの入出力と端子を兼用するポートのポート機能を制御するレジスタ

タイマRJの入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

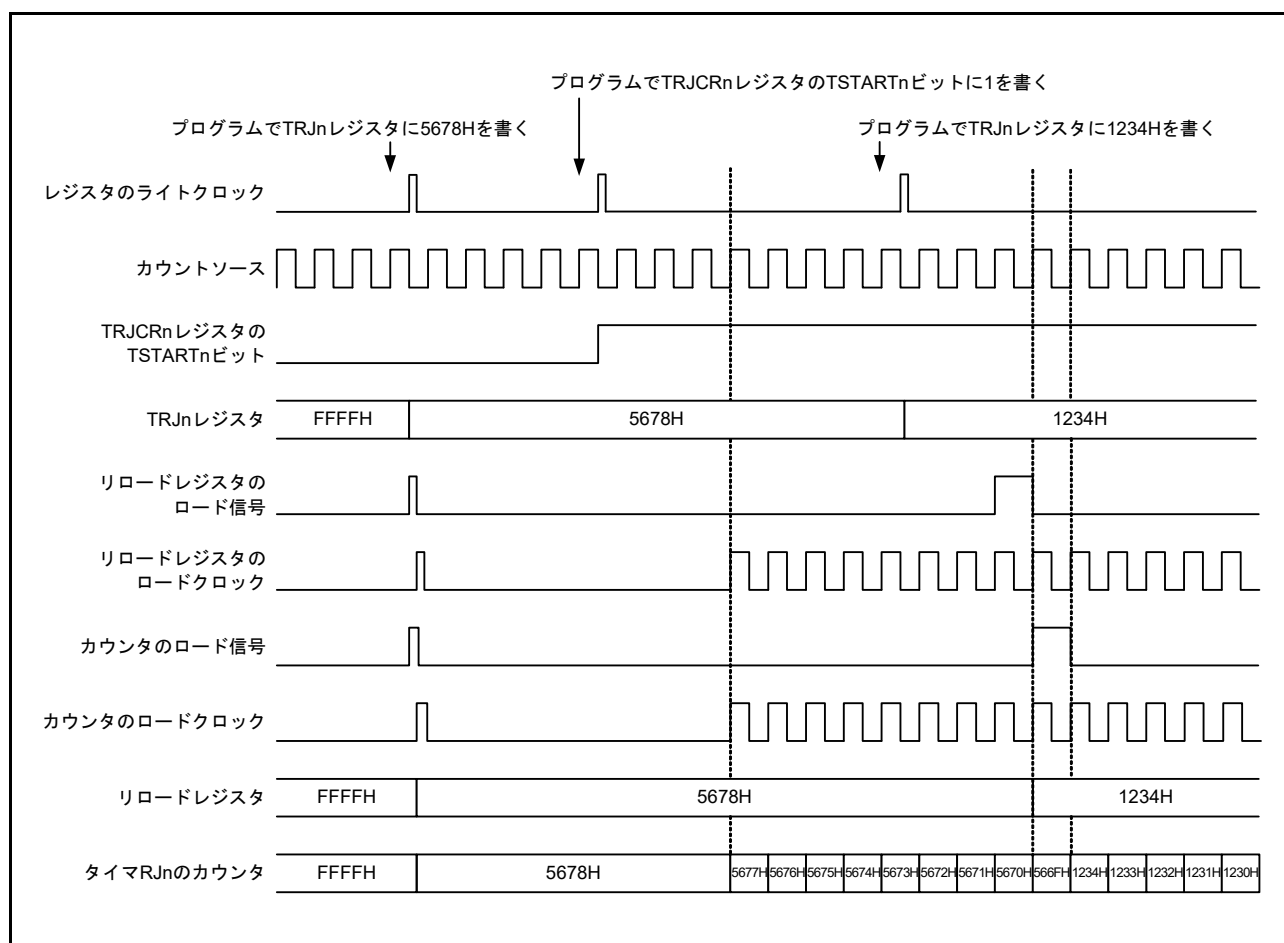
8.4 タイマRJnの動作

8.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらず TRJCRn レジスタの TSTARTn ビットの値によりタイミングが変わります。TSTARTn ビットが 0（カウント停止）のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTARTn ビットが 1（カウント開始）のときは、カウントソースに同期してリロードレジスタに書き込まれたあと、次のカウントソースに同期してカウンタに書き込まれます。

図 8-9 に TSTARTn ビットの値による書き換え動作のタイミング図を示します。

図 8-9 TSTARTn ビットの値による書き換え動作のタイミング図



備考 n : チャネル番号 (n = 0, 1)

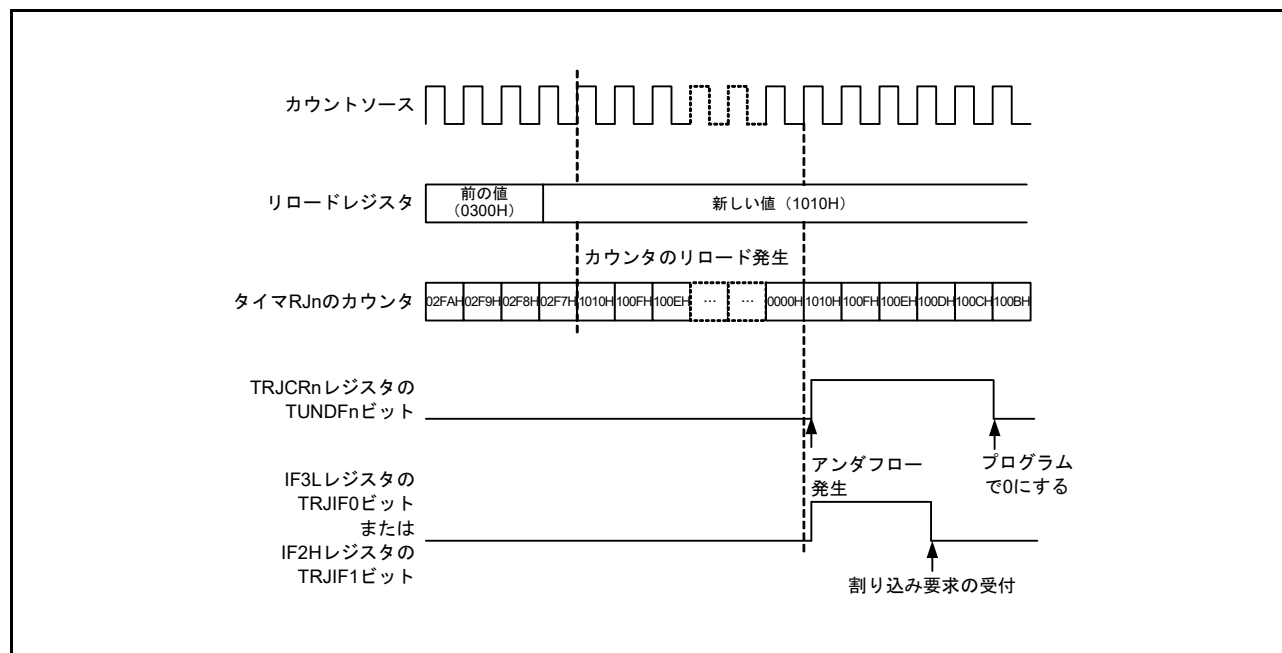
8.4.2 タイマモード

TRJMRn レジスタの TCKn2-TCKn0 ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図8-10にタイマモードの動作例を示します。

図8-10 タイマモードの動作例



備考 n : チャネル番号 (n = 0, 1)

8.4.3 パルス出力モード

TRJMRn レジスタの TCKn2-TCKn0 ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIO_n 端子および TRJOn 端子の出力レベルを反転出力させるモードです。

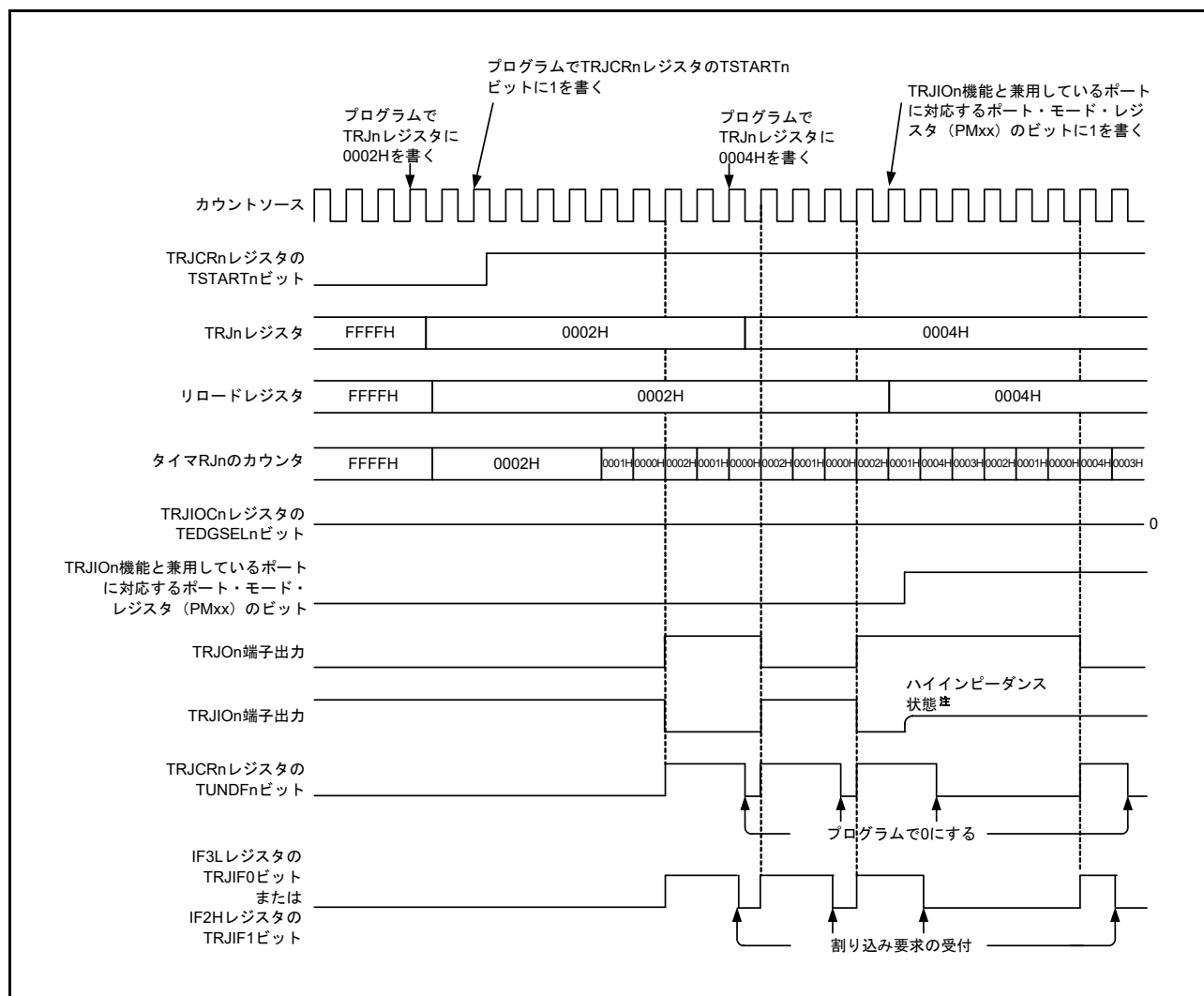
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が 0000H になり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIO_n 端子と TRJOn 端子の2端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJOn 端子については、TRJIO_n レジスタの TOENAn ビットによりパルス出力を停止できます。

なお、出力レベルを TRJIO_n レジスタの TEDGSELn ビットにより選択できます。

図 8 - 11 にパルス出力モードの動作例を示します。

図8 - 11 パルス出力モードの動作例



注 TRJIO_n機能として選択したポートの出力許可制御によって、ハインピーダンス状態となります。

備考 n : チャネル番号 (n = 0, 1)

8.4.4 イベントカウンタモード

TRJIO_n 端子から入力される外部イベント信号（カウントソース）でダウンカウントするモードです。

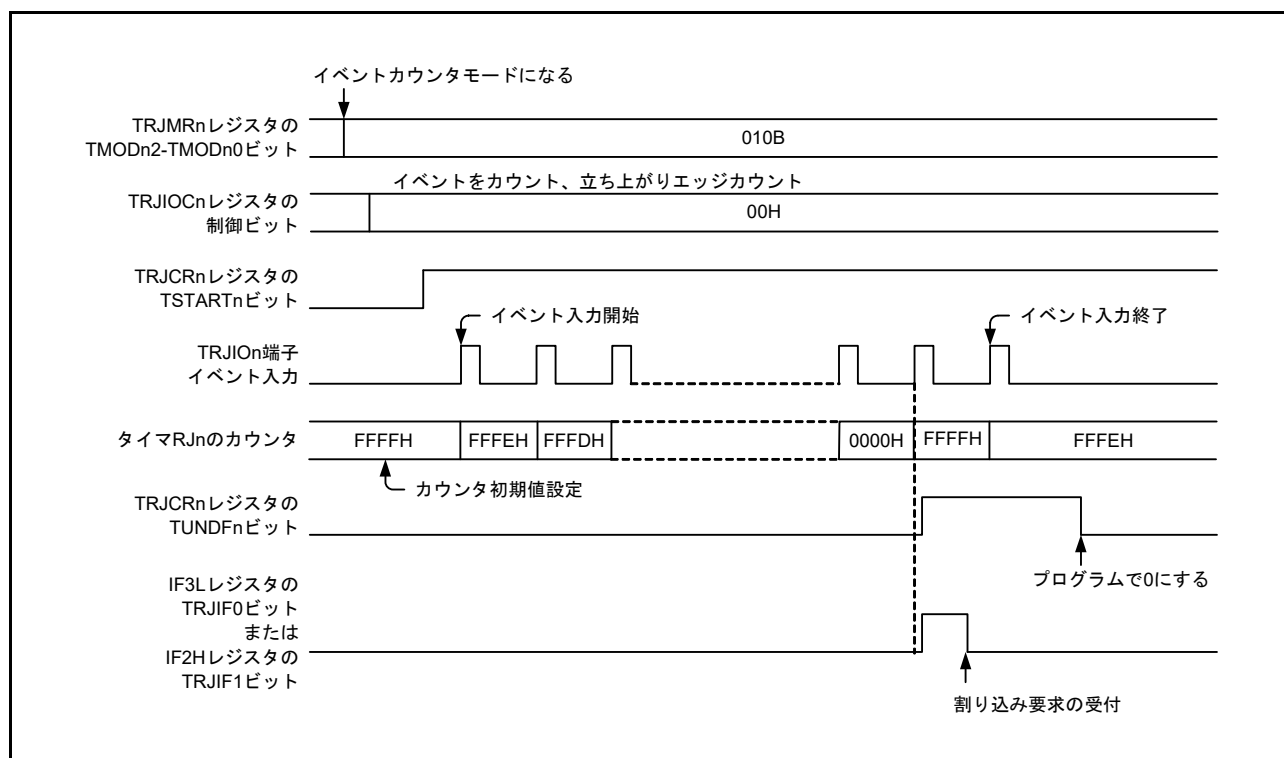
イベントカウントする期間を、TRJIOC_n レジスタの TIOGT_{n1}, TIOGT_{n0} ビットおよび TRJISR_n レジスタにより各種設定ができます。また、TRJIO_n 入力のフィルタ機能を TRJIOC_n レジスタの TIPFn₁, TIPFn₀ ビットで指定できます。

なお、イベントカウンタモードでも TRJIO_n 端子からトグル出力ができます。

イベントカウンタモードを使用する場合は、**8.5.5 TRJOn、TRJIO_n 端子の設定手順**を参照してください。

図 8 - 12 にイベントカウンタモードの動作例 1 を示します。

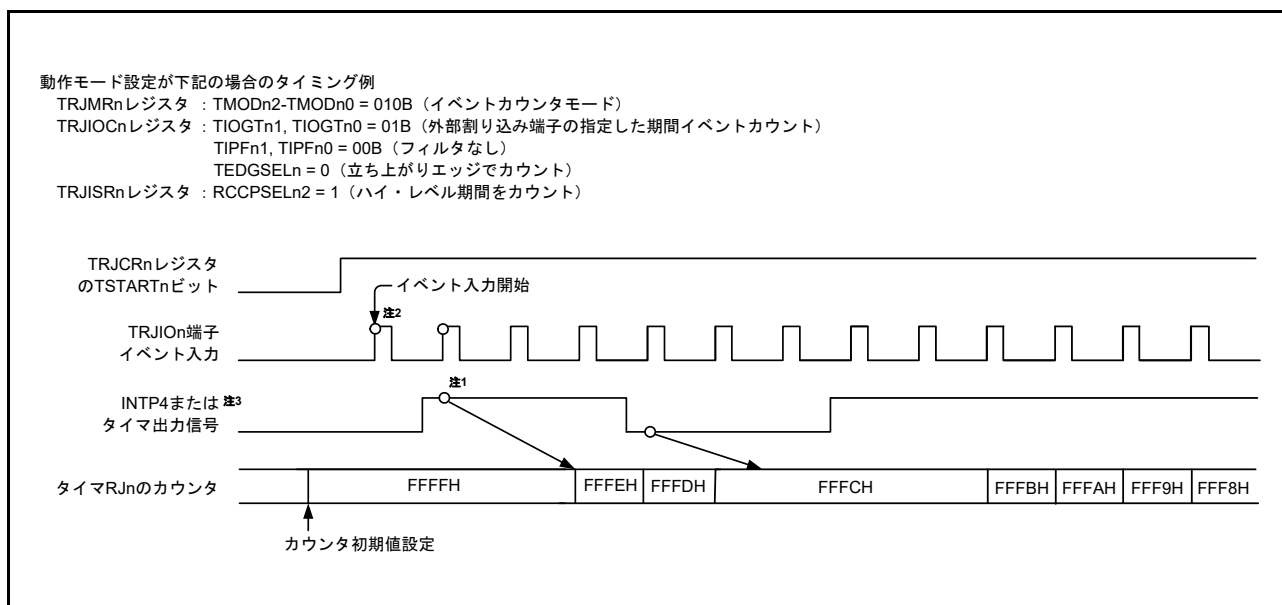
図 8 - 12 イベントカウンタモードの動作例 1



備考 n : チャネル番号 (n = 0, 1)

図8-13にイベントカウンタモードで指定時間カウントする場合（TRJIOChレジスタのTIOGTn1, TIOGTn0ビットが01Bまたは10B）の動作例を示します。

図8-13 イベントカウンタモードの動作例2



下記注意事項は、イベントカウンタモードの動作モード設定が、TRJIOChレジスタのTIOGTn1, TIOGTn0ビットが01Bまたは10Bの場合に限ります。

- 注1. 同期化制御のため、カウント動作に反映されるまで、カウントソースで2クロック分の遅延があります。
- 注2. カウント開始直後のカウントソースで2クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
- 注3. TRJISRnレジスタのRCCPSELn1, RCCPSELn0ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

備考 n：チャネル番号（n = 0, 1）

8.4.5 パルス幅測定モード

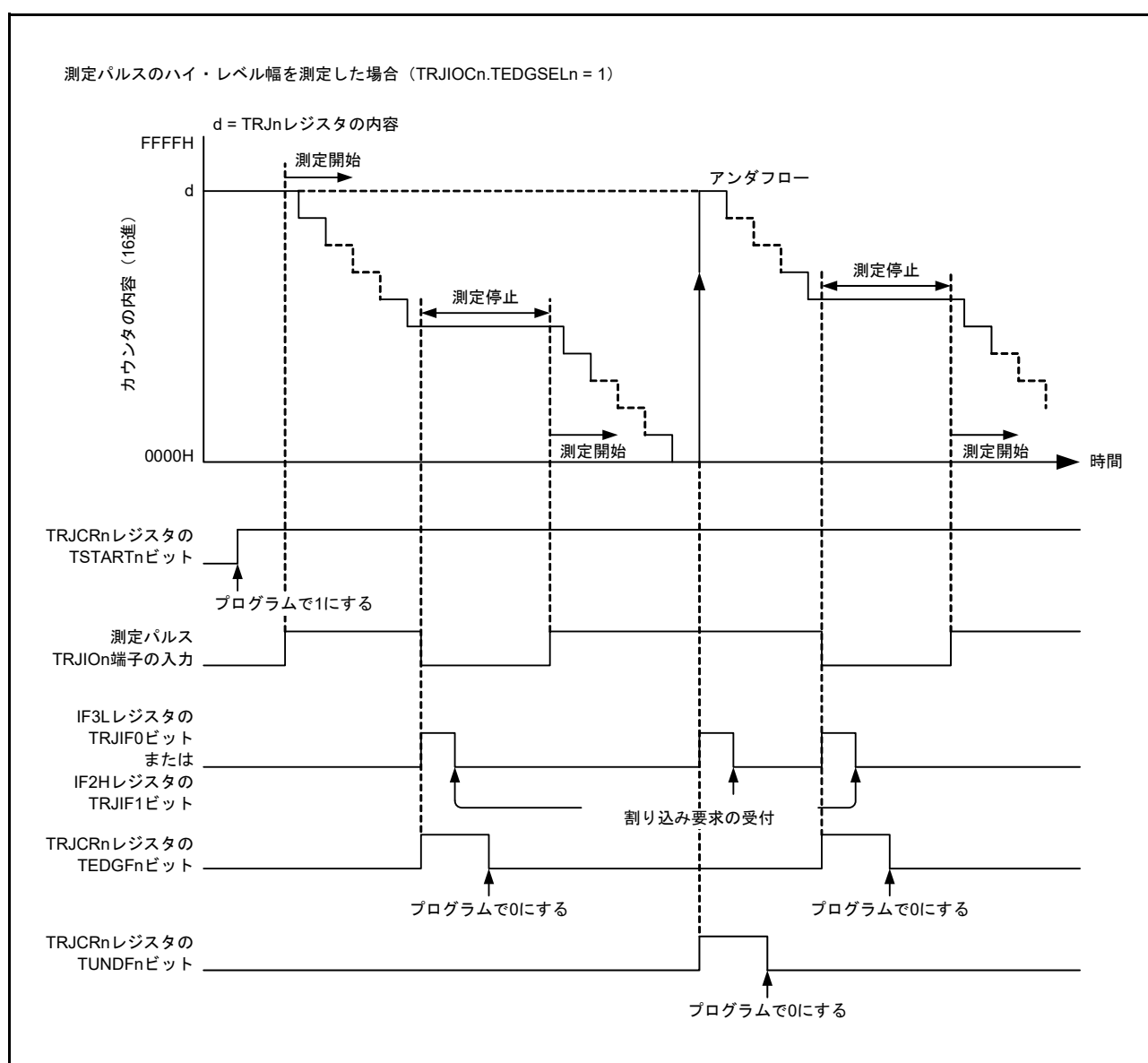
TRJIO_n 端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは、TRJIO_n 端子に TRJIO_{Cn} レジスタの TEDGSEL_n ビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO_n 端子の指定したレベルが終了するとカウンタは停止し、TRJCR_n レジスタの TEDGF_n ビットが 1（有効エッジあり）になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR_n レジスタの TUNDF_n ビットが 1（アンダフローあり）になり、割り込み要求が発生します。

図 8 - 14 にパルス幅測定モードの動作例を示します。

TRJCR_n レジスタの TEDGF_n、TUNDF_n ビットをアクセスする場合は、**8.5.2 フラグへのアクセス（TRJCR_n レジスタの TEDGF_n、TUNDF_n ビット）**を参照してください。

図 8 - 14 パルス幅測定モードの動作例



備考 n : チャネル番号 (n = 0, 1)

8.4.6 パルス周期測定モード

TRJIO_n 端子から入力する外部信号のパルス周期を測定するモードです。

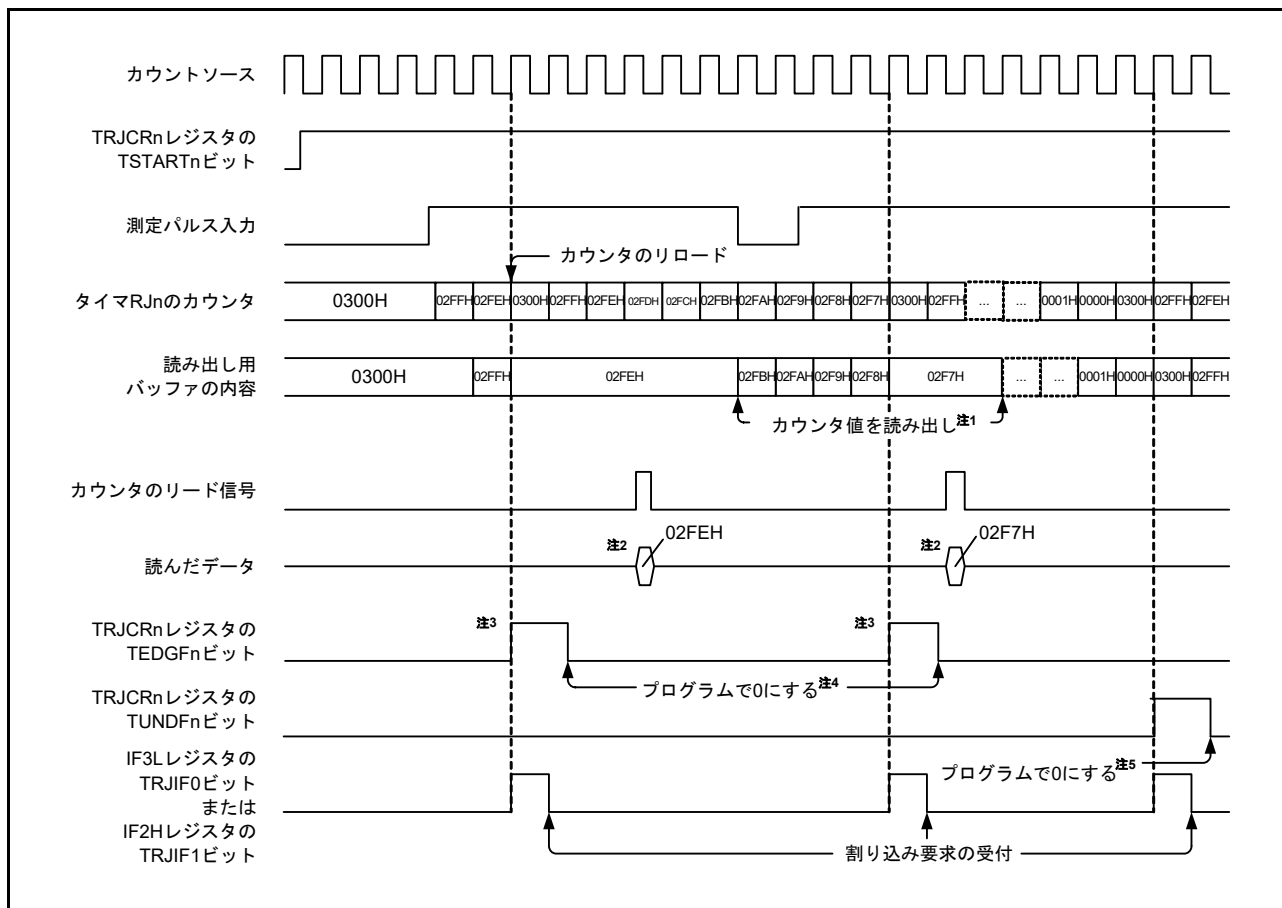
TRJMR_n レジスタの TCK_{n0}-TCK_{n2} ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO_n 端子に TRJIO_{Cn} レジスタの TEDGSEL_n ビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時に TRJCR_n レジスタの TEDGF_n ビットが 1（有効エッジあり）になり、割り込み要求が発生します。このときに読み出し用バッファ（TRJ_n レジスタ）を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR_n レジスタの TUNDF_n ビットが 1（アンダフローあり）になり、割り込み要求が発生します。

図 8 - 15 にパルス周期測定モードの動作例を示します。

カウントソースより 2 倍長い周期のパルスを入力してください。また、ロウ・レベル幅とハイ・レベル幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図8-15にTRJnレジスタの初期値を0300Hとし、TRJIOCnレジスタのTEDGSELnビットに0を設定し、測定パルスの立ち上がりまで測定した場合の動作例を示します。

図8-15 パルス周期測定モードの動作例



- 注1. TRJnレジスタの読み出しは、TEDGFnビットが1（有効エッジあり）になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は、TRJnレジスタを読み出すまで保持されます。したがって、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 注2. パルス周期測定モードでTRJnレジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCRnレジスタのTEDGFnビットが1（有効エッジあり）になります。
- 注4. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCRnレジスタのTEDGFnビットに0を書いてください。
- 注5. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCRnレジスタのTUNDFnビットに0を書いてください。

備考 n: チャネル番号 (n = 0, 1)

8.4.7 ロジック & イベント・リンク・コントローラ（ELCL）との連携による動作

ELCL との連携により、カウントソースに ELCL からのイベント入力を設定することができます。

TRJMRn レジスタの TCKn2-TCKn0 ビットにて、ELCL からのイベント入力の立ち上がりでカウントします。ただし、イベントカウンタモードでは、ELCL 入力は機能しません。

ELCL 設定手順を以下に示します。

- 動作開始手順

- ① ELCL の設定をする。[注](#)
- ② イベント発生元の動作モードを設定する。
- ③ タイマRJn のモードを設定する。
- ④ タイマRJn のカウント動作を開始する。
- ⑤ イベント発生元の動作を開始する。

- 動作停止手順

- ① イベント発生元の動作を停止させる。
- ② タイマRJn のモードのカウント動作を停止させる。
- ③ ELCL の設定をする。[注](#)

注 24.5 ELCL の設定手順を参照

備考 n : チャネル番号 (n = 0, 1)

8.4.8 各モード出力設定

表 8 - 5、表 8 - 6 に各モード時の TRJOn, TRJOn 端子状態を示します。

表8 - 5 TRJOn端子設定

動作モード	TRJIOcn レジスタ		TRJOn 端子出力
	TOENAn ビット	TEDGSELn ビット	
全モード	1	1	反転出力
		0	正転出力
	0	0 または 1	出力禁止

表8 - 6 TRJOn端子設定

動作モード	TRJIOcn レジスタ		TRJOn 端子入出力
	PMxx ビット注	TEDGSELn ビット	
タイマモード	0 または 1	0 または 1	入力（使用しない）
パルス出力モード	1	0 または 1	出力禁止（Hi-Z 出力）
	0	1	正転出力
		0	反転出力
イベントカウンタモード	1	0 または 1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJOn 機能と兼用しているポートに対応するポート・モード・レジスタ（PMxx）のビット

備考 n : チャネル番号 (n = 0, 1)

8.5 タイマRJn使用上の注意事項

8.5.1 カウント動作開始、停止制御

- イベントカウンタモードまたはカウントソースをELCL以外に設定したとき
カウント停止中にTRJCRnレジスタのTSTARTnビットに1（カウント開始）を書いたあとは、カウントソースの3サイクルの間、TRJCRnレジスタのTCSTFnビットは0（カウント停止）になっています。TCSTFnビットが1（カウント中）になるまで、TCSTFnビットを除くタイマRJn関連レジスタ^注をアクセスしないでください。カウント中にTSTARTnビットに0（カウント停止）を書いた後は、カウントソースの3サイクルの間、TCSTFnビットは1になっています。TCSTFnビットが0になったとき、カウントを停止します。TCSTFnビットが0になるまで、TCSTFnビットを除くタイマRJn関連レジスタ^注をアクセスしないでください。
また、TSTARTnビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。
詳細は、**第25章 割り込み機能**を参照してください。
- イベントカウンタモードまたはカウントソースをELCLに設定したとき
カウント停止中にTRJCRnレジスタのTSTARTnビットに1（カウント開始）を書いたあとは、CPUクロックの2サイクルの間、TRJCRnレジスタのTCSTFnビットは0（カウント停止）になっています。TCSTFnビットが1（カウント中）になるまで、TCSTFnビットを除くタイマRJn関連レジスタ^注をアクセスしないでください。カウント中にTSTARTnビットに0（カウント停止）を書いた後は、CPUクロックの2サイクルの間、TCSTFnビットは1になっています。TCSTFnビットが0になったとき、カウントを停止します。TCSTFnビットが0になるまで、TCSTFnビットを除くタイマRJn関連レジスタ^注をアクセスしないでください。
また、TSTARTnビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。
詳細は、**第25章 割り込み機能**を参照してください。

注 タイマRJn関連レジスタ：TRJn, TRJCRn, TRJIOcn, TRJMRn, TRJISRn

8.5.2 フラグへのアクセス（TRJCRnレジスタのTEDGFn, TUNDFnビット）

TRJCRnレジスタのTEDGFn, TUNDFnビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRnレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFnビットが1（有効エッジあり）、TUNDFnビットが1（アンダフローあり）になっても、タイミングによってTEDGFn, TUNDFnビットを誤って0にする場合があります。TRJCRnレジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

8.5.3 カウンタレジスタへのアクセス

TRJCRnレジスタのTSTARTnビットとTCSTFnビットがともに1（カウント動作中）の場合、TRJnレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

備考 n：チャンネル番号（n = 0, 1）

8.5.4 モード変更時

タイマ RJn の動作モード関連レジスタ (TRJIOCN, TRJMRn, TRJISRN) の変更は、カウント停止時 (TRJCRn レジスタの TSTARTn ビットと TCSTFn ビットがともに 0 (カウント停止)) のみ可能です。カウント動作中には変更しないでください。

タイマ RJn の動作モード関連レジスタを変更したとき、TEDGFn ビットと TUNDFn ビットは不定です。TEDGFn ビットに 0 (有効エッジなし)、TUNDFn ビットに 0 (アンダフローなし) を書いてから、カウントを開始してください。

8.5.5 TRJOn、TRJIOn 端子の設定手順

リセット後、TRJOn, TRJIOn 端子と共用している I/O ポートは入力ポートとして機能します。

TRJOn, TRJIOn 端子から出力する場合は、以下の手順で設定してください。

- ① モード設定をする
- ② 初期値設定／出力許可設定をする。
- ③ TRJOn, TRJIOn 端子に対応するポート・レジスタのビットに 0 を設定する。
- ④ TRJOn, TRJIOn 端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRJOn, TRJIOn 端子から出力開始)
- ⑤ カウントを開始する (TRJCRn レジスタの TSTARTn = 1)。

TRJIOn 端子から入力する場合は、以下の手順で設定してください。

- ① モード設定をする
- ② 初期値設定／エッジ選択設定をする。
- ③ TRJIOn 端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
(TRJIOn 端子から入力開始)
- ④ カウントを開始する (TRJMRn レジスタの TSTARTn = 1)。
- ⑤ TRJCRn レジスタの TCSTFn ビットが 1 (カウント中) になるまで待つ。
(イベントカウンタモード時のみ)
- ⑥ TRJIOn 端子から外部イベントを入力する。
- ⑦ 最初の測定完了による処理は無効としてください (2 回目以降から測定値有効)。
(パルス幅測定モード、パルス周期測定モードのみ)

8.5.6 タイマRJn未使用時

タイマRJnを使用しない場合、TRJMRnレジスタのTMODn2-TMODn0ビットを000B（タイマモード）、TRJIOCnレジスタのTOENAnビットを0（TRJOn出力禁止）にしてください。

備考 n：チャンネル番号（n = 0, 1）

8.5.7 タイマRJn動作クロック停止時

PER2レジスタのTRJnENビットでタイマRJnのクロック供給／停止制御が可能です。ただし、タイマRJnのクロック停止時は下記SFRへのアクセスができません。アクセスする場合にはタイマRJnのクロックを供給した状態で行ってください。

TRJn, TRJCRn, TRJMRn, TRJIOCn, TRJISRn レジスタ

8.5.8 STOPモード（イベントカウンタモード）の設定手順

STOPモード（イベントカウンタモード）の動作をさせる場合は、以下の手順でSTOPモードへ移行してください。

- ① タイマRJのクロック供給
- ② 動作モード設定
- ③ カウントを開始する（TSTARTn = 1, TCSTFn = 1）
- ④ タイマRJのクロック供給を停止し、STOPモードへ移行

また、STOPモード（イベントカウンタモード）の動作を停止させる場合は、以下の手順で動作停止処理を行ってください。

- ① タイマRJのクロック供給
- ② カウントを停止する（TSTARTn = 0, TCSTFn = 0）
- ③ タイマRJのクロック供給停止

8.5.9 STOPモード（イベントカウンタモードのみ）での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

8.5.10 TSTOPnビットによる強制カウント停止時

TRJCRnレジスタのTSTOPnビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJn, TRJCRn, TRJMRn レジスタ

8.5.11 デジタルフィルタ

デジタルフィルタを使用する場合は、TRJIOCN レジスタの TIPFn1, TIPFn0 ビット設定後、デジタルフィルタクロックで 5 サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOCN レジスタの TEDGSELn ビットを変更した場合も同様にデジタルフィルタクロックで 5 サイクルの間、タイマ動作を開始しないでください。

8.5.12 カウントソースに fil を選択する場合

fil が発振していない状態でカウントソースに fil を選択することは禁止です。

備考 n : チャネル番号 (n = 0, 1)

第9章 16ビット・タイマKB40, KB41, KB42

16ビット・タイマ KB40, KB41, KB42 は電源、照明、IH クッカー制御に適した PWM 出力を生成可能なタイマです。
16ビット・タイマのチャンネル数は、製品によって異なります。

ピン数	44～64ピン		80, 100ピン
フラッシュ・メモリ・サイズ	64-128 KB	256-512 KB	128-512 KB
16ビット・タイマKB40	○	○	○
16ビット・タイマKB41	—	○	○
16ビット・タイマKB42	—	○	○

注意 この章では、以降の主な説明を100ピン製品の場合で説明しています。

9.1 16ビット・タイマKB40, KB41, KB42の機能

16ビット・タイマKB40, KB41, KB42は、それぞれ2つの出力を持つPWM出力専用のタイマで、最大6出力のPWM出力を生成することができます。また、ハーフブリッジ回路（2出力）やフルブリッジ回路（4出力）、3相インバータ回路（6出力）を制御する相補PWM出力を生成することができます。さらに、コンパレータやINTP0-7と連動してPWM出力の強制出力停止やタイマのリスタートを実現することができます。これらの機能により、力率改善（PFC）やDC/DCコンバータを構成することができます。

16ビット・タイマKB40, KB41, KB42には、次のような機能があります。

(1) PWM出力

一つの16ビット・タイマKB4nで二つのPWM出力が可能です。PWM出力のデューティおよび周期は、タイマ動作中に変更することができます。タイマ停止中のデフォルト・レベルとタイマ動作中のアクティブ・レベルをそれぞれハイ・レベルまたはロウ・レベルに設定することができます。これらの機能を用いることで電流連続モードPFC（CCM-PFC）やハーフブリッジ回路を制御することができます。

(2) A/D変換スタート・タイミング信号出力機能

16ビット・タイマKBトリガ・コンペア・レジスタn（TKBTGCRn）を使用して、A/D変換スタート・タイミング信号を出力することができます。本機能により、16ビット・タイマKB4nとA/D変換スタート・タイミングを同期することができます。

(3) 同時スタート/ストップ・モード

16ビット・タイマKB40をマスタ、16ビット・タイマKB41や16ビット・タイマKB42をスレーブとすることで、16ビット・タイマKB40のカウント開始/停止タイミングと同期してスレーブの16ビット・タイマKB41や16ビット・タイマKB42を同時にスタート&ストップさせることが可能です。

(4) 同時スタート/クリア・モード

16ビット・タイマKB40をマスタ、16ビット・タイマKB41や16ビット・タイマKB42をスレーブとすることで、マスタとスレーブのタイマ・カウント周期を同期させることが可能です。本モードにより、最大3相6本の相補PWM出力を生成することができます。フルブリッジ回路、3相インバータ回路を制御することができます。

(5) タイマ・リスタート機能（コンパレータ、INTPと連動）

トリガ要因（コンパレータ0, 1出力、INTP0-7）の発生により、CPUを介さずにタイマ出力をリスタートすることができます。本機能を使用することにより、たとえば臨界導通モードのPFC制御が実現可能です。

(6) IH制御PWM出力機能

タイマ・リスタート機能使用時に、周期に対して任意のアクティブレベル期間をTKBOn1端子より出力することができます。本機能により、周期開始からTKBOn1端子のアクティブレベル期間が終了するまでの外部要因によるリスタート制御を無効化し、アクティブレベル期間の出力幅を保証することが可能です。

(7) 強制出力停止機能1（コンパレータ、INTPと連動）

トリガ要因（コンパレータ0, 1出力、INTP0-7）の発生により、CPUを介さずに16ビット・タイマKB4nの動作クロックf_{KBKC}と非同期でタイマ出力をHi-Z/ロウ・レベル/ハイ・レベル固定状態にすることができます。強制出力停止機能1の解除トリガの設定により、16ビット・タイマKB4nの動作クロックf_{KBKC}と同期して強制出力停止状態を解除することができます。これらの機能により過電流（OCP）、過電圧（OVP）時におけるPWMの強制出力停止が実現可能です。

(8) 強制出力停止機能2（コンパレータ、INTPと連動）

トリガ要因（コンパレータ0, 1出力、INTP0-7）の発生により、CPUを介さずに16ビット・タイマKB4nの動作クロックf_{KBC}と非同期でタイマ出力をロウ・レベル／ハイ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始、またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます。

さらに、Fixed off機能を使用することで、トリガ要因のアクティブレベル検出期間を強制出力停止状態とすることができます。これらの機能により、DC/DCコンバータにおけるピークカレント制御やFixed off出力、保護動作などを実現することが可能です。

(9) PWM出力ディザリング機能

16周期ごとに設定デューティ +1の波形を0～15回の範囲で出力させることができます。本機能を使用することにより、16ビット・タイマKB4nの16周期間の平均分解能として、カウント・クロックの16倍に向上したPWM波形を出力することができます。

(10) PWM出力ソフト・スタート機能

PWM出力スタート後に設定デューティまで自動的にデューティを増加させるソフト・スタート動作により、突入電流抑制および過電圧の防止に対応するPWM波形を出力することができます。初期デューティおよびデューティ +1増加周期を設定可能です。

(11) TKBOnp出力アクティブ時の外部トリガ入力マスク機能

タイマ・リスタート機能使用時に、TKBOnp出力アクティブレベル期間中の外部要因によるリスタート制御を無効化し、TKBOnp出力の変化に伴う外部要因のスイッチングを抑制することが可能です。

(12) 最大周波数リミット機能

タイマ・リスタート機能使用時に、設定した最大周波数より早いタイミングでトリガが発生した場合に、設定した最大周波数までリスタートを保留することができます。本機能により、臨界導通モードのPFC制御において、過剰に高い周波数でのスイッチングを抑止することが可能です。

(13) インターリーブPFC出力モード

外部要因（INTP0, INTP1）により2つの出力を自動で交互にリスタート出力することができます。臨界導通モードのインターリーブPFC制御が実現可能です。

備考 臨界導通モードとは、インダクタ電流がゼロになることを検出してスイッチングFETをオンにするPFC制御の方式です。

9.2 16ビット・タイマKB40, KB41, KB42の構成

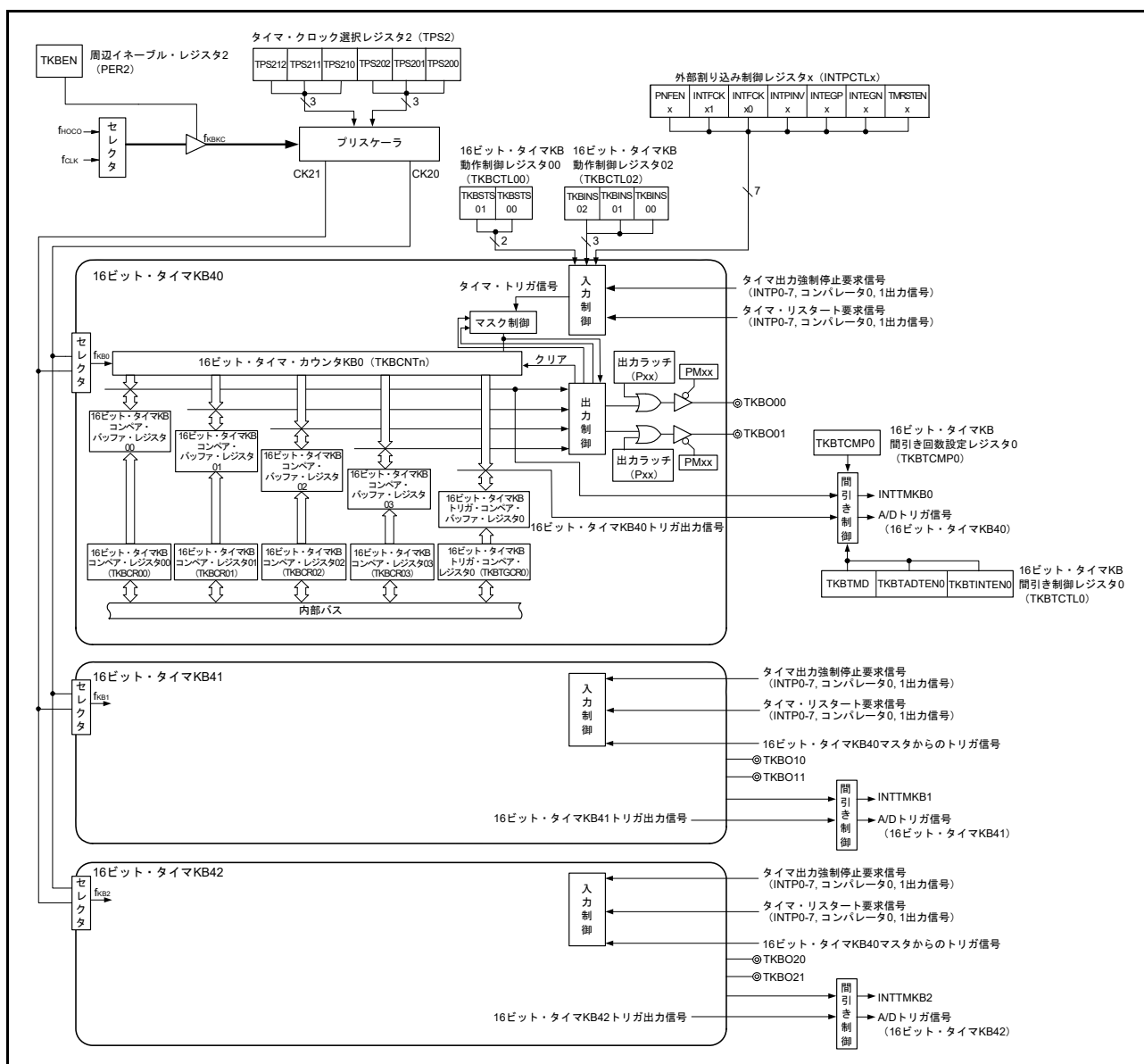
16ビット・タイマKB40, KB41, KB42は、次のハードウェアで構成されています。

表9 - 1 16ビット・タイマKB40, KB41, KB42の構成

項目	構成
タイマ／カウンタ	16ビット・タイマ・カウンタKBn (TKBCNTn)
タイマ出力	TKBOn0, TKBOn1
制御レジスタ	周辺イネーブル・レジスタ2 (PER2) 周辺リセット制御レジスタ2 (PRR2) タイマ・クロック選択レジスタ2 (TPS2) 16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) (n = 0-2, m = 0-3) 16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) (n = 0-2) 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0) (n = 0-2) 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) (n = 0-2) 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) (n = 0-2) 16ビット・タイマKB出力制御レジスタn0 (TKBIOCn0) (n = 0-2) 16ビット・タイマKB出力制御レジスタn1 (TKBIOCn1) (n = 0-2) 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) (n = 0-2) 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) (n = 0-2) 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn (TKBCLRn) (n = 0-2) 16ビット・タイマKBディザリング数レジスタnp (TKBDNRnp) (n = 0-2; p = 0, 1) 16ビット・タイマKBコンペア1L&ディザリング数レジスタn0 (TKBCRLDn0) (n = 0-2) 16ビット・タイマKBコンペア3L&ディザリング数レジスタn1 (TKBCRLDn1) (n = 0-2) 16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp (TKBSIRnp) (n = 0-2; p = 0, 1) 16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp (TKBSSRnp) (n = 0-2; p = 0, 1) 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) (n = 0-2) 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) (n = 0-2) 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) (n = 0-2) 外部割り込み制御レジスタx (INTPCTLx) (x = 0-7) ポート・モード・レジスタ (PMxx) ポート・レジスタ (Pxx) ポート出力モード・レジスタ (POMxx) ポート・モード・コントロールA・レジスタ (PMCAxx) ポート・モード・コントロールT・レジスタ (PMCTxx) ポート・モード・コントロールE・レジスタ (PMCExx) LCDポート・ファンクション・レジスタ (PFSEGx)

図9-1に16ビット・タイマKB4nのブロック図を示します。

図9-1 16ビット・タイマKB4nのブロック図



備考1. f_{KBCK} : 16ビット・タイマKB4nの動作クロック

f_{KBn} : 16ビット・タイマKB4nのカウント・クロック

備考2. n = 0-2

9.3 16ビット・タイマKB40, KB41, KB42を制御するレジスタ

16ビット・タイマKB40, KB41, KB42を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- タイマ・クロック選択レジスタ2 (TPS2)
- 16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) (n = 0-2, m = 0-3)
- 16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) (n = 0-2)
- 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0) (n = 0-2)
- 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) (n = 0-2)
- 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) (n = 0-2)
- 16ビット・タイマKB出力制御レジスタn0 (TKBIOCn0) (n = 0-2)
- 16ビット・タイマKB出力制御レジスタn1 (TKBIOCn1) (n = 0-2)
- 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) (n = 0-2)
- 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) (n = 0-2)
- 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn (TKBCLRn) (n = 0-2)
- 16ビット・タイマKBディザリング数レジスタnp (TKBDNRnp) (n = 0-2; p = 0, 1)
- 16ビット・タイマKBコンペア1L & ディザリング数レジスタn0 (TKBCRLDn0) (n = 0-2)
- 16ビット・タイマKBコンペア3L & ディザリング数レジスタn1 (TKBCRLDn1) (n = 0-2)
- 16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp (TKBSIRnp) (n = 0-2; p = 0, 1)
- 16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp (TKBSSRnp) (n = 0-2; p = 0, 1)
- 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) (n = 0-2)
- 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) (n = 0-2)
- 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) (n = 0-2)
- 外部割り込み制御レジスタx (INTPCTLx) (x = 0-7)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

9.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

16ビット・タイマKB4nを使用する場合は、必ずTKBENビットに1を設定してください。

PER2 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	EXSDEN	OSDCEN	TKBEN	UTA3EN	UTA2EN	UTA1EN	TRJ1EN	TRJ0EN
	TKBEN							
	16ビット・タイマKB4nの入カクロックの制御							
	0							
	入カクロック供給停止 ・ 16ビット・タイマKB4nで使用するSFRへのライト不可							
	1							
	入カクロック供給 ・ 16ビット・タイマKB4nで使用するSFRへのリード／ライト可							

注意1. 16ビット・タイマKB4nの設定をする際には、必ず最初にTKBEN = 1の設定を行ってください。TKBEN = 0の場合は、16ビット・タイマKB4nの制御レジスタへの書き込みは無視され、読み出し値も00Hまたは0000Hとなります（タイマ・クロック選択レジスタ (TPS2)、外部割り込み制御レジスタ0-7 (INTPCTL0-INTPCTL7)、ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート出力モード・レジスタ (POMxx)、ポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx) およびLCDポート・ファンクション・レジスタ (PFSEGx) は除く)。

注意2. 16ビット・タイマKB4nの動作クロック (CK20, CK21) にfHOCOを選択する場合、PER2レジスタのTKBENビットをセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、PER2レジスタのTKBENビットをクリアしたあとに変更してください。

9.3.2 周辺リセット制御レジスタ2（PRR2）

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

16 ビット・タイマ KB4n をリセットする場合は、TKBRES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 3 周辺リセット制御レジスタ2（PRR2）のフォーマット

アドレス : F00FDH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
PRR2	EXSDRES	OSDCRES	TKBRES	0	0	0	TRJ1RES	TRJ0RES
	TKBRES							
	16ビット・タイマKB4nのリセット制御							
	0							
	16ビット・タイマKB4nのリセット解除							
	1							
	16ビット・タイマKB4nはリセット状態 ・ 16ビット・タイマKB4nで使用するSFRが初期化されます。							

注意 ビット4-2には、必ず0を設定してください。

9.3.3 タイマ・クロック選択レジスタ2 (TPS2)

TPS2 レジスタは、プリスケラから 16 ビット・タイマ KB40, KB41, KB42 に共通して供給される 2 種類の動作クロック (CK20, CK21) を選択する 8 ビット・レジスタです。TPS2 レジスタのビット 6-4 で CK21 を、ビット 2-0 で CK20 を選択します。

タイマ動作中の TPS2 レジスタの書き換えは、次の場合のみ可能です。

- TPS20[2:0] ビットが書き換え可能な場合 (n = 0-2) :
動作クロックに CK20 を選択 (TKBCTLn1.TKBCKSn = 0) しているタイマがすべて停止状態 (TKBCTLn1.TKBCEn = 0)
- TPS21[2:0] ビットが書き換え可能な場合 (n = 0-2) :
動作クロックに CK21 を選択 (TKBCTLn1.TKBCKSn = 1) しているタイマがすべて停止状態 (TKBCTLn1.TKBCEn = 0)

TPS2 レジスタは 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPS2 レジスタは 00H になります。

図9-4 タイマ・クロック選択レジスタ2 (TPS2) のフォーマット

アドレス : F037FH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TPS2	0	TPS212	TPS211	TPS210	0	TPS202	TPS201	TPS200

TPS2k2	TPS2k1	TPS2k0	動作クロック (CK2k) の選択 ^{注1, 2} (k = 0, 1)				
				fCLK = 20 MHz	fCLK = 32 MHz	fHOCO = 48 MHz	fHOCO = 64 MHz
0	0	0	fCLK, fHOCO	20 MHz	32 MHz	48 MHz	64 MHz
0	0	1	fCLK/2	10 MHz	16 MHz	設定禁止	設定禁止
0	1	0	fCLK/2 ²	5 MHz	8 MHz		
0	1	1	fCLK/2 ³	2.5 MHz	4 MHz		
1	0	0	fCLK/2 ⁴	1.25 MHz	2 MHz		
1	0	1	fCLK/2 ⁵	625 kHz	1 MHz		
上記以外			設定禁止				

注1. fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、16 ビット・タイマKB40, KB41, KB42を停止 (TKBCTLn1.TKBCEn = 0) させてください。

注2. ユーザ・オプション・バイト (000C2H) のFRQSEL4 = 0のときはfCLK, FRQSEL4 = 1のときはfHOCOが選択されます。16ビット・タイマKB4nの動作クロック (CK20, CK21) にfHOCOを選択する場合、周辺イネーブル・レジスタ2 (PER2) のビット5 (TKBEN) をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ2 (PER2) のビット5 (TKBEN) をクリアしたあとに変更してください。

注意1. ビット7, 3には、必ず0を設定してください。

注意2. ユーザ・オプション・バイト (000C2H) のFRQSEL4ビットに1を設定している場合は、VDD ≥ 2.2Vにて使用してください。

(備考は次ページに続きます)

備考 fCLK : CPU／周辺ハードウェア・クロック周波数
fHOCO : 高速オンチップ・オシレータ・クロック周波数（最大64 MHz）

9.3.4 16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) (n = 0-2, m = 0-3)

TKBCRnm レジスタは、タイマ・カウント中 (TKBCTLn1.TKBCEn = 1) にリフレッシュ (同値書き込み) および値の書き換えが可能です。タイマ動作中に TKBCRnm レジスタの値を書き換える場合、その値はラッチされ、下記のタイミングで TKBCRnm レジスタに転送され、TKBCRnm レジスタの値が変更されます。

- カウンタのカウント動作開始時 (TKBCTLn1.TKBCEn を 0 から 1 へ設定)
- 一斉書き換えのトリガ発生時 (TKBFLGn.TKBRSFn = 1)

16ビット単位で読み出し／書き込み可能です。

リセット信号の発生により、0000H になります。

図9-5 16ビット・タイマKBコンペア・レジスタnm (TKBCRnm) のフォーマット

アドレス : F0740H (TKBCR00), F0742H (TKBCR01), F0744H (TKBCR02), F0746H (TKBCR03),
F0780H (TKBCR10), F0782H (TKBCR11), F0784H (TKBCR12), F0786H (TKBCR13),
F04A0H (TKBCR20), F04A2H (TKBCR21), F04A4H (TKBCR22), F04A6H (TKBCR23)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBCRnm																

備考 n = 0-2, m = 0-3

9.3.5 16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) (n = 0-2)

TKBTGCRn レジスタは、タイマ・カウント中 (TKBCTLn1.TKBCEn = 1) にリフレッシュ (同値書き込み) および値の書き換えが可能です。タイマ動作中に TKBTGCRn レジスタの値を書き換える場合、その値はラッチされ、下記のタイミングで TKBTGCRn レジスタに転送され、TKBTGCRn レジスタの値が変更されます。

- カウンタのカウント動作開始時 (TKBCTLn1.TKBCEn を 0 から 1 へ設定)
- 一斉書き換えのトリガ発生時 (TKBFLGn.TKBRSFn = 1)

本レジスタによる周期信号を A/D 変換のハードウェア・トリガとして使用可能です。

16ビット単位で読み出し／書き込み可能です。

リセット信号の発生により、0000H になります。

図9-6 16ビット・タイマKBトリガ・コンペア・レジスタn (TKBTGCRn) のフォーマット

アドレス : F0748H (TKBTGCR0), F0788H (TKBTGCR1), F04A8H (TKBTGCR2)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBTGCRn																

備考 n = 0-2

9.3.6 16ビット・タイマKB動作制御レジスタ n0 (TKBCTLn0) (n = 0-2)

TKBCTLn0 レジスタは、以下の設定をするレジスタです。

- TKBOnp出力アクティブ時の外部トリガ入力マスク機能
- PWM出力ソフト・スタート機能
- PWM出力ディザリング機能
- 最大周波数リミット機能
- インターリーブPFC出力モード
- IH制御PWM出力機能
- 外部トリガによるコンペア・レジスター書き換え機能
- タイマ・リスタート・トリガの選択

TKBCTLn0 レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0040H になります。

図9-7 16ビット・タイマKB動作制御レジスタ n0 (TKBCTLn0) のフォーマット (1/2)

アドレス : F0762H (TKBCTL00), F07A2H (TKBCTL10), F04C2H (TKBCTL20)

リセット時: 0040H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBCTLn0	TKBTGMn1	0	TKBSSEn1	TKBDIEn1	TKBTGMn0	0	TKBSSEn0	TKBDIEn0
	7	6	5	4	3	2	1	0
	TKBMFEn	TKBIRSn2	TKBIRSn1	TKBIRSn0	TKBIHEn	TKBTSEn	TKBSTSn1	TKBSTSn0
TKBTGMnp	TKBOnp出力アクティブ時の外部トリガ入力マスク機能の制御							
0	TKBSTSn[1:0]、TKBCTLn2.TKBINSn[2:0] により選択された外部トリガ入力検出を常時受け付ける							
1	TKBOnpのPWM出力がアクティブレベル期間中、TKBSTSn[1:0]、TKBCTLn2.TKBINSn[2:0] により選択された外部トリガ入力検出を受け付けない							
TKBSSEnp	TKBOnpのPWM出力ソフト・スタート機能の制御							
0	PWM出力ソフト・スタート機能を使用しない							
1	PWM出力ソフト・スタート機能を使用する							
TKBDIEnp	TKBOnpのPWM出力ディザリング機能の制御							
0	PWM出力ディザリング機能を使用しない							
1	PWM出力ディザリング機能を使用する							
TKBMFEn	TKBOnpの最大周波数リミット機能の制御							
0	最大周波数リミット機能を使用しない							
1	最大周波数リミット機能を使用する							

図9-7 16ビット・タイマKB動作制御レジスタn0 (TKBCTLn0) のフォーマット (2/2)

TKBIRSn2	TKBIRSn1	TKBIRSn0	インターリーブPFC出力モードにおけるTKBOn1即時出力する INTP1入力受け付け範囲設定
0	0	0	$T/2 \sim T/2 + T/64$
0	0	1	$T/2 \sim T/2 + T/32$
0	1	0	$T/2 \sim T/2 + T/16$
0	1	1	$T/2 \sim T/2 + T/8$
1	0	0	判定範囲を適用しない。T/2以下の範囲でINTP1検出時、T/2タイ ミングでTKBOn1出力。 (リセット初期値設定)
1	0	1	判定範囲を適用しない。T/2以下の範囲でINTP1検出時、検出タ イミングでTKBOn1出力。
上記以外			設定禁止

TKBIHEn	IH制御PWM出力機能の制御
0	IH制御PWM出力機能を使用しない
1	IH制御PWM出力機能を使用する

TKBTSEn	外部トリガによるコンペア・レジスター斉書き換え機能の制御
0	外部トリガによるコンペア・レジスター斉書き換え機能を使用しない
1	外部トリガによるコンペア・レジスター斉書き換え機能を使用する

TKBSTSn1	TKBSTSn0	16ビット・タイマKB4nのリスタート・トリガの選択
0	0	トリガ入力を使用しない
0	1	外部割り込み信号 (INTP0)
1	0	外部割り込み信号 (INTP1)
1	1	外部割り込み信号 (INTP2)

注意1. タイマ動作中に、TKBCTLn0レジスタを書き換えしないでください。ただし、TKBCTLn0レジスタにリフレッ
シュ（同値書き込み）することは可能です。

注意2. ビット14, 10には、必ず0を設定してください。

注意3. INTP0-2の設定は、第25章 割り込み機能、9.3.22外部割り込み制御レジスタx (INTPCTLx) (x = 0-7) を参照
してください。

注意4. TKBIHEnビットに1を設定する場合、ビット15-7には、必ず0を設定してください。

注意5. インターリーブPFC出力モード時はTKBSTSn[1:0]ビットの設定は無視され、外部割り込み信号 (INTP0) がリ
スタート・トリガに選択されます。

備考1. n = 0-2; p = 0, 1

備考2. Tは直前のパルス周期

9.3.7 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) (n = 0-2)

TKBCTLn1 レジスタは、16ビット・タイマの動作の制御とカウント・クロックの設定をするレジスタです。

TKBCTLn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-8 16ビット・タイマKB動作制御レジスタn1 (TKBCTLn1) のフォーマット

アドレス : F0769H (TKBCTL01), F07A9H (TKBCTL11), F04C9H (TKBCTL21)

リセット時: 00H

R/W属性 : R/W

略号

<7>

6

5

4

3

2

1

0

TKBCTLn1

TKBCEn

0

0

TKBCKSn

TKBSCMn

0

TKBMDn1

TKBMDn0

TKBCEn	16ビット・タイマKB4nの動作制御						
0	タイマ動作停止（カウンタはFFFFH）						
1	タイマ動作許可						

TKBCKSn	16ビット・タイマKB4nのクロック選択						
0	TPS20[2:0]ビットで選択したCK20クロック						
1	TPS21[2:0]ビットで選択したCK21クロック						

TKBSCMn	16ビット・タイマKB4nのスタート動作制御						
0	TKBCKSnビットで選択したクロックで動作						
1	カウント動作開始タイミングは、CK20クロックとCK21クロックの一致でスタート。動作開始後は、TKBCKSnビットで選択したクロックで動作。						

TKBMDn1	TKBMDn0	16ビット・タイマKB4nの動作モードの選択				
0	0	単体動作モード（マスタ使用）				
0	1	同時スタート／ストップ・モード（スレーブ使用）				
1	0	同時スタート／クリア・モード（スレーブ使用）				
1	1	インターリーブPFC出力モード				

注意1. タイマ動作中に、TKBCTLn1レジスタを書き換えないでください。ただし、TKBCTLn1レジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット6, 5, 2に必ず0を設定してください。

注意3. TKBSCMnビットは、同時スタート/ストップ・モードで動作するスレーブがある場合のみ設定可能です。詳細は、9.4.8 同時スタート/ストップ・モードを参照してください。

備考 n = 0-2

9.3.8 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) (n = 0-2)

TKBCTLn2 レジスタは、タイマ・リスタート・トリガの拡張設定を行うレジスタです。

TKBSTSn[1:0] で設定したトリガ設定に加えてトリガ要因を設定可能です。拡張設定した外部トリガ要因についてのマスク設定も行うことができます。

TKBCTLn2 レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図9-9 16ビット・タイマKB動作制御レジスタn2 (TKBCTLn2) のフォーマット

アドレス : F076AH (TKBCTL02), F07AAH (TKBCTL12), F04CAH (TKBCTL22)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBCTLn2	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TKBINSn2	TKBINSn1	TKBINSn0
	TKBINSn2	TKBINSn1	TKBINSn0	16ビット・タイマKB4nのリスタート・トリガの選択				
	0	0	0	トリガ入力を使用しない				
	0	0	1	外部割り込み信号 (INTP3)				
	0	1	0	外部割り込み信号 (INTP4)				
	0	1	1	外部割り込み信号 (INTP5)				
	1	0	0	外部割り込み信号 (INTP6)				
	1	0	1	外部割り込み信号 (INTP7)				
	1	1	0	コンパレータ0出力信号				
	1	1	1	コンパレータ1出力信号				

注意1. タイマ動作中に、TKBCTLn2レジスタを書き換えないでください。ただし、TKBCTLn2レジスタにリフレッシュ（同値書き込み）することは可能です。

注意2. ビット15-3には、必ず0を設定してください。

注意3. INTP3-7の設定は、第25章 割り込み機能、9.3.22外部割り込み制御レジスタx (INTPCTLx) (x = 0-7) を参照してください。

注意4. コンパレータ0出力信号、コンパレータ1出力信号の設定は、第18章 コンパレータ (CMP) を参照してください。

注意5. インターリーブPFC出力モード時はTKBINSn[2:0]ビットの設定は無視され、外部割り込み信号 (INTP0) がリスタート・トリガに選択されます。

備考 n = 0-2

9.3.9 16ビット・タイマKB出力制御レジスタ n0 (TKBIOCn0) (n = 0-2)

TKBIOCn0 レジスタは、16 ビット・タイマ KB4n 出力 (TKBOnp) のデフォルト・レベル／アクティブ・レベルを設定するレジスタです。

TKBIOCn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 10 16ビット・タイマKB出力制御レジスタ n0 (TKBIOCn0) のフォーマット

アドレス : F0766H (TKBIOC00), F07A6H (TKBIOC10), F04C6H (TKBIOC20)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
TKBIOCn0	0	0	0	0	TKBTOLn1	TKBTOLn0	TKBTODn1	TKBTODn0
TKBTOLnp	タイマ出力TKBOnpのアクティブ・レベル設定							
0	ハイ・レベル							
1	ロウ・レベル							
TKBTODnp	タイマ出力TKBOnpのデフォルト・レベル設定							
0	ロウ・レベル							
1	ハイ・レベル							

注意1. タイマ動作中に、TKBIOCn0 レジスタを書き換えないでください。ただし、TKBIOCn0 レジスタにリフレッシュ（同値書き込み）することは可能です。

注意2. ビット7-4には、必ず0を設定してください。

注意3. 実際のTKBOnp端子の出力は、TKBOnp出力のほかに、兼用ポートのポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) によって決まります。

備考 n = 0-2; p = 0, 1

9.3.10 16ビット・タイマKB出力制御レジスタn1 (TKBIOCN1) (n = 0-2)

TKBIOCN1 レジスタは、16ビット・タイマ KB4n 出力 (TKBOnp) の出力禁止／許可を制御するレジスタです。

TKBIOCN1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 11 16ビット・タイマKB出力制御レジスタn1 (TKBIOCN1) のフォーマット

アドレス : F0768H (TKBIOC01), F07A8H (TKBIOC11), F04C8H (TKBIOC21)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TKBIOCN1	0	0	0	0	0	0	TKBTOEn1	TKBTOEn0

TKBTOEnp	タイマ出力TKBOnpの出力許可／禁止
0	タイマ出力禁止 (TKBTODnp = 0の場合、ロウ・レベル出力。TKBTODnp = 1の場合、ハイ・レベル出力)
1	タイマ出力許可

注意1. タイマ動作中に、TKBIOCN1 レジスタを書き換え可能です。

注意2. ビット7-2には、必ず0を設定してください。

注意3. 実際のTKBOnp端子の出力は、TKBOnp出力のほかに、兼用ポートのポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) によって決まります。

備考 n = 0-2; p = 0, 1

9.3.11 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) (n = 0-2)

TKBFLGn レジスタは、16ビット・タイマKB4nのステータス・フラグを表示するレジスタです。

TKBFLGn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図9-12 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) のフォーマット

アドレス : F0753H (TKBFLG0), F0793H (TKBFLG1), F04B3H (TKBFLG2)

リセット時: 00H

R/W属性 : R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TKBFLGn	TKBSSF _n 1	TKBSSF _n 0	TKBSEF _n 1	TKBSEF _n 0	TKBIRF _n	TKBIEF _n	TKBMFF _n	TKBRSF _n
TKBSSF _n p	TKBOnp 端子のPWM出力ソフト・スタート機能のステータス・フラグ							
0	PWM出力ソフト・スタート停止中							
1	PWM出力ソフト・スタート実行中							
TKBSEF _n p	TKBOnp 端子のPWM出力ソフト・スタート機能のエラー・フラグ							
0	エラー未発生、またはTKBCLSE _n によるクリアの完了							
1	エラー発生 (PWM出力ソフト・スタート実行中 (TKBSSF _n p = 1) に TKBTGR _n .TKBRDT _n = 1が発生)							
TKBIRF _n	インターリーブPFC出力モードでのINTP1トリガ未検出エラー・フラグ							
0	エラー未発生、またはTKBCLIR _n によるクリアの完了							
1	エラー発生 (TKBIRSn[2] ビットが0設定の場合、0~T/2とTKBIRSn[1:0] ビットで設定した 判定範囲内にINTP1トリガ未検出。TKBIRSn[2:0] ビットが100B、または101B設定の場合、 周期内にINTP1トリガ未検出)							
TKBIEF _n	インターリーブPFC出力モードでのINTP1トリガ多重検出エラー・フラグ							
0	エラー未発生、またはTKBCLIE _n によるクリアの完了							
1	エラー発生 (TKBOn1出力がアクティブレベル時にINTP1入力を多重検出)							
TKBMFF _n	最大周波数リミット機能のステータス・フラグ							
0	最大周波数リミット機能未発生、またはTKBCLR _n .TKBCLMF _n ビットによるクリアの完了							
1	最大周波数リミット機能発生							
TKBRSF _n	一斉書き換えトリガの保留ステータス・フラグ							
0	一斉書き換え許可状態、または一斉書き換えトリガ発生による一斉書き換えの完了							
1	一斉書き換えトリガ・ビット (TKBTGR _n .TKBRDT _n) への書き込みによる一斉書き換え保 留 (完了待ち) 状態。							

備考1. n = 0-2; p = 0, 1

備考2. Tは直前のパルス周期

9.3.12 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) (n = 0-2)

TKBTRGn レジスタは、16 ビット・タイマ KB4n のコンペア・レジスタを一斉書き換えするためのトリガ・レジスタです。

TKBTRGn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、00H になります。

図9 - 13 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) のフォーマット

アドレス : F0752H (TKBTRG0), F0792H (TKBTRG1), F04B2H (TKBTRG2)

リセット時: 00H

R/W属性 : W

略号	7	6	5	4	3	2	1	<0>
TKBTRGn	0	0	0	0	0	0	0	TKBRDTn
TKBRDTn	コンペア・レジスタ一斉書き換え要求のトリガ							
0	設定無効							
1	コンペア・レジスタ一斉書き換え要求							

備考 n = 0-2

9.3.13 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn (TKBCLRn) (n = 0-2)

TKBCLRn レジスタは、16ビット・タイマKBフラグ・レジスタn (TKBFLGn) のフラグをクリアするレジスタです。

TKBCLRn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、00Hになります。

図9-14 16ビット・タイマKBフラグ・クリア・トリガ・レジスタn (TKBCLRn) のフォーマット

アドレス : F0767H (TKBCLR0), F07A7H (TKBCLR1), F04C7H (TKBCLR2)

リセット時: 00H

R/W属性 : W

略号	7	6	<5>	<4>	<3>	<2>	<1>	0
TKBCLRn	0	0	TKBCLSEn1	TKBCLSEn0	TKBCLIRn	TKBCLIEEn	TKBCLMFEn	0

TKBCLSEn p	TKBOnp 端子のPWM出力ソフト・スタート機能のエラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBSEFnp フラグを0にクリアする							

TKBCLIRn	インターリーブPFC出力モードでのINTP1トリガ未検出エラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBIRFn フラグを0にクリアする							

TKBCLIEEn	インターリーブPFC出力モードでのINTP1トリガ多重検出エラー・フラグのクリア・トリガ							
0	設定無効							
1	TKBIEFn フラグを0にクリアする							

TKBCLMFEn	最大周波数リミット機能のステータス・フラグのクリア・トリガ							
0	設定無効							
1	TKBMFFn フラグを0にクリアする							

備考 n = 0-2; p = 0, 1

9.3.14 16ビット・タイマKBディザリング数レジスタ np (TKBDNRnp) (n = 0-2; p = 0, 1)

TKBDNRnp レジスタは、TKBOnp 出力の PWM ディザリング機能で使用するレジスタです。

このレジスタの値の上位 4 ビットの値を N (N = 0H-FH) としたとき、PWM 出力の 16 周期ごとに N 回のアクティブ期間を 1 クロック分延長して出力します。

表 9 - 2 に TKBDNRnp レジスタの設定とアクティブ期間を 1 クロック延長する周期の回数 (N) の関係を示します。

TKBDNRnp レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 9 - 15 16ビット・タイマKBディザリング数レジスタ np (TKBDNRnp) のフォーマット

アドレス : F074EH (TKBDNR00), F078EH (TKBDNR10), F04AEH (TKBDNR20), F0750H (TKBDNR01),
F0790H (TKBDNR11), F04B0H (TKBDNR21)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBDNRnp	TKBDNR3n	TKBDNR2n	TKBDNR1n	TKBDNR0n	0	0	0	0

注意 ビット3-0には、必ず0を設定してください。

備考 n = 0-2; p = 0, 1

表9-2 TKBDNRnpと、アクティブ期間を1カウント・クロック延長する周期との関係図

周期 回数 (N)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1																
2																
3																
4																
5																
6																
7																
8																
9																
10																
11																
12																
13																
14																
15																

備考1. セルの周期 : TKBCRn1, TKBCRn3 レジスタの設定値で出力をインアクティブ

セルの周期 : TKBCRn1, TKBCRn3 レジスタの設定値+1で出力をインアクティブ

備考2. n = 0-2; p = 0, 1

9.3.15 16ビット・タイマKBコンペア1L &ディザリング数レジスタ n0 (TKBCRLDn0) (n = 0-2)

TKBCRLDn0 レジスタは、上位 8 ビットに TKBCRn1 レジスタの下位 8 ビット、下位 8 ビットに TKBDNRn0 レジスタの値を格納したレジスタです。

TKBCRLDn0 レジスタは、16 ビット・メモリ操作命令で設定します。

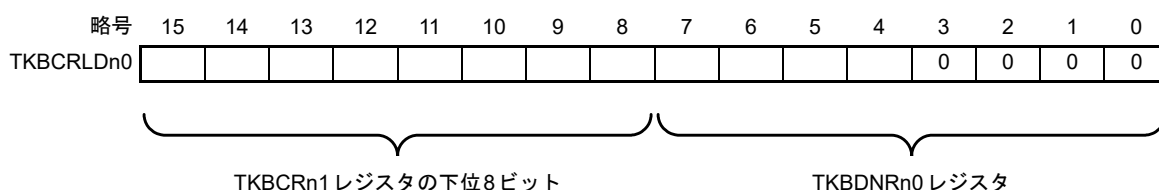
リセット信号の発生により、0000H になります。

図9 - 16 16ビット・タイマKBコンペア1L &ディザリング数レジスタ n0 (TKBCRLDn0) のフォーマット

アドレス : F0754H (TKBCRLD00), F0794H (TKBCRLD10), F04B4H (TKBCRLD20)

リセット時: 0000H

R/W属性 : R/W



注意 ビット3-0には、必ず0を設定してください。

備考 n = 0-2

9.3.16 16ビット・タイマKBコンペア3L &ディザリング数レジスタ n1 (TKBCRLDn1) (n = 0-2)

TKBCRLDn1 レジスタは、上位 8 ビットに「TKBCRn3 レジスタの下位 8 ビット」、下位 8 ビットに「TKBDNRn1 レジスタ」の値を格納したレジスタです。

TKBCRLDn1 レジスタは、16 ビット・メモリ操作命令で設定します。

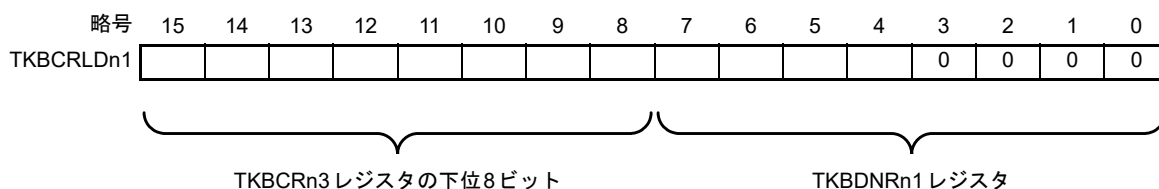
リセット信号の発生により、0000H になります。

図9 - 17 16ビット・タイマKBコンペア3L &ディザリング数レジスタ n1 (TKBCRLDn1) のフォーマット

アドレス : F0756H (TKBCRLD01), F0796H (TKBCRLD11), F04B6H (TKBCRLD21)

リセット時: 0000H

R/W属性 : R/W



注意 ビット3-0には必ず0を設定してください。

備考 n = 0-2

9.3.17 16ビット・タイマKBソフト・スタート初期デューティ・レジスタ np (TKBSIRnp) (n = 0-2; p = 0, 1)

TKBSIRnp レジスタは、TKBOnp 出力の PWM 出力ソフト・スタート機能での初期デューティを設定するレジスタです。

TKBSIRnp レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図9-18 16ビット・タイマKBソフト・スタート初期デューティ・レジスタ np (TKBSIRnp) のフォーマット

アドレス : F074AH (TKBSIR00), F078AH (TKBSIR10), F04AAH (TKBSIR20), F074CH (TKBSIR01),
F078CH (TKBSIR11), F04ACH (TKBSIR21)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBSIRnp																

備考 n = 0-2; p = 0, 1

9.3.18 16ビット・タイマKBソフト・スタート・ステップ幅レジスタ np (TKBSSRnp) (n = 0-2; p = 0, 1)

TKBSSRnp レジスタは、TKBOnp 出力の PWM 出力ソフト・スタート機能で使用するレジスタです。

TKBSSRnp レジスタの値の下位 4 ビットの値を N (N = 0H-FH) とすると TKBSIRnp レジスタで設定したアクティブ期間の PWM 波形を N+1 回分出力します。その後は、(アクティブ期間 + 1 クロック) の波形を N+1 回、(アクティブ期間 + 2 クロック) の波形を N+1 回 ... というように継続出力して、最終的に TKBCRn1 レジスタまたは TKBCRn3 レジスタと同じデューティになったところで、PWM 出力ソフト・スタート機能が解除され、通常 PWM 出力に移行します。

TKBSSRnp レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9-19 16ビット・タイマKBソフト・スタート・ステップ幅レジスタ np (TKBSSRnp) のフォーマット

アドレス : F074FH (TKBSSR00), F078FH (TKBSSR10), F04AFH (TKBSSR20), F0751H (TKBSSR01),
F0791H (TKBSSR11), F04B1H (TKBSSR21)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBSSRnp	0	0	0	0				

注意 ビット7-4には必ず0を設定してください。

備考 n = 0-2; p = 0, 1

9.3.19 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) (n = 0-2)

TKBMFRn レジスタは、外部トリガによるタイマ・リスタートの最小周期を設定するレジスタです。

16ビット・タイマ・カウンタ KBn (TKBCNTn) が、TKBMFRn レジスタよりも小さい値のときにトリガ入力を検出すると、そのトリガを保留し、TKBMFRn レジスタの設定値までカウントしたあとに TKBCNTn をクリア (リスタート) します。

TKBMFRn レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図9 - 20 16ビット・タイマKB最大周波数リミット設定レジスタn (TKBMFRn) のフォーマット

アドレス : F0764H (TKBMFR0), F07A4H (TKBMFR1), F04C4H (TKBMFR2)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TKBMFRn																

備考 n = 0-2

9.3.20 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) (n = 0-2)

TKBTCTLn レジスタは、割り込み／A/D トリガ信号の間引きを制御するレジスタです。
TKBTCTLn レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図9 - 21 16ビット・タイマKB間引き制御レジスタn (TKBTCTLn) のフォーマット

アドレス : F0490H (TKBTCTL0), F0492H (TKBTCTL1), F0494H (TKBTCTL2)
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBTCTLn	0	0	0	TKBTMDn	0	TKBT ADTENn	0	TKBT INTENn
TKBTMDn	16ビット・タイマKB4n動作開始1周期目の間引き出力許可							
0	無効							
1	有効							
TKBT ADTENn	16ビット・タイマKB4nのA/Dトリガ信号の間引き許可							
0	無効							
1	有効							
TKBT INTENn	16ビット・タイマKB4nのカウント完了割り込み信号の間引き許可							
0	無効							
1	有効							

注意1. タイマ動作中に、TKBTCTLnレジスタを書き換えないでください。ただし、TKBTCTLnレジスタにリフレッシュ（同値書き込み）することは可能です。
注意2. ビット7-5, 3, 1には必ず0を設定してください。

備考 n = 0-2

9.3.21 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) (n = 0-2)

TKBTCMPn レジスタは、割り込み／A/D トリガ信号の間引き回数を制御するレジスタです。
TKBTCMPn レジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図9 - 22 16ビット・タイマKB間引き回数設定レジスタn (TKBTCMPn) のフォーマット

アドレス : F0491H (TKBTCMP0), F0493H (TKBTCMP1), F0495H (TKBTCMP2)
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TKBTCMPn	0	0	0	TKBTCMPn[4:0]				
TKBTCMPn[4:0]					間引き回数			
0	0	0	0	0	間引きなし			
0	0	0	0	1	1間引き (割り込み／A/D トリガ出力後、次の1周期の間、割り込み／A/D トリガを出力しない)			
⋮					⋮			
1	1	1	1	0	30間引き (割り込み／A/D トリガ出力後、次の30周期の間、割り込み／A/D トリガを出力しない)			
1	1	1	1	1	31間引き (割り込み／A/D トリガ出力後、次の31周期の間、割り込み／A/D トリガを出力しない)			

注意 ビット7-5には必ず0を設定してください。

備考 n = 0-2

9.3.22 外部割り込み制御レジスタx (INTPCTLx) (x = 0-7)

INTPCTLx レジスタは、外部割り込み INTPx の制御レジスタです。

INTPCTLx レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

INTPCTL0-7 は INTP0-7 の外部割り込みに対応しています。

図9 - 23 外部割り込み制御レジスタx (INTPCTLx) のフォーマット

アドレス : F0370H (INTPCTL0), F0371H (INTPCTL1), F0372H (INTPCTL2), F0373H (INTPCTL3),
F0374H (INTPCTL4), F0375H (INTPCTL5), F0376H (INTPCTL6), F0377H (INTPCTL7)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
INTPCTLx	PNFENx	INTFCKx1	INTFCKx0	INTPINVx	INTEGPx	INTEGNx	0	TMRSTENx
PNFENx	外部割り込みINTPxのノイズ・フィルタ使用可否							
0	ノイズ・フィルタあり							
1	ノイズ・フィルタなし							
INTFCKx1	INTFCKx0	外部割り込みINTPxフィルタ選択						
0	0	INTPxフィルタなし						
0	1	INTPxフィルタあり、fCLKまたはfHOCOでサンプリング						
1	0	INTPxフィルタあり、fCLK/8またはfHOCO/8でサンプリング						
1	1	INTPxフィルタあり、TAU出力（TO01）でサンプリング						
INTPINVx	外部割り込みINTPx信号の出力反転設定							
0	INTPx信号を反転しない							
1	INTPx信号を反転							
INTEGPx	INTEGNx	外部割り込みINTPx有効エッジの選択						
0	0	エッジ検出禁止（16ビット・タイマKB40、KB41、KB42のタイマ・リスタート信号の出力禁止（出力信号：ロウ・レベル固定））						
0	1	立ち下がりエッジ（16ビット・タイマKB40、KB41、KB42のタイマ・リスタート信号の出力許可）						
1	0	立ち上がりエッジ（16ビット・タイマKB40、KB41、KB42のタイマ・リスタート信号の出力許可）						
1	1	立ち上がり、立ち下がりの両エッジ（16ビット・タイマKB40、KB41、KB42のタイマ・リスタート信号の出力許可）						
TMRSTENx	外部割り込みINTPxでのタイマKB40、KB41、KB42での連動機能の動作許可							
0	16ビット・タイマKB40、KB41、KB42のタイマ・リスタート／強制出力停止機能使用不可							
1	16ビット・タイマKB40、KB41、KB42のタイマ・リスタート／強制出力停止機能使用可能 [※]							

(注、注意、備考は次ページに続きます)

注 16ビット・タイマKB40, KB41, KB42のタイマ・リスタート／強制出力停止機能の外部トリガとしてINTP0端子を使用する場合は、ISC.ISC0ビットを0に設定してINTP0端子の入力信号を外部割り込み入力としてください。詳細は、7.3.16 入力切り替え制御レジスタ (ISC) を参照してください。

注意 ビット1には必ず0を設定してください。

備考 x = 0-7

9.3.23 16ビット・タイマKB40, KB41, KB42の出力と端子を兼用するポートのポート機能を制御するレジスタ

16ビット・タイマKB40, KB41, KB42の出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、**4.3.1 ポート・モード・レジスタ (PMxx)**、**4.3.2 ポート・レジスタ (Pxx)**、**4.3.5 ポート出力モード・レジスタ (POMxx)**、**4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)**、**4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)**、**4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)** および **4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx)** を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

9.4 16ビット・タイマKB40, KB41, KB42の動作

16ビット・タイマ KB40, KB41, KB42 の動作仕様を以下で説明します。

- カウンタ基本動作（[9.4.1](#)を参照）
- デフォルトレベルとアクティブレベル（[9.4.2](#)を参照）
- 動作停止と動作開始（[9.4.3](#)を参照）
- 一斉書き換え動作（[9.4.4](#)を参照）

16ビット・タイマ KB40, KB41, KB42 には、以下の6種類の動作モードがあります。

- 単体動作モード（TKBCRn0レジスタによる周期制御）（[9.4.6](#)を参照）
- 単体動作モード（外部トリガ入力による周期制御）（[9.4.7](#)を参照）
- 同時スタート/ストップ・モード（TKBCRn0レジスタによる周期制御）（[9.4.8](#)を参照）
- 同時スタート/ストップ・モード（外部トリガ入力による周期制御）（[9.4.8](#)を参照）
- 同時スタート/クリア・モード（マスタによる周期制御）（[9.4.9](#)を参照）
- インターリーブPFC出力モード（[9.4.10](#)を参照）

図9 - 24 16ビット・タイマKB4n動作設定例（動作開始フロー）

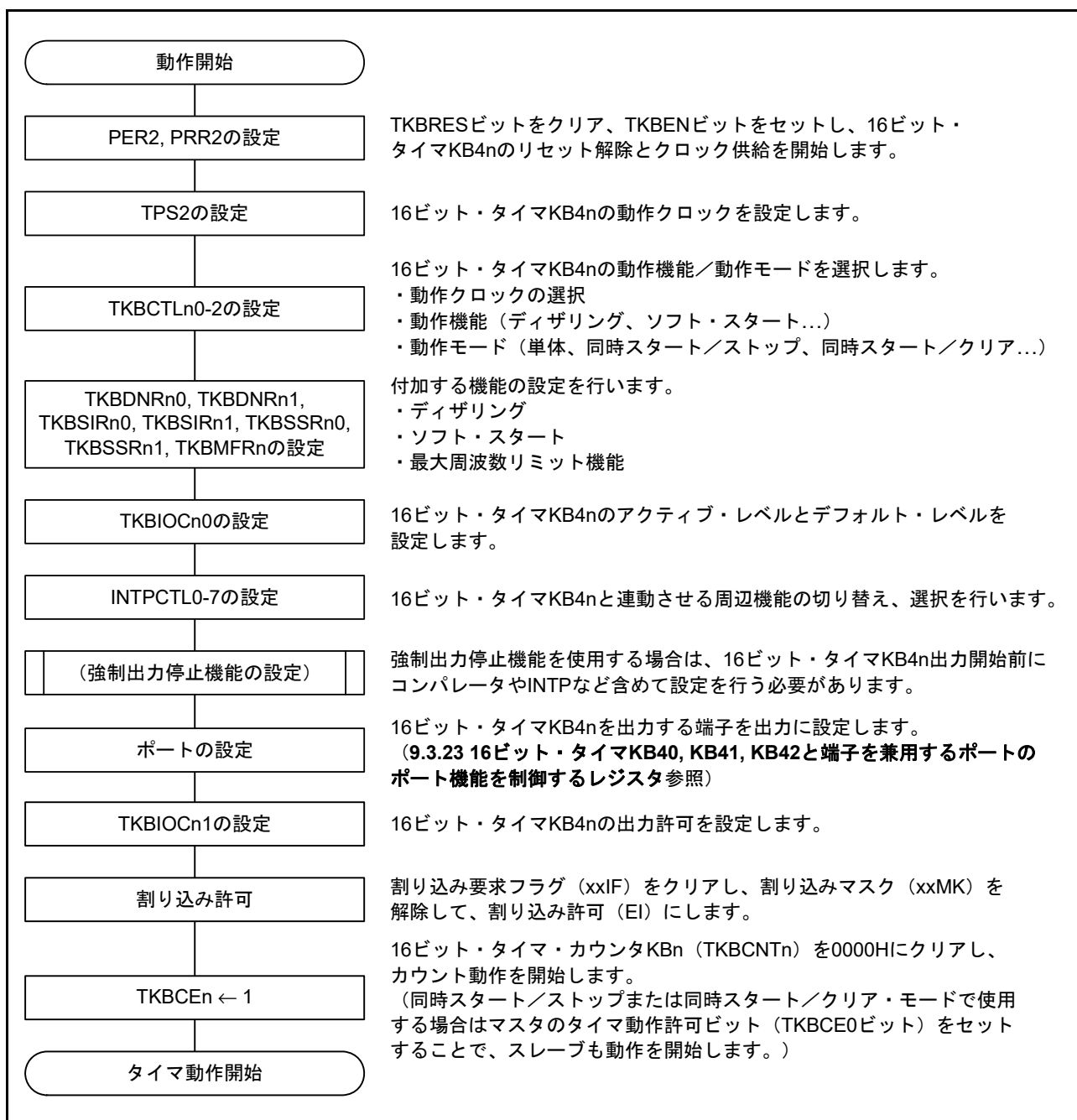


図9 - 25 16ビット・タイマKB4n動作設定例（動作停止フロー）

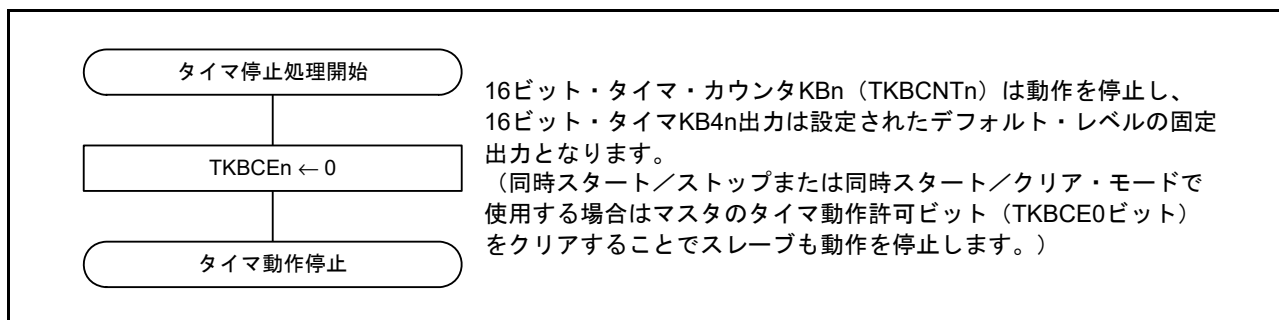
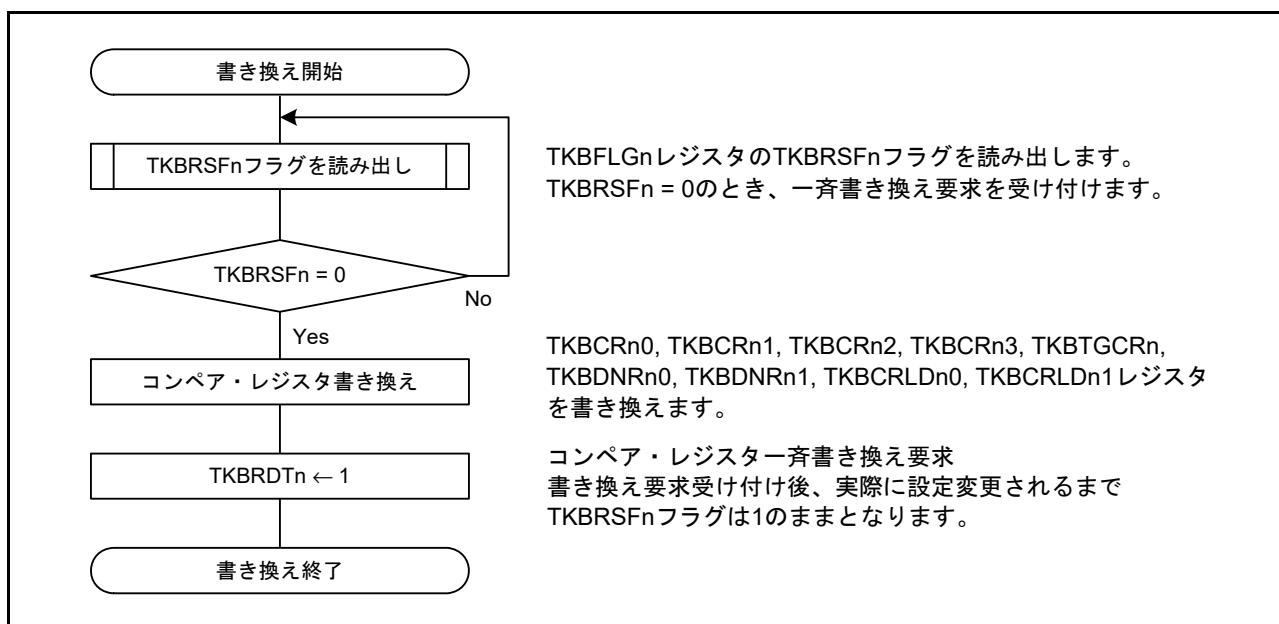


図9 - 26 16ビット・タイマKB4n動作設定例（コンペア・レジスタ書き換えフロー）



備考 一斉書き換え機能は16ビット・タイマKB4n動作中にタイマ・カウント動作設定を変更する場合に使用します。
 設定値は次のリスタート時から動作に反映されます。

9.4.1 カウンタ基本動作

(1) カウント開始動作

TKBCEnを0から1に設定すると、16ビット・タイマKB4nの16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ... とカウント・アップします。

(2) クリア動作

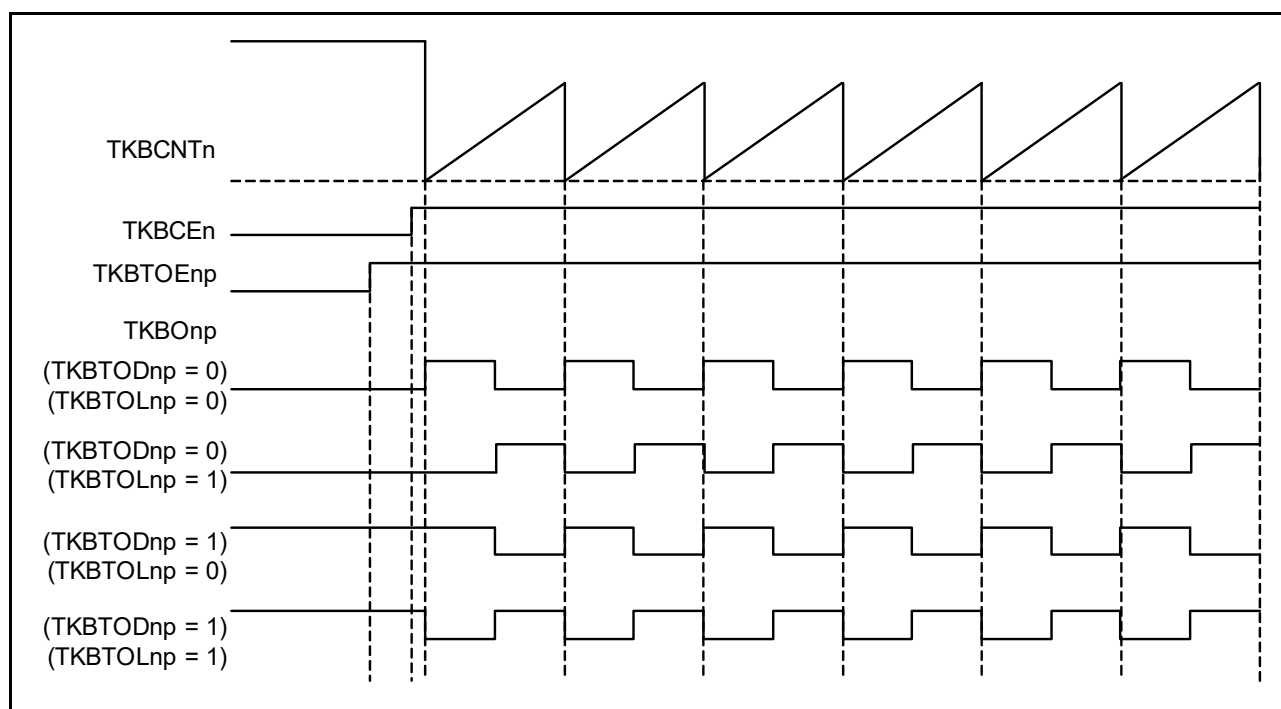
16ビット・カウンタとTKBCRn0レジスタに設定された値との一致および外部トリガによる周期決定の場合の外部トリガで16ビット・カウンタは0000Hにクリアされ、INTTMKBn割り込みが発生します。

9.4.2 デフォルトレベルとアクティブレベル

(1) 基本動作

16ビット・タイマKB出力制御レジスタn0 (TKBIOcn0) によって16ビット・タイマKB4n出力のデフォルトレベルとアクティブレベルを設定できます。

図9-27 デフォルトレベルとアクティブレベルのタイミング図（基本動作）



TKBTOEnpビットを0から1に変更した場合、TKBOnp出力が許可され、TKBOLnpビットの設定値に従い、PWM波形を出力します。

TKBTOEnpビットを1から0に変更した場合、TKBOnp出力は禁止され、TKBTODnpビットの設定値に従い、デフォルトレベルを出力します。

(2) TKBTOEnpを0から1に変更した場合

タイマ・カウンタ動作中に、16ビット・タイマ・カウンタKBn (TKBCNTn) と16ビット・タイマKBコンペア・レジスタ (TKBCRnp) の一致より前にTKBTOEnpビットを0から1に変更した場合、タイマ出力がTKBTOLnpビットの設定に従ってその一致タイミングでPWM波形が出力されます。

TKBCNTnカウンタとTKBCRnpレジスタの一致よりあとにTKBTOEnpビットを0から1に変更した場合は、タイマ出力は次の一致タイミングまでデフォルトレベルを継続します。

図9 - 28 デフォルトレベルとアクティブレベルのタイミング図 (TKBCNTnカウンタとTKBCRn1-TKBCRn3レジスタの一致より前にTKBTOEnpビットを0から1に変更した場合)

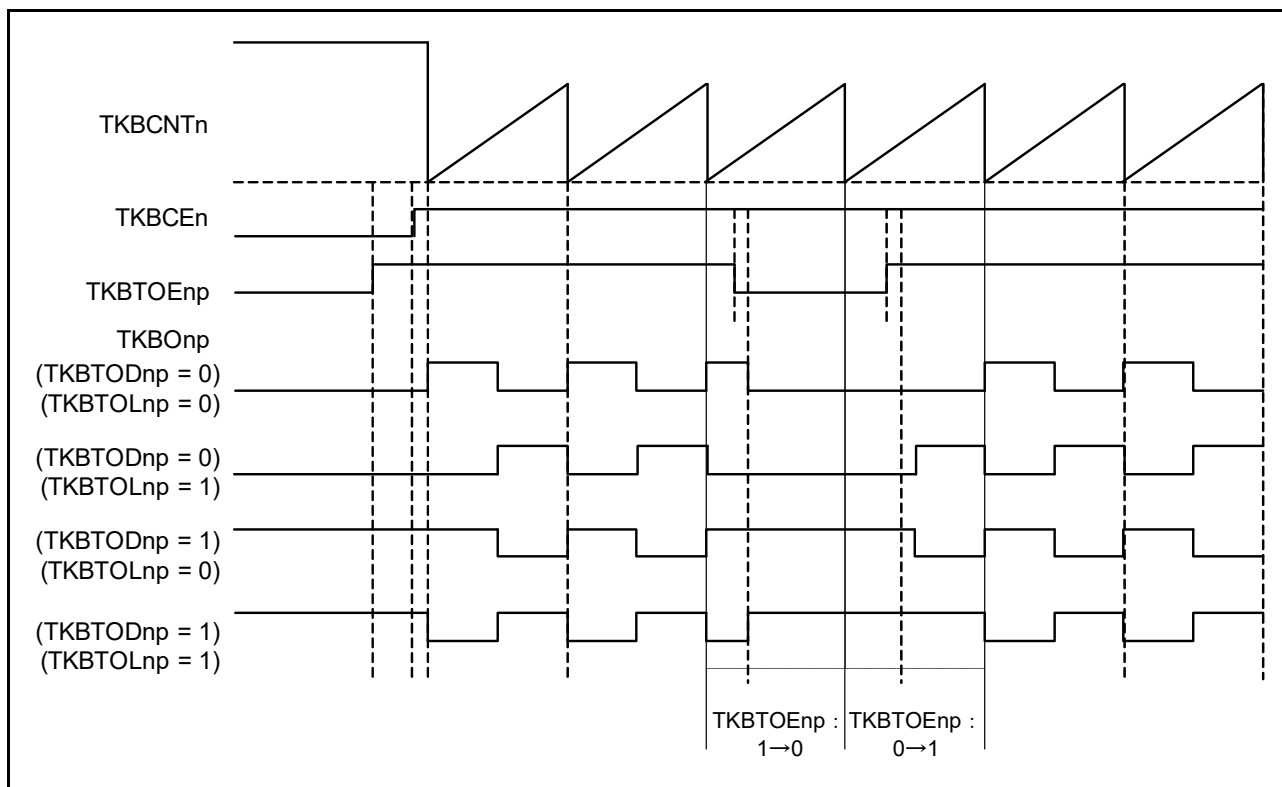
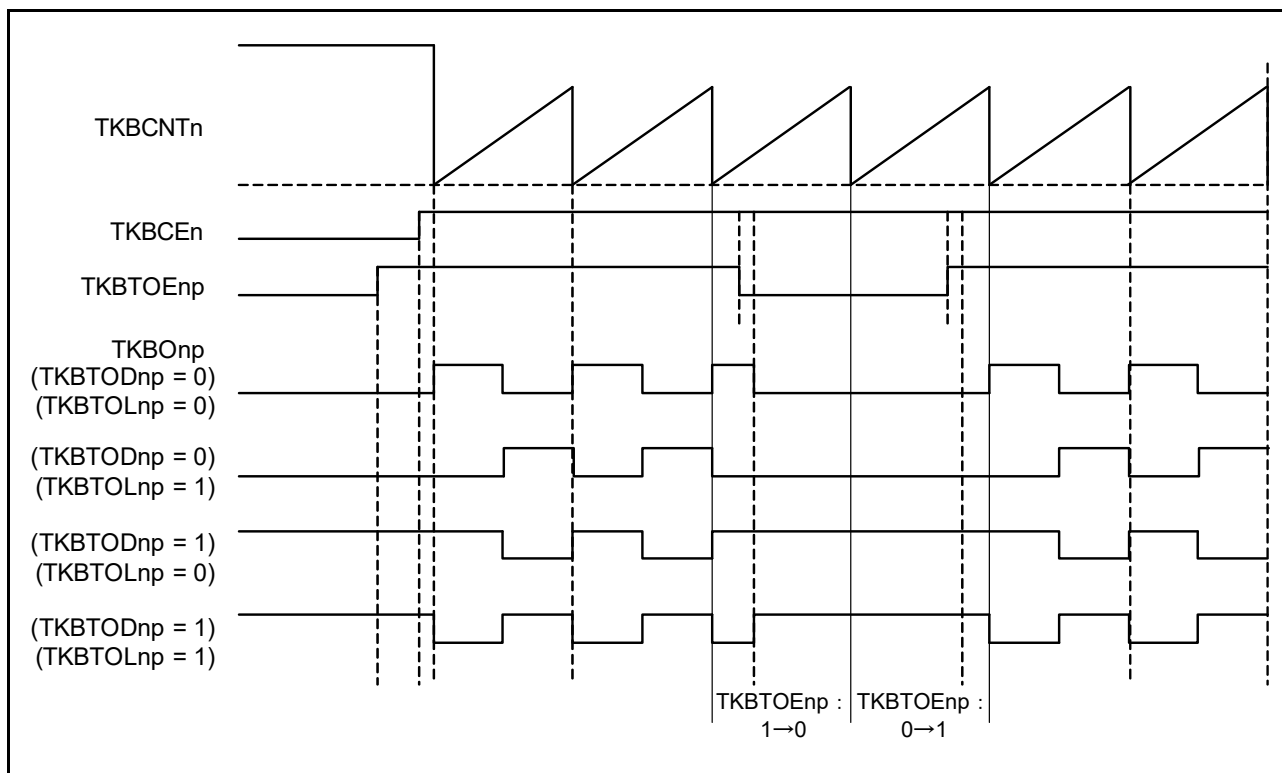


図9 - 29 デフォルトレベルとアクティブレベルのタイミング図 (TKBCNTnカウンタとTKBCRn1-TKBCRn3レジスタの一致よりあとにTKBTOEnpビットを0から1に変更した場合)

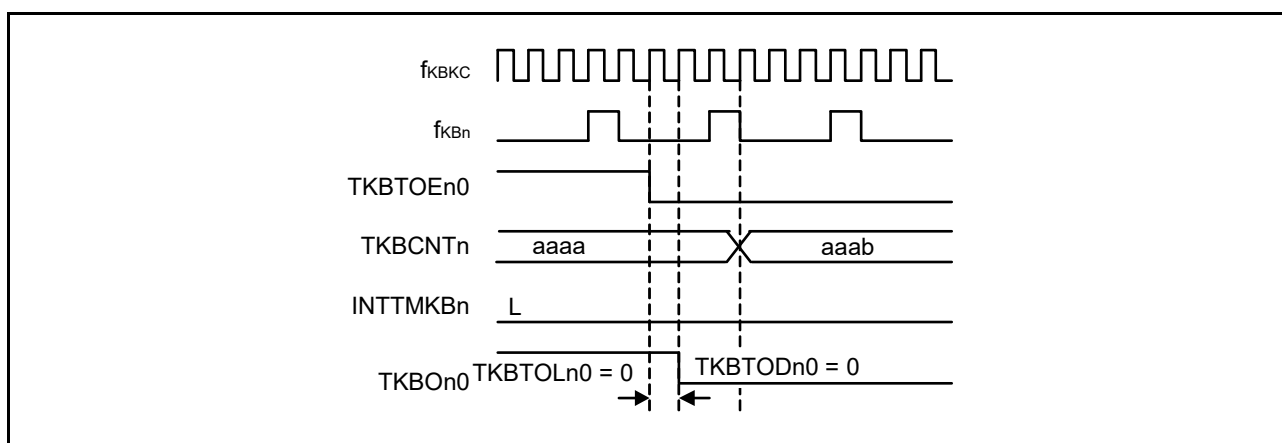


(3) TKBTOEnp ビットを1から0に変更した場合

(a) 基本タイミング

TKBTOEnp ビットを1から0に変更した場合、f_{KBK1} クロック後に、TKBOnp は、TKBTODnp ビットで設定しているデフォルトレベルになります。

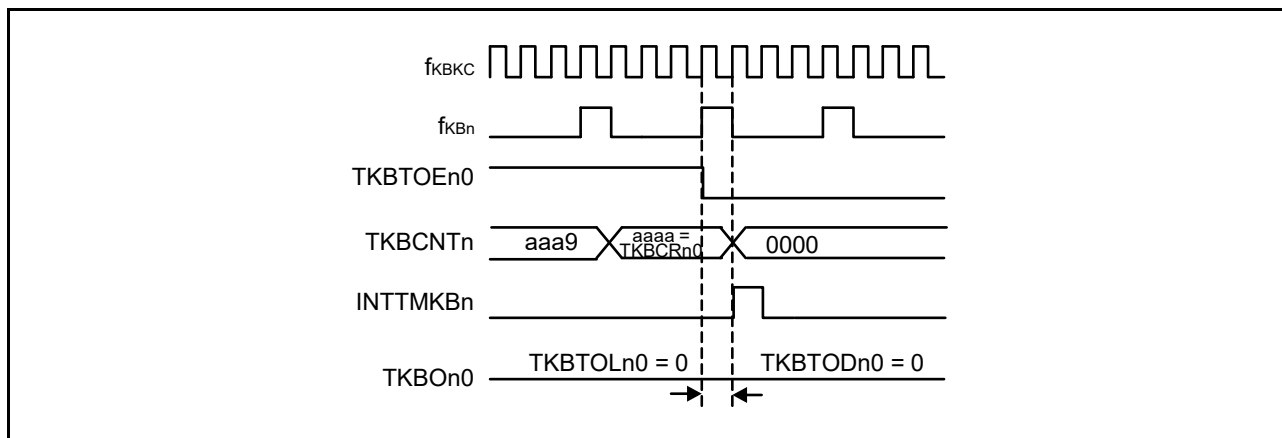
図9 - 30 デフォルトレベルとアクティブレベルのタイミング図 (TKBTOEn0 ビットを1から0に変更した場合)



(b) TKBCRn0レジスタの一致によるセットとTKBTOEnpビットのクリア・タイミングが同時の場合

TKBTOEnpビットを1から0に変更するタイミングと、TKBCNTnカウンタとTKBCRnmレジスタが一致するタイミングが同時の場合、TKBTOEnpビットの変更が優先され、TKBTODnpビットで設定しているデフォルトレベルになります。

図9 - 31 デフォルトレベルとアクティブレベルのタイミング図（TKBTOEnpビットを1から0に変更するタイミングと、TKBCNTnカウンタとTKBCRnmレジスタが一致するタイミングが同時の場合）

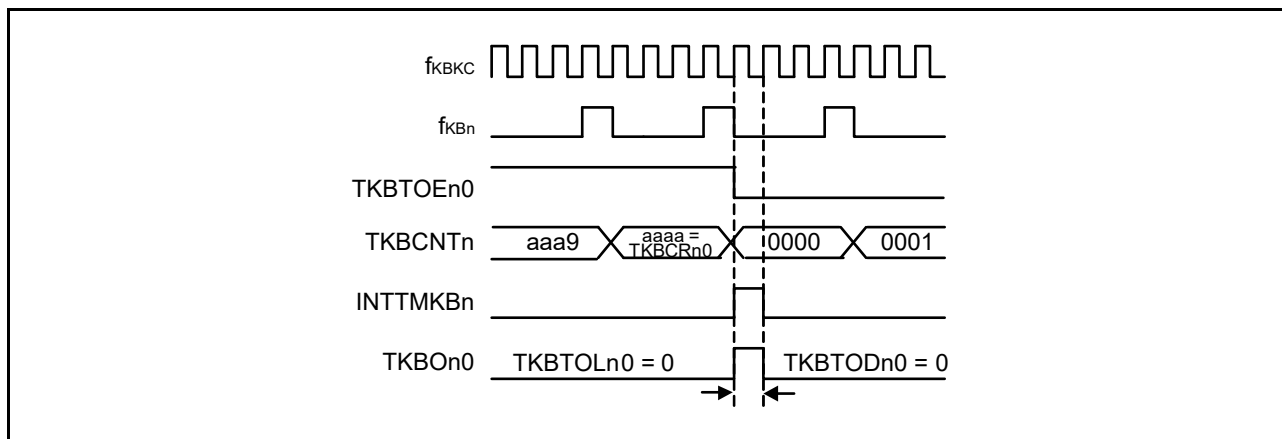


(c) TKBTOEnpビットの操作がタイマ・カウント・クロックの発生と同時の場合

TKBTOEnpビットの操作がf_KBnの発生と同時の場合、TKBCNTn = TKBCRnmの一致によりTKBO npがセットされます。

f_KBKCの1クロック後、TKBO npは、TKBTODnpビットで設定しているデフォルトレベルになります。

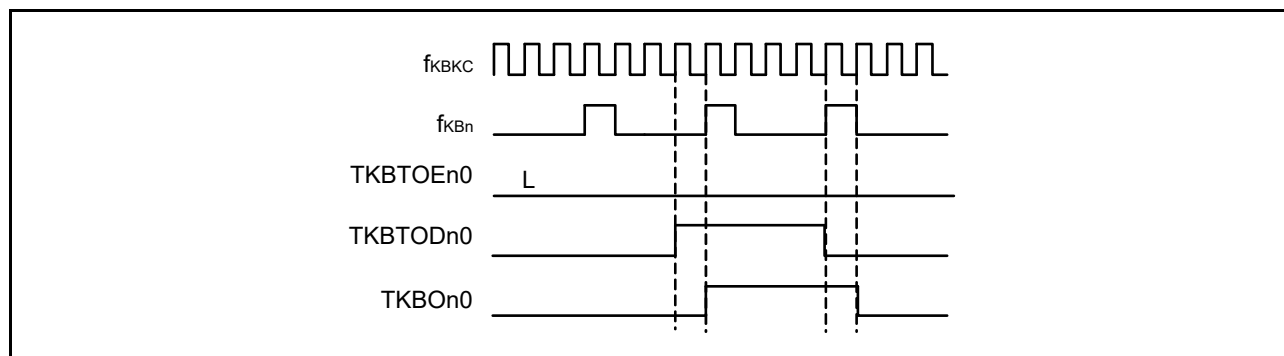
図9 - 32 デフォルトレベルとアクティブレベルのタイミング図（TKBTOEn0ビットの操作がタイマ・カウント・クロックの発生と同時の場合）



(4) $TKBTOEnp = 0$ で $TKBTODnp$ ビットを変更した場合

$TKBTOEnp = 0$ で $TKBTODnp$ ビットを変更した場合、 f_{KBKC} の1クロック後、 $TKBOnp$ は、 $TKBTODnp$ ビットで設定しているデフォルトレベルになります。

図9 - 33 デフォルトレベルとアクティブレベルのタイミング図 ($TKBTOEn0 = 0$ で $TKBTODn0$ ビットを変更した場合)



9.4.3 動作停止と動作開始

16ビット・タイマKB4nの動作停止と開始はTKBCEnビットを制御することにより可能となります。

16ビット・タイマKB4nはTKBCEnビットを1から0にすることでリセットし動作を停止します。

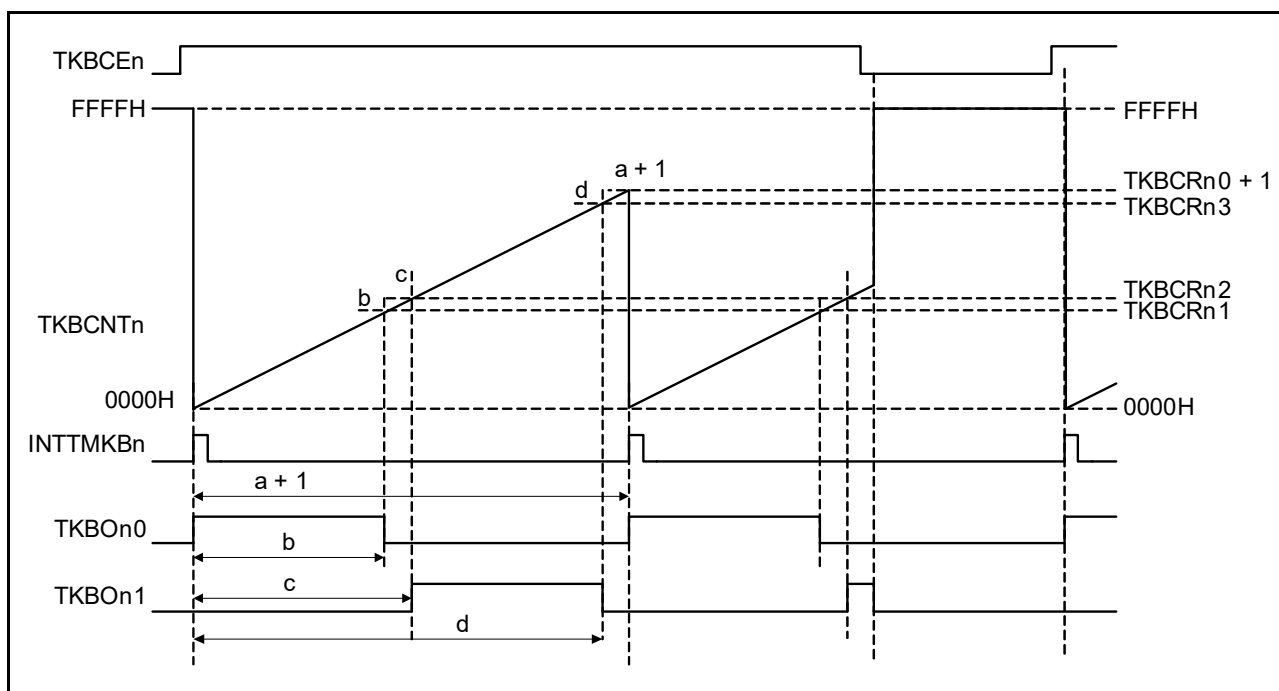
このときカウンタTKBCNTnカウンタはFFFFHにリセットされ動作を停止します。

TKBOnp出力は、TKBTODnpビットで設定したデフォルトレベルを出力します。

16ビット・タイマKB4nはTKBCEnビットを0から1にすることで動作を開始します。

TKBCEn = 0 のとき、カウンタTKBCNTnレジスタはFFFFHを保持し、TKBCEnビットを0から1することでアップ・カウント動作を開始します。

図9-34 動作停止のタイミング図 (TKBTOLnp = 0, TKBTODnp = 0時)

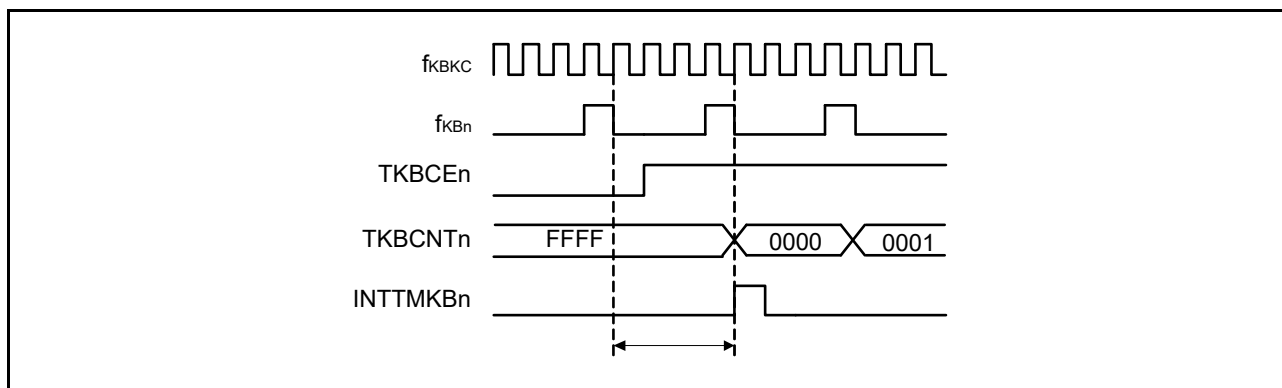


(1) カウント動作開始タイミング

TKBCEnビットを0から1に変更すると、次のf_{KBn}発生によりカウント動作を開始します。

カウント動作開始タイミングで、INTTMKBnを出力します。

図9 - 35 動作開始のタイミング図 (TKBCEnビットを0から1に変更した場合)

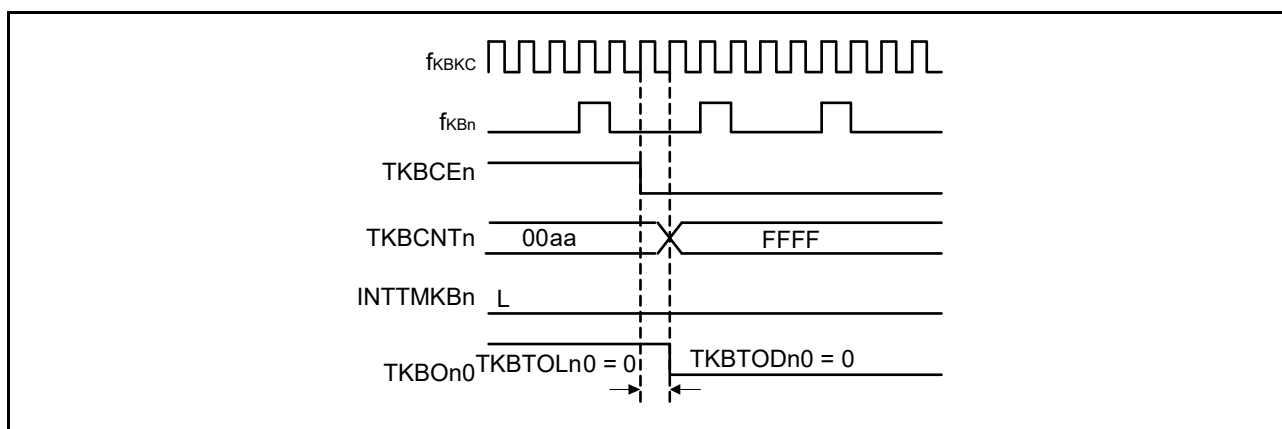


(2) カウント動作停止タイミング

TKBCEnビットを1から0に変更すると、f_{KBKC}の1クロック後にカウント動作を停止します。

TKBCNTnカウンタはFFFFHにリセットされ、TKBOnpは、TKBTODnpビットで設定しているデフォルトレベルになります。

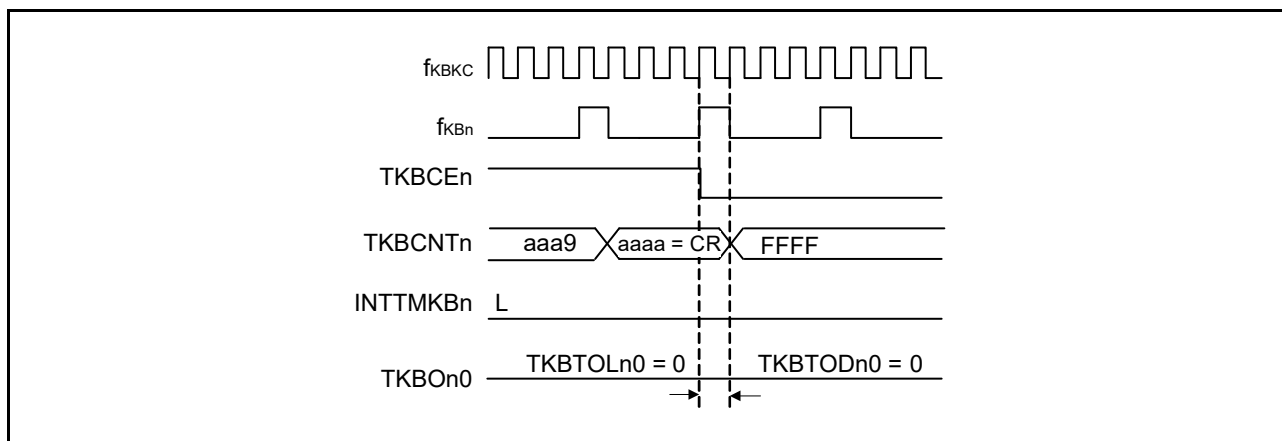
図9 - 36 動作停止のタイミング図 (TKBCEnビットを1から0に変更した場合)



TKBCEn ビットの操作が f_{KBn} の発生より前の場合、TKBCNTn = TKBCRn0 の一致が発生していても INTTMKBn は出力されず、TKBOnp も変化しません。

f_{KBKC} の1クロック後、TKBCNTn カウンタは FFFFH にリセットされ、TKBOnp は TKBTOdn0 ビットで設定しているデフォルトレベルになります。

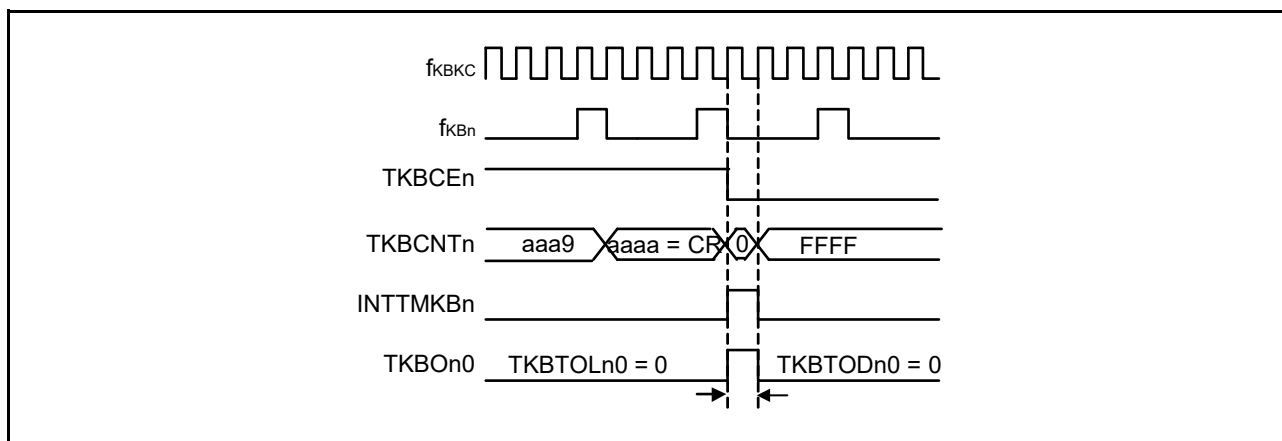
図9 - 37 動作停止のタイミング図 (TKBCEn の操作がタイマ・カウンタ・クロック発生前の場合)



TKBCEn ビットの操作が f_{KBn} の発生と同時の場合、TKBCNTn = TKBCRn0 の一致発生で INTTMKBn を出力し、TKBOnp がセットされます。

f_{KBKC} の1クロック後、TKBCNTn カウンタは FFFFH にリセットされ、TKBOnp は TKBTOdn0 ビットで設定しているデフォルトレベルになります。

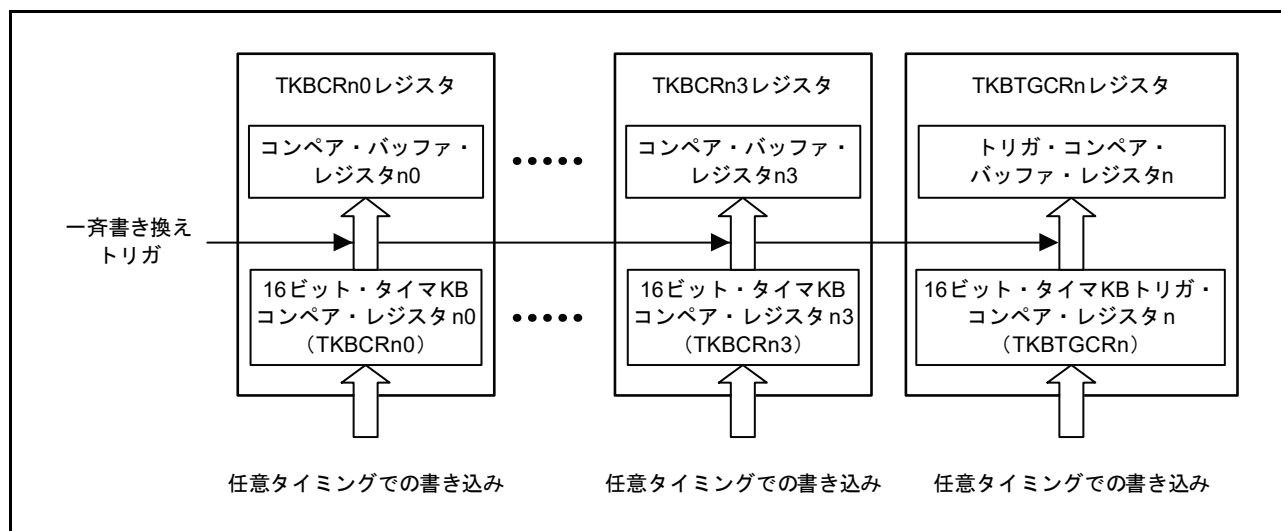
図9 - 38 動作停止のタイミング図 (TKBCEn の操作がタイマ・カウンタ・クロックの発生と同時の場合)



9.4.4 一斉書き換え動作

16ビット・タイマKB4nでは、16ビット・タイマKBコンペア・レジスタnp (TKBCRnp) は図9-39に示すように二段構成になっています。そのため、プログラムでTKBCRnpレジスタに値を設定しても、その値はただちに有効にはなりません。TKBCRnpレジスタに任意のタイミングで設定された値は、カウント動作開始や転送トリガ時に、バッファ・レジスタに一斉に転送され、実際に比較動作で使用されます。これにより、複数のコンペア・レジスタに異なるタイミングで値を設定できるようになっています。

図9-39 コンペア・レジスタ一斉書き換え機能



備考 16ビット・タイマKBコンペア・レジスタnp (TKBCRnp) はこのように二段構成になっていますが、値の書き込み以外では一つのレジスタとして扱います。バッファ・レジスタの値を直接読み出すことはできません。

(1) 一斉書き換えの手順

- (a) 16ビット・タイマKBフラグ・レジスタn (TKBFLGn) のTKBRSFnが0であることを確認
- (b) 16ビット・タイマKBコンペア・レジスタnp (TKBCRnp) を更新
- (c) 16ビット・タイマKBトリガ・レジスタn (TKBTRGn) のTKBRDTnビットに1を設定
- (d) 一斉書き換えタイミング発生 (2) 一斉書き換えトリガのタイミングに示した3条件)

(2) 一斉書き換えトリガのタイミング

コンペア・レジスタの一斉書き換えには次の3つの場合があります。このうち、(c)についてはレジスタ設定で制御することができます。

- (a) 16ビット・タイマKB4nのカウント動作開始時
- (b) 16ビット・タイマ・カウンタKBnのカウント値と16ビット・タイマKBコンペア・レジスタn0 (TKBCRn0) に設定された値が一致した。
- (c) 外部トリガによる一斉書き換え許可時に、外部トリガが発生した。

9.4.5 割り込み要求、A/D変換トリガの間引き制御

16ビット・タイマKB40, KB41, KB42は、割り込み要求やA/D変換トリガの間引き制御が可能です。TKBTCTLnレジスタのTKBTMDnビットにて、16ビット・タイマKB4n動作開始時の最初の1周期目の間引き出力を有効とするか無効とするかの設定が可能です。TKBTCTLnレジスタのTKBTMDnビットを1に設定すると、最初の1周期目の割り込み信号、A/Dトリガ信号を出力します。

図9-40に単体動作モードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力無効時（TKBTCTLn.TKBTMDn = 0）の動作例、図9-41に単体動作モードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力有効時（TKBTCTLn.TKBTMDn = 1）の動作例を示します。

図9-40 単体動作モードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力無効時（TKBTCTLn.TKBTMDn = 0）の動作例

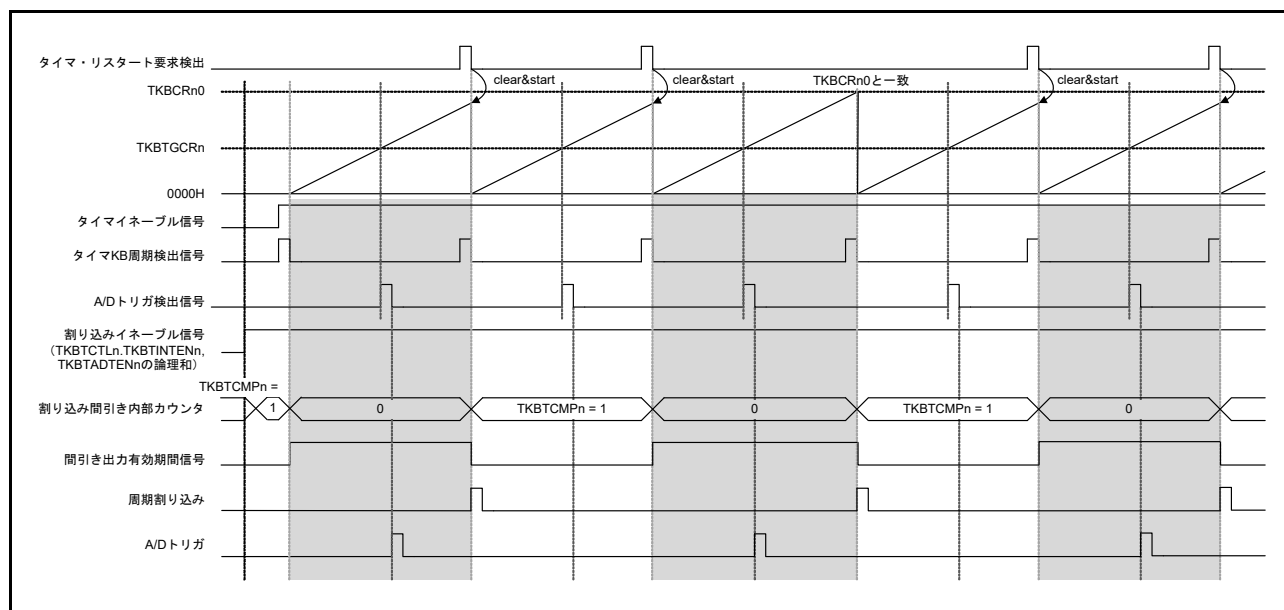
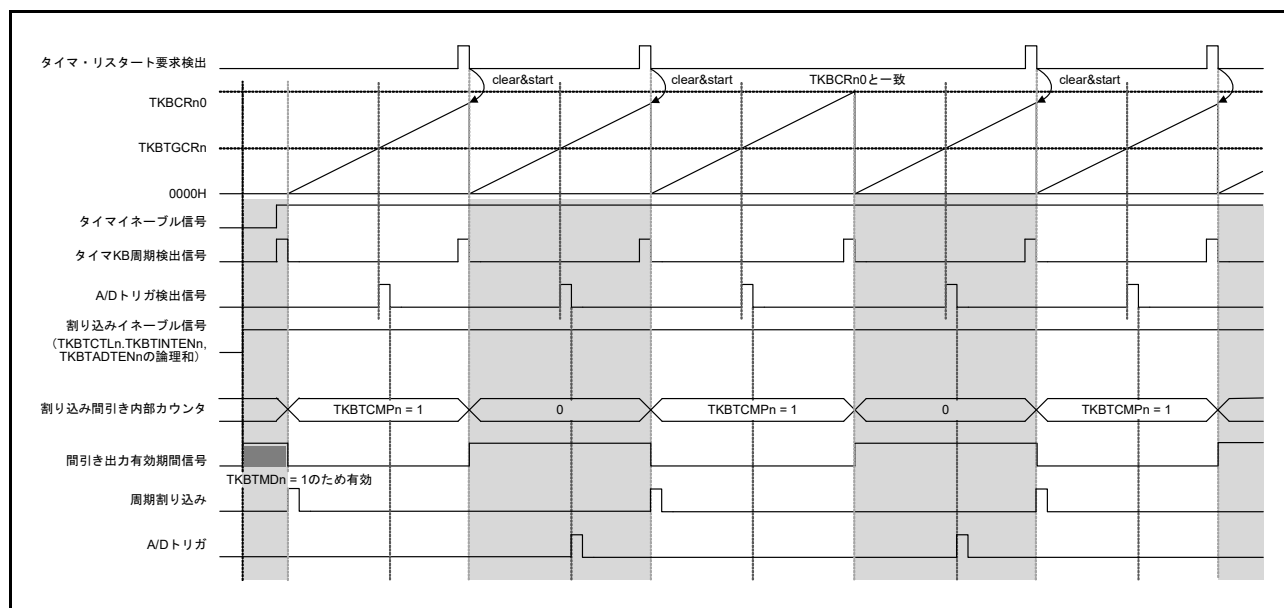


図9-41 単体動作モードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力有効時（TKBTCTLn.TKBTMDn = 1）の動作例



16ビット・タイマKB4nを同時スタート/クリアモードで動作させた場合、MasterとSlaveのカウンタ動作は同一となりますが、間引き制御はCH単位で可能なため、個別に周期割り込み、A/Dトリガの間引き制御が可能です。図9-42に同時スタート/クリアモードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力無効時（TKBTCTLn.TKBTMDn = 0）の動作例、図9-43に同時スタート/クリアモードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力有効時（TKBTCTLn.TKBTMDn = 1）の動作例を示します。

図9-42 同時スタート/クリアモードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力無効時（TKBTCTLn.TKBTMDn = 0）の動作例（Master：1間引き、Slave：3間引き）

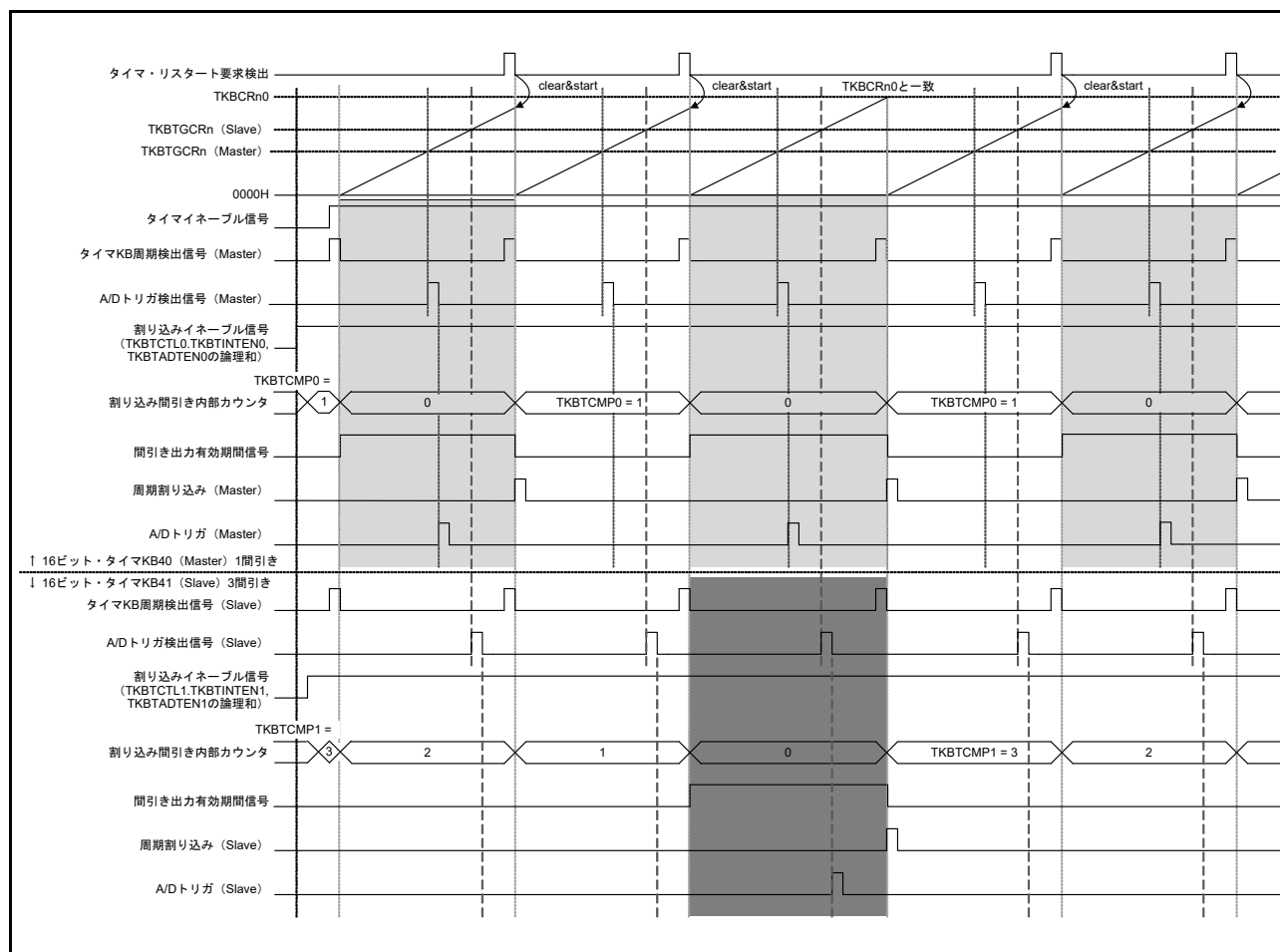
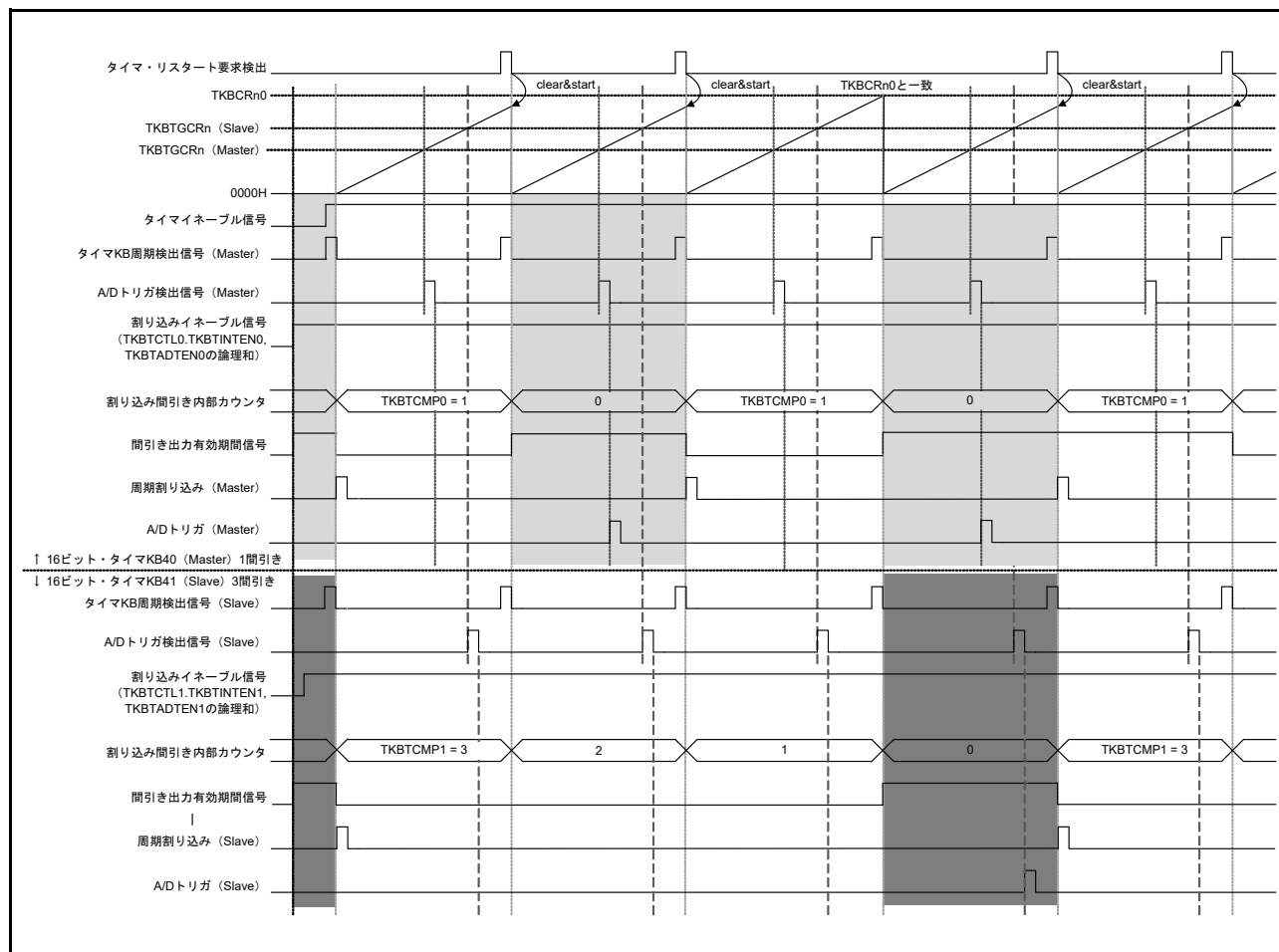


図9 - 43 同時スタート/クリアモードにおける16ビット・タイマKB4n動作開始1周期目の間引き出力有効時
(TKBTCTLn.TKBTMDn = 1) の動作例 (Master : 1間引き、Slave : 3間引き)



9.4.6 単体動作モード（TKBCRn0レジスタによる周期制御）

(1) 機能概要

単体動作モードでは、TKBCRn0レジスタの設定値で周期を決め、TKBCRn0レジスタとTKBCRn1レジスタによりTKBOn0を生成し、TKBCRn2レジスタとTKBCRn3レジスタによりTKBOn1を生成します。

デューティは、0%～100%の範囲で設定可能で、周期とデューティは以下の計算式で求められます。

【TKBOn0出力の計算式】

パルス周期 = (TKBCRn0の設定値 + 1) × カウント・クロック周期

デューティ [%] = (TKBCRn1の設定値 / (TKBCRn0の設定値 + 1)) × 100

0%出力 : TKBCRn1の設定値 = 0000H

100%出力 : TKBCRn1の設定値 ≥ TKBCRn0の設定値 + 1

【TKBOn1出力の計算式】

デューティ [%] = ((TKBCRn3の設定 - TKBCRn2の設定) / (TKBCRn0の設定 + 1)) × 100

0%出力 : TKBCRn3の設定値 = TKBCRn2の設定値

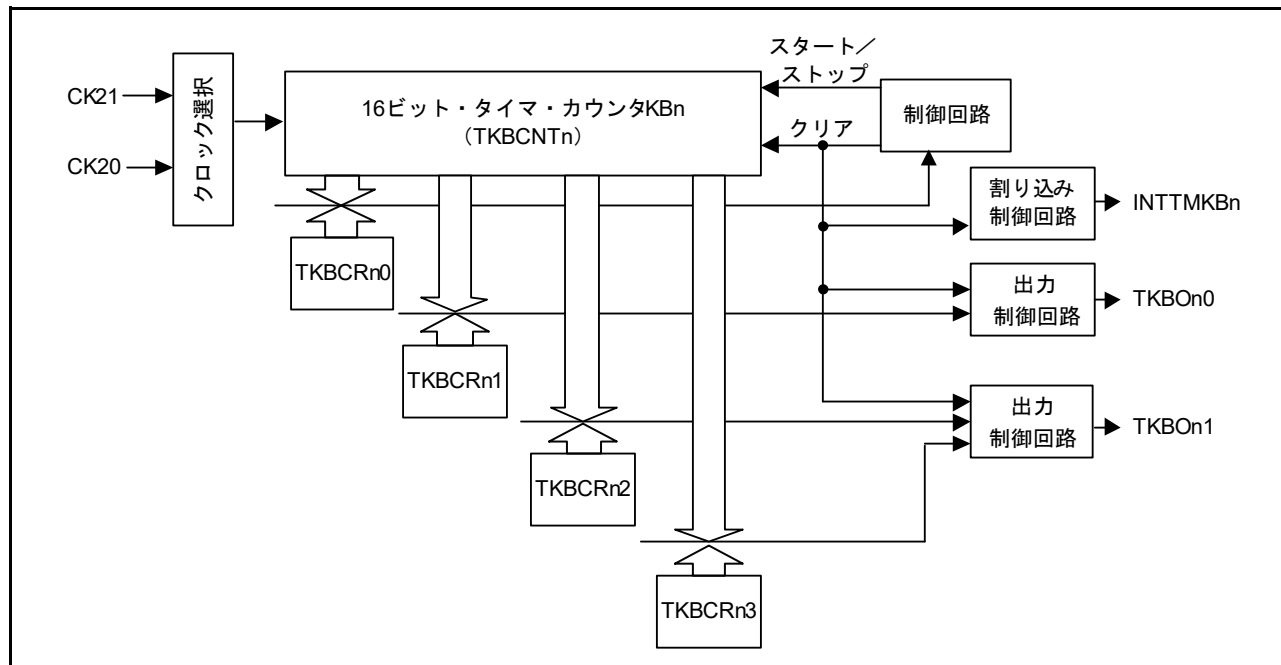
100%出力 : TKBCRn2の設定値 = 0000H

TKBCRn3の設定値 ≥ TKBCRn0の設定値 + 1

注意 必ずTKBCRn2の設定値 ≤ TKBCRn3の設定値としてください。

図9 - 44に単体動作時の構成図を示します。

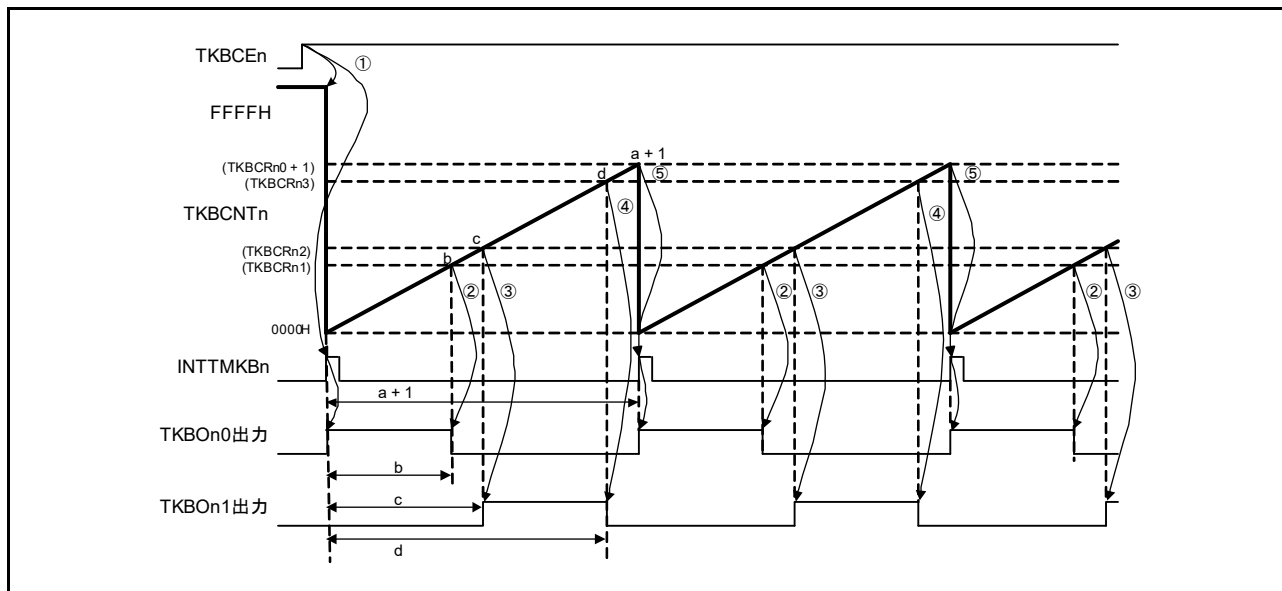
図9 - 44 単体動作時の構成図（TKBCRn0レジスタによる周期制御）



(2) 動作概要

図9 - 45に単体動作タイミング例を示します。

図9 - 45 単体動作タイミング例 (TKBCRn0レジスタによる周期制御)
(出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



単体動作 (TKBCRn0による周期制御) の動作例について説明します。図9 - 45の①～⑤の説明を次に示します。

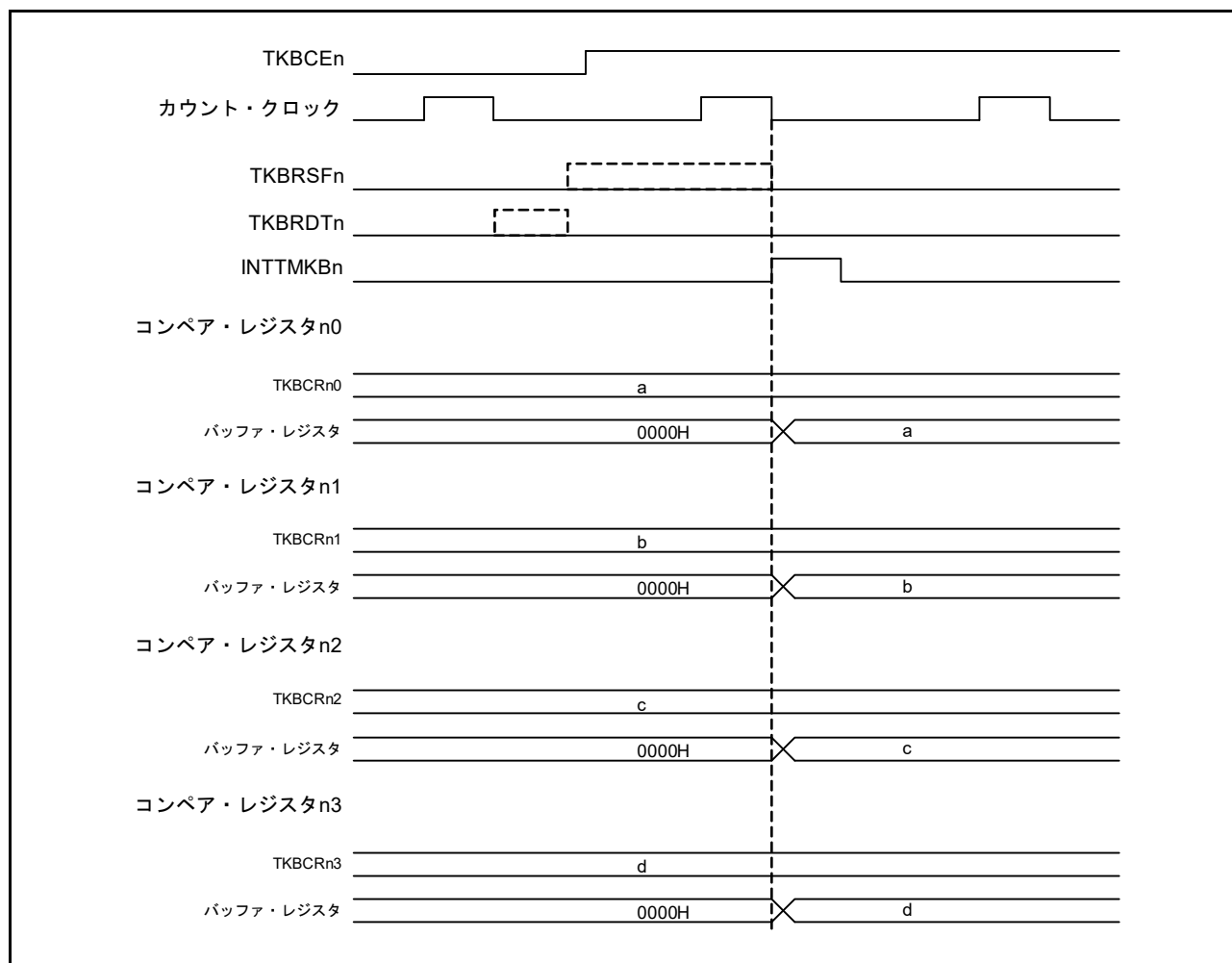
- ① TKBCEnビットに1を設定すると、カウント・クロックに同期して16ビット・タイマ・カウンタKBn (TKBCNTn) はFFFFHから0000Hになり、アップ・カウントを開始します。同時にINTTMKBnが出力され、TKBOn0出力がTKBIOCn0レジスタのTKBTODn0ビットで指定されたデフォルト値からTKBTOLn0ビットで指定されたアクティブ値 (この例ではハイ・レベル) に変化します (TKBOn1出力はTKBTODn1ビットで指定されたデフォルト値を保持しています)。
- ② TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn1 (TKBCRn1) に設定されている値と一致すると、TKBOn0出力がイン・アクティブ・レベルとなります。
- ③ TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn2 (TKBCRn2) に設定されている値と一致すると、TKBOn1出力がアクティブ・レベルとなります。
- ④ TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn3 (TKBCRn3) に設定されている値と一致すると、TKBOn1出力がイン・アクティブ・レベルとなります。
- ⑤ TKBCNTnカウンタがカウント・アップして16ビット・タイマKBコンペア・レジスタn0 (TKBCRn0) に設定されている値と一致すると、次のカウント・クロックでINTTMKBnが出力され、TKBOn0出力がアクティブ・レベルとなります。TKBCNTnカウンタは0000Hからカウント・アップします。
- ⑥ 以降②～⑤を繰り返します。

(3) 一斉書き換えの動作（カウント動作開始時）

16ビット・タイマKB4nのコンペア・レジスタは、TKBCTLn1レジスタのTKBCEnビットへの1書き込み後のカウント・クロック発生によるカウンタの動作開始タイミングで、内部バッファ・レジスタを一斉に更新する機能になっています。

カウント動作開始タイミングにかぎり、TKBTRGnレジスタのTKBRDTnビットへ1を書き込まなくても一斉書き換えが発生します（図9-46参照）。

図9-46 一斉書き換え機能：カウント動作開始時のバッファ更新タイミング図



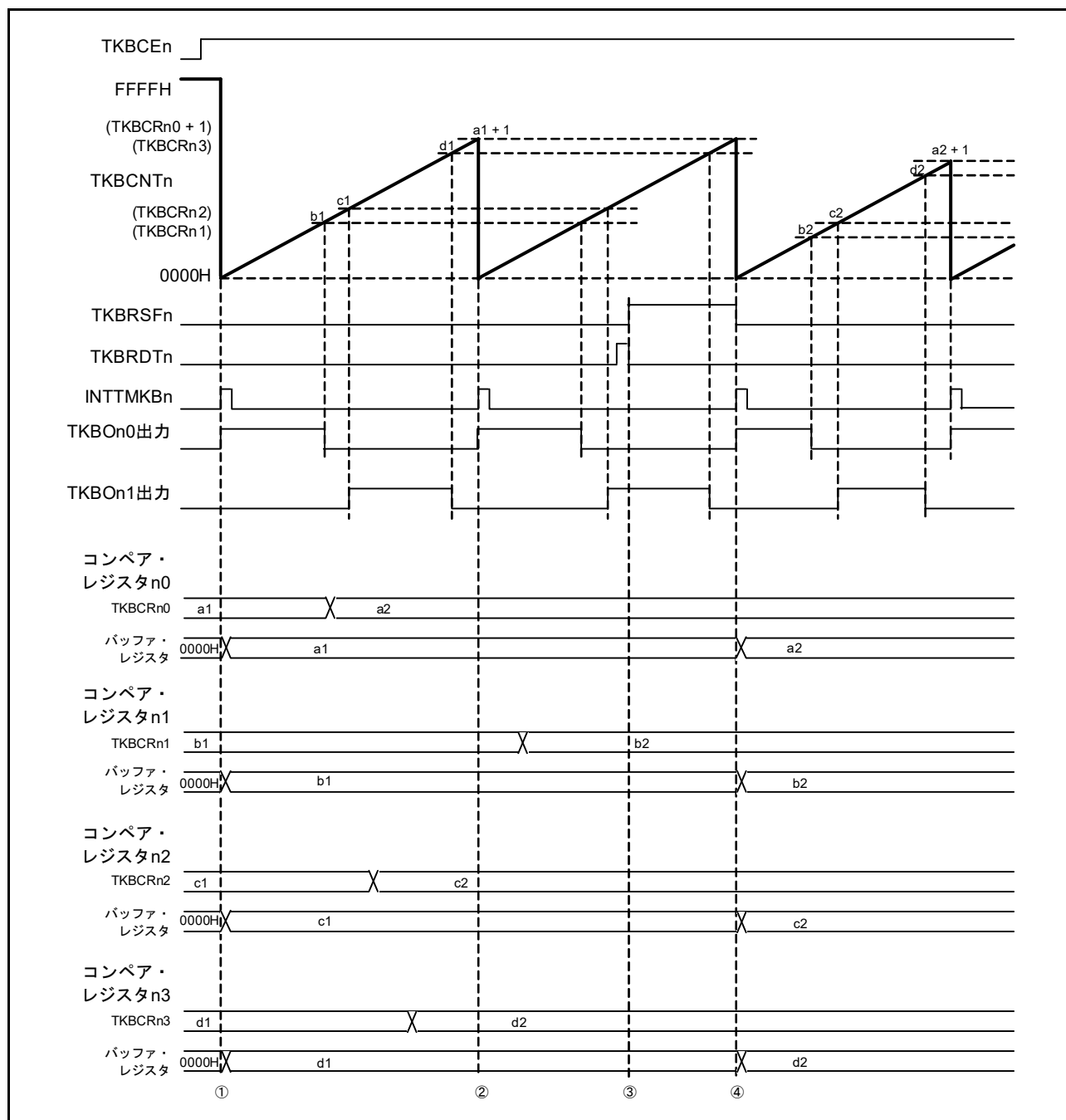
備考 TKBCEn = 0のとき、TKBRDTnビットに1を書き込むとTKBRSFnフラグに1がセットされ、カウント動作開始タイミング（カウンタ・スタート・トリガ発生）でTKBRSFnフラグが0にクリアされます。

(4) 一斉書き換えの動作（カウント動作中のバッファ更新）

16ビット・タイマKB4nのコンペア・レジスタは、TKBRDTnビットへの1の書き込みを一斉書き換えトリガとして、次のカウンタ・クリア（TKBCNTnカウンタとTKBCRn0レジスタの一致）のタイミングで内部バッファ・レジスタを一斉に更新するようになっています。TKBRDTnビットへの1書き込みから一斉書き換え完了までを示すフラグとして、TKBRSFnフラグを準備しています（図9-47参照）。

- ① TKBCEnビットを0から1に設定し、TKBCNTnカウンタがカウント動作を開始するタイミングで、コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ② TKBCRnm, TKBTGCRnレジスタ書き換え後、カウンタ・クリアが発生した場合であっても、TKBRDTnビットへ1を書き込んでいなければ一斉書き換えは発生しません。
- ③ TKBRDTnビットへの1書き込みにより、一斉書き換え保留フラグ（TKBRSFnフラグ）が1となります。
- ④ TKBRSFnフラグが1のときの、カウンタ・クリア発生により、コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に、TKBRSFnフラグが0となります。

図9 - 47 一斉書き換え機能：カウント動作中のバッファ更新タイミング図



(5) 単体動作モード（TKBCRn0レジスタによる周期制御）でのレジスタ設定内容例

TKBCTLn0	15	14	13	12	11	10	9	8
	TKBTGMn 1 0	— 0	TKBSSEn1 1/0	TKBDIEn1 1/0	TKBTGMn 0 0	— 0	TKBSSEn0 1/0	TKBDIEn0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEn 0	TKBIRSn2 1/0	TKBIRSn1 0	TKBIRSn0 0	TKBIHEn 0	TKBTSEn 0	TKBSTSn1 0	TKBSTSn0 0
TKBCTLn1	7	6	5	4	3	2	1	0
	TKBCEn 1/0	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 0	TKBMDn0 0
TKBIOcn0	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
TKBIOcn1	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
TKBCTLn2	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	— 0	— 0
	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	TKBINSn2 0	TKBINSn1 0	TKBINSn0 0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H



: このモードでは設定固定



: 設定不要（初期値を設定）

9.4.7 単体動作モード（外部トリガ入力による周期制御）

(1) 機能概要

単体動作モードは、TKBCRn0レジスタによる周期制御だけでなく、外部トリガ入力にて周期を制御することもできます。（タイマ・リスタート機能）。本機能を使用することにより、たとえば臨界導通モードのPFC制御が実現可能です。

外部トリガ入力検出は、16ビット・タイマKB動作制御レジスタn0のTKBSTSn[1:0]ビット、16ビット・タイマKB動作制御レジスタn2のTKBINSn[2:0]ビットにより選択された入力信号を使用します。

外部トリガ入力検出により、TKBCNTnカウンタを0000Hにクリアし、TKBOn0/TKBOn1出力をそれぞれアクティブ・レベルとイン・アクティブ・レベルにします。外部トリガ入力検出より先に、TKBCRn0レジスタに設定されている値とTKBCNTnカウンタの値の一致が発生した場合は、TKBCNTnカウンタは0000Hにクリアされ動作を継続します。

外部トリガ入力未検出で、TKBCRn0レジスタにより周期制御した場合のTKBOn0/TKBOn1出力の計算式は、

9.4.6 単体動作モード（TKBCRn0レジスタによる周期制御）を参照してください。

外部トリガ入力検出により周期制御した場合のTKBOn0/TKBOn1出力の計算式は、以下のとおりです。

【TKBOn0出力の計算式】

パルス周期 = (外部トリガ入力検出時のカウンタ値 + 1) × カウント・クロック周期

デューティ [%] = (TKBCRn1の設定値 / (外部トリガ入力検出時のカウンタ値 + 1)) × 100

0%出力 : TKBCRn1の設定値 = 0000H

100%出力 : TKBCRn1の設定値 ≥ 外部トリガ入力検出時のカウンタ値 + 1

【TKBOn1出力の計算式】

パルス周期 = (外部トリガ入力検出時のカウンタ値 + 1) × カウント・クロック周期

デューティ [%] = ((TKBCRn3の設定値 - TKBCRn2の設定値) / (外部トリガ入力検出時のカウンタ値 + 1)) × 100

0%出力 : TKBCRn3の設定値 = TKBCRn2の設定値

100%出力 : TKBCRn2の設定値 = 0000H

TKBCRn3の設定値 ≥ 外部トリガ入力検出時のカウンタ値 + 1

注意 必ずTKBCRn2の設定値 ≤ TKBCRn3の設定値としてください。

図9-48に単体動作時の構成図（外部トリガ入力による周期制御）、表9-3に単体動作（外部トリガ入力による周期制御）の外部トリガ割り当て一覧を示します。

図9 - 48 単体動作時の構成図（外部トリガ入力による周期制御）

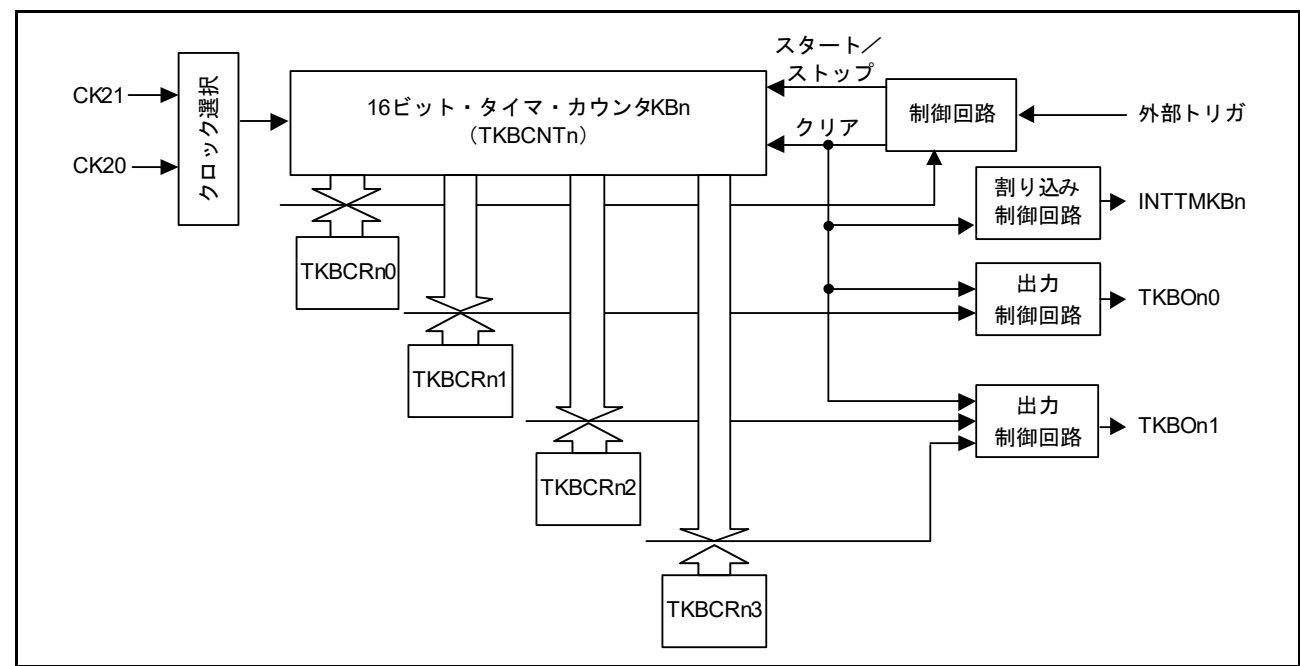


表9 - 3 単体動作（外部トリガ入力による周期制御）の外部トリガ割り当て一覧

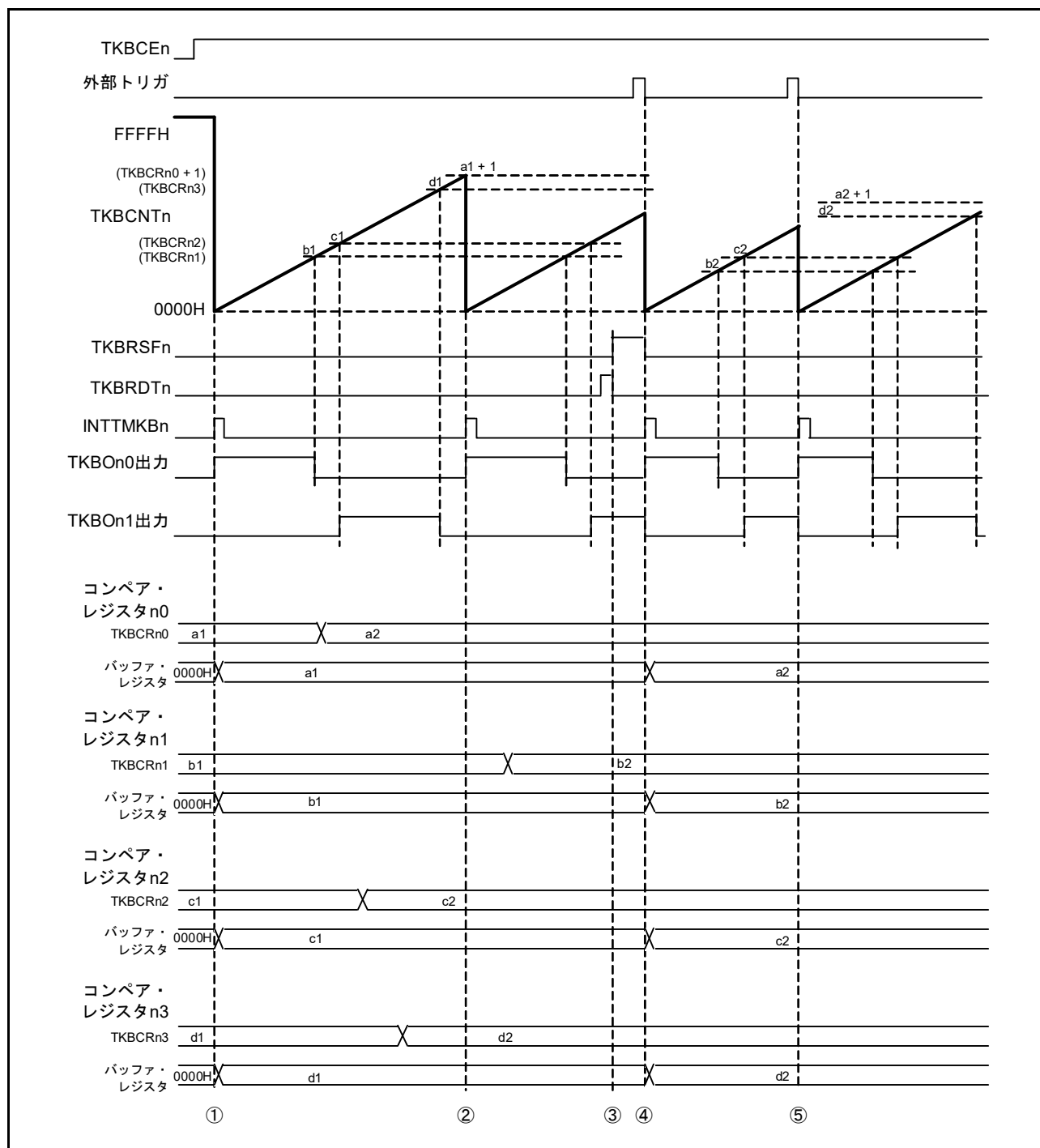
項目	16ビット・タイマKB40	16ビット・タイマKB41	16ビット・タイマKB42
INTP0	○	○	○
INTP1	○	○	○
INTP2	○	○	○
INTP3	○	○	○
INTP4	○	○	○
INTP5	○	○	○
INTP6	○	○	○
INTP7	○	○	○
コンパレータ0	○	○	○
コンパレータ1	○	○	○

- (2) 一斉書き換えの動作（外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新（TKBTSEnビットを1に設定））

外部トリガ入力による周期制御での単体動作時に、TKBCTLn0レジスタのTKBTSEnビットを1に設定することで、TKBRDTnビットへの1書き込み後の外部トリガ入力検出タイミングで、カウンタのクリア、およびコンペア・レジスタ一斉書き換えを実施することができます。カウンタ・クリア同様、TKBRDTnビットへの1書き込み後に、外部トリガ入力検出より先にTKBCRn0レジスタとTKBCNTnカウンタの一致が発生した場合も、一斉書き換えが実施されます。外部トリガ入力要因はTKBCTLn0レジスタのTKBSTSn[1:0]ビット、TKBCTLn2レジスタのTKBINSn[2:0]ビットで選択します。図9-49にTKBTSEnビットを1に設定した場合の一斉書き換えの動作タイミングの例を示します。

- ① TKBCEnビットを0から1に設定し、TKBCNTnカウンタがカウント動作を開始するタイミングで、コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ② TKBCRnm, TKBTGCRnレジスタ書き換え後、カウンタ・クリアが発生した場合であっても、TKBRDTnビットへ1を書き込んでいなければ一斉書き換えは発生しません。
- ③ TKBRDTnビットへの1書き込みにより、一斉書き換え保留フラグ（TKBRSFnフラグ）が1となります。
- ④ TKBTSEnビットが1に設定されて、TKBRSFnフラグが1のときの外部トリガ入力によるカウンタ・クリア発生により、コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に、TKBRSFnフラグが0となります。
- ⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても、TKBRDTnビットへ1を書き込んでいなければ一斉書き換えは発生しません。

図9 - 49 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図（TKBTSEnビットを1に設定）



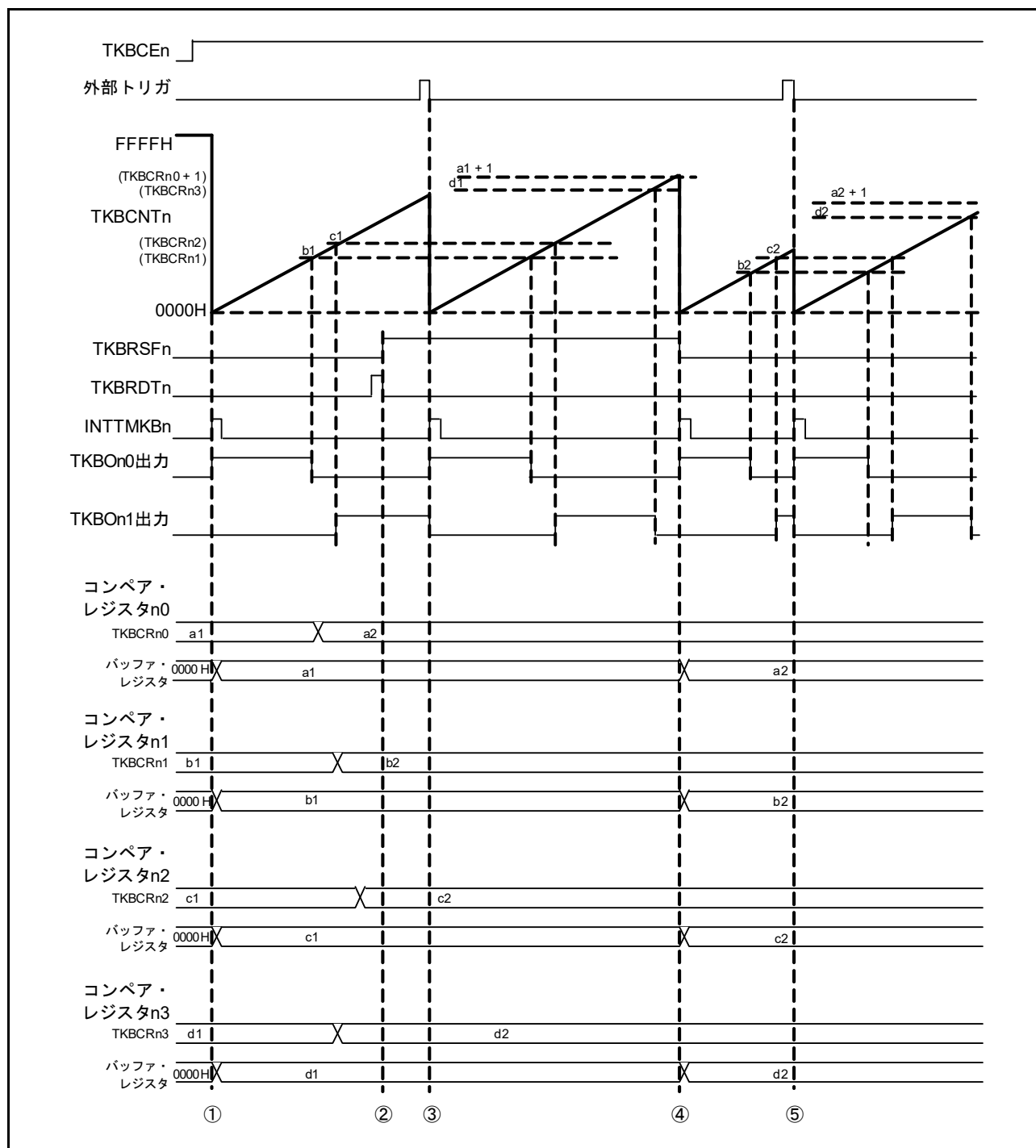
- (3) 一斉書き換えの動作（外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新（TKBTSEnビットを0に設定））

外部トリガ入力による周期制御での単体動作時に、TKBCTLn0レジスタのTKBTSEnビットを0に設定した場合の例です。この場合には、TKBRDTnビットに1が書き込まれて、一斉書き換え保留フラグ（TKBRSFnフラグ）が1の状態でも外部トリガ入力を検出すると、カウンタのクリアは行われますが、コンペア・レジスタ一斉書き換えは行いません。

外部トリガ入力要因はTKBCTLn0レジスタのTKBSTSn[1:0]ビット、TKBCTLn2レジスタのTKBINSn[2:0]ビットで選択します。図9-50にTKBTSEnビットを0に設定した場合の一斉書き換えの動作タイミングの例を示します。

- ① TKBCEnビットを0から1に設定し、TKBCNTnがカウント動作を開始するタイミングで、コンペア・レジスタへの設定値がバッファ・レジスタに転送されます。
- ② TKBCRnm, TKBTGCRnレジスタ書き換え後、TKBRDTnビットへの1書き込みにより、一斉書き換え保留フラグ（TKBRSFnフラグ）が1となります。
- ③ 外部トリガ入力により、カウンタ・クリアが発生した場合であっても、TKBTSEnビットが1になっていなければ一斉書き換えは発生しません。
- ④ TKBRSFnフラグが1の状態でも、カウンタ・クリア（TKBCNTnカウンタとTKBCRn0レジスタの一致）が発生すると、コンペア・レジスタの設定値がバッファ・レジスタに転送されます。同時に、TKBRSFnフラグが0となります。
- ⑤ 外部トリガ入力によるカウンタ・クリア発生が発生した場合であっても、TKBTSEnビットとTKBRSFnフラグが1の状態でなければ一斉書き換えは発生しません。

図9 - 50 一斉書き換え機能：外部トリガ入力による周期制御での単体動作時、カウント動作中のバッファ更新タイミング図（TKBTSEnビットを0に設定）



(4) 単体動作モード（外部トリガ入力による周期制御）でのレジスタ設定内容例

TKBCTLn0	15	14	13	12	11	10	9	8
	TKBTGMn 1 1/0	— 0	TKBSSEn1 1/0	TKBDIE n1 1/0	TKBTGMn 0 1/0	— 0	TKBSSEn0 1/0	TKBDIE n0 1/0
	7	6	5	4	3	2	1	0
	TKBMFE n 1/0	TKBIRSn2 1/0	TKBIRSn1 0	TKBIRSn0 0	TKBIHE n 1/0	TKBTSE n 1/0	TKBSTSn1 1/0	TKBSTSn0 1/0
TKBCTLn1	7	6	5	4	3	2	1	0
	TKBCE n 1/0	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 0	TKBMDn0 0
TKBIOCn0	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
TKBIOCn1	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
TKBCTLn2	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	— 0	— 0
	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	TKBINSn2 1/0	TKBINSn1 1/0	TKBINSn0 1/0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H-FFFFH
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H-FFFFH
TKBSIRn1	0000H-FFFFH
TKBSSRn0	00H-0FH
TKBSSRn1	00H-0FH
TKBDNRn0	00H-F0H
TKBDNRn1	00H-F0H
TKBMFRn	0000H-FFFFH



: このモードでは設定固定



: 設定不要（初期値を設定）

9.4.8 同時スタート／ストップ・モード

(1) 機能概要

複数の16ビット・タイマKB4nを使ってマスタ／スレーブ構成にすることで、マスタの16ビット・タイマKB40のカウント開始／停止タイミングと同期してスレーブの16ビット・タイマKB4mを同時スタート&ストップさせることができます。

その場合、マスタは「単体動作モード（TKBMD0[1:0] = 00B）」、スレーブは「同時スタート／ストップ・モード（TKBMD0[1:0] = 01B）」を選択してください。

同時スタート／ストップ・モードでは、マスタとスレーブのスタート／ストップ・タイミングのみが同期します。

マスタとスレーブにおいて、選択するカウント・クロック（CK0/CK1）が異なる場合、マスタのTKBSCM0ビットを1に設定することで、マスタとスレーブのカウント動作開始タイミングをそろえることができます。

カウント動作開始タイミング以降は、各タイマで個別動作となります。

タイマKB41とタイマKB42をスレーブとして動作させ、タイマKB41とタイマKB42が異なるクロックを選択する場合は、タイマKB40のTKBSCM0ビット、およびマスタと同一クロックを選択するスレーブのTKBSCMmビットを1に設定します。

注意1. 16ビット・タイマKB40のみマスタとなります。

注意2. マスタ選択クロックは、必ずスレーブ選択クロックより速いか同じクロックにしてください。

マスタとスレーブの選択クロックの関係	CK0とCK1の関係	TKBSCMnビット	対応可能
マスタとスレーブが同一クロックを選択	—	0	○
マスタとスレーブが異なるクロックを選択	マスタの選択クロックが、スレーブ選択クロックより速い場合	1	○
マスタとスレーブが異なるクロックを選択	マスタの選択クロックが、スレーブ選択クロックより遅い場合	—	×

同時スタート／ストップ・モードでのTKBOn0/TKBOn1出力の計算式は、**9.4.6 単体動作モード（TKBCRn0レジスタによる周期制御）**、**9.4.7 単体動作モード（外部トリガ入力による周期制御）**を参照してください。

備考 n = 0-2; m = 1, 2

(2) 同時スタート/ストップ・モード

マスタ : 単体動作モードでのレジスタ設定内容例

TKBCTL00	15	14	13	12	11	10	9	8
	TKBTGM0 1 1/0	— 0	TKBSSE01 1/0	TKBDIE01 1/0	TKBTGM0 0 1/0	— 0	TKBSSE00 1/0	TKBDIE00 1/0
	7	6	5	4	3	2	1	0
	TKBMFE0 1/0	TKBIRS02 1/0	TKBIRS01 0	TKBIRS00 0	TKBIHE0 1/0	TKBTSE0 1/0	TKBSTS01 1/0	TKBSTS00 1/0
TKBCTL01	7	6	5	4	3	2	1	0
	TKBCE0 1/0	— 0	— 0	TKBCKS0 1/0	TKBSCM0 1/0	— 0	TKBMD01 0	TKBMD00 0
TKBIOC00	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOL01 1/0	TKBTOL00 1/0	TKBTOD01 1/0	TKBTOD00 1/0
TKBIOC01	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOE01 1/0	TKBTOE00 1/0
TKBCTL02	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	— 0	— 0
	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	TKBINS02 1/0	TKBINS01 1/0	TKBINS00 1/0

TKBCR00	0000H-FFFFH
TKBCR01	0000H-FFFFH
TKBCR02	0000H-FFFFH
TKBCR03	0000H-FFFFH
TKBTGCR0	0000H-FFFFH
TKBSIR00	0000H-FFFFH
TKBSIR01	0000H-FFFFH
TKBSSR00	00H-0FH
TKBSSR01	00H-0FH
TKBDNR00	00H-F0H
TKBDNR01	00H-F0H
TKBMFR0	0000H-FFFFH



: このモードでは設定固定



: 設定不要（初期値を設定）

(3) 同時スタート/ストップ・モード

スレープ：同時スタート/ストップ・モードでのレジスタ設定内容例

TKBCTLm0	15	14	13	12	11	10	9	8
	TKBTGMm 1 1/0	— 0	TKBSSEm 1 1/0	TKBDIEm1 1/0	TKBTGMm 0 1/0	— 0	TKBSSEm 0 1/0	TKBDIEm0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEEm 1/0	TKBIRSm2 1/0	TKBIRSm1 0	TKBIRSm0 0	TKBIHEm 1/0	TKBTSEm 1/0	TKBSTSm 1 1/0	TKBSTSm 0 1/0
TKBCTLm1	7	6	5	4	3	2	1	0
	TKBCEm 0	— 0	— 0	TKBCKSm 1/0	TKBSCMm 1/0	— 0	TKBMDm1 0	TKBMDm0 1
TKBIOCm0	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOLm1 1/0	TKBTOLm0 1/0	TKBTODm 1 1/0	TKBTODm 0 1/0
TKBIOCm1	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEm 1 1/0	TKBTOEm 0 1/0
TKBCTLm2	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	— 0	— 0
	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	TKBINSm2 1/0	TKBINSm1 1/0	TKBINSm0 1/0

TKBCRm0	0000H-FFFFH
TKBCRm1	0000H-FFFFH
TKBCRm2	0000H-FFFFH
TKBCRm3	0000H-FFFFH
TKBTGCRm	0000H-FFFFH
TKBSIRm0	0000H-FFFFH
TKBSIRm1	0000H-FFFFH
TKBSSRm0	00H-0FH
TKBSSRm1	00H-0FH
TKBDNRm0	00H-F0H
TKBDNRm1	00H-F0H
TKBMFRm	0000H-FFFFH



: このモードでは設定固定



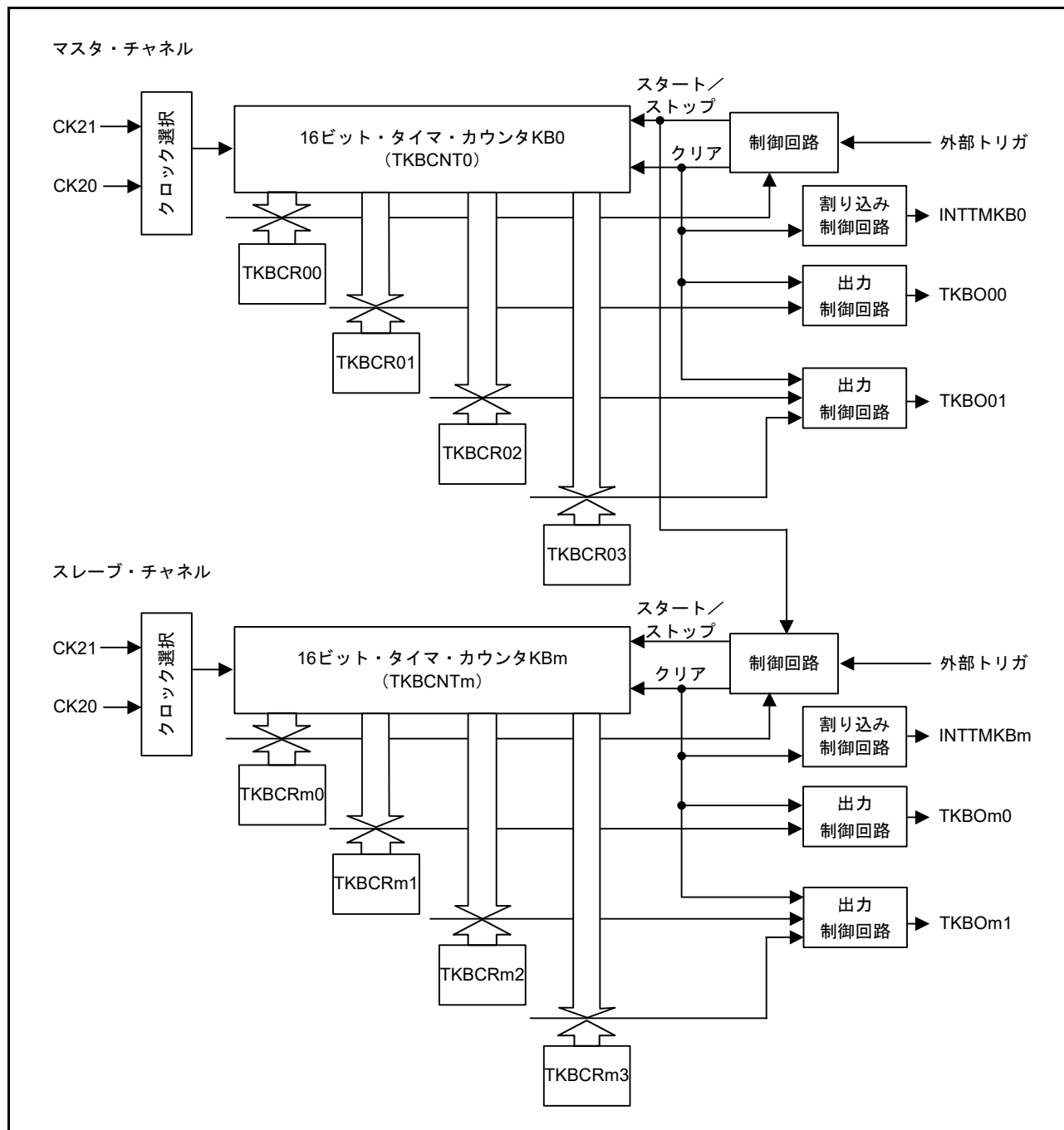
: 設定不要（初期値を設定）

備考 m = 1, 2

(4) 同時スタート/ストップ・モードの構成図

図9-51に同時スタート/ストップ・モード時の構成図を示します。

図9-51 同時スタート/ストップ・モード時の構成図

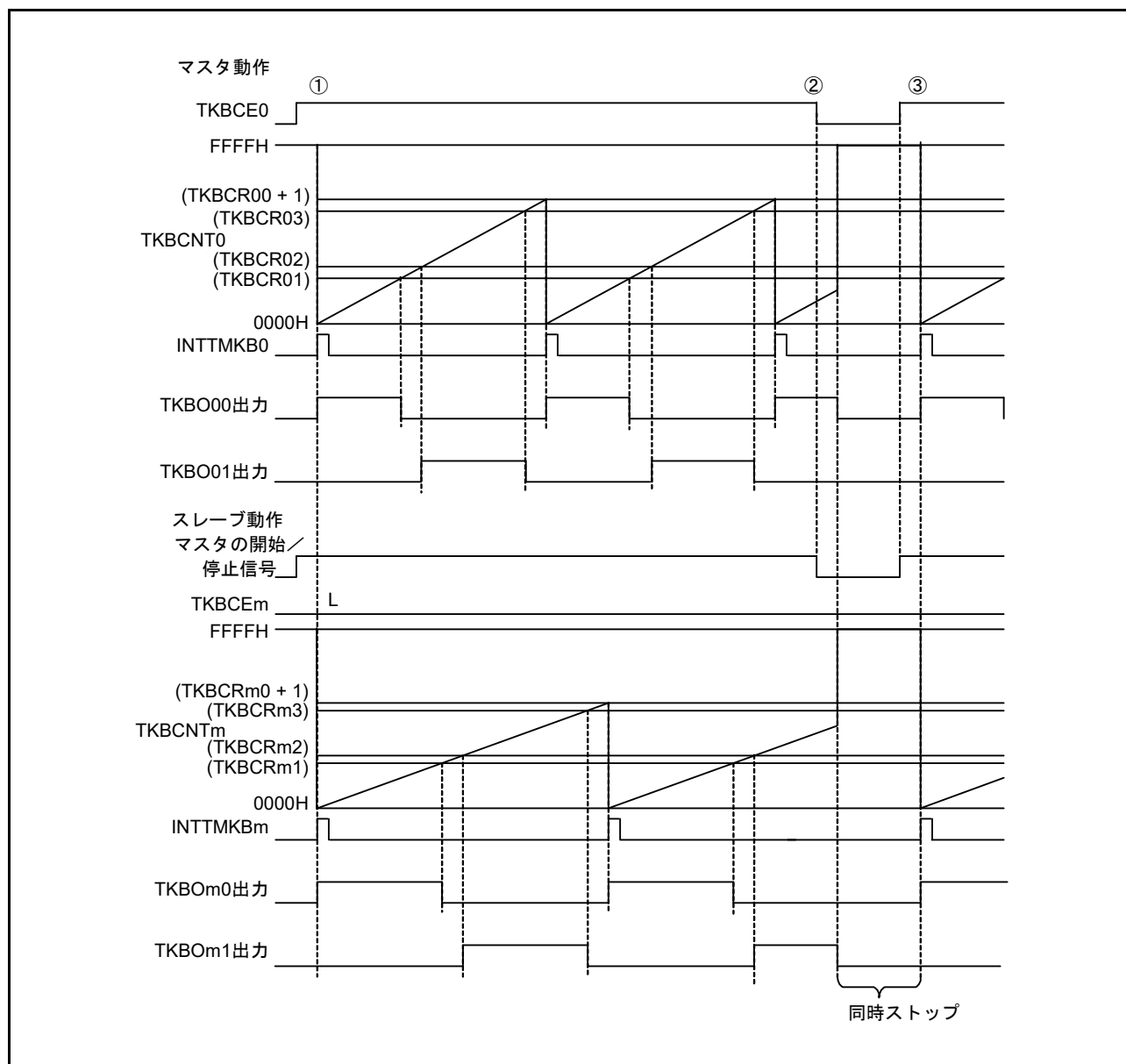


備考 m = 1, 2

(5) 動作概要

図9-52に同時スタート/ストップ・モード動作タイミング例を示します。

図9 - 52 同時スタート/ストップ・モード動作タイミング例
(TKBCR00レジスタによる周期制御) (出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティ
ブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



備考 $m = 1, 2$

同時スタート/ストップ・モードの動作例について説明します。図9-52の①～③の説明を次に示します。

- ① マスタのTKBCE0ビットに1を設定すると、カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB0（TKBCNT0）とスレーブの16ビット・タイマ・カウンタKBm（TKBCNTm）はFFFFHから0000Hになり、アップ・カウントを開始します。同時にマスタからはINTTMKB0、スレーブからはINTTMKBmが出力され、TKBO00出力とTKBOm0出力がデフォルト値からアクティブ値（この例ではハイ・レベル）に変化します。以降の細かな動作は図9-45 単体動作タイミング例を参照してください。
- ② TKBCE0に0を設定すると、16ビット・タイマKB4nの入力クロックに同期してマスタのTKBCNT0カウンタとスレーブのTKBCNTmカウンタはカウント・アップを停止して、FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0ビットに1が設定されるまで継続します。
- ③ マスタのTKBCE0ビットに1を設定すると、①からと同じ動作を繰り返します。

9.4.9 同時スタート／クリア・モード

(1) 機能概要

複数の16ビット・タイマKB4nを使ってマスタ／スレーブ構成にしている場合、マスタの16ビット・タイマKB40のカウント開始／停止タイミング、カウンタクリアタイミングおよび一斉書き換えタイミングと同期してスレーブの16ビット・タイマKB4mを同時スタート＆クリアさせることができます。

その場合、マスタを「単体動作モード (TKBMD0[1:0] = 00B)」、スレーブを「同時スタート／クリア・モード (TKBMDm[1:0] = 10B)」で動作させます。

TKBCKS0ビットおよびTKBCKSmビットは、必ずマスタ／スレーブが同一の分周クロックを選択するようにしてください。

マスタのTKBO00/TKBO01出力の算出式は、**9.4.6 単体動作モード (TKBCRn0 レジスタによる周期制御)**、

9.4.7 単体動作モード (外部トリガ入力による周期制御)を参照してください。

一斉書き換えは、マスタのTKBRDT0ビットへ1を書き込むことで制御されます。

一斉書き換え時には、マスタのTKBRSF0フラグを確認してください。マスタのTKBCNT0カウンタのクリア・タイミングで、スレーブのTKBCNTmカウンタもクリアされます。

マスタの一斉書き換えタイミングで、スレーブのコンペア・レジスタも一斉書き換えされます。

スレーブは、マスタの周期 (TKBCR00の設定値 + 1、または外部トリガ入力検出時のカウンタ値 + 1) に従って動作するため、スレーブのTKBCRm0レジスタはTKBOm0のアクティブ・タイミングを設定するレジスタに役割が変更になります。

INTTMKBmは、TKBCNT0カウンタのカウント動作開始タイミング、およびTKBCNT0カウンタのクリアタイミングにより生成されます。間引き制御を適用しない場合の出力タイミングは、INTTMKB0と同一となります。

スレーブのデューティは、0%～100%の範囲で設定可能で、以下の計算式で求められます。

【スレーブのTKBOm0出力の計算式】

パルス周期 = マスタの周期 × カウント・クロック周期

デューティ [%] = ((TKBCRm1の設定値 - TKBCRm0の設定値) / マスタの周期) × 100

0% 出力 : TKBCRm1 の設定値 = TKBCRm0 の設定値

100% 出力 : TKBCRm0 の設定値 = 0000H

TKBCRm1 の設定値 ≥ マスタの周期

注意 必ず、TKBCRm0の設定値 ≤ TKBCRm1の設定値としてください。

【スレーブのTKBOm1出力の演算式】

パルス周期 = マスタの周期 × カウント・クロック周期

デューティ [%] = ((TKBCRm3の設定値 - TKBCRm2の設定値) / マスタの周期) × 100

0% 出力 : TKBCRm3 の設定値 = TKBCRm2 の設定値

100% 出力 : TKBCRm2 の設定値 = 0000H

TKBCRm3 の設定値 ≥ マスタの周期

注意 必ず、TKBCRm2の設定値 ≤ TKBCRm3の設定値としてください。

備考 n = 0-2; m = 1, 2

(2) 同時スタート/クリア・モード

マスタ：単体動作モードでのレジスタ設定内容例

TKBCTL00	15	14	13	12	11	10	9	8
	TKBTGM0 1 0	— 0	TKBSSE01 1/0	TKBDIE01 1/0	TKBTGM0 0 0	— 0	TKBSSE00 1/0	TKBDIE00 1/0
	7	6	5	4	3	2	1	0
	TKBMFE0 1/0	TKBIRS02 1/0	TKBIRS01 0	TKBIRS00 0	TKBIHE0 0	TKBTSE0 1/0	TKBSTS01 1/0	TKBSTS00 1/0
TKBCTL01	7	6	5	4	3	2	1	0
	TKBCE0 1/0	— 0	— 0	TKBCKS0 1/0	TKBSCM0 0	— 0	TKBMD01 0	TKBMD00 0
TKBIOC00	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOL01 1/0	TKBTOL00 1/0	TKBTOD01 1/0	TKBTOD00 1/0
TKBIOC01	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOE01 1/0	TKBTOE00 1/0
TKBCTL02	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	— 0	— 0
	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	TKBINS02 1/0	TKBINS01 1/0	TKBINS00 1/0

TKBCR00	0000H-FFFFH
TKBCR01	0000H-FFFFH
TKBCR02	0000H-FFFFH
TKBCR03	0000H-FFFFH
TKBTGCR0	0000H-FFFFH
TKBSIR00	0000H-FFFFH
TKBSIR01	0000H-FFFFH
TKBSSR00	00H-0FH
TKBSSR01	00H-0FH
TKBDNR00	00H-F0H
TKBDNR01	00H-F0H
TKBMFR0	0000H-FFFFH



: このモードでは設定固定



: 設定不要（初期値を設定）

(3) 同時スタート/クリア・モード

スレープ : 同時スタート/クリア・モードでのレジスタ設定内容例

TKBCTLm0	15	14	13	12	11	10	9	8
	TKBTGMm 1 0	— 0	TKBSSEm 1 1/0	TKBDIEm1 1/0	TKBTGMm 0 0	— 0	TKBSSEm 0 1/0	TKBDIEm0 1/0
	7	6	5	4	3	2	1	0
	TKBMFEEm 0	TKBIRSm2 1/0	TKBIRSm1 0	TKBIRSm0 0	TKBIHEm 0	TKBTSEm 0	TKBSTSm 1 0	TKBSTSm 0 0
TKBCTLm1	7	6	5	4	3	2	1	0
	TKBCEm 0	— 0	— 0	TKBCKSm 1/0	TKBSCMm 0	— 0	TKBMDm1 1	TKBMDm0 0
TKBIOCm0	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOLm1 1/0	TKBTOLm0 1/0	TKBTODm 1 1/0	TKBTODm 0 1/0
TKBIOCm1	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEm 1 1/0	TKBTOEm 0 1/0
TKBCTLm2	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	— 0	— 0
	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	TKBINSm2 0	TKBINSm1 0	TKBINSm0 0

TKBCRm0	0000H-FFFFH
TKBCRm1	0000H-FFFFH
TKBCRm2	0000H-FFFFH
TKBCRm3	0000H-FFFFH
TKBTGCRm	0000H-FFFFH
TKBSIRm0	0000H-FFFFH
TKBSIRm1	0000H-FFFFH
TKBSSRm0	00H-0FH
TKBSSRm1	00H-0FH
TKBDNRm0	00H-F0H
TKBDNRm1	00H-F0H
TKBMFRm	0000H



: このモードでは設定固定



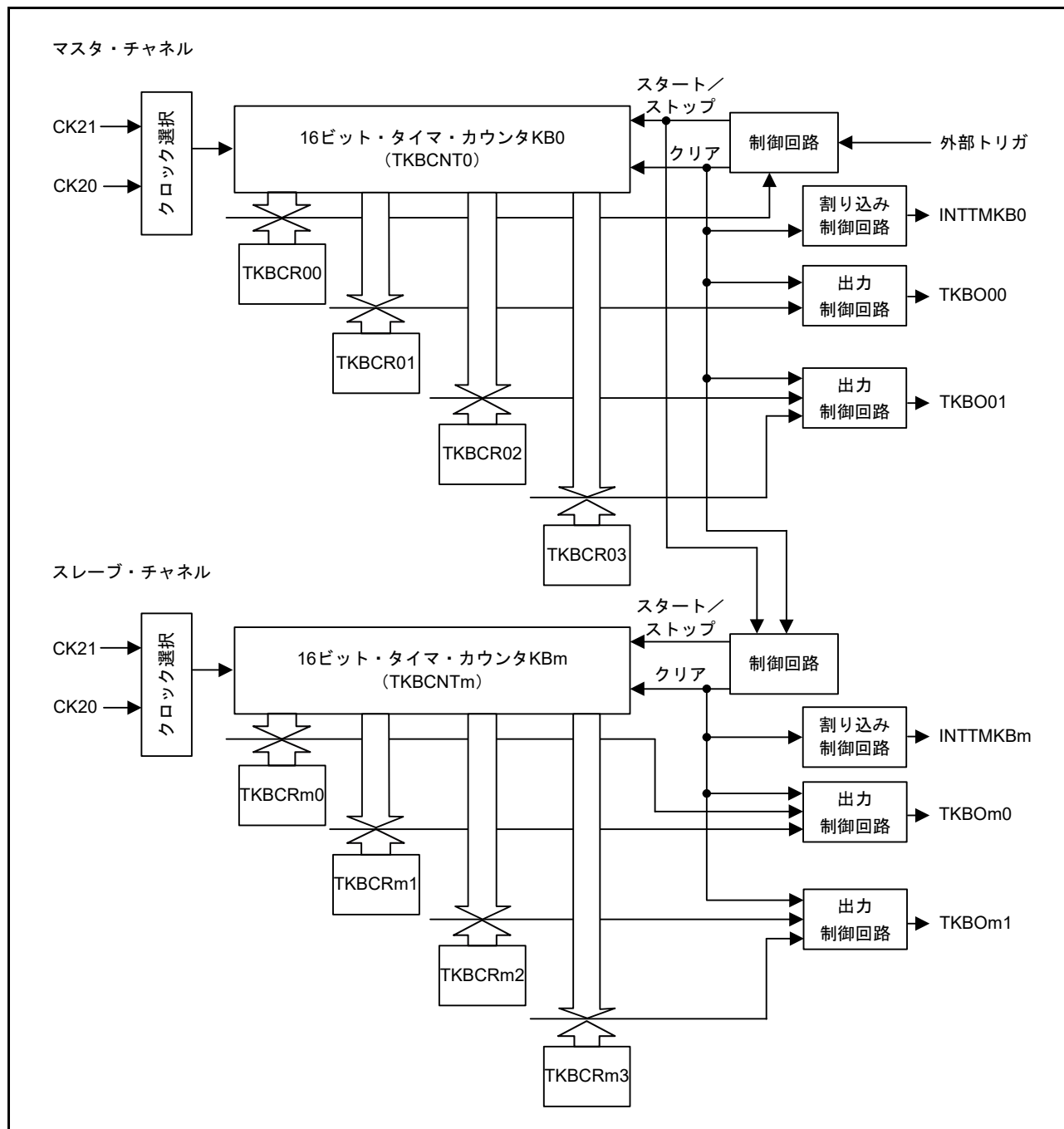
: 設定不要（初期値を設定）

備考 m = 1, 2

(4) 同時スタート/クリア・モードの構成図（マスタによる周期制御）

図9-53に同時スタート/クリア・モード時の構成図を示します。

図9-53 同時スタート/クリア・モード時の構成図（マスタによる周期制御）

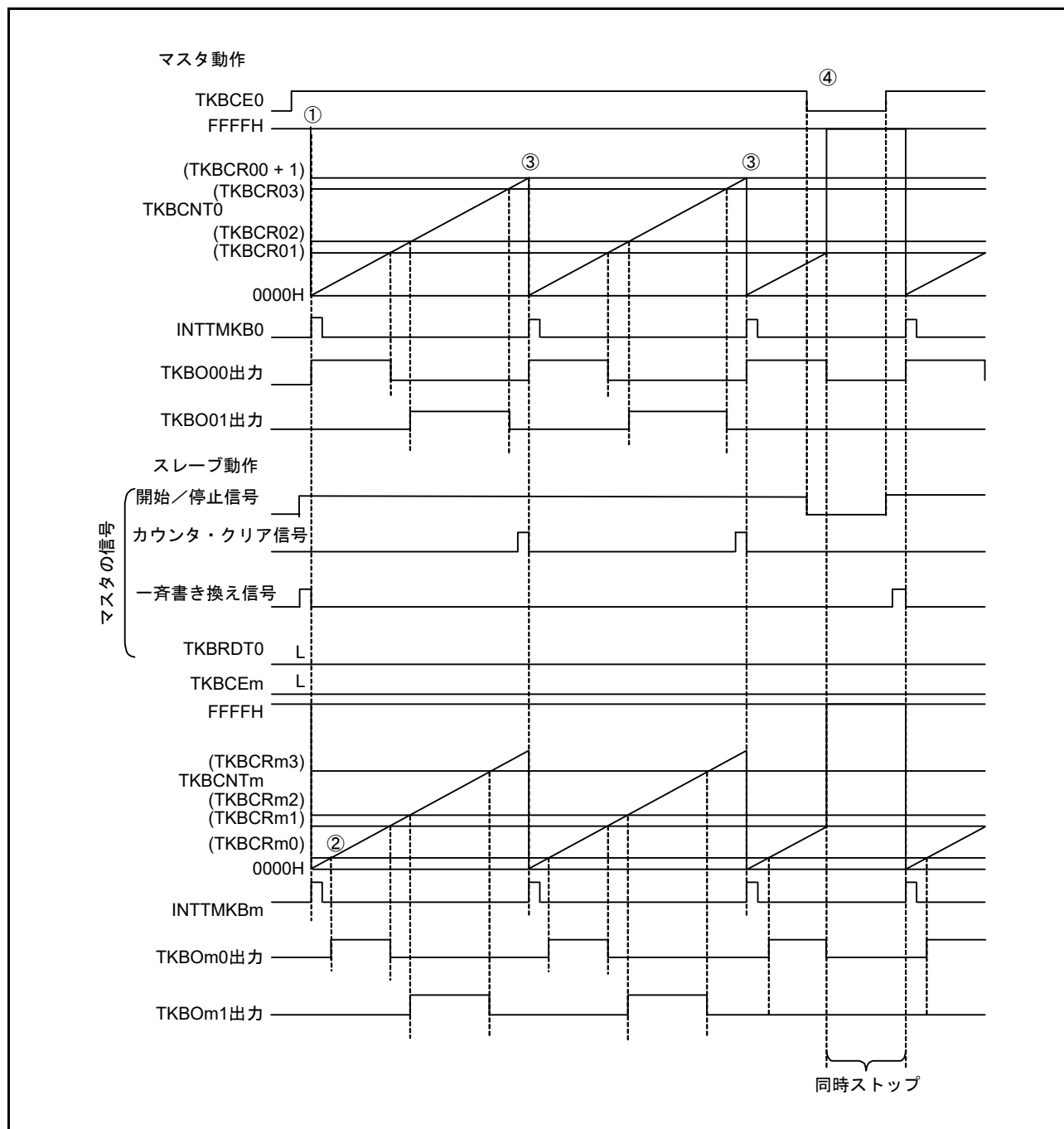


備考 $m = 1, 2$

(5) 動作概要

図9-54に同時スタート/クリア・モード動作タイミング例を示します。

図9-54 同時スタート/クリア・モード動作タイミング例(マスタによる周期制御)
(出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)

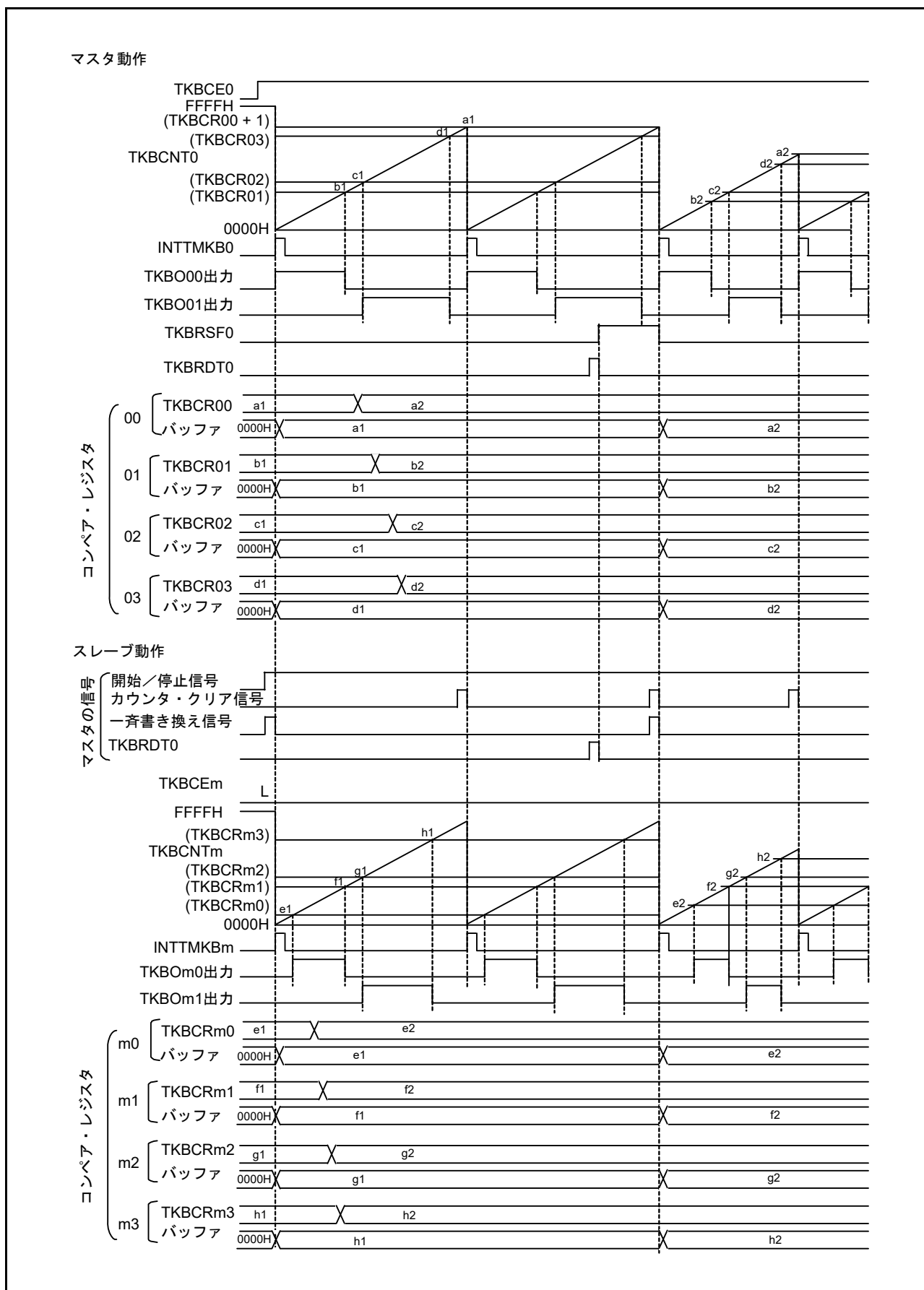


同時スタート／クリア・モードの動作例について説明します。図9 - 54の①～④の説明を次に示します。

- ① マスタのTKBCE0ビットに1を設定すると、カウント・クロックに同期してマスタの16ビット・タイマ・カウンタKB0（TKBCNT0）とスレーブの16ビット・タイマ・カウンタKBm（TKBCNTm）はFFFFHから0000Hになり、アップ・カウントを開始します。同時にマスタからはINTTMKB0が出力され、TKBO00出力がデフォルト値からアクティブ値（この例ではハイ・レベル）に変化します。
- ② TKBCNTmカウンタのカウント値がTKBCRm0レジスタに設定されている値と一致すると、スレーブのTKBOm0出力がアクティブ・レベルになります。以降の細かな動作は図9 - 45 単体動作タイミング例を参照してください。
- ③ TKBCNT0カウンタのカウント値がTKBCR00レジスタに設定されている値と一致すると、マスタのカウンタ・クリア信号が出力され、マスタおよびスレーブの16ビット・タイマ・カウンタ（TKBCNT0, TKBCNTm）は同時にクリアされます。
- ④ TKBCE0ビットに0を設定すると、16ビット・タイマKB4nの入カクロックに同期してマスタのTKBCNT0カウンタとスレーブのTKBCNTmカウンタはカウント・アップを停止して、FFFFHになります。同時にマスタとスレーブの出力はデフォルト・レベルとなります。この状態はマスタのTKBCE0ビットに1が設定されるまで継続します。

図9 - 55に同時スタート／クリア・モードで一斉書き換えを行う場合の動作タイミング例を示します。この場合には、マスタのTKBRDT0ビットに1をセットすることで、次のクリア・タイミングでスレーブも同時に一斉書き換えが行われます。

図9 - 55 同時スタート/クリア・モード動作タイミング例（マスタによる周期制御）（一斉書き換えの場合）



9.4.10 インターリーブPFC（Power Factor Correction）出力モード

(1) 機能概要

電源の高調波電流を抑制するPFC回路を制御する信号をインターリーブ出力できるモードです。

インターリーブPFC回路はシングルPFC回路に比べ、入力ピーク電流を抑制できるため、部品の小型化や電源装置の大電力化を図ることができます。インターリーブPFC出力モードは臨界導通タイプのPFC回路に対応しています。

インターリーブPFC制御には2本のゼロ電流検出用入力とスイッチング用の2本のPWM出力が必要です。

16ビット・タイマKB40, KB41, KB42はインターリーブPFC制御を外部割り込み入力INTP0-タイマ出力TKBOn0、外部割り込み入力INTP1-タイマ出力TKBOn1の組み合わせで実現します。

INTP0の信号入力に応じてTKBOn0がパルス出力を行い、INTP1の信号入力に応じてTKBOn1がパルス出力を行います。

このとき、TKBOn0出力タイミングを基準として、TKBOn1出力が180度位相ずれとなるように制御します。

備考 シングルPFC制御は単体動作モード（外部トリガ入力による周期制御）で実現することができます。

詳細は、**9.4.7 単体動作モード（外部トリガ入力による周期制御）**を参照してください。

電流連続モードのPFCは単体動作モード（TKBCRn0による周期制御）で実現することができます。

詳細は、**9.4.6 単体動作モード（TKBCRn0レジスタによる周期制御）**を参照してください。

TKBCRn0レジスタにより、外部割り込み入力INTP0を検出しなかった場合の16ビット・タイマKB4nのパルス周期を設定します。

TKBCRn1レジスタにより、TKBOn0出力のアクティブ幅を設定します。

TKBCRn3レジスタにより、TKBOn1出力のアクティブ幅を設定します。

備考 インターリーブPFC（Power Factor Correction）出力モードではTKBCRn2は使用しません。

TKBTOLn0ビットとTKBTODn0ビット、TKBTOLn1ビットとTKBTODn1ビットの設定値を同じ値に設定してください。これによりデフォルト・レベルがロウ・レベル（ハイ・レベル）のとき、アクティブ・レベルをハイ・レベル（ロウ・レベル）となるようにします。

【TKBOn0出力とTKBOn1出力の計算式】

パルス周期 = (外部割り込み入力INTP0検出時のカウンタ値 + 1) × カウント・クロック周期

パルス周期 (Max) ^{注1} = (TKBCRn0の設定値 + 1) × カウント・クロック周期

TKBOn0出力のアクティブ幅 = TKBCRn1の設定値 × カウント・クロック周期

TKBOn1出力のアクティブ幅 = TKBCRn3の設定値 × カウント・クロック周期

TKBOn1出力時の位相ずれ幅 ^{注2} = INT [(前周期幅 - 1) ^{注3} / 2 + 1] × カウント・クロック周期

注1. 外部割り込み入力INTP0を検出しなかった場合の16ビット・タイマKB4nのパルス周期。

注2. 条件No.7の場合を除く。

注3. 条件No.1の場合はTKBCRn0レジスタの設定値。

(2) 動作概要

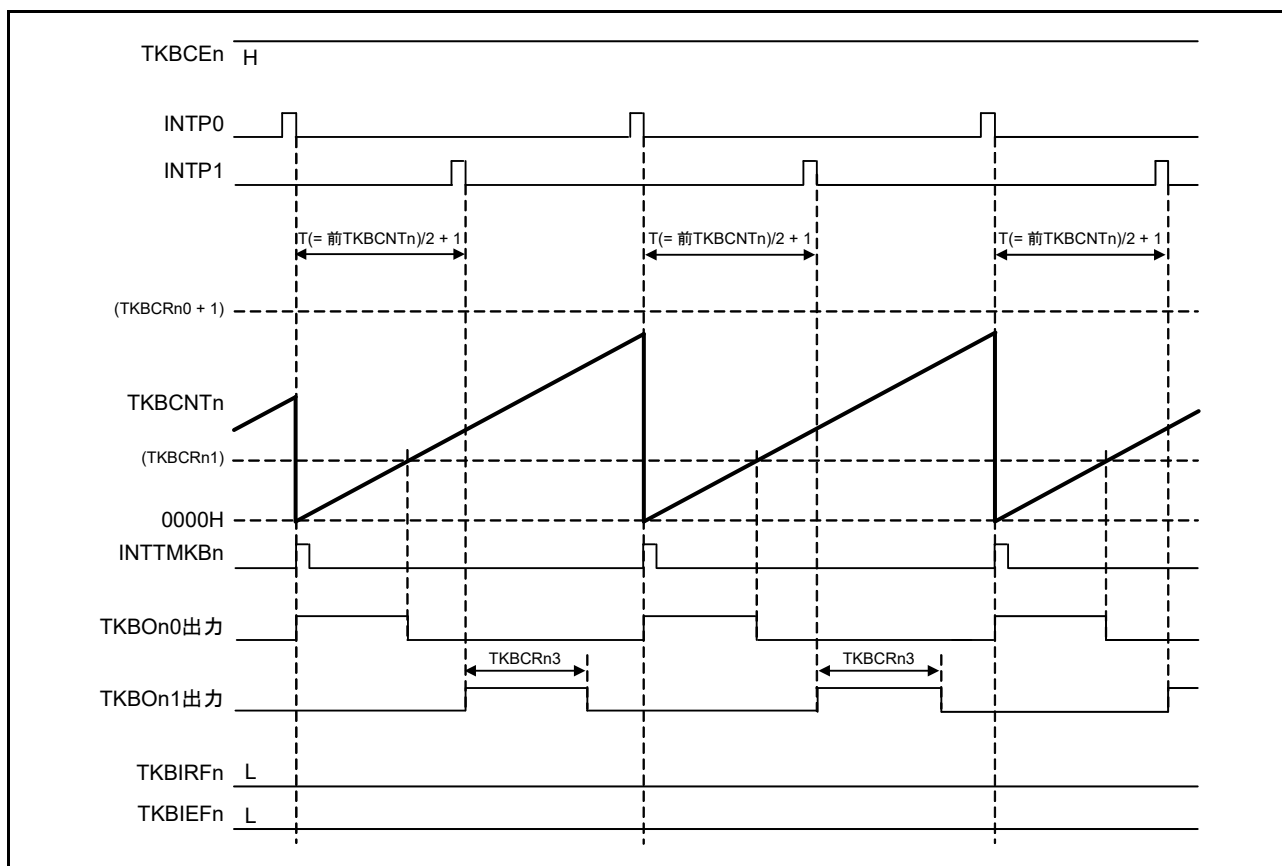
図9-56にインターリーブPFC出力モードの動作概要を示します。

インターリーブPFC出力モードでは、INTP0をトリガとして、TKBCNTnカウンタはクリアされて0000Hからカウント・アップします。このとき、TKBOn0はアクティブ・レベルとなり、TKBCNTnとTKBCRn1レジスタの設定値との一致によりインアクティブ・レベルとなります。

TKBOn1はINTP0と位相がずれたINTP1をトリガとしてアクティブ・レベルとなり、TKBCRn3レジスタの設定値幅経過後にインアクティブ・レベルとなります。

TKBCNTnカウンタがTKBCRn0レジスタの設定値と一致する前に次のINTP0が入力されて、上記の動作を繰り返していきます。

図9-56 インターリーブPFC出力モードの動作概要
(出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合)



(3) インターリーブPFC出力モードにおけるTKBOn1の出力条件

TKBOn1の出力には出力条件があり、下記の表に従って制御されます。

(1/2)

条件 No	サブ No	判定状態1 (INTP0入力)	判定状態2 (TKBCRn0との一致/INTP1入力)	判定状態3 (周期幅)	出力状態	エラー状態
1	—	1周期目 (TKBCRn0 設定値をTとして波 形を生成する。)	—	—	T/2で出力	—
2	—	INTP0入力未検出	TKBCNTnとTKBCRn0との一致発生 (INTP1入力検出は無視する)	次の周期がT/2以上の場合	T/2で出力	—
3	—	↑	↑	次の周期がT/2未満の場合	状態保持	—
4	—	No.3の次の周期	—	—	T/2で出力	—
5	—	INTP0入力検出 (1 回目) 注1	—	—	T/2で出力	—
6	a	INTP0入力検出 (2 回目以降) 注2	<TKBIRSn[2:0] = 0xxB 設定時> INTP1検出 (前TKBOn1立ち下がり エッジ~T/2の範囲)	次の周期がT/2以上の場合	T/2で出力	—
	b		<TKBIRSn[2:0] = 100B 設定時> INTP1検出 (前TKBOn1立ち下がり エッジ~T/2の範囲)	次の周期がT/2未満の場合	状態保持	—
	c		<TKBIRSn[2:0] = 101B 設定時> INTP1検出 (前TKBOn1立ち下がり エッジ~T/2の範囲)	次の周期がT/2以上の場合	T/2で出力	—
	d		<TKBIRSn[2:0] = 101B 設定時> INTP1検出 (前TKBOn1立ち下がり エッジ~T/2の範囲)	次の周期がT/2未満の場合	状態保持	INTP0トリガ入 力でTKBIRFn ビットをセット
7	a	INTP0入力検出 (2 回目以降) 注2	<TKBIRSn[2:0] = 0xxB 設定時> INTP1検出 (T/2 ~ T/2 + T / (TKBIRSn[1:0]の設定値) の範囲)	—	トリガ入力 で出力	—
	b		<TKBIRSn[2:0] = 100B または 101B 設定時> INTP1検出 (T/2 ~ TKBCRn0の 範囲)			—
	c		<TKBIRSn[2:0] = 101B 設定時> INTP1検出 (前TKBOn1立ち下がり エッジ~T/2の範囲)			—
8	a	INTP0入力検出 (2 回目以降) 注2	<TKBIRSn[2:0] = 0xxB 設定時> INTP1検出 (T/2 + T / (TKBIRSn[1:0]の設定値) の範囲後) またはINTP1未検出	次の周期がT/2 + T / (TKBIRSn[1:0]の設定値) の範囲以上	状態保持	T/2 + T / (TKBIRSn[1:0]の 設定値) で TKBIRFnビット をセット
	b		<TKBIRSn[2:0] = 0xxB 設定時> INTP1未検出	次の周期がT/2以上、かつ T/2 + T / (TKBIRSn[1:0]の 設定値) の範囲未満		—
	c		<TKBIRSn[2:0] = 100B または 101B 設定時> INTP1未検出	—		INTP0トリガ入 力でTKBIRFn ビットをセット

(2/2)

条件 No	サブ No	判定状態1 (INTP0入力)	判定状態2 (TKBCRn0との一致／INTP1入力)	判定状態3 (周期幅)	出力状態	エラー状態
9	a	No.6d, 8, 9b, 9cの次の周期	—	次の周期が $T/2$ 以上の場合	$T/2$ で出力	—
	b		<TKBIRSn[2:0] = 0xxB 設定時> —	次の周期が $T/2$ 未満の場合	状態保持	INTP0トリガ入力 でIRF出力
	c		<TKBIRSn[2:0] = 100B または 101B 設定時> —			
10	—	INTP0入力検出	<TKBIRSn[2:0] = 0xxB 設定時> INTP1未検出	次の周期が $T/2$ 未満の場合	状態保持	—
11	a	No.10, 11bの次の周期	—	次の周期が $T/2$ 以上の場合	$T/2$ で出力	—
	b			次の周期が $T/2$ 未満の場合	状態保持	—

注1. INTP0入力検出（1回目）とは、前の周期がINTP0入力検出によりクリアされなかった場合を意味します。

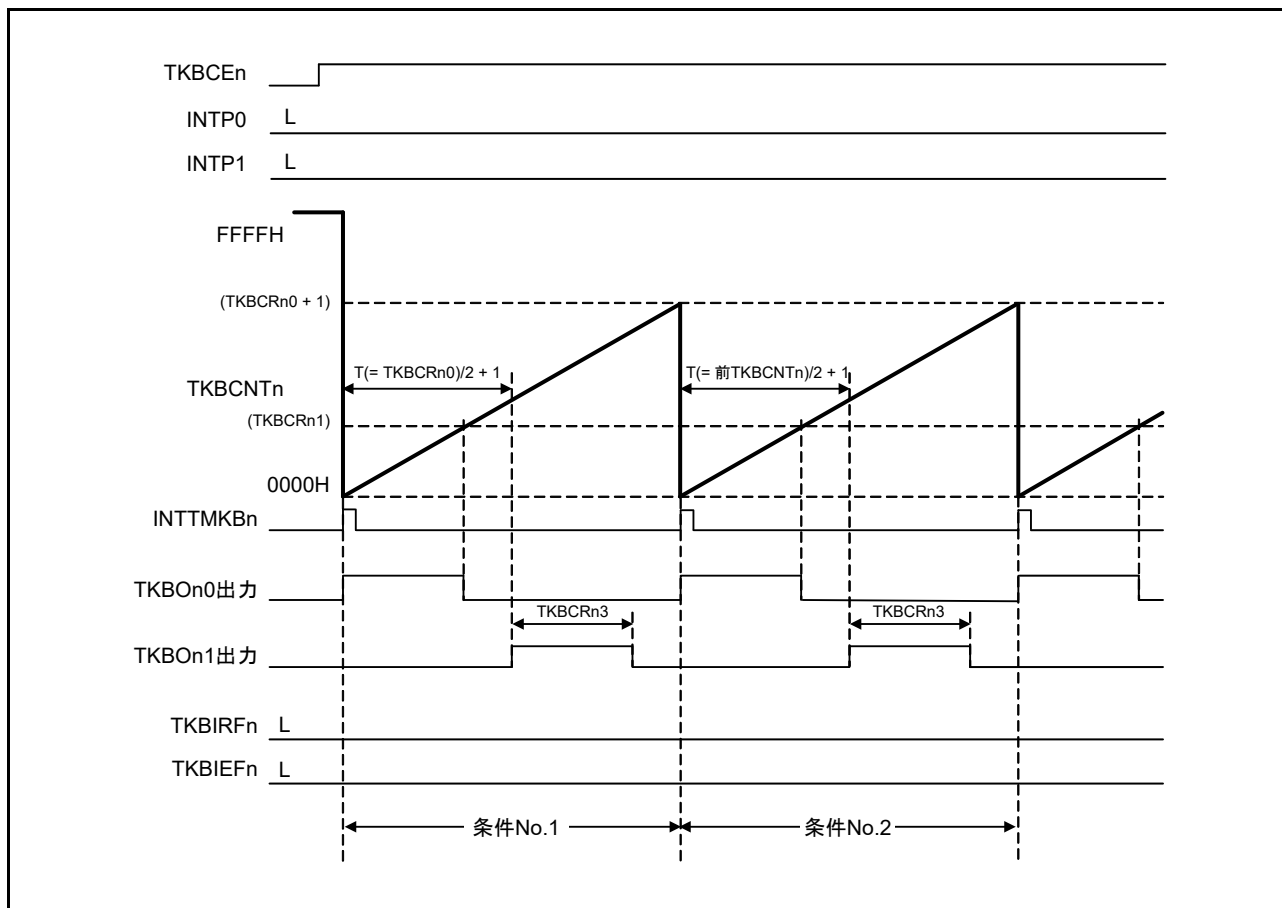
注2. INTP0入力検出（2回目以降）とは、前の周期がINTP0入力検出によりクリアされた場合を意味します。

(4) TKBIRSn[2:0] = 0xxB 設定時の動作

TKBIRSn[2:0] = 0xxB 設定時の動作について、「条件No.」ごとの波形図を記載します。

出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合の動作波形を示します。

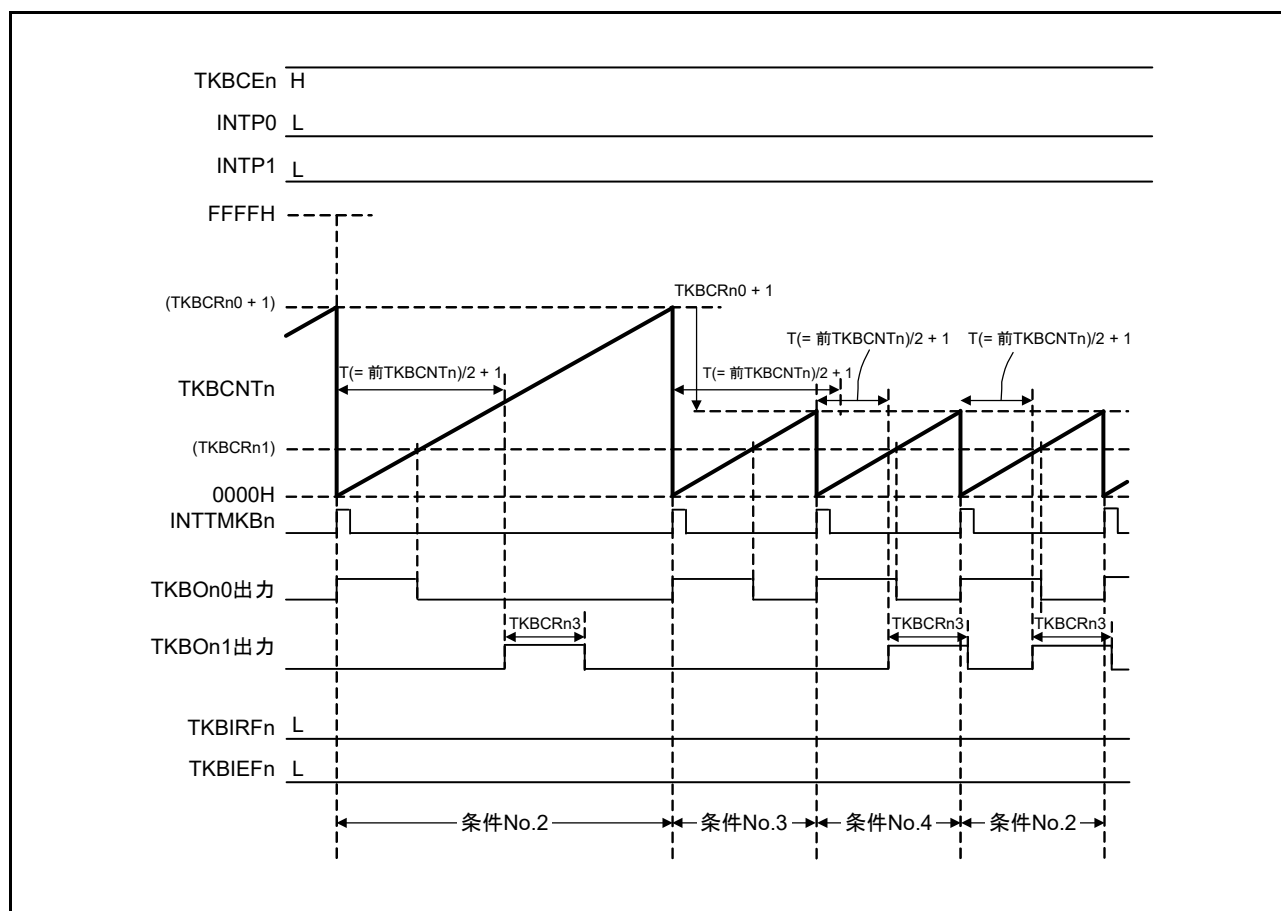
図9 - 57 インターリーブPFC出力モードのタイミング図 (条件No.1～No.2の動作)



条件No.1 : TKBCEn = 1 設定後の1周期目だけは、TKBCRn0 レジスタを“T”として T/2 で TKBCRn3 レジスタの設定幅の TKBOn1 を出力します。

条件No.2 : 2周期目は、前の周期の T/2 で TKBCRn3 レジスタの設定幅の TKBOn1 を出力します。

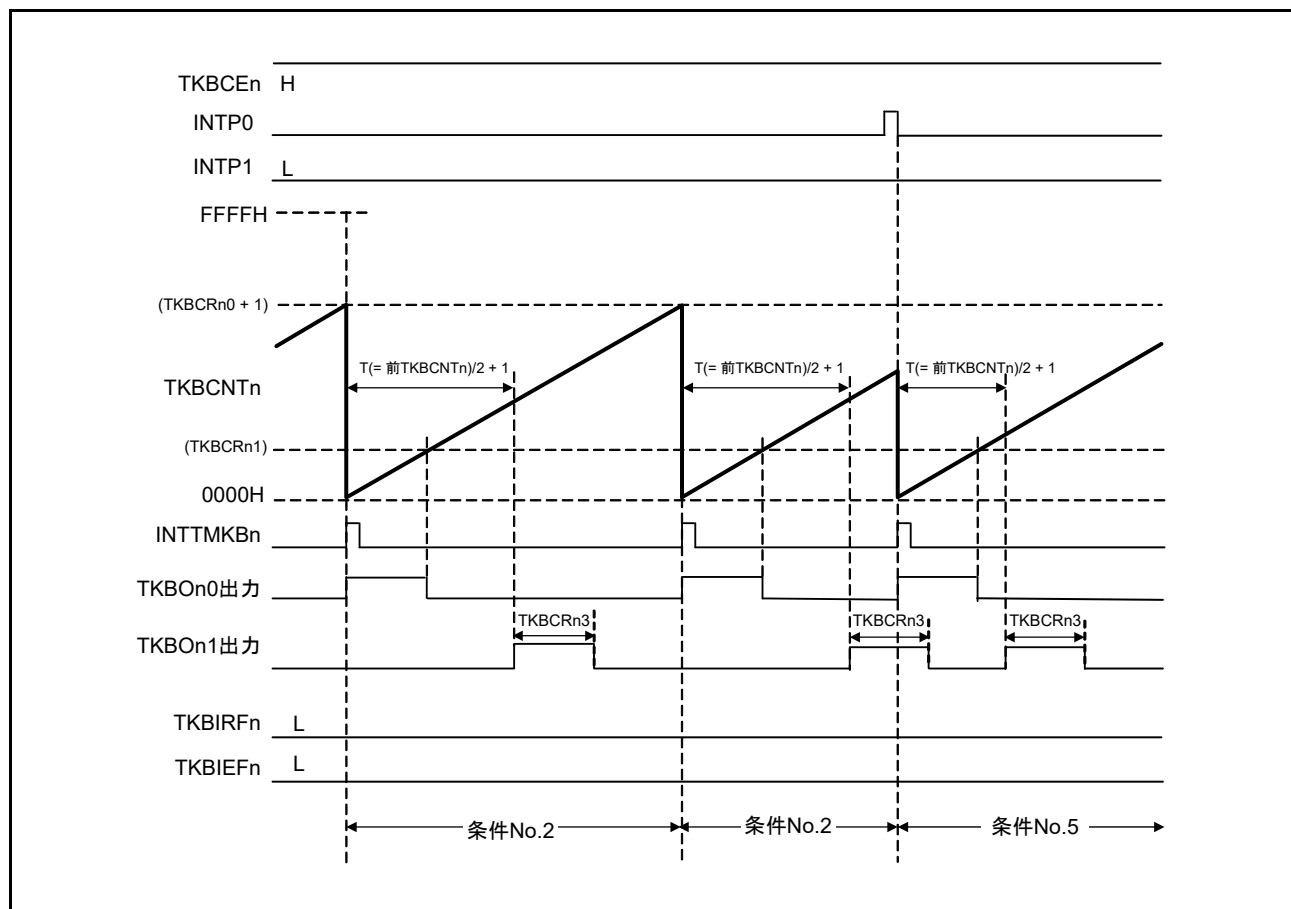
図9 - 58 インターリーブPFC出力モードのタイミング図（条件No.3～No.4の動作）



条件No.3 : 前の周期の $T/2$ を確保できず、TKBOn1は状態を保持します。

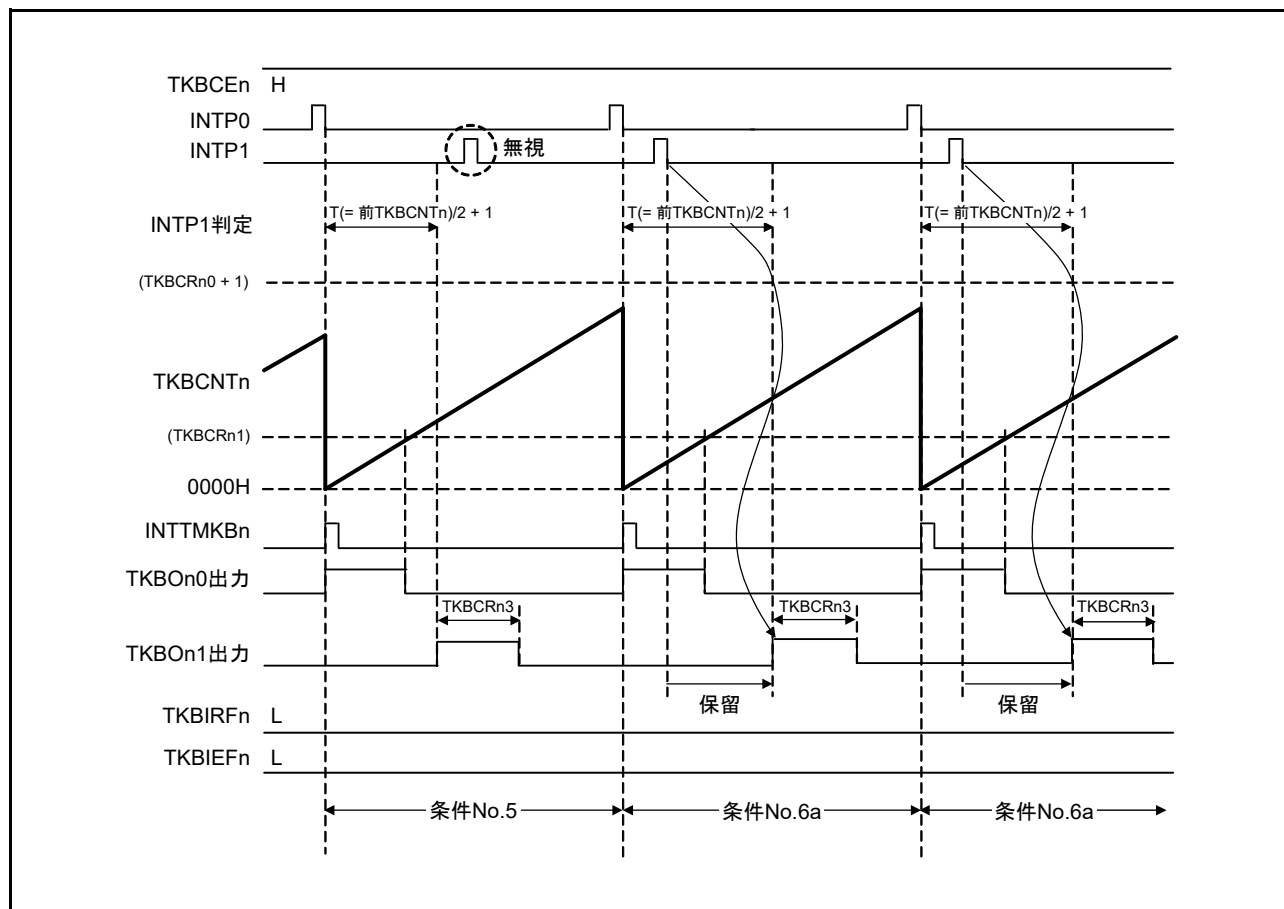
条件No.4 : 前の周期の $T/2$ で TKBCRn3 レジスタの設定幅の TKBOn1 を出力します。

図9 - 59 インターリーブPFC出力モードのタイミング図（条件No.5の動作）



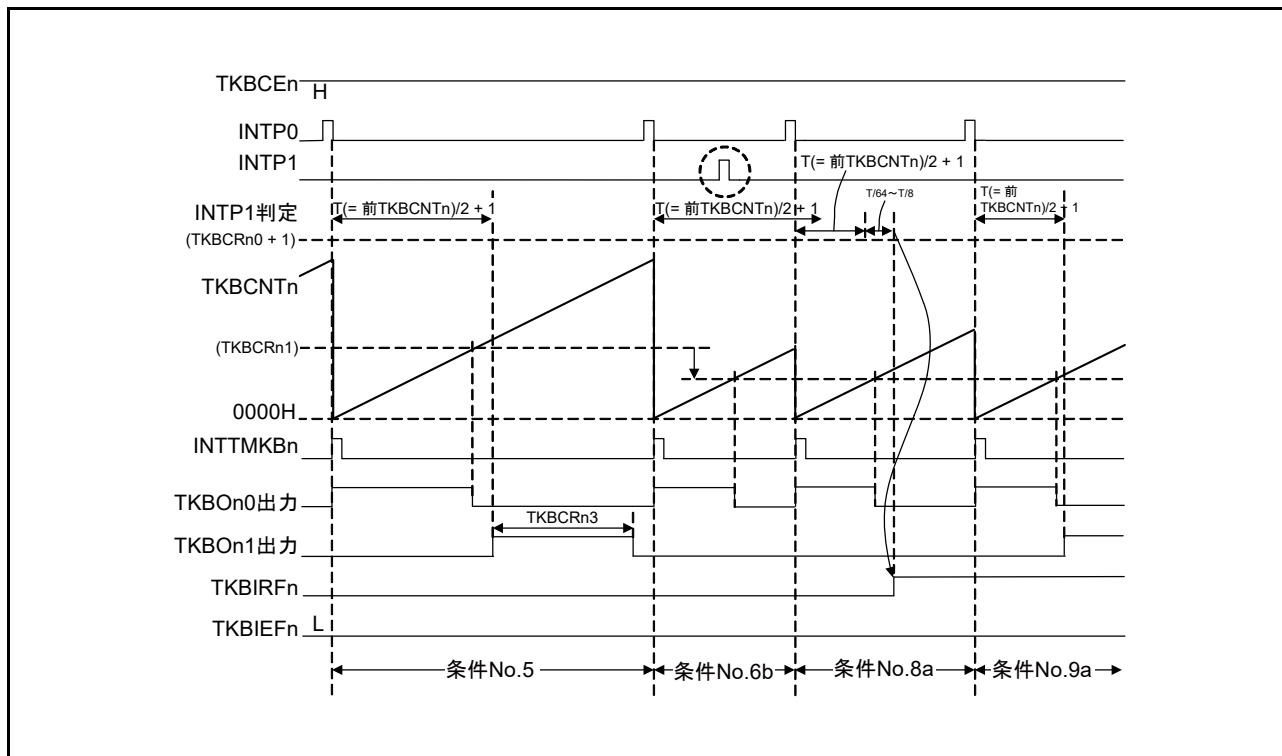
条件No.5 : TKBCEn = 1 設定後の最初に検出したINTP0は、前の周期の $T/2$ で TKBCRn3 レジスタの設定幅の TKBOn1 を出力します。INTP1の検出／未検出によりません。

図9 - 60 インターリーブPFC出力モードのタイミング図（条件No.6aの動作）
 （周期が前の周期のT/2以上のときに前の周期のT/2以内にINTP1を検出した場合）



条件No.6a：前の周期のT/2以内にINTP1を検出した場合、前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

図9 - 61 インターリーブPFC出力モードのタイミング図（条件No.6bの動作）
（周期が前の周期のT/2未満でINTP1を検出した場合）

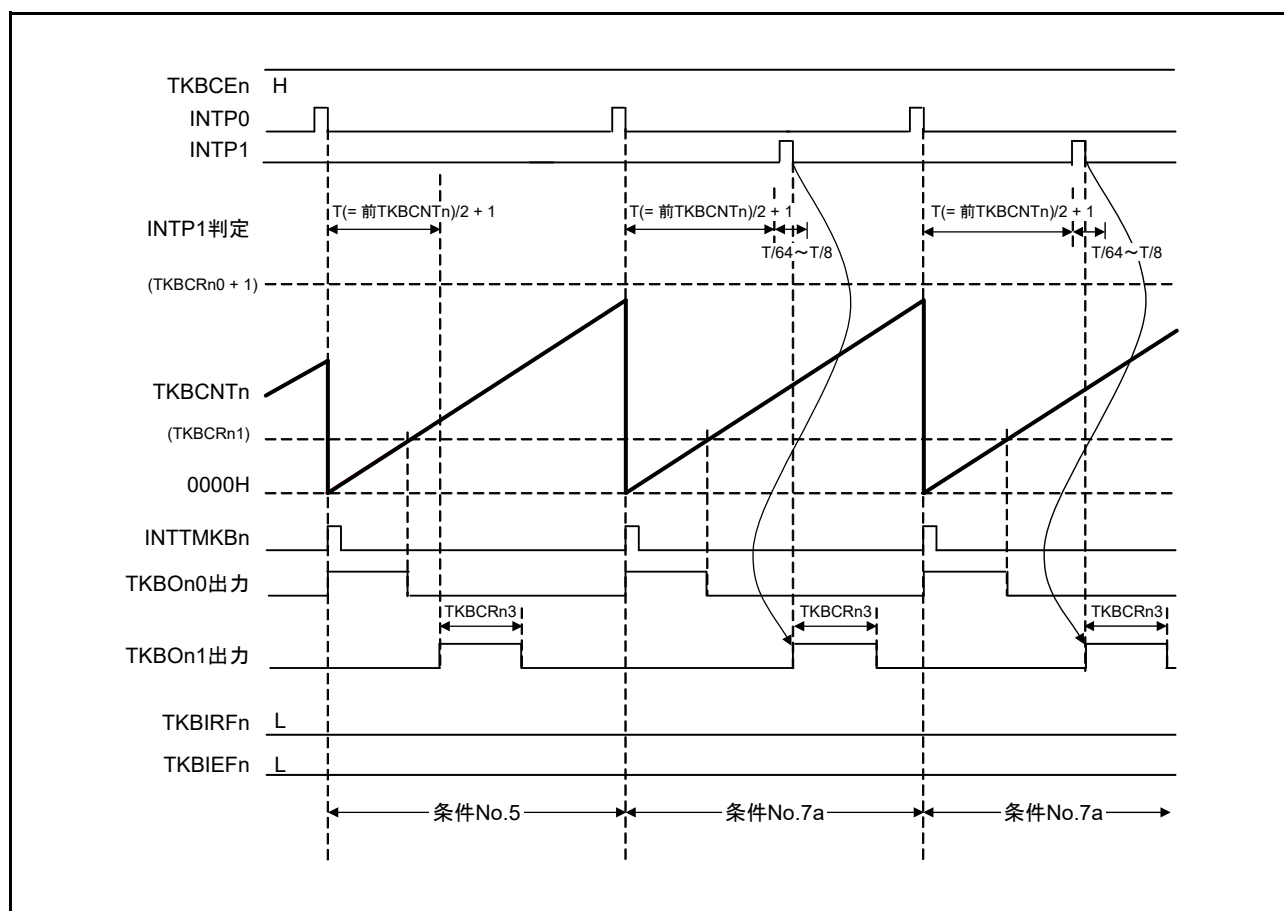


条件No.6b : INTP1を検出しているが前の周期のT/2を確保できず、TKBOn1は状態を保持します。

条件No.8a : 前の周期の $T/2 + T/m$ (m は8, 16, 32, 64: TKBIRSn[1:0]ビットで設定) 以内にINTP1が検出されず、TKBOn1は状態を保持します。このとき、TKBIRFnフラグが1にセットされます。

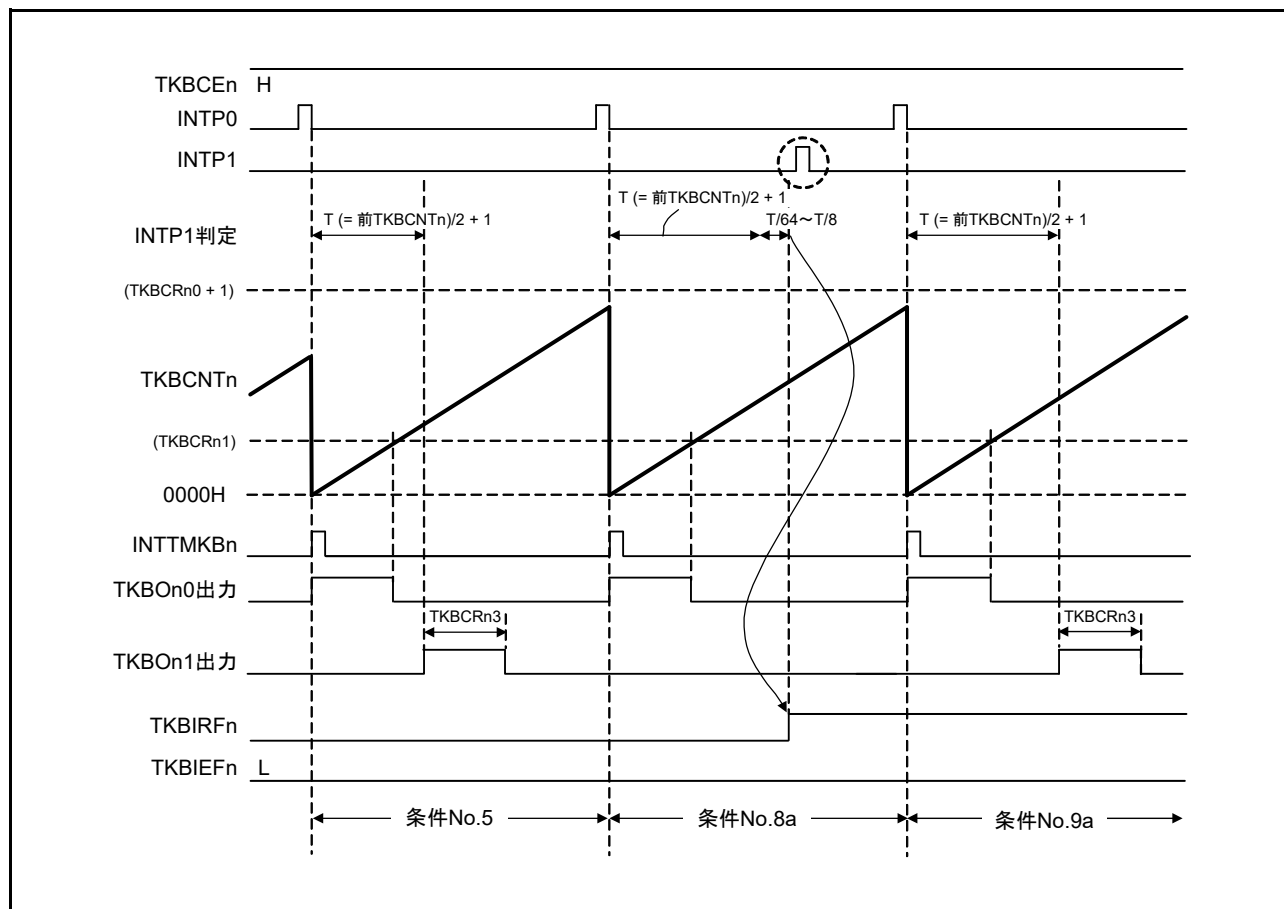
条件No.9a : 前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

図9 - 62 インターリーブPFC出力モードのタイミング図（条件No.7aの動作）
 （前の周期の $T/2$ 以上、前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）以内にINTP1を検出した場合）



条件No.7a：前の周期の $T/2$ 以上、前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）以内にINTP1を検出すると $TKBCRn3$ レジスタの設定幅の $TKBOn1$ を出力します。

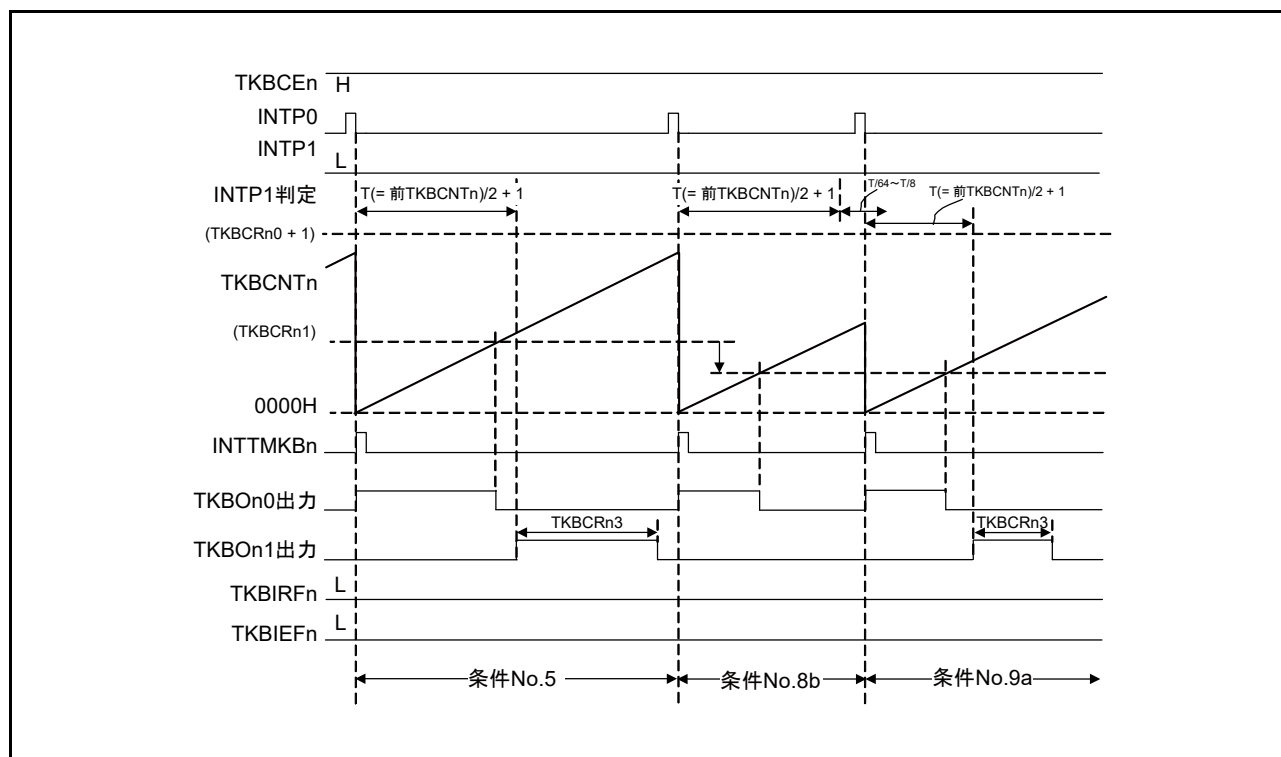
図9 - 63 インターリーブPFC出力モードのタイミング図（条件No.8a～No.9aの動作）
 （前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）の範囲後にINTP1を検出した場合）



条件No.8a：前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）以内にINTP1が検出されず、TKBOn1は状態を保持します。このとき、TKBIRFnフラグが1にセットされます。

条件No.9a：前の周期の $T/2$ でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

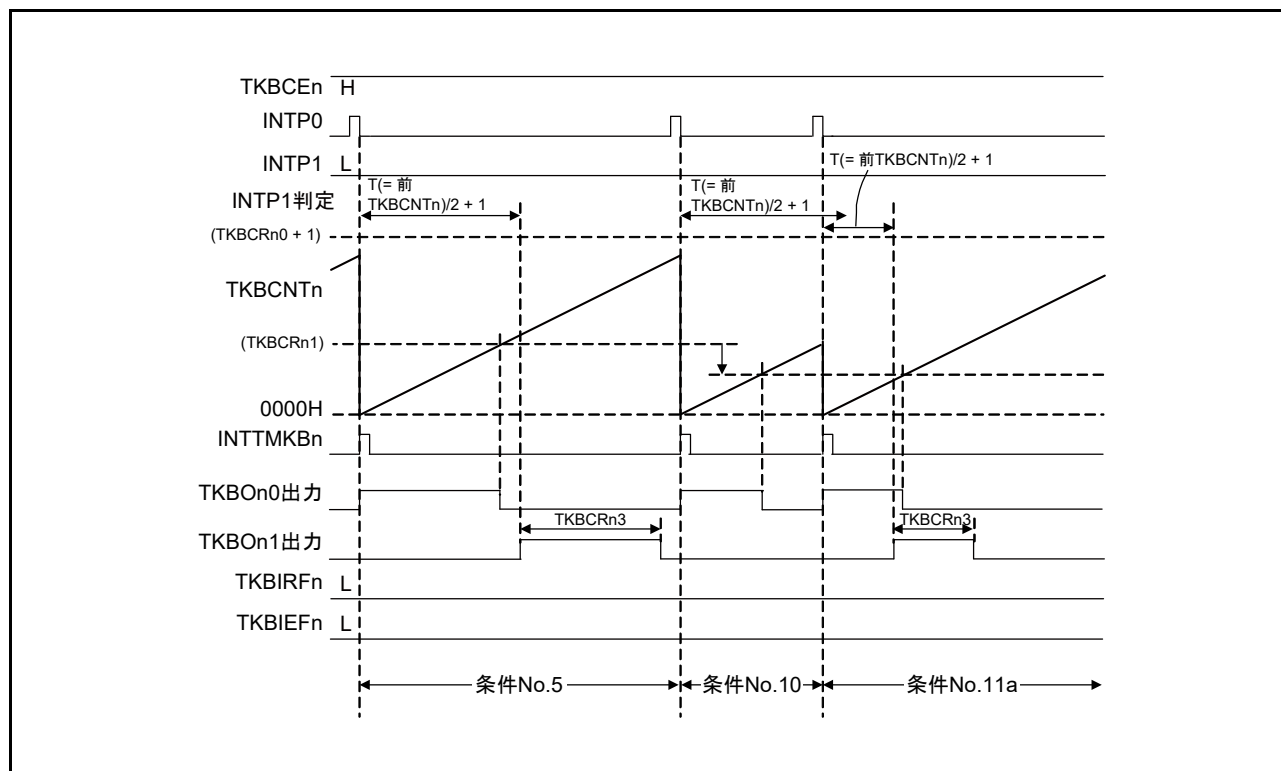
図9 - 64 インターリーブPFC出力モードのタイミング図（条件No.8b動作）
 （周期が前の周期の $T/2$ 以上、前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）未満のときにINTP1を検出しなかった場合）



条件No.8b : INTP1を検出する前にINTP0を検出したことによりTKBOn1は状態を保持します。

条件No.9a : 前の周期の $T/2$ でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

図9 - 65 インターリーブPFC出力モードのタイミング図（条件No.10～No.11aの動作）
（周期が前の周期のT/2未満のときにINTP1を検出しなかった場合）



条件No.10 : 前の周期のT/2を確保できず、TKBOn1は状態を保持します。

条件No.11a : 前の周期のT/2でTKBCr3レジスタの設定幅のTKBOn1を出力します。

(5) $TKBIRSn[2:0] = 100B$ または $101B$ 設定時の動作

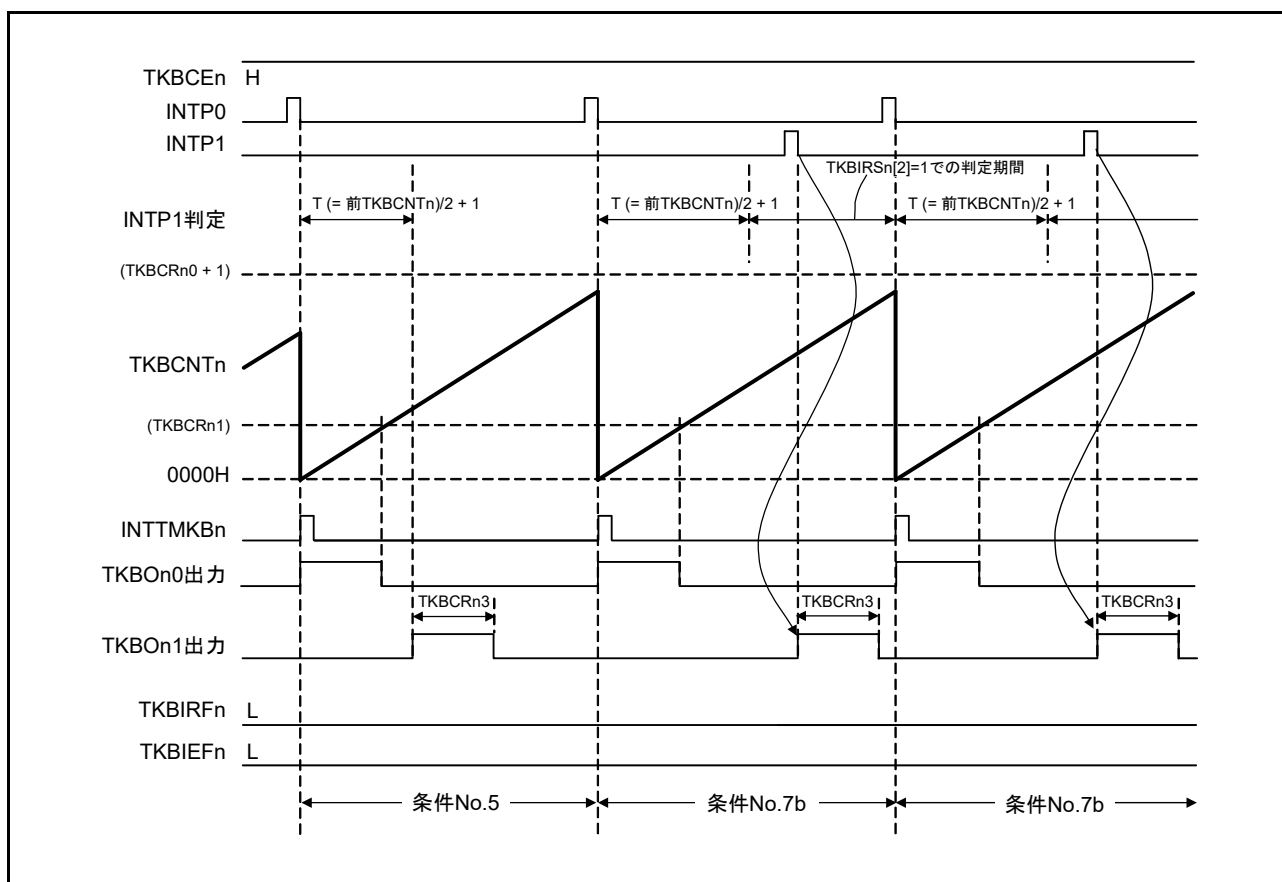
$TKBIRSn[2:0] = 100B$ または $101B$ 設定時の動作について、「条件No.」ごとの波形図を記載します。

出力のデフォルト値がロウ・レベル ($TKBTODnp = 0$) でアクティブ・レベルがハイ・レベル ($TKBTOLnp = 0$) の場合の動作波形を示します。

条件No.1～条件No.5 (図9-57～図9-59) は $TKBIRSn[2:0] = 0xxB$ 設定時と同じ動作となるため、説明を省略します。

前の周期の $T/2 + T/m$ (m は 8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定) の範囲後に $INTP1$ を検出した場合、 $TKBIRSn[2:0] = 0xxB$ 設定では、図9-63の条件No.8aとなりますが、 $TKBIRSn[2:0] = 100B$ または $101B$ 設定では、条件No.7bとなります。図9-66に条件No.7bの動作波形を示します。

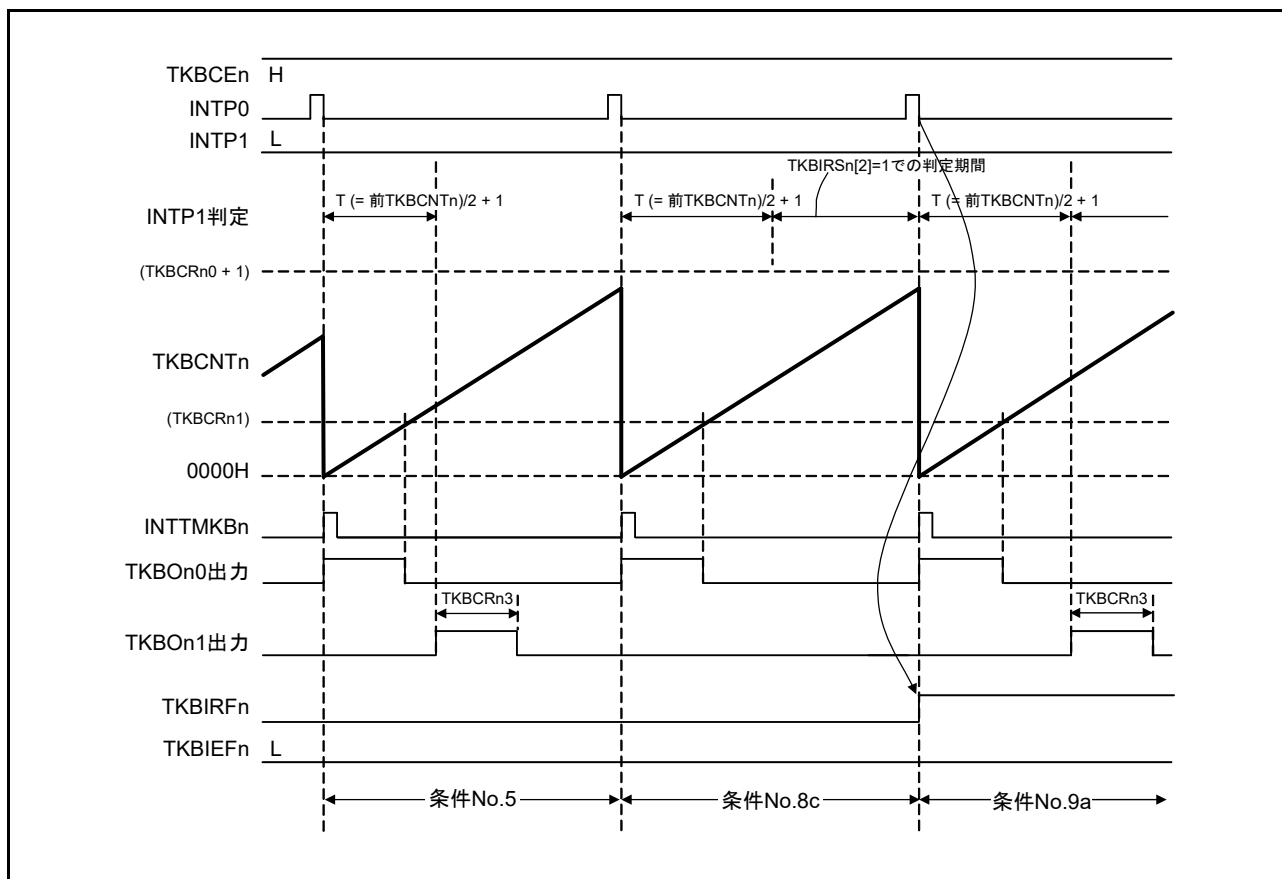
図9-66 インターリーブPFC出力モードのタイミング図 (条件No.7bの動作)
(前の周期の $T/2$ 後に $INTP1$ を検出した場合) 【 $TKBIRSn[2:0] = 100B$ または $101B$ 】



条件No.7b : 前の周期の $T/2$ 後に $INTP1$ を検出すると $TKBCRn3$ レジスタの設定幅の $TKBOn1$ を出力します。

周期内にINTP1を検出しなかった場合も、TKBIRSn[2:0] = 0xxB設定では条件No.8aとなりますが、TKBIRSn[2:0] = 100Bまたは101B設定では条件No.8cとなります。図9 - 67に条件No.8c～No.9aの動作波形を示します。

図9 - 67 インターリーブPFC出力モードのタイミング図（条件No.8c～No.9aの動作）
（周期内にINTP1を検出しなかった場合）【TKBIRSn[2:0] = 100Bまたは101B】

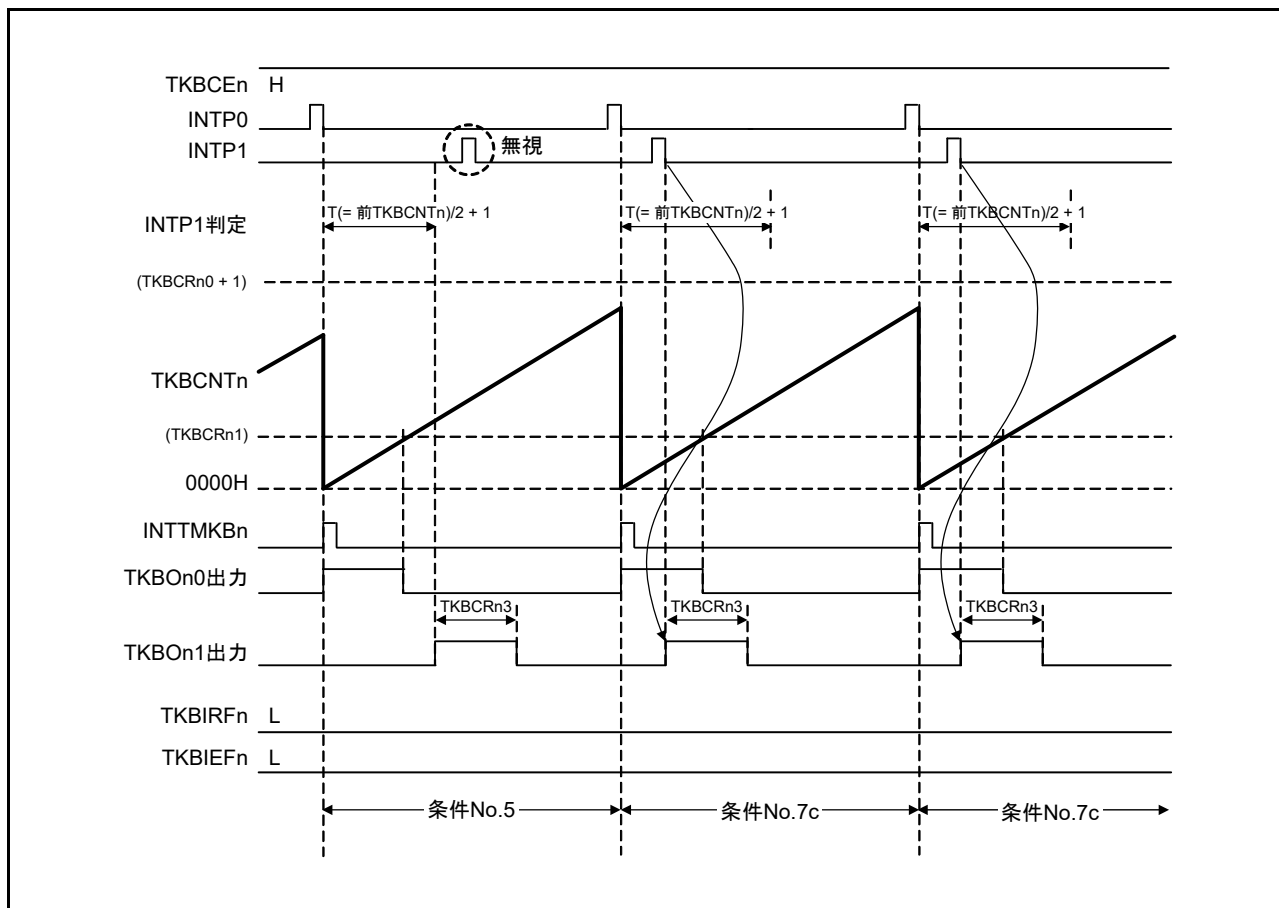


条件No.8c：周期内にINTP1が検出されず、TKBOn1は状態を保持します。このとき、INTP0の検出タイミングでTKBIRFnフラグが1にセットされます。

条件No.9a：前の周期のT/2でTKBCr3レジスタの設定幅のTKBOn1を出力します。

前の周期のT/2以内にINTP1を検出した場合、TKBIRSn[2:0] = 0xxB設定では図9 - 60の条件No.6aとなりますが、TKBIRSn[2:0] = 101B設定では条件No.7cとなります。図9 - 68に条件No.7cの動作波形を示します。
 なお、TKBIRSn[2:0] = 100B設定では条件6cと定義していますが、条件No.6aと同じ動作となるため、説明を省略します。

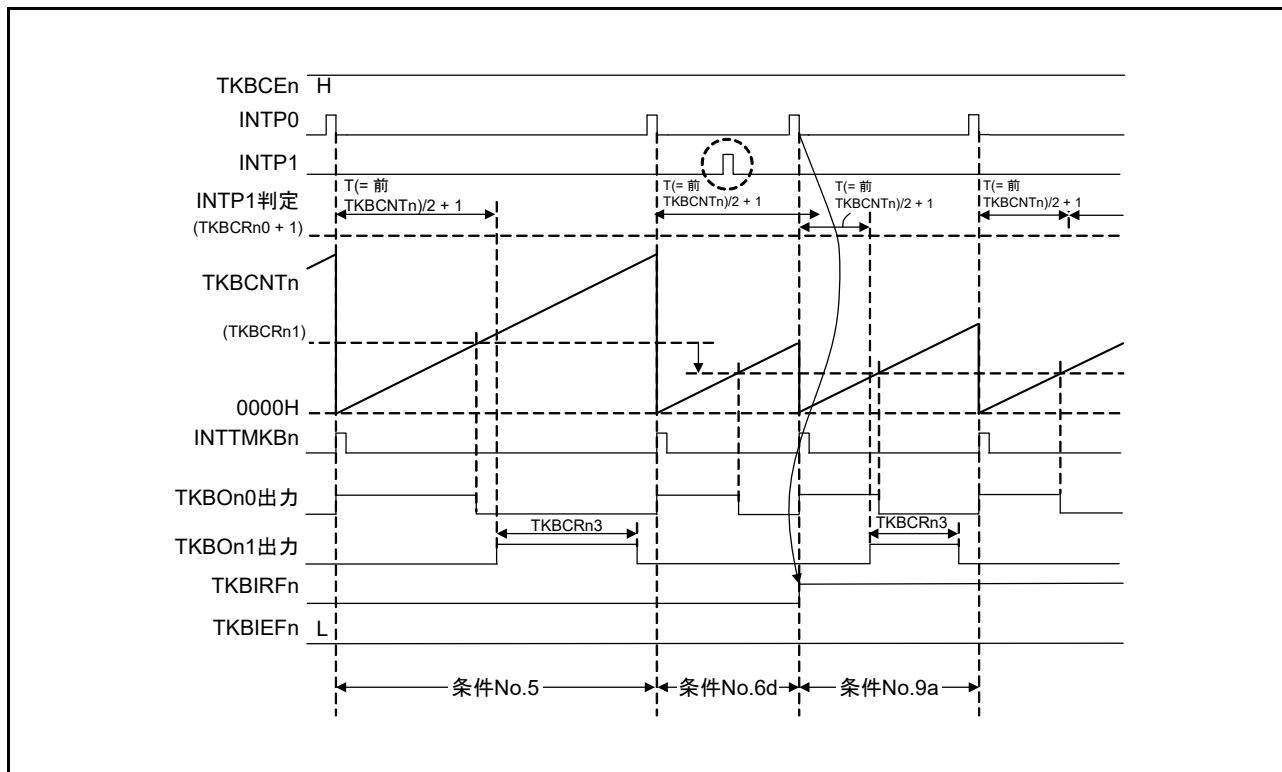
図9 - 68 インターリーブPFC出力モードのタイミング図（条件No.7c動作）
 （周期が前の周期のT/2以上のときに前の周期のT/2以内でINTP1を検出した場合）【TKBIRSn[2:0] = 101B】



条件No.7c：前の周期のT/2以内でINTP1を検出するとTKBCRn3レジスタの設定幅のTKBOn1を出力します。

周期が前の周期のT/2未満でINTP1を検出した場合、TKBIRSn[2:0] = 0xxB設定では図9-61の条件No.6bとなりますが、TKBIRSn[2:0] = 100B設定では条件No.6dとなります。図9-69に条件No.6dの動作波形を示します。

図9-69 インターリーブPFC出力モードのタイミング図（条件No.6dの動作）
（周期が前の周期のT/2未満でINTP1を検出した場合）【TKBIRSn[2:0] = 100B】

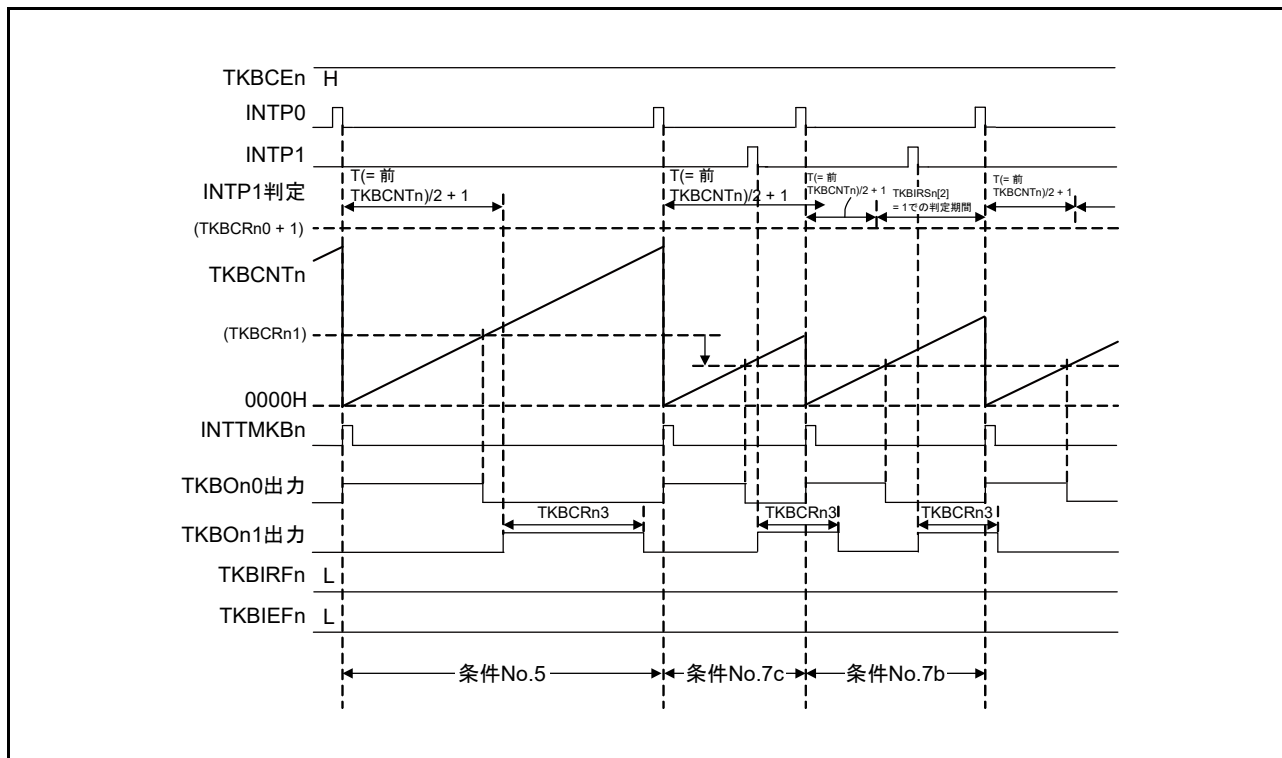


条件No.6d : INTP1を検出しているが前の周期のT/2を確保できず、TKBOn1は状態を保持します。このとき、TKBIRFnフラグが1にセットされます。

条件No.9a : 前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

周期が前の周期のT/2未満でINTP1を検出した場合、TKBIRSn[2:0] = 100B設定では図9 - 69の条件No.6dとなりますが、TKBIRSn[2:0] = 101B設定では条件No.7cとなります。図9 - 70に条件No.7cの動作波形を示します。

図9 - 70 インターリーブPFC出力モードのタイミング図（条件No.7cの動作）
（周期が前の周期のT/2未満でINTP1を検出した場合）【TKBIRSn[2:0] = 101B】

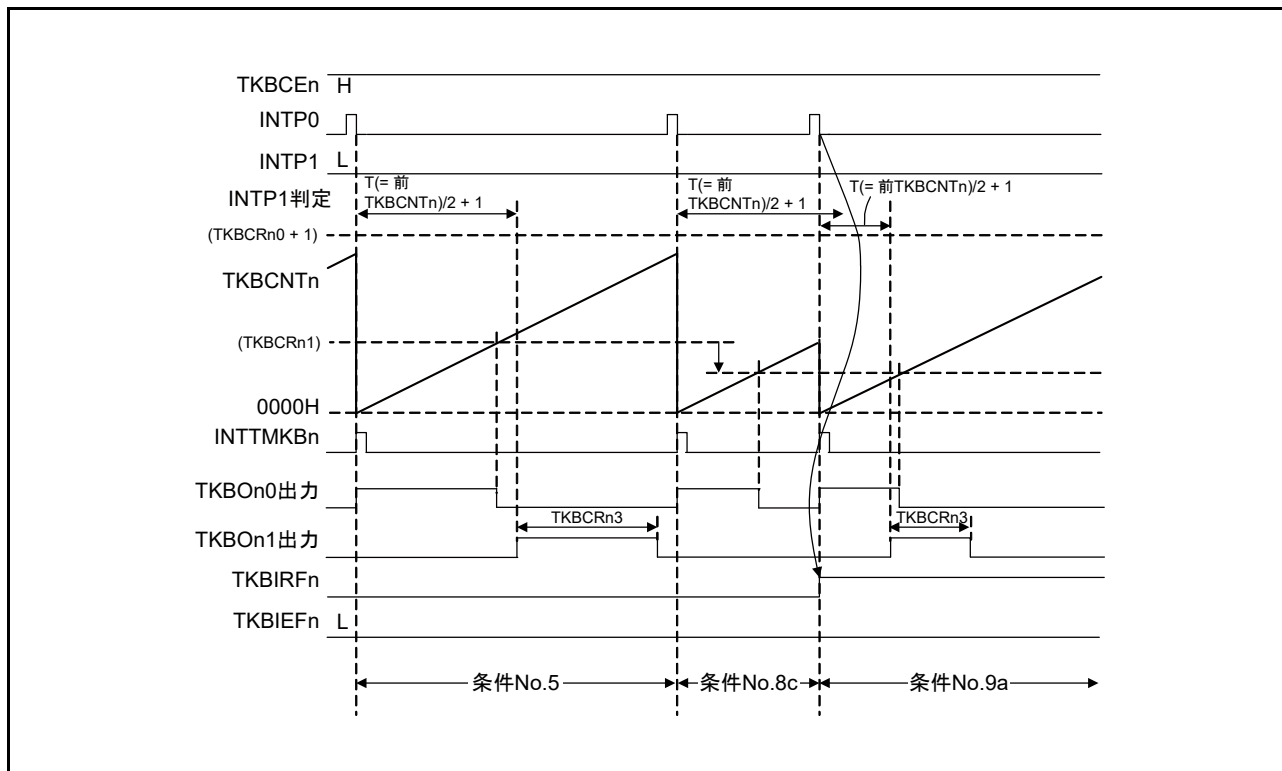


条件No.7c：前の周期のT/2以内でINTP1を検出するとTKBCrN3レジスタの設定幅のTKBOn1を出力します。

条件No.7b：前の周期のT/2後にINTP1を検出するとTKBCrN3レジスタの設定幅のTKBOn1を出力します。

周期が前の周期のT/2未満のときにINTP1を検出なかった場合、TKBIRSn[2:0] = 0xxB設定では図9-65の条件No.10となりますが、TKBIRSn[2:0] = 100Bまたは101B設定では条件No.8cとなります。図9-71に条件No.8cの動作波形を示します。

図9-71 インターリーブPFC出力モードのタイミング図（条件No.8c～No.9aの動作）
（周期が前の周期のT/2未満のときにINTP1を検出なかった場合）【TKBIRSn[2:0] = 100Bまたは101B】



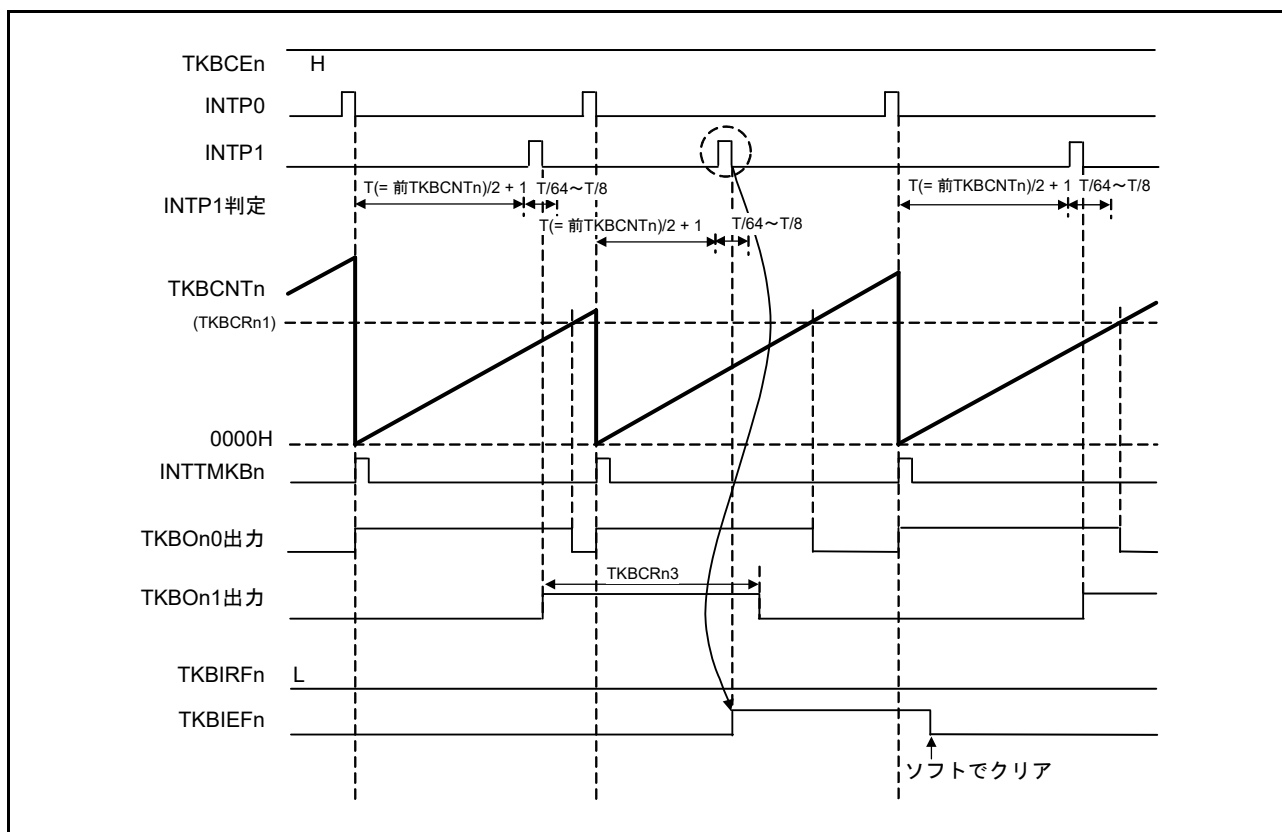
条件No.8c：前の周期のT/2を確保できず、TKBOn1は状態を保持します。このとき、INTP0の検出タイミングでTKBIRFnフラグが1にセットされます。

条件No.9a：前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。

(6) TKBOn1出力の特異点動作

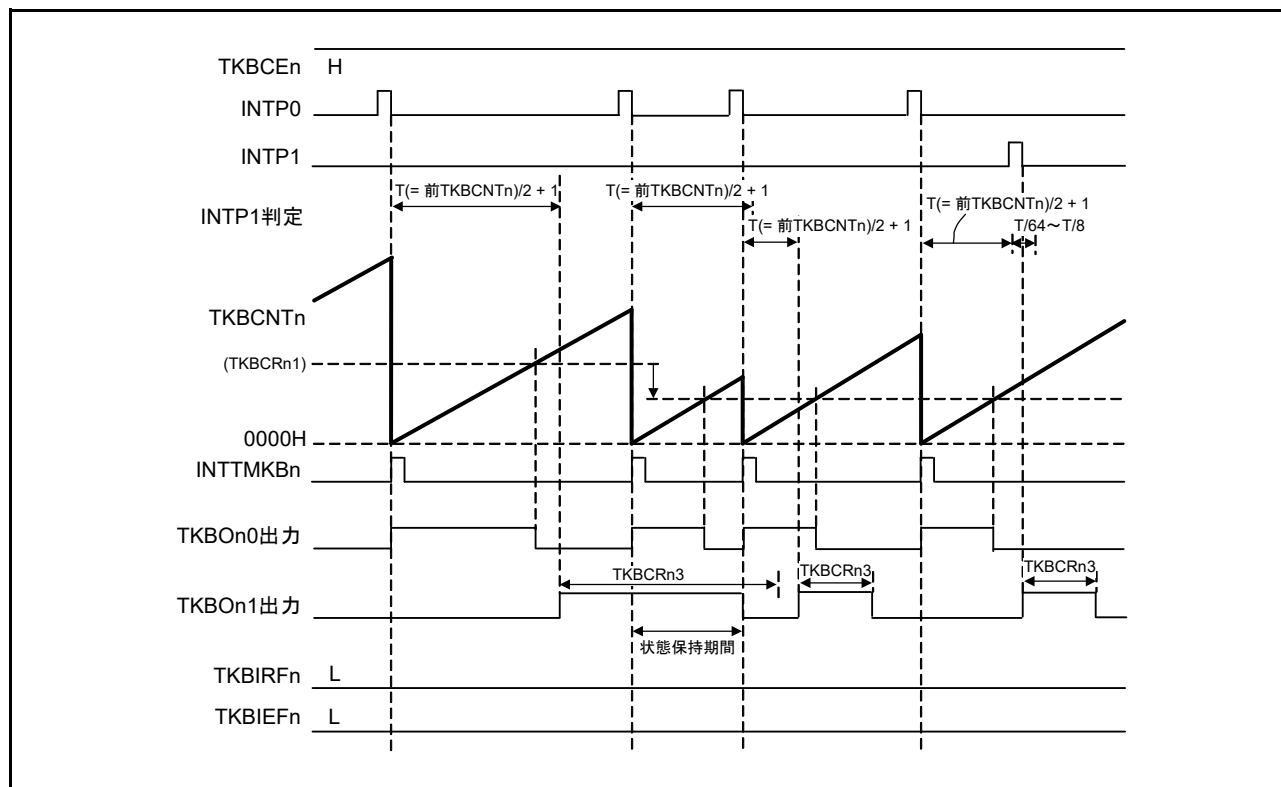
TKBOn1出力の特異点動作について、**図9 - 72**にTKBOn1出力がアクティブレベル時にINTP1入力を検出した場合の波形図、**図9 - 73**にTKBOn1出力の前の出力幅が長く状態保持期間を超える場合の波形図を記載します。出力のデフォルト値がロウ・レベル (TKBTODnp = 0) でアクティブ・レベルがハイ・レベル (TKBTOLnp = 0) の場合の動作波形を示します。

図9 - 72 インターリーブPFC出力モードのタイミング図
(TKBOn1出力がアクティブレベル時にINTP1入力を多重検出した場合)



TKBOn1出力がアクティブレベル時にINTP1入力を検出した場合、このトリガを無視します。このとき、TKBIEFnフラグが1にセットされます。

図9 - 73 インターリーブPFC出力モードのタイミング図
 (TKBOn1出力が次の周期をまたいでさらに出力幅の状態保持期間を超える場合)



TKBOn1出力が次の周期をまたいでさらに出力幅の状態保持期間を超える場合は、状態保持期間を完了した次の周期の開始タイミングで強制的にデフォルト出力とします。

(7) インターリーブPFC出力モードでのレジスタ設定一覧

TKBCTLn0	15	14	13	12	11	10	9	8
	TKBTGMn 1 1/0	— 0	TKBSSEn1 0	TKBDIEn1 0	TKBTGMn 0 1/0	— 0	TKBSSEn0 0	TKBDIEn0 0
TKBCTLn1	7	6	5	4	3	2	1	0
	TKBMFEn 1/0	TKBIRSn2 1/0	TKBIRSn1 1/0	TKBIRSn0 1/0	TKBIHEn 0	TKBTSEn 1	TKBSTSn1 0	TKBSTSn0 0
TKBCTLn1	7	6	5	4	3	2	1	0
	TKBCEn 1/0	— 0	— 0	TKBCKSn 1/0	TKBSCMn 0	— 0	TKBMDn1 1	TKBMDn0 1
TKBIOcn0	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	TKBTOLn1 1/0	TKBTOLn0 1/0	TKBTODn1 1/0	TKBTODn0 1/0
TKBIOcn1	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	— 0	TKBTOEn1 1/0	TKBTOEn0 1/0
TKBCTLn2	15	14	13	12	11	10	9	8
	— 0	— 0	— 0	— 0	— 0	— 0	— 0	— 0
TKBCTLn2	7	6	5	4	3	2	1	0
	— 0	— 0	— 0	— 0	— 0	TKBINSn2 0	TKBINSn1 0	TKBINSn0 0

TKBCRn0	0000H-FFFFH
TKBCRn1	0000H-FFFFH
TKBCRn2	0000H
TKBCRn3	0000H-FFFFH
TKBTGCRn	0000H-FFFFH
TKBSIRn0	0000H
TKBSIRn1	0000H
TKBSSRn0	00H
TKBSSRn1	00H
TKBDNRn0	00H
TKBDNRn1	00H
TKBMFRn	0000H-FFFFH



: このモードでは設定固定



: 設定不要（初期値を設定）

9.5 16ビット・タイマKB40, KB41, KB42のオプション機能

16ビット・タイマKB40, KB41, KB42にはオプション機能を付加することができます。

16ビット・タイマKB40, KB41, KB42の各動作モードに対する選択可能なオプションを次の表に示します。

動作モード		単体動作モード		同時スタート／ストップ・モード		同時スタート／クリア・モード ^{注1}	インターリーブPFC出力モード ^{注1}
動作モードにおける周期制御方法		TKBCRn0で周期制御	トリガで周期制御	TKBCRn0で周期制御	トリガで周期制御	マスタで周期制御	INTP0/TKBCRn0で周期制御
オプション機能	A/D変換スタート・タイミング信号出力機能	○	○	○	○	○	○
	PWM出力ディザリング機能 ^{注2}	○	○	○	○	○	×
	PWM出力ソフト・スタート機能 ^{注2}	○	○	○	○	○	×
	TKBOnp出力アクティブ時のトリガ入力マスク機能 ^{注2}	×	○	×	○	×	○
	最大周波数リミット機能 ^{注2}	×	○	×	○	×	○

注1. 同時スタート／クリア・モード、インターリーブPFC出力モードでは、IH制御PWM出力機能を使用できません。

注2. IH制御PWM出力機能を使用する場合、PWM出力ディザリング機能、PWM出力ソフト・スタート機能、TKBOnp出力アクティブ時のトリガ入力マスク機能、最大周波数リミット機能は使用できません。

備考 動作の詳細は、**9.4.2 デフォルトレベルとアクティブレベル**、**9.4.3 動作停止と動作開始**を参照してください。
トリガで周期制御のトリガは、TKBSTSn[1:0], TKBINSn[2:0]により選択した外部トリガのことを示しています。

9.5.1 A/D変換スタート・タイミング信号出力機能

16 ビット・タイマ KB トリガ・コンペア・レジスタ n (TKBTGCRn) を設定することにより A/D 変換スタート・タイミング信号出力を生成することができます。これにより、16 ビット・タイマ KB4n と A/D 変換スタート・タイミングを同期することができます。

TKBCNTn と TKBTGCRn レジスタの一致検出により、16 ビット・タイマ KB4n トリガ出力信号を出力し、TKBCRn0 レジスタの設定周期に対して任意のタイミングでトリガ出力が可能です。16 ビット・タイマ KB4n トリガ出力信号の出力幅は、タイマ・クロックの 1 クロック幅です。PWM 出力周期スタートからのトリガ出力タイミングは次の計算式により求められます。

$$\text{トリガ出力タイミング} = \text{TKBTGCRn レジスタの設定値} \times \text{カウント} \cdot \text{クロック周期}$$

注意 TKBCRn0 < TKBTGCRnのとき、16ビット・タイマKB4nトリガ出力信号は出力されません。

図9-74 単体動作モード（TKBCRn0による周期制御）でのA/D変換スタート・タイミング信号出力機能

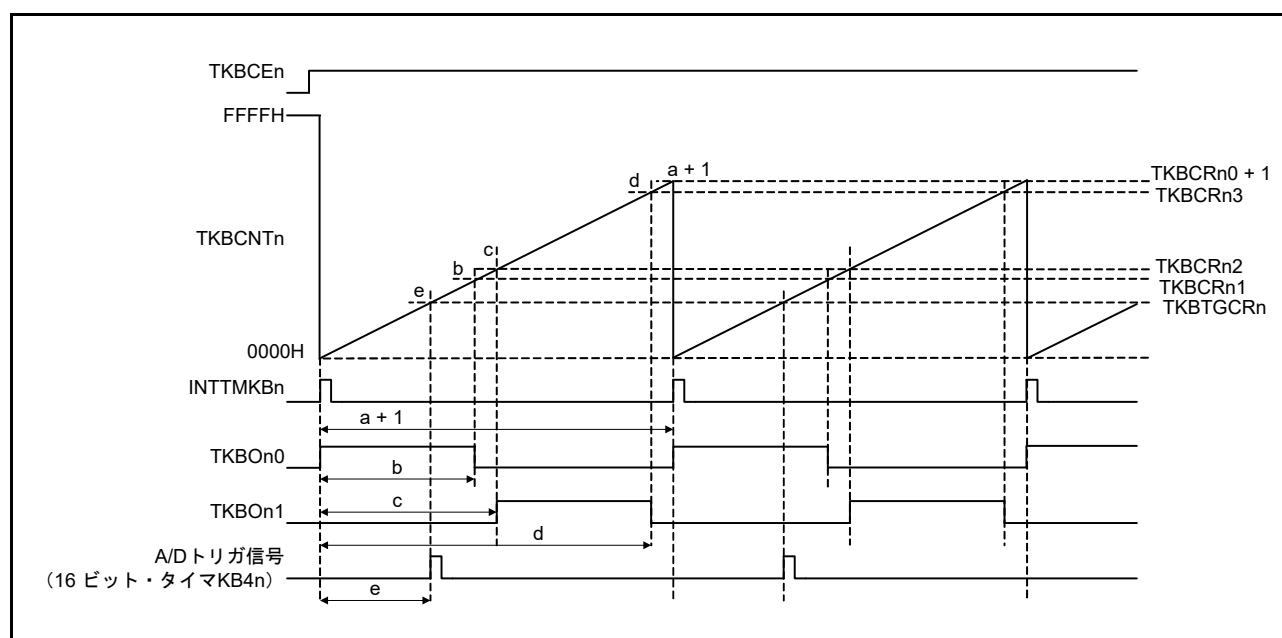
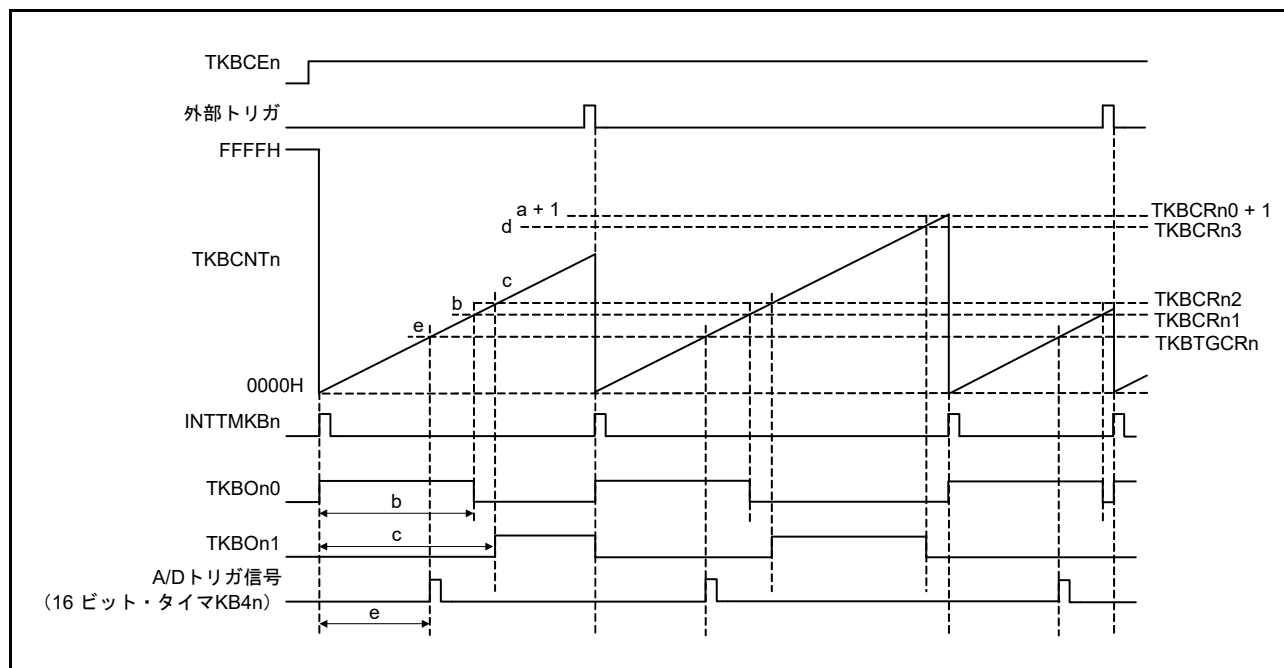


図9 - 75 単体動作モード（外部トリガ入力による周期制御）でのA/D変換スタート・タイミング信号出力機能



9.5.2 PWM出力ディザリング機能

16ビット・タイマ KB40, KB41, KB42 は PWM 出力ディザリング機能を使用することで高分解 PWM 出力を可能としています。

PWM 周期の 16 周期を基準とし、16 周期中の n 周期 ($n = 0-15$) でアクティブ期間を 1 カウント・クロック分延長することにより、平均分解能として 16 倍向上させた PWM 出力を可能とします。

16 周期中のアクティブ期間を 1 カウント・クロック延長させる周期は、TKBDNRnp ビットにより決まります。

TKBDNRnp ビットと、アクティブ期間を 1 カウント・クロック延長する周期との関係は以下のとおりです。

表9-4 TKBDNRnpと、アクティブ期間を1カウント・クロック延長する周期との関係図

周期 回数 (N)	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0																
1																
2																
3																
4																
5																
6																
7																
8																
9																
10																
11																
12																
13																
14																
15																

備考1.  セルの周期 : TKBCRn1, TKBCRn3 レジスタの設定値で出力をインアクティブ

 セルの周期 : TKBCRn1, TKBCRn3 レジスタの設定値 + 1 で出力をインアクティブ

備考2. $n = 0-2$; $p = 0, 1$

図9 - 76 ディザリング動作の波形図

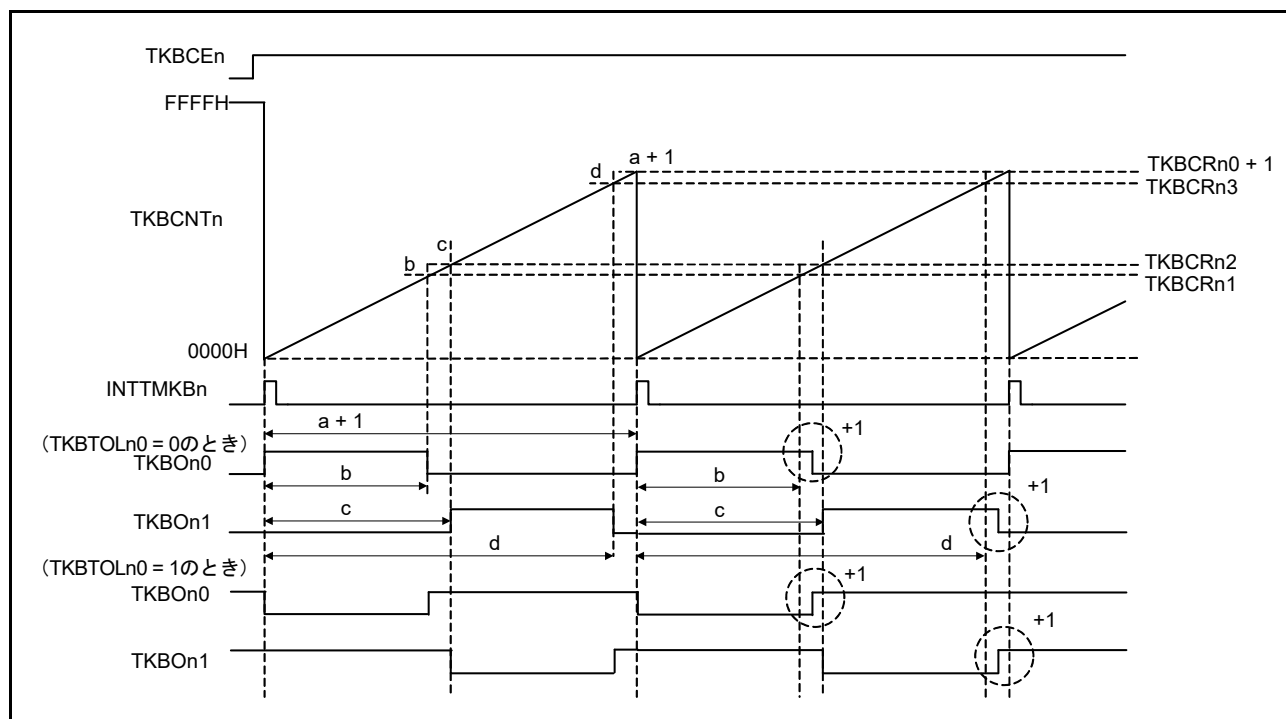


図9 - 77 ディザリング動作の波形図

(TKBCRn1 = TKBCRn0 (100%近傍)、TKBCRn2 = TKBCRn3 (0%近傍) の場合)

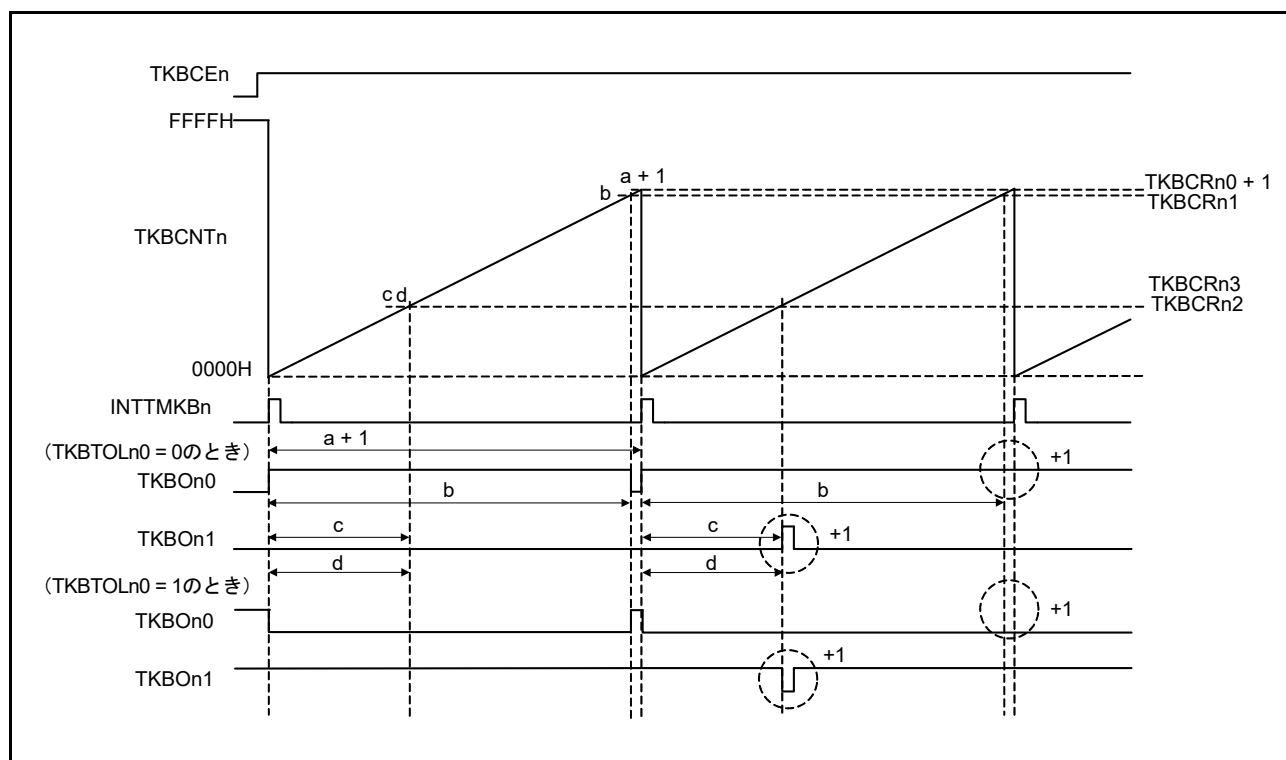
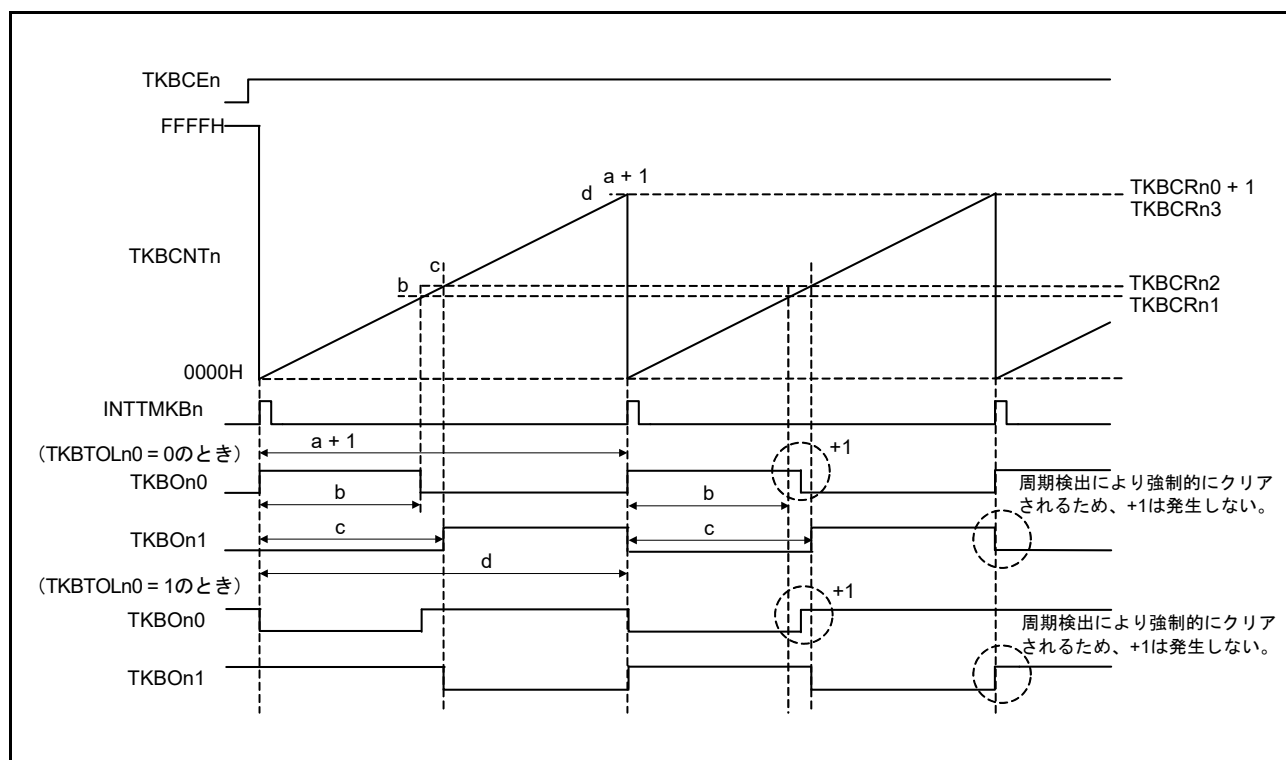


図9 - 78 ディザリング動作の波形図 (TKBCRn3 = TKBCRn0 + 1の場合)



(1) PWM出力ディザリング機能が使用可能な動作モード

TKBCTLn1レジスタ（TKBMDn[1:0]ビット）に指定される各モードでのPWM出力ディザリング機能の使用可否を示します。

動作モード	TKBMDn[1:0]	設定可能
単体動作モード（TKBCRn0レジスタによる周期制御）	00B	○
単体動作モード（外部トリガ入力による周期制御）	00B	○
同時スタート/ストップ・モード（TKBCRn0レジスタによる周期制御）	01B	○
同時スタート/ストップ・モード（外部トリガ入力による周期制御）	01B	○
同時スタート/クリア・モード（マスタによる周期制御）	10B	○
インターリーブPFC出力モード	11B	×

TKBDNRn0/TKBDNRn1レジスタは、それぞれTKBOn0/TKBOn1のPWM出力ディザリング機能を制御します。

注意1. 【TKBDNRn0/TKBDNRn1レジスタの動作中（TKBCEn = 1）書き換え】

TKBDNRn0/TKBDNRn1レジスタは、バッファを保有しているので、動作中（TKBCEn = 1）の書き換えが可能です。

その際には、TKBRDTnビットへの1書き込みによる一斉書き換えを行います。

注意2. 【TKBCRLDn0/TKBCRLDn1レジスタによるアクセス】

- TKBCRLDn0レジスタは、TKBCRn1の下位8ビットとTKBDNRn0レジスタをマッピングした16ビットレジスタです。
- TKBCRLDn1レジスタは、TKBCRn3の下位8ビットとTKBDNRn1レジスタをマッピングした16ビットレジスタです。
- TKBDNRn0/TKBDNRn1レジスタは、TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されます。
- TKBCRn1/TKBCRn3レジスタは、TKBCRLDn0/TKBCRLDn1レジスタにアクセスした場合も値が変更されます。
TKBCRLDn0/TKBCRLDn1レジスタへアクセスした場合、TKBCRn1/TKBCRn3レジスタの下位8ビットのみが変更されることに注意してください。

注意3. 【PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合】

- PWM出力ソフト・スタート機能実行（TKBSSFnp = 1）中は、PWM出力ディザリング機能は無効になります。
- PWM出力ソフト・スタート機能停止（TKBSSFnp = 0）で、PWM出力ディザリング機能が有効になります。

9.5.3 PWM出力ソフト・スタート機能

16ビット・タイマKB40, KB41, KB42は、突入電流抑制および過電圧の防止に対応するPWM出力ソフト・スタート機能を保有しています。PWM出力ソフト・スタート機能は、タイマのスタートタイミングで起動します。従来、ユーザがソフト操作で行っていた処理をハードウェアのオプション機能で容易に実現することができます。16ビット・タイマKBソフト・スタート初期デューティ・レジスタnp (TKBSIRnp) の設定値を1周期のアクティブ期間としてPWM波形を生成し、16ビット・タイマKBソフト・スタート・ステップ幅レジスタnp (TKBSSRnp) で指定した値+1周期は同一アクティブ期間のPWM波形を出力したあと、「アクティブ期間を+1」して再度TKBSSRnp+1周期間同一波形を出力します。

動作を繰り返し、TKBCRn1, TKBCRn3レジスタで決定されるアクティブ期間と同じになったらPWM出力ソフト・スタート機能を解除します。

16ビット・タイマKBソフト・スタート初期デューティ・レジスタnpは、以下の条件で設定する必要があります。

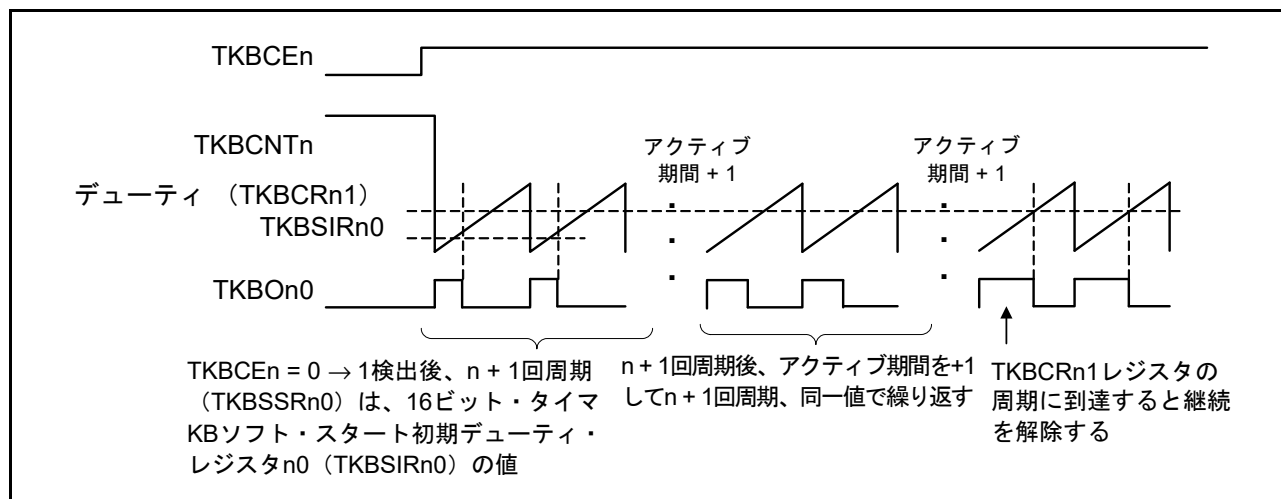
$$0000H \leq TKBSIRn0 < TKBCRn1 \leq TKBCRn0 + 1$$

$$TKBCRn2 \leq TKBSIRn1 < TKBCRn3 \leq TKBCRn0 + 1$$

同時スタート/クリア・モード使用時は、以下の条件で設定する必要があります。

$$TKBCRn0 \leq TKBSIRn0 < TKBCRn1 \leq \text{マスタのTKBCR00} + 1$$

図9-79 PWM出力ソフト・スタート機能



(1) PWM出力ソフト・スタート機能が使用可能な動作モード

動作モード	TKBMDn[1:0]	使用可否
単体動作モード (TKBCRn0 レジスタによる周期制御)	00B	○
単体動作モード (外部トリガ入力による周期制御)	00B	○
同時スタート/ストップ・モード (TKBCRn0 レジスタによる周期制御)	01B	○
同時スタート/ストップ・モード (外部トリガ入力による周期制御)	01B	○
同時スタート/クリア・モード (マスタによる周期制御)	10B	○
インターリーブPFC出力モード	11B	×

TKBSIRn0, TKBSSRn0/TKBSIRn1, TKBSSRn1 レジスタは、それぞれTKBOn0/TKBOn1のPWM出力ソフト・スタート機能を制御します。

(2) TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中 (TKBCEn = 1) 書き換え

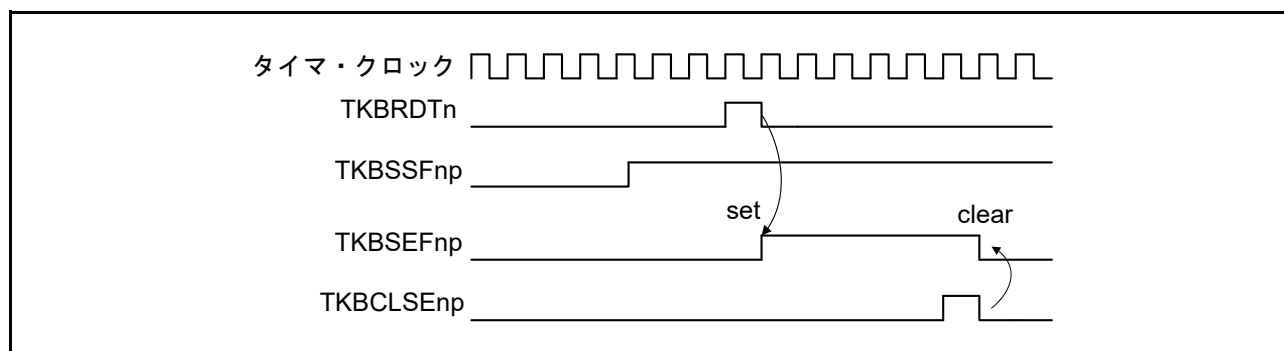
TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタは、動作中 (TKBCEn = 1) に書き換えが可能です。

TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタは、バッファを保有しておりTKBRDTnビットへの1書き込みにより一斉に書き換えられます。

(3) TKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの動作中 (TKBCEn = 1) 書き換え

PWM出力ソフト・スタート期間 (TKBSSFn0 = 1, TKBSSFn1 = 1) 中にTKBRDTnビットを1に設定した場合、一斉書き換えがマスクされTKBSEFnpフラグがセットされます。一斉書き換えするためには、TKBSEFnpフラグをクリアしてTKBSSFnpフラグが0となることを確認してTKBRDTnビットを1にセットしてください。

図9 - 80 ソフト・スタート機能動作中 (TKBSSFnp = 1) のTKBCRn0/TKBCRn1/TKBCRn2/TKBCRn3/TKBSIRn0/TKBSIRn1/TKBSSRn0/TKBSSRn1 レジスタの書き換え



(4) PWM出力ソフト・スタート機能とPWM出力ディザリング機能を併用する場合

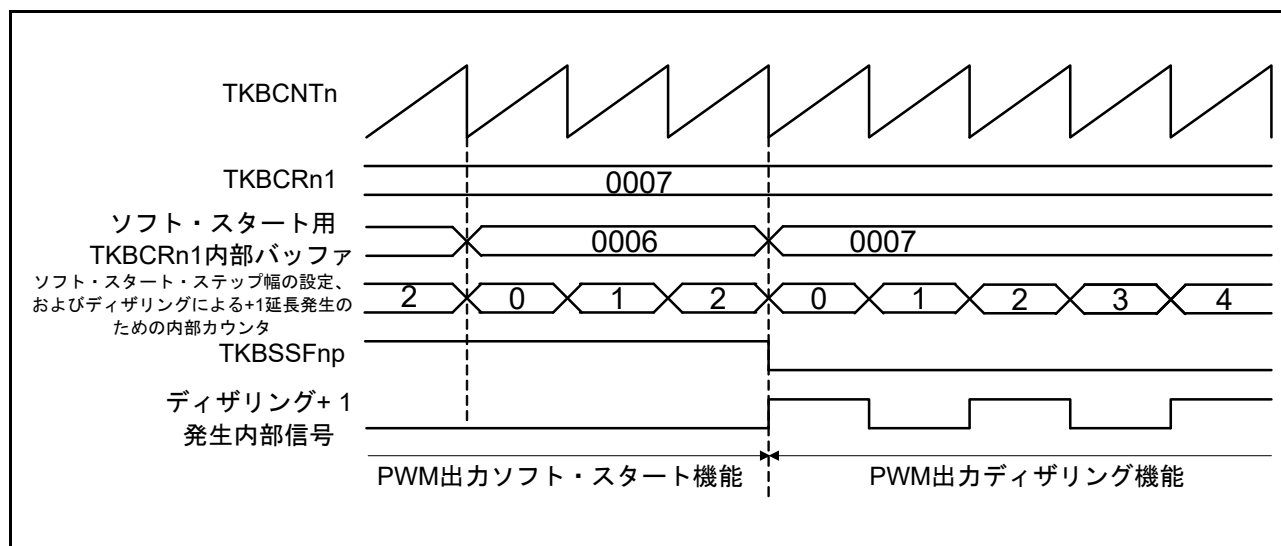
PWM出力ソフト・スタート機能実行 (TKBSSFnp = 1) 中は、PWM出力ディザリング機能は無効となります。

PWM出力ソフト・スタート機能停止 (TKBSSFnp = 0) で、PWM出力ディザリング機能が有効となります。

(5) PWM出力ソフト・スタート機能の解除とTKBSSFnpの動作

TKBCRn1レジスタを0007H、TKBDNRnpレジスタを70H、TKBSSRnpレジスタを02Hとした場合の図を示します。TKBCRn1 = 0007Hとソフト・スタート用TKBCRn1内部バッファの値が一致するタイミングでTKBSSFnpフラグがクリアされ、ディザリング機能が開始されます。

図9 - 81 PWM出力ソフト・スタート機能の解除とTKBSSFnpの動作



9.5.4 最大周波数リミット機能

16 ビット・タイマ KB40, KB41, KB42 は、外部トリガ入力による周期制御またはインターリーブ PFC 出力モード時に、カウンタ・クリアの最小周期（最大周波数）を制限する機能を保有しています。

この機能を使用すると、カウンタ・クリアを行う外部トリガ入力、カウンタ値が 16 ビット・タイマ KB 最大周波数リミット設定レジスタ n (TKBMFRn) の設定値より小さいときに発生した場合、その入力を保留し、TKBMFRn レジスタの設定値までカウントを継続したあとにカウンタ・クリアを行います。

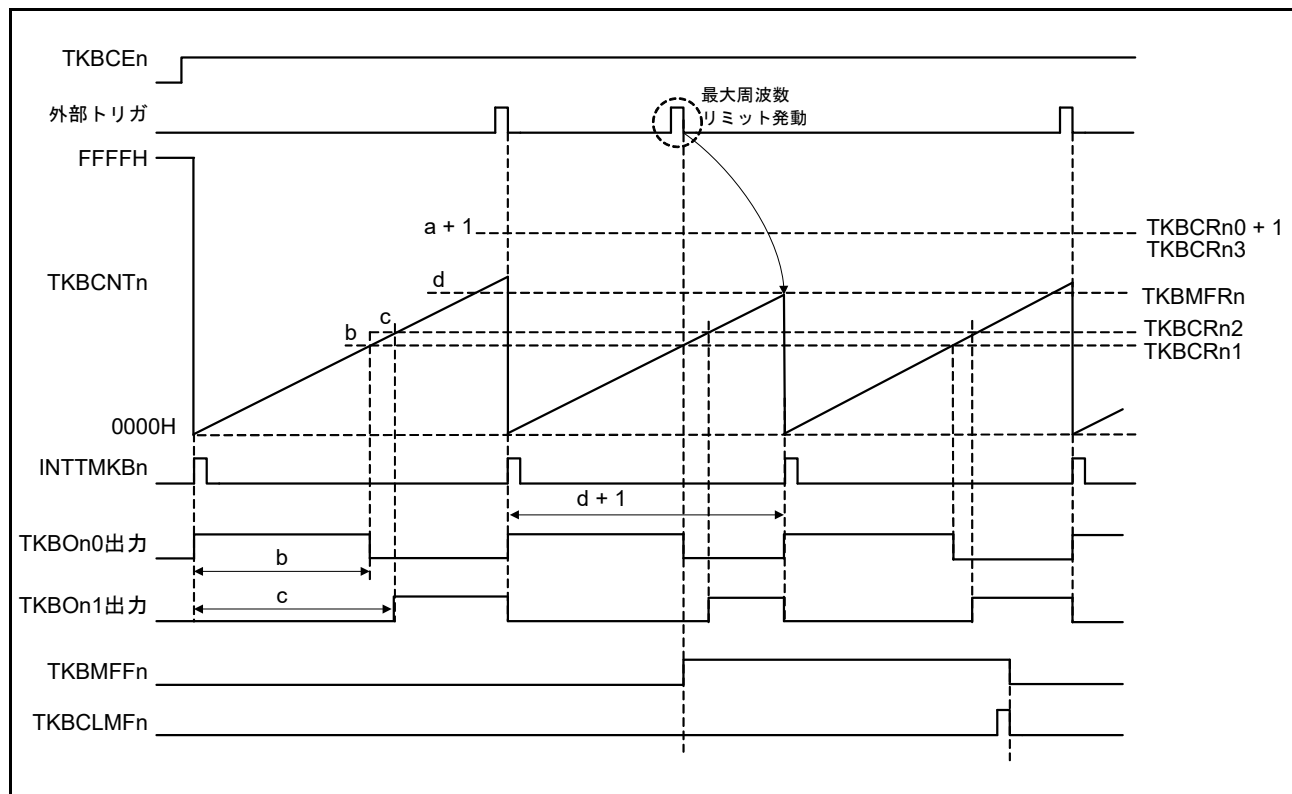
(1) 最大周波数リミット (= 1 / 最小周期) の計算式

最小周期 (= 1 / 最大周波数リミット) = (TKBMFRnの設定値 + 1) × カウント・クロック周期

注意 TKBMFRnの設定値 $\leq$ TKBCRn0の設定値とする必要があります。

外部トリガ入力検出タイミングで、カウンタ値がTKBMFRnレジスタより小さい場合、TKBMFFnフラグが1にセットされます。TKBMFFnフラグは、TKBCLMFnビットへの1書き込みにより0にクリアされます。

図9-82 最大周波数リミット機能（外部トリガ入力による周期制御の場合）



(2) 最大周波数リミット機能が使用可能な動作モード

最大周波数リミット機能は、以下の動作モードで使用できます。

動作モード	TKBMDn[1:0]	設定可能
単体動作モード (TKBCRn0 レジスタによる周期制御)	00B	×
単体動作モード (外部トリガ入力による周期制御)	00B	○
同時スタート/ストップ・モード (TKBCRn0 レジスタによる周期制御)	01B	×
同時スタート/ストップ・モード (外部トリガ入力による周期制御)	01B	○
同時スタート/クリア・モード (マスタによる周期制御)	10B	×
インターリーブPFC出力モード	11B	○

備考 外部トリガ入力による周期制御の場合に使用可能です。同時スタート/クリアモード設定時のスレーブの周期制御は、マスタの周期制御と同一動作となります。マスタが単体動作モード (外部トリガ入力による周期制御) を選択している場合には、マスタにて最大周波数リミット機能を使用することが可能です。スレーブは最大周波数リミット機能を使用しない (TKBCTLn0.TKBMFEn = 0) に設定してください。

(3) インターリーブPFC出力モード時の最大周波数リミット機能使用

インターリーブPFC出力モード時、INTP0の検出が最大周波数リミット機能の発動条件となります。

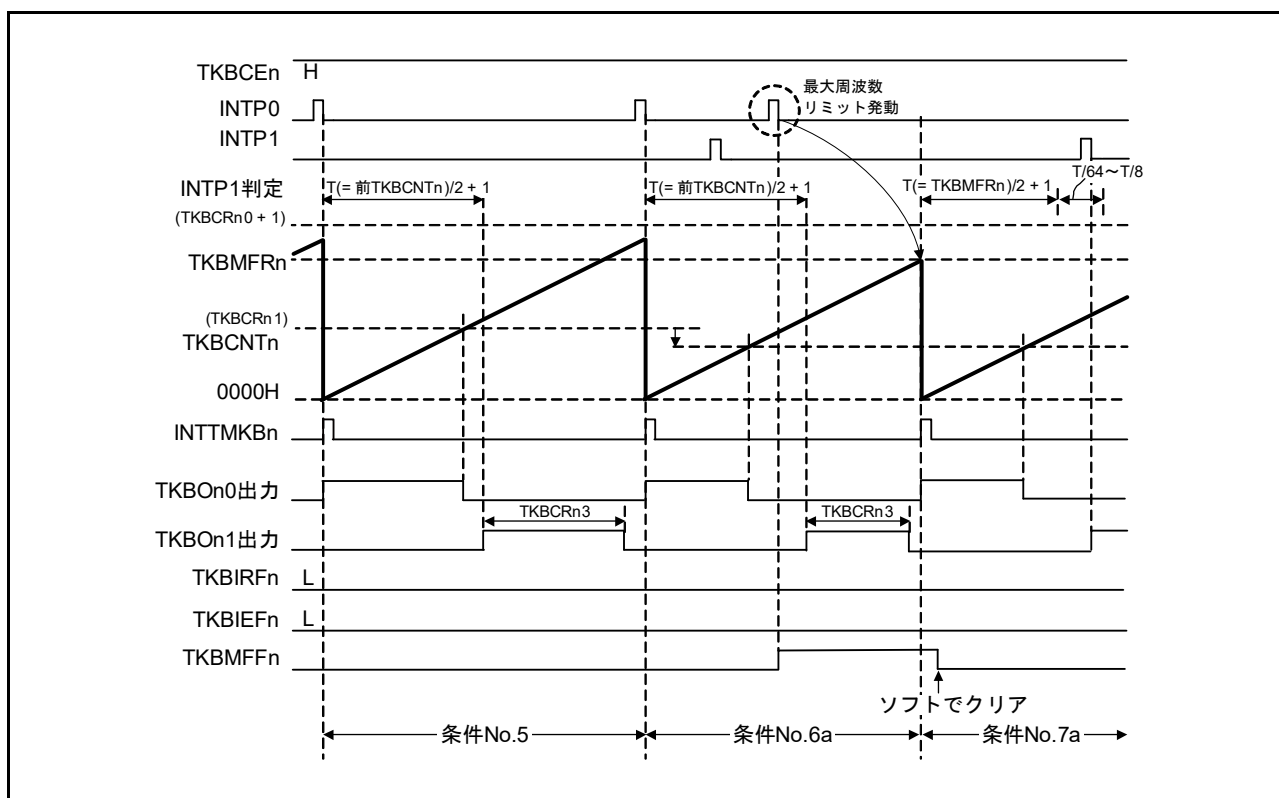
TKBIRSn[2]ビットの設定値により最大周波数リミット機能が発動した際のTKBOn1の出力条件が異なります。

TKBIRSn[2]ビットの設定値による動作を以下に示します。

TKBIRSn[2]	TKBOn1の出力制御
0	最大周波数リミット機能の発動有無にかかわらず、INTP0の検出およびINTP1の検出がTKBIRSn[1:0]にて設定した判定範囲を満たしているかの判定によりTKBOn1を出力する。
1	最大周波数リミット機能の発動につながるINTP0の検出タイミングによりINTP1の検出に関係なくTKBOn1を出力する。

最大周波数リミット機能を使用することで図9-61に示した条件No.5の次判定周期において「前の周期のT/2」にあたる期間にINTP1を検出しますが、判定周期が「前の周期のT/2未満」となりTKBOn1を出力しないケース（条件No.6b）を抑制することができます。図9-83に最大周波数リミット機能により判定周期が「前の周期のT/2未満」となる状態を回避しINTP1を検出することによりTKBOn1を出力（条件No.6a）する動作波形を示します。

図9-83 インターリーブPFC出力モードでの最大周波数リミット機能タイミング図（条件No.6aの動作）
（前の周期のT/2未満でINTP0を検出し最大周波数リミットが発動した場合）【TKBIRSn[2:0] = 0xxB】

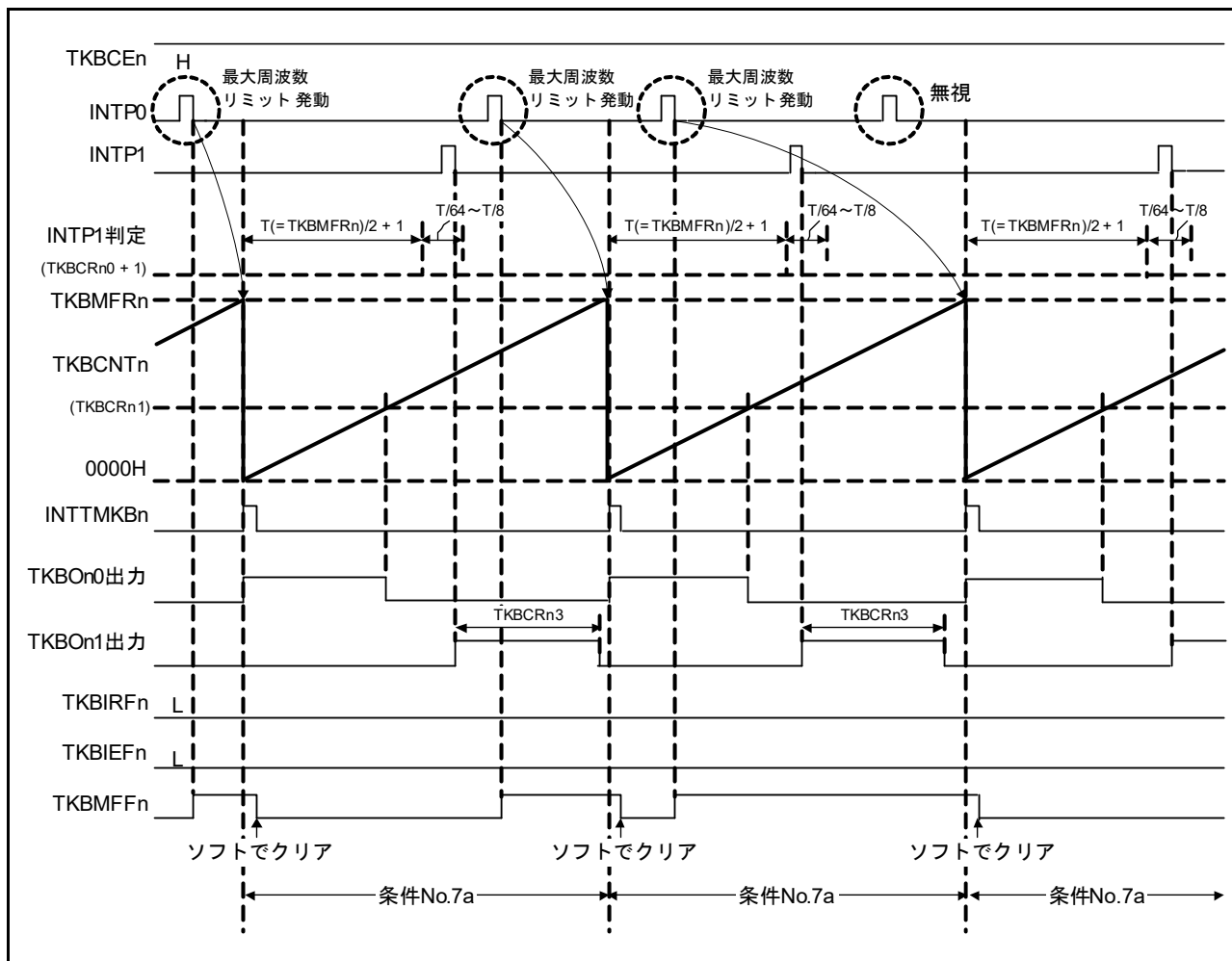


条件No.6a：前の周期のT/2以内にINTP1を検出した場合、前の周期のT/2でTKBCRn3レジスタの設定幅のTKBOn1を出力します。最大周波数リミット機能の発動により、カウンタとTKBMFRn設定値の一致による周期制御となるため、条件No.6bの動作から条件No.6aの動作となりTKBOn1を出力します。

(4) インターリーブPFC出力モードの動作 (TKBIRSn[2:0] = 0xB 設定時)

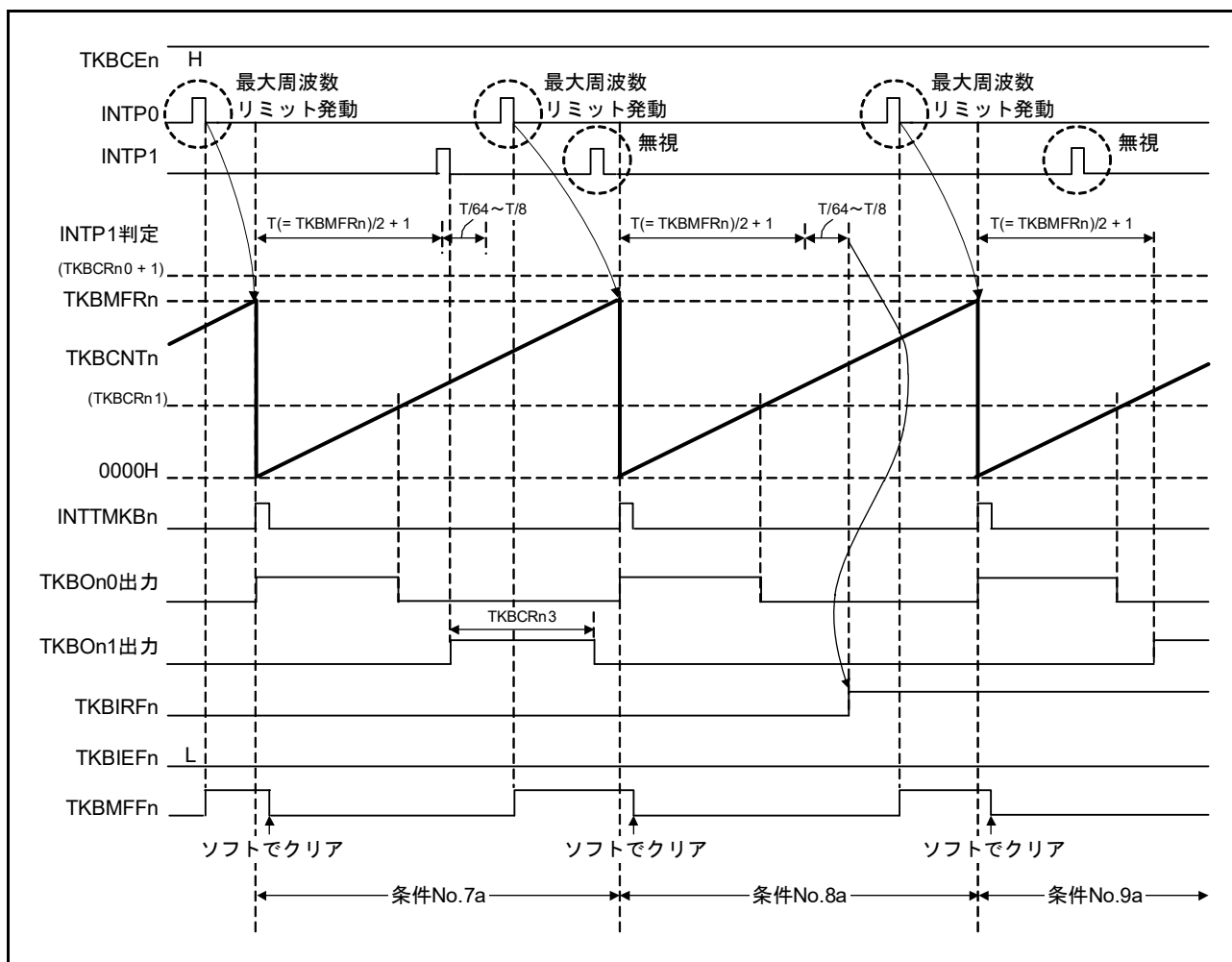
最大周波数リミット機能を使用するとINTP0検出からTKBMFRn設定値までのカウント動作中にINTP1を検出するケースが想定されます。TKBIRSn[2:0] = 0xB 設定時は、TKBOn1の出力制御がINTP1を検出したタイミングに依存するため、INTP0によるカウンタのクリアとINTP1検出の順番が変わってしまう場合があります。図9 - 84に前の周期のT/2未満でINTP0を検出し最大周波数リミットが発動した場合の動作波形、図9 - 85に前の周期のT/2以上でINTP0を検出し最大周波数リミットが発動した場合の動作波形を示します。

図9 - 84 インターリーブPFC出力モードでの最大周波数リミット機能タイミング図 (条件No.7aの動作)
(前の周期のT/2未満でINTP0を検出し最大周波数リミットが発動した場合)



条件No.7a : 前の周期のT/2以上、前の周期のT/2 + T/m (mは8, 16, 32, 64: TKBIRSn[1:0]ビットで設定) 以内でINTP1を検出するとTKBCRn3レジスタの設定幅のTKBOn1を出力します。

図9 - 85 インターリーブPFC出力モードでの最大周波数リミット機能タイミング図（条件No.8aの動作）
 （前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）以上でINTP0を検出し最大周波数リミットが発動した場合）



条件No.7a：前の周期の $T/2$ 以上、前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）以内にINTP1を検出するとTKBCRn3レジスタの設定幅のTKBOn1を出力します。最大周波数リミット機能発動中の周期内で検出した2回目のINTP1は無視します。

条件No.8a：前の周期の $T/2 + T/m$ （ m は8, 16, 32, 64: $TKBIRSn[1:0]$ ビットで設定）以内にINTP1が検出されず、TKBOn1は状態を保持します。このとき、TKBIRFnフラグが1にセットされます。

(5) インターリーブPFC出力モードの動作 (TKBIRSn[2:0] = 100Bまたは101B設定時)

TKBIRSn[2:0] = 100Bまたは101B設定時に最大周波数リミット機能を使用する場合、最大周波数リミット機能の発動につながるINTP0の検出タイミングによりINTP1の検出に関係なくTKBOn1を出力します。

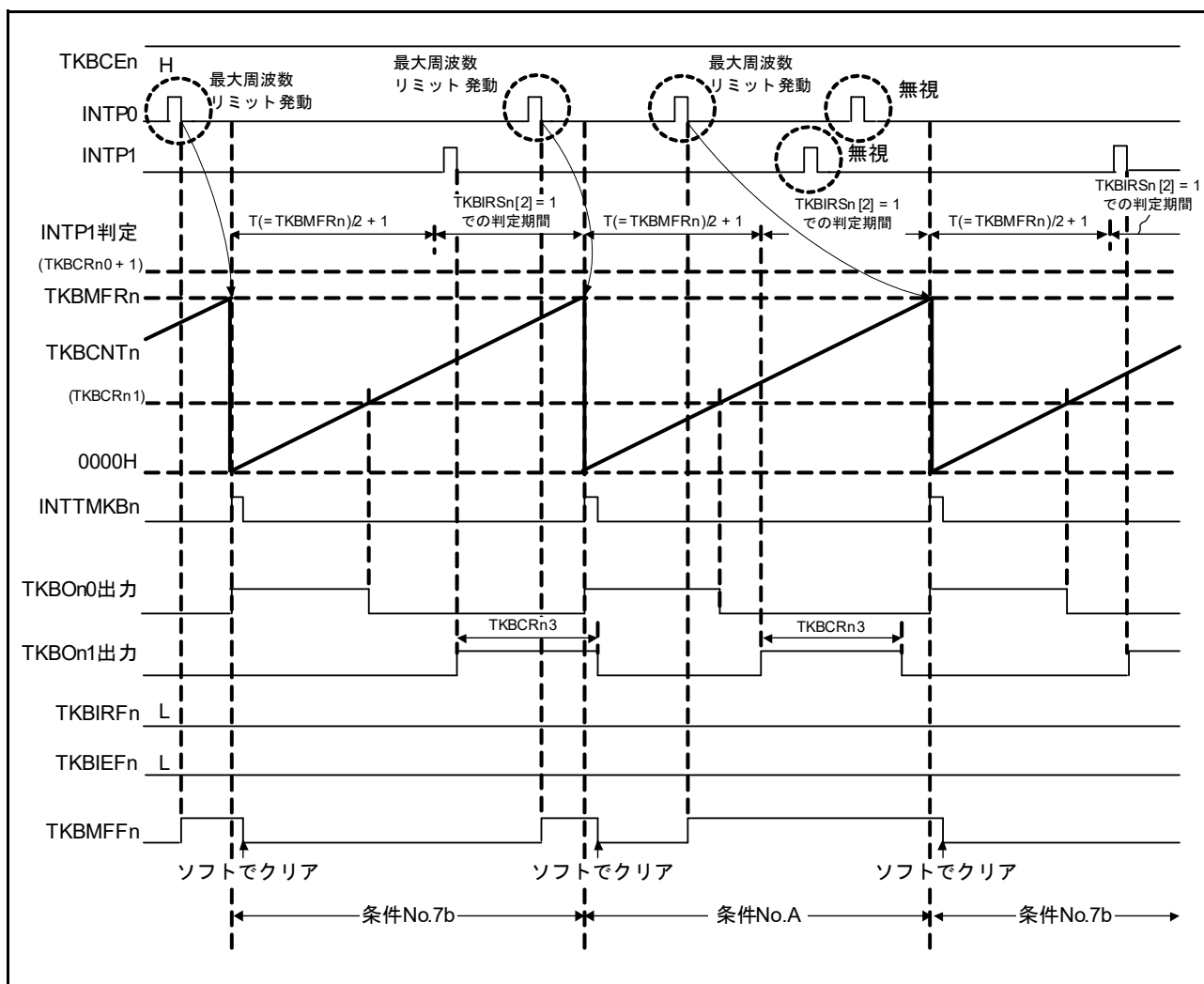
最大周波数リミット機能発動時のTKBOn1の出力条件を以下に示します。

最大周波数リミット機能が発動していない周期のTKBOn1の出力条件は、**9.4.10 インターリーブPFC (Power Factor Correction) 出力モード**を参照してください。

条件No	判定状態1 (INTP0入力)	判定状態2 (TKBCRn0との一致/INTP1入力)	判定状態3 (周期幅)	出力状態
A	TKBMFRn設定以下、かつ T/2未満でINTP0入力検出	—	—	< TKBIRSn[2:0] = 100B設定時> T/2で出力
B				< TKBIRSn[2:0] = 101B設定時> トリガ入力で出力
C	TKBMFRn設定以下、かつ T/2以上でINTP0入力検出	—	—	トリガ入力で出力

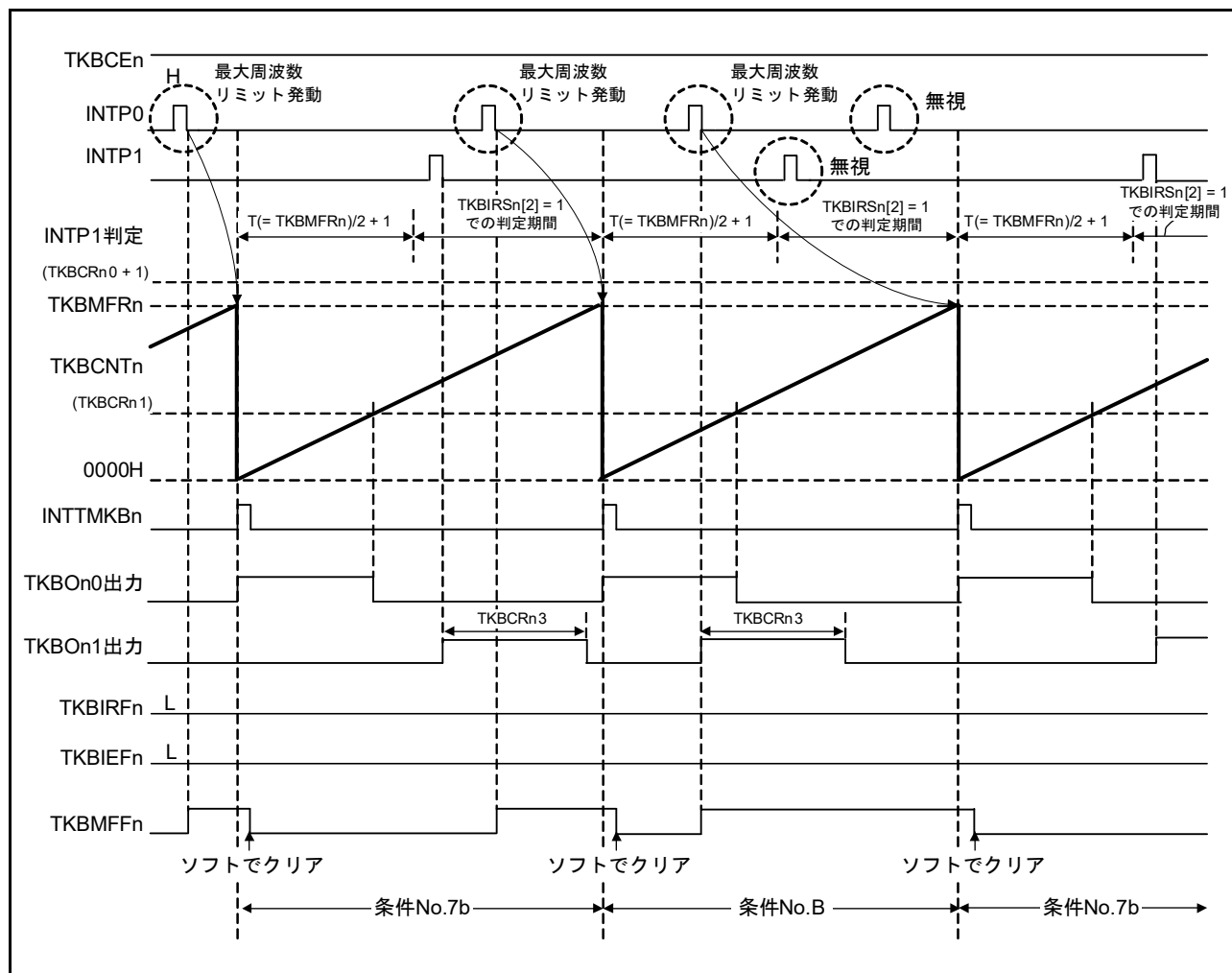
図9 - 84に示した前の周期のT/2未満でINTP0を検出し最大周波数リミットが発動した場合の動作に対して、図9 - 86にTKBIRSn[2:0] = 100B設定時の動作波形、図9 - 87にTKBIRSn[2:0] = 101B設定時の動作波形を示します。

図9 - 86 インターリーブPFC出力モードでの最大周波数リミット機能タイミング図（条件No.Aの動作）
（前の周期のT/2未満でINTP0を検出し最大周波数リミットが発動した場合）【TKBIRSn[2:0] = 100B】



条件No.A : 前の周期のT/2未満にINTP0を検出した場合、INTP0検出時のカウンタ値がTKBMFRn設定値より小さいため、最大周波数リミット機能が発動します。カウンタが前の周期のT/2になるとTKBOn1を出力します。最大周波数リミット機能が発動以降のINTP1の検出は無視します。

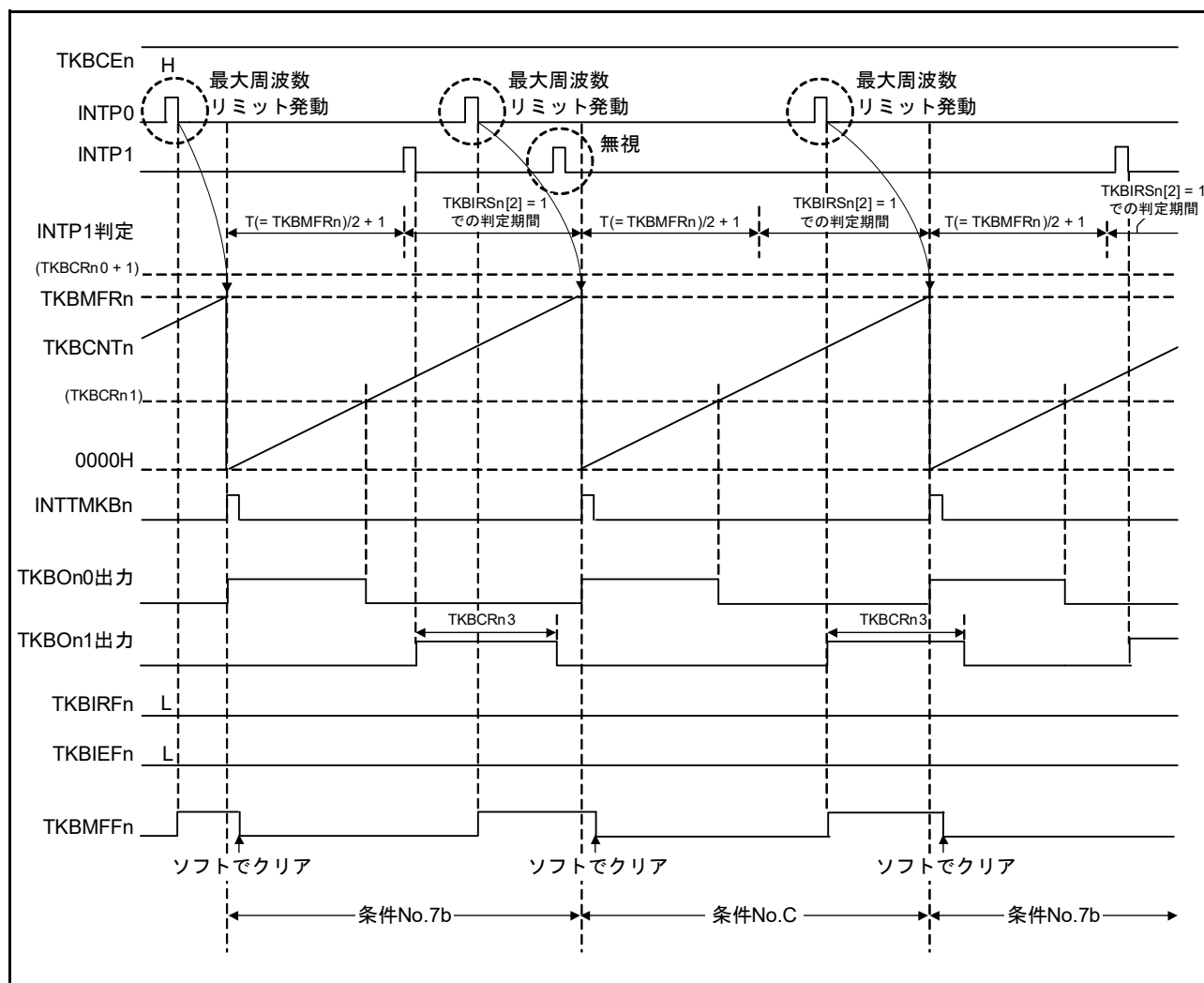
図9 - 87 インターリーブPFC出力モードでの最大周波数リミット機能タイミング図（条件No.Bの動作）
（前の周期のT/2未満でINTP0を検出し最大周波数リミットが発動した場合）【TKBIRSn[2:0] = 101B】



条件No.B : 前の周期のT/2未満にINTP0を検出した場合、INTP0検出時のカウンタ値がTKBMFRn設定値より小さいため、最大周波数リミット機能が発動します。INTP0の検出によりTKBOn1を出力します。最大周波数リミット機能が発動以降のINTP1の検出は無視します。

図9 - 85に示した前の周期のT/2以上でINTP0を検出し最大周波数リミットが発動した場合の動作に対して、図9 - 88にTKBIRSn[2:0] = 100Bまたは101B設定時の動作波形を示します。

図9 - 88 インターリーブPFC出力モードでの最大周波数リミット機能タイミング図（条件No.Cの動作）
（前の周期のT/2以上でINTP0を検出し最大周波数リミットが発動した場合）【TKBIRSn[2:0] = 100Bまたは101B】



条件No.C : 前の周期のT/2以上でINTP0を検出した場合、INTP0検出時のカウンタ値がTKBMFRn設定値より小さいため、最大周波数リミット機能が発動します。カウンタが前の周期のT/2以上のため、INTP0の検出によりTKBO1を出力します。

9.5.5 TKBOnp出力アクティブ時の外部トリガ入力マスク機能

TKBOnp 出力のアクティブレベルの変化における本来不要な外部トリガ入力検出を抑制する機能を保有しています。

外部トリガ入力マスク機能制御ビット (TKBTGMnp) により判定に使用するタイマ出力を選択可能です。

外部トリガ入力マスク機能におけるマスク制御は、TKBOnp に対して強制出力停止機能を適用する前の 16 ビット・タイマ KB4n 出力のアクティブレベルを用いて判定します。

最大周波数リミット機能を使用する (TKBMFEn = 1) 場合は、マスク制御後の外部トリガ入力検出に対して、周期内の最大周波数リミット機能発動を判定します。

図9 - 89 TKBOnp出力アクティブ時の外部トリガ入力マスク機能の動作タイミング図【TKBTGMn1 = 0, TKBTGMn0 = 1, TKBTOLnp = 0】

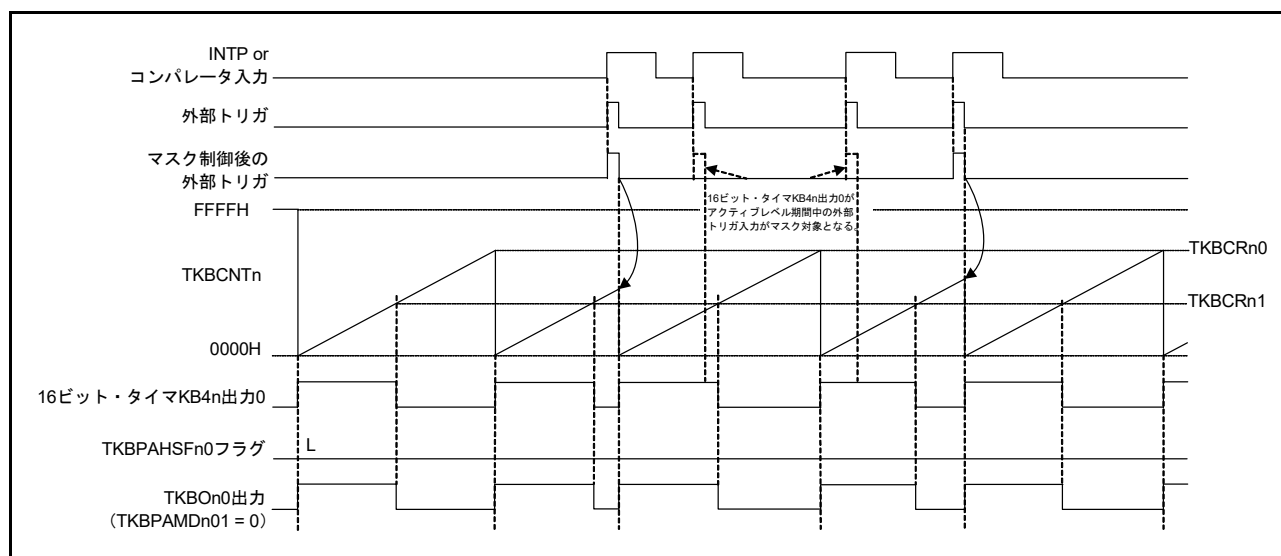
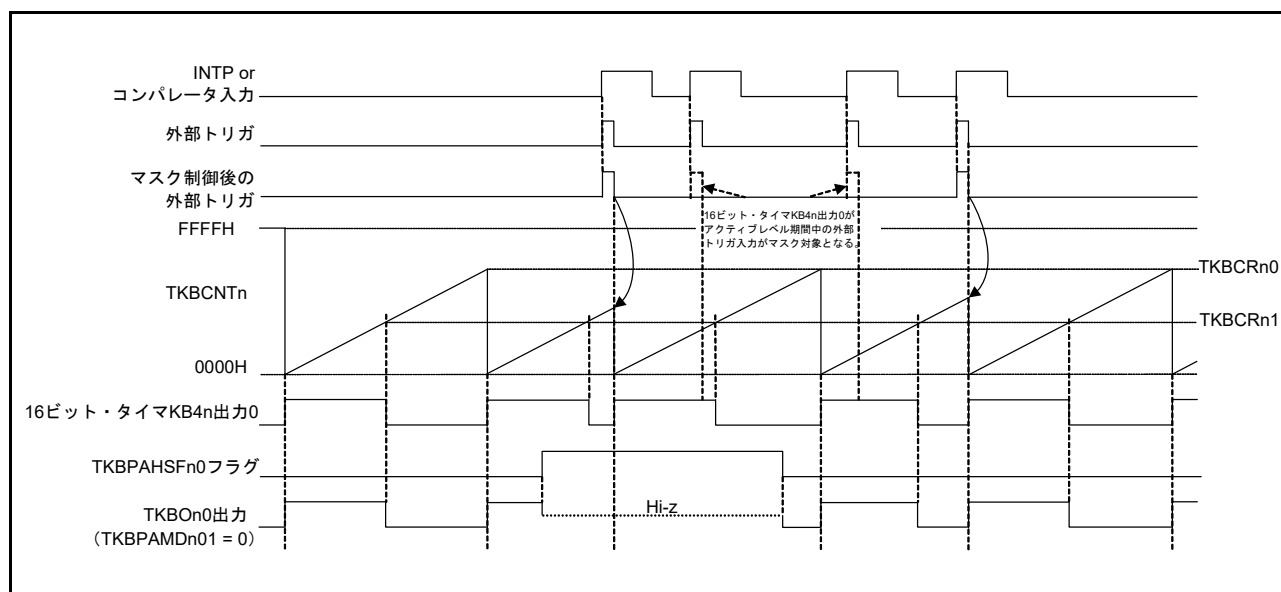


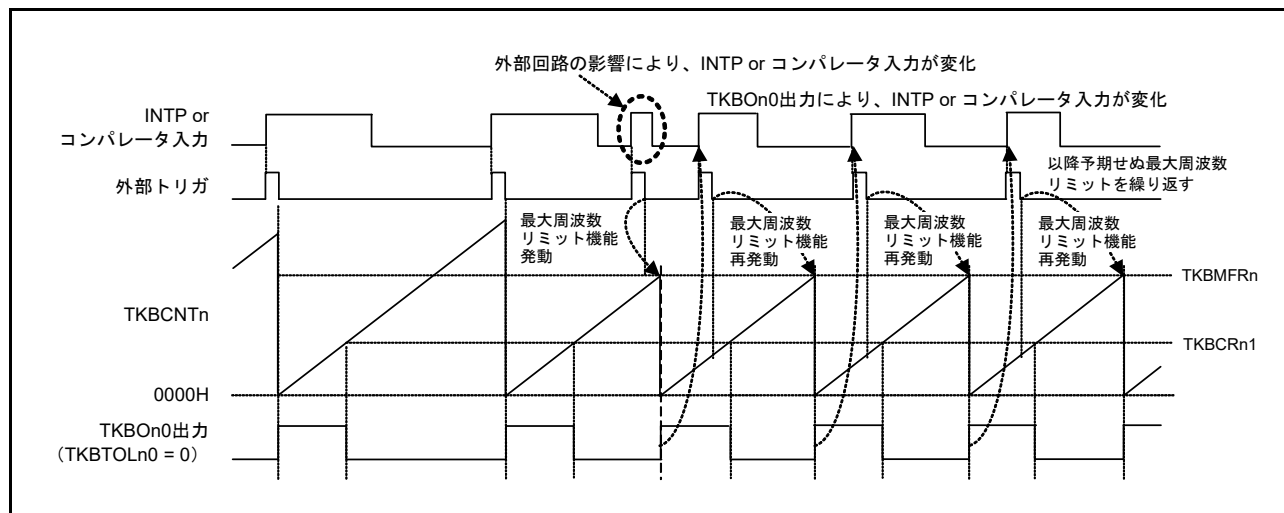
図9 - 90 強制出力停止制御によりHi-Z出力時の動作タイミング図【TKBTGMn1 = 0, TKBTGMn0 = 1, TKBTOLnp = 0】



TKBOnp 出力アクティブ時の外部トリガ入力マスク機能の適用例として、**図9-91**に外部回路の動作により最大周波数リミット機能が連続発動してしまう場合の動作例、**図9-92**に最大周波数リミット機能のマスク制御により最大周波数リミット機能の連続発動を抑制した場合の動作例を示します。

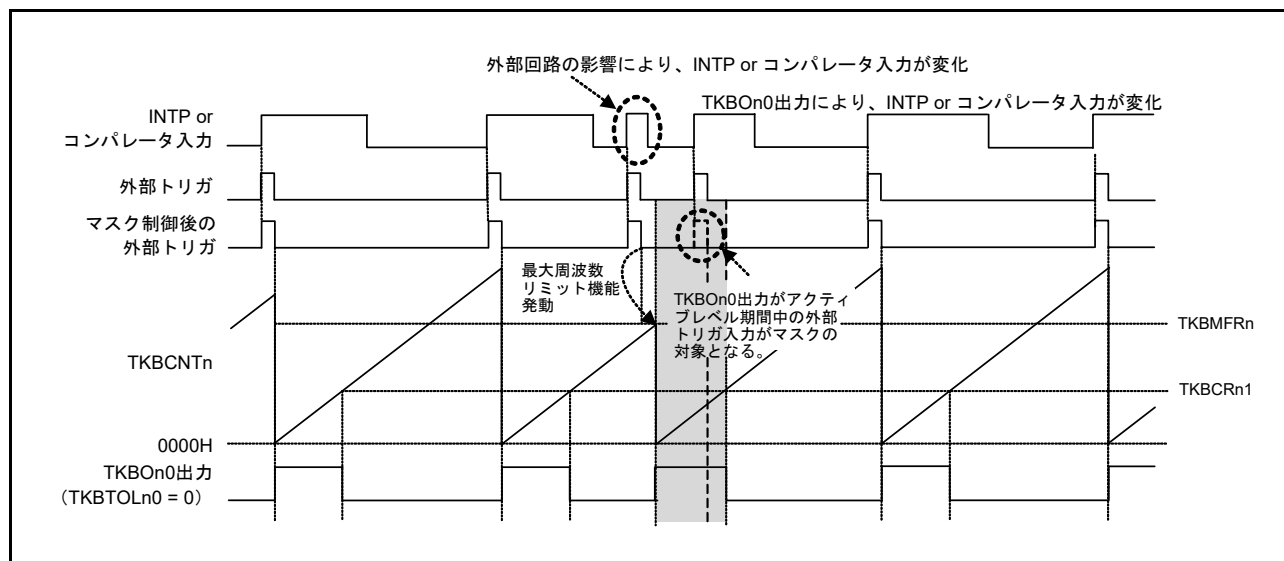
外部回路の影響により外部トリガ入力が発生し最大周波数リミット機能が発動し、TKBCNTn と最大周波数リミット・レジスタ (TKBMFRn) の一致が発生すると TKBCNTn はクリアされ TKBOn0 がアクティブレベルに変化します。その後、TKBOn0 出力の変化による外部トリガ入力の発生を繰り返した場合、以降の周期では最大周波数リミット・レジスタ (TKBMFRn) を周期とした動作を継続してしまう場合があります。

図9-91 外部回路の動作により最大周波数リミット機能が連続発動してしまう場合の動作例



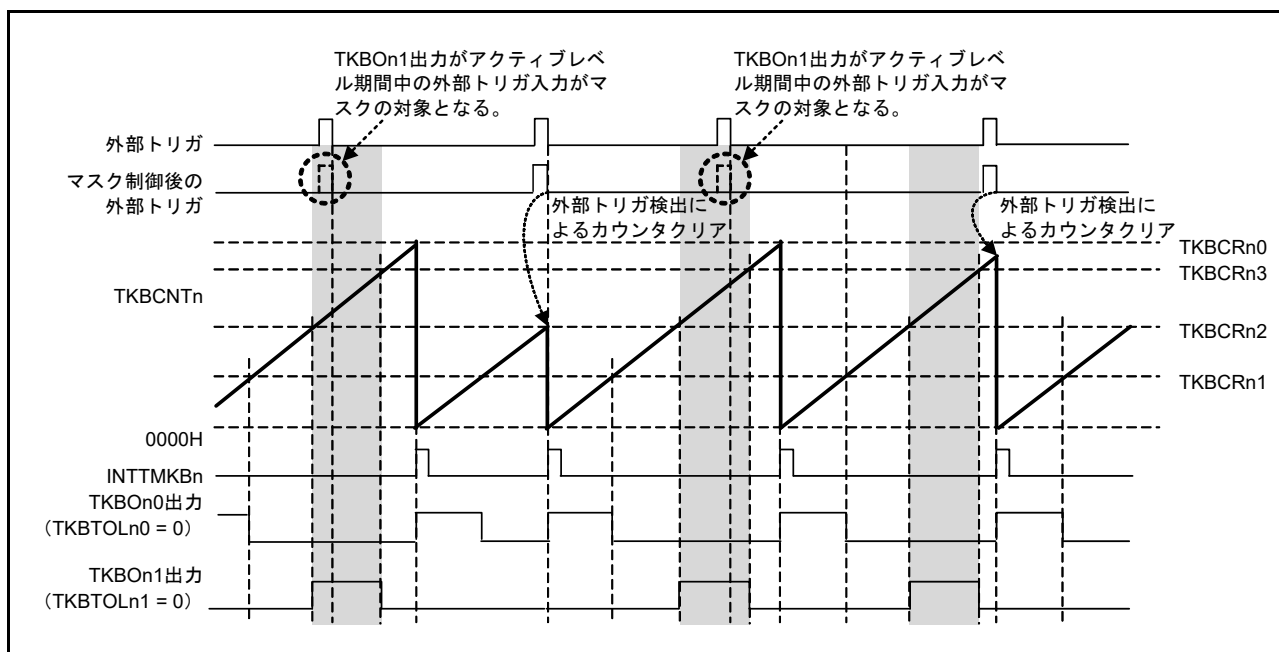
TKBTGMn0 ビットを 1 に設定することで、TKBOn0 出力がアクティブレベル期間中の外部トリガ入力がマスク対象となり、**図9-91**に示した最大周波数リミット機能の連続発動を抑制することが可能となります。

図9-92 最大周波数リミット機能のマスク制御 (TKBTGMn0 = 1) により最大周波数リミット機能の連続発動を抑制した場合の動作例



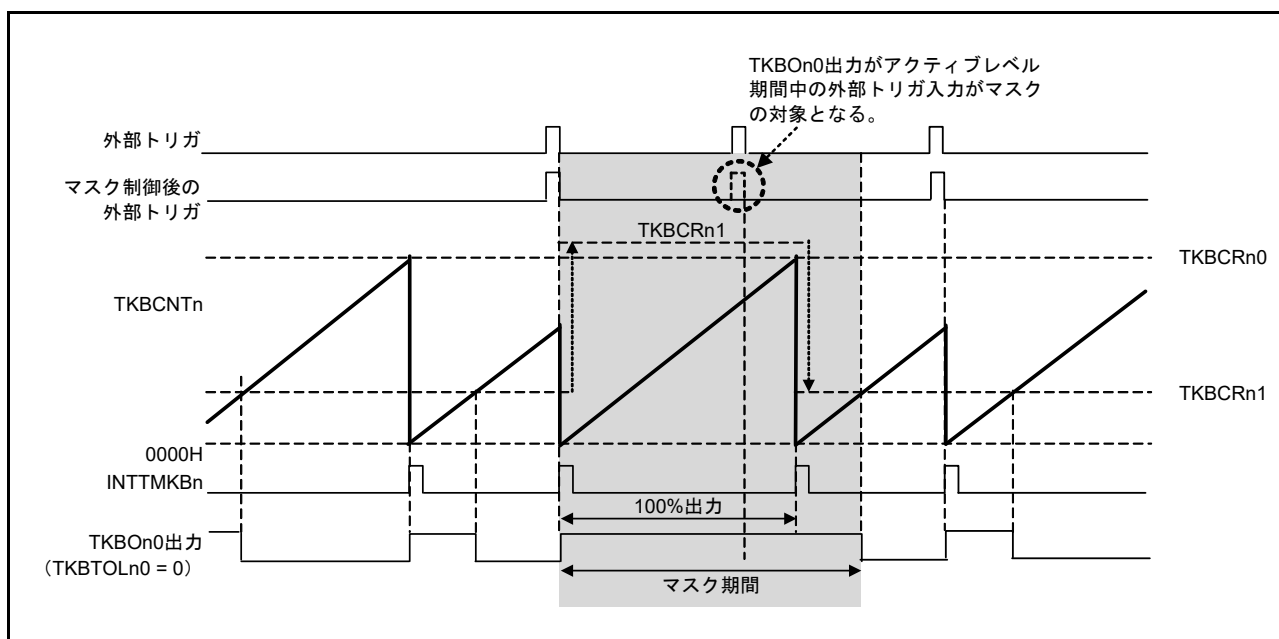
TKBTGMn1 を 1 に設定することで、TKBOn1 出力がアクティブレベル期間中の外部トリガ入力をマスクすることができます。図 9 - 93 に TKBOn1 出力アクティブ期間中の外部トリガ入力マスク制御の動作例を示します。

図9 - 93 TKBOn1出力アクティブ期間中の外部トリガ入力マスク制御の動作例



TKBOn0 出力の Duty を動作中変更することにより 100% 出力となった場合、PWM 周期期間がマスク期間となり TKBCNTn 値と TKBCRn0 設定値の一致発生まで TKBCNTn はクリアされません。図 9 - 94 に TKBOn0 出力が 100% 出力時のマスク制御の動作例を示します。

図9 - 94 TKBOn0出力が100%出力時のマスク制御の動作例 (TKBTGMn0 = 1 設定時)



9.5.6 IH制御PWM出力機能

TKBOn1 出力のアクティブレベル期間の出力幅を保証する IH 制御 PWM 出力機能を保有しています。

IH 制御 PWM 出力機能では、TKBOn1 のみを使用します。TKBOn0 は TKBTODn0 ビットで設定したデフォルトレベル出力となります。カウンタ (TKBCNTn) 動作開始後、TKBCRn2 レジスタで設定したカウント期間経過後 PWM 出力を開始し、TKBCRn3 レジスタで設定したカウント期間アクティブレベルを出力します。

IH 制御 PWM 出力機能使用 (TKBIHEn = 1) 時の外部トリガ入力値は、TKBSTSn[1:0], TKBINSn[2:0] により選択された入力信号を使用します。外部トリガ入力値を検出するとカウンタ (TKBCNTn) は、0000H にクリアされます。外部トリガ入力によるコンペア・レジスタの一斉書き換え制御は TKBTSE により切り替え可能です。

ただし、TKBOn1 のアクティブレベル出力幅を担保するため、カウンタ値が 0000H-TKBCRn3 の設定値までをアクティブ期間と定義し外部トリガ入力検出を受け付けず無効化します。カウンタ値が TKBCRn3 の設定値 -TKBCRn0 の設定値までをノンアクティブ期間と定義し外部トリガ入力検出を受け付けます。

【TKBOn1 出力の計算式 (TKBCR0 による周期制御の場合)】

パルス周期 = (TKBCR0 の設定値 + 1) × カウントクロック周期

Duty [%] =

$$\left(\frac{\text{TKBCRn3 の設定値} - \text{TKBCRn2 の設定値}}{\text{TKBCRn0 の設定値} + 1} \right) \times 100$$

0% 出力 : TKBCRn3 の設定値 = TKBCRn2 の設定値

100% 出力 : TKBCRn2 の設定値 = 0000H

$$\text{TKBCRn3 の設定値} \geq \text{TKBCRn0 の設定値} + 1$$

注意 必ず TKBCRn2 の設定値 ≤ TKBCRn3 の設定値 としてください。

【TKBOn1 出力の計算式 (外部トリガ入力による周期制御の場合)】

パルス周期 = (外部トリガ入力検出時のカウンタ値 + 1) × カウントクロック周期

Duty [%] =

$$\left(\frac{\text{TKBCRn3 の設定値} - \text{TKBCRn2 の設定値}}{\text{外部トリガ入力検出時のカウンタ値} + 1} \right) \times 100$$

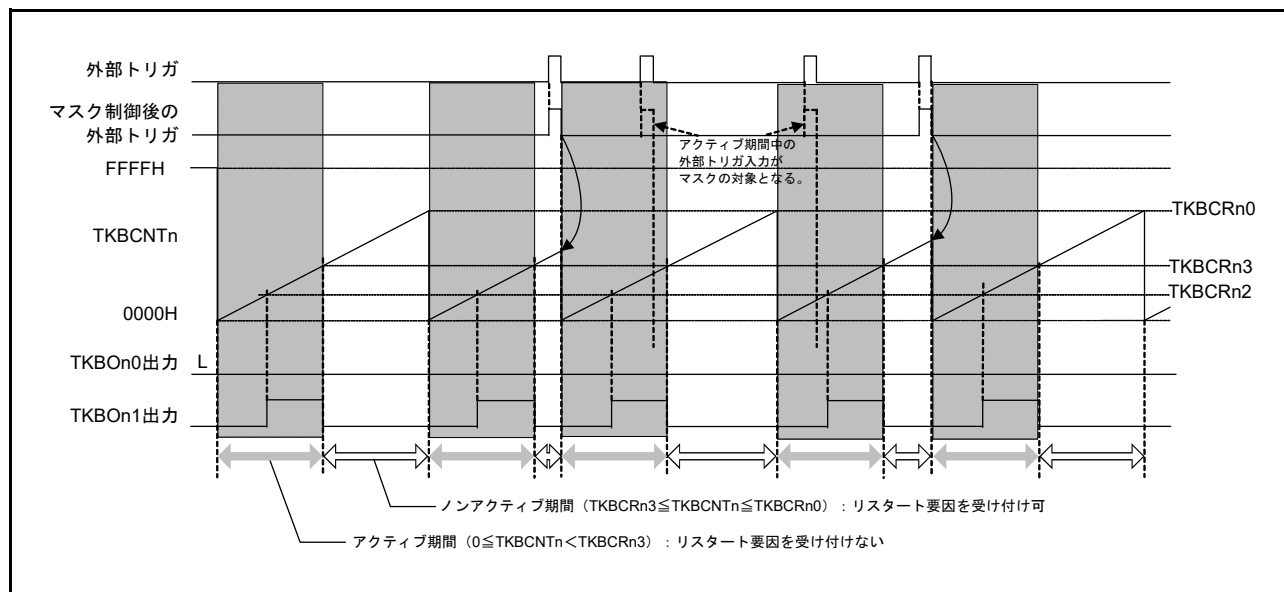
0% 出力 : TKBCRn3 の設定値 = TKBCRn2 の設定値

100% 出力 : TKBCRn2 の設定値 = 0000H

$$\text{TKBCRn3 の設定値} \geq \text{外部トリガ入力検出時のカウンタ値} + 1$$

注意 必ず TKBCRn2 の設定値 ≤ TKBCRn3 の設定値 としてください。

図9 - 95 IH制御PWM出力機能の動作波形（出力のデフォルト値がロウ・レベル（TKBTODn1 = 0）でアクティブ・レベルがハイ・レベル（TKBTOLn1 = 0）の場合）



9.6 強制出力停止機能

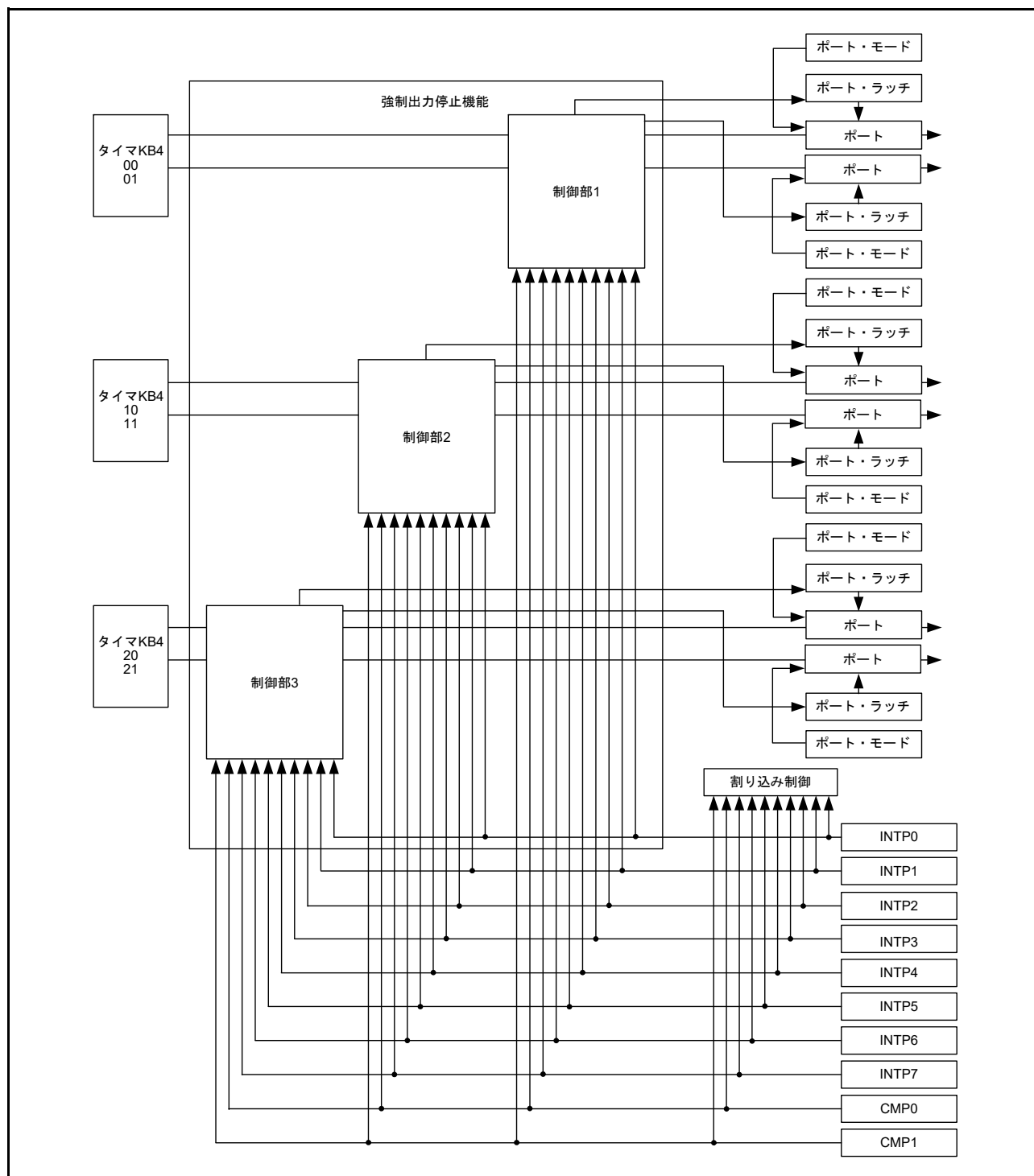
強制出力停止機能は、電源回路などの保護を行うための機能です。

マイコン外部で構成された電源回路において、ショートなどの異常が発生し、過電圧や過電流状態となった場合に、電圧や電流センス信号を外部割り込み／コンパレータなどに入力することで、CPU のプログラム制御を介することなくタイマ出力を Hi-Z または固定出力状態として回路を保護します。

この機能は、入力信号のエッジを検出したときに発動または解除します。

強制出力停止機能のシステム構成を次の図に示します。

図9 - 96 強制出力停止機能のシステム構成図



9.6.1 強制出力停止機能1と強制出力停止機能2

強制出力停止機能は、2つの制御方法があります。強制出力停止機能1はレベル固定出力とHi-Z出力を選択でき、強制出力停止機能2はレベル固定出力のみ設定可能です。次に制御方法の差分を示します。

(1) 強制出力停止機能1／強制出力停止機能2の選択可能出力レベル

選択可能出力レベル	強制出力停止	
	機能1	機能2
Hi-Z出力	○	×
ロウ・レベル固定出力	○	○
ハイ・レベル固定出力	○	○

(2) 強制出力停止機能1／強制出力停止機能2の開始・解除条件

機能・動作説明（強制出力停止開始）	強制出力停止	
	機能1	機能2
コンパレータ出力の立ち上がりエッジ検出により強制出力停止開始	○	○
外部割り込み入力の立ち上がりエッジ検出または立ち下がりエッジ検出により強制出力停止開始	○	○
TKBPAHTSnPビットの設定により強制出力停止開始	○	×

機能・動作説明（強制出力停止解除）	強制出力停止	
	機能1	機能2
TKBPAHTTnpビットの設定により強制出力停止解除	○	×
TKBPAHTTnpビットの設定後、16ビット・タイマKB40, KB41, KB42の周期に同期して強制出力停止解除	○	×
強制出力停止を開始した次のカウンタの周期で強制出力停止解除	×	○
トリガ信号の立ち下がりエッジ検出後、次のカウンタの周期で強制出力停止解除	×	○
トリガ信号（同期化後）の立ち下がりエッジ検出で強制出力停止解除（Fixed off機能）	×	○
TKBPAFTTnpビットの設定により強制出力停止解除	×	○

(3) 強制出力停止機能1／強制出力停止機能2の選択可能トリガ信号と使用可能トリガビットの条件

選択可能なトリガ信号	強制出力停止	
	機能1	機能2
コンパレータ0, 1	○	○
外部割り込み入力（INTP0-7）	○	○

使用可能トリガビット	強制出力停止	
	機能1	機能2
TKBPAHTSnP（TKBOnp出力の強制出力停止を開始するトリガ・ビット）	○	×
TKBPAHTTnp（TKBOnp出力の強制出力停止を解除するトリガ・ビット）	○	×
TKBPAFTTnp（TKBOnp出力の強制出力停止を解除するトリガ・ビット）	×	○

備考 n = 0-2; p = 0, 1

表9 - 5 強制出力停止機能1の外部トリガ割り当て一覧

項目	TKBO00	TKBO01	TKBO10	TKBO11	TKBO20	TKBO21
INTP0	○	○	○	○	○	○
INTP1	○	○	○	○	○	○
INTP2	○	○	○	○	○	○
INTP3	○	○	○	○	○	○
INTP4	○	○	○	○	○	○
INTP5	○	○	○	○	○	○
INTP6	○	○	○	○	○	○
INTP7	○	○	○	○	○	○
コンパレータ0	○	○	○	○	○	○
コンパレータ1	○	○	○	○	○	○

表9 - 6 強制出力停止機能2の外部トリガ割り当て一覧

項目	TKBO00	TKBO01	TKBO10	TKBO11	TKBO20	TKBO21
INTP0	○	○	○	○	○	○
INTP1	○	○	○	○	○	○
INTP2	○	○	○	○	○	○
INTP3	○	○	○	○	○	○
INTP4	○	○	○	○	○	○
INTP5	○	○	○	○	○	○
INTP6	○	○	○	○	○	○
INTP7	○	○	○	○	○	○
コンパレータ0	○	○	○	○	○	○
コンパレータ1	○	○	○	○	○	○

注意1. INTP0-7の設定は、第25章 割り込み機能、9.3.22 外部割り込み制御レジスタx (INTPCTLx) (x = 0-7)を参照してください。

注意2. コンパレータ0出力信号、コンパレータ1出力信号の設定は、第18章 コンパレータ (CMP)を参照してください。

9.6.2 強制出力停止機能の構成

強制出力停止機能は、次のハードウェアで構成されています。

表9 - 7 強制出力停止機能の構成

項目	構成
制御レジスタ	・強制出力停止機能制御レジスタ np (TKBPACTLnp) (n = 0-2; p = 0, 1) ・強制出力停止機能制御レジスタ n2 (TKBPACTLn2) (n = 0-2) ・強制出力停止機能1入力選択レジスタ np (TKBPAHZSnp) (n = 0-2; p = 0, 1) ・強制出力停止機能2入力選択レジスタ np (TKBPAFXSnp) (n = 0-2; p = 0, 1) ・強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) (n = 0-2) ・強制出力停止機能開始トリガ・レジスタ n (TKBPAHFSn) (n = 0-2) ・強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn) (n = 0-2)

9.6.3 強制出力停止機能を制御するレジスタ

強制出力停止機能を制御するレジスタを次に示します。

- 強制出力停止機能制御レジスタ np (TKBPACTLnp) (n = 0-2; p = 0, 1)
- 強制出力停止機能制御レジスタ n2 (TKBPACTLn2) (n = 0-2)
- 強制出力停止機能1入力選択レジスタ np (TKBPAHZSnp) (n = 0-2; p = 0, 1)
- 強制出力停止機能2入力選択レジスタ np (TKBPAFXSnp) (n = 0-2; p = 0, 1)
- 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) (n = 0-2)
- 強制出力停止機能開始トリガ・レジスタ n (TKBPAHFSn) (n = 0-2)
- 強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn) (n = 0-2)

9.6.3.1 強制出力停止機能制御レジスタ np (TKBPACTLnp) (n = 0-2; p = 0, 1)

TKBPACTLnp レジスタは、TKBOnp 端子の強制出力停止機能制御のモード設定を行うレジスタです。

TKBPACTLnp レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図9 - 97 強制出力停止機能制御レジスタ np (TKBPACTLnp) のフォーマット (1/2)

アドレス : F0770H (TKBPACTL00), F0772H (TKBPACTL01), F07B0H (TKBPACTL10), F07B2H (TKBPACTL11),
F04D0H (TKBPACTL20), F04D2H (TKBPACTL21)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBPACTLnp	0	0	0	0	0	0	TKBPAFIXnp	TKBPAFCMnp
	7	6	5	4	3	2	1	0
	0	0	0	0	TKBPAHCMnp1	TKBPAHCMnp0	TKBPAMDnp1	TKBPAMDnp0
TKBPAFIXnp	Fixed off機能設定							
0	Fixed off機能off 強制停止機能2発動後、TKBPA0FCMnの設定により動作。							
1	Fixed off機能on (TKBPA0FCMn = 1設定時のみ有効) 強制出力停止入力2検出で強制出力停止機能2を開始し、そのトリガの逆エッジを検出で強制出力停止機能2を解除。							
TKBPAFCMnp	強制出力停止機能2の動作モード選択							
0	トリガ入力で強制出力停止機能2を開始し、次のカウンタの周期で強制出力停止機能2を解除 ^注 。							
1	トリガ入力で強制出力停止機能2を開始し、そのトリガの逆エッジを検出してから、次のカウンタの周期で強制出力停止機能2を解除 ^注 。							

図9 - 97 強制出力停止機能制御レジスタ np (TKBPACTLnp) のフォーマット (2/2)

TKBPAHC Mnp1	TKBPAHC Mnp0	強制出力停止機能1の解除条件選択
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTTnp) = 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTTnp) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTTnp) = 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ (TKBPAHTTnp) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^注 。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ (TKBPAHTTnp) = 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ (TKBPAHTTnp) = 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^注 。

TKBPAMD np1	TKBPAMD np0	強制出力停止機能実行時の出力状態選択	
		強制出力停止機能1	強制出力停止機能2
0	0	Hi-Z出力	ロウ・レベル固定出力
0	1	Hi-Z出力	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力	ハイ・レベル固定出力

注 次のカウンタ周期を待たずに16ビット・タイマKB4nを停止 (TKBCEn = 0) した場合、次に16ビット・タイマKB4nを動作 (TKBCEn = 1) するまで強制出力停止機能を継続します。

注意1. タイマ動作中に、TKBPACTLnpレジスタを書き換えないでください。ただし、TKBPACTLnpレジスタにリフレッシュ (同値書き込み) することは可能です。

注意2. ビット15-10, 7-4には必ず0を設定してください。

備考 n = 0-2; p = 0, 1

9.6.3.2 強制出力停止機能制御レジスタ n2 (TKBPACTLn2) (n = 0-2)

TKBPACTLn2 レジスタは、TKBOnp 端子の強制出力停止機能を許可／禁止するレジスタです。
TKBPACTLn2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図9 - 98 強制出力停止機能制御レジスタ n2 (TKBPACTLn2) のフォーマット

アドレス : F0777H (TKBPACTL02), F07B7H (TKBPACTL12), F04D7H (TKBPACTL22)
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TKBPACTLn2	0	0	0	0	0	0	TKBPACEn1	TKBPACEn0
TKBPACEnp		TKBOnp 端子の強制出力停止機能に使用するトリガ信号の入力制御						
0		強制出力停止機能動作禁止						
1		強制出力停止機能動作許可						

- 注意1. タイマ動作中に、TKBPACTLn2 レジスタを書き換え可能です。
- 注意2. ビット7-2には必ず0を設定してください。
- 備考 n = 0-2; p = 0, 1

9.6.3.3 強制出力停止機能1入力選択レジスタ np (TKBPAHZSnp) (n = 0-2; p = 0, 1)

TKBPAHZSnp レジスタは、TKBOnp 端子の強制出力停止機能1に使用する強制出力停止入力を選択するレジスタです。

TKBPAHZSnp レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図9-99 強制出力停止機能1入力選択レジスタ np (TKBPAHZSnp) のフォーマット (1/2)

アドレス : F0778H (TKBPAHZS00), F077AH (TKBPAHZS01), F07B8H (TKBPAHZS10), F07BAH (TKBPAHZS11),
F04D8H (TKBPAHZS20), F04DAH (TKBPAHZS21)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBPAHZSnp	0	0	0	0	0	0	TKBPAHZSnp9	TKBPAHZSnp8
	7	6	5	4	3	2	1	0
	TKBPAHZSnp7	TKBPAHZSnp6	TKBPAHZSnp5	TKBPAHZSnp4	TKBPAHZSnp3	TKBPAHZSnp2	TKBPAHZSnp1	TKBPAHZSnp0
TKBPAHZSnp9	強制出力停止機能1の外部割り込みトリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする ^{注1}							
TKBPAHZSnp8	強制出力停止機能1の外部割り込みトリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする ^{注1}							
TKBPAHZSnp7	強制出力停止機能1の外部割り込みトリガ選択							
0	INTP7をトリガとしない							
1	INTP7をトリガとする ^{注2}							
TKBPAHZSnp6	強制出力停止機能1の外部割り込みトリガ選択							
0	INTP6をトリガとしない							
1	INTP6をトリガとする ^{注2}							
TKBPAHZSnp5	強制出力停止機能1の外部割り込みトリガ選択							
0	INTP5をトリガとしない							
1	INTP5をトリガとする ^{注2}							

図9 - 99 強制出力停止機能1入力選択レジスタ np (TKBPAHZSnp) のフォーマット (2/2)

TKBPAHZS np4	強制出力停止機能1の外部割り込みトリガ選択
0	INTP4をトリガとしない
1	INTP4をトリガとする ^{注2}

TKBPAHZS np3	強制出力停止機能1の外部割り込みトリガ選択
0	INTP3をトリガとしない
1	INTP3をトリガとする ^{注2}

TKBPAHZS np2	強制出力停止機能1の外部割り込みトリガ選択
0	INTP2をトリガとしない
1	INTP2をトリガとする ^{注2}

TKBPAHZS np1	強制出力停止機能1の外部割り込みトリガ選択
0	INTP1をトリガとしない
1	INTP1をトリガとする ^{注2}

TKBPAHZS np0	強制出力停止機能1の外部割り込みトリガ選択
0	INTP0をトリガとしない
1	INTP0をトリガとする ^{注2}

注1. 強制出力停止機能1の外部トリガとしてコンパレータ0を使用する場合はC0FCK[1:0]ビットを00B（フィルタなし）、C0EDGビットを0（片エッジ検出）、コンパレータ1を使用する場合はC1FCK[1:0]ビットを00B（フィルタなし）、C1EDGビットを0（片エッジ検出）に設定してください。詳細は、**18.3.4 コンパレータ・フィルタ制御レジスタ (COMPFIR)**を参照してください。

注2. 強制出力停止機能1の外部トリガとしてINTPxを使用する場合はINTFCKx[1:0]ビットを00B（フィルタなし）に設定してください。詳細は、**9.3.22 外部割り込み制御レジスタx (INTPCTLx) (x = 0-7)**を参照してください。

注意1. タイマ動作中に、TKBPAHZSnpレジスタを書き換えないでください。

注意2. ビット15-10には必ず0を設定してください。

備考 n = 0-2; p = 0, 1; x = 0-7

9.6.3.4 強制出力停止機能2入力選択レジスタ np (TKBPAFXSn) (n = 0-2; p = 0, 1)

TKBPAFXSn レジスタは、TKBOnp 端子の強制出力停止機能2に使用する強制出力停止入力を選択するレジスタです。

TKBPAFXSn レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図9 - 100 強制出力停止機能2入力選択レジスタ np (TKBPAFXSn) のフォーマット (1/2)

アドレス : F077CH (TKBPAFXS00), F077EH (TKBPAFXS01), F07BCH (TKBPAFXS10), F07BEH (TKBPAFXS11),
F04DCH (TKBPAFXS20), F04DEH (TKBPAFXS21)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
TKBPAFXSn p	0	0	0	0	0	0	TKBPAFXSn p9	TKBPAFXSn p8
	7	6	5	4	3	2	1	0
	TKBPAFXSn p7	TKBPAFXSn p6	TKBPAFXSn p5	TKBPAFXSn p4	TKBPAFXSn p3	TKBPAFXSn p2	TKBPAFXSn p1	TKBPAFXSn p0
TKBPAFXS np9	強制出力停止機能2の外部割り込みトリガ選択							
0	コンパレータ1をトリガとしない							
1	コンパレータ1をトリガとする ^{注1}							
TKBPAFXS np8	強制出力停止機能2の外部割り込みトリガ選択							
0	コンパレータ0をトリガとしない							
1	コンパレータ0をトリガとする ^{注1}							
TKBPAFXS np7	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP7をトリガとしない							
1	INTP7をトリガとする ^{注2}							
TKBPAFXS np6	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP6をトリガとしない							
1	INTP6をトリガとする ^{注2}							
TKBPAFXS np5	強制出力停止機能2の外部割り込みトリガ選択							
0	INTP5をトリガとしない							
1	INTP5をトリガとする ^{注2}							

図9 - 100 強制出力停止機能2入力選択レジスタ np (TKBPAFXSnp) のフォーマット (2/2)

TKBPAFXS np4	強制出力停止機能2の外部割り込みトリガ選択
0	INTP4をトリガとしない
1	INTP4をトリガとする ^{注2}

TKBPAFXS np3	強制出力停止機能2の外部割り込みトリガ選択
0	INTP3をトリガとしない
1	INTP3をトリガとする ^{注2}

TKBPAFXS np2	強制出力停止機能2の外部割り込みトリガ選択
0	INTP2をトリガとしない
1	INTP2をトリガとする ^{注2}

TKBPAFXS np1	強制出力停止機能2の外部割り込みトリガ選択
0	INTP1をトリガとしない
1	INTP1をトリガとする ^{注2}

TKBPAFXS np0	強制出力停止機能2の外部割り込みトリガ選択
0	INTP0をトリガとしない
1	INTP0トリガとする ^{注2}

注1. 強制出力停止機能2の外部トリガとしてコンパレータ0を使用する場合はC0FCK[1:0]ビットを00B（フィルタなし）、C0EDGビットを0（片エッジ検出）、コンパレータ1を使用する場合はC1FCK[1:0]ビットを00B（フィルタなし）、C1EDGビットを0（片エッジ検出）に設定してください。詳細は、**18.3.4 コンパレータ・フィルタ制御レジスタ (COMPFIR)**を参照してください。

注2. 強制出力停止機能2の外部トリガとしてINTPxを使用する場合はINTFCKx[1:0]ビットを00B（フィルタなし）に設定してください。詳細は、**9.3.22 外部割り込み制御レジスタx (INTPCTLx) (x = 0-7)**を参照してください。

注意1. タイマ動作中に、TKBPAFXSnpレジスタを書き換えないでください。

注意2. ビット15-10には必ず0を設定してください。

備考 n = 0-2; p = 0, 1; x = 0-7

9.6.3.5 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) (n = 0-2)

TKBPAFLGn レジスタは、TKBOnp 端子の強制出力停止機能のステータス・フラグを表示するレジスタです。

TKBPAFLGn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図9 - 101 強制出力停止機能フラグ・レジスタ n (TKBPAFLGn) のフォーマット

アドレス : F0776H (TKBPAFLG0), F07B6H (TKBPAFLG1), F04D6H (TKBPAFLG2)

リセット時: 00H

R/W属性 : R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
TKBPAFLGn	TKBPAFSFn 1	TKBPAHSFn 1	TKBPAFSFn 0	TKBPAHSFn 0	TKBPAFIFn 1	TKBPAHIFn 1	TKBPAFIFn 0	TKBPAHIFn 0

TKBPAFSF np	TKBOnp 端子に対する強制出力停止機能2のステータス・フラグ						
0	強制出力停止解除状態						
1	強制出力停止状態						

TKBPAHSF np	TKBOnp 端子に対する強制出力停止機能1のステータス・フラグ						
0	強制出力停止解除状態						
1	強制出力停止状態						

TKBPAFIF np	TKBOnp 端子に対する強制出力停止機能2の入力モニタ・ビット						
0	強制出力停止2トリガ信号がロウ・レベル (イン・アクティブ)						
1	強制出力停止2トリガ信号がハイ・レベル (アクティブ)						

TKBPAHIF np	TKBOnp 端子に対する強制出力停止機能1の入力モニタ・ビット						
0	強制出力停止1トリガ信号がロウ・レベル (イン・アクティブ)						
1	強制出力停止1トリガ信号がハイ・レベル (アクティブ)						

注意 強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は、9.7.2 強制出力停止機能1のソフトウェア開始／解除操作を参照してください。

備考 n = 0-2; p = 0, 1

9.6.3.6 強制出力停止機能開始トリガ・レジスタ n (TKBPAHFSn) (n = 0-2)

TKBPAHFSn レジスタは、TKBOnp 出力の強制出力停止機能に使用する開始トリガ・レジスタです。

TKBPAHFSn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で書き込みます。

リセット信号の発生により、00H になります。

図9 - 102 強制出力停止機能開始トリガ・レジスタ n (TKBPAHFSn) のフォーマット

アドレス : F0774H (TKBPAHFS0), F07B4H (TKBPAHFS1), F04D4H (TKBPAHFS2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
TKBPAHFSn	0	0	0	0	0	0	TKBPAHTSn 1	TKBPAHTSn 0

TKBPAHTS np	TKBOnp 出力に対する強制出力停止機能1開始トリガ						
0	設定無効						
1	TKBOnp 出力に対する強制出力停止機能1を開始						

注意1. タイマ動作中に、TKBPAHFSn レジスタを書き換え可能です。

注意2. ビット7-2には必ず0を設定してください。

注意3. 読み出し時は、0が読み出されます。

備考 n = 0-2; p = 0, 1

9.6.3.7 強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn) (n = 0-2)

TKBPAHFTn レジスタは、TKBOnp 出力の強制出力停止機能に使用する解除トリガ・レジスタです。
TKBPAHFTn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で書き込みます。
リセット信号の発生により、00H になります。

図9 - 103 強制出力停止機能解除トリガ・レジスタ n (TKBPAHFTn) のフォーマット

アドレス : F0775H (TKBPAHFT0), F07B5H (TKBPAHFT1), F04D5H (TKBPAHFT2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	<5>	<4>	3	2	<1>	<0>
TKBPAHFTn	0	0	TKBPAFTTn 1	TKBPAFTTn 0	0	0	TKBPAHTTn 1	TKBPAHTTn 0

TKBPAFTT np	TKBOnp 出力に対する強制出力停止機能2解除トリガ						
0	設定無効						
1	TKBOnp 出力に対する強制出力停止機能2 (Fixed off機能) を解除						

TKBPAHTT np	TKBOnp 出力に対する強制出力停止機能1解除トリガ						
0	設定無効						
1	TKBOnp 出力に対する強制出力停止機能1 を解除						

注意1. タイマ動作中に、TKBPAHFTn レジスタを書き換え可能です。

注意2. ビット7, 6, 3, 2には必ず0を設定してください。

注意3. 読み出し時は、0が読み出されます。

注意4. 強制出力停止機能1を解除するタイミングは設定によって異なります。詳細は、9.7.2 強制出力停止機能1のソフトウェア開始／解除操作を参照してください。

備考 n = 0-2; p = 0, 1

9.7 強制出力停止機能1の動作説明

トリガ要因（コンパレータ 0, 1 出力、INTP0-7）の発生により、CPU を介さずに 16 ビット・タイマ KB4n の動作クロック f_{KBC} と非同期でタイマ出力を Hi-Z / ロウ・レベル / ハイ・レベル固定状態にすることができます。強制出力停止機能 1 の解除トリガの設定により、16 ビット・タイマ KB4n の動作クロック f_{KBC} と同期して強制出力停止状態を解除することができます。

9.7.1 強制出力停止機能1の概要

この機能では、コンパレータ出力信号または外部割り込み信号およびソフトウェア・トリガを強制出力停止機能 1 のトリガ信号として使用します。

強制出力停止時に選択できる出力状態は、TKBPACTLn_p レジスタの TKBPAMDn_p[1:0] ビットによって制御されます。

16 ビット・タイマ KB4n の出力 p 端子（TKBOn_p）の強制出力停止機能 1 出力レベルとの関係を次の表に示します。

表9 - 8 TKBOn_pの強制出力停止機能1出力レベルとの関係

TKBPAMDn _p 1	TKBPAMDn _p 0	強制出力停止機能1実行時の出力レベル選択
0	0	Hi-Z出力
0	1	Hi-Z出力
1	0	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力

使用するコンパレータ出力または外部割り込み信号の選択は、強制出力停止機能 1 入力選択レジスタ np（TKBPAHZSn_p）の TKBPAHZSn_p9-TKBPAHZSn_p0 ビットによって制御されます。

16 ビット・タイマ KB4n の出力 p 端子（TKBOn_p）の強制出力停止機能 1 トリガ選択を次の表に示します。

表9 - 9 TKBOn_pの強制出力停止機能1トリガ選択

ビット名	選択可能なトリガ信号		
	16 ビット・タイマKB40	16 ビット・タイマKB41	16 ビット・タイマKB42
TKBPAHZSn _p 0	INTP0	INTP0	INTP0
TKBPAHZSn _p 1	INTP1	INTP1	INTP1
TKBPAHZSn _p 2	INTP2	INTP2	INTP2
TKBPAHZSn _p 3	INTP3	INTP3	INTP3
TKBPAHZSn _p 4	INTP4	INTP4	INTP4
TKBPAHZSn _p 5	INTP5	INTP5	INTP5
TKBPAHZSn _p 6	INTP6	INTP6	INTP6
TKBPAHZSn _p 7	INTP7	INTP7	INTP7
TKBPAHZSn _p 8	コンパレータ 0	コンパレータ 0	コンパレータ 0
TKBPAHZSn _p 9	コンパレータ 1	コンパレータ 1	コンパレータ 1

備考 n = 0-2; p = 0, 1

9.7.2 強制出力停止機能1のソフトウェア開始／解除操作

強制出力停止機能1を開始する開始トリガ（TKBPAHFSn レジスタの TKBPAHTSn ビット）の設定を次の表に示します。

表9 - 10 強制出力停止機能1での開始トリガ（TKBPAHTSnビット）の動作

TKBPAHTSn	ソフトウェアによる強制出力停止機能1の開始
0	設定無効
1	1書き込みで、TKBOnp出力に対するHi-Z／ロウ・レベル／ハイ・レベル固定出力制御を開始する（強制出力停止機能1のトリガ信号の立ち上がりエッジ検出と同等の機能になります）。

強制出力停止機能1を解除する解除トリガ（TKBPAHTTn レジスタの TKBPAHTTnp ビット）の設定を次の表に示します。

表9 - 11 強制出力停止機能1での解除トリガ（TKBPAHTTnpビット）の動作

TKBPACTLnp レジスタ		ソフトウェアによる強制出力停止機能1の解除
TKBPAHCMnp1	TKBPAHCMnp0	
0	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
0	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みで強制出力停止機能1を解除。
1	0	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号のレベルに関係なく強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^注 。
1	1	トリガ入力で強制出力停止機能1を開始し、そのトリガ信号がハイ・レベル期間中の場合は、強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みを無効とする。そのトリガ信号がロウ・レベル期間中の強制出力停止機能解除トリガ（TKBPAHTTnp）= 1書き込みのあと、次のカウンタの周期で強制出力停止機能1を解除 ^注 。

注 次のカウンタ周期を待たずに16ビット・タイマKB4nを停止（TKBCEn = 0）した場合、次に16ビット・タイマKB4nを動作（TKBCEn = 1）するまで強制出力停止機能を継続します。

備考 n = 0-2; p = 0, 1

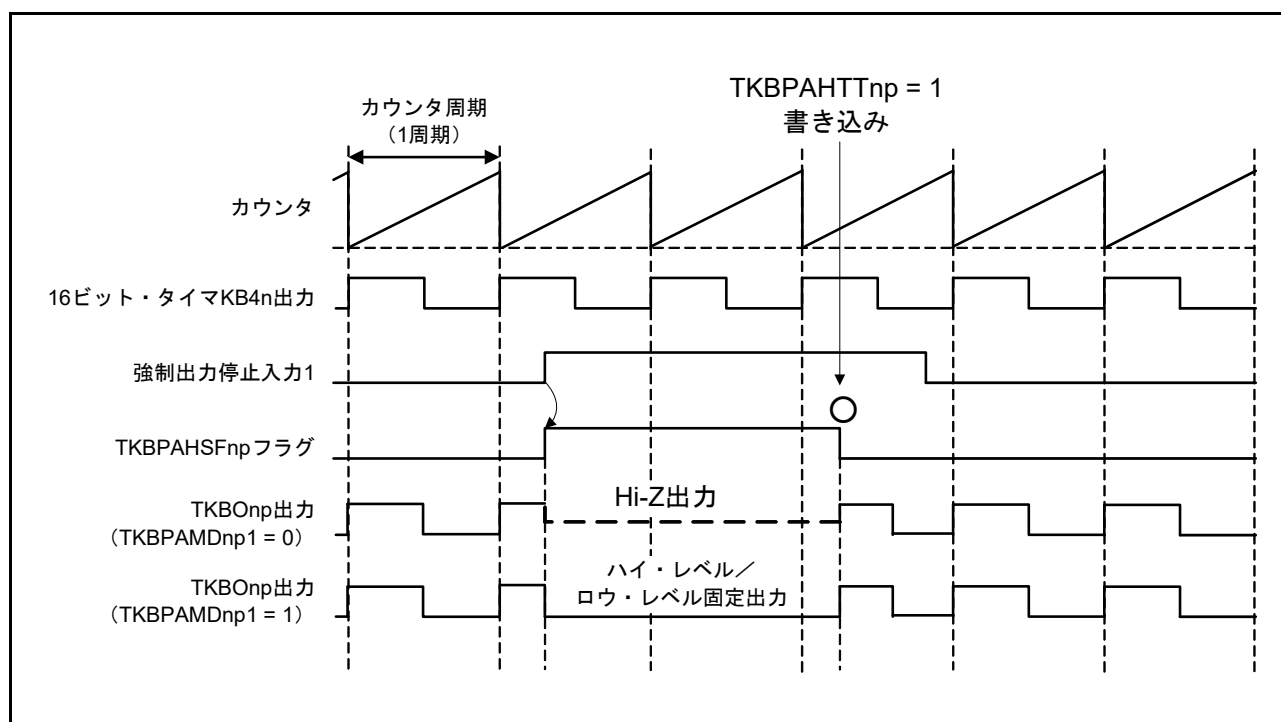
9.7.3 強制出力停止機能1の基本動作

TKBPAHCMnp[1:0] ビットの設定の違いによる強制出力機能1の動作を示します。

強制出力停止機能1を開始するトリガ信号（強制出力停止入力1）は、強制出力停止機能1入力選択レジスタ np（TKBPAHZSn）の TKBPAHZSn9-TKBPAHZSn0 ビットで選択されたトリガ信号と強制出力停止機能開始トリガ・レジスタ n（TKBPAHFSn）の TKBPAHTSn ビットの OR 出力です。

(1) TKBPAHCMnp[1:0] = 00B での強制出力停止機能1

図9 - 104 TKBPAHCMnp[1:0] = 00B での強制出力停止機能1



(a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1の入力レベルに関係なく、解除トリガ（TKBPAHTTnp ビット）への1書き込みで、タイマ出力に戻ります。

TKBPAHSFn フラグがハイ・レベルの期間が、強制出力停止1の期間（Hi-Z出力）となります。

(b) TKBPAMDnp1 = 1 (固定出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0 ビットの設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

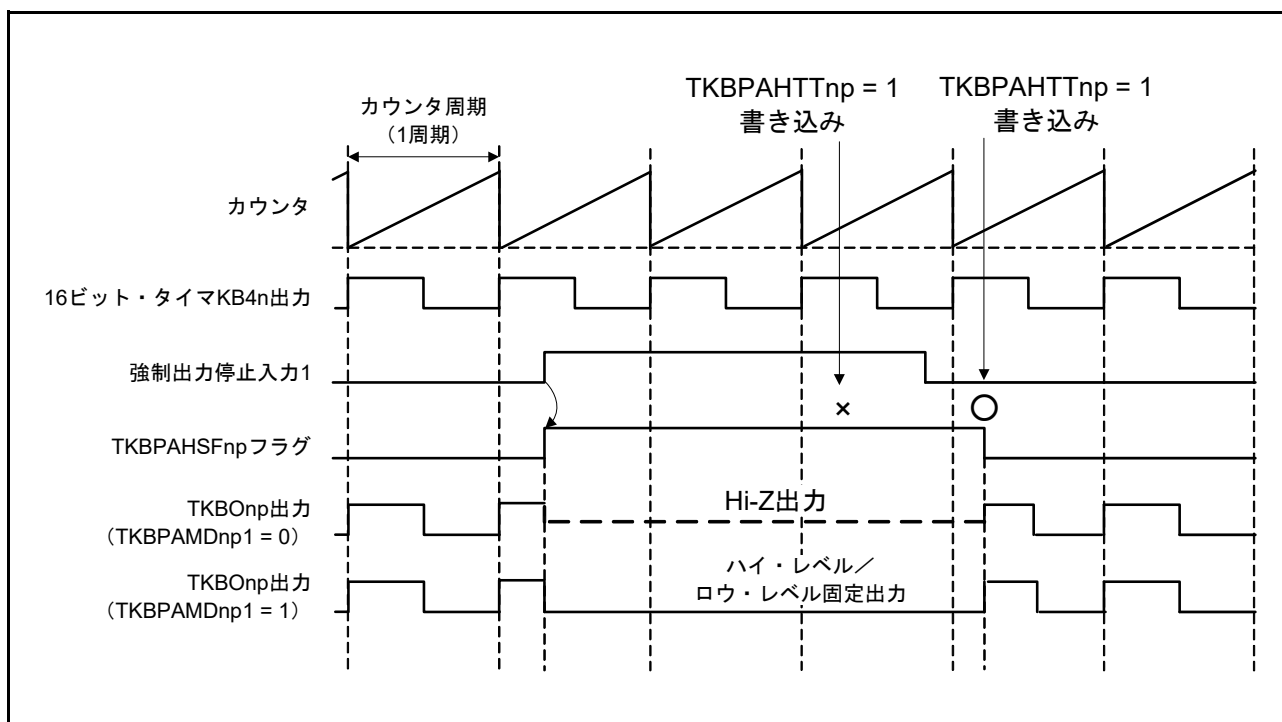
強制出力停止入力1の入力レベルに関係なく、解除トリガ（TKBPAHTTnp ビット）への1書き込みで、出力レベルの固定が解除され、タイマ出力に戻ります。

TKBPAHSFn フラグがハイ・レベルの期間が、強制出力停止1の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考 n = 0-2; p = 0, 1

(2) TKBPAHCMnp[1:0] = 01B での強制出力停止機能1

図9 - 105 TKBPAHCMnp[1:0] = 01B での強制出力停止機能1



(a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベルになったあと、解除トリガ (TKBPAHTTnpビット) への1書き込みで、タイマ出力に戻ります。

TKBPAHSFnpフラグがハイ・レベルの期間が、強制出力停止1の期間 (Hi-Z出力) となります。

(b) TKBPAMDnp1 = 1 (固定出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0ビットの設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

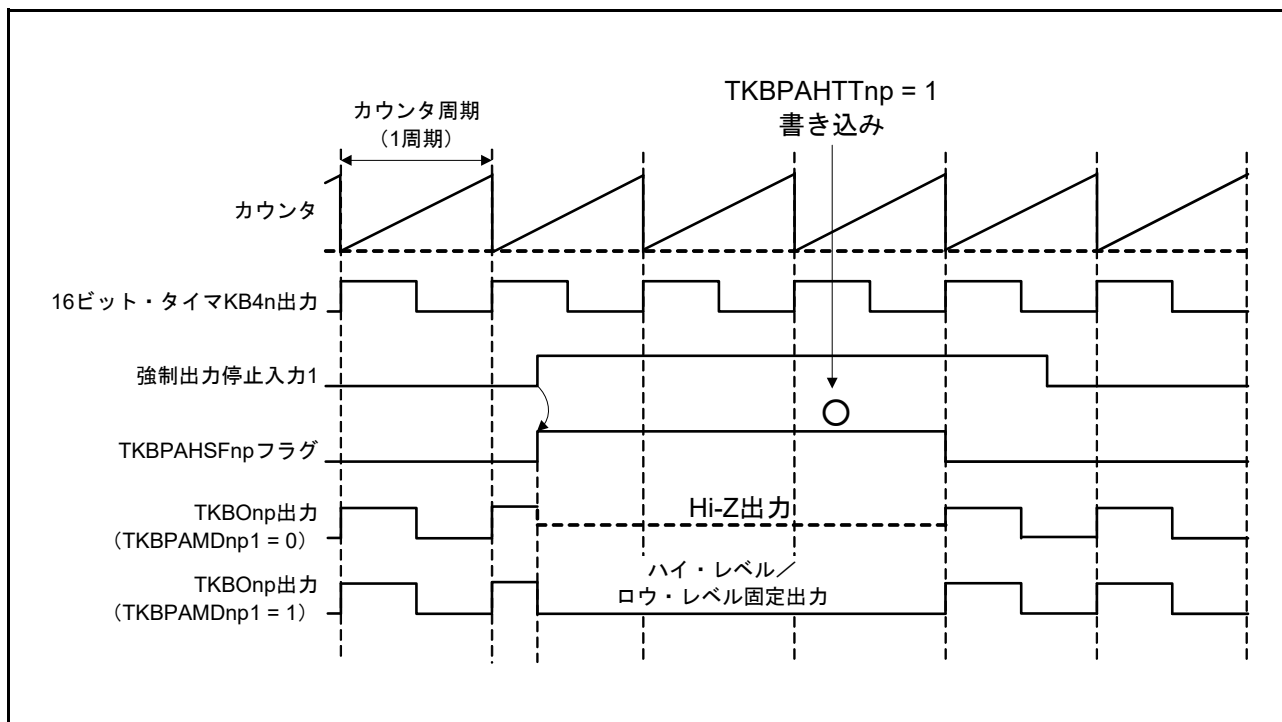
強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベルになったあと、解除トリガ (TKBPAHTTnpビット) への1書き込みで、出力レベルの固定が解除され、タイマ出力に戻ります。TKBPAHSFnpフラグがハイ・レベルの期間が、強制出力停止1の期間 (ロウ・レベル／ハイ・レベル出力固定) となります。

備考 n = 0-2; p = 0, 1

(3) TKBPAHCMnp[1:0] = 10Bでの強制出力停止機能1

図9 - 106 TKBPAHCMnp[1:0] = 10Bでの強制出力停止機能1



(a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1の入力レベルに関係なく、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期でタイマ出力に戻ります。

TKBPAHSFn フラグがハイ・レベルの期間が、強制出力停止1の期間 (Hi-Z出力) となります。

(b) TKBPAMDnp1 = 1 (固定出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0ビットの設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

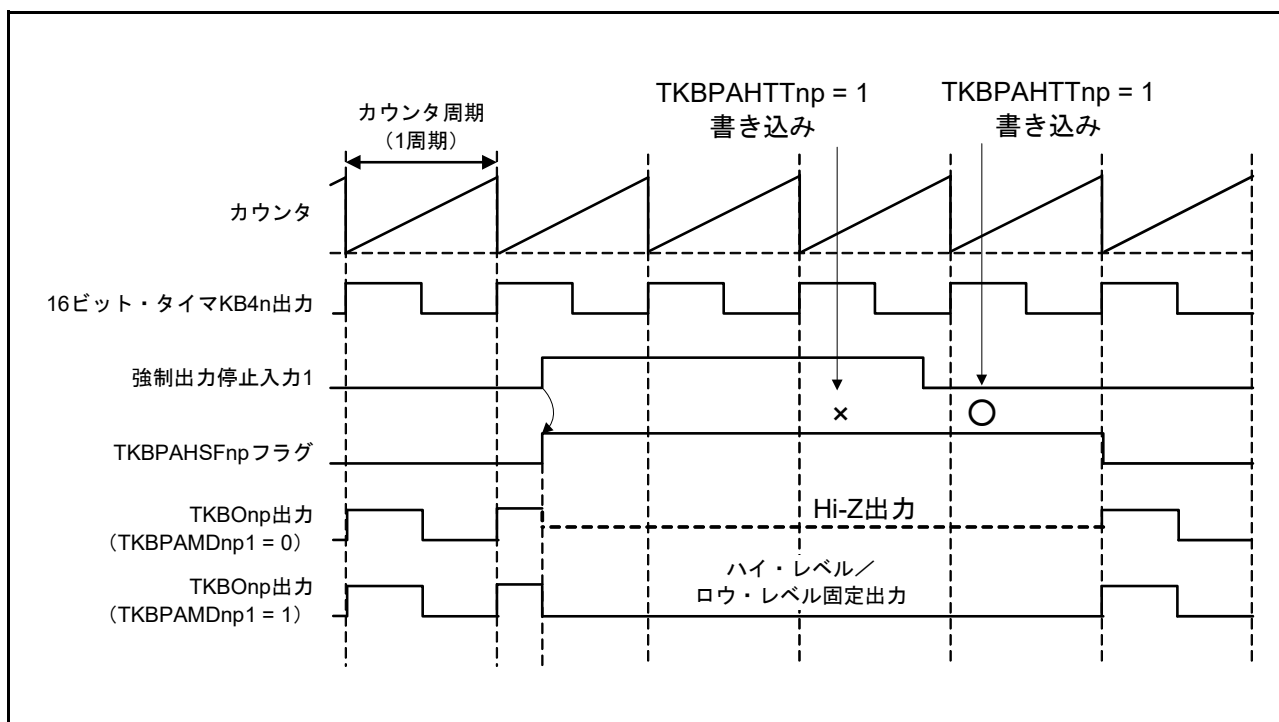
強制出力停止入力1の入力レベルに関係なく、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期で、出力レベルの固定が解除され、タイマ出力に戻ります。

TKBPAHSFn フラグがハイ・レベルの期間が、強制出力停止1の期間 (ロウ・レベル／ハイ・レベル出力固定) となります。

備考 n = 0-2; p = 0, 1

(4) TKBPAHCMnp[1:0] = 11Bでの強制出力停止機能1

図9 - 107 TKBPAHCMnp[1:0] = 11Bでの強制出力停止機能1



(a) TKBPAMDnp1 = 0 (Hi-Z出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、Hi-Z出力となります。

強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期で、タイマ出力に戻ります。

TKBPAHSFnpフラグがハイ・レベルの期間が、強制出力停止1の期間 (Hi-Z出力) となります。

(b) TKBPAMDnp1 = 1 (固定出力) のとき

強制出力停止入力1の立ち上がりエッジ検出で、TKBPAMDnp0ビットの設定値に従い、ロウ・レベル/ハイ・レベルに固定出力となります。

強制出力停止入力1がハイ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みは無効となります。

強制出力停止入力1がロウ・レベル期間中での、解除トリガ (TKBPAHTTnpビット) への1書き込みのあと、次のカウンタの周期で、出力レベルの固定が解除され、タイマ出力に戻ります。

TKBPAHSFnpフラグがハイ・レベルの期間が、強制出力停止1の期間 (ロウ・レベル/ハイ・レベル出力固定) となります。

備考 n = 0-2; p = 0, 1

9.8 強制出力停止機能2の動作説明

トリガ要因（コンパレータ 0, 1 出力、INTP0-7）の発生により、CPU を介さずに 16 ビット・タイマ KB4n の動作クロック f_{KBC} と非同期でタイマ出力をロウ・レベル／ハイ・レベル固定状態にすることができます。トリガ要因発生後の次のカウンタの周期開始、またはトリガ要因信号がインアクティブになった次のカウンタ周期開始のタイミングで強制出力停止状態は解除されます。

9.8.1 強制出力停止機能2の概要

この機能では、コンパレータ出力信号および外部割り込みを強制出力停止機能2のトリガ信号として使用します。強制出力停止時に選択できる出力状態は、TKBPACTLn_p レジスタの TKBPAMDnp[1:0] ビットによって制御されます。16 ビット・タイマ KB4n の出力 p 端子（TKBOnp）の強制出力停止機能2出力レベルとの関係を次の表に示します。

表9 - 12 TKBOnpの強制出力停止機能2出力レベルとの関係

TKBPAMDnp1	TKBPAMDnp0	強制出力停止機能2実行時の出力レベル選択
0	0	ロウ・レベル固定出力
0	1	ハイ・レベル固定出力
1	0	ロウ・レベル固定出力
1	1	ハイ・レベル固定出力

使用するコンパレータ出力または外部割り込み信号の選択は、強制出力停止機能2入力選択レジスタ np（TKBPAFXSn_p）の TKBPAFXSn_p9-TKBPAFXSn_p0 ビットによって制御されます。

16 ビット・タイマ KB4n の出力 p 端子（TKBOnp）の強制出力停止機能2トリガ選択を次の表に示します。

表9 - 13 TKBOnpの強制出力停止機能2トリガ選択

ビット名	選択可能なトリガ信号		
	16 ビット・タイマKB40	16 ビット・タイマKB41	16 ビット・タイマKB42
TKBPAFXSn _p 0	INTP0	INTP0	INTP0
TKBPAFXSn _p 1	INTP1	INTP1	INTP1
TKBPAFXSn _p 2	INTP2	INTP2	INTP2
TKBPAFXSn _p 3	INTP3	INTP3	INTP3
TKBPAFXSn _p 4	INTP4	INTP4	INTP4
TKBPAFXSn _p 5	INTP5	INTP5	INTP5
TKBPAFXSn _p 6	INTP6	INTP6	INTP6
TKBPAFXSn _p 7	INTP7	INTP7	INTP7
TKBPAFXSn _p 8	コンパレータ 0	コンパレータ 0	コンパレータ 0
TKBPAFXSn _p 9	コンパレータ 1	コンパレータ 1	コンパレータ 1

備考 n = 0-2; p = 0, 1

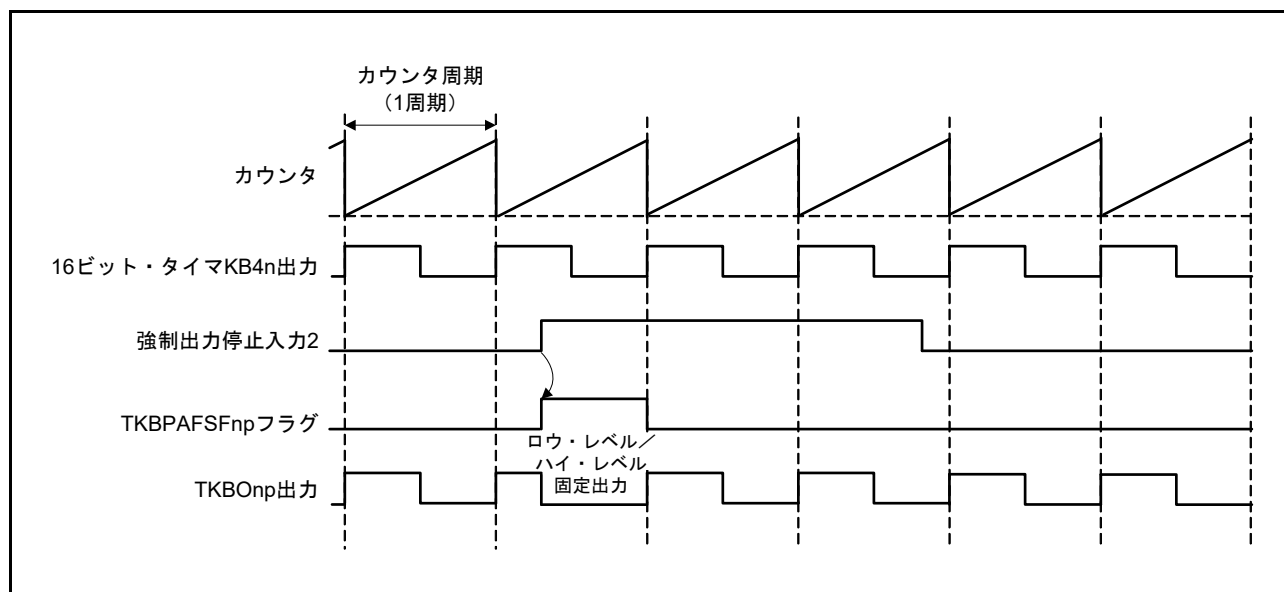
9.8.2 強制出力停止機能2の基本動作

TKBPAFCMnp ビットと TKBPAFIXnp ビットの設定の違いによる強制出力機能2の動作を示します。

強制出力停止機能2を開始するトリガ信号（強制出力停止入力2）は、強制出力停止機能2入力選択レジスタ np（TKBPAFXSn_p）の TKBPAFXSn_p9-TKBPAFXSn_p0 ビットで選択されたトリガ信号です。

(1) TKBPAFCMnp = 0 での強制出力停止機能2

図9 - 108 TKBPAFCMnp = 0 での強制出力停止機能2

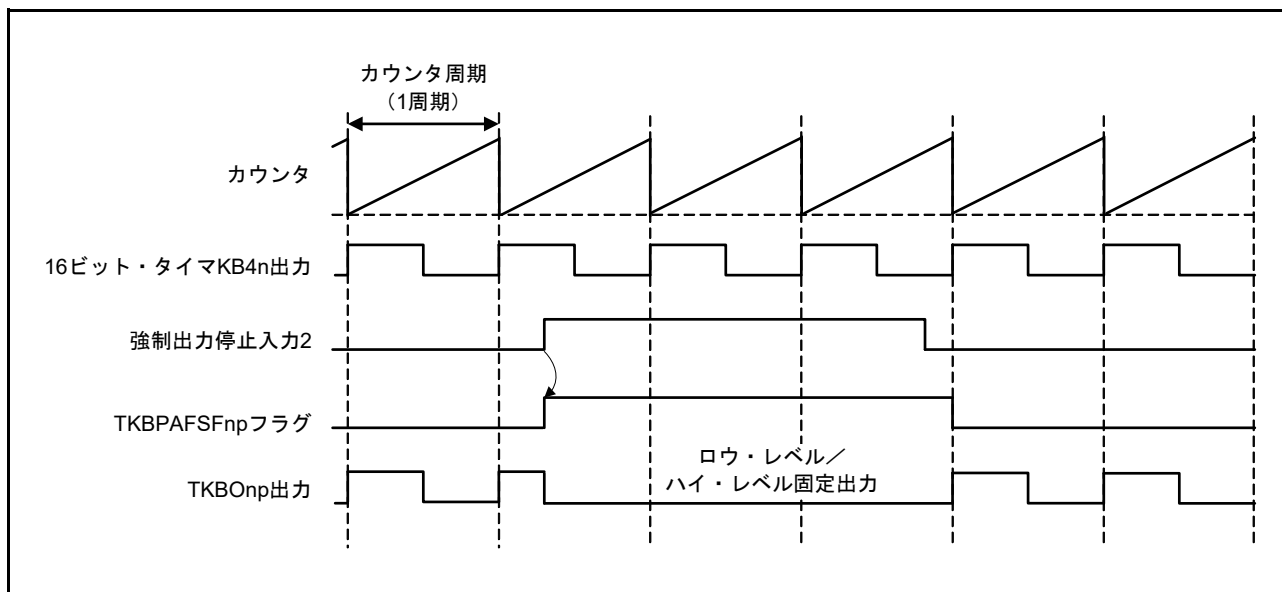


強制出力停止入力2の立ち上がりエッジ検出で、TKBPAMDnp0の設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力2の入力レベルに関係なく、次のカウンタの周期で出力レベルの固定が解除され、タイマ出力に戻ります。

TKBPAFSFn_pフラグがハイ・レベルの期間が、強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考 n = 0-2; p = 0, 1

(2) $TKBPAFCMnp = 1$, $TKBPAFIXnp = 0$ での強制出力停止機能2図9 - 109 $TKBPAFCMnp = 1$, $TKBPAFIXnp = 0$ での強制出力停止機能2

強制出力停止入力2の立ち上がりエッジ検出で、 $TKBPAMDnp0$ の設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力2が立ち下がりエッジになったあと、次のカウンタの周期で出力レベルの固定が解除され、タイマ出力に戻ります。

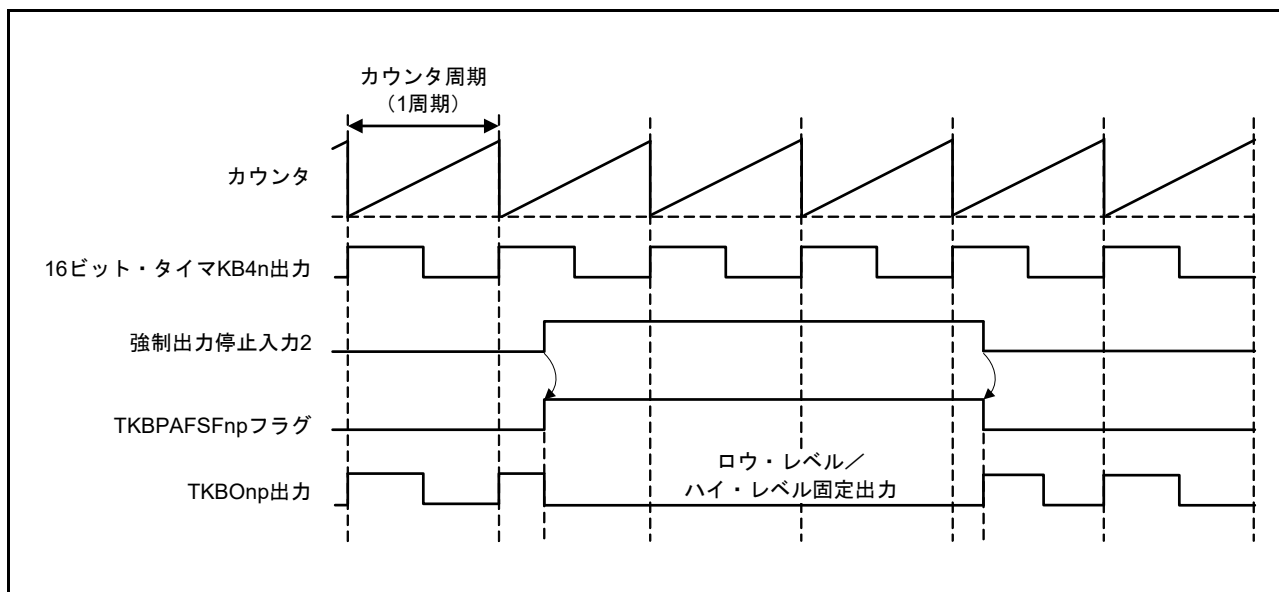
$TKBPAFSFnp$ フラグがハイ・レベルの期間が、強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

備考 $n = 0-2$; $p = 0, 1$

(3) TKBPAFCMnp = 1, TKBPAFIXnp = 1での強制出力停止機能2 (Fixed off機能)

TKBPAFIXnp = 1に設定するとFixed off機能が有効になります。Fixed off機能はTKBPAFCMnp = 1設定時のみ有効になります。

図9 - 110 TKBPAFCMnp = 1, TKBPAFIXnp = 1での強制出力停止機能2 (Fixed off機能)



強制出力停止入力2の立ち上がりエッジ検出で、TKBPAMDnp[0]の設定値に従い、ロウ・レベル／ハイ・レベルに固定出力となります。

強制出力停止入力2が立ち下がりエッジになったあと、検出信号に同期して出力レベルの固定が解除され、タイマ出力に戻ります。

TKBPAFSFnフラグがハイ・レベルの期間が、強制出力停止2の期間（ロウ・レベル／ハイ・レベル出力固定）となります。

強制出力停止発動時は、強制出力停止入力2を非同期入力のまま使用し、ただちに強制停止が発動します。

強制出力停止解除時は、強制出力停止入力2を同期化してから処理を行うため、強制出力停止入力2を入力後、fKBKCの2～3クロック分の遅延が発生します。

同期化処理中に再度強制出力停止入力2の立ち上がりエッジが検出された場合は、強制出力停止状態は解除されずに固定出力が継続されます。

備考 n = 0-2; p = 0, 1

Fixed off機能では、強制出力停止入力2の入力レベルにあわせて強制出力停止発動を非同期、解除を同期扱いで制御としているため、強制出力停止入力2のアクティブレベル幅が f_{KBKC} の1クロック未満だった場合、強制出力停止機能2が解除されず強制出力停止状態を継続する場合があります。

その場合の解除手順を以下に示します。

1. TKBPAFIFnpの状態と、TKBPAFSFnpの状態を比較。

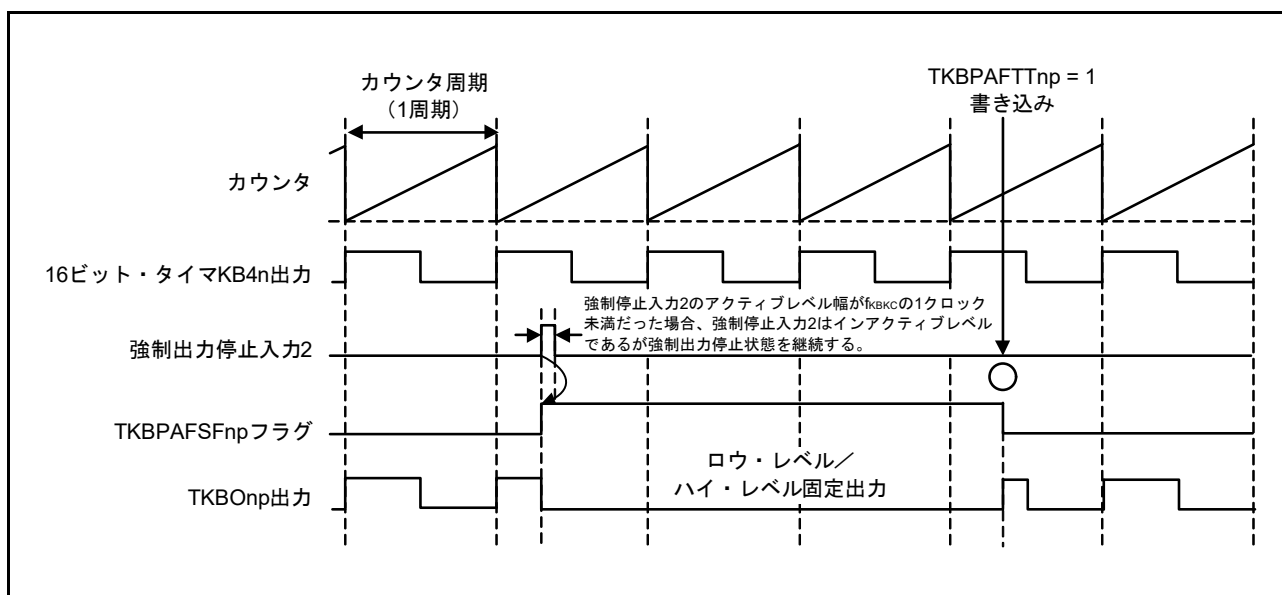
TKBPAFIFnpが0（強制出力停止入力2の状態がロウ・レベル）、TKBPAFSFnpが1（強制出力停止状態）の場合は、2.を実施する。

2. TKBPAFTTnpに1を設定する。

3. TKBPAFSFnpが0（強制出力停止解除状態）であることを確認する。

図9 - 111に短パルス入力時のFixed off機能動作を示します。

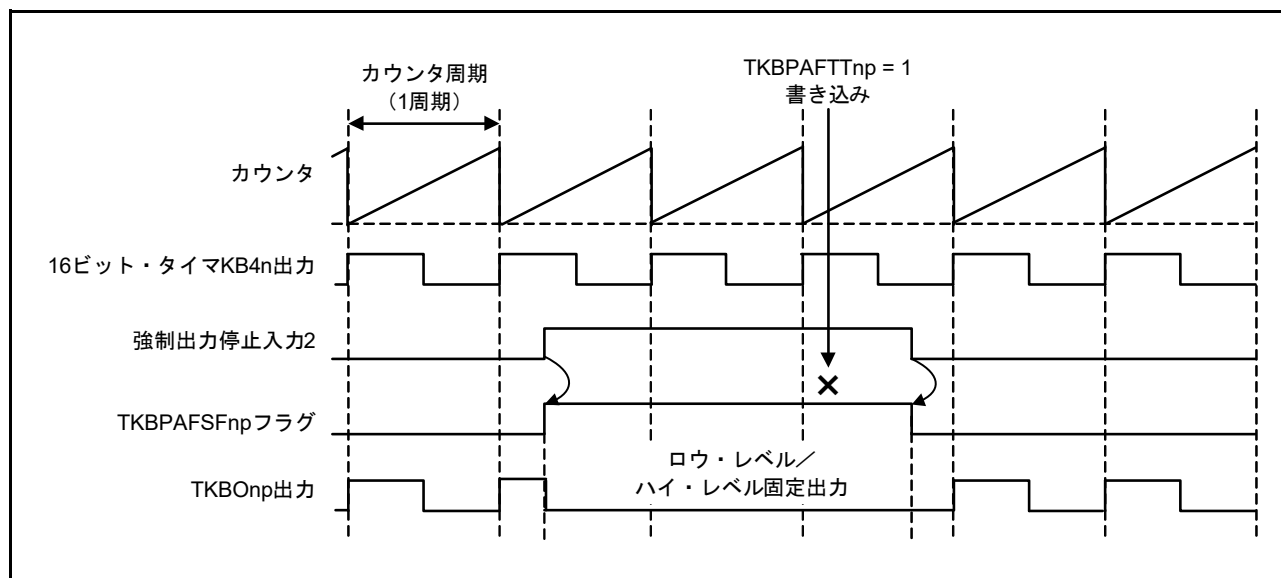
図9 - 111 短パルス入力時のFixed off機能動作



強制出力停止入力2がアクティブ（ハイ・レベル）レベル期間中での、解除トリガ（TKBPFFTnp）への1書き込みは無効となります。

図9 - 112にアクティブレベル期間中での解除トリガ書き込み動作を示します。

図9 - 112 アクティブレベル期間中での解除トリガ書き込み動作



9.9 外部割り込み（INTPx）の16ビット・タイマKB40, KB41, KB42連動機能使用時の構成

外部割り込み（INTPx）は、INTPxの割り込みトリガ、16ビット・タイマKB40, KB41, KB42のタイマ・リスタート要求信号、タイマ出力強制停止要求信号として使用することができます。

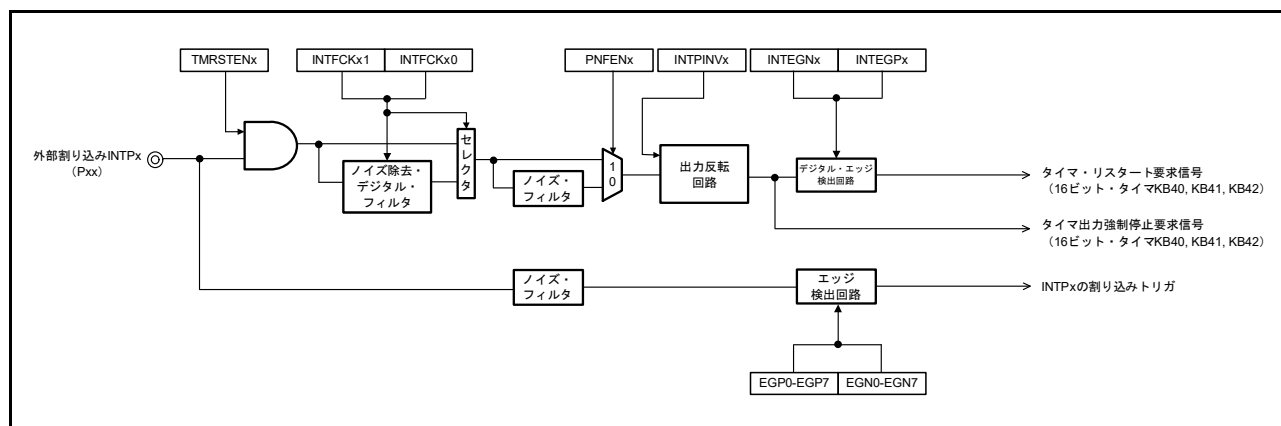
INTPxの割り込みトリガとして、INTPx端子の入力エッジ検出信号のほかに、16ビット・タイマKB40, KB41, KB42のタイマ・リスタート要求信号を選択することができます。

これにより、16ビット・タイマKB40, KB41, KB42のタイマ・リスタート信号の発生タイミングに同期して外部割り込み（INTPx）を発生させることができます。

使用する機能に応じて、以下のレジスタを設定してください。

- 外部割り込み制御レジスタx（INTPCTLx）
- 外部割り込み立ち上がりエッジ許可レジスタ0（EGP0）
- 外部割り込み立ち下がりエッジ許可レジスタ0（EGN0）

図9 - 113 INTPx外部割り込みのブロック図



備考1. EGP0-EGP7ビット : 外部割り込み立ち上がりエッジ許可レジスタ（EGP0: bit 0-7）

EGN0-EGN7ビット : 外部割り込み立ち下がりエッジ許可レジスタ（EGN0: bit 0-7）

備考2. x = 0-7

第10章 リアルタイム・クロック (RTC)

10.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能（周期：0.5秒、1秒、1分、1時間、1日、1月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hzの端子出力機能

リアルタイム・クロック割り込み信号（INTRTC）を、HALT/STOP モードからのウェイクアップや A/D コンバータの SNOOZE モードのトリガ、LCD 点滅表示の切り替えタイミングに使えます。また、0.5 秒周期での点滅出力（sub500ms）を LCD 点滅表示の切り替えタイミングに使えます。

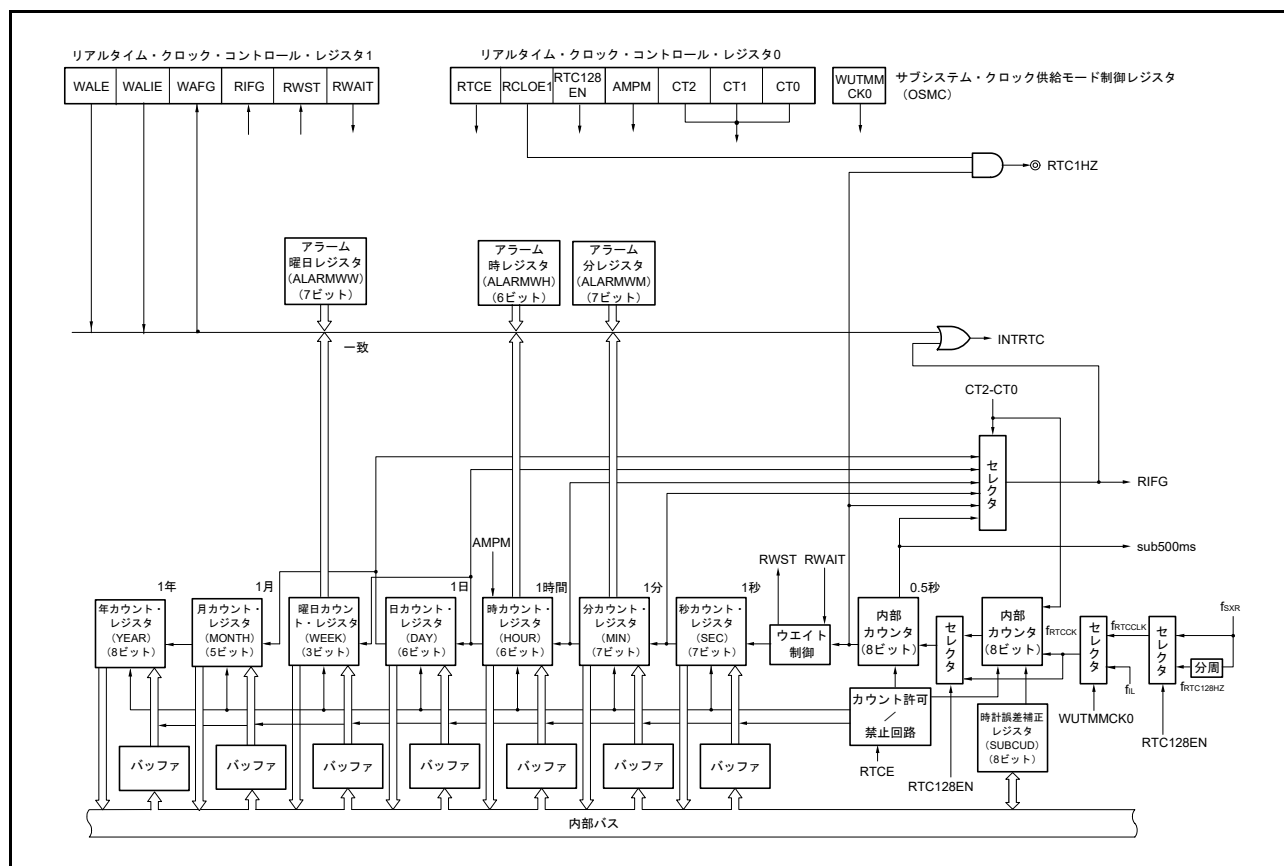
10.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表10-1 リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ（16ビット）
制御レジスタ	・周辺イネーブル・レジスタ0（PER0） ・サブシステム・クロック供給モード制御レジスタ（OSMC） ・リアルタイム・クロック・コントロール・レジスタ0（RTCC0） ・リアルタイム・クロック・コントロール・レジスタ1（RTCC1） ・秒カウント・レジスタ（SEC） ・分カウント・レジスタ（MIN） ・時カウント・レジスタ（HOUR） ・日カウント・レジスタ（DAY） ・曜日カウント・レジスタ（WEEK） ・月カウント・レジスタ（MONTH） ・年カウント・レジスタ（YEAR） ・時計誤差補正レジスタ（SUBCUD） ・アラーム分レジスタ（ALARMWM） ・アラーム時レジスタ（ALARMWH） ・アラーム曜日レジスタ（ALARMWW）

図 10-1 リアルタイム・クロックのブロック図



注意 リアルタイム・クロック制御部の動作クロックにサブシステム・クロック (fsXR = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fIL = 32.768 kHz) を選択時は、定周期割り込み機能のみ使用できます。

10.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ ^{注1}	カレンダー系レジスタ ^{注2}
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1. RTCC0, RTCC1, SUBCUD

注2. SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW

リセット発生により、SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW レジスタはリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

10.3.1 周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用する場合は、必ず RTCWEN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 10-2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN
	RTCWEN	リアルタイム・クロックへのアクセス制御						
	0	- リアルタイム・クロックで使用するSFRへのライト不可 - リアルタイム・クロックは動作可能						
	1	- リアルタイム・クロックで使用するSFRへのリード／ライト可 - リアルタイム・クロックは動作可能						

注意1. ビット1には、必ず0を設定してください。

注意2. リアルタイム・クロックを使用する際には、カウント・クロック（f_{RTCC}）が発振安定した状態で、必ず最初に RTCWEN = 1 に設定してから下記のレジスタの設定を行ってください。RTCWEN = 0 の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります（サブシステム・クロック供給モード制御レジスタ（OSMC）、ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロールT・レジスタ（PMCTxx）、ポート・モード・コントロールE・レジスタ（PMCExx）、LCDポート・ファンクション・レジスタ（PFSEGx）は除く）。

- リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
- リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
- 秒カウント・レジスタ（SEC）
- 分カウント・レジスタ（MIN）
- 時カウント・レジスタ（HOUR）
- 日カウント・レジスタ（DAY）
- 曜日カウント・レジスタ（WEEK）
- 月カウント・レジスタ（MONTH）
- 年カウント・レジスタ（YEAR）
- 時計誤差補正レジスタ（SUBCUD）
- アラーム分レジスタ（ALARMWM）
- アラーム時レジスタ（ALARMWH）
- アラーム曜日レジスタ（ALARMWW）

注意3. サブシステム・クロック供給モード制御レジスタ（OSMC）の RTCLPC ビットに 1 を設定することにより、STOP モード時およびサブシステム・クロック時 HALT モードで、リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

10.3.2 サブシステム・クロック供給モード制御レジスタ（OSMC）

WUTMMCK0 ビットでリアルタイム・クロックの制御クロック（fRTCCK）を選択できます。

また、RTCLPC ビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPC ビットの設定については、**第6章 クロック発生回路**を参照してください。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定^{注1}になります。

注 RTCLPC ビットおよび WUTMMCK0 ビットは 0、HIPREC ビットは 1 になります。

図 10 - 3 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス : F00F3H

リセット時: 不定^{注1}

R/W属性 : R/W^{注2}

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	×	×	0	HIPREC

WUTMMCK 0	リアルタイム・クロック制御部の動作クロック（fRTCCK）の選択
0	サブシステム・クロック XR（fsXR）または fRTC128HZ（RTC128EN ビットで選択）
1	低速オンチップ・オシレータ・クロック（fIL） ^{注3, 4}

注1. RTCLPC ビットおよび WUTMMCK0 ビットは 0、HIPREC ビットは 1 になります。

注2. ビット 3, 2, 0 は、読み出しのみ可能です。書き込みは無視されます。

注3. サブシステム・クロック X 発振中に WUTMMCK0 ビットに 1 を設定することは禁止です。

注4. WUTMMCK0 ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32 ビット・インターバル・タイマ、8 ビット・インターバル・タイマ、シリアル・インタフェース UARTA0-3、外部サンプリング、クロック出力／ブザー出力機能、LCD コントローラ／ドライバのすべての機能が停止中のみ可能です。

注意1. ビット 6, 5, 1 には、必ず 0 を設定してください。

注意2. リアルタイム・クロック制御部の動作クロックにサブシステム・クロック XR（fsXR = 32.768 kHz）または fRTC128HZ を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック（fIL = 32.768 kHz）を選択時は、定周期割り込み機能のみ使用できます。

備考 × : Don't care

10.3.3 リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

RTCC0 レジスタは、リアルタイム・クロック動作の開始／停止、RTC1HZ 端子の制御、12/24 時間制、定周期割り込み機能を設定する 8 ビットのレジスタです。

RTCC0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00H になります。

図 10-4 リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット (1/2)

アドレス : F022BH

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	<5>	<4>	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RTC128EN	AMPM	CT2	CT1	CT0
RTCE注								
リアルタイム・クロックの動作制御								
0 カウンタ動作停止								
1 カウンタ動作開始								
RCLOE1								
RTC1HZ 端子の出力制御								
0 RTC1HZ 端子の出力（1 Hz）禁止								
1 RTC1HZ 端子の出力（1 Hz）許可								
RTC128EN								
リアルタイム・クロックの動作クロック（fRTCCLK）選択								
0 32.768 kHz								
1 128 Hz								
• RTC128EN = 1 のときはリアルタイム・クロックが 128 Hz で動作し低消費動作になります。 • RTC128EN = 1 のとき、時計誤差補正機能は使用できません。 • RTC128EN = 1 に設定するときは、OSMC レジスタの WUTMMCK0 ビットを 0 にしてください。								
AMPM								
12 時間制／24 時間制の選択								
0 12 時間制（午前／午後を表示）								
1 24 時間制								
• 本ビットの値を変更する場合は、リアルタイム・クロック・コントロール・レジスタ1（RTCC1）の RWAIT ビットに 1 を設定してから書き換えてください。AMPM ビットの値を変更すると、時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。 • 表 10-2 に時間桁表示表を示します。								

図10-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のフォーマット (2/2)

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に一度 (秒カウント・アップに同期)
0	1	0	1秒に一度 (秒カウント・アップと同時)
0	1	1	1分に一度 (毎分00秒)
1	0	0	1時間に一度 (毎時00分00秒)
1	0	1	1日に一度 (毎日00時00分00秒)
1	1	×	1月に一度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFG, RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注 RTCE = 1に設定直後にHALT/STOPモードに移行する場合は、**図10-18 RTCE = 1に設定後のHALT/STOPモードへの移行手順**に従ってHALT/STOPモードに移行してください。

注意1. ビット6には、必ず0を設定してください。

注意2. RTCE = 1のときに、RCLOE1ビットを変更しないでください。

注意3. RTCE = 0のときに、RCLOE1 = 1に設定しても1 Hz出力されません。

備考 × : Don't care

10.3.4 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

RTCC1 レジスタは、アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00Hになります。

図10-5 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（1/2）

アドレス : F022CH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	5	<4>	<3>	2	<1>	<0>
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつWALIE = 1のときに本ビットへ設定する場合は、INTRTC割り込みを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RTCIFフラグをクリアしてください。アラームの各レジスタ（RTCC1レジスタのWALIEフラグ、アラーム分レジスタ（ALARMWM）、アラーム時レジスタ（ALARMWH）、アラーム曜日レジスタ（ALARMWW））を設定する場合、本ビットを0にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、fRTCCCKの1クロック後に1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。	

RWST	リアルタイム・クロックのウェイト状態フラグ ^{注1}
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中
RWAITビットの設定が有効であることを示すステータスです。 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。	

図10-5 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット (2/2)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値の読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値の読み出し、書き込みを行う際は必ず1を書き込んでください。
 内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2-CT0ビットを010B（1秒ごとに定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで最大f_{RTCCCK}の1クロックの時間がかかります。**注2, 3**
 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

注1. ビット1は、読み出しのみ可能です。

注2. RTCE = 1に設定したあと、f_{RTCCCK}の1クロック時間内でRWAIT = 1とした場合、RWSTビットが1になるまで動作クロック（f_{RTCCCK}）の2クロック時間がかかる場合があります。

注3. スタンバイ（HALTモード、STOPモード、SNOOZEモード）から復帰したあと、f_{RTCCCK}の1クロック時間内で、RWAIT = 1とした場合、RWSTビットが1になるまでに、動作クロック（f_{RTCCCK}）の2クロック時間がかかる場合があります。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFG, WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFG, WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる1を設定してください。なお、RIFG, WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム割り込みは、同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

10.3.5 秒カウント・レジスタ (SEC)

SEC レジスタは、0 ～ 59 (10 進) までの値を取り、秒のカウント値を示す 8 ビットのレジスタです。

内部カウンタ (16 ビット) からのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大 f_{RTCCK} の 2 クロック後にカウンタへ書き込まれます。また設定する値は 10 進の 00 ～ 59 を BCD コードで設定してください。

SEC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図 10 - 6 秒カウント・レジスタ (SEC) のフォーマット

アドレス : F0220H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

備考 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ (16 ビット) はクリアされます。

10.3.6 分カウント・レジスタ (MIN)

MIN レジスタは、0 ～ 59 (10 進) までの値を取り、分のカウント値を示す 8 ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTCCK} の 2 クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 00 ～ 59 を BCD コードで設定してください。

MIN レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図 10 - 7 分カウント・レジスタ (MIN) のフォーマット

アドレス : F0221H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.7 時カウント・レジスタ（HOUR）

HOUR レジスタは、00 ～ 23 または 01 ～ 12, 21 ～ 32（10 進）までの値を取り、時のカウント値を示す 8 ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTCK} の 2 クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ 0（RTCC0）のビット 3（AMPM）で設定した時間制に応じて、10 進の 00 ～ 23 または 01 ～ 12, 21 ～ 32 を BCD コードで設定してください。

AMPM ビットの値を変更すると、HOUR レジスタの値は設定した時間制に対応する値に変更されます。

HOUR レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図 10-8 時カウント・レジスタ（HOUR）のフォーマット

アドレス : F0222H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOUR レジスタのビット 5（HOUR20）は、AMPM = 0（12 時間制）を選択した場合、AM（0）／PM（1）を示します。

注意2. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

表 10 - 2 に AMPM ビットの設定値、および時カウント・レジスタ（HOUR）値と時間の関係を示します。

表10 - 2 時間桁表示表

24時間表示（RTCC0.AMPM = 1）		12時間表示（RTCC0.AMPM = 0）	
時間	HOUR レジスタ	時間	HOUR レジスタ
0時	00H	AM12時	12H
1時	01H	AM1時	01H
2時	02H	AM2時	02H
3時	03H	AM3時	03H
4時	04H	AM4時	04H
5時	05H	AM5時	05H
6時	06H	AM6時	06H
7時	07H	AM7時	07H
8時	08H	AM8時	08H
9時	09H	AM9時	09H
10時	10H	AM10時	10H
11時	11H	AM11時	11H
12時	12H	PM12時	32H
13時	13H	PM1時	21H
14時	14H	PM2時	22H
15時	15H	PM3時	23H
16時	16H	PM4時	24H
17時	17H	PM5時	25H
18時	18H	PM6時	26H
19時	19H	PM7時	27H
20時	20H	PM8時	28H
21時	21H	PM9時	29H
22時	22H	PM10時	30H
23時	23H	PM11時	31H

HOUR レジスタ値は、AMPM ビットが 0 のときに 12 時間表示、1 のときに 24 時間表示となります。

12 時間表示の場合は、HOUR レジスタの 5 ビット目で午前／午後を表示し、午前（AM）のときに 0 に、午後（PM）のときに 1 となります。

10.3.8 日カウント・レジスタ (DAY)

DAY レジスタは、1 ～ 31 (10 進) までの値を取り、日のカウント値を示す 8 ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは、次に示すようにカウントします。

- 01 ～ 31 (1, 3, 5, 7, 8, 10, 12 月)
- 01 ～ 30 (4, 6, 9, 11 月)
- 01 ～ 29 (2 月 うるう年)
- 01 ～ 28 (2 月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大 f_{RTCK} の 2 クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 01 ～ 31 を BCD コードで設定してください。

DAY レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図 10 - 9 日カウント・レジスタ (DAY) のフォーマット

アドレス : F0224H

リセット時: 不定

R/W 属性 : R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.9 曜日カウント・レジスタ（WEEK）

WEEK レジスタは、0 ～ 6（10 進）までの値を取り、曜日のカウント値を示す 8 ビットのレジスタです。
日カウンタと同期してカウント・アップします。
書き込みを行った場合は、バッファに書き込まれ最大 f_{RTCLK} の 2 クロック後にカウンタへ書き込まれます。また設定する値は、10 進の 00 ～ 06 を BCD コードで設定してください。
WEEK レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

図 10 - 10 曜日カウント・レジスタ（WEEK）のフォーマット

アドレス : F0223H
リセット時: 不定
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ（WEEK）には、月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。
リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

注意2. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.10 月カウント・レジスタ (MONTH)

MONTH レジスタは、1～12（10進）までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01～12をBCDコードで設定してください。

MONTH レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図10-11 月カウント・レジスタ (MONTH) のフォーマット

アドレス : F0225H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.11 年カウント・レジスタ (YEAR)

YEAR レジスタは、0～99（10進）までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバーフローによりカウント・アップします。

00, 04, 08, …, 92, 96 がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCK の2クロック後にカウンタへ書き込まれます。書き込み中に MONTH レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00～99をBCDコードで設定してください。

YEAR レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図10-12 年カウント・レジスタ (YEAR) のフォーマット

アドレス : F0226H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 カウンタ動作中 (RTCE = 1) にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.12 時計誤差補正レジスタ（SUBCUD）

SUBCUD レジスタは、内部カウンタ（16 ビット）から秒カウンタ・レジスタ（SEC）へオーバーフローする値（基準値：7FFFH）を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUD レジスタは、8 ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00H になります。

図 10 - 13 時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス : F0227H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
• DEV = 0 設定時 : SEC = 00H, 20H, 40H の期間	
• DEV = 1 設定時 : SEC = 00H の期間	

F6	時計誤差補正值の設定
0	$\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$ だけ増加
1	$\{(F5, F4, F3, F2, F1, F0) + 1\} \times 2$ だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。	
/F5 ~ /F0は、ビット反転した値（111100Bのときは000011B）となります。	
補正值の範囲 : (F6 = 0 のとき) 2, 4, 6, 8, . . . 120, 122, 124	
(F6 = 1 のとき) -2, -4, -6, -8, . . . -120, -122, -124	

次に、時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	-189.2 ~ +189.2 ppm	-63.1 ~ +63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

注意 128 Hz動作モード（RTC128EN = 1）時は、この時計誤差の補正機能を使用できません。RTC128EN = 0を選択時のみ、時計誤差補正ができます。

備考 補正範囲が-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

10.3.13 アラーム分レジスタ（ALARMWM）

ALARMWM レジスタは、アラームの分を設定するレジスタです。

ALARMWM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図10-14 アラーム分レジスタ（ALARMWM）のフォーマット

アドレス : F0228H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

10.3.14 アラーム時レジスタ（ALARMWH）

ALARMWH レジスタは、アラームの時を設定するレジスタです。

ALARMWH レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

注意 設定する値は、10進の00～23、または01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図10-15 アラーム時レジスタ（ALARMWH）のフォーマット

アドレス : F0229H

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHレジスタのビット5（WH20）は、AMPM = 0（12時間制）を選択した場合、AM（0）／PM（1）を示します。

10.3.15 アラーム曜日レジスタ（ALARMWW）

ALARMWW レジスタは、アラームの曜日を設定するレジスタです。
ALARMWW レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

図10 - 16 アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス : F022AH
リセット時: 不定
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日 WW0	月 WW1	火 WW2	水 WW3	木 WW4	金 WW5	土 WW6	10 時	1 時	10 分	1 分	10 時	1 時	10 分	1 分
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

10.3.16 リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するレジスタ

リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・モード・コントロールE・レジスタ（PMCExx）
- LCDポート・ファンクション・レジスタ（PFSEGx）

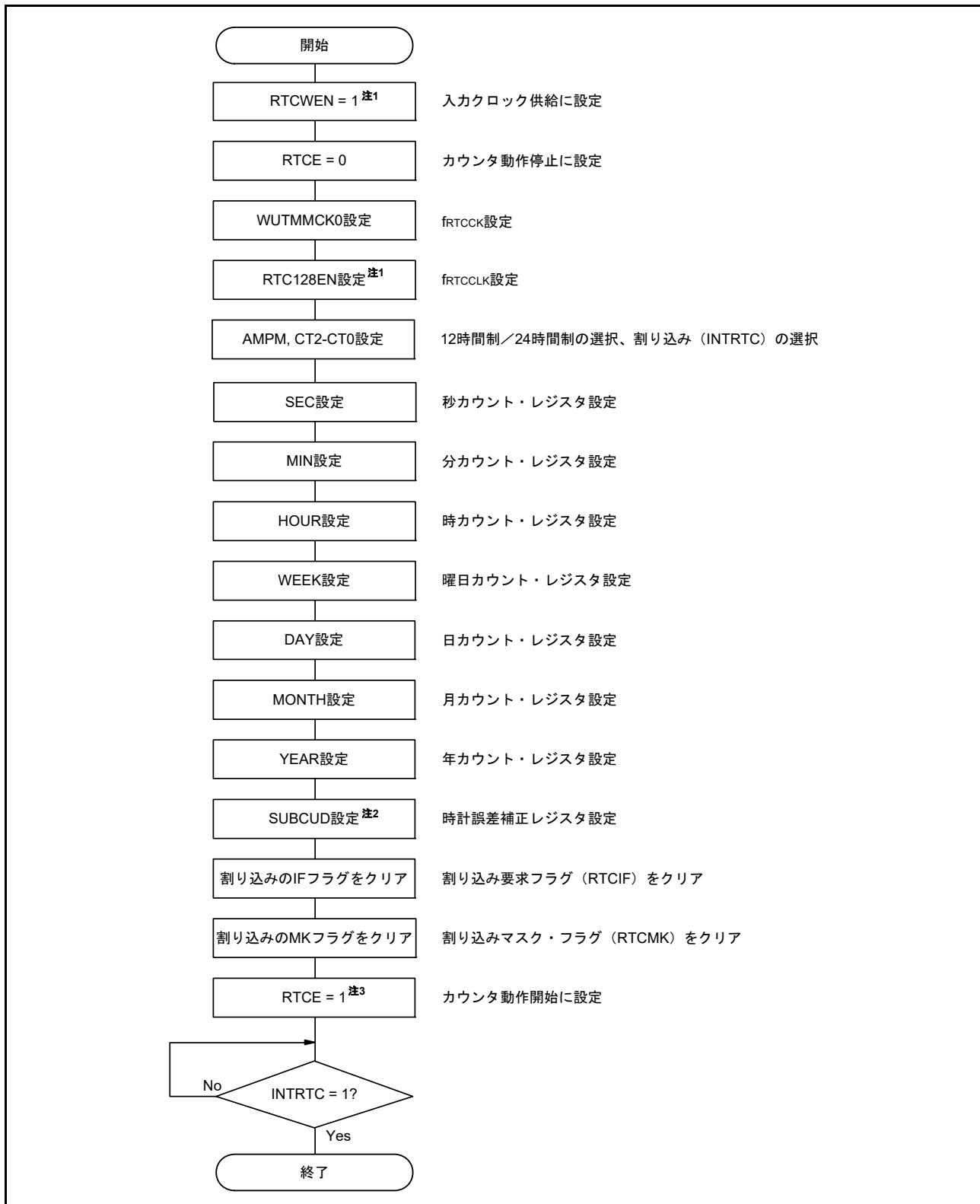
詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）、4.3.5 ポート出力モード・レジスタ（POMxx）、4.3.8 ポート・モード・コントロールT・レジスタ（PMCTxx）、4.3.9 ポート・モード・コントロールE・レジスタ（PMCExx）、4.3.16 LCDポート・ファンクション・レジスタ（PFSEGx）を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

10.4 リアルタイム・クロックの動作

10.4.1 リアルタイム・クロックの動作開始

図 10 - 17 リアルタイム・クロックの動作開始手順



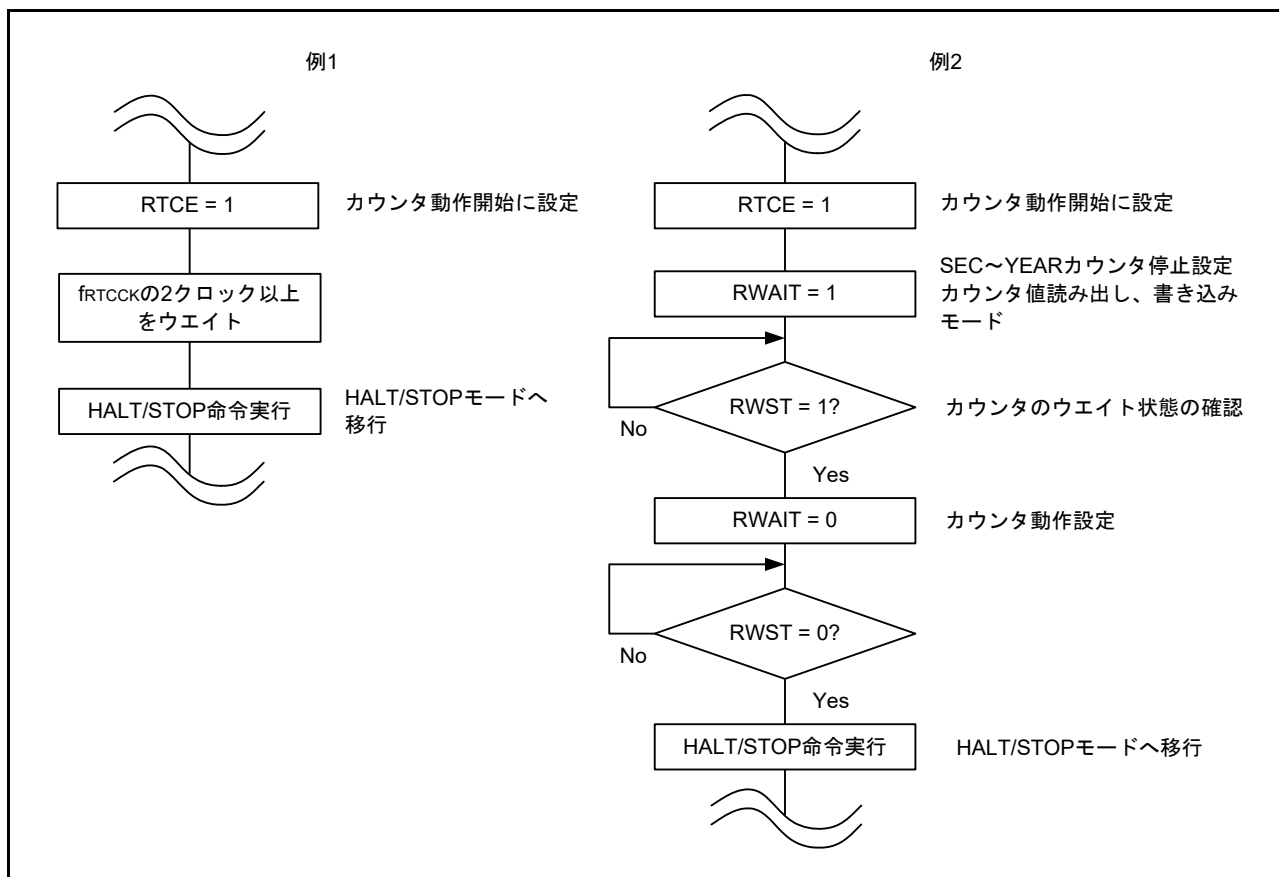
- 注1.** カウント・クロック (f_{RTCK}) が発振安定状態において、最初に RTCWEN = 1 の設定と RTC128EN の設定を行ってください。
- 注2.** 時計誤差補正する必要がある場合のみ。補正値の算出方法は、**10.4.6 リアルタイム・クロックの時計誤差補正例**を参照してください。
RTC128EN = 1 設定時、時計誤差補正機能は使用できません。
- 注3.** RTCE = 1 のあとに INTRTC = 1 を待たずに HALT/STOP モードへ移行する場合は、**10.4.2 動作開始後の HALT/STOP モードへの移行**の手順を確認してください。

10.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1 に設定直後に HALT/STOP モードへ移行する場合は、次のどちらかの処理をしてください。ただし、RTCE = 1 に設定後、INTRTC 割り込みの発生以降に HALT/STOP モードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1 に設定してから、カウント・クロック (f_{RTCCK}) の2クロック分以上経過後に HALT/STOP モードへ移行する (図 10 - 18 例1参照)。
- RTCE = 1 に設定後、RWAIT = 1 に設定し、RWST ビットが1になるのをポーリングで確認する。それから、RWAIT = 0 に設定し、RWST ビットが0になったのを再度ポーリングで確認後に HALT/STOP モードへ移行する (図 10 - 18 例2参照)。

図 10 - 18 RTCE = 1 に設定後の HALT/STOP モードへの移行手順



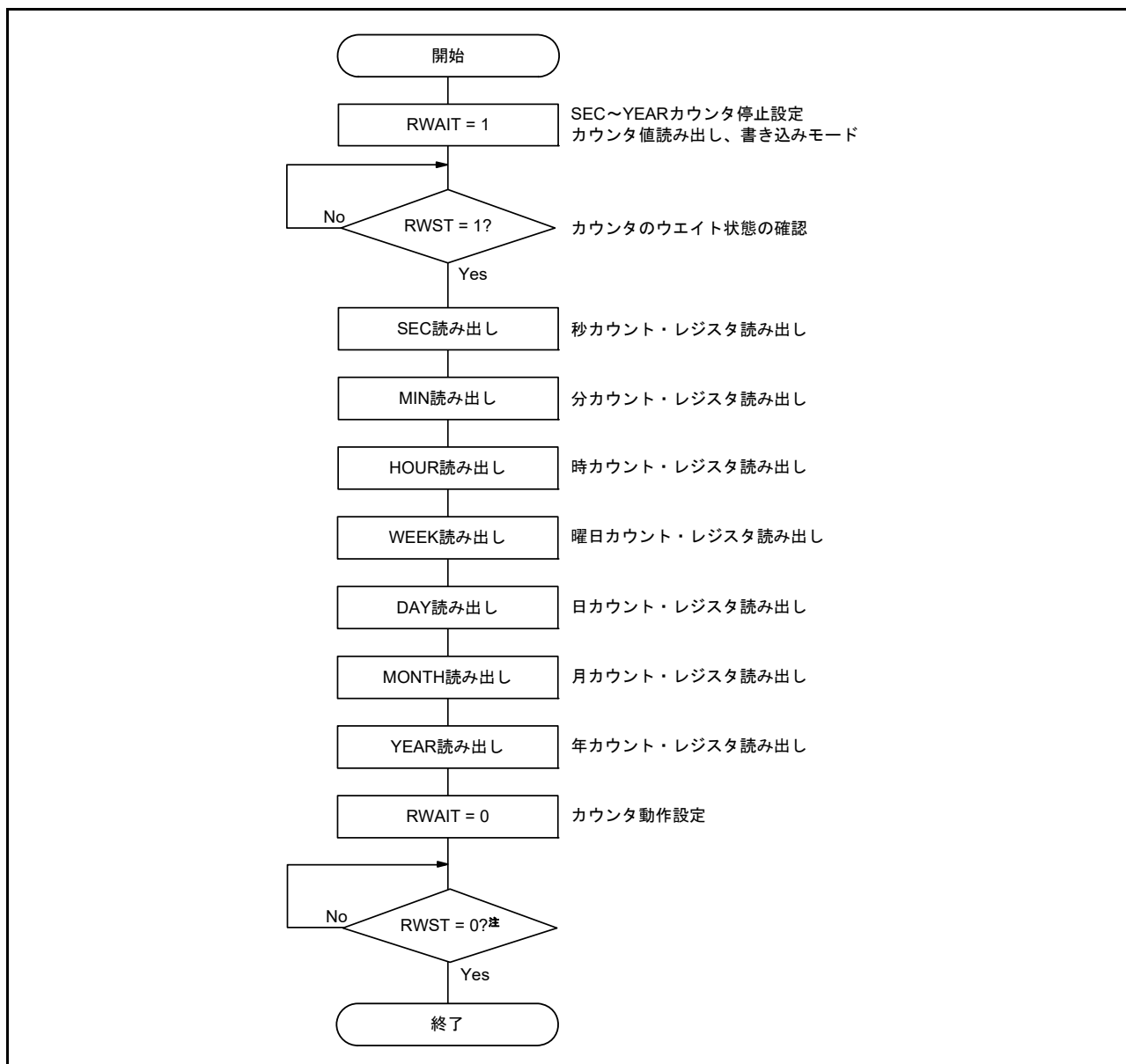
10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初に RWAIT = 1 にしてから行ってください。

カウンタの読み出し／書き込み終了後は、RWAIT = 0 にしてください。

- ★ なお、アラーム割り込み機能使用時は、図 10 - 20 および図 10 - 22 の手順でカウンタの読み出し／書き込みを行ってください。

図 10 - 19 リアルタイム・クロックの読み出し手順

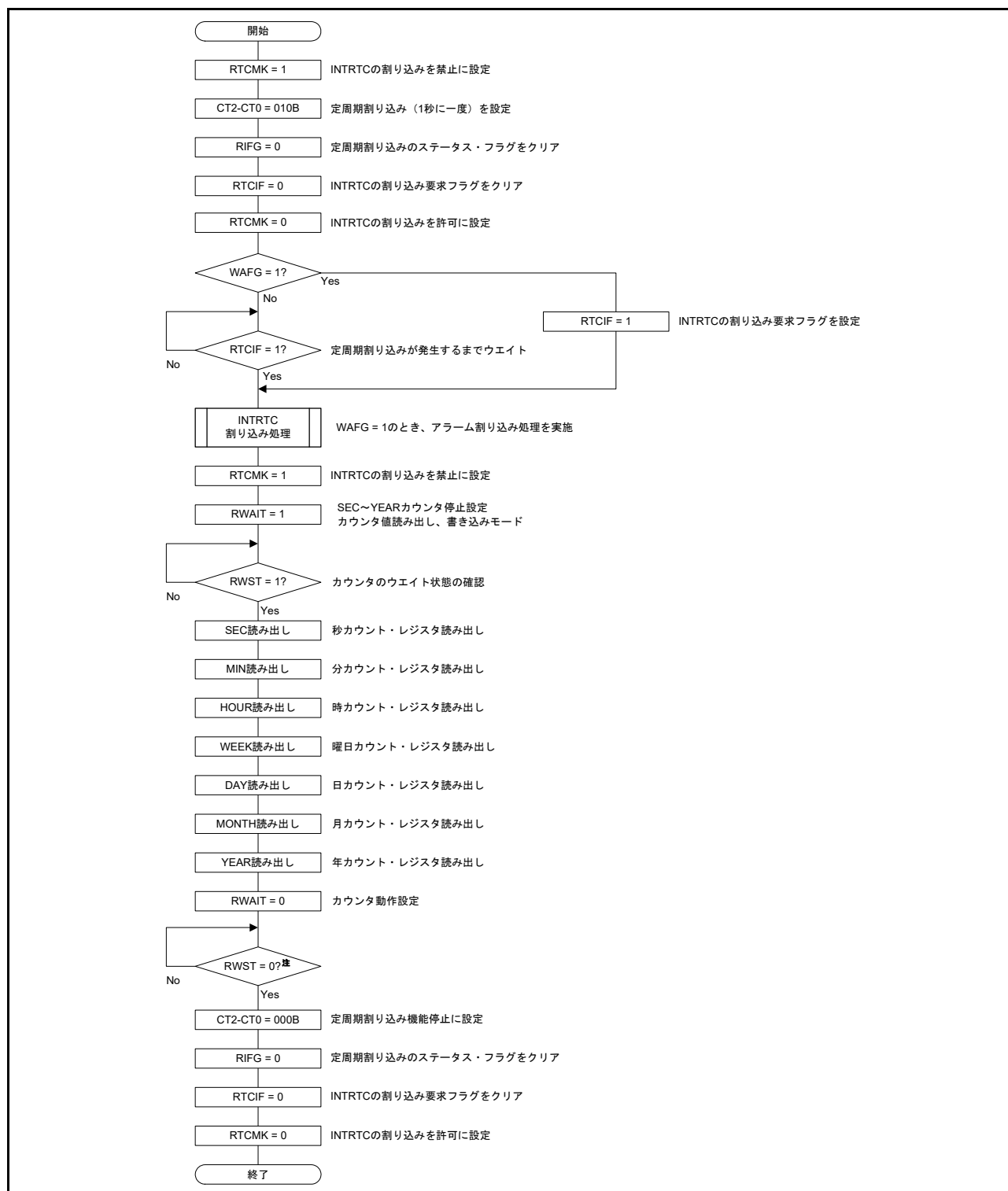


注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

- ★ 注意 RWAIT = 1からRWAIT = 0までの処理を1秒以内で行ってください。

備考 秒カウンタ・レジスタ (SEC)、分カウンタ・レジスタ (MIN)、時カウンタ・レジスタ (HOUR)、曜日カウンタ・レジスタ (WEEK)、日カウンタ・レジスタ (DAY)、月カウンタ・レジスタ (MONTH)、年カウンタ・レジスタ (YEAR) の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出してもかまいません。

★ 図10-20 リアルタイム・クロックの読み出し手順（アラーム割り込み機能使用時）

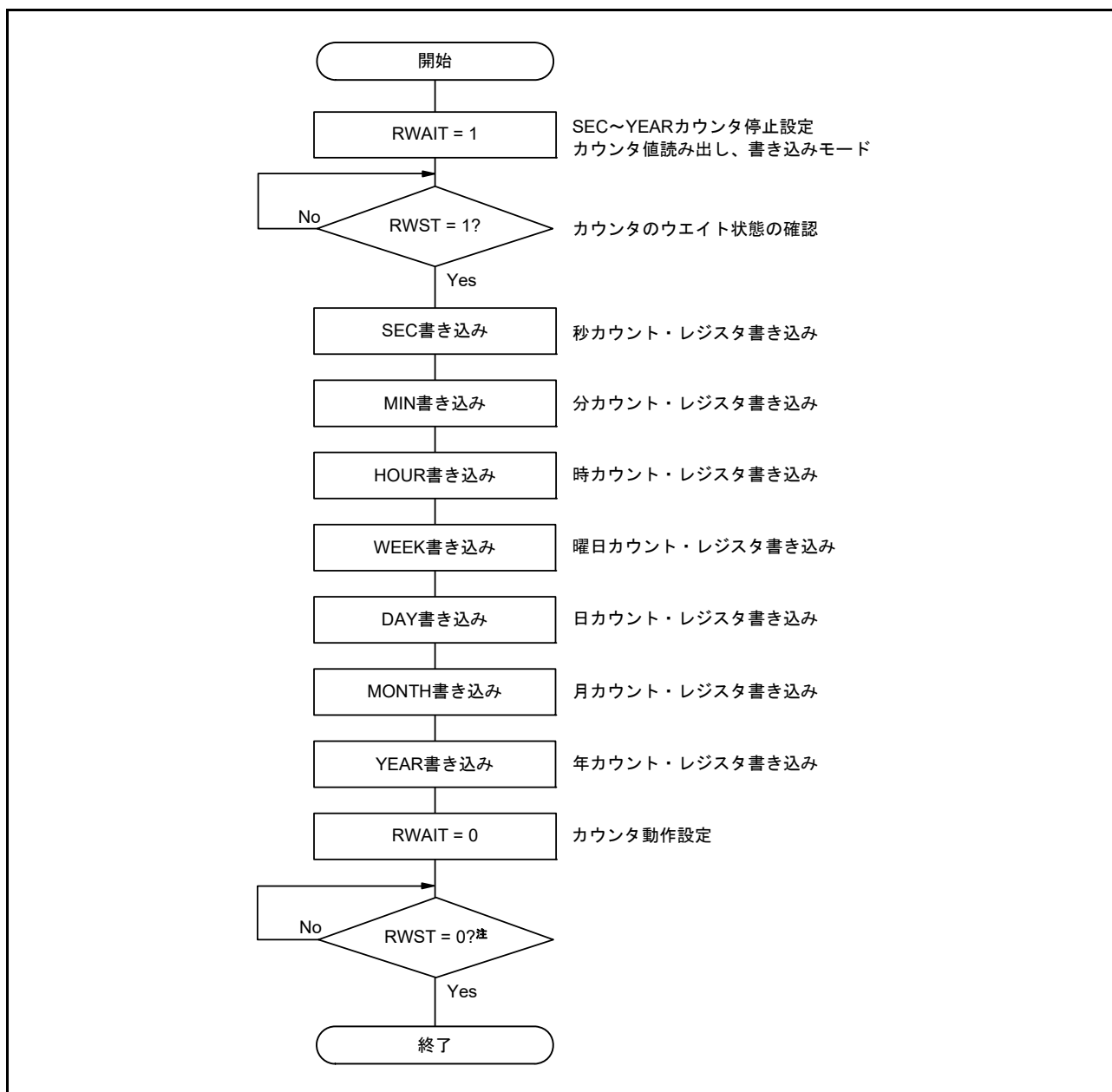


注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。

備考 秒カウンタ・レジスタ（SEC）、分カウンタ・レジスタ（MIN）、時カウンタ・レジスタ（HOUR）、曜日カウンタ・レジスタ（WEEK）、日カウンタ・レジスタ（DAY）、月カウンタ・レジスタ（MONTH）、年カウンタ・レジスタ（YEAR）の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出してもかまいません。

図10-21 リアルタイム・クロックの書き込み手順

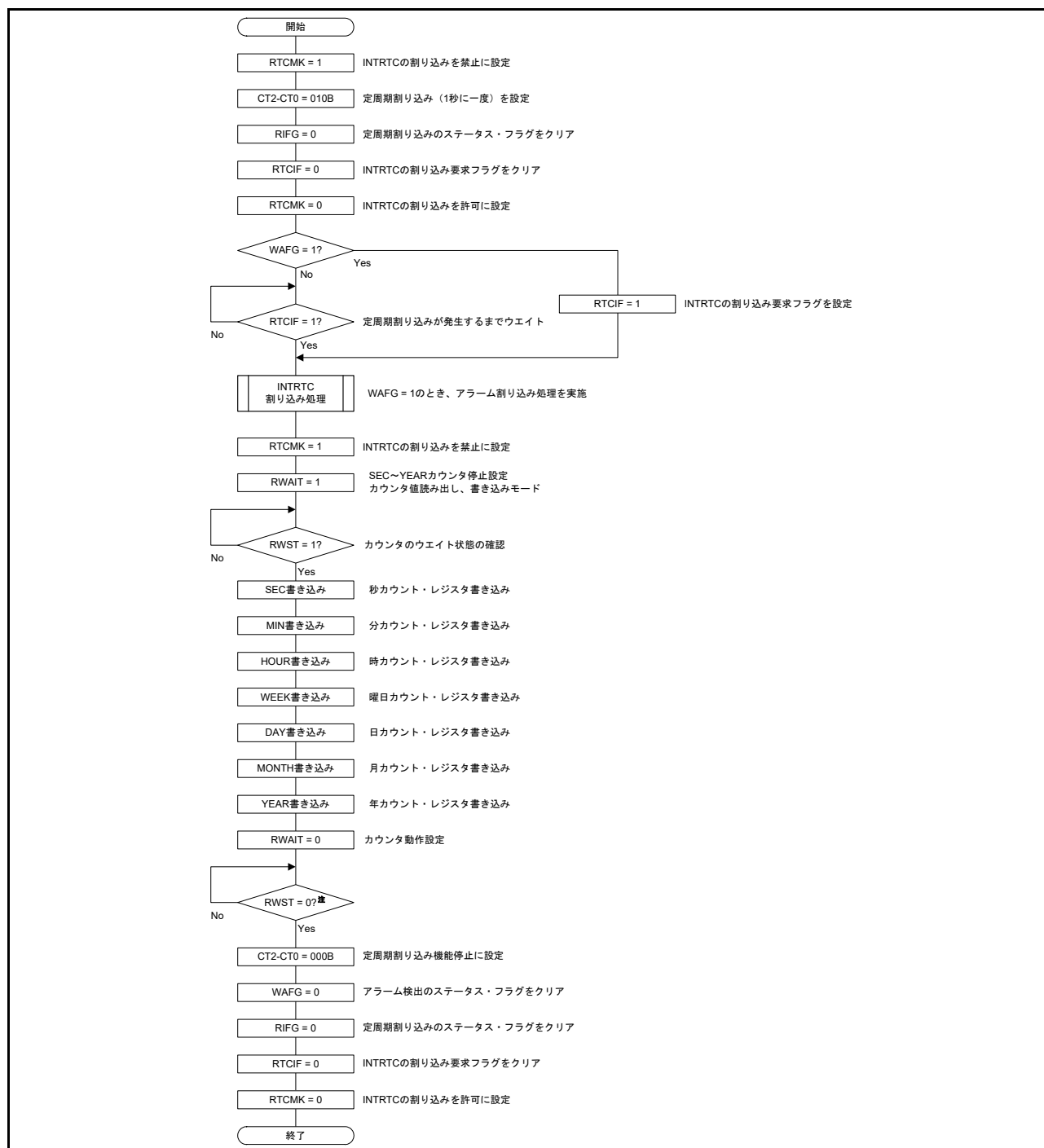


★ 注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

注意2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RIFG, RTCIFフラグをクリアしてください。

備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えてもかまいません。

★ 図10-22 リアルタイム・クロックの書き込み手順 (アラーム割り込み機能使用時)



注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。

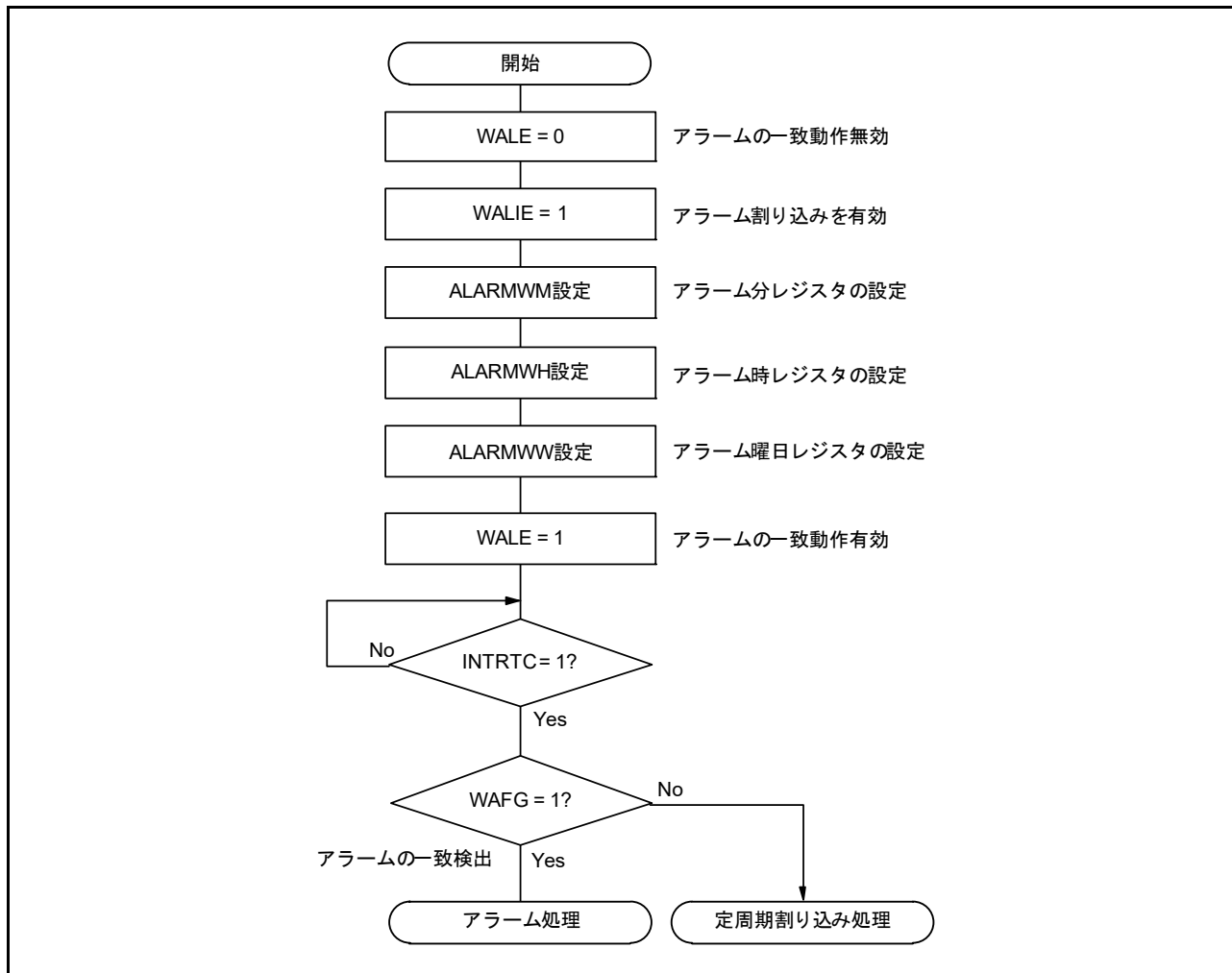
注意2. カウンタ動作中 (RTCE = 1) にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RIFG, RTCIFフラグをクリアしてください。

備考 秒カウンタ・レジスタ (SEC)、分カウンタ・レジスタ (MIN)、時カウンタ・レジスタ (HOUR)、曜日カウンタ・レジスタ (WEEK)、日カウンタ・レジスタ (DAY)、月カウンタ・レジスタ (MONTH)、年カウンタ・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えてもかまいません。

10.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は、最初に WALE = 0（アラーム動作無効）にしてから行ってください。

図 10 - 23 アラーム処理手順

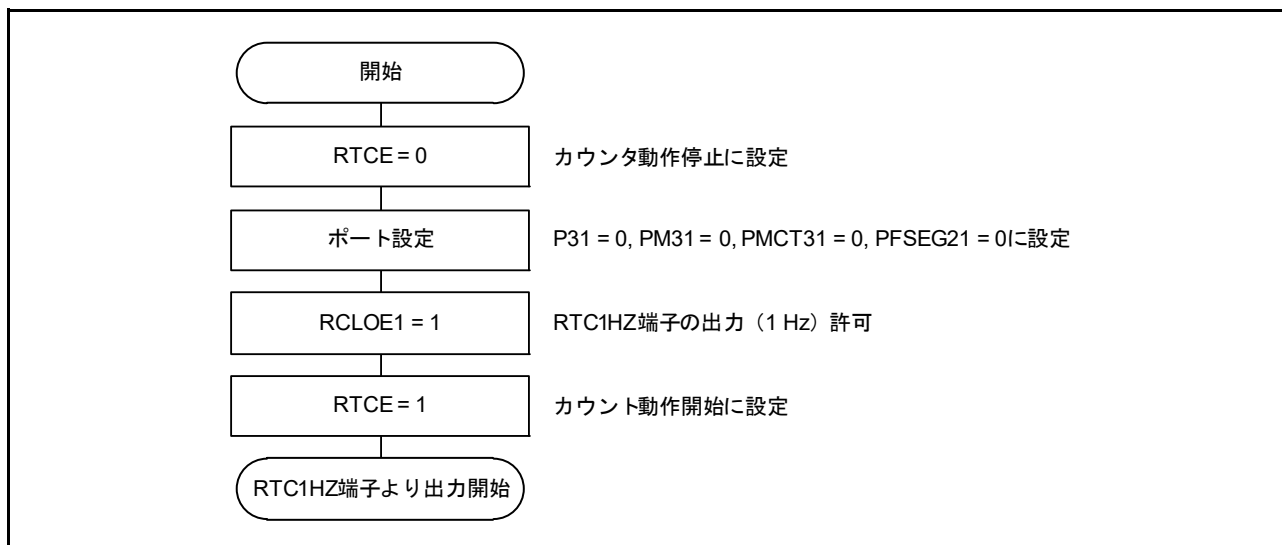


備考1. アラーム分レジスタ（ALARMWM）、アラーム時レジスタ（ALARMWH）、アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム割り込みは、同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで、どちらの割り込みが発生したかを判断することができます。

10.4.5 リアルタイム・クロックの1 Hz出力

図 10 - 24 1 Hz出力の設定手順



注意 カウント・クロック（f_{RTCCK}）が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。

備考1. この図で示すポート設定は、64～100ピン製品でRTC1HZ端子をP31に割り当てた場合（PIOR57-PIOR55ビット = 0）の設定です。

備考2. 1 Hz出力機能を使用する場合は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、RTC1HZ端子の割り当てを行ってください。詳細は、4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）を参照してください。

10.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ（16ビット）のカウンタ値を補正する際の補正値は、次の式で算出できます。補正範囲が、 -63.1 ppm以下または 63.1 ppm以上のときは、 $DEV = 0$ を設定してください。

($DEV = 0$ の場合)

補正値^注 = 1分間の補正カウント数 $\div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$

($DEV = 1$ の場合)

補正値^注 = 1分間の補正カウント数 = $(\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

($F6 = 0$ の場合) 補正値 = $\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2$

($F6 = 1$ の場合) 補正値 = $-\{(F5, F4, F3, F2, F1, F0) + 1\} \times 2$

($F6, F5, F4, F3, F2, F1, F0 = (*, 0, 0, 0, 0, 0, *)$ のときは、時計誤差補正を行いません。*は0または1です。
 $/F5 \sim /F0$ は、ビット反転した値 (111100Bのときは000011B) となります。

備考1. 補正値は、2, 4, 6, 8, $\dots$ 120, 122, 124、または-2, -4, -6, -8 $\dots$ -120, -122, -124です。

備考2. 発振周波数とは、カウンタ・クロック (fRTCLK) の値です。

時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 $\times 32768$ で求めることができます。

備考3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hz から 32768 Hz (32772.3 Hz – 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数^注はPCLBUZ0端子から約32.768 kHzを出力するか、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、**10.4.5 リアルタイム・クロックの1 Hz出力を**、PCLBUZ0端子から約32 kHzの出力の設定手順は、**14.4 クロック出力／ブザー出力制御回路の動作**を参照してください。

【補正値の算出】

(PCLBUZ0端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz – 131.2 ppm) とすると、–131.2 ppmは補正範囲が–63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned}\text{補正値} &= 1 \text{ 分間の補正カウント数} \div 3 \\ &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86\end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

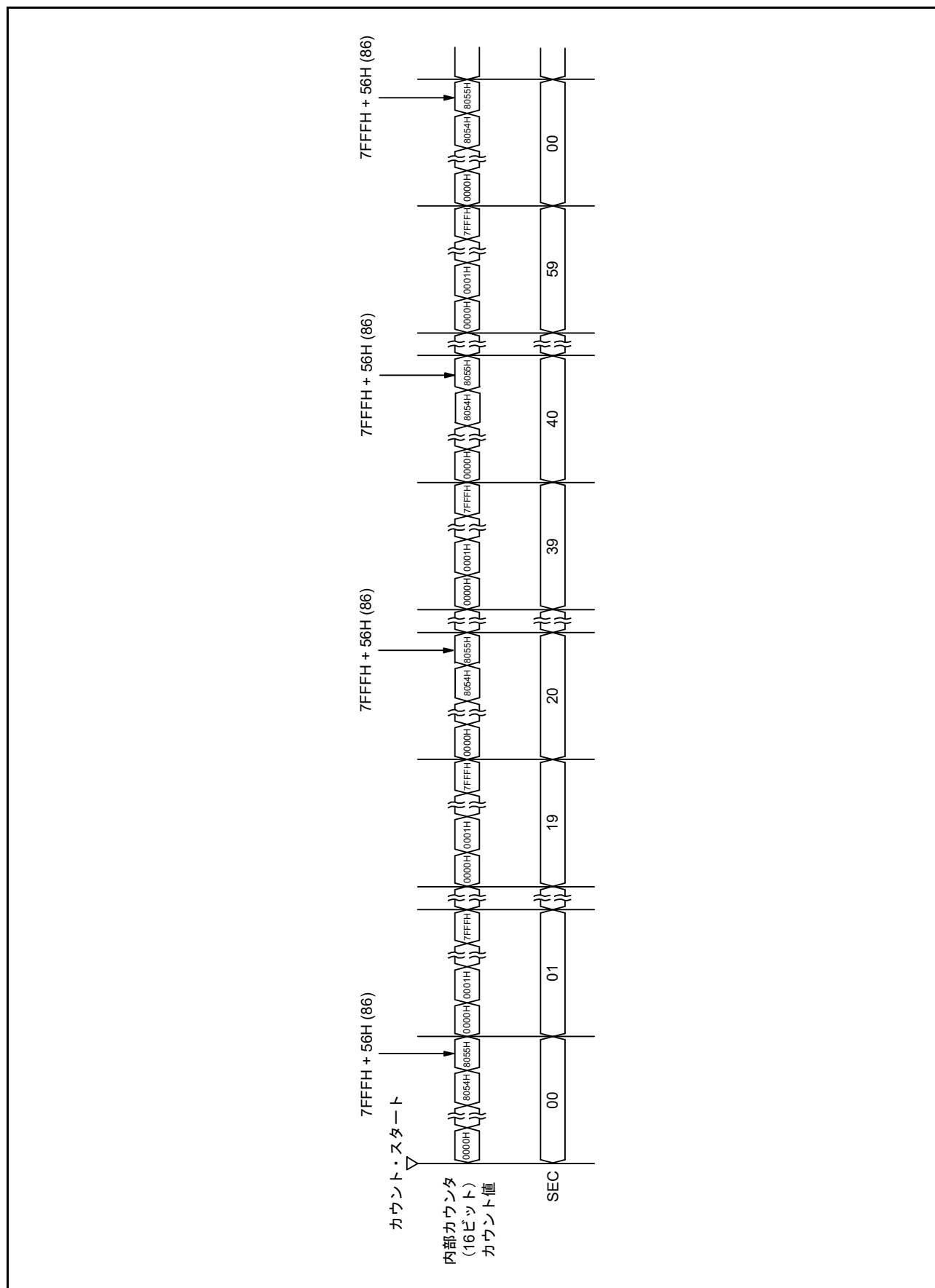
$$\begin{aligned}\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0)\end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz – 131.2 ppm) への補正の場合、

DEV = 0、補正値 = 86 (SUBCUDレジスタのビット6-0 : 0101100B) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

図 10 - 25に (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作を示します。

図 10 - 25 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の補正動作



補正例②

32767.4 Hz から 32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ (SUBCUD) が初期値 (00H) 時に RTC1HZ 端子から約 1 Hz を出力して測定します。

注 RTC1Hz 出力の設定手順は、**10.4.5 リアルタイム・クロックの1 Hz出力**を参照してください。

【補正値の算出】

(RTC1HZ 端子からの出力周波数が 0.9999817 Hz の場合)

発振周波数 = $32768 \times 0.9999817 \div 32767.4 \text{ Hz}$

ターゲット周波数を 32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1 とします。

DEV = 1 の場合の補正値の算出式を適用します。

補正値 = 1 分間の補正カウント数

$$= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

$$= (32767.4 \div 32768 - 1) \times 32768 \times 60$$

$$= -36$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36 の場合)

補正値が 0 以下 (速くする場合) では、F6 = 1 とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$- \{ (F5, F4, F3, F2, F1, F0) + 1 \} \times 2 = -36$$

$$(F5, F4, F3, F2, F1, F0) = 17$$

$$(F5, F4, F3, F2, F1, F0) = (0, 1, 0, 0, 0, 1)$$

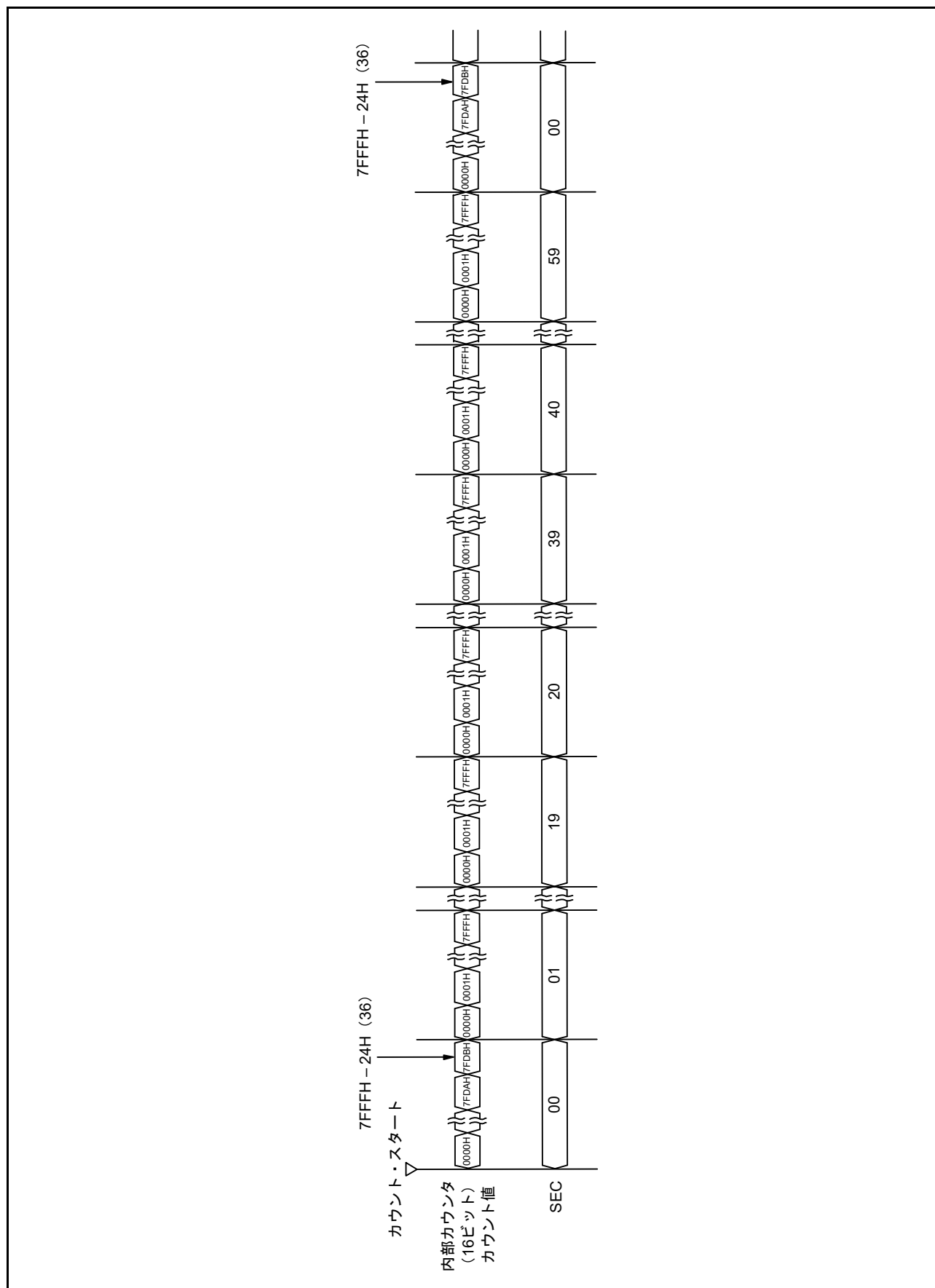
$$(F5, F4, F3, F2, F1, F0) = (1, 0, 1, 1, 1, 0)$$

したがって、32767.4 Hz から 32768 Hz (32767.4 Hz + 18.3 ppm) への補正の場合、

DEV = 1、補正値 = -36 (SUBCUD レジスタのビット 6-0: 1101110B) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

図 10 - 26に (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作を示します。

図 10-26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作



第11章 8ビット・インターバル・タイマ

8ビット・インターバル・タイマは8ビット・タイマを2つ（チャンネル0、チャンネル1）持ち、それぞれが独立して動作します。また、2つの8ビット・タイマを連結動作させることで16ビット・タイマとして動作することができます。

本製品で対応しているユニット、チャンネル数は、製品によって異なります。

ピン数		44～64ピン		80, 100ピン
フラッシュ・メモリ		64～128 KB	256～512 KB	128～512 KB
ユニット0	チャンネル0	○	○	○
	チャンネル1	○	○	○
ユニット1	チャンネル0	○	○	○
	チャンネル1	○	○	○
ユニット2	チャンネル0	○	○	○
	チャンネル1	○	○	○
ユニット3	チャンネル0	○	○	○
	チャンネル1	○	○	○
ユニット4	チャンネル0	—	○	○
	チャンネル1	—	○	○
ユニット5	チャンネル0	—	○	○
	チャンネル1	—	○	○
ユニット6	チャンネル0	—	○	○
	チャンネル1	—	○	○
ユニット7	チャンネル0	—	○	○
	チャンネル1	—	○	○

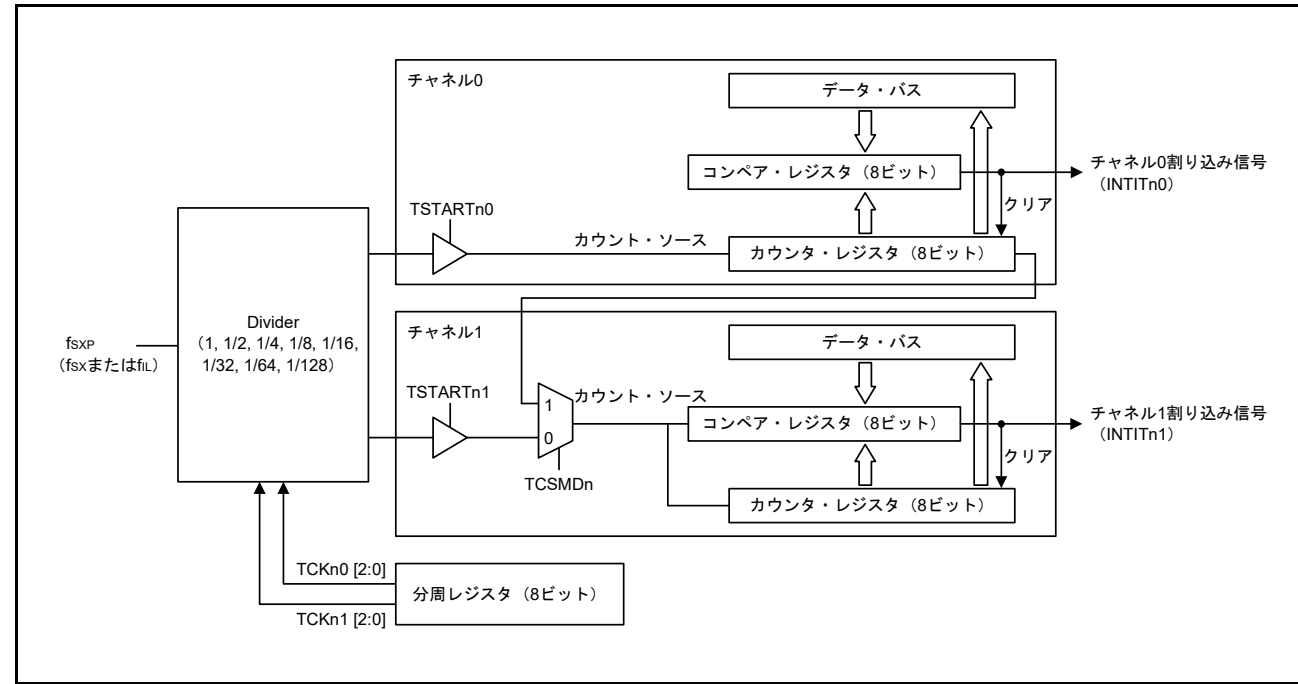
11.1 概要

8ビット・インターバル・タイマは、CPU と非同期の fsXP クロックで動作する 8ビット・タイマです。
表 11 - 1 に 8ビット・インターバル・タイマの仕様、図 11 - 1 に 8ビット・インターバル・タイマのブロック図を示します。

表11 - 1 8ビット・インターバル・タイマの動作仕様

項目	内容
カウント・ソース (動作クロック)	・ fsXP, fsXP/2, fsXP/4, fsXP/8, fsXP/16, fsXP/32, fsXP/64, fsXP/128 (fsXP は fsx または fil クロック)
動作モード	・ 8ビット・インターバル・タイマ・モード チャンネル0、チャンネル1が独立した8ビット・カウンタとして動作するモード ・ 16ビット・インターバル・タイマ・モード チャンネル0、チャンネル1を連結して16ビット・カウンタとして動作するモード
割り込み	・ カウンタがコンペア値と一致したとき出力

図 11 - 1 8ビット・インターバル・タイマのブロック図



備考1. TSTARTni, TCSMDn, TCLKENn : TRTCRn レジスタのビット
TCKni [2:0] : TRTMDn レジスタのビット
備考2. n : ユニット番号 (n = 0-7)、i : チャンネル番号 (i = 0, 1)

11.2 入出力端子

8ビット・インターバル・タイマは入出力端子を持ちません。

11.3 8ビット・インターバル・タイマを制御するレジスタ

8ビット・インターバル・タイマを制御するレジスタを次に示します。

- 8ビット・インターバル・タイマ・カウンタ・レジスタ_{ni} (TRT_{ni}) 注1
- 8ビット・インターバル・タイマ・カウンタ・レジスタ_n (TRT_n) 注2
- 8ビット・インターバル・タイマ・コンペア・レジスタ_{ni} (TRTCMP_{ni}) 注1
- 8ビット・インターバル・タイマ・コンペア・レジスタ_n (TRTCMP_n) 注2
- 8ビット・インターバル・タイマ制御レジスタ_n (TRTCR_n)
- 8ビット・インターバル・タイマ分周レジスタ_n (TRTMD_n)

注1. TRTCR_n.TCSMD_n = 0のときのみアクセス可能です。

注2. TRTCR_n.TCSMD_n = 1のときのみアクセス可能です。

備考 n : ユニット番号 ($n = 0-7$)、 i : チャネル番号 ($i = 0, 1$)

11.3.1 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRTni)

TRTni レジスタは、8 ビット・インターバル・タイマのカウンタ・レジスタです。また、カウンタ・クロックによりカウンタ・アップするカウンタです。

TRTni レジスタは、8 ビット・メモリ操作命令で設定します。

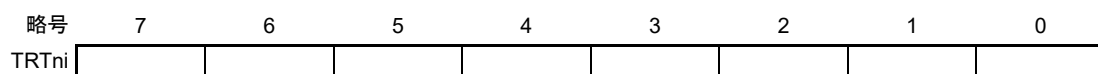
リセット信号の発生により、00H になります。

図 11 - 2 8ビット・インターバル・タイマ・カウンタ・レジスタ ni (TRTni) のフォーマット

アドレス : F0550H(TRT00), F0551H(TRT01), F0558H(TRT10), F0559H(TRT11), F0560H(TRT20), F0561H(TRT21),
F0568H(TRT30), F0569H(TRT31), F0570H(TRT40), F0571H(TRT41), F0578H(TRT50), F0579H(TRT51),
F0580H(TRT60), F0581H(TRT61), F0588H(TRT70), F0589H(TRT71)

リセット時: 00H

R/W属性 : R^{注1,2}



注1. TRTniレジスタは、8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni) に書き込みアクセス後、カウンタ・クロックで2サイクル後00Hになります。詳細は、11.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn) のモード選択ビット (TCSMDn) が0の場合のみアクセスが可能になります。

備考 n : ユニット番号 (n = 0-7)、i : チャネル番号 (i = 0, 1)

11.3.2 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)

TRTn レジスタは、8 ビット・インターバル・タイマを 16 ビット・インターバル・タイマ・モードで使用する場合は 16 ビットのカウンタ・レジスタです。

TRTn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

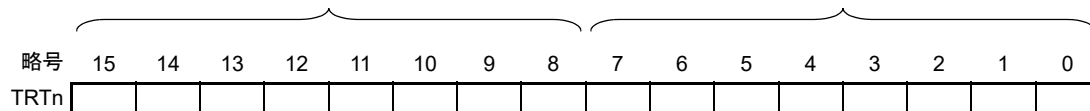
図 11 - 3 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn) のフォーマット

アドレス : F0550H(TRT0), F0558H(TRT1), F0560H(TRT2), F0568H(TRT3), F0570H(TRT4), F0578H(TRT5),
F0580H(TRT6), F0588H(TRT7)

リセット時: 0000H

R/W属性 : R^{注1,2}

F0551H(TRT01), F0559H(TRT11), F0561H(TRT21), F0550H(TRT00), F0558H(TRT10), F0560H(TRT20),
F0569H(TRT31), F0571H(TRT41), F0579H(TRT51), F0568H(TRT30), F0570H(TRT40), F0578H(TRT50),
F0581H(TRT61), F0589H(TRT71) F0580H(TRT60), F0588H(TRT70)



注1. TRTnレジスタは、8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn) に書き込みアクセス後、カウンタ・クロックで2サイクル後に0000Hになります。詳細は、11.4.4 コンペア・レジスタ値の反映タイミングを参照してください。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn) のモード選択ビット (TCSMDn) が1の場合のみアクセスが可能になります。

備考 n : ユニット番号 (n = 0-7)

11.3.3 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni)

TRTCMPni レジスタは、8ビット・インターバル・タイマのコンペア値を格納するレジスタです。

TRTn0, TRTn1 レジスタ（カウンタ）との比較値を格納します。

ライト・アクセスによりカウント値（TRTn0, TRTn1）を 00H にクリアします。

コンペア値の書き換えタイミングは、**11.4.4 コンペア・レジスタ値の反映タイミング**を参照してください。

TRTCMPni レジスタは、8ビット・メモリ操作命令で設定します。

設定範囲は 01H ~ FFH^{注1} です。

リセット信号の発生により、FFH になります。

図11-4 8ビット・インターバル・タイマ・コンペア・レジスタ ni (TRTCMPni) のフォーマット

アドレス : F0440H(TRTCMP00), F0441H(TRTCMP01), F0448H(TRTCMP10), F0449H(TRTCMP11),
F0450H(TRTCMP20), F0451H(TRTCMP21), F0458H(TRTCMP30), F0459H(TRTCMP31),
F0460H(TRTCMP40), F0461H(TRTCMP41), F0468H(TRTCMP50), F0469H(TRTCMP51),
F0470H(TRTCMP60), F0471H(TRTCMP61), F0478H(TRTCMP70), F0479H(TRTCMP71)

リセット時: FFH

R/W属性 : R/W^{注1, 2}

略号	7	6	5	4	3	2	1	0
TRTCMPni								

注1. TRTCMPni レジスタの 00H 設定は禁止です。

注2. 8ビット・インターバル・タイマ制御レジスタ n (TRTCRn) のモード選択ビット (TCSMDn) が 0 の場合のみアクセスが可能になります。

備考 n : ユニット番号 (n = 0-7)、i : チャネル番号 (i = 0, 1)

11.3.4 8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)

TRTCMPn レジスタは 8 ビット・インターバル・タイマを 16 ビット・インターバル・タイマ・モードで使用する場合のコンペア値レジスタです。

TRTn レジスタ (カウンタ) との比較値を格納します。

ライト・アクセスによりカウント値 (TRTn) を 0000H にクリアします。

コンペア値の書き換えタイミングは、**11.4.4 コンペア・レジスタ値の反映タイミング**を参照してください。

TRTCMPn レジスタは、16 ビット・メモリ操作命令で設定します。

設定範囲は 0001H ~ FFFFH^{注1}です。

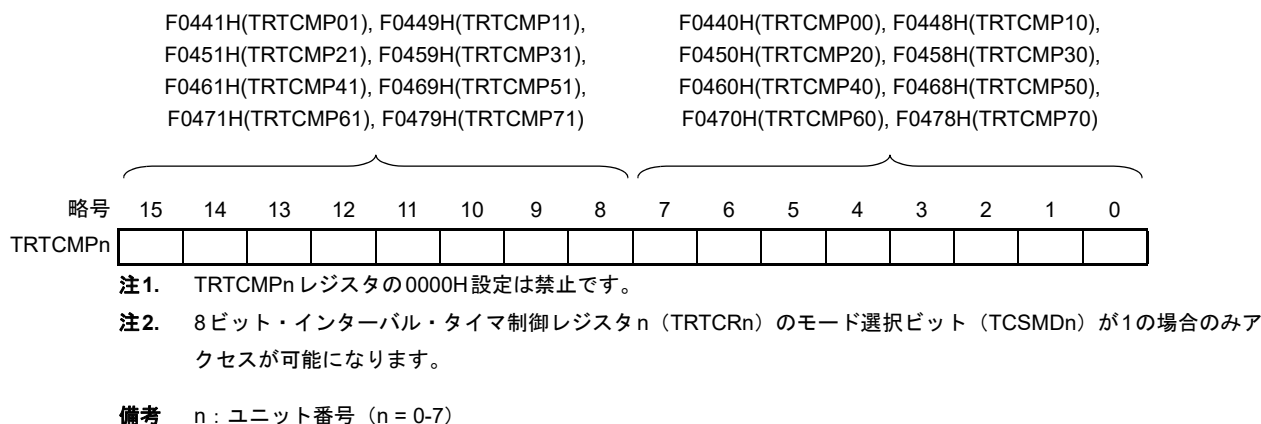
リセット信号の発生により、FFFFH になります。

図 11-5 8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTCMPn) のフォーマット

アドレス : F0440H(TRTCMP0), F0448H(TRTCMP1), F0450H(TRTCMP2), F0458H(TRTCMP3), F0460H(TRTCMP4),
F0468H(TRTCMP5), F0470H(TRTCMP6), F0478H(TRTCMP7)

リセット時: FFFFH

R/W属性 : R/W^{注2}



11.3.5 8ビット・インターバル・タイマ制御レジスタn (TRTCRn)

TRTCRn レジスタは、8ビット・インターバル・タイマのカウント停止／開始の設定と8ビット・カウンタ／16ビット・カウンタ動作の切り替えを設定するレジスタです。

TRTCRn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-6 8ビット・インターバル・タイマ制御レジスタn (TRTCRn) のフォーマット

アドレス : F0442H(TRTCR0), F044AH(TRTCR1), F0452H(TRTCR2), F045AH(TRTCR3), F0462H(TRTCR4),
F046AH(TRTCR5), F0472H(TRTCR6), F047AH(TRTCR7)

リセット時: 00H

R/W属性 : R/W^{注1}

略号	7	6	5	4	3	<2>	1	<0>
TRTCRn	TCSMDn	0	0	TCLKENn	0	TSTARTn1	0	TSTARTn0

TCSMDn	モード選択
0	8ビット・カウンタとして動作
1	16ビット・カウンタとして動作（チャンネル0、チャンネル1を連結）
詳細は、11.4 動作説明を参照してください。	

TCLKENn	8ビット・インターバル・タイマ・クロック許可 ^{注2}
0	クロック停止
1	クロック供給

TSTARTn1	8ビット・インターバル・タイマ1カウント開始 ^{注2,3}
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは、本ビットに1を書くことによりTRTn1レジスタがカウントを開始し、0を書くことによりカウントを停止します。 16ビット・インターバル・タイマ・モードでは、未使用のため無効になります。詳細は、11.4 動作説明を参照してください。	

TSTARTn0	8ビット・インターバル・タイマ0カウント開始 ^{注2,3}
0	カウント停止
1	カウント開始
8ビット・インターバル・タイマ・モードでは、本ビットに1を書くことによりTRTn0レジスタがカウントを開始し、0を書くことによりカウントを停止します。 16ビット・インターバル・タイマ・モードでは、本ビットに1を書くことによりTRTnレジスタがカウントを開始し、0を書くことによりカウントを停止します。詳細は、11.4 動作説明を参照してください。	

注1. ビット6, 5, 3, 1は、読み出しのみ可能です。書き込む場合は、0を書き込んでください。読み出す場合は、0が読み込まれます。

（注、備考は次ページに続きます）

注2. 8ビット・インターバル・タイマを設定する際には、必ず最初にTCLKENnビットに1を設定してください。クロックを停止させる場合、TSTARTn0ビットおよびTSTARTn1ビットに0を設定後、動作クロック（fsxまたはfil）で1サイクル以上経過後にTCLKENnビットに0を設定してください。詳細は、**11.5.3 8ビット・インターバル・タイマ設定手順について**を参照してください。

注3. TSTARTn0, TSTARTn1, TCSMDnビットの使用上の注意は、**11.5.1 動作モード設定変更について**を参照してください。

備考 n : ユニット番号 (n = 0-7)

11.3.6 8ビット・インターバル・タイマ分周レジスタn (TRTMDn)

TRTMDn レジスタは、8ビット・インターバル・タイマのカウント・ソースの分周比選択を設定するレジスタです。

TRTMDn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図11-7 8ビット・インターバル・タイマ分周レジスタn (TRTMDn) のフォーマット

アドレス : F0443H(TRTMD0), F044BH(TRTMD1), F0453H(TRTMD2), F045BH(TRTMD3), F0463H(TRTMD4),
F046BH(TRTMD5), F0473H(TRTMD6), F047BH(TRTMD7)

リセット時: 00H

R/W属性 : R/W^{注1}

略号	7	6	5	4	3	2	1	0
TRTMDn	—	TCKn1[2:0]			—	TCKn0[2:0]		

TCKn1[2:0]			8ビット・インターバル・タイマ1分周選択 ^{注2, 3, 4}
0	0	0	fsXP (fsx または fil)
0	0	1	fsXP/2 (fsx/2 または fil/2)
0	1	0	fsXP/4 (fsx/4 または fil/4)
0	1	1	fsXP/8 (fsx/8 または fil/8)
1	0	0	fsXP/16 (fsx/16 または fil/16)
1	0	1	fsXP/32 (fsx/32 または fil/32)
1	1	0	fsXP/64 (fsx/64 または fil/64)
1	1	1	fsXP/128 (fsx/128 または fil/128)
8ビット・インターバル・タイマ・モードでは、TCKn1[2:0]ビットに設定したカウント・ソースにより TRTn1 レジスタがカウントします。 16ビット・インターバル・タイマ・モードでは、使用しないため000に設定してください。詳細は、 11.4 動作説明 を参照してください。			

TCKn0[2:0]			8ビット・インターバル・タイマ0分周選択 ^{注2, 3, 4}
0	0	0	fsXP (fsx または fil)
0	0	1	fsXP/2 (fsx/2 または fil/2)
0	1	0	fsXP/4 (fsx/4 または fil/4)
0	1	1	fsXP/8 (fsx/8 または fil/8)
1	0	0	fsXP/16 (fsx/16 または fil/16)
1	0	1	fsXP/32 (fsx/32 または fil/32)
1	1	0	fsXP/64 (fsx/64 または fil/64)
1	1	1	fsXP/128 (fsx/128 または fil/128)
8ビット・インターバル・タイマ・モードでは、TCKn0[2:0]ビットに設定したカウント・ソースにより TRTn0 レジスタがカウントします。 16ビット・インターバル・タイマ・モードでは、TCKn0[2:0]ビットに設定したカウント・ソースにより TRTn レジスタがカウントします。詳細は、 11.4 動作説明 を参照してください。			

(注、備考は次ページに続きます)

- 注1.** ビット7, 3は、読み出しのみ可能です。書き込む場合は、0を書き込んでください。読み出す場合は、0が読み込まれます。
- 注2.** カウント中にカウント・ソースの切り替えをしないでください。カウント・ソースを切り替えるときは、TRTCRnレジスタのTSTARTniビットが0（カウント停止）のときに、設定してください。
- 注3.** 未使用チャンネルのTCKni[2:0]ビットは000Bに設定してください。
- 注4.** TCKni[2:0]ビットは、必ずTRTCMPniレジスタの設定前に設定してください。
- 備考** n : ユニット番号 (n = 0-7)、i : チャンネル番号 (i = 0, 1)

11.4 動作説明

11.4.1 インターバル・タイマ・モード

8ビット・インターバル・タイマ・モード／16ビット・インターバル・タイマ・モードの2種類のモードを持ちます。表11-2に8ビット・インターバル・タイマ・モード、表11-3に16ビット・インターバル・タイマ・モード時の使用レジスタと設定値を示します。

表11-2 8ビット・インターバル・タイマ・モード時の使用レジスタと設定値

レジスタ名 (シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n0 (TRTn0)	b7-b0	チャネル0側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・カウンタ・レジスタ n1 (TRTn1)	b7-b0	チャネル1側の8ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n0 (TRTCMPn0)	b7-b0	チャネル0側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ・コンペア・レジスタ n1 (TRTCMPn1)	b7-b0	チャネル1側の8ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	チャネル0側のカウント開始／停止を選択してください。
	TSTARTn1	チャネル1側のカウント開始／停止を選択してください。
	TCLKENn	1に設定してください。
	TCSMDn	0に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0[2:0]	チャネル0側のカウント・クロックを選択してください。
	TCKn1[2:0]	チャネル1側のカウント・クロックを選択してください。

備考 n : ユニット番号 (n = 0-7)

表11-3 16ビット・インターバル・タイマ・モード時の使用レジスタと設定値

レジスタ名 (シンボル)	ビット	機能
8ビット・インターバル・タイマ・カウンタ・レジスタ n (TRTn)	b15-b0	16ビット・カウンタ。 カウント値が読み出せます。
8ビット・インターバル・タイマ・コンペア・レジスタ n (TRTCMPn)	b15-b0	16ビット・コンペア値。 コンペア値を設定してください。
8ビット・インターバル・タイマ制御レジスタ n (TRTCRn)	TSTARTn0	カウント開始／停止制御を選択してください。
	TSTARTn1	0に設定してください。
	TCLKENn	1に設定してください。
	TCSMDn	1に設定してください。
8ビット・インターバル・タイマ分周レジスタ n (TRTMDn)	TCKn0[2:0]	カウント・クロックを選択してください。
	TCKn1[2:0]	000Bに設定してください。

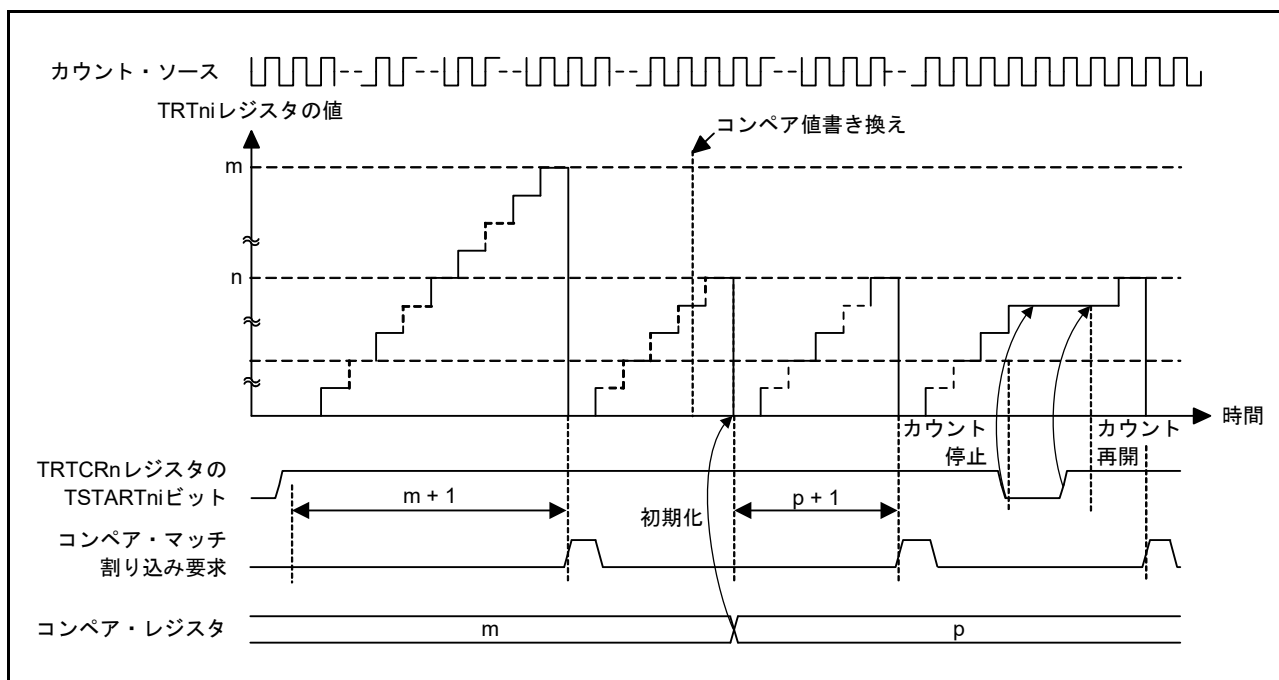
備考 n : ユニット番号 (n = 0-7)

11.4.2 タイマ動作

8ビット・インターバル・タイマ分周レジスタ (TRTMDn) の TCKni[2:0] ビット ($n = 0-7; i = 0, 1$) により選択されたカウント・ソースで、アップ・カウントします。カウント・ソースが入力されるごとにカウント値が1だけ増加し、カウント値がコンペア値になったあと、次のカウント・ソースが入力されるとコンペア・マッチし、割り込み要求を発生します。割り込み要求はカウント・ソース同期の1パルスで出力されます。ただし、TRTCRn レジスタの TSTARTni ビットに0を設定し、カウント値が00Hで停止した場合は、割り込み信号 (INTITnm) がハイ・レベルで固定されます。データ・トランスファ・コントローラ (DTC) の DTC 起動要因、またはロジック&イベント・リンク・コントローラ (ELCL) のイベント発生元に使用している場合は、起動要因またはイベントが発生し続けます。

また、動作停止時には停止直前のカウンタ値を保持し続けます。カウント値をクリアする場合は、TRTCMPni レジスタのコンペア値を再設定してください。TRTCMPni レジスタに書き込み後、カウント・ソースで2サイクル後にカウント値がクリアされます。

図11-8 タイマ動作例



備考 n : ユニット番号 ($n = 0-7$)、 i : チャネル番号 ($i = 0, 1$)、 m, p : TRTCMPni レジスタの設定値

カウント動作開始時の最初の 00H カウント期間は、TRTCRn レジスタの TSTARTni ($i = 0, 1$) ビットに 1 を書き込むタイミングにより、下記のとおり変わります。

- カウント・ソース (fsx または fil) 選択時
 - 最大 : カウント・ソースで2サイクル
 - 最小 : カウント・ソースで1サイクル
- カウント・ソース (fsx/2^m または fil/2^m) 選択時
 - 最大 : カウント・ソース1サイクル
 - 最小 : 選択クロック (fsx または fil) 1サイクル

カウント値がコンペア値と一致した場合、次のカウント・ソースでカウント値はクリアされます。また、TRTCMPn_iレジスタのコンペア値を書き換えた場合も、書き込み後カウント・ソースで2サイクル後にカウント値がクリアされます。

表 11 - 4 に 8 / 16 ビット・インターバル・タイマ・モード時割り込み要因を示します。

表11 - 4 8/16ビット・インターバル・タイマ・モード時割り込み要因

割り込み名称	8ビット・インターバル・タイマ・モード要因	16ビット・インターバル・タイマ・モード要因
INTITn0	チャンネル0コンペア・マッチ後、次のカウント・ソースの立ち上がり	コンペア・マッチ後、次のカウント・ソースの立ち上がり
INTITn1	チャンネル1コンペア・マッチ後、次のカウント・ソースの立ち上がり	—

備考 n : ユニット番号 (n = 0-7)

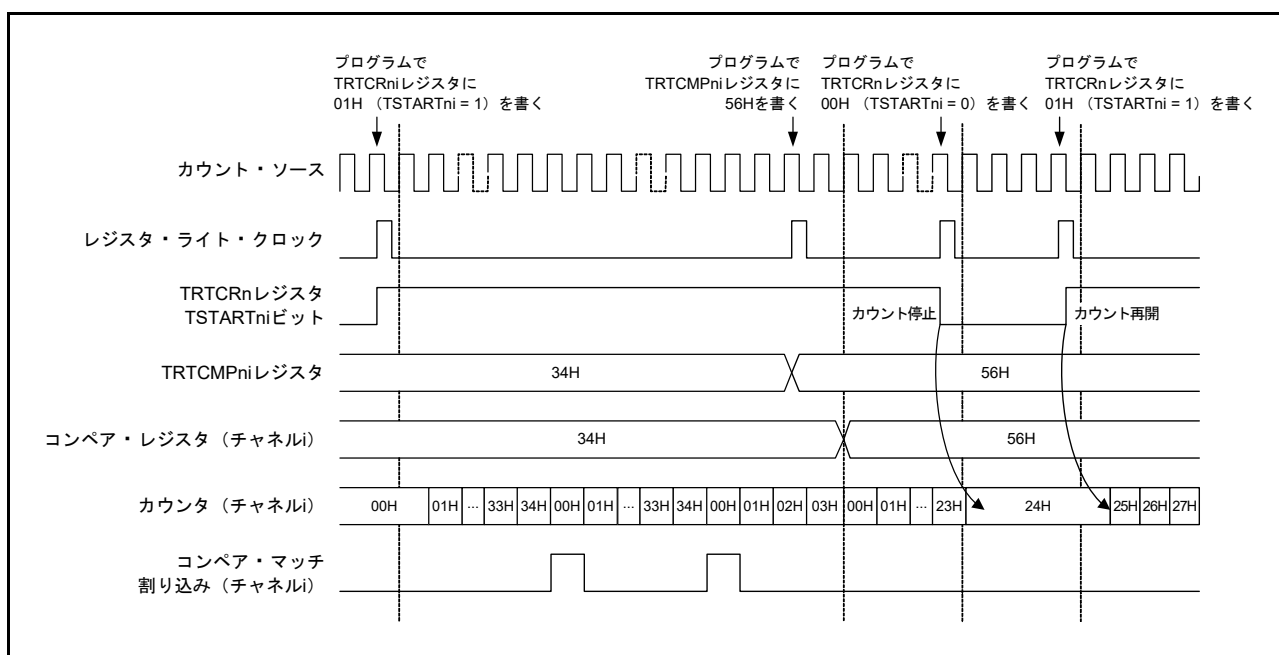
11.4.3 開始／停止タイミング

11.4.3.1 カウント・ソース (fsx選択時)

TRTCRn レジスタの TSTARTni ビット ($n = 0-7; i = 0, 1$) に 1 を書き込み後、次のサブシステム・クロック X (fsx) でカウントが開始され、その次のカウント・ソース (fsx) でカウンタが 00H から 01H にカウント・アップされます。同様に、TSTARTni ビットに 0 を書き込み後、サブシステム・クロック X (fsx) でカウント・アップ後にカウントが停止します。

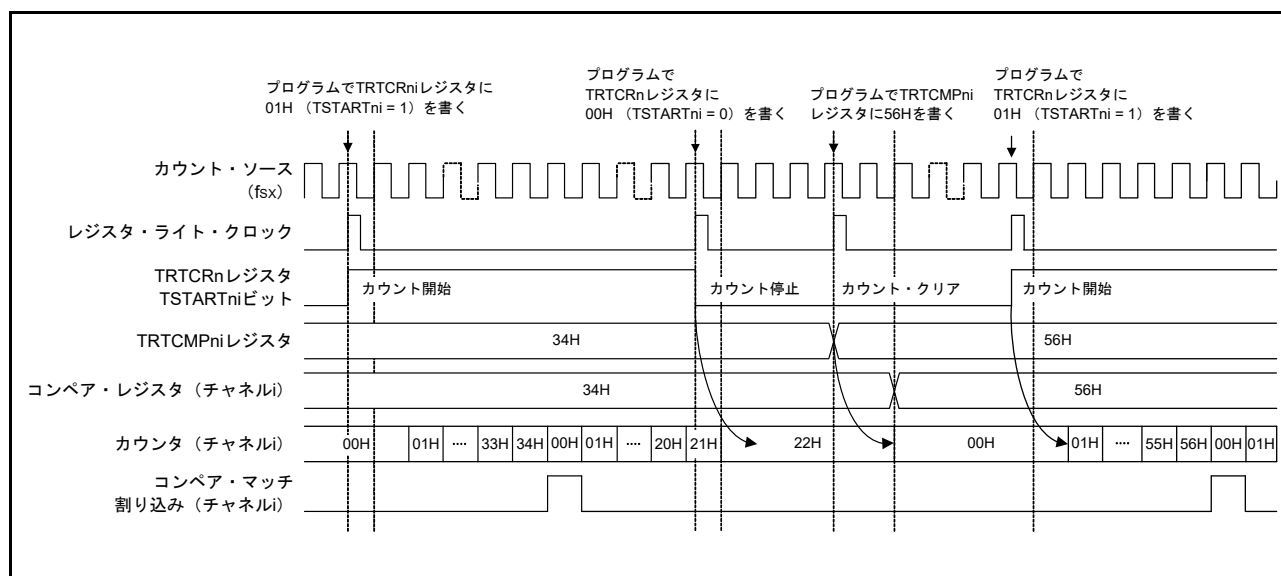
図 11 - 9 にカウント動作の開始／停止タイミング、図 11 - 10 にカウント停止→コンペア・レジスタ設定 (カウント・クリア) →カウント開始のタイミングを示します。図 11 - 9 および図 11 - 10 は、8 ビット・インターバル・タイマ・モード時の反映タイミングですが、16 ビット・インターバル・タイマ・モードでも同タイミングの動作となります。

図 11 - 9 カウント開始／停止動作例 (fsx 選択時)



備考 n : ユニット番号 ($n = 0-7$)、i : チャンネル番号 ($i = 0, 1$)

図 11 - 10 カウント停止→コンペア・レジスタ設定（カウント・クリア）→カウント開始動作例（fsx選択時）



備考 n : ユニット番号 (n = 0-7)、i : チャネル番号 (i = 0, 1)

11.4.3.2 カウント・ソース (fsx/2^m選択時)

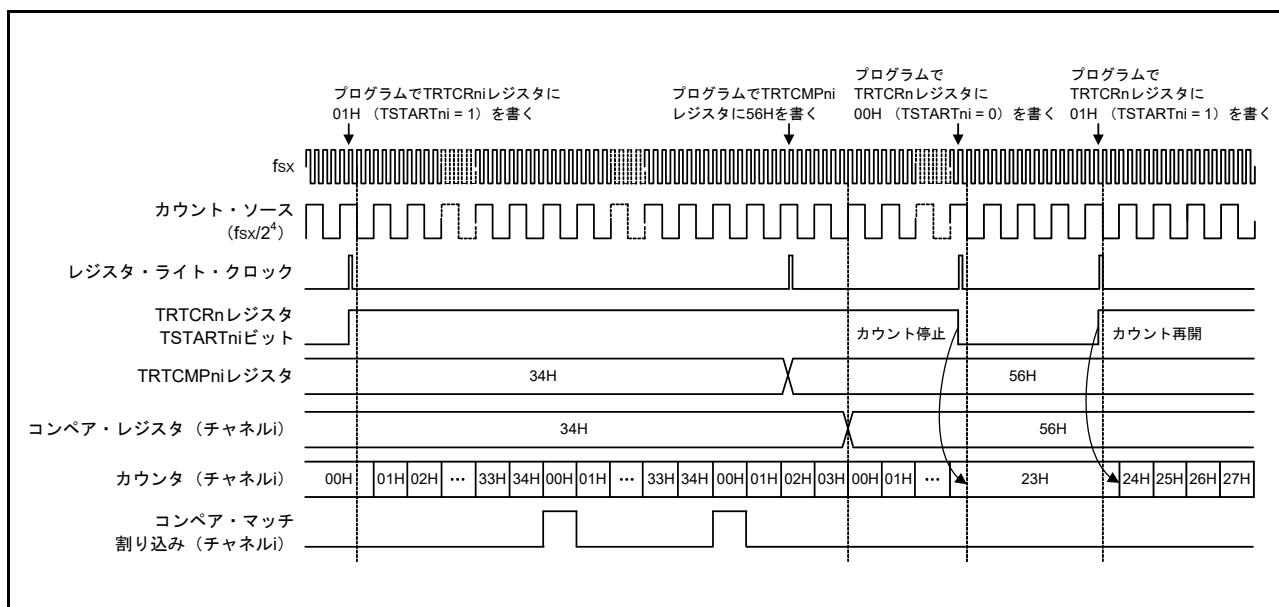
TRTCRn レジスタの TSTARTni ビット (n = 0-7; i = 0, 1) に 1 を書き込み後、次のサブシステム・クロック X (fsx) でカウントが開始され、その次のカウント・ソース (fsx/2^m) でカウンタが 00H から 01H にカウント・アップされます。同様に、TSTARTni ビットに 0 を書き込み後、次のサブシステム・クロック X (fsx) でカウントが停止します。

ただし、タイマカウント開始時の最初の 00H カウント期間は、TSTARTni ビットの書き込みタイミングと次のカウント・ソースのタイミングによって下記のようにカウント・ソース 1 サイクルよりも短くなります。

- 最小：サブシステム・クロック X (fsx) 1 サイクル
- 最大：カウント・ソース 1 サイクル

図 11 - 11 にカウント動作の開始/停止タイミング、図 11 - 12 にカウント停止→コンペア・レジスタ設定 (カウント・クリア) →カウント開始のタイミングを示します。図 11 - 11 および図 11 - 12 は、8 ビット・インターバル・タイマ・モード時の反映タイミングですが、16 ビット・インターバル・タイマ・モードでも同タイミングの動作となります。

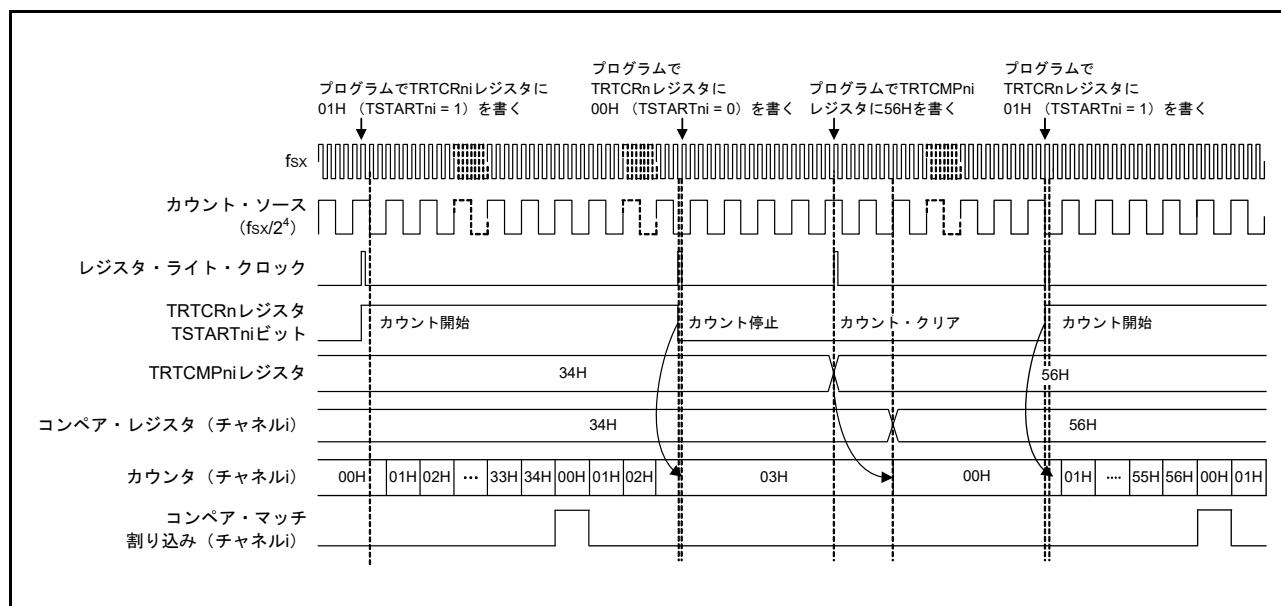
図 11 - 11 カウント開始/停止動作例 (fsx/2^m選択時)



備考1. n : ユニット番号 (n = 0-7)、i : チャネル番号 (i = 0, 1)

備考2. m ≠ 0

図 11 - 12 カウント停止→コンペア・レジスタ設定（カウント・クリア）→カウント開始のタイミング
 (fsx/2^m選択時)



備考1. n : ユニット番号 (n = 0-7)、i : チャネル番号 (i = 0, 1)

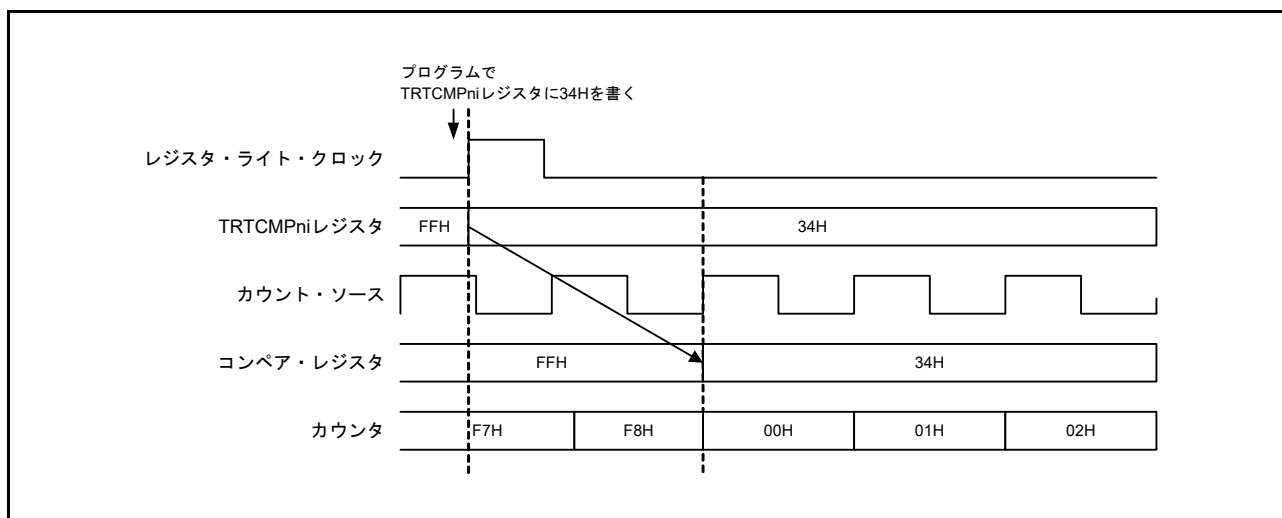
備考2. m ≠ 0

11.4.4 コンペア・レジスタ値の反映タイミング

TRTCMPn_i レジスタ ($n = 0-7; i = 0, 1$) の値が反映されるタイミングは TRTCR_n レジスタの TSTART_{n_i} ビットの値によらず、同じタイミングとなります。TRTCMPn_i への書き込みアクセス後、カウント・ソースで2サイクル後にコンペア・レジスタに格納されます。コンペア・レジスタ格納時にカウント値はクリアされ (8ビット・インターバル・タイマ・モード: 00H、16ビット・インターバル・タイマ・モード: 0000H) になります。

図 11-13 に書き換え動作のタイミング図を示します。図 11-13 は、8ビット・インターバル・タイマ・モード時の反映タイミングですが、16ビット・インターバル・タイマ・モードでも同タイミングの動作となります。

図 11-13 コンペア値書き換え動作のタイミング図

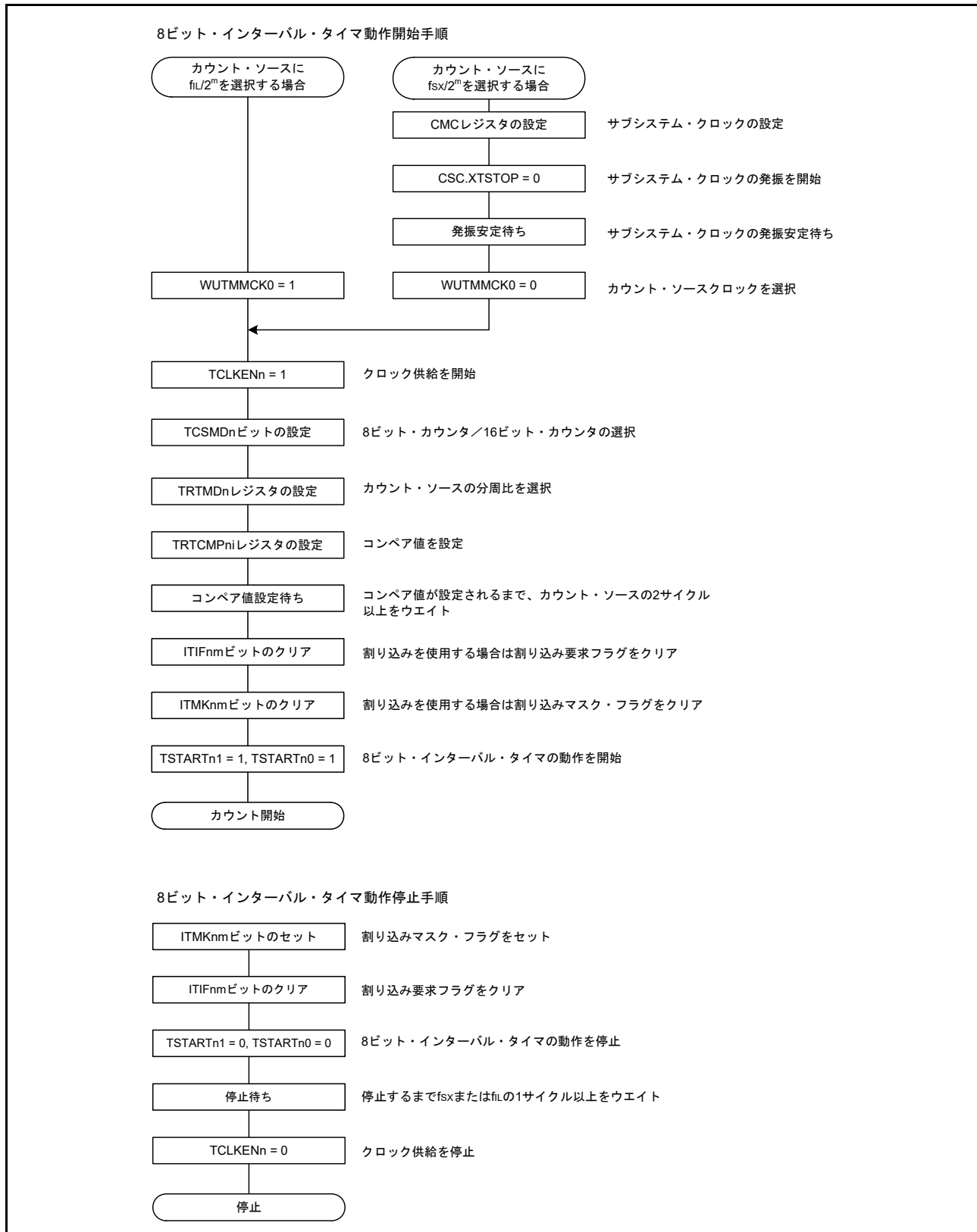


備考 n: ユニット番号 ($n = 0-7$)、i: チャネル番号 ($i = 0, 1$)

11.4.5 8ビット・インターバル・タイマの設定手順

図 11 - 14 に 8 ビット・インターバル・タイマの動作開始／停止手順を示します。

図 11 - 14 8ビット・インターバル・タイマの動作開始／停止手順



11.5 8ビット・インターバル・タイマ使用上の注意事項

11.5.1 動作モード設定変更について

TCSMDn, TCKni[2:0] ビット (n = 0-7; i = 0, 1) の設定変更は、TRTCRn レジスタの TSTARTni ビットが 0 (カウント停止) 中に設定してください。また、TSTARTni ビットを 1 から 0 に書き換え後 (カウント停止)、8 ビット・インターバル・タイマ関連レジスタ (TRTCRn, TRTMDn) にアクセスする場合、fsx または fil で 1 サイクル以上経過後にアクセスしてください。

11.5.2 コンペア・レジスタへのアクセスについて

同一のコンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) に連続して書き込みしないでください。連続して書くときは、書き込み間隔をカウント・ソースクロックの 2 サイクル以上空けてください。

また、コンペア・レジスタ (TRTCMPn0, TRTCMPn1, TRTCMPn) への書き込みは、必ずカウント・ソースが発振している状態で、8 ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) に 1 を設定したあとに書き込みを実施してください。

11.5.3 8ビット・インターバル・タイマ設定手順について

クロックを供給する場合、最初に 8 ビット・インターバル・タイマ制御レジスタ n (TRTCRn) の 8 ビット・インターバル・タイマ・クロック許可ビット (TCLKENn) に 1 を設定したあとに、TSTARTni ビットを設定してください。(TCLKENn, TSTARTni ビットを同時に変更しないでください。)

クロックを停止させる場合、TSTARTni ビットに 0 を設定したあと、fsx または fil で 1 サイクル以上経過後に TCLKENn ビットに 0 を設定してください。

備考 n : ユニット番号 (n = 0-7)、i : チャネル番号 (i = 0, 1)

第12章 32ビット・インターバル・タイマ (TML32)

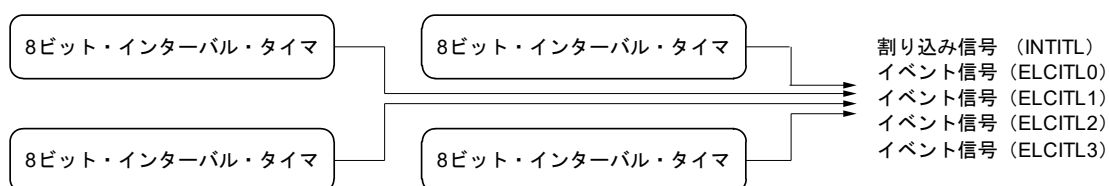
32ビット・インターバル・タイマは同機能を持つ8ビット・インターバル・タイマを4つ（チャンネル0～チャンネル3）持ち、それぞれが独立して動作します。また、2つの8ビット・インターバル・タイマを連結動作することで16ビット・インターバル・タイマとして、4つの8ビット・インターバル・タイマを連結動作することで32ビット・インターバル・タイマとして動作することができます。

12.1 概要

32ビット・インターバル・タイマはCPUと非同期のfMXP, fSXP, fIHP, fIMPクロックまたはELCLからのイベント入力で動作する32ビット・インターバル・タイマです。32ビット・インターバル・タイマは、次のような機能があります。

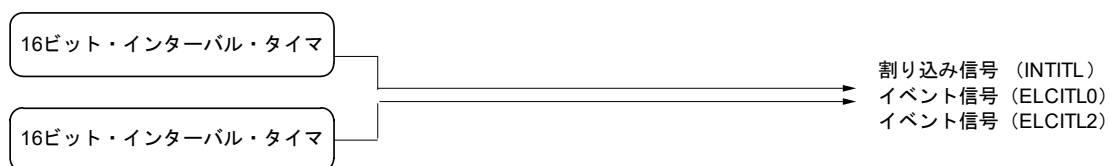
(1) 8ビット・カウンタ・モード

一定間隔で割り込み（INTITL）およびイベント（ELCITLn）を発生する4つの8ビット・インターバル・タイマとして動作することができます。



(2) 16ビット・カウンタ・モード

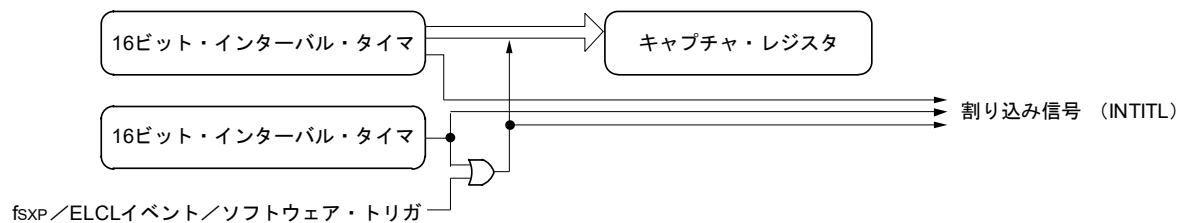
一定間隔で割り込み（INTITL）およびイベント（ELCITLn）を発生する2つの16ビット・インターバル・タイマとして動作することができます。



(3) 16ビット・キャプチャ・モード

一定間隔で割り込み (INTITL) を発生する1つのキャプチャ機能を持った16ビット・インターバル・タイマとして動作することができます。このとき、トリガ生成用にもう1つの16ビット・インターバル・タイマも動作することができます。

16ビット・インターバル・タイマのカウント値は所定のキャプチャ・トリガでキャプチャ・レジスタに保持できます。



(4) 32ビット・カウンタ・モード

一定間隔で割り込み (INTITL) およびイベント (ELCITLn) を発生する1つの32ビット・インターバル・タイマとして動作することができます。



備考 n : チャネル番号 (n = 0-3)

表 12 - 1 に 32 ビット・インターバル・タイマの仕様、図 12 - 1 に 32 ビット・インターバル・タイマのブロック図を示します。

表12-1 32ビット・インターバル・タイマの仕様

項目	内容
カウント・ソース (動作クロック)	• fMXP • fSXP • fiHP • fiMP • ELCLからのイベント入力
キャプチャ・クロック (キャプチャ・トリガをタイマで生成する場合のタイマの動作クロック)	• fMXP • fSXP • fiHP • fiMP • ELCLからのイベント入力
分周比	• 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128
動作モード	• 8ビット・カウンタ・モード チャンネル0、チャンネル1、チャンネル2、チャンネル3が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャンネル0とチャンネル1の組み合わせおよびチャンネル2とチャンネル3の組み合わせでカウンタが連結して16ビット・カウンタとして動作するモード • 32ビット・カウンタ・モード チャンネル0、チャンネル1、チャンネル2、チャンネル3を連結して32ビット・カウンタとして動作するモード • 16ビット・キャプチャ・モード チャンネル0、チャンネル1を連結してカウンタ・ソースで動作する16ビット・カウンタと、チャンネル2、チャンネル3を連結してキャプチャ・クロックで動作する16ビット・カウンタを用い、キャプチャ動作を行うモード
割り込み	• 5つの割り込み要因を束ね、1本の割り込み信号 (INTITL) を出力 – チャンネル0、チャンネル1、チャンネル2、チャンネル3の各カウンタがコンペア値と一致 – キャプチャ・モード時にカウンタ値のキャプチャが完了したとき出力
イベント信号	• 4つのELCL、A/Dコンバータ、LCDコントローラ／ドライバ用トリガ信号であるELCITL0-ELCITL3を出力 – チャンネル0、チャンネル1、チャンネル2、チャンネル3の各カウンタがコンペア値と一致

備考 fMXP : 高速周辺クロック周波数

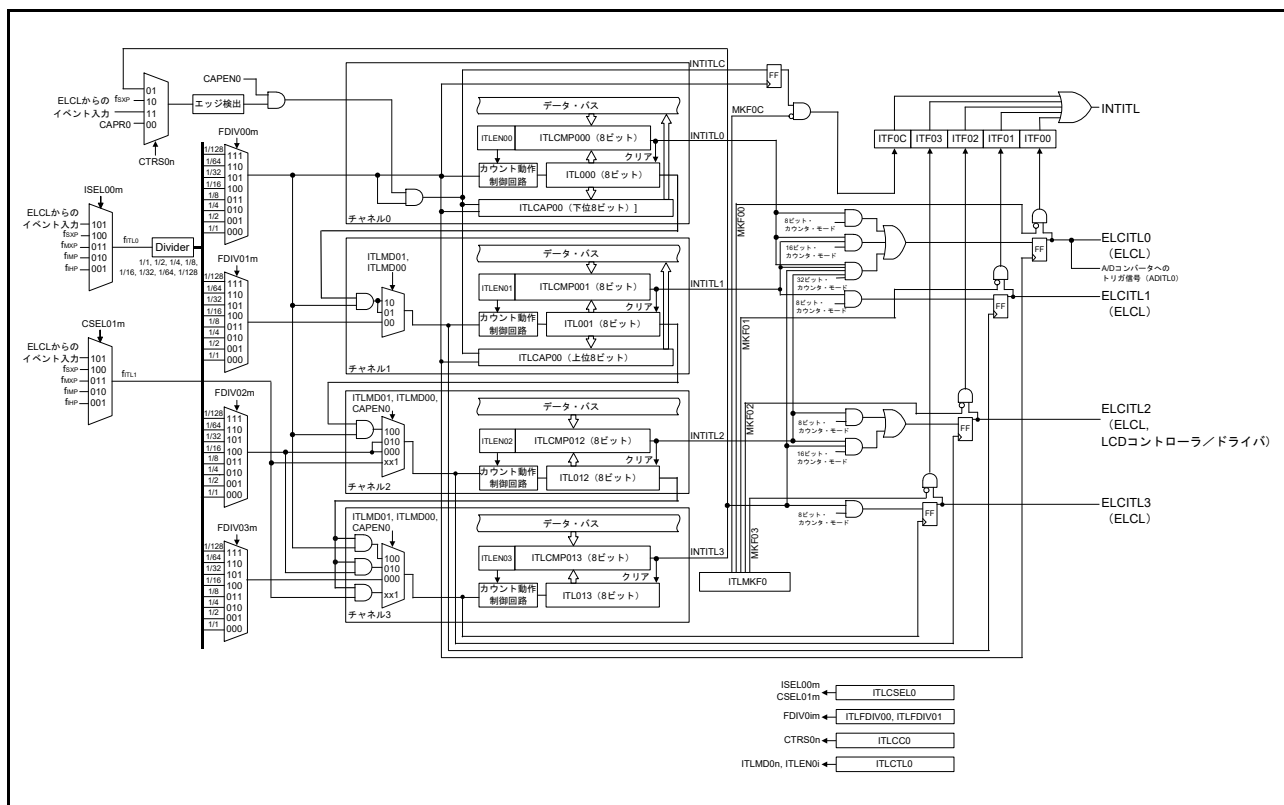
fSXP : 低速周辺クロック周波数

fiHP : 高速オンチップ・オシレータ周辺クロック周波数

fiMP : 中速オンチップ・オシレータ周辺クロック周波数 (4 MHz)

ELCLからのイベント入力 : ELCL機能によってタイマ、シリアル通信、ポートなどの周辺機能から生成される信号です。
詳細は、**第24章 ロジック&イベント・リンク・コントローラ (ELCL)** を参照してください。

図12-1 32ビット・インターバル・タイマのブロック図



備考1. ITL000, ITL001, ITL012, ITL013: 8ビット・カウンタ

16ビット・カウンタ・モードの場合、チャンネル0とチャンネル1のカウンタが連結（ITL000 + ITL001）

またチャネル2とチャネル3のカウンタが連結 (ITL012 + ITL013)

32ビット・カウンタ・モードの場合、チャネル0とチャネル1とチャネル2とチャネル3のカウンタが連結 (ITL000 + ITL001 + ITL012 + ITL013)

ISEL00m, CSEL01m : ITCSEL0レジスタのビット

FDIV0im : ITLFDIV0n レジスタのビット

CTRS0n : ITLCC0 レジスタのビット

ITLMD0n, ITLEN0i : ITLCTL0レジスタのビット

備考2. $n = 0, 1; m = 0-2; i = 0-3$

12.2 32ビット・インターバル・タイマを制御するレジスタ

32ビット・インターバル・タイマを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)
- インターバル・タイマ・コンペア・レジスタ0n (ITLCMP0n) (n = 0, 1)
- インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00)
- インターバル・タイマ制御レジスタ (ITLCTL0)
- インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)
- インターバル・タイマ分周レジスタ0 (ITLFDIV00)
- インターバル・タイマ分周レジスタ1 (ITLFDIV01)
- インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)
- インターバル・タイマ・ステータス・レジスタ (ITLS0)
- インターバル・タイマー致検出マスク・レジスタ (ITLMKF0)

12.2.1 周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

32ビット・インターバル・タイマを使用する場合は、必ず TML32EN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12-2 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス : F00FAH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTA0EN	0	CTSUEN
	32ビット・インターバル・タイマの入カクロック供給の制御							
	0	入カクロック供給停止 ・ 32ビット・インターバル・タイマで使用するSFRへのライト不可 ^注						
	1	入カクロック供給 ・ 32ビット・インターバル・タイマで使用するSFRへのリード／ライト可						

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意 ビット1には、必ず0を設定してください。

12.2.2 周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

32 ビット・インターバル・タイマをリセットする場合は、TML32RES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12-3 周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス : F00FBH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	0	CTSURES
TML32RES	32ビット・インターバル・タイマのリセット制御							
0	32ビット・インターバル・タイマのリセット解除							
1	32ビット・インターバル・タイマはリセット状態 ・32ビット・インターバル・タイマで使用するSFRが初期化されます。							

注意 ビット3-1には、必ず0を設定してください。

12.2.3 インターバル・タイマ・コンペア・レジスタ 0mn (ITLCMP0mn) (mn = 00, 01, 12, 13)

インターバル・タイマを8ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0mn レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

設定範囲は01H～FFHです。00Hの設定は禁止です。

ITL000-ITL013 カウンタとの比較値を格納します。

図12-4 インターバル・タイマ・コンペア・レジスタ 0mn (ITLCMP0mn) のフォーマット

アドレス : F0360H (ITLCMP000), F0361H (ITLCMP001), F0362H (ITLCMP012), F0363H (ITLCMP013)

リセット時: FFH

R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
ITLCMP0mn								

注 ITLCMP000 レジスタの設定は、ITLCTL0 レジスタのITLEN00ビットが0のときに行ってください。
 ITLCMP001 レジスタの設定は、ITLCTL0 レジスタのITLEN01ビットが0のときに行ってください。
 ITLCMP012 レジスタの設定は、ITLCTL0 レジスタのITLEN02ビットが0のときに行ってください。
 ITLCMP013 レジスタの設定は、ITLCTL0 レジスタのITLEN03ビットが0のときに行ってください。

12.2.4 インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n) (n = 0, 1)

インターバル・タイマを16ビット・カウンタ・モードおよび32ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0n レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFHになります。設定範囲は0001H～FFFFHです。0000Hの設定は禁止です。

ITL0n カウンタとの比較値を格納します。

ITLCTL0 レジスタのITLMD01, ITLMD00 ビットの値が10Bの場合、32ビット・カウンタ・モードのコンペア・レジスタとして、ITLCMP01 レジスタに上位16ビットのコンペア値、ITLCMP00 レジスタに下位16ビットのコンペア値を設定します。

図12-5 インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n) のフォーマット

アドレス : F0360H (ITLCMP00), F0362H (ITLCMP01)

リセット時: FFFFH

R/W属性 : R/W注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCMP0n																

注 ITLCMP00 レジスタの設定は、ITLCTL0 レジスタのITLEN00ビットが0のときに行ってください。
 ITLCMP01 レジスタの設定は、16ビット・カウンタ・モードのときはITLCTL0 レジスタのITLEN02ビットが0のときに行ってください。32ビット・カウンタ・モードのときはITLCTL0 レジスタのITLEN00ビットが0のときに行ってください。

12.2.5 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00)

インターバル・タイマを16ビット・カウンタ・モードとして使用する場合は16ビットのキャプチャ値レジスタです。

ITLCAP00レジスタは、16ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000Hになります。

ITLCC0レジスタのCAPEN0ビットが1のときにITLCC0レジスタで選択したキャプチャ・トリガにより、16ビット・カウンタ (ITL000 + ITL001) の値をITLCAP00レジスタに格納します。

ITLCMP01レジスタのコンペアー一致割り込みを使用する場合は、ITLCSEL0レジスタでカウント・クロックを選択し、ITLCMP01レジスタにコンペアー値を設定します。

図12-6 インターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) のフォーマット

アドレス : F0364H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCAP00																

12.2.6 インターバル・タイマ制御レジスタ (ITLCTL0)

インターバル・タイマのカウンタ停止／開始の設定と 8 ビット・カウンタ／16 ビット・カウンタ／32 ビット・カウンタ動作の切り替えを設定するレジスタです。

ITLCTL0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 12-7 インターバル・タイマ制御レジスタ (ITLCTL0) のフォーマット (1/2)

アドレス : F0366H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ITLCTL0	ITLMD01	ITLMD00	0	0	ITLEN03	ITLEN02	ITLEN01	ITLEN00

ITLMD01	ITLMD00	8／16／32ビット・カウンタ・モード選択 ^{注1}
0	0	8ビット・カウンタとして動作
0	1	16ビット・カウンタとして動作（チャンネル0 + チャンネル1、およびチャンネル2 + チャンネル3を連結）
1	0	32ビット・カウンタとして動作（チャンネル0 + チャンネル1 + チャンネル2 + チャンネル3を連結）
1	1	設定禁止

ITLEN03	8ビット・カウンタ・モード時：ITL013のカウンタ・イネーブル ^{注2}
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN03ビットに1を書くことによりITL013がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN02	8ビット・カウンタ・モード時：ITL012のカウンタ・イネーブル ^{注2} 16ビット・カウンタ・モード時：ITL012 + ITL013のカウンタ・イネーブル ^{注2}
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012 + ITL013がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 32ビット・カウンタ・モードでは、0を設定してください。	

図12-7 インターバル・タイマ制御レジスタ (ITLCTL0) のフォーマット (2/2)

ITLEN01	8ビット・カウンタ・モード時：ITL001のカウンタ・イネーブル ^{注2}
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN01ビットに1を書くことによりITL001がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN00	8ビット・カウンタ・モード時：ITL000のカウンタ・イネーブル ^{注2} 16ビット・カウンタ・モード時：ITL000 + ITL001のカウンタ・イネーブル ^{注2} 32ビット・カウンタ・モード時：ITL000 + ITL001 + ITL012 + ITL013の カウンタ・イネーブル ^{注2}
0	カウンタ停止
1	カウンタ開始
8ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 16ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。 32ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001 + ITL012 + ITL013がカウンタ・アップを開始し、0を書くことによりカウンタを停止します。	

注1. ITLMD01, ITLMD00ビットのカウンタ・モードを変更する場合、必ずITLEN03-ITLEN00ビットがすべて0のときに書き換え操作を行ってください。

注2. ITLEN03-ITLEN00ビットに0を設定した場合、カウンタ・クロックに同期せずに該当カウンタの値が0にクリアされます。

モード	ITLMD01	ITLMD00	ITLEN03	ITLEN02	ITLEN01	ITLEN00	該当カウンタ
8ビット・ カウンタ・モード ^{注1}	0	0				○	ITL000
					○		ITL001
				○			ITL012
			○				ITL013
16ビット・ カウンタ・モード ^{注2}	0	1	常に0設定		常に0設定	○	ITL000 + ITL001
			常に0設定	○	常に0設定		ITL012 + ITL013
32ビット・ カウンタ・モード	1	0	常に0設定	常に0設定	常に0設定	○	ITL000 + ITL001 + ITL012 + ITL013

注1. ITLEN03-ITLEN00ビットを複数同時に1または0にすることも可能です。

注2. ITLEN02, ITLEN00ビットを複数同時に1または0にすることも可能です。

備考 ○は該当カウンタに対するカウンタ・イネーブルです。

12.2.7 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）

インターバル・タイマのカウンタ・ソースを設定するレジスタです。

ITLCSEL0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12-8 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）のフォーマット

アドレス : F0367H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLCSEL0	0	CSEL012	CSEL011	CSEL010	0	ISEL002	ISEL001	ISEL000

CSEL012	CSEL011	CSEL010	キャプチャ用インターバル・タイマ・カウンタ・クロック (fITL1) 選択 ^{注1}
0	0	0	動作停止
0	0	1	fIHP ^{注2}
0	1	0	fIMP
0	1	1	fMXP
1	0	0	fSXP
1	0	1	ELCLからのイベント入力
上記以外			設定禁止

ISEL002	ISEL001	ISEL000	インターバル・タイマ・カウンタ・クロック (fITL0) 選択 ^{注1}
0	0	0	動作停止
0	0	1	fIHP ^{注3}
0	1	0	fIMP
0	1	1	fMXP
1	0	0	fSXP
1	0	1	ELCLからのイベント入力
上記以外			設定禁止

注1. CSEL012-CSEL010ビットおよびISEL002-ISEL000ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注2. オプション・バイトのFRQSEL4ビットが1のときは、使用できません。

注3. オプション・バイトのFRQSEL4ビットが1のときは、インターバル・タイマ分周レジスタn（ITLFDIV0n）の設定により、インターバル・タイマ・カウンタ・クロックをfITL0/2以下に設定してください。

備考

fMXP	: 高速周辺クロック周波数
fSXP	: 低速周辺クロック周波数
fIHP	: 高速オンチップ・オシレータ周辺クロック周波数
fIMP	: 中速オンチップ・オシレータ周辺クロック周波数
ELCLからのイベント入力	: ELCL機能によってタイマ、シリアル通信、ポートなどの周辺機能から生成される信号です。詳細は、 第24章 ロジック&イベント・リンク・コントローラ（ELCL） を参照してください。

12.2.8 インターバル・タイマ分周レジスタ0（ITLFDIV00）

インターバル・タイマのカウンタ・クロックを設定するレジスタです。
ITLFDIV00 レジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図12-9 インターバル・タイマ分周レジスタ0（ITLFDIV00）のフォーマット (1/2)

アドレス : F0368H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV00	0	FDIV012	FDIV011	FDIV010	0	FDIV002	FDIV001	FDIV000

FDIV012	FDIV011	FDIV010	8ビット・カウンタ・モード時：ITL001のカウンタ・クロック ^{注1}
0	0	0	fITL0
0	0	1	fITL0/2
0	1	0	fITL0/4
0	1	1	fITL0/8
1	0	0	fITL0/16
1	0	1	fITL0/32
1	1	0	fITL0/64
1	1	1	fITL0/128

8ビット・カウンタ・モードでは、FDIV012-FDIV010ビットに設定したカウンタ・クロックによりITL001がカウントします。
16ビット・カウンタ・モードでは、000Bに設定してください。
32ビット・カウンタ・モードでは、000Bに設定してください。

図12-9 インターバル・タイマ分周レジスタ0 (ITLFDIV00) のフォーマット (2/2)

FDIV002	FDIV001	FDIV000	8ビット・カウンタ・モード時：ITL000のカウンタ・クロック ^{注2} 16ビット・カウンタ・モード時： ITL000 + ITL001のカウンタ・クロック ^{注2} 32ビット・カウンタ・モード時： ITL000 + ITL001 + ITL012 + ITL013のカウンタ・クロック ^{注2}
0	0	0	fITL0
0	0	1	fITL0/2
0	1	0	fITL0/4
0	1	1	fITL0/8
1	0	0	fITL0/16
1	0	1	fITL0/32
1	1	0	fITL0/64
1	1	1	fITL0/128
8ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000がカウントします。 16ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000 + ITL001がカウントします。 32ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウンタ・クロックによりITL000 + ITL001 + ITL012 + ITL013がカウントします。			

注1. FDIV012-FDIV010ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN01ビットが0のときに行ってください。

注2. FDIV002-FDIV000ビットの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

12.2.9 インターバル・タイマ分周レジスタ1（ITLFDIV01）

インターバル・タイマのカウンタ・クロックを設定するレジスタです。
ITLFDIV01 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図12 - 10 インターバル・タイマ分周レジスタ1（ITLFDIV01）のフォーマット (1/2)

アドレス : F0369H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV01	0	FDIV032	FDIV031	FDIV030	0	FDIV022	FDIV021	FDIV020

FDIV032	FDIV031	FDIV030	8ビット・カウンタ・モード時：ITL013のカウンタ・クロック ^{注1}
0	0	0	fITL0
0	0	1	fITL0/2
0	1	0	fITL0/4
0	1	1	fITL0/8
1	0	0	fITL0/16
1	0	1	fITL0/32
1	1	0	fITL0/64
1	1	1	fITL0/128

8ビット・カウンタ・モードでは、FDIV032-FDIV030ビットに設定したカウンタ・クロックによりITL013がカウントします。
16ビット・カウンタ・モードでは、000Bに設定してください。
32ビット・カウンタ・モードでは、000Bに設定してください。

図12-10 インターバル・タイマ分周レジスタ1 (ITLFDIV01) のフォーマット (2/2)

FDIV022	FDIV021	FDIV020	8ビット・カウンタ・モード時：ITL012のカウンタ・クロック ^{注2} 16ビット・カウンタ・モード時： ITL012 + ITL013のカウンタ・クロック ^{注2}
0	0	0	fITL0
0	0	1	fITL0/2
0	1	0	fITL0/4
0	1	1	fITL0/8
1	0	0	fITL0/16
1	0	1	fITL0/32
1	1	0	fITL0/64
1	1	1	fITL0/128

8ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウンタ・クロックによりITL012がカウントします。
16ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウンタ・クロックによりITL012 + ITL013がカウントします。
32ビット・カウンタ・モードでは、使用しないため000Bに設定してください。

- 注1.** FDIV032-FDIV030ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN03ビットが0のときに行ってください。
- 注2.** FDIV022-FDIV020ビットの設定は、8ビットおよび16ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN02ビットが0のときに行ってください。

12.2.10 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)

インターバル・タイマのキャプチャ機能の有効／無効の設定と、キャプチャ完了フラグの格納およびクリアの設定、ソフトウェア・トリガの設定、キャプチャ・トリガ選択の設定を行うレジスタです。

ITLCC0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-11 インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0) のフォーマット

アドレス : F036AH

リセット時: 00H

R/W属性 : R/W

略号	7	<6>	5	<4>	3	2	1	0
ITLCC0	CAPEN0	CAPF0CR	CAPF0	CAPR0	CAPC0CR	0	CTRS01	CTRS00

CAPEN0	キャプチャ・イネーブル ^{注1}	
0	キャプチャ無効	
1	キャプチャ有効	

CAPF0CR	キャプチャ完了フラグ・クリア ^{注2}	
0	キャプチャ完了フラグCAPF0を保持	
1	キャプチャ完了フラグCAPF0をクリア	

CAPF0	キャプチャ完了フラグ ^{注3}	
0	キャプチャ未了	
1	キャプチャ完了 CTRS01, CTRS00ビットで設定したキャプチャ・トリガの発生後、ITLCAP00レジスタにデータをキャプチャすると1になります。 CAPF0CRビットに1を書き込むと0にクリアされます。	

CAPR0	ソフトウェア・キャプチャ・トリガ ^{注4,5}	
0	トリガ動作しない	
1	キャプチャのためのソフトウェア・トリガを発生させる	

CAPC0CR	キャプチャ完了後16ビット・カウンタ (ITL000 + ITL001) クリア選択 ^{注6}	
0	キャプチャ完了後、16ビット・カウンタ (ITL000 + ITL001) を保持するモード	
1	キャプチャ完了後、16ビット・カウンタ (ITL000 + ITL001) をクリアするモード	

CTRS01	CTRS00	キャプチャ・トリガ選択 ^{注5,7}
0	0	ソフトウェア・トリガ
0	1	ITLCMP01レジスタのコンペアー一致割り込み ^{注8}
1	0	fSXP (立ち上がりエッジ)
1	1	ELCLからのイベント入力 (立ち上がりエッジ)

注1. CAPEN0ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注2. CAPF0CRビットを読み出すと常に0が読めます。

注3. ビット5は、読み出しのみ可能です。

- 注4. CAPR0ビットを読み出すと常に0が読めます。
- 注5. キャプチャ動作では、キャプチャ・トリガを発生させる間隔をカウント・クロックで2クロック以上にしてください。
- 注6. CAPC0CRビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。
- 注7. CTRS01, CTRS00ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。
- 注8. キャプチャ・トリガにITLCMP01のコンペアー一致割り込みを選択すると、キャプチャ時にチャンネル2のコンペアー一致検出フラグ (ITF02) とキャプチャ検出フラグ (ITF0C) がセットされます。キャプチャ検出フラグのみ使用する場合は、ITLMKF0レジスタの設定でチャンネル2のコンペアー一致検出フラグをマスクしてください。

12.2.11 インターバル・タイマ・ステータス・レジスタ（ITLS0）

インターバル・タイマのステータス・レジスタです。

ITLS0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

ITL0mn レジスタ（mn = 00, 01, 12, 13）のカウンタ値が、ITLCMP0mn, ITLCMP00, ITLCMP01 レジスタに設定した値と一致したとき、対応するチャンネルのコンペアー一致検出フラグがセットされます。また、ITLCC0 レジスタのCAPEN0 ビットが1のときにキャプチャ・トリガが発生し、ITL0n のカウンタ値がITLCAP00 レジスタにセットされるとキャプチャ検出フラグがセットされます。

本レジスタのITF0C, ITF03-ITF00 ビットをORした信号を割り込み要求（INTITL）として出力します。

表 12-2 に ITLMD01, ITLMD00 ビットのモードごとのステータス・フラグがセットされる要因を示します。

図 12-12 インターバル・タイマ・ステータス・レジスタ（ITLS0）のフォーマット

アドレス : F036BH

リセット時: 00H

R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
ITLS0	0	0	0	ITF0C	ITF03	ITF02	ITF01	ITF00
ITF0C								
キャプチャ検出フラグ								
0								
キャプチャ完了を未検出								
1								
キャプチャ完了を検出								
ITF03								
チャンネル3のコンペアー一致検出フラグ								
0								
チャンネル3コンペアー一致信号を未検出								
1								
チャンネル3コンペアー一致信号を検出								
ITF02								
チャンネル2のコンペアー一致検出フラグ								
0								
チャンネル2コンペアー一致信号を未検出								
1								
チャンネル2コンペアー一致信号を検出								
ITF01								
チャンネル1のコンペアー一致検出フラグ								
0								
チャンネル1コンペアー一致信号を未検出								
1								
チャンネル1コンペアー一致信号を検出								
ITF00								
チャンネル0のコンペアー一致検出フラグ								
0								
チャンネル0コンペアー一致信号を未検出								
1								
チャンネル0コンペアー一致信号を検出								

注 1の書き込みは無効になります。ITF0C, ITF0i (i = 0-3) ビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

（注意は次ページに続きます）

注意1. ITF0C, ITF03, ITF02, ITF01, ITF00ビットのいずれかを0にクリアしたときに、ITLS0レジスタが00Hにならない場合は割り込み要求信号 (INTITL) が発生し、割り込み要求フラグ (ITLIF) が1にセットされます。

注意2. ITLS0レジスタの各ビットを0にクリアするときは、1になっているビットに対して0を設定してください。0のビットに0を書き込むと、0の書き込みと同時に発生したコンペアー一致信号またはキャプチャ検出信号を検出できない場合があります。たとえば、ITF01ビットが1にセットされている場合、ITLS0レジスタに00011101Bを設定してITF01ビットをクリアしてください。

表12-2 モードごとのステータス・フラグのセット要因

モード	ITLMD01	ITLMD00	CAPEN0	ステータス・フラグ	ステータス・フラグ発生要因
8ビット	0	0	×	ITF00	ITLCMP000とITL000が一致後、次のカウントクロックの立ち上がり
			×	ITF01	ITLCMP001とITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP012とITL012が一致後、次のカウントクロックの立ち上がり
			×	ITF03	ITLCMP013とITL013が一致後、次のカウントクロックの立ち上がり
16ビット	0	1	×	ITF00	ITLCMP00とITL000 + ITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP01とITL012 + ITL013が一致後、次のカウントクロックの立ち上がり
			1	ITF0C	キャプチャ・トリガ発生後、ITL000 + ITL001の値がITLCAP00にセットされる時
32ビット	1	0	×	ITF00	ITLCMP00 + ITLCMP01とITL000 + ITL001 + ITL012 + ITL013が一致後、次のカウントクロックの立ち上がり

備考 × : Don't care

12.2.12 インターバル・タイマー一致検出マスク・レジスタ（ITLMKF0）

インターバル・タイマ・ステータス・レジスタ（ITLS0）の各ビットに1をセットする動作の許可／禁止を設定するレジスタです。

ITLMKF0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

MKF0C, MKF03-MKF00 ビットに1を設定することにより、対応するステータス・フラグ（ITF0C, ITF03-ITF00）はマスクされ、コンペア・レジスタの一致検出およびキャプチャ完了を検出しても1にセットされません。ステータス・フラグが1にセットされないため、インターバル検出割り込み（INTITL）も発生しません。

図12-13 インターバル・タイマー一致検出マスク・レジスタ（ITLMKF0）のフォーマット

アドレス : F036CH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLMKF0	0	0	0	MKF0C	MKF03	MKF02	MKF01	MKF00

MKF0C	キャプチャ検出ステータス・フラグのマスク ^注
0	ITF0C フラグをマスクしない
1	ITF0C フラグをマスクする

MKF03	チャンネル3コンペア一致ステータス・フラグのマスク ^注
0	ITF03 フラグをマスクしない
1	ITF03 フラグをマスクする

MKF02	チャンネル2コンペア一致ステータス・フラグのマスク ^注
0	ITF02 フラグをマスクしない
1	ITF02 フラグをマスクする

MKF01	チャンネル1コンペア一致ステータス・フラグのマスク ^注
0	ITF01 フラグをマスクしない
1	ITF01 フラグをマスクする

MKF00	チャンネル0コンペア一致ステータス・フラグのマスク ^注
0	ITF00 フラグをマスクしない
1	ITF00 フラグをマスクする

注 各ビットを1にしてマスク設定すると、ITLS0レジスタの対応するビットもセットされないため、ソフトウェアによるコンペア一致の検出およびキャプチャ完了を検出することはできません。チャンネル0～チャンネル3のコンペア一致動作をする場合は、必ず該当するステータス・フラグのマスクは0に設定してマスクをしないでください。キャプチャ完了ステータスに関しては、MKF0C ビットに1を設定してITF0C フラグをマスクした場合でも、インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）のCAPF0 フラグでキャプチャの完了を検出することができます。

12.3 動作説明

12.3.1 カウンタ・モードの設定

32ビット・インターバル・タイマは、カウンタ・モードとして8ビット・カウンタ・モード／16ビット・カウンタ・モード／32ビット・カウンタ・モードの3種類のモードを持ちます。表12-3に8ビット・カウンタ・モード時の使用レジスタと設定内容、表12-4に16ビット・カウンタ・モード時の使用レジスタと設定内容、表12-5に32ビット・カウンタ・モード時の使用レジスタと設定内容を示します。

表12-3 8ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0mn (ITLCMP0mn)	ビット7-0	チャンネル0～3のコンペア値を8ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTLO)	ITLEN00	チャンネル0側のカウント開始／停止を選択してください。
	ITLEN01	チャンネル1側のカウント開始／停止を選択してください。
	ITLEN02	チャンネル2側のカウント開始／停止を選択してください。
	ITLEN03	チャンネル3側のカウント開始／停止を選択してください。
	ITLMD00	0に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0側のカウント・クロックを選択してください。
	FDIV012-FDIV010	チャンネル1側のカウント・クロックを選択してください。
	FDIV022-FDIV020	チャンネル2側のカウント・クロックを選択してください。
	FDIV032-FDIV030	チャンネル3側のカウント・クロックを選択してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)	ISEL002-ISEL000	インターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	ビット7-0	0に設定してください。

備考 mn = 00, 01, 12, 13

表12-4 16ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n)	ビット 15-0	チャンネル0, 1、およびチャンネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ 0 (ITLCTLO)	ITLEN00	チャンネル0, 1側のカウンタ開始/停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャンネル2, 3側のカウンタ開始/停止を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタ n (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0, 1側のカウンタ・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	チャンネル2, 3側のカウンタ・クロックを選択してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック 選択レジスタ 0 (ITLCSEL0)	ISEL002-ISEL000	インターバル・タイマのカウンタ・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ 制御レジスタ 0 (ITLCC0)	ビット 7-0	0に設定してください。

備考 n = 0, 1

表12-5 32ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ 0n (ITLCMP0n)	ビット 15-0	32ビット・カウンタ・モードのコンペア値として、チャンネル0, 1 (ITLCMP00) に下位 16 ビットのコンペア値を、チャンネル2, 3 (ITLCMP01) に上位 16 ビットのコンペア値を設定してください。
インターバル・タイマ制御レジスタ 0 (ITLCTL0)	ITLEN00	チャンネル0～3のカウンタ開始／停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	0に設定してください。
	ITLEN03	0に設定してください。
	ITLMD00	0に設定してください。
	ITLMD01	1に設定してください。
インターバル・タイマ分周レジスタ n (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0～3のカウンタ・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック 選択レジスタ 0 (ITLCSEL0)	ISEL002-ISEL000	インターバル・タイマのカウンタ・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ 制御レジスタ 0 (ITLCC0)	ビット 7-0	0に設定してください。

備考 n = 0, 1

12.3.2 キャプチャ・モードの設定

チャンネル0, 1は16ビット・キャプチャ・モードで使用するにより、設定したキャプチャ・トリガでカウント値をインターバル・タイマ・キャプチャ・レジスタ00 (ITLCAP00) に格納します。

表12-6 16ビット・キャプチャ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ00 (ITLCMP00)	ビット15-0	チャンネル0, 1のコンペア値を16ビットで設定してください。
インターバル・タイマ・コンペア・レジスタ01 (ITLCMP01) 注	ビット15-0	チャンネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0 (ITLCTL0)	ITLEN00	チャンネル0, 1側のカウント開始／停止制御を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャンネル2, 3側のカウント開始／停止制御を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn (ITLFDIV0n)	FDIV002-FDIV000	チャンネル0側のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0 (ITLCSEL0)	ISEL002-ISEL000	チャンネル0, 1側のインターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	チャンネル2, 3側のキャプチャ用インターバル・タイマのカウント・クロックを選択してください。
インターバル・タイマ・キャプチャ制御レジスタ0 (ITLCC0)	CAPEN0	1に設定してください。
	CAPC0CR	キャプチャ完了後のチャンネル0, 1側カウンタをクリアするか保持するかを設定してください。
	CTRS01, CTRS00	キャプチャ・トリガを選択してください。

注 ITLCMP01のコンペアー一致割り込みをキャプチャ・トリガとして使用しない場合はチャンネル2、チャンネル3を16ビット・カウンタ・モードとして使用することができます。

備考 n = 0, 1

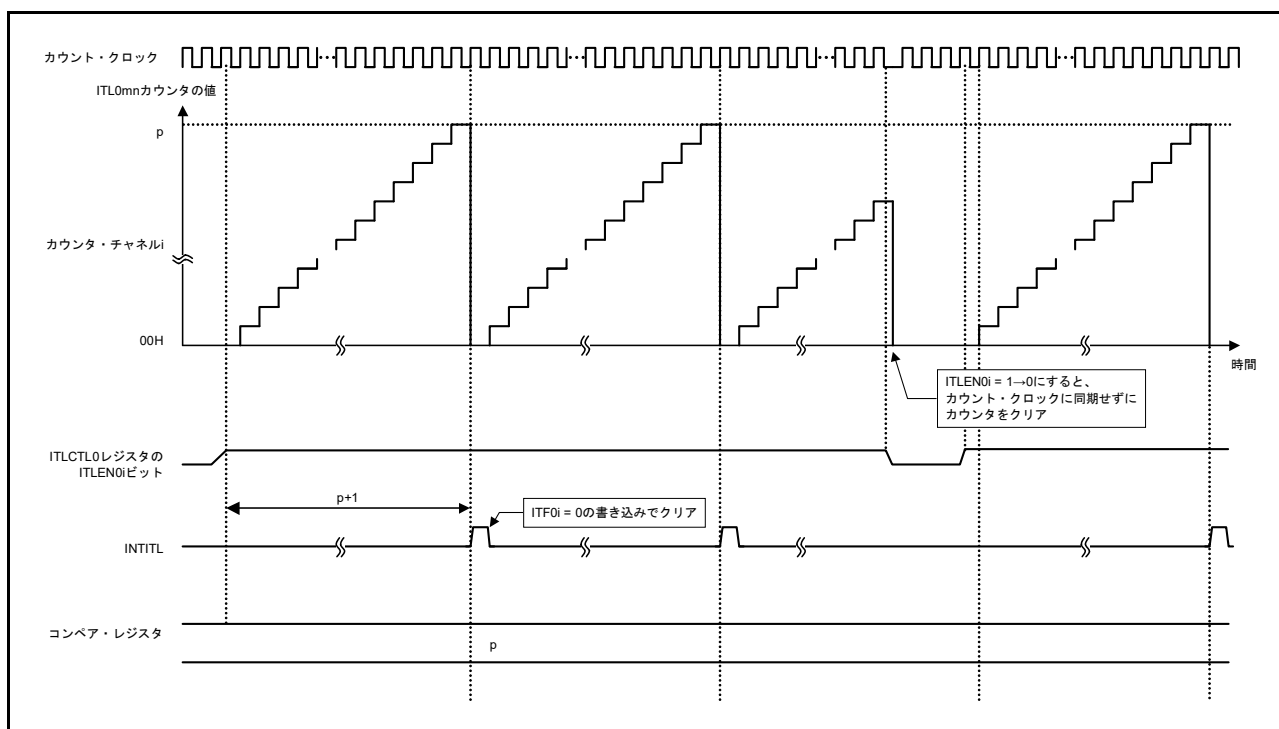
12.3.3 タイマ動作

インターバル・タイマ分周レジスタ 0, 1 (ITLFDIV00, ITLFDIV01) で選択したカウント・クロックで ITL0mn カウンタがアップ・カウントします。カウンタがコンペア値と一致したあと、次のカウント・クロックで割り込み要求信号 (INTITL) が発生します。割り込み要求信号 (INTITL) は ITLS0 レジスタが 00H になるまでハイ・レベルを維持します。

割り込み要求信号 (INTITL) がハイ・レベルの期間は、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

ITLEN03-ITLEN00 ビットに 0 を設定すると、カウント値はクリアされます。

★ 図 12-14 タイマ動作例 (8ビット・カウンタ・モード時)



備考1. mn = 00, 01, 12, 13; i = 0-3

★ 備考2. p : ITLCMP0mn レジスタの設定値

12.3.4 キャプチャ動作

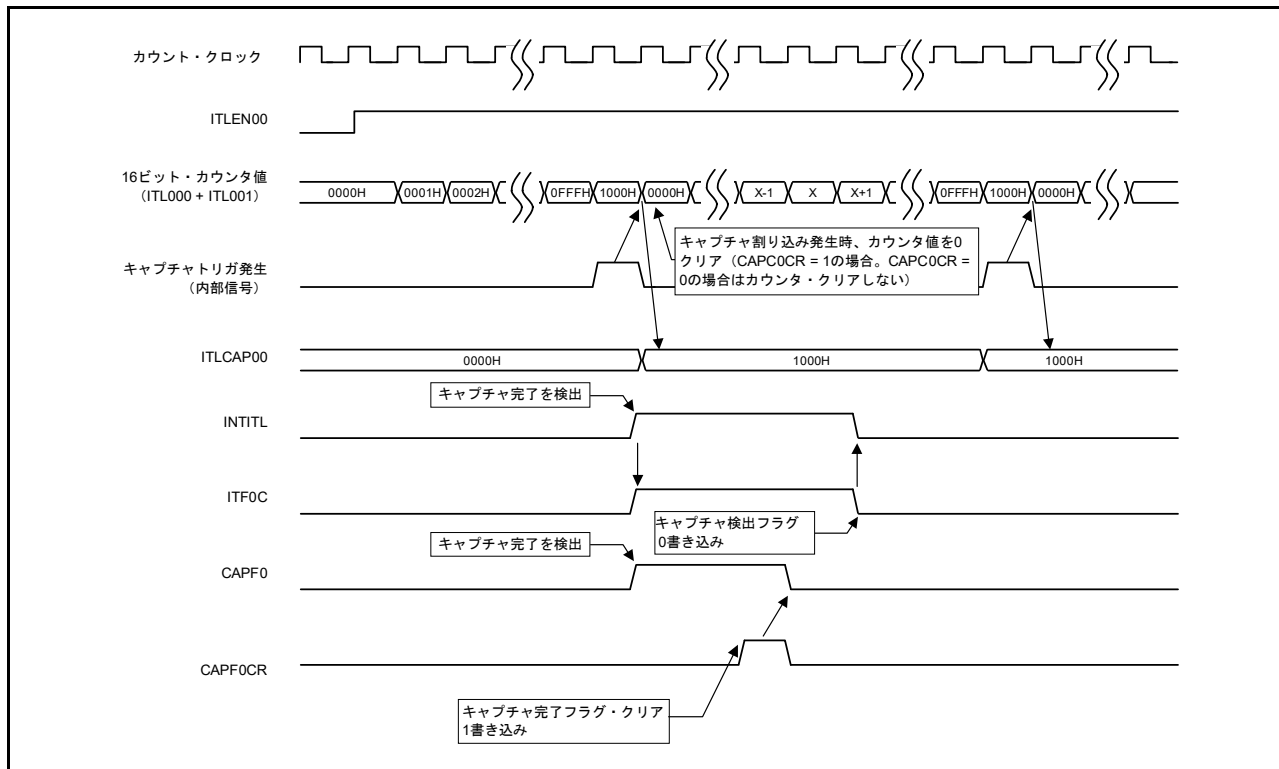
インターバル・タイマ・キャプチャ制御レジスタ 0 (ITLCC0) の CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ (ITL000 + ITL001) の値をキャプチャ・レジスタ (ITLCAP00) に格納します。

キャプチャ・トリガとして、ITLCMP01 のコンペアー一致割り込み、fSXP、ELCL からのイベント入力またはソフトウェア・トリガ (CAPR0 = 1) が選択可能です。キャプチャ・トリガとして、ITLCMP01 のコンペアー一致割り込みを使用する場合は、インターバル・タイマ・クロック選択レジスタ 0 (ITLSEL0) でカウント・クロックを選択し、インターバル・タイマ・コンペアー・レジスタ 01 (ITLCMP01) にコンペアー値を設定します。キャプチャ・トリガとして、fSXP、ELCL からのイベント入力またはソフトウェア・トリガ (CAPR0 = 1) を使用する場合は、チャンネル 2、チャンネル 3 を 16 ビット・カウンタ・モードとして使用することができます。

キャプチャ・トリガが入力されカウンタ値がインターバル・タイマ・キャプチャ・レジスタ 00 に格納されると、割り込み要求信号 (INTITL) を出力し、キャプチャ完了フラグ (CAPF0) とキャプチャ検出フラグ (ITF0C) は 1 にセットされ、CAPF0 フラグと ITF0C フラグの値は保持されます^注。CAPF0 フラグは CAPF0CR ビットをセットすることによりクリアされます。ITF0C フラグは ITLS0 レジスタの ITF0C ビットに 0 を書き込むことによりクリアされます。なお、キャプチャ・トリガを発生させる間隔はカウント・クロックで 5 クロック以上にしてください。キャプチャ・トリガ発生後、カウント・クロックで 2 クロック未満に再度キャプチャ・トリガが発生した場合は、CAPF0 ビットがセットされないことがあります。

注 ITLS0 レジスタが 00H 以外の状態では、ITF0C フラグは 1 にセットされても、割り込み要求信号 (INTITL) はハイ・レベルを維持するため、割り込み動作は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

★ 図 12-15 キャプチャ動作例



★

ITLCC0 レジスタの CAPC0CR ビットを 1 (キャプチャ完了後 16 ビット・カウンタ (ITL000 + ITL001) をクリアするモード) に設定している場合にカウント値がコンペア値と一致すると次のカウント・クロックでカウント値はクリアされます。なお、キャプチャ・トリガが入力される前に、16 ビット・カウンタ (ITL000 + ITL001) とコンペア値が一致すると ITF00 フラグがセットされます。CAPC0CR ビットが 0 (キャプチャ完了後 16 ビット・カウンタ (ITL000 + ITL001) を保持するモード) に設定している場合カウント値はクリアされません。16 ビット・カウンタ (ITL000 + ITL001) とコンペア値が一致すると、ITF00 フラグがセットされます。

12.3.5 割り込み動作

表 12-7 に 8 / 16 / 32 ビット・カウンタ・モード時割り込み要因を示します。

ITF0C, ITF03-ITF00 ビットは ITLS0 レジスタの割り込みステータス・フラグであり、いずれかの割り込みステータス・フラグが発生すると割り込み要求信号 (INTITL) を出力します。

表12-7 8/16/32ビット・カウンタ・モード時割り込み要因

割り込み要因	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因	32ビット・カウンタ・モード要因
ITF00	チャンネル0コンペアー一致後、次のカウント・クロックの立ち上がり	チャンネル0+1のコンペアー一致後、次のカウント・クロックの立ち上がり	コンペアー一致後、次のカウント・クロックの立ち上がり
ITF01	チャンネル1コンペアー一致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF02	チャンネル2コンペアー一致後、次のカウント・クロックの立ち上がり	チャンネル2+3のコンペアー一致後、次のカウント・クロックの立ち上がり	発生しない
ITF03	チャンネル3コンペアー一致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF0C	発生しない (ITLCC0 = 00Hに設定すること)	キャプチャ・トリガが発生後、キャプチャ・レジスタに値が格納されるタイミングと同一	発生しない (ITLCC0 = 00Hに設定すること)

ITLS0 レジスタが 00H 以外の状態では、割り込み要求信号 (INTITL) はハイ・レベルを維持しており、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても、新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。ただし、ITLS0 レジスタのいずれかのビットを 8 ビット・メモリ操作命令で 0 を設定して、その結果 ITLS0 レジスタが 00H にならなかった場合は、INTITL にロウ・パルス信号が出力され割り込み要求フラグ (ITLIF) を 1 にセットします。したがって、ベクタ割り込み処理中などの ITLIF = 0 の状態で ITLS0 レジスタのステータス・フラグを 0 にクリアする処理を行うことで、もしほかのステータス・ビットが 1 に設定されていても割り込みとして検出することができます。図 12-16 に各検出フラグのクリアとインターバル検出割り込み信号の関係を示します。

図 12-16 の動作を以下に説明します。

ITLS0 レジスタが 00H の状態で、チャンネル 1 のコンペアー一致信号を検出すると、ITF01 フラグがセットされ、インターバル検出割り込み信号 (INTITL) がハイ・レベルになります。このハイ・レベル期間では、動作中のチャンネルのコンペアー一致またはキャプチャ検出が発生しても、新規の割り込み要求信号 (INTITL) は発生せず、割り込み要求フラグ (ITLIF) もセットされません。

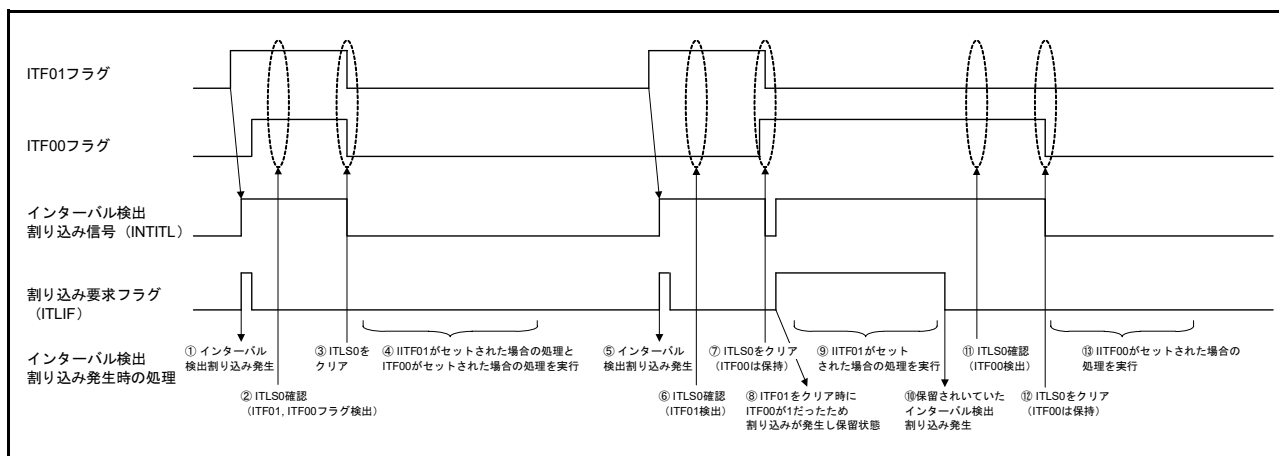
ただし、ITF0x ビット (x = 0-3, C) を 0 にクリアした直前に、ほかの検出フラグが 1 になった場合は、ITF0x ビットをクリア後に INTITL が一時的にロウ・レベルを出力して割り込み要求フラグ (ITLIF) を 1 にセットします。

- ① チャンネル 1 のコンペアー一致によって ITF01 フラグがセットされ、インターバル検出割り込み信号 (INTITL) と割り込み要求フラグ (ITLIF) がハイ・レベルになります。割り込み要求フラグ (ITLIF) を 0 にクリアしインターバル検出割り込みの処理を実行します。
- ② インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。
図 12-16 のケースでは ITF01 フラグと ITF00 フラグが 1 にセットされていることを確認できます。
- ③ ITLS0 レジスタが 00H になるように、上記②で検出した ITF01 フラグと ITF00 フラグを 8 ビット・メモリ操作命令で 00011100B を書き込んでクリアします^注。
- ④ ITF01 フラグが 1 にセットされた場合の処理と ITF00 フラグが 1 にセットされた場合の処理を実行します^注。

注 割り込み要因のフラグを 1 ビットずつ処理をして 0 にクリアする処理を繰り返すことでも、割り込み要因の取りこぼしを防ぐことができます。

- ⑤ 再度チャンネル1のコンペアー一致によってITF01フラグがセットされ、インターバル検出割り込み信号 (INTITL) と割り込み要求フラグ (ITLIF) がハイ・レベルになります。割り込み要求フラグ (ITLIF) を0にクリアしインターバル検出割り込みの処理を実行します。
- ⑥ インターバル検出割り込み処理でITLS0レジスタのどの検出フラグが1にセットされているか確認します。
図12-16のケースではITF01フラグが1にセットされていることを確認できます。
- ⑦ ITLS0レジスタが00Hになるように、上記⑥で検出したITF01フラグを8ビット・メモリ操作命令で00011101Bを書き込んでクリアします。このときチャンネル0のコンペアー一致によってITF00フラグが1にセットされていますが、ITF00フラグに対しては操作を行っていませんのでクリアされません。
- ⑧ ⑦のITF01フラグが0にクリアされるタイミングでITF00フラグは1にセットされていたので、INTITLはいったんロウ・レベルとなり、割り込み要求フラグ (ITLIF) を1にセットします。このときに割り込み許可フラグ (IE) が0にクリアされていなければ、この割り込み要求は保留されます。
- ⑨ ITF01フラグが1にセットされた場合の処理を実行します。
- ⑩ ITF01フラグが1にセットされた場合の処理から復帰すると割り込み要求フラグ (ITLIF) は1にセットされているので、割り込み要求フラグ (ITLIF) を0にクリアして保留されていたインターバル検出割り込み処理を実行します。
- ⑪ インターバル検出割り込み処理でITLS0レジスタのどの検出フラグが1にセットされているか確認します。
図12-16のケースではITF00フラグが1にセットされていることを確認できます。
- ⑫ ITLS0レジスタが00Hになるように、上記⑪で検出したITF00フラグを8ビット・メモリ操作命令で00011110Bを書き込んでクリアします。
- ⑬ ITF00フラグが1にセットされた場合の処理を実行します。

図12-16 検出フラグのクリア例



12.3.6 インターバル・タイマの設定手順

32ビット・インターバル・タイマの設定手順を以下に示します。

図 12-17 32ビット・インターバル・タイマの動作開始手順

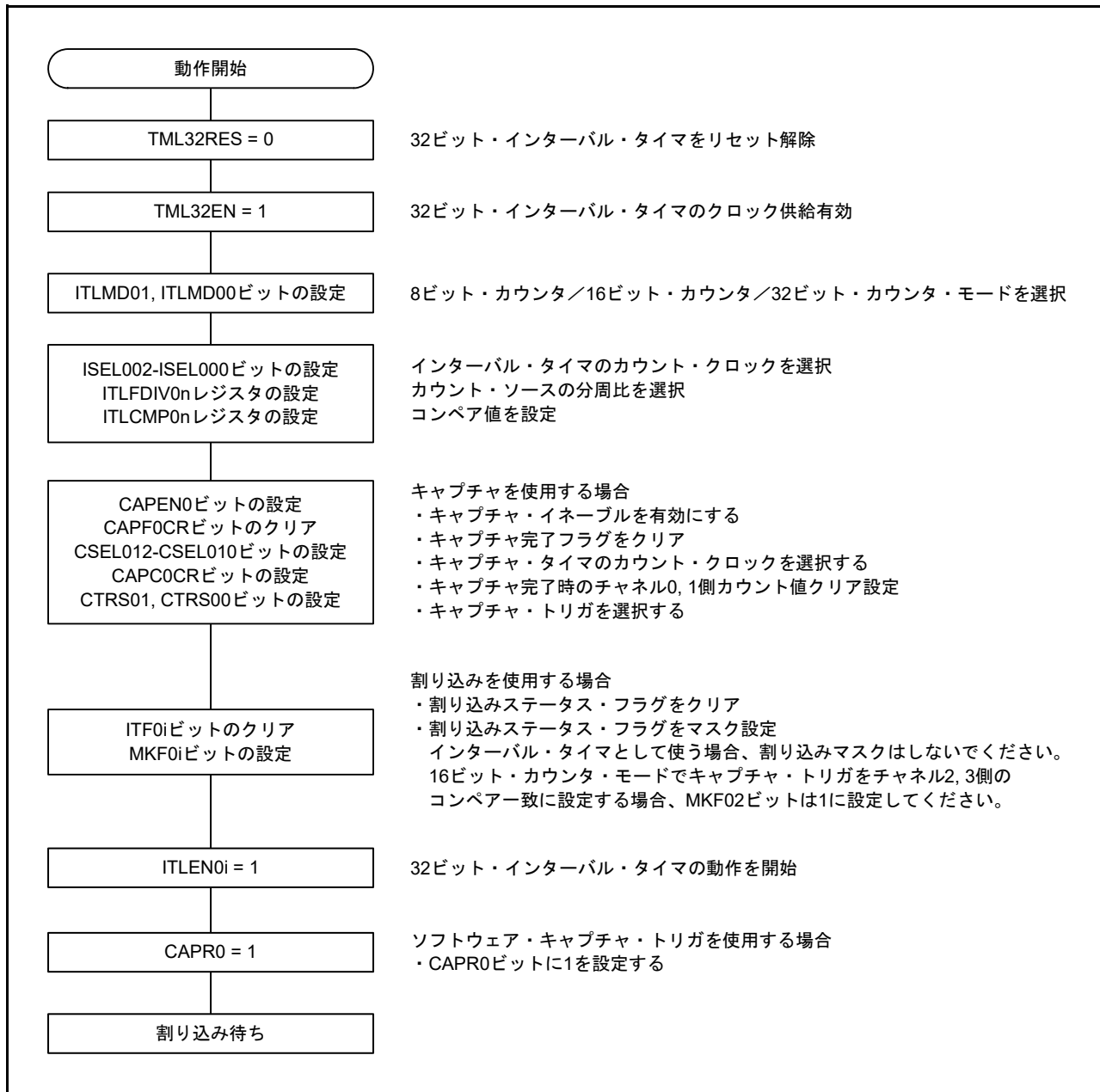


図 12 - 18 32ビット・インターバル・タイマの動作停止手順

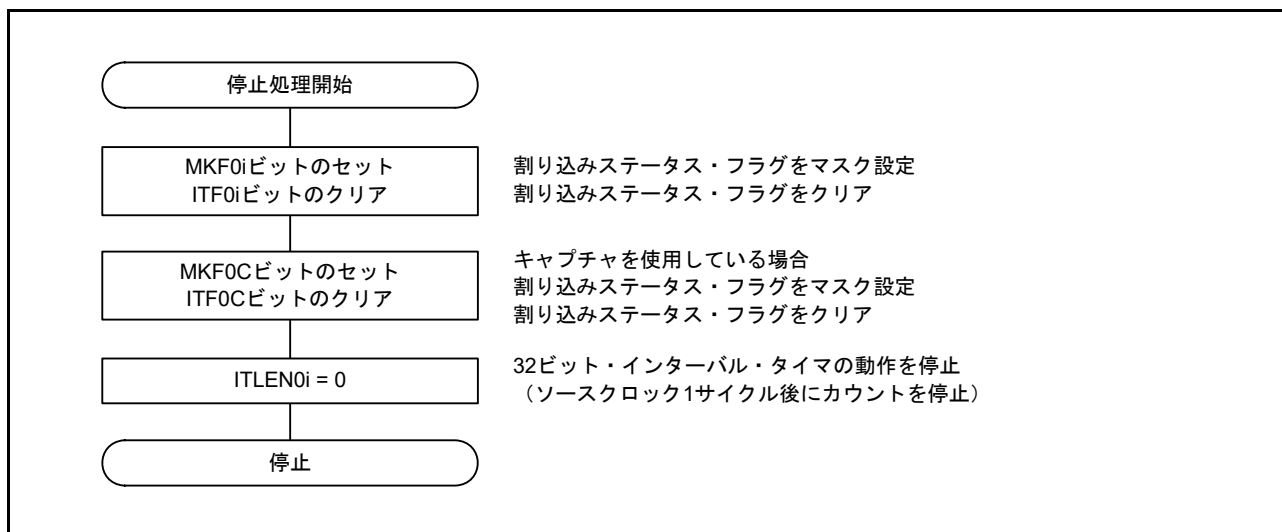


図 12 - 19 32ビット・インターバル・タイマの動作モード変更手順

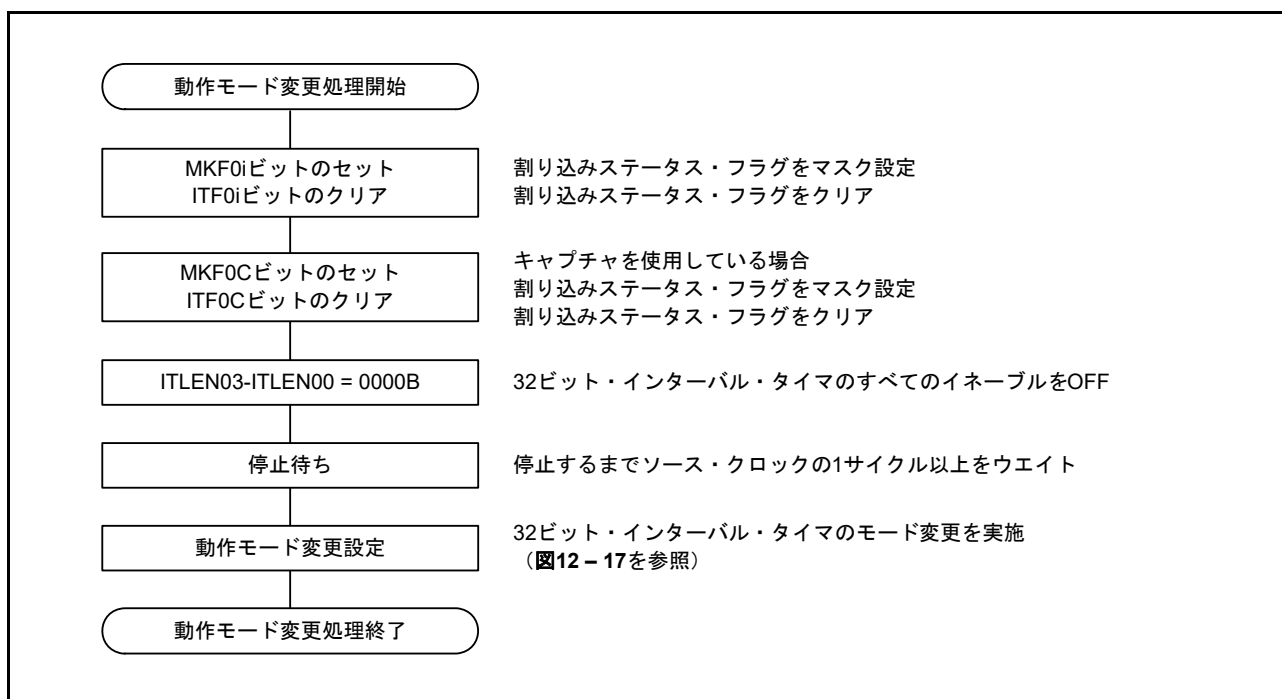


図12-20 32ビット・インターバル・タイマのリセット手順

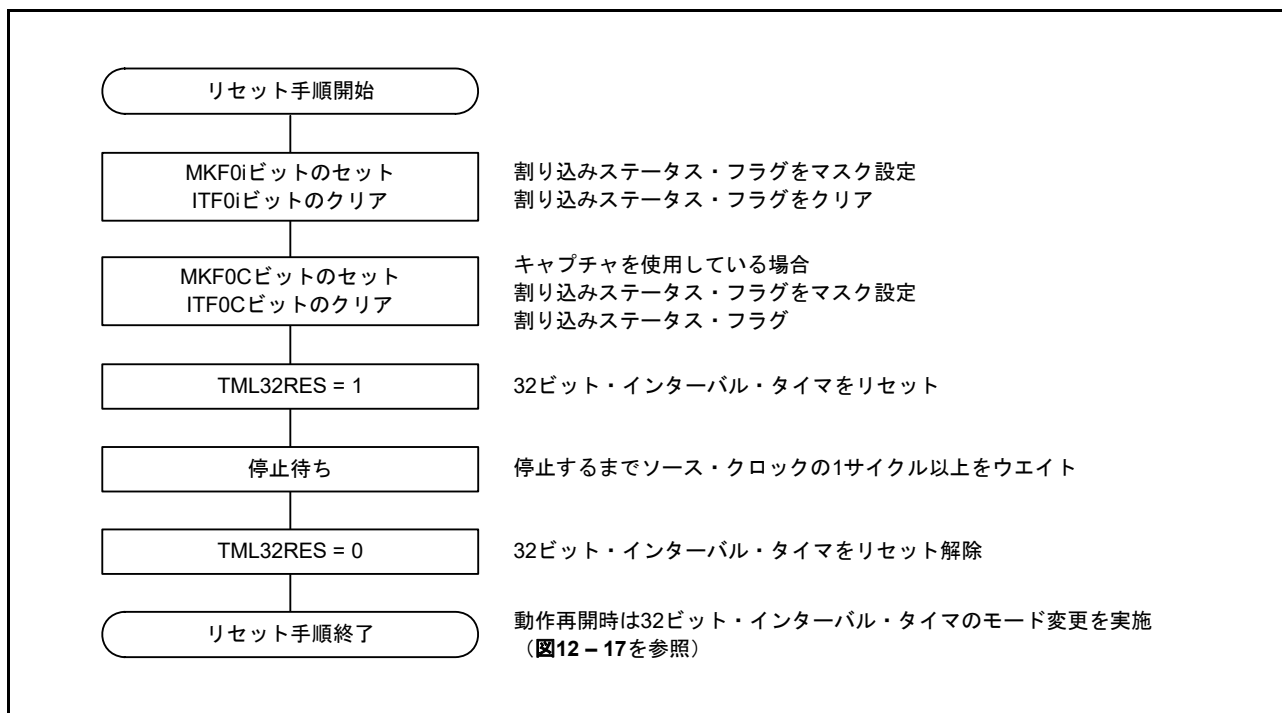


図12-21 ELCLからのイベント入力の動作開始手順

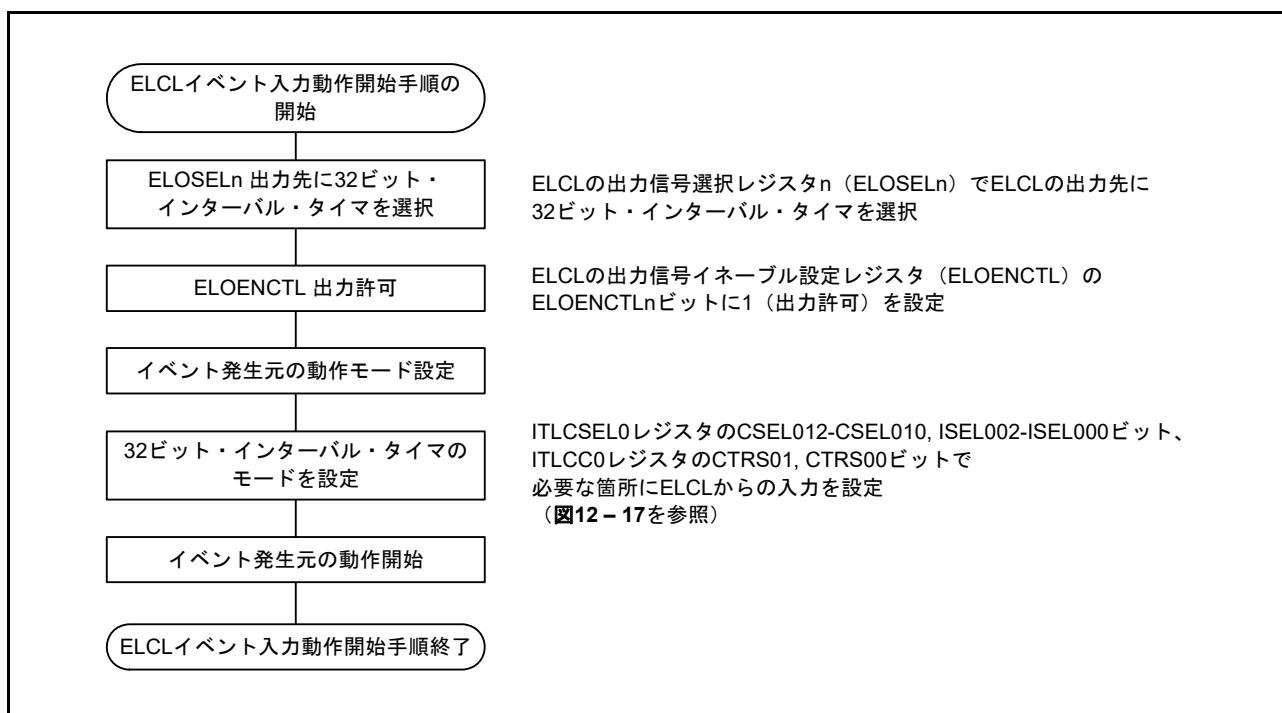
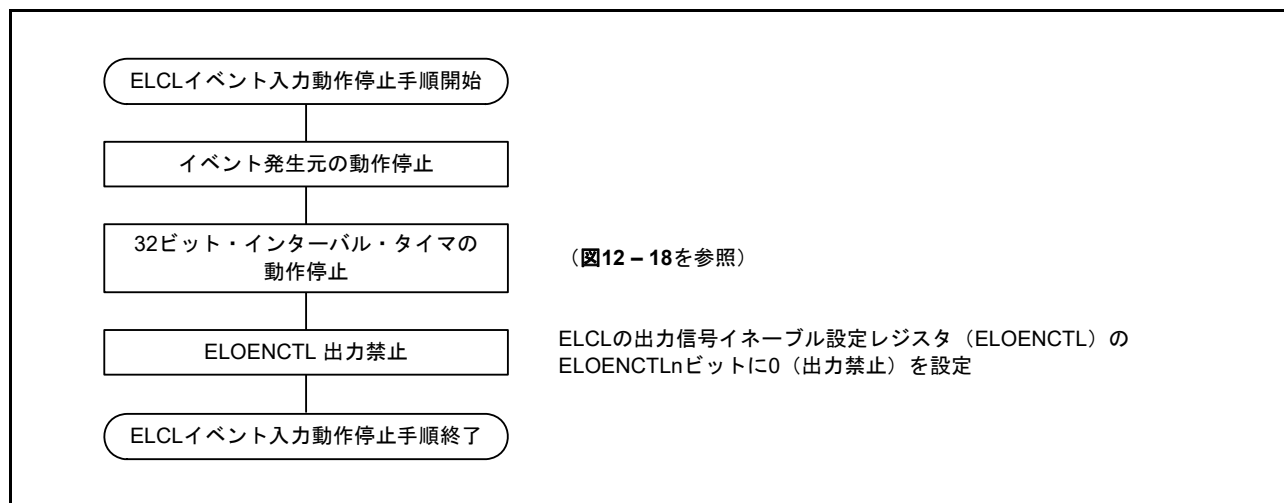


図12-22 ELCLからのイベント入力の動作停止手順



第13章 外部サンプリング

13.1 外部サンプリングの機能

外部サンプリングには、次のような機能があります。

- 8ビット・インターバル・タイマ・チャンネル00の割り込み信号（INTIT00）の発生タイミングからサンプリング・クロックを生成し、EXSDO0, EXSDO1端子から出力します。
- EXSDI0, EXSDI1端子への入力信号のレベルを、生成したサンプリング・クロックの立ち下がりタイミングでラッチし、入力波形を整形します。また、整形した入力波形の位相を検出します。
- 整形したEXSDI1端子の入力波形の立ち下がりと立ち上がりタイミングで、割り込み信号（INTEXSD）を発生します。

13.2 外部サンプリングの構成

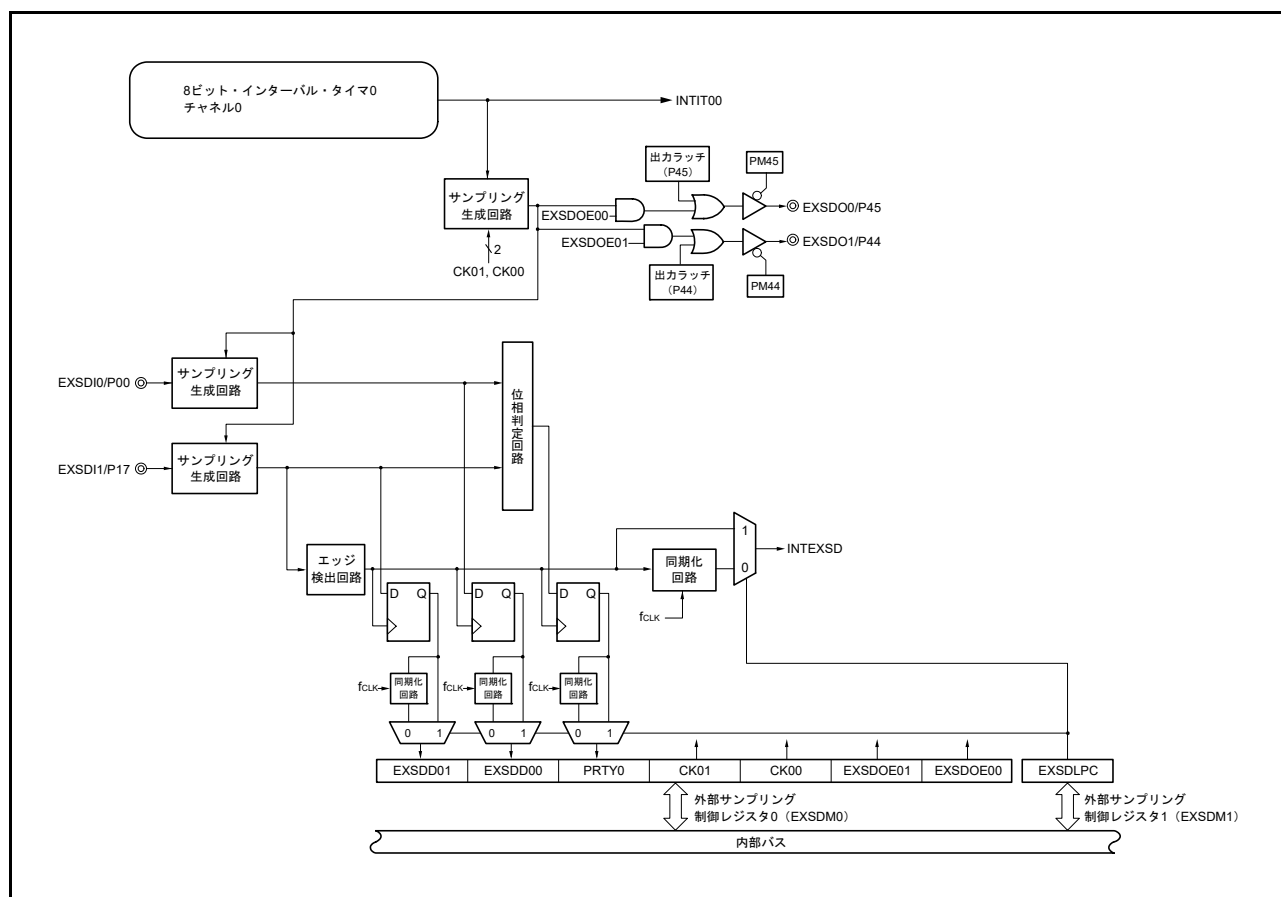
外部サンプリングは、次のハードウェアで構成されています。

表13-1 外部サンプリングの構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ2（PER2） 周辺リセット制御レジスタ2（PRR2） 外部サンプリング制御レジスタ0（EXSDM0） 外部サンプリング制御レジスタ1（EXSDM1） ポート・モード・レジスタ（PMxx） ポート・レジスタ（Pxx） ポート出力モード・レジスタ（POMxx） ポート・モード・コントロールA・レジスタ（PMCAxx） ポート・モード・コントロールT・レジスタ（PMCTxx） ポート・モード・コントロールE・レジスタ（PMCExx） LCDポート・ファンクション・レジスタ（PFSEGx）

図 13 - 1 に外部サンプリングのブロック図を示します。

図 13-1 外部サンプリングのブロック図



備考1. fCLK : CPU／周辺ハードウェア・クロック

備考2. この図に示す外部サンプリングの端子は、48～100ピン製品でPIORxレジスタのPIOR47、PIOR46ビットに0を設定した場合に選択される端子です。

13.3 外部サンプリングを制御するレジスタ

外部サンプリングを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- 外部サンプリング制御レジスタ0 (EXSDM0)
- 外部サンプリング制御レジスタ1 (EXSDM1)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

13.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

外部サンプリングを使用するときは、必ず EXSDEN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	EXSDEN	OSDCEN	TKBEN	UTA3EN	UTA2EN	UTA1EN	TRJ1EN	TRJ0EN
	EXSDEN	外部サンプリングの入カクロック供給の制御						
	0	入カクロック供給停止 ・外部サンプリングで使用するSFRへのライト不可注						
	1	入カクロック供給 ・外部サンプリングで使用するSFRへのリード／ライト可						

注 リードした場合は、設定値にかかわらず00Hが読めます。

注意 外部サンプリングの設定をする際には、必ず最初にEXSDEN = 1の設定を行ってください。EXSDEN = 0の場合は、外部サンプリングの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります（ただし、ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート出力モード・レジスタ (POMxx)、ポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx)、LCDポート・ファンクション・レジスタ (PFSEGx) は除く)。

13.3.2 周辺リセット制御レジスタ2（PRR2）

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

外部サンプリングをリセットする場合は、EXSDRES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設計します。

リセット信号の発生により、00H になります。

図13 - 3 周辺リセット制御レジスタ2（PRR2）のフォーマット

アドレス : F00FDH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
PRR2	EXSDRES	OSDCRES	TKBRES	0	0	0	TRJ1RES	TRJ0RES
	EXSDRES	外部サンプリングのリセット制御						
	0	外部サンプリングのリセット解除						
	1	外部サンプリングはリセット状態 ・外部サンプリングで使用する SFR が初期化されます。						

注意 ビット4-2には、必ず0を設定してください。

★

13.3.3 外部サンプリング制御レジスタ0 (EXSDM0)

EXSDM0 レジスタは、サンプリング状態の表示、および EXSDO0, EXSDO1, EXSDI0, EXSDI1 端子の動作制御を設定するレジスタです。

EXSDM0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 13-4 外部サンプリング制御レジスタ0 (EXSDM0) のフォーマット

アドレス : F025BH

リセット時: 00H

R/W属性 : R/W注

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
EXSDM0	EXSDD01	EXSDD00	PRTY0	0	CK01	CK00	EXSDOE01	EXSDOE00
EXSDD01								
EXSDI1 内部整形波形レベル・ステータス・フラグ								
0 ロウ・レベル								
1 ハイ・レベル								
EXSDD00								
EXSDI1 内部整形波形の立ち下がり／立ち上がり時の EXSDI0 の内部整形波形状態の レベル・ステータス・フラグ								
0 EXSDI0 の内部整形波形がロウ・レベル								
1 EXSDI0 の内部整形波形がハイ・レベル								
PRTY0								
EXSDD01, EXSDD00 のパリティ・フラグ								
0 EXSDI1 の内部整形波形の立ち上がり時に EXSDI0 の内部整形波形がハイ・レベル、または EXSDI1 の内部整形波形の立ち下がり時に EXSDI0 の内部整形波形がロウ・レベル								
1 EXSDI1 の内部整形波形の立ち上がり時に EXSDI0 の内部整形波形がロウ・レベル、または EXSDI1 の内部整形波形の立ち下がり時に EXSDI0 の内部整形波形がハイ・レベル								
CK01 CK00								
EXSDO1, EXSDO0 端子出カクロック・パルス幅の設定								
0 0 $1/(2 \times \text{fsXP})$ (15 μs)								
0 1 $1/\text{fsXP}$ (30.5 μs)								
1 0 $2/\text{fsXP}$ (61 μs)								
1 1 $2^5/\text{fsXP}$ (977 μs)								
EXSDOE01								
EXSDO1 端子の出力制御フラグ								
0 出力禁止								
1 出力許可								
EXSDOE00								
EXSDO0 端子の出力制御フラグ								
0 出力禁止								
1 出力許可								

注 ビット 7-5 は、読み出しのみ可能です。

備考 () 内は、fsXP = 32.768 kHz 動作時

13.3.4 外部サンプリング制御レジスタ1 (EXSDM1)

EXSDM1 レジスタは、外部サンプリングの動作モードの切り替え設定を行うレジスタです。

EXSDLPC = 1 に設定すると、STOP モードおよび SNOOZE モード時に、外部サンプリング制御レジスタ 0 (EXSDM0) の EXSDD01, EXSDD00, PRTY0 フラグの更新と外部サンプリングエッジ検出割り込み信号 (INTEXSD) を発生させることができます。

EXSDM1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号発生により、00H になります。

図 13 - 5 外部サンプリング制御レジスタ1 (EXSDM1) のフォーマット

アドレス : F025AH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
EXSDM1	0	0	0	0	0	0	0	EXSDLPC

EXSDLPC	外部サンプリングの動作モードの切り替え
0	STOPモードおよびSNOOZEモード以外で使用する場合に設定 ^{注1}
1	STOPモードおよびSNOOZEモードで使用する場合に設定 ^{注2, 3}

- 注1.** STOPモードおよびSNOOZEモードで使用すると、CPU／周辺ハードウェア・クロック (fCLK) が停止するため、下記の機能は使用できません。
- 外部サンプリングエッジ検出割り込み信号 (INTEXSD) が発生しません。
 - 外部サンプリング制御レジスタ0 (EXSDM0) のEXSDD01, EXSDD00, PRTY0フラグは更新されません。
- 注2.** EXSDLPC = 1に設定した場合は、EXSDD01, EXSDD00, PRTY0フラグが非同期で更新されるため、EXSDD01, EXSDD00, PRTY0フラグは外部サンプリングエッジ検出割り込み信号 (INTEXSD) が発生した直後に読み出しを行ってください。
- 注3.** EXSDLPC = 1設定時は、DTC起動要因に外部サンプリングエッジ検出を設定することは禁止です。

13.3.5 外部サンプリング入出力と端子を兼用するポートのポート機能を制御するレジスタ

外部サンプリング入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

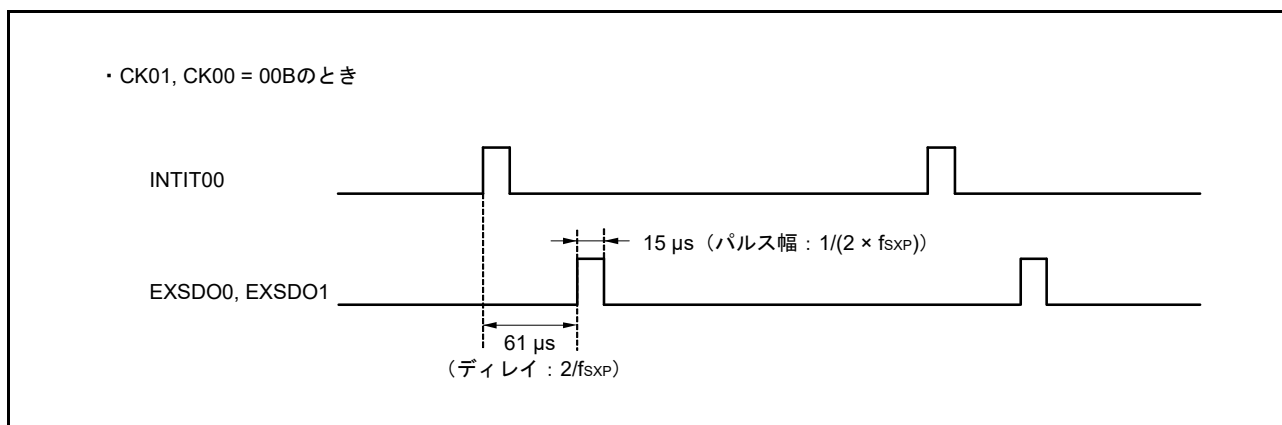
ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

13.4 サンプリング・クロック出力の動作

EXSDO0, EXSDO1 端子の出力周期は、8 ビット・インターバル・タイマ・チャンネル 00 の割り込み信号 (INTIT00) の発生周期によって設定します。パルス幅は、外部サンプリング制御レジスタ 0 (EXSDM0) の CK01, CK00 ビットによって設定します。

図 13 - 6 に EXSDO0/EXSDO1 出力の波形例を示します。

図 13 - 6 EXSDO0/EXSDO1 出力の波形例



注意 1. INTIT00 信号発生の間隔時間は $4/f_{SXP}$ 以上になるように、TRTCMP00 レジスタを設定してください。

(8 ビット・インターバル・タイマ 0 のチャンネル 0 の分周選択が f_{SXP} の場合は TRTCMP00 $\geq$ 0003H、ほかの場合は TRTCMP00 $\geq$ 0001H)

注意 2. EXSDO0, EXSDO1 端子のパルス幅は、デューティ 1/2 以下となるように設定してください。

注意 3. 外部サンプリングを使用する場合は、サブシステム・クロック供給モード制御レジスタ (OSMC) の WUTMMCK0 ビットに 0 を設定し、動作クロックにサブシステム・クロックを選択してください。

備考 $f_{SXP} = 32.768$ kHz 動作時

13.5 外部サンプリングの動作

(1) 初期設定

以下に外部サンプリングの初期設定手順を示します。

- ポート・モード・レジスタ（PM4）のPM45, PM44ビットを出力モードに設定し、P45, P44の出力ラッチに0を設定する。ポート・モード・レジスタ（PM0）のPM00ビットとポート・モード・レジスタ（PM1）のPM17ビットを入力モードに設定する。LCDポート・ファンクション・レジスタ（PFSEG6）のPFSEG43, PFSEG42ビットに0を設定する。
- 外部サンプリングエッジ検出割り込み（INTEXSD）の割り込みマスク・フラグ（EXSDMK）に0を設定する（割り込み処理を許可）。
- 8ビット・インターバル・タイマ0のチャンネル0のカウント動作を停止する。
- 8ビット・インターバル・タイマ0のチャンネル0に任意のカウント値を設定する。
- 周辺イネーブル・レジスタ2（PER2）のEXSDENビットに1を設定する。
- 外部サンプリング制御レジスタ0（EXSDM0）のCK01, CK00ビットで、EXSDO0, EXSDO1端子から出力するサンプリング・クロックのパルス幅を設定する。
- 外部サンプリング制御レジスタ1（EXSDM1）のEXSDLPCビットに0を設定する。

(2) 外部サンプリングの動作開始

以下に外部サンプリングの動作開始手順を示します。

- EXSDM0レジスタのEXSDOE00, EXSDOE01ビットで、EXSDO0, EXSDO1端子の出力を許可する。
- 8ビット・インターバル・タイマ0のチャンネル0のカウント動作を開始する。
- EXSDO0, EXSDO1端子から出力するサンプリング・クロックの立ち下がり、EXSDI0, EXSDI1端子の入力レベルをラッチし、入力信号の波形が整形される。
- 内部で波形整形されたEXSDI1信号の立ち上がり／立ち下がりの両エッジにより、割り込み信号（INTEXSD）が発生する。INTEXSDの発生タイミングは、波形整形されたEXSDI1信号に対し、 $1/(2 \times \text{fsxp}) + 1/\text{fclk}$ または $1/(2 \times \text{fsxp}) + 2/\text{fclk}$ の遅延が発生する。
- INTEXSDの発生タイミングで、内部で波形整形されたEXSDI1信号のレベルがラッチされ、EXSDM0レジスタのEXSDD01フラグに転送される。EXSDI1信号がハイ・レベルのときは1にセットされ、ロウ・レベルのときは0にクリアされる。
- 内部で波形整形されたEXSDI1信号の立ち下がり／立ち上がりの両エッジで、内部で波形整形されたEXSDI0信号のレベルがラッチされ、INTEXSDの発生タイミングでEXSDM0レジスタのEXSDD00フラグに転送される。EXSDI0信号がハイ・レベルのときは1にセットされ、ロウ・レベルのときは0にクリアされる。
- 波形整形されたEXSDI1信号の立ち上がり時に、波形整形されたEXSDI0信号がハイ・レベルのとき、またはEXSDI1信号の立ち下がり時に、EXSDI0信号がロウ・レベルのとき、EXSDM0レジスタのPRTY0フラグは0にクリアされる。波形整形されたEXSDI1信号の立ち上がり時に、波形整形されたEXSDI0信号がロウ・レベルのとき、またはEXSDI1信号の立ち下がり時に、EXSDI0信号がハイ・レベルのとき、PRTY0フラグは1にセットされる。
- 外部サンプリング制御レジスタ1（EXSDM1）のEXSDLPCビットが0のときにはfclkの遅延が発生しますが、EXSDLPCビットが1のときはfclkの遅延は発生しません。

(3) 外部サンプリングの動作停止

以下に外部サンプリングの動作停止手順を示します。

- 外部サンプリングエッジ検出割り込み (INTEXSD) の割り込みマスク・フラグ (EXSDMK) に1を設定する。(割り込み処理を禁止)
- 8ビット・インターバル・タイマ0のチャンネル0のカウント動作を停止する。
- EXSDM0レジスタのEXSDOE00, EXSDOE01ビットで、EXSDO0, EXSDO1端子の出力を禁止する。

注意1. EXSDI1信号の内部整形波形に対し、INTEXSDの発生タイミングに、 $1/(2 \times f_{SXP}) + 1/f_{CLK}$ または $1/(2 \times f_{SXP}) + 2/f_{CLK}$ の遅延が常に発生します。

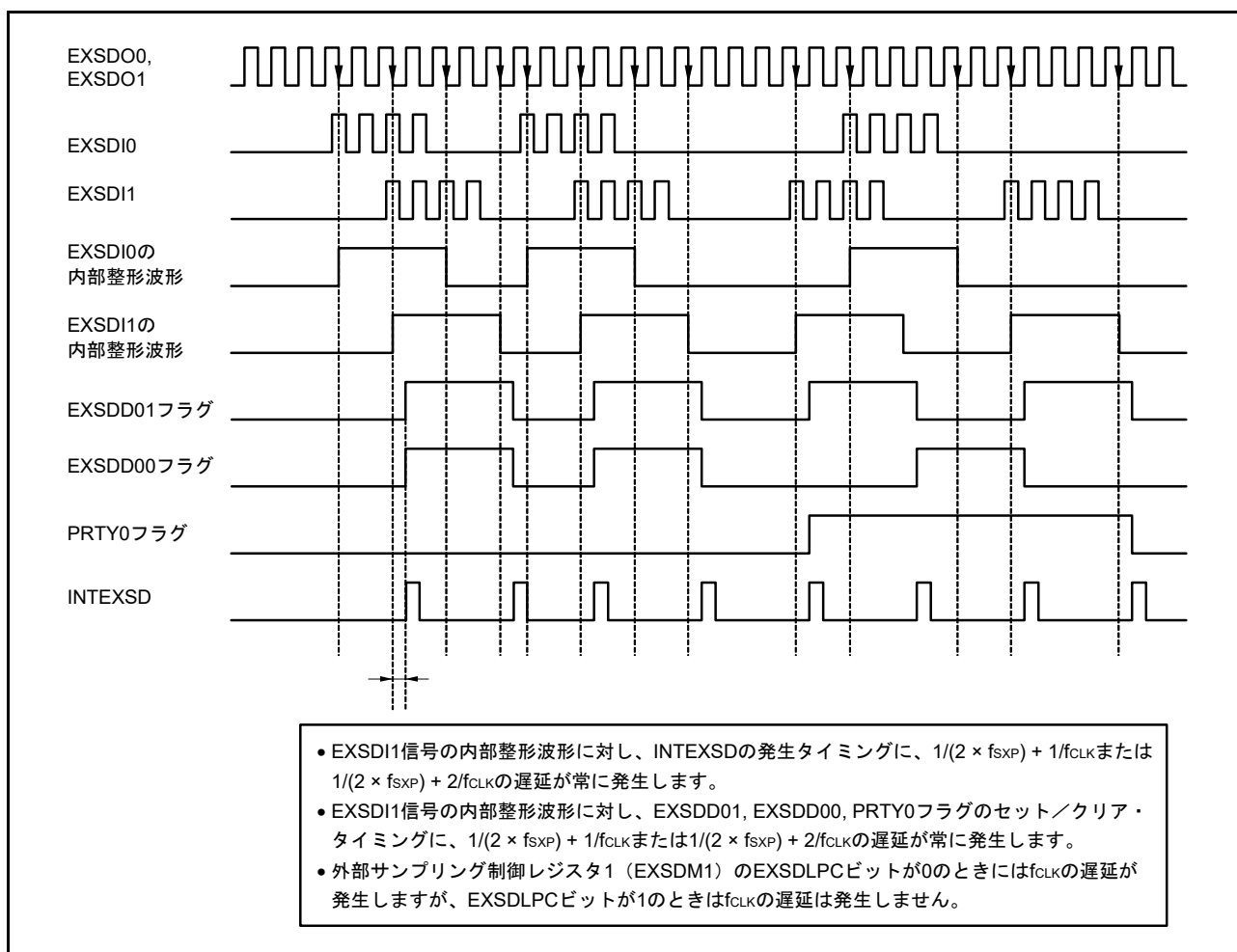
注意2. EXSDI1信号の内部整形波形に対し、EXSDD01, EXSDD00, PRTY0フラグのセット/クリア・タイミングに、 $1/(2 \times f_{SXP}) + 1/f_{CLK}$ または $1/(2 \times f_{SXP}) + 2/f_{CLK}$ の遅延が常に発生します。

注意3. 外部サンプリング制御レジスタ1 (EXSDM1) のEXSDLPCビットが0のときにはfCLKの遅延が発生しますが、EXSDLPCビットが1のときはfCLKの遅延は発生しません。

備考 この外部サンプリング端子のポート機能の設定手順は、48～100ピン製品でPIORxレジスタのPIOR47, PIOR46ビットを0に設定した場合の手順です。

図13-7に外部サンプリングのタイミング例を示します。

図13-7 外部サンプリングのタイミング例



13.6 注意事項

- (1) EXSDI0信号とEXSDI1信号のエッジが重なった場合、EXSDI0信号の内部整形波形のレベル・ステータス・フラグの値は、不定となります。
- (2) 割り込み信号（INTEXSD）と各ステータス・フラグ（EXSDD01, EXSDD00, PRTY0）は同タイミングで変化します。
- (3) 8ビット・インターバル・タイマ0のチャネル0の動作停止時に、EXSDM0レジスタの設定をしてください。
- (4) 8ビット・インターバル・タイマ・チャネル00の割り込み信号（INTIT00）発生のインターバルが $4/f_{SXP}$ 以上になるように、TRTCMP00レジスタを設定してください（8ビット・インターバル・タイマ0のチャネル0の分周選択が f_{SXP} の場合は $TRTCMP00 \geq 0003H$ 、ほかの場合は $TRTCMP00 \geq 0001H$ ）。
- (5) EXSD00, EXSD01のパルス幅は、デューティ 1/2以下となるように設定してください。
- (6) STOPモードおよびSNOOZEモードで使用する場合は、8ビット・インターバル・タイマ・カウンタ・レジスタ00は割り込み要求から通常動作までのサイクル数以上に設定してください。
設定値が割り込み要求から通常動作までのサイクル未満の場合、外部サンプリング制御レジスタ0（EXSDM0）のEXSDD01, EXSDD00, PRTY0フラグが正しく読み出せない場合があります。
サイクル数については、**27.3 スタンバイ機能の動作**を参照してください。

第14章 クロック出力／ブザー出力制御回路（PCLBUZ）

クロック出力／ブザー出力制御回路の出力端子数は、製品によって異なります。

出力端子	44～52ピン	64～100ピン
PCLBUZ0	(○)	○
PCLBUZ1	(○)	○

注意 この章では、以降の主な説明を100ピン製品の場合で説明しています。

備考 () は、周辺 I/O リダイレクション・レジスタ（PIORx）の設定により、端子を割り当てることができます。
詳細は、4.3.10 周辺 I/O リダイレクション・レジスタ（PIORx）を参照してください。

14.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺 IC に供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

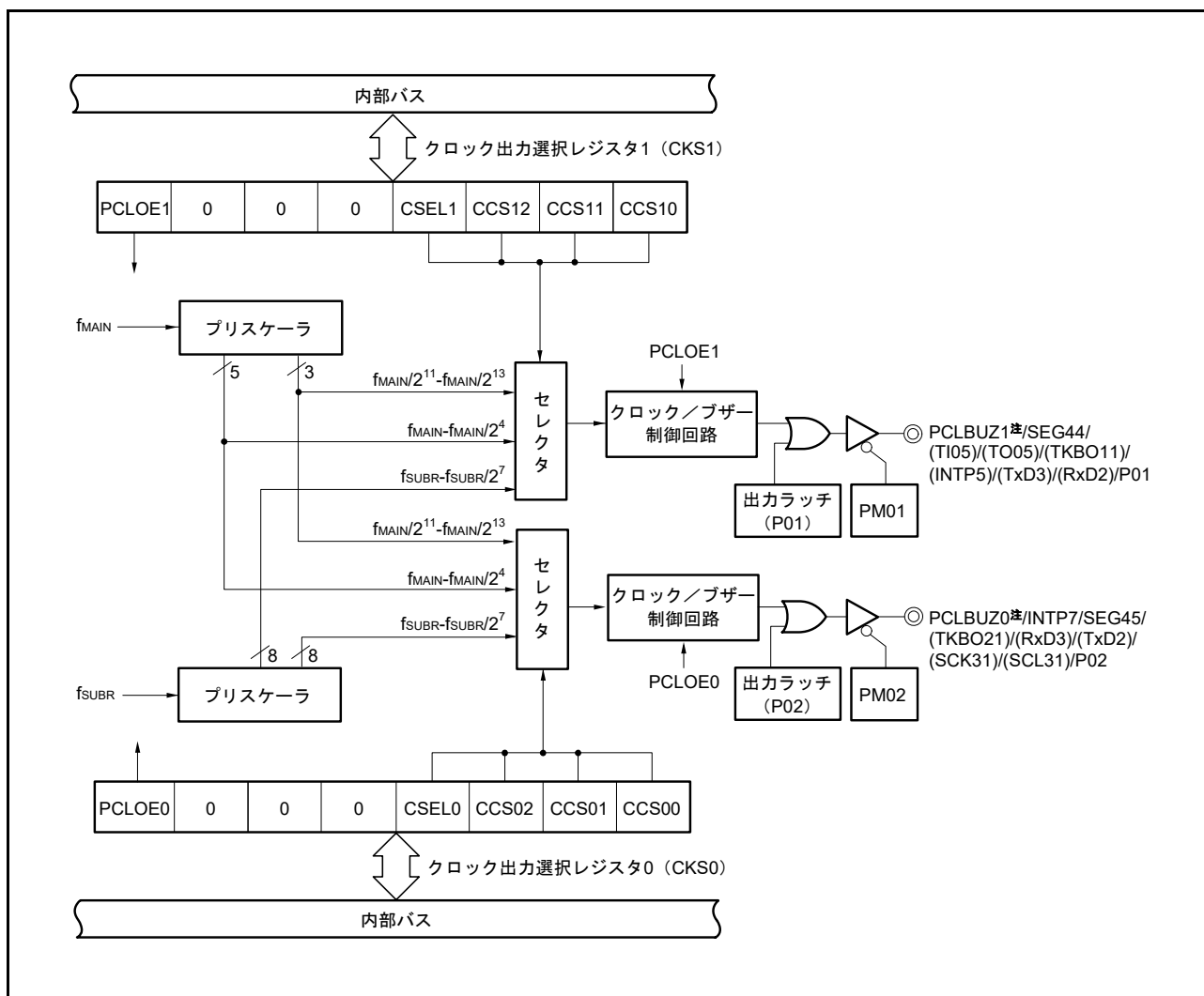
1 つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn 端子は、クロック出力選択レジスタ n（CKSn）で選択したクロックを出力します。

図 14 - 1 にクロック出力／ブザー出力制御回路のブロック図を示します。

備考 n = 0, 1

図 14 - 1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1 端子から出力可能な周波数は、**42.4 AC特性**を参照してください。

備考 この図で示すクロック出力／ブザー出力端子は、PIORxレジスタのPIOR52-PIOR50ビットを0に設定した場合に選択される端子です。

その他の場合は、端子名、出力ラッチ (Pxx)、PMxxが異なりますので読み替えてください。

14.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表14-1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	• クロック出力選択レジスタ n (CKSn) • ポート・モード・レジスタ (PMxx) • ポート・レジスタ (Pxx) • ポート出力モード・レジスタ (POMxx) • ポート・モード・コントロールA・レジスタ (PMCAxx) • ポート・モード・コントロールT・レジスタ (PMCTxx) • LCDポート・ファンクション・レジスタ (PFSEGx)

14.3 クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路を制御するレジスタを次に示します。

- クロック出力選択レジスタ n (CKSn)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

14.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 14 - 2 クロック出力選択レジスタ n (CKSn) のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1)

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn 端子の出力許可／禁止の指定							
0	出力禁止							
1	出力許可							

CSELn	CCSn2	CCSn1	CCSn0		PCLBUZn 端子の出力クロックの選択			
					fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 32 MHz
0	0	0	0	fMAIN	5 MHz注	10 MHz注	設定禁止	設定禁止
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz注	10 MHz注	16 MHz注
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz注	8 MHz注
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	fSUBR	32.768 kHz			
1	0	0	1	fSUBR/2	16.384 kHz			
1	0	1	0	fSUBR/2 ²	8.192 kHz			
1	0	1	1	fSUBR/2 ³	4.096 kHz			
1	1	0	0	fSUBR/2 ⁴	2.048 kHz			
1	1	0	1	fSUBR/2 ⁵	1.024 kHz			
1	1	1	0	fSUBR/2 ⁶	512 Hz			
1	1	1	1	fSUBR/2 ⁷	256 Hz			

注 選択可能な出力クロックは、電源電圧 (VDD) によって異なります。また、出力クロックは、16 MHz 以内の範囲で使用してください。詳細は、42.4 AC特性を参照してください。

注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。

(注意、備考は次ページに続きます)

注意2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前に PCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、STOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fSUBR : サブシステム・クロックR周波数

14.3.2 クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ

クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

14.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は、クロック出力選択レジスタ 0 (CKS0) で選択したクロック／ブザーを出力します。

PCLBUZ1 端子は、クロック出力選択レジスタ 1 (CKS1) で選択したクロック／ブザーを出力します。

14.4.1 出力端子の動作

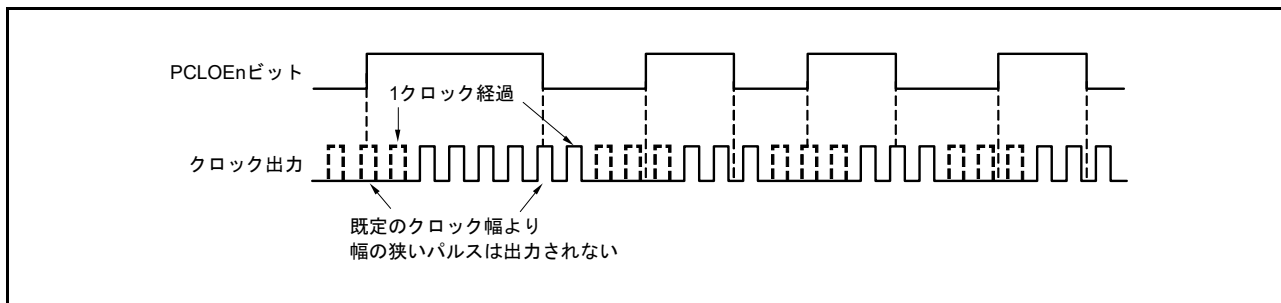
PCLBUZn 端子は、次の手順で出力します。

- ① PCLBUZn 端子として使用するポートの設定をする。(14.3.2 クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御する レジスタ参照)
- ② PCLBUZn 端子のクロック出力選択レジスタ n (CKSn) のビット 3-0 (CSELn, CCSn2-CCSn0) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKSn レジスタのビット 7 (PCLOEn) に 1 を設定し、クロック出力／ブザー出力を許可する。

備考 1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止 (PCLOEn ビット) を切り替えてから 1 クロック後にクロック出力を開始／停止します。このとき、既定のクロックの幅より幅の狭いパルスは出力されません。図 14 - 3 に PCLOEn ビットによる出力の許可／停止とクロック出力のタイミングを示します。

備考 2. n = 0, 1

図 14 - 3 PCLBUZn 端子からのクロック出力のタイミング



14.5 クロック出力／ブザー出力制御回路使用時の注意事項

PCLBUZn 端子の出力にメイン・システム・クロックを選択 (CKSn.CSELn = 0) している場合は、出力禁止設定 (CKSn.PCLOEn = 0) にしてからメイン・システム・クロックの 1.5 クロック以内に STOP モードへ移行すると、PCLBUZn 端子からの出力幅が短くなります。

第15章 ウォッチドッグ・タイマ (WDT)

15.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、ユーザ・オプション・バイト (000C0H) でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック (fil) の2分周クロック (1/2fil) で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) が1にセットされます。RESFレジスタの詳細については、**第28章 リセット機能**を参照してください。

また、オーバフロー時間の75% + 1/4fil 到達時にインターバル割り込みを発生することもできます。

15.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表15-1 ウォッチドッグ・タイマの構成

項 目	構 成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

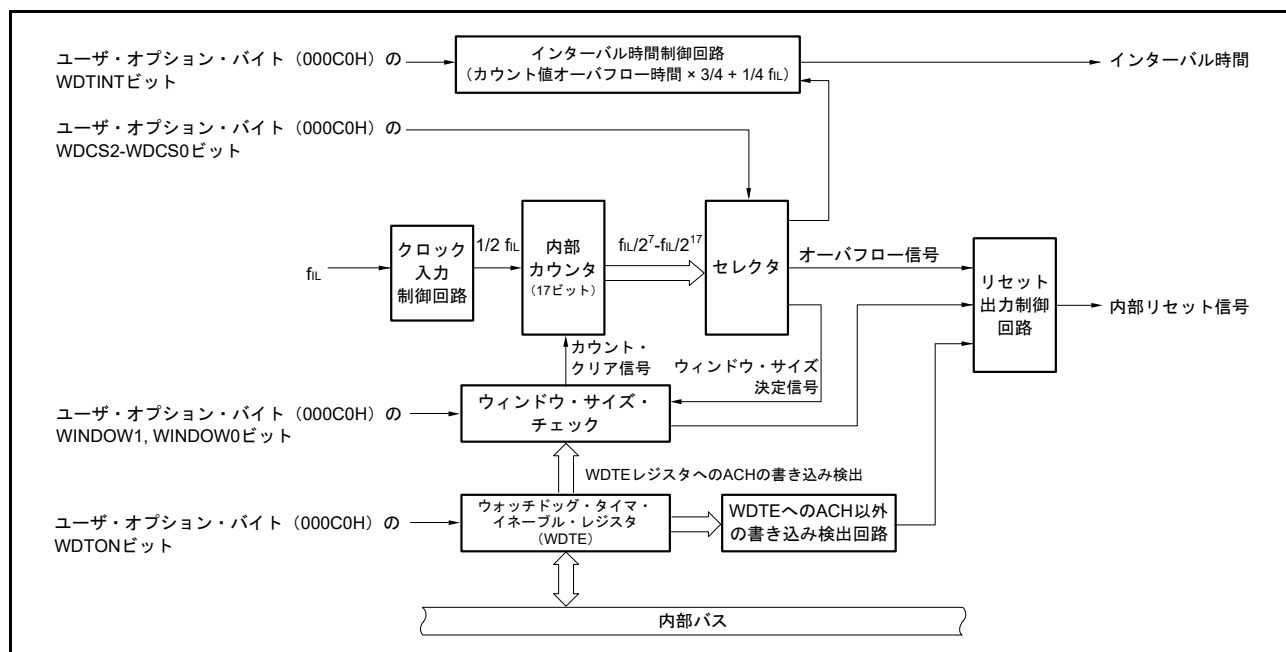
また、ユーザ・オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウィンドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表15-2 ユーザ・オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	ユーザ・オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウィンドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2-WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)	ビット0 (WDSTBYON)

備考 ユーザ・オプション・バイトについては、**第37章 オプション・バイト**を参照してください。

図 15-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速オンチップ・オシレータ・クロック

15.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

15.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTE レジスタに ACH を書き込むことにより、ウォッチドッグ・タイマのカウンタがクリアされ、再びカウントを開始します。

WDTE レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AH または 1AH 注 になります。

注 WDTE レジスタのリセット値は、ユーザ・オプション・バイト (000C0H) の WDTON ビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTON ビットに 1 を設定してください。

図 15-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH
リセット時: 9AH/1AH 注
R/W 属性 : R/W

略号	7	6	5	4	3	2	1	0
WDTE								
WDTON ビットの設定値					WDTE レジスタのリセット値			
0 (ウォッチドッグ・タイマのカウント動作禁止)					1AH			
1 (ウォッチドッグ・タイマのカウント動作許可)					9AH			

注 WDTE レジスタのリセット値は、ユーザ・オプション・バイト (000C0H) の WDTON ビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTON ビットに 1 を設定してください。

- 注意1. WDTE レジスタに ACH 以外の値を書き込んだ場合、内部リセット信号を発生します。
- 注意2. WDTE レジスタに 1 ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
- 注意3. WDTE レジスタの読み出し値は、9AH/1AH (書き込んだ値 (ACH) とは異なる値) になります。

備考 ユーザ・オプション・バイト (000C0H) の WDTON = 1 (ウォッチドッグ・タイマ動作許可) のとき、IAWCTL レジスタの IAWEN = 0 (不正メモリ・アクセスの検出無効設定) でも不正メモリ・アクセスの検出機能は有効となります。

15.4 ウォッチドッグ・タイマの動作

15.4.1 ウォッチドッグ・タイマの動作制御

(1) ウォッチドッグ・タイマを使用する場合、ユーザ・オプション・バイト (000C0H) で次の内容を設定します。

- ユーザ・オプション・バイト (000C0H) のビット4 (WDTON) に1を設定し、ウォッチドッグ・タイマのカウンタ動作を許可 (リセット解除後、カウンタは動作開始) にしてください (詳細は、**第37章 オプション・バイト**を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウンタ動作禁止 (リセット解除後、カウンタ停止)
1	カウンタ動作許可 (リセット解除後、カウンタ開始)

- ユーザ・オプション・バイト (000C0H) のビット3-1 (WDSC2-WDSC0) で、オーバフロー時間を設定してください (詳細は、**15.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定**および**第37章 オプション・バイト**を参照)。
 - ユーザ・オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で、ウィンドウ・オープン期間を設定してください (詳細は、**15.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定**および**第37章 オプション・バイト**を参照)。
- (2) リセット解除後、ウォッチドッグ・タイマはカウンタ動作を開始します。
- (3) カウンタ動作開始したあと、ユーザ・オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。
- (4) 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウィンドウ・オープン期間中に行ってください。ウィンドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
- (5) WDTEレジスタにACHを書き込まずに、オーバフロー時間を超えてしまった場合は、内部リセット信号を発生します。

また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) への書き込みだけは、ウィンドウ・オープン時間にかかわらず、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウンタ動作を開始します。

注意2. WDTEレジスタにACHを書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大filの4クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは、カウンタ値がオーバフローする直前まで有効です。

注意4. ユーザ・オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALT、STOP、およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタは0にクリアして、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

15.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、ユーザ・オプション・バイト (000C0H) のビット 3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に ACH を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表15-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 37.683 kHz (Max.) の場合)
0	0	0	2 ⁷ /f _{IL} (3.39 ms)
0	0	1	2 ⁸ /f _{IL} (6.79 ms)
0	1	0	2 ⁹ /f _{IL} (13.58 ms)
0	1	1	2 ¹⁰ /f _{IL} (27.17 ms)
1	0	0	2 ¹² /f _{IL} (108.69 ms)
1	0	1	2 ¹⁴ /f _{IL} (434.78 ms) 注
1	1	0	2 ¹⁵ /f _{IL} (869.56 ms) 注
1	1	1	2 ¹⁷ /f _{IL} (3478.26 ms) 注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアしたあと、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み (INTWDTI) が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクすることができます。

<使用条件>

- ・ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ウォッチドッグ・タイマのカウント値がオーバフロー時間で75%以上のときにWDTEレジスタ (FFFABH) にACHを書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0 (MK0L) のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウントをクリア
- ③ 80 μs以上ウエイト
- ④ 割り込み要求フラグ・レジスタ0 (IF0L) のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0 (MK0L) のWDTIMKビットを0にクリア

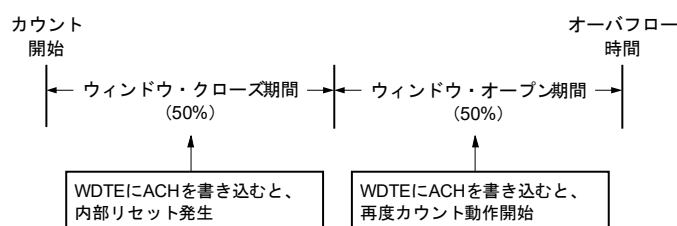
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

15.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、ユーザ・オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウィンドウの概要は次のとおりです。

- ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウィンドウ・クローズ期間中は、WDTEレジスタにACHを書き込んでも、異常検出され、内部リセットが発生します。

例 ウィンドウ・オープン期間が 50% の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間にかかわらず、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表15-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	1	50%
1	1	100%
上記以外		設定禁止

備考 オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定	
	50%	100%
ウィンドウ・クローズ時間	0 ~ 18.38 ms	なし
ウィンドウ・オープン時間	18.38 ~ 27.17 ms	0 ~ 27.17 ms

<ウィンドウ・オープン期間 50% のとき>

- オーバフロー時間 :
 $2^{10}/f_{IL} (\text{Max.}) = 2^{10}/37.683 \text{ kHz} = 27.17 \text{ ms}$
- ウィンドウ・クローズ時間 :
 $0 \sim 2^{10}/f_{IL} (\text{Min.}) \times (1 - 0.5) = 0 \sim 2^{10}/27.852 \text{ kHz} \times 0.5 = 0 \sim 18.38 \text{ ms}$
- ウィンドウ・オープン時間 :
 $2^{10}/f_{IL} (\text{Min.}) \times (1 - 0.5) \sim 2^{10}/f_{IL} (\text{Max.}) = 2^{10}/27.853 \text{ kHz} \times 0.5 \sim 2^{10}/37.683 \text{ kHz} = 18.38 \sim 27.17 \text{ ms}$

15.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

ユーザ・オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバーフロー時間の 75% + 1/4f_{IL} 到達時にインターバル割り込み (INTWDTI) を発生することができます。

表15-5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバーフロー時間の 75% + 1/4f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

備考 INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) にACHを書き込むまで）カウントを継続します。オーバーフロー時間までにACHが書き込まれない場合は、内部リセット信号が発生します。

第16章 A/Dコンバータ (ADC)

A/Dコンバータのアナログ入力チャネル数は、製品によって異なります。

	44ピン	48ピン	52, 64ピン	80, 100ピン
アナログ入力チャネル数	8チャネル (ANI0, ANI1, ANI16, ANI20-ANI24)	9チャネル (ANI0, ANI1, ANI16, ANI20-ANI25)	10チャネル (ANI0, ANI1, ANI16, ANI20-ANI26)	13チャネル (ANI0, ANI1, ANI16-ANI26)

16.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大13チャネルのA/Dコンバータ・アナログ入力 (ANI0, ANI1, ANI16-ANI26) を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2 (ADM2) のADTYP1, ADTYP0ビットにより、12ビット分解能と10ビット分解能と8ビット分解能を選択できます。A/Dコンバータには、次のような機能があります。

- 12ビット／10ビット／8ビット分解能A/D変換

ANI0, ANI1, ANI16-ANI26からアナログ入力を1チャネル選択し、12ビット／10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号 (INTAD) を発生します。

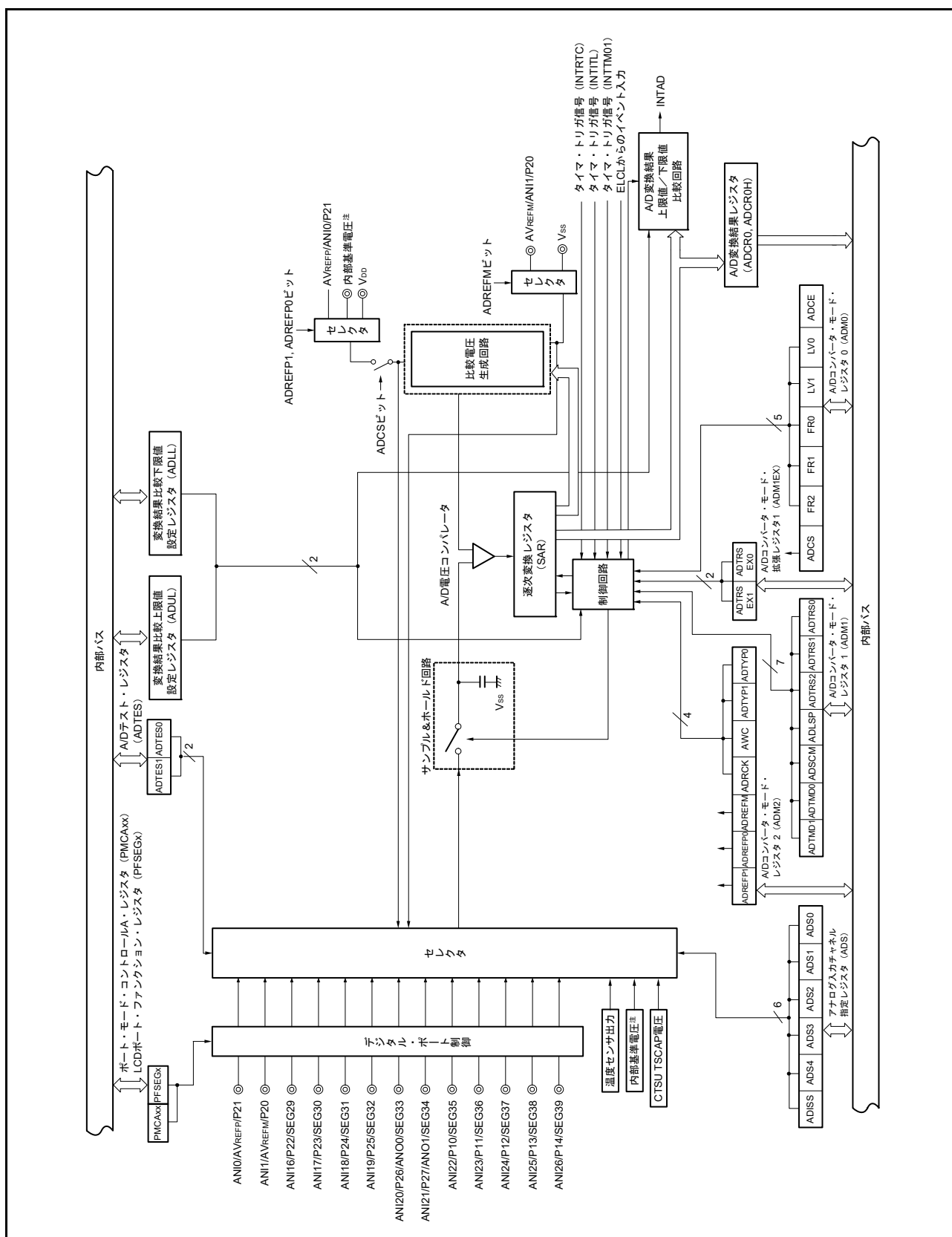
下記のモードの組み合わせにより、さまざまな A/D 変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ・ノーウェイト・モード	ソフトウェア操作でADCEビットに1を設定し、A/D電源安定待ち時間経過後にADCSビットに1を設定することにより、変換動作を開始します。
	ソフトウェア・トリガ・ウェイト・モード	変換停止状態のときに、ソフトウェア操作でADCSビットに1を設定することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。
	ハードウェア・トリガ・ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウェイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用するときは、ハードウェア・トリガ・ウェイト・モードを選択してください。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。

動作電圧モード注	サンプリング・クロック数	
標準1	43 fAD	アナログ入力源の出カインピーダンスに応じて、サンプリング・コンデンサに十分に充電されるサンプリング・クロック数に設定してください。
標準2	160 fAD	
低電圧1	53 fAD	
低電圧2	80 fAD	

注 アナログ入力チャンネル、VDD電圧、AVREFP電圧、トリガ・モード、fCLKにより、選択可能な動作モードが異なります。詳細は、表16-3 A/D変換時間の選択を参照してください。

図 16-1 A/Dコンバータのブロック図



注 内部基準電圧値は、第42章 電気的特性を参照してください。

備考 この図のアナログ入力端子は、100ピン製品の場合です。

16.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0, ANI1, ANI16-ANI26 端子

A/Dコンバータの13チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド (S&H) 回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AVREF$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AVREF$) より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、比較電圧生成回路の電圧タップが選択されます。

- ビット11 = 0 : ($1/4 AVREF$)
- ビット11 = 1 : ($3/4 AVREF$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

- アナログ入力電圧 $\geq$ 比較電圧生成回路の電圧タップ : ビット10 = 1
- アナログ入力電圧 $\leq$ 比較電圧生成回路の電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR0) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(6) 12ビット/10ビットA/D変換結果レジスタ (ADCR0)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、

12ビット分解能に設定している場合は、A/D変換結果を下位12ビットに保持します (上位4ビットは0に固定)。

10ビット分解能に設定している場合は、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCR0H)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(9) AVREFP 端子

外部から基準電圧 (AVREFP) を入力する端子です。

AVREFP を A/D コンバータの+側基準電圧として使用する場合は、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADREFP1 ビットに 0 を、ADREFP0 ビットに 1 を設定してください。

AVREFP と一側基準電圧 (AVREFM/VSS) 間にかかる電圧に基づいて、ANI16-ANI26 に入力されるアナログ信号をデジタル信号に変換します。

A/D コンバータの+側基準電圧には、AVREFP のほかに VDD と内部基準電圧を選択することが可能です。

(10) AVREFM 端子

外部から基準電圧 (AVREFM) を入力する端子です。AVREFM を A/D コンバータの一側基準電圧として使用する場合は、ADM2 レジスタの ADREFM ビットに 1 を設定してください。

A/D コンバータの一側基準電圧には、AVREFM のほかに VSS を選択することが可能です。

備考 AVREF : A/D コンバータの+側基準電圧。AVREFP、内部基準電圧、VDD から選択可能です。内部基準電圧値は、**第 42 章 電気的特性**を参照してください。

16.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・拡張レジスタ1 (ADM1EX)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 12ビット/10ビットA/D変換結果レジスタ (ADCR0)
- 8ビットA/D変換結果レジスタ (ADCR0H)
- アナログ入力チャネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

16.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用する場合は、必ず ADCEN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 16-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず 00H または 0000H が読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは00Hとなり、書き込みは無視されます（ポート・モード・レジスタ (PM1, PM2)、ポート・モード・コントロールA・レジスタ (PMCA1, PMCA2)、LCDポート・ファンクション・レジスタ (PFSEG4, PFSEG5) は除く）。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・拡張レジスタ1 (ADM1EX)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 12ビット／10ビットA/D変換結果レジスタ (ADCR0)
- ・ 8ビットA/D変換結果レジスタ (ADCR0H)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

16.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

A/D コンバータをリセットする場合は、ADCRES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 16 - 3 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H
リセット時: 00H
R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	IICA1RES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
ADCRES		A/Dコンバータのリセット制御						
0		A/Dコンバータのリセット解除						
1		A/Dコンバータはリセット状態 ・ A/Dコンバータで使用するSFRが初期化されます。						

注意 ビット7, 1には、必ず0を設定してください。

16.3.3 A/Dコンバータ・モード・レジスタ0 (ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-4 A/Dコンバータ・モード・レジスタ0 (ADM0) のフォーマット

アドレス : FFF30H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
ADM0	ADCS	0	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE
A/D変換動作の制御								
ADCS		A/D変換動作の制御						
0		変換動作停止 [読み出し時] 変換動作停止／待機状態						
1		変換動作許可 [読み出し時] ソフトウェア・トリガ・ノー・ウェイト・モード時：変換動作状態 ソフトウェア・トリガ・ウェイト・モード時：A/D電源安定待ち状態＋変換動作状態 ハードウェア・トリガ・ノー・ウェイト・モード時：変換動作許可状態 ハードウェア・トリガ・ウェイト・モード時：A/D電源安定待ち状態＋変換動作状態						
A/D電圧コンパレータの動作制御 ^{注2}								
ADCE		A/D電圧コンパレータの動作制御 ^{注2}						
0		A/D電圧コンパレータの動作停止						
1		A/D電圧コンパレータの動作許可						

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、表16-3 A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・ノーウェイト・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1μs + 変換クロック (fAD) の2クロックかかります。このため、ADCEビットに1を設定してから1μs + 変換クロック (fAD) の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。ADCE = 0の状態ではADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1μs + 変換クロック (fAD) の2クロック以上ウェイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ビット6には、必ず0を設定してください。

注意2. FR2-FR0, LV1, LV0ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。

注意4. ADCS = 0, ADCE = 0の状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止です。必ず16.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

注意5. 変換待機状態／変換動作状態からADCS = 0, ADCE = 0の変換停止状態にした場合は、次にADCE = 1またはADCS = 1を設定するまでに5μsウェイトしてください。なお、FR2-FR0, LV1, LV0ビットを変更する場合は、ADCS = 0, ADCE = 0に設定したあと、0.2μs経過後にFR2-FR0, LV1, LV0ビットを変更してください。

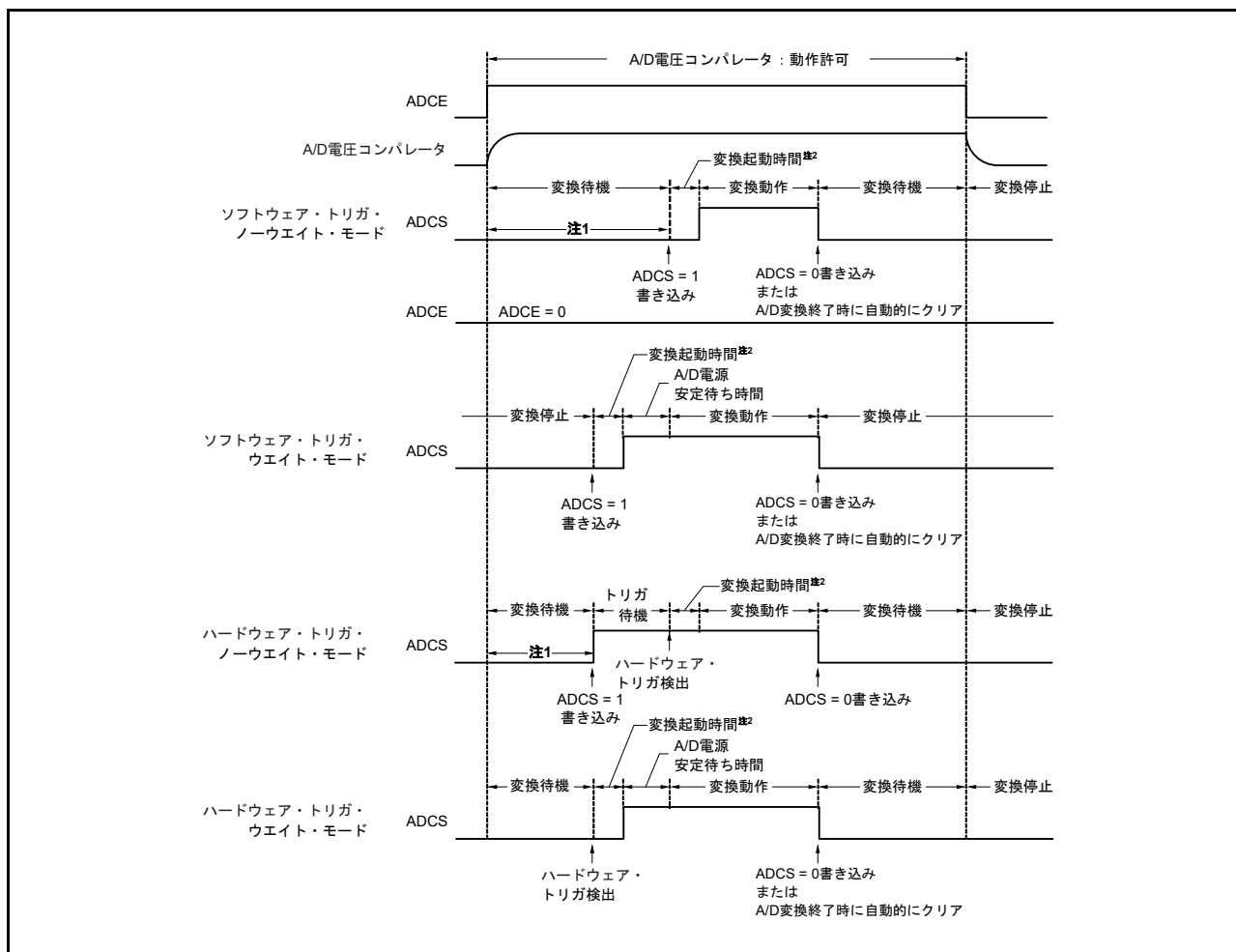
表16-1 ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	変換動作状態（ソフトウェア・トリガ・ウェイト・モード）または変換停止状態
1	1	変換動作状態（ソフトウェア・トリガ・ウェイト・モード以外）

表16-2 ADCSビットのセット／クリア条件

A/D変換モード		セット条件	クリア条件
ソフトウェア・トリガ・ ノーウェイト・モード	連続変換モード	ADCS = 1書き込み	• ADCS = 0書き込み
	ワンショット変換モード		• ADCS = 0書き込み • A/D変換終了時に自動的に0にクリア
ソフトウェア・トリガ・ ウェイト・モード	連続変換モード		• ADCS = 0書き込み
	ワンショット変換モード		• ADCS = 0書き込み • A/D変換終了時に自動的に0にクリア
ハードウェア・トリガ・ ノーウェイト・モード	連続変換モード		• ADCS = 0書き込み
	ワンショット変換モード		• ADCS = 0書き込み
ハードウェア・トリガ・ ウェイト・モード	連続変換モード	ハードウェア・トリガの 入力	• ADCS = 0書き込み
	ワンショット変換モード		• ADCS = 0書き込み • A/D変換終了時に自動的に0にクリア

図16-5 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s} + \text{変換クロック (fAD)}$ の2クロック以上必要です。

- 注2.** 変換起動には、最大で次の時間がかかります。ただし、連続変換モードの2回目以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

ADM1	ADM0			変換クロック (fAD)	起動時間 (fCLKクロック数)	
ADLSP	FR2	FR1	FR0		ソフトウェア・トリガ・ ノーウェイト・モード／ ハードウェア・トリガ・ ノーウェイト・モード	ソフトウェア・トリガ・ ウェイト・モード／ ハードウェア・トリガ・ ウェイト・モード
0	0	0	0	fCLK/32	31	1
0	0	0	1	fCLK/16	15	1
0	0	1	0	fCLK/8	7	1
0	0	1	1	fCLK/4	3	1
0	1	0	0	fCLK/2	1	1
0	1	0	1	fCLK	1	1
1	0	1	1	fCLK/4	3	1
1	1	0	0	fCLK/2	1	1
1	1	0	1	fCLK	1	1

- 注意1.** ハードウェア・トリガ・ウェイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。
- 注意2.** ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。
- 注意3.** ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。
- 注意4.** A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウェイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウェイト・モード時 : fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間
+ A/D変換時間 + 5 μs

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

表16-3 A/D変換時間の選択 (1/4)

(1) A/D電源安定待ち時間なし 標準モード1, 2

(ソフトウェア・トリガ・ノーウエイト・モード／ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始 遅延 クロック数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)					
(AD M1)	(ADM0)										2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
ADL SP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
0	0	0	0	0	0	標準 1	fCLK/32	1 fAD	64 fAD	1 fAD	2112/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	66 μs
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	1056/fCLK	設定禁止	設定禁止	設定禁止	66 μs	33 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	528/fCLK	設定禁止	設定禁止	66 μs	33 μs	16.5 μs
0	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	設定禁止	33 μs	16.5 μs	8.25 μs
0	1	0	0				fCLK/2	1 fAD	64 fAD	1 fAD	132/fCLK	設定禁止	設定禁止	16.5 μs	8.25 μs	4.125 μs
0	1	0	1				fCLK	1 fAD	64 fAD	1 fAD	66/fCLK	設定禁止	設定禁止	8.25 μs	4.125 μs	2.0625 μs
1	0	1	1				fCLK/4	1 fAD	64 fAD	1 fAD	264/fCLK	設定禁止	66 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	64 fAD	1 fAD	132/fCLK	設定禁止	33 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	64 fAD	1 fAD	66/fCLK	66 μs	16.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	0	標準 2	fCLK/32	1 fAD	181 fAD	1 fAD	5856/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	183 μs
0	0	0	1				fCLK/16	1 fAD	181 fAD	1 fAD	2928/fCLK	設定禁止	設定禁止	設定禁止	183 μs	91.5 μs
0	0	1	0				fCLK/8	1 fAD	181 fAD	1 fAD	1464/fCLK	設定禁止	設定禁止	183 μs	91.5 μs	45.75 μs
0	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	設定禁止	91.5 μs	45.75 μs	22.875 μs
0	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	設定禁止	45.75 μs	22.875 μs	11.4375 μs
0	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	設定禁止	設定禁止	22.875 μs	11.4375 μs	5.71875 μs
1	0	1	1				fCLK/4	1 fAD	181 fAD	1 fAD	732/fCLK	設定禁止	183 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	366/fCLK	設定禁止	91.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	183/fCLK	183 μs	45.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、42.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

表16-3 A/D変換時間の選択 (2/4)

(2) A/D電源安定待ち時間なし 低電圧モード1, 2

(ソフトウェア・トリガ・ノーウエイト・モード／ハードウェア・トリガ・ノーウエイト・モード)

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	変換開始 遅延 クロック数	変換 クロック数	割り込み 出力遅延 クロック数	A/D変換時間 (変換開始遅延時間 + 変換時間 + 割り込み出力遅延時間)						
(AD M1)	(ADM0)										1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 1 MHz	1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 4 MHz	1.8 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 8 MHz	2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 16 MHz	2.7 V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 32 MHz		
	ADL SP	FR2	FR1	FR0	LV1						LV0						
0	0	0	0	0	1	0	低電圧 1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs
0	0	0	1	fCLK/16				1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs	
0	0	1	0	fCLK/8				1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs	
0	0	1	1	fCLK/4				1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	設定禁止	41 μs	20.5 μs	10.25 μs	
0	1	0	0	fCLK/2				1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	設定禁止	20.5 μs	10.25 μs	5.125 μs	
0	1	0	1	fCLK				1 fAD	80 fAD	1 fAD	82/fCLK	設定禁止	設定禁止	10.25 μs	5.125 μs	設定禁止	
1	0	1	1	fCLK/4				1 fAD	80 fAD	1 fAD	328/fCLK	設定禁止	82 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0	fCLK/2				1 fAD	80 fAD	1 fAD	164/fCLK	設定禁止	41 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1	fCLK				1 fAD	80 fAD	1 fAD	82/fCLK	82 μs	20.5 μs	設定禁止	設定禁止	設定禁止	
上記以外								設定禁止									
0	0	0	0	1	1	低電圧 2	fCLK/32	1 fAD	107 fAD	1 fAD	3488/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	109 μs	
0	0	0	1				fCLK/16	1 fAD	107 fAD	1 fAD	1744/fCLK	設定禁止	設定禁止	設定禁止	109 μs	54.5 μs	
0	0	1	0				fCLK/8	1 fAD	107 fAD	1 fAD	872/fCLK	設定禁止	設定禁止	109 μs	54.5 μs	27.25 μs	
0	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	設定禁止	54.5 μs	27.25 μs	13.625 μs	
0	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	設定禁止	27.25 μs	13.625 μs	6.8125 μs	
0	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	設定禁止	設定禁止	13.625 μs	6.8125 μs	設定禁止	
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止	
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	218/fCLK	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止	
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止	
上記以外							設定禁止										

注意1. A/D変換時間は、42.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1～2 MHzとなります。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数

表16-3 A/D変換時間の選択 (3/4)

(3) A/D電源安定待ち時間あり 標準モード1, 2

(ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モード^{注1})

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)					
(ADM0)											2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V					
(AD M1)	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	
ADL SP																
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72 μs	36 μs
0	0	1	0				fCLK/8	6 fAD	64 fAD	4 fAD	592/fCLK	設定禁止	設定禁止	74 μs	37 μs	18.5 μs
0	0	1	1				fCLK/4	10 fAD	64 fAD	4 fAD	312/fCLK	設定禁止	設定禁止	39 μs	19.5 μs	9.75 μs
0	1	0	0				fCLK/2	18 fAD	64 fAD	4 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs
0	1	0	1				fCLK	34 fAD	64 fAD	4 fAD	102/fCLK	設定禁止	設定禁止	12.75 μs	6.375 μs	3.1875 μs
1	0	1	1				fCLK/4	4 fAD	64 fAD	4 fAD	288/fCLK	設定禁止	72 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	64 fAD	4 fAD	144/fCLK	設定禁止	36 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	64 fAD	4 fAD	74/fCLK	74 μs	18.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	0	0	標準2	fCLK/32	4 fAD	181 fAD	4 fAD	6048/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	189 μs
0	0	0	1				fCLK/16	4 fAD	181 fAD	4 fAD	3024/fCLK	設定禁止	設定禁止	設定禁止	189 μs	94.5 μs
0	0	1	0				fCLK/8	6 fAD	181 fAD	4 fAD	1528/fCLK	設定禁止	設定禁止	191 μs	95.5 μs	47.75 μs
0	0	1	1				fCLK/4	10 fAD	181 fAD	4 fAD	780/fCLK	設定禁止	設定禁止	97.5 μs	48.75 μs	24.375 μs
0	1	0	0				fCLK/2	18 fAD	181 fAD	4 fAD	406/fCLK	設定禁止	設定禁止	50.75 μs	25.375 μs	12.6875 μs
0	1	0	1				fCLK	34 fAD	181 fAD	4 fAD	219/fCLK	設定禁止	設定禁止	27.375 μs	13.6875 μs	6.84375 μs
1	0	1	1				fCLK/4	4 fAD	181 fAD	4 fAD	756/fCLK	設定禁止	189 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	181 fAD	4 fAD	378/fCLK	設定禁止	94.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191 μs	47.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1. 連続変換モードの2回目以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表16-3 A/D変換時間の選択参照)。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック(fAD)の3クロック分短くなります。

注意1. A/D変換時間は、42.6.1 A/Dコンバータ特性に示す変換クロック(fAD)と変換時間(tCONV)の範囲内で選択してください。なお、変換時間(tCONV)はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

表16-3 A/D変換時間の選択 (4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2

(ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モード^{注1)})

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1							A/D変換時間 (A/D電源安定待ち時間 + 変換時間 + 割り込み出力遅延時間)									
(AD M1)	(ADM0)					モード	変換 クロック (fAD)	A/D電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 ^{注2}		1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 1 MHz	1.6V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 4 MHz	1.8V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 8 MHz	2.4V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 16 MHz	2.7V ≤ AVREFP ≤ VDD ≤ 5.5 V fCLK = 32 MHz
ADL SP	FR2	FR1	FR0	LV1	LV0											
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs
0	0	0	1				fCLK/16	4 fAD	80 fAD	4 fAD	1408/fCLK	設定禁止	設定禁止	設定禁止	88 μs	44 μs
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	720/fCLK	設定禁止	設定禁止	90 μs	45 μs	22.5 μs
0	0	1	1				fCLK/4	10 fAD	80 fAD	4 fAD	376/fCLK	設定禁止	設定禁止	47 μs	23.5 μs	11.75 μs
0	1	0	0				fCLK/2	18 fAD	80 fAD	4 fAD	204/fCLK	設定禁止	設定禁止	25.5 μs	12.75 μs	6.375 μs
0	1	0	1				fCLK	34 fAD	80 fAD	4 fAD	118/fCLK	設定禁止	設定禁止	14.75 μs	7.375 μs	設定禁止
1	0	1	1				fCLK/4	4 fAD	80 fAD	4 fAD	352/fCLK	設定禁止	88 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	80 fAD	4 fAD	176/fCLK	設定禁止	44 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	80 fAD	4 fAD	90/fCLK	90 μs	22.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									
0	0	0	0	1	1	低電圧2	fCLK/32	4 fAD	107 fAD	4 fAD	3680/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	115 μs
0	0	0	1				fCLK/16	4 fAD	107 fAD	4 fAD	1840/fCLK	設定禁止	設定禁止	設定禁止	115 μs	57.5 μs
0	0	1	0				fCLK/8	6 fAD	107 fAD	4 fAD	936/fCLK	設定禁止	設定禁止	117 μs	58.5 μs	29.25 μs
0	0	1	1				fCLK/4	10 fAD	107 fAD	4 fAD	484/fCLK	設定禁止	設定禁止	60.5 μs	30.25 μs	15.125 μs
0	1	0	0				fCLK/2	18 fAD	107 fAD	4 fAD	258/fCLK	設定禁止	設定禁止	32.25 μs	16.125 μs	8.0625 μs
0	1	0	1				fCLK	34 fAD	107 fAD	4 fAD	145/fCLK	設定禁止	設定禁止	18.125 μs	9.0625 μs	設定禁止
1	0	1	1				fCLK/4	4 fAD	107 fAD	4 fAD	460/fCLK	設定禁止	115 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	230/fCLK	設定禁止	57.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117 μs	29.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1. 連続変換モードの2回目以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表16-3 A/D変換時間の選択 (2/4)参照)。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック (fAD) の3クロック分短くなります。

注意1. A/D変換時間は、42.6.1 A/Dコンバータ特性に示す変換クロック (fAD) と変換時間 (tCONV) の範囲内で選択してください。なお、変換時間 (tCONV) はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。なお、変換待機状態/変換動作状態から変換停止状態にした場合は、変換停止状態で0.2 μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

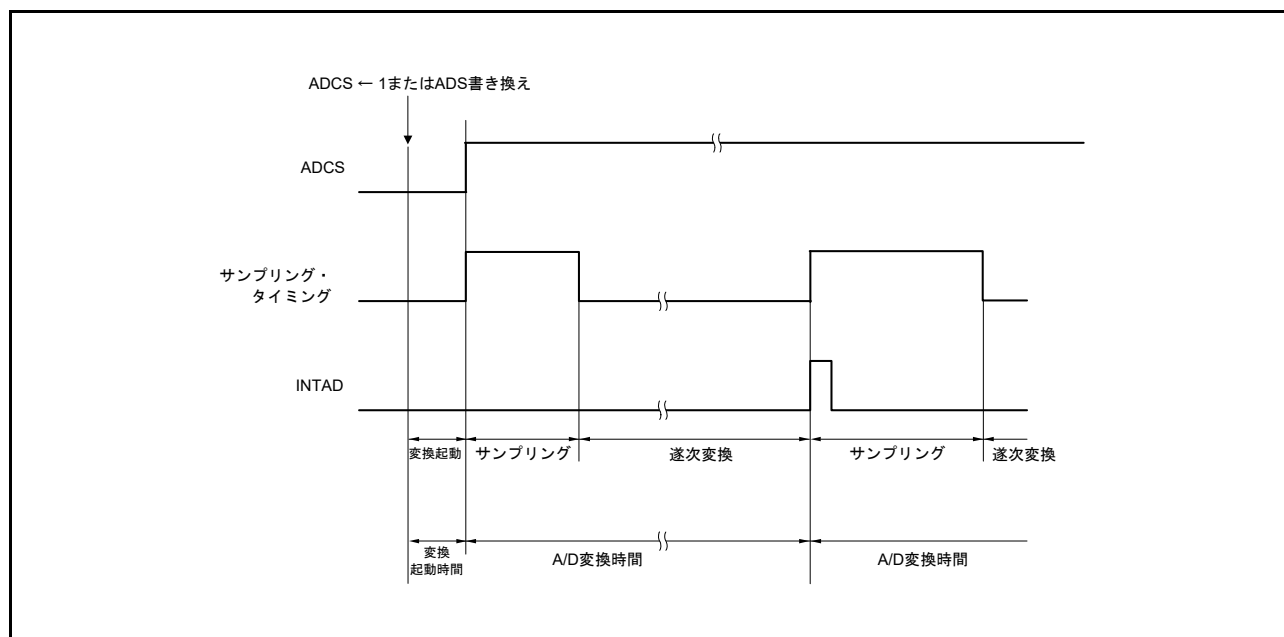
ソフトウェア・トリガ・ウェイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

注意5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注意6. +側の基準電圧に内部基準電圧を選択したときは、変換クロック (fAD) は1~2 MHzとなります。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

図16-6 A/DコンバータのサンプリングとA/D変換のタイミング
(ソフトウェア・トリガ・ノーウェイト・モードの場合)



16.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。ADM1EXレジスタのADTRSEX1-0ビットとの組み合わせで使用します。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	ADLSP	ADTRS2	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・ノーウェイト・モード、ソフトウェア・トリガ・ウェイト・モード
1	0	ハードウェア・トリガ・ノーウェイト・モード
1	1	ハードウェア・トリガ・ウェイト・モード

ADLSP	fCLKの入力周波数設定
0	$4\text{ MHz} < f_{\text{CLK}} \leq 32\text{ MHz}$
1	$1\text{ MHz} \leq f_{\text{CLK}} \leq 4\text{ MHz}$

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS2	ADTRS1	ADTRS0	ADTRS EX1	ADTRS EX0	ハードウェア・トリガ信号の選択
0	0	0	×	×	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	0	×	×	リアルタイム・クロック割り込み信号 (INTRTC)
0	1	1	×	×	32ビット・インターバル・タイマ出力によるA/Dコンバータへのトリガ信号 (ADITL0)
1	0	0	0	0	ELCLからのイベント入力
1	0	0	0	1	16ビット・タイマKB40 A/Dトリガ信号
1	0	0	1	0	16ビット・タイマKB41 A/Dトリガ信号
1	0	0	1	1	16ビット・タイマKB42 A/Dトリガ信号
上記以外					設定禁止

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

(注意、備考は次ページに続きます)

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D電源安定待ち時間
+ A/D変換時間 + 5 μ s

注意3. SNOOZEモード機能以外のモードにおいて、INTRTC, INTITL入力後最大 f_{CLK} の4クロック間は、次のINTRTC, INTITL入力がトリガとして有効になりません。

備考1. × : Don't care

備考2. f_{CLK} : CPU／周辺ハードウェア・クロック周波数

16.3.5 A/Dコンバータ・モード・拡張レジスタ1 (ADM1EX)

ハードウェア・トリガ信号を設定するレジスタです。ADM1レジスタのADTRS2-ADTRS0ビットとの組み合わせで使用します。

ADM1EXレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-8 A/Dコンバータ・モード・拡張レジスタ1 (ADM1EX) のフォーマット

アドレス : F029EH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADM1EX	0	0	0	0	0	0	ADTRSEX1	ADTRSEX0

ADTRS 2	ADTRS 1	ADTRS 0	ADTRS EX1	ADTRS EX0	ハードウェア・トリガ信号の選択
0	0	0	×	×	タイマ・アレイ・ユニット0のチャンネル1のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)
0	1	0	×	×	リアルタイム・クロック割り込み信号 (INTRTC)
0	1	1	×	×	32ビット・インターバル・タイマ出力によるA/Dコンバータへのトリガ信号 (ADITL0)
1	0	0	0	0	ELCLからのイベント入力
1	0	0	0	1	16ビット・タイマKB40 A/Dトリガ信号
1	0	0	1	0	16ビット・タイマKB41 A/Dトリガ信号
1	0	0	1	1	16ビット・タイマKB42 A/Dトリガ信号
上記以外					設定禁止

備考 × : Don't care

16.3.6 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択、A/D変換結果の上限値/下限値のチェック、分解能の選択、およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-9 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス : F0010H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧の選択
0	0	VDDから供給
0	1	P21/ANI0/AVREFPから供給
1	0	内部基準電圧 ^{※1} から供給
1	1	ディスチャージ

・ ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。
 ① ADCE = 0に設定
 ② 0.2 μ s以上をウェイト
 ③ ADREFP1, ADREFP0 = 11Bに設定
 ADREFP1, ADREFP0 = 10Bに変更する場合のみ
 ④ 基準電圧ディスチャージ時間 : 1 μ s
 ADREFP1, ADREFP0 = 10Bに変更する場合のみ
 ⑤ ADREFP1, ADREFP0ビットの値を変更
 ⑥ 基準電圧安定待ち時間A
 ⑦ ADCE = 1に設定
 ⑧ 基準電圧安定待ち時間B

 基準電圧安定待ち時間A, Bについて
 ADREFP1, ADREFP0 = 10Bに変更する場合 : A = 5 μ s, B = 1 μ s + 変換クロック (fAD) の2クロック
 ADREFP1, ADREFP0 = 00Bまたは01Bに変更する場合 : A = 4.8 μ s, B = 1 μ s + 変換クロック (fAD) の2クロック
 ただし、基準電圧をはじめて設定する場合は
 A = 4.8 μ sは不要です。

 ⑧のウェイトのあとに、A/D変換開始してください。
 ・ ADREFP1, ADREFP0 = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧^{※1}をA/D変換することはできません。
 必ずADISS = 0としてA/D変換を行ってください。

ADREFM	A/Dコンバータの-側の基準電圧の選択
0	VSSから供給
1	P20/ANI1/AVREFM/EI20/(TI00)/(INTP7)/(PCLBUZ1)から供給

図16-9 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (2/2)

ADRCK	変換結果上限/下限値チェック
0	ADLL レジスタ ≤ ADCR0 レジスタ ≤ ADUL レジスタ (AREA1) のとき割り込み信号 (INTAD) が発生。
1	ADCR0 レジスタ < ADLL レジスタ (AREA2)、ADUL レジスタ < ADCR0 レジスタ (AREA3) のとき割り込み信号 (INTAD) が発生。
図16-10にAREA1-AEA3の割り込み信号 (INTAD) 発生範囲を示します。	

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する
STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います (SNOOZEモード)。 - SNOOZEモード機能は、CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 - SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウェイト・モード時はAWC = 0、ハードウェア・トリガ・ウェイト・モード時はAWC = 1に設定してください。 - ソフトウェア・トリガ・ノーウェイト・モード、およびハードウェア・トリガ・ノーウェイト・モードでのSNOOZEモード機能は使用禁止です。 - ハードウェア・トリガ・ウェイト・モードの連続変換モードでのSNOOZEモード機能は使用禁止です。 - SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^{注2} + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + fCLKの2クロック + 5 μs」以上の間隔を空けて設定してください。 - SNOOZEモード機能を使用する場合でも、通常動作時はAWCビットに0を設定し、STOPモードへ移行する直前にAWCビットを1に変更してください。 またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。 AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。	

ADTYP1	ADTYP0	A/D変換分解能の選択
0	0	10ビット分解能
0	1	8ビット分解能
1	0	12ビット分解能
1	1	設定禁止

注1. 内部基準電圧値は、第42章 電気的特性を参照してください。

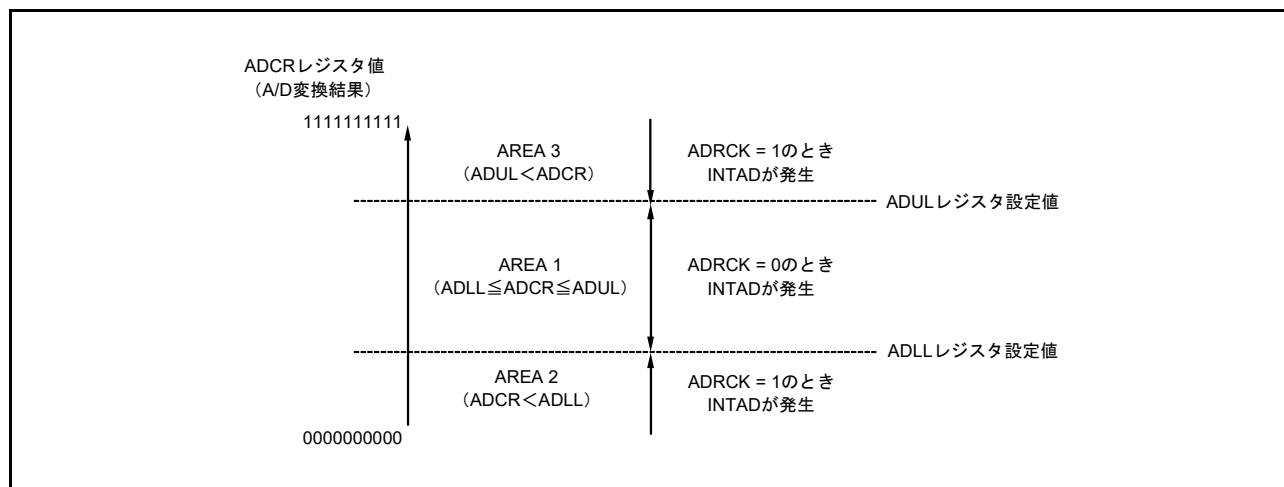
注2. 27.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意1. ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. STOPモードまたはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFP1 = 1に設定しないでください。内部基準電圧 (ADREFP1, ADREFP0 = 10B) 選択時は、42.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF) の電流値が加算されます。

注意3. AVREFPとAVREFMを使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタ (PMxx) は入力モードに設定してください。

図16-10 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR0, ADCR0Hレジスタに格納されません。

16.3.7 12ビット／10ビットA/D変換結果レジスタ (ADCR0)

A/D変換結果を保持する16ビットのレジスタです。

12ビット分解能A/D変換を選択時、上位4ビットは0固定です。

10ビット分解能A/D変換を選択時、下位6ビットは0固定です。

A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

ADCR0レジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

変換結果がADCRレジスタおよびADCR0レジスタに格納されます注。

注 A/D変換結果の値がA/D変換結果比較機能 (ADM2.ADRCKビット、ADUL, ADLLレジスタで設定 (図16-10参照)) で設定した値の範囲外の場合は格納されません。

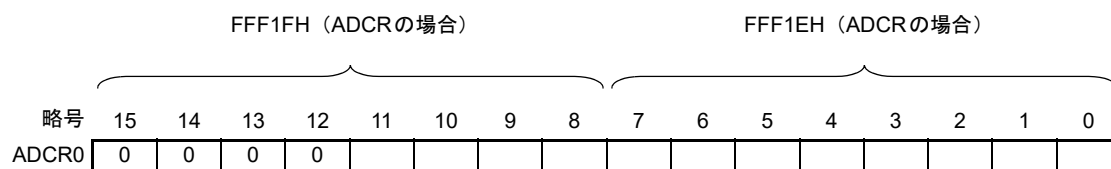
図16-11 12ビット／10ビットA/D変換結果レジスタ (ADCR0) のフォーマット

アドレス : FFF1FH, FFF1EH (ADCR)注, F0021H, F0020H (ADCR0)注

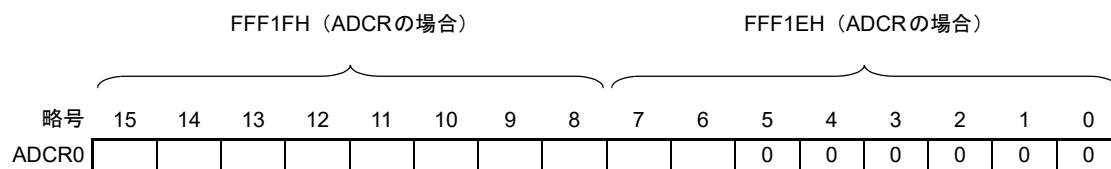
リセット時: 0000H

R/W属性 : R

- 12ビット分解能A/D変換を選択時



- 10ビット分解能A/D変換を選択時



注 ADCR0レジスタにはADCRレジスタの内容が格納されます。

注意1. 8ビット分解能A/D変換を選択時 (ADM2.ADTYP1, ADM2.ADTYP0 = 01B) にADCR0レジスタを読み出した場合、上位8ビット以外のビットは0が読み出されます。

注意2. ADCR0レジスタへ16ビット・アクセスした場合、10ビット分解能A/D変換選択時は変換結果上位10ビットがADCR0レジスタのビット15から順に読み出せます。

12ビット分解能A/D変換選択時は変換結果上位12ビットがADCR0レジスタのビット11から順に読み出せます。

注意3. A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロールA・レジスタ (PMCA1, PMCA2)、LCDポート・ファンクション・レジスタ (PFSEG4, PFSEG5) に対して書き込み動作を行ったとき、ADCR0レジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PFSEGxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

16.3.8 8ビットA/D変換結果レジスタ (ADCR0H)

A/D変換結果を保持する8ビットのレジスタです。12ビット分解能の上位8ビットを格納します^注。

ADCR0Hレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能 (ADM2.ADRCKビット、ADUL, ADLLレジスタで設定 (図16-10参照)) で設定した値の範囲外の場合は格納されません。

図16-12 8ビットA/D変換結果レジスタ (ADCR0H) のフォーマット

アドレス : FFF1FH (ADCRH)^注, F0021H (ADCR0H)^注

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
ADCR0H								

注 ADCR0HレジスタにはADCRHレジスタの内容が格納されます。

注意 A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロールA・レジスタ (PMCA1, PMCA2)、LCDポート・ファンクション・レジスタ (PFSEG4, PFSEG5) に対して書き込み動作を行ったとき、ADCR0Hレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PFSEGxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

16.3.9 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-13 アナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P21/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P20/ANI1/AVREFM 端子
0	1	0	0	0	0	ANI16	P22/ANI16 端子
0	1	0	0	0	1	ANI17	P23/ANI17 端子注1
0	1	0	0	1	0	ANI18	P24/ANI18 端子注1
0	1	0	0	1	1	ANI19	P25/ANI19 端子注1
0	1	0	1	0	0	ANI20	P26/ANI20 端子
0	1	0	1	0	1	ANI21	P27/ANI21 端子
0	1	0	1	1	0	ANI22	P10/ANI22 端子
0	1	0	1	1	1	ANI23	P11/ANI23 端子
0	1	1	0	0	0	ANI24	P12/ANI24 端子
0	1	1	0	0	1	ANI25	P13/ANI25 端子注2
0	1	1	0	1	0	ANI26	P14/ANI26 端子注3
0	1	1	1	1	0	—	CTSUのTSCAP電圧
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧注4
上記以外						設定禁止	

注1. 80, 100ピン製品のみ

注2. 48～100ピン製品のみ

注3. 52～100ピン製品のみ

注4. 内部基準電圧値は、第42章 電気的特性を参照してください。

注意1. ビット6, 5には、必ず0を設定してください。

注意2. PMCAxx, PFSEGxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ (PM1, PM2) で入力モードに選択してください。

注意3. ポート・モード・コントロールA・レジスタ (PMCA1, PMCA2)、LCDポート・ファンクション・レジスタ (PFSEG4, PFSEG5) でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

(注意は次ページに続きます)

- 注意4. ADISSビットを書き換える場合は、必ず変換停止状態 ($ADCS = 0$, $ADCE = 0$) のときに行ってください。
- 注意5. $AVREFP$ をA/Dコンバータの+側の基準電圧として使用している場合、 $ANI1$ をA/D変換チャネルとして選択しないでください。
- 注意6. $AVREFM$ をA/Dコンバータの-側の基準電圧として使用している場合、 $ANI0$ をA/D変換チャネルとして選択しないでください。
- 注意7. $ADISS = 1$ を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、 $ADISS = 1$ に設定後、1回目の変換結果は使用できません。詳細設定フローは、16.7.5 温度センサ出力電圧／内部基準電圧／ $CTSUTSCAP$ 電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウェイト・モード、ワンショット変換モード時) を参照してください。
内部基準電圧値は、第42章 電気的特性を参照してください。
- 注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、 $ADISS = 1$ に設定しないでください。 $ADISS = 1$ のときは、42.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (I_{ADREF}) の電流値が加算されます。
- 注意9. $ADISS = 1$ に設定した場合、ハードウェア・トリガ・ウェイト・モードかつワンショット変換モードは使用できません。
- 注意10. $ADISS = 1$ に設定した場合、ソフトウェア・トリガ・ウェイト・モードかつワンショット変換モードは使用できません。

16.3.10 変換結果比較上限値設定レジスタ (ADUL)

A/D 変換結果に対し、上限値をチェックするために設定するレジスタです。

A/D 変換結果と ADUL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADRCK ビットの設定範囲 (図 16 - 10 ADRCK ビットによる割り込み信号発生範囲参照) で割り込み信号 (INTAD) の発生を制御します。

ADUL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図 16 - 14 変換結果比較上限値設定レジスタ (ADUL) のフォーマット

アドレス : F0011H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

注意1. 10ビット分解能A/D変換選択時はA/D変換結果レジスタのADCR0[15:8]ビットを、12ビット分解能A/D変換選択時はA/D変換結果レジスタのADCR0[11:4]ビットを、ADULレジスタと比較します。

注意2. ADULレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意3. ADULレジスタは、ADUL > ADLL になるように設定を行ってください。

16.3.11 変換結果比較下限値設定レジスタ (ADLL)

A/D 変換結果に対し、下限値をチェックするために設定するレジスタです。

A/D 変換結果と ADLL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2 (ADM2) の ADRCK ビットの設定範囲 (図 16 - 10 ADRCK ビットによる割り込み信号発生範囲参照) で割り込み信号 (INTAD) の発生を制御します。

ADLL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 16 - 15 変換結果比較下限値設定レジスタ (ADLL) のフォーマット

アドレス : F0012H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時はA/D変換結果レジスタのADCR0[15:8]ビットを、12ビット分解能A/D変換選択時はA/D変換結果レジスタのADCR0[11:4]ビットを、ADLLレジスタと比較します。

注意2. ADLLレジスタの書き換えは、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意3. ADLLレジスタは、ADUL > ADLL になるように設定を行ってください。

16.3.12 A/Dテスト・レジスタ (ADTES)

A/D 変換対象に A/D コンバータの+側の基準電圧、一側の基準電圧、アナログ入力チャネル (ANlxx) /温度センサ出力電圧/内部基準電圧注/ CTSU TSCAP 電圧を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D 変換対象に一側の基準電圧を選択
- フルスケールを測定するときは、A/D 変換対象に+側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注 内部基準電圧値は、**第42章 電気的特性**を参照してください。

図16 - 16 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D 変換対象
0	0	ANlxx/温度センサ出力電圧/内部基準電圧注/ CTSU TSCAP 電圧 (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	一側の基準電圧 (ADM2レジスタのADREFMビットで選択)
1	1	+側の基準電圧 (ADM2レジスタのADREFP1, ADREFP0ビットで選択)
上記以外		設定禁止

注 内部基準電圧値は、**第42章 電気的特性**を参照してください。

注意 ビット7-2には、必ず0を設定してください。

16.3.13 A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、**4.3.1 ポート・モード・レジスタ (PMxx)**、**4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)**、**4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx)**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

16.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド (S&H) 回路でサンプリングします。
- ② 一定時間サンプリングを行うと S&H 回路はホールド状態となり、サンプリングされた電圧を A/D 変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 11 をセットし、タップ・セクタは直列抵抗ストリングの電圧タップを $(1/2) \times AVREF$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力 $(1/2) \times AVREF$ よりも大きければ、SAR レジスタの MSB ビットをセットしたままです。また、 $(1/2) \times AVREF$ よりも小さければ、MSB ビットはリセットします。
- ⑤ 次に SAR レジスタのビット 10 が自動的にセットされ、次の比較に移ります。ここではすでに比較済みのビット 11 の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ビット 11 = 1 : $(3/4) \times AVREF$
- ビット 11 = 0 : $(1/4) \times AVREF$

この電圧タップとサンプリングされた電圧を比較し、その結果で SAR レジスタのビット 10 を次のように操作します。

- サンプリングされた電圧 $\geq$ 電圧タップ : ビット 10 = 1
- サンプリングされた電圧 $<$ 電圧タップ : ビット 10 = 0

- ⑥ このような比較を SAR レジスタのビット 0 まで続けます。
- ⑦ 12 ビットの比較が終了したとき、SAR レジスタには一連の比較した結果が残り、その値が A/D 変換結果レジスタ (ADCR0, ADCR0H) に転送され、ラッチします^{注1}。

同時に、A/D変換終了割り込み要求信号 (INTAD) を発生させることができます^{注1}。

- ⑧ 以降①から⑦までの動作を ADCS = 0 になるまで繰り返します^{注2}。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D 変換結果の値が A/D 変換結果比較機能 (ADM2.ADRCK ビット、ADUL, ADLL レジスタで設定 (図 16 - 10 ADRCK ビットによる割り込み信号発生範囲参照)) で設定した値の範囲外の場合、A/D 変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR0, ADCR0H レジスタに結果は格納されません。

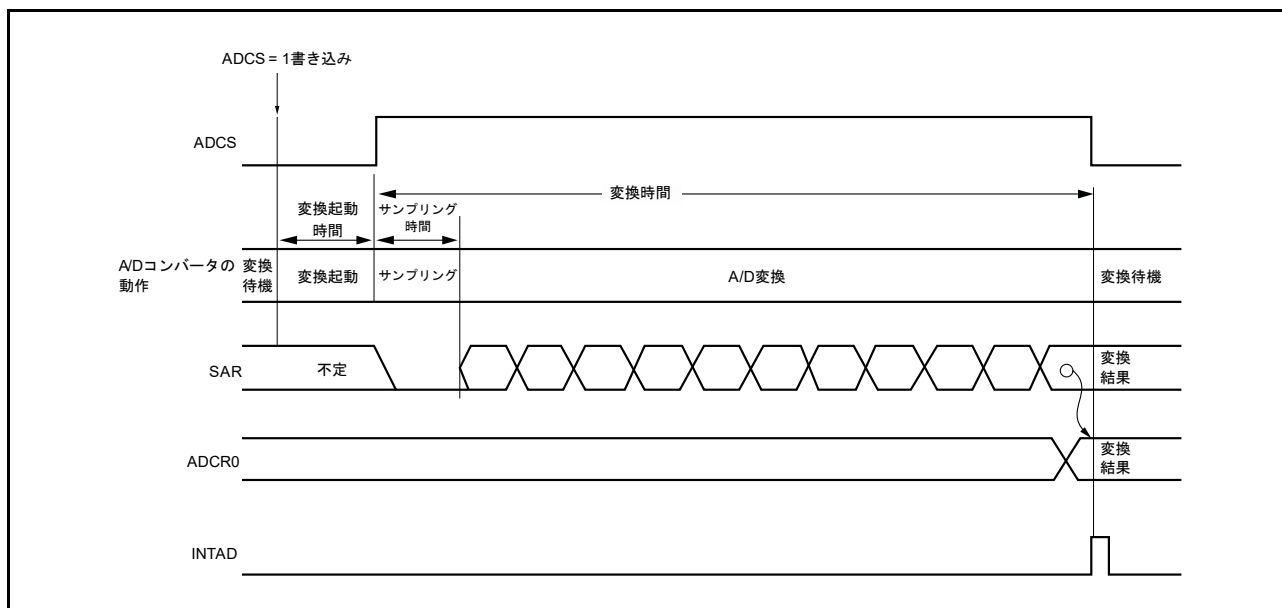
注2. 連続変換モード時は、ADCS フラグは自動的に 0 にクリアされません。また、ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時でも、ADCS フラグは、自動的に 0 にクリアされません。1 のまま保持されます。

備考1. A/D 変換結果レジスタは 2 種類あります。

- ADCR0 レジスタ (16 ビット) : 12 ビット / 10 ビットの A/D 変換値を格納します。
- ADCR0H レジスタ (8 ビット) : 8 ビットの A/D 変換値を格納します。

備考2. AVREF : A/D コンバータの+側基準電圧。AVREFP、内部基準電圧、VDD から選択可能です。内部基準電圧値は、第 42 章 電気的特性を参照してください。

図 16 - 17 A/Dコンバータの変換動作 (ソフトウェア・トリガ・ノーウエイト・モードの場合)



ワンショット変換モード時の A/D 変換動作は、A/D 変換終了後に ADCS ビットが自動的に 0 にクリアされます。

連続変換モード時の A/D 変換動作は、ソフトウェアにより A/D コンバータ・モード・レジスタ 0 (ADM0) の ADCS ビットを 0 にクリアするまで連続的に行われます。

A/D 変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

A/D 変換結果レジスタ (ADCR0, ADCR0H) は、リセット信号の発生により、0000H または 00H となります。

16.5 入力電圧と変換結果

アナログ入力端子 (ANI0, ANI1, ANI16-ANI26) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (12 ビット / 10 ビット A/D 変換結果レジスタ (ADCR0)) には次式に示す関係があります。

$$\text{ADCR0} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 4096 + 0.5 \right)$$

または

$$(\text{ADCR0} - 0.5) \times \frac{V_{\text{REF}}}{4096} \leq V_{\text{AIN}} < (\text{ADCR0} + 0.5) \times \frac{V_{\text{REF}}}{4096}$$

INT (): () 内の値の整数部を返す関数

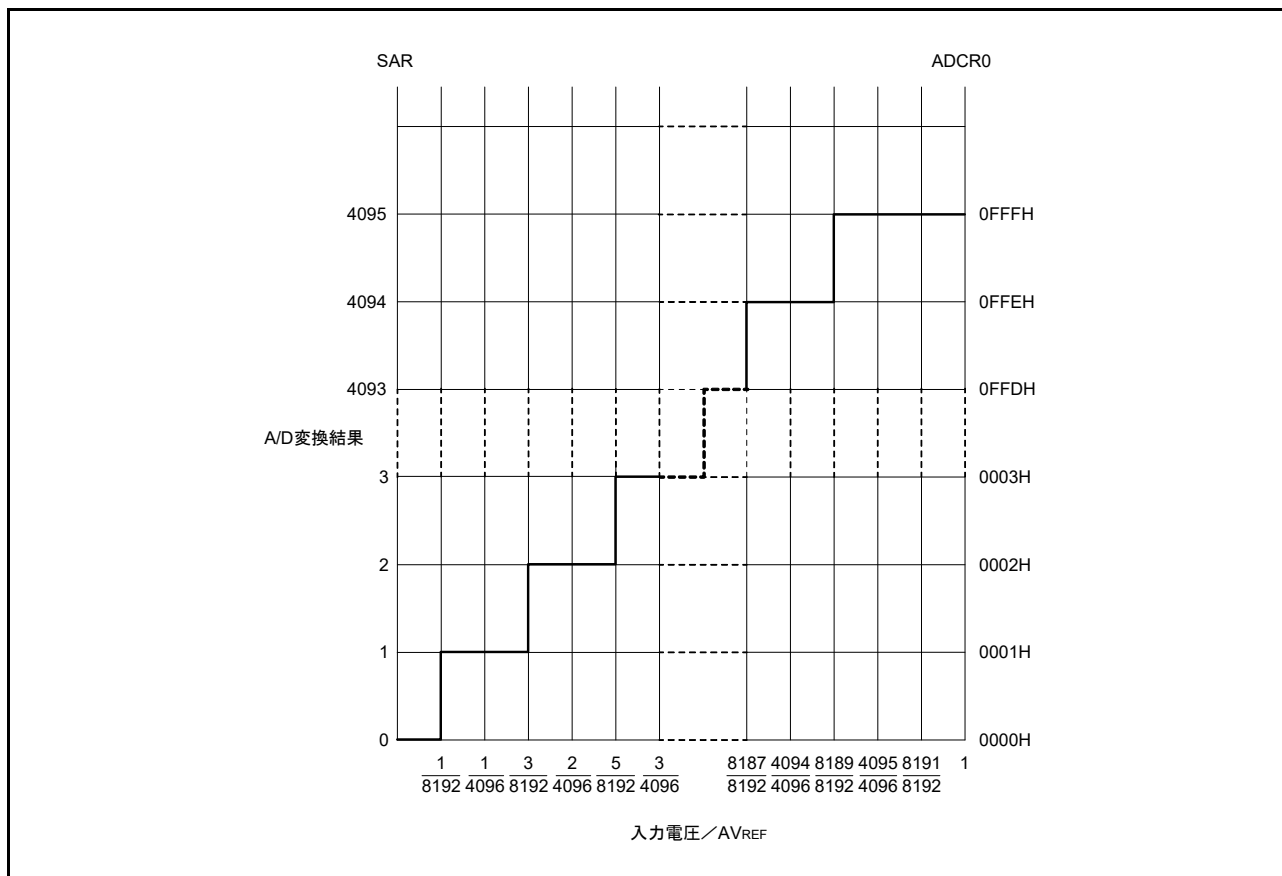
V_{AIN} : アナログ入力電圧

V_{REF} : V_{REF} 端子電圧

ADCR0 : 12 ビット / 10 ビット A/D 変換結果レジスタ (ADCR0) の値

図 16 - 18 にアナログ入力電圧と A/D 変換結果の関係を示します。

図 16 - 18 アナログ入力電圧と A/D 変換結果の関係



備考 V_{REF} : A/Dコンバータの+側基準電圧。V_{REFP}、内部基準電圧、V_{DD}から選択可能です。内部基準電圧値は、**第42章 電氣的特性**を参照してください。

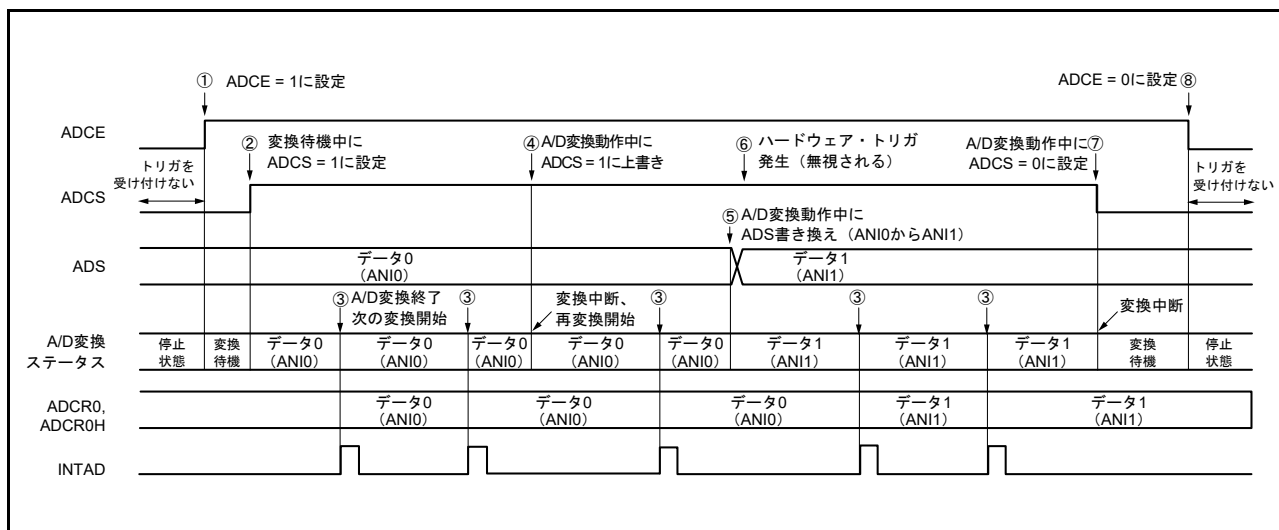
16.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を **16.7 A/Dコンバータの設定フロー・チャート** に示します。

16.6.1 ソフトウェア・トリガ・ノーウエイト・モード (連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 ($1\mu\text{s} + \text{変換クロック (f}_{\text{AD}})$ の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。

図16-19 ソフトウェア・トリガ・ノーウエイト・モード (連続変換モード) 動作タイミング例

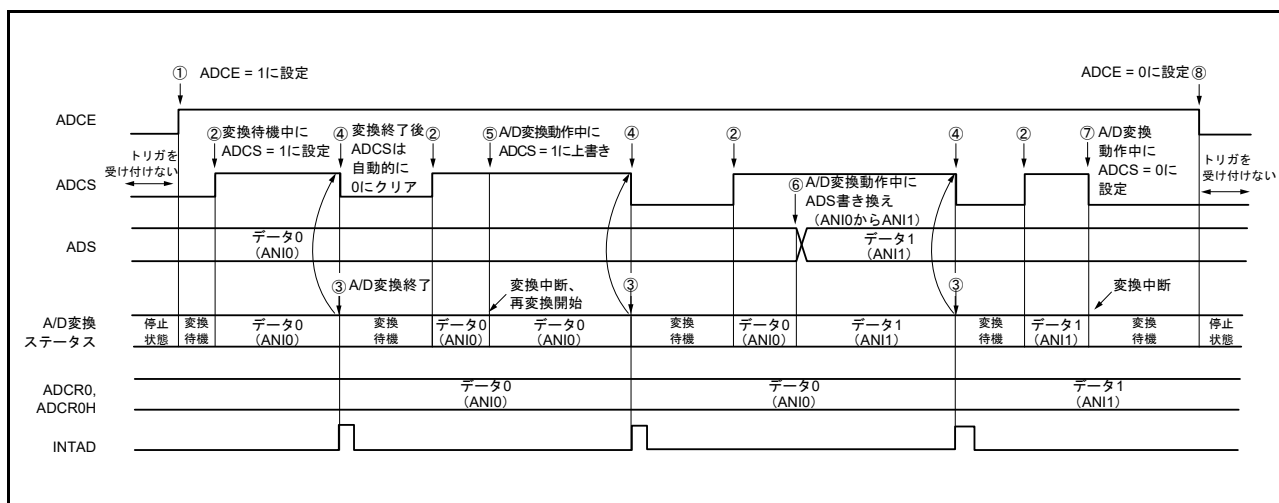


注意 変換動作中に上記④、⑤を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4) 参照)

16.6.2 ソフトウェア・トリガ・ノーウェイト・モード (ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 ($1\mu\text{s} + \text{変換クロック} (f_{\text{AD}})$ の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH, および ADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

図16-20 ソフトウェア・トリガ・ノーウェイト・モード (ワンショット変換モード) 動作タイミング例

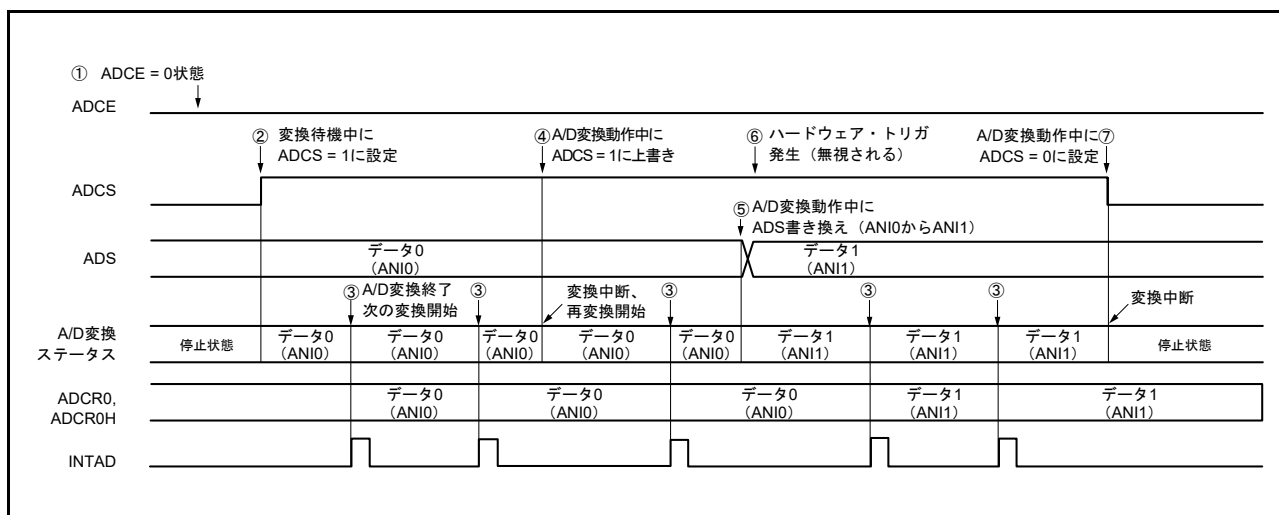


注意 変換動作中に上記⑤、⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4)参照)

16.6.3 ソフトウェア・トリガ・ウェイト・モード (連続変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットが0 (停止状態) であることが、ソフトウェア・トリガ・ウェイト・モードへの移行条件になります。
- ② 停止状態で、ADCSビットに1を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います (ソフトウェア・トリガ・ウェイト・モード)。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。

図16-21 ソフトウェア・トリガ・ウェイト・モード (連続変換モード) 動作タイミング例

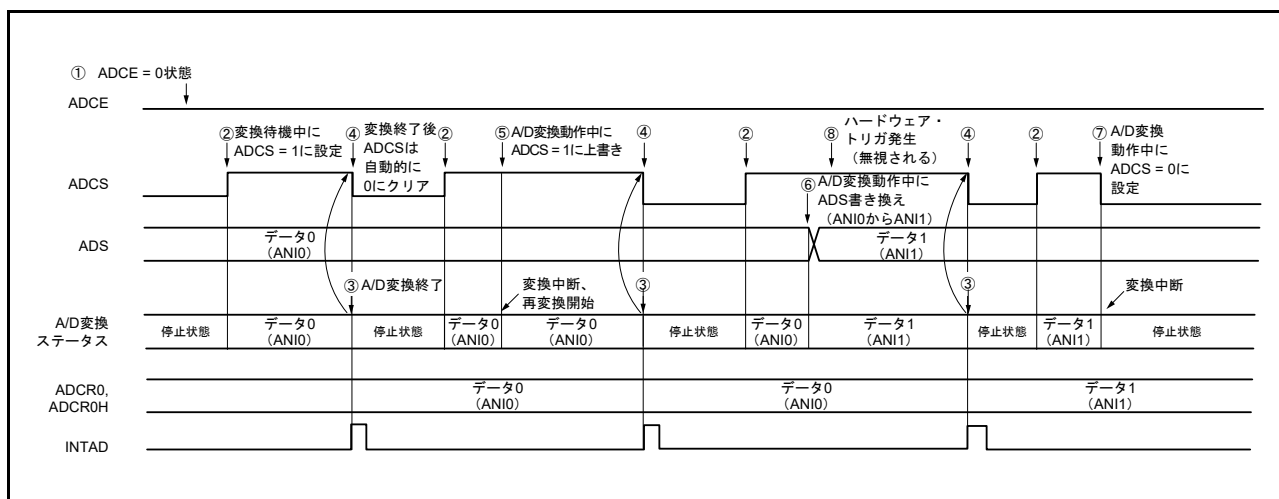


注意 変換動作中に上記④、⑤を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4)参照)

16.6.4 ソフトウェア・トリガ・ウェイト・モード (ワンショット変換モード)

- ① A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットが0 (停止状態) であることが、ソフトウェア・トリガ・ウェイト・モードへの移行条件になります。
- ② 停止状態で、ADCSビットに1を設定することにより、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います (ソフトウェア・トリガ・ウェイト・モード)。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、A/Dコンバータは停止状態になります。
- ⑧ 変換動作中にハードウェア・トリガが入力された場合、そのトリガは受け付けません。

図16-22 ソフトウェア・トリガ・ウェイト・モード (ワンショット変換モード) 動作タイミング例



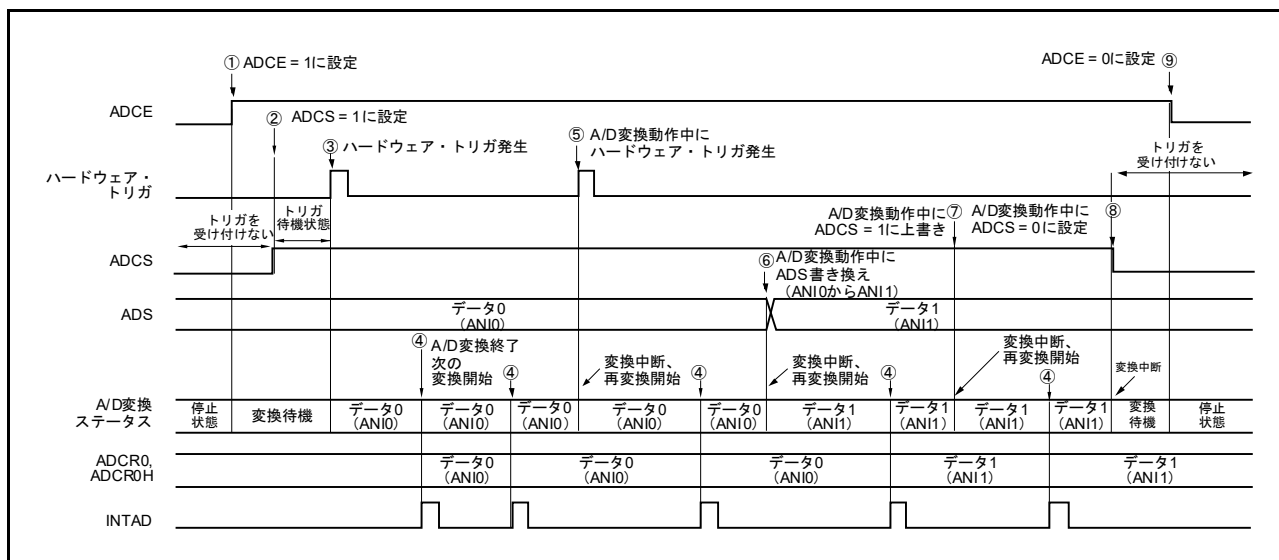
注意1. 変換動作中に上記⑤、⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4)参照)

注意2. ソフトウェア・トリガ・ウェイト・モード (ワンショット変換モード) では、ADISS = 1の設定 (入力ソース = 温度センサ出力電圧、内部基準電圧) は使用できません。

16.6.5 ハードウェア・トリガ・ノーウエイト・モード (連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 ($1\mu\text{s} + \text{変換クロック (f}_{\text{AD}}\text{) の2クロック}$) をカウント後、ADM0レジスタのADCSビットに1を設定することにより、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCSビットに1を設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図16-23 ハードウェア・トリガ・ノーウエイト・モード (連続変換モード) 動作タイミング例

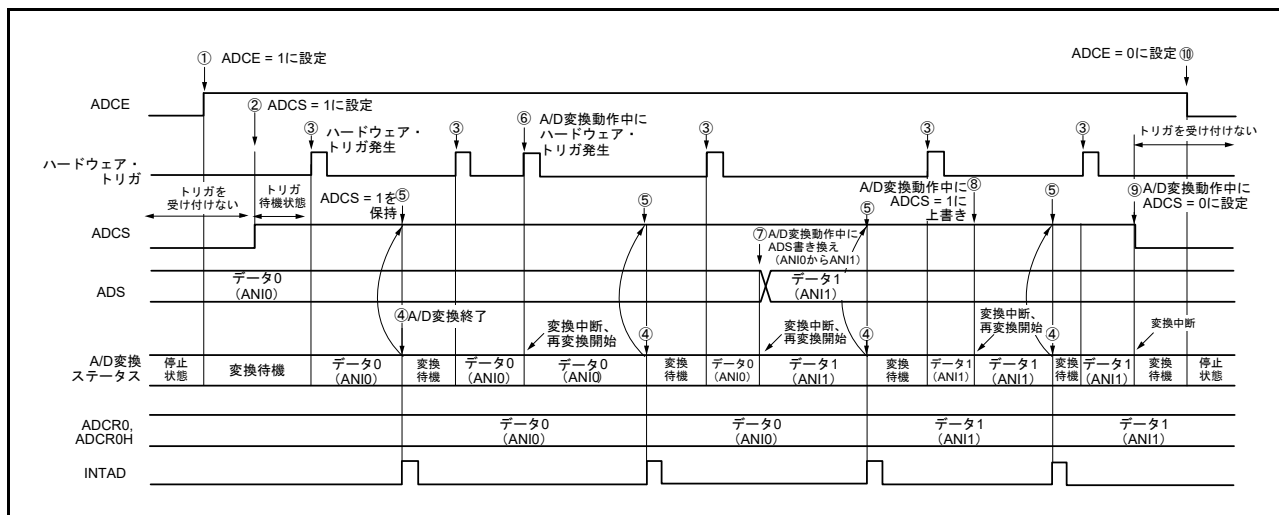


注意 変換動作中に上記⑤～⑦を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4) 参照)

16.6.6 ハードウェア・トリガ・ノーウエイト・モード (ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間 ($1\mu\text{s} + \text{変換クロック} (f_{\text{AD}})$ の2クロック) をカウント後、ADM0レジスタのADCSビットに1を設定することにより、ハードウェア・トリガ待機状態となります (この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCSビットに1を設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図16-24 ハードウェア・トリガ・ノーウエイト・モード (ワンショット変換モード) 動作タイミング例

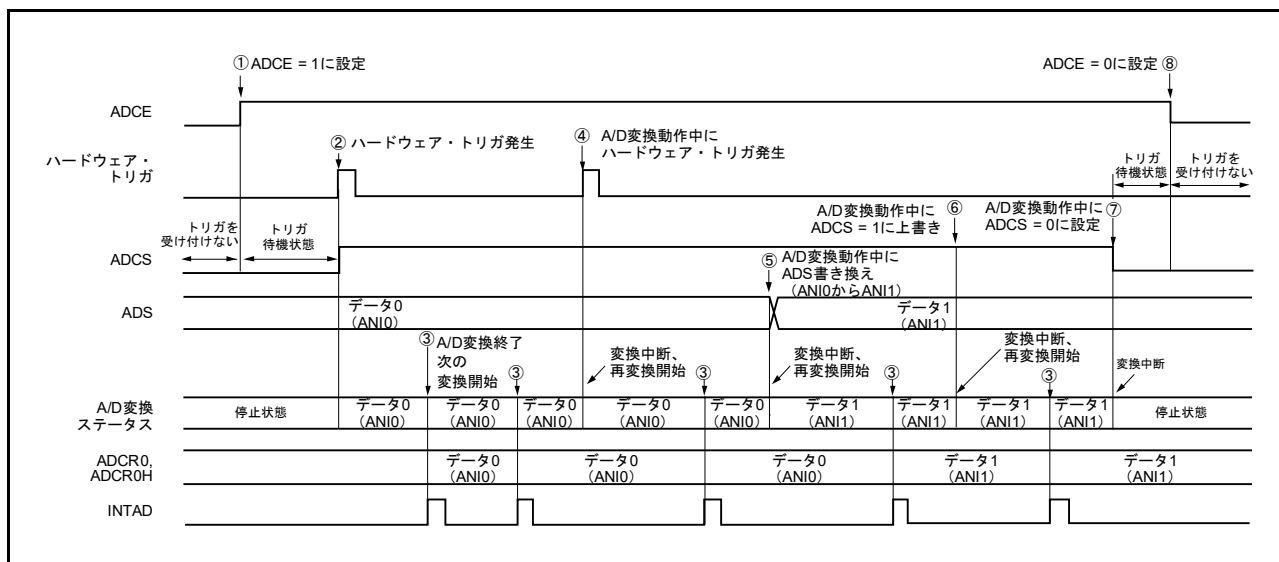


注意 変換動作中に上記⑥～⑧を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4) 参照)

16.6.7 ハードウェア・トリガ・ウェイト・モード (連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力にあわせて、自動的にADM0レジスタのADCSビットが1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH, および ADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します (このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。
- ⑧ ハードウェア・トリガ待機状態中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。ADCE = 0 のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図16-25 ハードウェア・トリガ・ウェイト・モード (連続変換モード) 動作タイミング例

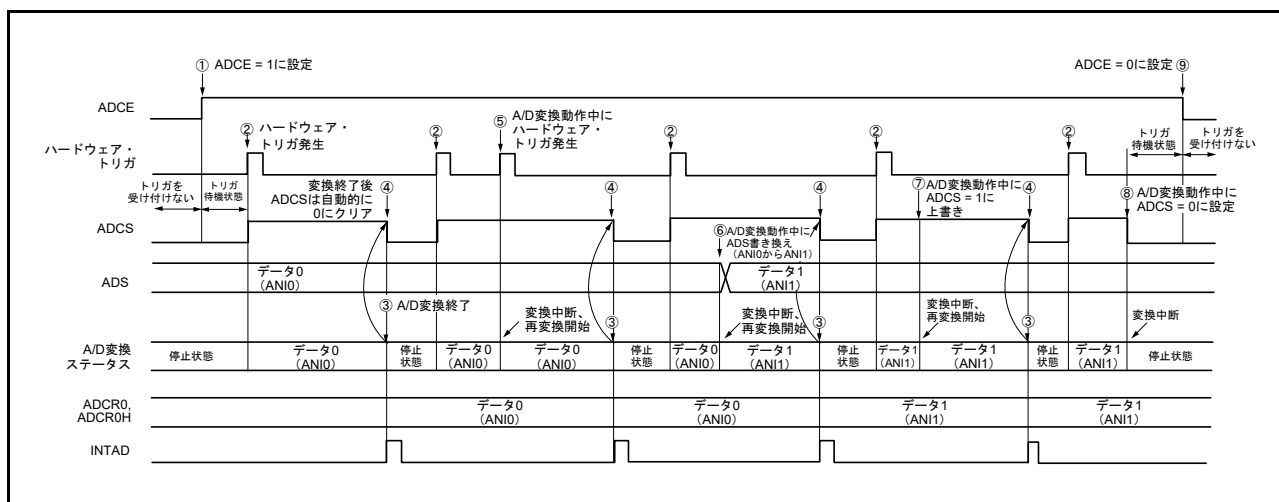


注意 変換動作中に上記④～⑥を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4)参照)

16.6.8 ハードウェア・トリガ・ウェイト・モード (ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに1を設定すると、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力にあわせて、自動的にADM0レジスタのADCSビットが1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH、およびADCR0, ADCR0H) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCSビットに1を上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCSビットに0を設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。
- ⑨ ハードウェア・トリガ待機状態中にADCEビットに0を設定すると、A/Dコンバータは停止状態になります。ADCE = 0 のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図16-26 ハードウェア・トリガ・ウェイト・モード (ワンショット変換モード) 動作タイミング例



注意1. 変換動作中に上記⑤～⑦を検出した場合、次の変換クロック (f_{AD}) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作1回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードのA/D電源安定待ち時間ありの場合と同じ時間になります。(表16-3 A/D変換時間の選択 (3/4)、表16-3 A/D変換時間の選択 (4/4)参照)

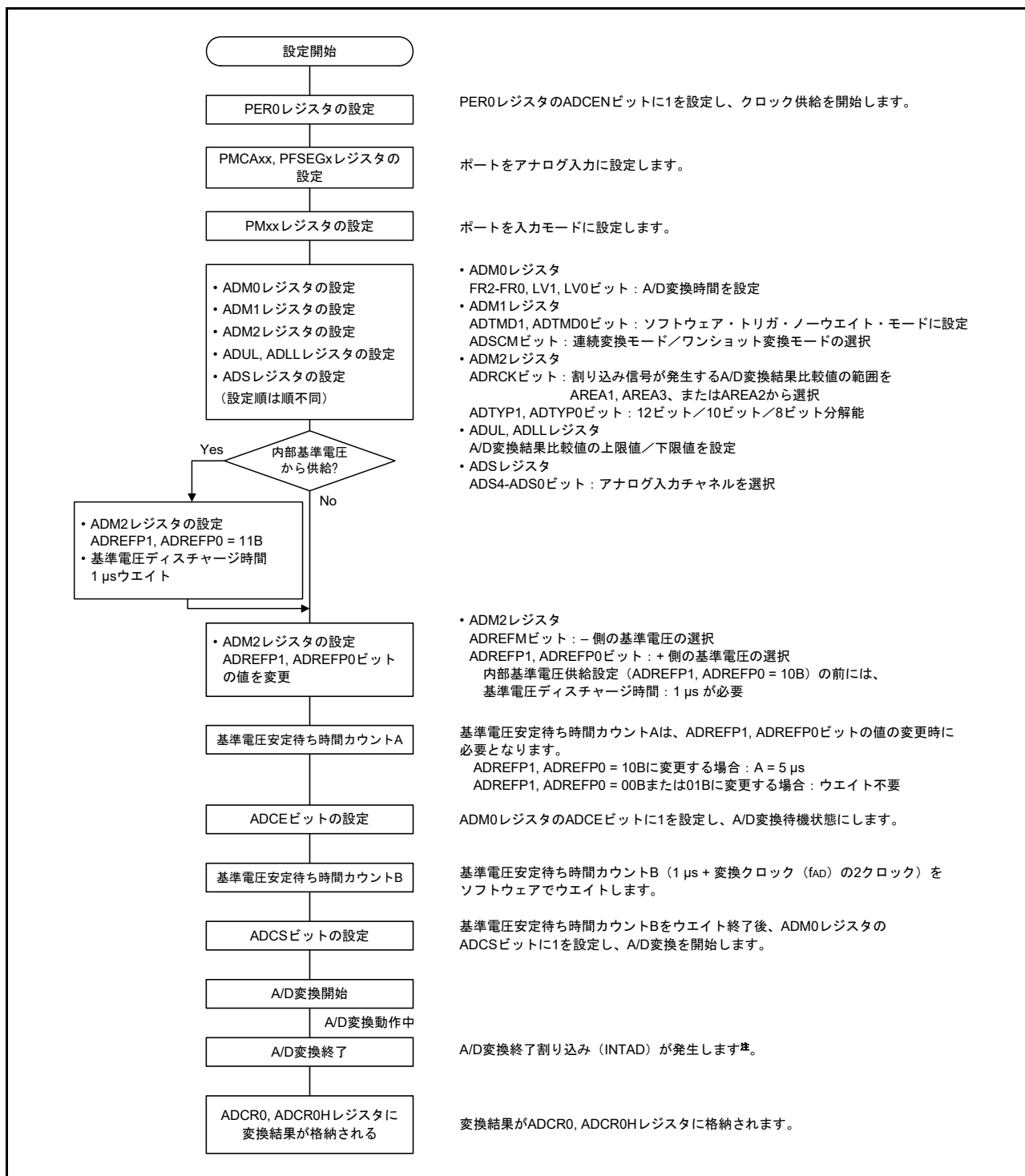
注意2. ハードウェア・トリガ・ウェイト・モード (ワンショット変換モード) では、ADISS = 1の設定 (入力ソース = 温度センサ出力電圧、内部基準電圧) は使用できません。

16.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

16.7.1 ソフトウェア・トリガ・ノーウエイト・モード時の設定

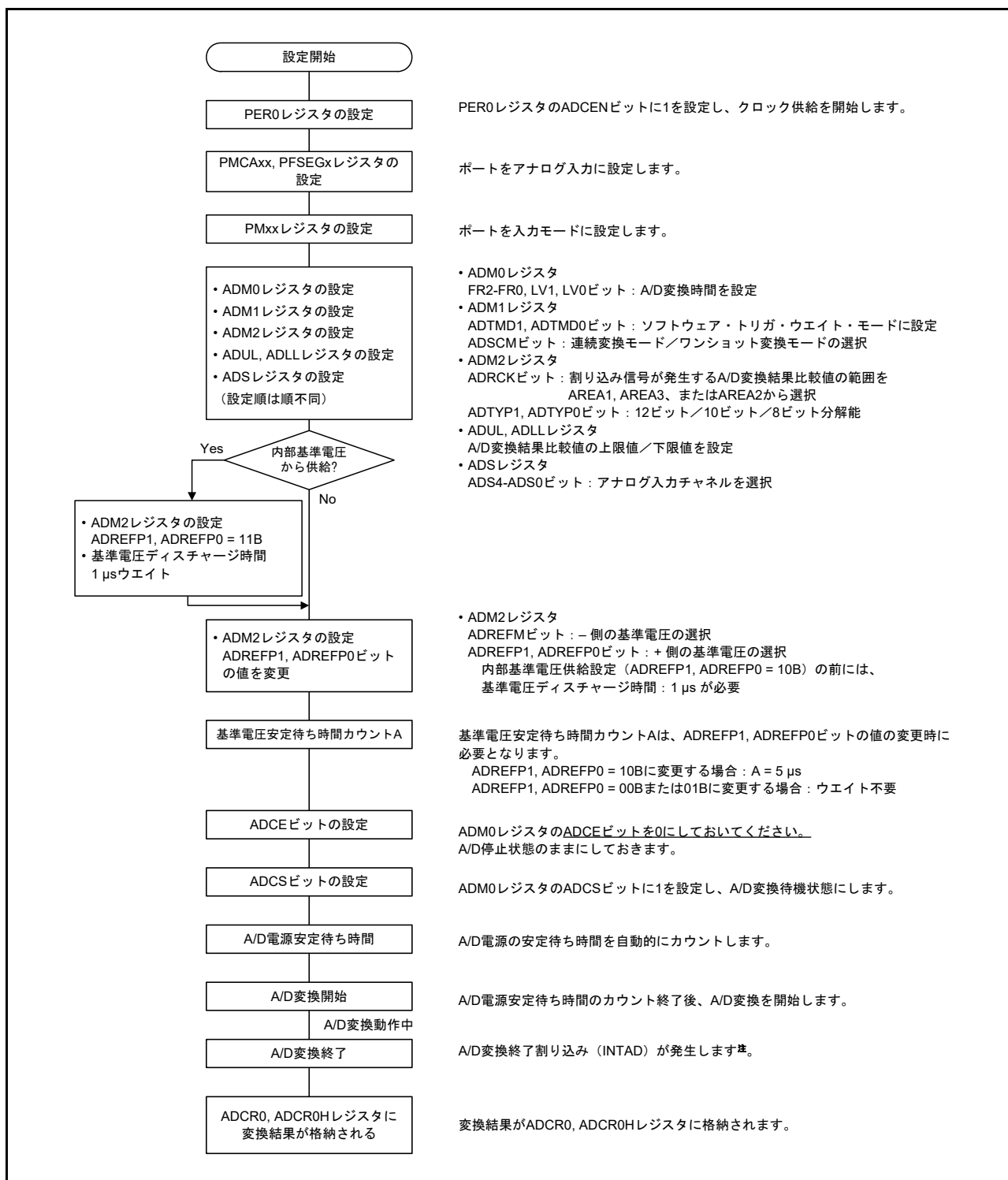
図16-27 ソフトウェア・トリガ・ノーウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR0, ADCR0Hレジスタに結果は格納されません。

16.7.2 ソフトウェア・トリガ・ウェイト・モード時の設定

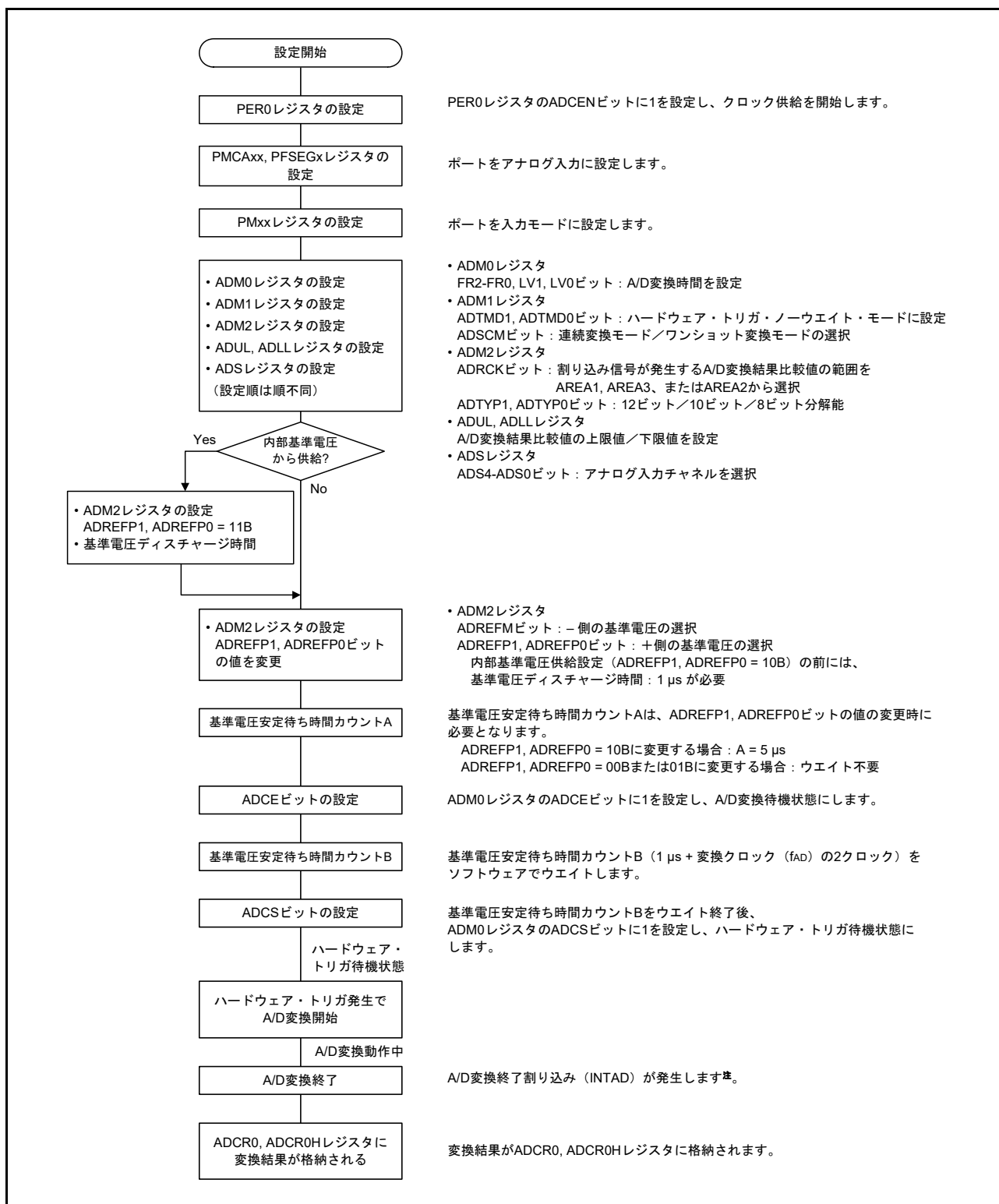
図 16 - 28 ソフトウェア・トリガ・ウェイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR0, ADCR0Hレジスタに結果は格納されません。

16.7.3 ハードウェア・トリガ・ノーウエイト・モード時の設定

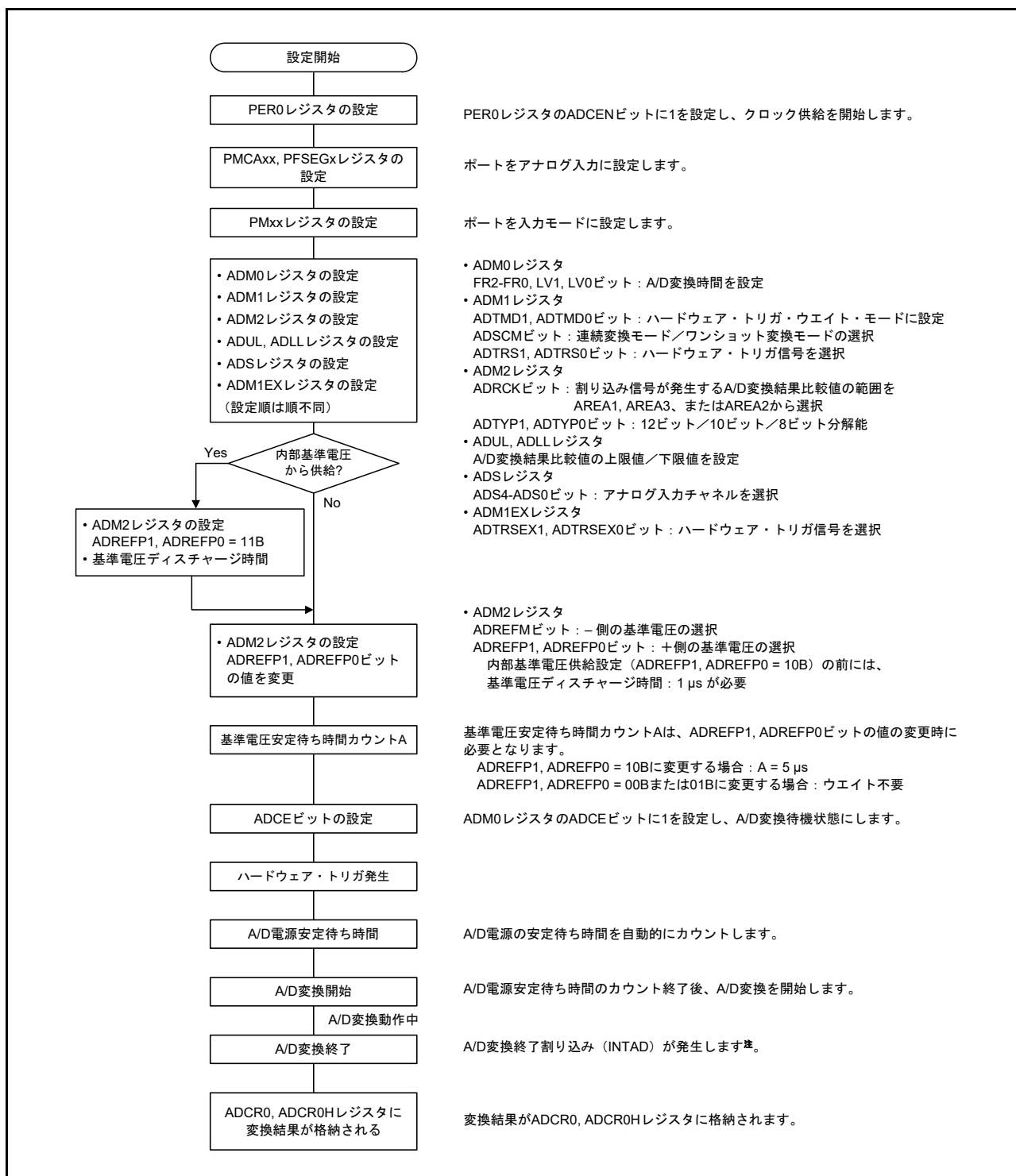
図 16 - 29 ハードウェア・トリガ・ノーウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLL レジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR0, ADCR0H レジスタに結果は格納されません。

16.7.4 ハードウェア・トリガ・ウェイト・モード時の設定

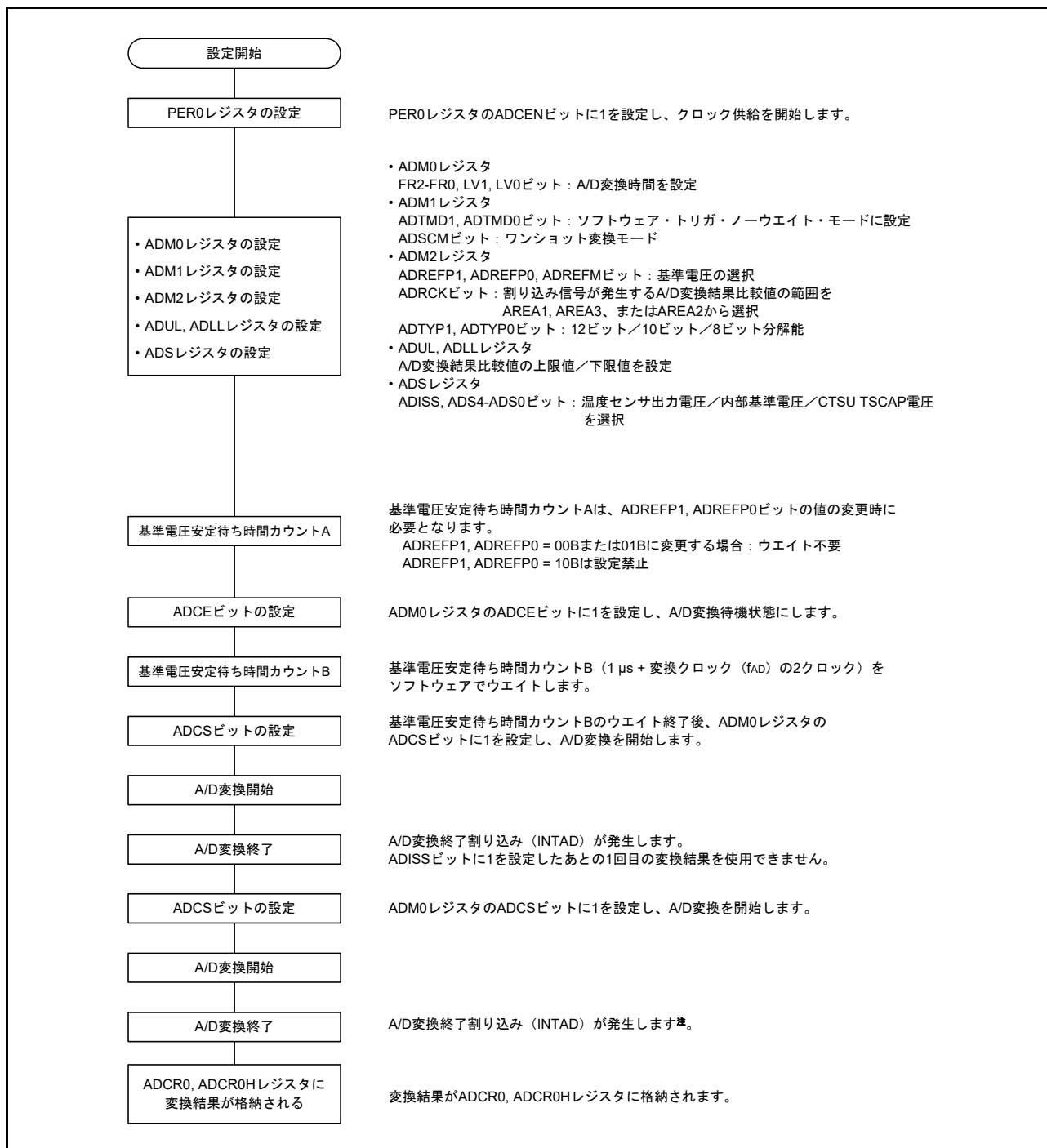
図 16 - 30 ハードウェア・トリガ・ウェイト・モード時の設定



注 ADRCKビット、ADUL, ADLL レジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCRO, ADCROH レジスタに結果は格納されません。

16.7.5 温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定 (例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時)

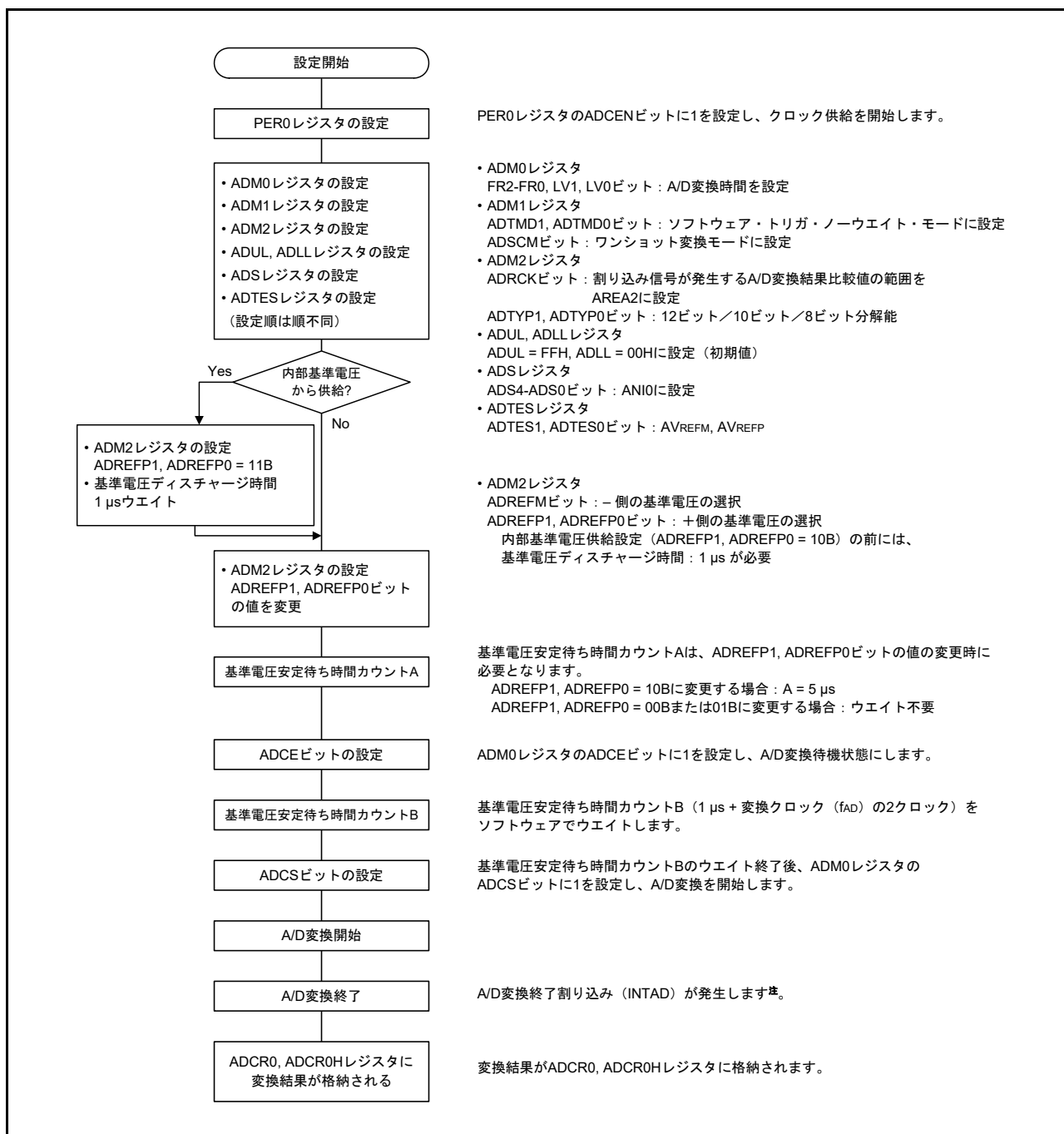
図 16 - 31 温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR0, ADCR0Hレジスタに結果は格納されません。

16.7.6 テスト・モード時の設定

図 16 - 32 テスト・モード時の設定



注 ADRESビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR0, ADCR0Hレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、32.3.10 A/Dテスト機能を参照してください。

16.8 SNOOZEモード機能

STOPモード時にソフトウェア・トリガおよびハードウェア・トリガの入力によりA/D変換動作をさせるモードです。通常STOPモード時にA/D変換動作は停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにA/D変換動作を行うことができます。動作電流を低減させたい場合に有効です。

16.8.1 ソフトウェア・トリガの入力によるA/D変換

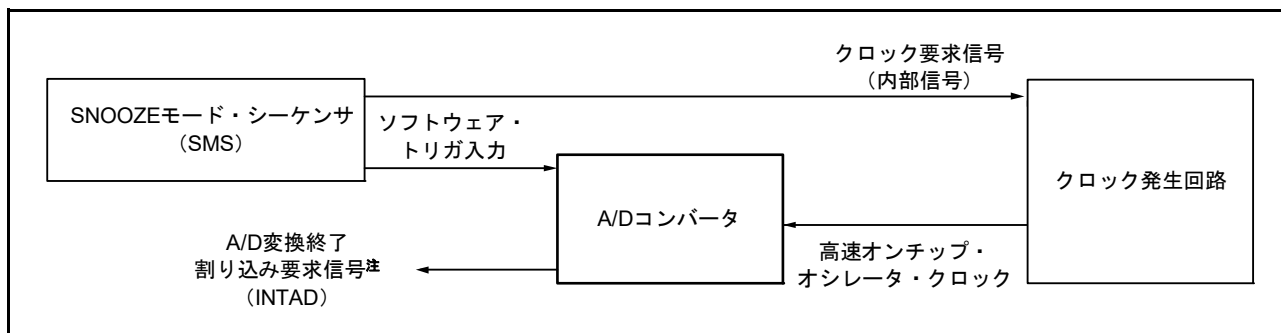
SNOOZEモード時にソフトウェア・トリガの入力によりA/D変換を動作させるモードです。SNOOZEモード・シーケンサ (SMS) を使用してソフトウェア・トリガを発生させてA/D変換の入力トリガとします。

ソフトウェア・トリガの入力によるA/D変換をSNOOZEモードで動作させる場合、次の2つの変換モードのみ使用可能です。

- ソフトウェア・トリガ・ウェイト・モード (ワンショット変換モード)
- ソフトウェア・トリガ・ウェイト・モード (連続変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図 16-33 SNOOZEモード機能時のブロック図 (ソフトウェア・トリガ・ウェイト・モード時)



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います (16.7.2 ソフトウェア・トリガ・ウェイト・モード時の設定)。

STOPモードに移行後、ソフトウェア・トリガ (ADCS = 1) が入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

注 A/D変換結果比較機能の設定 (ADM2.ADRCKビット、ADUL, ADLLレジスタ) は初期値にし、変換終了のたびに、割り込み信号が発生するように設定してください。

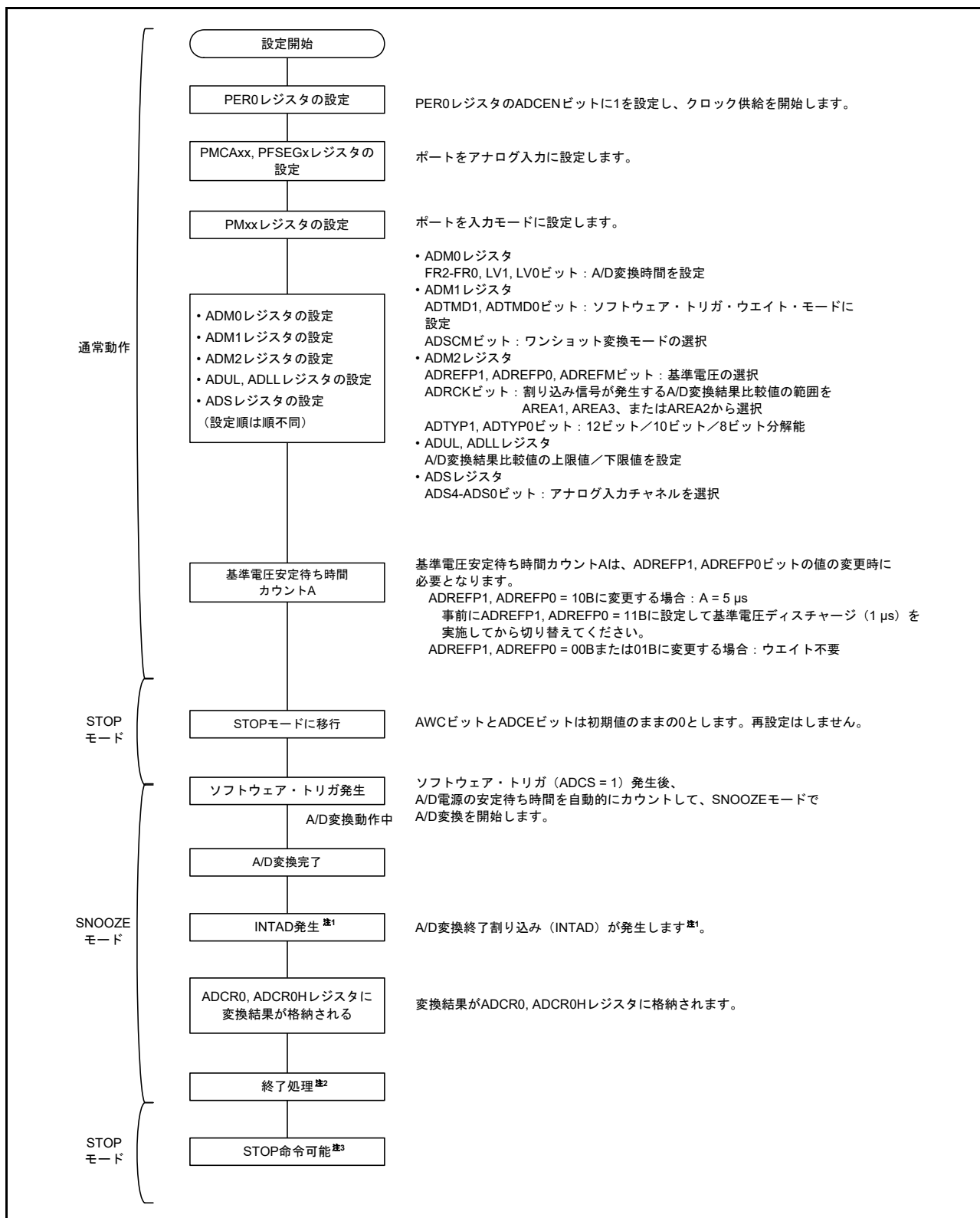
- ワンショット変換モード

A/D変換が終了して割り込み要求信号 (INTAD) 発生後にSTOP命令を実行することで、供給クロックを停止することが可能になります。

- 連続変換モード

A/D変換が終了して割り込み要求信号 (INTAD) が発生後にADCS = 0をライトして連続変換モードを停止させます。次に変換クロック (fAD) の2クロック経過後にSTOP命令を実行することで、供給クロックを停止することが可能になります。

図16-34 SNOOZEモード設定 (ソフトウェア・トリガ) のフロー・チャート



注1. ADRCCKビット、ADUL, ADLLレジスタの設定は、初期設定の段階から初期値にし、A/D変換終了時、割り込み要求信号 (INTAD) が毎回発生するように設定します。

注2. 連続変換モードの場合には、終了処理が必要です。INTAD発生後、ADCS = 0ライトし、変換クロック (f_{AD}) の2クロック経過後、STOP命令設定可能になります。

注3. STOP命令後、ソフトウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

16.8.2 ハードウェア・トリガの入力によるA/D変換

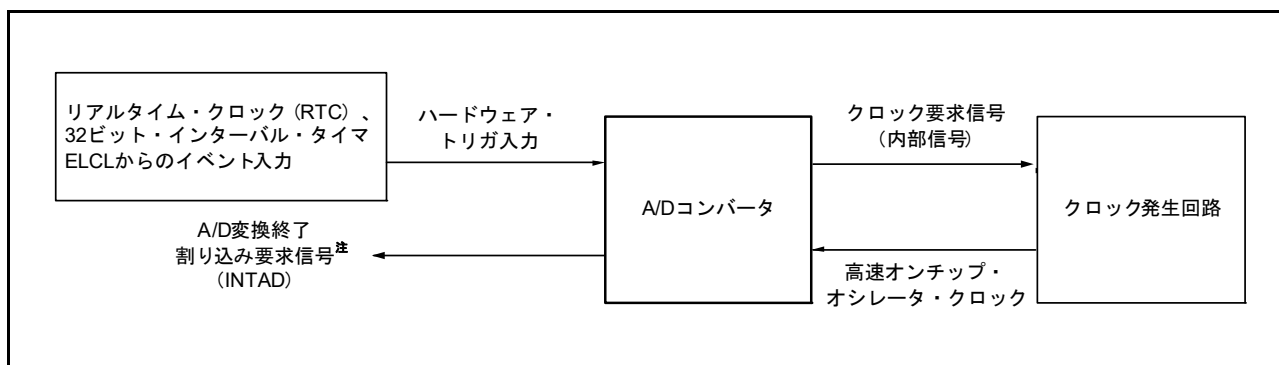
SNOOZE モード時にハードウェア・トリガの入力により A/D 変換を動作させるモードです。

ハードウェア・トリガの入力による A/D 変換を SNOOZE モードで動作させる場合、ハードウェア・トリガ・ウェイト・モード（ワンショット変換モード）のみ使用可能です。

ADUL, ADLL レジスタで変換結果の範囲を指定すれば、一定時間ごとに A/D 変換結果の判断ができます。これにより、電源電圧監視や A/D 入力による入力キーの判定などができます。

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図 16 - 35 SNOOZEモード機能時のブロック図（ハードウェア・トリガ・ウェイト・モード時）



SNOOZE モード機能を使用する場合は、STOP モードに移行する前に各レジスタの初期設定を行います（図 16 - 36 **SNOOZE モード設定（ハードウェア・トリガ）のフロー・チャート**を参照）。STOP モードへ移行する直前に、A/D コンバータ・モード・レジスタ 2（ADM2）の AWC ビットに 1 を設定します。初期設定完了後、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定します。

STOP モードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックが A/D コンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D 電源安定待ち時間が自動的にカウントされ、A/D 変換が開始します。

A/D 変換終了後の SNOOZE モードの動作は、割り込み信号発生の有無によって異なります注。

注 A/D 変換結果比較機能の設定（ADM2.ADRCK ビット、ADUL, ADLL レジスタ）により、割り込み信号が発生しない場合があります。

また、ハードウェア・トリガに 32 ビット・インターバル・タイマ割り込み信号（INTITL）を選択する場合は、32 ビット・インターバル・タイマ割り込み信号（INTITL）が発生するたびに、ITLS0 レジスタの検出フラグをクリアする必要があります。このため、A/D 変換結果比較機能の設定（ADRCK ビット、ADUL, ADLL レジスタ）は初期値にし、A/D 変換終了後に A/D 変換終了割り込み要求信号（INTAD）が発生するようにしてください。

注意 ハードウェア・トリガ信号は、リアルタイム・クロック割り込み信号（INTRTC）、32 ビット・インターバル・タイマ割り込み信号（INTITL）、ELCLからのイベント入力から選択してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL, ADLLレジスタで設定) で設定した値の範囲内の場合、A/D変換終了割り込み要求信号 (INTAD) は発生します。

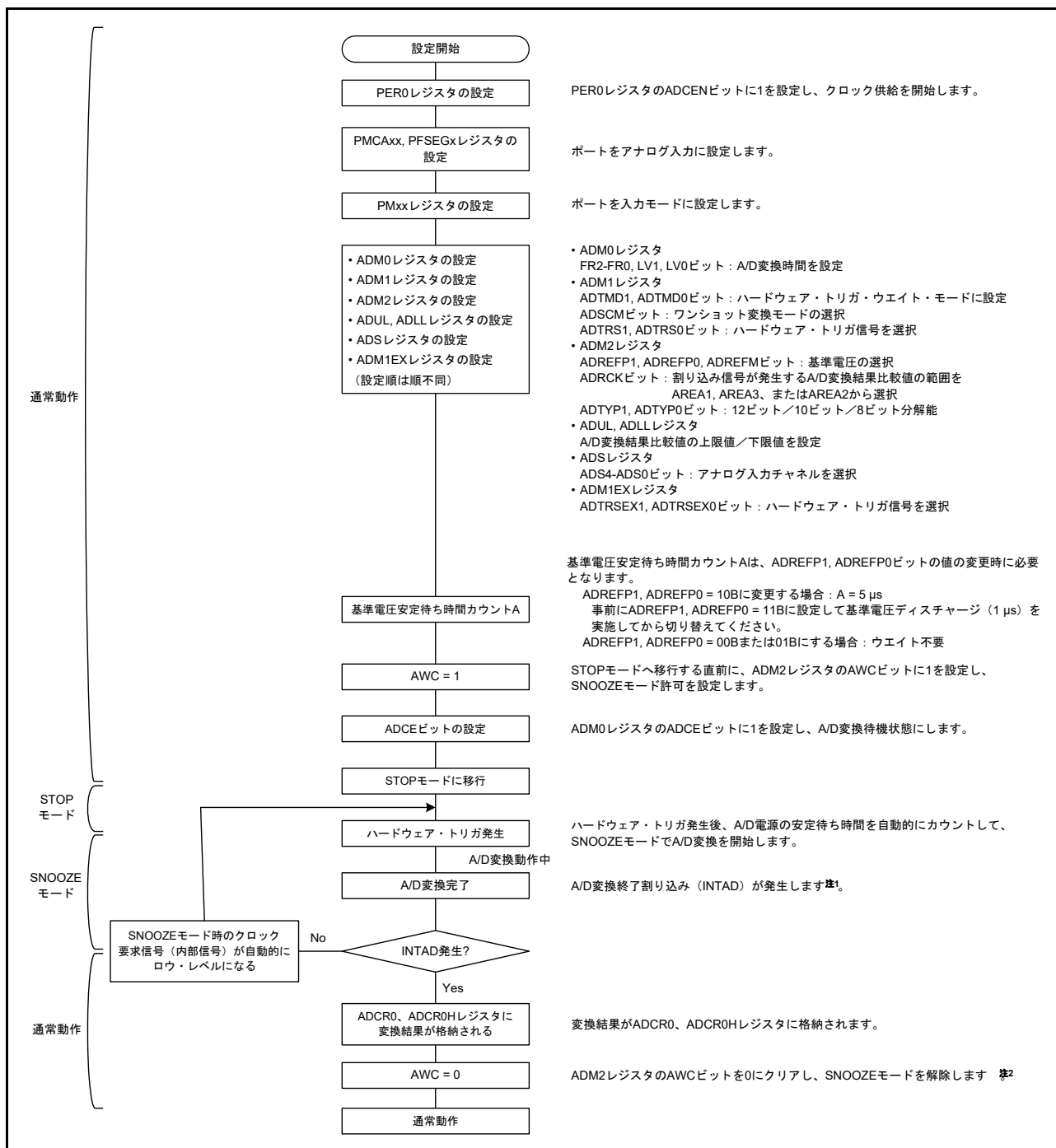
A/D変換が終了してA/D変換終了割り込み要求信号 (INTAD) が発生すると、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2 (ADM2) のAWCビットを必ず0にしてください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット、ADUL, ADLLレジスタで設定) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。

A/D変換終了割り込み要求信号 (INTAD) が発生しなかった場合、A/D変換終了後にクロック要求信号 (内部信号) は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

図 16-36 SNOOZEモード設定 (ハードウェア・トリガ) のフロー・チャート



注1. ADRCKビット、ADUL, ADLL レジスタの設定により、A/D変換終了割り込み要求信号 (INTAD) が発生しなかった場合、ADCR0, ADCR0H レジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

16.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能12ビットのとき

$$1 \text{ LSB} = 1/2^{12} = 1/4096$$

$$\approx 0.024 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

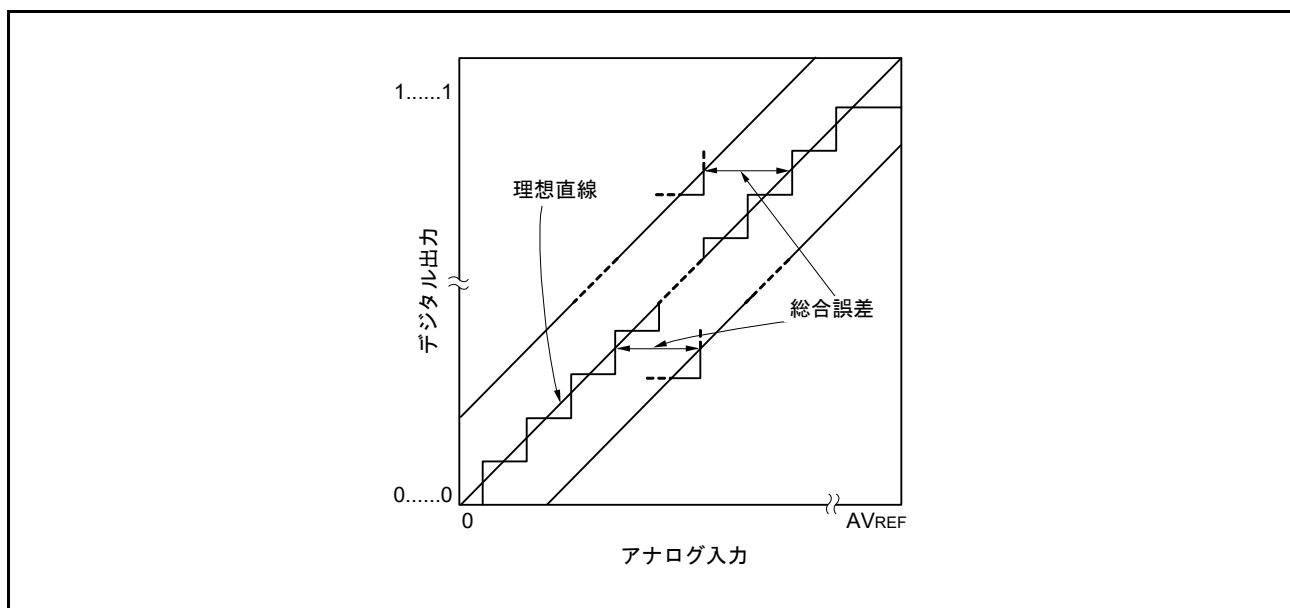
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図 16 - 37 総合誤差

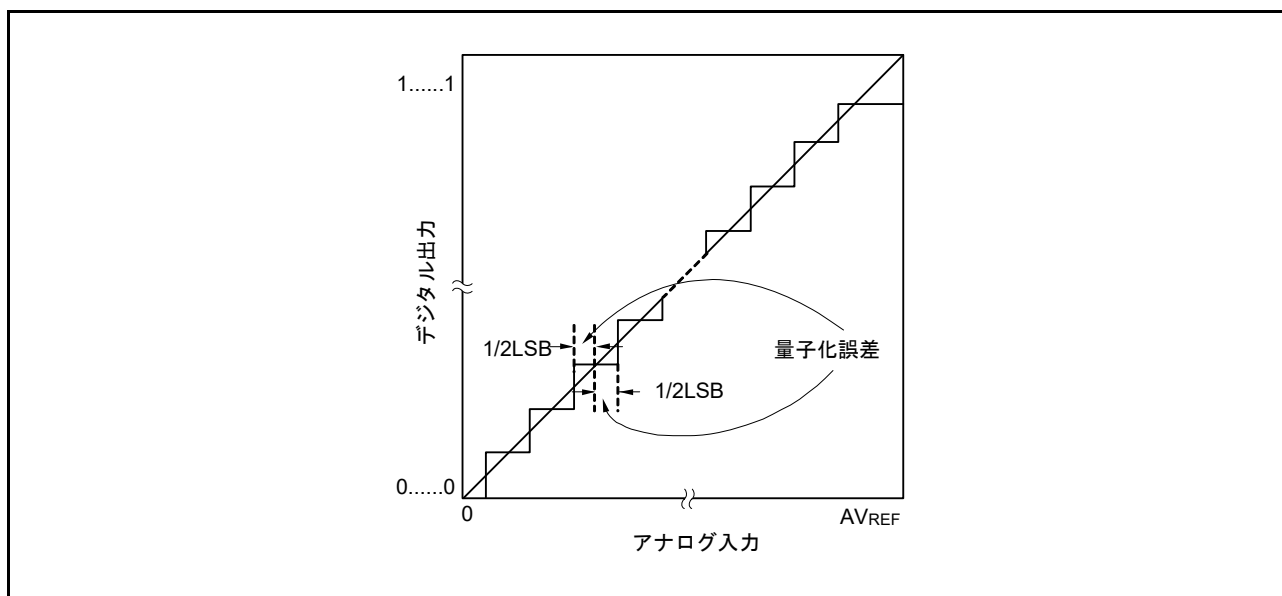


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

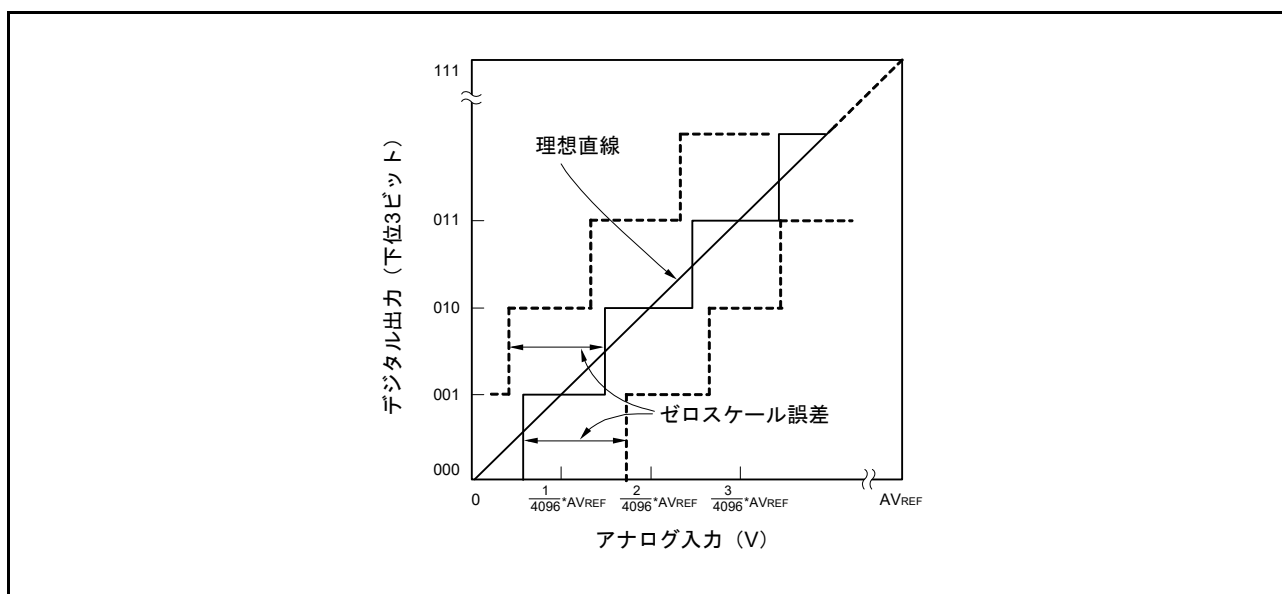
図16-38 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（ $1/2$ LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（ $3/2$ LSB）との差を表します。

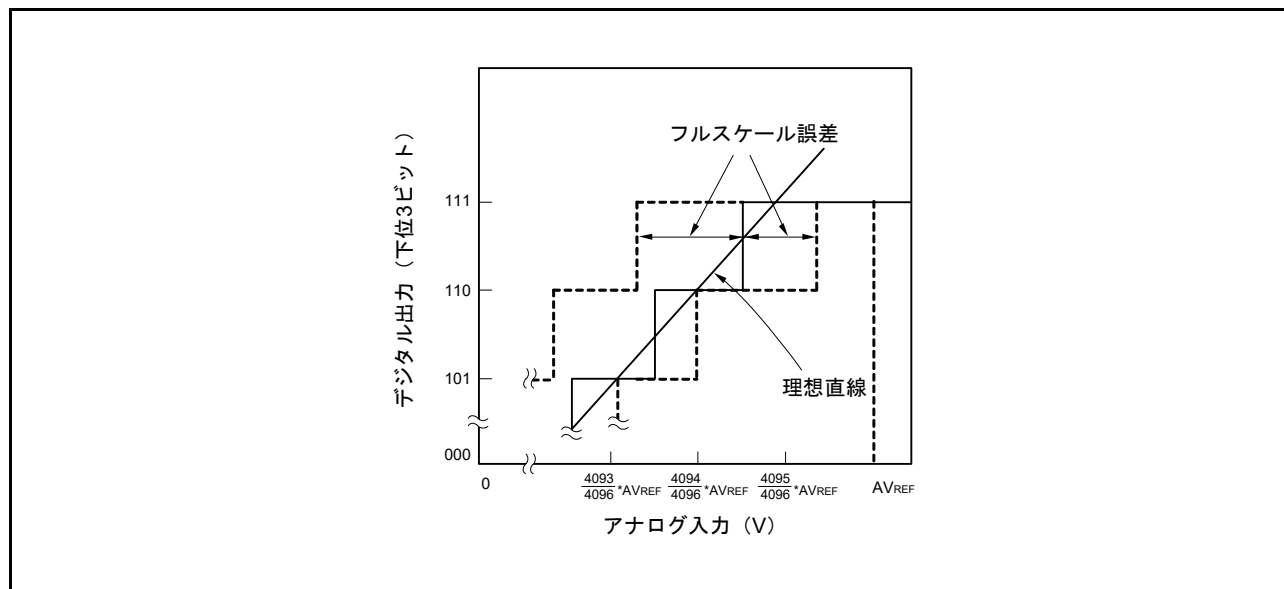
図16-39 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール $-3/2$ LSB）との差を表します。

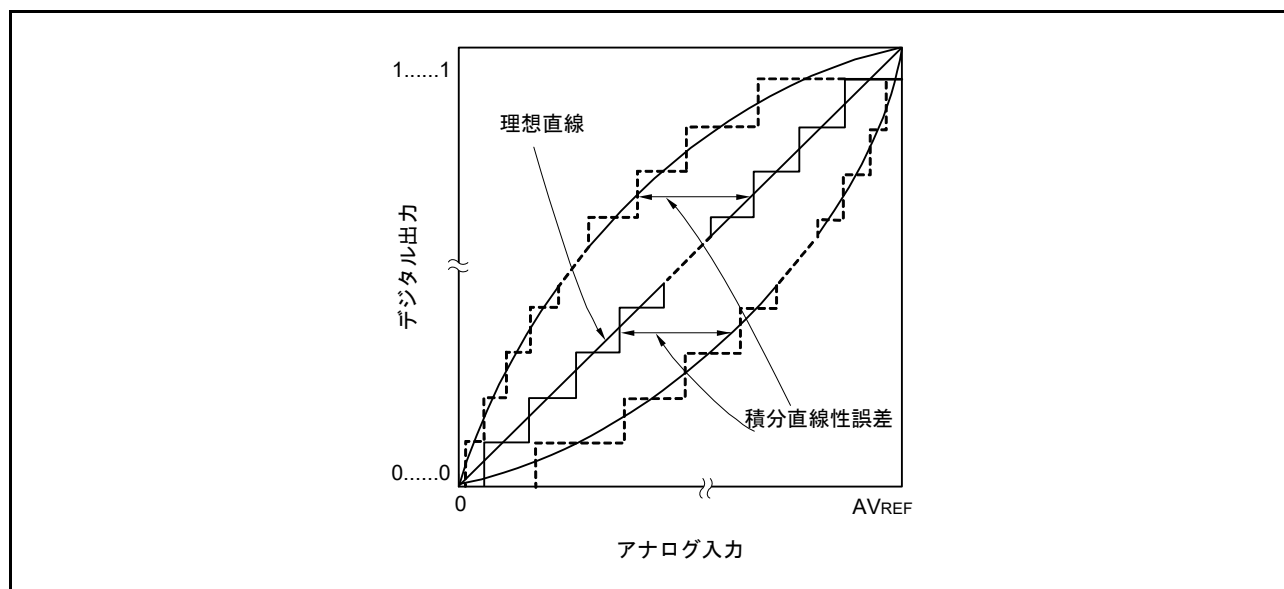
図16-40 フルスケール誤差



(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

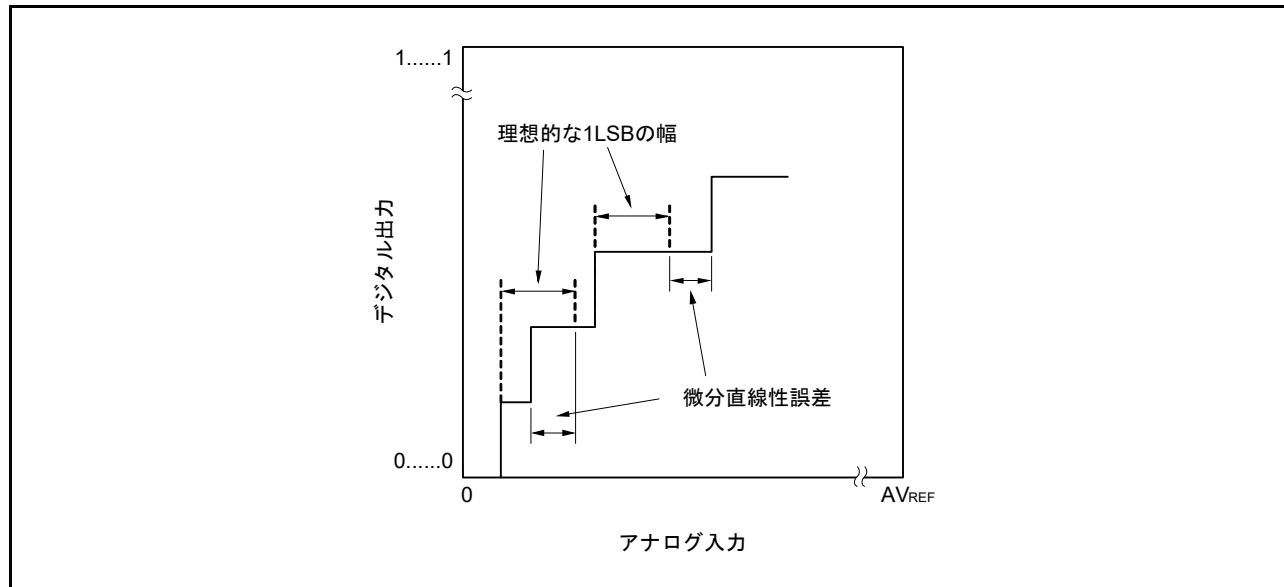
図16-41 積分直線性誤差



(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図16-42 微分直線性誤差



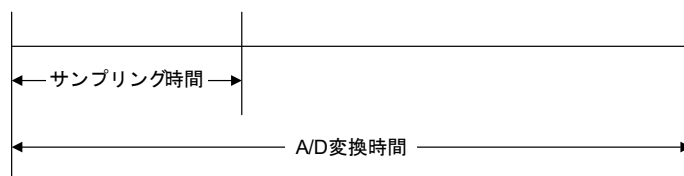
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



16.10 A/Dコンバータ使用時の注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のADCSビットに0を設定）させてから移行してください。このときADM0レジスタのADCEビットも0に設定することにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のADIFビットを0にクリアしてから、動作を開始してください。

(2) ANI0, ANI1, ANI16-ANI26 端子入力範囲について

ANI0, ANI1, ANI16-ANI26 端子入力電圧は規格の範囲内でご使用ください。特にVDD, AVREFPを超える電圧、VSS, AVREFM未滿（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変化値が不定となります。また、ほかのチャンネルの変化値にも影響を与えることがあります。

内部基準電圧をA/Dコンバータの+側の基準電圧に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

注意 内部基準電圧値は、第42章 電気的特性を参照してください。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR0, ADCR0H）への書き込みと、命令によるADCR0, ADCR0Hレジスタの読み出しとの競合

ADCR0, ADCR0Hレジスタの読み出しが優先されます。読み出したあと、新しい変換結果がADCR0, ADCR0Hレジスタに書き込まれます。

② 変換終了時のADCR0, ADCR0Hレジスタへの変換結果格納と、命令によるA/Dコンバータ・モード・レジスタ0（ADM0）への書き込みおよびアナログ入力チャンネル指定レジスタ（ADS）への書き込みの競合

ADM0, ADSレジスタへの書き込みが優先されます。ADCR0, ADCR0Hレジスタへの書き込みはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

12ビット／10ビット分解能を保つためには、AVREFP, VDD, ANI0, ANI1, ANI16-ANI26端子へのノイズに注意する必要があります。

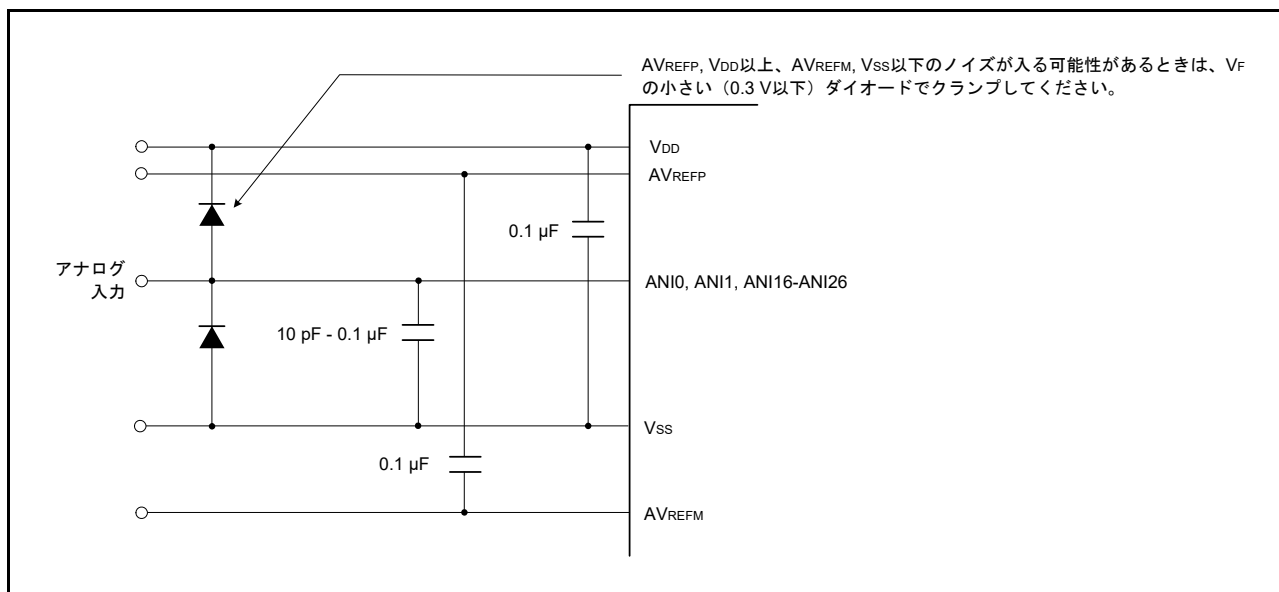
① VDD, AVREFP端子には等価抵抗が小さく、周波数応答のよいコンデンサを（0.1 μ F程度）を最短距離かつ、比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図16-43のようにコンデンサを外付けすることを推奨します。

③ 変換中は、ほかの端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図 16 - 43 VDD、AVREFP、アナログ入力端子の処理



(5) アナログ入力 (ANIXX) 端子

- ① アナログ入力 (ANIO, ANI1, ANI16-ANI26) 端子は入力ポート (P10-P14, P20-P27) 端子と兼用になっています。ANIO, ANI1, ANI16-ANI26 端子のいずれかを選択して A/D 変換をする場合、変換中に P10-P14, P20-P27 に対して出力値を変更しないでください。変換精度が低下することがあります。
- ② A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによって A/D 変換値が期待値と異なることがあります。A/D 変換中は、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

(6) アナログ入力 (ANIXX) 端子の入力インピーダンスについて

この A/D コンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを 1 k Ω 以下にしてください。

出力インピーダンスが 1 k Ω 以下にできないときはサンプリング時間を長く設定するか ANIO, ANI1, ANI16-ANI26

端子に 0.1 μ F 程度のコンデンサを付けることを推奨します (図 16 - 43 参照)。また、変換動作中に ADCS = 0 に

設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。

そのため、ADCS = 0 を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため

十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

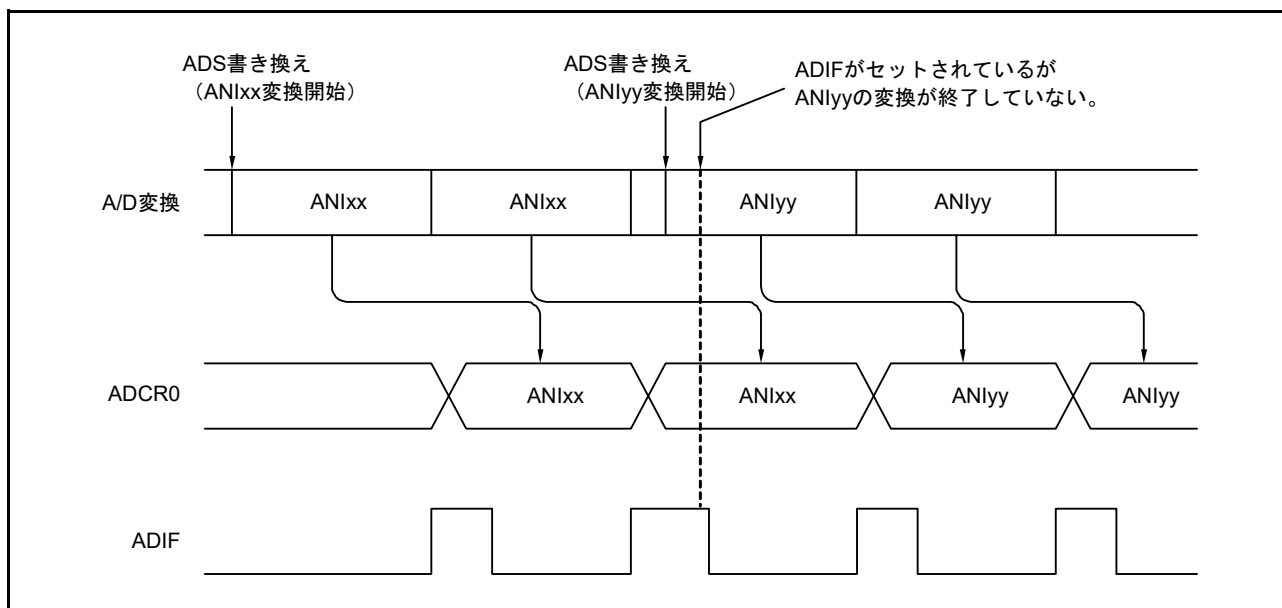
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) は0にクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグを0にクリアしてください。

図16-44 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・ノーウエイト・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビットに1を設定してから、 $1\mu\text{s} + \text{変換クロック}(f_{\text{AD}})$ の2クロック以内にADCSビットに1を設定した場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR0, ADCR0H) の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロールA・レジスタ (PMCAxx)、LCDポート・ファンクション・レジスタ (PFSEGx) に対して書き込み動作を行ったとき、ADCR0, ADCR0Hレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PFSEGxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

- (10) 内部等価回路について
アナログ入力部の等価回路を次に示します。

図16 - 45 ANIxx端子内部等価回路

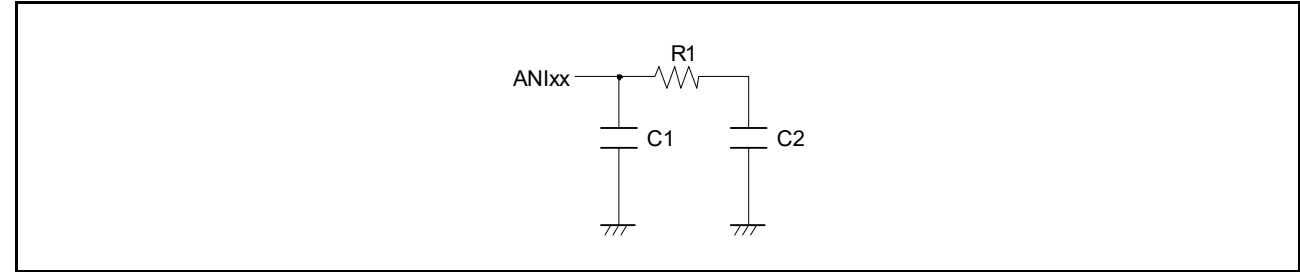


表16 - 4 等価回路の各抵抗と容量値 (参考値)

AVREFP, VDD	ANIxx 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
2.4 V ≦ VDD ≦ 5.5 V	ANI0, ANI1	11	8	9
	ANI16-ANI26	12	8	10
1.8 V ≦ VDD < 2.4 V	ANI0, ANI1	55	8	9
	ANI16-ANI26	60	8	10
1.6 V ≦ VDD < 1.8 V	ANI0, ANI1	110	8	9
	ANI16-ANI26	120	8	10

- 備考** 各抵抗と容量値は保証値ではありません。
- (11) A/Dコンバータの動作開始について
A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

第17章 D/Aコンバータ (DAC)

17.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8ビット分解能のコンバータで、2チャンネル (ANOj) のアナログ出力と1チャンネルのコンパレータ1基準電圧を制御できます。

D/Aコンバータには、次のような機能があります。

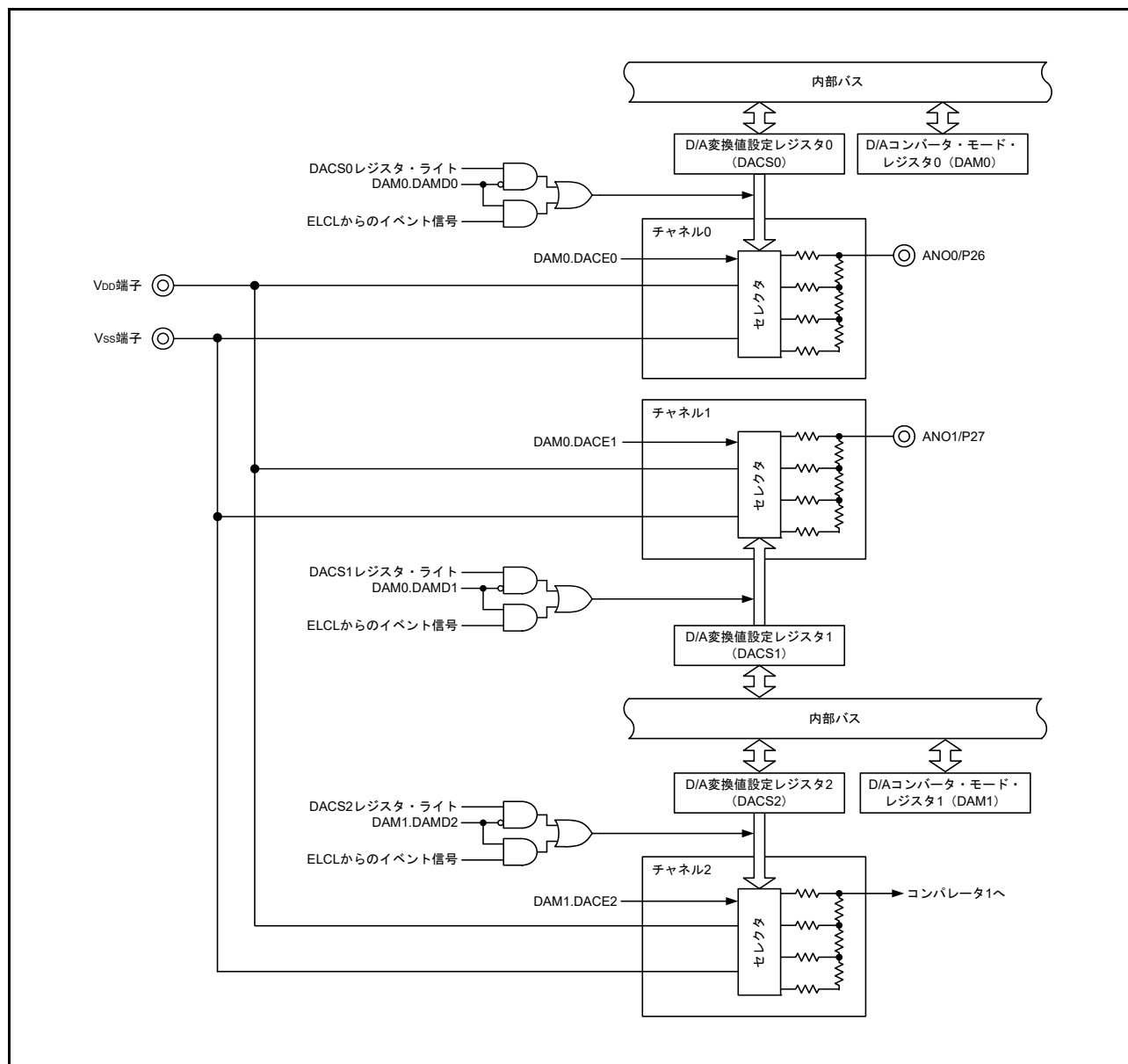
- 8ビット分解能 × 3チャンネル
- R-2Rラダー方式
- アナログ出力電圧
 - 8ビット分解能 : $V_{DD} \times m8/256$ (m8 : DACSi レジスタに設定した値)
- 動作モード
 - 通常動作モード
 - リアルタイム出力モード

備考 i = 0-2; j = 0, 1

17.2 D/Aコンバータの構成

図 17 - 1 に D/A コンバータのブロック図を示します。

図 17 - 1 D/Aコンバータのブロック図



17.3 D/Aコンバータを制御するレジスタ

D/Aコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- D/Aコンバータ・モード・レジスタ0 (DAM0)
- D/Aコンバータ・モード・レジスタ1 (DAM1)
- D/A変換値設定レジスタi (DACS_i) (i = 0-2)
- 出力信号選択レジスタn (ELOSEL_n) (n = 0-7)
- 出力信号イネーブル設定レジスタ (ELOENCTL)
- ポート・モード・レジスタ (PM_{xx})
- ポート・モード・コントロールA・レジスタ (PMCA_{xx})
- LCDポート・ファンクション・レジスタ (PFSEG_x)

17.3.1 周辺イネーブル・レジスタ1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

D/A コンバータを使用する場合は、必ず DACEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 17-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTA0EN	0	CTSUN
	DACEN	D/Aコンバータの入カクロックの制御						
	0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ^注						
	1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード／ライト可						

注 リードした場合は、設定値にかかわらず00Hが読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。

DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります
(ポート・モード・レジスタ (PMxx)、ポート・モード・コントロールA・レジスタ (PMCAxx)、LCDポート・
ファンクション・レジスタ (PFSEGx) は除く)。

17.3.2 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

D/A コンバータをリセットする場合は、DACRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 17 - 3 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	0	CTSURES
	DACRES	D/Aコンバータのリセット制御						
	0	D/Aコンバータのリセット解除						
	1	D/Aコンバータはリセット状態 ・ D/Aコンバータで使用するSFRが初期化されます。						

注意 ビット3-1には、必ず0を設定してください。

17.3.3 D/Aコンバータ・モード・レジスタ0 (DAM0)

DAM0 レジスタは、D/A コンバータチャネル 0, 1 の動作を制御するレジスタです。
DAM0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図 17-4 D/Aコンバータ・モード・レジスタ0 (DAM0) のフォーマット

アドレス : F0332H
リセット時: 00H
R/W属性 : R/W

略号	7	6	<5>	<4>	3	2	1	0
DAM0	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0
DACE1	D/Aコンバータチャネル1の変換動作の制御							
0	D/A変換動作停止							
1	D/A変換動作許可							
DACE0	D/Aコンバータチャネル0の変換動作の制御							
0	D/A変換動作停止							
1	D/A変換動作許可							
DAMD1	D/Aコンバータチャネル1の動作モードの選択							
0	通常動作モード							
1	リアルタイム出力モード							
DAMD0	D/Aコンバータチャネル0の動作モードの選択							
0	通常動作モード							
1	リアルタイム出力モード							

注意 ビット7, 6, 3, 2には、必ず0を設定してください。

17.3.4 D/Aコンバータ・モード・レジスタ1 (DAM1)

DAM1 レジスタは、D/A コンバータチャネル2 の動作を制御するレジスタです。
DAM1 レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図17-5 D/Aコンバータ・モード・レジスタ1 (DAM1) のフォーマット

アドレス : F033AH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	<4>	3	2	1	0
DAM1	0	0	0	DACE2	0	0	0	DAMD2
DACE2		D/Aコンバータチャネル2の変換動作の制御						
0		D/A変換動作停止						
1		D/A変換動作許可						
DAMD2		D/Aコンバータチャネル2の動作モードの選択						
0		通常動作モード						
1		設定禁止						

注意 ビット7-5, 3-1には、必ず0を設定してください。

17.3.5 D/A変換値設定レジスタ*i* (DACS*i*) (*i* = 0-2)

DACS*i* レジスタ (*i* = 0-2) は、D/A コンバータを使用する場合、ANO*j* 端子、コンパレータ 1 の基準電圧に出力するアナログ電圧値を設定するレジスタです。

DACS*i* レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考 *j* = 0, 1

図 17-6 D/A変換値設定レジスタ*i* (DACS*i*) のフォーマット

アドレス : F0330H (DACS0), F0331H (DACS1), F0338H (DACS2)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DACS <i>i</i>	DACS <i>i</i> 7	DACS <i>i</i> 6	DACS <i>i</i> 5	DACS <i>i</i> 4	DACS <i>i</i> 3	DACS <i>i</i> 2	DACS <i>i</i> 1	DACS <i>i</i> 0

備考 D/Aコンバータチャネル*i*のアナログ出力電圧 (VANO*i*) は、次のようになります。

$$VANO_i = V_{DD} \times (DACS_i) / 256$$

D/A コンバータを使用しない場合には、不要な消費電流を小さくするために DACE*i* ビットを 0 (D/A 変換動作停止) にし、DACS*i* レジスタを 00H にして、R-2R の抵抗に電流が流れないようにしてください。

17.3.6 ロジック&イベント・リンク・コントローラからのイベント出力を制御するレジスタ

D/Aコンバータのリアルタイム出力モードを使用する場合、ロジック&イベント・リンク・コントローラからのイベント信号を起動トリガとして、D/A変換を行います。詳細は、**24.3.23 出力信号選択レジスタ n (ELOSELn) (n = 0-7)**、**24.3.24 出力信号イネーブル設定レジスタ (ELOENCTL)**を参照してください。

注意 D/Aコンバータのチャンネル2には、リアルタイム出力モード機能はありません。

17.3.7 D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御するレジスタ

D/Aコンバータのアナログ出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、**4.3.1 ポート・モード・レジスタ (PMxx)**、**4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)**、**4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx)**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

17.4 D/Aコンバータの動作

17.4.1 通常動作モード時の動作

DACSi レジスタへの書き込み動作を起動トリガとして、D/A 変換を行います。以下に、その設定動作を示します。

＜ANOj 端子にアナログ電圧を出力する場合＞

- ① 周辺イネーブル・レジスタ1 (PER1) のDACENビットに1を設定し、D/Aコンバータへの入力クロック供給を開始します。
- ② ポート・モード・コントロールA・レジスタ (PMCAxx) で対応するポートのビットにアナログ機能 (1) を設定します。また、LCDポート・ファンクション・レジスタ (PFSEGx) でポートに対応するビットに1を設定します。
- ③ D/Aコンバータ・モード・レジスタ0 (DAM0) のDAMDjビットに0 (通常動作モード) を設定します。
- ④ D/A変換値設定レジスタj (DACSj) に、ANOj端子出力するアナログ電圧値を設定します。

以上①～④を初期設定として行います。

- ⑤ DAM0レジスタのDACEjビットに1 (D/A変換動作許可) を設定します。これによりD/A変換を開始し、セトリング・タイム経過後、ANOj端子に④にて設定したアナログ電圧を出力します。
- ⑥ 以降、D/A変換を行う場合は、DACSjレジスタへの書き込み動作を行います。

＜コンパレータ1にアナログ電圧を出力する場合＞

- ① 周辺イネーブル・レジスタ1 (PER1) のDACENビットに1を設定し、D/Aコンバータへの入力クロック供給を開始します。
- ② D/Aコンバータ・モード・レジスタ1 (DAM1) のDAMD2ビットに0 (通常動作モード) を設定します。
- ③ D/A変換値設定レジスタ2 (DACS2) に、コンパレータ1に出力するアナログ電圧値を設定します。

以上①～③を初期設定として行います。

- ④ DAM1レジスタのDACE2ビットに1 (D/A変換動作許可) を設定します。これによりD/A変換を開始し、セトリング・タイム経過後、コンパレータ1に③にて設定したアナログ電圧を出力します。
- ⑤ 以降、D/A変換を行う場合は、DACS2レジスタへの書き込み動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、DAM0.DACEj = 0、DAM1.DACE2 に0 (D/A変換動作停止) を設定すると、D/A変換を停止します。

注意1. DACEiビットの設定値を1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANOj端子、コンパレータ1にDACSjレジスタにて設定したアナログ電圧を出力します。

注意2. セトリング・タイム中にDACSjレジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

注意3. D/Aコンバータの全回路を初期化する場合は、PRR1レジスタのDACRESビットに1を設定してください。

備考 i = 0-2; j = 0, 1

17.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャネルはELCLからのイベント信号を起動トリガとして、D/A変換を行います。以下に、その設定方法を示します。

- ① 周辺リセット制御レジスタ1 (PRR1) のDACRESビットに0を設定し、D/Aコンバータのリセットを解除します。
- ② 周辺イネーブル・レジスタ1 (PER1) のDACENビットに1を設定し、D/Aコンバータへの入力クロック供給を開始します。
- ③ ポート・モード・コントロールA・レジスタ (PMCAxx) で対応するポートのビットにアナログ機能 (1) を設定します。また、PFSEGレジスタ (LCDポート・ファンクション・レジスタ) で対応するポートのビットに1を設定します。
- ④ D/Aコンバータ・モード・レジスタ0 (DAM0) のDAMDjビットに0 (通常動作モード) を設定します。
- ⑤ D/A変換値設定レジスタj (DACSj) に、ANOj端子出力するアナログ電圧値を設定します。
- ⑥ DAM0レジスタのDACEjビットに1 (D/A変換動作許可) を設定します。
これによりD/A変換を開始し、セトリング・タイム経過後、ANOj端子に⑤にて設定したアナログ電圧を出力します。
- ⑦ ロジック&イベント・リンク・コントローラからのイベント信号出力を制御するレジスタ (ELOSEL6, ELOSEL7, ELOENCTL) で、リアルタイム出力モードに使用するトリガ信号を設定します。
- ⑧ DAM0レジスタのDAMDjビットに1 (リアルタイム出力モード) を設定します。
- ⑨ イベント発生元の動作を開始します。

以上①～⑨を初期設定として行います。

- ⑩ 以降、リアルタイム出力モードに使用するトリガ信号の発生により、D/A変換を開始し、セトリング・タイム経過後、ANOj端子に⑤にて設定したアナログ電圧を出力します。

なお、次のD/A変換を行う (リアルタイム出力モードに使用するトリガ信号の発生) 前までに、DACSjレジスタにANOj端子に出力するアナログ電圧値を設定してください。

また、DAM0レジスタのDACEjビットに0 (D/A変換動作停止) を設定すると、D/A変換を停止します。

注意1. DACEjビットの設定値を1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANOj端子にDACSjレジスタにて設定したアナログ電圧を出力します。

注意2. 同一チャネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。

注意3. 同一チャネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、fCLKの3クロックより長くしてください。fCLKの3クロック以下の間隔で連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。

注意4. D/Aコンバータの全回路を初期化する場合は、PRR1レジスタのDACRESビットに1を設定してください。

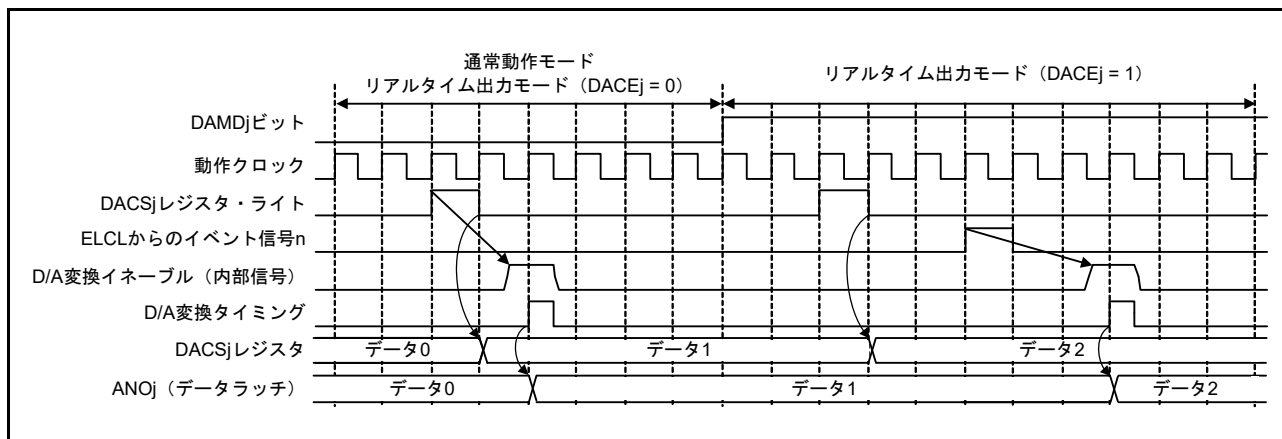
注意5. D/Aコンバータのチャネル2には、リアルタイム出力モード機能はありません。

備考 j = 0, 1

17.4.3 D/A変換値の出力タイミング

図 17 - 7 に D/A 変換値の出力タイミングを示します。

図 17 - 7 D/A 変換値の出力タイミング



- 通常動作モードおよびリアルタイム出力モード（変換動作停止時）
DACSjレジスタへの書き込みの1周期後（動作クロック）にデータラッチへ書き込み（ANOj端子から出力）
- リアルタイム出力モード（変換動作許可時）
ELCLからのイベント信号の受付から3周期後（動作クロック）にデータラッチへ書き込み（ANOj端子から出力）

備考 j = 0, 1; n = 6, 7

17.5 D/Aコンバータ使用時の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) ポート・モード・コントロールA・レジスタ (PMCAxx) でポートをアナログ端子に設定している場合は、ANOj端子と兼用するデジタル・ポートの入出力機能は動作しません。
PMCAxxレジスタでポートをアナログ端子に設定中にポート・レジスタ (P2) をリードしても、入力モード時は0、出力モード時はP2レジスタの設定値が読み出されます。また、デジタル出力モードとして設定しても、端子には出力データは出力されません。
- (2) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACEiビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
- (3) リアルタイム出力モードを停止する場合（通常動作モードへ変更する場合を含む）には以下のいずれかの手順で行う必要があります。
 - トリガ出力元を停止させてから3クロック以上待ってからDACEjビットおよびDAMDjビットに0を設定する。
 - DACEjビットおよびDAMDjビットに0を設定したあと、PER1レジスタのDACENビットに0を設定する (D/A変換動作停止)。
ただし、DACENビットに0を設定しても、初期化はされていません。
D/AコンバータおよびD/Aコンバータ内のSFRを初期化する場合、PRR1レジスタのDACRESビットを使用してください。
- (4) D/A変換動作許可時に、ANOj端子と兼用しているアナログ入力端子からA/D変換を行わないでください。
- (5) リアルタイム出力モード時は、リアルタイム出力モードに使用するトリガ信号が発生する前までにDACSjレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSjレジスタの設定値を変更しないでください。
- (6) D/Aコンバータの出力インピーダンスが高いため、ANOj端子から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とANOj端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は、グラウンド・パターンで囲むなどの処置をしてください。
- (7) リアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCLのイベントリンクを禁止にしてください。

備考 i = 0-2; j = 0, 1

第18章 コンパレータ（CMP）

コンパレータのチャンネル数は、製品によって異なります。

	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
コンパレータのチャンネル数	1		2			

18.1 コンパレータの機能

コンパレータには、次のような機能があります。

- コンパレータ高速モード／コンパレータ低速モードを選択できます。
- 基準電圧は外部基準電圧入力と内部基準電圧^{注1}／D/Aコンバータ出力^{注2}を選択できます。
- ノイズ除去デジタル・フィルタの除去幅を選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生させることができます。
- コンパレータ出力の有効エッジを検出し、ロジック&イベント・リンク・コントローラ（ELCL）へイベント信号を出力できます。

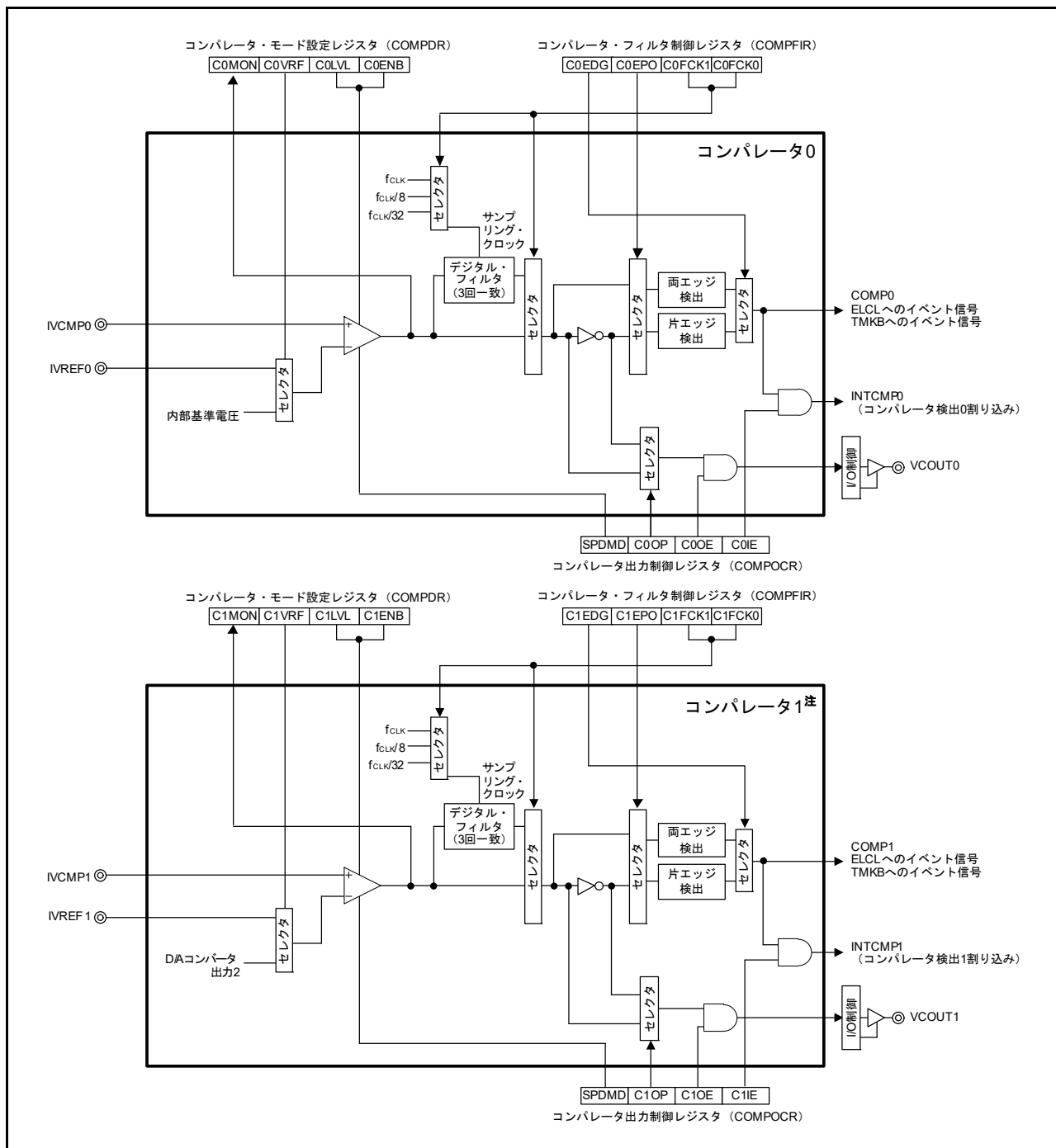
注1. 内部基準電圧値は、**第42章 電気的特性**を参照してください。

注2. コンパレータ0では内部基準電圧を、コンパレータ1ではD/Aコンバータ出力2を選択できます。

18.2 コンパレータの構成

図 18 - 1 にコンパレータのブロック図を示します。

図 18 - 1 コンパレータのブロック図



注 52～100ピン製品のみ

18.3 コンパレータを制御するレジスタ

コンパレータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- コンパレータ・モード設定レジスタ (COMPMDR)
- コンパレータ・フィルタ制御レジスタ (COMPFIR)
- コンパレータ出力制御レジスタ (COMPOCR)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

18.3.1 周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用する場合は、必ず CMPEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図18-2 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス : F00FAH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTA0EN	0	CTSUEN
CMPEN		コンパレータの入カクロックの制御						
0		入カクロック供給停止 ・コンパレータで使用するSFRへのライト不可 ^注						
1		入カクロック供給 ・コンパレータで使用するSFRへのリード／ライト可						

注 リードした場合は、設定値にかかわらず00Hが読めます。

- 注意1. ビット1には、必ず0を設定してください。
- 注意2. コンパレータの設定をする際には、必ず最初にCMPEN = 1の設定を行ってください。
- CMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視されます（ポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・コントロールT・レジスタ（PMCTxx）、LCDポート・ファンクション・レジスタ（PFSEGx）は除く）。

18.3.2 周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

コンパレータをリセットする場合は、CMPRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図18 - 3 周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス : F00FBH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	0	CTSURES
CMPRES		コンパレータのリセット制御						
0		コンパレータのリセット解除						
1		コンパレータはリセット状態 ・コンパレータで使用するSFRが初期化されます。						

注意 ビット3-1には、必ず0を設定してください。

18.3.3 コンパレータ・モード設定レジスタ (COMPMDR)

COMPMDR レジスタは、コンパレータの基準電圧の選択、比較動作の開始／停止の設定、比較結果の状態を表すレジスタです。

COMPMDR レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。ただし、CnMON ビットは読み出しのみ可能です。

リセット信号の発生により、00H になります。

図18-4 コンパレータ・モード設定レジスタ (COMPMDR) のフォーマット (1/2)

アドレス : F0340H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	<4>	3	2	1	<0>
COMPMDR	C1MON	C1VRF	C1LVL	C1ENB	C0MON	C0VRF	C0LVL	C0ENB
C1MON	コンパレータ1モニタ・フラグ ^{注1,2}							
0	IVCMP1<コンパレータ1基準電圧 (IVREF1またはD/Aコンバータ出力2)							
1	IVCMP1>コンパレータ1基準電圧 (IVREF1またはD/Aコンバータ出力2)							
C1VRF	コンパレータ1基準電圧の選択							
0	IVREF1端子から供給							
1	D/Aコンバータ出力2から供給							
C1LVL	コンパレータ1基準電圧範囲選択							
0	0~V _{DD} -1.4 V							
1	1.4 V~V _{DD}							
C1ENB	コンパレータ1動作許可							
0	コンパレータ1動作禁止							
1	コンパレータ1動作許可							
C0MON	コンパレータ0モニタ・フラグ ^{注1,2}							
0	IVCMP0<コンパレータ0基準電圧 (IVREF0または内部基準電圧)							
1	IVCMP0>コンパレータ0基準電圧 (IVREF0または内部基準電圧)							
C0VRF	コンパレータ0基準電圧の選択 ^{注3}							
0	IVREF0端子から供給							
1	内部基準電圧から供給							
C0LVL	コンパレータ0基準電圧範囲選択 ^{注3}							
0	0~V _{DD} -1.4 V							
1	1.4 V~V _{DD}							

図18-4 コンパレータ・モード設定レジスタ（COMPMDR）のフォーマット (2/2)

C0ENB	コンパレータ0動作許可
0	コンパレータ0動作禁止
1	コンパレータ0動作許可

注1. リセット解除直後の値は0ですが、一度コンパレータを動作許可にしたあとにC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。

注2. ビット7, 3は、読み出しのみ可能です。書き込みは無視されます。

注3. コンパレータ0基準電圧として内部基準電圧（C0VRF = 1）を使用する場合、C0LVL = 0かつV_{DD} ≥ （内部基準電圧（Max.）+ 1.4 V）とする必要があります。

注意 次のビットには0を書き込んでください。

44, 48ピン製品：ビット7-4

18.3.4 コンパレータ・フィルタ制御レジスタ (COMPFIR)

COMPFIR レジスタは、コンパレータ割り込み信号の有効エッジの選択、デジタル・フィルタの使用可否を設定するレジスタです。

ノイズ除去が必要な場合は、CnFCK1, CnFCK0 ビットを設定して、デジタル・フィルタを有効にしてください。デジタル・フィルタ有効時は、デジタル・フィルタのサンプリング・クロックで3クロックの一致検出を行います。

COMPFIR レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 18-5 コンパレータ・フィルタ制御レジスタ (COMPFIR) のフォーマット

アドレス : F0341H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	コンパレータ1エッジ検出選択 ^{注1}							
0	コンパレータ1片エッジ検出での割り込み要求							
1	コンパレータ1両エッジ検出での割り込み要求							
C1EPO	コンパレータ1エッジ極性切り替え ^{注1}							
0	コンパレータ1立ち上がりエッジで割り込み要求							
1	コンパレータ1立ち下がりエッジで割り込み要求							
C1FCK1	C1FCK0	コンパレータ1フィルタ選択 ^{注1, 3}						
0	0	コンパレータ1フィルタなし						
0	1	コンパレータ1フィルタあり、fCLKでサンプリング						
1	0	コンパレータ1フィルタあり、fCLK/8でサンプリング						
1	1	コンパレータ1フィルタあり、fCLK/32でサンプリング						
C0EDG	コンパレータ0エッジ検出選択 ^{注2}							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え ^{注2}							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^{注2, 3}						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり、fCLKでサンプリング						
1	0	コンパレータ0フィルタあり、fCLK/8でサンプリング						
1	1	コンパレータ0フィルタあり、fCLK/32でサンプリング						

(注、注意は次ページに続きます)

- 注1.** C1FCK1, C1FCK0, C1EPO, C1EDGビットを変更するとELCLへのイベント信号およびコンパレータ1割り込み要求が発生する場合があります。これらのビットは、ELCLの入力信号として選択されていない状態かつコンパレータ1割り込みをマスクした状態で変更してください。その後、コンパレータ1割り込みを使用する場合は、CMPIF1ビットを0にクリアしたあとにCMPMK1ビットを0にクリアして割り込みを許可に設定してください。また、C1FCK1, C1FCK0ビットを00B（コンパレータ1フィルタなし）から00B以外（コンパレータ1フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過したあとに、コンパレータ1割り込み要求やELCLへのイベント信号を使用してください。
- 注2.** C0FCK1, C0FCK0, C0EPO, C0EDGビットを変更するとELCLへのイベント信号およびコンパレータ0割り込み要求が発生する場合があります。これらのビットは、ELCLの入力信号として選択されていない状態かつコンパレータ0割り込みをマスクした状態で変更してください。その後、コンパレータ0割り込みを使用する場合は、CMPIF0ビットを0にクリアしたあとにCMPMK0ビットを0にクリアして割り込みを許可に設定してください。また、C0FCK1, C0FCK0ビットを00B（コンパレータ0フィルタなし）から00B以外（コンパレータ0フィルタあり）に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過したあとに、コンパレータ0割り込み要求やELCLへのイベント信号を使用してください。
- 注3.** STOPモード中にコンパレータを使用する場合は、フィルタなし（C0FCK1, C0FCK0 = 00B, C1FCK1, C1FCK0 = 00B）に設定してください。
- 注意** 次のビットには、必ず0を設定してください。
44, 48ピン製品：ビット7-4

18.3.5 コンパレータ出力制御レジスタ (COMPOCR)

COMPOCR レジスタは、コンパレータの応答速度の選択、VCOUTn 出力の制御、割り込み要求信号の許可／禁止を設定するレジスタです。

COMPOCR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 18 - 6 コンパレータ出力制御レジスタ (COMPOCR) のフォーマット

アドレス : F0342H

リセット時: 00H

R/W属性 : R/W

略号

7

6

<5>

<4>

3

2

<1>

<0>

COMPOCR

SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 ^{注1}						
0	コンパレータ低速モード						
1	コンパレータ高速モード						
C1OP	VCOUT1出力極性選択						
0	コンパレータ1出力をVCOUT1へ出力						
1	コンパレータ1出力の反転をVCOUT1へ出力						
C1OE	VCOUT1端子出力許可						
0	コンパレータ1のVCOUT1端子出力禁止						
1	コンパレータ1のVCOUT1端子出力許可						
C1IE	コンパレータ1割り込み要求許可 ^{注2}						
0	コンパレータ1割り込み要求禁止						
1	コンパレータ1割り込み要求許可						
C0OP	VCOUT0出力極性選択						
0	コンパレータ0出力をVCOUT0へ出力						
1	コンパレータ0出力の反転をVCOUT0へ出力						
C0OE	VCOUT0端子出力許可						
0	コンパレータ0のVCOUT0端子出力禁止						
1	コンパレータ0のVCOUT0端子出力許可						
C0IE	コンパレータ0割り込み要求許可 ^{注3}						
0	コンパレータ0割り込み要求禁止						
1	コンパレータ0割り込み要求許可						

注1. SPDMD ビットを書き換える場合は、必ず COMPMDR レジスタの CIENB ビット (i = 0, 1) を 0 にしてから書き換えてください。

(注、注意は次ページに続きます)

- 注2.** C1IEビットを0（割り込み要求禁止）から1（割り込み要求許可）にした場合、割り込み要求フラグ・レジスタ2H（IF2H）のCMPIF1ビットが1（割り込み要求あり）になることがあるため、割り込み要求フラグ・レジスタ2H（IF2H）のCMPIF1ビットを0にクリアしてから割り込みを使用してください。
- 注3.** C0IEビットを0（割り込み要求禁止）から1（割り込み要求許可）にした場合、割り込み要求フラグ・レジスタ2H（IF2H）のCMPIF0ビットが1（割り込み要求あり）になることがあるため、割り込み要求フラグ・レジスタ2H（IF2H）のCMPIF0ビットを0にクリアしてから割り込みを使用してください。
- 注意** 次のビットには、必ず0を設定してください。
44, 48ピン製品：ビット6-4

18.3.6 コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するレジスタ

コンパレータのアナログ入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

18.4 動作説明

コンパレータ 0 とコンパレータ 1 はそれぞれ独立して動作できます。設定方法と動作は同じです。

表 18 - 1 にコンパレータ関連レジスタの設定手順を示します。

表 18 - 1 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PRR1	CMPRES	0 (コンパレータのリセット解除)
2	PER1	CMPEN	1 (入力クロック供給)
3	PMCAxx	PMCA42-PMCA45	IVCMPi, IVREFi 端子の機能選択
	PMxx	PM42-PM45	- PMCA42-PMCA45 ビットに 1 (アナログ機能) - PM42-PM45 ビットに 1 (入力モード)
4	COMPOCR	SPDMD	コンパレータの応答速度の選択 (0 : 低速モード / 1 : 高速モード) 注1
5	COMPMDR	CiVRF	基準電圧の選択 (i = 0, 0 : IVREF0 端子入力 / 1 : 内部基準電圧) (i = 1, 0 : IVREF1 端子入力 / 1 : D/A コンバータ出力2)
		CiLVL	リファレンス入力電圧範囲選択 (0 : 0 ~ VDD - 1.4 V / 1 : 1.4 V ~ VDD)
6	COMPMDR	CiENB	1 (動作許可)
7	コンパレータ安定時間 (tCMP) 待ち		
8	COMPFIR	CiFCK1, CiFCK0	デジタル・フィルタ使用する／しない、サンプリング・クロック選択
9		CiEPO, CiEDG	割り込み要求のためのエッジ検出条件選択 (立ち上がり／立ち下がり／両エッジ)
10	COMPOCR	CiOP, CiOE	VCOUTi 出力の設定 (極性選択、出力許可／禁止を設定)
		CiIE	割り込み要求出力の許可／禁止を設定
11	ポートの出力端子選択 : VCOUTi (18.4.4 コンパレータ i 出力参照)		
12	PRi2H	CMPPR0i, CMPPR1i	割り込みを使用する場合 : 割り込み優先レベル選択
13	MK2H	CMPMKi	割り込みを使用する場合 : 割り込みマスク選択
14	IF2H	CMPIFi	割り込みを使用する場合 : 0 (割り込み要求なし : 初期化) 注2

注1. コンパレータ 0 とコンパレータ 1 を独立に設定することはできません。

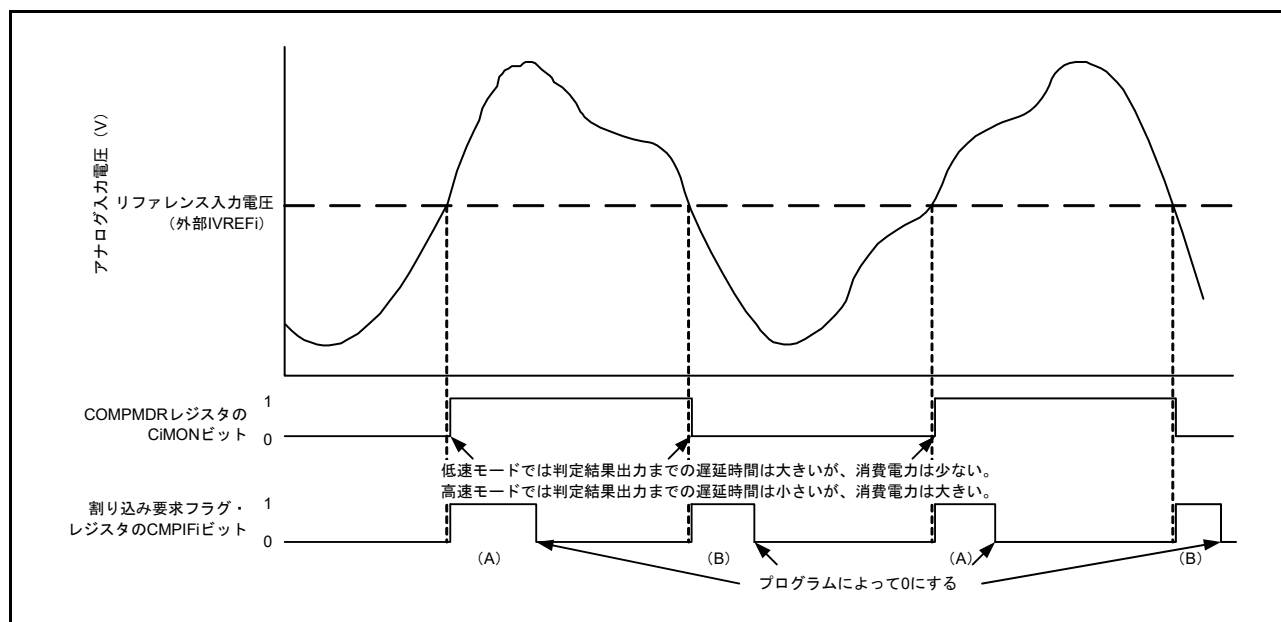
注2. コンパレータの設定後、安定動作するまでに不要な割り込みが発生することがあるため、割り込みフラグを初期化してください。

注意 コンパレータ i の全回路を初期化する場合は、PRR1 レジスタの CMPRES ビットに 1 を設定してください。

備考 44, 48 ピン製品 : i = 0
52 ~ 100 ピン製品 : i = 0, 1

図18-7にコンパレータ*i*の動作例を示します。低速モード時/高速モード時とも、リファレンス入力よりアナログ入力の電圧が高い場合に COMPMDR レジスタの CiMON ビットが1になり、リファレンス入力よりアナログ入力の電圧が低い場合に CiMON ビットが0になります（基準電圧は IVREF*i* 端子への入力電圧を使用します）。

図18-7 コンパレータ*i*の動作例



注意 上図は、COMPFIR レジスタの CiFCK1, CiFCK0 = 00B (デジタル・フィルタなし)、CiEDG = 1 (両エッジ検出) の場合です。(CiEDG = 0, CiEPO = 0 (立ち上がりエッジ) のときの CMPIFi は (A) の変化のみ、CiEDG = 0, CiEPO = 1 (立ち下がりエッジ) のときの CMPIFi は (B) の変化のみとなります)。

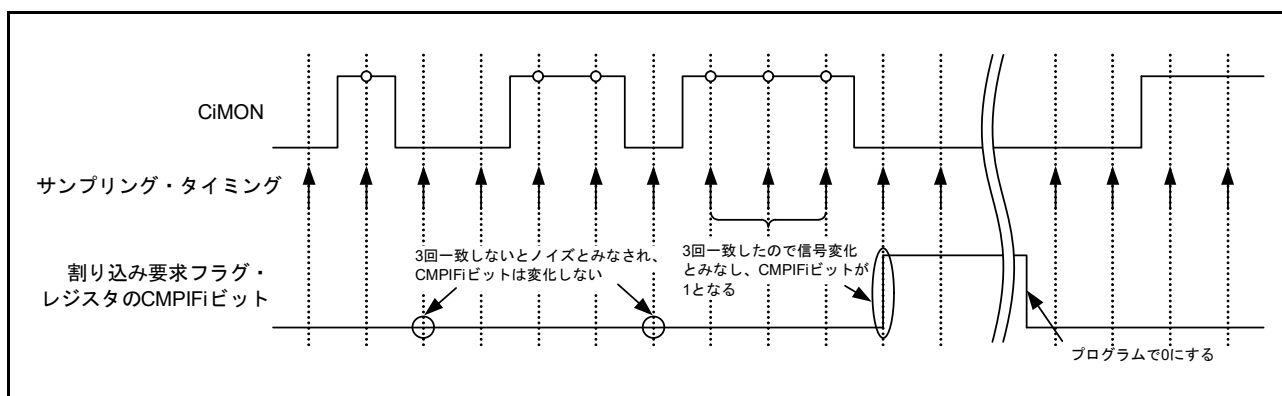
備考 44, 48ピン製品 : *i* = 0
52～100ピン製品 : *i* = 0, 1

18.4.1 コンパレータ*i*デジタル・フィルタ

コンパレータ*i*は、デジタル・フィルタを内蔵しています。サンプリング・クロックは COMPFIR レジスタの CiFCK1, CiFCK0 ビットで選択できます。サンプリング・クロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3回一致した次のサンプリング・クロックで、デジタル・フィルタ出力がその値になります。

図 18-8 にコンパレータ*i*デジタル・フィルタと割り込み動作例を示します。

図 18-8 コンパレータ*i*デジタル・フィルタと割り込み動作例



注意 上図は、COMPFIR レジスタの CiFCK1, CiFCK0 ビットが、01B, 10B, 11B のいずれか（デジタル・フィルタあり）の場合の動作例です。

備考 44, 48 ピン製品 : $i = 0$
52 ~ 100 ピン製品 : $i = 0, 1$

18.4.2 コンパレータ*i*割り込み

コンパレータはコンパレータ 0 およびコンパレータ 1 の 2 つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ 1 つずつの優先順位指定フラグ、割り込みマスク・フラグ、割り込み要求フラグ、割り込みベクタを持ちます。

コンパレータ*i*割り込みを使用するときは、COMPOCR レジスタの CiIE ビットを 1（割り込み要求許可）にしてください。割り込み要求を発生する条件は、COMPFIR レジスタにより設定します。また、コンパレータ出力にはデジタル・フィルタを付けることが可能です。デジタル・フィルタは、3 種類のサンプリング・クロックを選択可能です。

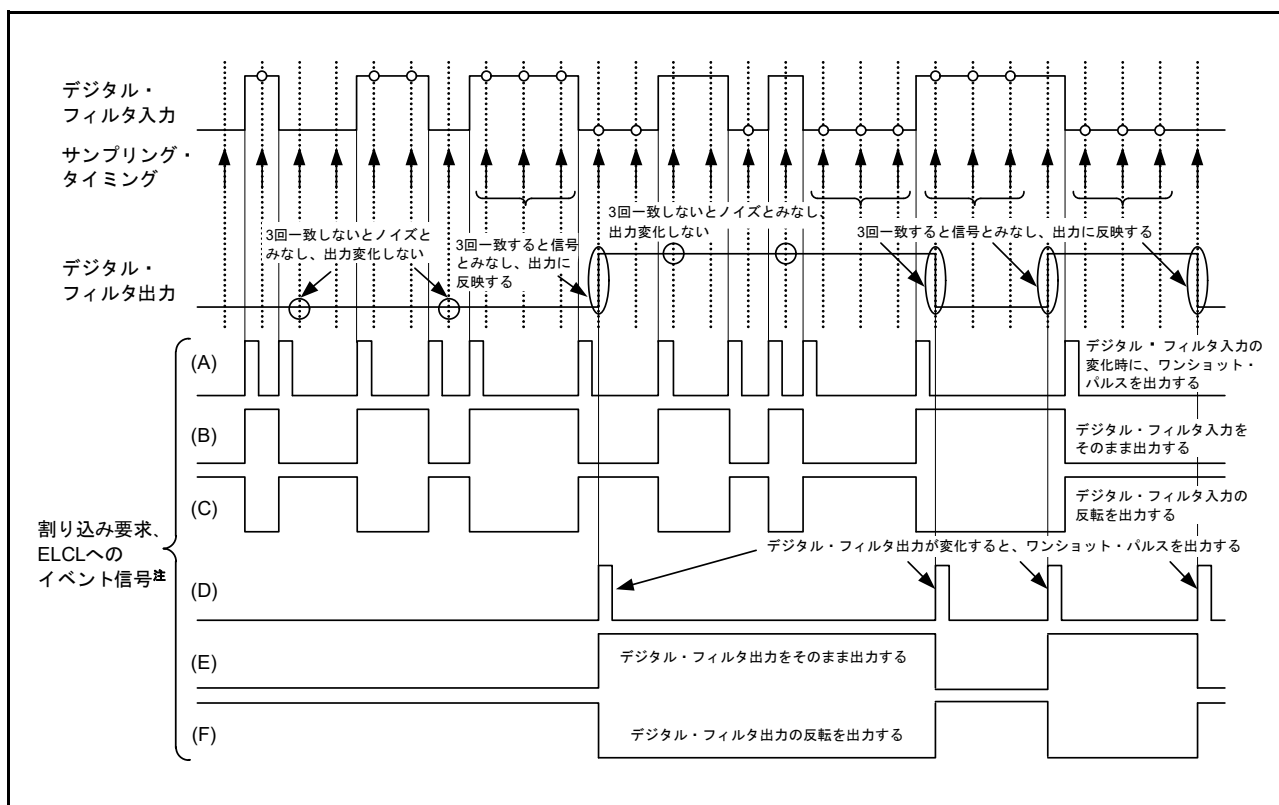
レジスタ設定と割り込み要求発生に対応については、18.3.4 コンパレータ・フィルタ制御レジスタ (COMPFIR) および 18.3.5 コンパレータ出力制御レジスタ (COMPOCR) を参照してください。

備考 44, 48 ピン製品 : $i = 0$
52 ~ 100 ピン製品 : $i = 0, 1$

18.4.3 ロジック & イベント・リンク・コントローラ (ELCL) へのイベント信号出力

ELCL へのイベント信号は、割り込み要求の発生条件と同じく COMPFIR レジスタで設定したデジタル・フィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCR レジスタの CiIE ビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELCL の出力信号選択レジスタ n (ELOSEL n) および出力信号イネーブル設定レジスタ (ELOENCTL) で設定してください。

図 18-9 デジタル・フィルタの動作および割り込み要求と ELCL へのイベント信号の出力



注 CiIE ビットが1の場合は、割り込み要求と ELCL へのイベント信号は同じ波形になります。

CiIE ビットが0の場合は、割り込み要求のみ0固定になります。

(A), (B), (C) の波形は COMPFIR レジスタの CiFCK ビットが 00B (デジタル・フィルタなし) の場合、(D), (E), (F) の波形は COMPFIR レジスタの CiFCK ビットが 01B, 10B, 11B のいずれか (デジタル・フィルタあり) の場合の動作例です。(A), (D) は CiEDG ビットに 1 (両エッジ) を設定した場合、(B), (E) は CiEDG = 0, CiEPO = 0 (立ち上がりエッジ) の場合、(C), (F) は CiEDG = 0, CiEPO = 1 (立ち下がりエッジ) の場合です。

備考 44, 48 ピン製品 : $i = 0$
52 ~ 100 ピン製品 : $i = 0, 1$

18.4.4 コンパレータ*i*出力

コンパレータの比較結果を外部端子へ出力することができます。COMPOCR レジスタの CiOP, CiOE ビットにより出力極性（そのまま出力／反転出力）や出力許可／禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、

18.3.5 コンパレータ出力制御レジスタ (COMPOCR) を参照してください。

VCOUT*i* 出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポートの設定してください（リセット後、ポートは入力設定になっています）。

- ① コンパレータのモードを設定（表 18 - 1 コンパレータ関連レジスタの設定手順の順番 1～9）。
- ② VCOUT0, VCOUT1 出力の極性選択、出力許可を設定（表 18 - 1 コンパレータ関連レジスタの設定手順の順番 11）。
- ③ VCOUT*i* 出力端子に対応するポート・モード・コントロール A・レジスタ（PMCAxx）またはポート・モード・コントロール T・レジスタ（PMCTxx）のビットに 0 を設定する。また、LCD ポート・ファンクション・レジスタ（PFSEGx）のビットに 0 を設定、LCD 入力切り替え制御レジスタ（ISCLCD）のビットに 1 を設定（ポートによって設定が異なるため、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください）。
- ④ VCOUT*i* 出力端子に対応するポート・レジスタのビットに 0 を設定
- ⑤ VCOUT*i* 出力端子に対応するポート・モード・レジスタのビットに 0（出力モード）を設定（端子から出力開始）。

備考 44, 48 ピン製品 : $i = 0$
52 ~ 100 ピン製品 : $i = 0, 1$

18.4.5 コンパレータのクロック停止／供給

周辺イネーブル・レジスタ 1（PER1）の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ① COMPOCR レジスタの CiIE ビットに 0 を設定（コンパレータの割り込みを禁止します）。
- ② COMPMDR レジスタの CiENB ビットに 0 を設定（コンパレータを停止します）。
- ③ IF2H レジスタの CMPIFi ビットに 0 を設定（コンパレータ停止前の不要な割り込みをクリア）。
- ④ PER1 レジスタの CMPEN ビットに 0 を設定

PER1 の設定によりクロック停止しますが、コンパレータ内部のレジスタはすべて初期化されません（レジスタの値を保持します）。

注意 以下の状態で、DTC を起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため、必要に応じて COMPMDR レジスタのモニタ・フラグ（CiMON）を確認してから DTC を起動許可にしてください。

- ・コンパレータを片エッジ検出での割り込み要求に設定（CiEDG = 0）かつコンパレータの立ち上がりエッジで割り込み要求に設定（CiEPO = 0）かつ $IVCMPi > \text{コンパレータ } i \text{ の基準電圧の状態}$
- ・コンパレータを片エッジ検出での割り込み要求に設定（CiEDG = 0）かつコンパレータの立ち下がりエッジで割り込み要求に設定かつ（CiEPO = 1）かつ $IVCMPi < \text{コンパレータ } i \text{ の基準電圧の状態}$

備考 44, 48 ピン製品 : $i = 0$
52 ~ 100 ピン製品 : $i = 0, 1$

第19章 シリアル・アレイ・ユニット (SAU)

シリアル・アレイ・ユニットは、1つのユニットに最大4つのシリアル・チャンネルを持ちます。各チャンネルは3線シリアル（簡易SPI/CSI^注）、UART、簡易I²Cの通信機能を実現できます。

本製品で対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

<44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	—	UART2 (LIN-bus対応)	—
	1	CSI21		IIC21
	2	—	—	(IIC30)
	3	—		—

<48ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
	2	—	—	IIC30
	3	—		—

<52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	—		—

< 64ピン製品 >

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 80ピン製品 >

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 100ピン製品 >

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意 この章では、以降の主な説明を100ピン製品のユニット、チャンネル構成で説明しています。

備考 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx)** を参照してください。

19.1 シリアル・アレイ・ユニットの機能

本製品で対応している各シリアル・インタフェースの特徴を示します。

19.1.1 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信、受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、**19.5 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作**を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

「クロック制御」

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケールとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2（CSI00 のみ）
 Max. fCLK/4
 スレーブ通信時 : Max. fMCK/6

「割り込み機能」

- 転送完了割り込み／バッファ空き割り込み

「エラー検出フラグ」

- オーバラン・エラー

また、以下の簡易 SPI (CSI) は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で SCK 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

- 44ピン製品 : CSI00
- 48～100ピン製品 : CSI00, CSI20

注 SCKサイクル・タイム (tkCY) の特性を満たす範囲内で使用してください。詳細は、**第42章 電気的特性**を参照してください。

注意 チップセレクト信号を追加する場合は、ポート機能を使用してください。

19.1.2 UART (UART0-UART3)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全二重 UART 通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み (INTP0) を組み合わせて LIN-bus にも対応可能です。

具体的な設定例は、**19.6 UART (UART0-UART3) 通信の動作**を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0, UART2 の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

UART2 (ユニット1のチャネル0, 1) は、LIN-bus に対応しています。

[LIN-bus 機能]

• ウェイクアップ信号検出 • ブレーク・フィールド (BF) 検出 • シンク・フィールド測定、ボー・レート算出	}	外部割り込み (INTP0)、 タイマ・アレイ・ユニットを使用

注 9ビット・データ長は、UART0, UART2のみ対応しています。

19.1.3 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、**19.8 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作**を参照してください。

[データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK出力機能^注、ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- スタート・コンディション、ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACKエラー、オーバラン・エラー

※簡易 I²C では、以下の機能はサポートしていません。

- スレーブ送信、スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (シリアル出力許可レジスタ m (SOEm)) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**19.8.3 (2) 処理フロー**を参照してください。

備考1. フル機能の I²C バスをご使用の場合は、**第20章 シリアル・インタフェース IICA (IICA)** を参照してください。

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

19.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表19-1 シリアル・アレイ・ユニットの構成

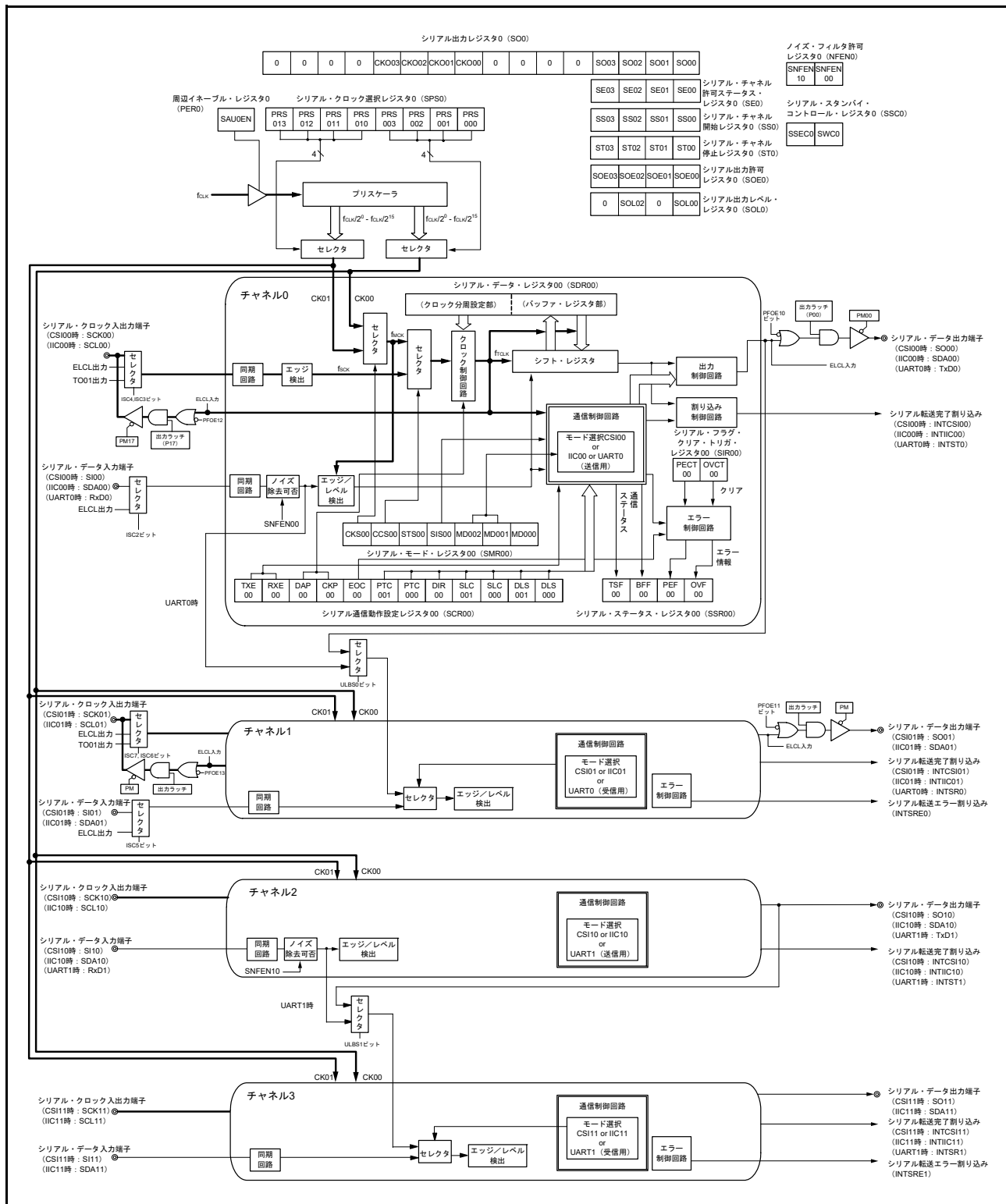
項目	構成
シフト・レジスタ	8ビットまたは9ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット ^{注1, 2}
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31 端子 (簡易SPI用)、 SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31 端子 (簡易I ² C用)
シリアル・データ 入力	SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31 端子 (簡易SPI用)、 RxD0, RxD1, RxD3 端子 (UART用)、RxD2 端子 (LIN-bus 対応UART用)
シリアル・データ 出力	SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31 端子 (簡易SPI用)、 TxD0, TxD1, TxD3 端子 (UART用)、TxD2 端子 (LIN-bus 対応UART用)
シリアル・データ 入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31 端子 (簡易I ² C用)
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ 0 (PER0) ・周辺リセット制御レジスタ 0 (PRR0) ・シリアル・クロック選択レジスタ m (SPSm) ・シリアル・チャネル許可ステータス・レジスタ m (SEm) ・シリアル・チャネル開始レジスタ m (SSm) ・シリアル・チャネル停止レジスタ m (STm) ・シリアル出力許可レジスタ m (SOEm) ・シリアル出力レジスタ m (SOM) ・シリアル出力レベル・レジスタ m (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ m (SSCm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 0 (NFEN0) <各チャネル部のレジスタ> ・シリアル・データ・レジスタ mn (SDRmn) ・シリアル・モード・レジスタ mn (SMRmn) ・シリアル通信動作設定レジスタ mn (SCRmn) ・シリアル・ステータス・レジスタ mn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) ・ポート・モード・レジスタ (PMxx) ・ポート・レジスタ (Pxx) ・ポート入力モード・レジスタ (PIMxx) ・ポート出力モード・レジスタ (POMxx) ・ポート・モード・コントロールA・レジスタ (PMCAxx) ・ポート・モード・コントロールT・レジスタ (PMCTxx) ・ポート・モード・コントロールE・レジスタ (PMCExx) ・ポート・ファンクション出力許可レジスタ (PFOEx) ・LCDポート・ファンクション・レジスタ (PFSEGx) ・UARTループバック選択レジスタ (ULBS)

(注、備考は次ページに続きます)

- 注1.** シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- mn = 00, 01, 10, 11の場合 : 下位9ビット
 - 上記以外の場合 : 下位8ビット
- 注2.** シリアル・データ・レジスタ mn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称で読み出し／書き込み可能です。
- CSIp通信時 : SIOp (CSIpデータ・レジスタ)
 - UARTq受信時 : RXDq (UARTq受信データ・レジスタ)
 - UARTq送信時 : TXDq (UARTq送信データ・レジスタ)
 - IICr通信時 : SIOr (IICrデータ・レジスタ)
- 備考** m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
q : UART番号 (q = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

図 19 - 1 にシリアル・アレイ・ユニット 0 のブロック図を示します。

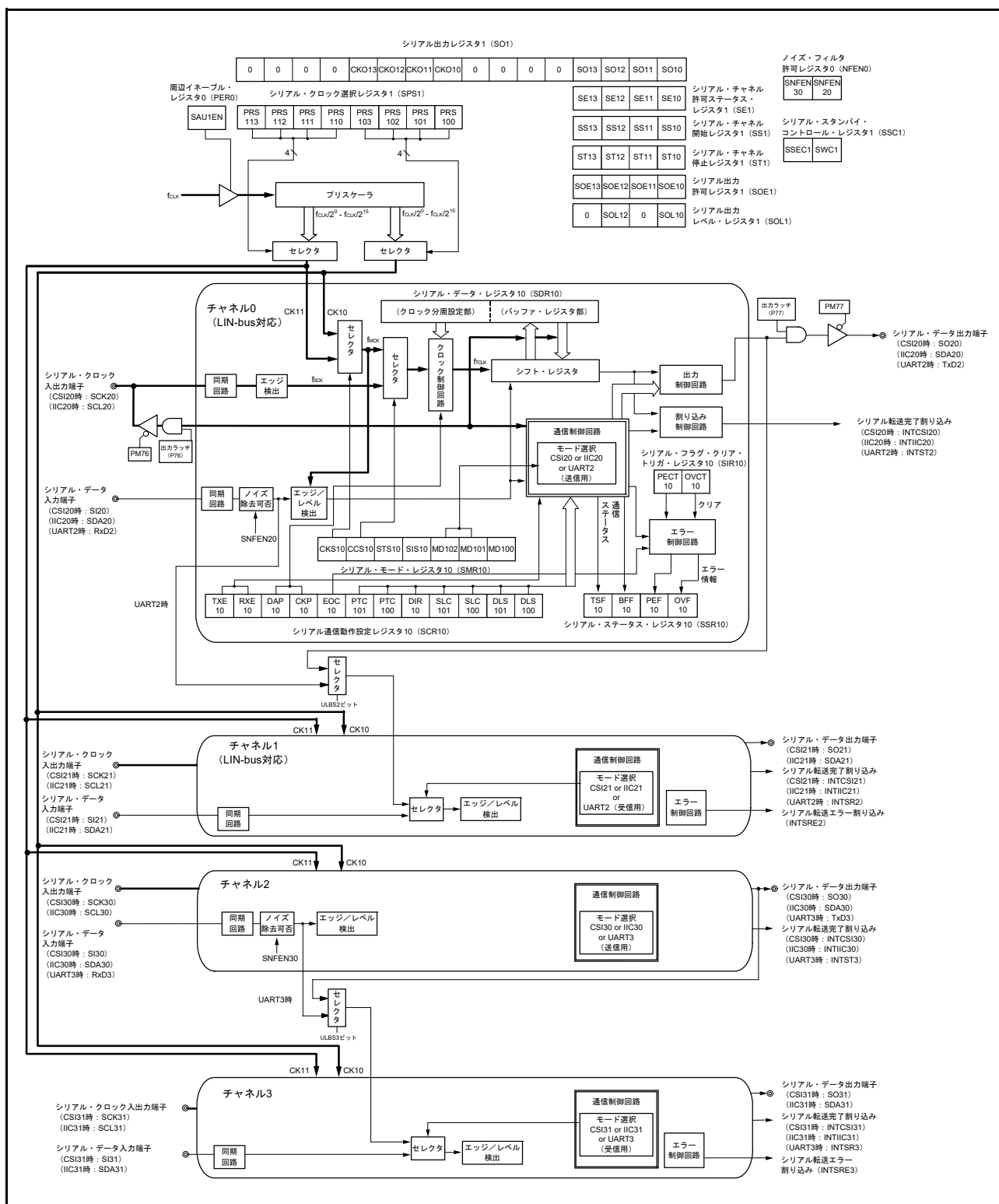
図 19-1 シリアル・アレイ・ユニット0のブロック図



備考 この図で示すシリアル・アレイ・ユニット0の端子は、PIOR10レジスタのビットに0を設定した場合に選択される端子です。

図 19-2 にシリアル・アレイ・ユニット 1 のブロック図を示します。

図 19-2 シリアル・アレイ・ユニット 1 のブロック図



備考 この図で示すシリアル・アレイ・ユニット 1 の端子は、PIOR11 レジスタのビットに 0 を設定した場合に選択される端子です。

19.2.1 シフト・レジスタ

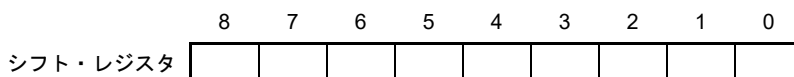
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット（ビット8-0）を使用します^注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータを読み出し／書き込みするには、シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビットを使用します。



注 9ビット・データ長は、UART0, UART2のみ対応しています。

19.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビット

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ（16 ビット）です。

ビット 8-0（下位 9 ビット）^{注1}、またはビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9 の部分は動作クロック（fMCK）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

下位 8/9 ビットに格納するデータは、データ出力順序にかかわらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット 1, 0 (DLSmn1, DLSmn0) の設定によって、次のようになります。

- 7ビット・データ長（SDRmnレジスタのビット6-0に格納）
- 8ビット・データ長（SDRmnレジスタのビット7-0に格納）
- 9ビット・データ長（SDRmnレジスタのビット8-0に格納）^{注1}

SDRmn レジスタは 16 ビット単位で読み出し／書き込み可能です。

また SDRmn レジスタの下位 8/9 ビットは、通信方式により、次の SFR 名称で 8 ビット単位で読み出し／書き込み可能^{注2}です。

- CSIp通信時：SIOP（CSIpデータ・レジスタ）
- UARTq受信時：RXDq（UARTq受信データ・レジスタ）
- UARTq送信時：TXDq（UARTq送信データ・レジスタ）
- IICr通信時：SIOR（IICrデータ・レジスタ）

リセット信号の発生により、0000H になります。

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令による SDRmn[7:0] ビットの書き換えは禁止です (SDRmn[15:9] がすべて 0 にクリアされます)。

備考1. 受信完了後、ビット 8-0 内でデータ長を超える部分のビットには、0 が格納されます。

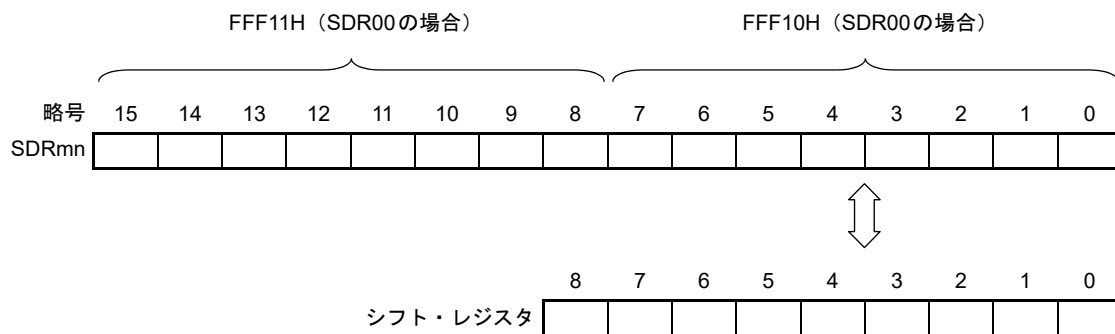
備考2. m：ユニット番号 (m = 0, 1)、n：チャンネル番号 (n = 0-3)、p：CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、q：UART番号 (q = 0-3)、r：IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

図19-3 シリアル・データ・レジスタ mn (SDRmn) (mn = 00, 01, 10, 11) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), FFF48H, FFF49H (SDR10),
FFF4AH, FFF4BH (SDR11)

リセット時: 0000H

R/W属性 : R/W



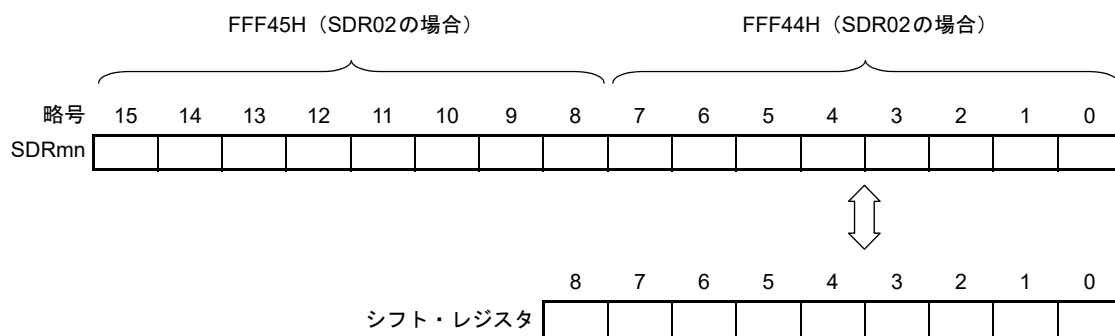
備考 SDRmnレジスタの上位7ビットの機能については、**19.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

図19-4 シリアル・データ・レジスタ mn (SDRmn) (mn = 02, 03, 12, 13) のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), FFF14H, FFF15H (SDR12),
FFF16H, FFF17H (SDR13)^注

リセット時: 0000H

R/W属性 : R/W



注 52～100ピン製品

注意 ビット8には、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、**19.3 シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

19.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- 周辺リセット制御レジスタ0 (PRR0)
- シリアル・クロック選択レジスタm (SPSm)
- シリアル・モード・レジスタmn (SMRmn)
- シリアル通信動作設定レジスタmn (SCRmn)
- シリアル・データ・レジスタmn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- シリアル・ステータス・レジスタmn (SSRmn)
- シリアル・チャンネル開始レジスタm (SSm)
- シリアル・チャンネル停止レジスタm (STm)
- シリアル・チャンネル許可ステータス・レジスタm (SEm)
- シリアル出力許可レジスタm (SOEm)
- シリアル出力レジスタm (SOM)
- シリアル出力レベル・レジスタm (SOLm)
- シリアル・スタンバイ・コントロール・レジスタm (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- LCDポート・ファンクション・レジスタ (PFSEGx)
- UARTループバック選択レジスタ (ULBS)

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

19.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用する場合は、必ず SAU0EN ビットに1を設定してください。シリアル・アレイ・ユニット1を使用する場合は、必ず SAU1EN ビットに1を設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図19-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可注
1	入力クロック供給 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート入力モード・レジスタ (PIMxx)、ポート出力モード・レジスタ (POMxx)、ポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx)、ポート・ファンクション出力許可レジスタ1 (PFOE1)、LCDポート・ファンクション・レジスタ (PFSEGx) は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャネル開始レジスタm (SSm)
- ・シリアル・チャネル停止レジスタm (STm)
- ・シリアル・チャネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

19.3.2 周辺リセット制御レジスタ0 (PRR0)

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニット0 をリセットする場合は、SAU0RES ビットに 1 を設定してください。シリアル・アレイ・ユニット1 をリセットする場合は、SAU1RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 19 - 6 周辺リセット制御レジスタ0 (PRR0) のフォーマット

アドレス : F00F1H
リセット時: 00H
R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	IICA1RES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
SAUmRES	シリアル・アレイ・ユニットmのリセット制御							
0	シリアル・アレイ・ユニットmのリセット解除							
1	シリアル・アレイ・ユニットmはリセット状態 ・シリアル・アレイ・ユニットmで使用するSFRが初期化されます。							

注意 ビット7, 1には、必ず0を設定してください。

19.3.3 シリアル・クロック選択レジスタ m (SPSm)

SPSm レジスタは、各チャンネルに共通して供給される 2 種類の動作クロック (CKm0, CKm1) を選択する 16 ビット・レジスタです。SPSm レジスタのビット 7-4 で CKm1 を、ビット 3-0 で CKm0 を選択します。

SPSm レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSm レジスタは、16 ビット・メモリ操作命令で設定します。また SPSm レジスタの下位 8 ビットは、SPSmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 19-7 シリアル・クロック選択レジスタ m (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1)^注

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SPSm	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRSmk3	PRSmk2	PRSmk1	PRSmk0	動作クロック (CKmk) の選択 ^注					
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 シリアル・アレイ・ユニット (SAU) 動作中に fCLK で選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、SAU の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

(注意、備考は次ページに続きます)

注意 ビット15-8には、必ず0を設定してください。

備考1. fCLK : CPU／周辺ハードウェア・クロック周波数

備考2. m : ユニット番号 (m = 0, 1)

備考3. k = 0, 1

19.3.4 シリアル・モード・レジスタ mn (SMRmn)

SMRmn レジスタは、チャンネル n の動作モード設定レジスタです。動作クロック (fMCK) の選択、シリアル・クロック (fSCK) 入力の使用可否、スタート・トリガ設定、動作モード (簡易 SPI/CSI、UART、簡易 I²C) 設定、割り込み要因の選択を行います。また UART モード時のみ、受信データのレベル反転の設定を行います。

SMRmn レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただし、MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020H になります。

図 19-8 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00)-F0116H, F0117H (SMR03),
F0150H, F0151H (SMR10)-F0156H, F0157H (SMR13)^{注1}

リセット時: 0020H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn 注2

7	6	5	4	3	2	1	0
0	SISmn0 注2	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャンネルnの動作クロック（fMCK）の選択
0	SPSm レジスタで設定した動作クロック CKm0
1	SPSm レジスタで設定した動作クロック CKm1

動作クロック（fMCK）は、エッジ検出回路に使用されます。また、CCSmn ビットと SDRmn レジスタの上位7ビットの設定により、転送クロック（fCLK）を生成します。

CCSmn	チャンネルnの転送クロック（fCLK）の選択
0	CKSmn ビットで指定した動作クロック fMCK の分周クロック
1	SCKp 端子からの入力クロック fSCK（簡易 SPI/CSI モードのスレーブ転送）

転送クロック fCLK は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0 の場合は、SDRmn レジスタの上位7ビットで動作クロック（fMCK）の分周設定を行います。

STSmn注2	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効（簡易 SPI/CSI、UART 送信、簡易 I2C 時に選択）
1	RxDq 端子の有効エッジ（UART 受信時に選択）

SSm レジスタに1を設定後、上記の要因が満たされてから転送開始となります。

SISmn0注2	UART モードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がリエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がリエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

図 19 - 8 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (2/2)

MDmn2	MDmn1	チャンネルnの動作モードの設定
0	0	簡易 SPI (CSI) モード
0	1	UART モード
1	0	簡易 I ² C モード
1	1	設定禁止

MDmn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注1. SMR00-SMR03, SMR10, SMR11, SMR12 : 全製品

SMR13 : 52～100ピン製品

注2. SMR01, SMR03, SMR11, SMR13レジスタのみ

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3) には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
q : UART番号 (q = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

19.3.5 シリアル通信動作設定レジスタ mn (SCRmn)

チャンネル n の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmn レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SCRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087H になります。

図 19 - 9 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00)-F011EH, F011FH (SCR03),
F0158H, F0159H (SCR10)-F015EH, F015FH (SCR13)^{注1}

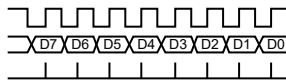
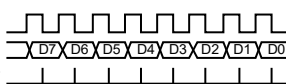
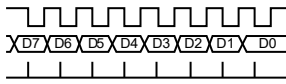
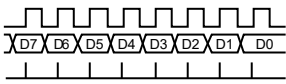
リセット時: 0087H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0

7	6	5	4	3	2	1	0
DIRmn	0	SLCmn1注2	SLCmn0	0	1	DLSmn1注3	DLSmn0

TXEmn	RXEmn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易 SPI（CSI）モードでのデータとクロックの位相選択	タイプ
0	0	SCKp	1
0	1	SCKp	2
1	0	SCKp	3
1	1	SCKp	4

UART モード、簡易 I2C モード時には、DAPmn, CKPmn = 00B を設定してください。

EOCmn	エラー割り込み信号（INTSREx（x = 0-3））のマスク制御
0	エラー割り込みINTSRExの発生を禁止する（INTSRxが発生する）
1	エラー割り込みINTSRExの発生を許可する（エラー発生時、INTSRxは発生しない）

簡易 SPI（CSI）モード、簡易 I2C モード、UART 送信時には、EOCmn = 0 を設定してください注4。

図 19 - 9 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット (2/2)

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^{注5}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI (CSI) モード、簡易I ² Cモード時には、PTCmn1, PTCmn0 = 00Bを設定してください。			

DIRmn	簡易SPI (CSI)、UARTモードでのデータ転送順序の選択
0	MSB ファーストで入出力を行う
1	LSB ファーストで入出力を行う
簡易I ² Cモード時には、DIRmn = 0を設定してください。	

SLCmn1 注2	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12のみ)
1	1	設定禁止
転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みが発生します。 UART受信時、簡易I²Cモード時には、1ビット (SLCmn1, SLCmn0 = 01B) を設定してください。 簡易SPI (CSI) モード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 00B) を設定してください。 UART送信時は、1ビット (SLCmn1, SLCmn0 = 01B) または2ビット (SLCmn1, SLCmn0 = 10B) を設定してください。		

DLSmn1 注3	DLSmn0	簡易SPI (CSI)、UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmnレジスタのビット8-0に格納) (UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmnレジスタのビット6-0に格納)
1	1	8ビット・データ長 (SDRmnレジスタのビット7-0に格納)
上記以外		設定禁止
簡易I ² Cモード時には、DLSmn1, DLSmn0 = 11Bを設定してください。		

(注、注意、備考は次ページに続きます)

- 注1.** SCR00-SCR03, SCR10, SCR11, SCR12 : 全製品
SCR13 : 52～100ピン製品
- 注2.** SCR00, SCR02, SCR10, SCR12レジスタのみ
- 注3.** SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。
- 注4.** CSImnをEOCmn = 0で使用しない場合、エラー割り込み (INTSREx) が発生する場合があります。
- 注5.** データの内容にかかわらず0が付加されます。
- 注意** ビット11, 6, 3には、必ず0を設定してください (SCR01, SCR03, SCR11, SCR13レジスタはビット5も0を設定してください)。ビット2には、必ず1を設定してください。
- 備考** m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

19.3.6 シリアル・データ・レジスタ mn (SDRmn)

SDRmn レジスタは、チャンネル n の送受信データ・レジスタ（16 ビット）です。

SDR00, SDR01, SDR10, SDR11 のビット 8-0（下位 9 ビット）、または SDR02, SDR03, SDR12, SDR13 注のビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9（上位 7 ビット）の部分は動作クロック（fMCK）の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットに 0 を設定した場合は、動作クロックをこの SDRmn レジスタのビット 15-9（上位 7 ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットに 1 を設定した場合は、SDR00, SDR01, SDR10, SDR11 レジスタのビット 15-9（上位 7 ビット）に 0000000B を設定してください。SCKp 端子からの入力クロック fSCK（簡易 SPI/CSI モードのスレーブ転送）が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

SDRmn レジスタは、16 ビット単位で読み出し／書き込み可能です。

ただし、上位 7 ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）に SDRmn レジスタに書き込みを行ったときは、下位 8/9 ビットのみ値が書き込まれます。動作中に SDRmn レジスタの読み出しを行った場合、上位 7 ビットは常に 0 が読み出されます。

リセット信号の発生により、0000H になります。

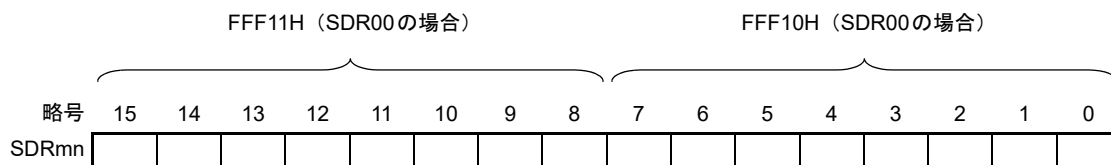
注 52～100 ピン製品

図 19-10 シリアル・データ・レジスタ mn (SDRmn) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), FFF48H, FFF49H (SDR10),
FFF4AH, FFF4BH (SDR11)

リセット時: 0000H

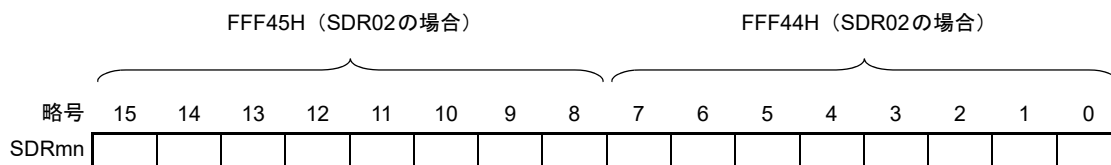
R/W属性 : R/W



アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), FFF14H, FFF15H (SDR12),
FFF16H, FFF17H (SDR13)^注

リセット時: 0000H

R/W属性 : R/W



SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	fMCK/2
0	0	0	0	0	0	1	fMCK/4
0	0	0	0	0	1	0	fMCK/6
0	0	0	0	0	1	1	fMCK/8
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.
1	1	1	1	1	1	0	fMCK/254
1	1	1	1	1	1	1	fMCK/256

注 52～100ピン製品

注意1. SDR02, SDR03, SDR12, SDR13レジスタのビット8は、必ず0を設定してください。

注意2. UART使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

注意4. 動作停止 (SEmn = 0) 時は、8ビット・メモリ操作命令によるSDRmn[7:0]ビットの書き換えは禁止です (SDRmn[15:9]ビットがすべて0にクリアされます)。

備考1. SDRmnレジスタの下位8/9ビットの機能については、19.2 シリアル・アレイ・ユニットの構成を参照してください。

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

19.3.7 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネル n の各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) に 1 をセットすると、シリアル・ステータス・レジスタ mn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐ SIRmn レジスタもクリアされます。

SIRmn レジスタは、16 ビット・メモリ操作命令で設定します。また SIRmn レジスタの下位 8 ビットは、SIRmnL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 19-11 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) -F010EH, F010FH (SIR03),
F0148H, F0149H (SIR10) -F014EH, F014FH (SIR13)^{注1}

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SIRmn	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	FECTmn 注2	PECTmn	OVCTmn
FECTmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmn レジスタの FEFmn ビットを 0 にクリアする							
PECTmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmn レジスタの PEFmn ビットを 0 にクリアする							
OVCTmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ							
0	クリアしない							
1	SSRmn レジスタの OVFmn ビットを 0 にクリアする							

注1. SIR00-SIR03, SIR10, SIR11, SIR12 : 全製品
SIR13 : 52 ~ 100 ピン製品

注2. SIR01, SIR03, SIR11, SIR13 レジスタのみ

注意 ビット 15-3 (SIR00, SIR02, SIR10, SIR12 レジスタの場合は、ビット 15-2) には、必ず 0 を設定してください。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

備考2. SIRmn レジスタの読み出し値は常に 0000H となります。

19.3.8 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmn レジスタは、チャンネル n の通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また SSRmn レジスタの下位 8 ビットは、SSRmnL レジスタとして 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図 19 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) -F0106H, F0107H (SSR03),
F0140H, F0141H (SSR10) -F0146H, F0147H (SSR13)^{注1}

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SSRmn	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	TSFmn	BFFmn	0	0	FEFmn 注2	PEFmn	OVFmn

TSFmn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> - STmレジスタのSTmnビットに1を設定時（通信停止状態）またはSSmレジスタのSSmnビットに1を設定時（通信待機状態） - 通信動作が終了時 <セット条件> - 通信動作を開始時	

BFFmn	チャンネルnのパッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> - 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき - 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき - STmレジスタのSTmnビットに1を設定時（通信停止状態）、SSmレジスタのSSmnビットに1を設定時（通信許可状態）。 <セット条件> - SCRmnレジスタのTXEmnビット＝1（各通信モードでの送信、送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき - SCRmnレジスタのRXEmnビット＝1（各通信モードでの受信、送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき - 受信エラー時	

図 19 - 12 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (2/2)

FEFmn ^{注2}	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生 (UART 受信時)
<クリア条件> ・ SIRmn レジスタの FECTmn ビットに1を書き込んだとき <セット条件> ・ UART 受信完了時に、ストップ・ビットが検出されないとき	

PEFmn	チャンネルnのパリティ／ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生 (UART 受信時)、またはACK未検出発生 (I ² C 送信時)
<クリア条件> ・ SIRmn レジスタの PECTmn ビットに1を書き込んだとき <セット条件> ・ UART 受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー) ・ I ² C 送信時に、ACK 受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)	

OVFmn	チャンネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> ・ SIRmn レジスタの OVCTmn ビットに1を書き込んだとき <セット条件> ・ SCRmn レジスタの RXEmn ビット = 1 (各通信モードでの受信、送受信モード時) の状態で、受信データが SDRmn レジスタに格納されているのに、読み出しをせずに送信データの書き込みまたは次の受信データの書き込みをしたとき ・ 簡易 SPI (CSI) モードのスレーブ送信／送受信で、送信データが準備できていないとき	

注1. SSR00-SSR03, SSR10, SSR11, SSR12 : 全製品

SSR13 : 52 ~ 100 ピン製品

注2. SSR01, SSR03, SSR11, SSR13 レジスタのみ

注意1. BFFmn = 1 のときに SDRmn レジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。

注意2. SNOOZE モード (SWCm = 1) で簡易 SPI (CSI) の受信動作を行う場合、OVFmn フラグおよび BFFmn フラグは動作しません。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

19.3.9 シリアル・チャネル開始レジスタ m (SSm)

SSm レジスタは、通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に 1 を書き込むと、シリアル・チャネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 1 にセット (動作許可状態) されます。SSmn ビットはトリガ・ビットなので、SEmn = 1 になるとすぐ SSmn ビットはクリアされます。

SSm レジスタは、16 ビット・メモリ操作命令で設定します。また SSm レジスタの下位 8 ビットは、SSmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 19-13 シリアル・チャネル開始レジスタ m (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SS0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SS03	SS02	SS01	SS00

アドレス : F0162H, F0163H (SS1)^注

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SS1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SS13	SS12	SS11	SS10

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmn ビットに 1 をセットし、通信待機状態に遷移する ^注

注 通信動作中に SSmn = 1 を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFMn フラグは状態を保持します。

注意1. SS0 レジスタのビット 15-4、44, 48 ピン製品の SS1 レジスタのビット 15-3、52～100 ピン製品の SS1 レジスタのビット 15-4 には、必ず 0 を設定してください。

注意2. UART 受信の場合は、SCRmn レジスタの RXEmn ビットに 1 を設定後に、fmck の 4 クロック以上間隔をあけてから SSmn = 1 を設定してください。

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

備考2. SSm レジスタの読み出し値は常に 0000H となります。

19.3.10 シリアル・チャネル停止レジスタ m (STm)

STm レジスタは、通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に 1 を書き込むと、シリアル・チャネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 0 にクリア (動作停止状態) されます。STmn ビットはトリガ・ビットなので、SEmn = 0 になるとすぐ STmn ビットはクリアされます。

STm レジスタは、16 ビット・メモリ操作命令で設定します。また STm レジスタの下位 8 ビットは、STmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 19-14 シリアル・チャネル停止レジスタ m (STm) のフォーマット

アドレス : F0124H, F0125H (ST0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
ST0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	ST03	ST02	ST01	ST00

アドレス : F0164H, F0165H (ST1)^注

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
ST1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	ST13	ST12	ST11	ST10
STmn	チャネルnの動作停止トリガ							
0	トリガ動作せず							
1	SEmn ビットを 0 にクリアし、通信動作を停止する ^注							

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOMn 端子と FEFmn, PEFmn, OVfmn フラグは状態を保持します。

注意 ST0 レジスタのビット 15-4、44, 48 ピン製品の ST1 レジスタのビット 15-3、52～100 ピン製品の ST1 レジスタのビット 15-4 には、必ず 0 を設定してください。

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

備考2. STm レジスタの読み出し値は常に 0000H となります。

19.3.11 シリアル・チャンネル許可ステータス・レジスタ m (SEm)

SEm レジスタは、各チャンネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ m (SSm) の各ビットに 1 を書き込むと、その対応ビットが 1 にセットされます。シリアル・チャンネル停止レジスタ m (STm) の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の CKOmn ビット (チャンネル n のシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネル n は、SOm レジスタの CKOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEm レジスタは、16 ビット・メモリ操作命令で読み出します。また SEm レジスタの下位 8 ビットは、SEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図 19-15 シリアル・チャンネル許可ステータス・レジスタ m (SEm) のフォーマット

アドレス : F0120H, F0121H (SE0)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SE0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SE03	SE02	SE01	SE00

アドレス : F0160H, F0161H (SE1)

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
SE1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SE13	SE12	SE11	SE10
SEmn	チャンネルnの動作許可／停止状態の表示							
0	動作停止状態							
1	動作許可状態							

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

19.3.12 シリアル出力許可レジスタ m (SOEm)

SOEm レジスタは、各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の SOmn ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SOm レジスタの SOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEm レジスタは、16 ビット・メモリ操作命令で設定します。また SOEm レジスタの下位 8 ビットは、SOEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図 19-16 シリアル出力許可レジスタ m (SOEm) のフォーマット

アドレス : F012AH, F012BH (SOE0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOE0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SOE03	SOE02	SOE01	SOE00

アドレス : F016AH, F016BH (SOE1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOE1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	SOE13	SOE12	SOE11	SOE10
SOEmn	チャンネルnのシリアル出力許可／停止							
0	シリアル通信動作による出力停止							
1	シリアル通信動作による出力許可							

注意 SOE0 レジスタのビット15-4, 44, 48ピン製品のSOE1 レジスタのビット15-3, 52～100ピン製品のSOE1 レジスタのビット15-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

19.3.13 シリアル出力レジスタ m (SOm)

SOm レジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタの SOmn ビットの値が、チャンネル n のシリアル・データ出力端子から出力されます。

このレジスタの CKOmn ビットの値が、チャンネル n のシリアル・クロック出力端子から出力されます。

このレジスタの SOmn ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタの CKOmn ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当する CKOmn, SOmn ビットに 1 を設定してください。

SOm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0F0FH になります。

図 19 - 17 シリアル出力レジスタ m (SOm) のフォーマット

アドレス : F0128H, F0129H (SO0)

リセット時: 0F0FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO0	0	0	0	0	CKO03	CKO02	CKO01	CKO00
	7	6	5	4	3	2	1	0
	0	0	0	0	SO03	SO02	SO01	SO00

アドレス : F0168H, F0169H (SO1)

リセット時: 0F0FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	CKO13	CKO12	CKO11	CKO10
	7	6	5	4	3	2	1	0
	0	0	0	0	SO13	SO12	SO11	SO10
CKOmn	チャンネルnのシリアル・クロック出力							
0	シリアル・クロック出力値が0							
1	シリアル・クロック出力値が1							
SOmn	チャンネルnのシリアル・データ出力							
0	シリアル・データ出力値が0							
1	シリアル・データ出力値が1							

(注意、備考は次ページに続きます)

注意 SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。

44, 48ピン製品のSO1レジスタのビット15-11, 7-3, 52～100ピン製品のSO1レジスタのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

19.3.14 シリアル出力レベル・レジスタ m (SOLm)

SOLm レジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI (CSI) モード、簡易 I²C モード時は、必ず対応するビットに 0 を設定してください。

このレジスタによる各チャンネル n の反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時は SOMn ビットの値がそのまま出力されます。

SOLm レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SOLm レジスタは、16 ビット・メモリ操作命令で設定します。また SOLm レジスタの下位 8 ビットは、SOLmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図19-18 シリアル出力レベル・レジスタ m (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SOL0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	SOL02	0	SOL00

アドレス : F0174H, F0175H (SOL1)

リセット時: 0000H

R/W属性 : R/W

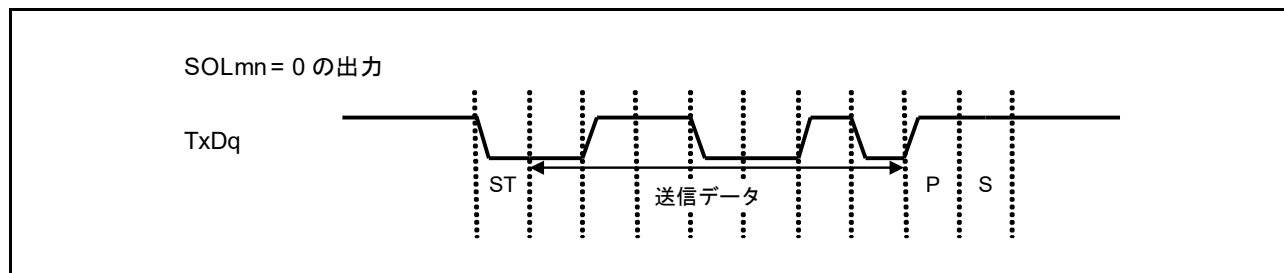
略号	15	14	13	12	11	10	9	8
SOL1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	SOL12	0	SOL10
SOLmn	UARTモードでのチャンネルnの送信データのレベル反転の選択							
0	通信データは、そのまま出力されます。							
1	通信データは、反転して出力されます。							

注意 SOL0レジスタのビット15-3, 1、44, 48ピン製品のSOL1レジスタのビット15-1、52~100ピン製品のSOL1レジスタのビット15-3, 1には、必ず0を設定してください。

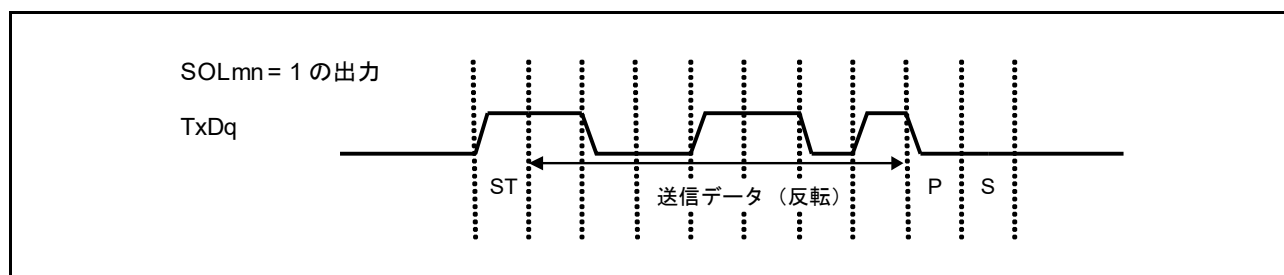
図 19 - 19 に UART 送信時、送信データのレベル反転例を示します。

図 19 - 19 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)

19.3.15 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00、UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSC1 レジスタは、CSI20、UART2 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZE モード) を制御するレジスタです。

SSCm レジスタは、16 ビット・メモリ操作命令で設定します。また SSCm レジスタの下位 8 ビットは、SSCmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

注意 SNOOZE モード時の最大転送レートは、次のようになります。

- CSI00, CSI20 の場合 : ~1 Mbps
- UART0, UART2 の場合 : ~115.2 kbps (FWKUP = 1, fCLK = fIH (32 MHz) 設定時)

図 19-20 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) のフォーマット

アドレス : F0138H, F0139H (SSC0), F0178H, F0179H (SSC1)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SSCm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZE モード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み (INTSRE0/INTSRE2) 発生許可
1	エラー割り込み (INTSRE0/INTSRE2) 発生停止

- SNOOZE モード時の UART 受信で、SWCm = 1 かつ EOCmn = 1 のときのみ、SSECm ビットに 1/0 を設定することができます。その他の場合は、SSECm ビットに 0 を設定してください。
- SSECm, SWCm = 10B は設定禁止です。

SWCm	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

- STOP モード中のハードウェア・トリガ信号で、STOP モードを解除し、CPU を動作させることなく、簡易 SPI (CSI) ／UART の受信動作を行います (SNOOZE モード)。
- SNOOZE モード機能は、CPU ／周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- SNOOZE モードを使用する場合でも、通常動作モード時は SWCm ビットに 0 を設定し、STOP モードへ移行する直前に SWCm ビットを 1 に変更してください。

また STOP モードから通常動作モードへ復帰後、必ず SWCm ビットを 0 に変更してください。

表19 - 2 SNOOZEモードでUART受信したときの割り込み

EOCmn ビット	SSECm ビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

19.3.16 入力切り替え制御レジスタ (ISC)

ISC レジスタの ISC1, ISC0 ビットは、UART2 で LIN-bus 通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

★ ISC2 ビットは、CSI00/UART0 のシリアル・データ入力ソースを選択するために使用します。

★ ISC4, ISC3 ビットは、CSI00 のシリアル・クロック入力ソースを選択するために使用します。

ISC7-ISC5 ビットは、CSI01 のシリアル・データ入力ソース、シリアル・クロック入力ソースを選択するために使用します。

ビット 0 に 1 を設定すると、シリアル・データ入力 (RxD2) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウェイクアップ信号を INTP0 割り込みで検出できます。

ビット 1 に 1 を設定すると、シリアル・データ入力 (RxD2) 端子の入力信号がタイマ入力として選択されます。これによって、ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅をタイマで測定できます。

★ ビット 2 に 1 を設定すると、CSI00/UART0 のシリアル・データ入力ソースに ELCL の出力信号を選択できます。

ビット 4, 3 の設定によって、CSI00 のシリアル・クロック入力ソースに SCK00 端子入力、ELCL の出力信号、TO01 出力信号を選択できます。

ビット 5 に 1 を設定すると、CSI01 のシリアル・データ入力ソースに ELCL の出力信号を選択できます。

ビット 7, 6 の設定によって、CSI01 のシリアル・クロック入力ソースに SCK01 端子入力、ELCL の出力信号、TO01 出力信号を選択できます。

ISC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図19-21 入力切り替え制御レジスタ (ISC) のフォーマット (1/2)

アドレス : F0073H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	ISC5	ISC4	ISC3	ISC2	ISC1	ISC0

ISC7	ISC6	CSI01のシリアル・クロック入力ソース切り替え ^{注1}
0	0	SCK01端子の入力信号（通常動作）
0	1	ELCLの出力信号
1	0	TO01の出力信号
1	1	設定禁止

ISC5	CSI01のシリアル・データ入力ソース切り替え ^{注2}
0	SI01端子の入力信号（通常動作）
1	ELCLの出力信号

図 19 - 21 入力切り替え制御レジスタ (ISC) のフォーマット (2/2)

ISC4	ISC3	CSI00のシリアル・クロック入力ソース切り替え ^{注3}
0	0	SCK00端子の入力信号 (通常動作)
0	1	ELCLの出力信号
1	0	TO01の出力信号
1	1	設定禁止

ISC2	CSI00/UART0のシリアル・データ入力切り替え ^{注4}
0	SI00/RxD0端子の入力信号 (通常動作)
1	ELCLの出力信号

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD2端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD2端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)

注1. チャンネル1をUARTモードまたは簡易I²Cモードに選択している場合は、ISC7ビットとISC6ビットに0を設定してください。

注2. チャンネル1をUARTモードまたは簡易I²Cモードに選択している場合は、ISC5ビットに0を設定してください。

注3. チャンネル0をUARTモードまたは簡易I²Cモードに選択している場合は、ISC4ビットとISC3ビットに0を設定してください。

★ **注4.** チャンネル0を簡易I²Cモードに選択している場合は、ISC2ビットに0を設定してください。

19.3.17 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0 レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易 SPI (CSI)、簡易 I²C 通信に使用する端子は、対応するビットに 0 を設定して、ノイズ・フィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャンネルの動作クロック (fMCK) で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャンネルの動作クロック (fMCK) で同期化だけ行います。

NFEN0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 19-22 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0070H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD3端子として使用するときは、SNFEN30 = 1に設定してください。 RxD3以外の機能として使用するときは、SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。 RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7, 5, 3, 1には、必ず0を設定してください。

19.3.18 シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・アレイ・ユニット入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.4 ポート入力モード・レジスタ (PIMxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.14 ポート・ファンクション出力許可レジスタ (PFOEx)、4.3.16 LCD ポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

異電位 (1.8 V 系、2.5 V 系、3 V 系) で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位 (1.8 V 系、2.5 V 系、3 V 系) 対応を参照してください。

19.3.19 UARTループバック選択レジスタ (ULBS)

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネルごとに制御できるビットを持ち、各チャンネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図19 - 23 UARTループバック選択レジスタ (ULBS) のフォーマット

アドレス : F0079H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	ULBS7	ULBS6	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBSn	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART0-3のRxD0-3端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

備考 n = 0-3

19.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

19.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ 0 (PER0) で行います。

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を停止する場合は、必ず SAU0EN ビットに 0 を設定してください。シリアル・アレイ・ユニット 1 を停止する場合は、必ず SAU1EN ビットに 0 を設定してください。

図19-24 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ 0 (PER0) の設定

(a) 周辺イネーブル・レジスタ 0 (PER0) : 停止するSAUmのビットのみ0を設定する

	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN x	IICA1EN x	ADCEN x	IICA0EN x	SAU1EN 0/1	SAU0EN 0/1	0 x	TAU0EN x

SAUmの入カクロックの制御

0 : 入カクロック供給停止

1 : 入カクロック供給

注意1. ビット1には、必ず0を設定してください。

注意2. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

備考 × : シリアル・アレイ・ユニットでは使用しないビット (ほかの周辺機能の設定による)
0/1 : ユーザの用途に応じて0または1を設定

19.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図19-25 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ m (STm) : 各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3注 0/1	STm2 0/1	STm1 0/1	STm0 0/1

1 : SEmn ビットを0にクリアし、通信動作を停止

※ STmn ビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmn ビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm) :

各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3注 0/1	SEm2 0/1	SEm1 0/1	SEm0 0/1

0 : 動作停止状態

※ SEm レジスタは読み出しのみ可能なステータス・レジスタであり、STm レジスタにて動作停止にします。

動作を停止したチャンネルは、SOm レジスタのCKOmn ビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm) : 各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3注 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

0 : シリアル通信動作による出力停止

※ シリアル出力を停止したチャンネルは、SOm レジスタのSOmn ビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ m (SOm) : 各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3注 0/1	CKOm2 0/1	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3注 0/1	SOm2 0/1	SOm1 0/1	SOm0 0/1

1 : シリアル・クロック出力値が1

1 : シリアル・データ出力値が1

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmn ビットに1を設定してください。

注 シリアル・アレイ・ユニット1の場合、52～100ピン製品のみ

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)

備考2. ■ : 設定不可 (初期値を設定)、0/1 : ユーザの用途に応じて0または1を設定

19.5 簡易SPI（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31）通信の動作

簡易 SPI は、シリアル・クロック (SCK) とシリアル・データ (SI, SO) の 3 本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00 のみ)
Max. fCLK/4
スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

また、以下の簡易 SPI (CSI) は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で SCK 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

- 44ピン製品 : CSI00
- 48～100ピン製品 : CSI00, CSI20

注 SCKサイクル・タイム (tKCY) の特性を満たす範囲内で使用してください。詳細は、**第42章 電気的特性**を参照してください。

注意 チップセレクト信号を追加する場合は、ポート機能を使用してください。

簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) に対応しているチャンネルは、SAU0 のチャンネル 0-3 と SAU1 のチャンネル 0-3 です。

<44 ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	—	UART2 (LIN-bus 対応)	—
	1	CSI21		IIC21
	2	—	—	(IIC30)
	3	—		—

<48 ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	—	—	IIC30
	3	—		—

<52 ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	—		—

< 64ピン製品 >

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 80ピン製品 >

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 100ピン製品 >

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

備考 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx)** を参照してください。

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) の通信動作は、以下の7種類があります。

- マスタ送信 (19.5.1 を参照)
- マスタ受信 (19.5.2 を参照)
- マスタ送受信 (19.5.3 を参照)
- スレーブ送信 (19.5.4 を参照)
- スレーブ受信 (19.5.5 を参照)
- スレーブ送受信 (19.5.6 を参照)
- SNOOZEモード機能 (19.5.7 を参照)

19.5.1 マスタ送信

マスタ送信とは、この RL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラからほかのデバイスへデータを送信する動作です。

簡易 SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO30	SCK31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	なし							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz]（CSI00のみ）、fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK：システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSB ファーストまたはLSB ファースト							

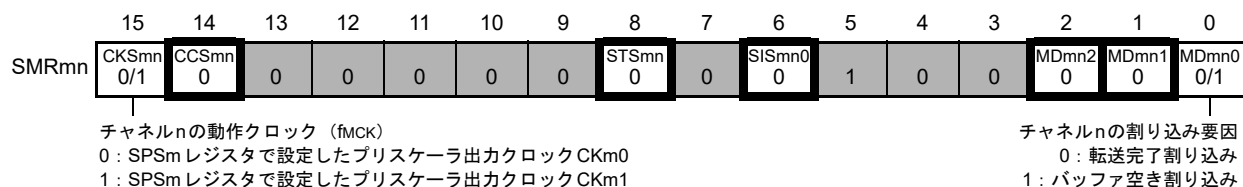
注 この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

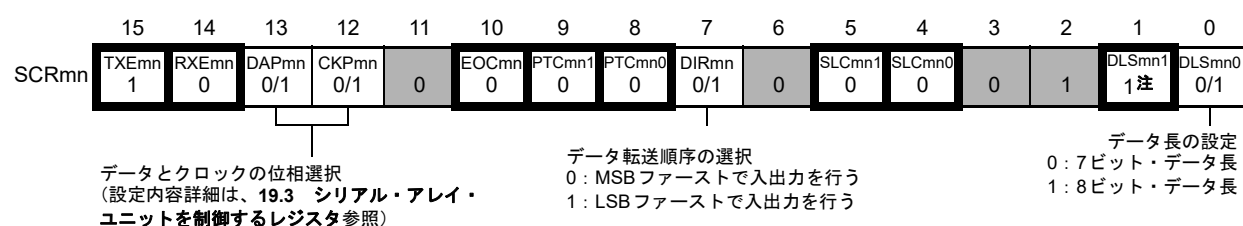
(1) レジスタ設定

図 19-26 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ送信時のレジスタ設定内容例

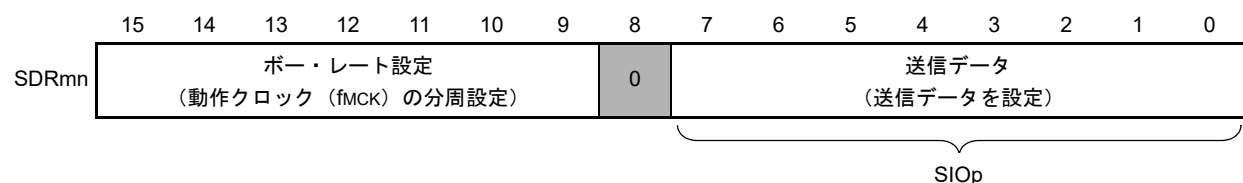
(a) シリアル・モード・レジスタ mn (SMRmn)



(b) シリアル通信動作設定レジスタ mn (SCRmn)



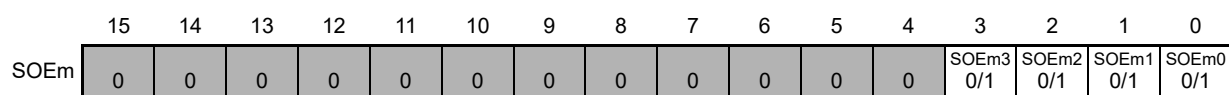
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



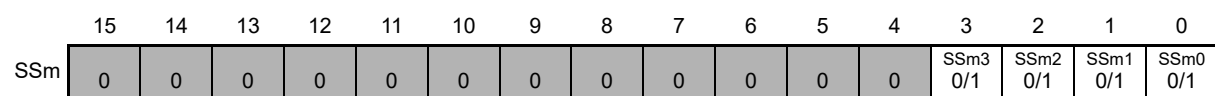
(d) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01, SCR10, SCR11 レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

備考2. ☐ : 簡易SPI (CSI) マスタ送信モードでは設定固定、 ☐ : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図 19 - 27 マスタ送信の初期設定手順

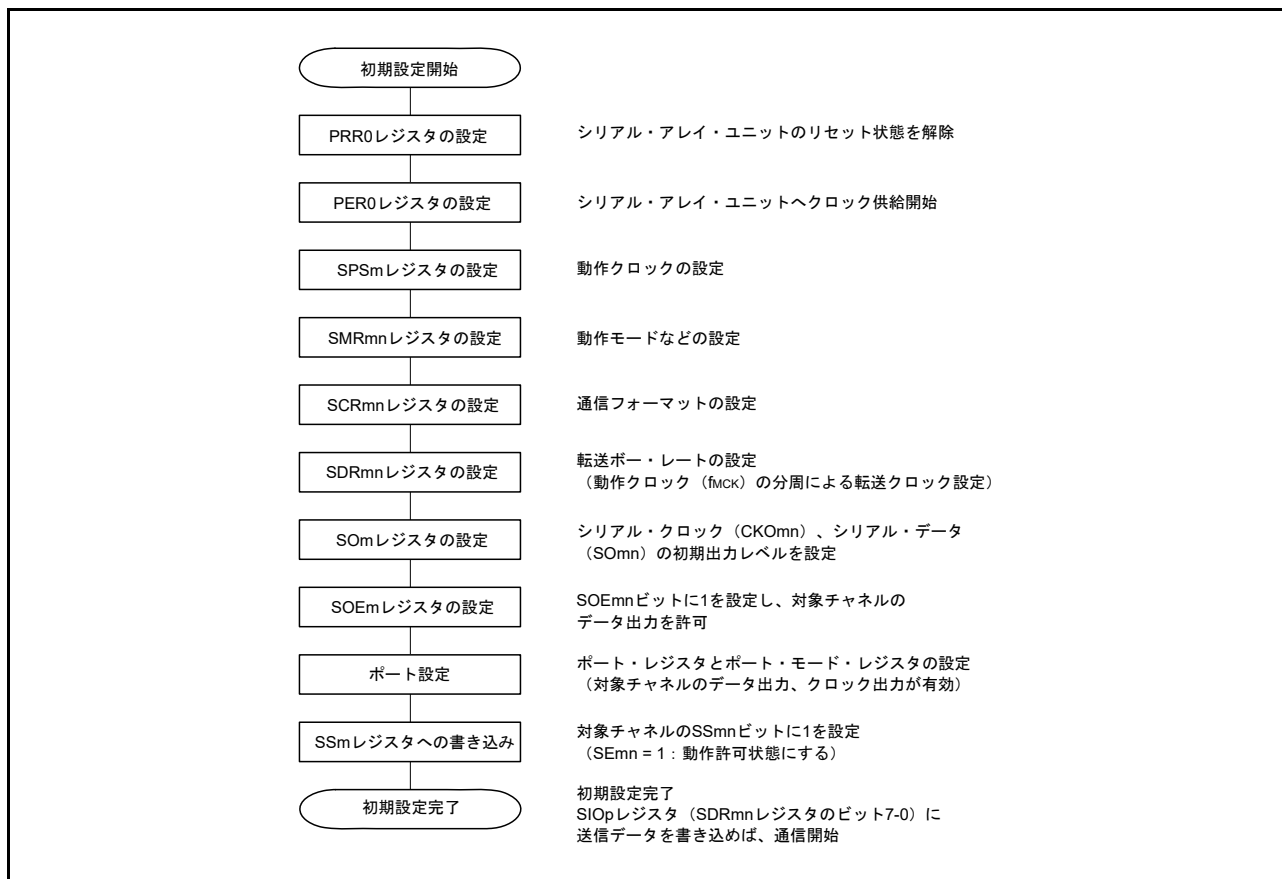


図 19 - 28 マスタ送信の中断手順

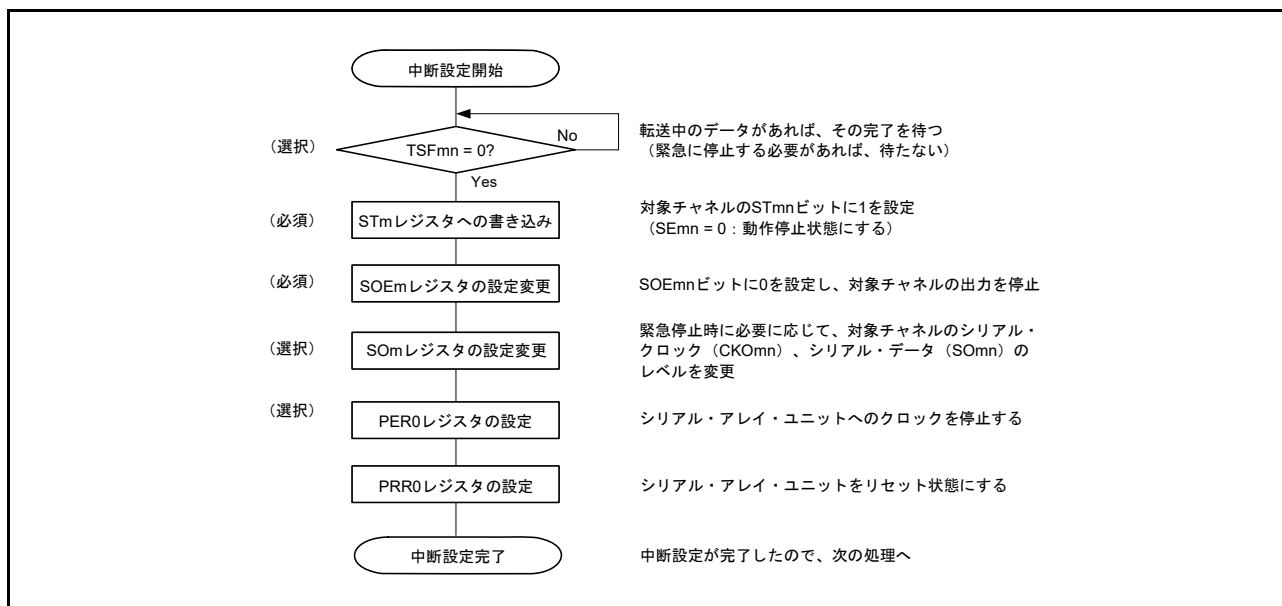
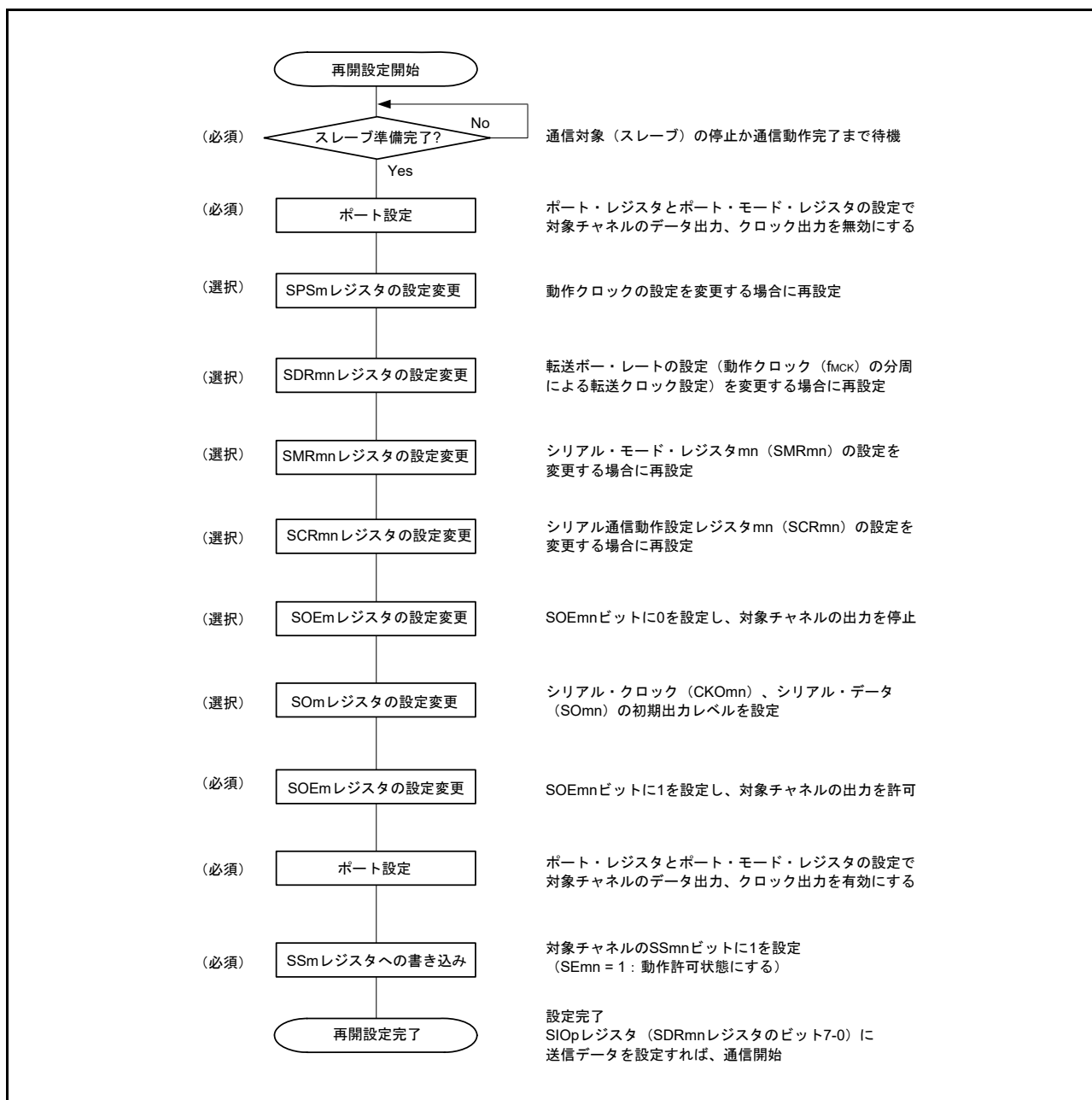


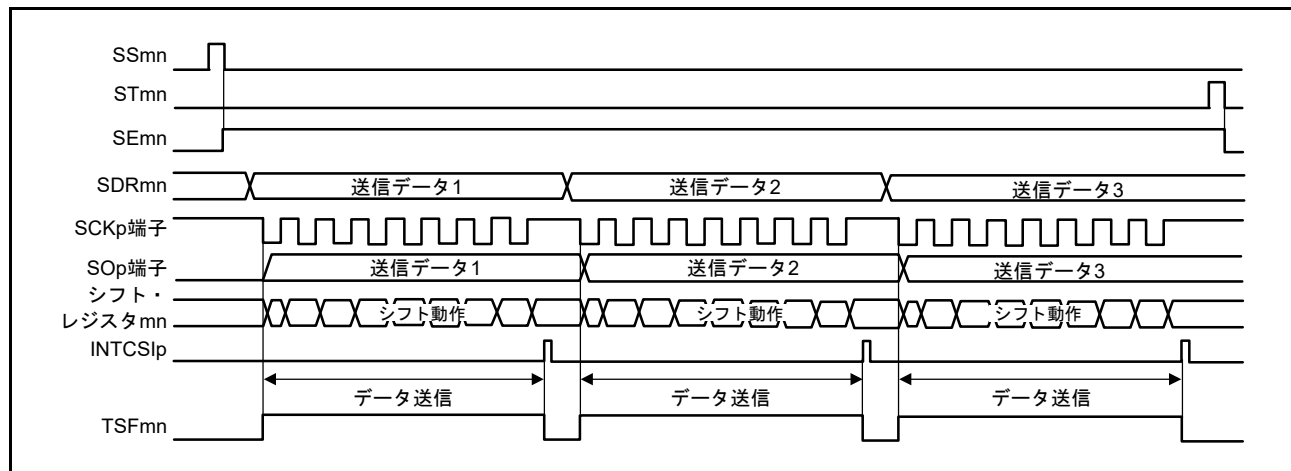
図 19 - 29 マスタ送信の再開設定手順



備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合は、通信対象（スレープ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

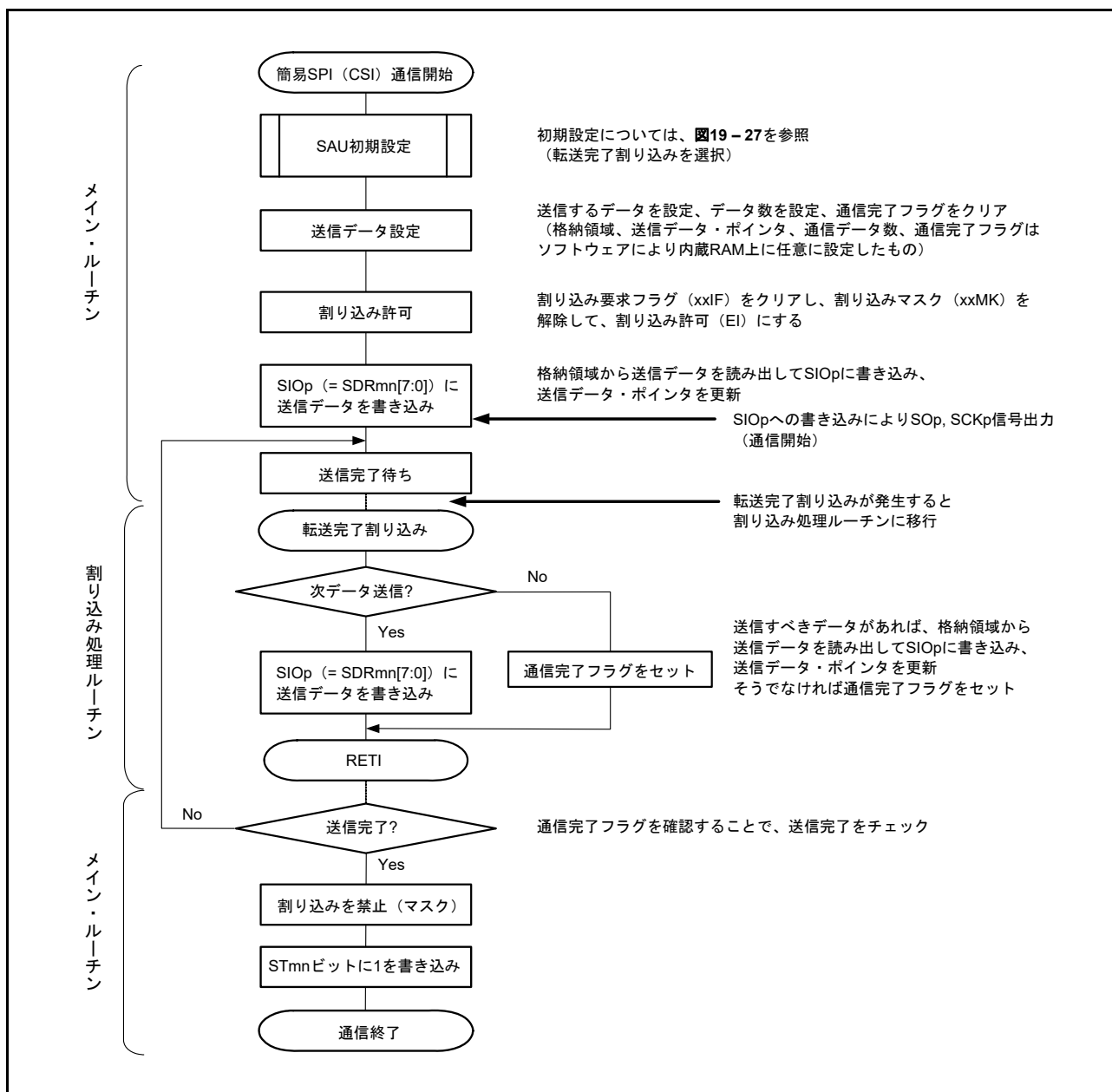
(3) 処理フロー (シングル送信モード時)

図19-30 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



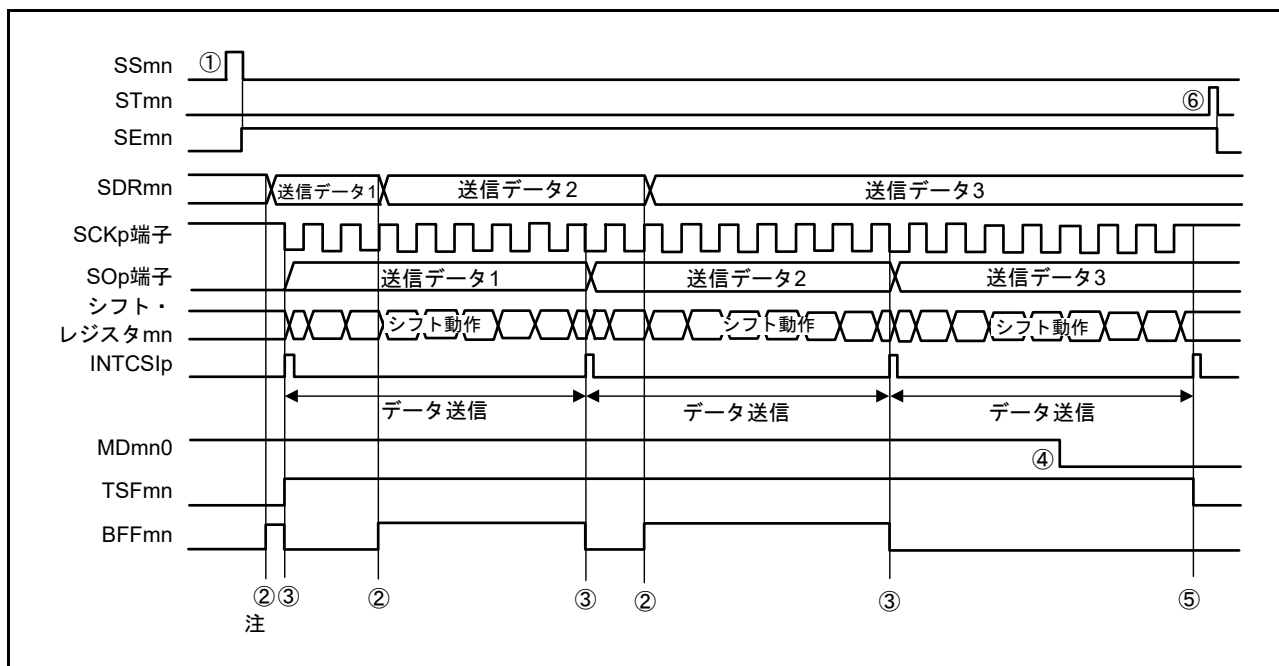
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

図19-31 マスタ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図19-32 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

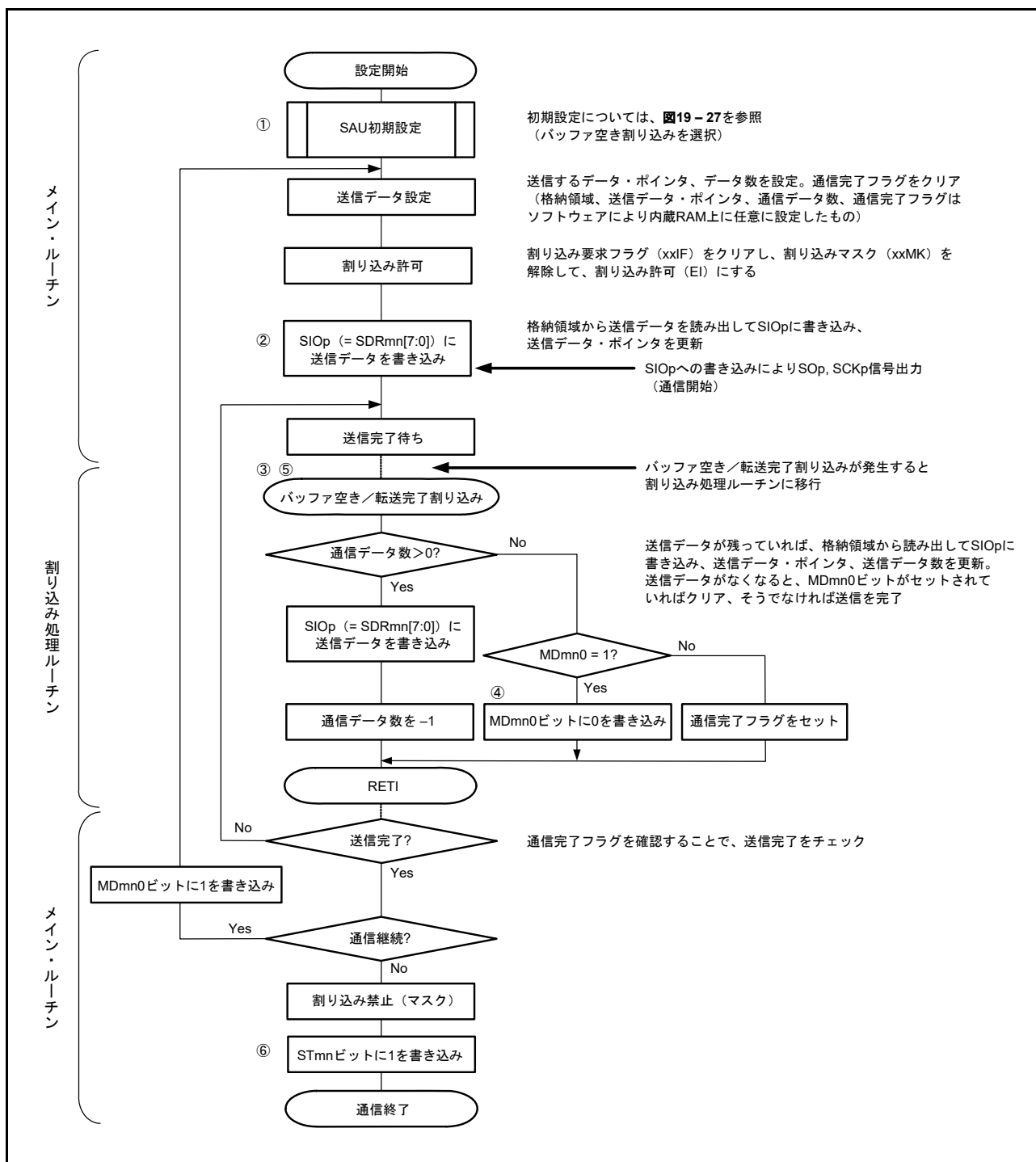


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間（有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき）に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

図19-33 マスタ送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、図19-32 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）の①～⑥に対応しています。

19.5.2 マスタ受信

マスタ受信とは、この RL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラがほかのデバイスからデータを受信する動作です。

簡易 SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz]（CSI00のみ）、fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK：システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSBファーストまたはLSBファースト							

注 この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

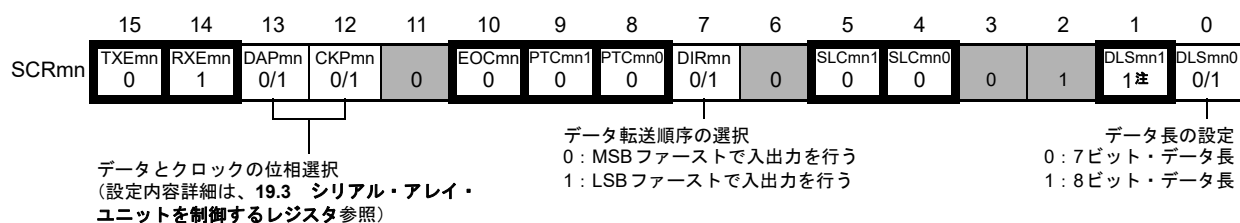
(1) レジスタ設定

図 19-34 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例

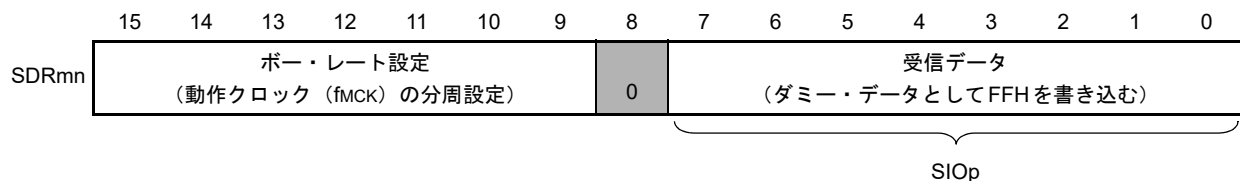
(a) シリアル・モード・レジスタ mn (SMRmn)



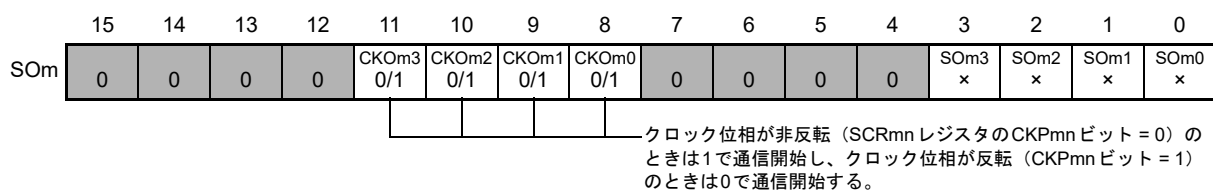
(b) シリアル通信動作設定レジスタ mn (SCRmn)



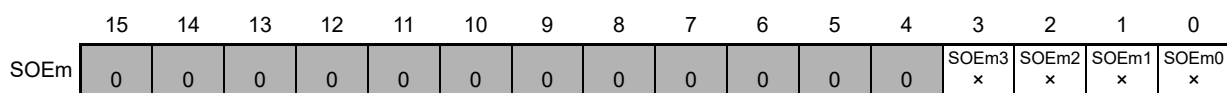
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



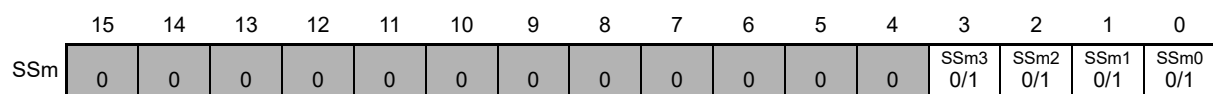
(d) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01, SCR10, SCR11レジスタのみ。その他は1固定になります。

(備考は次ページに続きます)

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

備考2.  : 簡易SPI (CSI) マスタ受信モードでは設定固定、 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図 19 - 35 マスタ受信の初期設定手順

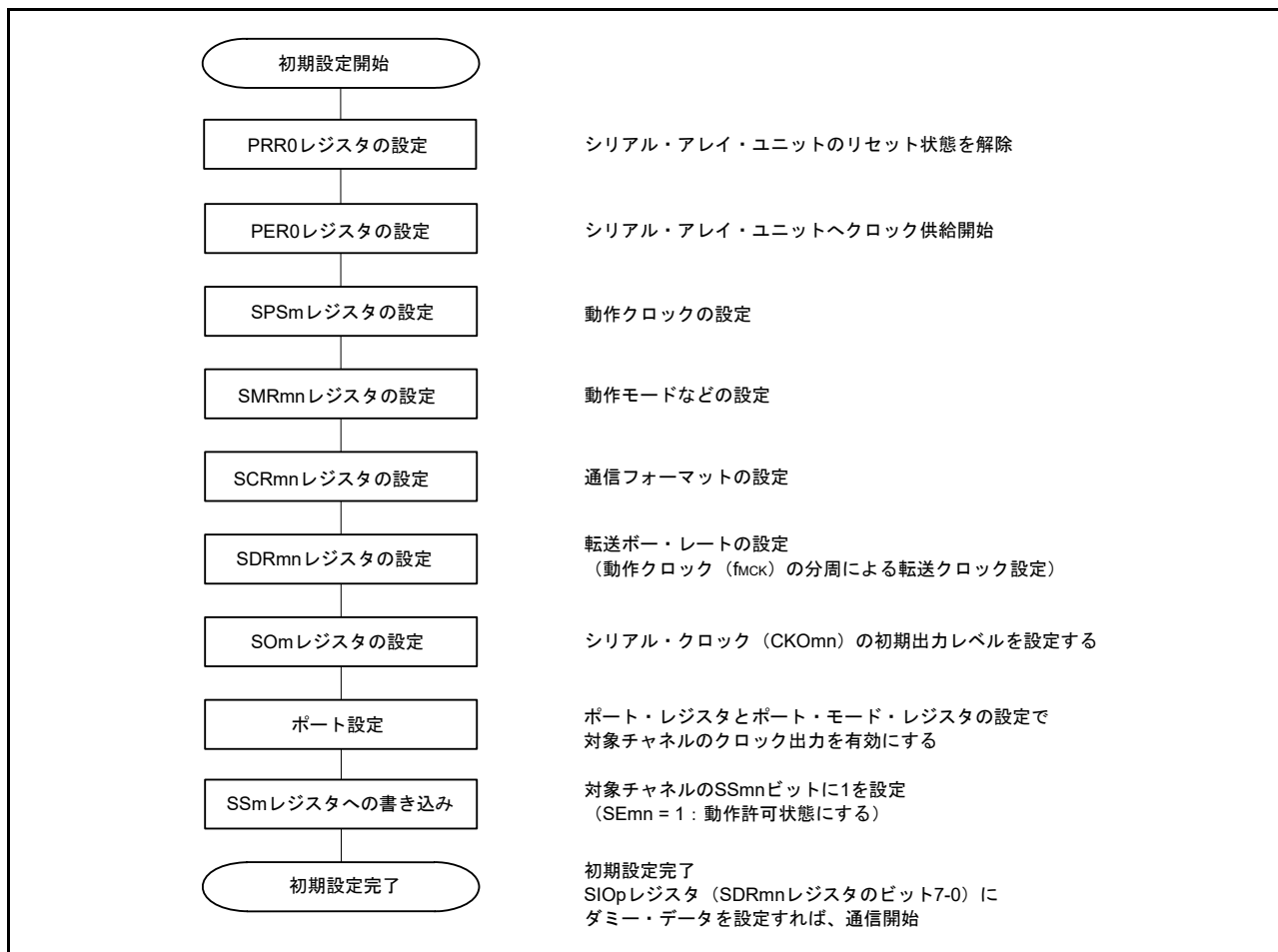


図 19 - 36 マスタ受信の中断手順

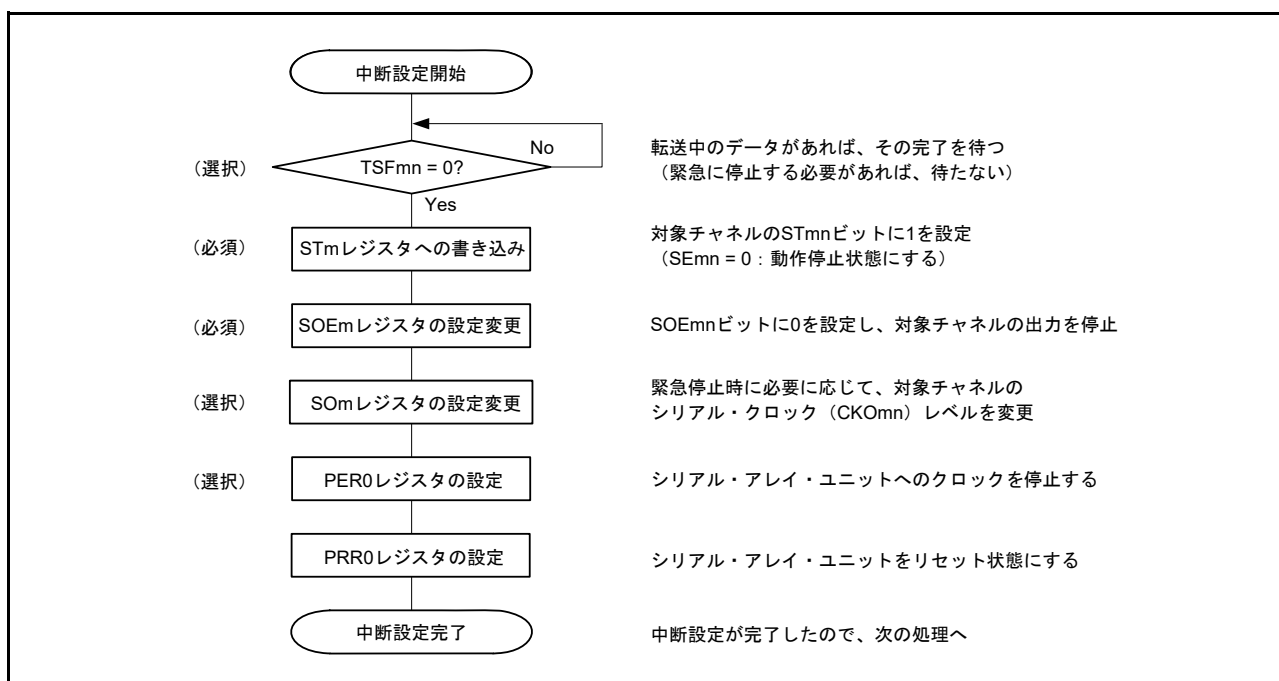
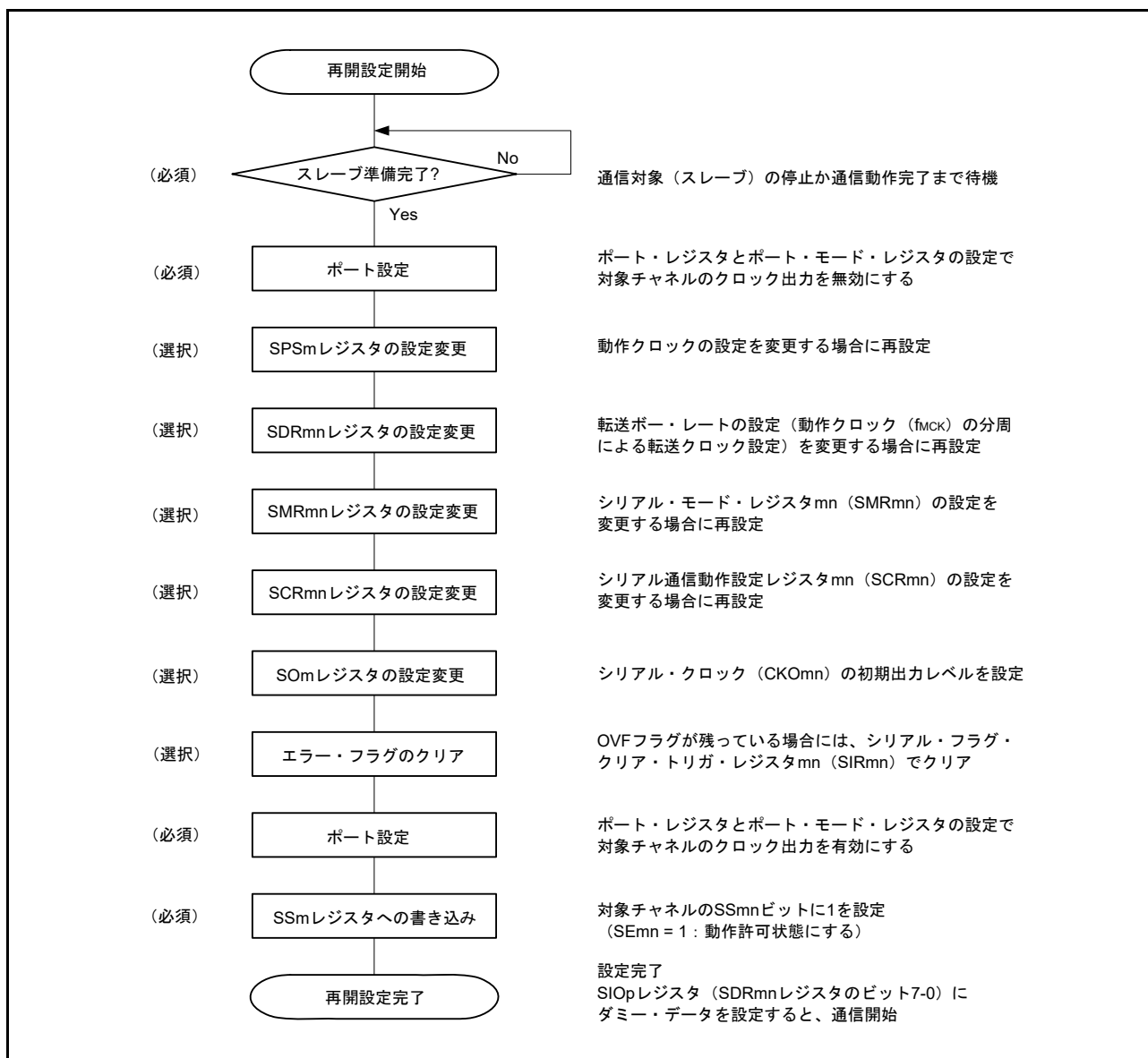


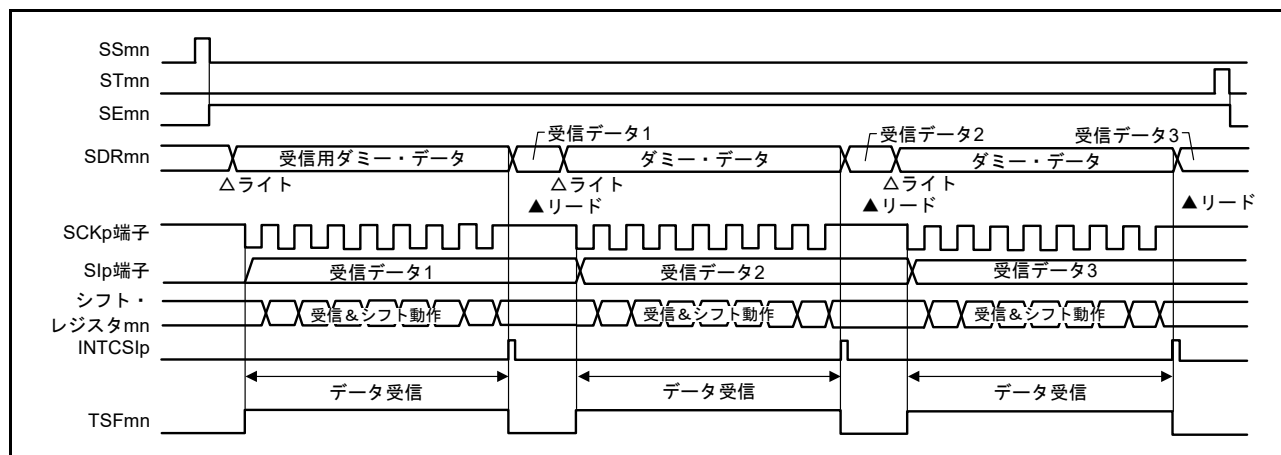
図 19 - 37 マスタ受信の再開設定手順



備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

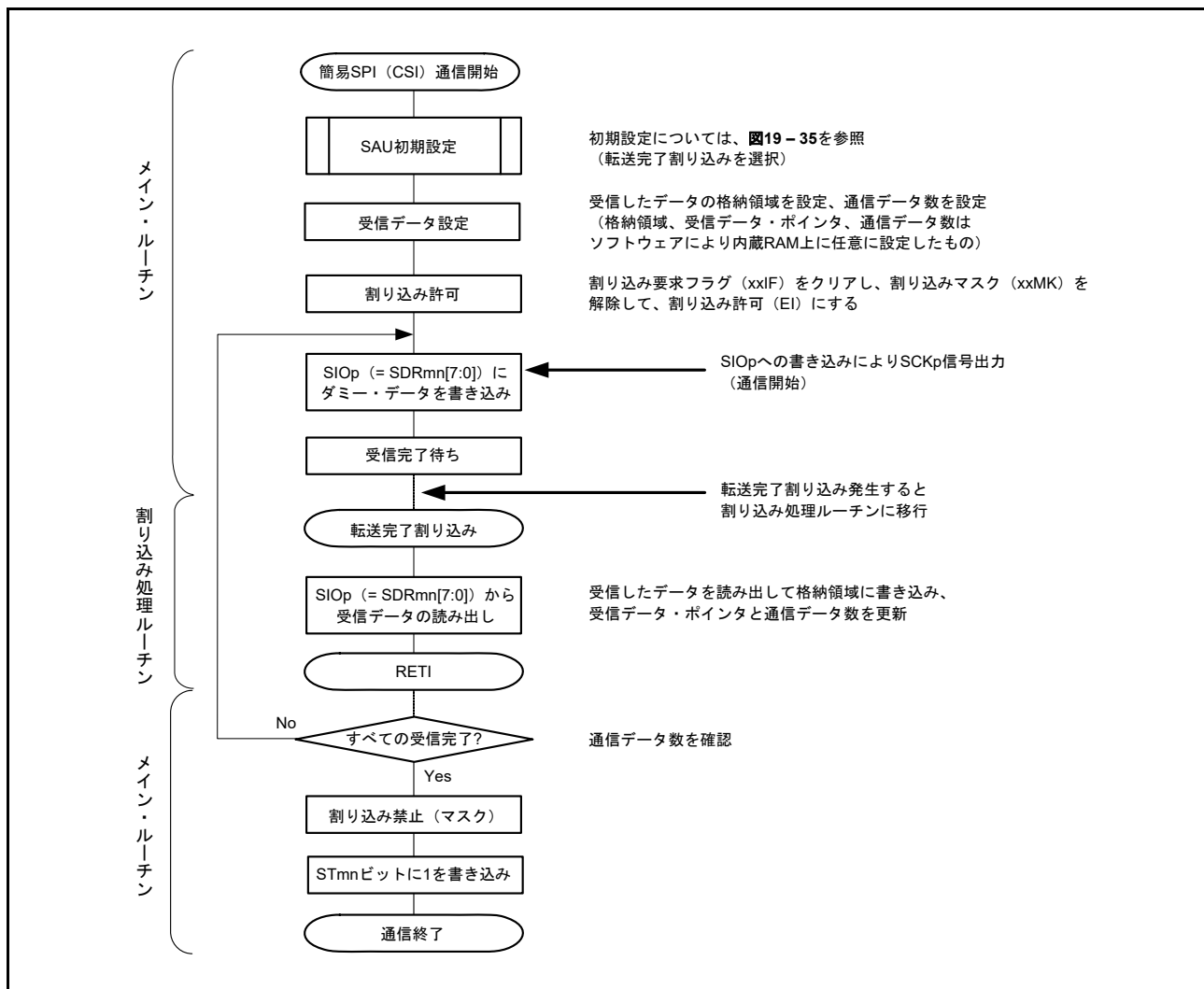
(3) 処理フロー (シングル受信モード時)

図19-38 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



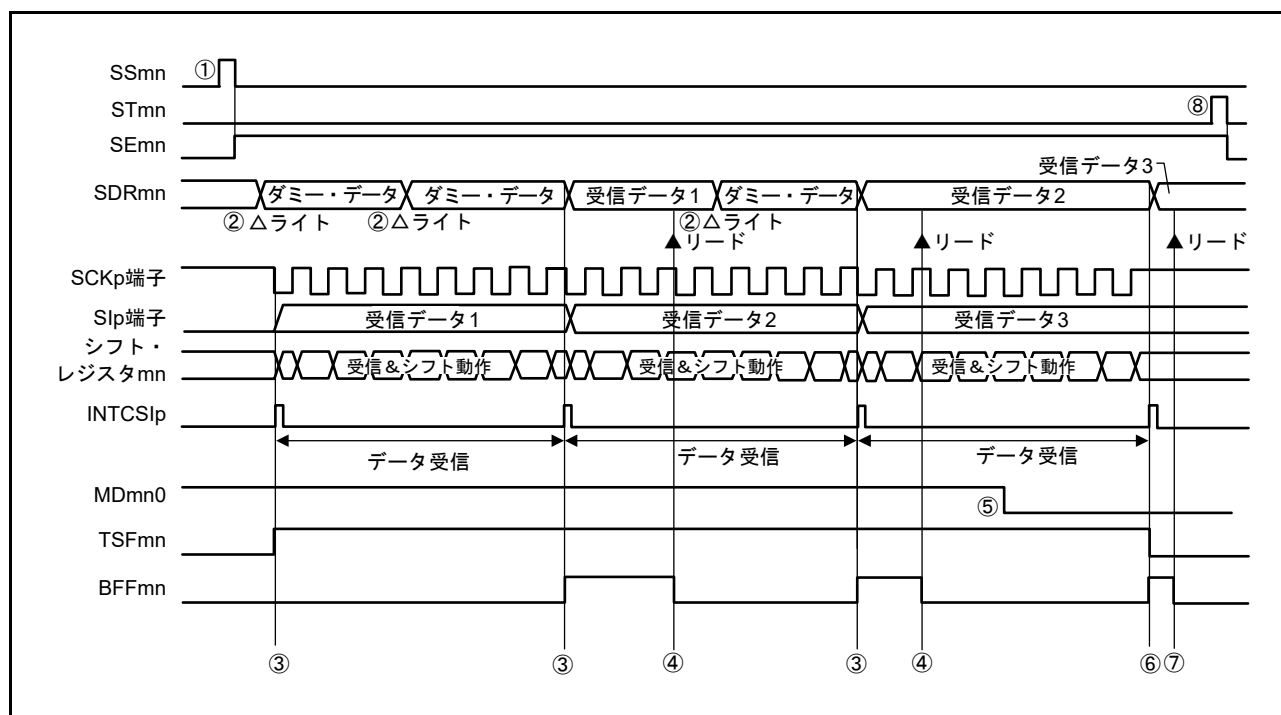
備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

図19-39 マスタ受信 (シングル受信モード時) のフロー・チャート



(4) 処理フロー（連続受信モード時）

図19-40 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



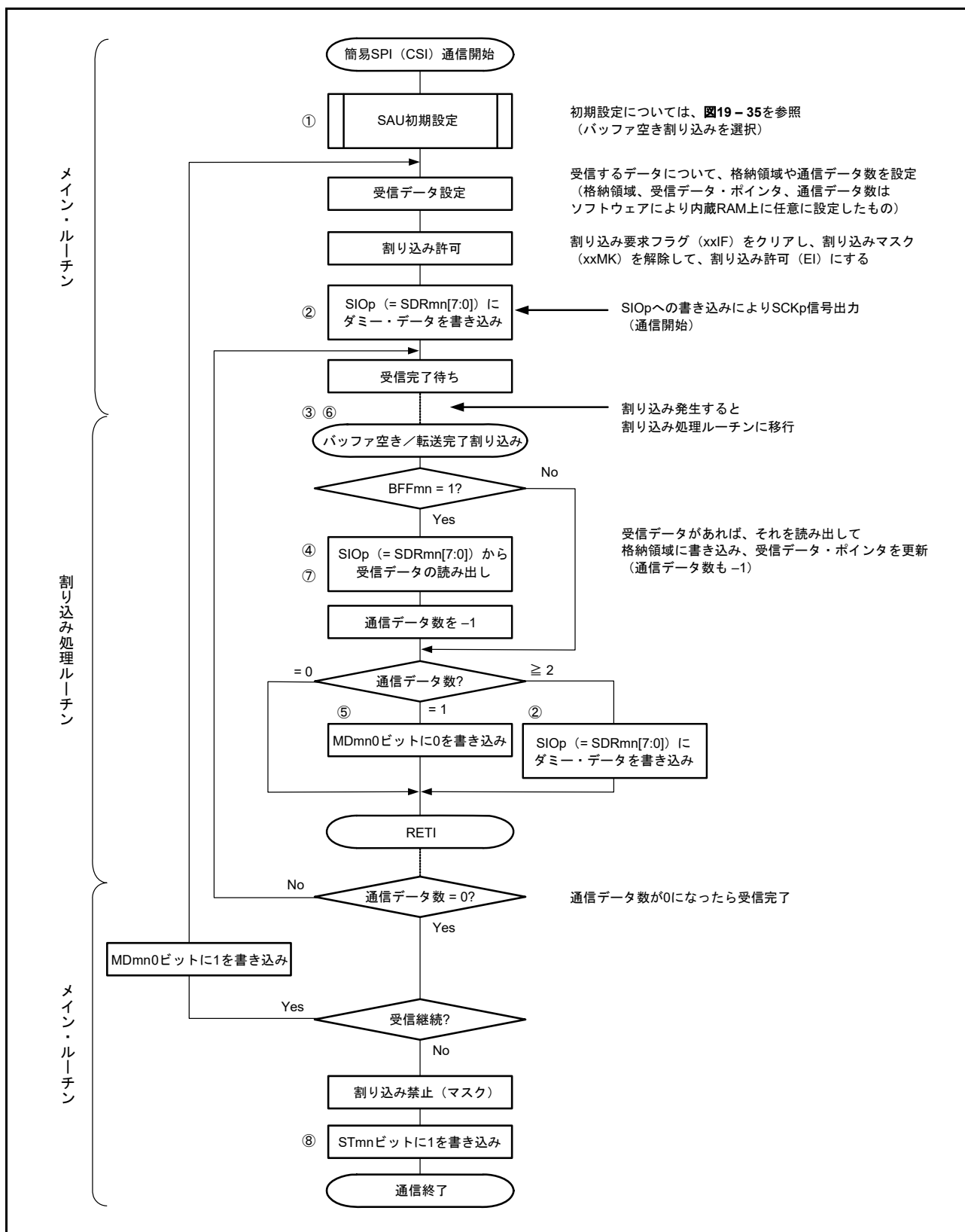
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-41 マスタ受信（連続受信モード時）のフロー・チャートの①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）、mn = 00-03, 10-13

図19-41 マスタ受信（連続受信モード時）のフロー・チャート



備考 図中の①～⑧は、**図19-40 マスタ受信（連続受信モード時）のタイミング・チャート**（タイプ1：DAPmn = 0, CKPmn = 0）の①～⑧に対応しています。

19.5.3 マスタ送受信

マスタ送受信とは、この RL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラとほかのデバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1	SAU1の チャネル2	SAU1の チャネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）かパツファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz]（CSI00のみ）、fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK：システム・クロック周波数							
データ位相	SCRmn レジスタのDAPmn ビットにより選択可能 ・ DAPmn = 0 の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1 の場合：シリアル・クロックの動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRmn レジスタのCKPmn ビットにより選択可能 ・ CKPmn = 0 の場合：非反転 ・ CKPmn = 1 の場合：反転							
データ方向	MSB ファーストまたはLSB ファースト							

注 この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）、
mn = 00-03, 10-13

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

備考2. ☐ : 簡易SPI (CSI) マスタ送受信モードでは設定固定、☐ : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図19-43 マスタ送受信の初期設定手順

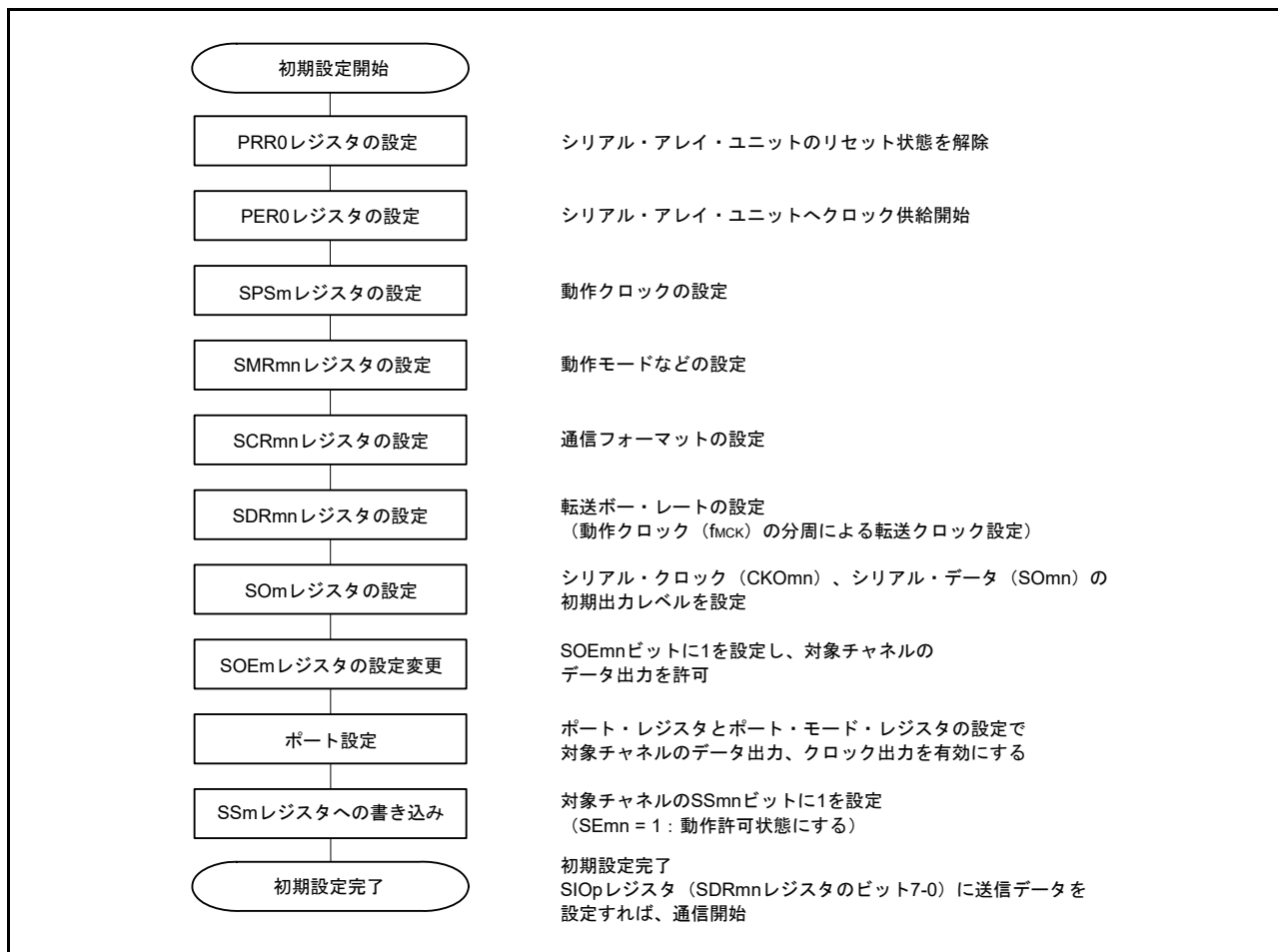


図19-44 マスタ送受信の中断手順

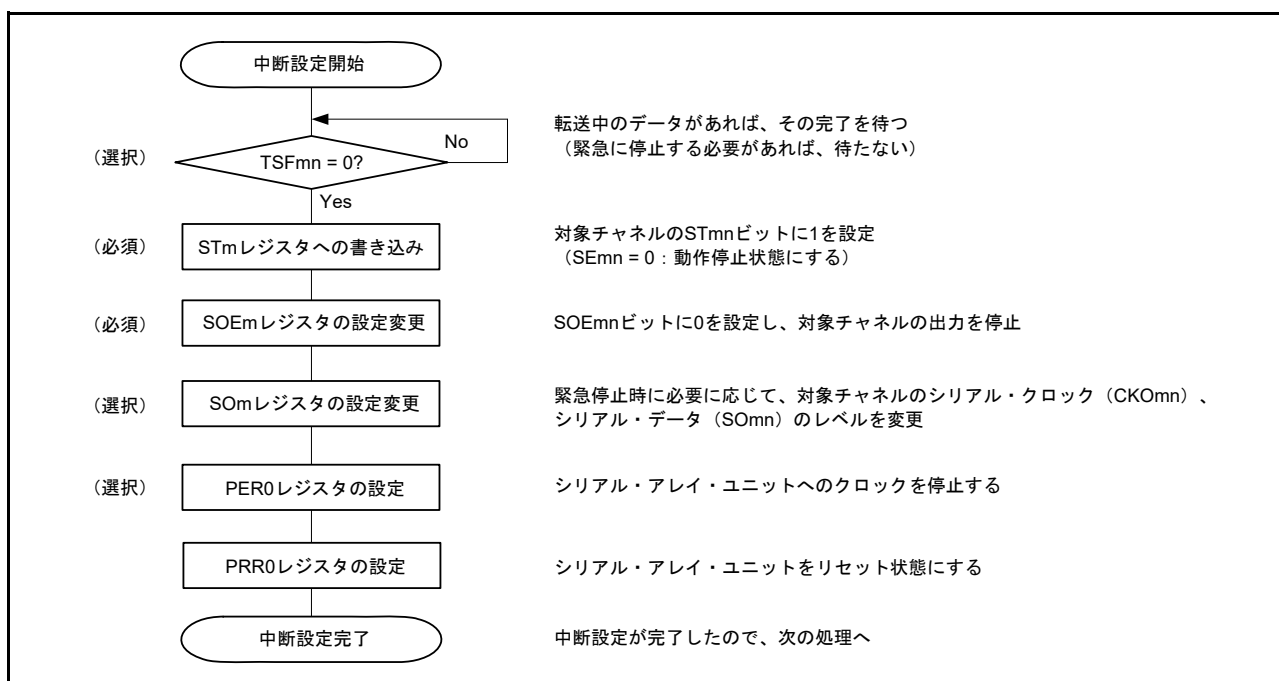
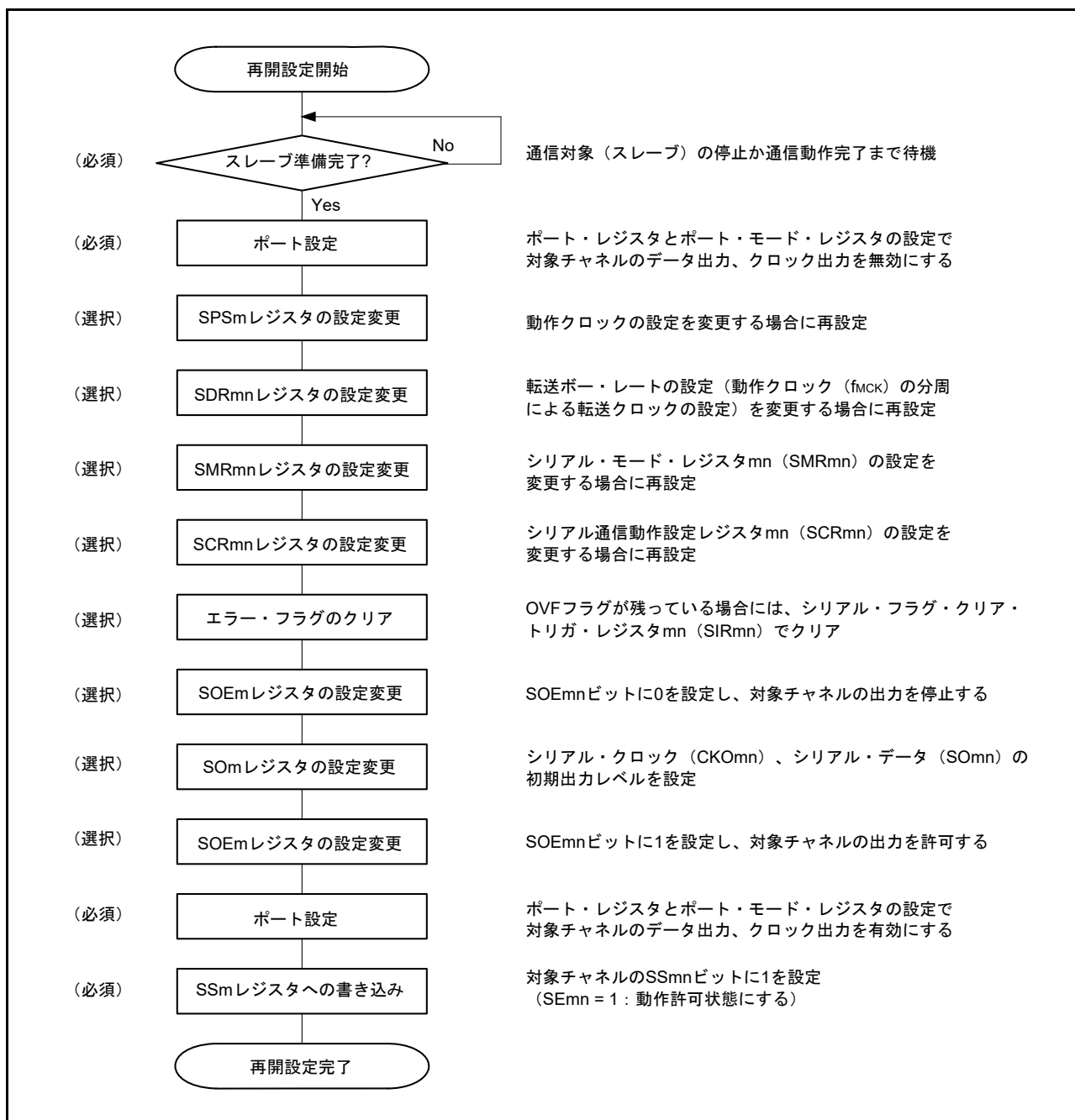
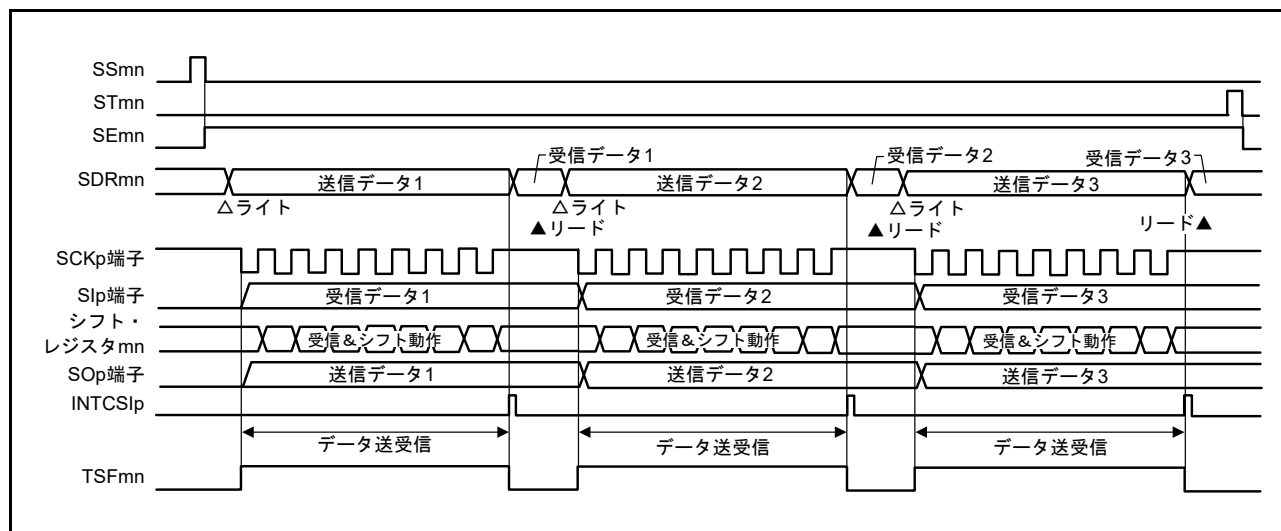


図 19 - 45 マスタ送受信の再開設定手順



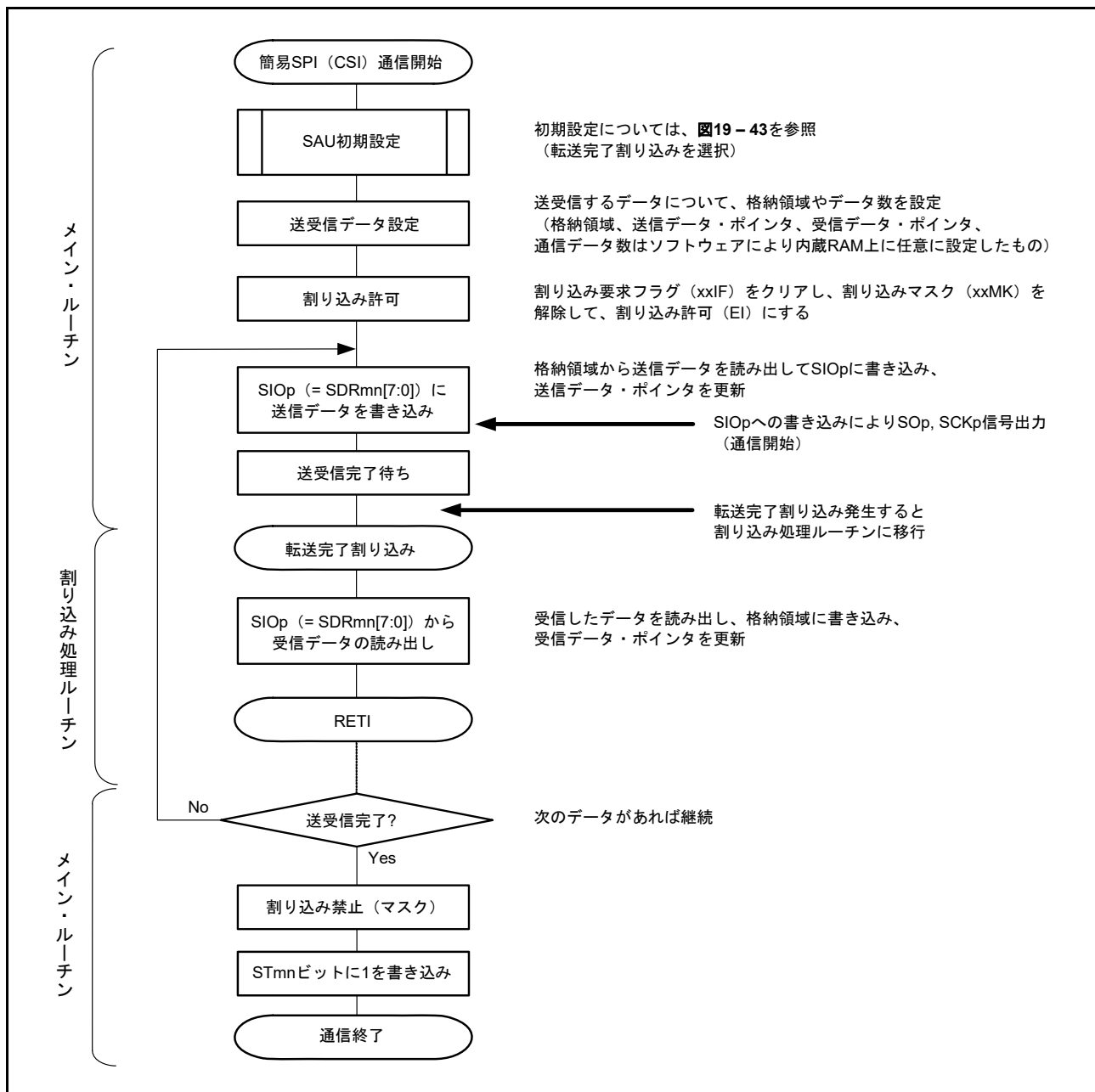
(3) 処理フロー (シングル送受信モード時)

図19-46 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



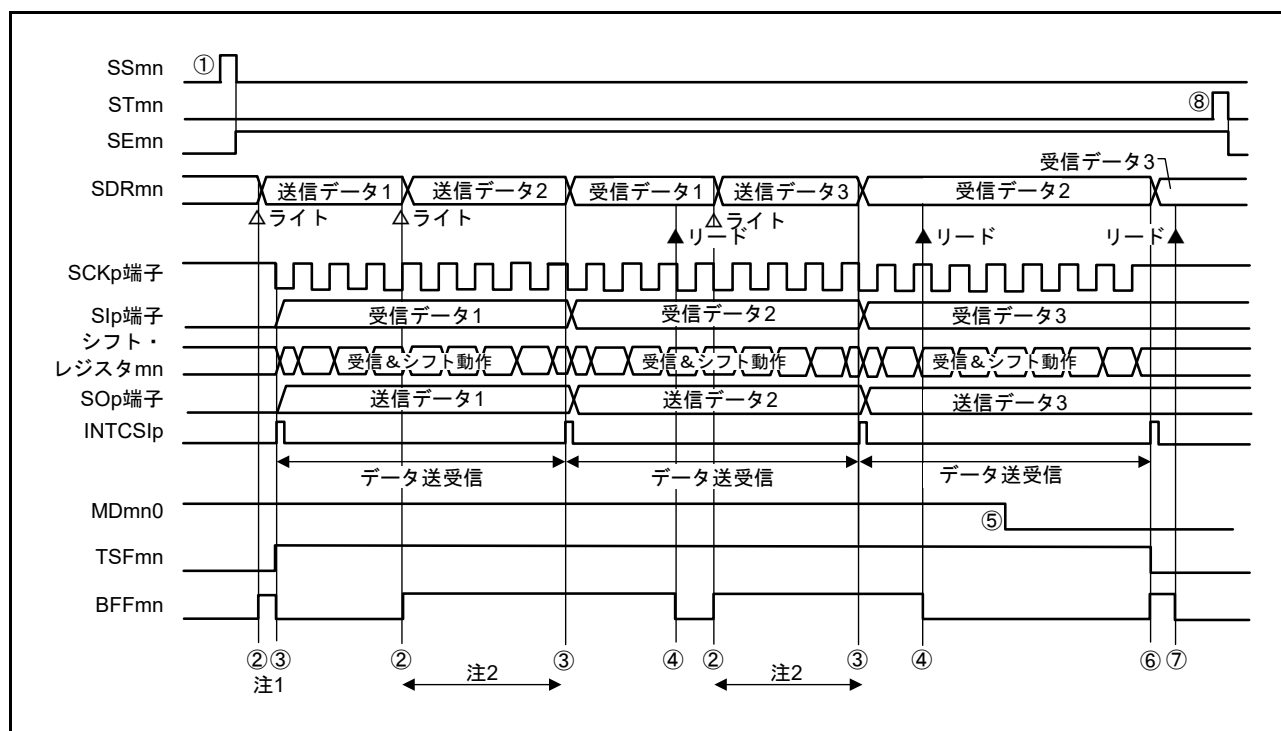
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

図19-47 マスタ送受信（シングル送受信モード時）のフロー・チャート



(4) 処理フロー（連続送受信モード時）

図19-48 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注2. この期間にSDRmnレジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

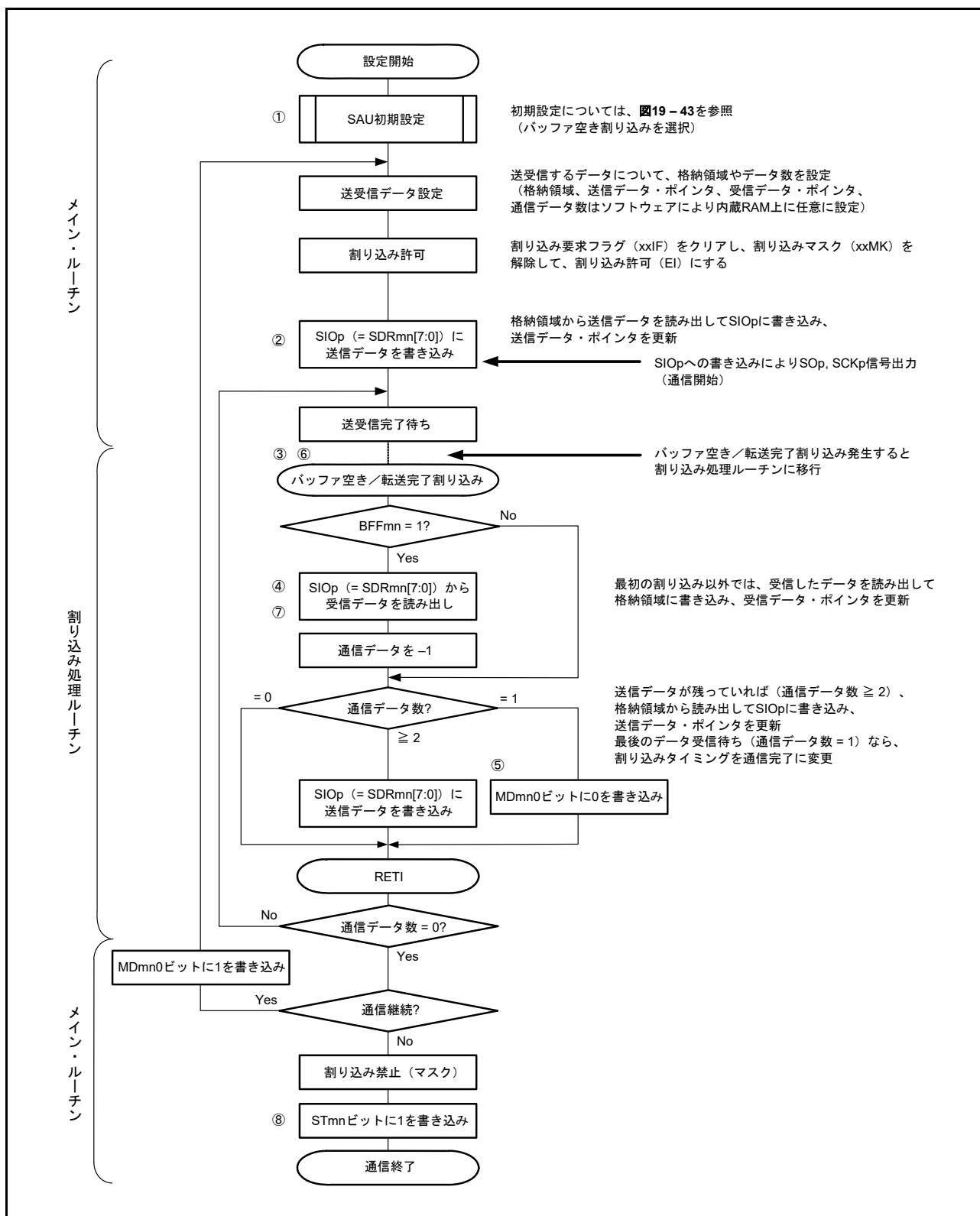
注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-49 マスタ送受信（連続送受信モード時）のフロー・チャートの①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 10, 11, 20, 21, 30, 31）、mn = 00-03, 10-13

図19-49 マスタ送受信（連続送受信モード時）のフロー・チャート



備考 図中の①～⑧は、図19-48 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）の①～⑧に対応しています。

19.5.4 スレーブ送信

スレーブ送信とは、ほかのデバイスから転送クロックを入力される状態で、RL78 マイクロコントローラからほかのデバイスへデータを送信する動作です。

簡易 SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1	SAU1の チャネル2	SAU1の チャネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO30	SCK31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2							
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 ・ DAPmn = 0 の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1 の場合：シリアル・クロックの動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 ・ CKPmn = 0 の場合：非反転 ・ CKPmn = 1 の場合：反転							
データ方向	MSB ファーストまたは LSB ファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャネルの動作クロック周波数

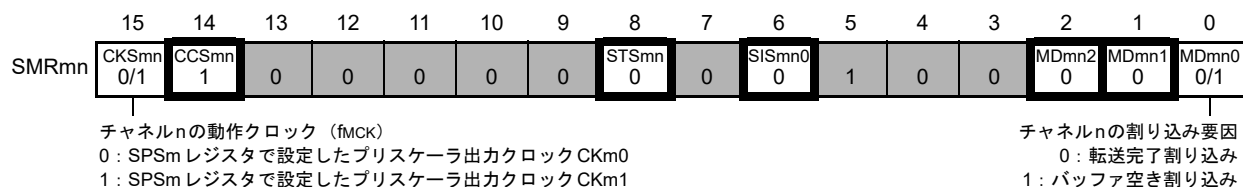
f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、mn = 00-03, 10-13

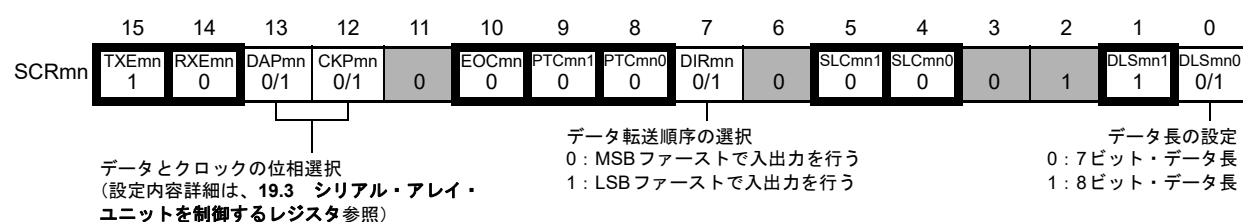
(1) レジスタ設定

図 19 - 50 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のスレーブ送信時のレジスタ設定内容例

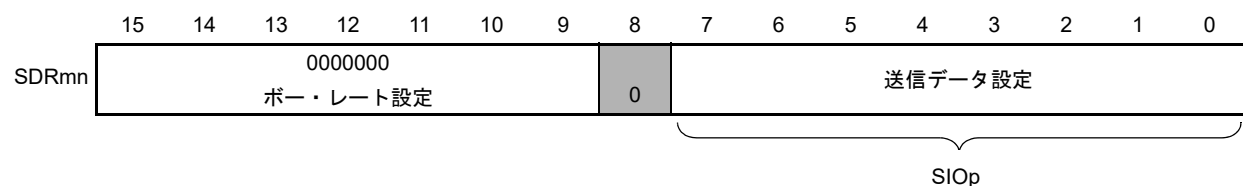
(a) シリアル・モード・レジスタ mn (SMRmn)



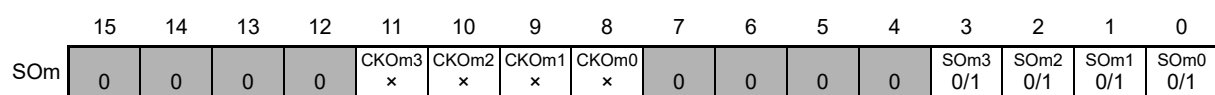
(b) シリアル通信動作設定レジスタ mn (SCRmn)



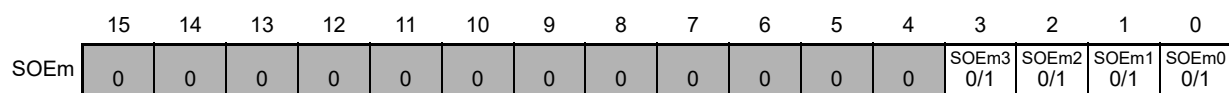
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



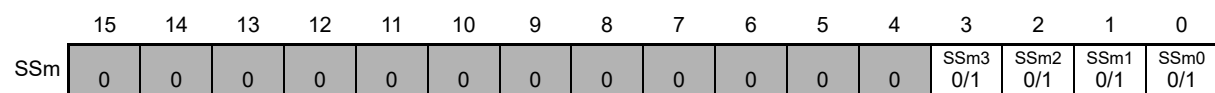
(d) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
 mn = 00-03, 10-13

備考2. : 簡易SPI (CSI) スレーブ送信モードでは設定固定、 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図 19 - 51 スレーブ送信の初期設定手順

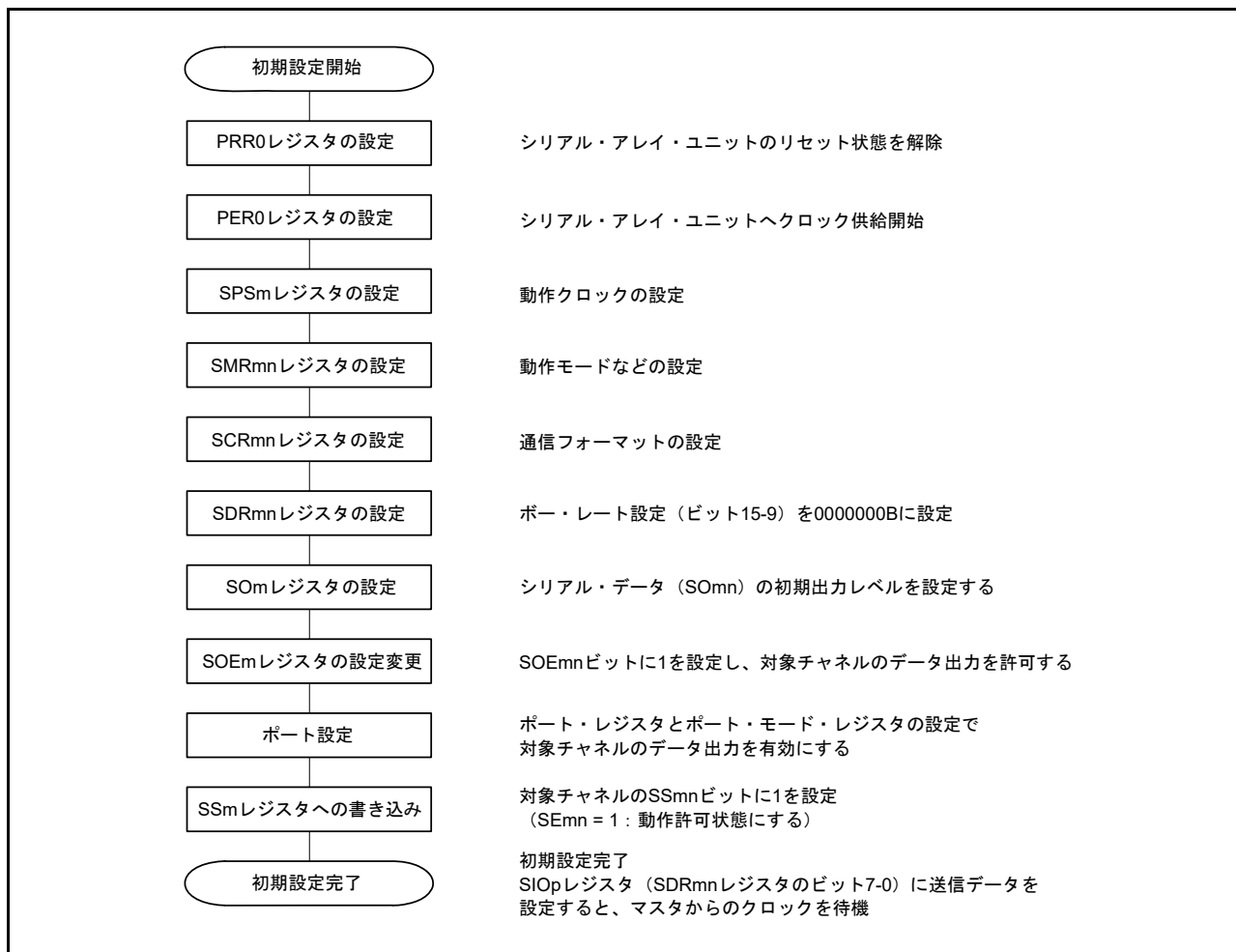


図 19 - 52 スレーブ送信の中断手順

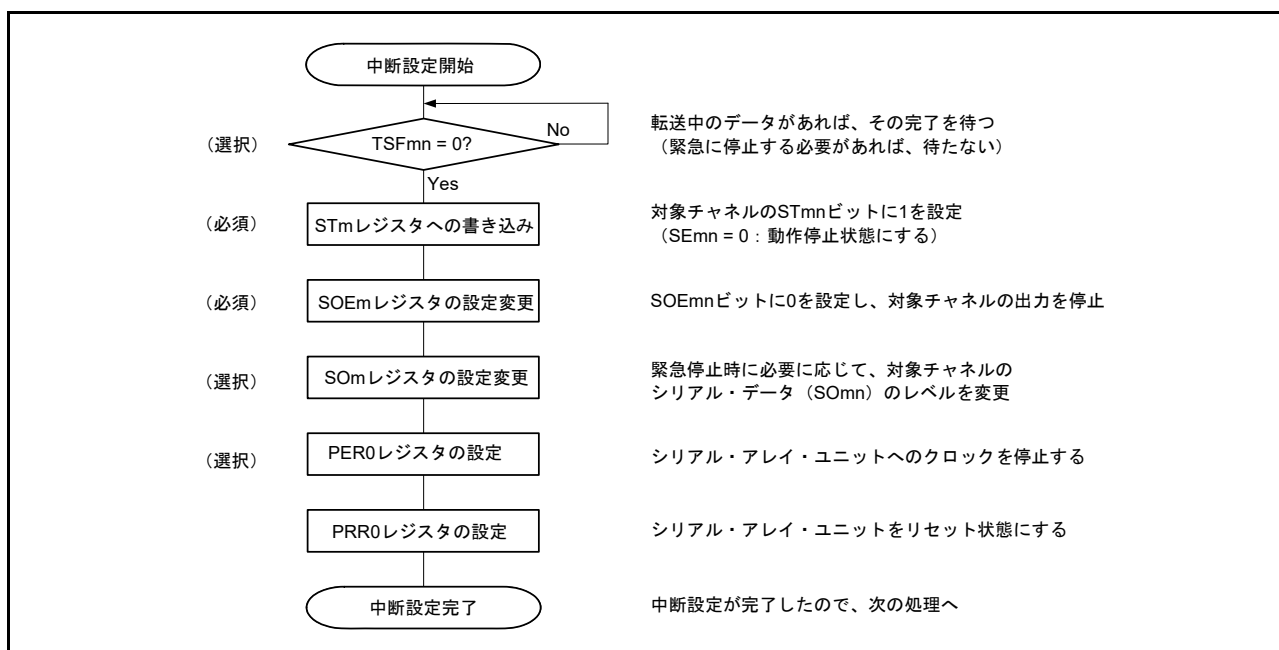
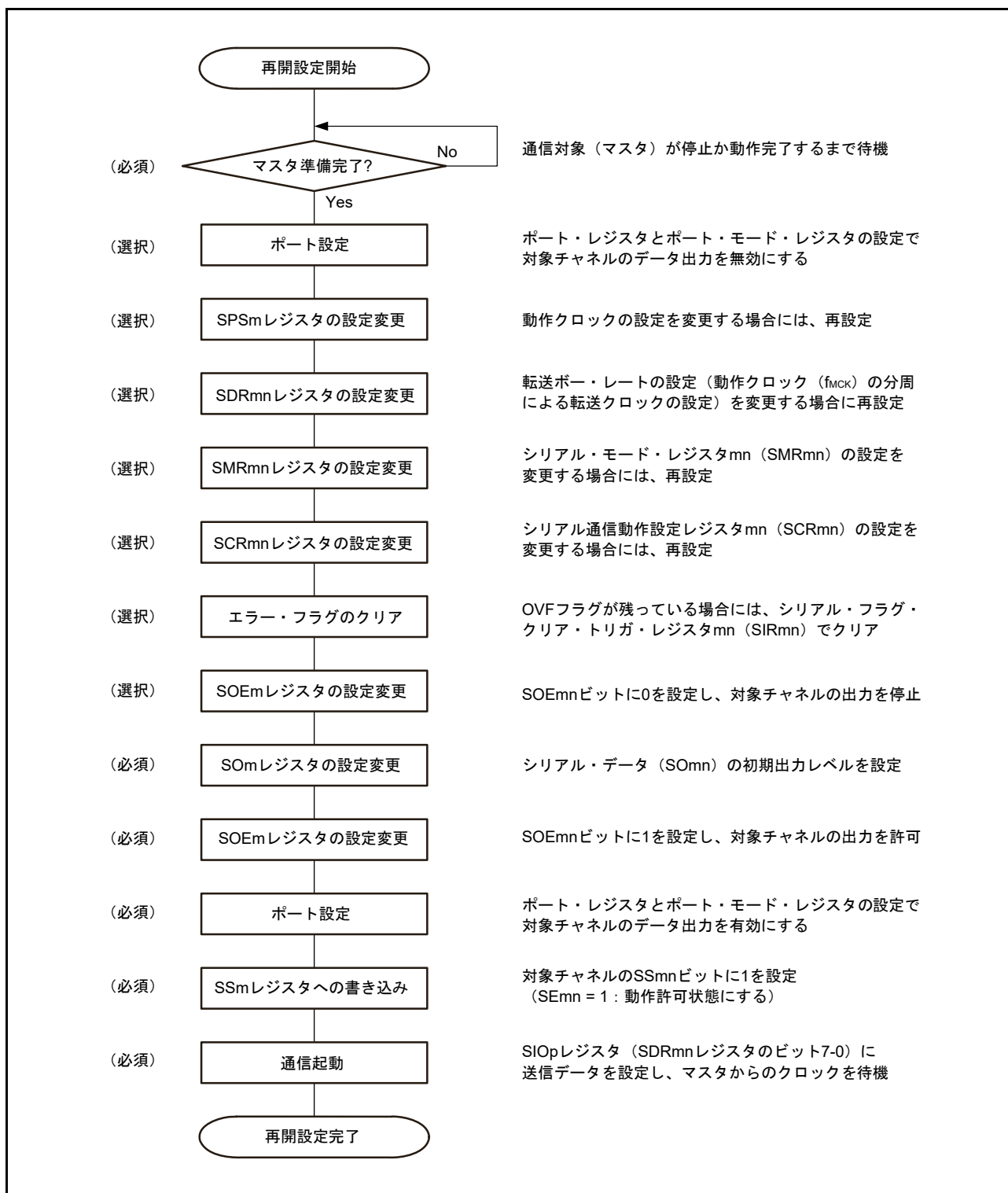


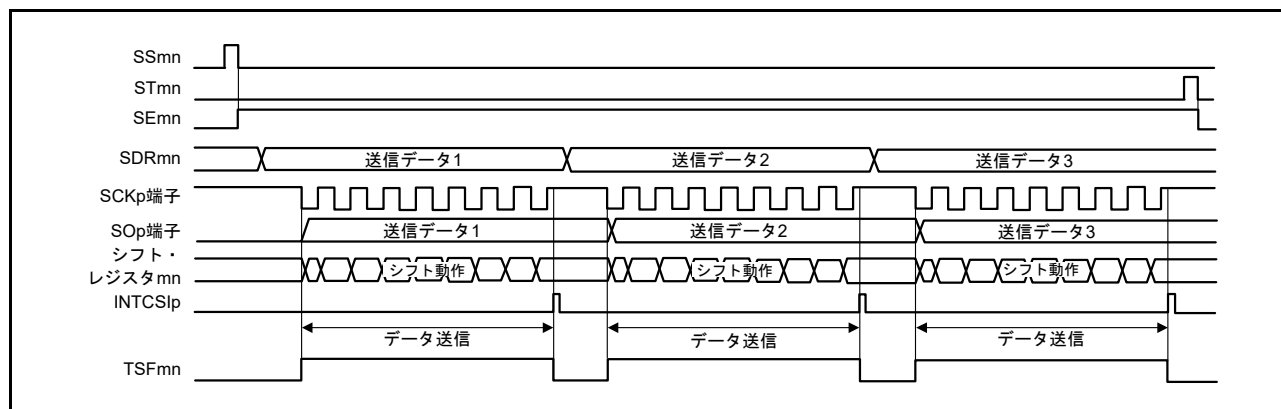
図 19 - 53 スレーブ送信の再開設定手順



備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

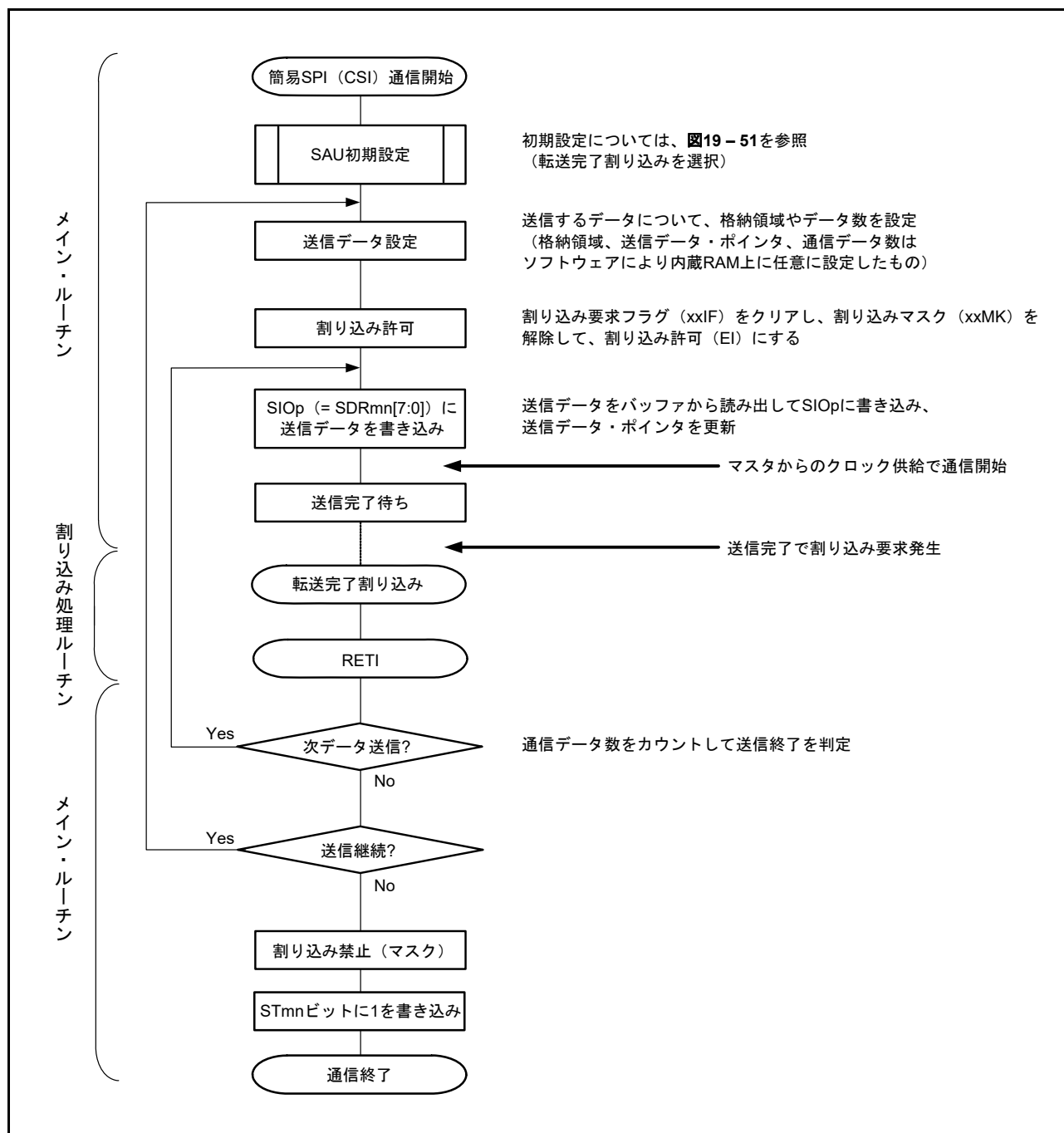
(3) 処理フロー（シングル送信モード時）

図19-54 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



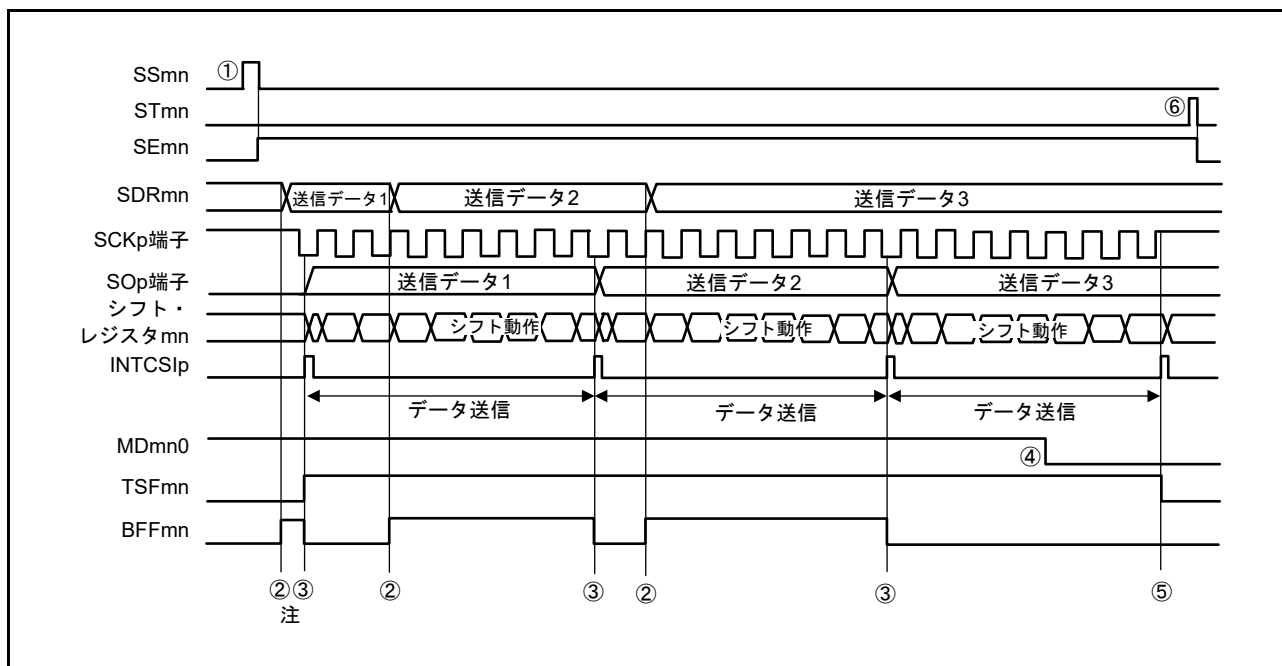
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

図19-55 スレーブ送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図19-56 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

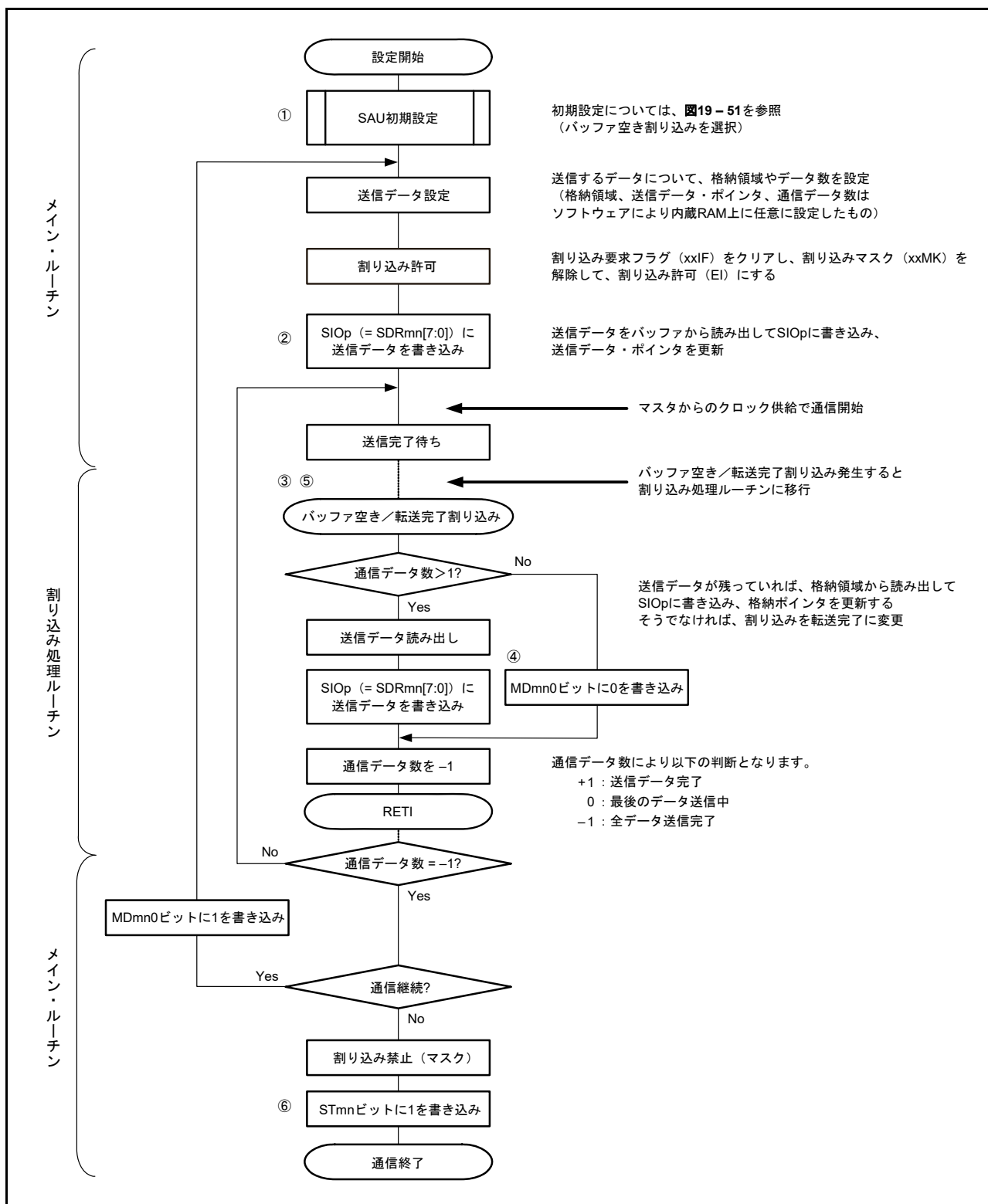


注 シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

図19-57 スレーブ送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、**図19-56 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1 : DAPmn = 0, CKPmn = 0）**の①～⑥に対応しています。

19.5.5 スレーブ受信

スレーブ受信とは、ほかのデバイスから転送クロックを入力される状態で、RL78 マイクロコントローラがほかのデバイスからデータを受信する動作です。

簡易 SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1	SAU1の チャネル2	SAU1の チャネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz] 注1, 2							
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 ・ DAPmn = 0 の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1 の場合：シリアル・クロックの動作開始の半クロック前からデータ入力を開始							
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 ・ CKPmn = 0 の場合：非反転 ・ CKPmn = 1 の場合：反転							
データ方向	MSB ファーストまたは LSB ファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャネルの動作クロック周波数

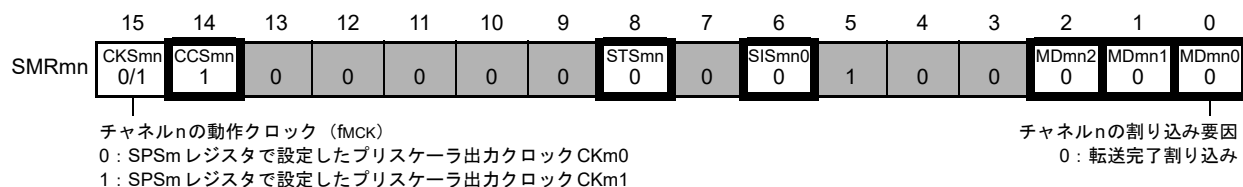
f_{SCK} ：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、mn = 00-03, 10-13

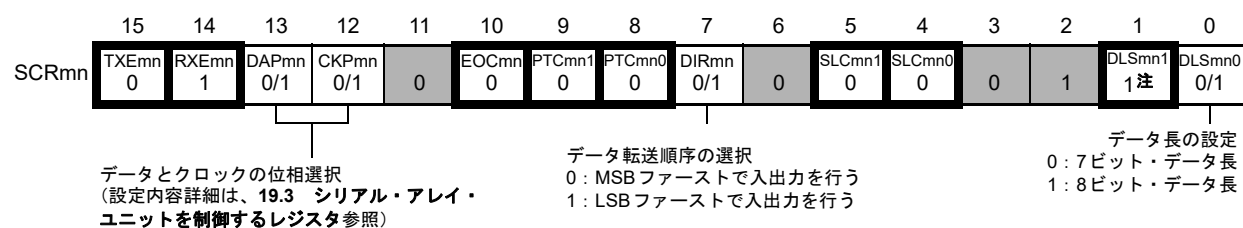
(1) レジスタ設定

図 19-58 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のスレーブ受信時のレジスタ設定内容例

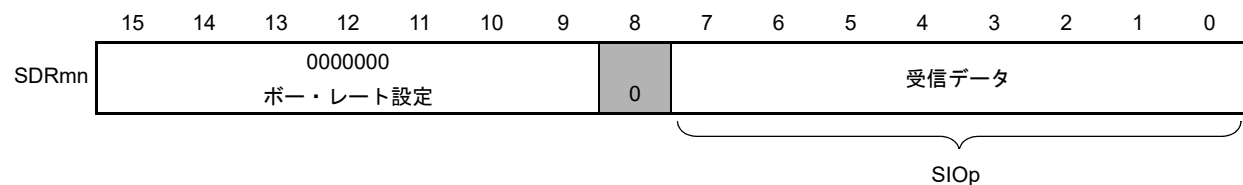
(a) シリアル・モード・レジスタ mn (SMRmn)



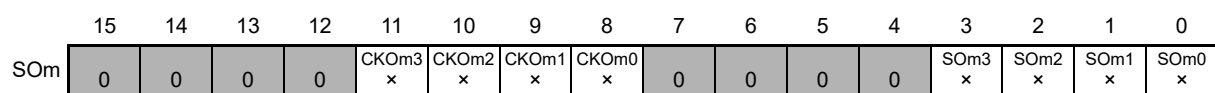
(b) シリアル通信動作設定レジスタ mn (SCRmn)



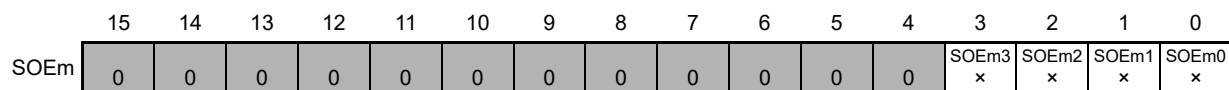
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIOp)



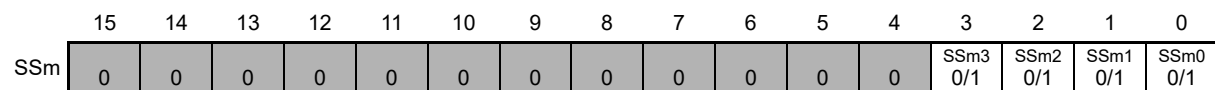
(d) シリアル出力レジスタ m (SOM) : このモードでは使用しない



(e) シリアル出力許可レジスタ m (SOEm) : このモードでは使用しない



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01, SCR10, SCR11 レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
 mn = 00-03, 10-13

(備考は次ページに続きます)

備考2. : 簡易SPI (CSI) スレーブ受信モードでは設定固定、: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1を設定

(2) 操作手順

図19-59 スレーブ受信の初期設定手順

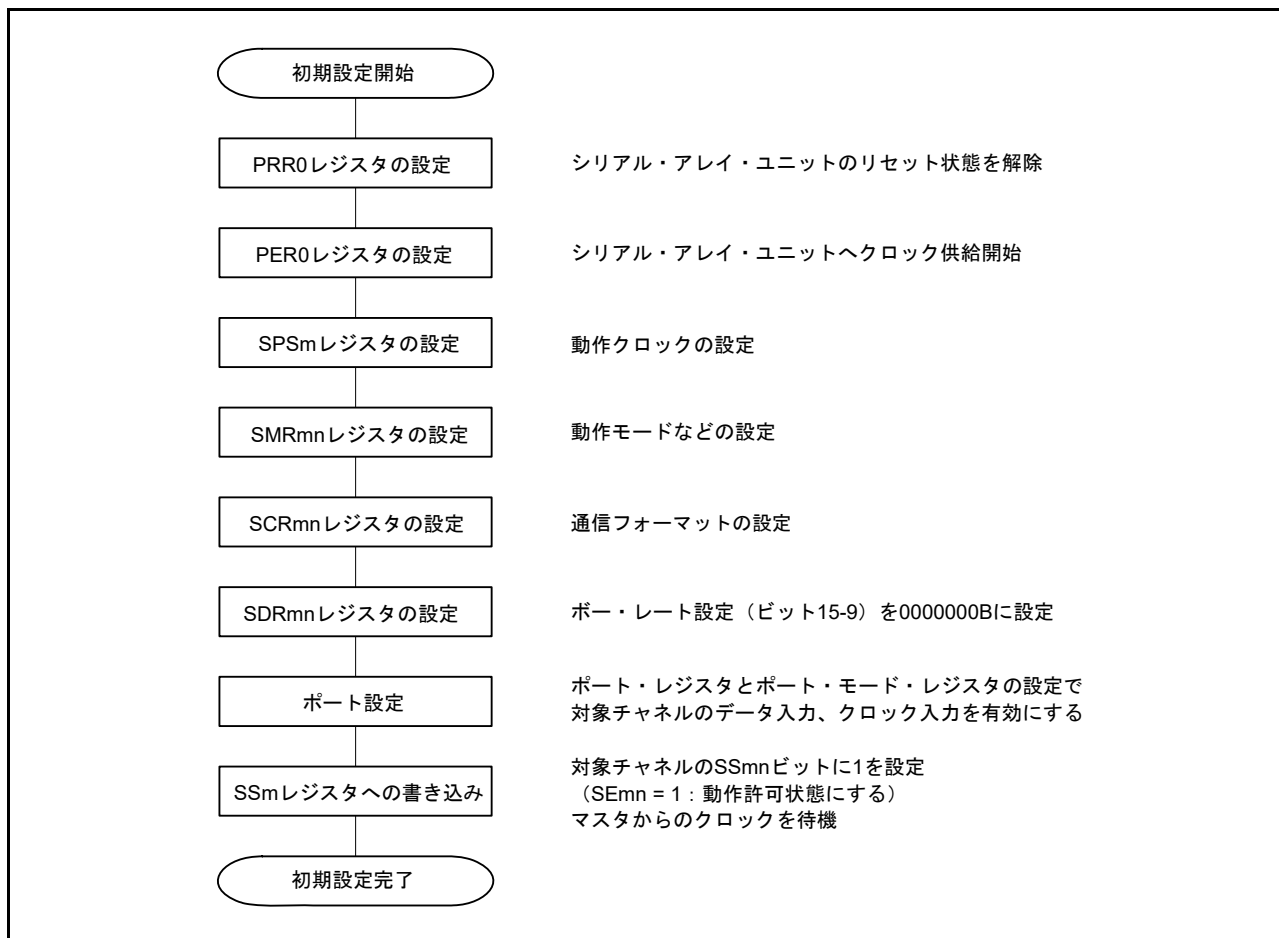


図19-60 スレーブ受信の中断手順

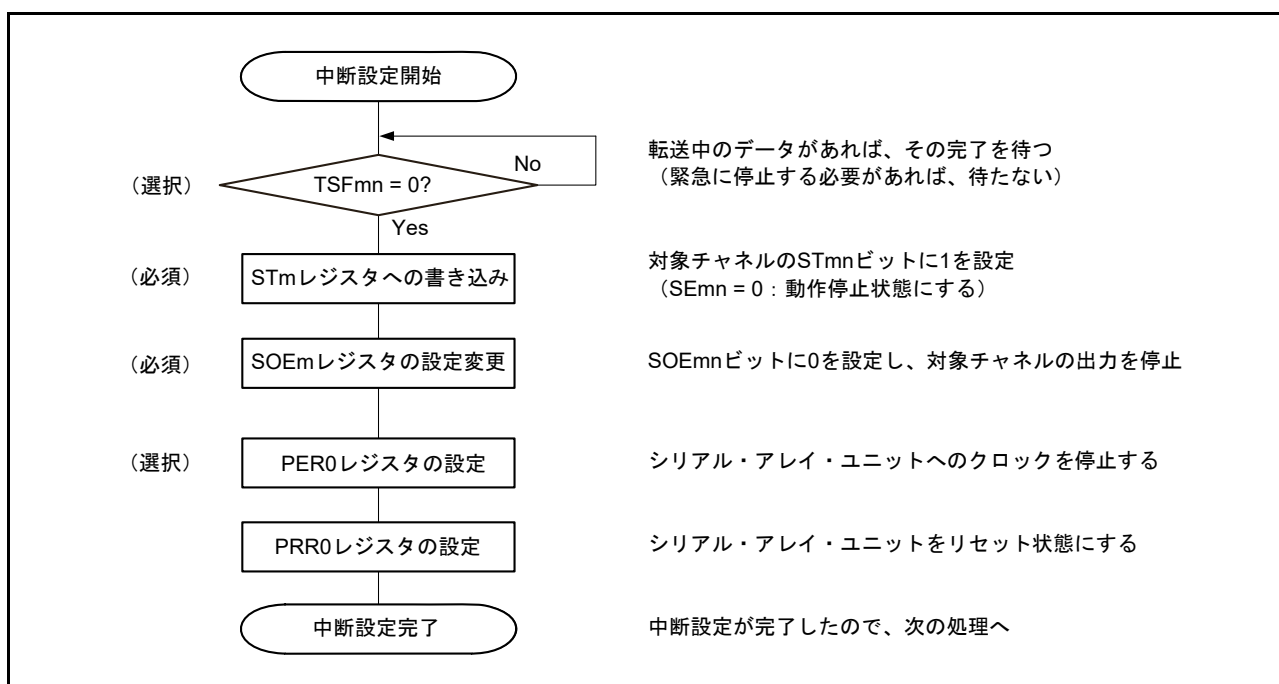
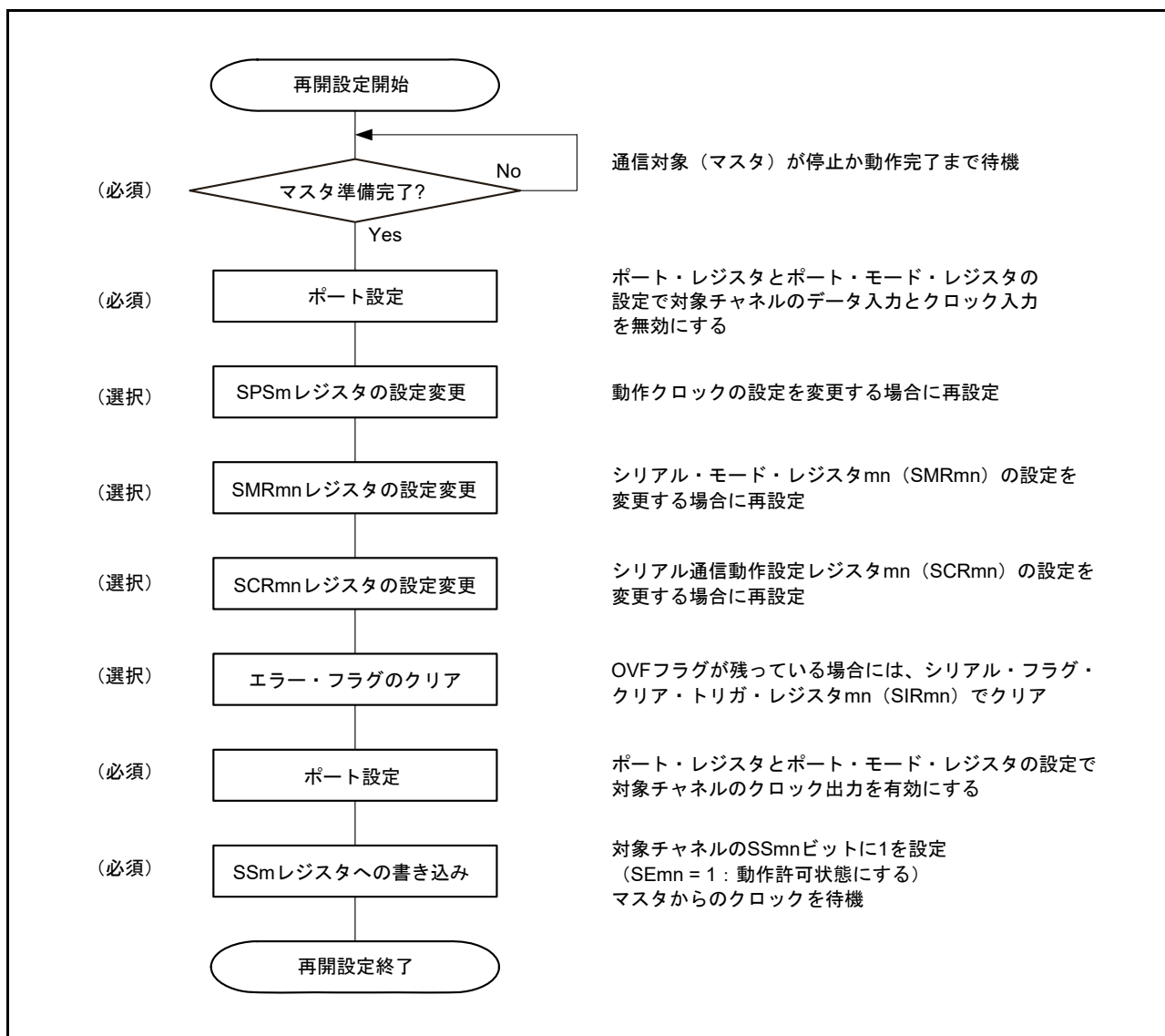


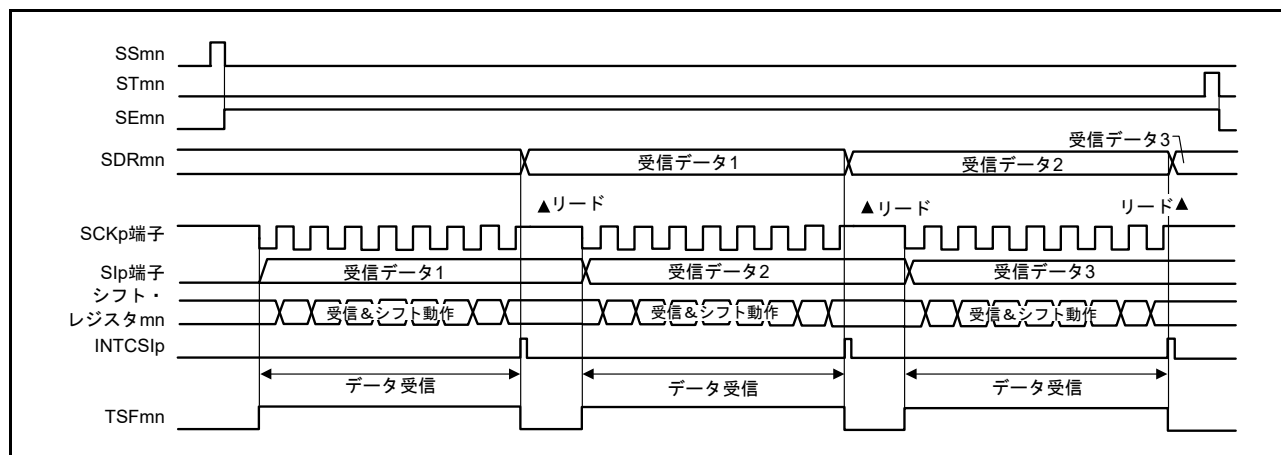
図 19 - 61 スレーブ受信の再開設定手順



備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

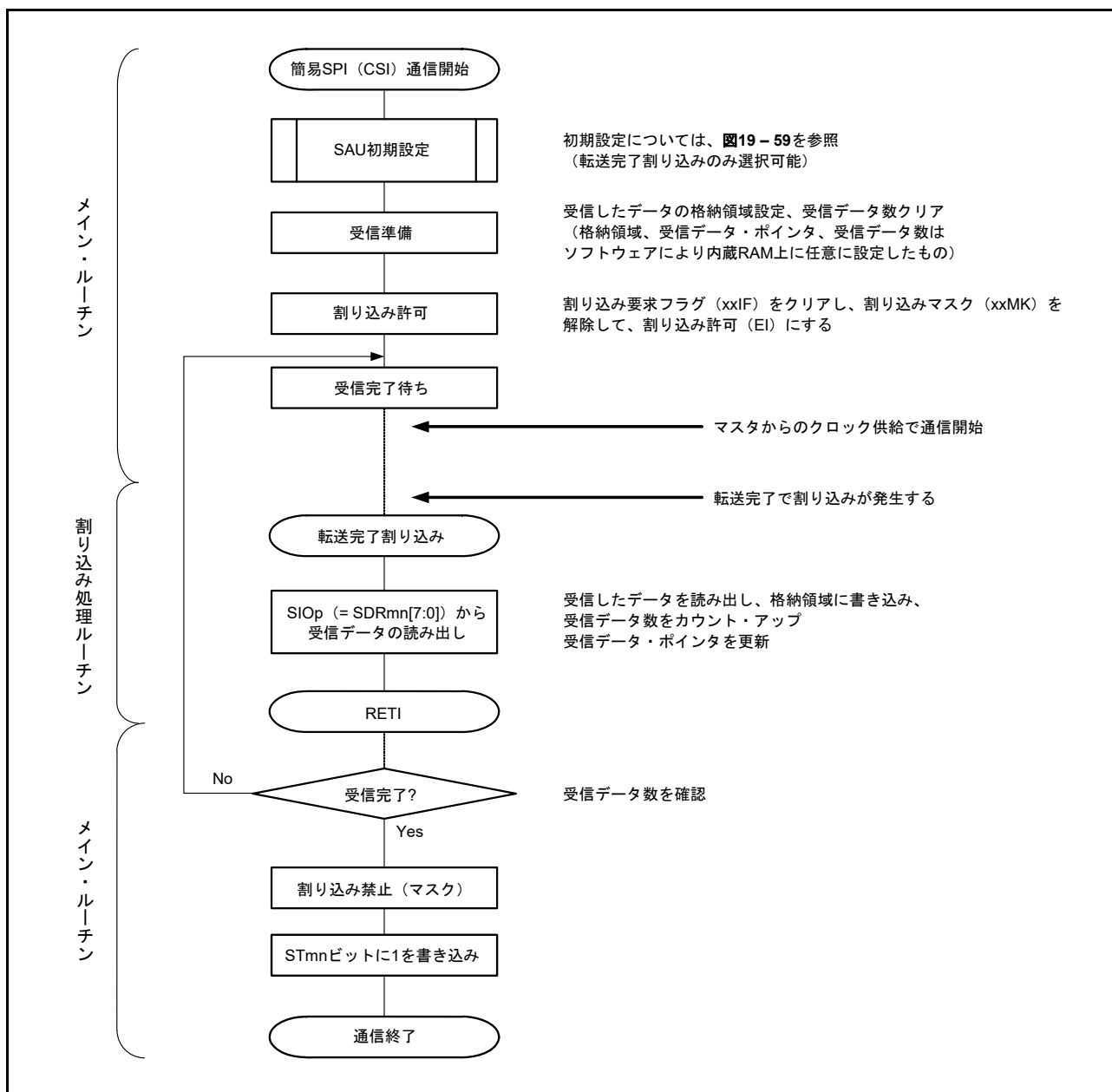
(3) 処理フロー（シングル受信モード時）

図19-62 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

図19-63 スレーブ受信（シングル受信モード時）のフロー・チャート



19.5.6 スレーブ送受信

スレーブ送受信とは、ほかのデバイスから転送クロックを入力される状態で、RL78 マイクロコントローラとほかのデバイスでデータを送受信する動作です。

簡易 SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1	SAU1の チャネル2	SAU1の チャネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. fMCK/6 [Hz] 注1, 2							
データ位相	SCRmn レジスタの DAPmn ビットにより選択可能 ・ DAPmn = 0 の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1 の場合：シリアル・クロックの動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRmn レジスタの CKPmn ビットにより選択可能 ・ CKPmn = 0 の場合：非反転 ・ CKPmn = 1 の場合：反転							
データ方向	MSB ファーストまたは LSB ファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは fMCK/6 [Hz] となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. fMCK：対象チャネルの動作クロック周波数

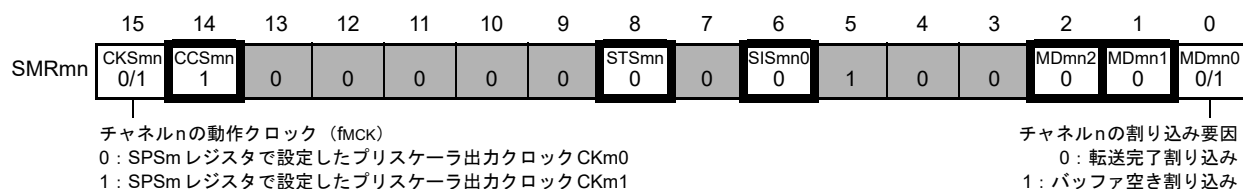
fSCK：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、mn = 00-03, 10-13

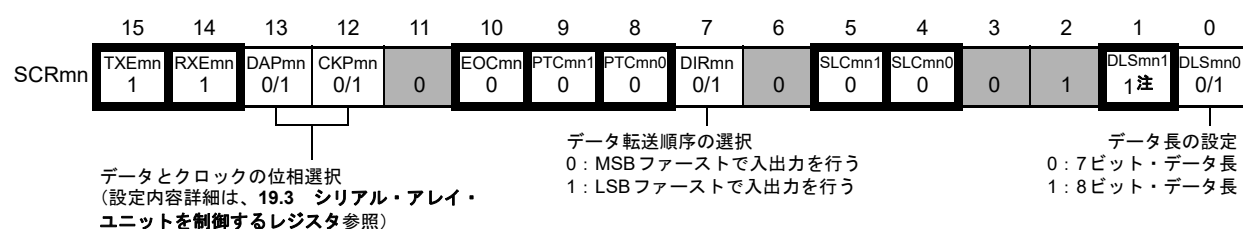
(1) レジスタ設定

図 19 - 64 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のスレーブ送受信時のレジスタ設定内容例

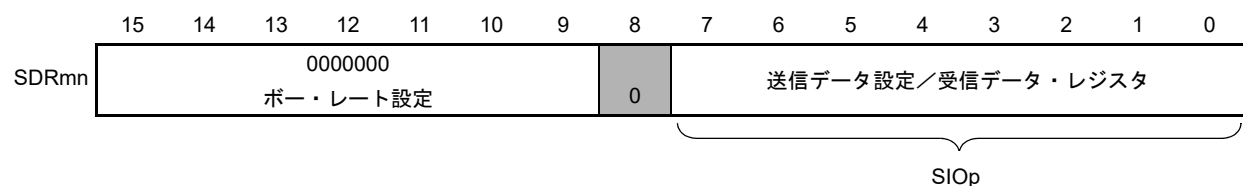
(a) シリアル・モード・レジスタ mn (SMRmn)



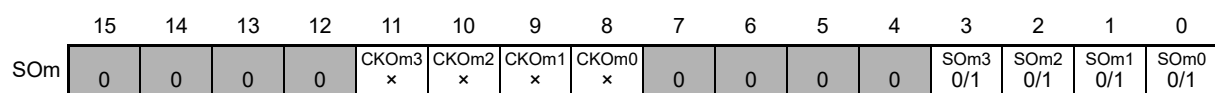
(b) シリアル通信動作設定レジスタ mn (SCRmn)



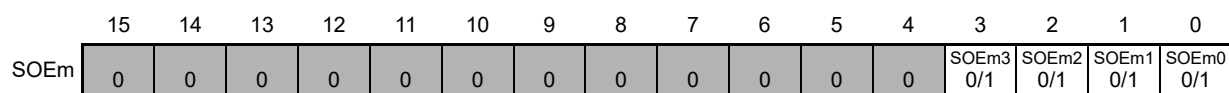
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIOp)



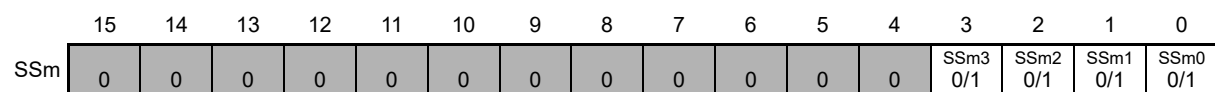
(d) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(e) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(f) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する



注 SCR00, SCR01, SCR10, SCR11 レジスタのみ。その他は1固定になります。

注意 マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

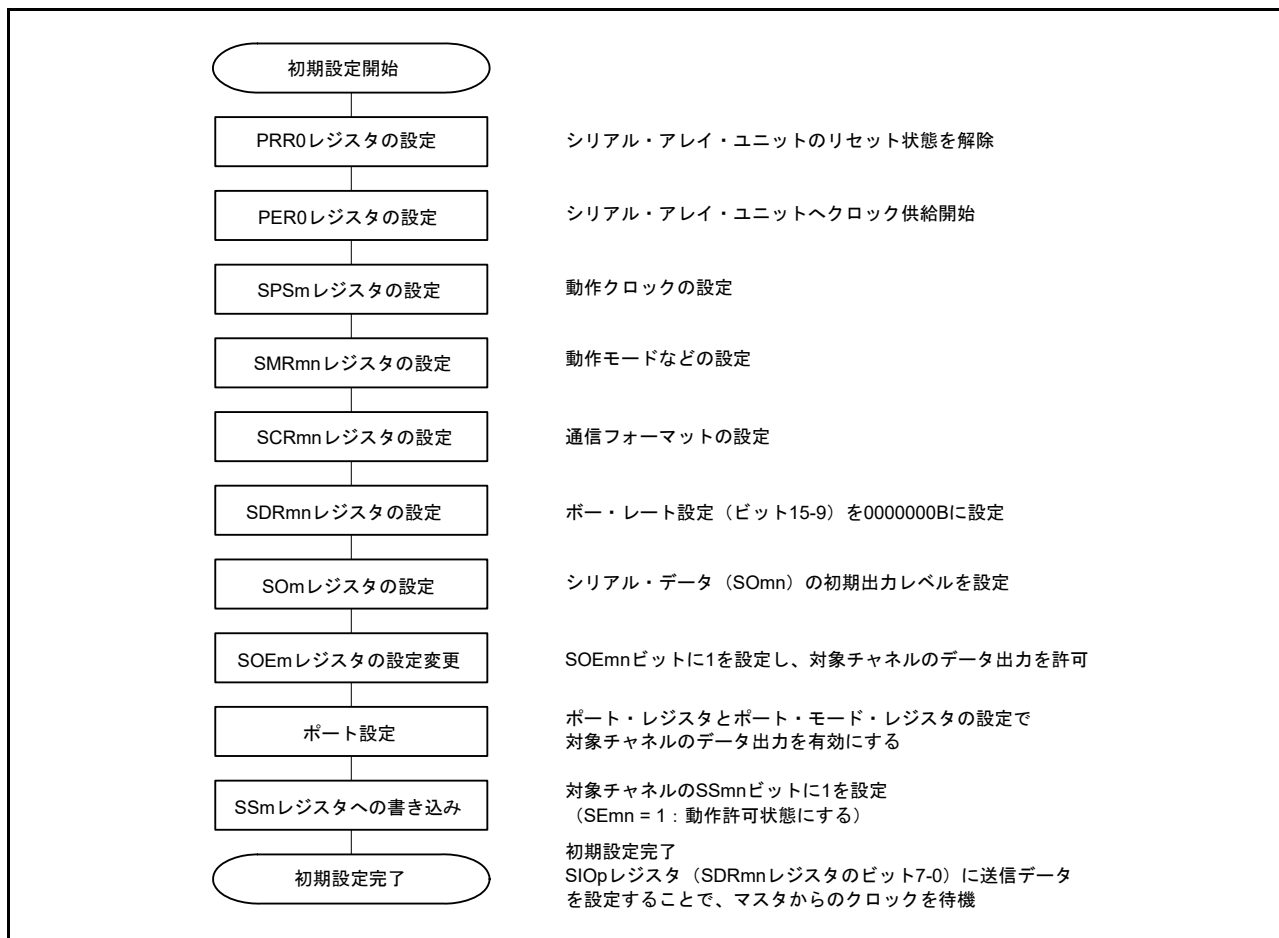
(備考は次ページに続きます)

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

備考2. : 簡易SPI (CSI) スレーブ送受信モードでは設定固定、: 設定不可 (初期値を設定)
× : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図 19 - 65 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 19 - 66 スレーブ送受信の中断手順

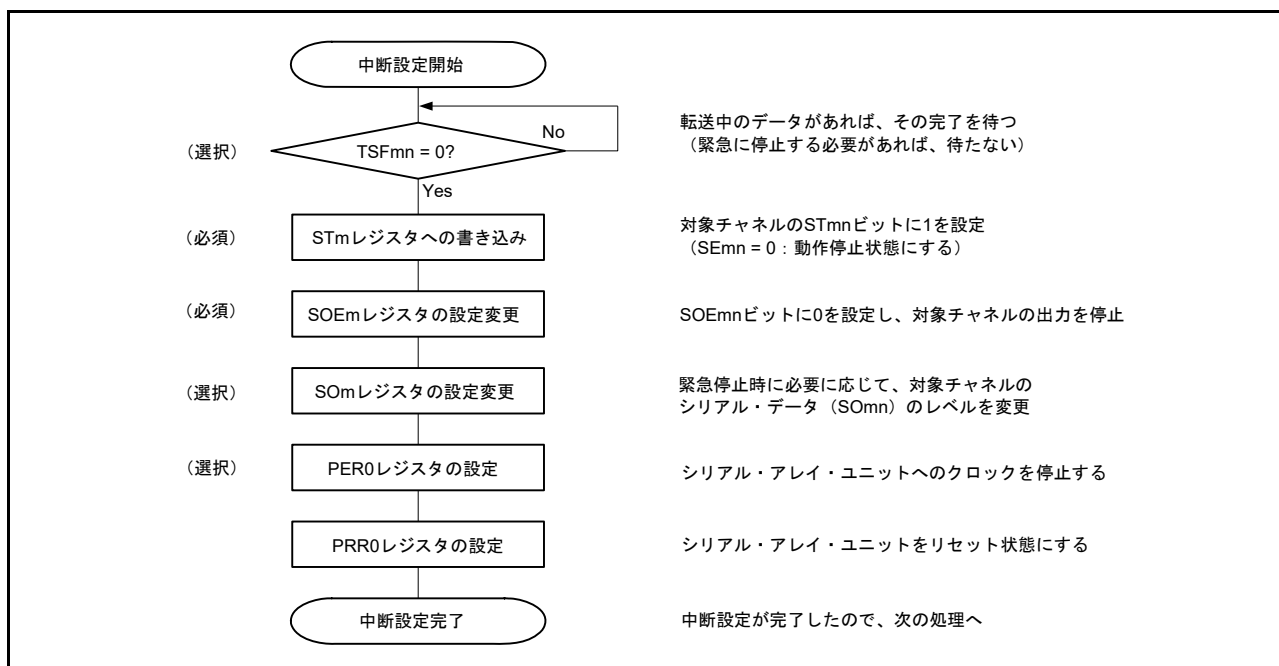
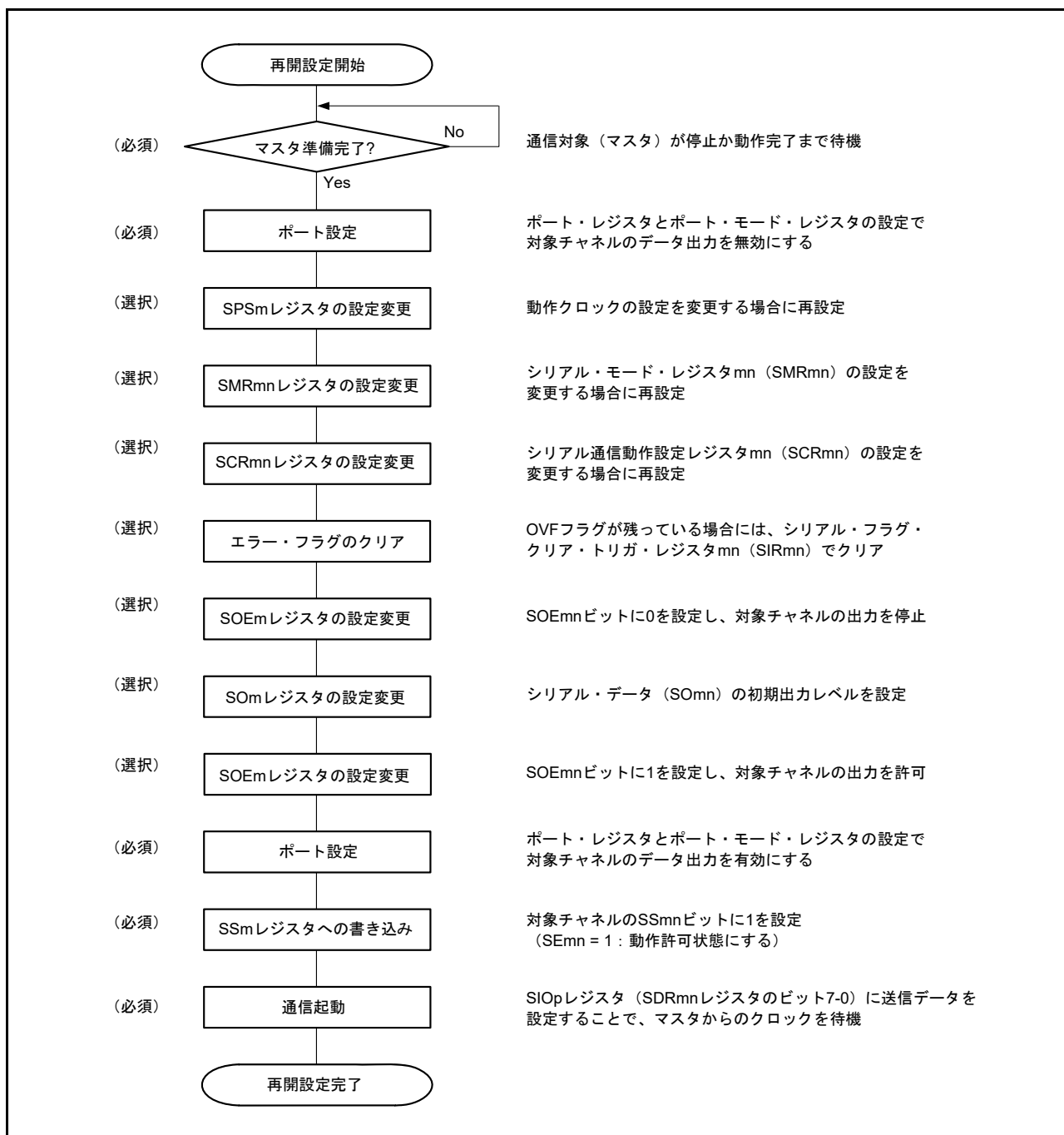


図 19 - 67 スレーブ送受信の再開設定手順

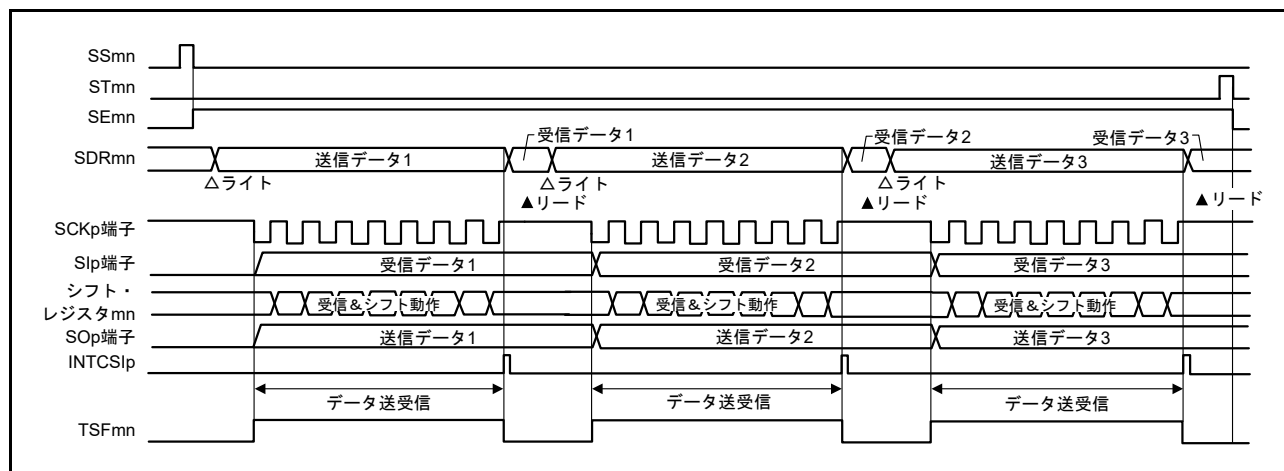


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

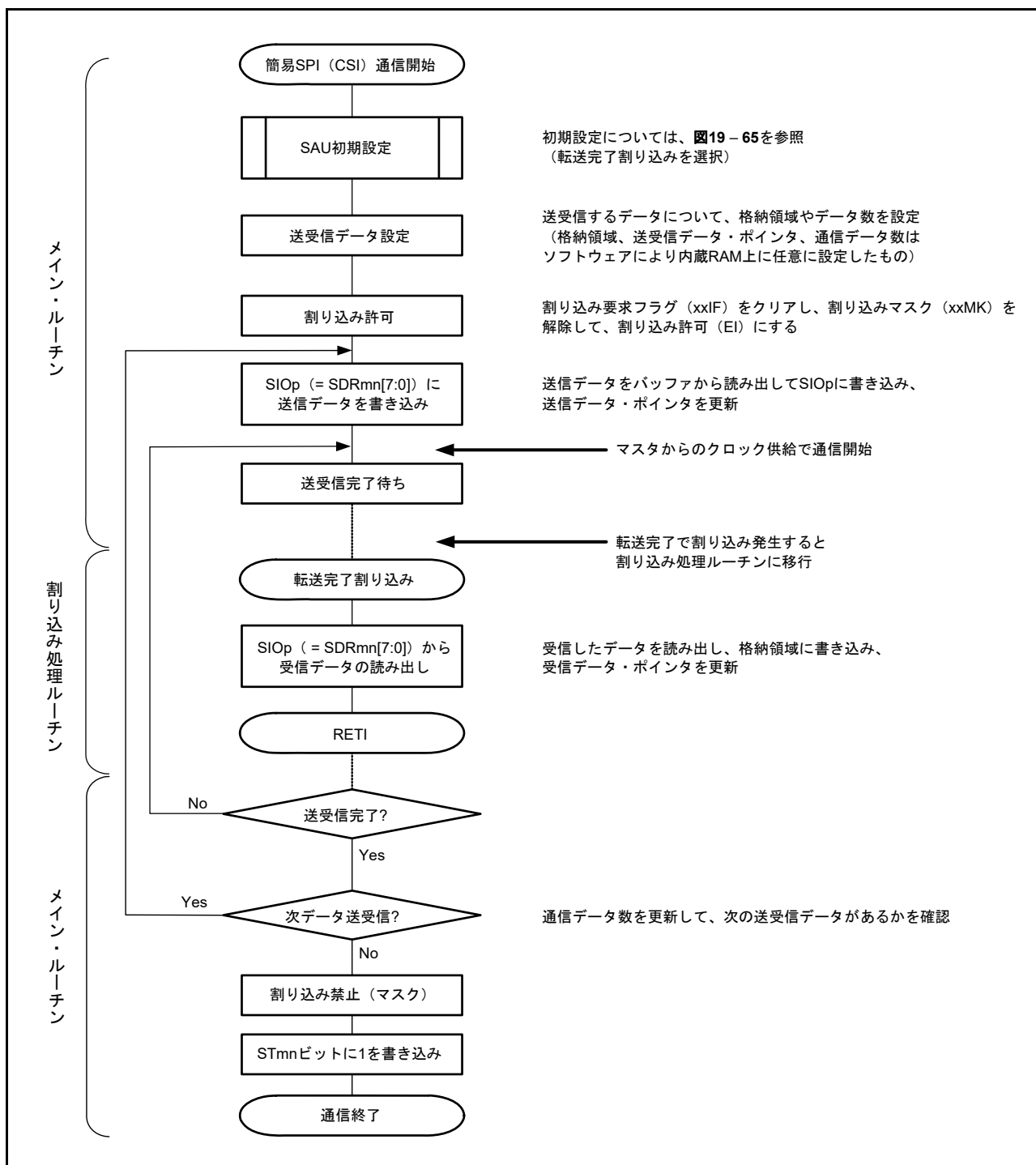
(3) 処理フロー (シングル送受信モード時)

図19-68 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



備考 m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0-3)、p: CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

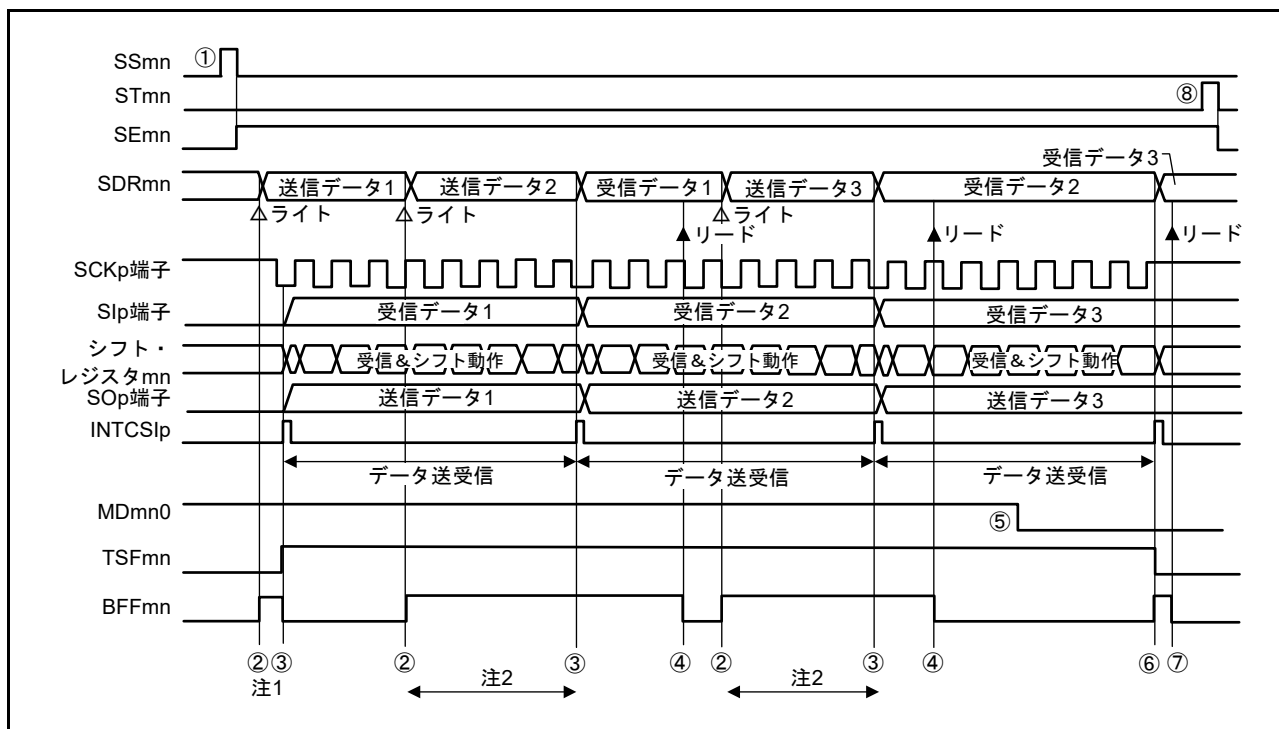
図19-69 スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOPレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

図19-70 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. シリアル・ステータス・レジスタmn (SSRmn) のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn (SDRmn) に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

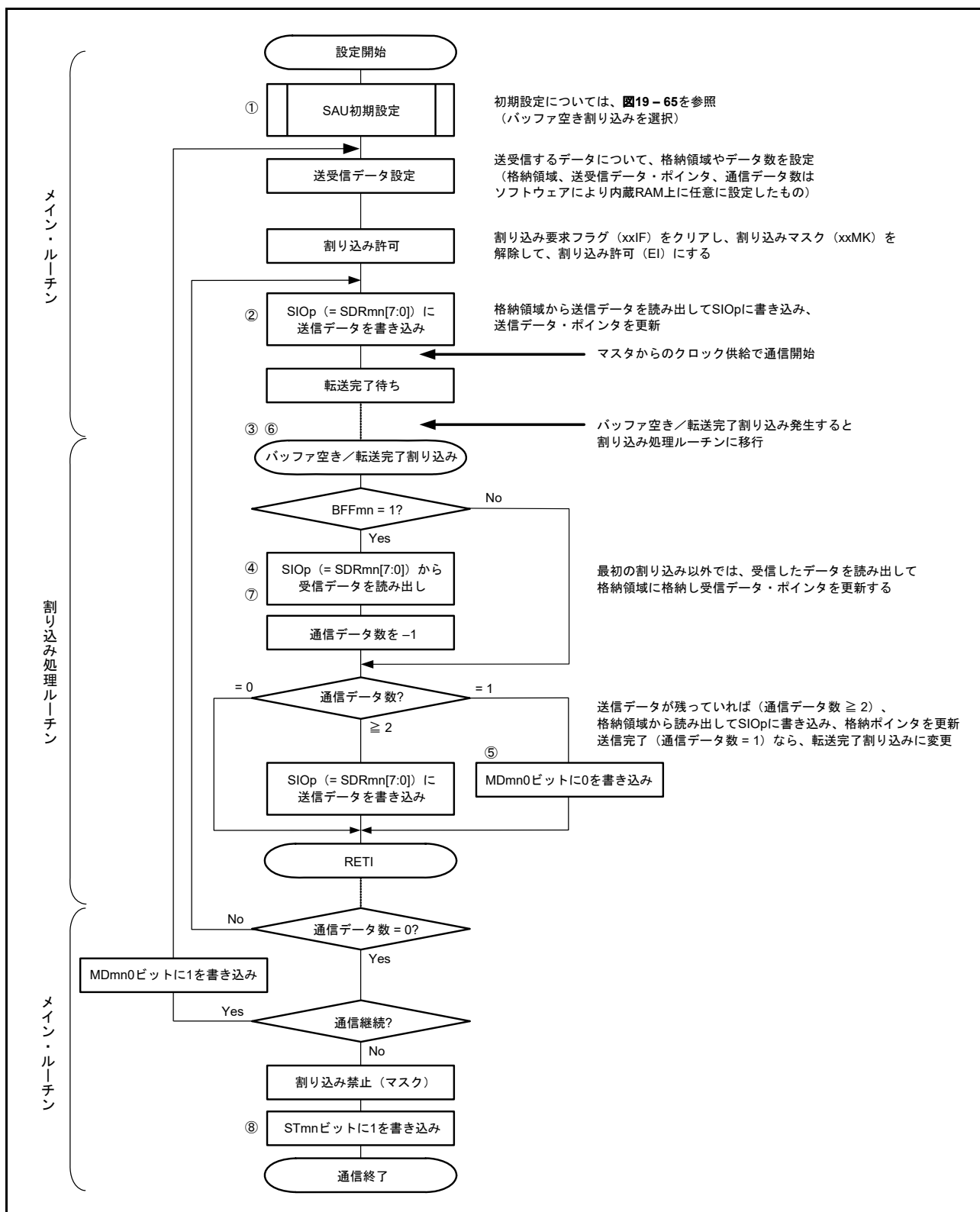
注2. この期間にSDRmnレジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタmn (SMRmn) のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図19-71 スレーブ送受信（連続送受信モード時）のフロー・チャートの①～⑧に対応しています。

備考2. m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0-3)、p: CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

図19-71 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図19-70 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）の①～⑧に対応しています。

19.5.7 SNOOZE モード機能

STOP モード時に SCKp 端子入力の検出により簡易 SPI (CSI) の受信動作をさせるモードです。通常 STOP モード時に簡易 SPI (CSI) は通信動作を停止しますが、SNOOZE モード機能を使用することで、SCKp 端子入力の検出によって CPU を動作させずに簡易 SPI (CSI) の受信動作を行うことができます。SNOOZE モードは、以下の簡易 SPI (CSI) のみ設定可能です。

- 44 ピン製品 : CSI00
- 48～100 ピン製品 : CSI00, CSI20

簡易 SPI (CSI) を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います。(図 19 - 73、図 19 - 75 SNOOZE モード動作 (連続起動) 時のフロー・チャートを参照)

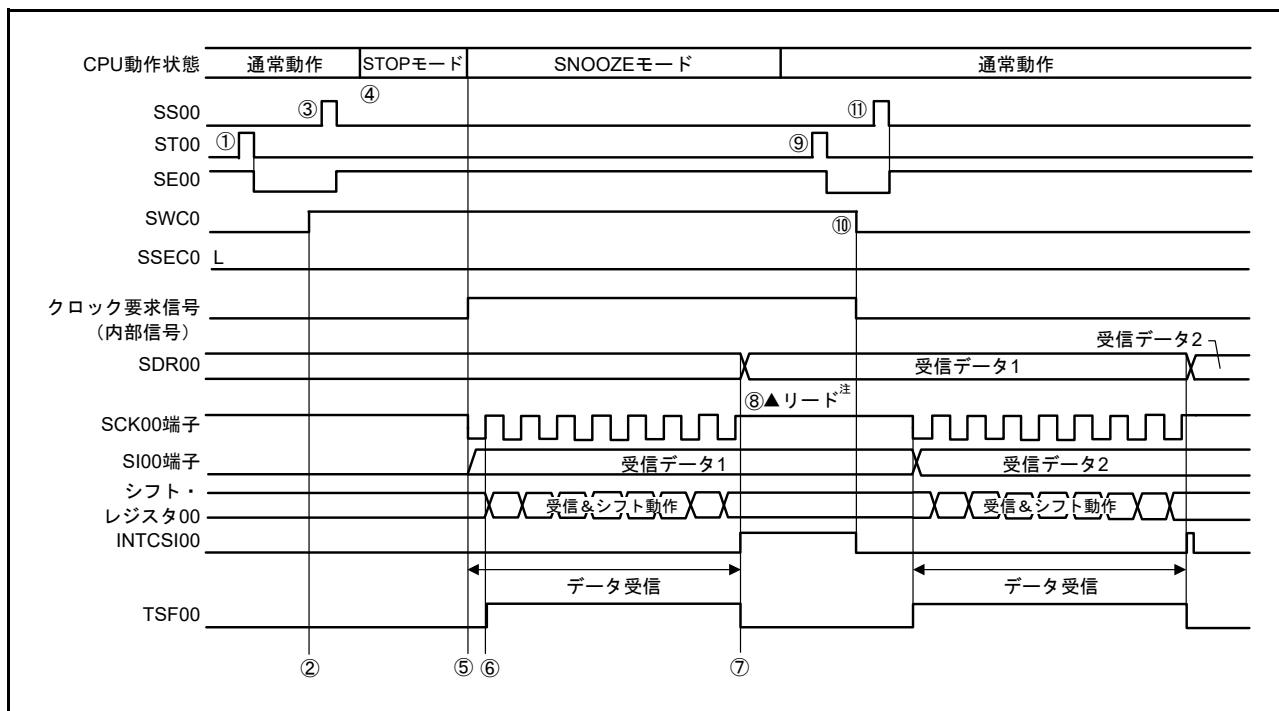
- STOP モードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ m (SSCm) の SWCm ビットに 1 を設定してください。初期設定完了後、シリアル・チャネル開始レジスタ m (SSm) の SSm0 ビットに 1 を設定します。
- STOP モードに移行後、SCKp 端子の有効エッジを検出すると SNOOZE モードへ移行します。
SCKp 端子のシリアル・クロック入力により、CSIp は受信動作を開始します。

注意1. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZE モードで使用するときの最大転送レートは 1 Mbps です。

(1) SNOOZEモード動作 (1回起動)

図19-72 SNOOZEモード動作 (1回起動) 時のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットに1を設定してください (SEm0ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

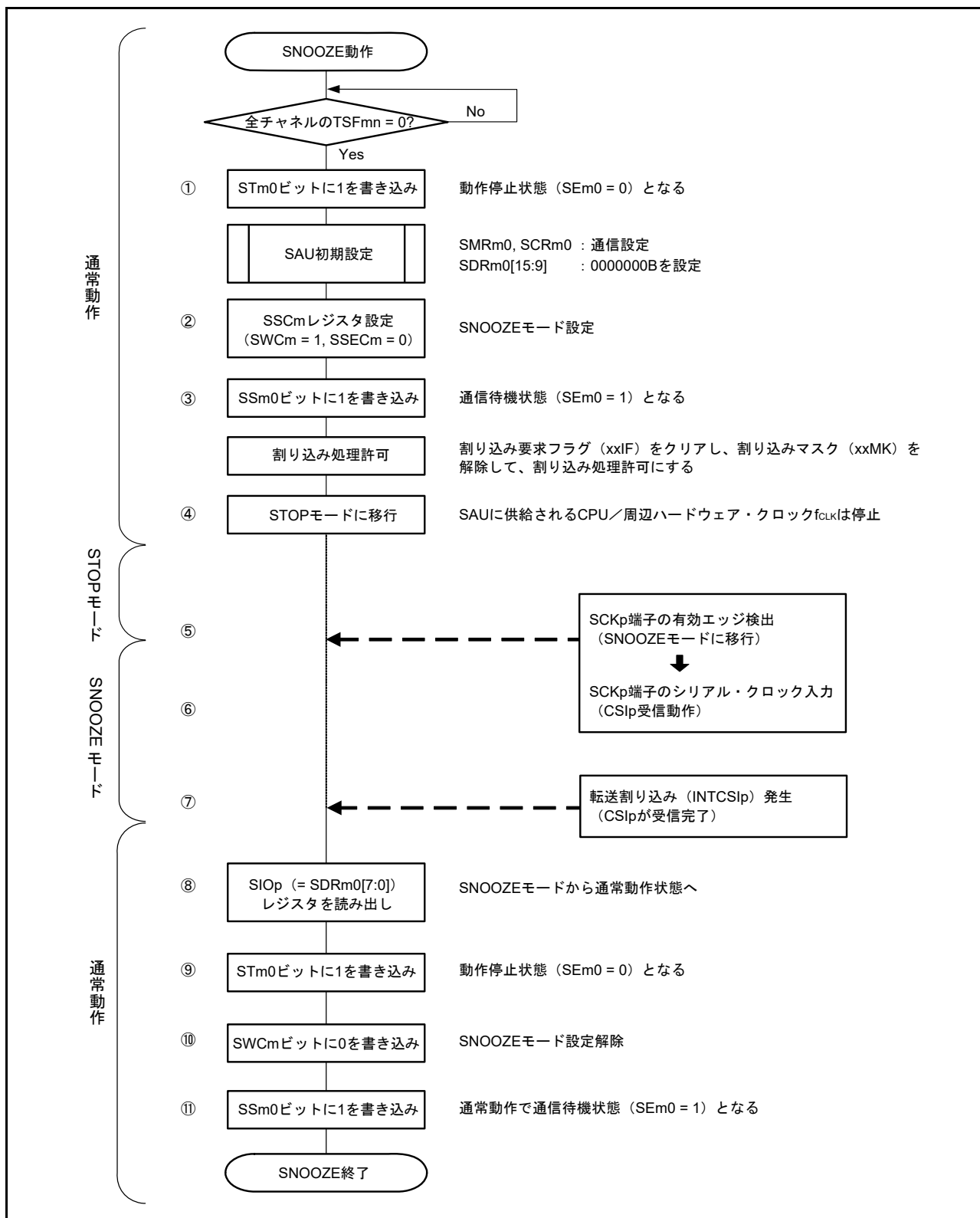
注意2. SWCm = 1のときは、BFFm0, OVFM0フラグは動作しません。

備考1. 図中の①～⑪は、図19-73 SNOOZEモード動作 (1回起動) 時のフロー・チャートの①～⑪に対応しています。

備考2. 44ピン製品 : m = 0, p = 00

48～100ピン製品 : m = 0, 1; p = 00, 20

図 19 - 73 SNOOZEモード動作（1回起動）時のフロー・チャート

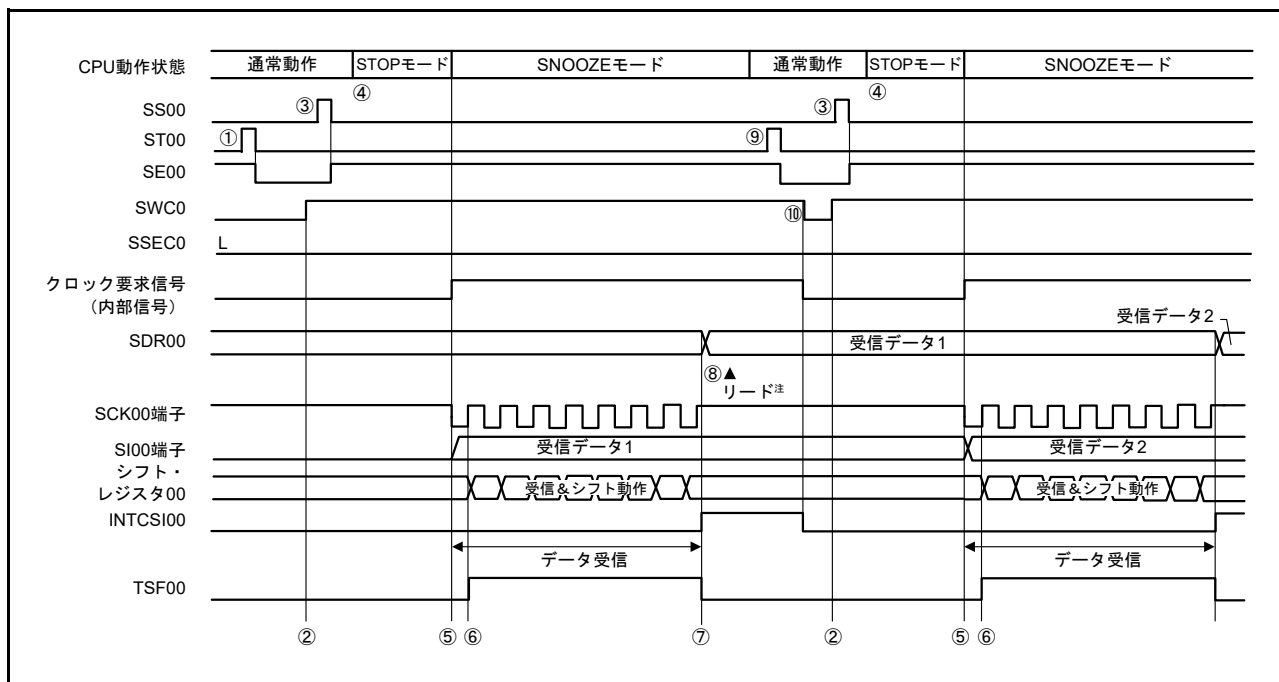


備考1. 図中の①～⑪は、図 19 - 72 SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1 : DAPmn = 0, CKPmn = 0）の①～⑪に対応しています。

備考2. 44ピン製品 : m = 0, p = 00
48～100ピン製品 : m = 0, 1; p = 00, 20

(2) SNOOZEモード動作 (連続起動)

図19-74 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、STm0ビットに1を設定してください (SEm0ビットがクリアされ動作停止)。また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

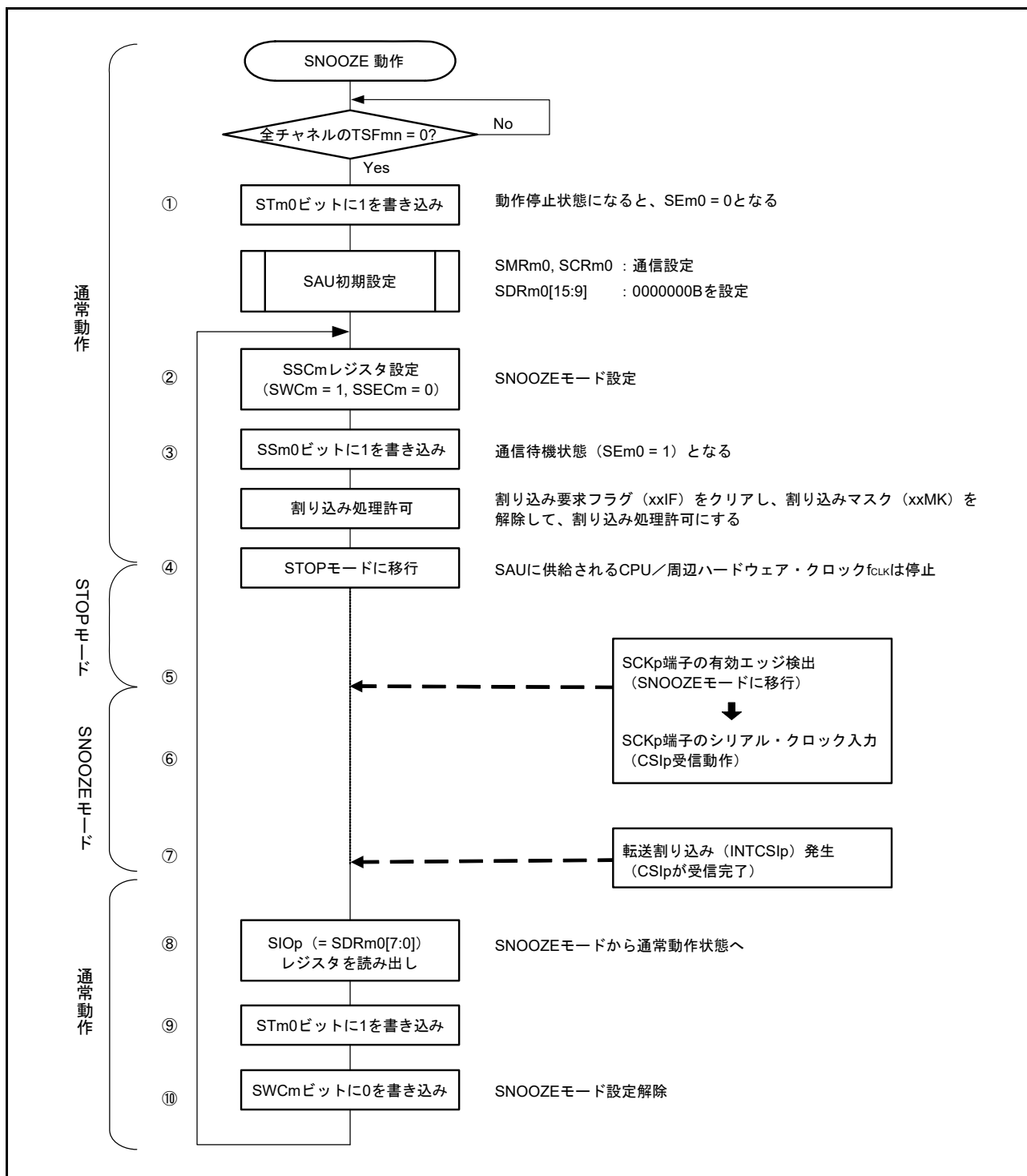
注意2. SWCm = 1のときは、BFFm0, OVfFm0フラグは動作しません。

備考1. 図中の①～⑩は、図19-75 SNOOZEモード動作 (連続起動) 時のフロー・チャートの①～⑩に対応しています。

備考2. 44ピン製品 : m = 0, p = 00

48～100ピン製品 : m = 0, 1; p = 00, 20

図 19 - 75 SNOOZE モード動作 (連続起動) 時のフロー・チャート



備考1. 図中の①～⑩は、図 19 - 74 SNOOZEモード動作 (連続起動) 時のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0) の①～⑩に対応しています。

備考2. 44ピン製品 : m = 0, p = 00

48～100ピン製品 : m = 0, 1; p = 00, 20

19.5.8 転送クロック周波数の算出

簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{Hz}]$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{注} [\text{Hz}]$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn) のビット15-9の値 (0000000B-1111111B) なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn) で決まります。

表19-3 簡易SPI動作クロックの選択 (1/2)

SMRmn レジスタ	SPSm レジスタ								動作クロック (fMCK) 注	
CKSmn	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		fCLK = 32 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	x	x	x	x	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	x	x	x	x	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	x	x	x	x	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
	x	x	x	x	1	1	1	1	fCLK/2 ¹⁵	977 Hz

表19-3 簡易SPI動作クロックの選択 (2/2)

SMRmn レジスタ	SPSm レジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
1	0	0	0	0	×	×	×	×	fCLK	32 MHz
	0	0	0	1	×	×	×	×	fCLK/2	16 MHz
	0	0	1	0	×	×	×	×	fCLK/2 ²	8 MHz
	0	0	1	1	×	×	×	×	fCLK/2 ³	4 MHz
	0	1	0	0	×	×	×	×	fCLK/2 ⁴	2 MHz
	0	1	0	1	×	×	×	×	fCLK/2 ⁵	1 MHz
	0	1	1	0	×	×	×	×	fCLK/2 ⁶	500 kHz
	0	1	1	1	×	×	×	×	fCLK/2 ⁷	250 kHz
	1	0	0	0	×	×	×	×	fCLK/2 ⁸	125 kHz
	1	0	0	1	×	×	×	×	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	×	×	×	×	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	×	×	×	×	fCLK/2 ¹¹	15.63 kHz
	1	1	0	0	×	×	×	×	fCLK/2 ¹²	7.81 kHz
	1	1	0	1	×	×	×	×	fCLK/2 ¹³	3.91 kHz
	1	1	1	0	×	×	×	×	fCLK/2 ¹⁴	1.95 kHz
	1	1	1	1	×	×	×	×	fCLK/2 ¹⁵	977 Hz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. × : Don't care

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

19.5.9 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信時におけるエラー発生時の処理手順

表 19 - 4 に簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信時にエラーが発生した場合の処理手順を示します。

表19 - 4 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	→ SSRmnレジスタのBFFmnビットが0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に1を書き込む	→ エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

シリアル・アレイ・ユニット 0 のチャンネル 0, 1 のシリアル・データ出力 (SO00, SO01)、シリアル・クロック出力 (SCK00, SCK01) はロジック&イベント・リンク・コントローラ (ELCL) の入力として選択可能です。ELCL のイベント入力として使用し、SO0m, SCK0m 端子に出力させたくない場合には、ポート・ファンクション出力許可レジスタ 0 (PFOE0) の対応するビットに 0 を設定する必要があります。詳細は、**4.3.14 ポート・ファンクション出力許可レジスタ (PFOEx)** を参照してください。

19.6 UART (UART0-UART3) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャネル) と受信専用 (奇数チャネル) の2チャネルを使用することで、全二重調歩同期 UART 通信が実現できます。また、UART2 とタイマ・アレイ・ユニット 0 (チャネル 7) と外部割り込み (INTP0) を組み合わせて LIN-bus にも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定 (レベルを反転するかどうかの選択)
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加、ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0, UART2 の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

UART2 (ユニット 1 のチャネル 0, 1) は、LIN-bus に対応しています。

[LIN-bus機能]

• ウェイクアップ信号検出 • ブレーク・フィールド (BF) 検出 • シンク・フィールド測定、ボー・レート算出	}	外部割り込み (INTP0)、 タイマ・アレイ・ユニット 0 (チャネル 7) を使用

注 9ビット・データ長は、UART0, UART2のみ対応しています。

fCLK に中速オンチップ・オシレータ・クロック (fIM) または低速オンチップ・オシレータ・クロック (fIL) を選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) または低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) を使用して発振周波数精度の補正を行ってください。

- UART0では、SAU0のチャンネル0, 1を使用します。
- UART1では、SAU0のチャンネル2, 3を使用します。
- UART2では、SAU1のチャンネル0, 1を使用します。
- UART3では、SAU1のチャンネル2, 3を使用します。

<44ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	—	UART2 (LIN-bus 対応)	—
	1	CSI21		IIC21
	2	—	—	(IIC30)
	3	—		—

<48ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	—	—	IIC30
	3	—		—

<52ピン製品>

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	—		—

< 64ピン製品 >

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 80ピン製品 >

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 100ピン製品 >

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

各チャンネルはどれか1つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらもUARTにしか使用できません。

備考 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx)** を参照してください。

UART の通信動作は、以下の 4 種類があります。

- UART送信 (19.6.1 を参照)
- UART受信 (19.6.2 を参照)
- LIN送信 (UART2のみ) (19.7.1 を参照)
- LIN受信 (UART2のみ) (19.7.2 を参照)

19.6.1 UART送信

UART 送信は、RL78 マイクロコントローラからほかのデバイスへ非同期（調歩同期）でデータを送信する動作です。
UART 送信では、その UART に使用する 2 チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}			
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 2 以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSB ファーストまたはLSB ファースト			

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号（m = 0, 1）、n : チャンネル番号（n = 0, 2）、mn = 00, 02, 10, 12

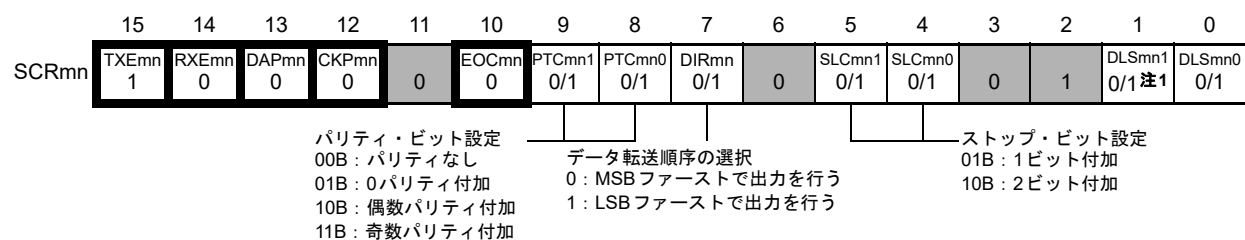
(1) レジスタ設定

図19-76 UART (UART0-UART3) のUART送信時のレジスタ設定内容例

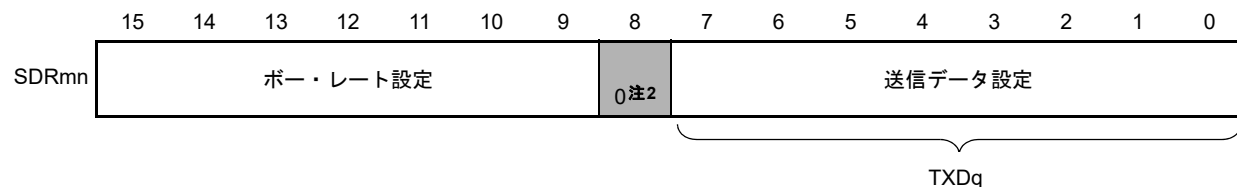
(a) シリアル・モード・レジスタ mn (SMRmn)



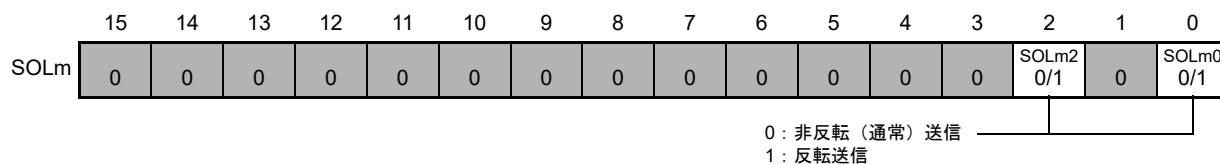
(b) シリアル通信動作設定レジスタ mn (SCRmn)



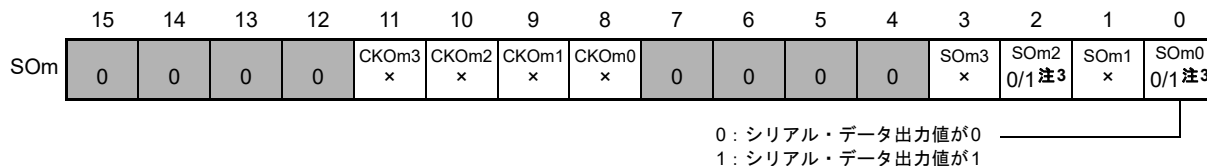
(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : TXDq)



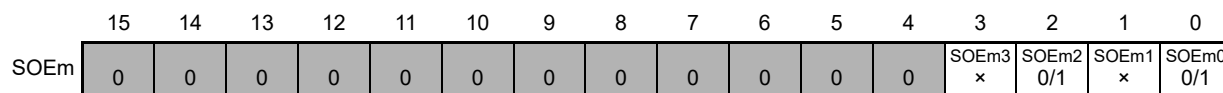
(d) シリアル出力レベル・レジスタ m (SOLm) : 対象チャンネルのビットのみ設定する



(e) シリアル出力レジスタ m (SOM) : 対象チャンネルのビットのみ設定する



(f) シリアル出力許可レジスタ m (SOEm) : 対象チャンネルのビットのみ1を設定する



(注、備考は次ページに続きます)

(g) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

- 注1.** SCR00, SCR10 レジスタのみ。その他は1固定になります。
- 注2.** 9ビット・データ長での通信を行う場合は、SDRm0 レジスタのビット0-8が送信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UART0, UART2のみです。
- 注3.** 該当するチャンネルの SOLmn ビットに0を設定している場合は1に、SOLmn ビットに1を設定している場合は0を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0, 2)、q : UART 番号 (q = 0-3)、mn = 00, 02, 10, 12

備考2. ☐ : UART 送信モードでは設定固定、☐ : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図19-77 UART送信の初期設定手順

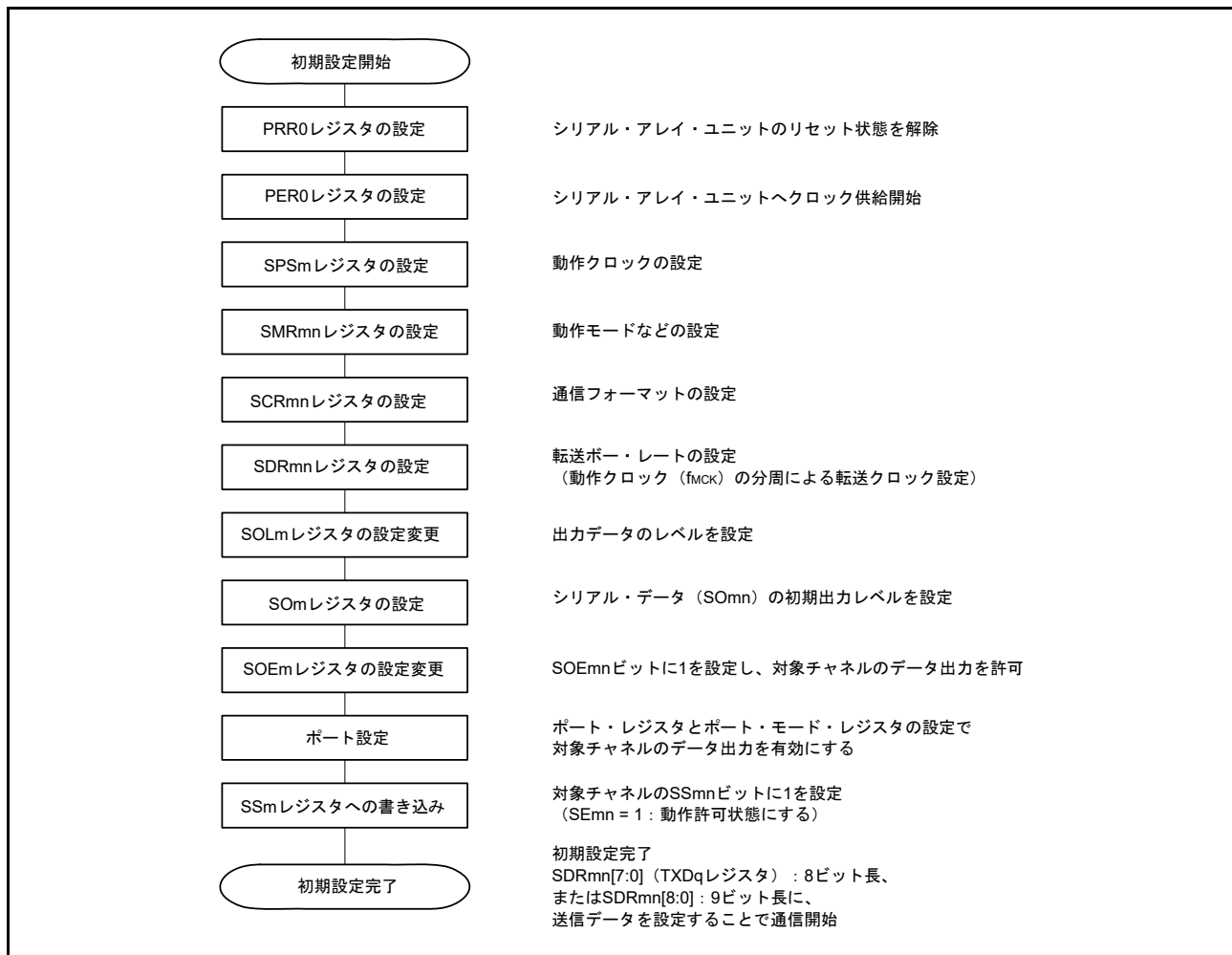


図19-78 UART送信の中断手順

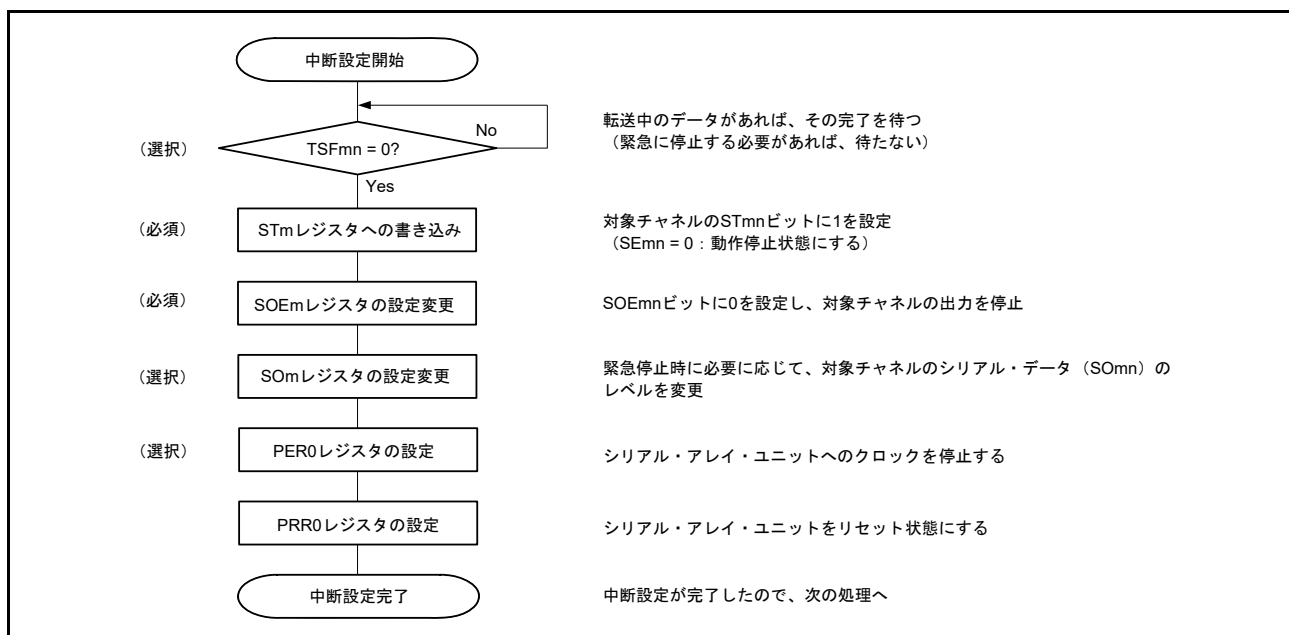
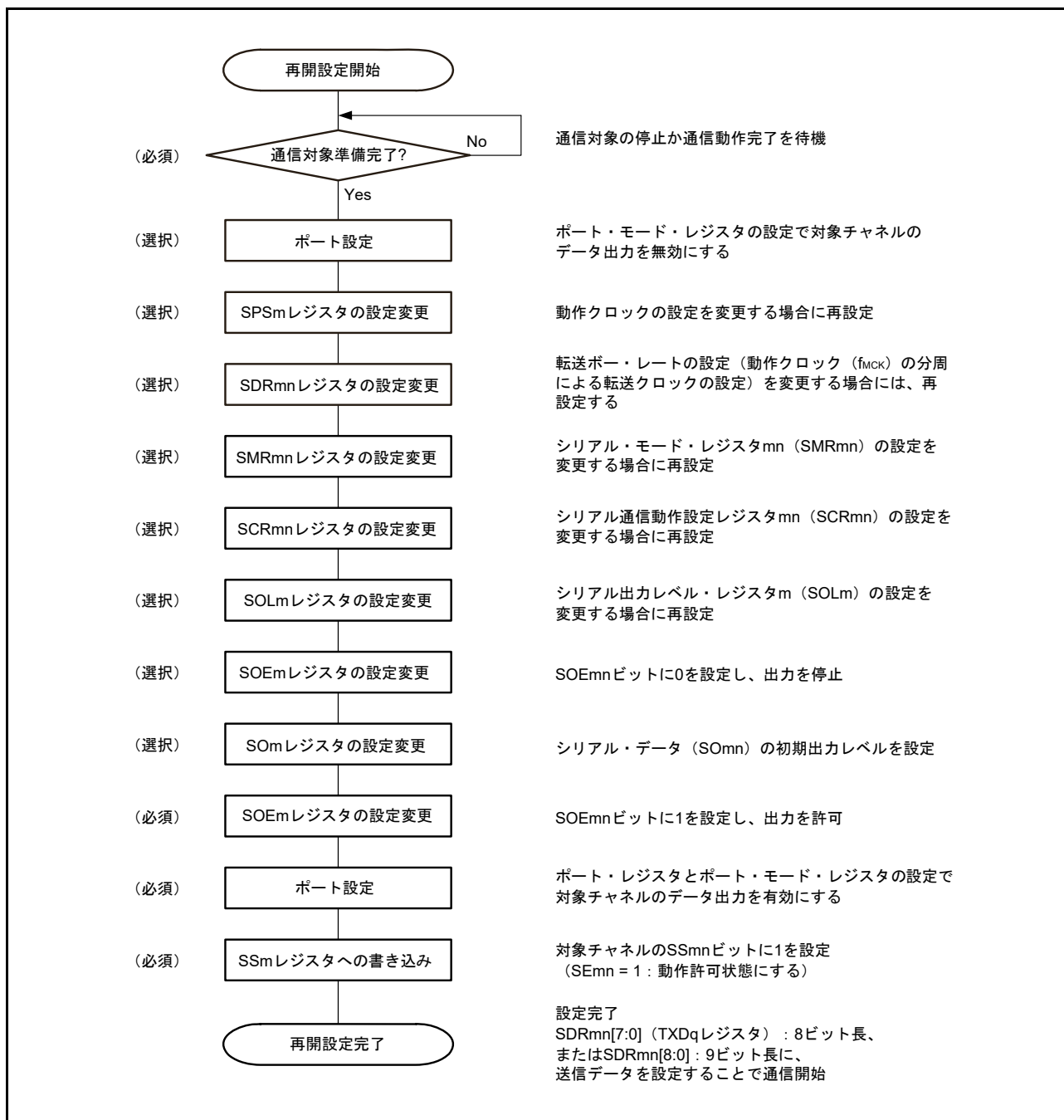


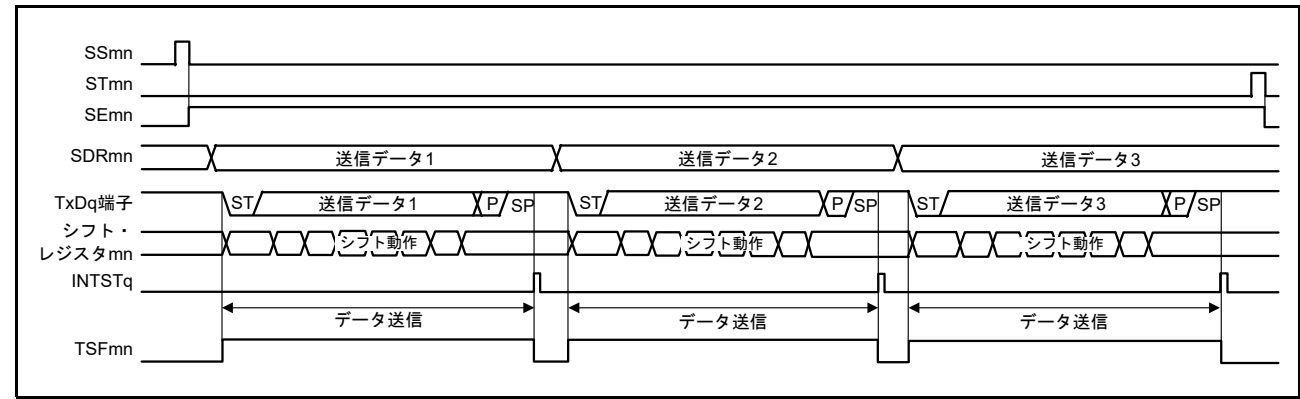
図 19 - 79 UART 送信の再開設定手順



備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

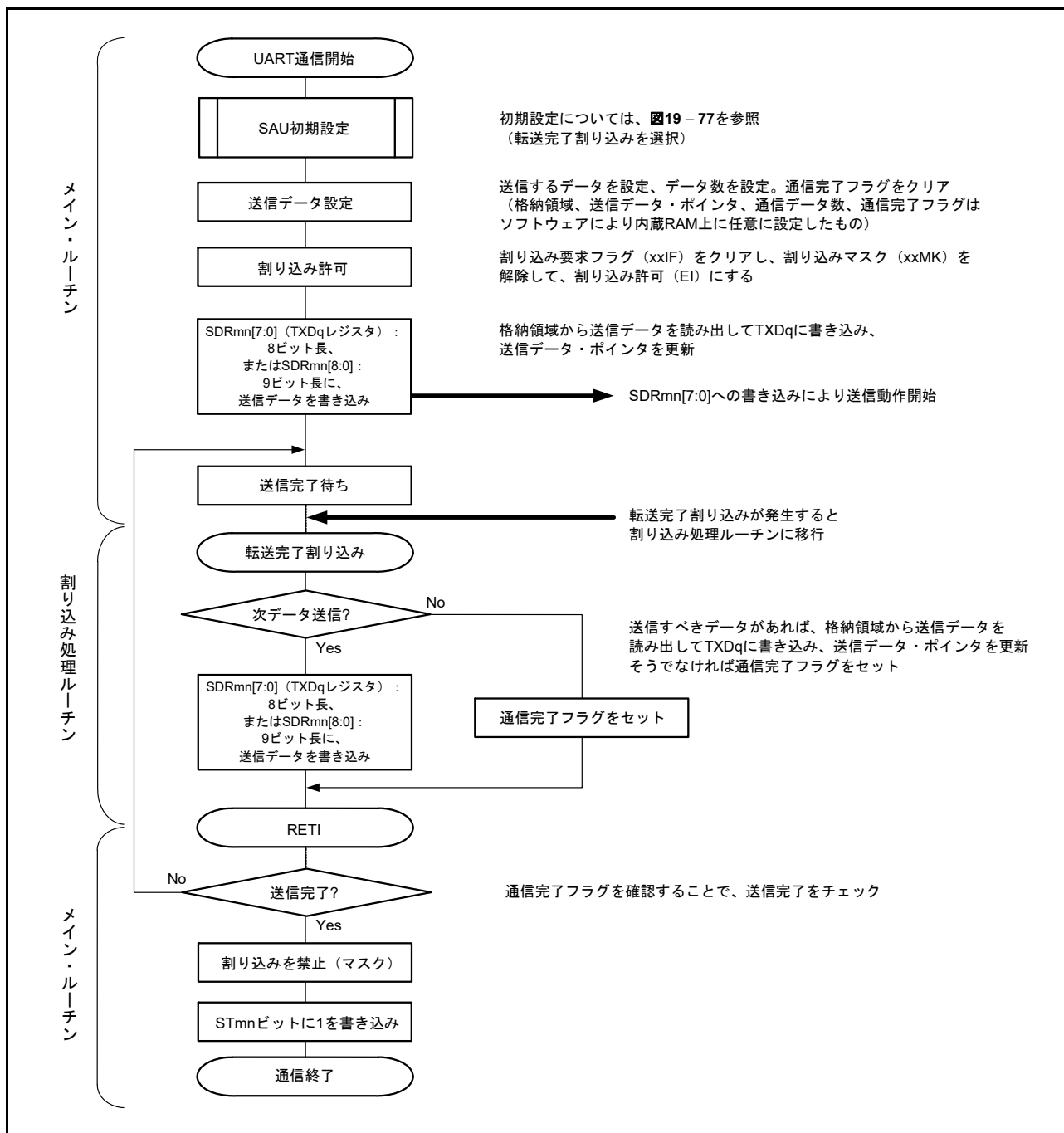
(3) 処理フロー（シングル送信モード時）

図19 - 80 UART送信（シングル送信モード時）のタイミング・チャート



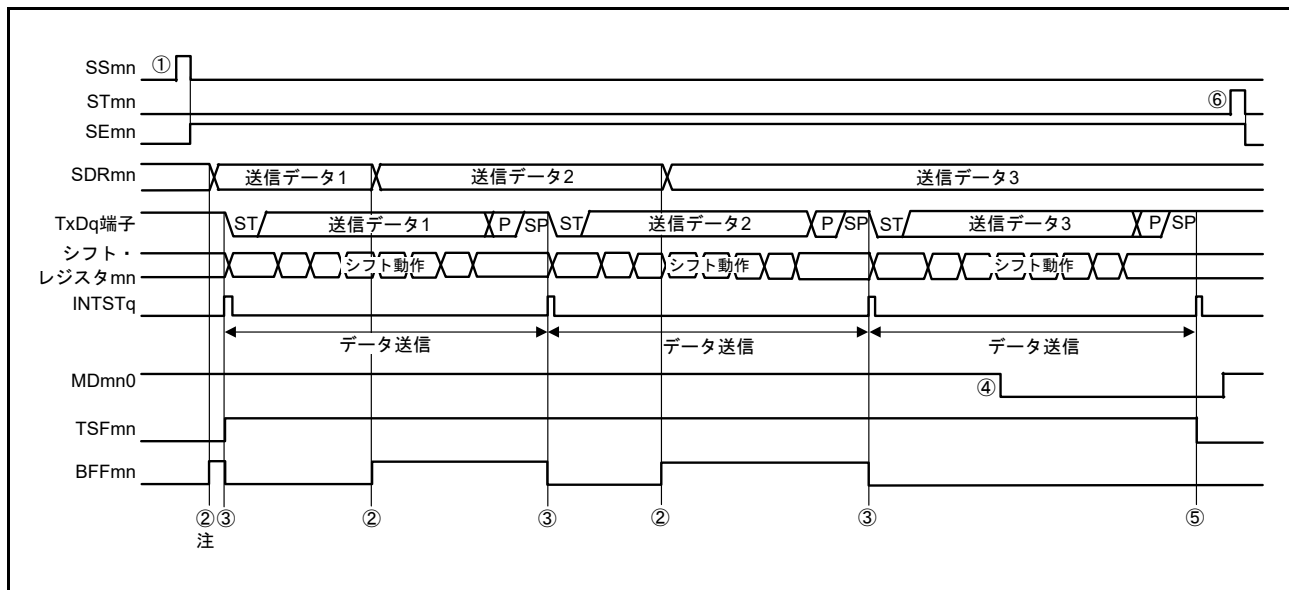
備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、q : UART 番号 (q = 0-3)、
mn = 00, 02, 10, 12

図19-81 UART送信（シングル送信モード時）のフロー・チャート



(4) 処理フロー（連続送信モード時）

図19-82 UART送信（連続送信モード時）のタイミング・チャート

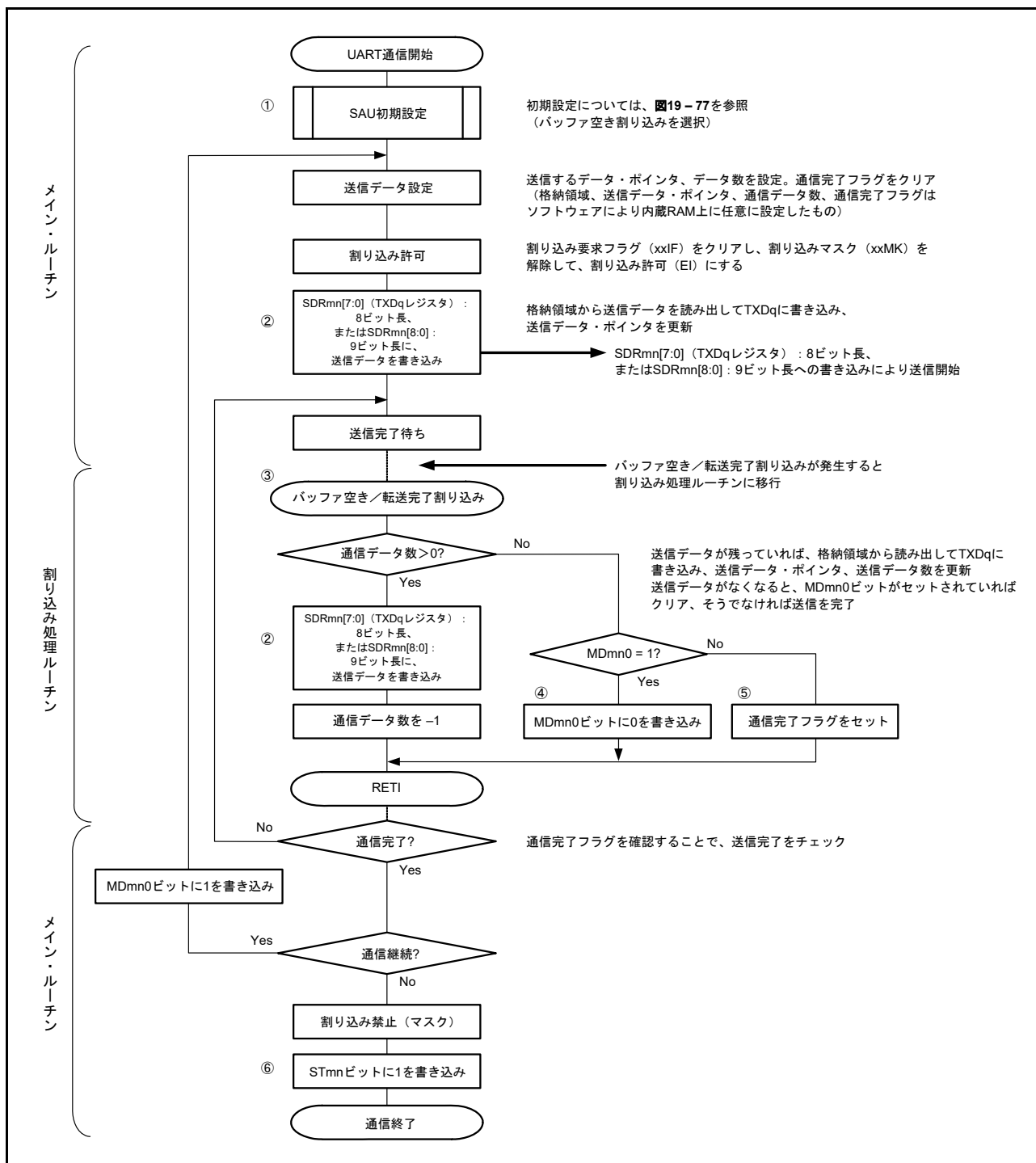


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが 1 の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、q : UART 番号 (q = 0-3)、
mn = 00, 02, 10, 12

図19-83 UART送信（連続送信モード時）のフロー・チャート



備考 図中の①～⑥は、図19-82 UART送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

19.6.2 UART受信

UART 受信は、RL78 マイクロコントローラがほかのデバイスから非同期（調歩同期）でデータを受信する動作です。

UART 受信では、その UART に使用する 2 チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMR レジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTSR0	INTSR1	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn）			
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}			
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 2 以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・パリティ判定なし（0パリティ） ・偶数パリティ・チェック ・奇数パリティ・チェック			
ストップ・ビット	1ビット付加			
データ方向	MSB ファーストまたはLSB ファースト			

注1. 9ビット・データ長は、UART0, UART2のみ対応しています。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第42章 電気的特性**を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

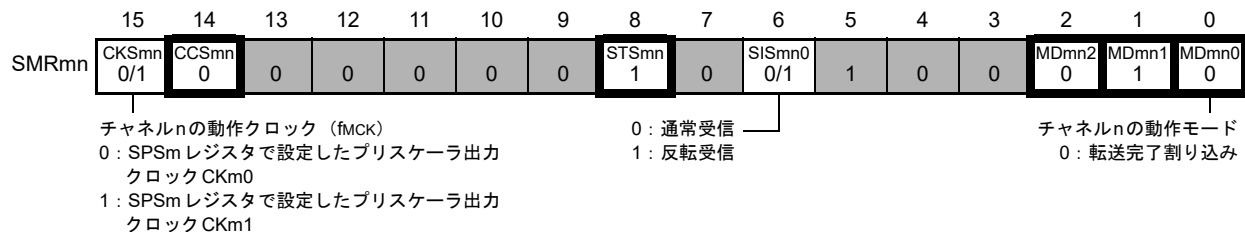
f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号（m = 0, 1）、n : チャンネル番号（n = 1, 3）、mn = 01, 03, 11, 13

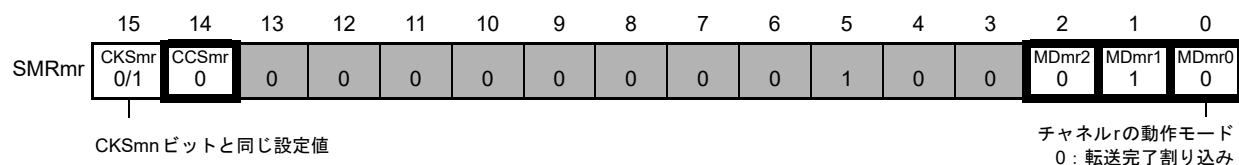
(1) レジスタ設定

図19-84 UART (UART0-UART3) のUART受信時のレジスタ設定内容例

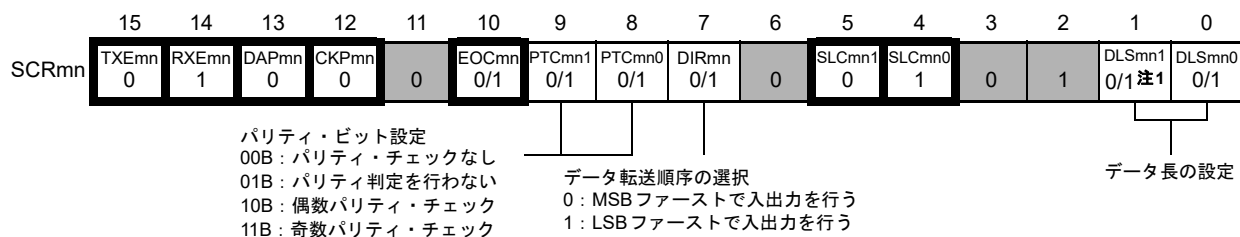
(a) シリアル・モード・レジスタ mn (SMRmn)



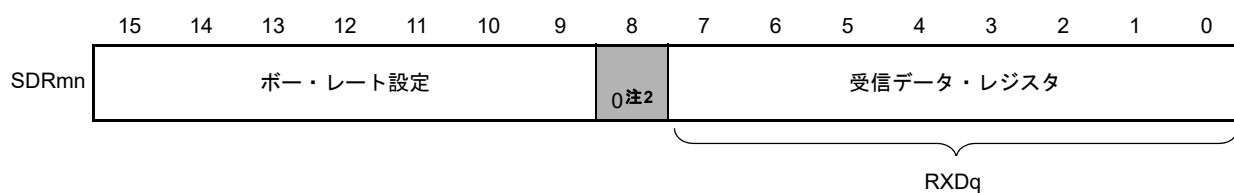
(b) シリアル・モード・レジスタ mr (SMRmr)



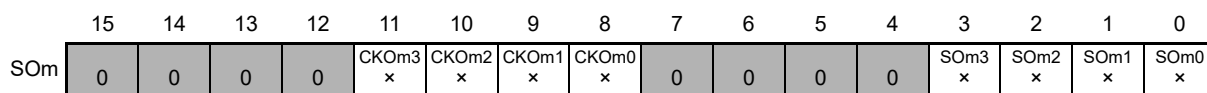
(c) シリアル通信動作設定レジスタ mn (SCRmn)



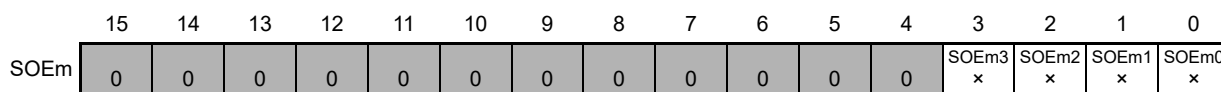
(d) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: RXDq)



(e) シリアル出力レジスタ m (SOm): このモードでは使用しない



(f) シリアル出力許可レジスタ m (SOEm): このモードでは使用しない



(注、注意、備考は次ページに続きます)

(g) シリアル・チャンネル開始レジスタ m (SSm) : 対象チャンネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注1. SCR01, SCR11 レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1 レジスタのビット0-8が受信データ設定領域になります。
9ビット・データ長での通信が行えるのは、UART0, UART2のみです。

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 1, 3)、mn = 01, 03, 11, 13

r : チャンネル番号 (r = n-1)、q : UART番号 (q = 0-3)

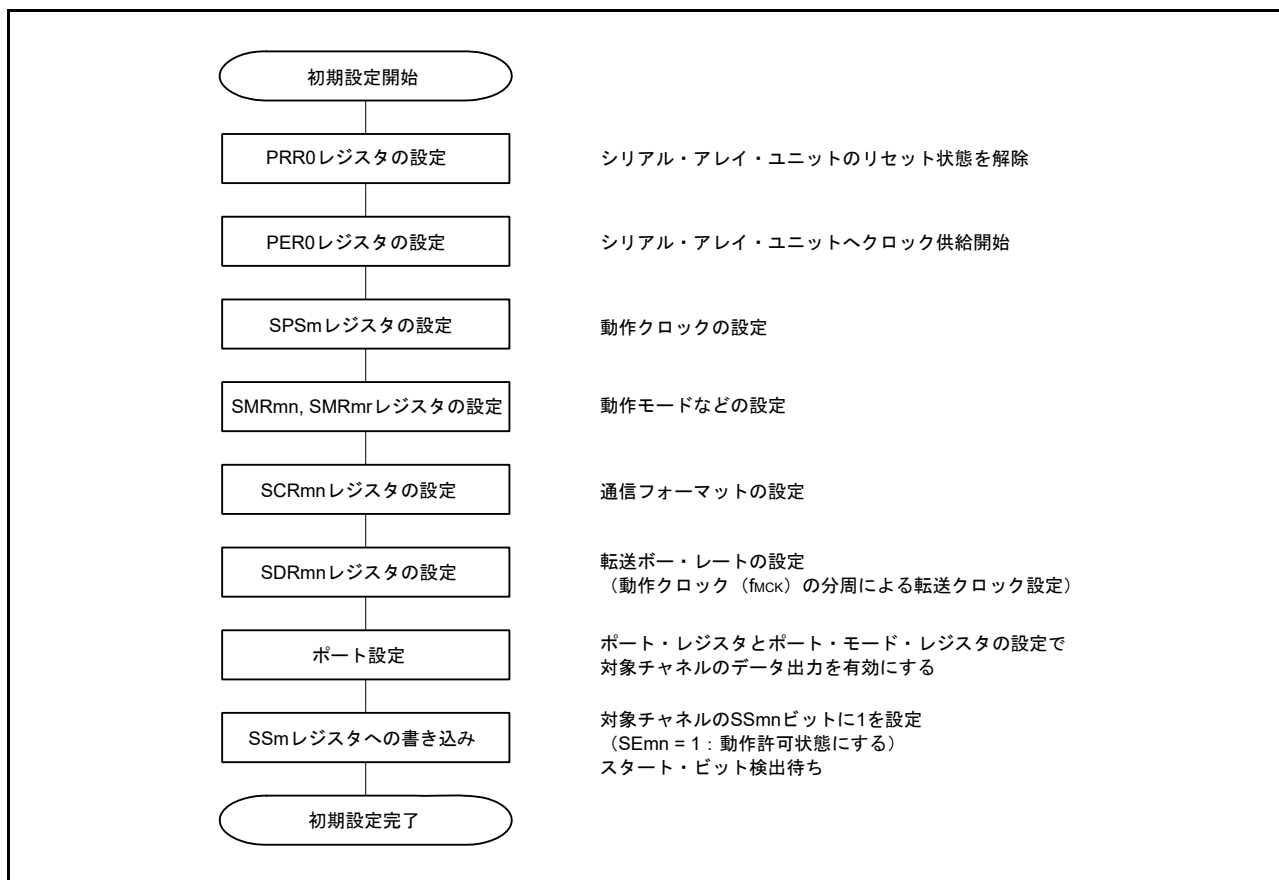
備考2.  : UART受信モードでは設定固定、 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (ほかのモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

図 19 - 85 UART 受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットに1を設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図 19 - 86 UART 受信の中断手順

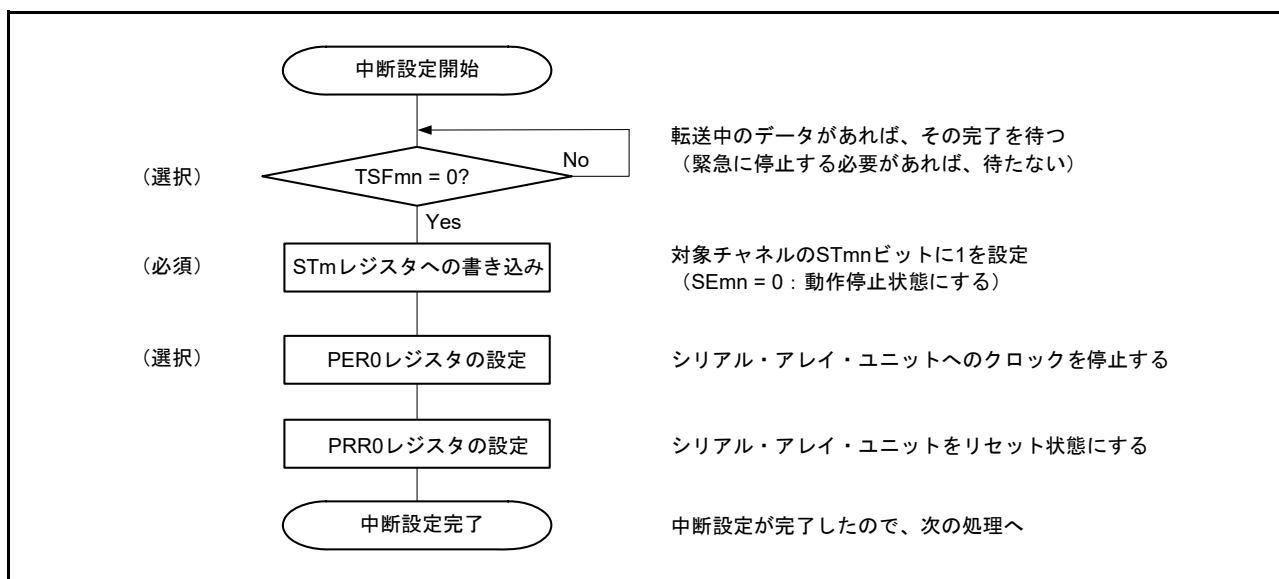
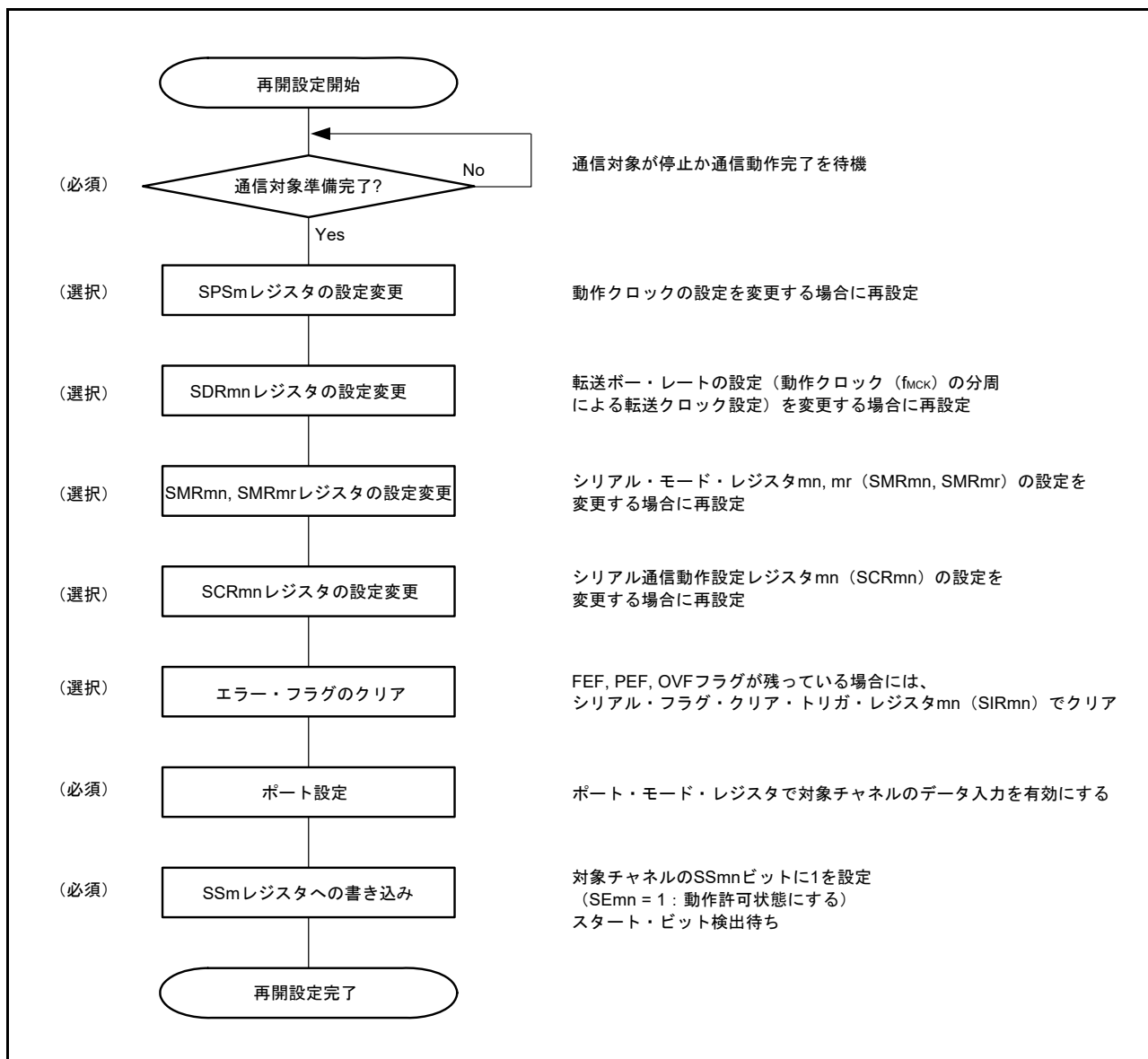


図 19-87 UART受信の再開設定手順

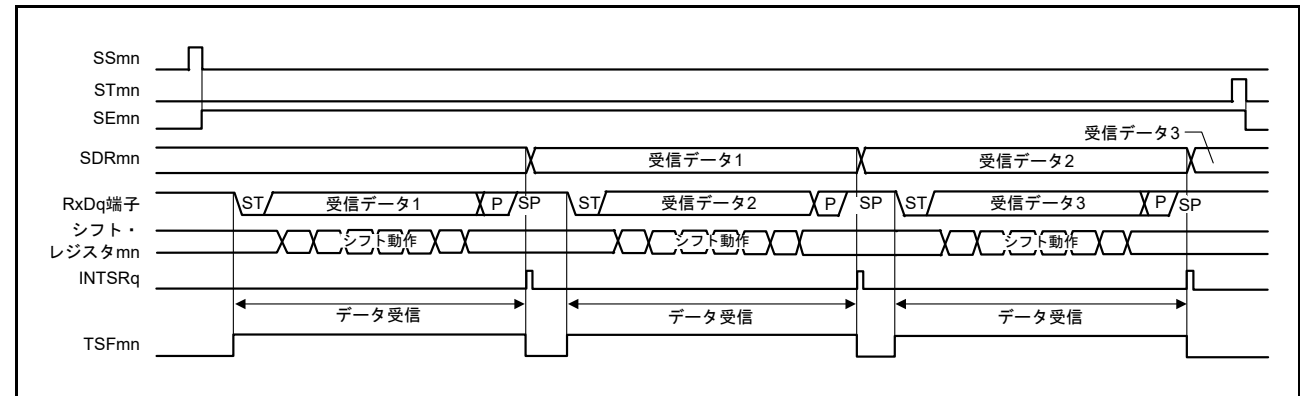


注意 SCRmnレジスタのRXEmnビットに1を設定後に、f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

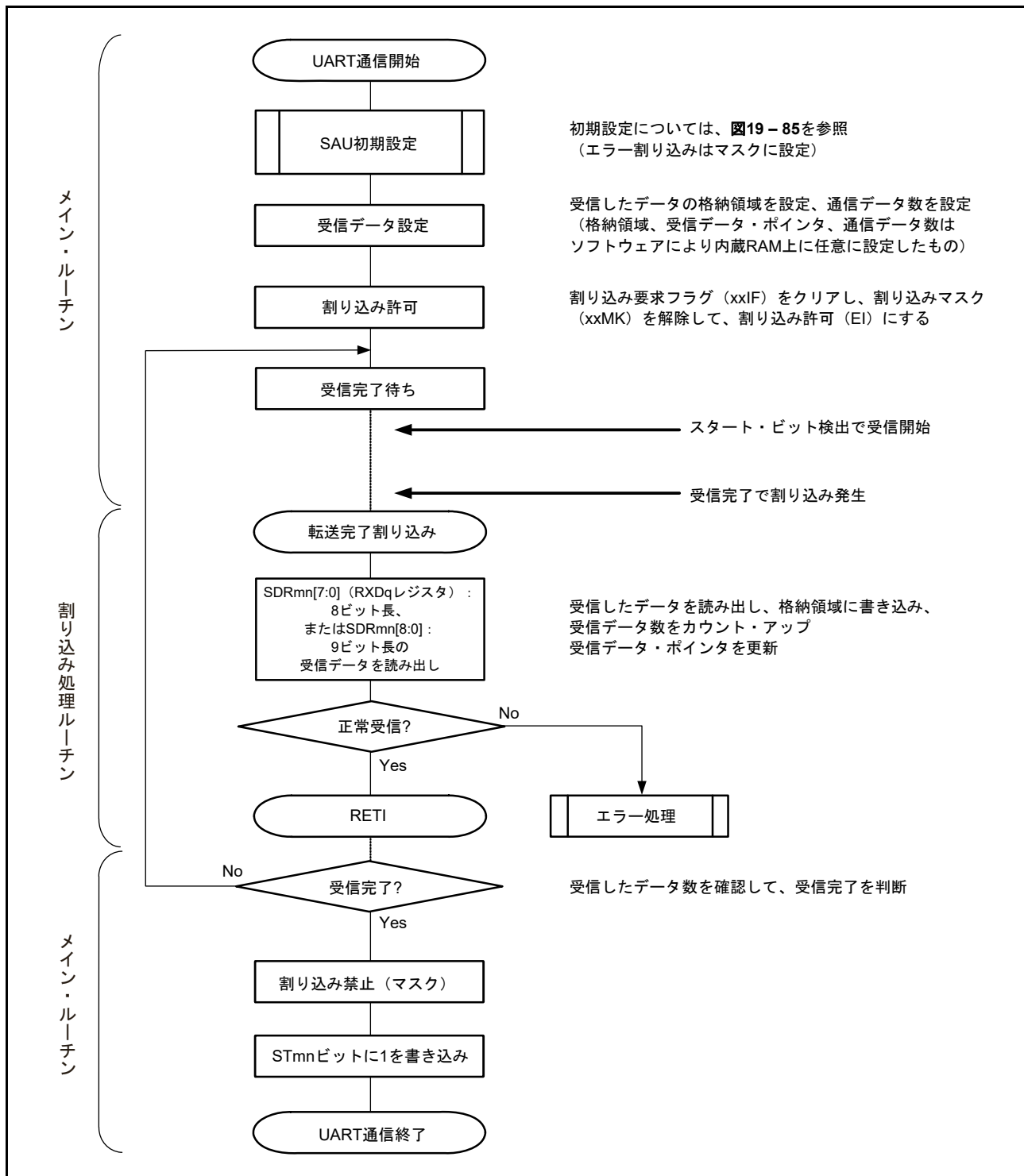
(3) 処理フロー

図19 - 88 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11, 13
r : チャネル番号 (r = n-1)、q : UART 番号 (q = 0-3)

図19-89 UART受信のフロー・チャート



19.6.3 SNOOZE モード機能

STOP モード時に RxDq 端子入力の検出により UART の受信動作をさせるモードです。通常 STOP モード時に UART の通信動作は停止しますが、SNOOZE モード機能を使用することで、CPU を動作させずに UART の受信動作を行うことができます。

SNOOZE モードは、UART0, UART2 の受信のみ設定可能です。

UARTq を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います。(図 19 - 92 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1 または EOCm1 = 1, SSECm = 0) 時のフロー・チャート、図 19 - 94 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートを参照)

- SNOOZE モード時は、UART 受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。
表 19 - 5 を参照して SPSm レジスタ、SDRmn レジスタのビット 15-9 を設定してください。
- EOCmn ビット、SSECm ビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSREq) の発生許可/停止を設定することができます。
- STOP モードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ m (SSCm) の SWCm ビットに 1 を設定してください。初期設定完了後、シリアル・チャンネル開始レジスタ m (SSm) の SSm1 ビットに 1 を設定します。
- STOP モードに移行後、RxDq のスタート・ビット入力を検出すると、UARTq は受信動作を開始します。

注意 1. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ使用できます。

中速オンチップ・オシレータ・クロックを選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) を使用して発振周波数精度を補正する必要があります。

注意 2. SNOOZE モードでの最大転送レートは 115.2 kbps (FWKUP = 1, fCLK = fiH (32 MHz) 設定時) です。
FWKUP = 1 設定時は、fCLK に fiH = 32 MHz 以外を設定するのは禁止です。

注意 3. SWCm = 1 の設定では、STOP モード中に受信開始したときのみ UARTq を使用できます。ほかの SNOOZE モード機能や割り込みと同時に使用して、次のような STOP モード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。

- SWCm = 1 に設定後、STOP モードに移行する前に受信開始した場合
- ほかの SNOOZE モード中に受信開始した場合
- STOP モードから割り込みなどで通常動作に復帰後、SWCm = 0 に戻す前に受信開始した場合

注意 4. SSECm = 1 の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFmn, FEFmn, OVFMn フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1 で使用するときは、SWCm = 1 に設定する前に PEFmn, FEFmn, OVFMn フラグをクリアし、また、SDRm1 レジスタのビット 7-0 (RxDq) を読み出してください。

注意 5. RxDq 端子の有効エッジ検出により SNOOZE モードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けると UART 受信が開始されず、SNOOZE モードを継続することがあります。この場合、次の UART 受信で正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。

表19 - 5 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ通常起動 (WKUPMD.FWKUP = 0) 時

ボー・レート	高速オンチップ・オシレータ (f _{IH})	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
4800 bps	32 MHz ±1% ^注	fCLK/2 ⁵	106	1.45%	-1.67%
	24 MHz ±1% ^注	fCLK/2 ⁵	79	1.77%	-1.37%
9600 bps	32 MHz ±1% ^注	fCLK/2 ⁴	106	1.45%	-1.67%
	24 MHz ±1% ^注	fCLK/2 ⁴	79	1.77%	-1.37%

高速オンチップ・オシレータ高速起動 (WKUPMD.FWKUP = 1) 時

ボー・レート	高速オンチップ・オシレータ (f _{IH})	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
4800 bps	32 MHz ±1% ^注	fCLK/2 ⁵	106	1.45%	-1.67%
9600 bps		fCLK/2 ⁴	106	1.45%	-1.67%
19200 bps		fCLK/2 ³	106	1.45%	-1.67%
31250 bps		fCLK/2 ³	65	1.05%	-2.06%
38400 bps		fCLK/2 ²	106	1.45%	-1.67%
76800 bps		fCLK/2	106	1.45%	-1.67%
115200 bps		fCLK/2	70	1.93%	-1.21%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

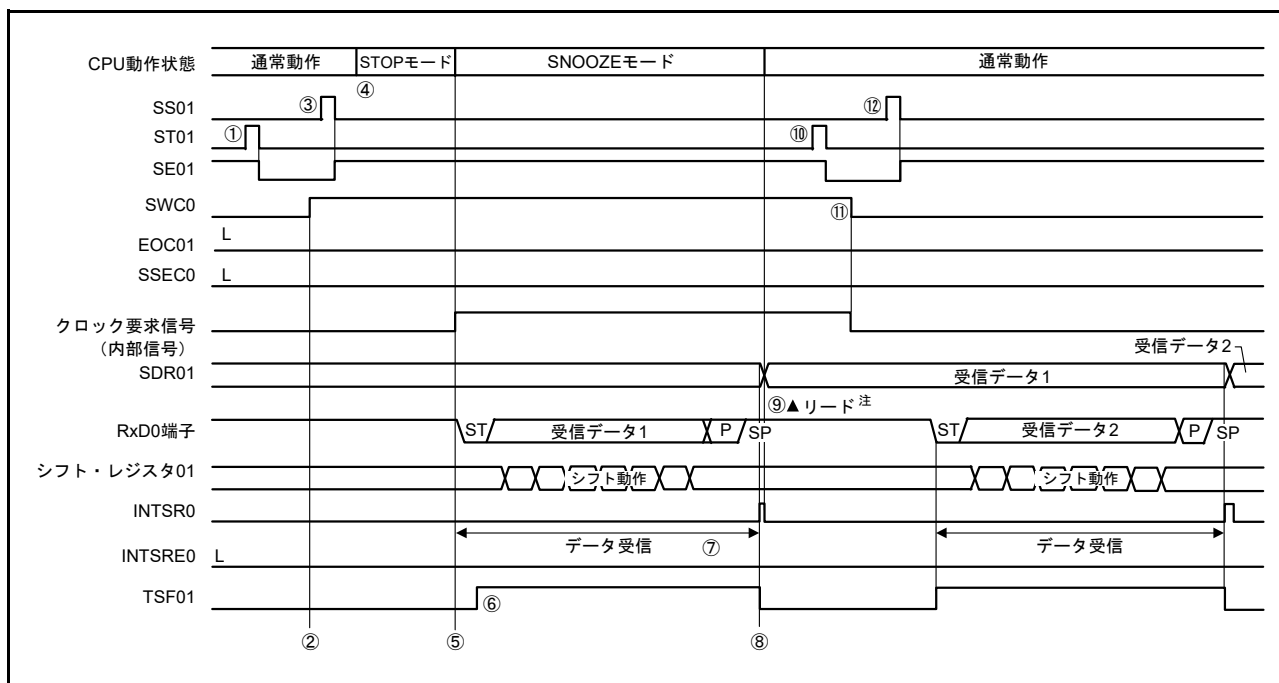
- f_{IH} ±1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- f_{IH} ±2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

備考 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。

(1) SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1)

EOCm1 = 0のためSSECmビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (INTSREq) は発生しません。転送完了割り込み (INTSRq) は発生します。

図19-90 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットに1を設定してください (SEm1ビットがクリアされ動作停止)。
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

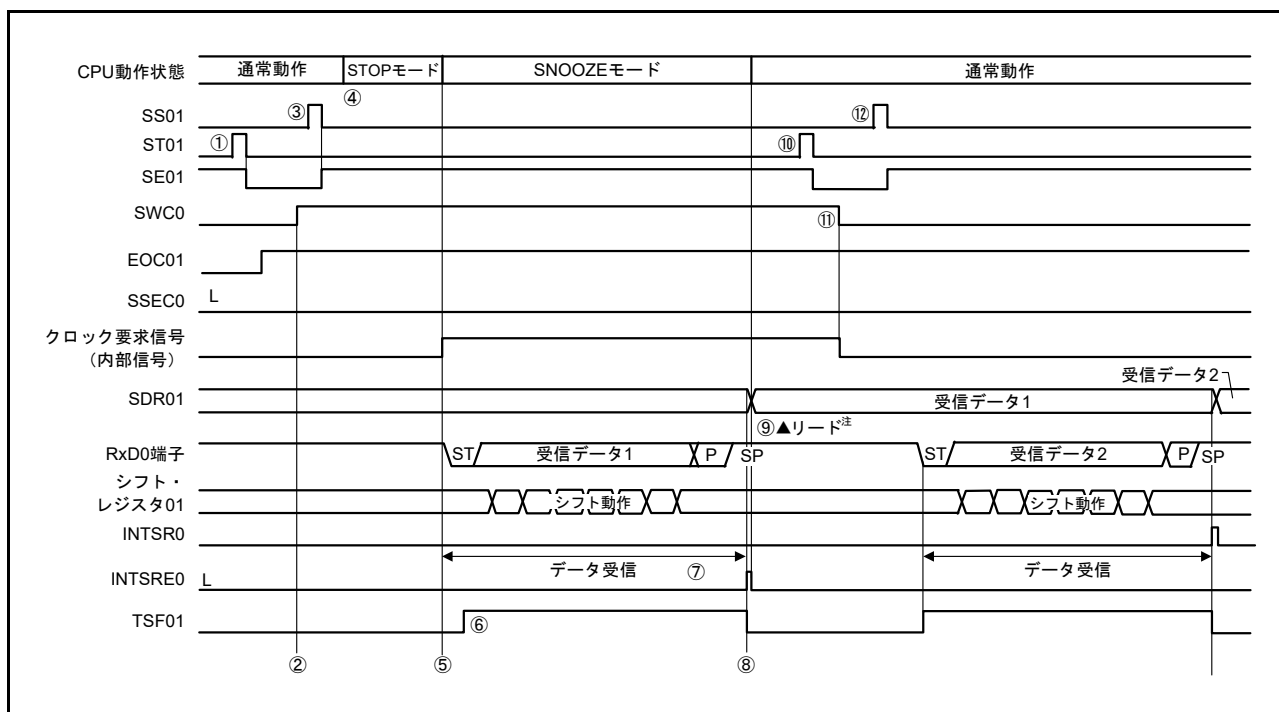
備考1. 図中の①～⑫は、図19-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

(2) SNOOZEモード動作 (EOCm1 = 1, SSECm = 0 : エラー割り込み (INTSREq) 発生許可)

EOCm1 = 1, SSECm = 0のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生します。

図19-91 SNOOZEモード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

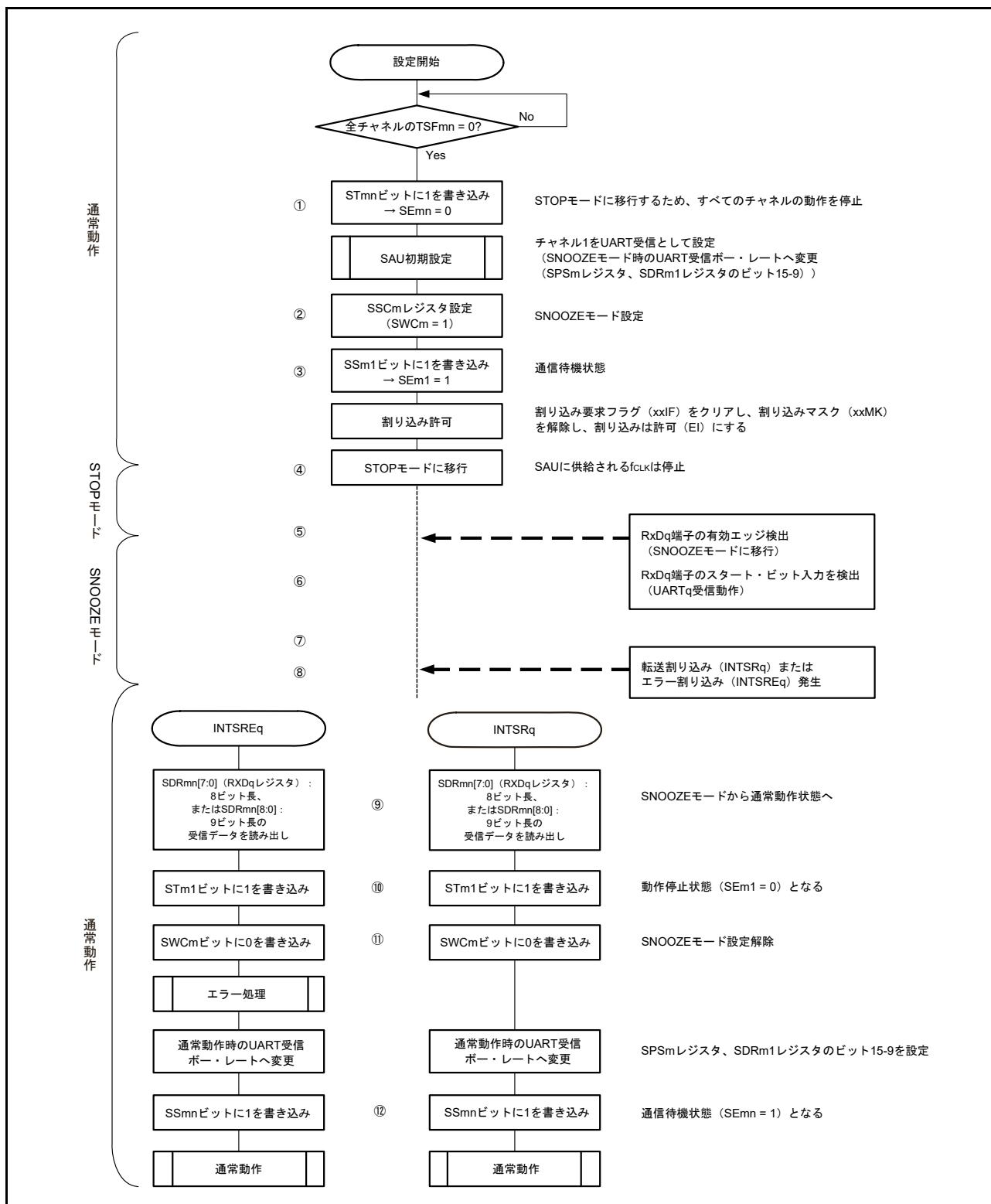
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットに1を設定してください (SEm1ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

備考1. 図中の①～⑫は、図19-92 SNOOZEモード動作 (EOCm1 = 0, SSECm = 0/1またはEOCm1 = 1, SSECm = 0) 時のフロー・チャートの①～⑫に対応しています。

備考2. m = 0, 1; q = 0, 2

図 19 - 92 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1 または EOCm1 = 1, SSECm = 0) 時のフロー・チャート



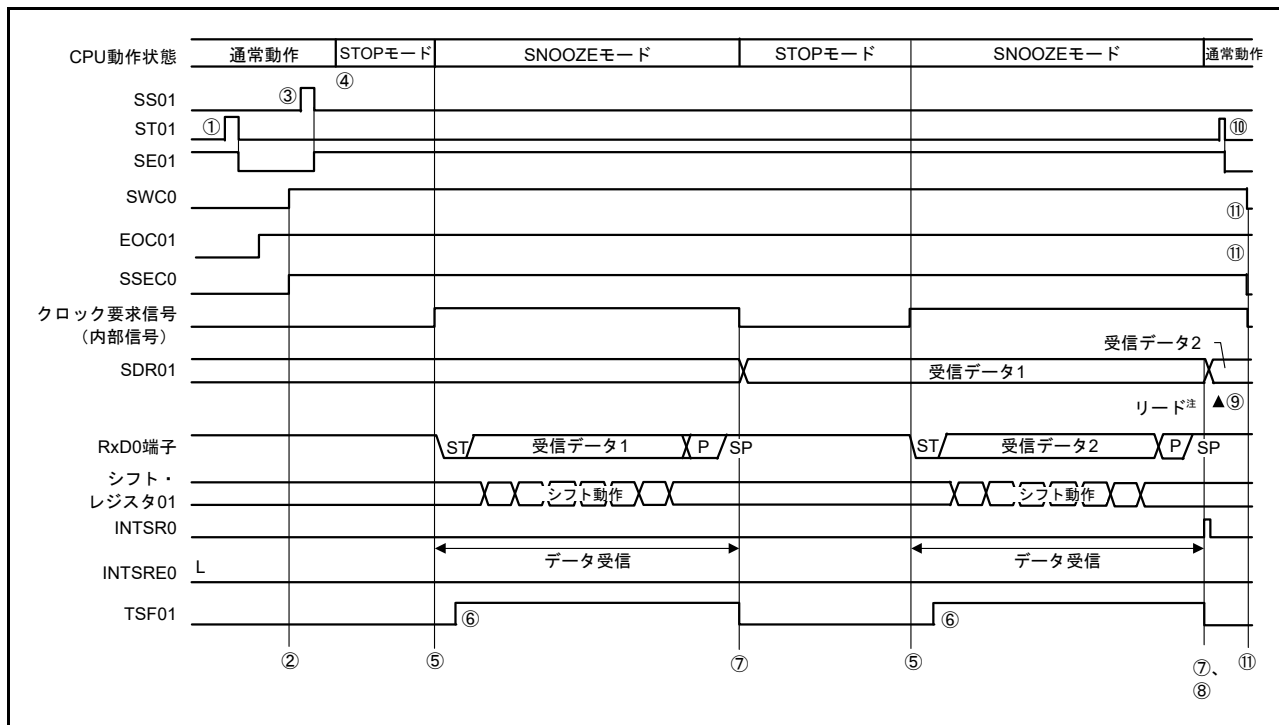
備考1. 図中の①～⑫は、図 19 - 90 SNOOZE モード動作 (EOCm1 = 0, SSECm = 0/1) 時のタイミング・チャート、図 19 - 91 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時のタイミング・チャートの①～⑫に対応しています。

備考2. m = 0, 1; q = 0, 2; n = 0-3

(3) SNOOZEモード動作 (EOCm1 = 1, SSECm = 1 : エラー割り込み (INTSREq) 発生停止)

EOCm1 = 1, SSECm = 1のため、通信エラーが発生した場合にエラー割り込み (INTSREq) を発生しません。

図19-93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャート



注 SWCm = 1の状態、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットに1を設定してください (SEm1ビットがクリアされ動作停止)。

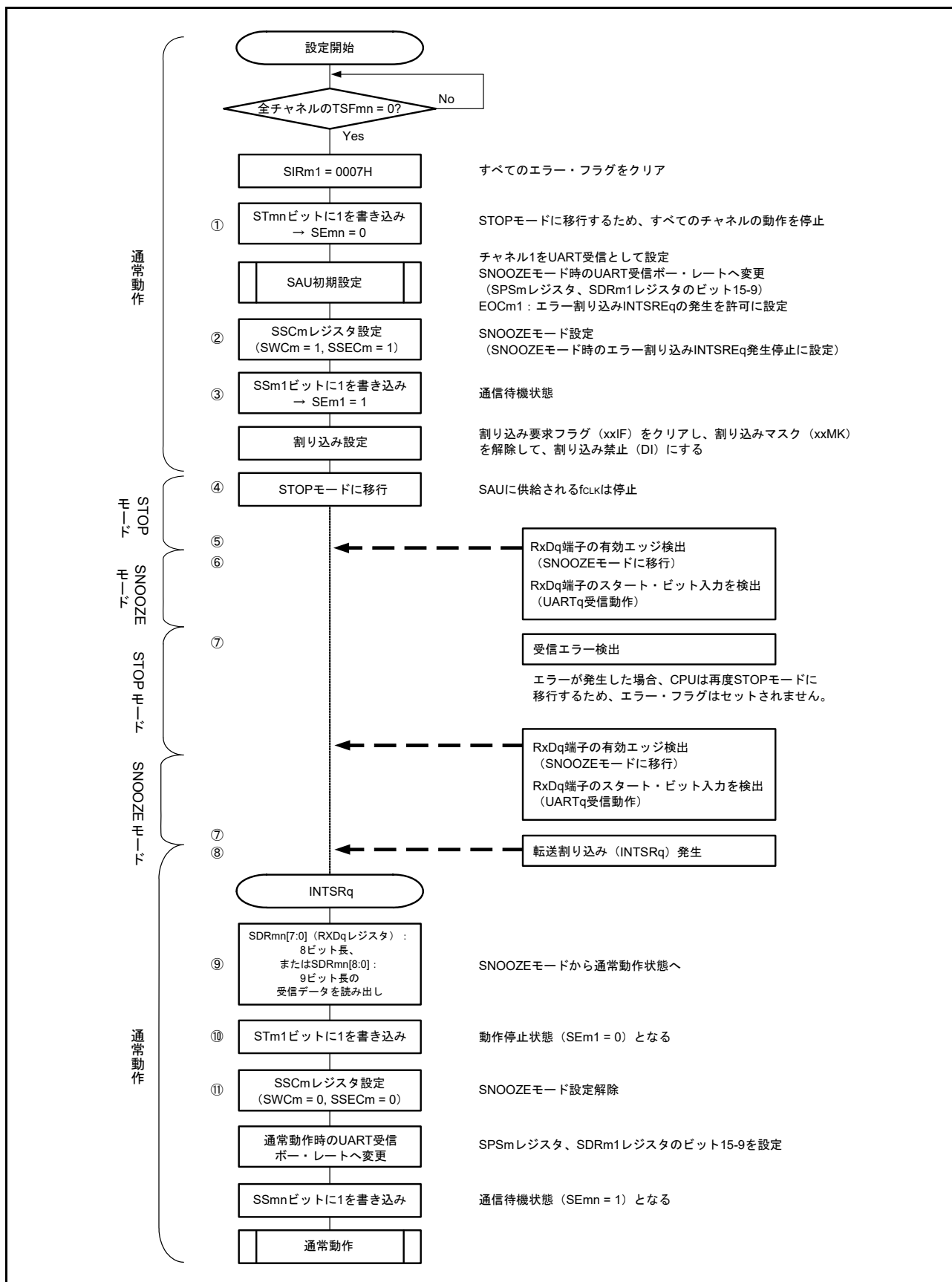
また、受信動作を完了したあとは、SWCmビットもクリアしてください (SNOOZE解除)。

注意2. SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RxDqレジスタ) : 8ビット長、またはSDRm1[8:0] : 9ビット長を読み出ししてください。

備考1. 図中の①～⑪は、図19-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャートの①～⑪に対応しています。

備考2. m = 0, 1; q = 0, 2

図 19-94 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のフロー・チャート



(注意、備考は次ページに続きます)

注意 SSECm = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm = 1で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ) : 8ビット長、またはSDRm1[8:0] : 9ビット長を読み出してください。

備考1. 図中の①～⑪は、図19 - 93 SNOOZEモード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①～⑪に対応しています。

備考2. m = 0, 1; q = 0, 2; n = 0-3

19.6.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART3) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = [\text{対象チャネルの動作クロック (fMCK) 周波数}] \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意1. 動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット15 (CKSmnビット) で決まります。

注意2. シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値 (0000010B-1111111B) なので、2-127になります。

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

表19 - 6 UART動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	x	x	x	x	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	x	x	x	x	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	x	x	x	x	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
	x	x	x	x	1	1	1	1	fCLK/2 ¹⁵	977 Hz
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	15.63 kHz
	1	1	0	0	x	x	x	x	fCLK/2 ¹²	7.81 kHz
	1	1	0	1	x	x	x	x	fCLK/2 ¹³	3.91 kHz
	1	1	1	0	x	x	x	x	fCLK/2 ¹⁴	1.95 kHz
	1	1	1	1	x	x	x	x	fCLK/2 ¹⁵	977 Hz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。（備考は次ページに続きます）

備考1. × : Don't care

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

(2) 送信時のボー・レート誤差

UART (UART0-UART3) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 32 MHz の場合の UART ボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	103	300.48 bps	+0.16%
600 bps	fCLK/2 ⁸	103	600.96 bps	+0.16%
1200 bps	fCLK/2 ⁷	103	1201.92 bps	+0.16%
2400 bps	fCLK/2 ⁶	103	2403.85 bps	+0.16%
4800 bps	fCLK/2 ⁵	103	4807.69 bps	+0.16%
9600 bps	fCLK/2 ⁴	103	9615.38 bps	+0.16%
19200 bps	fCLK/2 ³	103	19230.8 bps	+0.16%
31250 bps	fCLK/2 ³	63	31250.0 bps	±0.0%
38400 bps	fCLK/2 ²	103	38461.5 bps	+0.16%
76800 bps	fCLK/2	103	76923.1 bps	+0.16%
153600 bps	fCLK	103	153846 bps	+0.16%
312500 bps	fCLK	50	313725.5 bps	+0.39%

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、mn = 00, 02, 10, 12

(3) 受信時のボー・レート許容範囲

UART (UART0-UART3) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (19.6.4 (1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1 データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11, 13

図19-95 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

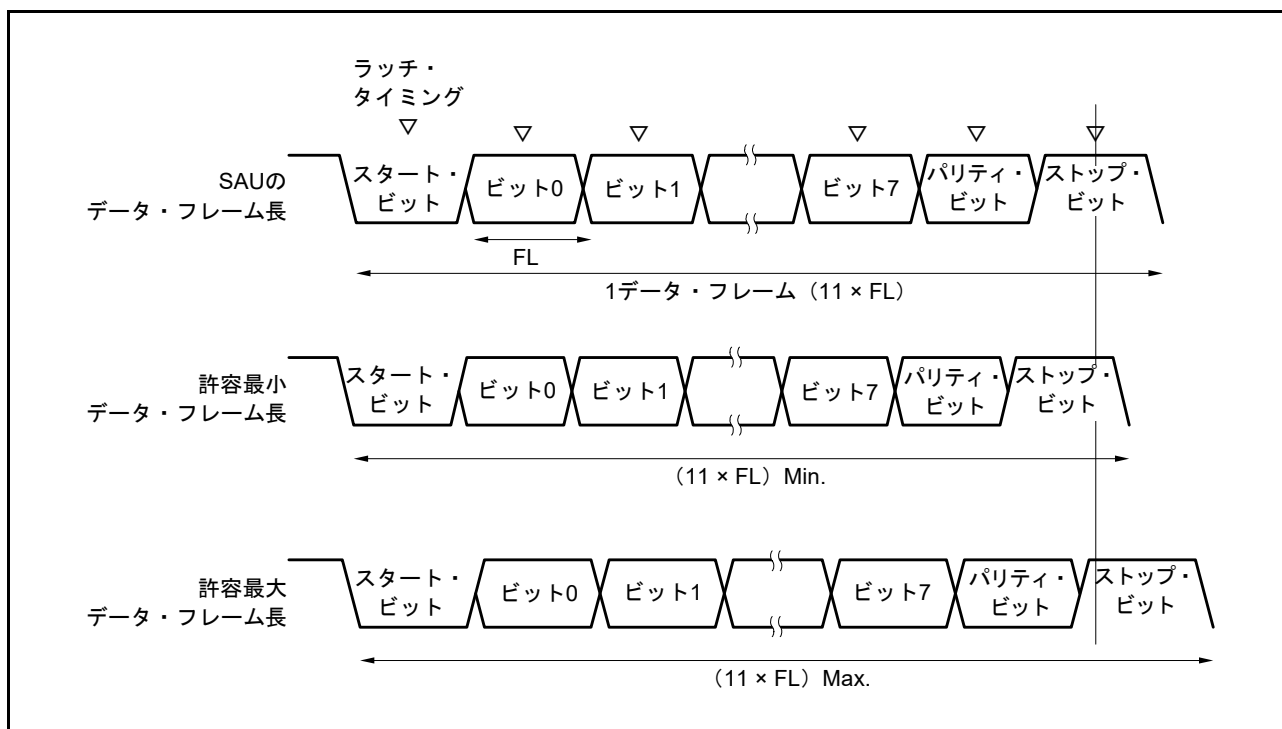


図19-95に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

19.6.5 UART (UART0-UART3) 通信時におけるエラー発生時の処理手順

表 19 - 7 および表 19 - 8 に UART (UART0-UART3) 通信時にエラーが発生した場合の処理手順を示します。

表19 - 7 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	→ SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に 1 を書き込む	→ エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表19 - 8 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	→ SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に書き込む	→ エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが 0 となり、チャンネル n は動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEmn ビットが 1 となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、mn = 00-03, 10-13

19.7 LIN通信の動作

19.7.1 LIN送信

UART 送信のうち、UART2 は LIN 通信に対応しています。

LIN 送信では、ユニット 1 のチャンネル 0 を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	可	不可
対象チャンネル	—	—	SAU1のチャンネル0	—
使用端子	—	—	TxD2	—
割り込み	—	—	INTST2	—
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR10[15:9] = 2 以上)、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加			
データ方向	LSB ファースト			

注 この条件を満たし、かつ電気的特性の周辺機能特性（第42章 電気的特性を参照）を満たす範囲内で使用してください。
なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数
 f_{CLK} : システム・クロック周波数

LIN とは、Local Interconnect Network の略称で、車載ネットワークのコストダウンを目的とする低速（1 ～ 20 kbps）のシリアル通信プロトコルです。

LIN の通信はシングル・マスタ通信で、1 つのマスタに対し最大 15 のスレーブが接続可能です。

LIN のスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらが LIN のネットワークを介して LIN のマスタに接続されます。

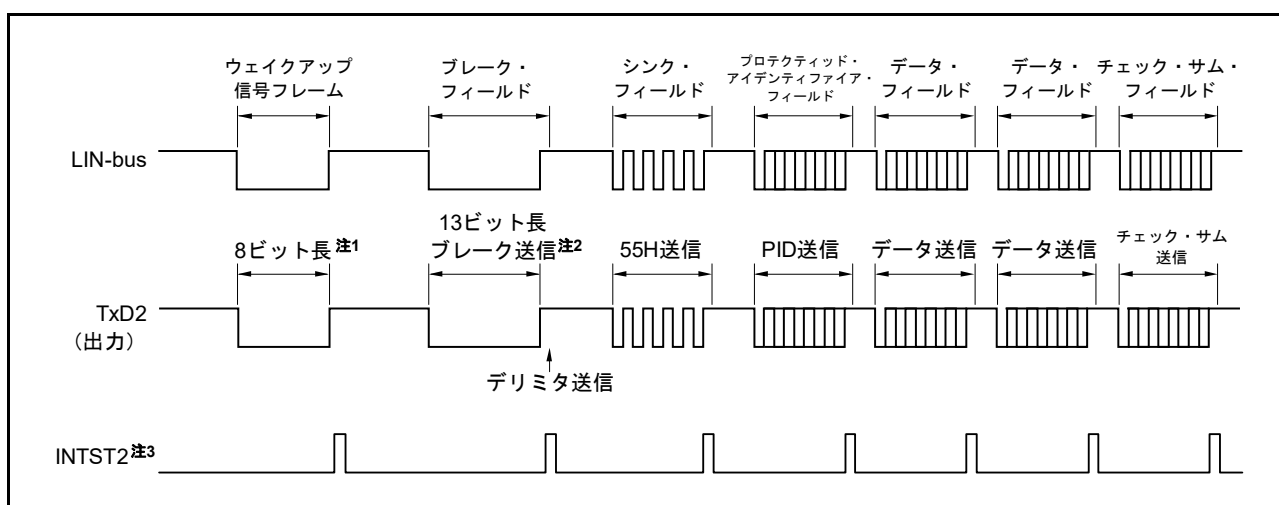
LIN のマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LIN-bus はシングル・ワイヤ方式で、ISO9141 に準拠したトランシーバを介して各ノードが接続されます。

LIN のプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が ±15% 以下であれば、通信可能です。

図 19 - 96 に LIN の送信操作を示します。

図 19 - 96 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにボー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボー・レートを N [bps] とすると、ブレーク・フィールドで使用するボー・レートは次のようになります。

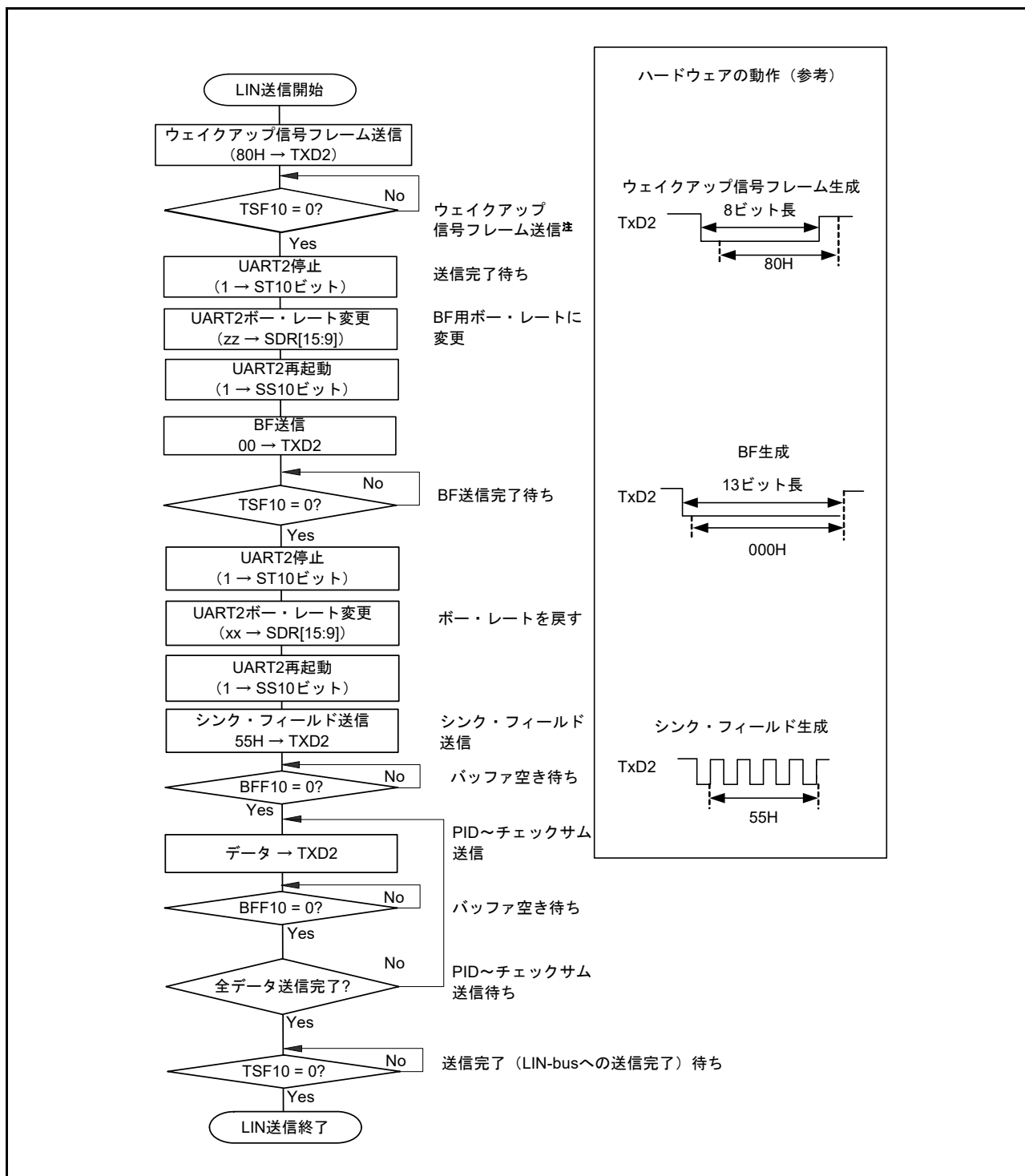
$$(\text{ブレーク・フィールド時のボー・レート}) = 9/13 \times N$$

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3. 各送信終了時にはINTST2を出力します。またBF送信時もINTST2を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図 19 - 97 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

19.7.2 LIN受信

UART 受信のうち、UART2 は LIN 通信に対応しています。

LIN 受信では、ユニット 1 のチャンネル 1 を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	可	不可
対象チャンネル	—	—	SAU1のチャンネル1	—
使用端子	—	—	RxD2	—
割り込み	—	—	INTSR2	—
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	—	—	INTSRE2	—
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF11） ・オーバラン・エラー検出フラグ（OVF11）			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps]（SDR11[15:9] = 2以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）			
ストップ・ビット	1ビット目チェック			
データ方向	LSBファースト			

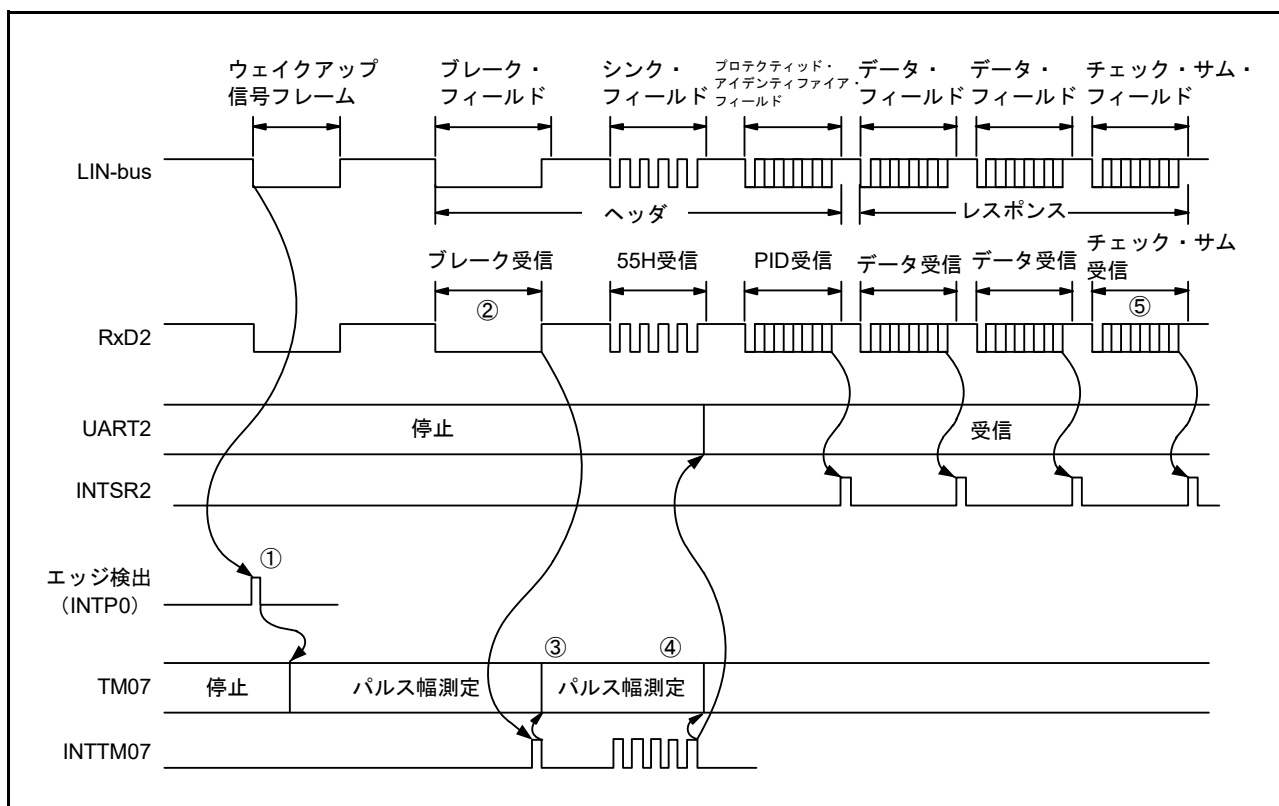
注 この条件を満たし、かつ電氣的特性の周辺機能特性（第42章 電氣的特性を参照）を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

図 19 - 98 に LIN の受信操作を示します。

図 19 - 98 LIN の受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、TM07 を BF のロウ・レベル幅測定のためにパルス幅測定に設定して、BF 受信待ち状態にします。
- ② BF の立ち下がりを検出したら、TM07 はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値から BF 信号かどうかの判定を行います。
- ③ BF 受信を正常終了した場合、TM07 をパルス間隔測定に設定し、シンク・フィールドの RxD2 信号の立ち下がりの間隔を 4 回測定してください (7.8.4 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド (SF) のビット間隔からボー・レート誤差を算出します。そして、いったん UART2 を動作停止にしてからボー・レートを調整 (再設定) してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後に UART2 を初期化し、再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図 19-99 LIN受信のフロー・チャート

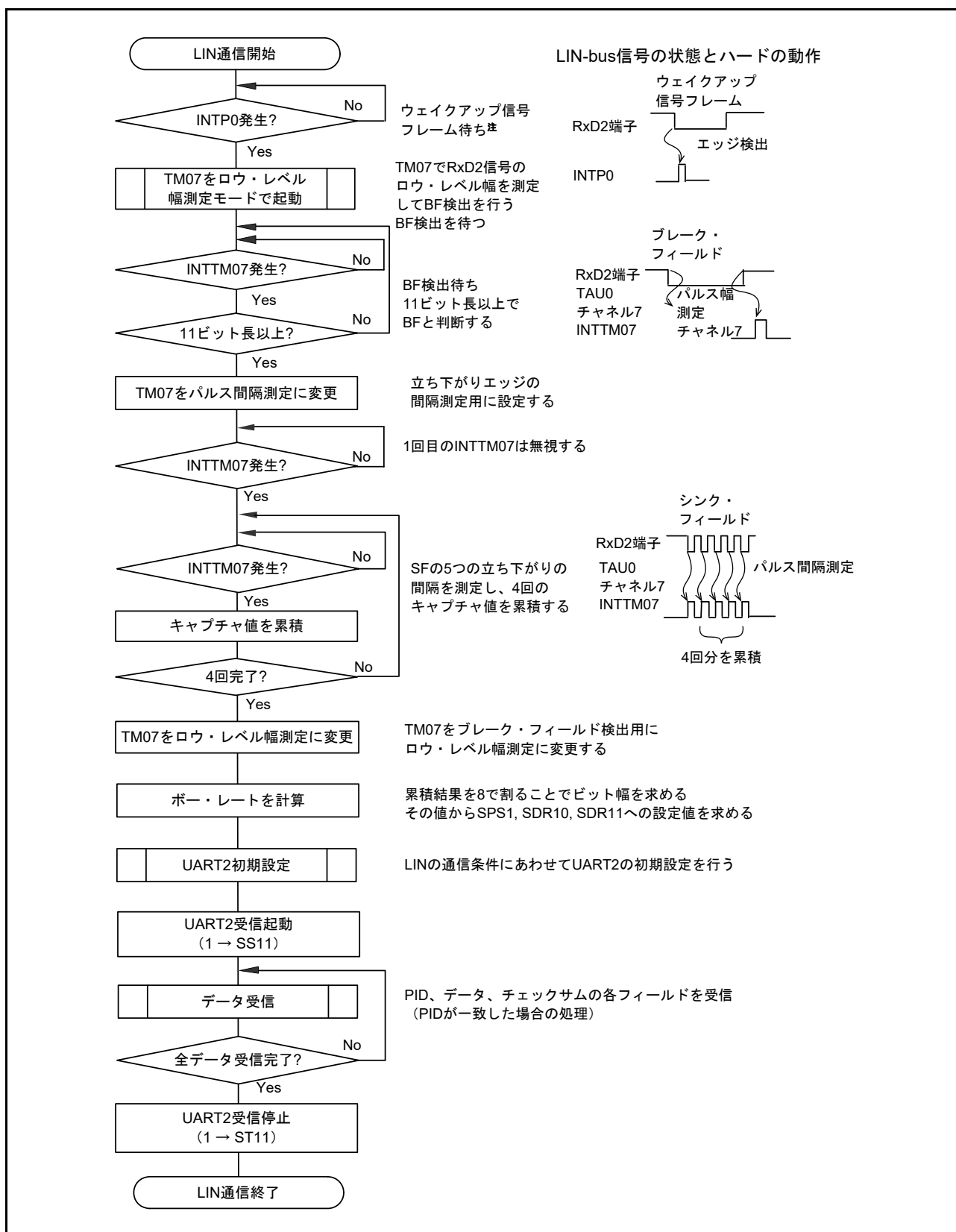
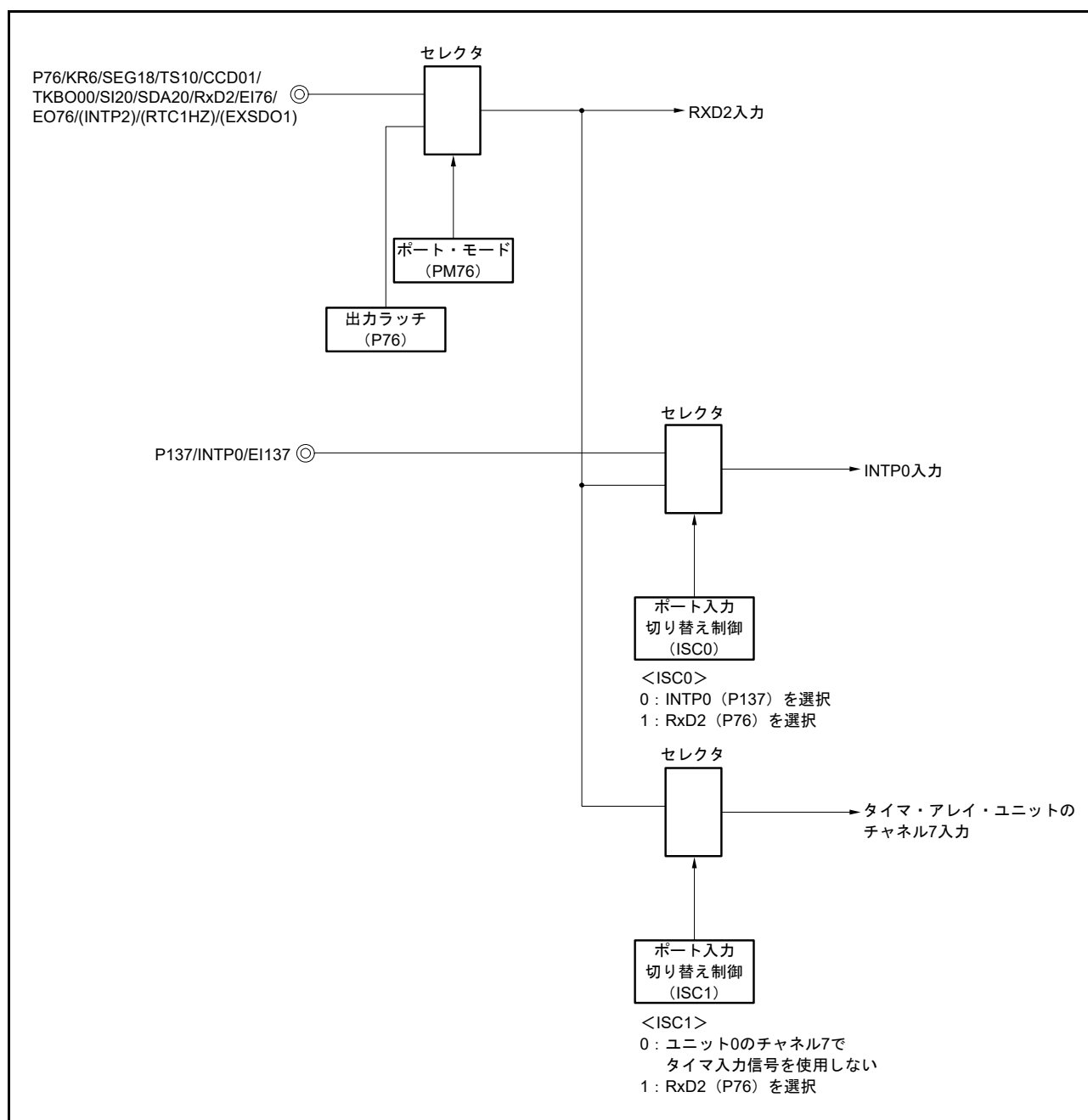


図 19 - 100、図 19 - 101 は LIN の受信操作のポート構成図です。

LIN のマスタから送信されるウェイクアップ信号の受信を、外部割り込み (INTP0) のエッジ検出にて行います。また、LIN のマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット 0 の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

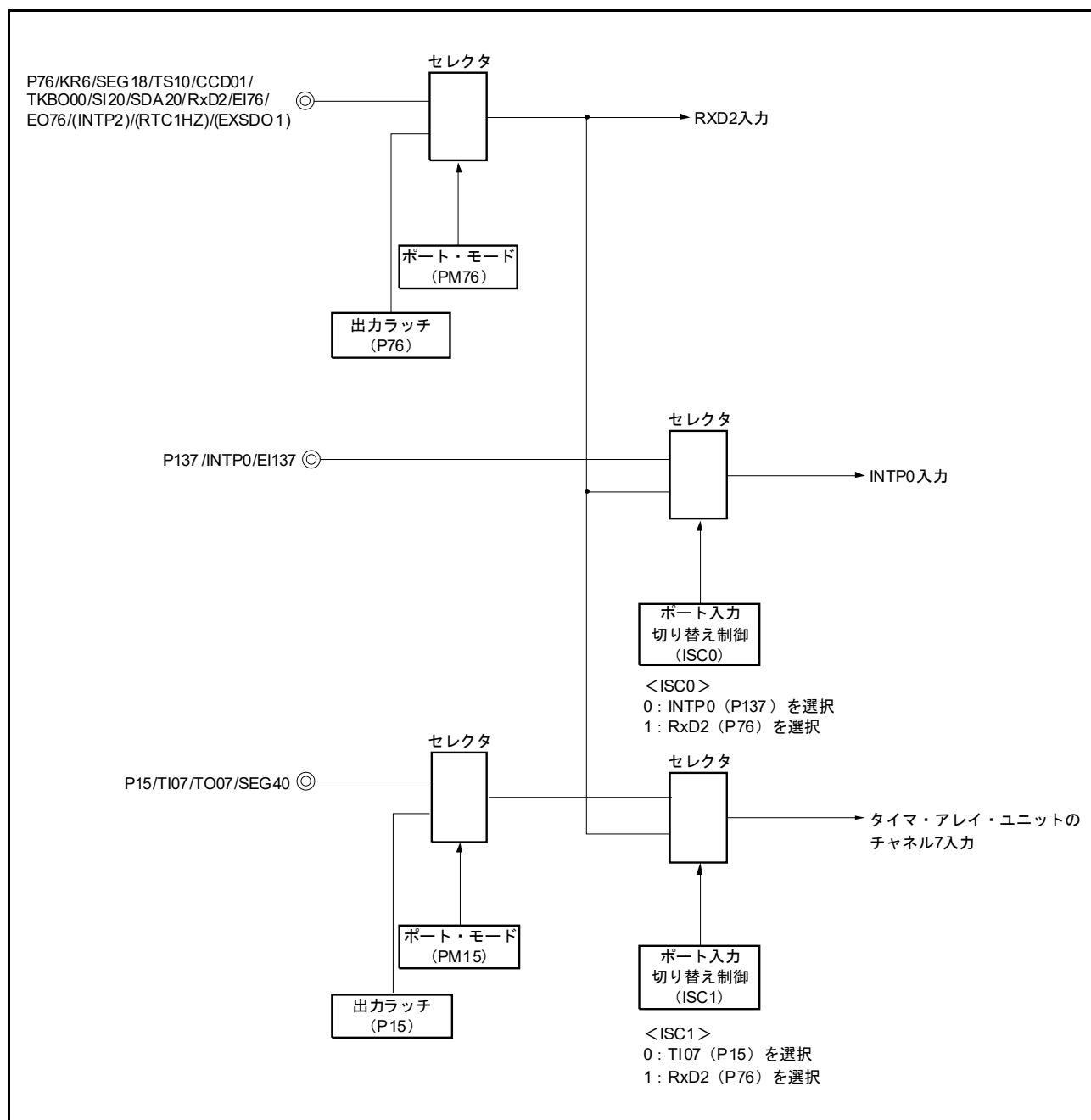
ポート入力切り替え制御 (ISC0, ISC1) により、外部で結線をせずに、受信用ポート入力 (RxD2) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットへ入力することができます。

図 19 - 100 LINの受信操作のポート構成図 (44～52ピン製品、TI07ピン割り当てなしの場合)



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図 19 - 21 参照)

図 19 - 101 LINの受信操作のポート構成図 (64～100ピン製品、TI07ピン割り当てありの場合)



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図 19 - 21 参照)

LIN 通信動作で使用する周辺機能をまとめると、次のようになります。

＜使用する周辺機能＞

- 外部割り込み (INTP0) : ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- タイマ・アレイ・ユニットのチャネル7 : ボー・レート誤差検出、ブレーク・フィールド (BF) 検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (RxD2 入力エッジの間隔をキャプチャ・モードで測定)
ロウ・レベル幅を測定し、ブレーク・フィールド (BF) かを判定
- シリアル・アレイ・ユニット1 (SAU1) のチャネル0, 1 (UART2)

19.8 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²C バスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信、マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK出力機能^注、ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※簡易 I²C では、以下の機能はサポートしていません。

- スレーブ送信、スレーブ受信
- マルチ・マスタ機能 (アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**19.8.3 (2) 処理フロー**を参照してください。

備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) に対応しているチャンネルは、SAU0 のチャンネル 0-3 と SAU1 のチャンネル 0-3 です。

<44 ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	—	UART2 (LIN-bus 対応)	—
	1	CSI21		IIC21
	2	—	—	(IIC30)
	3	—		—

<48 ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		(IIC01)
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	—	—	IIC30
	3	—		—

<52 ピン製品>

ユニット	チャンネル	簡易 SPI (CSI) として使用	UART として使用	簡易 I ² C として使用
0	0	CSI00	UART0	IIC00
	1	(CSI01)		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	—		—

< 64ピン製品 >

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 80ピン製品 >

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	(CSI31)		(IIC31)

< 100ピン製品 >

ユニット	チャネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2 (LIN-bus 対応)	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

備考 () は、周辺I/Oリダイレクション・レジスタ (PIORx) の設定により、割り当て可能な端子です。詳細は、**4.3.10 周辺I/Oリダイレクション・レジスタ (PIORx)** を参照してください。

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) の通信動作は、以下の4種類があります。

- アドレス・フィールド送信 (19.8.1 を参照)
- データ送信 (19.8.2 を参照)
- データ受信 (19.8.3 を参照)
- ストップ・コンディション発生 (19.8.4 を参照)

19.8.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C 通信で最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7 ビット）と転送方向（1 ビット）を 1 フレームとして送信します。

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1	SAU1の チャネル2	SAU1の チャネル3
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL10, SDA10 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}	SCL21, SDA21 ^{注1}	SCL30, SDA30 ^{注1}	SCL31, SDA31 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（パッファ空き割り込みは選択不可）							
エラー検出フラグ	ACK エラー検出フラグ（PEFmn）							
転送データ長	8 ビット（上位 7 ビットをアドレス、下位 1 ビットを R/W 制御として送信）							
転送レート ^{注2}	Max.f _{MCK} /4 [Hz]（SDRmn[15:9] = 1 以上） f _{MCK} ：対象チャネルの動作クロック周波数 ただし、I ² C の各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1 ビット付加（ACK 送受信タイミング用）							
データ方向	MSB ファースト							

注1. 簡易 I²C による通信を行う場合は、ポート出力モード・レジスタ（POMxx）にて N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31 を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様に N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードを設定してください（POMxx = 1）。詳細は、**4.4.4 入出力パッファによる異電位（1.8 V 系、2.5 V 系、3 V 系）対応**を参照してください。

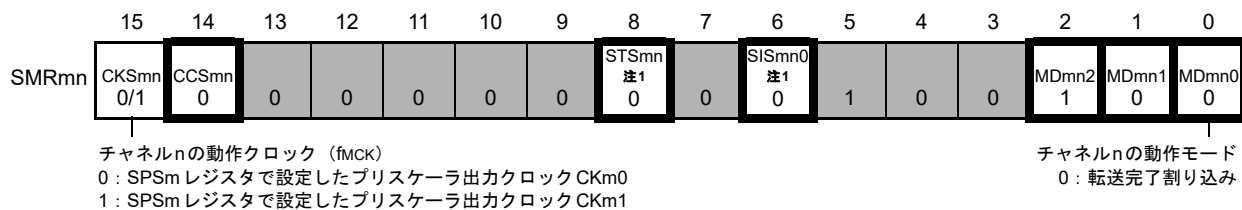
注2. この条件を満たし、かつ電氣的特性の周辺機能特性（**第42章 電氣的特性**を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、mn = 00-03, 10-13

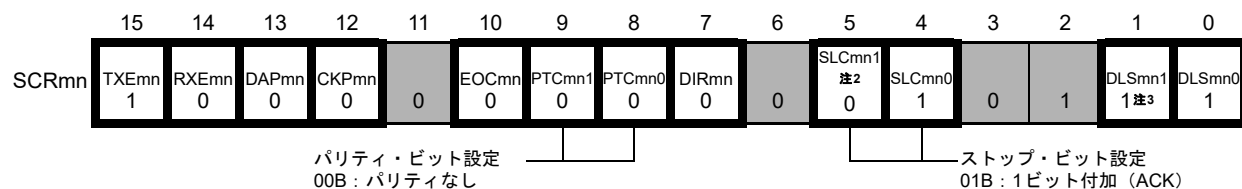
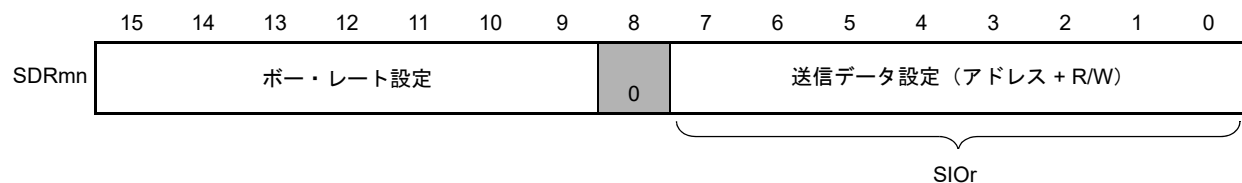
(1) レジスタ設定

図 19 - 102 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のアドレス・フィールド送信時のレジスタ設定内容例

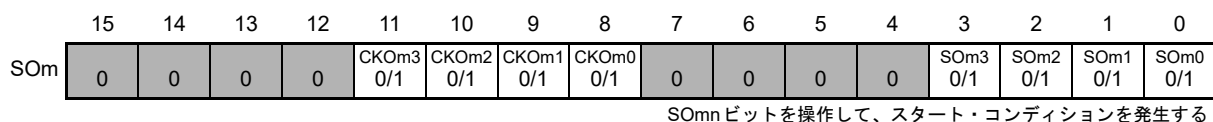
(a) シリアル・モード・レジスタ mn (SMRmn)



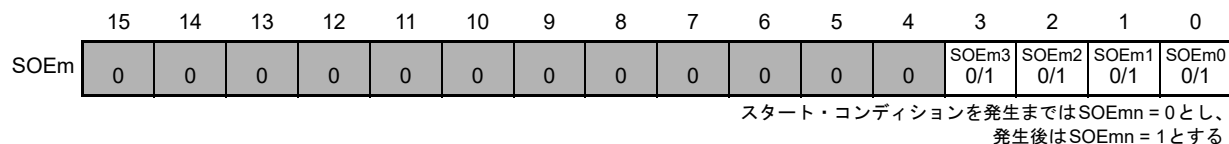
(b) シリアル通信動作設定レジスタ mn (SCRmn)

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット: SIO_r)

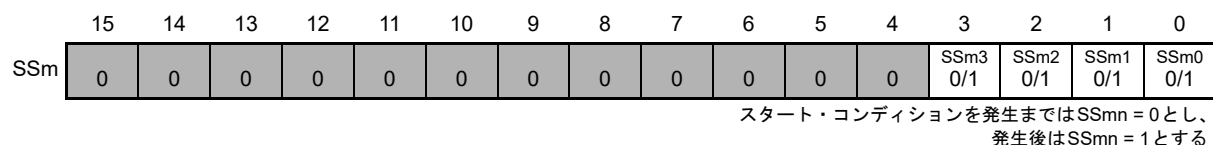
(d) シリアル出力レジスタ m (SOm)



(e) シリアル出力許可レジスタ m (SOEm)



(f) シリアル・チャンネル開始レジスタ m (SSm): 対象チャンネルのビットのみ1を設定する



(注、備考は次ページに続きます)

注1. SMR00, SMR03, SMR11 SMR13 レジスタのみ

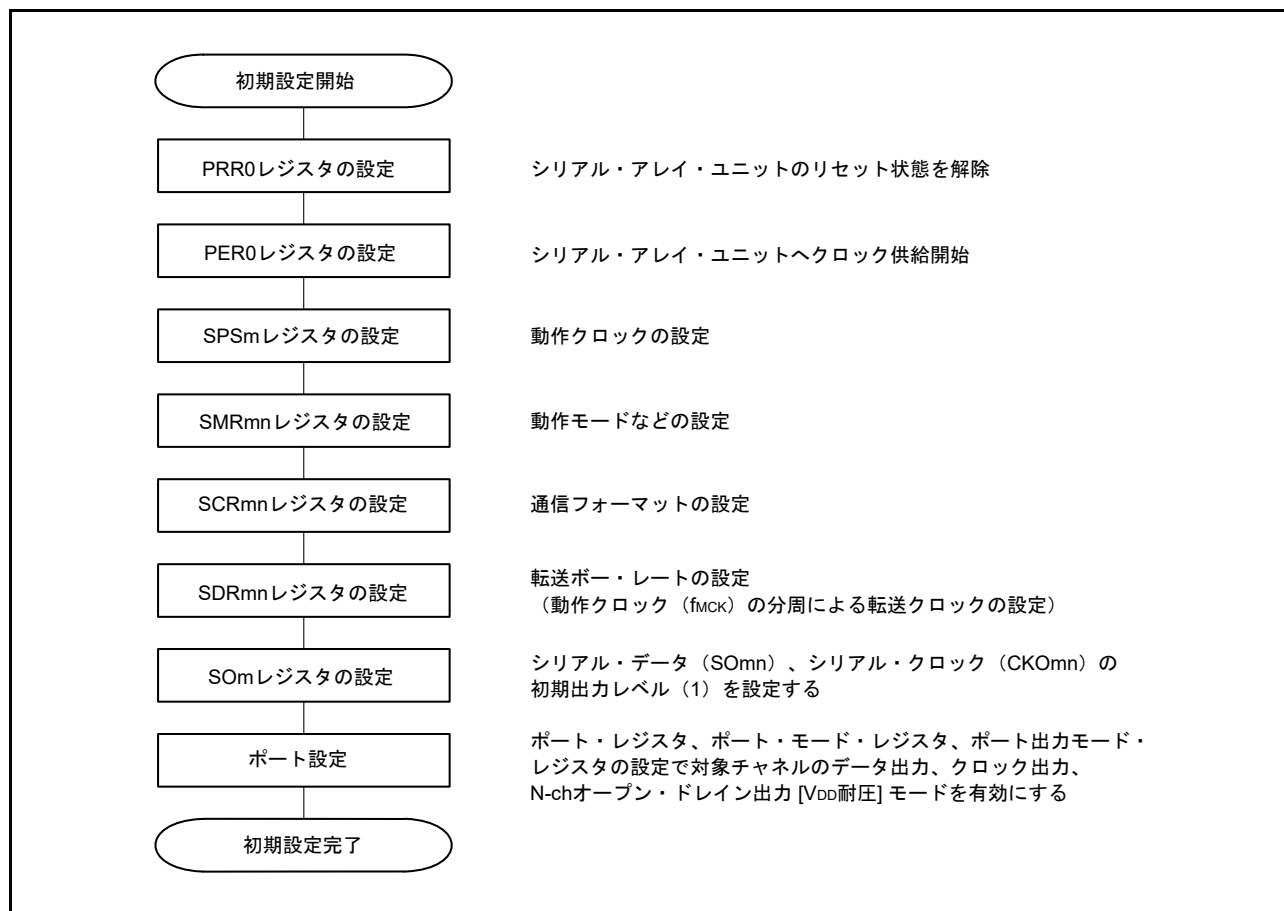
注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ

注3. SCR00, SCR01, SCR10, SCR11 レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、
mn = 00-03, 10-13

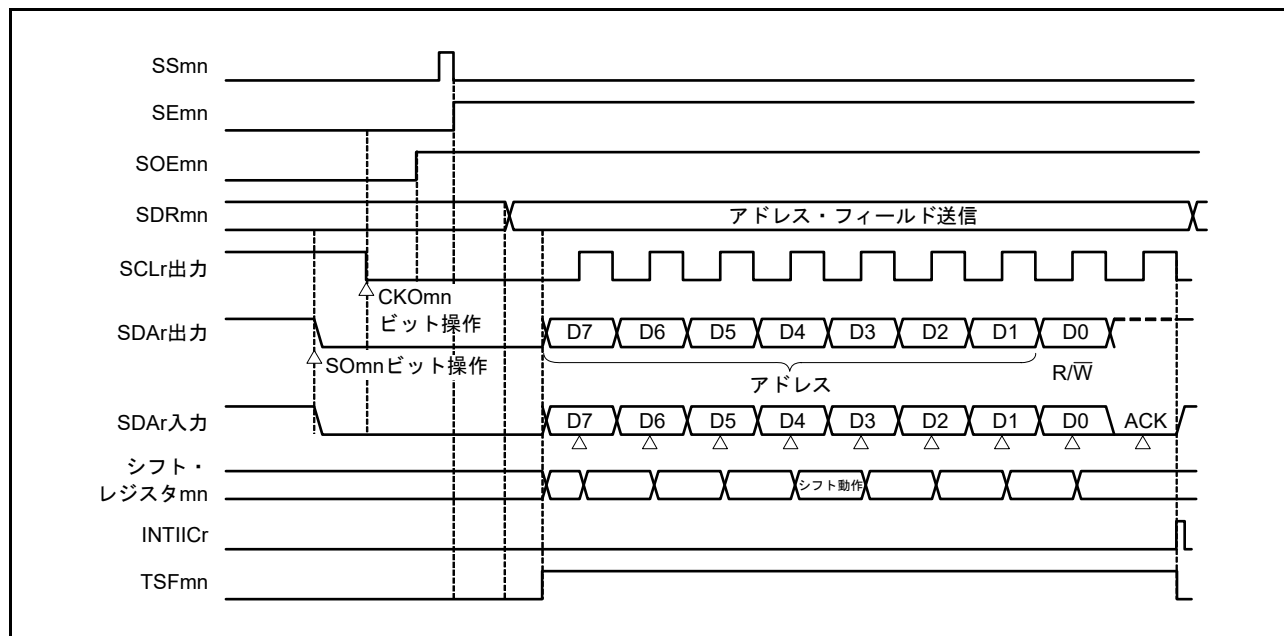
備考2. ☐ : IICモードでは設定固定、☐ : 設定不可 (初期値を設定)
0/1 : ユーザの用途に応じて0または1を設定

(2) 操作手順

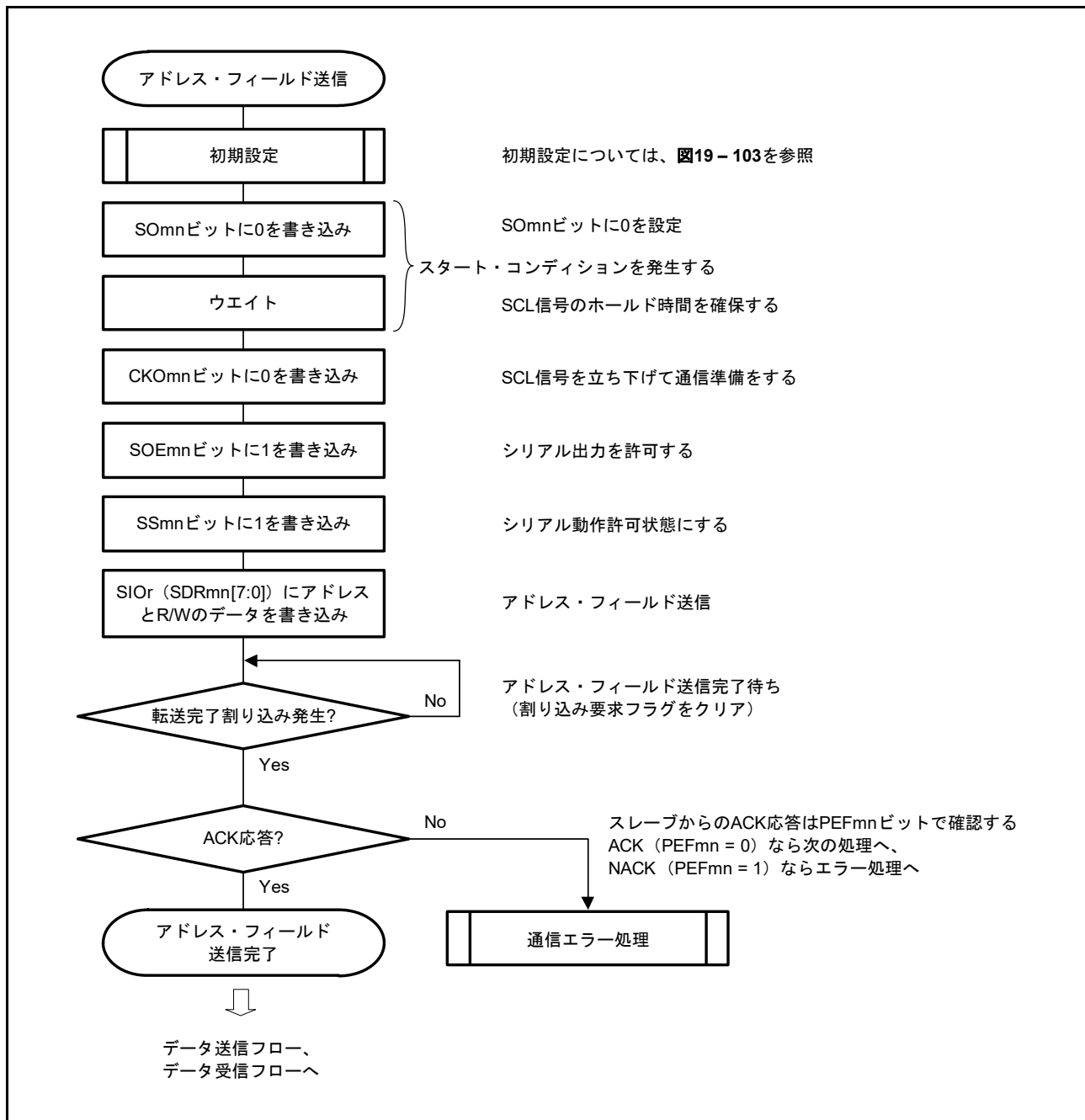
図19 - 103 簡易I²Cアドレス・フィールド送信の初期設定手順

(3) 処理フロー

図19-104 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

図 19 - 105 簡易I²Cアドレス・フィールド送信のフロー・チャート

19.8.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）へデータを送信する動作です。対象スレーブにすべてのデータを送信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU0の チャネル2	SAU0の チャネル3	SAU1の チャネル0	SAU1の チャネル1	SAU1の チャネル2	SAU1の チャネル3
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL10, SDA10 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}	SCL21, SDA21 ^{注1}	SCL30, SDA30 ^{注1}	SCL31, SDA31 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）							
エラー検出フラグ	ACKエラー・フラグ（PEFmn）							
転送データ長	8ビット							
転送レート ^{注2}	Max. f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK受信タイミング用）							
データ方向	MSB ファースト							

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。詳細は、**4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第42章 電気的特性**を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、mn = 00-03, 10-13

(1) レジスタ設定

図19-106 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b) シリアル通信動作設定レジスタ mn (SCRmn) : TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r) :データ送受信中は下位8ビット (SIO_r) のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	送信データ設定							
									SIO _r							

(d) シリアル出力レジスタ m (SOm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	CKOm2 0/1注5	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 0/1注5	SOm1 0/1注5	SOm0 0/1注5

(e) シリアル出力許可レジスタ m (SOEm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 1	SOEm2 1	SOEm1 1	SOEm0 1

(f) シリアル・チャンネル開始レジスタ m (SSm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注1. SMR01, SMR03, SMR11, SMR13 レジスタのみ

注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ

注3. SCR00, SCR01, SCR10, SCR11 レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

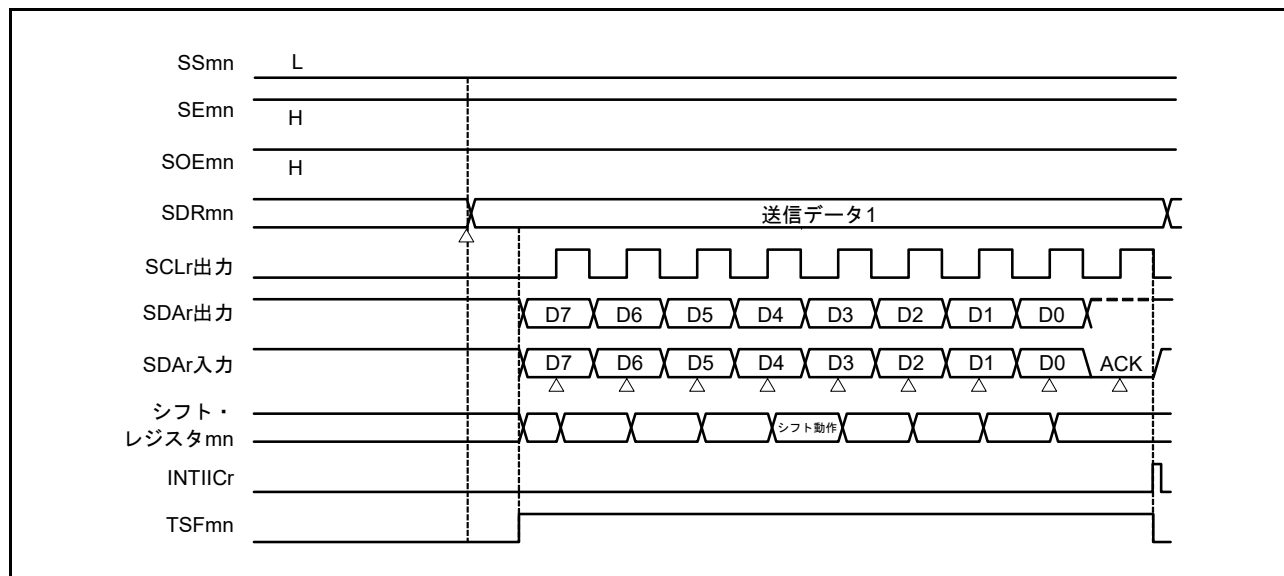
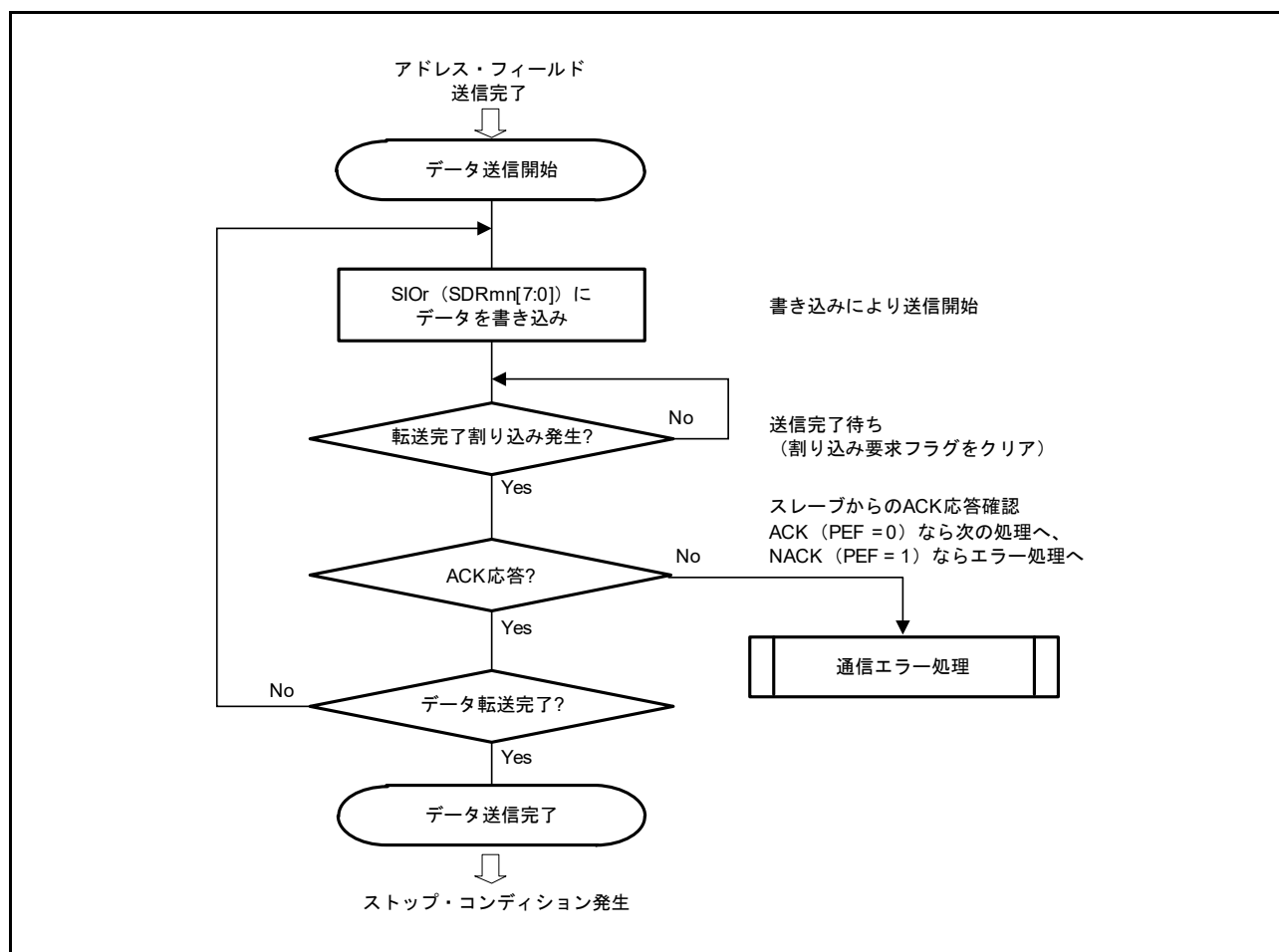
備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

備考2. ■: IICモードでは設定固定、■: 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

(2) 処理フロー

図19-107 データ送信のタイミング・チャート

図19-108 簡易I²Cデータ送信のフロー・チャート

19.8.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL10, SDA10 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}	SCL21, SDA21 ^{注1}	SCL30, SDA30 ^{注1}	SCL31, SDA31 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）							
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ							
転送データ長	8ビット							
転送レート ^{注2}	Max. f _{MCK} /4 [Hz]（SDRmn[15:9] = 1以上） f _{MCK} ：対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）							
データ・レベル	非反転出力（デフォルト：ハイ・レベル）							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加（ACK送信）							
データ方向	MSB ファースト							

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。詳細は、**4.3 ポート機能を制御するレジスタ**、**4.5 兼用機能使用時のレジスタ設定**を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL10, SCL20, SCL30, SCL31）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。詳細は、**4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性（**第42章 電氣的特性**を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1）、n：チャンネル番号（n = 0-3）、mn = 00-03, 10-13

(1) レジスタ設定

図19-109 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b) シリアル通信動作設定レジスタ mn (SCRmn) : TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r) :データ送受信中は下位8ビット (SIO_r) のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	ダミー送信データ設定 (FFH)							
									SIO _r							

(d) シリアル出力レジスタ m (SOm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	CKOm2 0/1注5	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 0/1注5	SOm1 0/1注5	SOm0 0/1注5

(e) シリアル出力許可レジスタ m (SOEm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 0/1	SOEm1 0/1	SOEm0 0/1

(f) シリアル・チャンネル開始レジスタ m (SSm) : データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 0/1	SSm1 0/1	SSm0 0/1

注1. SMR01, SMR03, SMR11, SMR13 レジスタのみ

注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ

注3. SCR00, SCR01, SCR10, SCR11 レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

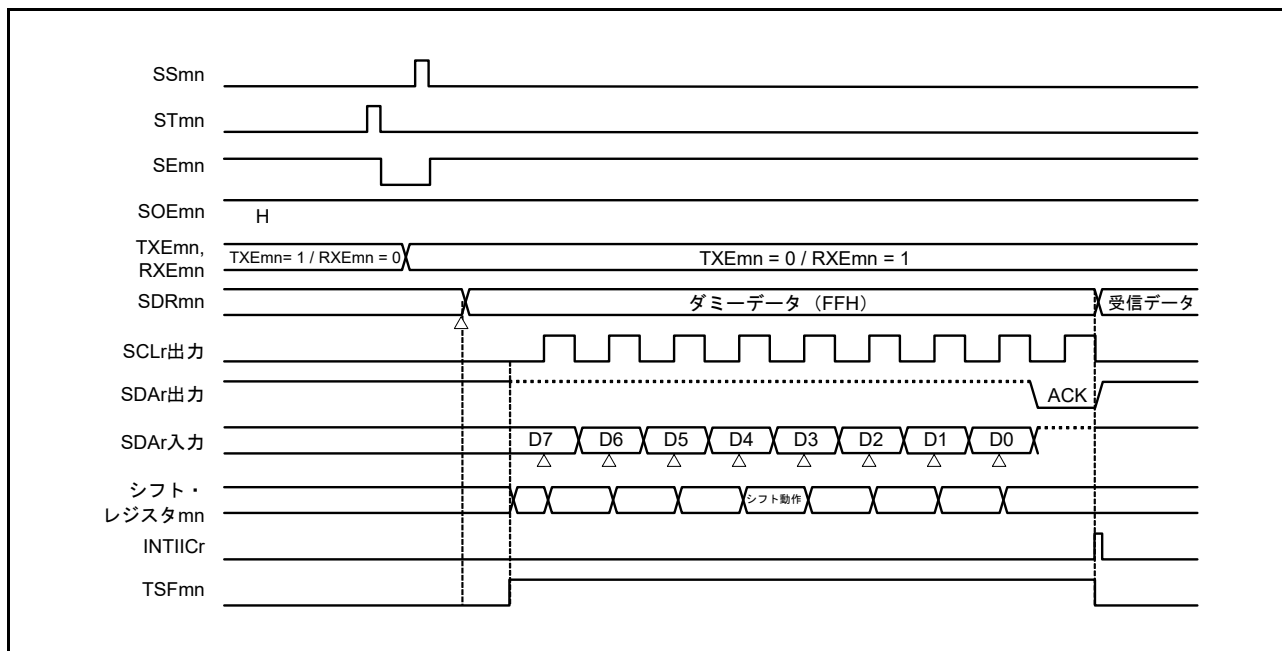
備考2. ■: IICモードでは設定固定、■: 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1を設定

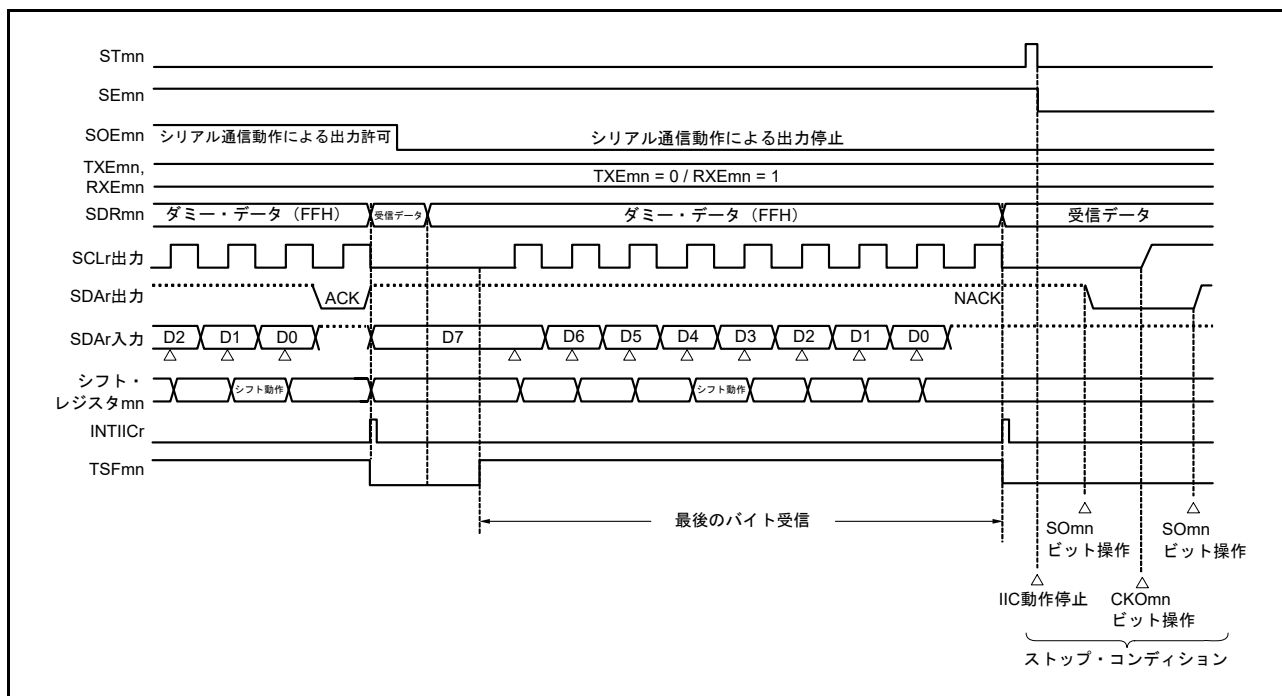
(2) 処理フロー

図19-110 データ受信のタイミング・チャート

(a) データ受信開始時

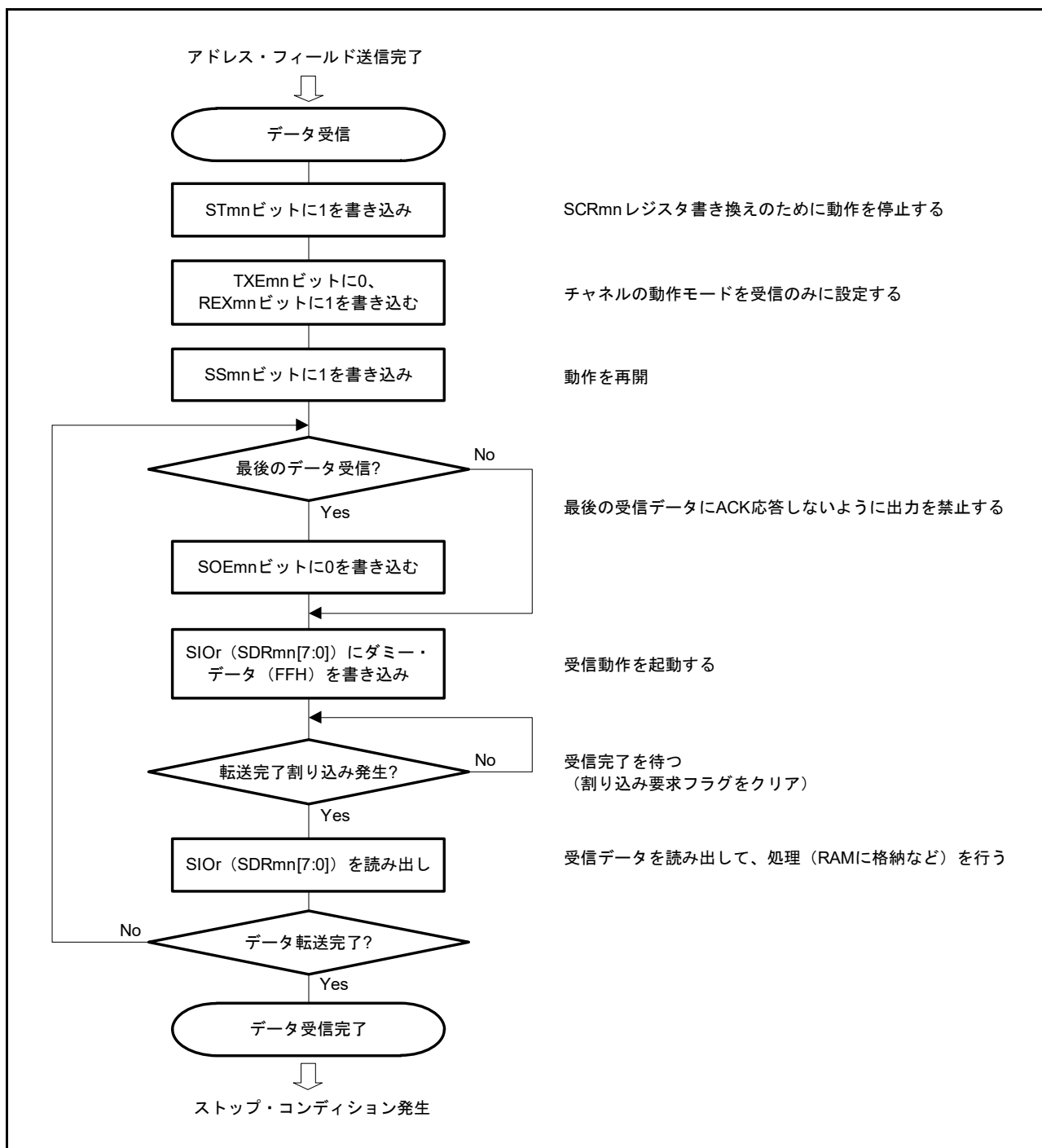


(b) 最終データ受信時



備考 m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

図 19 - 111 データ受信のフロー・チャート



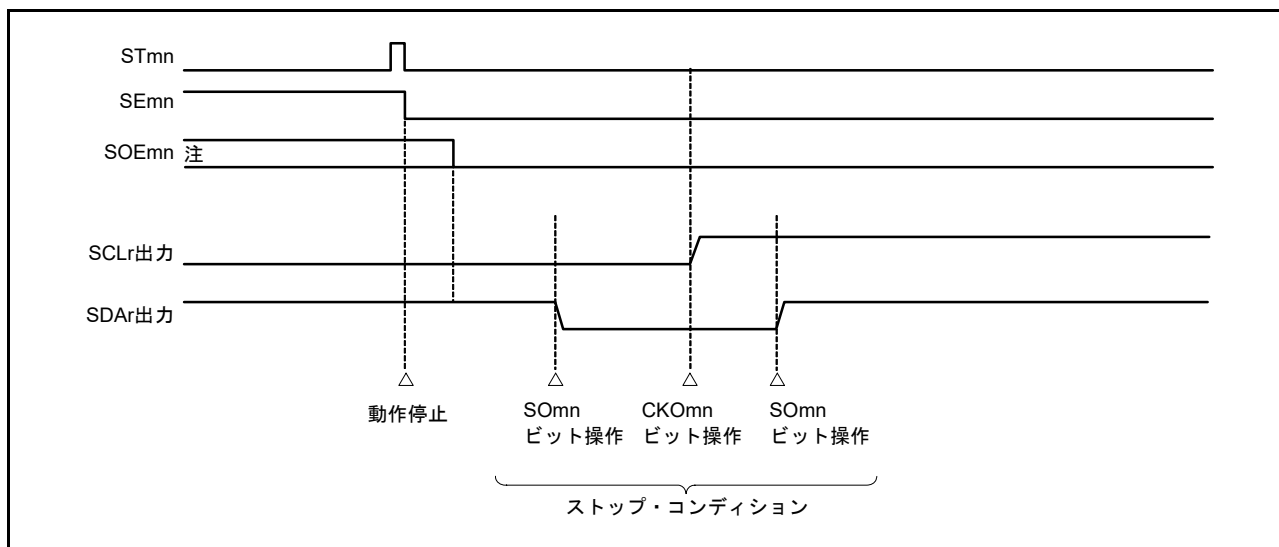
注意 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに1を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

19.8.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信したあとは、ストップ・コンディションを発生し、バスを開放します。

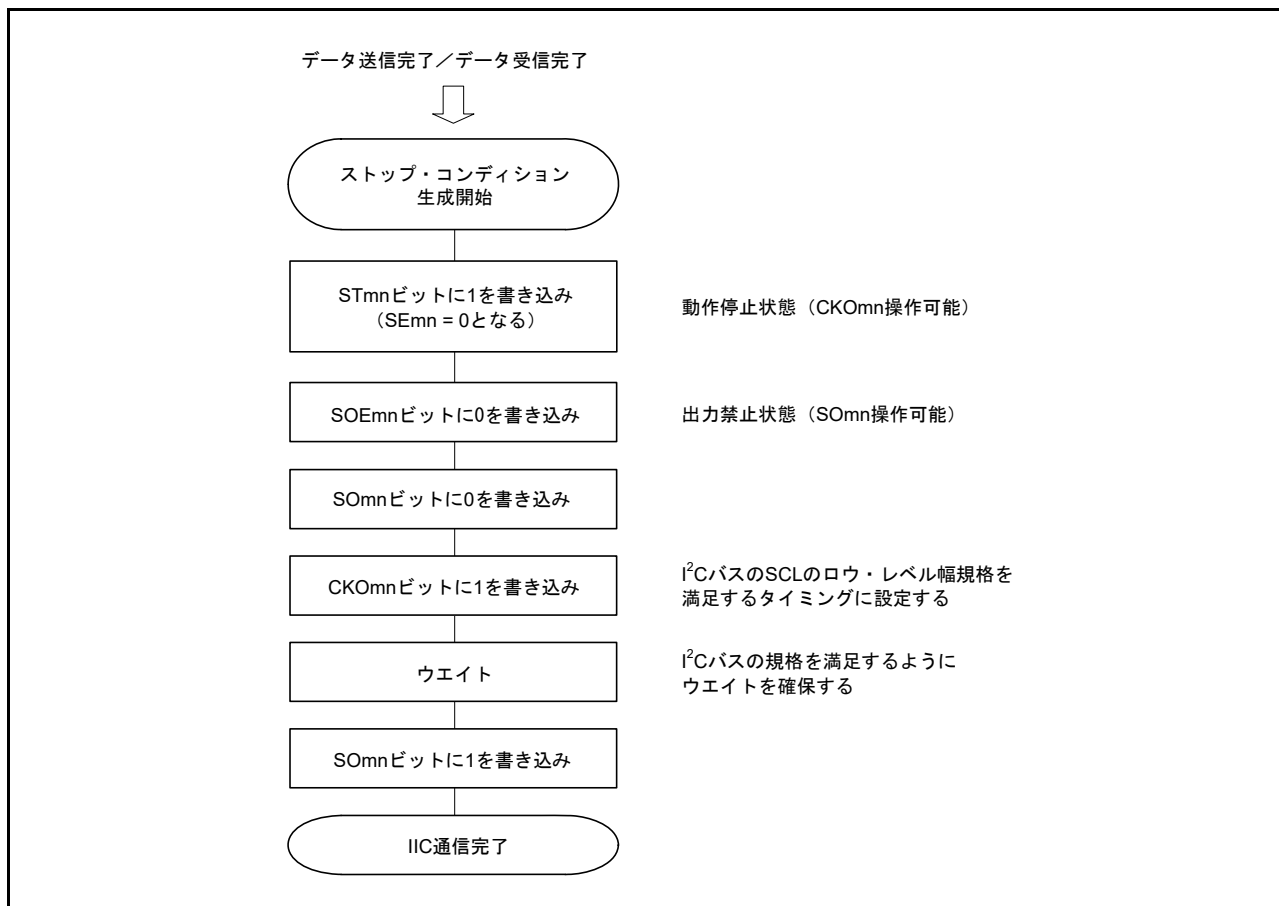
(1) 処理フロー

図19-112 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタm (SOEm) のSOEmnビットに0を設定しています。

図19-113 ストップ・コンディション発生のフロー・チャート



19.8.5 転送レートの算出

簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。

簡易 I²C 出力の SCL 信号のデューティ比は 50% です。I²C バス規格では、SCL 信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの 400 kbps やファースト・モード・プラスの 1 Mbps に設定すると、SCL 信号出力のロウ・レベル幅が I²C バスの規格値より短くなります。

SDRmn[15:9] には、この規格を満足できる値を設定してください。

備考 1. (SDRmn[15:9]) は、シリアル・データ・レジスタ mn (SDRmn) のビット 15-9 の値 (0000001B-1111111B) なので、1-127 になります。

備考 2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn) のビット 15 (CKSmn ビット) で決まります。

表19-9 簡易I²C動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
0	x	x	x	x	0	0	0	0	fCLK	32 MHz
	x	x	x	x	0	0	0	1	fCLK/2	16 MHz
	x	x	x	x	0	0	1	0	fCLK/2 ²	8 MHz
	x	x	x	x	0	0	1	1	fCLK/2 ³	4 MHz
	x	x	x	x	0	1	0	0	fCLK/2 ⁴	2 MHz
	x	x	x	x	0	1	0	1	fCLK/2 ⁵	1 MHz
	x	x	x	x	0	1	1	0	fCLK/2 ⁶	500 kHz
	x	x	x	x	0	1	1	1	fCLK/2 ⁷	250 kHz
	x	x	x	x	1	0	0	0	fCLK/2 ⁸	125 kHz
	x	x	x	x	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	x	x	x	x	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	x	x	x	x	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
1	0	0	0	0	x	x	x	x	fCLK	32 MHz
	0	0	0	1	x	x	x	x	fCLK/2	16 MHz
	0	0	1	0	x	x	x	x	fCLK/2 ²	8 MHz
	0	0	1	1	x	x	x	x	fCLK/2 ³	4 MHz
	0	1	0	0	x	x	x	x	fCLK/2 ⁴	2 MHz
	0	1	0	1	x	x	x	x	fCLK/2 ⁵	1 MHz
	0	1	1	0	x	x	x	x	fCLK/2 ⁶	500 kHz
	0	1	1	1	x	x	x	x	fCLK/2 ⁷	250 kHz
	1	0	0	0	x	x	x	x	fCLK/2 ⁸	125 kHz
	1	0	0	1	x	x	x	x	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	x	x	x	x	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	x	x	x	x	fCLK/2 ¹¹	15.63 kHz
上記以外									設定禁止	

注 fCLKに選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. x : Don't care

備考2. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)、mn = 00-03, 10-13

fMCK = fCLK = 32 MHz の場合の I²C 転送レート設定例を示します。

I ² C 転送モード (希望転送レート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	79	100 kHz	0.0%
400 kHz	fCLK	41	380 kHz	5.0%注
1 MHz	fCLK	18	0.84 MHz	16.0%注

注 SCL 信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

19.8.6 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時におけるエラー発生時の処理手順

表 19 - 10 および 表 19 - 11 に簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時にエラーが発生した場合の処理手順を示します。

表 19 - 10 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) を読み出す	→ SSRmn レジスタの BFFmn ビットが 0 となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に 1 を書き込む	→ エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表 19 - 11 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に書き込む	→ エラー・フラグがクリアされる	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが 0 となり、チャンネル n は動作停止状態になる	ACK が返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。またはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに 1 を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが 1 となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0-3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、mn = 00-03, 10-13

第20章 シリアル・インタフェース IICA (IICA)

本製品はシリアル・インタフェース IICA を2チャンネル搭載しています。

20.1 シリアル・インタフェース IICAの機能

シリアル・インタフェース IICA には、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェース IICA では、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードまたは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1 (IICCTLn1) のWUPnビットにより設定します。

なお、IICCTLn1レジスタのSVADISnビットに1を設定することで全アドレス一致機能が許可となり、アドレスを受信した際にどのようなアドレスでも一致と判断します。

備考 n = 0, 1

図 20 - 1 にシリアル・インタフェース IICA のブロック図を示します。

図 20 - 1 シリアル・インタフェース IICA0 のブロック図

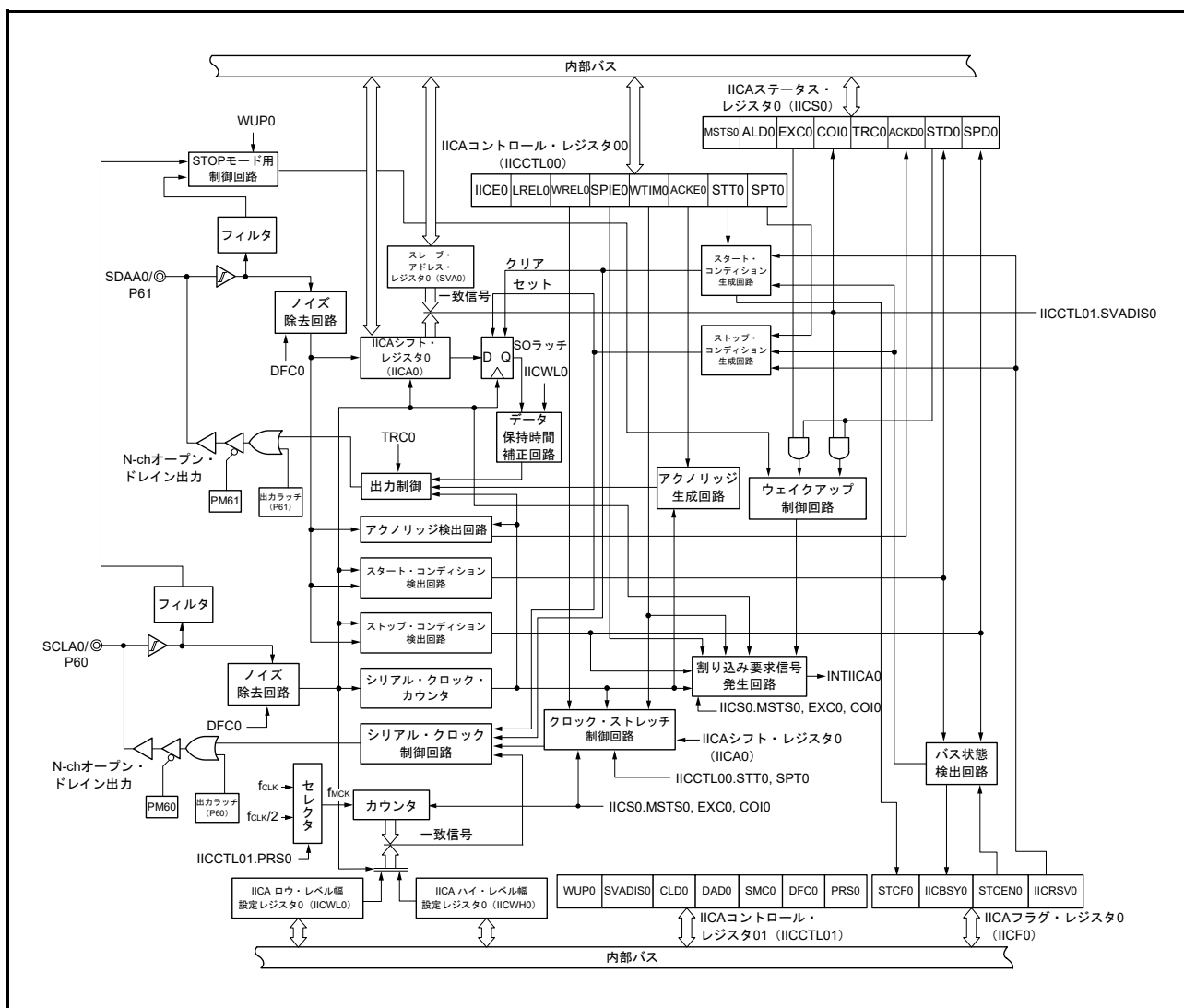
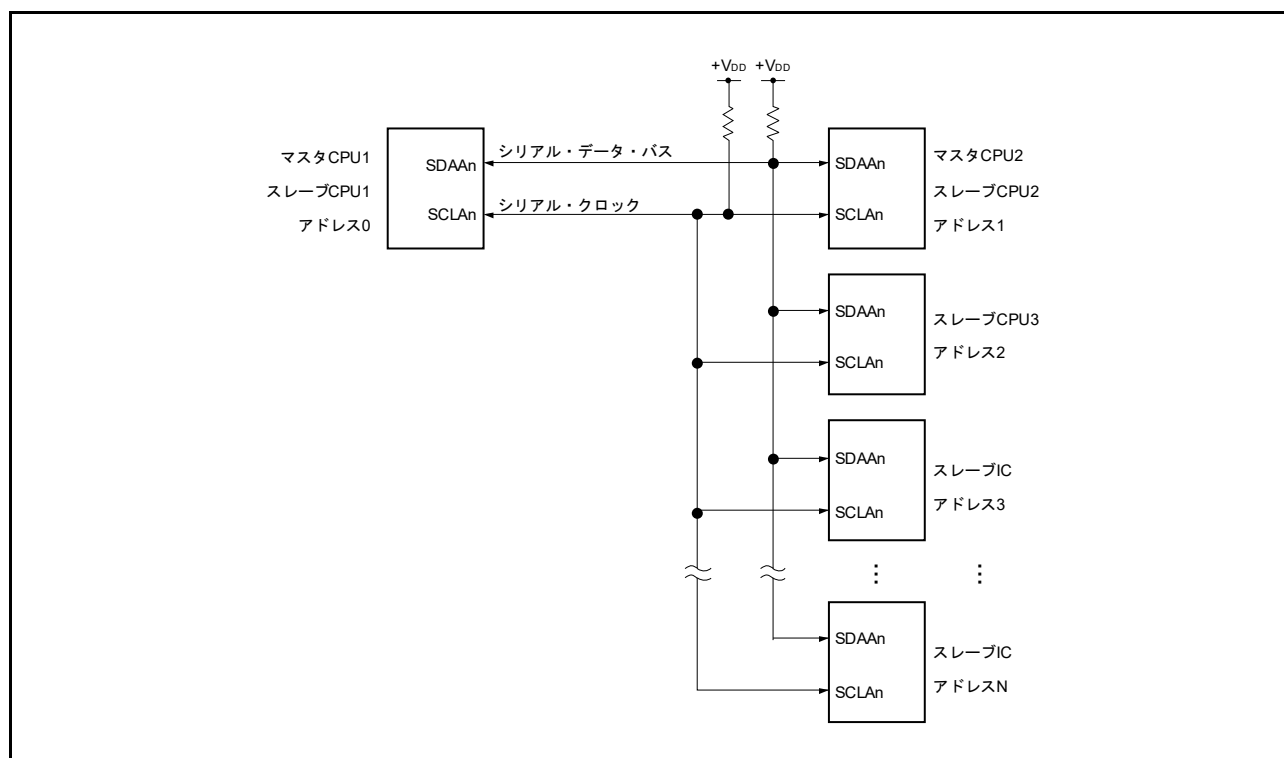


図 20 - 2 に I²C バスによるシリアル・バス構成例を示します。

図 20 - 2 I²C バスによるシリアル・バス構成例



備考 n = 0, 1

20.2 シリアル・インタフェース IICAの構成

シリアル・インタフェース IICA は、次のハードウェアで構成されています。

表20 - 1 シリアル・インタフェース IICAの構成

項目	構成
レジスタ	• IICAシフト・レジスタ n (IICAn) • スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	• 周辺イネーブル・レジスタ 0 (PER0) • 周辺リセット制御レジスタ 0 (PRR0) • IICAコントロール・レジスタ n0 (IICCTLn0) • IICAステータス・レジスタ n (IICSn) • IICAフラグ・レジスタ n (IICFn) • IICAコントロール・レジスタ n1 (IICCTLn1) • IICAロウ・レベル幅設定レジスタ n (IICWLn) • IICAハイ・レベル幅設定レジスタ n (IICWHn) • ポート・モード・レジスタ (PMxx) • ポート・レジスタ (Pxx) • ポート出力モード・レジスタ (POMxx) • ポート・モード・コントロールA・レジスタ (PMCAxx) • ポート・モード・コントロールT・レジスタ (PMCTxx) • ポート・モード・コントロールE・レジスタ (PMCExx) • LCDポート・ファンクション・レジスタ (PFSEGx)

備考 n = 0, 1

(1) IICAシフト・レジスタn (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図20-3 IICAシフト・レジスタn (IICAn) のフォーマット

アドレス : FFF50H (IICA0), FFF54H (IICA1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (IICCTLn0.STTn) に1をセットしたあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタn (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット[A6, A5, A4, A3, A2, A1, A0]を格納するレジスタです。SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図20-4 スレーブ・アドレス・レジスタn (SVAn) のフォーマット

アドレス : F0234H (SVA0), F023CH (SVA1)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイクアップ制御回路

スレーブ・アドレス・レジスタn (SVAn) に設定したアドレス値と受信アドレスが一致するか、全アドレス一致機能許可状態でアドレスを受信した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIICAn) を発生させる回路です。

- (5) シリアル・クロック・カウンタ
送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。
- (6) 割り込み要求信号発生回路
割り込み要求信号 (INTIICAn) の発生を制御します。
I²C 割り込み要求は、次の2つのトリガで発生します。
- シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICCTLn0.WTIMn ビットで設定)
 - ストップ・コンディション検出による割り込み要求発生 (IICCTLn0.SPIEn ビットで設定)
- (7) シリアル・クロック制御回路
マスタ・モード時に、SCLAn 端子に出力するクロックをサンプリング・クロックから生成します。
- (8) クロック・ストレッチ制御回路
クロック・ストレッチ・タイミングを制御します。
- (9) アクノリッジ生成回路、ストップ・コンディション検出回路、スタート・コンディション検出回路、
アクノリッジ検出回路
各状態の生成および検出を行います。
- (10) データ保持時間補正回路
シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。
- (11) スタート・コンディション生成回路
IICCTLn0.STTn ビットが1にセットされるとスタート・コンディションを生成します。
ただし、通信予約禁止状態 (IICFn.IICRSVn = 1) で、かつバスが解放されていない (IICFn.IICBSYn = 1) 場合には、スタート・コンディション要求は無視し、IICFn.STCFn フラグに1をセットします。
- (12) ストップ・コンディション生成回路
IICCTLn0.SPTn ビットが1にセットされるとストップ・コンディションを生成します。
- (13) バス状態検出回路
スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。
ただし、動作直後はバス状態を検出できません。IICFn.STCENn ビットでバス状態検出回路の初期状態を設定してください。

備考 n = 0, 1

20.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェース IICA を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0（PER0）
- 周辺リセット制御レジスタ 0（PRR0）
- IICAコントロール・レジスタ n0（IICCTLn0）
- IICAステータス・レジスタ n（IICSn）
- IICAフラグ・レジスタ n（IICFn）
- IICAコントロール・レジスタ n1（IICCTLn1）
- IICAロウ・レベル幅設定レジスタ n（IICWLn）
- IICAハイ・レベル幅設定レジスタ n（IICWHn）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・モード・コントロールE・レジスタ（PMCExx）
- LCDポート・ファンクション・レジスタ（PFSEGx）

備考 n = 0, 1

20.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICA0 を使用する場合は、必ず IICA0EN ビットに 1 を設定してください。また、シリアル・インタフェース IICA1 を使用する場合は、必ず IICA1EN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICAnで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAnEN = 1の状態、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAのレジスタは00Hとなり、書き込みは無視されます（ポート・モード・レジスタ (PMxx)、ポート・レジスタ (Pxx)、ポート出力モード・レジスタ (POMxx)、ポート・モード・コントロールA・レジスタ (PMCAxx)、ポート・モード・コントロールT・レジスタ (PMCTxx)、ポート・モード・コントロールE・レジスタ (PMCExx)、LCDポート・ファンクション・レジスタ (PFSEGx) は除く)。

- ・ IICAコントロール・レジスタ n0 (IICCTLn0)
- ・ IICAフラグ・レジスタ n (IICFn)
- ・ IICAステータス・レジスタ n (IICSn)
- ・ IICAコントロール・レジスタ n1 (IICCTLn1)
- ・ IICAロウ・レベル幅設定レジスタ n (IICWLn)
- ・ IICAハイ・レベル幅設定レジスタ n (IICWHn)
- ・ IICAシフト・レジスタ n (IICAn)
- ・ スレーブ・アドレス・レジスタ n (SVAn)

注意3. 各周辺機能が動作許可の状態、PER0レジスタの対象ビットを切り替えしないでください。

PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

備考 n = 0, 1

20.3.2 周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図20 - 6 周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス : F00F1H
リセット時: 00H
R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	IICA1RES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
IICAnRES								
シリアル・インタフェースIICAnのリセット制御								
0	シリアル・インタフェースIICAnのリセット解除							
1	シリアル・インタフェースIICAnはリセット状態 ・シリアル・インタフェースIICAnで使用するSFRが初期化されます。							

注意 ビット7, 1には、必ず0を設定してください。

備考 n = 0, 1

20.3.3 IICAコントロール・レジスタ n0（IICCTLn0）

IICCTLn0 レジスタは、I²C の動作許可／停止、クロック・ストレッチ・タイミングの設定、その他 I²C の動作を設定するレジスタです。

IICCTLn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEn ビットは、IICEn = 0 のとき、またはクロック・ストレッチ期間中に設定してください。また IICEn ビットを 0 から 1 に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00H になります。

備考 n = 0, 1

図 20 - 7 IICAコントロール・レジスタ n0（IICCTLn0）のフォーマット (1/4)

アドレス : F0230H (IICCTL00), F0238H (IICCTL10)

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I ² C の動作許可
0	動作停止。IICA ステータス・レジスタ n（IICSn）をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットに 1 を設定するときは、必ず SCLAn, SDAAn ラインがハイ・レベルの状態で行ってください。	
クリアされる条件（IICEn = 0）	
セッットされる条件（IICEn = 1）	
- 命令によるクリア - リセット時	
命令によるセッット	

LRELn ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的に 0 にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAn ラインはハイ・インピーダンス状態になる。 IICA コントロール・レジスタ n0（IICCTLn0）、IICA ステータス・レジスタ n（IICSn）のうち、次のフラグが 0 にクリアされる。 ・ STTn, SPTn, MSTSn, EXCn, COIn, TRCn, ACKDn, STDn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
- ストップ・コンディション検出後、マスタとしての起動 - スタート・コンディション後のアドレス一致または拡張コード受信または全アドレス一致機能許可状態でのアドレス受信	
クリアされる条件（LRELn = 0）	
セッットされる条件（LRELn = 1）	
- 実行後、自動的にクリア - リセット時	
命令によるセッット	

図20-7 IICAコントロール・レジスタ n0 (IICCTLn0) のフォーマット (2/4)

WRELn 注2, 3	クロック・ストレッチ解除	
0	クロック・ストレッチを解除しない。	
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。	
送信状態（IICSn.TRCn = 1）で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット（クロック・ストレッチを解除）した場合、SDAAnラインをハイ・インピーダンス（IICSn.TRCn = 0）にします。		
クリアされる条件（WRELn = 0）		セットされる条件（WRELn = 1）
・実行後、自動的にクリア ・リセット時		・命令によるセット

SPIEn注2	ストップ・コンディション検出による割り込み要求発生の許可／禁止	
0	禁止	
1	許可	
IICCTLn1.WUPn = 1 の場合には、SPIEn = 1 にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件（SPIEn = 0）		セットされる条件（SPIEn = 1）
・命令によるクリア ・リセット時		・命令によるセット

WTIMn注4	クロック・ストレッチおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 ・マスタの場合：8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ ・スレーブの場合：8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
1	9クロック目の立ち下がりで割り込み要求発生。 ・マスタの場合：9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ ・スレーブの場合：9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ	
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし、拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。 全アドレス一致機能許可状態でのアドレス受信時は、8クロック目の立ち下がりでクロック・ストレッチに入ります。		
クリアされる条件（WTIMn = 0）		セットされる条件（WTIMn = 1）
・命令によるクリア ・リセット時		・命令によるセット

図20-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (3/4)

ACKEn 注4, 5	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。	
クリアされる条件（ACKEn = 0）		セットされる条件（ACKEn = 1）
・ 命令によるクリア ・ リセット時		・ 命令によるセット

STTn注2, 6	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき（待機状態、IICFn.IICBSYnフラグが0のとき）： 1にセットすると、スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・ 通信予約機能許可の場合（IICFn.IICRSVn = 0） スタート・コンディション予約フラグとして機能する。1にセットすると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ・ 通信予約機能禁止の場合（IICFn.IICRSVn = 1） 1にセットしてもSTTnビットはクリアされ、STTnクリア・フラグ（IICFn.STCFn）が1にセットされる。スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。	

セット・タイミングに関する注意

- ・ マスタ受信の場合：転送中に1にセットすることは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。
- ・ マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中に1にセットしてください。
- ・ ストップ・コンディション・トリガ（SPTn）と同時に1にセットすることは禁止です。
- ・ STTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。

クリアされる条件（STTn = 0）	セットされる条件（STTn = 1）
・ 通信予約禁止状態でのSTTnビットを1にセット ・ アービトレーションに負けたとき ・ マスタでのスタート・コンディション生成 ・ LRELn = 1（通信退避）によるクリア ・ IICEn = 0（動作停止）のとき ・ リセット時	・ 命令によるセット

図20-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット (4/4)

SPTn ^{注7}	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中に1をセットすることは禁止です。 ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 ・スタート・コンディション・トリガ（STTn）と同時に1にセットすることは禁止です。 ・1へのセットは、マスタのときのみ行ってください。 ・WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットを1にセットすると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットを1にセットしてください。 ・SPTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。	
クリアされる条件（SPTn = 0）	セットされる条件（SPTn = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LRELn = 1（通信退避）によるクリア ・IICEn = 0（動作停止）のとき ・リセット時	・命令によるセット

注1. リセットされるのは、IICAステータス・レジスタn (IICSn)、IICAフラグ・レジスタn (IICFn) のSTCFn、IICBSYnフラグ、IICAコントロール・レジスタn1 (IICCTLn1) レジスタのCLDn、DADnビットです。

注2. IICEn = 0の状態では、このビットの信号は無効になります。

注3. LRELn, WRELnビットの読み出し値は常に0になります。

注4. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注5. アドレス転送中で、かつ拡張コードでない場合で全アドレス一致機能が停止の場合、設定値は無効です。スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

注6. STTnビットの読み出し値は、常に0になります。

注7. SPTnビットの読み出し値は、常に0になります。

注意1. SCLAnラインがハイ・レベル、SDAAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1.DFCn = 1) のときにI²Cを動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELnビットに1をセットしてください。

注意2. IICSn.TRCnビットが1（送信状態）のとき、9クロック目にIICCTLn0レジスタのWRELnビットに1をセットしてクロック・ストレッチ解除すると、TRCnフラグをクリア（受信状態）してSDAAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考1. SPTnビットは、データ設定後に読み出すと0になっています。

備考2. n = 0, 1

20.3.4 IICAステータス・レジスタ n (IICSn)

IICSn レジスタは、I²C のステータスを表すレジスタです。

IICSn レジスタは、IICCTLn0.STTn = 1 およびクロック・ストレッチ期間中のみ、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

注意 STOPモード状態時のアドレス一致ウェイクアップ機能動作許可 (IICCTLn1.WUPn = 1) 状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求信号と関係なくWUPnビットを1→0 (ウェイクアップ機能動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウェイクアップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (IICCTLn0.SPIEn = 1) して割り込み検出後にIICSnレジスタを読み出してください。

図20-8 IICAステータス・レジスタ n (IICSn) のフォーマット (1/3)

アドレス : FFF51H (IICS0), FFF55H (IICS1)

リセット時: 00H

R/W属性 : R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n

MSTS _n	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件（MSTS _n = 0）	セットされる条件（MSTS _n = 1）
・ストップ・コンディション検出時 ・ALD_n = 1（アービトレーション負け）のとき ・IICCTLn0.LRELn = 1（通信退避）によるクリア ・IICCTLn0.IICEn = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALD _n	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS _n フラグがクリアされる。
クリアされる条件（ALD _n = 0）	セットされる条件（ALD _n = 1）
・IICS_n レジスタ読み出し後、自動的にクリア^{※1} ・IICCTLn0.IICEn = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

図20-8 IICAステータス・レジスタ n (IICSn) のフォーマット (2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。または全アドレス一致機能が許可状態。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・IICCTLn0.LRELn = 1 (通信退避) によるクリア ・IICCTLn0.IICEn = 1→0 (動作停止) のとき ・リセット時		・受信したアドレス・データの上位4ビットが0000または1111のとき (8クロック目の立ち上がりでセット) ・全アドレス一致機能許可 (IICCTLn1.SVADISn = 1) 設定がされた状態でアドレスを受信したとき (8クロック目の立ち上がりでセット)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。または全アドレス一致機能が許可状態。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・IICCTLn0.LRELn = 1 (通信退避) によるクリア ・IICCTLn0.IICEn = 1→0 (動作停止) のとき ・リセット時		・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ n (SVAn)) と一致したとき (8クロック目の立ち上がりでセット) ・全アドレス一致機能許可 (IICCTLn1.SVADISn = 1) 設定時に、アドレス受信したとき (8クロック目の立ち上がりでセット)

TRCn	送信／受信状態検出	
0	受信状態 (送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がりで降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<マスタ、スレーブ共通> ・ストップ・コンディション検出時 ・IICCTLn0.LRELn = 1 (通信退避) によるクリア ・IICCTLn0.IICEn = 1→0 (動作停止) のとき ・IICCTLn0.WRELn = 1 (クロック・ストレッチ解除) によるクリア^{注2} ・ALDn = 0→1 (アービトラージン負け) のとき ・リセット時 ・通信不参加の場合 (MSTS_n, EXC_n, COIn = 0) <マスタの場合> ・1バイト目のLSB (転送方向指定ビット) に1を出力したとき <スレーブの場合> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に0を入力したとき		<マスタの場合> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に0 (マスタ送信) を出力したとき <スレーブの場合> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に1 (スレーブ送信) が入力されたとき

図20-8 IICAステータス・レジスタn (IICSn) のフォーマット (3/3)

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKDn = 0)		セットされる条件 (ACKDn = 1)
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・IICCTLn0.LRELn = 1 (通信退避) によるクリア ・IICCTLn0.IICEn = 1→0 (動作停止) のとき ・リセット時		・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STDn = 0)		セットされる条件 (STDn = 1)
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・IICCTLn0.LRELn = 1 (通信退避) によるクリア ・IICCTLn0.IICEn = 1→0 (動作停止) のとき ・リセット時		・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPDn = 0)		セットされる条件 (SPDn = 1)
・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICCTLn1.WUPn = 1→0のとき ・IICCTLn0.IICEn = 1→0 (動作停止) のとき ・リセット時		・ストップ・コンディション検出時

注1. IICSnレジスタのほかのビットに対し、1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnフラグ使用時は、ほかのビットよりも先にデータを読み出してください。

注2. TRCn = 1 (送信状態) のとき、9クロック目にIICAコントロール・レジスタn0 (IICCTLn0) のビット5 (WRELn) を1にセットしてクロック・ストレッチを解除すると、TRCnフラグをクリア (受信状態) してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態) におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考 n = 0, 1

20.3.5 IICA フラグ・レジスタ n (IICFn)

IICFn レジスタは、I²C の動作モードの設定と、I²C バスの状態を表すレジスタです。

IICFn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、STTn クリア・フラグ (STCFn)、I²C バス状態フラグ (IICBSYn) は読み出しのみ可能です。

IICRSVn ビットにより、通信予約機能の禁止／許可を設定します。

また STCENn ビットにより、IICBSYn フラグの初期値を設定します。

IICRSVn, STCENn ビットは I²C が動作禁止 (IICCTLn0.IICEn = 0) のときのみ書き込み可能です。動作許可後、IICFn レジスタは読み出しのみ可能となります。

リセット信号の発生により、00H になります。

図 20 - 9 IICA フラグ・レジスタ n (IICFn) のフォーマット (1/2)

アドレス : FFF52H (IICF0), FFF56H (IICF1)

リセット時: 00H

R/W属性 : R/W^注

略号	<7>	<6>	5	4	3	2	<1>	<0>
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTn クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTn フラグ・クリア。
クリアされる条件 (STCFn = 0)	
• IICCTLn0.STTn = 1 によるクリア • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時	
セットされる条件 (STCFn = 1)	
• 通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、IICCTLn0.STTn ビットが 0 にクリアされたとき	

IICBSYn	I ² C バス状態フラグ
0	バス解放状態 (STCENn = 1 時の通信初期状態)。
1	バス通信状態 (STCENn = 0 時の通信初期状態)。
クリアされる条件 (IICBSYn = 0)	
• ストップ・コンディション検出時 • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時	
セットされる条件 (IICBSYn = 1)	
• スタート・コンディション検出時 • STCENn = 0 時の IICCTLn0.IICEn ビットのセット	

STCENn	初期スタート許可トリガ
0	動作許可 (IICCTLn0.IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICCTLn0.IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCENn = 0)	
• 命令によるクリア • スタート・コンディション検出時 • リセット時	
セットされる条件 (STCENn = 1)	
• 命令によるセット	

図20 - 9 IICAフラグ・レジスタ n (IICFn) のフォーマット (2/2)

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可。	
1	通信予約禁止。	
クリアされる条件 (IICRSVn = 0)		セットされる条件 (IICRSVn = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

注 ビット7, 6は、読み出しのみ可能です。

注意1. STCENn ビットへの書き込みは動作停止 (IICCTLn0.IICEn = 0) 時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを発行 (IICCTLn0.STTn = 1) する場合は、ほかの通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVn ビットへの書き込みは動作停止 (IICCTLn0.IICEn = 0) 時のみ行ってください。

備考 n = 0, 1

20.3.6 IICAコントロール・レジスタn1（IICCTLn1）

IICCTLn1 レジスタは、I²C の動作モードの設定や SCLAn, SDAA_n 端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、CLD_n, DAD_n ビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUP_n ビットを除き I²C が動作禁止（IICCTLn0.IICEn = 0）のときに設定してください。
リセット信号の発生により、00H になります。

図20 - 10 IICAコントロール・レジスタn1（IICCTLn1）のフォーマット（1/2）

アドレス : F0231H (IICCTL01), F0239H (IICCTL11)

リセット時: 00H

R/W属性 : R/W^{注1}

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
IICCTLn1	WUP _n	SVADIS _n	CLD _n	DAD _n	SMC _n	DFC _n	0	PRSn

WUP _n	アドレス一致ウェイクアップの制御				
0	STOPモード状態時のアドレス一致ウェイクアップ機能動作停止				
1	STOPモード状態時のアドレス一致ウェイクアップ機能動作許可				
WUP_n = 1でSTOPモードに移行する場合は、WUP_n ビットを1にセットしてfMCKの3クロック以上経過後にSTOP命令を実行してください（図20 - 22 WUP_n = 1を設定する場合のフロー参照）。 アドレス一致、または全アドレス一致機能許可状態でのアドレス受信後、または拡張コード受信後はWUP_n ビットを0にクリアしてください。WUP_n ビットを0にクリアすることで、その後の通信に参加することができます（クロック・ストレッチ解除および送信データ書き込みは、WUP_n ビットを0にクリアしたあとに行う必要があります）。 WUP_n = 1の状態における、アドレス一致および全アドレス一致機能許可状態でのアドレス受信時および拡張コード受信時の割り込みタイミングは、WUP_n = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また、WUP_n = 1の場合には、IICCTLn0.SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。					
<table border="1"> <tr> <th>クリアされる条件（WUP_n = 0）</th><th>セットされる条件（WUP_n = 1）</th></tr> <tr> <td>・ 命令によるクリア（アドレス一致または全アドレス一致機能許可状態でのアドレス受信後または拡張コード受信後）</td><td>・ 命令によるセット（MSTSn, EXCn, COIn = 0であり、STDn = 0（通信に参加していないこと）のとき）^{注2}</td></tr> </table>		クリアされる条件（WUP _n = 0）	セットされる条件（WUP _n = 1）	・ 命令によるクリア（アドレス一致または全アドレス一致機能許可状態でのアドレス受信後または拡張コード受信後）	・ 命令によるセット（MSTSn, EXCn, COIn = 0であり、STDn = 0（通信に参加していないこと）のとき） ^{注2}
クリアされる条件（WUP _n = 0）	セットされる条件（WUP _n = 1）				
・ 命令によるクリア（アドレス一致または全アドレス一致機能許可状態でのアドレス受信後または拡張コード受信後）	・ 命令によるセット（MSTSn, EXCn, COIn = 0であり、STDn = 0（通信に参加していないこと）のとき） ^{注2}				

SVADIS _n	アドレス一致無効フラグ
0	全アドレス一致機能停止
1	全アドレス一致機能許可
SVADIS_n = 1でIICAはすべてのアドレスに対してアドレス一致とみなし、また、拡張コード受信動作と同じ動作を行います。 そのため、IICSn.COIn = 1かつIICSn.EXCn = 1の状態となります。 拡張コード受信に関しては、20.5.11 拡張コードを参照してください。	

図20 - 10 IICAコントロール・レジスタn1 (IICCTLn1) のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出 (IICCTLn0.IICEn = 1のときのみ有効)
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出
クリアされる条件 (CLDn = 0)	
• SCLAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時	
セットされる条件 (CLDn = 1)	
• SCLAn端子がハイ・レベルのとき	

DADn	SDAAn端子のレベル検出 (IICCTLn0.IICEn = 1のときのみ有効)
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出
クリアされる条件 (DADn = 0)	
• SDAAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0 (動作停止) のとき • リセット時	
セットされる条件 (DADn = 1)	
• SDAAn端子がハイ・レベルのとき	

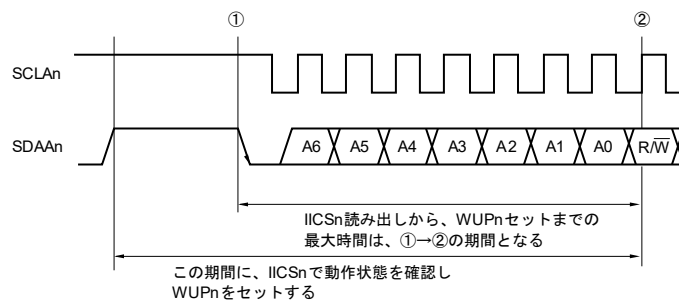
SMCn	動作モードの切り替え
0	標準モードで動作 (最大転送レート : 100 kbps)
1	ファースト・モード (最大転送レート : 400 kbps) またはファースト・モード・プラス (最大転送レート : 1 Mbps) で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。デジタル・フィルタは、ノイズ除去のために使用します。 DFCnビットを1にセット/0にクリアすることにより、転送クロックが変化することはありません。	

PRSn	IICA動作クロック (fMCK) の制御
0	fCLKを選択 ($1\text{ MHz} \leq f_{\text{CLK}} \leq 20\text{ MHz}$)
1	fCLK/2を選択 ($20\text{ MHz} < f_{\text{CLK}}$)

注1. ビット5, 4は、読み出しのみ可能です。

注2. 次に示す期間に、IICAステータス・レジスタn (IICSn) の状態を確認しセットする必要があります。



(注意、備考は次ページに続きます)

注意1. IICA動作クロック（fMCK）の最高動作周波数は20 MHz（Max.）です。

fCLKが20 MHzを超える場合のみ、IICAコントロール・レジスタn1（IICCTLn1）のPRSnビットに1を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。

シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz（Min.）

ファースト・モード・プラス時 : fCLK = 10 MHz（Min.）

標準モード時 : fCLK = 1 MHz（Min.）

備考 n = 0, 1

20.3.7 IICA ロウ・レベル幅設定レジスタ n (IICWLn)

IICWLn レジスタは、シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLOW) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I²C が動作禁止 (IICCTLn0.IICEn = 0) のときに設定してください。IICWLn レジスタの設定方法については、**20.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法**を参照してください。また、データ・ホールド時間は IICWLn レジスタで設定した時間の 1/4 になります。

リセット信号の発生により、FFH になります。

図 20 - 11 IICA ロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット

アドレス : F0232H (IICWL0), F023AH (IICWL1)

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

★ **備考1.** シリアル・クロックの最小周期は、(IICWLn + 1) + (IICWHn + 1) になります。

備考2. n = 0, 1

20.3.8 IICA ハイ・レベル幅設定レジスタ n (IICWHn)

IICWHn レジスタは、シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止 (IICCTLn0.IICEn = 0) のときに設定してください。IICWHn の設定方法については、**20.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法**を参照してください。

リセット信号の発生により、FFH になります。

図 20 - 12 IICA ハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット

アドレス : F0233H (IICWH0), F023BH (IICWH1)

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

★ **備考1.** シリアル・クロックの最小周期は、(IICWLn + 1) + (IICWHn + 1) になります。

備考2. n = 0, 1

20.3.9 シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース IICA 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・モード・コントロールE・レジスタ（PMCExx）
- LCDポート・ファンクション・レジスタ（PFSEGx）

詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.2 ポート・レジスタ（Pxx）、4.3.5 ポート出力モード・レジスタ（POMxx）、4.3.7 ポート・モード・コントロールA・レジスタ（PMCAxx）、4.3.8 ポート・モード・コントロールT・レジスタ（PMCTxx）、4.3.9 ポート・モード・コントロールE・レジスタ（PMCExx）、4.3.16 LCDポート・ファンクション・レジスタ（PFSEGx）を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

20.4 I²Cバス・モードの機能

20.4.1 端子構成

シリアル・クロック端子 (SCLAn) と、シリアル・データ・バス端子 (SDAAn) の構成は、次のようになっています。

(1) SCLAn : シリアル・クロックを入出力するための端子。

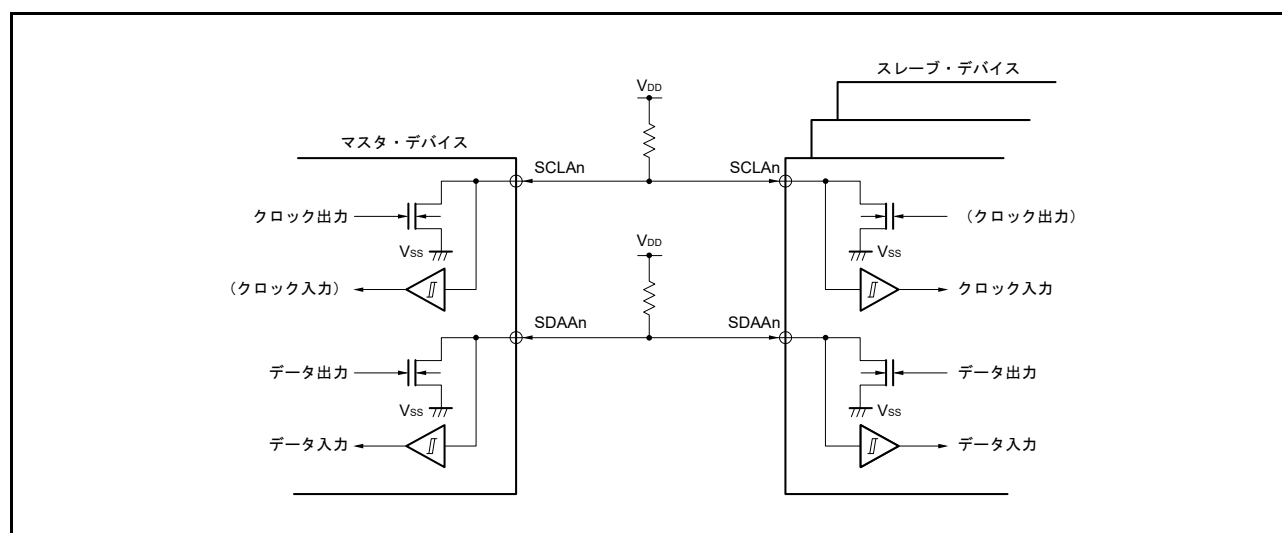
マスタ、スレーブともに、出力はN-ch オープン・ドレイン。入力はシュミット入力。

(2) SDAAn : シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-ch オープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図20 - 13 端子構成図



備考 n = 0, 1

20.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

★

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適な IICWLn レジスタと IICWHn レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

★

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

★

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

- 標準モード時

★

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

★

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

- ファースト・モード・プラス時

★

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

★

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

(2) スレーブ側の IICWLn, IICWHn レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

- ファースト・モード時

★

$$IICWLn = 1.3 \mu s \times f_{MCK}$$

★

$$IICWHn = (1.2 \mu s - t_R - t_F) \times f_{MCK}$$

- 標準モード時

★

$$IICWLn = 4.7 \mu s \times f_{MCK}$$

★

$$IICWHn = (5.3 \mu s - t_R - t_F) \times f_{MCK}$$

- ファースト・モード・プラス時

★

$$IICWLn = 0.50 \mu s \times f_{MCK}$$

★

$$IICWHn = (0.50 \mu s - t_R - t_F) \times f_{MCK}$$

注意1. IICA 動作クロック (fMCK) の最高動作周波数は20 MHz (Max.) です。fCLKが20 MHzを超える場合のみ、IICA コントロール・レジスタ n1 (IICCTLn1) の PRSn ビットに1を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによって fCLK の最低動作周波数が決められています。

ファースト・モード時 : fCLK = 3.5 MHz (Min.)

ファースト・モード・プラス時 : fCLK = 10 MHz (Min.)

標準モード時 : fCLK = 1 MHz (Min.)

(注意、備考は次ページに続きます)

- ★ 注意3. シリアル・クロックの最小周期は、 $(IICWLn + 1) + (IICWHn + 1)$ になります。SDAAn, SCLAn 信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) を考慮し、IICWLn, IICWHn レジスタに設定する値を決めてください。

備考1. SDAAn, SCLAn 信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn : IICA ロウ・レベル幅設定レジスタ n

IICWHn : IICA ハイ・レベル幅設定レジスタ n

t_F : SDAAn, SCLAn 信号の立ち下がり時間

t_R : SDAAn, SCLAn 信号の立ち上がり時間

f_{MCK} : IICA 動作クロック周波数

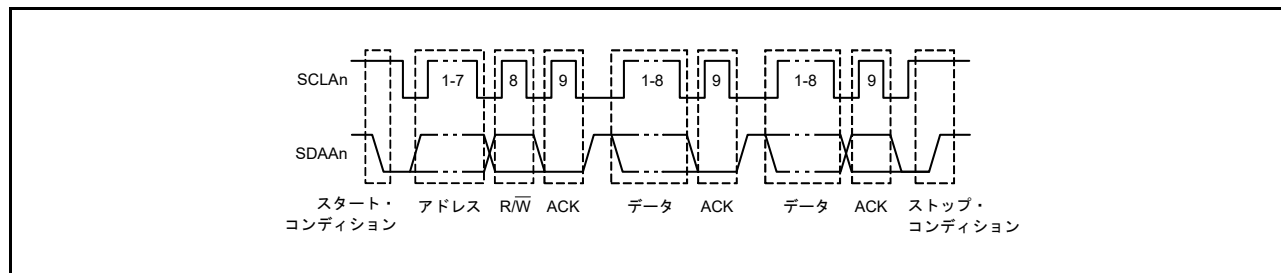
備考3. $n = 0, 1$

20.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

図 20 - 14 に I²C バスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを示します。

図 20 - 14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

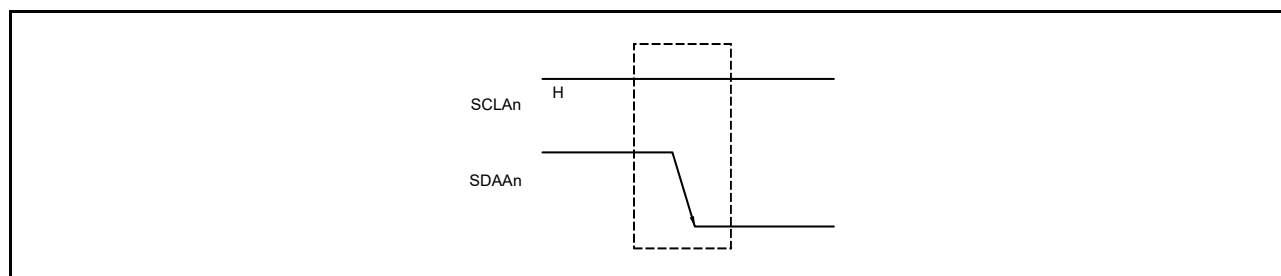
アクノリッジ (ACK) は、マスタ、スレーブのどちらでも生成できます (通常、8 ビット・データの受信側が出力します)。

シリアル・クロック (SCLAn) は、マスタが出力し続けます。ただし、スレーブは SCLAn 端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

20.5.1 スタート・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn 端子、SDAAn 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図 20 - 15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (IICSn.SPDn = 1) のときに IICA コントロール・レジスタ n0 (IICCTLn0) の STTn ビットに 1 をセットすると出力されます。また、スタート・コンディションを検出すると、IICSn レジスタの STDn ビットが 1 にセットされます。

備考 n = 0, 1

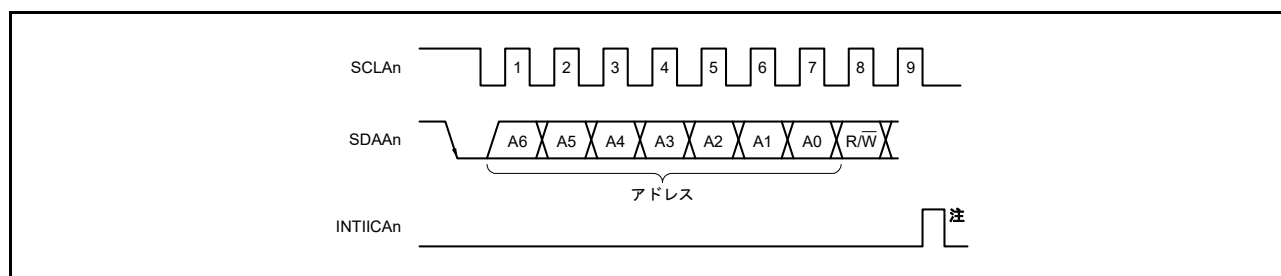
20.5.2 アドレス

スタート・コンディションに続く 7 ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する 7 ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7 ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7 ビット・データと SVAn レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図20 - 16 アドレス



注 スレーブ動作時に、全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと **20.5.3 転送方向指定** に説明する転送方向をあわせて 8 ビットとして IICA シフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスは IICAn レジスタに書き込まれます。

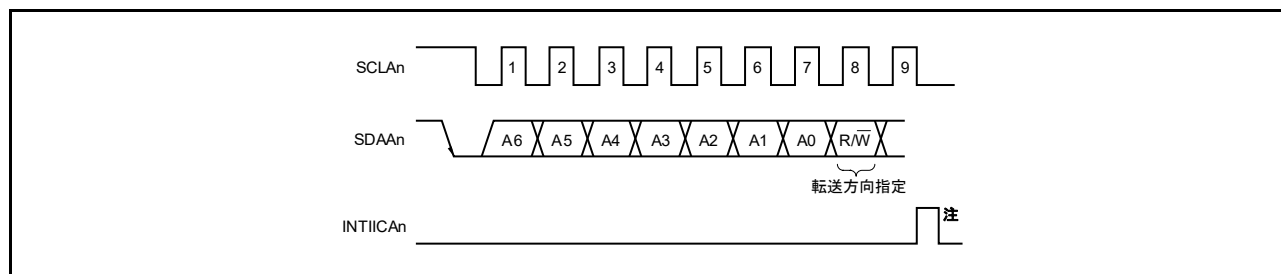
なお、スレーブのアドレスは、IICAn レジスタの上位 7 ビットに割り当てられます。

20.5.3 転送方向指定

マスタは、7 ビットのアドレスに続いて、転送方向を指定するための 1 ビット・データを送信します。

この転送方向指定ビットが 0 のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが 1 のとき、マスタがスレーブからデータを受信することを示します。

図20 - 17 転送方向指定



注 スレーブ動作時に全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0, 1$

20.5.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICA ステータス・レジスタ n (IICSn) の ACKDn ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

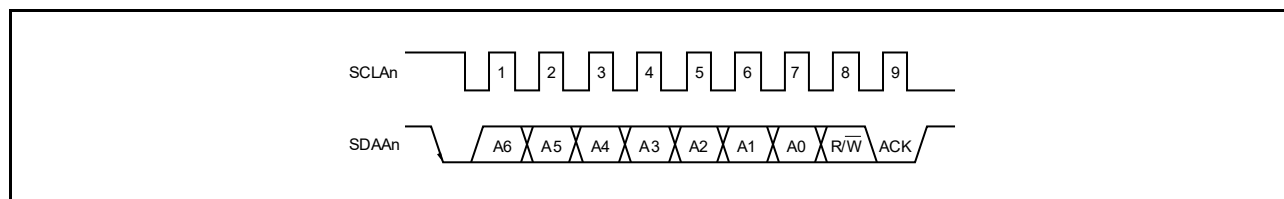
アクノリッジ生成は、受信側が9クロック目に SDAAn ラインをロウ・レベルにすることによって行われます (正常受信)。

IICA コントロール・レジスタ n0 (IICCTLn0) の ACKEn ビットに 1 をセットすることによって、アクノリッジが自動生成可能な状態になります。7 ビットのアドレス情報に続く 8 ビット目のデータにより IICSn レジスタの TRCn ビットが設定されます。受信 (TRCn = 0) の場合は、通常、ACKEn ビットを 1 にセットしてください。

スレーブ受信動作時 (TRCn = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEn ビットを 0 にクリアし、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCn = 0) に、次のデータを必要としない場合、アクノリッジを生成しないように ACKEn ビットを 0 にクリアしてください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図20-18 アクノリッジ



自局アドレス受信時は、ACKEn ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時または全アドレス一致機能許可状態でのアドレス受信時は、あらかじめ ACKEn ビットに 1 をセットしておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- 8クロック・クロック・ストレッチ選択時 (IICCTLn0.WTIMn = 0) :
クロック・ストレッチ解除を行う前に ACKEn ビットに 1 をセットすることによって、SCLAn 端子の 8 クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・クロック・ストレッチ選択時 (IICCTLn0.WTIMn = 1) :
あらかじめ ACKEn ビットを 1 にセットすることによって、アクノリッジを生成します。

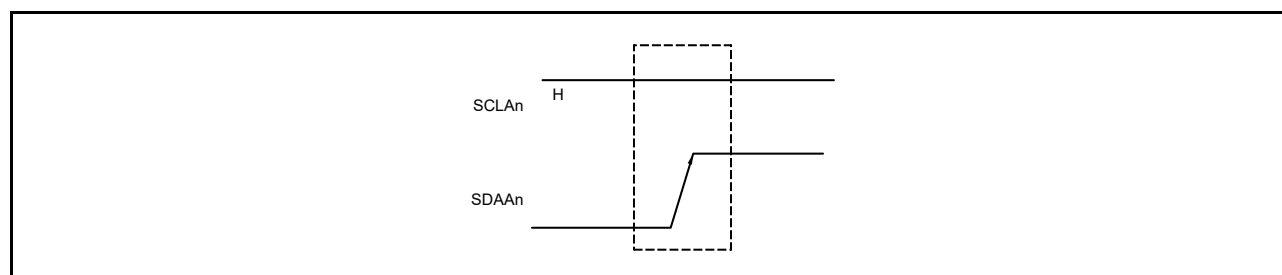
備考 n = 0, 1

20.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図20-19 ストップ・コンディション



ストップ・コンディションは、IICA コントロール・レジスタ n0 (IICCTLn0) の SPTn ビットに 1 をセットすると発生します。また、ストップ・コンディションを検出すると IICA ステータス・レジスタ n (IICSn) の SPDn ビットが 1 にセットされ、IICCTLn0 レジスタの SPIEn ビットが 1 にセットされている場合には INTIICAn が発生します。

備考 n = 0, 1

20.5.6 クロック・ストレッチ

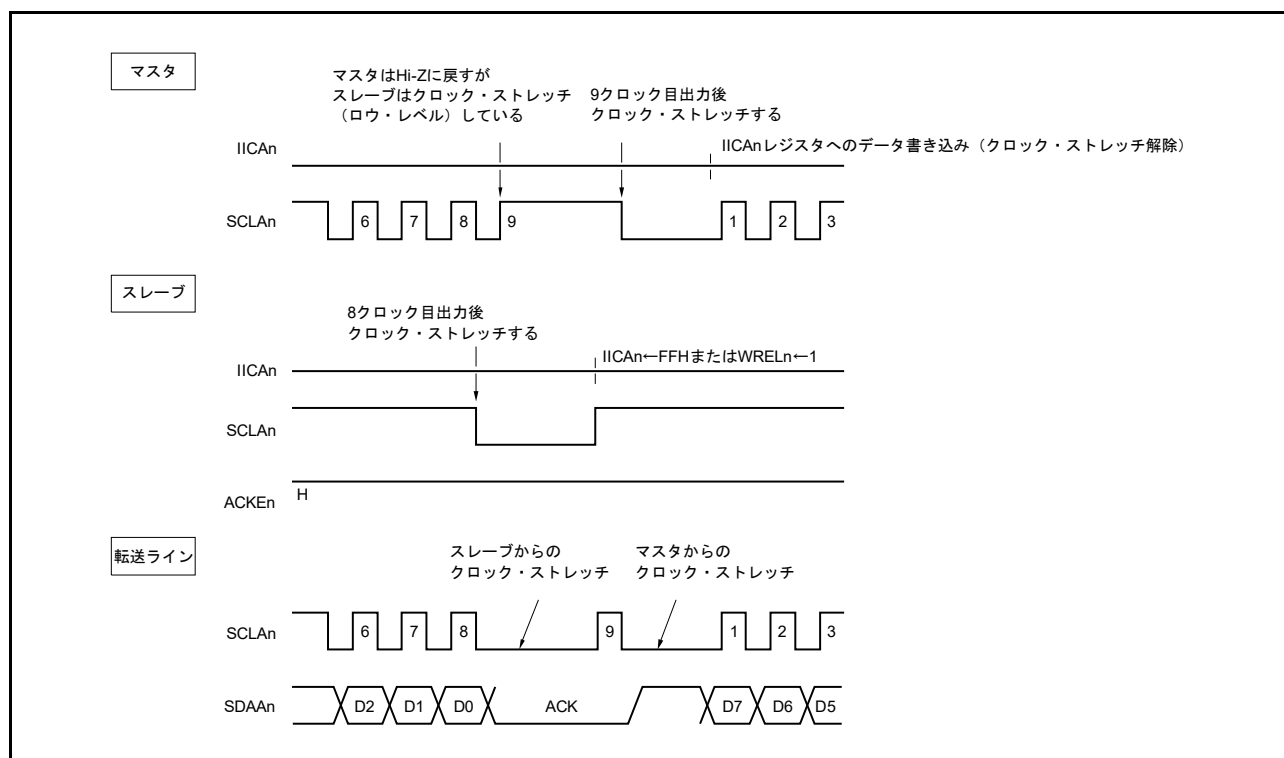
クロック・ストレッチによって、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn 端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図 20 - 20 クロック・ストレッチ (1/2)

(1) マスタは9クロック・クロック・ストレッチ、スレーブは8クロック・クロック・ストレッチ時

(マスタ：送信、スレーブ：受信、ACKEn = 1)

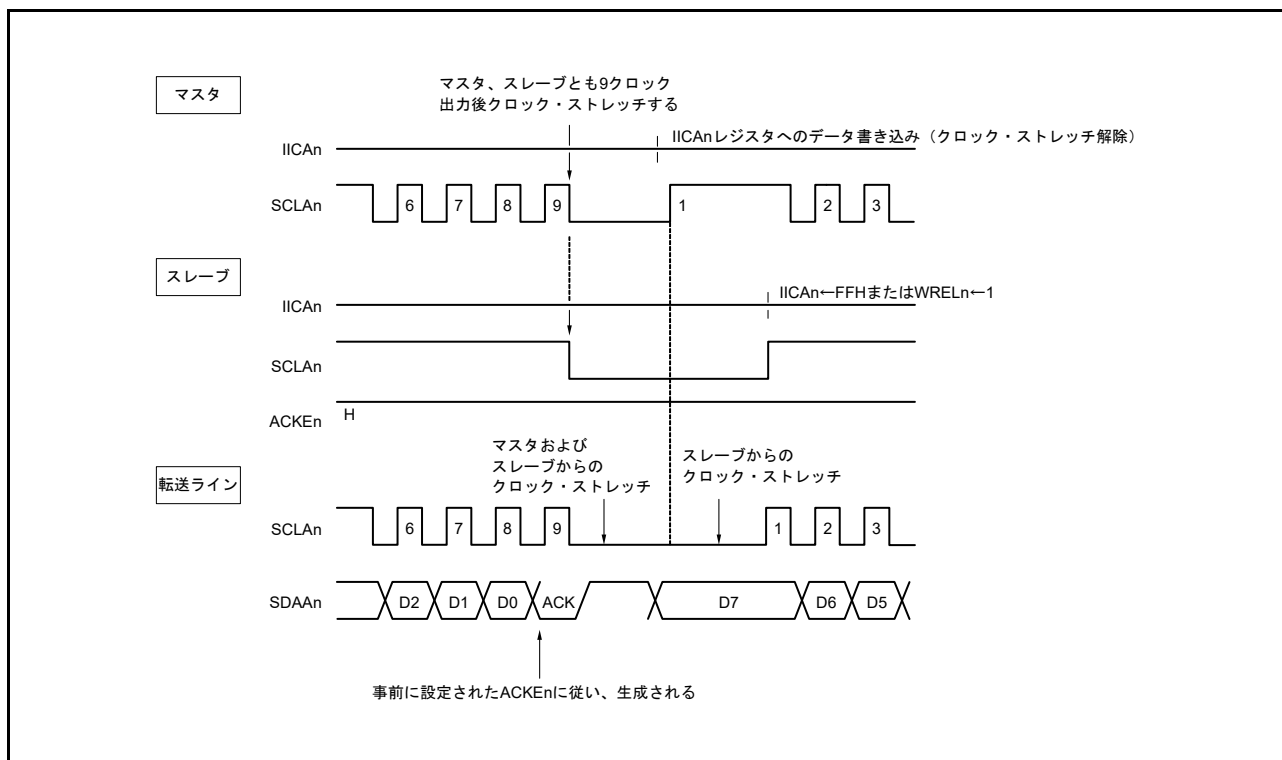


備考 n = 0, 1

図20-20 クロック・ストレッチ (2/2)

(2) マスタ、スレーブとも9クロック・クロック・ストレッチ時

(マスタ：送信、スレーブ：受信、ACKEn = 1)



備考 ACKEn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット2

WRELn : " のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0) のWTIMnビットの設定により自動的に発生します。

通常、受信側はIICCTLn0.WRELn = 1またはIICAシフト・レジスタ n (IICAn) にFFHを書き込むと

クロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- IICCTLn0.STTn = 1
- IICCTLn0.SPTn = 1

備考 n = 0, 1

20.5.7 クロック・ストレッチ解除方法

I²C では、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn) へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0) の WRELn ビットのセット (クロック・ストレッチ解除)
- IICCTLn0 レジスタの STTn ビットのセット (スタート・コンディションの生成) 注
- IICCTLn0 レジスタの SPTn ビットのセット (ストップ・コンディションの生成) 注

これらのクロック・ストレッチ解除処理を実行した場合、IICA はクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ (アドレスを含む) を送信する場合には、IICAn レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0 レジスタの WRELn ビットに 1 をセットしてください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0 レジスタの STTn ビットに 1 をセットしてください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0 レジスタの SPTn ビットに 1 をセットしてください。

1 回のクロック・ストレッチ状態に対して 1 回だけ解除処理を実行してください。

たとえば、WRELn ビットへの 1 セットによるクロック・ストレッチ解除後、IICAn レジスタへのデータ書き込みを実施した場合には、SDAAn ラインの変化タイミングと IICAn レジスタへの書き込みタイミングの競合により、SDAAn ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEn ビットを 0 にクリアすると通信を停止するので、クロック・ストレッチを解除できます。

I²C バスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0 レジスタの LRELn ビットに 1 をセットすると通信から退避するので、クロック・ストレッチを解除できます。

注 マスタのみ

注意 WUPn = 1 のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0, 1

20.5.8 割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) の WTIMn ビットの設定で、表 20 - 2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表20 - 2 INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	g注1, 2	g注2	g注2	9	8	8
1	g注1, 2, 3	g注2	g注2	9	9	9

注1. スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICCTLn0 レジスタの ACKEn ビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは8クロック目の立ち下がりですべてINTIICAnが発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICAnが発生しますが、クロック・ストレッチは発生しません。

注2. スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ全アドレス一致機能停止時で、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

注3. WTIMn ビットが1の場合、拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは、8クロック目の立ち下がりに加え、9クロック目の立ち下がりでもINTIICAnとクロック・ストレッチが発生します。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりにも同期します。

(1) アドレス送受信時

- スレーブ動作時：上記の注1～注3の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- マスタ動作時：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- マスタ/スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- IICA シフト・レジスタ n (IICAn) へのデータ書き込み
- IICA コントロール・レジスタ n0 (IICCTLn0) の WRELn ビットのセット (クロック・ストレッチ解除)
- IICCTLn0 レジスタの STTn ビットのセット (スタート・コンディションの生成) 注
- IICCTLn0 レジスタの SPTn ビットのセット (ストップ・コンディションの生成) 注

8クロック・クロック・ストレッチ選択 (WTIMn = 0) 時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

注 マスタのみ。

備考 n = 0, 1

20.5.9 アドレスの一致検出方法

I²C バス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn) に設定したアドレスが一致したとき、または全アドレス一致機能許可状態 (IICCTLn1.SVADISn = 1) でのアドレス受信、または拡張コードを受信した場合だけ、INTIICAn 割り込み要求信号が発生します。

20.5.10 エラーの検出

I²C バス・モードでは、送信中のシリアル・バス (SDAAn) の状態が、送信しているデバイスの IICA シフト・レジスタ n (IICAn) にも取り込まれるため、送信開始前と送信終了後の IICA データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 n = 0, 1

20.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが0000と1111のときを拡張コード受信として、拡張コード受信検出フラグ (EXCn) を1にセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIICAn) を発生します。また、全アドレス一致機能許可時にアドレスを受信した場合も、拡張コード受信と判断します。スレーブ・アドレス・レジスタn (SVAn) に格納された自局アドレスには影響しません。
- (2) SVAnレジスタに11110xx0を設定されているときに、10ビット・アドレス転送でマスタから11110xx0が転送されてきた場合や、全アドレス一致機能許可状態でアドレスを受信した場合は、次のようになります。ただし、割り込み要求 (INTIICAn) は、8クロック目の立ち下がりで発生します。
- 上位4ビット・データの一致または全アドレス一致機能許可 : IICSn.EXCn = 1
 - 7ビット・データの一致または全アドレス一致機能許可 : IICSn.COIn = 1
- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。スレーブ動作時に、拡張コードを受信した場合または全アドレス一致機能許可状態でのアドレス受信時は、アドレス不一致でも通信に参加しています。たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICCTLn0.LRELn = 1に設定してください。次の通信待機状態にします。

表20-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0 0 0 0 0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1 0 x x	0	10ビット・スレーブ・アドレス指定 (アドレス認証時)
1 1 1 1 0 x x	1	10ビット・スレーブ・アドレス指定 (アドレス一致後、リード・コマンド発行時)

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0, 1

20.5.12 アービトレーション

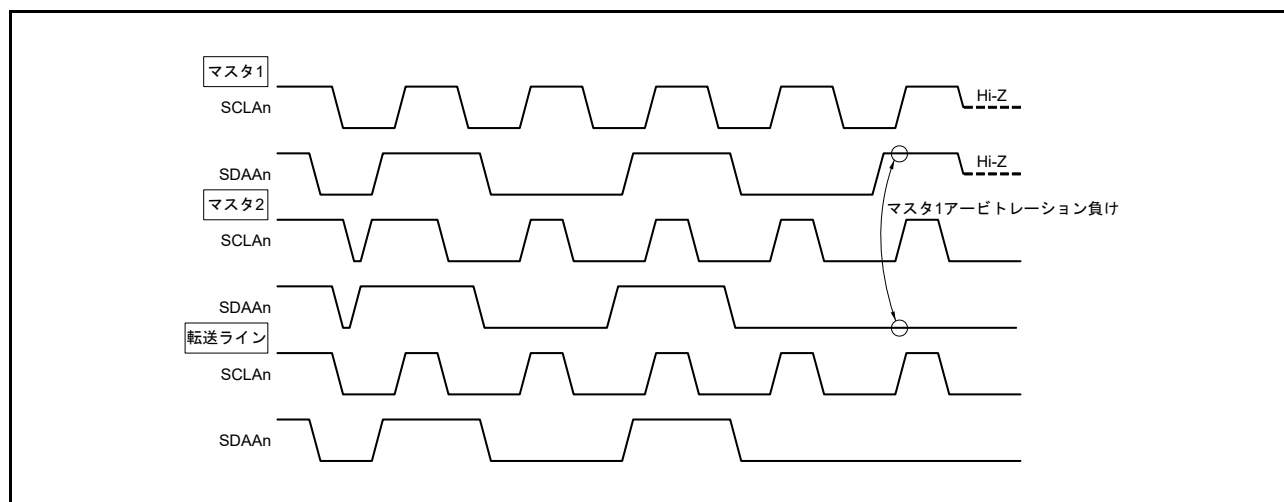
複数のマスタがスタート・コンディションを同時に生成した場合（ $IICSn.STDn = 1$ になる前に $IICCTLn0.STTn = 1$ にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICA ステータス・レジスタ n （ $IICSn$ ）のアービトレーション負けフラグ（ $ALDn$ ）を 1 にセットし、 $SCLAn$, $SDAAn$ ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8 または 9 クロック目、ストップ・コンディション検出など）で、ソフトウェアで $ALDn = 1$ になっていることで検出します。

割り込み要求発生タイミングについては、**20.5.8 割り込み要求信号（INTIICAn）発生タイミングおよびクロック・ストレッチ制御**を参照してください。

図 20-21 アービトレーション・タイミング例



備考 $n = 0, 1$

表20-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時） ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時） ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. IICCTLn0.WTIMn = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時、および全アドレス一致機能許可状態でのアドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn : IICAコントロール・レジスタ n0（IICCTLn0）のビット4

備考2. n = 0, 1

20.5.13 ウェイクアップ機能

I²C のスレーブ機能で、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生する機能です。

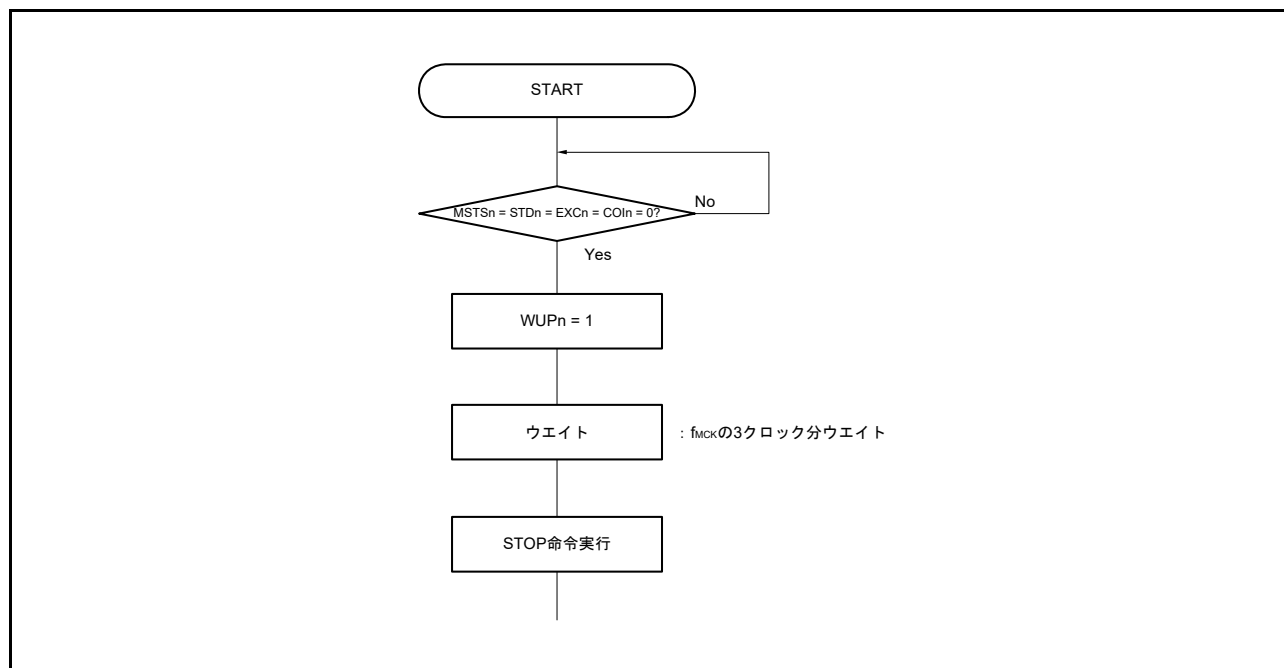
全アドレス一致機能停止状態で、アドレスが一致しないときは不要な INTIICAn 信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイクアップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイクアップ待機状態になります。

STOP モード状態時にウェイクアップ機能を使用する場合には、WUPn = 1 に設定してください。動作クロックに関係なくアドレス受信を行うことができます。この場合も、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号 (INTIICAn) を発生します。この割り込み発生後に命令で WUPn ビットを 0 にクリアすることで通常動作に戻ります。

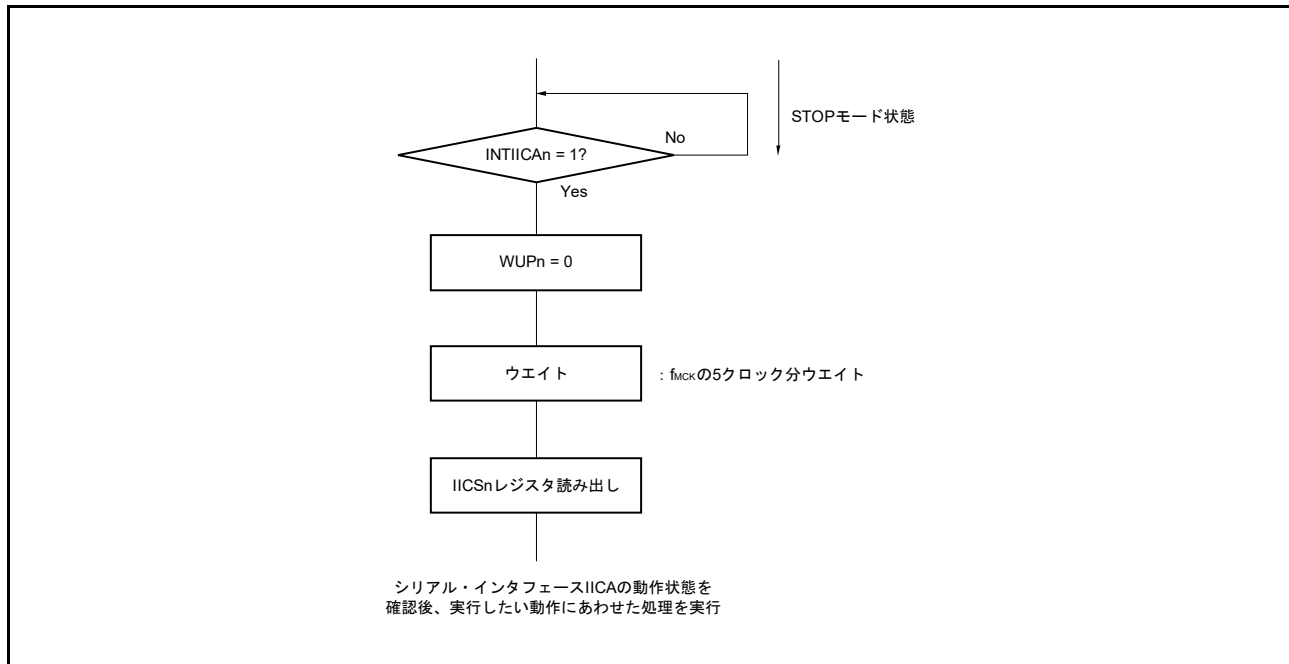
図 20 - 22 に WUPn = 1 を設定する場合のフロー、図 20 - 23 にアドレス一致（または全アドレス一致機能許可）により WUPn = 0 に設定する場合のフロー（拡張コード受信含む）を示します。

図 20 - 22 WUPn = 1 を設定する場合のフロー



備考 n = 0, 1

図20 - 23 アドレス一致（または全アドレス一致機能許可）により WUPn = 0 に設定する場合のフロー（拡張コード受信含む）

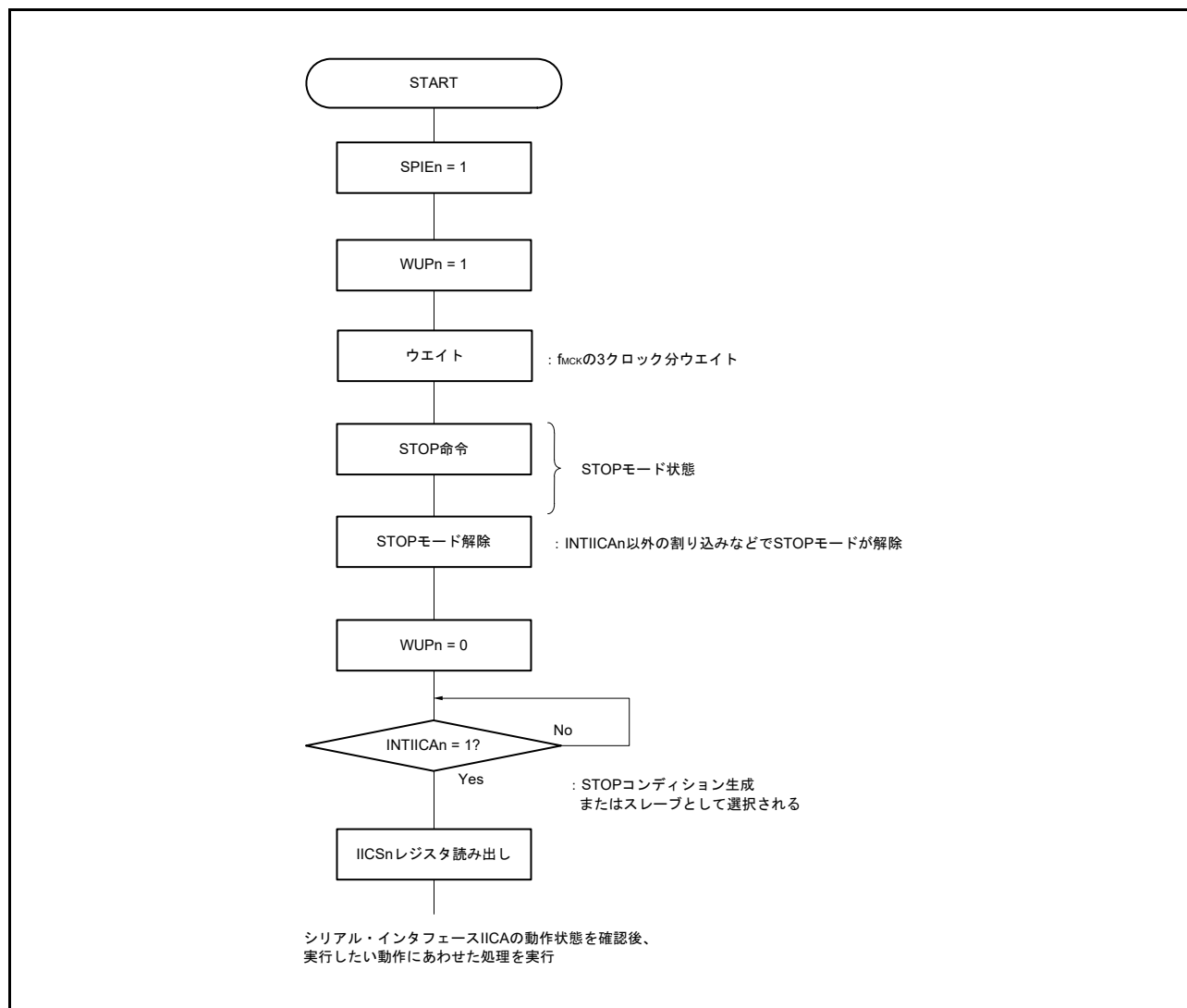


また、シリアル・インタフェース IICA からの割り込み要求信号（INTIICAn）以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- 次のIIC通信をマスタとして動作させる場合：図20 - 24のフロー
- 次のIIC通信をスレーブとして動作させる場合：
 - INTIICAn割り込みで復帰した場合：図20 - 23のフローと同じになります。
 - INTIICAn割り込み以外の割り込みで復帰した場合：INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0, 1

図20 - 24 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考 n = 0, 1

20.5.14 通信予約

(1) 通信予約機能許可の場合 (IICFn.IICRSVn = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した）とき

バスに不参加の状態、IICCTLn0レジスタのSTTnビットに1をセットすると、バスが解放されたあと（ストップ・コンディション検出時）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。IICCTLn0レジスタのSPIEnビットに1をセットし、割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと、IICAシフト・レジスタn（IICAn）にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットに1をセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき : スタート・コンディション生成
- バスが解放されていないとき（待機状態）: 通信予約

通信予約として動作するかどうかは、STTnビットに1をセットし、ウェイト時間をとったあと、MSTSnnフラグ（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$\text{STTn} = 1 \text{ から MSTSnn フラグ確認までのウェイト時間 :}$ $(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) / \text{fMCK} + \text{tf} \times 2$

備考1. IICWLn : IICA ロウ・レベル幅設定レジスタ n

IICWHn : IICA ハイ・レベル幅設定レジスタ n

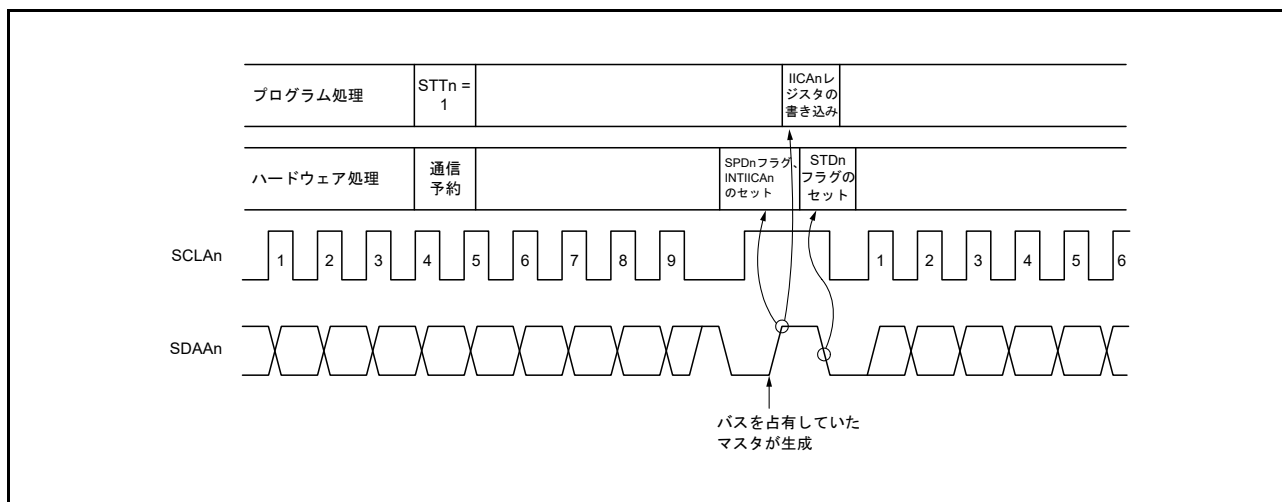
tf : SDAAn, SCLAn 信号の立ち下がり時間

fMCK : IICA 動作クロック周波数

備考2. n = 0, 1

図20 - 25に通信予約のタイミングを示します。

図20 - 25 通信予約のタイミング

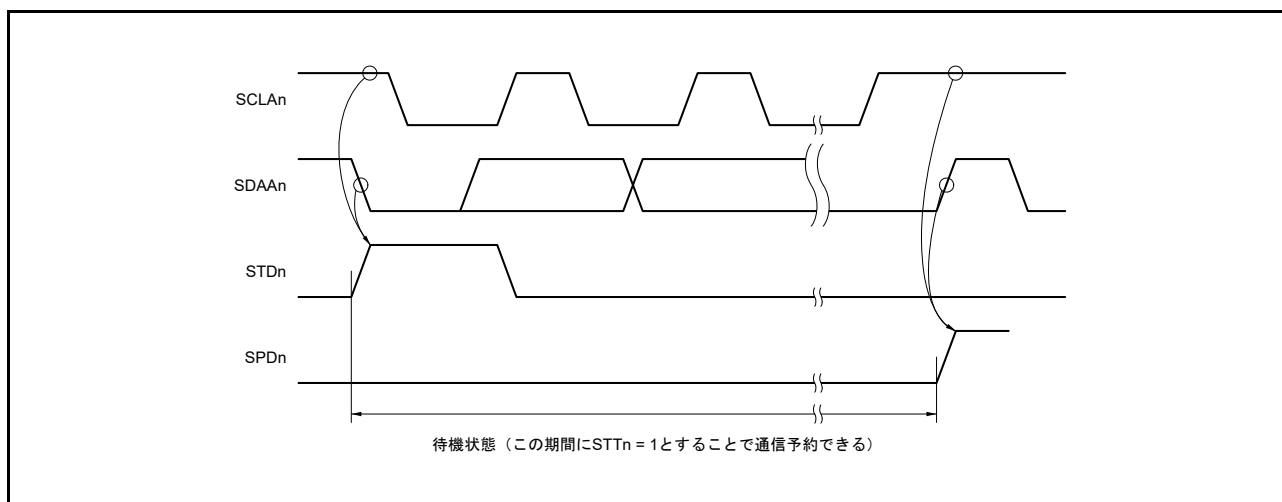


- 備考1. IICAn : IICAシフト・レジスタ n
 STTn : IICAコントロール・レジスタ n0 (IICCTLn0) のビット1
 STDn : IICAステータス・レジスタ n (IICSn) のビット1
 SPDn : " のビット0

備考2. n = 0, 1

通信予約は図20 - 26に示すタイミングで受け付けられます。IICSn.STDn = 1になったあと、ストップ・コンディション検出までにIICCTLn0.STTn = 1で通信予約をします。

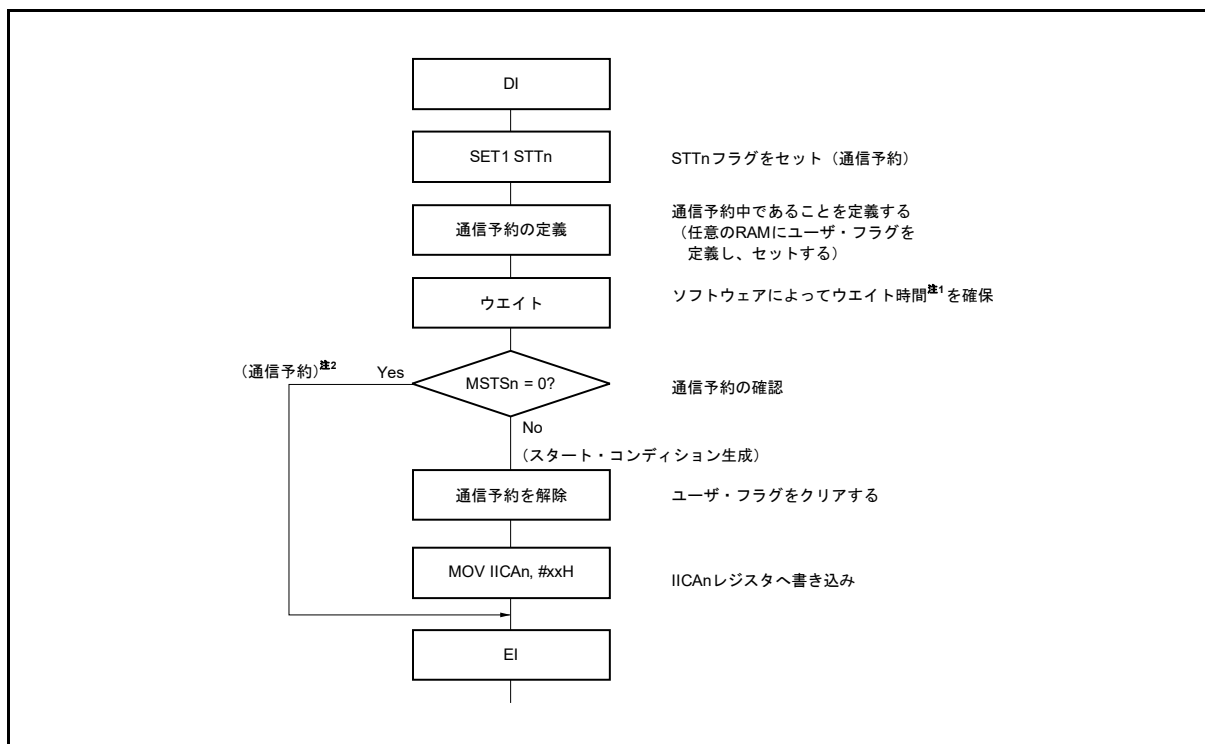
図20 - 26 通信予約受付タイミング



備考 n = 0, 1

図20 - 27に通信予約の手順を示します。

図20 - 27 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) / \text{fMCK} + \text{tf} \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn (IICAn) への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタn0 (IICCTLn0) のビット1

MSTS n : IICAステータス・レジスタn (IICSn) のビット7

IICAn : IICAシフト・レジスタn

IICWLn : IICAロウ・レベル幅設定レジスタn

IICWHn : IICAハイ・レベル幅設定レジスタn

tf : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0, 1

(2) 通信予約機能禁止の場合 (IICFn.IICRSVn = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタn0 (IICCTLn0) のSTTnビットに1をセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した）とき

スタート・コンディションが生成されたかまたは拒絶されたかは、IICFnレジスタのSTCFnフラグで確認できます。STTn = 1としてからSTCFnフラグが1にセットされるまでfMCKの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0, 1

20.5.15 その他の注意事項

(1) STCENn = 0の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICAコントロール・レジスタ n1 (IICCTLn1) を設定する
- ② IICAコントロール・レジスタ n0 (IICCTLn0) のIICEnビットに1をセットする
- ③ IICCTLn0レジスタのSPTnビットに1をセットする

(2) STCENn = 1の場合

I²C動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、IICAのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合や全アドレス一致機能が許可状態の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でIICAを起動してください。

- ① IICCTLn0レジスタのSPIEnビットを0にクリアし、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0レジスタのIICEnビットに1をセットし、I²Cの動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICEnビットに1をセットしてから、fMCKの4~72クロック中) に、IICCTLn0レジスタのLRELnビットに1をセットし、強制的に検出を無効とする

(4) STTn, SPTnビット (IICCTLn0レジスタのビット1, 0) をセットしたあと、0にクリアされる前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット (IICCTLn0レジスタのビット4) に1をセットしてストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタ n (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICAステータス・レジスタ n (IICSn) のMSTS_nフラグを検出する場合には、SPIEnビットに1をセットする必要はありません。

備考 n = 0, 1

20.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

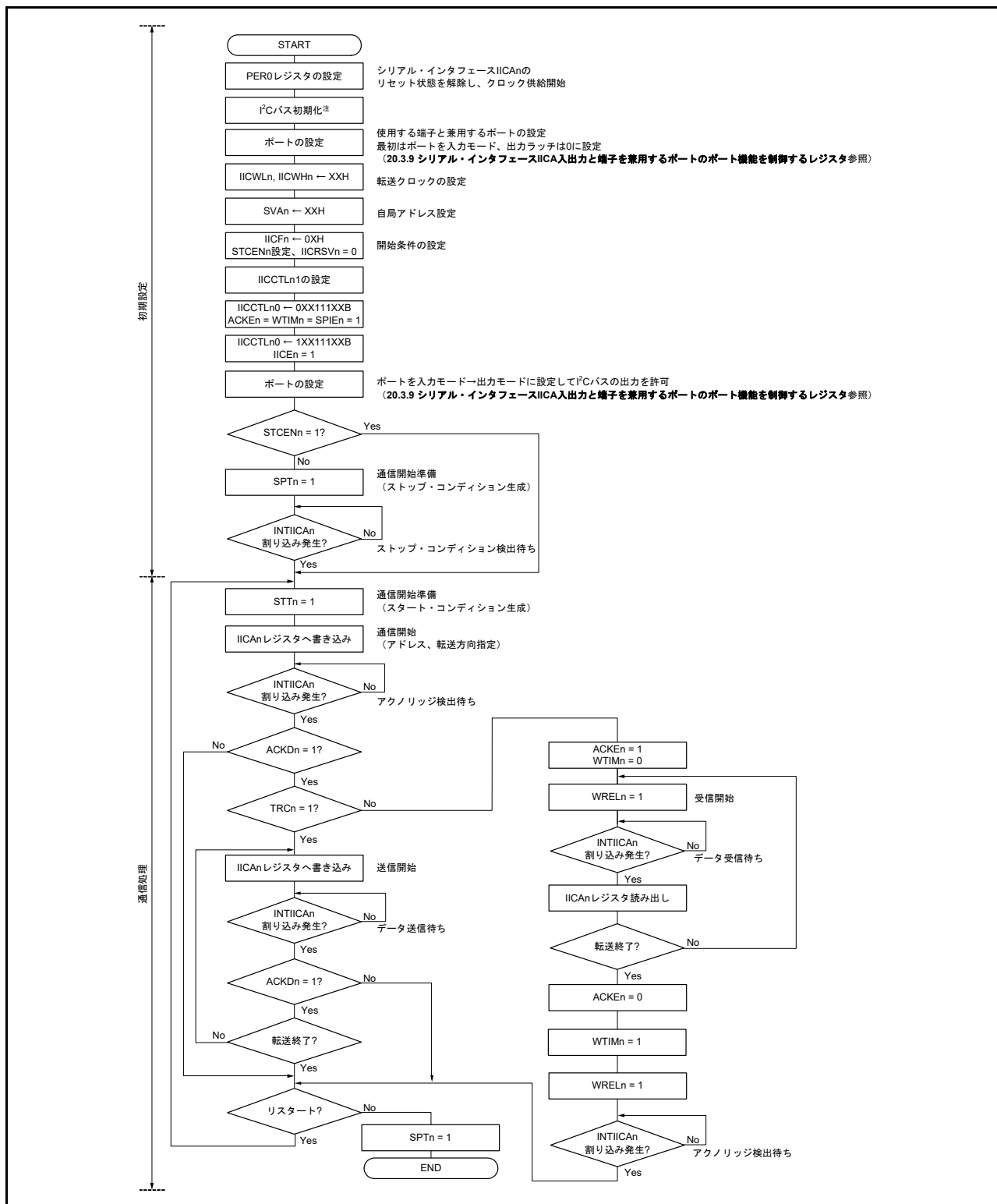
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0, 1

(1) シングルマスタ・システムでのマスタ動作

図20-28 シングルマスタ・システムでのマスタ動作



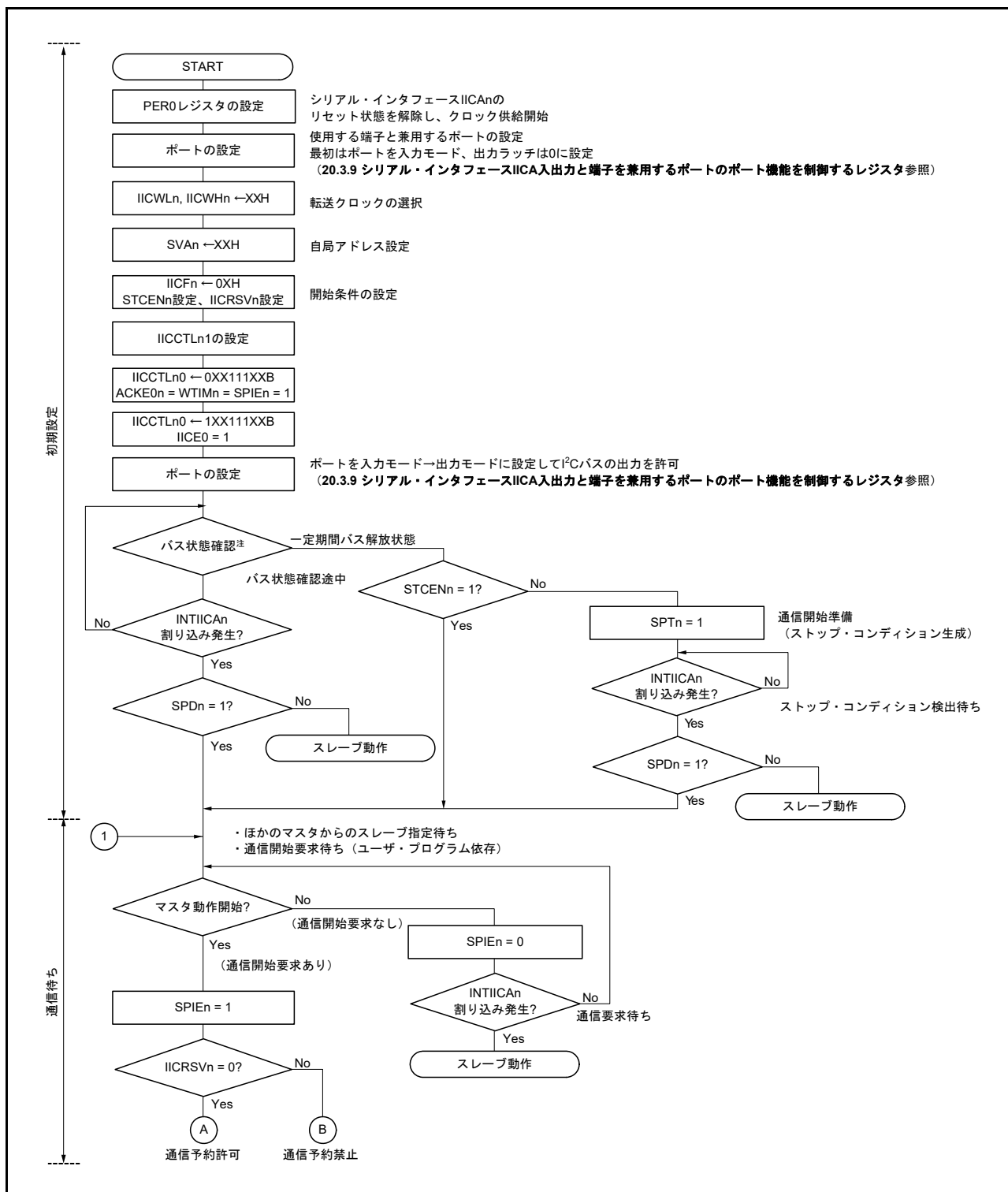
注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCLAn, SDAAn端子 = ハイ・レベル) してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0, 1

(2) マルチマスタ・システムでのマスタ動作

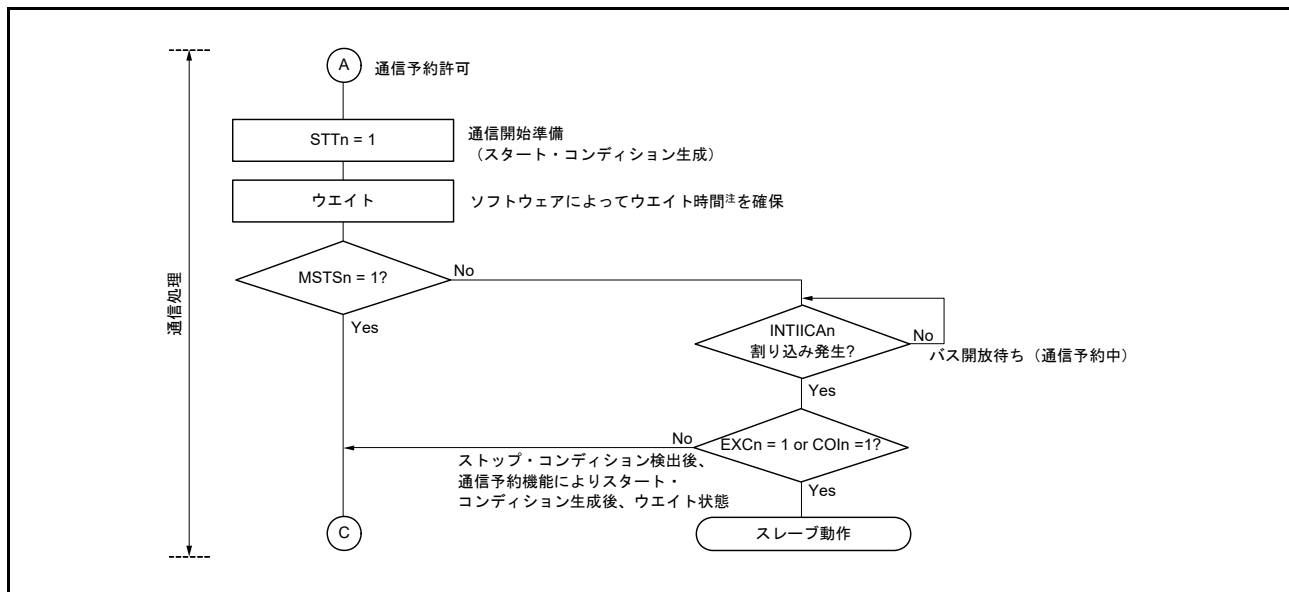
図 20 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



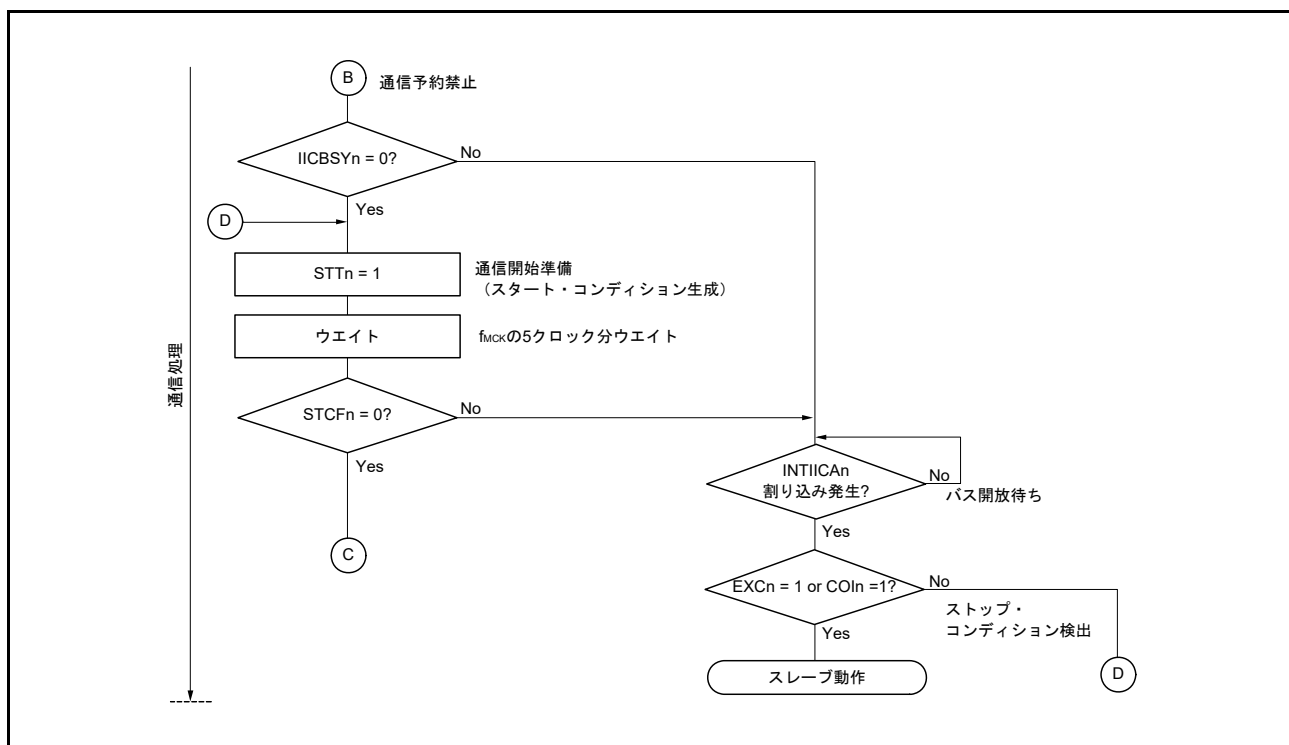
注 一定期間（たとえば1フレーム分）、バス解放状態（CLDn = 1, DADn = 1）であることを確認してください。定常的に SDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

備考 $n = 0, 1$

図20-29 マルチマスタ・システムでのマスタ動作 (2/3)



注 ウェイト時間は次のようになります。
 $(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_F \times 2$



備考1. IICWLn : IICAロウ・レベル幅設定レジスタ n
 IICWHn : IICAハイ・レベル幅設定レジスタ n
 tF : SDAAn, SCLAn信号の立ち下がり時間
 fMCK : IICA動作クロック周波数

備考2. n = 0, 1

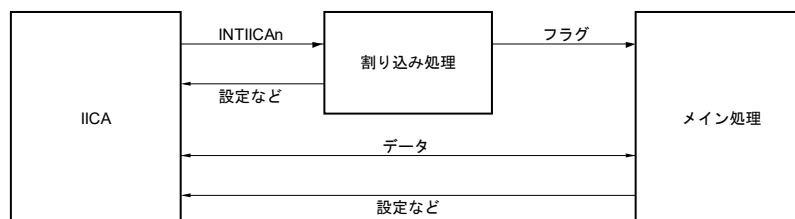
備考4. $n = 0, 1$

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、全アドレス一致機能は無効状態で、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- クリア・モード：データ通信を行っていない状態
- 通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRCnフラグの値と同じです。

備考 n = 0, 1

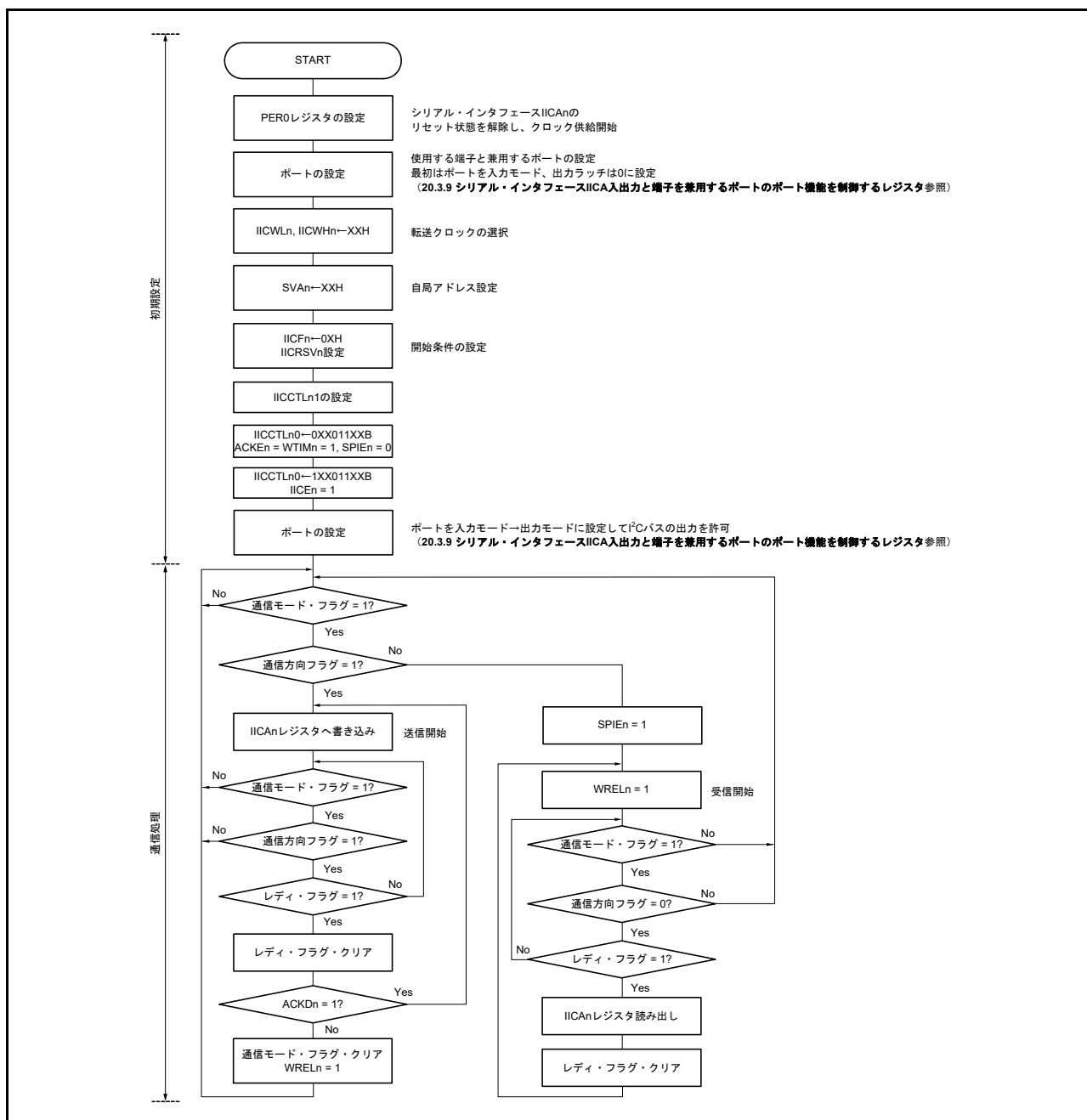
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図20-30 スレーブ動作手順 (1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

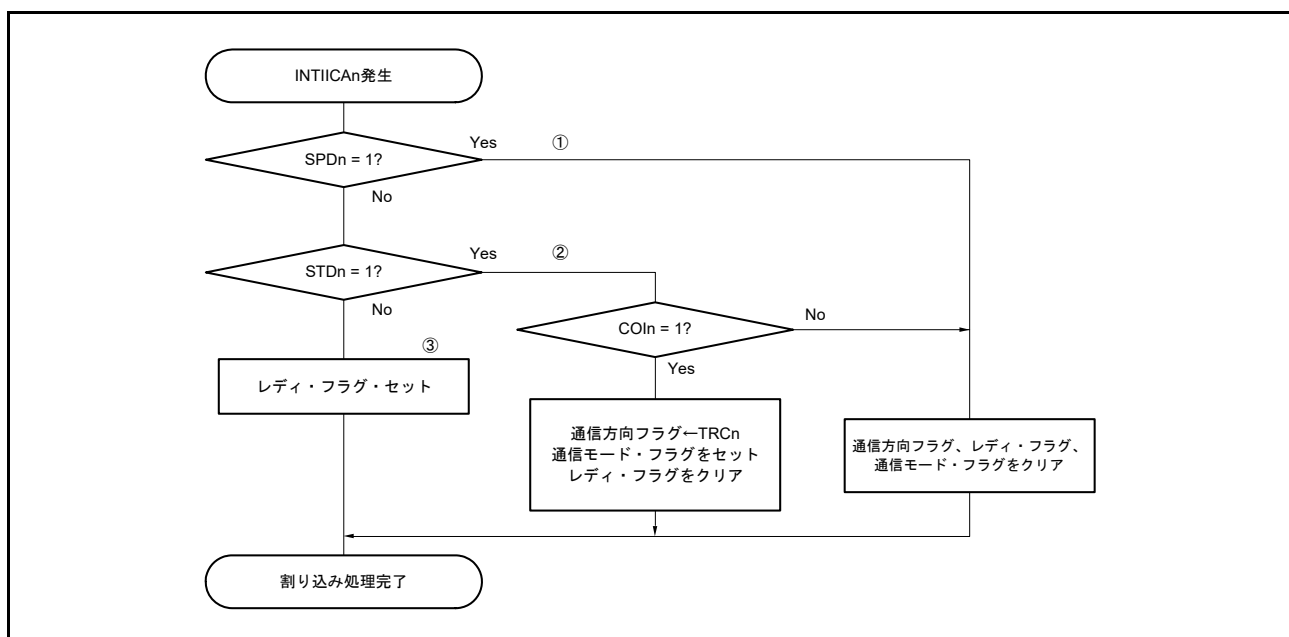
備考2. $n = 0, 1$

スレープのINTIICAn割り込みでの処理手順例を示します（ここでは全アドレス一致機能は無効状態で、拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、**図20-31 スレープ動作手順（2）**の①～③と対応しています。

図20-31 スレープ動作手順（2）



備考 n = 0, 1

20.5.17 I²C 割り込み要求信号 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n (IICSn) の値を示します。

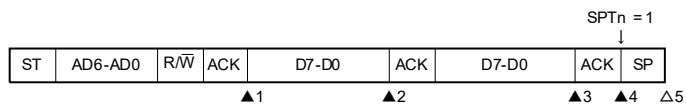
備考1. ST : スタート・コンディション
AD6-AD0 : アドレス
R/W : 転送方向指定
ACK : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

備考2. n = 0, 1

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIMn = 0 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×000B

▲3 : IICSn = 1000×000B (WTIMn ビットを1にセット) 注

▲4 : IICSn = 1000××00B (SPTn ビットを1にセット)

Δ5 : IICSn = 00000001B

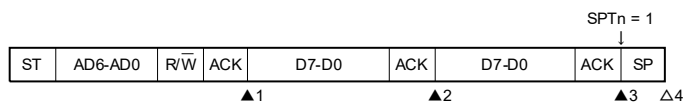
注 ストップ・コンディションを生成するために、WTIMn ビットを1にセットし、INTIICAn 割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×100B

▲3 : IICSn = 1000××00B (SPTn ビットを1にセット)

Δ4 : IICSn = 00000001B

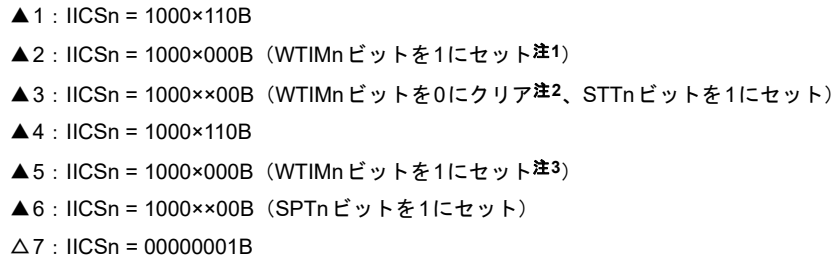
備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

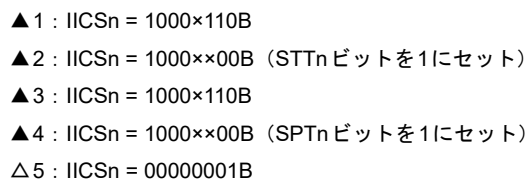
(i) $WTIM_n = 0$ のとき



注3. ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

× 任意

(ii) $WTIM_n = 1$ のとき



× 任意

備考 $n = 0, 1$

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMn = 0 のとき



▲1 : IICSn = 1010×110B

▲2 : IICSn = 1010×000B

▲3 : IICSn = 1010×000B (WTIMnビットを1にセット注)

▲4 : IICSn = 1010××00B (SPTnビットを1にセット)

▲5 : IICSn = 00000001B

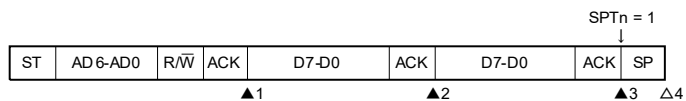
注 ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1010×110B

▲2 : IICSn = 1010×100B

▲3 : IICSn = 1010××00B (SPTnビットを1にセット)

▲4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

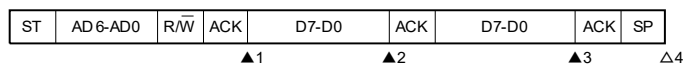
× 任意

備考 n = 0, 1

(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 0001×000B

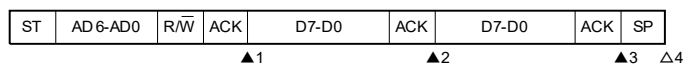
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001×100B

▲3 : IICSn = 0001××00B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

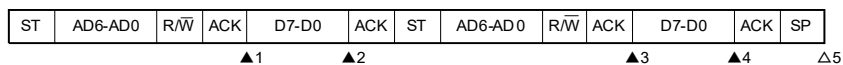
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 0001×110B

▲4 : IICSn = 0001×000B

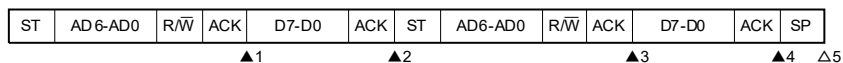
△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、SVAn一致、全アドレス一致機能停止)



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001××00B

▲3 : IICSn = 0001×110B

▲4 : IICSn = 0001××00B

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能停止))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 0010×010B

▲4 : IICSn = 0010×000B

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード、全アドレス一致機能停止))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3 ▲4		▲5	△6

▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001××00B

▲3 : IICSn = 0010×010B

▲4 : IICSn = 0010×110B

▲5 : IICSn = 0010××00B

△6 : IICSn = 00000001B

備考 ▲ 必ず発生

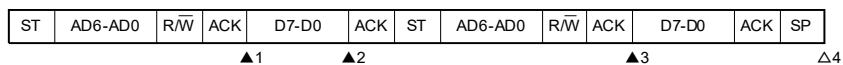
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 00000×10B

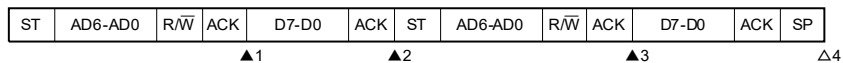
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0001×110B

▲2 : IICSn = 0001××00B

▲3 : IICSn = 00000×10B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

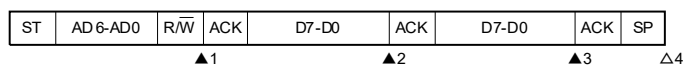
備考 n = 0, 1

(3) スレーブ動作 (拡張コード受信時、全アドレス一致機能停止)

拡張コード受信時は、常に通信に参加しています。

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×000B

▲3 : IICSn = 0010×000B

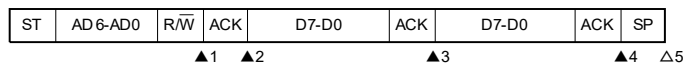
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×110B

▲3 : IICSn = 0010×100B

▲4 : IICSn = 0010××00B

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

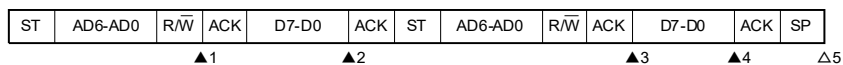
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、SVAn 一致、全アドレス一致機能停止)



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×000B

▲3 : IICSn = 0001×110B

▲4 : IICSn = 0001×000B

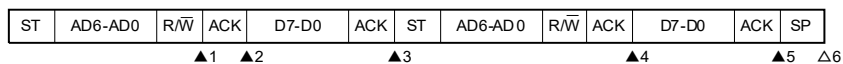
△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、SVAn 一致、全アドレス一致機能停止)



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×110B

▲3 : IICSn = 0010××00B

▲4 : IICSn = 0001×110B

▲5 : IICSn = 0001××00B

△6 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、拡張コード受信、全アドレス一致機能停止)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×000B

▲3 : IICSn = 0010×010B

▲4 : IICSn = 0010×000B

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、拡張コード受信、全アドレス一致機能停止)

ST	AD6-AD0	R $\overline{W}$	ACK	D7-D0	ACK	ST	AD6-AD0	R $\overline{W}$	ACK	D7-D0	ACK	SP
		▲1	▲2		▲3			▲4	▲5		▲6	▲7

▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×110B

▲3 : IICSn = 0010××00B

▲4 : IICSn = 0010×010B

▲5 : IICSn = 0010×110B

▲6 : IICSn = 0010××00B

△7 : IICSn = 00000001B

備考 ▲ 必ず発生

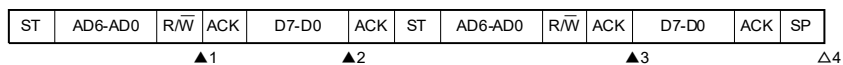
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×000B

▲3 : IICSn = 00000×10B

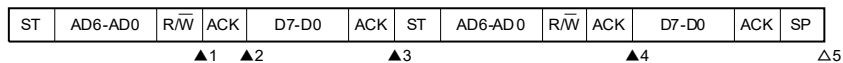
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外、全アドレス一致機能停止))



▲1 : IICSn = 0010×010B

▲2 : IICSn = 0010×110B

▲3 : IICSn = 0010××00B

▲4 : IICSn = 00000×10B

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

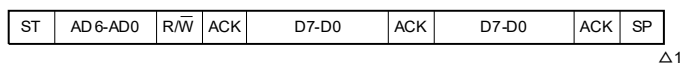
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



△1 : IICSn = 00000001B

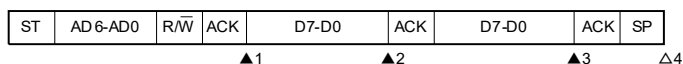
備考 △ SPIEn = 1 のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn フラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



▲1 : IICSn = 0101×110B

▲2 : IICSn = 0001×000B

▲3 : IICSn = 0001×000B

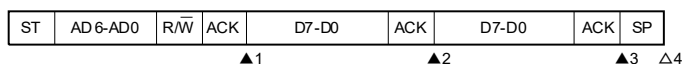
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 0101×110B

▲2 : IICSn = 0001×100B

▲3 : IICSn = 0001××00B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

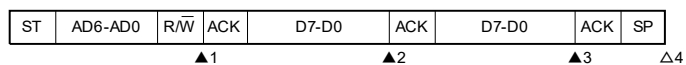
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合 (全アドレス一致機能停止)

(i) WTIMn = 0 のとき



▲1 : IICSn = 0110×010B

▲2 : IICSn = 0010×000B

▲3 : IICSn = 0010×000B

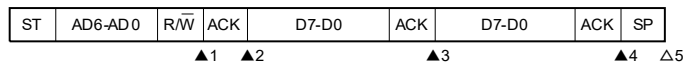
△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 0110×010B

▲2 : IICSn = 0010×110B

▲3 : IICSn = 0010×100B

▲4 : IICSn = 0010××00B

△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

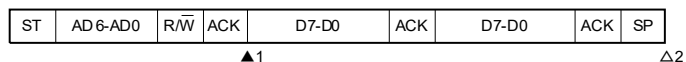
× 任意

備考 n = 0, 1

(6) アービトレーション負けの動作 (アービトレーション負けのあと、不参加)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn フラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIMn = 1 のとき)



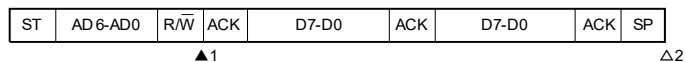
▲1 : IICSn = 01000110B

△2 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合 (全アドレス一致機能停止)



▲1 : IICSn = 0110×010B

ソフトウェアで LRELn = 1 を設定

△2 : IICSn = 00000001B

備考 ▲ 必ず発生

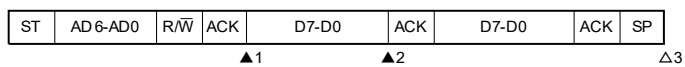
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



▲1 : IICSn = 10001110B

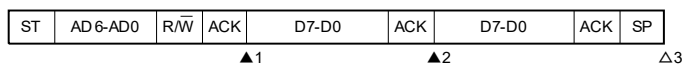
▲2 : IICSn = 01000000B

△3 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

(ii) WTIMn = 1 のとき



▲1 : IICSn = 10001110B

▲2 : IICSn = 01000100B

△3 : IICSn = 00000001B

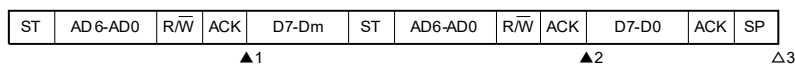
備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

備考 n = 0, 1

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVAn不一致、全アドレス一致機能停止)



▲1 : IICSn = 1000×110B

▲2 : IICSn = 01000110B

△3 : IICSn = 00000001B

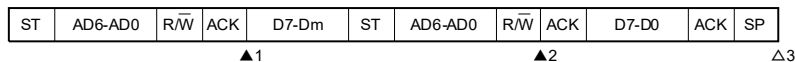
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

m = 6-0

(ii) 拡張コード (全アドレス一致機能停止)



▲1 : IICSn = 1000×110B

▲2 : IICSn = 01100010B

ソフトウェアでLRELn = 1を設定

△3 : IICSn = 00000001B

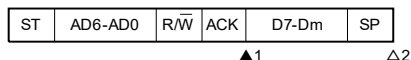
備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

× 任意

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1 : IICSn = 10000110B

△2 : IICSn = 01000001B

備考 ▲ 必ず発生

△ SPIEn = 1のときだけ発生

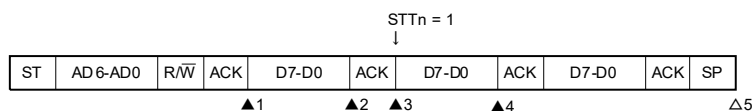
× 任意

m = 6-0

備考 n = 0, 1

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×000B (WTIMn ビットを1にセット)

▲3 : IICSn = 1000×100B (WTIMn ビットを0にクリア)

▲4 : IICSn = 01000000B

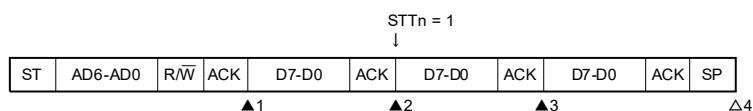
△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×100B (STTn ビットを1にセット)

▲3 : IICSn = 01000100B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

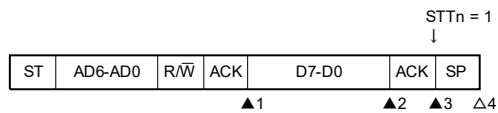
△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) $WTIMn = 0$ のとき



▲1 : $IICS_n = 1000 \times 110B$

▲2 : $IICS_n = 1000 \times 000B$ ($WTIM_n$ ビットを1にセット)

▲3 : $IICS_n = 1000 \times \times 00B$ (STT_n ビットを1にセット)

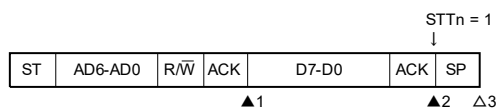
Δ4 : $IICS_n = 01000001B$

備考 ▲ 必ず発生

Δ $SPIEn = 1$ のときだけ発生

× 任意

(ii) $WTIMn = 1$ のとき



▲1 : $IICS_n = 1000 \times 110B$

▲2 : $IICS_n = 1000 \times \times 00B$ (STT_n ビットを1にセット)

Δ3 : $IICS_n = 01000001B$

備考 ▲ 必ず発生

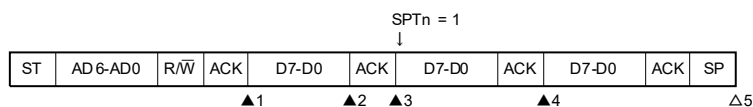
Δ $SPIEn = 1$ のときだけ発生

× 任意

備考 $n = 0, 1$

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×000B (WTIMn ビットを 1 にセット)

▲3 : IICSn = 1000×100B (WTIMn ビットを 0 にクリア)

▲4 : IICSn = 01000100B

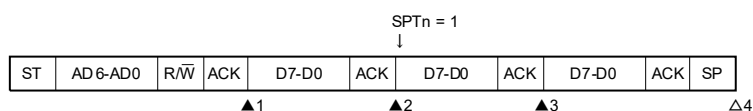
△5 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

(ii) WTIMn = 1 のとき



▲1 : IICSn = 1000×110B

▲2 : IICSn = 1000×100B (SPTn ビットを 1 にセット)

▲3 : IICSn = 01000100B

△4 : IICSn = 00000001B

備考 ▲ 必ず発生

△ SPIEn = 1 のときだけ発生

× 任意

備考 n = 0, 1

20.6 タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す IICA ステータス・レジスタ n (IICSn) の TRCn フラグを送信し、スレーブとのシリアル通信を開始します。

図 20 - 32 および図 20 - 33 にデータ通信のタイミング・チャートを示します。

シリアル・クロック (SCLAn) の立ち下がりに同期して IICA シフト・レジスタ n (IICAn) のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

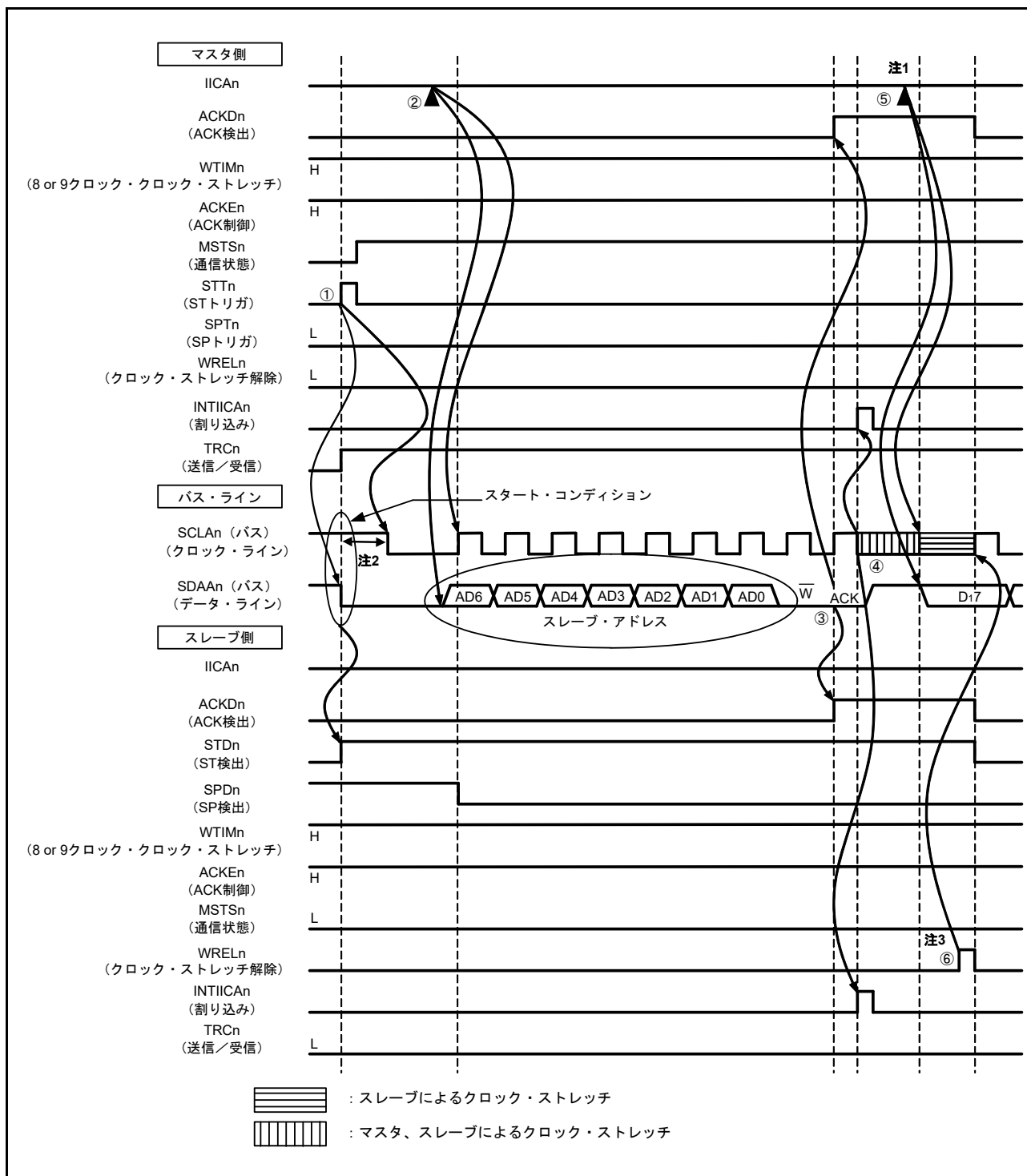
また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

本節で示すタイミング・チャートは、全アドレス一致機能は停止状態です。

備考 n = 0, 1

図20-32 マスタスレーブ通信例 (マスタ: 9クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (1/4)

(1) スタート・コンディション～アドレス～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図 20 - 32 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTSn = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ n ($IICAn$) にアドレス + W (送信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス ($SVAAn$ の値) が一致した場合^注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ④ 9 クロック目の立ち下がり、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブは、クロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側が $IICAn$ レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 ($WRELn = 1$) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しませんが ($NACK: SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 20 - 32 の①～⑮は、I²C バスによるデータ通信の一連の操作手順です。

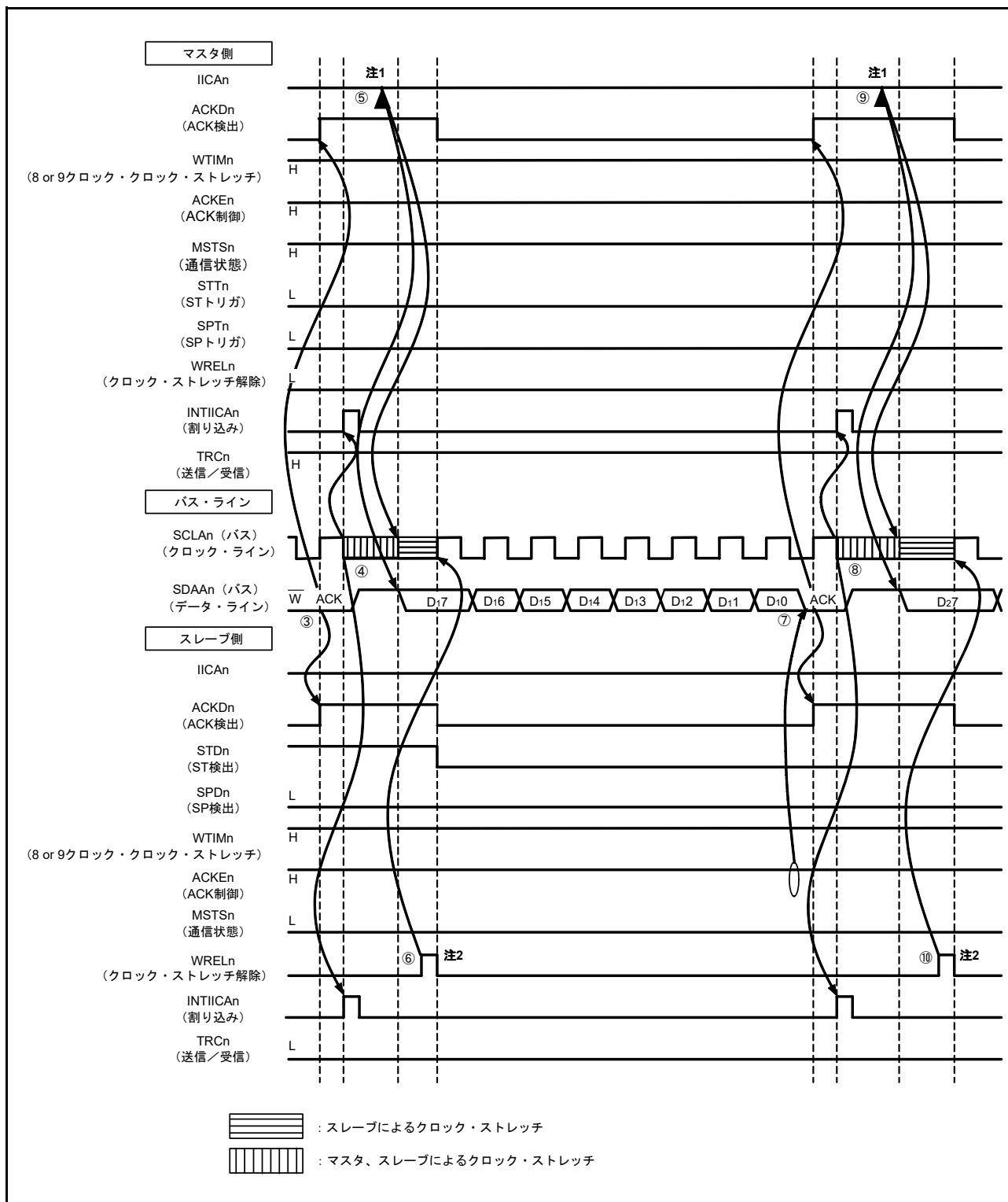
図 20 - 32 (1) スタート・コンディション～アドレス～データ : 手順①～⑥

図 20 - 32 (2) アドレス～データ～データ : 手順③～⑩

図 20 - 32 (3) データ～データ～ストップ・コンディション : 手順⑦～⑮

備考 2. $n = 0, 1$

図20-32 マスタスレーブ通信例 (マスタ: 9クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (2/4)
(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図 20 - 32 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合^注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 20 - 32 の①～⑮は、I²C バスによるデータ通信の一連の操作手順です。

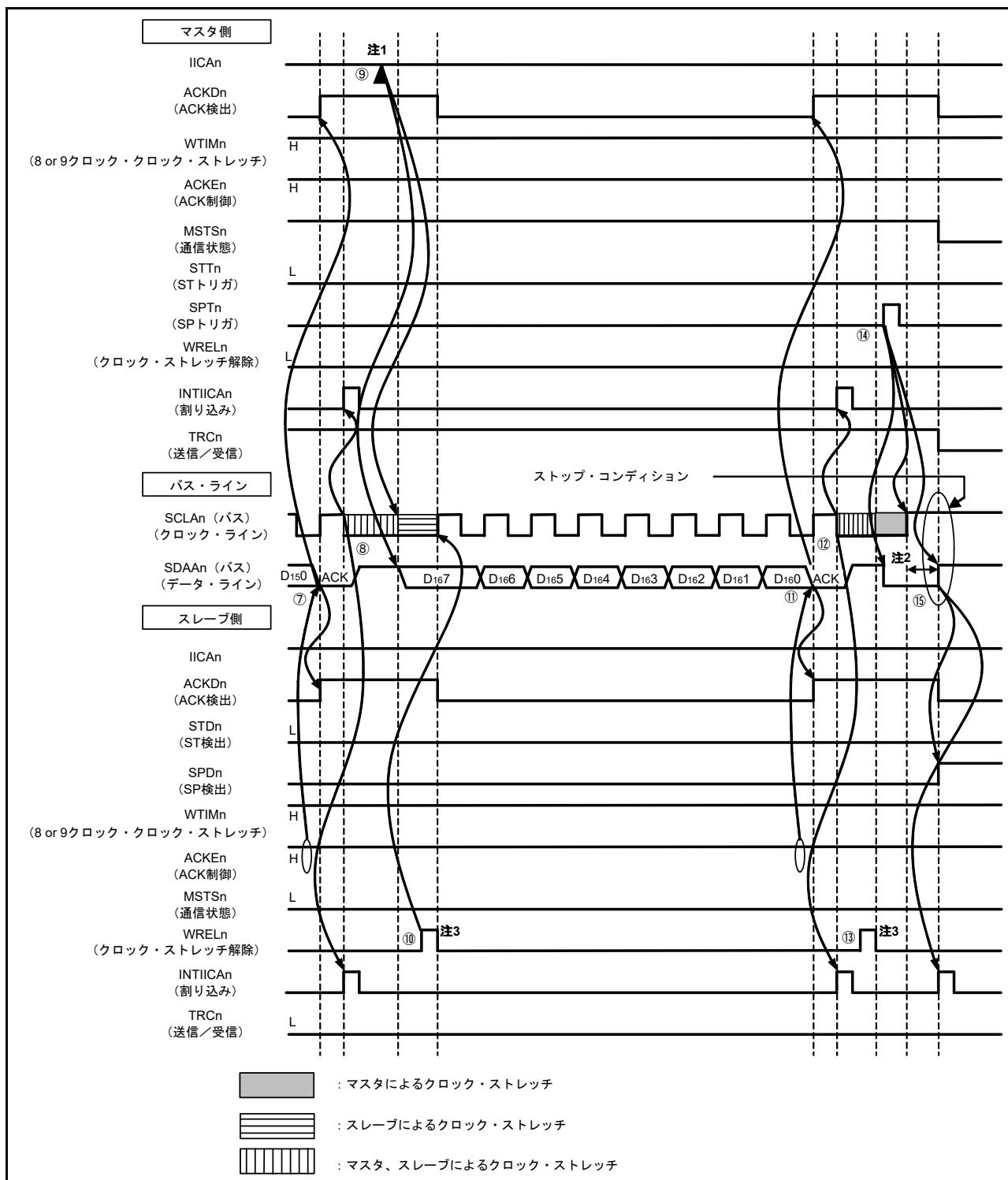
図 20 - 32 (1) スタート・コンディション～アドレス～データ : 手順①～⑥

図 20 - 32 (2) アドレス～データ～データ : 手順③～⑩

図 20 - 32 (3) データ～データ～ストップ・コンディション : 手順⑦～⑮

備考 2. n = 0, 1

図20-32 マスタスレーブ通信例 (マスタ: 9クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (3/4)
 (3) データ～データ～ストップ・コンディション



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

図 20 - 32 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑨ マスタ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側 (ACKEn = 1) のハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑫ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、バス・クロック・ラインがセット (SCLAn = 1) され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット (SDAAn = 1) されることでストップ・コンディション (SCLAn = 1 で SDAAn = 0 → 1) が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考 1. 図 20 - 32 の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

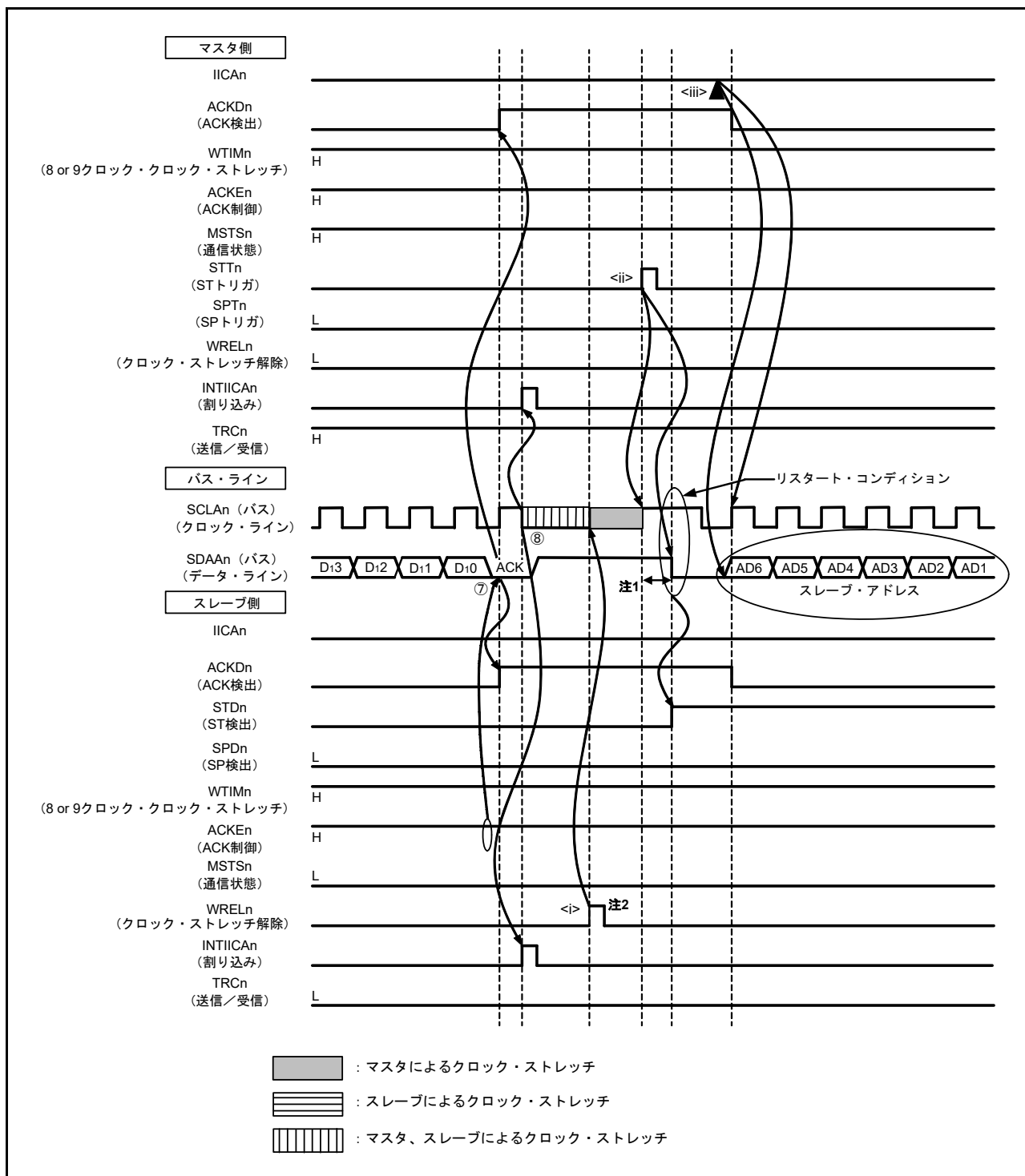
図 20 - 32 (1) スタート・コンディション～アドレス～データ : 手順①～⑥

図 20 - 32 (2) アドレス～データ～データ : 手順③～⑩

図 20 - 32 (3) データ～データ～ストップ・コンディション : 手順⑦～⑮

備考 2. n = 0, 1

図20-32 マスタスレーブ通信例 (マスタ: 9クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (4/4)
 (4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後、SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考 n = 0, 1

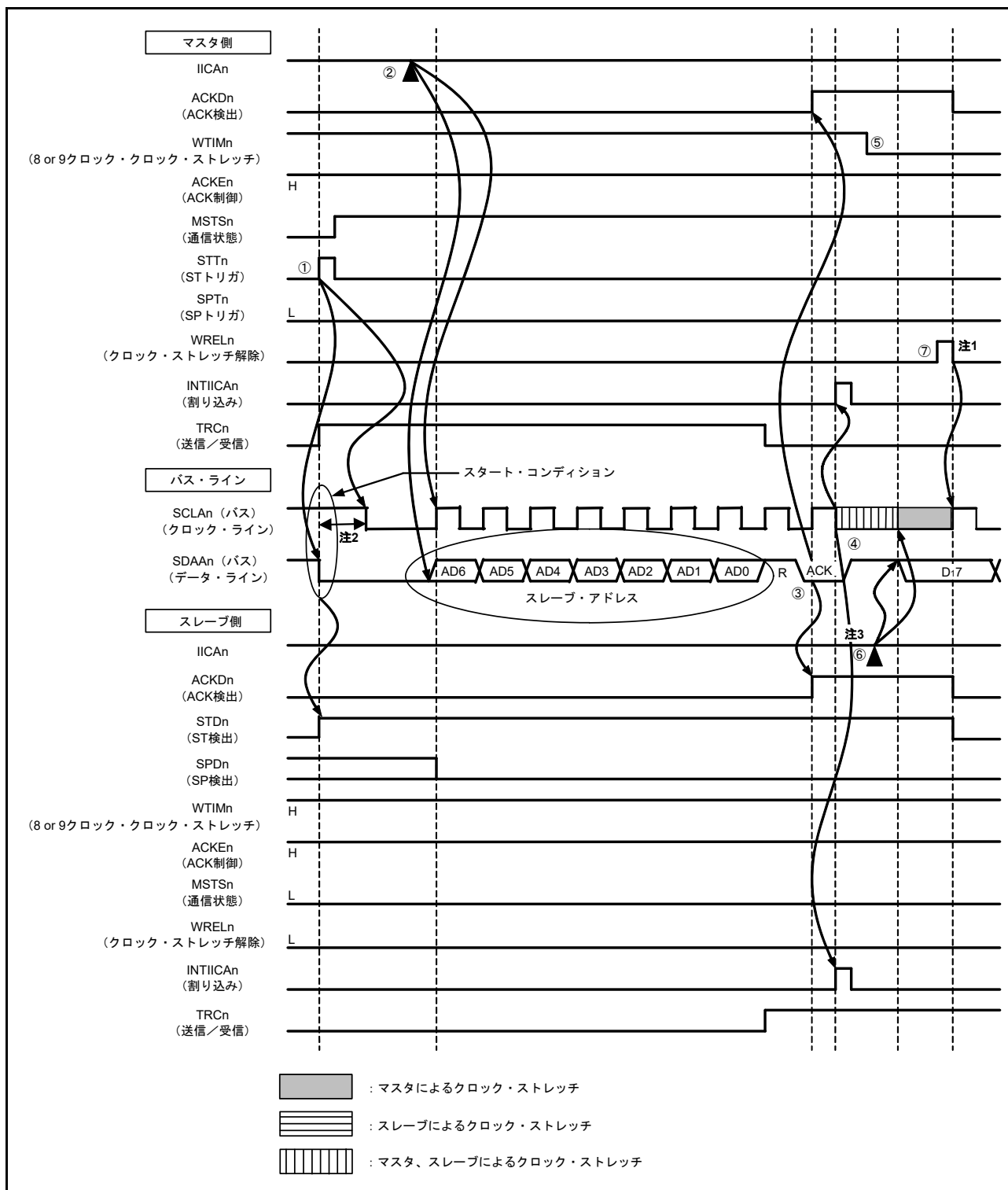
図 20 - 32 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦、⑧の動作後、<i> ~ <iii> の動作を行います。それにより、手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
 - <i> スレーブ側が受信データを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
 - <ii> マスタ側で再度スタート・コンディション・トリガがセット (STTn = 1) されると、バス・クロック・ラインが立ち上がり (SCLAn = 1)、リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDAAn = 0) が立ち下がり、スタート・コンディション (SCLAn = 1 で SDAAn = 1 → 0) が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCLAn = 0)、通信準備が完了となります。
 - <iii> マスタ側がIICAシフト・レジスタ n (IICAn) にアドレス + R/W (送信) を書き込むと、スレーブ・アドレスが送信されます。

備考 n = 0, 1

図20-33 スレーブ→マスタ通信例 (マスタ: 8クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (1/3)

(1) スタート・コンディション～アドレス～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。

注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考 n = 0, 1

図 20 - 33 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット ($STTn = 1$) されると、バス・データ・ライン ($SDAAn$) が立ち下がり、スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTSn = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側で IICA シフト・レジスタ n ($IICAn$) にアドレス + R (受信) が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス ($SVAAn$ の値) が一致した場合^注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ④ 9 クロック目の立ち下がりで、マスタ側の割り込み ($INTIICAn$: アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ ($SCLAn = 0$) をかけ、割り込み ($INTIICAn$: アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを 8 クロック目 ($WTIMn = 0$) に変更します。
- ⑥ スレーブ側が $IICAn$ レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 ($WRELn = 1$) して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません ($NACK : SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側は ACK, NACK の両方に対して、 $INTIICAn$ 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 20 - 33 の①～⑱は、I²C バスによるデータ通信の一連の操作手順です。

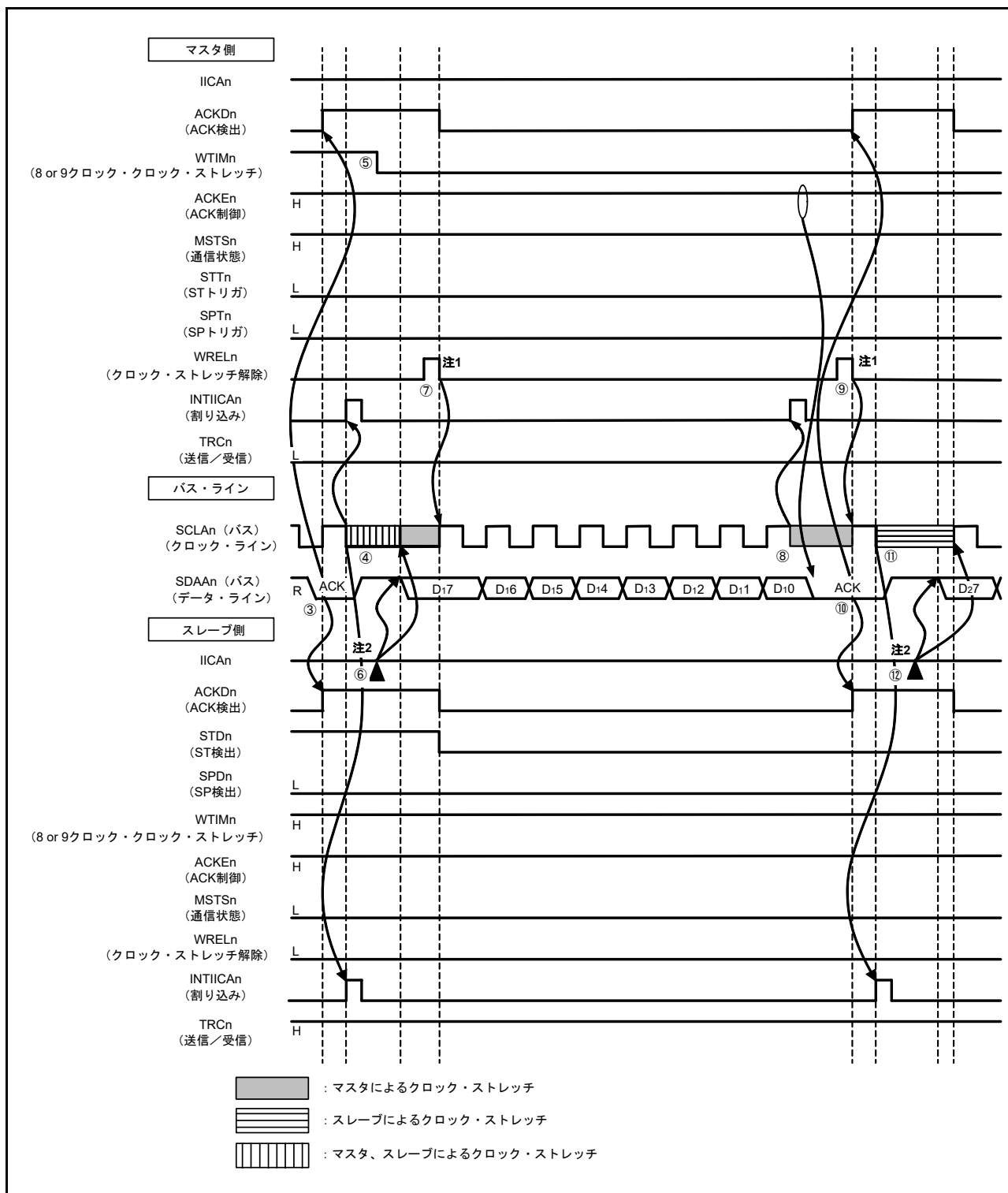
図 20 - 33 (1) スタート・コンディション～アドレス～データ : 手順①～⑦

図 20 - 33 (2) アドレス～データ～データ : 手順③～⑫

図 20 - 33 (3) データ～データ～ストップ・コンディション : 手順⑧～⑱

備考 2. $n = 0, 1$

図20-33 スレーブ→マスタ通信例 (マスタ: 8クロック、スレーブ: 9クロックでクロック・ストレッチ選択) (2/3)
(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考 n = 0, 1

図 20 - 33 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレス自局のアドレス (SVAn の値) が一致した場合^注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出 (ACKDn = 1) されます。
- ④ 9 クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : アドレス送信完了割り込み) が発生します。アドレスが一致したスレーブはクロック・ストレッチ (SCLAn = 0) をかけ、割り込み (INTIICAn : アドレス一致割り込み) が発生します^注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを 8 クロック目 (WTIMn = 0) に変更します。
- ⑥ スレーブ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除 (WRELn = 1) して、スレーブからのデータ転送を開始します。
- ⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側 ACKEn = 1 なのでハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKDn = 1) されます。
- ⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側が IICAn レジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側は ACK をマスタ側へ返しません (NACK : SDAAAn = 1)。また、スレーブ側の INTIICAn 割り込み (アドレス一致割り込み) は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側は ACK, NACK の両方に対して、INTIICAn 割り込み (アドレス送信完了割り込み) が発生します。

備考 1. 図 20 - 33 の①～⑭は、I²C バスによるデータ通信の一連の操作手順です。

図 20 - 33 (1) スタート・コンディション～アドレス～データ : 手順①～⑦

図 20 - 33 (2) アドレス～データ～データ : 手順③～⑫

図 20 - 33 (3) データ～データ～ストップ・コンディション : 手順⑧～⑭

備考 2. n = 0, 1

図20-33 スレーブ→マスタ通信例 (マスタ: 8→9クロック、スレーブ: 9クロックでクロック・ストレッチ選択)
(3/3)

(3) データ～データ～ストップ・コンディション

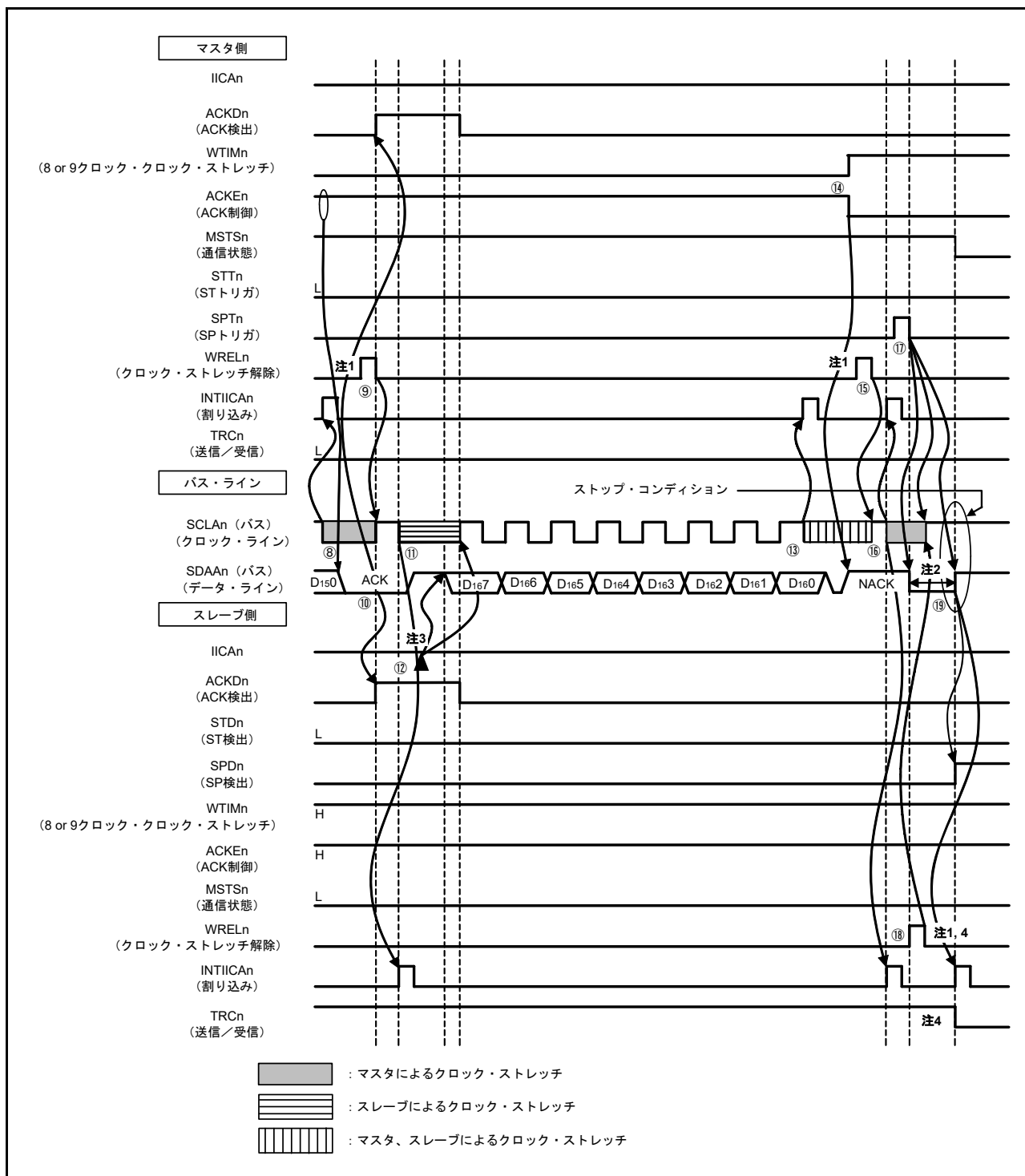


図 20 - 33 (3) データ～データ～ストップ・コンディションの⑧～⑱の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側は ACKEn = 0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除 (WRELn = 1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側で ACK が検出 (ACKDn = 1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、スレーブ側は割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑫ スレーブ側が IICA シフト・レジスタ n (IICAn) に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み (INTIICAn : 転送完了割り込み) が発生し、マスタ側によるクロック・ストレッチ (SCLAn = 0) がかかります。ACK 制御 (ACKEn = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDAAn = 0) となります。
- ⑭ マスタ側は NACK 応答に設定 (ACKEn = 0) し、クロック・ストレッチ・タイミングを 9クロック目 (WTIMn = 1) に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除 (WRELn = 1) すると、スレーブ側は 9クロック目の立ち上がりで NACK を検出 (ACKDn = 0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ (SCLAn = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- ⑰ マスタ側でストップ・コンディション発行 (SPTn = 1) すると、バス・データ・ラインがクリア (SDAAn = 0) され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されるまで待機します。
- ⑱ スレーブ側は NACK を確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除 (WRELn = 1) します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット (SCLAn = 1) されます。
- ⑲ マスタ側はバス・クロック・ラインがセット (SCLAn = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDAAn = 1) してストップ・コンディション (SCLAn = 1 で SDAAn = 0 → 1) を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICAn : ストップ・コンディション割り込み) が発生します。

備考 1. 図 20 - 33 の①～⑱は、I²Cバスによるデータ通信の一連の操作手順です。

図 20 - 33 (1) スタート・コンディション～アドレス～データ : 手順①～⑦

図 20 - 33 (2) アドレス～データ～データ : 手順③～⑫

図 20 - 33 (3) データ～データ～ストップ・コンディション : 手順⑧～⑱

備考 2. n = 0, 1

第21章 シリアル・インタフェース UARTA (UARTA)

シリアル・インタフェース UARTA のチャンネル数は、製品によって異なります。

ピン数	44ピン	48～64ピン		80, 100ピン
フラッシュ・メモリ	64-512 KB	64-128 KB	256-512 KB	128-512 KB
チャンネル数	2チャンネル	2チャンネル	3チャンネル	4チャンネル

21.1 概要

シリアル・インタフェース UARTAn には、次の 2 種類のモードがあります。

- (1) 動作停止モード
- シリアル通信を行わないときに使用するモードです。消費電力を低減できます。
- (2) UARTモード
- 連続送信機能対応の UART モードです。機能の概要を次に示します。

UARTAn は非同期通信です。以下に機能概要を示します。

- 最大転送速度：153.6 kbps
- 送受信は2端子構成
 - TxDAn：送信データ出力端子
 - RxDAn：受信データ入力端子
- 転送データのキャラクタ長は、5ビット／7ビット／8ビット可変
- 専用の8ビット・ポー・レート・ジェネレータ内蔵で任意のポー・レートの設定が可能
- 送信動作と受信動作は独立して動作可能（全二重動作）
- MSB/LSB ファースト転送選択可能
- 通信論理レベル反転制御が可能
- 送信クロック出力が可能（CLKAn）
- CPU／周辺ハードウェア・クロック（fCLK）と同期せずに独自に動作クロックを選択可能

備考	n：ユニット番号	44 ピン	: n = 0, 1
		48 ～ 64 ピン（フラッシュ・メモリ 64-128 KB の製品）	: n = 0, 1
		48 ～ 64 ピン（フラッシュ・メモリ 256-512 KB の製品）	: n = 0-2
		80, 100 ピン	: n = 0-3

図 21 - 1 に UArTAn のブロック図、表 21 - 1 に UArTAn の端子構成を示します。

図 21 - 1 UArTAn のブロック図

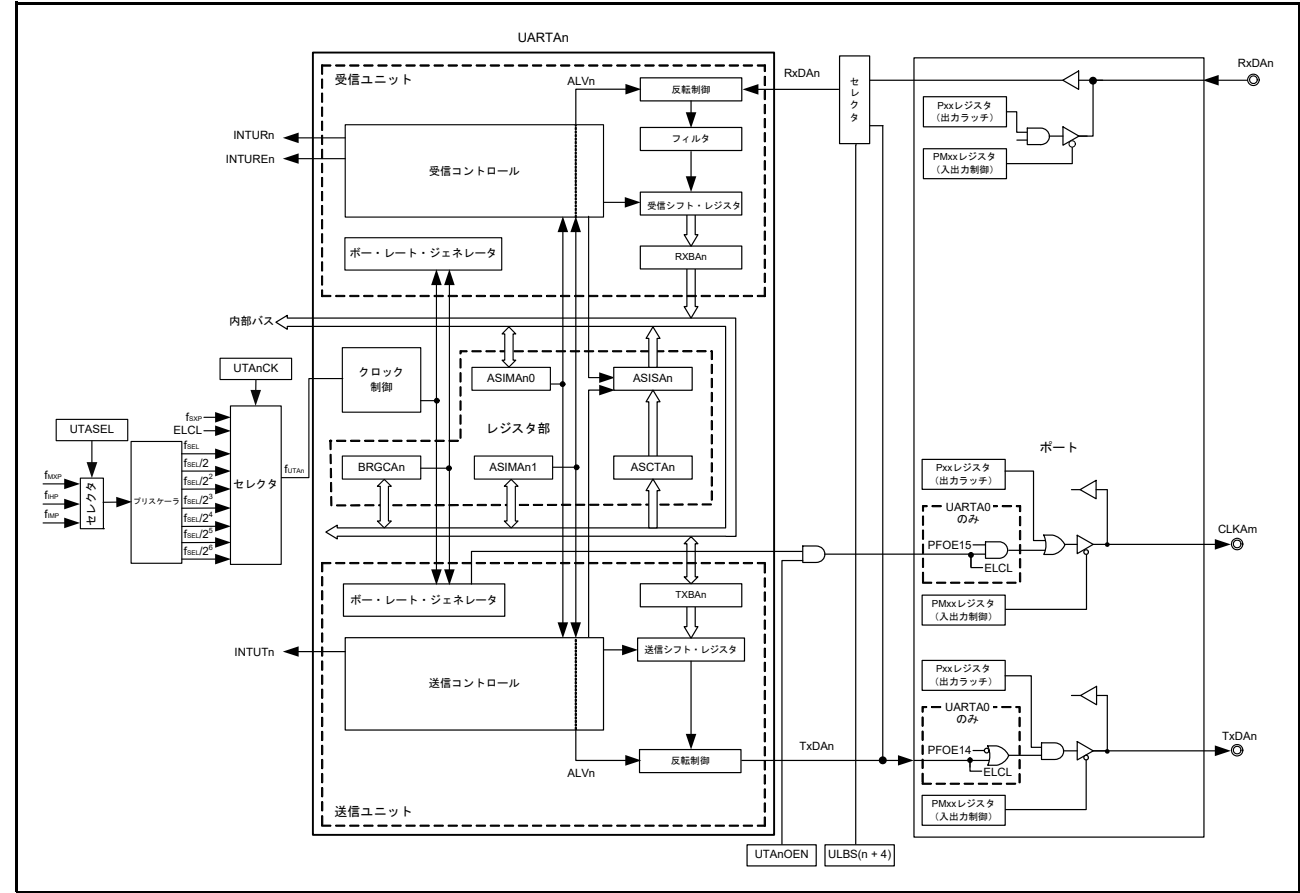


表21 - 1 UArTAnの端子構成

端子名	入出力	機能
RxDAn	入力	シリアル・データ入力信号
TxDAn	出力	シリアル・データ出力信号
CLKAm	出力	シリアル・クロック出力信号

- 備考1. fMXP : 高速周辺クロック周波数
fIHP : 高速オンチップ・オシレータ周辺クロック周波数
fIMP : 中速オンチップ・オシレータ周辺クロック周波数
fSXP : 低速周辺クロック周波数
fSEL : UArTA分周選択クロック
fUTAn : UArTAn動作クロック
ELCL : ELCLからのイベント入力

- 備考2. n : ユニット番号 44ピン : n = 0, 1
48～64ピン (フラッシュ・メモリ 64-128 KBの製品) : n = 0, 1
48～64ピン (フラッシュ・メモリ 256-512 KBの製品) : n = 0-2
80, 100ピン : n = 0-3
m : CLKAの端子番号 44～64ピン : m = 0
80, 100ピン : m = 0, 1

21.2 シリアル・インタフェース UARTA を制御するレジスタ

シリアル・インタフェース UARTA を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 1, 2 (PER1, PER2)
- 送信バッファ・レジスタ n (TXBAn)
- 受信バッファ・レジスタ n (RXBAn)
- 動作モード設定レジスタ n0 (ASIMAn0)
- 動作モード設定レジスタ n1 (ASIMAn1)
- ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn)
- ステータス・レジスタ n (ASISAn)
- ステータス・クリア・トリガ・レジスタ n (ASCTAn)
- UARTA クロック選択レジスタ n (UTAnCK)
- UART ループバック選択レジスタ (ULBS)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロール A・レジスタ (PMCAxx)
- ポート・モード・コントロール T・レジスタ (PMCTxx)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- LCD ポート・ファンクション・レジスタ (PFSEGx)

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.2.1 周辺イネーブル・レジスタ 1, 2 (PER1, PER2)

PER1, PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース UARTAnを使用する場合は、必ず PER1 レジスタの UTA0EN ビット、PER2 レジスタの UTA3EN-UTA1EN ビットに 1 を設定してください。

PER1, PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図21-2 周辺イネーブル・レジスタ1,2 (PER1, PER2) のフォーマット

アドレス : F00FAH(PER1), F00FCH(PER2)

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTA0EN	0	CTSUN

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	EXSDEN	OSDCEN	TKBEN	UTA3EN	UTA2EN	UTA1EN	TRJ1EN	TRJ0EN

UTAnEN	シリアル・インタフェース UARTAnの入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェース UARTAnで使用するSFRへのライト不可 ^注
1	入カクロック供給 ・シリアル・インタフェース UARTAnで使用するSFRへのリード／ライト可

注 リードした場合は、設定値にかかわらず00Hが読めます。

注意1. PER1のビット1には、必ず0を設定してください。

注意2. n = 0-2となる製品の場合、PER2のビット4には、必ず0を設定してください。

注意3. n = 0, 1となる製品の場合、PER2のビット4, 3には、必ず0を設定してください。

注意 4. UARTAnを使用する際には、必ず最初にUTAnEN = 1の設定を行ってください。UTAnEN = 0の場合は、UARTAnの制御レジスタへの書き込みは無視されます。

注意5. 製品によって、搭載している機能が異なります。PER1, PER2レジスタの詳細は、第6章 クロック発生回路を参照してください。

注意6. フラッシュ・メモリが64-128 KBの44～64ピンの製品の場合、PER2のビット1には、必ず0を設定してください。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.2.2 送信バッファ・レジスタ_n (TXBAn)

TXBAn レジスタは、送信データを設定するバッファ・レジスタです。

TXBAn レジスタに送信データを書き込むことにより、送信動作が開始されます。

TXBAn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21-3 送信バッファ・レジスタn (TXBAn) のフォーマット

アドレス : F0300H (TXBA0), F0610H (TXBA1), F0630H (TXBA2), F0650H (TXBA3)

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TXBAn								

ビット 7-0	機能
—	• キャラクタ長を8ビット指定した場合： 送信データはTXBAnのビット7-0が転送されます。 • キャラクタ長を7ビット指定した場合： MSB/LSB ファーストどちらの設定でも送信データはTXBAnのビット6-0が転送され、ビット7は無効になります。 • キャラクタ長を5ビット指定した場合： MSB/LSB ファーストどちらの設定でも送信データはTXBAnのビット4-0が転送され、ビット7-5は無効になります。

注意1. ASISAnレジスタのTXBFAnが1のとき、TXBAnレジスタに送信データを書き込まないでください。

注意2. ASIMAn0レジスタのTXEAnビットに1を設定したあと、UARTAn動作クロック（fUTAn）の1クロック以上の期間を待ってから、TXBAnレジスタに最初の送信データを設定してください。TXEAnビットに1を設定したあと、UARTAn動作クロックの1クロックを待たずに送信データを設定した場合はUARTAn動作クロックで1クロック送信開始が遅れます。

備考1. TXBAnレジスタから転送されたデータをシリアル・データとしてTxDAn端子から送信します。TXBAnレジスタからのデータ転送は、最初の送信時ではTXBAnレジスタの書き込み直後、連続送信時では1フレーム送信後の転送完了割り込み発生直前のタイミングで転送されます。

送信シフト・レジスタはプログラムで直接操作できません。

備考2. n : ユニット番号

44 ピン	: n = 0, 1
48～64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
48～64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
80, 100 ピン	: n = 0-3

21.2.3 受信バッファ・レジスタ n (RXBAn)

RXBA_n レジスタは、受信シフト・レジスタで変換したパラレル・データを格納するためのレジスタです。データを 1 バイト受信するごとに受信シフト・レジスタ^注から新たな受信データが転送されます。

RXBAn レジスタは、8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、FFH になります。

注 RxDAn端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

受信シフト・レジスタはプログラムで直接操作できません。

図21-4 受信バッファ・レジスタn (RXBAn) のフォーマット

アドレス : F0301H (RXBA0), F0611H (RXBA1), F0631H (RXBA2), F0651H (RXBA3)

リセット時: FFH

R/W属性 : R

略号	7	6	5	4	3	2	1	0
RXBAn								

ビット 7-0	機能
—	• キャラクタ長を8ビット指定した場合： 受信データは本レジスタのビット7-0に転送されます。 • キャラクタ長を7ビット指定した場合： MSB/LSB ファーストどちらの設定でも受信データは本レジスタのビット6-0に転送され、ビット7は必ず0になります。 • キャラクタ長を5ビット指定した場合： MSB/LSB ファーストどちらの設定でも受信データは本レジスタのビット4-0に転送され、ビット7-5は必ず0になります。

注意 オーバーラン・エラー（OVEAn）が発生した場合、そのときの受信データはRXBAnレジスタには格納されません。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.2.4 動作モード設定レジスタ n0 (ASIMAn0)

シリアル・インタフェース UARTAn のシリアル通信動作を制御する 8 ビット・レジスタです。
 ASIMAn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
 リセット信号の発生により、01H になります。

図21-5 動作モード設定レジスタ n0 (ASIMAn0) のフォーマット

アドレス : F0302H (ASIMA00), F0612H (ASIMA10), F0632H (ASIMA20), F0652H (ASIMA30)

リセット時: 01H

R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
ASIMAn0	UARTAENn	TXEAn	RXEAn	0	0	0	ISSMAn	ISRMAAn

UARTAENn 注1	UART 動作許可
0	UART 動作クロック動作禁止、内部回路をリセット注2
1	UART 動作クロック動作許可

TXEAn	送信許可
0	送信動作禁止 (送信回路をリセットする)
1	送信動作許可

RXEAn	受信許可
0	受信動作禁止 (受信回路をリセットする)
1	受信動作許可

ISSMAn	送信割り込みモード選択
0	送信転送完了時、INTUTn 割り込みを発生
1	送信バッファ空き時に INTUTn 割り込みを発生 (連続送信用)

ISRMAAn	受信割り込みモード選択
0	受信エラー発生時、INTUREn 割り込みを発生 (INTURn は発生しない)
1	受信エラー発生時、INTURn 割り込みを発生 (INTUREn は発生しない)

注1. UARTAENn = 0 にすると、ALVn ビットの値によって TxDAn 端子の出力レベル、RxDAn 端子からの入力レベルは、次のようになります。

- ALVn = 0 時は、TxDAn 端子の出力はハイ・レベルとなります。
- ALVn = 1 時は、TxDAn 端子の出力はロウ・レベルとなります。

注2. UARTAENn = 0 でリセットされるレジスタは ASISAn, RXBAn レジスタです。

注意1. ビット4-2には、必ず0を設定してください。

注意2. 送信開始するときは、UARTAENn = 1 にしてから TXEAn = 1 としてください。

送信停止するときは、TXEAn = 0 にしてから UARTAENn = 0 にしてください。

注意3. 受信開始するときは、UARTAENn = 1 にしてから RXEAn = 1 としてください。

受信停止するときは、RXEAn = 0 にしてから UARTAENn = 0 にしてください。

(注意、備考は次ページに続きます)

注意4. $UARTAENn = 1 \rightarrow RXEAn = 1$ を設定する場合、次のようにしてください。

- $ALVn = 0$ 時は、 $RxDAn$ 端子にハイ・レベルが入力された状態で実施してください。
ロウ・レベル状態で $UARTAENn = 1 \rightarrow RXEAn = 1$ と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。
- $ALVn = 1$ 時は、 $RxDAn$ 端子にロウ・レベルが入力された状態で実施してください。
ハイ・レベル状態で $UARTAENn = 1 \rightarrow RXEAn = 1$ と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。

注意5. $TXEAn$ ビットと $RXEAn$ ビットは、 $UARTAn$ 動作クロック (f_{UTAn}) により同期化されています。再度送信動作、または受信動作を許可する場合は $TXEAn = 0$ または $RXEAn = 0$ に設定してから $UARTAn$ 動作クロックの2クロック以降に $TXEAn = 1$ または $RXEAn = 1$ を設定してください。 $UARTAn$ 動作クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。

注意6. $TXEAn = 1$ に設定後、 $UARTAn$ 動作クロック (f_{UTAn}) 1クロック以上まってから、 $TXBAn$ レジスタに送信データを設定してください。

注意7. $ISRMAAn$ ビットを書き換えるときは、 $RXEAn = 0$ にしてから行ってください。

備考	n : ユニット番号	44ピン	: $n = 0, 1$
		48～64ピン (フラッシュ・メモリ 64-128 KBの製品)	: $n = 0, 1$
		48～64ピン (フラッシュ・メモリ 256-512 KBの製品)	: $n = 0-2$
		80, 100ピン	: $n = 0-3$

21.2.5 動作モード設定レジスタ n1 (ASIMAn1)

シリアル・インタフェース UARTAn のシリアル通信動作を制御する 8 ビット・レジスタです。

ASIMAn1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

ASIMAn1 レジスタは、TXEAn = 0 かつ RXEAn = 0 の状態で書き換えてください。

リセット信号の発生により、1AH になります。

図 21 - 6 動作モード設定レジスタ n1 (ASIMAn1) のフォーマット

アドレス : F0303H (ASIMA01), F0613H (ASIMA11), F0633H (ASIMA21), F0653H (ASIMA31)

リセット時: 1AH

R/W属性 : R/W

略号

7

6

5

4

3

2

1

0

ASIMAn1

0

PSn1

PSn0

CLn1

CLn0

SLn

DIRn

ALVn

PSn1	PSn0	送受信パリティ・ビット指定1、送受信パリティ・ビット指定0	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信 ^注
1	0	奇数パリティを出力	奇数パリティとして判定
1	1	偶数パリティを出力	偶数パリティとして判定

CLn1	CLn0	送受信キャラクタ長指定1、送受信キャラクタ長指定0
0	0	データのキャラクタ長 = 5ビット
0	1	設定禁止
1	0	データのキャラクタ長 = 7ビット
1	1	データのキャラクタ長 = 8ビット

SLn	送信ストップ・ビット長指定
0	ストップ・ビット長 = 1ビット
1	ストップ・ビット長 = 2ビット

DIRn	送受信転送順序指定
0	MSB ファースト転送
1	LSB ファースト転送

ALVn	送受信レベル指定
0	正論理（待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル、ストップ・ビット = ハイ・レベル）
1	負論理（待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル、ストップ・ビット = ロウ・レベル）

注 「0パリティとして受信」を設定した場合、パリティ判定を行いません。したがって、PEAn (ASISAn レジスタ) はセットされないため、受信エラー割り込みも発生しません。

(注意、備考は次ページに続きます)

注意1. ASIMAn1レジスタを書き換えるときは、TXEAnビットとRXEAnビットを両方とも0にクリアしてから行ってください。

注意2. 受信は常に“ストップ・ビット長 = 1”として動作します。SLnビットの設定値の影響は受けません。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.2.6 ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCA_n)

シリアル・インタフェース UARTA_n の 8 ビット・カウンタの分周値を設定するレジスタです。

BRGCA_n レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図21-7 ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCA_n) のフォーマット

アドレス : F0304H (BRGCA0), F0614H (BRGCA1), F0634H (BRGCA2), F0654H (BRGCA3)

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
BRGCA _n								
ビット 7-0	機能							
—	UARTのボー・レート（シリアル転送スピード）を制御する。 設定値の詳細は、表21-2を参照してください。							

注意 BRGCA_n レジスタはTXEA_n = 0, RXEA_n = 0時（送受信動作停止時）に書き換えてください。

表21-2 BRGCA_nの設定値

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	k	8ビット・カウンタ出力クロック選択
0	0	0	0	0	0	0	×	×	設定禁止
0	0	0	0	0	0	1	0	2	f _{UTAn} /2
0	0	0	0	0	0	1	1	3	f _{UTAn} /3
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{UTAn} /252
1	1	1	1	1	1	0	1	253	f _{UTAn} /253
1	1	1	1	1	1	1	0	254	f _{UTAn} /254
1	1	1	1	1	1	1	1	255	f _{UTAn} /255

注意 8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値になります。

備考1. k : BRGCA_n レジスタで設定した値 (k = 2, 3, 4, ..., 255)

備考2. × : 任意

ボー・レートの設定例については、21.3.4 (3) (c) ボー・レート設定例を参照してください。

備考3. n : ユニット番号 44ピン : n = 0, 1

48～64ピン（フラッシュ・メモリ 64-128 KBの製品） : n = 0, 1

48～64ピン（フラッシュ・メモリ 256-512 KBの製品） : n = 0-2

80, 100ピン : n = 0-3

21.2.7 ステータス・レジスタ n (ASISAn)

シリアル・インタフェース UARTAn の受信終了時のエラー・ステータスおよび送信ステータスを示すレジスタです。3 ビットのエラー・フラグ (PEAn, FEAn, OVEAn) と 2 ビットの実送信ステータス・フラグ (TXBFAn, TXSFAn) で構成されています。

ASISAn レジスタは、8 ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により、00H になります。PEAn, FEAn, OVEAn ビットは、UARTAENn = 0 または RXEAn = 0 により、初期値になります。また、ASCTAn レジスタへの書き込みによって、それぞれ対応するフラグは初期値になります。TXBFAn, TXSFAn ビットは UARTAENn = 0 または TXEAn = 0 により、初期値になります。

図21-8 ステータス・レジスタ n (ASISAn) のフォーマット (1/2)

アドレス : F0305H (ASISA0), F0615H (ASISA1), F0635H (ASISA2), F0655H (ASISA3)

リセット時: 00H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
ASISAn	0	0	TXBFAn	TXSFAn	0	PEAn	FEAn	OVEAn

TXBFAn	送信バッファ・データ・フラグ
—	[1になる条件] ・ TXBAn レジスタにデータを書いたとき (TXBAn レジスタにデータが存在するとき) [0になる条件] ・ UARTAENn = 0 または TXEAn = 0 にしたとき ・ 送信シフト・レジスタにデータを転送したとき

TXSFAn	送信シフト・レジスタ・データ・フラグ
—	[1になる条件] ・ TXBAn レジスタよりデータが転送されたとき (データ送信中のとき) [0になる条件] ・ UARTAENn = 0 または TXEAn = 0 にしたとき ・ 転送完了後に TXBAn レジスタより次のデータ転送がなかったとき

PEAn	パリティ・エラー・フラグ
—	[1になる条件] ・ 受信時にデータのパリティとパリティ・ビットが一致しないとき [0になる条件] ・ UARTAENn = 0 または RXEAn = 0 にしたとき ・ PECTAn ビットへ 1 を書いたとき

FEAn	フレーミング・エラー・フラグ
—	[1になる条件] ・ 受信時にストップ・ビットが検出されないとき [0になる条件] ・ UARTAENn = 0 または RXEAn = 0 にしたとき ・ FECTAn ビットへ 1 を書いたとき

図21-8 ステータス・レジスタn (ASISAn) のフォーマット (2/2)

OVEAn	オーバラン・エラー・フラグ
—	[1になる条件] • RXBAnレジスタにセットされた受信データを読み出す前に次の受信動作が完了したとき [0になる条件] • UARTEAn = 0 または RXEAn = 0 にしたとき • OVECTAn ビットへ1を書いたとき

注意1. 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBAnレジスタに書き込んだあと、必ずTXBFAnフラグが0であることを確認してから次の送信データ（2バイト目）をTXBAnレジスタに書き込んでください。TXBFAnフラグが1のときにTXBAnレジスタにデータを書き込んだ場合、送信データは不定になります。ただし、ISSMA_n = 1に設定し、バッファ空き割り込みを使用して連続送信を行う場合は、TXBFAnフラグの確認は不要です。

注意2. 連続送信完了時に送信ユニットを初期化（TXEAn = 0）する場合は、転送完了割り込み発生後に、必ずTXSFAnフラグが0であることを確認してから初期化を実行してください。TXSFAnフラグが1のときに初期化を実行した場合、送信データは不定になります。

注意3. PEAnビットの動作は、ASIMAn1レジスタのPSn1, PSn0ビットの設定値により異なります。

注意4. 受信データのストップ・ビットはストップ・ビット長に関係なく最初の1ビットだけをチェックします。

注意5. オーバーラン・エラーが発生した場合、次の受信データはRXBAnレジスタには書き込まれず、データは破棄されます。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.2.8 ステータス・クリア・トリガ・レジスタ_n (ASCTA_n)

シリアル・インタフェース UARTAn の受信終了時のエラー・ステータスをクリアするトリガを設定するレジスタです。3 ビットのエラー・クリア・トリガ・フラグ (PECTAn, FEECTAn, OVECTAn) で構成されています。

ASCTAn レジスタは、8 ビット・メモリ操作命令または 1 ビット・メモリ操作命令で書き込みが可能です。

ASCTAn レジスタの読み出し値は常に 00H になります。

リセット信号の発生により、00H になります。PECTAn, FECTAn, OVECTAn ビットへ 1 を書き込むことにより、ASISAn レジスタの PEAAn, FEAn, OVEAn ビットがクリアされます。0 を書き込んだビットに対応するエラー・フラグはクリアされません。

図21-9 ステータス・クリア・トリガ・レジスタ_n (ASCTA_n) のフォーマット

アドレス : F0306H (ASCTA0), F0616H (ASCTA1), F0636H (ASCTA2), F0656H (ASCTA3)

リセット時: 00H

R/W属性 : R/W

[illegible]

注 読み出すと、0が読めます。

注意 エラー・フラグのクリア動作は、トリガ・ビットへ1を書き込み後、次の動作クロック（fUTAn）の立ち上がりで行われます。したがって、トリガ・ビットへ1を書き込み後すぐにASISAnレジスタを読み出した場合、対応するエラー・フラグがクリアされていない場合があります。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48～64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.2.9 UARTAクロック選択レジスタ n (UTAnCK)

UTAnCK レジスタは、UARTAn の動作クロックを選択するレジスタです。UTASEL1, 0 ビットで UARTAn の fSEL としてのクロックソースを fMXP, fIH, fIMP から選択し、UTA0CK3-UTA0CK0 ビットで UARTAn の動作クロックとして fSEL の 1 ~ 64 分周、fsXP, ELCL から選択します。

UTAmOEN ビットに 1 を設定することで UARTAn クロック出力モードが選択され、CLKAm 端子から UARTAn の動作クロックを出力します。

UTAnCK レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 21 - 10 UARTAクロック選択レジスタ n (UTAnCK) のフォーマット (1/2)

アドレス : F0310H (UTA0CK), F0620H (UTA1CK), F0640H (UTA2CK), F0660H (UTA3CK)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
UTA0CK	UTA0OEN	0	UTA0SEL1	UTA0SEL0	UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0

略号	7	6	5	4	3	2	1	0
UTA1CK	UTA1OEN	0	UTA1SEL1	UTA1SEL0	UTA1CK3	UTA1CK2	UTA1CK1	UTA1CK0

略号	7	6	5	4	3	2	1	0
UTA2CK	0	0	UTA2SEL1	UTA2SEL0	UTA2CK3	UTA2CK2	UTA2CK1	UTA2CK0

略号	7	6	5	4	3	2	1	0
UTA3CK	0	0	UTA3SEL1	UTA3SEL0	UTA3CK3	UTA3CK2	UTA3CK1	UTA3CK0

UTAmOEN	UARTAn クロック出力機能の許可
0	CLKAm 出力禁止
1	CLKAm 出力許可

UTAnSEL1	UTAnSEL0	fSEL クロック選択
0	0	停止
0	1	fMXP
1	0	fIH
1	1	fIMP

図21 - 10 UARTAクロック選択レジスタn (UTAnCK) のフォーマット (2/2)

UTAnCK3	UTAnCK2	UTAnCK1	UTAnCK0	UARTAn動作クロック選択 (fUTAn)
0	0	0	0	fSEL
0	0	0	1	fSEL/2
0	0	1	0	fSEL/4
0	0	1	1	fSEL/8
0	1	0	0	fSEL/16
0	1	0	1	fSEL/32
0	1	1	0	fSEL/64
1	0	0	0	fSXP
1	0	0	1	ELCL
上記以外				設定禁止

注意1. 本レジスタのアクセスは、TXEAn = 0, RXEAn = 0時（送受信停止時）に行ってください。

注意2. 44～64ピン製品にはCLKA1出力端子を搭載していないため、UTA10ENには0を設定してください。

注意3. UTA2CKレジスタ、UTA3CKレジスタのビット7に必ず0を設定してください。

注意4. オプション・バイトのFRQSEL4ビットが1かつUTASEL1-0ビットの設定により、fSELクロックにfiHPを選択しているときは、UTA0CK3-0ビットに0000Bを設定しないでください。

備考1. fMXP : 高速周辺クロック

fiHP : 高速オンチップ・オシレータ周辺クロック

fiMP : 中速オンチップ・オシレータ周辺クロック

fSXP : 低速周辺クロック

fSEL : UARTA分周選択クロック

ELCL : ELCLからのイベント入力

備考2. n : ユニット番号 44ピン : n = 0, 1

48～64ピン（フラッシュ・メモリ 64-128 KBの製品） : n = 0, 1

48～64ピン（フラッシュ・メモリ 256-512 KBの製品） : n = 0-2

80, 100ピン : n = 0-3

m : CLKAの端子番号 44～64ピン : m = 0

80, 100ピン : m = 0, 1

21.2.10 UARTループバック選択レジスタ (ULBS)

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネルごとに制御できるビットを持ち、各チャンネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 21 - 11 UARTループバック選択レジスタ (ULBS) のフォーマット

アドレス : F0079H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	ULBS7	ULBS6	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBS7	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA3の RxDA3の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS6	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA2の RxDA2の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS5	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA1の RxDA1の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS4	UARTループバック機能の選択							
0	シリアル・インタフェース UARTA0の RxDA0の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

注意 UARTA0について、ループバック機能を使用する場合は、ポート・ファンクション出力許可レジスタ1 (PFOE1) のPFOE14ビットに1を設定してください。

備考 RxDA2端子はフラッシュ・メモリ 256-512 KBの48～64ピン製品、80, 100ピン製品のみ使用可能
RxDA3端子は80, 100ピンの製品のみ使用可能

21.2.11 シリアル・インタフェース UARTA 入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース UARTA 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・ファンクション出力許可レジスタ (PFOEx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.4 ポート入力モード・レジスタ (PIMxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.14 ポート・ファンクション出力許可レジスタ (PFOEx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

異電位 (1.8 V 系、2.5 V 系、3 V 系) で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位 (1.8 V 系、2.5 V 系、3 V 系) 対応を参照してください。

21.3 動作説明

UARTAn は、次の 2 種類のモードがあります。

- 動作停止モード
- UART モード

21.3.1 動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIMAn0 レジスタのビット 7-5 (UARTAENn, TXEAn, RXEAn) に 0 を設定してください。

上記設定ではバス・クロックが停止しません。完全に停止させるためには上記設定後 PER1, PER2 レジスタの UTAAnEN ビットに 0 を設定してください。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.3.2 UART モード

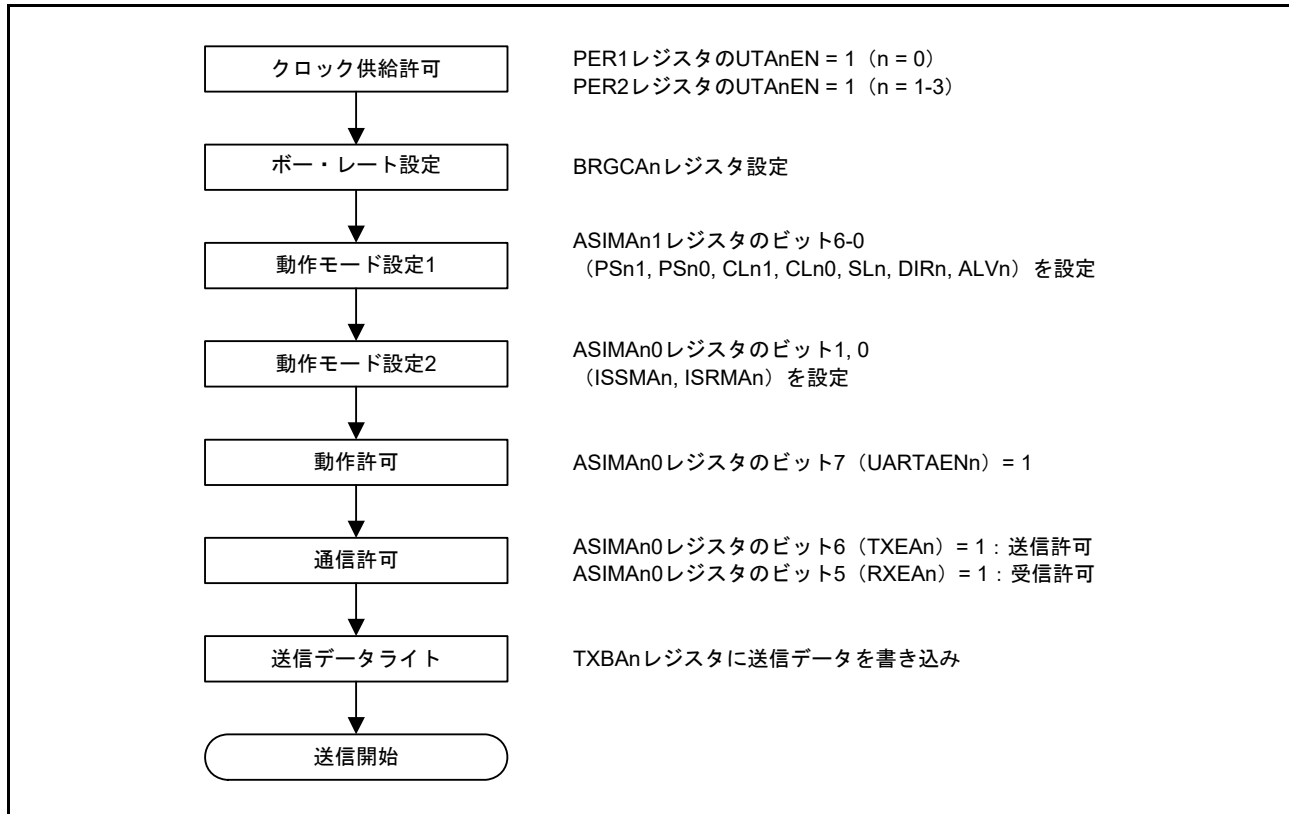
スタート・ビットに続く 1 バイトのデータを送受信するモードで、全二重動作が可能です。

UART 専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

(1) 通信手順

図21 - 12に通信手順フローを示します。

図21-12 通信手順フロー



注意 受信機能を使用する場合は、受信するポートをポート関連のレジスタで入力モードに設定してください。

送信機能を使用する場合は、送信するポートのポート・レジスタ（Pxx）で初期出力レベルを設定し、次にそのポートをポート関連のレジスタで出力に設定してください。この設定は送信を許可する前に行ってください。

設定するポート関連のレジスタは、使用するチャネルや製品によって異なります。詳細は、4.5 兼用機能使用時のレジスタ設定を参照してください。

異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスと接続する場合は、4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応を参照してください。

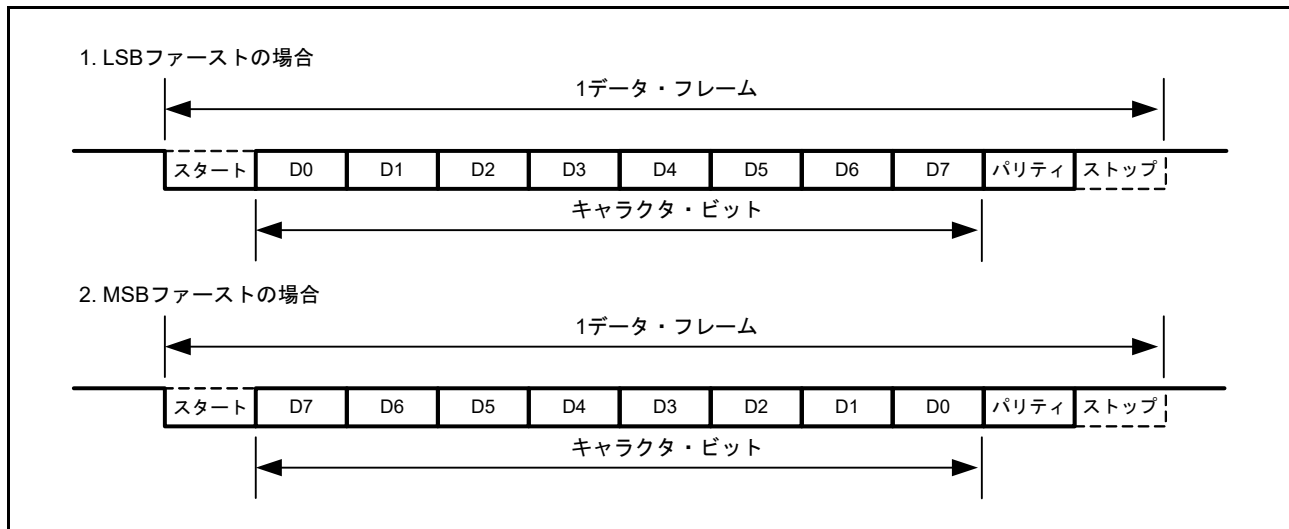
備考	n : ユニット番号	44 ピン	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

(2) 送信／受信データ・フォーマットと波形例

UARTAnの通信データ・フォーマットについて以下に説明します。

図21 - 13にデータ・フォーマットを示します。

図21 - 13 送受信データ・フォーマット



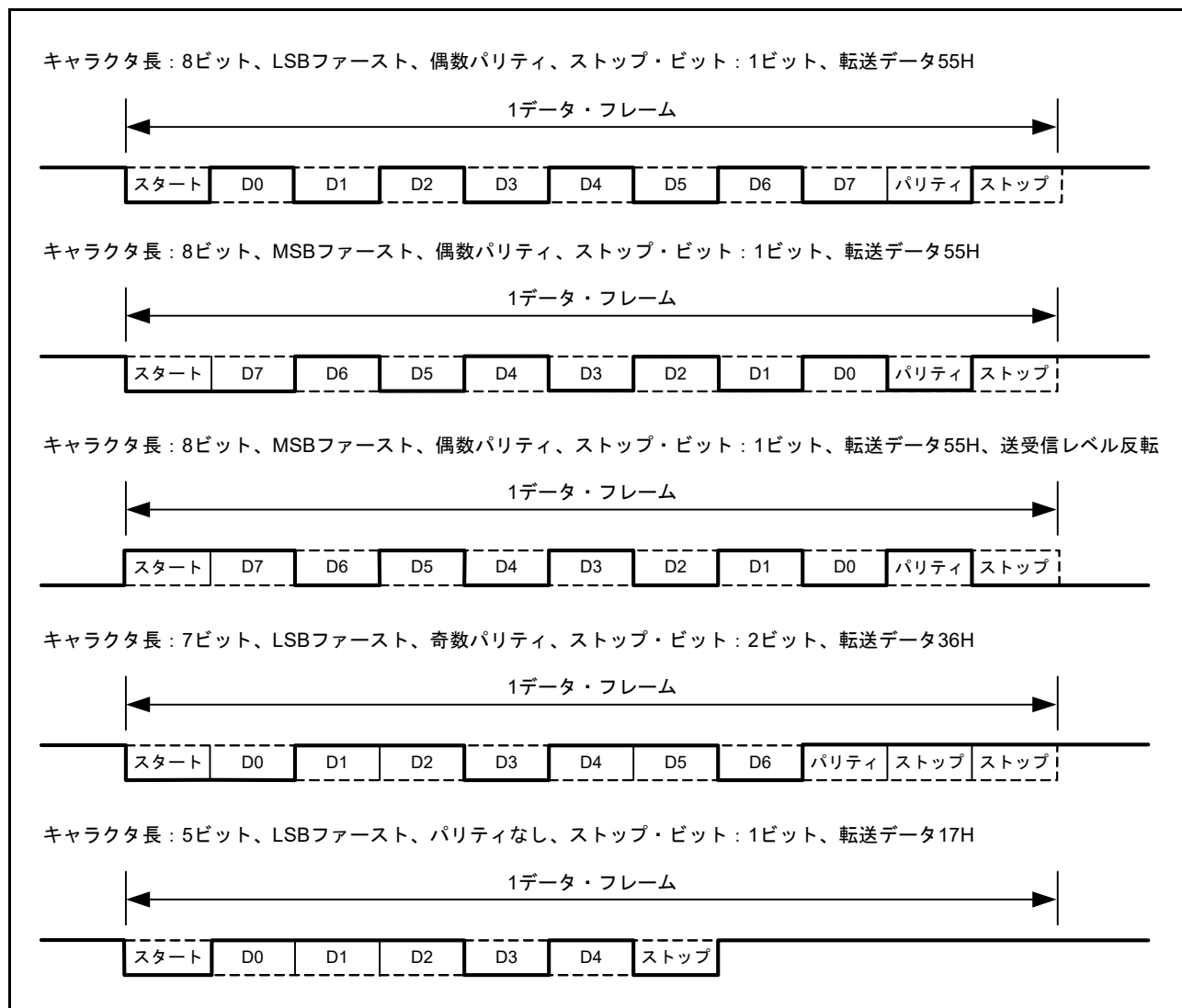
1データ・フレームは次に示すビットで構成されています。

- スタート・ビット : 1ビット
- キャラクタ長 : 5ビット／7ビット／8ビット
- パリティ・ビット : 偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ストップ・ビット : 1ビット／2ビット

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、転送方向 (LSB/MSB) の指定、TxDAn端子の通常出力／反転出力の指定はASIMAn1レジスタによって行います。

図21 - 14に送受信データの波形例を示します。

図21 - 14 送受信データの波形例



(3) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(a) 偶数パリティ

• 送信時

パリティ・ビットを含めた送信データ中の、値が1のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が1のビット数が奇数個：1

送信データ中に、値が1のビット数が偶数個：0

• 受信時

パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(b) 奇数パリティ

• 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる1のビット数を奇数個になるように制御します。

送信データ中に、値が1のビット数が奇数個：0

送信データ中に、値が1のビット数が偶数個：1

• 受信時

パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを0にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーが発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

(4) 通常送信

動作モード設定レジスタ n0 (ASIMAn0) のビット7 (UARTAENn) に1をセットし、次にASIMAn0 レジスタのビット6 (TXEAn) に1をセットすると送信許可状態になり、送信バッファ・レジスタ n (TXBAn) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXBAn レジスタ内のデータは送信シフト・レジスタに転送されます。その後、送信データが送信シフト・レジスタより転送方向指定に従って順次、TxDAn 端子に出力されます。送信が完了すると、ASIMAn0 レジスタで設定したパリティ・ビット、ストップ・ビットが付加され、転送完了割り込み要求信号 (INTUTn) が発生します。

次に送信するデータを TXBAn レジスタに書き込むまで、送信動作は中断します。

図21 - 15に転送完了割り込み要求信号 (INTUTn) のタイミングを示します。INTUTnは以下のタイミングで出力されます。

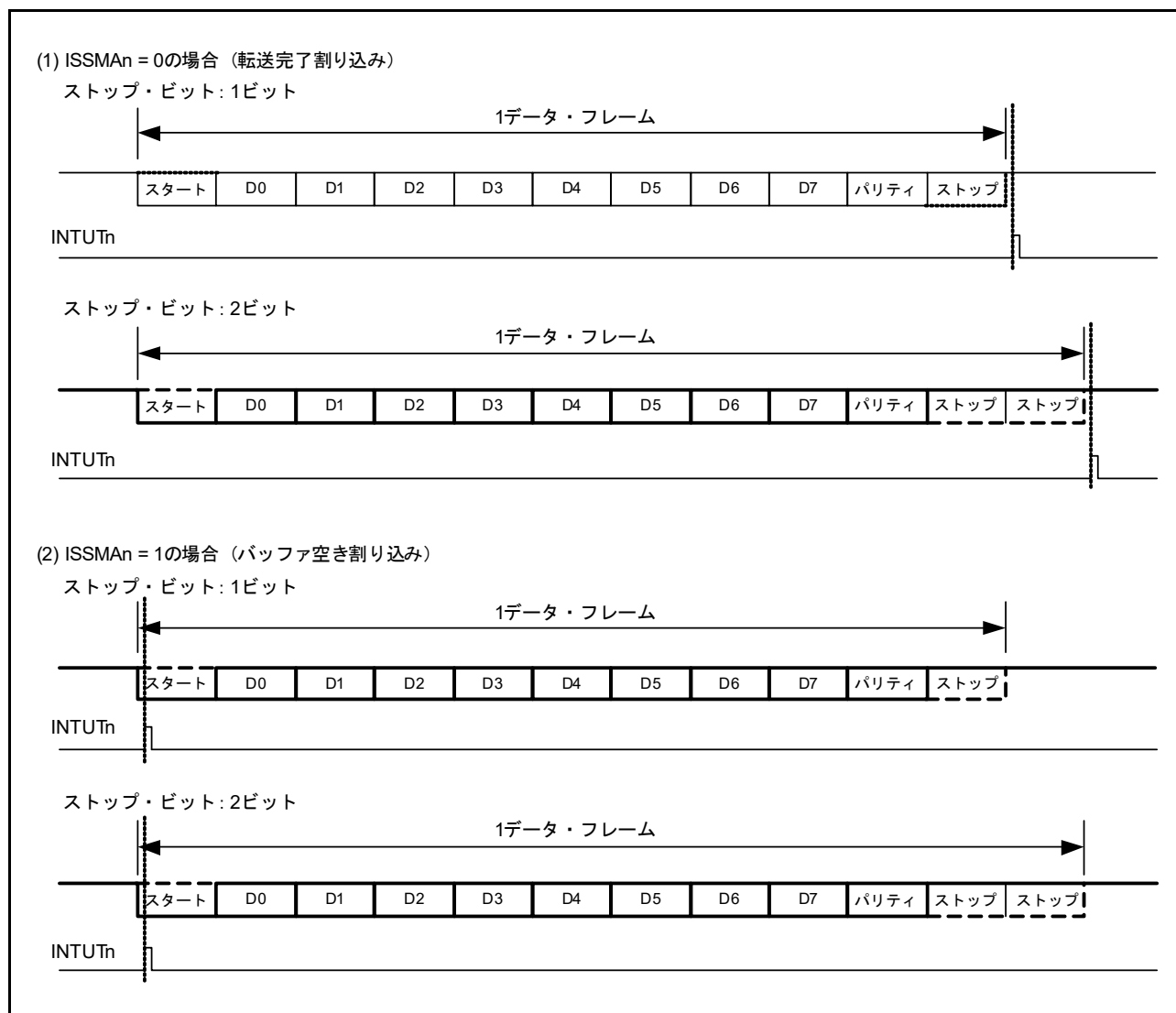
(a) ISSMAn = 0 (INTUTnは転送完了割り込み) の場合

INTUTnは最後のストップ・ビット出力後に出力されます。

(b) ISSMAn = 1 (INTUTnはバッファ空き割り込み) の場合

スタート・ビット出力時に出力されます。

図21 - 15 割り込み出力タイミング



(5) 連続送信

UARTAnでは連続送信を実現するために送信バッファ・レジスタn (TXBAn) と送信シフト・レジスタを分離しています。

送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタn (TXBAn) へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。

なお、連続送信をする場合、バッファ空き割り込みが発生してから、TXBAnレジスタへデータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

最大クロック数 = 転送長 $\times$ 2K - (2K + 3)

K : BRGCAnで設定した値 (k = 2, 3, 4, ..., 255)

以下に最大クロック数の算出例を示します。

BRGCAnレジスタに02H (K = 2)

スタート・ビット : 1ビット、キャラクタ長 : 8ビット、パリティあり、ストップ・ビット : 1ビットの場合

最大クロック数 = 転送長 $\times$ 2K - (2K + 3) = $11 \times 2 \times 2 - (2 \times 2 + 3) = 37$

(UARTAn動作クロック (fUTAn) で37クロック以内の書き込み完了が必要)

連続送信手順には、以下の2つの方法があります。

(a) ポーリングによる連続転送

ステータス・レジスタn (ASISAn) のビット5 (TXBFAn) である送信バッファ・データ・フラグとビット4 (TXSFAn) である送信シフト・レジスタ・データ・フラグのポーリングにより、連続送信を実現する方法です。

また、本方法で実現する場合、動作モード設定レジスタn0 (ASIMAn0) のビット1 (ISSMAn) は、0に設定してください。

- 連続送信開始、連続送信実行中

連続送信開始時は、最初 (1バイト目) のデータを送信バッファ・レジスタn (TXBAn) に書き込んだ後、送信バッファ・データ・フラグ (TXBFAn) が、0であることを確認して、次 (2バイト目) のデータを送信バッファ・レジスタn (TXBAn) に書き込んでください。同様に続くデータもTXBFAnフラグが0であることを確認して、データを送信バッファ・レジスタn (TXBAn) に書き込んでください。

TXBFAn	連続送信開始時のTXBAnへの書き込み可否判断用フラグ
0	書き込み可
1	書き込み不可

注意 連続送信可否は、TXBFAnフラグのみで判断してください。TXSFAnフラグと組み合わせで判断しないでください。

- 連続送信完了

連続送信で必要数の送信データをTXBAnレジスタに書き込んだ後、送信シフト・レジスタとTXBAnレジスタのデータを送信すると連続送信は完了します。連続送信の完了は送信シフト・レジスタ・データ・フラグ (TXSFAn) の値で確認できます。

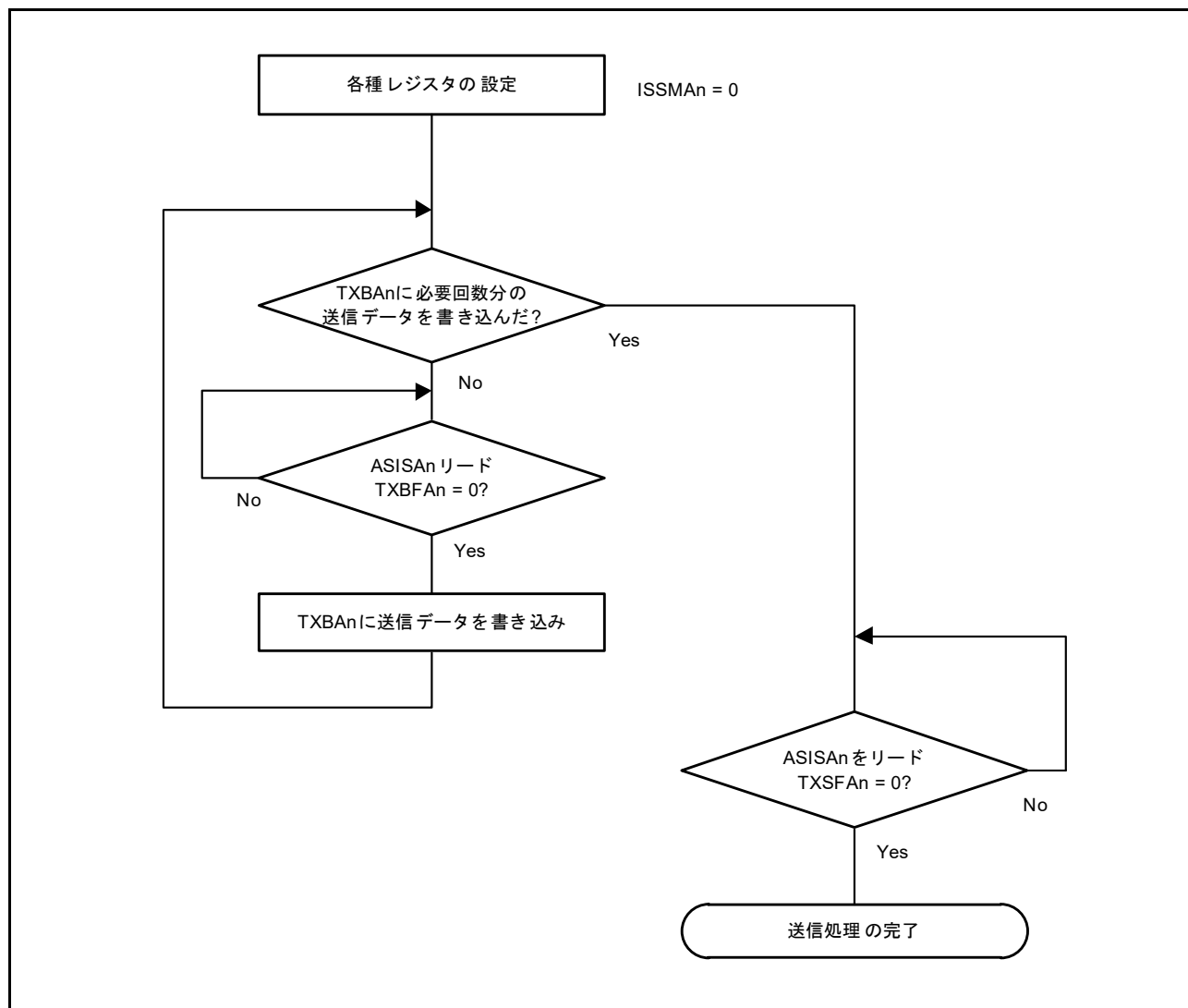
TXSFAn	送信実行中の確認用フラグ
0	送信が完了
1	送信中

注意1. 連続送信完了時に送信ユニットを初期化する場合、転送完了割り込み後にTXSFAnフラグが0であることを確認して初期化を実行してください。

注意2. 連続送信は、1データ・フレーム送信後のINTUTn割り込み処理を実行する前に次の送信が完了する可能性があります。対策として、送信データ数をカウントできるプログラムを組み込むことと、TXSFAnフラグを参照することで検出できます。

図21 - 16にポーリングによる連続送信処理フロー例を示します。

図21 - 16 ポーリングによる連続送信処理フロー例



(b) 割り込みによる連続転送

割り込み (INTUTn) を使用して、連続送信を実現する方法です。

動作モード設定レジスタ n0 (ASIMAn0) のビット 1 (ISSMAn) に 1 を設定することにより、送信バッファ・レジスタ n (TXBAn) から送信シフト・レジスタに転送されたタイミングで割り込みを発生させることができます。

これにより、バッファ空き割り込みの発生で、TXBAn レジスタヘータを書き込むことで連続送信が可能となります。

また、連続送信終了時は、最後の送信データを TXBAn レジスタへ書き込んだあとに、ISSMAn ビットに 0 を設定することにより、転送完了割り込みを発生させることが可能です。

図 21 - 17 に割り込みによる連続送信処理フロー例を示します。

図 21 - 17 割り込みによる連続送信処理フロー例

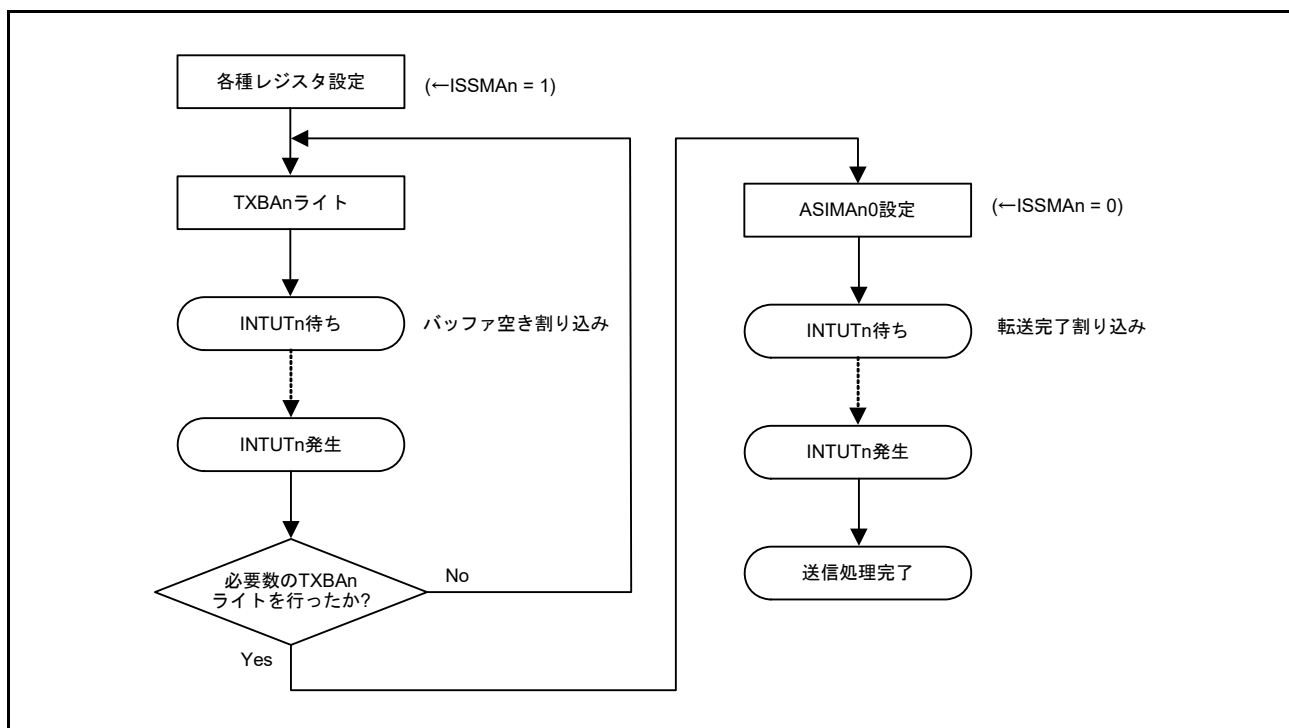
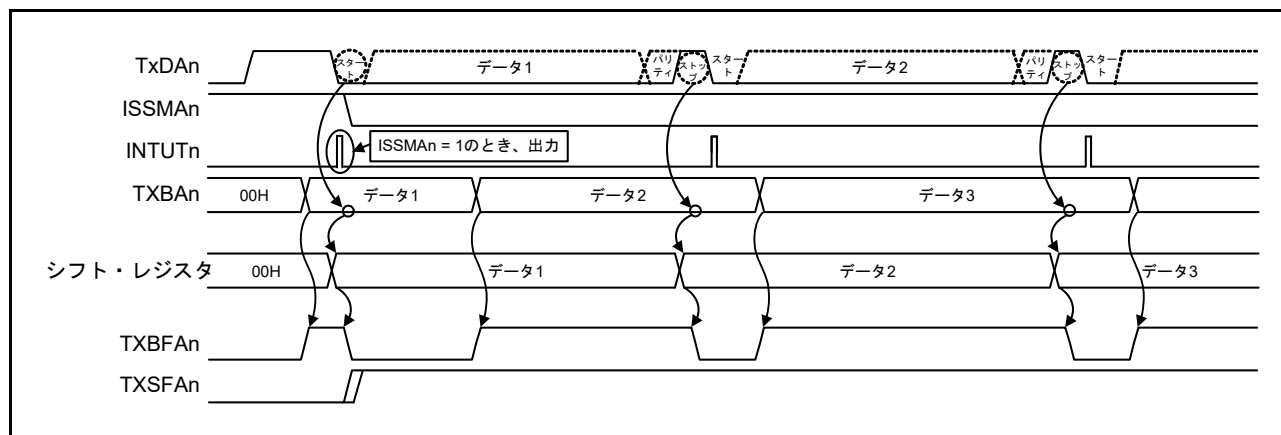


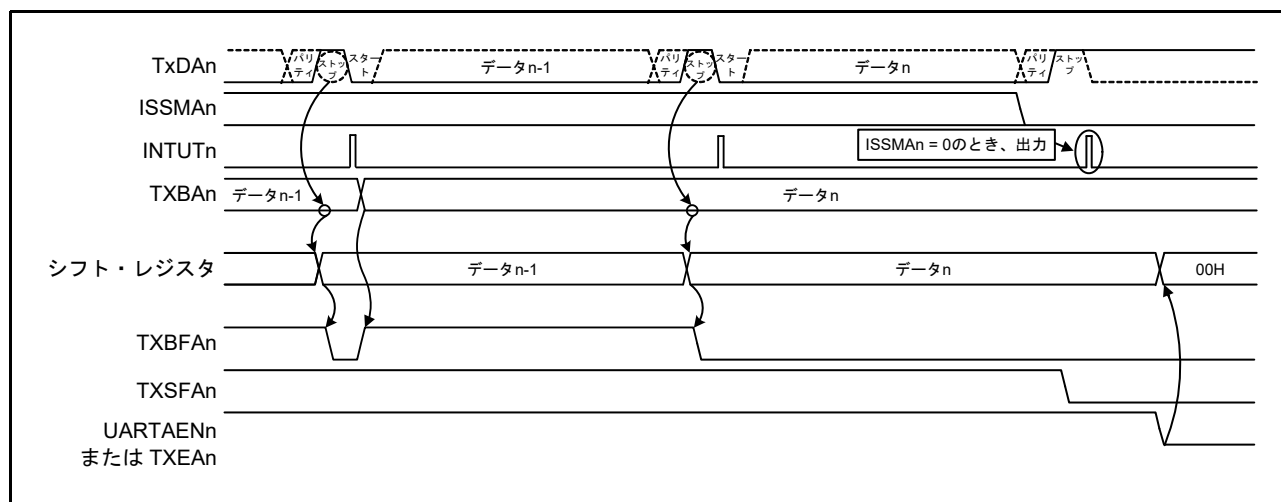
図21 - 18に連続送信開始タイミング、図21 - 19に連続送信終了タイミングを示します。

図21-18 連続送信開始タイミング



注意 ASISAnレジスタを読み出した場合、TXBFAn, TXSFAn = 11Bの期間が存在します。したがって、書き込み可否の判断はTXBFAnビットの1ビットのみで行ってください。

図21-19 連続送信終了タイミング



備考	n : ユニット番号	44 ピン	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

(6) 通常受信

動作モード設定レジスタ n0 (ASIMAn0) のビット7 (UARTAENn) に1を設定し、次にASIMAn0レジスタのビット5 (RXEAn) に1を設定すると受信許可状態となり、RxDAn端子入力のサンプリングを行います。

ALVn = 0の場合、RxDAn端子入力の立ち下がりを検出すると、ボー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング (図21 - 20の▽印に相当) した結果、RxDAn端子が로우・レベルであれば、スタート・ビットと認識します。

また、ALVn = 1の場合、RxDAn端子入力の立ち上がりを検出すると、ボー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング (図21 - 20の▽印に相当) した結果、RxDAn端子が하이・レベルであれば、スタート・ビットと認識します。

図21 - 20に受信動作のタイミング図を示します。

スタート・ビットを検出すると、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、受信シフト・レジスタに格納していきます。ストップ・ビットを受信すると、転送完了割り込み (INTURn) を発生すると同時に、受信シフト・レジスタのデータは受信バッファ・レジスタ n (RXBAn) に書き込まれます。

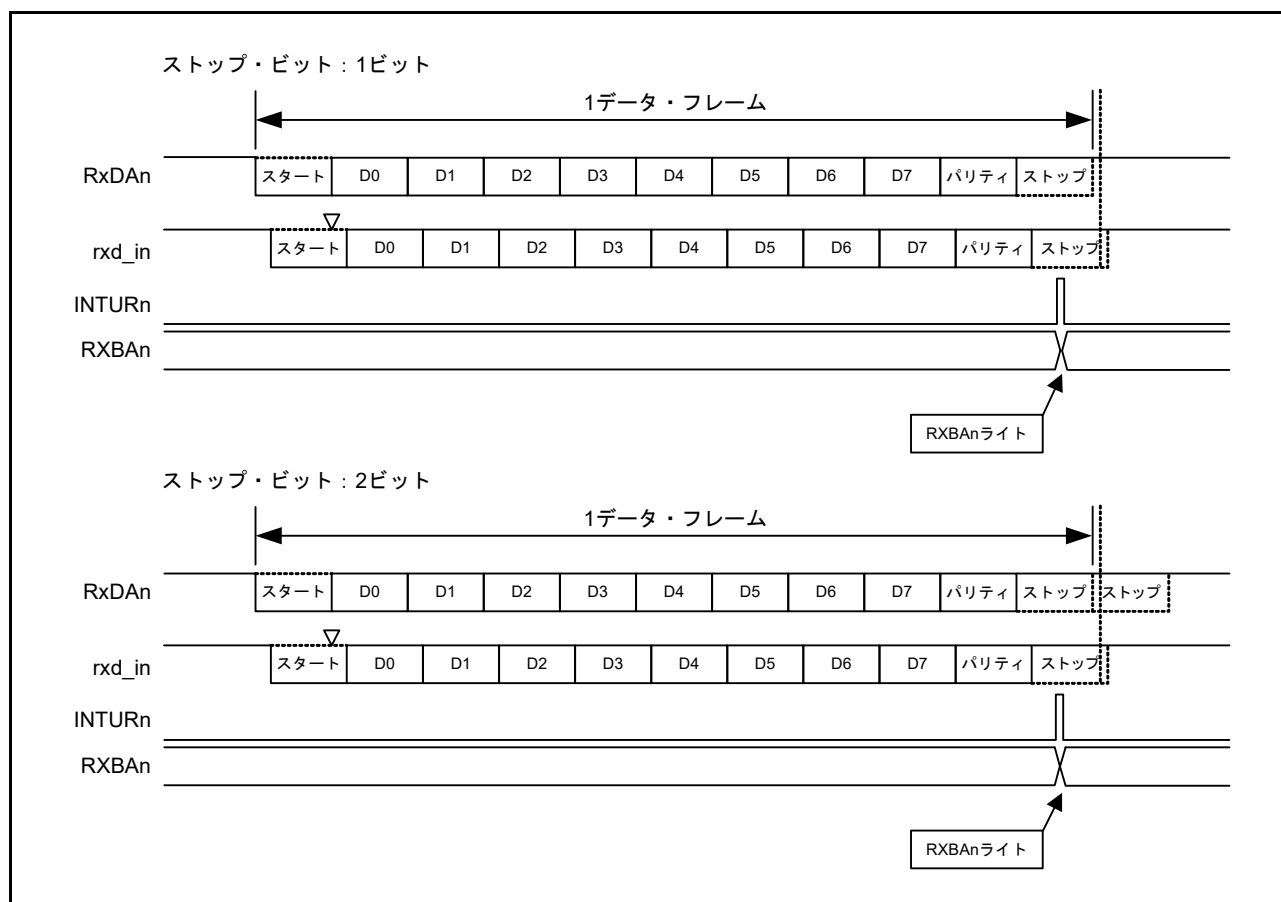
ただし、オーバラン・エラー (OVEAn) が発生した場合、発生時の受信データはRXBAnに書き込みません。受信途中に、パリティ・エラー (PEAn)、フレーミング・エラー (FEAn) が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にISRMANビットで設定した受信エラー割り込み (INTURn/INTUREn) を発生します。

受信エラーが発生した場合はステータス・レジスタ n (ASISAn) を読み出したあと、受信バッファ・レジスタ n (RXBAn) を読み出し、エラー・フラグをクリアしてください。

受信バッファ・レジスタ n (RXBAn) を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が継続します。

受信は常にストップ・ビット長 = 1として動作します。そのため2ビット目のストップ・ビットは無視されません。

図21-20 UART受信動作タイミング



備考1. rxd_inは、ノイズ・フィルタによりRXDをラッチした内部信号です。

(RxDA[n]よりUART動作クロックで最大3クロック遅延します。)

備考2. 図のINTURの出力タイミングは一例です。

BRGCA[n]レジスタの設定によりRxDA[n]との相対的なタイミングは変化します。

(7) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。

エラー発生時にはステータス・レジスタ n (ASISAn) にエラー・フラグがセットされ、受信エラー割り込み要求信号 (INTURnまたはINTUREn) を発生します。

受信エラー割り込み処理ルーチンでステータス・レジスタ n (ASISAn) の内容を読み出すことで、エラー・フラグの判別を行うことが可能です。

ステータス・クリア・トリガ・レジスタ n (ASCTAn) へ1を設定することによりステータス・レジスタ n (ASISAn) の内容は0にクリアされます。

表21 - 3に受信エラー要因を示します。

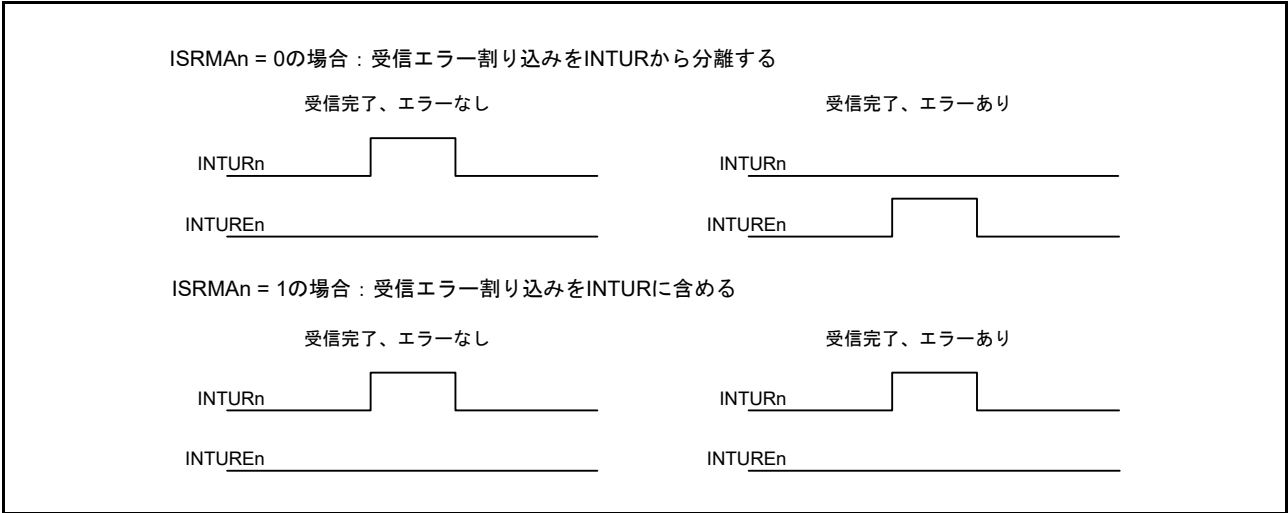
表21 - 3 受信エラー要因

エラー・フラグ	受信エラー	要因
PEAn	パリティ・エラー	受信データと受信パリティが一致しない
FEAn	フレーミング・エラー	ストップ・ビットが検出されない
OVEAn	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了した

動作モード設定レジスタ n0 (ASIMAn0) のビット0 (ISRMAn) に0を設定することにより、受信エラー割り込みをINTURnと分離し、INTUREnとして発生させることができます。

図21 - 21にISRMAnビットによる割り込み出力波形を示します。

図21 - 21 ISRMAnビットによる割り込み出力波形



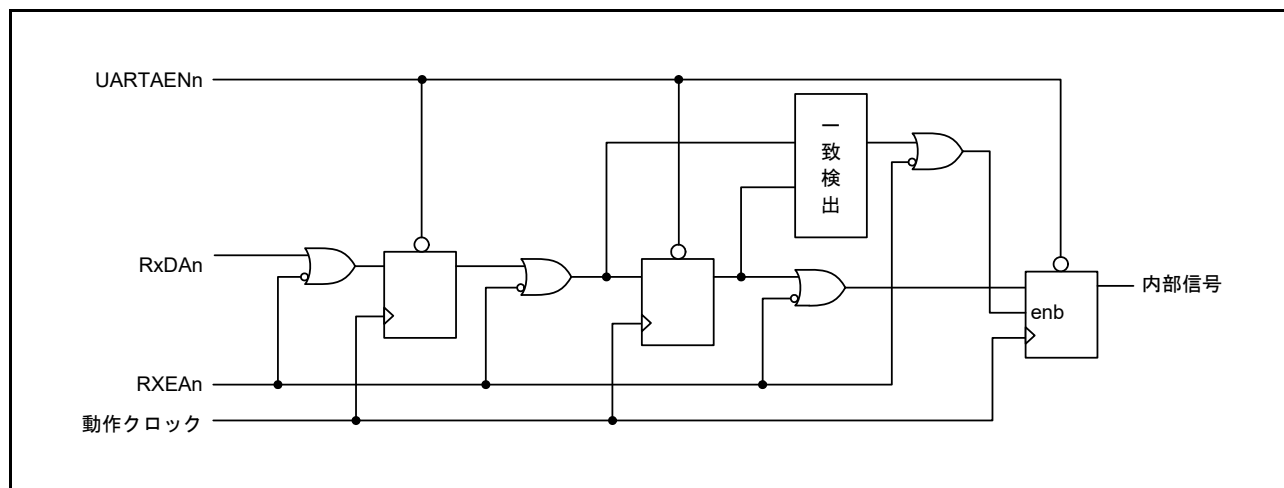
21.3.3 受信データのノイズ・フィルタ

受信データ (RxDAn) をサンプリングし、2 回一致するとレベルが確定したとみなします。

回路構成上、受信データは最大 3 動作クロック遅れます。

図 21 - 22 にノイズ・フィルタ回路を示します。

図 21 - 22 ノイズ・フィルタ



注意1. ALVn = 0 (待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル) の場合、受信データ (RxDAn) の初期値をハイ・レベルとする必要があります。

注意2. ALVn = 1 (待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル) の場合、受信データ (RxDAn) の初期値をロウ・レベルとする必要があります。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

21.3.4 ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、8 ビットのプログラマブル・カウンタにより構成され、UARTAn における送受信時のシリアル・クロックを生成します。

なお、8 ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

(a) UARTAn 動作クロック

動作モード設定レジスタ n0 (ASIMAn0) のビット 7 (UARTAENn) = 1 のとき、UARTAn 動作クロック (fUTAn) を各モジュールに供給します。UARTAENn = 0 のときは、UARTAn 動作クロックはロウ・レベルに固定となります。

(b) 送信用カウンタ

動作モード設定レジスタ n0 (ASIMAn0) のビット 7 (UARTAENn) = 0 またはビット 6 (TXEAn) = 0 のときは 0 にクリアされた状態で動作を停止します。UARTAENn = 1 かつ TXEAn = 1 でカウントをスタートします。

最初の送信では送信バッファ・レジスタ n (TXBAn) への書き込みでカウンタを 0 にクリアします。

連続送信の場合は 1 フレーム・データの送信完了で、再びカウンタを 0 にクリアします。次の送信データがなかった場合、カウンタは 0 にクリアされず、UARTAENn ビットまたは TXEAn ビットが 0 にクリアされるまでカウント動作をそのまま続けます。ASIMAn0 レジスタの UARTAENn = 0 または TXEAn = 0 のときは 00H の状態で動作を停止します。

(c) 受信用カウンタ

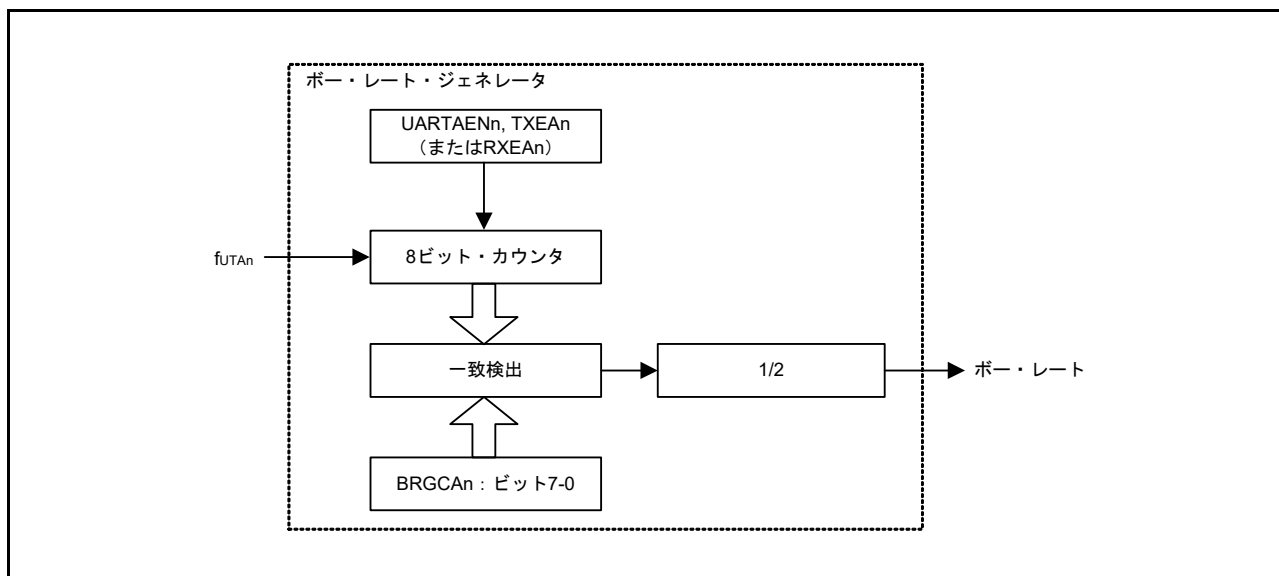
動作モード設定レジスタ n0 (ASIMAn0) のビット 7 (UARTAENn) = 0 またはビット 5 (RXEAn) = 0 のときは 0 にクリアされた状態で動作を停止します。スタート・ビット検出によりカウントをスタートします。

1 フレーム受信後は次のスタート・ビット検出まで動作を停止します。ASIMAn0 レジスタの UARTAENn = 0 または RXEAn = 0 のときは 00H の状態で動作を停止します。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3

図21 - 23にボー・レート・ジェネレータ構成を示します。

図21 - 23 ボー・レート・ジェネレータ構成



(2) シリアルクロックの生成

ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) の設定により、生成するシリアルクロックを設定できます。

8ビットカウンタへの入力クロックを、BRGCAnレジスタのビット7-0により、8ビットカウンタの分周値 (fUTA/2-fUTA/255) を設定できます。

(3) ボー・レートの算出

(a) ボー・レート計算式

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = f_{UTAn} \div (2 \times k) \text{ [bps]}$$

fUTAn: 動作クロックの周波数

k: BRGCAnレジスタのビット7-0で設定した値 (k = 2, 3, 4, ..., 255)

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差} = \left[\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right] \times 100 \text{ [%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内に設定してください。

注意2. 受信時のボー・レート誤差は、受信時の許容ボー・レート誤差範囲を満たすように設定してください。受信時の許容ボー・レート誤差については、21.3.4 (3) (d) 受信時の許容ボー・レート範囲で説明します。

(c) ボー・レート設定例

表21-4 ボー・レート・ジェネレータ設定データ (1/4)

目 標 ボー・レート	fHP = 32 MHz動作時 (UTASEL1, UTASEL0 = 10B)													
	分周なし (UTAnCK3- UTAnCK0 = 0000B)		2分周 (UTAnCK3- UTAnCK0 = 0001B)		4分周 (UTAnCK3- UTAnCK0 = 0010B)		8分周 (UTAnCK3- UTAnCK0 = 0011B)		16分周 (UTAnCK3- UTAnCK0 = 0100B)		32分周 (UTAnCK3- UTAnCK0 = 0101B)		64分周 (UTAnCK3- UTAnCK0 = 0110B)	
	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%
4800 bps	使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%
9600 bps	使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%
19200 bps	使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
38400 bps	使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可	
76800 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可	
115200 bps	139	−0.08%	69	0.64%	35	−0.79%	17	2.12%	使用不可		使用不可		使用不可	
153600 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可	

備考 k : ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) のビット7-0で設定した値 (k = 2, 3, 4, ..., 255)

n : ユニット番号 44ピン : n = 0, 1
 48~64ピン (フラッシュ・メモリ 64-128 KBの製品) : n = 0, 1
 48~64ピン (フラッシュ・メモリ 256-512 KBの製品) : n = 0-2
 80, 100ピン : n = 0-3

表21-4 ボー・レート・ジェネレータ設定データ (2/4)

目 標 ボー・レート	fimp = 4 MHz 動作時 (UTASEL1, UTASEL0 = 11B)													
	分周なし (UTAnCK3- UTAnCK0 = 0000B)		2分周 (UTAnCK3- UTAnCK0 = 0001B)		4分周 (UTAnCK3- UTAnCK0 = 0010B)		8分周 (UTAnCK3- UTAnCK0 = 0011B)		16分周 (UTAnCK3- UTAnCK0 = 0100B)		32分周 (UTAnCK3- UTAnCK0 = 0101B)		64分周 (UTAnCK3- UTAnCK0 = 0110B)	
	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差	k値	目 標 ボー・レート との誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		156	0.16%
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%
600 bps	使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%
1200 bps	使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%
2400 bps	使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
4800 bps	使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可	
9600 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可	
19200 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可	
38400 bps	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可		使用不可	
76800 bps	26	0.16%	13	0.16%	使用不可		使用不可		使用不可		使用不可		使用不可	
115200 bps	17	2.12%	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
153600 bps	13	0.16%	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	

備考 k : ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) のビット7-0 で設定した値 (k = 2, 3, 4, ..., 255)

n : ユニット番号 44ピン : n = 0, 1

48~64ピン (フラッシュ・メモリ 64-128 KB の製品) : n = 0, 1

48~64ピン (フラッシュ・メモリ 256-512 KB の製品) : n = 0-2

80, 100ピン : n = 0-3

表21-4 ボー・レート・ジェネレータ設定データ (3/4)

目標 ボー・レート	fmxP = 20 MHz 動作時 (UTASEL1, UTASEL0 = 01B)													
	分周なし (UTAnCK3- UTAnCK0 = 0000B)		2分周 (UTAnCK3- UTAnCK0 = 0001B)		4分周 (UTAnCK3- UTAnCK0 = 0010B)		8分周 (UTAnCK3- UTAnCK0 = 0011B)		16分周 (UTAnCK3- UTAnCK0 = 0100B)		32分周 (UTAnCK3- UTAnCK0 = 0101B)		64分周 (UTAnCK3- UTAnCK0 = 0110B)	
	k 値	目標 ボー・レート との誤差	k 値	目標 ボー・レート との誤差	k 値	目標 ボー・レート との誤差	k 値	目標 ボー・レート との誤差	k 値	目標 ボー・レート との誤差	k 値	目標 ボー・レート との誤差	k 値	目標 ボー・レート との誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%
4800 bps	使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	−1.36%
9600 bps	使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	−1.36%	16	1.73%
19200 bps	使用不可		255	2.12%	130	0.16%	65	0.16%	33	−1.36%	16	1.73%	8	1.73%
38400 bps	255	2.12%	130	0.16%	65	0.16%	33	−1.36%	16	1.73%	8	1.73%	4	1.73%
76800 bps	130	0.16%	65	0.16%	33	−1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可	
115200 bps	87	−0.22%	43	0.94%	22	−1.36%	11	−1.36%	使用不可		使用不可		使用不可	
153600 bps	65	0.16%	33	−1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可		使用不可	

備考 k : ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) のビット 7-0 で設定した値 (k = 2, 3, 4, ..., 255)

n : ユニット番号 44 ピン : n = 0, 1

48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品) : n = 0, 1

48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品) : n = 0-2

80, 100 ピン : n = 0-3

表21-4 ボー・レート・ジェネレータ設定データ (4/4)

目標ボー・レート	fSXP = 32.768 kHz 動作時 (UTAnCK3-UTAnCK0 = 1000B)		ELCL = 32 MHz 動作時 (UTAnCK3-UTAnCK0 = 1001B)	
	k 値	目標ボー・レートとの誤差	k 値	目標ボー・レートとの誤差
200 bps	82	-0.10%	使用不可	
300 bps	55	-0.70%	使用不可	
600 bps	27	-1.14%	使用不可	
1200 bps	14	-2.48%	使用不可	
2400 bps	7	-2.48%	使用不可	
4800 bps	使用不可		使用不可	
9600 bps	使用不可		使用不可	
19200 bps	使用不可		使用不可	
38400 bps	使用不可		使用不可	
76800 bps	使用不可		208	0.16%
115200 bps	使用不可		139	-0.08%
153600 bps	使用不可		104	0.16%

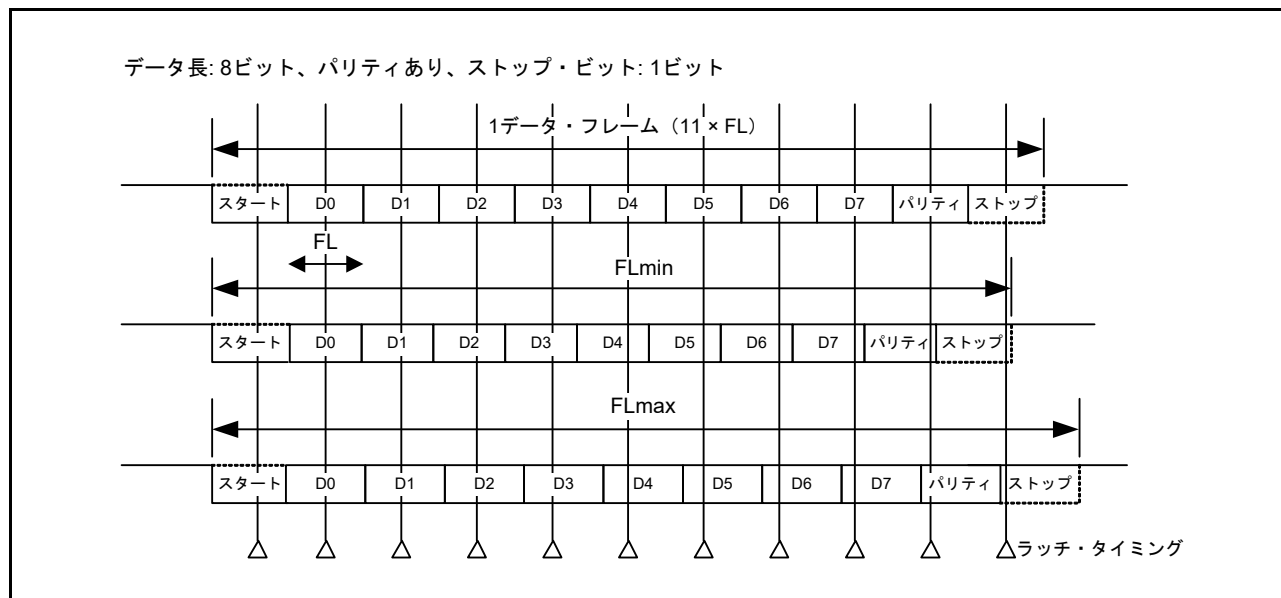
備考 k : ボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) のビット7-0で設定した値 (k = 2, 3, 4, ..., 255)

n : ユニット番号 44ピン : n = 0, 1
 48~64ピン (フラッシュ・メモリ 64-128 KBの製品) : n = 0, 1
 48~64ピン (フラッシュ・メモリ 256-512 KBの製品) : n = 0-2
 80, 100ピン : n = 0-3

(d) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを図21-24に示します。

図21-24 受信時の許容ボー・レート範囲



注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定が必要です。

スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタ n (BRGCAn) で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

これを 11 ビット受信に当てはめると理論上、次のようになります。

- 1 ビット・データ長とボー・レートの関係

$$FL = (Brate) - 1$$

Brate : UART のボー・レート

k : BRGCAn レジスタの設定値

FL : 1 ビット・データ長

ラッチ・タイミングのマージンは 2 クロック

- 許容最小データ・フレーム長 (FLmin)

$$k = 3 \sim 255 \text{ のとき : } FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$$

- 受信可能な送信先の最大ボー・レート (BRmax)

$$k = 2 \text{ のとき : } BRmax = Brate + \frac{1}{22k} Brate$$

$$k = 3 \sim 255 \text{ のとき : } BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

- 許容最大データ・フレーム長 (FLmax)

$$k = 3 \sim 255 \text{ のとき : } FLmax = \frac{21k+2}{20k} FL \times 11$$

- 受信可能な送信先の最小ボー・レート (BRmin)

$$k = 2 \text{ のとき : } BRmin = Brate - \frac{1}{22k} Brate$$

$$k = 3 \sim 255 \text{ のとき : } BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から求めた UART と送信先とのボー・レートの許容誤差を表 21 - 5 に示します。

表 21 - 5 許容最大／最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
2	+2.27%	-2.27%
4	+2.33%	-2.44%
8	+3.53%	-3.61%
20	+4.27%	-4.31%
50	+4.56%	-4.58%
100	+4.66%	-4.67%
255	+4.72%	-4.73%

備考 1. 受信の許容誤差は、1 フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど許容誤差は大きくなります。

(備考は次ページに続きます)

備考2. k : BRGCAnレジスタの設定値

n : ユニット番号	44ピン	: n = 0, 1
	48～64ピン (フラッシュ・メモリ 64-128 KBの製品)	: n = 0, 1
	48～64ピン (フラッシュ・メモリ 256-512 KBの製品)	: n = 0-2
	80, 100ピン	: n = 0-3

21.4 使用時の注意事項

21.4.1 RxDAn端子のポート設定手順

ALVn = 0 (待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル) の場合は、受信データ (RxDAn) の初期値はハイ・レベルとする必要があります。

また、ALVn = 1 (待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル) の場合は、受信データ (RxDAn) の初期値はロウ・レベルとする必要があります。

そのため UARTAENn ビットを 1 にする前にポートの設定を行う必要があります。

21.4.2 シリアル・インタフェース

UARTA0 のシリアル・データ出力 (TxDA0)、シリアル・クロック出力 (CLKA0) はロジック&イベント・リンク・コントローラ (ELCL) の入力として選択可能です。ELCL の入力として使用する場合は、TxDA0, CLKA0 端子に出力しないようポート・ファンクション出力許可レジスタ 1 (PFOE1) の対応するビットに 0 を設定する必要があります。詳細は、**4.3.14 ポート・ファンクション出力許可レジスタ (PFOEx)** を参照してください。

21.4.3 UARTAn動作クロック (fUTAn) 選択時の注意事項

fUTAn に中速オンチップ・オシレータ周辺クロック (fIMP) を選択している場合、中速オンチップ・オシレータの発振周波数の精度が原因で正しく通信できない場合があります。中速オンチップ・オシレータは、中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) を使用して発振周波数精度の補正を行ってください。

fUTAn に低速周辺クロック (fsXP) 選択し、かつ fsXP に低速オンチップ・オシレータ周辺クロック (fIL) を選択している場合、低速オンチップ・オシレータの発振周波数精度が原因で正しく通信できない場合があります。低速オンチップ・オシレータは、低速オンチップ・オシレータ・トリミング・レジスタ (LIOTRM) を使用して発振周波数精度の補正を行ってください。

備考	n : ユニット番号	44 ピン	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 64-128 KB の製品)	: n = 0, 1
		48 ~ 64 ピン (フラッシュ・メモリ 256-512 KB の製品)	: n = 0-2
		80, 100 ピン	: n = 0-3
m : CLKA の端子番号		44 ~ 64 ピン	: m = 0
		80, 100 ピン	: m = 0, 1

第22章 LCDコントローラ／ドライバ

本製品のLCD表示機能端子は製品ごとに搭載する数が異なります。次の表に製品ごとのLCD表示機能端子数を示します。

表22 - 1 製品ごとのLCD表示機能端子 (1/2)

(a) 80, 100ピン製品

項目	80ピン (R7F100LMx (x = L, J, G))								100ピン (R7F100LPx (x = L, J, G))							
LCDコントローラ ／ドライバ	セグメント信号出力 : 49 (45) 注 コモン信号出力 : 8								セグメント信号出力 : 56 (52) 注 コモン信号出力 : 8							
兼用I/Oポート	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0	SEG 50	SEG 49	SEG 48	SEG 47	SEG 46	SEG 45	SEG 44	SEG 43	SEG 50	SEG 49	SEG 48	SEG 47	SEG 46	SEG 45	SEG 44	SEG 43
P1	SEG 42	SEG 41	SEG 40	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 42	SEG 41	SEG 40	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35
P2	SEG 34	SEG 33	SEG 32	SEG 31	SEG 30	SEG 29	—	—	SEG 34	SEG 33	SEG 32	SEG 31	SEG 30	SEG 29	—	—
P3	—	—	SEG 25	SEG 24	—	—	SEG 21	SEG 20	—	—	SEG 25	SEG 24	SEG 23	SEG 22	SEG 21	SEG 20
P4	SEG 27	SEG 26	—	—	—	—	—	—	SEG 27	SEG 26	—	—	—	—	—	—
P5	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4	SEG 11	SEG 10	SEG 9	SEG 8	SEG 7	SEG 6	SEG 5	SEG 4
P7	SEG 19	SEG 18	SEG 17	SEG 16	SEG 15	SEG 14	SEG 13	SEG 12	SEG 19	SEG 18	SEG 17	SEG 16	SEG 15	SEG 14	SEG 13	SEG 12
P9	SEG3/ COM7	SEG2/ COM6	SEG1/ COM5	SEG0/ COM4	COM 3	COM 2	COM 1	COM 0	SEG3/ COM7	SEG2/ COM6	SEG1/ COM5	SEG0/ COM4	COM 3	COM 2	COM 1	COM 0
P13	—	—	—	—	—	—	—	SEG 28	—	—	—	—	—	—	—	SEG 28
P14	—	—	—	—	—	—	—	—	—	—	SEG 55	SEG 54	SEG 53	SEG 52	SEG 51	—

注 () 内は8コモン使用時の信号出力本数です。

表22 - 1 製品ごとのLCD表示機能端子 (2/2)

(b) 52, 64 ピン製品

項目	52ピン (R7F100LJx (x = L, J, G, E))								64ピン (R7F100LLx (x = L, J, G, E))							
LCDコントローラ ／ドライバ	セグメント信号出力 : 25 (21) 注 コモン信号出力 : 8								セグメント信号出力 : 34 (30) 注 コモン信号出力 : 8							
兼用I/Oポート	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0	SEG 50	SEG 49	SEG 48	—	—	—	—	SEG 43	SEG 50	SEG 49	SEG 48	SEG 47	SEG 46	SEG 45	SEG 44	SEG 43
P1	SEG 42	SEG 41	—	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35	SEG 42	SEG 41	SEG 40	SEG 39	SEG 38	SEG 37	SEG 36	SEG 35
P2	SEG 34	SEG 33	—	—	—	SEG 29	—	—	SEG 34	SEG 33	—	—	—	SEG 29	—	—
P3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEG 21	SEG 20
P5	SEG 11	—	—	SEG 8	SEG 7	—	—	—	SEG 11	—	—	SEG 8	SEG 7	SEG 6	—	—
P7	SEG 19	SEG 18	SEG 17	SEG 16	—	—	—	—	SEG 19	SEG 18	SEG 17	SEG 16	—	—	—	SEG 12
P9	SEG3/ COM7	SEG2/ COM6	SEG1/ COM5	SEG0/ COM4	COM 3	COM 2	COM 1	COM 0	SEG3/ COM7	SEG2/ COM6	SEG1/ COM5	SEG0/ COM4	COM 3	COM 2	COM 1	COM 0
P13	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P14	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

注 () 内は8コモン使用時の信号出力本数です。

(c) 44, 48 ピン製品

項目	44ピン (R7F100LFx (x = L, J, G, E))								48ピン (R7F100LGx (x = L, J, G, E))							
LCDコントローラ ／ドライバ	セグメント信号出力 : 19 (15) 注 コモン信号出力 : 8								セグメント信号出力 : 22 (18) 注 コモン信号出力 : 8							
兼用I/Oポート	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
P0	SEG 50	SEG 49	SEG 48	—	—	—	—	SEG 43	SEG 50	SEG 49	SEG 48	—	—	—	—	SEG 43
P1	SEG 42	SEG 41	—	—	—	SEG 37	SEG 36	SEG 35	SEG 42	SEG 41	—	—	SEG 38	SEG 37	SEG 36	SEG 35
P2	SEG 34	SEG 33	—	—	—	SEG 29	—	—	SEG 34	SEG 33	—	—	—	SEG 29	—	—
P3	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P5	SEG 11	—	—	—	—	—	—	—	SEG 11	—	—	SEG 8	—	—	—	—
P7	SEG 19	SEG 18	—	—	—	—	—	—	SEG 19	SEG 18	SEG 17	—	—	—	—	—
P9	SEG3/ COM7	SEG2/ COM6	SEG1/ COM5	SEG0/ COM4	COM 3	COM 2	COM 1	COM 0	SEG3/ COM7	SEG2/ COM6	SEG1/ COM5	SEG0/ COM4	COM 3	COM 2	COM 1	COM 0
P13	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
P14	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

注 () 内は8コモン使用時の信号出力本数です。

22.1 LCDコントローラ／ドライバの機能

本製品に内蔵している LCD コントローラ／ドライバの機能を次に示します。

- (1) A波形、B波形の選択が可能
- (2) LCD駆動電圧生成回路は、内部昇圧／容量分割／外部抵抗分割の切り替えが可能
- (3) 表示データ・レジスタの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (4) 昇圧回路動作時に生成する基準電圧を23段階から選択可能（コントラスト調整）
- (5) LCD点滅が可能（点滅表示の切り替えタイミグを選択可）

各表示モードにおける表示可能な最大画素数を表 22 - 2 に示します。

表22 - 2 最大表示画素数 (1/12)

(a) 100 ピン製品 (1/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割		—	スタティック	56 (56セグメント×1コモン)
			1/2	2	112 (56セグメント×2コモン)
				3	168 (56セグメント×3コモン)
			1/3	3	
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
			1/4	6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
		VL2リファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
	容量分割	VDDリファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
			1/4	6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
		VL4リファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)

表22 - 2 最大表示画素数 (2/12)

(a) 100ピン製品 (2/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
B波形	外部抵抗分割		1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
			1/4	8	
		VL2リファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
			1/4	8	
	容量分割	VDDリファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)
			1/4	8	
		VL4リファレンス	1/3	3	168 (56セグメント×3コモン)
				4	224 (56セグメント×4コモン)
				6	324 (54セグメント×6コモン)
				8	416 (52セグメント×8コモン)

表22 - 2 最大表示画素数 (3/12)

(b) 80ピン製品 (1/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割		—	スタティック	49 (49セグメント×1コモン)
			1/2	2	98 (49セグメント×2コモン)
				3	147 (49セグメント×3コモン)
			1/3	3	
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
		VL2リファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
	容量分割	VDDリファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
		VL4リファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)

表22 - 2 最大表示画素数 (4/12)

(b) 80ピン製品 (2/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
B波形	外部抵抗分割		1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	8	
		VL2リファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	8	
	容量分割	VDDリファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	8	
		VL4リファレンス	1/3	3	147 (49セグメント×3コモン)
				4	196 (49セグメント×4コモン)
				6	282 (47セグメント×6コモン)
				8	360 (45セグメント×8コモン)
			1/4	8	

表22 - 2 最大表示画素数 (5/12)

(c) 64ピン製品 (1/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割		—	スタティック	34 (34セグメント×1コモン)
			1/2	2	68 (34セグメント×2コモン)
				3	102 (34セグメント×3コモン)
			1/3	3	
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
			1/4	6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
		VL2リファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
	容量分割	VDDリファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
			1/4	6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
		VL4リファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)

表22 - 2 最大表示画素数 (6/12)

(c) 64ピン製品 (2/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
B波形	外部抵抗分割		1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
			1/4	8	
		VL2リファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
			1/4	8	
	容量分割	VDDリファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)
			1/4	8	
		VL4リファレンス	1/3	3	102 (34セグメント×3コモン)
				4	136 (34セグメント×4コモン)
				6	192 (32セグメント×6コモン)
				8	240 (30セグメント×8コモン)

表22 - 2 最大表示画素数 (7/12)

(d) 52ピン製品 (1/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割		—	スタティック	25 (25セグメント×1コモン)
			1/2	2	50 (25セグメント×2コモン)
				3	75 (25セグメント×3コモン)
			1/3	3	
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
		VL2リファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
	容量分割	VDDリファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
		VL4リファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)

表22 - 2 最大表示画素数 (8/12)

(d) 52ピン製品 (2/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
B波形	外部抵抗分割		1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	8	
		VL2リファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	8	
	容量分割	VDDリファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)
			1/4	8	
		VL4リファレンス	1/3	3	75 (25セグメント×3コモン)
				4	100 (25セグメント×4コモン)
				6	138 (23セグメント×6コモン)
				8	168 (21セグメント×8コモン)

表22 - 2 最大表示画素数 (9/12)

(e) 48ピン製品 (1/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割		—	スタティック	22 (22セグメント×1コモン)
			1/2	2	44 (22セグメント×2コモン)
				3	66 (22セグメント×3コモン)
			1/3	3	
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
			1/4	6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
		VL2リファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
	容量分割	VDDリファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
			1/4	6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
		VL4リファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)

表22 - 2 最大表示画素数 (10/12)

(e) 48ピン製品 (2/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
B波形	外部抵抗分割		1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
			1/4	8	
		VL2リファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
			1/4	8	
	容量分割	VDDリファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)
			1/4	8	
		VL4リファレンス	1/3	3	66 (22セグメント×3コモン)
				4	88 (22セグメント×4コモン)
				6	120 (20セグメント×6コモン)
				8	144 (18セグメント×8コモン)

表22 - 2 最大表示画素数 (11/12)

(f) 44ピン製品 (1/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
A波形	外部抵抗分割		—	スタティック	19 (19セグメント×1コモン)
			1/2	2	38 (19セグメント×2コモン)
				3	57 (19セグメント×3コモン)
			1/3	3	
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
			1/4	6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
		VL2リファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
	容量分割	VDDリファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
			1/4	6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
		VL4リファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)

表22 - 2 最大表示画素数 (12/12)

(f) 44ピン製品 (2/2)

LCDドライバ用 駆動波形	LCDドライバ用 駆動電圧生成回路		バイアス法	時分割	最大表示画素数
B波形	外部抵抗分割		1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
			1/4	8	
	内部昇圧	VL1リファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
			1/4	8	
		VL2リファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
	容量分割	VDDリファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)
			1/4	8	
		VL4リファレンス	1/3	3	57 (19セグメント×3コモン)
				4	76 (19セグメント×4コモン)
				6	102 (17セグメント×6コモン)
				8	120 (15セグメント×8コモン)

22.2 LCDコントローラ／ドライバの構成

LCDコントローラ／ドライバは、次のハードウェアで構成しています。

表22-3 LCDコントローラ／ドライバの構成

項目	構成
制御レジスタ	• LCDモード・レジスタ0 (LCDM0) • LCDモード・レジスタ1 (LCDM1) • LCDモード・レジスタ2 (LCDM2) • サブシステム・クロック供給モード制御レジスタ (OSMC) • LCDクロック制御レジスタ0 (LCDC0) • LCD昇圧レベル制御レジスタ (VLCD) • LCD入力切り替え制御レジスタ (ISCLCD) • ポート・モード・レジスタ (PMxx) • ポート・レジスタ (Pxx) • ブルアップ抵抗オプション・レジスタ (PUxx) • ポート入力モード・レジスタ (PIMxx) • ポート出力モード・レジスタ (POMxx) • ポート・モード・コントロールA・レジスタ (PMCAxx) • ポート・モード・コントロールT・レジスタ (PMCTxx) • ポート・モード・コントロールE・レジスタ (PMCExx) • LCDポート・ファンクション・レジスタ (PFSEGx)

The diagram illustrates the internal architecture of the LCD control system, organized into several functional blocks and interconnected by an internal bus.

- Internal Bus (内部バス):** The central communication channel connecting all major components.
- LCD Mode Registers (LCDモードレジスタ0 (LCDM0) to レジスタ2 (LCDM2)):** These registers store configuration data for the LCD, including mode selection (LCDM0), segment selection (LCDM1), and common selection (LCDM2).
- LCD Clock Control (LCDクロック制御回路):** This block manages the timing of the LCD, receiving clock signals (f_{CLK}, f_{MAIN}) and controlling the LCD clock (f_{LCD}).
- LCD Data Control (LCDデータ制御回路):** This block handles the data flow between the internal bus and the LCD, including data selection (LDC00 to LDC09) and data control (LDC01 to LDC09).
- LCD Driver Control (LCD駆動電圧制御回路):** This block controls the driving voltage of the LCD, including segment voltage control (セグメント電圧制御回路) and common voltage control (コモン電圧制御回路).
- Timing Controller (タイミング・コントローラ):** This block coordinates the timing of the LCD, receiving signals from the internal bus and controlling the LCD data control and LCD driver control.
- Segment Driver (セグメント・ドライバ):** This block drives the segments of the LCD, receiving signals from the segment voltage control and common voltage control.
- Common Driver (コモン・ドライバ):** This block drives the common lines of the LCD, receiving signals from the common voltage control.
- External Components:** The diagram also shows connections to external components like the LCD panel (LCD), LCD driver (LCDドライバ), and various control signals (SEG0 to SEG55).

22.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバを制御するレジスタを次に示します。

- LCDモード・レジスタ0 (LCDM0)
- LCDモード・レジスタ1 (LCDM1)
- LCDモード・レジスタ2 (LCDM2)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- LCDクロック制御レジスタ0 (LCDC0)
- LCD昇圧レベル制御レジスタ (VLCD)
- LCD入力切り替え制御レジスタ (ISCLCD)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

22.3.1 LCDモード・レジスタ0 (LCDM0)

LCDM0 レジスタは、LCD の動作を設定するレジスタです。VLCD レジスタの MDSET2 ビットとの組み合わせで使用します。

LCDM0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22-2 LCDモード・レジスタ0 (LCDM0) のフォーマット

アドレス : FFF40H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
LCDM0	MDSET1	MDSET0	LWAVE	LDTY2	LDTY1	LDTY0	LBAS1	LBAS0

MDSET2注	MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	0	外部抵抗分割方式
0	0	1	VL1リファレンス内部昇圧方式
1	0	1	VL2リファレンス内部昇圧方式
0	1	0	VDDリファレンス容量分割方式
1	1	0	VL4リファレンス容量分割方式
上記以外			設定禁止

LWAVE	LCD表示波形の選択
0	A波形
1	B波形

LDTY2	LDTY1	LDTY0	LCD表示の時分割数選択
0	0	0	スタティック
0	0	1	2時分割
0	1	0	3時分割
0	1	1	4時分割
1	0	0	6時分割
1	0	1	8時分割
上記以外			設定禁止

LBAS1	LBAS0	LCD表示のバイアス法選択
0	0	1/2バイアス法
0	1	1/3バイアス法
1	0	1/4バイアス法
1	1	設定禁止

注 MDSET2ビットは、VLCDレジスタのビット7に配置されています。

(注意は次ページに続きます)

- 注意1. LCDM1のSCOC = 1のときに、LCDM0の値を書き換えないでください。
- 注意2. スタティックを選択した場合（LDY2-LDY0 = 000B）、LBAS1, LBAS0ビットの設定は、必ず初期値（00B）にしてください。初期値以外の値を設定した場合の動作は保証しません。
- 注意3. 表示波形、時分割数、バイアス法の設定およびフレーム周波数は、表22 - 4に示す組み合わせのみサポートします。表22 - 4で示す組み合わせ以外は設定禁止です。

表22 - 4 表示波形／時分割数／バイアス法とフレーム周波数の組み合わせ

表示モード			設定値						駆動電圧生成方式				
表示波形	時分割数	バイアス法	U LWAVE	LDY2-LDY0			LBAS1, LBAS0		外部抵抗 分割	内部昇圧		容量分割	
										VL1	VL2	VDD	VL4
A 波形	8	1/4	0	1	0	1	1	0	○ (24-128 Hz)	○ (24-64 Hz)	×	○ (24-128 Hz)	×
A 波形	6	1/4	0	1	0	0	1	0	×	○ (32-86 Hz)	×	○ (32-86 Hz)	×
A 波形	8	1/3	0	1	0	1	0	1	○ (32-128 Hz)	○ (32-64 Hz)	○ (32-64 Hz)	○ (32-128 Hz)	○ (32-128 Hz)
A 波形	6	1/3	0	1	0	0	0	1	○ (32-128 Hz)	○ (32-86 Hz)	○ (32-80 Hz)	○ (32-128 Hz)	○ (32-128 Hz)
A 波形	4	1/3	0	0	1	1	0	1	○ (24-128 Hz)	○ (24-128 Hz)	○ (24-80 Hz)	○ (24-128 Hz)	○ (24-128 Hz)
A 波形	3	1/3	0	0	1	0	0	1	○ (32-128 Hz)	○ (32-128 Hz)	○ (32-80 Hz)	○ (32-128 Hz)	○ (32-128 Hz)
A 波形	3	1/2	0	0	1	0	0	0	○ (32-128 Hz)	×	×	×	×
A 波形	2	1/2	0	0	0	1	0	0	○ (24-128 Hz)	×	×	×	×
A 波形	スタティック		0	0	0	0	0	0	○ (24-128 Hz)	×	×	×	×
B 波形	8	1/4	1	1	0	1	1	0	○ (24-128 Hz)	○ (24-64 Hz)	×	○ (24-128 Hz)	×
B 波形	8	1/3	1	1	0	1	0	1	○ (32-128 Hz)	○ (32-64 Hz)	○ (32-64 Hz)	○ (32-128 Hz)	○ (32-128 Hz)
B 波形	6	1/3	1	1	0	0	0	1	○ (32-128 Hz)	○ (32-86 Hz)	○ (32-80 Hz)	○ (32-128 Hz)	○ (32-128 Hz)
B 波形	4	1/3	1	0	1	1	0	1	○ (24-128 Hz)	○ (24-128 Hz)	○ (24-80 Hz)	○ (24-128 Hz)	○ (24-128 Hz)
B 波形	3	1/3	1	0	1	0	0	1	○ (32-128 Hz)	○ (32-128 Hz)	○ (32-80 Hz)	○ (32-128 Hz)	○ (32-128 Hz)

備考 ○ : 対応

× : 非対応

22.3.2 LCDモード・レジスタ1 (LCDM1)

LCDM1 レジスタは、表示動作の許可／禁止、昇圧回路または容量分割回路の動作許可／停止、表示データ領域、低電圧モードを設定するレジスタです。

LCDM1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-3 LCDモード・レジスタ1 (LCDM1) のフォーマット

アドレス : FFF41H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	2	1	<0>
LCDM1	LCDON	SCOC	VLCON	BLON	LCDSEL	0	0	LCDVLM

SCOC	LCDON	LCD表示の許可／禁止 (A波形／B波形出力時)
0	0	セグメント端子／コモン端子にグランド・レベルを出力
0	1	
1	0	表示オフ (セグメント出力はすべて非選択信号出力)
1	1	表示オン

VLCON	昇圧回路または容量分割回路の動作許可／停止
0	昇圧回路または容量分割回路の動作停止
1 ^{注1}	昇圧回路または容量分割回路の動作許可

BLON ^{注2}	LCDSEL	表示データ領域の制御
0	0	Aパターン領域 (LCD表示データ・レジスタの下位4ビット) のデータを表示
0	1	Bパターン領域 (LCD表示データ・レジスタの上位4ビット) のデータを表示
1	0	Aパターン領域とBパターン領域のデータを交互に表示 (LCDM2レジスタのLCDSEL2, LCDSEL1ビットで設定したタイミングに対応した点滅表示)
1	1	

LCDVLM ^{注3}	昇圧端子の初期値の切り替え制御
0	V _{DD} 電圧 > 4.2 V の場合
1	V _{DD} 電圧 < 2.7 V の場合

★

★

注1. 外部抵抗分割モード時には設定禁止

注2. LCDソース・クロック (f_{LCD}) としてf_{IL}を選択する場合は、必ずBLONビット=0にしてください。

★

注3. 昇圧回路使用時に、VLx端子の初期状態を設定して昇圧安定時間を短くするための機能です。

昇圧開始時のV_{DD}電圧が2.7 V ≤ V_{DD} ≤ 4.2 Vの場合は、LCDVLM = 0, LCDVLM = 1のいずれでも動作可能です。

注意1. 昇圧回路使用時にLCD表示を行わないときに消費電力を削減したい場合は、SCOC = 0, VLCON = 0を設定し、さらにLCDM0.MDSET1, LCDM0.MDSET0 = 00Bを設定してください。MDSET1, MDSET0 = 01Bの場合、内部の基準電圧生成部が動作するため電力を消費します。

(注意は次ページに続きます)

- 注意2. 外部抵抗分割方式設定時 (MDSET1, MDSET0 = 00B) または容量分割方式設定時 (MDSET1, MDSET0 = 10B) は、LCDVLM ビットに0を設定してください。
- 注意3. SCOC = 1のときは、VLCON, LCDVLM ビットを書き換えないでください。
- 注意4. 表示モードに6時分割、8時分割数を選択した場合、BLON ビットとLCDSEL ビットに0を設定してください。
- 注意5. 内部昇圧方式を使用する場合は、VLCD レジスタで基準電圧 (基準電圧をデフォルト値で使用する場合は内部昇圧方式を選択 (MDSET1, MDSET0 = 01B)) を設定してから、基準電圧セットアップ時間 (10 ms (Min.)) をウェイトしたあとに、VLCON ビットに1を設定してください。
- 注意6. VL4 リファレンス選択時の容量分割方式を使用する場合は、VL4 リファレンス容量分割方式に選択 (MDSET1, MDSET0 = 10B, VLCD.MDSET2 = 1) してから、基準電圧セットアップ時間 (10 ms (Min.)) をウェイトしたあとに、VLCON ビットに1を設定してください。

22.3.3 LCDモード・レジスタ2（LCDM2）

LCDM2 レジスタは、LCD 点滅表示の切り替えトリガを設定するレジスタです。
LCDM2 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります

図22 -4 LCDモード・レジスタ2（LCDM2）のフォーマット

アドレス : F0299H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
LCDM2	0	0	0	0	0	0	LCDSEL2	LCDSEL1

LCDSEL2	LCDSEL1	LCD 点滅表示の切り替えタイミング選択
0	0	INTRTCに対応した点滅
1	0	0.5秒周期での点滅（sub500ms）
1	1	ELCITL2に対応した点滅
上記以外		設定禁止

22.3.4 サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

WUTMMCK0 ビットで LCD コントローラ／ドライバの動作クロック（fLCD）を選択できます。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定になります。

図22 - 5 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス : F00F3H

リセット時: 不定

R/W属性 : R/W

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK0	×	×	0	HIPREC
WUTMMCK0	LCDコントローラ／ドライバの動作クロック（fLCD）の選択							
0	サブシステム・クロック XR（fsXR）							
1	低速オンチップ・オシレータ・クロック（fIL）							

- 注意1. サブシステム・クロックX発振中にWUTMMCK0ビットに1を設定することは禁止です。
- 注意2. WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、シリアル・インタフェースUARTA、クロック出力／ブザー出力制御回路、LCDコントローラ／ドライバ、32ビット・インターバル・タイマ、8ビット・インターバル・タイマ、外部サンプリングのすべての機能が動作停止中のみ可能です。

22.3.5 LCDクロック制御レジスタ0 (LCDC0)

LCDC0 レジスタは、LCD クロックを設定するレジスタです。

LCD クロックと時分割数で、フレーム周波数が決まります。

LCDC0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図22 - 6 LCDクロック制御レジスタ (LCDC0) のフォーマット

アドレス : FFF42H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00

LCDC05	LCDC04	LCDC03	LCDC02	LCDC01	LCDC00	LCD クロック (LCDCL)	
						WUTMMCK0 = 0	WUTMMCK0 = 1
0	0	0	0	0	1	$f_{\text{SXR}}/2^2$	$f_{\text{IL}}/2^2$
0	0	0	0	1	0	$f_{\text{SXR}}/2^3$	$f_{\text{IL}}/2^3$
0	0	0	0	1	1	$f_{\text{SXR}}/2^4$	$f_{\text{IL}}/2^4$
0	0	0	1	0	0	$f_{\text{SXR}}/2^5$	$f_{\text{IL}}/2^5$
0	0	0	1	0	1	$f_{\text{SXR}}/2^6$	$f_{\text{IL}}/2^6$
0	0	0	1	1	0	$f_{\text{SXR}}/2^7$	$f_{\text{IL}}/2^7$
0	0	0	1	1	1	$f_{\text{SXR}}/2^8$	$f_{\text{IL}}/2^8$
0	0	1	0	0	0	$f_{\text{SXR}}/2^9$	$f_{\text{IL}}/2^9$
0	0	1	0	0	1	$f_{\text{SXR}}/2^{10}$	$f_{\text{IL}}/2^{10}$
0	1	0	0	0	1	$f_{\text{MAIN}}/2^8$	
0	1	0	0	1	0	$f_{\text{MAIN}}/2^9$	
0	1	0	0	1	1	$f_{\text{MAIN}}/2^{10}$	
0	1	0	1	0	0	$f_{\text{MAIN}}/2^{11}$	
0	1	0	1	0	1	$f_{\text{MAIN}}/2^{12}$	
0	1	0	1	1	0	$f_{\text{MAIN}}/2^{13}$	
0	1	0	1	1	1	$f_{\text{MAIN}}/2^{14}$	
0	1	1	0	0	0	$f_{\text{MAIN}}/2^{15}$	
0	1	1	0	0	1	$f_{\text{MAIN}}/2^{16}$	
0	1	1	0	1	0	$f_{\text{MAIN}}/2^{17}$	
0	1	1	0	1	1	$f_{\text{MAIN}}/2^{18}$	
1	0	1	0	1	1	$f_{\text{MAIN}}/2^{19}$	
上記以外						設定禁止	

注意1. ビット7, 6には、必ず0を設定してください。

(注意、備考は次ページに続きます)

注意2. LCDM1.SCOC = 1のときは、LCDC0レジスタを設定しないでください。

注意3. 内部昇圧方式、容量分割方式に設定した場合、LCDクロック（LCDCL）は次のように設定してください。

- fsXR選択時 : 512 Hz以下
- fil選択時 : 512 Hz以下

詳細は、表22 - 4 表示波形／時分割数／バイアス法とフレーム周波数の組み合わせを参照してください。

備考 fMAIN : メイン・システム・クロック周波数
fil : 低速オンチップ・オシレータ・クロック周波数
fsXR : サブシステム・クロックXR周波数

22.3.6 LCD昇圧レベル制御レジスタ（VLCD）

VLCD レジスタは、昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は、23 段階から選択することができます。LCDM0 レジスタの MDSET1, MDSET0 ビットとの組み合わせで使
用します。
VLCD レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、04H になります。

図22 - 7 LCD昇圧レベル制御レジスタ（VLCD）のフォーマット (1/3)

アドレス : FFF43H
リセット時: 04H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
VLCD	MDSET2	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

MDSET2	MDSET1注	MDSET0注	LCD 駆動電圧生成回路の選択
0	0	0	外部抵抗分割方式
0	0	1	VL1 リファレンス内部昇圧方式
1	0	1	VL2 リファレンス内部昇圧方式
0	1	0	VDD リファレンス容量分割方式
1	1	0	VL4 リファレンス容量分割方式
上記以外			設定禁止

注 MDSET1, MDSET0 ビットは、LCDM0 レジスタのビット7, 6に配置されています。

注意 ビット6, 5には、必ず0を設定してください。

図22 - 7 LCD昇圧レベル制御レジスタ (VLCD) のフォーマット (2/3)

VL1リファレンス内部昇圧方式選択時 (MDSET2-MDSET0 = 001B)

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	VL1基準電圧選択 (コントラスト調整)	VL4電圧	
						1/3バイアス法 時	1/4バイアス法 時
0	0	1	0	0	1.01 V (デフォルト)	3.03 V	4.04 V
0	0	1	0	1	1.04 V	3.12 V	4.16 V
0	0	1	1	0	1.07 V	3.21 V	4.28 V
0	0	1	1	1	1.11 V	3.33 V	4.44 V
0	1	0	0	0	1.14 V	3.42 V	4.56 V
0	1	0	0	1	1.17 V	3.51 V	4.68 V
0	1	0	1	0	1.21 V	3.63 V	4.84 V
0	1	0	1	1	1.24 V	3.72 V	4.96 V
0	1	1	0	0	1.27 V	3.81 V	5.01 V
0	1	1	0	1	1.31 V	3.93 V	5.24 V
0	1	1	1	0	1.34 V	4.02 V	設定禁止
0	1	1	1	1	1.37 V	4.11 V	設定禁止
1	0	0	0	0	1.40 V	4.20 V	設定禁止
1	0	0	0	1	1.44 V	4.32 V	設定禁止
1	0	0	1	0	1.47 V	4.41 V	設定禁止
1	0	0	1	1	1.50 V	4.50 V	設定禁止
1	0	1	0	0	1.54 V	4.62 V	設定禁止
1	0	1	0	1	1.57 V	4.71 V	設定禁止
1	0	1	1	0	1.60 V	4.80 V	設定禁止
1	0	1	1	1	1.64 V	4.92 V	設定禁止
1	1	0	0	0	1.67 V	5.01 V	設定禁止
1	1	0	0	1	1.70 V	5.10 V	設定禁止
1	1	0	1	0	1.74 V	5.22 V	設定禁止
上記以外					設定禁止		

図22 - 7 LCD昇圧レベル制御レジスタ（VLCD）のフォーマット (3/3)

VL2リファレンス内部昇圧方式選択時（MDSET2-MDSET0 = 101B）

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	VL2基準電圧選択 (コントラスト調整)	VL4電圧
						1/3バイアス法時
0	0	1	0	0	2.02 V (デフォルト)	3.03 V
0	0	1	0	1	2.09 V	3.14 V
0	0	1	1	0	2.16 V	3.24 V
0	0	1	1	1	2.22 V	3.33 V
0	1	0	0	0	2.29 V	3.44 V
0	1	0	0	1	2.36 V	3.54 V
0	1	0	1	0	2.42 V	3.63 V
0	1	0	1	1	2.49 V	3.74 V
0	1	1	0	0	2.56 V	3.84 V
0	1	1	0	1	2.62 V	3.93 V
0	1	1	1	0	2.69 V	4.07 V
0	1	1	1	1	2.76 V	4.14 V
1	0	0	0	0	2.82 V	4.23 V
1	0	0	0	1	2.89 V	4.34 V
1	0	0	1	0	2.96 V	4.44 V
1	0	0	1	1	3.02 V	4.53 V
1	0	1	0	0	3.09 V	4.64 V
1	0	1	0	1	3.15 V	4.73 V
1	0	1	1	0	3.22 V	4.83 V
1	0	1	1	1	3.29 V	4.94 V
1	1	0	0	0	3.35 V	5.03 V
1	1	0	0	1	3.42 V	5.13 V
1	1	0	1	0	3.49 V	5.24 V
上記以外					設定禁止	

注意1. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。

注意2. VLCDレジスタの値を変更する場合は、必ず昇圧回路の動作を停止（LCDM1.VLCON = 0）してから行ってください。

注意3. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧（基準電圧をデフォルト値で使用する場合は内部昇圧方式を選択（MDSET1, MDSET0 = 01B）を設定してから、基準電圧セットアップ時間（10 ms (Min.)）をウエイトしたあとに、VLCONビットに1を設定してください。

注意4. 外部抵抗分割方式または容量分割方式では、VLCD4-VLCD0ビットは初期値（04H）で使用してください。

22.3.7 LCD入力切り替え制御レジスタ（ISCLCD）

ISCLCD レジスタは、VL4/P85, VL3/P125, VL2/P86, VL1/P87, CAPL/P126, CAPH/P127 端子を LCD 機能として動作するように設定を行うまでの期間、貫通電流の進入を防ぐためにシュミット・トリガ・バッファを入力禁止にする必要があります。

ISCLCD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 22-8 LCD入力切り替え制御レジスタ（ISCLCD）のフォーマット

アドレス : F0298H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
ISCLCD	0	0	0	ISCVL4	ISCVL3	ISCVL2	ISCVL1	ISCCAP
ISCVL4	VL4/P85 端子のシュミット・トリガ・バッファの制御							
0	LCD 機能有効 (VL4 として使用)							
1	LCD 機能無効 (デジタル入力有効)							
ISCVL3	VL3/P125 端子のシュミット・トリガ・バッファの制御							
0	LCD 機能有効 (VL3 として使用)							
1	LCD 機能無効 (デジタル入力有効)							
ISCVL2	VL2/P86 端子のシュミット・トリガ・バッファの制御							
0	LCD 機能有効 (VL2 として使用)							
1	LCD 機能無効 (デジタル入力有効)							
ISCVL1	VL1/P87 端子のシュミット・トリガ・バッファの制御							
0	LCD 機能有効 (VL1 として使用)							
1	LCD 機能無効 (デジタル入力有効)							
ISCCAP	CAPL/P126, CAPH/P127 端子のシュミット・トリガ・バッファの制御							
0	LCD 機能有効 (CAPH, CAPL として使用)							
1	LCD 機能無効 (デジタル入力有効)							

注意 1. ISCVL4 = 0 の場合、対応するポート制御レジスタは、次のように設定してください。

PU8.PU85 = 0, P8.P85 = 0

注意 2. ISCVL3 = 0 の場合、対応するポート制御レジスタは、次のように設定してください。

PU12.PU125 = 0, P12.P125 = 0

注意 3. ISCVL2 = 0 の場合、対応するポート制御レジスタは、次のように設定してください。

PU8.PU86 = 0, P8.P86 = 0

注意 4. ISCVL1 = 0 の場合、対応するポート制御レジスタは、次のように設定してください。

PU8.PU87 = 0, P8.P87 = 0

注意 5. ISCCAP = 0 の場合、対応するポート制御レジスタは、次のように設定してください。

PU12.PU126 = 0, P12.P126 = 0

PU12.PU127 = 0, P12.P127 = 0

(a) VL4-VL1, CAPL, CAPH端子兼用ポートの動作

VL4/P85, VL3/P125, VL2/P86, VL1/P87, CAPL/P126, CAPH/P127 端子の機能は、LCD入力切り替え制御レジスタ (ISCLCD)、LCDモード・レジスタ0 (LCDM0)、ポート・モード・レジスタ (PM8) とポート・モード・レジスタ (PM12) の設定で決定します。

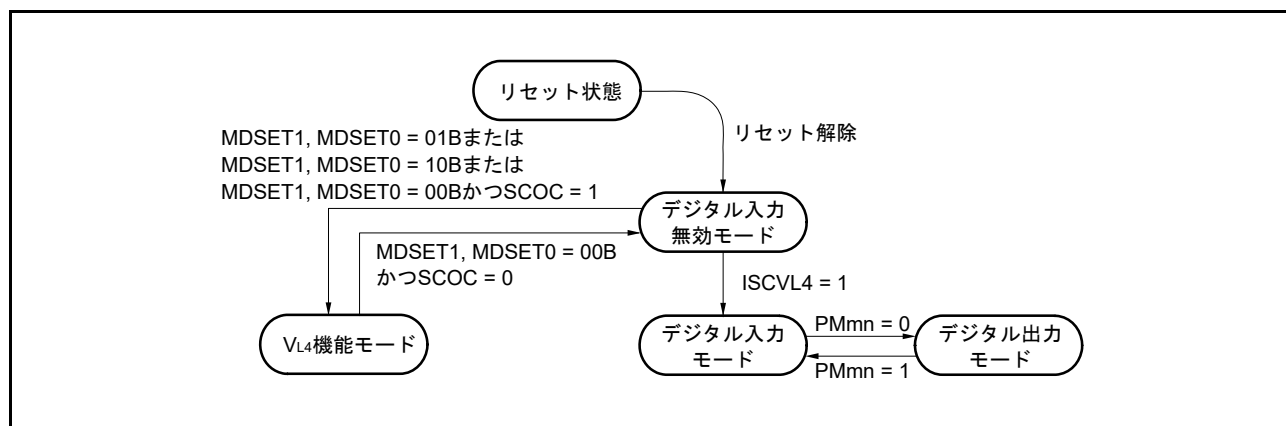
- VL4/P85

表22 - 5 VL4/P85端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタの MDSET1, MDSET0ビット)	LCDM1レジスタの SCOCビット	ISCLCDレジスタの ISCVL4ビット	PM8レジスタの PM85ビット	端子機能	初期 状態
外部抵抗分割 (MDSET1, MDSET0 = 00B)	0	0	1	デジタル入力無効モード	○
	0	1	0	デジタル出力モード	—
	0	1	1	デジタル入力モード	—
	1	0	1	VL4機能モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01Bまたは 10B)	0/1	0	1	VL4機能モード	—
上記以外				設定禁止	

図22 - 9にVL4/P85端子機能の状態遷移を示します。

図22 - 9 VL4/P85端子機能の状態遷移図



- TS02/VL3/P125

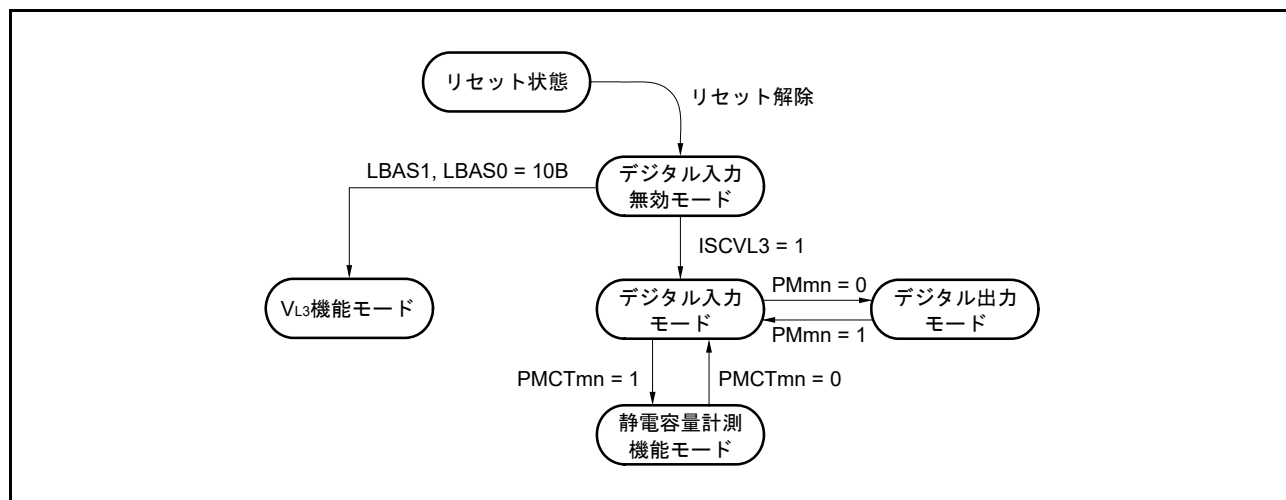
表22 - 6 TS02/VL3/P125端子機能の設定

バイアス法設定 (LCDM0レジスタの LBAS1, LBAS0ビットで設定)	PMCT12レジスタの PMCT125ビット	ISCLCDレジスタの ISCVL3ビット	PM12レジスタの PM125ビット	端子機能	初期 状態
1/4バイアス法以外 (LBAS1, LBAS0 = 00Bまたは01B)	0	0	1	デジタル入力無効モード	○
	0	1	0	デジタル出力モード	—
	0	1	1	デジタル入力モード	—
	1	1	×	静電容量計測機能モード	—
1/4バイアス法 (LBAS1, LBAS0 = 10B)	0	0	1	VL3機能モード	—
上記以外				設定禁止	

備考 × : Don't care

図22 - 10にTS02/VL3/P125端子機能の状態遷移を示します。

図22 - 10 TS02/VL3/P125端子機能の状態遷移図



注意 VL3機能モードに設定する場合は、セグメント出力開始前 (LCDM1.SCOC = 0の期間) に設定してください。

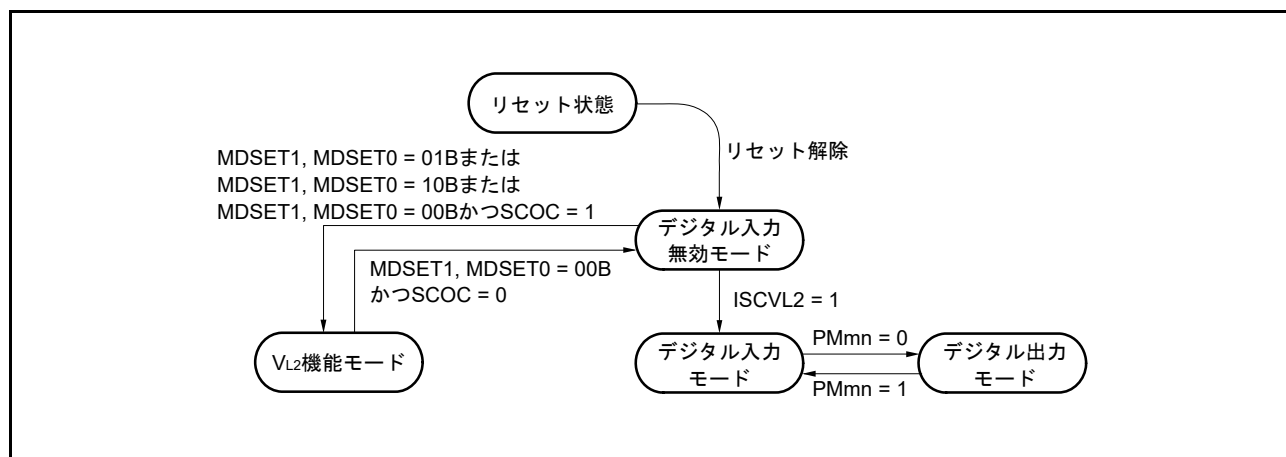
- VL2/P86

表22 - 7 VL2/P86端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタの MDSET1, MDSET0ビット)	LCDM1レジスタの SCOCビット	ISCLCDレジスタの ISCVL2ビット	PM8レジスタの PM86ビット	端子機能	初期 状態
外部抵抗分割 (MDSET1, MDSET0 = 00B)	0	0	1	デジタル入力無効モード	○
	0/1	1	0	デジタル出力モード	—
	0/1	1	1	デジタル入力モード	—
	1	0	1	VL2機能モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01Bまたは 10B)	0/1	0	1	VL2機能モード	—
上記以外				設定禁止	

図22 - 11にVL2/P86端子機能の状態遷移を示します。

図22 - 11 VL2/P86端子機能の状態遷移図



注意 デジタル入力モードに設定する場合は、MDSET1, MDSET0ビットとSCOCビットの変更前に設定してください。

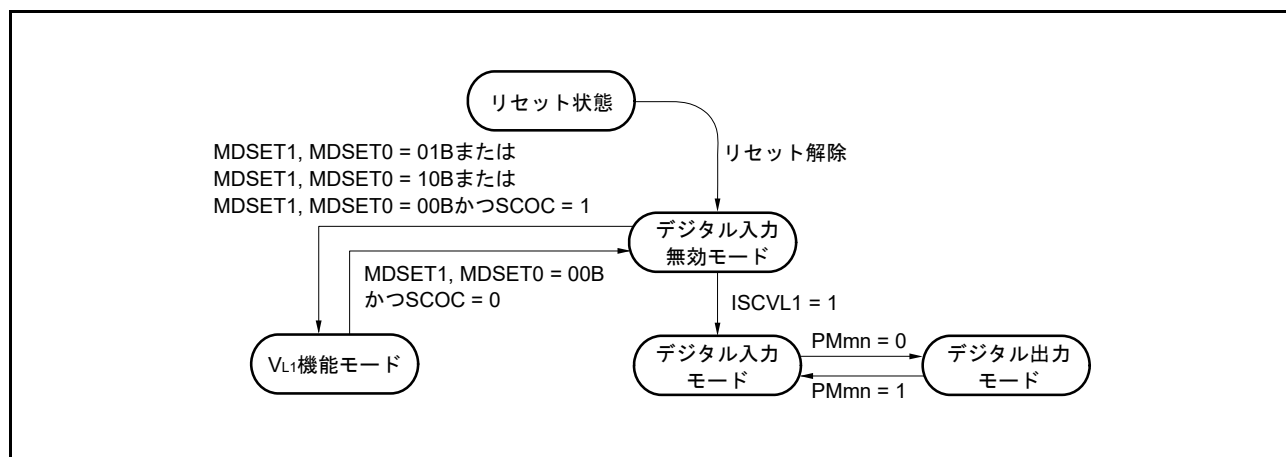
- VL1/P87

表22 - 8 VL1/P87端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタの MDSET1, MDSET0ビット)	LCDM1レジスタの SCOCビット	ISCLCDレジスタの ISCVL1ビット	PM8レジスタの PM87ビット	端子機能	初期 状態
外部抵抗分割 (MDSET1, MDSET0 = 00B)	0	0	1	デジタル入力無効モード	○
	0/1	1	0	デジタル出力モード	—
	0/1	1	1	デジタル入力モード	—
	1	0	1	VL1機能モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01Bまたは 10B)	0/1	0	1	VL1機能モード	—
上記以外				設定禁止	

図22 - 12にVL1/P87端子機能の状態遷移を示します。

図22 - 12 VL1/P87端子機能の状態遷移図



注意 デジタル入力モードに設定する場合は、MDSET1, MDSET0ビットとSCOCビットの変更前に設定してください。

- TS01/CAPL/P126, TS00/CAPH/P127

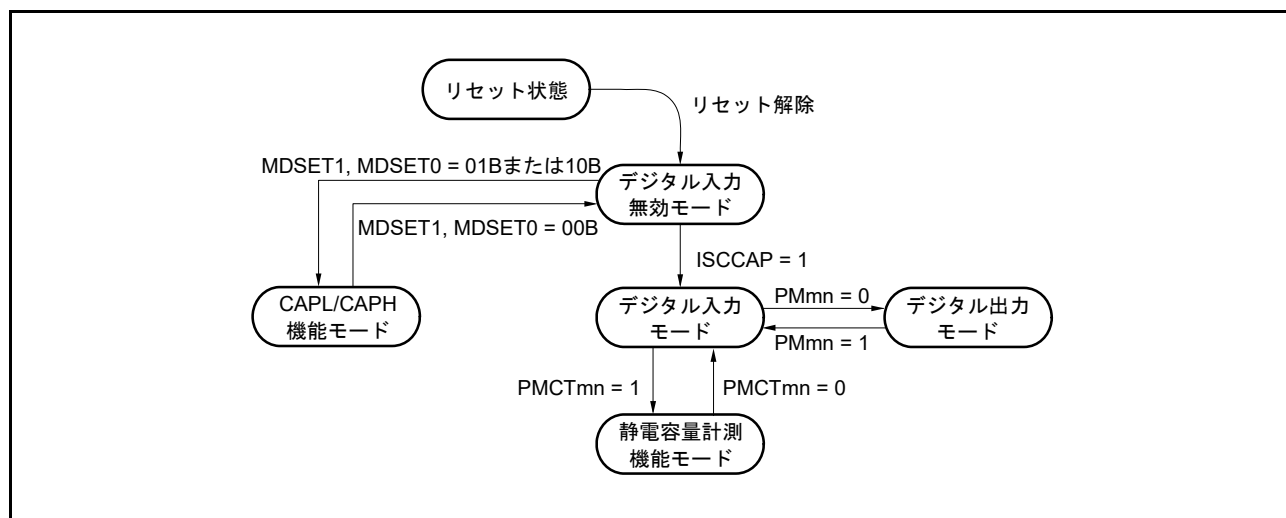
表22 - 9 TS01/CAPL/P126, TS00/CAPH/P127端子機能の設定

LCD駆動電圧生成 (LCDM0レジスタの MDSET1, MDSET0ビット)	PMCT12レジスタの PMCT126, PMCT127ビット	ISCLCDレジスタの ISCCAPビット	PM12レジスタの PM126, PM127ビット	端子機能	初期 状態
外部抵抗分割 (MDSET1, MDSET0 = 00B)	0	0	1	デジタル入力無効モード	○
	0	1	0	デジタル出力モード	—
	0	1	1	デジタル入力モード	—
	1	1	×	静電容量計測機能モード	—
内部昇圧または容量分割 (MDSET1, MDSET0 = 01Bまたは 10B)	0	0	1	CAPL/CAPH機能モード	—
上記以外				設定禁止	

備考 × : Don't care

図22 - 13にTS01/CAPL/P126, TS00/CAPH/P127端子機能の状態遷移を示します。

図22 - 13 TS01/CAPL/P126, TS00/CAPH/P127端子機能の状態遷移図



注意 CAPL/CAPH機能モードに設定する場合は、セグメント出力開始前 (LCDM1.SCOC = 0の期間) に設定してください。

22.3.8 LCDポート・ファンクション・レジスタ (PFSEGx)

PFSEGx レジスタは、P90-P97 端子をポート（コモン出力以外）／コモン出力のどちらで使用するか、また P00-P07, P10-P17, P22-P27, P30-P35, P46, P47, P50-P57, P70-P77, P94-P97, P130, P141-P145 端子をポート（セグメント出力以外）／セグメント出力のどちらで使用するかを設定するレジスタです。

PFSEGx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります（PFSEG0 レジスタは 0FH）。

備考 COM/SEG出力端子（COMxx/SEGxx）と PFSEGx レジスタ（PFCOMy/PFSEGz ビット）の対応と、製品による COMxx/SEGxx 端子の有無を表 22 - 10 各製品で搭載しているコモン／セグメント出力端子と対応する PFSEGx レジスタ（PFCOMy/PFSEGz ビット）に示します。

図 22 - 14 LCDポート・ファンクション・レジスタ (PFSEGx) のフォーマット (1/2)

アドレス : F0290H

リセット時: 0FH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG0	0	0	0	0	PFCOM3	PFCOM2	PFCOM1	PFCOM0

アドレス : F0291H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG1	PFSEG07	PFSEG06	PFSEG05	PFSEG04	PFSEG03	PFSEG02	PFSEG01	PFSEG00

アドレス : F0292H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG2	PFSEG15	PFSEG14	PFSEG13	PFSEG12	PFSEG11	PFSEG10	PFSEG09	PFSEG08

アドレス : F0293H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG3	PFSEG23	PFSEG22	PFSEG21	PFSEG20	PFSEG19	PFSEG18	PFSEG17	PFSEG16

アドレス : F0294H

リセット時: EFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG4	PFSEG31	PFSEG30	PFSEG29	PFSEG28	PFSEG27	PFSEG26	PFSEG25	PFSEG24

図22 - 14 LCDポート・ファンクション・レジスタ (PFSEGx) のフォーマット (2/2)

アドレス : F0295H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG5	PFSEG39	PFSEG38	PFSEG37	PFSEG36	PFSEG35	PFSEG34	PFSEG33	PFSEG32

アドレス : F0296H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG6	PFSEG47	PFSEG46	PFSEG45	PFSEG44	PFSEG43	PFSEG42	PFSEG41	PFSEG40

アドレス : F0297H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PFSEG7	PFSEG55	PFSEG54	PFSEG53	PFSEG52	PFSEG51	PFSEG50	PFSEG49	PFSEG48

PFCOMy (y = 0-3)	Pmn端子のポート（コモン出力以外）／コモン出力の指定（mn = 90-93）
0	ポート（コモン出力以外）として使用
1	コモン出力として使用

PFSEGz (z = 00-55)	Pmn端子のポート（セグメント出力以外）／セグメント出力の指定 (mn = 00-07, 10-17, 22-27, 30-35, 46, 47, 50-57, 70-77, 94-97, 130, 141-145)
0	ポート（セグメント出力以外）として使用
1	セグメント出力として使用

備考 コモン／セグメント出力として使用する（PFCOMy/PFSEGz = 1）場合には、必ずPUm.PUm_n = 0, POMm.POM_m = 0, PIMm.PIM_m = 0を設定してください。

表22 - 10 各製品で搭載しているコモン／セグメント出力端子と対応するPFSEGXレジスタ
(PFCOMy/PFSEgzビット) (1/2)

PFSEGXレジスタの ビット	対応する端子	兼用するポート	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
PFCOM0	COM0	P90	○	○	○	○	○	○
PFCOM1	COM1	P91	○	○	○	○	○	○
PFCOM2	COM2	P92	○	○	○	○	○	○
PFCOM3	COM3	P93	○	○	○	○	○	○
PFSEG00	COM4/SEG0	P94	○	○	○	○	○	○
PFSEG01	COM5/SEG1	P95	○	○	○	○	○	○
PFSEG02	COM6/SEG2	P96	○	○	○	○	○	○
PFSEG03	COM7/SEG3	P97	○	○	○	○	○	○
PFSEG04	SEG4	P50	○	○	—	—	—	—
PFSEG05	SEG5	P51	○	○	—	—	—	—
PFSEG06	SEG6	P52	○	○	○	—	—	—
PFSEG07	SEG7	P53	○	○	○	○	—	—
PFSEG08	SEG8	P54	○	○	○	○	○	—
PFSEG09	SEG9	P55	○	○	—	—	—	—
PFSEG10	SEG10	P56	○	○	—	—	—	—
PFSEG11	SEG11	P57	○	○	○	○	○	○
PFSEG12	SEG12	P70	○	○	○	—	—	—
PFSEG13	SEG13	P71	○	○	—	—	—	—
PFSEG14	SEG14	P72	○	○	—	—	—	—
PFSEG15	SEG15	P73	○	○	—	—	—	—
PFSEG16	SEG16	P74	○	○	○	○	—	—
PFSEG17	SEG17	P75	○	○	○	○	○	—
PFSEG18	SEG18	P76	○	○	○	○	○	○
PFSEG19	SEG19	P77	○	○	○	○	○	○
PFSEG20	SEG20	P30	○	○	○	—	—	—
PFSEG21	SEG21	P31	○	○	○	—	—	—
PFSEG22	SEG22	P32	○	—	—	—	—	—
PFSEG23	SEG23	P33	○	—	—	—	—	—
PFSEG24	SEG24	P34	○	○	—	—	—	—
PFSEG25	SEG25	P35	○	○	—	—	—	—
PFSEG26	SEG26	P46	○	○	—	—	—	—
PFSEG27	SEG27	P47	○	○	—	—	—	—
PFSEG28	SEG28	P130	○	○	—	—	—	—
PFSEG29	SEG29	P22	○	○	○	○	○	○
PFSEG30	SEG30	P23	○	○	—	—	—	—
PFSEG31	SEG31	P24	○	○	—	—	—	—
PFSEG32	SEG32	P25	○	○	—	—	—	—
PFSEG33	SEG33	P26	○	○	○	○	○	○

表22 - 10 各製品で搭載しているコモン／セグメント出力端子と対応するPFSEGxレジスタ
(PFCOMy/PFSEGzビット) (2/2)

PFSEGxレジスタの ビット	対応する端子	兼用するポート	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
PFSEG34	SEG34	P27	○	○	○	○	○	○
PFSEG35	SEG35	P10	○	○	○	○	○	○
PFSEG36	SEG36	P11	○	○	○	○	○	○
PFSEG37	SEG37	P12	○	○	○	○	○	○
PFSEG38	SEG38	P13	○	○	○	○	○	—
PFSEG39	SEG39	P14	○	○	○	○	—	—
PFSEG40	SEG40	P15	○	○	○	—	—	—
PFSEG41	SEG41	P16	○	○	○	○	○	○
PFSEG42	SEG42	P17	○	○	○	○	○	○
PFSEG43	SEG43	P00	○	○	○	○	○	○
PFSEG44	SEG44	P01	○	○	○	—	—	—
PFSEG45	SEG45	P02	○	○	○	—	—	—
PFSEG46	SEG46	P03	○	○	○	—	—	—
PFSEG47	SEG47	P04	○	○	○	—	—	—
PFSEG48	SEG48	P05	○	○	○	○	○	○
PFSEG49	SEG49	P06	○	○	○	○	○	○
PFSEG50	SEG50	P07	○	○	○	○	○	○
PFSEG51	SEG51	P141	○	—	—	—	—	—
PFSEG52	SEG52	P142	○	—	—	—	—	—
PFSEG53	SEG53	P143	○	—	—	—	—	—
PFSEG54	SEG54	P144	○	—	—	—	—	—
PFSEG55	SEG55	P145	○	—	—	—	—	—

(a) COMxx/SEGxx端子兼用ポートの動作

コモン端子（COMxx）とセグメント出力端子（SEGxx）の機能は、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・コントロールT・レジスタ（PMCTxx）、ポート・モード・レジスタ（PMxx）、LCDポート・ファンクション・レジスタ（PFSEGx）の設定で決定します。

- P00-P07, P15-P17, P30-P35, P46, P47, P50-P57, P70-P77, P90-P97, P141-P145
（アナログ入力端子（ANLxx）を兼用していないポート）

表22 - 11 TSxx/COMxx/SEGxxポート端子機能の設定

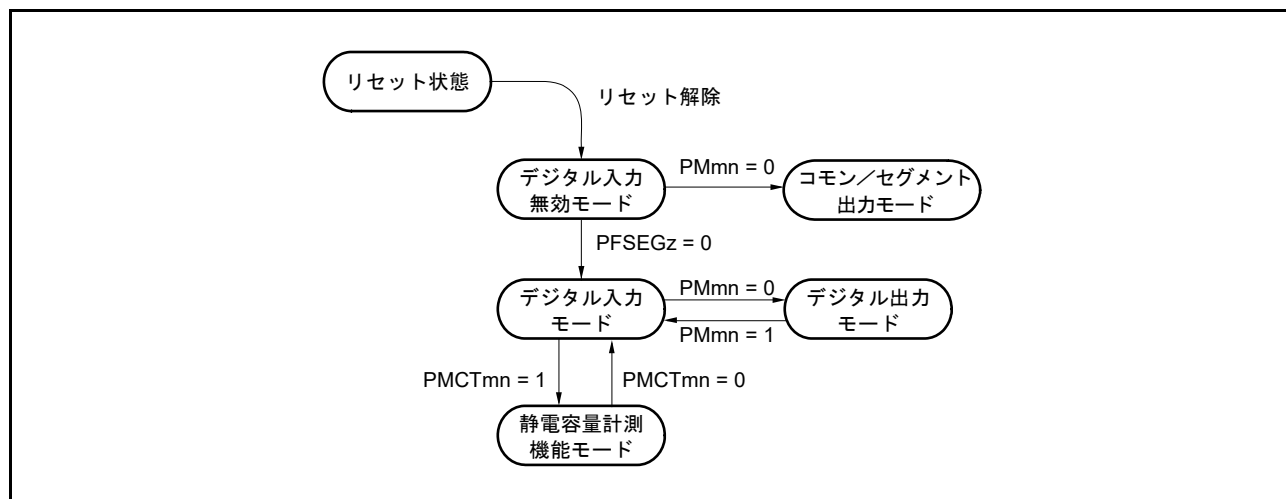
PMCTxxレジスタの PMCTxxビット注	PFSEGxレジスタの PFCOMy/PFSEGzビット	PMxxレジスタの PMxxビット	端子機能	初期 状態
0	1	1	デジタル入力無効モード	○
0	0	0	デジタル出力モード	—
0	0	1	デジタル入力モード	—
0	1	0	コモン／セグメント出力モード	—
1	0	×	静電容量計測機能モード	—
上記以外			設定禁止	

注 PMCT00-03, 15-17, 46, 47, 130, 141-145は搭載していません。

備考 × : Don't care

図22 - 15にTSxx/COMxx/SEGxxポート端子機能の状態遷移を示します。

図22 - 15 TSxx/COMxx/SEGxxポート端子機能の状態遷移図



注意 コモン／セグメント出力モードに設定する場合は、セグメント出力開始前（LCDM1.SCOC = 0の期間）に設定してください。

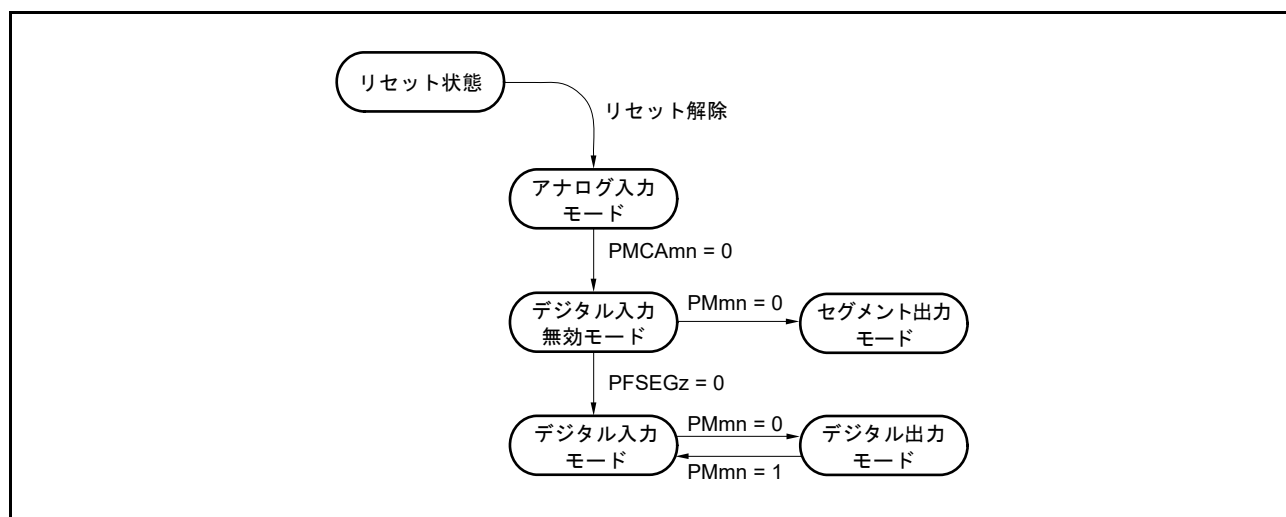
- P10-P14, P22-P27（アナログ入力端子（ANLxx）を兼用するポート）

表22 - 12 ANLxx/SEGxxポート端子機能の設定

PMCAxx レジスタの PMCAxx ビット	PFSEG4, PFSEG5 レジスタの PFSEGz ビット	PMxx レジスタの PMxx ビット	端子機能	初期 状態
1	1	1	アナログ入力モード	○
0	0	0	デジタル出力モード	—
0	0	1	デジタル入力モード	—
0	1	0	セグメント出力モード	—
0	1	1	デジタル入力無効モード	—
上記以外			設定禁止	

図22 - 16にANLxx/SEGxxポート端子機能の状態遷移を示します。

図22 - 16 ANLxx/SEGxxポート端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前（LCDM1.SCOC = 0の期間）に設定してください。

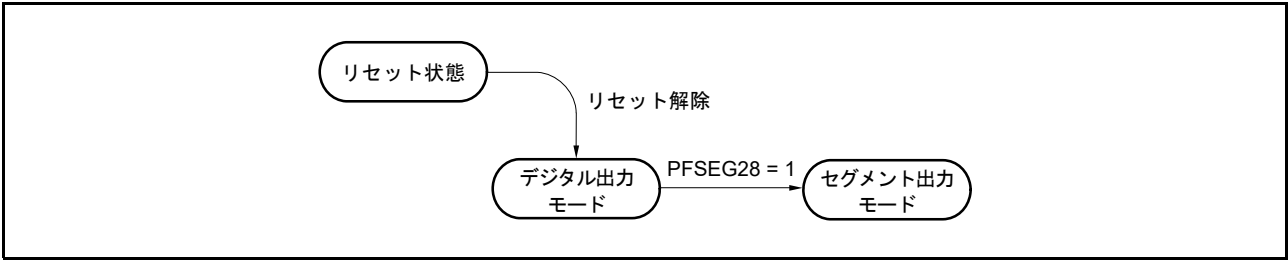
- SEG28/P130

表22 - 13 SEG28/P130ポート端子機能の設定

PFSEG4レジスタのPFSEG28ビット	端子機能	初期状態
0	デジタル出力モード	○
1	セグメント出力モード	—

図22 - 17にSEG28/P130端子機能の状態遷移を示します。

図22 - 17 SEG28/P130 端子機能の状態遷移図



注意 セグメント出力モードに設定する場合は、セグメント出力開始前（LCDM1.SCOC = 0の期間）に設定してください。

22.3.9 LCDコントローラ／ドライバのコモン／セグメント出力と端子を兼用するポートのポート機能を制御するレジスタ

LCDコントローラ／ドライバのコモン／セグメント出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.2 ポート・レジスタ (Pxx)、4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)、4.3.4 ポート入力モード・レジスタ (PIMxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

22.4 LCD表示データ・レジスタ

LCD 表示データ・レジスタは、表 22 - 14 のようにマッピングしています。LCD 表示データ・レジスタの内容を変更することで LCD 表示内容を変更できます。

表22 - 14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (1/8)

(a) 6時分割、8時分割以外（スタティック、2時分割、3時分割、4時分割）（64～100ピン）（1/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100ピン	80ピン	64ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG0	F0400H	SEG0（Bパターン領域）				SEG0（Aパターン領域）				○	○	○
SEG1	F0401H	SEG1（Bパターン領域）				SEG1（Aパターン領域）				○	○	○
SEG2	F0402H	SEG2（Bパターン領域）				SEG2（Aパターン領域）				○	○	○
SEG3	F0403H	SEG3（Bパターン領域）				SEG3（Aパターン領域）				○	○	○
SEG4	F0404H	SEG4（Bパターン領域）				SEG4（Aパターン領域）				○	○	—
SEG5	F0405H	SEG5（Bパターン領域）				SEG5（Aパターン領域）				○	○	—
SEG6	F0406H	SEG6（Bパターン領域）				SEG6（Aパターン領域）				○	○	○
SEG7	F0407H	SEG7（Bパターン領域）				SEG7（Aパターン領域）				○	○	○
SEG8	F0408H	SEG8（Bパターン領域）				SEG8（Aパターン領域）				○	○	○
SEG9	F0409H	SEG9（Bパターン領域）				SEG9（Aパターン領域）				○	○	—
SEG10	F040AH	SEG10（Bパターン領域）				SEG10（Aパターン領域）				○	○	—
SEG11	F040BH	SEG11（Bパターン領域）				SEG11（Aパターン領域）				○	○	○
SEG12	F040CH	SEG12（Bパターン領域）				SEG12（Aパターン領域）				○	○	○
SEG13	F040DH	SEG13（Bパターン領域）				SEG13（Aパターン領域）				○	○	—
SEG14	F040EH	SEG14（Bパターン領域）				SEG14（Aパターン領域）				○	○	—
SEG15	F040FH	SEG15（Bパターン領域）				SEG15（Aパターン領域）				○	○	—
SEG16	F0410H	SEG16（Bパターン領域）				SEG16（Aパターン領域）				○	○	○
SEG17	F0411H	SEG17（Bパターン領域）				SEG17（Aパターン領域）				○	○	○
SEG18	F0412H	SEG18（Bパターン領域）				SEG18（Aパターン領域）				○	○	○
SEG19	F0413H	SEG19（Bパターン領域）				SEG19（Aパターン領域）				○	○	○
SEG20	F0414H	SEG20（Bパターン領域）				SEG20（Aパターン領域）				○	○	○
SEG21	F0415H	SEG21（Bパターン領域）				SEG21（Aパターン領域）				○	○	○
SEG22	F0416H	SEG22（Bパターン領域）				SEG22（Aパターン領域）				○	—	—
SEG23	F0417H	SEG23（Bパターン領域）				SEG23（Aパターン領域）				○	—	—
SEG24	F0418H	SEG24（Bパターン領域）				SEG24（Aパターン領域）				○	○	—
SEG25	F0419H	SEG25（Bパターン領域）				SEG25（Aパターン領域）				○	○	—
SEG26	F041AH	SEG26（Bパターン領域）				SEG26（Aパターン領域）				○	○	—
SEG27	F041BH	SEG27（Bパターン領域）				SEG27（Aパターン領域）				○	○	—
SEG28	F041CH	SEG28（Bパターン領域）				SEG28（Aパターン領域）				○	○	—
SEG29	F041DH	SEG29（Bパターン領域）				SEG29（Aパターン領域）				○	○	○

（備考は次ページに続きます）

表22-14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (2/8)

(a) 6時分割、8時分割以外（スタティック、2時分割、3時分割、4時分割）（64～100ピン）（2/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100ピン	80ピン	64ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG30	F041EH	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				○	○	—
SEG31	F041FH	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				○	○	—
SEG32	F0420H	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				○	○	—
SEG33	F0421H	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○	○
SEG34	F0422H	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○	○
SEG35	F0423H	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	○	○
SEG36	F0424H	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○	○
SEG37	F0425H	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	○	○
SEG38	F0426H	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				○	○	○
SEG39	F0427H	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				○	○	○
SEG40	F0428H	SEG40 (Bパターン領域)				SEG40 (Aパターン領域)				○	○	○
SEG41	F0429H	SEG41 (Bパターン領域)				SEG41 (Aパターン領域)				○	○	○
SEG42	F042AH	SEG42 (Bパターン領域)				SEG42 (Aパターン領域)				○	○	○
SEG43	F042BH	SEG43 (Bパターン領域)				SEG43 (Aパターン領域)				○	○	○
SEG44	F042CH	SEG44 (Bパターン領域)				SEG44 (Aパターン領域)				○	○	○
SEG45	F042DH	SEG45 (Bパターン領域)				SEG45 (Aパターン領域)				○	○	○
SEG46	F042EH	SEG46 (Bパターン領域)				SEG46 (Aパターン領域)				○	○	○
SEG47	F042FH	SEG47 (Bパターン領域)				SEG47 (Aパターン領域)				○	○	○
SEG48	F0430H	SEG48 (Bパターン領域)				SEG48 (Aパターン領域)				○	○	○
SEG49	F0431H	SEG49 (Bパターン領域)				SEG49 (Aパターン領域)				○	○	○
SEG50	F0432H	SEG50 (Bパターン領域)				SEG50 (Aパターン領域)				○	○	○
SEG51	F0433H	SEG51 (Bパターン領域)				SEG51 (Aパターン領域)				○	—	—
SEG52	F0434H	SEG52 (Bパターン領域)				SEG52 (Aパターン領域)				○	—	—
SEG53	F0435H	SEG53 (Bパターン領域)				SEG53 (Aパターン領域)				○	—	—
SEG54	F0436H	SEG54 (Bパターン領域)				SEG54 (Aパターン領域)				○	—	—
SEG55	F0437H	SEG55 (Bパターン領域)				SEG55 (Aパターン領域)				○	—	—

備考 ○：サポートする；—：サポートしない

表22-14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (3/8)

(b) 6時分割、8時分割以外（スタティック、2時分割、3時分割、4時分割）（44～52ピン）（1/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	52ピン	48ピン	44ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG0	F0400H	SEG0 (Bパターン領域)				SEG0 (Aパターン領域)				○	○	○
SEG1	F0401H	SEG1 (Bパターン領域)				SEG1 (Aパターン領域)				○	○	○
SEG2	F0402H	SEG2 (Bパターン領域)				SEG2 (Aパターン領域)				○	○	○
SEG3	F0403H	SEG3 (Bパターン領域)				SEG3 (Aパターン領域)				○	○	○
SEG4	F0404H	SEG4 (Bパターン領域)				SEG4 (Aパターン領域)				—	—	—
SEG5	F0405H	SEG5 (Bパターン領域)				SEG5 (Aパターン領域)				—	—	—
SEG6	F0406H	SEG6 (Bパターン領域)				SEG6 (Aパターン領域)				—	—	—
SEG7	F0407H	SEG7 (Bパターン領域)				SEG7 (Aパターン領域)				○	—	—
SEG8	F0408H	SEG8 (Bパターン領域)				SEG8 (Aパターン領域)				○	○	—
SEG9	F0409H	SEG9 (Bパターン領域)				SEG9 (Aパターン領域)				—	—	—
SEG10	F040AH	SEG10 (Bパターン領域)				SEG10 (Aパターン領域)				—	—	—
SEG11	F040BH	SEG11 (Bパターン領域)				SEG11 (Aパターン領域)				○	○	○
SEG12	F040CH	SEG12 (Bパターン領域)				SEG12 (Aパターン領域)				—	—	—
SEG13	F040DH	SEG13 (Bパターン領域)				SEG13 (Aパターン領域)				—	—	—
SEG14	F040EH	SEG14 (Bパターン領域)				SEG14 (Aパターン領域)				—	—	—
SEG15	F040FH	SEG15 (Bパターン領域)				SEG15 (Aパターン領域)				—	—	—
SEG16	F0410H	SEG16 (Bパターン領域)				SEG16 (Aパターン領域)				○	—	—
SEG17	F0411H	SEG17 (Bパターン領域)				SEG17 (Aパターン領域)				○	○	—
SEG18	F0412H	SEG18 (Bパターン領域)				SEG18 (Aパターン領域)				○	○	○
SEG19	F0413H	SEG19 (Bパターン領域)				SEG19 (Aパターン領域)				○	○	○
SEG20	F0414H	SEG20 (Bパターン領域)				SEG20 (Aパターン領域)				—	—	—
SEG21	F0415H	SEG21 (Bパターン領域)				SEG21 (Aパターン領域)				—	—	—
SEG22	F0416H	SEG22 (Bパターン領域)				SEG22 (Aパターン領域)				—	—	—
SEG23	F0417H	SEG23 (Bパターン領域)				SEG23 (Aパターン領域)				—	—	—
SEG24	F0418H	SEG24 (Bパターン領域)				SEG24 (Aパターン領域)				—	—	—
SEG25	F0419H	SEG25 (Bパターン領域)				SEG25 (Aパターン領域)				—	—	—
SEG26	F041AH	SEG26 (Bパターン領域)				SEG26 (Aパターン領域)				—	—	—
SEG27	F041BH	SEG27 (Bパターン領域)				SEG27 (Aパターン領域)				—	—	—
SEG28	F041CH	SEG28 (Bパターン領域)				SEG28 (Aパターン領域)				—	—	—
SEG29	F041DH	SEG29 (Bパターン領域)				SEG29 (Aパターン領域)				○	○	○
SEG30	F041EH	SEG30 (Bパターン領域)				SEG30 (Aパターン領域)				—	—	—
SEG31	F041FH	SEG31 (Bパターン領域)				SEG31 (Aパターン領域)				—	—	—
SEG32	F0420H	SEG32 (Bパターン領域)				SEG32 (Aパターン領域)				—	—	—
SEG33	F0421H	SEG33 (Bパターン領域)				SEG33 (Aパターン領域)				○	○	○

(備考は次ページに続きます)

表22 - 14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (4/8)

(b) 6時分割、8時分割以外（スタティック、2時分割、3時分割、4時分割）（44～52ピン）（2/2）

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	52ピン	48ピン	44ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG34	F0422H	SEG34 (Bパターン領域)				SEG34 (Aパターン領域)				○	○	○
SEG35	F0423H	SEG35 (Bパターン領域)				SEG35 (Aパターン領域)				○	○	○
SEG36	F0424H	SEG36 (Bパターン領域)				SEG36 (Aパターン領域)				○	○	○
SEG37	F0425H	SEG37 (Bパターン領域)				SEG37 (Aパターン領域)				○	○	○
SEG38	F0426H	SEG38 (Bパターン領域)				SEG38 (Aパターン領域)				○	○	—
SEG39	F0427H	SEG39 (Bパターン領域)				SEG39 (Aパターン領域)				○	—	—
SEG40	F0428H	SEG40 (Bパターン領域)				SEG40 (Aパターン領域)				—	—	—
SEG41	F0429H	SEG41 (Bパターン領域)				SEG41 (Aパターン領域)				○	○	○
SEG42	F042AH	SEG42 (Bパターン領域)				SEG42 (Aパターン領域)				○	○	○
SEG43	F042BH	SEG43 (Bパターン領域)				SEG43 (Aパターン領域)				○	○	○
SEG44	F042CH	SEG44 (Bパターン領域)				SEG44 (Aパターン領域)				—	—	—
SEG45	F042DH	SEG45 (Bパターン領域)				SEG45 (Aパターン領域)				—	—	—
SEG46	F042EH	SEG46 (Bパターン領域)				SEG46 (Aパターン領域)				—	—	—
SEG47	F042FH	SEG47 (Bパターン領域)				SEG47 (Aパターン領域)				—	—	—
SEG48	F0430H	SEG48 (Bパターン領域)				SEG48 (Aパターン領域)				○	○	○
SEG49	F0431H	SEG49 (Bパターン領域)				SEG49 (Aパターン領域)				○	○	○
SEG50	F0432H	SEG50 (Bパターン領域)				SEG50 (Aパターン領域)				○	○	○
SEG51	F0433H	SEG51 (Bパターン領域)				SEG51 (Aパターン領域)				—	—	—
SEG52	F0434H	SEG52 (Bパターン領域)				SEG52 (Aパターン領域)				—	—	—
SEG53	F0435H	SEG53 (Bパターン領域)				SEG53 (Aパターン領域)				—	—	—
SEG54	F0436H	SEG54 (Bパターン領域)				SEG54 (Aパターン領域)				—	—	—
SEG55	F0437H	SEG55 (Bパターン領域)				SEG55 (Aパターン領域)				—	—	—

備考 ○：サポートする；—：サポートしない

表22-14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (5/8)

(c) 6時分割、8時分割 (64～100ピン) (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100ピン	80ピン	64ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG0	F0400H	SEG0 ^注								○	○	○
SEG1	F0401H	SEG1 ^注								○	○	○
SEG2	F0402H	SEG2 ^注								○	○	○
SEG3	F0403H	SEG3 ^注								○	○	○
SEG4	F0404H	SEG4								○	○	—
SEG5	F0405H	SEG5								○	○	—
SEG6	F0406H	SEG6								○	○	○
SEG7	F0407H	SEG7								○	○	○
SEG8	F0408H	SEG8								○	○	○
SEG9	F0409H	SEG9								○	○	—
SEG10	F040AH	SEG10								○	○	—
SEG11	F040BH	SEG11								○	○	○
SEG12	F040CH	SEG12								○	○	○
SEG13	F040DH	SEG13								○	○	—
SEG14	F040EH	SEG14								○	○	—
SEG15	F040FH	SEG15								○	○	—
SEG16	F0410H	SEG16								○	○	○
SEG17	F0411H	SEG17								○	○	○
SEG18	F0412H	SEG18								○	○	○
SEG19	F0413H	SEG19								○	○	○
SEG20	F0414H	SEG20								○	○	○
SEG21	F0415H	SEG21								○	○	○
SEG22	F0416H	SEG22								○	—	—
SEG23	F0417H	SEG23								○	—	—
SEG24	F0418H	SEG24								○	○	—
SEG25	F0419H	SEG25								○	○	—
SEG26	F041AH	SEG26								○	○	—
SEG27	F041BH	SEG27								○	○	—
SEG28	F041CH	SEG28								○	○	—
SEG29	F041DH	SEG29								○	○	—
SEG30	F041EH	SEG30								○	○	○
SEG31	F041FH	SEG31								○	○	—
SEG32	F0420H	SEG32								○	○	—
SEG33	F0421H	SEG33								○	○	—
SEG34	F0422H	SEG34								○	○	○
SEG35	F0423H	SEG35								○	○	○

(注、備考は次ページに続きます)

表22 - 14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (6/8)

(c) 6時分割、8時分割（64～100ピン）(2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	100ピン	80ピン	64ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG36	F0424H	SEG36								○	○	○
SEG37	F0425H	SEG37								○	○	○
SEG38	F0426H	SEG38								○	○	○
SEG39	F0427H	SEG39								○	○	○
SEG40	F0428H	SEG40								○	○	○
SEG41	F0429H	SEG41								○	○	○
SEG42	F042AH	SEG42								○	○	○
SEG43	F042BH	SEG43								○	○	○
SEG44	F042CH	SEG44								○	○	○
SEG45	F042DH	SEG45								○	○	○
SEG46	F042EH	SEG46								○	○	○
SEG47	F042FH	SEG47								○	○	○
SEG48	F0430H	SEG48								○	○	○
SEG49	F0431H	SEG49								○	○	○
SEG50	F0432H	SEG50								○	○	○
SEG51	F0433H	SEG51								○	—	—
SEG52	F0434H	SEG52								○	—	—
SEG53	F0435H	SEG53								○	—	—
SEG54	F0436H	SEG54								○	—	—
SEG55	F0437H	SEG55								○	—	—

注 COM4-COM7端子とSEG0-SEG3端子は兼用しています。

備考 ○：サポートする；—：サポートしない

表22-14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (7/8)

(d) 6時分割、8時分割 (44～52ピン) (1/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	52ピン	48ピン	44ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG0	F0400H	SEG0 ^注								○	○	○
SEG1	F0401H	SEG1 ^注								○	○	○
SEG2	F0402H	SEG2 ^注								○	○	○
SEG3	F0403H	SEG3 ^注								○	○	○
SEG4	F0404H	SEG4								—	—	—
SEG5	F0405H	SEG5								—	—	—
SEG6	F0406H	SEG6								—	—	—
SEG7	F0407H	SEG7								○	—	—
SEG8	F0408H	SEG8								○	○	—
SEG9	F0409H	SEG9								—	—	—
SEG10	F040AH	SEG10								—	—	—
SEG11	F040BH	SEG11								○	○	○
SEG12	F040CH	SEG12								—	—	—
SEG13	F040DH	SEG13								—	—	—
SEG14	F040EH	SEG14								—	—	—
SEG15	F040FH	SEG15								—	—	—
SEG16	F0410H	SEG16								○	—	—
SEG17	F0411H	SEG17								○	○	—
SEG18	F0412H	SEG18								○	○	○
SEG19	F0413H	SEG19								○	○	○
SEG20	F0414H	SEG20								—	—	—
SEG21	F0415H	SEG21								—	—	—
SEG22	F0416H	SEG22								—	—	—
SEG23	F0417H	SEG23								—	—	—
SEG24	F0418H	SEG24								—	—	—
SEG25	F0419H	SEG25								—	—	—
SEG26	F041AH	SEG26								—	—	—
SEG27	F041BH	SEG27								—	—	—
SEG28	F041CH	SEG28								—	—	—
SEG29	F041DH	SEG29								○	○	○
SEG30	F041EH	SEG30								—	—	—
SEG31	F041FH	SEG31								—	—	—
SEG32	F0420H	SEG32								—	—	—
SEG33	F0421H	SEG33								○	○	○
SEG34	F0422H	SEG34								○	○	○
SEG35	F0423H	SEG35								○	○	○

(注、備考は次ページに続きます)

表22 - 14 LCD表示データ・レジスタの内容とセグメント出力／コモン出力の関係 (8/8)

(d) 6時分割、8時分割（44～52ピン）(2/2)

レジスタ名	アドレス	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	52ピン	48ピン	44ピン
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0			
SEG36	F0424H	SEG36								○	○	○
SEG37	F0425H	SEG37								○	○	○
SEG38	F0426H	SEG38								○	○	—
SEG39	F0427H	SEG39								○	—	—
SEG40	F0428H	SEG40								—	—	—
SEG41	F0429H	SEG41								○	○	○
SEG42	F042AH	SEG42								○	○	○
SEG43	F042BH	SEG43								○	○	○
SEG44	F042CH	SEG44								—	—	—
SEG45	F042DH	SEG45								—	—	—
SEG46	F042EH	SEG46								—	—	—
SEG47	F042FH	SEG47								—	—	—
SEG48	F0430H	SEG48								○	○	○
SEG49	F0431H	SEG49								○	○	○
SEG50	F0432H	SEG50								○	○	○
SEG51	F0433H	SEG51								—	—	—
SEG52	F0434H	SEG52								—	—	—
SEG53	F0435H	SEG53								—	—	—
SEG54	F0436H	SEG54								—	—	—
SEG55	F0437H	SEG55								—	—	—

注 COM4-COM7端子とSEG0-SEG3端子は兼用しています。

備考 ○：サポートする；—：サポートしない

スタティク、2 時分割、3 時分割、または 4 時分割で使用する場合、LCD 表示データ・レジスタの各アドレスの下位 4 ビットは A パターン領域、上位 4 ビットは B パターン領域となります。

A パターン領域のデータと COM 信号の対応は、ビット 0 ⇔ COM0、ビット 1 ⇔ COM1、ビット 2 ⇔ COM2、ビット 3 ⇔ COM3 となります。

B パターン領域のデータと COM 信号の対応は、ビット 4 ⇔ COM0、ビット 5 ⇔ COM1、ビット 6 ⇔ COM2、ビット 7 ⇔ COM3 となります。

BLON = LCDSEL = 0 選択時には A パターン領域のデータを、BLON = 0, LCDSEL = 1 選択時には、B パターン領域のデータを、LCD パネルに表示します。

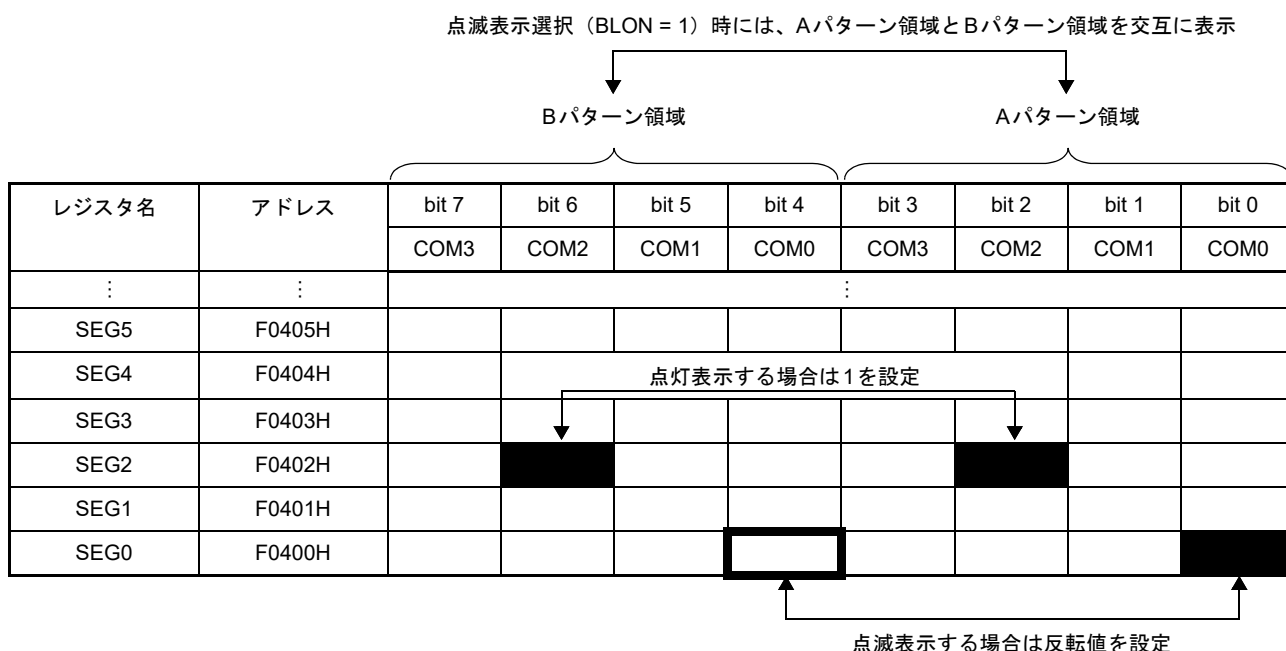
22.5 LCD 表示レジスタの選択

本製品では、スタティク、2 時分割、3 時分割、または 4 時分割で使用する場合、BLON, LCDSEL ビットの設定により、LCD 表示データ・レジスタを次の 3 種類から選択することができます。

- A パターン領域（LCD 表示データ・レジスタの下位 4 ビット）のデータ表示
- B パターン領域（LCD 表示データ・レジスタの上位 4 ビット）のデータ表示
- A パターン領域と B パターン領域のデータを交互に表示（LCDM2 レジスタの LCDSEL2, LCDSEL1 ビットで設定したタイミングに対応した点滅表示）

注意 6 時分割、8 時分割使用時は、LCD 表示データ・レジスタ（A パターン、B パターンまたは点滅表示）を選択することはできません。

図 22 - 18 パターン切り替え表示時の LCD 表示レジスタの設定例



22.5.1 Aパターン領域、Bパターン領域のデータ表示

BLON = LCDSEL = 0 設定時では、Aパターン領域（LCD 表示データ・レジスタの下位 4 ビット）のデータが LCD 表示レジスタとして出力されます。

BLON = 0, LCDSEL = 1 設定時では、Bパターン領域（LCD 表示データ・レジスタの上位 4 ビット）のデータが LCD 表示レジスタとして出力されます。

表示領域については、**22.4 LCD 表示データ・レジスタ**を参照してください。

22.5.2 点滅表示（Aパターン領域とBパターン領域のデータを交互に表示）

LCDM1.BLON = 1 設定時では、LCDM2 レジスタの LCDSEL2, LCDSEL1 ビットで設定したタイミングに対応して、Aパターン領域と Bパターン領域のデータを交互に表示します。各割り込み（INTRTC, sub500ms, ELCITL2）タイミングの設定については、**第 10 章 リアルタイム・クロック（RTC）** および **第 12 章 32 ビット・インターバル・タイマ（TML32）**を参照してください。

LCD を点滅表示する場合、Aパターン領域のビットに対応する Bパターン領域のビットに反転値を設定してください（例 F0400H のビット 0 に 1 を設定し、点滅表示する場合は、F0400H のビット 4 に 0 を設定）。また、LCD を点滅表示しない場合は、同値を設定してください（例 F0402H のビット 2 に 1 を設定し、点灯表示する場合は、F0402H のビット 6 に 1 を設定）。

表示領域については、**22.4 LCD 表示データ・レジスタ**を参照してください。

次に、表示切り替えのタイミング動作を示します。

図 22 - 19 Aパターン表示から点滅表示への切り替え動作

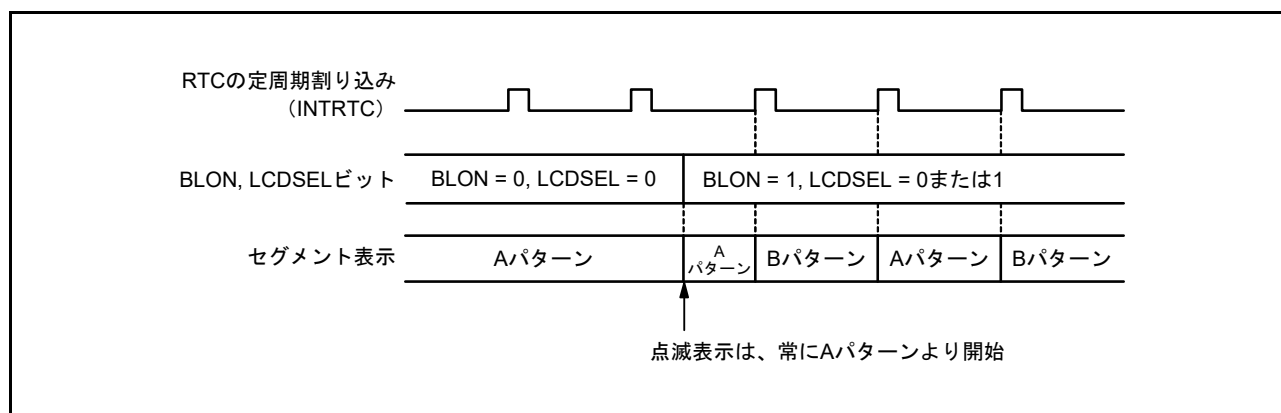
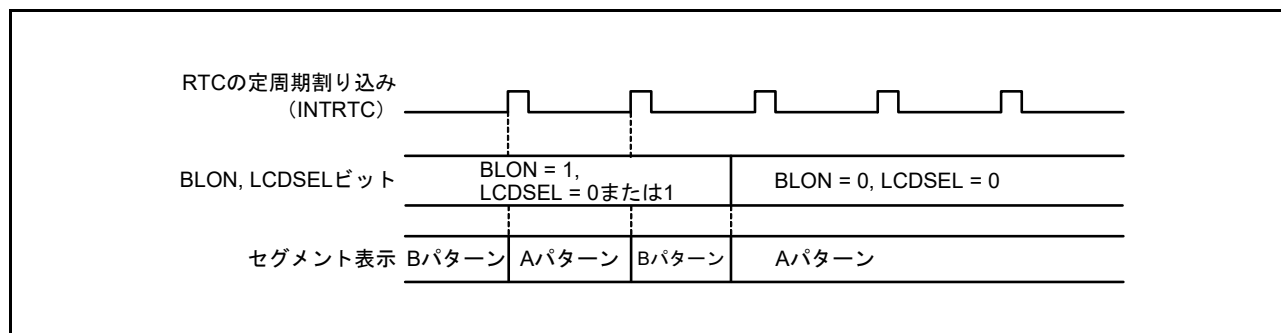


図 22 - 20 点滅表示からAパターン表示への切り替え動作



22.6 LCDコントローラ／ドライバの設定

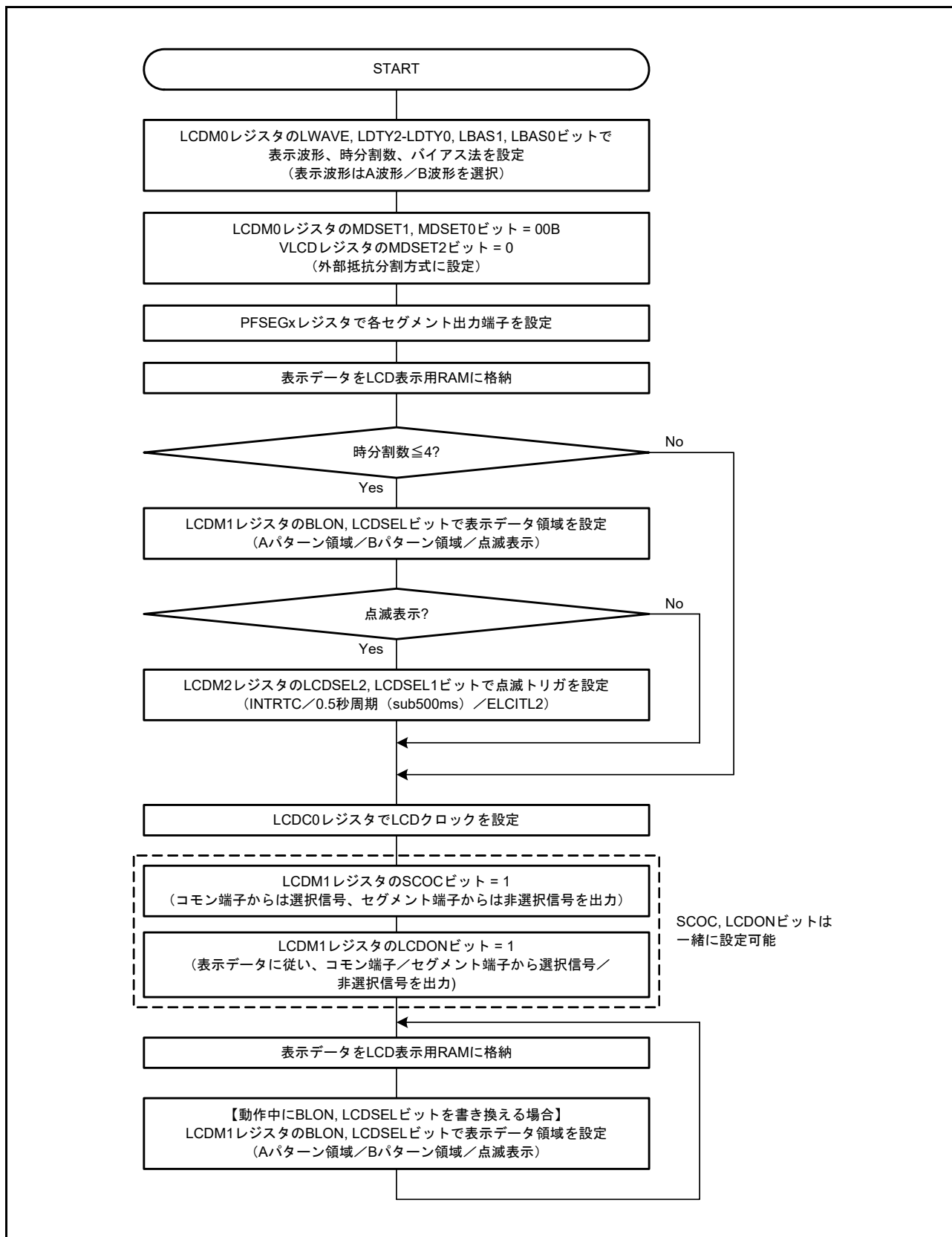
LCDコントローラ／ドライバの設定は、次のように行ってください。

注意1. LCDコントローラ／ドライバを動作させる場合は、必ず図22 - 21～図22 - 24の設定手順に従って動作させてください。設定手順を守らない場合の動作は保証しません。

注意2. 図22 - 21～図22 - 24の設定手順はすべてCPUの処理となっています。

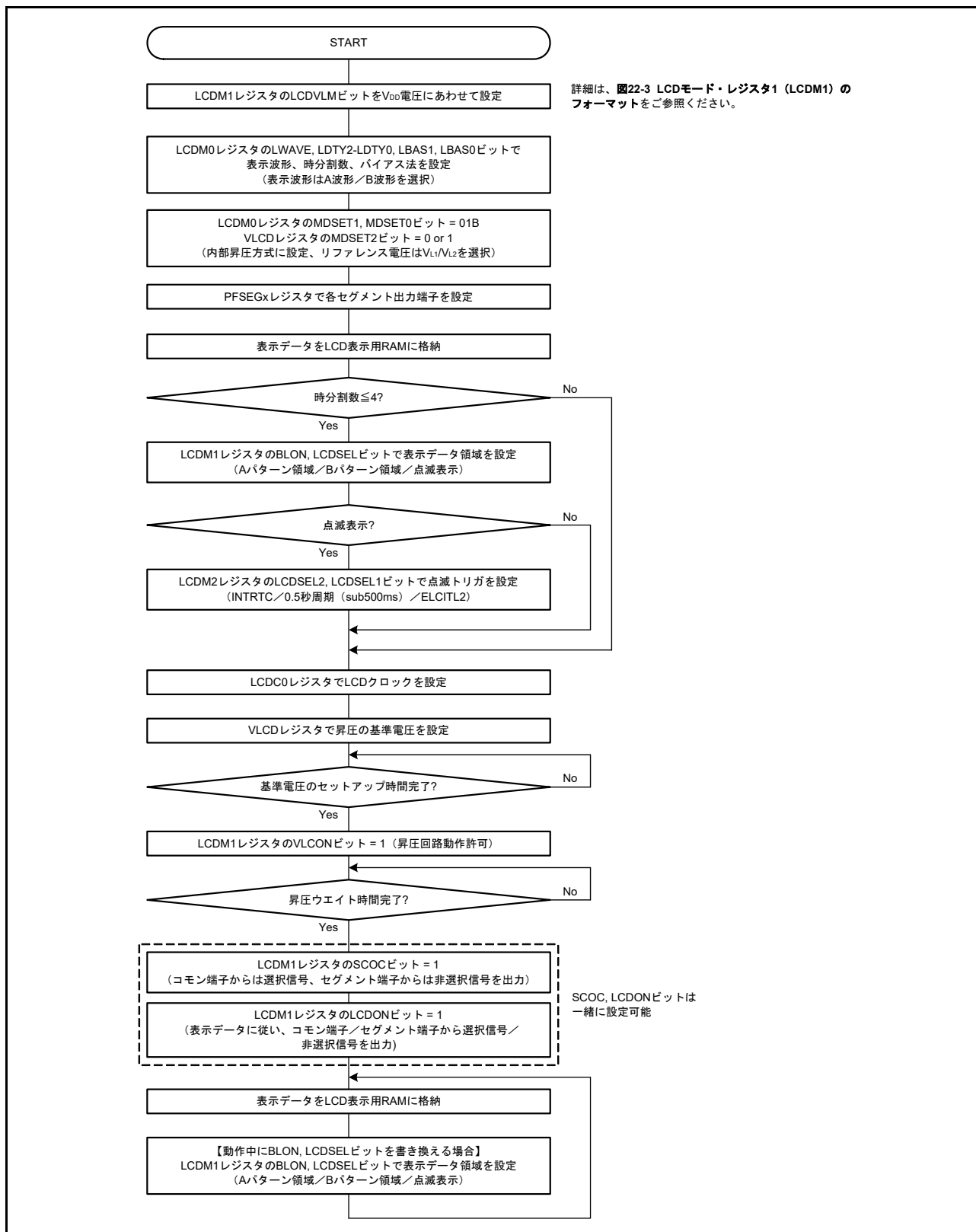
(1) 外部抵抗分割方式

図22 - 21 外部抵抗分割方式の設定手順



(2) 内部昇圧方式

図22 - 22 内部昇圧方式の設定手順

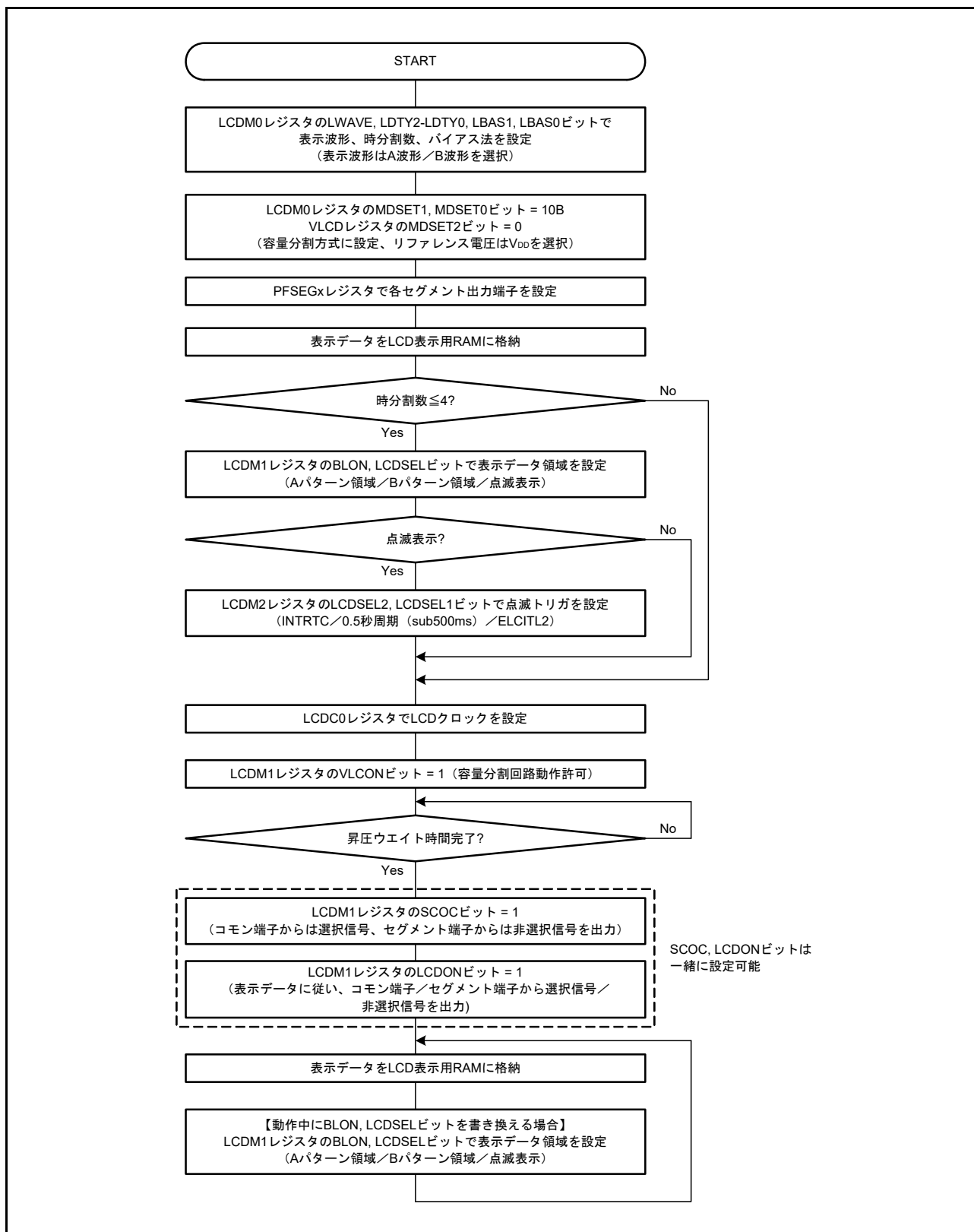


注意1. VLCDレジスタを変更しない場合でもセットアップ時間完了まで待ってください。

注意2. 基準電圧セットアップ時間、および昇圧ウェイト時間のスペックについては、第42章 電気的特性を参照してください。

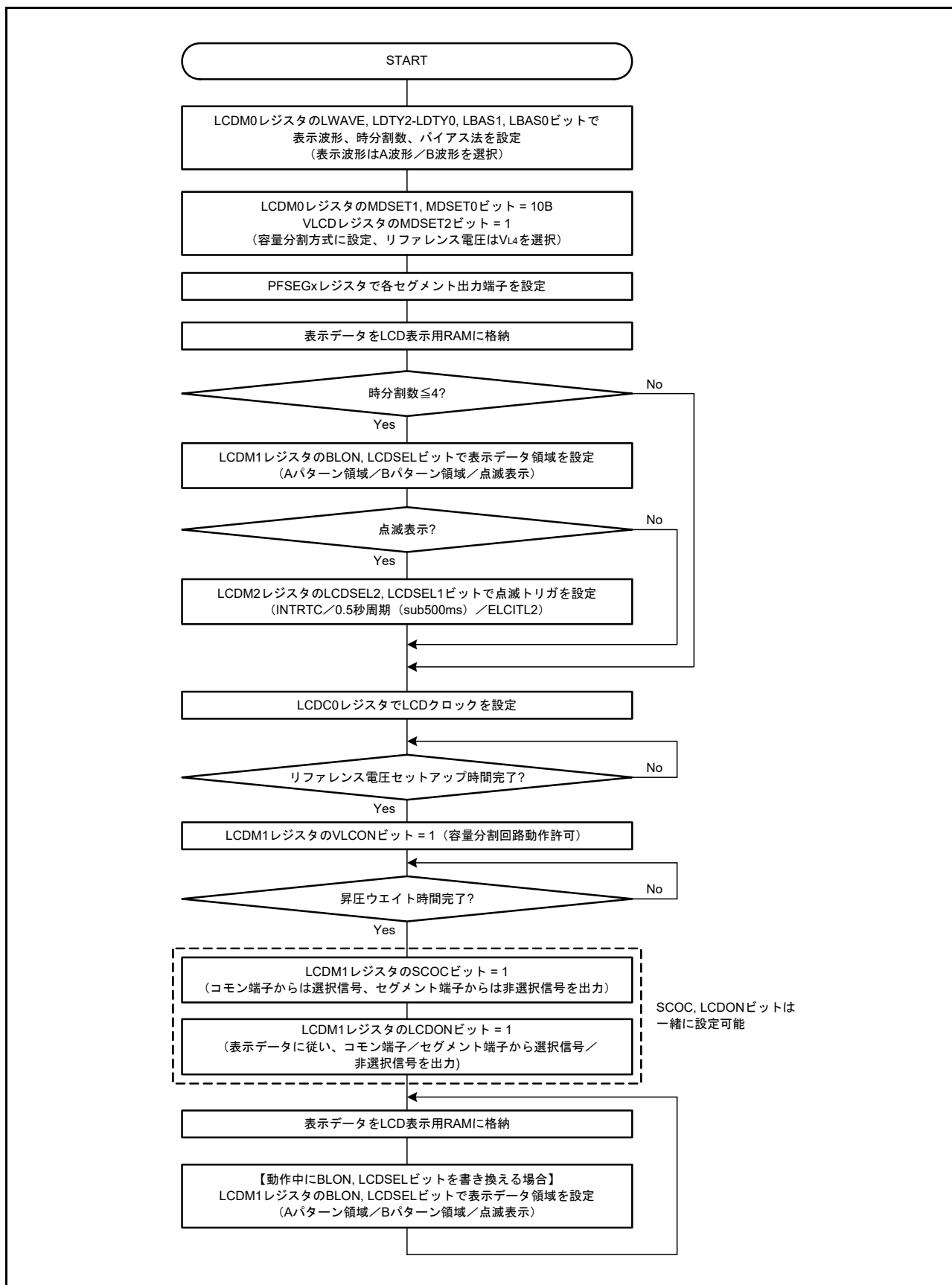
(3) 容量分割方式

図22 - 23 VDDリファレンス容量分割方式の設定手順



注意 昇圧ウェイト時間のスペックについては、第42章 電気的特性を参照してください。

図22 - 24 VL4リファレンス容量分割方式の設定手順



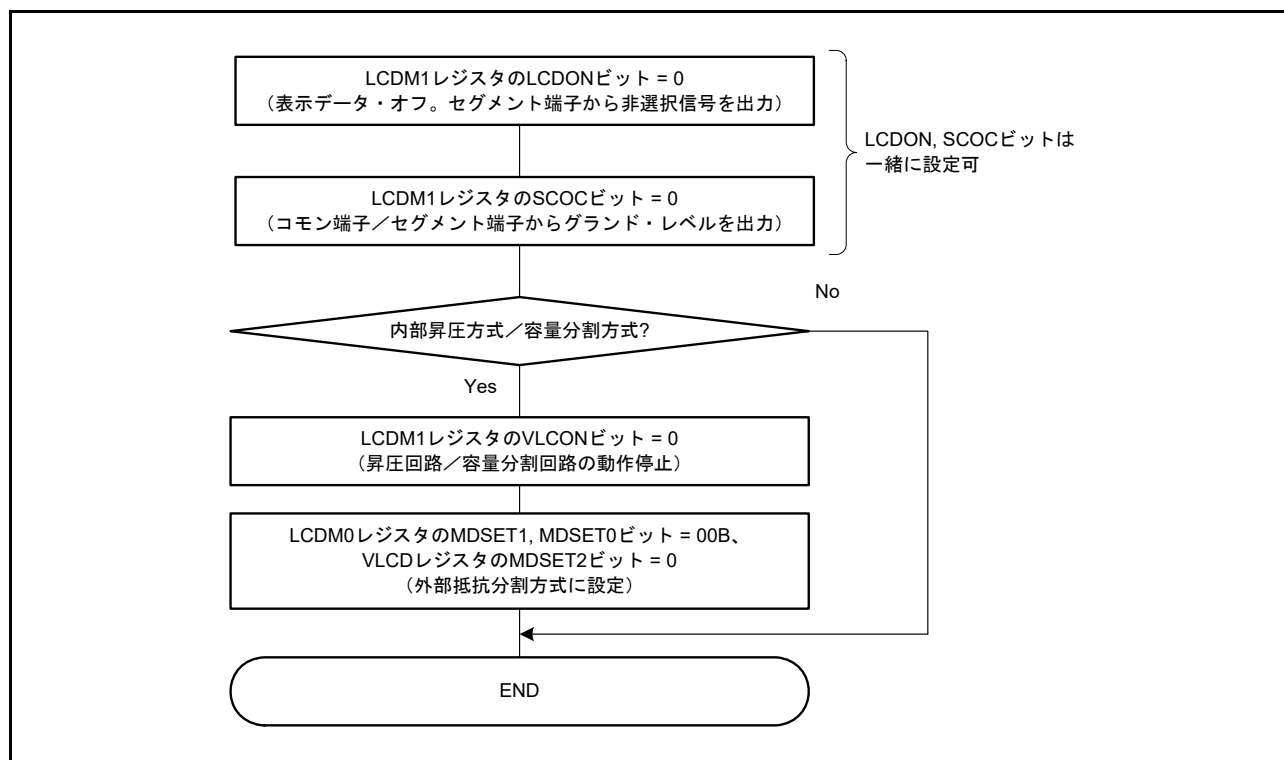
注意 基準電圧セットアップ時間、および昇圧ウェイト時間のスペックについては、第42章 電気的特性を参照してください。

22.7 動作停止手順

LCD パネル表示中に動作を停止させたい場合は、次に示すフロー・チャートの設定で行ってください。

LCDM1.LCDON = 0 かつ LCDM1.SCOC = 0 に設定することで、LCD の動作は停止します。

図22 - 25 動作停止手順



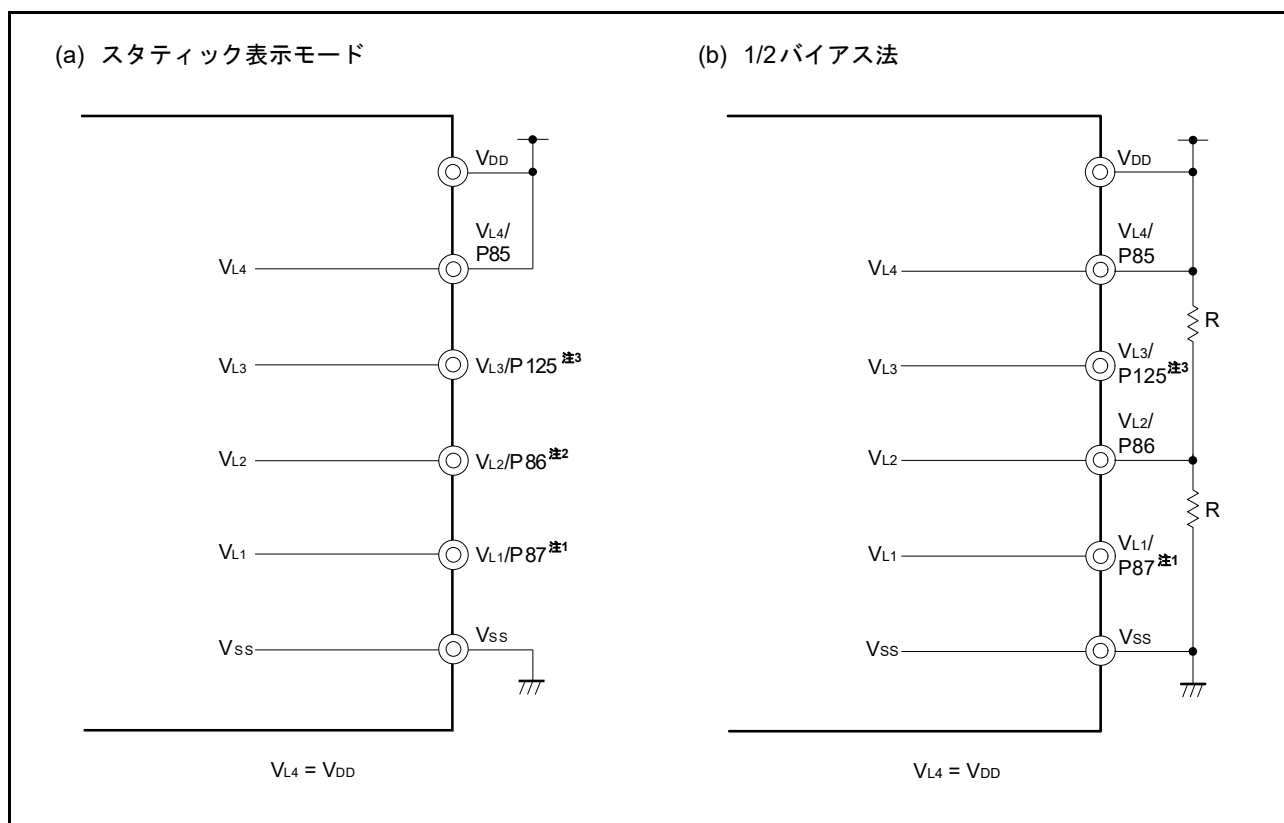
注意 表示オン状態 (LCDM1.SCOC, LCDM1.LCDON = 11B) で、昇圧／容量分割回路を停止すること (LCDM1.VLCON = 0) は禁止です。設定した場合の動作は保証しません。必ず表示オフ (SCOC, LCDON = 10B) にしてから昇圧／容量分割回路を停止 (VLCON = 0) してください。

22.8 LCD駆動電圧 V_{L1} , V_{L2} , V_{L3} , V_{L4} の供給

22.8.1 外部抵抗分割方式

図 22 - 26 に各バイアス法に応じた LCD 駆動電圧の接続例を示します。

図 22 - 26 LCD駆動用電源の接続例（外部抵抗分割方式）(1/2)



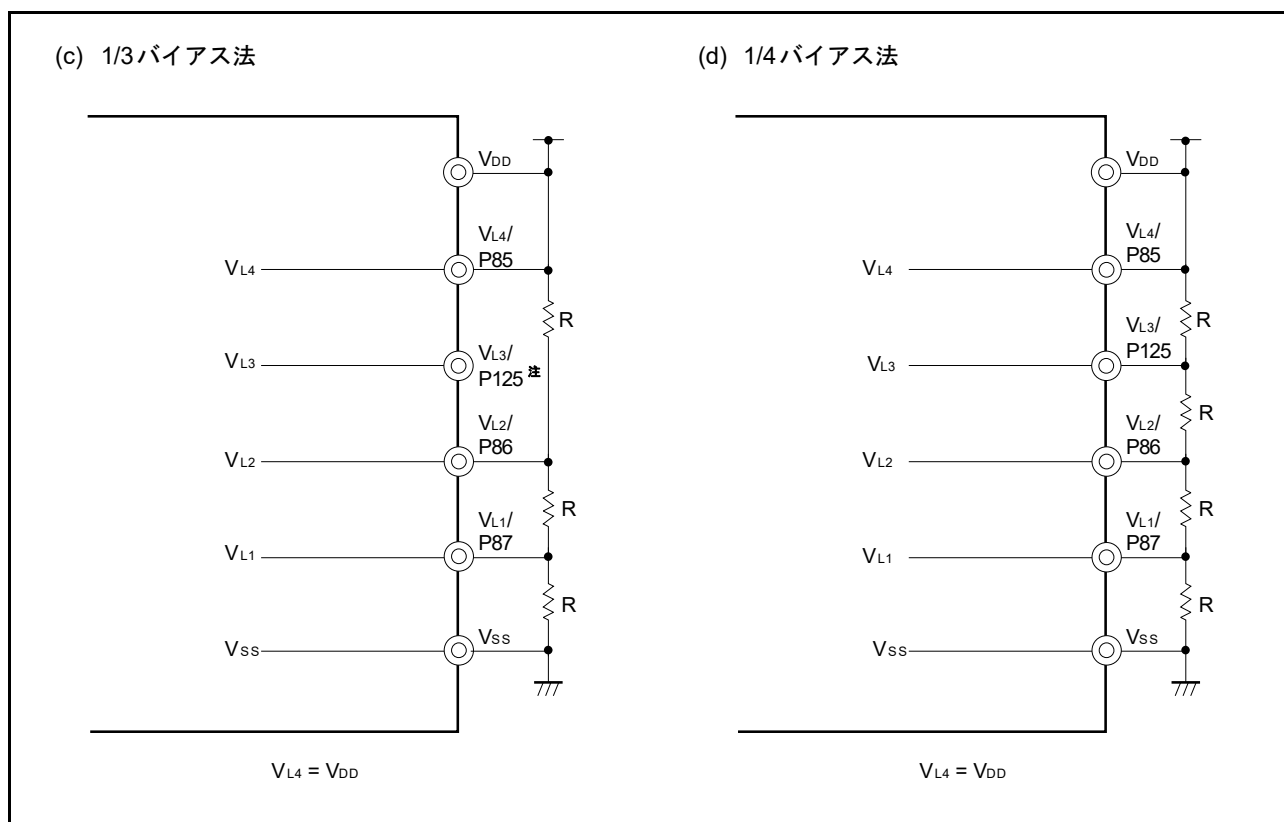
注1. V_{L1} は、ポート（P87）として使用できます。

注2. V_{L2} は、ポート（P86）として使用できます。

注3. V_{L3} は、ポート（P125）として使用できます。

注意 CAPLはポート（P126）、CAPHはポート（P127）として使用できます。

図22 - 26 LCD駆動用電源の接続例（外部抵抗分割方式）(2/2)



注 V_{L3} は、ポート（P125）として使用できます。

注意1. CAPLはポート（P126）、CAPHはポート（P127）として使用できます。

注意2. 外部抵抗分割用抵抗 R の参考値は、10 k Ω ～1 M Ω です。また V_{L1} - V_{L4} 端子の電位を安定させる場合には、必要に応じて、 V_{L1} - V_{L4} 端子-GND間にコンデンサを接続してください。これらの参考値は、0.47 μ F程度です。使用するLCDパネル、セグメント端子数、コモン端子数、フレーム周波数、使用環境に依存します。システムにあわせた評価を十分に行った上で、値を調整して決定してください。

22.8.2 内部昇圧方式

本製品は、LCD 駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ ($0.47\ \mu\text{F} \pm 30\%$) により、LCD 駆動電圧を生成します。VL1 リファレンス内部昇圧方式は、1/3 バイアス法または 1/4 バイアス法のみ使用できます。VL2 リファレンス内部昇圧方式は、1/3 バイアス法のみ使用できます。

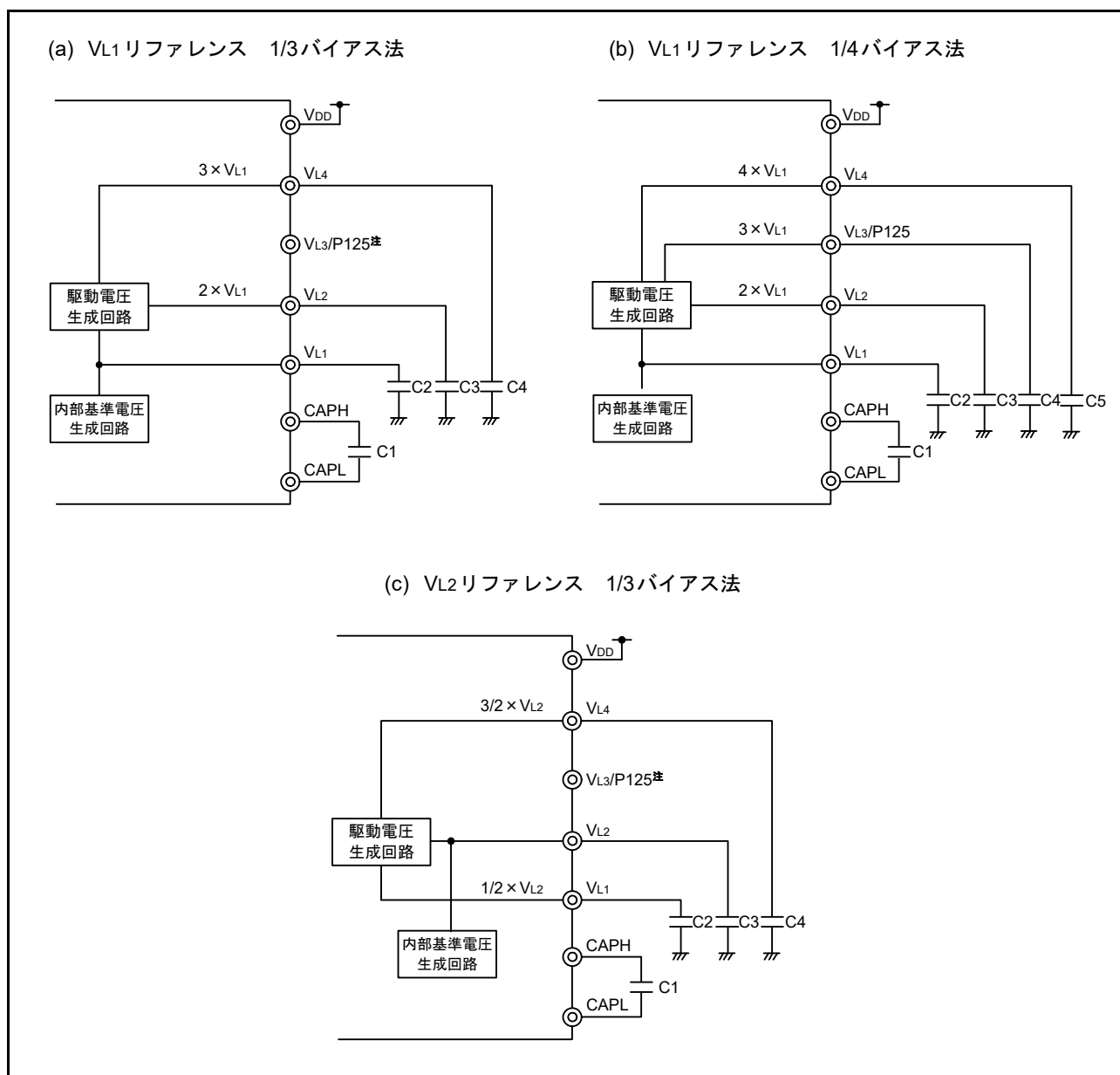
内部昇圧方式の LCD 駆動電圧は、本体とは別の電源なので、VDD の変化にかかわらず、一定の電圧を供給できます。

また、LCD 昇圧制御レジスタ (VLCD) の設定により、コントラストを調整することができます。

表22 - 15 LCD駆動電圧（内部昇圧方式）

表示モード LCD 駆動用電源端子	1/3 バイアス法		1/4 バイアス法
	VL1 リファレンス	VL2 リファレンス	VL1 リファレンス
VL4	$3 \times \text{VL1}$	$3/2 \times \text{VL2}$	$4 \times \text{VL1}$
VL3	—	—	$3 \times \text{VL1}$
VL2	$2 \times \text{VL1}$	LCD 基準電圧	$2 \times \text{VL1}$
VL1	LCD 基準電圧	$1/2 \times \text{VL2}$	LCD 基準電圧

図22-27 LCD駆動用電源の接続例（内部昇圧方式）



注 VL3は、ポート（P125）として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。
なお、C1は無極性コンデンサにしてください。

22.8.3 容量分割方式

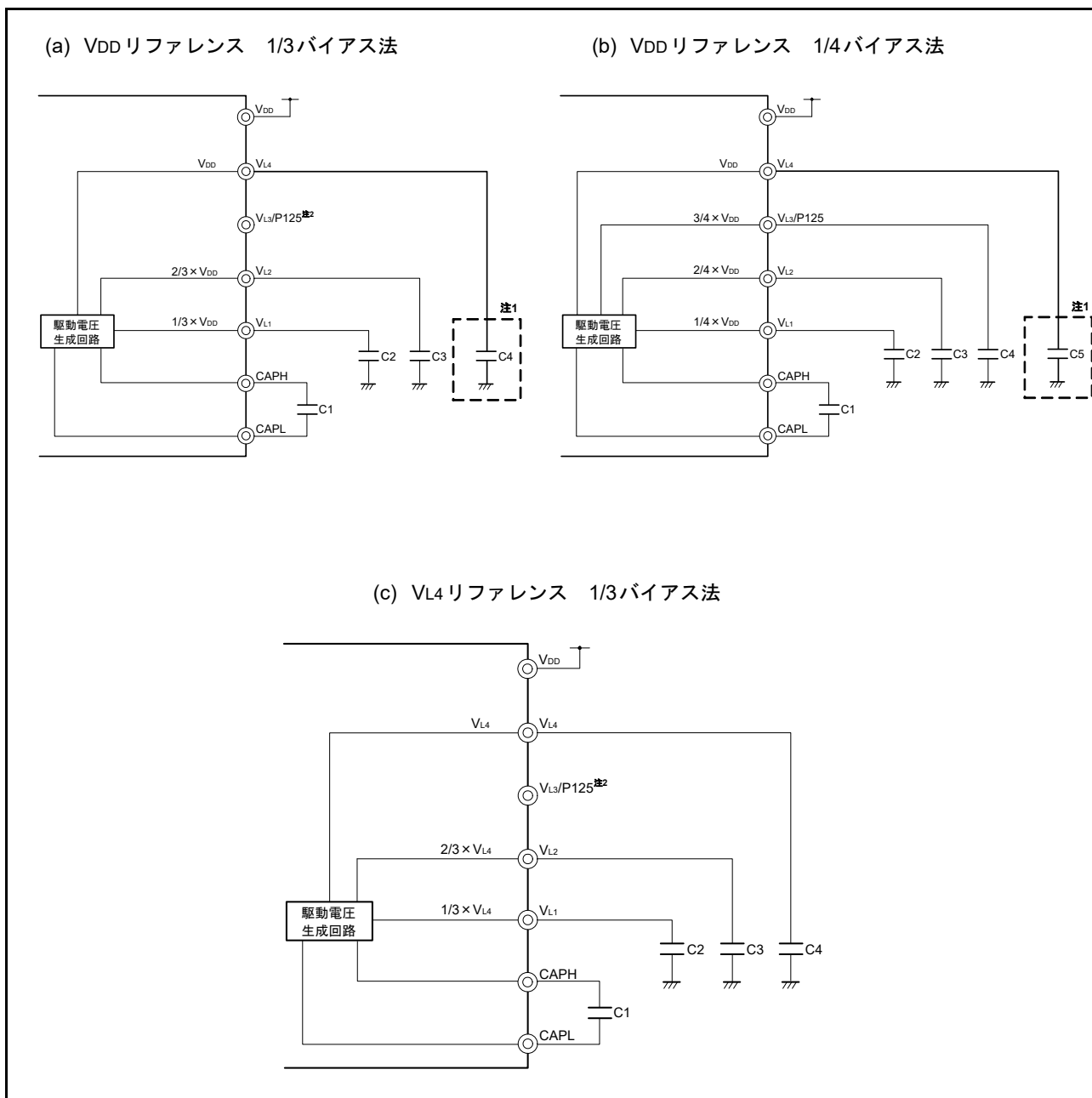
本製品は、LCD 駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ ($0.47\ \mu\text{F} \pm 30\%$) により、LCD 駆動電圧を生成します。VDD リファレンス容量分割方式は、1/3 バイアス法または 1/4 バイアス法のみ使用できます。VL4 リファレンス容量分割方式は、1/3 バイアス法のみ使用できます。

外部抵抗分割方式とは異なり、容量分割方式では常時電流が流れないため、消費電流を低減することができます。

表22 - 16 LCD駆動電圧（容量分割方式）

表示モード LCD 駆動用電源端子	1/3 バイアス法		1/4 バイアス法
	VDD リファレンス	VL4 リファレンス	VDD リファレンス
VL4	VDD	VL4	VDD
VL3	—	—	$3/4 \times \text{VL4}$
VL2	$2/3 \times \text{VL4}$	$2/3 \times \text{VL4}$	$2/4 \times \text{VL4}$
VL1	$1/3 \times \text{VL4}$	$1/3 \times \text{VL4}$	$1/4 \times \text{VL4}$

図22 - 28 LCD駆動用電源の接続例（容量分割方式）



注1. VL4は、内部でVDDと接続されているため、コンデンサは不要です。ただし、内部昇圧方式に切り替えて使用する場合は必要となります。

また、容量分割方式のみで使用する場合も、LCD供給電圧を安定する方法としてコンデンサを接続してもかまいません。

注2. VL3は、ポート（P125）として使用できます。

備考 なるべくリークの少ないコンデンサをご使用ください。
なお、C1は無極性コンデンサにしてください。

22.9 コモン信号とセグメント信号

LCD パネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD 駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCD パネルは、コモン信号とセグメント信号に DC 電圧が加えられると劣化するため、AC 電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表22 - 17に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお、2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は、オープンにして使用してください。

また、6時分割、8時分割以外の場合のCOM4-COM7 端子および6時分割の場合のCOM6, COM7 端子は、オープンまたはセグメント端子として使用してください。

表22 - 17 COM信号

COM信号 時分割表	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
スタティック					注	注	注	注
2時分割			オープン	オープン	注	注	注	注
3時分割				オープン	注	注	注	注
4時分割					注	注	注	注
6時分割							注	注
8時分割								

注 オープン、またはセグメント端子として使用してください。

(2) セグメント信号

セグメント信号は、LCD表示データ・レジスタ（**22.4 LCD表示データ・レジスタ参照**）に対応しています。8時分割方式で使用する場合、各表示データ・レジスタのビット0からビット7が、COM0からCOM7に対応します。6時分割方式で使用する場合、各表示データレジスタのビット0からビット5が、COM0からCOM5に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG4-SEG55）に出力されます。

6時分割、8時分割方式以外で使用する場合、Aパターン領域では、各表示データ・レジスタのビット0からビット3がCOM0からCOM3に、Bパターン領域では、各表示データ・レジスタのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子（SEG0-SEG55）に出力されます。

以上のことから、LCD表示データ・レジスタには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかを確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

備考 搭載するセグメント端子は、製品により異なります。

- 44ピン製品 : SEG0-SEG3, SEG11, SEG18, SEG19, SEG29, SEG33-SEG37, SEG41-SEG43, SEG48-SEG50
- 48ピン製品 : SEG0-SEG3, SEG8, SEG11, SEG17-SEG19, SEG29, SEG33-SEG38, SEG41-SEG43, SEG48-SEG50
- 52ピン製品 : SEG0-SEG3, SEG7, SEG8, SEG11, SEG16-SEG19, SEG29, SEG33-SEG39, SEG41-SEG43, SEG48-SEG50
- 64ピン製品 : SEG0-SEG3, SEG6-SEG8, SEG11, SEG12, SEG16-SEG21, SEG29, SEG33-SEG50
- 80ピン製品 : SEG0-SEG21, SEG24-SEG50
- 100ピン製品 : SEG0-SEG55

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表22 - 18に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表22 - 18 LCD駆動電圧

(a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
V_{L4}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L4}/V_{SS}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	V_{L2}	$-\frac{1}{2} V_{LCD} / +\frac{1}{2} V_{LCD}$	$+\frac{1}{2} V_{LCD} / -\frac{1}{2} V_{LCD}$

(c) 1/3バイアス法 (A波形、B波形)

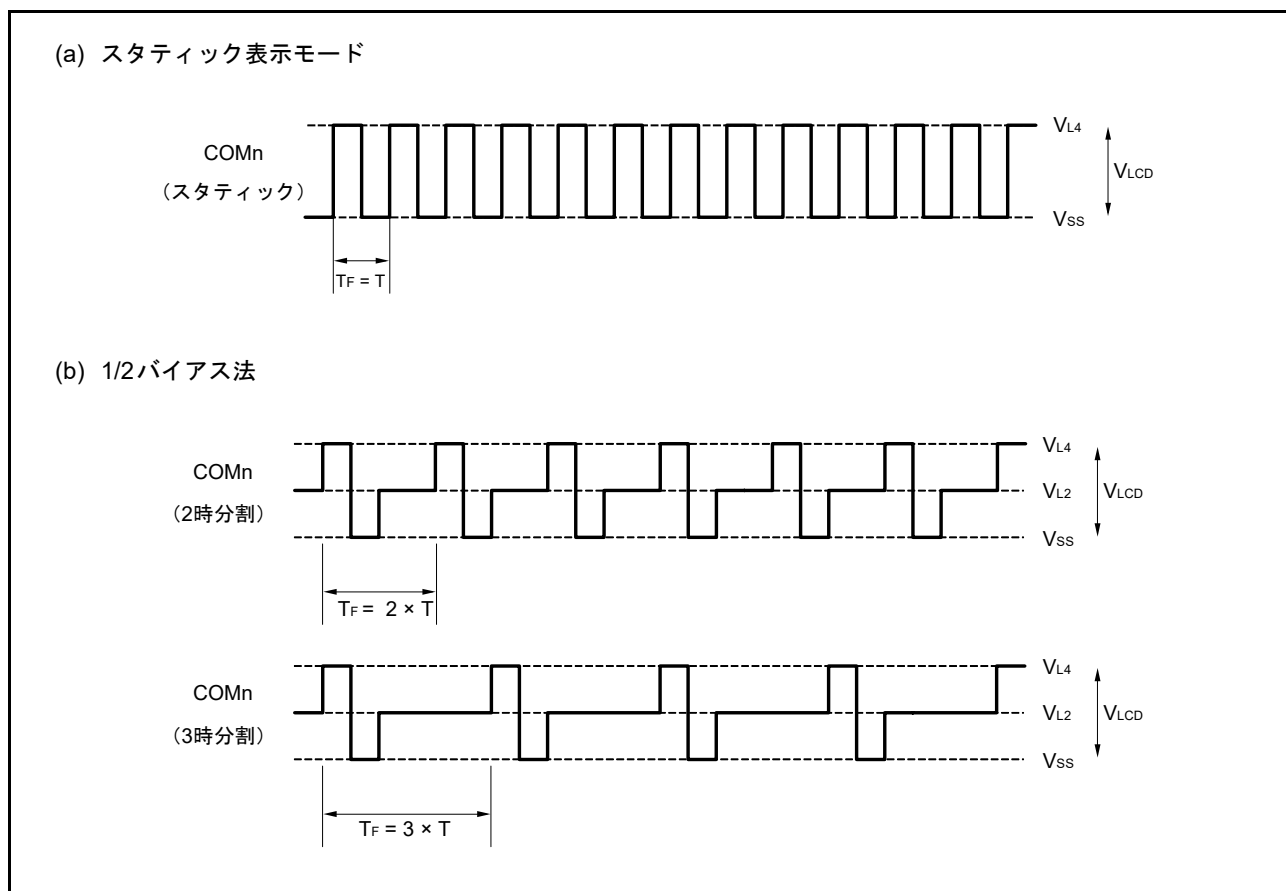
セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}/V_{L1}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3} V_{LCD} / +\frac{1}{3} V_{LCD}$
非選択信号レベル	V_{L1}/V_{L2}	$-\frac{1}{3} V_{LCD} / +\frac{1}{3} V_{LCD}$	$+\frac{1}{3} V_{LCD} / -\frac{1}{3} V_{LCD}$

(d) 1/4バイアス法 (A波形、B波形)

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{L4}	V_{L2}
選択信号レベル	V_{L4}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{2} V_{LCD} / +\frac{1}{2} V_{LCD}$
非選択信号レベル	V_{L1}/V_{L3}	$-\frac{1}{4} V_{LCD} / +\frac{1}{4} V_{LCD}$	$+\frac{1}{4} V_{LCD} / -\frac{1}{4} V_{LCD}$

図 22 - 29 にコモン信号波形、図 22 - 30 にコモン信号とセグメント信号の電圧と位相を示します。

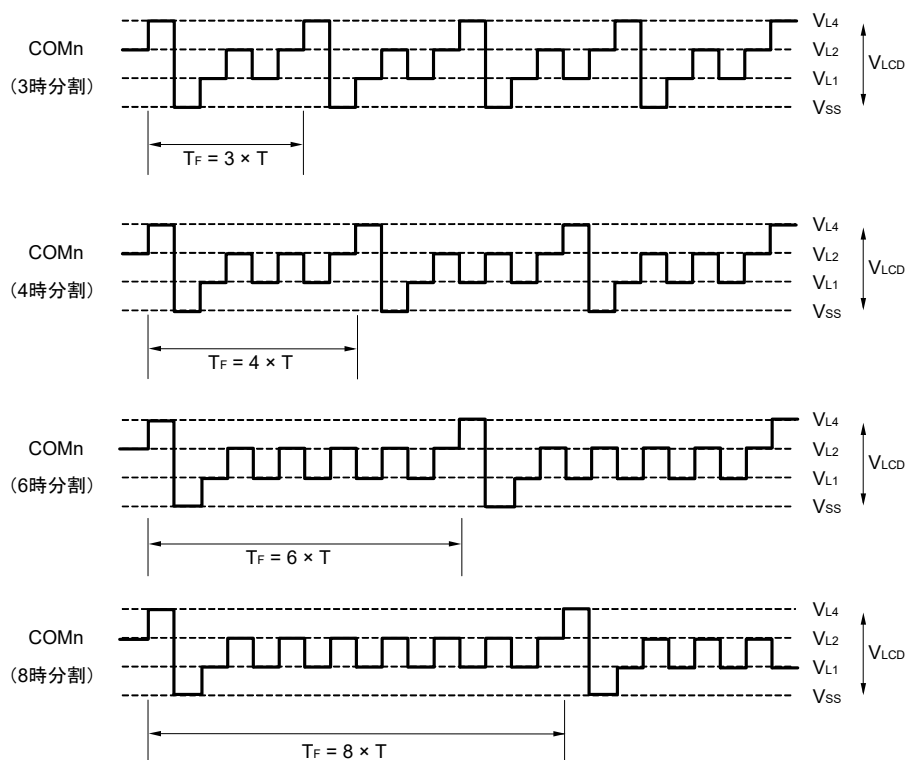
図 22 - 29 コモン信号波形 (1/2)



備考 T : LCDクロックの1周期分; T_F : フレーム周波数

図22 - 29 コモン信号波形 (2/2)

(c) 1/3 バイアス法

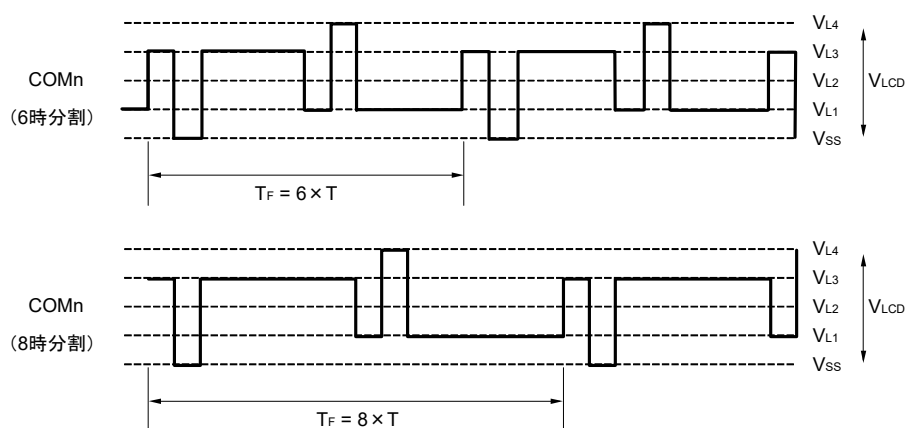


< LCDフレーム周波数の算出例 (4時分割使用時) >

LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 64 Hz

(d) 1/4 バイアス法



< LCDフレーム周波数の算出例 (8時分割使用時) >

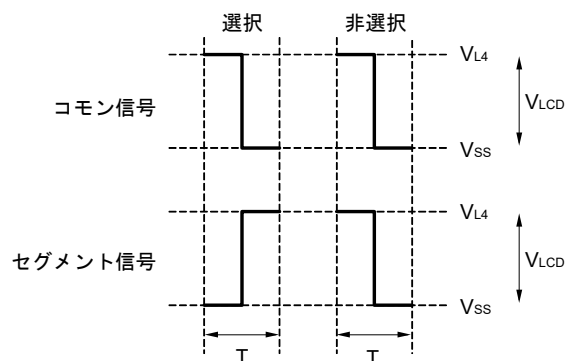
LCDクロック : $32768/2^7 = 256 \text{ Hz}$ (LCDC0 = 06H設定時)

LCDフレーム周波数 : 32 Hz

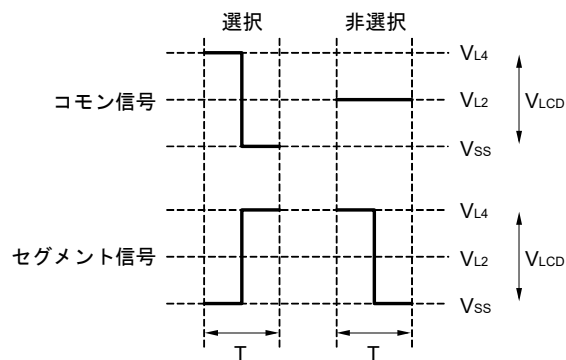
備考 T : LCDクロックの1周期分; T_F : フレーム周波数

図22 - 30 コモン信号とセグメント信号の電圧と位相 (1/3)

(a) スタティック表示モード (A波形)



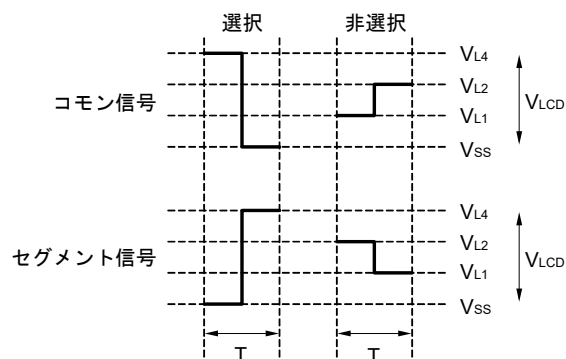
(b) 1/2バイアス法 (A波形)



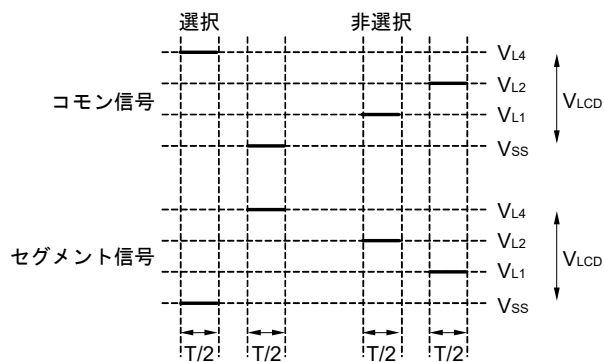
備考 T : LCDクロックの1周期分

図22 - 30 コモン信号とセグメント信号の電圧と位相 (2/3)

(c) 1/3 バイアス法 (A 波形)



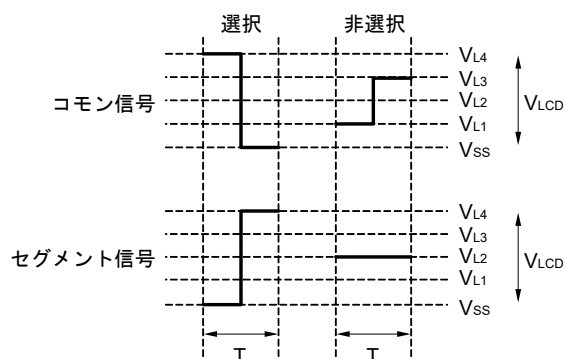
(d) 1/3 バイアス法 (B 波形)



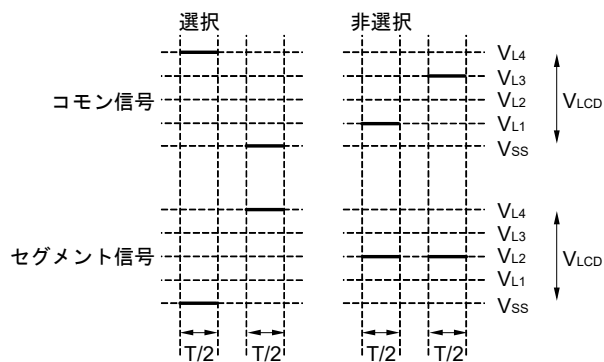
備考 T : LCDクロックの1周期分

図22 - 30 コモン信号とセグメント信号の電圧と位相 (3/3)

(e) 1/4 バイアス法 (A 波形)



(f) 1/4 バイアス法 (B 波形)



備考 T : LCDクロックの1周期分

22.10 表示モード

22.10.1 スタティック表示例

図 22 - 32 は、図 22 - 31 の表示パターンを持つスタティック方式の 3 桁の LCD パネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0）との接続を示します。表示例は 12.3 で、表示データ・レジスタ（F0400H-F0417H）の内容はこれに対応しています。

ここでは 2 桁目の 2. (2.) を例にとって説明します。図 22 - 31 の表示パターンに従って、COM0 のコモン信号のタイミングで表 22 - 19 に示すような選択、非選択電圧を SEG8-SEG15 端子に出力する必要があります。

表22 - 19 選択、非選択電圧（COM0）

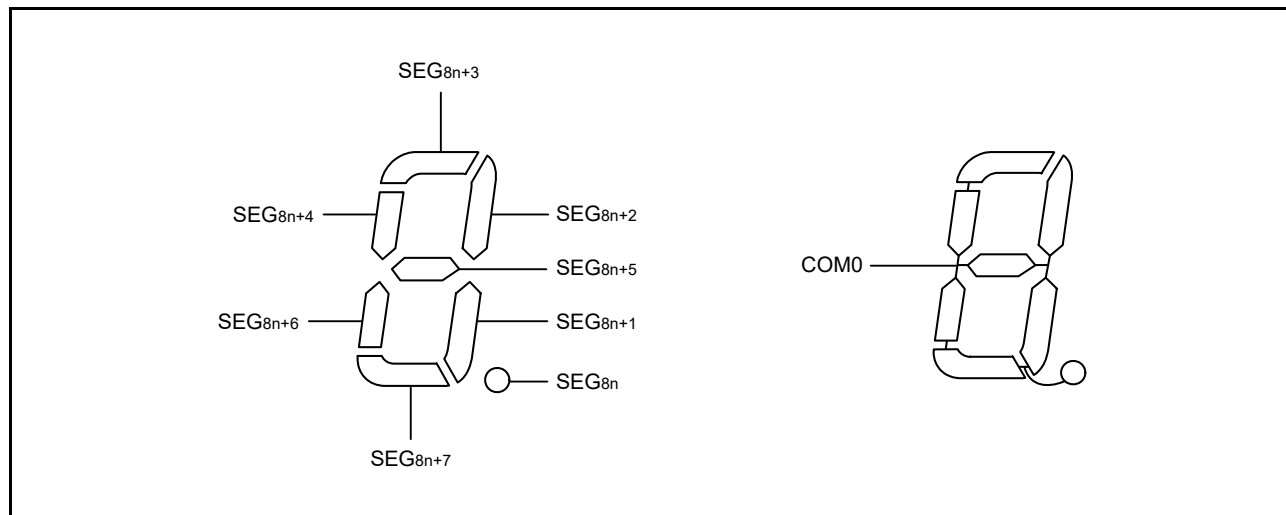
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これにより SEG8-SEG15 に対応する表示データ・レジスタ（F0408H-F040FH）のビット 0 には、10110111 を用意すればよいことが分かります。

SEG11, SEG12 と COM0 との LCD 駆動波形を図 22 - 33 に示します。COM0 との選択タイミングで SEG11 が選択電圧になるときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

COM1-COM3 には COM0 と同じ波形が出力されますので、COM0-COM3 を接続してドライブ能力を上げることができます。

図 22 - 31 スタティック LCD の表示パターンと電極結線



備考 100ピン製品：n = 0-6

図22 - 32 スタティックLCDパネルの結線例

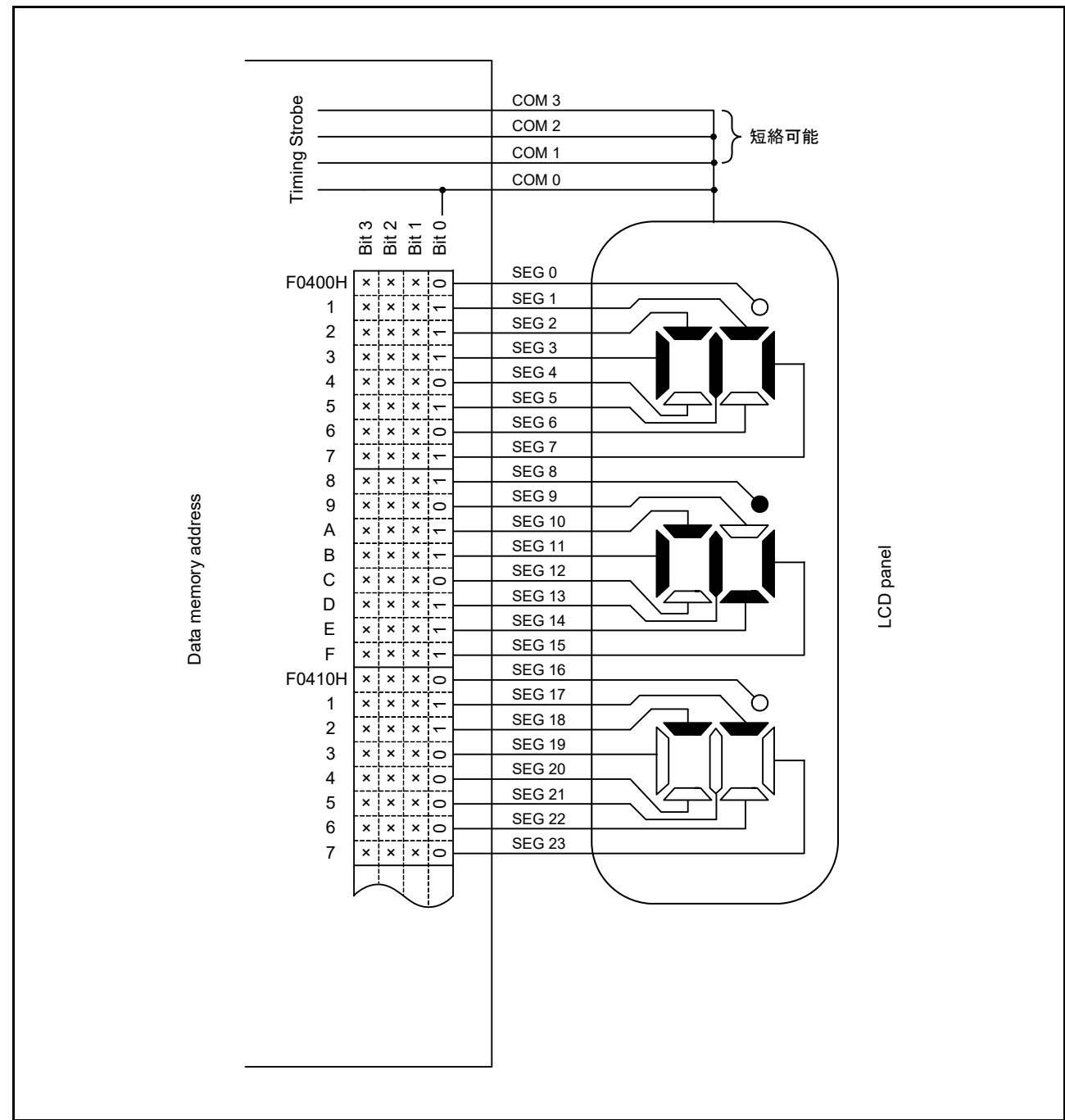
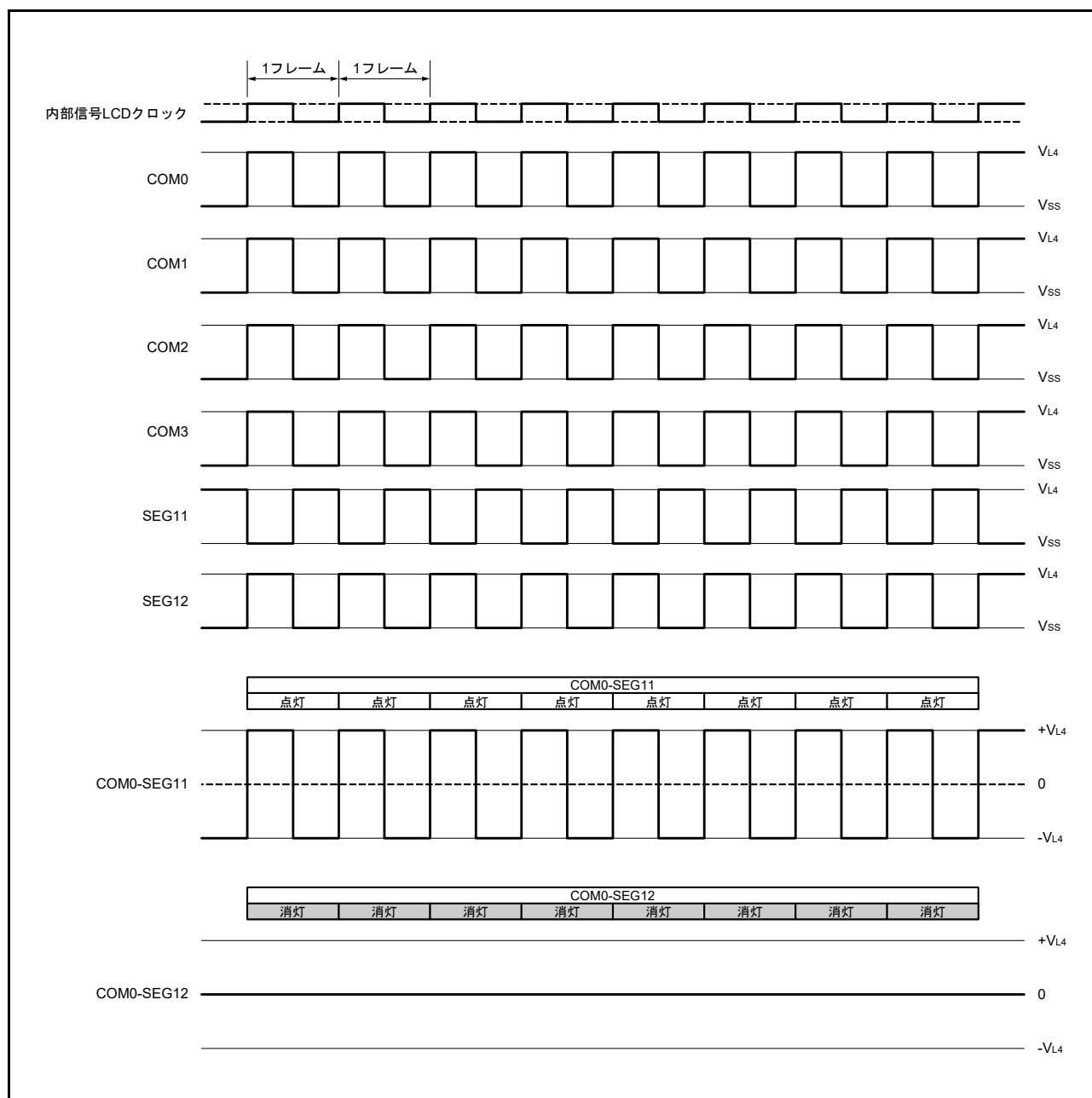


図22 - 33 SEG11, SEG12とCOM0とのスタティックLCD駆動波形例



22.10.2 2時分割表示例

図 22 - 35 は、図 22 - 34 の表示パターンを持つ 2 時分割方式の 6 桁 LCD パネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0, COM1) との接続を示します。表示例は 12345.6 で、表示データ・レジスタ (F0400H-F0417H) の内容はそれらに対応しています。

ここでは 4 桁目の 3 (3) を例にとって説明します。図 22 - 34 の表示パターンに従って、COM0, COM1 の各コモン信号のタイミングで表 22 - 20 に示すような選択、非選択電圧を SEG12-SEG15 端子に出力する必要があります。

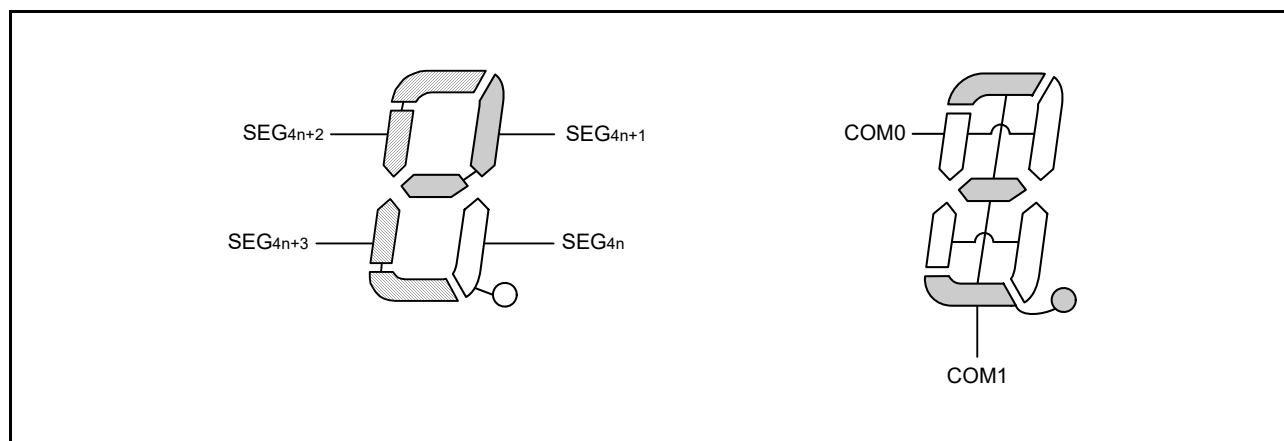
表22 - 20 選択、非選択電圧 (COM0, COM1)

コモン \ セグメント	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえば SEG15 に対応する表示データ・レジスタ (F040FH 番地) には、 $\times 10$ を用意すればよいことが分かります。

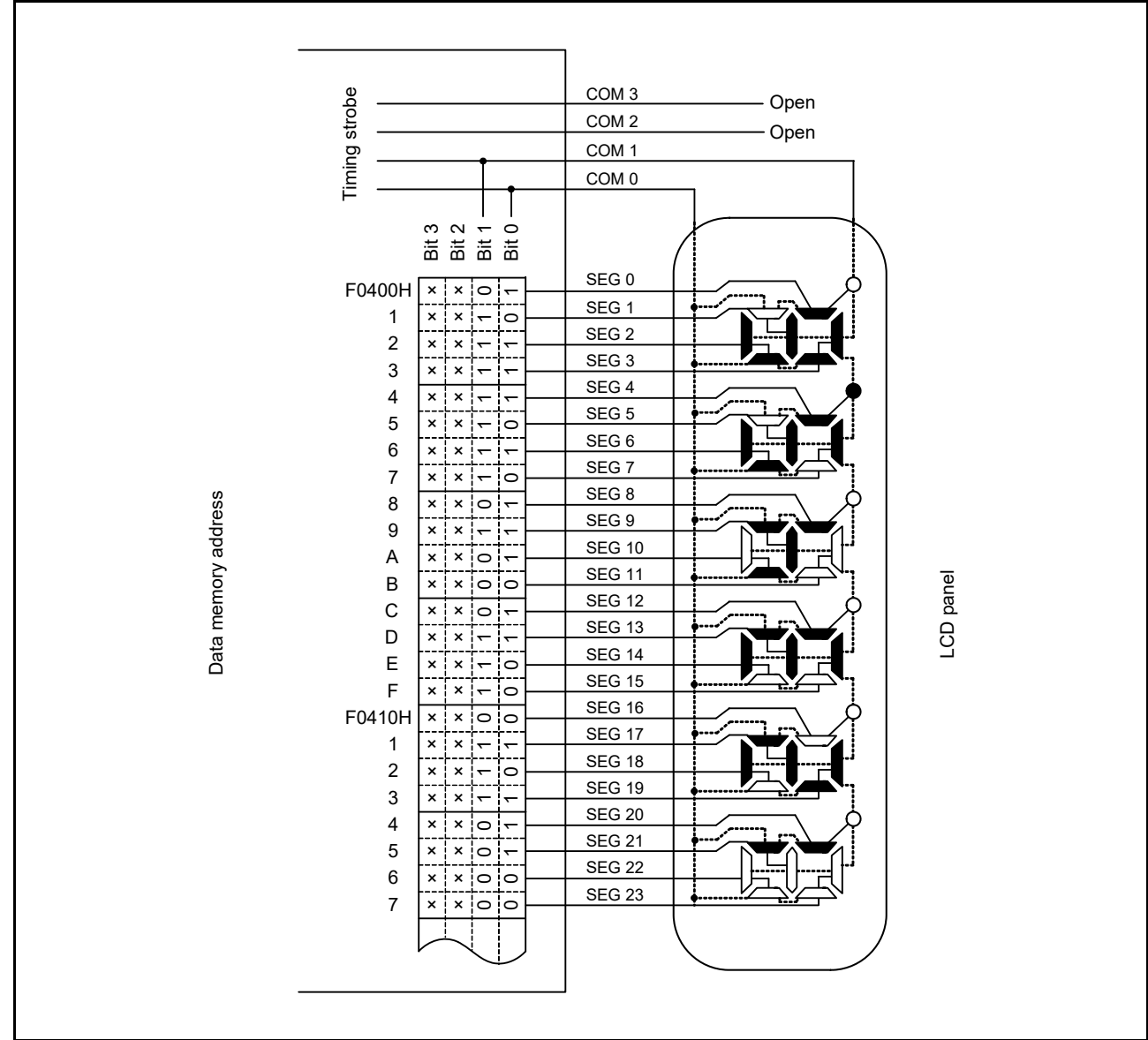
SEG15 と各コモン信号間の LCD 駆動波形例を図 22 - 36 に示します。COM1 の選択タイミングで SEG15 が選択電圧のときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

図 22 - 34 2 時分割 LCD 表示パターンと電極結線



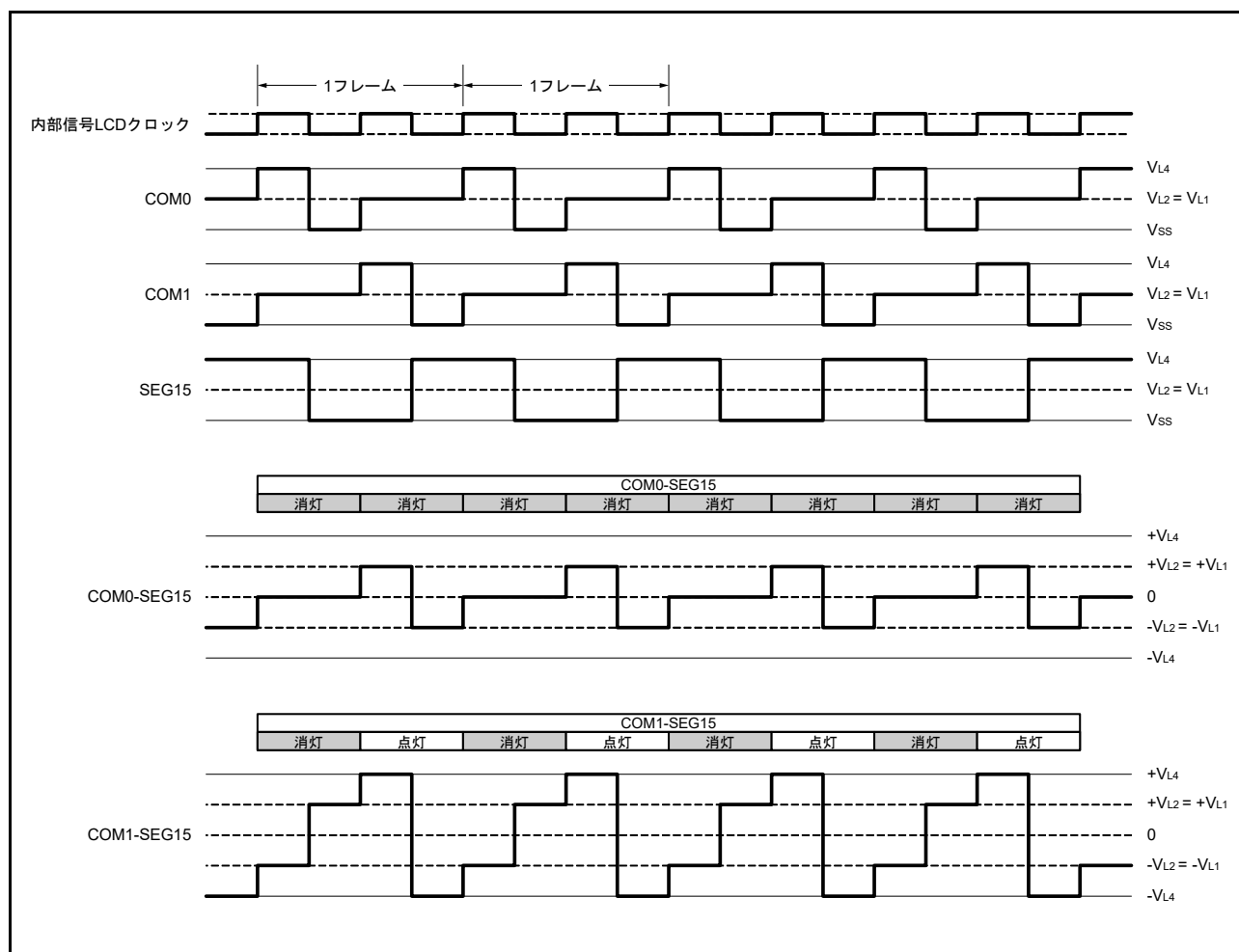
備考 100 ピン製品 : $n = 0-13$

図22 - 35 2時分割LCDパネルの結線例



備考 × : 2時分割表示のため、常に任意のデータをストア可能です。

図22 - 36 SEG15と各コモン信号間の2時分割LCD駆動波形例（1/2バイアス法）



22.10.3 3時分割表示例

図 22 - 38 は、図 22 - 37 の表示パターンを持つ 3 時分割方式の 8 桁 LCD パネルとセグメント信号（SEG0-SEG23）およびコモン信号（COM0-COM2）との接続を示します。表示例は 123456.78 で、表示データ・レジスタ（F0400H-F0417H）の内容はこれに対応しています。

ここでは 3 桁目の 6.（**6.**）を例にとって説明します。図 22 - 37 の表示パターンに従って、COM0-COM2 の各コモン信号のタイミングで表 22 - 21 に示すような選択、非選択電圧を SEG6-SEG8 端子に出力する必要があります。

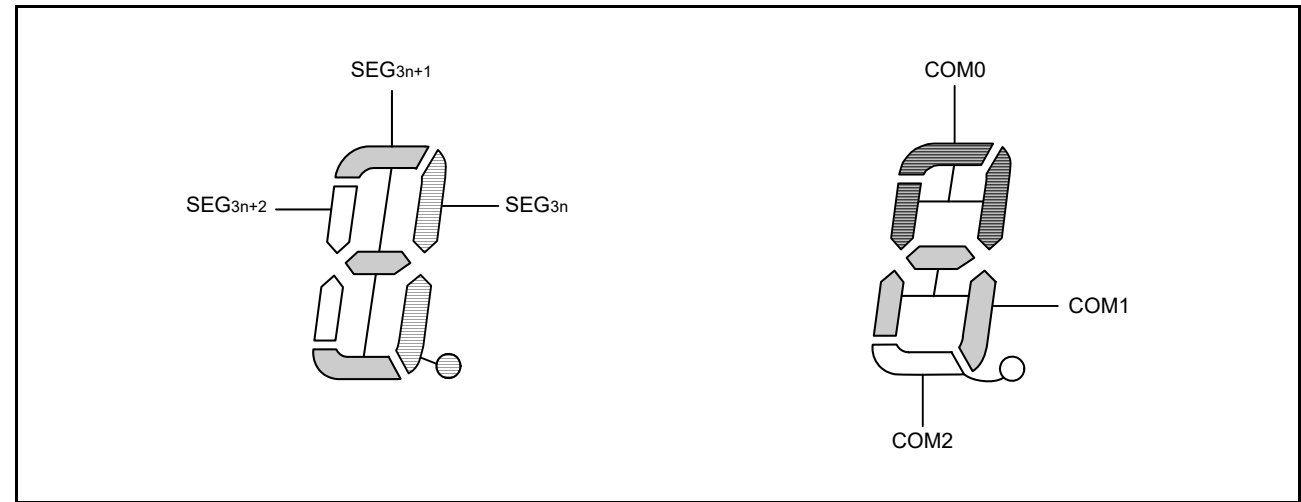
表22 - 21 選択、非選択電圧（COM0-COM2）

セグメント コモン	SEG6	SEG7	SEG8
COM0	非	選	選
COM1	選	選	選
COM2	選	選	—

これにより SEG6 に対応する表示データ・レジスタ（F0406H 番地）には、×110 を用意すればよいことが分かります。

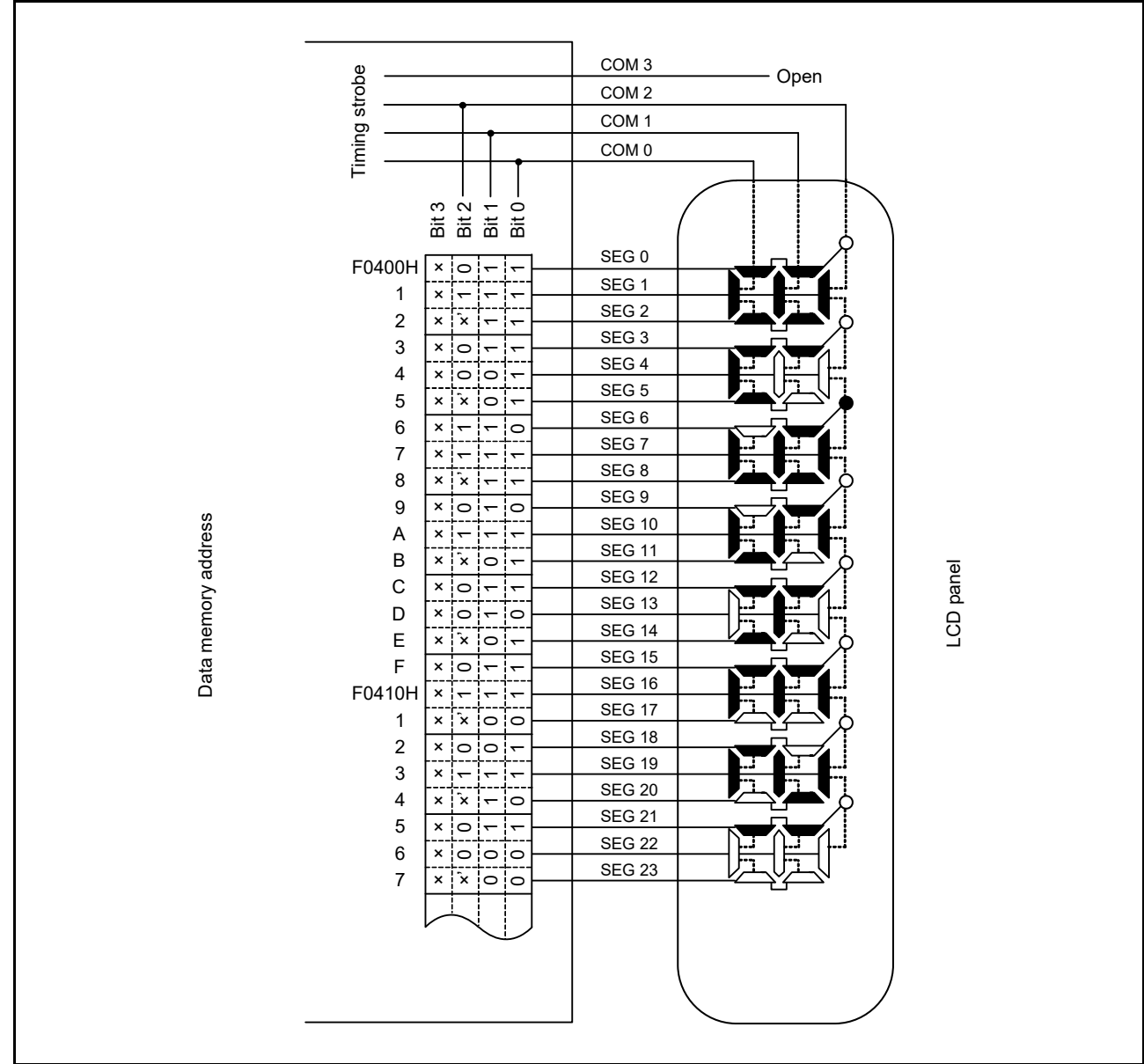
SEG6 と各コモン信号間の LCD 駆動波形例を図 22 - 39（1/2 バイアス法）および図 22 - 40（1/3 バイアス法）に示します。COM1 の選択タイミングで SEG6 が選択電圧のとき、および COM2 の選択タイミングで SEG6 が選択電圧のときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

図22 - 37 3時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-17

図22 - 38 3時分割LCDパネルの結線例



備考 *' : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
* : 3時分割表示のため、常に任意のデータをストア可能です。

図22 - 39 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/2バイアス法）

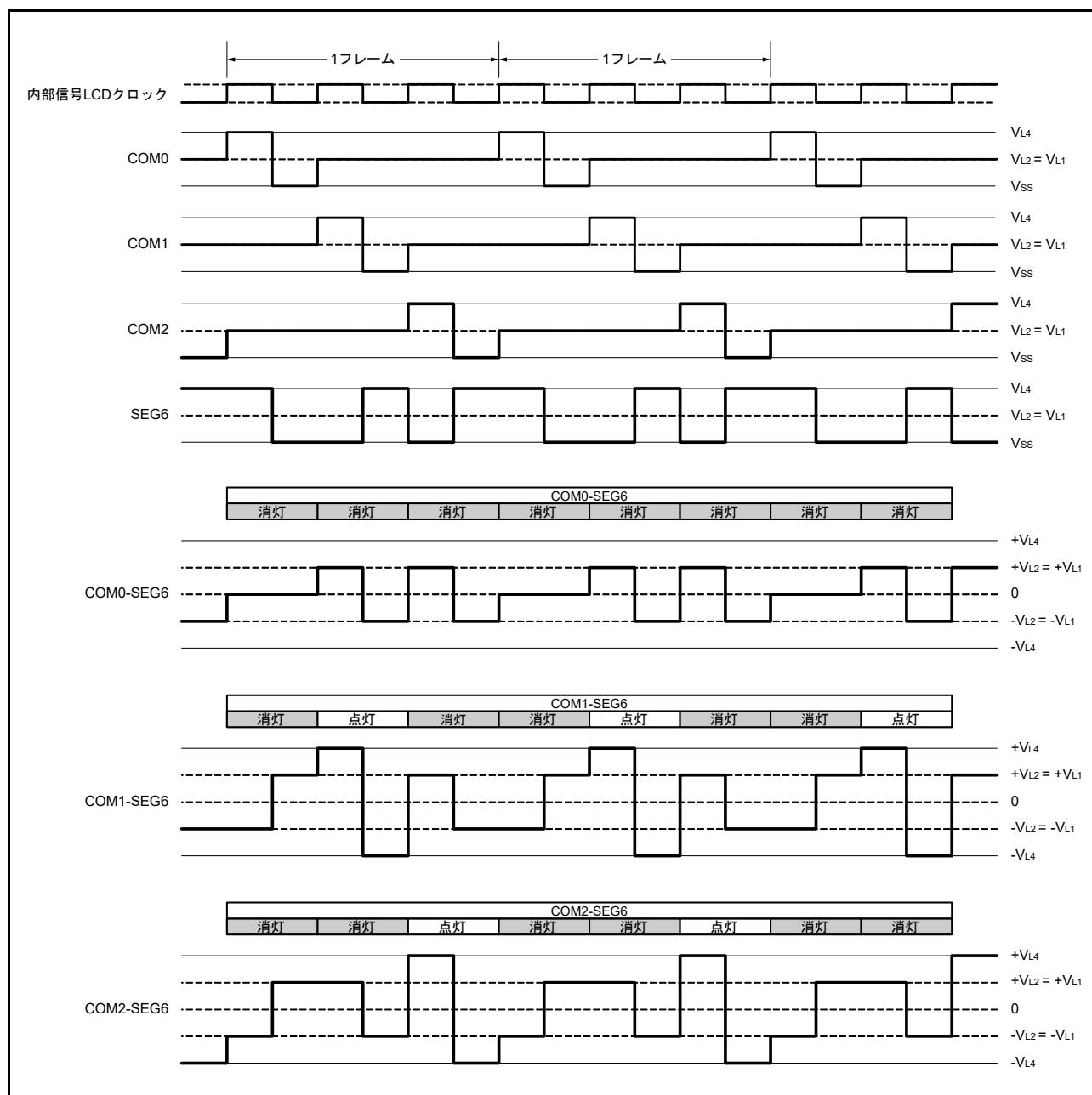
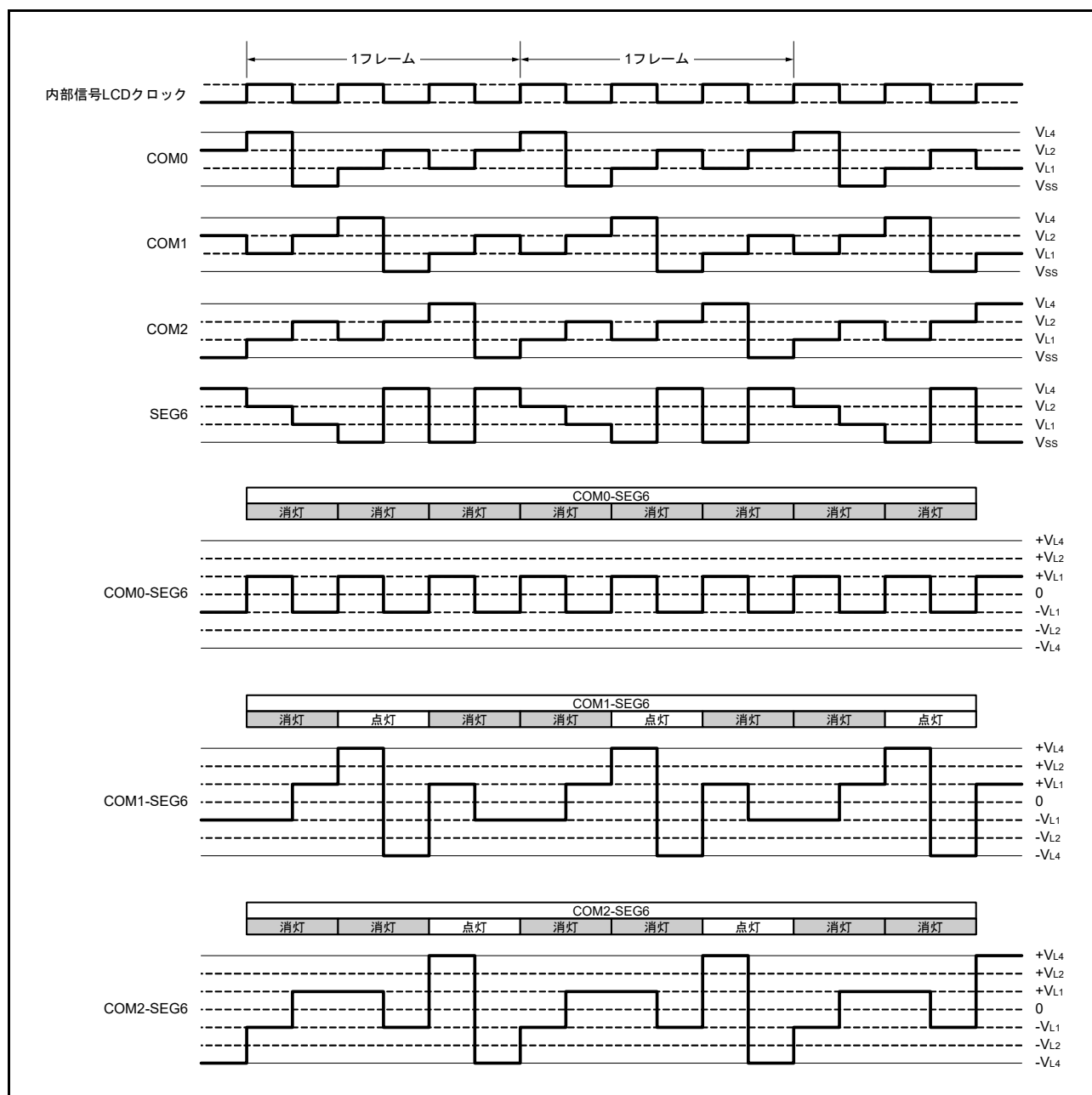


図22 - 40 SEG6と各コモン信号間の3時分割LCD駆動波形例（1/3バイアス法）



22.10.4 4時分割表示例

図 22 - 42 は、図 22 - 41 の表示パターンを持つ 4 時分割方式の 12 桁 LCD パネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM3) との接続を示します。表示例は 123456.789012 で、表示データ・レジスタ (F0400H-F0417H 番地) の内容はこれに対応しています。

ここでは 7 桁目の 6. (6.) を例にとって説明します。図 22 - 41 の表示パターンに従って、COM0-COM3 の各コモン信号のタイミングで表 22 - 22 に示すような選択、非選択電圧を SEG12, SEG13 端子に出力する必要があります。

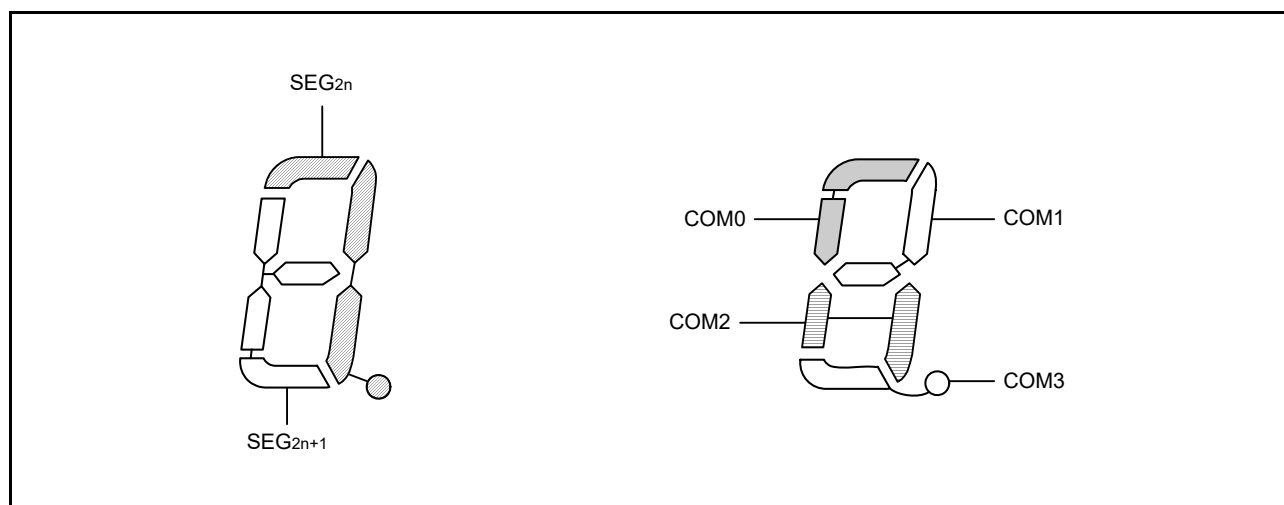
表22 - 22 選択、非選択電圧 (COM0-COM3)

コモン \ セグメント	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これにより SEG12 に対応する表示データ・レジスタ (F040CH 番地) には、1101 を用意すればよいことが分かります。

SEG12 と各コモン信号間の LCD 駆動波形例を図 22 - 43 に示します。COM0 の選択タイミングで SEG12 が選択電圧になるときに、LCD 点灯レベルである +VLCD/-VLCD の交流矩形波が発生することが分かります。

図 22 - 41 4時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-27

図22 - 42 4時分割LCDパネルの結線例

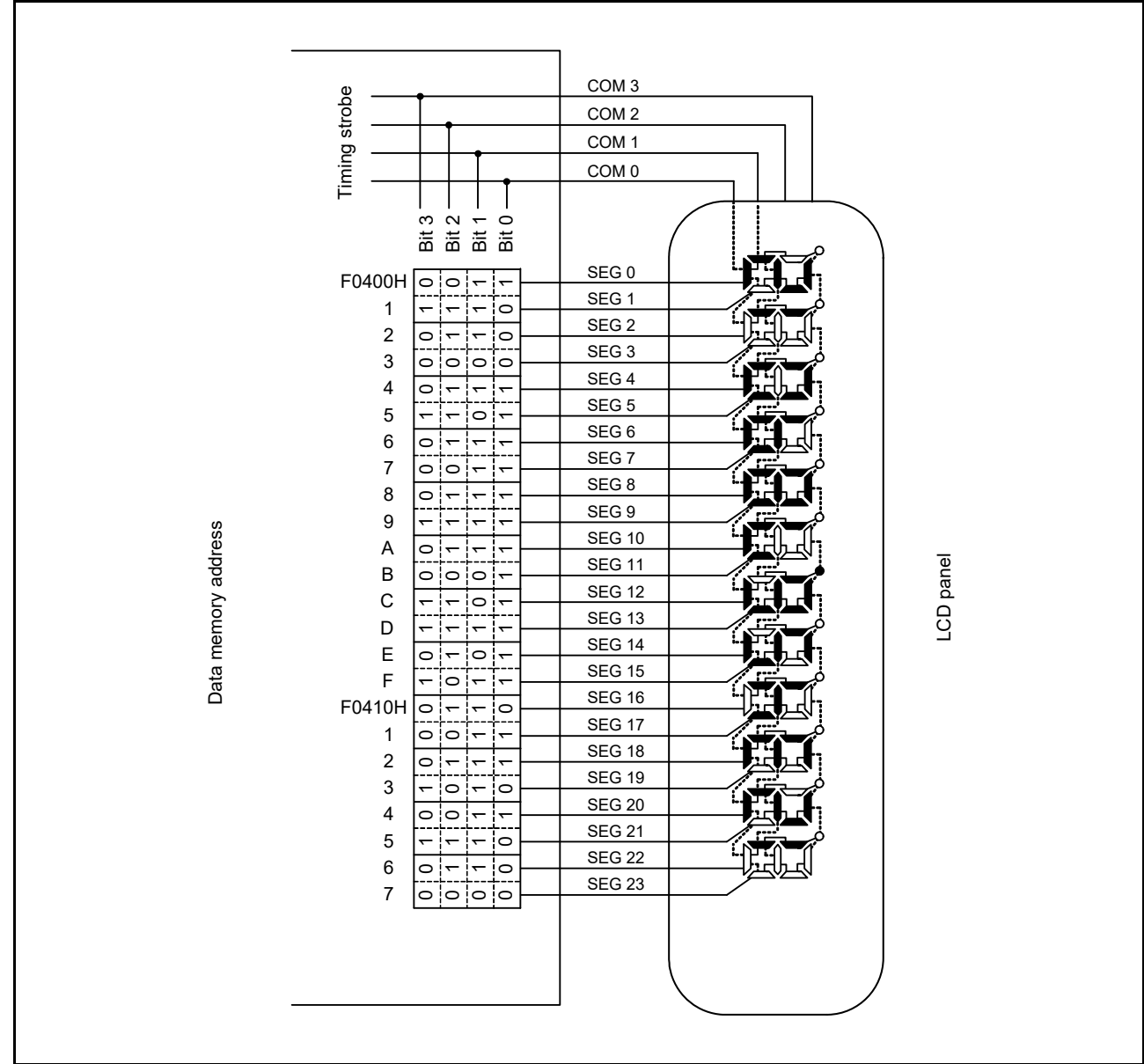


図22 - 43 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（1/2）

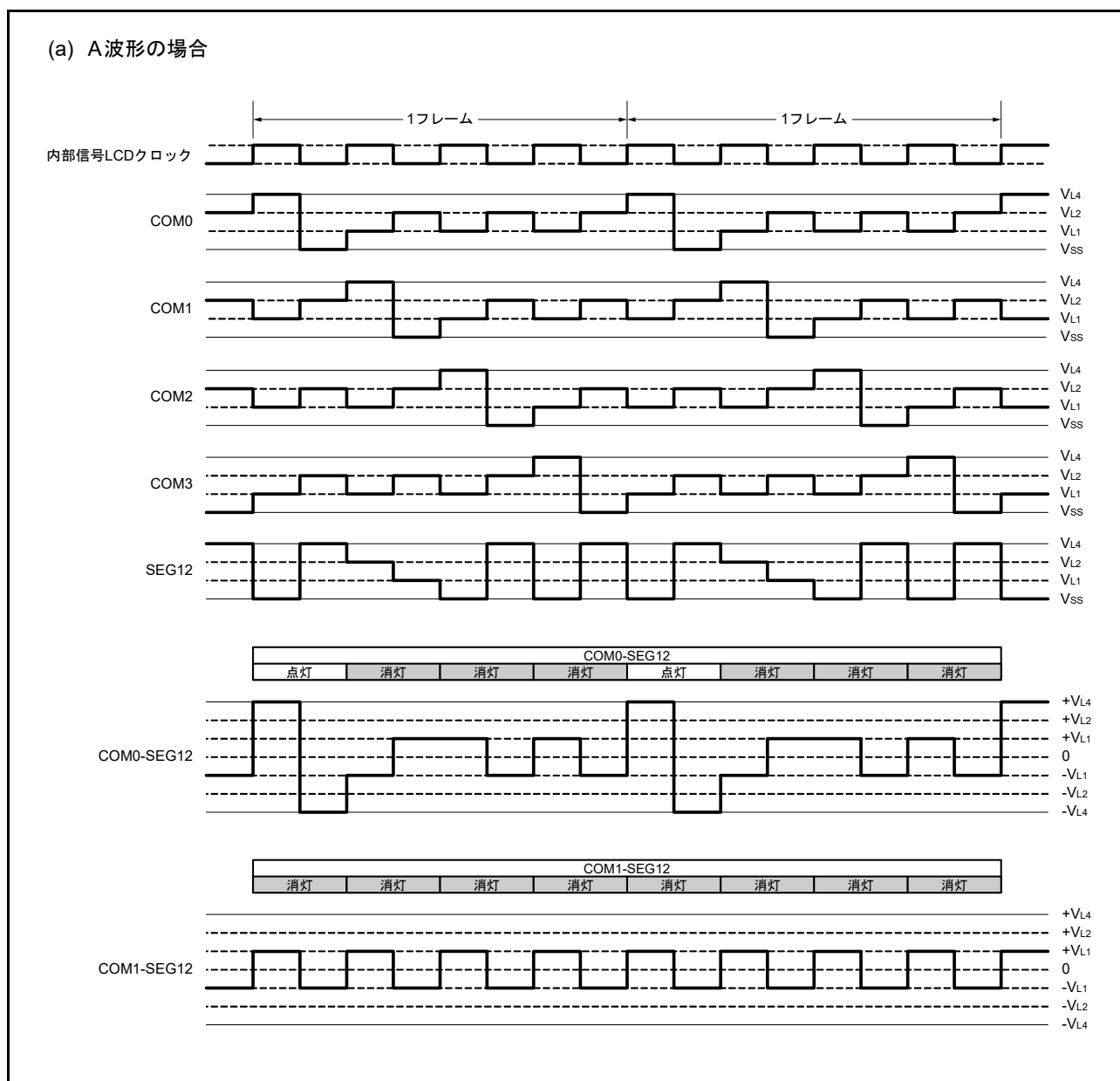
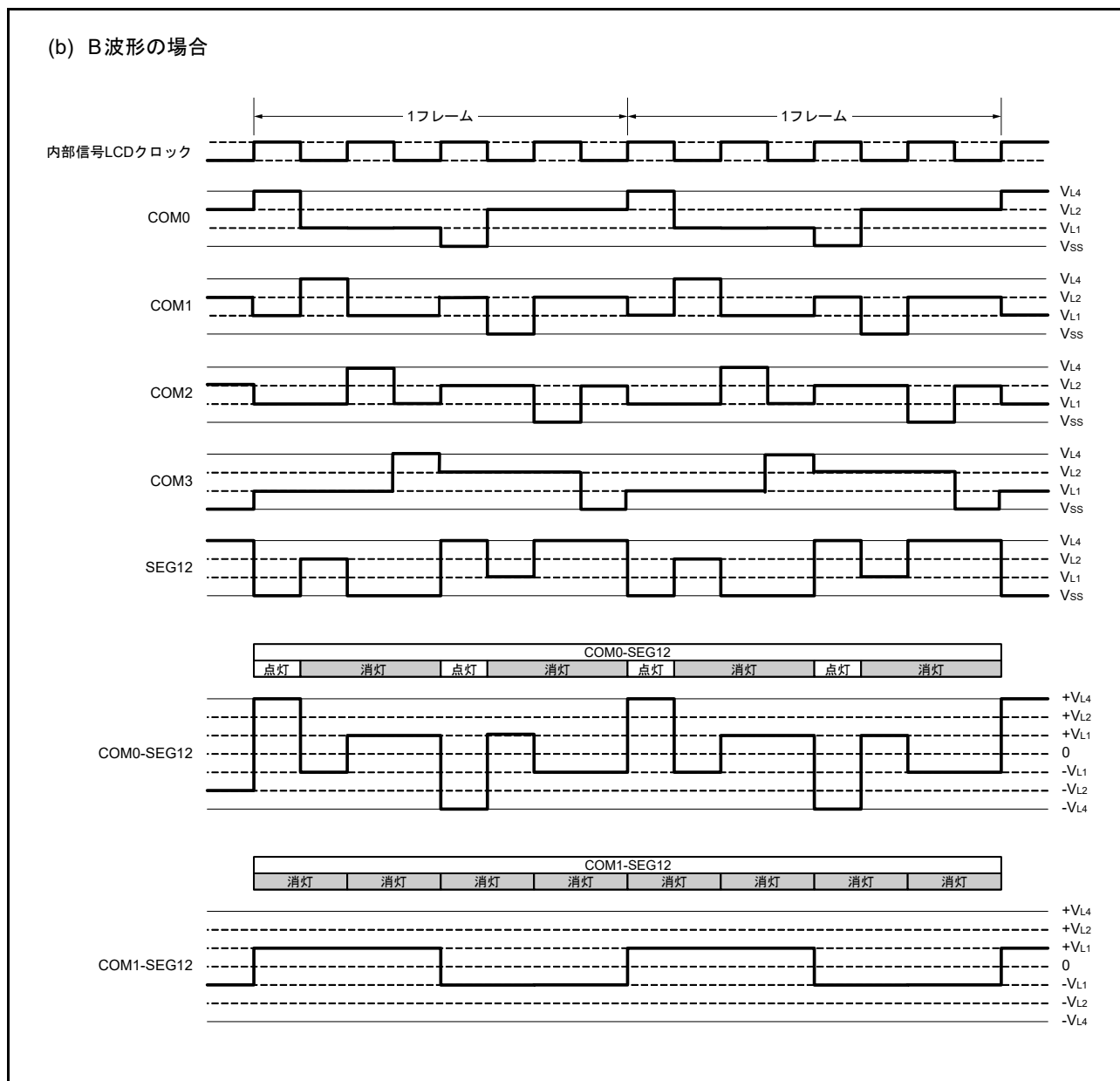


図22 - 43 SEG12と各コモン信号間の4時分割LCD駆動波形例（1/3バイアス法）（2/2）



22.10.5 6時分割表示例

図 22 - 45 は、図 22 - 44 の表示パターンを持つ 6 時分割方式の 15×6 のドット LCD パネルとセグメント信号 (SEG2-SEG16) およびコモン信号 (COM0-COM5) との接続を示します。表示例は 123 で、表示データ・レジスタ (F0402H-F0410H 番地) の内容はこれに対応しています。

ここでは 1 桁目の 3 (三) を例にとって説明します。図 22 - 44 の表示パターンに従って、COM0-COM5 の各コモン信号のタイミングで表 22 - 23 に示すような選択、非選択電圧を SEG2-SEG6 端子に出力する必要があります。

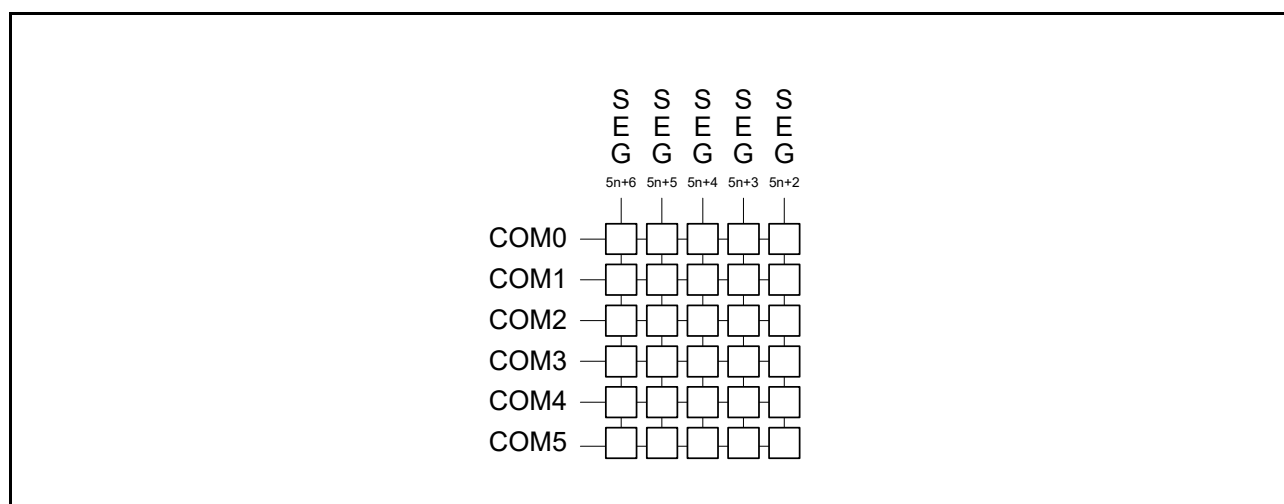
表22 - 23 選択、非選択電圧 (COM0-COM5)

コモン \ セグメント	SEG2	SEG3	SEG4	SEG5	SEG6
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	選
COM5	非	選	選	選	非

これにより SEG2 に対応する表示データ・レジスタ (F0402H 番地) には、010001 を用意すればよいことが分かります。

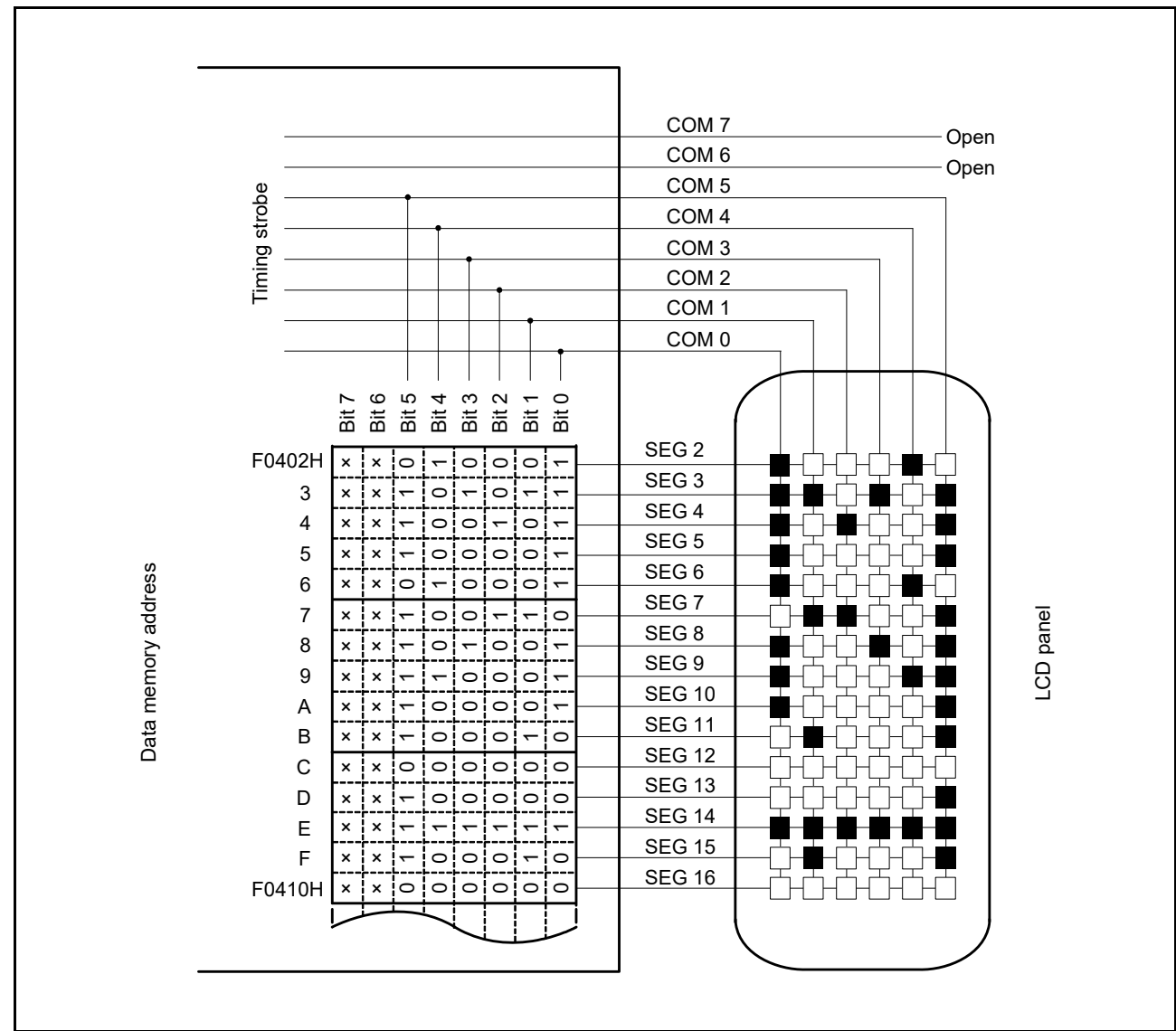
SEG2 と各コモン信号間の LCD 駆動波形例を図 22 - 46 と図 22 - 47 に示します。COM0 の選択タイミングで SEG4 が選択電圧になるときに、LCD 点灯レベルの波形が発生することが分かります。

図 22 - 44 6 時分割 LCD 表示パターンと電極結線



備考 100ピン製品 : n = 0-9

図22 - 45 6時分割LCDパネルの結線例



備考 × : 6時分割表示のため、常に任意のデータをストア可能です。

図22 - 46 SEG2と各コモン信号間の6時分割LCD駆動波形例（1/4バイアス法）

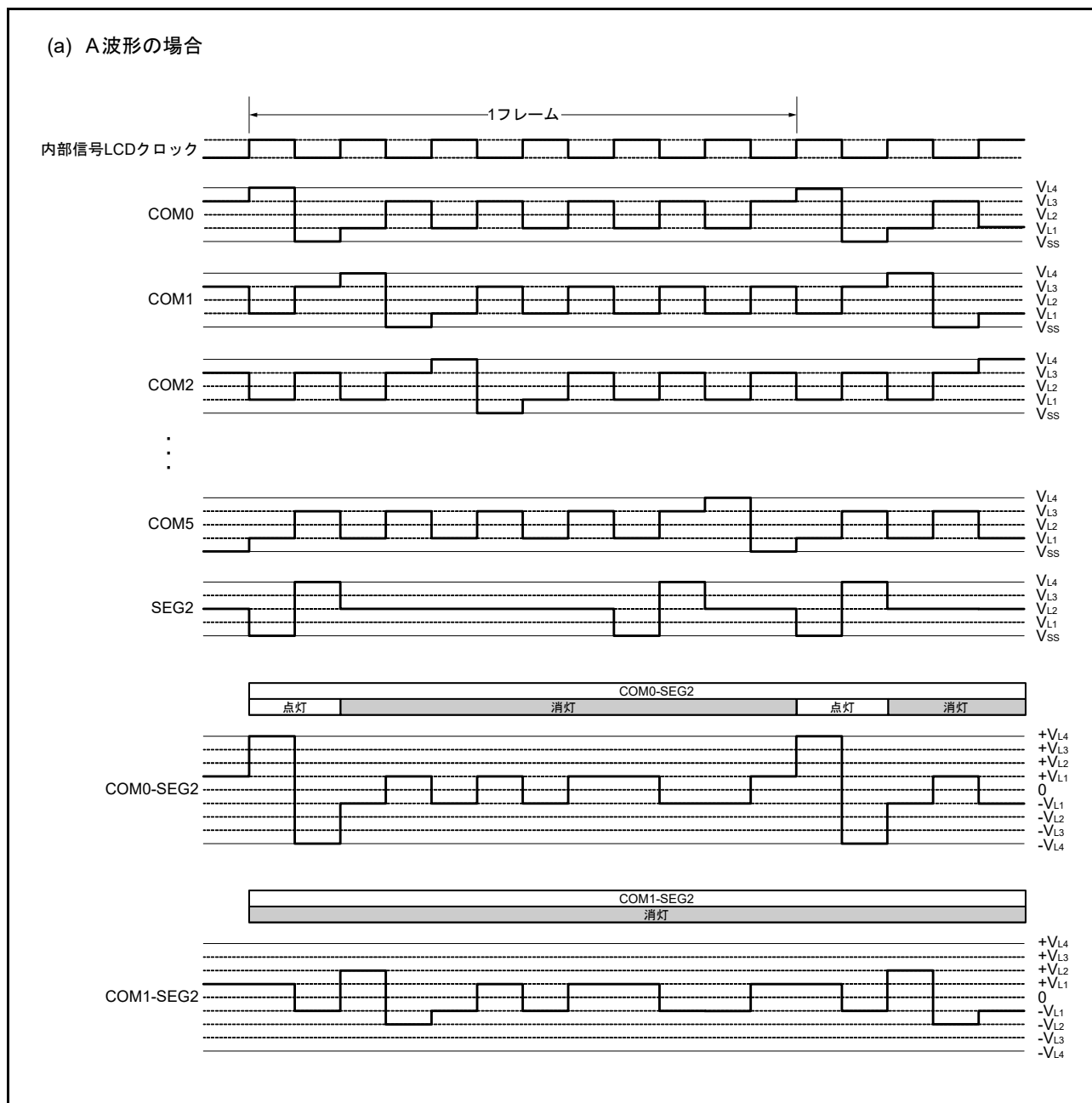
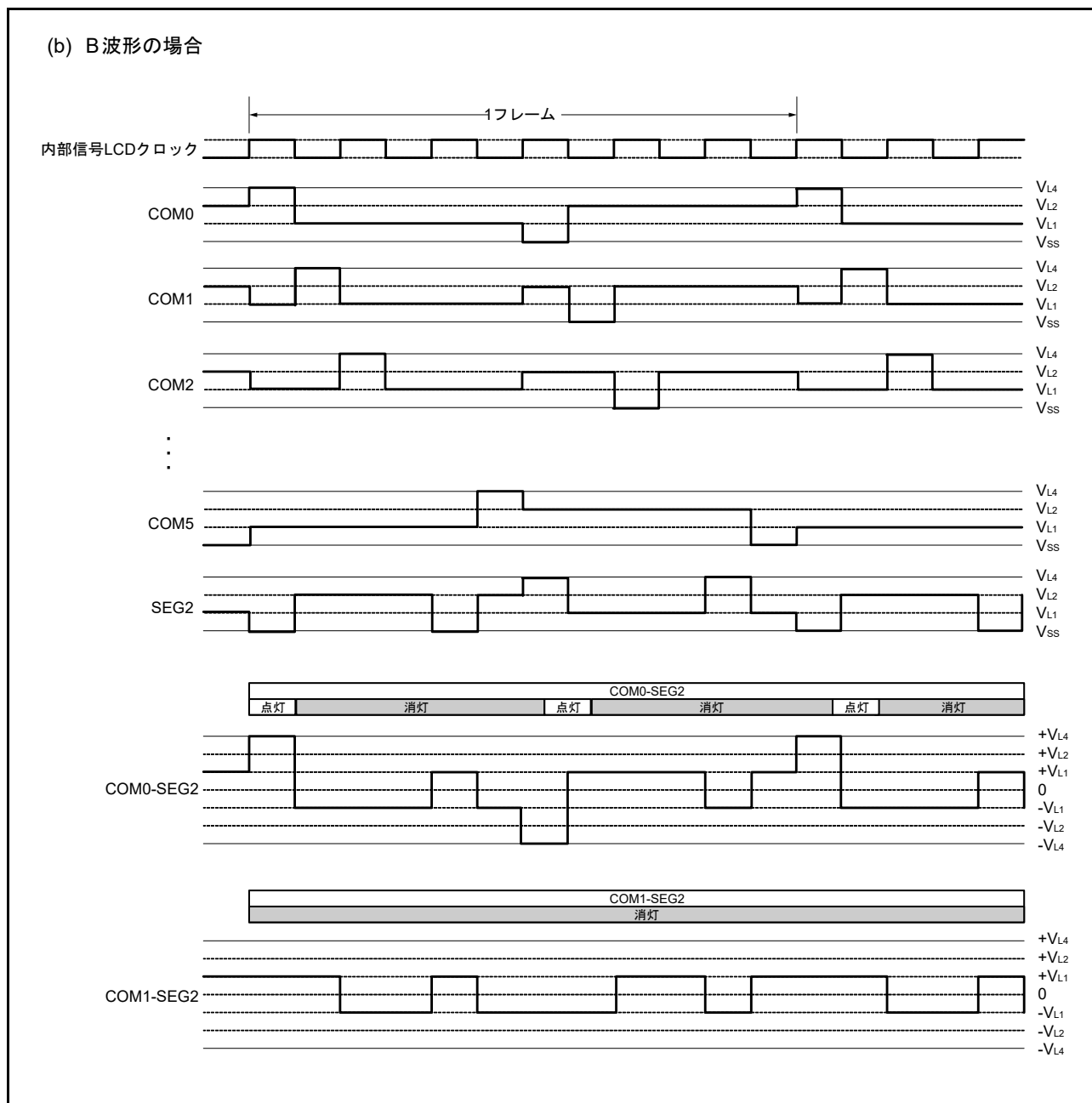


図22-47 SEG2と各コモン信号間の6時分割LCD駆動波形例（1/3バイアス法）



22.10.6 8時分割表示例

図 22 - 49 は、図 22 - 48 の表示パターンを持つ 8 時分割方式の 15 × 8 のドット LCD パネルとセグメント信号 (SEG4-SEG18) およびコモン信号 (COM0-COM7) との接続を示します。表示例は 123 で、表示データ・レジスタ (F0404H-F0412H 番地) の内容はこれに対応しています。

ここでは 1 桁目の 3 (三) を例にとって説明します。図 22 - 48 の表示パターンに従って、COM0-COM7 の各コモン信号のタイミングで表 22 - 24 に示すような選択、非選択電圧を SEG4-SEG8 端子に出力する必要があります。

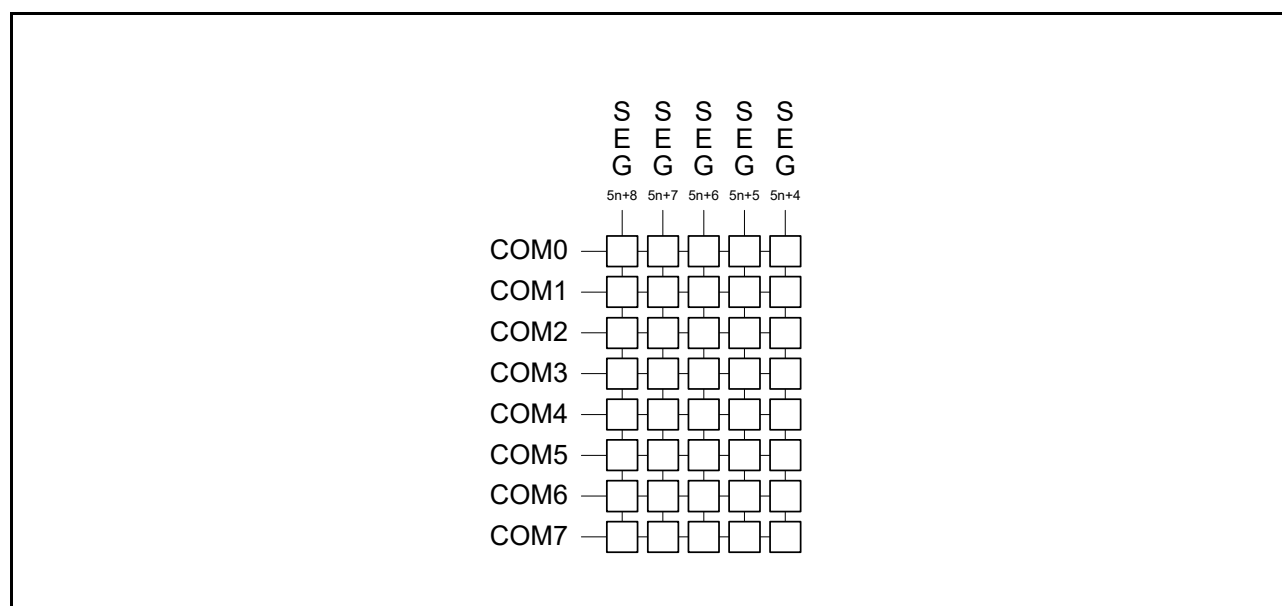
表22 - 24 選択、非選択電圧 (COM0-COM7)

コモン \ セグメント	SEG4	SEG5	SEG6	SEG7	SEG8
COM0	選	選	選	選	選
COM1	非	選	非	非	非
COM2	非	非	選	非	非
COM3	非	選	非	非	非
COM4	選	非	非	非	非
COM5	選	非	非	非	選
COM6	非	選	選	選	非
COM7	非	非	非	非	非

これにより SEG4 に対応する表示データ・レジスタ (F0404H 番地) には、00110001 を用意すればよいことが分かります。

SEG4 と各コモン信号間の LCD 駆動波形例を図 22 - 50 に示します。COM0 の選択タイミングで SEG4 が選択電圧になるときに、LCD 点灯レベルの波形が発生することが分かります。

図 22 - 48 8時分割LCD表示パターンと電極結線



備考 100ピン製品 : n = 0-9

図22 - 49 8時分割LCDパネルの結線例

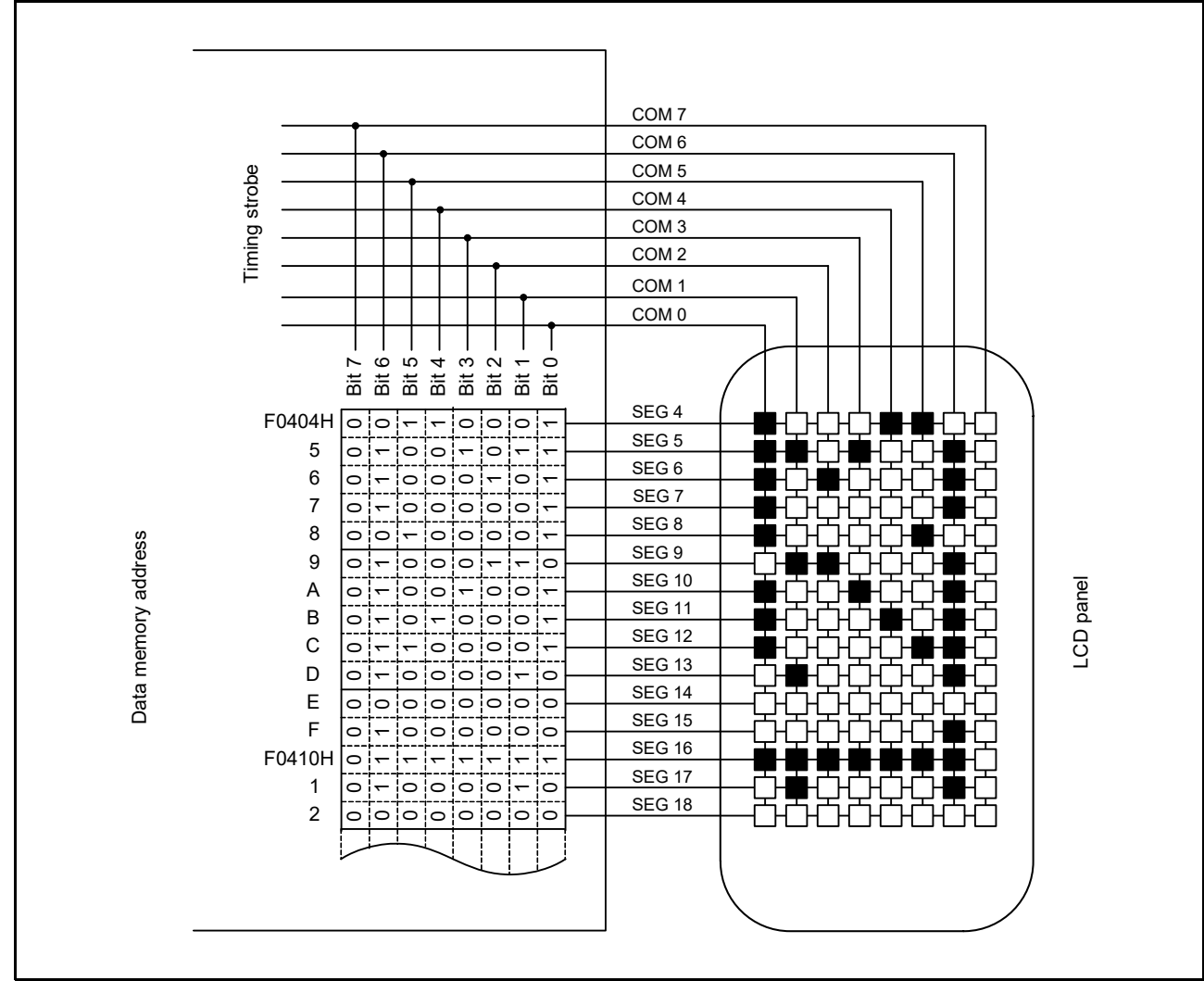


図22 - 50 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）（1/2）

(a) A波形の場合

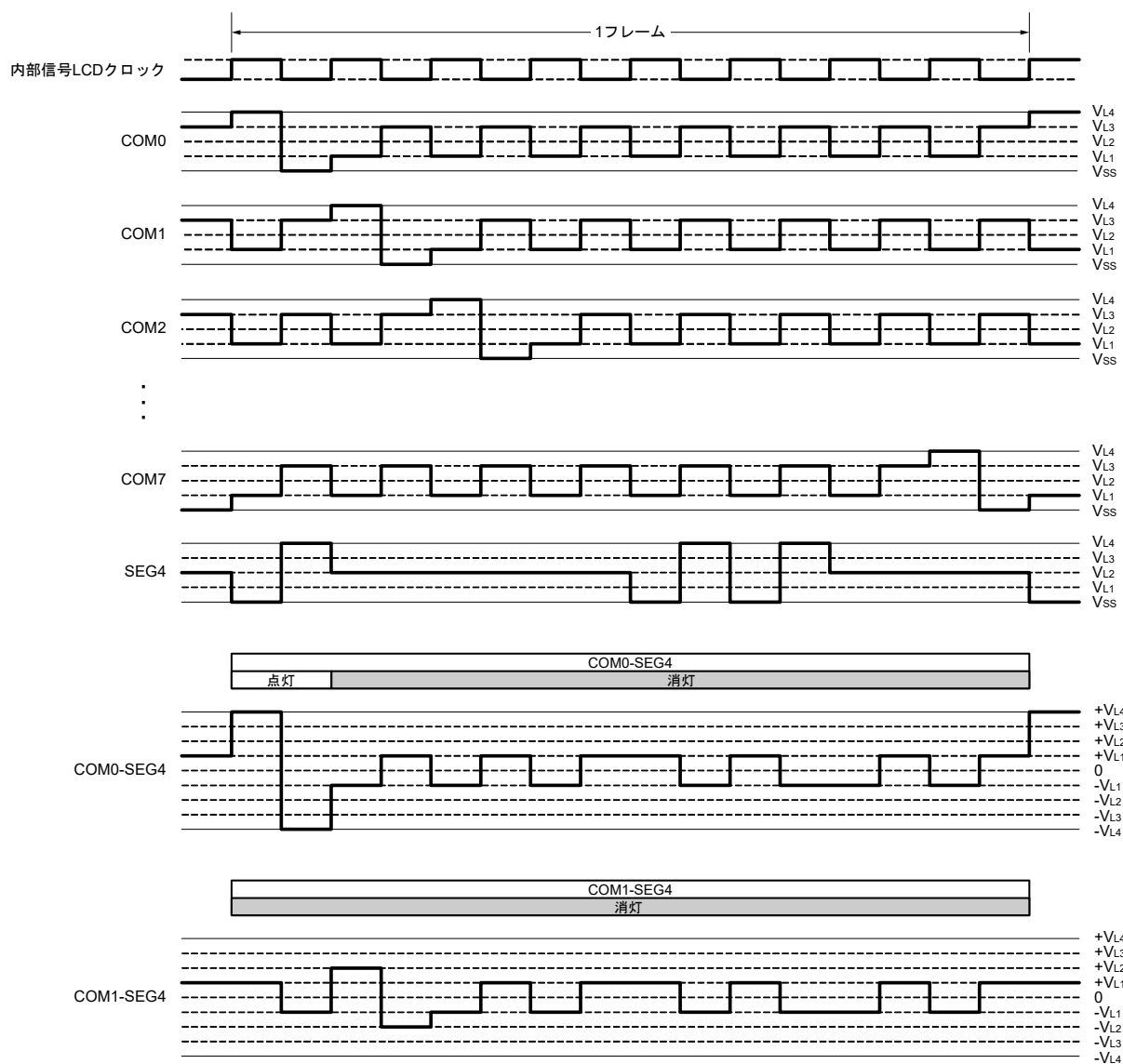
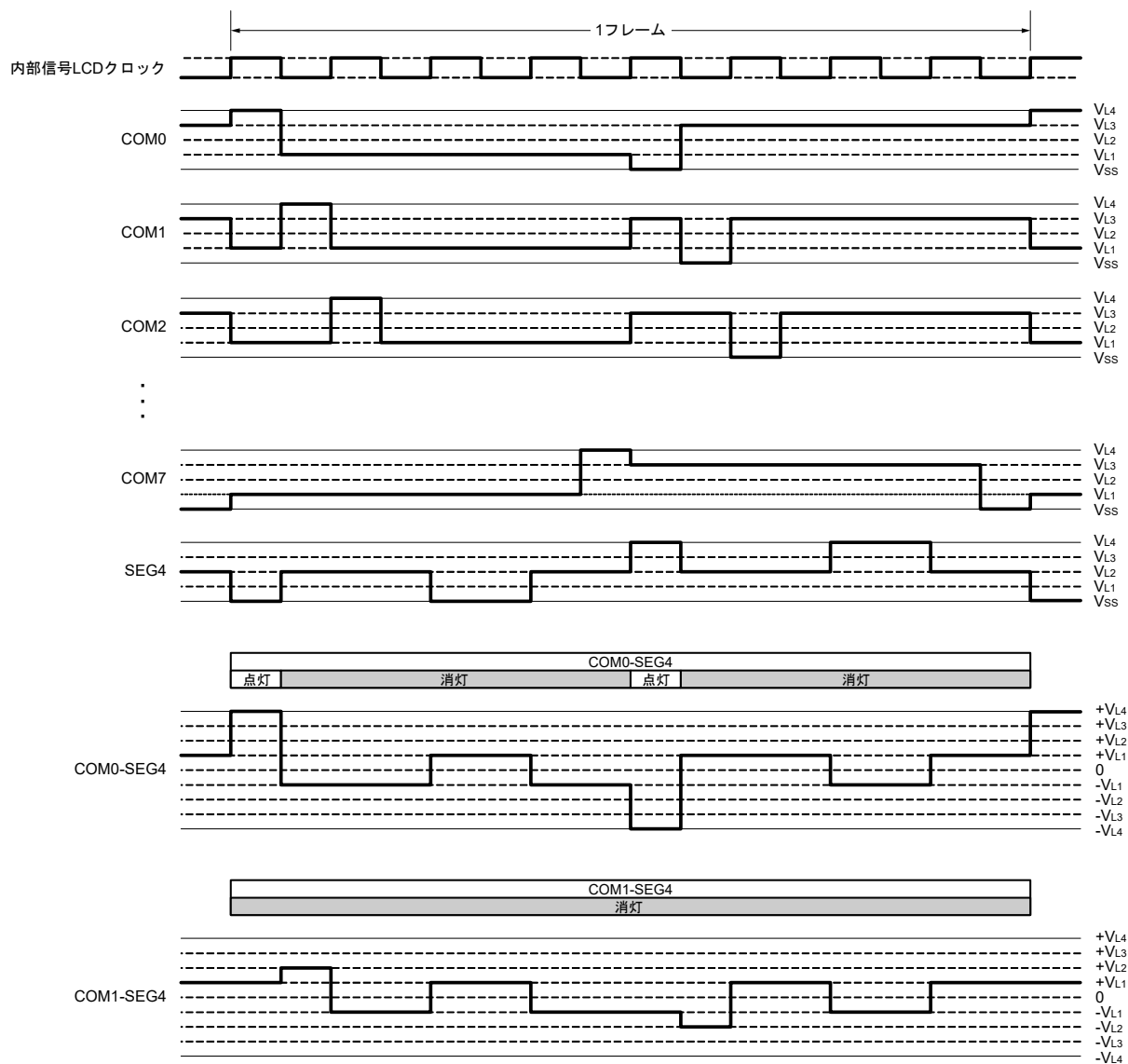


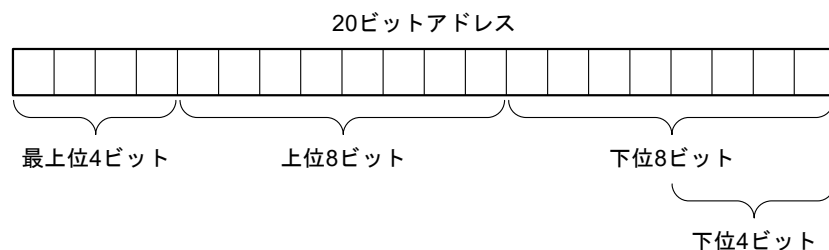
図22 - 50 SEG4と各コモン信号間の8時分割LCD駆動波形例（1/4バイアス法）(2/2)

(b) B波形の場合



第23章 データ・トランスファ・コントローラ (DTC)

本章の説明で記載されているアドレスの上位 8 ビットとは下記のとおり、20 ビットアドレスのビット (15-8) になります。



また、本章の説明の中で、特に指定がない場合、アドレスの最上位 4 ビットはすべて 1 (FxxxxH) になります。

23.1 DTCの機能

データ・トランスファ・コントローラ (DTC) は、CPU を使わずにメモリとメモリの間でデータを転送する機能です。DTC は周辺機能割り込みによって起動し、データ転送します。DTC は CPU と同じデータ・バスを使用し、DTC のバス使用権は CPU よりも優先されます。

表 23 - 1 に DTC の仕様を示します。

表23 - 1 DTCの仕様 (1/2)

項目		仕様
起動要因		48 要因 (フラッシュ・メモリ 64-128 KB の 44, 48 ピン製品) 49 要因 (フラッシュ・メモリ 64-128 KB の 52, 64 ピン製品) 51 要因 (フラッシュ・メモリ 256-512 KB の 44 ピン製品) 53 要因 (フラッシュ・メモリ 256-512 KB の 48 ピン製品) 54 要因 (フラッシュ・メモリ 256-512 KB の 52, 64 ピン製品) 56 要因 (フラッシュ・メモリ 128-512 KB の 80, 100 ピン製品)
配置可能なコントロール・データ		24 通り
転送可能なアドレス空間	アドレス空間	64 K バイト空間 (F0000H-FFFFFH) ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ (SFR)、RAM 領域 (汎用レジスタを除く) 注1、ミラー領域注2、データ・フラッシュ・メモリ領域注2、拡張特殊機能レジスタ (2nd SFR)
	デスティネーション	特殊機能レジスタ (SFR)、RAM 領域 (汎用レジスタを除く)、拡張特殊機能レジスタ (2nd SFR)
最大転送回数	ノーマル・モード	256 回
	リピート・モード	255 回
最大転送ブロック・サイズ	ノーマル・モード (8 ビット転送)	256 バイト
	ノーマル・モード (16 ビット転送)	512 バイト
	リピート・モード	255 バイト
転送単位		8 ビット / 16 ビット
転送モード	ノーマル・モード	DTCCTJ レジスタが 1 から 0 になる転送で終了する
	リピート・モード	DTCCTJ レジスタが 1 から 0 になる転送終了後、リピート・エリアのアドレスを初期化し、DTRLJ レジスタの値が DTCCTJ レジスタへリロードして転送を継続する

表23 - 1 DTCの仕様 (2/2)

項目		仕様
アドレス制御	ノーマル・モード	固定または加算
	リピート・モード	リピート・エリアでないアドレスを固定または加算
起動要因優先度		表23 - 3 DTC起動要因とベクタ・アドレス参照
割り込み要求	ノーマル・モード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピート・モード	DTCCRjレジスタのRPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi7-DTCENi0ビットを1（起動許可）にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマル・モード	DTCENi7-DTCENi0ビットを0（起動禁止）にする DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピート・モード	DTCENi7-DTCENi0ビットを0（起動禁止）にする RPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

注1. メモリ電力削減制御レジスタ（PSMCR）により内蔵RAMを待機モードおよびシャットダウン・モードに設定した場合（RAMSDMD = 1）、内蔵RAMをDTC転送元および転送先にできません。

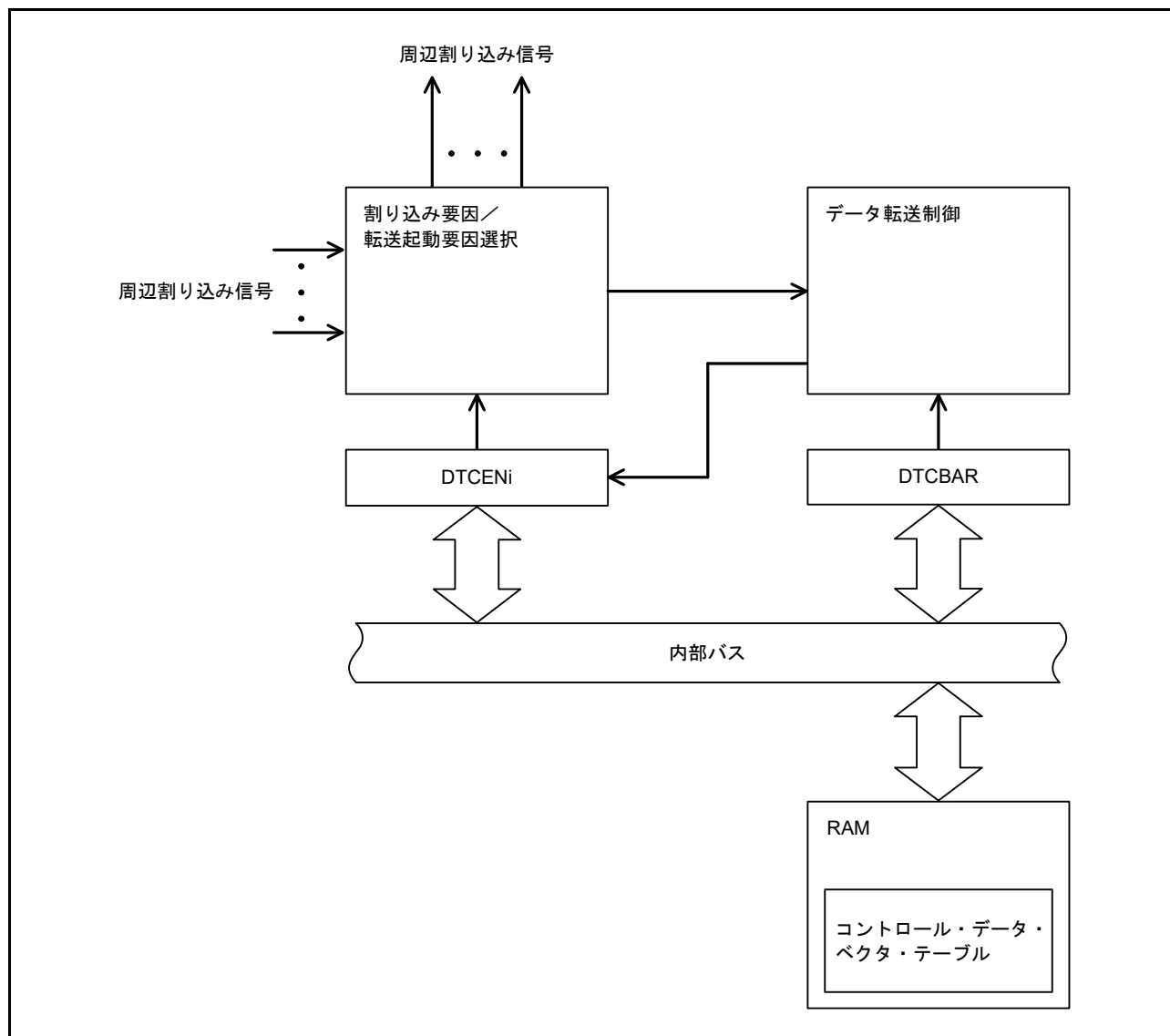
注2. HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。
メモリ電力削減制御レジスタ（PSMCR）により内蔵RAMを待機モードおよびシャットダウン・モードに設定した場合（RAMSDMD = 1）、内蔵RAMをDTC転送元および転送先にできません。

備考 i = 0-6, j = 0-23

23.2 DTCの構成

図 23 - 1 に DTC のブロック図を示します。

図 23 - 1 DTCのブロック図



備考 i = 0-6

23.3 DTCを制御するレジスタ

DTC を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0-6)
- DTCベース・アドレス・レジスタ (DTCBAR)

下記に DTC のコントロール・データを示します。

DTC のコントロール・データは RAM の DTC コントロール・データ領域に配置されます。

DTCBAR レジスタで DTC コントロール・データ領域と、コントロール・データの先頭番地を格納する DTC ベクタ・テーブル領域を含めた 256 バイトの領域を設定します。

- DTC制御レジスタ*j* (DTCCR*j*) (*j* = 0-23)
- DTCブロック・サイズ・レジスタ*j* (DTBLS*j*) (*j* = 0-23)
- DTC転送回数レジスタ*j* (DTCCT*j*) (*j* = 0-23)
- DTC転送回数リロード・レジスタ*j* (DTRL*j*) (*j* = 0-23)
- DTCソース・アドレス・レジスタ*j* (DTSAR*j*) (*j* = 0-23)
- DTCデスティネーション・アドレス・レジスタ*j* (DTDAR*j*) (*j* = 0-23)

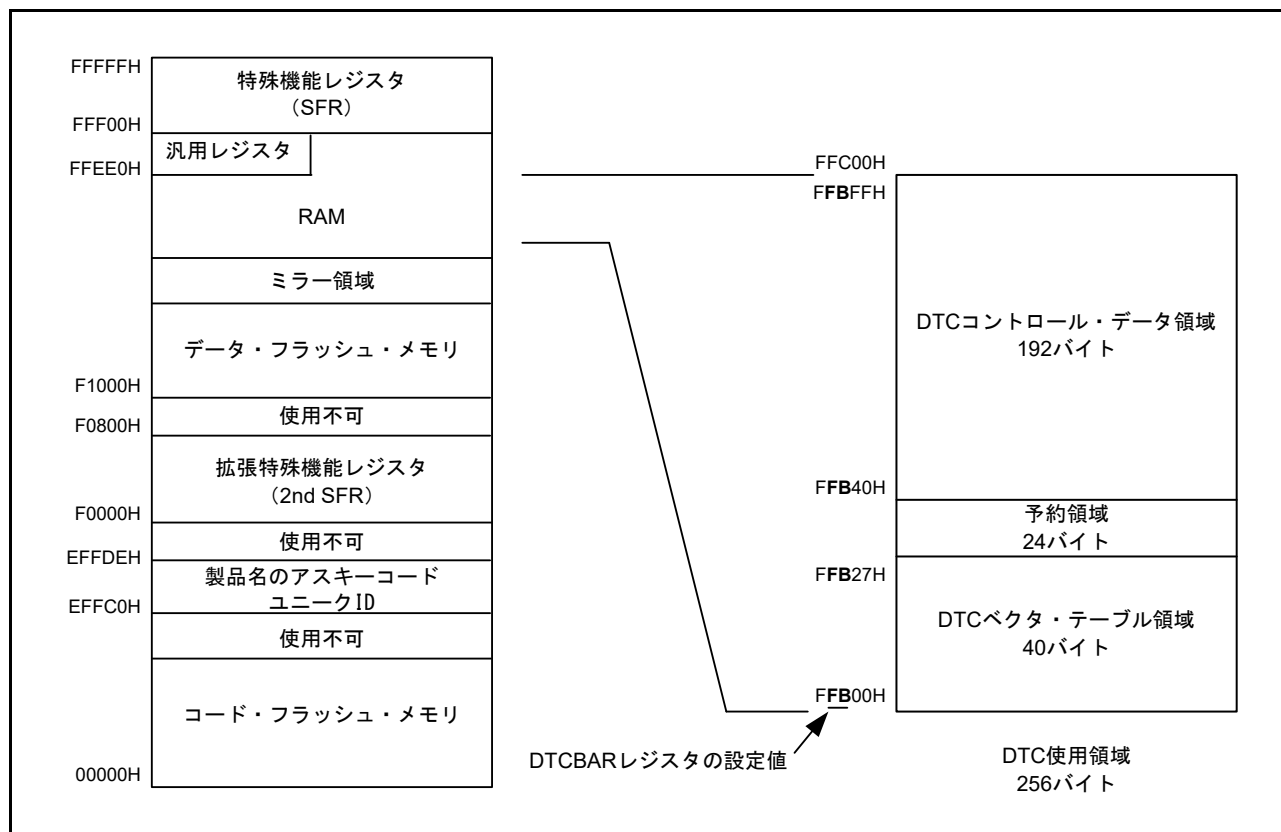
23.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCBARレジスタで、DTCのコントロール・データとベクタ・テーブルを配置する256バイトの領域をRAM領域内に設定します。

図23-2にDTCBARレジスタにFBHを設定したときのメモリ・マップ例を示します。

DTCコントロール・データ領域 192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図23-2 DTCBARレジスタにFBHを設定したときのメモリ・マップ例



DTCのコントロール・データとベクタ・テーブルを配置できる領域は製品によって異なります。

注意1. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。

注意2. スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。

23.3.2 コントロール・データの配置

コントロール・データは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタ (j = 0-23) の順に配置します。

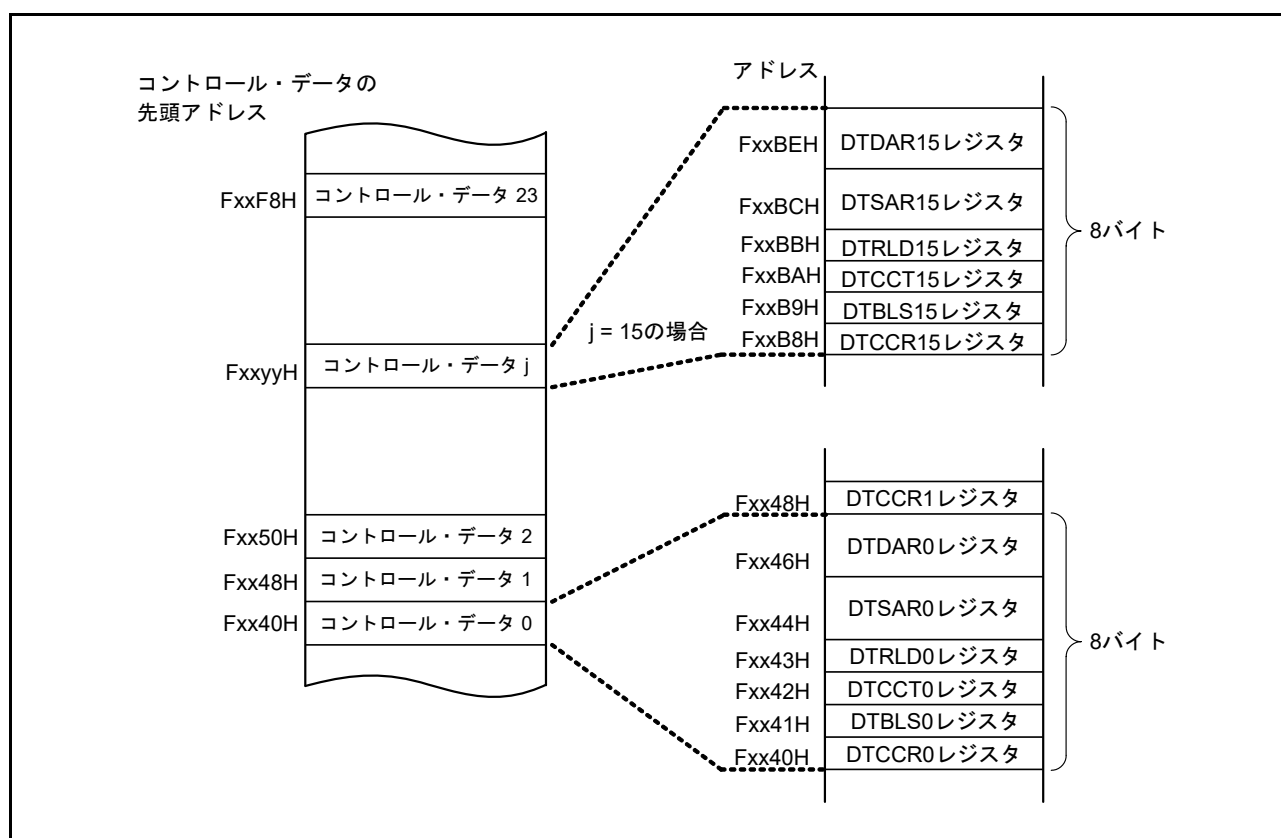
先頭アドレス 0 ~ 23 の上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因ごとに割り当てられているベクタ・テーブルでそれぞれ設定します。

図 23 - 3 にコントロール・データの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは、対応する DTCENi レジスタ (i = 0-6) の DTCENi7-DTCENi0 ビットが 0 (起動禁止) のときに変更してください。

注意2. DTC 転送で DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタをアクセスしないでください。

図 23 - 3 コントロール・データの配置



備考 xx : DTCBAR レジスタの設定値

表23 - 2 コントロール・データjの先頭アドレス

j	アドレス
11	Fxx98H
10	Fxx90H
9	Fxx88H
8	Fxx80H
7	Fxx78H
6	Fxx70H
5	Fxx68H
4	Fxx60H
3	Fxx58H
2	Fxx50H
1	Fxx48H
0	Fxx40H

j	アドレス
23	FxxF8H
22	FxxF0H
21	FxxE8H
20	FxxE0H
19	FxxD8H
18	FxxD0H
17	FxxC8H
16	FxxC0H
15	FxxB8H
14	FxxB0H
13	FxxA8H
12	FxxA0H

備考 xx : DTCBARレジスタの設定値

23.3.3 ベクタ・テーブル

DTC が起動すると、起動要因ごとに割り当てられているベクタ・テーブルから読み出したデータによりコントロール・データを決定し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。

表 23-3 に DTC 起動要因とベクタ・アドレスを示します。起動要因ごとにベクタ・テーブルが 1 バイトあり、40H から F8H に格納されている 24 組のコントロール・データから 1 つを選択します。ベクタ・アドレスの上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因に対応して 00H から 27H ままで割り当てられます。

注意 ベクタ・テーブルに設定する DTC コントロール・データ領域の先頭番地は、対応する DTCENi レジスタ (i = 0-6) の DTCENi7-DTCENi0 ビットが 0 (起動禁止) のときに変更してください。

図 23-4 コントロール・データの先頭アドレスとベクタ・テーブル

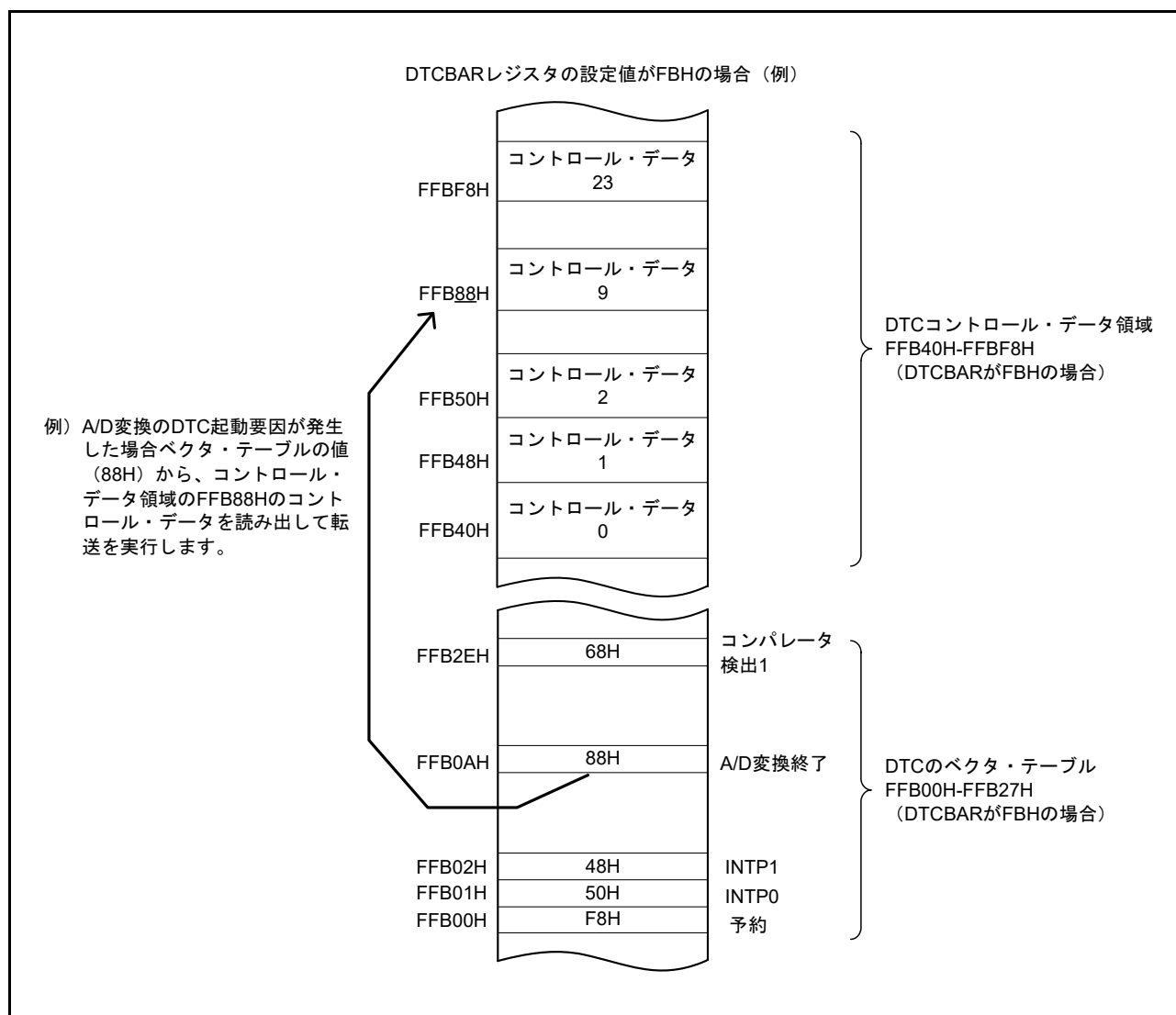


表23-3 DTC起動要因とベクタ・アドレス (1/2)

DTC起動要因 (割り込み要因発生元)	要因 番号	ベクタ・アドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス + 00H	高 ↑ ↓ 低
INTP0	1	DTCBARレジスタの設定アドレス + 01H	
INTP1	2	DTCBARレジスタの設定アドレス + 02H	
INTP2	3	DTCBARレジスタの設定アドレス + 03H	
INTP3	4	DTCBARレジスタの設定アドレス + 04H	
INTP4	5	DTCBARレジスタの設定アドレス + 05H	
INTP5	6	DTCBARレジスタの設定アドレス + 06H	
INTP6	7	DTCBARレジスタの設定アドレス + 07H	
INTP7	8	DTCBARレジスタの設定アドレス + 08H	
キー入力	9	DTCBARレジスタの設定アドレス + 09H	
A/D変換終了	10	DTCBARレジスタの設定アドレス + 0AH	
UART0受信の転送完了／CSI01の転送完了またはバッファ空き／IIC01の転送完了	11	DTCBARレジスタの設定アドレス + 0BH	
UART0送信の転送完了／CSI00の転送完了またはバッファ空き／IIC00の転送完了	12	DTCBARレジスタの設定アドレス + 0CH	
UART1受信の転送完了／CSI11の転送完了またはバッファ空き／IIC11の転送完了	13	DTCBARレジスタの設定アドレス + 0DH	
UART1送信の転送完了／CSI10の転送完了またはバッファ空き／IIC10の転送完了	14	DTCBARレジスタの設定アドレス + 0EH	
UART2受信の転送完了／CSI21の転送完了またはバッファ空き／IIC21の転送完了	15	DTCBARレジスタの設定アドレス + 0FH	
UART2送信の転送完了／CSI20の転送完了またはバッファ空き／IIC20の転送完了	16	DTCBARレジスタの設定アドレス + 10H	
UARTA0受信の転送完了	17	DTCBARレジスタの設定アドレス + 11H	
UARTA0送信の転送完了／バッファ空き	18	DTCBARレジスタの設定アドレス + 12H	
UARTA1受信の転送完了	19	DTCBARレジスタの設定アドレス + 13H	
UARTA1送信の転送完了／バッファ空き	20	DTCBARレジスタの設定アドレス + 14H	
UARTA2受信の転送完了 ^{注1}	21	DTCBARレジスタの設定アドレス + 15H	
UARTA2送信の転送完了／バッファ空き ^{注1}	22	DTCBARレジスタの設定アドレス + 16H	
UARTA3受信の転送完了 ^{注2}	23	DTCBARレジスタの設定アドレス + 17H	
UARTA3送信の転送完了／バッファ空き ^{注2}	24	DTCBARレジスタの設定アドレス + 18H	
タイマ・アレイ・ユニット0のチャンネル0のカウント完了またはキャプチャ完了	25	DTCBARレジスタの設定アドレス + 19H	
タイマ・アレイ・ユニット0のチャンネル1のカウント完了またはキャプチャ完了	26	DTCBARレジスタの設定アドレス + 1AH	
タイマ・アレイ・ユニット0のチャンネル2のカウント完了またはキャプチャ完了	27	DTCBARレジスタの設定アドレス + 1BH	
タイマ・アレイ・ユニット0のチャンネル3のカウント完了またはキャプチャ完了	28	DTCBARレジスタの設定アドレス + 1CH	
タイマ・アレイ・ユニット0のチャンネル4のカウント完了またはキャプチャ完了	29	DTCBARレジスタの設定アドレス + 1DH	
タイマ・アレイ・ユニット0のチャンネル5のカウント完了またはキャプチャ完了	30	DTCBARレジスタの設定アドレス + 1EH	
タイマ・アレイ・ユニット0のチャンネル6のカウント完了またはキャプチャ完了	31	DTCBARレジスタの設定アドレス + 1FH	
タイマ・アレイ・ユニット0のチャンネル7のカウント完了またはキャプチャ完了	32	DTCBARレジスタの設定アドレス + 20H	
8ビット・インターバル・タイマ・チャンネル00のコンペアー一致 (8ビット／16ビット・タイマ動作時)	33	DTCBARレジスタの設定アドレス + 21H	
8ビット・インターバル・タイマ・チャンネル01のコンペアー一致	34	DTCBARレジスタの設定アドレス + 22H	
8ビット・インターバル・タイマ・チャンネル10のコンペアー一致 (8ビット／16ビット・タイマ動作時)	35	DTCBARレジスタの設定アドレス + 23H	
8ビット・インターバル・タイマ・チャンネル11のコンペアー一致	36	DTCBARレジスタの設定アドレス + 24H	

表23-3 DTC起動要因とベクタ・アドレス (2/2)

DTC起動要因 (割り込み要因発生元)	要因番号	ベクタ・アドレス	優先順位
8ビット・インターバル・タイマ・チャンネル20のコンペアー一致 (8ビット/16ビット・タイマ動作時)	37	DTCBARレジスタの設定アドレス + 25H	高 ↑ ↓ 低
8ビット・インターバル・タイマ・チャンネル21のコンペアー一致	38	DTCBARレジスタの設定アドレス + 26H	
8ビット・インターバル・タイマ・チャンネル30のコンペアー一致 (8ビット/16ビット・タイマ動作時)	39	DTCBARレジスタの設定アドレス + 27H	
8ビット・インターバル・タイマ・チャンネル31のコンペアー一致	40	DTCBARレジスタの設定アドレス + 28H	
リアルタイムクロックの定周期信号/アラーム一致検出	41	DTCBARレジスタの設定アドレス + 29H	
32ビット・インターバル・タイマのインターバル信号検出	42	DTCBARレジスタの設定アドレス + 2AH	
静電容量センサユニットのチャンネルごとの設定レジスタ書き込み要求	43	DTCBARレジスタの設定アドレス + 2BH	
静電容量センサユニットの計測データ転送要求	44	DTCBARレジスタの設定アドレス + 2CH	
コンパレータ検出0	45	DTCBARレジスタの設定アドレス + 2DH	
コンパレータ検出1 ^{注3}	46	DTCBARレジスタの設定アドレス + 2EH	
ロジック&イベント・リンク・コントローラからのイベント出力	47	DTCBARレジスタの設定アドレス + 2FH	
SNOOZEモード・シーケンサからのイベント出力	48	DTCBARレジスタの設定アドレス + 30H	
タイマRJ0アンダフロー	49	DTCBARレジスタの設定アドレス + 31H	
タイマRJ1アンダフロー ^{注4}	50	DTCBARレジスタの設定アドレス + 32H	
TMKB40カウント完了	51	DTCBARレジスタの設定アドレス + 33H	
TMKB41カウント完了 ^{注4}	52	DTCBARレジスタの設定アドレス + 34H	
TMKB42カウント完了 ^{注4}	53	DTCBARレジスタの設定アドレス + 35H	
外部サンプリングエッジ検出	54	DTCBARレジスタの設定アドレス + 36H	
電圧検出 ^{注5}	55	DTCBARレジスタの設定アドレス + 37H	

注1. フラッシュ・メモリ 256 KB, 512 KB の48～64ピン製品、80, 100ピン製品のみ

注2. 80, 100ピン製品のみ

注3. 52～100ピン製品のみ

注4. フラッシュ・メモリ 256 KB, 512 KB の44～64ピン製品、80, 100ピン製品のみ

注5. ユーザ・オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時または電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時

23.3.4 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

DTC を使用する場合は、必ず DTCEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 23-5 周辺イネーブル・レジスタ 1 (PER1) のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTA0EN	0	CTSUN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCで使用するSFRへのライト不可
1	入カクロック供給 ・ DTCは動作可

注意 ビット1には、必ず0を設定してください。

23.3.5 DTC制御レジスタj (DTCCRj) (j = 0-23)

DTCCRj レジスタは、DTC の動作モードを制御するレジスタです。

図23 - 6 DTC制御レジスタj (DTCCRj) のフォーマット (1/2)

アドレス : 23.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

SZ	転送データサイズの選択
0	8ビット
1	16ビット

RPTINT	リピート・モード割り込みの許可・禁止
0	割り込み発生禁止
1	割り込み発生許可
MODEビットが0（ノーマル・モード）のとき、本ビットの設定は無効です。	

CHNE	チェイン転送の許可・禁止
0	チェイン転送禁止
1	チェイン転送許可
DTCCR23 レジスタのCHNEビットは0（チェイン転送禁止）にしてください。	

DAMOD	転送先アドレスの制御
0	固定
1	加算
MODEビットが1（リピート・モード）でRPTSELビットが0（転送先がリピート・エリア）のとき、本ビットの設定は無効です。	

SAMOD	転送元アドレスの制御
0	固定
1	加算
MODEビットが1（リピート・モード）でRPTSELビットが1（転送元がリピート・エリア）のとき、本ビットの設定は無効です。	

RPTSEL	リピート・エリアの選択
0	転送先がリピート・エリア
1	転送元がリピート・エリア
MODEビットが0（ノーマル・モード）のとき、本ビットの設定は無効です。	

図23 - 6 DTC制御レジスタj (DTCCRj) のフォーマット (2/2)

MODE	転送モードの選択
0	ノーマル・モード
1	リピート・モード

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

23.3.6 DTC ブロック・サイズ・レジスタj (DTBLSj) (j = 0-23)

DTBLSj レジスタは、1回の起動で転送されるデータのブロック・サイズを設定するレジスタです。

図23-7 DTC ブロック・サイズ・レジスタj (DTBLSj) のフォーマット

アドレス : 23.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロック・サイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

23.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0-23)

DTCCTj レジスタは、DTC のデータ転送回数を設定するレジスタです。DTC 転送が1回起動するたびに1減算されます。

図23-8 DTC転送回数レジスタj (DTCCTj) のフォーマット

アドレス : 23.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
・	・
・	・
・	・
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

23.3.8 DTC転送回数リロード・レジスタj (DTRL Dj) (j = 0-23)

DTRL Dj レジスタは、リピート・モードで転送回数レジスタの初期値を設定するレジスタです。リピート・モード時は、本レジスタの値がDTCCTj レジスタにリロードされますので、DTCCTj レジスタの初期値と同じ値を設定してください。

図23-9 DTC転送回数リロード・レジスタj (DTRL Dj) のフォーマット

アドレス : 23.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTRL Dj	DTRL Dj7	DTRL Dj6	DTRL Dj5	DTRL Dj4	DTRL Dj3	DTRL Dj2	DTRL Dj1	DTRL Dj0

注意 DTC転送でDTRL Djレジスタをアクセスしないでください。

23.3.9 DTC ソース・アドレス・レジスタj (DTSARj) (j = 0-23)

DTSARj レジスタは、データ転送時の転送元アドレスを指定するレジスタです。

DTCCRj レジスタの SZ ビットが 1 (転送サイズが 16 ビット) のとき、最下位ビットは無視され、偶数番地として扱われます。

図23-10 DTC ソース・アドレス・レジスタj (DTSARj) のフォーマット

アドレス : 23.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
DTSARj	DTSARj15	DTSARj14	DTSARj13	DTSARj12	DTSARj11	DTSARj10	DTSARj9	DTSARj8
	7	6	5	4	3	2	1	0
	DTSARj7	DTSARj6	DTSARj5	DTSARj4	DTSARj3	DTSARj2	DTSARj1	DTSARj0

注意1. 転送元アドレスに汎用レジスタ (FFEE0H-FFEFFH) 空間を設定しないでください。

注意2. DTC 転送で DTSARj レジスタをアクセスしないでください。

23.3.10 DTC デスティネーション・アドレス・レジスタj (DTDARj) (j = 0-23)

DTDARj レジスタは、データ転送時の転送先アドレスを指定するレジスタです。

DTCCRj レジスタの SZ ビットが 1 (転送サイズが 16 ビット) のとき、最下位ビットは無視され、偶数番地として扱われます。

図23-11 DTC デスティネーション・アドレス・レジスタj (DTDARj) のフォーマット

アドレス : 23.3.2 コントロール・データの配置参照

リセット時: 不定

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
DTDARj	DTDARj15	DTDARj14	DTDARj13	DTDARj12	DTDARj11	DTDARj10	DTDARj9	DTDARj8
	7	6	5	4	3	2	1	0
	DTDARj7	DTDARj6	DTDARj5	DTDARj4	DTDARj3	DTDARj2	DTDARj1	DTDARj0

注意1. 転送先アドレスに汎用レジスタ (FFEE0H-FFEFFH) 空間を設定しないでください。

注意2. DTC 転送で DTDARj レジスタをアクセスしないでください。

23.3.11 DTC起動許可レジスタ*i* (DTCENi) (*i* = 0-6)

DTCENi レジスタは、各割り込み要因による DTC 起動の許可または禁止を制御する 8 ビットレジスタです。表 23 - 4 に割り込み要因と DTCENi7-DTCENi0 ビットの対応を示します。

DTCENi レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

注意1. DTCENi7-DTCENi0 ビットは、そのビットに対応する起動要因が発生しない箇所を変更してください。

注意2. DTC 転送で DTCENi レジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには、必ず 0 を設定してください。

図 23 - 12 DTC 起動許可レジスタ*i* (DTCENi) のフォーマット (1/2)

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), F02EBH (DTCEN3), F02ECH (DTCEN4), F02EDH (DTCEN5), F02EEH (DTCEN6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
DTCENi7	DTC起動許可 i7							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi7ビットは0（起動禁止）になります。								
DTCENi6	DTC起動許可 i6							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi6ビットは0（起動禁止）になります。								
DTCENi5	DTC起動許可 i5							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi5ビットは0（起動禁止）になります。								
DTCENi4	DTC起動許可 i4							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi4ビットは0（起動禁止）になります。								
DTCENi3	DTC起動許可 i3							
0	起動禁止							
1	起動許可							
転送完了割り込みが発生する条件でDTCENi3ビットは0（起動禁止）になります。								

図23 - 12 DTC起動許可レジスタi (DTCENi) のフォーマット (2/2)

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0（起動禁止）になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0（起動禁止）になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0（起動禁止）になります。	

表23 - 4 割り込み要因とDTCENi7-DTCENi0ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	キー入力	A/D変換終了	UART0受信の 転送完了／ CSI01の 転送完了または バッファ空き／ IIC01の転送 完了	UART0送信の 転送完了／ CSI00の 転送完了または バッファ空き／ IIC00の転送 完了	UART1受信の 転送完了／ CSI11の 転送完了または バッファ空き／ IIC11の転送 完了	UART1送信の 転送完了／ CSI10の 転送完了または バッファ空き／ IIC10の転送 完了	UART2受信の 転送完了／ CSI21の 転送完了または バッファ空き／ IIC21の転送 完了
DTCEN2	UART2送信の 転送完了／ CSI20の 転送完了または バッファ空き／ IIC20の転送 完了	UARTA0受信の 転送完了	UARTA0送信の 転送完了／ バッファ空き	UARTA1受信の 転送完了	UARTA1送信の 転送完了／ バッファ空き	UARTA2受信の 転送完了 ^{注1}	UARTA2送信の 転送完了／ バッファ空き ^{注1}	UARTA3受信の 転送完了 ^{注2}
DTCEN3	UARTA3送信の 転送完了／ バッファ空き ^{注2}	タイマ・アレ イ・ユニット0 のチャンネル0の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル1の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル2の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル3の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル4の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル5の カウント完了ま たはキャプチャ 完了	タイマ・アレ イ・ユニット0 のチャンネル6の カウント完了ま たはキャプチャ 完了
DTCEN4	タイマ・アレ イ・ユニット0 のチャンネル7の カウント完了ま たはキャプチャ 完了	8ビット・イン ターバル・タイ マ・チャンネル00 のコンペアー致 (8ビット／16 ビット・タイマ 動作時)	8ビット・イン ターバル・タイ マ・チャンネル01 のコンペアー致	8ビット・イン ターバル・タイ マ・チャンネル10 のコンペアー致 (8ビット／16 ビット・タイマ 動作時)	8ビット・イン ターバル・タイ マ・チャンネル11 のコンペアー致	8ビット・イン ターバル・タイ マ・チャンネル20 のコンペアー致 (8ビット／16 ビット・タイマ 動作時)	8ビット・イン ターバル・タイ マ・チャンネル21 のコンペアー致	8ビット・イン ターバル・タイ マ・チャンネル30 のコンペアー致 (8ビット／16 ビット・タイマ 動作時)
DTCEN5	8ビット・イン ターバル・タイ マ・チャンネル31 のコンペアー致	リアルタイムク ロックの定周期 信号／アラーム 一致検出	32ビット・イン ターバル・タイ マのインターバ ル信号検出	静電容量センサ ユニットのチャ ネルごとの設定 レジスタ書き込 み要求	静電容量センサ ユニットの計測 データ転送要求	コンパレータ 検出0	コンパレータ 検出1 ^{注3}	ロジック&イベ ント・リンク・ コントローラか らのイベント 出力
DTCEN6	SNOOZEモー ド・シーケンサ からのイベント 出力	タイマRJ0 アンダフロー	タイマRJ1 アンダフロー ^{注4}	TMKB40 カウント完了	TMKB41 カウント完了 ^{注4}	TMKB42 カウント完了 ^{注4}	外部サンプリ ングエッジ検出	電圧検出 ^{注5}

注1. フラッシュ・メモリ 256 KB, 512 KB の48～64ピン製品、80, 100ピン製品のみ

注2. 80, 100ピン製品のみ

注3. 52～100ピン製品のみ

注4. フラッシュ・メモリ 256 KB, 512 KB の44～64ピン製品、80, 100ピン製品のみ

注5. ユーザ・オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時または電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時

注意 機能が割り当てられていないビットには、必ず0を設定してください。

備考 i = 0-6

23.3.12 DTCベース・アドレス・レジスタ (DTCBAR)

DTCBAR レジスタは、DTC コントロール・データ領域の先頭番地を格納するベクタ・アドレスと、DTC コントロール・データ領域のアドレスを設定する 8 ビットレジスタです。DTCBAR レジスタの値を上位 8 ビットとして 16 ビットのアドレスを生成します。

DTCBAR レジスタは、8 ビット・メモリ操作命令で設定します。

注意1. DTCBAR レジスタは、すべてのDTC起動要因を起動禁止に設定した状態で変更してください。

注意2. DTCBAR レジスタを2回以上書き換えしないでください。

注意3. DTC転送でDTCBAR レジスタをアクセスしないでください。

注意4. DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置については、23.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置の注意を参照してください。

図23 - 13 DTCベース・アドレス・レジスタ (DTCBAR) のフォーマット

アドレス : F02E0H

リセット時: FDH

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

23.4 DTCの動作

DTC が起動すると、DTC コントロール・データ領域からコントロール・データを読み出し、このコントロール・データに従ってデータ転送を行い、データ転送後のコントロール・データを DTC コントロール・データ領域へ書き戻します。24 組のコントロール・データを DTC コントロール領域へ格納でき、24 通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり、転送サイズは 8 ビットと 16 ビットがあります。また、

- ★ DTCCRj レジスタ (j = 0-22) の CHNE ビットが 1 (チェイン転送許可) のとき、1 つの起動要因に対して複数のコントロール・データを読み出し、連続してデータを転送します (チェイン転送)。

転送元アドレスは 16 ビット長の DTSARj レジスタ、転送先は 16 ビット長の DTDARj レジスタで指定します。

DTSARj レジスタと DTDARj レジスタは、データ転送後、コントロール・データに従って加算されるか固定されます。

23.4.1 起動要因

DTC は、周辺機能からの割り込み信号により起動します。DTC を起動する割り込み信号は、DTCENi レジスタ (i = 0-6) で選択します。

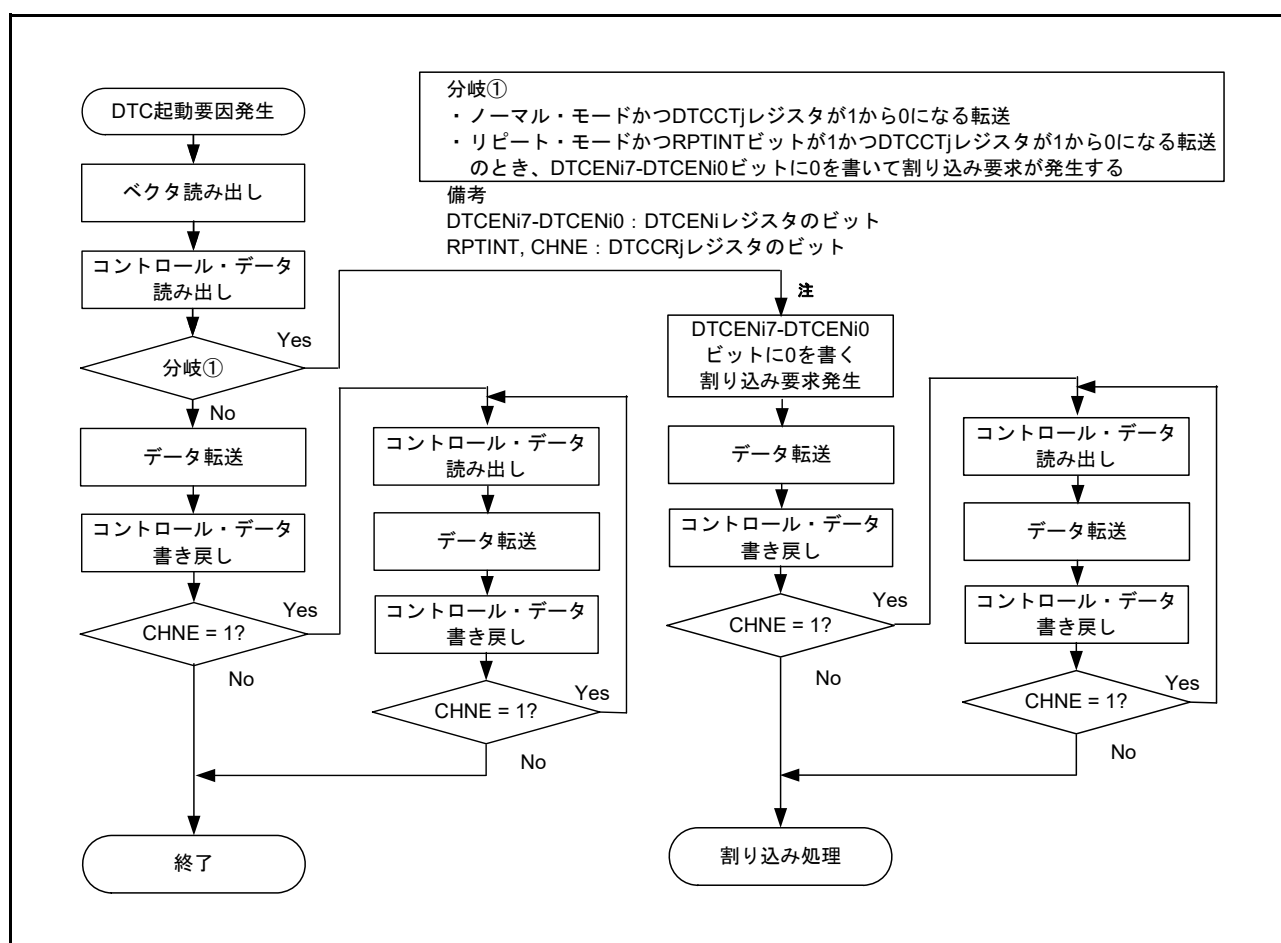
データ転送（チェーン転送の場合、連続して行う最初の転送）の設定が、

- ・ ノーマル・モードで DTCCTj レジスタ (j = 0-23) が 0 になる転送
- ・ リピート・モードで DTCCRj レジスタの RPTINT ビットが 1 (割り込み発生許可) かつ DTCCTj レジスタが 0 になる転送

のとき、DTC は動作中に DTCENi レジスタの対応する DTCENi7-DTCENi0 ビットを 0 (起動禁止) にします。

図 23-14 に DTC 内部動作フロー・チャートを示します。

図 23-14 DTC 内部動作フロー・チャート



注 チェイン転送の許可 (CHNE ビットが 1) の設定により起動されたデータ転送では、DTCENi7-DTCENi0 ビットに 0 を書きません。また、割り込み要求は発生しません。

備考 i = 0-6, j = 0-23

23.4.2 ノーマル・モード

1回の起動で、8ビット転送の場合1～256バイト、16ビット転送の場合2～512バイトをデータ転送します。転送回数は1～256回です。DTCCTj レジスタ (j = 0-23) が0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi レジスタ (i = 0-6) の対応する DTCENi7-DTCENi0 ビットを0 (起動禁止) にします。

表 23 - 5 にノーマル・モードでのレジスタ機能、図 23 - 15 にノーマル・モードでのデータ転送を示します。

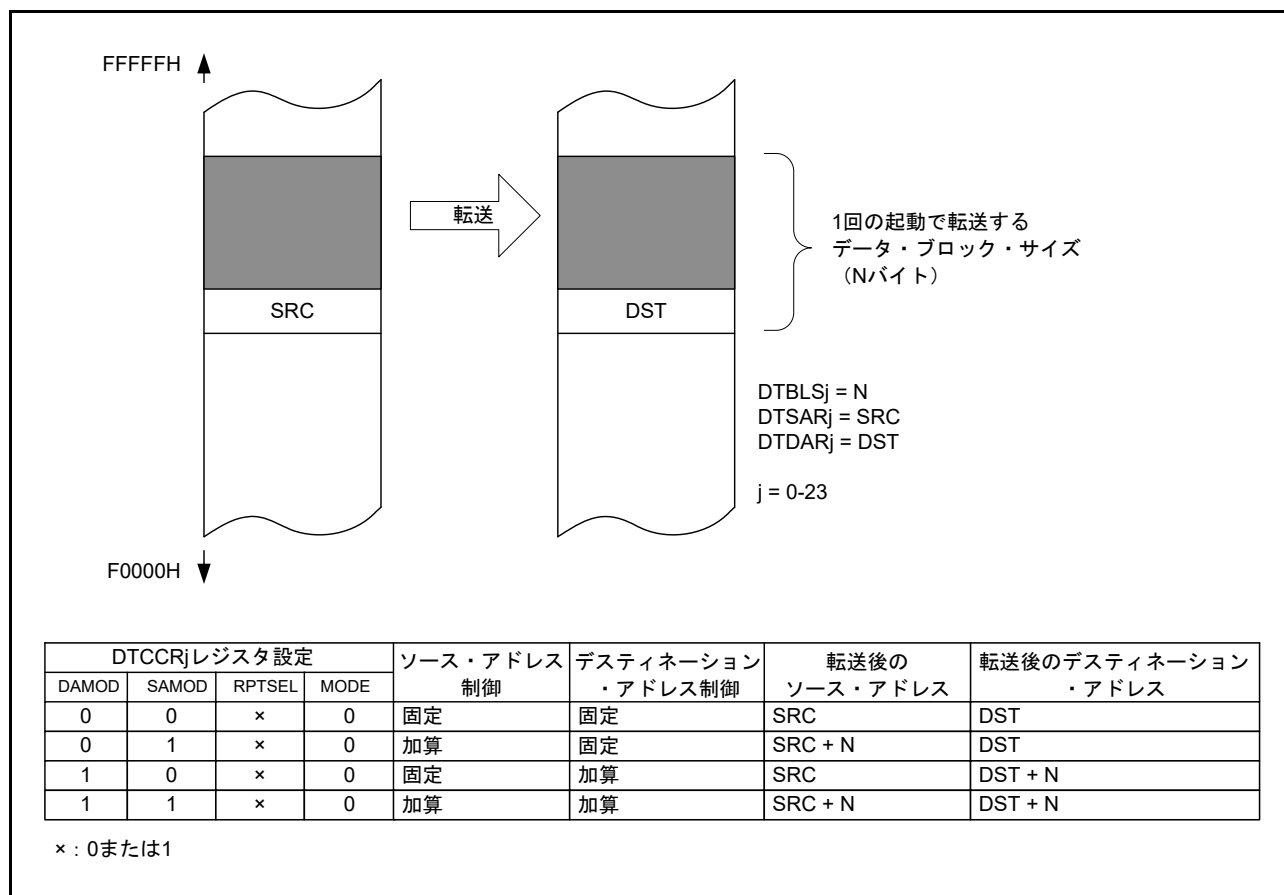
表23 - 5 ノーマル・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRL Dj	使用しません ^注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、初期化 (00H) してください。

備考 j = 0-23

図 23 - 15 ノーマル・モードでのデータ転送

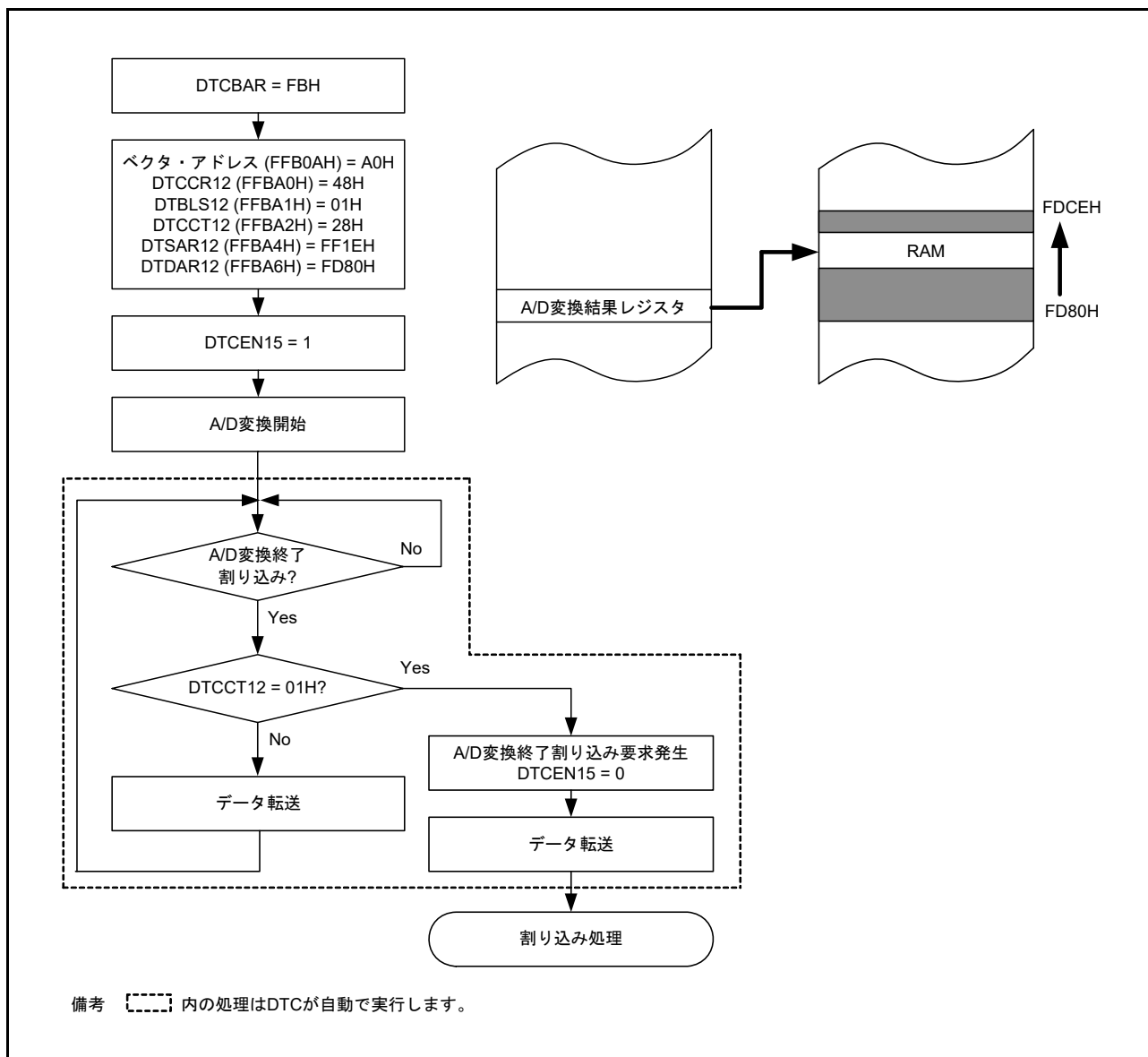


(1) ノーマル・モードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタ・アドレスはFFB0AH、コントロール・データはFFBA0H-FFBA7Hに配置
- A/D変換結果レジスタ (FFF1EH, FFF1FH) の2バイト・データをRAMのFFD80H-FFDCFHの80バイトへ40回転送

図23-16 ノーマル・モードの使用例1：A/D変換結果の連続取り込み



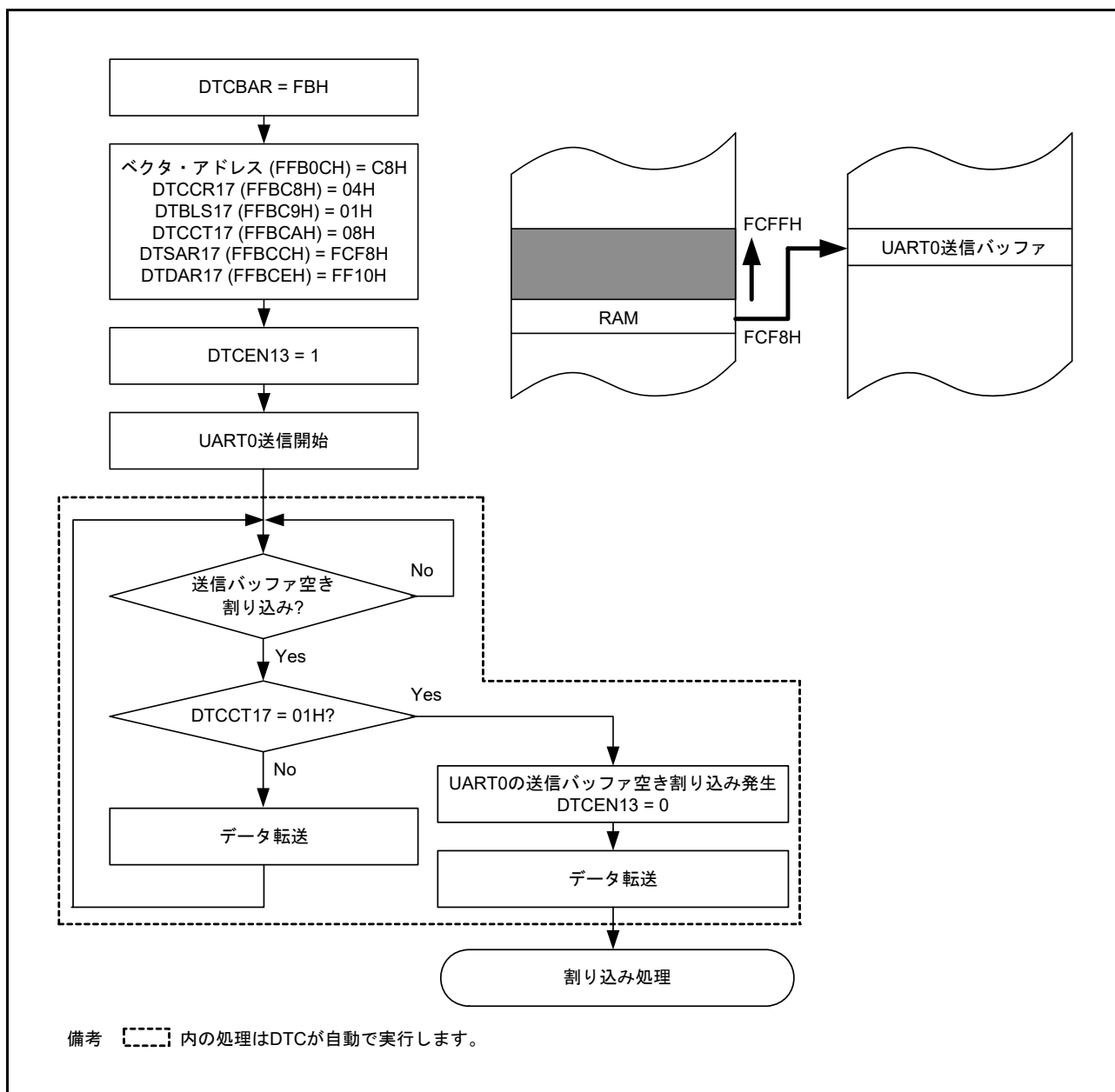
ノーマル・モードのため、DTRL12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRL12レジスタを初期化 (00H) してください。

(2) ノーマル・モードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタ・アドレスはFFB0CH、コントロール・データはFFBC8H-FFBCFHに配置
- RAMのFFCF8H-FFCFHHの8バイトをUART0の送信バッファ (FFF10H) へ転送

図23-17 ノーマル・モードの使用例2 : UART0連続送信



ノーマル・モードのため、DTRLD17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、DTRLD17レジスタを初期化 (00H) してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

23.4.3 リピート・モード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピート・エリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj レジスタ (j = 0-23) およびリピート・エリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRj レジスタの RPTINT ビットが1 (割り込み発生許可) で DTCCTj レジスタが0になるデータ転送を DTC が行うとき、DTC は動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi レジスタ (i = 0-6) の対応する DTCENi7-DTCENi0 ビットを0 (起動禁止) にします。DTCCRj レジスタの RPTINT ビットが0 (割り込み発生禁止) の場合は、DTCCTj レジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi7-DTCENi0 ビットは0になりません。

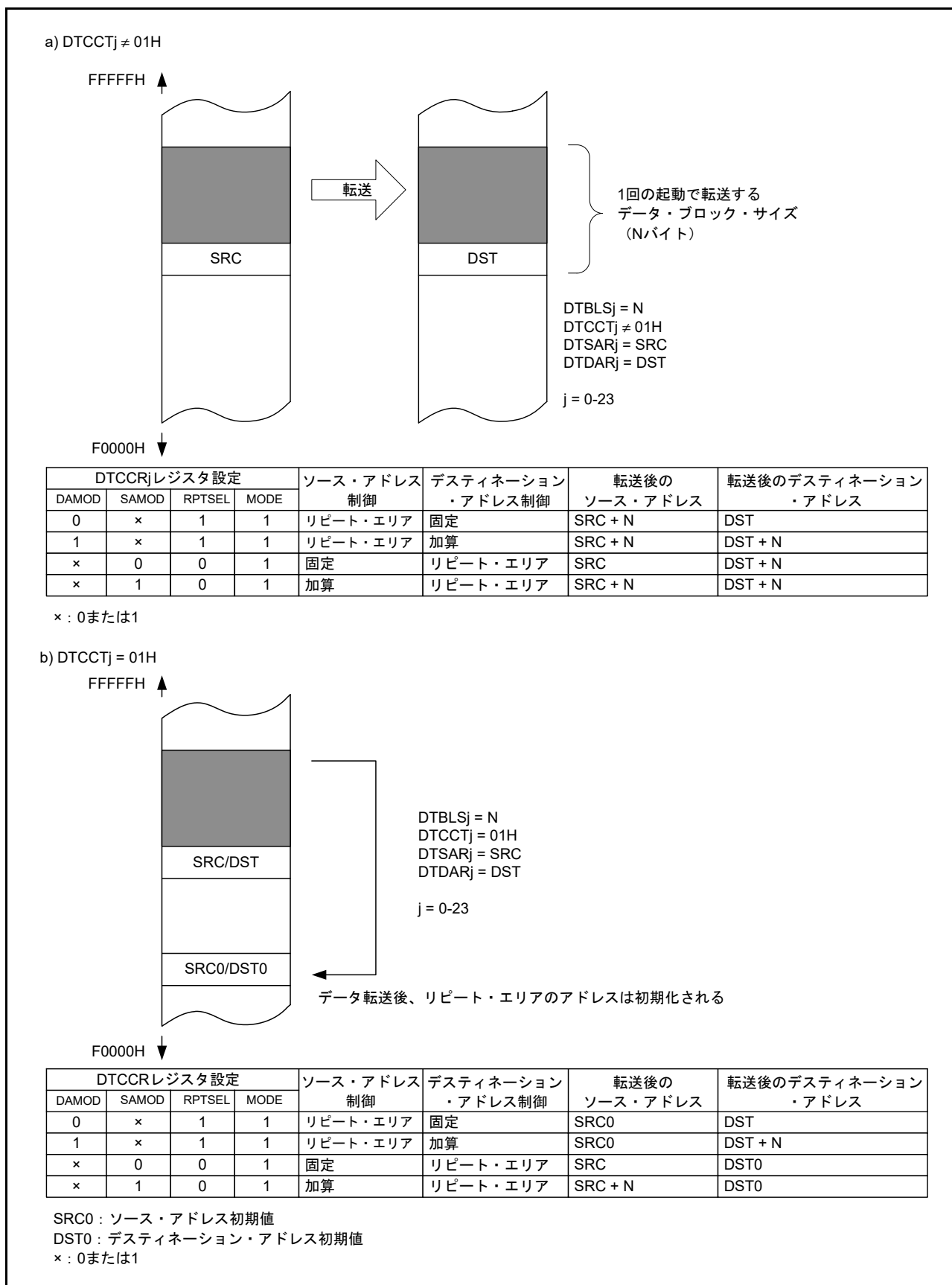
表 23 - 6 にリピート・モードでのレジスタ機能、図 23 - 18 にリピート・モードでのデータ転送を示します。

表23 - 6 リピート・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRL Dj	このレジスタの値をDTCCTj レジスタへリロード (データ転送回数を初期化)
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

備考 j = 0-23

図23-18 リピート・モードでのデータ転送



注意1. リピート・モード使用時は、リピート・エリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

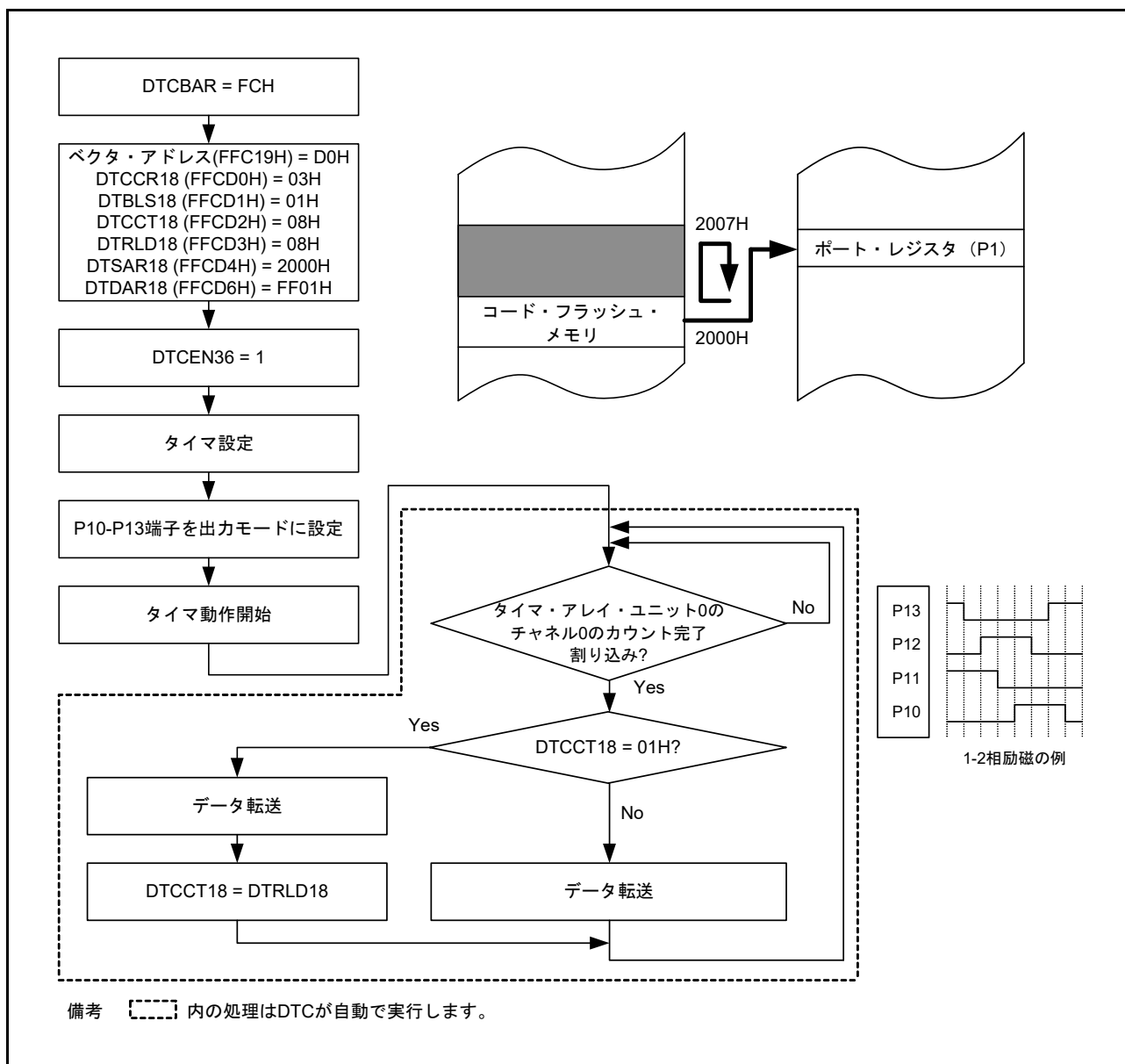
注意2. リピート・モード使用時は、リピート・エリアのデータサイズを255バイト以内にしてください。

(1) リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力

タイマ・アレイ・ユニット0のチャンネル0のインターバル・タイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ベクタ・アドレスはFFC19H、コントロール・データはFFCD0H-FFCD7Hに配置
- コード・フラッシュ・メモリの02000H-02007Hの8バイト・データをミラー領域 (F2000H-F2007H) からポート・レジスタ (P1、アドレス : FFF01H) へ転送
- リピート・モード割り込みは禁止

図23-19 リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力



注意 出力を停止する場合は、タイマを停止してから、DTCEN36ビットをクリアしてください。

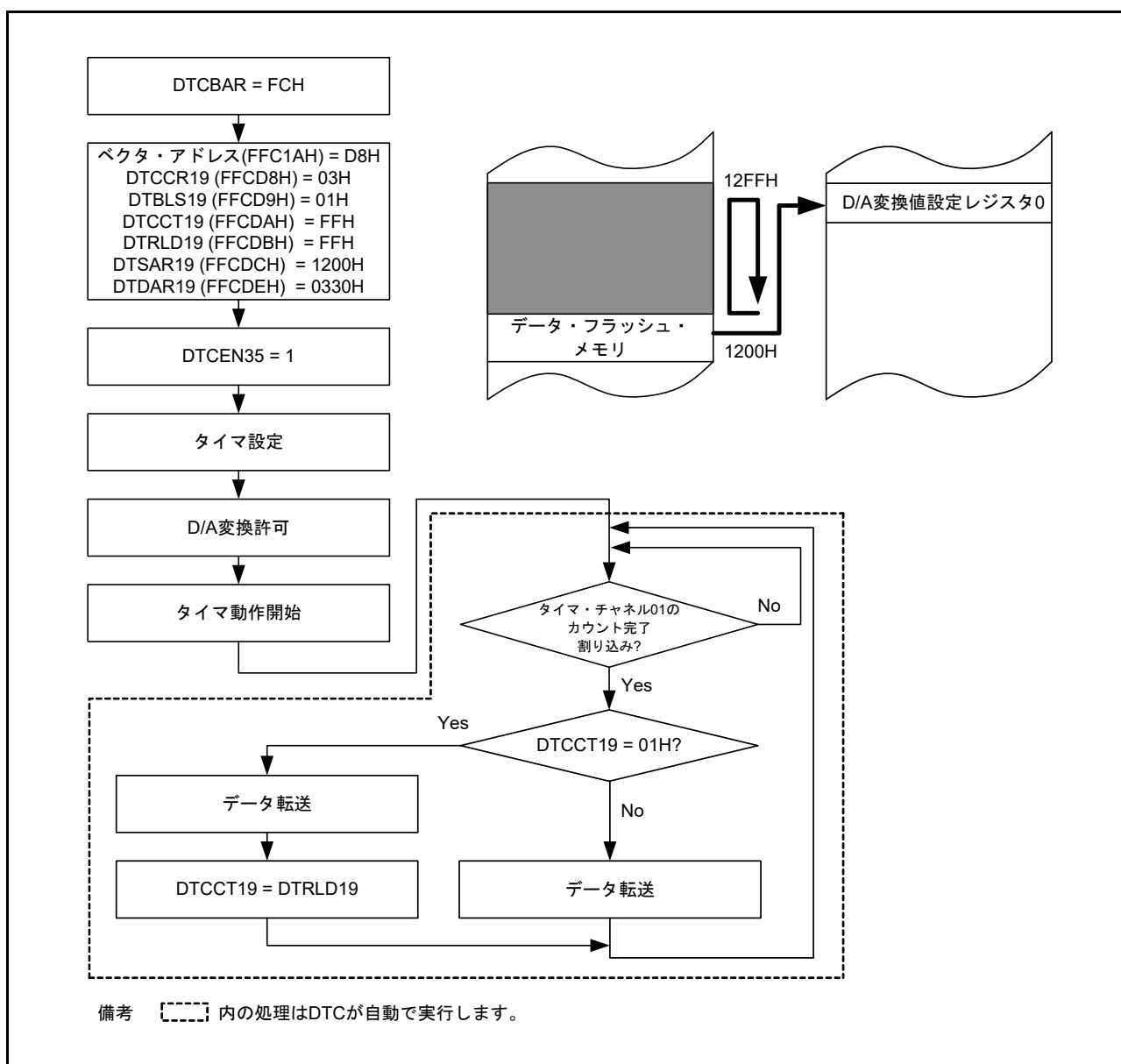
(2) リピート・モードの使用例2：8ビットD/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニット0のチャンネル1のインターバル・タイマ機能を使って割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを8ビットのD/A変換値設定レジスタ0 (F0330H) に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ベクタ・アドレスはFFC1AH、コントロール・データはFFCD8H-FFCDFHに配置
- データ・フラッシュ・メモリのF1200H-F12FEHの255バイト・データをD/A変換値設定レジスタ0 (F0330H) へ転送
- リピート・モード割り込みは禁止

図23-20 リピート・モードの使用例2：8ビットD/Aコンバータを使ったサイン波出力



注意 出力を停止する場合は、タイマを停止してから、DTCEN35ビットをクリアしてください。

23.4.4 チェイン転送

DTCCRj レジスタ (j = 0-22) の CHNE ビットが 1 (チェイン転送許可) のとき、1 つの起動要因で複数のデータ転送を連続してできます。

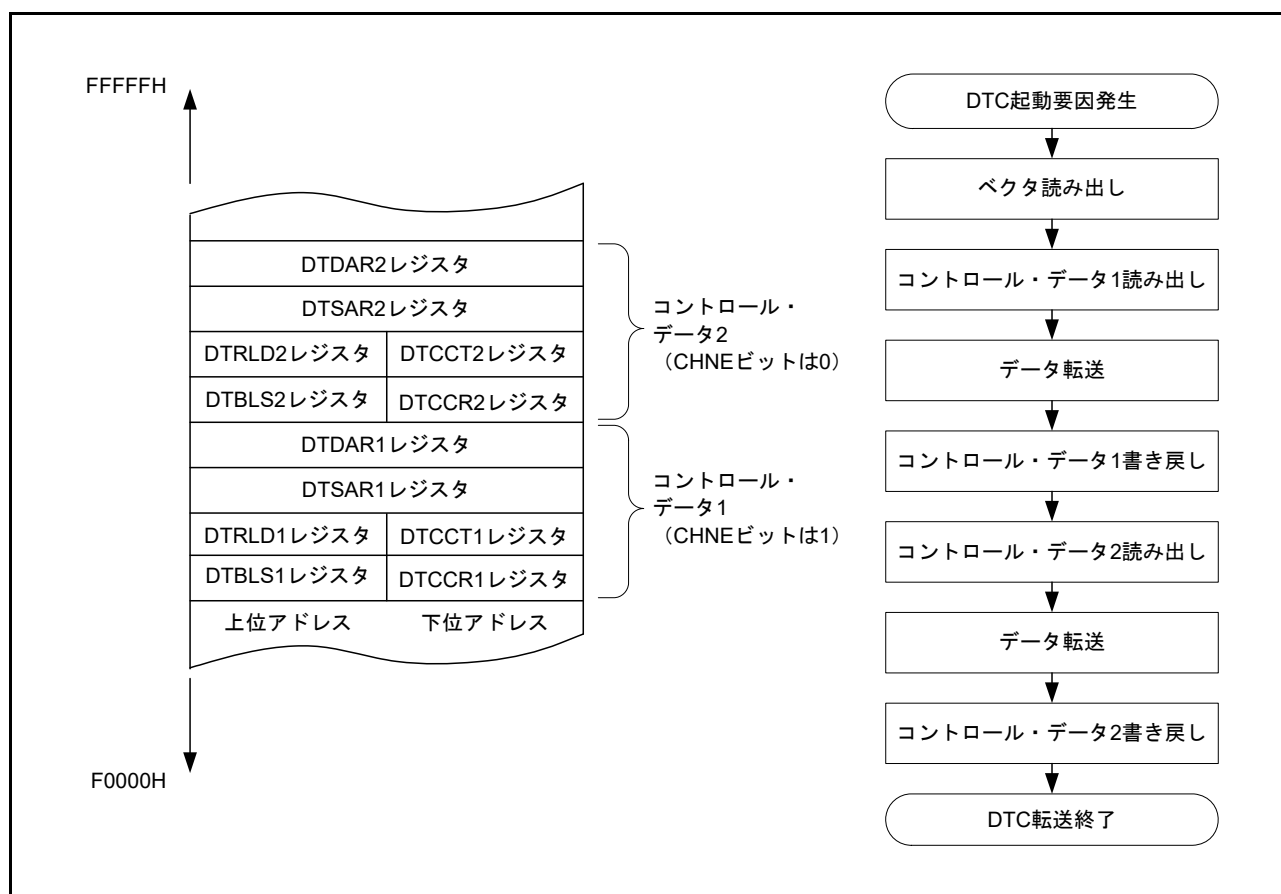
DTC が起動すると、起動要因に対応したベクタ・アドレスから読み出されたデータによりコントロール・データを選択し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データの CHNE ビットが 1 (チェイン転送許可) であれば、転送終了後、連続して配置した次のコントロール・データを読み出して転送します。この動作を CHNE ビットが 0 (チェイン転送禁止) のコントロール・データのデータの転送が終了するまで続けます。

- ★ 複数のコントロール・データを用いてチェイン転送を行う場合、2 番目以降のコントロール・データの設定がノーマル・モードのときは、1 番目の転送回数の設定が有効となり、2 番目以降の転送回数の設定は無効となります。

また、2 番目以降のコントロール・データの設定がリピート・モードのときは、コントロール・データを書き戻すため、コントロール・データごとに転送回数を設定する必要があります。

図 23 - 21 にチェイン転送でのデータ転送を示します。

図 23 - 21 チェイン転送でのデータ転送



注意1. DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止) にしてください。

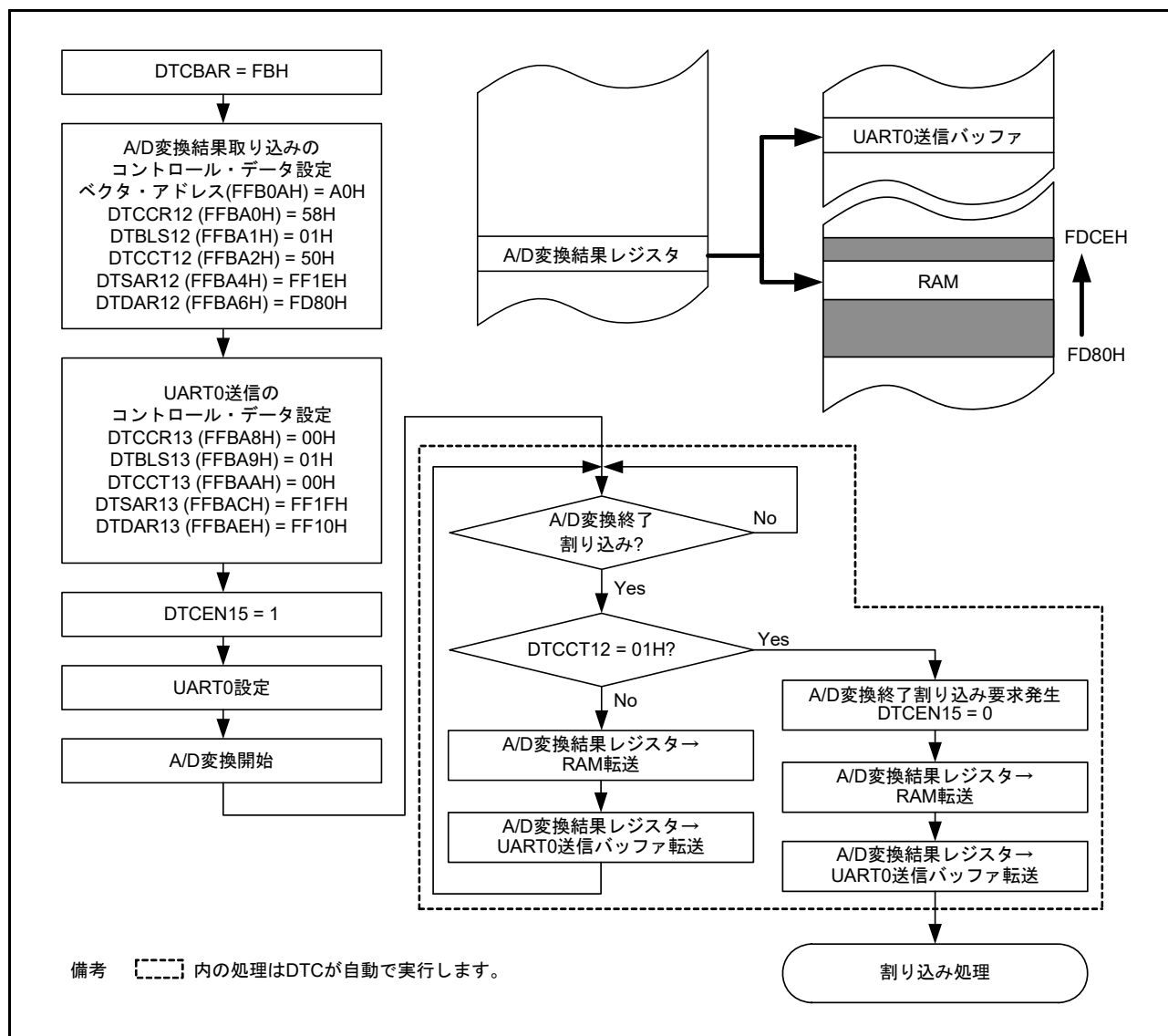
注意2. チェイン転送の場合、2回目以降のデータ転送では、DTCENiレジスタ (i = 0-6) のDTCENi7-DTCENi0ビットは0 (起動禁止) になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタ・アドレスはFFB0AH
- A/D変換結果取り込みのコントロール・データはFFBA0H-FFBA7Hに配置
- UART0送信のコントロール・データはFFBC8H-FFBCFHに配置
- A/D変換結果レジスタ (FFF1FH, FFF1EH) の2バイト・データをRAMのFFD80H-FFDCFHに転送し、A/D変換結果レジスタの上位1バイト (FFF1FH) をUART0の送信バッファ (FFF10H) へ転送

★ 図23-22 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



23.5 DTC使用時の注意事項

23.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ (2nd SFR) およびDTCコントロール・データ領域、DTCベクタ・テーブル領域、汎用レジスタ (FFEE0H-FFEFFH) 空間をアクセスしないでください。
- DTCベース・アドレス・レジスタ (DTCBAR) は、すべてのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベース・アドレス・レジスタ (DTCBAR) を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLdj, DTSARj, DTDARj レジスタのデータは、対応するDTCENi レジスタ (i = 0-6) のDTCENi7-DTCENi0ビットが0 (起動禁止) のときに変更してください。
- ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は、対応するDTCENi レジスタ (i = 0-6) のDTCENi7-DTCENi0ビットが0 (起動禁止) のときに変更してください。

23.5.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCのコントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ (FFEE0H-FFEFFH) の空間は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。
- スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可 (RPERDIS = 0) している場合は、ノーマル・モード使用時においてもDTRLdj レジスタ (j = 0-23) を初期化 (00H) してください。
- メモリ電力削減制御レジスタ (PSMCR) により待機モードおよびシャットダウン・モードに設定した場合 (RAMSDMD = 1)、内蔵RAMをDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。

23.5.3 DTC保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の 1 命令の間に DTC が起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリード・アクセス命令
- IFxx, MKxx, PRxx, PSW へのビット操作命令とオペランドに ES レジスタを含んだ 8 ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令（MULU 命令を除く）

注意 1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、すべての割り込み要求が保留されます。

注意 2. DTC 保留命令による DTC 保留中は、すべての割り込み要求が保留されます。

23.5.4 データ・フラッシュ・メモリ領域にアクセスする場合の動作

DTC のデータ転送が起きた 1 命令後にデータ・フラッシュ・メモリ領域にアクセスする場合、間の命令に 3 クロック分のウェイトが入ります。

命令 1

DTC のデータ転送

命令 2 ← 3 クロック分のウェイト発生

MOV A, !データ・フラッシュ・メモリ領域

23.5.5 DTC実行クロック数

表 23 - 7 に DTC 起動時の実行状況と必要なクロック数を示します。

表23 - 7 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロール・データの書き戻しに必要なクロック数は、表 23 - 8 コントロール・データの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し／書き込みに必要なクロック数は、表 23 - 9 1データの読み出し／書き込みに必要なクロック数を参照してください。

表23 - 8 コントロール・データの書き戻しに必要なクロック数

DTCCRレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTjレジスタ	DTRLdjレジスタ	DTSARjレジスタ	DTDARjレジスタ	
0	0	×	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	×	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	×	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	×	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	×	1	1	リピートエリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	×	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
×	0	0	1	固定	リピートエリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
×	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考1. × : 0または1

備考2. j = 0-23

表23 - 9 1データの読み出し／書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
					ウエイトなし	ウエイトあり
データ読み出し	1	2	4	1	1	1 + ウエイト数注
データ書き込み	1	—	—	1	1	1 + ウエイト数注

注 ウエイト数はアクセスする拡張特殊機能レジスタ (2nd SFR) に配置されたレジスタの仕様によって異なります。

23.5.6 DTC応答時間

表 23 - 10 に DTC における応答時間を示します。DTC 応答時間とは DTC 起動要因の検出から DTC 転送開始までの時間です。DTC 応答時間に DTC 実行クロック数は含まれません。

表23 - 10 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合にはさらに DTC の応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合
最大応答時間：20クロック
- DTC保留命令実行の場合（23.5.3 DTC保留命令を参照）
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生するレジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK（fCLK：CPU／周辺ハードウェア・クロック）

23.5.7 DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所で、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は23.3.3 ベクタ・テーブルを参照してください。
- コンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）かつコンパレータの立ち上がりエッジで割り込み要求に設定（CnEPO = 0）かつIVCMP > コンパレータ n 基準電圧^注の状態、またはコンパレータを片エッジ検出での割り込み要求に設定（CnEDG = 0）、コンパレータの立ち下がりエッジで割り込み要求に設定（CnEPO = 1）、IVCMP < コンパレータ n 基準電圧^注の状態、DTCを起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタ・フラグ（CnMON）を確認してからDTCを起動許可にしてください。（n = 0, 1）

注 n = 0 IVREF0または内部基準電圧

★ n = 1 IVREF1またはD/Aコンバータ出力2

23.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能 ^{注1}
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注3, 4, 5, 6}

注1. fCLKにサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。

注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元（ソース）にすることはできません。

注3. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合に設定可能です。

注4. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定（STm.STm0ビットに1を書き込み、SSCm.SWCmビットに0を書き込み、SSCmレジスタ設定、SSm.SSm0ビットに1を書き込み）をDTC転送で行ってください。

注5. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定（STm.STm1ビットに1を書き込み、SSCm.SWCmビットに0を書き込み、SSCmレジスタ設定、SSm.SSm1ビットに1を書き込み）を行ってください。

注6. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定（ADM2.AWCビットに0を書き込み、ADM2.AWCビットに1を書き込む）を行ってください。

注意 メモリ電力削減制御レジスタ（PSMCR）により内蔵RAMを待機モードおよびシャットダウン・モードに設定した場合（RAMSDMD = 1）、内蔵RAMをDTC転送元および転送先にできません。

備考 44ピン製品 : p = 00; m = 0; q = 0, 2

48～100ピン製品 : p = 00, 20; m = 0, 1; q = 0, 2

第24章 ロジック&イベント・リンク・コントローラ (ELCL)

24.1 ELCLの機能

ロジック&イベント・リンク・コントローラ (ELCL) は、各周辺機能が出力する信号を内部の論理セルブロックを介して、指定した周辺機能へ接続 (リンク) します。

本機能により CPU を介さず、直接周辺機能間での連係動作が可能になります。

ELCL には次の機能があります。

- 各周辺機能からの最大100のイベント信号のうち、選択した8つのイベント信号を指定した周辺機能へ直接リンク可能
8つのイベント信号の接続先は各周辺機能の最大25のイベント入力から選択可能
- 周辺機能からのイベント信号を、論理セル (AND回路、OR回路、EX-OR回路) を介すことでリンクする条件を変更可能
- 周辺機能からのイベント信号を、セレクタに入力することで指定した周辺機能の起動条件などが選択可能
- 周辺機能からのイベント信号を、フリップフロップに入力することでクロックに同期して指定した周辺機能へ信号の接続が可能

24.2 ELCLの構成

図 24 - 1 に ELCL のブロック図を示します。

図 24 - 1 ELCL のブロック図

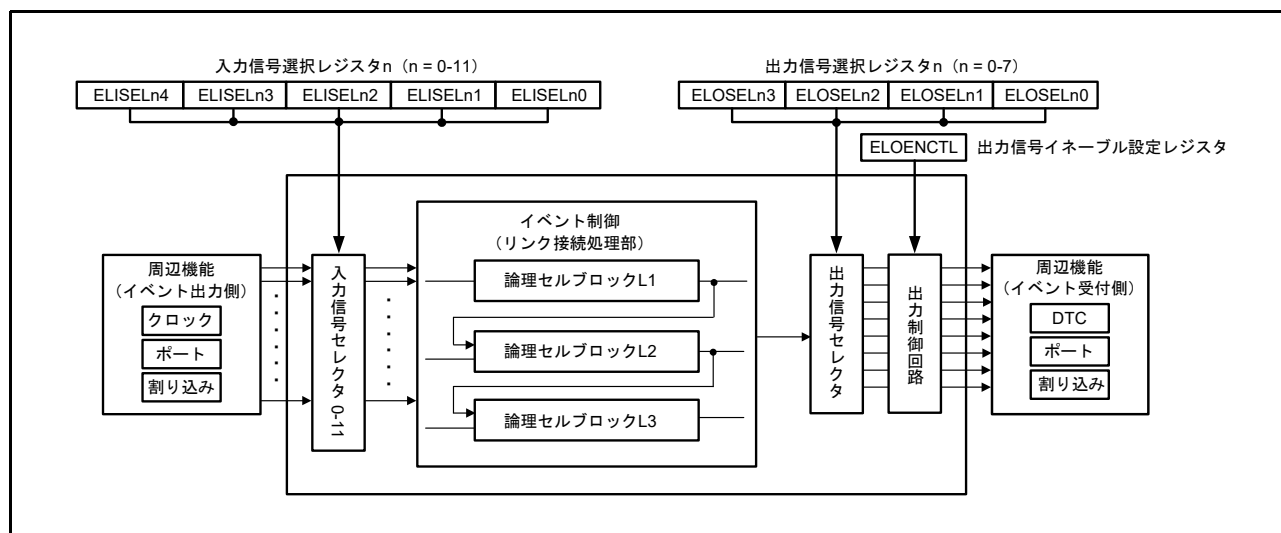


図24 - 2 論理セルブロックL1のブロック図

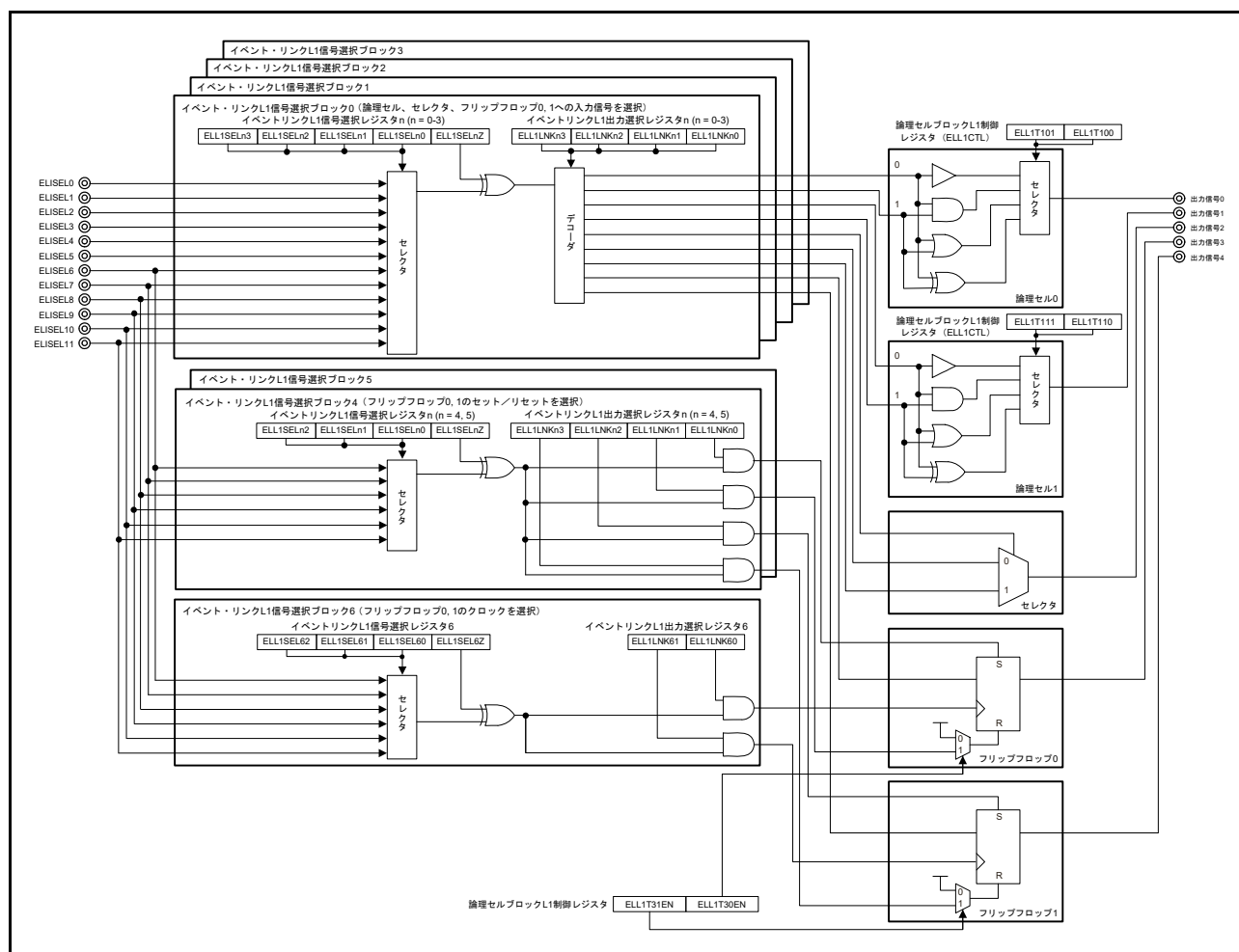


図24 - 3 論理セルブロックL2のブロック図

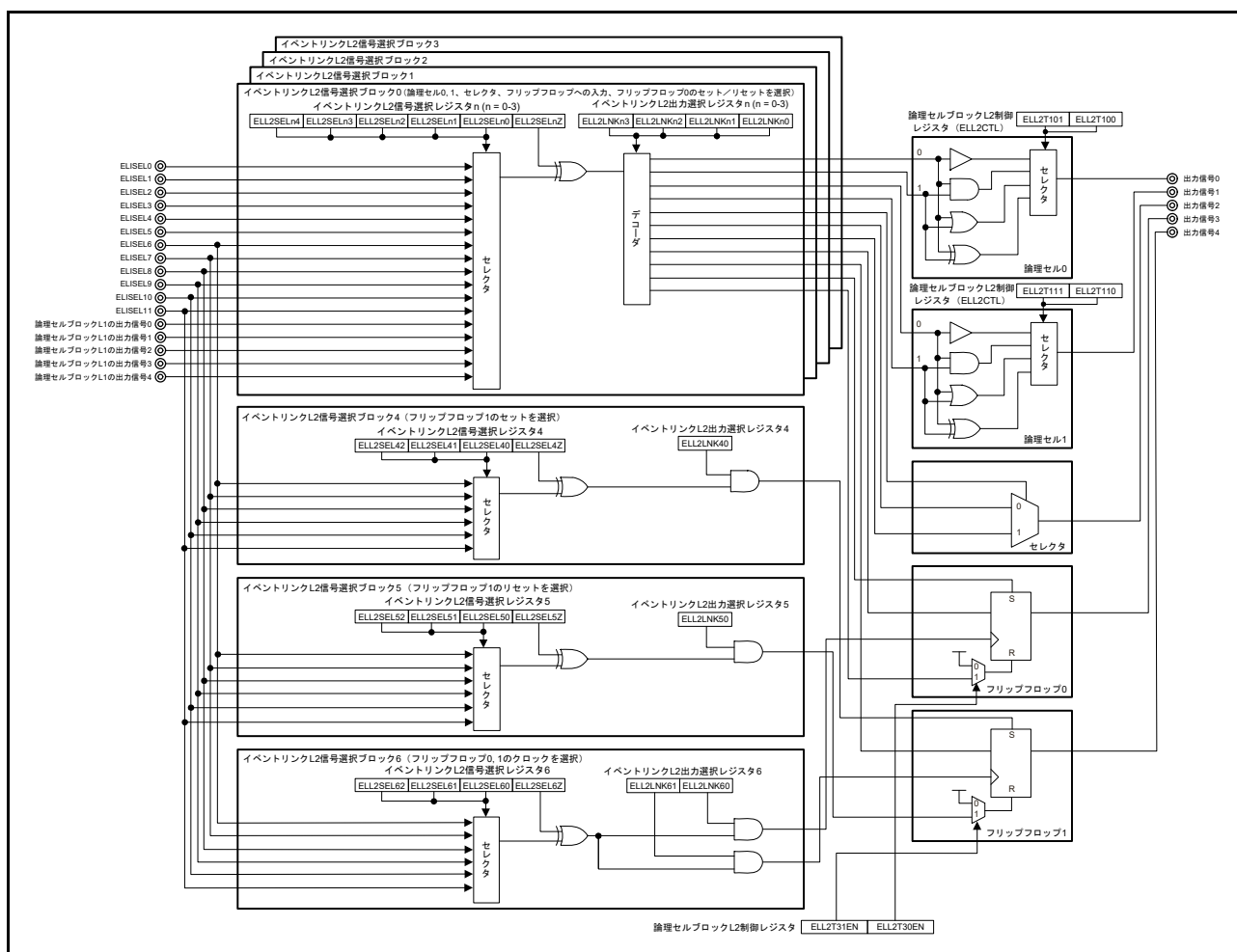


図24 - 4 論理セルブロックL3のブロック図

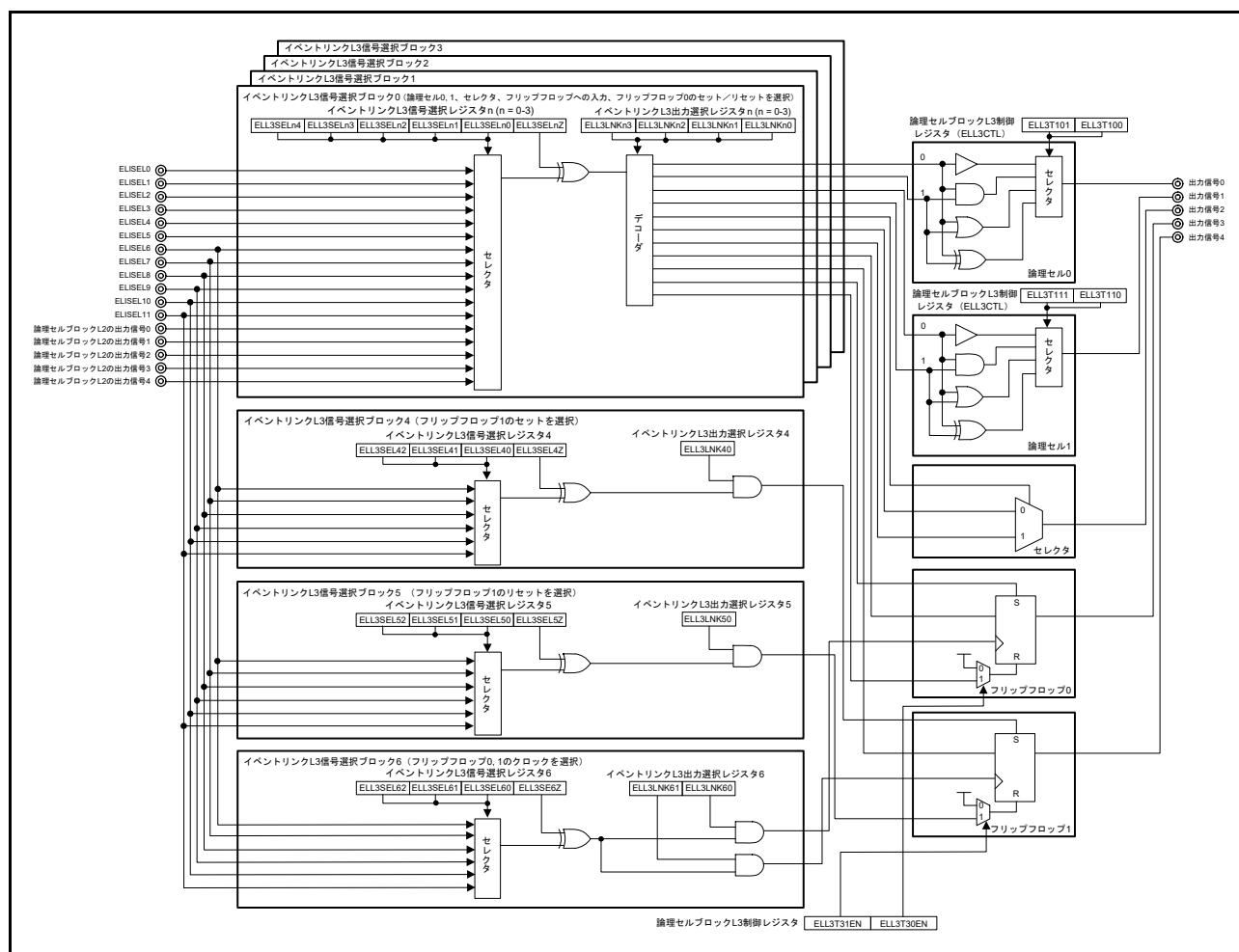


表 24 - 1 および表 24 - 2 に論理セルブロック L1 の接続を示します。

論理セルブロック L1 の入力信号は、入力信号選択レジスタ n (ELISELn) (n = 0-11) で指定したイベント出力側の周辺機能から選択します。

イベント・リンク L1 信号選択ブロック n (n = 0-6) の接続は、入力信号をイベント・リンク L1 信号選択レジスタ n (ELL1SELn) (n = 0-6) で選択し、出力側の接続先をイベント・リンク L1 出力選択レジスタ n (ELL1LNKn) (n = 0-6) で選択します。接続先の論理セルの選択とフリップフロップの動作は、ELL1CTL レジスタで設定します。

論理セルブロック L1 の出力信号は、イベント受付側の周辺機能への ELCL 出力信号または論理セルブロック L2 の入力信号に設定できます。

表24 - 1 論理セルブロックL1の接続 (1)

イベント・リンクL1 信号選択ブロック n	入力信号	イベント・リンクL1信号選択ブロック n 出力側の接続先
イベント・リンクL1 信号選択ブロック 0 ^{注1}	- ELISEL0-11 レジスタの選択信号 - ELL1SEL0 レジスタで上記から入力信号を1つ選択可能	- 論理セル0 (入力0、入力1) - 論理セル1 (入力0、入力1) - セクタ (選択、入力0、入力1) - フリップフロップ0 (入力) - フリップフロップ1 (入力) - ELL1LNK0 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 1 ^{注1}	- ELISEL0-11 レジスタの選択信号 - ELL1SEL1 レジスタで上記から入力信号を1つ選択可能	- 論理セル0 (入力0、入力1) - 論理セル1 (入力0、入力1) - セクタ (選択、入力0、入力1) - フリップフロップ0 (入力) - フリップフロップ1 (入力) - ELL1LNK1 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 2 ^{注1}	- ELISEL0-11 レジスタの選択信号 - ELL1SEL2 レジスタで上記から入力信号を1つ選択可能	- 論理セル0 (入力0、入力1) - 論理セル1 (入力0、入力1) - セクタ (選択、入力0、入力1) - フリップフロップ0 (入力) - フリップフロップ1 (入力) - ELL1LNK2 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 3 ^{注1}	- ELISEL0-11 レジスタの選択信号 - ELL1SEL3 レジスタで上記から入力信号を1つ選択可能	- 論理セル0 (入力0、入力1) - 論理セル1 (入力0、入力1) - セクタ (選択、入力0、入力1) - フリップフロップ0 (入力) - フリップフロップ1 (入力) - ELL1LNK3 レジスタで上記から接続先を1つ選択可能
イベント・リンクL1 信号選択ブロック 4 ^{注2}	- ELISEL6-11 レジスタの選択信号 - ELL1SEL4 レジスタで上記から入力信号を1つ選択可能	- フリップフロップ0 (セット制御、リセット制御) - フリップフロップ1 (セット制御、リセット制御) - ELL1LNK4 レジスタで接続先を選択可能
イベント・リンクL1 信号選択ブロック 5 ^{注2}	- ELISEL6-11 レジスタの選択信号 - ELL1SEL5 レジスタで上記から入力信号を1つ選択可能	- フリップフロップ0 (セット制御、リセット制御) - フリップフロップ1 (セット制御、リセット制御) - ELL1LNK5 レジスタで接続先を選択可能
イベント・リンクL1 信号選択ブロック 6	- ELISEL6-11 レジスタの選択信号 - ELL1SEL6 レジスタで上記から入力信号を1つ選択可能	- フリップフロップ0 (クロック) - フリップフロップ1 (クロック) - ELL1LNK6 レジスタで接続先を選択可能

注1. イベント・リンクL1信号選択ブロック0-6の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表24 - 2 論理セルブロックL1の接続 (2)

論理セルブロックL1の出力信号	信号源
論理セルブロックL1の出力信号0	論理セルブロックL1の論理セル0の出力
論理セルブロックL1の出力信号1	論理セルブロックL1の論理セル1の出力
論理セルブロックL1の出力信号2	論理セルブロックL1のセレクタの出力
論理セルブロックL1の出力信号3	論理セルブロックL1のフリップフロップ0の出力
論理セルブロックL1の出力信号4	論理セルブロックL1のフリップフロップ1の出力

表 24 - 3、表 24 - 4 に論理セルブロック L2 の接続を示します。

論理セルブロック L2 の入力信号は、入力信号選択レジスタ n (ELISELn) (n = 0-11) で指定したイベント出力側の周辺機能または論理セルブロック L1 の出力信号から選択します。

イベント・リンク L2 信号選択ブロック n (n = 0-6) の接続は、入力信号をイベント・リンク L2 信号選択レジスタ n (ELL2SELn) (n = 0-6) で選択し、出力側の接続先をイベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 0-6) で選択します。接続先の論理セルの選択とフリップフロップの動作は、ELL2CTL レジスタで設定します。

論理セルブロック L2 の出力信号は、イベント受付側の周辺機能への ELCL 出力信号または論理セルブロック L3 の入力信号に設定できます。

表24 - 3 論理セルブロックL2の接続 (1)

イベント・リンク L2 信号選択ブロック n	入力信号	イベント・リンク L2 信号選択ブロック n 出力側の接続先
イベント・リンク L2 信号選択ブロック 0 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL0 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK0 レジスタで上記から接続先を 1 つ選択可能
イベント・リンク L2 信号選択ブロック 1 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL1 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK1 レジスタで上記から接続先を 1 つ選択可能
イベント・リンク L2 信号選択ブロック 2 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL2 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK2 レジスタで上記から接続先を 1 つ選択可能
イベント・リンク L2 信号選択ブロック 3 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L1 の出力信号 0-4 ELL2SEL3 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル 0 (入力 0、入力 1) • 論理セル 1 (入力 0、入力 1) • セレクタ (選択、入力 0、入力 1) • フリップフロップ 0 (入力、セット制御、リセット制御) • フリップフロップ 1 (入力) ELL2LNK3 レジスタで上記から接続先を 1 つ選択可能
イベント・リンク L2 信号選択ブロック 4 ^{注2}	• ELISEL6-11 レジスタの選択信号 ELL2SEL4 レジスタで上記から入力信号を 1 つ選択可能	• フリップフロップ 1 (セット制御) ELL2LNK4 レジスタで接続先を選択可能
イベント・リンク L2 信号選択ブロック 5 ^{注2}	• ELISEL6-11 レジスタの選択信号 ELL2SEL5 レジスタで上記から入力信号を 1 つ選択可能	• フリップフロップ 1 (リセット制御) ELL2LNK5 レジスタで接続先を選択可能
イベント・リンク L2 信号選択ブロック 6	• ELISEL6-11 レジスタの選択信号 ELL2SEL6 レジスタで上記から入力信号を 1 つ選択可能	• フリップフロップ 0 (クロック) • フリップフロップ 1 (クロック) ELL2LNK6 レジスタで接続先を選択可能

注1. イベント・リンク L2 信号選択ブロック 0-6 の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表24 - 4 論理セルブロックL2の接続 (2)

論理セルブロックL2の出力信号	信号源
論理セルブロックL2の出力信号0	論理セルブロックL2の論理セル0の出力
論理セルブロックL2の出力信号1	論理セルブロックL2の論理セル1の出力
論理セルブロックL2の出力信号2	論理セルブロックL2のセレクタの出力
論理セルブロックL2の出力信号3	論理セルブロックL2のフリップフロップ0の出力
論理セルブロックL2の出力信号4	論理セルブロックL2のフリップフロップ1の出力

表 24 - 5 および表 24 - 6 に論理セルブロック L3 の接続を示します。

論理セルブロック L3 の入力信号は、入力信号選択レジスタ n (ELISELn) (n = 0-11) で指定したイベント出力側の周辺機能または論理セルブロック L2 の出力信号から選択します。

イベント・リンク L3 信号選択ブロック n (n = 0-6) の接続は、入力信号をイベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-6) で選択し、出力側の接続先をイベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-6) で選択します。接続先の論理セルの選択とフリップフロップの動作は、ELL3CTL レジスタで設定します。

論理セルブロック L3 の出力信号は、イベント受付側の周辺機能への ELCL 出力信号に設定できます。

表24 - 5 論理セルブロックL3の接続 (1)

イベント・リンクL3 信号選択ブロック n	入力信号	イベント・リンクL3信号選択ブロック n 出力側の接続先
イベント・リンクL3 信号選択ブロック 0 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL0 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力、セット制御、リセット制御) • フリップフロップ1 (入力) ELL3LNK0 レジスタで上記から接続先を 1 つ選択可能
イベント・リンクL3 信号選択ブロック 1 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL1 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力、セット制御、リセット制御) • フリップフロップ1 (入力) ELL3LNK1 レジスタで上記から接続先を 1 つ選択可能
イベント・リンクL3 信号選択ブロック 2 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL2 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力、セット制御、リセット制御) • フリップフロップ1 (入力) ELL3LNK2 レジスタで上記から接続先を 1 つ選択可能
イベント・リンクL3 信号選択ブロック 3 ^{注1,2}	• ELISEL0-11 レジスタの選択信号 • 論理セルブロック L2 の出力信号 0-4 ELL3SEL3 レジスタで上記から入力信号を 1 つ選択可能	• 論理セル0 (入力0、入力1) • 論理セル1 (入力0、入力1) • セレクタ (選択、入力0、入力1) • フリップフロップ0 (入力、セット制御、リセット制御) • フリップフロップ1 (入力) ELL3LNK3 レジスタで上記から接続先を 1 つ選択可能
イベント・リンクL3 信号選択ブロック 4 ^{注2}	• 入力信号セレクタ 6-11 ELL3SEL4 レジスタで上記から入力信号を 1 つ選択可能	• フリップフロップ1 (セット制御) ELL3LNK4 レジスタで接続先を選択可能
イベント・リンクL3 信号選択ブロック 5 ^{注2}	• 入力信号セレクタ 6-11 ELL3SEL5 レジスタで上記から入力信号を 1 つ選択可能	• フリップフロップ1 (リセット制御) ELL3LNK5 レジスタで接続先を選択可能
イベント・リンクL3 信号選択ブロック 6	• ELISEL6-11 レジスタの選択信号 ELL3SEL6 レジスタで上記から入力信号を 1 つ選択可能	• フリップフロップ0 (クロック) • フリップフロップ1 (クロック) ELL3LNK6 レジスタで接続先を選択可能

注1. イベント・リンクL3信号選択ブロック0-6の出力側の接続先は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。また、セット制御とリセット制御の信号が同時にハイ・レベルになる期間がないようにしてください。

表24 - 6 論理セルブロックL3の接続 (2)

論理セルブロックL3の出力信号	信号源
論理セルブロックL3の出力信号0	論理セルブロックL3の論理セル0の出力
論理セルブロックL3の出力信号1	論理セルブロックL3の論理セル1の出力
論理セルブロックL3の出力信号2	論理セルブロックL3のセレクタの出力
論理セルブロックL3の出力信号3	論理セルブロックL3のフリップフロップ0の出力
論理セルブロックL3の出力信号4	論理セルブロックL3のフリップフロップ1の出力

24.3 ELCL を制御するレジスタ

ELCL を制御するレジスタを次に示します。

- 入力信号選択レジスタ n (ELISELn) (n = 0-11)
- イベント・リンク L1 信号選択レジスタ n (ELL1SELn) (n = 0-3)
- イベント・リンク L1 信号選択レジスタ n (ELL1SELn) (n = 4, 5)
- イベント・リンク L1 信号選択レジスタ 6 (ELL1SEL6)
- 論理セルブロック L1 制御レジスタ (ELL1CTL)
- イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) (n = 0-3)
- イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) (n = 4, 5)
- イベント・リンク L1 出力選択レジスタ 6 (ELL1LNK6)
- イベント・リンク L2 信号選択レジスタ n (ELL2SELn) (n = 0-3)
- イベント・リンク L2 信号選択レジスタ n (ELL2SELn) (n = 4, 5)
- イベント・リンク L2 信号選択レジスタ 6 (ELL2SEL6)
- 論理セルブロック L2 制御レジスタ (ELL2CTL)
- イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 0-3)
- イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 4, 5)
- イベント・リンク L2 出力選択レジスタ 6 (ELL2LNK6)
- イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-3)
- イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 4, 5)
- イベント・リンク L3 信号選択レジスタ 6 (ELL3SEL6)
- 論理セルブロック L3 制御レジスタ (ELL3CTL)
- イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-3)
- イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 4, 5)
- イベント・リンク L3 出力選択レジスタ 6 (ELL3LNK6)
- 出力信号選択レジスタ n (ELOSELn) (n = 0-7)
- 出力信号イネーブル設定レジスタ (ELOENCTL)
- 出力信号モニタレジスタ (ELOMONI)
- ポート・モード・レジスタ (PMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロール A・レジスタ (PMCAxx)
- ポート・モード・コントロール T・レジスタ (PMCTxx)
- ポート・モード・コントロール E・レジスタ (PMCExx)
- LCD ポート・ファンクション・レジスタ (PFSEGx)

24.3.1 入力信号選択レジスタ n (ELISELn) (n = 0-11)

ELISELn レジスタは、イベント出力側の周辺機能のイベント信号を選択するレジスタです。

ELISELn レジスタで選択したイベント信号を、論理セルブロック L1-3 を介してイベント受付側の周辺機能へイベント・リンクします。

ELISELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 5 入力信号選択レジスタ n (ELISELn) のフォーマット (1/3)

アドレス : F0680H (ELISEL0) -F068BH (ELISEL11)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELISELn	0	0	0	ELISELn4	ELISELn3	ELISELn2	ELISELn1	ELISELn0

図24 - 5 入力信号選択レジスタ n (ELISELn) のフォーマット (2/3)
ELISELn (n = 0-5)

ELISELn4	ELISELn3	ELISELn2	ELISELn1	ELISELn0	イベント発生元
0	0	0	0	0	SAU0チャンネル0送信データ出力
0	0	0	0	1	SAU0チャンネル1送信データ出力
0	0	0	1	0	SAU0チャンネル0シリアル・クロック出力
0	0	0	1	1	SAU0チャンネル1シリアル・クロック出力
0	0	1	0	0	入力端子 (P00/EI00)
0	0	1	0	1	入力端子 (P17/EI17)
0	0	1	1	0	UARTA0シリアル・クロック出力
0	0	1	1	1	TAU0チャンネル0出力
0	1	0	0	0	TAU0チャンネル1出力
0	1	0	0	1	TAU0チャンネル2出力
0	1	0	1	0	TAU0チャンネル3出力
0	1	0	1	1	TAU0チャンネル4出力
0	1	1	0	0	TAU0チャンネル5出力
0	1	1	0	1	TAU0チャンネル6出力
0	1	1	1	0	0固定
0	1	1	1	1	入力端子 (P76/EI76)
1	0	0	0	0	入力端子 (P77/EI77)
1	0	0	0	1	コンパレータ検出0
1	0	0	1	0	コンパレータ検出1 ^{注1}
1	0	0	1	1	UARTA0送信データ出力0
1	0	1	0	0	入力端子 (P12/EI12)
1	0	1	0	1	入力端子0 ^{注2}
1	0	1	1	0	入力端子1 ^{注2}
1	0	1	1	1	INTC0 ^{注3}
1	1	0	0	0	INTC1 ^{注3}
1	1	0	0	1	INTC2 ^{注3}
1	1	0	1	0	INTC3 ^{注3}
1	1	0	1	1	入力要因 ^{注2}
1	1	1	0	0	ELCL内部論理セルブロックL1のフリップフロップ0出力
1	1	1	0	1	ELCL内部論理セルブロックL1のフリップフロップ1出力
1	1	1	1	0	ELCL内部論理セルブロックL2のフリップフロップ1出力
1	1	1	1	1	ELCL内部論理セルブロックL3のフリップフロップ1出力

図24 - 5 入力信号選択レジスタ n (ELISELn) のフォーマット (3/3)
ELISELn (n = 6-11)

ELISELn4	ELISELn3	ELISELn2	ELISELn1	ELISELn0	イベント発生元
0	0	0	0	0	SAU0チャンネル0送信データ出力
0	0	0	0	1	SAU0チャンネル1送信データ出力
0	0	0	1	0	SAU0チャンネル0シリアル・クロック出力
0	0	0	1	1	SAU0チャンネル1シリアル・クロック出力
0	0	1	0	0	入力端子 (P00/EI00)
0	0	1	0	1	入力端子 (P17/EI17)
0	0	1	1	0	UARTA0シリアル・クロック出力
0	0	1	1	1	TAU0チャンネル0出力
0	1	0	0	0	TAU0チャンネル1出力
0	1	0	0	1	TAU0チャンネル2出力
0	1	0	1	0	TAU0チャンネル3出力
0	1	0	1	1	TAU0チャンネル4出力
0	1	1	0	0	TAU0チャンネル5出力
0	1	1	0	1	TAU0チャンネル6出力
0	1	1	1	0	0固定
0	1	1	1	1	入力端子 (P76/EI76)
1	0	0	0	0	入力端子 (P77/EI77)
1	0	0	0	1	コンパレータ検出0
1	0	0	1	0	コンパレータ検出1 ^{注1}
1	0	0	1	1	UARTA0送信データ出力0
1	0	1	0	0	入力端子 (P12/EI12)
1	0	1	0	1	INTC4 ^{注4}
1	0	1	1	0	INTC5 ^{注4}
1	0	1	1	1	INTC6 ^{注4}
1	1	0	0	0	INTC7 ^{注4}
1	1	0	0	1	INTC8 ^{注4}
1	1	0	1	0	INTC9 ^{注4}
1	1	0	1	1	fCLK
1	1	1	0	0	fHP ^{注5}
1	1	1	0	1	fIMP
1	1	1	1	0	fSXP
上記以外					設定禁止

注1. 52～100ピン製品のみ

注2. 入力端子0、入力端子1、入力要因のイベント発生元は、ELISELn (n = 0-5) で異なります。

レジスタ	イベント発生元		
	入力端子0	入力端子1	入力要因
ELISEL0	入力端子 (P20/EI20)	入力端子 (P16/EI16)	入力端子 (P137/EI137)
ELISEL1	入力端子 (P21/EI21)	入力端子 (P121/EI121)	入力端子 (P137/EI137)
ELISEL2	入力端子 (P06/EI06)	入力端子 (P122/EI122)	ELCITL0
ELISEL3	入力端子 (P07/EI07)	入力端子 (P06/EI06)	ELCITL1
ELISEL4	入力端子 (P26/EI26)	入力端子 (P00/EI00)	ELCITL2
ELISEL5	入力端子 (P27/EI27)	入力端子 (P26/EI26)	ELCITL3

注3. INTC0, INTC1, INTC2, INTC3のイベント発生元の割り込み要因は、ELISELn (n = 0-5) で異なります。なお、割り込み要求信号は、イベント受付側の周辺機能のハードウェア・トリガに使用してください。

レジスタ	イベント発生元					
	INTC0	INTC1		INTC2		INTC3
ELISEL0	INTP6	INTURE0	INTIT70注6	INTUT3注7		INTUT1
ELISEL1	INTP7	INTURE1	INTTMKB1注6	INTUR3注7		INTUR1
ELISEL2	INTIT10	INTURE2注8	INTTMKB2注6	INTST3/INTCSI30/ INTIIC30注9	INTIT31	INTIICA1
ELISEL3	INTOSDC	INTSRE3注10	INTTRJ1注6	INTSR3/INTCSI31/ INTIIC31注11	INTIT71 注6	INTTMKB0
ELISEL4	INTKR	INTUT2注8		INTUT0		INTEXSD
ELISEL5	INTIT00	INTUR2注8		INTUR0		未接続

注4. INTC4, INTC5, INTC6, INTC7, INTC8, INTC9のイベント発生元の割り込み要因は、ELISELn (n = 6-11) で異なります。なお、割り込み要求信号は、イベント受付側の周辺機能のハードウェア・トリガに使用してください。

レジスタ	イベント発生元											
	INTC4	INTC5		INTC6		INTC7		INTC8		INTC9		
ELISEL6	INTP0	INTTM00		INTTM06	INTIT50 注6	INTST2/INTCSI20/ INTIIC20注12		INTIT01	INTSR1/INTCSI11/ INTIIC11	INTIT61 注6	INTSMSE	
ELISEL7	INTP1	INTTM01		INTITL		INTSR2/INTCSI21/ INTIIC21		INTIT41 注6	INTSRE1 INTTMH 03H	INTIT40 注6	INTCMP0	
ELISEL8	INTP2	INTTM02		INTWDTI		INTSRE2		INTIT20	INTTRJ0		INTCMP1注13	
ELISEL9	INTP3	INTTM03		INTRTC		INTST0/INTCSI00/ INTIIC00		INTIT21	INTSR0/INTCSI01/ INTIIC01		INTIT51 注6	INTCTSUWR
ELISEL10	INTP4	INTTM04		INTTM07	INTIT60 注6	INTSRE0	INTTM01 H	INTIT30	INTLVI			INTCTSURD
ELISEL11	INTP5	INTTM05	INTURE3 注7	INTIICA0		INTST1/INTCSI10/ INTIIC10		INTIT11	INTAD			INTCTSUFN

注5. ユーザ・オプション・バイトのFRQSEL4ビットが1のときは、使用できません。

注6. フラッシュ・メモリ 256-512 KB の 44～64 ピン製品、80, 100 ピン製品のみ

注7. 80, 100 ピン製品のみ

注8. フラッシュ・メモリ 256-512 KB の 48～64 ピン製品、80, 100 ピン製品のみ

注9. 44, 48 ピン製品は、INTIIC30のみ

注10. 52～100 ピン製品のみ

注11. 64～100 ピンは、INTSR3/INTCSI31/INTIIC31、52 ピンはINTSR3のみ

注12. 44 ピンは、INTST2のみ

注13. 52～100 ピン製品のみ

(注意、備考は次ページに続きます)

注意1. ビット7-5には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

備考 fCLK : CPU／周辺ハードウェア・クロック周波数
fiHP : 高速オンチップ・オシレータ周辺クロック周波数
fiMP : 中速オンチップ・オシレータ周辺クロック周波数
fSXP : 低速周辺クロック周波数

24.3.2 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 0-3)

ELL1SELn レジスタは、論理セルブロック L1 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入力にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL1SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 6 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 0-3) のフォーマット

アドレス : F0690H (ELL1SEL0) -F0693H (ELL1SEL3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1SELn	ELL1SEL nZ	0	0	0	ELL1SEL n3	ELL1SEL n2	ELL1SEL n1	ELL1SEL n0

ELL1SEL nZ	イベント信号の出力レベルの制御						
0	正論理出力						
1	負論理出力（反転）						

ELL1SEL n3	ELL1SEL n2	ELL1SEL n1	ELL1SEL n0	リンク対象の選択
0	0	0	0	選択なし（0 固定）
0	0	0	1	入力信号選択レジスタ0の選択信号をリンク対象に選択
0	0	1	0	入力信号選択レジスタ1の選択信号をリンク対象に選択
0	0	1	1	入力信号選択レジスタ2の選択信号をリンク対象に選択
0	1	0	0	入力信号選択レジスタ3の選択信号をリンク対象に選択
0	1	0	1	入力信号選択レジスタ4の選択信号をリンク対象に選択
0	1	1	0	入力信号選択レジスタ5の選択信号をリンク対象に選択
0	1	1	1	入力信号選択レジスタ6の選択信号をリンク対象に選択
1	0	0	0	入力信号選択レジスタ7の選択信号をリンク対象に選択
1	0	0	1	入力信号選択レジスタ8の選択信号をリンク対象に選択
1	0	1	0	入力信号選択レジスタ9の選択信号をリンク対象に選択
1	0	1	1	入力信号選択レジスタ10の選択信号をリンク対象に選択
1	1	0	0	入力信号選択レジスタ11の選択信号をリンク対象に選択
上記以外				設定禁止

注意1. ビット6-4には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.3 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 4, 5)

ELL1SELn レジスタは、論理セルブロック L1 に搭載されているフリップフロップのセット制御とリセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL1SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 7 イベント・リンクL1信号選択レジスタn (ELL1SELn) (n = 4, 5) のフォーマット

アドレス : F0694H (ELL1SEL4), F0695H (ELL1SEL5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1SELn	ELL1SEL nZ	0	0	0	0	ELL1SEL n2	ELL1SEL n1	ELL1SEL n0

ELL1SEL nZ	イベント信号の出力レベルの制御						
0	正論理出力						
1	負論理出力 (反転)						

ELL1SEL n2	ELL1SEL n1	ELL1SEL n0	リンク対象の選択
0	0	0	選択なし (0 固定)
0	0	1	入力信号選択レジスタ 6 の選択信号をリンク対象に選択
0	1	0	入力信号選択レジスタ 7 の選択信号をリンク対象に選択
0	1	1	入力信号選択レジスタ 8 の選択信号をリンク対象に選択
1	0	0	入力信号選択レジスタ 9 の選択信号をリンク対象に選択
1	0	1	入力信号選択レジスタ 10 の選択信号をリンク対象に選択
1	1	0	入力信号選択レジスタ 11 の選択信号をリンク対象に選択
上記以外			設定禁止

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.4 イベント・リンクL1信号選択レジスタ6 (ELL1SEL6)

ELL1SEL6 レジスタは、論理セルブロック L1 に搭載されているフリップフロップのクロックにリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL1SEL6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 -8 イベント・リンクL1信号選択レジスタ6 (ELL1SEL6) のフォーマット

アドレス : F0696H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1SEL6	ELL1SEL 6Z	0	0	0	0	ELL1SEL 62	ELL1SEL 61	ELL1SEL 60
ELL1SEL 6Z	イベント信号の出力レベルの制御							
0	正論理出力							
1	負論理出力 (反転)							
ELL1SEL 62	ELL1SEL 61	ELL1SEL 60	リンク対象の選択					
0	0	0	選択なし (0 固定)					
0	0	1	入力信号選択レジスタ6の選択信号をリンク対象に選択					
0	1	0	入力信号選択レジスタ7の選択信号をリンク対象に選択					
0	1	1	入力信号選択レジスタ8の選択信号をリンク対象に選択					
1	0	0	入力信号選択レジスタ9の選択信号をリンク対象に選択					
1	0	1	入力信号選択レジスタ10の選択信号をリンク対象に選択					
1	1	0	入力信号選択レジスタ11の選択信号をリンク対象に選択					
上記以外			設定禁止					

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.5 論理セルブロックL1制御レジスタ (ELL1CTL)

ELL1CTL レジスタは、論理セルブロック L1 に搭載されている論理セルを選択します。

論理セルごとにスルー、AND 回路、OR 回路、EX-OR 回路から選択します。また、論理セルブロック L1 のフリップフロップ 0, 1 の動作許可／動作停止を選択します。

ELL1CTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 9 論理セルブロックL1制御レジスタ (ELL1CTL) のフォーマット

アドレス : F0697H (ELL1CTL)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1CTL	ELL1T 31EN	ELL1T 30EN	0	0	ELL1T 111	ELL1T 110	ELL1T 101	ELL1T 100
論理セルブロックL1のフリップフロップ1の動作許可／動作停止の選択								
0 フリップフロップの動作停止（フリップフロップはリセット状態）								
1 フリップフロップの動作許可								
論理セルブロックL1のフリップフロップ0の動作許可／動作停止の選択								
0 フリップフロップの動作停止（フリップフロップはリセット状態）								
1 フリップフロップの動作許可								
論理セルブロックL1の論理セル1で使用する論理セルの選択								
0 0 スルーを選択								
0 1 AND回路を選択								
1 0 OR回路を選択								
1 1 EX-OR回路を選択								
論理セルブロックL1の論理セル0で使用する論理セルの選択								
0 0 スルーを選択								
0 1 AND回路を選択								
1 0 OR回路を選択								
1 1 EX-OR回路を選択								

注意1. ビット5, 4には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.6 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 0-3)

ELL1LNKn レジスタは、イベント・リンク L1 信号選択レジスタ n (ELL1SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L1 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入力から選択します。

ELL1LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 10 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 0-3) のフォーマット

アドレス : F0698H (ELL1LNK0) -F069BH (ELL1LNK3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1LNKn	0	0	0	0	ELL1LNK n3	ELL1LNK n2	ELL1LNK n1	ELL1LNK n0

ELL1LNK n3	ELL1LNK n2	ELL1LNK n1	ELL1LNK n0	リンク先の選択
0	0	0	0	リンクなし
0	0	0	1	論理セルブロックL1の論理セル0の入力0にリンク
0	0	1	0	論理セルブロックL1の論理セル0の入力1にリンク
0	0	1	1	論理セルブロックL1の論理セル1の入力0にリンク
0	1	0	0	論理セルブロックL1の論理セル1の入力1にリンク
0	1	0	1	論理セルブロックL1のセクタの選択制御にリンク
0	1	1	0	論理セルブロックL1のセクタの入力0にリンク
0	1	1	1	論理セルブロックL1のセクタの入力1にリンク
1	0	0	0	論理セルブロックL1のフリップフロップ0の入力にリンク
1	0	0	1	論理セルブロックL1のフリップフロップ1の入力にリンク
上記以外				設定禁止

注意1. ビット7-4には、必ず0を設定してください。

注意2. イベント・リンクL1信号選択ブロック0-6は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注意3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.7 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 4, 5)

ELL1LNKn レジスタは、イベント・リンク L1 信号選択レジスタ n (ELL1SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L1 に搭載されているフリップフロップのセット制御とリセット制御です。

ELL1LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 11 イベント・リンクL1出力選択レジスタn (ELL1LNKn) (n = 4, 5) のフォーマット

アドレス : F069CH (ELL1LNK4), F069DH (ELL1LNK5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1LNKn	0	0	0	0	ELL1LNK n3	ELL1LNK n2	ELL1LNK n1	ELL1LNK n0
ELL1LNK n3	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ1のリセット制御にリンク							
ELL1LNK n2	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ1のセット制御にリンク							
ELL1LNK n1	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ0のリセット制御にリンク							
ELL1LNK n0	論理セルブロックL1のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロックL1のフリップフロップ0のセット制御にリンク							

注意1. ビット7-4には、必ず0を設定してください。

注意2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。

注意3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.8 イベント・リンクL1出力選択レジスタ6（ELL1LNK6）

ELL1LNK6 レジスタは、イベント・リンク L1 信号選択レジスタ 6（ELL1SEL6）で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L1 に搭載されているフリップフロップのクロックです。

ELL1LNK6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 12 イベント・リンクL1出力選択レジスタ6（ELL1LNK6）のフォーマット

アドレス : F069EH (ELL1LNK6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL1LNK6	0	0	0	0	0	0	ELL1LNK 61	ELL1LNK 60

ELL1LNK 61	論理セルブロックL1のフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロックL1のフリップフロップ1のクロックにリンク

ELL1LNK 60	論理セルブロックL1のフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロックL1のフリップフロップ0のクロックにリンク

- 注意1. ビット7-2には、必ず0を設定してください。
- 注意2. 出力信号イネーブル設定レジスタ（ELOENCTL）で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.9 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 0-3)

ELL2SELn レジスタは、論理セルブロック L2 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入力とセット制御、リセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。また、論理セルブロック L1 の出力信号も選択可能です。ELL2SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 13 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 0-3) のフォーマット (1/2)

アドレス : F06A0H (ELL2SEL0) -F06A3H (ELL2SEL3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2SELn	ELL2SEL nZ	0	0	ELL2SEL n4	ELL2SEL n3	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0

ELL2SEL nZ	イベント信号の出力レベルの制御						
0	正論理出力						
1	負論理出力（反転）						

ELL2SEL n4	ELL2SEL n3	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0	リンク対象を選択
0	0	0	0	0	選択なし（0固定）
0	0	0	0	1	入力信号選択レジスタ0の選択信号をリンク対象に選択
0	0	0	1	0	入力信号選択レジスタ1の選択信号をリンク対象に選択
0	0	0	1	1	入力信号選択レジスタ2の選択信号をリンク対象に選択
0	0	1	0	0	入力信号選択レジスタ3の選択信号をリンク対象に選択
0	0	1	0	1	入力信号選択レジスタ4の選択信号をリンク対象に選択
0	0	1	1	0	入力信号選択レジスタ5の選択信号をリンク対象に選択
0	0	1	1	1	入力信号選択レジスタ6の選択信号をリンク対象に選択
0	1	0	0	0	入力信号選択レジスタ7の選択信号をリンク対象に選択
0	1	0	0	1	入力信号選択レジスタ8の選択信号をリンク対象に選択
0	1	0	1	0	入力信号選択レジスタ9の選択信号をリンク対象に選択
0	1	0	1	1	入力信号選択レジスタ10の選択信号をリンク対象に選択
0	1	1	0	0	入力信号選択レジスタ11の選択信号をリンク対象に選択
0	1	1	0	1	論理セルブロックL1の出力信号0をリンク対象に選択
0	1	1	1	0	論理セルブロックL1の出力信号1をリンク対象に選択
0	1	1	1	1	論理セルブロックL1の出力信号2をリンク対象に選択
1	0	0	0	0	論理セルブロックL1の出力信号3をリンク対象に選択

図24 - 13 イベント・リンク L2信号選択レジスタ n (ELL2SELn) (n = 0-3) のフォーマット (2/2)

ELL2SEL n4	ELL2SEL n3	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0	リンク対象を選択
1	0	0	0	1	論理セルブロック L1 の出力信号 4 をリンク対象に選択
上記以外					設定禁止

注意1. ビット 6, 5 には、必ず 0 を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.10 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 4, 5)

ELL2SELn レジスタは、論理セルブロック L2 に搭載されているフリップフロップのセット制御とリセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL2SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 14 イベント・リンクL2信号選択レジスタn (ELL2SELn) (n = 4, 5) のフォーマット

アドレス : F06A4H (ELL2SEL4), F06A5H (ELL2SEL5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2SELn	ELL2SEL nZ	0	0	0	0	ELL2SEL n2	ELL2SEL n1	ELL2SEL n0

ELL2SEL nZ	イベント信号の出力レベルの制御						
0	正論理出力						
1	負論理出力 (反転)						

ELL2SEL n2	ELL2SEL n1	ELL2SEL n0	リンク対象の選択
0	0	0	選択なし (0 固定)
0	0	1	入力信号選択レジスタ6の選択信号をリンク対象に選択
0	1	0	入力信号選択レジスタ7の選択信号をリンク対象に選択
0	1	1	入力信号選択レジスタ8の選択信号をリンク対象に選択
1	0	0	入力信号選択レジスタ9の選択信号をリンク対象に選択
1	0	1	入力信号選択レジスタ10の選択信号をリンク対象に選択
1	1	0	入力信号選択レジスタ11の選択信号をリンク対象に選択
上記以外			設定禁止

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.11 イベント・リンクL2信号選択レジスタ6 (ELL2SEL6)

ELL2SEL6 レジスタは、論理セルブロック L2 に搭載されているフリップフロップのクロックにリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL2SEL6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 15 イベント・リンクL2信号選択レジスタ6 (ELL2SEL6) のフォーマット

アドレス : F06A6H (ELL2SEL6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2SEL6	ELL2SEL 6Z	0	0	0	0	ELL2SEL 62	ELL2SEL 61	ELL2SEL 60
ELL2SEL 6Z	イベント信号の出力レベルの制御							
0	正論理出力							
1	負論理出力 (反転)							
ELL2SEL 62	ELL2SEL 61	ELL2SEL 60	リンク対象の選択					
0	0	0	選択なし (0 固定)					
0	0	1	入力信号選択レジスタ 6 ^注 の選択信号をリンク対象に選択					
0	1	0	入力信号選択レジスタ 7 ^注 の選択信号をリンク対象に選択					
0	1	1	入力信号選択レジスタ 8 ^注 の選択信号をリンク対象に選択					
1	0	0	入力信号選択レジスタ 9 ^注 の選択信号をリンク対象に選択					
1	0	1	入力信号選択レジスタ 10 ^注 の選択信号をリンク対象に選択					
1	1	0	入力信号選択レジスタ 11 ^注 の選択信号をリンク対象に選択					
上記以外			設定禁止					

注 入力信号選択レジスタ 6-11 で、クロック信号を選択してください。

注意 1. ビット 6-3 には、必ず 0 を設定してください。

注意 2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.12 論理セルブロック L2 制御レジスタ (ELL2CTL)

ELL2CTL レジスタは、論理セルブロック L2 に搭載されている論理セルを選択します。

論理セルごとにスルー、AND 回路、OR 回路、EX-OR 回路から選択します。また、論理セルブロック L2 のフリップフロップ 0, 1 の動作許可／動作停止を選択します。

ELL2CTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 16 論理セルブロック L2 制御レジスタ (ELL2CTL) のフォーマット

アドレス : F06A7H (ELL2CTL)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2CTL	ELL2T 31EN	ELL2T 30EN	0	0	ELL2T 111	ELL2T 110	ELL2T 101	ELL2T 100
論理セルブロック L2 のフリップフロップ 1 の動作許可／動作停止の選択								
0 フリップフロップの動作停止 (フリップフロップはリセット状態)								
1 フリップフロップの動作許可								
論理セルブロック L2 のフリップフロップ 0 の動作許可／動作停止の選択								
0 フリップフロップの動作停止 (フリップフロップはリセット状態)								
1 フリップフロップの動作許可								
論理セルブロック L2 の論理セル 1 で使用する論理セルの選択								
0 0 スルーを選択								
0 1 AND 回路を選択								
1 0 OR 回路を選択								
1 1 EX-OR 回路を選択								
論理セルブロック L2 の論理セル 0 で使用する論理セルの選択								
0 0 スルーを選択								
0 1 AND 回路を選択								
1 0 OR 回路を選択								
1 1 EX-OR 回路を選択								

注意 1. ビット 5, 4 には、必ず 0 を設定してください。

注意 2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.13 イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 0-3)

ELL2LNKn レジスタは、イベント・リンク L2 信号選択レジスタ n (ELL2SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L2 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入力とセット制御、リセット制御から選択します。

ELL2LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 17 イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 0-3) のフォーマット

アドレス : F06A8H (ELL2LNK0) -F06ABH (ELL2LNK3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2LNKn	0	0	0	0	ELL2LNK n3	ELL2LNK n2	ELL2LNK n1	ELL2LNK n0

ELL2LNK n3	ELL2LNK n2	ELL2LNK n1	ELL2LNK n0	リンク先の選択
0	0	0	0	リンクなし
0	0	0	1	論理セルブロック L2 の論理セル 0 の入力 0 にリンク
0	0	1	0	論理セルブロック L2 の論理セル 0 の入力 1 にリンク
0	0	1	1	論理セルブロック L2 の論理セル 1 の入力 0 にリンク
0	1	0	0	論理セルブロック L2 の論理セル 1 の入力 1 にリンク
0	1	0	1	論理セルブロック L2 のセクタの選択制御にリンク
0	1	1	0	論理セルブロック L2 のセクタの入力 0 にリンク
0	1	1	1	論理セルブロック L2 のセクタの入力 1 にリンク
1	0	0	0	論理セルブロック L2 のフリップフロップ 0 の入力にリンク
1	0	0	1	論理セルブロック L2 のフリップフロップ 1 の入力にリンク
1	0	1	0	論理セルブロック L2 のフリップフロップ 0 のセット制御にリンク
1	0	1	1	論理セルブロック L2 のフリップフロップ 0 のリセット制御にリンク
上記以外				設定禁止

注意 1. ビット 7-4 には、必ず 0 を設定してください。

注意 2. イベント・リンク L2 信号選択ブロック 0-6 は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注意 3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.14 イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 4, 5)

ELL2LNKn レジスタは、イベント・リンク L2 信号選択レジスタ n (ELL2SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L2 に搭載されているフリップフロップのセット制御とリセット制御です。

ELL2LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 18 イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) (n = 4, 5) のフォーマット

アドレス : F06ACH (ELL2LNK4), F06ADH (ELL2LNK5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2LNKn	0	0	0	0	0	0	0	ELL2LNK n0

ELL2LNK5 レジスタ

ELL2LNK 50	論理セルブロック L2 のフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L2 のフリップフロップ 1 のリセット制御にリンク

ELL2LNK4 レジスタ

ELL2LNK 40	論理セルブロック L2 のフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L2 のフリップフロップ 1 のセット制御にリンク

注意1. ビット7-1には、必ず0を設定してください。

注意2. フリップフロップ0または1のセット制御とリセット制御に同じ信号を接続しないでください。

注意3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.15 イベント・リンク L2 出力選択レジスタ 6（ELL2LNK6）

ELL2LNK6 レジスタは、イベント・リンク L2 信号選択レジスタ 6（ELL2SEL6）で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L2 に搭載されているフリップフロップのクロックです。

ELL2LNK6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 19 イベント・リンク L2 出力選択レジスタ 6（ELL2LNK6）のフォーマット

アドレス : F06AEH (ELL2LNK6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL2LNK6	0	0	0	0	0	0	ELL2LNK 61	ELL2LNK 60
ELL2LNK 61	論理セルブロック L2 のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロック L2 のフリップフロップ 1 のクロックにリンク							
ELL2LNK 60	論理セルブロック L2 のフリップフロップのリンクを制御							
0	リンクなし							
1	論理セルブロック L2 のフリップフロップ 0 のクロックにリンク							

- 注意 1. ビット 7-2 には、必ず 0 を設定してください。
- 注意 2. 出力信号イネーブル設定レジスタ（ELOENCTL）で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.16 イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-3)

ELL3SELn レジスタは、論理セルブロック L3 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入力とセット制御、リセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

また、論理セルブロック L2 の出力信号も選択可能です。

ELL3SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 20 イベント・リンク L3 信号選択レジスタ n (ELL3SELn) (n = 0-3) のフォーマット (1/2)

アドレス : F06B0H (ELL3SEL0) -F06B3H (ELL3SEL3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3SELn	ELL3SEL nZ	0	0	ELL3SEL n4	ELL3SEL n3	ELL3SEL n2	ELL3SEL n1	ELL3SEL n0

ELL3SEL nZ	イベント信号の出力レベルの制御						
0	正論理出力						
1	負論理出力（反転）						

ELL3SEL n4	ELL3SEL n3	ELL3SEL n2	ELL3SEL n1	ELL3SEL n0	リンク対象を選択
0	0	0	0	0	選択なし（0 固定）
0	0	0	0	1	入力信号選択レジスタ 0 の選択信号をリンク対象に選択
0	0	0	1	0	入力信号選択レジスタ 1 の選択信号をリンク対象に選択
0	0	0	1	1	入力信号選択レジスタ 2 の選択信号をリンク対象に選択
0	0	1	0	0	入力信号選択レジスタ 3 の選択信号をリンク対象に選択
0	0	1	0	1	入力信号選択レジスタ 4 の選択信号をリンク対象に選択
0	0	1	1	0	入力信号選択レジスタ 5 の選択信号をリンク対象に選択
0	0	1	1	1	入力信号選択レジスタ 6 の選択信号をリンク対象に選択
0	1	0	0	0	入力信号選択レジスタ 7 の選択信号をリンク対象に選択
0	1	0	0	1	入力信号選択レジスタ 8 の選択信号をリンク対象に選択
0	1	0	1	0	入力信号選択レジスタ 9 の選択信号をリンク対象に選択
0	1	0	1	1	入力信号選択レジスタ 10 の選択信号をリンク対象に選択
0	1	1	0	0	入力信号選択レジスタ 11 の選択信号をリンク対象に選択
0	1	1	0	1	論理セルブロック L2 の出力信号 0 をリンク対象に選択
0	1	1	1	0	論理セルブロック L2 の出力信号 1 をリンク対象に選択
0	1	1	1	1	論理セルブロック L2 の出力信号 2 をリンク対象に選択
1	0	0	0	0	論理セルブロック L2 の出力信号 3 をリンク対象に選択

図24 - 20 イベント・リンク L3信号選択レジスタ n (ELL3SELn) (n = 0-3) のフォーマット (2/2)

ELL3SEL n4	ELL3SEL n3	ELL3SEL n2	ELL3SEL n1	ELL3SEL n0	リンク対象を選択
1	0	0	0	1	論理セルブロック L2 の出力信号 4 をリンク対象に選択
上記以外					設定禁止

注意1. ビット 6, 5 には、必ず 0 を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.17 イベント・リンクL3信号選択レジスタn (ELL3SELn) (n = 4, 5)

ELL3SELn レジスタは、論理セルブロック L3 に搭載されているフリップフロップのセット制御とリセット制御にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL3SELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 21 イベント・リンクL3信号選択レジスタn (ELL3SELn) (n = 4, 5) のフォーマット

アドレス : F06B4H (ELL3SEL4), F06B5H (ELL3SEL5)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3SELn	ELL3SEL nZ	0	0	0	0	ELL3SEL n2	ELL3SEL n1	ELL3SEL n0

ELL3SEL nZ	イベント信号の出力レベルの制御						
0	正論理出力						
1	負論理出力 (反転)						

ELL3SEL n2	ELL3SEL n1	ELL3SEL n0	リンク対象を選択
0	0	0	選択なし (0 固定)
0	0	1	入力信号選択レジスタ6の選択信号をリンク対象に選択
0	1	0	入力信号選択レジスタ7の選択信号をリンク対象に選択
0	1	1	入力信号選択レジスタ8の選択信号をリンク対象に選択
1	0	0	入力信号選択レジスタ9の選択信号をリンク対象に選択
1	0	1	入力信号選択レジスタ10の選択信号をリンク対象に選択
1	1	0	入力信号選択レジスタ11の選択信号をリンク対象に選択
上記以外			設定禁止

注意1. ビット6-3には、必ず0を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.18 イベント・リンクL3信号選択レジスタ6 (ELL3SEL6)

ELL3SEL6 レジスタは、論理セルブロック L3 に搭載されているフリップフロップのクロック信号にリンクするイベント信号を選択するレジスタです。

入力信号選択レジスタ n (ELISELn) で選択したイベント信号から選択します。

ELL3SEL6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 22 イベント・リンクL3信号選択レジスタ6 (ELL3SEL6) のフォーマット

アドレス : F06B6H (ELL3SEL6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3SEL6	ELL3SEL 6Z	0	0	0	0	ELL3SEL 62	ELL3SEL 61	ELL3SEL 60
ELL3SEL 6Z	イベント信号の出力レベルの制御							
0	正論理出力							
1	負論理出力 (反転)							
ELL3SEL 62	ELL3SEL 61	ELL3SEL 60	リンク対象を選択					
0	0	0	選択なし (0 固定)					
0	0	1	入力信号選択レジスタ 6 ^注 の選択信号をリンク対象に選択					
0	1	0	入力信号選択レジスタ 7 ^注 の選択信号をリンク対象に選択					
0	1	1	入力信号選択レジスタ 8 ^注 の選択信号をリンク対象に選択					
1	0	0	入力信号選択レジスタ 9 ^注 の選択信号をリンク対象に選択					
1	0	1	入力信号選択レジスタ 10 ^注 の選択信号をリンク対象に選択					
1	1	0	入力信号選択レジスタ 11 ^注 の選択信号をリンク対象に選択					
1	1	1	選択なし (0 固定)					

注 入力信号選択レジスタ 6-11 で、クロック信号を選択してください。

注意1. ビット 6-3 には、必ず 0 を設定してください。

注意2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.19 論理セルブロック L3 制御レジスタ (ELL3CTL)

ELL3CTL レジスタは、論理セルブロック L3 に搭載されている論理セルを選択します。

論理セルごとにスルー、AND 回路、OR 回路、EX-OR 回路から選択します。また、論理セルブロック L3 のフリップフロップ 0, 1 の動作許可／動作停止を選択します。

ELL3CTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 23 論理セルブロック L3 制御レジスタ (ELL3CTL) のフォーマット

アドレス : F06B7H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3CTL	ELL3T 31EN	ELL3T 30EN	0	0	ELL3T 111	ELL3T 110	ELL3T 101	ELL3T 100
論理セルブロック L3 のフリップフロップ 1 の動作許可／動作停止の選択								
0 フリップフロップの動作停止（フリップフロップはリセット状態）								
1 フリップフロップの動作許可								
論理セルブロック L3 のフリップフロップ 0 の動作許可／動作停止の選択								
0 フリップフロップの動作停止（フリップフロップはリセット状態）								
1 フリップフロップの動作許可								
論理セルブロック L3 の論理セル 1 で使用する論理セルの選択								
0 0 スルーを選択								
0 1 AND 回路を選択								
1 0 OR 回路を選択								
1 1 EX-OR 回路を選択								
論理セルブロック L3 の論理セル 0 で使用する論理セルの選択								
0 0 スルーを選択								
0 1 AND 回路を選択								
1 0 OR 回路を選択								
1 1 EX-OR 回路を選択								

注意 1. ビット 5, 4 には、必ず 0 を設定してください。

注意 2. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.20 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-3)

ELL3LNKn レジスタは、イベント・リンク L3 信号選択レジスタ n (ELL3SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L3 に搭載されている論理セル（スルー、AND 回路、OR 回路、EX-OR 回路）とセクタ、フリップフロップの入力信号とセット制御信号、リセット制御信号から選択します。

ELL3LNKn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 24 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 0-3) のフォーマット

アドレス : F06B8H (ELL3LNK0) -F06BBH (ELL3LNK3)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3LNKn	0	0	0	0	ELL3LNK n3	ELL3LNK n2	ELL3LNK n1	ELL3LNK n0

ELL3LNK n3	ELL3LNK n2	ELL3LNK n1	ELL3LNK n0	リンク先の選択
0	0	0	0	リンクなし
0	0	0	1	論理セルブロック L3 の論理セル 0 の入力 0 にリンク
0	0	1	0	論理セルブロック L3 の論理セル 0 の入力 1 にリンク
0	0	1	1	論理セルブロック L3 の論理セル 1 の入力 0 にリンク
0	1	0	0	論理セルブロック L3 の論理セル 1 の入力 1 にリンク
0	1	0	1	論理セルブロック L3 のセクタの選択制御にリンク
0	1	1	0	論理セルブロック L3 のセクタの入力 0 にリンク
0	1	1	1	論理セルブロック L3 のセクタの入力 1 にリンク
1	0	0	0	論理セルブロック L3 のフリップフロップ 0 の入力にリンク
1	0	0	1	論理セルブロック L3 のフリップフロップ 1 の入力にリンク
1	0	1	0	論理セルブロック L3 のフリップフロップ 0 のセット制御にリンク
1	0	1	1	論理セルブロック L3 のフリップフロップ 0 のリセット制御にリンク
上記以外				設定禁止

注意 1. ビット 7-4 には、必ず 0 を設定してください。

注意 2. イベント・リンク L3 信号選択ブロック 0-6 は、それぞれ異なる接続先を選択してください。同じ接続先を設定しないでください。

注意 3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.21 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 4, 5)

ELL3LNKn レジスタは、イベント・リンク L3 信号選択レジスタ n (ELL3SELn) で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L3 に搭載されているフリップフロップのセット制御とリセット制御です。

ELL3LNKn レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図 24 - 25 イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) (n = 4, 5) のフォーマット

アドレス : F06BCH (ELL3LNK4), F06BDH (ELL3LNK5)
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3LNKn	0	0	0	0	0	0	0	ELL3LNK n0

ELL3LNK5 レジスタ

ELL3LNK 50	論理セルブロック L3 にフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L3 のフリップフロップ 1 のリセット制御にリンク

ELL3LNK4 レジスタ

ELL3LNK 40	論理セルブロック L3 にフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L3 のフリップフロップ 1 のセット制御にリンク

- 注意 1. ビット 7-1 には、必ず 0 を設定してください。
- 注意 2. フリップフロップ 0 または 1 のセット制御とリセット制御に同じ信号を接続しないでください。
- 注意 3. 出力信号イネーブル設定レジスタ (ELOENCTL) で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.22 イベント・リンク L3 出力選択レジスタ 6（ELL3LNK6）

ELL3LNK6 レジスタは、イベント・リンク L3 信号選択レジスタ 6（ELL3SEL6）で選択したイベント信号のリンク先を指定するレジスタです。リンク先は論理セルブロック L3 に搭載されているフリップフロップのクロックです。

ELL3LNK6 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 26 イベント・リンク L3 出力選択レジスタ 6（ELL3LNK6）のフォーマット

アドレス : F06BEH (ELL3LNK6)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELL3LNK6	0	0	0	0	0	0	ELL3LNK 61	ELL3LNK 60

ELL3LNK 61	論理セルブロック L3 にフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L3 のフリップフロップ 1 のクロックにリンク

ELL3LNK 60	論理セルブロック L3 にフリップフロップのリンクを制御
0	リンクなし
1	論理セルブロック L3 のフリップフロップ 0 のクロックにリンク

- 注意 1. ビット 7-2 には、必ず 0 を設定してください。
- 注意 2. 出力信号イネーブル設定レジスタ（ELOENCTL）で“出力信号の出力許可”に設定している場合は、本レジスタの設定を変更しないでください。

24.3.23 出力信号選択レジスタ n (ELOSELn) (n = 0-7)

ELOSELn レジスタは、イベント受付側の周辺機能へ出力する信号を選択するレジスタです。

論理セルブロック L1-L3 の出力信号から選択します。

ELOSELn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 27 出力信号選択レジスタ n (ELOSELn) のフォーマット (1/2)

アドレス : F06C0H (ELOSEL0) -F06C7H (ELOSEL7)

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELOSELn	ELOSELnZ	0	0	0	ELOSELn3	ELOSELn2	ELOSELn1	ELOSELn0

ELOSELnZ	出力信号の出力レベルの制御
0	正論理出力
1	負論理出力 (反転)

ELOSELn3	ELOSELn2	ELOSELn1	ELOSELn0	出力信号の選択
0	0	0	0	選択なし
0	0	0	1	論理セルブロック L1 の出力信号 0 (論理セル 0 の出力) を選択
0	0	1	0	論理セルブロック L1 の出力信号 1 (論理セル 1 の出力) を選択
0	0	1	1	論理セルブロック L1 の出力信号 2 (セクタの出力) を選択
0	1	0	0	論理セルブロック L1 の出力信号 3 (フリップフロップ 0 の出力) を選択
0	1	0	1	論理セルブロック L1 の出力信号 4 (フリップフロップ 1 の出力) を選択
0	1	1	0	論理セルブロック L2 の出力信号 0 (論理セル 0 の出力) を選択
0	1	1	1	論理セルブロック L2 の出力信号 1 (論理セル 1 の出力) を選択
1	0	0	0	論理セルブロック L2 の出力信号 2 (セクタの出力) を選択
1	0	0	1	論理セルブロック L2 の出力信号 3 (フリップフロップ 0 の出力) を選択
1	0	1	0	論理セルブロック L2 の出力信号 4 (フリップフロップ 1 の出力) を選択
1	0	1	1	論理セルブロック L3 の出力信号 0 (論理セル 0 の出力) を選択

図24 - 27 出力信号選択レジスタ n (ELOSELn) のフォーマット (2/2)

ELOSELn3	ELOSELn2	ELOSELn1	ELOSELn0	出力信号の選択
1	1	0	0	論理セルブロック L3 の出力信号 1 (論理セル 1 の出力) を選択
1	1	0	1	論理セルブロック L3 の出力信号 2 (セレクタの出力) を選択
1	1	1	0	論理セルブロック L3 の出力信号 3 (フリップフロップ 0 の出力) を選択
1	1	1	1	論理セルブロック L3 の出力信号 4 (フリップフロップ 1 の出力) を選択

注意 ビット 6-4 には、必ず 0 を設定してください。

24.3.24 出力信号イネーブル設定レジスタ（ELOENCTL）

ELOENCTL レジスタは、ELOSELn レジスタで選択した信号の出力の許可／禁止を選択するレジスタです。
ELOENCTL レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図24 - 28 出力信号イネーブル設定レジスタ（ELOENCTL）のフォーマット

アドレス : F06C8H (ELOENCTL)
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ELOENCTL	ELOEN CTL7	ELOEN CTL6	ELOEN CTL5	ELOEN CTL4	ELOEN CTL3	ELOEN CTL2	ELOEN CTL1	ELOEN CTL0
	出力信号[n]の出力許可／禁止							
	0	出力信号の出力禁止						
	1	出力信号の出力許可 ^注						

注 イベント元の信号が、イベント先の周辺機能の動作に影響がない状態になっていることを確認したあと、“出力信号の出力許可”を設定してください。

表 24 - 7 に出力信号のイネーブル設定レジスタに対応するイベント受付側（周辺機能）を示します。

ELCL の出力信号は複数のリンク先へ接続されます。そのため、ELCL 出力信号を使用しない場合は、リンク先の入力選択で ELCL 出力信号を選択しないように設定してください。ELCL 出力信号の選択はリンク先の章を参照してください。

表24 - 7 出力信号のイネーブル設定レジスタに対応するイベント受付側（周辺機能）の接続

レジスタ名	イベント受付側					
	リンク先1	リンク先2	リンク先3	リンク先4	リンク先5	リンク先6
ELOENCTL. ELOENCTL0	—	—	イベントリンク割り込み (INTELCL) 注1	出力端子 (P00/EO00)	タイマRJ0カウント ソース	—
ELOENCTL. ELOENCTL1	—	出力端子 (P60/EO60)	DTC起動トリガ注1	—	タイマRJ1カウント ソース注2	—
ELOENCTL. ELOENCTL2	SAU0チャンネル0 シリアル・クロック 入力	出力端子 (P61/EO61)	SMS起動トリガ注1	—	—	—
ELOENCTL. ELOENCTL3	SAU0チャンネル1 シリアル・クロック 入力	TAU0チャンネル0 タイマ入力注3	—	出力端子 (P76/EO76)	—	—
ELOENCTL. ELOENCTL4	SAU0チャンネル0 受信データ入力	TAU0チャンネル1 タイマ入力注3	—	出力端子 (P77/EO77)	—	—
ELOENCTL. ELOENCTL5	SAU0チャンネル1 受信データ入力	—	—	出力端子 (P05/EO05)	A/Dコンバータ ハードウェア・ トリガ注1	UARTAクロック 入力 (UARTA0- UARTA3) 注4
ELOENCTL. ELOENCTL6	—	TAU0チャンネル5 タイマ入力注3	—	—	D/Aコンバータ0 ハードウェア・ トリガ注1	CTSUハードウェア・ トリガ注1
ELOENCTL. ELOENCTL7	—	—	—	出力端子 (P17/EO17)	D/Aコンバータ1 ハードウェア・ トリガ注1	TML32動作クロック、 キャプチャ・トリガ 注1

注1. ハードウェア・トリガでは、立ち上がりエッジをトリガとして検出します。

注2. フラッシュ・メモリ 256-512 KB の 44～64 ピン製品、80, 100 ピン製品のみ

注3. リンク先のタイマ・アレイ・ユニットの入力のハイ・レベル幅、ロウ・レベル幅は、 $1/f_{MCK} + 10\text{ ns}$ 以上必要となります。そのためELCL出力信号にあわせて、タイマ・クロック選択レジスタ0 (TPS0) で選択するタイマの動作クロック、およびノイズ・フィルタ許可レジスタ1 (NFEN1) で設定するノイズ・フィルタのON/OFFについて設定する必要があります。

注4. 44 ピン製品またはフラッシュ・メモリ 64-128 KB の 48～64 ピン製品: UARTA0, UARTA1 のみ

フラッシュ・メモリ 256-512 KB の 48～64 ピン製品 : UARTA0, UARTA1, UARTA2 のみ

80, 100 ピン製品 : UARTA0, UARTA1, UARTA2, UARTA3 をサポート

24.3.25 出力信号モニタレジスタ (ELOMONI)

ELOMONI レジスタは、ELOSELn (n = 0-7) レジスタで選択した出力信号 n をモニタするレジスタです。本レジスタをリードした際の、出力信号 n の信号レベルを読み出します。

ELOMONI レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 24 - 29 出力信号モニタレジスタ (ELOMONI) のフォーマット

アドレス : F06C9H
リセット時: 00H
R/W属性 : R

略号	7	6	5	4	3	2	1	0
ELOMONI	ELOMONI7	ELOMONI6	ELOMONI5	ELOMONI4	ELOMONI3	ELOMONI2	ELOMONI1	ELOMONI0
ELOMONIn	出力信号nの信号レベル							
0	信号レベルは0							
1	信号レベルは1							

注意 本レジスタの読み出しタイミングによっては、出力信号nの正しい値が読み出せない場合があります。その場合は、出力信号nの安定待ちを確認後に読み出してください。

24.3.26 ロジック&イベント・リンク・コントローラ入出力と端子を兼用するポートのポート機能を制御するレジスタ

ロジック&イベント・リンク・コントローラ入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.5 ポート出力モード・レジスタ (POMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

24.4 ELCLの動作

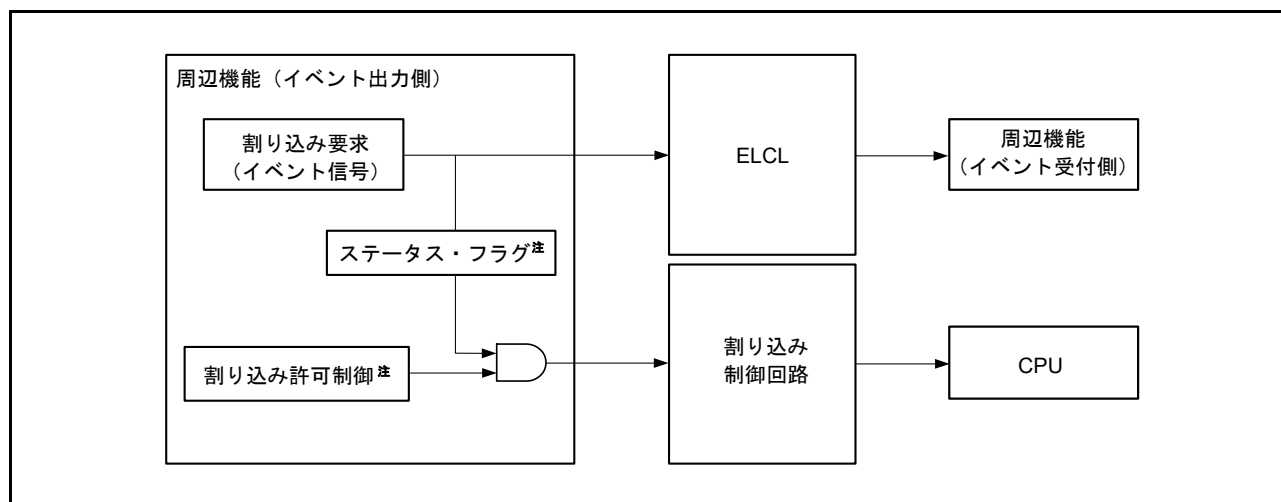
ELCLは周辺機能で発生するイベント信号を、論理セルブロックを介してイベント受付側周辺機能へ入力することで、用途にあわせた信号を作ることができます。論理セルブロックには、論理セル（スルー、AND回路、OR回路、EX-OR回路）、セレクタ、フリップフロップが搭載されています。

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCLのイベントとして使う経路が独立しています。したがって、ELCLのイベント信号として使用する割り込み要求信号は、割り込み機能の設定の影響を受けません。たとえば、割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）で割り込み処理禁止に設定されている割り込み要求信号でもELCLのイベント信号として使用することが可能です。

図24-30に割り込み処理とELCLの関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可／禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCLによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします。

図24-30 割り込み処理とELCLの関係



注 周辺機能によっては、搭載していません。

24.5 ELCLの設定手順

図 24 - 31 に ELCL の設定手順を示します。イベント出力側の周辺機能からの出力禁止かつイベント受付側の周辺機能の受付無効の状態から ELCL の各レジスタを設定します。また、⑪出力信号イネーブル設定レジスタを有効後にイベント受付側の周辺機能の受付を有効にし、イベント出力側の周辺機能からの出力を許可してください。

図 24 - 31 ELCLの設定手順



(1) ELCLの設定例 (OR回路)

ELCLの設定例としてOR回路の設定を図24 - 32に示します。また、レジスタ設定例を表24 - 8に示します。

図24 - 32 ELCL 設定例 (OR回路)

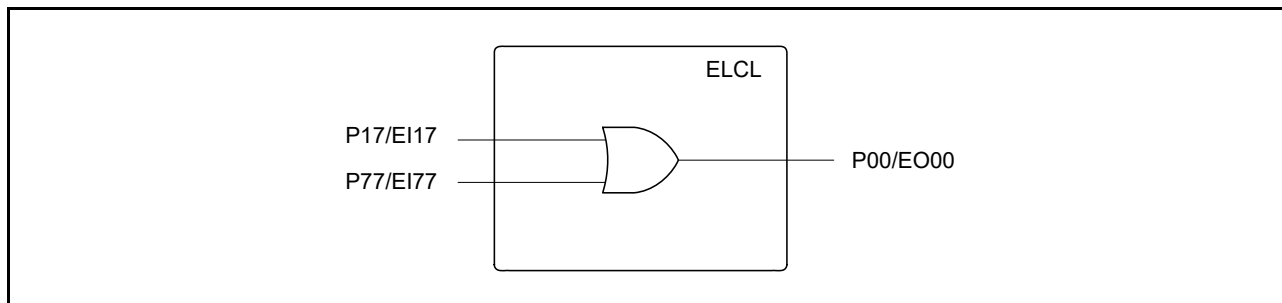


表24 - 8 ELCL設定レジスタ設定例 (OR回路)

No.	レジスタ呼称	レジスタ名	初期値	設定例	備考
1	PORT.PMCE0	—	00H	00H	P00 端子出力で ELCL 以外を選択
2	ELISEL0	入力信号選択レジスタ 0	00H	05H	P17/EI17 を選択した場合
2	ELISEL1	入力信号選択レジスタ 1	00H	10H	P77/EI77 を選択した場合
3	ELL1SEL0	イベント・リンク L1 信号選択レジスタ 0	00H	01H	入力信号セクタ 0 を選択
3	ELL1SEL1	イベント・リンク L1 信号選択レジスタ 1	00H	02H	入力信号セクタ 1 を選択
6	ELL1CTL	論理セルブロック L1 制御レジスタ	00H	02H	論理セル 0 の OR 回路を選択
9	ELL1LNK0	イベント・リンク L1 出力選択レジスタ 0	00H	01H	論理セルブロック L1 の 0 へリンク
9	ELL1LNK1	イベント・リンク L1 出力選択レジスタ 1	00H	02H	論理セルブロック L1 の 1 へリンク
10	ELOSEL0	出力信号選択レジスタ 0	00H	01H	論理セルブロック L1 の出力信号 [0] を選択
11	ELOENCTL	出力信号イネーブル設定レジスタ	00H	01H	[0] を出力許可。P00/EO00 へ出力
12	PORT.PMCE0	—	00H	01H	P00 端子出力で ELCL を選択

注意 1. No は、図24 - 31 ELCL の設定手順 (①～⑫) が対応します。

注意 2. No.2～No.10 の設定順番は入れ替え可能です。ただし、No.11 出力信号イネーブル設定レジスタ設定以降は、No.2～No.10 のレジスタの設定変更は禁止です。

(2) ELCLの設定例 (AND回路)

ELCLの設定例としてAND回路の設定を図24 - 33に示します。また、レジスタ設定例を表24 - 9に示します。

図24 - 33 ELCL 設定例 (AND回路)

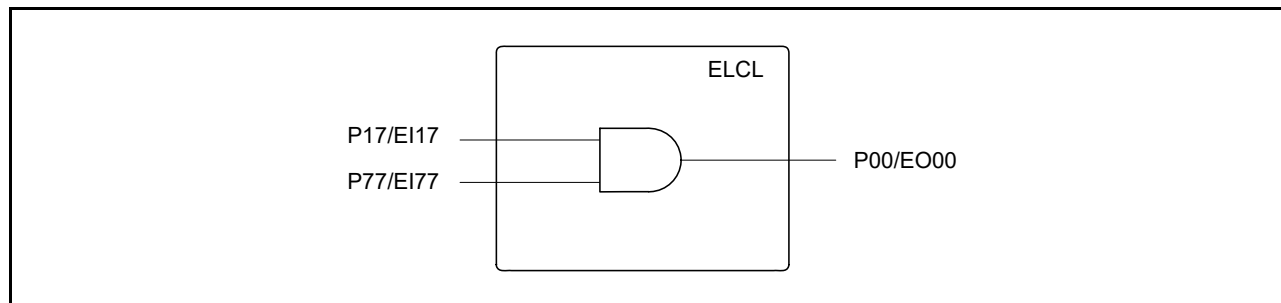


表24 - 9 ELCL設定レジスタ設定例 (AND回路)

No.	レジスタ呼称	レジスタ名	初期値	設定例	備考
1	PORT.PMCE0	—	00H	00H	P00 端子出力で ELCL 以外を選択
2	ELISEL0	入力信号選択レジスタ 0	00H	05H	P17/EI17 を選択した場合
2	ELISEL1	入力信号選択レジスタ 1	00H	10H	P77/EI77 を選択した場合
3	ELL1SEL0	イベント・リンク L1 信号選択レジスタ 0	00H	01H	入力信号セクタ 0 を選択
3	ELL1SEL1	イベント・リンク L1 信号選択レジスタ 1	00H	02H	入力信号セクタ 1 を選択
6	ELL1CTL	論理セルブロック L1 制御レジスタ	00H	01H	論理セル 0 の AND 回路を選択
9	ELL1LNK0	イベント・リンク L1 出力選択レジスタ 0	00H	01H	論理セルブロック L1 の 0 へリンク
9	ELL1LNK1	イベント・リンク L1 出力選択レジスタ 1	00H	02H	論理セルブロック L1 の 1 へリンク
10	ELOSEL0	出力信号選択レジスタ 0	00H	01H	論理セルブロック L1 の出力信号 [0] を選択
11	ELOENCTL	出力信号イネーブル設定レジスタ	00H	01H	[0] を出力許可。P00/EO00 へ出力
12	PORT.PMCE0	—	00H	01H	P00 端子出力で ELCL を選択

注意 1. No は、図24 - 31 ELCL の設定手順 (①～⑫) が対応します。

注意 2. No.2～No.10 の設定順番は入れ替え可能です。ただし、No.11 出力信号イネーブル設定レジスタ設定以降は、No.2～No.10 のレジスタの設定変更は禁止です。

24.6 ELCL 使用時の注意事項

- (1) SO00, SO01, TxD0, SCK00, SCK01, SCL00, SCL01, TxD A0, CLKA0, TO00-TO07 を ELCL の入力に選択し、端子に出力させたくない場合には、PFOEm レジスタの PFOEmn ビット ($m = 0, 1; n = 0-7$) に 0 を設定してください。詳細は、**第4章 ポート機能**を参照してください。
- (2) **表24-7**に示すように、ELCL の出力信号は複数の周辺機能へリンクされます。
ELCL 出力信号を使用しない場合は、リンク先の周辺機能の設定で ELCL 出力信号を選択しないように設定してください。
ELCL 出力信号の選択の方法はリンク先の周辺機能の章を参照してください。
- (3) 出力信号イネーブル設定レジスタ (ELOENCTL) に「出力信号の出力許可設定」後、下記レジスタの設定の変更はしないでください。
 - 入力信号選択レジスタ n (ELISELn) ($n = 0-11$)
 - イベント・リンク L1 信号選択レジスタ n (ELL1SELn) ($n = 0-3$)
 - イベント・リンク L1 信号選択レジスタ n (ELL1SELn) ($n = 4, 5$)
 - イベント・リンク L1 信号選択レジスタ 6 (ELL1SEL6)
 - 論理セルブロック L1 制御レジスタ (ELL1CTL)
 - イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) ($n = 0-3$)
 - イベント・リンク L1 出力選択レジスタ n (ELL1LNKn) ($n = 4, 5$)
 - イベント・リンク L1 出力選択レジスタ 6 (ELL1LNK6)
 - イベント・リンク L2 信号選択レジスタ n (ELL2SELn) ($n = 0-3$)
 - イベント・リンク L2 信号選択レジスタ n (ELL2SELn) ($n = 4, 5$)
 - イベント・リンク L2 信号選択レジスタ 6 (ELL2SEL6)
 - 論理セルブロック L2 制御レジスタ (ELL2CTL)
 - イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) ($n = 0-3$)
 - イベント・リンク L2 出力選択レジスタ n (ELL2LNKn) ($n = 4, 5$)
 - イベント・リンク L2 出力選択レジスタ 6 (ELL2LNK6)
 - イベント・リンク L3 信号選択レジスタ n (ELL3SELn) ($n = 0-3$)
 - イベント・リンク L3 信号選択レジスタ n (ELL3SELn) ($n = 4, 5$)
 - イベント・リンク L3 信号選択レジスタ 6 (ELL3SEL6)
 - 論理セルブロック L3 制御レジスタ (ELL3CTL)
 - イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) ($n = 0-3$)
 - イベント・リンク L3 出力選択レジスタ n (ELL3LNKn) ($n = 4, 5$)
 - イベント・リンク L3 出力選択レジスタ 6 (ELL3LNK6)
 - 出力信号選択レジスタ n (ELOSELn) ($n = 0-7$)
- (4) ELCL は複数の入力信号と論理セルブロックと出力制御回路を経て信号を出力します。論理セルブロック L1, L2, L3 の出力信号は、入力信号に対して遅延します。フリップフロップの出力信号は、クロック同期するためにイベント・リンク L1, L2, L3 信号選択ブロック 6 で選択したクロックの最大 1 クロック分遅延します。
また、入力信号のタイミングのズレにより、グリッチの発生や期待している出力が得られない場合がありますのでご注意ください。期待した出力が得られないことによりお客様システムに重大な問題が起きる可能性がある場合は ELCL の使用を中止していただくか、外部の回路で対策を行ってください。

第25章 割り込み機能

割り込み機能は、プログラム実行中に別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		44ピン	48ピン	52, 64ピン	80, 100ピン
マスカブル割り込み	外部	9	9	9	9
	内部	47	49	50	52

25.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティに従って処理されます。デフォルト・プライオリティについては、**表25-1**を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

25.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（**表25-1**参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表25 - 1 割り込み要因一覧 (1/4)

割り込みの処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
		名称	トリガ									
マスクابل	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75% + 1/4fL)	内部	00004H	(a)	○	○	○	○	○	○
	1	INTLVI	電圧検出 ^{注4}		00006H		○	○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(b)	○	○	○	○	○	○
	3	INTP1			0000AH		○	○	○	○	○	○
	4	INTP2			0000CH		○	○	○	○	○	○
	5	INTP3			0000EH		○	○	○	○	○	○
	6	INTP4			00010H		○	○	○	○	○	○
	7	INTP5			00012H		○	○	○	○	○	○
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了、バッファ空き割り込み/CSI20の転送完了、バッファ空き割り込み/IIC20の転送完了	内部	00014H	(a)	○	○	○	○	○	注5
		INTIT01	8ビット・インターバル・タイマ・チャンネル01のコンペアマッチ				○	○	○	○	○	○
	9	INTSR2/ INTCSI21/ INTIIC21	UART2受信の転送完了/CSI21の転送完了、バッファ空き割り込み/IIC21の転送完了		00016H		○	○	○	○	○	○
		INTIT41	8ビット・インターバル・タイマ・チャンネル41のコンペアマッチ				○	○	注6	注6	注6	注6
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○	○	○
		INTIT20	8ビット・インターバル・タイマ・チャンネル20のコンペアマッチ (8ビット/16ビット・タイマ動作時)				○	○	○	○	○	○
	11	INTELCL	イベントリンク割り込み		0001AH		○	○	○	○	○	○
	12	INTSMSE	SNOOZEモード・シーケンサからのイベント出力		0001CH		○	○	○	○	○	○
	13	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了、バッファ空き割り込み/CSI00の転送完了、バッファ空き割り込み/IIC00の転送完了		0001EH		○	○	○	○	○	○
		INTIT21	8ビット・インターバル・タイマ・チャンネル21のコンペアマッチ				○	○	○	○	○	○
	14	INTTM00	タイマ・チャンネル00のカウント完了またはキャプチャ完了		00020H		○	○	○	○	○	○
	15	INTSRE0	UART0受信の通信エラー発生		00022H		○	○	○	○	○	○
		INTTM01H	タイマ・チャンネル01のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)				○	○	○	○	○	○
		INTIT30	8ビット・インターバル・タイマ・チャンネル30のコンペアマッチ (8ビット/16ビット・タイマ動作時)				○	○	○	○	○	○
	16	INTST1/ INTCSI10/ INTIIC10	UART1送信の転送完了、バッファ空き割り込み/CSI10の転送完了、バッファ空き割り込み/IIC10の転送完了		00024H		○	○	○	○	○	○
		INTIT11	8ビット・インターバル・タイマ・チャンネル11のコンペアマッチ				○	○	○	○	○	○
	17	INTSR1/ INTCSI11/ INTIIC11	UART1受信の転送完了/CSI11の転送完了、バッファ空き割り込み/IIC11の転送完了		00026H		○	○	○	○	○	○
		INTIT61	8ビット・インターバル・タイマ・チャンネル61のコンペアマッチ				○	○	注6	注6	注6	注6

表25 - 1 割り込み要因一覧 (2/4)

割り込みの処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
		名称	トリガ									
マスカブル	18	INTSRE1	UART1受信の通信エラー発生	内部	00028H	(a)	○	○	○	○	○	○
		INTTM03H	タイマ・チャネル03のカウント完了またはキャプチャ完了 (上位8ビット・タイマ動作時)				○	○	○	○	○	○
		INTIT40	8ビット・インターバル・タイマ・チャネル40のコンペアマッチ (8ビット／16ビット・タイマ動作時)				○	○	注6	注6	注6	注6
	19	INTIICA0	IICA0通信完了		0002AH		○	○	○	○	○	○
	20	INTSR0/ INTCSI01/ INTIIC01	UART0受信の転送完了／CSI01の転送完了、バッファ空き割り 込み／IIC01の転送完了		0002CH		○	○	○	○	○	○
		INTIT51	8ビット・インターバル・タイマ・チャネル51のコンペアマッチ				○	○	注6	注6	注6	注6
	21	INTTM01	タイマ・チャネル01のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		0002EH		○	○	○	○	○	○
	22	INTTM02	タイマ・チャネル02のカウント完了またはキャプチャ完了		00030H		○	○	○	○	○	○
	23	INTTM03	タイマ・チャネル03のカウント完了またはキャプチャ完了 (16ビット／下位8ビット・タイマ動作時)		00032H		○	○	○	○	○	○
	24	INTAD	A/D変換終了		00034H		○	○	○	○	○	○
	25	INTRTC	リアルタイム・クロックの定周期信号／アラーム一致検出		00036H		○	○	○	○	○	○
	26	INTITL	32ビット・インターバル・タイマのインターバル信号検出		00038H		○	○	○	○	○	○
	27	INTKR	キー・リターン信号検出	外部	0003AH	(c)	○	○	○	○	○	○
	28	INTST3/ INTCSI30/ INTIIC30	UART3送信の転送完了、バッファ空き割り込み／CSI30の転送 完了、バッファ空き割り込み／IIC30の転送完了	内部	0003CH	(a)	○	○	○	○	注7	注7
		INTIT31	8ビット・インターバル・タイマ・チャネル31のコンペアマッチ				○	○	○	○	○	○
	29	INTSR3/ INTCSI31/ INTIIC31	UART3受信の転送完了／CSI31の転送完了、バッファ空き割り 込み／IIC31の転送完了		0003EH		○	○	○	注8	—	—
		INTIT71	8ビット・インターバル・タイマ・チャネル71のコンペアマッチ				○	○	注6	注6	注6	注6
	30	INTIT00	8ビット・インターバル・タイマ・チャネル00のコンペアマッチ (8ビット／16ビット・タイマ動作時)		00040H		○	○	○	○	○	○
	31	INTTM04	タイマ・チャネル04のカウント完了またはキャプチャ完了		00042H		○	○	○	○	○	○
	32	INTTM05	タイマ・チャネル05のカウント完了またはキャプチャ完了		00044H		○	○	○	○	○	○
		INTURE3	UARTA3受信の通信エラー発生				○	○	—	—	—	—
	33	INTTM06	タイマ・チャネル06のカウント完了またはキャプチャ完了		00046H		○	○	○	○	○	○
		INTIT50	8ビット・インターバル・タイマ・チャネル50のコンペアマッチ (8ビット／16ビット・タイマ動作時)				○	○	注6	注6	注6	注6
	34	INTTM07	タイマ・チャネル07のカウント完了またはキャプチャ完了		00048H		○	○	○	○	○	○
		INTIT60	8ビット・インターバル・タイマ・チャネル60のコンペアマッチ (8ビット／16ビット・タイマ動作時)				○	○	注6	注6	注6	注6

表25 - 1 割り込み要因一覧 (3/4)

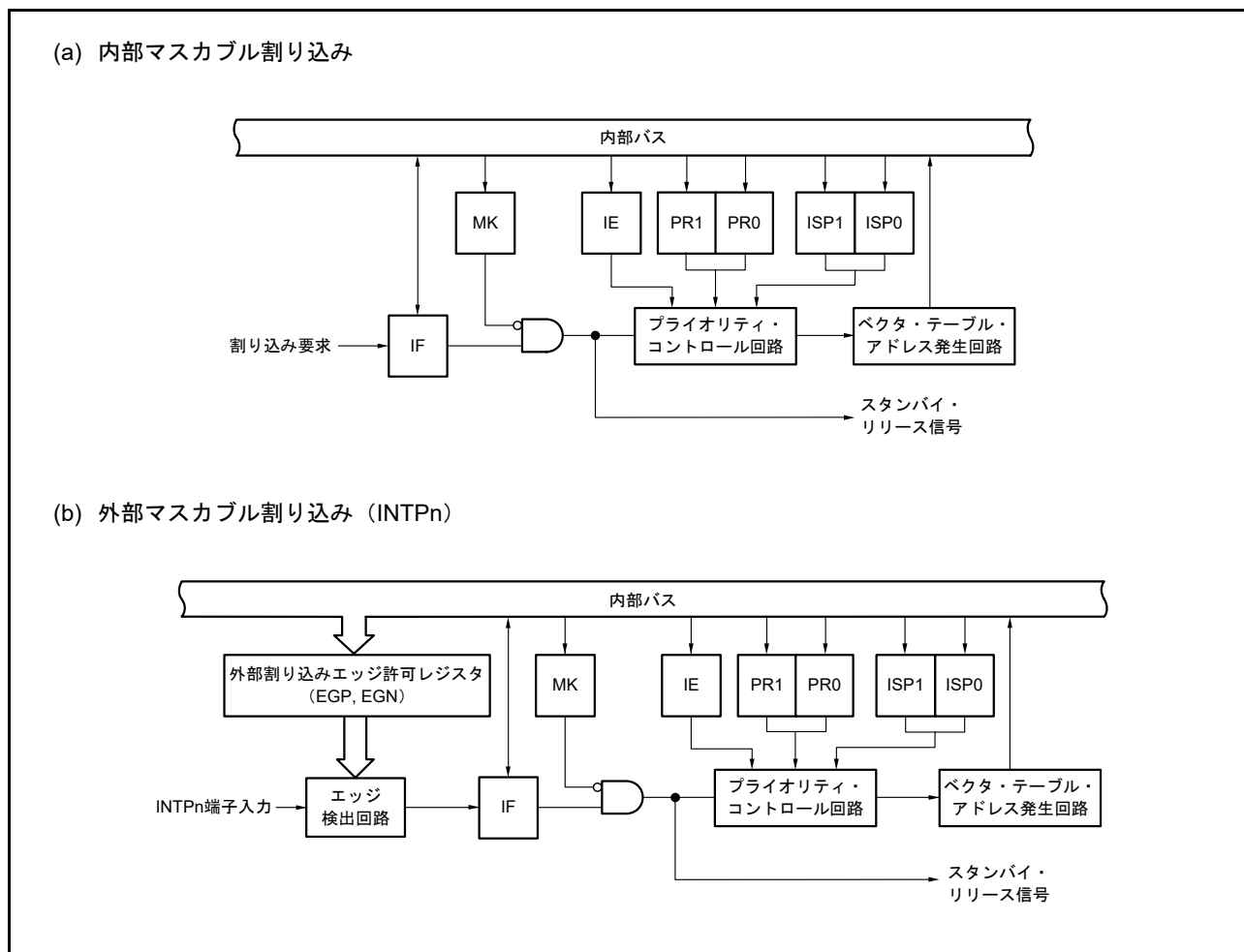
割り込みの処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
		名称	トリガ									
マスクابل	35	INTP6	端子入力エッジ検出	外部	0004AH	(b)	○	○	○	○	○	○
	36	INTP7			0004CH		○	○	○	○	○	○
	37	INTIT10	8ビット・インターバル・タイマ・チャンネル10のコンペアマッチ (8ビット／16ビット・タイマ動作時)	内部	0004EH		○	○	○	○	○	○
	38	INTOSDC	発振停止検出		00050H		○	○	○	○	○	○
	39	INTFL	予約		00052H		○	○	○	○	○	○
	40	INTCMP0	コンパレータ検出0		00054H		○	○	○	○	○	○
	41	INTCMP1	コンパレータ検出1		00056H		○	○	○	○	—	—
	42	INTURE0	UARTA0受信の通信エラー発生		00058H	(a)	○	○	○	○	○	○
		INTIT70	8ビット・インターバル・タイマ・チャンネル70のコンペアマッチ (8ビット／16ビット・タイマ動作時)				○	○	注6	注6	注6	注6
	43	INTURE1	UARTA1受信の通信エラー発生		0005AH		○	○	○	○	○	○
		INTTMKB1	16ビット・タイマKB41のカウント完了				○	○	注6	注6	注6	注6
	44	INTURE2	UARTA2受信の通信エラー発生		0005CH		○	○	注6	注6	注6	—
		INTTMKB2	16ビット・タイマKB42のカウント完了				○	○	注6	注6	注6	注6
	45	INTSRE3	UART3受信の通信エラー発生		0005EH		○	○	○	○	—	—
		INTTRJ1	タイマRJ1割り込み				○	○	注6	注6	注6	注6
	46	INTCTSUWR	CTSUチャンネルごとの設定レジスタ書き込み要求		00060H		○	○	○	○	○	○
	47	INTIICA1	IICA1通信完了		00062H		○	○	○	○	○	○
	48	INTCTSURD	CTSU計測データ転送要求		00064H		○	○	○	○	○	○
	49	INTCTSUFN	CTSU計測終了		00066H		○	○	○	○	○	○
	50	INTTRJ0	タイマRJ0割り込み		00068H		○	○	○	○	○	○
	51	INTUT0	UARTA0送信の転送完了、バッファ空き割り込み		0006AH		○	○	○	○	○	○
	52	INTUR0	UARTA0受信の転送完了		0006CH		○	○	○	○	○	○
	53	INTUT1	UARTA1送信の転送完了、バッファ空き割り込み		0006EH		○	○	○	○	○	○
	54	INTUR1	UARTA1受信の転送完了		00070H		○	○	○	○	○	○
	55	INTUT2	UARTA2送信の転送完了、バッファ空き割り込み		00072H		○	○	注6	注6	注6	—
	56	INTUR2	UARTA2受信の転送完了		00074H		○	○	注6	注6	注6	—
	57	INTUT3	UARTA3送信の転送完了、バッファ空き割り込み		00076H		○	○	—	—	—	—
	58	INTUR3	UARTA3受信の転送完了		00078H		○	○	—	—	—	—
	59	INTTMKB0	16ビット・タイマKB40のカウント完了		0007AH		○	○	○	○	○	○
	60	INTXSDD	外部サンプリングエッジ検出		0007CH		○	○	○	○	○	○

表25 - 1 割り込み要因一覧 (4/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン
		名称	トリガ									
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(d)	○	○	○	○	○	○
リセット	—	RESET	RESET端子入力	—	00000H	—	○	○	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○	○	○
		LVD	電圧検出				○	○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○	○
		TRAP	不正命令の実行				○	○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○	○

- 注1.** デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、60が最低順位です。
- 注2.** 基本構成タイプの (a) ～ (d) は、それぞれ図25 - 1の (a) ～ (d) に対応しています。
- 注3.** ユーザ・オプション・バイト (000C0H) のビット7 (WDTINT) = 1選択時。
- 注4.** 電圧検出レベル・レジスタ (LVIS) のビット6 (LVD1SEL) = 0選択時。または、ユーザ・オプション・バイト (000C1H) のビット6 (LVD0SEL) = 0選択時。
- 注5.** INTST2のみ
- 注6.** フラッシュ・メモリ 256-512 KB の製品のみ
- 注7.** INTIIC30のみ
- 注8.** INTSR3のみ

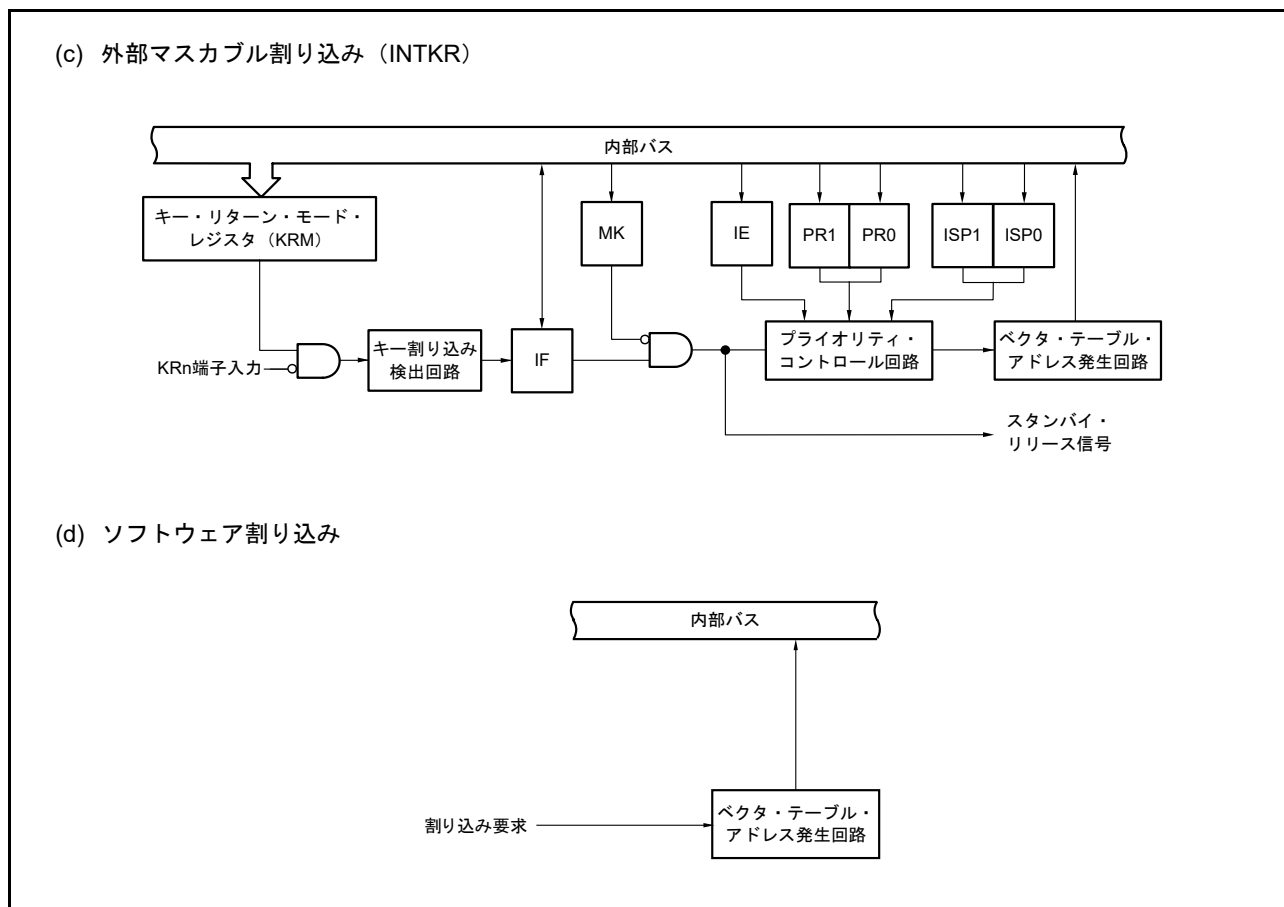
図25 - 1 割り込み機能の基本構成 (1/2)



- 備考1.** IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースビス・プライオリティ・フラグ0
 ISP1 : インサースビス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

備考2. n = 0-7

図25 - 1 割り込み機能の基本構成 (2/2)



- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサース・プライオリティ・フラグ0
 ISP1 : インサース・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

備考2. n = 0-7

25.3 割り込み機能を制御するレジスタ

割り込み機能を制御するレジスタを次に示します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- プログラム・ステータス・ワード (PSW)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

表 25 - 2 に各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を示します。

表25 - 2 割り込み要求ソースに対応する各種フラグ (1/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		100	80	64	52	48	44
		レジスタ		レジスタ		レジスタ	100	80	64	52	48	44
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○	○
INTLVI ^注	LVIIIF ^注		LVIMK ^注		LVIPR0, LVIPR1 ^注		○	○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○	○

注 LVD0, LVD1 どちらの割り込みが発生したかはLVIM レジスタのDLVD0F, DLVD1F フラグで確認できます。詳細は、**30.3.1 電圧検出レジスタ (LVIM)** を参照してください。

表25-2 割り込み要求ソースに対応する各種フラグ (2/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		ハ 100	ハ 80	ハ 60	ハ 52	ハ 48	ハ 44
	レジスタ		レジスタ		レジスタ							
INTST2 ^{注1}	STIF2 ^{注1}	IF0H	STMK2 ^{注1}	MK0H	STPR02, STPR12 ^{注1}	PR00H, PR10H	○	○	○	○	○	○
INTCSI20 ^{注1}	CSIF20 ^{注1}		CSIMK20 ^{注1}		CSIPR020, CSIPR120 ^{注1}		○	○	○	○	○	—
INTIIC20 ^{注1}	IICIF20 ^{注1}		IICMK20 ^{注1}		IICPR020, IICPR120 ^{注1}		○	○	○	○	○	—
INTIT01 ^{注1}	ITIF01 ^{注1}		ITMK01 ^{注1}		ITPR001, ITPR101 ^{注1}		○	○	○	○	○	○
INTSR2 ^{注2}	SRIF2 ^{注2}		SRMK2 ^{注2}		SRPR02, SRPR12 ^{注2}		○	○	○	○	○	○
INTCSI21 ^{注2}	CSIF21 ^{注2}		CSIMK21 ^{注2}		CSIPR021, CSIPR121 ^{注2}		○	○	○	○	○	○
INTIIC21 ^{注2}	IICIF21 ^{注2}		IICMK21 ^{注2}		IICPR021, IICPR121 ^{注2}		○	○	○	○	○	○
INTIT41 ^{注2}	ITIF41 ^{注2}		ITMK41 ^{注2}		ITPR041, ITPR141 ^{注2}		○	○	○	○	○	○
INTSRE2 ^{注3}	SREIF2 ^{注3}		SREMK2 ^{注3}		SREPR02, SREPR12 ^{注3}		○	○	○	○	○	○
INTIT20 ^{注3}	ITIF20 ^{注3}		ITMK20 ^{注3}		ITPR020, ITPR120 ^{注3}		○	○	○	○	○	○
INTELCL	ELCLIF		ELCLMK		ELCLPR0, ELCLPR1		○	○	○	○	○	○
INTSMSE	SMSEIF		SMSEMK		SMSEPR0, SMSEPR1		○	○	○	○	○	○
INTST0 ^{注4}	STIF0 ^{注4}		STMK0 ^{注4}		STPR00, STPR10 ^{注4}		○	○	○	○	○	○
INTCSI00 ^{注4}	CSIF00 ^{注4}		CSIMK00 ^{注4}		CSIPR000, CSIPR100 ^{注4}		○	○	○	○	○	○
INTIIC00 ^{注4}	IICIF00 ^{注4}		IICMK00 ^{注4}		IICPR000, IICPR100 ^{注4}		○	○	○	○	○	○
INTIT21 ^{注4}	ITIF21 ^{注4}		ITMK21 ^{注4}		ITPR021, ITPR121 ^{注4}		○	○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○	○
INTSRE0 ^{注5}	SREIF0 ^{注5}		SREMK0 ^{注5}		SREPR00, SREPR10 ^{注5}		○	○	○	○	○	○
INTTM01H ^{注5}	TMIF01H ^{注5}		TMMK01H ^{注5}		TMPR001H, TMPR101H ^{注5}		○	○	○	○	○	○
INTIT30 ^{注5}	ITIF30 ^{注5}		ITMK30 ^{注5}		ITPR030, ITPR130 ^{注5}		○	○	○	○	○	○

- 注1.** 割り込み要因INTST2, INTCSI20, INTIIC20, INTIT01のうち、いずれかが発生すると、IF0Hレジスタのビット0は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット0は、4つすべての割り込み要因に対応しています。
- 注2.** 割り込み要因INTSR2, INTCSI21, INTIIC21, INTIT41のうち、いずれかが発生すると、IF0Hレジスタのビット1は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット1は、4つすべての割り込み要因に対応しています。
- 注3.** UART2受信のエラー割り込み、INTIT20の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART2受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART2, INTIT20を同時に使用できます。割り込み要因INTSRE2, INTIT20のうち、どちらかが発生すると、IF0Hレジスタのビット2は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット2は、両方の割り込み要因に対応しています。
- 注4.** 割り込み要因INTST0, INTCSI00, INTIIC00, INTIT21のうち、いずれかが発生すると、IF0Hレジスタのビット5は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット5は、4つすべての割り込み要因に対応しています。
- 注5.** UART0受信のエラー割り込み、TAU0のチャネル1の割り込み（上位8ビット・タイマ動作時）、INTIT30の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART0, TAU0のチャネル1（上位8ビット・タイマ動作時）、INTIT30を同時に使用できます。割り込み要因INTSRE0, INTTM01H, INTIT30のうち、いずれかが発生すると、IF0Hレジスタのビット7は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット7は、3つすべての割り込み要因に対応しています。

表25 - 2 割り込み要求ソースに対応する各種フラグ (3/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		ハ 100	ハ 80	ハ 60	ハ 52	ハ 48	ハ 44
	レジスタ		レジスタ		レジスタ							
INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01, STPR11 ^{注1}	PR01L, PR11L	○	○	○	○	○	○
INTCSI10 ^{注1}	CSIF10 ^{注1}		CSIMK10 ^{注1}		CSIPR010, CSIPR110 ^{注1}		○	○	○	○	○	○
INTIIC10 ^{注1}	IICIF10 ^{注1}		IICMK10 ^{注1}		IICPR010, IICPR110 ^{注1}		○	○	○	○	○	○
INTIT11 ^{注1}	ITIF11 ^{注1}		ITMK11 ^{注1}		ITPR011, ITPR111 ^{注1}		○	○	○	○	○	○
INTSR1 ^{注2}	SRIF1 ^{注2}		SRMK1 ^{注2}		SRPR01, SRPR11 ^{注2}		○	○	○	○	○	○
INTCSI11 ^{注2}	CSIF11 ^{注2}		CSIMK11 ^{注2}		CSIPR011, CSIPR111 ^{注2}		○	○	○	○	○	○
INTIIC11 ^{注2}	IICIF11 ^{注2}		IICMK11 ^{注2}		IICPR011, IICPR111 ^{注2}		○	○	○	○	○	○
INTIT61 ^{注2}	ITIF61 ^{注2}		ITMK61 ^{注2}		ITPR061, ITPR161 ^{注2}		○	○	○	○	○	○
INTSRE1 ^{注3}	SREIF1 ^{注3}		SREMK1 ^{注3}		SREPR01, SREPR11 ^{注3}		○	○	○	○	○	○
INTTM03H ^{注3}	TMIF03H ^{注3}		TMMK03H ^{注3}		TMPR003H, TMPR103H ^{注3}		○	○	○	○	○	○
INTIT40 ^{注3}	ITIF40 ^{注3}		ITMK40 ^{注3}		ITPR040, ITPR140 ^{注3}		○	○	○	○	○	○
INTICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○
INTSR0 ^{注4}	SRIF0 ^{注4}		SRMK0 ^{注4}		SRPR00, SRPR10 ^{注4}		○	○	○	○	○	○
INTCSI01 ^{注4}	CSIF01 ^{注4}		CSIMK01 ^{注4}		CSIPR001, CSIPR101 ^{注4}		○	○	○	○	○	○
INTIIC01 ^{注4}	IICIF01 ^{注4}		IICMK01 ^{注4}		IICPR001, IICPR101 ^{注4}		○	○	○	○	○	○
INTIT51 ^{注4}	ITIF51 ^{注4}		ITMK51 ^{注4}		ITPR051, ITPR151 ^{注4}		○	○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○	○
INTRTC	RTCIF		RTCMK		RT CPR0, RT CPR1		○	○	○	○	○	○
INTITL	ITLIF		ITLMK		ITLPR0, ITPR1		○	○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○	○
INTST3 ^{注5}	STIF3 ^{注5}		STMK3 ^{注5}		STPR03, STPR13 ^{注5}		○	○	○	○	—	—
INTCSI30 ^{注5}	CSIF30 ^{注5}		CSIMK30 ^{注5}		CSIPR030, CSIPR130 ^{注5}		○	○	○	○	—	—
INTIIC30 ^{注5}	IICIF30 ^{注5}		IICMK30 ^{注5}		IICPR030, IICPR130 ^{注5}		○	○	○	○	○	○
INTIT31 ^{注5}	ITIF31 ^{注5}		ITMK31 ^{注5}		ITPR031, ITPR131 ^{注5}		○	○	○	○	○	○
INTSR3 ^{注6}	SRIF3 ^{注6}		SRMK3 ^{注6}		SRPR03, SRPR13 ^{注6}		○	○	○	○	—	—
INTCSI31 ^{注6}	CSIF31 ^{注6}		CSIMK31 ^{注6}		CSIPR031, CSIPR131 ^{注6}		○	○	○	—	—	—
INTIIC31 ^{注6}	IICIF31 ^{注6}		IICMK31 ^{注6}		IICPR031, IICPR131 ^{注6}		○	○	○	—	—	—
INTIT71 ^{注6}	ITIF71 ^{注6}		ITMK71 ^{注6}		ITPR071, ITPR171 ^{注6}		○	○	○	○	○	○
INTIT00	ITIF00		ITMK00		ITPR000, ITPR100		○	○	○	○	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○	○

注1. 割り込み要因INTST1, INTCSI10, INTIIC10, INTIT11のうち、いずれかが発生すると、IF1Lレジスタのビット0は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット0は、4つすべての割り込み要因に対応しています。

注2. 割り込み要因INTSR1, INTCSI11, INTIIC11, INTIT61のうち、いずれかが発生すると、IF1Lレジスタのビット1は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット1は、4つすべての割り込み要因に対応しています。

- 注3.** UART1受信のエラー割り込み、TAU0のチャネル3の割り込み（上位8ビット・タイマ動作時）、INTIT40の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない（EOC03 = 0）場合は、UART1、TAU0のチャネル3（上位8ビット・タイマ動作時）、INTIT40を同時に使用できます。割り込み要因INTSRE1, INTTM03H, INTIT40のうち、いずれかが発生すると、IF1Lレジスタのビット2は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット2は、3つすべての割り込み要因に対応しています。
- 注4.** 割り込み要因INTSR0, INTCSI01, INTIIC01, INTIT51のうち、いずれかが発生すると、IF1Lレジスタのビット4は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット4は、4つすべての割り込み要因に対応しています。
- 注5.** 割り込み要因INTST3, INTCSI30, INTIIC30, INTIT31のうち、いずれかが発生すると、IF1Hレジスタのビット4は1にセットされます。また、MK1H, PR01H, PR11Hレジスタのビット4は、4つすべての割り込み要因に対応しています。
- 注6.** 割り込み要因INTSR3, INTCSI31, INTIIC31, INTIT71のうち、いずれかが発生すると、IF1Hレジスタのビット5は1にセットされます。また、MK1H, PR01H, PR11Hレジスタのビット5は、4つすべての割り込み要因に対応しています。

表25 - 2 割り込み要求ソースに対応する各種フラグ (4/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		100ビット	80ビット	64ビット	52ビット	48ビット	44ビット
		レジスタ		レジスタ		レジスタ						
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPPR005, TMPPR105	PR02L, PR12L	○	○	○	○	○	○
INTURE3	UREIF3		UREMK3		UREPR03, UREPR13		○	○	—	—	—	—
INTTM06	TMIF06		TMMK06		TMPPR006, TMPPR106		○	○	○	○	○	○
INTIT50	ITIF50		ITMK50		ITPR050, ITPR150		○	○	○	○	○	○
INTTM07	TMIF07		TMMK07		TMPPR007, TMPPR107		○	○	○	○	○	○
INTIT60	ITIF60		ITMK60		ITPR060, ITPR160		○	○	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○	○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	○	○	○
INTIT10	ITIF10		ITMK10		ITPR010, ITPR110		○	○	○	○	○	○
INTOSDC	OSDIF		OSDMK		OSDPR0, OSDPR1		○	○	○	○	○	○
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○	○
INTCMP0	CMPIF0	IF2H	CMPMK0	MK2H	CMPPR00, CMPPR10	PR02H, PR12H	○	○	○	○	○	○
INTCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11		○	○	○	○	—	—
INTURE0 ^{注1}	UREIF0 ^{注1}		UREMK0 ^{注1}		UREPR00, UREPR10 ^{注1}		○	○	○	○	○	○
INTIT70 ^{注1}	ITIF70 ^{注1}		ITMK70 ^{注1}		ITPR070, ITPR170 ^{注1}		○	○	○	○	○	○
INTURE1 ^{注2}	UREIF1 ^{注2}		UREMK1 ^{注2}		UREPR01, UREPR11 ^{注2}		○	○	○	○	○	○
INTTMKB1 ^{注2}	TMKBIF1 ^{注2}		TMKBMK1 ^{注2}		TMKBPR01, TMKBPR11 ^{注2}		○	○	○	○	○	○
INTURE2 ^{注3}	UREIF2 ^{注3}		UREMK2 ^{注3}		UREPR02, UREPR12 ^{注3}		○	○	○	○	○	—
INTTMKB2 ^{注3}	TMKBIF2 ^{注3}		TMKBMK2 ^{注3}		TMKBPR02, TMKBPR12 ^{注3}		○	○	○	○	○	○
INTSRE3 ^{注4}	SREIF3 ^{注4}		SREMK3 ^{注4}		SREPR03, SREPR13 ^{注4}		○	○	○	○	—	—
INTTRJ1 ^{注4}	TRJIF1 ^{注4}		TRJMK1 ^{注4}		TRJPR01, TRJPR11 ^{注4}		○	○	○	○	○	○
INTCTSUWR	CTSUWRIF		CTSUWRMK		CTSUWRPR0, CTSUWRPR1		○	○	○	○	○	○
INTIICA1	IICAIF1		IICAMK1		IICAPR01, IICAPR11		○	○	○	○	○	○

注1. UARTA0受信のエラー割り込み、INTIT70の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。

UARTA0受信のエラー割り込みを使用しない (ISRMA0 = 1) 場合は、UARTA0, INTIT70を同時に使用できます。割り込み要因INTURE0, INTIT70のうち、どちらかが発生すると、IF2Hレジスタのビット2は1にセットされます。また、MK2H, PR02H, PR12Hレジスタのビット2は、両方の割り込み要因に対応しています。

注2. UARTA1受信のエラー割り込み、16ビット・タイマKB41のカウント完了の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。

UARTA1受信のエラー割り込みを使用しない (ISRMA1 = 1) 場合は、UARTA1, 16ビット・タイマKB41を同時に使用できます。割り込み要因INTURE1, INTTMKB1のうち、どちらかが発生すると、IF2Hレジスタのビット3は1にセットされます。また、MK2H, PR02H, PR12Hレジスタのビット3は、両方の割り込み要因に対応しています。

注3. UARTA2受信エラー割り込み、16ビット・タイマKB42のカウント完了割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。

UARTA2受信エラー割り込みを使用しない (ISRMA2 = 1) 場合は、URATA2, 16ビット・タイマKB42を同時に使用できます。割り込み要因INTURE2, INTTMKB2のうち、どちらかが発生すると、IF2Hレジスタのビット4は1にセットされます。またMK2H, PR02H, PR12Hはレジスタのビット4は、両方の割り込み要因に対応しています。

- 注4.** UART3受信のエラー割り込み、タイマRJ1の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART3受信のエラー割り込みを使用しない（EOC03 = 0）場合は、UART3、タイマRJ1を同時に使用できます。割り込み要因INTSRE3, INTTRJ1のうち、どちらかが発生すると、IF2Hレジスタのビット5は1にセットされます。また、MK2H, PR02H, PR12Hレジスタのビット5は、両方の割り込み要因に対応しています。

表25 - 2 割り込み要求ソースに対応する各種フラグ (5/5)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		100ビット	80ビット	64ビット	52ビット	48ビット	44ビット
		レジスタ		レジスタ		レジスタ						
INTCTSURD	CTSURDIF	IF3L	CTSURDMK	MK3L	CTSURDPR0, CTSURDPR1	PR03L, PR13L	○	○	○	○	○	○
INTCTSUFN	CTSUFNIF		CTSUFNMK		CTSUFNPR0, CTSUFNPR1		○	○	○	○	○	○
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10		○	○	○	○	○	○
INTUT0	UTIF0		UTMK0		UTPR00, UTPR10		○	○	○	○	○	○
INTUR0	URIF0		URMK0		URPR00, URPR10		○	○	○	○	○	○
INTUT1	UTIF1		UTMK1		UTPR01, UTPR11		○	○	○	○	○	○
INTUR1	URIF1		URMK1		URPR01, URPR11		○	○	○	○	○	○
INTUT2	UTIF2		UTMK2		UTPR02, UTPR12		○	○	○	○	○	—
INTUR2	URIF2	IF3H	URMK2	MK3H	URPR02, URPR12	PR03H, PR13H	○	○	○	○	○	—
INTUR3	URIF3		URMK3		URPR03, URPR13		○	○	—	—	—	—
INTUR3	URIF3		URMK3		URPR03, URPR13		○	○	—	—	—	—
INTTMKB0	TMKBIF0		TMKBMK0		TMKBPR00, TMKBPR10		○	○	○	○	○	○
INTEXSD	EXSDIF		EXSDMK		EXSDPR0, EXSDPR1		○	○	○	○	○	○

25.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行により 1 にセットされ、割り込み要求受付時、リセット信号発生時または命令の実行により 0 にクリアされるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、IF0L レジスタと IF0H レジスタ、IF1L レジスタと IF1H レジスタ、IF2L レジスタと IF2H レジスタ、IF3L レジスタと IF3H レジスタをあわせて 16 ビット・レジスタ IF0, IF1, IF2, IF3 として使用するとき、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図25-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット (1/2)

アドレス : FFFE0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDIIF

アドレス : FFFE1H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0H	SREIF0 TMIF01H ITIF30	TMIF00	STIF0 CSIF00 IICIF00 ITIF21	SMSEIF	ELCLIF	SREIF2 ITIF20	SRIF2 CSIF21 IICIF21 ITIF41	STIF2 CSIF20 IICIF20 ITIF01

アドレス : FFFE2H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF03	TMIF02	TMIF01	SRIF0 CSIF01 IICIF01 ITIF51	IICAIF0	SREIF1 TMIF03H ITIF40	SRIF1 CSIF11 IICIF11 ITIF61	STIF1 CSIF10 IICIF10 ITIF11

アドレス : FFFE3H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1H	TMIF04	ITIF00	SRIF3 CSIF31 IICIF31 ITIF71	STIF3 CSIF30 IICIF30 ITIF31	KRIF	ITLIF	RTCIF	ADIF

図25 - 2 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H）のフォーマット (2/2)

アドレス : FFFD0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2L	FLIF	PIF9 OSDIF	ITIF10	PIF7	PIF6	TMIF07 ITIF60	TMIF06 ITIF50	TMIF05 UREIF3

アドレス : FFFD1H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF2H	IICAIF1	CTSUWRIF	SREIF3 TRJIF1	UREIF2 TMKBIF2	UREIF1 TMKBIF1	UREIF0 ITIF70	CMPIF1	CMPIF0

アドレス : FFFD2H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF3L	UTIF2	URIF1	UTIF1	URIF0	UTIF0	TRJIF0	CTSUFNIF	CTSURDIF

アドレス : FFFD3H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
IF3H	0	0	0	EXSDIF	TMKBIF0	URIF3	UTIF3	URIF2

xxIFx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって搭載しているレジスタとビットは異なります。

各製品に搭載しているレジスタとビットについては、表25 - 2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

(注意は次ページに続きます)

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）のほかのビットの要求フラグがセット（1）されても、「mov IF0L, a」で0にクリアされます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

25.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、MK0L レジスタと MK0H レジスタ、MK1L レジスタと MK1H レジスタ、MK2L レジスタと MK2H レジスタ、MK3L レジスタと MK3H レジスタをあわせて 16 ビット・レジスタ MK0, MK1, MK2, MK3 として使用するとき、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図25-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット (1/2)

アドレス : FFFE4H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0H	SREMK0 TMMK01H ITMK30	TMMK00	STMK0 CSIMK00 IICMK00 ITMK21	SMSEMK	ELCLMK	SREMK2 ITMK20	SRMK2 CSIMK21 IICMK21 ITMK41	STMK2 CSIMK20 IICMK20 ITMK01

アドレス : FFFE6H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK03	TMMK02	TMMK01	SRMK0 CSIMK01 IICMK01 ITMK51	IICAMK0	SREMK1 TMMK03H ITMK40	SRMK1 CSIMK11 IICMK11 ITMK61	STMK1 CSIMK10 IICMK10 ITMK11

アドレス : FFFE7H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1H	TMMK04	ITMK00	SRMK3 CSIMK31 IICMK31 ITMK71	STMK3 CSIMK30 IICMK30 ITMK31	KRMK	ITLMK	RTCMK	ADMK

図25-3 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）のフォーマット (2/2)

アドレス : FFFD4H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2L	FLMK	OSDMK	ITMK10	PMK7	PMK6	TMMK07 ITMK60	TMMK06 ITMK50	TMMK05 UREMK3

アドレス : FFFD5H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK2H	IICAMK1	CTSUWRMK	SREMK3 TRJMK1	UREMK2 TMKBMK2	UREMK1 TMKBMK1	UREMK0 ITMK70	CMPMK1	CMPMK0

アドレス : FFFD6H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK3L	UTMK2	URMK1	UTMK1	URMK0	UTMK0	TRJMK0	CTSUFNMK	CTSURDMK

アドレス : FFFD7H

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
MK3H	1	1	1	EXSDMK	TMKBMK0	URMK3	UTMK3	URMK2

xxMKx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表25-2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

25.3.3 優先順位指定フラグ・レジスタ

(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、PR00L レジスタと PR00H レジスタ、PR01L レジスタと PR01H レジスタ、PR02L レジスタと PR02H レジスタ、PR03L レジスタと PR03H レジスタ、PR10L レジスタと PR10H レジスタ、PR11L レジスタと PR11H レジスタ、PR12L レジスタと PR12H レジスタ、PR13L レジスタと PR13H レジスタをあわせて 16 ビット・レジスタ PR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13 として使用するとき、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図 25 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット (1/4)

アドレス : FFFE8H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFECH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00H	SREPR00 TMPR001H ITPR030	TMPR000	STPR00 CSIPR000 IICPR000 ITPR021	SMSEPR0	ELCLPR0	SREPR02 ITPR020	SRPR02 CSIPR021 IICPR021 ITPR041	STPR02 CSIPR020 IICPR020 ITPR001

図25-4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット (2/4)

アドレス : FFFEDH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10H	SREPR10 TMPR101H ITPR130	TMPR100	STPR10 CSIPR100 IICPR100 ITPR121	SMSEPR1	ELCLPR1	SREPR12 ITPR120	SRPR12 CSIPR121 IICPR121 ITPR141	STPR12 CSIPR120 IICPR120 ITPR101

アドレス : FFFEAH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01L	TMPR003	TMPR002	TMPR001	SRPR00 CSIPR001 IICPR001 ITPR051	IICAPR00	SREPR01 TMPR003H ITPR040	SRPR01 CSIPR011 IICPR011 ITPR061	STPR01 CSIPR010 IICPR010 ITPR011

アドレス : FFFEEH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11L	TMPR103	TMPR102	TMPR101	SRPR10 CSIPR101 IICPR101 ITPR151	IICAPR10	SREPR11 TMPR103H ITPR140	SRPR11 CSIPR111 IICPR111 ITPR161	STPR11 CSIPR110 IICPR110 ITPR111

アドレス : FFFEBH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01H	TMPR004	ITPR000	SRPR03 CSIPR031 IICPR031 ITPR071	STPR03 CSIPR030 IICPR030 ITPR031	KRPR0	ITLPR0	RTCPR0	ADPR0

アドレス : FFFEFH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11H	TMPR104	ITPR100	SRPR13 CSIPR131 IICPR131 ITPR171	STPR13 CSIPR130 IICPR130 ITPR131	KRPR1	ITLPR1	RTCPR1	ADPR1

図25-4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット (3/4)

アドレス : FFFD8H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02L	FLPR0	OSDPR0	ITPR010	PPR07	PPR06	TMPR007 ITPR060	TMPR006 ITPR050	TMPR005 UREPR03

アドレス : FFFDCH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12L	FLPR1	OSDPR1	ITPR110	PPR17	PPR16	TMPR107 ITPR160	TMPR106 ITPR150	TMPR105 UREPR13

アドレス : FFFD9H

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR02H	IICAPR01	CTSUWRPR0	SREPR03 TRJPR01	UREPR02 TMKBPR02	UREPR01 TMKBPR01	UREPR00 ITPR070	CMPPR01	CMPPR00

アドレス : FFFDDH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR12H	IICAPR11	CTSUWRPR1	SREPR13 TRJPR11	UREPR12 TMKBPR12	UREPR11 TMKBPR11	UREPR10 ITPR170	CMPPR11	CMPPR10

アドレス : FFFDAH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR03L	UTPR02	URPR01	UTPR01	URPR00	UTPR00	TRJPR00	CTSUFNPR0	CTSURDPR0

アドレス : FFFDEH

リセット時: FFH

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR13L	UTPR12	URPR11	UTPR11	URPR10	UTPR10	TRJPR10	CTSUFNPR1	CTSURDPR1

図25 - 4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット (4/4)

アドレス : FFFDBH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
PR03H	1	1	1	EXSDPR0	TMKBPR00	URPR03	UTPR03	URPR02

アドレス : FFFDFH

リセット時: FFH

R/W属性 : R/W

略号	7	6	5	<4>	<3>	<2>	<1>	<0>
PR13H	1	1	1	EXSDPR1	TMKBPR10	URPR13	UTPR13	URPR12

xxPR1x	xxPR0x	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意 製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表25 - 2 割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

25.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP0, EGN0 レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図25-5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、
外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマット

アドレス : FFF38H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

表 25 - 3 に EGPn ビットと EGNn ビットに対応するポート（INTPx 端子）を示します。

表25 - 3 EGPnビットとEGNnビットに対応するポート（INTPx端子）

検出許可ビット		ポート（INTPx端子）	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
EGP0	EGN0	INTP0	○	○	○	○	○	○
EGP1	EGN1	INTP1	(○)	(○)	(○)	○	○	○
EGP2	EGN2	INTP2	(○)	(○)	○	○	○	○
EGP3	EGN3	INTP3	(○)	(○)	(○)	○	○	○
EGP4	EGN4	INTP4	(○)	(○)	(○)	(○)	(○)	○
EGP5	EGN5	INTP5	(○)	(○)	(○)	(○)	○	○
EGP6	EGN6	INTP6	○	○	○	○	○	○
EGP7	EGN7	INTP7	(○)	(○)	(○)	○	○	○

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は、エッジ検出禁止（EGPn = 0, EGNn = 0）にしてからポート・モード・レジスタ（PMxx）を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポートの端子機能を参照してください。

備考2. n = 0-7

備考3. () は、周辺I/Oリダイレクション・レジスタ（PIORx）の設定により、端子を割り当てることができます。詳細は、

4.3.10 周辺I/Oリダイレクション・レジスタ（PIORx）を参照してください。

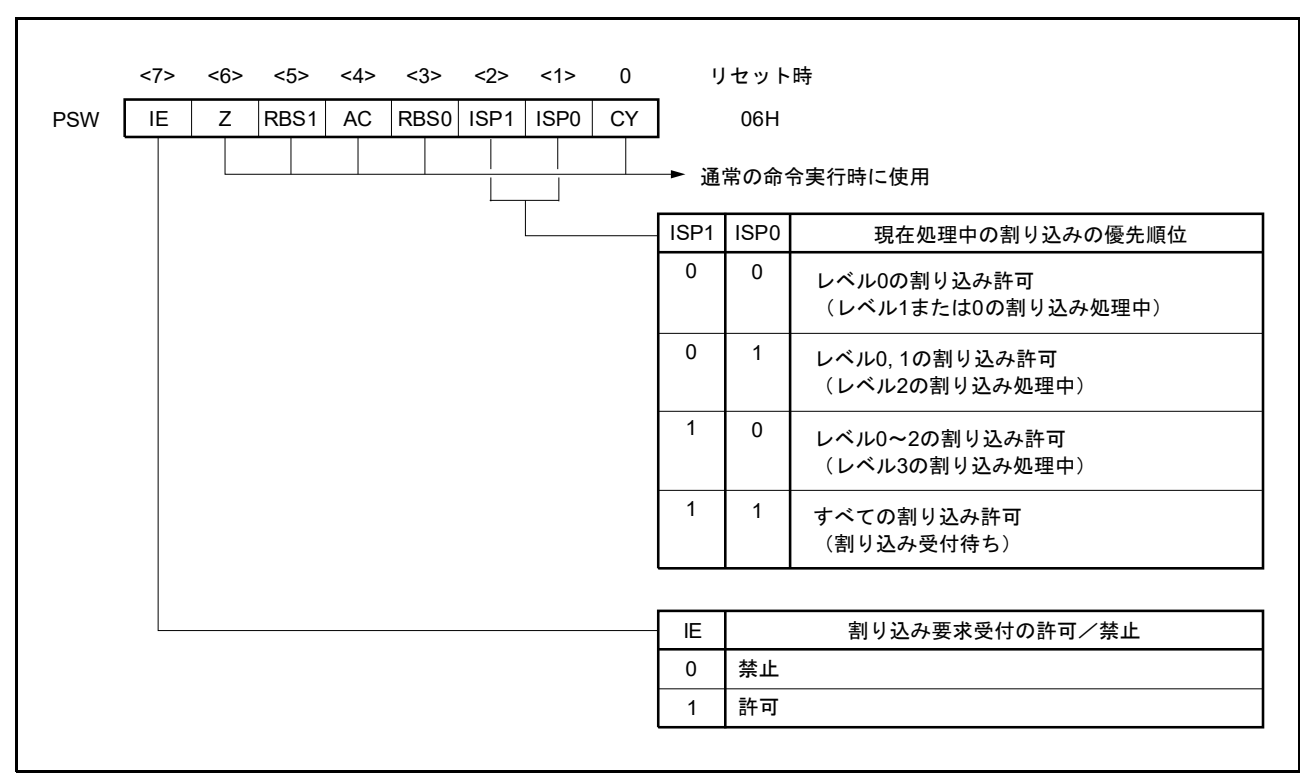
25.3.5 プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP1, ISP0 フラグがマッピングされています。

8 ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受付時および、BRK 命令実行時には、PSW の内容は自動的にスタックに退避され、IE フラグはリセット (0) されます。また、マスカブル割り込み要求受付時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が 00 以外は、- 1 された値が ISP1, ISP0 フラグに転送されます。PUSH PSW 命令によっても PSW の内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、06H になります。

図25 - 6 プログラム・ステータス・ワードの構成



25.3.6 割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールA・レジスタ (PMCAxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、4.3.1 ポート・モード・レジスタ (PMxx)、4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)、4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)、4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)、4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx) を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

25.4 割り込み処理動作

25.4.1 マスカブル割り込み要求の受付動作

マスカブル割り込み要求は、割り込み要求フラグが1にセットされ、その割り込み要求のマスク（MK）フラグが0にクリアされていると受付が可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IE フラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

表 25 - 4 にマスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの割り込み要求の受け付け時間を示します。

割り込み要求の受け付けタイミングについては、**図 25 - 8**、**図 25 - 9** を参照してください。

表25 - 4 マスカブル割り込み要求発生からベクタ割り込み処理までの時間

	最小時間	最大時間 ^注
割り込み要求の受け付け時間	9クロック	16クロック

注 内部RAM領域からの命令実行時は除きます。

備考 1クロック：1/fCLK（fCLK：CPUクロック周波数）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

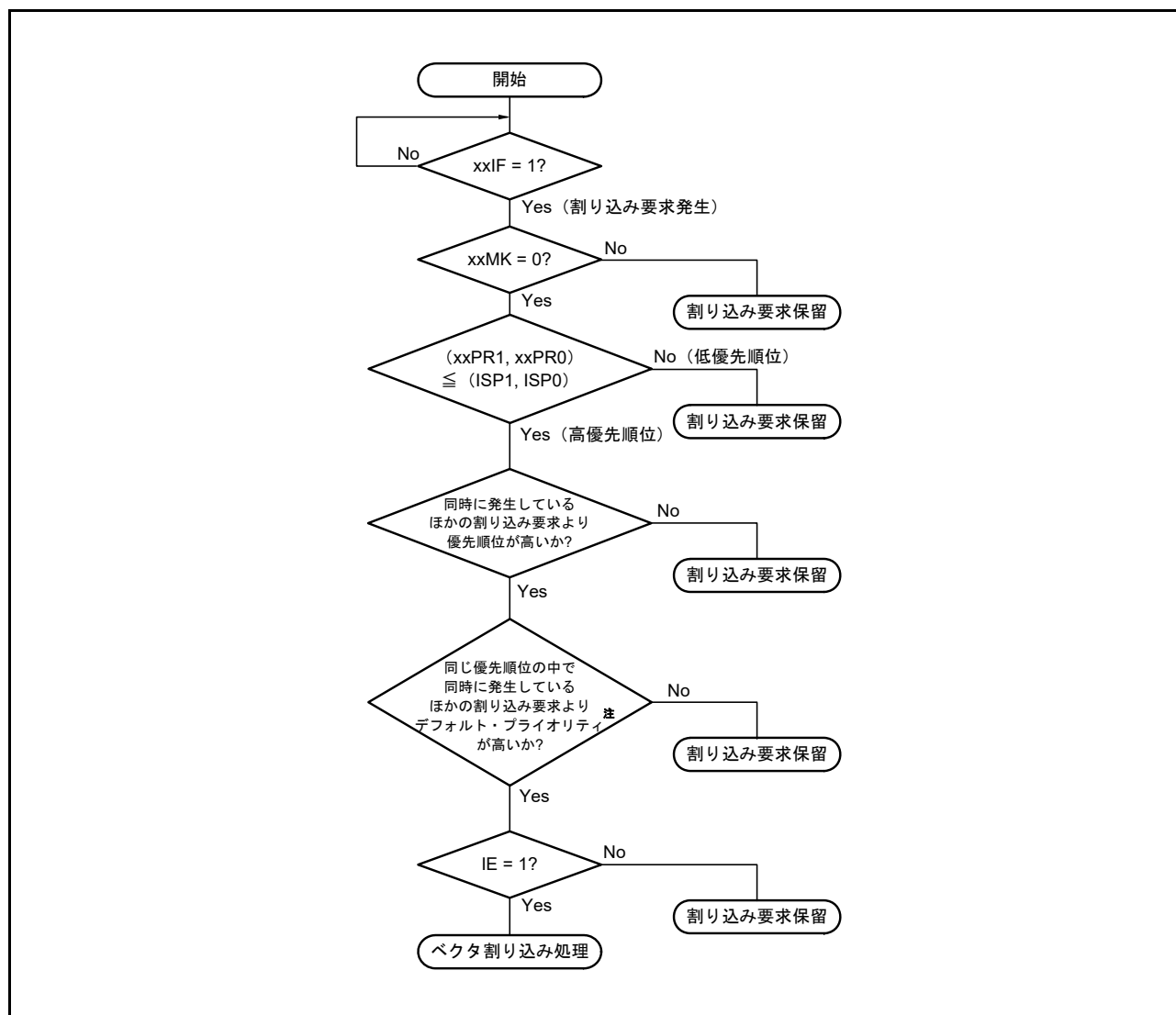
保留された割り込み要求は受付可能な状態になると受け付けられます。

図 25 - 7 に割り込み要求受け付けのアルゴリズムを示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IE フラグを0にリセットし、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0 フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI 命令によって、割り込みから復帰できます。

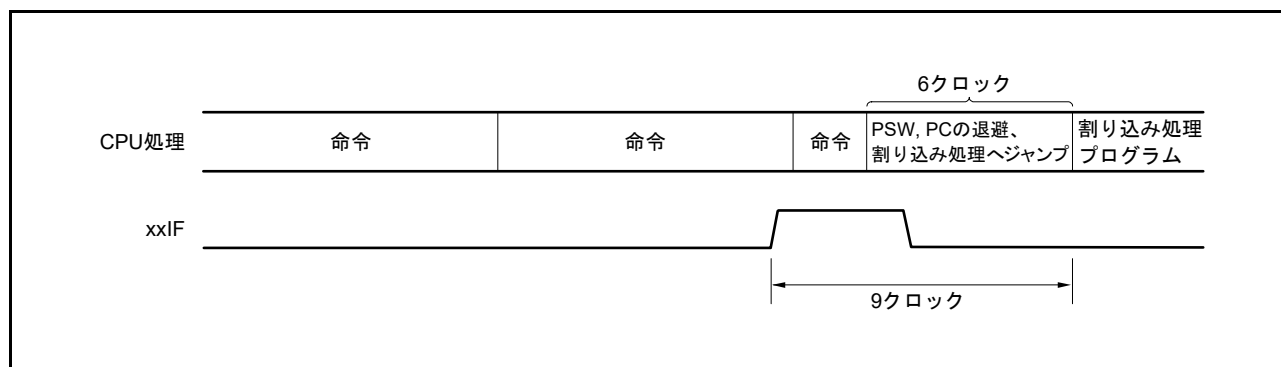
図25 - 7 割り込み要求受付処理アルゴリズム



注 デフォルト・プライオリティは、表25 - 1 割り込み要因一覧を参照してください。

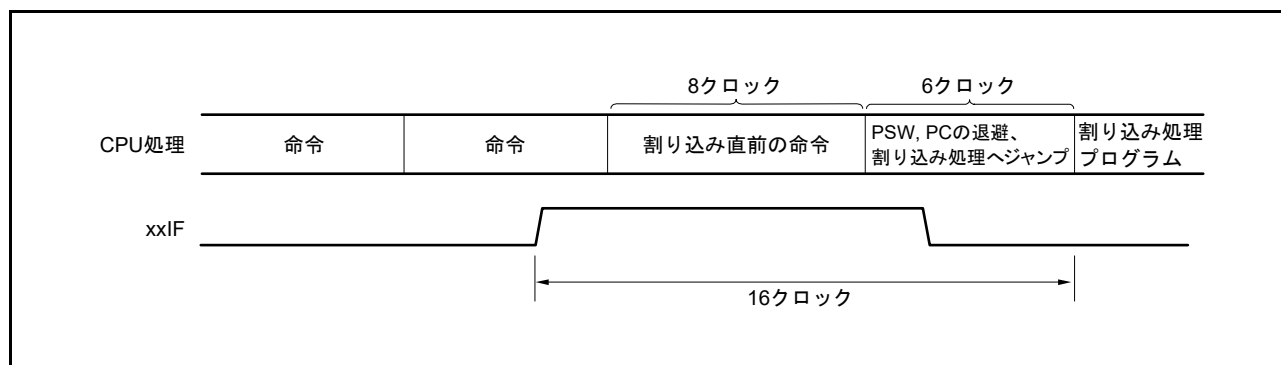
備考 xxIF : 割り込み要求フラグ
 xxMK : 割り込みマスク・フラグ
 xxPR0 : 優先順位指定フラグ0
 xxPR1 : 優先順位指定フラグ1
 IE : マスカブル割り込み要求の受付を制御するフラグ (1 = 許可、0 = 禁止)
 ISP1, ISP0 : 現在処理中の割り込みの優先順位を示すフラグ (図25 - 6参照)

図25 - 8 割り込み要求の受付タイミング（最小時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図25 - 9 割り込み要求の受付タイミング（最大時間）



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

25.4.2 ソフトウェア割り込み要求の受付動作

ソフトウェア割り込み要求は BRK 命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IE フラグを 0 にリセットし、ベクタ・テーブル (0007EH, 0007FH) の内容を PC にロードして分岐します。

RETB 命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰に RETI 命令は使用できません。

25.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受付許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受付禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中に EI 命令によって IE フラグを 1 にセットして、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の 2 つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただし、レベル 0 の割り込み中に IE フラグを 1 にセットした場合には、レベル 0 のほかの割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも 1 命令実行後に受け付けられます。

表 25 - 5 に多重割り込み可能な割り込み要求の関係、図 25 - 10 に多重割り込みの例を示します。

表25 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 マスカブル割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
処理中	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
受け付け待ち	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○

備考1. ○ : 多重割り込み可能。

備考2. × : 多重割り込み不可能。

備考3. ISP1, ISP0, IE は PSW に含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受付待ち (すべての割り込み許可)

IE = 0 : 割り込み要求受付禁止

IE = 1 : 割り込み要求受付許可

備考4. PR は PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H レジスタに含まれるフラグです。

PR = 00 : xxPR1x = 0, xxPR0x = 0 でレベル0を指定 (高優先順位)

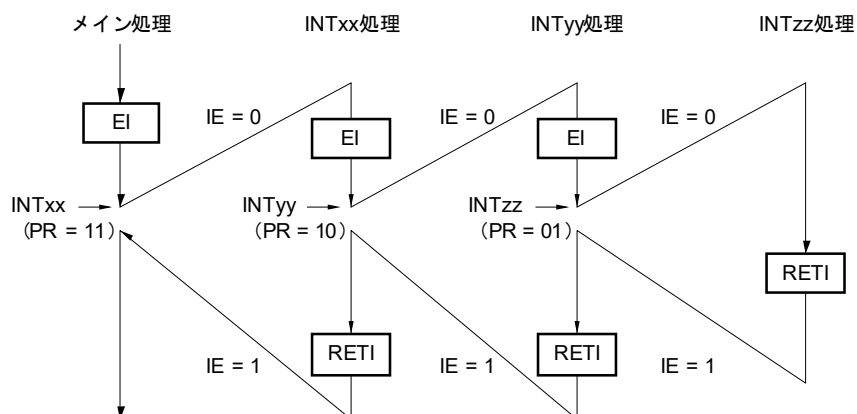
PR = 01 : xxPR1x = 0, xxPR0x = 1 でレベル1を指定

PR = 10 : xxPR1x = 1, xxPR0x = 0 でレベル2を指定

PR = 11 : xxPR1x = 1, xxPR0x = 1 でレベル3を指定 (低優先順位)

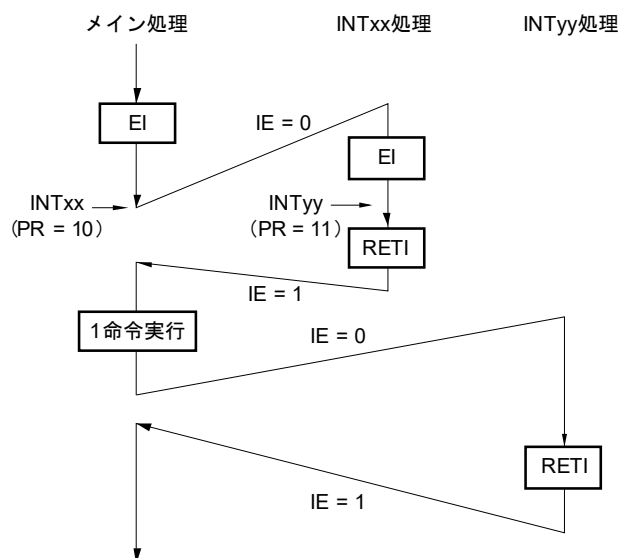
図25 - 10 多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受付の前には、必ずEI命令を発行し、割り込み要求受付許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例

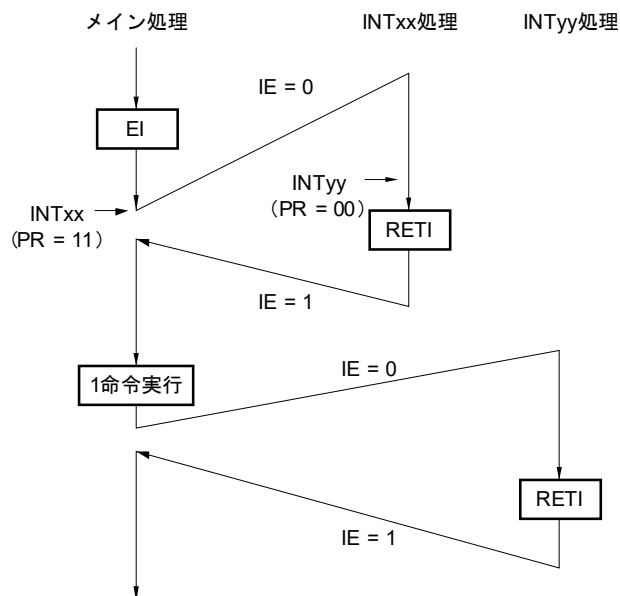


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- 備考**
- PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定 (高優先順位)
 - PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定
 - PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定
 - PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定 (低優先順位)
 - IE = 0 : 割り込み要求受付禁止
 - IE = 1 : 割り込み要求受付許可

図25 - 10 多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- 備考**
- PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定（高優先順位）
 - PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定
 - PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定
 - PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定（低優先順位）
 - IE = 0 : 割り込み要求受付禁止
 - IE = 1 : 割り込み要求受付許可

25.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受付を保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H レジスタの各レジスタに対する書き込み命令

図 25 - 11 に割り込み要求が保留されるタイミングを示します。

図 25 - 11 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

備考2. 命令M：割り込み要求の保留命令以外の命令

第26章 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	44ピン	48ピン	52ピン	64ピン	80, 100ピン
キー割り込み入力チャネル数	2チャネル	3チャネル	4チャネル	5チャネル	8チャネル

26.1 キー割り込みの機能

キー割り込み入力端子（KR0-KR7）に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み（INTKR）を発生させることができます。

表26 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0（KRM0）
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05
KR6	KRM06
KR7	KRM07

備考 KR6-KR7 : 44ピン製品
 KR5-KR7 : 48ピン製品
 KR4-KR7 : 52ピン製品
 KR0, KR4-KR7 : 64ピン製品
 KR0-KR7 : 80, 100ピン製品

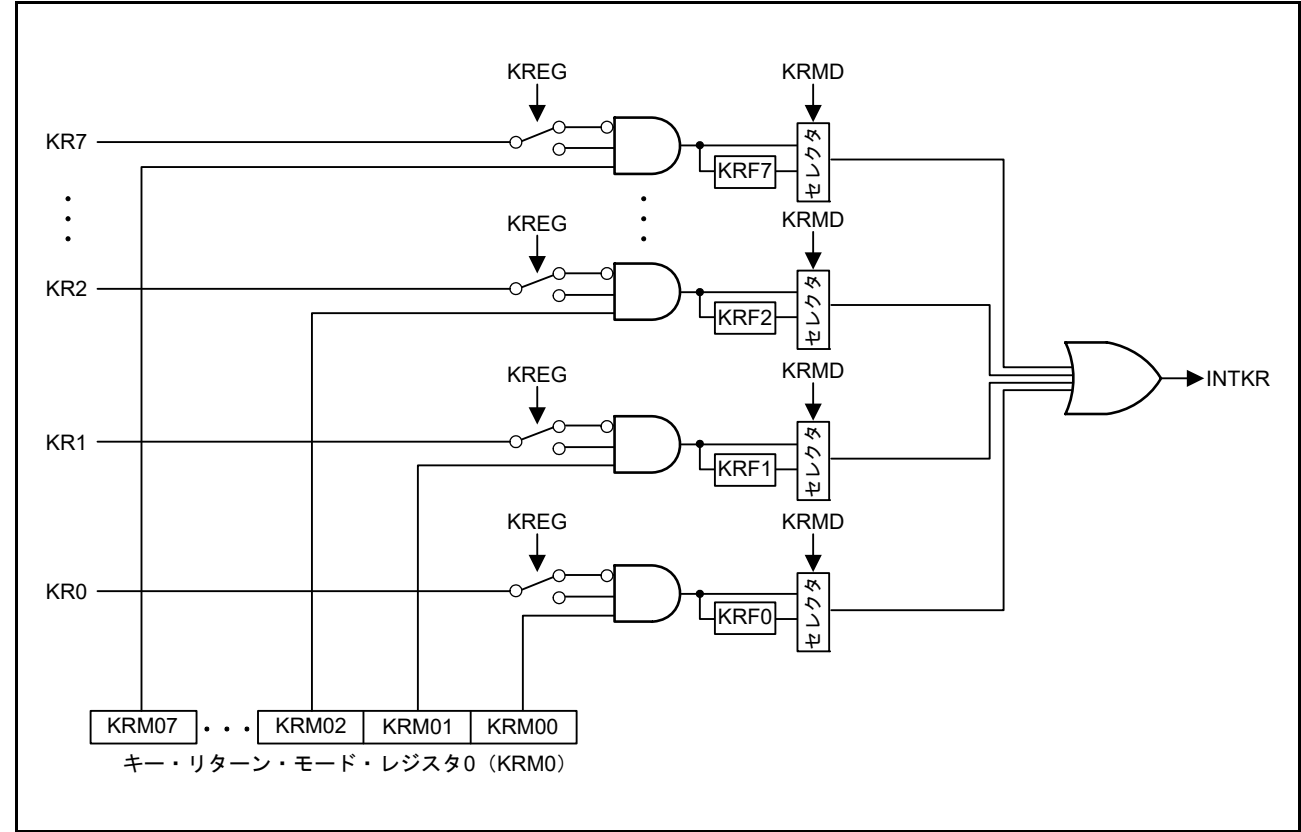
26.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表26 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	・キー・リターン・コントロール・レジスタ (KRCTL) ・キー・リターン・モード・レジスタ0 (KRM0) ・キー・リターン・フラグ・レジスタ (KRF) ・ポート・モード・レジスタ (PMxx) ・ポート・モード・コントロールT・レジスタ (PMCTxx) ・ポート・モード・コントロールE・レジスタ (PMCExx) ・LCDポート・ファンクション・レジスタ (PFSEGx)

図26 - 1 キー割り込みのブロック図



- 備考
- KR6-KR7 : 44ピン製品
 - KR5-KR7 : 48ピン製品
 - KR4-KR7 : 52ピン製品
 - KR0, KR4-KR7 : 64ピン製品
 - KR0-KR7 : 80, 100ピン製品

26.3 キー割り込みを制御するレジスタ

キー割り込みを制御するレジスタを次に示します。

- キー・リターン・コントロール・レジスタ (KRCTL)
- キー・リターン・モード・レジスタ0 (KRM0)
- キー・リターン・フラグ・レジスタ (KRF)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

26.3.1 キー・リターン・コントロール・レジスタ (KRCTL)

KRCTL レジスタは、キー・リターン・フラグ (KRF0-KRF7) の使用と検出エッジを設定するレジスタです。
KRCTL レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図26 - 2 キー・リターン・コントロール・レジスタ (KRCTL) のフォーマット

アドレス : FFF34H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
KRCTL	KRMD	0	0	0	0	0	0	KREG
KRMD	キー・リターン・フラグ (KRF0-KRF7) の使用							
0	キー・リターン・フラグを使用しない							
1	キー・リターン・フラグを使用する							
KREG	検出エッジの選択 (KR0-KR7)							
0	立ち下がリエッジ							
1	立ち上がりエッジ							

26.3.2 キー・リターン・モード・レジスタ0 (KRM0)

KRM0 レジスタは、KR0-KR7 信号を制御するレジスタです。

KRM0 レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図26-3 キー・リターン・モード・レジスタ0 (KRM0) のフォーマット

アドレス : FFF37H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
KRM0	KRM07	KRM06	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. 次のビットには、必ず0を設定してください。

44ピン製品 : ビット5-0

48ピン製品 : ビット4-0

52ピン製品 : ビット3-0

64ピン製品 : ビット3-1

注意2. キー割り込み入力端子のプルアップ抵抗オプション・レジスタ (PU7) の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。

注意3. キー割り込み入力端子にロウ・レベル (KREGビットに0を設定時) / ハイ・レベル (KREGビットに1を設定時) が入力されている状態で、KRM0 レジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0 レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅 (42.4 AC特性参照) を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

注意4. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考 n = 0-7

26.3.3 キー・リターン・フラグ・レジスタ（KRF）

KRF レジスタは、キー割り込みフラグ（KRF0-KRF7）を制御するレジスタです。

KRF レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図26-4 キー・リターン・フラグ・レジスタ（KRF）のフォーマット

アドレス : FFF35H

リセット時: 00H

R/W属性 : R/W^注

略号	7	6	5	4	3	2	1	0
KRF	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注 1の書き込みは無効になります。KRFnビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

備考 n = 0-7

26.3.4 キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

キー割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・モード・コントロールE・レジスタ（PMCExx）
- LCDポート・ファンクション・レジスタ（PFSEGx）

詳細は、4.3.1 ポート・モード・レジスタ（PMxx）、4.3.8 ポート・モード・コントロールT・レジスタ（PMCTxx）、4.3.9 ポート・モード・コントロールE・レジスタ（PMCExx）、4.3.16 LCDポート・ファンクション・レジスタ（PFSEGx）を参照してください。

ポート機能を制御するレジスタの設定例は、4.5.4 使用するポート機能および兼用機能のレジスタ設定例を参照してください。

第27章 スタンバイ機能

27.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

STOPモードを解除し、CPUを動作させることなく以下の周辺を動作させることができます。

詳細については、各章を参照してください。

- 第16章 A/Dコンバータ (ADC)
- 第19章 シリアル・アレイ・ユニット (SAU)
- 第23章 データ・トランスファ・コントローラ (DTC)
- 第34章 SNOOZEモード・シーケンサ (SMS)
- 第35章 静電容量センサユニット (CTSU2La)

CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます^注。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注 PSMCRレジスタにより、シャットダウン・モードに設定したメモリを除きます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ移行可能です。CPUがサブシステム・クロックで動作しているときは、STOP命令を実行しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも移行可能です。

注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください (SNOOZEモード機能を使用する周辺機能を除く)。

(注意は次ページに続きます)

注意3. 低速オンチップ・オシレータをHALT、STOPモード時に発振継続／停止するかは、オプション・バイトのWDTONとサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットで選択できます。

詳細は、6.1 クロック発生回路の機能、(2)サブシステム・クロック ② 低速オンチップ・オシレータ・クロックを参照してください。

27.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ（OSMC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- スタンバイ・モード解除設定レジスタ（WKUPMD）
- メモリ電力削減制御レジスタ（PSMCR）

備考 OSMC, OSTC, OSTSレジスタの詳細は、**第6章 クロック発生回路**を参照してください。

また、SNOOZEモード機能を制御するレジスタは、下記の章を参照してください。

- **第16章 A/Dコンバータ（ADC）**
- **第19章 シリアル・アレイ・ユニット（SAU）**
- **第23章 データ・トランスファ・コントローラ（DTC）**
- **第34章 SNOOZEモード・シーケンサ（SMS）**
- **第35章 静電容量センサユニット（CTSU2La）**

27.2.1 スタンバイ・モード解除設定レジスタ（WKUPMD）

WKUPMD レジスタは、スタンバイ・モード解除時の動作を設定するレジスタです。
WKUPMD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図27-1 スタンバイ・モード解除設定レジスタ（WKUPMD）のフォーマット

アドレス : F0215H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP
FWKUP	STOPモード解除およびSNOOZEモード遷移時の 高速オンチップ・オシレータ起動設定 ^{注1, 2}							
0	通常起動 ^{注3}							
1	高速起動 ^{注3, 4}							

- 注1.** CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。
- 注2.** リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。
- 注3.** 各起動時間については、**27.3.2 STOPモード**を参照してください。
なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第42章 電気的特性**を参照してください。
- 注4.** ユーザ・オプション・バイト（000C2H）のFRQSEL4ビットに0を設定している場合に使用可能です。

27.2.2 メモリ電力削減制御レジスタ（PSMCR）

RAM の電力削減モードを制御するレジスタです。RAM をシャットダウン・モードに設定することでリーク電流を低減することができます。シャットダウン・モードの RAM は電源供給を停止しますのでデータを保持しません。

PSMCR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 27 - 2 メモリ電力削減制御レジスタ（PSMCR）のフォーマット

アドレス : F0216H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	<1>	<0>
PSMCR	0	0	0	0	0	0	RAMSDMD	RAMSDS

RAMSDMD	RAMSDS	RAMの動作モード
0	0	通常モード（動作可能）
1	0	待機モード
1	1	シャットダウン・モード
上記以外		設定禁止

注意1. シャットダウン・モードはFF000H-FFEFFHのRAM以外が対象です。

FF000H-FFEFFHのRAMは動作可能であり、値を保持します。

注意2. 待機モードまたはシャットダウン・モードに設定しているときに対象のRAMにはアクセスしないでください。

注意3. シャットダウン・モードから通常モードに復帰した際、FF000H-FFEFFH以外のRAM領域は不定になります。

注意4. オンチップ・デバッグ動作では、RAMをシャットダウン・モードに設定してもFF000H-FFEFFH以外のRAMへのアクセスが可能です。また、オンチップ・デバッグ動作では、シャットダウン・モードから通常モードに復帰した際、FF000H-FFEFFH以外のRAM領域は不定になりません。

RAM の動作モードを通常モードからシャットダウン・モードへ移行する場合は、図 27 - 3 の処理を実行してください。

図 27 - 3 通常モードからシャットダウン・モードへの設定手順



RAM の動作モードをシャットダウン・モードから通常モードへ移行する場合は、図 27 - 4 の処理を実行してください。

図 27 - 4 シャットダウン・モードから通常モードへの設定手順



注意 シャットダウン・モードから通常モードに復帰した際、FF000H-FFEFFH以外のRAM領域は不定になります。使用するRAM領域を初期化してください。

27.3 スタンバイ機能の動作

27.3.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

注意 割り込みマスク・フラグが0（割り込み処理許可）でかつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表27-1および表27-2にHALTモード時の動作状態を示します。

表27-1 HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合）（1/2）

項目 \ HALTモードの設定			メイン・システム・クロックでCPU動作中のHALT命令実行時			
			高速オンチップ・オシレータ・クロック (fiH) でCPU動作時	中速オンチップ・オシレータ・クロック (fiM) でCPU動作時	X1クロック (fx) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
メイン・システム・クロック	fiH	動作継続（停止不可）	動作禁止			
	fiM	動作禁止	動作継続（停止不可）	動作禁止		
	fx	動作禁止		動作継続（停止不可）	動作不可	
	fEX			動作不可	動作継続（停止不可）	
	サブシステム・クロック		fxT	HALTモード設定前の状態を継続 ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 （サブシステム・クロックX, XR（fsx, fsxR）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止		
	fEXS					
	fiL					
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ						
RAM			動作停止（DTC、SMS実行時は動作可能）			
ポート（ラッチ）			HALTモード設定前の状態を継続（DTC、SMS、ELCL実行時は動作可能）			
タイマ・アレイ・ユニット			動作可能			
タイマRJ			動作可能			
16ビット・タイマKB40, KB41, KB42			動作可能			
RTC			動作可能			
8ビット・インターバル・タイマ			動作可能			
32ビット・インターバル・タイマ			動作可能			
外部サンプリング			サブシステム・クロック動作時のみ動作可能			
ウォッチドッグ・タイマ			第15章 ウォッチドッグ・タイマ（WDT）参照			

表27-1 HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合）（2/2）

項目	HALTモードの設定	メイン・システム・クロックでCPU動作中のHALT命令実行時			
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
クロック出力／ブザー出力		動作可能			
A/Dコンバータ					
D/Aコンバータ					
コンパレータ					
シリアル・アレイ・ユニット					
シリアル・インタフェースIICA					
シリアル・インタフェースUARTA					
LCDコントローラ／ドライバ		動作可能（ただし、LCDソース・クロックとして選択したクロックの状態に従う（選択クロックが動作中なら動作可能、停止中なら動作停止））			
データ・トランスファ・コントローラ (DTC)		動作可能			
SNOOZEモード・シーケンサ (SMS)					
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
発振停止検出		動作可能（f _{IL} 発振時のみ）			
外部割り込み		動作可能			
キー割り込み機能					
静電容量センサユニット (CTS2La) 注					
CRC演算機能	高速CRC				
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能			
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器		動作可能			

注 静電容量センサユニット (CTS2La) の計測精度は、動作クロックの精度に依存します。CTS2Laを使用する場合は、CPU／周辺ハードウェア・クロック (f_{CLK}) として、高速オンチップ・オシレータ・クロック (f_{IH}) または高速システム・クロック (f_{MX}) を選択することを推奨します。

備考1. 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

備考2. f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IM} : 中速オンチップ・オシレータ・クロック

f_{EX} : 外部メイン・システム・クロック

f_{EXS} : 外部サブシステム・クロック

f_{IL} : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{XT} : XT1クロック

表27-2 HALTモード時の動作状態 (2) (1/2)

項目 \ HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時		
			XT1クロック (fXT) で CPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時	低速オンチップ・オシレータ・ クロック (fIL) でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
メイン・システム・ クロック	fIH	fIH	動作禁止		
		fIM			
		fX			
		fEX			
	サブシステム・クロック	fXT	動作継続 (停止不可)	動作不可	動作禁止
		fEXS	動作不可	動作継続 (停止不可)	動作禁止
		fIL	ユーザ・オプション・バイト (000C0H) のWDSTBYON, WDTON ビットおよびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 (サブシステム・クロックX, XR (fSX, fSXR) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつ WDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつ WDSTBYON = 0のとき : 停止		動作継続 (停止不可)
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM			動作停止 (DTC、SMS実行時は動作可能)		
ポート (ラッチ)			HALTモード設定前の状態を継続 (DTC、SMS、ELCL実行時は動作可能)		
タイマ・アレイ・ユニット			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
タイマRJ			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		
16ビット・タイマKB40, KB41, KB42			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		
RTC			動作可能		
8ビット・インターバル・タイマ			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		
32ビット・インターバル・タイマ			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
外部サンプリング			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		
ウォッチドッグ・タイマ			第15章 ウォッチドッグ・タイマ (WDT) 参照		
クロック出力／ブザー出力			動作可能		
A/Dコンバータ			動作禁止		
D/Aコンバータ			HALTモード設定前の状態を継続 (RTCLPC = 0かつDTC、SMS、ELCL実行時は動作可能)		
コンパレータ			動作可能 (RTCLPC = 0またはデジタルフィルタ未使用時)		動作可能
シリアル・アレイ・ユニット			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
シリアル・インタフェースIICA			動作禁止		
シリアル・インタフェースUARTA			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
LCDコントローラ／ドライバ			動作可能 (ただし、LCDソース・クロックとして選択したクロックの状態に従う (選択クロックが動作中なら動作可能、停止中なら動作停止))		
データ・トランスファ・コントローラ (DTC)			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能
SNOOZEモード・シーケンサ (SMS)			RTCLPC = 0のときは動作可能 (それ以外は動作禁止)		動作可能

表27-2 HALTモード時の動作状態 (2) (2/2)

HALTモードの設定 項目		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック（fXT）で CPU動作時	外部サブシステム・クロック （fEXS）でCPU動作時	低速オンチップ・オシレータ・ クロック（fIL）でCPU動作時
ロジック&イベント・リンク・コントローラ （ELCL）		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
発振停止検出		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		
外部割り込み		動作可能		
キー割り込み機能				
静電容量センサユニット（CTS2La）注		動作禁止		
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能		
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能		
RAMパリティ・チェック機能				
RAMガード機能				
SFRガード機能				
真性乱数発生器		動作可能		

注 静電容量センサユニット (CTS2La) の計測精度は、動作クロックの精度に依存します。CTS2Laを使用する場合は、CPU/周辺ハードウェア・クロック (fCLK) に、高速オンチップ・オシレータ・クロック (fIH) または高速システム・クロック (fMX) を選択することを推奨します。

備考1. 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

備考2. fIH : 高速オンチップ・オシレータ・クロック

fIM : 中速オンチップ・オシレータ・クロック

fEX : 外部メイン・システム・クロック

fEXS : 外部サブシステム・クロック

fIL : 低速オンチップ・オシレータ・クロック

fX : X1クロック

fXT : XT1クロック

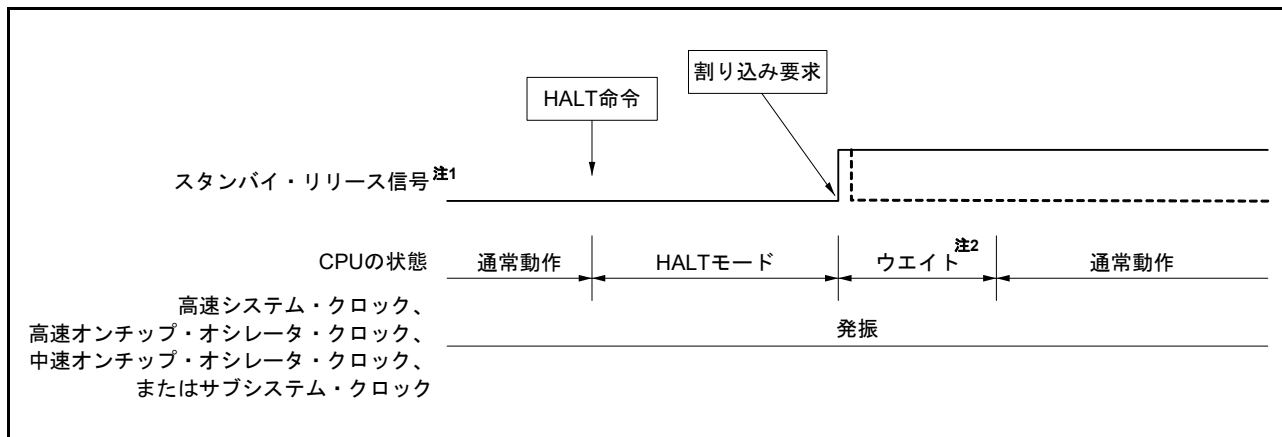
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受付許可状態であれば、ベクタ割り込み処理が行われます。割り込み受付禁止状態であれば、次のアドレスの命令が実行されます。

図27-5 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図25-1 割り込み機能の基本構成を参照してください。

注2. HALTモード解除のウェイト時間

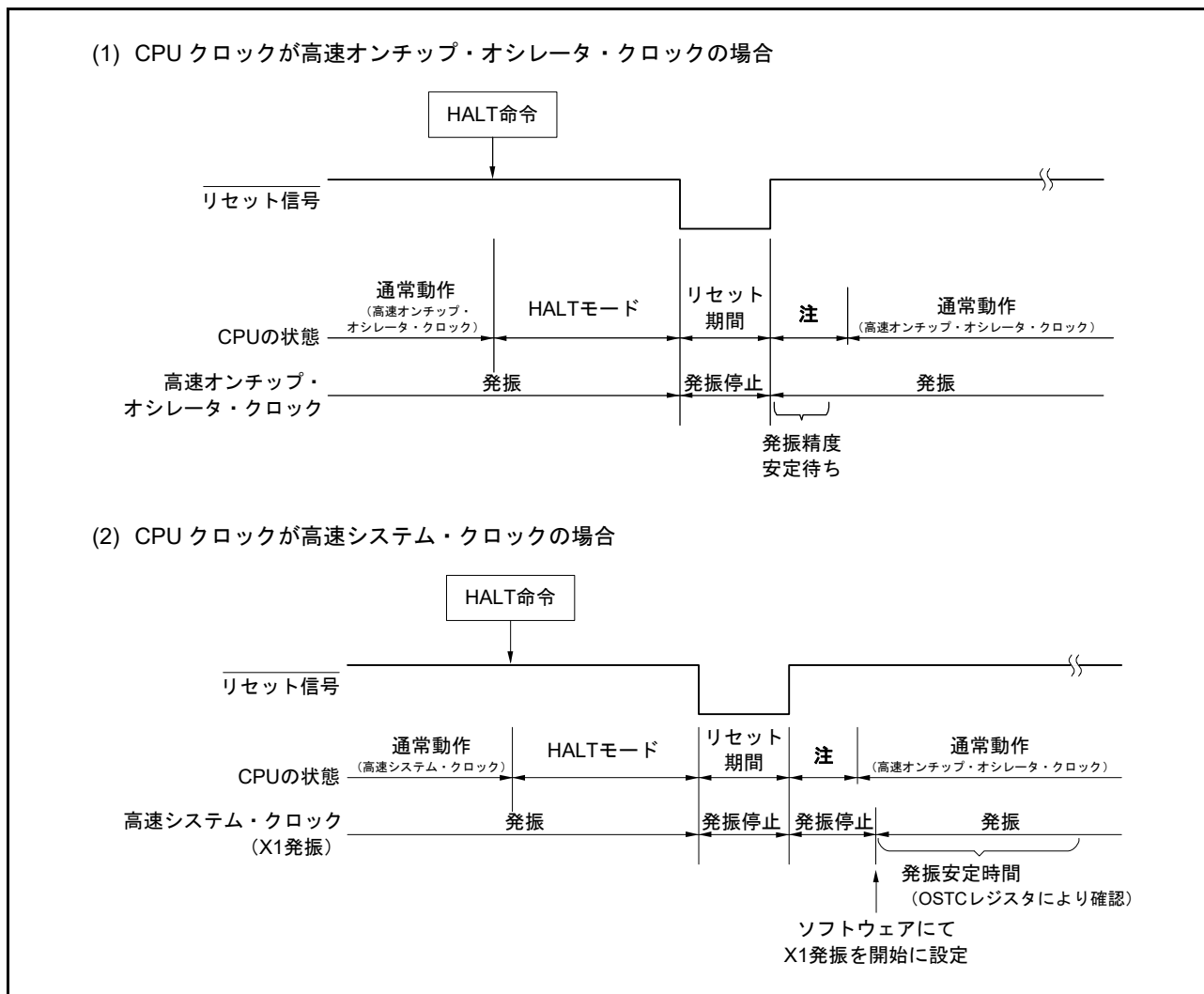
- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時 : 15～16クロック
 - サブシステム・クロック時 (RTCLPC = 0) : 10～11クロック
 - サブシステム・クロック時 (RTCLPC = 1) : 11～12クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時 : 9～10クロック
 - サブシステム・クロック時 (RTCLPC = 0) : 4～5クロック
 - サブシステム・クロック時 (RTCLPC = 1) : 5～6クロック

備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

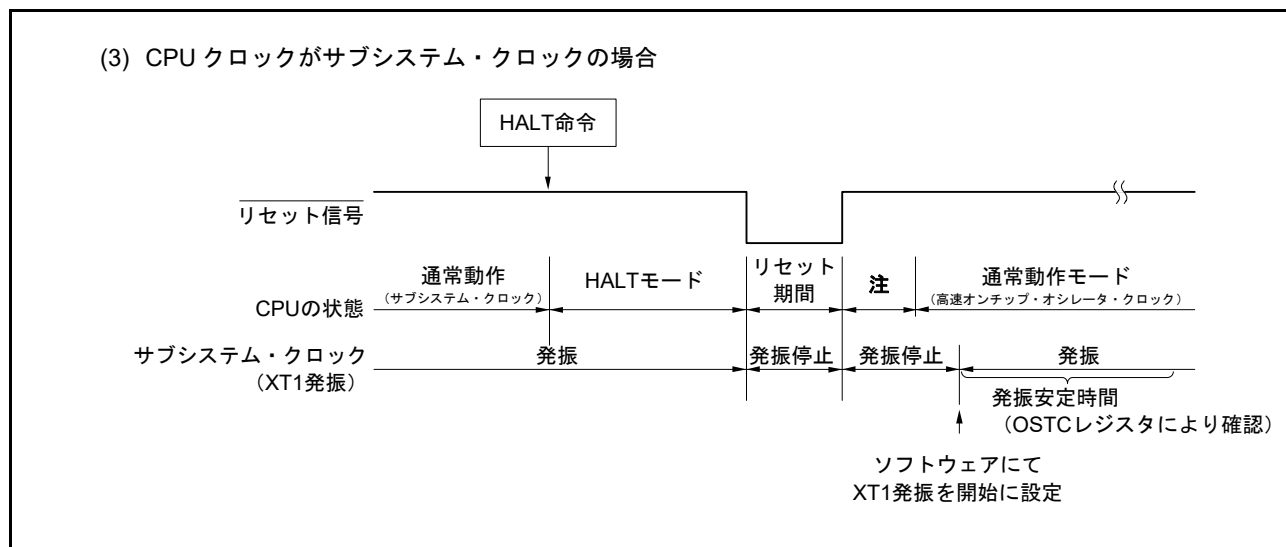
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図27-6 HALTモードのリセットによる解除 (1/2)



注 リセット処理時間は、**第28章 リセット機能**を参照してください。なお、パワーオン・リセット回路 (POR) と電圧検出回路 (LVD0, LVD1) のリセット処理時間は、**第29章 パワーオン・リセット回路 (POR)**を参照してください。

図27 - 6 HALTモードのリセットによる解除 (2/2)



注 リセット処理時間は、第28章 リセット機能を参照してください。なお、パワーオン・リセット回路 (POR) と電圧検出回路 (LVD0, LVD1) のリセット処理時間は、第29章 パワーオン・リセット回路 (POR) を参照してください。

27.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが0（割り込み処理許可）かつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってから解除されます。

したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

表27-3にSTOPモード時の動作状態を示します。

表27-3 STOPモード時の動作状態 (1/2)

STOPモードの設定 項目		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止			
メイン・システム・クロック	f _{IH}	停止			
	f _{IM}	停止			
	f _X	停止			
	f _{EX}				
サブシステム・クロック	f _{XT}	STOPモード設定前の状態を継続			
	f _{EXS}				
	f _{IL}	ユーザ・オプション・バイト (000C0H) のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ (OSMC) のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1 : 発振 (サブシステム・クロックX, XR (f _{sx} , f _{sxr}) 動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止) WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU		動作停止			
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート (ラッチ)		STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット		動作停止			
タイマRJ		・ TRJION入力フィルタなし選択時のイベントカウントモードは動作可能 ・ カウントソースにサブシステム・クロック選択時でかつOSMCレジスタのRTCLPC = 0は動作可能 ・ カウントソースに低速オンチップ・オシレータ選択時は動作可能 ・ 上記以外は動作禁止			
16ビット・タイマKB40, KB41, KB42		動作禁止			
RTC		動作可能			
8ビット・インターバル・タイマ		RTCLPC = 0のときは動作可能 (それ以外は動作禁止)			
32ビット・インターバル・タイマ		fsxp選択かつRTCLPC = 0のとき動作可能			
外部サンプリング		RTCLPC = 0かつEXSDLPC = 1のときは動作可能 (それ以外は動作禁止)			
ウォッチドッグ・タイマ		第15章 ウォッチドッグ・タイマ (WDT) 参照			
クロック出力/ブザー出力		fsubr選択時のみ動作可能			

表27-3 STOPモード時の動作状態 (2/2)

項目	STOPモードの設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
A/Dコンバータ		ウェイクアップ動作可能 (SNOOZEモードへ移行)			
D/Aコンバータ		STOPモード設定前の状態を継続			
コンパレータ		動作可能 (デジタルフィルタ未使用時のみ)			
シリアル・アレイ・ユニット		CSI00, CSI20, UART0, UART2のみウェイクアップ動作可能 (SNOOZEモードへ移行) CSI00, CSI20, UART0, UART2以外は動作禁止			
シリアル・インタフェースIICA		アドレス一致によるウェイクアップ動作可能			
シリアル・インタフェースUARTA		fsxp選択かつRTCLPC = 0のとき動作可能			
LCDコントローラ/ドライバ		動作可能 (ただし、LCDソース・クロックとして選択したクロックの状態に従う (選択クロックが動作中なら動作可能、停止中なら動作停止))			
データ・トランスファ・コントローラ (DTC)		DTC起動要因受付動作可能 (SNOOZEモードへ移行)			
SNOOZEモード・シーケンサ (SMS)		SMS起動要因受付動作可能 (SNOOZEモードへ移行)			
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
発振停止検出		f _{IL} が発振している場合かつRTCLPC = 0のときは動作可能 (それ以外は動作禁止)			
外部割り込み		動作可能			
キー割り込み機能					
静電容量センサユニット (CTS2La) 注		CTS2La起動要因受付動作可能 (SNOOZEモードへ移行)			
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器					

注 静電容量センサユニット (CTS2La) の計測精度は、動作クロックの精度に依存します。CTS2Laを使用する場合は、CPU/周辺ハードウェア・クロック (f_{CLK}) に、高速オンチップ・オシレータ・クロック (f_{IH}) または高速システム・クロック (f_{MX}) を選択することを推奨します。

備考1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

備考2. f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IM} : 中速オンチップ・オシレータ・クロック

f_{EX} : 外部メイン・システム・クロック

f_{EXS} : 外部サブシステム・クロック

f_{SUBR} : サブシステム・クロック R

f_{IL} : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{XT} : XT1クロック

f_{SXP} : 低速周辺クロック

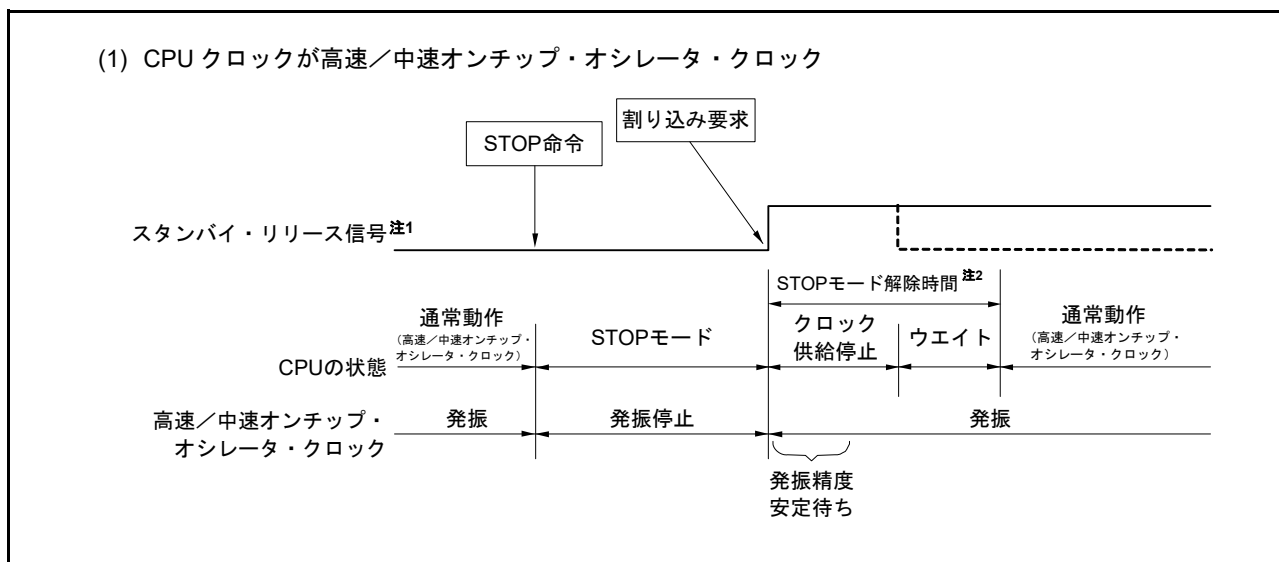
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受付許可状態であれば、ベクタ割り込み処理を行います。割り込み受付禁止状態であれば、次のアドレスの命令を実行します。

図27-7 STOPモードの割り込み要求発生による解除 (1/3)



注1. スタンバイ・リリース信号に関する詳細は、図25-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

- ・クロック供給停止

- 高速オンチップ・オシレータ・クロックの場合：3.9～5.2 μ s + 3～4クロック（通常起動（WKUPMD.FWKUP = 0））
0.6～0.8 μ s + 3～4クロック（高速起動（WKUPMD.FWKUP = 1））
通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。

第42章 電気的特性を参照してください。

- 中速オンチップ・オシレータ・クロックの場合：1.5～2.5 μ s + 3～4クロック

- ・ウェイト

（高速／中速オンチップ・オシレータ・クロック共通）

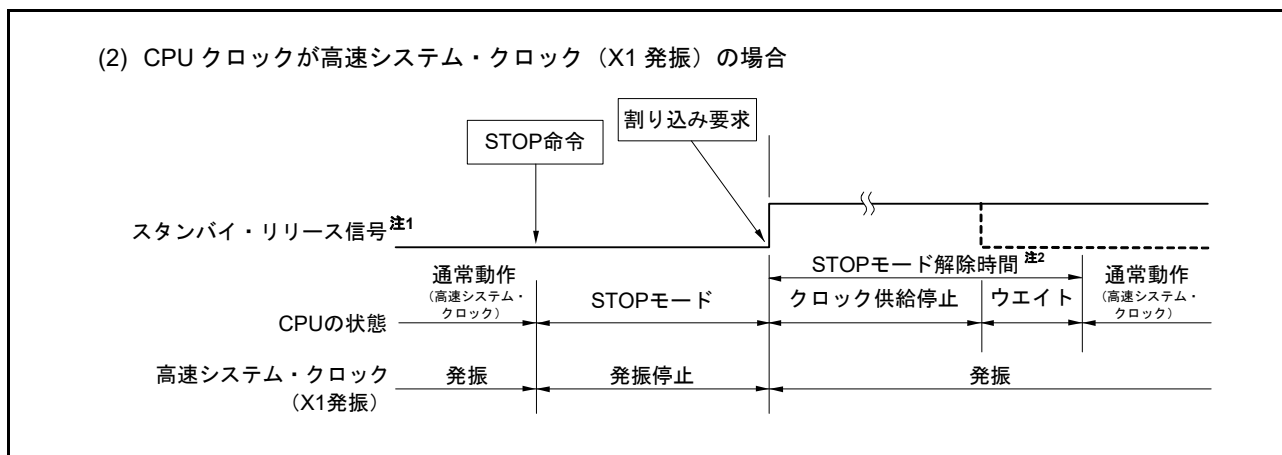
- ベクタ割り込み処理を行う場合：7クロック
- ベクタ割り込み処理を行わない場合：1クロック

注意 高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図27-7 STOPモードの割り込み要求発生による解除 (2/3)

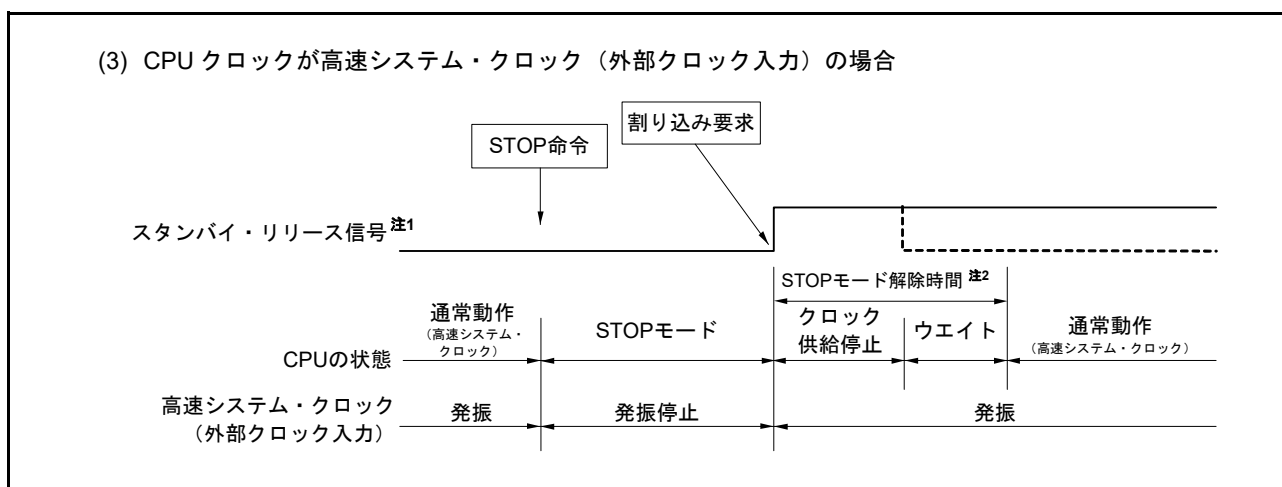


注1. スタンバイ・リリース信号に関する詳細は、図25-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

- ・ クロック供給停止
発振安定時間 (OSTSレジスタで設定) + 3~4クロック
- ・ ウェイト
 - ベクタ割り込み処理を行う場合 : 7クロック
 - ベクタ割り込み処理を行わない場合 : 1クロック

図27-7 STOPモードの割り込み要求発生による解除 (3/3)



注1. スタンバイ・リリース信号に関する詳細は、図25-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

- ・ クロック供給停止
外部クロック 50~51クロック
- ・ ウェイト
 - ベクタ割り込み処理を行う場合 : 7クロック
 - ベクタ割り込み処理を行わない場合 : 1クロック

注意 高速システム・クロック (X1 発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

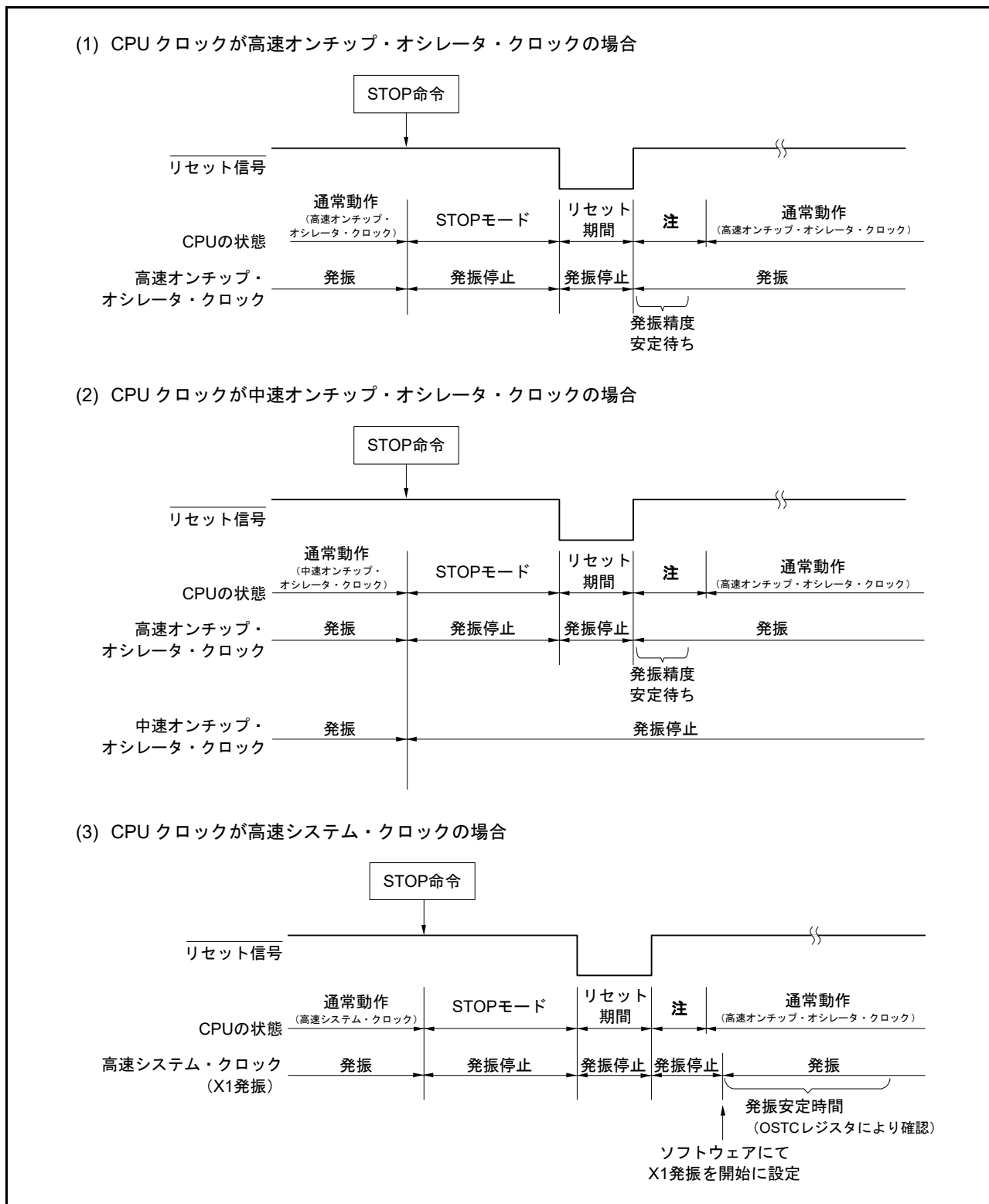
備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図27-8 STOPモードのリセットによる解除



27.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

以下の周辺によって設定可能です。

詳細については、各章を参照してください。

- 第16章 A/Dコンバータ (ADC)
- 第19章 シリアル・アレイ・ユニット (SAU)
- 第23章 データ・トランスファ・コントローラ (DTC)
- 第34章 SNOOZEモード・シーケンサ (SMS)
- 第35章 静電容量センサユニット (CTSU2La)

また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合、設定可能です。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

(a) STOPモード→SNOOZEモードの遷移時間

- 高速オンチップ・オシレータ・クロックの場合 : 3.9 ~ 5.2 μ s (通常起動 (WKUPMD.FWKUP = 0))
0.6 ~ 0.8 μ s (高速起動 (WKUPMD.FWKUP = 1))
通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。
第42章 電気的特性を参照してください。
- 中速オンチップ・オシレータ・クロックの場合注 : 1.3 ~ 2.5 μ s

(b) SNOOZEモード→通常動作の遷移時間

- 高速オンチップ・オシレータ・クロックの場合
 - ベクタ割り込み処理を行う場合 : “0.3 ~ 0.4 μ s” + 10 ~ 11 クロック
 - ベクタ割り込み処理を行わない場合 : “0.3 ~ 0.4 μ s” + 4 ~ 5 クロック
- 中速オンチップ・オシレータ・クロックの場合注
 - ベクタ割り込み処理を行う場合 : “0.6 ~ 1.2 μ s” + 10 ~ 11 クロック
 - ベクタ割り込み処理を行わない場合 : “0.6 ~ 1.2 μ s” + 4 ~ 5 クロック

注 中速オンチップ・オシレータ・トリミング・レジスタ (MIOTRM) が初期値の場合

注意 STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

次にSNOOZEモード時の動作状態を示します。

表27 - 4 SNOOZEモード時の動作状態 (1/2)

STOPモードの設定 項目			STOPモード中にSNOOZEモードに移行可能な要因発生時	
			高速オンチップ・オシレータ・クロック（f _{IH} ） でのCPU動作時	中速オンチップ・オシレータ・クロック（f _{IM} ） でのCPU動作時
システム・クロック			CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}		動作開始	停止
			停止	動作開始
			停止	
	サブシステム・クロック	f _{XT}	動作可能	
		f _{EXS}		
f _{IL}		ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 （サブシステム・クロックX, XR（fsx, fsxR）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止		
CPU			動作停止	
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM			動作停止（DTC、SMS実行時は動作可能）	
ポート（ラッチ）			SNOOZEモード遷移前の状態を継続（DTC、SMS、ELCL実行時は動作可能）	
タイマ・アレイ・ユニット			DTC、SMS、ELCL実行時は動作可能	
タイマRJ			・ TRJION入力フィルタなし選択時のイベントカウントモードは動作可能 ・ カウントソースにサブシステム・クロック選択時でかつOSMCレジスタのRTCLPC = 0は動作可能 ・ カウントソースに低速オンチップ・オシレータ選択時は動作可能 ・ 上記以外は動作禁止	
16ビット・タイマKB40, KB41, KB42			動作禁止	
RTC			動作可能	
8ビット・インターバル・タイマ			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
32ビット・インターバル・タイマ			fsxp選択かつRTCLPC = 0のとき動作可能	
外部サンプリング			RTCLPC = 0かつEXSDLPC = 1のときは動作可能（それ以外は動作禁止）	
ウォッチドッグ・タイマ			第15章 ウォッチドッグ・タイマ（WDT）参照	
クロック出力／ブザー出力			fsUBR選択時のみ動作可能	
A/Dコンバータ			動作可能	
D/Aコンバータ			SNOOZEモード遷移前の状態を継続（RTCLPC = 0かつDTC、SMS、ELCL実行時は動作可能）	
コンパレータ			動作可能（デジタルフィルタ未使用時のみ）	
シリアル・アレイ・ユニット			CSI00, CSI20, UART0, UART2のみ動作可能 CSI00, CSI20, UART0, UART2以外は動作禁止	
シリアル・インタフェースIICA			アドレス一致によるウェイク・アップ動作可能	
シリアル・インタフェースUARTA			fsxp選択かつRTCLPC = 0のとき動作可能	
LCDコントローラ／ドライバ			動作可能（ただし、LCDソース・クロックとして選択したクロックの状態に従う（選択クロックが動作中なら動作可能、停止中なら動作停止））	
データ・トランスファ・コントローラ（DTC）			動作可能	

表27 - 4 SNOOZEモード時の動作状態 (2/2)

項目	STOPモードの設定	STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (f _{IH}) でのCPU動作時	中速オンチップ・オシレータ・クロック (f _{IM}) でのCPU動作時
SNOOZEモード・シーケンサ (SMS)		動作可能	
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能	
パワーオン・リセット機能		動作可能	
電圧検出機能			
発振停止検出		f _{IL} が発振している場合でかつRTCLPC = 0のときは動作可能（それ以外は動作禁止）	
外部割り込み		動作可能	
キー割り込み機能			
静電容量センサユニット (CTS2La) 注		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能	
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能	
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
真性乱数発生器			

注 静電容量センサユニット (CTS2La) の計測精度は、動作クロックの精度に依存します。CTS2Laを使用する場合は、CPU／周辺ハードウェア・クロック (f_{CLK}) として、高速オンチップ・オシレータ・クロック (f_{IH}) を選択することを推奨します。

備考1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

備考2. f_{IH} : 高速オンチップ・オシレータ・クロック

f_{IM} : 中速オンチップ・オシレータ・クロック

f_{EX} : 外部メイン・システム・クロック

f_{EXS} : 外部サブシステム・クロック

f_{SXR} : サブシステム・クロックXR

f_{SUBR} : サブシステム・クロックR

f_{IL} : 低速オンチップ・オシレータ・クロック

f_X : X1クロック

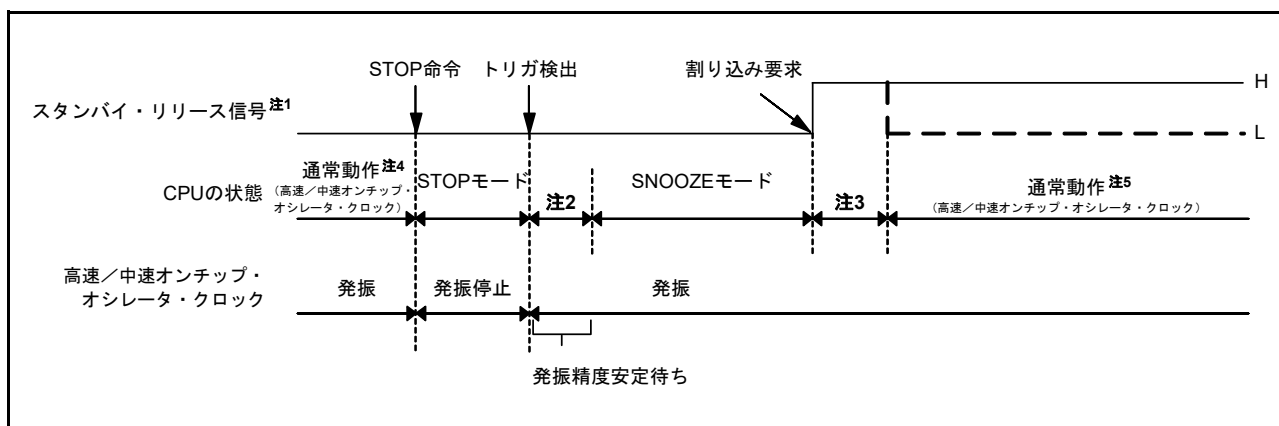
f_{XT} : XT1クロック

f_{SX} : サブシステム・クロックX

f_{SXP} : 低速周辺クロック

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図27-9 SNOOZEモードの割り込み要求が発生する場合



注1. スタンバイ・リリース信号についての詳細は、図25-1 割り込み機能の基本構成を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

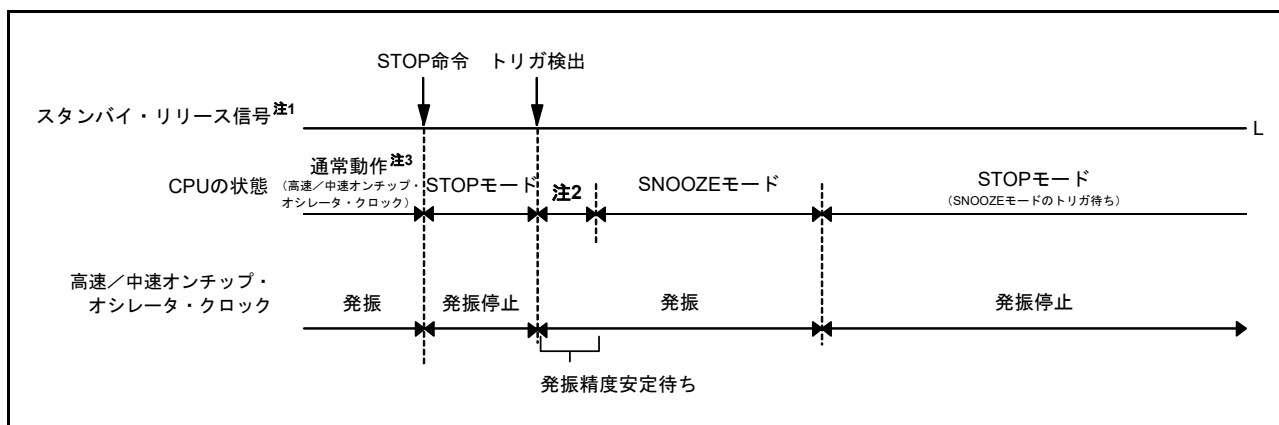
注3. SNOOZEモード→通常動作の遷移時間

注4. STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図27-10 SNOOZEモードの割り込み要求が発生しない場合



注1. スタンバイ・リリース信号についての詳細は、図25-1 割り込み機能の基本構成を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

注3. STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

備考 SNOOZEモード機能の詳細は、下記の章を参照してください。

- 第16章 A/Dコンバータ (ADC)
- 第19章 シリアル・アレイ・ユニット (SAU)
- 第23章 データ・トランスファ・コントローラ (DTC)
- 第34章 SNOOZEモード・シーケンサ (SMS)
- 第35章 静電容量センサユニット (CTS2La)

第28章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) RESET端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット回路 (POR) の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD0, LVD1) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

RESET 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、パワーオン・リセット回路、LVD0, LVD1 の電圧検出、不正命令の実行^注、RAM パリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表 28 - 1 リセット期間中の動作状態に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、RESET端子に10 μ s 以上のロウ・レベルを入力してください。

電源立ち上げ時に外部リセットを行う場合は、RESET端子にロウ・レベルを入力してから電源を投入し、42.4 AC特性に示す動作電圧範囲内の期間で10 μ s 以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。

XT1クロック、外部サブシステム・クロックはPORによるリセット中のみ発振停止または入力無効となります。

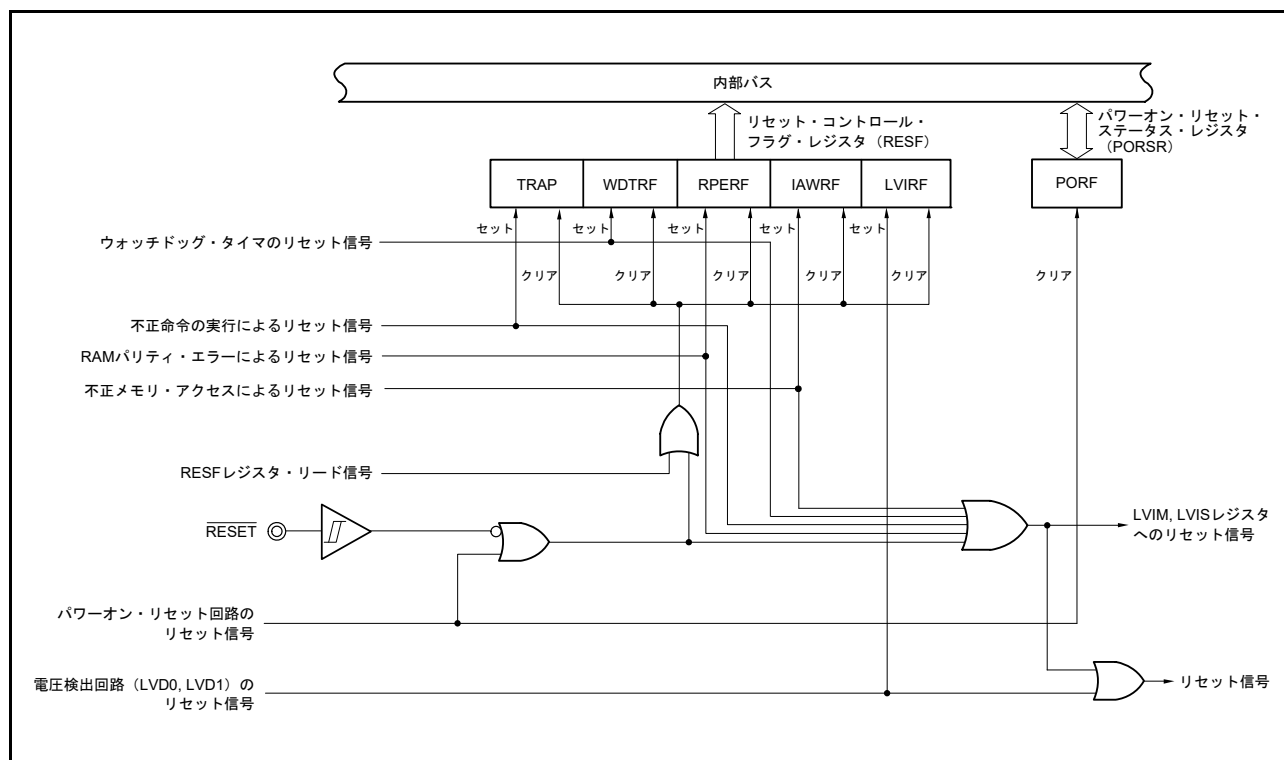
注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- P40：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）
- P130：リセット期間中およびリセット受付後はロウ・レベル出力
- P40, P130以外のポート：リセット期間中およびリセット受付後はハイ・インピーダンス

以下のレジスタはPORによるリセットでのみ初期化されます。

- RTC関連レジスタ
- CMCレジスタのEXCLKS, OSCSELS, AMPHS1, AMPHS0ビット

図28-1 リセット機能のブロック図

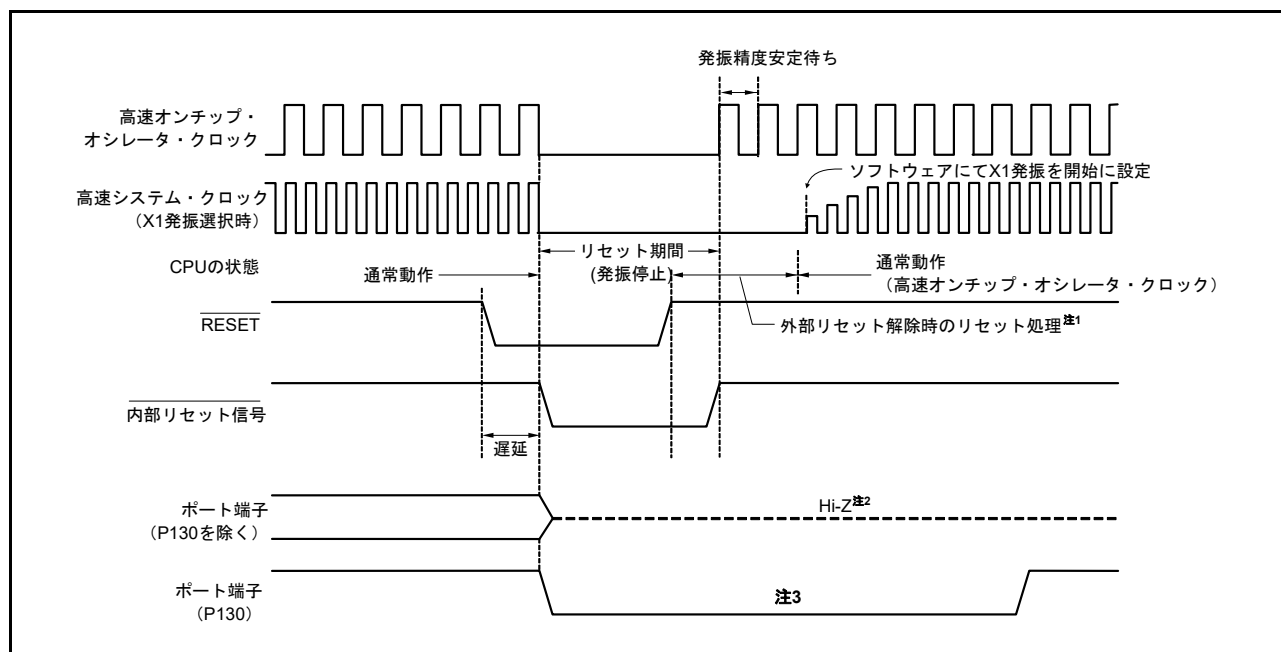


注意 LVD0の内部リセットの場合、LVD0はリセットされません。

28.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとリセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されるとリセットが解除され、リセット処理後に高速オンチップ・オシレータ・クロックでプログラムの実行が開始されます。

図28-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



注1. 外部リセット解除時のリセット時間：

POR解除後1回目	: 0.506 ms (Typ.), 0.694 ms (Max.) (LVD使用時)
	0.201 ms (Typ.), 0.335 ms (Max.) (LVD未使用時)
POR解除後2回目以降	: 0.476 ms (Typ.), 0.616 ms (Max.) (LVD使用時)
	0.170 ms (Typ.), 0.257 ms (Max.) (LVD未使用時)

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間（4.0 ms (Typ.), 9.9 ms (Max.)) が掛かります。

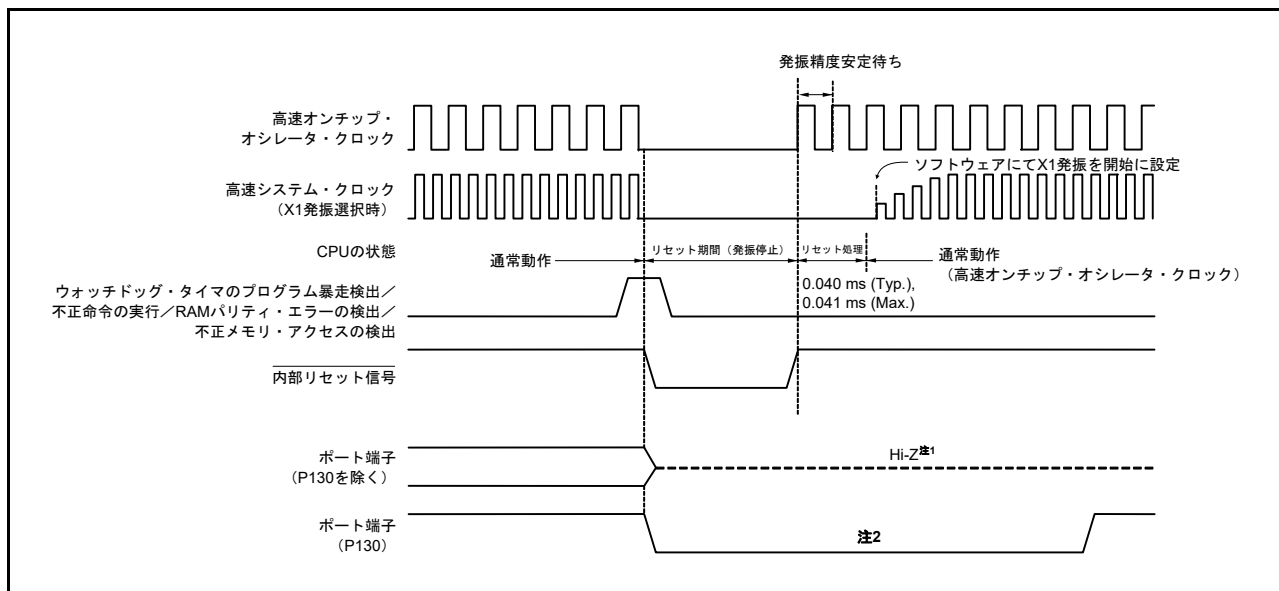
注2. ポート端子P40は次の状態になります。

- ・ 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・ それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

注3. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図28-3 ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1. ポート端子P40は次の状態になります。

- ・ 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- ・ それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

注2. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

パワーオン・リセット回路またはLVD0の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD0}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、第29章 パワーオン・リセット回路（POR）または第30章 電圧検出回路（LVD）を参照してください。

備考 V_{POR} : POR 電源立ち上がり検出電圧

V_{LVD0} : LVD0 検出電圧

表28-1 リセット期間中の動作状態 (1/2)

項目			リセット期間中の動作状態
システム・クロック			CPUへのクロック供給は停止
メイン・システム・クロック	fIH	動作停止	
	fIM		
	fX	動作停止（X1, X2端子は入力ポート・モード）	
	fEX	クロックの入力無効（端子は入力ポート・モード）	
	サブシステム・クロック	fXT	動作可能（PORリセットのときは動作停止、XT1, XT2端子は入力ポート・モード）
		fEXS	動作可能（PORリセットのときは動作停止、EXCLKS端子は入力ポート・モード）
		fIL	動作停止
CPU			動作停止
コード・フラッシュ・メモリ			動作停止
データ・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート（ラッチ）			ハイ・インピーダンス ^注
タイマ・アレイ・ユニット			動作停止
リアルタイム・クロック			PORリセット以外：動作可能 PORリセット：カレンダー系レジスタのみデータ保持
発振停止検出回路			動作停止
32ビット・インターバル・タイマ			
8ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
外部サンプリング			
タイマRJ			
16ビット・タイマKB40, KB41, KB42			
A/Dコンバータ			
D/Aコンバータ			
コンパレータ			
シリアル・アレイ・ユニット			
シリアル・インタフェースIICA			
シリアル・インタフェースUARTA			
LCDコントローラ／ドライバ			
データ・トランスファ・コントローラ（DTC）			
SNOOZEモード・シーケンサ			
ロジック&イベント・リンク・コントローラ（ELCL）			
パワーオン・リセット機能			検出動作可能
電圧検出機能			LVD0：LVD0リセット時はLVD0は動作可能。それ以外のリセット時は動作停止 LVD1：動作停止

表28 - 1 リセット期間中の動作状態 (2/2)

項目		リセット期間中の動作状態
外部割り込み		動作停止
キー割り込み機能		
静電容量センサユニット（CTS02La）		
CRC演算機能	高速CRC	
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

注 ポート端子P40, P130は次の状態になります。

- ・ P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル (内蔵プルアップ抵抗接続)
- ・ P130 : リセット期間中はロウ・レベル出力

備考 f_{IH} : 高速オンチップ・オシレータ・クロック f_X : X1発振クロック
f_{IM} : 中速オンチップ・オシレータ・クロック f_{EX} : 外部メイン・システム・クロック
f_{XT} : XT1発振クロック f_{XS} : 外部サブシステム・クロック
f_{IL} : 低速オンチップ・オシレータ・クロック

表28 - 2 各ハードウェアのリセット受付後の状態

ハードウェア		リセット受付後の状態
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (00000H, 00001H) の内容がセットされる注
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

備考 特殊機能レジスタ (SFR : Special Function Register) のリセット受付後の状態は、**3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域**および**3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域**を参照してください。

28.2 リセット要因を確認するレジスタ

リセット要因を確認するレジスタを次に示します。

- リセット・コントロール・フラグ・レジスタ (RESF)
- パワーオン・リセット・ステータス・レジスタ (PORSR)
- 周辺リセット制御レジスタ0 (PRR0)
- 周辺リセット制御レジスタ1 (PRR1)
- 周辺リセット制御レジスタ2 (PRR2)

28.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。RESF レジスタは、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8 ビット・メモリ操作命令で、読み出すことができます。

以下のいずれかの条件で TRAP, WDTRF, RPERF, IAWRF, LVIRF フラグはクリアされます。

- $\overline{\text{RESET}}$ 入力によるリセット
- パワーオン・リセット回路 (POR) によるリセット
- RESF レジスタのデータを読み出し

図28-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット (1/2)

アドレス : FFFA8H
リセット時: 不定^{注1}
R/W属性 : R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP								
不正命令の実行による内部リセット要求 ^{注2}								
0 内部リセット要求は発生していない、またはRESFレジスタをクリアした								
1 内部リセット要求は発生した								
WDTRF								
ウォッチドッグ・タイマ (WDT) による内部リセット要求								
0 内部リセット要求は発生していない、またはRESFレジスタをクリアした								
1 内部リセット要求は発生した								
RPERF								
RAMパリティ・エラーによる内部リセット要求								
0 内部リセット要求は発生していない、またはRESFレジスタをクリアした								
1 内部リセット要求は発生した								
IAWRF								
不正メモリ・アクセスによる内部リセット要求								
0 内部リセット要求は発生していない、またはRESFレジスタをクリアした								
1 内部リセット要求は発生した								

図28-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット (2/2)

LVIRF	電圧検出回路 (LVD0, LVD1) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。表28-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可 (RPECTL.RPERDIS = 0) で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、32.3.4 RAMパリティ・エラー検出機能を参照してください。

表28-3にリセット要求時のRESFレジスタの状態を示します。

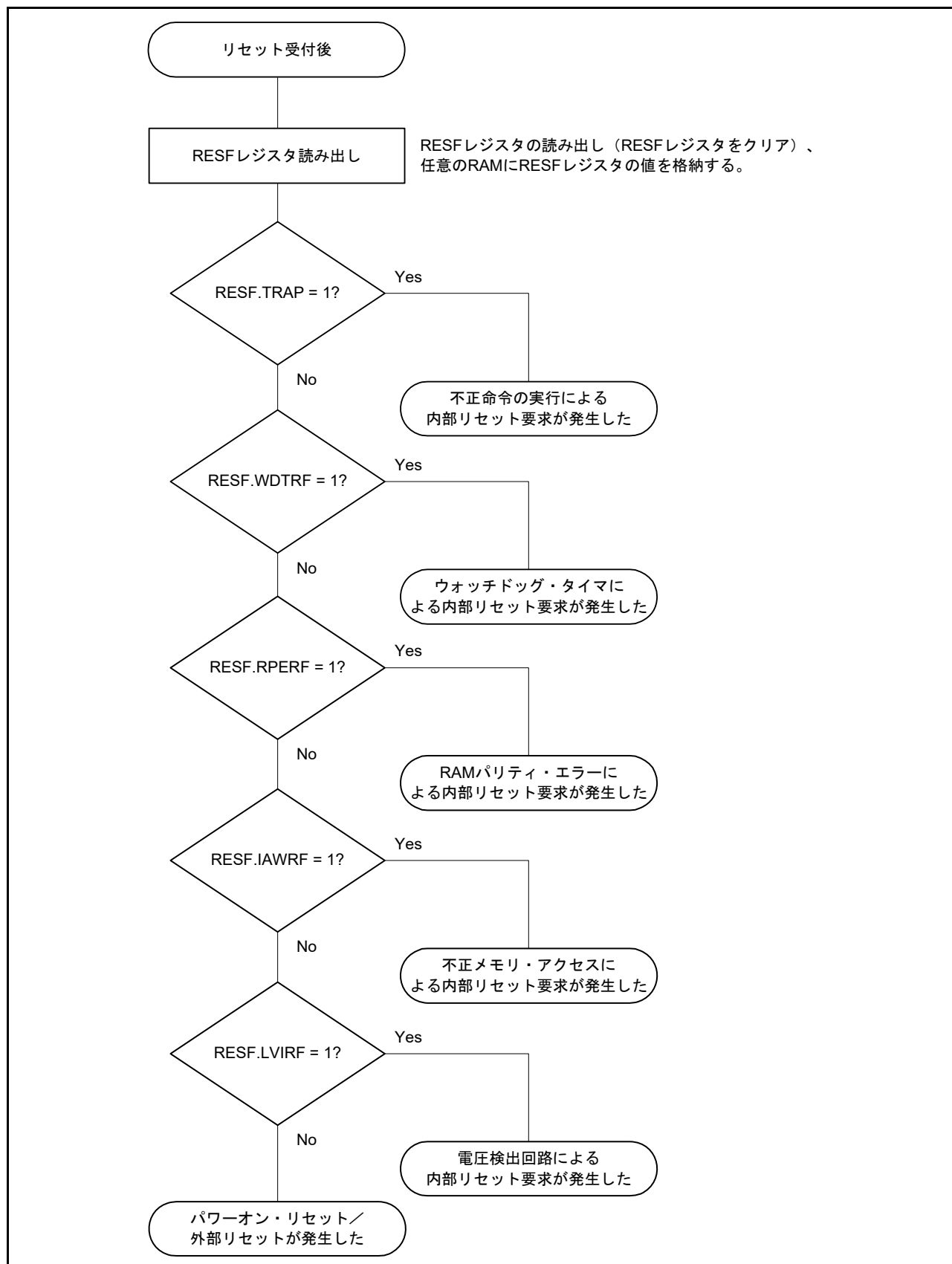
表28-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVD0, LVD1に よるリセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持	保持	保持
WDTRF			保持	セット (1)			
RPERF			保持	保持	セット (1)	セット (1)	
IAWRF					保持		
LVIRF					保持		保持

RESFレジスタは、8ビット・メモリ操作命令で読み出し後、自動的にクリアされます。

図 28 - 5 にリセット要因の確認手順例を示します。

図 28 - 5 リセット要因の確認手順例



※上記フローは確認手順の一例です。

28.2.2 パワーオン・リセット・ステータス・レジスタ（PORSR）

PORSR レジスタは、パワーオン・リセットの発生を確認するレジスタです。
PORSR レジスタのビット 0（PORF）は 1 書き込みのみ有効であり、0 書き込みは無効です。
パワーオン・リセット発生の有無を確認するときは、あらかじめ PORF ビットに 1 を書き込んでおいてください。
PORSR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
パワーオン・リセット信号の発生により、00H になります。

- 注意1. PORSRレジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。
- 注意2. PORFフラグが1のとき、パワーオン・リセットが発生していないことは保証されますが、RAMの値が保持されていることを保証するものではありません。

図28 - 6 パワーオン・リセット・ステータス・レジスタ（PORSR）のフォーマット

アドレス : F00F9H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
PORSR	0	0	0	0	0	0	0	PORF
PORF	パワーオン・リセット発生確認							
0	1書き込みが行われていない、またはパワーオン・リセットが発生							
1	パワーオン・リセットは発生していない							

28.2.3 周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 28 - 7 周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス : F00F1H
リセット時: 00H
R/W属性 : R/W

略号	7	<6>	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	IICA1RES	ADCRES	IICA0RES	SAU1RES	SAU0RES	0	TAU0RES
IICAnRES								
シリアル・インタフェースIICAnのリセット制御								
0								
シリアル・インタフェースIICAnのリセット解除								
1								
シリアル・インタフェースIICAnはリセット状態 ・シリアル・インタフェースIICAnで使用するSFRが初期化されます。								
ADCRES								
A/Dコンバータのリセット制御								
0								
A/Dコンバータのリセット解除								
1								
A/Dコンバータはリセット状態 ・A/Dコンバータで使用するSFRが初期化されます。								
SAUnRES								
シリアル・アレイ・ユニットnのリセット制御								
0								
シリアル・アレイ・ユニットnのリセット解除								
1								
シリアル・アレイ・ユニットnはリセット状態 ・シリアル・アレイ・ユニットnで使用するSFRが初期化されます。								
TAU0RES								
タイマ・アレイ・ユニット0のリセット制御								
0								
タイマ・アレイ・ユニット0のリセット解除								
1								
タイマ・アレイ・ユニット0はリセット状態 ・タイマ・アレイ・ユニット0で使用するSFRが初期化されます。								

注意 ビット7, 1には、必ず0を設定してください。

備考 n = 0, 1

28.2.4 周辺リセット制御レジスタ1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1 レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図28 - 8 周辺リセット制御レジスタ1 (PRR1) のフォーマット

アドレス : F00FBH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	0	CTSURES
DACRES	D/Aコンバータのリセット制御							
0	D/Aコンバータのリセット解除							
1	D/Aコンバータはリセット状態 ・ D/Aコンバータで使用するSFRが初期化されます。							
SMSRES	SNOOZEモード・シーケンサのリセット制御							
0	SNOOZEモード・シーケンサのリセット解除							
1	SNOOZEモード・シーケンサはリセット状態 ・ SNOOZEモード・シーケンサで使用するSFRが初期化されます。							
CMPRES	コンパレータのリセット制御							
0	コンパレータのリセット解除							
1	コンパレータはリセット状態 ・ コンパレータで使用するSFRが初期化されます。							
TML32RES	32ビット・インターバル・タイマのリセット制御							
0	32ビット・インターバル・タイマのリセット解除							
1	32ビット・インターバル・タイマはリセット状態 ・ 32ビット・インターバル・タイマで使用するSFRが初期化されます。							
CTSURES	静電容量センサユニットのリセット制御							
0	静電容量センサユニットのリセット解除							
1	静電容量センサユニットはリセット状態 ・ 静電容量センサユニットで使用するSFRが初期化されます。							

注意 ビット3-1には、必ず0を設定してください。

28.2.5 周辺リセット制御レジスタ2 (PRR2)

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR2 レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図28-9 周辺リセット制御レジスタ2 (PRR2) のフォーマット

アドレス : F00FDH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
PRR2	EXSDRES	OSDCRES	TKBRES	0	0	0	TRJ1RES	TRJ0RES

EXSDRES	外部サンプリングのリセット制御
0	外部サンプリングのリセット解除
1	外部サンプリングはリセット状態 ・ 外部サンプリングで使用するSFRが初期化されます。

OSDCRES	発振停止検出回路のリセット制御
0	発振停止検出回路のリセット解除
1	発振停止検出回路はリセット状態 ・ 発振停止検出回路で使用するSFRが初期化されます。

TKBRES	16ビット・タイマKB40, KB41, KB42のリセット制御
0	16ビット・タイマKB40, KB41, KB42のリセット解除
1	16ビット・タイマKB40, KB41, KB42はリセット状態 ・ 16ビット・タイマKB40, KB41, KB42で使用するSFRが初期化されます。

TRJnRES	32ビット・インターバル・タイマのリセット制御
0	32ビット・インターバル・タイマのリセット解除
1	32ビット・インターバル・タイマはリセット状態 ・ 32ビット・インターバル・タイマで使用するSFRが初期化されます。

注意 ビット4-2には、必ず0を設定してください。

第29章 パワーオン・リセット回路（POR）

29.1 パワーオン・リセット回路の機能

パワーオン・リセット回路（POR）は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。
電源電圧（VDD）が検出電圧（VPOR）を超えた場合に、リセットを解除します。ただし、**42.4 AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。
- 電源電圧（VDD）と検出電圧（VPDR）を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、**42.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）およびパワーオン・リセット・ステータス・レジスタ（PORSR）が00Hにクリアされます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出回路（LVD）／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、00Hにクリアされずフラグが1にセットされます。RESFレジスタの詳細については、**第28章 リセット機能**を参照してください。

備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ（PORSR）で確認することができます。PORSRレジスタの詳細については、**第28章 リセット機能**を参照してください。

備考3. VPOR：POR電源立ち上がり検出電圧

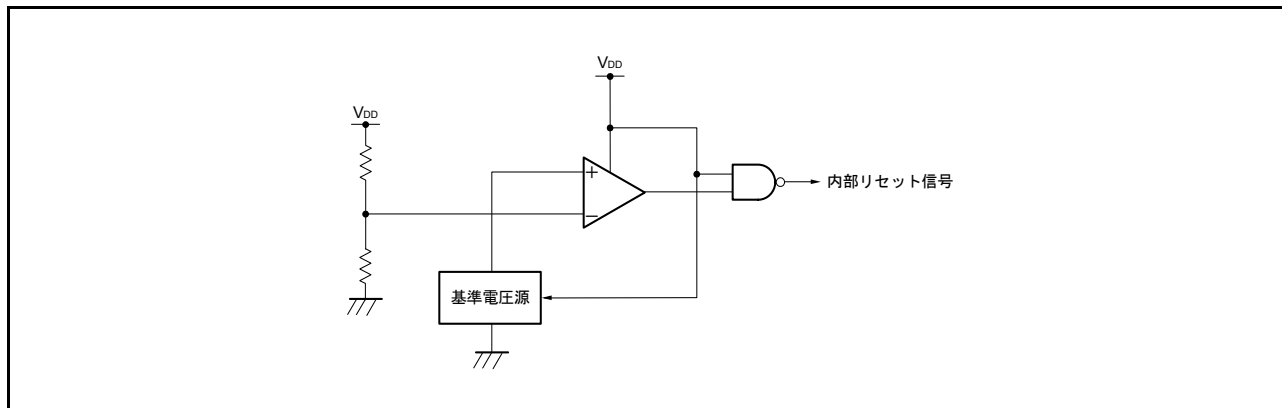
VPDR：POR電源立ち下がり検出電圧

詳細は、**42.6.5 POR回路特性**を参照してください。

29.2 パワーオン・リセット回路の構成

図 29 - 1 にパワーオン・リセット回路のブロック図を示します。

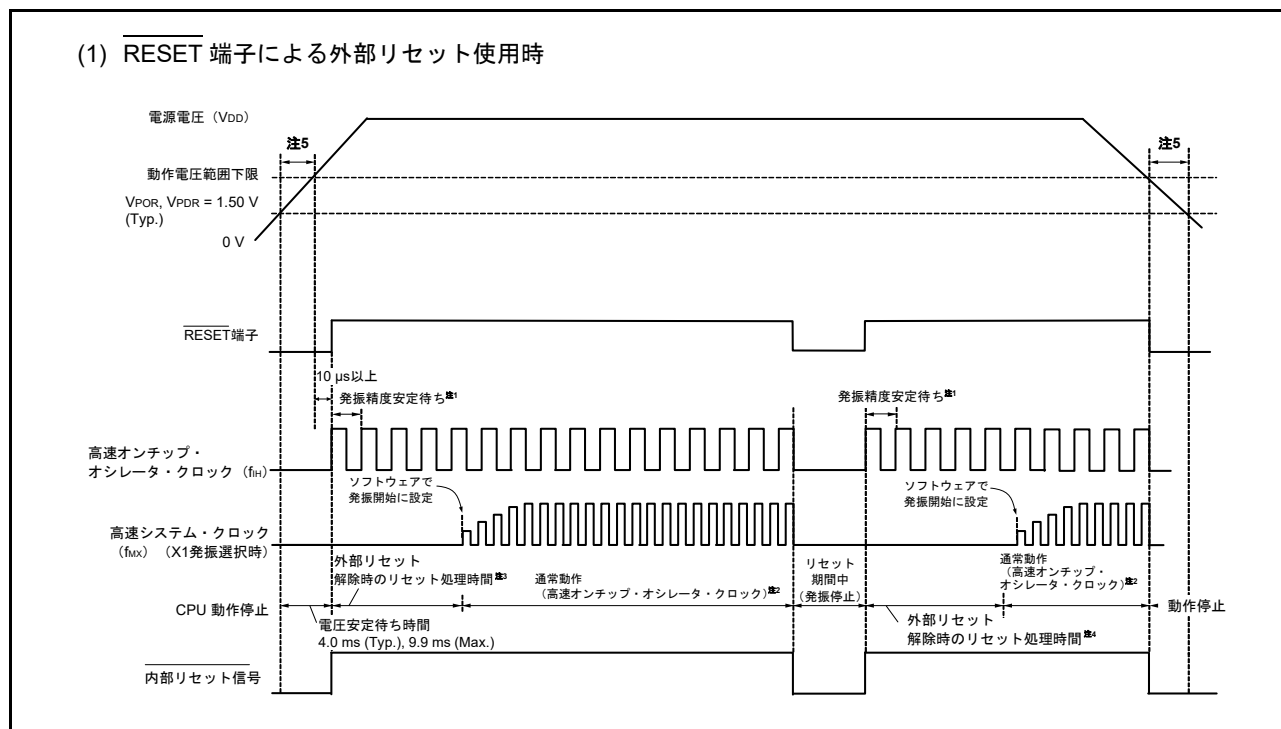
図 29 - 1 パワーオン・リセット回路のブロック図



29.3 パワーオン・リセット回路の動作

図 29 - 2 にパワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを示します。

図29-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/2)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。

注3. 通常動作が開始されるまでの時間は、V_{POR} (1.50 V (Typ.)) に達してから“電圧安定待ち時間”に加えて、RESET信号をハイ・レベルにしてから次の“外部リセット解除時のリセット処理時間 (POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 : 0.506 ms (Typ.), 0.694 ms (Max.) (LVD使用時)

0.201 ms (Typ.), 0.335 ms (Max.) (LVDオフ時)

注4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 : 0.476 ms (Typ.), 0.616 ms (Max.) (LVD使用時)

0.170 ms (Typ.), 0.257 ms (Max.) (LVDオフ時)

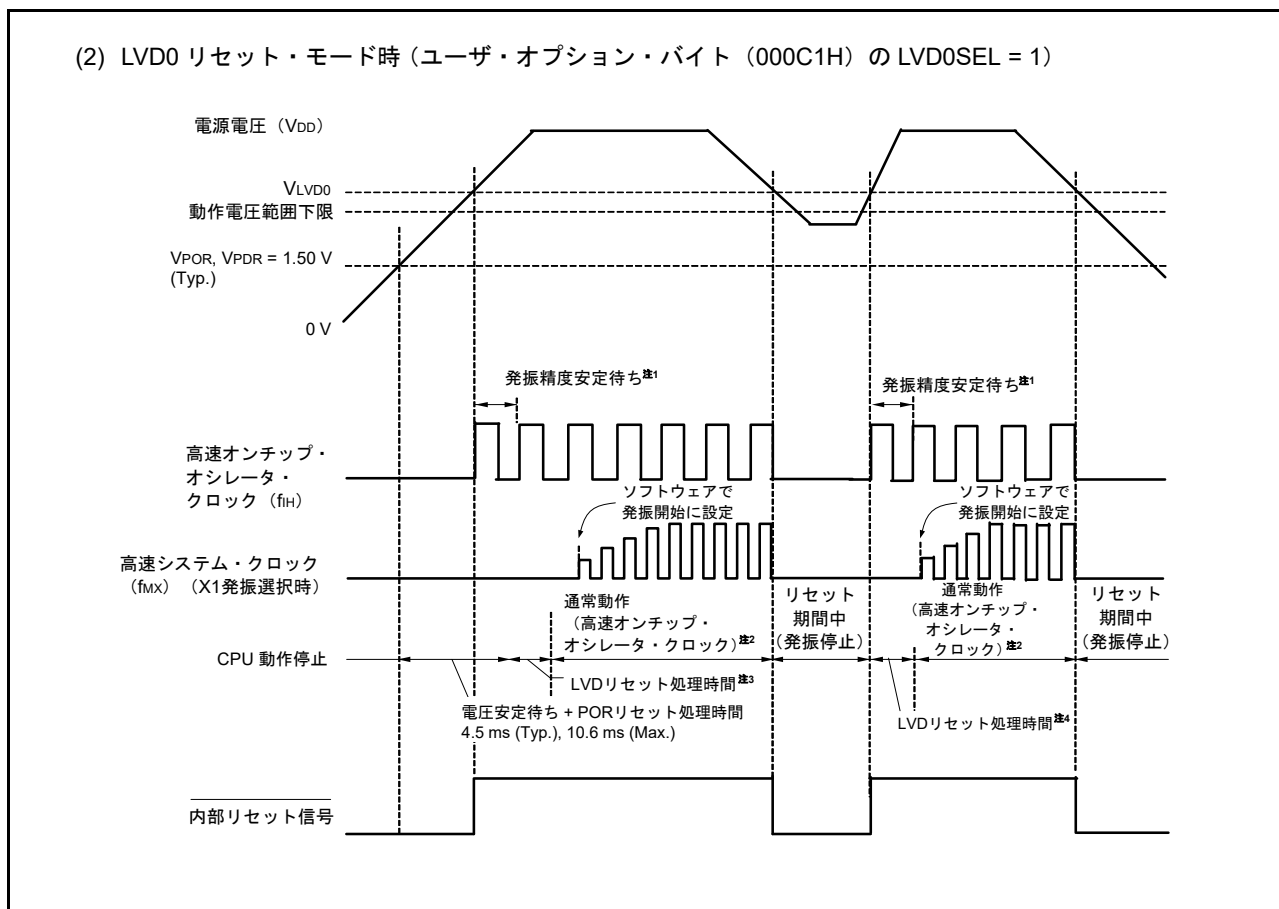
注5. 電源立ち上がり時は、42.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

注意 LVD0オフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第30章 電圧検出回路 (LVD) を参照してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図29-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/2)



- 注1.** 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2.** CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3.** 通常動作が開始されるまでの時間は、VPOR (1.50 V (Typ.)) に達してから“電圧安定待ち + PORリセット処理時間”に加えて、LVD0検出レベル (VLVD0) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間 : 0 ~ 0.041 ms (Max.)
- 注4.** 電源電圧降下時、電圧検出回路 (LVD0) による内部リセットのみ発生後に電源電圧が復帰した場合、LVD0検出レベル (VLVD0) に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間 : 0.040 ms (Typ.), 0.041 ms (Max.)

備考1. VLVD0 : LVD検出電圧

VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

備考2. LVD0割り込みモード (ユーザ・オプション・バイト (000C1H) の LVD0SEL = 0) を選択した場合、電源投入後に通常動作が開始されるまでの時間は、**注3**の時間と同じです。

備考3. LVD1は電源投入時、動作停止です。また、内部リセットにより動作停止になります。

第30章 電圧検出回路（LVD）

30.1 電圧検出回路の機能

電圧検出回路 0（LVD0）は、ユーザ・オプション・バイト（000C1H）で動作モードと検出電圧（VLVD0）を設定します。また、電圧検出回路 1（LVD1）は、電圧検出レベル・レジスタで動作モードと検出電圧（VLVD1）を設定します。電圧検出回路は、次のような機能を持ちます。

- LVD0およびLVD1は、電源電圧（VDD）と検出電圧（VLVD0, VLVD1）を比較し、内部リセットまたは割り込み要求信号を発生します。
- LVD0は、ユーザ・オプション・バイトにて検出電圧（VLVD0）を6段階より選択できます（**第37章 オプション・バイト**参照）。
- LVD1は、電圧検出レベル・レジスタにて検出電圧（VLVD1）を18段階より選択できます。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、**42.4 AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

リセット・モード LVD0	リセット・モード LVD1	割り込みモード LVD0	割り込みモード LVD1
VDD $\geq$ VLVD0を検出して内部リセットを解除します。 VDD < VLVD0を検出して内部リセットを発生し、VDD $\geq$ VLVD0になるまでリセット状態は継続されます。	LVD1の動作許可後、 VDD < VLVD1を検出して内部リセットを発生します。	リセット発生直後、LVDの内部リセットはVDD $\geq$ VLVD0になるまでリセット状態を継続します。VDD $\geq$ VLVD0を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、VDD < VLVD0またはVDD $\geq$ VLVD0を検出して割り込み要求信号（INTLVI）を発生します。	LVD1の動作許可後、 VDD < VLVD1を検出して割り込み要求信号（INTLVI）を発生します。1回目の検出後は、VDD < VLVD1またはVDD $\geq$ VLVD1を検出して割り込み要求信号（INTLVI）を発生します。

LVD0, LVD1 動作時では、電圧検出フラグ（LVDnF：電圧検出レジスタ（LVIM）のビット 0, 1）を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット 0（LVIRF）が 1 にセットされます。RESF レジスタについての詳細は、**第28章 リセット機能**を参照してください。

30.2 電圧検出回路の構成

図 30 - 1 および図 30 - 2 に電圧検出回路のブロック図を示します。

図30 - 1 LVD0のブロック図

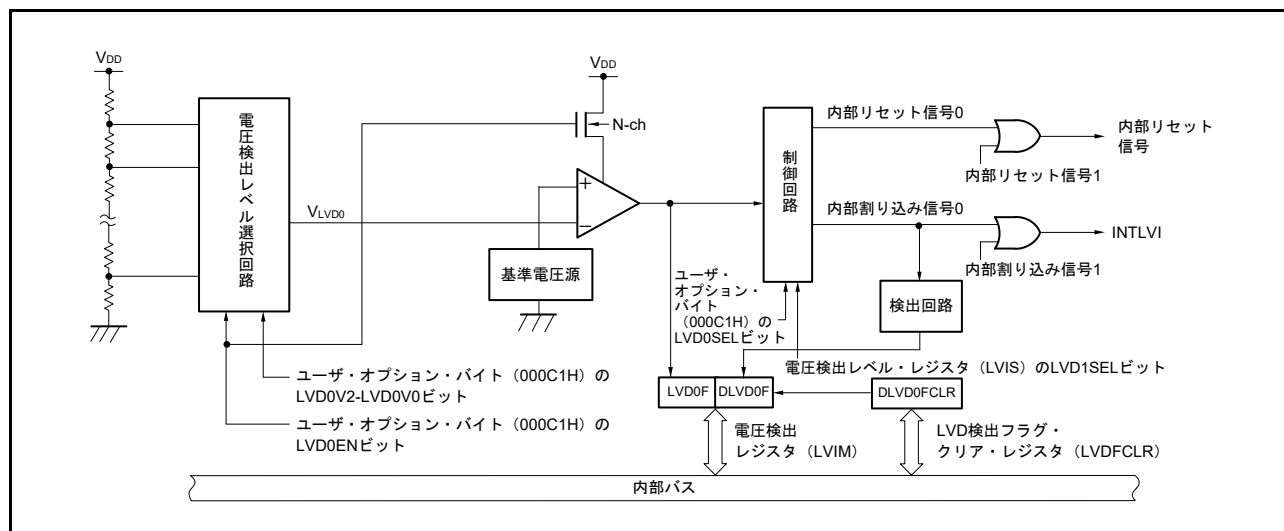
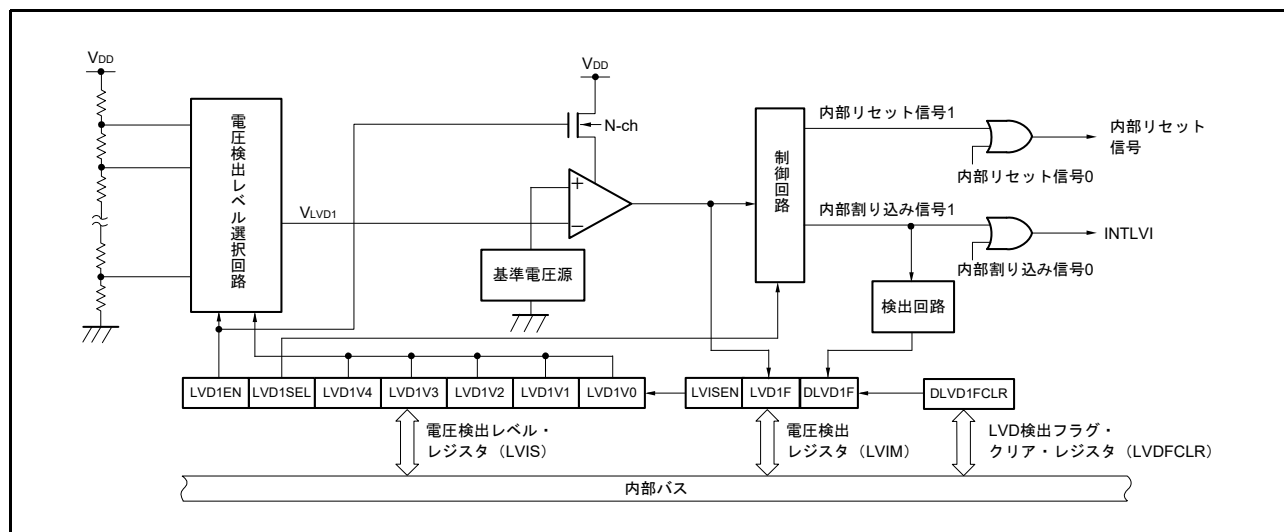


図30 - 2 LVD1のブロック図



30.3 電圧検出回路を制御するレジスタ

電圧検出回路を制御するレジスタを次に示します。

- ユーザ・オプション・バイト（000C1H/040C1H）：第37章 オプション・バイトを参照
- 電圧検出レジスタ（LVIM）
- LVD検出フラグ・クリア・レジスタ（LVDFCLR）
- 電圧検出レベル・レジスタ（LVIS）

30.3.1 電圧検出レジスタ（LVIM）

LVIM レジスタは、電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定、LVD0 および LVD1 の状態を確認するレジスタです。

LVIM レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30-3 電圧検出レジスタ（LVIM）のフォーマット

アドレス : FFFA9H
リセット時: 00H^{注1}
R/W属性 : R/W^{注2, 3}

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
LVIM	LVISEN	0	0	0	DLVD1F	DLVD0F	LVD1F	LVD0F
LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定							
0	LVIS レジスタの書き換え禁止							
1 ^{注4}	LVIS レジスタの書き換え許可（LVD1によるリセットおよび割り込み発生がマスクされます）							
DLVDnF	LVDnの割り込み検出フラグ							
0	LVDnの割り込みは未検出							
1	LVDnの割り込みを検出							
LVDnF	電圧検出フラグ							
0	電源電圧（VDD）≧検出電圧（VLVDn）、またはLVDオフ時							
1	電源電圧（VDD）<検出電圧（VLVDn）							

- 注1. LVD0が動作許可かつ電源電圧（VDD）<検出電圧（VLVD0）の場合、リセット値は01Hになります。
- 注2. ビット1, 0は、読み出しのみ可能です。
- 注3. ビット3, 2は、読み出しのみ可能です。LVD検出フラグ・クリア・レジスタ（LVDFCLR）でクリア可能です。
- 注4. LVISENビットが1の状態では、LVD1によるリセットおよび割り込み発生がマスクされます。このため、LVISレジスタを書き換えた後はLVISENビットを0にしてください。

備考 n = 0, 1

30.3.2 LVD検出フラグ・クリア・レジスタ（LVDFCLR）

LVDFCLR レジスタは、電圧検出レジスタ（LVIM）の割り込み検出フラグ（DLVD0F, DLVD1F）をクリアするレジスタです。

LVDFCLR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30 - 4 LVD検出フラグ・クリア・レジスタ（LVDFCLR）のフォーマット

アドレス : F0218H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	1	0
LVDFCLR	0	0	0	0	DLVD1FCLR	DLVD0FCLR	0	0
DLVD1FCLR 注	DLVD1Fクリア							
0	無効							
1	1を書き込むことにより、DLVD1Fフラグをクリア							
DLVD0FCLR 注	DLVD0Fクリア							
0	無効							
1	1を書き込むことにより、DLVD0Fフラグをクリア							

注 1のみ書き込めます。0の書き込みは無効となります。
1書き込み後も0が読めます。

30.3.3 電圧検出レベル・レジスタ (LVIS)

LVIS レジスタは、LVD1 の電圧検出レベルを設定するレジスタです。

LVIS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、19H になります。

図30 - 5 電圧検出レベル・レジスタ (LVIS) のフォーマット

アドレス : FFFAAH

リセット時: 19H

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
LVIS	LVD1EN	LVD1SEL	0	LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0

LVD1EN	LVD1の動作許可
0	動作停止
1	動作許可

LVD1SEL	LVD1の動作モード
0	割り込みモード
1	リセットモード

LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0	LVD1 検出電圧 ^{注1, 2}	
						立ち上がり 立ち下がり
1	1	1	1	1	VLVD117	1.67 V 1.63 V
1	1	1	1	0	VLVD116	1.78 V 1.74 V
1	1	1	0	1	VLVD115	1.88 V 1.84 V
1	1	1	0	0	VLVD114	1.98 V 1.94 V
1	1	0	1	1	VLVD113	2.09 V 2.04 V
1	1	0	1	0	VLVD112	2.20 V 2.15 V
1	1	0	0	1	VLVD111	2.30 V 2.25 V
1	1	0	0	0	VLVD110	2.40 V 2.35 V
1	0	1	1	1	VLVD19	2.50 V 2.45 V
1	0	1	1	0	VLVD18	2.66 V 2.60 V
1	0	1	0	1	VLVD17	2.82 V 2.76 V
1	0	1	0	0	VLVD16	2.97 V 2.91 V
1	0	0	1	1	VLVD15	3.13 V 3.06 V
1	0	0	1	0	VLVD14	3.35 V 3.27 V
1	0	0	0	1	VLVD13	3.55 V 3.47 V
1	0	0	0	0	VLVD12	3.75 V 3.67 V
0	1	1	1	1	VLVD11	3.96 V 3.88 V
0	1	1	1	0	VLVD10	4.16 V 4.08 V

(注、注意は次ページに続きます)

- 注1.** LVD0をリセット・モードに設定する場合、LVD1の検出電圧は、LVD0の検出電圧よりも高く設定してください。
- 注2.** LVD0を割り込みモードかつLVD0検出電圧>LVD1検出電圧に設定した場合、リセット解除後のLVD1設定以降はLVD0が不定になります。
- 注意** LVISレジスタを書き換える場合は、図30 - 10 LVD0, LVD1検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例、図30 - 11 LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延の手順で行ってください。

30.4 電圧検出回路の動作

30.4.1 リセット・モードとして使用する場合の設定

LVD0 では、動作モード（リセット・モード（LVD0SEL = 1））と検出電圧（VLVD0）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1 では、動作モード（リセット・モード（LVD1SEL = 1））と検出電圧（VLVD1）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD リセット・モードの動作

LVD0において、リセット・モード（ユーザ・オプション・バイトのLVD0SEL = 1）は、電源投入時、電源電圧（VDD）が電圧検出レベル（VLVD0）を超えるまではLVD0による内部リセット状態を保ちます。電源電圧（VDD）が電圧検出レベル（VLVD0）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（VDD）が電圧検出レベル（VLVD0）を下回るとLVD0による内部リセットが発生します。

LVD1は、電源投入時、動作停止になっています。LVD1を動作許可することにより、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回るとLVD1による内部リセットが発生します。電源電圧（VDD）が電圧検出レベル（VLVD1）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による内部リセットが発生します。なお、LVD1をリセット・モードに設定するとLVD0は割り込みモードになります。また、LVD1による内部リセットが発生することにより、LVD0はリセット・モードになります。

図 30 - 6 に LVD0 の内部リセット信号発生タイミング、図 30 - 7 に LVD1 の内部リセット信号発生タイミングを示します。

図 30 - 6 LVD0の内部リセット信号発生のタイミング

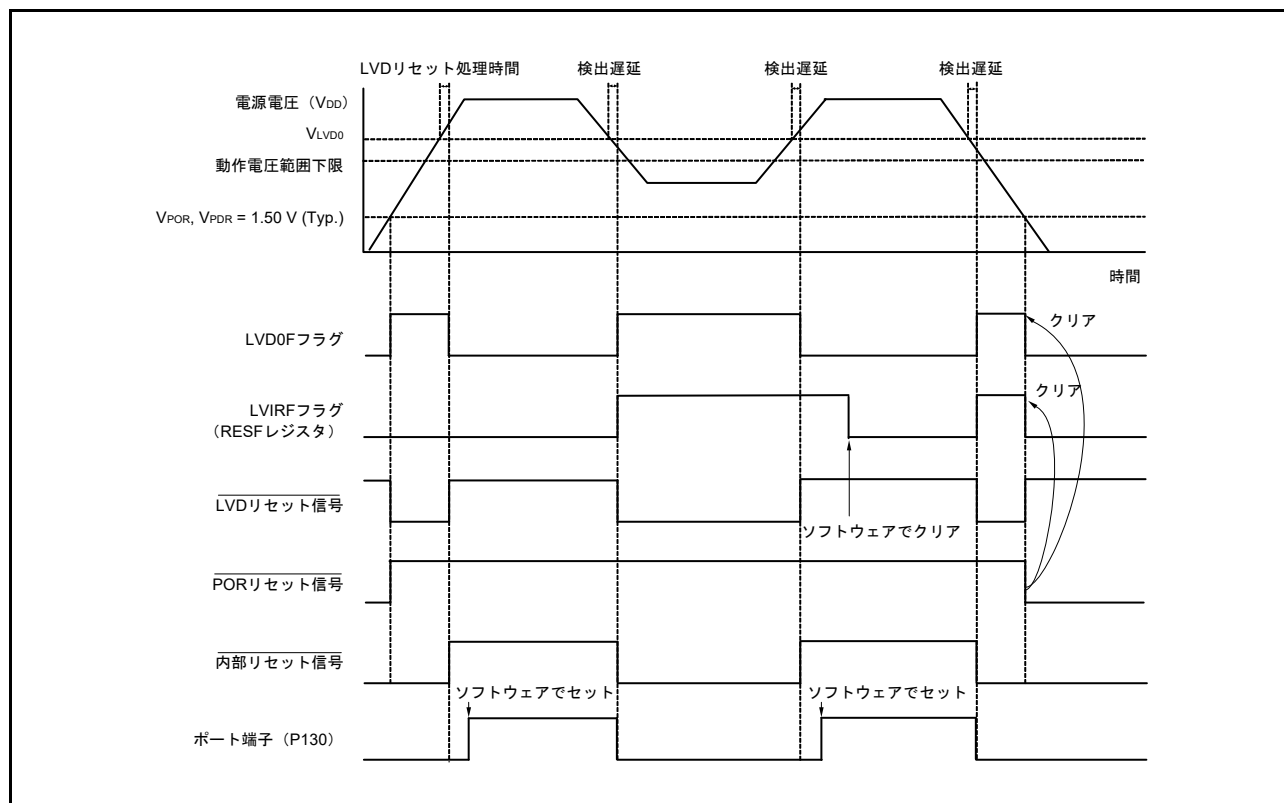
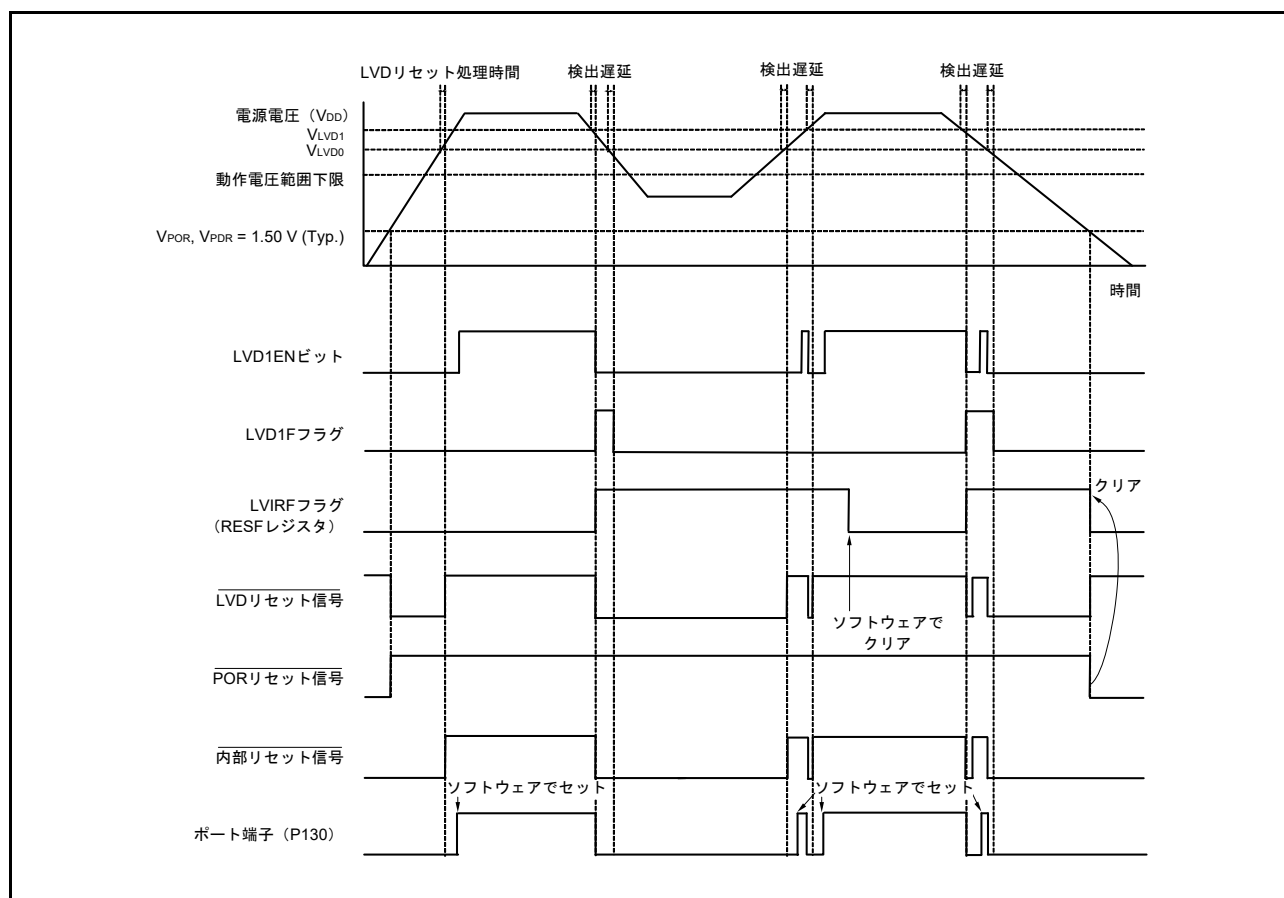


図30 - 7 LVD1の内部リセット信号発生タイミング



備考 LVD0 : リセット・モード

30.4.2 割り込みモードとして使用する場合の設定

LVD0 では、動作モード（割り込みモード（LVD0SEL = 0））と検出電圧（VLVD0）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1 では、（割り込みモード（LVD1SEL = 0））と検出電圧（VLVD1）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD 割り込みモードの動作

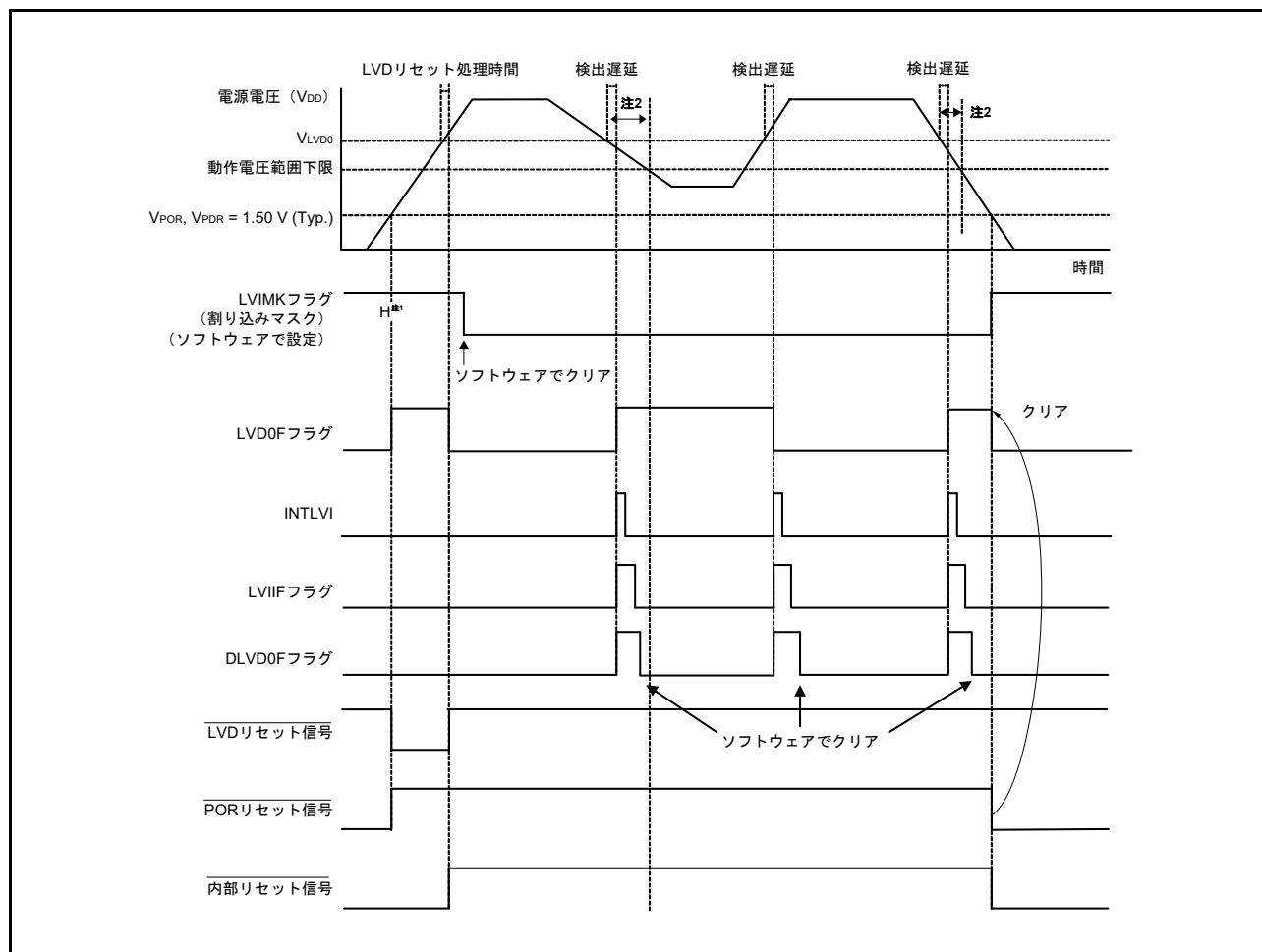
LVD0において、割り込みモード（ユーザ・オプション・バイトのLVD0SEL = 0）では、リセット発生直後、電源電圧（VDD）が電圧検出レベル（VLVD0）を上回るまではLVD0による内部リセット状態を保ちます。電源電圧（VDD）が電圧検出レベル（VLVD0）を上回るとLVD0による内部リセットを解除します。

LVD0の内部リセット解除後は、電源電圧（VDD）が電圧検出レベル（VLVD0）を下回るとLVD0による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（VDD）が電圧検出レベル（VLVD0）を上回るとLVD0による割り込み要求信号（INTLVI）が発生します。電源電圧降下時は、**42.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

LVD1は、電源投入時、動作停止になっています。LVD1を動作許可にすることにより、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回るとLVD1による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（VDD）が電圧検出レベル（VLVD1）を上回るとLVD1による割り込み要求信号（INTLVI）が発生します。なお、電源電圧（VDD）が電圧検出レベル（VLVD1）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による割り込み要求信号（INTLVI）が発生します。

図 30 - 8 に LVD0 の割り込み要求信号発生のタイミング、図 30 - 9 に LVD1 の割り込み要求信号発生のタイミングを示します。

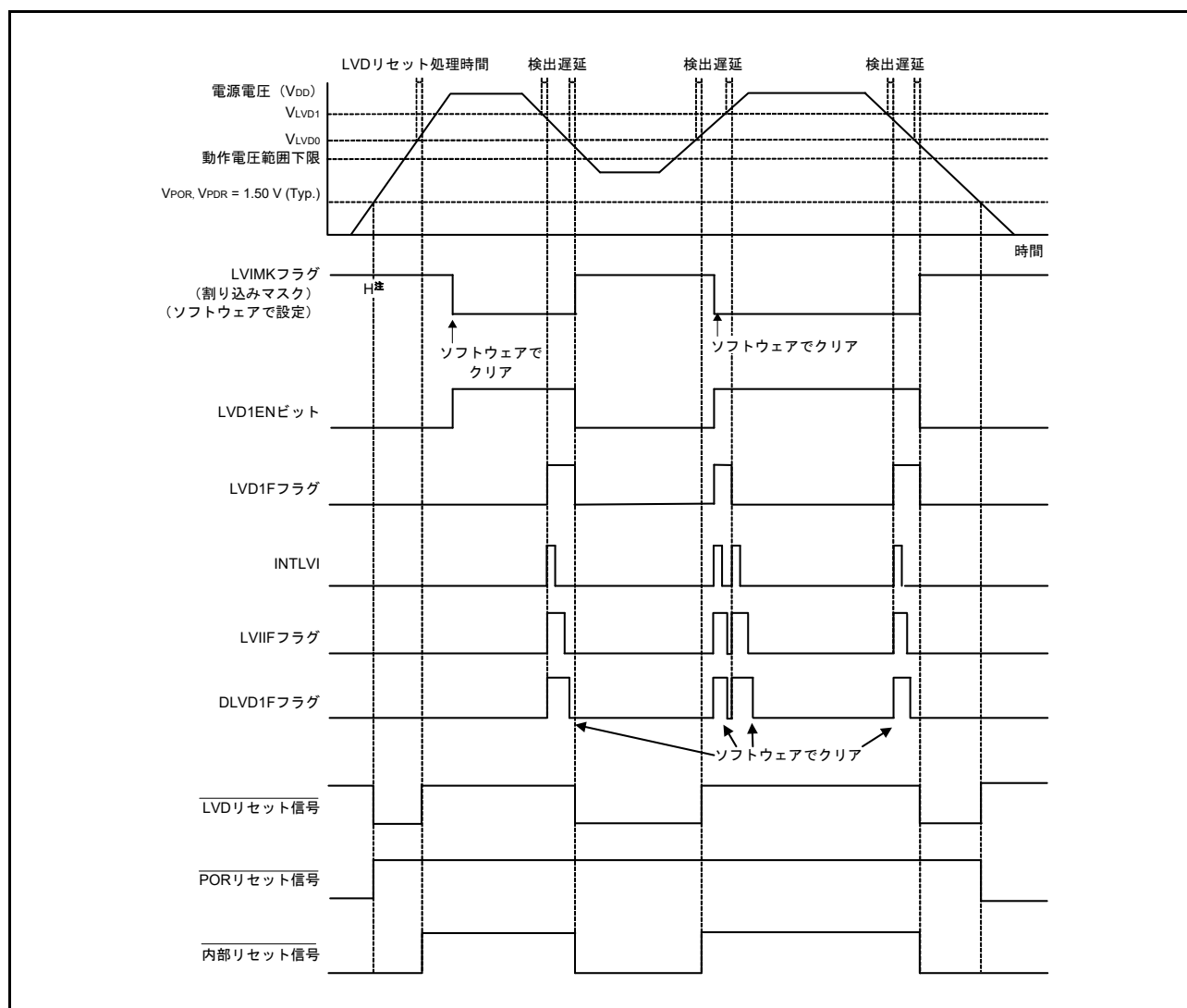
図 30 - 8 LVD0の割り込み要求信号発生のタイミング



注1. LVIMKフラグはリセット信号の発生により、1になっています。

注2. 動作電圧降下時は、42.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図30 - 9 LVD1の割り込み要求信号発生タイミング



注 LVIMKフラグはリセット信号の発生により、1になっています。

備考 LVD0 : リセット・モード

30.5 電圧検出回路使用時の注意事項

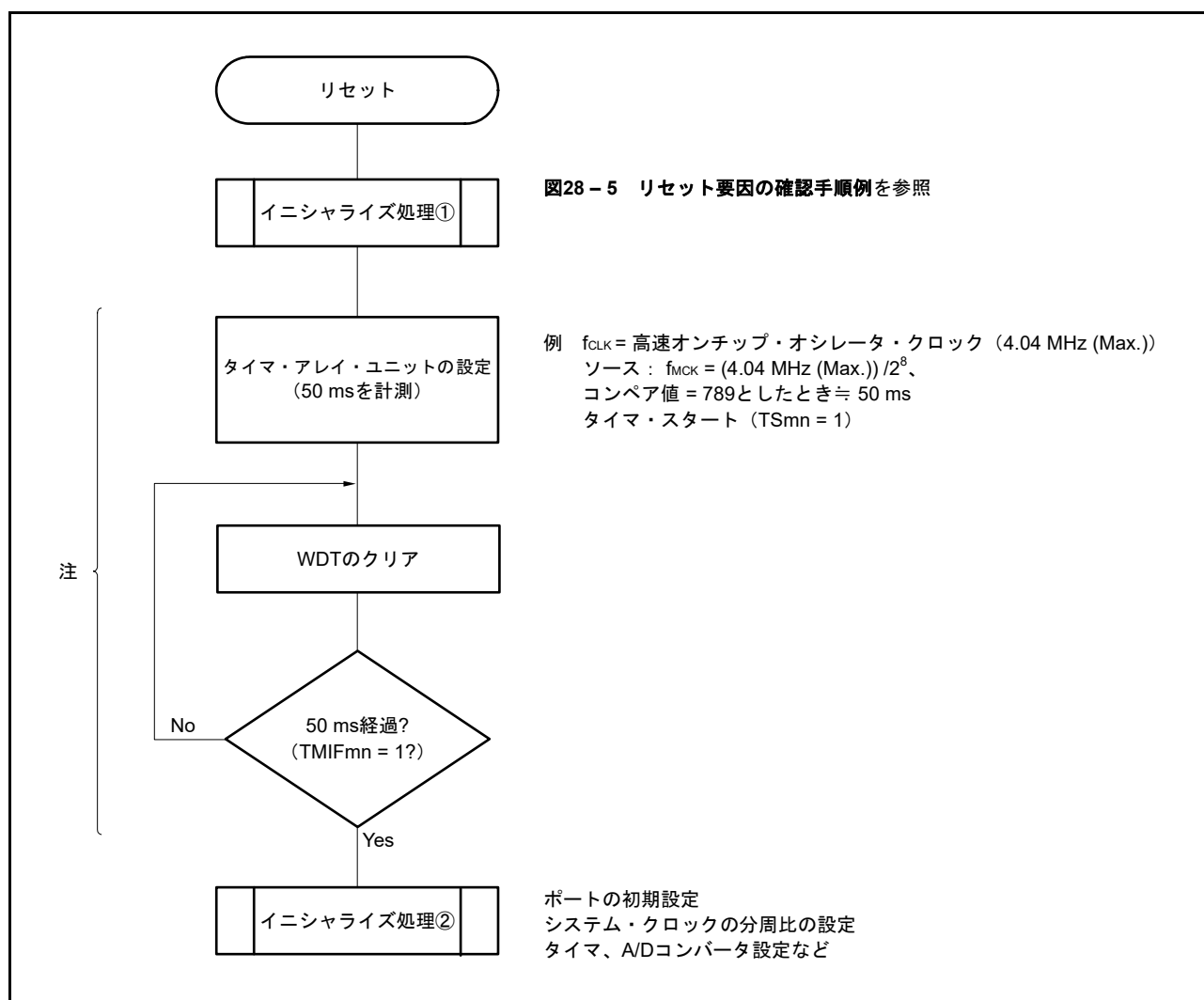
(1) 電源投入時の電圧変動について

電源電圧 (VDD) がLVD0, LVD1検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図30 - 10 LVD0, LVD1検出電圧付近での電源電圧変動が50 ms 以下の場合のソフト処理例

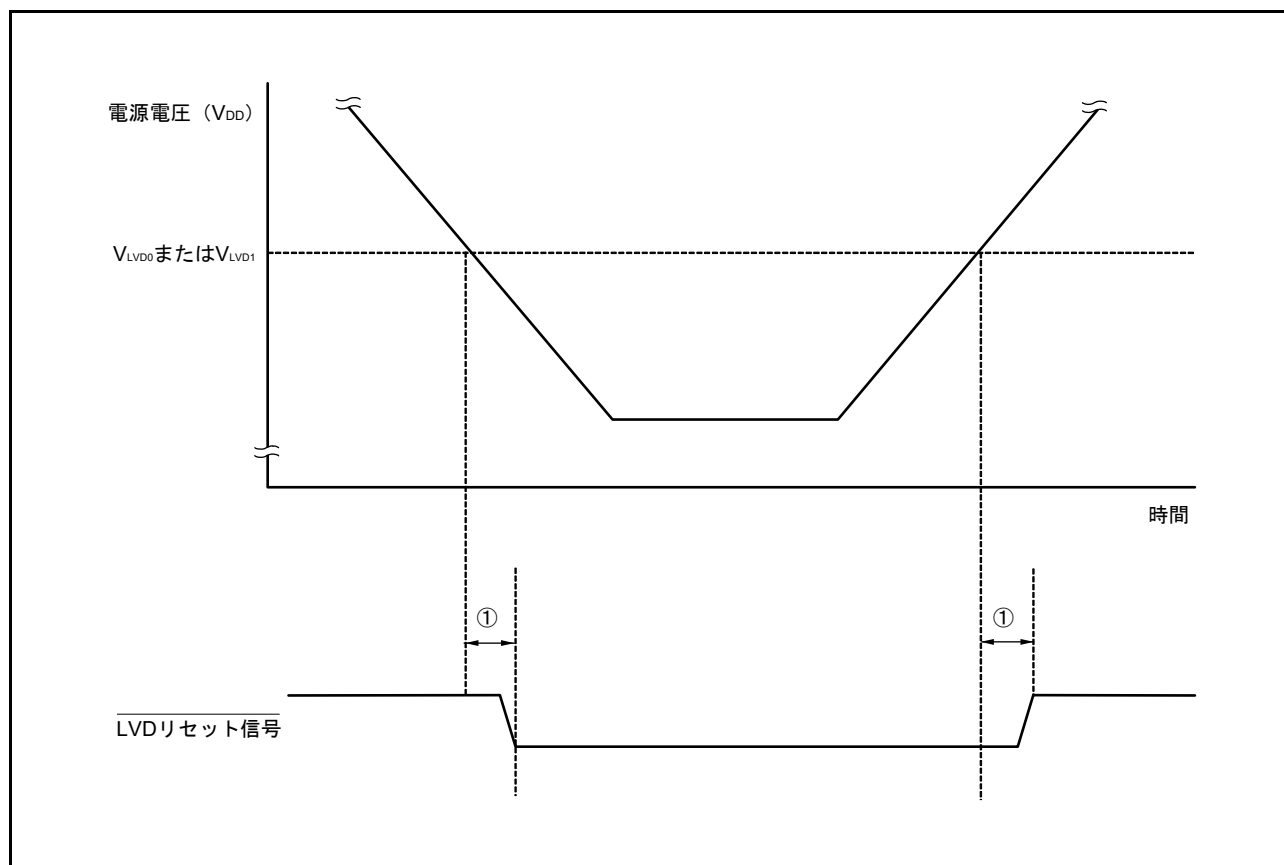


注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 $m = 0, 1; n = 0-7$

- (2) LVD0, LVD1リセット要因発生からLVD0, LVD1リセットが発生または解除されるまでの遅延について
 電源電圧 (V_{DD}) < LVD0, LVD1検出電圧 (V_{LVD0} , V_{LVD1}) になってから、LVD0, LVD1リセットが発生するまでには遅延が生じます。同じようにLVD0, LVD1検出電圧 (V_{LVD0} , V_{LVD1}) $\leq$ 電源電圧 (V_{DD}) になってから、LVD0, LVD1リセットが解除されるまでも遅延が生じます (図30 - 11参照)。

図30 - 11 LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延



備考 ① : 検出遅延 (500 μ s (Max.))

(3) LVD0をオフに設定した場合の電源立ち上げについて

LVD0をオフに設定したときは必ずRESET端子による外部リセットを使用してください。

外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、RESET端子にロウ・レベルを入力してから電源を投入し、**42.4 AC特性**に示す動作電圧範囲内の期間で10 μ s以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

(4) LVD0をオフまたは割り込みモードに設定した場合の動作電圧降下時について

LVD0をオフまたは割り込みモードに設定したときの動作電圧降下時は、**42.4 AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

(5) LVD1の検出電圧の設定手順について

LVD1の検出電圧は下記の手順で設定してください。③を実行したあと、安定待ち時間（1500 μ s以上）が経過するとLVD1が有効になります。

① LVIMレジスタのLVISENビットに1を設定してください。

② LVISレジスタのLVD1ENビットに1を設定し、LVD1V4-LVD1V0ビットを変更してください。

③ LVIMレジスタのLVISENビットに0を設定してください。

第31章 発振停止検出回路

31.1 発振停止検出回路の機能

発振停止検出回路は、低速オンチップ・オシレータ・クロック (f_{IL}) でサブシステム・クロック X (f_{sx}) の動作状態を監視し、一定期間以上の間の動作停止を検出した場合は、XT1 発振回路に異常が発生したと判断し、発振停止検出割り込み信号を出力します。

発振停止検出回路は、リセット解除後にソフトウェアで動作許可する必要があります。

発振停止検出回路は、ソフトウェアで発振停止検出動作を停止します。あるいは、RESET 端子によるリセットまたはウォッチドッグ・タイマ、パワー・オン・リセット、電圧検出回路 (LVD0, 1) の電圧検出、不正命令の実行^注、RAM パリティ・エラーの発生、不正メモリ・アクセスによる内部リセットによって、発振停止検出動作を停止します。また、パワー・オン・リセットによる内部リセットの発生により XT1 発振クロックの発振も停止するため、このリセット発生後は、再度ソフトウェアで XT1 発振クロックの発振を再開させたあと、発振停止検出動作を許可にしてください。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

発振停止検出回路が発振停止の判断をする期間（発振停止判定時間）は、発振停止検出制御レジスタ (OSDC) の OSDCCMP11-OSDCCMP0 ビットで設定できます。

発振停止判定時間 = 低速オンチップ・オシレータ・クロック (f_{IL}) 周期 / 2 ×
((OSDCCMP11-OSDCCMP0 ビットの設定値) + 1)

- OSDCCMP11-OSDCCMP0 = 003H 設定時 : 212 μs (Min.), 244 μs (Typ.), 287 μs (Max.)
- OSDCCMP11-OSDCCMP0 = FFFH 設定時 : 217 ms (Min.), 250 ms (Typ.), 294 ms (Max.)

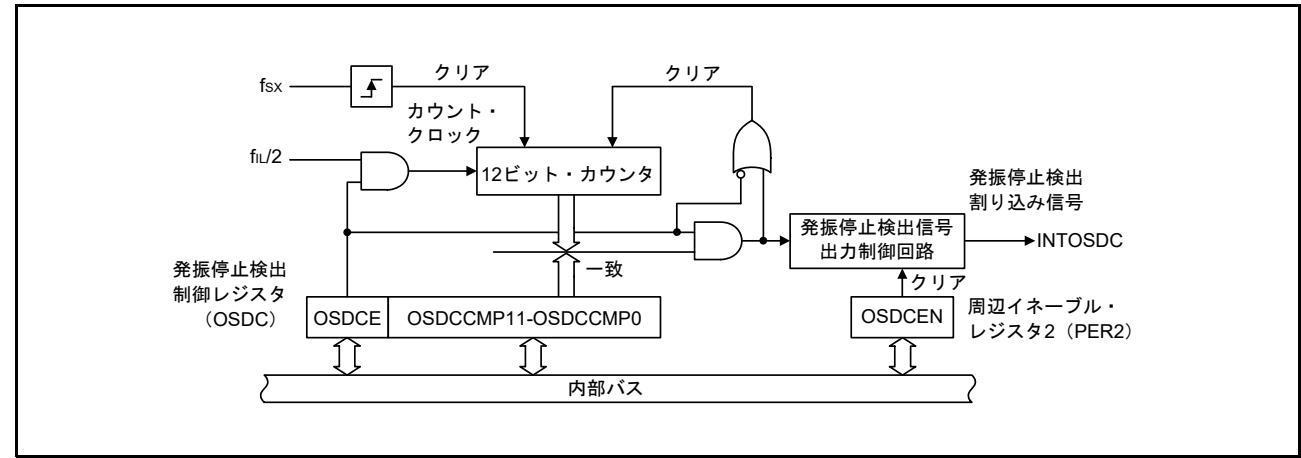
31.2 発振停止検出回路の構成

発振停止検出回路は、以下のハードウェアで構成されています。

表31 - 1 発振停止検出回路の構成

項目	構成
制御レジスタ	・ 周辺イネーブル・レジスタ2 (PER2) ・ 周辺リセット制御レジスタ2 (PRR2) ・ 発振停止検出制御レジスタ (OSDC)

図 31 - 1 発振停止検出回路の概略図



31.3 発振停止検出回路を制御するレジスタ

発振停止検出回路を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ2 (PER2)
- 周辺リセット制御レジスタ2 (PRR2)
- 発振停止検出制御レジスタ (OSDC)

31.3.1 周辺イネーブル・レジスタ2 (PER2)

PER2 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

発振停止検出回路を使用するときは、必ず OSDCEN ビットに 1 を設定してください。

PER2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図31-2 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00FCH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PER2	EXSDEN	OSDCEN	TKBEN	UTA3EN	UTA2EN	UTA1EN	TRJ1EN	TRJ0EN
	OSDCEN	発振停止検出回路の入力クロック供給の制御						
	0	入力クロック供給停止 ・発振停止検出回路で使用するSFRへのライト不可 ^{注1,2}						
	1	入力クロック供給 ・発振停止検出回路で使用するSFRへのリード／ライト可						

- 注1.** リードした場合は、設定値にかかわらず00Hが読めます。ただし、初期化はされていません。
- 注2.** 発振停止検出回路および発振停止検出回路で使用するSFRを初期化する場合、PRR2レジスタのOSDCRESビットを使用してください。
- 注意** 発振停止検出回路の設定をする際には、必ず最初にOSDCEN = 1の設定を行ってください。OSDCEN = 0の場合は、発振停止検出回路の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

31.3.2 周辺リセット制御レジスタ2（PRR2）

PRR2 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR2 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

発振停止検出回路をリセットする場合は、必ず OSDCRES ビットに 1 を設定してください。

PRR2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図31 - 3 周辺リセット制御レジスタ2（PRR2）のフォーマット

アドレス : F00FDH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
PRR2	EXSDRES	OSDCRES	TKBRES	0	0	0	TRJ1RES	TRJ0RES
OSDCRES		発振停止検出回路のリセット制御						
0		発振停止検出回路のリセット解除						
1		発振停止検出回路はリセット状態 ・発振停止検出回路で使用する SFR が初期化されます。						

注意 ビット4-2には、必ず0を設定してください。

31.3.3 発振停止検出制御レジスタ（OSDC）

OSDC レジスタは、発振停止検出回路を制御するレジスタです。発振停止検出回路の動作開始、動作停止を選択します。また、発振停止判定時間を設定します。

OSDCE ビットが0の状態では、発振停止検出回路は動作を開始しません。

OSDC レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FFFH になります。

図31-4 発振停止検出制御レジスタ（OSDC）のフォーマット

アドレス : F02D0H

リセット時: 0FFFH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
OSDC	OSDCE	0	0	0	OSDCCMP 11	OSDCCMP 10	OSDCCMP 9	OSDCCMP 8

略号	7	6	5	4	3	2	1	0
OSDC	OSDCCMP 7	OSDCCMP 6	OSDCCMP 5	OSDCCMP 4	OSDCCMP 3	OSDCCMP 2	OSDCCMP 1	OSDCCMP 0

OSDCE	発振停止検出動作の制御
0	発振停止検出動作停止
1	発振停止検出動作開始

OSDCCMP11- OSDCCMP0	発振停止判定時間
000H ... 002H	設定禁止
003H ... FFFH	発振停止判定時間を設定します。 OSDCCMP11-OSDCCMP0 ビットの設定値（A）に対し、（A - 2）サイクル～ 最大（A + 1）サイクルの期間発振停止した場合は、発振停止と判定されます。 発振停止判定時間 = 低速オンチップ・オシレータ・クロック（f _{IL} ）周期/2 × （（OSDCCMP11-OSDCCMP0 ビットの設定値）+ 1）

注意1. OSDCCMP11-OSDCCMP0 ビットの設定を変更する場合は、必ず OSDCE = 0（発振停止検出動作停止）にしてください。

注意2. 発振停止検出回路は、ソフトウェアで OSDCE ビットに0（発振停止検出動作停止）を設定、あるいは RESET 端子によるリセットまたはウォッチドッグ・タイマ、パワー・オン・リセット、電圧検出回路（LVD0, 1）の電圧検出、不正命令の実行注、RAM パリティ・エラーの発生、不正メモリ・アクセスによる内部リセットによって発振停止検出動作を停止します。

また、パワー・オン・リセットによる内部リセットの発生により XT1 発振クロックの発振も停止するため、このリセット発生後は、再度ソフトウェアで XT1 発振クロックの発振を再開させたあと、発振停止検出動作を許可にしてください。

注意3. ビット14-12には、必ず0を設定してください。

注 FFFHの命令コードを実行したときに発生します。

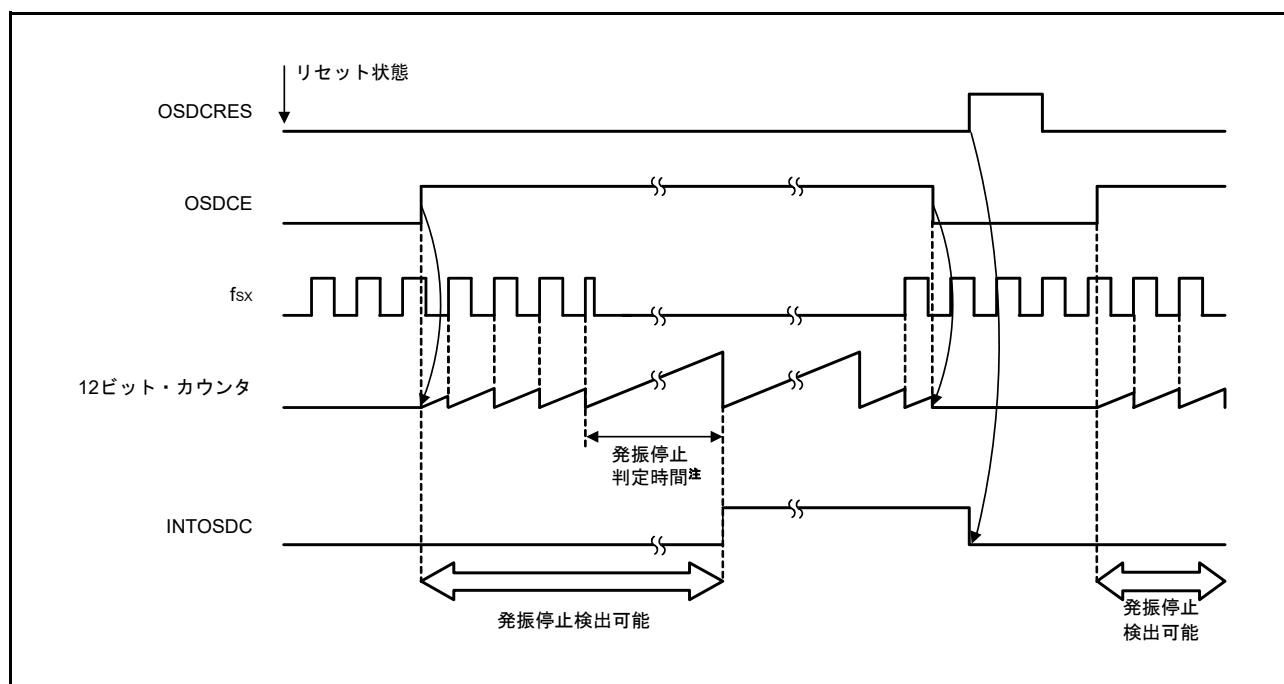
不正命令の実行によるリセットは、オンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

31.4 発振停止検出回路の動作

31.4.1 発振停止検出回路の動作方法

- (1) 外部リセット解除後、サブシステム・クロックの発振を開始します。
- (2) 発振停止検出制御レジスタ（OSDC）に書き込みを行うことにより、発振停止検出回路が動作を開始します。
- (3) 発振停止検出回路が動作中に、サブシステム・クロックが発振停止判定時間以上連続して停止すると、発振停止検出割り込み（INTOSDC）を出力します。

図31-5 発振停止検出回路のタイミング



注 OSDCCMP11-OSDCCMP0ビットの設定値（A）に対し、（A - 2）サイクル～最大（A + 1）サイクルの期間発振停止した場合は、発振停止と判定されます。

31.5 発振停止検出機能使用時の注意事項

発振停止検出回路は、ウォッチドッグ・タイマと一緒に使用してください。

発振停止検出は、次の条件で使用できます。

- ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTON ビットに1、OSMCレジスタのWUTMMCK0 ビットに0を設定した場合

第32章 安全機能

32.1 安全機能の概要

安全規格 IEC60730 に対応するため、本製品では以下の安全機能を搭載しています。

この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能（高速CRC、汎用CRC）

CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けいただくことができます。

- 「高速CRC」: 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用CRC」: CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) フラッシュ・メモリ・ガード機能

CPUの暴走によるフラッシュ・メモリの書き換えを防止します。

(3) RAMパリティ・エラー検出機能

RAMデータを読み出すとき、パリティ・エラーを検出します。

(4) RAMガード機能

CPUの暴走によるRAMデータの書き換えを防止します。

(5) SFRガード機能

CPUの暴走によるSFRの書き換えを防止します。

(6) 不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しない、アクセスが制限されている領域）への不正なアクセスを検出します。

(7) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のガード機能

CPUの暴走による不正メモリ・アクセス検出制御レジスタの書き換えを防止します。

(8) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU／周辺ハードウェア・クロック周波数の自己チェックができます。

(9) A/Dテスト機能

A/Dコンバータの+側基準電圧、一側基準電圧、アナログ入力チャネル（AN1xx）、温度センサ出力電圧および内部基準電圧をA/D変換することにより、A/Dコンバータの自己チェックができます。

(10) 入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に、端子の出力レベルを読み出すことができます。

(11) UARTループバック機能

UARTnのTxDn端子とRxDn端子、UARTAmのTxDAm端子とRxDAm端子をそれぞれ外部から遮断、MCU内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、送信データが正常に出力していることを確認できます。

備考1. $n = 0-3, m = 0-3$

備考2. 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリ アプリケーションノートを参照してください。

32.2 安全機能で使用するレジスタ

安全機能で使用するレジスタを次に示します。

- フラッシュ・メモリCRC制御レジスタ (CRC0CTL)
- フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)
- CRC入力レジスタ (CRCIN)
- CRCデータ・レジスタ (CRCD)
- コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0)
- データ・フラッシュ・メモリ・ガードレジスタ (GFLASH1)
- フラッシュ・セキュリティ領域ガードレジスタ (GFLASH2)
- RAMパリティ・エラー制御レジスタ (RPECTL)
- 不正メモリ・アクセス検出制御レジスタ (IAWCTL)
 - RAM ガード機能
 - SFR ガード機能
 - 不正メモリ・アクセス検出機能
- IAWCTLレジスタ・ガードレジスタ (GIAWCTL)
- タイマ入力選択レジスタ0 (TIS0)
- A/Dテスト・レジスタ (ADTES)
- アナログ入力チャネル指定レジスタ (ADS)
- ポート・モード選択レジスタ (PMS)
- UARTループバック選択レジスタ (ULBS)

各レジスタの内容については、**32.3 安全機能の動作**の中で説明します。

32.3 安全機能の動作

32.3.1 フラッシュ・メモリCRC演算機能 (高速CRC)

IEC60730 ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定 (イニシャライズ) ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です (例 フラッシュ・メモリ 64 KB : 512 μ s@32 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

32.3.1.1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL)

CRC0CTL レジスタは、高速 CRC 演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図32-1 フラッシュ・メモリCRC制御レジスタ (CRC0CTL) のフォーマット (1/2)

アドレス : F02F0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT 命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	0000H-03FFBH (16 K-4 バイト)
0	0	0	0	0	1	0000H-07FFBH (32 K-4 バイト)
0	0	0	0	1	0	0000H-0BFFBH (48 K-4 バイト)
0	0	0	0	1	1	0000H-0FFF BH (64 K-4 バイト)
0	0	0	1	0	0	0000H-13FFBH (80 K-4 バイト)
0	0	0	1	0	1	0000H-17FFBH (96 K-4 バイト)
0	0	0	1	1	0	0000H-1BFFBH (112 K-4 バイト)
0	0	0	1	1	1	0000H-1FFF BH (128 K-4 バイト)
0	0	1	0	0	0	0000H-23FFBH (144 K-4 バイト)
0	0	1	0	0	1	0000H-27FFBH (160 K-4 バイト)
0	0	1	0	1	0	0000H-2BFFBH (176 K-4 バイト)
0	0	1	0	1	1	0000H-2FFF BH (192 K-4 バイト)
0	0	1	1	0	0	0000H-33FFBH (208 K-4 バイト)
0	0	1	1	0	1	0000H-37FFBH (224 K-4 バイト)
0	0	1	1	1	0	0000H-3BFFBH (240 K-4 バイト)
0	0	1	1	1	1	0000H-3FFF BH (256 K-4 バイト)
0	1	0	0	0	0	0000H-43FFBH (272 K-4 バイト)
0	1	0	0	0	1	0000H-47FFBH (288 K-4 バイト)
0	1	0	0	1	0	0000H-4BFFBH (304 K-4 バイト)
0	1	0	0	1	1	0000H-4FFF BH (320 K-4 バイト)
0	1	0	1	0	0	0000H-53FFBH (336 K-4 バイト)
0	1	0	1	0	1	0000H-57FFBH (352 K-4 バイト)

図32 - 1 フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット (2/2)

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	1	0	1	1	0	0000H-5BFFBH (368 K-4バイト)
0	1	0	1	1	1	0000H-5FFFFBH (384 K-4バイト)
0	1	1	0	0	0	0000H-63FFBH (400 K-4バイト)
0	1	1	0	0	1	0000H-67FFBH (416 K-4バイト)
0	1	1	0	1	0	0000H-6BFFBH (432 K-4バイト)
0	1	1	0	1	1	0000H-6FFFFBH (448 K-4バイト)
0	1	1	1	0	0	0000H-73FFBH (464 K-4バイト)
0	1	1	1	0	1	0000H-77FFBH (480 K-4バイト)
0	1	1	1	1	0	0000H-7BFFBH (496 K-4バイト)
0	1	1	1	1	1	0000H-7FFFFBH (512 K-4バイト)
上記以外						設定禁止

注意 ビット6には、必ず0を設定してください。

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

32.3.1.2 フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

PGCRCL レジスタは、高速 CRC 演算結果を格納するレジスタです。

PGCRCL レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図32-2 フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス : F02F2H

リセット時: 0000H

R/W属性 : R/W

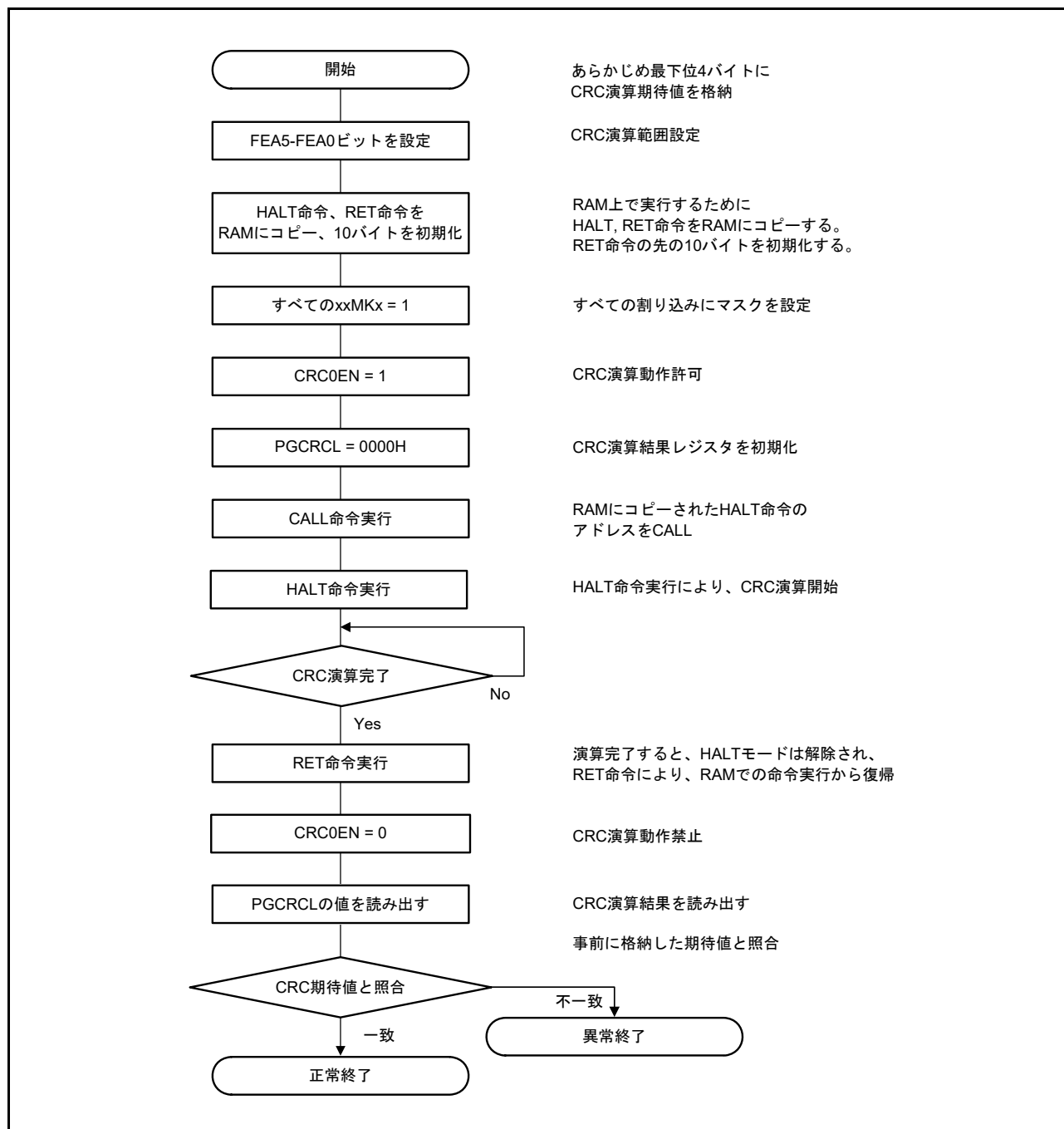
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-PGCRC0		高速CRC演算結果					
	0000H-FFFFH		高速CRC演算結果を格納					

注意 PGCRCL レジスタは、CRC0EN（CRC0CTL レジスタのビット7）= 1 の場合のみ書き込み可能です。

図 32 - 3 にフラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャートを示します。

<動作フロー>

図 32 - 3 フラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャート



注意 1. CRC 演算の対象は、コード・フラッシュ・メモリのみです。

注意 2. CRC 演算の期待値は、コード・フラッシュ・メモリ内の演算範囲の後に格納してください。

注意 3. RAM 領域にて、HALT 命令を実行することで、CRC 演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

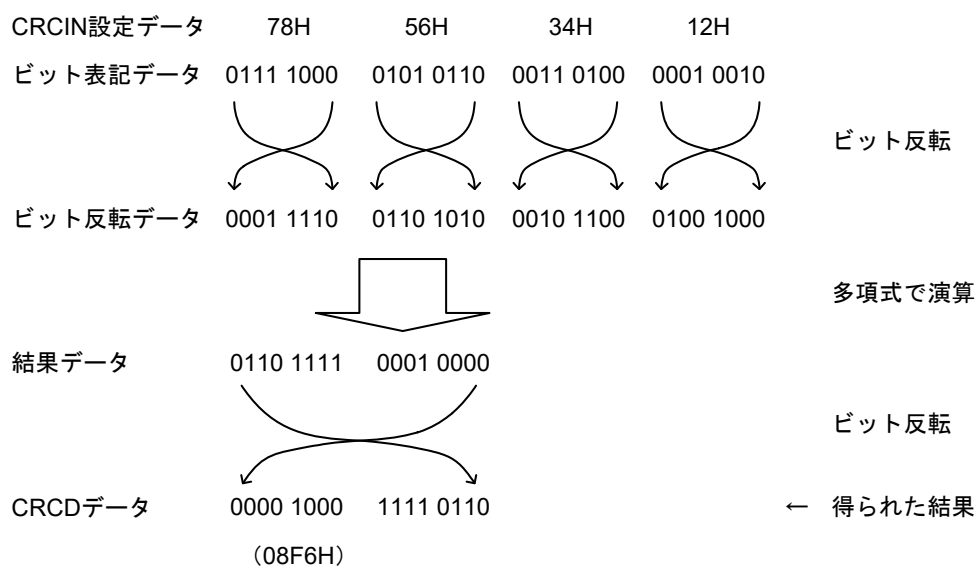
CRC 演算の期待値は、総合開発環境 CS+ を使用して算出することができます。詳細は、CS+ 統合開発環境ユーザーズマニュアルを参照してください。

32.3.2 CRC演算機能（汎用CRC）

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は、DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H, 56H, 34H, 12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き換えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

32.3.2.1 CRC入力レジスタ（CRCIN）

CRCIN レジスタは、汎用 CRC の CRC 計算するデータを設定する 8 ビットのレジスタです。
設定可能範囲は、00H-FFH です。
CRCIN レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図32 - 4 CRC入力レジスタ（CRCIN）のフォーマット

アドレス : FFFACH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
ビット7-0	機能							
00H-FFH	データ入力							

32.3.2.2 CRCデータ・レジスタ（CRCD）

CRCD レジスタは、汎用 CRC の CRC 演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFH です。

CRCIN レジスタ書き込みから、CPU / 周辺ハードウェア・クロック（fCLK）の 1 クロック経過後に、CRC 演算結果が CRCD レジスタに格納されます。

CRCD レジスタは、16 ビット・メモリ操作命令で設定します。

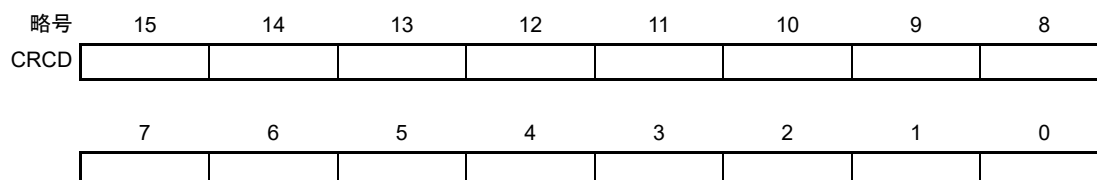
リセット信号の発生により、0000H になります。

図32-5 CRCデータ・レジスタ（CRCD）のフォーマット

アドレス : F02FAH

リセット時: 0000H

R/W属性 : R/W

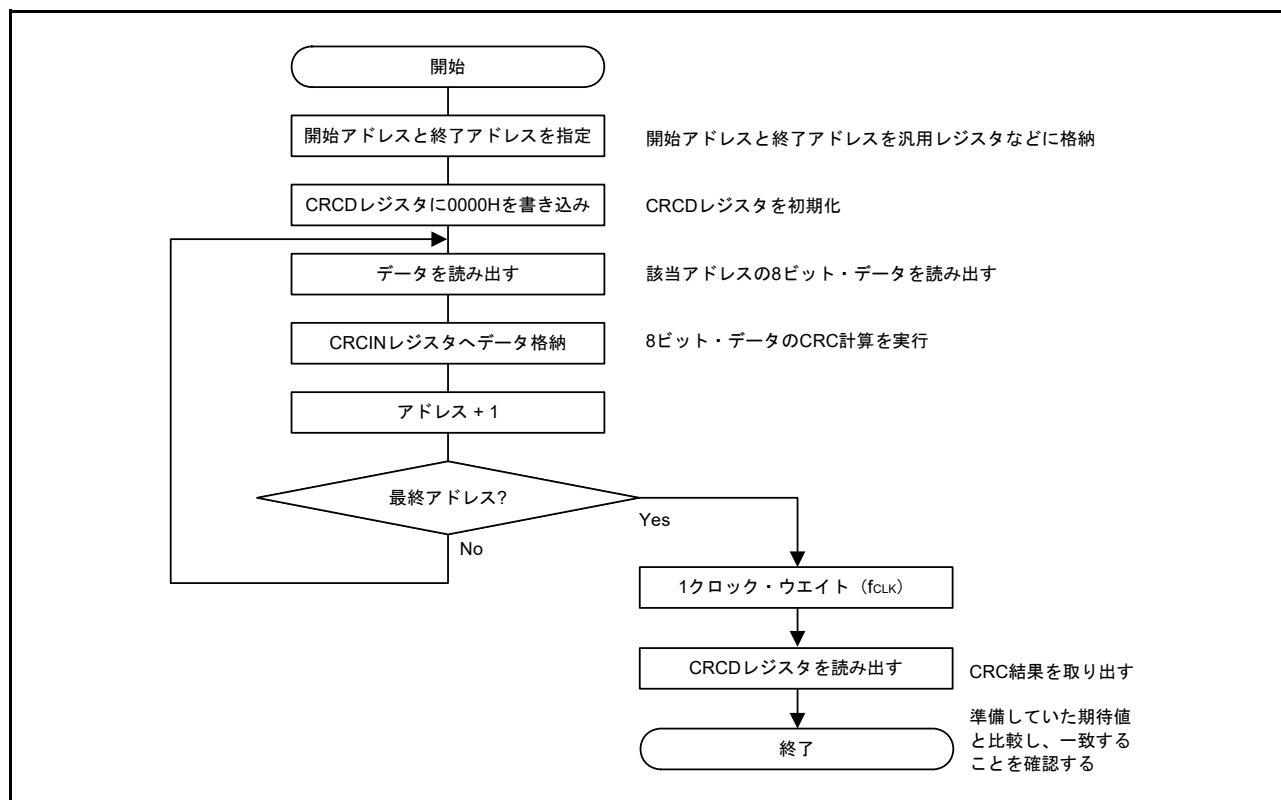


注意1. CRCD レジスタに書き込まれた値を読み出す場合は、CRCIN レジスタへの書き込みを行う前に読み出してください。

注意2. CRCD レジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図32-6 CRC演算機能（汎用CRC）のフロー・チャート



32.3.3 フラッシュ・メモリ・ガード機能

IEC60730 では動作中の安全を確保しなければいけないため、CPU が暴走してもフラッシュ・メモリが書き換わってしまわないように保護する必要があります。

フラッシュ・メモリ・ガード機能は、コード・フラッシュ・メモリ、データ・フラッシュ・メモリとフラッシュ・セキュリティ領域を保護するための機能です。フラッシュ・メモリ・ガード機能を設定すると、保護されたフラッシュ・メモリ領域への書き込みは無効になります。保護されたフラッシュ・メモリ領域の読み出しは可能です。

32.3.3.1 コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0)

コード・フラッシュ・メモリへの書き込みを保護するレジスタです。

コード・フラッシュ・メモリを書き換えるためには、GFLASH0.GFL0 ビットに 0 を設定する必要があります。コード・フラッシュ・メモリをガードするときは、GFLASH0 レジスタを設定したあと、値が 1 になっていることを確認してから、コード・フラッシュ・メモリの読み出しを行ってください。

GFLASH0 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図32-7 コード・フラッシュ・メモリ・ガードレジスタ (GFLASH0) のフォーマット

アドレス : F0488H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH0	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GFL0
RKEY[7:0]	機能							
ビット 7-0	GFLASH0 レジスタ書き換えを制御するキーコードです。GFL0 ビットを書き換える場合は、RKEY[7:0] = 30H に設定してください。 本ビットは、読むと 00H が読めます。							
GFL0	コード・フラッシュ・メモリの書き換え制御							
0	コード・フラッシュ・メモリを保護しない（書き換え許可）							
1	コード・フラッシュ・メモリを保護する（書き換え不可）							

32.3.3.2 データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）

GFLASH1 レジスタは、データ・フラッシュ・メモリへの書き込みを保護するレジスタです。

データ・フラッシュ・メモリを書き換えるためには、GFLASH1.GFL1 ビットに 0 を設定する必要があります。データ・フラッシュ・メモリをガードするときは、GFLASH1 レジスタを設定したあと、値が 1 になっていることを確認してから、データ・フラッシュ・メモリの読み出しを行ってください。

GFLASH1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図32 - 8 データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）のフォーマット

アドレス : F048AH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH1	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GFL1
RKEY[7:0]	機能							
ビット 7-0	GFLASH1 レジスタ書き換えを制御するキーコードです。GFL1 ビットを書き換える場合は、RKEY[7:0] = C5H に設定してください。 本ビットは、読むと 00H が読めます。							
GFL1	データ・フラッシュ・メモリの書き換え制御							
0	データ・フラッシュ・メモリを保護しない（書き換え許可）							
1	データ・フラッシュ・メモリを保護する（書き換え不可）							

32.3.3.3 フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）

GFLASH2 レジスタは、フラッシュ・メモリのセキュリティ設定を格納しているフラッシュ・セキュリティ領域を保護するレジスタです。

フラッシュ・セキュリティ領域の設定を書き換えるためには、GFLASH2.GFL2 ビットに 0 を設定する必要があります。

GFLASH2 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図32 -9 フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）のフォーマット

アドレス : F048CH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GFLASH2	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GFL2
RKEY[7:0]	機能							
ビット 7-0	GFLASH2レジスタ書き換えを制御するキーコードです。GFL2ビットを書き換える場合は、RKEY[7:0] = 9AHに設定してください。 本ビットは、読むと 00Hが読めます。							
GFL2	フラッシュ・セキュリティ領域の書き換え制御							
0	フラッシュ・セキュリティ領域を保護しない（書き換え許可）							
1	フラッシュ・セキュリティ領域を保護する（書き換え不可）							

32.3.4 RAMパリティ・エラー検出機能

IEC60730 ではRAM データ確認が義務付けられています。そのため、本製品のRAM には、8 ビットにつき1 ビットのパリティが付加されています。このRAM パリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

32.3.4.1 RAMパリティ・エラー制御レジスタ（RPECTL）

RPECTL レジスタは、パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTL レジスタは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図32-10 RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス : F00F5H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	<0>
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
	RPERDIS	パリティ・エラー・リセット・マスク・フラグ						
	0	パリティ・エラー・リセット発生を許可						
	1	パリティ・エラー・リセット発生を禁止						
	RPEF	パリティ・エラー・ステータス・フラグ						
	0	パリティ・エラーが発生していない						
	1	パリティ・エラーが発生した						

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。そのため、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。

また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

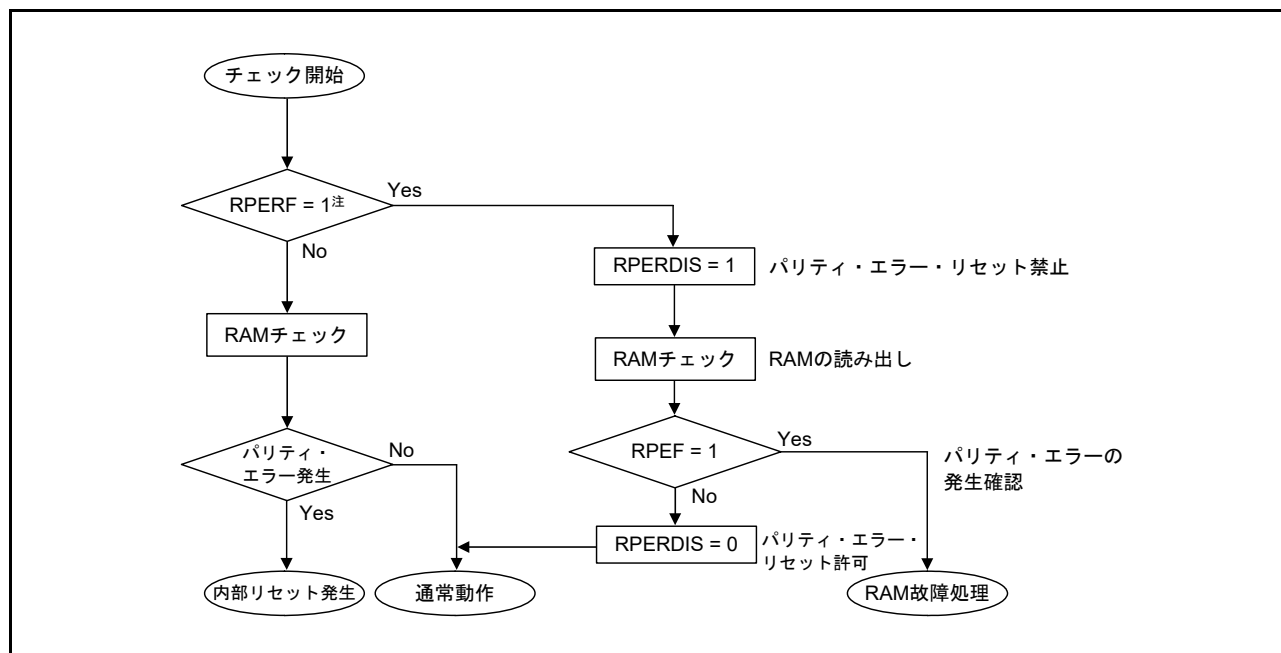
備考1. 初期状態では、パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。

備考2. パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に、パリティ・エラーが発生した場合も、RPEFフラグは1にセットされます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると、RPERDISフラグを0にクリアした時点でパリティ・エラー・リセットが発生します。

備考3. RPEFフラグは、パリティ・エラー発生時に1にセットされ、0の書き込み、またはすべてのリセット要因により0にクリアされます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図32-11 RAMパリティ・チェックのフロー・チャート



注 RAMパリティ・エラーによる内部リセットの確認は、**第28章 リセット機能**を参照してください。

32.3.5 RAM ガード機能

この RAM ガード機能は、指定した空間のデータを保護するための機能です。

RAM ガード機能を設定すると、指定した空間への RAM 書き込みは無効になります。保護された指定領域の読み出しは可能です。

32.3.5.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

RAM ガード機能では、GRAM1, GRAM0 ビットを使用します。

IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図32 - 12 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAM保護空間 ^注
0	0	無効。RAMへの書き込み可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

備考 本ガード機能は、CPU、データ・トランスファ・コントローラ（DTC）、SNOOZEモード・シーケンサ（SMS）からのアクセスが対象です。

32.3.6 SFR ガード機能

SFR ガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAM パリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFR ガード機能を設定すると、保護された SFR への書き込みは無効になります。保護された SFR の読み出しは可能です。

32.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

SFR ガード機能では、GPORT, GINT, GCSC ビットを使用します。

IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図32 - 13 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタの保護
0	無効。ポート機能の制御レジスタの読み出し／書き込み可能
1	有効。ポート機能の制御レジスタの書き込み無効、読み出し可能 [保護されるSFR] PMxx, PUxx, PIMxx, POMxx, PMCAxx, PMCTxx, PMCExx, PFOEx, PDIDISxx, CCDE, CCSm, PTDC, PFSEGx, ISCLCD ^注

GINT	割り込み機能のレジスタの保護
0	無効。割り込み機能の制御レジスタの読み出し／書き込み可能
1	有効。割り込み機能の制御レジスタの書き込み無効、読み出し可能 [保護されるSFR] IFxx, MKxx, PRxx, EGP0, EGN0

GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの保護
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの読み出し／書き込み可能
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの書き込み無効、読み出し可能 [保護されるSFR] CMC, CSC, OSTs, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, CKSEL, PRRx, MOCODIV, WKUPMD, PSMCR, MODRV, SOMRG

注 ポート・レジスタ (Pxx) は保護されません。

32.3.7 不正メモリ・アクセス検出機能

IEC60730 では CPU と割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図 32 - 14 で「NG」と記載した範囲になります。

図32 - 14 不正アクセス検出空間

		アクセス可否					
		読み出し	書き込み	命令フェッチ			
FFFFFH	特殊機能レジスタ (SFR) 256バイト	OK	OK	NG			
FFF00H				OK			
FFEFFH							
FFEE0H							
FFEDFH	汎用レジスタ 32バイト		NG	OK			
zzzzzH							
ミラー領域				NG			
データ・フラッシュ・メモリ				NG			
F1000H	使用不可			OK			
F0FFFFH							
F0800H	拡張特殊機能レジスタ (2nd SFR) 2 Kバイト			NG			
F07FFH							
F0000H	使用不可		NG	OK			
FFFFFFH							
EFFDEH	製品名のアスキーコード ユニークID			OK			
EFFDDH							
EFFC0H	使用不可			NG			
EFFBFH							
EE000H	使用不可			NG			
EDFFFH							
使用不可		NG		NG			
yyyyyH	コード・フラッシュ・メモリ注						
xxxxxH	OK			OK			
00000H							

(注は次ページに続きます)

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し／命令フェッチ時の 検出最下位アドレス (yyyyyH)
R7F100LxE (x = F, G, J, L)	65536 × 8 ビット (00000H-0FFFFH)	16384 × 8 ビット (FBF00H-FFEFFH)	10000H
R7F100LxG (x = F, G, J, L, M, P)	131072 × 8 ビット (00000H-1FFFFH)	16384 × 8 ビット (FBF00H-FFEFFH)	20000H
R7F100LxJ (x = F, G, J, L, M, P)	262144 × 8 ビット (00000H-3FFFFH)	32768 × 8 ビット (F7F00H-FFEFFH)	40000H
R7F100LxL (x = F, G, J, L, M, P)	524288 × 8 ビット (00000H-7FFFFH)	32768 × 8 ビット (F7F00H-FFEFFH)	80000H

32.3.7.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWEN ビットを使用します。

IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図32 - 15 不正メモリ・アクセス検出制御レジスタ (IAWCTL) のフォーマット

アドレス : F0078H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN ^注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注 IAWEN ビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 ユーザ・オプション・バイト (000C0H) のWDTON ビットが1 (ウォッチドッグ・タイマ動作許可) のとき、IAWEN = 0 でも不正メモリ・アクセスの検出機能は有効となります。

32.3.8 不正メモリ・アクセス検出制御レジスタのガード機能

IEC60730 では動作中の安全を保証しなければならないため、CPU が暴走しても不正メモリ・アクセス検出機能の有効・無効設定が書き換わってしまわないように保護する必要があります。

不正メモリ・アクセス検出制御レジスタのガード機能は、不正メモリ・アクセス検出制御レジスタ（IAWCTL）を保護するための機能です。不正メモリ・アクセス検出制御レジスタのガード機能を設定すると、不正メモリ・アクセス検出制御レジスタへの書き込みは無効になります。保護された不正メモリ・アクセス検出制御レジスタの読み出しは可能です。

32.3.8.1 IAWCTL レジスタ・ガードレジスタ（GIAWCTL）

GIAWCTL レジスタは、不正メモリ・アクセスの検出機能の有効／無効設定を保護するレジスタです。不正メモリ・アクセス検出制御レジスタ（IAWCTL）を書き換えるためには、GIAWCTL.GIA ビットに 0 を設定して保護を解除する必要があります。

GIAWCTL レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図32-16 IAWCTL レジスタ・ガードレジスタ（GIAWCTL）のフォーマット

アドレス : F048EH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
GIAWCTL	RKEY[7:0]							
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	GIA
RKEY[7:0]	機能							
ビット 7-0	GIAWCTL レジスタ書き換えを制御するキーコードです。GIA ビットを書き換える場合は、RKEY[7:0] = A4H に設定してください。 本ビットは、読むと 00H が読めます。							
GIA	IAWCTL レジスタの書き換え制御							
0	IAWCTL レジスタを保護しない（書き換え許可）							
1	IAWCTL レジスタを保護する（書き換え不可）							

32.3.9 周波数検出機能

IEC60730 では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU / 周辺ハードウェア・クロック周波数 (fCLK) を使用し、タイマ・アレイ・ユニット 0 (TAU0) のチャンネル 5 の入力パルスを測定することで、2 つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロックまたは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

＜比較するクロック＞

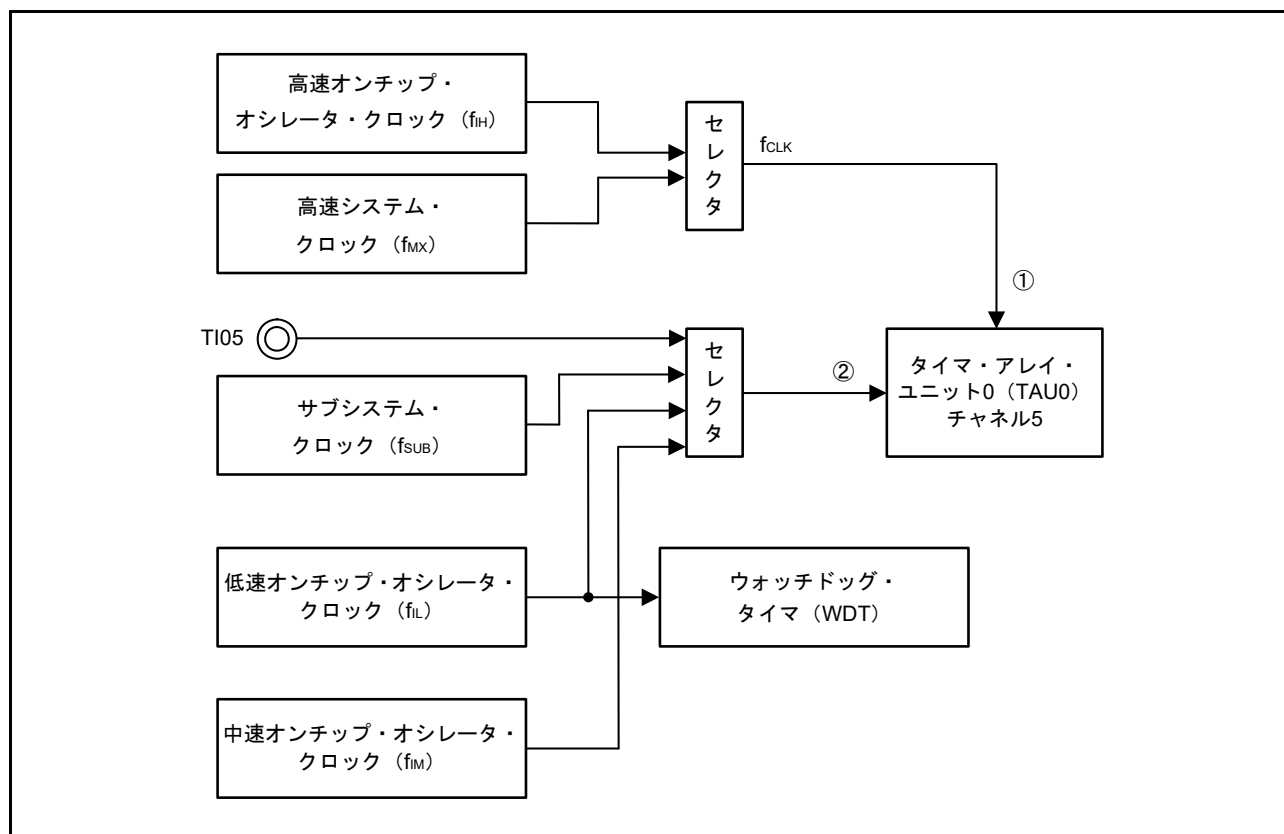
① CPU / 周辺ハードウェア・クロック周波数 (fCLK) :

- 高速オンチップ・オシレータ・クロック (fIH)
- 高速システム・クロック (fMX)

② タイマ・アレイ・ユニット 0 のチャンネル 5 入力 :

- チャンネル 5 のタイマ入力 (TI05)
- 低速オンチップ・オシレータ・クロック (fIL)
- サブシステム・クロック (fSUB)
- 中速オンチップ・オシレータ・クロック (fIM)

図 32 - 17 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、7.8.4 入力パルス間隔測定としての動作を参照してください。

32.3.9.1 タイマ入力選択レジスタ0（TIS0）

TIS0 レジスタは、タイマ・アレイ・ユニット0（TAU0）のチャンネル5のタイマ入力を選択するレジスタです。
TIS0 レジスタは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図32 - 18 タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス : F0074H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャンネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	0	1	ELCLからのイベント入力信号
0	1	1	中速オンチップ・オシレータ・クロック（fIM）
1	0	0	低速オンチップ・オシレータ・クロック（fIL）
1	0	1	サブシステム・クロック（fSUB）
上記以外			設定禁止

32.3.10 A/D テスト機能

IEC60730 では A/D コンバータのテストが義務付けられています。この A/D テスト機能では、A/D コンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル (ANLxx)、温度センサ出力電圧、内部基準電圧および CTSU TSCAP 電圧の A/D 変換を実施することで、A/D コンバータの正常動作を確認します。確認方法の詳細は、**安全機能 (A/D テスト) アプリケーションノート (R01AN5607)** を参照してください。

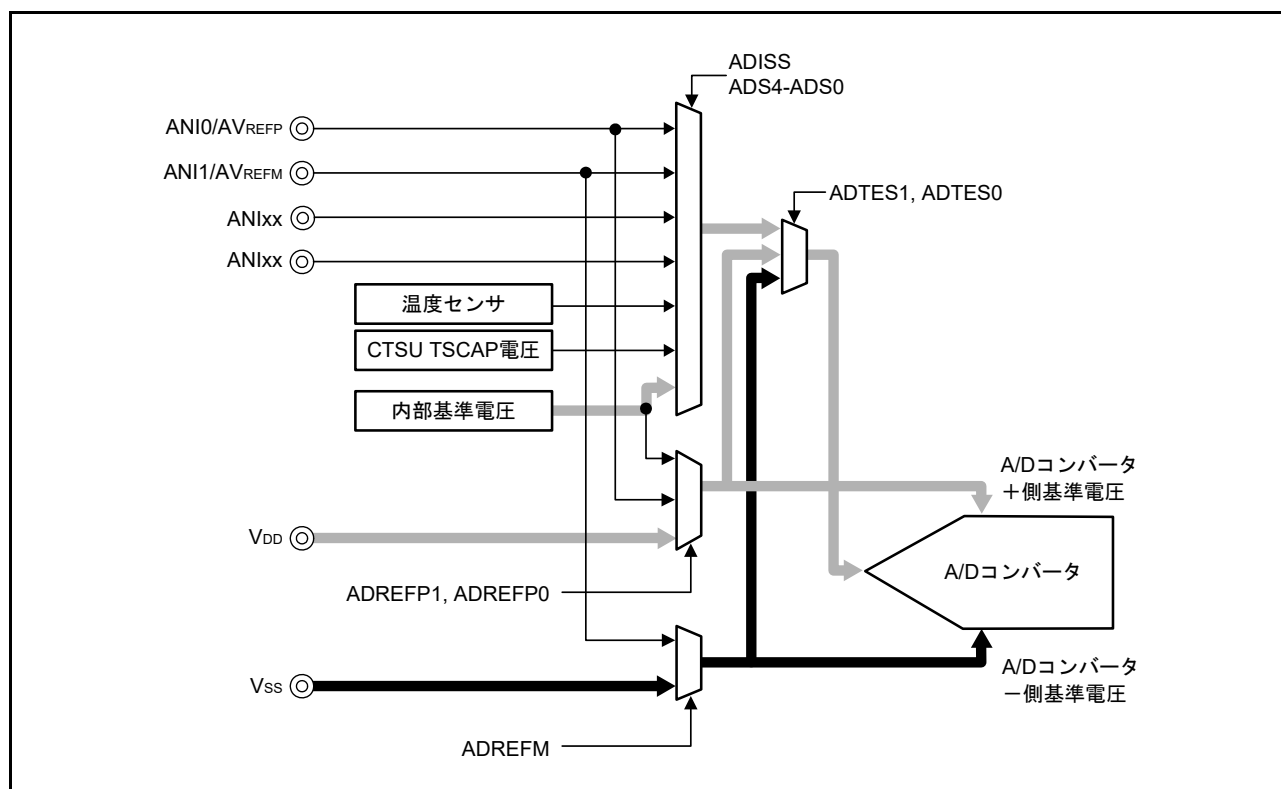
また、アナログ・マルチプレクサは、以下の手順で確認できます。

- ① ADTES レジスタで A/D 変換対象に ANLxx 端子を選択 (ADTES1, ADTES0 = 00B)
 - ② ANLxx 端子の A/D 変換を行う (変換結果 1-1)
 - ③ ADTES レジスタで A/D 変換対象に A/D コンバータの-側基準電圧を選択 (ADTES1, ADTES0 = 10B)
 - ④ A/D コンバータの-側基準電圧の A/D 変換を行う (変換結果 2-1)
 - ⑤ ADTES レジスタで A/D 変換対象に ANLxx 端子を選択 (ADTES1, ADTES0 = 00B)
 - ⑥ ANLxx 端子の A/D 変換を行う (変換結果 1-2)
 - ⑦ ADTES レジスタで A/D 変換対象に A/D コンバータの+側基準電圧を選択 (ADTES1, ADTES0 = 11B)
 - ⑧ A/D コンバータの+側基準電圧の A/D 変換を行う (変換結果 2-2)
 - ⑨ ADTES レジスタで A/D 変換対象に ANLxx 端子を選択 (ADTES1, ADTES0 = 00B)
 - ⑩ ANLxx 端子の A/D 変換を行う (変換結果 1-3)
 - ⑪ 「変換結果 1-1」=「変換結果 1-2」=「変換結果 1-3」であることを確認する
 - ⑫ 「変換結果 2-1」の A/D 変換結果がオール 0、「変換結果 2-2」の A/D 変換結果がオール 1 であることを確認する
- 以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考 1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考 2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図32 - 19 A/Dテスト機能の構成



32.3.10.1 A/Dテスト・レジスタ（ADTES）

ADTES レジスタは、A/D 変換対象に A/D コンバータの+側の基準電圧、一側の基準電圧、アナログ入力チャネル（ANLxx）／温度センサ出力電圧／内部基準電圧／ CTSU TSCAP 電圧を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D 変換対象に一側の基準電圧を選択
- フルスケールを測定するときは、A/D 変換対象に+側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図32-20 A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス : F0013H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0
ADTES1		ADTES0		A/D 変換対象				
0		0		ANLxx／温度センサ出力電圧／内部基準電圧／ CTSU TSCAP 電圧 （アナログ入力チャネル指定レジスタ（ADS）で設定）				
1		0		一側の基準電圧（ADM2レジスタのADREFMビットで選択）				
1		1		+側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）				
上記以外				設定禁止				

注意 ビット7-2には、必ず0を設定してください。

32.3.10.2 アナログ入力チャネル指定レジスタ（ADS）

ADS レジスタは、A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/D テスト機能で ANIxx / 温度センサ出力電圧 / 内部基準電圧を測定するときは、A/D テスト・レジスタ（ADTES）を 00H に設定してください。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 32 - 21 アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス : FFF31H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

<セレクト・モード（ADM0.ADMD = 0）>

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P21/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P20/ANI1/AVREFM 端子
0	1	0	0	0	0	ANI16	P22/ANI16 端子
0	1	0	0	0	1	ANI17	P23/ANI17 端子
0	1	0	0	1	0	ANI18	P24/ANI18 端子
0	1	0	0	1	1	ANI19	P25/ANI19 端子
0	1	0	1	0	0	ANI20	P26/ANI20 端子
0	1	0	1	0	1	ANI21	P27/ANI21 端子
0	1	0	1	1	0	ANI22	P10/ANI22 端子
0	1	0	1	1	1	ANI23	P11/ANI23 端子
0	1	1	0	0	0	ANI24	P12/ANI24 端子
0	1	1	0	0	1	ANI25	P13/ANI25 端子
0	1	1	0	1	0	ANI26	P14/ANI26 端子
0	1	1	1	1	0	—	CTSU TSCAP 電圧
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧
上記以外						設定禁止	

注意1. ビット6, 5には、必ず0を設定してください。

注意2. PMCA レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ（PM1, 2, 4）で入力モードに選択してください。

注意3. ポート・モード・コントロールA・レジスタ（PMCA1, 2, 4）でデジタル入出力として設定する端子をADS レジスタで設定しないでください。

（注意は次ページに続きます）

- 注意4. ADISSビットを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。
- 注意5. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
- 注意6. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。
- 注意7. ADISS = 1に設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、16.7.5 温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定（例 ソフトウェア・トリガ・ノーウェイト・モード、ワンショット変換モード時）を参照してください。
- 注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、42.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流（IADREF）の電流値が加算されます。

32.3.11 入出力端子のデジタル出力信号レベル検出機能

IEC60730 では I/O 機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルを読み出すことができます。

32.3.11.1 ポート・モード選択レジスタ（PMS）

PMS レジスタは、端子が出力モード（ポート・モード・レジスタ（PMm）の PMmn ビットが 0）時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。

PMS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図32-22 ポート・モード選択レジスタ（PMS）のフォーマット

アドレス : F007BH

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時に読み出すデータの選択
0	Pmn レジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

備考 m = 0-9, 12, 14
n = 0-7

注意1. PMS レジスタの PMS0 ビットに 1 を設定時は、1 ビット・メモリ操作命令でポート・レジスタ（Pxx）を書き換えないでください。ポート・レジスタ（Pxx）を書き換える場合は、8 ビット・メモリ操作命令を使用してください。

注意2. 入力ポート（P123, P124, P137）および出力ポート（P130）は、PMS 制御は無効です。

注意3. ビット 7-1 には、必ず 0 を設定してください。

注意4. PMCAmn ビットおよび PMCTmn ビットが 1 の場合、PMS 制御は無効です。

PMCAmn ビットおよび PMCTmn ビットが 1 の設定で端子のデジタル出力レベルを読み出す場合は、PMCAmn ビットおよび PMCTmn ビットに 0 を設定してから PMS0 ビットに 1 を設定してください。

備考 m = 0-5, 7, 9, 12
n = 0-7

注意5. PDIDISmn ビットが 1 の場合、PMS 制御は無効です。

PDIDISmn ビットが 1 の設定で端子のデジタル出力レベルを読み出す場合は、PDIDISmn ビットに 0 を設定してから PMS0 ビットに 1 を設定してください。

備考 m = 0-9, 12-14
n = 0-7

32.3.12 UARTループバック機能

IEC60730 では、外部インタフェース（通信）の異常診断ができることを推奨されています。

UART ループバック機能では、RxD 端子を外部から遮断、MCU 内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、UART の送信データの正常出力を確認することができます。

UART ループバック機能選択時に、TxD 端子からの送信データが通信相手に影響を与えないようにするには、ポート機能を使って制御することができます。

- 負論理での通信の場合：

TxD 端子を兼用しているポートを入力モード（PMxx = 1）に設定し、内蔵プルアップ抵抗を接続（PUxx = 1）して、1を保持します。また、TxDA0端子は、ポートから1を出力（PMxx = 0, Pxx = 1）した状態でPFOE1レジスタのPFOE14ビットに0を設定することで、1を保持することもできます。TxD0端子は、ポートから1を出力（PMxx = 0, Pxx = 1）した状態でPFOE1レジスタのPFOE10ビットに0を設定することで、1を保持することもできます。

- 正論理での通信の場合：

TxD 端子を兼用しているポートから0を出力（PMxx = 0, Pxx = 0）します。

32.3.12.1 UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。UART チャンネルごとに制御できるビットを持ち、各チャンネルに該当するビットに1を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図32-23 UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス : F0079H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
ULBS	ULBS7	ULBS6	ULBS5	ULBS4	ULBS3	ULBS2	ULBS1	ULBS0
ULBS7	UARTループバック機能の選択							
0	シリアル・インタフェースUARTA3のRxDA3端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS6	UARTループバック機能の選択							
0	シリアル・インタフェースUARTA2のRxDA2端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS5	UARTループバック機能の選択							
0	シリアル・インタフェースUARTA1のRxDA1端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS4	UARTループバック機能の選択							
0	シリアル・インタフェースUARTA0のRxDA0端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS3	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART3のRxD3端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS2	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART2のRxD2端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS1	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART1のRxD1端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							
ULBS0	UARTループバック機能の選択							
0	シリアル・アレイ・ユニットUART0のRxD0端子の状態を受信シフト・レジスタに入力							
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック							

（備考は次ページに続きます）

備考 RxDA2端子は、フラッシュ・メモリ・サイズ256 KB, 512 KBの48～64ピン製品および80, 100ピン製品で使用可能です。
RxDA3端子は、80, 100ピン製品のみ使用可能です。

第33章 セキュリティ機能

33.1 真性乱数発生器 (TRNG)

33.1.1 真性乱数発生器の機能

真性乱数発生器は 32 ビットの乱数シード（真性乱数）を生成します。

33.1.2 真性乱数発生器を制御するレジスタ

真性乱数発生器を制御するレジスタを次に示します。

- 乱数シード・コマンド・レジスタ 0 (TRNGSCR0)
- 乱数シード・データ・レジスタ (TRNGSDR)

33.1.2.1 乱数シード・コマンド・レジスタ0 (TRNGSCR0)

TRNGSCR0 レジスタは、真性乱数発生器の動作を制御するレジスタです。TRNGEN ビットに 1 を設定したあとに TRNGST ビットに 1 を設定すると乱数シードの生成を開始します。乱数シードの生成が完了すると TRNGRDY フラグが 1 にセットされます。

TRNGST ビットはトリガ・ビットのため、1 を設定したあとはすぐに 0 にクリアされます。

TRNGSCR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図33 - 1 乱数シード・コマンド・レジスタ0 (TRNGSCR0) のフォーマット

アドレス : F0542H
リセット時: 00H
R/W属性 : R/W

略号

<7>

6

5

4

<3>

<2>

1

0

TRNGSCR0

TRNGRDY

0

0

0

TRNGEN

TRNGST

0

0

TRNGRDY	乱数シード生成状態フラグ
0	乱数シードの生成が完了していない、またはTRNGSDRレジスタを4回読み出し後
1	乱数シードの生成完了

TRNGEN	真性乱数発生器の動作制御
0	真性乱数発生器の動作停止
1	真性乱数発生器の動作許可

TRNGST	乱数シード生成開始トリガ
0	トリガ動作せず
1	乱数シードの生成動作開始

33.1.2.2 乱数シード・データ・レジスタ (TRNGSDR)

TRNGSDR レジスタは、真性乱数発生器で生成された乱数シードを格納する 8 ビットのレジスタです。TRNGRDY フラグが 1 にセットされた後に乱数シードを読み出せます。乱数シードは 32 ビット長ですので 4 回に分けて読み出してください。4 回読み出すと TRNGSCR0 レジスタの TRNGRDY フラグは 0 にクリアされます。

TRNGSDR レジスタは、8 ビット・メモリ操作命令で読み出します。

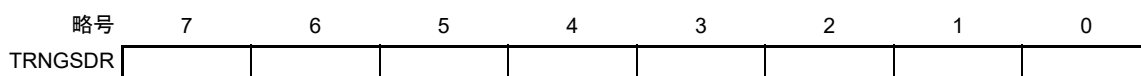
リセット信号の発生により、00H になります。

図33-2 乱数シード・データ・レジスタ (TRNGSDR) のフォーマット

アドレス : F0540H

リセット時: 00H

R/W属性 : R

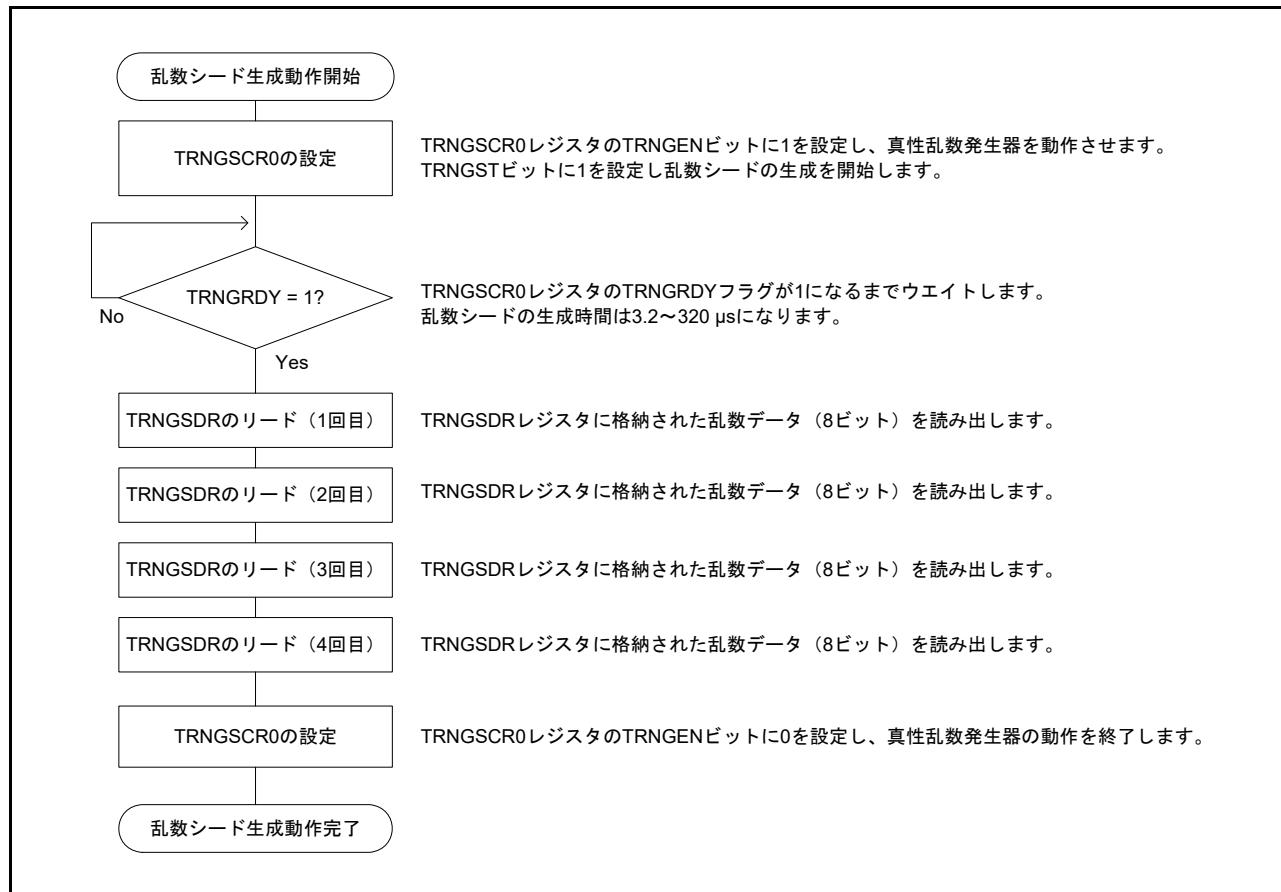


注意 TRNGRDY = 0 の場合、TRNGSDR レジスタは 00H になります。

33.1.3 真性乱数発生器の動作

図 33 - 3 に真性乱数発生器による乱数シードの生成手順を示します。

図 33 - 3 真性乱数発生器による乱数シードの生成手順



33.2 フラッシュ・リード・プロテクション

33.2.1 フラッシュ・リード・プロテクションの機能

フラッシュ・リード・プロテクションは、コード・フラッシュ・メモリ領域の指定した領域をCPU、DTC、SMSからの読み出しを不可にする機能です。ただし、指定した領域はCPUによる命令フェッチは可能です。また、シリアル・プログラミング・モードでは、フラッシュ・リード・プロテクションの機能で読み出しが不可となったコード・フラッシュ・メモリ領域をベリファイすることも可能です。

33.2.2 フラッシュ・リード・プロテクションの設定

フラッシュ・リード・プロテクションの設定は、フラッシュ・メモリ・プログラマによるシリアル・プログラミングまたはセルフ・プログラミングによってエクストラ領域に設定します。

初期状態ではコード・フラッシュ・メモリの全領域が読み出し可能な状態に設定されています。読み出しを不可にするコード・フラッシュ・メモリの領域をフラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックに設定し、フラッシュ・リード・プロテクション設定の変更禁止を有効にしてください。設定された範囲のコード・フラッシュ・メモリ領域の読み出しは不可となります。

また、フラッシュ・リード・プロテクション設定の変更禁止を有効にすると、フラッシュ・リード・プロテクションのスタート・ブロックとエンド・ブロックの設定が固定され、対象の領域を保護することができます。このフラッシュ・リード・プロテクション設定の変更禁止は、フラッシュ・プログラマで解除することができます。ただし、フラッシュ・リード・プロテクション設定の変更禁止を解除する場合は、全フラッシュ・メモリ領域を消去する必要があります。解除したあとにフラッシュ・リード・プロテクションの領域に書き込まれたデータを読み出すことはできません。表 33 - 1 にフラッシュ・リード・プロテクションの設定と機能、表 33 - 2 にフラッシュ・リード・プロテクションの設定方法を示します。

表33 - 1 フラッシュ・リード・プロテクションの設定と機能

設定	機能
フラッシュ・リード・プロテクション・スタート・ブロック	読み出しを不可にする領域のスタート・ブロック番号を指定します。設定値はブロック001Hからコード・フラッシュ・メモリの上限アドレスのブロック番号を設定してください。 スタート・ブロックに指定したブロック番号は読み出し不可領域に含みます。 スタート・ブロックにブロック000Hを設定することは禁止です。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション・エンド・ブロック	読み出しを不可にする領域のエンド・ブロック番号を指定します。設定値はスタート・ブロック番号以上からコード・フラッシュ・メモリの上限アドレスのブロック番号を設定することができます。エンド・ブロックに指定したブロック番号は読み出し不可領域に含まれます。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックの設定を固定します。この設定が有効の場合はスタート・ブロックとエンド・ブロックの設定を変更できません。

アドレスとブロック番号の関係については、表 3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

表33-2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマで設定を解除 ^注 できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注 設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合でのみ可能です。

注意1. エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出してFFHであることを確認してください。

注意2. フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。

注意3. 読み出し不可領域はオンチップ・デバッグでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッグによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。

注意4. ブート・クラスタ0または1の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ0または1に読み出し不可領域を設定する場合は“ブート領域の書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。

注意5. セルフ・プログラミングでフラッシュ・リード・プロテクションを設定した場合は、リセット解除後にその設定が有効となります。

注意6. フラッシュ・リード・プロテクション機能を使用する場合は、BTBLS、BAPRビットを以下のとおりに設定してください。

BTBLSビット : 00H-06H内の値

BAPRビット : 0

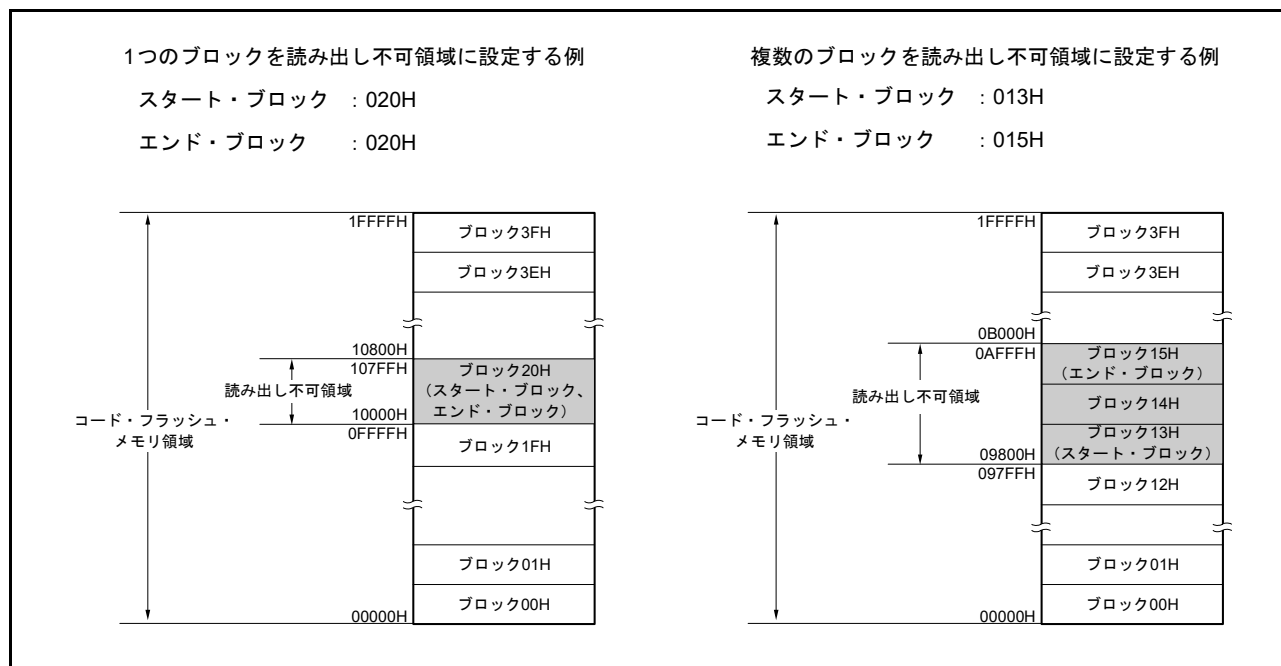
33.2.3 動作説明

フラッシュ・リード・プロテクションで読み出し不可に設定した領域は、CPU、DTC、SMS による読み出し値はすべて FFH になります。

読み出し不可領域での CPU による命令フェッチは可能です。ただし、読み出し不可領域で実行するプログラムでも不可領域のデータの読み出しはできません。読み出し不可領域で実行するプログラムで使用するデータはプロテクトされていない領域に配置してください。

図 33-4 にフラッシュ・リード・プロテクションによる読み出し不可領域の設定例を示します。

図 33-4 フラッシュ・リード・プロテクションによる読み出し不可領域の設定例



読み出し不可領域を設定後にコード・フラッシュ・メモリの全領域を読み出し可能に再設定する場合は、フラッシュ・リード・プロテクション設定の変更禁止が無効の状態、フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックを 1FFH に設定してください。

33.3 ユニーク ID

33.3.1 ユニーク ID の機能

ユニーク ID はエクストラ領域に格納されている製品個体ごとのユニークな値です。

ユニーク ID は MCU を製造する際に個々の製品に書き込まれます。値の変更はできません。

データ長は 16 バイト（128 ビット）です。

注意 ユニーク ID はランダム値ではありません。

33.3.2 製品名のアスキー・コード

製品名のアスキー・コードはエクストラ領域に格納されています。

製品名にはピン数とフラッシュ・メモリ・サイズが含まれますので、製品名による条件分岐ができます。

表 33 - 3 にユニーク ID のメモリ・マップを示します。

表33 - 3 ユニークIDのメモリ・マップ

アドレス	名称	格納値
EFFC0H EFFCFH	ユニーク ID	製品個体ごとのユニークな値
EFFD5H	製品名のアスキー・コード	52H "R"
EFFD6H		37H "7"
EFFD7H		46H "F"
EFFD8H		31H "1"
EFFD9H		30H "0"
EFFDAH		30H "0"
EFFDBH		4CH "L"
EFFDCH		46H "F" : 44 ピン 47H "G" : 48 ピン 4AH "J" : 52 ピン 4CH "L" : 64 ピン 4DH "M" : 80 ピン 50H "P" : 100 ピン
EFFDDH		45H "E" : フラッシュ・メモリ 64 KB 47H "G" : フラッシュ・メモリ 128 KB 4AH "J" : フラッシュ・メモリ 256 KB 4CH "L" : フラッシュ・メモリ 512 KB

第34章 SNOOZEモード・シーケンサ（SMS）

SNOOZEモード・シーケンサは、あらかじめ設定した32の処理を順次実行する機能です。本機能はスタンバイ状態でもほかの周辺機能の信号をトリガとして起動できるため、CPUから独立した動作が可能です。CPUがスタンバイ中に処理を実行することで低消費電力を実現します。

34.1 SNOOZEモード・シーケンサの機能

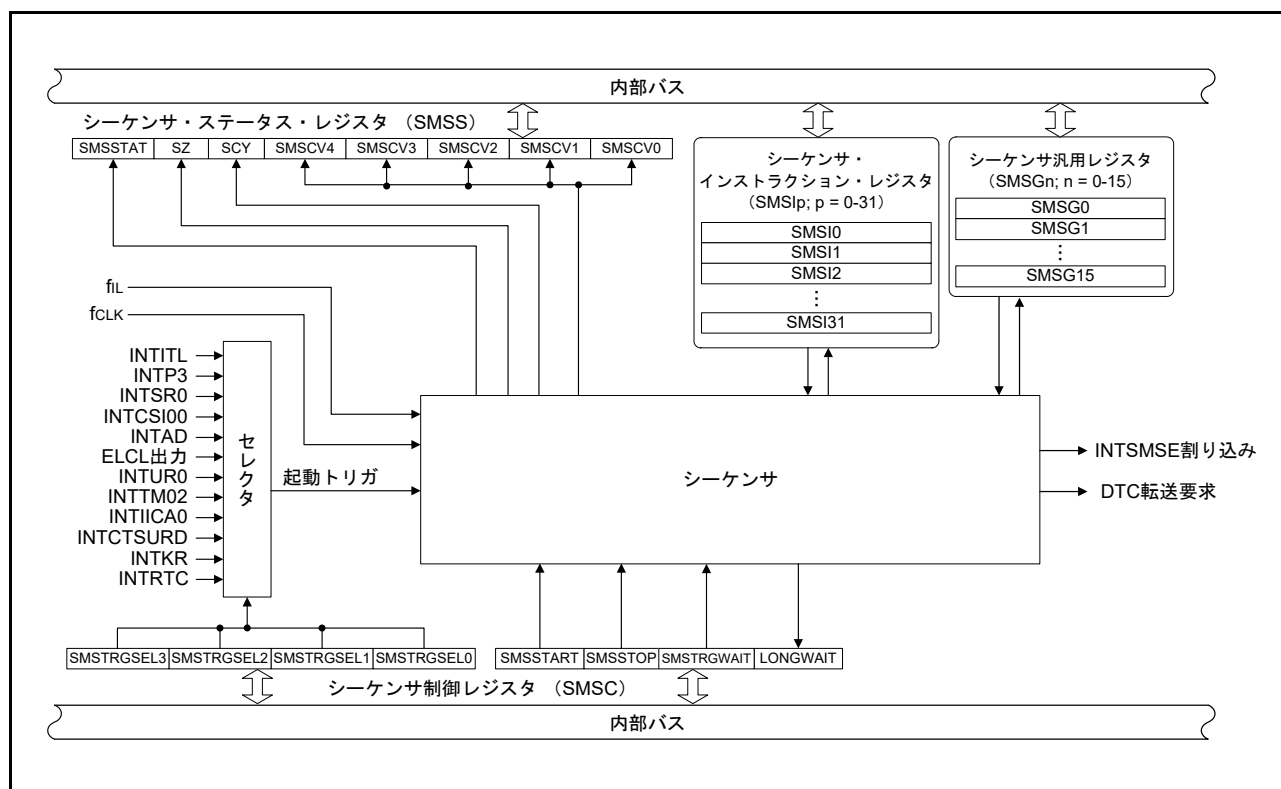
SNOOZEモード・シーケンサはCPUから独立して処理を実行する機能です。SNOOZEモード・シーケンサには次の機能があります。

- 21種類の処理から合計で32個の処理を選択して順次に実行可能
- CPUがスタンバイ状態でも実行可能
- スタンバイ状態にあるCPUのウェイクアップが可能
- データ・トランスファ・コントローラ（DTC）を直接起動可能
- RAM、各周辺機能のSFRにアクセス可能
- 16ビットの加算処理、減算処理が可能
- 分岐処理が可能
- ウェイト処理中のクロックを低速オンチップ・オシレータ・クロックに自動的に切り替えることで長期間のウェイトが可能

34.2 SNOOZEモード・シーケンサの構成

図 34 - 1 に SNOOZE モード・シーケンサのブロック図を示します。

図 34 - 1 SNOOZE モード・シーケンサのブロック図



34.3 SNOOZEモード・シーケンサを制御するレジスタ

SNOOZEモード・シーケンサを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- 周辺リセット制御レジスタ1（PRR1）
- シーケンサ・インストラクション・レジスタp（SMSIp）（p = 0-31）
- シーケンサ汎用レジスタn（SMSGn）（n = 0-15）
- シーケンサ制御レジスタ（SMSC）
- シーケンサ・ステータス・レジスタ（SMSS）

34.3.1 周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

SNOOZEモード・シーケンサを使用する場合は、必ず SMSEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

ピン数ごとの PER ビット有無の注意事項は第 6 章 クロック発生回路を参照してください。

図 34 - 2 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス : F00FAH

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSEN	CMPEN	TML32EN	DTCEN	UTA0EN	0	CTSUEN
	SNOOZEモード・シーケンサの入カクロック供給の制御							
	0	入カクロック供給停止 ・ SNOOZEモード・シーケンサで使用するSFRへのライト不可 ^注						
	1	入カクロック供給 ・ SNOOZEモード・シーケンサで使用するSFRへのリード／ライト可						

注 リードした場合は、設定値にかかわらず 00H または 0000H が読めます。

注意1. ビット1には、必ず0を設定してください。

注意2. SNOOZEモード・シーケンサが動作中の場合、SMSENビットを1から0へ変更しないでください。

34.3.2 周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

SNOOZE モード・シーケンサをリセットする場合は、SMSRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図34 - 3 周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス : F00FBH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	0	CTSURES
	SMSRES	SNOOZEモード・シーケンサのリセット制御						
	0	SNOOZEモード・シーケンサのリセット解除						
	1	SNOOZEモード・シーケンサはリセット状態 ・ SNOOZEモード・シーケンサで使用するSFRが初期化されます。						

注意 ビット3-1には、必ず0を設定してください。

34.3.3 シーケンサ・インストラクション・レジスタ p（SMSIp）（p = 0-31）

SMSIp レジスタは、シーケンサの処理コマンドを格納する 16 ビットのレジスタです。SNOOZE モード・シーケンサは SMSI0 レジスタから SMSI31 レジスタの計 32 のレジスタにシーケンサの処理コマンドを格納し、SMSI0 レジスタから順次に処理を実行します。レジスタは処理の内容を示すシーケンサ・コードとシーケンサ・コードごとに用途が異なる第 1 オペランド、第 2 オペランド、付加バイトで構成されます。シーケンサの各処理の詳細は、**34.5 シーケンサ処理コマンド**を参照してください。また、処理の実行後は次に続く SMSIp レジスタの処理を実行するか、または分岐先の SMSIp レジスタの処理を実行します。実行する SMSIp レジスタは、シーケンサ・ステータス・レジスタ（SMSS）の SMSCV4-SMSCV0 ビットで確認することが可能です。

表 34 - 1 に SMSIp レジスタのメモリ・アドレスと SMSCV4-SMSCV0 ビットの関係、**表 34 - 2** に SMSIp レジスタに設定できる処理の一覧を示します。

SMSIp レジスタは、16 ビット・メモリ操作命令で設定します。

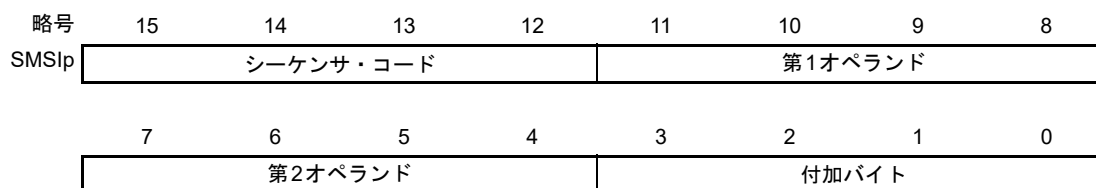
リセット信号の発生により、0000H になります。

図 34 - 4 シーケンサ・インストラクション・レジスタ p（SMSIp）のフォーマット

アドレス : F0380H, F0381H (SMSI0)-F03BEH, F03BFH (SMSI31)

リセット時: 0000H

R/W属性 : R/W



備考 p = 0-31

表34 - 1 SMSIpレジスタのメモリ・アドレスとSMSCV4-SMSCV0ビットの関係

SMSIp	アドレス	SMSCV4-SMSCV0	SMSIp	アドレス	SMSCV4-SMSCV0
SMSI15	F039EH, F039FH	01111B	SMSI31	F03BEH, F03BFH	11111B
SMSI14	F039CH, F039DH	01110B	SMSI30	F03BCH, F03BDH	11110B
SMSI13	F039AH, F039BH	01101B	SMSI29	F03BAH, F03BBH	11101B
SMSI12	F0398H, F0399H	01100B	SMSI28	F03B8H, F03B9H	11100B
SMSI11	F0396H, F0397H	01011B	SMSI27	F03B6H, F03B7H	11011B
SMSI10	F0394H, F0395H	01010B	SMSI26	F03B4H, F03B5H	11010B
SMSI9	F0392H, F0393H	01001B	SMSI25	F03B2H, F03B3H	11001B
SMSI8	F0390H, F0391H	01000B	SMSI24	F03B0H, F03B1H	11000B
SMSI7	F038EH, F038FH	00111B	SMSI23	F03AEH, F03AFH	10111B
SMSI6	F038CH, F038DH	00110B	SMSI22	F03ACH, F03ADH	10110B
SMSI5	F038AH, F038BH	00101B	SMSI21	F03AAH, F03ABH	10101B
SMSI4	F0388H, F0389H	00100B	SMSI20	F03A8H, F03A9H	10100B
SMSI3	F0386H, F0387H	00011B	SMSI19	F03A6H, F03A7H	10011B
SMSI2	F0384H, F0385H	00010B	SMSI18	F03A4H, F03A5H	10010B
SMSI1	F0382H, F0383H	00001B	SMSI17	F03A2H, F03A3H	10001B
SMSI0	F0380H, F0381H	00000B	SMSI16	F03A0H, F03A1H	10000B

注意1. SMSIpレジスタは、シーケンサが停止している状態で設定してください。シーケンサが処理を実行しているSMSIpレジスタを書き換えるとシーケンサの動作が不定となるためです。

注意2. SMSI31レジスタの処理の実行後は次に続くSMSIpレジスタはありません。このため、SMSI31レジスタには終了処理または割り込み&終了処理を記述してシーケンサの処理を停止するか、分岐処理で別の処理に分岐させてください。

表34-2 SMSIpレジスタに設定できる処理の一覧

処理名	オペレーション ^{注1}	シーケンサ・コード	第1オペランド (4ビット)	第2オペランド (4ビット)	付加バイト (4ビット)
8ビット・データ転送処理1	[MSGn+Byte] ← MSGm	0000	MSGnのn ^{注2}	MSGmのm ^{注2}	byte ^{注3}
8ビット・データ転送処理2	MSGm ← [MSGn+Byte]	0001	MSGnのn ^{注2}	MSGmのm ^{注2}	byte ^{注3}
16ビット・データ転送処理1	[MSGn+Byte] ← MSGm	0010	MSGnのn ^{注2}	MSGmのm ^{注2}	byte ^{注3}
16ビット・データ転送処理2	MSGm ← [MSGn+Byte]	0011	MSGnのn ^{注2}	MSGmのm ^{注2}	byte ^{注3}
1ビット・データ・セット処理	[MSGn+Byte].bit ← 1	0100	MSGnのn ^{注2}	bit ^{注3}	byte ^{注3}
1ビット・データ・クリア処理	[MSGn+Byte].bit ← 0	0101	MSGnのn ^{注2}	bit ^{注3}	byte ^{注3}
1ビット・データ転送処理	SCY ← [MSGn+Byte].bit	0110	MSGnのn ^{注2}	bit ^{注3}	byte ^{注3}
ワード・データ加算処理	MSGn, SCY ← MSGn + MSGm	0111	MSGnのn ^{注2}	MSGmのm ^{注2}	0000
ワード・データ減算処理	MSGn, SCY ← MSGn – MSGm	0111	MSGnのn ^{注2}	MSGmのm ^{注2}	0001
ワード・データ比較処理	MSGn – MSGm	0111	MSGnのn ^{注2}	MSGmのm ^{注2}	0010
右方向論理シフト処理	SCY ← MSGn.0, MSGm.15 ← 0, MSGm.m-1 ← MSGn.m	0111	MSGnのn ^{注2}	0000	0011
分岐処理1 (SCY = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1	1000	\$addr5 ^{注4}		0000
分岐処理2 (SCY = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0	1000	\$addr5 ^{注4}		0001
分岐処理3 (SZ = 1)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1	1000	\$addr5 ^{注4}		0010
分岐処理4 (SZ = 0)	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0	1000	\$addr5 ^{注4}		0011
ウェイト処理	一定期間の処理の保留	1001	IM1		IM2
条件付きウェイト処理1 (bit = 1)	SMSS[4:0] ← SMSS[4:0] if [MSGn+Byte].bit = 1	1010	MSGnのn ^{注2}	bit ^{注3}	byte ^{注3}
条件付きウェイト処理2 (bit = 0)	SMSS[4:0] ← SMSS[4:0] if [MSGn+Byte].bit = 0	1011	MSGnのn ^{注2}	bit ^{注3}	byte ^{注3}
終了処理	SMSSTAT ← 0, SMSS[4:0] ← 0、 シーケンサの動作停止	1111	0000	0000	0000
割り込み&終了処理	SMSS[4:0] ← 0、 割り込み発行後にシーケンサの動作停止	1111	0000	0000	0001
DTC起動処理	DTC起動要因を出力	1111	0000	0000	0010

注1. 用語の詳細は、**34.5 シーケンサ処理コマンド**を参照してください。

注2. n, m = 0-15 (0000B-1111B) を指定してください。

注3. byte = 0-7 (0000B-0111B) を指定してください。

注4. 8ビットのディスプレイメント値で-31~-1, 1~31の相対アドレス (0000 0001B-0001 1111B, 1111 1111B-1110 0001B) を指定してください。

34.3.4 シーケンサ汎用レジスタ n（MSGn）（n = 0-15）

MSGn レジスタは、16 ビットのシーケンサ用の汎用レジスタです。データの格納、演算処理の判定値の格納、データ操作処理のソース・アドレスやデスティネーション・アドレスの格納などに使用します。ただし、MSG0 レジスタは 0000H で固定、MSG15 レジスタは FFFFH で固定です。

シーケンサは処理によって MSGn レジスタを直接アクセスすることが可能です。シーケンサが MSGn レジスタにアクセスする場合は MSGn レジスタの“n”をシーケンサの内部のデータ・アドレスとして指定してください。

MSG0-MSG15 レジスタは、16 ビット・メモリ操作で読み出します。また、MSG1-MSG14 レジスタは 16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、MSG1-MSG14 レジスタは 0000H になります。MSG0 レジスタは 0000H、MSG15 レジスタは FFFFH 固定です。

図 34 - 5 シーケンサ汎用レジスタ n（MSGn）のフォーマット

アドレス : F03C0H, F03C1H

リセット時: 0000H

R/W属性 : R

略号	15	14	13	12	11	10	9	8
MSG0	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

アドレス : F03C2H, F03C3H (MSG1)-F03DCH, F03DDH (MSG14)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
MSGn								
	7	6	5	4	3	2	1	0

アドレス : F03DEH, F03DFH

リセット時: FFFFH

R/W属性 : R

略号	15	14	13	12	11	10	9	8
MSG15	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	1	1	1	1	1	1	1	1

備考 n = 1-14

表34 - 3 SMSGnレジスタとメモリ・アドレスとシーケンサ内部のデータ・アドレスの関係

SMSGn	アドレス	シーケンサ内部のデータ・アドレス
SMSG15	F03DEH, F03DFH	1111B
SMSG14	F03DCH, F03DDH	1110B
SMSG13	F03DAH, F03DBH	1101B
SMSG12	F03D8H, F03D9H	1100B
SMSG11	F03D6H, F03D7H	1011B
SMSG10	F03D4H, F03D5H	1010B
SMSG9	F03D2H, F03D3H	1001B
SMSG8	F03D0H, F03D1H	1000B
SMSG7	F03CEH, F03CFH	0111B
SMSG6	F03CCH, F03CDH	0110B
SMSG5	F03CAH, F03CBH	0101B
SMSG4	F03C8H, F03C9H	0100B
SMSG3	F03C6H, F03C7H	0011B
SMSG2	F03C4H, F03C5H	0010B
SMSG1	F03C2H, F03C3H	0001B
SMSG0	F03C0H, F03C1H	0000B

34.3.5 シーケンサ制御レジスタ（SMSC）

SMSC レジスタは、SNOOZE モード・シーケンサの動作を制御するレジスタです。シーケンサの動作開始と停止、シーケンサの起動トリガの保留、ウェイト処理のウェイト・カウンタのソース・クロック、およびシーケンサの動作開始トリガを設定します。

SMSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 34 - 6 シーケンサ制御レジスタ（SMSC）のフォーマット (1/2)

アドレス : F03E0H

リセット時: 00H

R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	0
SMSC	SMSSTART	SMSSTOP	SMSTRG WAIT	LONGWAIT	SMSTRGSE L3	SMSTRGSE L2	SMSTRGSE L1	SMSTRGSE L0
SMSSTART 注1	SNOOZEモード・シーケンサの動作制御							
0	シーケンサが停止状態 0になる条件：SMSSTOPビットに1を設定							
1	シーケンサが起動トリガ待ち状態または動作状態 1になる条件：1の書き込み							
SMSSTOP 注1,2	SNOOZEモード・シーケンサの動作制御							
0	—							
1	シーケンサの処理を強制終了トリガ シーケンサの処理を終了させシーケンサを強制的に停止状態にします。SMSSTOPビットが1にセットされたタイミングで実行している1つの処理が終了したあとにシーケンサが停止します。							
SMSTRG WAIT注3	起動トリガの保留機能の制御							
0	起動トリガ保留機能が無効							
1	起動トリガ保留機能が有効 起動トリガが発生した場合はその起動トリガは保留されます。SMSTRGWAITビットを0にクリアすると保留中のトリガ有効となりシーケンサは動作を開始します。							

注1. SMSSTART, SMSSTOPビットの0の書き込みは無効になります。

注2. SMSSTOPビットの読み出し値は常に0になります。

注3. SMSTRGWAITビットは、SMSSTART = 0のシーケンサ停止状態で1にセットしてください。

図34 - 6 シーケンサ制御レジスタ (SMSC) のフォーマット (2/2)

LONGWAIT	ウェイト処理コマンド実行時のカウント・クロックの状態フラグ			
0	低速オンチップ・オシレータ・クロックを供給停止			
1	低速オンチップ・オシレータ・クロックを供給			

SMSTRGSEL3 L3	SMSTRGSEL2 L2	SMSTRGSEL1 L1	SMSTRGSEL0 L0	SNOOZEモード・シーケンサの 起動トリガの選択 ^注
0	0	0	0	32ビット・インターバル・タイマのインターバル検出割り込み (INTITL)
0	0	0	1	端子入力エッジ検出割り込み (INTP3)
0	0	1	0	UART0の受信完了割り込み (INTSR0)
0	0	1	1	CSI00の転送完了割り込み (INTCSI00)
0	1	0	0	A/D変換終了割り込み (INTAD)
0	1	0	1	ELCL出力信号
0	1	1	0	UARTA0の受信完了割り込み (INTUR0)
0	1	1	1	タイマ・チャンネル2のカウント完了またはキャプチャ完了割り込み (INTTM02)
1	0	0	0	IICA0の通信完了割り込み (INTIICA0)
1	0	0	1	RTCの定周期割り込み (INTRTC)
1	0	1	0	キー・リターン信号検出割り込み (INTKR)
1	0	1	1	CTSUの計測データ転送要求割り込み (INTCTSURD)
上記以外				設定禁止

注 SMSTRGSEL3-SMSTRGSEL0ビットは、SMSSTART = 0のシーケンサ停止状態で1にセットしてください。

34.3.6 シーケンサ・ステータス・レジスタ（SMSS）

SMSS レジスタは、シーケンサの状態を示すレジスタです。シーケンサの動作／停止とシーケンサのゼロ・フラグ、キャリー・フラグと、シーケンサが実行している SMSIp レジスタを確認できます。

SMSS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図34-7 シーケンサ・ステータス・レジスタ（SMSS）のフォーマット

アドレス : F03E1H

リセット時: 00H

R/W属性 : R

略号	<7>	6	5	4	3	2	1	0
SMSS	SMSSTAT	SZ	SCY	SMSCV4	SMSCV3	SMSCV2	SMSCV1	SMSCV0
SMSSTAT	SNOOZEモード・シーケンサの動作状態							
0	シーケンサは停止状態							
1	シーケンサは動作状態							
SZ	SNOOZEモード・シーケンサのゼロ・フラグ							
0	シーケンサの演算結果が0以外							
1	シーケンサの演算結果が0							
SCY	SNOOZEモード・シーケンサのキャリー・フラグ							
0	シーケンサの演算結果でキャリーやボローが発生していない							
1	シーケンサの演算結果でキャリーやボローが発生した							
SMSCV4	SMSCV3	SMSCV2	SMSCV1	SMSCV0	SNOOZEモード・シーケンサの処理の状態			
0 ~ 31					シーケンサが処理を行う SMSIp レジスタを示します。 例： SMSCV4-SMSCV0 = 3 のとき SMSI3 の処理を実行中または実行前。			

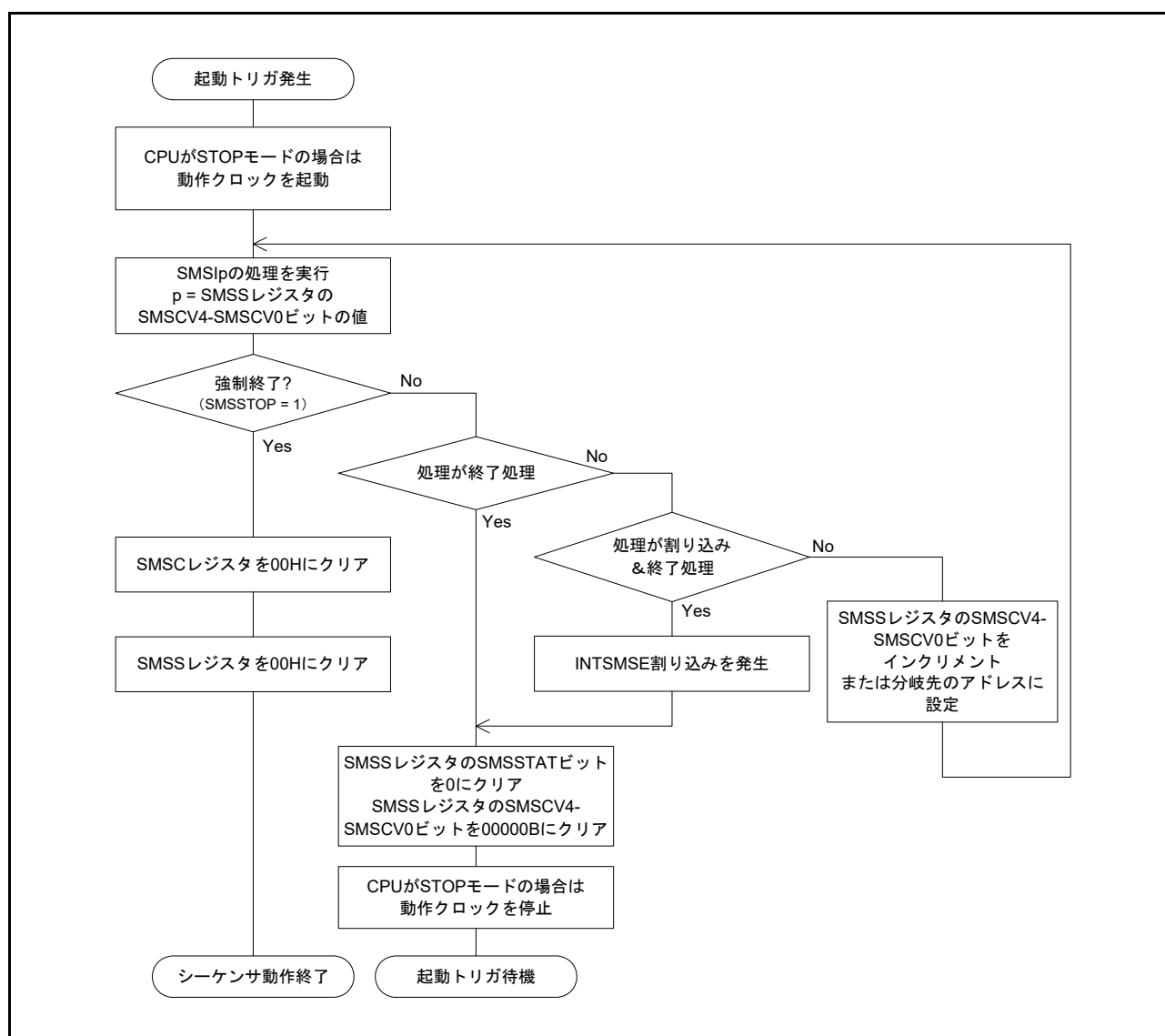
34.4 SNOOZEモード・シーケンサの動作

34.4.1 SNOOZEモード・シーケンサの内部の動作

SNOOZEモード・シーケンサのシーケンサは、SMSCレジスタのSMSTRGSEL3-SMSTRGSEL0ビットで選択した起動トリガが発生すると起動します。起動直後はSMSI0レジスタの処理を実行し、その後はSMSSレジスタのSMSCV4-SMSCV0ビットに対応するSMSIpレジスタの処理を実行します。終了処理の実行によりシーケンサは一連の動作を終了し、起動トリガ待ちになります。また、SMSCレジスタのSMSSTOPビットの強制停止トリガによりシーケンサの動作を停止します。

図 34 - 8 に SNOOZE モード・シーケンサの内部動作のフローを示します。

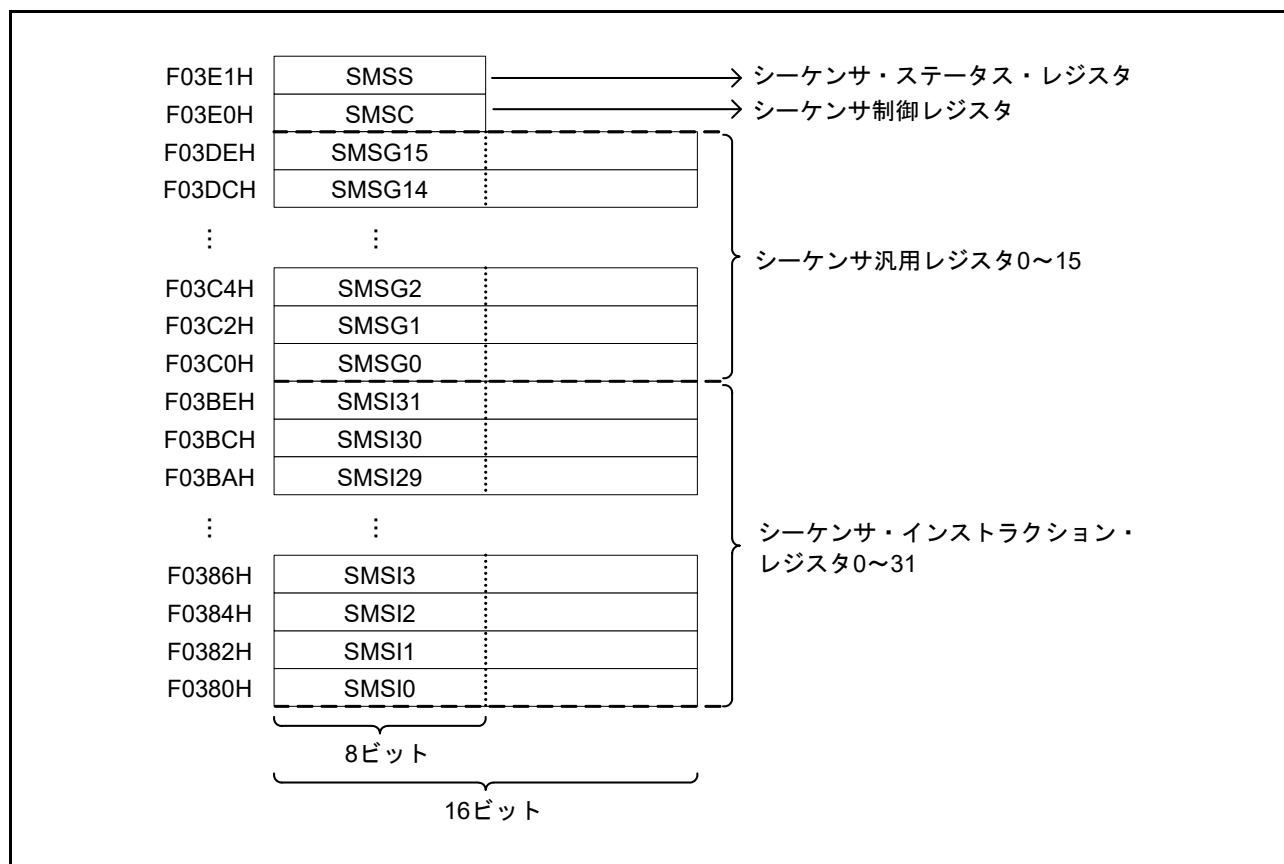
図 34 - 8 シーケンサの内部動作フロー



34.4.2 シーケンサのメモリ空間

SNOOZEモード・シーケンサは、図34-9に示す2nd SFR空間を使用します。シーケンサの処理コードはF0380H-F03BFHの偶数アドレスで示す16ビットのデータを0-31（00000B-11111B）のアドレスとして処理を実行します。また、処理データはF03C0H-F03DFHの偶数アドレスで示す16ビットのデータを0-15（0000B-1111B）のアドレスとしてダイレクト・アクセスが可能です。

図34-9 SNOOZEモード・シーケンサのメモリ空間

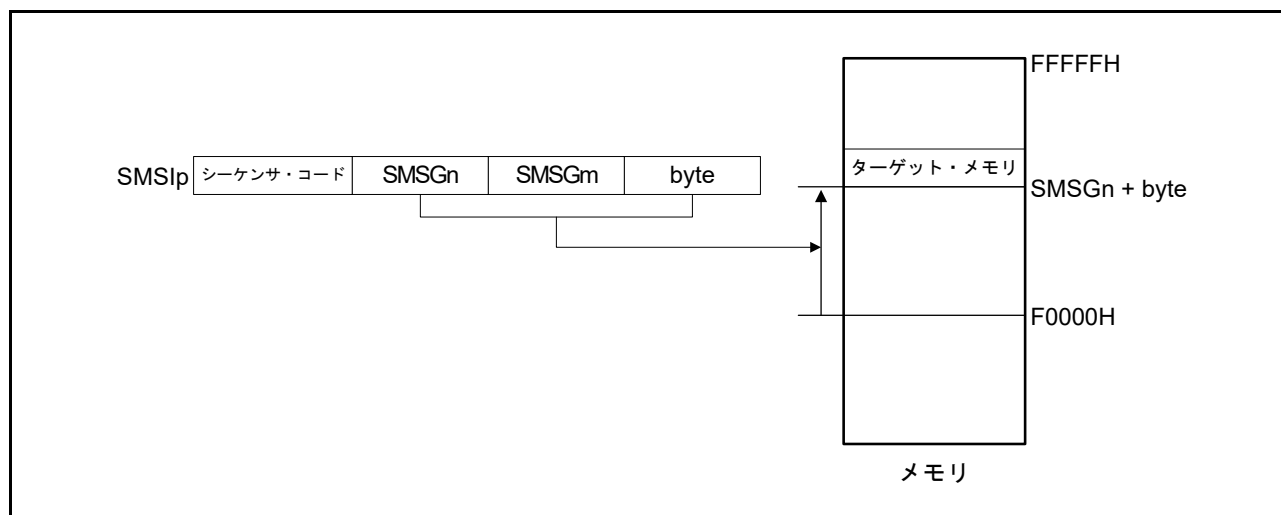


さらに、MSGn レジスタを用いたレジスタ・インダイレクト・アドレッシングで、F0000H-FFFFFH 注のメモリ空間にデータ・アクセスが可能です。

注 SNOOZEモード・シーケンサでは以下の領域へのアクセスは禁止です。

- 汎用レジスタ領域
- ミラー領域
- データ・フラッシュ・メモリ領域
- メモリ電力削減制御レジスタ（PSMCR）でシャットダウン・モードに設定した内部RAM領域
- シーケンサ・インストラクション・レジスタ 0-31（SMSI0-SMSI31）
- シーケンサ制御レジスタ（SMSC）
- シーケンサ・ステータス・レジスタ（SMSS）
- 周辺イネーブル・レジスタ1（PER1）のSMSSENビット
- 周辺リセット制御レジスタ1（PRR1）のSMSRESビット

図34 - 10 シーケンサのデータ・アクセス可能なメモリ空間



34.4.3 シーケンサ・フラグ

シーケンサは演算処理の結果によってセットまたはリセットするフラグを搭載しています。

(a) シーケンサ・ゼロ・フラグ（SZ）

加算処理、減算処理、比較処理で結果が0に等しいときに1にセットされ、それ以外では0にクリアされるシーケンサの内部フラグです。シーケンサ内部の処理に使用できます。

詳細は、**34.5 シーケンサ処理コマンド**を参照してください。

(b) シーケンサ・キャリー・フラグ（SCY）

加算処理、減算処理を実行したときのオーバフローおよびアンダフローの内容、論理シフト処理でシフトアウトされたビット、1ビット・データ転送処理の結果が反映されるフラグです。シーケンサ内部の処理に使用できます。

詳細は、**34.5 シーケンサ処理コマンド**を参照してください。

シーケンサのSZ, SCY フラグは、SMSS レジスタのビットとして読み出すことができます。

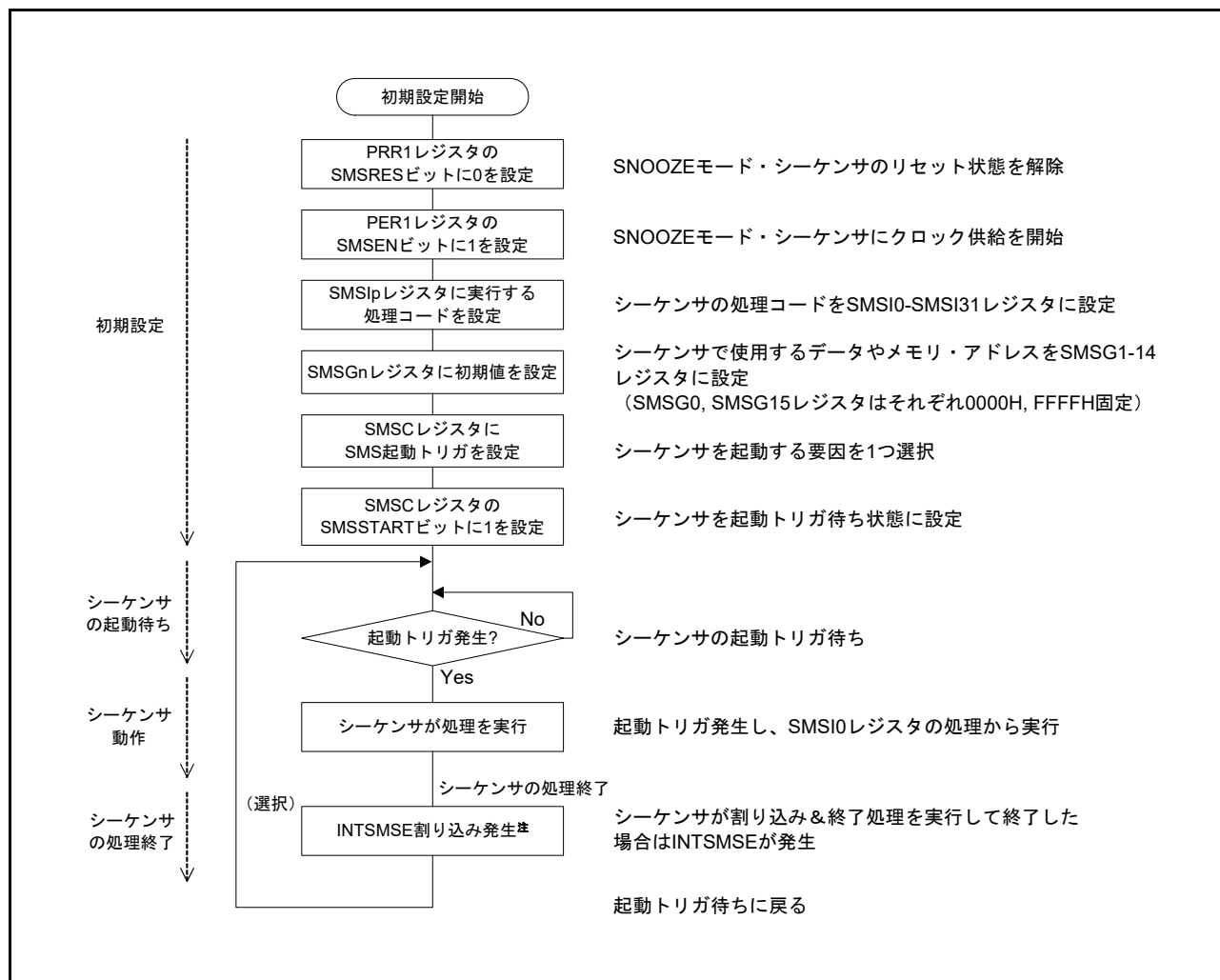
34.3.6 シーケンサ・ステータス・レジスタ（SMSS）を参照してください。

34.4.4 SNOOZEモード・シーケンサの操作手順

(1) SNOOZEモード・シーケンサの初期設定と起動、動作の例

図34-11にSNOOZEモード・シーケンサの初期設定から起動、処理終了するまでの処理のフロー例を示します。

図34-11 SNOOZEモード・シーケンサの起動のフロー



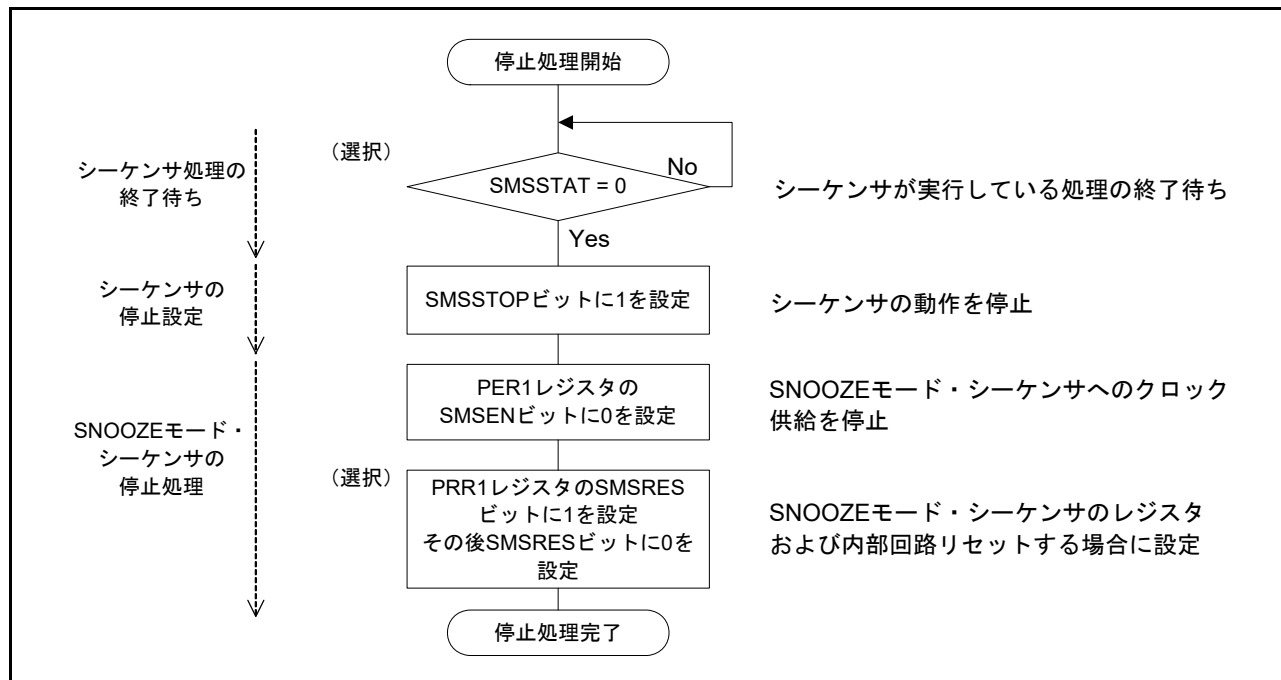
注 終了処理の実行時とSMSCレジスタのSMSSTOPビットによる強制終了トリガによってシーケンサの処理が終了した場合は、INTSMSE割り込みは発生しません。

SMSCレジスタのSMSSTOPビットによる強制終了トリガによってシーケンサの処理が終了した場合は、SMSCレジスタ自体が初期化されますので、シーケンサ処理を再開する場合は再度初期設定のSMSC設定から実施してください。(SMSIp, SMSGnレジスタはリセットされません)

(2) SNOOZEモード・シーケンサを停止する場合のフロー例

図34 - 12に動作中のSNOOZEモード・シーケンサの停止処理のフロー例を示します。

図34 - 12 SNOOZEモード・シーケンサの停止のフロー



34.4.5 SNOOZEモード・シーケンサの状態

SNOOZEモード・シーケンサはシーケンサ停止、起動トリガ待ち、起動保留、シーケンサ動作の4つの状態を持ちます。レジスタの設定および起動トリガの入力によりそれぞれの状態を遷移します。

【シーケンサ停止状態】

シーケンサ停止状態とは、SNOOZEモード・シーケンサがリセット解除直後またはSMSCレジスタのSMSSTOPビットを1にセットして強制終了した状態です。SMSCレジスタのSMSSTARTビットを1にセットすると起動トリガ待ち状態になります。

【起動トリガ待ち状態】

起動トリガ待ち状態とはSMSCレジスタのSMSSTARTビットを1にセットしてシーケンサの起動トリガの検出を有効にした状態です。この状態でSMSCレジスタのSMSTRGSEL3-SMSTRGSEL0ビットで指定した起動トリガを検出するとシーケンサは動作を開始しシーケンサ動作状態になります。ただし、SMSCレジスタのSMSTRGWAITビットが1にセットされている場合は動作開始せず、起動保留状態になります。また、SMSCレジスタのSMSSTOPビットを1にセットして強制終了した場合はシーケンサ停止状態になります。

【起動保留状態】

起動保留状態とは、SMSCレジスタのSMSTRGWAITビットが1にセットされているときに起動トリガが検出された状態です。この状態でSMSTRGWAITビットを0にクリアすると、シーケンサは動作を開始しシーケンサ動作状態になります。SMSCレジスタのSMSSTOPビットを1にセットして強制終了した場合はシーケンサ停止状態になります。

【シーケンサ動作状態】

シーケンサ動作状態とはシーケンサが動作しておりSMSIpレジスタに設定した処理を実行している状態です。終了処理または割り込み&終了処理を実行した場合は起動トリガ待ち状態になります。SMSCレジスタのSMSSTOPビットを1にセットして強制終了した場合はシーケンサ停止状態になります。

SNOOZEモード・シーケンサの状態は、SMSCレジスタのSMSSTART、SMSTRGWAITビット、SMSSレジスタのSMSSTATビットで確認することができます。

表34-4 各ビットとSNOOZEモード・シーケンサの状態

SMSTRGWAIT	SMSSTAT	SMSSTART	SNOOZEモード・シーケンサの状態
0	0	0	シーケンサ停止状態
0	0	1	起動トリガ待ち状態
0	1	1	シーケンサ動作状態
1	0	0	シーケンサ停止状態
1	0	1	起動トリガ待ち状態
1	1	1	禁止状態 ^注

注 シーケンサ動作状態でトリガ保留機能を有効とすることは禁止です。

34.5 シーケンサ処理コマンド

シーケンサは 21 種類の処理を実行できます。詳細は、**34.5.1** ～ **34.5.21** を参照してください。

34.5.1 ～ **34.5.21** の説明中の用語は以下のとおりです。

- CPU相当命令：処理をアセンブラ言語で表記した場合に相当する命令
- CPU相当オペレーション：シンボルで表記した処理の内容
- \$addr5：5ビット分の8ビット相対アドレス（-31～-1, 1～31）
- jdisp8：符号付き8ビットのディスプレースメント値（0000 0001B-0001 1111B, 1111 1111B-1110 0001B）
- 処理クロック数：処理の開始から実際に処理が反映されるまでにかかるfCLKのクロック数
- SMSIp：シーケンサ・インストラクション・レジスタ（p = 0-31）
- SMSGn：第1オペランドに格納するシーケンサ汎用レジスタのシーケンサ内部データ・アドレス（n = 0-15）
- SMSGm：第2オペランドに格納するシーケンサ汎用レジスタのシーケンサ内部データ・アドレス（m = 0-15）
- 記述例：SMSIpレジスタに設定する値の2進数表記の例
- シーケンサ・コード：SMSIpレジスタのビット15-12に記述される処理を示すコード
- 第1オペランド：SMSIpレジスタのビット11-8に記述されるコード
- 第2オペランド：SMSIpレジスタのビット7-4に記述されるコード
- 付加バイト：SMSIpレジスタのビット3-0に記述されるコード

34.5.1 8ビット・データ転送処理1

8ビット・データ転送処理1は8ビットのデータを転送する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送先メモリのアドレスを指定します。第2オペランドで指定する SMSGm レジスタに格納されている8ビット・データを転送先のメモリに転送します。

付加バイトは0～7の値（0000B-0111B）を指定してください。

転送先に SFR を指定するときは、8ビット操作が可能な SFR のアドレスを第1オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。ただし、シーケンサ汎用レジスタ n（n = 0-15）は転送先に指定することができます。8ビット・データ転送処理1を実行するとシーケンサ汎用レジスタ n（n = 0-15）の下位8ビットに値が格納されます。

シーケンサ・コード : 0000B
 処理クロック数 : fCLK × 3
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : MOV [SMSGn+Byte], SMSGm
 CPU 相当オペレーション : [SMSGn+Byte] ← SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	0	0	0	第1オペランド（SMSGn）			
	7	6	5	4	3	2	1	0
	第2オペランド（SMSGm）				付加バイト（Byte）			

記述例 : 0000 0001 0111 0010 B

CPU の相当命令は、MOV [SMSG1+2H], SMSG7

SMSG1 = FE00H, SMSG7 = xx12H の場合、SMSG7 レジスタに格納されている 12H を FFE02H 番地に格納します。

34.5.2 8ビット・データ転送処理2

8ビット・データ転送処理2は8ビットのデータを転送する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。転送元の8ビット・データを第2オペランドで指定する SMSGm レジスタに格納します。

付加バイトは0から7の値 (0000B-0111B) を指定してください。

転送元に SFR を指定するときは、8ビット操作が可能な SFR のアドレスを第2オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。ただし、シーケンサ汎用レジスタ n (n = 0-15) は転送元に指定することができます。8ビット・データ転送処理2を実行するとシーケンサ汎用レジスタ n (n = 0-15) の下位8ビットの値が読み出されます。

シーケンサ・コード : 0001B
 処理クロック数 : fCLK × 3
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : MOV SMSGm, [SMSGn+Byte]
 CPU 相当オペレーション : SMSGm ← [SMSGn+Byte]

略号	15	14	13	12	11	10	9	8
SMSIp	0	0	0	1	第1オペランド (SMSGn)			
	7	6	5	4	3	2	1	0
	第2オペランド (SMSGm)				付加バイト (Byte)			

記述例 : 0001 0001 0111 0010 B

CPU の相当命令は、MOV SMSG7, [SMSG1+2H]

SMSG1 = FE00H, FFE02H = xx12H の場合、FFE02H 番地に格納されている 12H を SMSG7 レジスタの下位8ビットに格納します。

34.5.3 16ビット・データ転送処理1

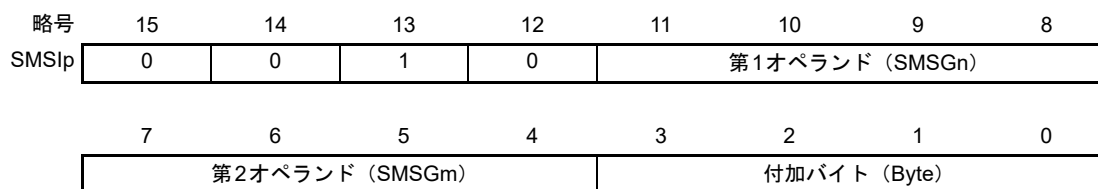
16ビット・データ転送処理1は16ビットのデータを転送する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送先のメモリのアドレスを指定します。第2オペランドで指定する SMSGm レジスタに格納されている16ビット・データを転送先のメモリに転送します。

転送先のメモリ・アドレスは偶数アドレスを指定してください。奇数アドレスを指定した場合はアドレスの最下位ビットを0として転送されます。

付加バイトは0から7の値（0000B-0111B）を指定してください。

転送先に SFR を指定するときは、16ビット操作が可能な SFR のアドレスを第1オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 0010B
 処理クロック数 : fCLK × 3
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : MOVW [MSGn+Byte], MSGm
 CPU 相当オペレーション : [MSGn+Byte] ← MSGm



記述例 : 0010 0001 0111 0010 B

CPU の相当命令は、MOVW [MSG1+2H], MSG7

MSG1 = FE00H, MSG7 = 1234H の場合、MSG7 に格納されている 1234H を FFE02H, FFE03H 番地に格納します。

34.5.4 16ビット・データ転送処理2

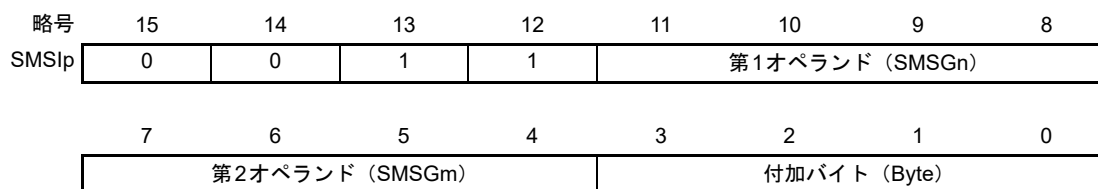
16ビット・データ転送処理2は16ビットのデータを転送する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。転送元の16ビット・データを第2オペランドで指定する SMSGm レジスタに格納します。

転送元のメモリ・アドレスは偶数アドレスを指定してください。奇数アドレスを指定した場合はアドレスの最下位ビットを0として転送されます。

付加バイトは0から7の値（0000B-0111B）を指定してください。

転送元に SFR を指定するときは、16ビット操作が可能な SFR のアドレスを第2オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 0011B
 処理クロック数 : fCLK × 3
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : MOV SMSGm, [SMSGn+Byte]
 CPU 相当オペレーション : SMSGm ← [SMSGn+Byte]



記述例 : 0011 0001 0111 0010 B

CPU の相当命令は、MOVW SMSG7, [SMSG1+2H]

SMSG1 = FE00H, FFE02H, FFE03H = 1234H の場合、FFE02H, FFE03H 番地に格納されている 1234H を SMSG7 レジスタに格納します。

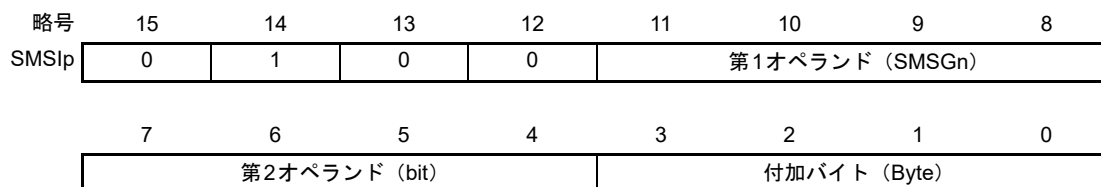
34.5.5 1ビット・データ・セット処理

1ビット・データ・セット処理は指定した8ビット・データのビットを1にセットする処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで1にセットするビットを指定します。

第2オペランドと付加バイトは0から7の値（0000B-0111B）を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 0100B
 処理クロック数 : fCLK × 4
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : SET1 [MSGn+Byte].bit
 CPU 相当オペレーション : [MSGn+Byte].bit ← 1



記述例 : 0100 0001 0011 0010 B

CPU の相当命令は、SET1 [MSG1+2H].3

MSG1 = FE00H, FFE02H = 0000 0000B の場合、FFE02H 番地のビット3を1にセットして FFE02H = 0000 1000B にします。

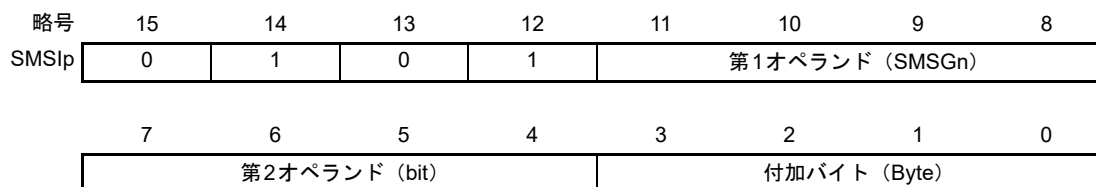
34.5.6 1ビット・データ・クリア処理

1ビット・データ・クリア処理は指定した8ビット・データのビットを0にクリアする処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで0にクリアするビットを指定します。

第2オペランドと付加バイトは0から7の値（0000B-0111B）を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 0101B
 処理クロック数 : fCLK × 4
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : CLR1 [MSGn+Byte].bit
 CPU 相当オペレーション : [MSGn+Byte].bit ← 0



記述例 : 0101 0001 0011 0010 B

CPU の相当命令は、CLR1 [MSG1+2H].3

MSG1 = FE00H, FFE02H = 0000 1000B の場合、FFE02H 番地のビット3を0にクリアして FFE02H = 0000 0000B にします。

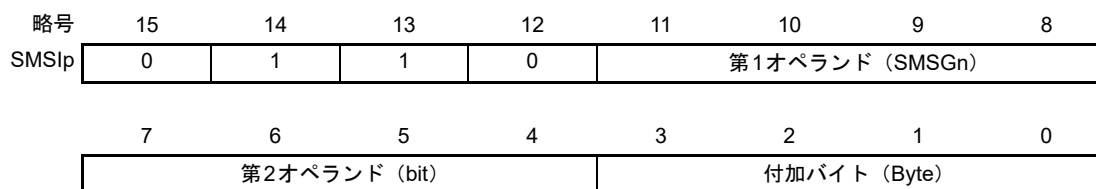
34.5.7 1ビット・データ転送処理

1ビット・データ転送処理は8ビット・データの指定した1ビット・データをSCYフラグに転送する処理です。第1オペランドで指定するSMSGnレジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。第2オペランドで1ビット・データを転送するビットを指定します。

第2オペランドと付加バイトは0から7の値（0000B-0111B）を指定してください。

SFRを指定するときは、1ビット操作が可能なSFRのアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各SFRの操作可能ビット単位はCPUと同じです。

シーケンサ・コード : 0110B
 処理クロック数 : fCLK × 3
 フラグ : SZフラグは保持、SCYフラグは転送された結果を反映
 CPU相当命令 : MOV1 SCY, [SMSGn+Byte].bit
 CPU相当オペレーション : SCY ← [SMSGn+Byte].bit



記述例 : 0110 0001 0011 0010 B

CPUの相当命令は、MOV1 SCY, [SMSG1+2H].3

SMSG1 = FE00H, FFE02H = 0000 1000B の場合、FFE02H 番地のビット3の値をSCYに転送しSCY = 1にします。

34.5.8 ワード・データ加算処理

ワード・データ加算処理は 16 ビット・データと 16 ビット・データを加算する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を加算し、結果を第 1 オペランドの示す SMSGn レジスタに格納します。加算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグが 1 にセット、それ以外は 0 にクリアされます。また、ビット 15 からのキャリーが発生した場合は SCY が 1 にセット、それ以外は 0 にクリアされます。

付加バイトは 0000B に設定してください。

シーケンサ・コード : 0111B（付加バイト：0000B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは演算結果を反映、SCY フラグは演算結果を反映
 CPU 相当命令 : ADDW SMSGn, SMSGm
 CPU 相当オペレーション : SMSGn, SCY ← SMSGn + SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド（SMSGn）			
	7	6	5	4	3	2	1	0
	第2オペランド（SMSGm）				0	0	0	0

記述例 : 0111 0001 0011 0000 B

CPU の相当命令は、ADDW SMSG1, SMSG3

SMSG1 = FFF0H, SMSG3 = 0010H の場合、結果は SMSG1 = 0000H, SCY = 1, SZ = 1 になります。

34.5.9 ワード・データ減算処理

ワード・データ減算処理は 16 ビット・データと 16 ビット・データを減算する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を減算し、結果を第 1 オペランドの示す SMSGn レジスタに格納します。減算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグが 1 にセット、それ以外は 0 にクリアされます。また、ビット 0 からのボローが発生した場合は SCY が 1 にセット、それ以外は 0 にクリアされます。

付加バイトは 0001B に設定してください。

シーケンサ・コード : 0111B（付加バイト：0001B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは演算結果を反映、SCY フラグは演算結果を反映
 CPU 相当命令 : SUBW SMSGn, SMSGm
 CPU 相当オペレーション : SMSGn, SCY ← SMSGn – SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド（SMSGn）			
	7	6	5	4	3	2	1	0
	第2オペランド（SMSGm）				0	0	0	1

記述例 : 0111 0001 0011 0001 B

CPU の相当命令は、SUBW SMSG1, SMSG3

SMSG1 = 1234H, SMSG3 = 1200H の場合、結果は SMSG1 = 0034H, SCY = 0, SZ = 0 になります。

34.5.10 ワード・データ比較処理

ワード・データ比較処理は 16 ビット・データと 16 ビット・データを比較する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を減算します。減算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグが 1 にセット、それ以外は 0 にクリアされます。また、ビット 0 からのボローが発生した場合は SCY が 1 にセット、それ以外は 0 にクリアされます。

付加バイトは 0010B に設定してください。

シーケンサ・コード : 0111B（付加バイト : 0010B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは演算結果を反映、SCY フラグは演算結果を反映
 CPU 相当命令 : CMPW SMSGn, SMSGm
 CPU 相当オペレーション : SMSGn – SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド (SMSGn)			
	7	6	5	4	3	2	1	0
	第2オペランド (SMSGm)				0	0	1	0

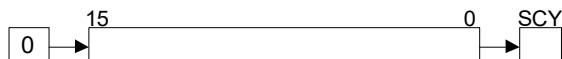
記述例 : 0111 0001 0011 0010 B

CPU の相当命令は、CMPW SMSG1, SMSG3

SMSG1 = 1234H, SMSG3 = 1200H の場合、結果は SCY = 0, SZ = 0 になります。

34.5.11 右方向論理シフト処理

右方向論理シフト処理は 16 ビット・データを 1 ビット右方向にシフトする処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値を 1 ビット右方向にシフトします。SMSGn レジスタの最上位ビットのビット 15 には 0、最下位ビットであるビット 0 の値は SCY に格納されます。



付加バイトは 0011B に設定してください。第 2 オペランドは使用しませんので 0000B に設定してください。

シーケンサ・コード : 0111B（付加バイト : 0011B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは演算結果を反映
 CPU 相当命令 : SHRW SMSGn
 CPU 相当オペレーション : SCY ← SMSGn.0, SMSGn.m-1 ← SMSGn.m, SMSGn.15 ← 0

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド (SMSGn)			
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	1	1

記述例 : 0111 0001 0000 0011 B

CPU の相当命令は、SHRW SMSG1

SMSG1 = AAF5H の場合、結果は SMSG1 = 557AH, SCY = 1 になります。

34.5.12 分岐処理1（SCY = 1）

分岐処理1はSCY = 1の場合に分岐する処理です。SCY = 1の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SCY = 0の場合は次に続く処理を実行します。

付加バイトは0000Bに設定してください。第1、第2オペランドは-31 ~ -1, 1 ~ 31の値を設定してください。

シーケンサ・コード : 1000B（付加バイト : 0000B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : BC \$addr5
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（\$addr5）			
	7	6	5	4	3	2	1	0
	第1、第2オペランド（\$addr5）				0	0	0	0

記述例 : 1000 0000 0101 0000 B

CPU の相当命令は、BC \$05H

SMSS[4:0] = 03H, SCY = 1 の場合、SMSS[4:0] = 08H になり次の処理は SMSI8 レジスタの処理を実行します。

34.5.13 分岐処理2（SCY = 0）

分岐処理2はSCY = 0の場合に分岐する処理です。SCY = 0の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SCY = 1の場合は次に続く処理を実行します。

付加バイトは0001Bに設定してください。第1、第2オペランドは-31～-1, 1～31の値を設定してください。

シーケンサ・コード : 1000B（付加バイト：0001B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : BNC \$addr5
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（\$addr5）			
	7	6	5	4	3	2	1	0
	第1、第2オペランド（\$addr5）				0	0	0	1

記述例：1000 1111 1110 0001 B

CPU の相当命令は、BNC \$0FEH

SMSS[4:0] = 0EH, SCY = 0 の場合、SMSS[4:0] = 0CH になり次の処理は SMSI12 レジスタの処理を実行します。

34.5.14 分岐処理3（SZ = 1）

分岐処理3はSZ = 1の場合に分岐する処理です。SZ = 1の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SZ = 0の場合は次に続く処理を実行します。

付加バイトは0010Bに設定してください。第1、第2オペランドは-31 ~ -1, 1 ~ 31の値を設定してください。

シーケンサ・コード : 1000B（付加バイト：0010B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : BZ \$addr5
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（\$addr5）			
	7	6	5	4	3	2	1	0
	第1、第2オペランド（\$addr5）				0	0	1	0

記述例：1000 0000 0101 0010B

CPU の相当命令は、BZ \$05H

SMSS[4:0] = 03H, SZ = 1 の場合、SMSS[4:0] = 08H になり次の処理は SMSI8 レジスタの処理を実行します。

34.5.15 分岐処理4（SZ = 0）

分岐処理4はSZ = 0の場合に分岐する処理です。SZ = 0の場合、第1、第2オペランドで指定された相対アドレスのSMSIpレジスタの処理に分岐します。SZ = 1の場合は次に続く処理を実行します。

付加バイトは0011Bに設定してください。第1、第2オペランドは-31～-1, 1～31の値を設定してください。

シーケンサ・コード : 1000B（付加バイト：0011B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : BNZ \$addr5
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（\$addr5）			
	7	6	5	4	3	2	1	0
	第1、第2オペランド（\$addr5）				0	0	1	1

記述例：1000 1111 1110 0011 B

CPU の相当命令は、BNZ \$0FEH

SMSS[4:0] = 0EH, SZ = 0 の場合、SMSS[4:0] = 0CH になり次の処理は SMSI12 レジスタの処理を実行します。

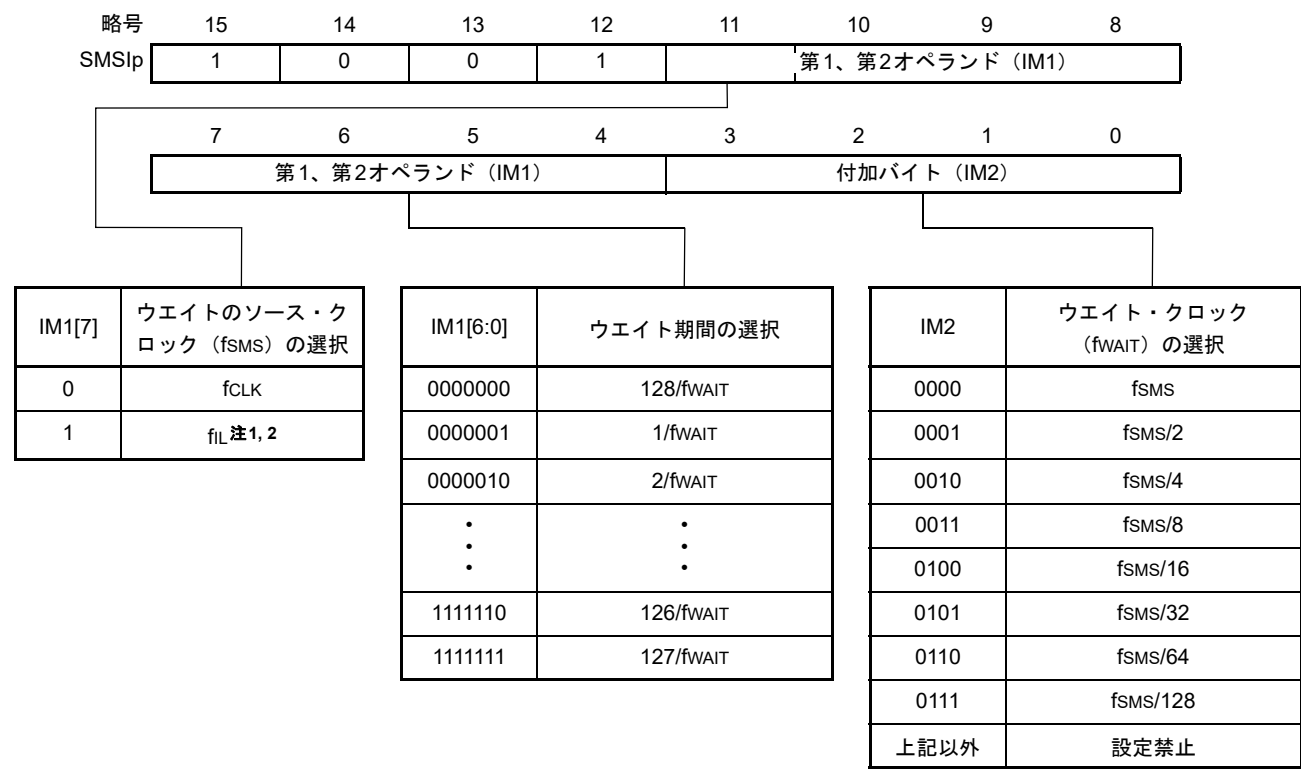
34.5.16 ウェイト処理

ウェイト処理は一定期間処理を保留する処理です。第1オペランド、付加バイトで指定されるクロックとクロックの分周値を用いて、第2オペランドで指定されたクロック数の期間の処理を保留します。

第1オペランド、第2オペランドでウェイトをカウントするソース・クロックの選択とウェイトする期間のカウント値の選択、付加バイトでウェイト・クロックを選択します。

ウェイトするクロックとして低速オンチップ・オシレータ・クロックを利用する場合はあらかじめSMSCレジスタのLONGWAITビット＝1を設定する必要があります。

- シーケンサ・コード : 1001B
- 処理クロック数 : (1) ウェイト処理のクロック数参照
- フラグ : SZフラグは保持、SCYフラグは保持
- CPU相当命令 : WAIT IM1, IM2
- CPU相当オペレーション : 一定期間処理の保留



記述例：

SMSIpレジスタの記述例	ウェイトの ソース・クロック	ウェイト・クロック	ウェイトの カウント数	ウェイト時間[μs] (Typ.)
1001 0 0000001 0000	fCLK	fCLK	1	0.03125
1001 0 0000000 0111	fCLK	fCLK/128	128	512
1001 0 1000000 0110	fCLK	fCLK/64	64	128
1001 1 0000001 0000	fiL	fiL	1	30.51757813
1001 1 0000000 0111	fiL	fiL/128	128	500000
1001 1 1100000 0101	fiL	fiL/32	96	93750

注1. CPU/周辺ハードウェア・クロック周波数 (fCLK) に低速オンチップ・オシレータ・クロック (fiL) を選択しているときは、ウェイトのソース・クロック fSMS に fCLK (IM1[7] = 0) を選択してください。

注2. ウェイトのソース・クロックに低速オンチップ・オシレータ・クロック (fiL) を選択するときは、周辺イネーブル・レジスタ 0 (PER0) を 00H に、周辺イネーブル・レジスタ 1 (PER1) を 40H に設定してください。

備考 fCLK : CPU/周辺ハードウェア・クロック周波数

fiL : 低速オンチップ・オシレータ・クロック周波数 (32.768 kHz)

(1) ウェイト処理のクロック数

ウェイト処理のクロック数は、ウェイト処理コマンドの設定値に応じて可変です。IM1, IM2 に設定した値を参考に処理時間は計算してください。

なお、ウェイト処理はウェイトのためのカウンタ動作の前後に、同期化処理を行っているため、別途時間がかかります。以下を参考に計算してください。

ウェイト処理前：

$(fCLK \times 1) + (\text{選択後のウェイト処理用クロック} \times 2\text{注})$

ウェイト処理後：

$(fCLK \times 2\text{注})$

注 同期化用のクロック数でありクロック2サイクル以下の処理時間となります。

タイミング次第では限りなく1サイクルの処理時間に近づく可能性もあります。

34.5.17 条件付きウェイト処理1（bit = 1）

条件付き繰り返しウェイト処理1は指定する8ビット・データのビットが1の期間は処理を保留する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで条件となるビットを指定します。指定したビットを読み出し、ビットが1の場合は次に続く処理を実行しません。続く処理は条件付きウェイト処理を再度実行し、指定したビットが1の期間はこれを繰り返します。指定したビットを読み出し、ビットが0の場合は次に続く処理を実行します。

第2オペランドは0から7の値（0000B-0111B）を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 1010B
 処理クロック数 : (1) 条件付きウェイト処理1のクロック数参照
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : WHILE1 [SMSGn+Byte].bit
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] if [SMSGn+Byte].bit = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	1	0	第1オペランド（SMSGn）			
	7	6	5	4	3	2	1	0
	第2オペランド（bit）				付加バイト（Byte）			

記述例：1010 0011 0101 0010 B

CPU の相当命令は、WHILE1 [SMSG3+2].5

SMSG3 = 02E8H の場合、F02EAH 番地のビット5が1の間は処理を保留し、0になると次に続く処理を実行します。

(1) 条件付きウェイト処理1のクロック数

条件付きウェイト処理1は、指定するビットが0になるまでアクセスを繰り返します。

処理開始時に fCLK × 1、レジスタビットの参照と判定を1セット実行するために fCLK × 2 のクロック数がかかります。たとえば、5回参照して5回目に参照先のレジスタビットが0となった場合は、

$$fCLK \times 1 + (fCLK \times 2) \times 5 = fCLK \times 11$$

となります。

なお、メモリへのアクセスにおいて、CPUとDTC、SNOOZEモード・シーケンサが競合した際はSNOOZEモード・シーケンサが保留状態となる場合があります。その場合はクロック数は増加します。

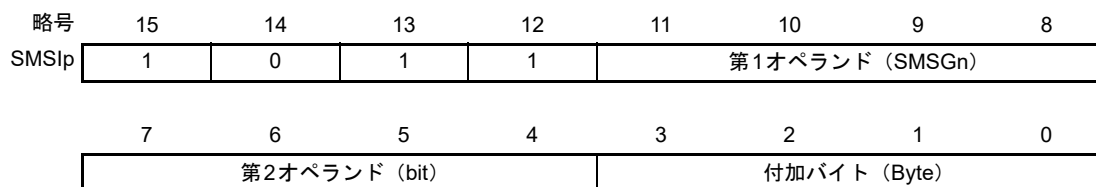
34.5.18 条件付きウェイト処理2（bit = 0）

条件付き繰り返しウェイト処理2は指定する8ビット・データのビットが0の期間は処理を保留する処理です。第1オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで条件となるビットを指定します。指定したビットを読み出し、ビットが0の場合は次に続く処理を実行しません。続く処理は条件付きウェイト処理を再度実行し、指定したビットが0の期間はこれを繰り返します。指定したビットを読み出し、ビットが1の場合は次に続く処理を実行します。

第2オペランドは0から7の値（0000B-0111B）を指定してください。

SFR を指定するときは、1ビット操作が可能な SFR のアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード : 1011B
 処理クロック数 : (1) 条件付きウェイト処理2のクロック数参照
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : WHILE0 [SMSGn+Byte].bit
 CPU 相当オペレーション : SMSS[4:0] ← SMSS[4:0] if [SMSGn+Byte].bit = 0



記述例 : 1011 0011 0101 0010 B

CPU の相当命令は、WHILE0 [SMSG3+2].5

SMSG3 = FFE0H の場合、FFFE2H 番地のビット5が0の間は処理を保留し、1になると次に続く処理を実行します。

(1) 条件付きウェイト処理2のクロック数

条件付きウェイト処理2のクロック数は、条件付きウェイト処理1と同じカウント方法なので、**34.5.17 (1) 条件付きウェイト処理1のクロック数**を参照してください。

34.5.19 終了処理

終了処理は SNOOZE モード・シーケンサの動作を終了する処理です。処理を実行すると SNOOZE モード・シーケンサの処理を終了し、SMSS レジスタの SMSSTAT ビットと SMSCV4-SMSCV0 ビットを 0 にクリアし、次の起動トリガ待ちとなります。

付加バイトは 0000B を設定してください。第 1 オペランド、第 2 オペランドはすべて 0 に設定してください。

シーケンサ・コード : 1111B（付加バイト : 0000B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : FINISH
 CPU 相当オペレーション : SMSSTAT ← 0, SMSS[4:0] ← 0、シーケンサの動作停止

略号	15	14	13	12	11	10	9	8
SMSIp	1	1	1	1	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

記述例 : 1111 0000 0000 0000 B

CPU の相当命令は、FINISH

シーケンサの動作を停止し、SMSS レジスタの SMSSTAT, SMSCV4-SMSCV0 ビットを 0 にクリアして起動トリガ待ちになります。

34.5.20 割り込み&終了処理

割り込み&終了処理は、割り込み信号を発行し SNOOZE モード・シーケンサの動作を終了する処理です。割り込み信号を発行することにより、スタンバイ状態の CPU を起動することが可能です。処理を実行すると割り込み信号を発行後に SNOOZE モード・シーケンサの処理を終了し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアし、次の起動トリガ待ちとなります。

付加バイトは 0001B を設定してください。第 1 オペランド、第 2 オペランドはすべて 0 に設定してください。

シーケンサ・コード : 1111B (付加バイト : 0001B)
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : WAKEUP
 CPU 相当オペレーション : SMSS[4:0] ← 0、割り込み発行後にシーケンサの動作停止

略号	15	14	13	12	11	10	9	8
SMSIp	1	1	1	1	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	1

記述例 : 1111 0000 0000 0001 B

CPU の相当命令は、WAKEUP

INTSMSE 割り込み発行後にシーケンサの動作を停止し、SMSS レジスタの SMSSTAT ビットと SMSCV[4:0] を 0 にクリアして起動トリガ待ちになります。

34.5.21 DTC起動処理

DTC 起動処理は DTC 転送を実行するために DTC の起動要因を発行する処理です。処理を実行すると DTC に起動要因が発行されます。DTC にあらかじめ対応するコントロールデータを設定している場合、指定した DTC の転送が行われます。

付加バイトは 0010B を設定してください。第 1 オペランド、第 2 オペランドはすべて 0 に設定してください。

シーケンサ・コード : 1111B（付加バイト : 0010B）
 処理クロック数 : fCLK × 1
 フラグ : SZ フラグは保持、SCY フラグは保持
 CPU 相当命令 : DTCTRG
 CPU 相当オペレーション : DTC 起動要因を出力

略号	15	14	13	12	11	10	9	8
SMSlp	1	1	1	1	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	1	0

記述例 : 1111 0000 0000 0010 B

CPU の相当命令は、DTCTRG

DTC の起動要因を発行します。DTC のコントロールデータに従って DTC 転送が実行されます。

なお、DTC の転送完了までシーケンサの処理をウェイトする場合は、ウェイト処理で DTC が起動するまでウェイトし、その後、条件付きウェイト処理 1 で対応する DTC 起動許可レジスタ i（DTCENi）（i = 0-6）の対象ビットが 0 になるまでウェイトしてください。

34.6 スタンバイ・モード時の動作

状態	SNOOZEモード・シーケンサ動作
HALTモード	動作可能 ^{注1}
STOPモード	SNOOZEモード・シーケンサ起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注3, 4, 5, 6}

- 注1.** fCLKにサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。
- 注2.** STOPモード時にSMS起動要因の検出によりSNOOZEモードに遷移して、SNOOZEモード・シーケンサが動作可能となります。また動作完了後はSTOPモードに戻ります。ただし、SNOOZEモード中でアクセスできないメモリ領域があるため注意してください。詳細は、**34.4.2 シーケンサのメモリ空間**を参照してください。
- 注3.** SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
- 注4.** CSIpのSNOOZEモード機能から転送完了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にCSIpの受信再設定（STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み）を行ってください。
- 注5.** UARTqのSNOOZEモード機能から転送完了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にUARTqの受信再設定（STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み）を行ってください。
- 注6.** A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをSNOOZEモード・シーケンサ起動要因とした場合、割り込み&終了処理でSNOOZEモードを解除しCPU処理を開始するか、終了処理の前にA/DコンバータのSNOOZEモード機能の再設定（AWCビットに0を書き込み、AWCビットに1を書き込む）を行ってください。

第35章 静電容量センサユニット (CTS2La)

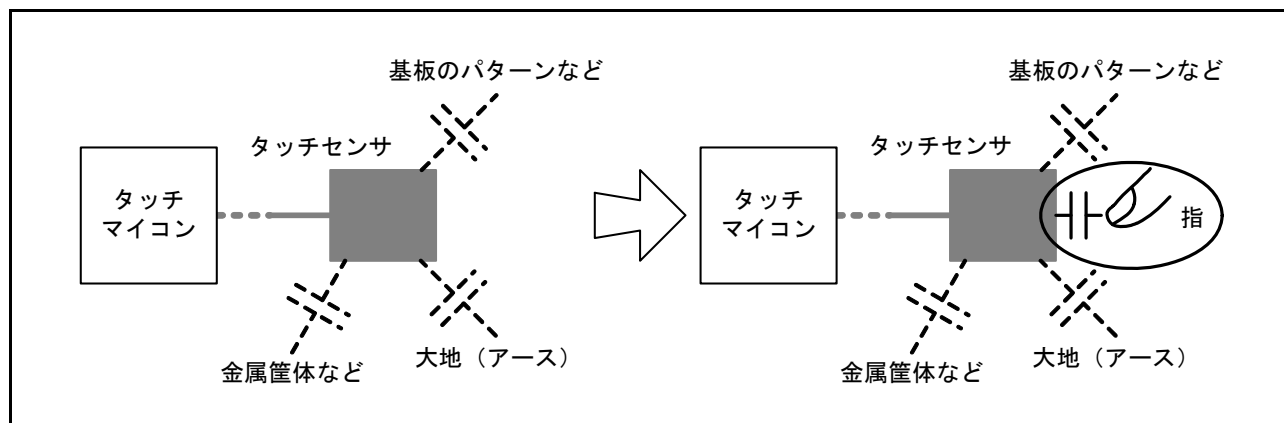
静電容量センサユニットの計測チャンネル数は、製品によって異なります。

ピン数	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
CTS2La 出力チャンネル	16チャンネル TS00-TS02, TS09, TS10, TS24-TS34	18チャンネル TS00-TS02, TS09-TS11, TS19, TS24-TS34	20チャンネル TS00-TS02, TS09-TS12, TS19, TS20, TS24-TS34	25チャンネル TS00-TS02, TS07-TS12, TS16, TS19-TS21, TS24-TS35	34チャンネル TS00-TS04, TS07-TS35	36チャンネル TS00-TS35

静電容量センサユニット (CTS2La) は、静電容量センサの容量を計測します。CTS2La は、ソフトウェアで静電容量の変化を判定することによって、指などが静電容量センサに接触したことを検出できます。通常、静電容量センサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。

図 35 - 1 に示すように、電極と周囲の導電体との間には静電容量（寄生容量）が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

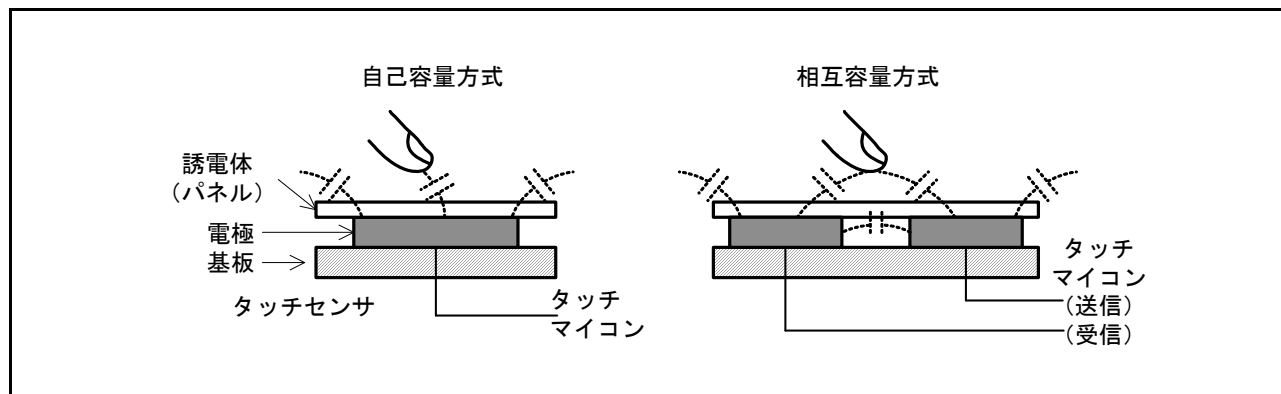
図35 - 1 指による静電容量の増加



CTSU は、自己容量方式と相互容量方式に対応しています。

自己容量方式では、指と1つの電極との間に生じる静電容量を検出します。一方、相互容量方式では、2つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出します。

図35-2 自己容量方式と相互容量方式



静電容量の計測は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。

計測動作原理については、**35.3.1 計測動作原理**を参照してください。また、タッチアプリケーションの開発方法については、**RL78 ファミリ QE と SIS を使用した静電容量タッチアプリケーションの開発 アプリケーションノート (R01AN5512)**を参照してください。

35.1 概要

35.1.1 CTSUの機能概要

表 35 - 1 に CTSU の機能概要を、図 35 - 3 に CTSU のブロック図を、図 35 - 4 にセンサドライバパルス出力のクロック構成を示します。

表35 - 1 CTSUの機能概要

項目		構成
モジュール型名		CTS U2La
動作電圧		VDD = 1.8 ~ 5.5 V
動作クロック注		fCLK (1 MHz ~), fCLK/2, fCLK/4, fCLK/8
端子	静電容量計測	TSm (m = 00-35)、最大 36 チャンネル
	計測用二次電源コンデンサ接続端子	TSCAP (10 nF) 10 nF のコンデンサを接続することを推奨
計測モード	自己容量計測モード	自己容量方式の電極に対する充放電電流から計測
	相互容量計測モード	相互容量方式の送信・受信電極間の容量に対する充放電電流から計測
	電流計測モード	計測端子に流れる電流を計測
キャリブレーションモード		計測用電流制御発振器の特性補正機能
ノイズ対策		- センサドライバパルスのスペクトラム拡散機能 - センサドライバパルスのランダム位相シフト機能 - 複数周波数計測による多数決判定
端子ごとの調整		- オフセット電流調整機能 - センサドライバパルス周波数指定 - 計測時間指定
計測開始条件		- ソフトウェアトリガ - 外部トリガ (ELCL からのイベント入力)
低電力機能		SNOOZE モード機能対応
各種要求出力	DTC 起動要因	- チャンネルごとの設定レジスタ書き込み要求 - 計測データ転送要求
	割り込み要因	- チャンネルごとの設定レジスタ書き込み要求割り込み (INTCTS UWR) - 計測データ転送要求割り込み (INTCTS URD) - 計測終了割り込み (INTCTS UFN)
相互容量方式送信電源切り替え		送信時の端子の電源を切り替え可能

注 静電容量センサユニット (CTS U2La) の計測精度は、動作クロックの精度に依存します。CTS U2La を使用する場合は、CPU/周辺ハードウェア・クロック (fCLK) として、高速オンチップ・オシレータ・クロック (fIH) または高速システム・クロック (fMX) を選択することを推奨します。また、CPU/周辺ハードウェア・クロック (fCLK) にサブシステム・クロック (fSUB) を選択しないでください。

CTS U は図 35 - 3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャンネル制御部、ポート制御部、センサドライバパルス生成部、計測部、割り込み制御部、SNOOZE 制御部、制御レジスタで構成されます。

図35 - 3 CTSUのブロック図

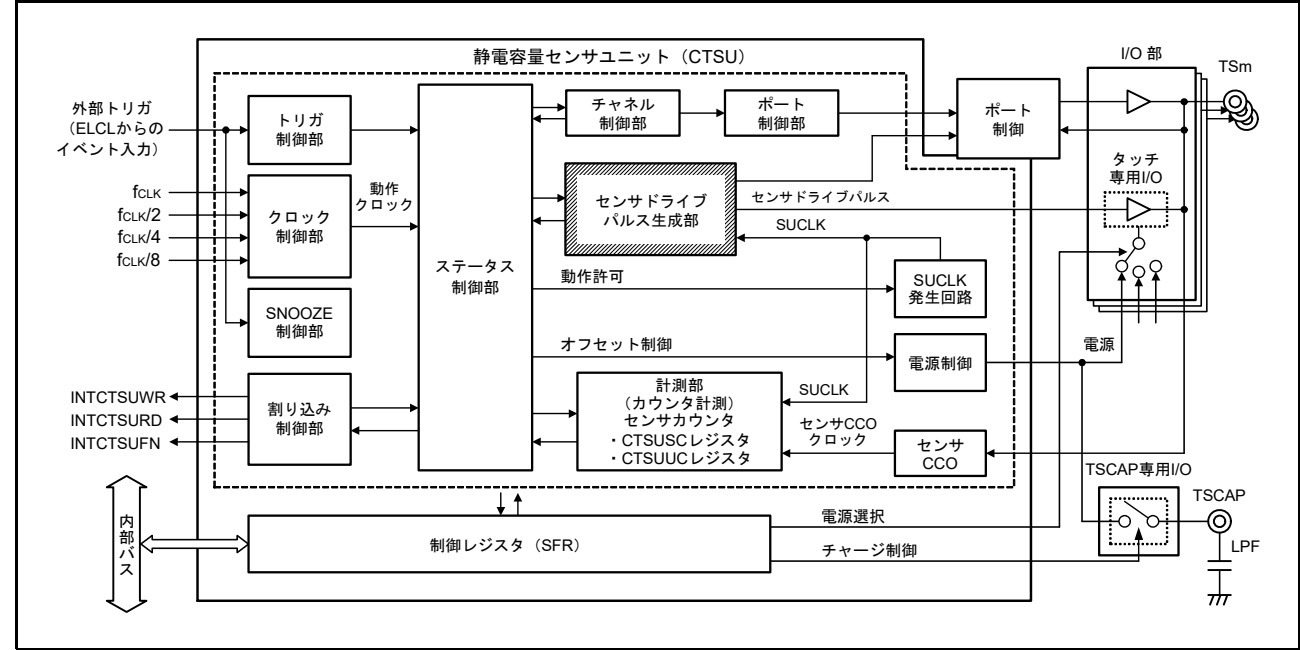


図35 - 4 センサドライブパルス出力のクロック構成

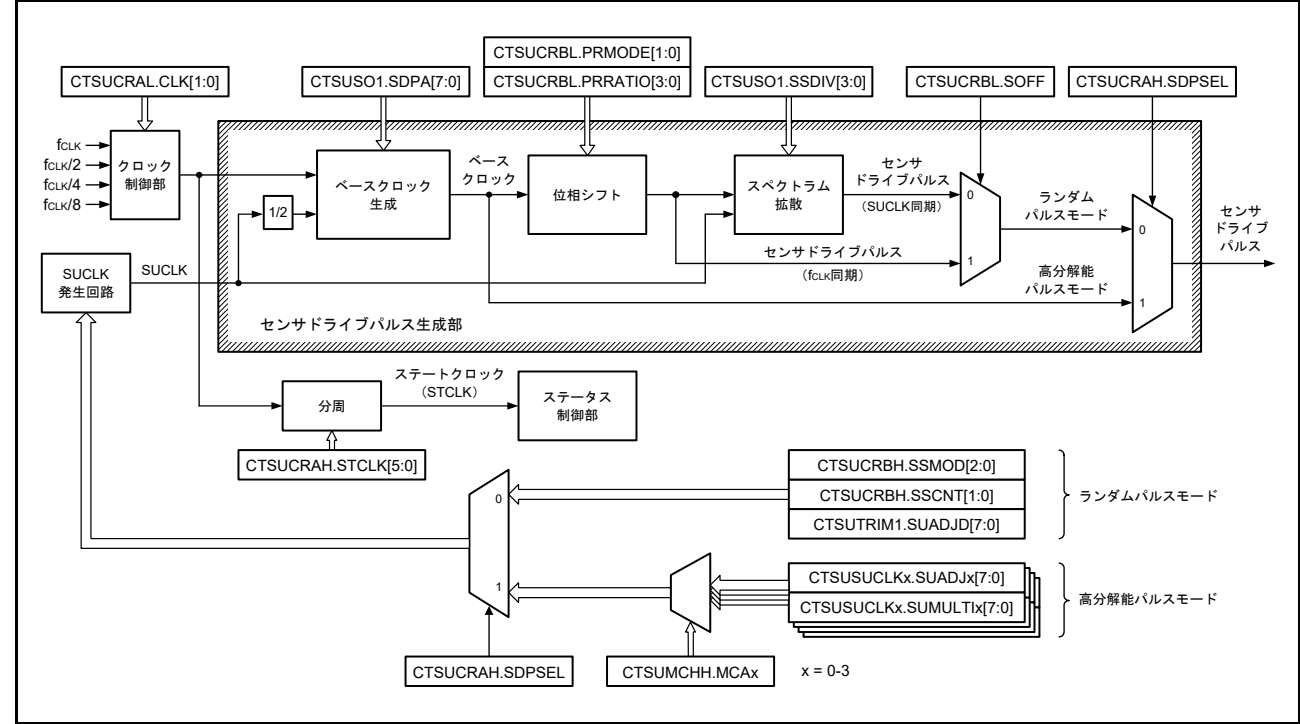


表35 - 2 CTSUの入出力端子

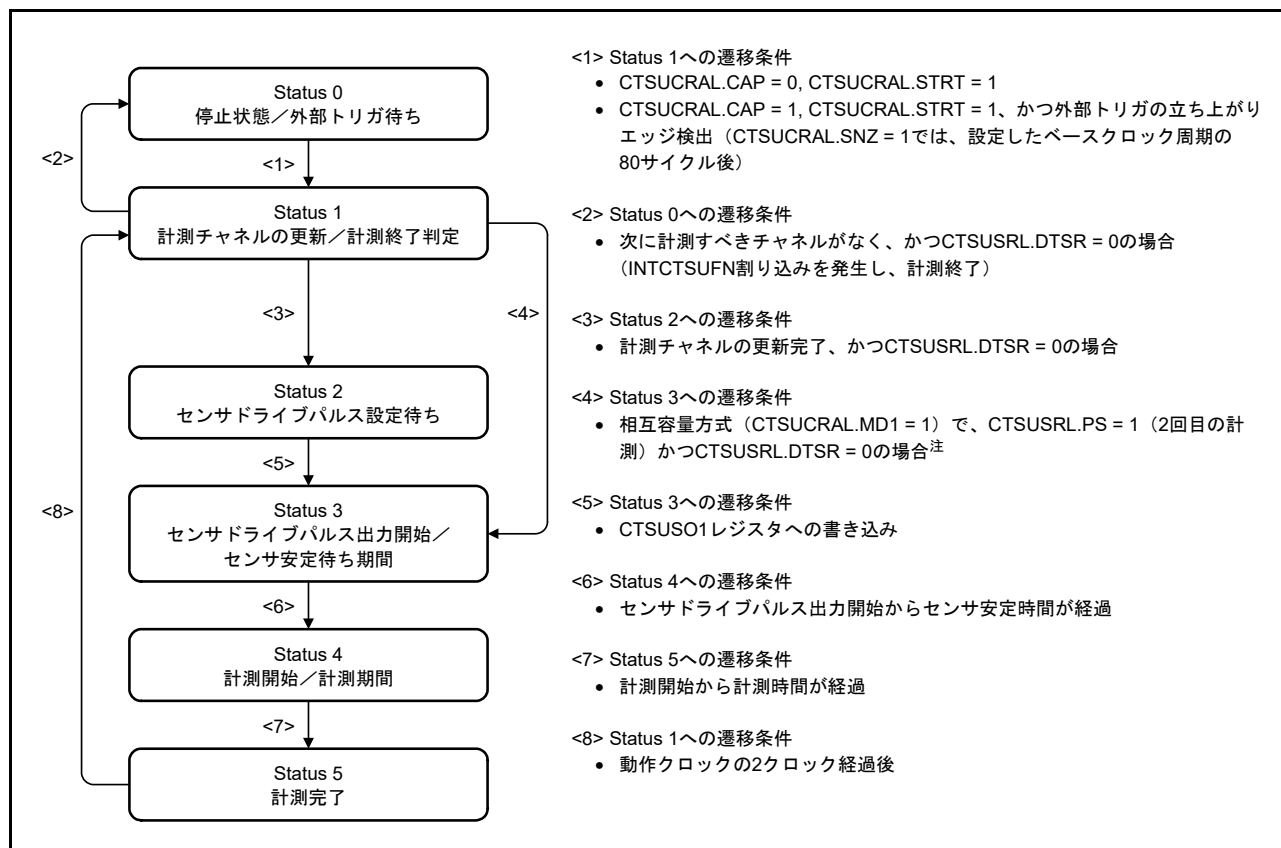
端子名	入出力	機能
TSm (m = 00-35)	入出力	静電容量計測端子 (タッチ端子)
TSCAP	—	計測用二次電源コンデンサ接続端子

35.1.2 計測ステータス

CTSU は、ステートコントローラを内蔵しています。計測ステータスはすべての計測方式で共通です。計測ステータスカウンタは、現在の計測ステータスを示し、CTSUSRL.STC[2:0] ビットで読み取ることができます。

図 35 - 5 に計測ステータスの状態遷移図を示します。

図 35 - 5 計測ステータスの状態遷移図



注 CTSUSRL.DTSR = 1の場合は、前回の計測結果の読み出し待ちとなります。

指定されたチャンネルの計測が完了すると、計測ステータスは Status 0 に遷移します。

CTSUCRAL.STRT ビットは、ソフトウェアトリガを使用する場合、ハードウェアによって 0 になります。外部トリガを使用する場合、STRT ビットは 1 を保持し、CTSU は次のトリガを待ちます。

計測中またはトリガ待ち状態において、強制動作停止 (STRT ビットへの 0 と、CTSUCRAL.INIT ビットへの 1 の同時書き込み) が発生すると、計測ステータスが Status 0 に遷移し、計測が停止されます。

CTSUMCHL, CTSUMCHH, CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL レジスタに計測対象チャンネルが設定されていない場合は、Status 1 に遷移した直後に計測終了割り込み (INTCTSUFN) が発生し、計測ステータスが Status 0 に遷移します。

計測するチャンネルがない場合は、次のとおりです。

- CTSUCHACAL, CTSUCHACAH, CTSUCHACBL レジスタで計測対象チャンネルを指定していない場合
- シングルスキャンモードで、CTSUMCHL, CTSUMCHH レジスタで指定したチャンネルが、CTSUCHACAL, CTSUCHACAH, CTSUCHACBL レジスタで指定した計測対象チャンネルではない場合
- 自己容量方式の場合、CTSUCHACAL, CTSUCHACAH, CTSUCHACBL レジスタと CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL レジスタの組み合わせで、計測対象の受信チャンネルが存在しない場合
- 相互容量方式の場合、CTSUCHACAL, CTSUCHACAH, CTSUCHACBL レジスタと CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL レジスタの組み合わせで、計測対象の送信チャンネルまたは受信チャンネルが存在しない場合

35.2 静電容量センサユニットを制御するレジスタ

静電容量センサユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1 (PER1)
- 周辺リセット制御レジスタ1 (PRR1)
- CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH)
- CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH)
- CTSU計測チャンネルレジスタL, H (CTSUMCHL, CTSUMCHH)
- CTSUチャンネル有効制御レジスタAL, AH, BL (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL)
- CTSUチャンネル送受信制御レジスタAL, AH, BL (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL)
- CTSUステータスレジスタL (CTSUSRL)
- CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1)
- CTSUセンサカウンタレジスタ (CTSUSC, CTSUUC)
- CTSUキャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1)
- CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3)
- CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1)
- CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3)
- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

35.2.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

静電容量センサユニットを使用する場合は、必ず CTSUEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 35 - 6 周辺イネーブル・レジスタ 1 (PER1) のフォーマット

アドレス : F00FAH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
PER1	DACEN	SMSSEN	CMPEN	TML32EN	DTCEN	UTA0EN	0	CTS UEN
CTS UEN								
静電容量センサユニットの入カクロック供給の制御								
0	入カクロック供給停止 ・ 静電容量センサユニットで使用する SFR へのライト不可注							
1	入カクロック供給 ・ 静電容量センサユニットで使用する SFR へのリード／ライト可							

注 リードした場合は、設定値にかかわらず 00H または 0000H が読めます。

注意 ビット 1 には、必ず 0 を設定してください。

35.2.2 周辺リセット制御レジスタ 1 (PRR1)

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。
PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。
PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図 35 - 7 周辺リセット制御レジスタ 1 (PRR1) のフォーマット

アドレス : F00FBH
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	<0>
PRR1	DACRES	SMSRES	CMPRES	TML32RES	0	0	0	CTSURES
CTSURES		静電容量センサユニットのリセット制御						
0		静電容量センサユニットのリセット解除						
1		静電容量センサユニットはリセット状態 ・静電容量センサユニットで使用する SFR が初期化されます。						

注意 ビット 3-1 には、必ず 0 を設定してください。

35.2.3 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH)

CTSUCRAL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRAL レジスタは、上位を CTSUCR1 レジスタ、下位を CTSUCR0 レジスタとして、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCRAH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRAH レジスタは、上位を CTSUCR3 レジスタ、下位を CTSUCR2 レジスタとして、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図35-8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (1/8)

アドレス : F0500H, F0501H (CTSUCRAL), F0502H, F0503H (CTSUCRAH)

リセット時: 0000H

R/W属性 : R/W

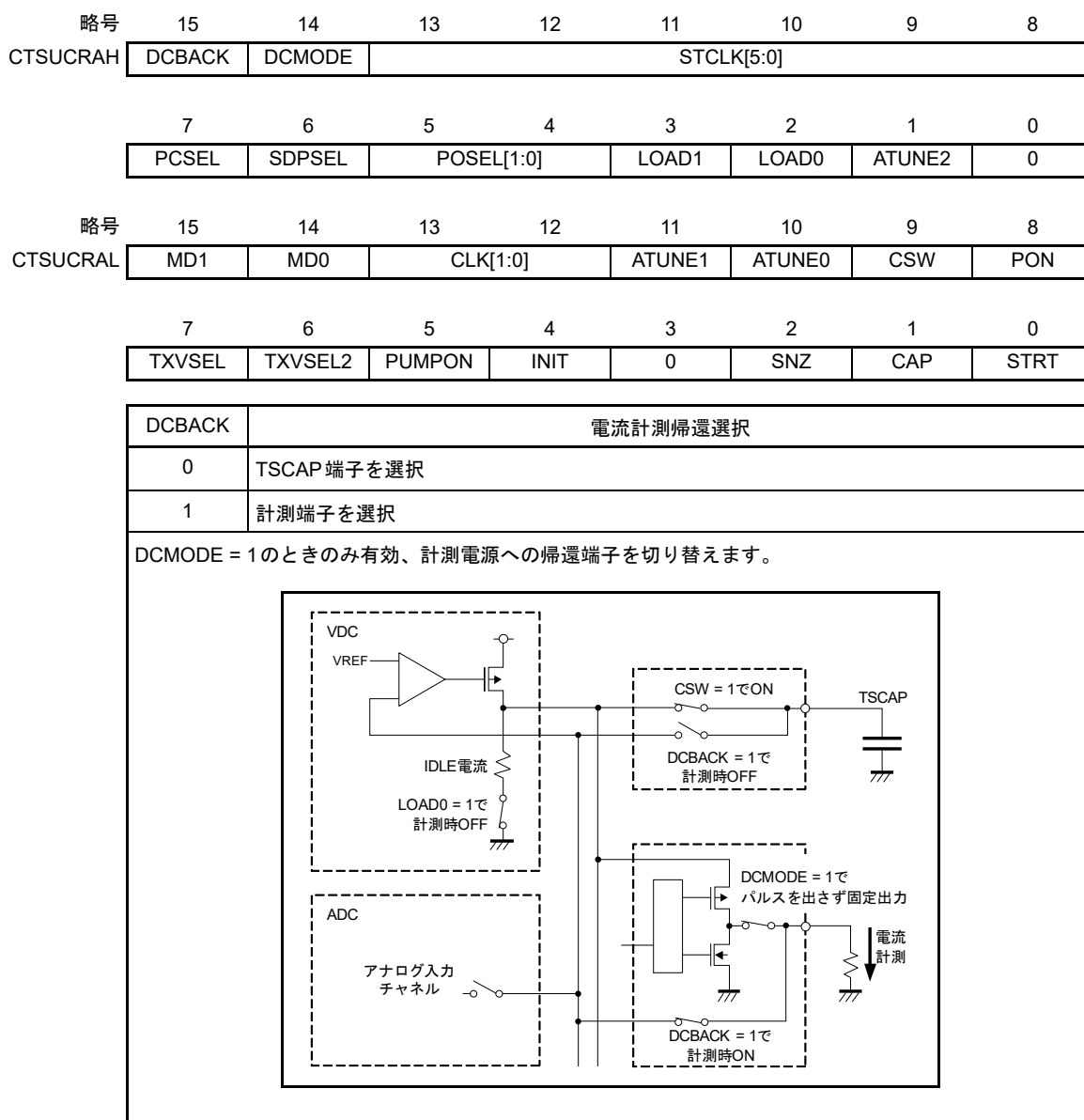


図35 - 8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (2/8)

DCMODE	電流計測モード選択					
0	通常モード					
1	電流計測モード					
本ビットが1のときは、センサドライブパルスを使用せずに電流を計測します。 CTSUDBGR0.IOC ビットの値に従って計測受信端子から固定値が出力され、センサドライブパルスは停止します。 CTSUDBGR0.IOC = 0 : ハイ・レベル出力 CTSUDBGR0.IOC = 1 : ロウ・レベル出力						
STCLK[5:0]						STCLK選択
0	0	0	0	0	0	動作クロックの2分周
0	0	0	0	0	1	動作クロックの4分周
0	0	0	0	1	0	動作クロックの6分周
0	0	0	0	1	1	動作クロックの8分周
:	:	:	:	:	:	:
1	1	1	1	1	0	動作クロックの126分周
1	1	1	1	1	1	動作クロックの128分周
動作クロックに対する分周値（ステートクロック：STCLK）を設定します。STCLKは、計測時間とSUCLKの周波数調整周期に関係します。 分周値は以下の式で決まります。 分周値 = (STCLK[5:0] + 1) × 2 (2～128分周) STCLKは、0.5 MHz (2 μs) となるように設定することを推奨します。						
PCSEL	昇圧クロック選択					
0	センサドライブパルス					
1	STCLK					
昇圧回路のクロックを選択します。						

図35 - 8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (3/8)

SDPSEL	センサドライバパルスおよびSUCLK選択
0	ランダムパルスモード - センサドライバパルス 動作クロックをCTSUSO1.SDPA[7:0]ビットで分周したベースクロックを基準として、疑似乱数を用いてランダムにロウ・レベル幅を延長させることで、fCLKに同期したセンサドライバパルスを生成します。 - SUCLK CTSUCRBH.SSCNT[1:0], CTSUCRBH.SSMOD[2:0], CTSUTRIM1.SUADJD[7:0]ビットの設定に従ってSUCLKを生成します。 SUCLKは、センサドライバパルスのスペクトラム拡散用として使用します。
1	高分解能パルスモード - センサドライバパルス SUCLKをCTSUSO1.SDPA[7:0]ビットで分周したクロック（ベースクロック）をセンサドライバパルスとして使用します。 - SUCLK CTSUSUCLKxレジスタを設定することで、クロックリカバリ制御が行われ、CTSUSUCLKx.SUADJx[7:0]ビットが更新されます。本設定に従ってSUCLKは生成されます。 本ビットに1を設定する前に、CTSUSUCLKxレジスタを設定してください。 本ビットが1の間は、CTSUSUCLKxレジスタの設定を変更しないでください。
本ビットでランダムパルスモードと高分解能パルスモードを切り替えます。この選択により、センサドライバパルスとSUCLKの生成方法が変わります。	

図35 - 8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (4/8)

POSEL[1:0]		非計測端子出力選択
0	0	ロウ・レベル出力 (TXVSEL, TXVSEL2ビットの設定に関係なく I/O ポートから出力)
0	1	Hi-Z
1	0	ロウ・レベル出力 (TXVSEL, TXVSEL2ビットの設定で出力)
1	1	送信チャンネルと同相のパルスを出力 (TXVSEL, TXVSEL2ビットの設定で出力)

非計測端子の出力を選択します。

(例) 下図のような電極で、自己容量方式による計測を行い、アクティブシールド機能を有効にする場合

- シールド端子 : TS03

送受信制御レジスタに1を設定すると送信パルスが出力され、TS03がシールド端子として使用されます。

- 計測端子 : TS00 ~ TS02

POSEL[1:0] = 11Bに設定してください。非計測端子からは、シールド端子と同相のパルスが出力されます。

LOAD1	LOAD0	計測用負荷制御
0	0	2.5 μ A 定電流負荷モード (通常計測用)
0	1	無負荷モード
1	0	20 μ A 定電流負荷モード (キャリブレーション用)
1	1	抵抗負荷モード (キャリブレーション用)

計測用負荷を抵抗負荷モードに設定するときは、01Bに設定してから11Bに設定してください。
抵抗負荷モード時は、ATUNE2, ATUNE1ビットの設定により抵抗負荷量が変化します。

ATUNE2	電流レンジ切り替え2
0	ATUNE1ビットが0のとき : 80 μ A ATUNE1ビットが1のとき : 40 μ A
1	ATUNE1ビットが0のとき : 20 μ A ATUNE1ビットが1のとき : 160 μ A

ATUNE1ビットとあわせて、計測電源の抵抗負荷量を変化させ、最大供給電流 (計測レンジ) を設定します。

CTSUCRAH.ATUNE2	CTSUCRAL.ATUNE1	計測レンジ
0	0	80 μ A
0	1	40 μ A
1	0	20 μ A
1	1	160 μ A

図35 - 8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (5/8)

MD1		計測モード選択 1	
0		自己容量方式 計測対象の端子は受信（CTSUCHTRCAL.CHTRCm = 0, CTSUCHTRCAH.CHTRCm = 0, CTSUCHTRBL.CHTRCm = 0）に設定してください。アクティブシールドとして使用する端子は送信（CHTRCm = 1）に設定してください。 送信に設定した端子が存在する場合は、送信端子は計測中のチャネルと同相のパルスを出力します。 すべてのTSm端子が受信に設定されているときは、受信端子の計測のみ実施します。	
1		相互容量方式 送信（CHTRCm = 1）に設定されたTSm端子と、受信（CHTRCm = 0）に設定されたTSm端子で計測します。 CHTRCmビットがすべて0に設定されているときは、計測は行いません。	
自己容量方式と相互容量方式を選択します。			

MD0		計測モード選択 0	
0		シングルスキャンモード	
1		マルチスキャンモード	
シングルスキャン、マルチスキャンを選択します。			

CLK[1:0]		動作クロック選択	
0	0	fCLK	
0	1	fCLK/2	
1	0	fCLK/4	
1	1	fCLK/8	
プリスケアラを使用して、CPU／周辺ハードウェア・クロック（fCLK）を分周します。			

ATUNE1		電流レンジ切り替え 1	
0		ATUNE2ビットが0のとき：80 μA ATUNE2ビットが1のとき：20 μA	
1		ATUNE2ビットが0のとき：40 μA ATUNE2ビットが1のとき：160 μA	
ATUNE2ビットとあわせて、計測電源の抵抗負荷量を変化させ、最大供給電流（計測レンジ）を設定します。詳細は、ATUNE2ビットを参照してください。			

ATUNE0		電源電圧設定	
0		計測電源電圧 = 1.5 V	
1		計測電源電圧 = 1.2 V ^{注1}	
CTSUの電源電圧を制御します。 VDD < 2.4 Vの場合は1に設定してください。 2.4 V ≤ VDDの場合は0, 1いずれも設定可能です。			

図35-8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (6/8)

CSW	計測用二次電源コンデンサ接続	
0	外部容量接続スイッチOFF	
1	外部容量接続スイッチON	
TSCAP端子に接続される計測用二次電源コンデンサの充電制御（容量接続スイッチのON／OFF）を行います。		
容量接続スイッチをONにしてからTSCAP端子に接続しているコンデンサが充電されるまで、一定時間経過したあとに計測を開始（STRT = 1）してください。本ビットに1を設定する前に、TSCAPに割り当てた入出力ポート（P57）からロウ・レベルを出力し、端子に接続された計測用二次電源コンデンサの電荷を完全に放電してください。		
PON = 1を書き込む前に、本ビットに1を設定してください。		
VDD < 4.5 Vのときは、PUMPON = 1を設定してから、本ビットに1を設定してください。		

PON	計測電源起動	
0	電源OFF	
1	電源ON	
計測電源（1.5 V）の供給を制御します。		
本ビットを1にする前に、PUMPONビットを設定し、CSWビットを1にしてください。		
CSWビットが0のときは、本ビットに1を設定しないでください。		

TXVSEL	TXVSEL2	送信端子電源切り替え
0	0	I/O電源
1	0	内部ロジック電源 アクティブシールド機能を使用する場合に設定してください。
0	1	CTSU専用電源
1	1	相互容量方式を使用する場合に設定してください。

PUMPON	昇圧回路起動	
0	昇圧電源OFF	
1	昇圧電源ON	
昇圧電源を制御します。		
VDDが4.5 V未満の場合、本ビットを1にしてください。		

INIT	制御部初期化	
0	—	
1	1を書き込むことで内部制御レジスタを初期化できます。	
本ビットに1を設定すると、以下のレジスタが初期化されます。		
• CTSUSC, CTSUUC		
• CTSUMCHL, CTSUMCHH		
• CTSUSRL（ICOMP0, ICOMP1ビットを除く）		
動作中に強制終了させる場合には、必ずSTRT = 0と同時にINIT = 1を書き込んでください。この場合、計測動作が停止し、内部制御レジスタが初期化されます。		
STRT = 1（計測動作開始）と同時に本ビットに1を書き込むことは禁止です。		
本ビットを読み出すと、0が読めます。		

図35-8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (7/8)

SNZ	SNOOZE 有効				
0	SNOOZE モード機能無効				
1	SNOOZE モード機能有効				

本ビットを1にすると、CTSUをサスペンド状態にして、計測待機時の消費電力を抑えることが可能です。また、計測開始条件に外部トリガを選択した場合（CAP = 1）は、SNOOZEモードでの計測が有効になります。

- 計測開始条件に外部トリガを選択した場合（CAP = 1）

SNOOZEモード機能を使用するときは、本ビットに1を設定したあと、STRT = 1（計測動作開始）に設定して、CPUをSTOPモードへ遷移させてください。

STOPモード中に外部トリガを検出すると、CTSUはSNOOZEモードに遷移して計測を開始します。

計測終了割り込み後は、ソフトウェアで本ビットを0にクリアしてください。

- 計測開始条件にソフトウェアトリガを選択した場合（CAP = 0）

下表のサスペンド状態（低消費モード）に該当。サスペンド状態（低消費モード）でSTOPモードから復帰する際は割り込みが使用されます。その後、計測を開始する場合は、本ビットに0を書き込んでからSTRT = 1（計測動作開始）を設定してください。

PON	SNZ	CAP	STRT	外部トリガ	CTSUハードウェアの状態
0	0	0	0	—	停止
1	0	0	0	—	計測開始待ち
1	0	0	1	—	通常動作モード計測中
1	1	1	0	—	外部トリガ計測設定準備中
1	1	1	1	なし（待ち）	サスペンド状態（外部トリガ待ち）
1	1	1	1	あり（動作）	SNOOZEモード計測中
1	1	0	0	—	サスペンド状態（低消費モード）
上記以外				設定禁止	

センサドライブパルスに高分解能パルスモードを選択（SDPSEL = 1）してSNOOZEモード機能を使用する場合、昇圧回路のクロックにセンサドライブパルスを選択する（PCSEL = 0）ことはできません。

CAP	計測開始トリガ選択
0	ソフトウェアトリガ
1	外部トリガ（ELCLからのイベント入力）

計測開始条件を指定します。

詳細は、STRTビットを参照してください。

図35 - 8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット (8/8)

STRT	計測動作開始
0	計測動作停止
1	計測動作状態 (計測中／外部トリガ待ち)

CTS Uの計測動作開始／停止を指定します。

- 計測開始条件にソフトウェアトリガを選択した場合 (CAP = 0)
本ビットに1を書き込むことで計測を開始します。本ビットは、計測終了時にハードウェアで0にクリアされます。
- 計測開始条件に外部トリガを選択した場合 (CAP = 1)
本ビットに1を書き込むことで外部トリガの待機状態となり、外部トリガの検出で計測を開始します。計測終了時は次の外部トリガ待機状態となります。外部トリガ待ち状態を解除する場合は、本ビットに0、INITビットに1を同時に設定してください。

下表にCTS Uの状態を示します。

STRT	CAP	CTS Uの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中／外部トリガ待ち ^{注2}

本ビットが1のときに、ソフトウェアで本ビットに1を書き込んだ場合は、書き込みは無視され、動作が継続されます。また、本ビットが1のときに、ソフトウェアで動作を強制的に終了させたい場合は、本ビットに0、INITビットに1を同時に書き込んでください。

注1. ATUNE0 = 1のとき、アクティブシールド機能は使用できません。

注2. CTSUSRL.STC[2:0]ビットにて状態を判断できます。

- CTSUSRL.STC[2:0] ≠ 000B : 計測中
- CTSUSRL.STC[2:0] = 000B : 外部トリガ待ち

注意 STRT, INITビット以外のビットは、STRT = 0 (計測動作停止) のときに設定してください。

備考1. x = 0-3

備考2. m = 00-35

35.2.4 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH)

CTSUCRBL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRBL レジスタは、上位を CTSUSST レジスタとして 8 ビット・メモリ操作命令で設定、下位を CTSUSDPRS レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCRBH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRBH レジスタは、上位を CTSUDCLKC レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図35 - 9 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット (1/3)

アドレス : F0504H, F0505H (CTSUCRBL), F0506H, F0507H (CTSUCRBH)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUCRBH	0	0	SSCNT[1:0]		0	SSMOD[2:0]		
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0

略号	15	14	13	12	11	10	9	8
CTSUCRBL	SST[7:0]							
	7	6	5	4	3	2	1	0
	PROFF	SOFF	PRMODE[1:0]		PRRATIO[3:0]			

★	SSCNT[1:0]		SUCLKスペクトラム拡散制御	
	0	0	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 00H	
			CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 00H	
	0	1	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 10H	
			CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 20H	
	1	0	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 20H	
			CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 40H	
	1	1	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 30H	
			CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 60H	
	SUCLKの周波数を調整します。			

図35 - 9 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット (2/3)

SSMOD[2:0]			SUCLK拡散モード選択
0	0	0	256周期
0	0	1	384周期
0	1	0	512周期
0	1	1	1024周期
1	1	1	拡散なし
上記以外			設定禁止
SUCLKのスペクトラム拡散周期を設定します。 CTSUTRIM1.SUADJD[7:0]ビットとSSCNT[1:0]ビットで指定した周波数、および本ビットの設定で SUCLKの発振周波数は決まります。			

SST[7:0]								センサ安定待ち時間制御
センサドライバパルス出力開始から、TSCAP端子の電圧が安定するまでの期間を設定します。 TSCAP端子の電圧は、センサドライバパルスが供給されることにより安定します。本ビットの値とサイ クル数の関係は以下のとおりです。								
・ランダムパルスモード (CTSUCRAH.SDPSEL = 0) の場合 安定待ち時間は、センサドライバパルスのサイクル数を基準として指定します。								
0	0	0	0	0	0	0	0	2サイクル
0	0	0	0	0	0	0	1	4サイクル
0	0	0	0	0	0	1	0	6サイクル
0	0	0	0	0	0	1	1	8サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	510サイクル
1	1	1	1	1	1	1	1	512サイクル
サイクル数 = 2 × (本ビットの値 + 1) 安定待ち時間は、以下の範囲で設定してください。 本ビットで設定したサイクル数 ≥ (PRRATIO[3:0] + 1)								
・高分解能パルスモード (CTSUCRAH.SDPSEL = 1) の場合 安定待ち時間は、STCLKのサイクル数を基準として指定します。								
0	0	0	0	0	0	0	0	設定禁止 ^{注1}
0	0	0	0	0	0	0	1	2サイクル
0	0	0	0	0	0	1	0	3サイクル
0	0	0	0	0	0	1	1	4サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	255サイクル
1	1	1	1	1	1	1	1	256サイクル
サイクル数 = 1 × (本ビットの値 + 1)								

PROFF	疑似乱数OFF制御
0	疑似乱数制御を行う
1	疑似乱数制御を行わない
疑似乱数制御をOFFにします。 1周期ごとに疑似乱数生成を行い、1/0を出力します (乱数生成1ビット)。	

図35 - 9 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット (3/3)

SOFF ^{注2}	スペクトラム拡散機能OFF制御
0	スペクトラム拡散機能ON
1	スペクトラム拡散機能OFF
同期系ノイズ対策のためのスペクトラム拡散機能のON/OFFを設定します。 センサドライブパルス (fCLK同期) を使用する場合、本ビットに1を設定してください。 本ビットは、CTSUCRAH.SDPSEL = 0 (ランダムパルスモード) のときに有効です。	

PRMODE[1:0] ^{注2}		疑似乱数生成周期設定
0	0	255周期
0	1	63周期
1	0	31周期
1	1	3周期
疑似乱数生成を更新する周期を設定します。 基本パルス数は、本ビットで選択した周期の2倍です。 本ビットは、CTSUCRAH.SDPSEL = 0 (ランダムパルスモード) のときに有効です。		

PRRATIO[3:0] ^{注2}	位相シフト頻度設定
疑似乱数生成の位相シフト周期を設定します。 本ビットの設定により、計測パルス数や計測時間は以下のように変化します。 計測パルス数 = 基本パルス数 (PRMODE[1:0] ビットで設定) × (PRRATIO[3:0] ビットの値 + 1) 計測時間 = (計測パルス数 + (基本パルス数 - 2) × 0.25) × ベースクロック周期 本ビットは、CTSUCRAH.SDPSEL = 0 (ランダムパルスモード) のときに有効です。	

注1. CTSUCRAH.SDPSEL = 1の場合、SST[7:0] ビットに00Hを設定しないでください。

注2. SOFF, PRMODE[1:0], PRRATIO[3:0] ビットは、CTSUCRAH.SDPSEL ビットが0 (ランダムパルスモード) のときのみ有効です。

注意 CTSUCRBL, CTSUCRBH レジスタは、CTSUCRAL.STRT ビットが0のときに設定してください。

備考 x = 0-3

35.2.5 CTSU計測チャネルレジスタ L, H (CTSUMCHL, CTSUMCHH)

CTSUMCHL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUMCHL レジスタは、上位を CTSUMCH1 レジスタと下位を CTSUMCH0 レジスタとして 8 ビット・メモリ操作命令で設定できます。

CTSUMCHH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUMCHH レジスタは、下位を CTSUMFAF レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、CTSUMCHL レジスタは 3F3FH、CTSUMCHH レジスタは 0000H になります。

図35 - 10 CTSU計測チャネルレジスタ L, H (CTSUMCHL, CTSUMCHH) のフォーマット (1/2)

アドレス : F0508H, F0509H (CTSUMCHL), F050AH, F050BH (CTSUMCHH)

リセット時: 3F3FH (CTSUMCHL), 0000H (CTSUMCHH)

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUMCHH	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	MCA3	MCA2	MCA1	MCA0
略号	15	14	13	12	11	10	9	8
CTSUMCHL	0	0	MCH1[5:0]					
	7	6	5	4	3	2	1	0
	0	0	MCH0[5:0]					
	MCAx	マルチクロックx有効						
	0	無効						
	1	有効						
周波数の異なる複数のSUCLKを使用して計測（マルチクロック計測）する場合に、使用するクロックを設定します。3種類の周波数で計測する場合は、4ビットのうち3ビットに1を設定してください。 MCAxビットを複数有効にして計測を開始すると、MCA0（SUCLK0）から昇順で有効チャネルをスキャンします。1つの計測チャネルの計測終了後に、次の有効クロック（SUCLKx）があれば、そのクロックで同チャネルの計測を行います。有効なクロックがなければ次の計測チャネルに移ります。 SUCLKの周波数は、CTSUSUCLKxレジスタで設定します。MCAxビットとの関係を以下に示します。 • MCA0：CTSUSUCLK0レジスタで設定したSUCLK0 • MCA1：CTSUSUCLK1レジスタで設定したSUCLK1 • MCA2：CTSUSUCLK2レジスタで設定したSUCLK2 • MCA3：CTSUSUCLK3レジスタで設定したSUCLK3								

図35 - 10 CTSU計測チャンネルレジスタL, H (CTSUMCHL, CTSMCHH) のフォーマット (2/2)

MCH1[5:0]						計測チャンネル1
• シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合 計測する送信チャンネルを設定します。CTSUCHACAH, CTSUCHACAL, CTSUCHACBL レジスタで計測対象外に設定したチャンネルを指定しないでください。設定した場合は、計測開始後すぐに終了します。 • マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合 本ビットは計測中の送信チャンネル値を示し、本ビットへの書き込みは無効です。						
0	0	0	0	0	0	TS00
0	0	0	0	0	1	TS01
0	0	0	0	1	0	TS02
0	0	0	0	1	1	TS03
:	:	:	:	:	:	:
1	0	0	0	1	0	TS34
1	0	0	0	1	1	TS35
上記以外						設定禁止

MCH0[5:0]						計測チャンネル0
• シングルスキャンモード (CTSUCRAL.MD0 = 0) の場合 計測する受信チャンネルを設定します。CTSUCHACAH, CTSUCHACAL, CTSUCHACBL レジスタで計測対象外に設定したチャンネルを指定しないでください。設定した場合は、計測開始後すぐに終了します。 • マルチスキャンモード (CTSUCRAL.MD0 = 1) の場合 本ビットは計測中の受信チャンネル値を示し、本ビットへの書き込みは無効です。						
0	0	0	0	0	0	TS00
0	0	0	0	0	1	TS01
0	0	0	0	1	0	TS02
0	0	0	0	1	1	TS03
:	:	:	:	:	:	:
1	0	0	0	1	0	TS34
1	0	0	0	1	1	TS35
上記以外						設定禁止

注意 MCH1[5:0], MCH0[5:0] ビットは、計測中 (CTSUCRAL.STRT = 1) に書き換えしないでください。書き換えた場合の動作は保証しません。
また、計測停止時の値は111111Bとなります。

備考 x = 0-3

35.2.6 CTSUチャネル有効制御レジスタ AL, AH, BL (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL)

CTSUCHACAL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHACAL レジスタは、上位を CTSUCHAC1 レジスタと下位を CTSUCHAC0 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHACAH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHACAH レジスタは、上位を CTSUCHAC3 レジスタと下位を CTSUCHAC2 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHACBL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHACBL レジスタは、下位を CTSUCHAC4 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図35 - 11 CTSUチャネル有効制御レジスタ AL, AH, BL (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL) のフォーマット

アドレス : F050CH, F050DH (CTSUCHACAL), F050EH, F050FH (CTSUCHACAH),
F0510H, F0511H (CTSUCHACBL)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUCHACAH	CHAC31	CHAC30	CHAC29	CHAC28	CHAC27	CHAC26	CHAC25	CHAC24
	7	6	5	4	3	2	1	0
	CHAC23	CHAC22	CHAC21	CHAC20	CHAC19	CHAC18	CHAC17	CHAC16
略号	15	14	13	12	11	10	9	8
CTSUCHACAL	CHAC15	CHAC14	CHAC13	CHAC12	CHAC11	CHAC10	CHAC09	CHAC08
	7	6	5	4	3	2	1	0
	CHAC07	CHAC06	CHAC05	CHAC04	CHAC03	CHAC02	CHAC01	CHAC00
略号	15	14	13	12	11	10	9	8
CTSUCHACBL	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	CHAC35	CHAC34	CHAC33	CHAC32
	CHACm	チャネル有効制御						
	0	計測対象外						
	1	計測対象						
CHACm ビットの値に応じて、TSm 端子を計測対象にするか否かを設定します。								
CHACm ビットに 1 を設定すると、TSm 端子（送信／受信の両方）の容量計測が有効になります。								

注意1. 計測端子を割り当てていないビットには、必ず0を設定してください。

注意2. CTSUCHACAH, CTSUCHACAL, CTSUCHACBL レジスタは、CTSUCRAL.STRT = 0のときに設定してください。

備考 m = 00-35

35.2.7 CTSUチャネル送受信制御レジスタ AL, AH, BL (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL)

CTSUCHTRCAL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHTRCAL レジスタは、上位を CTSUCHTRC1 レジスタと下位を CTSUCHTRC0 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHTRCAH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHTRCAH レジスタは、上位を CTSUCHTRC3 レジスタと下位を CTSUCHTRC2 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHTRCBL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHTRCBL レジスタは、下位を CTSUCHTRC4 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図35 - 12 CTSUチャネル送受信制御レジスタ AL, AH, BL (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL) のフォーマット

アドレス : F0514H, F0515H (CTSUCHTRCAL), F0516H, F0517H (CTSUCHTRCAH),
F0518H, F0519H (CTSUCHTRCBL)

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUCHTRCAH	CHTRC31	CHTRC30	CHTRC29	CHTRC28	CHTRC27	CHTRC26	CHTRC25	CHTRC24
	7	6	5	4	3	2	1	0
	CHTRC23	CHTRC22	CHTRC21	CHTRC20	CHTRC19	CHTRC18	CHTRC17	CHTRC16
略号	15	14	13	12	11	10	9	8
CTSUCHTRCAL	CHTRC15	CHTRC14	CHTRC13	CHTRC12	CHTRC11	CHTRC10	CHTRC09	CHTRC08
	7	6	5	4	3	2	1	0
	CHTRC07	CHTRC06	CHTRC05	CHTRC04	CHTRC03	CHTRC02	CHTRC01	CHTRC00
略号	15	14	13	12	11	10	9	8
CTSUCHTRCBL	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	CHTRC35	CHTRC34	CHTRC33	CHTRC32
	CHTRCm	チャネル送受信制御						
	0	受信						
	1	送信						
CHTRCm ビットの値に応じて、TSM 端子を送信または受信端子として割り当てます。 自己容量方式（CTSUCRAL.MD1 = 0）のとき、本ビットを1（送信）に設定すると、対応する端子をアクティブシールド信号出力として使用できます。 ^注								

注 アクティブシールド出力を使用する場合は、複数ビットに同時に 1 を設定しないでください。

注意1. 計測端子を割り当てていないビットには、必ず 0 を設定してください。

注意2. CTSUCHTRCAH, CTSUCHTRCAL, CTSUCHTRCBL レジスタは、CTSUCRAL.STRT = 0 のときに設定してください。

備考 m = 00-35

35.2.8 CTSUステータスレジスタ L (CTSUSRL)

CTSUSRL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUSRL レジスタは、上位を CTSUST レジスタと下位を CTSUST1 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図35 - 13 CTSUステータスレジスタ L (CTSUSRL) のフォーマット (1/3)

アドレス : F051CH

リセット時: 0000H

R/W属性 : R/W

略号

15

14

13

12

11

10

9

8

CTSUSRL

PS

SUCKOVF

SENSOVF

DTSR

0

STC[2:0]

7

6

5

4

3

2

1

0

ICOMP0

ICOMP1

ICOMPRST

0

0

0

MFC[1:0]

PS^{注1}

相互容量計測状態

0

1回目の計測

1

2回目の計測

2回計測を行う相互容量方式（CTSUCRAL.MD1 = 1）において、各チャネルの計測が1回目か2回目かを示します。

計測停止中または自己容量方式（CTSUCRAL.MD1 = 0）のときは、本ビットは0になります。

SUCKOVF

SUCKLKカウンタオーバーフロー

0

オーバーフローなし

1

オーバーフローあり

SUCKLKカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した場合、CTSUCRALレジスタはFFFFHが読み出されます。

オーバーフローが発生しても設定された期間まで計測処理は継続されます。

オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャネルでオーバーフローが発生したかは、計測完了後（計測終了割り込み発生後）、各チャネルの計測結果により判定してください。

<クリア条件>

- 本ビットが1であることを読み出したあと、0を書いたとき
- CTSUCRAL.INITビットを1にしたとき^{注2}

<セット条件>

- 計測中にCTSUCRALレジスタがオーバーフローしたとき

図35 - 13 CTSUステータスレジスタL (CTSUSRL) のフォーマット (2/3)

SENSOVF	センサカウンタオーバーフロー
0	オーバーフローなし
1	オーバーフローあり
センサカウンタがオーバーフローしたか否かを示します。オーバーフローが発生した場合、計測結果 (CTSUSC レジスタ) はFFFFHが読み出されます。 オーバーフローが発生しても設定された期間まで計測処理は継続されます。 オーバーフロー発生時でも割り込みは発生しません。そのため、どのチャネルでオーバーフローが発生したかは、計測完了後 (計測終了割り込み発生後)、各チャネルの計測結果により判定してください。 <クリア条件> ・本ビットが1であることを読み出したあと、0を書いたとき ・CTSUCRAL.INIT ビットを1にしたとき^{注2} <セット条件> ・計測中にCTSUSC レジスタがオーバーフローしたとき	

DTSR ^{注1}	データ転送ステータス
0	計測結果が読み出されている
1	計測結果が読み出されていない
センサカウンタに格納された計測結果を読み出したか否かを示します。 <クリア条件> ・ソフトウェアまたはDTCで、CTSUSC または CTSUUC レジスタからデータを読み出したとき ・CTSUCRAL.INIT ビットを1にしたとき <セット条件> ・計測完了後、CTSUSC および CTSUUC レジスタに計測結果が格納されたとき	

STC[2:0] ^{注1}			計測ステータスカウント
0	0	0	Status 0
0	0	1	Status 1
0	1	0	Status 2
0	1	1	Status 3
1	0	0	Status 4
1	0	1	Status 5
現在の計測ステータスを示します。 詳細は、35.1.2 計測ステータスを参照してください。			

★

ICOMP0 ^{注1}	電圧異常フラグ
0	正常
1	TSCAP 電圧異常
計測用電源の出力電圧異常を示すフラグです。 CTSUCRAL.PON ビットに0またはICOMPRST ビットに1を書き込むと、本ビットは0にクリアされます。 本ビットが1 (電圧異常検出) の場合、CTSUSC レジスタの値は0000Hになります。	

図35 - 13 CTSUステータスレジスタL (CTSUSRL) のフォーマット (3/3)

★

ICOMP1 ^{注1}	電流異常フラグ
0	正常
1	電流異常
計測用電源の出力電流異常を示すフラグです。 CTSUCRAL.PONビットに0またはICOMPRSTビットに1を書き込むと、本ビットは0にクリアされます。	

ICOMPRST	ICOMP0, ICOMP1リセット
1を書き込むと、ICOMP0, ICOMP1ビットが0にクリアされます。読むと0が読めます。	

MFC[1:0]		マルチクロックカウンタ
0	0	MCA0 (SUCLK0)
0	1	MCA1 (SUCLK1)
1	0	MCA2 (SUCLK2)
1	1	MCA3 (SUCLK3)
マルチクロック計測 (CTSUCRAH.SDPSEL = 1かつCTSUCRAH.PCSEL = 1かつCTSUMCH.MCAnビット (n = 0-3) の2ビット以上が1のとき) での計測中クロックを示します。00B以外の書き込みは禁止です。		

注1. 本ビットは、読み出しのみ可能です。

注2. CTSUCRAL.INITビットを1にしてSUCKOVFビットおよびSENSOVFビットをクリアする場合は、CTSUCRAL.STRTビットが0のときに実施してください。

★

注意 CTSUSRLレジスタへの書き込みは、CTSUCRAL.STRTビットが0のときに実施してください。

35.2.9 CTSU センサオフセットレジスタ 0, 1 (CTSUSO0, CTSUSO1)

CTSUSO0, CTSUSO1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図35 - 14 CTSU センサオフセットレジスタ 0, 1 (CTSUSO0, CTSUSO1) のフォーマット (1/3)

アドレス : F0520H, F0521H (CTSUSO0), F0522H, F0523H (CTSUSO1)

リセット時: 0000H

R/W属性 : R/W



CTSUSO0, CTSUSO1 レジスタへの書き込みは、INTCTSUWR 割り込みが発生したあとに行ってください。

CTSUSO1 レジスタへの書き込み操作により、Status 3 に遷移します。そのため、必ず CTSUSO0 レジスタに書き込んでから CTSUSO1 レジスタに書き込んでください。また、CTSUSO1 レジスタには一度に 16 ビットすべての値を設定してください。

図35 - 14 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) のフォーマット (2/3)

SDPA[7:0]								ベースクロック (センサドライバパルス分周) 設定
ランダムパルスモード (CTSUCRAH.SDPSEL = 0) の場合 動作クロックを分周して、センサドライバパルスの元となるベースクロックを生成します。 また、本ビットは、CTSUハードマクロの電圧安定時間の設定にも使用します。 本ビットの設定値をnとすると、ベースクロックは動作クロックの2 (n+1)分周になります。								
0	0	0	0	0	0	0	0	動作クロックの2分周 ^{注1}
0	0	0	0	0	0	0	1	動作クロックの4分周
0	0	0	0	0	0	1	0	動作クロックの6分周
0	0	0	0	0	0	1	1	動作クロックの8分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	動作クロックの510分周
1	1	1	1	1	1	1	1	動作クロックの512分周
高分解能パルスモード (CTSUCRAH.SDPSEL = 1) の場合 SUCLKを分周して、センサドライバパルスを生成します。 SUCLKの周波数は、下記の式にて算出できます。 $SUCLK = STCLK \times CTSUSUCLKx.SUMULTIx[7:0]$ ビットでのSUCLK通倍率設定 本ビットの設定値をnとすると、センサドライバパルスはSUCLKの2 (n+1)分周になります。								
0	0	0	0	0	0	0	0	SUCLKの2分周
0	0	0	0	0	0	0	1	SUCLKの4分周
0	0	0	0	0	0	1	0	SUCLKの6分周
0	0	0	0	0	0	1	1	SUCLKの8分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	SUCLKの510分周
1	1	1	1	1	1	1	1	SUCLKの512分周

図35 - 14 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) のフォーマット (3/3)

SSDIV[3:0] ^{注2}				スペクトラム拡散サンプリング周期制御
0	0	0	0	1分周
0	0	0	1	2分周
:	:	:	:	:
1	1	1	0	15分周
1	1	1	1	16分周
スペクトラム拡散機能のサンプリング周期を設定します。 fCLK同期のセンサドライブパルスをSUCLKでサンプリングするときに、何分周のクロックでサンプリングするかを設定します。 サンプリング周期は、センサドライブパルス周期の1/4未満の周期となるように設定してください。 INTCTSUWR割り込みの発生後に、次に計測する端子の設定を行ってください。				
SNUM[7:0]				計測期間設定
・ランダムパルスモード (CTSUCRAH.SDPSEL = 0) の場合 計測回数を設定します。 CTSUCRBL.PRRATIO[3:0], CTSUCRBL.PRMODE[1:0] ビットで設定した計測パルス (基本計測単位) を計測時に何回繰り返すかを設定します。 計測回数 = (SNUM[5:0] + 1) × 2回 SNUM[7:6] ビットには00Bを設定してください。 ・高分解能パルスモード (CTSUCRAH.SDPSEL = 1) の場合 STCLKの周期を基準として計測時間を設定します。 計測時間 = 8 × (SNUM[7:0] + 1) × STCLK周期 INTCTSUWR割り込み発生後に、次に計測する端子の設定を行ってください。				
SO[9:0]				センサCCOオフセット調整
センサCCOの入力電流オフセットを調整します。 非タッチ状態の静電容量により発生するセンサCCOの入力電流をオフセットとして設定し、計測時にセンサカウンタがオーバーフローすることを防ぎます。 INTCTSUWR割り込み発生後に、次に計測する端子の入力電流オフセットを設定してください。				

注1. 相互容量方式選択時 (CTSUCRAL.MD1 = 1) やスペクトラム拡散機能がOFF (CTSUCRBL.SOFF = 1) の場合、SDPA[7:0] = 00000000Bは設定禁止です。

注2. SSDIV[3:0] ビットはCTSUCRAH.SDPSEL ビットが0 (ランダムパルスモード) のときのみに有効です。

35.2.10 CTSUセンサカウンタレジスタ (CTSUSC, CTSUUC)

CTSUSC, CTSUUC レジスタは、16 ビット・メモリ操作命令で読み出します。

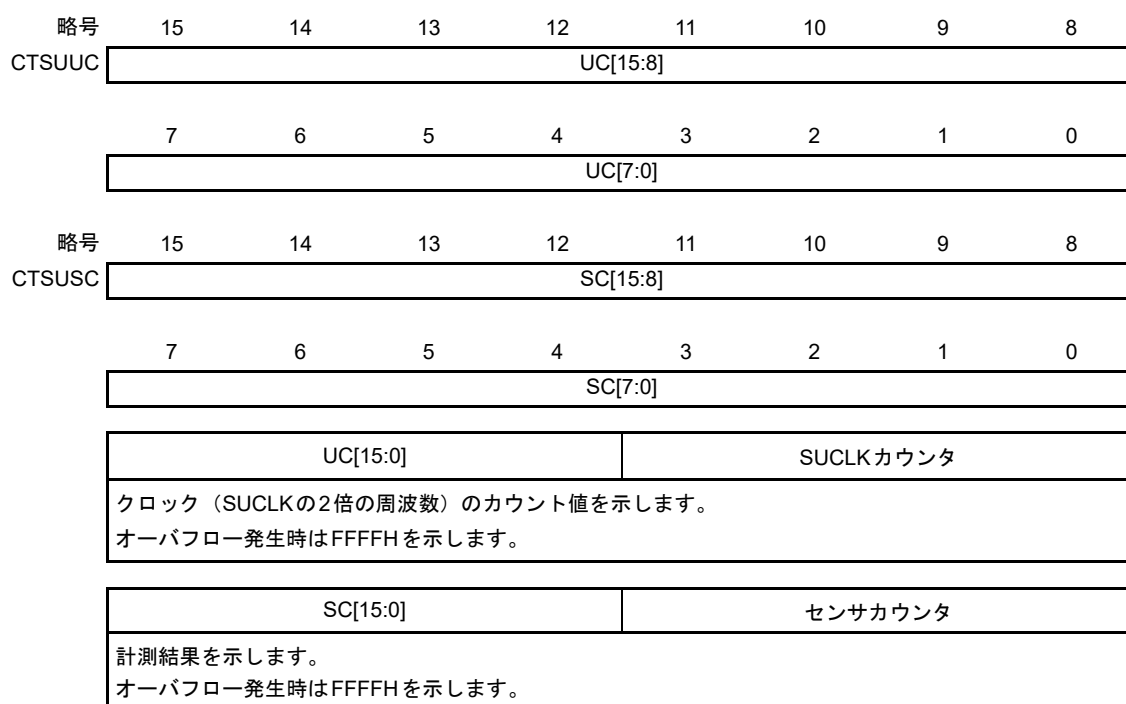
リセット信号の発生により、0000H になります。

図35 - 15 CTSUセンサカウンタレジスタ (CTSUSC, CTSUUC) のフォーマット

アドレス : F0524H, F0525H (CTSUSC), F0526H, F0527H (CTSUUC)

リセット時: 0000H

R/W属性 : R



INTCTSURD 割り込みが発生したあとに、本レジスタを読み出します。

本レジスタを CTSUDBGR0.CNTRDSEL ビットで指定した回数読み出すと、計測ステータスが Status 0 または Status 2 に遷移します。

レジスタの値は、次の計測で Status 4 (CTSUSRL.STC[2:0] = 100B) に計測状態が遷移する直前にクリアされます。また、本レジスタは、CTSUCRAL.INIT ビットに 1 を書き込むことによってもクリアされます。

- CTSUDBGR0.CNTRDSEL = 0 の場合
CTSUSC レジスタまたは CTSUUC レジスタを 1 回読み出すと、計測ステータスが進み、Status 4 に遷移する前に両方のレジスタがクリアされます。計測結果が必要な場合は、必ず CTSUSC レジスタを読み出してください。
- CTSUDBGR0.CNTRDSEL = 1 の場合
CTSUSC レジスタまたは CTSUUC レジスタのいずれかを計 2 回読み取ると、計測ステータスが進みます。16 ビット・アクセスで CTSUSC レジスタと CTSUUC レジスタの両方の結果が必要な場合は、本設定を使用してください。

35.2.11 CTSU キャリブレーションレジスタ L, H (CTSUDBGR0, CTSUDBGR1)

CTSUDBGR0, CTSUDBGR1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図35 - 16 CTSU キャリブレーションレジスタ L, H (CTSUDBGR0, CTSUDBGR1) のフォーマット (1/4)

アドレス : F0528H, F0529H (CTSUDBGR0), F052AH, F052BH (CTSUDBGR1)

リセット時: 0000H

R/W属性 : R/W

略号

15

14

13

12

11

10

9

8

CTSUDBGR1

TXREV

CCOCALIB

CCOCLK

DACCLK

SUCARRY

SUMSEL

DACCARRY

DACMSEL

7

6

5

4

3

2

1

0

0

0

0

0

0

0

略号

15

14

13

12

11

10

9

8

CTSUDBGR0

0

0

0

IOCSEL

DCOFF

0

IOC

CNTRDSEL

7

6

5

4

3

2

1

0

TSOC

SUCLKEN

CLKSEL0[1:0]

DRV

TSOD

0

0

TXREV

送信端子反転出力

0

送信端子からのパルス出力を反転しない

1

送信端子からのパルス出力を反転する

送信端子からの出力を反転するためのビットです。

自己容量方式（CTSUCRAL.MD1 = 0）の場合

0：受信端子と同相の信号を出力

1：受信端子と逆相の信号を出力

相互容量方式（CTSUCRAL.MD1 = 1）の場合

0：1回目：受信端子と同相の信号を出力、2回目：受信端子と逆相の信号を出力

1：1回目：受信端子と逆相の信号を出力、2回目：受信端子と同相の信号を出力

通常計測時は0を設定してください（1の設定はデバッグ用途での使用を想定しています）。

CCOCALIB

CCOキャリブレーションモード選択

0

通常モード

1

発振器キャリブレーションモード

外部電流と電流オフセットDACの出力を比較し、発振器特性をソフトウェアで補正するときに使用します。

CCOCLK

CCO変調回路用クロック選択

0

動作クロック（CTSUCRAL.CLK[1:0]ビットで指定されたクロック）

1

SUCLK

図35 - 16 CTSU キャリブレーションレジスタ L, H (CTS UDBGR0, CTS UDBGR1) のフォーマット (2/4)

DACCLK	DAC変調回路用クロック選択
0	動作クロック (CTSUCRAL.CLK[1:0] ビットで指定されたクロック)
1	SUCLK

SUCARRY	CCO 繰り上がり入力
0	通常動作
1	入力データに32を加算する

本ビットは、電流発振器入力電流テストモードで使用します。静電容量を計測する場合は、0を設定してください。

SUMSEL	電流発振器入力電流マトリクステスト
0	通常動作
1	電流発振器入力電流テストモード

本ビットは、電流発振器入力電流テストモードで使用します。静電容量を計測する場合は、0を設定してください。

DACCARRY	DAC上位電流源繰り上がり入力
0	通常動作
1	入力データに64を加算する

本ビットは、電流オフセットDAC電流テストモードで使用します。静電容量を計測する場合は、0を設定してください。

DACMSEL	電流オフセットDAC電流マトリクステスト
0	通常動作
1	電流オフセットDAC電流テストモード

電流オフセットDACの電流を制御するビットです。静電容量を計測する場合は、0を設定してください。

IOCSEL	TSm端子固定出力選択 (m = 00-35)
0	センサドライブパルスを出力
1	IOCビットで選択した固定レベルを出力

CTS U キャリブレーションに使用します。
TSODビットが1で、本ビットが0の場合、CTSUCHACAL, CTSUCHACAH, CTSUCHACBL レジスタで計測対象 (CHACm = 1) で、CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL レジスタが受信 (CHTRCm = 0) に設定されている TSm 端子からセンサドライブパルスが出力されます。複数電極接続 (MEC) 機能で使います。
TSODビットが1で、本ビットが1の場合、IOCビットで指定されたレベルがすべての TSm 端子から出力されます。

DCOFF	ダウンコンバートOFF
0	通常動作モード
1	ダウンコンバートOFF

LDOの出力をOFFにするビットです。静電容量を計測する場合は、0を設定してください。

図35 - 16 CTSUキャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) のフォーマット (3/4)

IOC	送信端子制御	
TSODビットまたはCTSUCRAL.DCMODEビットを1にした場合に、TSm端子から出力されるレベルを選択します。		
• TSOD = 1の場合		
0 : TSm端子からロウ・レベル出力		
1 : TSm端子からハイ・レベル出力		
• CTSUCRAL.DCMODE = 1の場合		
0 : TSm端子からハイ・レベル出力		
1 : TSm端子からロウ・レベル出力		
TSODビットおよびCTSUCRAL.DCMODEビットが0の場合、本ビットは無視されます。		

CNTRDSEL	センサカウンタレジスタリード回数選択	
0	1回リードで次ステートへ進む	
1	2回リードで次ステートへ進む	
CTSUSCレジスタとCTSUUCレジスタの両方を読み出すには、本ビットに1を設定してください。		

TSOC	キャリブレーション設定2	
0	静電容量計測モード	
1	キャリブレーション設定2	
CTSUのキャリブレーションを行う場合に使用します。静電容量を計測する場合は、0を設定してください。		

SUCLKEN	SUCLK許可	
0	SUCLK停止	
1	SUCLK動作	

CLKSEL0[1:0]		観測クロック選択0
0	0	ロウ・レベル固定出力
0	1	センサICOクロックの4分周
1	0	設定禁止
1	1	SUCLKの4分周
CTSU内で生成される2つのクロックのうち、波形を観測したいクロックを選択します。		

図35 - 16 CTSUキャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) のフォーマット (4/4)

DRV	キャリブレーション設定 1
0	静電容量計測モード
1	キャリブレーション設定 1

CTSUのキャリブレーションを行う場合に使用します。静電容量を計測する場合は、0を設定してください。

本ビットを1にすると、疑似的に計測ステータスがStatus 3またはStatus 4になります。通常計測中のStatus 3, Status 4とは以下が異なります。

- ・センサドライブパルスを出力しない
- ・計測カウンタのイネーブル、リセット信号を出力しない

TSOD	TSm全端子出力制御ビット
0	静電容量計測モード
1	TSm端子からIOCSELビットで選択した信号を出力 (複数電極接続（MEC: Multiple Electrode Connection）機能用またはキャリブレーション用)

複数電極接続（MEC）機能またはCTSUのキャリブレーションを行う場合に使用します。

本ビットを1にした場合、IOCSELビットで指定した信号がTSm端子から出力されます。

TSOD	IOCSEL	計測端子のモード選択
0	0	静電容量計測モード
0	1	—
1	0	MEC機能を選択した場合、計測に設定した全TSm端子からセンサドライブパルスが出力されます。 MEC機能を使用する場合は、CTSUCRAL.MD0ビットを0（シングルスキャンモード）に設定してください。
1	1	IOCビットで指定したレベルがTSm端子から出力されます。

35.2.12 CTSUセンサユニットクロック制御レジスタ AL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3)

CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図35 - 17 CTSUセンサユニットクロック制御レジスタ AL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3) のフォーマット (1/2)

アドレス : F052CH, F052DH (CTSUSUCLK0), F052EH, F052FH (CTSUSUCLK1),
F0530H, F0531H (CTSUSUCLK2), F0532H, F0533H (CTSUSUCLK3)

リセット時: 0000H

R/W属性 : R/W

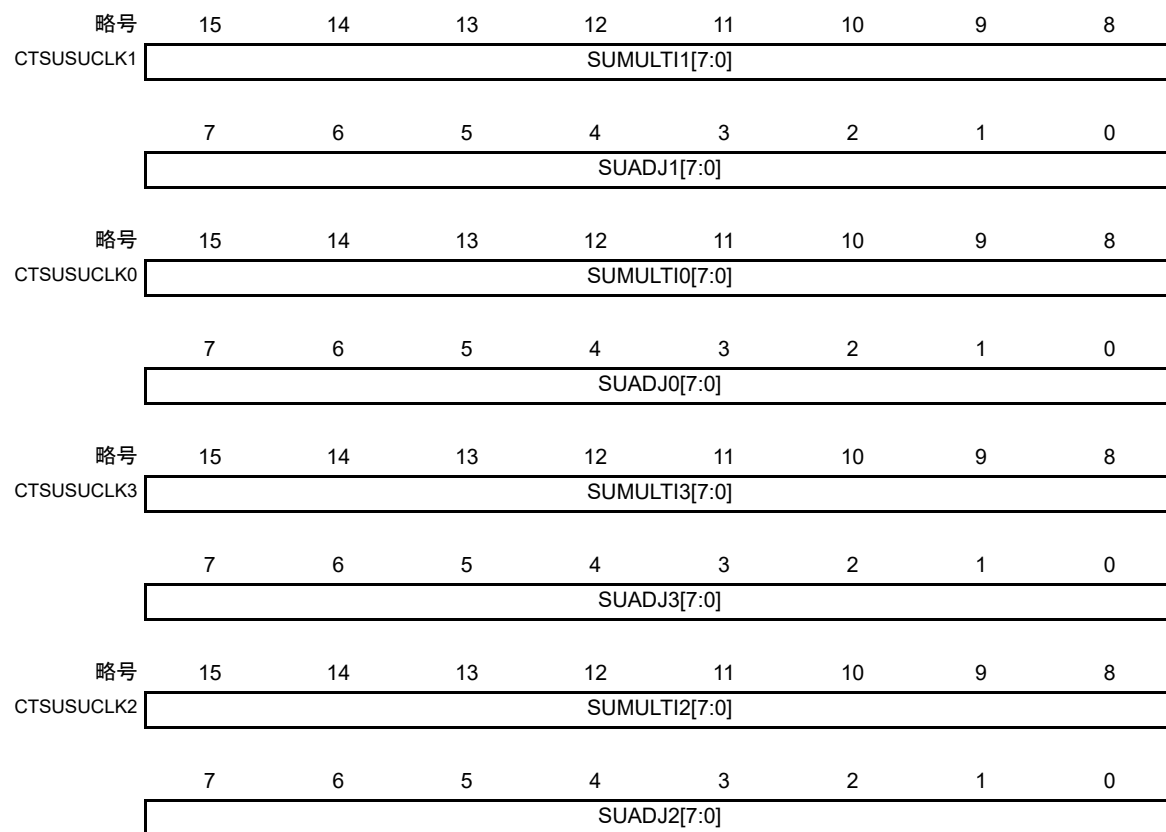


図35 - 17 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3) のフォーマット (2/2)

SUMULTIx[7:0]	STCLK通倍率設定							
SUCLKを生成するために、STCLK（fCLKから分周した0.5 MHzを想定）に対する通倍率を設定します。 本設定で生成されるSUCLKに応じてSUADJx[7:0]ビットが更新されます。 SUCLKの周波数は、16 MHz～30 MHzに設定する必要があります。 SUCLKの周波数は、下記の式にて算出できます。 SUCLK = STCLK × SUMULTIx[7:0]ビットでのSUCLK通倍率設定								
0	0	0	0	0	0	0	0	1通倍
:	:	:	:	:	:	:	:	:
0	0	1	1	1	1	1	1	64通倍
:	:	:	:	:	:	:	:	:
0	1	1	1	1	1	1	1	128通倍
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	256通倍

SUADJx[7:0]	SUCLK周波数調整
SUCLK周波数の初期値が設定されます。 SUCLKはクロックリカバリ機能によりドリフト調整され、本レジスタ値が更新されます。 更新された値は書き換えしないでください。	

35.2.13 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1)

CTSUTRIM0 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM0 レジスタは、上位を DACTRIM レジスタと下位を RTRIM レジスタとして 8 ビット・メモリ操作命令で設定できます。

CTSUTRIM1 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM1 レジスタは、上位を TRESULT4 レジスタと下位を SUADJD レジスタとして 8 ビット・メモリ操作命令で設定できます。

図35 - 18 CTSUトリミングレジスタAL, AH (CTSUTRIM0, CTSUTRIM1) のフォーマット

アドレス : F0600H, F0601H (CTSUTRIM0), F0602H, F0603H (CTSUTRIM1)

リセット時: 注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUTRIM1	TRESULT4[7:0]							
	7	6	5	4	3	2	1	0
	SUADJD[7:0]							
略号	15	14	13	12	11	10	9	8
CTSUTRIM0	DACTRIM[7:0]							
	7	6	5	4	3	2	1	0
	RTRIM[7:0]							
TRESULT4[7:0]		テスト結果4						
120 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								
SUADJD[7:0]		SUCLKの周波数調整						
ランダムパルスモード（CTSUCRAH.SDPSEL = 0）で、SUCLK周波数を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								
DACTRIM[7:0]		オフセット電流調整						
オフセット電流に対するDACの係数を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								
RTRIM[7:0]		基準抵抗調整入力						
内部基準抵抗の抵抗値を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								

注 リセット値は、出荷時に調整した値です。

35.2.14 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3)

CTSUTRIM2 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM2 レジスタは、上位を TRESULT1 レジスタと下位を TRESULT0 レジスタとして 8 ビット・メモリ操作命令で設定できます。

CTSUTRIM3 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM3 レジスタは、上位を TRESULT3 レジスタと下位を TRESULT2 レジスタとして 8 ビット・メモリ操作命令で設定できます。

図35 - 19 CTSUトリミングレジスタBL, BH (CTSUTRIM2, CTSUTRIM3) のフォーマット

アドレス : F0604H, F0605H (CTSUTRIM2), F0606H, F0607H (CTSUTRIM3)

リセット時: 注

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUTRIM3	TRESULT3[7:0]							
	7	6	5	4	3	2	1	0
	TRESULT2[7:0]							
略号	15	14	13	12	11	10	9	8
CTSUTRIM2	TRESULT1[7:0]							
	7	6	5	4	3	2	1	0
	TRESULT0[7:0]							
TRESULT3[7:0]		テスト結果3						
60 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								
TRESULT2[7:0]		テスト結果2						
30 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								
TRESULT1[7:0]		テスト結果1						
15 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								
TRESULT0[7:0]		テスト結果0						
7.5 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えしないでください。								

注 リセット値は、出荷時に調整した値です。

35.2.15 静電容量センサユニット入出力と端子を兼用するポートのポート機能を制御するレジスタ

静電容量センサユニット入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ (PMxx)
- ポート・モード・コントロールT・レジスタ (PMCTxx)
- ポート・モード・コントロールE・レジスタ (PMCExx)
- LCDポート・ファンクション・レジスタ (PFSEGx)

詳細は、**4.3.1 ポート・モード・レジスタ (PMxx)**、**4.3.8 ポート・モード・コントロールT・レジスタ (PMCTxx)**、**4.3.9 ポート・モード・コントロールE・レジスタ (PMCExx)**、**4.3.16 LCDポート・ファンクション・レジスタ (PFSEGx)** を参照してください。

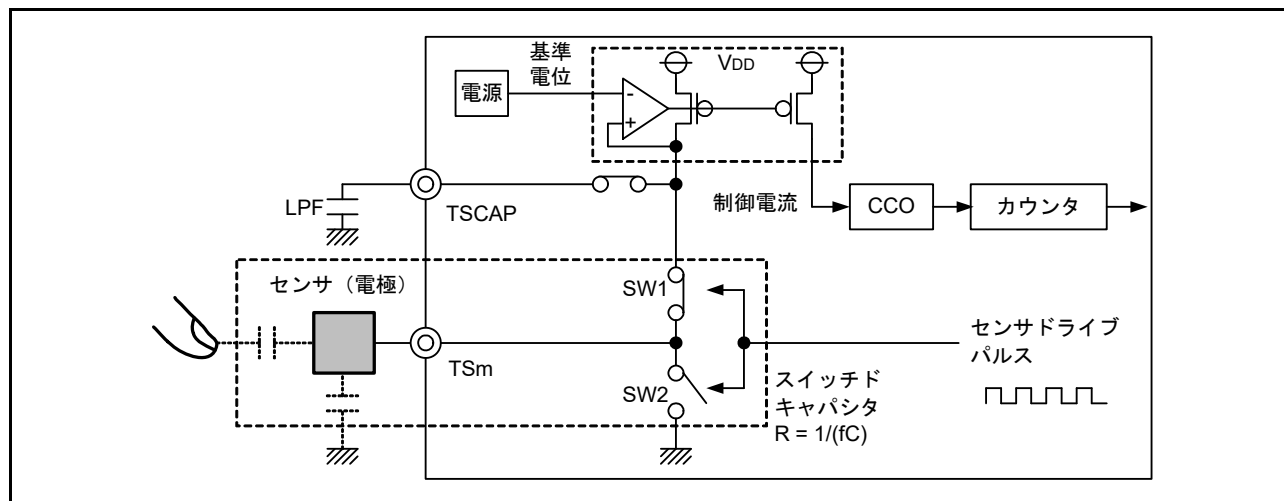
ポート機能を制御するレジスタの設定例は、**4.5.4 使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

35.3 動作説明

35.3.1 計測動作原理

図 35 - 20 に計測部の回路を示します。

図 35 - 20 計測部の回路



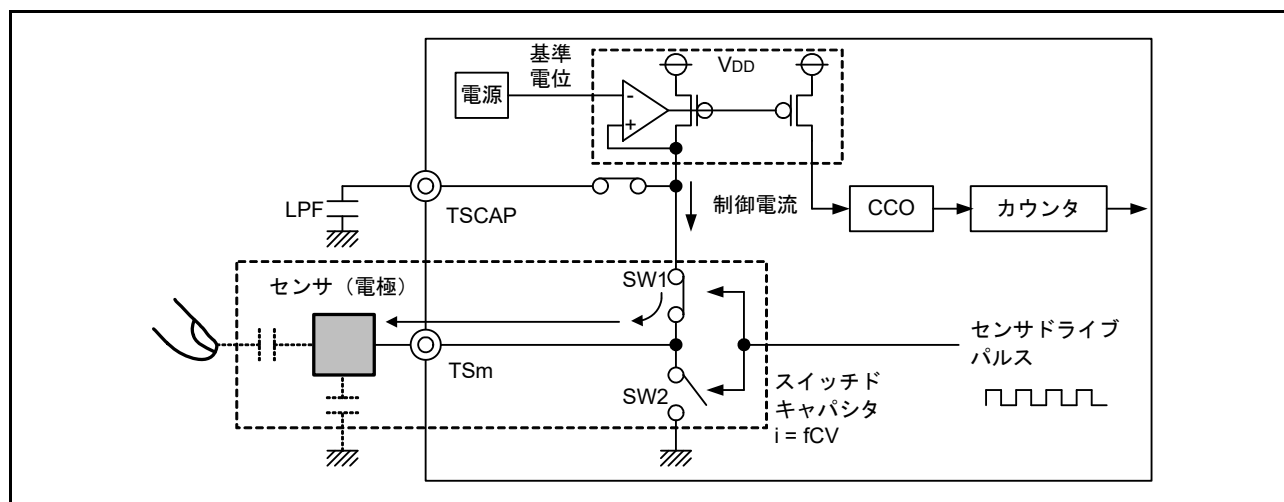
備考 m = 00-35

CTS U の電流周波数変換方式の静電容量計測動作の原理を、図 35 - 21 ～図 35 - 23 を用いて説明します。

- (1) SW1 : ON、SW2 : OFF にすることで、電極の静電容量が充電されます（図 35 - 21）。
- (2) SW1 : OFF、SW2 : ON にすることで、充電された容量は放電されます（図 35 - 22）。

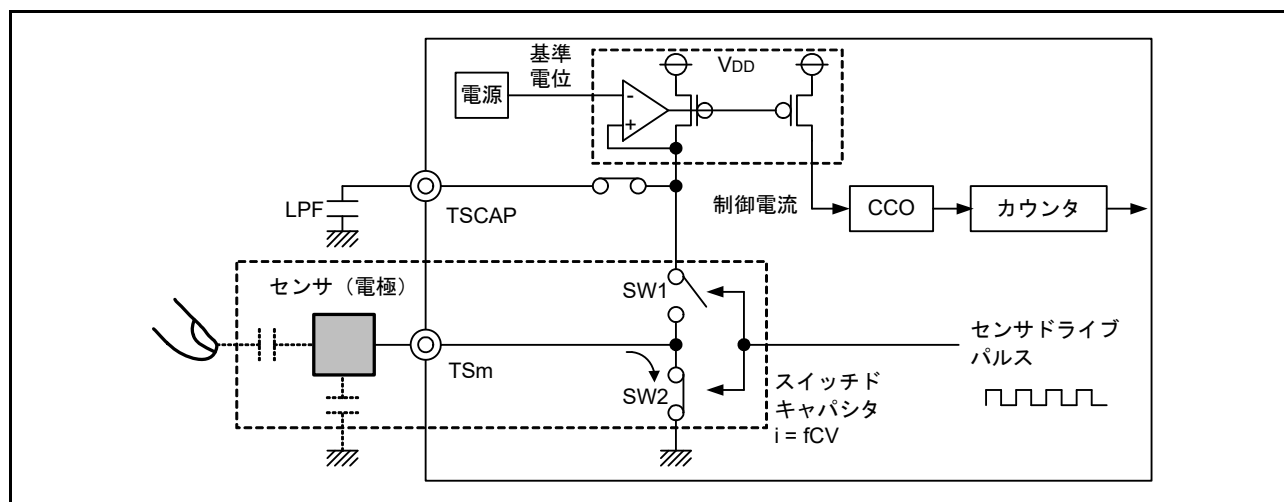
(1) と (2) の充放電を早いタイミングで切り替えることにより、スイッチドキャパシタに電流が流れます。このとき人体の接近により静電容量値が変わるため、流れる電流が変化します。TSCAP 電源を生成する電源（LDO）から、スイッチドキャパシタに流れる電流に比例した制御電流を電流制御発振器（Current Controlled Oscillator : 以下 CCO）に供給することでクロックを生成します。人体の接近によって変化するクロック周波数をカウンタで計測し、読み出したカウンタ値を用いて、ソフトウェアで人体の接近を判定します（図 35 - 23）。

図35-21 充電動作



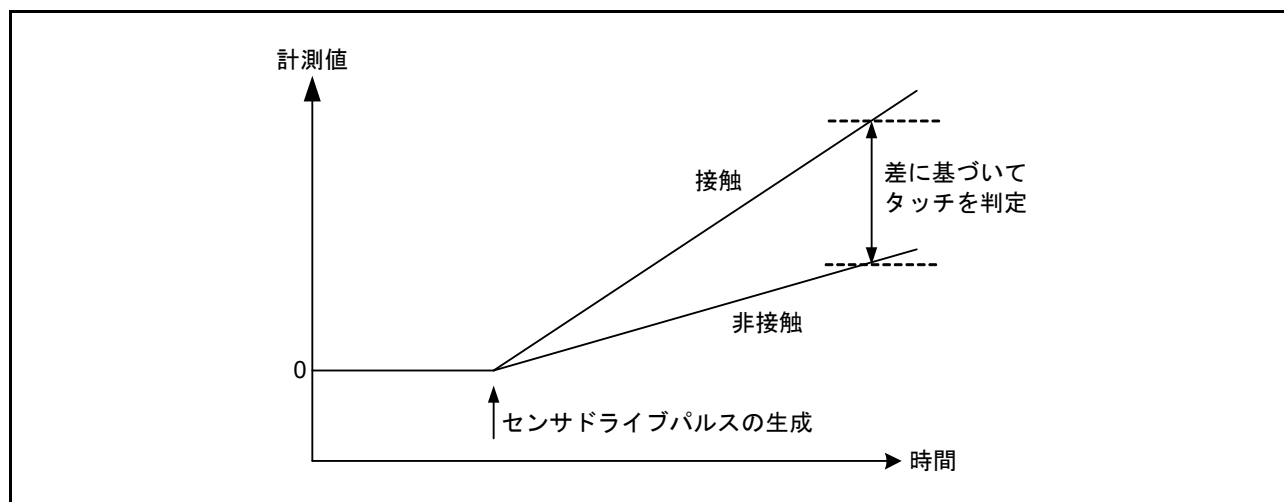
備考 m = 00-35

図35-22 放電動作



備考 m = 00-35

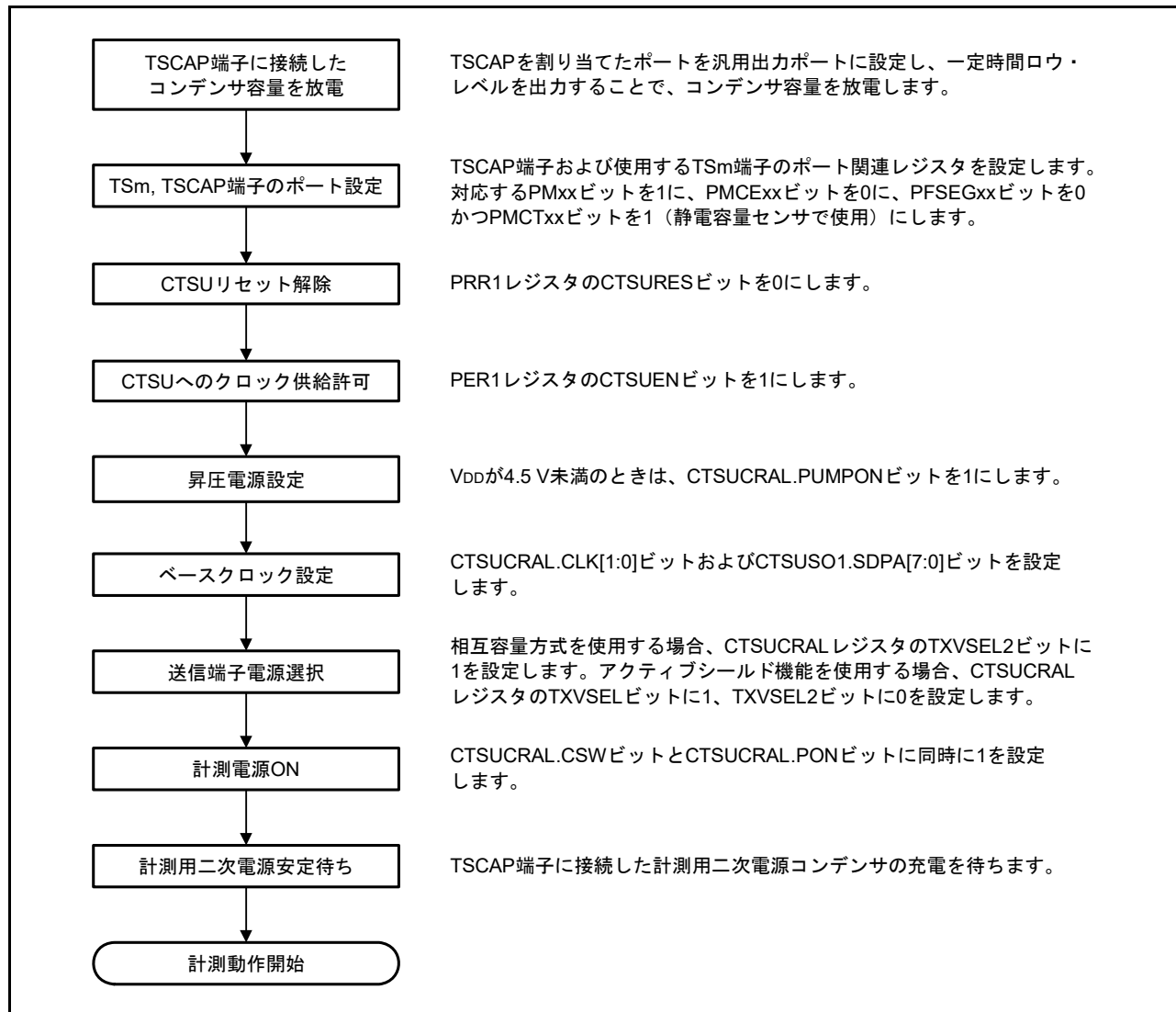
図35 - 23 接触／非接触による計測値の変化



35.3.2 初期設定手順

図 35 - 24 に CTSU の初期設定手順を示します。

図 35 - 24 CTSU 初期設定手順



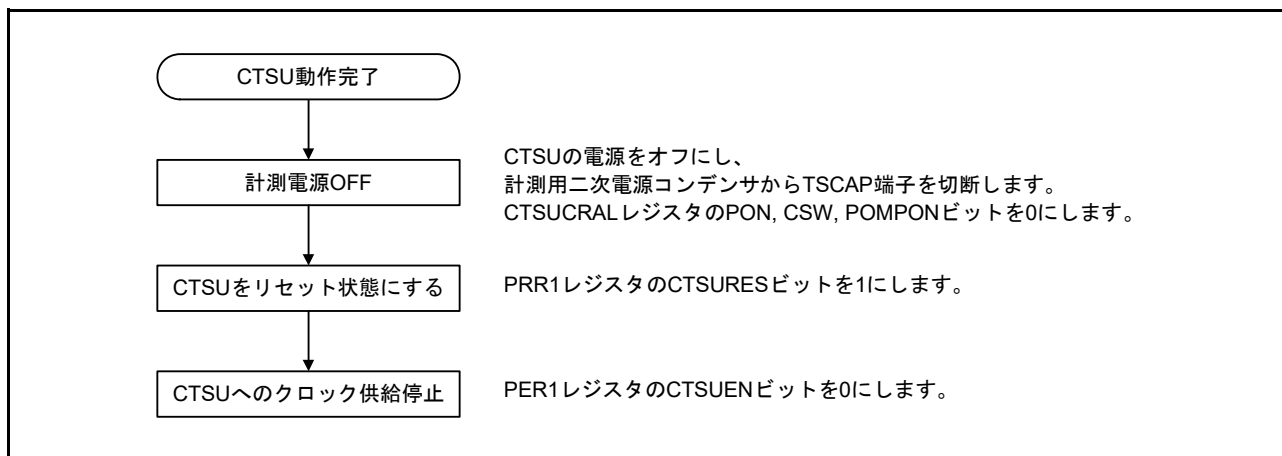
備考1. m = 00-35

備考2. xx = 0, 3, 5, 7, 9, 12

ただし、PMCE3, PMCE5, PMCE9, PMCE12レジスタとPFSEG9, PFSEG12レジスタは搭載していません。

図 35 - 25 に、CTS2 の動作を停止してスタンバイ状態にするフローを示します。

図 35 - 25 CTS2停止フロー

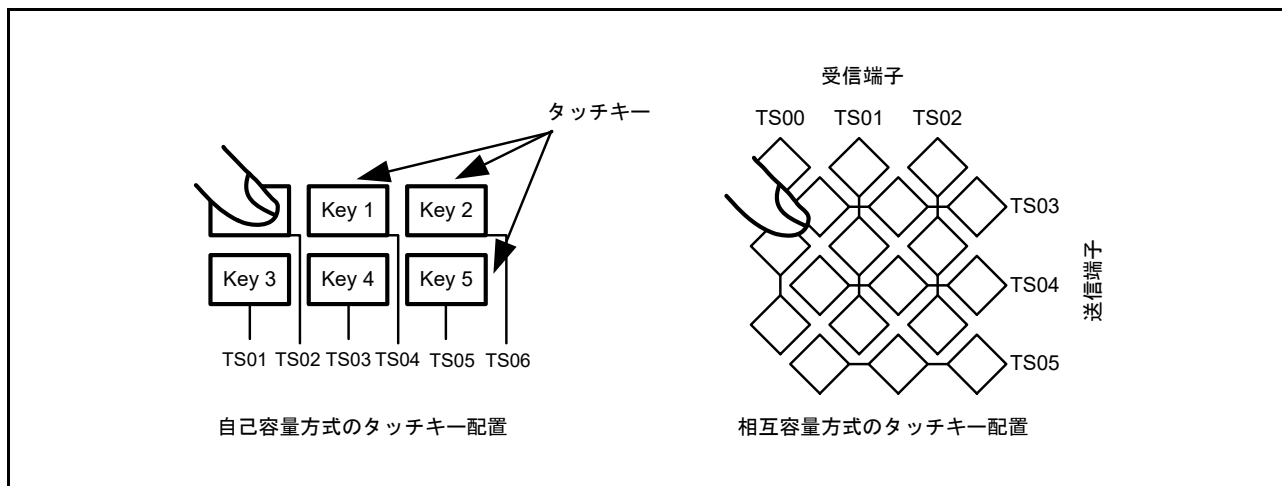


停止から再開する場合は、図 35 - 24 の CTS2 初期設定手順に従ってください。

35.3.3 計測方式

CTS2 は、自己容量方式と相互容量方式に対応しています。図 35 - 26 に自己容量方式と相互容量方式の概要を示します。

図 35 - 26 自己容量方式と相互容量方式の概要



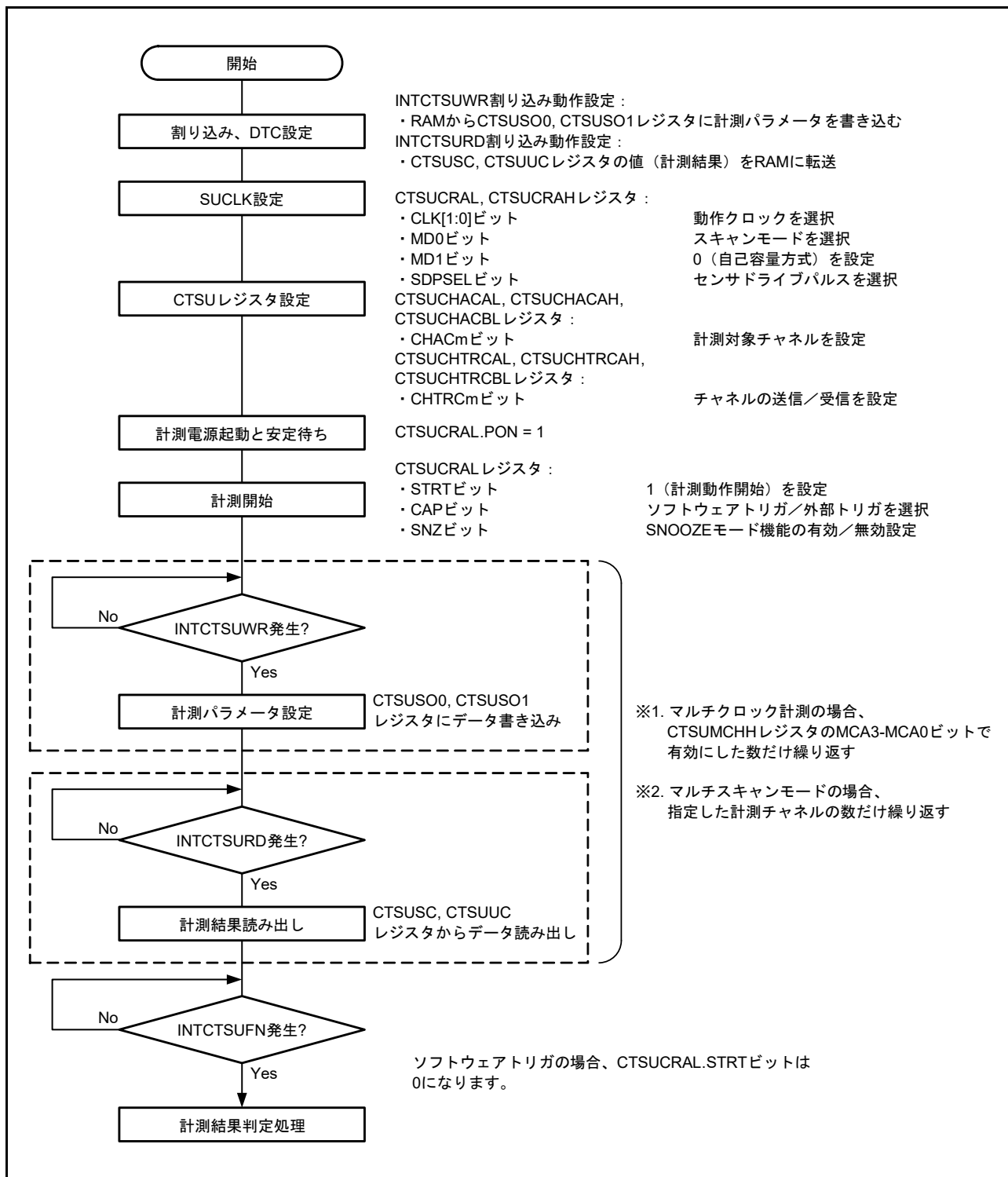
自己容量方式では、1つのタッチキーに1つのタッチ端子 (TSm) を割り当て、それぞれの人体の接近による静電容量を計測します。

相互容量方式では、対向する2つの電極 (送信端子、受信端子) 間の容量を計測します。

(1) 自己容量方式の動作

図35 - 27に自己容量方式の制御手順を示します。

図35 - 27 自己容量方式の制御手順



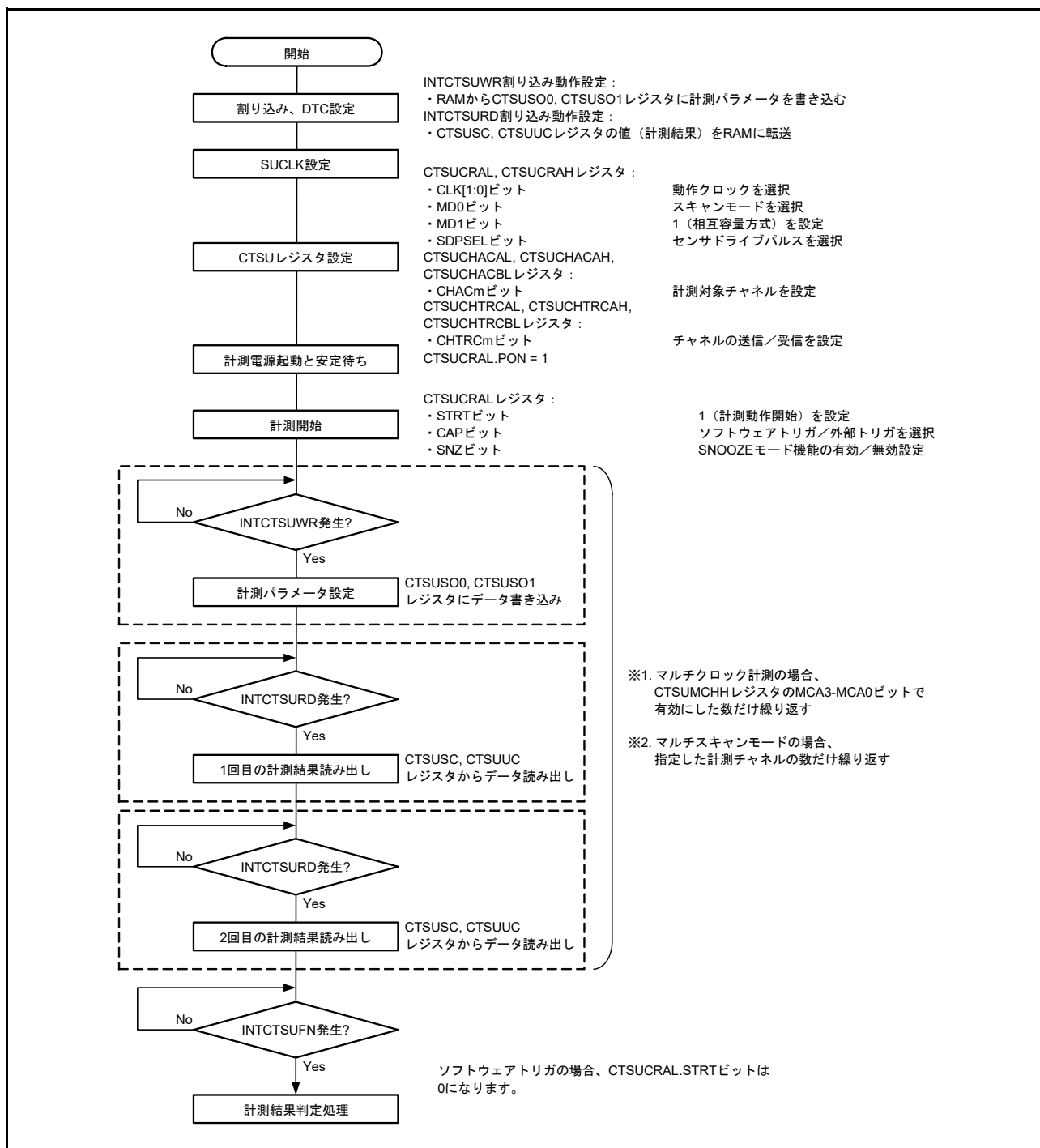
備考 m = 00-35

(2) 相互容量方式の動作

相互容量方式は受信チャンネルのセンサドライブパルスがハイ・レベルの期間に、計測対象の送信チャンネルにエッジを印加して計測を行います。1つの計測対象に対して立ち上がりエッジと立ち下がりエッジの2回の計測を行います。この2回の計測データの差異からタッチ判定を行います。設定した送信端子と受信端子のすべての組み合わせで静電容量を計測します。

図35-28に相互容量方式の制御手順を示します。

図35-28 相互容量方式の制御手順



備考 m = 00-35

35.3.4 スキャンモード

スキャンモードは、シングルスキャンモードとマルチスキャンモードの2つのモードがあります。CTSUCRAL.MD0 ビットでスキャンモードを選択します。

(1) シングルスキャンモード

CTSUCMCHL レジスタのMCH0[5:0] ビットで指定した受信チャンネル、MCH1[5:0] ビットで指定した送信チャンネルの組み合わせで、1回だけ計測を行います。

(2) マルチスキャンモード

CTSUCHACAL, CTSUCHACAH, CTSUCHACBL レジスタで計測対象としたチャンネルのうち、CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL レジスタで選択した受信チャンネル、送信チャンネルのすべての組み合わせに対して、それぞれ1回ずつ計測を行います。

受信チャンネル、送信チャンネルともにチャンネル番号の小さい方から順に選択します。1つの送信チャンネルに対してすべての受信チャンネルの組み合わせによる計測が完了すると、送信チャンネルが切り替わります。

35.3.5 マルチクロック計測

周波数の異なる複数のクロックを順次切り替えて計測を行います。高分解能パルスモード (CTSUCRAH.SDPSEL = 1) のときに有効です。

計測に使用するクロック (SUCLKx) は、CTSUCMCHH レジスタのMCAX ビット (x = 3-0) で指定してください。また、各クロックの周波数はCTSUSUCLKx レジスタで設定してください。

計測はSUCLK0 から昇順に行います。指定されたすべてのクロックによる計測が完了すると、次のチャンネルの計測を開始します。

35.3.6 複数電極接続機能

複数電極接続 (MEC: Multiple Electrode Connection) 機能では、複数の電極を1つの電極として扱います。この機能を使用すると、複数の電極を一度にまとめて計測することができます。

CTSUCRAL.MD1 = 0 (自己容量方式)、CTSUCRAL.MD0 = 0 (シングルスキャンモード)、CTSUDBGR0.TSOD = 1 かつ CTSUDBGR0.IOCSEL = 0 (複数電極接続機能) に設定した場合、CTSUCHACAL, CTSUCHACAH, CTSUCHACBL レジスタのCHACm ビットを1 (計測対象)、CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL レジスタのCHTRCm ビットを0 (受信) に設定したすべてのTSm 端子からセンサドライブパルスを出します。この機能を使用することで、選択したTSm 端子に接続された全電極の静電容量の合計値を計測することができます。

この機能を使用してタッチ検出をした場合、計測を許可したどの電極の静電容量が変化したかは判別できません。タッチ判定された電極を判別したい場合は、TSOD ビットを0 かつ IOCSEL ビットを0 (静電容量計測モード) にして、各電極の静電容量を計測してください。

備考 m = 00-35

35.3.7 割り込み

CTSUには、以下の3種類の割り込みがあります。

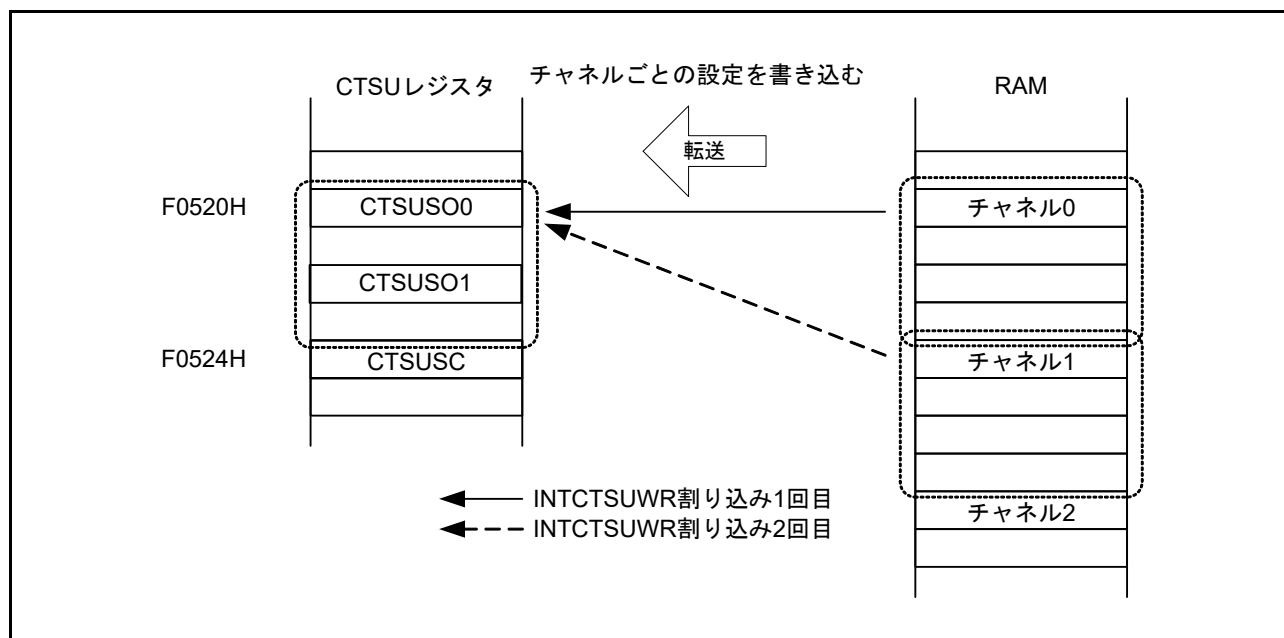
- CTSUチャンネルごとの設定レジスタ書き込み要求割り込み (INTCTSUWR)
- CTSU計測データ転送要求割り込み (INTCTSURD)
- CTSU計測終了割り込み (INTCTSUFN)

(1) INTCTSUWR割り込み

計測チャンネルごとの設定データをRAM上に用意し、あらかじめINTCTSUWR割り込みに対応した転送設定を行います。INTCTSUWR割り込みは計測ステータスがStatus 1からStatus 2に遷移したときに発生します。

本割り込み要求では、設定データをCTSUSO0, CTSUSO1レジスタに書き込んでください。CTSUSO1レジスタにデータを書き込むと、計測ステータスはStatus 3に遷移します。

図35 - 29 INTCTSUWR割り込み時のデータ転送動作



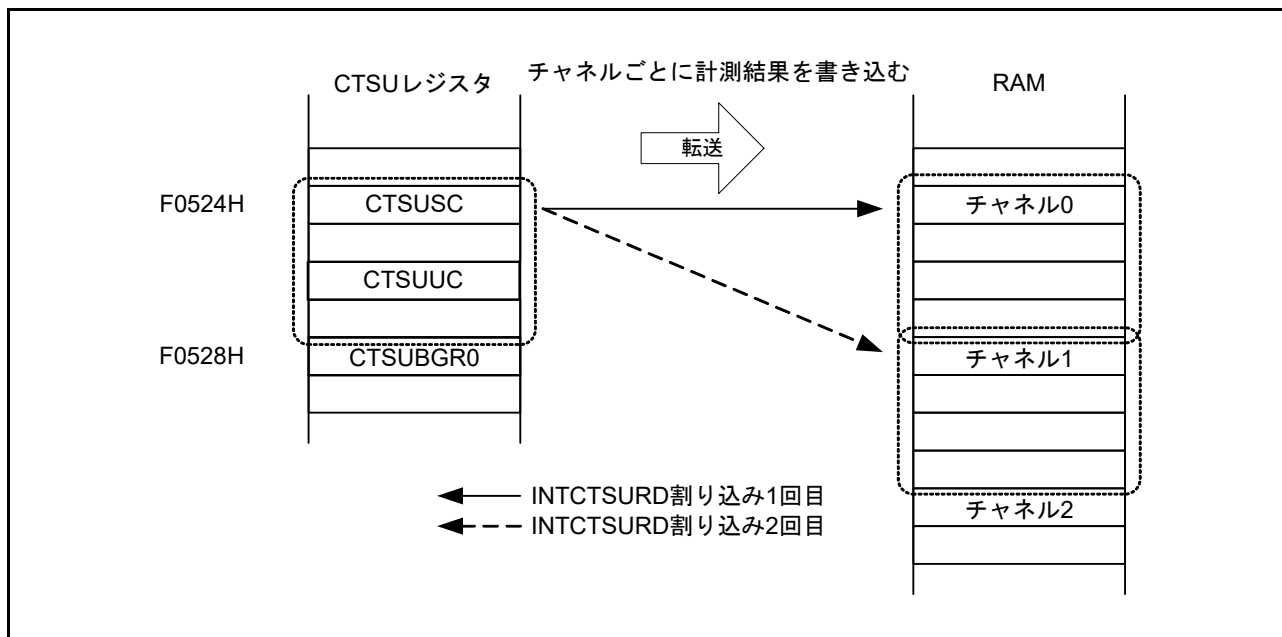
(2) INTCTSURD割り込み

INTCTSURD割り込みは、1チャンネルの計測が終了し、計測ステータスがStatus 5からStatus 1に遷移したときに発生します。

計測結果（センサカウンタ値）をCTSUSCレジスタから読み出してください。CTSUUCレジスタの読み出しが必要な場合は、CTSUBGR0.CNTRDSEL = 1（2回読み出しで次のステートに遷移）にしてください。

CTSUSC, CTSUUCレジスタをCNTRDSELビットで指定した回数読み出すと、計測ステータスはStatus 0またはStatus 2に遷移します。

図35 - 30 INTCTSURD割り込み時のデータ転送動作



(3) INTCTSUFN割り込み

INTCTSUFN割り込みは、指定したすべてのチャンネルの計測が終了し、計測ステータスがStatus 1からStatus 0に遷移したときに発生します。

35.4 静電容量センサユニット使用時の注意事項

35.4.1 静電容量センサユニットによる検出動作の評価について

製品開発の最終工程では、製品出荷時に近い条件でシステムを動作させ、タッチセンサの検出結果の妥当性を判断する必要があります。評価には「QE for Capacitive Touch」(静電容量式タッチセンサ開発支援ツール)を用意しています。静電容量の計測状況を監視し、十分な評価をしてください。期待した結果が得られない場合は、「QE for Capacitive Touch」を使用して CapTouch パラメータ (主にタッチしきい値) を調整し、再評価してください。

35.4.2 TSCAP 端子

TSCAP 端子には、CTS U の内部電圧を安定させるためのコンデンサを接続する必要があります。TSCAP 端子とコンデンサ間、およびコンデンサと GND 間の配線は、できるだけ太く、短くしてください。

表 35-3 に TSCAP 端子に接続するコンデンサの条件を示します。

★ 表35-3 TSCAP端子に接続するコンデンサの条件

項目	記号	条件
TSCAP 端子外付け平滑コンデンサ容量	CTSCAP	10 nF $\pm 10\%$ 注

注 静電容量の公称値が 10 nF、静電容量許容差が $\pm 10\%$ 以下の積層セラミックコンデンサを使用してください。温度特性は X7R(EIA) 等、 $\pm 15\%$ 以下のものから使用環境にあわせて選択してください。

TSCAP 端子に接続されたコンデンサは、CTSUCRAL.CSW = 1 (外部容量接続スイッチ ON) にする前に、TSCAP 機能が割り当てられたポートからロウ・レベルを出力し、完全に放電させてください。

35.4.3 計測動作中のクロック、ポート設定の変更

計測動作中 (CTSUCRAL.STRT = 1) に、CPU / 周辺ハードウェア・クロック (fCLK) を変更 / 停止しないでください。また、計測端子 (TSm, TSCAP) のポート設定を変更しないでください。変更する場合は、CTS U の強制停止 (CTSUCRAL.INIT = 1 と STRT = 0 を同時に書き込む) を行ってください。CTS U の再計測を行う場合は、以下のいずれかの手順で初期化してください。

- PRR1.CTSURES = 1, PER1.CTSUEN = 0 を書いたあとで、**35.3.2 初期設定手順**に従って初期設定を行う
- CTSUCRAL.PON, CTSUCRAL.CSW = 00B, CTSUCRAL.SNZ = 0 を書いたあとで、**35.3.2 初期設定手順**に従って初期設定を行う

35.4.4 ソフトウェアトリガ

CTSUCRAL.CLK[1:0] ビットに 10B (fCLK/4) または 11B (fCLK/8) を設定した場合、計測終了後すぐに計測を再開させるときは、割り込み発生から以下の時間が経過してから CTSUCRAL.STRT ビットに 1 を書いてください。

- CLK[1:0] = 10B (fCLK/4) の場合 : 3 サイクル以上
- CLK[1:0] = 11B (fCLK/8) の場合 : 7 サイクル以上

35.4.5 外部トリガ

計測期間中に外部トリガ (ELCL からのイベント) が入力された場合、そのトリガは無視されます。外部トリガ入力 は、INTCTSUFN 割り込みが発生してから、動作クロックの 1 サイクル後に有効になります。

外部トリガモードを解除 (強制停止) するには、CTSUCRAL.STRT ビットに 0、CTSUCRAL.INIT ビットに 1 を同時に書き込んでください。

外部トリガを使用する場合は、以下の手順で設定を行ってください。

- ① CTSU の初期設定
- ② CTSUCRAL.STRT = 0 (計測動作停止) の状態で、ELCL のイベントリンク先の機能に静電容量センサユニットを選択
- ③ CTSUCRAL.CAP = 1 (外部トリガ) に設定したあと、CTSUCRAL.STRT = 1 (計測動作開始) に設定
- ④ 外部トリガ要因を発生させる周辺機能の動作を開始

35.4.6 CTSU センサカウンタレジスタ (CTSUSC, CTSUUC) 読み出し

計測中 (計測ステータスが Status 3 ~ Status 5) の期間に CTSU センサカウンタレジスタ (CTSUSC, CTSUUC) を読み出さないでください。読み出した場合、その値は保証できません。

35.4.7 強制停止

計測中に強制停止させる場合は、CTSUCRAL.STRT ビットに 0 を書くのと同時に CTSUCRAL.INIT ビットに 1 を書いてください。INIT ビットに 1 を書くことで、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUSC, CTSUUC レジスタ
- CTSUMCHL, CTSUMCHH レジスタ
- CTSUSRL レジスタ (ICOMP0, ICOMP1 ビットを除く)

強制停止させた場合、内部状態によっては割り込み要求が発生することがあります。強制停止を要求するタイミングで割り込みや DTC の停止/無効処理を行ってください。

また、DTC を使用して CTSU の制御を行っていた場合に DTC 転送を停止させるときは、CTSU も強制停止を行い、初期化処理を行ってください。

35.4.8 スペクトラム拡散機能使用時のサンプリング周期

スペクトラム拡散機能が ON (CTSUCRBL.SOFF = 0) の場合、センサドライブパルスのサンプリング周期は、センサドライブパルス周期の 1/4 未満となるように、CTSUCRAL.CLK[1:0] ビットと CTSUSO1.SDPA[7:0] ビットで設定してください。

35.4.9 自己容量方式使用時の送信端子設定

自己容量方式時の送信端子は、計測には使用できません。送信端子から計測パルスと同相のパルスが出力されます。基板上的のアクティブシールドとして使用してください。ただし、CTSUCRAL.ATUNE0 = 1 (計測電源電圧 = 1.2 V) のときは、アクティブシールド機能を使用することはできません。また、自己容量方式では、同時に複数の TSm 端子を送信端子として割り当てないでください。

★ 35.4.10 ノイズ対策上の注意点

V_{DD} 電源がノイズ等により変動すると計測結果が変動する場合があります。また、V_{DD} 電源にリップルノイズが印加されている場合、リップルノイズの周波数帯域によっては、静電容量センサユニットの制御電流が変化（減少）し、静電容量の計測値が減少する場合があります。詳細は、**静電容量タッチリップル対策ガイドアプリケーションノート (R30AN0453)** を参照してください。

これらの点に注意して、電源回路を設計してください。

表 35 - 4 に V_{DD} 電源リップルノイズによる計測静電容量減少特性（参考値）、図 35 - 31 に計測静電容量の減少量（参考値）を示します。

表35 - 4 V_{DD}電源リップルノイズによる計測静電容量減少特性（参考値）

(T_A = -40 ~ +105°C, 2.4 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, C_p = 20 pF)

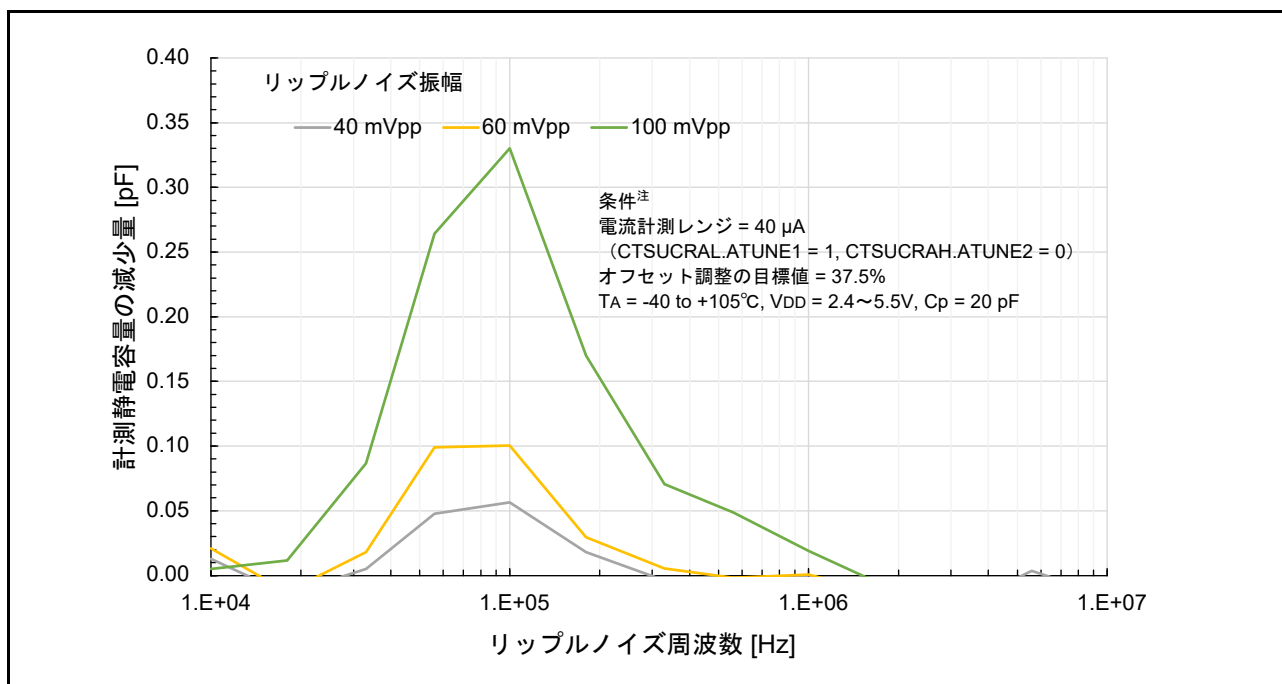
項目	略号	条件		Min.	Typ.	Max.	単位
計測静電容量減少特性 ^注	Cdown	リップルノイズ周波数 < 20 kHz	リップルノイズ振幅 100 mVpp	—	—	0.02	pF
		20 kHz ≤ リップルノイズ周波数 ≤ 2 MHz	リップルノイズ振幅 40 mVpp	—	—	0.06	
			リップルノイズ振幅 60 mVpp	—	—	0.10	
			リップルノイズ振幅 100 mVpp	—	—	0.33	
		2 MHz < リップルノイズ周波数	リップルノイズ振幅 100 mVpp	—	—	0.01	

注 下記条件の場合の値です。

- ・ 自己容量方式 (CTSUCRAL.MD1 = 0) に設定
- ・ 電流計測レンジを 40 μA (CTSUCRAL.ATUNE1 = 1, CTSUCRAH.ATUNE2 = 0) に設定
- ・ オフセット調整の目標値を 37.5% に設定

備考 C_p: 寄生容量

図35 - 31 計測静電容量の減少量 (参考値)



注 条件の詳細は、静電容量センサマイコン QE for Capacitive Touch アドバンスドモード (高度な設定) パラメータガイド アプリケーションノート (R30AN0428) を参照してください。

35.4.11 メモリ占有量

タッチボタンの構成によって、静電容量センサユニットを動作させるために必要なメモリ容量が異なります。詳細は、下記アプリケーションノートを参照してください。

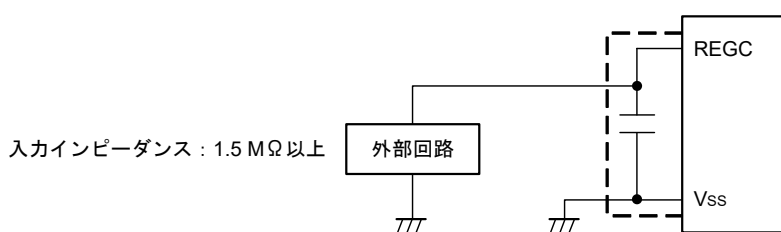
- RL78 ファミリー CTSU モジュール Software Integration System (R11AN0484)
- RL78 ファミリー TOUCH モジュール Software Integration System (R11AN0485)

第36章 レギュレータ

36.1 レギュレータの概要

本製品は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定として、コンデンサ (0.47 ~ 1 μ F) を介し、Vss に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

REGC 端子を外部回路の基準電圧として使用することができます。REGC 端子に接続する外部回路の入力インピーダンスは 1.5 M Ω 以上にしてください。REGC 端子の電圧は 1.5 V (Typ.)、電圧範囲は 1.38 ~ 1.60 V になります。



注意 上図の破線部分の配線を極力短くしてください。

第37章 オプション・バイト

37.1 オプション・バイトの機能

RL78/L23 のフラッシュ・メモリの 000C0H-000C3H は、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップまたはバンク・スワップ動作を使用する際には、スワップ先アドレスにも 000C0H-000C3H と同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

表37-1 スワップ先アドレス一覧

スワップ先アドレス一覧	ユーザ・オプション・バイト			オンチップ・デバッグ・オプション・バイト
オプションバイト領域	000C0H	000C1H	000C2H	000C3H
バンク・スワップ使用時 (R7F100LxL (x = F, G, J, L, M, P))	400C0H	400C1H	400C2H	400C3H
バンク・スワップ使用時 (R7F100LxJ (x = F, G, J, L, M, P))	200C0H	200C1H	200C2H	200C3H
ブート・スワップ（128 KB）使用時	200C0H	200C1H	200C2H	200C3H
ブート・スワップ（64 KB）使用時	100C0H	100C1H	100C2H	100C3H
ブート・スワップ（32 KB）使用時	080C0H	080C1H	080C2H	080C3H
ブート・スワップ（16 KB）使用時	040C0H	040C1H	040C2H	040C3H
ブート・スワップ（8 KB）使用時	020C0H	020C1H	020C2H	020C3H
ブート・スワップ（4 KB）使用時	010C0H	010C1H	010C2H	010C3H
ブート・スワップ（2 KB）使用時	008C0H	008C1H	008C2H	008C3H

37.1.1 ユーザ・オプション・バイト（000C0H-000C2H／スワップ先アドレス）

(1) 000C0H／スワップ先アドレス

- ウォッチドッグ・タイマの動作
 - カウンタの動作許可／禁止
 - HALT/STOP モード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウィンドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - インターバル割り込みを使用する／使用しない

注意 ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも 000C0H と同じ値を設定してください。スワップ先アドレスは、表 37 - 1 スワップ先アドレス一覧を参照してください。

(2) 000C1H／スワップ先アドレス

- LVD0 の動作モード設定
 - リセット・モード
 - 割り込みモード
 - LVD0 オフ（RESET 端子による外部リセット入力を使用）
- LVD0 検出レベル（VLVD0）の設定

注意 1. 電源立ち上がり時は、42.4 AC 特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に STOP モードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト（000C2H／スワップ先アドレス）の設定により変わります。

注意 2. ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも 000C1H と同じ値を設定してください。スワップ先アドレスは、表 37 - 1 スワップ先アドレス一覧を参照してください。

(3) 000C2H／スワップ先アドレス

- フラッシュの動作モード設定
使用するメイン・システム・クロック周波数（fMAIN）、電源電圧（VDD）に応じて設定
 - LS（低速メイン）モード
 - HS（高速メイン）モード
 - LP（低電力メイン）モード
- 高速オンチップ・オシレータの周波数設定
 - 1 ～ 32 MHz, 48 MHz, 64 MHz から選択

注意 ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも 000C2H と同じ値を設定してください。スワップ先アドレスは、表 37 - 1 スワップ先アドレス一覧を参照してください。

37.1.2 オンチップ・デバッグ・オプション・バイト（000C3H／スワップ先アドレス）

- オンチップ・デバッグ動作制御
 - オンチップ・デバッグ動作禁止／許可
- セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理
 - オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意 ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも 000C3H と同じ値を設定してください。スワップ先アドレスは、表 37 - 1 スワップ先アドレス一覧を参照してください。

37.2 ユーザ・オプション・バイトのフォーマット

図37-1 ユーザ・オプション・バイト（000C0H／スワップ先アドレス）のフォーマット

アドレス：000C0H／スワップ先アドレス^{注1}

略号

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75% + 1/4 f _{IL} 到達時にインターバル割り込みを発生する						

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 ^{注2}					
0	0	設定禁止					
0	1	50%					
1	0	設定禁止					
1	1	100%					

WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止（リセット解除後、カウント停止）						
1	カウンタ動作許可（リセット解除後、カウント開始）						

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 37.683 kHz (Max.) の場合)				
0	0	0	2 ⁷ /f _{IL} (3.39 ms)				
0	0	1	2 ⁸ /f _{IL} (6.79 ms)				
0	1	0	2 ⁹ /f _{IL} (13.58 ms)				
0	1	1	2 ¹⁰ /f _{IL} (27.17 ms)				
1	0	0	2 ¹² /f _{IL} (108.69 ms)				
1	0	1	2 ¹⁴ /f _{IL} (434.78 ms)				
1	1	0	2 ¹⁵ /f _{IL} (869.56 ms)				
1	1	1	2 ¹⁷ /f _{IL} (3478.26 ms)				

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時、カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時、カウンタ動作許可						

注1. ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも000C0Hと同じ値を設定してください。スワップ先アドレスは、表37-1 スワップ先アドレス一覧を参照してください。

注2. WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値にかかわらず、ウィンドウ・オープン期間100%となります。

備考 WDTON = 1のとき、IAWCTLレジスタのIAWEN = 0（不正メモリ・アクセスの検出無効設定）でも不正メモリ・アクセスの検出機能は有効となります。

図37-2 ユーザ・オプション・バイト（000C1H／スワップ先アドレス）のフォーマット

アドレス：000C1H／スワップ先アドレス^注

略号	7	6	5	4	3	2	1	0
	LVD0EN	LVD0SEL	1	1	1	LVD0V2	LVD0V1	LVD0V0

LVD0の設定（リセット・モード）

検出電圧		オプション・バイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	1	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—		上記以外は設定禁止				

LVD0の設定（割り込みモード）

検出電圧		オプション・バイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	0	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—		上記以外は設定禁止				

LVD0オフ（RESET端子により外部リセットを使用）

検出電圧		オプション・バイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
—	—	0	×	0	1	0
—		上記以外は設定禁止				

（注、注意、備考は次ページに続きます）

注 ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも000C1Hと同じ値を設定してください。スワップ先アドレスは、表37-1 スワップ先アドレス一覧を参照してください。

注意1. ビット5-3には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、42.4 AC特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前にSTOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト（000C2H／スワップ先アドレス）の設定により変わります。

備考1. × : Don't care

備考2. LVD0回路の詳細は、第30章 電圧検出回路（LVD）を参照してください。

備考3. 検出電圧はTyp.値です。詳細は、42.6.6 LVD回路特性を参照してください。

図37-3 ユーザ・オプション・バイト (000C2H/スワップ先アドレス) のフォーマット

アドレス : 000C2H/スワップ先アドレス^{注1}

略号

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

オプションバイト (000C2H) の値		フラッシュ動作モード	動作周波数範囲	動作電圧 範囲
CMODE1	CMODE0			
0	1	LP (低電力メイン) モード ^{注2}	1～2 MHz (フラッシュ・メモリ 書き換え不可)	1.6～5.5 V
1	0	LS (低速メイン) モード	1～2 MHz	1.6～5.5 V
			1～4 MHz (フラッシュ・メモリ 書き換え不可)	
			1～24 MHz	1.8～5.5 V
1	1	HS (高速メイン) モード	1～2 MHz	1.6～5.5 V
			1～4 MHz (フラッシュ・メモリ 書き換え不可)	
			1～32 MHz	1.8～5.5 V
上記以外		設定禁止		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					fHOCO	fIH
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

注1. ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも000C2Hと同じ値を設定してください。スワップ先アドレスは、**表37-1 スワップ先アドレス一覧**を参照してください。

注2. LPモードでは、CPU/周辺ハードウェアクロック (fCLK) に、メイン・オンチップ・オシレータ・クロック (fIHまたはfIM) のみが選択可能です。

(注意は次ページに続きます)

注意1. ビット5には、必ず1を書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、42.4 AC特性を参照してください。

注意3. FRQSEL4 = 1に設定する場合は、 $V_{DD} \geq 2.2\text{ V}$ にて使用してください。

37.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図37-4 オンチップ・デバッグ・オプション・バイト（000C3H／スワップ先アドレス）のフォーマット

アドレス : 000C3H／スワップ先アドレス^注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップまたはバンク・スワップ時は、スワップ先アドレスにも000C3Hと同じ値を設定してください。スワップ先アドレスは、表37-1 スワップ先アドレス一覧を参照してください。

注意 ビット7, 0（OCDENSET, OCDERSD）のみ、値を指定できます。
ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き換わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値（010B）を設定してください。

37.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定のほかにリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

.CSEG	OPT_BYTE	
.DB	0x36	; ウォッチドッグ・タイマのインターバル割り込みを使用しない、 ; ウォッチドッグ・タイマ動作許可、 ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、 ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$ 、 ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
.DB	0xBF	; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択 ; LVD0の動作モードに割り込みモードを選択
.DB	0x6D	; フラッシュの動作モードにLP（低電力メイン）モード、 ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
.DB	0x85	; オンチップ・デバッグ動作許可、セキュリティ ID 認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップまたはバンク・スワップ機能を使用する際には、スワップ先アドレスにも 000C0H-000C3H と同じ値を、次のように記述してください。スワップ先アドレスは、表 37-1 スワップ先アドレス一覧を参照してください。

OPT2	.CSEG	AT	0x040C0	; ブート・スワップ（16 KB）使用時
	.DB		0x36	; ウォッチドッグ・タイマのインターバル割り込みを使用しない、 ; ウォッチドッグ・タイマ動作許可、 ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、 ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$ 、 ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
	.DB		0xBF	; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択 ; LVD0の動作モードに割り込みモードを選択
	.DB		0x6D	; フラッシュの動作モードにLP（低電力メイン）モード、 ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
	.DB		0x85	; オンチップ・デバッグ動作許可、セキュリティ ID 認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップまたはバンク・スワップ機能を使用するためにスワップ先アドレスにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第38章 フラッシュ・メモリ

RL78 マイクロコントローラは、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ・メモリ領域”、データの格納に最適な“データ・フラッシュ・メモリ領域”、フラッシュ・メモリの動作設定やセキュリティ設定を格納する“エクストラ領域”があります。

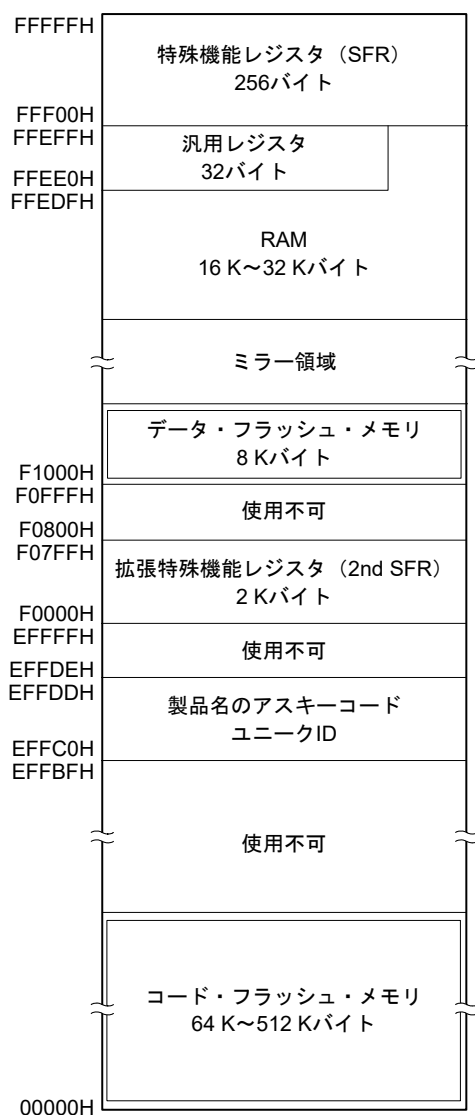


表38-1 コード・フラッシュ・メモリとデータ・フラッシュ・メモリの仕様 (1/2)

項目	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ
メモリ容量	64 K～512 KB	8 KB
リードサイクル	fCLK ≤ 32 MHz（ウエイトなし）	fCLK ≤ 32 MHz（1ウエイトアクセス）
プログラム／イレース方式	- レジスタに設定した制御コマンドを使用してコード・フラッシュ・メモリおよびデータ・フラッシュ・メモリをプログラム／イレース - 専用フラッシュ・メモリ・プログラマによるシリアル・インタフェース通信を介したプログラム（シリアル・プログラミング） - ユーザ・プログラムによるフラッシュ・メモリのプログラム（セルフ・プログラミング）	
セキュリティ機能	- フラッシュ・シールド・ウィンドウ機能 詳細は、38.9 フラッシュ・シールド・ウィンドウ機能を参照してください。 フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。 - シリアル・プログラミングまたはセルフ・プログラミングで次の設定が可能です。詳細は、38.10 セキュリティ設定を参照してください。 - ブロック消去禁止 - 書き込み禁止 - ブート・クラスタ・サイズまたはバンク・スワップ設定（BTBLS）の変更禁止 - ブート領域の書き換え禁止 - プログラマ・オンチップ・デバッグ接続禁止 - プログラマ接続ID認証の有効化	使用不可
プロテクション機能	フラッシュ・リード・プロテクション機能 詳細は、38.6 セルフ・プログラミングを参照してください。	使用不可
バンクプログラム機能	コード・フラッシュ・メモリが256 KBまたは512 KBの製品は、バンク・プログラミング機能を搭載しており、ユーザ・プログラムを実行しながらバンク側のプログラムの更新ができます。詳細は、38.8 バンク・プログラミング機能を参照してください。 256 KB 製品の場合：128 KB × 2バンク 512 KB 製品の場合：256 KB × 2バンク	使用不可
バックグラウンド・オペレーション（BGO）	データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行が可能（バックグラウンド・オペレーション（BGO）とバンク・プログラミング・モードのバンク・プログラミングの同時利用は不可）	
プログラム／イレース単位	- ユーザ領域のプログラム：32ビット単位 - ユーザ領域のイレース：2 Kバイト単位	- ユーザ領域のプログラム：8ビット単位 - ユーザ領域のイレース：256バイト単位
その他の機能	- ブート・スワップ機能 ブートクラスタを2 K～128 KBで設定することができます。詳細は、38.7 ブート・スワップ機能を参照してください。 - オンチップ・デバッグ機能内蔵	使用不可

表38 - 1 コード・フラッシュ・メモリとデータ・フラッシュ・メモリの仕様 (2/2)

項目	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ
オンボード プログラミング	フラッシュ・メモリ・プログラマによるシリアル・プログラミング ・専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。 (38.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング、38.12 データ・フラッシュ・メモリ参照) 外部デバイス (UART内蔵) によるシリアル・プログラミング ・外部デバイス (マイコンやASIC) とのUART通信を使用してオンボード上で書き込みができます。(38.2 外部デバイス (UART内蔵) によるシリアル・プログラミング、38.12 データ・フラッシュ・メモリ参照) セルフ・プログラミング ・ユーザ・アプリケーション上でコード・フラッシュ・メモリおよびデータ・フラッシュ・メモリの自己書き換えができます。(38.6 セルフ・プログラミング、38.12 データ・フラッシュ・メモリ参照)	

38.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E2, E2 Lite オンチップ・デバッグ・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表38-2 RL78/L23と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号							
					44ピン		48ピン	52ピン	64ピン	80ピン	100ピン	
信号名		入出力	端子機能		LQFP (10 × 10)	LFQFP (7 × 7) HWQFN (7 × 7)	LQFP (10 × 10)	LFQFP (10 × 10) LQFP (12 × 12)	LFQFP (12 × 12) LQFP (14 × 14)	LQFP (14 × 20)	LFQFP (14 × 14)	
PG-FP6	E2, E2 Lite オンチップ・ デバッグ・ エミュレータ											
—	TOOL0	入出力	送受信信号		TOOL0/P40	2	3	4	5	9	89	12
SI/RxD	—	入出力										
—	RESET_OUT	出力	リセット信号		$\overline{\text{RESET}}$	3	4	5	6	10	90	13
$\overline{\text{RESET}}$	—	出力										
VCC	VDD	入出力	VDD電圧生成 ／電源監視		VDD	11	12	13	14	18	98	21
GND		—	グランド		VSS	10	11	12	13	17	97	20
				EVSS	—	—	—	—	—	15	38	
				REGC注	9	10	11	12	16	96	19	
FLMD1	EMVDD	—	TOOL0端子 駆動電源	VDD	11	12	13	14	18	98	21	

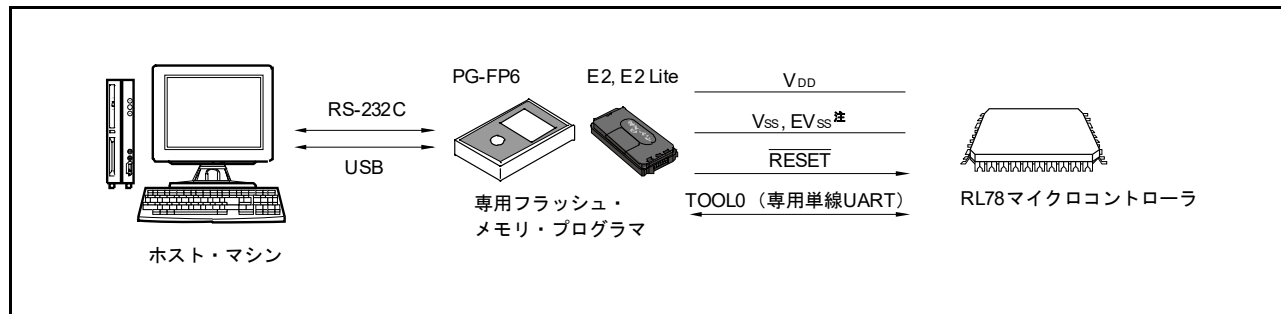
注 REGC 端子はコンデンサ (0.47 ~ 1 μF) を介してグランドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンでかまいません。

38.1.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図38-1 フラッシュ・メモリにプログラムを書き込むための環境



注 100ピン製品のみ

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

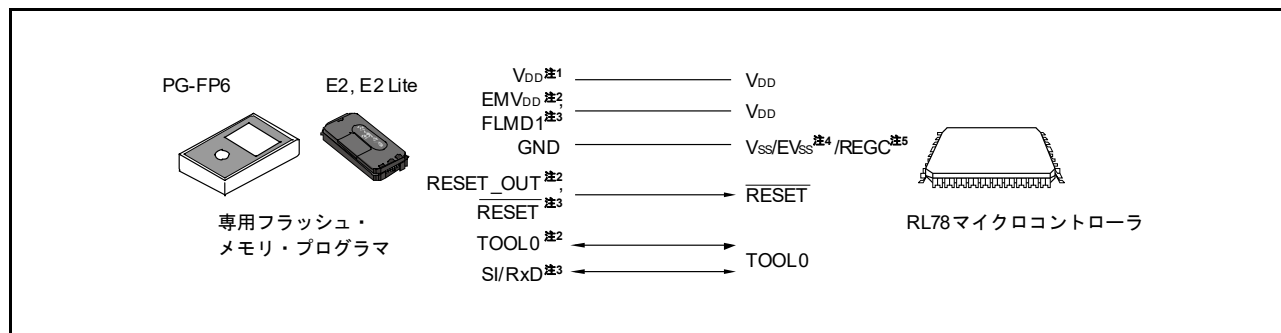
また、専用フラッシュ・メモリ・プログラマとRL78 マイクロコントローラとのインタフェースはTOOL0 端子を使用して、専用の単線 UART で書き込み／消去の操作を行います。

38.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78 マイクロコントローラとの通信は、RL78 マイクロコントローラのTOOL0 端子を使用して、専用の単線 UART によるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図38-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はVccです。

注2. E2, E2 Lite オンチップ・デバッグ・エミュレータ使用時

注3. PG-FP6使用時

注4. 100ピン製品のみ

注5. REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78 マイクロコントローラに対して次の信号を生成します。詳細は、PG-FP6 または E2, E2 Lite オンチップ・デバッグ・エミュレータのマニュアルを参照してください。

表38 - 3 端子接続一覧

専用フラッシュ・メモリ・プログラマ			RL78 マイクロコントローラ	
信号名		入出力	端子機能	端子名 ^{注1}
PG-FP6	E2, E2 Lite オンチップ・デバッグ・エミュレータ			
VCC	VDD	入出力	VDD 電圧生成／電圧監視	VDD
GND		—	グラウンド	Vss, EVss, REGC ^{注2}
FLMD1	EMVDD	—	TOOL0 端子駆動電源	VDD
RESET	—	出力	リセット信号	RESET
—	RESET_OUT	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1. 接続先端子は、製品によって異なります。詳細は、表38 - 2を参照してください。

注2. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。

38.2 外部デバイス（UART内蔵）によるシリアル・プログラミング

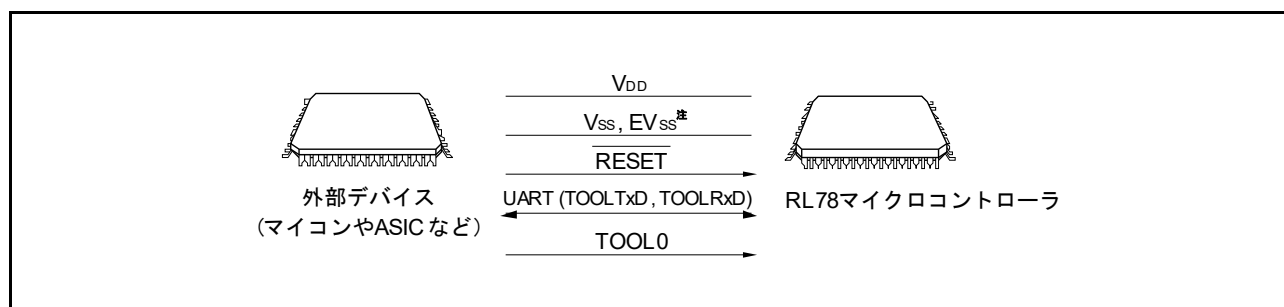
オンボード上でRL78 マイクロコントローラと UART 接続されている外部デバイス（マイコンやASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、**RL78 マイクロコントローラ（RL78 プロトコル C）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

38.2.1 プログラミング環境

RL78 マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図38 - 3 フラッシュ・メモリにプログラムを書き込むための環境



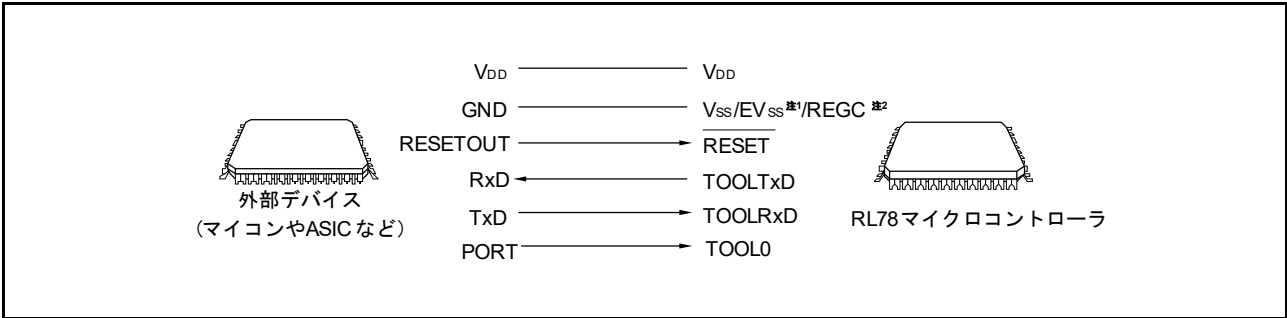
注 100ピン製品のみ

38.2.2 通信方式

外部デバイスと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

転送レート : 1 M, 500 k, 250 k, 115.2 kbps

図38 - 4 外部デバイスとの通信



- 注1. 100ピン製品のみ
- 注2. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。

外部デバイスは RL78 マイクロコントローラに対して次の信号を生成します。

表38 - 4 端子接続一覧

外部デバイス			RL78 マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成／電圧監視	VDD
GND	—	グラウンド	VSS, REGC ^{注1} , EVSS ^{注2}
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

- 注1. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。
- 注2. 100ピン製品のみ

38.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、**38.4.2 フラッシュ・メモリ・プログラミング・モード**を参照してください。

38.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 k Ω の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時 : 外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

出力時 : プルダウンで使用する場合は、500 k Ω 以上の抵抗を使用してください。

備考1. t_{HD} : フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部／内部リセット解除から TOOL0 端子をロウ・レベルに保持する時間。詳細は、**42.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

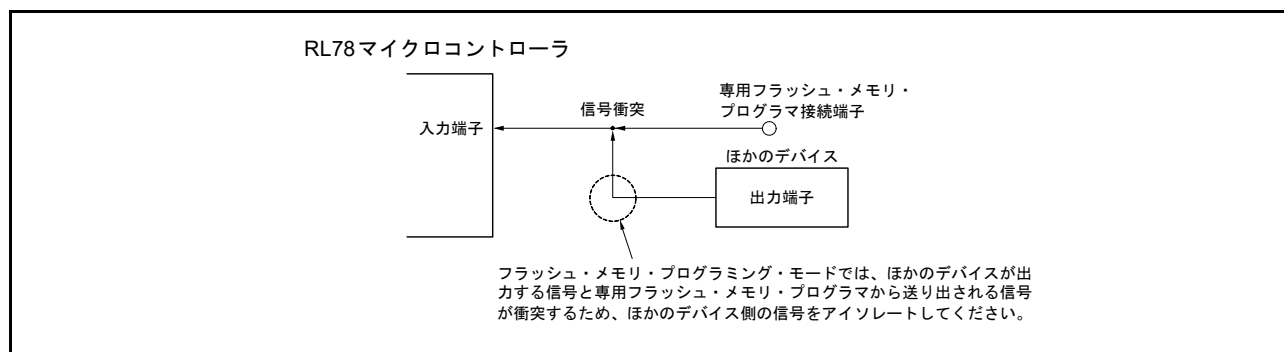
備考2. RL78 マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線 UART (TOOL0 端子) を使用するの、SAU や IICA の端子は使用しません。

38.3.2 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図38-5 信号の衝突 ($\overline{\text{RESET}}$ 端子)



38.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して VDD に接続するか、抵抗を介して VSS に接続するなどの端子処理が必要です。

38.3.4 REGC 端子

REGC 端子は、通常動作時と同様に、特性の良いコンデンサ (0.47 ~ 1 μ F) を介し、GND に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

38.3.5 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラムの VDD 注に、VSS 端子はフラッシュ・メモリ・プログラムの GND に、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、フラッシュ・メモリ・プログラムによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、VDD、VSS 端子はフラッシュ・メモリ・プログラムの VDD 注、GND と必ず接続してください。

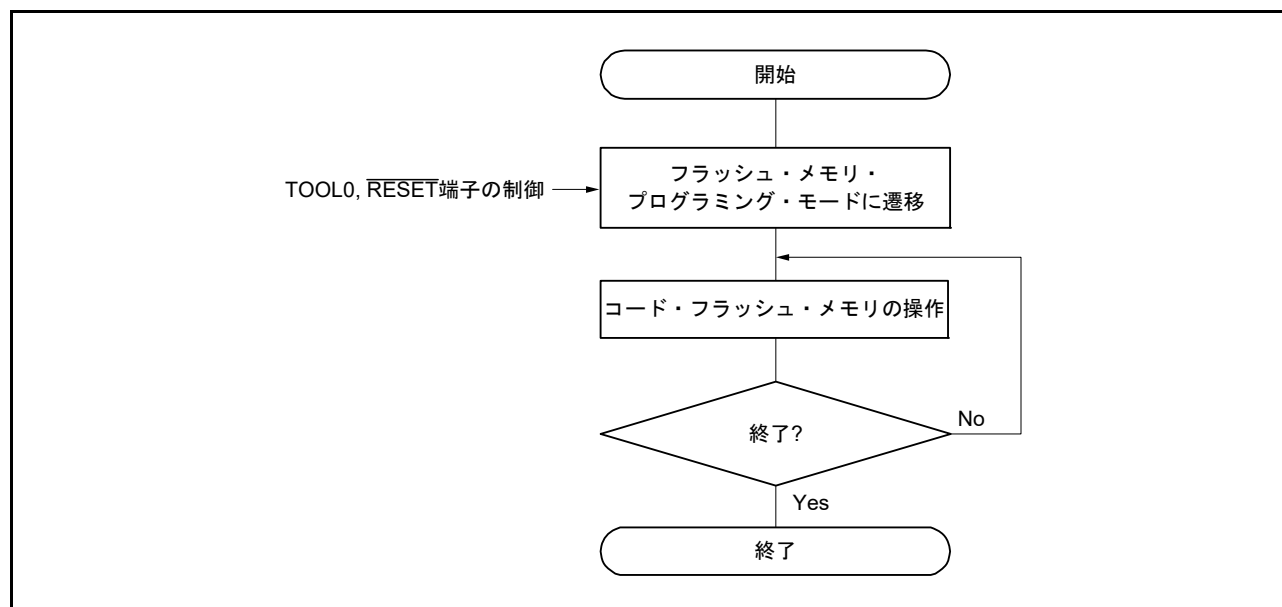
注 PG-FP6の信号名はVccです。

38.4 プログラミング方法

38.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図38 - 6 コード・フラッシュ・メモリの操作手順



38.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

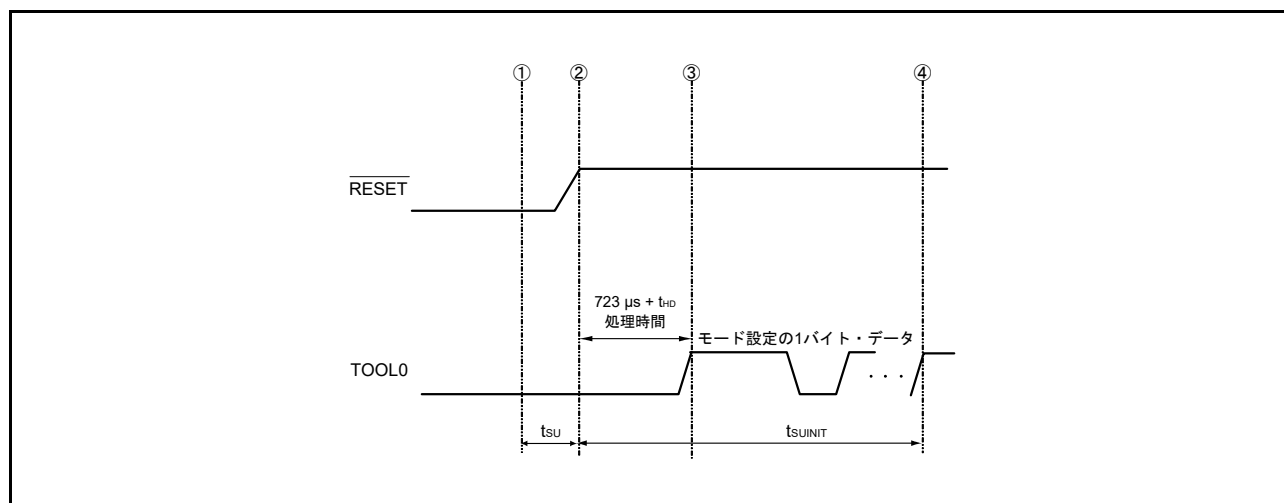
＜外部デバイス（UART 通信）を使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後、リセットを解除します（表38-5参照）。その後、図38-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78マイクロコントローラ（RL78プロトコルC）シリアルプログラミング編 アプリケーションノート（R01AN5756）を参照してください。

表38-5 リセット解除時のTOOL0端子への印加電圧と動作モードの関係

TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図38-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tSUINIT : この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tSU : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD : 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間
（フラッシュ・ファーム処理時間を除く）

詳細は、42.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングを参照してください。

38.4.3 通信方式

RL78 マイクロコントローラの通信方式は、次のようになります。

表38 - 6 通信方式

通信方式	Standard 設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線 UART (フラッシュ・メモリ・ プログラマ使用時、または 外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用 UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

^{注1}. フラッシュ・メモリ・プログラマの GUI 上の Standard 設定における設定項目です。

^{注2}. UART 通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

38.4.4 通信コマンド

RL78 マイクロコントローラは、表 38 - 7 に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスから RL78 マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、**RL78 マイクロコントローラ（RL78 プロトコル C）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

表38 - 7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます ^注 。
情報取得	Silicon Signature	RL78 マイクロコントローラ情報（品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定、ブート・クラスタ・サイズまたはバンク・スワップ設定（BTBLSビット）の変更禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART 選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョンなど）を取得することができます。

表 38 - 8 にシグネチャ・データ一覧、表 38 - 9 にシグネチャ・データ例を示します。

表38 - 8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例. 00000H-7FFFFH（512 Kバイト）→ FFH, FFH, 07H）	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例. F1000H-F2FFFFH（8 Kバイト）→ FFH, 2FH, 0FH）	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 （バージョンの上位から送信されます。 例. Ver. 4.00 → 04H, 00H, 00H）	3バイト

表38 - 9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78 プロトコルC	3バイト	10 00 0D
デバイス名	R7F100LPL	10バイト	52 = “R” 37 = “7” 46 = “F” 31 = “1” 30 = “0” 30 = “0” 4C = “L” 50 = “P” 4C = “L” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-7FFFFH（512 Kバイト）	3バイト	FF FF 07
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F2FFFFH（8 Kバイト）	3バイト	FF 2F 0F
ファームウェア・バージョン	Ver. 4.00	3バイト	04 00 00

38.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間（参考値）を次に示します。

表38 - 10 PG-FP6使用時の各コマンド処理時間（参考値）

PG-FP6のコマンド	コード・フラッシュ			
	64 Kバイト	128 Kバイト	256 Kバイト	512 Kバイト
消去	1.0 s	1.3 s	2.1 s	3.5 s
書き込み	1.6 s	2.9 s	5.2 s	9.5 s
ベリファイ	1.2 s	2.2 s	3.9 s	7.3 s
消去後、書き込み	2.3 s	4 s	6.9 s	12.7 s

備考 コマンド処理時間（参考値）はTyp.値です。次に条件を示します。

Port : TOOL0（単線UART）

Speed : 1,000,000 bps

38.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップデートなどができるようになります。詳細は、**RL78 ファミリ Renesas Flash Driver RL78 Type11 ユーザーズマニュアル (R20UT5539JJ)** を参照してください。

注意1. CPUがサブシステム・クロック (fsUB) 動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグが0にクリアされている状態でセルフ・プログラミングを実行してください。割り込みを許可する場合は、EI命令によりIEフラグが1にセットされている状態で、受け付ける割り込みの割り込みマスク・フラグを0にクリアして、セルフ・プログラミングを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作 (HIOSTOP = 0) させ、5 μ s経過後にセルフ・プログラミングを実行してください。また、中速オンチップ・オシレータは停止 (MIOEN = 0) させ、メイン・オンチップ・オシレータ・クロック (foco) は高速オンチップ・オシレータを選択 (MCM1 = 0) してください。

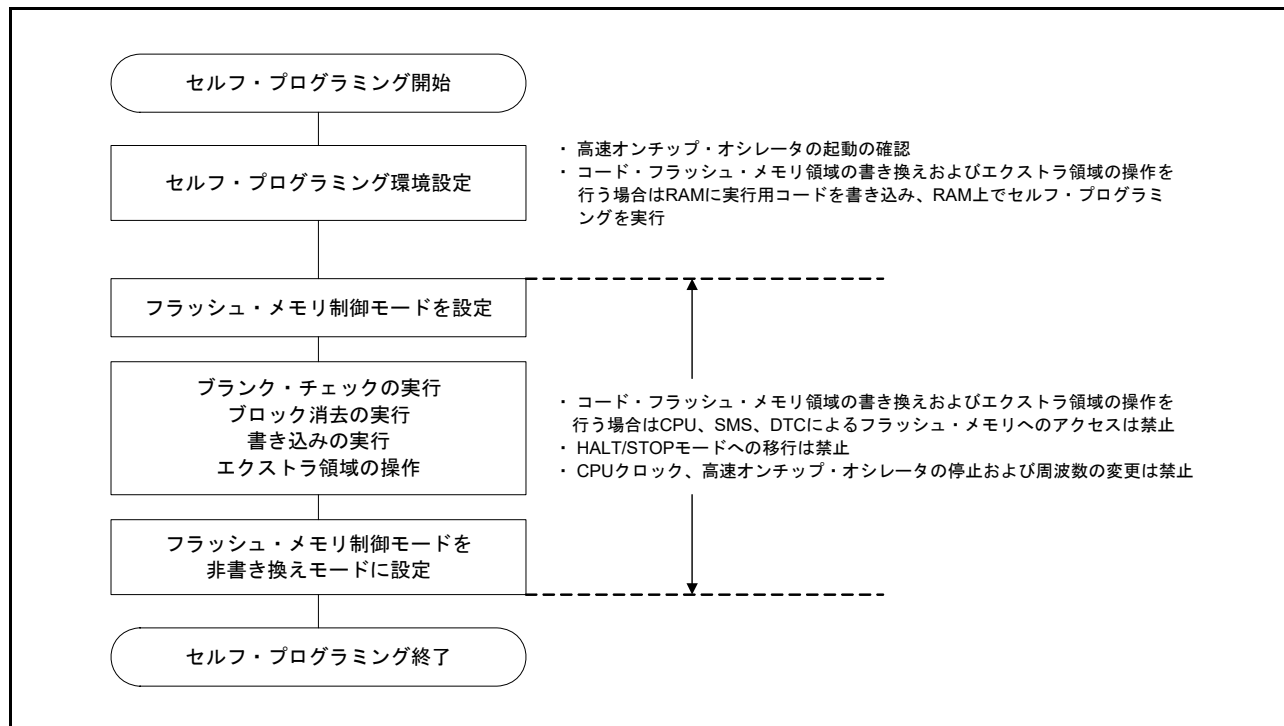
注意4. フラッシュ・メモリの書き換え中は、フラッシュ動作モード選択レジスタ (FLMODE) は変更しないでください。

38.6.1 セルフ・プログラミング手順

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、**38.6.2 フラッシュ・メモリを制御するレジスタ**を参照してください。

図38 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



38.6.2 フラッシュ・メモリを制御するレジスタ

フラッシュ・メモリを制御するレジスタを次に示します。

- フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)
- フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL)
- フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)
- フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)
- フラッシュ・ステータス・レジスタ (PFS)
- フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)
- フラッシュ領域選択レジスタ (FLARS)
- フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)
- フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)
- フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE)
- フラッシュ・レジスタ初期化レジスタ (FLRST)
- フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)
- フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)
- フラッシュ FSW モニタ・レジスタ E (FLFSWE)
- フラッシュ FSW モニタ・レジスタ S (FLFSWS)
- データ・フラッシュ・コントロール・レジスタ (DFLCTL)
- 割り込みベクタ移動許可レジスタ (VECTCTRL)
- 割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1)

38.6.2.1 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL)

フラッシュ・メモリ・プログラミング時の先頭アドレスを指定するレジスタです。

FLAPH レジスタは、8 ビット・メモリ操作命令、FLAPL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLAPH レジスタは 00H、FLAPL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図38-9 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) のフォーマット

アドレス : F02C4H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス : F02C2H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLAPL	FLAP15	FLAP14	FLAP13	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8
	7	6	5	4	3	2	1	0
	FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

注意1. FLAPH, FLAPL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

注意2. エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

38.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL)

フラッシュ・メモリ・プログラミング時の最終アドレスを指定するレジスタです。

FLSEDH レジスタは、8 ビット・メモリ操作命令、FLSEDL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLSEDH レジスタは 00H、FLSEDL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図38-10 フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL) のフォーマット

アドレス : F02C8H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス : F02C6H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSEDL	EWA15	EWA14	EWA13	EWA12	EWA11	EWA10	EWA9	EWA8

	7	6	5	4	3	2	1	0
	EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	EWA1	EWA0

注意1. FLSEDH, FLSEDL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

注意2. エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

注意3. コード・フラッシュ・メモリへのプログラミングでは、EWA1およびEWA0ビットの設定は無効です。

表38 - 11 FLAPH, FLAPL, FLSEDH, FLSEDLレジスタの設定方法

コード／データ・フラッシュ 領域シーケンサの専用コマンド		FLAP, FLSEDの設定	
FSSQ	書き込み	FLAPH, FLAPL FLSEDH, FLSEDL	: 書き込み対象アドレス : ALL 0
	ブランク・チェック	1ワードの場合 2ワード以上の場合	: FLAPH, FLAPL 設定値 = FLSEDH, FLSEDL 設定値 : FLAPH, FLAPL 設定値 < FLSEDH, FLSEDL 設定値
	ブロック消去 ^注	コード・フラッシュ・メモリ	FLAPH, FLAPL : FLAP19-FLAP11 ビットに先頭アドレス、 FLAP10-FLAP2 ビットにALL 0
			FLSEDH, FLSEDL : EWA19-EWA11 ビットに最終アドレス、 EWA10-EWA2 ビットにALL 1
		データ・フラッシュ・メモリ	FLAPH, FLAPL : FLAP19-FLAP8 ビットに先頭アドレス、 FLAP7-FLAP0 ビットにALL 0
			FLSEDH, FLSEDL : EWA19-EWA8 ビットに最終アドレス、 EWA7-EWA0 ビットにALL 1
FSSE	すべてのコマンド	FLAPH, FLAPL 設定値 FLSEDH, FLSEDL 設定値	: ALL 0 : ALL 0

注 FLAPH, FLAPL レジスタと FLSEDH, FLSEDL レジスタは以下の条件を満たすよう設定してください。
FLAPH, FLAPL 設定値 ≤ FLSEDH, FLSEDL 設定値

38.6.2.3 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)

フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。

FLWH, FLWL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLWH, FLWL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1
- フラッシュ・メモリ・シーケンサの動作完了

データ・フラッシュ・メモリの書き込みデータは FLWL レジスタの下位 8 ビットに設定します。

図38 - 11 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL) のフォーマット

アドレス : F02CEH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24
	7	6	5	4	3	2	1	0
	FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス : F02CCH

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8
	7	6	5	4	3	2	1	0
	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

注意1. FLWH, FLWL レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

注意2. エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0) のときに書き換えと読み出しを実行してください。

注意3. データ・フラッシュ・メモリへの書き込みは、FLWL レジスタの下位 8 ビットに書き込みデータを設定してください。それ以外のビットは 0 を設定してください。

38.6.2.4 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD)

フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) への書き込み動作に対して、プロテクションを施すためレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスに従って A5H を書き込む必要があります。特定シーケンスの実行手順については、**38.6.3 フラッシュ・メモリ制御モードの設定**を参照してください。

PFCMD レジスタは、8 ビット・メモリ操作命令で設定します。

図38 - 12 フラッシュ・プロテクト・コマンド・レジスタ (PFCMD) のフォーマット

アドレス : F00C0H

リセット時: 不定

R/W属性 : W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

38.6.2.5 フラッシュ・ステータス・レジスタ（PFS）

フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）への書き込み動作に対して、プロテクション・エラーの発生を示すレジスタです。

FPRERR ビットのセット／クリア条件は、**38.6.3.1 特定シーケンス実行手順**を参照してください。

PFS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図38 - 13 フラッシュ・ステータス・レジスタ（PFS）のフォーマット

アドレス : F00C1H
リセット時: 00H
R/W属性 : R

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERR	プロテクション・エラー・フラグ
0	エラー発生なし
1	エラー発生あり

38.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)

フラッシュ・メモリへの書き込みの禁止／許可やプログラミング・モードを選択するレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスの実行が必要です。特定シーケンスの実行手順については、**38.6.3 フラッシュ・メモリ制御モードの設定**を参照してください。

FLPMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、08H になります。

図38 - 14 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : F02C0H
リセット時: 08H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	EEEMD	FWEDIS	0	FLSPM	0
EEEMD	データ・フラッシュ・メモリのプログラミング・モード選択							
0	非書き換えモード							
1	プログラミング・モード							
FWEDIS	コード・フラッシュ・メモリの消去／書き込み許可／禁止のソフトウェア制御 ^注							
0	消去／書き込み許可							
1	消去／書き込み禁止							
FLSPM	コード・フラッシュ・メモリのプログラミング・モード選択							
0	非書き換えモード							
1	プログラミング・モード							

注 コード・フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず0を設定してください。

注意 エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTHレジスタのSQEND = 0、ESQEND = 0、FSSQレジスタのSQST = 0、FSSEレジスタのESQST = 0）のときにFLPMCレジスタへの書き換えは有効になります。

38.6.2.7 フラッシュ領域選択レジスタ (FLARS)

セルフ・プログラミングの対象とするフラッシュ・メモリの領域を選択するレジスタです。

FLARS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図38 - 15 フラッシュ領域選択レジスタ (FLARS) のフォーマット

アドレス : F02C1H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLARS	0	0	0	0	0	0	0	EXA

EXA	セルフ・プログラミングの対象とするフラッシュ・メモリ領域の選択
0	コード／データ・フラッシュ・メモリ領域
1	エクストラ領域

注意 FLARS レジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMC レジスタの FLSPM ビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード)
- FLPMC レジスタの EEEMD ビットが1 (データ・フラッシュ・メモリ領域はプログラミング・モード)

38.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)

フラッシュ・メモリ・シーケンサの動作周波数設定、ブート・スワップ機能の初期設定をするレジスタです。

FSSET レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図38-16 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) のフォーマット

アドレス : F00B6H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	0	FSET4	FSET3	FSET2	FSET1	FSET0

TMSPMD	ブート・スワップ機能で使用する場合： ブート領域設定の選択 ^注	バンク・スワップ機能で使用する場合： 起動バンク設定の選択 ^注
0	エクストラ領域のセキュリティ・フラグと ブート・スワップ機能とバンク・スワップ機 能の設定領域のEX bit 8 (BTFLG) の値に 従ってブート領域を指定 BTFLG = 0 : ブート領域はブート・クラスタ 1 BTFLG = 1 : ブート領域はブート・クラスタ 0 (デフォルト)	エクストラ領域のセキュリティ・フラグと ブート・スワップ機能とバンク・スワップ機 能の設定領域のEX bit 8 (BTFLG) の値に 従って起動バンクを指定 BTFLG = 0 : 起動バンクはバンク1 BTFLG = 1 : 起動バンクはバンク0 (デフォルト)
1	TMBTSEL ビットに従ってブート領域を指定	TMBTSEL ビットに従って起動バンクを指定

TMBTSEL	ブート・スワップ機能で使用する場合： TMSPMD = 1 のときのブート領域の指定 ^注	バンク・スワップ機能で使用する場合： TMSPMD = 1 のときの起動バンクの指定 ^注
0	ブート領域にブート・クラスタ0を指定	起動バンクにバンク0を指定
1	ブート領域にブート・クラスタ1を指定	起動バンクにバンク1を指定

FSET4- FSET0	フラッシュ・メモリ・シーケンサの動作周波数の設定
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数と FSET4-FSET0 ビットの設定値の関係は、 表38-12 を参照してください。

注 FLSECレジスタのBTPRビットが0（ブート領域書き換え禁止または起動バンク切り替え禁止）の場合、TMSPMD, TMBTSEL ビットは設定できません。

注意1. FSSET レジスタは以下のいずれかの条件のときに書き換え可能です。

- ・FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）
- ・FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）

注意2. BTFLG ビットによるブート領域の設定は設定後ただちに反映されます。リセット解除後にブート領域を変更したい場合は、TMSPMD ビットが0の状態ではFASSTL レジスタのMBTSEL ビットを読み出して、同じ値をTMBTSEL ビットに設定してください。その後、TMSPMD ビットに1を設定し、エクストラ領域シーケンサでBTFLG ビットにリセット解除時にブート領域として起動するブート・クラスタを指定してください。次のリセット解除時にBTFLG ビットに設定したブート・クラスタをブート領域として起動します。

注意3. FLMODE レジスタのBANKPGEN ビットが1（バンク・プログラミング・モード）の場合、TMSPMD, TMBTSEL ビットの変更は禁止です。

表38 - 12 フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0ビットの設定値の関係

動作周波数 (MHz)	FSET4-FSET0 ビット の設定値	動作周波数 (MHz)	FSET4-FSET0 ビット の設定値	動作周波数 (MHz)	FSET4-FSET0 ビット の設定値
32	11111B	31	11110B	30	11101B
29	11100B	28	11011B	27	11010B
26	11001B	25	11000B	24	10111B
23	10110B	22	10101B	21	10100B
20	10011B	19	10010B	18	10001B
17	10000B	16	01111B	15	01110B
14	01101B	13	01100B	12	01011B
11	01010B	10	01001B	9	01000B
8	00111B	7	00110B	6	00101B
5	00100B	4	00011B	3	00010B
2	00001B	1	00000B	—	—

注意 CPUが動作する周波数の小数点以下を切り上げた動作周波数に対する設定値を設定してください。

(例 : CPUが動作する周波数が4.5 MHzの場合は、5 MHzに対する設定値 (00100B) を設定してください)

ただし、CPUが動作する周波数が4 MHz未満の場合は、整数値ではない1.5 MHzなどの周波数は使用できません。

38.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)

コード／データ・フラッシュ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

コード／データ・フラッシュ領域シーケンサは、FSSQ レジスタの SQST ビットに 1 を設定すると MDCH, SQMD2-SQMD0 ビットに設定されたコマンドを実行します。

FSSQ レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図38 - 17 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ) のフォーマット (1/2)

アドレス : F02C5H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
FSSQ	SQST	FSSTP	0	0	MDCH	SQMD2	SQMD1	SQMD0
	SQST	コード／データ・フラッシュ領域シーケンサの動作制御						
	0	動作停止 ^{注1}						
	1	動作開始						
	FSSTP	コード／データ・フラッシュ領域シーケンサの強制停止制御						
	0	強制停止しない						
	1	強制停止する						

図38-17 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット (2/2)

MDCH	SQMD2	SQMD1	SQMD0	コード／データ・フラッシュ領域シーケンサのコマンド
0	0	0	1	書き込み FLWH, FLWHLレジスタに格納したデータをFLAPH, FLAPLレジスタで指定されるアドレスに書き込みます。注2 コード・フラッシュ・メモリ領域のアドレス指定した場合は4バイトのデータを書き込みます。データ・フラッシュ・メモリ領域のアドレスを指定した場合はFLWLレジスタの下位8ビット（FLW7-FLW0）に格納された1バイトを指定したアドレスに書き込みます。
0	0	1	1	コード・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのコード・フラッシュ・メモリ領域が1であるかチェックを行います。注3
1	0	1	1	データ・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのデータ・フラッシュ・メモリ領域が1であるかチェックを行います。
0	1	0	0	ブロック消去 FLAPH, FLAPLレジスタで指定されるアドレスからFLSEDH, FLSEDLレジスタで指定されるアドレスまでのブロックを消去します。注4
上記以外				設定禁止

注1. FSASTHレジスタのSQEND = 1（シーケンサの動作終了）を確認したあとに、SQSTビットに0を設定してコード／データ・フラッシュ領域シーケンサの動作を停止してください。

注2. コード・フラッシュ・メモリ領域へ書き込み単位は4バイトです。したがって、FLSEDLレジスタが4の倍数になるように下位2ビットには00Bを設定してください。詳細は、**38.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

注3. コード・フラッシュ・メモリ領域のブランクチェックは4バイトごとの先頭アドレスを指定します。したがって、FLSEDLレジスタが4の倍数になるように下位2ビットには00Bを設定してください。詳細は、**38.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

注4. コード・フラッシュ・メモリ領域の消去ブロック単位は2 Kバイトです。また、データ・フラッシュ・メモリの消去ブロック単位は256バイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスから終了アドレスを指定してください。詳細は、**38.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作**、**38.6.6.5 データ・フラッシュ・メモリ領域書き換えの操作**を参照してください。また、アドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

注意 FSSQレジスタは以下のいずれかの条件のときに書き換え可能です。

- FLPMCレジスタのFLSPMビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）かつ FWEDISビットが0（コード・フラッシュ・メモリの消去／書き込み許可）
- FLPMCレジスタのEEEMDビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）

38.6.2.10 フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）

エクストラ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

フラッシュ・エクストラ領域シーケンサは、FSSE レジスタの ESQST ビットに 1 を設定すると ESQMD3-ESQMD0 ビットに設定されたコマンドを実行します。

FSSE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図38 - 18 フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）のフォーマット (1/2)

アドレス : F00B7H

リセット時: 00H

R/W属性 : R/W

略号	<7>	6	5	4	3	2	1	0
FSSE	ESQST	0	0	0	ESQMD3	ESQMD2	ESQMD1	ESQMD0
エクストラ領域シーケンサの動作制御								
ESQST								
0		動作停止 ^注						
1		動作開始						

図38 - 18 フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) のフォーマット (2/2)

ESQMD3	ESQMD2	ESQMD1	ESQMD0	エクストラ領域シーケンサのコマンド
0	0	0	1	フラッシュ・シールド・ウィンドウの設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・シールド・ウィンドウの設定領域に書き込みます。フラッシュ・シールド・ウィンドウ・モード制御、スタート・ブロック、エンド・ブロックを設定します。フラッシュ・シールド・ウィンドウの設定領域のEX bit15 (FSPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQR) が1になります。
0	1	1	0	フラッシュ・リード・プロテクションの設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・リード・プロテクションの設定領域に書き込みます。フラッシュ・リード・プロテクション設定の変更禁止、スタート・ブロック、エンド・ブロックを設定します。フラッシュ・リード・プロテクションの設定領域のEX bit31 (SWPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQR) が1になります。
0	1	1	1	セキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・メモリのセキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域に書き込みます。ブロック消去禁止、書き込み禁止、ブート領域の書き換え禁止、ブート領域の選択を設定します。セキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域のEX bit9 (BTPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQR) が1になります。
上記以外				設定禁止

注 FSASTHレジスタのESQEND = 1 (シーケンサの動作終了) を確認したあとに、ESQSTビットに0を設定してエクストラ領域シーケンサの動作を停止してください。

注意1. FSSEレジスタは以下の条件のときに書き換え可能です。

FLPMCレジスタのFLSPMビットが1 (コード・フラッシュ・メモリ領域はプログラミング・モード) かつ
FWEDISビットが0 (コード・フラッシュ・メモリの消去/書き込み許可)

注意2. エクストラ領域に書き込みをする場合は、エクストラ領域シーケンサを起動する前にFLARSレジスタのEXAビットに1を設定し、FLWH, FLWL レジスタに書き込みデータを設定してください。

注意3. ESQMD3-ESQMD0ビットは、エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTHレジスタのSQEND = 0, ESQEND = 0, FSSQレジスタのSQST = 0, FSSEレジスタのESQST = 0) のときに書き換えてください。

38.6.2.11 フラッシュ・レジスタ初期化レジスタ（FLRST）

エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサで使用するレジスタを初期化するレジスタです。

FLRST レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

FLRST レジスタの操作方法の詳細は、**38.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化**を参照してください。

リセット信号の発生により、00H になります。

図38 - 19 フラッシュ・レジスタ初期化レジスタ（FLRST）のフォーマット

アドレス : F02C9H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST

FLRST	レジスタの初期化制御
0	リセット動作しない
1	FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタをリセットする

注意1. FLRST = 1にしてレジスタを初期化は、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTHレジスタのSQEND = 0, ESQEND = 0, FSSQレジスタのSQST = 0, FSSEレジスタのESQST = 0のとき）でのみ可能です。

注意2. シーケンサを使用するときは、FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタを設定する前に必ずFLRSTビットを0にしてください。また、シーケンサ動作中はFLRSTに1を設定しないでください。

38.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL)

フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。

FSASTH, FSASTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

図38-20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット (1/2)

アドレス : F02CBH

リセット時: 00H/04H

R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	×	0	0

アドレス : F02CAH

リセット時: 00H/80H^注

R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

注 MBTSEL ビットの初期値は、エクストラ領域に格納している BTFLG (ブート領域切り替えフラグ) の値に依存するため、不定です。

ESQEND	エクストラ領域シーケンサの動作終了ステータス・フラグ
0	動作中、または ESQST ビットに 0 を設定して動作停止
1	動作終了

SQEND	コード／データ・フラッシュ領域シーケンサの動作終了ステータス・フラグ
0	動作中、または SQST ビットに 0 を設定して動作停止
1	動作終了

MBTSEL	ブート・フラグ・モニタ・ビット ^注	
	ブート・スワップ機能で使用する場合	バンク・スワップ機能で使用する場合
0	BTFLG = 1 (ブート領域はブート・クラス 0)	BTFLG = 1 (起動バンクはバンク 0)
1	BTFLG = 0 (ブート領域はブート・クラス 1)	BTFLG = 0 (起動バンクはバンク 1)

MOPEN	コード／データ・フラッシュ領域シーケンサの動作ステータス・フラグ
0	動作停止
1	動作中

ESEQER	エクストラ領域シーケンサ・エラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサを起動するとクリアされます。	

図38 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL) のフォーマット (2/2)

SEQR	フラッシュ・メモリ・シーケンサのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。	

BLER	ブランク・チェック・コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。	

WRER	書き込みコマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。また、書き込み中に強制終了するとリード値は不定になります。	

ERER	ブロック消去コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。また、ブロック消去中に強制終了するとリード値は不定になります。	

注 エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグまたは起動バンク切り替えフラグ）の反転値を示します。

38.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)

エクストラ領域に設定されたセキュリティ・フラグとブート・スワップ機能の設定情報をモニタするレジスタです。
FLSEC レジスタは、16 ビット・メモリ操作命令で読み出します。

図38-21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) のフォーマット (1/2)

アドレス : F00B0H

リセット時: 不定

R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLSEC	BAPR	0	0	WRPR	0	SEPR	BTPR	BTFLG
	7	6	5	4	3	2	1	0
	BTBLS3	BTBLS2	BTBLS1	BTBLS0	SWPR	0	IFPR	IDEN
BAPR	ブート・クラスタ・サイズまたはバンク・スワップ設定 (BTBLS[3:0]) の変更禁止フラグ							
0	BTBLS3-BTBLS0 ビットによる設定領域の変更禁止							
1	BTBLS3-BTBLS0 ビットによる設定領域の変更許可							
WRPR	書き込み禁止フラグ							
0	書き込み禁止							
1	書き込み許可							
SEPR	ブロック消去禁止フラグ							
0	ブロック消去禁止							
1	ブロック消去許可							
BTPR	ブート・スワップ機能で使用する場合 : ブロック書き換え禁止フラグ				バンク・スワップ機能で使用する場合 : 起動バンク切り替え禁止フラグ			
0	ブート領域の書き換えを禁止				起動バンクの切り替えを禁止			
1	ブート領域の書き換えを許可				起動バンクの切り替えを許可			
BTFLG	ブート・スワップ機能で使用する場合 : ブート領域切り替えフラグ				バンク・スワップ機能で使用する場合 : 起動バンク切り替えフラグ			
0	ブート領域はブート・クラスタ1				起動バンクはバンク1			
1	ブート領域はブート・クラスタ0				起動バンクはバンク0			

図38 - 21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）のフォーマット (2/2)

BTBLS3	BTBLS2	BTBLS1	BTBLS0	ブート・クラスタ・サイズの設定フラグ	バンク・スワップの設定フラグ
0	0	0	0	2 KB	設定禁止
0	0	0	1	4 KB	設定禁止
0	0	1	0	8 KB	設定禁止
0	0	1	1	16 KB	設定禁止
0	1	0	0	32 KB 注1	設定禁止
0	1	0	1	64 KB 注2	設定禁止
0	1	1	0	128 KB 注3	設定禁止
0	1	1	1	設定禁止	バンク・スワップを使用する注4
1	1	1	1	16 KB（デフォルト）	設定禁止
上記以外				設定禁止	

SWPR	フラッシュ・リード・プロテクション設定の変更禁止フラグ
0	禁止状態
1	許可状態

IFPR	プログラマ・オンチップ・デバッグ接続禁止フラグ
0	接続禁止
1	接続許可

IDEN	プログラマ接続ID認証の有効フラグ
0	ID認証有効
1	ID認証無効

注1. コード・フラッシュ・メモリ・サイズが、128 KB～512 KB 製品の場合に設定できます。

注2. コード・フラッシュ・メモリ・サイズが、256 KB, 512 KB 製品の場合に設定できます。

注3. コード・フラッシュ・メモリ・サイズが、512 KB 製品の場合に設定できます。

注4. コード・フラッシュ・メモリ・サイズが、256 KB 製品の場合は、バンク・サイズは128 KBになります。512 KB 製品の場合は、バンク・サイズは256 KBになります。

38.6.2.14 フラッシュ FSWモニタ・レジスタ E (FLFSWE)

フラッシュ・シールド領域のエンド・ブロック番号およびシールド領域がウィンドウ範囲の内側か外側かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWE レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**38.9 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWE レジスタは、16 ビット・メモリ操作命令で読み出します。

図38 - 22 フラッシュ FSWモニタ・レジスタ E (FLFSWE) のフォーマット

アドレス : F00B4H
リセット時: 不定
R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWE	FSWC	0	0	0	0	0	0	FSWE8
	7	6	5	4	3	2	1	0
	FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0
FSWC	シールド領域設定							
0	インサイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の内側							
1	アウト・サイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の外側							
FSWE8- FSWE0	フラッシュ・シールド領域のエンド・ブロック番号							
—	エンド・ブロック + 1注							

注 エクストラ領域に設定された値が示されます。実際のエンド・ブロックのブロック番号はFSWE8-FSWE0ビットの値から1を引いたブロック番号になります。また、シリアル・プログラミング時ではエンド・ブロックのブロック番号を指定しますが、エクストラ領域にはエンド・ブロック + 1で設定されます。詳細は、**表38 - 16 フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係**を参照してください。

38.6.2.15 フラッシュ FSWモニタ・レジスタ S (FLFSWS)

フラッシュ・シールド領域のスタート・ブロック番号およびフラッシュ・シールド・ウィンドウ設定が書き換え禁止か許可かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWS レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**38.9 フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWS レジスタは、16 ビット・メモリ操作命令で読み出します。

図38 - 23 フラッシュ FSWモニタ・レジスタ S (FLFSWS) のフォーマット

アドレス : F00B2H
リセット時: 不定
R/W属性 : R

略号	15	14	13	12	11	10	9	8
FLFSWS	FSPR	0	0	0	0	0	0	FSWS8
	7	6	5	4	3	2	1	0
	FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止フラグ							
0	禁止状態							
1	許可状態							
FSWS8- FSWS0	フラッシュ・シールド領域のスタート・ブロック番号							
—	スタート・ブロック							

38.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュ・メモリ領域へのアクセス許可／禁止を設定するレジスタです。
DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図38 - 24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュ・メモリ領域のアクセス制御							
0	データ・フラッシュ・メモリ領域のアクセス禁止							
1	データ・フラッシュ・メモリ領域のアクセス許可							

38.6.2.17 割り込みベクタ移動許可レジスタ (VECTCTRL)

セルフ・プログラミング実行中に発生した割り込みに対し、分岐先を設定するレジスタです。
VECTCTRL レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図38 - 25 割り込みベクタ移動許可レジスタ (VECTCTRL) のフォーマット

アドレス : F00FFH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
VECTCTRL	0	0	0	0	0	0	0	VECTCTRL
VECTCTRL	割り込みの分岐先設定							
0	ROM上の割り込みベクタ・アドレス							
1	RAMの指定アドレス ^注							

注 RAMの分岐先アドレスは、FLSIVC1, FLSIVC0 レジスタで指定します。詳細は、**38.6.2.18 割り込みベクタ変更レジスタ0, 1 (FLSIVC0, FLSIVC1)** を参照してください。

38.6.2.18 割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1)

セルフ・プログラミング実行中に発生した割り込みの分岐先アドレスを指定するレジスタです。

セルフ・プログラミング中の割り込み処理の実行方法については、**38.6.7 コード・フラッシュ・プログラミング・モード中の割り込み**を参照してください。

FLSIVC0, FLSIVC1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FLSIVC0 レジスタは 0000H、FLSIVC1 レジスタは 000FH になります。

図38-26 割り込みベクタ変更レジスタ 0, 1 (FLSIVC0, FLSIVC1) のフォーマット

アドレス : F0480H

リセット時: 0000H

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC0	FLSIV15	FLSIV14	FLSIV13	FLSIV12	FLSIV11	FLSIV10	FLSIV9	FLSIV8
	7	6	5	4	3	2	1	0
	FLSIV7	FLSIV6	FLSIV5	FLSIV4	FLSIV3	FLSIV2	FLSIV1	FLSIV0

アドレス : F0482H

リセット時: 000FH

R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSIVC1	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	FLSIV19	FLSIV18	FLSIV17	FLSIV16

注意 FLSIVC1 レジスタには上位4ビットを、FLSIVC0 レジスタにはアドレスの下位16ビットを設定してください。

38.6.3 フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード
コード・フラッシュ・メモリ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード
データ・フラッシュ・メモリ領域が書き換え可能なモードです。
- 非書き換えモード
フラッシュ・メモリ（コード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域、エクストラ領域）が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミング・モードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に特定シーケンスを実行します。

注意 データ・フラッシュ・メモリ領域を操作する場合は、データ・フラッシュのアクセス許可（DFLCTLレジスタのDFLEN = 1）の状態で行ってください。

38.6.3.1 特定シーケンス実行手順

以下の①～④の手順でフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に書き込むことで、各モードへ移行します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに設定したい値を書き込む
- ③ FLPMC レジスタに設定したい値の反転値を書き込む
- ④ FLPMC レジスタに設定したい値を書き込む

- 特定シーケンスは、FLRST レジスタのFLRST = 0かつフラッシュ・メモリ・シーケンサが停止中の場合に実行可能です。
- 特定シーケンスでは、手順①、②、③、④の間でほかのメモリやレジスタへの書き込み動作を行った場合、特定レジスタへの書き込みは行われず、プロテクション・エラーが発生し、フラッシュ・ステータス・レジスタ（PFS）のFPRERRフラグが1にセットされます。FPRERRフラグは、リセット、または次の特定シーケンス開始時にクリアされます。

38.6.3.2 コード・フラッシュ・プログラミング・モード移行手順

コード・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 02H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 1)
- ③ FLPMC レジスタに FDH を書き込む (02H の反転値)
- ④ FLPMC レジスタに 02H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 1)

38.6.3.3 データ・フラッシュ・プログラミング・モード移行手順

データ・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 10H を書き込む (EEEMD = 1, FWEDIS = 0, FLSPM = 0)
- ③ FLPMC レジスタに EFH を書き込む (10H の反転値)
- ④ FLPMC レジスタに 10H を書き込む (EEEMD = 1, FWEDIS = 0, FLSPM = 0)

38.6.3.4 非書き換えモード移行手順

コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードから非書き換えモード移行手順を実施し、ウェイト^注後にプログラミング・モード対象のフラッシュ・メモリの読み出しが可能になります。

注 ウェイト時間は10 μsです。

<割り込みベクタを RAM アドレスへ変更していない場合>

割り込み発生時にROM上の割り込みベクタが示すアドレスへ分岐する場合の移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 08H を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ③ FLPMC レジスタに F7H を書き込む (08H の反転値)
- ④ FLPMC レジスタに 08H を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ⑤ 10 μs ウェイト後、対象のフラッシュ・メモリの読み出しが可能になります。

<割り込みベクタを RAM アドレスへ変更している場合>

割り込みの分岐先がRAM上の指定アドレスへ変更されている場合の移行手順を以下に示します。

- ① PFCMD レジスタに A5H を書き込む
- ② FLPMC レジスタに 00H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ③ FLPMC レジスタに FFH を書き込む (00H の反転値)
- ④ FLPMC レジスタに 00H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ⑤ 10 μs ウェイト後、対象のフラッシュ・メモリの読み出しが可能になります。

38.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化

フラッシュ・レジスタ初期化レジスタ（FLRST）の FLRST ビットをセットすることで、対象レジスタをリセットして初期化します。

対象レジスタ：FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE

対象レジスタのクリア手順を以下に示します。

- ① FLRST ビットをセット
- ② CPU クロックで 1 サイクル以上をソフトウェアでウェイト
- ③ FLRST ビットをクリア

38.6.5 フラッシュ・メモリ・シーケンサの動作周波数設定

CPU の動作周波数 [1 ~ 32 (MHz)] の値をフラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）の FSET4-FSET0 ビットに設定します。CPU が動作する周波数の小数点以下を切り上げた動作周波数に対する設定値を設定してください。

（例：4.5 MHz の場合は、5 MHz に対する設定値（00100B）を設定）

フラッシュ・メモリ・シーケンサの動作周波数の設定方法を以下に示します。

- ① コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードへ移行します。
移行手順は、**38.6.3.1 特定シーケンス実行手順**、**38.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**および**38.6.3.3 データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）を読み出し、TMSPMD, TMBTSEL ビットに読み出した値と同じ値を、FSET4-FSET0 ビットに CPU の動作周波数を設定します。

注意 コード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサを使用して、コード／データ・フラッシュ・メモリまたはエクストラ領域へ書き換えなどの操作を実行する場合、FSSET レジスタの FSET4-FSET0 ビットへ CPU の動作周波数を設定しておく必要があります。

CPU の動作周波数が正しく設定されていない状態での書き換え動作は不定となり、書かれたデータは保証されませんのでご注意ください。（書き込み直後のフラッシュ・メモリのデータ値が期待値通りであっても、その値の保持期間を保証できません。）

38.6.6 フラッシュ・メモリの書き換え

38.6.6.1 概要

フラッシュ・メモリ・シーケンサは、コード・フラッシュ・メモリ領域またはデータ・フラッシュ・メモリ領域を書き換えるコード／データ・フラッシュ領域シーケンサと、エクストラ領域を書き換えるエクストラ領域シーケンサがあります。それぞれの領域を書き換えるには、各シーケンサのコマンドを実行します。

38.6.6.2 書き換え領域の選択

フラッシュ領域選択レジスタ（FLARS）により、書き換える領域としてコード／データ・フラッシュ・メモリ領域、またはエクストラ領域のいずれかを選択します。

38.6.6.3 コード／データ・フラッシュ領域シーケンサ・コマンド

コード／データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサの専用コマンドを使用します。コマンドの実行は、フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）の SQMD2-SQMD0 ビットに実行するコマンドを設定し、SQST ビットに 1 を設定します。SQMD2-SQMD0 ビットと SQST ビットは同時に設定することもできます。

コード／データ・フラッシュ領域シーケンサの専用コマンドについては、**38.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）**を参照してください。

38.6.6.4 コード・フラッシュ・メモリ領域書き換えの操作

コード・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。なお、コード・フラッシュ・メモリ領域の書き換え処理ソフトウェアはRAMに配置し、RAM上で実行してください。

コード・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位 : 2 Kバイト
- 書き込み単位 : 4 バイト

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**38.6.3.1 特定シーケンス実行手順**、および **38.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 0（コード／データ・フラッシュ・メモリ領域）を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。

- ブロック消去

FLAPH, FLAPL レジスタに消去するコード・フラッシュ・メモリのブロック先頭アドレス^{注1}
 （例：002000H）を設定します。

FLSEDH, FLSEDL レジスタに消去するコード・フラッシュ・メモリのブロック終了アドレス^{注1}
 （例：0027FFH）を設定します。

- 書き込み

FLAPH, FLAPL レジスタに書き込むフラッシュ・メモリの先頭アドレス^{注2}（例：002000H）を設定します。
 FLWH, FLWL レジスタに書き込むデータ（4バイト）を設定します。

- ブランク・チェック

FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス^{注2}
 （例：002000H）を設定します。

FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス
 （例：0027FFH）を設定します。

なお、4バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。

- ④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。

- ブロック消去：84H
- 書き込み：81H
- コード・フラッシュ・メモリ領域のブランク・チェック：83H

- ⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**38.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順を参照してください。

- ⑥ コマンド実行後の処理

<コマンド処理を継続する場合>

コード・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。

<コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は、**38.6.3.1 特定シーケンス実行手順**および **38.6.3.4 非書き換えモード移行手順**を参照してください。

- 注1.** コード・フラッシュ・メモリ領域の消去ブロック単位は2 Kバイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスと終了アドレスを指定してください。アドレスとブロック番号の関係については、**表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。
- 注2.** コード・フラッシュ・メモリ領域の書き込み、ブランク・チェックは4バイト単位です。したがって、アドレスを示すFLAPLレジスタの下位2ビットには4の倍数である00Bを設定してください。

38.6.6.5 データ・フラッシュ・メモリ領域書き換えの操作

データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

データ・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位 : 256 バイト
- 書き込み単位 : 1 バイト

<操作方法>

- ① データ・フラッシュ・プログラミング・モードに移行します。移行手順は、**38.6.3.1 特定シーケンス実行手順**および**38.6.3.3 データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 0 (コード／データ・フラッシュ・メモリ領域) を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。
 - ブロック消去

FLAPH, FLAPL レジスタに消去するデータ・フラッシュ・メモリのブロック先頭アドレス注
(例: 0F1100H) を設定します。

FLSEDH, FLSEDL レジスタに消去するデータ・フラッシュ・メモリのブロック終了アドレス注
(例: 0F11FFH) を設定します。
 - 書き込み

FLAPH, FLAPL レジスタに書き込む対象のフラッシュ・メモリの先頭アドレス (例: 0F1101H) を設定します。

FLWL レジスタの下位 8 ビットに書き込むデータを設定してください。
 - ブランク・チェック

FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス (例: 0F1100H) を設定します。

FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス
(例: 0F11FFH) を設定します。

なお、1 バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。
- ④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。
 - ブロック消去: 84H
 - 書き込み: 81H
 - データ・フラッシュ・メモリ領域のブランク・チェック: 8BH
- ⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**38.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順を参照してください。
- ⑥ コマンド実行後の処理
 - <コマンド処理を継続する場合>

データ・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。
 - <コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は、**38.6.3.1 特定シーケンス実行手順**および**38.6.3.4 非書き換えモード移行手順**を参照してください。

注 データ・フラッシュ・メモリ領域のブロック消去は256バイト単位です。したがって、先頭アドレスを示す FLAPLレジスタの下位8ビットには256の倍数である0000 0000Bを設定してください。また、終了アドレスを示す FLSEDLレジスタの下位8ビットには1111 1111Bを設定してください。

38.6.6.6 エクストラ領域シーケンサ・コマンド

エクストラ領域に配置されているフラッシュ・シールド・ウィンドウ、フラッシュ・リード・プロテクション、フラッシュのセキュリティ、ブート・スワップ機能の設定値の書き換えは、エクストラ領域シーケンサのコマンドを使用します。コマンドの実行は、フラッシュ・エクストラ領域シーケンサ制御レジスタ (FSSE) の ESQMD3-ESQMD0 ビットに実行するコマンドを設定し、ESQST ビットに 1 を設定します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定することもできます。なお、エクストラ領域シーケンサ・コマンド処理ソフトウェアは RAM に配置し、RAM 上で実行してください。

38.6.6.7 エクストラ領域の書き換えの操作

エクストラ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、エクストラ領域シーケンサのコマンドを実行します。各コマンドの実行に必要なデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**38.6.3.1 特定シーケンス実行手順**、および **38.6.3.2 コード・フラッシュ・プログラミング・モード移行手順**を参照してください。
- ② FLARS レジスタの EXA ビットに 1 (エクストラ領域) を設定します。
- ③ コマンド実行前に FLWH, FLWL レジスタへ 4 バイトのデータを設定します。FLWH, FLWL レジスタの各ビット (FLW31-FLW0) は、対象のエクストラ領域データの EX bit31-EX bit0 に対応します。各コマンドの設定データの詳細は、**38.6.6.8 エクストラ領域シーケンサのコマンドの設定データ**を参照してください。
- ④ FSSE レジスタの ESQMD3-ESQMD0 ビットに実行するコマンドの値、ESQST ビットに 1 を設定するとエクストラ領域シーケンサは指定されたコマンドを実行します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定可能です。同時に設定する場合の FSSE レジスタに書き込む値は以下になります。
 - フラッシュ・シールド・ウィンドウの設定領域への書き込み：81H
 - フラッシュ・リード・プロテクションの設定領域への書き込み：86H
 - セキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域への書き込み：87H
- ⑤ エクストラ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**38.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のエクストラ領域シーケンサのコマンドの終了判定手順を参照してください。
- ⑥ コマンド実行後の処理
 - <コマンド処理を継続する場合>

コード・フラッシュ・プログラミング・モードに移行したまま、③のエクストラ領域に設定する FLWH, FLWL レジスタのデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。
 - <コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は、**38.6.3.1 特定シーケンス実行手順**および **38.6.3.4 非書き換えモード移行手順**を参照してください。

38.6.6.8 エクストラ領域シーケンサのコマンドの設定データ

エクストラ領域の書き込みは、4 バイト単位で行います。

エクストラ領域シーケンサの各コマンドは、FLWH, FLWL レジスタの FLW31-FLW0 ビットに設定したデータを各コマンドに対応したエクストラ領域の EX bit31-EX bit0 に書き込みます。

(1) フラッシュ・シールド・ウィンドウの設定領域への書き込み

フラッシュ・シールド・ウィンドウの設定領域に FLWH, FLWL レジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
FSWC	1	1	1	1	1	1	FSWE8

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
FSPR	1	1	1	1	1	1	FSWS8

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

ビット名称	設定内容
FSWC	フラッシュ・シールド領域の範囲を指定するビットです。 0 : フラッシュ・シールド領域はウィンドウ範囲の内側 1 : フラッシュ・シールド領域はウィンドウ範囲の外側 (デフォルト)
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止を指定するビットです。 0 : フラッシュ・シールド・ウィンドウ設定領域の変更禁止 1 : フラッシュ・シールド・ウィンドウ設定領域の変更許可 (デフォルト)
FSWE8- FSWE0	フラッシュ・シールド・ウィンドウのエンド・ブロックの設定領域です。 エンド・ブロック + 1 のブロック番号を指定してください。 ^注
FSWS8- FSWS0	フラッシュ・シールド・ウィンドウのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。 ^注

注 アドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。

注意 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードの Security Release コマンドを実行することで、FSPR = 0 (禁止) から FSPR = 1 (許可) になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンドおよびシリアル・プログラミング・モードの Security Release コマンドを実行できません。

- SEPR = 0 (ブロック消去禁止)
- BTPR = 0 (ブート領域書き換え禁止)

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、FSPR = 1 (許可) に設定できません。

(2) フラッシュ・リード・プロテクションの設定領域への書き込み

フラッシュ・リード・プロテクションの設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
SWPR	1	1	1	1	1	1	UPAddr8

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
UPAddr7	UPAddr6	UPAddr5	UPAddr4	UPAddr3	UPAddr2	UPAddr1	UPAddr0

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	1	1	1	1	LOWAddr8

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
LOWAddr7	LOWAddr6	LOWAddr5	LOWAddr4	LOWAddr3	LOWAddr2	LOWAddr1	LOWAddr0

ビット名称	設定内容
SWPR	フラッシュ・リード・プロテクション設定領域の変更禁止を指定するビットです。 0 : フラッシュ・リード・プロテクション設定領域の変更禁止 1 : フラッシュ・リード・プロテクションの設定領域の変更許可（デフォルト）
UPAddr8- UPAddr0	フラッシュ・リード・プロテクションのエンド・ブロックの設定領域です。 エンドブロックのブロック番号を指定してください。注
LOWAddr8- LOWAddr0	フラッシュ・リード・プロテクションのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

注 アドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。また、フラッシュ・リード・プロテクションの設定領域はリセット解除後に設定領域の読み出しが不可となります。

注意 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、SWPR = 0（禁止）からSWPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- SEPR = 0（ブロック消去禁止）
- BTPR = 0（ブート領域書き換え禁止）

また、プログラマ・オンチップ・デバガ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、SWPR = 1（許可）に設定できません。

(3) セキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域への書き込み (1/2)

セキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。セキュリティ設定の詳細は、**38.10 セキュリティ設定**を参照してください。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
1	1	1	1	1	1	1	1

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
1	1	1	1	1	1	1	1

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	WRPR	1	SEPR	BTPR	BTFLG

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
1	1	1	1	1	IFPR	1	IDEN

ビット名称	設定内容
WRPR	シリアル・プログラミング・モードでの書き込み禁止を指定するビットです。シリアル・プログラミング・モードでの書き込みを禁止します。 0 : シリアル・プログラミング・モードでの書き込み禁止 1 : シリアル・プログラミング・モードでの書き込み許可（デフォルト）
SEPR	ブロック消去禁止を指定するビットです。シリアル・プログラミング・モードでのブロック消去を禁止します。 0 : シリアル・プログラミング・モードでのブロック消去禁止 1 : シリアル・プログラミング・モードでのブロック消去許可（デフォルト）
BTPR	ブート領域の書き換え禁止、起動バンクの切り替え禁止を指定するビットです。ブート・スワップ動作およびブート領域の書き換え、バンク・スワップ動作および起動バンクの切り替えを禁止します。 ブート・スワップ機能で使用する場合 0 : ブート領域の書き換え禁止、ブート・スワップ禁止 1 : ブート領域の書き換え許可、ブート・スワップ許可（デフォルト） バンク・スワップ機能で使用する場合 0 : 起動バンクの切り替え禁止、バンク・スワップ禁止 1 : 起動バンクの切り替え許可、バンク・スワップ許可（デフォルト）
BTFLG	FSSETレジスタのTMSPMD = 0の場合にブート領域または起動バンクを指定するビットです。 ブート・スワップ機能で使用する場合 0 : ブート領域はブート・クラスタ1 1 : ブート領域はブート・クラスタ0（デフォルト） バンク・スワップ機能で使用する場合 0 : 起動バンクはバンク1 1 : 起動バンクはバンク0（デフォルト）
IFPR	プログラマ・オンチップ・デバッグ接続禁止を指定するビットです。シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止します。 0 : シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止 1 : シリアル・プログラミング・モードおよびオンチップ・デバッグの接続許可（デフォルト）

(3) セキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域への書き込み (2/2)

ビット名称	設定内容
IDEN	プログラマ接続ID認証の有効化を指定するビットです。シリアル・プログラミング・モードで接続するときにID認証を行います。 0：シリアル・プログラミング・モード接続時のID認証は有効 1：シリアル・プログラミング・モード接続時のID認証は無効（デフォルト）

注意1. BTFLGビットを書き換える場合、その他のすべてのビットは1を設定してください。

注意2. BTFLGビット以外のセキュリティ・フラグを0（禁止）に書き換える場合、BTFLGビット（読み込んだ値と同じ値を設定）を除き、その他のすべてのビットは1を設定してください。

注意3. 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、WRPR = 0（禁止）からWRPR = 1（許可）になります。

ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- SEPR = 0（ブロック消去禁止）
- BTPR = 0（ブート領域書き換え禁止）

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、WRPR = 1（許可）に設定できません。

注意4. SEPR, BTPR, IFPR, IDENビットは、0を設定したあとに1に戻すことはできません。

注意5. バンク・スワップ機能を有効にする場合は、BTPRビットに1を設定してください。

38.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順

起動したコード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサのコマンドを終了する場合、以下に示す終了判定手順を実行します。

- コード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順
 - ① コード／データ・フラッシュ領域シーケンサのコマンド起動後、FSASTHレジスタのSQENDフラグがセットされるまで待ちます。
 - ② FSASTHレジスタのSQENDフラグのセット確認後、FSSQレジスタのSQSTビットをクリアします。
 - ③ FSASTHレジスタのSQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。
- エクストラ領域シーケンサのコマンドの終了判定手順
 - ① エクストラ領域シーケンサのコマンド起動後、FSASTHレジスタのESQENDフラグセットされるまで待ちます。
 - ② FSASTHレジスタのESQENDフラグのセット確認後、FSSEレジスタのESQSTビットをクリアします。
 - ③ FSASTHレジスタのESQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

38.6.6.10 コード／データ・フラッシュ領域シーケンサのコマンドの強制終了手順

コード／データ・フラッシュ領域シーケンサのコマンド実行中にコマンドを強制停止することができます。ただし、エクストラ領域シーケンサのコマンド実行中は、コマンドを強制終了することができません。

<強制終了手順>

- ① コード／データ・フラッシュ領域シーケンサのコマンド起動後から②のFSSQレジスタのSQSTビットをクリアする前までに、FSSQレジスタのFSSTPビットに1を設定します。
- ② FSASTHレジスタのSQENDフラグのセット確認後、FSSQレジスタのSQSTビットとFSSTPビットをクリアします。
- ③ FSASTHレジスタのSQENDフラグが自動的にクリアされるまで待ち、クリアされたら強制終了が完了します。

38.6.7 コード・フラッシュ・プログラミング・モード中の割り込み

38.6.7.1 概要

割り込みが発生すると ROM 上の割り込みベクタを参照し、割り込みベクタ（16 ビット）で分岐可能な 64 KB までの ROM 空間に配置されている割り込み処理へ分岐して、割り込みを実行します。しかし、コード・フラッシュやエクストラ領域の書き換えが可能なコード・フラッシュ・プログラミング・モードでは、ROM を参照できないため、割り込み処理を実行することができません。

ただし、割り込み分岐先を変更することで、ROM を参照できない場合でも、ROM 上の割り込みベクタ、および ROM 上の割り込み処理を使用せず、すべての割り込みの分岐先を RAM 上の指定アドレスへ変更し、RAM 上で割り込み処理を実行することが可能です。

また、バンク・プログラミング・モード時は、起動バンクに配置されているコードを参照可能です。

38.6.7.2 割り込み分岐先を変更した場合の動作

割り込み分岐先の変更は、割り込みベクタ変更レジスタ 1, 0（FLSIVC1, FLSIVC0）と割り込みベクタ移動許可レジスタ（VECTCTRL）を設定することで、すべての割り込みを RAM 上のアドレスへ分岐するように変更できます。この操作により、コード・フラッシュ・プログラミング・モード中に割り込みが発生した場合でも、ROM 上の割り込みベクタを参照せずに、RAM 上の割り込み処理を実行することが可能です。

FLSIVC1, FLSIVC0 レジスタは、コード・フラッシュやエクストラ領域を書き換え中に発生したすべての割り込み機能の飛び先のアドレスを指定するレジスタです。FLSIVC0 レジスタにはアドレスの下位 16 ビットを、FLSIVC1 レジスタには上位 4 ビットを設定します。

セルフ・プログラミング実行中に発生した割り込みの分岐先制御の設定を以下に示します。

- ROM 上のベクタ・アドレスへ分岐する場合 : VECTCTRL = 0 または FLPMC レジスタの FWEDIS = 1
- RAM アドレスへ分岐する場合 : VECTCTRL = 1（FLPMC レジスタの FWEDIS = 0 の状態）

注意1. 割り込みの種類はユーザ側で割り込みフラグにより確認する必要があります。また、VECTCTRL レジスタ設定後は、割り込みフラグは自動的にクリアされません。

注意2. 割り込み変更先をROM側に設定することは出来ません。

注意3. VECTCTRL レジスタで変更した割り込みの分岐先はセルフ・プログラミング実行中のみ有効です。

注意4. 割り込みの分岐先をRAMに変更する場合は、割り込み禁止にしてください。

38.6.7.3 割り込み分岐先を変更する場合の操作

RAM上の割り込み処理を指定するためには、フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) の FWEDIS ビットに 0 を設定した状態で、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを更新します。特定シーケンスを実行して、FLPMC レジスタの FWEDIS ビットを操作し、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを設定して、割り込み分岐先を RAM のアドレスに変更します。

<割り込み分岐先を RAM アドレスへ変更する場合>

すべての割り込みの分岐先を RAM 上の指定アドレスへ変更する場合の操作方法を以下に示します。

- ① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
- ② 特定シーケンスを実行し、FLPMC レジスタの FWEDIS ビットに 0 を設定します。
 1. PFCMD レジスタに A5H を書き込む
 2. FLPMC レジスタに 00H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
 3. FLPMC レジスタに FFH を書き込む (00H の反転値)
 4. FLPMC レジスタに 00H を書き込む (EEEMD = 0, FWEDIS = 0, FLSPM = 0)
- ③ FLSIVC1, FLSIVC0 レジスタに RAM アドレスを指定します。
- ④ VECTCTRL レジスタに 01H を設定し、割り込みを RAM アドレスへ分岐する設定にします。
- ⑤ 退避していた割り込み許可／禁止の設定を復帰します。

注意1. RAM上の割り込み処理を指定している間は、FWEDIS = 0のままにしてください。

注意2. 割り込みの分岐先を saddr 空間 (FFE20H-FFEFFH) に設定しないでください。

注意3. RAM 領域から命令を実行し、RAM パリティ・エラー・リセット発生を許可する (RPERDIS = 0) 場合、「使用する RAM 領域 + 10 バイト」の領域を初期化してください。

<割り込み分岐先を RAM アドレスから ROM 上のベクタへ戻す場合>

割り込みの分岐先を ROM 上の割り込みベクタが示すアドレスへ戻す場合 (初期状態) の操作方法を以下に示します。

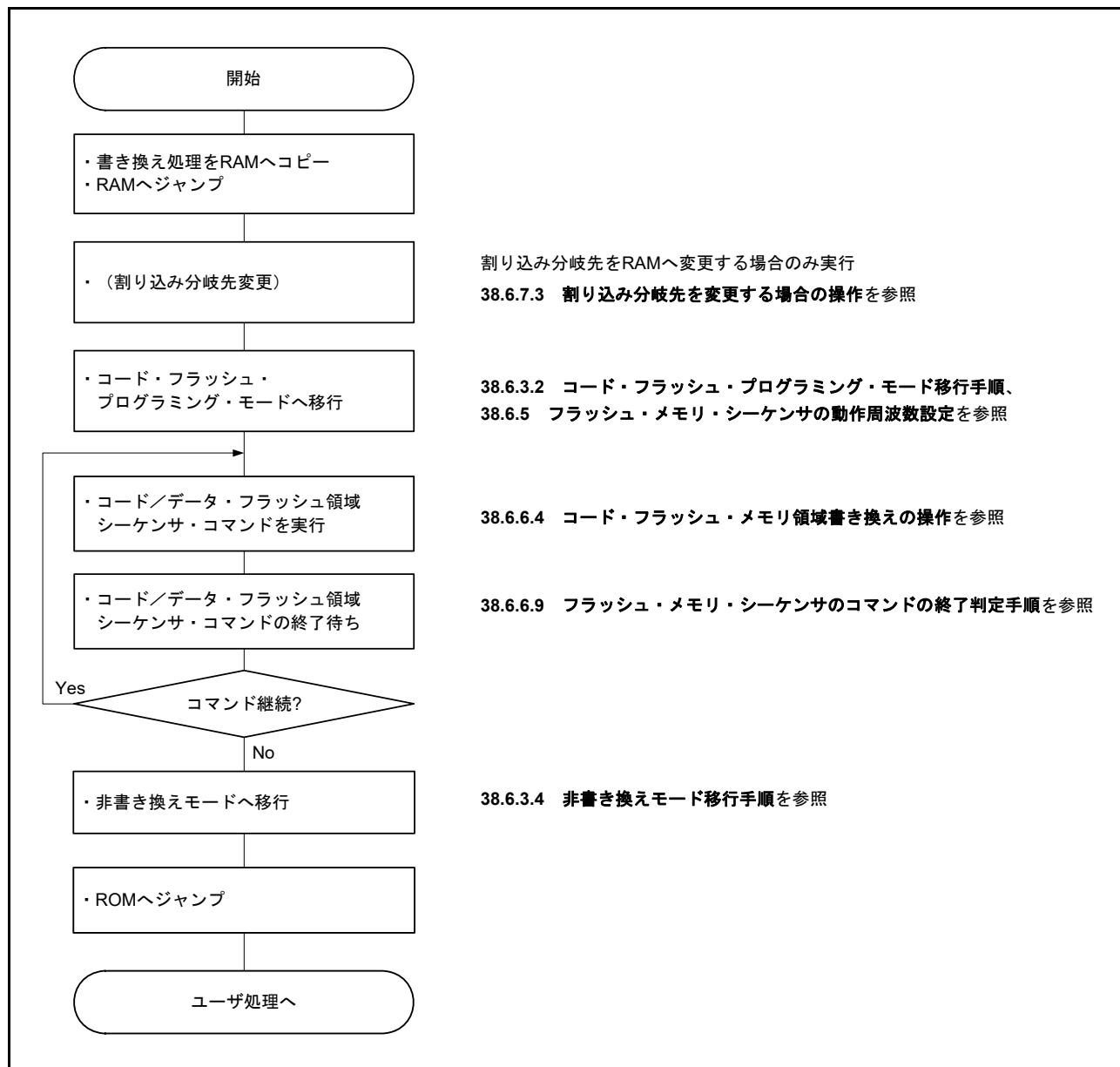
- ① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
- ② 特定シーケンスを実行し、FLPMC レジスタの FWEDIS ビットに 1 を設定します。
 1. PFCMD レジスタに A5H を書き込む
 2. FLPMC レジスタに 08H を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
 3. FLPMC レジスタに F7H を書き込む (08H の反転値)
 4. FLPMC レジスタに 08H を書き込む (EEEMD = 0, FWEDIS = 1, FLSPM = 0)
- ③ VECTCTRL レジスタに 00H を設定し、割り込みを ROM 上のベクタ・アドレスへ分岐する設定にします。
- ④ 退避していた割り込み許可／禁止の設定を復帰します。

38.6.8 フラッシュ・メモリ領域書き換え時のコマンドの実行例

38.6.8.1 コード・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 38 - 27 にコード・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

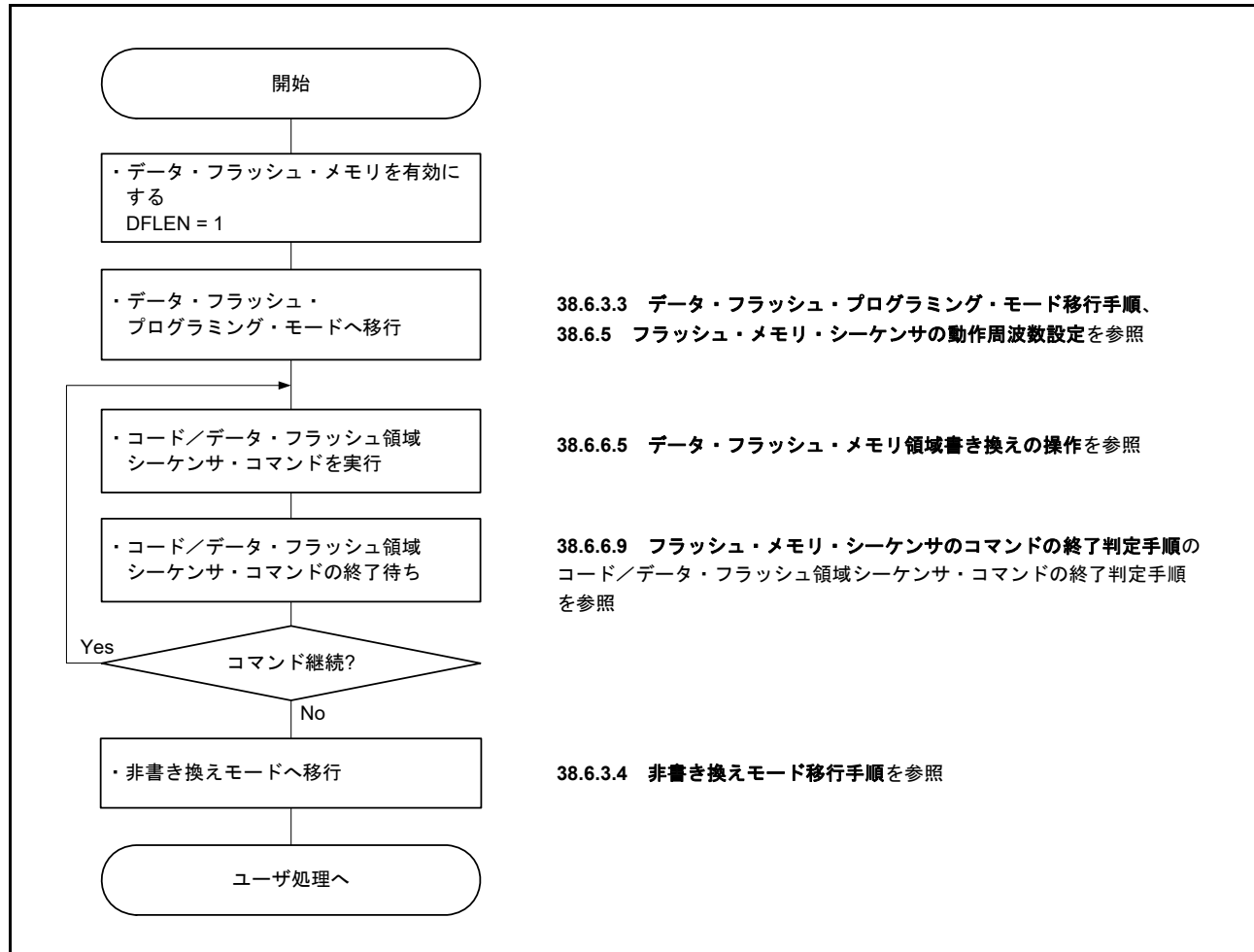
図38 - 27 コード・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



38.6.8.2 データ・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 38 - 28 にデータ・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

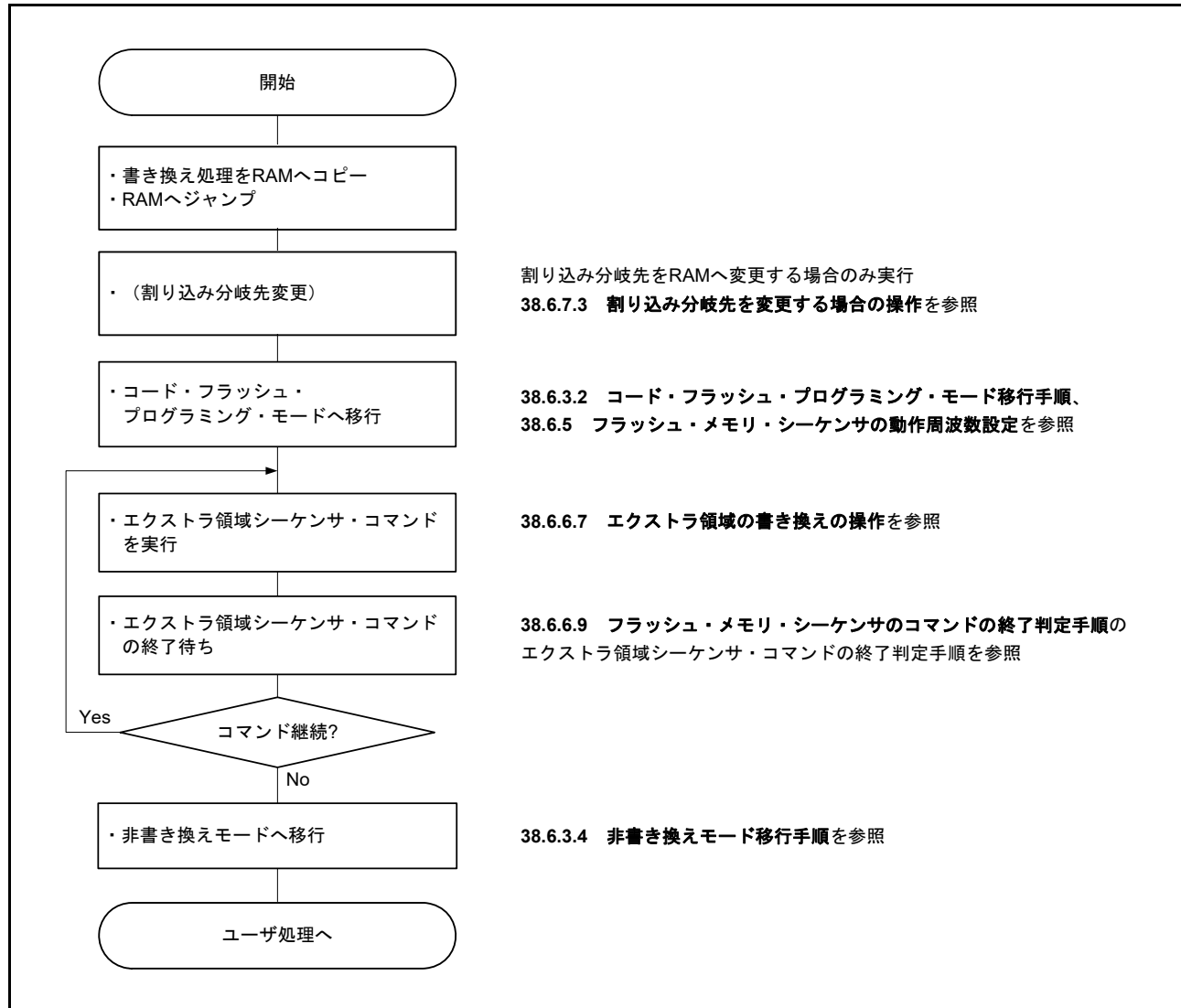
図 38 - 28 データ・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



38.6.8.3 エクストラ領域書き換え時のコマンド実行例

図 38 - 29 にエクストラ領域書き換え時のコマンド実行フローを示します。

図 38 - 29 エクストラ領域書き換え時のコマンド実行フロー



38.6.9 セルフ・プログラミング時の注意事項

- (1) コード・フラッシュ・メモリ／エクストラ領域の書き換え操作
コード・フラッシュ・メモリ／エクストラ領域を書き換える場合はRAMに配置してください。
- (2) データ・フラッシュ・メモリ領域を操作する場合の前提条件
データ・フラッシュ・メモリ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLEN = 1（データ・フラッシュ・メモリのアクセス許可）に設定してください。
- (3) フラッシュ・メモリ書き換え操作中のプログラム実行
セルフ・プログラミングはフラッシュ・メモリ・シーケンサを使用し、フラッシュ・メモリの書き換えを制御します。
フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは、操作対象のフラッシュ・メモリは参照できなくなります。
 - コード・フラッシュ・プログラミング・モードでは、コード・フラッシュ・メモリを参照することができません。コード・フラッシュ・プログラミング・モード中に実行するROM（コード・フラッシュ・メモリ）上のユーザ・プログラム、および参照データは、事前にRAMへコピーして、RAM上で実行、参照してください。
 - データ・フラッシュ・プログラミング・モードでは、データ・フラッシュ・メモリを参照することができません。データ・フラッシュ・プログラミング・モード中に参照するデータは、事前にRAMへコピーして、RAM上で参照してください。
- (4) 使用不可領域の範囲の指定
ブランク・チェックおよびブロック消去の範囲の指定は、コード・フラッシュ・メモリ領域の範囲内またはデータ・フラッシュ・メモリ領域を範囲内で指定してください。使用不可領域を指定したり、使用不可領域を含めてコード・フラッシュ・メモリ領域とデータ・フラッシュ・メモリ領域の両方を指定したりしないでください。
- (5) コード・フラッシュ・メモリ領域の範囲の指定
コード・フラッシュ・メモリ領域が256 Kバイトまたは512 Kバイトの製品でブランク・チェックまたはブロック消去を行う場合は、表38 - 13の指定範囲①と②をまたいだ範囲を指定しないでください。指定範囲①と②をまたいだ範囲をブランク・チェックまたはブロック消去を行う場合は、指定範囲①と②で2回に分けて実行してください。

表38 - 13 ブランク・チェックまたはブロック消去範囲

コード・フラッシュ・メモリ・サイズ	指定範囲	ブランク・チェックの範囲 ^{注1}	ブロック消去の範囲 ^{注2}
256 Kバイト	0 KB < ① ≤ 128 KB	00000H-1FFFFH	000H-03FH
	128 KB < ② ≤ 256 KB	20000H-3FFFFH	040H-07FH
512 Kバイト	0 KB < ① ≤ 256 KB	00000H-3FFFFH	000H-07FH
	256 KB < ② ≤ 512 KB	40000H-7FFFFH	080H-0FFH

注1. 一度のブランク・チェックで指定可能なアドレスの範囲となります。

注2. 一度のブロック消去で指定可能なブロック番号の範囲となります。

38.7 ブート・スワップ機能

ブート領域は、アドレス 00000H から始まるブート・クラスタ・サイズで示されるサイズを持つ領域、ベクタ・テーブル領域、CALLT テーブル領域、オプション・バイト領域^{注1}、オンチップ・デバッグ・セキュリティ ID およびプログラマ接続 ID の設定領域^{注2}、プログラム領域で構成されています。これらの領域には、プログラムのスタートに必要な設定やオンチップ・デバッグおよびプログラマとの接続に必要な情報が格納されています。

したがって、セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

ブート領域がブート・クラスタ 0 に設定されている場合、セルフ・プログラミングにてブート・クラスタ 0 の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ 1 に書き込んでおきます^{注3}。ブート・クラスタ 1 への書き込みの正常終了後、セルフ・プログラミングでブート領域をブート・クラスタ 0 からブート・クラスタ 1 に変更^{注4}し、ブート・クラスタ 1 をブート領域にします。このあと、ブート・クラスタ 0 へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、ブート・クラスタ 1 からブートを行うため、正常にプログラムが動作します。

ブート・クラスタ・サイズは、BTBLS ビットによって変化します。品名によって選択できるサイズが異なります。詳細は、**38.11 ブート・クラスタ・サイズ/バンク・スワップ設定**を参照してください。

注1. オプション・バイト領域の各ビットの機能は、リセットが発生するまで反映されません。オプション・バイト領域の変更を反映する場合は、ブート・スワップ後にリセットを実行してください。

注2. オンチップ・デバッグ・セキュリティ ID およびプログラマ接続 ID の設定領域には、ブート・クラスタ 0 とブート・クラスタ 1 で同じ値を設定してください。

注3. 新ブート・プログラムには、**表 38 - 14 メモリ空間中の上位側に配置されているブート・クラスタの開始アドレス**で示されるクラスタの開始アドレスに対し、**表 38 - 15 ブート・クラスタ内の設定データ**で示すデータを各オフセットアドレスに設定してください。

注4. ブート領域の変更には、エクストラ領域中のセキュリティ・フラグとブート・スワップ機能とバンク・スワップ機能の設定領域に配置されている BTFLG ビット、または FSSET レジスタの TMSPPMD ビットおよび TMBTSEL ビットを用いて行います。

次にブート・クラスタ・サイズとして 16 KB (BTBLS = 03H) を選択している場合に設定するアドレスの例を示します。ブート・クラスタ・サイズが 16 K バイトの場合は、04000H-0407FH (128 バイト) にはベクタ・テーブル領域、04080H-040BFH (64 バイト) には CALLT テーブル、040C0H-040C3H (4 バイト) にはオプション・バイト領域、040C4H-040CDH (10 バイト) にはオンチップ・デバッグ・セキュリティ ID 設定領域を設定してください。

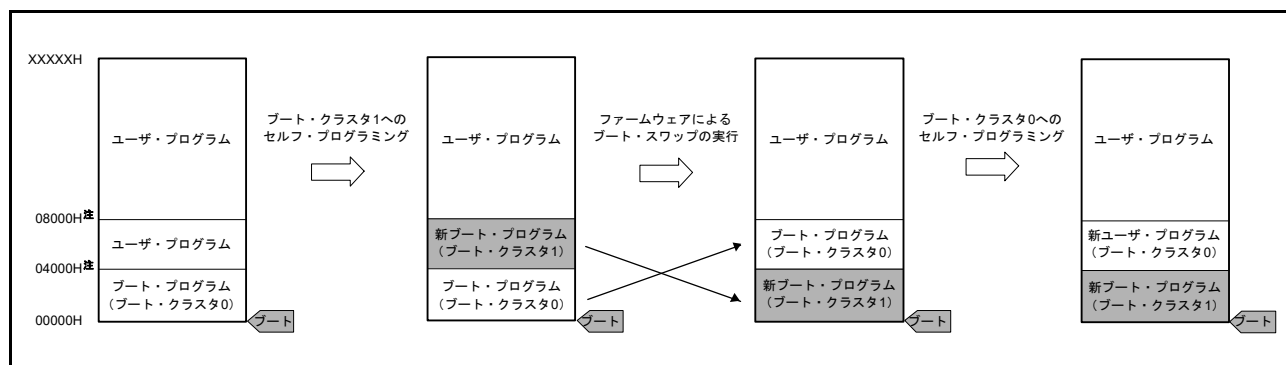
表38 - 14 メモリ空間中の上位側に配置されているブート・クラスタの開始アドレス

BTBLS	ブート・クラスタ・サイズ	メモリ空間中の上位側に配置されているクラスタの開始アドレス
00H	2 KB	00800H
01H	4 KB	01000H
02H	8 KB	02000H
03H	16 KB	04000H
04H	32 KB	08000H
05H	64 KB	10000H
06H	128 KB	20000H

表38 - 15 ブート・クラスタ内の設定データ

オフセットアドレス	サイズ	設定データ
00000H-0007FH	128バイト	ベクタ・テーブル領域
00080H-000BFH	64バイト	CALLTテーブル
000C0H-000C3H	4バイト	オプション・バイト領域
000C4H-000CDH	10バイト	オンチップ・デバッグ・セキュリティ IDおよびプログラマ接続IDの設定領域

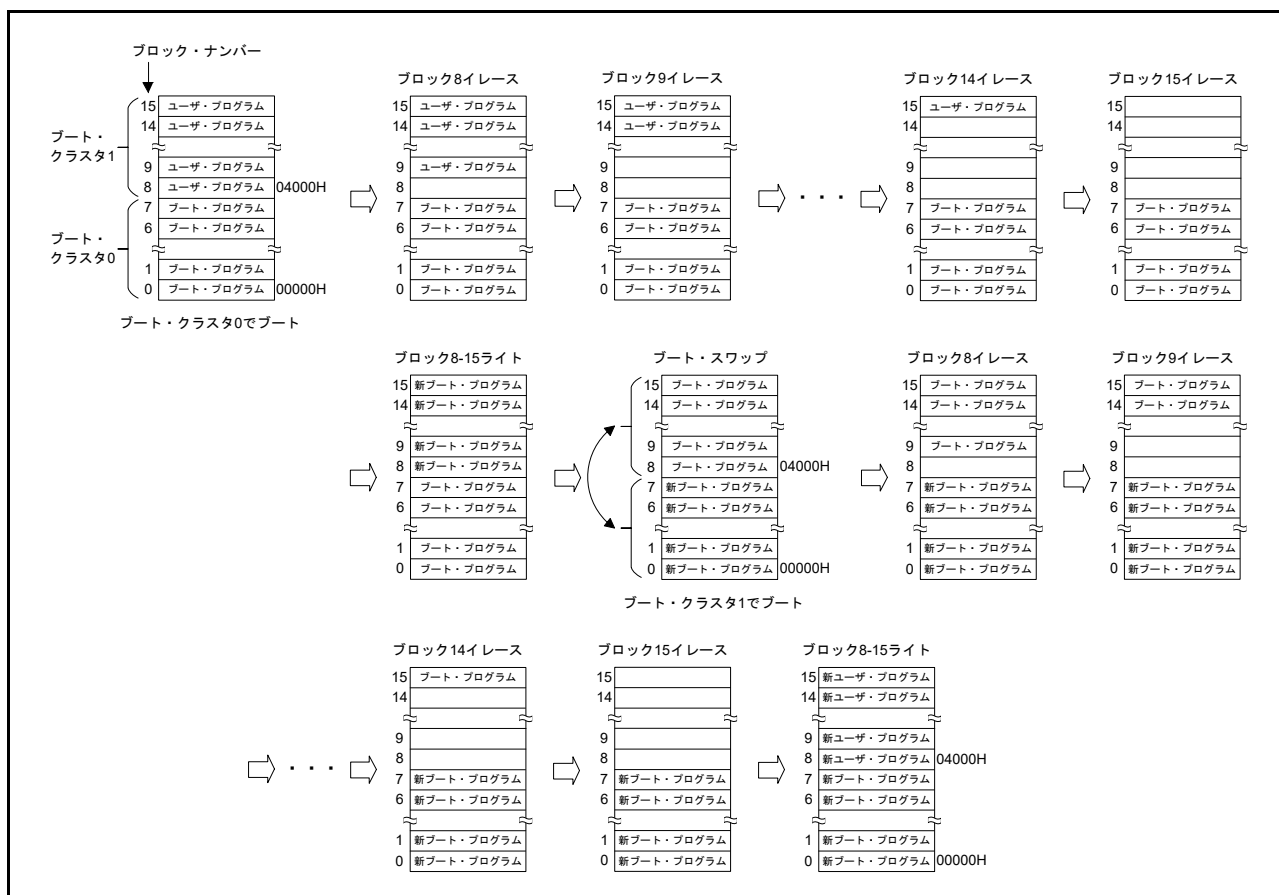
図38 - 30 ブート・スワップ機能



注 図中の各ブート・クラスタのアドレスはブート・クラスタ・サイズが16 KBの場合のものです。ブート・クラスタ・サイズは、BTBLS ビットの値によって変化します。詳細は、**38.11 ブート・クラスタ・サイズ/バンク・スワップ設定**を参照してください。

備考 ブート・クラスタ0：ブート・スワップ前のブート領域
ブート・クラスタ1：ブート・スワップ後のブート領域

図38-31 ブート・スワップの実行例注



注 ブート・クラスタ・サイズが16 KBの場合の例となります。ブート・クラスタ0、およびブート・クラスタ1に含まれるブロック数と開始アドレスは、ブート・クラスタ・サイズによって変化します。詳細は、**38.11 ブート・クラスタ・サイズ／バンク・スワップ設定**を参照してください。

38.8 バンク・プログラミング機能

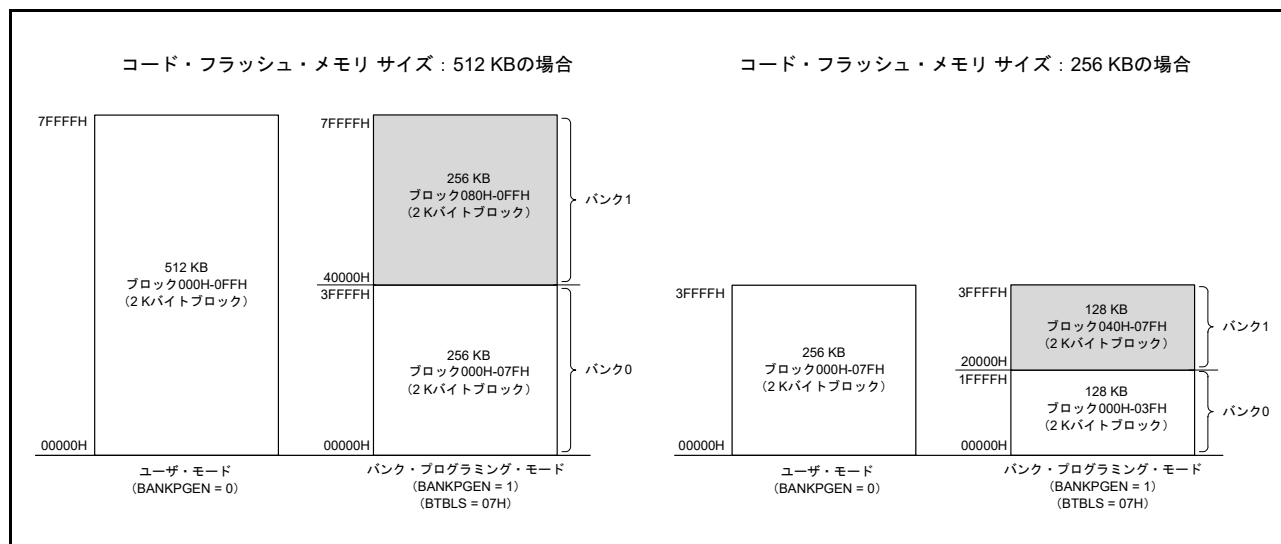
バンク・プログラミング機能により、ユーザ・プログラムを実行しながらプログラムを更新できます。

38.8.1 バンク・モード切り替え機能

バンク・モード切り替え機能により、コード・フラッシュ・メモリのユーザ領域を1つの領域として扱うユーザ・モードと、2つのバンク領域に分け片方のバンク領域でユーザ・プログラムを実行しながらもう片方のバンク領域のプログラム更新するバンク・プログラミング・モードに切り替えることができます。図 38 - 32 にバンク・モード切り替え機能を示します。フラッシュ動作モード選択レジスタ (FLMODE) の BANKPGEN ビットの値を設定することで、バンク・モードが決定します。バンク・プログラミング・モードを選択するとバンク・プログラミング機能が有効になります。

バンク・プログラミング・モード時のバンク・サイズは、フラッシュ・メモリ・プログラマによるシリアル・プログラミングによって BTBLS ビットに 07H を設定してください。詳細は、38.11 ブート・クラスタ・サイズ/バンク・スワップ設定を参照してください。

図 38 - 32 バンク・モード切り替え機能

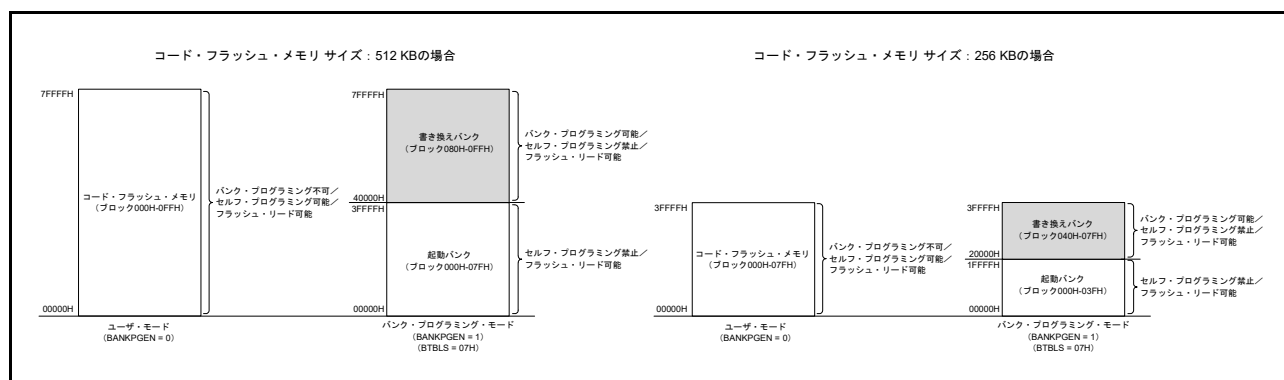


38.8.2 バンク・プログラミング機能

バンク・プログラミング機能により、バンク・プログラミング・モード選択時（BANKPGEN = 1）は、起動バンク側でユーザ・プログラムを実行しながら書き換えバンク側の更新（消去／書き込み／ベリファイ）、またはコード・フラッシュ・メモリ全領域の読み出しが可能です。バンク・プログラミング・モード状態（BANKPGEN = 1）で、FLPMC レジスタの FLSPM ビットに 1 を設定することにより、コード・フラッシュ・メモリ中の起動バンク領域は非書き換えモード、書き換えバンク領域はプログラミング・モードとなります。この状態では、起動バンクは読み出し、書き換えバンクは更新（消去／書き込み／ベリファイ）が可能となります。FLPMC レジスタの FLSPM ビットが 0 の状態では、コード・フラッシュ・メモリ全領域が非書き換えモードであり、起動バンクと書き換えバンクは読み出しが可能です。バンク・プログラミング・モード時、セルフ・プログラミングは禁止です。

ユーザ・モード選択時（BANKPGEN = 0）は、バンク・プログラミング機能は使用できません。

図 38-33 バンク・プログラミング機能



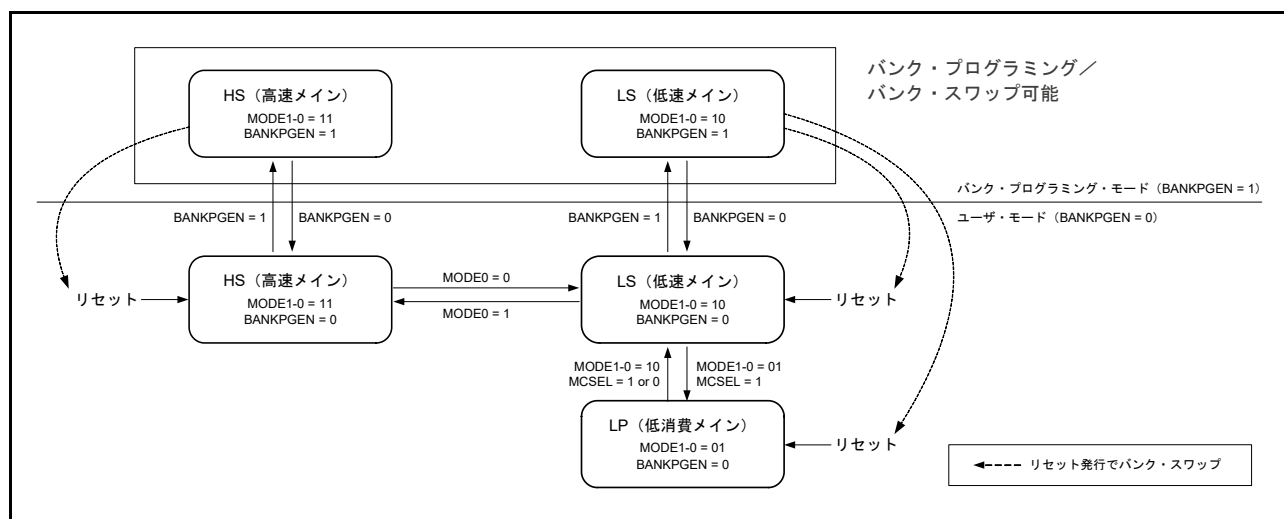
注意 バンク・プログラミングは、HS（高速メイン）モード、またはLS（低速メイン）モードにおいて電圧検出回路（LVD）で VDD 電圧を確認し、VDD ≥ 2.2 Vにて実施してください。

LP（低消費メイン）モードのバンク・プログラミングは禁止です。

LP（低消費メイン）モード時は、LS（低速メイン）モードへ遷移後、バンク・プログラミングとバンク・スワップを実行することが可能です。

図 38-34 にバンク・プログラミング・モード時のフラッシュ動作モード遷移を示します。

図 38-34 バンク・プログラミング時のフラッシュ状態遷移図



注意 バンク・プログラミングとデータ・フラッシュのバックグラウンド・オペレーション（BGO）との同時利用はできません。

38.8.3 バンク・スワップ機能

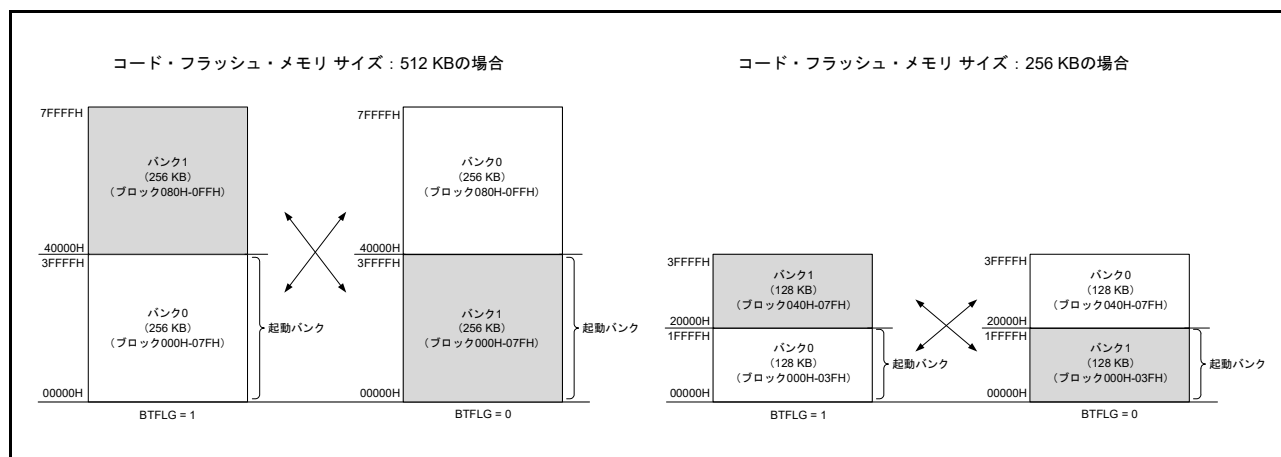
バンク・プログラミング・モード (BANKPGEN = 1) でプログラムを更新する際に、リセットなどによる書き換え動作の中断に対して安全にプログラム更新する機能としてバンク・スワップ機能があります。

図 38 - 35 にバンク・スワップ機能を示します。バンク・プログラミング・モード (BANKPGEN = 1) でプログラム更新したあと、ユーザ・モード (BANKPGEN = 0) にモード遷移し、フラッシュの BTFLG ビットの値を反転してからバンク・スワップ機能を使用することで、バンク 0 とバンク 1 のアドレスが切り替わり、更新した領域からプログラム起動を行います。

バンク・スワップ機能の操作には、「アクティブ・バンク・スワップを実行」する方法と「リセット後にバンク・スワップを実行」する方法があります。

注意 BTFLG ビットの書き換えは、バンク・プログラミング・モード (BANKPGEN = 1) では実施できません。
必ずユーザ・モード (BANKPGEN = 0) で実施してください。

図 38 - 35 バンク・スワップ機能 (ユーザ・モード/バンク・プログラミング・モード)



38.8.4 フラッシュ動作モード選択レジスタ（FLMODE）

FLMODE レジスタは、フラッシュ動作モードを制御する 8 ビットのレジスタです。

FLMODE レジスタは、1 ビット・メモリ操作命令、または 8 ビット・メモリ操作命令で設定します。ただし、フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）の FLMWEN が 0 のとき、値を変更することはできません。

リセット発生により、MODE1, MODE0 はオプション・バイトの CMODE1, MODE0（アドレス：000C2H）に設定した値が反映されます。

図38 - 36 フラッシュ動作モード選択レジスタ（FLMODE）のフォーマット

アドレス : F00AAH

リセット時: 00H/80H/C0H^{注1}

R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	<1>	0
FLMODE	MODE1	MODE0	0	0	0	0	BANKPGEN	0
	BANKPGEN ユーザ・モード/バンク・プログラミング・モード切り替え ^{注2}							
	0 ユーザ・モード（バンク・プログラミングは不可）							
	1 バンク・プログラミング・モード（バンク・プログラミングは可） ^{注3,4}							

注1. FLMODE レジスタの初期値は、MODE1 ビット、MODE0 ビットにオプション・バイトの CMODE1 ビット、CMODE0 ビット（アドレス：000C2H）の設定値が反映された値になります。

注2. 非書き換えモード（FLPMC レジスタの EEEMD ビットおよび FLSPM ビットが 0 の状態）で変更してください。

注3. BANKPGEN ビットを設定するには、BTBLS ビットがバンク・スワップに設定されている必要があります。詳細は、38.11 ブート・クラスタ・サイズ/バンク・スワップ設定を参照してください。

注4. バンク・プログラミング・モード時には、エクストラ領域に書き込みは行えません。エクストラ領域を書き換える際には、必ず BANKPGEN ビットに 0 を設定してください。

注意1. FLMODE レジスタは、フラッシュ動作モードプロテクトレジスタ（FLMWRP）の FLMWEN ビットが 1 のとき、値を変更できます。また、FLMODE レジスタの値を変更した後は FLMWEN ビットを 0 に設定してください。BANKPGEN ビットの書き込み前に、FLMWEN を 1 に設定してください。

注意2. FLMODE レジスタの書き換えは、FLMODE レジスタの書き換え後、CPU/周辺ハードウェア・クロック（fCLK）で 1 クロック以上間を空けてから書き込みを行ってください。FLMODE レジスタへの連続書き込みはしないでください。

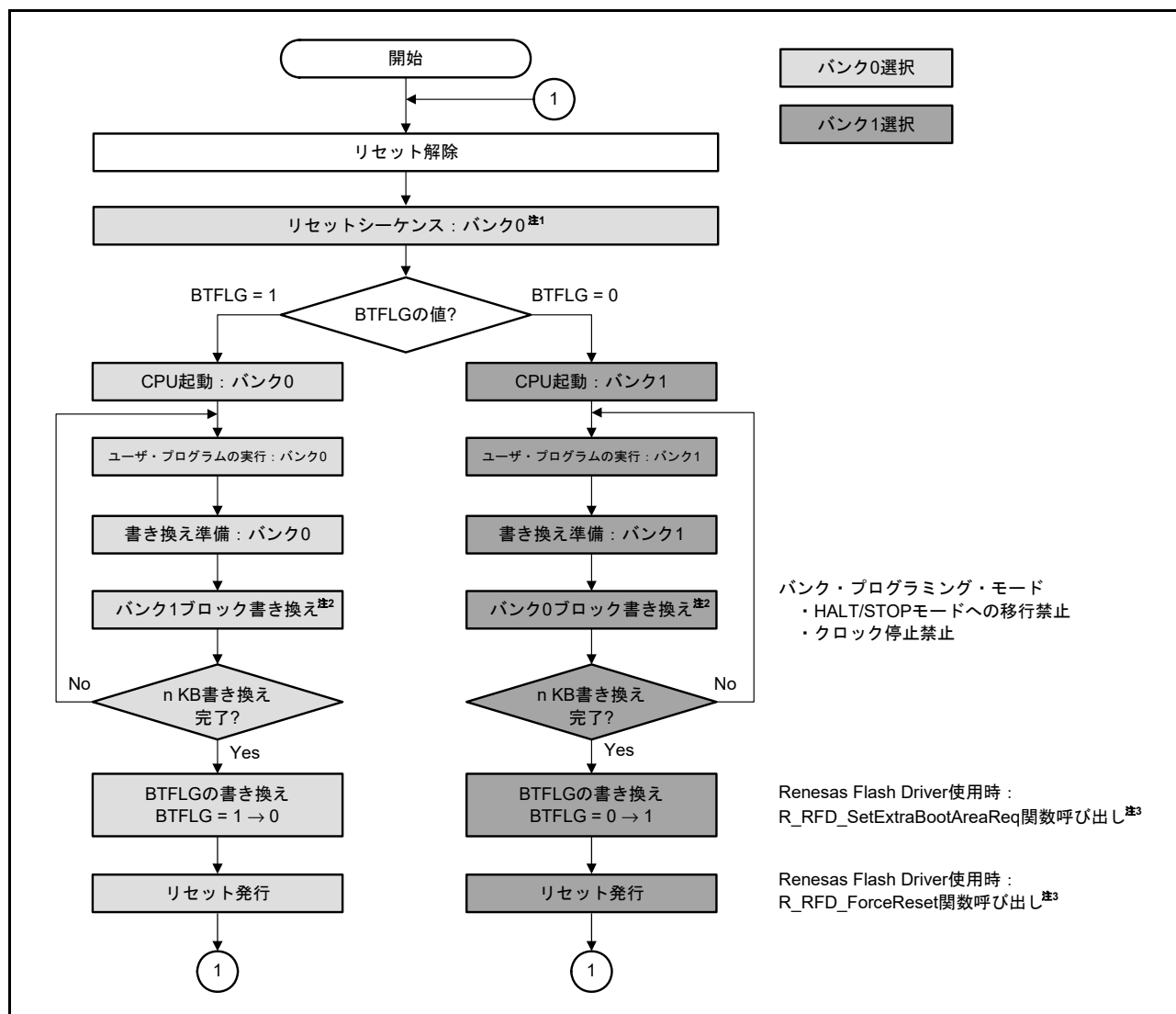
注意3. フラッシュ・メモリの書き換え中に FLMODE レジスタは変更しないでください。

注意4. FLMODE レジスタの書き換えは、SMS 停止状態（SMSSTART ビットが 0、または SMSSTAT ビットが 0 かつ SMSTRGWAIT ビットが 1）のときに行ってください。

38.8.5 プログラム更新手順

バンク・プログラミング機能とバンク・スワップ機能を使用し、ユーザ・プログラムを実行しながらプログラムの更新を行う流れを示します。

図38-37 プログラム書き換え手順（リセット後にバンク・スワップを実行）



注1. オプション・バイトはバンク0の値を読み出すため、バンク0とバンク1のオプション・バイト領域とオンチップ・デバッグ・セキュリティ ID 設定領域は同じ値を設定してください。

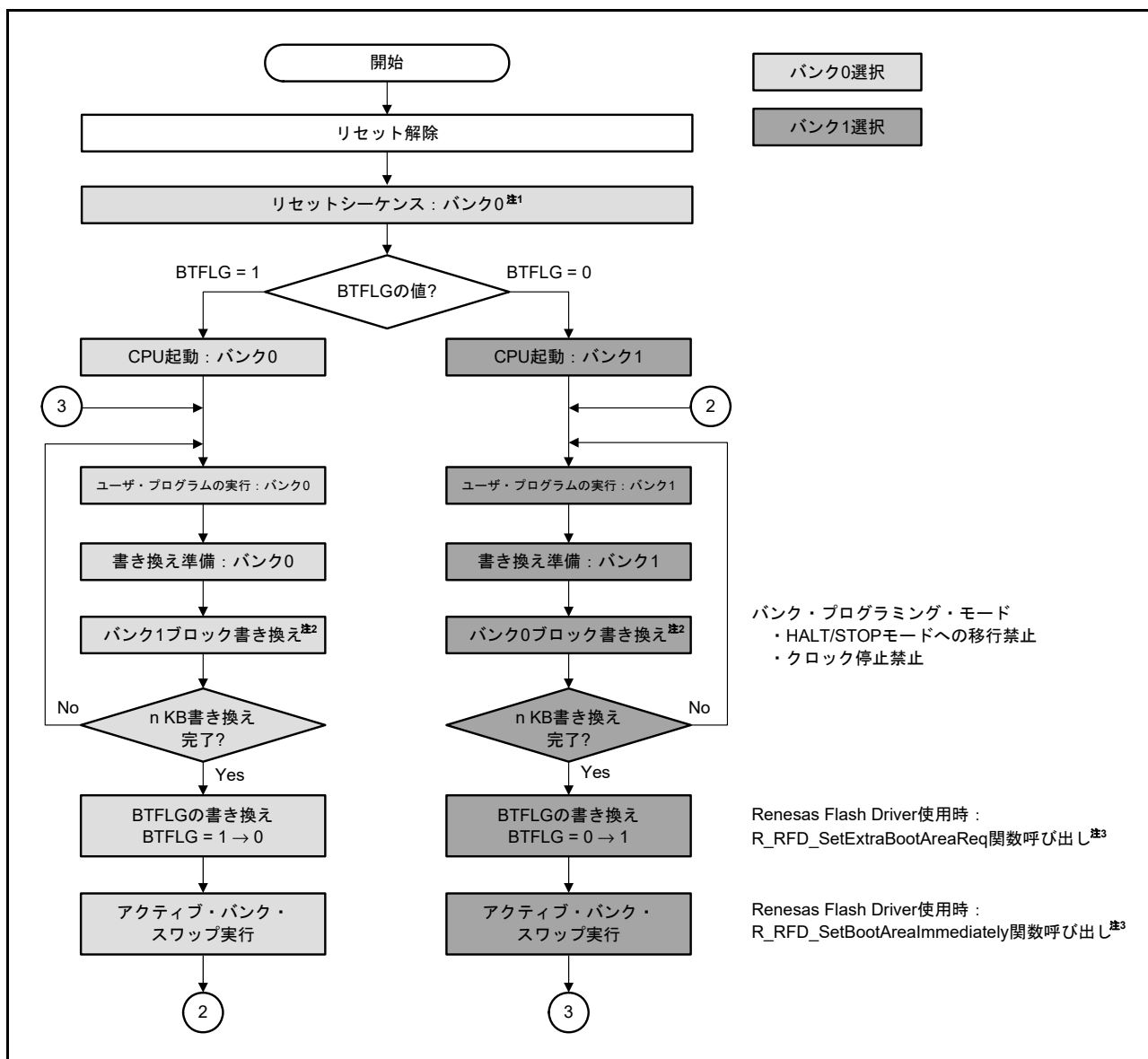
注2. 書き換えバンクがプログラミング・モード（FLPMC レジスタの FLSPM = 1）となっている間は、書き換えバンクを読み出すことはできません。書き換えバンクがプログラミング・モードとなっている状態で、書き換えバンクへアクセスを行うことは禁止です。

注3. フラッシュ関数の詳細は、RL78 ファミリ Renesas Flash Driver RL78 Type11 ユーザーズマニュアル（R20UT5539JJ）を参照してください。

注意 起動バンクにバンク1を選択したとき（BANKPGEN = 1, BTFLG = 0）、オプション・バイト領域があるブロック（コード・フラッシュ・メモリ・サイズが512 KB 製品の場合：ブロック 080H（40000H-407FFH）、コード・フラッシュ・メモリ・サイズが256 KB 製品の場合：ブロック 040H（20000H-207FFH））の書き換えは禁止です。

バンク0書き換え中に、電源の遮断、外部要因によるリセット発生などにより書き換えが失敗した場合、その後のリセットシーケンスでバンク0の破壊されたオプション・バイトを読み出す事になるため、正しく起動することができません。

図38-38 プログラム書き換え手順（アクティブ・バンク・スワップを実行）



- 注1.** オプション・バイトはバンク0の値を読み出すため、バンク0とバンク1のオプション・バイト領域とオンチップ・デバッグ・セキュリティID設定領域は同じ値を設定してください。
- 注2.** 書き換えバンクがプログラミング・モード（FLPMCレジスタのFLSPM = 1）となっている間は、書き換えバンクを読み出すことはできません。書き換えバンクがプログラミング・モードとなっている状態で、書き換えバンクへアクセスを行うことは禁止です。
- 注3.** フラッシュ関数の詳細は、RL78ファミリ Renesas Flash Driver RL78 Type11 ユーザーズマニュアル（R20UT5539JJ）を参照してください。

注意 起動バンクにバンク1を選択したとき（BANKPGEN = 1, BTFLG = 0）、オプション・バイト領域があるブロック（コード・フラッシュ・メモリ・サイズが512 KB製品の場合：ブロック080H（40000H-407FFH）、コード・フラッシュ・メモリ・サイズが256 KB製品の場合：ブロック040H（20000H-207FFH））の書き換えは禁止です。

バンク0書き換え中に、電源の遮断、外部要因によるリセット発生などにより書き換えが失敗した場合、その後のリセットシーケンスでバンク0の破壊されたオプション・バイトを読み出す事になるため、正しく起動することができません。

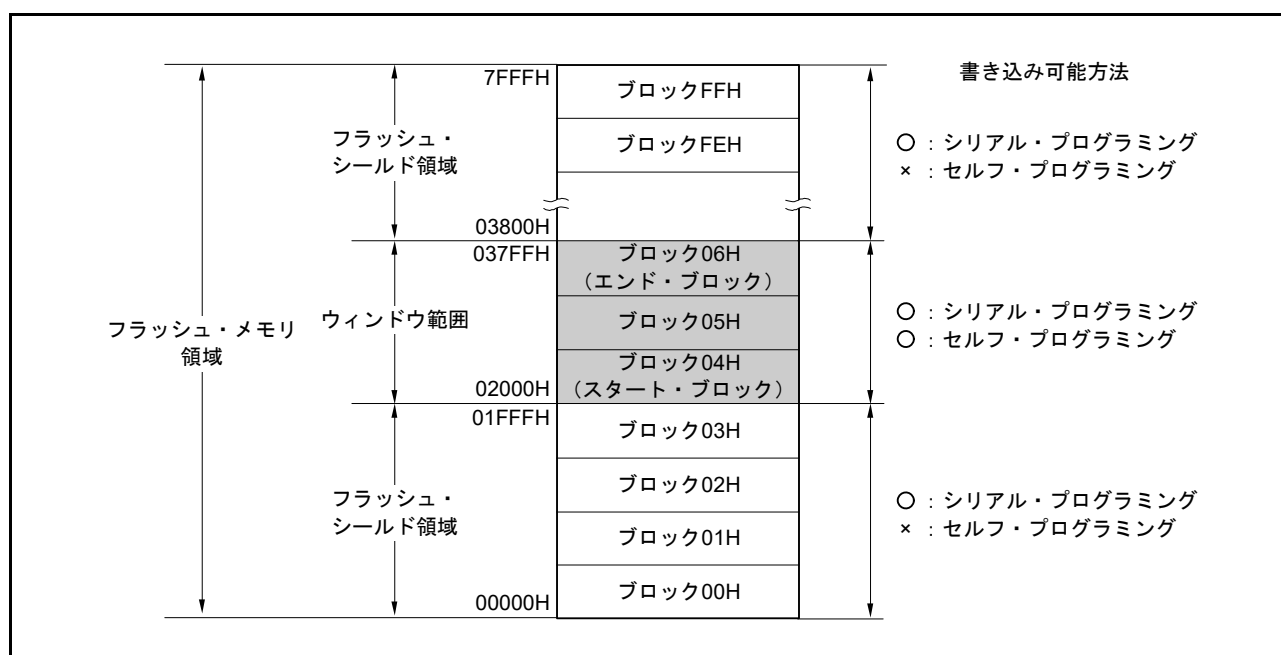
38.9 フラッシュ・シールド・ウィンドウ機能

フラッシュ・シールド・ウィンドウ機能は、指定したフラッシュ・シールド領域の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

フラッシュ・シールド領域は指定したウィンドウ範囲内または範囲外を設定できます。ウィンドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。フラッシュ・シールド領域は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

フラッシュ・シールド領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはフラッシュ・シールド領域も書き込み／消去可能です。

図38-39 フラッシュ・シールド・ウィンドウの設定例
(対象デバイス：R7F100LPL、先頭ブロック：04H、終了ブロック：06H、FSWC：1の場合)



注意1. フラッシュ・シールド・ウィンドウのウィンドウ範囲内にブート領域の書き換え禁止領域が重なる場合は、ブート領域の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウィンドウはコード・フラッシュ・メモリのみ設定可能です（データ・フラッシュ・メモリは対応していません）。

表38-16 フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウィンドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セルフ・プログラミングでフラッシュ・シールド・ウィンドウの設定領域に、ウィンドウのスタート・ブロックのブロック番号、エンド・ブロック+1のブロック番号（エンド・ブロックの次のブロック番号）を指定する	フラッシュ・シールド領域内はブロック消去できない	フラッシュ・シールド領域内は書き込みできない
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウィンドウのスタート・ブロック、エンド・ブロックを指定する	フラッシュ・シールド領域内もブロック消去可能	フラッシュ・シールド領域内も書き込み可能

38.10 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

シリアル・プログラミングまたはセルフ・プログラミングで、次の操作をすることができます。

- **ブロック消去禁止**

シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- **書き込み禁止**

シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。

- **ブート・クラスタ・サイズまたはバンク・スワップ設定（BTBLS ビット）の変更禁止**

ブート・スワップ機能またはバンク・スワップ機能を使用する際に設定する BTBLS ビットの書き換えを禁止にします。

ブート・クラスタ・サイズまたはバンク・スワップ設定（BTBLS ビット）の変更禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。

- **ブート領域の書き換え禁止**

コード・フラッシュ・メモリ内のブート領域（00000H-03FFFFH）^{注1}に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

- **プログラマ・オンチップ・デバッグ接続禁止**

専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッグとの接続を禁止にします。

専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッグによるフラッシュ・メモリの操作はできません。

- **プログラマ接続ID認証の有効化**

専用フラッシュ・メモリ・プログラマとの接続時に10バイトの任意のIDコードとの認証を有効にします。

10バイトのIDの領域は000C4H-000CDH^{注2}です。シリアル・プログラミングでIDが一致しない場合は、

専用フラッシュ・メモリ・プログラマでフラッシュ・メモリの操作はできません。

出荷時の初期状態では、ブロック消去／書き込み／ブート領域の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表 38-17 に RL78 マイクロコントローラのセキュリティ機能を有効にした場合の消去、書き込みコマンドの関係を示します。

注1. ブート領域が16 KBの場合です。ブート領域は、BTBLS ビットの値によって異なります。詳細は、**38.7 ブート・スワップ機能**、**38.11 ブート・クラスタ・サイズ／バンク・スワップ設定**を参照してください。

注2. プログラマ接続IDの10バイトのIDコード領域はオンチップ・デバッグ・セキュリティ ID と共用しています。

注意 専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、**38.9 フラッシュ・シールド・ウィンドウ機能**を参照してください）。

表38 - 17 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる ^{注1}
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ・サイズまたは バンク・スワップ設定（BTBLSビット）の 変更禁止	ブロック消去できる	書き込みできる
ブート領域書き換え禁止 ^{注2}	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できない	書き込みできない
プログラマ接続ID認証が有効で認証成功	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効で認証失敗	ブロック消去できない	書き込みできない

注1. 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

注2. バンク・プログラミング・モードを使用する場合、ブート領域書き換え禁止は設定できません。設定した場合は、バンク・プログラミングの実行が禁止されます。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ・サイズまたは バンク・スワップ設定（BTBLSビット）の 変更禁止	ブロック消去できる	書き込みできる
ブート領域書き換え禁止 ^注	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効	ブロック消去できる	書き込みできる

注 バンク・プログラミング・モードを使用する場合、ブート領域書き換え禁止は設定できません。設定した場合は、バンク・プログラミングの実行が禁止されます。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、38.9 フラッシュ・シールド・ウィンドウ機能を参照してください）。

表38-18 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定
ブート・クラスタ・サイズまたはバンク・スワップ設定 (BTBLSビット) の変更禁止		
ブート領域書き換え禁止 ^注		設定後、無効にできない
プログラマ・オンチップ・デバッグ接続禁止		
プログラマ接続ID認証の有効化		

注 バンク・プログラミング・モードを使用する場合、ブート領域書き換え禁止は設定できません。設定した場合は、バンク・プログラミングの実行が禁止されます。

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート領域の書き換え禁止」に設定されていない状態、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合にのみ可能です。ただし、「プログラマ・オンチップ・デバッグ接続禁止」または「プログラマ接続ID認証が有効化」によってシリアル・プログラミングが接続禁止の場合は、シリアル・プログラミングが実行できないため、「書き込み禁止」の解除を実行できません。

(2) セルフ・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	セルフ・プログラミングで設定	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない。専用フラッシュ・メモリ・プログラマのGUI上などで設定
ブート領域書き換え禁止 ^注		
プログラマ・オンチップ・デバッグ接続禁止		設定後、無効にできない
プログラマ接続ID認証の有効化		

注 バンク・プログラミング・モードを使用する場合、ブート領域書き換え禁止は設定できません。設定した場合は、バンク・プログラミングの実行が禁止されます。

38.11 ブート・クラスタ・サイズ／バンク・スワップ設定

ブート・スワップ機能またはバンク・スワップ機能を使用する際は、ブート・クラスタ・サイズまたはバンク・スワップ設定を BTBLS ビットにより設定します。また、BAPR ビットを設定することにより BTBLS ビットの変更を禁止することができます。BTBLS、BAPR ビットは専用フラッシュ・メモリ・プログラマにより設定できます。

BAPR ビットはセキュリティ設定となります。詳細は、**38.10 セキュリティ設定**を参照してください。

表38 - 19 BTBLS、BAPRビットの設定値

ビット名称	設定内容
BTBLS ^{注1}	ブート・クラスタ・サイズの選択を行うビットです。 BTBLSに設定した値に対応したブート・クラスタ・サイズとなります。 00H：ブート・クラスタ・サイズ= 2 KB 01H：ブート・クラスタ・サイズ= 4 KB 02H：ブート・クラスタ・サイズ= 8 KB 03H：ブート・クラスタ・サイズ= 16 KB 04H：ブート・クラスタ・サイズ= 32 KB^{注2} 05H：ブート・クラスタ・サイズ= 64 KB^{注3} 06H：ブート・クラスタ・サイズ= 128 KB^{注4} 0FH：ブート・クラスタ・サイズ= 16 KB（デフォルト） 上記以外：設定禁止 また、コード・フラッシュ・メモリ・サイズが 256 KB, 512 KB の製品では、下記の値を選択することでブート・スワップが無効となり、バンク・スワップが有効となります^{注5}。 07H：バンク・サイズ= 128 KB／256 KB^{注6}
BAPR ^{注7}	ブート・クラスタ・サイズまたはバンク・スワップ設定（BTBLS）の変更を禁止するビットです。 0：BTBLS の設定領域の変更禁止 1：BTBLS の設定領域の変更許可（デフォルト）

注1. 量産用の製品では、必ず0FH以外を設定してください。

注2. コード・フラッシュ・メモリ・サイズが128 K～512 KB 製品の場合に設定できます。

注3. コード・フラッシュ・メモリ・サイズが256 K, 512 KB 製品の場合に設定できます。

注4. コード・フラッシュ・メモリ・サイズが512 KB 製品の場合に設定できます。

注5. バンク・スワップ機能を有効にする場合は、BTPR ビットに1を設定してください。

注6. コード・フラッシュ・メモリ・サイズが256 KB 製品の場合は、バンク・サイズは128 KB になります。512 KB 製品の場合は、バンク・サイズは256 KB になります。

注7. BTBLS 設定後に必ず0を設定してください。

注意1. 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Release コマンドを実行することでBAPR = 0（禁止）からBAPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンド、およびシリアル・プログラミング・モードのSecurity Release コマンドを実行できません。

・ SEPR = 0（ブロック消去禁止）

・ BTPR = 0（ブート領域書き換え禁止）

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるためBAPR = 1（許可）に設定できません。

注意2. BTBLS は、BAPR ビットに0を設定している場合、書き換えることができません。

38.12 データ・フラッシュ・メモリ

38.12.1 データ・フラッシュ・メモリの概要

データ・フラッシュ・メモリの概要は次のとおりです。

- セルフ・プログラミングを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、**RL78ファミリ Renesas Flash Driver RL78 Type11 ユーザーズマニュアル (R20UT5539JJ)**を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュ・メモリは、1ブロック = 256バイト単位で消去
- データ・フラッシュ・メモリは、8ビット単位でのみアクセス可能
- データ・フラッシュ・メモリは、CPU命令で直接読み出し可能
- データ・フラッシュ・メモリの書き換え中に、コード・フラッシュ・メモリからの命令実行は可能（バックグラウンド・オペレーション（BGO）対応）
- データ・フラッシュ・メモリは、データ専用領域のため、データ・フラッシュ・メモリからの命令実行は禁止
- コード・フラッシュ・メモリの書き換え中（セルフ・プログラミング時）に、データ・フラッシュ・メモリにアクセスすることは禁止
- データ・フラッシュ・メモリの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュ・メモリの書き換え中に、HALT/STOPモード状態に遷移することは禁止
- バックグラウンド・オペレーション（BGO）とバンク・プログラミング・モードのバンク・プログラミングの同時利用はできません。

注意1. リセット解除後、データ・フラッシュ・メモリは停止状態です。データ・フラッシュ・メモリ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

注意2. データ・フラッシュ・メモリの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、5 μ s経過後にセルフ・プログラミングを実行してください。

備考 ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、**38.6 セルフ・プログラミング**を参照してください。

38.12.2 データ・フラッシュ・メモリへのアクセス手順

リセット解除後、データ・フラッシュ・メモリは停止状態です。データ・フラッシュ・メモリへアクセスするには、以下の手順で初期設定を行う必要があります。

- ① データ・フラッシュ・コントロール・レジスタ (DFLCTL) の DFLEN ビットに 1 を設定する。
- ② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。
<各フラッシュの動作モードでのセットアップ時間>
 - HS (高速メイン) モード時 : 250 ns
 - LS (低速メイン) モード時 : 250 ns
 - LP (低電力メイン) モード時 : 0 ns
- ③ セットアップ時間のウエイト完了後、データ・フラッシュ・メモリへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュ・メモリへのアクセスは禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュ・メモリの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作 (CSC.HIOSTOP = 0) させ、5 μ s 経過後にセルフ・プログラミングを実行してください。

注意4. CPUクロックの切り替え (メイン・システム・クロック $\leftrightarrow$ サブシステム・クロック) 時、CSSビットにてクロックの選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。

第39章 オンチップ・デバッグ機能

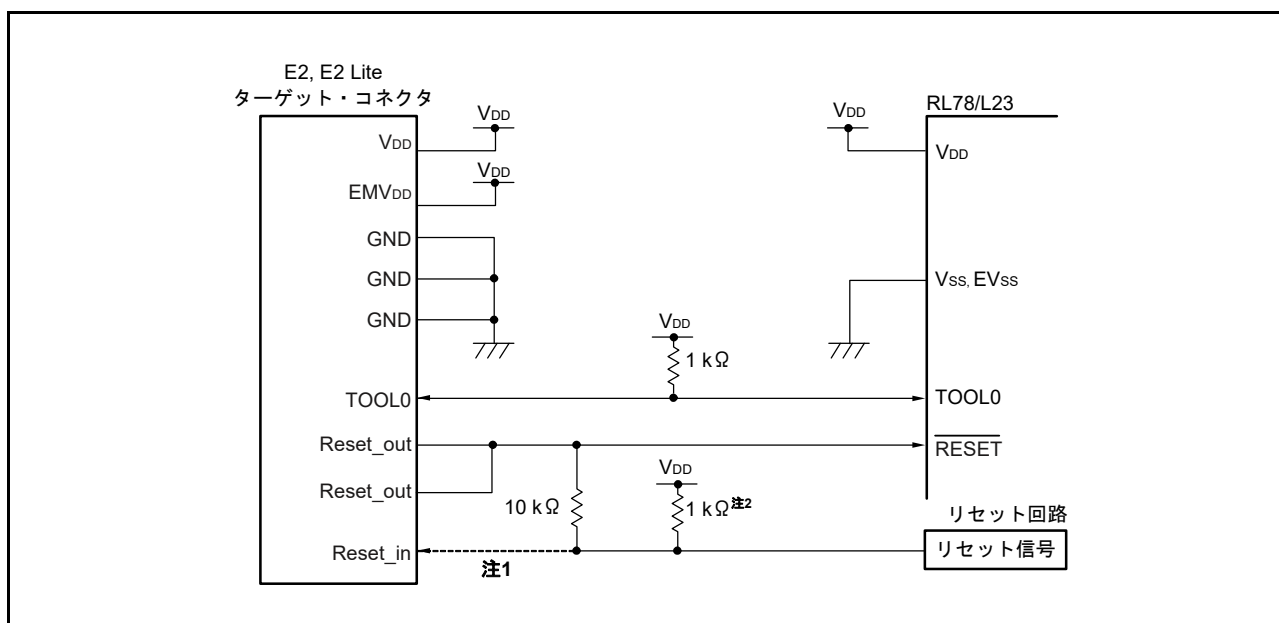
39.1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続

RL78 マイクロコントローラは、オンチップ・デバッグ対応の E2, E2 Lite オンチップ・デバッグ・エミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} , $\overline{\text{RESET}}$, TOOL0, V_{SS} 端子を使用します。シリアル通信としては、TOOL0 端子を使用した単線 UART を使用します。

接続回路の詳細や注意事項については、E1/E20/E2 エミュレータ, E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78 接続時の注意事項) (R20UT1994) を参照してください。

注意 RL78 マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

図 39 - 1 E2, E2 Lite オンチップ・デバッグ・エミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

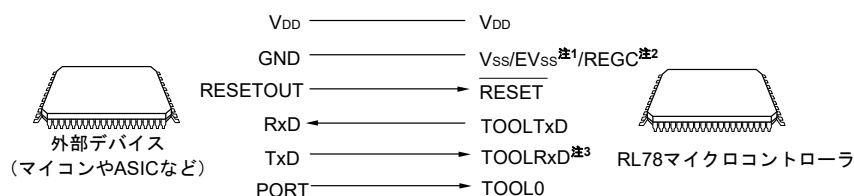
注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力が N-ch オープン・ドレインのバッファ（出力抵抗が 100 Ω 以下）を想定した回路例です。

39.2 外部デバイス（UART内蔵）との接続

オンボード上で RL78 マイクロコントローラと UART 接続されている外部デバイス（マイコンや ASIC）を介して、ホスト・マシンとの通信を行う場合、V_{DD}, RESET, TOOL0, V_{SS}, TOOLTxD, TOOLRxD 端子を使用します。外部デバイスと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

接続回路の詳細や注意事項については、シリアルポートを使用した RL78 デバッグ機能（R20AN0632）を参照してください。



注1. 100ピン製品のみ

注2. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。

注3. TOOLRxDを兼用するポートを入力モードに設定してください。また、PDIDISxxレジスタで入力バッファの入力を許可に設定してください。

39.3 オンチップ・デバッグのセキュリティ設定

第三者からメモリの内容を読み取られないようにするために、オンチップ・デバッグ機能は、プログラマ・オンチップ・デバッグ接続禁止設定（第38章 フラッシュ・メモリ 38.10 セキュリティ設定参照）と、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第37章 オプション・バイトを参照）と、000C4H-000CDH^{注1}にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。

注 オンチップ・デバッグ・セキュリティ ID 設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表39-1 オンチップ・デバッグ・セキュリティID

BTBLS設定		アドレス	オンチップ・デバッグ・セキュリティ IDコード
ブート・クラスタ使用時	BTBLS = 00H (2 KB)	000C4H-000CDH	10バイトの任意のIDコード ^{注1, 2}
		008C4H-008CDH	
	BTBLS = 01H (4 KB)	000C4H-000CDH	
		010C4H-010CDH	
	BTBLS = 02H (8 KB)	000C4H-000CDH	
		020C4H-020CDH	
	BTBLS = 03H (16 KB)	000C4H-000CDH	
		040C4H-040CDH	
	BTBLS = 04H (32 KB)	000C4H-000CDH	
		080C4H-080CDH	
	BTBLS = 05H (64 KB)	000C4H-000CDH	
		100C4H-100CDH	
バンク・スワップ使用時	BTBLS = 07H (256 KB)	000C4H-000CDH	
		200C4H-200CDH	
	BTBLS = 07H (512 KB)	000C4H-000CDH	
		400C4H-400CDH	

注1. FFFFFFFFFFFFFFFFFFHは設定できません。

注2. ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0のときには、ブート・スワップサイズの選択にあわせて、000C4H-000CDHと以下のアドレスに10バイトのオンチップ・デバッグ・セキュリティ IDを設定してください。

- ・ 128 KB 選択時 : 200C4H-200CDH
- ・ 64 KB 選択時 : 100C4H-100CDH
- ・ 32 KB 選択時 : 080C4H-080CDH
- ・ 16 KB 選択時 : 040C4H-040CDH
- ・ 8 KB 選択時 : 020C4H-020CDH
- ・ 4 KB 選択時 : 010C4H-010CDH
- ・ 2 KB 選択時 : 008C4H-008CDH

また、バンク・スワップを使用時およびFLSECレジスタのBTFLGビットが0のときには、ブート・スワップサイズの選択にあわせて、000C4H-000CDHと以下のアドレスに10バイトのオンチップ・デバッグ・セキュリティ IDを設定してください。

- ・ 256 KB 選択時 : 200C4H-200CDH
- ・ 512 KB 選択時 : 400C4H-400CDH

39.4 ユーザ資源の確保

RL78 マイクロコントローラと E2, E2 Lite オンチップ・デバッグ・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図39-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

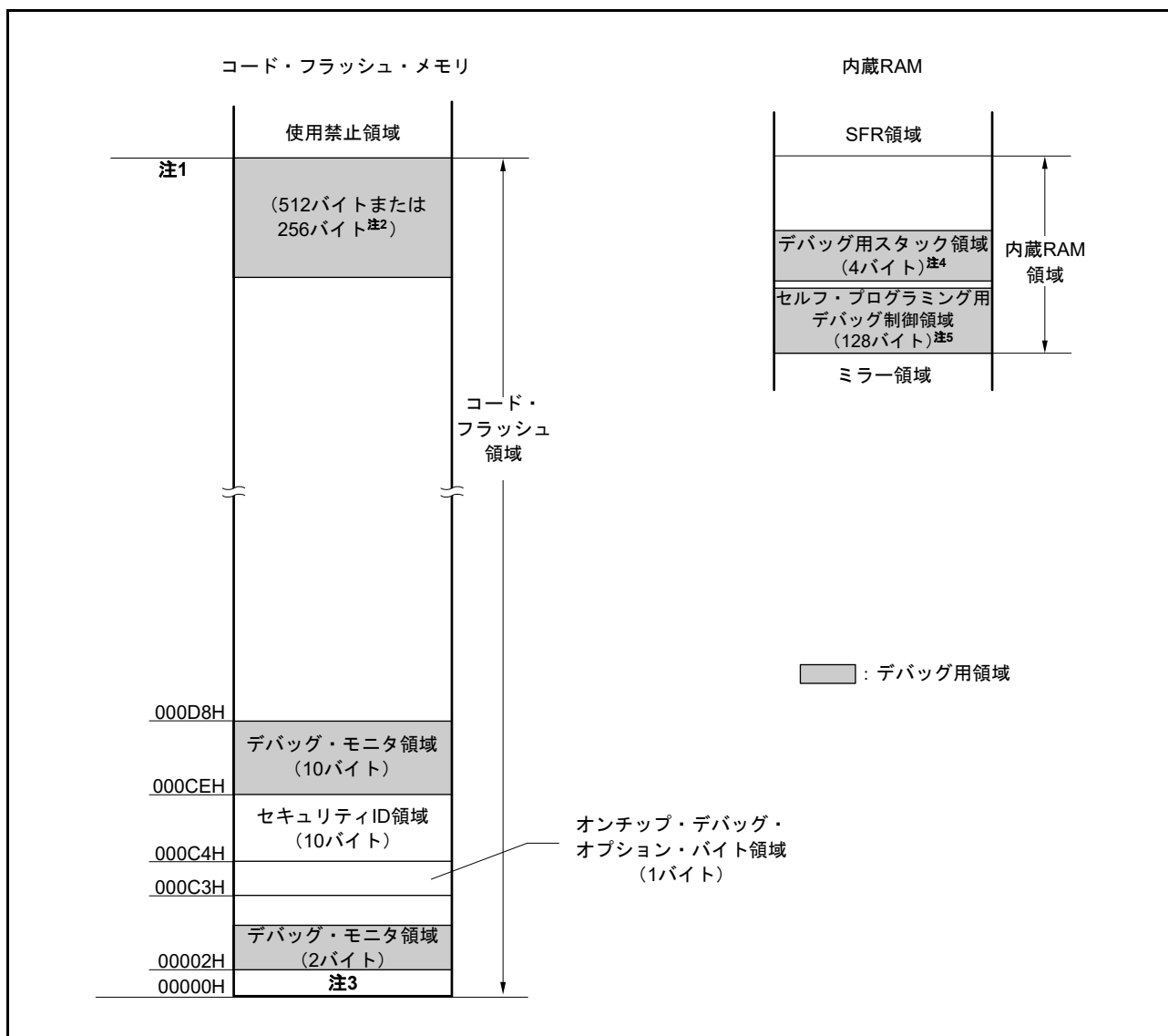
39.5 バンク・プログラミング・モード時のオンチップ・デバッグ機能

バンク・プログラミング・モード（BANKPEN = 1）時も、オンチップ・デバッグ機能を使用できます。

バンク・プログラミング機能による書き換えバンクのデータ更新をデバッグ上で参照できます。ただし、バンク・プログラミング機能使用時、書き換えバンクがプログラミング・モードとなっている間はユーザ・プログラムを停止することはできません。バンク・プログラミング時のデバッグ方法および注意事項については、**E1/E20/E2 エミュレータ**，**E2 エミュレータ Lite ユーザーズマニュアル別冊（RL78 接続時の注意事項）（R20UT1994）**を参照してください。

また、バンク・プログラミング・モードについては、**38.8 バンク・プログラミング機能**を参照してください。

図39-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R7F100LxE (x = F, G, J, L)	0FFFFH
R7F100LxG (x = F, G, J, L, M, P)	1FFFFH
R7F100LxJ (x = F, G, J, L, M, P)	3FFFFH
R7F100LxL (x = F, G, J, L, M, P)	7FFFFH

注2. リアルタイムRAMモニタ (RRM) 機能、Dynamic Memory Modification (DMM) 機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。
セルフ・プログラミングを行う場合は、12バイト余分に消費します。

- 注5.** オンチップ・デバッグは、セルフ・プログラミングのブレーク用に次に示す製品のRAM領域（128バイト）を使用します。対象製品とRAM領域は以下のとおりです。

製品名	使用するRAM領域（128バイト）
R7F100LxE（x = F, G, J, L）	FBF00H-FBF7FH
R7F100LxG（x = F, G, J, L, M, P）	FBF00H-FBF7FH
R7F100LxJ（x = F, G, J, L, M, P）	F7F00H-F7F7FH
R7F100LxL（x = F, G, J, L, M, P）	F7F00H-F7F7FH

オンチップ・デバッグでセルフ・プログラミング中にデバッグを行わない設定にした場合は、上記RAM領域を使用しません。セルフ・プログラミングのデバッグの設定は、各統合開発環境のユーザーズマニュアルを参照してください。

第40章 10進補正（BCD）回路

40.1 10進補正回路の機能

BCD コード（2 進化 10 進数）と BCD コード（2 進化 10 進数）の加減算結果を、BCD コード（2 進化 10 進数）で求めることができます。

A レジスタをオペランドに持つ加減算命令を行ったあと、さらに BCD 補正結果レジスタ（BCDADJ）を加減算することで 10 進補正演算結果が求められます。

40.2 10進補正回路で使用するレジスタ

10 進補正回路で使用するレジスタを次に示します。

- BCD 補正結果レジスタ（BCDADJ）

40.2.1 BCD 補正結果レジスタ（BCDADJ）

BCDADJ レジスタには、A レジスタをオペランドにもつ加減算命令によって、BCD コードで加減算結果を求めるための補正値が格納されます。

また、BCDADJ レジスタの読み出し値は、読み出し時の A レジスタと CY フラグおよび AC フラグの値によって変わります。

BCDADJ レジスタは、8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図40 - 1 BCD 補正結果レジスタ（BCDADJ）のフォーマット

アドレス : F00FEH

リセット時: 不定

R/W 属性 : R

略号	7	6	5	4	3	2	1	0
BCDADJ								

40.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算：BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ① 加算したいBCDコード値（被加算値）をAレジスタに格納する。
- ② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値、加算値）を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。
- ③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CY, ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例 1 $99 + 89 = 188$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例 2 $85 + 15 = 100$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例 3 $80 + 80 = 160$

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算：BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ① 減算されるBCDコード値（被減算値）をAレジスタに格納する。
- ② Aレジスタから第2オペランドの値（減算するBCDコード値、減算値）を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ（BCDADJ）に格納される。
- ③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正值）を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CY, ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

第41章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78 ファミリ ユーザーズマニュアル ソフトウェア編（R01US0015）**を参照してください。

41.1 凡例

41.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES: の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- # : イミディエイト・データ指定
- ! : 16 ビット絶対アドレス指定
- !! : 20 ビット絶対アドレス指定
- \$: 8 ビット相対アドレス指定
- \$! : 16 ビット相対アドレス指定
- [] : 間接アドレス指定
- ES : 拡張アドレス指定

イミディエイト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も #, !, !!, \$, \$!, [], ES: 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rp には、機能名称（X, A, C など）、絶対名称（表 41 - 1 の中のカッコ内の名称、R0, R1, R2 など）のいずれの形式でも記述可能です。

表41 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r rp sfr sfrp	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7) AX(RP0), BC(RP1), DE(RP2), HL(RP3) 特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH 特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr saddrp	FFE20H-FFF1FH イミディエイト・データまたはラベル FFE20H-FFF1FH イミディエイト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20 addr16 addr5	00000H-FFFFFH イミディエイト・データまたはラベル 0000H-FFFFFH イミディエイト・データまたはラベル（16ビット・データ時は偶数アドレスのみ ^注 ） 0080H-00BFH イミディエイト・データまたはラベル（偶数アドレスのみ）
word byte bit	16ビット・イミディエイト・データまたはラベル 8ビット・イミディエイト・データまたはラベル 3ビット・イミディエイト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が0になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は、表 3 - 5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は、表 3 - 6 2nd SFR一覧を参照してください。

41.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表41-2 オペレーション欄の記号

記号	機能
A	Aレジスタ : 8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア : 16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	()内のアドレスまたはレジスタの内容で示されるメモリの内容
XH, XL Xs, XH, XL	16ビット・レジスタの場合はXH = 上位8ビット、XL = 下位8ビット 20ビット・レジスタの場合はXs (ビット19-16)、XH (ビット15-8)、XL (ビット7-0)
∧	論理積 (AND)
∨	論理和 (OR)
⊕	排他的論理和 (exclusive OR)
—	反転データ
addr5	16ビット・イミディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレースメント値)
jdisp16	符号付き16ビット・データ (ディスプレースメント値)

41.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表します。

表41 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果に従ってセット／リセットされる
R	以前に退避した値がリストアされる

41.1.4 PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFH の 64 K バイト空間から、ES レジスタの値を付加した 00000H-FFFFFH の 1 M バイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表41 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A など事前に設定しておいてください。

41.2 オペレーション一覧

表41-5 オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	$r \leftarrow \text{byte}$			
		PSW, #byte	3	3	—	$\text{PSW} \leftarrow \text{byte}$	x	x	x
		CS, #byte	3	1	—	$\text{CS} \leftarrow \text{byte}$			
		ES, #byte	2	1	—	$\text{ES} \leftarrow \text{byte}$			
		!addr16, #byte	4	1	—	$(\text{addr16}) \leftarrow \text{byte}$			
		ES:!addr16, #byte	5	2	—	$(\text{ES}, \text{addr16}) \leftarrow \text{byte}$			
		saddr, #byte	3	1	—	$(\text{saddr}) \leftarrow \text{byte}$			
		sfr, #byte	3	1	—	$\text{sfr} \leftarrow \text{byte}$			
		[DE+byte], #byte	3	1	—	$(\text{DE} + \text{byte}) \leftarrow \text{byte}$			
		ES:[DE+byte], #byte	4	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow \text{byte}$			
		[HL+byte], #byte	3	1	—	$(\text{HL} + \text{byte}) \leftarrow \text{byte}$			
		ES:[HL+byte], #byte	4	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow \text{byte}$			
		[SP+byte], #byte	3	1	—	$(\text{SP} + \text{byte}) \leftarrow \text{byte}$			
		word[B], #byte	4	1	—	$(\text{B} + \text{word}) \leftarrow \text{byte}$			
		ES:word[B], #byte	5	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow \text{byte}$			
		word[C], #byte	4	1	—	$(\text{C} + \text{word}) \leftarrow \text{byte}$			
		ES:word[C], #byte	5	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow \text{byte}$			
		word[BC], #byte	4	1	—	$(\text{BC} + \text{word}) \leftarrow \text{byte}$			
		ES:word[BC], #byte	5	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow \text{byte}$			
		A, r ^{注3}	1	1	—	$\text{A} \leftarrow r$			
		r ^{注3} , A	1	1	—	$r \leftarrow \text{A}$			
		A, PSW	2	1	—	$\text{A} \leftarrow \text{PSW}$			
		PSW, A	2	3	—	$\text{PSW} \leftarrow \text{A}$	x	x	x
		A, CS	2	1	—	$\text{A} \leftarrow \text{CS}$			
		CS, A	2	1	—	$\text{CS} \leftarrow \text{A}$			
		A, ES	2	1	—	$\text{A} \leftarrow \text{ES}$			
		ES, A	2	1	—	$\text{ES} \leftarrow \text{A}$			
		A, !addr16	3	1	4	$\text{A} \leftarrow (\text{addr16})$			
		A, ES:!addr16	4	2	5	$\text{A} \leftarrow (\text{ES}, \text{addr16})$			
		!addr16, A	3	1	—	$(\text{addr16}) \leftarrow \text{A}$			
		ES:!addr16, A	4	2	—	$(\text{ES}, \text{addr16}) \leftarrow \text{A}$			
		A, saddr	2	1	—	$\text{A} \leftarrow (\text{saddr})$			
		saddr, A	2	1	—	$(\text{saddr}) \leftarrow \text{A}$			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（fCLK）数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (DE)$			
		[DE], A	1	1	—	$(DE) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (ES, DE)$			
		ES:[DE], A	2	2	—	$(ES, DE) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (HL)$			
		[HL], A	1	1	—	$(HL) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (ES, HL)$			
		ES:[HL], A	2	2	—	$(ES, HL) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (DE + \text{byte})$			
		[DE+byte], A	2	1	—	$(DE + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((ES, DE) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((ES, DE) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (HL + \text{byte})$			
		[HL+byte], A	2	1	—	$(HL + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((ES, HL) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((ES, HL) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (SP + \text{byte})$			
		[SP+byte], A	2	1	—	$(SP + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (B + \text{word})$			
		word[B], A	3	1	—	$(B + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((ES, B) + \text{word})$			
		ES:word[B], A	4	2	—	$((ES, B) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (C + \text{word})$			
		word[C], A	3	1	—	$(C + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((ES, C) + \text{word})$			
		ES:word[C], A	4	2	—	$((ES, C) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (BC + \text{word})$			
		word[BC], A	3	1	—	$(BC + \text{word}) \leftarrow A$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((ES, BC) + \text{word})$			
		ES:word[BC], A	4	2	—	$((ES, BC) + \text{word}) \leftarrow A$			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
		C, saddr	2	1	—	$C \leftarrow (saddr)$			
		ES, saddr	3	1	—	$ES \leftarrow (saddr)$			
	XCH	A, r ^{注3}	1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
		A, ES:!addr16	5	3	—	$A \leftrightarrow (ES, addr16)$			
		A, saddr	3	2	—	$A \leftrightarrow (saddr)$			
		A, sfr	3	2	—	$A \leftrightarrow sfr$			
		A, [DE]	2	2	—	$A \leftrightarrow (DE)$			
		A, ES:[DE]	3	3	—	$A \leftrightarrow (ES, DE)$			
		A, [HL]	2	2	—	$A \leftrightarrow (HL)$			
		A, ES:[HL]	3	3	—	$A \leftrightarrow (ES, HL)$			
		A, [DE+byte]	3	2	—	$A \leftrightarrow (DE + byte)$			
		A, ES:[DE+byte]	4	3	—	$A \leftrightarrow ((ES, DE) + byte)$			
		A, [HL+byte]	3	2	—	$A \leftrightarrow (HL + byte)$			
		A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((ES, HL) + byte)$			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表41-5 オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL + B)$			
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$			
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL + C)$			
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$			
	ONEB	A	1	1	—	$A \leftarrow 01H$			
		X	1	1	—	$X \leftarrow 01H$			
		B	1	1	—	$B \leftarrow 01H$			
		C	1	1	—	$C \leftarrow 01H$			
		laddr16	3	1	—	$(addr16) \leftarrow 01H$			
		ES:laddr16	4	2	—	$(ES, addr16) \leftarrow 01H$			
		saddr	2	1	—	$(saddr) \leftarrow 01H$			
	CLRB	A	1	1	—	$A \leftarrow 00H$			
		X	1	1	—	$X \leftarrow 00H$			
		B	1	1	—	$B \leftarrow 00H$			
		C	1	1	—	$C \leftarrow 00H$			
		laddr16	3	1	—	$(addr16) \leftarrow 00H$			
		ES:laddr16	4	2	—	$(ES, addr16) \leftarrow 00H$			
		saddr	2	1	—	$(saddr) \leftarrow 00H$			
	MOVS	[HL+byte], X	3	1	—	$(HL + byte) \leftarrow X$	x		x
		ES:[HL+byte], X	4	2	—	$(ES, HL + byte) \leftarrow X$	x		x
16ビット・データ転送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
		saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
		sfrp, #word	4	1	—	$sfrp \leftarrow word$			
		AX, rp注3	1	1	—	$AX \leftarrow rp$			
		rp注3, AX	1	1	—	$rp \leftarrow AX$			
		AX, laddr16	3	1	4	$AX \leftarrow (addr16)$			
		laddr16, AX	3	1	—	$(addr16) \leftarrow AX$			
		AX, ES:laddr16	4	2	5	$AX \leftarrow (ES, addr16)$			
		ES:laddr16, AX	4	2	—	$(ES, addr16) \leftarrow AX$			
		AX, saddrp	2	1	—	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	1	—	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	1	—	$AX \leftarrow sfrp$			
		sfrp, AX	2	1	—	$sfrp \leftarrow AX$			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表41-5 オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp ^{注3}	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	x	x	x
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	—	A, CY ← A + r	x	x	x
		r, A	2	1	—	r, CY ← r + A	x	x	x
		A, !addr16	3	1	4	A, CY ← A + (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	x	x	x
		A, saddr	2	1	—	A, CY ← A + (saddr)	x	x	x
		A, [HL]	1	1	4	A, CY ← A + (HL)	x	x	x
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	x	x	x

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表41-5 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (\text{ES}, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (saddr) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (\text{HL}) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (\text{ES}, \text{HL}) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (\text{HL} + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (\text{HL} + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (\text{HL} + C) + CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((\text{ES}, \text{HL}) + C) + CY$	x	x	x
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte}$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (\text{ES}, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr)$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (\text{HL})$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (\text{ES}, \text{HL})$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (\text{HL} + \text{byte})$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + \text{byte})$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (\text{HL} + B)$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + B)$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (\text{HL} + C)$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((\text{ES}, \text{HL}) + C)$	x	x	x

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	x	x	x
		A, r ^{注3}	2	1	—	$A, CY \leftarrow A - r - CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16}) - CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL) - CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL) - CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte}) - CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL + B) - CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + B) - CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C) - CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES:HL) + C) - CY$	x	x	x
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	x		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \wedge r$	x		
		r, A	2	1	—	$r \leftarrow r \wedge A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (ES:\text{addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	x		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (HL)$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (ES:HL)$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (HL + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \wedge (HL + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \wedge (HL + C)$	x		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + C)$	x		

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \vee r$	x		
		r, A	2	1	—	$r \leftarrow r \vee A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	x		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	x		
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	x		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	x		
		A, r ^{注3}	2	1	—	$A \leftarrow A \nabla r$	x		
		r, A	2	1	—	$r \leftarrow r \nabla A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	x		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	x		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	x		

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A – byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) – byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) – byte	x	x	x
		saddr, #byte	3	1	—	(saddr) – byte	x	x	x
		A, r ^{注3}	2	1	—	A – r	x	x	x
		r, A	2	1	—	r – A	x	x	x
		A, !addr16	3	1	4	A – (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A – (ES:addr16)	x	x	x
		A, saddr	2	1	—	A – (saddr)	x	x	x
		A, [HL]	1	1	4	A – (HL)	x	x	x
		A, ES:[HL]	2	2	5	A – (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A – (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A – ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A – (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A – ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A – (HL + C)	x	x	x
		A, ES:[HL+C]	3	2	5	A – ((ES:HL) + C)	x	x	x
	CMP0	A	1	1	—	A – 00H	x	0	0
		X	1	1	—	X – 00H	x	0	0
		B	1	1	—	B – 00H	x	0	0
		C	1	1	—	C – 00H	x	0	0
		!addr16	3	1	4	(addr16) – 00H	x	0	0
		ES:!addr16	4	2	5	(ES:addr16) – 00H	x	0	0
		saddr	2	1	—	(saddr) – 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X – (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X – ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	x	x	x
		AX, AX	1	1	—	AX, CY ← AX + AX	x	x	x
		AX, BC	1	1	—	AX, CY ← AX + BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX + DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX + HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	—	AX, CY ← AX – word	x	x	x
		AX, BC	1	1	—	AX, CY ← AX – BC	x	x	x
		AX, DE	1	1	—	AX, CY ← AX – DE	x	x	x
		AX, HL	1	1	—	AX, CY ← AX – HL	x	x	x
		AX, !addr16	3	1	4	AX, CY ← AX – (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY ← AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX, CY ← AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY ← AX – (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX – ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	—	AX – word	x	x	x
		AX, BC	1	1	—	AX – BC	x	x	x
		AX, DE	1	1	—	AX – DE	x	x	x
		AX, HL	1	1	—	AX – HL	x	x	x
		AX, !addr16	3	1	4	AX – (addr16)	x	x	x
		AX, ES:!addr16	4	2	5	AX – (ES:addr16)	x	x	x
		AX, saddrp	2	1	—	AX – (saddrp)	x	x	x
		AX, [HL+byte]	3	1	4	AX – (HL + byte)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX – ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表41-5 オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow AX \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow AX \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商)、 DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商)、 $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)	×		×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)	×		×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態 (DI) で実行してください。

ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CC-RL (ルネサスエレクトロニクス社コンパイラ製品) V1.01.00以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- LLVM RL78 (CyberTHOR社コンパイラ) のC言語ソースおよびC++言語ソース
- GNURL78 (CyberTHOR社コンパイラ) のC言語ソースおよびC++言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. MACR: 積和演算累計レジスタ (MACRH, MACRL)

表41-5 オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r - 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
	SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. cntはビット・シフト数です。

表41-5 オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$			×
		BC, 1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$			×
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×
		ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			×
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	—	$CY \leftarrow 1$			1
	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
	NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	$(SP-2) \leftarrow (PC+2)_S, (SP-3) \leftarrow (PC+2)_H,$ $(SP-4) \leftarrow (PC+2)_L, PC \leftarrow CS, rp,$ $SP \leftarrow SP-4$			
		\$!addr20	3	3	—	$(SP-2) \leftarrow (PC+3)_S, (SP-3) \leftarrow (PC+3)_H,$ $(SP-4) \leftarrow (PC+3)_L, PC \leftarrow PC+3+jdisp16,$ $SP \leftarrow SP-4$			
		!addr16	3	3	—	$(SP-2) \leftarrow (PC+3)_S, (SP-3) \leftarrow (PC+3)_H,$ $(SP-4) \leftarrow (PC+3)_L, PC \leftarrow 0000, addr16,$ $SP \leftarrow SP-4$			
		!!addr20	4	3	—	$(SP-2) \leftarrow (PC+4)_S, (SP-3) \leftarrow (PC+4)_H,$ $(SP-4) \leftarrow (PC+4)_L, PC \leftarrow addr20,$ $SP \leftarrow SP-4$			
	CALLT	[addr5]	2	5	—	$(SP-2) \leftarrow (PC+2)_S, (SP-3) \leftarrow (PC+2)_H,$ $(SP-4) \leftarrow (PC+2)_L, PCs \leftarrow 0000,$ $PCH \leftarrow (0000, addr5+1),$ $PCL \leftarrow (0000, addr5),$ $SP \leftarrow SP-4$			
	BRK	—	2	5	—	$(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+2)_S,$ $(SP-3) \leftarrow (PC+2)_H, (SP-4) \leftarrow (PC+2)_L,$ $PCs \leftarrow 0000,$ $PCH \leftarrow (0007FH), PCL \leftarrow (0007EH),$ $SP \leftarrow SP-4, IE \leftarrow 0$			
	RET	—	1	6	—	$PCL \leftarrow (SP), PCH \leftarrow (SP+1),$ $PCs \leftarrow (SP+2), SP \leftarrow SP+4$			
	RETI	—	2	6	—	$PCL \leftarrow (SP), PCH \leftarrow (SP+1),$ $PCs \leftarrow (SP+2), PSW \leftarrow (SP+3),$ $SP \leftarrow SP+4$	R	R	R
	RETB	—	2	6	—	$PCL \leftarrow (SP), PCH \leftarrow (SP+1),$ $PCs \leftarrow (SP+2), PSW \leftarrow (SP+3),$ $SP \leftarrow SP+4$	R	R	R

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表41-5 オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	$(SP - 1) \leftarrow PSW, (SP - 2) \leftarrow 00H, SP \leftarrow SP - 2$			
		rp	1	1	—	$(SP - 1) \leftarrow rpH, (SP - 2) \leftarrow rpL, SP \leftarrow SP - 2$			
	POP	PSW	2	3	—	$PSW \leftarrow (SP + 1), SP \leftarrow SP + 2$	R	R	R
		rp	1	1	—	$rpL \leftarrow (SP), rpH \leftarrow (SP + 1), SP \leftarrow SP + 2$			
	MOVW	SP, #word	4	1	—	$SP \leftarrow word$			
		SP, AX	2	1	—	$SP \leftarrow AX$			
		AX, SP	2	1	—	$AX \leftarrow SP$			
		HL, SP	3	1	—	$HL \leftarrow SP$			
		BC, SP	3	1	—	$BC \leftarrow SP$			
		DE, SP	3	1	—	$DE \leftarrow SP$			
	ADDW	SP, #byte	2	1	—	$SP \leftarrow SP + byte$			
	SUBW	SP, #byte	2	1	—	$SP \leftarrow SP - byte$			
無条件分岐	BR	AX	2	3	—	$PC \leftarrow CS, AX$			
		\$addr20	2	3	—	$PC \leftarrow PC + 2 + jdisp8$			
		\$!addr20	3	3	—	$PC \leftarrow PC + 3 + jdisp16$			
		!addr16	3	3	—	$PC \leftarrow 0000, addr16$			
		!!addr20	4	3	—	$PC \leftarrow addr20$			
条件付き分岐	BC	\$addr20	2	2/4注3	—	$PC \leftarrow PC + 2 + jdisp8$ if CY = 1			
	BNC	\$addr20	2	2/4注3	—	$PC \leftarrow PC + 2 + jdisp8$ if CY = 0			
	BZ	\$addr20	2	2/4注3	—	$PC \leftarrow PC + 2 + jdisp8$ if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	$PC \leftarrow PC + 2 + jdisp8$ if Z = 0			
	BH	\$addr20	3	2/4注3	—	$PC \leftarrow PC + 3 + jdisp8$ if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	$PC \leftarrow PC + 3 + jdisp8$ if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	$PC \leftarrow PC + 4 + jdisp8$ if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	$PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	$PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	$PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	$PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 1			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	$PC \leftarrow PC + 4 + jdisp8$ if (ES, HL).bit = 1			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表41-5 オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z V CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z V CY) = 1			
CPU制御	SEL	R _{Bn} 注4	2	1	—	RBS1, RBS0 ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

注4. nはレジスタ・バンク番号です (n = 0-3)。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

第42章 電気的特性

- 注意1. RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。
- 注意2. EVss端子がない製品は、EVssをVssに置き換えてください。
- 注意3. 製品により搭載している端子が異なります。2.1 ポートの端子機能～2.2.1 製品別の搭載機能を参照してください。

42.1 絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVSS		-0.5 ~ +0.3	V
REGC端子入力電圧	VIREGC	REGC	-0.3 ~ +2.1 かつ -0.3 ~ VDD + 0.3 ^{注1}	V
入力電圧	Vi1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P140-P147	-0.3 ~ VDD + 0.3 ^{注2}	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20, P21, P121-P124, P137, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3 ^{注2}	V
出力電圧	Vo1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P140-P147	-0.3 ~ VDD + 0.3 ^{注2}	V
	Vo2	P20, P21, P121, P122	-0.3 ~ VDD + 0.3 ^{注2}	V
アナログ入力電圧	VAI1	ANI16-ANI26	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREFP + 0.3 ^{注2, 3}	V
	VAI2	ANI0, ANI1	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREFP + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μ F) を介してVssに接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AVREFP + 0.3を超えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREFP : A/Dコンバータの+側基準電圧

備考3. VSSを基準電圧とします。

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P130, P140-P147	-40	mA
		端子合計 -170 mA	P40-P47, P66, P67, P130, P140	-70	mA
			P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P64, P65, P70-P77, P80-P87, P90-P97, P125-P127, P141-P147	-100	mA
	IOH2	1端子	P20, P21, P121, P122	-5	mA
		端子合計		-20	mA
ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P130, P140-P147	40 ^注	mA
		端子合計 170 mA	P40-P47, P66, P67, P130, P140	70	mA
			P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P64, P65, P70-P77, P80-P87, P90-P97, P125-P127, P141-P147	100	mA
	IOL2	1端子	P20, P21, P121, P122	10	mA
		端子合計		20	mA
動作周囲温度	TA	通常動作時		-40 ~ +105	°C
		フラッシュ・メモリ・プログラミング時		-40 ~ +105	
保存温度	Tstg			-65 ~ +150	°C

注 下記のポートを40 mAポート出力制御レジスタ（PTDC）でIOL1 = 40.0 mAに選択した場合は80 mA（定格）です。

44 ~ 52ピン製品、コード・フラッシュ・メモリ 64-128 KBの64ピン製品：P00, P05, P16

コード・フラッシュ・メモリ 256-512 KBの64ピン製品、80, 100ピン製品：P07, P10, P27

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

42.2 発振回路特性

42.2.1 X1 発振回路特性

($T_A = -40 \sim +105^\circ\text{C}$, $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子／水晶振動子		0.05		1	μs

注 発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、AC特性を参照してください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

42.2.2 XT1 発振回路特性

($T_A = -40 \sim +105^\circ\text{C}$, $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	発振子	条件	Min.	Typ.	Max.	単位
XT1クロック発振周波数（ f_{XT} ）注	水晶振動子			32.768		kHz

注 発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、AC特性を参照してください。

42.2.3 オンチップ・オシレータ特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f _{IH}		1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度		HIPREC = 1 -40 ~ +105°C	-1.0		+1.0	%
		HIPREC = 0 ^{注1}	-15		0	%
高速オンチップ・オシレータ・クロック補正分解能				0.05		%
中速オンチップ・オシレータ・クロック周波数 ^{注2}	f _{IM}		1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度			-12		+12	%
中速オンチップ・オシレータ・クロック補正分解能				0.15		%
中速オンチップ・オシレータ周波数温度係数					±0.17 ^{注3}	%/°C
低速オンチップ・オシレータ・クロック周波数 ^{注2}	f _{IL}			32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%
低速オンチップ・オシレータ・クロック補正分解能				0.3		%
低速オンチップ・オシレータ周波数温度係数					±0.21 ^{注3}	%/°C

注1. ユーザ・オプション・バイトのFRQSEL3 = 1に設定時**注2.** 発振回路の特性だけを示すものです。命令実行時間は、**42.4 AC特性**を参照してください。**注3.** この値は特性評価結果による値であり、出荷検査は行っていない。

42.3 DC 特性

42.3.1 端子特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/7)

項目	略号	条件	Min.	Typ.	Max.	単位
ハイ・レベル許容出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P130, P140-P147 1端子			-10.0 ^{注2}	mA
		P40-P47, P66, P67, P130, P140 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V		-55.0 ^{注4}	mA
			2.7 V ≤ VDD < 4.0 V		-10.0	mA
			1.8 V ≤ VDD < 2.7 V		-5.0	mA
			1.6 V ≤ VDD < 1.8 V		-2.5	mA
		P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P64, P65, P70-P77, P80-P87, P90-P97, P125-P127, P141-P147 合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V		-80.0 ^{注5}	mA
			2.7 V ≤ VDD < 4.0 V		-19.0	mA
			1.8 V ≤ VDD < 2.7 V		-10.0	mA
			1.6 V ≤ VDD < 1.8 V		-5.0	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})	1.6 V ≤ VDD ≤ 5.5 V		-135.0 ^{注6}	mA
	IOH2	P20, P21, P121, P122 1端子	4.0 V ≤ VDD ≤ 5.5 V		-3.0 ^{注2}	mA
			2.7 V ≤ VDD < 4.0 V		-1.0 ^{注2}	mA
			1.8 V ≤ VDD < 2.7 V		-1.0 ^{注2}	mA
			1.6 V ≤ VDD < 1.8 V		-0.5 ^{注2}	mA
		全端子合計 (デューティ ≤ 70% 時 ^{注3})	4.0 V ≤ VDD ≤ 5.5 V		-20.0	mA
			2.7 V ≤ VDD < 4.0 V		-10.0	mA
			1.8 V ≤ VDD < 2.7 V		-5.0	mA
			1.6 V ≤ VDD < 1.8 V		-5.0	mA

注1. VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を超えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

$$\bullet \text{ 端子合計の出力電流} = (\text{IOH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合、n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. +85 ~ +105°Cは-30 mAです。

注5. +85 ~ +105°Cは-50 mAです。

注6. -40 ~ +85°Cは-100 mA, +85 ~ +105°Cは-60 mAです。

（注意、備考は次ページに続きます）

注意 P00-P07, P10, P11, P16, P17, P22, P26, P27, P33-P35, P40-P47, P50, P52-P54, P64-P66, P75-P77, P80-P87, P93-P97, P125, P130, P140, P143-P147は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/7)

項目	略号	条件	Min.	Typ.	Max.	単位
ロウ・レベル許容出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P130, P140-P147 1端子			20.0 ^{注2, 3}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P40-P47, P66, P67, P130, P140 合計 (デューティ ≤ 70%時 ^{注4})	4.0 V ≤ VDD ≤ 5.5 V		70.0 ^{注5}	mA
			2.7 V ≤ VDD < 4.0 V		15.0	mA
			1.8 V ≤ VDD < 2.7 V		9.0	mA
			1.6 V ≤ VDD < 1.8 V		4.5	mA
		P00-P07, P10-P17, P22-P27, P30-P35, P50-P57, P64, P65, P70-P77, P80-P87, P90-P97, P125-P127, P141-P147 合計 (デューティ ≤ 70%時 ^{注4})	4.0 V ≤ VDD ≤ 5.5 V		80.0 ^{注5}	mA
			2.7 V ≤ VDD < 4.0 V		35.0	mA
			1.8 V ≤ VDD < 2.7 V		20.0	mA
			1.6 V ≤ VDD < 1.8 V		10.0	mA
		全端子合計 (デューティ ≤ 70%時 ^{注4})			150.0 ^{注6}	mA
	IOL2	P20, P21, P121, P122 1端子	4.0 V ≤ VDD ≤ 5.5 V		8.5 ^{注2}	mA
			2.7 V ≤ VDD < 4.0 V		1.5 ^{注2}	mA
			1.8 V ≤ VDD < 2.7 V		0.6 ^{注2}	mA
			1.6 V ≤ VDD < 1.8 V		0.4 ^{注2}	mA
		全端子合計 (デューティ ≤ 70%時 ^{注4})	4.0 V ≤ VDD ≤ 5.5 V		20	mA
			2.7 V ≤ VDD < 4.0 V		20	mA
			1.8 V ≤ VDD < 2.7 V		15	mA
			1.6 V ≤ VDD < 1.8 V		10	mA

注1. 出力端子からEVSS, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。**注2.** 合計の電流値を超えないでください。**注3.** 下記のポートを40.0 mAポート出力制御レジスタ (PTDC) でIOL1 = 40.0 mAに選択した場合は40 mA (Max.) です。

44~52ピン製品、コード・フラッシュ・メモリ64-128 KBの64ピン製品：P00, P05, P16

コード・フラッシュ・メモリ256-512 KBの64ピン製品、80, 100ピン製品：P07, P10, P27

注4. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます (デューティ比をn%に変更する場合)。

・端子合計の出力電流 = (IOL × 0.7) / (n × 0.01)

<計算例> IOL = 10.0 mAの場合、n = 80%

端子合計の出力電流 = (10.0 × 0.7) / (80 × 0.01) ≒ 8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注5. +85°C ~ +105°Cは40 mAです。**注6.** +85°C ~ +105°Cは80 mAです。**備考** 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(3/7)

項目	略号	条件	Min.	Typ.	Max.	単位
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P140-P147	通常入力バッファ	0.8 VDD	VDD	V
	VIH2	P02, P03, P05, P06, P11, P16, P17, P22, P26, P27, P33, P34, P40-P47, P51, P53, P54, P64-P66, P75, P76, P80-P86, P93, P94, P96, P97, P125, P140-P142, P144-P147	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	2.2	VDD	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	2.0	VDD	V
			TTL入力バッファ 1.6 V ≤ VDD < 3.3 V	1.5	VDD	V
	VIH3	P20, P21	0.7 VDD		VDD	V
	VIH4	P60-P63	0.7 VDD		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET	0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P140-P147	通常入力バッファ	0	0.2 VDD	V
	VIL2	P02, P03, P05, P06, P11, P16, P17, P22, P26, P27, P33, P34, P40-P47, P51, P53, P54, P64-P66, P75, P76, P80-P86, P93, P94, P96, P97, P125, P140-P142, P144-P147	TTL入力バッファ 4.0 V ≤ VDD ≤ 5.5 V	0	0.8	V
			TTL入力バッファ 3.3 V ≤ VDD < 4.0 V	0	0.5	V
			TTL入力バッファ 1.6 V ≤ VDD < 3.3 V	0	0.32	V
	VIL3	P20, P21	0		0.3 VDD	V
	VIL4	P60-P63	0		0.3 VDD	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET	0		0.2 VDD	V

注意 P00-P07, P10, P11, P16, P17, P22, P26, P27, P33-P35, P40-P47, P50, P52-P54, P64-P66, P75-P77, P80-P87, P93-P97, P125, P130, P140, P143-P147は、N-chオープン・ドレイン・モード時でもVIHの最大値(Max.)はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(4/7)

項目	略号	条件	Min.	Typ.	Max.	単位
ハイ・レベル出力電圧	VOH1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P130, P140-P147	4.0 V ≤ VDD ≤ 5.5 V, IOH1 = -10.0 mA	VDD -1.5		V
			4.0 V ≤ VDD ≤ 5.5 V, IOH1 = -3.0 mA	VDD -0.7		V
			2.7 V ≤ VDD ≤ 5.5 V, IOH1 = -2.0 mA	VDD -0.6		V
			1.8 V ≤ VDD ≤ 5.5 V, IOH1 = -1.5 mA	VDD -0.5		V
			1.6 V ≤ VDD < 5.5 V, IOH1 = -1.0 mA	VDD -0.5		V
	VOH2	P20, P21, P121, P122	4.0 V ≤ VDD ≤ 5.5 V, IOH2 = -3.0 mA	VDD -0.7		V
			2.7 V ≤ VDD < 4.0 V, IOH2 = -1.0 mA	VDD -0.5		V
			1.8 V ≤ VDD < 2.7 V, IOH2 = -1.0 mA	VDD -0.5		V
			1.6 V ≤ VDD < 1.8 V, IOH2 = -0.5 mA	VDD -0.5		V

注意 P00-P07, P10, P11, P16, P17, P22, P26, P27, P33-P35, P40-P47, P50, P52-P54, P64-P66, P75-P77, P80-P87, P93-P97, P125, P130, P140, P143-P147は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(5/7)

項目	略号	条件		Min.	Typ.	Max.	単位	
ロウ・レベル出力電圧	VOL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P125-P127, P130, P140-P147	4.0 V ≦ VDD ≦ 5.5 V	IOL1 = 20.0 mA			1.3	V
				IOL1 = 40.0 mA ^注			1.3	V
			4.0 V ≦ VDD ≦ 5.5 V	IOL1 = 8.5 mA			0.7	V
				IOL1 = 17.0 mA ^注			0.7	V
			2.7 V ≦ VDD ≦ 5.5 V	IOL1 = 3.0 mA			0.6	V
				IOL1 = 6.0 mA ^注			0.6	V
			2.7 V ≦ VDD ≦ 5.5 V	IOL1 = 1.5 mA			0.4	V
				IOL1 = 3.0 mA ^注			0.4	V
			1.8 V ≦ VDD ≦ 5.5 V	IOL1 = 0.6 mA			0.4	V
				IOL1 = 1.2 mA ^注			0.4	V
		1.6 V ≦ VDD ≦ 5.5 V	IOL1 = 0.3 mA			0.4	V	
			IOL1 = 0.6 mA ^注			0.4	V	
	VOL2	P20, P21, P121, P122	4.0 V ≦ VDD ≦ 5.5 V, IOL2 = 8.5 mA				0.7	V
			2.7 V ≦ VDD < 4.0 V, IOL2 = 1.5 mA				0.5	V
			1.8 V ≦ VDD < 2.7 V, IOL2 = 0.6 mA				0.4	V
			1.6 V ≦ VDD < 1.8 V, IOL2 = 0.4 mA				0.4	V
	VOL3	P60-P63	4.0 V ≦ VDD ≦ 5.5 V, IOL3 = 15.0 mA				2.0	V
			4.0 V ≦ VDD ≦ 5.5 V, IOL3 = 5.0 mA				0.4	V
			2.7 V ≦ VDD ≦ 5.5 V, IOL3 = 3.0 mA				0.4	V
			1.8 V ≦ VDD ≦ 5.5 V, IOL3 = 2.0 mA				0.4	V
			1.6 V ≦ VDD ≦ 5.5 V, IOL3 = 1.0 mA				0.4	V

注 下記のポートを40.0 mAポート出力制御レジスタ（PTDC）でIOL1 = 40.0 mAに選択したときの特性です。

44～52ピン製品、コード・フラッシュ・メモリ64-128 KBの64ピン製品：P00, P05, P16

コード・フラッシュ・メモリ256-512 KBの64ピン製品、80, 100ピン製品：P07, P10, P27

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(6/7)

項目	略号	条件			Min.	Typ.	Max.	単位
出力電流 ^注	CCDIoL	P74-P77, P60-P63	CCSm = 01H	4.0 V ≤ VDD ≤ 5.5 V	1.0	1.8	2.6	mA
				2.7 V ≤ VDD < 4.0 V	0.8	1.5	2.3	mA
			CCSm = 02H	4.0 V ≤ VDD ≤ 5.5 V	3.0	4.9	6.5	mA
				3.0 V ≤ VDD < 4.0 V	2.7	4.3	5.9	mA
			CCSm = 03H	4.0 V ≤ VDD ≤ 5.5 V	6.6	10.0	13.2	mA
				3.3 V ≤ VDD < 4.0 V	6.0	9.1	12.1	mA
		P60-P63	CCSm = 04H	4.0 V ≤ VDD ≤ 5.5 V	10.2	15.0	19.8	mA
				3.3 V ≤ VDD < 4.0 V	9.4	13.8	18.2	mA

注 出力電流制御機能を有効にした場合です。

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(7/7)

項目	略号	条件	Min.	Typ.	Max.	単位
ハイ・レベル入力 リーク電流	ILI1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P125-P127, P140-P147			0.5	μA
	ILI2	P20, P21, P137, RESET			0.5	μA
	ILI3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)			0.5	μA
ロウ・レベル入力 リーク電流	ILIL1	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P125-P127, P140-P147			-0.5	μA
	ILIL2	P20, P21, P137, RESET			-0.5	μA
	ILIL3	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)			-0.5	μA
内蔵プリアップ抵抗	RU	P00-P07, P10-P17, P22-P27, P30-P35, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P121, P122, P125-P127, P140-P147	10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

42.3.2 電源電流特性

(1) 44～64ピン製品のコード・フラッシュ・メモリ256-512 KBの製品および80, 100ピン製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/4)

項目	略号	条件						Min.	Typ.	Max.	単位
電源電流 ^{注1}	IDD1	動作モード	HS（高速メイン）モード	f _I H = 32 MHz ^{注2}	基本動作	V _{DD} = 5.0 V		1.6	—	mA	
						V _{DD} = 1.8 V		1.6	—		
					通常動作	V _{DD} = 5.0 V		3.5	5.9	mA	
						V _{DD} = 1.8 V		3.5	5.9		
			LS（低速メイン）モード	f _I H = 24 MHz ^{注2}	通常動作	V _{DD} = 5.0 V		2.6	4.5	mA	
						V _{DD} = 1.8 V		2.6	4.5		
				f _I H = 16 MHz ^{注2}	通常動作	V _{DD} = 5.0 V		1.9	3.2	mA	
						V _{DD} = 1.8 V		1.9	3.2		
				f _I M = 4 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		0.5	0.9	mA	
						V _{DD} = 1.6 V		0.5	0.9		
		LP（低電力メイン）モード	f _I M = 2 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		227	379	μA		
					V _{DD} = 1.6 V		226	378			
			f _I M = 1 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		126	205	μA		
					V _{DD} = 1.6 V		125	204			
		HS（高速メイン）モード	f _M X = 20 MHz ^{注4} 、 方形波入力	通常動作	V _{DD} = 5.0 V		2.3	3.8	mA		
					V _{DD} = 1.8 V		2.2	3.8			
			LS（低速メイン）モード	f _M X = 20 MHz ^{注4} 、 方形波入力	通常動作	V _{DD} = 5.0 V		2.2	3.7	mA	
						V _{DD} = 1.8 V		2.1	3.6		
		f _M X = 20 MHz ^{注4} 、 発振子接続		通常動作	V _{DD} = 5.0 V		2.3	3.9	mA		
					V _{DD} = 1.8 V		2.3	3.8			
		f _M X = 10 MHz ^{注4} 、 方形波入力		通常動作	V _{DD} = 5.0 V		1.1	1.9	mA		
					V _{DD} = 1.8 V		1.1	1.9			
		f _M X = 10 MHz ^{注4} 、 発振子接続		通常動作	V _{DD} = 5.0 V		1.2	2.1	mA		
					V _{DD} = 1.8 V		1.2	2.1			
		f _M X = 8 MHz ^{注4} 、 方形波入力		通常動作	V _{DD} = 5.0 V		0.9	1.5	mA		
					V _{DD} = 1.8 V		0.9	1.5			
		f _M X = 8 MHz ^{注4} 、 発振子接続	通常動作	V _{DD} = 5.0 V		1.0	1.7	mA			
				V _{DD} = 1.8 V		1.0	1.7				

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSS, EVSSに固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp. 値は周辺動作電流を含みません。Max. 値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(備考は次ページに続きます)

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTyp.値の温度条件は、T_A = +25°Cです。

(1) 44～64ピン製品のコード・フラッシュ・メモリ256-512 KBの製品および80, 100ピン製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/4)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流 ^{注1}	IDD1	動作モード	サブシステム・クロック動作モード	fsUB = 32.768 kHz ^{注2} 、 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.8	6.7	μA
						TA = +25°C		4.2	7.0	
						TA = +50°C		4.7	12.1	
						TA = +70°C		5.6	25.5	
						TA = +85°C		6.8	41.0	
						TA = +105°C		10.8	87.2	
				fsUB = 32.768 kHz ^{注3} 、 方形波入力	通常動作	TA = -40°C		4.0	7.3	μA
						TA = +25°C		4.2	8.2	
						TA = +50°C		4.7	13.4	
						TA = +70°C		5.5	26.7	
						TA = +85°C		6.7	42.8	
						TA = +105°C		10.7	89.3	
				fsUB = 32.768 kHz ^{注3} 、 発振子接続	通常動作	TA = -40°C		3.9	6.9	μA
						TA = +25°C		4.1	7.3	
						TA = +50°C		4.5	12.4	
						TA = +70°C		5.3	25.6	
						TA = +85°C		6.5	41.1	
						TA = +105°C		10.2	87.0	

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSS, EVSSに固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。

低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fsUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

(1) 44～64ピン製品のコード・フラッシュ・メモリ256-512 KBの製品および80, 100ピン製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
★ ★ ★ ★	IDD2 ^{注2}	HALTモード	HS（高速メイン）モード	f _{IH} = 32 MHz ^{注3}	VDD = 5.0 V		0.61	2.24	mA
					VDD = 1.8 V		0.60	2.23	
			LS（低速メイン）モード	f _{IH} = 24 MHz ^{注3}	VDD = 5.0 V		0.51	1.74	mA
					VDD = 1.8 V		0.50	1.73	
				f _{IH} = 16 MHz ^{注3}	VDD = 5.0 V		0.47	1.33	mA
					VDD = 1.8 V		0.47	1.32	
			LP（低電力メイン）モード	f _{IM} = 4 MHz ^{注4}	VDD = 5.0 V		0.09	0.31	mA
					VDD = 1.6 V		0.09	0.30	
				f _{IM} = 2 MHz ^{注4}	VDD = 5.0 V		38	140	μA
					VDD = 1.6 V		37	138	
			LP（低電力メイン）モード	f _{IM} = 1 MHz ^{注4}	VDD = 5.0 V		32	86	μA
					VDD = 1.6 V		31	85	
			HS（高速メイン）モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.24	1.23	mA
					VDD = 1.8 V		0.23	1.21	
			LS（低速メイン）モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.24	1.22	mA
					VDD = 1.8 V		0.23	1.22	
				f _{MX} = 20 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.51	1.56	mA
					VDD = 1.8 V		0.49	1.54	
				f _{MX} = 10 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.15	0.65	mA
					VDD = 1.8 V		0.12	0.61	
				f _{MX} = 10 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.30	0.84	mA
					VDD = 1.8 V		0.29	0.82	
			HS（高速メイン）モード	f _{MX} = 8 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.13	0.54	mA
					VDD = 1.8 V		0.10	0.50	
			LP（低電力メイン）モード	f _{MX} = 8 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.26	0.70	mA
					VDD = 1.8 V		0.25	0.68	

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSS, EVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTyp.値の温度条件は、TA = +25°Cです。

(1) 44～64ピン製品のコード・フラッシュ・メモリ256-512 KBの製品および80, 100ピン製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(4/4)

項目	略号	条件				Min.	Typ.	Max.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	サブシステム・ クロック動作モード	fSUB = 32.768 kHz ^{注3} 、 低速オンチップ・ オシレータ動作	TA = −40℃		0.76	3.30	μA			
					TA = +25℃		0.90	3.38				
					TA = +50℃		1.12	8.20				
					TA = +70℃		1.61	21.16				
					TA = +85℃		2.53	36.29				
					TA = +105℃		5.39	81.33				
				fSUB = 32.768 kHz、 方形波入力 ^{注4}	TA = −40℃		0.41	3.39	μA			
					TA = +25℃		0.63	4.23				
					TA = +50℃		0.87	9.24				
					TA = +70℃		1.38	22.24				
					TA = +85℃		2.35	38.01				
					TA = +105℃		5.22	83.22				
				fSUB = 32.768 kHz、 発振子接続 ^{注5}	TA = −40℃		0.36	3.04	μA			
					TA = +25℃		0.50	3.32				
					TA = +50℃		0.72	8.19				
					TA = +70℃		1.22	21.12				
					TA = +85℃		2.11	36.33				
					TA = +105℃		4.92	81.12				
					IDD3	STOPモード	RAMSDMD = 0, RAMSDS = 0 ^{注6}	TA = −40℃		0.24	2.20	μA
								TA = +25℃		0.34	2.20	
								TA = +50℃		0.55	7.00	
								TA = +70℃		1.06	20.00	
								TA = +85℃		1.92	35.00	
								TA = +105℃		4.76	80.00	
RAMSDMD = 1, RAMSDS = 1 ^{注7}	TA = −40℃		0.23				2.20	μA				
	TA = +25℃		0.33				2.20					
	TA = +50℃		0.51				7.00					
	TA = +70℃		0.91				17.00					
	TA = +85℃		1.66				30.00					
	TA = +105℃		4.06				70.00					
RAMSDMD = 1, RAMSDS = 1、 リアルタイム・クロック 128Hz動作 ^{注8}	TA = −40℃		0.28				2.30	μA				
	TA = +25℃		0.40				2.30					
	TA = +50℃		0.60				7.10					
	TA = +70℃		0.99				17.10					
	TA = +85℃		1.76				30.10					
	TA = +105℃		4.16				70.10					

(注、備考は次ページに続きます)

- 注1.** VDDに流れるトータル電流です。入力端子をVDDまたはVSS, EVSSに固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- 注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- 注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。
- 注6.** 全領域のRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7.** 4 KバイトのRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
- 注8.** 4 KバイトのRAMを保持。
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTCに流れる電流は含みます。
- 備考1.** f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考2.** f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

★ (2) 44～64ピン製品のコード・フラッシュ・メモリ64-128KBの製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(1/4)

項目	略号	条件					Min.	Typ.	Max.	単位		
電源電流 ^{注1}	IDD1	動作モード	HS（高速メイン）モード	f _{IH} = 32 MHz ^{注2}	基本動作	V _{DD} = 5.0 V		1.4	—	mA		
						V _{DD} = 1.8 V		1.4	—			
					通常動作	V _{DD} = 5.0 V		3.0	5.3	mA		
						V _{DD} = 1.8 V		3.0	5.3			
					LS（低速メイン）モード	f _{IH} = 24 MHz ^{注2}	通常動作	V _{DD} = 5.0 V		2.3	4.0	mA
								V _{DD} = 1.8 V		2.2	4.0	
			f _{IH} = 16 MHz ^{注2}	通常動作		V _{DD} = 5.0 V		1.7	2.9	mA		
						V _{DD} = 1.8 V		1.7	2.9			
			f _{IM} = 4 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		0.4	0.8	mA			
					V _{DD} = 1.6 V		0.4	0.8				
				LP（低電力メイン）モード	f _{IM} = 2 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		198	342	μA	
							V _{DD} = 1.6 V		196	340		
		f _{IM} = 1 MHz ^{注3}	通常動作		V _{DD} = 5.0 V		110	185	μA			
					V _{DD} = 1.6 V		109	184				
		HS（高速メイン）モード	f _{MX} = 20 MHz ^{注4} 、 方形波入力	通常動作	V _{DD} = 5.0 V		1.9	3.3	mA			
					V _{DD} = 1.8 V		1.9	3.3				
			LS（低速メイン）モード	f _{MX} = 20 MHz ^{注4} 、 方形波入力	通常動作	V _{DD} = 5.0 V		1.7	3.1	mA		
						V _{DD} = 1.8 V		1.7	3.1			
				f _{MX} = 20 MHz ^{注4} 、 発振子接続	通常動作	V _{DD} = 5.0 V		2.0	3.4	mA		
						V _{DD} = 1.8 V		1.9	3.4			
		f _{MX} = 10 MHz ^{注4} 、 方形波入力		通常動作	V _{DD} = 5.0 V		0.9	1.7	mA			
					V _{DD} = 1.8 V		0.9	1.6				
		f _{MX} = 10 MHz ^{注4} 、 発振子接続		通常動作	V _{DD} = 5.0 V		1.0	1.8	mA			
					V _{DD} = 1.8 V		1.0	1.8				
		f _{MX} = 8 MHz ^{注4} 、 方形波入力	通常動作	V _{DD} = 5.0 V		0.8	1.4	mA				
				V _{DD} = 1.8 V		0.7	1.3					
			f _{MX} = 8 MHz ^{注4} 、 発振子接続	通常動作	V _{DD} = 5.0 V		0.9	1.5	mA			
					V _{DD} = 1.8 V		0.9	1.5				

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS (高速メイン) モード、LS (低速メイン) モード、LP (低電力メイン) モード時、電源電流のTyp.値は周辺動作電流を含みません。Max. 値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(備考は次ページに続きます)

備考1. f_{IH} : 高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} : 中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考4. 特に指定がない場合のTyp.値の温度条件は、T_A = +25°Cです。

★ (2) 44～64ピン製品のコード・フラッシュ・メモリ 64-128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(2/4)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流 ^{注1}	IDD1	動作モード	サブシステム・クロック動作モード	fsUB = 32.768 kHz ^{注2} 、 低速オンチップ・オシレータ動作	通常動作	TA = -40°C		3.3	5.3	μA
						TA = +25°C		3.5	5.4	
						TA = +50°C		3.8	8.6	
						TA = +70°C		4.3	14.2	
						TA = +85°C		5.0	24.3	
						TA = +105°C		7.3	55.2	
				fsUB = 32.768 kHz ^{注3} 、 方形波入力	通常動作	TA = -40°C		3.7	5.9	μA
						TA = +25°C		3.9	6.1	
						TA = +50°C		4.3	9.9	
						TA = +70°C		5.2	16.4	
						TA = +85°C		6.1	25.8	
						TA = +105°C		8.0	55.7	
				fsUB = 32.768 kHz ^{注3} 、 発振子接続	通常動作	TA = -40°C		3.3	5.6	μA
						TA = +25°C		3.5	5.8	
						TA = +50°C		3.8	8.9	
						TA = +70°C		4.2	14.4	
						TA = +85°C		4.9	24.1	
						TA = +105°C		7.2	55.5	

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fsUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

★ (2) 44～64ピン製品のコード・フラッシュ・メモリ 64-128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS（高速メイン）モード	f _{IH} = 32 MHz ^{注3}	VDD = 5.0 V		0.57	2.19	mA
					VDD = 1.8 V		0.56	2.18	
			LS（低速メイン）モード	f _{IH} = 24 MHz ^{注3}	VDD = 5.0 V		0.48	1.70	mA
					VDD = 1.8 V		0.47	1.69	
				f _{IH} = 16 MHz ^{注3}	VDD = 5.0 V		0.46	1.31	mA
					VDD = 1.8 V		0.45	1.30	
			LP（低電力メイン）モード	f _{IM} = 4 MHz ^{注4}	VDD = 5.0 V		0.09	0.30	mA
					VDD = 1.6 V		0.08	0.29	
				f _{IM} = 2 MHz ^{注4}	VDD = 5.0 V		35	136	μA
					VDD = 1.6 V		34	135	
			LP（低電力メイン）モード	f _{IM} = 1 MHz ^{注4}	VDD = 5.0 V		29	83	μA
					VDD = 1.6 V		28	82	
			HS（高速メイン）モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.24	1.22	mA
					VDD = 1.8 V		0.21	1.18	
			LS（低速メイン）モード	f _{MX} = 20 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.24	1.22	mA
					VDD = 1.8 V		0.21	1.18	
				f _{MX} = 20 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.47	1.51	mA
					VDD = 1.8 V		0.45	1.49	
				f _{MX} = 10 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.15	0.65	mA
					VDD = 1.8 V		0.12	0.62	
				f _{MX} = 10 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.27	0.80	mA
					VDD = 1.8 V		0.26	0.79	
			LS（低速メイン）モード	f _{MX} = 8 MHz ^{注5} 、 方形波入力	VDD = 5.0 V		0.13	0.53	mA
					VDD = 1.8 V		0.10	0.50	
			LS（低速メイン）モード	f _{MX} = 8 MHz ^{注5} 、 発振子接続	VDD = 5.0 V		0.20	0.62	mA
					VDD = 1.8 V		0.19	0.61	

注1. VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM}：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTyp.値の温度条件は、TA = +25°Cです。

★ (2) 44～64ピン製品のコード・フラッシュ・メモリ 64-128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

(4/4)

項目	略号	条件				Min.	Typ.	Max.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	サブシステム・ クロック動作モード	fSUB = 32.768 kHz ^{注3} 、 低速オンチップ・ オシレータ動作	TA = -40°C		0.66	2.46	μA			
					TA = +25°C		0.78	2.47				
					TA = +50°C		0.93	5.50				
					TA = +70°C		1.27	10.96				
					TA = +85°C		1.84	20.89				
					TA = +105°C		3.72	51.33				
				fSUB = 32.768 kHz、 方形波入力 ^{注4}	TA = -40°C		0.32	2.25	μA			
					TA = +25°C		0.44	2.33				
					TA = +50°C		0.66	5.92				
					TA = +70°C		1.12	12.10				
					TA = +85°C		1.56	21.02				
					TA = +105°C		3.18	50.58				
				fSUB = 32.768 kHz、 発振子接続 ^{注5}	TA = -40°C		0.33	2.35	μA			
					TA = +25°C		0.46	2.50				
					TA = +50°C		0.60	5.53				
					TA = +70°C		0.94	10.88				
					TA = +85°C		1.47	20.36				
					TA = +105°C		3.28	51.29				
					IDD3	STOPモード	RAMSDMD = 0, RAMSDS = 0 ^{注6}	TA = -40°C		0.21	1.50	μA
								TA = +25°C		0.32	1.50	
								TA = +50°C		0.52	4.50	
								TA = +70°C		0.82	10.00	
								TA = +85°C		1.42	20.00	
								TA = +105°C		3.09	50.00	
RAMSDMD = 1, RAMSDS = 1 ^{注7}	TA = -40°C		0.21					1.50	μA			
	TA = +25°C		0.31					1.50				
	TA = +50°C		0.49					4.00				
	TA = +70°C		0.78					9.00				
	TA = +85°C		1.26					18.00				
	TA = +105°C		2.87					45.00				
RAMSDMD = 1, RAMSDS = 1、 リアルタイム・クロック 128Hz動作 ^{注8}	TA = -40°C		0.28				1.60	μA				
	TA = +25°C		0.40				1.60					
	TA = +50°C		0.60				4.10					
	TA = +70°C		0.85				9.10					
	TA = +85°C		1.39				18.10					
	TA = +105°C		3.07				45.10					

(注、備考は次ページに続きます)

- 注1.** VDDに流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モード時、電源電流のTyp. 値とMax. 値は周辺動作電流を含みません。
- 注2.** フラッシュ・メモリでのHALT命令実行時。
- 注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。
- 注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
- 注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。
- 注6.** 全領域のRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 注7.** 4 KバイトのRAMを保持。
低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。
- 注8.** 4 KバイトのRAMを保持。
低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 11B) 設定時。RTCに流れる電流は含みます。
- 備考1.** f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考2.** f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

(3) 周辺機能（全製品共通）

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/3)

項目	略号	条件		Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	IFIH ^{注1}				345		μA
中速オンチップ・オシレータ動作電流	IFIM ^{注1}				20		μA
低速オンチップ・オシレータ動作電流	IFIL ^{注1}				0.3		μA
RTC動作電流	IRTC ^{注1, 2, 3}	fRTCCLK = 32.768 kHz			0.005		μA
		fRTCCLK = 128 Hz			0.002		μA
32ビット・インターバル・タイマ動作電流	IIT ^{注1, 2, 4}				0.04		μA
8ビット・インターバル・タイマ動作電流	ITMT ^{注1, 2, 5}	fSUB = 32.768 kHz, fMAIN停止	8ビット・カウンタ・モード × 2 ch動作		0.08		μA
			16ビット・カウンタ・モード動作		0.06		μA
タイマRJ動作電流	ITMRJ ^{注6}	fSUB = 32.768 kHz, fMAIN停止、1ユニットあたり			0.14		μA
★ 16ビット・タイマKB40, KB41, KB42動作電流	ITMKB ^{注7}	単体動作モード、タイマ出力禁止、fHOCO = 64 MHz	44～64ピン製品のコード・フラッシュ・メモリ 64～128 KBの製品、1ユニット		235		μA
			44～64ピン製品のコード・フラッシュ・メモリ 256～512 KBの製品および80, 100ピン製品、3ユニット		530		μA
外部サンプリング動作電流	IEXSD ^{注8}	fSUB = 32.768 kHz, fMAIN停止			0.03		μA
ウォッチドッグ・タイマ動作電流	IWDT ^{注1, 2, 9}	fIL = 32.768 kHz (Typ.)			0.32		μA
発振停止検出回路動作電流	IOSDC ^{注1}				0.02		μA
A/Dコンバータ動作電流	IADC ^{注1, 10}	最高速変換時	標準モード、AVREFP = VDD = 5.0 V		0.95	1.6	mA
			低電圧モード、AVREFP = VDD = 3.0 V		0.5	0.75	mA
AVREFP電流	IADREF ^{注11}	AVREFP = 5.0 V			52		μA
A/Dコンバータ内部基準電圧電流	IADREF ^{注1}				114		μA
温度センサ動作電流	ITMPS ^{注1}				110		μA
D/Aコンバータ動作電流	IDAC ^{注1, 12}	1チャンネルあたり			150		μA
コンパレータ動作電流	ICMP ^{注1, 13}				6		μA
LVD動作電流	ILVD0 ^{注1, 14}				0.02		μA
	ILVD1 ^{注1, 14}				0.02		μA
セルフ・プログラミング動作電流	IFSP ^{注1, 15}				2.5	12.2	mA
データ・フラッシュ書き換え動作電流	IBGO ^{注1, 16}				2.5	12.2	mA

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/3)

	項目	略号	条件		Min.	Typ.	Max.	単位	
★	SNOOZE モード・シーケンサ動作電流	ISMS ^{注1, 17}	fIH = 32 MHz	44～64ピン製品のコード・フラッシュ・メモリ 64～128 KBの製品		1.1		mA	
				44～64ピン製品のコード・フラッシュ・メモリ 256～512 KBの製品および80, 100ピン製品		1.5		mA	
★			fIL = 32.768 kHz	44～64ピン製品のコード・フラッシュ・メモリ 64～128 KBの製品		1.2		μA	
				44～64ピン製品のコード・フラッシュ・メモリ 256～512 KBの製品および80, 100ピン製品		1.6		μA	
★	SNOOZE 動作電流	ISNOZ ^{注1}	fIH = 32 MHz	ADC 動作	モード遷移中 ^{注18}		0.6	0.81	mA
					変換動作中、低電圧モード、AVREFP = VDD = 3.0 V		1.2	1.56	mA
				簡易SPI（CSI）／UART 動作			0.7	0.92	mA
				SMS ^{注19}	44～64ピン製品コード・フラッシュ・メモリ 64～128 KBの製品		1.6		mA
					44～64ピン製品のコード・フラッシュ・メモリ 256～512 KBの製品および80, 100ピン製品		2.0		mA
				低速周辺クロック供給電流		ISXP ^{注1, 20}	RTCLPC = 0		
出力電流制御機能動作電流	ICCD ^{注1, 21}	CCDE = 00H 以外			100		μA		
	ICCDP ^{注22, 23}	出力電流制御ポート1本あたり	ロウ・レベル出力電流の設定：Hi-Z		30		μA		
			ロウ・レベル出力電流の設定：2～15 mA		200		μA		
真性乱数発生器動作電流		ITRNG ^{注1}				1.1		mA	

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(3/3)

項目	略号	条件	Min.	Typ.	Max.	単位
LCD動作電流	ILCD1 注1, 24, 25	外部抵抗分割方式 fLCD = fSUB LCDクロック = 128 Hz 1/3バイアス、4時分割		0.02		μA
	ILCD2注1	内部昇圧方式 fLCD = fSUB LCDクロック = 128 Hz 1/3バイアス、4時分割 VL1リファレンス		0.74		μA
				1.03		μA
		fLCD = fSUB LCDクロック = 128 Hz 1/3バイアス、4時分割 VL2リファレンス注26		0.63		μA
				0.83		μA
	ILCD3注1	容量分割方式 fLCD = fSUB LCDクロック = 128 Hz 1/3バイアス、4時分割、 VDDリファレンス		0.14		μA
		fLCD = fSUB LCDクロック = 128 Hz 1/3バイアス、4時分割、 VL4リファレンス		0.63		μA

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロックは停止時。

注3. リアル・タイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 32ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

注5. 8ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの8ビット・インターバル・タイマの動作時は、IDD1またはIDD2にITMTを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

注6. タイマRJにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのタイマRJの動作時は、IDD1またはIDD2にITMRJを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

注7. 16ビット・タイマKB40, KB41, KB42にのみ流れる電流です（高速オンチップ・オシレータの動作電流は含みません）。動作モードまたはHALTモードでの16ビット・タイマKB40, KB41, KB42の動作時は、IDD1またはIDD2にITMKBを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

- 注8. 外部サンプリングにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路、8ビット・インターバル・タイマの動作電流は含みません）。動作モードまたはHALTモードでの外部サンプリングの動作時は、IDD1またはIDD2にIEXSDを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 注9. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDIを加算した値が、RL78マイクロコントローラの電流値となります。
- 注10. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注11. AVREFPに流れる電流です。
- 注12. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注13. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注14. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注15. セルフ・プログラミング動作に流れる電流です。
- 注16. データ・フラッシュ書き換え動作に流れる電流です。
- 注17. SNOOZEモード・シーケンサにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのSNOOZEモード・シーケンサ動作時は、IDD1またはIDD2を加算した値が、RL78マイクロコントローラの電流値となります。
- 注18. SNOOZEモードへの移行時間は、**27.3.3 SNOOZEモード**を参照してください。
- 注19. SNOOZEモード・シーケンサがIDD1の通常動作に相当する動作を実行したときの電流です。また、SNOOZEモード・シーケンサ以外の周辺機能に流れる電流は含みません。
- 注20. サブシステム・クロックX (fsx) が発振している状態でRTCLPC = 0かつSTOPモード時、RTCLPC = 0かつCPUクロックにサブシステム・クロックX (fsx) を選択した状態でのHALTモード時に加算される電流です。
- 注21. 出力電流制御ポート設定時に加算される電流です。
- 注22. I/Oポートに流れる電流は含みません。
- 注23. VDDに流れる電流です。
- 注24. LCDコントローラ／ドライバにのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ／ドライバが動作中の場合、電源電流（IDD1またはIDD2）にLCD動作電流（ILCD1またはILCD2またはILCD3）を加算した値が、RL78マイクロコントローラの電流値となります。LCDパネルに流れる電流は含みません。Typ. 値、Max. 値は以下の条件の値になります。
- ・ 20端子をセグメント機能として設定し、全点灯
 - ・ システム・クロックにfSUB選択、LCDクロック = 128 Hz時 (LCDC0 = 07H)
 - ・ 4時分割、1/3バイアス設定
- 注25. 外部抵抗分割方式使用時の外部分割抵抗に流れる電流は含みません。
- 注26. $V_{L2}(\text{Max.}) + 0.1 \text{ V} \leq V_{DD}$ の範囲で使用してください。詳細は**42.6.8.2 内部昇圧方式**を参照ください。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fsx : サブシステム・クロックX周波数

備考3. fCLK : CPU／周辺ハードウェア・クロック周波数

備考4. Typ. 値の温度条件は、TA = +25°Cです。

42.4 AC特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/2)

項目	略号	条件			Min.	Typ.	Max.	単位
命令サイクル (最小命令実行時間)	TCY	メイン・システム・クロック (fMAIN) 動作	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.25		1	μs
			LP (低電力メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.5		1	μs
		サブシステム・クロック (fSUB) 動作		1.6 V ≤ VDD ≤ 5.5 V	26.041	30.5	31.3	μs
		セルフ・プログラミング時	HS (高速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				1.6 V ≤ VDD ≤ 1.8 V	0.5		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.04167		1	μs
1.6 V ≤ VDD ≤ 1.8 V	0.5				1	μs		
外部システム・クロック周波数	fEX	1.8 V ≤ VDD ≤ 5.5 V			1		20	MHz
		1.6 V ≤ VDD < 1.8 V			1		4	MHz
	fEXS				32		38.4	kHz
外部システム・クロック入力 ハイ・レベル幅、ロウ・レベル幅	tEXH,	1.8 V ≤ VDD ≤ 5.5 V			24			ns
	tEXL	1.6 V ≤ VDD < 1.8 V			120			ns
	tEXHS, tEXLS				13.7			μs
TI00-TI07入力 ハイ・レベル幅、ロウ・レベル幅	tTIH, tTIL				1/fMCK +10			ns
タイマRJ入力サイクル	tc	TRJIO0, TRJIO1	2.7 V ≤ VDD ≤ 5.5 V	100			ns	
			1.8 V ≤ VDD < 2.7 V	300			ns	
			1.6 V ≤ VDD < 1.8 V	500			ns	
タイマRJ入力 ハイ・レベル幅、ロウ・レベル幅	tTJH, tTJL	TRJIO0, TRJIO1	2.7 V ≤ VDD ≤ 5.5 V	40			ns	
			1.8 V ≤ VDD < 2.7 V	120			ns	
			1.6 V ≤ VDD < 1.8 V	200			ns	
TO00-TO07, TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TRJIO0, TRJIO1, TRJO0, TRJO1出力周波数	fTO	HS (高速メイン) モード、LS (低速メイン) モード	4.0 V ≤ VDD ≤ 5.5 V			16	MHz	
			2.7 V ≤ VDD < 4.0 V			8	MHz	
			1.8 V ≤ VDD < 2.7 V			4	MHz	
			1.6 V ≤ VDD < 1.8 V			2	MHz	
		LP (低電力メイン) モード		1.6 V ≤ VDD ≤ 5.5 V			2	MHz
PCLBUZ0, PCLBUZ1出力周波数	fPCL	HS (高速メイン) モード、LS (低速メイン) モード	4.0 V ≤ VDD ≤ 5.5 V			16	MHz	
			2.7 V ≤ VDD < 4.0 V			8	MHz	
			1.8 V ≤ VDD < 2.7 V			4	MHz	
			1.6 V ≤ VDD < 1.8 V			2	MHz	
		LP (低電力メイン) モード		1.6 V ≤ VDD ≤ 5.5 V			2	MHz

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/2)

項目	略号	条件		Min.	Typ.	Max.	単位
割り込み入力 ハイ・レベル幅、 ロウ・レベル幅	tINTH, tINTL	INTP0-INTP7	1.6 V ≤ VDD ≤ 5.5 V	1			μs
キー割り込み入力 ハイ・レベル幅、 ロウ・レベル幅	tKRH, tKRL	KR0-KR7	1.8 V ≤ VDD ≤ 5.5 V	250			ns
			1.6 V ≤ VDD < 1.8 V	1			μs
RESET ロウ・レベル幅	tRSL			10			μs

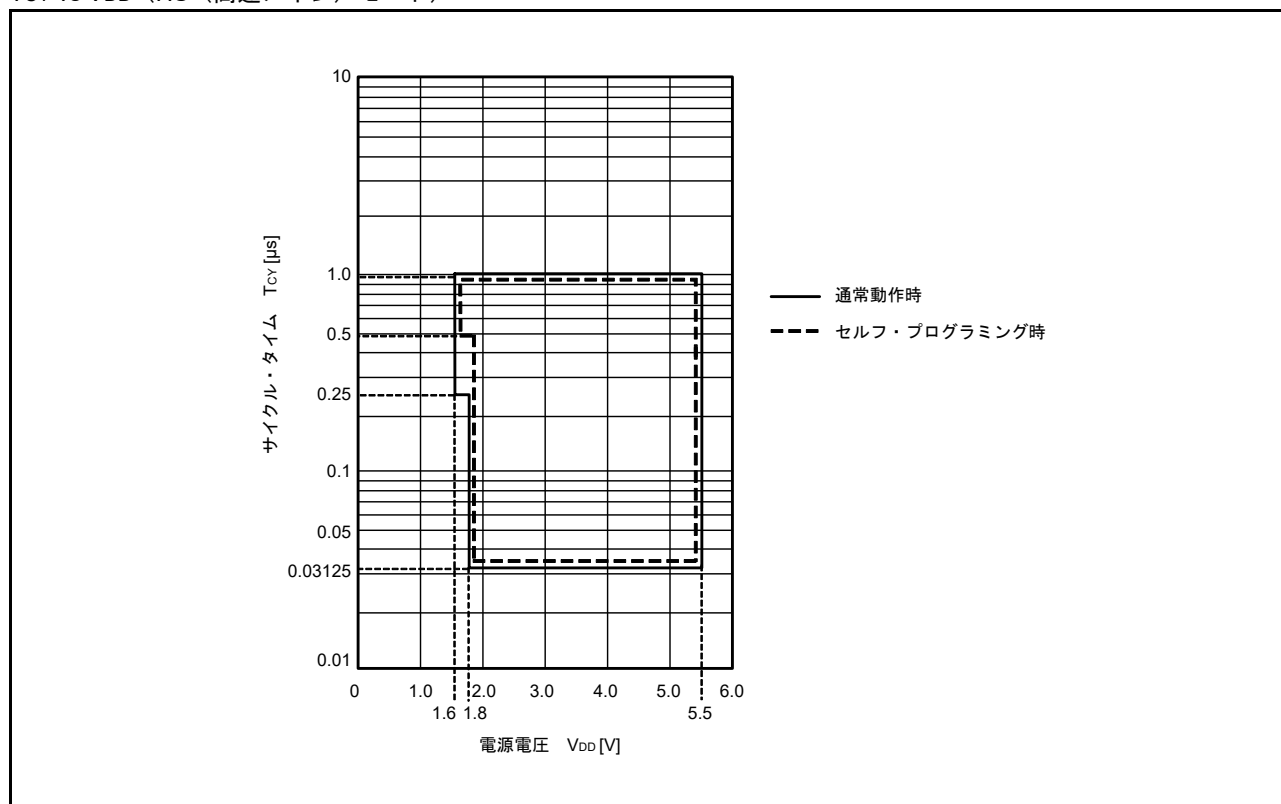
備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn) CKSmn0, CKSmn1 ビットで設定する動作クロック。

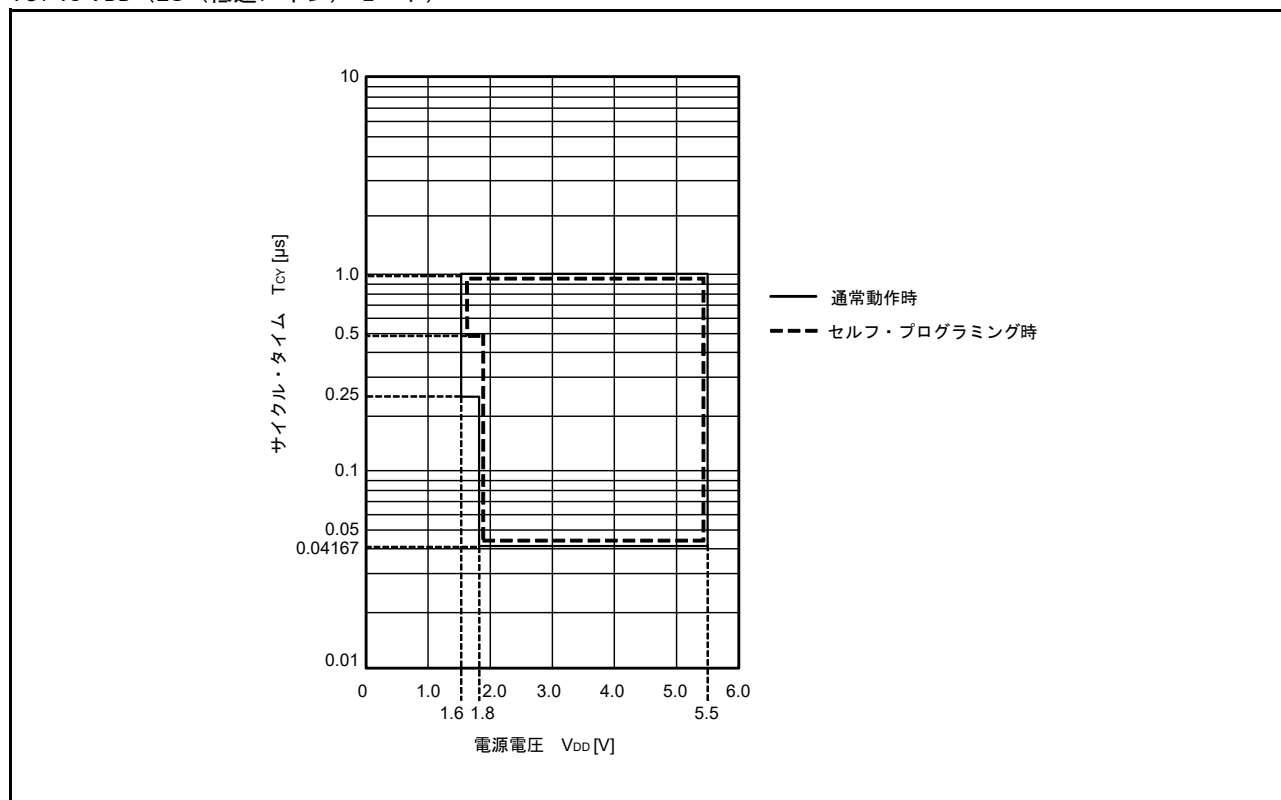
m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

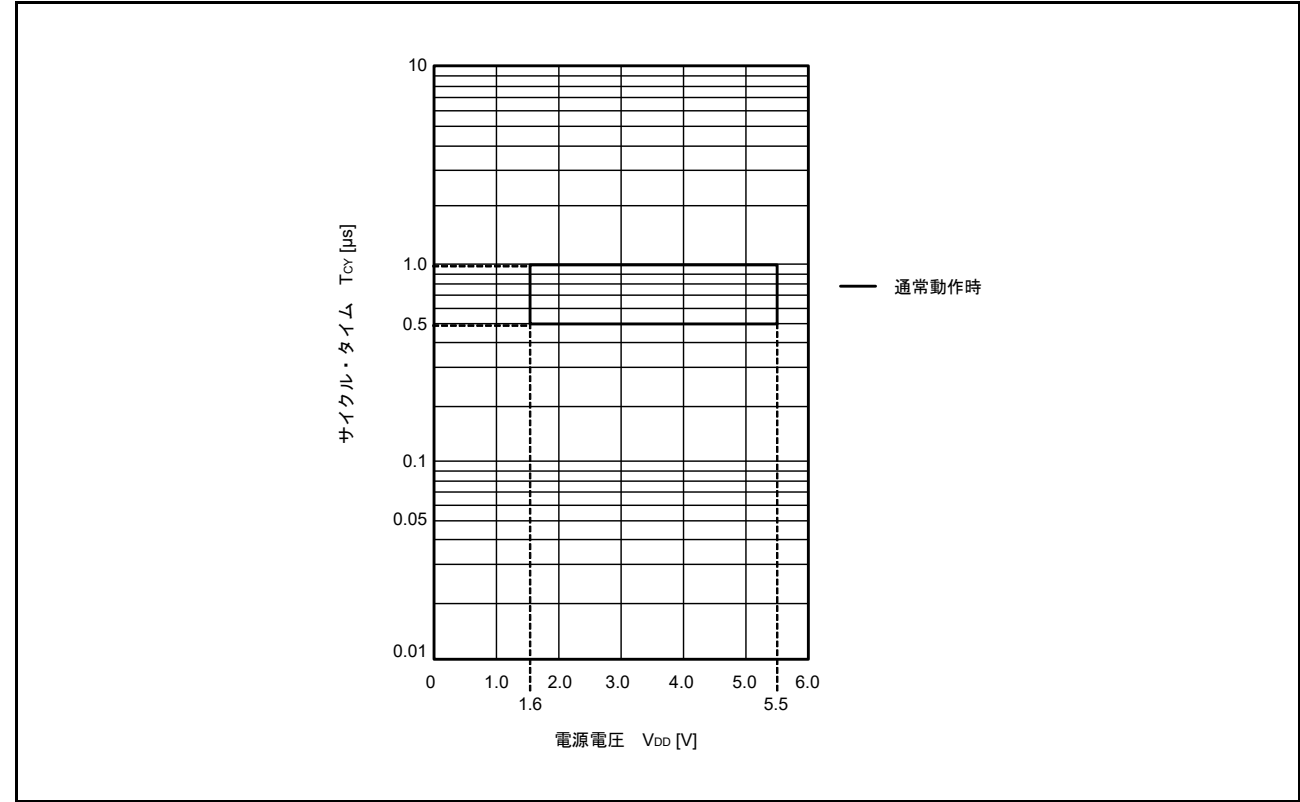
TCY vs VDD (HS (高速メイン) モード)



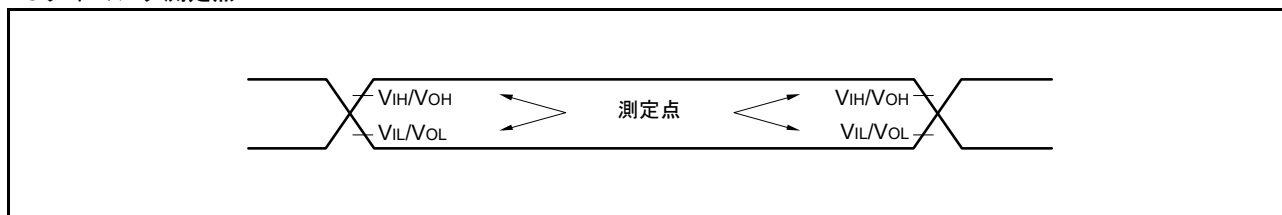
TCY vs VDD (LS (低速メイン) モード)



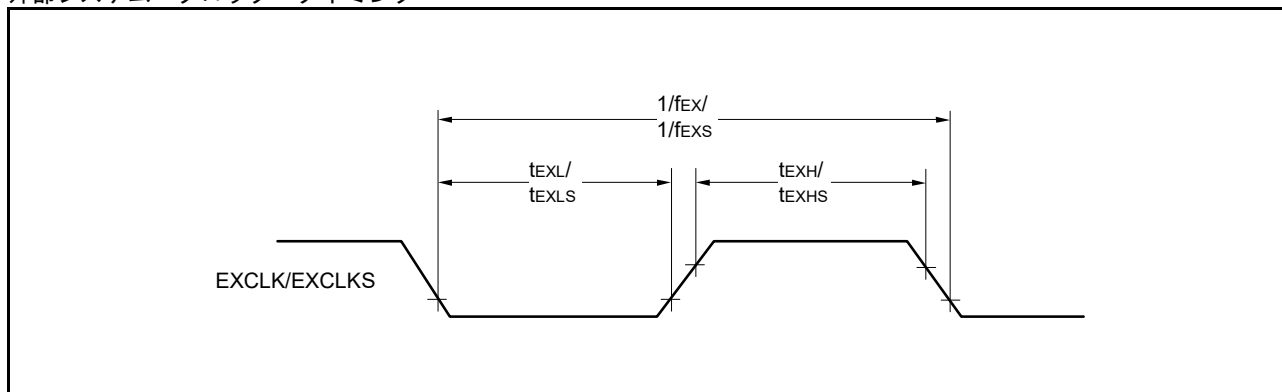
TCY vs VDD (LP (低電力メイン) モード)



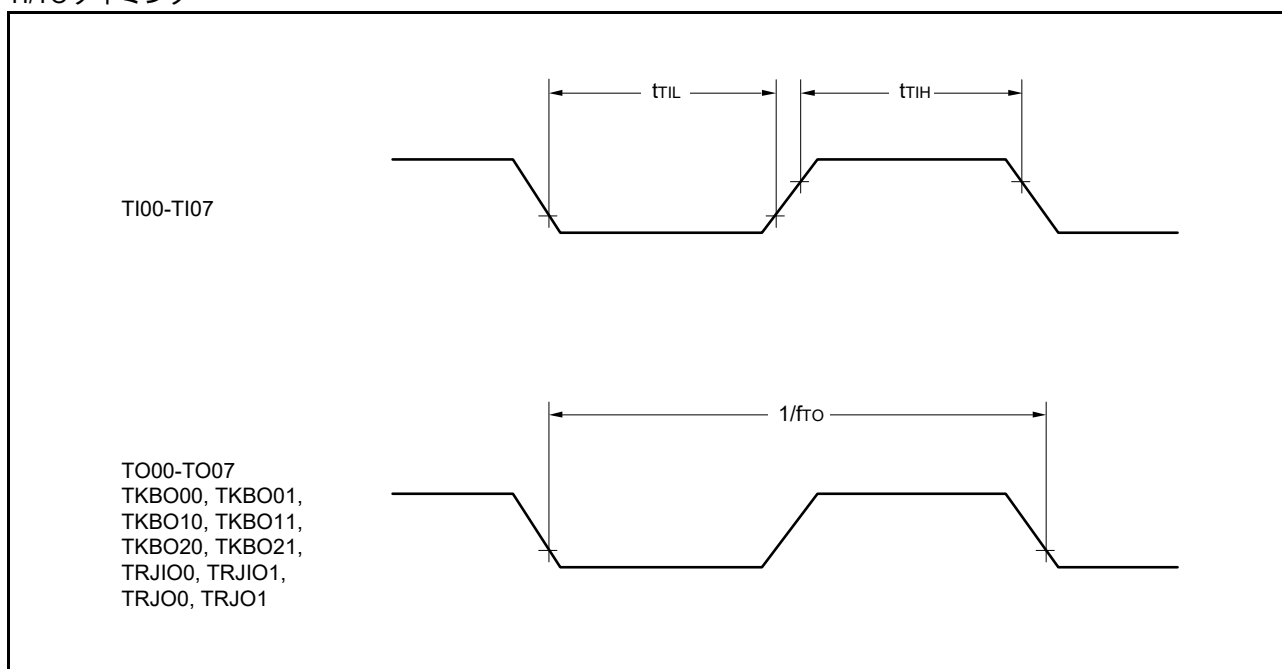
AC タイミング測定点



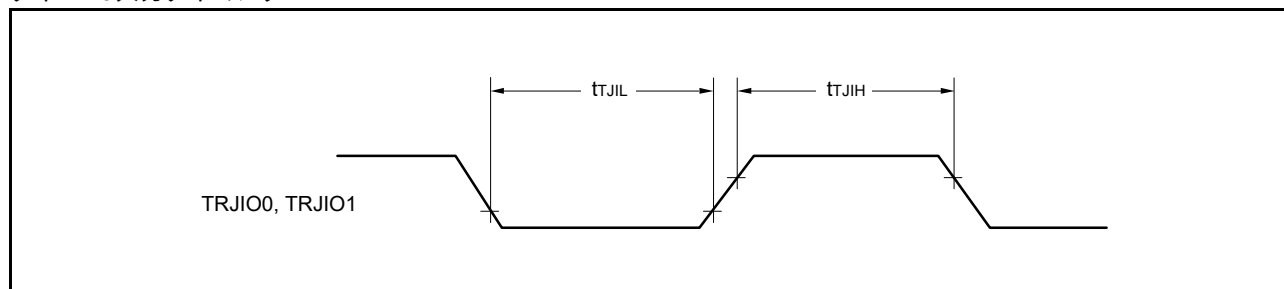
外部システム・クロック・タイミング



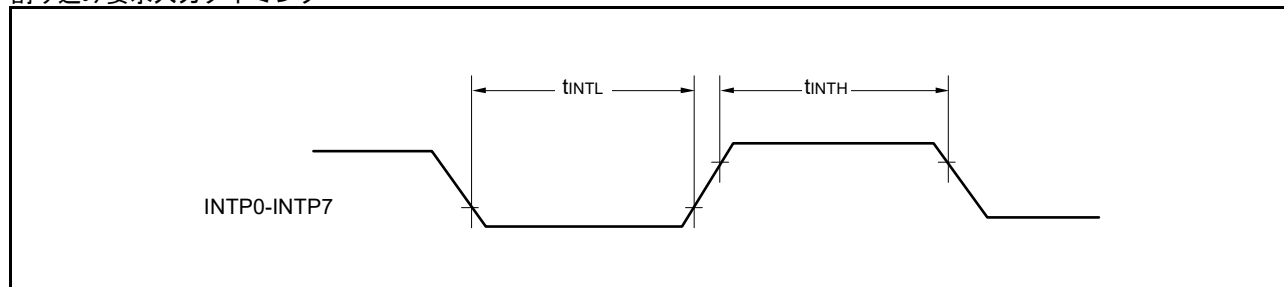
TI/TO タイミング



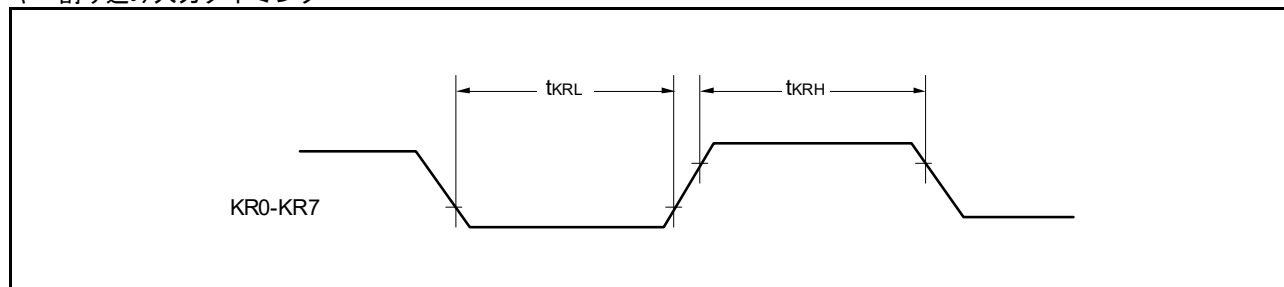
タイマRJ入カタイミング



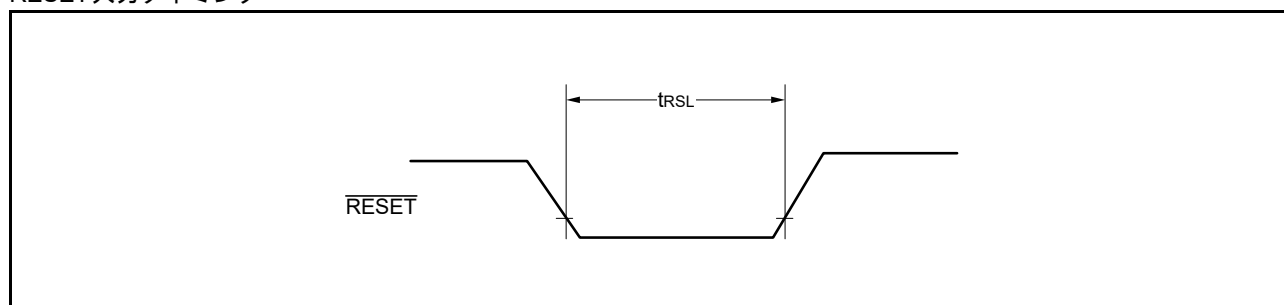
割り込み要求入カタイミング



キー割り込み入カタイミング

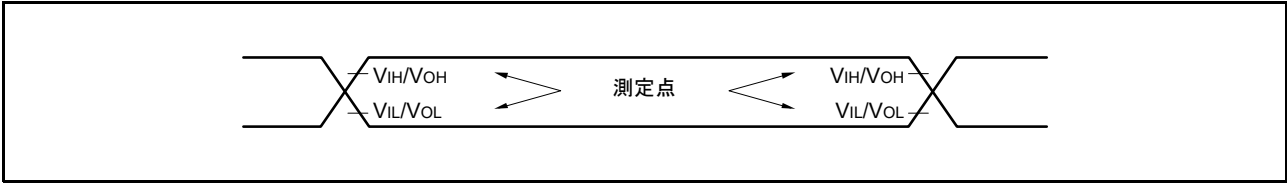


RESET入カタイミング



42.5 周辺機能特性

AC タイミング測定点



42.5.1 シリアル・アレイ・ユニット

(1) 同電位通信、UARTモード時

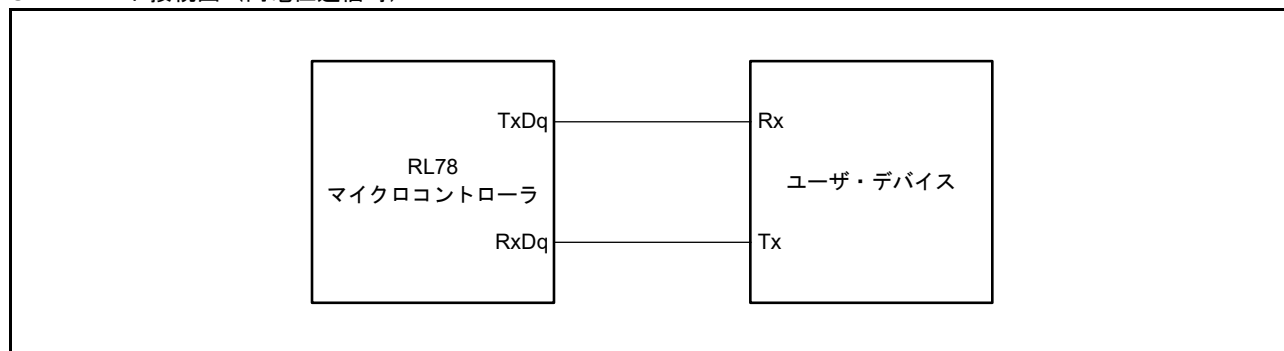
(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート ^{注1}		1.6 V ≤ VDD ≤ 5.5 V		fMCK/6		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK ^{注2}		5.3		4		0.33	Mbps

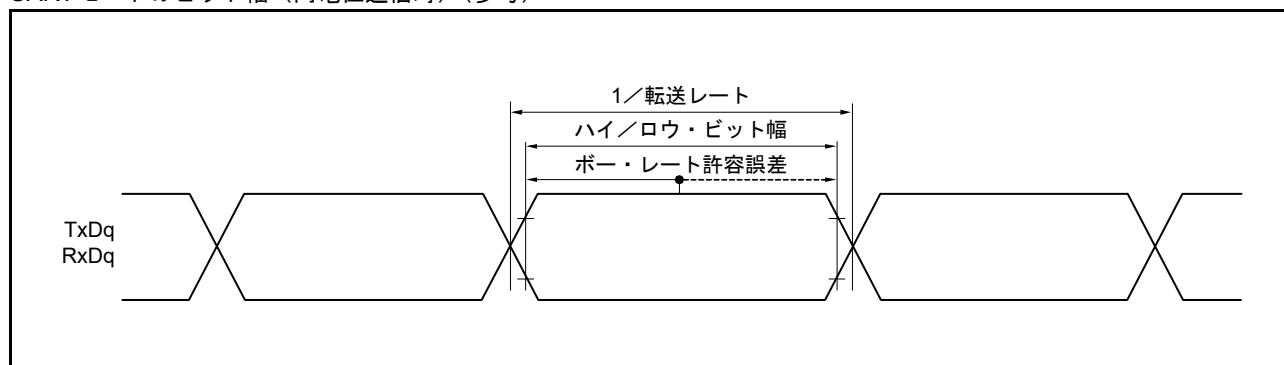
- 注1. SNOOZEモードでの転送レートは、4800～9600 bpsとなります。
- 注2. CPU／周辺ハードウェア・クロック（fCLK）の最高動作周波数を次に示します。

HS（高速メイン）モード：32 MHz（1.8 V ≤ VDD ≤ 5.5 V）
4 MHz（1.6 V ≤ VDD ≤ 5.5 V）
LS（低速メイン）モード：24 MHz（1.8 V ≤ VDD ≤ 5.5 V）
4 MHz（1.6 V ≤ VDD ≤ 5.5 V）
LP（低電力メイン）モード：2 MHz（1.6 V ≤ VDD ≤ 5.5 V）
- 注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1. q : UART番号 (q = 0-3)、g : PIM, POM番号 (g = 0-9, 12-14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。

m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

(2) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp : 内部クロック出力、CSI00のみ対応)

(TA = -40 ~ +85°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 2/fCLK	4.0 V ≤ VDD ≤ 5.5 V	62.5		83.3		1000		ns
			2.7 V ≤ VDD ≤ 5.5 V	83.3		125		1000		ns
SCKp ハイ・レベル幅、 ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V		tkCY1/2 -7		tkCY1/2 -10		tkCY1/2 -50		ns
		2.7 V ≤ VDD ≤ 5.5 V		tkCY1/2 -10		tkCY1/2 -15		tkCY1/2 -50		ns
Slpセットアップ 時間 (対SCKp ↑) 注1	tSIK1	4.0 V ≤ VDD ≤ 5.5 V		23		33		110		ns
		2.7 V ≤ VDD ≤ 5.5 V		33		50		110		ns
Slpホールド時間 (対SCKp ↑) 注1	tkSI1	2.7 V ≤ VDD ≤ 5.5 V		10		10		10		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	2.7 V ≤ VDD ≤ 5.5 V, C = 20 pF注3			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

備考2. p : CSI番号 (p = 00)、g : PIM, POM番号 (g = 1)、
m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0)

備考3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。
m : ユニット番号、n : チャネル番号 (mn = 00))

(3) 同電位通信、簡易SPI (CSI) モード時 (マスタ・モード、SCKp : 内部クロック出力)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ VDD ≤ 5.5 V	125		166		2000		ns
			2.4 V ≤ VDD ≤ 5.5 V	250		250		2000		ns
			1.8 V ≤ VDD ≤ 5.5 V	500		500		2000		ns
			1.6 V ≤ VDD ≤ 5.5 V	1000		1000		2000		ns
SCKp ハイ・レベル幅、 ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ VDD ≤ 5.5 V		tkCY1/2 -12		tkCY1/2 -21		tkCY1/2 -50		ns
		2.7 V ≤ VDD ≤ 5.5 V		tkCY1/2 -18		tkCY1/2 -25		tkCY1/2 -50		ns
		2.4 V ≤ VDD ≤ 5.5 V		tkCY1/2 -38		tkCY1/2 -38		tkCY1/2 -50		ns
		1.8 V ≤ VDD ≤ 5.5 V		tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns
		1.6 V ≤ VDD ≤ 5.5 V		tkCY1/2 -100		tkCY1/2 -100		tkCY1/2 -100		ns
Slpセットアップ 時間 (対SCKp ↑) 注1	tSIK1	4.0 V ≤ VDD ≤ 5.5 V		44		54		110		ns
		2.7 V ≤ VDD ≤ 5.5 V		44		54		110		ns
		2.4 V ≤ VDD ≤ 5.5 V		75		75		110		ns
		1.8 V ≤ VDD ≤ 5.5 V		110		110		110		ns
		1.6 V ≤ VDD ≤ 5.5 V		220		220		220		ns
Slpホールド時間 (対SCKp ↑) 注1	tkSI1	1.6 V ≤ VDD ≤ 5.5 V		19		19		19		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	1.6 V ≤ VDD ≤ 5.5 V, C = 30 pF 注3			25		25		25	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、g : PIM, POM番号 (g = 0-9, 12-14)、
m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn) のCKSmnビットで設定する動作クロック。
m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

(4) 同電位通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp : 外部クロック入力)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・ タイム注1	tkCY2	4.0 V ≤ VDD ≤ 5.5 V	20 MHz < fMCK	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		6/fMCK		ns
		2.7 V ≤ VDD ≤ 5.5 V	16 MHz < fMCK	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		6/fMCK		ns
		2.4 V ≤ VDD ≤ 5.5 V		6/fMCK かつ 500		6/fMCK かつ 500		6/fMCK かつ 500		ns
		1.8 V ≤ VDD ≤ 5.5 V		6/fMCK かつ 750		6/fMCK かつ 750		6/fMCK かつ 750		ns
		1.6 V ≤ VDD ≤ 5.5 V		6/fMCK かつ 1500		6/fMCK かつ 1500		6/fMCK かつ 1500		ns
SCKp ハイ・レベル幅、 ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ VDD ≤ 5.5 V		tkCY2/2-7		tkCY2/2-7		tkCY2/2-7		ns
		2.7 V ≤ VDD ≤ 5.5 V		tkCY2/2-8		tkCY2/2-8		tkCY2/2-8		ns
		1.8 V ≤ VDD ≤ 5.5 V		tkCY2/2 -18		tkCY2/2 -18		tkCY2/2 -18		ns
		1.6 V ≤ VDD ≤ 5.5 V		tkCY2/2 -66		tkCY2/2 -66		tkCY2/2 -66		ns

(注、注意、備考は次ページに続きます)

(4) 同電位通信、簡易SPI (CSI) モード時 (スレーブ・モード、SCKp : 外部クロック入力)

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↑) 注2	tSIK2	2.7 V ≤ VDD ≤ 5.5 V	1/fMCK +20		1/fMCK +30		1/fMCK +30		ns
		1.8 V ≤ VDD ≤ 5.5 V	1/fMCK +30		1/fMCK +30		1/fMCK +30		ns
		1.6 V ≤ VDD ≤ 5.5 V	1/fMCK +40		1/fMCK +40		1/fMCK +40		ns
Slpホールド時間 (対SCKp ↑) 注2	tKSI2	1.8 V ≤ VDD ≤ 5.5 V	1/fMCK +31		1/fMCK +31		1/fMCK +31		ns
		1.6 V ≤ VDD ≤ 5.5 V	1/fMCK +250		1/fMCK +250		1/fMCK +250		ns
SCKp ↓ → SOp出力 遅延時間注3	tKSO2	C = 30 pF 注4	2.7 V ≤ VDD ≤ 5.5 V		2/fMCK +44		2/fMCK +110		ns
			2.4 V ≤ VDD ≤ 5.5 V		2/fMCK +75		2/fMCK +110		ns
			1.8 V ≤ VDD ≤ 5.5 V		2/fMCK +110		2/fMCK +110		ns
			1.6 V ≤ VDD ≤ 5.5 V		2/fMCK +220		2/fMCK +220		ns

注1. SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

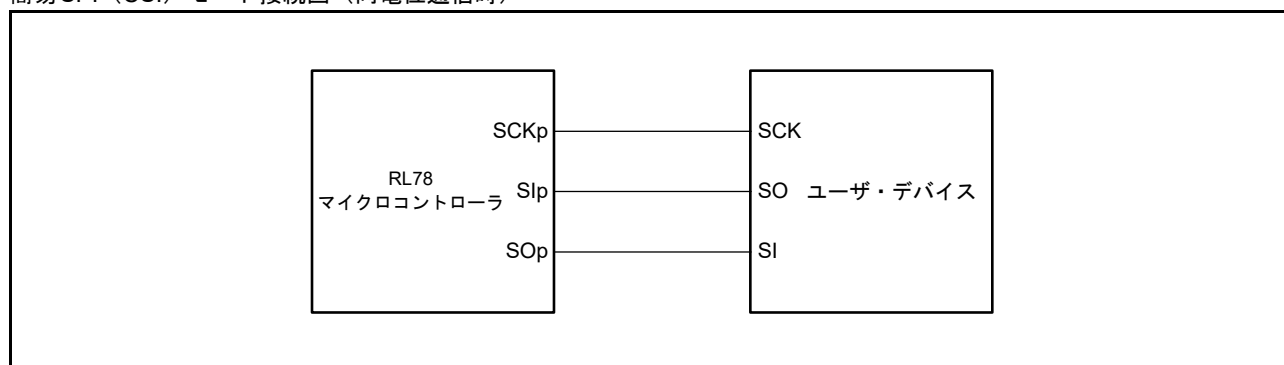
注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注4. Cは、SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

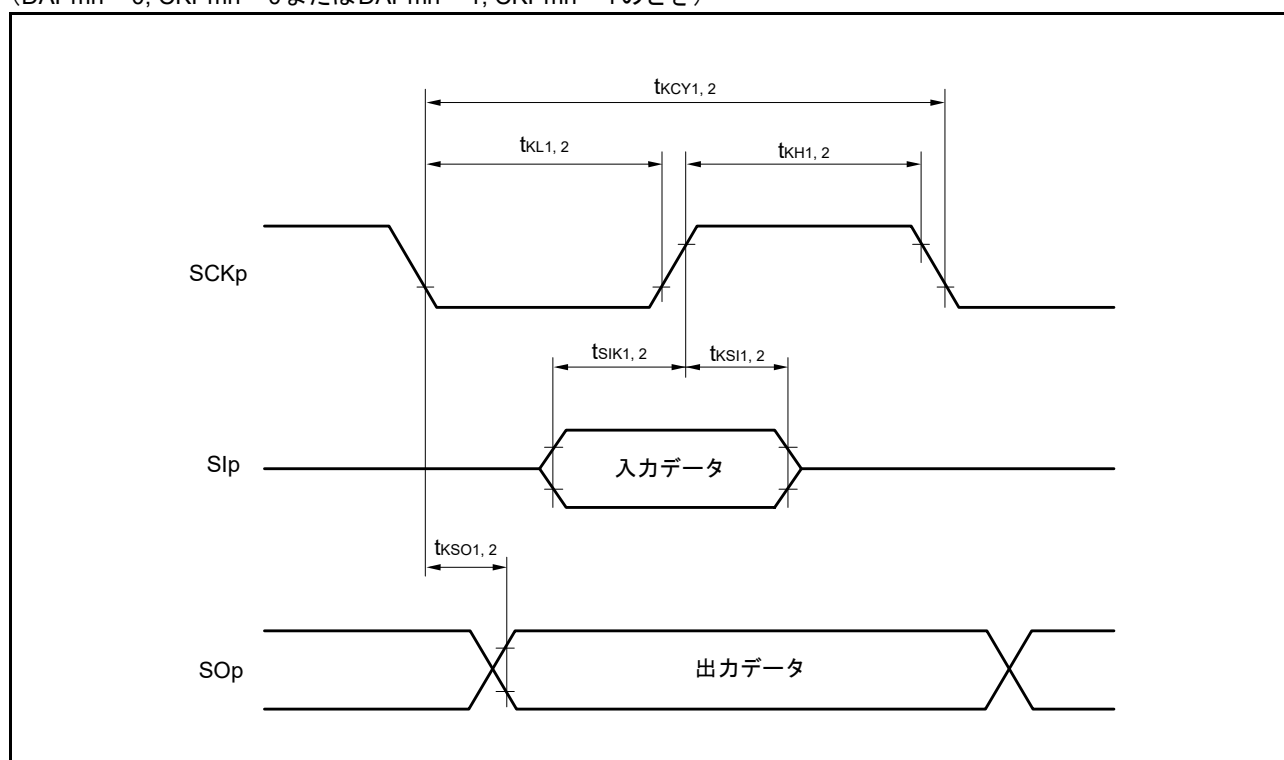
備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、g : PIM, POM番号 (g = 0-9, 12-14)、
m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0-3)備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。
m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

簡易SPI (CSI) モード接続図 (同電位通信時)

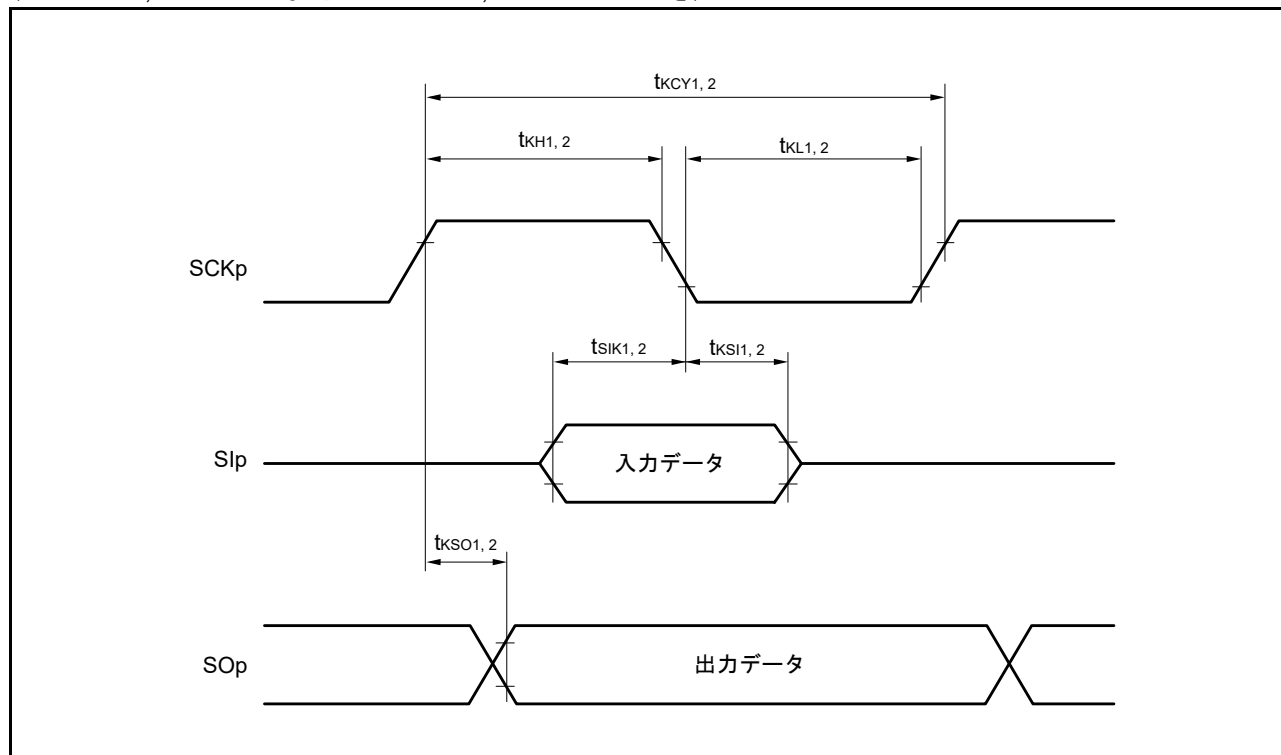


簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき)



簡易SPI (CSI) モード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)、
 m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13)

(5) 同電位通信、簡易I²Cモード時

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fSCL	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250 ^{注1}		250 ^{注1}		250 ^{注1}	kHz
SCLr = "L" の ホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
		1.8 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
SCLr = "H" の ホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1150		ns
		1.8 V ≤ VDD ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ VDD < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.6 V ≤ VDD < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns

(注、注意は次ページに、備考は1768ページにあります)

(5) 同電位通信、簡易I²Cモード時(TA = -40 ~ +105°C, 1.6 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

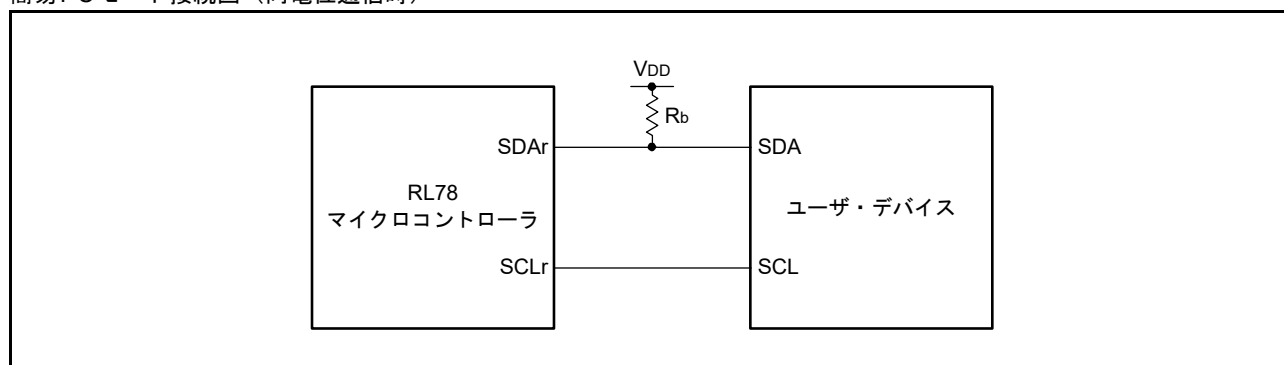
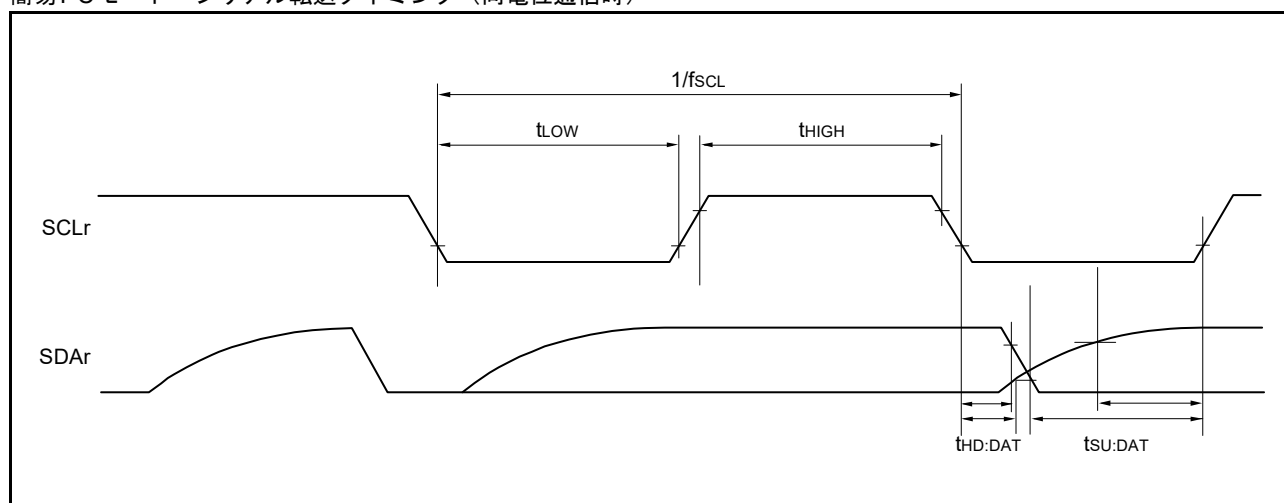
(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・セットアップ 時間 (受信時)	t _{SU:DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} +85 ^{注2}		1/f _{MCK} +85 ^{注2}		1/f _{MCK} +145 ^{注2}		ns
		1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} +145 ^{注2}		1/f _{MCK} +145 ^{注2}		1/f _{MCK} +145 ^{注2}		ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	1/f _{MCK} +230 ^{注2}		1/f _{MCK} +230 ^{注2}		1/f _{MCK} +230 ^{注2}		ns
		1.6 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	1/f _{MCK} +290 ^{注2}		1/f _{MCK} +290 ^{注2}		1/f _{MCK} +290 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ V _{DD} < 2.7 V, C _b = 100 pF, R _b = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ V _{DD} < 1.8 V, C _b = 100 pF, R _b = 5 kΩ	0	405	0	405	0	405	ns

注1. f_{MCK}/4 以下に設定してください。**注2.** f_{MCK}値は、SCLr = “L” と SCLr = “H” のホールド・タイムを超えない値に設定してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMh) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページに続きます)

簡易I²Cモード接続図（同電位通信時）簡易I²Cモード・シリアル転送タイミング（同電位通信時）

備考1. R_b [Ω] : 通信ライン (SDAr) プルアップ抵抗値、 C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値

備考2. r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)、g : PIM番号 (g = 0-9, 12, 14)、h : POM番号 (h = 0-9, 12-14)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。
 m : ユニット番号、n : チャネル番号 (mn = 00-03, 10-13))

(6) 異電位（1.8 V系、2.5 V系、3 V系）通信、UARTモード時

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
転送レート		受信	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1	bps
			最大転送レート理論値 fMCK = fCLK 注2		5.3		4		0.33	Mbps
			2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6 注1		fMCK/6 注1		fMCK/6 注1	bps
			最大転送レート理論値 fMCK = fCLK 注2		5.3		4		0.33	Mbps
			1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 3		fMCK/6 注1, 3		fMCK/6 注1, 3	bps
			最大転送レート理論値 fMCK = fCLK 注2		5.3		4		0.33	Mbps

注1. SNOOZEモードでの転送レートは、4800 ~ 9600 bpsとなります。

注2. CPU/周辺ハードウェア・クロック（fCLK）の最高動作周波数を次に示します。

HS（高速メイン）モード：32 MHz（1.8 V ≤ VDD ≤ 5.5 V）

4 MHz（1.6 V ≤ VDD ≤ 5.5 V）

LS（低速メイン）モード：24 MHz（1.8 V ≤ VDD ≤ 5.5 V）

4 MHz（1.6 V ≤ VDD ≤ 5.5 V）

LP（低電力メイン）モード：2 MHz（1.6 V ≤ VDD ≤ 5.5 V）

注3. VDD ≥ Vbで使用してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[VDD耐圧]モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]：通信ライン電圧

備考2. q：UART番号（q = 0-3）、g：PIM, POM番号（g = 0-9, 12-14）

備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。
m：ユニット番号、n：チャネル番号（mn = 00-03, 10-13））

(6) 異電位（1.8 V系、2.5 V系、3 V系）通信、UARTモード時

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
転送レート		送信	4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V		注1		注1		注1	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V		2.8注2		2.8注2		2.8注2	Mbps
			2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V		注3		注3		注3	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V		1.2注4		1.2注4		1.2注4	Mbps
			1.8 V ≤ V _{DD} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V		注5, 注6		注5, 注6		注5, 注6	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V		0.43注7		0.43注7		0.43注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. $V_{DD} \geq V_b$ で使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

$1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

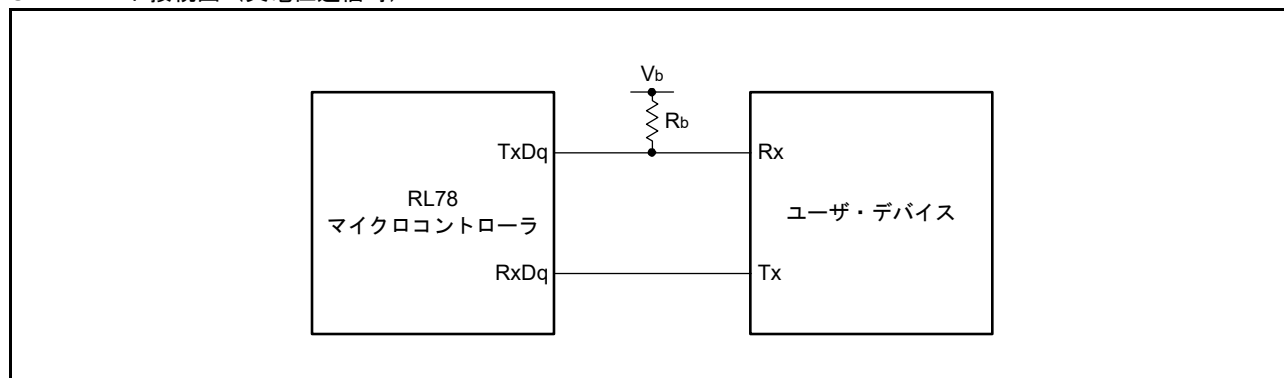
$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

※この値は送信側と受信側の相対差の理論値となります。

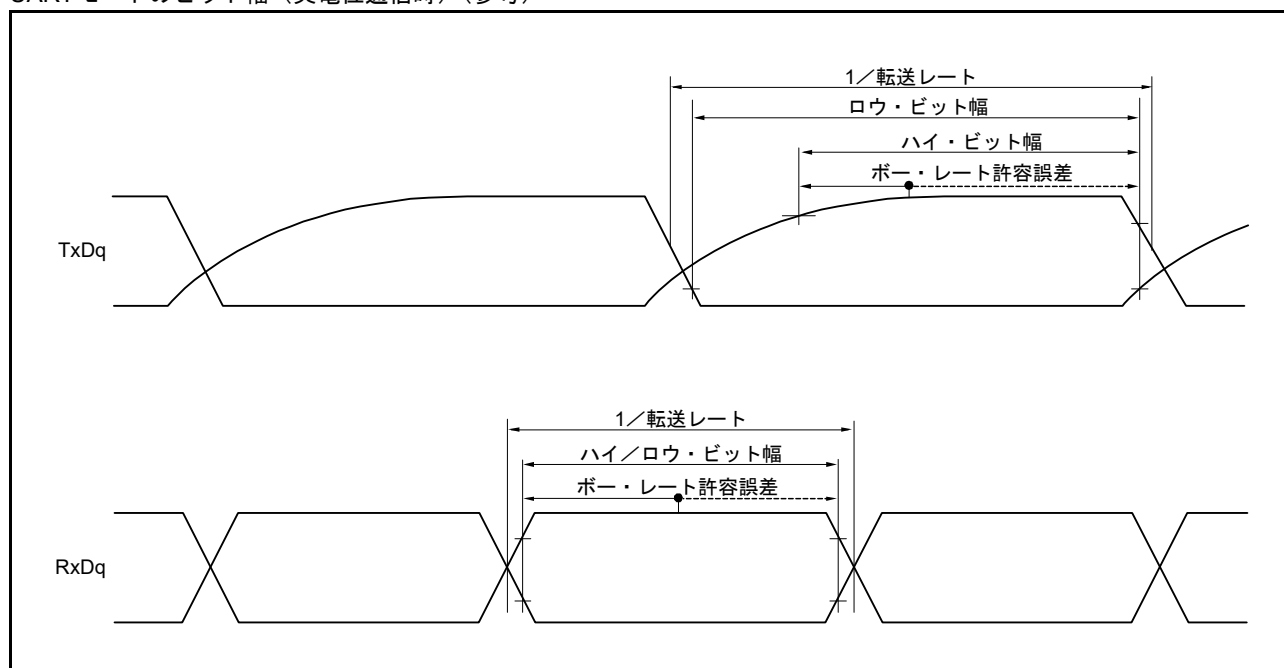
注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値、 C_b [F] : 通信ライン (TxDq) 負荷容量値、 V_b [V] : 通信ライン電圧

備考2. q : UART番号 ($q = 0-3$)、 g : PIM, POM番号 ($g = 0-9, 12-14$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR mn) のCKS mn ビットで設定する動作クロック。

m : ユニット番号、 n : チャネル番号 ($mn = 00-03, 10-13$))

(7) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時
(マスタ・モード、SCKp : 内部クロック出力、CSI00のみ対応)

(TA = -40 ~ +105°C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・ タイム	tKCY1	tKCY1 ≥ 2/fCLK 4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200		200		2300		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300		300		2300		ns
SCKpハイ・レベル幅	tKH1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tKCY1/2 -50		tKCY1/2 -50		tKCY1/2 -50		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tKCY1/2 -120		tKCY1/2 -120		tKCY1/2 -120		ns
SCKpロウ・レベル幅	tKL1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tKCY1/2 -7		tKCY1/2 -7		tKCY1/2 -50		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tKCY1/2 -10		tKCY1/2 -10		tKCY1/2 -50		ns
Slpセットアップ時間 (対SCKp ↑) 注1	tSIK1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	58		58		479		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	121		121		479		ns
Slpホールド時間 (対SCKp ↑) 注1	tKSI1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↓ → SOp出力 遅延時間注1	tKSO1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		60		60		60	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		130		130		130	ns

(注、注意、備考は次ページに続きます)

(7) 異電位 (2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時
(マスタ・モード、SCKp : 内部クロック出力、CSI00のみ対応)

($T_A = -40 \sim +105^\circ\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↓) 注2	tSIK1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	23		23		110		ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	33		33		110		ns
Slpホールド時間 (対SCKp ↓) 注2	tkSI1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	10		10		10		ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	10		10		10		ns
SCKp ↑ → SOp出力 遅延時間注2	tkSO1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 1.4\text{ k}\Omega$		10		10		10	ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 20\text{ pF}$, $R_b = 2.7\text{ k}\Omega$		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

注2. DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. R_b [Ω] : 通信ライン (SCKp, SOp) ブルアップ抵抗値、C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値、
V_b [V] : 通信ライン電圧

備考2. p : CSI番号 (p = 00)、g : PIM, POM番号 (g = 1)、
m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。
m : ユニット番号、n : チャネル番号 (mn = 00))

備考4. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時
(マスタ・モード、SCKp : 内部クロック出力)

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	300		300		2300		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	500		500		2300		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	1150		1150		2300		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 -75		tkCY1/2 -75		tkCY1/2 -75		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 -170		tkCY1/2 -170		tkCY1/2 -170		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 -458		tkCY1/2 -458		tkCY1/2 -458		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 -12		tkCY1/2 -12		tkCY1/2 -50		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 -18		tkCY1/2 -18		tkCY1/2 -50		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns

注 VDD ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp 端子はTTL入力バッファを選択し、SOp 端子とSCKp 端子はN-chオープン・ドレイン出力[VDD 耐圧]モードを選択します。なお VIH、VIL は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は1778ページにあります)

(8) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

($T_A = -40 \sim +105^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

(2/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↑) 注1	tSIK1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	81		81		479		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	177		177		479		ns
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 注2, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	479		479		479		ns
Slpホールド時間 (対SCKp ↑) 注1	tKSI1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$	19		19		19		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$	19		19		19		ns
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 注2, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$	19		19		19		ns
SCKp ↓ → SOp出力 遅延時間注1	tKSO1	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		100		100		100	ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		195		195		195	ns
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 注2, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$		483		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. $V_{DD} \geq V_b$ で使用してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD} 耐圧]モードを選択します。なお V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。

（備考は1778ページにあります）

(8) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

($T_A = -40 \sim +105^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

(3/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
Slpセットアップ時間 (対SCKp ↓) 注1	tSIK1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	44		44		110		ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	44		44		110		ns
		$1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 注2, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	110		110		110		ns
Slpホールド時間 (対SCKp ↓) 注1	tKSI1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$	19		19		19		ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	19		19		19		ns
		$1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 注2, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$	19		19		19		ns
SCKp ↑ → SOp出力 遅延時間注1	tKSO1	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$		25		25		25	ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$		25		25		25	ns
		$1.8\text{ V} \leq V_{DD} < 3.3\text{ V}$, $1.6\text{ V} \leq V_b \leq 2.0\text{ V}$ 注2, $C_b = 30\text{ pF}$, $R_b = 5.5\text{ k}\Omega$		25		25		25	ns

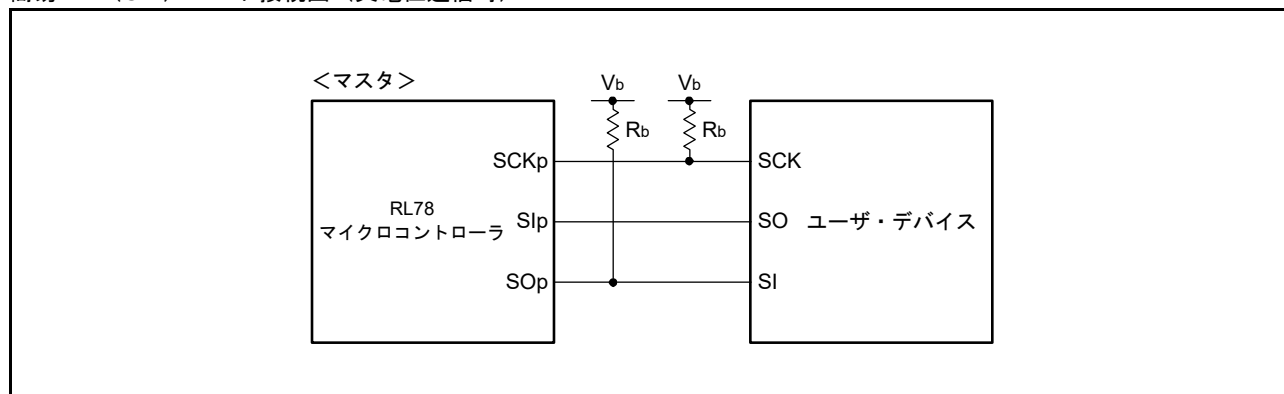
注1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注2. $V_{DD} \geq V_b$ で使用してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、Slp端子はTTL入力バッファを選択し、SOOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なおV_{IH}、V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページに続きます）

簡易SPI (CSI) モード接続図 (異電位通信時)

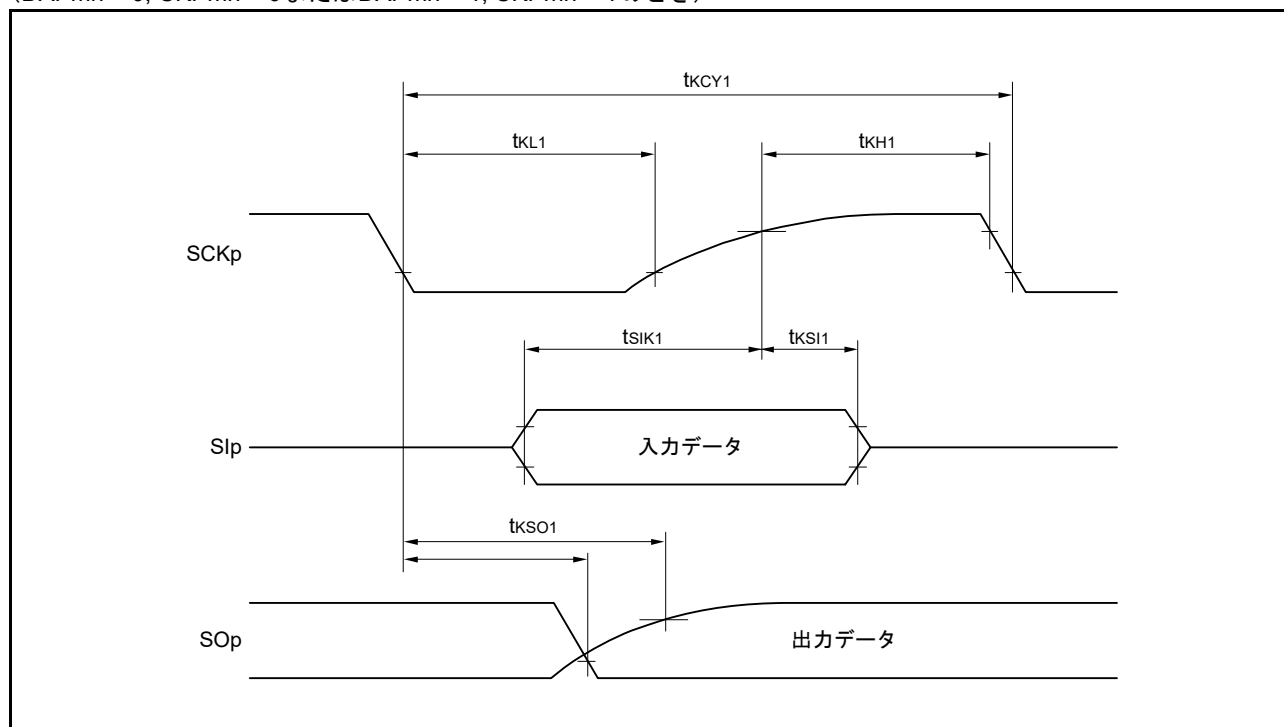


備考1. $R_b [\Omega]$: 通信ライン (SCKp, SOp) プルアップ抵抗値、 $C_b [F]$: 通信ライン (SCKp, SOp) 負荷容量値、 $V_b [V]$: 通信ライン電圧

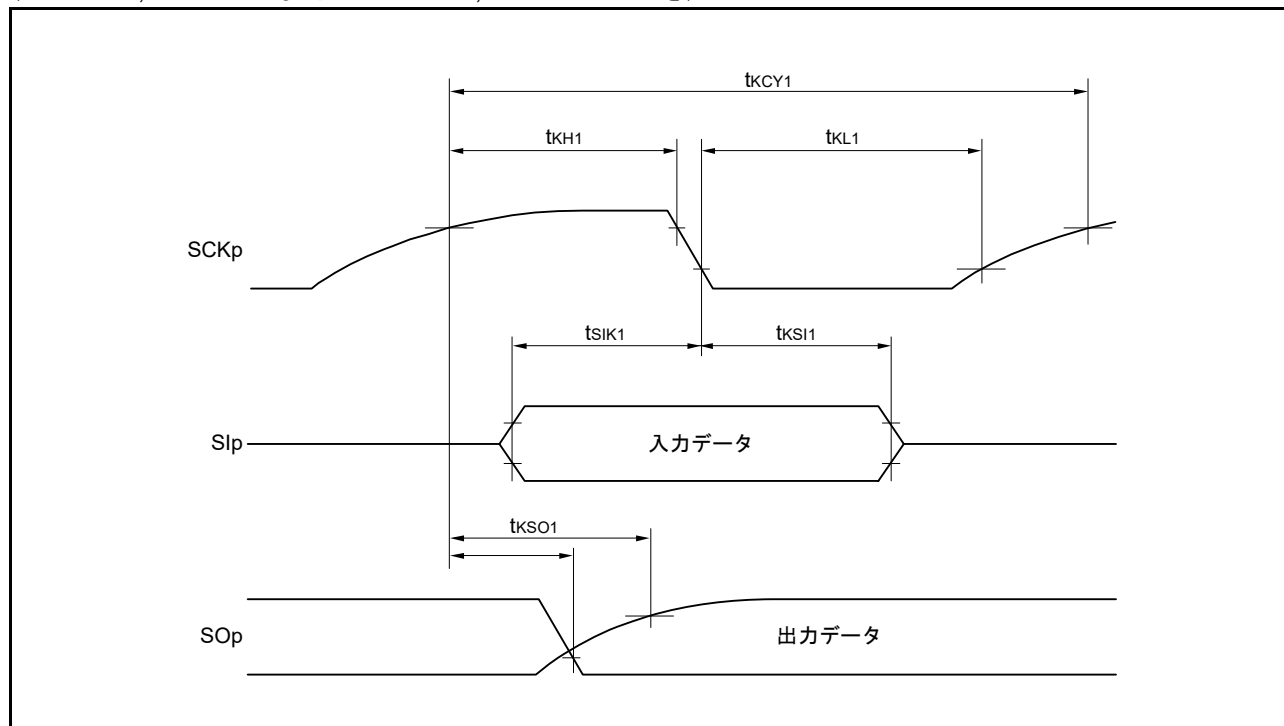
備考2. p : CSI番号 (p = 00, 01, 10, 20, 30, 31)、g : PIM, POM番号 (g = 0-9, 12-14)、
m : ユニット番号、n : チャネル番号 (mn = 00-02, 10, 12, 13)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。
m : ユニット番号、n : チャネル番号 (mn = 00))

簡易SPI (CSI) モード・シリアル転送タイミング : マスタ・モード (異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI 番号 (p = 00, 01, 10, 20, 30, 31)、g : PIM, POM 番号 (g = 0-9, 12-14)、
 m : ユニット番号、n : チャネル番号 (mn = 00-02, 10, 12, 13)

(9) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（スレーブ・モード、SCKp：外部クロック入力）

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・ タイム ^{注1}	tkCY2	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	14/fMCK		—		—		ns
			20 MHz < fMCK ≤ 24 MHz	12/fMCK		12/fMCK		—		ns
			8 MHz < fMCK ≤ 20 MHz	10/fMCK		10/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 4 MHz	6/fMCK		6/fMCK		10/fMCK		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V,	24 MHz < fMCK	20/fMCK		—		—		ns
			20 MHz < fMCK ≤ 24 MHz	16/fMCK		16/fMCK		—		ns
			16 MHz < fMCK ≤ 20 MHz	14/fMCK		14/fMCK		—		ns
			8 MHz < fMCK ≤ 16 MHz	12/fMCK		12/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	8/fMCK		8/fMCK		—		ns
			fMCK ≤ 4 MHz	6/fMCK		6/fMCK		10/fMCK		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}	24 MHz < fMCK	48/fMCK		—		—		ns
			20 MHz < fMCK ≤ 24 MHz	36/fMCK		36/fMCK		—		ns
			16 MHz < fMCK ≤ 20 MHz	32/fMCK		32/fMCK		—		ns
			8 MHz < fMCK ≤ 16 MHz	26/fMCK		26/fMCK		—		ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK		16/fMCK		—		ns
			fMCK ≤ 4 MHz	10/fMCK		10/fMCK		10/fMCK		ns

（注、注意は次ページに、備考は1782ページにあります）

(9) 異電位 (1.8 V系、2.5 V系、3 V系) 通信、簡易SPI (CSI) モード時
(スレーブ・モード、SCKp : 外部クロック入力)

($T_A = -40 \sim +105^\circ\text{C}$, $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKpハイ・レベル幅、 ロウ・レベル幅	tkH2, tkL2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$	tkCY2/2 -12		tkCY2/2 -12		tkCY2/2 -50		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$	tkCY2/2 -18		tkCY2/2 -18		tkCY2/2 -50		ns
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 注2	tkCY2/2 -50		tkCY2/2 -50		tkCY2/2 -50		ns
Slpセットアップ時間 (対SCKp ↑) 注3	tSIK2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$	1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$	1/fMCK +20		1/fMCK +20		1/fMCK +30		ns
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 注2	1/fMCK +30		1/fMCK +30		1/fMCK +30		ns
Slpホールド時間 (対SCKp ↑) 注3	tKSI2		1/fMCK +31		1/fMCK +31		1/fMCK +31		ns
SCKp ↓ → SOp 出力遅延時間注4	tkSO2	$4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $2.7 \text{ V} \leq V_b \leq 4.0 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 1.4 \text{ k}\Omega$		2/fMCK +120		2/fMCK +120		2/fMCK +573	ns
		$2.7 \text{ V} \leq V_{DD} < 4.0 \text{ V}$, $2.3 \text{ V} \leq V_b \leq 2.7 \text{ V}$, $C_b = 30 \text{ pF}$, $R_b = 2.7 \text{ k}\Omega$		2/fMCK +214		2/fMCK +214		2/fMCK +573	ns
		$1.8 \text{ V} \leq V_{DD} < 3.3 \text{ V}$, $1.6 \text{ V} \leq V_b \leq 2.0 \text{ V}$ 注2, $C_b = 30 \text{ pF}$, $R_b = 5.5 \text{ k}\Omega$		2/fMCK +573		2/fMCK +573		2/fMCK +573	ns

注1. SNOOZEモードでの転送レートは、Max. : 1 Mbps

注2. $V_{DD} \geq V_b$ で使用してください。

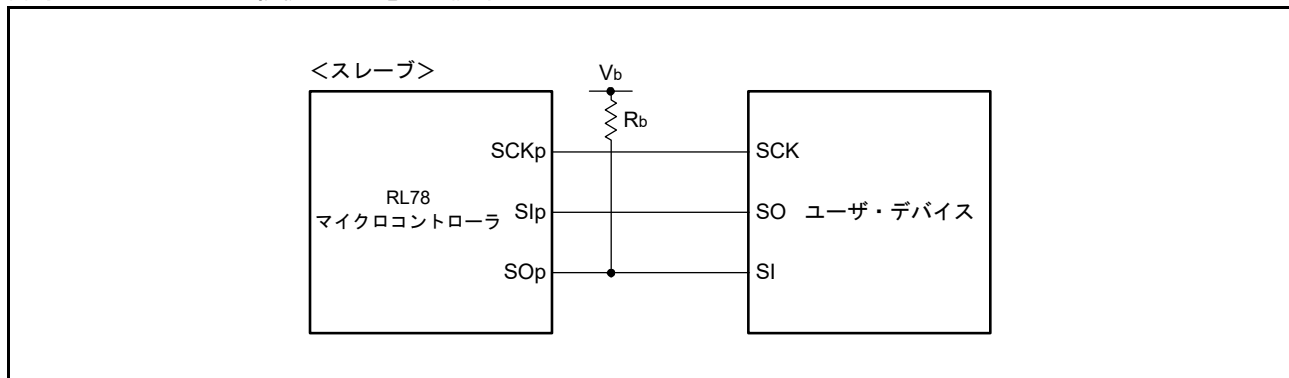
注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注4. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページに続きます)

簡易SPI (CSI) モード接続図 (異電位通信時)



備考1. R_b [Ω] : 通信ライン (SO_p) プルアップ抵抗値、 C_b [F] : 通信ライン (SO_p) 負荷容量値、 V_b [V] : 通信ライン電圧

備考2. p : CSI番号 ($p = 00, 01, 10, 20, 30, 31$)、 g : PIM, POM番号 ($g = 0-9, 12-14$)、

m : ユニット番号、 n : チャネル番号 ($mn = 00-02, 10, 12, 13$)

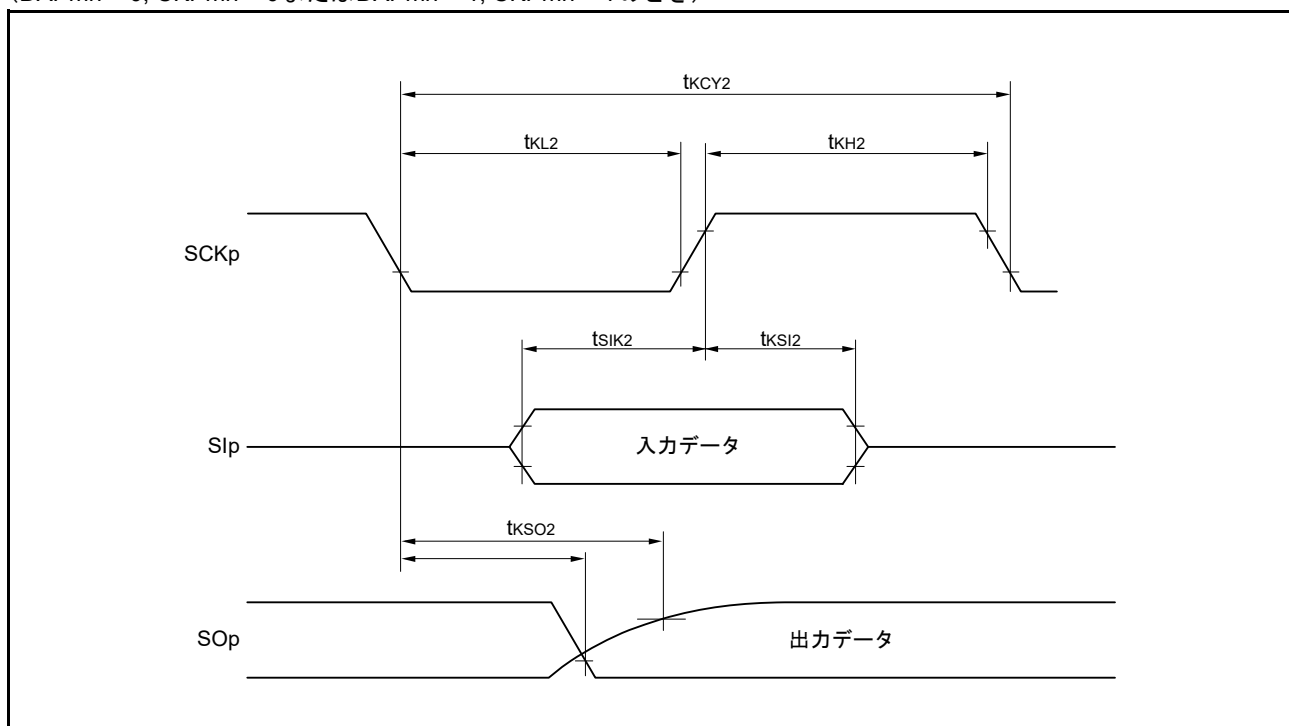
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR_{mn}) のCKS_{mn}ビットで設定する動作クロック。

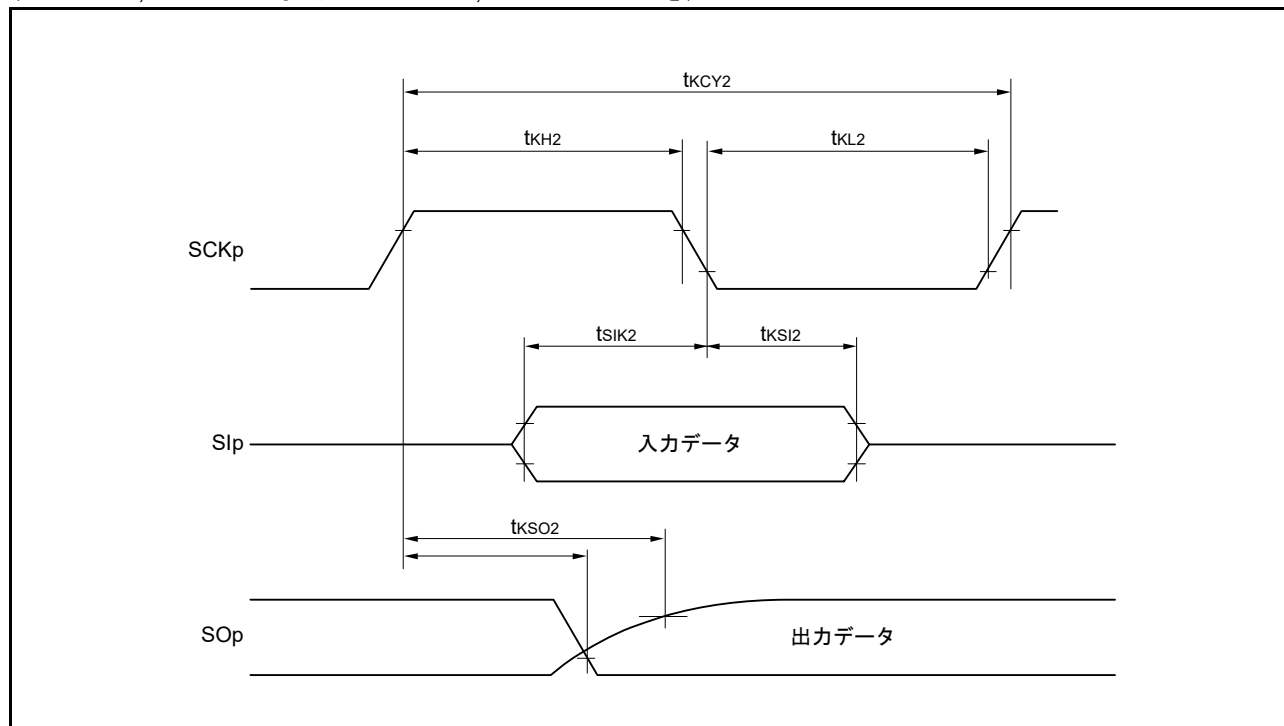
m : ユニット番号、 n : チャネル番号 ($mn = 00-02, 10, 12, 13$))

簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード (異電位通信時)

(DAP_{mn} = 0, CKP_{mn} = 0またはDAP_{mn} = 1, CKP_{mn} = 1のとき)



簡易SPI (CSI) モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき)



備考 p : CSI 番号 (p = 00, 01, 10, 20, 30, 31)、g : PIM, POM 番号 (g = 0-9, 12-14)、
 m : ユニット番号、n : チャネル番号 (mn = 00-02, 10, 12, 13)

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	fSCL	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		1000 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		400 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		400 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" の ホールド・タイム	tLOW	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		475		1550		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H" の ホールド・タイム	tHIGH	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		245		610		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		200		610		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		675		610		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		600		610		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LP (低電力メイン) モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・セットアップ 時間（受信時）	tSU:DAT	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135注3		1/fMCK +135注3		1/fMCK +190注3		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK +135注3		1/fMCK +135注3		1/fMCK +190注3		ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK +190注3		1/fMCK +190注3		1/fMCK +190注3		ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK +190注3		1/fMCK +190注3		1/fMCK +190注3		ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK +190注3		1/fMCK +190注3		1/fMCK +190注3		ns
データ・ホールド時間 （送信時）	tHD:DAT	4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ VDD ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ VDD < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ VDD < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

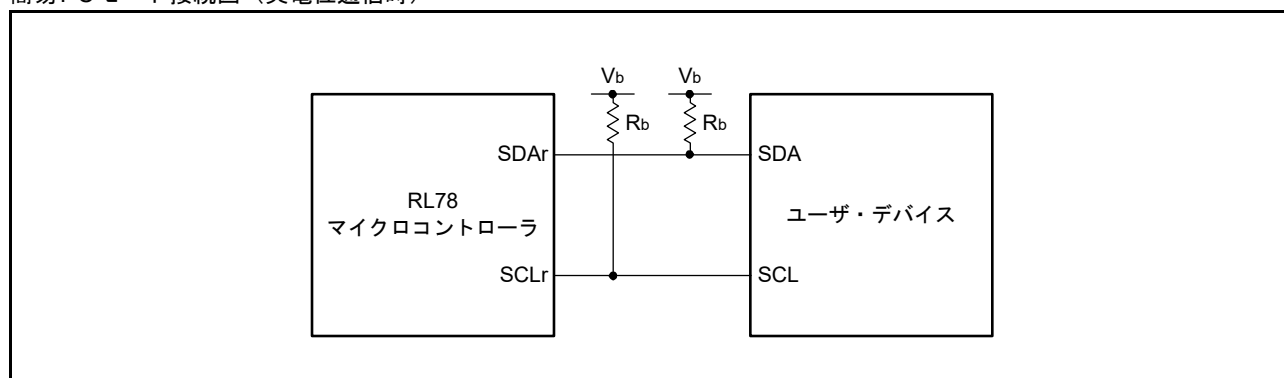
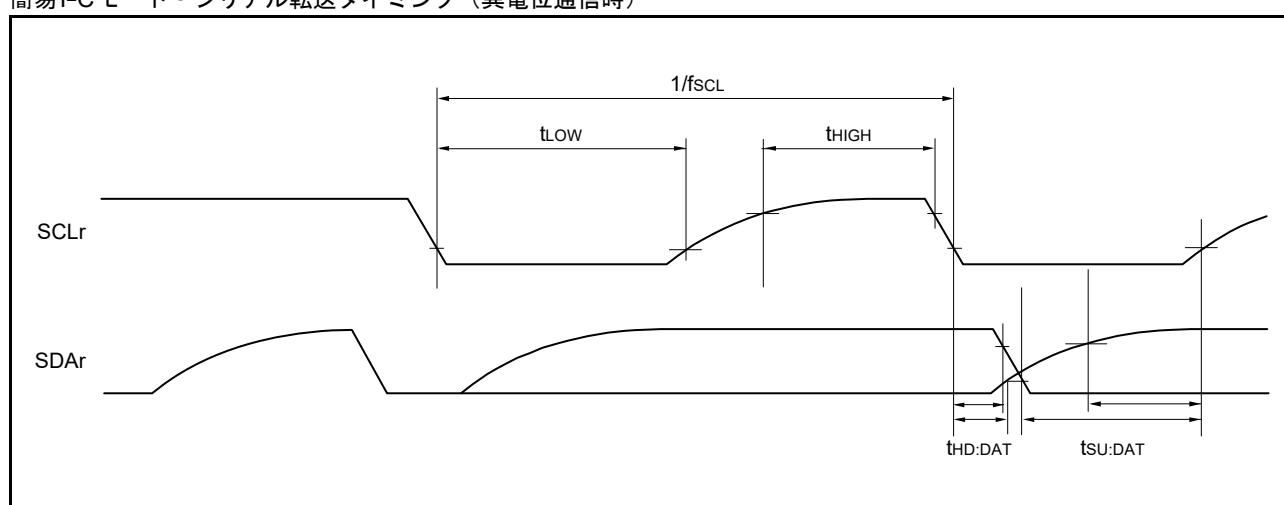
注1. fMCK/4 以下に設定してください。

注2. VDD ≥ Vb で使用してください。

注3. fMCK値は、SCLr = "L" と SCLr = "H" のホールド・タイムを超えない値に設定してください。

注意 ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力[VDD耐圧]モードを選択し、SCLrはN-chオープン・ドレイン出力[VDD耐圧]モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページに続きます）

簡易I²Cモード接続図（異電位通信時）簡易I²Cモード・シリアル転送タイミング（異電位通信時）

備考1. R_b [Ω] : 通信ライン (SDAr, SCLr) プルアップ抵抗値、 C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値、

V_b [V] : 通信ライン電圧

備考2. r : IIC番号 ($r = 00, 01, 10, 20, 30, 31$)、 g : PIM, POM番号 ($g = 0-9, 12-14$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。

m : ユニット番号、 n : チャンネル番号 ($mn = 00-02, 10, 12, 13$)

42.5.2 シリアル・インタフェース UARTA

($T_A = -40 \sim +105^{\circ}\text{C}$, $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート			200	0	153600	Bps

- ★ 注意 ポート入力モード・レジスタ (PIMg) とポート出力モード・レジスタ (POMh) で、RxDAn端子は通常入力バッファを選択し、TxDAn端子は通常出力モードを選択します。

備考 n : ユニット番号 (n = 0-3)、g : PIM番号 (g = 1, 2, 4, 5, 8, 14)、h : POM番号 (h = 0-2, 4-6, 8, 13, 14)

42.5.3 シリアル・インタフェース IICA

(1) I²C標準モード(T_A = -40 ~ +105°C, 1.6 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLAnクロック周波数	fSCL	標準モード : fCLK ≥ 1 MHz	0		100	kHz
リスタート・コンディションの セットアップ時間	tSU:STA		4.7			μs
ホールド時間 ^{注1}	tHD:STA		4.0			μs
SCLAn = "L" の ホールド・タイム	tLOW		4.7			μs
SCLAn = "H" の ホールド・タイム	tHIGH		4.0			μs
データ・セットアップ時間 (受信時)	tSU:DAT		250			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT		0		3.45	μs
ストップ・コンディションの セットアップ時間	tSU:STO		4.0			μs
バス・フリー時間	tBUF		4.7			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。**注2.** tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。**備考1.** C_b (通信ライン容量) のMax.値と、R_b (通信ライン・プルアップ抵抗値) のMax.値は次のとおりです。C_b = 400 pF, R_b = 2.7 kΩ**備考2.** n = 0, 1

(2) I²Cファースト・モード

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLAnクロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz 1.8 V ≤ VDD ≤ 5.5 V	0		400	kHz
リスタート・コンディションの セットアップ時間	tSU:STA	1.8 V ≤ VDD ≤ 5.5 V	0.6			μs
ホールド時間 ^{注1}	tHD:STA	1.8 V ≤ VDD ≤ 5.5 V	0.6			μs
SCLAn = “L” の ホールド・タイム	tLOW	1.8 V ≤ VDD ≤ 5.5 V	1.3			μs
SCLAn = “H” の ホールド・タイム	tHIGH	1.8 V ≤ VDD ≤ 5.5 V	0.6			μs
データ・セットアップ時間 (受信時)	tSU:DAT	1.8 V ≤ VDD ≤ 5.5 V	100			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT	1.8 V ≤ VDD ≤ 5.5 V	0		0.9	μs
ストップ・コンディションの セットアップ時間	tSU:STO	1.8 V ≤ VDD ≤ 5.5 V	0.6			μs
パス・フリー時間	tBUF	1.8 V ≤ VDD ≤ 5.5 V	1.3			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。**注2.** tHD:DATの最大値 (Max.) は、通常転送時の数値であり、ACK (アクノリッジ) タイミングでは、クロック・ストレッチが発生します。**備考1.** Cb (通信ライン容量) のMax.値と、Rb (通信ライン・プルアップ抵抗値) のMax.値は次のとおりです。

Cb = 320 pF, Rb = 1.1 kΩ

備考2. n = 0, 1

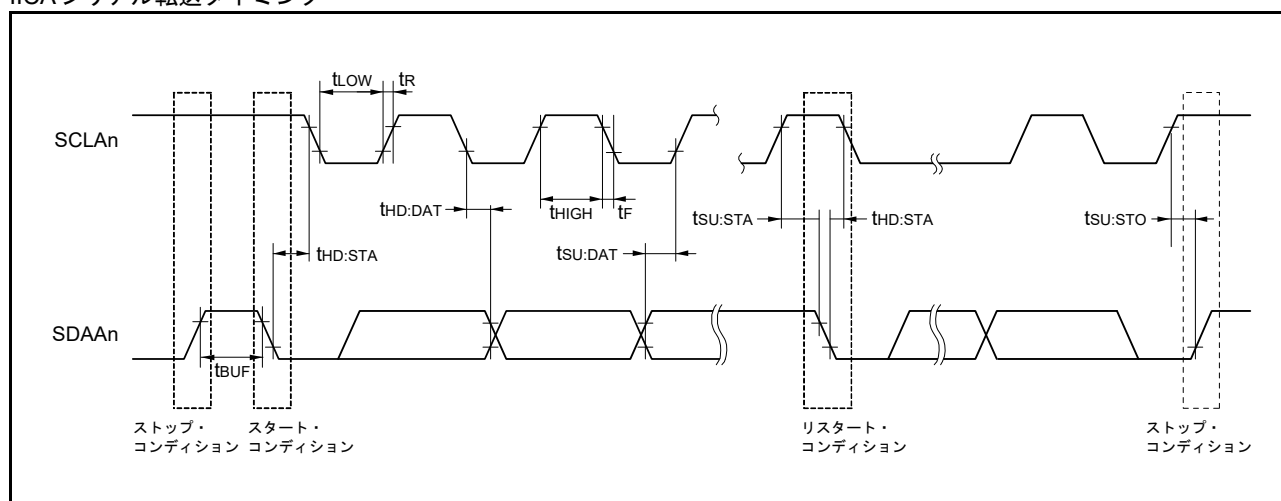
(3) I²Cファースト・モード・プラス

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
SCLAnクロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz 2.7 V ≤ VDD ≤ 5.5 V	0		1000	kHz
リスタート・コンディションの セットアップ時間	tSU:STA	2.7 V ≤ VDD ≤ 5.5 V	0.26			μs
ホールド時間 ^{注1}	tHD:STA	2.7 V ≤ VDD ≤ 5.5 V	0.26			μs
SCLAn = "L" の ホールド・タイム	tLOW	2.7 V ≤ VDD ≤ 5.5 V	0.5			μs
SCLAn = "H" の ホールド・タイム	tHIGH	2.7 V ≤ VDD ≤ 5.5 V	0.26			μs
データ・セットアップ時間 (受信時)	tSU:DAT	2.7 V ≤ VDD ≤ 5.5 V	50			ns
データ・ホールド時間 (送信時) ^{注2}	tHD:DAT	2.7 V ≤ VDD ≤ 5.5 V	0		0.45	μs
ストップ・コンディションの セットアップ時間	tSU:STO	2.7 V ≤ VDD ≤ 5.5 V	0.26			μs
パス・フリー時間	tBUF	2.7 V ≤ VDD ≤ 5.5 V	0.5			μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。**注2.** tHD:DATの最大値(Max.)は、通常転送時の数値であり、ACK(アクノリッジ)タイミングでは、クロック・ストレッチが発生します。**備考1.** Cb(通信ライン容量)のMax.値と、Rb(通信ライン・プルアップ抵抗値)のMax.値は次のとおりです。

Cb = 120 pF, Rb = 1.1 kΩ

備考2. n = 0, 1I²Cシリアル転送タイミング**備考** n = 0, 1

42.6 アナログ特性

42.6.1 A/Dコンバータ特性

(1) 標準モード1, 2

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq \text{AVREFP} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$ 、

基準電圧 (+) = AVREFP ($\text{ADREFP1} = 0$, $\text{ADREFP0} = 1$)、基準電圧 (-) = AVREFM ($\text{ADREFM} = 1$)、

変換対象 : ANI16-26)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES				12	bit
変換クロック	f _{AD}		1		32	MHz
総合誤差注1, 2, 3, 4, 5	AINL	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 1.8	± 4.1	LSB
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 2.1	± 4.2	LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 2.4	± 4.7	LSB
変換時間注5, 6	t _{CONV}	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0			μs
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0			μs
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0			μs
ゼロスケール誤差注1, 2, 3, 4, 5, 7	E _{ZS}	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.01	± 0.06	%FSR
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.02	± 0.09	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.03	± 0.11	%FSR
フルスケール誤差注1, 2, 3, 4, 5, 7	E _{FS}	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.02	± 0.09	%FSR
		$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.03	± 0.11	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.03	± 0.11	%FSR
アナログ入力電圧	V _{AIN}		0		AVREFP	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注2. Max. 値は正規分布における、平均値 $\pm 3\sigma$ の値です。

注3. この値は特性評価結果による値であり、出荷検査は行っていない。

注4. $\text{AVREFP} < \text{VDD}$ の場合、Max. 値は次のようになります。

総合誤差／ゼロスケール誤差／フルスケール誤差

: Max. 値に $\pm 0.75\text{ LSB} \times (\text{VDD 電圧 (V)} - \text{AVREFP 電圧 (V)})$ を加算してください

積分直線性誤差 : Max. 値に $\pm 0.2\text{ LSB} \times (\text{VDD 電圧 (V)} - \text{AVREFP 電圧 (V)})$ を加算してください

注5. 12ビット分解能の場合

注6. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μs 以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。

注7. フルスケール値に対する比率 (%FSR) で表します。

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq \text{AVREFP} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$ 、

基準電圧 (+) = AVREFP ($\text{ADREFP1} = 0$, $\text{ADREFP0} = 1$)、基準電圧 (-) = AVREFM ($\text{ADREFM} = 1$)、

変換対象：内部基準電圧、温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差 ^{注1, 2, 3, 4}	AINL	12ビット 分解能	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 7.5	LSB
			$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 9.0	LSB
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 9.0	LSB
変換時間 ^{注5}	tCONV	12ビット 分解能	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0		μs
			$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0		μs
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	2.0		μs
ゼロスケール誤差 ^{注1, 2, 3, 4, 6}	Ezs	12ビット 分解能	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.17	%FSR
			$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.21	%FSR
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.21	%FSR
フルスケール誤差 ^{注1, 2, 3, 4, 6}	EFS	12ビット 分解能	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.17	%FSR
			$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.21	%FSR
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 0.21	%FSR
積分直線性誤差 ^{注1, 3, 4}	ILE	12ビット 分解能	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 3.0	LSB
			$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 3.0	LSB
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		± 3.0	LSB
微分直線性誤差 ^{注1}	DLE	12ビット 分解能	$4.5\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	± 1.0		LSB
			$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	± 1.0		LSB
			$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	± 1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

注2. 変換対象に ANI16-26、CTSUSCAP 電圧を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に ± 3 LSB を加算してください

ゼロスケール誤差／フルスケール誤差 : Max. 値に ± 0.04 %FSR を加算してください

注3. 基準電圧 (+) に VDD、基準電圧 (-) に VSS を選択した場合、Max. 値は次のようになります。

総合誤差 : Max. 値に ± 10 LSB を加算してください

ゼロスケール誤差／フルスケール誤差 : Max. 値に ± 0.25 %FSR を加算してください

積分直線性誤差 : Max. 値に ± 4 LSB を加算してください

注4. $\text{AVREFP} < \text{VDD}$ の場合、Max. 値は次のようになります。

総合誤差／ゼロスケール誤差／フルスケール誤差

: Max. 値に $\pm 0.75\text{ LSB} \times (\text{VDD 電圧 (V)} - \text{AVREFP 電圧 (V)})$ を加算してください

積分直線性誤差

: Max. 値に $\pm 0.2\text{ LSB} \times (\text{VDD 電圧 (V)} - \text{AVREFP 電圧 (V)})$ を加算してください

注5. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を $5\text{ }\mu\text{s}$ 以上にする必要があります。そのため、サンプリング時間が長い標準モード2を使用してください。

注6. フルスケール値に対する比率 (%FSR) で表します。

(2) 低電圧モード1, 2

(TA = -40 ~ +105°C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V,

基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1)、基準電圧 (-) = AVREFM (ADREFM = 1)、

変換対象：内部基準電圧^{注1}、温度センサ出力電圧^{注1})

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		12	bit
変換クロック	fAD			1		24	MHz
総合誤差 ^{注2, 3, 4, 5}	AINL	12ビット 分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±11.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±12.0	LSB
変換時間 ^{注6}	tCONV	12ビット 分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V	3.33			μs
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V	5.0			μs
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V	10.0			μs
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V	20.0			μs
ゼロスケール誤差 ^{注2, 3, 4, 5, 7}	Ezs	12ビット 分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
フルスケール誤差 ^{注2, 3, 4, 5, 7}	EFS	12ビット 分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±0.27	%FSR
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±0.28	%FSR
積分直線性誤差 ^{注2, 4, 5}	ILE	12ビット 分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±4.0	LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V			±4.5	LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V			±4.5	LSB
微分直線性誤差 ^{注2}	DLE	12ビット 分解能	2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
			2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.5		LSB
			1.8 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB
			1.6 V ≤ AVREFP = VDD ≤ 5.5 V		±2.0		LSB
アナログ入力電圧	VAIN			0		AVREFP	V

注1. 内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧を変換対象にする場合は、1.8 V ≤ VDDで使用してください。**注2.** 量子化誤差 (±1/2 LSB) を含みません。**注3.** 変換対象にANI16-26、CTSU TSCAP電圧を選択した場合、Max.値は次のようになります。CTSU TSCAP電圧を変換対象にする場合は、1.8 V ≤ VDDで使用してください。

総合誤差 : Max. 値に±3 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 : Max. 値に±0.04 %FSRを加算してください

注4. 基準電圧 (+) にVDD、基準電圧 (-) にVSSを選択した場合、Max.値は次のようになります。

総合誤差 : Max. 値に ± 10 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 : Max. 値に ± 0.25 %FSRを加算してください

積分直線性誤差 : Max. 値に ± 4 LSBを加算してください

注5. AVREFP < VDDの場合、Max.値は次のようになります。

総合誤差／ゼロスケール誤差／フルスケール誤差

: Max. 値に ± 0.75 LSB $\times$ (VDD 電圧 (V) - AVREFP 電圧 (V))を加算してください

積分直線性誤差 : Max. 値に ± 0.2 LSB $\times$ (VDD 電圧 (V) - AVREFP 電圧 (V))を加算してください

注6. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、サンプリング時間を5 μ s以上にする必要があります。そのため、サンプリング時間が長い低電圧モード2、かつ変換クロック (fAD) は16 MHz以下で使用してください。

注7. フルスケール値に対する比率 (%FSR) で表します。

(3) 基準電圧 (+) に内部基準電圧を選択

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V, 低電圧モード1, 2,

基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0)、基準電圧 (-) = AVREFM (ADREFM = 1))

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8			bit
変換クロック	fAD	1.8 V ≤ VDD ≤ 5.5 V	1		2	MHz
ゼロスケール誤差 ^{注1, 2, 3}	EZS	1.8 V ≤ VDD ≤ 5.5 V			±0.6	%FSR
積分直線性誤差 ^{注1, 3}	ILE	1.8 V ≤ VDD ≤ 5.5 V			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	1.8 V ≤ VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		VBGR ^{注4}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。**注2.** フルスケール値に対する比率 (%FSR) で表します。**注3.** 基準電圧 (-) = VSSを選択した場合、Max.値は次のようになります。

ゼロスケール誤差 : Max.値に±0.35 %FSRを加算してください

積分直線性誤差 : Max.値に±0.5 LSBを加算してください

注4. 42.6.2 温度センサ／内部基準電圧特性を参照してください。

42.6.2 温度センサ／内部基準電圧特性

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
温度センサ出力電圧	VTMPS25	ADS レジスタ = 80H 設定、TA = +25°C		1.05		V
内部基準電圧	VBGR	ADS レジスタ = 81H 設定	1.42	1.48	1.54	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.3		mV/°C
動作安定待ち時間	tAMP		5			μs

42.6.3 D/A コンバータ特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 8 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
		Rload = 4 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
セトリング・タイム	tSET	Cload = 20 pF	2.7 V ≤ VDD ≤ 5.5 V		3	μs
			1.6 V ≤ VDD ≤ 5.5 V		6	μs

42.6.4 コンパレータ特性

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位
入力電圧範囲	IVREF	IVREF0 端子、IVREF1 端子入力 C0LVL, C1LVL = 0		0		VDD - 1.4	V
		IVREF0 端子、IVREF1 端子入力 C0LVL, C1LVL = 1		1.4		VDD	V
	IVCMP	IVCMP0, IVCMP1 端子入力		-0.3		VDD + 0.3	V
出力遅延	td	VDD = 3.0 V, 入カスルーレート > 1 V/μs	高速モード			1.5	μs
			低速モード		3.0		μs
オフセット電圧	VIOCMP	高速モード				50	mV
		低速モード				40	mV
動作安定待ち時間	tcMP			30			μs
内部基準電圧注	VBGR2	内部基準電圧		1.4		1.6	V
	VDA2	D/A コンバータ出力2 + コンパレータオフセット電圧	1.8 V ≤ VDD ≤ 5.5 V			VDD × (DACS2) /256 + VIOCMP	V
D/A コンバータのチャネル2 セトリング・タイム	tSET2	DACS2 設定変更時	2.7 V ≤ VDD ≤ 5.5 V			3	μs
			1.6 V ≤ VDD ≤ 5.5 V			6	μs

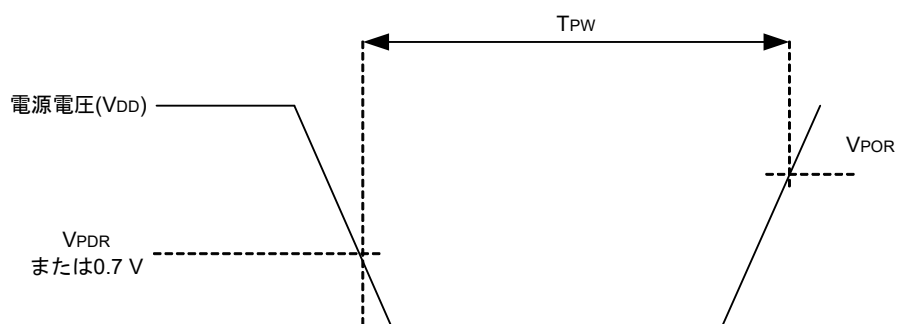
注 コンパレータ基準電圧に内部基準電圧を選択した場合は、1.8 V ≤ VDD ≤ 5.5 V の範囲内で使用してください。

42.6.5 POR回路特性

(TA = -40 ~ +105°C, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	VPOR, VPDR		1.43	1.50	1.57	V
最小パルス幅注	TPW		300			μs

注 VDDがVPDRを下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（fMAIN）を停止時は、VDDが0.7 Vを下回ってから、VPORを上回るまでのPORによるリセット動作に必要な時間です。



42.6.6 LVD回路特性

(1) LVD0 リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目		略号	条件	Min.	Typ.	Max.	単位
検出電圧	電源電圧レベル	VLVD00	電源立ち上がり時	3.84	3.96	4.08	V
			電源立ち下がり時	3.76	3.88	4.00	V
		VLVD01	電源立ち上がり時	2.88	2.97	3.06	V
			電源立ち下がり時	2.82	2.91	3.00	V
		VLVD02	電源立ち上がり時	2.59	2.67	2.75	V
			電源立ち下がり時	2.54	2.62	2.70	V
		VLVD03	電源立ち上がり時	2.31	2.38	2.45	V
			電源立ち下がり時	2.26	2.33	2.40	V
		VLVD04	電源立ち上がり時	1.84	1.90	1.95	V
			電源立ち下がり時	1.80	1.86	1.91	V
		VLVD05	電源立ち上がり時	1.64	1.69	1.74	V
			電源立ち下がり時	1.60	1.65	1.70	V
最小パルス幅		tLW		500			μs
検出遅延						500	μs

(2) LVD1リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +105°C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	電源電圧レベル	VLVD10 電源立ち上がり時	4.08	4.16	4.24	V
		電源立ち下がり時	4.00	4.08	4.16	V
		VLVD11 電源立ち上がり時	3.88	3.96	4.04	V
		電源立ち下がり時	3.80	3.88	3.96	V
		VLVD12 電源立ち上がり時	3.68	3.75	3.82	V
		電源立ち下がり時	3.60	3.67	3.74	V
		VLVD13 電源立ち上がり時	3.48	3.55	3.62	V
		電源立ち下がり時	3.40	3.47	3.54	V
		VLVD14 電源立ち上がり時	3.28	3.35	3.42	V
		電源立ち下がり時	3.20	3.27	3.34	V
		VLVD15 電源立ち上がり時	3.07	3.13	3.19	V
		電源立ち下がり時	3.00	3.06	3.12	V
		VLVD16 電源立ち上がり時	2.91	2.97	3.03	V
		電源立ち下がり時	2.85	2.91	2.97	V
		VLVD17 電源立ち上がり時	2.76	2.82	2.87	V
		電源立ち下がり時	2.70	2.76	2.81	V
		VLVD18 電源立ち上がり時	2.61	2.66	2.71	V
		電源立ち下がり時	2.55	2.60	2.65	V
		VLVD19 電源立ち上がり時	2.45	2.50	2.55	V
		電源立ち下がり時	2.40	2.45	2.50	V
		VLVD110 電源立ち上がり時	2.35	2.40	2.45	V
		電源立ち下がり時	2.30	2.35	2.40	V
		VLVD111 電源立ち上がり時	2.25	2.30	2.34	V
		電源立ち下がり時	2.20	2.25	2.29	V
		VLVD112 電源立ち上がり時	2.15	2.20	2.24	V
		電源立ち下がり時	2.10	2.15	2.19	V
		VLVD113 電源立ち上がり時	2.05	2.09	2.13	V
		電源立ち下がり時	2.00	2.04	2.08	V
		VLVD114 電源立ち上がり時	1.94	1.98	2.02	V
		電源立ち下がり時	1.90	1.94	1.98	V
		VLVD115 電源立ち上がり時	1.84	1.88	1.91	V
		電源立ち下がり時	1.80	1.84	1.87	V
		VLVD116 電源立ち上がり時	1.74	1.78	1.81	V
		電源立ち下がり時	1.70	1.74	1.77	V
		VLVD117 電源立ち上がり時	1.64	1.67	1.70	V
		電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅	tlw		500			μs
検出遅延					500	μs

42.6.7 電源電圧立ち上がり特性

($T_A = -40 \sim +105^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	Min.	Typ.	Max.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

注意 V_{DD} がAC特性に示す動作電圧範囲内に達するまで、LVD0回路か外部リセットで内部リセット状態を保ってください。

42.6.8 LCD特性

42.6.8.1 外部抵抗分割方式

(1) スタティック・モード

(TA = -40 ~ +105°C, VL4 (Min.) ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL4		2.0		VDD	V

(2) 1/2バイアス、1/4バイアス

(TA = -40 ~ +105°C, VL4 (Min.) ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL4		2.7		VDD	V

(3) 1/3バイアス

(TA = -40 ~ +105°C, VL4 (Min.) ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL4		2.5		VDD	V

42.6.8.2 内部昇圧方式

(1) 1/3バイアス、VL1リファレンス (MDSET2-0 = 001B, LBAS1-0 = 01B)

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位	
VL1出力電圧	VL1	C1 – C4 ^{注1} = 0.47 μF	VLCD4-0 = 04H	0.97	1.01	1.04	V
			VLCD4-0 = 05H	1.00	1.04	1.08	V
			VLCD4-0 = 06H	1.04	1.07	1.11	V
			VLCD4-0 = 07H	1.07	1.11	1.14	V
			VLCD4-0 = 08H	1.10	1.14	1.18	V
			VLCD4-0 = 09H	1.13	1.17	1.21	V
			VLCD4-0 = 0AH	1.16	1.21	1.25	V
			VLCD4-0 = 0BH	1.20	1.24	1.28	V
			VLCD4-0 = 0CH	1.23	1.27	1.32	V
			VLCD4-0 = 0DH	1.26	1.31	1.35	V
			VLCD4-0 = 0EH	1.29	1.34	1.38	V
			VLCD4-0 = 0FH	1.33	1.37	1.42	V
			VLCD4-0 = 10H	1.36	1.40	1.45	V
			VLCD4-0 = 11H	1.39	1.44	1.49	V
			VLCD4-0 = 12H	1.42	1.47	1.52	V
			VLCD4-0 = 13H	1.45	1.50	1.55	V
			VLCD4-0 = 14H	1.49	1.54	1.59	V
			VLCD4-0 = 15H	1.52	1.57	1.62	V
			VLCD4-0 = 16H	1.55	1.60	1.66	V
			VLCD4-0 = 17H	1.58	1.64	1.69	V
			VLCD4-0 = 18H	1.61	1.67	1.73	V
			VLCD4-0 = 19H	1.65	1.70	1.76	V
			VLCD4-0 = 1AH	1.68	1.74	1.79	V
VL2出力電圧	VL2	C1 – C4 ^{注1} = 0.47 μF	2VL1 – 5%	2VL1	2VL1	V	
VL4出力電圧	VL4	C1 – C4 ^{注1} = 0.47 μF	3VL1 – 6%	3VL1	3VL1	V	
基準電圧セットアップ時間 ^{注2}	tVWAIT1		10			ms	
昇圧ウェイト時間 ^{注3}	tVWAIT2	C1 – C4 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ±30%

注2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（MDSET2-0 = 001B）にしてから）、昇圧を開始する（VLCON = 1）までに必要なウェイト時間です。**注3.** 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウェイト時間です。

(2) 1/3 バイアス、VL2 リファレンス (MDSET2-0 = 101B, LBAS1-0 = 01B)

(TA = -40 ~ +105°C, VL2 (Max.) + 0.1 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位
VL1出力電圧	VL1	C1 – C4 ^{注1} = 0.47 μF		1/2VL2 –5%	1/2VL2	1/2VL2	V
VL2出力電圧	VL2	C1 – C4 ^{注1} = 0.47 μF	VLCD4-0 = 04H	1.94	2.02	2.11	V
			VLCD4-0 = 05H	2.00	2.09	2.18	V
			VLCD4-0 = 06H	2.07	2.16	2.25	V
			VLCD4-0 = 07H	2.13	2.22	2.32	V
			VLCD4-0 = 08H	2.19	2.29	2.39	V
			VLCD4-0 = 09H	2.26	2.36	2.46	V
			VLCD4-0 = 0AH	2.32	2.42	2.53	V
			VLCD4-0 = 0BH	2.39	2.49	2.59	V
			VLCD4-0 = 0CH	2.45	2.56	2.66	V
			VLCD4-0 = 0DH	2.51	2.62	2.73	V
			VLCD4-0 = 0EH	2.58	2.69	2.80	V
			VLCD4-0 = 0FH	2.64	2.76	2.87	V
			VLCD4-0 = 10H	2.70	2.82	2.94	V
			VLCD4-0 = 11H	2.77	2.89	3.01	V
			VLCD4-0 = 12H	2.83	2.96	3.08	V
			VLCD4-0 = 13H	2.90	3.02	3.15	V
			VLCD4-0 = 14H	2.96	3.09	3.22	V
			VLCD4-0 = 15H	3.02	3.15	3.29	V
			VLCD4-0 = 16H	3.09	3.22	3.35	V
			VLCD4-0 = 17H	3.15	3.29	3.42	V
			VLCD4-0 = 18H	3.21	3.35	3.49	V
			VLCD4-0 = 19H	3.28	3.42	3.56	V
			VLCD4-0 = 1AH	3.34	3.49	3.63	V
VL4出力電圧	VL4	C1 – C4 ^{注1} = 0.47 μF		3/2VL2 –6%	3/2VL2	3/2VL2	V
基準電圧セットアップ時間 ^{注2}	tvWAIT1			10			ms
昇圧ウェイト時間 ^{注3}	tvWAIT2	C1 – C4 ^{注1} = 0.47 μF		500			ms

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ±30%

注2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（MDSET2-0 = 101B）にしてから）、昇圧を開始する（VLCON = 1）までに必要なウェイト時間です。

注3. 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウェイト時間です。

(3) 1/4バイアス、VL1リファレンス (MDSET2-0 = 001B, LBAS1-0 = 10B)

(TA = -40 ~ +105°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = EVSS = 0 V)

項目	略号	条件		Min.	Typ.	Max.	単位
VL1出力電圧	VL1	C1 – C5 ^{注1} = 0.47 μF	VLCD4-0 = 04H	0.97	1.01	1.04	V
			VLCD4-0 = 05H	1.00	1.04	1.08	V
			VLCD4-0 = 06H	1.04	1.07	1.11	V
			VLCD4-0 = 07H	1.07	1.11	1.14	V
			VLCD4-0 = 08H	1.10	1.14	1.18	V
			VLCD4-0 = 09H	1.13	1.17	1.21	V
			VLCD4-0 = 0AH	1.16	1.21	1.25	V
			VLCD4-0 = 0BH	1.20	1.24	1.28	V
			VLCD4-0 = 0CH	1.23	1.27	1.32	V
			VLCD4-0 = 0DH	1.26	1.31	1.35	V
VL2出力電圧	VL2	C1 – C5 ^{注1} = 0.47 μF	2VL1 –5%	2VL1	2VL1	V	
VL3出力電圧	VL3	C1 – C5 ^{注1} = 0.47 μF	3VL1 –6%	3VL1	3VL1	V	
VL4出力電圧	VL4	C1 – C5 ^{注1} = 0.47 μF	4VL1 –6%	4VL1	4VL1	V	
基準電圧セットアップ時間 ^{注2}	tVWAIT1		10			ms	
昇圧ウェイト時間 ^{注3}	tVWAIT2	C1 – C5 ^{注1} = 0.47 μF	500			ms	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : VL1-GND間に接続するコンデンサです。

C3 : VL2-GND間に接続するコンデンサです。

C4 : VL3-GND間に接続するコンデンサです。

C5 : VL4-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = C5 = 0.47 μF ±30%

注2. VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合は内部昇圧方式に選択（MDSET2-0 = 001B）にしてから）、昇圧を開始する（VLCON = 1）までに必要なウェイト時間です。

注3. 昇圧を開始してから（VLCON = 1）、表示が可能になる（LCDON = 1）までのウェイト時間です。

42.6.8.3 容量分割方式

(1) 1/3バイアス、V_{DD}リファレンス (MDSET2-0 = 010B, LBAS1-0 = 01B)(T_A = -40 ~ +105°C, 2.2 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
V _{L4} 出力電圧	V _{L4}	C1 – C4 = 0.47 μF 注1		V _{DD}		V
V _{L2} 出力電圧	V _{L2}	C1 – C4 = 0.47 μF 注1	2/3V _{L4} -3%	2/3V _{L4}	2/3V _{L4} +3%	V
V _{L1} 出力電圧	V _{L1}	C1 – C4 = 0.47 μF 注1	1/3V _{L4} -3%	1/3V _{L4}	1/3V _{L4} +3%	V
容量分割ウェイト時間注2	t _{VWAIT}		100			ms

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{L1}-GND間に接続するコンデンサです。C3 : V_{L2}-GND間に接続するコンデンサです。C4 : V_{L4}-GND間に接続するコンデンサです。内部昇圧方式に切り替えて使用する場合に必要となります。

C1 = C2 = C3 = C4 = 0.47 μF ±30%

注2. 降圧を開始してから (VLCON = 1)、表示が可能になる (LCDON = 1) までのウェイト時間です。(2) 1/3バイアス、V_{L4}リファレンス (MDSET2-0 = 110B, LBAS1-0 = 01B)(T_A = -40 ~ +105°C, 3.2 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
V _{L4} 出力電圧	V _{L4}	C1 – C4 = 0.47 μF 注1	2.89	3.04	3.20	V
V _{L2} 出力電圧	V _{L2}	C1 – C4 = 0.47 μF 注1	1.89	2.03	2.17	V
V _{L1} 出力電圧	V _{L1}	C1 – C4 = 0.47 μF 注1	0.94	1.01	1.08	V
基準電圧セットアップ時間注2	t _{VWAIT1}		10			ms
容量分割ウェイト時間注3	t _{VWAIT}		100			ms

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{L1}-GND間に接続するコンデンサです。C3 : V_{L2}-GND間に接続するコンデンサです。C4 : V_{L4}-GND間に接続するコンデンサです。

C1 = C2 = C3 = C4 = 0.47 μF ±30%

注2. 容量分割方式に選択 (MDSET2-0 = 110B) してから、降圧を開始する (VLCON = 1) までに必要なウェイト時間です。**注3.** 降圧を開始してから (VLCON = 1)、表示が可能になる (LCDON = 1) までのウェイト時間です。

(3) 1/4 バイアス、V_{DD} リファレンス (MDSET2-0 = 010B, LBAS1-0 = 10B)

(T_A = -40 ~ +105°C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	Min.	Typ.	Max.	単位
V _{L4} 出力電圧	V _{L4}	C1 – C5 = 0.47 μF 注1		V _{DD}		V
V _{L3} 出力電圧	V _{L3}	C1 – C5 = 0.47 μF 注1	3/4V _{L4} -3%	3/4V _{L4}	3/4V _{L4} +3%	V
V _{L2} 出力電圧	V _{L2}	C1 – C5 = 0.47 μF 注1	1/2V _{L4} -3%	1/2V _{L4}	1/2V _{L4} +3%	V
V _{L1} 出力電圧	V _{L1}	C1 – C5 = 0.47 μF 注1	1/4V _{L4} -3%	1/4V _{L4}	1/4V _{L4} +3%	V
容量分割ウェイト時間注2	t _{VWAIT}		100			ms

注1. LCD を駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL 間に接続するコンデンサです。

C2 : V_{L1}-GND 間に接続するコンデンサです。

C3 : V_{L2}-GND 間に接続するコンデンサです。

C4 : V_{L3}-GND 間に接続するコンデンサです。

C5 : V_{L4}-GND 間に接続するコンデンサです。内部昇圧方式に切り替えて使用する場合に必要となります。

C1 = C2 = C3 = C4 = C5 = 0.47 μF ±30%

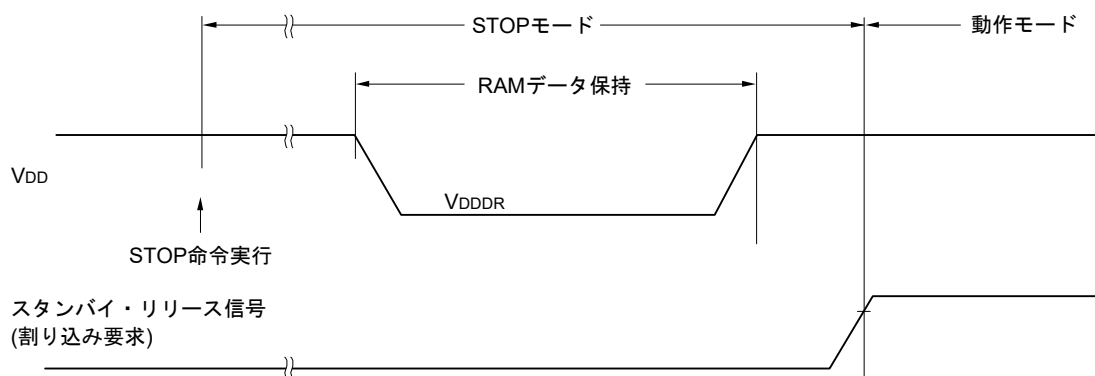
注2. 降圧を開始してから (VLCON = 1)、表示が可能になる (LCDON = 1) までのウェイト時間です。

42.7 RAMデータ保持特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $V_{SS} = 0\text{V}$)

項目	略号	条件	Min.	Typ.	Max.	単位
データ保持電源電圧	VDDDR		1.43 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



42.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +105^{\circ}\text{C}$, $1.6\text{V} \leq V_{DD} \leq 5.5\text{V}$, $V_{SS} = 0\text{V}$)

項目	略号	条件	Min.	Typ.	Max.	単位
CPU／周辺ハードウェアクロック周波数	fCLK		1		32	MHz
コード・フラッシュの書き換え回数 ^{注1, 2, 3}	Cenwr	保持年数：10年 TA = +85°C ^{注4}	10,000			回
		保持年数：20年 TA = +85°C ^{注4}	1,000			
データ・フラッシュの書き換え回数 ^{注1, 2, 3}		保持年数：1年 TA = +25°C		1,000,000		
保持年数：5年 TA = +85°C ^{注4}		100,000				
保持年数：20年 TA = +85°C ^{注4}		10,000				

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えたあと、次に書き換えを行うまでの期間とします。

注2. フラッシュ・メモリ・プログラマ使用時およびセルフ・プログラミング機能を使用時

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

注4. 保持の平均温度です。

(1) コード・フラッシュ・メモリ

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目		略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
プログラム時間	4 バイト	tp4	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	2 K バイト	te2K	—	10.4	312.2	—	7.7	258.5	—	6.4	231.8	—	5.8	218.4	—	5.6	214.4	ms
ブランクチェック時間	4 バイト	tbc4	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	2 K バイト	tbc2K	—	—	2618.9	—	—	1309.5	—	—	658.3	—	—	332.8	—	—	234.1	μs
イレース処理強制停止時間		tSED	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
セキュリティ設定時間		tAWS SAS	—	18.2	526.2	—	14.4	469.2	—	12.5	441.1	—	11.6	427.1	—	11.3	422.6	ms
STOP 命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

(2) データ・フラッシュ・メモリ

(TA = -40 ~ +105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目		略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
プログラム時間	1 バイト	tP4	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	256 バイト	tE2K	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	ms
ブランクチェック時間	1 バイト	tBC4	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	256 バイト	tBC2K	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	μs
イレース処理強制停止時間		tSED	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
STOP 命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs
DFLCTL.DFLEN = 1 設定後のリード開始待ち時間		—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	μs

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

42.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

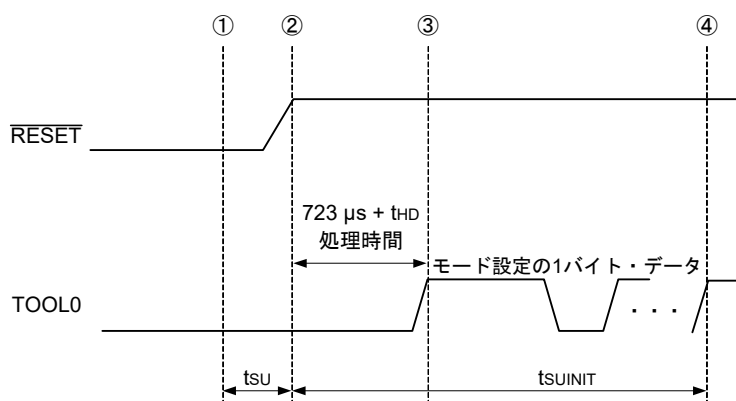
($T_A = -40 \sim +105^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

42.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

($T_A = -40 \sim +105^\circ\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = 0\text{ V}$)

項目	略号	条件	Min.	Typ.	Max.	単位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t _{HD}	外部リセット解除前に POR, LVD リセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。

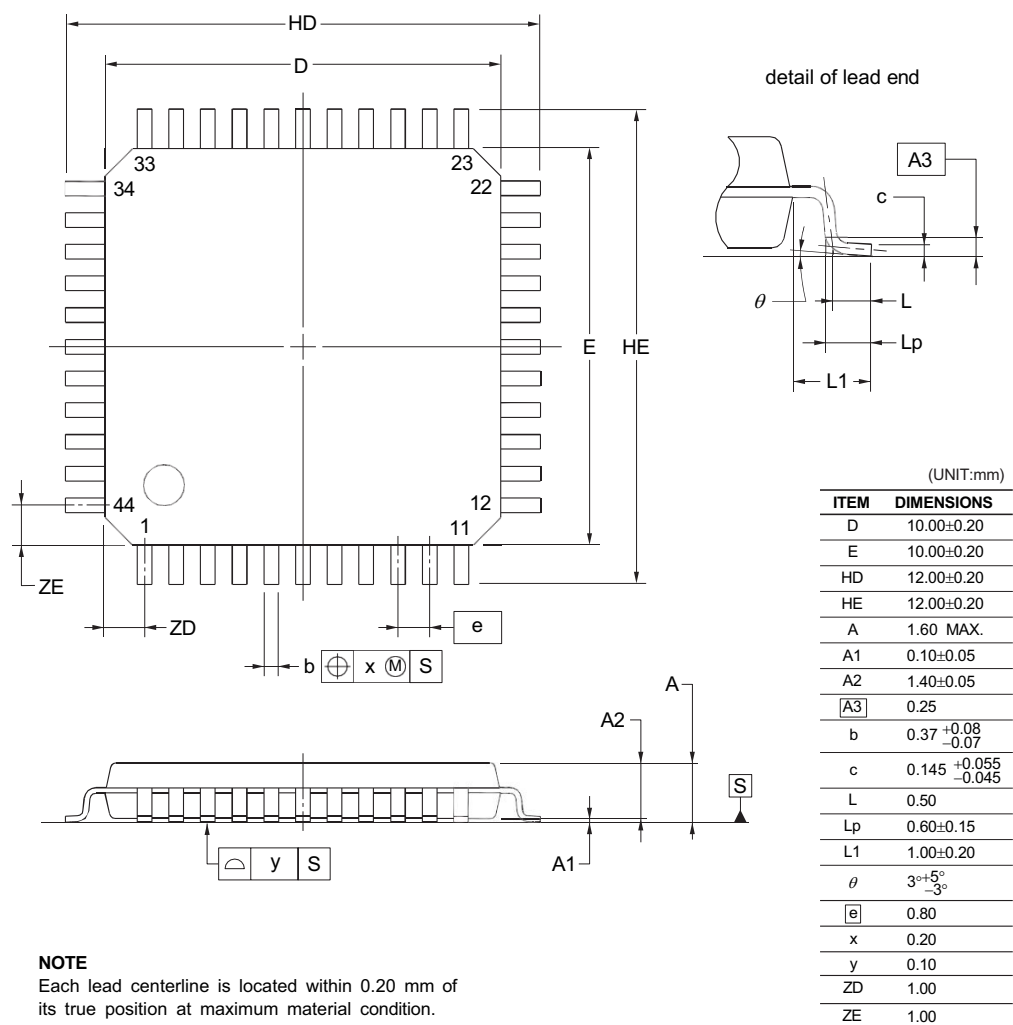
t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第43章 外形図

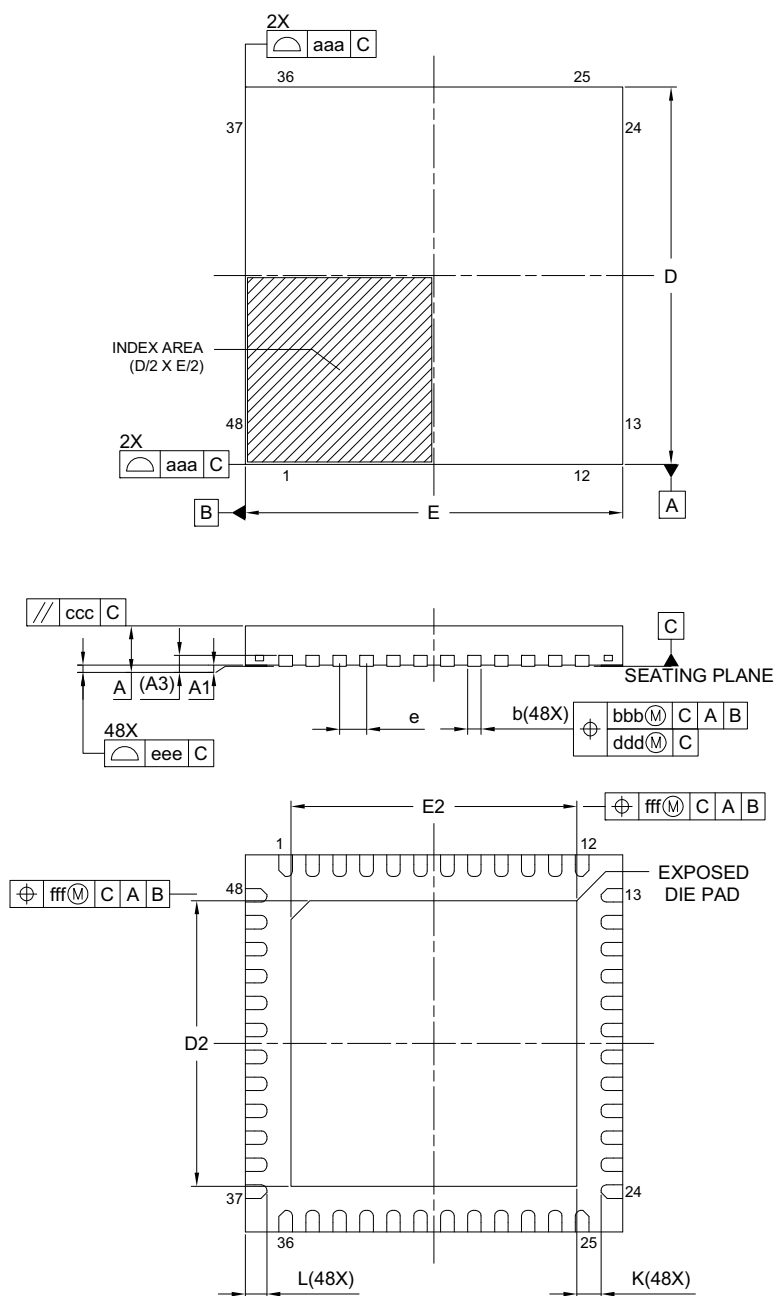
43.1 44ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP44-10x10-0.80	PLQP0044GC-A	P44GB-80-UES-2	0.36



©2012 Renesas Electronics Corporation. All rights reserved.

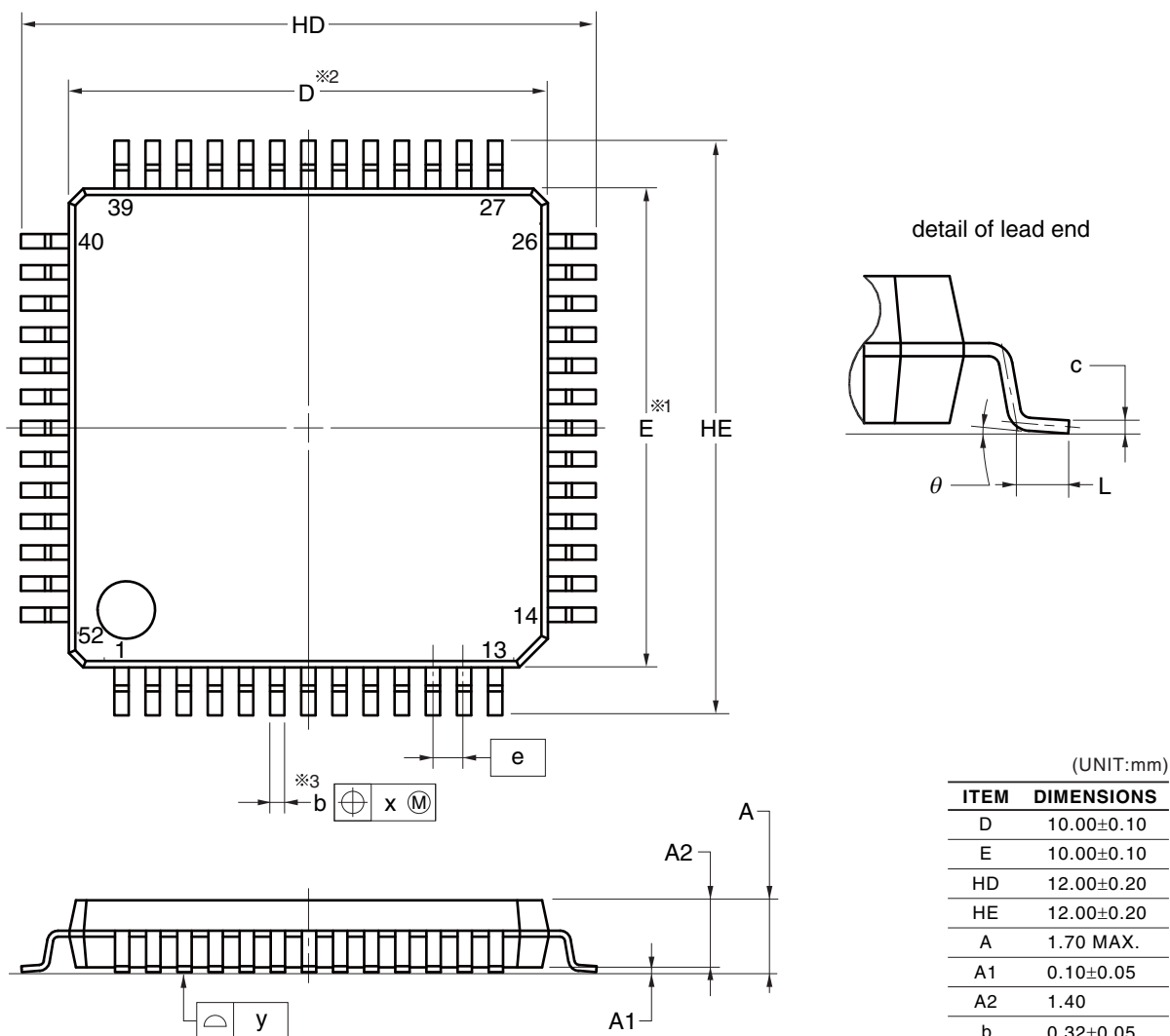
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

43.3 52ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP52-10x10-0.65	PLQP0052JA-A	P52GB-65-GBS-1	0.3



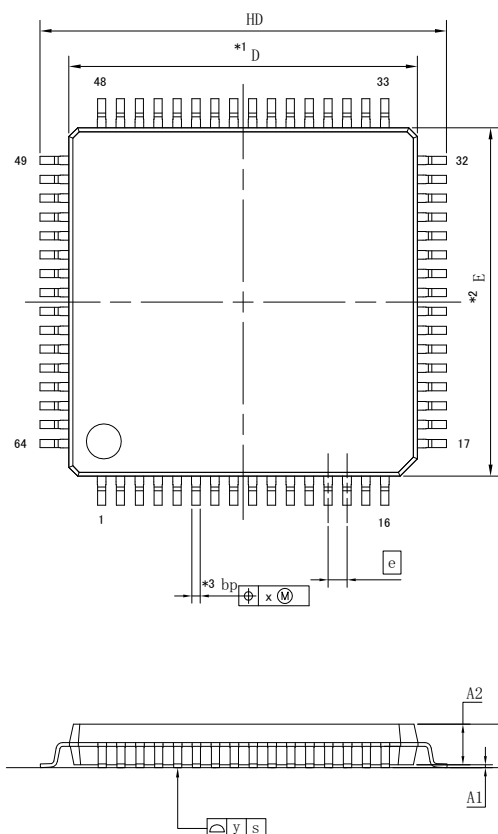
NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

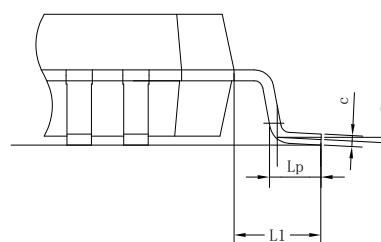
© 2012 Renesas Electronics Corporation. All rights reserved.

43.4 64ピン製品

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP64-12x12-0.65	PLQP0064JB-A	0.50



detail of lead end



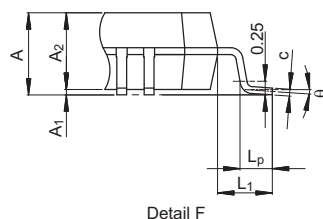
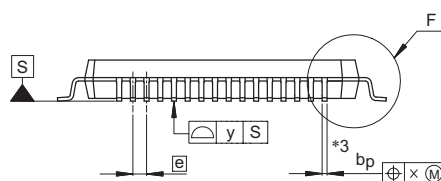
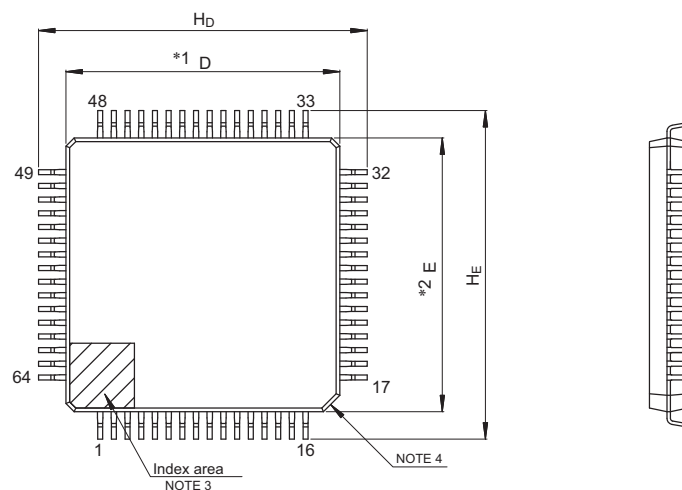
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	11.90	12.00	12.10
D	11.90	12.00	12.10
A ₂	—	1.40	—
H _D	13.80	14.00	14.20
H _E	13.80	14.00	14.20
A	—	—	1.70
A ₁	0.05	—	0.15
L _p	0.45	0.60	0.75
L ₁	—	1.00	—
b _p	0.27	0.32	0.37
c	0.09	—	0.20
e	—	0.65	—
θ	0.00	3.50	8.00
x	—	—	0.08
y	—	—	0.08

NOTE

- 1.DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2.DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



NOTE)

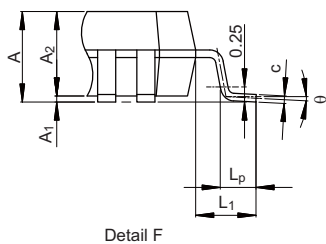
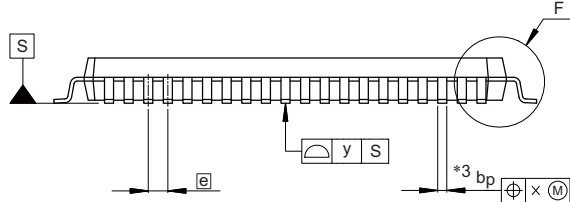
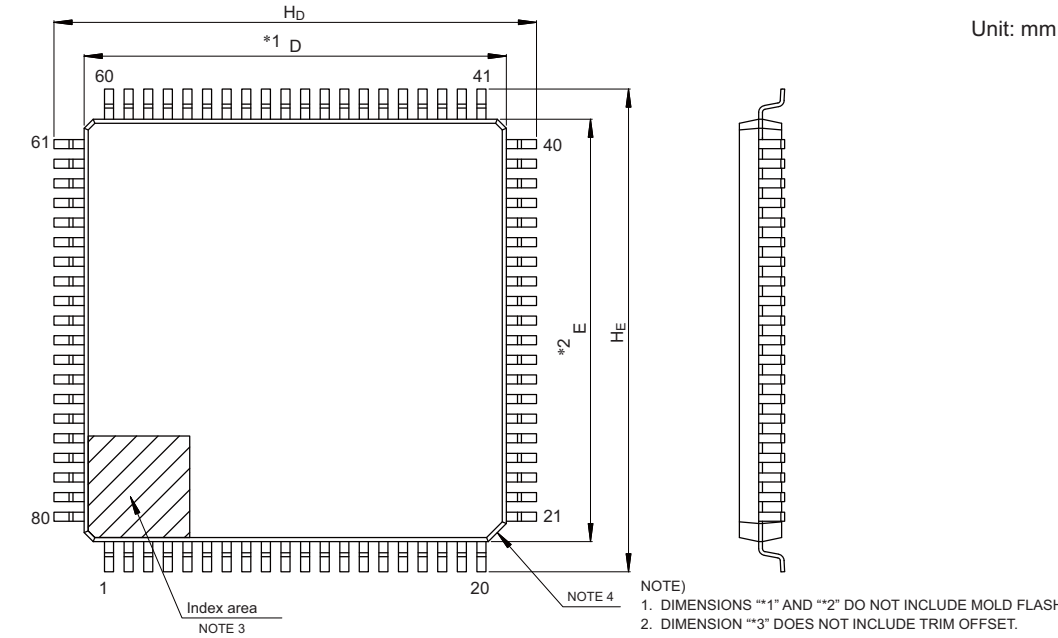
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A ₂	—	1.4	—
H _D	11.8	12.0	12.2
H _E	11.8	12.0	12.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

43.5 80ピン製品

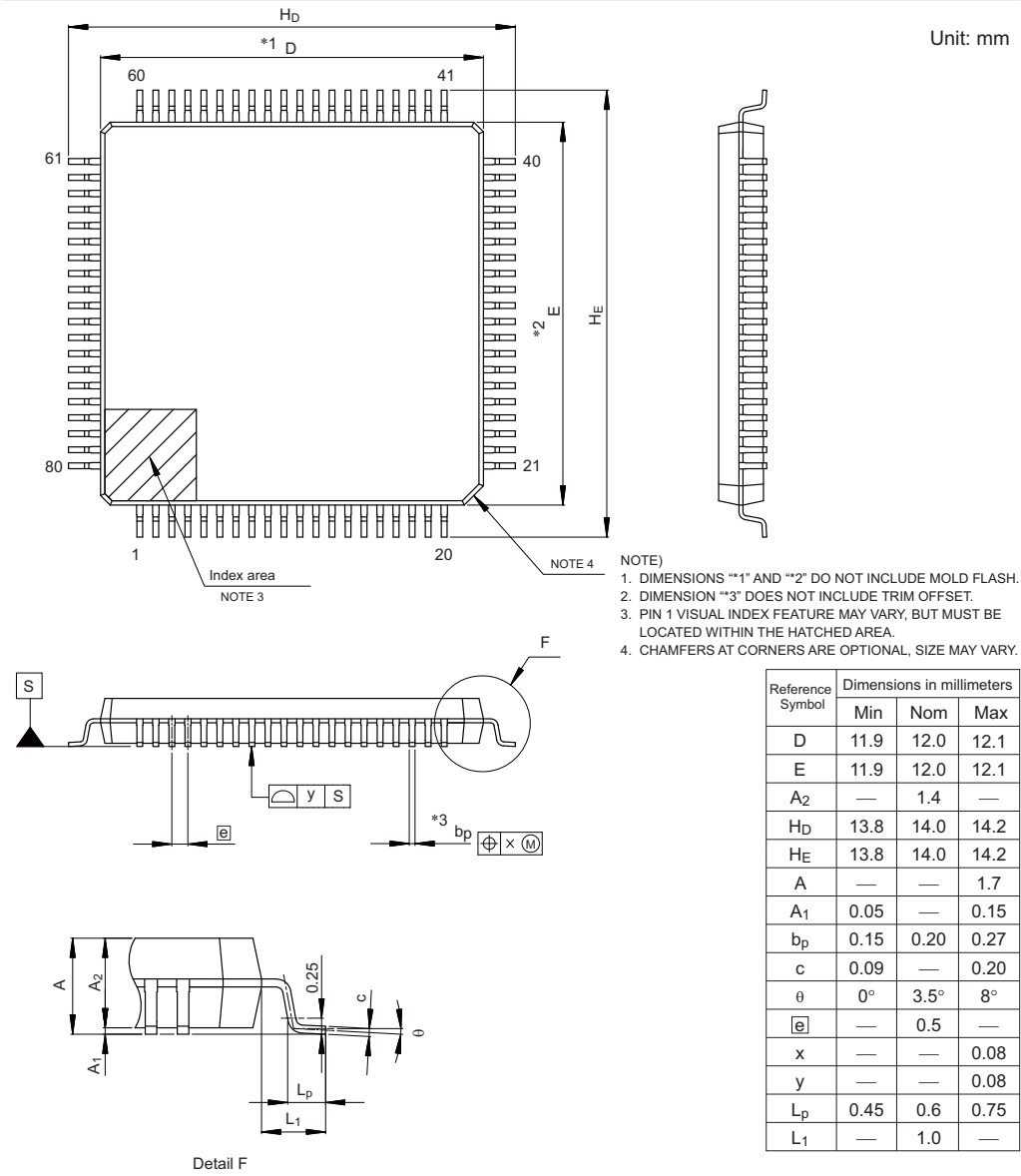
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LQFP80-14x14-0.65	PLQP0080JA-B	—	0.6



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.22	0.30	0.38
c	0.09	—	0.20
θ	0°	3.5°	8°
[e]	—	0.65	—
x	—	—	0.13
y	—	—	0.10
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

© 2016 Renesas Electronics Corporation. All rights reserved.

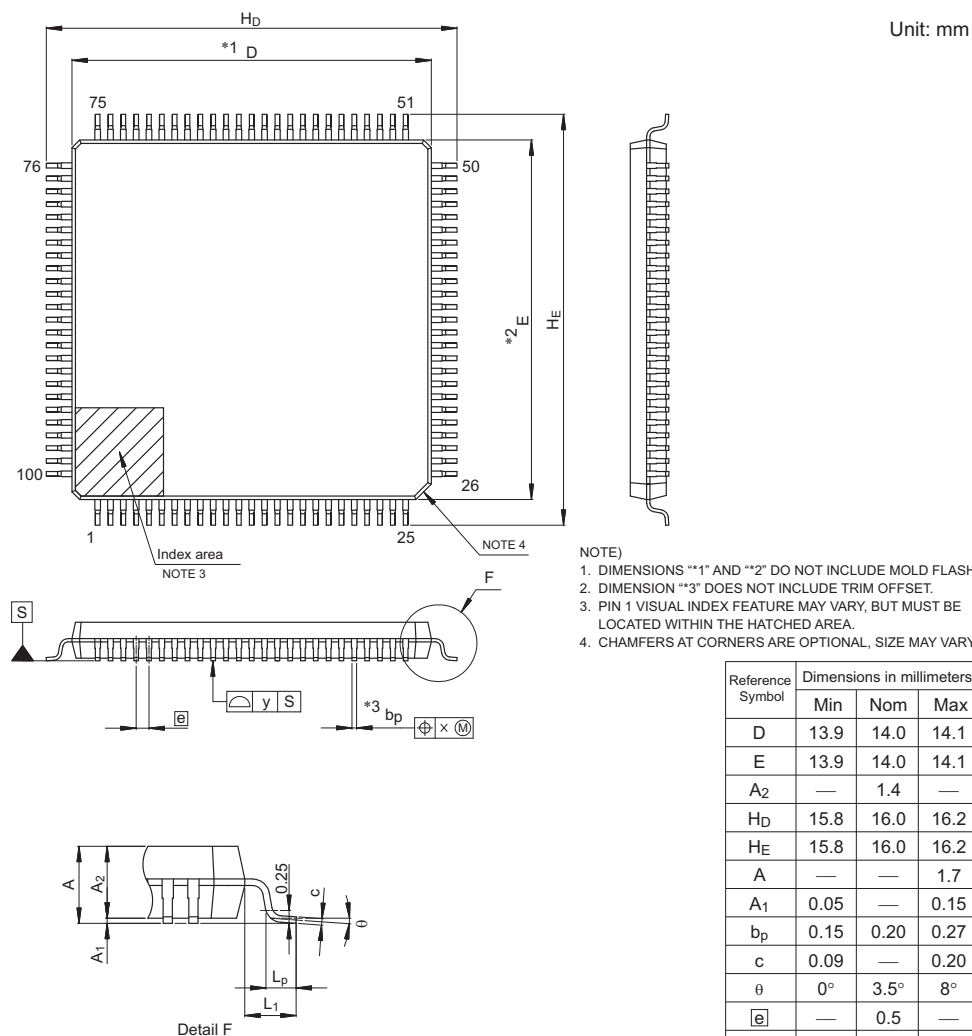
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5



© 2017 Renesas Electronics Corporation. All rights reserved.

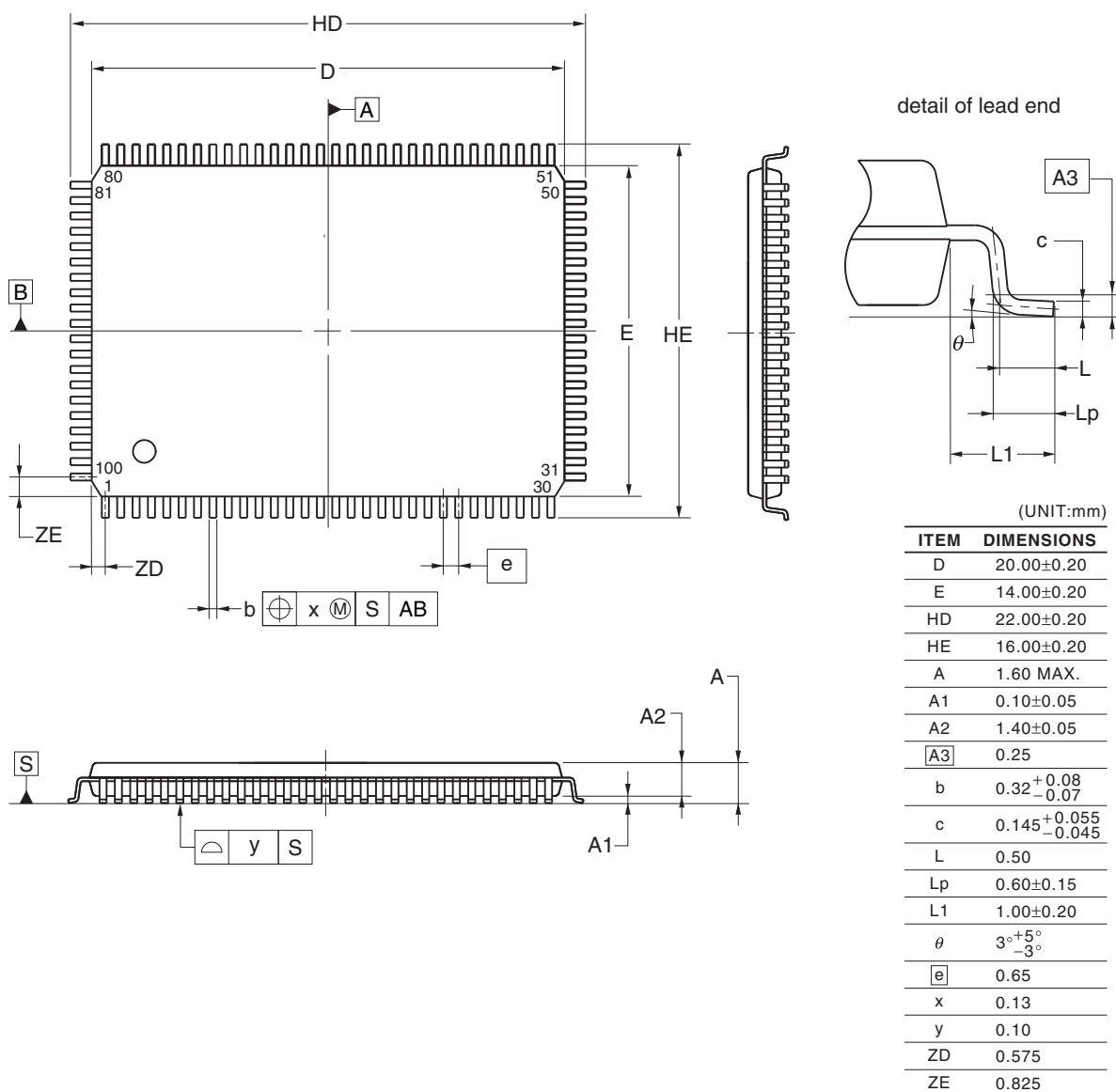
43.6 100ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



© 2015 Renesas Electronics Corporation. All rights reserved.

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP100-14x20-0.65	PLQP0100JC-A	P100GF-65-GBN-1	0.92



© 2012 Renesas Electronics Corporation. All rights reserved.

付録A 改版履歴

A.1 本版で改訂された主な箇所

(1/2)

箇所	内容	分類
第3章 CPUアーキテクチャ		
p.163	図3-11 ES/CSレジスタの構成 を変更	(a)
p.183	表3-6 2nd SFR一覧 を変更	(a)
第4章 ポート機能		
p.262	表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 を変更	(a)
第5章 オペレーション・ステート・コントロール		
p.300	図5-1 オペレーション・ステート・コントロールの概略図 を変更	(a)
第6章 クロック発生回路		
p.316	図6-1 クロック発生回路のブロック図 を変更	(a)
p.319, p.320	図6-2 クロック動作モード制御レジスタ (CMC) のフォーマット、注意4を変更 および 注意1を追加	(c)
p.321	図6-3 メイン発振器発振モード選択レジスタ (MODRV) のフォーマット 注意4を追加	(c)
p.324	図6-5 クロック動作ステータス制御レジスタ (CSC) のフォーマット 注意1を追加	(c)
p.338	図6-11 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット 備考を追加	(c)
第7章 タイマ・アレイ・ユニット (TAU)		
p.392	7.3.3 タイマ・クロック選択レジスタ m (TPSm) 説明を変更	(a)
p.394	図7-13 タイマ・クロック選択レジスタ m (TPSm) のフォーマット 注を変更	(c)
p.444	7.8.2 外部イベント・カウンタとしての動作 説明を変更	(c)
p.454	7.8.4 入力パルス間隔測定としての動作 説明を変更	(c)
p.459	7.8.5 入力信号のロウ・レベル幅/ハイ・レベル幅測定としての動作 説明を変更	(c)
p.464	7.8.6 ディレイ・カウンタとしての動作 説明を変更	(c)
p.469	7.9.1 ワンショット・パルス出力機能としての動作 説明を変更	(c)
第10章 リアルタイム・クロック (RTC)		
p.703	10.4.3 リアルタイム・クロックのカウンタ読み出し/書き込み 説明を変更	(c)
p.703	図10-19 リアルタイム・クロックの読み出し手順 注意を変更	(c)
p.704	図10-20 リアルタイム・クロックの読み出し手順 (アラーム割り込み機能使用時) を追加	(c)
p.705	図10-21 リアルタイム・クロックの書き込み手順 注意1を変更	(c)
p.706	図10-22 リアルタイム・クロックの書き込み手順 (アラーム割り込み機能使用時) を追加	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加/変更、(c) : 説明、注意事項の追加/変更、
 (d) : パッケージ、オーダ名称、管理区分の追加/変更、(e) : 関連資料の追加/変更

(2/2)

箇所	内容	分類
第12章 32ビット・インターバル・タイマ (TML32)		
p.759	図12-14 タイマ動作例 (8ビット・カウンタ・モード時) を変更 および 備考2を追加	(a)
p.760	図12-15 キャプチャ動作例 を変更 および 備考を削除	(a)
第13章 外部サンプリング		
p.772	図13-3 周辺リセット制御レジスタ2 (PRR2) のフォーマット 注意2を削除	(a)
第19章 シリアル・アレイ・ユニット (SAU)		
p.892	図19-2 シリアル・アレイ・ユニット1のブロック図 を変更	(a)
p.920	19.3.16 入力切り替え制御レジスタ (ISC) 説明を変更	(a)
p.921	図19-21 入力切り替え制御レジスタ (ISC) のフォーマット 注4を変更	(a)
第20章 シリアル・インタフェースIIICA (IIICA)		
p.1074	図20-11 IIICAロウ・レベル幅設定レジスタn (IICWLn) のフォーマット 備考1, 2を追加	(c)
p.1074	図20-12 IIICAハイ・レベル幅設定レジスタn (IICWHn) のフォーマット 備考1を変更	(c)
p.1077, p.1078	20.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法 説明を変更 および 注意3を追加	(c)
第22章 LCDコントローラ/ドライバ		
p.1206	図22-3 LCDモード・レジスタ1 (LCDM1) のフォーマット および 注3を変更	(c)
第23章 データ・トランスファ・コントローラ (DTC)		
p.1301	23.4 DTCの動作 説明を変更	(a)
p.1310	23.4.4 チェイン転送 説明を変更	(c)
p.1311	図23-22 チェイン転送の使用例: A/D変換結果の連続取り込みとUART0送信 を変更	(a)
p.1315	23.5.7 DTC起動要因 注を変更	(a)
第35章 静電容量センサユニット (CTSU2La)		
p.1565, p.1567	図35-9 CTSU制御レジスタBL, BH (CTSUCRBL, CTSUCRBH) のフォーマット を変更	(a), (c)
p.1573, p.1574	図35-13 CTSUステータスレジスタL (CTSUSRL) のフォーマット を変更 および 注意を追加	(a), (c)
p.1598	表35-3 TSCAP端子に接続するコンデンサの条件 を追加	(c)
p.1600	35.4.10 ノイズ対策上の注意点 を変更	(c)
第38章 フラッシュ・メモリ		
p.1616	表38-2 RL78/L23と専用フラッシュ・メモリ・プログラムの配線表 を変更	(a)
第42章 電気的特性		
p.1739	42.3.2 電源電流特性 (1) 44~64ピン製品のコード・フラッシュ・メモリ256-512KBの製品および80, 100ピン製品 を変更	(b)
p.1742~p.1747	42.3.2 電源電流特性 (2) 44~64ピン製品のコード・フラッシュ・メモリ64-128KBの製品 を追加	(b)
p.1748, p.1749	42.3.2 電源電流特性 (3) 周辺機能 (全製品共通) を変更	(b)
p.1787	42.5.2 シリアル・インタフェースUARTA 注意を変更	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a): 誤記訂正、(b): 仕様(スペック含む)の追加/変更、(c): 説明、注意事項の追加/変更、
 (d): パッケージ、オーダ名称、管理区分の追加/変更、(e): 関連資料の追加/変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/6)

版数	内容	適用箇所
Rev.0.50	初版発行	全般
Rev.0.80	1.6 機能概要 表を変更	第1章 概説
	2.1.6 100ピン製品 表を変更	第2章 端子機能
	2.2.2 機能説明 表を変更	
	2.2.3.3 VBAT _n 端子の使用方法 (n = 0, 1) 説明を変更	
	図2 - 2 VDD端子とVBAT _n 端子の切り替え時の状態遷移 (n = 0, 1) 注意3を変更	
	図2 - 11 端子タイプ7-5-33の端子ブロック図 を変更	
	図2 - 14 端子タイプ7-5-32の端子ブロック図 を変更	
	図2 - 24 端子タイプ8-1-10の端子ブロック図 を変更	
	図2 - 25 端子タイプ8-5-4の端子ブロック図 を変更	
	図2 - 27 端子タイプ8-5-18の端子ブロック図 を変更	
	図2 - 28 端子タイプ8-5-19の端子ブロック図を変更	
	図2 - 29 端子タイプ8-5-20の端子ブロック図 を変更	
	図2 - 30 端子タイプ8-6-10の端子ブロック図 を変更	
	図2 - 31 端子タイプ8-10-1の端子ブロック図 を変更	
	図2 - 32 端子タイプ8-10-2の端子ブロック図 を変更	
	図2 - 33 端子タイプ8-43-1の端子ブロック図 を変更	
	図2 - 34 端子タイプ8-44-1の端子ブロック図 を変更	
	図2 - 35 端子タイプ8-44-2の端子ブロック図 を変更	
	図2 - 36 端子タイプ8-44-3の端子ブロック図 を変更	
	図2 - 37 端子タイプ8-44-4の端子ブロック図 を変更	
	図2 - 38 端子タイプ8-45-1の端子ブロック図 を変更	
	図2 - 39 端子タイプ8-45-2の端子ブロック図 を変更	
	図3 - 4 メモリ・マップ (R7F100LxL (x = F, G, J, L, M, P)) を変更	第3章 CPUアーキテクチャ
	3.1.1 内部プログラム・メモリ空間 (1) ベクタ・テーブル領域 説明を変更	
	表3 - 3 ベクタ・テーブル および注1, 2を変更	
	3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 注意2 を変更	
	表3 - 6 2nd SFR一覧 を変更	第4章 ポート機能
	表4 - 1 ポートの構成 を変更	
	図4 - 1 ポート・モード・レジスタ (PMxx) のフォーマット 注を追加	
	図4 - 2 ポート・レジスタ (Pxx) のフォーマット 注1を追加	
	表4 - 3 40 mA出力ポート搭載製品と対応するポート を変更	
	図4 - 13 40 mAポート出力制御レジスタ (PTDC) のフォーマット 注1~6を変更	

(2/6)

版数	内容	適用箇所
Rev.0.80	図4-14 ポート・ファンクション出力許可レジスタ0 (PFOE0) のフォーマットを変更	第4章 ポート機能
	表4-6 端子機能使用時のレジスタ、出力ラッチの設定例を変更	
	表5-2 各フラッシュ動作モードの特長 注3を変更	第5章 オペレーション・ステート・コントロール
	図5-2 フラッシュ動作モード選択レジスタ (FLMODE) のフォーマットおよび注2を変更	
	5.5.3 LP (低電力メイン) モードの詳細 説明を変更	
	図6-1 クロック発生回路のブロック図 備考を変更	第6章 クロック発生回路
	図6-4 システム・クロック制御レジスタ (CKC) のフォーマット 注3を追加、注意2を変更	
	6.3.10 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 説明を変更	
	6.6.2 X1 発振回路の設定例 説明を変更	
	図7-1 タイマ・アレイ・ユニット0の全体ブロック図 (例: 64ピン製品) を変更	第7章 タイマ・アレイ・ユニット (TAU)
	図7-7 タイマ・アレイ・ユニット0のチャンネル7内部ブロック図 を変更	
	7.10.2 タイマ出力をELCLのイベント入力として使用するときの注意事項 説明を変更	
	図8-8 タイマRJイベント端子選択レジスタn (TRJISRn) のフォーマット を変更	第8章 タイマRJ
	8.5.8 STOPモード (イベントカウンタモード) の設定手順 説明を変更	
	全体修正	第9章 16ビット・タイマ KB40, KB41, KB42
	図13-4 外部サンプリング制御レジスタ0 (EXSDM0) のフォーマット を変更	第13章 外部サンプリング
	図13-6 EXSD00/EXSD01出力の波形例 注意1を変更	
	13.6 注意事項 (4) を変更	
	図16-36 SNOOZEモード設定 (ハードウェア・トリガ) のフロー・チャート を変更	第16章 A/Dコンバータ (ADC)
	図19-1 シリアル・アレイ・ユニット0のブロック図 を変更	第19章 シリアル・アレイ・ユニット (SAU)
	表20-2 INTIICAn発生タイミングおよびクロック・ストレッチ制御 注3を追加	第20章 シリアル・インタフェース IICA (IICA)
	20.5.8 割り込み要求信号 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御 (1) アドレス送受信時 説明を追加	
	図21-10 UARTAクロック選択レジスタn (UTAnCK) のフォーマット を変更	第21章 シリアル・インタフェース UARTA (UARTA)
	図22-5 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット 注意2を変更	第22章 LCDコントローラ／ドライバ
	22.3.8 LCDポート・ファンクション・レジスタ (PFSEGx) (a) COMxx/SEGxx端子兼用ポートの動作 説明を変更	
	22.3.8 LCDポート・ファンクション・レジスタ (PFSEGx) (a) COMxx/SEGxx端子兼用ポートの動作 説明を追加	
	図22-28 LCD駆動用電源の接続例 (容量分割方式) を変更 および注1を追加	

(3/6)

版数	内容	適用箇所
Rev.0.80	図24 - 5 入力信号選択レジスタ n (ELISELn) のフォーマット 注3を変更	第24章 ロジック&イベント・リンク・コントローラ (ELCL)
	表25 - 1 割り込み要因一覧 および 注8 を変更、旧注7を削除	第25章 割り込み機能
	表25 - 2 割り込み要求ソースに対応する各種フラグ および 注2, 3を変更	
	図25 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H) のフォーマット を変更	
	図25 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H) のフォーマット を変更	
	図25 - 4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H) のフォーマット を変更	
	表27 - 1 HALT モード時の動作状態 (1) 注を追加	第27章 スタンバイ機能
	表27 - 2 HALT モード時の動作状態 (2) を変更 および 注を追加	
	表27 - 3 STOP モード時の動作状態 注を追加	
	表27 - 4 SNOOZE モード時の動作状態 を変更 および 注を追加	
	30.5 電圧検出回路使用時の注意事項 (5) を変更	第30章 電圧検出回路 (LVD)
	31.1 発振停止検出回路の機能 説明を変更	第31章 発振停止検出回路
	図31 - 4 発振停止検出制御レジスタ (OSDC) のフォーマット 注意2を変更	
	図31 - 5 発振停止検出回路のタイミング を変更	
	第35章 静電容量センサユニット (CTSU2La) 説明を変更	第35章 静電容量センサユニット (CTSU2La)
	表35 - 1 CTSUの機能概要 を変更	
	35.1.1 CTSUの機能概要 説明を変更	
	図35 - 3 CTSUのブロック図 を変更	
	図35 - 4 センサドライバパルス出力のクロック構成 を変更	
	表35 - 2 CTSUの入出力端子 を変更	
	35.1.2 計測ステータス 説明を追加	
	図35 - 8 CTSU制御レジスタ AL, AH (CTSUCRAL, CTSUCRAH) のフォーマット を変更	
	図35 - 9 CTSU制御レジスタ BL, BH (CTSUCRBL, CTSUCRBH) のフォーマット および注意2を変更	
	図35 - 10 CTSU計測チャンネルレジスタ L, H (CTSUMCHL, CTSUMCHH) のフォーマット を変更	
	35.2.6 CTSUチャンネル有効制御レジスタ AL, AH, BL (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL) 説明を変更	
	図35 - 11 CTSUチャンネル有効制御レジスタ AL, AH, BL (CTSUCHACAL, CTSUCHACAH, CTSUCHACBL) のフォーマット 注意1を変更、旧注意2を削除	
	35.2.7 CTSUチャンネル送受信制御レジスタ AL, AH, BL (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL) 説明を変更	

(4/6)

版数	内容	適用箇所
Rev.0.80	図35 - 12 CTSUチャネル送受信制御レジスタAL, AH, BL (CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL) のフォーマット 注意1を変更、旧注意2を削除	第35章 静電容量センサユニット (CTS2La)
	図35 - 13 CTSUステータスレジスタL (CTSUSRL) のフォーマット を変更	
	35.2.9 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) 説明を追加	
	図35 - 14 CTSUセンサオフセットレジスタ0, 1 (CTSUSO0, CTSUSO1) のフォーマットおよび 注1を変更	
	35.2.10 CTSUセンサカウンタレジスタ (CTSUSC, CTSUUC) 説明を追加	
	図35 - 16 CTSUキャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) のフォーマット を変更	
	図35 - 17 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH (CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3) のフォーマット を変更	
	35.3 動作説明 を追加	
	35.4 静電容量センサユニット使用時の注意事項 (1)を変更 および (2)~(11)を追加	
	図37 - 3 ユーザ・オプション・バイト (000C2H/スワップ先アドレス) のフォーマット 注2を追加	第37章 オプション・バイト
	表38 - 8 シグネチャ・データ一覧 を変更	第38章 フラッシュ・メモリ
	38.8.5 プログラム更新手順 注1を変更	
	39.5 バンク・プログラミング・モード時のオンチップ・デバッグ機能 説明を変更	第39章 オンチップ・デバッグ機能
	42.2.3 オンチップ・オシレータ特性 注3を変更	第42章 電気的特性
	42.3.1 端子特性 を変更	
	42.3.2 電源電流特性 (1) 44~64ピン製品のフラッシュ ROM 256~512 KBの製品および80, 100ピン製品 (1/4) 注1を変更	
	42.3.2 電源電流特性 (1) 44~64ピン製品のフラッシュ ROM 256~512 KBの製品および80, 100ピン製品 (3/4) 注1を変更	
	42.3.2 電源電流特性 (1) 44~64ピン製品のフラッシュ ROM 256~512 KBの製品および80, 100ピン製品 (4/4) を変更	
	42.3.2 電源電流特性 (2) 44~64ピン製品のフラッシュ ROM 64~128 KBの製品 (1/4) 注1を変更	
	42.3.2 電源電流特性 (2) 44~64ピン製品のフラッシュ ROM 64~128 KBの製品 (3/4) 注1を変更	
	42.3.2 電源電流特性 (2) 44~64ピン製品のフラッシュ ROM 64~128 KBの製品 (4/4) を変更	
	42.3.2 電源電流特性 (3) 周辺機能 (全製品共通) (2/2) および 注5を変更	
	42.6.8.2 内部昇圧方式 (1) 1/3バイアス、VL1リファレンス (MDSET2-0 = 001B, LBAS1-0 = 01B) を変更	

(5/6)

版数	内容	適用箇所
Rev.0.80	42.6.8.2 内部昇圧方式 (2) 1/3 バイアス、VL2 リファレンス (MDSET2-0 = 101B, LBAS1-0 = 01B) を変更	第42章 電気的特性
	42.6.8.2 内部昇圧方式 (3) 1/4 バイアス、VL1 リファレンス (MDSET2-0 = 001B, LBAS1-0 = 10B) を変更	
	42.6.8.3 容量分割方式 (1) 1/3 バイアス、VDD リファレンス (MDSET2-0 = 010B, LBAS1-0 = 01B) 注1 を変更	
	42.6.8.3 容量分割方式 (3) 1/4 バイアス、VDD リファレンス (MDSET2-0 = 010B, LBAS1-0 = 10B) 注1 を変更	
Rev.1.00	2.2.3.2 VBATn 端子とバックアップ用バッテリーの接続 (n = 0, 1) 説明を変更	第2章 端子機能
	図2-1 VBATn 端子の接続例 (n = 0, 1) を変更	
	2.2.3.3 VBATn 端子の使用方法 (n = 0, 1) (1) VBATn 端子の初期設定 説明を変更	
	図2-13 端子タイプ7-5-32の端子ブロック図 を変更	
	図2-21 端子タイプ7-44-4の端子ブロック図 を変更	
	図2-22 端子タイプ7-45-1の端子ブロック図 を変更	
	図2-23 端子タイプ7-45-2の端子ブロック図 を変更	
	図2-29 端子タイプ8-5-20の端子ブロック図 を変更	
	図2-37 端子タイプ8-44-4の端子ブロック図 を変更	
	図2-38 端子タイプ8-45-1の端子ブロック図 を変更	
	図2-39 端子タイプ8-45-2の端子ブロック図 を変更	
	図2-40 端子タイプ12-38-2の端子ブロック図 を変更	
	図2-41 端子タイプ12-38-3の端子ブロック図 を変更	
	3.1.3 内部データ・メモリ空間 注意2 を変更	第3章 CPUアーキテクチャ
	図4-17 LCD入力切り替え制御レジスタ (ISCLCD) のフォーマット を変更	第4章 ポート機能
	表4-6 端子機能使用時のレジスタ、出力ラッチの設定例 を変更	
	図13-4 外部サンプリング制御レジスタ0 (EXSDM0) のフォーマット を変更	第13章 外部サンプリング
	図16-9 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット を変更	第16章 A/Dコンバータ (ADC)
	図19-21 入力切り替え制御レジスタ (ISC) のフォーマット を変更	第19章 シリアル・アレイ・ユニット (SAU)
	図20-7 IICAコントロール・レジスタn0 (IICCTLn0) のフォーマット 注を変更	第20章 シリアル・インタフェース IICA (IICA)
	20.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法 説明を変更	
	21.3.4 ボーレート・ジェネレータ (d) 受信時の許容ボーレート範囲 説明を変更	第21章 シリアル・インタフェース UARTA (UARTA)
	表21-5 許容最大/最小ボーレート誤差 を変更	
	図22-8 LCD入力切り替え制御レジスタ (ISCLCD) のフォーマットを変更	第22章 LCDコントローラ/ドライバ
	表22-14 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (c) 6時分割、8時分割 (100~64ピン) 表タイトルを変更	
	表22-14 LCD表示データ・レジスタの内容とセグメント出力/コモン出力の関係 (d) 6時分割、8時分割 (52~44ピン) 表タイトルを変更	

(6/6)

版数	内容	適用箇所
Rev.1.00	図24 - 5 入力信号選択レジスタn (ELISELn) のフォーマット 注9, 10 を変更	第24章 ロジック&イベント・リンク・コントローラ (ELCL)
	35.1.2 計測ステータス 説明を変更	第35章 静電容量センサユニット (CTS2La)
	図35 - 8 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマットを変更	
	図35 - 16 CTSUキャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) のフォーマット を変更	
	図35 - 20 計測部回路 を変更	
	図35 - 27 自己容量方式の制御手順 を変更	
	図35 - 28 相互容量方式の制御手順を変更	
	35.3.4 スキャンモード (2) マルチスキャンモード 説明を変更	
	35.3.6 複数電極接続機能 説明を変更	
	表38 - 19 BTBLS、BAPRビットの設定値 注1を変更	第38章 フラッシュ・メモリ
	42.1 絶対最大定格 (2/2) 注を変更	第42章 電気的特性
	42.2.3 オンチップ・オシレータ特性 を変更	
	42.3.1 端子特性 (2/7) 注3を変更	
	42.3.1 端子特性 (5/7) 注を変更	
	42.3.2 電源電流特性 (1) 44～64ピン製品のフラッシュ ROM 256～512 KBの製品および80, 100ピン製品 を変更	
	42.3.2 電源電流特性 旧(2) 44～64ピン製品のフラッシュ ROM 64～128 KBの製品を削除	
	42.3.2 電源電流特性 (2) 周辺機能 (全製品共通) を変更	
	42.6.1 A/Dコンバータ特性 (1) 標準モード1, 2 を変更	
	42.6.1 A/Dコンバータ特性 (2) 低電圧モード1, 2 注1を変更	

RL78/L23 ユーザーズマニュアル
ハードウェア編

発行年月日 2024年7月31日 Rev.0.50
2025年10月31日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RL78/L23