User's Manual

16

RL78/F23, F24 グループ

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.20　2025.12

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2025 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対 象 者　このマニュアルは RL78/F23, F24 の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

目　　的　このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/F23, F24 のマニュアルは、このマニュアルとソフトウエア編（RL78 ファミリ共通）の 2 冊に分かれています。

RL78/F23, F24 ユーザーズ・マニュアル ハードウエア編	RL78 ファミリ ユーザーズ・マニュアル ソフトウエア編
● 端子機能 ● 内部ブロック機能 ● 割り込み ● その他の内蔵周辺機能 ● 電気的特性	● CPU 機能 ● 命令セット ● 命令の説明

読 み 方　このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

- 一通りの機能を理解しようとするとき
  → 目次に従って読んでください。
- レジスタ・フォーマットの見方
  → ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは #pragma sfr 指令で、sfr 変数として定義されているものです。
- RL78/F23, F24 マイクロコントローラの命令機能の詳細を知りたいとき
  → 別冊の「RL78 ファミリ ユーザーズ・マニュアル ソフトウエア編」を参照してください。

凡　　例

データ表記の重み	: 左が上位桁、右が下位桁
負論理の表記	: $\overline{\mathrm{XXX}}$ のように信号名にオーバーラインを付記（但し端子名には使用しない）
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2 進数…××××または××××B 10 進数…×××× 16 進数…××××H

関連資料　　関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/F23, F24　ユーザーズ・マニュアル　ハードウエア編	（本書）	R01UH0944E
RL78 ファミリ ユーザーズ・マニュアル ソフトウエア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
PG-FP6　フラッシュ・メモリ・プログラマ・ユーザーズ・マニュアル	R20UT4469J	R20UT4469E
E2 エミュレータ・ユーザーズ・マニュアル	R20UT3538J	R20UT3538E
E2 Lite エミュレータ・ユーザーズ・マニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア・ユーザーズ・マニュアル	R20UT5190J	R20UT5190E

その他

資料名	資料番号	
	和文	英文
ルネサス・マイクロコントローラ　RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ 実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROM は、ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlash は、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash®を使用しています。

目次

第1章 概説 1
1.1 特徴 1
1.1.1 用途 2
1.2 製品一覧 3
1.3 機能概要 4
1.3.1 RL78/F24機能一覧 4
1.3.2 RL78/F23機能一覧 6
1.4 ブロック図 8
1.4.1 RL78/F24 R7F124FPJ 100ピン版のブロック図 8
1.4.2 RL78/F24 R7F124FMJ 80ピン版のブロック図 9
1.4.3 RL78/F24 R7F124FLJ 64ピン版のブロック図 10
1.4.4 RL78/F24 R7F124FGJ 48ピン版のブロック図 11
1.4.5 RL78/F24 R7F124FBJ 32ピン版のブロック図 12
1.4.6 RL78/F23 R7F123FMG 80ピン版のブロック図 13
1.4.7 RL78/F23 R7F123FLG 64ピン版のブロック図 14
1.4.8 RL78/F23 R7F123FGG 48ピン版のブロック図 15
1.4.9 RL78/F23 R7F123FBG 32ピン版のブロック図 16
1.5 端子接続図 17
1.5.1 RL78/F24 100ピン版の端子接続図 17
1.5.2 RL78/F24 80ピン版の端子接続図 18
1.5.3 RL78/F23 80ピン版の端子接続図 19
1.5.4 RL78/F24 64ピン版の端子接続図 20
1.5.5 RL78/F23 64ピン版の端子接続図 21
1.5.6 RL78/F24 48ピン版の端子接続図 22
1.5.7 RL78/F23 48ピン版の端子接続図 23
1.5.8 RL78/F24 32ピン版の端子接続図 24
1.5.9 RL78/F23 32ピン版の端子接続図 25

第2章 端子機能 26
2.1 端子機能一覧 26
2.1.1 RL78/F24 100ピン版 27
2.1.2 RL78/F23 80ピン版 29
2.1.3 製品別搭載端子（ポート以外の端子） 31
2.2 端子機能の説明 41
2.2.1 P00-P03（ポート0） 41
2.2.2 P10-P17（ポート1） 42
2.2.3 P30-P34（ポート3） 44
2.2.4 P40-P47（ポート4） 46
2.2.5 P50-P57（ポート5） 48
2.2.6 P60-P67（ポート6） 50
2.2.7 P70-P77（ポート7） 52
2.2.8 P80-P87（ポート8） 54
2.2.9 P90-P97（ポート9） 55
2.2.10 P100-P107（ポート10） 56
2.2.11 P120-P127（ポート12） 57
2.2.12 P130，P137（ポート13） 59
2.2.13 P140（ポート14） 60
2.2.14 P150-P157（ポート15） 61
2.2.15 V_{DD}，EV_{DD0}，EV_{DD1}，V_{SS}，EV_{SS0}，EV_{SS1} 62
2.2.16 RESET 62

2.2.17 REGC 62
2.3 未使用端子の処理 63

第3章 CPUアーキテクチャ 69
3.1 メモリ空間 69
3.1.1 内部プログラム・メモリ空間 75
3.1.2 ミラー領域 79
3.1.3 内部データ・メモリ空間 81
3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域 82
3.1.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 82
3.1.6 データ・メモリ・アドレッシング 82
3.2 プロセッサ・レジスタ 85
3.2.1 制御レジスタ 85
3.2.2 汎用レジスタ 88
3.2.3 ES, CSレジスタ 89
3.2.4 特殊機能レジスタ（SFR：Special Function Register） 90
3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 92
3.3 命令アドレスのアドレッシング 95
3.3.1 レラティブ・アドレッシング 95
3.3.2 イミーディエト・アドレッシング 95
3.3.3 テーブル・インダイレクト・アドレッシング 96
3.3.4 レジスタ・インダイレクト・アドレッシング 97
3.4 処理データ・アドレスに対するアドレッシング 98
3.4.1 インプライド・アドレッシング 98
3.4.2 レジスタ・アドレッシング 98
3.4.3 ダイレクト・アドレッシング 99
3.4.4 ショート・ダイレクト・アドレッシング 100
3.4.5 SFRアドレッシング 101
3.4.6 レジスタ・インダイレクト・アドレッシング 102
3.4.7 ベースト・アドレッシング 103
3.4.8 ベースト・インデクスト・アドレッシング 107
3.4.9 スタック・アドレッシング 108
3.5 レジスタの説明 112
3.5.1 RAMガード機能 113
3.5.2 SFRガード機能 115

第4章 ポート機能 116
4.1 ポートの機能 116
4.2 ポートの構成 117
4.2.1 ポート0 118
4.2.2 ポート1 123
4.2.3 ポート3 140
4.2.4 ポート4 146
4.2.5 ポート5 156
4.2.6 ポート6 166
4.2.7 ポート7 178
4.2.8 ポート8 192
4.2.9 ポート9 202
4.2.10 ポート10 205
4.2.11 ポート12 210
4.2.12 ポート13 219
4.2.13 ポート14 222
4.2.14 ポート15 224
4.3 ポート機能を制御するレジスタ 231
4.3.1 ポート・モード・レジスタ（PMm） 238
4.3.2 ポート・レジスタ（Pm） 239

4.3.3 プルアップ抵抗オプション・レジスタ（PUm） 241
4.3.4 ポート入力モード・レジスタ（PIMm） 242
4.3.5 ポート出力モード・レジスタ（POMm） 243
4.3.6 ポート・モード・コントロール・レジスタ（PMCm） 244
4.3.7 ポート入力閾値制御レジスタ（PITHLm） 245
4.3.8 周辺I/Oリダイレクション・レジスタ0（PIOR0） 247
4.3.9 周辺I/Oリダイレクション・レジスタ1（PIOR1） 248
4.3.10 周辺I/Oリダイレクション・レジスタ2（PIOR2） 249
4.3.11 周辺I/Oリダイレクション・レジスタ3（PIOR3） 250
4.3.12 周辺I/Oリダイレクション・レジスタ4（PIOR4） 251
4.3.13 周辺I/Oリダイレクション・レジスタ5（PIOR5） 253
4.3.14 周辺I/Oリダイレクション・レジスタ6（PIOR6） 254
4.3.15 周辺I/Oリダイレクション・レジスタ7（PIOR7） 255
4.3.16 周辺I/Oリダイレクション・レジスタ8（PIOR8） 256
4.3.17 周辺I/Oリダイレクション・レジスタ9（PIOR9） 257
4.3.18 ポート出力スルー・レート選択レジスタ（PSRSEL） 258
4.3.19 SNOOZEステータス出力制御レジスタ0（PSNZCNT0） 259
4.3.20 SNOOZEステータス出力制御レジスタ1（PSNZCNT1） 260
4.3.21 SNOOZEステータス出力制御レジスタ2（PSNZCNT2） 261
4.3.22 SNOOZEステータス出力制御レジスタ3（PSNZCNT3） 262
4.3.23 ポート・モード選択レジスタ（PMS） 263
4.4 ポート機能の動作 264
4.4.1 入出力ポートへの書き込み 264
4.4.2 入出力ポートからの読み出し 264
4.4.3 入出力ポートでの演算 264
4.4.4 異電位（3 V系）外部デバイスとの接続方法 265
4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 267
4.6 ポート機能使用時の注意事項 275
4.6.1 ポート・レジスタ（Pm）に対する1ビット・メモリ操作命令に関する注意事項 275
4.6.2 端子設定に関する注意事項 275
4.6.3 ポート関連レジスタ設定時の注意事項 276
4.6.4 周辺I/Oリダイレクション・レジスタ設定時の注意事項 276

第5章 クロック発生回路 277
5.1 クロック発生回路の機能 277
5.2 クロック発生回路の構成 280
5.3 クロック発生回路を制御するレジスタ 284
5.3.1 クロック動作モード制御レジスタ（CMC） 284
5.3.2 システム・クロック制御レジスタ（CKC） 287
5.3.3 クロック動作ステータス制御レジスタ（CSC） 289
5.3.4 発振安定時間カウンタ状態レジスタ（OSTC） 290
5.3.5 発振安定時間選択レジスタ（OSTS） 292
5.3.6 周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2） 293
5.3.7 動作スピード・モード制御レジスタ（OSMC） 299
5.3.8 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 300
5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） 301
5.3.10 CANクロック選択レジスタ（CANCKSEL） 302
5.3.11 LINクロック選択レジスタ（LINCKSEL） 303
5.3.12 クロック選択レジスタ（CKSEL） 304
5.3.13 PLL制御レジスタ（PLLCTL） 306
5.3.14 PLL状態レジスタ（PLLSTS） 309
5.3.15 f_{MP}クロック分周レジスタ（MDIV） 310
5.3.16 A/D変換クロック制御レジスタ（ADCKS） 311
5.4 システム・クロック発振回路 312
5.4.1 X1発振回路 312
5.4.2 XT1発振回路 312

5.4.3 高速オンチップ・オシレータ 316
5.4.4 PLL回路 316
5.4.5 低速オンチップ・オシレータ 316
5.4.6 WDT専用低速オンチップ・オシレータ 316
5.5 クロック発生回路の動作 317
5.6 クロックの制御 319
5.6.1 高速オンチップ・オシレータの設定例 319
5.6.2 X1発振回路の設定例 321
5.6.3 XT1発振回路の設定例 322
5.6.4 PLL設定例 324
5.6.5 低速オンチップ・オシレータ設定例 326
5.6.6 CPUクロック状態移行図 327
5.6.7 CPUクロックの移行前の条件と移行後の処理 331
5.6.8 CPUクロック，メイン／PLL選択クロック，メイン・クロックの切り替えに 要する時間 338
5.6.9 クロック発振停止前の条件 340
5.7 注意事項 341
5.7.1 CPU／周辺ハードウェア・クロックについて 341
5.7.2 高速オンチップ・オシレータについて 341
5.7.3 サブシステム／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）使用時の注意について 341

第6章 タイマ・アレイ・ユニット 342
6.1 タイマ・アレイ・ユニットの機能 344
6.1.1 単独チャネル動作機能 344
6.1.2 複数チャネル連動動作機能 345
6.1.3 8ビット・タイマ動作機能（チャネル1, 3のみ） 346
6.1.4 LIN-bus対応機能（ユニット0のチャネル7のみ） 347
6.2 タイマ・アレイ・ユニットの構成 348
6.2.1 タイマ・カウンタ・レジスタmn（TCRmn） 354
6.2.2 タイマ・データ・レジスタmn（TDRmn） 356
6.3 タイマ・アレイ・ユニットを制御するレジスタ 357
6.3.1 周辺イネーブル・レジスタ0（PER0） 360
6.3.2 タイマ・クロック選択レジスタm（TPSm） 361
6.3.3 タイマ・モード・レジスタmn（TMRmn） 364
6.3.4 タイマ・ステータス・レジスタmn（TSRmn） 369
6.3.5 タイマ・チャネル許可ステータス・レジスタm（TEm） 370
6.3.6 タイマ・チャネル開始レジスタm（TSm） 371
6.3.7 タイマ・チャネル停止レジスタm（TTm） 373
6.3.8 タイマ入力選択レジスタ0（TIS0） 374
6.3.9 タイマ入力選択レジスタ1（TIS1） 375
6.3.10 タイマ入力選択レジスタ2（TIS2） 376
6.3.11 タイマ出力許可レジスタm（TOEm） 377
6.3.12 タイマ出力レジスタm（TOm） 378
6.3.13 タイマ出力レベル・レジスタm（TOLm） 379
6.3.14 タイマ出力モード・レジスタm（TOMm） 380
6.3.15 ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2） 381
6.3.16 ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 12（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12） 384
6.3.17 PWM出力遅延制御レジスタ1（PWMDLY1） 386
6.3.18 PWM出力遅延制御レジスタ2（PWMDLY2） 387
6.4 タイマ・アレイ・ユニットの基本ルール 388
6.4.1 複数チャネル連動動作機能の基本ルール 388
6.4.2 8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ） 390
6.5 カウンタの動作タイミング 391
6.5.1 カウント・クロック（f_{TCLK}） 391
6.5.2 カウンタのスタート・タイミング 393
6.5.3 カウンタの動作 394

6.6 チャネル出力（TOmn端子）の制御 399
6.6.1 TOmn端子の出力回路の構成 399
6.6.2 TOmn端子の出力設定 400
6.6.3 チャネル出力操作時の注意事項 401
6.6.4 TOmnビットの一括操作 406
6.6.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について 407
6.7 タイマ・アレイ・ユニットの単独チャネル動作機能 408
6.7.1 インターバル・タイマ／方形波出力としての動作 408
6.7.2 外部イベント・カウンタとしての動作 413
6.7.3 分周器としての動作 417
6.7.4 入力パルス間隔測定としての動作 421
6.7.5 入力信号のハイ／ロウ・レベル幅測定としての動作 425
6.7.6 ディレイ・カウンタとしての動作 429
6.8 タイマ・アレイ・ユニットの複数チャネル連動動作機能 433
6.8.1 ワンショット・パルス出力機能としての動作 433
6.8.2 PWM機能としての動作 440
6.8.3 多重PWM出力機能としての動作 447
6.9 タイマ・アレイ・ユニット使用時の注意事項 454
6.9.1 タイマ出力使用時の注意事項 454

第7章 タイマRJ 455
7.1 概要 455
7.2 入出力端子 457
7.3 レジスタの説明 457
7.3.1 周辺イネーブル・レジスタ1（PER1） 458
7.3.2 動作スピード・モード制御レジスタ（OSMC） 459
7.3.3 クロック選択レジスタ（CKSEL） 460
7.3.4 タイマRJカウンタ・レジスタ0（TRJ0），タイマRJリロード・レジスタ 461
7.3.5 タイマRJ制御レジスタ0（TRJCR0） 462
7.3.6 タイマRJ I/O制御レジスタ0（TRJIOC0） 464
7.3.7 タイマRJモード・レジスタ0（TRJMR0） 466
7.3.8 タイマRJイベント端子選択レジスタ0（TRJISR0） 467
7.3.9 ポート・モード・レジスタ1, 4（PM1, PM4） 468
7.4 動作説明 469
7.4.1 リロード・レジスタとカウンタの書き換え動作 469
7.4.2 タイマ・モード 470
7.4.3 パルス出力モード 471
7.4.4 イベント・カウンタ・モード 472
7.4.5 パルス幅測定モード 474
7.4.6 パルス周期測定モード 475
7.4.7 イベント・リンク・コントローラ（ELC）との連携による動作 476
7.4.8 各モード出力設定 476
7.5 タイマRJ使用上の注意事項 477
7.5.1 カウント動作開始，停止制御 477
7.5.2 フラグへのアクセス（TRJCR0レジスタのTEDGF, TUNDFビット） 477
7.5.3 カウンタ・レジスタへのアクセス 477
7.5.4 モード変更時 478
7.5.5 TRJO0, TRJIO0端子の設定手順 478
7.5.6 タイマRJ未使用時 478
7.5.7 タイマRJ動作クロック停止時 479
7.5.8 STOPモード（イベント・カウンタ・モード）の設定手順 479
7.5.9 STOPモード（イベント・カウンタ・モードのみ）での機能制限 479
7.5.10 TSTOPビットによる強制カウント停止時 479
7.5.11 デジタル・フィルタ 479
7.5.12 カウント・ソースにf_{IL}を選択する場合 479

第8章 タイマRDe 480
8.1 概要 480
8.2 レジスタの説明 483
8.2.1 周辺イネーブル・レジスタ1（PER1） 485
8.2.2 クロック選択レジスタ（CKSEL） 486
8.2.3 タイマRDe ELCレジスタ（TRDELC） 487
8.2.4 タイマRDeスタート・レジスタ（TRDSTR） 488
8.2.5 タイマRDeモード・レジスタ（TRDMR） 489
8.2.6 タイマRDe PWM機能選択レジスタ（TRDPMR） 490
8.2.7 タイマRDe機能制御レジスタ（TRDFCR） 491
8.2.8 タイマRDe出力マスタ許可レジスタ1（TRDOER1） 493
8.2.9 タイマRDe出力マスタ許可レジスタ2（TRDOER2） 494
8.2.10 タイマRDe出力制御レジスタ（TRDOCR） 495
8.2.11 タイマRDeデジタル・フィルタ機能選択レジスタi（TRDDFi）（i = 0, 1） 499
8.2.12 タイマRDe制御レジスタi（TRDCRi）（i = 0, 1） 501
8.2.13 タイマRDe I/O制御レジスタAi（TRDIORAi）（i = 0, 1） 506
8.2.14 タイマRDe I/O制御レジスタCi（TRDIORCi）（i = 0, 1） 508
8.2.15 タイマRDeステータス・レジスタi（TRDSRi）（i = 0, 1） 510
8.2.16 タイマRDe割り込み許可レジスタi（TRDIERi）（i = 0, 1） 514
8.2.17 タイマRDe PWM機能出力レベル制御レジスタi（TRDPOCRi）（i = 0, 1） 515
8.2.18 タイマRDeカウンタi（TRDi）（i = 0, 1） 516
8.2.19 タイマRDeジェネラル・レジスタji（TRDGRji）（i = 0, 1，j = A, B, C, D） 519
8.2.20 タイマRDe拡張コンペア・レジスタ（TRDCMPm）（m = B0, D0, A1, B1,C1, D1） 533
8.2.21 タイマRDe A/Dトリガ・コンペア・レジスタ0（TRDADTC0） 535
8.2.22 タイマRDe A/Dトリガ・バッファ・レジスタ0（TRDADTB0） 536
8.2.23 タイマRDe A/Dトリガ・コンペア・レジスタ1（TRDADTC1） 537
8.2.24 タイマRDe A/Dトリガ・バッファ・レジスタ1（TRDADTB1） 538
8.2.25 タイマRDe一斉書き換えトリガ・レジスタ（TRDRDT01） 539
8.2.26 タイマRDe一斉書き換えフラグ・レジスタ（TRDRSF01） 541
8.2.27 タイマRDe A/Dトリガ制御レジスタ（TRDADCR） 543
8.2.28 タイマRDe拡張PWMモード・レジスタi（TRDEMRi）（i = 0, 1） 544
8.2.29 タイマRDeディザリング・ナンバ・レジスタi（TRDDNRi）（i = 0, 1） 545
8.2.30 タイマRDeゲート・パターン・レジスタi（TRDGPRi）（i = 0, 1） 546
8.2.31 タイマRDeディザリング／ゲート制御レジスタi（TRDDGCRi）（i = 0, 1） 547
8.2.32 PWM出力遅延制御レジスタ0（PWMDLY0） 549
8.2.33 ポート・モード・レジスタ（PM1，PM3，PM4，PM12，PM14） 550
8.3 動作説明 551
8.3.1 複数モードに関わる共通事項 551
8.3.2 インプット・キャプチャ機能 564
8.3.3 アウトプット・コンペア機能 568
8.3.4 PWM機能 573
8.3.5 リセット同期PWMモード 577
8.3.6 相補PWMモード 580
8.3.7 PWM3モード 584
8.3.8 拡張PWMモード 587
8.3.9 拡張相補PWMモード 600
8.4 タイマRDe割り込み 607
8.5 タイマRDe使用上の注意 609
8.5.1 SFRリード／ライト・アクセス 609
8.5.2 モードの切り替え 610
8.5.3 カウント・ソース 610
8.5.4 インプット・キャプチャ機能 610
8.5.5 TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi端子の設定手順（i = 0, 1） 611
8.5.6 外部クロック　TRDCLK0 611
8.5.7 タイマモードPWM機能 612

8.5.8 リセット同期PWMモード 612
8.5.9 相補PWMモード 613
8.5.10 拡張PWMモード 617
8.5.11 拡張相補PWMモード 618
8.6 PWMオプション・ユニットA（PWMOPA） 622
8.6.1 PWMオプション・ユニットAの概要 623
8.6.2 PWMオプション・ユニットAのレジスタ 623
8.6.3 動作説明 631
8.7 間引きモジュール（TRDMBK） 654
8.7.1 概要 654
8.7.2 TRDMBKのレジスタ 655
8.7.3 動作説明 658
8.7.4 設定手順 660

第9章 リアルタイム・クロック 661
9.1 リアルタイム・クロックの機能 661
9.2 リアルタイム・クロックの構成 661
9.3 リアルタイム・クロックを制御するレジスタ 663
9.3.1 周辺イネーブル・レジスタ0（PER0） 664
9.3.2 動作スピード・モード制御レジスタ（OSMC） 665
9.3.3 タイマ入力選択レジスタ1（TIS1） 666
9.3.4 タイマ入力選択レジスタ2（TIS2） 667
9.3.5 RTCクロック選択レジスタ（RTCCL） 668
9.3.6 リアルタイム・クロック・コントロール・レジスタ0（RTCC0） 669
9.3.7 リアルタイム・クロック・コントロール・レジスタ1（RTCC1） 670
9.3.8 秒カウント・レジスタ（SEC） 672
9.3.9 分カウント・レジスタ（MIN） 672
9.3.10 時カウント・レジスタ（HOUR） 673
9.3.11 日カウント・レジスタ（DAY） 675
9.3.12 曜日カウント・レジスタ（WEEK） 676
9.3.13 月カウント・レジスタ（MONTH） 677
9.3.14 年カウント・レジスタ（YEAR） 677
9.3.15 時計誤差補正レジスタ（SUBCUD） 678
9.3.16 16ビット時計誤差補正レジスタ（SUBCUDW） 679
9.3.17 アラーム分レジスタ（ALARMWM） 680
9.3.18 アラーム時レジスタ（ALARMWH） 680
9.3.19 アラーム曜日レジスタ（ALARMWW） 680
9.4 リアルタイム・クロックの動作 682
9.4.1 リアルタイム・クロックの動作開始 682
9.4.2 動作開始後のHALT/STOPモードへの移行 683
9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み 684
9.4.4 リアルタイム・クロックのアラーム設定 686
9.4.5 リアルタイム・クロックの1 Hz出力 687
9.4.6 リアルタイム・クロックの時計誤差補正例 688

第10章 クロック出力／ブザー出力制御回路 691
10.1 クロック出力／ブザー出力制御回路の機能 691
10.2 クロック出力／ブザー出力制御回路の構成 693
10.3 クロック出力／ブザー出力制御回路を制御するレジスタ 693
10.3.1 クロック出力選択レジスタ0（CKS0） 693
10.3.2 クロック選択レジスタ（CKSEL） 695
10.3.3 ポート・モード・レジスタ14（PM14） 696
10.4 クロック出力／ブザー出力制御回路の動作 697
10.4.1 出力端子の動作 697
10.5 クロック出力／ブザー出力制御回路の注意事項 697

第11章 ウォッチドッグ・タイマ 698
11.1 ウォッチドッグ・タイマの機能 698
11.2 ウォッチドッグ・タイマの構成 699
11.3 ウォッチドッグ・タイマを制御するレジスタ 701
11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） 701
11.4 ウォッチドッグ・タイマの動作 702
11.4.1 ウォッチドッグ・タイマの動作制御 702
11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 703
11.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定 704
11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 705

第12章 12ビットA/Dコンバータ 706
12.1 概要 706
12.2 レジスタの説明 710
12.2.1 周辺イネーブル・レジスタ0（PER0） 714
12.2.2 A/Dデータ・レジスタ（ADDRy, ADOCDR, ADDRxM）[x = 0-7, y = 0-30] 715
12.2.3 A/D自己診断データ・レジスタ（ADRD） 717
12.2.4 A/Dコントロール・レジスタ（ADCSR） 718
12.2.5 A/Dチャネル選択レジスタA（ADANSA0, ADANSA1） 720
12.2.6 A/Dチャネル選択レジスタB（ADANSB0, ADANSB1） 721
12.2.7 A/D加算／平均機能チャネル選択レジスタ（ADADS0, ADADS1） 722
12.2.8 A/D加算／平均機能回数選択レジスタ（ADADC） 724
12.2.9 A/D拡張コントロール・レジスタ（ADCER） 725
12.2.10 A/D変換開始トリガ選択レジスタ（ADSTRGR） 727
12.2.11 A/D拡張入力コントロール・レジスタ（ADEXICR） 728
12.2.12 A/Dサンプリング・ステート・レジスタn（ADSSTRn）（n = 0-15, L, O） 729
12.2.13 A/Dサンプル＆ホールド回路コントロール・レジスタ（ADSHCR） 730
12.2.14 A/D断線検出コントロール・レジスタ（ADDISCR） 731
12.2.15 A/Dグループ・スキャン優先コントロール・レジスタ（ADGSPCR） 732
12.2.16 A/D高電位／低電位基準電圧コントロール・レジスタ（ADHVREFCNT） 734
12.2.17 A/D変換クロック制御レジスタ（ADCKS） 735
12.2.18 ポート・モード制御レジスタ（PMC3, PMC7-PMC10, PMC12） 736
12.2.19 ポート・モード・レジスタ（PM3, PM7-PM10, PM12） 737
12.2.20 A/Dコンバータ・アクセス・ウィンドウ選択レジスタ（ADWINR） 739
12.3 動作説明 740
12.3.1 スキャンの動作説明 740
12.3.2 シングル・スキャン・モード 741
12.3.3 連続スキャン・モード 744
12.3.4 グループ・スキャン・モード 746
12.3.5 アナログ入力のサンプリング時間とスキャン変換時間 757
12.3.6 A/Dデータ・レジスタの自動クリア機能の使用例 761
12.3.7 A/D変換値加算／平均モード 761
12.3.8 断線検出アシスト機能 761
12.3.9 自己診断機能 763
12.3.10 周辺モジュールからの同期トリガによるA/D変換の開始 763
12.4 割り込み要因とDTC 転送要求 764
12.4.1 割り込み要求 764
12.5 イベント・リンク機能（RL78/F24のみ） 764
12.5.1 ELCからのイベントによる12ビットA/Dコンバータの動作 764
12.5.2 ELCからのイベントによる12ビットA/Dコンバータの注意事項 764
12.6 基準電圧の選択方法 764
12.7 使用上の注意事項 765
12.7.1 データ・レジスタの読出し注意点 765
12.7.2 A/D変換停止手順 765
12.7.3 自己診断機能の注意点 766

12.7.4 A/D変換強制停止と開始時の動作タイミング 766
12.7.5 スキャン終了割り込み処理の注意点 766
12.7.6 クロック供給停止機能の設定 766
12.7.7 低消費電力状態への遷移時の注意点 767
12.7.8 STOPモード解除時の注意点 767
12.7.9 断線検出アシスト機能使用時の絶対精度誤差 767
12.7.10 アナログ電源端子他の設定範囲 768
12.7.11 ボード設計上の注意点 768
12.7.12 ノイズ対策上の注意点 769
12.7.13 許容信号源インピーダンス 770

第13章 D/Aコンバータ（RL78/F24のみ） 771

13.1 D/Aコンバータの機能 771
13.2 D/Aコンバータの構成 772
13.3 D/Aコンバータで使用するレジスタ 773
13.3.1 ポート・モード・コントロール・レジスタ8（PMC8） 774
13.3.2 周辺イネーブル・レジスタ1（PER1） 775
13.3.3 D/Aコンバータ・モード・レジスタ（DAM） 776
13.3.4 D/Aコンバータ・モード・レジスタ2（DAM2） 777
13.3.5 D/A変換値設定レジスタ0（DACS0） 778
13.3.6 ポート・モード・レジスタ8（PM8） 779
13.4 D/Aコンバータの動作 780
13.4.1 通常モード時の動作 780
13.4.2 リアルタイム出力モード時の動作 781
13.5 D/Aコンバータ使用上の注意事項 782

第14章 コンパレータ（RL78/F24のみ） 783

14.1 概要 783
14.2 コンパレータを制御するレジスタ 785
14.2.1 周辺イネーブル・レジスタ1（PER1） 786
14.2.2 コンパレータ制御レジスタ（CMPCTL） 787
14.2.3 コンパレータ入出力切替レジスタ（CMPSEL） 789
14.2.4 コンパレータ出力モニタ・レジスタ（CMPMON） 790
14.2.5 ポート・モード・コントロール・レジスタ8（PMC8） 791
14.2.6 D/Aコンバータ・モード・レジスタ2（DAM2） 792
14.2.7 ポート・モード・レジスタ4（PM4） 793
14.2.8 ポート・モード・レジスタ8（PM8） 794
14.3 動作説明 795
14.3.1 ノイズ・フィルタ 796
14.3.2 コンパレータ割り込み 797
14.3.3 コンパレータのELC/PWMOPAイベント出力 797
14.3.4 コンパレータの端子出力 797
14.3.5 コンパレータ・クロック停止／供給 797
14.3.6 コンパレータの設定フロー・チャート 798

第15章 シリアル・アレイ・ユニット 800

15.1 シリアル・アレイ・ユニットの機能 801
15.1.1 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11） 801
15.1.2 UART（UART0, UART1） 802
15.1.3 簡易I²C（IIC00, IIC01, IIC10, IIC11） 803
15.2 シリアル・アレイ・ユニットの構成 804
15.3 シリアル・アレイ・ユニットを制御するレジスタ 809
15.3.1 周辺イネーブル・レジスタ0（PER0） 811
15.3.2 シリアル・クロック選択レジスタm（SPSm） 812
15.3.3 シリアル・モード・レジスタmn（SMRmn） 813
15.3.4 シリアル通信動作設定レジスタmn（SCRmn） 815

15.3.5 シリアル・データ・レジスタmn（SDRmn）の上位7ビット 818
15.3.6 シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn） 819
15.3.7 シリアル・ステータス・レジスタmn（SSRmn） 820
15.3.8 シリアル・チャネル開始レジスタm（SSm） 822
15.3.9 シリアル・チャネル停止レジスタm（STm） 823
15.3.10 シリアル・チャネル許可ステータス・レジスタm（SEm） 824
15.3.11 シリアル出力許可レジスタm（SOEm） 825
15.3.12 シリアル出力レジスタm（SOm） 826
15.3.13 シリアル出力レベル・レジスタm（SOLm） 827
15.3.14 シリアル・スレーブ選択許可レジスタm（SSEm） 829
15.3.15 入力切り替え制御レジスタ（ISC） 830
15.3.16 ノイズ・フィルタ許可レジスタ0（NFEN0） 831
15.3.17 ポート入力モード・レジスタ（PIM1, PIM3, PIM5-7, PIM12） 832
15.3.18 ポート出力モード・レジスタ（POM1, POM3, POM6, POM7, POM12） 833
15.3.19 ポート・モード・レジスタ（PM1, PM3-PM7, PM12） 834
15.3.20 ポート入力閾値制御レジスタ（PITHL1, PITHL3-7, PITHL10, PITHL12, PITHL15） 836
15.4 動作停止モード 838
15.4.1 ユニット単位で動作停止とする場合 838
15.4.2 チャネルごとに動作停止とする場合 839
15.5 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11）通信の動作 841
15.5.1 マスタ送信 843
15.5.2 マスタ受信 852
15.5.3 マスタ送受信 861
15.5.4 スレーブ送信 870
15.5.5 スレーブ受信 879
15.5.6 スレーブ送受信 886
15.5.7 転送クロック周波数の算出 895
15.5.8 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11）通信時におけるエラー発生時の処理手順 897
15.6 SPI機能付クロック同期シリアル通信の動作 898
15.6.1 マスタ送信 902
15.6.2 マスタ受信 911
15.6.3 マスタ送受信 920
15.6.4 スレーブ送信 929
15.6.5 スレーブ受信 938
15.6.6 スレーブ送受信 945
15.6.7 転送クロック周波数の算出 954
15.6.8 SPI機能付クロック同期シリアル通信時におけるエラー発生時の処理手順 956
15.7 UART（UART0, UART1）通信の動作 957
15.7.1 UART送信 959
15.7.2 UART受信 968
15.7.3 ボー・レートの算出 975
15.7.4 UART（UART0, UART1）通信時におけるエラー発生時の処理手順 979
15.8 LIN通信の動作 980
15.8.1 LIN送信 980
15.8.2 LIN受信 983
15.9 簡易I²C（IIC00, IIC01, IIC10, IIC11）通信の動作 988
15.9.1 アドレス・フィールド送信 990
15.9.2 データ送信 996
15.9.3 データ受信 1001
15.9.4 ストップ・コンディション発生 1006
15.9.5 転送レートの算出 1008
15.9.6 簡易I²C（IIC00, IIC01, IIC10, IIC11）通信時におけるエラー発生時の処理手順 1011

第16章 シリアル・インタフェースIICA 1012
16.1 シリアル・インタフェースIICAの機能 1012
16.2 シリアル・インタフェースIICAの構成 1015

16.3 シリアル・インタフェースIICAを制御するレジスタ 1018
16.3.1 周辺イネーブル・レジスタ0（PER0） 1018
16.3.2 IICAコントロール・レジスタ00（IICCTL00） 1018
16.3.3 IICAステータス・レジスタ0（IICS0） 1023
16.3.4 IICAフラグ・レジスタ0（IICF0） 1025
16.3.5 IICAコントロール・レジスタ01（IICCTL01） 1027
16.3.6 IICAロウ・レベル幅設定レジスタ0（IICWL0） 1029
16.3.7 IICAハイ・レベル幅設定レジスタ0（IICWH0） 1029
16.3.8 ポート・モード・レジスタ6（PM6） 1030
16.3.9 ポート出力モード・レジスタ6（POM6） 1031
16.4 I²Cバス・モードの機能 1032
16.4.1 端子構成 1032
16.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法 1033
16.5 I²Cバスの定義および制御方法 1035
16.5.1 スタート・コンディション 1035
16.5.2 アドレス 1036
16.5.3 転送方向指定 1036
16.5.4 アクノリッジ（ACK） 1037
16.5.5 ストップ・コンディション 1038
16.5.6 ウェイト 1039
16.5.7 ウェイト解除方法 1041
16.5.8 割り込み要求（INTIICA0）発生タイミングおよびウェイト制御 1042
16.5.9 アドレスの一致検出方法 1043
16.5.10 エラーの検出 1043
16.5.11 拡張コード 1044
16.5.12 アービトレーション 1045
16.5.13 ウェイクアップ機能 1047
16.5.14 通信予約 1050
16.5.15 その他の注意事項 1054
16.5.16 通信動作 1055
16.5.17 I²C割り込み要求（INTIICA0）の発生タイミング 1063
16.6 タイミング・チャート 1083
16.6.1 マスタ→スレーブ通信のタイミング・チャート例 1084
16.6.2 スレーブ→マスタ通信のタイミング・チャート例 1092

第17章 LIN/UARTモジュール（RLIN3） 1098
17.1 概要 1098
17.2 レジスタの説明 1103
17.2.1 LINマスタ関連レジスタ 1105
17.2.2 LINスレーブ関連レジスタ 1134
17.2.3 UART関連レジスタ 1165
17.3 モード 1196
17.3.1 LINリセット・モード 1198
17.3.2 LINモード 1199
17.3.3 UARTモード 1201
17.3.4 LINセルフテスト・モード 1201
17.4 LINモード 1202
17.4.1 動作概要 1202
17.4.2 データ送信／受信 1210
17.4.3 送信／受信データのバッファ処理 1212
17.4.4 ウェイクアップ送信／受信 1215
17.4.5 ステータス 1217
17.4.6 エラー・ステータス 1219
17.5 UARTモード 1223
17.5.1 動作概要 1223

17.5.2 データ送信／受信 1237
17.5.3 送信データのバッファ処理 1239
17.5.4 ステータス 1240
17.5.5 エラー・ステータス 1241
17.6 LINセルフテスト・モード 1242
17.6.1 LINセルフテスト・モードへの移行 1243
17.6.2 LINマスタ セルフテスト・モードにおける送信 1244
17.6.3 LINマスタ セルフテスト・モードにおける受信 1245
17.6.4 LINスレーブ セルフテスト・モードにおける送信 1246
17.6.5 LINスレーブ セルフテスト・モードにおける受信 1247
17.6.6 LINセルフテスト・モード終了 1248
17.7 ボー・レート・ジェネレータ 1249
17.7.1 LINマスタ・モード 1249
17.7.2 LINスレーブ・モード 1251
17.7.3 UARTモード 1253
17.8 ノイズ・フィルタ 1254
17.9 割り込み 1256

第18章 CANインタフェース（RS-CANFD lite）（RL78/F24のみ） 1257
18.1 概要 1257
18.2 入出力端子 1260
18.3 レジスタの説明 1261
18.3.1 CAN0ノミナル・ビット・コンフィグレーション・レジスタ（C0NCFGH, C0NCFGL） 1272
18.3.2 CAN0制御レジスタ（C0CTRH, C0CTRL） 1274
18.3.3 CAN0ステータス・レジスタ（C0STSH, C0STSL） 1280
18.3.4 CAN0エラー・フラグ・レジスタ（C0ERFLH, C0ERFLL） 1283
18.3.5 CAN0データ・ビット・レート・コンフィグレーション・レジスタ（C0DCFGH, C0DCFGL） 1288
18.3.6 CAN0 CAN-FDコンフィグレーション・レジスタ（C0FDCFGH, C0FDCFGL） 1290
18.3.7 CAN0 CAN-FD制御レジスタ（C0FDCTRH, C0FDCTRL） 1293
18.3.8 CAN0 CAN-FDステータス・レジスタ（C0FDSTSH, C0FDSTSL） 1295
18.3.9 CAN0 CAN-FD CRCレジスタ（C0FDCRCH, C0FDCRCL） 1298
18.3.10 CANバージョン・レジスタ（GIPVH, GIPVL） 1299
18.3.11 CANコンフィグレーション・レジスタ（GCFGH, GCFGL） 1300
18.3.12 CAN制御レジスタ（GCTRH, GCTRL） 1303
18.3.13 CANステータス・レジスタ（GSTS） 1305
18.3.14 CANエラー・フラグ・レジスタ（GERFLH, GERFLL） 1306
18.3.15 CAN送信割り込みステータス・レジスタ（GTINTSTS） 1308
18.3.16 CANタイム・スタンプ・レジスタ（GTSC） 1310
18.3.17 CAN受信ルール登録制御レジスタ（GAFLECTR） 1311
18.3.18 CAN受信ルール・コンフィグレーション・レジスタ（GAFLCFG） 1312
18.3.19 CAN受信ルールIDレジスタi（GAFLIDiH, GAFLIDiL）[i = 0-15] 1313
18.3.20 CAN受信ルール・マスク・レジスタi（GAFLMiH, GAFLMiL）[i = 0-15] 1315
18.3.21 CAN受信ルール・ポインタ0レジスタi（GAFLP0iH, GAFLP0iL）[i = 0-15] 1317
18.3.22 CAN受信ルール・ポインタ1レジスタi（GAFLP1iL）[i = 0-15] 1320
18.3.23 CAN受信バッファ数設定レジスタ（RMNB） 1321
18.3.24 CAN受信バッファ受信完了フラグ・レジスタ（RMND） 1322
18.3.25 CAN受信FIFO制御レジスタk（RFCCk）[k = 0, 1] 1323
18.3.26 CAN受信FIFOステータス・レジスタk（RFSTSk）[k = 0, 1] 1325
18.3.27 CAN受信FIFOポインタ制御レジスタk（RFPCTRk）[k = 0, 1] 1327
18.3.28 CAN送受信FIFO制御レジスタ（CFCC） 1328
18.3.29 CAN送受信FIFOステータス・レジスタ（CFSTS） 1332
18.3.30 CAN送受信FIFOポインタ制御レジスタ（CFPCTR） 1335
18.3.31 CAN FIFOバッファ・エンプティ・ステータス・レジスタ（FESTS） 1336
18.3.32 CAN FIFOバッファ・フル・ステータス・レジスタ（FFSTS） 1337
18.3.33 CAN FIFOバッファ・メッセージ・ロスト・ステータス・レジスタ（FMSTS） 1338
18.3.34 CAN受信FIFO割り込みフラグ・ステータス・レジスタ（RFISTS） 1339

18.3.35 CAN0送信バッファ制御レジスタm（TMCm）[m = 0-3] 1340
18.3.36 CAN0送信バッファ・ステータス・レジスタm（TMSTSm）[m = 0-3] 1342
18.3.37 CAN0送信バッファ送信要求ステータス・レジスタ（TMTRSTS） 1344
18.3.38 CAN0送信バッファ・アボート要求ステータス・レジスタ（TMTARSTS） 1345
18.3.39 CAN0送信バッファ送信完了ステータス・レジスタ（TMTCSTS） 1346
18.3.40 CAN0送信バッファ・アボート・ステータス・レジスタ（TMTASTS） 1347
18.3.41 CAN0送信バッファ割り込み許可レジスタ（TMIEC） 1348
18.3.42 CAN0送信履歴制御レジスタ（THLCC） 1349
18.3.43 CAN0送信履歴ステータス・レジスタ（THLSTS） 1351
18.3.44 CAN0送信履歴アクセス・レジスタ0（THLACC0H, THLACC0L） 1353
18.3.45 CAN0送信履歴アクセス・レジスタ1（THLACC1H, THLACC1L） 1354
18.3.46 CAN0送信履歴ポインタ制御レジスタ（THLPCTR） 1355
18.3.47 CANリセット制御レジスタ（GRSTC） 1356
18.3.48 CANテスト・コンフィグレーション・レジスタ（GTSTCFG） 1357
18.3.49 CANテスト制御レジスタ（GTSTCTR） 1358
18.3.50 CAN-FDコンフィグレーション・レジスタ（GFDCFG） 1359
18.3.51 CANテスト・プロテクト解除レジスタ（GLOCKK） 1360
18.3.52 CAN用RAMテスト・レジスタr（RPGACCrH, RPGACCrL）[r = 0-63] 1361
18.3.53 CAN PNF受信ルール登録制御レジスタ（GPFLECTR） 1362
18.3.54 CAN PNF受信ルール・コンフィグレーション・レジスタ（GPFLCFG） 1363
18.3.55 PNF受信ルールIDレジスタj（GPFLIDjH, GPFLIDjL）[j = 0, 1] 1364
18.3.56 PNF受信ルール・マスク・レジスタj（GPFLMjH, GPFLMjL）[j = 0, 1] 1366
18.3.57 PNF受信ルール・ポインタ0レジスタj（GPFLP0jH, GPFLP0jL）[j = 0, 1] 1368
18.3.58 PNF受信ルール・ポインタ1レジスタj（GPFLP1jL）[j = 0, 1] 1370
18.3.59 PNF受信ルール・ペイロード・タイプ・レジスタj（GPFLPTjH, GPFLPTjL）[j = 0, 1] 1371
18.3.60 PNF受信ルール・ペイロード・データ0レジスタj（GPFLPD0jH, GPFLPD0jL）[j = 0, 1] 1373
18.3.61 PNF受信ルール・ペイロード・データ1レジスタj（GPFLPD1jH, GPFLPD1jL）[j = 0, 1] 1374
18.3.62 PNF受信ルール・ペイロード・マスク0レジスタj（GPFLPM0jH, GPFLPM0jL）[j = 0, 1] 1375
18.3.63 PNF受信ルール・ペイロード・マスク1レジスタj（GPFLPM1jH, GPFLPM1jL）[j = 0, 1] 1376
18.3.64 CAN無効ルール設定レジスタ（GAFLIGNENT） 1377
18.3.65 CAN無効ルール制御レジスタ（GAFLIGNCTR） 1378
18.3.66 CAN受信バッファ割り込み許可レジスタ（RMIEC） 1379
18.3.67 CANアクセス・ウィンドウ制御レジスタ（CFDGRWC） 1380
18.4 IDフォーマット 1381
18.5 メッセージ・バッファ・コンポーネント構造 1382
18.5.1 CAN受信バッファIDレジスタn（RMIDnH, RMIDnL）[n = 0-15] 1383
18.5.2 CAN受信バッファ・ポインタ・レジスタn（RMPTRnH, RMPTRnL） [n = 0-15] 1384
18.5.3 CAN受信バッファCAN-FDステータス・レジスタn（RMFDSTSnH, RMFDSTSnL）[n = 0-15] 1385
18.5.4 CAN受信バッファ・データ・フィールドpレジスタn（RMDFn_pH, RMDFn_pL）[n = 0-15], [p = 0-15] 1387
18.5.5 CAN受信FIFOアクセスIDレジスタk（RFIDkH, RFIDkL）[k = 0, 1] 1389
18.5.6 CAN受信FIFOアクセス・ポインタ・レジスタk（RFPTRkH, RFPTRkL） [k = 0, 1] 1390
18.5.7 CAN受信FIFOアクセスCAN-FDステータス・レジスタk（RFFDSTSkH, RFFDSTSkL）[k = 0, 1] 1391
18.5.8 CAN受信FIFOアクセス・データ・フィールドpレジスタk（RFDFk_pH, RFDFk_pL）[k = 0, 1], [p = 0-15] 1393
18.5.9 CAN送受信FIFOアクセスIDレジスタ（CFIDH, CFIDL） 1394
18.5.10 CAN送受信FIFOアクセス・ポインタ・レジスタ（CFPTRH, CFPTRL） 1396
18.5.11 CAN送受信FIFOアクセスCAN-FD制御／ステータス・レジスタ（CFFDCSTSH, CFFDCSTSL） 1397
18.5.12 CAN送受信FIFOアクセス・データ・フィールドpレジスタ（CFDFpH, CFDFpL）[p = 0-15] 1399
18.5.13 CAN0送信バッファIDレジスタm（TMIDmH, TMIDmL）[m = 0-3] 1401
18.5.14 CAN0送信バッファ・ポインタ・レジスタm（TMPTRmH）[m = 0-3] 1403
18.5.15 CAN0送信バッファCAN-FD制御レジスタm（TMFDCTRmH, TMFDCTRmL）[m = 0-3] 1404
18.5.16 CAN0送信バッファ・データ・フィールドpレジスタm（TMDFm_pH, TMDFm_pL）[m = 0-3], [p = 0-15] 1406
18.6 CANモード 1407
18.6.1 グローバル・モード 1407
18.6.2 チャネル・モード 1415
18.6.3 グローバル・モード遷移とチャネル・モード遷移の関係 1421
18.7 CAN受信ルール（AFL） 1431

18.7.1 概要 1431
18.7.2 CAN受信ルール（AFL）の配置 1433
18.7.3 受信ルールの内容 1434
18.7.4 受信ルールの登録 1436
18.7.5 ループバック・モード 1437
18.7.6 IDEマスク機能 1438
18.7.7 通信中の受信ルールの更新 1439
18.8 FIFOバッファとメッセージ・バッファの設定 1442
18.8.1 受信バッファ 1443
18.8.2 FIFOバッファ 1443
18.9 受信機能 1447
18.9.1 受信バッファへのメッセージの格納 1447
18.9.2 FIFOバッファへのメッセージの格納 1449
18.9.3 タイム・スタンプ 1451
18.10 送信機能 1452
18.10.1 送信の優先順位 1453
18.10.2 送信バッファを用いた送信 1454
18.10.3 送受信FIFOバッファを用いた送信 1458
18.10.4 送信履歴機能 1462
18.10.5 送信データ・パディング 1464
18.11 テスト機能 1465
18.11.1 チャネル固有のテスト・モード 1465
18.11.2 グローバル・テスト・モード 1468
18.12 割り込み 1473
18.12.1 割り込みソース 1473
18.12.2 割り込み処理フロー 1477
18.13 メッセージ・バッファRAM領域の構成 1478
18.13.1 メッセージ・バッファの構成例 1481
18.13.2 RAM初期化 1481
18.14 RAMウィンドウ 1482
18.15 初期設定 1483
18.15.1 CANクロック，ビット・タイミング，およびボー・レートの初期設定 1483
18.15.2 リセット後のCANモジュール初期設定 1490
18.16 PNF受信ルール 1492
18.16.1 各モードの説明 1493
18.16.2 フィルタリング機能の詳細 1495
18.17 CANモジュールに関する注意事項 1501

第19章 DTC 1502
19.1 概要 1502
19.2 レジスタの説明 1505
19.2.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 1507
19.2.2 DTCコントロール・データの配置 1508
19.2.3 DTCベクタ・テーブル 1509
19.2.4 周辺イネーブル・レジスタ1（PER1） 1511
19.2.5 DTC起動許可レジスタi（DTCENi） 1512
19.2.6 DTCベース・アドレス・レジスタ（DTCBAR） 1515
19.2.7 DTC制御レジスタj（DTCCRj）（j = 0-23） 1516
19.2.8 DTCブロック・サイズ・レジスタj（DTBLSj）（j = 0-23） 1517
19.2.9 DTC転送回数レジスタj（DTCCTj）（j = 0-23） 1517
19.2.10 DTC転送回数リロード・レジスタj（DTRLDj）（j = 0-23） 1518
19.2.11 DTCソース・アドレス・レジスタj（DTSARj）（j = 0-23） 1518
19.2.12 DTCデスティネーション・アドレス・レジスタj（DTDARj）（j = 0-23） 1518
19.2.13 高速DTCチャネル選択レジスタ0（SELHS0） 1519
19.2.14 高速DTCチャネル選択レジスタ1（SELHS1） 1520

19.2.15 高速DTC制御レジスタm（HDTCCRm）（m = 0, 1） 1521
19.2.16 高速DTC転送回数レジスタm（HDTCCTm）（m = 0, 1） 1522
19.2.17 高速DTC転送回数リロード・レジスタm（HDTRLDm）（m = 0, 1） 1523
19.2.18 高速DTCソース・アドレス・レジスタm（HDTSARm）（m = 0, 1） 1523
19.2.19 高速DTCデスティネーション・アドレス・レジスタm（HDTDARm） （m = 0, 1） 1523
19.3 動作説明 1524
19.3.1 起動要因 1525
19.3.2 ノーマル・モード 1526
19.3.3 リピート・モード 1528
19.3.4 チェイン転送 1532
19.3.5 高速転送動作 1533
19.4 DTC使用上の注意事項 1534
19.4.1 DTCレジスタおよびベクタ・テーブルの設定 1534
19.4.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 1534
19.4.3 DTC保留命令 1534
19.4.4 ウェイトが必要となるSFRレジスタにアクセスする命令実行時の動作 1535
19.4.5 データ・フラッシュ空間にアクセスする場合の動作 1535
19.4.6 DTC実行クロック数 1536
19.4.7 高速DTC転送実行クロック数 1537
19.4.8 DTC応答時間 1538
19.4.9 DTC起動要因 1538
19.4.10 スタンバイ・モード時の動作 1539
19.4.11 RAM領域を転送元とする場合の注意 1539
19.4.12 高速転送のベクタ・アドレス 1539

第20章 イベント・リンク・コントローラ（ELC） （RL78/F24のみ） 1540
20.1 概要 1540
20.2 レジスタの説明 1541
20.2.1 イベント出力先選択レジスタn（ELSELRn）（n = 00-25） 1542
20.2.2 タイマ入力選択レジスタ0（TIS0） 1545
20.2.3 A/Dコンバータ・スタート・トリガ選択レジスタ（ADSTRGR） 1545
20.2.4 D/Aコンバータ・モード・レジスタ（DAM） 1545
20.3 動作説明 1546

第21章 割り込み機能 1547
21.1 割り込み機能の種類 1547
21.2 割り込み要因と構成 1548
21.3 割り込み機能を制御するレジスタ 1556
21.3.1 割り込み要求フラグ・レジスタ（IFxL, IFxH） 1563
21.3.2 割り込みマスク・フラグ・レジスタ（MKxL, MKxH） 1565
21.3.3 優先順位指定フラグ・レジスタ（PRxxL, PRxxH） 1567
21.3.4 外部割り込み立ち上がり／立ち下がりエッジ許可レジスタ（EGP0, EGP1, EGN0, EGN1） 1570
21.3.5 割り込み要因判別フラグ・レジスタ0（INTFLG0） 1572
21.3.6 割り込みマスク・レジスタ（INTMSK） 1574
21.3.7 入力切り替え制御レジスタ（ISC） 1575
21.3.8 プログラム・ステータス・ワード（PSW） 1576
21.4 割り込み処理動作 1577
21.4.1 マスカブル割り込み要求の受け付け動作 1577
21.4.2 ソフトウェア割り込み要求の受け付け動作 1580
21.4.3 多重割り込み処理 1580
21.4.4 除算命令中の割り込み処理 1584
21.4.5 割り込み要求の保留 1586

第22章 キー割り込み機能 1587
22.1 キー割り込みの機能 1587
22.2 キー割り込みの構成 1588

22.3 キー割り込みを制御するレジスタ 1589
22.3.1 キー・リターン・モード・レジスタ（KRM） 1589

第23章 スタンバイ機能 1590
23.1 スタンバイ機能と構成 1590
23.1.1 スタンバイ機能 1590
23.2 スタンバイ機能を制御するレジスタ 1591
23.2.1 発振安定時間カウンタ状態レジスタ（OSTC） 1592
23.2.2 発振安定時間選択レジスタ（OSTS） 1593
23.2.3 STOPステータス出力制御レジスタ（STPSTC） 1594
23.3 スタンバイ機能の動作 1595
23.3.1 HALTモード 1595
23.3.2 STOPモード 1603
23.3.3 SNOOZEモード 1609

第24章 リセット機能 1614
24.1 リセット要因を確認するレジスタ 1621
24.1.1 リセット・コントロール・フラグ・レジスタ（RESF） 1621
24.1.2 POR/CLMリセット確認レジスタ（POCRES） 1623

第25章 パワーオン・リセット回路 1624
25.1 パワーオン・リセット回路の機能 1624
25.2 パワーオン・リセット回路の構成 1625
25.3 パワーオン・リセット回路の動作 1625
25.4 パワーオン・リセット回路の注意事項 1628

第26章 電圧検出回路 1630
26.1 電圧検出回路の機能 1630
26.2 電圧検出回路の構成 1631
26.3 電圧検出回路を制御するレジスタ 1631
26.3.1 電圧検出レジスタ（LVIM） 1632
26.3.2 電圧検出レベル・レジスタ（LVIS） 1633
26.4 電圧検出回路の動作 1636
26.4.1 リセット・モードとして使用時の設定 1636
26.4.2 割り込みモードとして使用時の設定 1638
26.4.3 割り込み＆リセット・モードとして使用時の設定 1640
26.5 電圧検出回路の注意事項 1646
26.5.1 リセット要因の確認方法 1646
26.5.2 LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延 について 1647

第27章 アプリケーション・アクセラレータ・ユニット 1648
27.1 概要 1648
27.2 レジスタ 1650
27.2.1 周辺イネーブル・レジスタ2（PER2） 1652
27.2.2 アプリケーション・アクセラレータ・ユニット・アクセス・ウィンドウ・レジスタ（AAUWINR） . 1653
27.2.3 AAUデータ・レジスタi (ADTREGi, i = 0～3) 1654
27.2.4 AAU制御レジスタ（ACTLREG） 1655
27.2.5 PI制御比例定数範囲設定レジスタ／デューティ最大値設定レジスタ（AKRAG/ADUTYMX） 1656
27.2.6 D軸電流基準設定レジスタ／チャネル1基準電流設定レジスタ（AIDREF/AL1REF） 1657
27.2.7 Q軸基準電流設定レジスタ／チャネル2基準電流設定レジスタ（AIQREF/AL2REF） 1658
27.2.8 D軸比例定数設定レジスタ／チャネル3基準値設定レジスタ（AKPD/AL3REF） 1659
27.2.9 D軸積分定数設定レジスタ／チャネル1オフセット電流設定レジスタ（AKID/AL1OFS） 1660
27.2.10 Q軸比例定数設定レジスタ／チャネル2オフセット電流設定レジスタ（AKPQ/AL2OFS） 1661
27.2.11 Q軸積分定数設定レジスタ／チャネル3オフセット電流設定レジスタ（AKIQ/AL3OFS） 1662
27.2.12 電流制限値設定レジスタ／比例定数1設定レジスタ（AILIM/AKI1） 1663
27.2.13 PI制御電流制限値設定レジスタ／比例定数2設定レジスタ（APILIM/AKI2） 1664

27.2.14 D軸電流初期値レジスタL／チャネル1デューティ値（前回）レジスタ（AIDBFL/ADUTYL1）.... 1665
27.2.15 D軸電流初期値レジスタH／チャネル2デューティ値（前回）レジスタ（AIDBFH/ADUTYL2）.. 1666
27.2.16 Q軸電流初期値レジスタL／チャネル3デューティ値（前回）レジスタ（AIQBFL/ADUTYL3）... 1667
27.2.17 Q軸電流初期値レジスタH／チャネル1電流値（前回）レジスタ（AIQBFH/AIPL1）..... 1668
27.2.18 D軸電流上限値設定レジスタ／チャネル2電流値（前回）レジスタ（ADOVER/AIPL2）..... 1669
27.2.19 Q軸電流上限値設定レジスタ／チャネル3電流値（前回）レジスタ（AQOVER/AIPL3）..... 1670
27.3 動作説明.....1671
27.3.1 動作の概要..... 1671
27.3.2 各アルゴリズム・モードにおける演算の説明..... 1674
27.4 アプリケーション・アクセラレータ・ユニットの注意事項.....1697

第28章 機能安全 1698
28.1 機能安全の概要.....1698
28.2 機能安全で使用するレジスタ 1700
28.3 機能安全の動作.....1701
28.3.1 フラッシュ・メモリCRC演算機能（高速CRC） 1701
28.3.2 CRC演算機能（汎用CRC） 1705
28.3.3 内部RAM-ECC機能 1709
28.3.4 CAN RAM-ECC機能（RL78/F24のみ） 1715
28.3.5 コード・フラッシュ・メモリECC機能 1728
28.3.6 CPUスタック・ポインタ・モニタ機能 1745
28.3.7 クロック・モニタ機能..... 1747
28.3.8 不正メモリ・アクセス検出機能 1750
28.3.9 周波数検出機能 1752
28.3.10 A/Dテスト機能..... 1754
28.3.11 ウォッチドッグ・タイマ機能..... 1754

第29章 セキュリティ機能..... 1755

第30章 レギュレータ 1756
30.1 レギュレータの概要.....1756

第31章 オプション・バイト 1757
31.1 オプション・バイトの機能.....1757
31.1.1 ユーザ・オプション・バイト（000C0H/040C0H - 000C2H/040C2H） 1757
31.1.2 オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）..... 1758
31.1.3 セキュリティ・オプション・バイト（000C4H/040C4H） 1758
31.2 ユーザ・オプション・バイトのフォーマット 1759
31.3 オンチップ・デバッグ・オプション・バイトのフォーマット 1763
31.4 セキュリティ・オプション・バイトのフォーマット 1764
31.5 オプション・バイトの設定.....1765

第32章 フラッシュ・メモリ 1766
32.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 1768
32.1.1 プログラミング環境 1769
32.1.2 通信方式 1769
32.1.3 使用上の注意 1770
32.2 外部デバイス（UART内蔵）によるシリアル・プログラミング 1771
32.2.1 プログラミング環境 1771
32.2.2 通信方式 1772
32.3 ボードの端子処理 1773
32.3.1 P40/TOOL0端子 1773
32.3.2 RESET端子 1773
32.3.3 ポート端子..... 1774
32.3.4 REGC端子..... 1774
32.3.5 X1, X2端子..... 1774

32.3.6 電源 1774
32.4 フラッシュ・シリアル・プログラミング・セキュリティID 1775
32.5 シリアル・プログラミング方法 1776
32.5.1 シリアル・プログラミング手順 1776
32.5.2 フラッシュ・メモリ・プログラミング・モード 1776
32.5.3 通信方式 1778
32.5.4 通信コマンド 1778
32.6 PG-FP6使用時の各コマンド処理時間（参考値） 1780
32.7 セルフ・プログラミング 1781
32.7.1 セルフ・プログラミング手順 1782
32.7.2 フラッシュ・メモリを制御するレジスタ 1783
32.7.3 フラッシュ・メモリ制御モードの設定 1800
32.7.4 フラッシュ・メモリ・シーケンサで使用するためのレジスタ初期化 1803
32.7.5 フラッシュ・メモリ・シーケンサの動作周波数の設定 1803
32.7.6 フラッシュ・メモリの書き換え 1804
32.7.7 ブート・スワップ機能 1812
32.7.8 フラッシュ・シールド・ウィンドウ機能 1814
32.7.9 フラッシュ・メモリ領域を書き換えるコマンドの実行例 1815
32.7.10 セルフ・プログラミングの注意事項 1818
32.8 セキュリティ設定 1819
32.9 データ・フラッシュ 1821
32.9.1 データ・フラッシュの概要 1821
32.9.2 データ・フラッシュへのアクセス手順 1822

第33章 オンチップ・デバッグ機能 1823
33.1 オンチップ・デバッグ機能の概要 1823
33.1.1 ホット・プラグイン 1823
33.1.2 DTC方式リアルタイムRAMモニタ（RRM）／動的メモリ変更（DMM） 1823
33.1.3 オンチップ・トレース 1824
33.2 E2 / E2 Liteオンチップ・デバッギング・エミュレータとRL78/F23, F24の接続 1825
33.3 オンチップ・デバッグ・セキュリティID 1826
33.4 ユーザ資源の確保 1826
33.4.1 メモリ空間の確保 1826

第34章 10進補正（BCD）回路 1828
34.1 10進補正回路の機能 1828
34.2 10進補正回路で使用するレジスタ 1828
34.3 10進補正回路の動作 1829

第35章 命令セットの概要 1831
35.1 凡例 1831
35.1.1 オペランドの表現形式と記述方法 1831
35.1.2 オペレーション欄の説明 1833
35.1.3 フラグ動作欄の説明 1834
35.1.4 PREFIX命令 1834
35.1.5 積和演算命令 1835
35.2 オペレーション一覧 1836

第36章 電気的特性（グレード3） 1854
36.1 絶対最大定格 1855
36.2 発振回路特性 1858
36.2.1 メイン・システム・クロック発振回路特性 1858
36.2.2 オンチップ・オシレータ特性 1859
36.2.3 サブシステム・クロック発振回路特性 1860
36.2.4 PLL回路特性 1861

36.3 DC特性 1862
36.3.1 端子特性 1862
36.3.2 電源電流特性 1868
36.4 AC特性 1874
36.4.1 基本動作 1874
36.5 周辺機能特性 1878
36.5.1 シリアル・アレイ・ユニット 1878
36.5.2 シリアル・インタフェースIICA 1896
36.5.3 オンチップ・デバッグ（UART） 1897
36.5.4 LIN/UARTモジュール（RLIN3）UARTモード 1897
36.5.5 CAN-FD通信インターフェース（RS-CANFD lite）タイミング 1897
36.6 アナログ特性 1898
36.6.1 A/Dコンバータ特性 1898
36.6.2 D/Aコンバータ特性 1901
36.6.3 コンパレータ特性 1901
36.6.4 POR回路特性 1901
36.6.5 LVD回路特性 1902
36.7 電源立ち上げ時間 1903
36.8 レギュレータ出力電圧特性 1903
36.9 RAMデータ保持特性 1903
36.10 フラッシュ・メモリ・プログラミング特性 1904
36.11 専用フラッシュ・メモリ・プログラマ通信（UART） 1905
36.12 フラッシュ・メモリ・プログラミング・モード・エントリ・タイミング 1906

第37章 電気的特性（グレード4） 1907
37.1 絶対最大定格 1908
37.2 発振回路特性 1911
37.2.1 メイン・システム・クロック発振回路特性 1911
37.2.2 オンチップ・オシレータ特性 1912
37.2.3 サブシステム・クロック発振回路特性 1913
37.2.4 PLL回路特性 1914
37.3 DC特性 1915
37.3.1 端子特性 1915
37.3.2 電源電流特性 1921
37.4 AC特性 1927
37.4.1 基本動作 1927
37.5 周辺機能特性 1931
37.5.1 シリアル・アレイ・ユニット 1931
37.5.2 シリアル・インタフェースIICA 1949
37.5.3 オンチップ・デバッグ（UART） 1950
37.5.4 LIN/UARTモジュール（RLIN3）UARTモード 1950
37.5.5 CAN-FD通信インターフェース（RS-CANFD lite）タイミング 1950
37.6 アナログ特性 1951
37.6.1 A/Dコンバータ特性 1951
37.6.2 D/Aコンバータ特性 1954
37.6.3 コンパレータ特性 1954
37.6.4 POR回路特性 1954
37.6.5 LVD回路特性 1955
37.7 電源立ち上げ時間 1956
37.8 レギュレータ出力電圧特性 1956
37.9 RAMデータ保持特性 1956
37.10 フラッシュ・メモリ・プログラミング特性 1957
37.11 専用フラッシュ・メモリ・プログラマ通信（UART） 1958
37.12 フラッシュ・メモリ・プログラミング・モード・エントリ・タイミング 1959

第38章 電気的特性（グレード5） 1960
38.1 絶対最大定格 1961
38.2 発振回路特性 1964
38.2.1 メイン・システム・クロック発振回路特性 1964
38.2.2 オンチップ・オシレータ特性 1965
38.2.3 サブシステム・クロック発振回路特性 1965
38.2.4 PLL回路特性 1966
38.3 DC特性 1967
38.3.1 端子特性 1967
38.3.2 電源電流特性 1973
38.4 AC特性 1979
38.4.1 基本動作 1979
38.5 周辺機能特性 1983
38.5.1 シリアル・アレイ・ユニット 1983
38.5.2 シリアル・インタフェースIICA 2001
38.5.3 オンチップ・デバッグ（UART） 2002
38.5.4 LIN/UARTモジュール（RLIN3）UARTモード 2002
38.5.5 CAN-FD通信インターフェース (RS-CANFD lite) タイミング 2002
38.6 アナログ特性 2003
38.6.1 A/Dコンバータ特性 2003
38.6.2 D/Aコンバータ特性 2006
38.6.3 コンパレータ特性 2006
38.6.4 POR回路特性 2006
38.6.5 LVD回路特性 2007
38.7 電源立ち上げ時間 2008
38.8 レギュレータ出力電圧特性 2008
38.9 RAMデータ保持特性 2008
38.10 フラッシュ・メモリ・プログラミング特性 2009
38.11 専用フラッシュ・メモリ・プログラマ通信（UART） 2010
38.12 フラッシュ・メモリ・プログラミング・モード・エントリ・タイミング 2011

第39章 外形図 2012
39.1 32ピン製品 2012
39.2 48ピン製品 2014
39.3 64ピン製品 2016
39.4 80ピン製品 2018
39.5 100ピン製品 2020

付録A 改訂履歴 A-1
A.1 主な変更点（Rev.1.10 → Rev.1.20） A-1
A.2 前版までの改訂履歴 A-5

第1章　概説

1.1　特徴

- 高速（0.025 μs：高速オンチップ・オシレータ・クロックおよび PLL クロック 40 MHz 動作時）から超低速（66.6 μs：低速オンチップ・オシレータ・クロック 15 kHz 動作時）まで，最小命令実行時間を変更可能
- 汎用レジスタ：8 ビット×32 レジスタ（8 ビット×8 レジスタ×4 バンク）
- ROM：128 KB / 256 KB
- RAM：12 KB / 24 KB
- データ・フラッシュ：8 KB / 16 KB
- 高速オンチップ・オシレータ・クロック内蔵
  40 MHz (Typ.)，32 MHz (Typ.)，20 MHz (Typ.)，16 MHz (Typ.)，8 MHz (Typ.)，4 MHz (Typ.)，2 MHz (Typ.) から選択可能（タイマ RDe および RS-CANFD lite 注1 では 80 MHz (Typ.) および 64 MHz (Typ.) も選択可能）
- 低速オンチップ・オシレータ・クロック内蔵：15 kHz×2 チャネル（WWDT 専用 1 チャネルと WWDT 以外の CPU/周辺機能用 1 チャネル）
- PLL 回路内蔵
- 単電源のフラッシュ・メモリ内蔵（ブロック消去／書き込み禁止機能あり）
- セルフ・プログラミング機能対応（ブート・スワップ／フラッシュ・シールド・ウィンドウ機能あり）
- オンチップ・デバッグ機能内蔵
- パワーオン・リセット（POR）回路，低電圧検出（LVD）回路内蔵
- ウォッチドッグ・タイマ内蔵（専用の低速オンチップ・オシレータ・クロックで動作可能）
- 乗除・積和演算命令対応
  - 16 ビット×16 ビット ＝32 ビット（符号付／符号なし）
  - 32 ビット÷32 ビット ＝32 ビット（符号なし）
  - 16 ビット×16 ビット＋32 ビット ＝32 ビット（符号付／符号なし）
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵
- 10 進補正（BCD）回路内蔵
- I/O ポート：28～92 本（入力専用端子：1 本含む）
- タイマ
  - 16 ビット・タイマ・アレイ・ユニット：12 チャネル／16 チャネル
  - 16 ビット・タイマ RDe：2 チャネル（PWMOPA，ディザリング／ゲート機能付）
  - 16 ビット・タイマ RJ：1 チャネル
  - ウォッチドッグ・タイマ：1 チャネル
  - リアルタイム・クロック：1 チャネル
- アプリケーション・アクセラレータ・ユニット
- シリアル・インタフェース
  - CSI
  - UART/UART（LIN-bus 対応）
  - LIN モジュール（マスタ／スレーブ対応）
  - I^2C／簡易 I^2C
  - CAN インタフェース（RS-CANFD lite）注2

- 12 ビット分解能 A/D コンバータ：10～31 チャネル
- DTC（最大 44 要因）
- ELC（リンク元：最大 26 チャネル，リンク先：最大 10 チャネル）注 2
- 機能安全（CRC 演算機能，クロック・モニタ，AD テストなど）
- セキュリティ機能：セキュアブート，暗号エンジン（AES-128, 192, 256），乱数ジェネレータ（TRNG）
- 8 ビット D/A コンバータ注 2
- コンパレータ：1 チャネル（入力端子：4 チャネル）注 2
- 電源電圧：V_{DD} = 2.7～5.5 V
- 動作周囲温度：
  T_A = −40℃～+105℃（グレード 3）／T_A = −40℃～+125℃（グレード 4）／T_A = −40℃～+150℃（グレード 5）
- ASIL レベル：ASIL B

注 1. f_{IH} クロックは RS-CANFD lite 通信クロックには使用できません。

2. RL78/F24 のみ搭載しています。

1.1.1 用途

自動車電装一般（モータ制御，ドア制御，フロントライト制御など），2 輪エンジン制御

1.2　製品一覧

表 1－1　RL78/F23, F24 ラインアップ（グレード 3）

動作温度 (TA)	パッケージ	ピン数	RL78/F23	RL78/F24
			Code Flash / Data Flash / RAM	Code Flash / Data Flash / RAM
			128KB / 8KB / 12KB	256KB / 16KB / 24KB
★ −40℃～+105℃	HWQFN	32	R7F123FBG3ANP-C	R7F124FBJ3ANP-C
	LFQFP	48	R7F123FGG3AFB-C	R7F124FGJ3AFB-C
★		64	R7F123FLG3AFB-C	R7F124FLJ3AFB-C
		80	R7F123FMG3AFB-C	R7F124FMJ3AFB-C
		100	－	R7F124FPJ3AFB-C

表 1－2　RL78/F23, F24 ラインアップ（グレード 4）

動作温度 (TA)	パッケージ	ピン数	RL78/F23	RL78/F24
			Code Flash / Data Flash / RAM	Code Flash / Data Flash / RAM
			128KB / 8KB / 12KB	256KB / 16KB / 24KB
★ −40℃～+125℃	HWQFN	32	R7F123FBG4ANP-C	R7F124FBJ4ANP-C
	LFQFP	48	R7F123FGG4AFB-C	R7F124FGJ4AFB-C
		64	R7F123FLG4AFB-C	R7F124FLJ4AFB-C
★		80	R7F123FMG4AFB-C	R7F124FMJ4AFB-C
		100	－	R7F124FPJ4AFB-C

表 1－3　RL78/F23, F24 ラインアップ（グレード 5）注

動作温度 (TA)	パッケージ	ピン数	RL78/F23	RL78/F24
			Code Flash / Data Flash / RAM	Code Flash / Data Flash / RAM
			128KB / 8KB / 12KB	256KB / 16KB / 24KB
★ −40℃～+150℃	HWQFN	32	R7F123FBG5ANP-C	R7F124FBJ5ANP-C
	LFQFP	48	R7F123FGG5AFB-C	R7F124FGJ5AFB-C
		64	R7F123FLG5AFB-C	R7F124FLJ5AFB-C
★		80	R7F123FMG5AFB-C	R7F124FMJ5AFB-C
		100	－	R7F124FPJ5AFB-C

注　グレード 5 仕様を発注される場合は，発注型名および確認用のアプリケーション温度ミッション・プロファイルを当社サポートへ提供ください。

1.3　機能概要

1.3.1　RL78/F24 機能一覧

表 1－4　RL78/F24 機能一覧表（1/2）

機能項目		シリーズ名	RF7F124FPJ	R7F124FMJ	R7F124FLJ	R7F124FGJ	R7F124FBJ
		端子数	100 ピン	80 ピン	64 ピン	48 ピン	32 ピン
コード・フラッシュ・メモリ			256 KB				
データ・フラッシュ・メモリ			16 KB				
RAM			24 KB				
電源電圧範囲			2.7 V～5.5 V				
最高動作周波数			40 MHz				
システム・クロック	メイン発振回路	水晶/セラミック/方形波	2～20 MHz（2.7 V～5.5 V 動作時）				
	高速オンチップ・オシレータ	常用高精度	40 MHz (Typ.)				
	低速オンチップ・オシレータ	低速動作用	15 kHz (Typ.)				
	サブ発振回路		32.768 kHz 注6				なし
	PLL		対応				
周辺専用クロック	低速オンチップ・オシレータ	WDT 以外の周辺機能用	15 kHz (Typ.)				
		WDT 専用	15 kHz (Typ.)				
POR		電源立ち上がり時	1.56 V (Typ.)				
		電源立ち下がり時	1.55 V (Typ.)				
LVD	V_{DD} 電圧検出	電源立ち上がり時	2.81 V (Typ.)～4.74 V (Typ.)（6 段階）				
		電源立ち下がり時	2.75 V (Typ.)～4.64 V (Typ.)（6 段階）				
機能安全 注7	WWDT（ウィンドウ・ウォッチドッグ・タイマ）		対応				
	フラッシュ・メモリ高速 CRC 演算機能		対応				
	汎用 CRC 演算機能		対応				
	フラッシュ・メモリ ECC 機能		対応				
	RAM 1 ビット・エラー訂正機能		対応				
	RAM 2 ビット・エラー検出機能		対応				
	RS-CANFD lite RAM 1 ビット・エラー訂正機能		対応				
	RS-CANFD lite RAM 2 ビット・エラー訂正機能		対応				
	不正アクセス検出機能		対応				
	周波数検出機能		対応				
	クロック・モニタ機能		対応				
	スタック・ポインタ・モニタ機能		対応				
	A/D テスト機能		対応				
I/O ポート	入出力	CMOS	86 ch	68 ch	52 ch	38 ch	25 ch
	出力	CMOS	1 ch				なし
	入力	発振端子兼用	4 ch 注6				2 ch
		入力端子専用	1 ch				
電源端子	内部用		V_{DD}, V_{SS}, REGC				
	I/O ポート専用		EV_{DD0}, EV_{SS0} EV_{DD1}, EV_{SS1}	EV_{DD0}, EV_{SS0}		なし	
	アナログ回路用（AD, DA, COMP）		V_{DD}, V_{SS}（AV_{REFP}, AV_{REFM}：AD 用）				
乗除算・積和演算機能	乗算		16 ビット×16 ビット（符号付き）				
			16 ビット×16 ビット（符号なし）				
	除算		32 ビット÷32 ビット（符号なし）				
	積和演算		16 ビット×16 ビット＋32 ビット（符号付き）				
			16 ビット×16 ビット＋32 ビット（符号なし）				
	演算命令（拡張命令セット）		対応				
ベクタ割り込み要因	外部		16 ch 注4, 5	16 ch 注4, 5	15 ch 注3, 5	14 ch 注2	10 ch 注1
	内部		53 ch 注4	53 ch 注4	53 ch 注3	53 ch 注2	53 ch 注1
キー・リターン検出			8 ch				6 ch
DTC			44 要因				43 要因
タイマ	TAU		16 ビット（8 ch × 2）				
	RTC		1 ch				
	タイマ RJ		16 ビット× 1				
	タイマ RDe		16 ビット× 2（PWMOPA，ディザリング／ゲート機能付き）				

（注が次のページにあります。）

表 1－4　RL78/F24 機能一覧表（2/2）

機能項目		シリーズ名	RF7F124FPJ	R7F124FMJ	R7F124FLJ	R7F124FGJ	R7F124FBJ
		端子数	100 ピン	80 ピン	64 ピン	48 ピン	32 ピン
シリアル I/F	CSI/簡易 I²C/UART		4 ch / 4 ch / 2 ch				3 ch / 3 ch / 2 ch
		SPI	対応				
	マルチマスタ I²C		1 ch				
	LIN/UART モジュール（RLIN3）		2 ch				
	CAN インタフェース（RS-CANFD lite）		1 ch				
A/D コンバータ 12 ビット 逐次変換型	ハイ・スピード		16 ch	16 ch	16 ch	13 ch	8 ch
	ノーマル・スピード		15 ch	9 ch	8 ch	6 ch	2 ch
	内部		1 ch（内部基準電圧）				
D/A コンバータ	8 ビット		1ch				
コンパレータ			1 unit（入力 4 ch）				
ELC			リンク元 26 ch, リンク先 10 ch				
PCLBUZ			1 ch				なし
アプリケーション・アクセラレータ・ユニット			対応				
セルフ・プログラミング			対応				
オンチップ・デバッグ	トレース		対応				
	ホット・プラグイン		対応				
オプション・バイト			対応				
セキュリティ機能	AESEA		ECB/CBC モード，CMAC（AES-128, 192, 256）				
	乱数ジェネレータ（TRNG）		対応				

注 1. INTP4 と INTSPM，INTP5 と INTCMP0 は，それぞれ内部と外部の両方で 1 要因ずつカウントしています。

2. INTP4 と INTSPM，INTP5 と INTCMP0，INTP6 と INTTM11H，INTP7 と INTTM13H，INTP8 と INTRTC，INTP9 と INTTM01H は，それぞれ内部と外部の両方で 1 要因ずつカウントしています。

3. INTP4 と INTSPM，INTP5 と INTCMP0，INTP6 と INTTM11H，INTP7 と INTTM13H，INTP8 と INTRTC，INTP9 と INTTM01H，INTP10 と INTTM03H は，それぞれ内部と外部の両方で 1 要因ずつカウントしています。

4. INTP4 と INTSPM，INTP5 と INTCMP0，INTP6 と INTTM11H，INTP7 と INTTM13H，INTP8 と INTRTC，INTP9 と INTTM01H，INTP10 と INTTM03H，INTP13 と INTCLM は，それぞれ内部と外部の両方で 1 要因ずつカウントしています。

5. INTP11 と INTLIN0WUP，INTP12 と INTLIN1WUP は，同時には使用できないため，それぞれ両方で 1 要因としてカウントしています。

6. グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

7. これらの機能は提供されていますが，安全機構ではありません。

・不正命令実行検出機能

・SFR／RAM ガード機能

・I/O ポート出力信号レベル検出機能

1.3.2　RL78/F23 機能一覧

表 1－5　RL78/F23 機能一覧表（1/2）

機能項目		シリーズ名	R7F123FMG	R7F123FLG	R7F123FGG	R7F123FBG
		端子数	80 ピン	64 ピン	48 ピン	32 ピン
コード・フラッシュ・メモリ			128 KB			
データ・フラッシュ・メモリ			8 KB			
RAM			12 KB			
電源電圧範囲			2.7 V～5.5 V			
最高動作周波数			40 MHz			
システム・クロック	メイン発振回路	水晶/セラミック/方形波	2～20 MHz（2.7 V～5.5 V 動作時）			
	高速オンチップ・オシレータ	常用高精度	40 MHz (Typ.)			
	低速オンチップ・オシレータ	低速動作用	15 kHz (Typ.)			
	サブ発振回路		32.768 kHz 注6			なし
	PLL		対応			
周辺専用クロック	低速オンチップ・オシレータ	WDT 以外の周辺機能用	15 kHz (Typ.)			
		WDT 専用	15 kHz (Typ.)			
POR		電源立ち上がり時	1.56 V (Typ.)			
		電源立ち下がり時	1.55 V (Typ.)			
LVD	V_{DD} 電圧検出	電源立ち上がり時	2.81 V (Typ.)～4.74 V (Typ.)（6 段階）			
		電源立ち下がり時	2.75 V (Typ.)～4.64 V (Typ.)（6 段階）			
機能安全 注7	WWDT（ウィンドウ・ウォッチドッグ・タイマ）		対応			
	フラッシュ・メモリ高速 CRC 演算機能		対応			
	汎用 CRC 演算機能		対応			
	フラッシュ・メモリ ECC 機能		対応			
	RAM 1 ビット・エラー訂正機能		対応			
	RAM 2 ビット・エラー検出機能		対応			
	不正アクセス検出機能		対応			
	周波数検出機能		対応			
	クロック・モニタ機能		対応			
	スタック・ポインタ・モニタ機能		対応			
	A/D テスト機能		対応			
I/O ポート	入出力	CMOS	68 ch	52 ch	38 ch	25 ch
	出力	CMOS	1 ch			なし
	入力	発振端子兼用	4 ch 注5			2 ch
		入力端子専用	1 ch			
電源端子	内部用		V_{DD}, V_{SS}, REGC			
	I/O ポート専用		EV_{DD0}, EV_{SS0}		なし	
	アナログ回路用（AD）		V_{DD}, V_{SS}（AV_{REFP}, AV_{REFM}：AD 用）			
乗除算・積和演算機能	乗算		16 ビット×16 ビット（符号付き）			
			16 ビット×16 ビット（符号なし）			
	除算		32 ビット÷32 ビット（符号なし）			
	積和演算		16 ビット×16 ビット＋32 ビット（符号付き）			
			16 ビット×16 ビット＋32 ビット（符号なし）			
	演算命令（拡張命令セット）		対応			
ベクタ割り込み要因	外部		15 ch 注4, 5	14 ch 注3, 5	12 ch 注2	8 ch 注1
	内部		38 ch 注4	38 ch 注3	38 ch 注2	38 ch 注1
キー・リターン検出			8 ch			6 ch
DTC			36 要因			35 要因
タイマ	TAU		16 ビット（8 ch + 4 ch）			
	RTC		1 ch			
	タイマ RJ		16 ビット× 1			
	タイマ RDe		16 ビット× 2（PWMOPA，ディザリング／ゲート機能付き）			

（注が次のページにあります。）

表 1－5　RL78/F23 機能一覧表（2/2）

機能項目		シリーズ名	R7F123FMG	R7F123FLG	R7F123FGG	R7F123FBG
		端子数	80 ピン	64 ピン	48 ピン	32 ピン
シリアル I/F	CSI/簡易 I²C / UART		4 ch / 4 ch / 2 ch			3 ch / 3 ch / 2 ch
		SPI	対応			
	マルチマスタ I²C		1 ch			
	LIN / UART モジュール（RLIN3）		1 ch			
	CAN インタフェース（RS-CANFD lite）		なし			
A/D コンバータ 12 ビット 逐次変換型	ハイ・スピード		16 ch	16 ch	13 ch	8 ch
	ノーマル・スピード		9 ch	8 ch	6 ch	2 ch
	内部		1 ch（内部基準電圧）			
D/A コンバータ	8 ビット		なし			
コンパレータ			なし			
ELC			なし			
PCLBUZ			1 ch			なし
アプリケーション・アクセラレータ・ユニット			対応			
セルフプログラミング			対応			
オンチップ・デバッグ	トレース		対応			
	ホット・プラグイン		対応			
オプション・バイト			対応			
セキュリティ機能	AESEA		ECB/CBC モード，CMAC（AES-128, 192, 256）			
	乱数ジェネレータ（TRNG）		対応			

注 1. INTP4 と INTSPM は，内部と外部の両方で 1 要因ずつカウントしています。

2. INTP4 と INTSPM，INTP6 と INTTM11H，INTP7 と INTTM13H，INTP8 と INTRTC，INTP9 と INTTM01H は，それぞれ内部と外部の両方で 1 要因ずつカウントしています。

3. INTP4 と INTSPM，INTP6 と INTTM11H，INTP7 と INTTM13H，INTP8 と INTRTC，INTP9 と INTTM01H，INTP10 と INTTM03H は，それぞれ内部と外部の両方で 1 要因ずつカウントしています。

4. INTP4 と INTSPM，INTP6 と INTTM11H，INTP7 と INTTM13H，INTP8 と INTRTC，INTP9 と INTTM01H，INTP10 と INTTM03H，INTP13 と INTCLM は，それぞれ内部と外部の両方で 1 要因ずつカウントしています。

5. INTP11 と INTLIN0WUP は，同時には使用できないため，両方で 1 要因としてカウントしています。

6. グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

7. これらの機能は提供されていますが，安全機構ではありません。

・不正命令実行検出機能

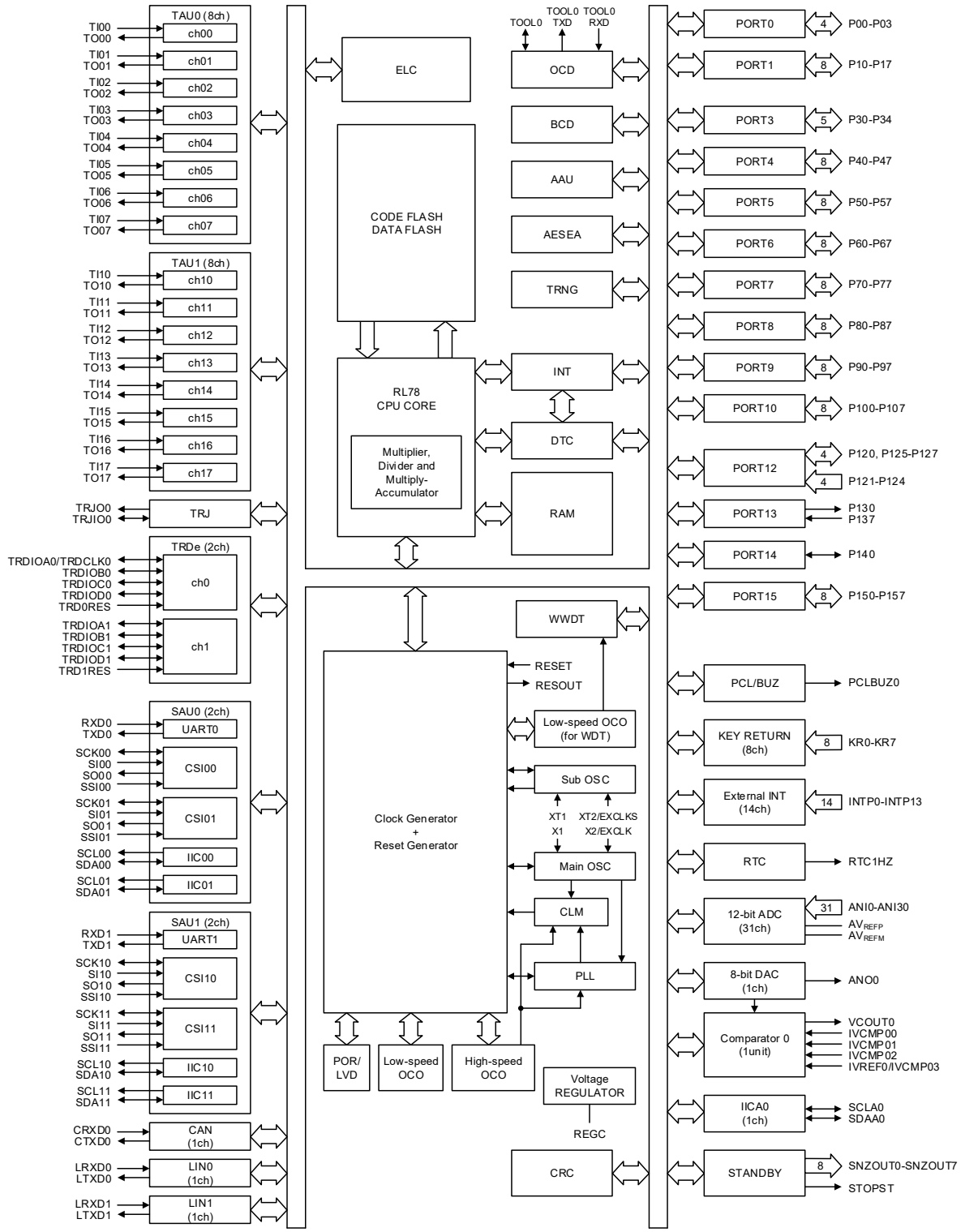
・SFR / RAM ガード機能

・I/O ポート出力信号レベル検出機能

1.4 ブロック図

1.4.1 RL78/F24 R7F124FPJ 100 ピン版のブロック図

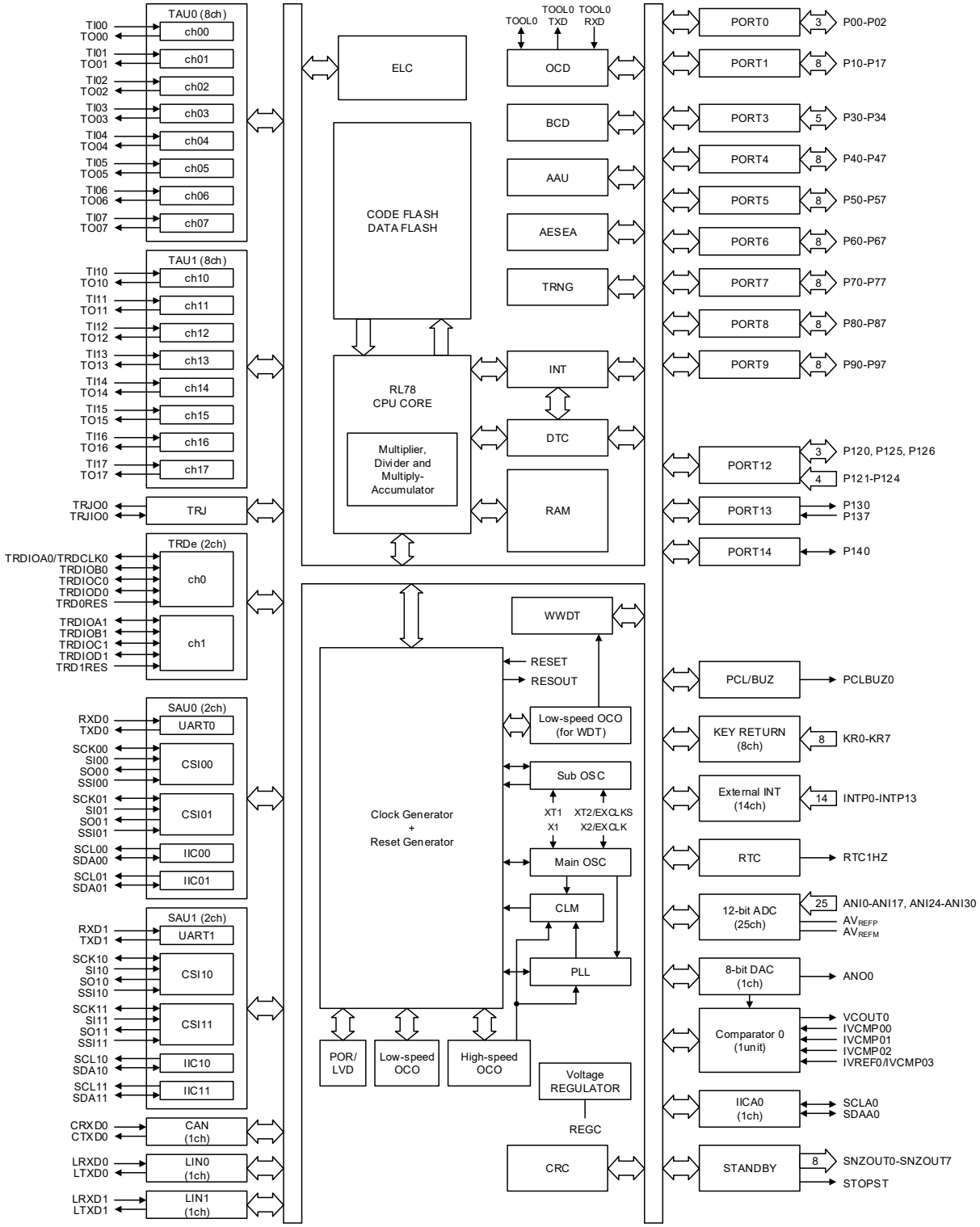
図 1−1 機能ブロック図



注意 グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

1.4.2 RL78/F24 R7F124FMJ 80 ピン版のブロック図

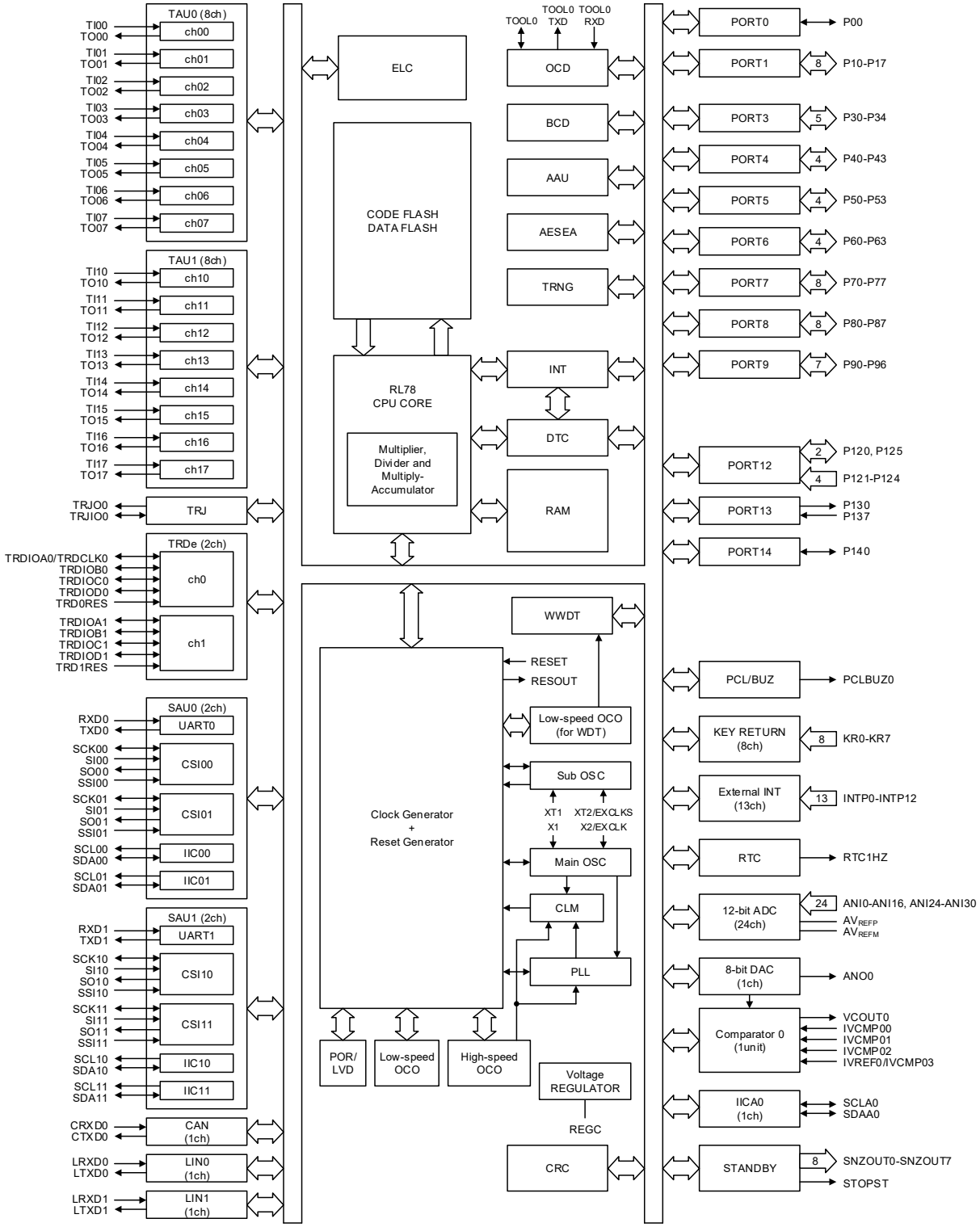
図 1−2 機能ブロック図



注意 グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

1.4.3 RL78/F24 R7F124FLJ 64 ピン版のブロック図

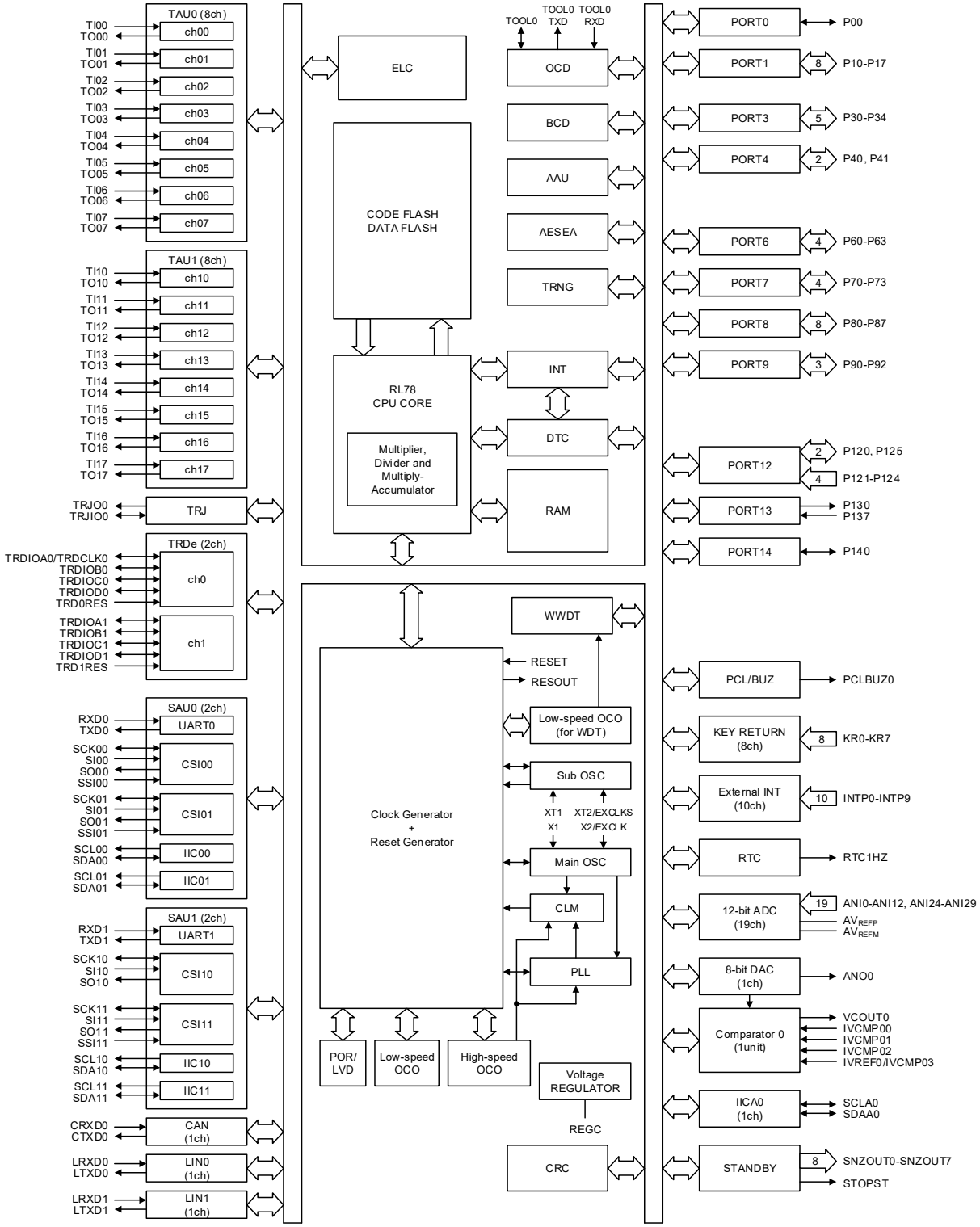
図 1－3 機能ブロック図



注意 グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

1.4.4 RL78/F24 R7F124FGJ 48ピン版のブロック図

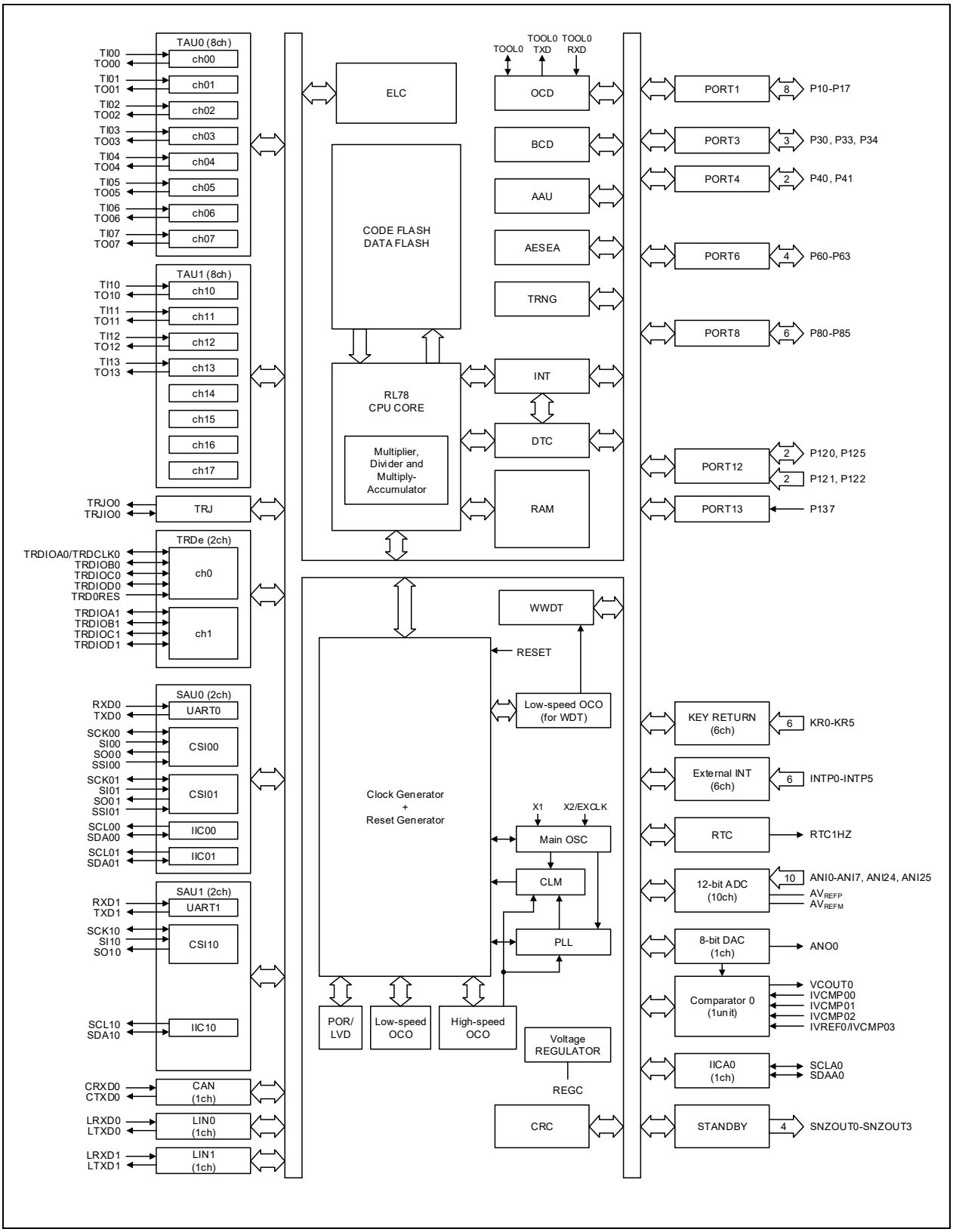
図 1−4 機能ブロック図



注意 グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

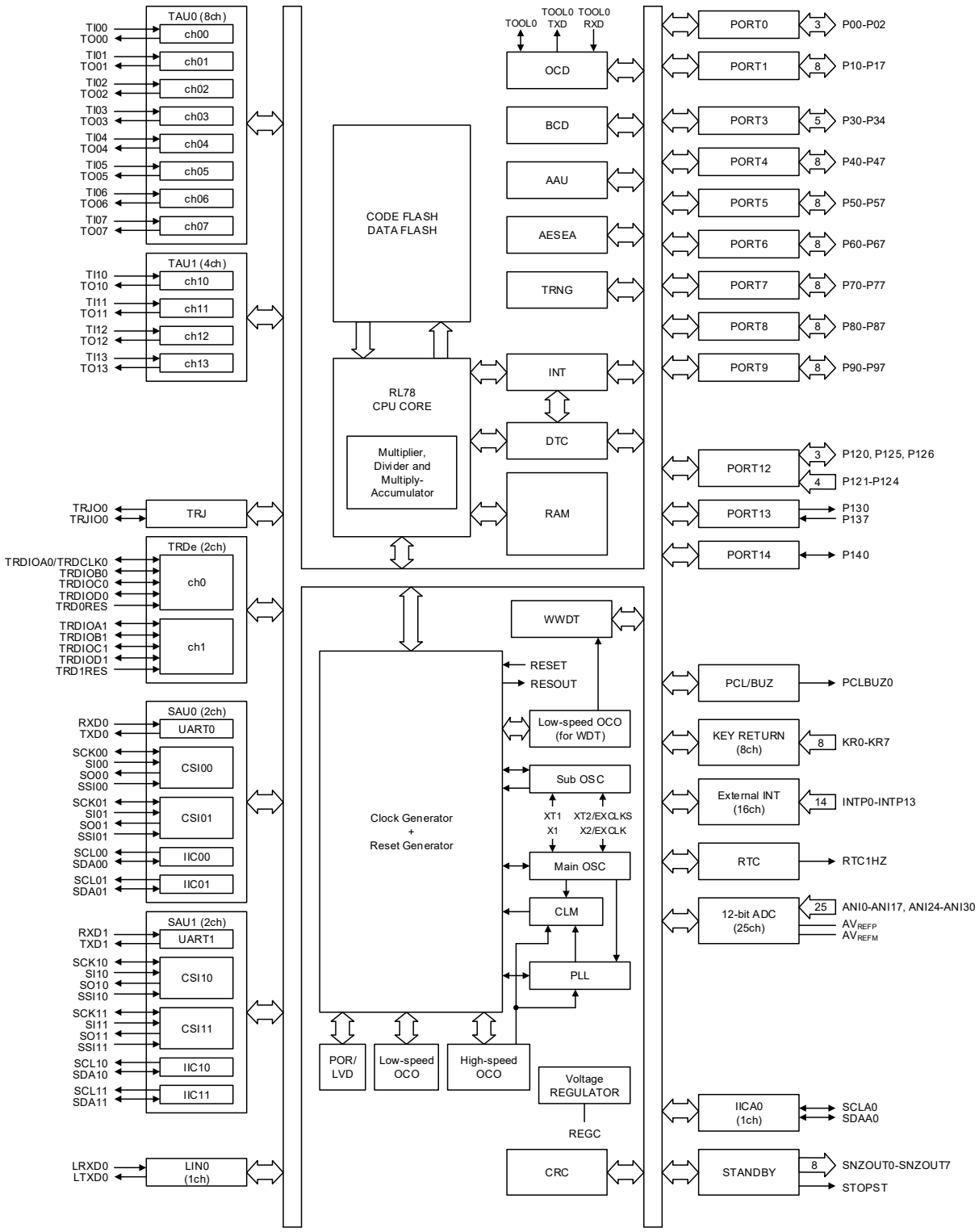
1.4.5 RL78/F24 R7F124FBJ 32ピン版のブロック図

図 1−5 機能ブロック図



1.4.6 RL78/F23 R7F123FMG 80ピン版のブロック図

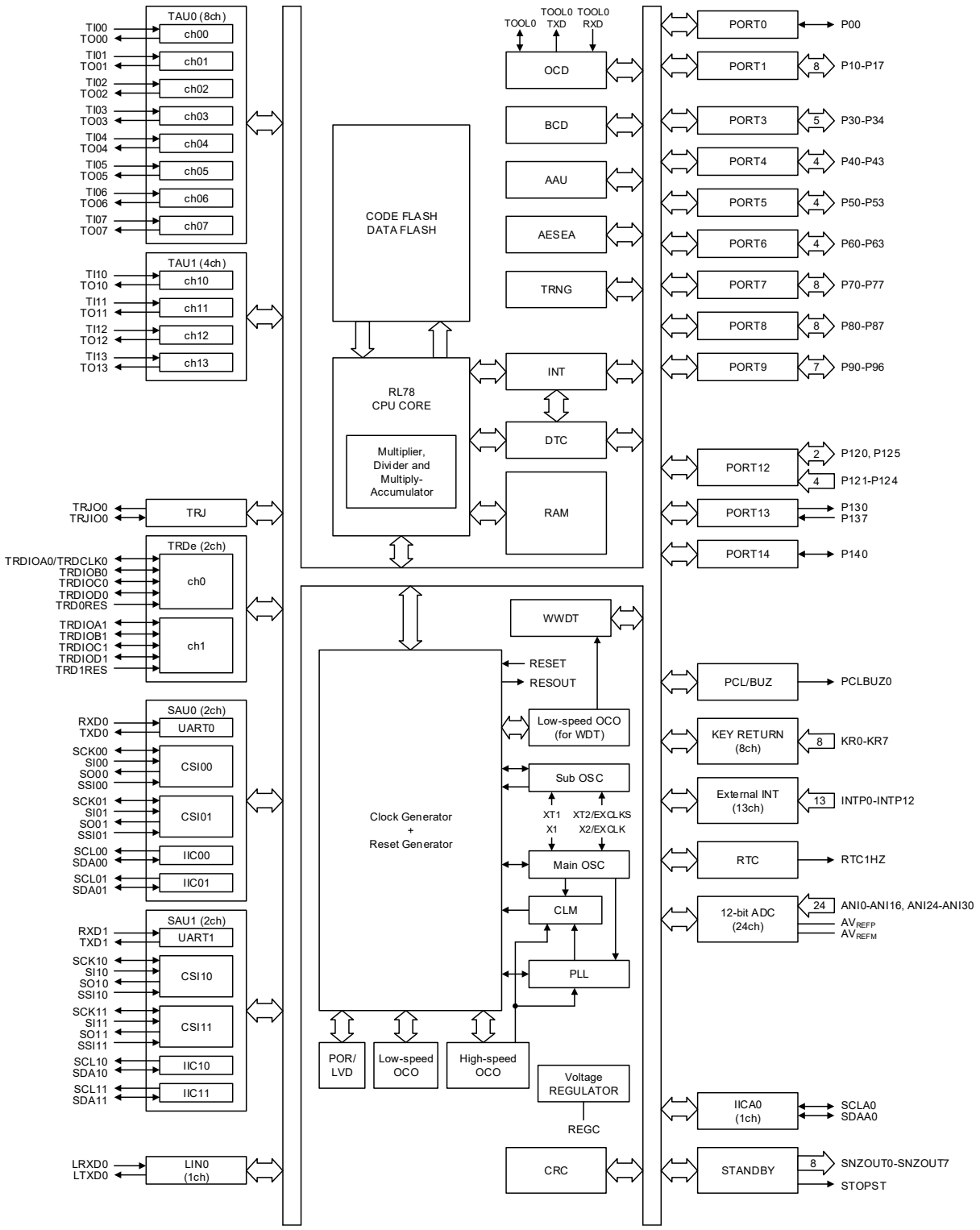
図 1−6 機能ブロック図



注意 グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

1.4.7 RL78/F23 R7F123FLG 64ピン版のブロック図

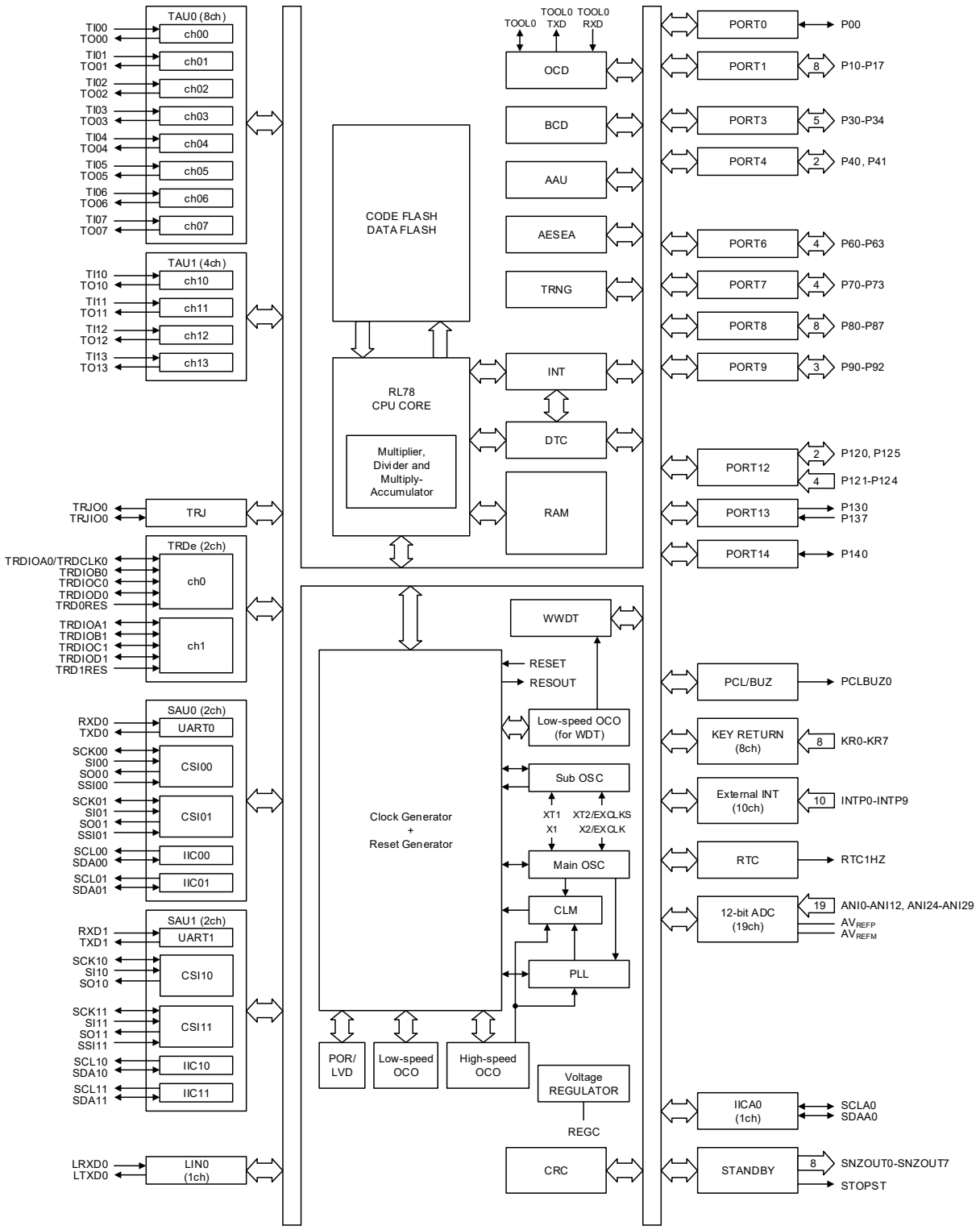
図 1−7 機能ブロック図



注意 グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

1.4.8 RL78/F23 R7F123FGG 48ピン版のブロック図

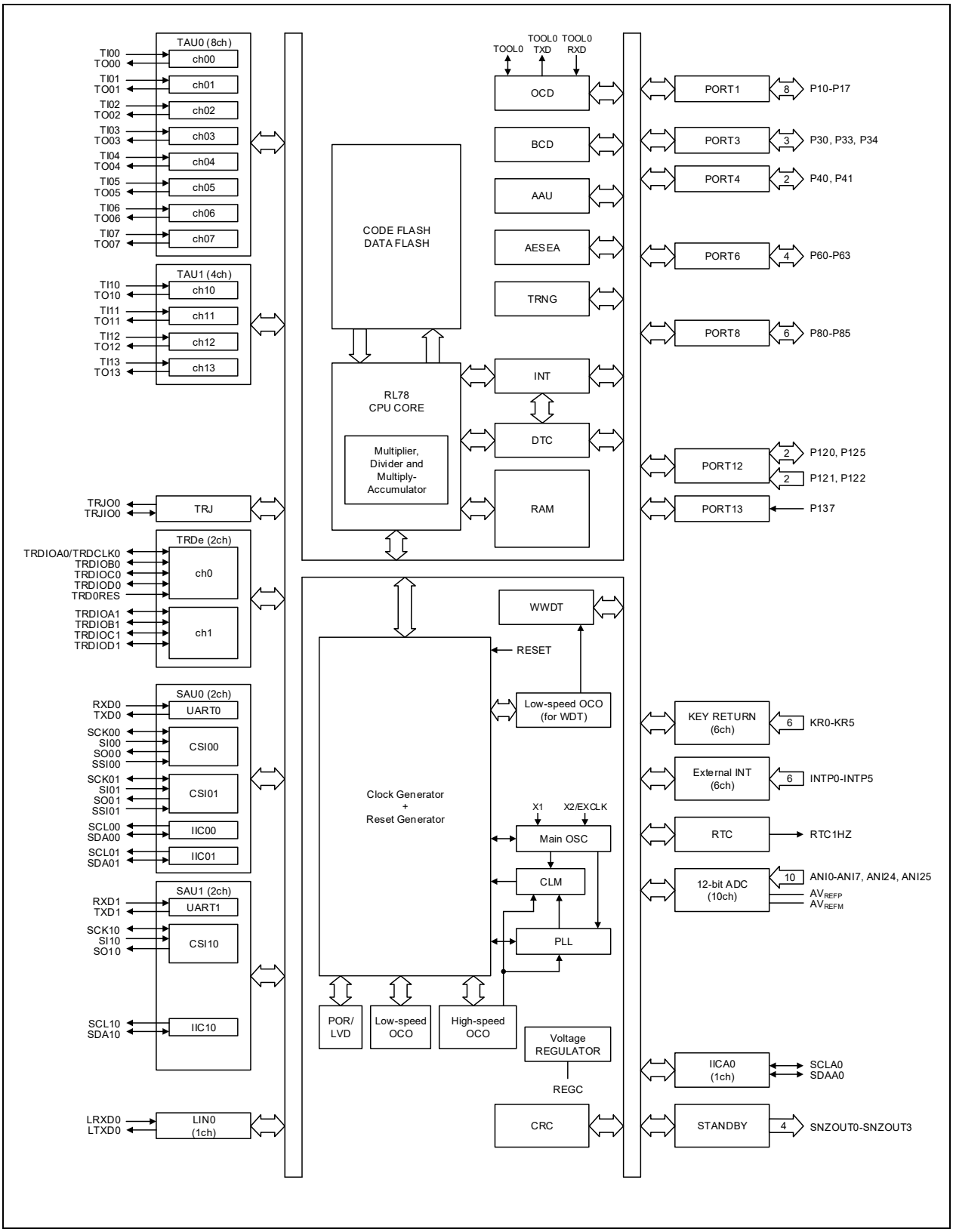
図 1－8 機能ブロック図



注意 グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

1.4.9 RL78/F23 R7F123FBG 32ピン版のブロック図

図 1－9 機能ブロック図

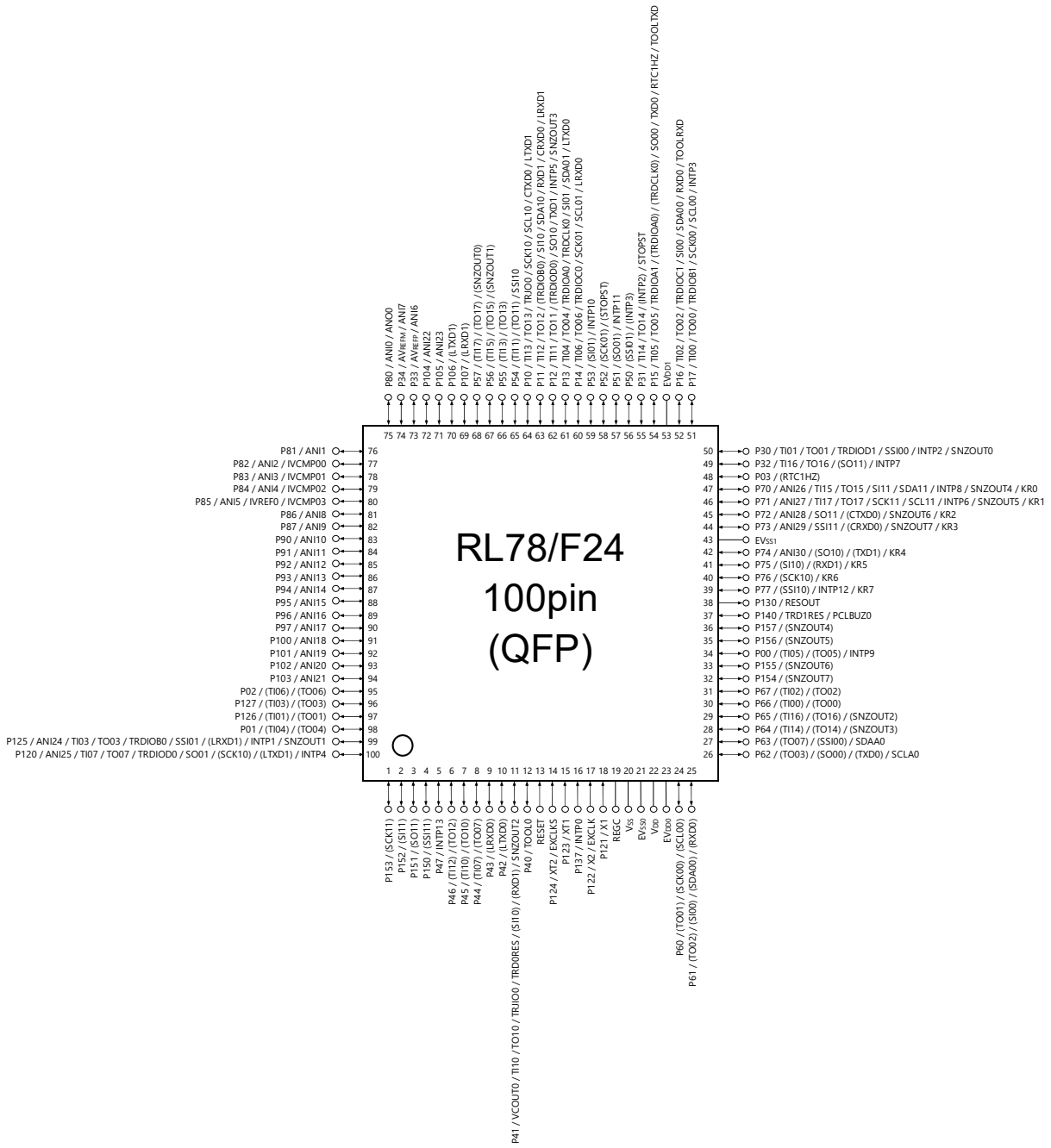


1.5　端子接続図

1.5.1　RL78/F24　100 ピン版の端子接続図

- RL78/F24：100 ピン・プラスチック QFP（ファイン・ピッチ）（14×14）

★ 図 1－10　RL78/F24 の 100 ピン版の端子接続図



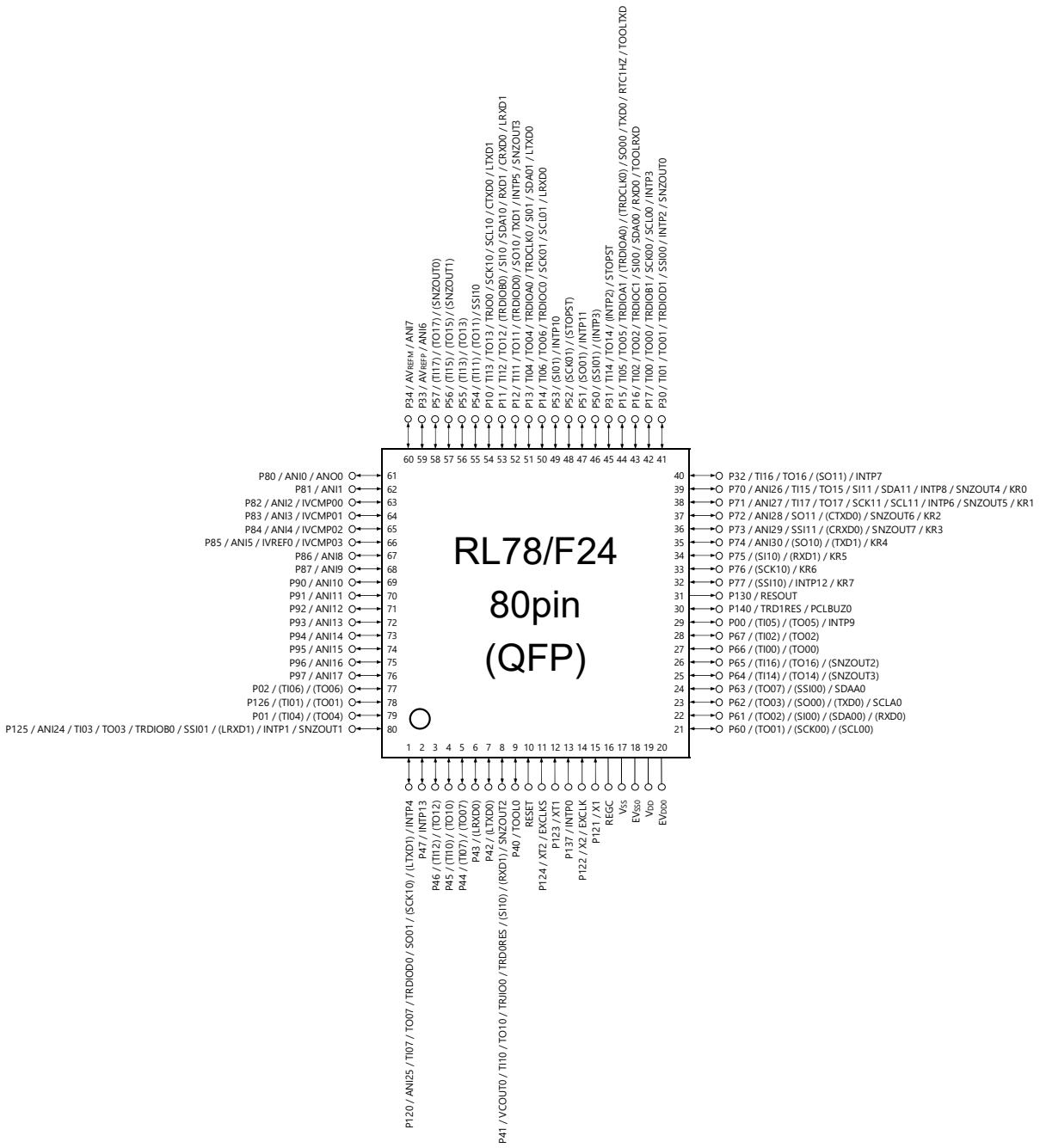
注意　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。P52 の STOPST 機能のみは，STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当てることができます。

1.5.2　RL78/F24　80 ピン版の端子接続図

- RL78/F24：80 ピン・プラスチック QFP（ファイン・ピッチ）（12×12）

★ 図 1－11　RL78/F24 の 80 ピン版の端子接続図



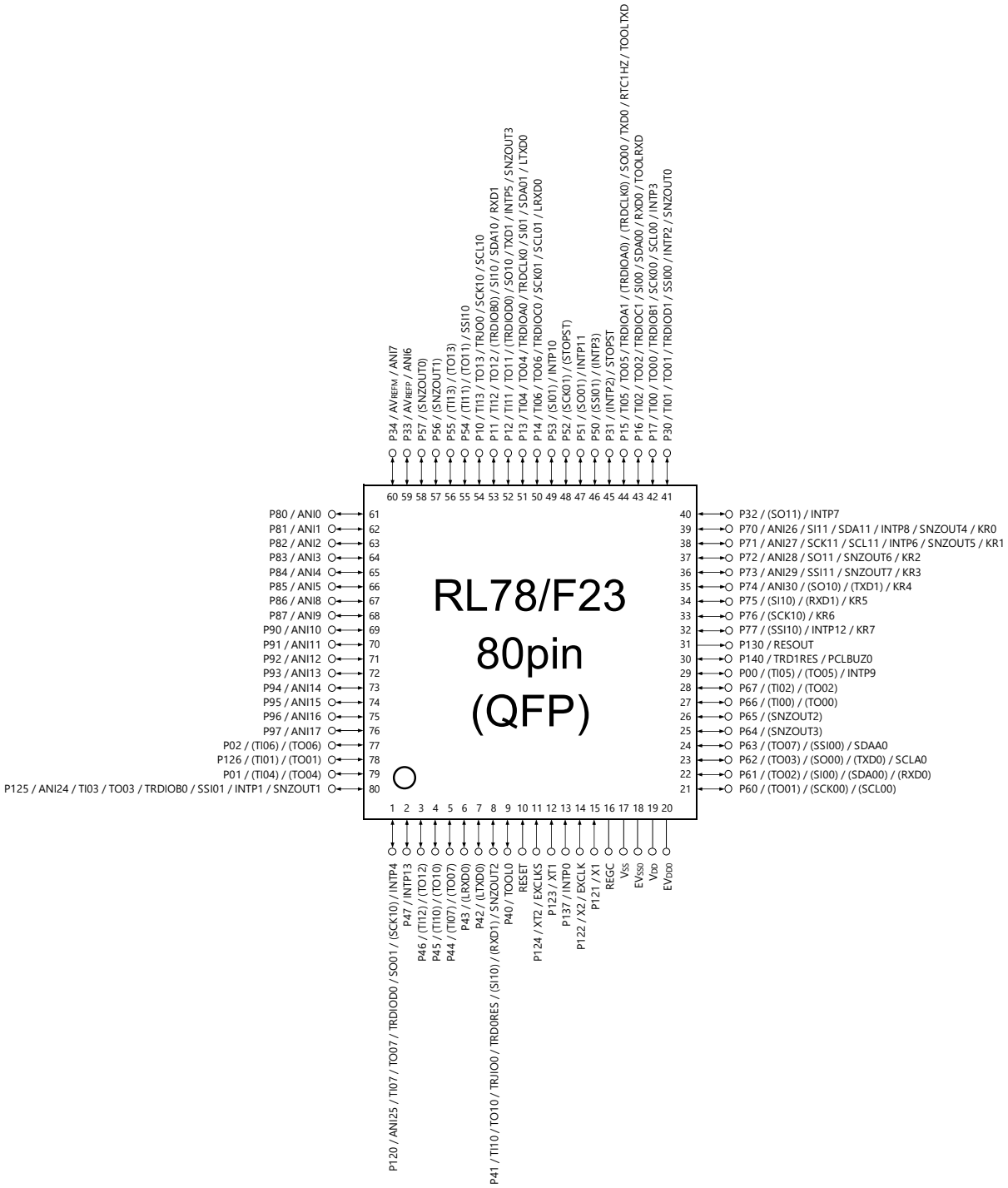
注意　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。P52 の STOPST 機能のみは，STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当てることができます。

1.5.3　RL78/F23　80 ピン版の端子接続図

- RL78/F23：80 ピン・プラスチック QFP（ファイン・ピッチ）（12×12）

★ 図 1－12　RL78/F23 の 80 ピン版の端子接続図



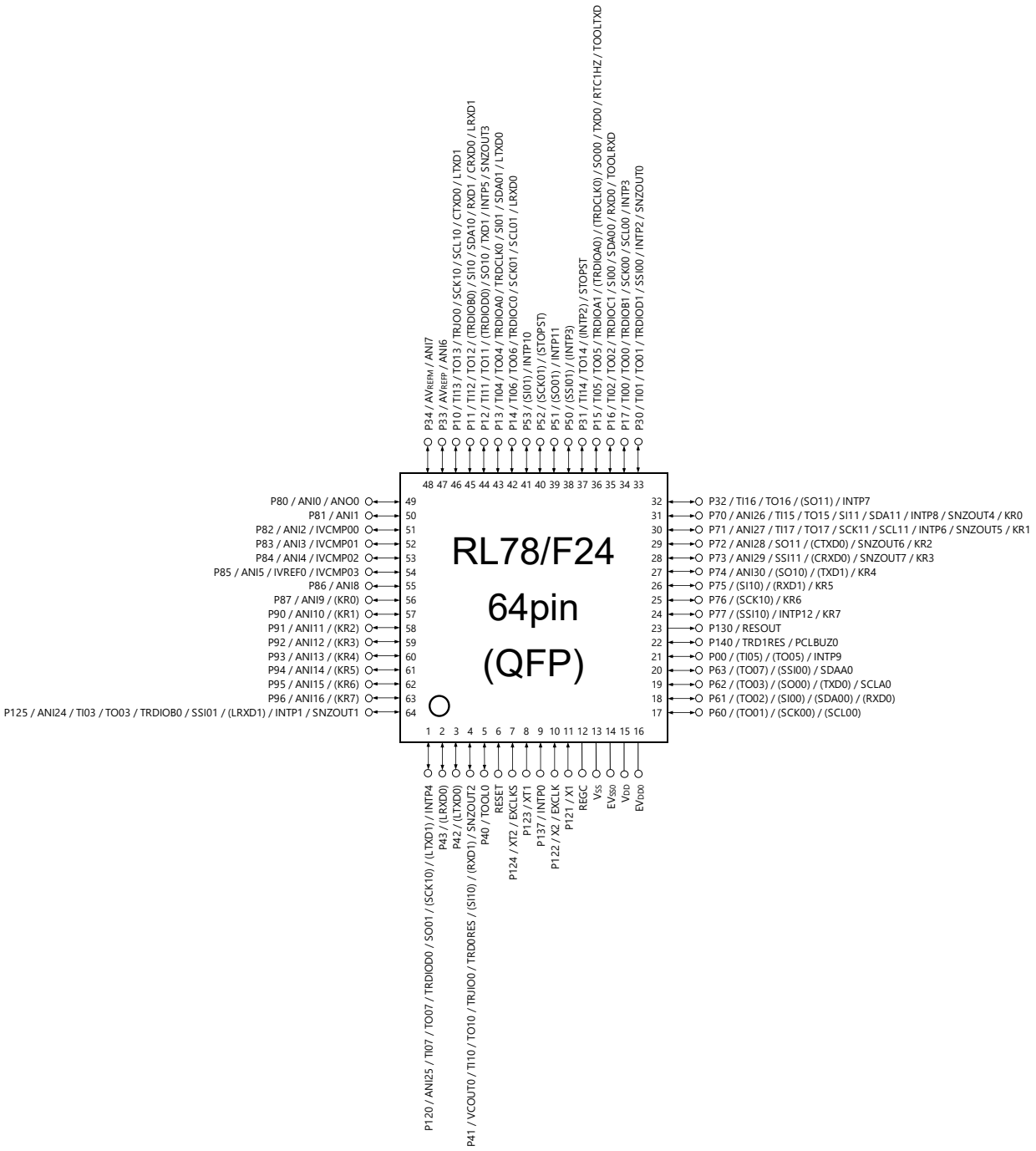
注意　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。P52 の STOPST 機能のみは，STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当てることができます。

1.5.4　RL78/F24　64 ピン版の端子接続図

- RL78/F24：64 ピン・プラスチック QFP（ファイン・ピッチ）（10×10）

★ 図 1－13　RL78/F24 の 64 ピン版の端子接続図



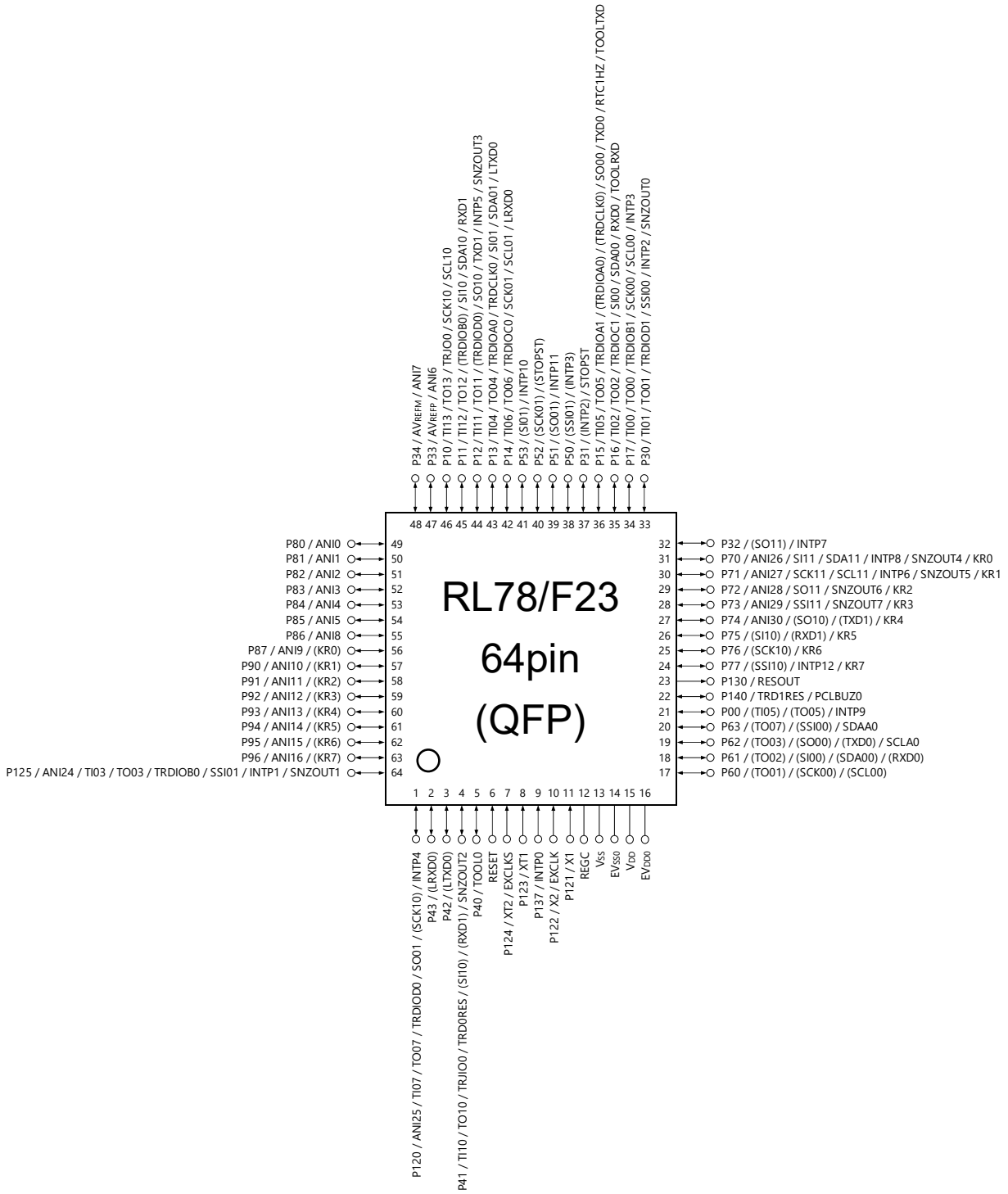
注意　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。P52 の STOPST 機能のみは，STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当てることができます。

1.5.5　RL78/F23　64 ピン版の端子接続図

- RL78/F23：64 ピン・プラスチック QFP（ファイン・ピッチ）（10×10）

★ 図 1－14　RL78/F23 の 64 ピン版の端子接続図



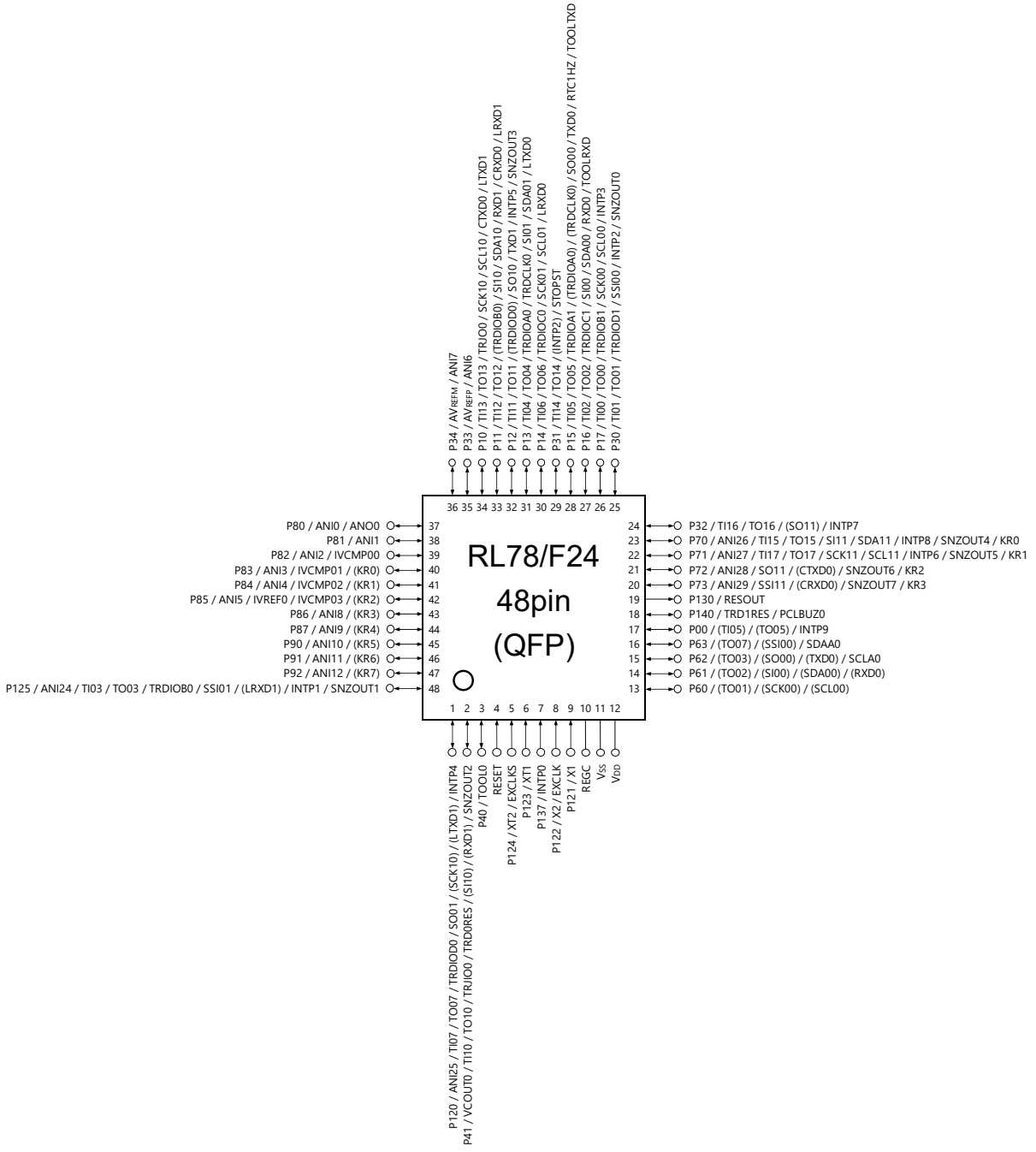
注意　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。P52 の STOPST 機能のみは，STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当てることができます。

1.5.6　RL78/F24　48 ピン版の端子接続図

- RL78/F24：48 ピン・プラスチック QFP

★ 図 1－15　RL78/F24 の 48 ピン版の端子接続図



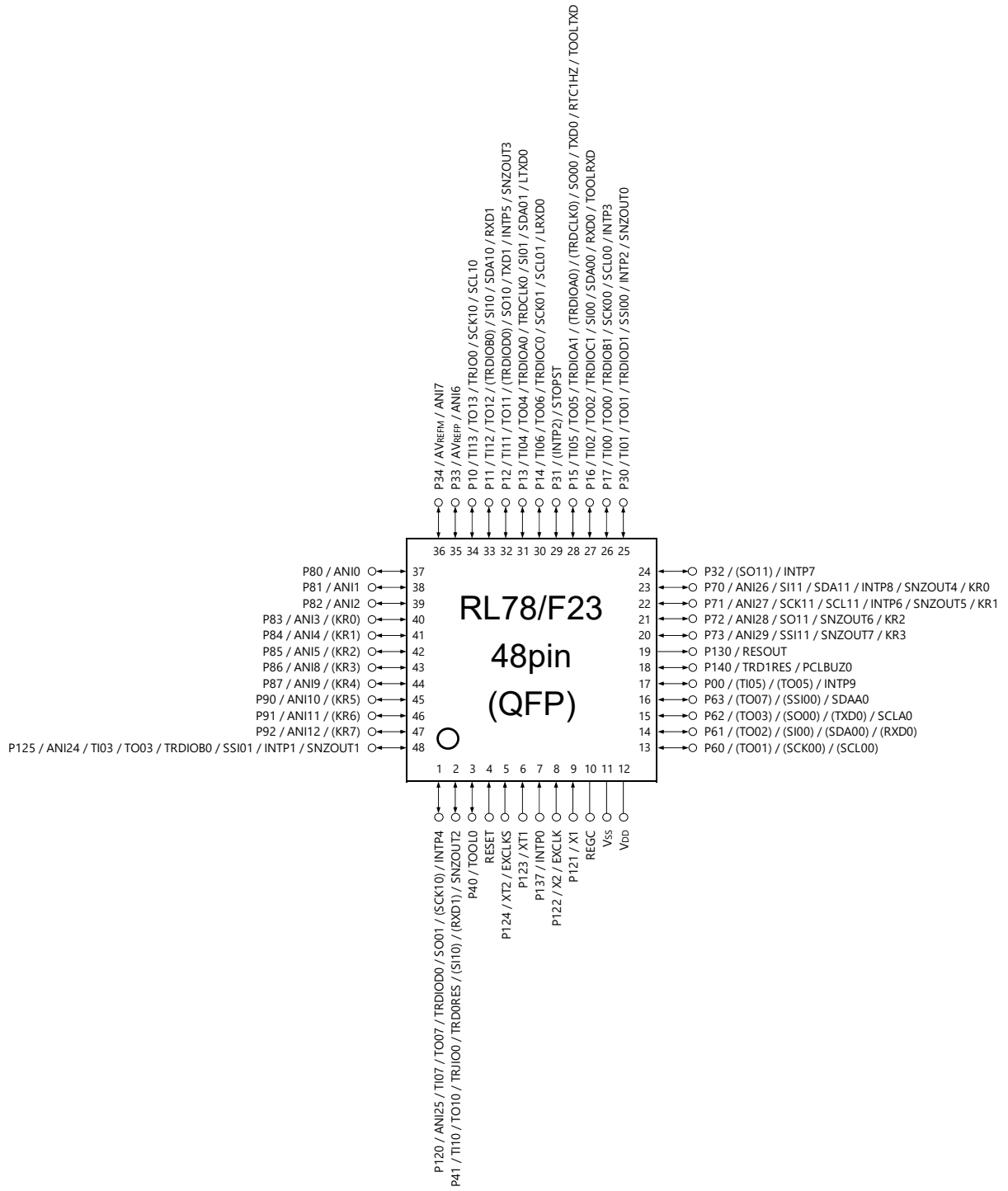
注意　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。

1.5.7　RL78/F23　48 ピン版の端子接続図

- RL78/F23：48 ピン・プラスチック QFP

★ 図 1－16　RL78/F23 の 48 ピン版の端子接続図



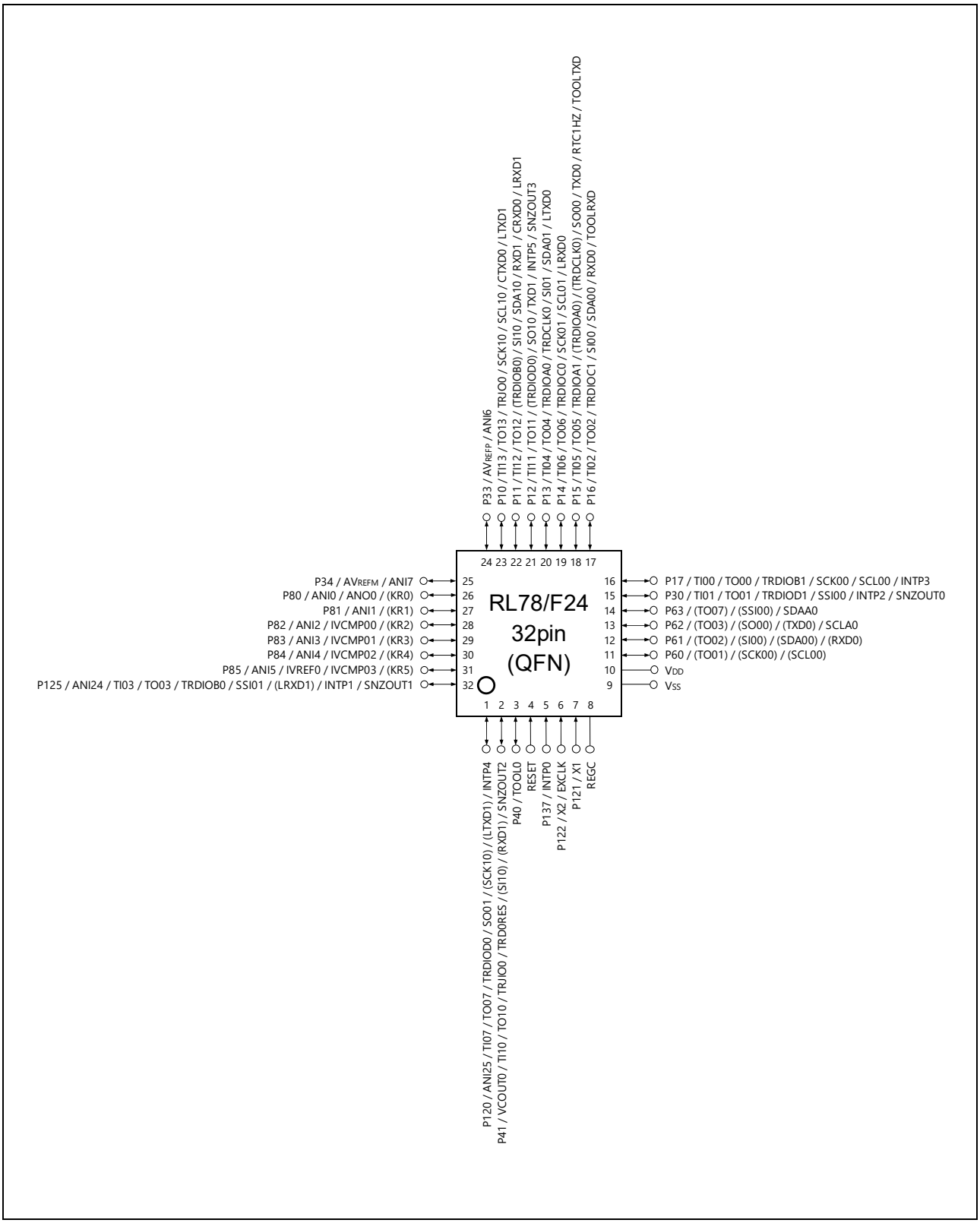
注意　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。

1.5.8　RL78/F24　32 ピン版の端子接続図

- RL78/F24：32 ピン・プラスチック QFN

★ 図 1－17　RL78/F24 の 32 ピン版の端子接続図

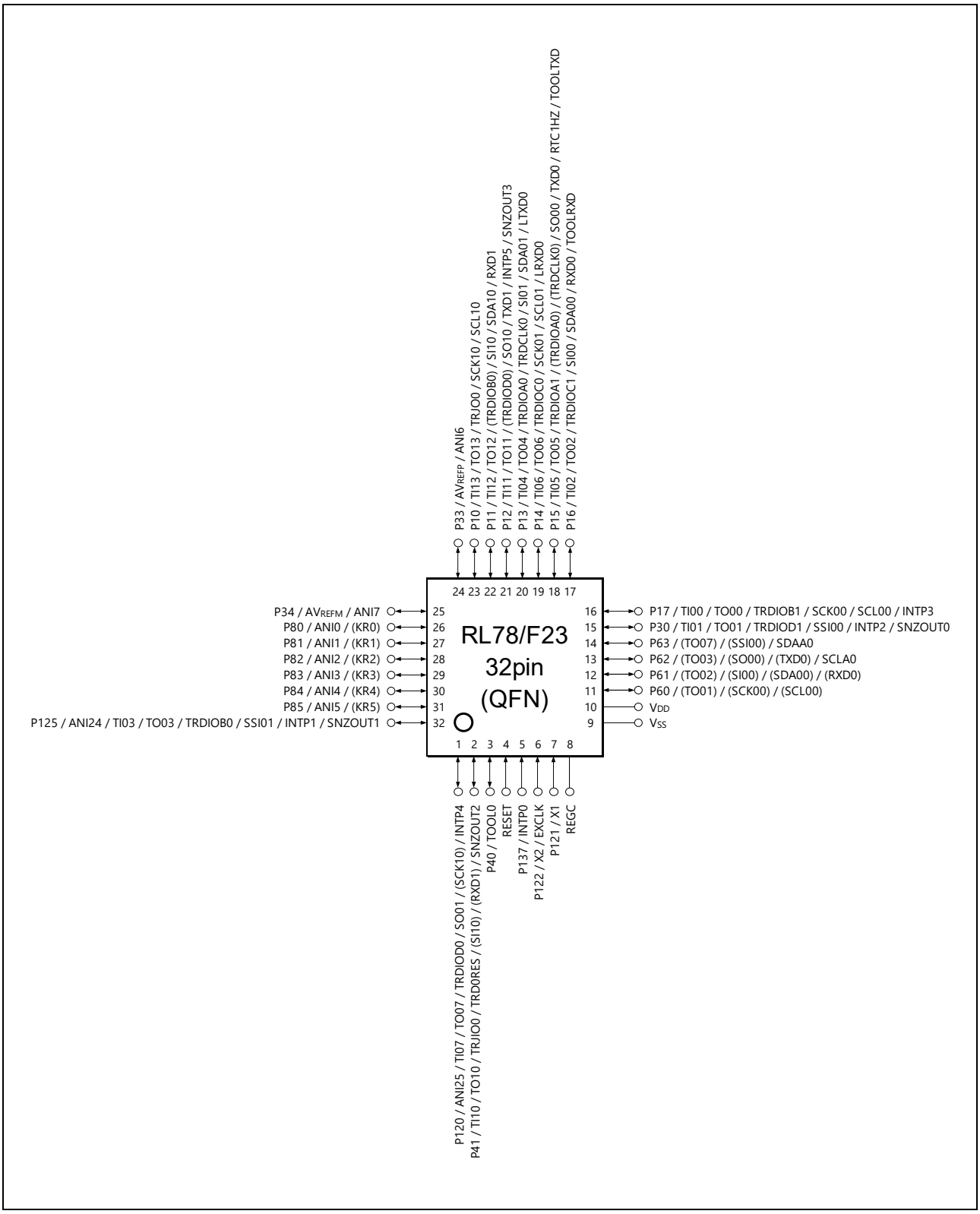


備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。

1.5.9　RL78/F23　32 ピン版の端子接続図

- RL78/F23：32 ピン・プラスチック QFN

★ 図 1－18　RL78/F23 の 32 ピン版の端子接続図



備考　カッコ内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当てることができます。

第2章　端子機能

2.1　端子機能一覧

端子の入出力バッファ電源は，製品によって異なります。表 2－1 に各電源と端子の関係を示します。

EV_{DD} は，EV_{DD0}/EV_{DD1} を表します。

表 2－1　各端子の入出力バッファ電源

(1) 32 ピン，48 ピン製品

電源	対応する端子
V_{DD}	すべての端子

(2) 64 ピン製品

電源	対応する端子
EV_{DD0}	・P33，P34，P80-P87，P90-P96，P121-P124，P137以外のポート端子
V_{DD}	・P33，P34，P80-P87，P90-P96，P121-P124，P137 ・ポート以外の端子

(3) 80 ピン製品

電源	対応する端子
EV_{DD0}	・P33，P34，P80-P87，P90-P97，P121-P124，P137以外のポート端子
V_{DD}	・P33，P34，P80-P87，P90-P97，P121-P124，P137 ・ポート以外の端子

(4) 100 ピン製品

電源	対応する端子
EV_{DD0}，EV_{DD1}	・P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137以外のポート端子
V_{DD}	・P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137 ・ポート以外の端子

ここでは，RL78/F24 の 100 ピン版と，RL78/F23 の 80 ピン版の製品を例に説明します。

2.1.1　RL78/F24 100 ピン版

（1/2）

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート 0 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P03				(RTC1HZ)
P10	入出力	ポート 1 P10, P11, P13, P14, P16, P17 の入力は TTL 入力バッファに設定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P10-P17 の出力は N-ch オープン・ドレイン出力に設定可能。 P10, P11, P13, P14, P16, P17 の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJO0/SCK10/SCL10/LTXD1/CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/SDA10/RXD1/LRXD1/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/SCK01/SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/(TRDCLK0)/SO00/TXD0/TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/SCK00/SCL00/INTP3
P30	入出力	ポート 3 P30 の入力は TTL 入力バッファに設定可能。 P33 および P34 はアナログ入力に設定可能。 P32 の出力は N-ch オープン・ドレイン出力に設定可能。 P30-P32 の入力はソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。P30 の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/SSI00/INTP2/SNZOUT0
P31				TI14/TO14/STOPST/(INTP2)
P32				TI16/TO16/(SO11)/INTP7
P33			アナログ入力ポート	AV_{REFP}/ANI6
P34				AV_{REFM}/ANI7
P40	入出力	ポート 4 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P41 および P43 の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/TRD0RES/(SI10)/(RXD1)/VCOUT0/SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				INTP13
P50	入出力	ポート 5 P54 の入力は TTL 入力バッファに設定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P50, P52-P54 の入力は閾値レベルの切り替え可能。	入力ポート	(SSI01)/(INTP3)
P51				(SO01)/INTP11
P52				(SCK01)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/SSI10
P55				(TI13)/(TO13)
P56				(TI15)/(TO15)/(SNZOUT1)
P57				(TI17)/(TO17)/(SNZOUT0)
P60	入出力	ポート 6 P62, P63 の入力は TTL 入力バッファに設定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P60-P63 の出力は N-ch オープン・ドレイン出力に設定可能。 P60-P63 の入力は閾値レベルの切り替え可能。	入力ポート	(TO01)/(SCK00)/(SCL00)
P61				(TO02)/(SI00)/(SDA00)/(RXD0)
P62				(TO03)/(SO00)/(TXD0)/SCLA0
P63				(TO07)/(SSI00)/SDAA0
P64				(TI14)/(TO14)/(SNZOUT3)
P65				(TI16)/(TO16)/(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。
P52 の STOPST 機能のみ，STOP ステータス出力制御レジスタ（STPSTC）の設定で割り当てることができます。

（2/2）

機能名称	入出力	機能	リセット時	兼用機能
P70	入出力	ポート 7 P70, P71, P73 の入力は TTL 入力バッファに設定可能。 P70-P74 はアナログ入力に設定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P70-P72 の出力は N-ch オープン・ドレイン出力に設定可能。 P70, P71, P73, P75-P77 の入力は閾値レベルの切り替え可能。	アナログ入力ポート	ANI26/KR0/TI15/TO15/INTP8/SI11/SDA11/SNZOUT4
P71				ANI27/KR1/TI17/TO17/INTP6/SCK11/SCL11/SNZOUT5
P72				ANI28/KR2/(CTXD0)/SO11/SNZOUT6
P73				ANI29/KR3/(CRXD0)/SSI11/SNZOUT7
P74				ANI30/KR4/(SO10)/(TXD1)
P75			入力ポート	KR5/(SI10)/(RXD1)
P76				KR6/(SCK10)
P77				KR7/(SSI10)/INTP12
P80	入出力	ポート 8 P80-P87 はアナログ入力に設定可能。	アナログ入力ポート	ANI0/ANO0
P81				ANI1
P82				ANI2/IVCMP00
P83				ANI3/IVCMP01
P84				ANI4/IVCMP02
P85				ANI5/IVCMP03/IVREF0
P86				ANI8
P87				ANI9
P90	入出力	ポート 9 P90-P97 はアナログ入力に設定可能。	アナログ入力ポート	ANI10
P91				ANI11
P92				ANI12
P93				ANI13
P94				ANI14
P95				ANI15
P96				ANI16
P97				ANI17
P100	入出力	ポート 10 P100-P105 はアナログ入力に設定可能。 P106, P107 はソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P107 の入力は閾値レベルの切り替え可能。	アナログ入力ポート	ANI18
P101				ANI19
P102				ANI20
P103				ANI21
P104				ANI22
P105				ANI23
P106			入力ポート	(LTXD1)
P107				(LRXD1)
P120	入出力	ポート 12 P125 の入力は TTL 入力バッファに設定可能。 P120, P125 はアナログ入力に設定可能。 P120, P125-P127 の入力はソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P120 の出力は N-ch オープン・ドレイン出力に設定可能。 P120 および P125 の入力は閾値レベルの切り替え可能。	アナログ入力ポート	ANI25/TI07/TO07/TRDIOD0/SO01/(SCK10)/(LTXD1)/INTP4
P121	入力		入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力		アナログ入力ポート	ANI24/TI03/TO03/TRDIOB0/SSI01/(LRXD1)/INTP1/SNZOUT1
P126			入力ポート	(TI01)/(TO01)
P127				(TI03)/(TO03)
P130	出力	ポート 13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート 14 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	TRD1RES/PCLBUZ0
P150	入出力	ポート 15 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P150, P152, P153 の入力は閾値レベルの切り替え可能。	入力ポート	(SSI11)
P151				(SO11)
P152				(SI11)
P153				(SCK11)
P154				(SNZOUT7)
P155				(SNZOUT6)
P156				(SNZOUT5)
P157				(SNZOUT4)

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

2.1.2　RL78/F23 80 ピン版

（1/2）

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート 0 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P10	入出力	ポート 1 P10, P11, P13, P14, P16, P17 の入力は TTL 入力バッファに設定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P10-P17 の出力は N-ch オープン・ドレイン出力に設定可能。 P10, P11, P13, P14, P16, P17 の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJO0/SCK10/SCL10
P11				TI12/TO12/(TRDIOB0)/SI10/SDA10/RXD1
P12				TI11/TO11/(TRDIOD0)/INTP5/SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/SCK01/SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/(TRDCLK0)/SO00/TXD0/TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/SCK00/SCL00/INTP3
P30	入出力	ポート 3 P30 の入力は TTL 入力バッファに設定可能。 P33 および P34 はアナログ入力に設定可能。 P32 の出力は N-ch オープン・ドレイン出力に設定可能。 P30-P32 の入力はソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P30 の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/SSI00/INTP2/SNZOUT0
P31				STOPST/(INTP2)
P32				(SO11)/INTP7
P33			アナログ入力ポート	AV_{REFP}/ANI6
P34				AV_{REFM}/ANI7
P40	入出力	ポート 4 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P41 および P43 の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/TRD0RES/(SI10)/(RXD1)/SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				INTP13
P50	入出力	ポート 5 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P50, P52-P54 の入力は閾値レベルの切り替え可能。 P54 の入力は TTL 入力バッファに設定可能。	入力ポート	(SSI01)/(INTP3)
P51				(SO01)/INTP11
P52				(SCK01)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/SSI10
P55				(TI13)/(TO13)
P56				(SNZOUT1)
P57				(SNZOUT0)
P60	入出力	ポート 6 P62, P63 の入力は TTL 入力バッファに設定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P60-P63 の出力は N-ch オープン・ドレイン出力に設定可能。 P60-P63 の入力は閾値レベルの切り替え可能。	入力ポート	(TO01)/(SCK00)/(SCL00)
P61				(TO02)/(SI00)/(SDA00)/(RXD0)
P62				(TO03)/(SO00)/(TXD0)/SCLA0
P63				(TO07)/(SSI00)/SDAA0
P64				(SNZOUT3)
P65				(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。
P52 の STOPST 機能のみ，STOP ステータス出力制御レジスタ（STPSTC）の設定で割り当てることができます。

（2/2）

機能名称	入出力	機能	リセット時	兼用機能
P70	入出力	ポート 7 P70, P71, P73 の入力は TTL 入力バッファに設定可能。 P70-P74 はアナログ入力に設定可能。 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P70-P72 の出力は N-ch オープン・ドレイン出力に設定可能。 P70, P71, P73, P75-P77 の入力は閾値レベルの切り替え可能。	アナログ入力ポート	ANI26/KR0/INTP8/SI11/SDA11/SNZOUT4
P71				ANI27/KR1/INTP6/SCK11/SCL11/SNZOUT5
P72				ANI28/KR2/SO11/SNZOUT6
P73				ANI29/KR3/SSI11/SNZOUT7
P74				ANI30/KR4/(SO10)/(TXD1)
P75			入力ポート	KR5/(SI10)/(RXD1)
P76				KR6/(SCK10)
P77				KR7/(SSI10)/INTP12
P80	入出力	ポート 8 P80-P87 はアナログ入力に設定可能。	アナログ入力ポート	ANI0
P81				ANI1
P82				ANI2
P83				ANI3
P84				ANI4
P85				ANI5
P86				ANI8
P87				ANI9
P90	入出力	ポート 9 P90-P97 はアナログ入力に設定可能。	アナログ入力ポート	ANI10
P91				ANI11
P92				ANI12
P93				ANI13
P94				ANI14
P95				ANI15
P96				ANI16
P97				ANI17
P120	入出力	ポート 12 P125 の入力は TTL 入力バッファに設定可能。 P120, P125 はアナログ入力に設定可能。 P120, P125, P126 の入力はソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。 P120 の出力は N-ch オープン・ドレイン出力に設定可能。 P120 および P125 の入力は閾値レベルの切り替え可能。	アナログ入力ポート	ANI25/TI07/TO07/TRDIOD0/SO01/(SCK10)/INTP4
P121	入力		入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力		アナログ入力ポート	ANI24/TI03/TO03/TRDIOB0/SSI01/INTP1/SNZOUT1
P126			入力ポート	(TI01)/(TO01)
P130	出力	ポート 13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート 14 ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。	入力ポート	TRD1RES/PCLBUZ0

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

2.1.3　製品別搭載端子（ポート以外の端子）

表 2－2～表 2－3 に搭載しているポート以外の端子を製品別に示します。

「○」は搭載，「–」は非搭載の端子を表しています。

表 2－2　RL78/F24 のポート以外の端子機能一覧（1/5）

端子機能	入出力	機能	端子数				
			100ピン	80ピン	64ピン	48ピン	32ピン
ANI0	入力	A/D コンバータのアナログ入力（高速）	○	○	○	○	○
ANI1	入力		○	○	○	○	○
ANI2	入力		○	○	○	○	○
ANI3	入力		○	○	○	○	○
ANI4	入力		○	○	○	○	○
ANI5	入力		○	○	○	○	○
ANI6	入力		○	○	○	○	○
ANI7	入力		○	○	○	○	○
ANI8	入力		○	○	○	○	–
ANI9	入力		○	○	○	○	–
ANI10	入力		○	○	○	○	–
ANI11	入力		○	○	○	○	–
ANI12	入力		○	○	○	○	–
ANI13	入力		○	○	○	–	–
ANI14	入力		○	○	○	–	–
ANI15	入力		○	○	○	–	–
ANI16	入力	A/D コンバータのアナログ入力（通常速度）	○	○	○	–	–
ANI17	入力		○	○	–	–	–
ANI18	入力		○	–	–	–	–
ANI19	入力		○	–	–	–	–
ANI20	入力		○	–	–	–	–
ANI21	入力		○	–	–	–	–
ANI22	入力		○	–	–	–	–
ANI23	入力		○	–	–	–	–
ANI24	入力		○	○	○	○	○
ANI25	入力		○	○	○	○	○
ANI26	入力		○	○	○	○	–
ANI27	入力		○	○	○	○	–
ANI28	入力		○	○	○	○	–
ANI29	入力		○	○	○	○	–
ANI30	入力		○	○	○	–	–
IVCMP00	入力	コンパレータのアナログ電圧入力	○	○	○	○	○
IVCMP01	入力		○	○	○	○	○
IVCMP02	入力		○	○	○	○	○
IVCMP03	入力		○	○	○	○	○
IVREF0	入力	コンパレータの基準電圧入力	○	○	○	○	○

表 2－2　RL78/F24 のポート以外の端子機能一覧（2/5）

端子機能	入出力	機能	端子数				
			100ピン	80ピン	64ピン	48ピン	32ピン
KR0	入力	キー割り込み入力	○	○	○	○	○
KR1	入力		○	○	○	○	○
KR2	入力		○	○	○	○	○
KR3	入力		○	○	○	○	○
KR4	入力		○	○	○	○	○
KR5	入力		○	○	○	○	○
KR6	入力		○	○	○	○	－
KR7	入力		○	○	○	○	－
ANO0	出力	D/A コンバータ出力	○	○	○	○	○
VCOUT0	出力	コンパレータ出力	○	○	○	○	○
TI00	入力	16 ビット・タイマ 00 入力	○	○	○	○	○
TI01	入力	16 ビット・タイマ 01 入力（8 ビット・モード可）	○	○	○	○	○
TI02	入力	16 ビット・タイマ 02 入力	○	○	○	○	○
TI03	入力	16 ビット・タイマ 03 入力（8 ビット・モード可）	○	○	○	○	○
TI04	入力	16 ビット・タイマ 04 入力	○	○	○	○	○
TI05	入力	16 ビット・タイマ 05 入力	○	○	○	○	○
TI06	入力	16 ビット・タイマ 06 入力	○	○	○	○	○
TI07	入力	16 ビット・タイマ 07 入力	○	○	○	○	○
TI10	入力	16 ビット・タイマ 10 入力	○	○	○	○	○
TI11	入力	16 ビット・タイマ 11 入力（8 ビット・モード可）	○	○	○	○	○
TI12	入力	16 ビット・タイマ 12 入力	○	○	○	○	○
TI13	入力	16 ビット・タイマ 13 入力（8 ビット・モード可）	○	○	○	○	○
TI14	入力	16 ビット・タイマ 14 入力	○	○	○	○	－
TI15	入力	16 ビット・タイマ 15 入力	○	○	○	○	－
TI16	入力	16 ビット・タイマ 16 入力	○	○	○	○	－
TI17	入力	16 ビット・タイマ 17 入力	○	○	○	○	－
TO00	出力	16 ビット・タイマ 00 出力	○	○	○	○	○
TO01	出力	16 ビット・タイマ 01 出力（8 ビット・モード可）	○	○	○	○	○
TO02	出力	16 ビット・タイマ 02 出力	○	○	○	○	○
TO03	出力	16 ビット・タイマ 03 出力（8 ビット・モード可）	○	○	○	○	○
TO04	出力	16 ビット・タイマ 04 出力	○	○	○	○	○
TO05	出力	16 ビット・タイマ 05 出力	○	○	○	○	○
TO06	出力	16 ビット・タイマ 06 出力	○	○	○	○	○
TO07	出力	16 ビット・タイマ 07 出力	○	○	○	○	○
TO10	出力	16 ビット・タイマ 10 出力	○	○	○	○	○
TO11	出力	16 ビット・タイマ 11 出力（8 ビット・モード可）	○	○	○	○	○
TO12	出力	16 ビット・タイマ 12 出力	○	○	○	○	○
TO13	出力	16 ビット・タイマ 13 出力（8 ビット・モード可）	○	○	○	○	○
TO14	出力	16 ビット・タイマ 14 出力	○	○	○	○	－
TO15	出力	16 ビット・タイマ 15 出力	○	○	○	○	－
TO16	出力	16 ビット・タイマ 16 出力	○	○	○	○	－
TO17	出力	16 ビット・タイマ 17 出力	○	○	○	○	－

表 2－2　RL78/F24 のポート以外の端子機能一覧（3/5）

端子機能	入出力	機能	端子数				
			100ピン	80ピン	64ピン	48ピン	32ピン
TRJIO0	入出力	タイマ RJ 入出力	○	○	○	○	○
TRJO0	出力	タイマ RJ 出力	○	○	○	○	○
TRDCLK0	入力	タイマ RDe 外部クロック入力	○	○	○	○	○
TRDIOA0	入出力	タイマ RDe0 入出力	○	○	○	○	○
TRDIOB0	入出力		○	○	○	○	○
TRDIOC0	入出力		○	○	○	○	○
TRDIOD0	入出力		○	○	○	○	○
TRDIOA1	入出力	タイマ RDe1 入出力	○	○	○	○	○
TRDIOB1	入出力		○	○	○	○	○
TRDIOC1	入出力		○	○	○	○	○
TRDIOD1	入出力		○	○	○	○	○
TRD0RES	入力	タイマ RDe0 外部タイマ・カウンタ・クリア・トリガ入力	○	○	○	○	○
TRD1RES	入力	タイマ RDe1 外部タイマ・カウンタ・クリア・トリガ入力	○	○	○	○	－
RXD0	入力	UART0 のシリアル・データ入力	○	○	○	○	○
RXD1	入力	UART1 のシリアル・データ入力	○	○	○	○	○
TXD0	出力	UART0 のシリアル・データ出力	○	○	○	○	○
TXD1	出力	UART1 のシリアル・データ出力	○	○	○	○	○
SCLA0	入出力	IICA0 のクロック入出力	○	○	○	○	○
SCL00	出力	簡易 I^2C のクロック出力	○	○	○	○	○
SCL01	出力		○	○	○	○	○
SCL10	出力		○	○	○	○	○
SCL11	出力		○	○	○	○	－
SDAA0	入出力	IICA0 のシリアル・データ入出力	○	○	○	○	○
SDA00	入出力	簡易 I^2C のシリアル・データ入出力	○	○	○	○	○
SDA01	入出力		○	○	○	○	○
SDA10	入出力		○	○	○	○	○
SDA11	入出力		○	○	○	○	－
SCK00	入出力	CSI00 のクロック入出力	○	○	○	○	○
SCK01	入出力	CSI01 のクロック入出力	○	○	○	○	○
SCK10	入出力	CSI10 のクロック入出力	○	○	○	○	○
SCK11	入出力	CSI11 のクロック入出力	○	○	○	○	－
SI00	入力	CSI00 のシリアル・データ入力	○	○	○	○	○
SI01	入力	CSI01 のシリアル・データ入力	○	○	○	○	○
SI10	入力	CSI10 のシリアル・データ入力	○	○	○	○	○
SI11	入力	CSI11 のシリアル・データ入力	○	○	○	○	－
SO00	出力	CSI00 のシリアル・データ出力	○	○	○	○	○
SO01	出力	CSI01 のシリアル・データ出力	○	○	○	○	○
SO10	出力	CSI10 のシリアル・データ出力	○	○	○	○	○
SO11	出力	CSI11 のシリアル・データ出力	○	○	○	○	－
SSI00	入力	CSI00（SPI00）のスレーブ選択入力	○	○	○	○	○
SSI01	入力	CSI01（SPI01）のスレーブ選択入力	○	○	○	○	○
SSI10	入力	CSI10（SPI10）のスレーブ選択入力	○	○	○	－	－
SSI11	入力	CSI11（SPI11）のスレーブ選択入力	○	○	○	○	－

表 2－2　RL78/F24 のポート以外の端子機能一覧（4/5）

端子機能	入出力	機能	端子数				
			100ピン	80ピン	64ピン	48ピン	32ピン
CRXD0	入力	CAN のシリアル・データ入力	○	○	○	○	○
CTXD0	出力	CAN のシリアル・データ出力	○	○	○	○	○
LRXD0	入力	LIN のシリアル・データ入力	○	○	○	○	○
LRXD1	入力		○	○	○	○	○
LTXD0	出力	LIN のシリアル・データ出力	○	○	○	○	○
LTXD1	出力		○	○	○	○	○
INTP0	入力	外部割り込み入力	○	○	○	○	○
INTP1	入力		○	○	○	○	○
INTP2	入力		○	○	○	○	○
INTP3	入力		○	○	○	○	○
INTP4	入力		○	○	○	○	○
INTP5	入力		○	○	○	○	○
INTP6	入力		○	○	○	○	－
INTP7	入力		○	○	○	○	－
INTP8	入力		○	○	○	○	－
INTP9	入力		○	○	○	○	－
INTP10	入力		○	○	○	－	－
INTP11	入力		○	○	○	－	－
INTP12	入力		○	○	○	－	－
INTP13	入力		○	○	－	－	－
PCLBUZ0	出力	クロック出力／ブザー出力 0	○	○	○	○	－
RESOUT	出力	リセット出力	○	○	○	○	－
STOPST	出力	STOP ステータス出力	○	○	○	○	－
SNZOUT0	出力	SNOOZE ステータス出力	○	○	○	○	○
SNZOUT1	出力		○	○	○	○	○
SNZOUT2	出力		○	○	○	○	○
SNZOUT3	出力		○	○	○	○	○
SNZOUT4	出力		○	○	○	○	－
SNZOUT5	出力		○	○	○	○	－
SNZOUT6	出力		○	○	○	○	－
SNZOUT7	出力		○	○	○	○	－
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz）出力	○	○	○	○	○

表 2－2　RL78/F24 のポート以外の端子機能一覧（5/5）

端子機能	入出力	機能	端子数				
			100ピン	80ピン	64ピン	48ピン	32ピン
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○	○	○
EXCLKS	入力	サブ・クロック用外部クロック入力	○	○	○	○	－
X1	－	メイン・システム・クロック用発振子接続	○	○	○	○	○
X2	－		○	○	○	○	○
XT1 注	－	サブシステム・クロック用発振子接続	○	○	○	○	－
XT2 注	－		○	○	○	○	－
RESET	入力	外部リセット入力	○	○	○	○	○
REGC	－	内部動作用レギュレータ出力安定容量接続。コンデンサ（0.47～1 μF）を介して V_{SS} に接続してください。	○	○	○	○	○
V_{DD}	－	P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137， RESET 端子の正電源	○	○	○	○	○
EV_{DD0}	－	V_{DD} 接続端子以外の正電源	○	○	○	－	－
EV_{DD1}	－		○	－	－	－	－
AV_{REFP}	入力	A/D コンバータの基準電位（+側）入力	○	○	○	○	○
AV_{REFM}	入力	A/D コンバータの基準電位（−側）入力	○	○	○	○	○
V_{SS}	－	P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137， RESET 端子のグランド電源	○	○	○	○	○
EV_{SS0}	－	V_{SS} 接続端子以外のグランド電位	○	○	○	－	－
EV_{SS1}	－		○	－	－	－	－
TOOLRXD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART 受信端子	○	○	○	○	○
TOOLTXD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART 送信端子	○	○	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力	○	○	○	○	○

注　グレード 5 製品では，XT1，XT2 端子を使用しないでください。

表 2－3　RL78/F23 のポート以外の端子機能一覧（1/5）

端子機能	入出力	機能	端子数			
			80ピン	64ピン	48ピン	32ピン
ANI0	入力	A/D コンバータのアナログ入力（高速）	○	○	○	○
ANI1	入力		○	○	○	○
ANI2	入力		○	○	○	○
ANI3	入力		○	○	○	○
ANI4	入力		○	○	○	○
ANI5	入力		○	○	○	○
ANI6	入力		○	○	○	○
ANI7	入力		○	○	○	○
ANI8	入力		○	○	○	－
ANI9	入力		○	○	○	－
ANI10	入力		○	○	○	－
ANI11	入力		○	○	○	－
ANI12	入力		○	○	○	－
ANI13	入力		○	○	－	－
ANI14	入力		○	○	－	－
ANI15	入力		○	○	－	－
ANI16	入力	A/D コンバータのアナログ入力（通常速度）	○	○	－	－
ANI17	入力		○	－	－	－
ANI24	入力		○	○	○	○
ANI25	入力		○	○	○	○
ANI26	入力		○	○	○	－
ANI27	入力		○	○	○	－
ANI28	入力		○	○	○	－
ANI29	入力		○	○	○	－
ANI30	入力		○	○	－	－
KR0	入力	キー割り込み入力	○	○	○	○
KR1	入力		○	○	○	○
KR2	入力		○	○	○	○
KR3	入力		○	○	○	○
KR4	入力		○	○	○	○
KR5	入力		○	○	○	○
KR6	入力		○	○	○	－
KR7	入力		○	○	○	－

表 2－3　RL78/F23 のポート以外の端子機能一覧（2/5）

端子機能	入出力	機能	端子数			
			80ピン	64ピン	48ピン	32ピン
TI00	入力	16 ビット・タイマ 00 入力	○	○	○	○
TI01	入力	16 ビット・タイマ 01 入力（8 ビット・モード可）	○	○	○	○
TI02	入力	16 ビット・タイマ 02 入力	○	○	○	○
TI03	入力	16 ビット・タイマ 03 入力（8 ビット・モード可）	○	○	○	○
TI04	入力	16 ビット・タイマ 04 入力	○	○	○	○
TI05	入力	16 ビット・タイマ 05 入力	○	○	○	○
TI06	入力	16 ビット・タイマ 06 入力	○	○	○	○
TI07	入力	16 ビット・タイマ 07 入力	○	○	○	○
TI10	入力	16 ビット・タイマ 10 入力	○	○	○	○
TI11	入力	16 ビット・タイマ 11 入力（8 ビット・モード可）	○	○	○	○
TI12	入力	16 ビット・タイマ 12 入力	○	○	○	○
TI13	入力	16 ビット・タイマ 13 入力（8 ビット・モード可）	○	○	○	○
TO00	出力	16 ビット・タイマ 00 出力	○	○	○	○
TO01	出力	16 ビット・タイマ 01 出力（8 ビット・モード可）	○	○	○	○
TO02	出力	16 ビット・タイマ 02 出力	○	○	○	○
TO03	出力	16 ビット・タイマ 03 出力（8 ビット・モード可）	○	○	○	○
TO04	出力	16 ビット・タイマ 04 出力	○	○	○	○
TO05	出力	16 ビット・タイマ 05 出力	○	○	○	○
TO06	出力	16 ビット・タイマ 06 出力	○	○	○	○
TO07	出力	16 ビット・タイマ 07 出力	○	○	○	○
TO10	出力	16 ビット・タイマ 10 出力	○	○	○	○
TO11	出力	16 ビット・タイマ 11 出力（8 ビット・モード可）	○	○	○	○
TO12	出力	16 ビット・タイマ 12 出力	○	○	○	○
TO13	出力	16 ビット・タイマ 13 出力（8 ビット・モード可）	○	○	○	○
TRJIO0	入出力	タイマ RJ 入出力	○	○	○	○
TRJO0	出力	タイマ RJ 出力	○	○	○	○
TRDCLK0	入力	タイマ RDe 外部クロック入力	○	○	○	○
TRDIOA0	入出力	タイマ RDe0 入出力	○	○	○	○
TRDIOB0	入出力		○	○	○	○
TRDIOC0	入出力		○	○	○	○
TRDIOD0	入出力		○	○	○	○
TRDIOA1	入出力	タイマ RDe1 入出力	○	○	○	○
TRDIOB1	入出力		○	○	○	○
TRDIOC1	入出力		○	○	○	○
TRDIOD1	入出力		○	○	○	○
TRD0RES	入力	タイマ RDe0 外部タイマ・カウンタ・クリア・トリガ入力	○	○	○	○
TRD1RES	入力	タイマ RDe1 外部タイマ・カウンタ・クリア・トリガ入力	○	○	○	－

表 2－3　RL78/F23 のポート以外の端子機能一覧（3/5）

端子機能	入出力	機能	端子数			
			80ピン	64ピン	48ピン	32ピン
RXD0	入力	UART0 のシリアル・データ入力	○	○	○	○
RXD1	入力	UART1 のシリアル・データ入力	○	○	○	○
TXD0	出力	UART0 のシリアル・データ出力	○	○	○	○
TXD1	出力	UART1 のシリアル・データ出力	○	○	○	○
SCLA0	入出力	IICA0 のクロック入出力	○	○	○	○
SCL00	出力	簡易 I^2C のクロック出力	○	○	○	○
SCL01	出力		○	○	○	○
SCL10	出力		○	○	○	○
SCL11	出力		○	○	○	－
SDAA0	入出力	IICA0 のシリアル・データ入出力	○	○	○	○
SDA00	入出力	簡易 I^2C のシリアル・データ入出力	○	○	○	○
SDA01	入出力		○	○	○	○
SDA10	入出力		○	○	○	○
SDA11	入出力		○	○	○	－
SCK00	入出力	CSI00 のクロック入出力	○	○	○	○
SCK01	入出力	CSI01 のクロック入出力	○	○	○	○
SCK10	入出力	CSI10 のクロック入出力	○	○	○	○
SCK11	入出力	CSI11 のクロック入出力	○	○	○	－
SI00	入力	CSI00 のシリアル・データ入力	○	○	○	○
SI01	入力	CSI01 のシリアル・データ入力	○	○	○	○
SI10	入力	CSI10 のシリアル・データ入力	○	○	○	○
SI11	入力	CSI11 のシリアル・データ入力	○	○	○	－
SO00	出力	CSI00 のシリアル・データ出力	○	○	○	○
SO01	出力	CSI01 のシリアル・データ出力	○	○	○	○
SO10	出力	CSI10 のシリアル・データ出力	○	○	○	○
SO11	出力	CSI11 のシリアル・データ出力	○	○	○	－
SSI00	入力	CSI00（SPI00）のスレーブ選択入力	○	○	○	○
SSI01	入力	CSI01（SPI01）のスレーブ選択入力	○	○	○	○
SSI10	入力	CSI10（SPI10）のスレーブ選択入力	○	○	－	－
SSI11	入力	CSI11（SPI11）のスレーブ選択入力	○	○	○	－
LRXD0	入力	LIN のシリアル・データ入力	○	○	○	○
LTXD0	出力	LIN のシリアル・データ出力	○	○	○	○

表 2－3　RL78/F23 のポート以外の端子機能一覧（4/5）

端子機能	入出力	機能	端子数			
			80ピン	64ピン	48ピン	32ピン
INTP0	入力	外部割り込み入力	○	○	○	○
INTP1	入力		○	○	○	○
INTP2	入力		○	○	○	○
INTP3	入力		○	○	○	○
INTP4	入力		○	○	○	○
INTP5	入力		○	○	○	○
INTP6	入力		○	○	○	－
INTP7	入力		○	○	○	－
INTP8	入力		○	○	○	－
INTP9	入力		○	○	○	－
INTP10	入力		○	○	－	－
INTP11	入力		○	○	－	－
INTP12	入力		○	○	－	－
INTP13	入力		○	－	－	－
PCLBUZ0	出力	クロック出力／ブザー出力 0	○	○	○	－
RESOUT	出力	リセット出力	○	○	○	－
STOPST	出力	STOP ステータス出力	○	○	○	－
SNZOUT0	出力	SNOOZE ステータス出力	○	○	○	○
SNZOUT1	出力		○	○	○	○
SNZOUT2	出力		○	○	○	○
SNZOUT3	出力		○	○	○	○
SNZOUT4	出力		○	○	○	－
SNZOUT5	出力		○	○	○	－
SNZOUT6	出力		○	○	○	－
SNZOUT7	出力		○	○	○	－
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz）出力	○	○	○	○

表 2－3　RL78/F23 のポート以外の端子機能一覧（5/5）

端子機能	入出力	機能	端子数			
			80ピン	64ピン	48ピン	32ピン
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○	○
EXCLKS	入力	サブ・クロック用外部クロック入力	○	○	○	－
X1	－	メイン・システム・クロック用発振子接続	○	○	○	○
X2	－		○	○	○	○
XT1 注	－	サブシステム・クロック用発振子接続	○	○	○	－
XT2 注	－		○	○	○	－
RESET	入力	外部リセット入力	○	○	○	○
REGC	－	内部動作用レギュレータ出力安定容量接続。コンデンサ（0.47～1 μF）を介して V_{SS} に接続してください。	○	○	○	○
V_{DD}	－	P33，P34，P80-P87，P90-P97，P121-P124，P137，RESET 端子の正電源	○	○	○	○
EV_{DD0}	－	V_{DD} 接続端子以外の正電源	○	○	－	－
AV_{REFP}	入力	A/D コンバータの基準電位（+側）入力	○	○	○	○
AV_{REFM}	入力	A/D コンバータの基準電位（−側）入力	○	○	○	○
V_{SS}	－	P33，P34，P80-P87，P90-P97，P121-P124，P137，RESET 端子のグランド電源	○	○	○	○
EV_{SS0}	－	V_{SS} 接続端子以外のグランド電位	○	○	－	－
TOOLRXD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART 受信端子	○	○	○	○
TOOLTXD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用 UART 送信端子	○	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力	○	○	○	○

注　グレード 5 製品では，XT1，XT2 端子を使用しないでください。

2.2　端子機能の説明

搭載している端子は各製品により異なります。詳細は，「1.5　端子接続図」を参照してください。ここでは，RL78/F24 の 100 ピン版と RL78/F23 の 80 ピン版の 2 つの製品仕様を例に，端子機能を説明します。

2.2.1　P00-P03（ポート 0）

入出力ポートです。入出力ポートのほかに，外部割り込み要求入力，タイマ入出力，リアルタイム・クロックの補正クロック出力機能があります。P03 は，RL78/F24 の 100 ピン版のみあります。

プルアップ抵抗オプション・レジスタ 0（PU0）の設定により，内蔵プルアップ抵抗を使用できます。

1 ビット単位で次のような動作モードを指定できます。

(1)　ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 0（PM0）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2)　コントロール・モード

外部割り込み要求入力，リアルタイム・クロックの補正クロック出力，タイマ入出力として機能します。

(a)　INTP9

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b)　RTC1HZ

リアルタイム・クロックの補正クロック（1 Hz）出力端子です。

(c)　TI04-TI06

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

(d)　TO04-TO06

16 ビット・タイマのタイマ出力端子です。

2.2.2　P10-P17（ポート 1）

入出力ポートです。入出力ポートのほかに，外部割り込み要求入力，リアルタイム・クロックの補正クロック出力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマ入出力，プログラミング UART 入出力，SNOOZE ステータス出力，LIN のシリアル・データ入出力，CAN のシリアル・データ入出力機能があります。

プルアップ抵抗オプション・レジスタ 1（PU1）の設定により，内蔵プルアップ抵抗を使用できます。

P10，P11，P13，P14，P16，P17 端子は，ポート入力モード・レジスタ 1（PIM1）の設定で CMOS 入力バッファか TTL 入力バッファを選択できます。

ポート出力モード・レジスタ 1（POM1）の設定で CMOS 出力か N-ch オープン・ドレイン出力を選択できます。

P10，P11，P13，P14，P16，P17 端子は，ポート入力閾値制御レジスタ 1（PITHL1）の設定で入力閾値レベルを選択できます。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 1（PM1）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

外部割り込み要求入力，リアルタイム・クロックの補正クロック出力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマ入出力，プログラミング UART 入出力，SNOOZE ステータス出力，LIN のシリアル・データ入出力，CAN のシリアル・データ入出力として機能します。

(a) INTP3，INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) RTC1HZ

リアルタイム・クロックの補正クロック（1 Hz）出力端子です。

(c) TXD0，TXD1

シリアル・インタフェース UART0 と UART1 のシリアル・データ出力端子です。

(d) RXD0，RXD1

シリアル・インタフェース UART0 と UART1 のシリアル・データ入力端子です。

(e) SCK00，SCK01，SCK10

シリアル・インタフェース CSI00，CSI01，CSI10 のシリアル・クロック入出力端子です。

(f) SI00，SI01，SI10

シリアル・インタフェース CSI00，CSI01，CSI10 のシリアル・データ入力端子です。

(g)　SO00，SO10

シリアル・インタフェース CSI00，CSI10 のシリアル・データ出力端子です。

(h)　TI00，TI02，TI04-TI06，TI11-TI13

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

(i)　TO00，TO02，TO04-TO06，TO11-TO13

16 ビット・タイマのタイマ出力端子です。

(j)　SDA00，SDA01，SDA10

シリアル・インタフェース簡易 I^2C のシリアル・データ入出力端子です。

(k)　SCL00，SCL01，SCL10

シリアル・インタフェース簡易 I^2C のシリアル・クロック出力端子です。

(l)　TRDIOA0，TRDIOB0，TRDIOC0，TRDIOD0，TRDIOA1，TRDIOB1，TRDIOC1

タイマ RDe のタイマ入出力端子です。

(m)　TRDCLK0

タイマ RDe への外部クロック入力端子です。

(n)　TRJO0

タイマ RJ のタイマ出力端子です。

(o)　LTXD0，LTXD1

LIN のシリアル・データ出力端子です。LTXD1 は，RL78/F24 のみあります。

(p)　LRXD0，LRXD1

LIN のシリアル・データ入力端子です。LRXD1 は，RL78/F24 のみあります。

(q)　CTXD0

CAN のシリアル・データ出力端子です。CTXD0 は，RL78/F24 のみあります。

(r)　CRXD0

CAN のシリアル・データ入力端子です。CRXD0 は，RL78/F24 のみあります。

(s)　TOOLTXD

フラッシュ・メモリ・プログラミング時に使用する，外部デバイス接続用の UART シリアル・データ出力端子です。

(t)　TOOLRXD

フラッシュ・メモリ・プログラミング時に使用する，外部デバイス接続用の UART シリアル・データ入力端子です。

(u)　SNZOUT3

SNOOZE ステータス出力端子です。

2.2.3　P30-P34（ポート 3）

入出力ポートです。入出力ポートのほかに，A/D コンバータのアナログ入力，A/D コンバータの基準電位入力，外部割り込み要求入力，シリアル・インタフェースのスレーブ・セレクト入力，シリアル・インタフェースのデータ出力，タイマ入出力，SNOOZE ステータス出力，STOP ステータス出力機能があります。

P30-P32 端子は，プルアップ抵抗オプション・レジスタ 3（PU3）の設定により，内蔵プルアップ抵抗を使用できます。

P30 端子は，ポート入力モード・レジスタ 3（PIM3）の設定で CMOS 入力バッファか TTL 入力バッファを選択できます。

P32 端子は，ポート出力モード・レジスタ 3（POM3）の設定で CMOS 出力か N-ch オープン・ドレイン出力を選択できます。

P30 端子は，ポート入力閾値制御レジスタ 3（PITHL3）の設定で入力閾値レベルを選択できます。

P33 および P34 端子の入力は，ポート・モード・コントロール・レジスタ 3（PMC3）の設定により，1 ビット単位でデジタル／アナログ入力の設定が必要です。

1 ビット単位で次のような動作モードを指定できます。

(1)　ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 3（PM3）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2)　コントロール・モード

A/D コンバータのアナログ入力，A/D コンバータの基準電位入力，外部割り込み要求入力，シリアル・インタフェースのスレーブ・セレクト入力，シリアル・インタフェースのデータ出力，タイマ入出力，SNOOZE ステータス出力，STOP ステータス出力として機能します。

(a)　ANI6，ANI7

A/D コンバータのアナログ入力端子（高速）として機能します。詳細は「12.7.12 ④, ⑤」を参照してください。

(b)　AV_{REFP}

A/D コンバータの基準電位（＋側）入力端子です。

(c)　AV_{REFM}

A/D コンバータの基準電位（－側）入力端子です。

(d)　INTP2，INTP7

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(e)　SSI00

シリアル・インタフェース CSI00（SPI00）のスレーブ・セレクト入力端子です。

(f)　TI01，TI14，TI16

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。TI14 と TI16 は，RL78/F24 のみあります。

(g)　TO01，TO14，TO16

16 ビット・タイマのタイマ出力端子です。TO14 と TO16 は，RL78/F24 のみあります。

(h)　SNZOUT0

SNOOZE ステータス出力端子です。

(i)　TRDIOD1

タイマ RDe のタイマ出力端子です。

(j)　STOPST

STOP ステータス出力端子です。

(k)　SO11

シリアル・インタフェース CSI11 のシリアル・データ出力端子です。

2.2.4　P40-P47（ポート 4）

入出力ポートです。入出力ポートのほかに，フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力，タイマ入出力，コンパレータ出力，外部割り込み要求入力，SNOOZE ステータス出力，シリアル・インタフェースのデータ入力，タイマ RDe カウンタ・クリア・トリガ入力，LIN のシリアル・データ
入出力機能があります。

プルアップ抵抗オプション・レジスタ 4（PU4）の設定により，内蔵プルアップ抵抗を使用できます。

P41 および P43 端子は，ポート入力閾値制御レジスタ 4（PITHL4）の設定で入力閾値レベルを選択できます。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 4（PM4）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力，タイマ入出力，コンパレータ出力，外部割り込み要求入力，SNOOZE ステータス出力，シリアル・インタフェースのデータ入力，タイマ RDe カウンタ・クリア・トリガ入力，LIN のシリアル・データ入出力として機能します。

(a) TOOL0

フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は，必ず外部でプルアップしてください（プルダウン禁止）。

(b) TI07，TI10，TI12

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

(c) TO07，TO10，TO12

16 ビット・タイマのタイマ出力端子です。

(d) TRJIO0

タイマ RJ のタイマ入出力端子です。

(e) VCOUT0

コンパレータ出力端子です。RL78/F24 のみあります。

(f) INTP13

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(g) SNZOUT2

SNOOZE ステータス出力端子です。

(h)　LTXD0

LIN のシリアル・データ出力端子です。

(i)　LRXD0

LIN のシリアル・データ入力端子です。

(j)　TRD0RES

タイマ RDe の外部タイマ・カウンタ・クリア・トリガ入力端子です。

(k)　RXD1

シリアル・インタフェース UART1 のシリアル・データ入力端子です。

(l)　SI10

シリアル・インタフェース CSI10 のシリアル・データ入力端子です。

注意　リセット解除時の P40/TOOL0 と動作モードとの関係は，次のようになります。

表 2－4　リセット解除時の P40/TOOL0 と動作モードとの関係

P40/TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は「32.5　シリアル・プログラミング方法」を参照してください。

2.2.5　P50-P57（ポート 5）

入出力ポートです。入出力ポートのほかに，外部割り込み要求入力，シリアル・インタフェースのスレーブ・セレクト入力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマ入出力，SNOOZE ステータス出力，STOP ステータス出力機能があります。

プルアップ抵抗オプション・レジスタ 5（PU5）の設定により，内蔵プルアップ抵抗を使用できます。

P54 端子は，ポート入力モード・レジスタ 5（PIM5）の設定で CMOS 入力バッファか TTL 入力バッファを選択できます。

P50，P52-P54 端子は，ポート入力閾値制御レジスタ 5（PITHL5）の設定で入力閾値レベルを選択できます。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 5（PM5）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

外部割り込み要求入力，シリアル・インタフェースのスレーブ・セレクト入力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマ入出力，SNOOZE ステータス出力，STOP ステータス出力として機能します。

(a) INTP3，INTP10，INTP11

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) SSI01

シリアル・インタフェース CSI01（SPI01）のスレーブ・セレクト入力端子です。

(c) SSI10

シリアル・インタフェース CSI10（SPI10）のスレーブ・セレクト入力端子です。

(d) SCK01

シリアル・インタフェース CSI01 のシリアル・クロック入出力端子です。

(e) SI01

シリアル・インタフェース CSI01 のシリアル・データ入力端子です。

(f) SO01

シリアル・インタフェース CSI01 のシリアル・データ出力端子です。

(g) TI11，TI13，TI15，TI17

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。TI15 と TI17 は，RL78/F24 のみあります。

(h)　TO11，TO13，TO15，TO17

16 ビット・タイマのタイマ出力端子です。TO15 と TO17 は，RL78/F24 のみあります。

(i)　SNZOUT0，SNZOUT1

SNOOZE ステータス出力端子です。

(j)　STOPST

STOP ステータス出力端子です。

2.2.6　P60-P67（ポート 6）

入出力ポートです。入出力ポートのほかに，シリアル・インタフェースのデータ入出力，クロック入出力，スレーブ・セレクト入力，タイマ入出力，SNOOZE ステータス出力機能があります。

プルアップ抵抗オプション・レジスタ 6（PU6）の設定により，内蔵プルアップ抵抗を使用できます。

P62，P63 端子は，ポート入力モード・レジスタ 6（PIM6）の設定で CMOS 入力バッファか TTL 入力バッファを選択できます。

P60-P63 端子は，ポート出力モード・レジスタ 6（POM6）の設定で CMOS 出力か N-ch オープン・ドレイン出力を選択できます。

P60-P63 端子は，ポート入力閾値制御レジスタ 6（PITHL6）の設定で入力閾値レベルを選択できます。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 6（PM6）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

シリアル･インタフェースのデータ入出力, クロック入出力, スレーブ･セレクト入力, タイマ入出力, SNOOZE ステータス出力として機能します。

(a) SCLA0

シリアル・インタフェース IICA0 のシリアル・クロック入出力端子です。

(b) SDAA0

シリアル・インタフェース IICA0 のシリアル・データ入出力端子です。

(c) SSI00

シリアル・インタフェース CSI00（SPI00）のスレーブ・セレクト入力端子です。

(d) SCK00

シリアル・インタフェース CSI00 のシリアル・クロック入出力端子です。

(e) SI00

シリアル・インタフェース CSI00 のシリアル・データ入力端子です。

(f) SO00

シリアル・インタフェース CSI00 のシリアル・データ出力端子です。

(g) TXD0

シリアル・インタフェース UART0 のシリアル・データ出力端子です。

(h) RXD0

シリアル・インタフェース UART0 のシリアル・データ入力端子です。

(i)　SCL00

シリアル・インタフェース簡易 I^2C のシリアル・クロック出力端子です。

(j)　SDA00

シリアル・インタフェース簡易 I^2C のシリアル・データ入出力端子です。

(k)　TI00，TI02，TI14，TI16

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。TI14 と TI16 は，RL78/F24 のみあります。

(l)　TO00，TO01，TO02，TO03，TO07，TO14，TO16

16 ビット・タイマのタイマ出力端子です。TO14 と TO16 は，RL78/F24 のみあります。

(m)　SNZOUT2，SNZOUT3

SNOOZE ステータス出力端子です。

2.2.7　P70-P77（ポート 7）

入出力ポートです。入出力ポートのほかに，A/D コンバータのアナログ入力，外部割り込み要求入力，キー割り込み入力，シリアル・インタフェースのスレーブ・セレクト入力，データ入出力，クロック入出力，タイマ入出力，SNOOZE ステータス出力，CAN のシリアル・データ入出力機能があります。

プルアップ抵抗オプション・レジスタ 7（PU7）の設定により，内蔵プルアップ抵抗を使用できます。

P70，P71，P73 端子は，ポート入力モード・レジスタ 7（PIM7）の設定で CMOS 入力バッファか TTL 入力バッファを選択できます。

P70-P72 端子は，ポート出力モード・レジスタ 7（POM7）の設定で CMOS 出力か N-ch オープン・ドレイン出力を選択できます。

P70，P71，P73，P75-P77 端子は，ポート入力閾値制御レジスタ 7（PITHL7）の設定で入力閾値レベルを選択できます。

P70-P74 端子の入力は，ポート・モード・コントロール・レジスタ 7（PMC7）の設定により，1 ビット単位でデジタル／アナログ入力の設定が必要です。

1 ビット単位で次のような動作モードを指定できます。

(1)　ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 7（PM7）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2)　コントロール・モード

A/D コンバータのアナログ入力，外部割り込み要求入力，キー割り込み入力，シリアル・インタフェースのスレーブ・セレクト入力，データ入出力，クロック入出力，タイマ入出力，SNOOZE ステータス出力，CAN のシリアル・データ入出力として機能します。

(a)　ANI26-ANI30

A/D コンバータのアナログ入力端子（通常速度）として機能します。詳細は「12.7.12 ④，⑤」を参照してください。

(b)　INTP6，INTP8，INTP12

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(c)　KR0-KR7

キー割り込み入力端子です。

(d)　SSI10，SSI11

シリアル・インタフェース CSI10（SPI10），CSI11（SPI11）のスレーブ・セレクト入力端子です。

(e)　SI10，SI11

シリアル・インタフェース CSI10，CSI11 のシリアル・データ入力端子です。

(f)　SO10，SO11

シリアル・インタフェース CSI10，CSI11 のシリアル・データ出力端子です。

(g)　TXD1

シリアル・インタフェース UART1 のシリアル・データ出力端子です。

(h)　RXD1

シリアル・インタフェース UART1 のシリアル・データ入力端子です。

(i)　SCK10，SCK11

シリアル・インタフェース CSI10，CSI11 のシリアル・クロック入出力端子です。

(j)　SCL11

シリアル・インタフェース簡易 I^2C のシリアル・クロック出力端子です。

(k)　SDA11

シリアル・インタフェース簡易 I^2C のシリアル・データ入出力端子です。

(l)　TI15，TI17

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。RL78/F24 のみあります。

(m)　TO15，TO17

16 ビット・タイマのタイマ出力端子です。RL78/F24 のみあります。

(n)　CTXD0

CAN のシリアル・データ出力端子です。RL78/F24 のみあります。

(o)　CRXD0

CAN のシリアル・データ入力端子です。RL78/F24 のみあります。

(p)　SNZOUT4-SNZOUT7

SNOOZE ステータス出力端子です。

2.2.8　P80-P87（ポート 8）

入出力ポートです。入出力ポートのほかに，A/D コンバータのアナログ入力，D/A コンバータ出力，コンパレータの基準電圧入力，コンパレータのアナログ電圧入力として機能します。

P80-P87 端子の入力は，ポート・モード・コントロール・レジスタ 8（PMC8）の設定により，1 ビット単位でデジタル／アナログ入力の設定が必要です。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 8（PM8）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/D コンバータのアナログ入力，D/A コンバータ出力，コンパレータの基準電圧入力，コンパレータのアナログ電圧入力として機能します。

(a) ANI0-ANI5，ANI8，ANI9

A/D コンバータのアナログ入力端子（高速）として機能します。詳細は「12.7.12 ④，⑤」を参照してください。

(b) ANO0

D/A コンバータ出力端子です。RL78/F24 のみあります。

(c) IVCMP00-IVCMP03

コンパレータのアナログ電圧入力端子です。RL78/F24 のみあります。

(d) IVREF0

コンパレータの基準電圧入力端子です。RL78/F24 のみあります。

2.2.9　P90-P97（ポート 9）

入出力ポートです。入出力ポートのほかに A/D コンバータのアナログ入力機能があります。

P90-P97 端子の入力は，ポート・モード・コントロール・レジスタ 9（PMC9）の設定により，1 ビット単位でデジタル／アナログ入力の設定が必要です。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 9（PM9）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/D コンバータのアナログ入力として機能します。

(a) ANI10-ANI15

A/D コンバータのアナログ入力端子（高速）として機能します。詳細は「12.7.12 ④, ⑤」を参照してください。

(b) ANI16-ANI17

A/D コンバータのアナログ入力端子（通常速度）として機能します。詳細は「12.7.12 ④, ⑤」を参照してください。

2.2.10 P100-P107（ポート 10）

入出力ポートです。RL78/F24 の 100 ピン版のみあります。入出力ポートのほかに A/D コンバータのアナログ入力，LIN のシリアル・データ入出力機能があります。

P106，P107 端子は，プルアップ抵抗オプション・レジスタ 10（PU10）の設定により，内蔵プルアップ抵抗を使用できます。

P107 端子は，ポート入力閾値制御レジスタ 10（PITHL10）の設定で入力閾値レベルを選択できます。

P100-P105 端子の入力は，ポート・モード・コントロール・レジスタ 10（PMC10）の設定により，1 ビット単位でデジタル／アナログ入力の設定が必要です。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 10（PM10）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/D コンバータのアナログ入力，LIN のシリアル・データ入出力として機能します。

(a) ANI18-ANI23

A/D コンバータのアナログ入力端子（通常速度）として機能します。詳細は「12.7.12 ④，⑤」を参照してください。

(b) LTXD1

LIN のシリアル・データ出力端子です。LTXD1 は，RL78/F24 のみあります。

(c) LRXD1

LIN のシリアル・データ入力端子です。LRXD1 は，RL78/F24 のみあります。

2.2.11 P120-P127（ポート 12）

P120，P125-P127 端子は入出力ポートとして機能し，P121-P124 は入力ポートとして機能します。P127 は，RL78/F24 の 100 ピン版のみあります。入出力ポートのほかに，A/D コンバータのアナログ入力，外部割り込み要求入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力，シリアル・インタフェースのスレーブ・セレクト入力，シリアル・インタフェースのデータ出力，シリアル・クロック入出力，タイマ入出力，LIN のシリアル・データ入出力，SNOOZE ステータス出力機能があります。

P120，P125-P127 端子は，プルアップ抵抗オプション・レジスタ 12（PU12）の設定により，内蔵プルアップ抵抗を使用できます。

P125 端子は，ポート入力モード・レジスタ 12（PIM12）の設定で CMOS 入力バッファか TTL 入力バッファを選択できます。

P120 端子は，ポート出力モード・レジスタ 12（POM12）の設定で CMOS 出力か N-ch オープン・ドレイン出力を選択できます。

P120 および P125 端子は，ポート入力閾値制御レジスタ 12（PITHL12）の設定で入力閾値レベルを選択できます。

P120，P125 端子の入力は，ポート・モード・コントロール・レジスタ 12（PMC12）の設定により，1 ビット単位でデジタル入出力／アナログ入力の設定が必要です。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120，P125-P127 は入出力ポートとして機能します。ポート・モード・レジスタ 12（PM12）の設定により，入力ポートまたは出力ポートに指定できます。

P121-P124 は入力ポートとして機能します。

(2) コントロール・モード

A/D コンバータのアナログ入力，外部割り込み要求入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力，シリアル・インタフェースのスレーブ・セレクト入力，シリアル・インタフェースのデータ出力，シリアル・クロック入出力，タイマ入出力，LIN のシリアル・データ入出力，SNOOZE ステータス出力として機能します。

(a) ANI24，ANI25

A/D コンバータのアナログ入力端子（通常速度）として機能します。詳細は「12.7.12 ④，⑤」を参照してください。

(b) INTP1，INTP4

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(c) X1，X2

メイン・システム・クロック用発振子接続端子です。

(d)　EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e)　XT1，XT2

サブシステム・クロック用発振子接続端子です。

(f)　EXCLKS

サブシステム・クロック用外部クロック入力端子です。

(g)　SSI01

シリアル・インタフェース CSI01（SPI01）のスレーブ・セレクト入力端子です。

(h)　SO01

シリアル・インタフェース CSI01 のシリアル・データ出力端子です。

(i)　TI01，TI03，TI07

16 ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

(j)　TO01，TO03，TO07

16 ビット・タイマのタイマ出力端子です。

(k)　SNZOUT1

SNOOZE ステータス出力端子です。

(l)　TRDIOB0，TRDIOD0

タイマ RDe のタイマ入出力端子です。

(m)　SCK10

シリアル・インタフェース CSI10 のシリアル・クロック入出力端子です。

(n)　LTXD1

LIN のシリアル・データ出力端子です。LTXD1 は，RL78/F24 のみあります。

(o)　LRXD1

LIN のシリアル・データ入力端子です。LRXD1 は，RL78/F24 のみあります。

2.2.12 P130，P137（ポート 13）

P130 は出力ポートです。P137 は入力ポートです。そのほかに，外部割り込み要求入力，リセット出力機能があります。

(1) ポート・モード

P130 は出力ポートとして機能します。P137 は入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力，リセット出力として機能します。

(a) INTP0

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) RESOUT

リセット出力端子です。

2.2.13 P140（ポート 14）

入出力ポートです。入出力ポートのほかにクロック／ブザー出力，およびタイマ RDe カウンタ・クリア・トリガ入力機能があります。

プルアップ抵抗オプション・レジスタ 14（PU14）の設定により，内蔵プルアップ抵抗を使用できます。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 14（PM14）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

クロック／ブザー出力，およびタイマ RDe カウンタ・クリア・トリガ入力として機能します。

(a) PCLBUZ0

クロック／ブザー出力端子です。

(b) TRD1RES

タイマ RDe の外部タイマ・カウンタ・クリア・トリガ入力端子です。

2.2.14 P150-P157（ポート 15）

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力，クロック入出力，スレーブ・セレクト入力，SNOOZE ステータス出力機能があります。RL78/F24 の 100 ピン版のみあります。

プルアップ抵抗オプション・レジスタ 15（PU15）の設定により，内蔵プルアップ抵抗を使用できます。

P150，P152，P153 端子は，ポート入力閾値制御レジスタ 15（PITHL15）の設定で入力閾値レベルを選択できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ 15（PM15）の設定により，1 ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

シリアル・インタフェースのスレーブ・セレクト入力，データ入出力，クロック入出力，SNOOZE ステータス出力として機能します。

(a) SSI11

シリアル・インタフェース CSI11（SPI11）のスレーブ・セレクト入力端子です。

(b) SI11

シリアル・インタフェース CSI11 のシリアル・データ入力端子です。

(c) SO11

シリアル・インタフェース CSI11 のシリアル・データ出力端子です。

(d) SCK11

シリアル・インタフェース CSI11 のシリアル・クロック入出力端子です。

(e) SNZOUT4-SNZOUT7

SNOOZE ステータス出力端子です。

2.2.15 V_{DD}，EV_{DD0}，EV_{DD1}，V_{SS}，EV_{SS0}，EV_{SS1}

(1) V_{DD}，EV_{DD0}，EV_{DD1}

V_{DD} は，正電源供給端子です。P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137 の正電源，およびポート部以外の正電源供給端子です。

EV_{DD0}，EV_{DD1} は，P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137 以外のポート端子の正電源供給端子です。EV_{DD1} は，RL78/F24 の 100 ピン版のみあります。

注意　48 ピン以下の製品のすべてのポート端子は，V_{DD} が正電源供給端子です。

(2) V_{SS}，EV_{SS0}，EV_{SS1}

V_{SS} は，グランド電位端子です。P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137 のグランド電位，およびポート部以外のグランド電位端子です。

EV_{SS0}，EV_{SS1} は，P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137 以外のポート端子のグランド電位端子です。EV_{SS1} は，RL78/F24 の 100 ピン版のみあります。

注意　48 ピン以下の製品のすべてのポート端子は，V_{SS} がグランド電位端子です。

備考　ノイズおよびラッチアップ対策として，V_{DD}～V_{SS}，EV_{DD0}～EV_{SS0}，EV_{DD1}～EV_{SS1} ライン間へのバイパス・コンデンサ（0.1 μF 程度）を最短距離でかつ，比較的太い配線を使って接続してください。

2.2.16 RESET

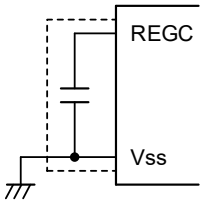
ローレベル・アクティブのシステム・リセット入力端子です。

外部リセット端子を使用しない場合は，直接または抵抗を介して V_{DD} に接続してください。

外部リセット端子を使用する場合は，V_{DD} を基準に設計してください。

2.2.17 REGC

内部動作用レギュレータ出力安定容量接続端子です。コンデンサ（0.47～1 μF）を介し，V_{SS} に接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

2.3　未使用端子の処理

表 2－5 および表 2－6 に各端子の未使用端子の処理を示します。ここでは，RL78/F24 の 100 ピン版と RL78/F23 80 ピン版の 2 つの製品仕様を例に，未使用端子の処理を説明します。

表 2－5　各端子の未使用端子処理（RL78/F24 の 100 ピン版）（1/3）

端子名称	入出力	未使用時の推奨接続方法
P00/(TI05)/(TO05)/INTP9	入出力	入力時：個別に抵抗を介してEV_{DD0}，EV_{DD1}またはEV_{SS0}，EV_{SS1}に接続してください。 出力時：オープンにしてください。
P01/(TI04)/(TO04)		
P02/(TI06)/(TO06)		
P03/(RTC1HZ)		
P10/TI13/TO13/TRJO0/SCK10/SCL10/LTXD1/CTXD0		
P11/TI12/TO12/(TRDIOB0)/SI10/SDA10/RXD1/LRXD1/CRXD0		
P12/TI11/TO11/(TRDIOD0)/INTP5/SO10/TXD1/SNZOUT3		
P13/TI04/TO04/TRDIOA0/TRDCLK0/SI01/SDA01/LTXD0		
P14/TI06/TO06/TRDIOC0/SCK01/SCL01/LRXD0		
P15/TI05/TO05/TRDIOA1/(TRDIOA0)/(TRDCLK0)/SO00/TXD0/TOOLTXD/RTC1HZ		
P16/TI02/TO02/TRDIOC1/SI00/SDA00/RXD0/TOOLRXD		
P17/TI00/TO00/TRDIOB1/SCK00/SCL00/INTP3		
P30/TI01/TO01/TRDIOD1/SSI00/INTP2/SNZOUT0		
P31/TI14/TO14/STOPST/(INTP2)		
P32/TI16/TO16/(SO11)/INTP7		
P33/AV_{REFP}/ANI6		入力時：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P34/AV_{REFM}/ANI7		
P40/TOOL0		入力時：個別に抵抗を介してEV_{DD0}，EV_{DD1}に接続するか，またはオープンにしてください。（**注**：オープン時は，PU40＝1に設定してください。） 出力時：オープンにしてください。
P41/TI10/TO10/TRJIO0/TRD0RES/(SI10)/(RXD1)/VCOUT0/SNZOUT2		入力時：個別に抵抗を介してEV_{DD0}とEV_{DD1}，またはEV_{SS0}とEV_{SS1}に接続してください。 出力時：オープンにしてください。
P42/(LTXD0)		
P43/(LRXD0)		
P44/(TI07)/(TO07)		
P45/(TI10)/(TO10)		
P46/(TI12)/(TO12)		
P47/INTP13		

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

表 2－5　各端子の未使用端子処理（RL78/F24 の 100 ピン版）（2/3）

端子名称	入出力	未使用時の推奨接続方法
P50/(SSI01)/(INTP3)	入出力	入力時：個別に抵抗を介してEV_{DD0}，EV_{DD1}またはEV_{SS0}，EV_{SS1}に接続してください。 出力時：オープンにしてください。
P51/(SO01)/INTP11		
P52/(SCK01)/(STOPST)		
P53/(SI01)/INTP10		
P54/(TI11)/(TO11)/SSI10		
P55/(TI13)/(TO13)		
P56/(TI15)/(TO15)/(SNZOUT1)		
P57/(TI17)/(TO17)/(SNZOUT0)		
P60/(TO01)/(SCK00)/(SCL00)		
P61/(TO02)/(SI00)/(SDA00)/(RXD0)		
P62/(TO03)/(SO00)/(TXD0)/SCLA0		
P63/(TO07)/(SSI00)/SDAA0		
P64/(TI14)/(TO14)/(SNZOUT3)		
P65/(TI16)/(TO16)/(SNZOUT2)		
P66/(TI00)/(TO00)		
P67/(TI02)/(TO02)		
P70/ANI26/KR0/TI15/TO15/INTP8/SI11/SDA11/SNZOUT4		
P71/ANI27/KR1/TI17/TO17/INTP6/SCK11/SCL11/SNZOUT5		
P72/ANI28/KR2/(CTXD0)/SO11/SNZOUT6		
P73/ANI29/KR3/(CRXD0)/SSI11/SNZOUT7		
P74/ANI30/KR4/(SO10)/(TXD1)		
P75/KR5/(SI10)/(RXD1)		
P76/KR6/(SCK10)		
P77/KR7/(SSI10)/INTP12		
P80/ANI0/ANO0		入力時：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P81/ANI1		
P82/ANI2/IVCMP00		
P83/ANI3/IVCMP01		
P84/ANI4/IVCMP02		
P85/ANI5/IVCMP03/IVREF0		
P86/ANI8		
P87/ANI9		
P90/ANI10		
P91/ANI11		
P92/ANI12		
P93/ANI13		
P94/ANI14		
P95/ANI15		
P96/ANI16		
P97/ANI17		

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

表 2－5　各端子の未使用端子処理（RL78/F24 の 100 ピン版）（3/3）

端子名称	入出力	未使用時の推奨接続方法
P100/ANI18	入出力	入力時：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P101/ANI19		
P102/ANI20		
P103/ANI21		
P104/ANI22		
P105/ANI23		
P106/(LTXD1)		入力時：個別に抵抗を介してEV_{DD0}，EV_{DD1}またはEV_{SS0}，EV_{SS1}に接続してください。 出力時：オープンにしてください。
P107/(LRXD1)		
P120/ANI25/TI07/TO07/TRDIOD0/SO01/(SCK10)/(LTXD1)/INTP4		
P121/X1	入力	個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。
P122/X2/EXCLK		
P123/XT1		
P124/XT2/EXCLKS		
P125/ANI24/TI03/TO03/TRDIOB0/SSI01/(LRXD1)/INTP1/SNZOUT1	入出力	入力時：個別に抵抗を介してEV_{DD0}，EV_{DD1}またはEV_{SS0}，EV_{SS1}に接続してください。 出力時：オープンにしてください。
P126/(TI01)/(TO01)		
P127/(TI03)/(TO03)		
P130/RESOUT	出力	オープンにしてください。
P137/INTP0	入力	個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。
P140/TRD1RES/PCLBUZ0	入出力	入力時：個別に抵抗を介してEV_{DD0}，EV_{DD1}またはEV_{SS0}，EV_{SS1}に接続してください。 出力時：オープンにしてください。
P150/(SSI11)		
P151/(SO11)		
P152/(SI11)		
P153/(SCK11)		
P154/(SNZOUT7)		
P155/(SNZOUT6)		
P156/(SNZOUT5)		
P157/(SNZOUT4)		
RESET	入力	V_{DD}に直接接続または抵抗を介して接続してください。
REGC	－	コンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

表 2－6　各端子の未使用端子処理（RL78/F23 の 80 ピン版）（1/3）

端子名称	入出力	未使用時の推奨接続方法
★ P00/(TI05)/(TO05)/INTP9	入出力	入力時：個別に抵抗を介してEV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P01/(TI04)/(TO04)		
P02/(TI06)/(TO06)		
P10/TI13/TO13/TRJO0/SCK10/SCL10/CTXD0		
P11/TI12/TO12/(TRDIOB0)/SI10/SDA10/RXD1/CRXD0		
P12/TI11/TO11/(TRDIOD0)/INTP5/SO10/TXD1/SNZOUT3		
P13/TI04/TO04/TRDIOA0/TRDCLK0/SI01/SDA01/LTXD0		
P14/TI06/TO06/TRDIOC0/SCK01/SCL01/LRXD0		
P15/TI05/TO05/TRDIOA1/(TRDIOA0)/(TRDCLK0)/SO00/TXD0/TOOLTXD/RTC1HZ		
P16/TI02/TO02/TRDIOC1/SI00/SDA00/RXD0/TOOLRXD		
P17/TI00/TO00/TRDIOB1/SCK00/SCL00/INTP3		
P30/TI01/TO01/TRDIOD1/SSI00/INTP2/SNZOUT0		
P31/STOPST/(INTP2)		
P32/(SO11)/INTP7		
P33/AV_{REFP}/ANI6		入力時：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P34/AV_{REFM}/ANI7		
P40/TOOL0		入力時：個別に抵抗を介してEV_{DD0}に接続するか，またはオープンにしてください。（注：オープン時は，PU40＝1に設定してください。） 出力時：オープンにしてください。
P41/TI10/TO10/TRJIO0/TRD0RES/(SI10)/(RXD1)/SNZOUT2		入力時：個別に抵抗を介してEV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P42/(LTXD0)		
P43/(LRXD0)		
P44/(TI07)/(TO07)		
P45/(TI10)/(TO10)		
P46/(TI12)/(TO12)		
P47/INTP13		

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

表 2－6　各端子の未使用端子処理（RL78/F23 の 80 ピン版）（2/3）

端子名称	入出力	未使用時の推奨接続方法
P50/(SSI01)/(INTP3)	入出力	入力時：個別に抵抗を介してEV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P51/(SO01)/INTP11		
P52/(SCK01)/(STOPST)		
P53/(SI01)/INTP10		
P54/(TI11)/(TO11)/SSI10		
P55/(TI13)/(TO13)		
P56/(SNZOUT1)		
P57/(SNZOUT0)		
P60/(TO01)/(SCK00)/(SCL00)		
P61/(TO02)/(SI00)/(SDA00)/(RXD0)		
P62/(TO03)/(SO00)/(TXD0)/SCLA0		
P63/(TO07)/(SSI00)/SDAA0		
P64/(SNZOUT3)		
P65/(SNZOUT2)		
P66/(TI00)/(TO00)		
P67/(TI02)/(TO02)		
P70/ANI26/KR0/INTP8/SI11/SDA11/SNZOUT4		
P71/ANI27/KR1/INTP6/SCK11/SCL11/SNZOUT5		
P72/ANI28/KR2/(CTXD0)/SO11/SNZOUT6		
P73/ANI29/KR3/(CRXD0)/SSI11/SNZOUT7		
P74/ANI30/KR4/(SO10)/(TXD1)		
P75/KR5/(SI10)/(RXD1)		
P76/KR6/(SCK10)		
P77/KR7/(SSI10)/INTP12		
P80/ANI0		入力時：個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P81/ANI1		
P82/ANI2		
P83/ANI3		
P84/ANI4		
P85/ANI5		
P86/ANI8		
P87/ANI9		
P90/ANI10		
P91/ANI11		
P92/ANI12		
P93/ANI13		
P94/ANI14		
P95/ANI15		
P96/ANI16		
P97/ANI17		
P120/ANI25/TI07/TO07/TRDIOD0/SO01/(SCK10)/INTP4		入力時：個別に抵抗を介してEV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

表 2－6　各端子の未使用端子処理（RL78/F23 の 80 ピン版）（3/3）

端子名称	入出力	未使用時の推奨接続方法
P121/X1	入力	個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。
P122/X2/EXCLK		
P123/XT1		
P124/XT2/EXCLKS		
P125/ANI24/TI03/TO03/TRDIOB0/SSI01/INTP1/SNZOUT1	入出力	入力時：個別に抵抗を介してEV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
P126/(TI01)/(TO01)		
P130/RESOUT	出力	オープンにしてください。
P137/INTP0	入力	個別に抵抗を介してV_{DD}またはV_{SS}に接続してください。
P140/TRD1RES/PCLBUZ0	入出力	入力時：個別に抵抗を介してEV_{DD0}またはEV_{SS0}に接続してください。 出力時：オープンにしてください。
RESET	入力	V_{DD}に直接接続または抵抗を介して接続してください。
REGC	－	コンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。

備考　( ) 内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

第3章　CPU アーキテクチャ

RL78/F23, F24 は，RL78-S3 CPU コアを搭載したマイクロコントローラです。

RL78-S3 CPU コアは，独立した命令フェッチバス，アドレス・バス，データ・バスを備えたハーバード・アーキテクチャを採用しています。また，フェッチ，デコード，メモリ・アクセスの 3 段階のパイプライン制御を採用することで，従来の CPU コアに比べて実行効率が大幅に向上しています。また，RL78-S3 CPU コアは高性能で高機能な命令処理を特徴としており，高速で高機能な処理を必要とするさまざまなアプリケーションでの使用に適しています。

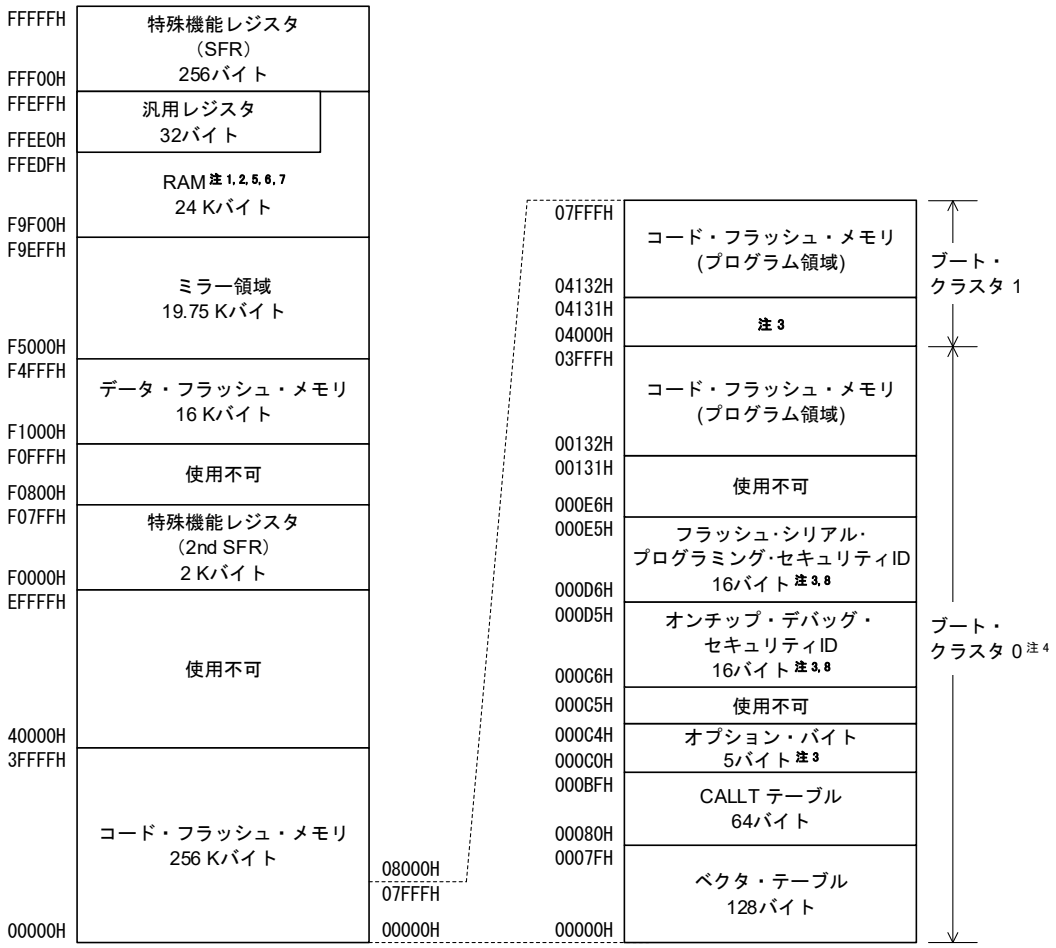
- 3 ステージ・パイプライン CISC アーキテクチャ
- アドレス空間：1 M バイト
- 最小命令実行時間：1 命令/クロック・サイクル
- 汎用レジスタ：8 ビット・レジスタ×8
- 命令数：81
- 乗算，除算，積和演算命令：内蔵
- データ・アロケーション：リトル・エンディアン

RL78/F23, F24 は，オンチップ・デバッグ・トレース機能をサポートします。

3.1　メモリ空間

RL78/F23, F24 は，1 M バイトのメモリ空間をアクセスできます。図 3－1，図 3－2 にメモリ・マップを示します。

図 3－1　メモリ・マップ（RL78/F24）



注 1. RAMSAR レジスタで RAM 開始アドレスを選択します。RAMSAR レジスタで指定されたアドレスの範囲内で RAM を使用してください。

2. 汎用レジスタを除いた RAM 領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C4H にオプション・バイト，000C6H-000D5H にオンチップ・デバッグ・セキュリティ ID，000D6H-000E5H にフラッシュ・シリアル・プログラミング・セキュリティ ID を設定。

ブート･スワップ使用時：000C0H-000C4H および 040C0H-040C4H にオプション･バイト，000C6H-000D5H および 040C6H-040D5H にオンチップ・デバッグ・セキュリティ ID，000D6H-000E5H および 040D6H-040E5H にフラッシュ・シリアル・プログラミング・セキュリティ ID を設定。

4. セキュリティの設定により，ブート・クラスタ 0 は書き換えを禁止することができます（「32.8　セキュリティ設定」を参照）。

5. オンチップ・デバッガのオンチップ・トレース機能を使用する場合は，FA300H から FA4FFH までの領域を使用しないでください。

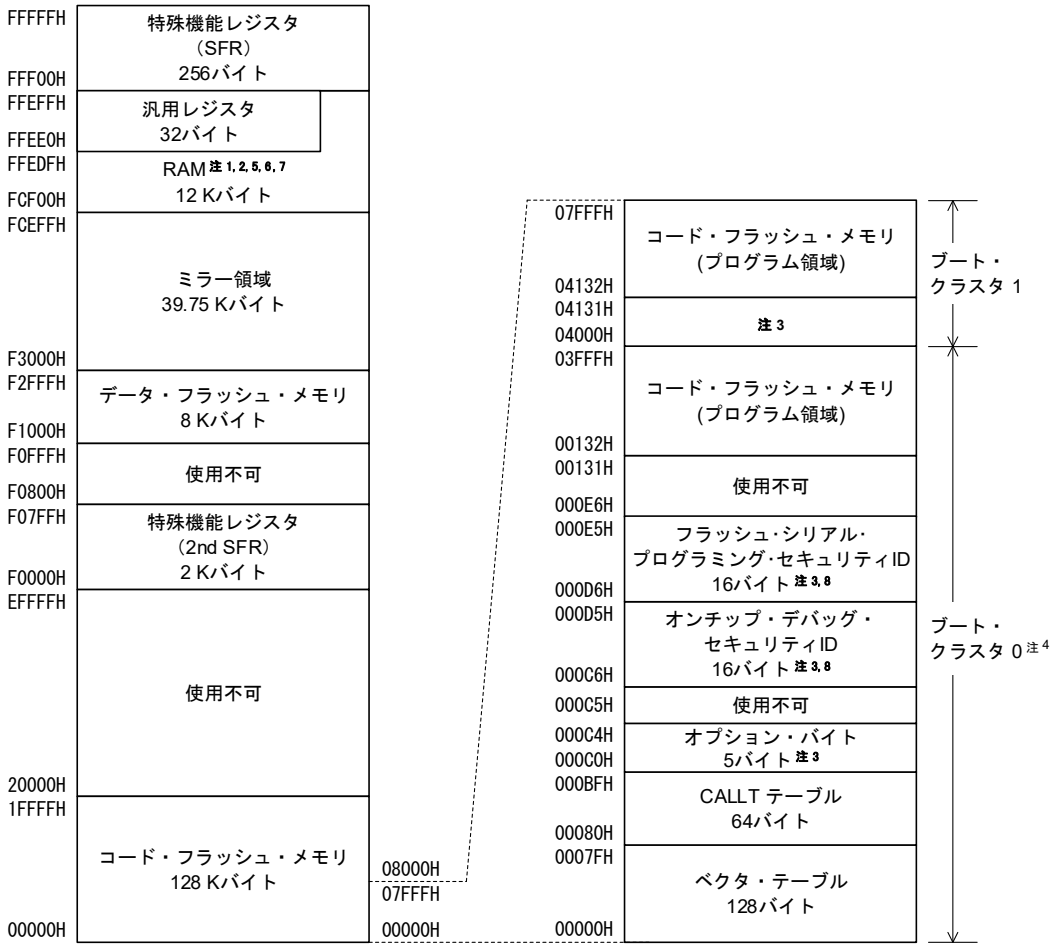
6. オンチップ・デバッグ時にセルフ・プログラミングを行う場合は，F9F00H から F9F7FH までの領域を使用しないでください。

7. ホット・プラグイン機能，リアルタイム RAM モニタ（RRM），または動的メモリ変更（DMM）機能を使用する場合は，FA500H から FA52FH までの領域を使用しないでください。

8. セキュリティ・オプション・バイトの IDRDEN ビットが 0 の場合，この領域は 0 として読み取られます。

注意　RAM 領域から命令を実行する場合，「使用する RAM 領域＋10 バイト」の領域を必ず任意の値で初期設定してください。

図 3－2　メモリ・マップ（RL78/F23）



注 1. RAMSAR レジスタで RAM 開始アドレスを選択します。RAMSAR レジスタで指定されたアドレスの範囲内で RAM を使用してください。

2. 汎用レジスタを除いた RAM 領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C4H にオプション・バイト，000C6H-000D5H にオンチップ・デバッグ・セキュリティ ID，000D6H-000E5H にフラッシュ・シリアル・プログラミング・セキュリティ ID を設定。

   ブート･スワップ使用時：000C0H-000C4H および 040C0H-040C4H にオプション･バイト，000C6H-000D5H および 040C6H-040D5H にオンチップ・デバッグ・セキュリティ ID，000D6H-000E5H および 040D6H-040E5H にフラッシュ・シリアル・プログラミング・セキュリティ ID を設定。

4. セキュリティの設定により，ブート・クラスタ 0 は書き換えを禁止することができます（「32.8　セキュリティ設定」を参照）。

5. オンチップ・デバッガのオンチップ・トレース機能を使用する場合は，FD300H から FD4FFH までの領域を使用しないでください。

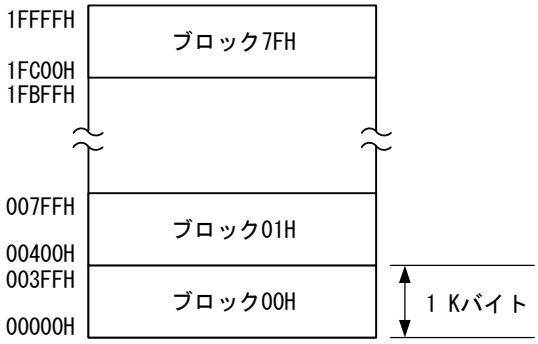
6. オンチップ・デバッグ時にセルフ・プログラミングを行う場合は，FCF00H から FCF7FH までの領域を使用しないでください。

7. ホット・プラグイン機能，リアルタイム RAM モニタ（RRM），または動的メモリ変更（DMM）機能を使用する場合は，FD500H から FD52FH までの領域を使用しないでください。

8. セキュリティ・オプション・バイトの IDRDEN ビットが 0 の場合，この領域は 0 として読み取られます。

注意　RAM 領域から命令を実行する場合，「使用する RAM 領域＋10 バイト」の領域を必ず任意の値で初期設定してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1 ブロック ＝1 K バイト）。アドレス値とブロック番号については「表 3－1　フラッシュ・メモリのアドレス値とブロック番号の対応」を参照してください。



（RL78/F23の場合）

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表 3－1　フラッシュ・メモリのアドレス値とブロック番号の対応（1/2）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

表 3－1　フラッシュ・メモリのアドレス値とブロック番号の対応（2/2）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
20000H-203FFH	80H	28000H-283FFH	A0H	30000H-303FFH	C0H	38000H-383FFH	E0H
20400H-207FFH	81H	28400H-287FFH	A1H	30400H-307FFH	C1H	38400H-387FFH	E1H
20800H-20BFFH	82H	28800H-28BFFH	A2H	30800H-30BFFH	C2H	38800H-38BFFH	E2H
20C00H-20FFFH	83H	28C00H-28FFFH	A3H	30C00H-30FFFH	C3H	38C00H-38FFFH	E3H
21000H-213FFH	84H	29000H-293FFH	A4H	31000H-313FFH	C4H	39000H-393FFH	E4H
21400H-217FFH	85H	29400H-297FFH	A5H	31400H-317FFH	C5H	39400H-397FFH	E5H
21800H-21BFFH	86H	29800H-29BFFH	A6H	31800H-31BFFH	C6H	39800H-39BFFH	E6H
21C00H-21FFFH	87H	29C00H-29FFFH	A7H	31C00H-31FFFH	C7H	39C00H-39FFFH	E7H
22000H-223FFH	88H	2A000H-2A3FFH	A8H	32000H-323FFH	C8H	3A000H-3A3FFH	E8H
22400H-227FFH	89H	2A400H-2A7FFH	A9H	32400H-327FFH	C9H	3A400H-3A7FFH	E9H
22800H-22BFFH	8AH	2A800H-2ABFFH	AAH	32800H-32BFFH	CAH	3A800H-3ABFFH	EAH
22C00H-22FFFH	8BH	2AC00H-2AFFFH	ABH	32C00H-32FFFH	CBH	3AC00H-3AFFFH	EBH
23000H-233FFH	8CH	2B000H-2B3FFH	ACH	33000H-333FFH	CCH	3B000H-3B3FFH	ECH
23400H-237FFH	8DH	2B400H-2B7FFH	ADH	33400H-337FFH	CDH	3B400H-3B7FFH	EDH
23800H-23BFFH	8EH	2B800H-2BBFFH	AEH	33800H-33BFFH	CEH	3B800H-3BBFFH	EEH
23C00H-23FFFH	8FH	2BC00H-2BFFFH	AFH	33C00H-33FFFH	CFH	3BC00H-3BFFFH	EFH
24000H-243FFH	90H	2C000H-2C3FFH	B0H	34000H-343FFH	D0H	3C000H-3C3FFH	F0H
24400H-247FFH	91H	2C400H-2C7FFH	B1H	34400H-347FFH	D1H	3C400H-3C7FFH	F1H
24800H-24BFFH	92H	2C800H-2CBFFH	B2H	34800H-34BFFH	D2H	3C800H-3CBFFH	F2H
24C00H-24FFFH	93H	2CC00H-2CFFFH	B3H	34C00H-34FFFH	D3H	3CC00H-3CFFFH	F3H
25000H-253FFH	94H	2D000H-2D3FFH	B4H	35000H-353FFH	D4H	3D000H-3D3FFH	F4H
25400H-257FFH	95H	2D400H-2D7FFH	B5H	35400H-357FFH	D5H	3D400H-3D7FFH	F5H
25800H-25BFFH	96H	2D800H-2DBFFH	B6H	35800H-35BFFH	D6H	3D800H-3DBFFH	F6H
25C00H-25FFFH	97H	2DC00H-2DFFFH	B7H	35C00H-35FFFH	D7H	3DC00H-3DFFFH	F7H
26000H-263FFH	98H	2E000H-2E3FFH	B8H	36000H-363FFH	D8H	3E000H-3E3FFH	F8H
26400H-267FFH	99H	2E400H-2E7FFH	B9H	36400H-367FFH	D9H	3E400H-3E7FFH	F9H
26800H-26BFFH	9AH	2E800H-2EBFFH	BAH	36800H-36BFFH	DAH	3E800H-3EBFFH	FAH
26C00H-26FFFH	9BH	2EC00H-2EFFFH	BBH	36C00H-36FFFH	DBH	3EC00H-3EFFFH	FBH
27000H-273FFH	9CH	2F000H-2F3FFH	BCH	37000H-373FFH	DCH	3F000H-3F3FFH	FCH
27400H-277FFH	9DH	2F400H-2F7FFH	BDH	37400H-377FFH	DDH	3F400H-3F7FFH	FDH
27800H-27BFFH	9EH	2F800H-2FBFFH	BEH	37800H-37BFFH	DEH	3F800H-3FBFFH	FEH
27C00H-27FFFH	9FH	2FC00H-2FFFFH	BFH	37C00H-37FFFH	DFH	3FC00H-3FFFFH	FFH

3.1.1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/F23, F24 は，次に示す内部 ROM（フラッシュ・メモリ）を内蔵しています。

表 3－2　内部 ROM 容量

製品	内部 ROM	
	構造	容量（番地）
RL78/F23	フラッシュ・メモリ	128 Kバイト（00000H-1FFFFH）
RL78/F24		256 Kバイト（00000H-3FFFFH）

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

(1)　ベクタ・テーブル領域

00000H-0007FH の 128 バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは 2 バイトとしているため，割り込みの飛び先アドレスは 00000H-0FFFFH の 64 K アドレスとなります。

16 ビット・アドレスのうち下位 8 ビットが偶数アドレスに，上位 8 ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には，04000H-0407FH にもベクタ・テーブルを設定してください。

表 3－3 にベクタ・テーブルを示します。サポートする割り込み要因を○印で示します。－印はサポートしない割り込み要因であることを示します。

表 3－3　ベクタ・テーブル（1/2）

ベクタ・テーブル・アドレス	割り込み要因	100ピン	80ピン	64ピン	48ピン	32ピン
0000H	RESET, POR, LVD, WDT, TRAP, IAW, CLM	○	○	○	○	○
0004H	INTWDTI	○	○	○	○	○
0006H	INTLVI	○	○	○	○	○
0008H	INTP0	○	○	○	○	○
000AH	INTP1	○	○	○	○	○
000CH	INTP2	○	○	○	○	○
000EH	INTP3	○	○	○	○	○
0010H	INTP4	○	○	○	○	○
	INTSPM	○	○	○	○	○
0012H	INTP5	○	○	○	○	○
	INTCMP0 注	○	○	○	○	○
0014H	INTP13	○	○	－	－	－
	INTCLM	○	○	○	○	○
0016H	INTST0	○	○	○	○	○
	INTCSI00/INTIIC00	○	○	○	○	○
0018H	INTSR0	○	○	○	○	○
	INTCSI01/INTIIC01	○	○	○	○	○
001AH	INTTRD0	○	○	○	○	○
001CH	INTTRD1	○	○	○	○	○
001EH	INTTRJ0	○	○	○	○	○
0020H	INTRAM	○	○	○	○	○
0022H	INTLIN0TRM	○	○	○	○	○
0024H	INTLIN0RVC	○	○	○	○	○
0026H	INTLIN0STA/INTLIN0	○	○	○	○	○
0028H	INTIICA0	○	○	○	○	○
002AH	INTP8	○	○	○	○	－
	INTRTC	○	○	○	○	○
002CH	INTTM00	○	○	○	○	○
002EH	INTTM01	○	○	○	○	○
0030H	INTTM02	○	○	○	○	○
0032H	INTTM03	○	○	○	○	○
0034H	INTAD	○	○	○	○	○
0036H	INTP6	○	○	○	○	－
	INTTM11H	○	○	○	○	○
0038H	INTP7	○	○	○	○	－
	INTTM13H	○	○	○	○	○
003AH	INTP9	○	○	○	○	－
	INTTM01H	○	○	○	○	○
003CH	INTP10	○	○	○	－	－
	INTTM03H	○	○	○	○	○

注　RL78/F24 にのみあります。

表 3－3　ベクタ・テーブル（2/2）

ベクタ・テーブル・アドレス	割り込み要因	100ピン	80ピン	64ピン	48ピン	32ピン
003EH	INTST1	○	○	○	○	○
	INTCSI10/INTIIC10	○	○	○	○	○
0040H	INTSR1	○	○	○	○	○
	INTCSI11/INTIIC11	○	○	○	○	－
0042H	INTTM04	○	○	○	○	○
0044H	INTTM05	○	○	○	○	○
0046H	INTTM06	○	○	○	○	○
0048H	INTTM07	○	○	○	○	○
004AH	INTP11	○	○	○	－	－
	INTLIN0WUP	○	○	○	○	○
004CH	INTKR	○	○	○	○	○
	INTRCANGRVC 注	○	○	○	○	○
004EH	INTRCAN0ERR 注	○	○	○	○	○
0050H	INTRCAN0WUP 注	○	○	○	○	○
0052H	INTRCAN0CFR 注	○	○	○	○	○
0054H	INTRCAN0TRM 注	○	○	○	○	○
0056H	INTRCANGRFR 注	○	○	○	○	○
0058H	INTRCANGERR 注	○	○	○	○	○
005AH	INTTM10	○	○	○	○	○
005CH	INTTM11	○	○	○	○	○
005EH	INTTM12	○	○	○	○	○
0060H	INTTM13	○	○	○	○	○
0062H	予約	○	○	○	○	○
0064H	INTP12	○	○	○	－	－
	INTLIN1WUP 注	○	○	○	○	○
0066H	INTLIN1TRM 注	○	○	○	○	○
0068H	INTLIN1RVC 注	○	○	○	○	○
006AH	INTLIN1STA 注 / INTLIN1 注	○	○	○	○	○
006CH	INTTM14 注	○	○	○	○	○
006EH	INTTM15 注	○	○	○	○	○
0070H	INTTM16 注	○	○	○	○	○
0072H	INTTM17 注	○	○	○	○	○
0074H	予約	○	○	○	○	○
0076H	予約	○	○	○	○	○
0078H	INTADGB	○	○	○	○	○
007AH	INTCRAM 注	○	○	○	○	○
007CH	INTROM	○	○	○	○	○
007EH	BRK	○	○	○	○	○

注　RL78/F24 にのみあります。

(2)　CALLT 命令テーブル領域

00080H-000BFH の 64 バイト領域には，2 バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは 00000H-0FFFFH 内の値を設定してください（アドレス・コードが 2 バイトのため）。

ブート・スワップを使用する際には，04080H-040BFH にも CALLT 命令テーブルを設定してください。

(3)　オプション・バイト領域

000C0H-000C4H の 5 バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には 040C0H-040C4H にもオプション・バイトを設定してください。詳細は「第 31 章　オプション・バイト」を参照してください。

(4)　オンチップ・デバッグ・セキュリティ ID 設定領域

000C6H-000D5H と 040C6H-040D5H の 16 バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には 000C6H-000D5H に，ブート・スワップ使用時には 000C6H-000D5H と 040C6H-040D5H に 16 バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は「第 33 章　オンチップ・デバッグ機能」を参照してください。

(5)　フラッシュ・シリアル・プログラミング・セキュリティ ID

000D6H-000E5H と 040D6H-040E5H の 16 バイト領域は，フラッシュ・シリアル・プログラミング・セキュリティ ID 領域を用意しています。ブート・スワップ未使用時には 000D6H-000E5H に，ブート・スワップ使用時には 000D6H-000E5H と 040D6H-040E5H に 16 バイトのフラッシュ・シリアル・プログラミング・セキュリティ ID を設定してください。詳細については，「第 32 章　フラッシュ・メモリ」を参照してください。

3.1.2　ミラー領域

RL78/F23, F24 では，00000H-0FFFFH または 10000H-1FFFFH のコード・フラッシュ・メモリ領域を，F0000H-FFFFFH へミラーさせています。どちらの領域をミラーさせるかは，プロセッサ・モード・コントロール・レジスタ（PMC）で設定します。

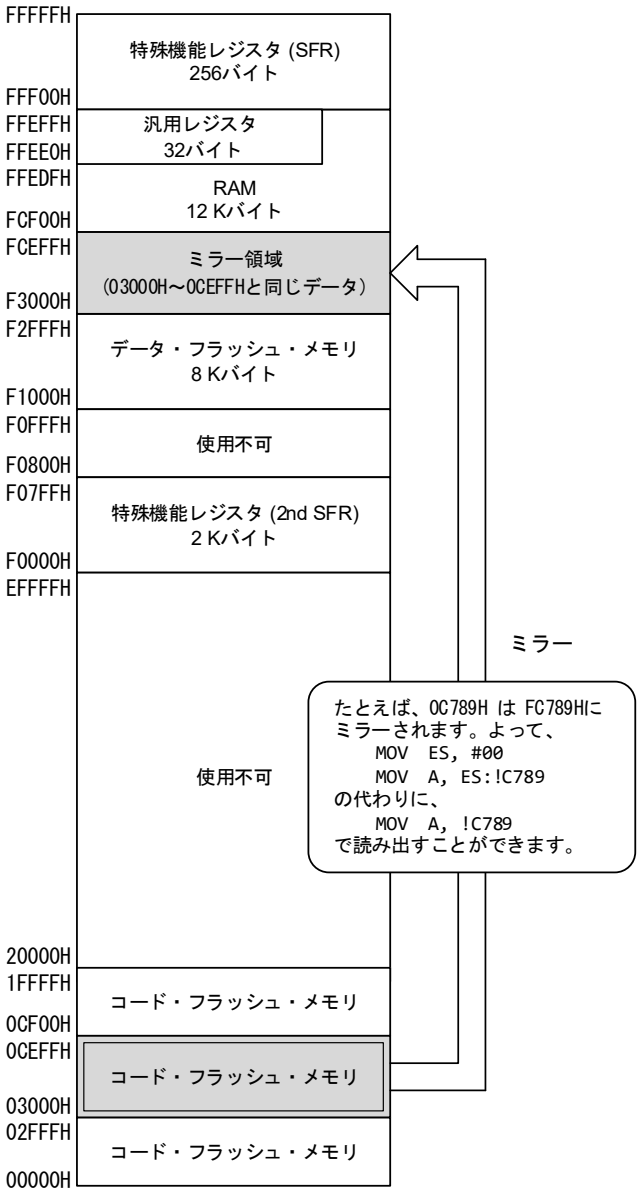
ミラー先の F0000H-FFFFFH からデータを読み出すことにより，オペランドに ES レジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，SFR，拡張 SFR，RAM 領域，データ・フラッシュ・メモリ領域，使用不可領域にはミラーされません。

各製品のミラー領域は，「3.1　メモリ空間」を参照してください。

ミラー領域は読み出しのみ可能で，命令フェッチはできません。

次に例を示します。

例：RL78/F23（フラッシュ・メモリ 128 K バイト，RAM 12K バイト）の場合



次に，PMC レジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ（PMC）

  F0000H-FFFFFH へミラーするフラッシュ・メモリ空間を設定するレジスタです。

  PMC レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

  リセット信号の発生により 00H になります。

図 3－3　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFH へミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFH を F0000H-FFFFFH へミラー
1	10000H-1FFFFH を F0000H-FFFFFH へミラー

注意 1. PMC レジスタの設定は，DTC（データ・トランスファ・コントローラ）を動作させる前に初期設定で 1 度だけ行ってください。初期設定以外での PMC レジスタの書き換えは禁止です。

2. PMC レジスタの設定後，1 命令以上空けてミラー領域にアクセスしてください。

3.1.3　内部データ・メモリ空間

RL78/F23, F24 は，次に示す RAM を内蔵しています。

表 3－4　内部 RAM 容量

製品	容量（番地）
RL78/F23	12 K バイト（FCF00H-FFEFFH）
RL78/F24	24 K バイト（F9F00H-FFEFFH）

内部 RAM は，データ領域として使用できるほか，プログラム領域として命令を書いて実行することができます。内部 RAM 領域のうち FFEE0H-FFEFFH の 32 バイトの領域には，8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが，4 バンク割り付けられます。汎用レジスタでは命令実行できません。

また，内部 RAM はスタック・メモリとしても使用されます。

注意 1. 汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

2. RAM 開始アドレスを RAMSAR レジスタで選択します。RAMSAR レジスタで指定されたアドレスの範囲内で RAM を使用してください。

3. オンチップ・デバッガのオンチップ・トレース機能を使用する場合，以下の RAM 領域の使用は禁止されています。

RL78/F24：FA300H-FA4FFH

RL78/F23：FD300H-FD4FFH

4. オンチップ・デバッグ時にセルフ・プログラミングを行う場合，以下の RAM 領域の使用は禁止されています。

RL78/F24：F9F00H-F9F7FH

RL78/F23：FCF00H-FCF7FH

5. ホット・プラグイン機能，リアルタイム RAM モニタ（RRM），または動的メモリ変更（DMM）機能を使用する場合，以下の RAM 領域の使用は禁止されています。

RL78/F24：FA500H-FA52FH

RL78/F23：FD500H-FD52FH

6. リセット（外部または内部リセット）が解除された後，以下の RAM 領域がリセット・シーケンスによって使用されるため，RAM 値は不定です。

RL78/F24：FEF00H-FFEFFH

RL78/F23：FEF00H-FFEFFH

3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFH の領域には，内蔵周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（「3.2.4 特殊機能レジスタ（SFR：Special Function Register）」の「表 3－5　特殊機能レジスタ（SFR）一覧表」を参照）。

注意　SFR が割り付けられていないアドレスにアクセスしないでください。

3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFH の領域には，内蔵周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（「3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域」の「表 3－6　拡張特殊機能レジスタ（2nd SFR）一覧表」を参照してください）。

この領域には，SFR 領域以外の SFR が割り付けられています。ただし，2nd SFR 領域のアクセス命令は，SFR 領域より 1 バイト長くなります。

注意　拡張 SFR が割り付けられていないアドレスにアクセスしないでください。

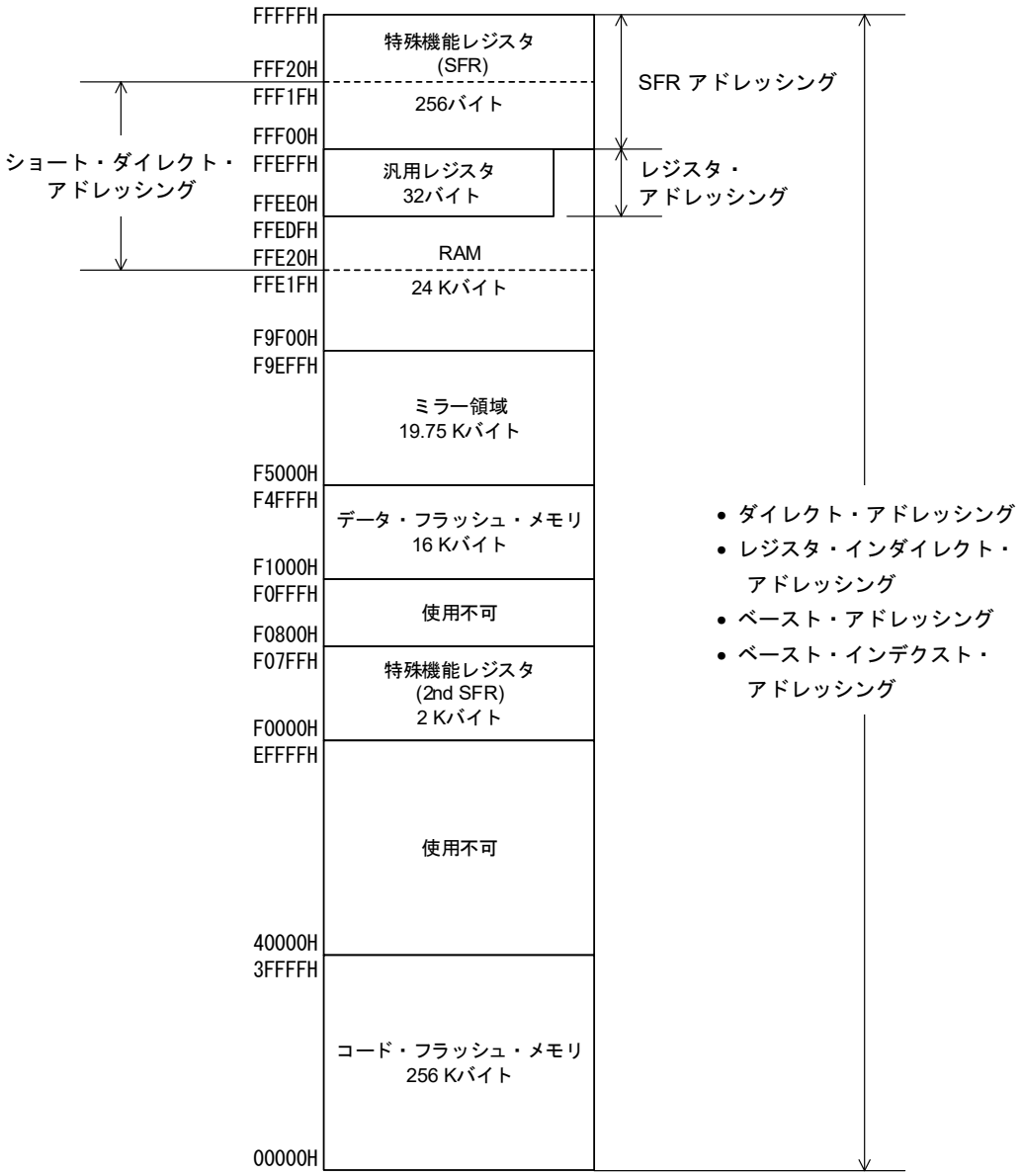
3.1.6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/F23, F24 では，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図 3－4，図 3－5 にデータ・メモリとアドレッシングの対応を示します。

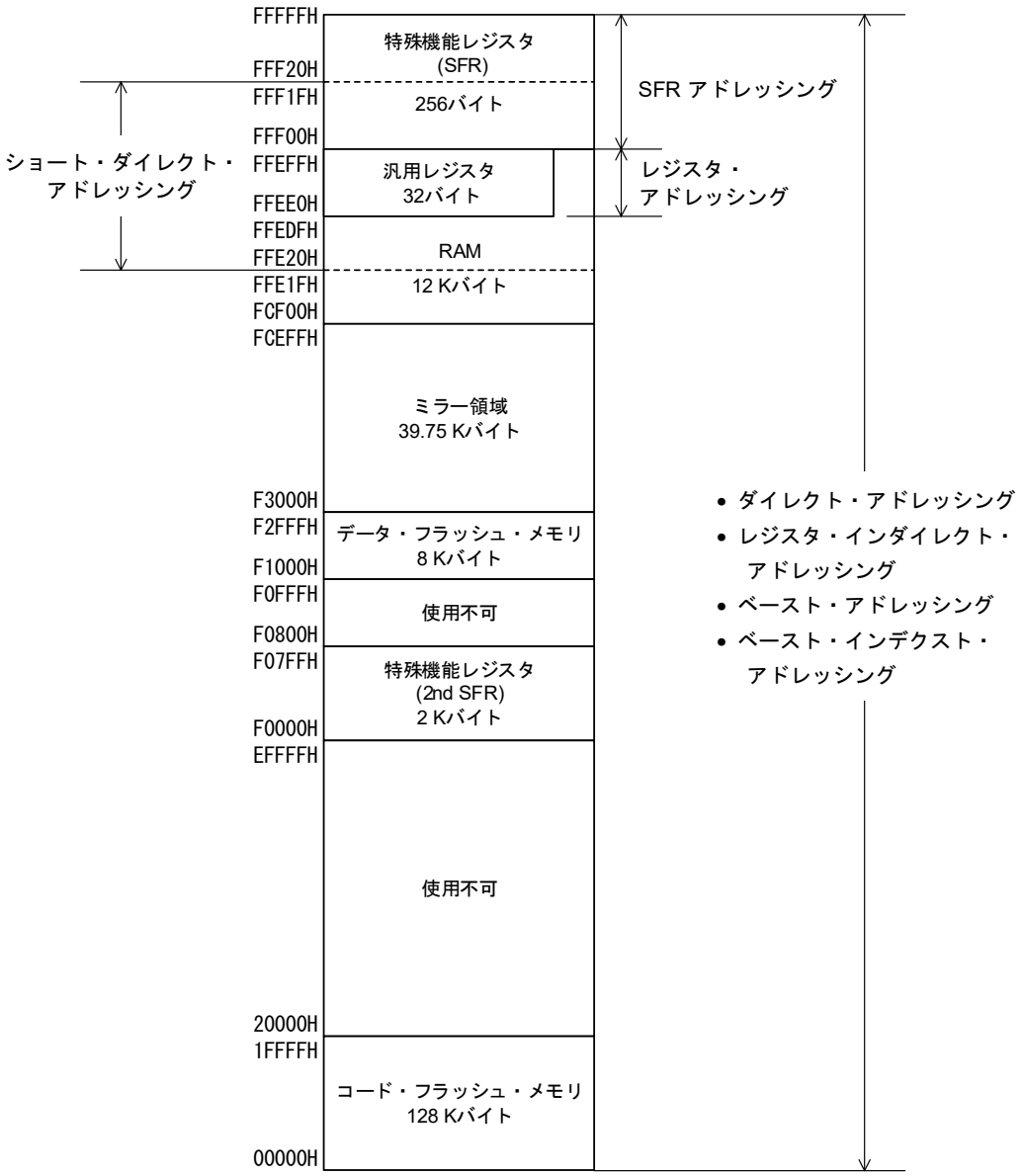
各アドレッシングの詳細については，「3.4　処理データ・アドレスに対するアドレッシング」を参照してください。

図 3－4　データ・メモリとアドレッシングの対応（RL78/F24）



注意　RAM 領域から命令を実行する場合，「使用する RAM 領域＋10 バイト」の領域を必ず任意の値で初期設定してください。

図 3－5　データ・メモリとアドレッシングの対応（RL78/F23）



注意　RAM 領域から命令を実行する場合，「使用する RAM 領域＋10 バイト」の領域を必ず任意の値で初期設定してください。

3.2　プロセッサ・レジスタ

RL78/F23, F24 は，次のプロセッサ・レジスタを内蔵しています。

3.2.1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

(1)　プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する 20 ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，0000H と 0001H 番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図 3－6　プログラム・カウンタの構成

	19							0
PC								

(2)　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される 8 ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時および PUSH PSW 命令の実行時にスタック領域に格納され，RETB，RETI 命令および POP PSW 命令の実行時に復帰されます。

リセット信号の発生により 06H になります。

図 3－7　プログラム・ステータス・ワードの構成

	7	6	5	4	3	2	1	0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

(a)　割り込み許可フラグ（IE）

CPU の割り込み要求受け付け動作を制御するフラグです。

IE = 0 のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1 のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1，ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI 命令の実行または割り込みの受け付けでリセット（0）され，EI 命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算結果がゼロのときセット（1）され，それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ（RBS0，RBS1）

4 個のレジスタ・バンクのうちの 1 つを選択する 2 ビットのフラグです。

SEL RBn 命令の実行によって選択されたレジスタ・バンクを示す 2 ビットの情報が格納されています。

(d) 補助キャリー・フラグ（AC）

演算結果で，ビット 3 からキャリーがあったとき，またはビット 3 へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

(e) インサービス・プライオリティ・フラグ（ISP1，ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H）（「21.3.3　優先順位指定フラグ・レジスタ（PRxxL, PRxxH）」を参照）で ISP0, ISP1 フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際に割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

備考　n = 0, 1

(f) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

(3) スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する 16 ビットのレジスタです。スタック領域としては内部 RAM 領域のみ設定可能です。

図 3－8　スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0

スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図 3－9 のようになります。

注意 1. SP の内容はリセット信号の発生により不定になりますので，必ずスタック使用前にイニシャライズしてください。

2. 汎用レジスタ（FFEE0H-FFEFFH）の空間は，スタック領域としての使用を禁止します。

3. 以下の内蔵 RAM は，オンチップ・デバッグのトレース機能を使用する場合，スタック・メモリとして使用できません。

RL78/F23：FD300H-FD4FFH

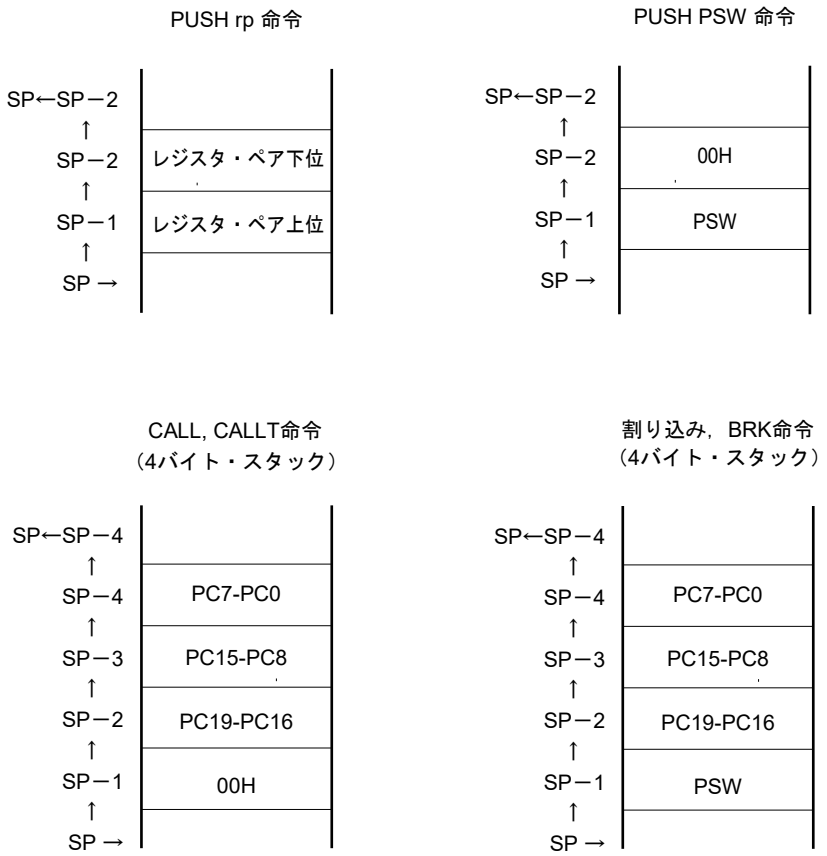
RL78/F24：FA300H-FA4FFH

4. ホット・プラグイン機能を使用している場合，または RRM や DMM 機能に DTC を使用している場合は，以下の内蔵 RAM をスタック・メモリとして使用することはできません。

RL78/F23：FD500H-FD52FH

RL78/F24：FA500H-FA52FH

図 3－9　スタック・メモリへ退避されるデータ



3.2.2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており，8 ビット・レジスタ 8 個（X, A, C, B, E, D, L, H）を 1 バンクとして 4 バンクのレジスタで構成されています。

各レジスタは，それぞれ 8 ビット・レジスタとして使用できるほか，2 個の 8 ビット・レジスタをペアとして 16 ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

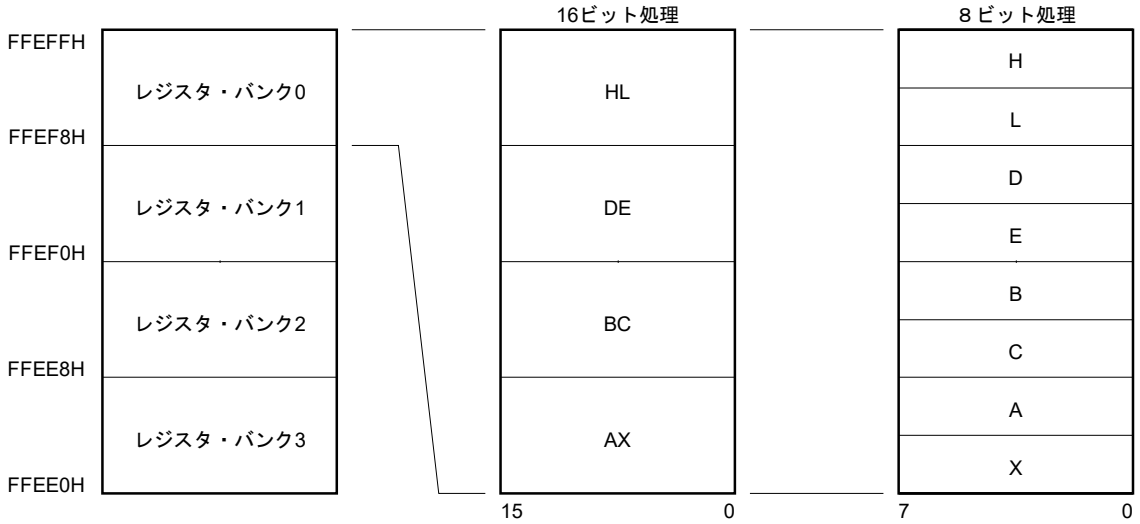
また，機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか，絶対名称（R0-R7, RP0-RP3）でも記述できます。

命令実行時に使用するレジスタ・バンクは，CPU 制御命令（SEL RBn）によって設定します。4 レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより，効率のよいプログラムを作成できます。

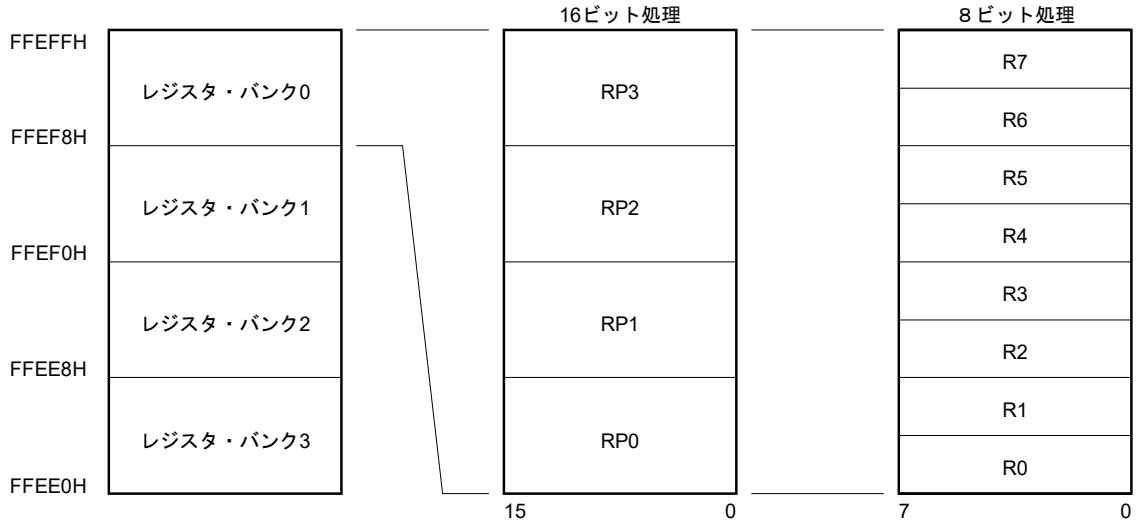
注意　汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

図 3－10　汎用レジスタの構成

（a）機能名称



（b）絶対名称



3.2.3　ES, CS レジスタ

ES レジスタにてデータ・アクセス，CS レジスタにて分岐命令実行時の上位アドレスを指定できます。

ES レジスタのリセット後の初期値は 0FH，CS レジスタのリセット後の初期値は 00H です。

図 3－11　ES/CS レジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

3.2.4　特殊機能レジスタ（SFR：Special Function Register）

SFR は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR 空間は，FFF00H-FFFFFH の領域に割り付けられています。

SFR は，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1 ビット操作
  1 ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 8 ビット操作
  8 ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 16 ビット操作
  16 ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3－5 に特殊機能レジスタ（SFR）の一覧を示します。

注意　SFR が割り付けられていないアドレスにアクセスしないでください。

備考　拡張 SFR（2nd SFR）については，「3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）」を参照してください。

表 3－5　特殊機能レジスタ（SFR）一覧表

アドレス	特殊機能レジスタ（SFR シンボル）	参照章
FFF00H-FFF0FH	ポート・レジスタ（P0-P15）	第 4 章
FFF10H-FFF13H	シリアル・データ・レジスタ（SDR00, SDR01）	第 15 章
FFF18H-FFF1BH	タイマ・データ・レジスタ（TDR00, TDR01）	第 6 章
FFF20H-FFF2FH	ポート・モード・レジスタ（PM0-PM15）	第 4 章
FFF30H	A/D コンバータ・アクセス・ウィンドウ選択レジスタ（ADWINR）	第 12 章
FFF32H	AAU アクセス・ウィンドウ選択レジスタ（AAUWINR）	第 27 章
FFF34H	D/A 変換値設定レジスタ 0（DACS0）	第 13 章
FFF36H	D/A コンバータ・モード・レジスタ（DAM）	
FFF37H	キー・リターン・モード・レジスタ（KRM）	第 22 章
FFF38H-FFF3BH	外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGN0, EGP1, EGN1）	第 21 章
FFF48H-FFF4BH	シリアル・データ・レジスタ（SDR10, SDR11）	第 15 章
FFF50H-FFF52H	IICA 関連レジスタ（IICA0, IICS0, IICF0）	第 16 章
FFF54H, FFF55H	16 ビット時計誤差補正レジスタ（SUBCUDW）	第 9 章
FFF58H-FFF6FH	タイマ RDe 関連レジスタ（TRDRGC0 ほか）	第 8 章
FFF74H-FFF8FH	タイマ・データ・レジスタ（TDR02-TDR07, TDR10-TDR17）	第 6 章
FFF92H-FFF9EH	RTC 関連レジスタ（SEC ほか）	第 9 章
FFFA0H-FFFA5H	クロック発生回路関連レジスタ（CMC ほか）	第 5 章
FFFA8H	リセット・コントロール・フラグ・レジスタ（RESF）	第 24 章
FFFA9H, FFFAAH	電圧検出回路関連レジスタ（LVIM, LVIS）	第 26 章
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）	第 11 章
FFFACH	CRC 入力レジスタ（CRCIN）	第 28 章
FFFB0H-FFFC6H	フラッシュ・メモリ関連レジスタ（FLSEC ほか）	第 32 章
FFFD0H-FFFEFH	割り込み機能関連レジスタ（IF2L ほか）	第 21 章
FFFF0H-FFFF3H	積和演算累計レジスタ（MACRL, MACRH）	第 35 章
FFFFEH	プロセッサ・モード・コントロール・レジスタ（PMC）	第 3 章

注　各レジスタのアクセス・サイズおよびリセット値については，対応する章を参照してください。

3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張 SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張 SFR 空間は，F0000H-F07FFH の領域です。SFR 領域（FFF00H-FFFFFH）以外の SFR が割り付けられています。ただし，拡張 SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

拡張 SFR は，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各拡張 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1 ビット操作
  1 ビット操作命令のオペランド（!addr16.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 8 ビット操作
  8 ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 16 ビット操作
  16 ビット操作命令のオペランド（!addr16s）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3－6 に拡張特殊機能レジスタ（2nd SFR）の一覧を示します。

注意　2nd SFR が割り付けられていないアドレスにアクセスしないでください。

備考　SFR 領域の SFR については，「3.2.4　特殊機能レジスタ（SFR：Special Function Register）」を参照してください。

表 3－6　拡張特殊機能レジスタ（2nd SFR）一覧表（1/2）

アドレス	拡張特殊機能レジスタ（2nd SFR シンボル）	関連章
F0016H-F006CH	ポート関連レジスタ（PIORx, PITHLx, PUx, PIMx, POMx, PMCx）	第 4 章
F0070H-F0072H	ノイズ・フィルタ許可レジスタ（NFEN0, NFEN1, NFEN2）	第 6 章，第 15 章
F0073H-F0075H	入力切り替え制御レジスタ（ISC），タイマ入力選択レジスタ（TIS0, TIS1）	第 6 章，第 21 章
F0076H	RAM 領域開始アドレス設定レジスタ（RAMSAR）	第 3 章
F0077H	ポート・モード選択レジスタ（PMS）	第 4 章
F0078H	不正メモリ・アクセス検出制御レジスタ（IAWCTL）	第 28 章
F0079H	割り込み要因判別フラグ・レジスタ 0（INTFLG0）	第 21 章
F007AH	タイマ入力選択レジスタ 2（TIS2）	第 6 章
F007BH	LIN チャネル選択レジスタ（LCHSEL）	第 17 章
F007CH	割り込みマスク・レジスタ（INTMSK）	第 21 章
F0090H	データ・フラッシュ・コントロール・レジスタ（DFLCTL）	第 32 章
F00A0H, F00A8H	高速オンチップ・オシレータ関連レジスタ（HIOTRM, HOCODIV）	第 5 章
F00B8H-F00BDH	コード・フラッシュ・ビット・エラー検出機能関連レジスタ（CFERRCTLR ほか）	第 28 章
F00C0H-F00CFH	フラッシュ関連レジスタ（FLPMC ほか）	第 32 章
F00D8H-F00DDH	SPM（スタック・ポインタ・モニタ機能）関連レジスタ（SPMCTLR, SPOFR, SPUFR）	第 28 章
F00E0H	A/D 変換クロック制御レジスタ（ADCKS）	第 12 章
F00F0H	周辺イネーブル・レジスタ 0（PER0）	第 5 章
F00F3H	動作スピード・モード制御レジスタ（OSMC）	
F00FEH	BCD 補正結果レジスタ（BCDADJ）	第 34 章
F0100H-F0164H	SAU（シリアル・アレイ・ユニット）関連レジスタ（SSR00 ほか）	第 15 章
F0180H-F01FFH	TAU（タイマ・アレイ・ユニット）関連レジスタ（TCR00 ほか）	第 6 章
F0200H-F0207H	RAM ECC 機能関連レジスタ（ERADR ほか）	第 28 章
F0220H-F0225H	ポート関連レジスタ（PSRSEL, PSNZCNTx）	第 4 章
F0227H	D/A コンバータ・モード・レジスタ 2（DAM2）	第 13 章
F0228H-F022DH	PWM 出力遅延制御レジスタ（PWMDLY0, PWMDLY1, PWMDLY2）	第 6 章，第 8 章
F0230H-F0234H	IICA 関連レジスタ（IICCTL00 ほか）	第 16 章
F0240H-F0243H	タイマ RJ 関連レジスタ（TRJCR0 ほか）	第 7 章
F0248H-F024CH	PWMOPA 関連レジスタ（OPCTL0 ほか）	第 8 章
F024EH, F024FH	タイマ RDe 間引き関連レジスタ（TRDMBKCTL, TRDMBKCMP）	
F0250H-F029BH	タイマ RDe 関連レジスタ（TRDELC ほか）	
F02A0H-F02A2H	コンパレータ関連レジスタ（CMPCTL, CMPSEL, CMPMON）	第 14 章
F02B0H-F02BFH	AAU ウィンドウ・レジスタ（ADTREG0, …）（ページ 0-2）	第 27 章
F02C0H-F02C7H	クロック発生回路関連レジスタ（PER1 ほか）	第 5 章
F02C8H	RTC クロック選択レジスタ（RTCCL）	第 9 章
F02C9H	POR/CLM リセット確認レジスタ（POCRES）	第 24 章
F02CAH	STOP ステータス出力制御レジスタ（STPSTC）	第 23 章
F02CCH	クロック・モニタ・テスト・レジスタ（CLMTES）	第 28 章
F02D0H-F02EDH	高速 DTC 関連レジスタ（HDTCCR0 ほか）	第 19 章
F02F0H-F02F3H	フラッシュ・メモリ CRC 関連レジスタ（CRC0CTL, PGCRCL）	第 28 章
F02F9H-F02FBH	汎用 CRC 関連レジスタ（CRCMD, CRCD）	

注　各レジスタのアクセスサイズおよびリセット値については，対応する章を参照してください。

表 3－6　拡張特殊機能レジスタ（2nd SF）一覧表（2/2）

アドレス	拡張特殊機能レジスタ（2nd SFR シンボル）	関連章
F0300H-F0413H	CAN 関連レジスタ（C0NCFGL ほか）	第 18 章
F0420H-F067FH	CAN ウィンドウ・レジスタ（ページ 0-3）	
F06A0H-F06AFH	A/D ミラー領域レジスタ（ADDR0M-ADDR7M）	第 12 章
F06B0H-F06BFH	A/D コンバータ・ウィンドウ・レジスタ（ページ 0-14）	
F06C1H-F06EEH	RLIN3 関連レジスタ（LWBR0 ほか）	第 17 章
F06F0H, F06F1H	タイマ RJ カウンタ・レジスタ 0（TRJ0）	第 7 章
F0780H-F0799H	イベント出力先選択レジスタ n（ELSELRn）	第 20 章
F07C0H-F07D1H	CAN RAM-ECC 機能関連レジスタ（CFDECCTL ほか）	第 28 章

注　各レジスタのアクセスサイズおよびリセット値については，対応する章を参照してください。

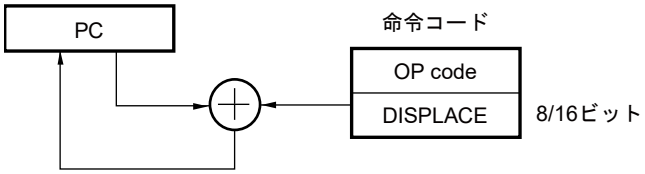
3.3　命令アドレスのアドレッシング

3.3.1　レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127 または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図 3－12　レラティブ・アドレッシングの概略



3.3.2　イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには 20 ビットのアドレスを指定する CALL !!addr20 / BR !!addr20 と，16 ビットのアドレスを指定する CALL !addr16 / BR !addr16 があります。16 ビット・アドレスを指定する場合は上位 4 ビットには 0000 が入ります。

図 3－13　CALL !!addr20/BR !!addr20 の例

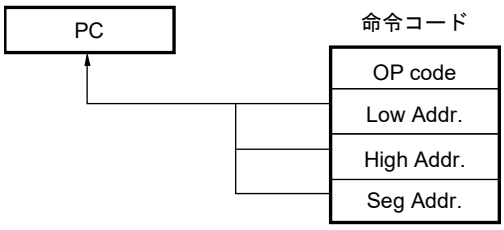
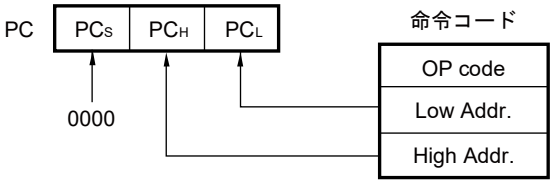


図 3－14　CALL !addr16/BR !addr16 の例



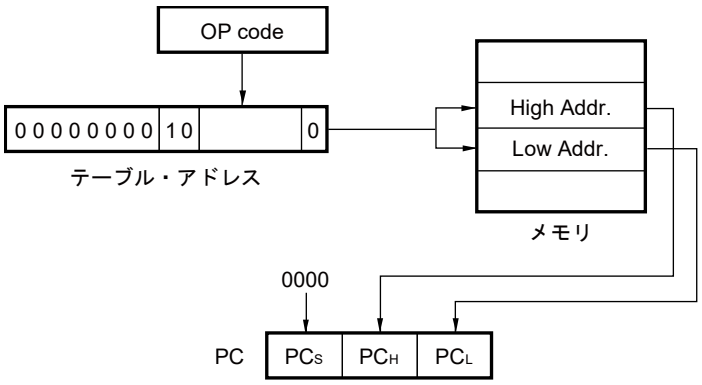
3.3.3　テーブル・インダイレクト・アドレッシング

【機能】

命令語中の 5 ビット・イミーディエト・データにより CALLT テーブル領域（0080H～00BFH）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を 16 ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングは CALLT 命令にのみ適用されます。

RL78 マイクロコントローラでは，00000H～0FFFFH の 64 K バイト空間のみ分岐可能です。

図 3－15　テーブル・インダイレクト・アドレッシングの概略

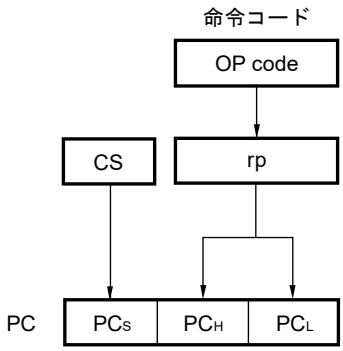


3.3.4　レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）と CS レジスタの内容を 20 ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングは CALL AX / BC / DE / HL と BR AX 命令にのみ適用されます。

図 3－16　レジスタ・インダイレクト・アドレッシングの概略



3.4　処理データ・アドレスに対するアドレッシング

3.4.1　インプライド・アドレッシング

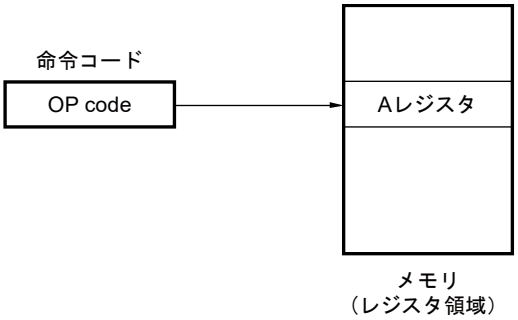
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングは MULU X のみに適用されます。

図 3－17　インプライド・アドレッシングの概略



3.4.2　レジスタ・アドレッシング

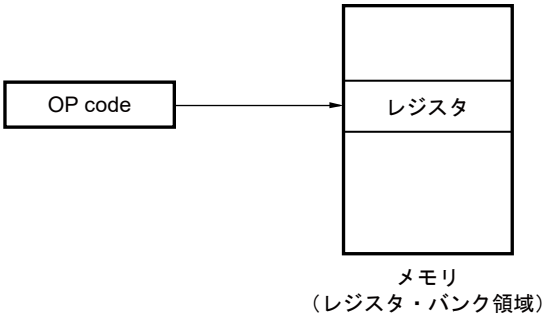
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8 ビット・レジスタを指定する場合は命令語の 3 ビット，16 ビット・レジスタを指定する場合は命令語の 2 ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図 3－18　レジスタ・アドレッシングの概略



3.4.3　ダイレクト・アドレッシング

【機能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは 16 ビット・イミーディエト・データ （F0000H～FFFFFH 空間のみ指定可能）
ES:!addr16	ラベルまたは 16 ビット・イミーディエト・データ （ES レジスタにて上位 4 ビット・アドレス指定）

図 3－19　!addr16 の例

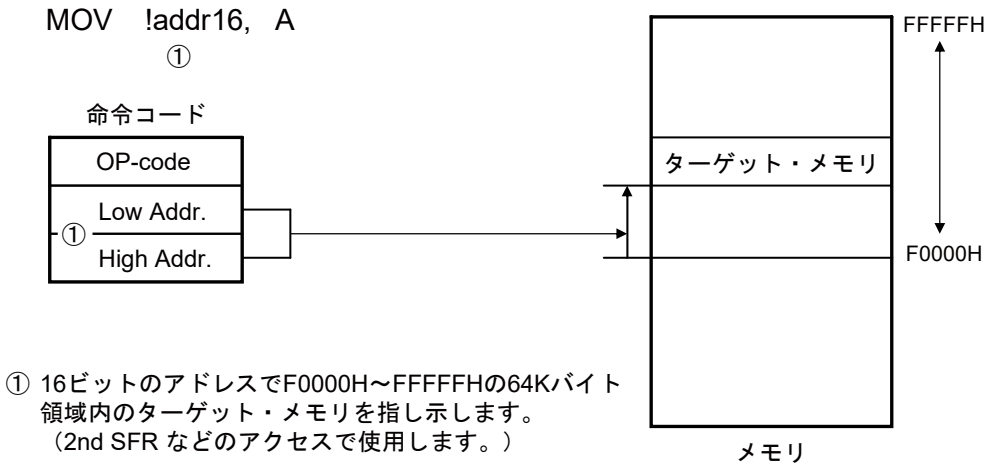
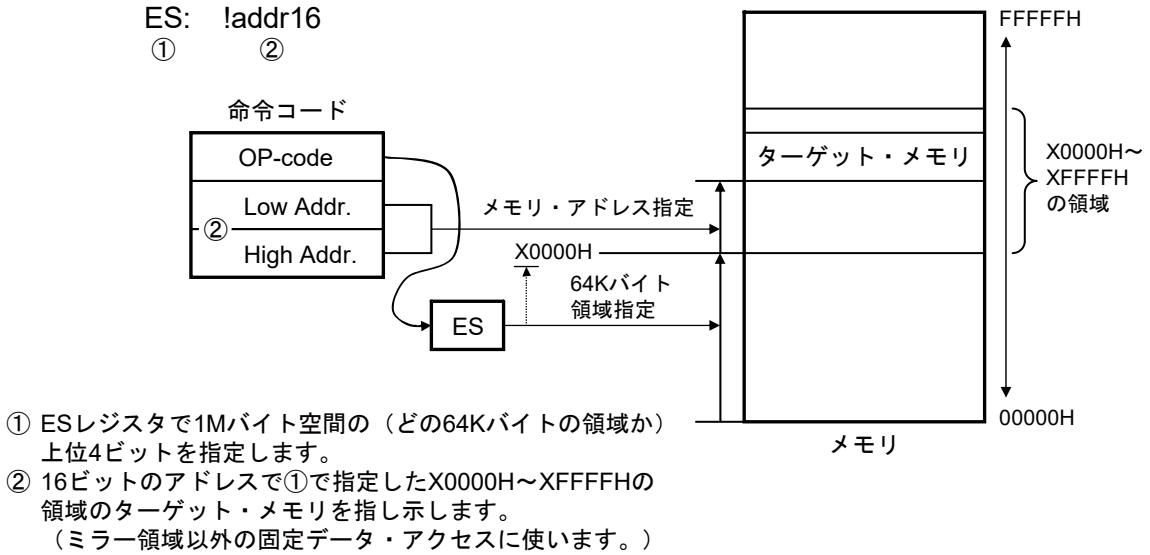


図 3－20　ES:!addr16 の例



3.4.4　ショート・ダイレクト・アドレッシング

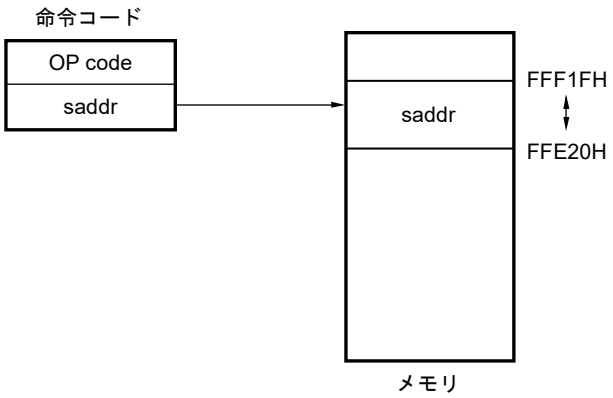
【機能】

命令語中の 8 ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのは FFE20H～FFF1FH の空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたは FFE20H～FFF1FH のイミーディエト・データまたは 0FE20H～0FF1FH のイミーディエト・データ（FFE20H～FFF1FH 空間のみ指定可能）
SADDRP	ラベルまたは FFE20H～FFF1FH のイミーディエト・データまたは 0FE20H～0FF1FH のイミーディエト・データ（偶数アドレスのみ）（FFE20H～FFF1FH 空間のみ指定可能）

図 3－21　ショート・ダイレクト・アドレッシングの概略



備考　SADDR，SADDRP は，（実アドレスの上位 4 ビット・アドレスを省略した）16 ビットのイミーディエト・データで FE20H～FF1FH の値を記述することができます。また，20 ビットのイミーディエト・データで FFE20H～FFF1FH の値を記述することもできます。
ただし，どちらの形式で書いても，メモリは FFE20H～FFF1FH 空間のアドレスが指定されます。

3.4.5　SFR アドレッシング

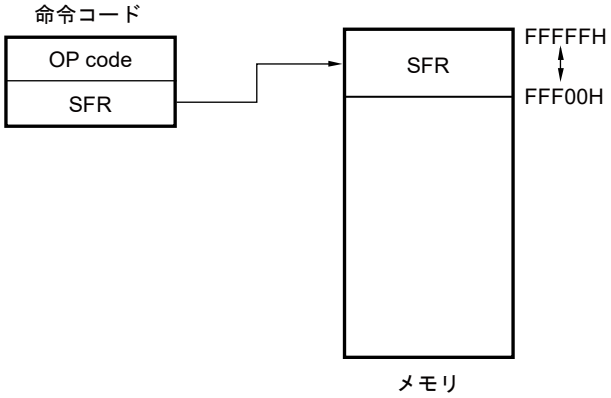
【機能】

命令語中の 8 ビット・データで対象となる SFR アドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのは FFF00H～FFFFFH の空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFR レジスタ名
SFRP	16 ビット操作可能な SFR レジスタ名（偶数アドレス）

図 3－22　SFR アドレッシングの概略



3.4.6　レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[DE], [HL] （F0000H～FFFFFH 空間のみ指定可能）
－	ES:[DE], ES:[HL] （ES レジスタにて上位 4 ビット・アドレス指定）

図 3－23　[DE], [HL]の例

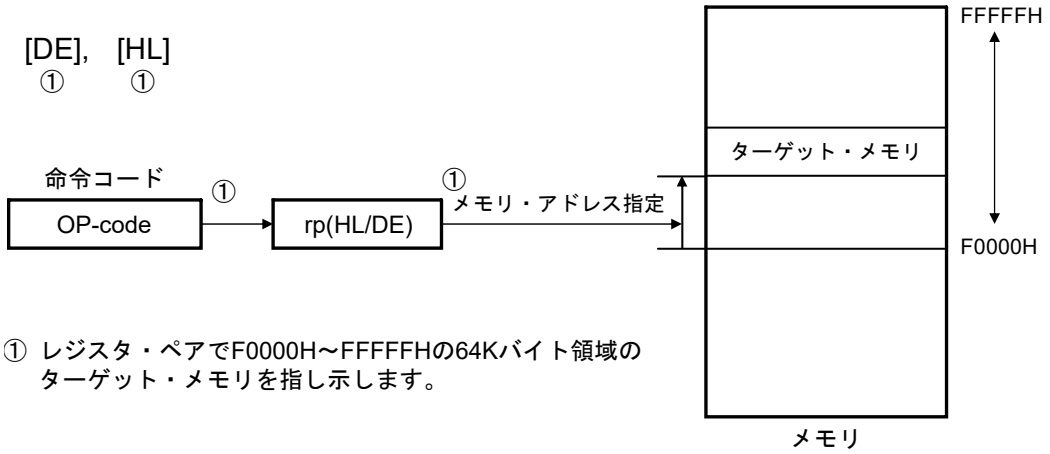
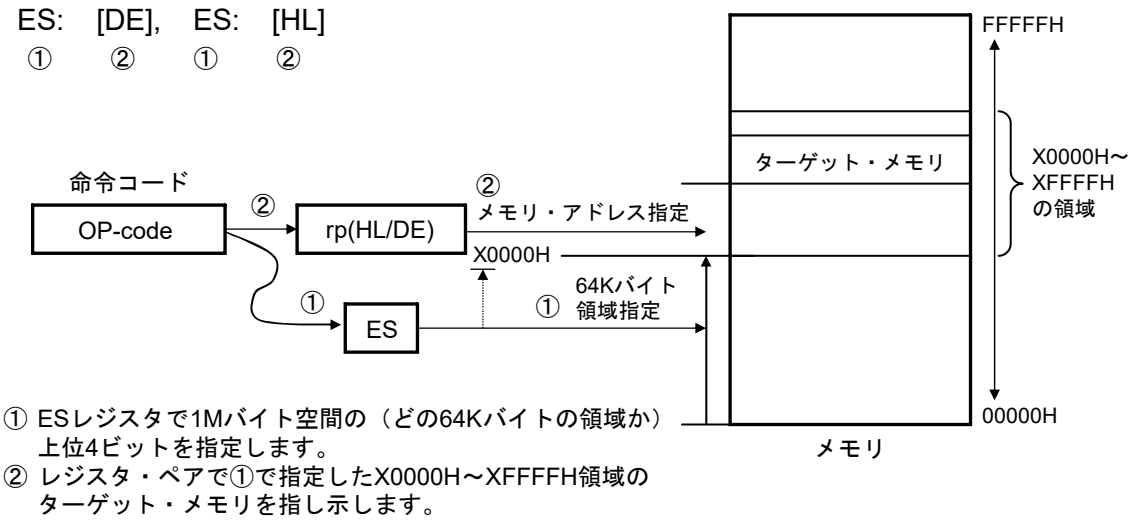


図 3－24　ES:[DE], ES:[HL]の例



3.4.7　ベースト・アドレッシング

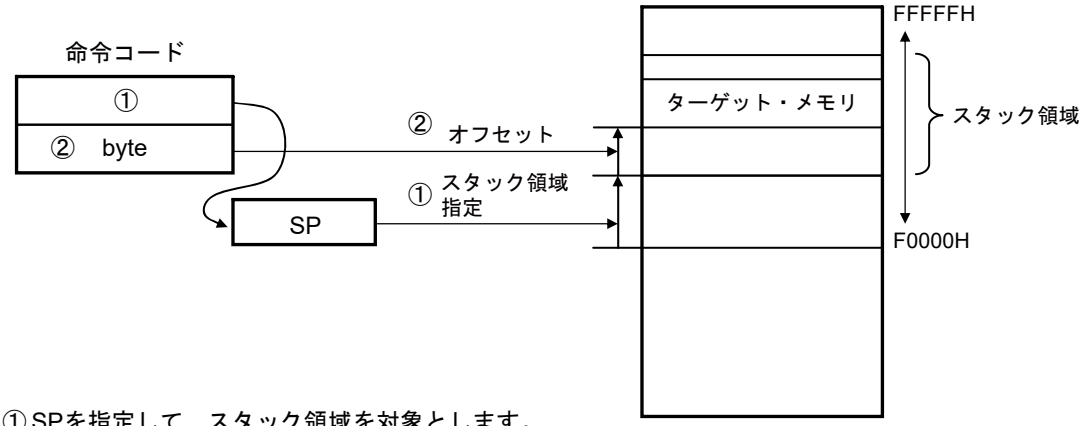
【機能】

命令語で指定されるレジスタ・ペアの内容または 16 ビットのイミーディエト・データをベース・アドレスとし，8 ビット・イミーディエト・データまたは 16 ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋byte], [DE + byte], [SP + byte] （F0000H～FFFFFH 空間のみ指定可能）
－	word[B], word[C] （F0000H～FFFFFH 空間のみ指定可能）
－	word[BC] （F0000H～FFFFFH 空間のみ指定可能）
－	ES:[HL＋byte], ES:[DE + byte] （ES レジスタにて上位 4 ビット・アドレス指定）
－	ES:word[B], ES:word[C] （ES レジスタにて上位 4 ビット・アドレス指定）
－	ES:word[BC] （ES レジスタにて上位 4 ビット・アドレス指定）

図 3－25　[SP+byte]の例



① SPを指定して，スタック領域を対象とします。
② のbyteで，現在のスタック・ポインタが指すアドレス（スタック・トップ）からのオフセットを指定することで，ターゲット・メモリ（SP+byte）を指し示します。

図 3－26　[HL+byte], [DE+byte] の例

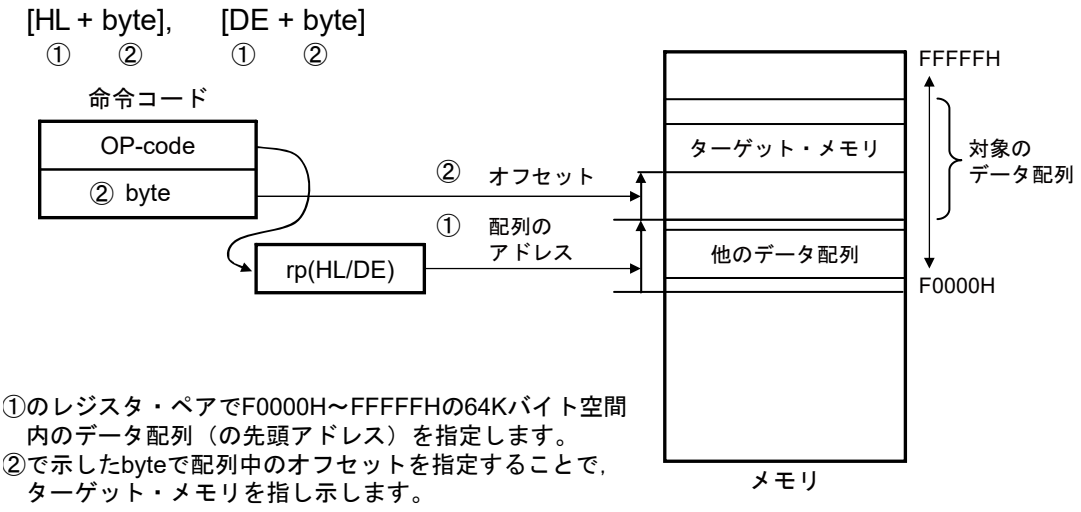


図 3－27　word[B], word[C] の例

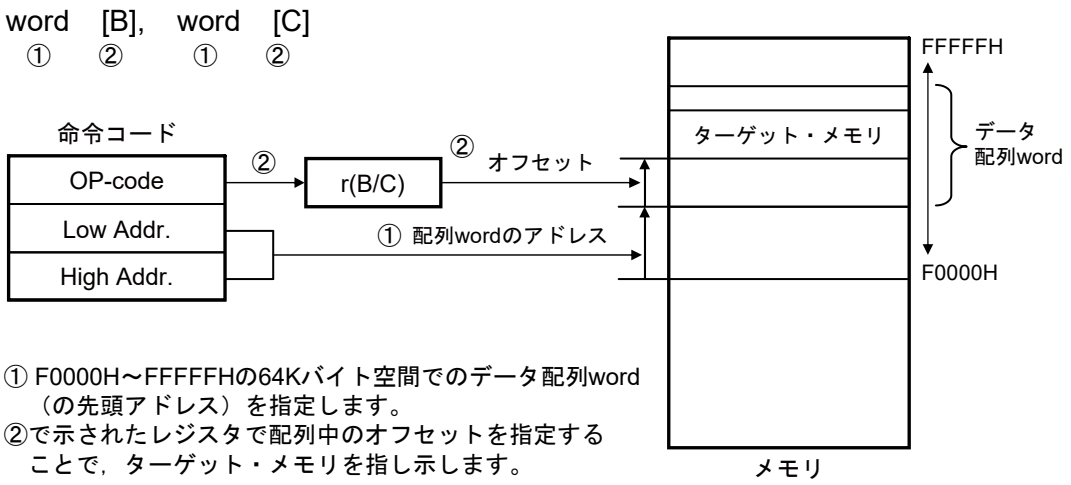
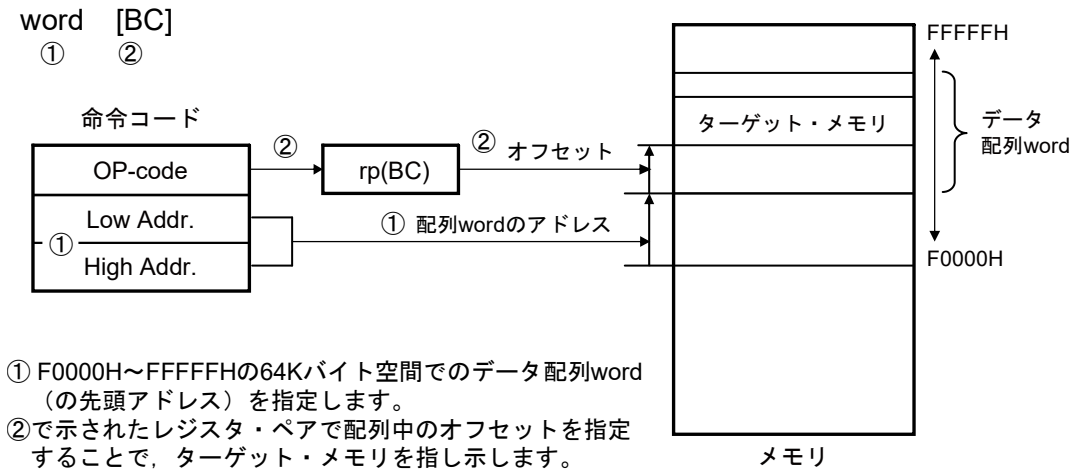
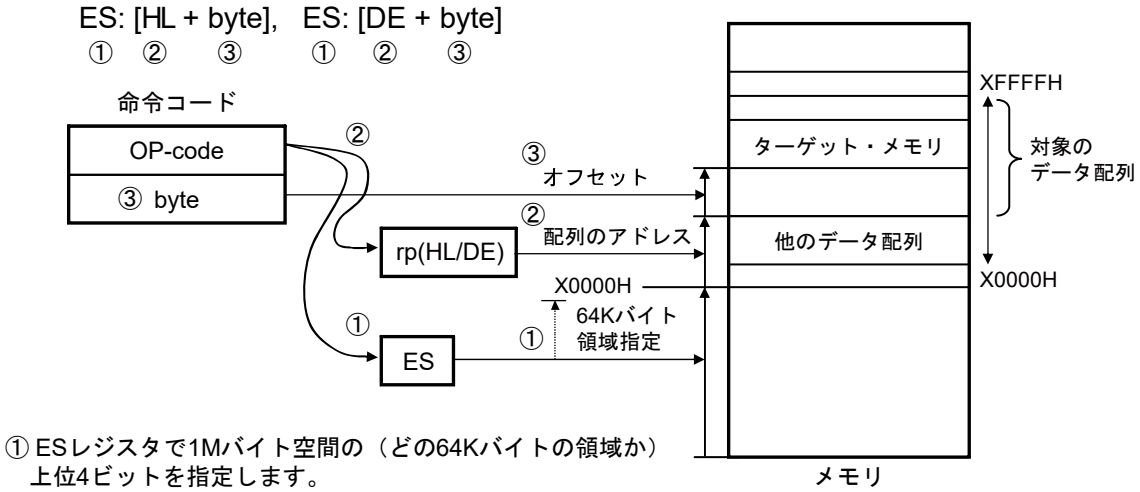


図 3－28　word[BC] の例



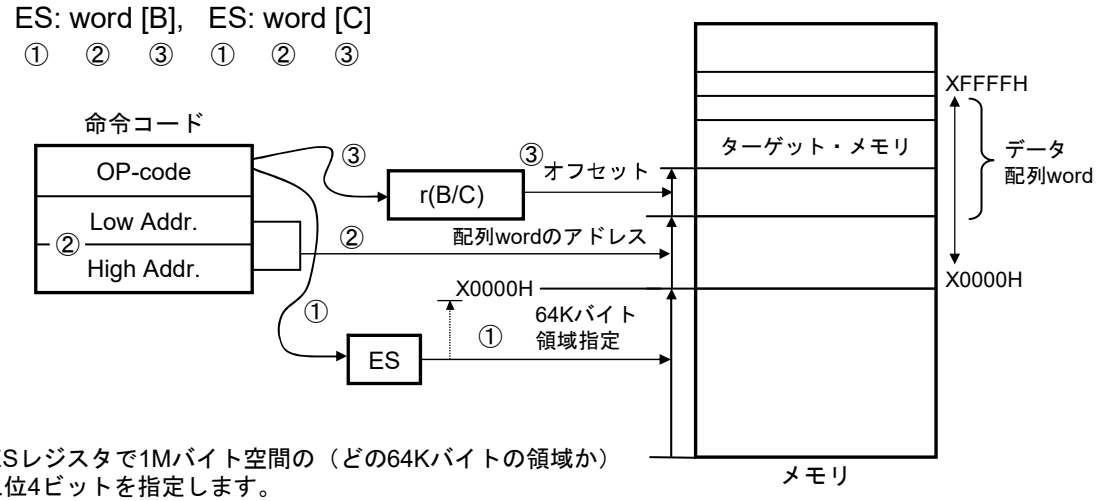
① F0000H～FFFFFHの64Kバイト空間でのデータ配列word
（の先頭アドレス）を指定します。
②で示されたレジスタ・ペアで配列中のオフセットを指定
することで，ターゲット・メモリを指し示します。

図 3－29　ES:[HL+byte], ES:[DE+byte] の例



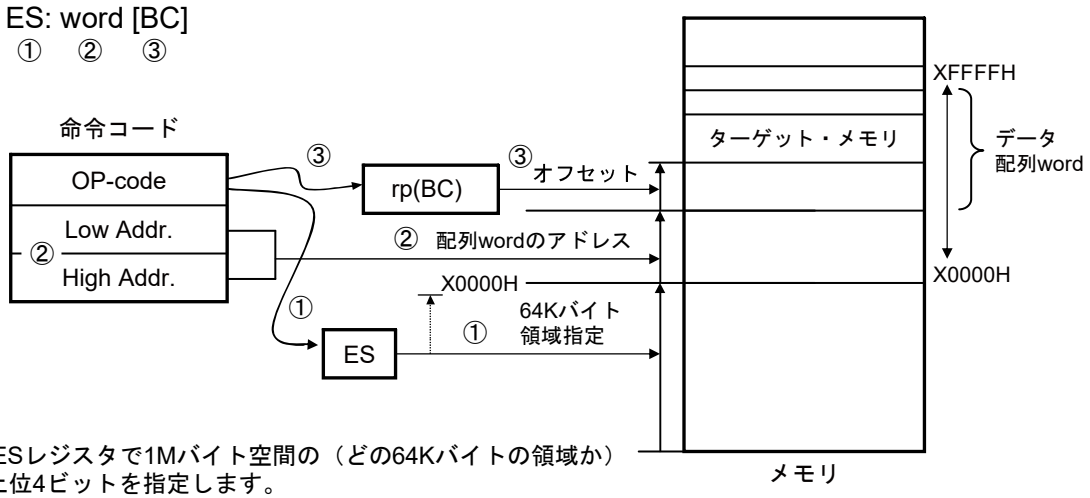
① ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）
上位4ビットを指定します。
② ①で指定された64Kバイト空間内のデータ配列（の先頭
アドレス）をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで，
ターゲット・メモリを指し示します。

図 3－30　ES:word[B], ES:word[C] の例



① ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
② ①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図 3－31　ES:word[BC] の例



① ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
② ①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3.4.8　ベースト・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定される B レジスタまたは C レジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋B], [HL＋C] （F0000H～FFFFFH 空間のみ指定可能）
－	ES:[HL＋B], ES:[HL＋C] （ES レジスタにて上位 4 ビット・アドレス指定）

図 3－32　[HL+B], [HL+C] の例

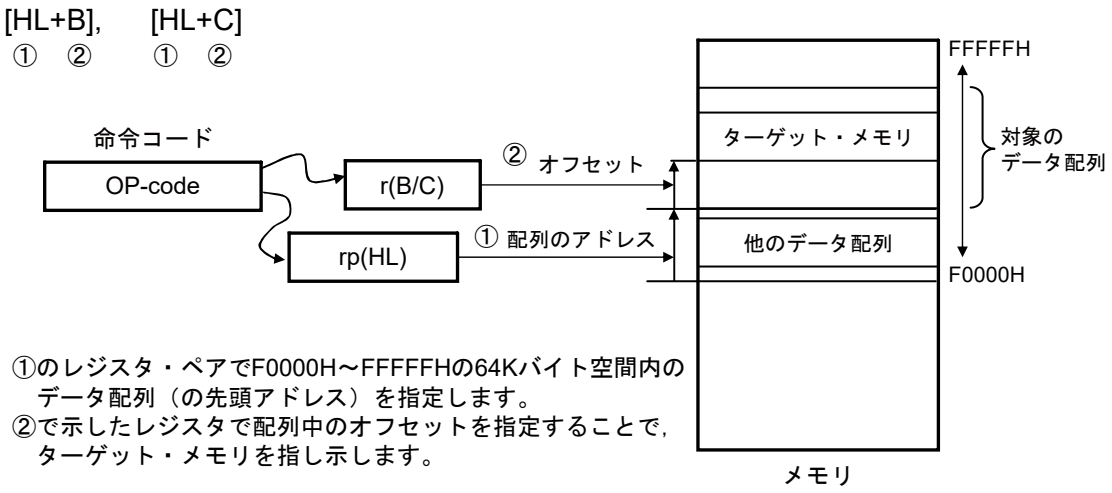
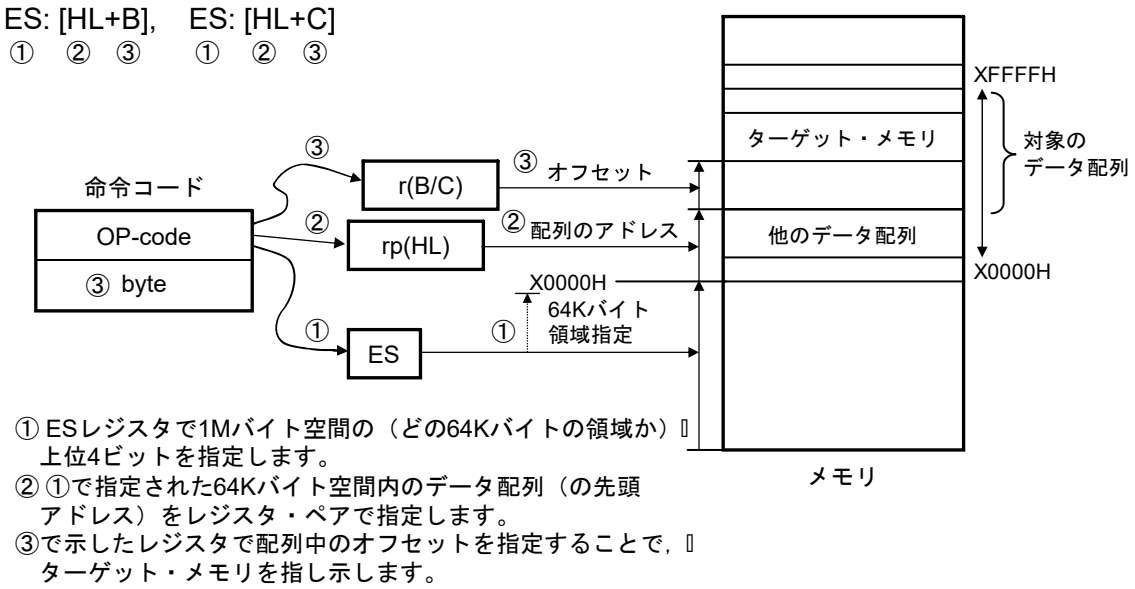


図 3－33　ES:[HL+B], ES:[HL+C] の例



3.4.9　スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH，POP，サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

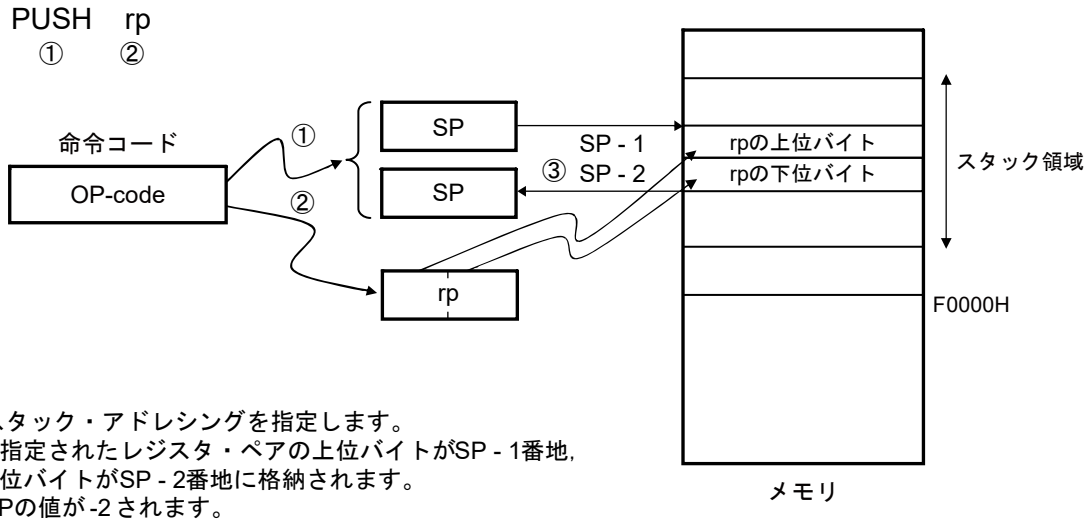
スタック領域は内部 RAM 上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
－	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB （割り込み要求発生） RETI

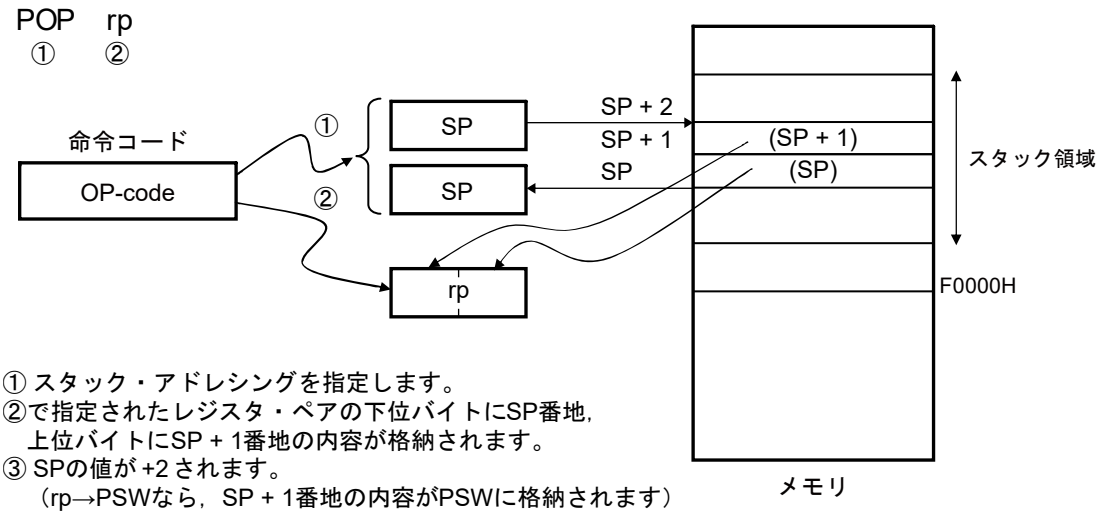
各スタック動作によって退避／復帰されるデータは図 3－34～図 3－39 のようになります。

図 3－34　PUSH rp の例



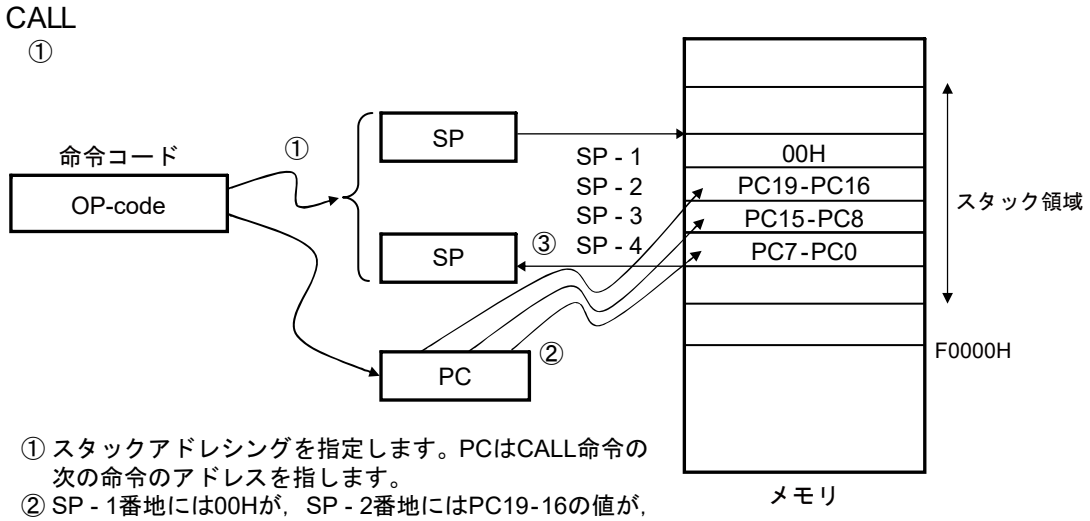
① スタック・アドレシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP - 1番地，
　下位バイトがSP - 2番地に格納されます。
③ SPの値が -2 されます。
　（rp→PSWなら，SP - 1にPSWの値が格納，SP - 2は0になります）

図 3－35　POP の例



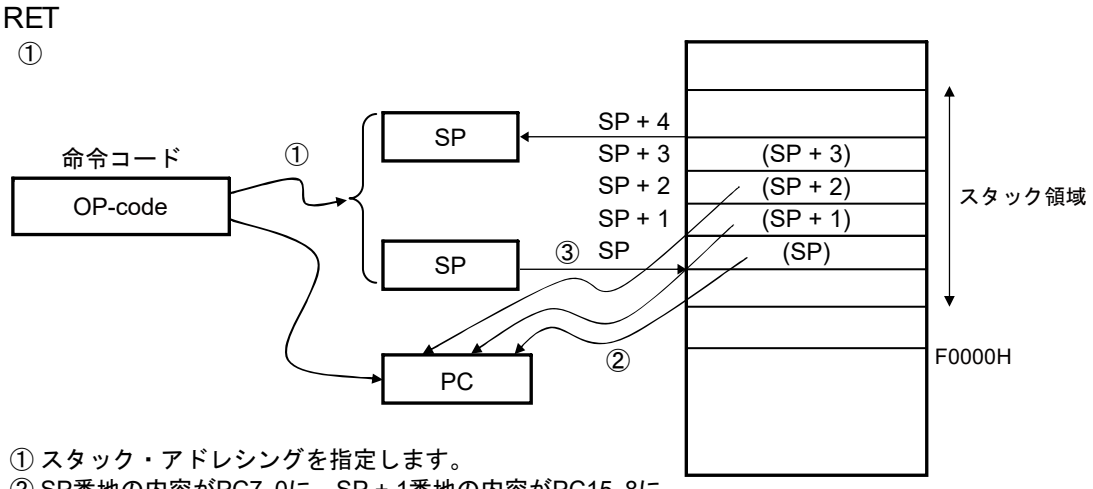
① スタック・アドレシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
上位バイトにSP + 1番地の内容が格納されます。
③ SPの値が +2 されます。
（rp→PSWなら，SP + 1番地の内容がPSWに格納されます）

図 3－36　CALL, CALLT の例



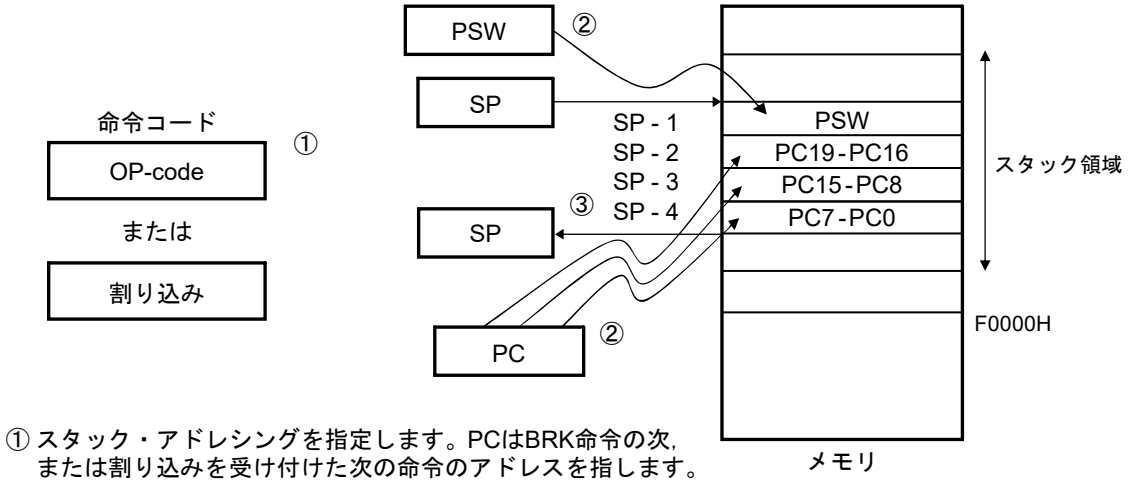
① スタックアドレシングを指定します。PCはCALL命令の
次の命令のアドレスを指します。
② SP - 1番地には00Hが，SP - 2番地にはPC19-16の値が，
SP - 3番地にはPC15-8の値が，SP - 4番地にはPC7-0の
値が格納されます。
③ SPの値が-4されます。

図 3－37　RET の例



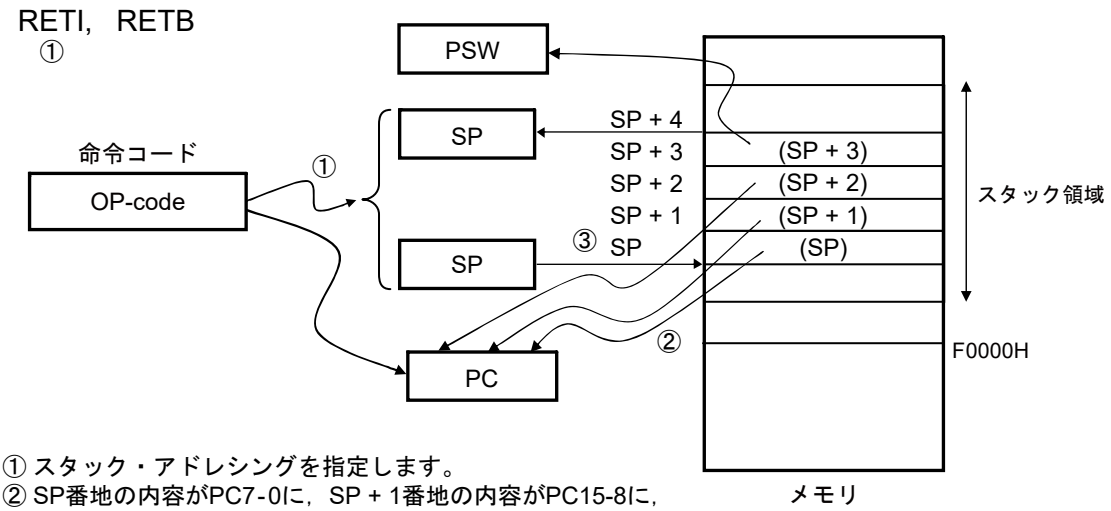
① スタック・アドレシングを指定します。
② SP番地の内容がPC7-0に，SP + 1番地の内容がPC15-8に，
　SP + 2番地の内容がPC19-16に格納されます。
③ SPの値が+4 されます。

図 3－38　割り込み, BRK の例



① スタック・アドレシングを指定します。PCはBRK命令の次，
　または割り込みを受け付けた次の命令のアドレスを指します。
② SP - 1番地にはPSWの値が，SP - 2番地にはPC19-16の値が，
　SP - 3番地にはPC15-8の値が，SP - 4番地にはPC7-0の値が
　格納されます。
③ SPの値が-4 されます。

図 3－39　RETI, RETB の例



① スタック・アドレシングを指定します。
② SP番地の内容がPC7-0に，SP + 1番地の内容がPC15-8に，SP + 2番地の内容がPC19-16に，SP + 3番地の内容がPSW格納されます。
③ SPの値が+4 されます

3.5　レジスタの説明

表 3−7　レジスタ構成

アドレス	レジスタ名	シンボル	リセット後	アクセスサイズ
F0076H	RAM スタート・アドレス設定レジスタ	RAMSAR	EFH	8
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	00H	8
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC	00H	1, 8

備考　プロセッサ・モード・コントロール・レジスタ（PMC）については，「3.1.2　ミラー領域」を参照ください。

3.5.1　RAM ガード機能

RAM ガード機能は，指定したメモリ空間のデータを保護するために使用します。

RAM ガード機能有効時は，指定された RAM 空間への書き込みは無効になりますが，読み取りは通常どおり実行できます。スタック領域は，RAM ガード機能の指定領域にしないで下さい。

＜制御レジスタ＞

(1) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

このレジスタは，不正なメモリ・アクセスと RAM/SFR ガード機能の検出制御に使用します。

RAM ガード機能には，GRAM1 と GRAM0 ビットを使用します。

IAWCTL レジスタは，8 ビット・メモリ操作命令で設定してください。

リセット後，このレジスタは 00H にセットされます。

図 3－40　不正メモリ・アクセス検出制御レジスタ（IAWCTL）構成

アドレス: F0078H　　リセット時: 00H　　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN	不正メモリ・アクセス検出制御ビット
0	不正メモリ・アクセス検出機能を無効にします。
1	不正メモリ・アクセス検出機能を有効にします。

★

GRAM1	GRAM0	RAM ガード空間 注
0	0	RAM ガード機能：無効
0	1	RAMSAR レジスタで指定した開始アドレスから始まる 128 バイトの RAM 空間
1	0	RAMSAR レジスタで指定した開始アドレスから始まる 256 バイトの RAM 空間
1	1	RAMSAR レジスタで指定した開始アドレスから始まる 512 バイトの RAM 空間

注　RAM の開始アドレスは，各製品の RAM サイズによって異なるので，RAMSAR レジスタで設定する RAM 開始アドレスは，注意してください。IAWCTL レジスタの GRAM1, GRAM2 ビットを設定する場合は，RAMSAR レジスタを先に設定してください。

(2) RAM 開始アドレス設定レジスタ（RAMSAR）

RAMSAR レジスタを変更することで，使用する RAM の開始アドレスを選択できます。RAMSAR レジスタ構成を以下に示します。

RAMSAR レジスタは，8 ビット・メモリ操作命令で設定してください。

図 3－41　RAM 開始アドレス設定レジスタ（RAMSAR）構成 注

アドレス：F0076H　リセット時：EFH　R/W

略号	7	6	5	4	3	2	1	0
RAMSAR	RAMSAR[7:0]							

ビット	ビット名	説明
7-0	－	RAM 開始アドレス設定ビット（設定範囲：9FH-FDH） これらのビットは，RAM 開始アドレスのビット 15 からビット 8 を設定します。 （例）9FH が設定されている場合：RAM ガード開始アドレス = F9F00H

注　RAMSAR レジスタは，リセット解除後に 1 回だけ書き込むことができます。設定直後に RAM をアクセスする場合は，2 クロック以上の間隔を置いてください。

表 3－8　RAM ガード機能の設定例

RAMSAR レジスタ 注	IAWCTL.GRAM[1:0]ビット	有効な RAM 領域	RAM ガード空間
9FH	01B (128 bytes)	F9F00H-FFEFFH (24 KB)	F9F00H-F9F7FH
	10B (256 bytes)		F9F00H-F9FFFH
	11B (512 bytes)		F9F00H-FA0FFH
AFH	01B (128 bytes)	FAF00H-FFEFFH (20 KB)	FAF00H-FAF7FH
	10B (256 bytes)		FAF00H-FAFFFH
	11B (512 bytes)		FAF00H-FB0FFH
CFH	01B (128 bytes)	FCF00H-FFEFFH (12 KB)	FCF00H-FCF7FH
	10B (256 bytes)		FCF00H-FCFFFH
	11B (512 bytes)		FCF00H-FD0FFH
DFH	01B (128 bytes)	FDF00H-FFEFFH (8 KB)	FDF00H-FDF7FH
	10B (256 bytes)		FDF00H-FDFFFH
	11B (512 bytes)		FDF00H-FE0FFH
EFH	01B (128 bytes)	FEF00H-FFEFFH (4 KB)	FEF00H-FEF7FH
	10B (256 bytes)		FEF00H-FEFFFH
	11B (512 bytes)		FEF00H-FF0FFH

注　必ず使用する製品のメモリ範囲内に設定してください。

3.5.2　SFR ガード機能

SFR ガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出機能が使用する制御レジスタの設定データを保護するために使用します。

SFR ガード機能が指定されている場合，指定した SFR への書き込みは無効になりますが，読み取りは通常どおり実行できます。

＜制御レジスタ＞

(1) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）

このレジスタは，不正なメモリ・アクセスと RAM/SFR ガード機能の検出制御に使用します。

SFR ガード機能には，GPORT，GINT および GCSC ビットを使用します。

IAWCTL レジスタは，8 ビット・メモリ操作命令で設定してください。

リセット後，このレジスタは 00H にセットされます。

図 3－42　不正メモリ・アクセス検出制御レジスタ（IAWCTL）構成

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN	不正メモリ・アクセス検出制御ビット
0	不正メモリ・アクセス検出機能を無効にします。
1	不正メモリ・アクセス検出機能を有効にします。

GPORT	ポート機能 SFR ガード制御ビット
0	ポート機能用の制御レジスタへの書き込み，および読み出し：無効
1	ポート機能用の制御レジスタへの書き込みは無効，読み出しは有効 ［ガードする SFR］PMxx, PUxx, PIMxx, POMxx, PMCxx, PITHLxx, PIORx 注

GINT	割り込み機能 SFR ガード制御ビット
0	割り込み機能用の制御レジスタへの書き込み，および読み出し：無効
1	割り込み機能用の制御レジスタへの書き込みは無効，読み出しは有効 ［ガードする SFR］IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能 SFR ガード制御ビット
0	クロック機能および電圧検出機能用の制御レジスタへの書き込み，および読み出し：無効.
1	クロック機能および電圧検出機能用の制御レジスタへの書き込みは無効，読み出しは有効 ［ガードする SFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, CANCKSEL, LINCKSEL, CKSEL, PLLCTL, MDIV, RTCCL, POCRES, STPSTC, CLMTES, ADCKS

注　Pxx（ポート・レジスタ）はガードされません。

第4章　ポート機能

4.1　ポートの機能

端子の入出力バッファ電源は，製品によって異なります。表 4－1 に各電源と端子の関係を示します。

EV_{DD} は，EV_{DD0}/EV_{DD1} を表します。

表 4－1　各端子の入出力バッファ電源

(1)　32 ピン，48 ピン製品

電源	対応する端子
V_{DD}	すべての端子

(2)　64 ピン製品

電源	対応する端子
EV_{DD0}	・P33，P34，P80-P87，P90-P96，P121-P124，P137以外のポート端子
V_{DD}	・P33，P34，P80-P87，P90-P96，P121-P124，P137 ・ポート以外の端子

(3)　80 ピン製品

電源	対応する端子
EV_{DD0}	・P33，P34，P80-P87，P90-P97，P121-P124，P137以外のポート端子
V_{DD}	・P33，P34，P80-P87，P90-P97，P121-P124，P137 ・ポート以外の端子

(4)　100 ピン製品

電源	対応する端子
EV_{DD0}，EV_{DD1}	・P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137以外のポート端子
V_{DD}	・P33，P34，P80-P87，P90-P97，P100-P105，P121-P124，P137 ・ポート以外の端子

RL78/F23, F24 は，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については「第 2 章 端子機能」を参照してください。

4.2　ポートの構成

ポートは，次のハードウェアで構成しています。

表 4－2　ポートの構成

項目	構成
制御レジスタ	・ポート・モード・レジスタ（PM0, PM1, PM3-PM10, PM12, PM14, PM15） ・ポート・レジスタ（P0, P1, P3-P10, P12-P15） ・プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3-PU7, PU10, PU12, PU14, PU15） ・ポート入力モード・レジスタ（PIM1, PIM3, PIM5-PIM7, PIM12） ・ポート出力モード・レジスタ（POM1, POM3, POM6, POM7, POM12） ・ポート・モード・コントロール・レジスタ（PMC3, PMC7-PMC10, PMC12） ・周辺I/Oリダイレクション・レジスタ（PIOR0-PIOR9） ・ポート入力閾値制御レジスタ（PITHL1, PITHL3-PITHL7, PITHL10, PITHL12, PITHL15） ・ポート出力スルー・レート選択レジスタ（PSRSEL） ・SNOOZEステータス出力制御レジスタ0-3（PSNZCNT0-PSNZCNT3） ・ポート・モード選択レジスタ（PMS）
ポート	・32ピン製品： 合計：28本（CMOS入出力：25本，CMOS入力：3本） ・48ピン製品： 合計：44本（CMOS入出力：38本，CMOS入力：5本，CMOS出力：1本） ・64ピン製品： 合計：58本（CMOS入出力：52本，CMOS入力：5本，CMOS出力：1本） ・80ピン製品： 合計：74本（CMOS入出力：68本，CMOS入力：5本，CMOS出力：1本） ・100ピン製品： 合計：92本（CMOS入出力：86本，CMOS入力：5本，CMOS出力：1本）

注意　この章では，以降の主な説明を 100 ピン製品の場合で説明しています。

4.2.1　ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 0（PM0）により 1 ビット単位で入力モード／出力モードの指定ができます。P00-P03 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 0（PU0）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてタイマの入出力，リアルタイム・クロックの補正クロック出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

表 4－3　ポート 0 使用時のレジスタ設定

端子名称		PM0x	兼用機能設定
名称	入出力		
P00	入力	1	×
	出力	0	（TO05出力 = 0）注1
P01	入力	1	×
	出力	0	（TO04出力 = 0）注1
P02	入力	1	×
	出力	0	（TO06出力 = 0）注1
P03	入力	1	×
	出力	0	（RTC1HZ出力 = 0）注2

重要　ポート 0 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

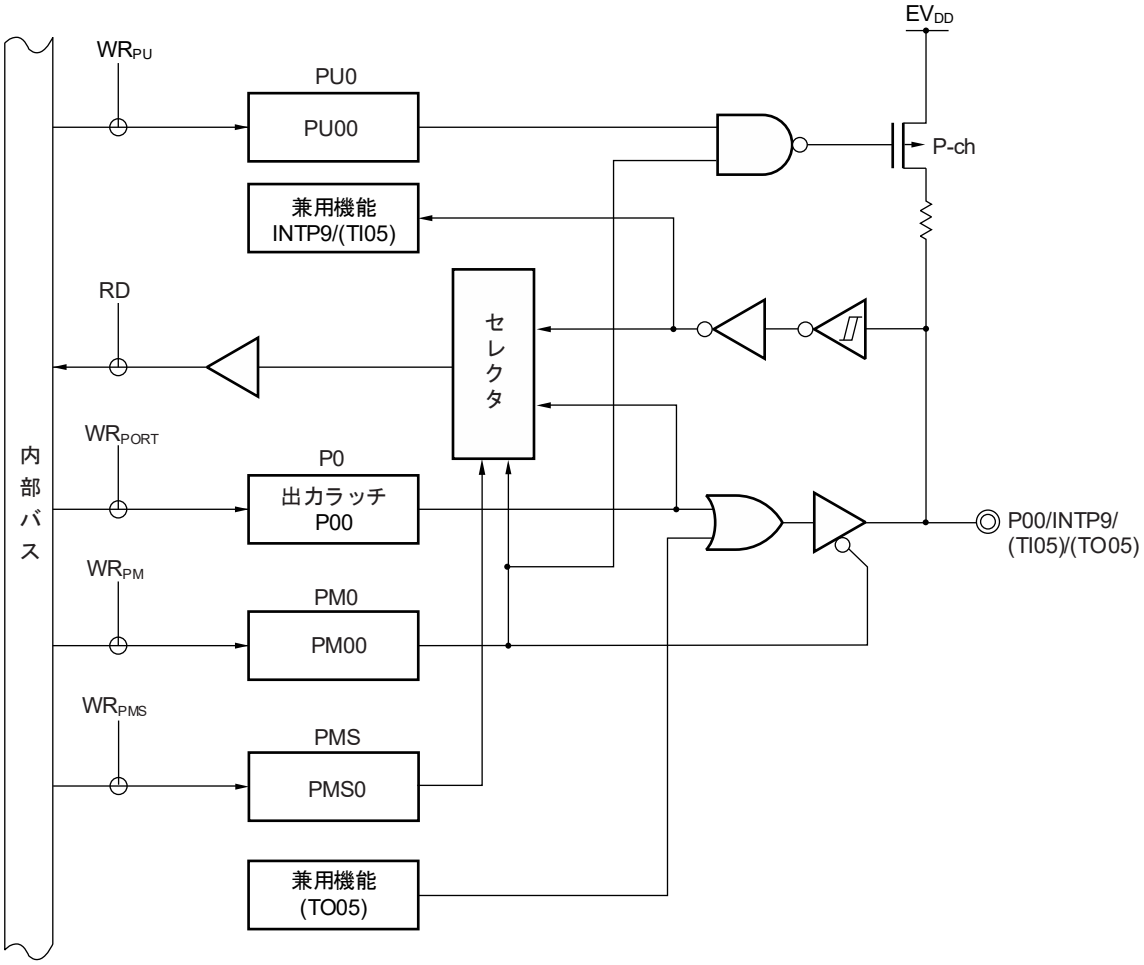
注 1. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニット・チャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください（m = 0, 1，n = 0-7）。
あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

2. RTC1HZ 端子の出力（1 Hz）機能と兼用している端子を汎用ポートとして使用する場合，リアルタイム・クロック・コントロール・レジスタ 0（RTCC0）の RCLOE1 ビットを初期値と同じ設定で使用してください。
あるいは，周辺 I/O リダイレクション・レジスタ（PIOR8）により，対応する機能を別のピンに割り当てます。

備考　×　　：don't care
PM0x　：ポート・モード・レジスタ 0

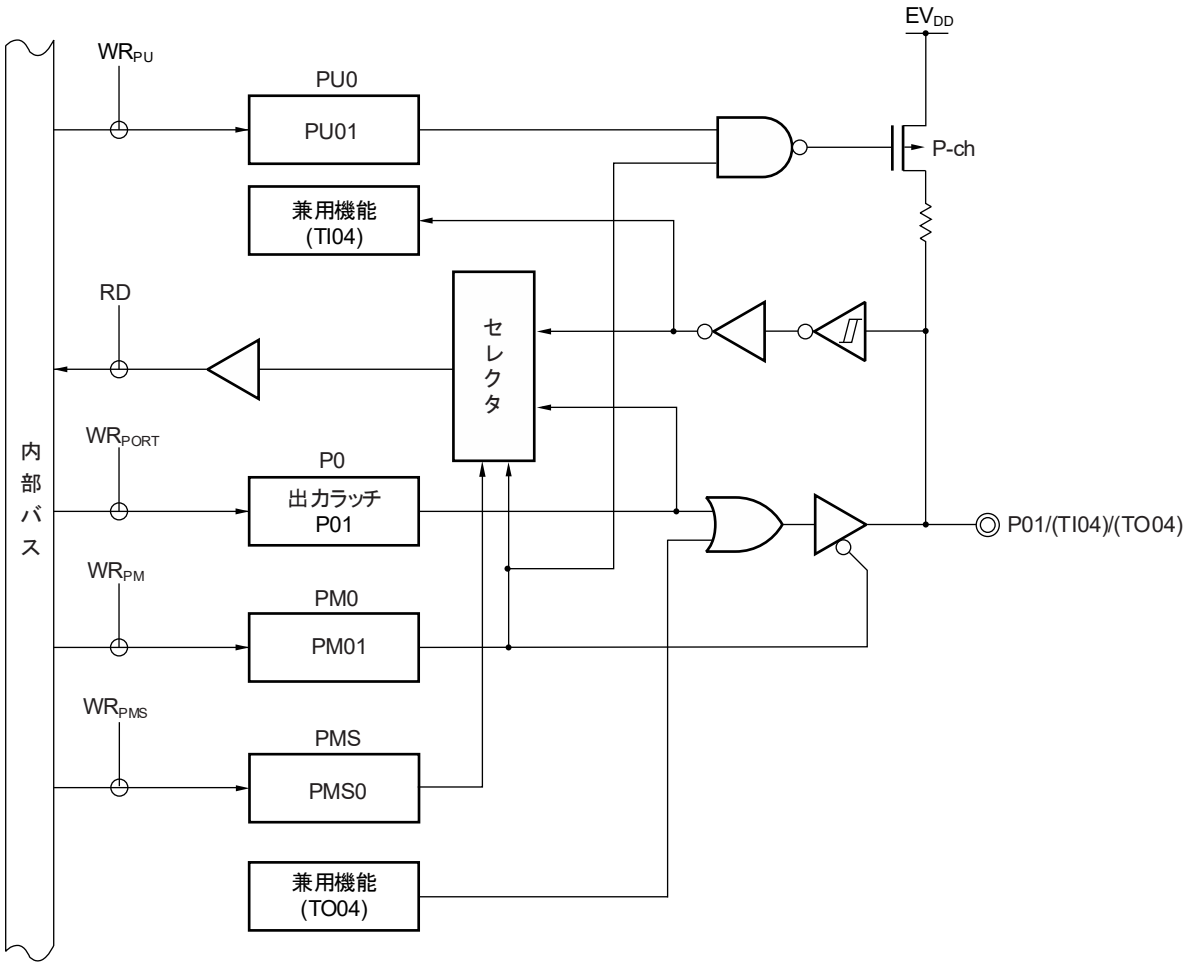
例として，図 4－1～図 4－4 に，100 ピン製品のポート 0 のブロック図を示します。

図 4－1　P00 のブロック図



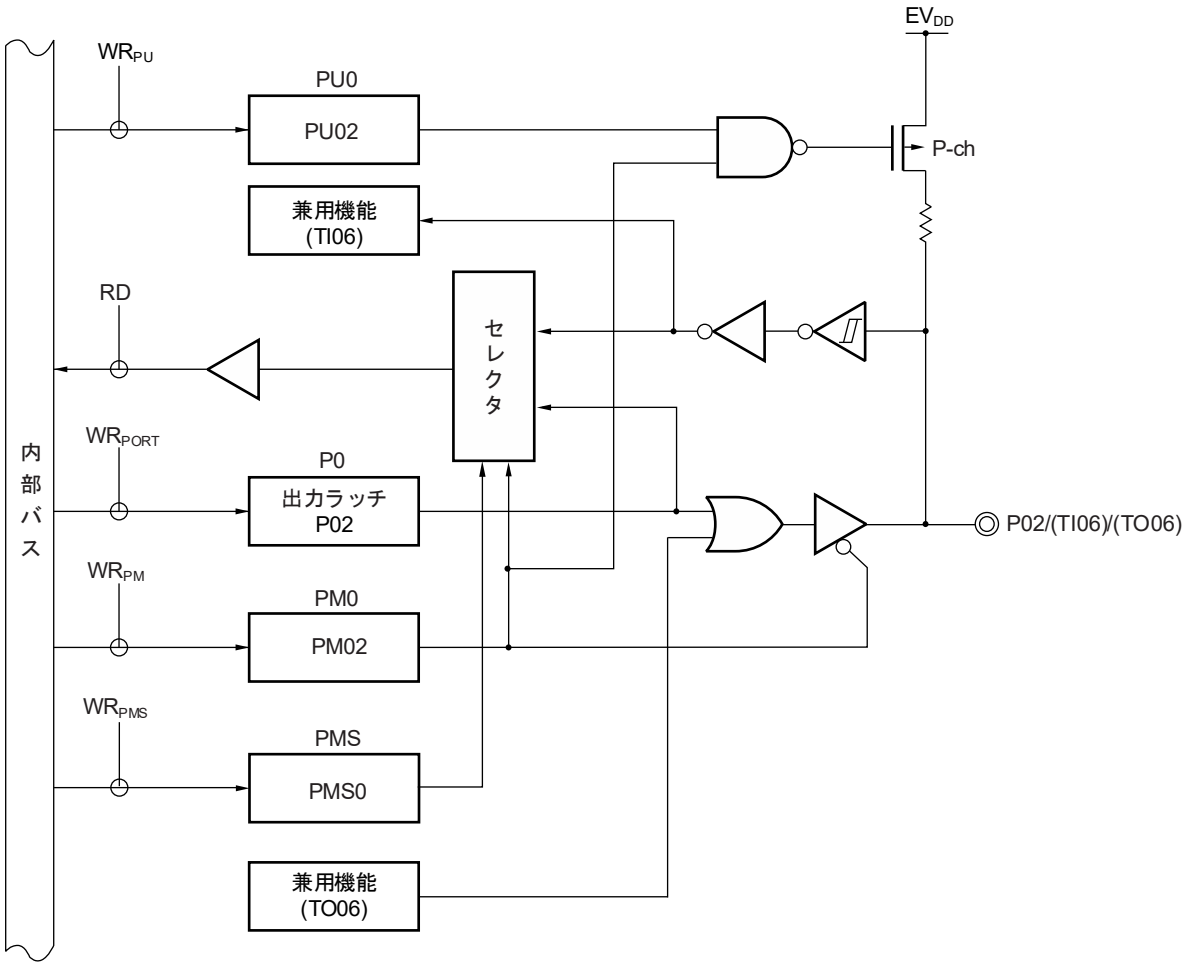
P0　　：ポート・レジスタ 0
PU0　　：プルアップ抵抗オプション・レジスタ 0
PM0　　：ポート・モード・レジスタ 0
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

図 4－2　P01 のブロック図



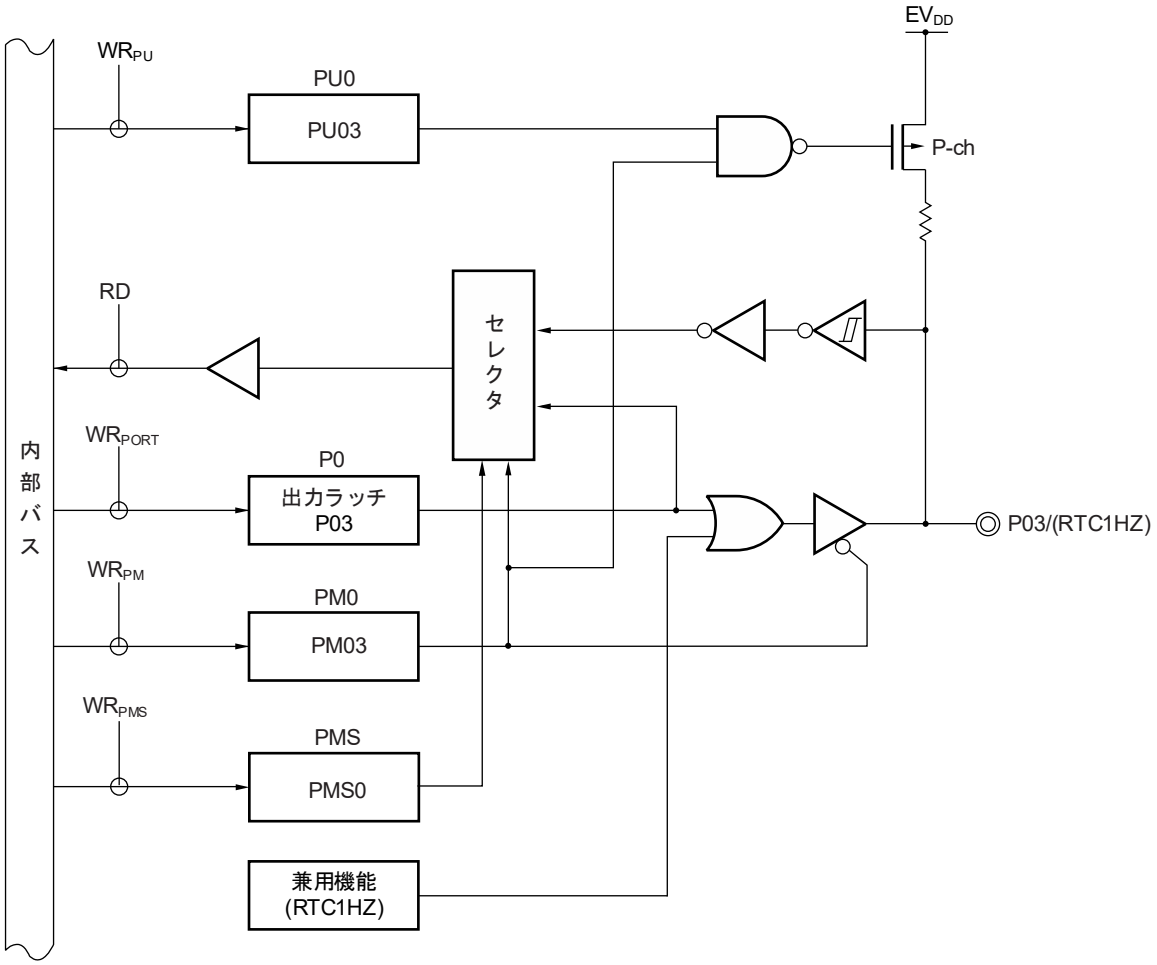
P0　　：ポート・レジスタ 0
PU0　　：プルアップ抵抗オプション・レジスタ 0
PM0　　：ポート・モード・レジスタ 0
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

図 4－3　P02 のブロック図



P0　　：ポート・レジスタ 0
PU0　　：プルアップ抵抗オプション・レジスタ 0
PM0　　：ポート・モード・レジスタ 0
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

図 4－4　P03 のブロック図



P0　　：ポート・レジスタ 0
PU0　　：プルアップ抵抗オプション・レジスタ 0
PM0　　：ポート・モード・レジスタ 0
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

4.2.2　ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 1（PM1）により 1 ビット単位で入力モード／出力モードの指定ができます。P10-P17 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 1（PU1）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13, P14, P16, P17 端子の入力は，ポート入力モード・レジスタ 1（PIM1）の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。P10-P17 端子の出力は，ポート出力モード・レジスタ 1（POM1）により 1 ビット単位で N-ch オープン・ドレイン出力（EV_{DD} 耐圧）に設定可能です。

P10, P11, P13, P14, P16, P17 端子の入力は，ポート入力閾値制御レジスタ 1（PITHL1）の設定により 1 ビット単位で入力バッファの閾値の指定ができます。

また，兼用機能としてシリアル・インタフェース（簡易 IIC，CSI，UART）のデータ入出力，クロック入出力，LIN のシリアルデータ入出力，CAN のシリアルデータ入出力，リアルタイム・クロックの補正クロック出力，プログラミング UART の送受信，タイマの入出力，外部割り込み要求入力，SNOOZE ステータス出力があります。

リセット信号の発生により入力モードになります。

表 4－4　ポート 1 使用時のレジスタ設定（1/2）

端子名称		PM1x	PIM1x	POM1x	PITHL1x	兼用機能設定	備考
名称	入出力						
P10	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SCK10/SCL10出力 = 1 注1 TO13出力 = 0 注2 TRJO0出力 = 0 注3 LTXD1出力 = 1 注8 CTXD0出力 = 1 注9	CMOS出力
			×	1	×		N-ch O.D出力
P11	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SDA10出力 = 1 注1 TO12出力 = 0 注2 (TRDIOB0出力 = 0) 注5	CMOS出力
			×	1	×		N-ch O.D出力
P12	入力	1	–	×	–	×	
	出力	0	–	0	–	TO11出力 = 0 注2 SO10/TXD1出力 = 1 注1 SNZOUT3出力 = 0 注7 (TRDIOD0出力 = 0) 注5	CMOS出力
			–	1	–		N-ch O.D出力

（**注**と**備考**は，表 4－4　ポート 1 使用時のレジスタ設定（2/2）の下にあります。）

表4－4　ポート1使用時のレジスタ設定（2/2）

端子名称		PM1x	PIM1x	POM1x	PITHL1x	兼用機能設定	備考
名称	入出力						
P13	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	TRDIOA0出力 = 0 注5 SDA01出力 = 1 注1 TO04出力 = 0 注2 LTXD0出力 = 1 注8	CMOS出力
			×	1	×		N-ch O.D出力
P14	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	TRDIOC0出力 = 0 注4, 5 SCK01/SCL01出力 = 1 注1 TO06出力 = 0 注2	CMOS出力
			×	1	×		N-ch O.D出力
P15	入力	1	–	×	–	×	
	出力	0	–	0	–	TRDIOA1出力 = 0 注5 TO05出力 = 0 注2 SO00/TXD0出力 = 1 注1 RTC1HZ出力 = 0 注6 (TRDIOA0出力 = 0) 注5	CMOS出力
			–	1	–		N-ch O.D出力
P16	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SDA00出力 = 1 注1 TRDIOC1出力 = 0 注5 TO02出力 = 0 注2	CMOS出力
			×	1	×		N-ch O.D出力
P17	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
		1	1	×	×	×	TTL入力
	出力	0	×	0	×	TRDIOB1出力 = 0 注5 SCK00/SCL00出力 = 1 注1 TO00出力 = 0 注2	CMOS出力
			×	1	×		N-ch O.D出力

重要　ポート 1 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

注 1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合，対象ユニット・チャネルに該当するシリアル出力レジスタ m（SOm）の CKOmn ビット，シリアル出力許可レジスタ m（SOEm）の SOEmn ビット，シリアルチャネル許可ステータスレジスタ m（SEm）の SEmn ビットを初期値と同じ設定で使用してください (m = 0, 1，n = 0, 1)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4，9）により，対応する機能を別のピンに割り当てます。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニット・チャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m

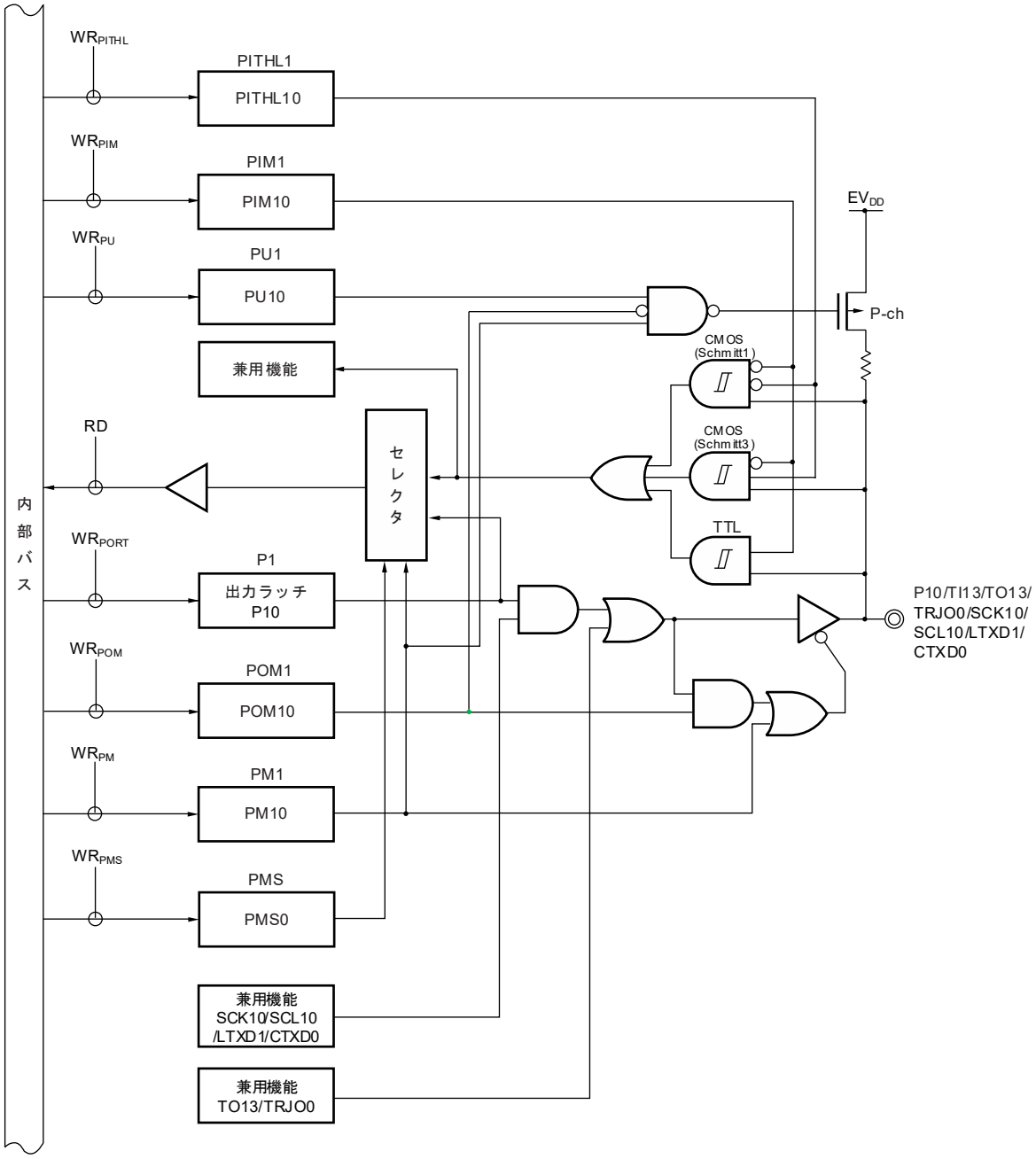
（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください (m = 0, 1，n = 0-7)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

3. タイマ RJ のタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，タイマ RJ I/O 制御レジスタ 0（TRJIOC0）のビット 2（TOENA）を初期値と同じ設定で使用してください。
4. SNOOZE ステータス出力の使用中は，TRDIOC0 からの出力を停止します。
5. タイマ RDe 機能と兼用している端子を汎用ポートとして使用する場合，タイマ RDe 出力マスタ許可レジスタ 1（TRDOER1）で対象となる TRDIOij 端子の出力制御ビットを初期値と同じ設定で使用してください (i= A, B, C, D，j = 0, 1)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。
6. RTC1HZ 端子の出力（1 Hz）機能と兼用している端子を汎用ポートとして使用する場合，リアルタイム・クロック制御レジスタ 0（RTCC0）の RCLOE1 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR8）により，対応する機能を別のピンに割り当てます。
7. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。
8. LIN のシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合，対応する LIN を動作停止にしてください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。
9. CAN のシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合，対応する CAN を動作停止にしてください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4）により，対応する機能を別のピンに割り当てます。

備考
×　：don't care
PM1x　：ポート・モード・レジスタ 1
PIM1x　：ポート入力モード・レジスタ 1
POM1x　：ポート出力モード・レジスタ 1
PITHL1x：ポート入力閾値制御レジスタ 1

図 4－5～図 4－12 に，100 ピン製品の場合のポート 1 のブロック図を示します。

図 4－5　P10 のブロック図



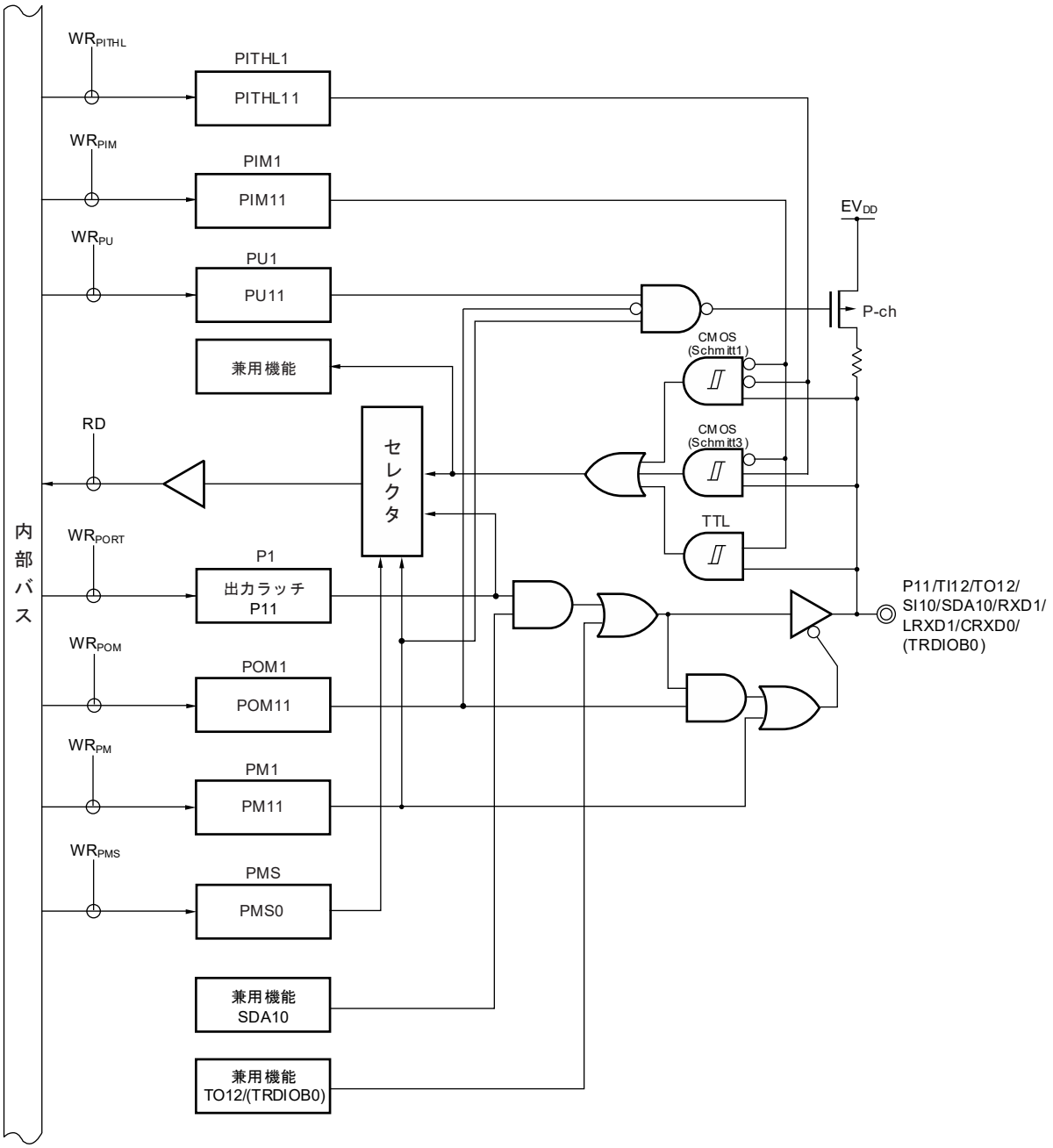
P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
PIM1　　：ポート入力モード・レジスタ 1
POM1　　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
PITHL1　：ポート入力閾値制御レジスタ 1
RD　　：リード信号
WRxx　　：ライト信号

（**注意**が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－6　P11 のブロック図



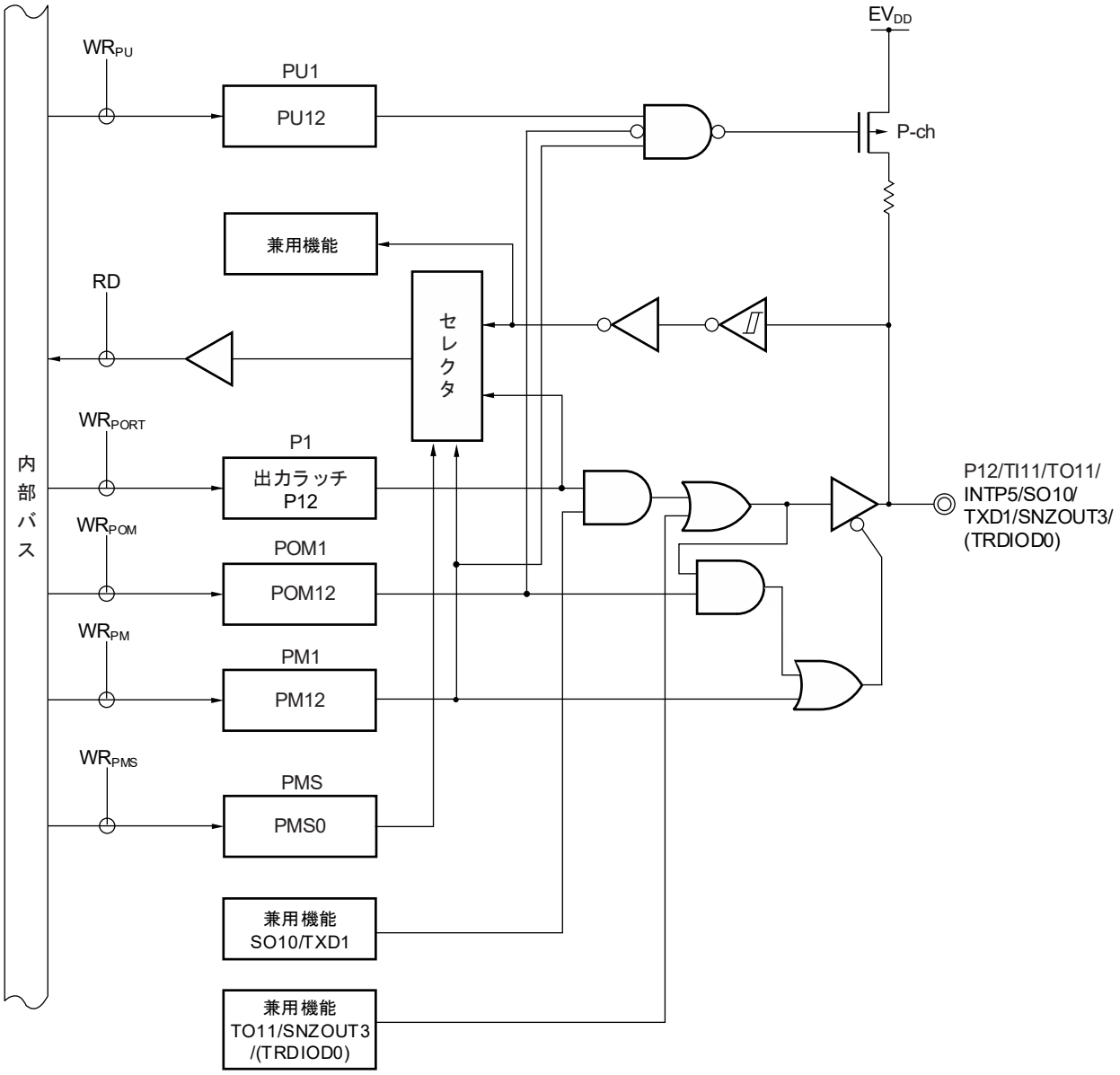
P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
PIM1　　：ポート入力モード・レジスタ 1
POM1　　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
PITHL1　：ポート入力閾値制御レジスタ 1
RD　　：リード信号
WRxx　　：ライト信号

（**注意**が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

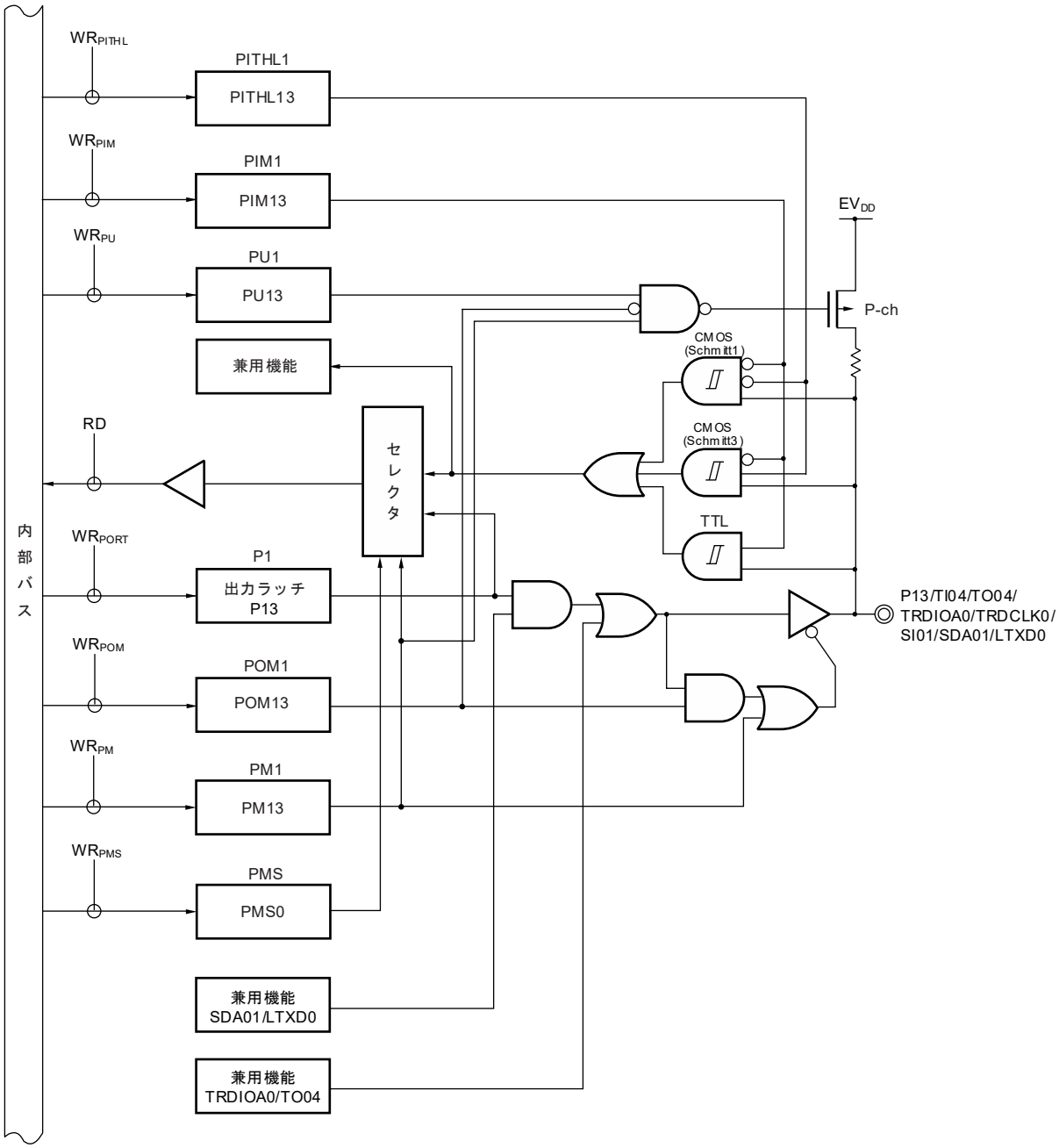
図 4－7　P12 のブロック図



P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
POM1　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

注意　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。

図 4－8　P13 のブロック図



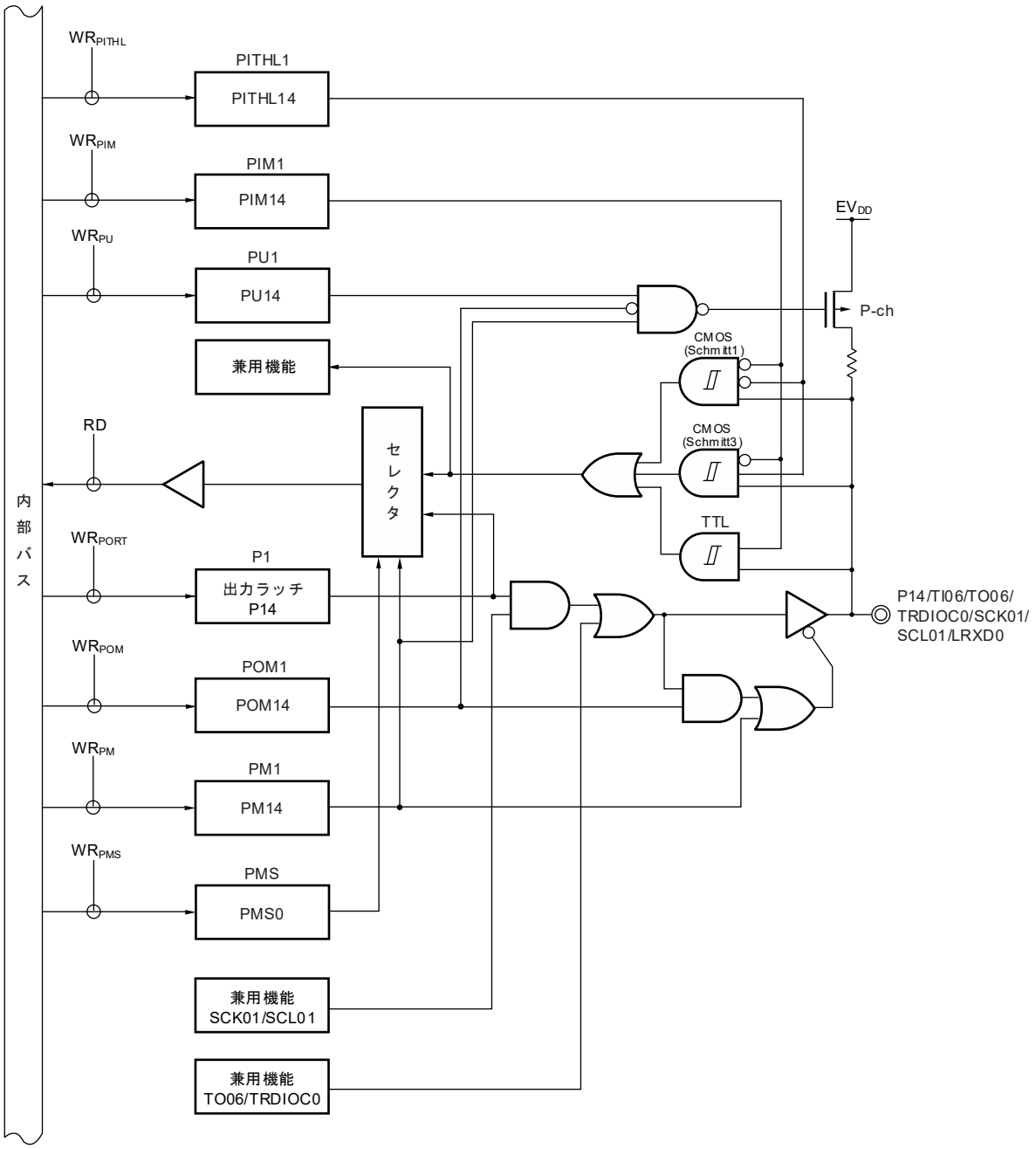
P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
PIM1　　：ポート入力モード・レジスタ 1
POM1　　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
PITHL1　：ポート入力閾値制御レジスタ 1
RD　　：リード信号
WRxx　　：ライト信号

（**注意**が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－9　P14 のブロック図



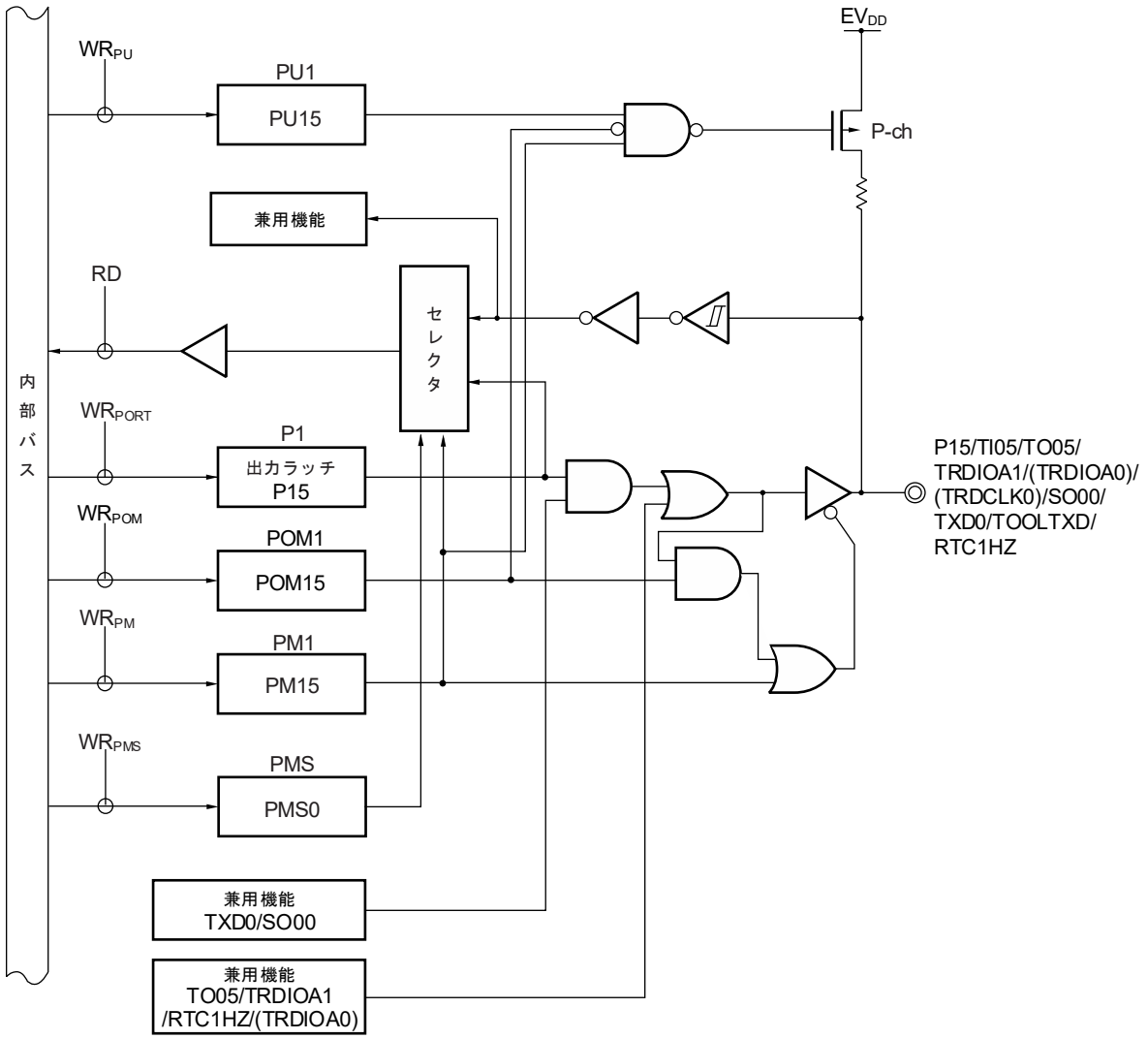
P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
PIM1　　：ポート入力モード・レジスタ 1
POM1　　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
PITHL1　：ポート入力閾値制御レジスタ 1
RD　　：リード信号
WRxx　　：ライト信号

（**注意**が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

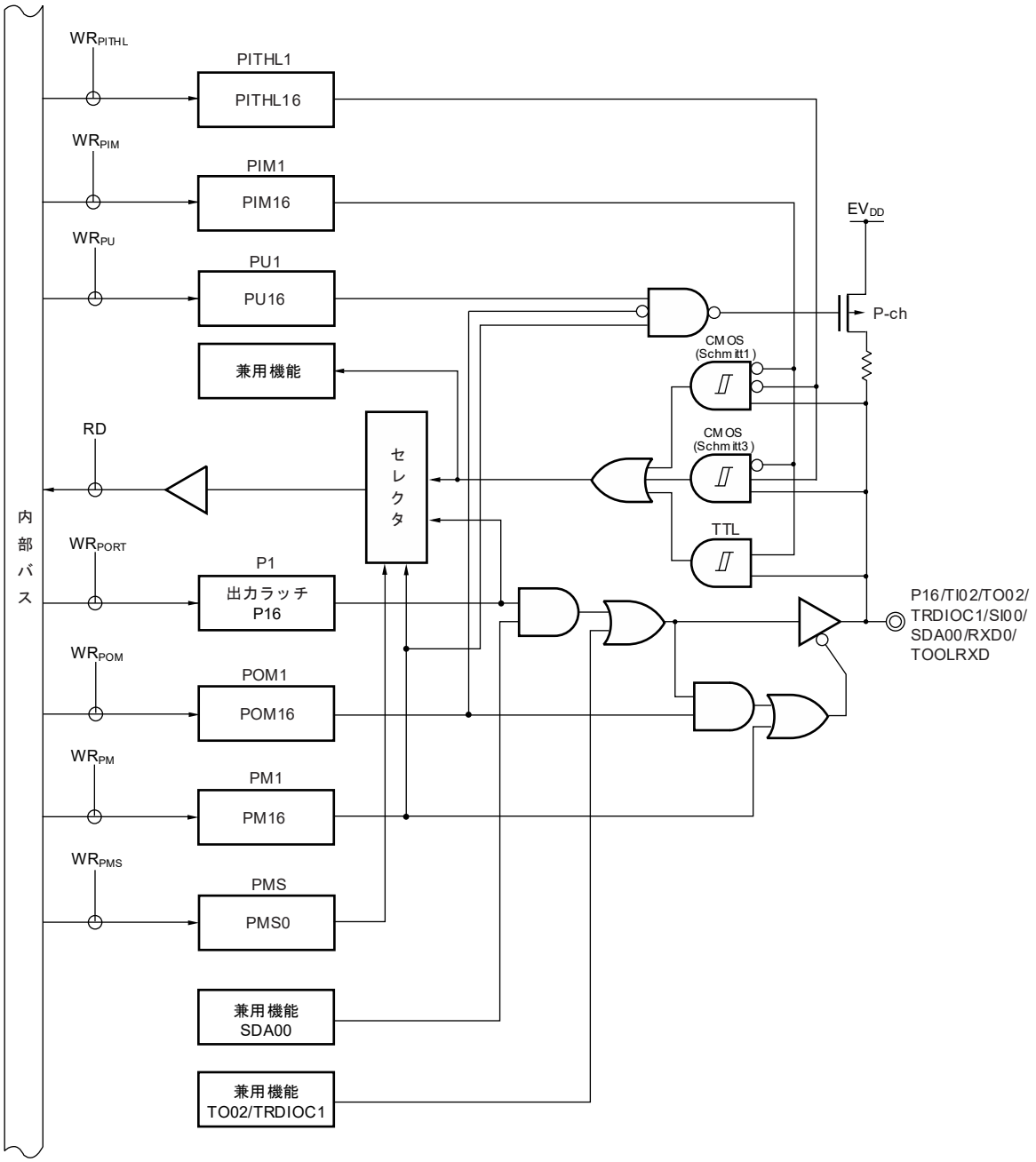
図 4－10　P15 のブロック図



P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
POM1　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

注意　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。

図 4－11　P16 のブロック図



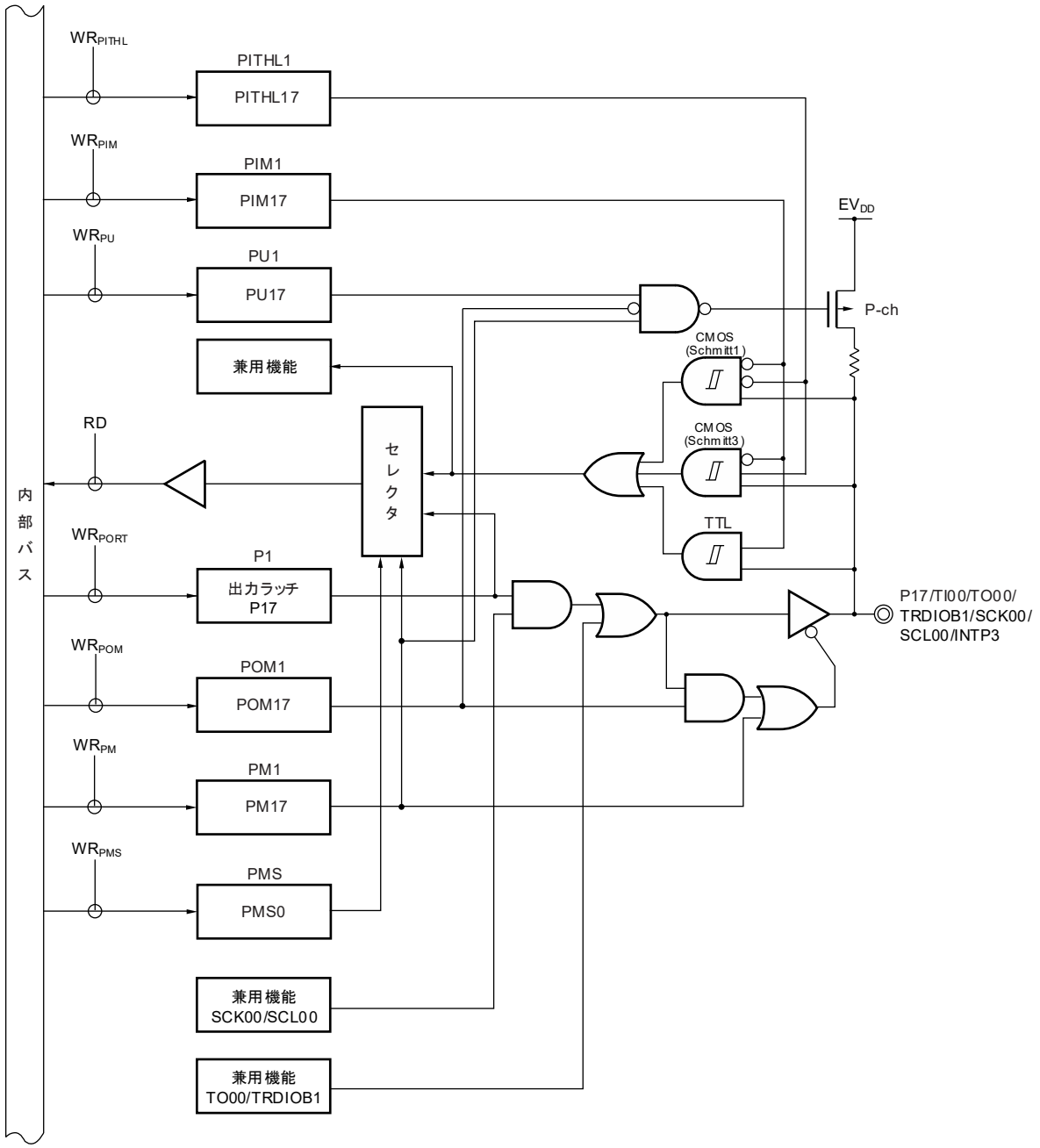
P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
PIM1　　：ポート入力モード・レジスタ 1
POM1　　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
PITHL1　：ポート入力閾値制御レジスタ 1
RD　　：リード信号
WRxx　　：ライト信号

（**注意**が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－12　P17 のブロック図



P1　　：ポート・レジスタ 1
PU1　　：プルアップ抵抗オプション・レジスタ 1
PM1　　：ポート・モード・レジスタ 1
PIM1　　：ポート入力モード・レジスタ 1
POM1　　：ポート出力モード・レジスタ 1
PMS　　：ポート・モード選択レジスタ
PITHL1　：ポート入力閾値制御レジスタ 1
RD　　：リード信号
WRxx　　：ライト信号

（**注意**が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

4.2.3　ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 3（PM3）により 1 ビット単位で入力モード／出力モードの指定ができます。P30, P31, P32 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 3（PU3）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P30 端子の入力は，ポート入力モード・レジスタ 3（PIM30）の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。P30 端子の入力は，ポート入力閾値制御レジスタ 3（PITHL3）の設定により 1 ビット単位で入力バッファの閾値の指定ができます。

P32 端子の出力は，ポート出力モード・レジスタ 3（POM3）により 1 ビット単位で N-ch オープン・ドレイン出力（EV_{DD} 耐圧）として指定できます。

また，兼用機能として外部割り込み要求入力，タイマの入出力，シリアルインタフェースのスレーブセレクト入力，シリアル・インタフェースのデータ出力（CSI），SNOOZE ステータス出力，STOP ステータス出力があります。

また P33 と P34 は，兼用機能として A/D コンバータのアナログ入力，A/D コンバータの基準電位（＋側）入力，A/D コンバータの基準電位（－側）入力があります。

P33/ANI6, P34/ANI7 をデジタル入力として使用する場合は, ポート･モード･コントロール･レジスタ 3(PMC3) でデジタル入出力に，かつ PM3 レジスタで入力モードに設定してください。

P33/ANI6, P34/ANI7 をデジタル出力として使用する場合は, ポート･モード･コントロール･レジスタ 3(PMC3) でデジタル入出力に，かつ PM3 レジスタで出力モードに設定してください。

P33/ANI6, P34/ANI7 をアナログ入出力として使用する場合は，ポート・モード・コントロール・レジスタ 3（PMC3）でアナログ入出力に，かつ PM3 レジスタで入力モードに設定してください。

リセット信号の発生により，P30, P31, P32 は入力モード，P33/ANI6, P34/ANI7 はアナログ入力になります。

表 4－5　ポート 3（P30-P32）使用時のレジスタ設定（1）

端子名称		PM3x	PIM3x	POM3x	PITHL3x	兼用機能設定	備考
名称	入出力						
P30	入力	1	0	–	0	×	CMOS 入力（Schmitt1 入力）
				–	1		CMOS 入力（Schmitt3 入力）
			1	–	×	×	TTL 入力
	出力	0	×	–	×	TRDIOD1出力 = 0 注1 TO01出力 = 0 注2 SNZOUT0出力 = 0 注3	
P31	入力	1	–	–	–	×	
	出力	0	–	–	–	TO14出力 = 0 注2 STOPST出力 = 0 注4	
P32	入力	1	–	×	–	×	
	出力	0	–	0	–	TO16出力 = 0 注2 （SO11出力 = 1）注5	CMOS 出力
				1			N-ch O.D 出力

重要　ポート 3 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

（**注**と**備考**が次のページにあります。）

注 1. タイマ RDe 機能と兼用している端子を汎用ポートとして使用する場合，タイマ RDe 出力マスタ許可レジスタ 1（TRDOER1）で対象となる TRDIOij 端子の出力制御ビットを初期値と同じ設定で使用してください（i = A, B, C, D,　j = 0, 1）。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください (m= 0, 1，n = 0-7)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

3. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。

4. STOP ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，STOP ステータス出力制御レジスタ（STPSTC）の STPOEN ビットを初期値と同じ設定で使用してください。あるいは，STPSTC レジスタの STPSEL ビットにより，対応する機能を別のピンに割り当てます。

5. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するシリアル出力レジスタ m（SOm）の SOmn ビット，シリアル出力許可レジスタ m（SOEm）の SOEmn ビット，シリアルチャネル許可ステータス・レジスタ m（SEm）の SEmn ビットを初期値と同じ設定で使用してください（m = 0, 1，n = 0, 1）。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

備考　×　　：don't care
PM3x　：ポート・モード・レジスタ 3
PIM3x　：ポート入力モード・レジスタ 3
POM3x　：ポート出力モード・レジスタ 3
PITHL3x　：ポート入力閾値制御レジスタ 3

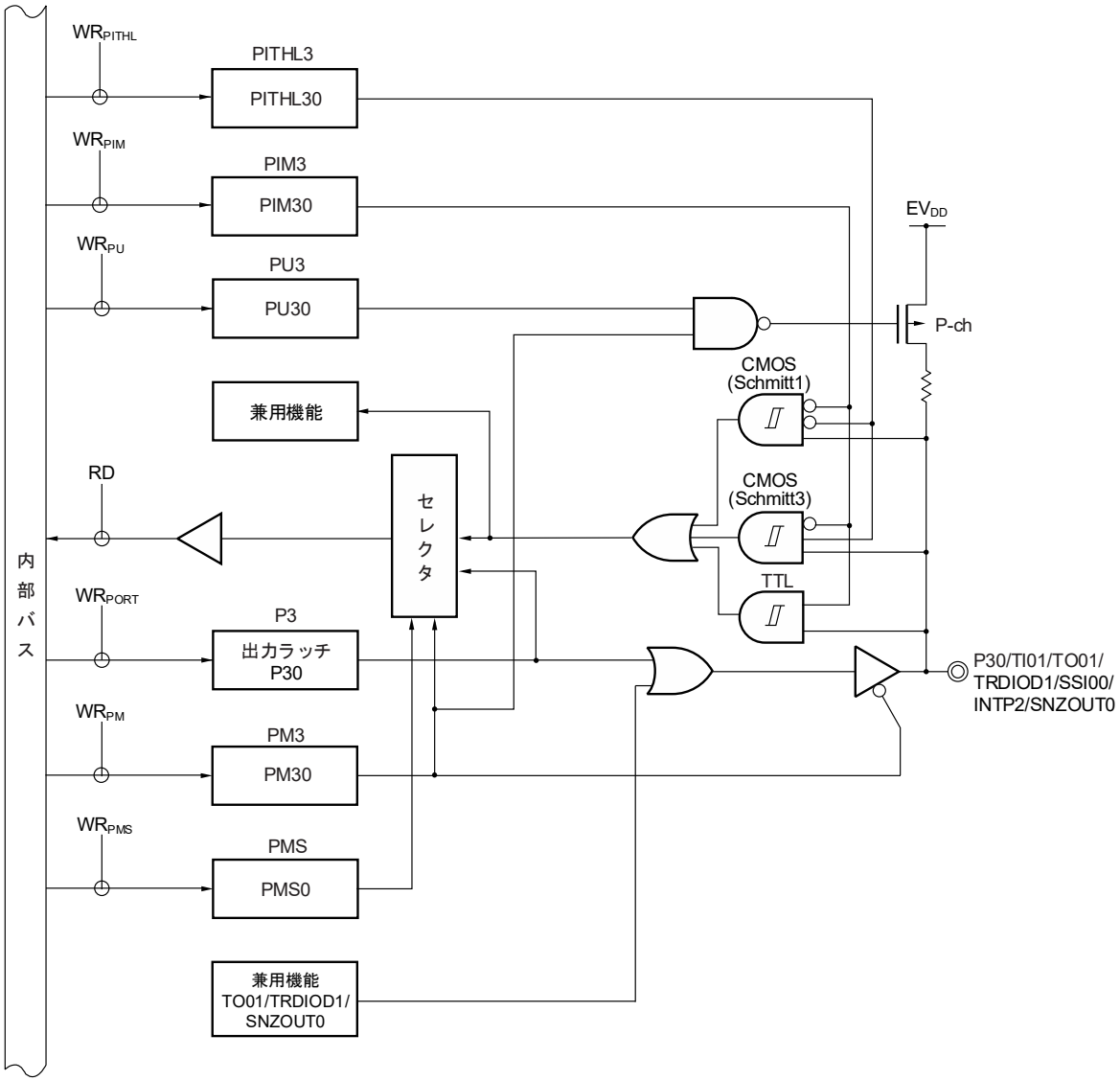
表 4－6　P33/ANI6, P34/ANI7 端子機能の設定

PMC3レジスタ	PM3レジスタ	ADANSA0, ADANSB0レジスタ	P33/ANI6, P34/ANI7端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P33/ANI6, P34/ANI7 はアナログ入力になります。

図 4－13～図 4－16 に，100 ピン製品の場合のポート 3 のブロック図を示します。

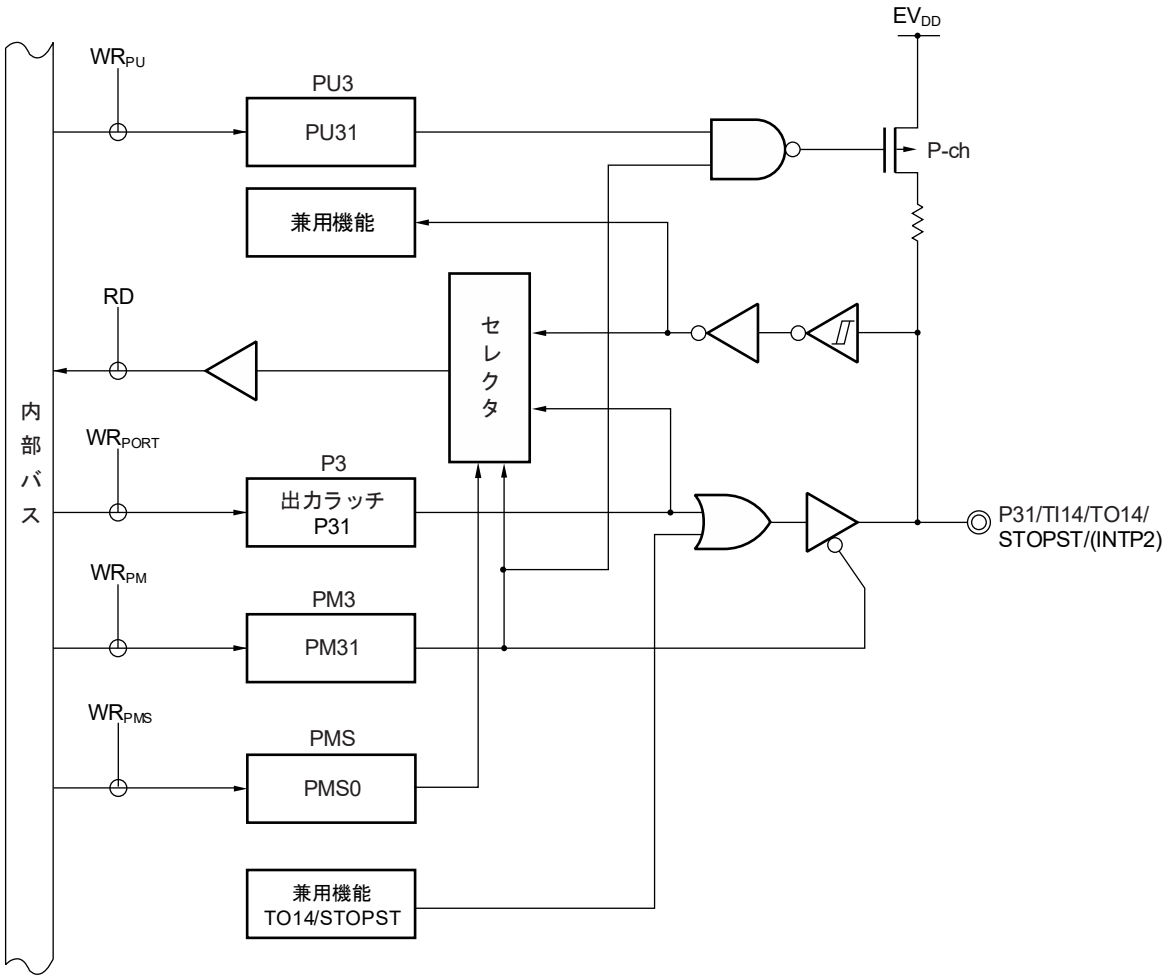
図 4－13　P30 のブロック図



P3　　：ポート・レジスタ 3
PU3　　：プルアップ抵抗オプション・レジスタ 3
PM3　　：ポート・モード・レジスタ 3
PIM3　　：ポート入力モード・レジスタ 3
PMS　　：ポート・モード選択レジスタ
PITHL3　：ポート入力閾値制御レジスタ 3
RD　　：リード信号
WRxx　　：ライト信号

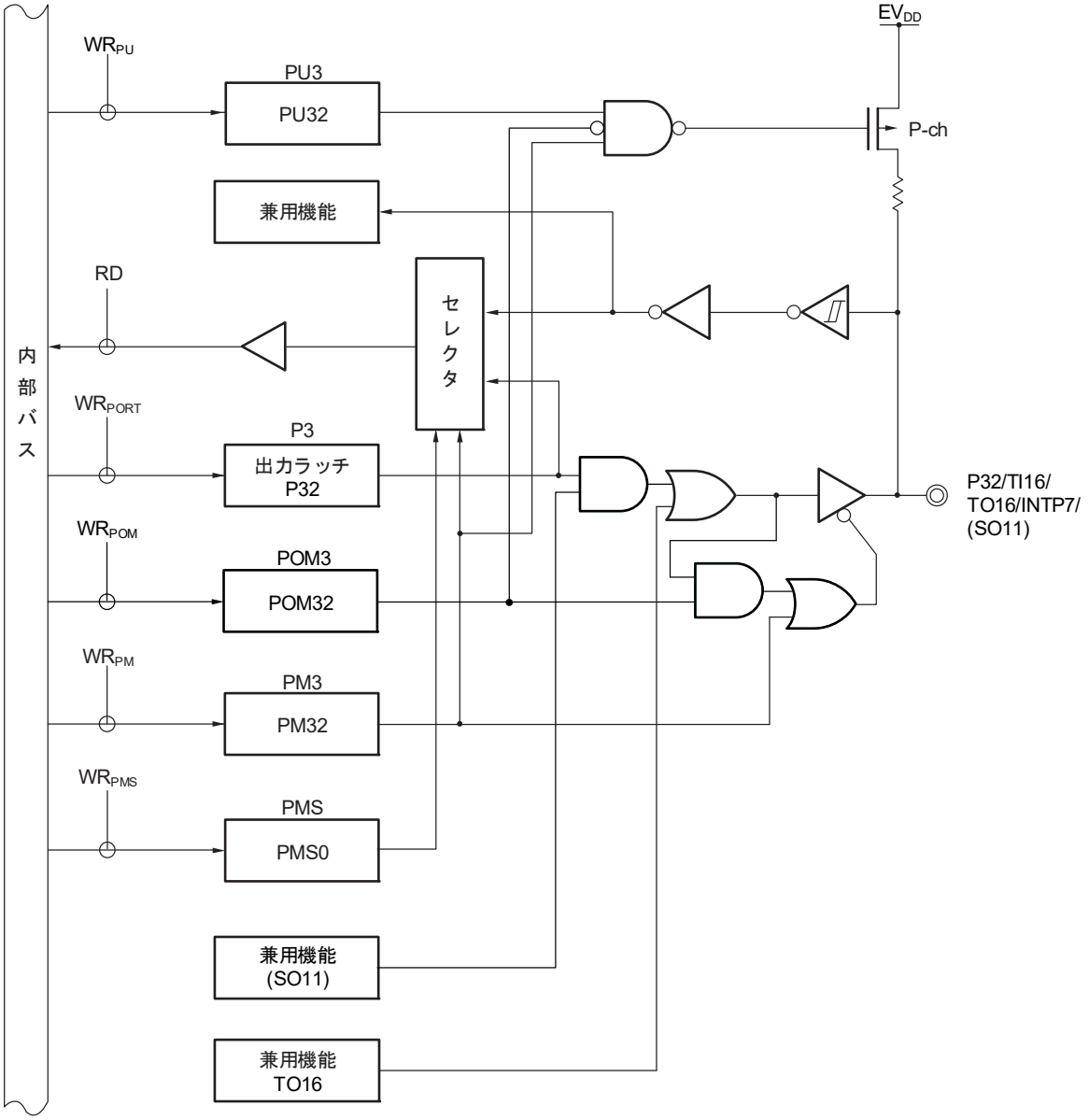
注意　この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－14　P31 のブロック図



P3　　：ポート・レジスタ 3
PU3　　：プルアップ抵抗オプション・レジスタ 3
PM3　　：ポート・モード・レジスタ 3
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

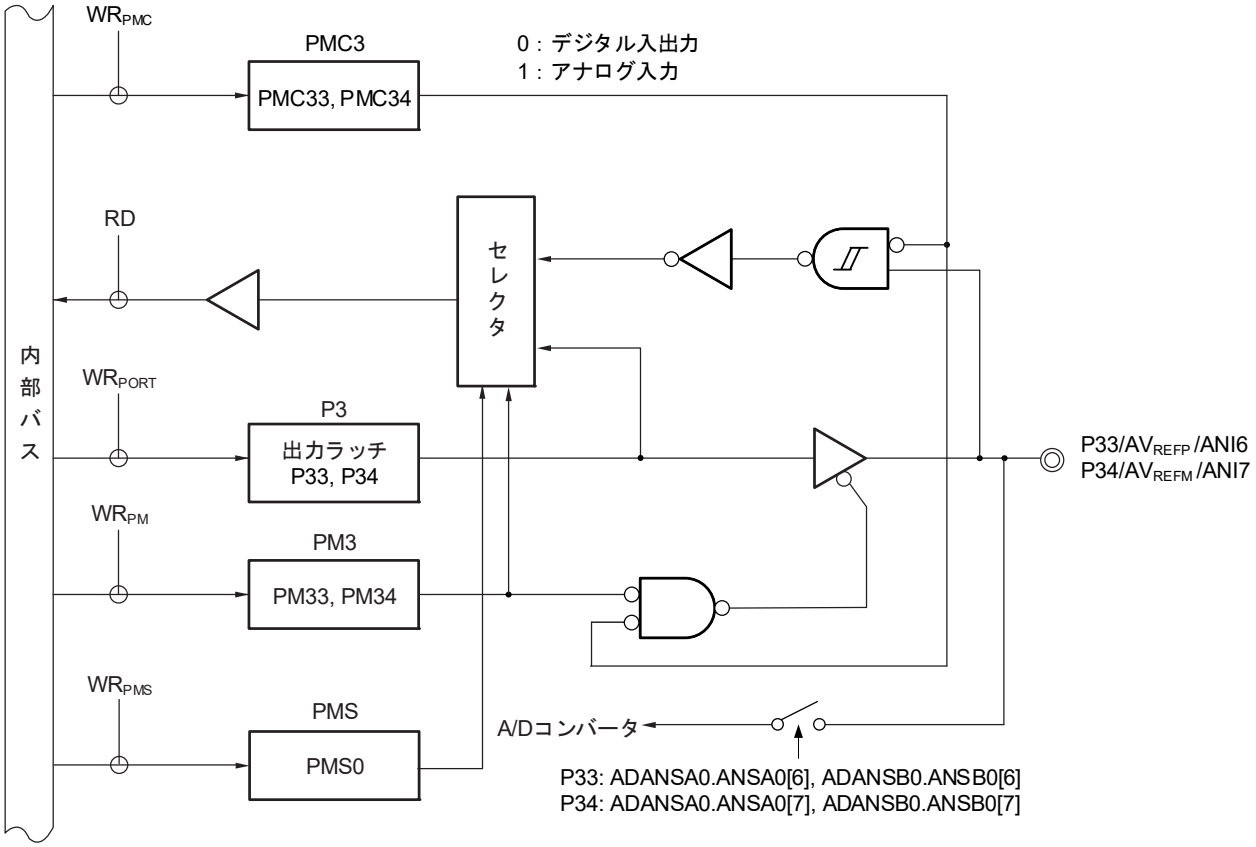
図 4－15　P32 のブロック図



P3　　：ポート・レジスタ 3
PU3　　：プルアップ抵抗オプション・レジスタ 3
PM3　　：ポート・モード・レジスタ 3
POM3　：ポート出力モード・レジスタ 3
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

注意　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。

図 4－16　P33, P34 のブロック図



P3　：ポート・レジスタ 3
PM3　：ポート・モード・レジスタ 3
PMS　：ポート・モード選択レジスタ
PMC3　：ポート・モード・コントロール・レジスタ 3
RD　：リード信号
WRxx　：ライト信号

4.2.4　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 4（PM4）により 1 ビット単位で入力モード／出力モードの指定ができます。P40-P47 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 4（PU4）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P41，P43 端子の入力は，ポート入力閾値制御レジスタ 4（PITHL4）の設定により，1 ビット単位で入力バッファの閾値の指定ができます。

また，兼用機能として外部割り込み要求入力，タイマ入出力，コンパレータ出力，SNOOZE ステータス出力，LIN のシリアルデータ入出力，シリアル・インタフェースのデータ入力，タイマ RDe カウンタ・クリア・トリガ入力，フラッシュ・メモリ・プログラマ/デバッガ用データ入出力があります。

リセット信号の発生により入力モードになります。

表 4－7　ポート 4 使用時のレジスタ設定

端子名称		PM4x	PITHL4x	兼用機能設定	備考
名称	入出力				
P40	入力	1	–	×	
	出力	0	–	×	
P41	入力	1	0	×	CMOS入力 （Schmitt1入力）
			1		CMOS入力 （Schmitt3入力）
	出力	0	×	TRJIO0入出力 = 0 注1 TO10出力 = 0 注2 VCOUT0出力 = 0 注3 SNZOUT2出力 = 0 注4	
P42	入力	1	–	×	
	出力	0	–	(LTXD0 = 1) 注5	
P43	入力	1	0	×	CMOS入力 （Schmitt1入力）
			1	×	CMOS入力 （Schmitt3入力）
	出力	0	×	×	
P44	入力	1	–	×	
	出力	0	–	(TO07出力 = 0) 注2	
P45	入力	1	–	×	
	出力	0	–	(TO10出力 = 0) 注2	
P46	入力	1	–	×	
	出力	0	–	(TO12出力 = 0) 注2	
P47	入力	1	–	×	
	出力	0	–	×	

重要　ポート 4 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

（**注**と**備考**は，次のページにあります。）

注 1. タイマ RJ のタイマ入出力機能と兼用している端子を汎用ポートとして使用する場合，タイマ RJ モード・レジスタ 0（TRJMR0）の TMOD2-0 ビットを初期値と同じ設定，または 001B 以外の設定で使用してください。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください（m= 0, 1, n = 0-7）。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

3. コンパレータ出力機能と兼用している端子を汎用ポートとして使用する場合，コンパレータ制御レジスタ（CMPCTL）の COE ビットを初期値と同じ設定で使用してください。

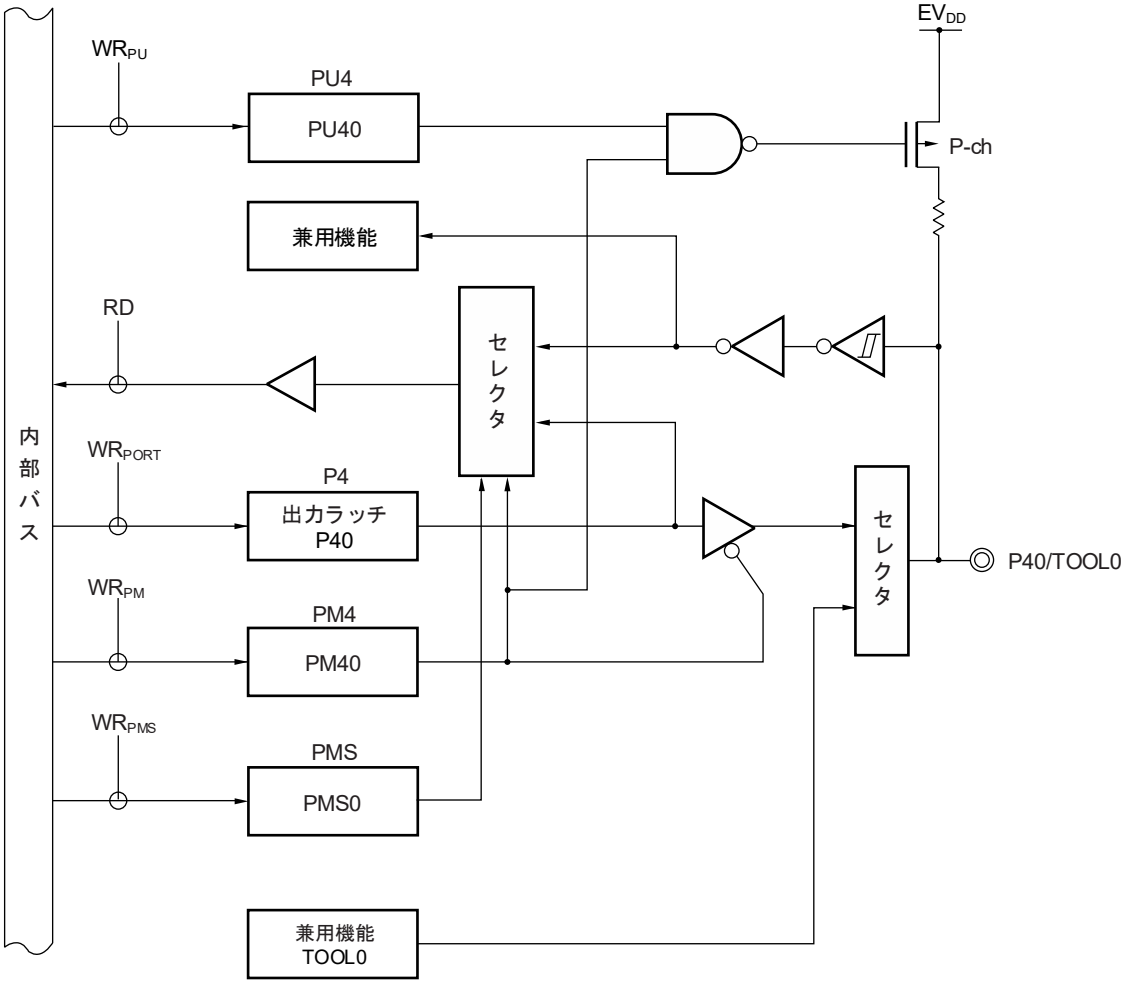
4. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。

5. LIN のシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合，対応する LIN を動作停止にしてください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

備考　×　　：don't care
PM4x　：ポート・モード・レジスタ 4
PITHL4x　：ポート入力閾値制御レジスタ 4

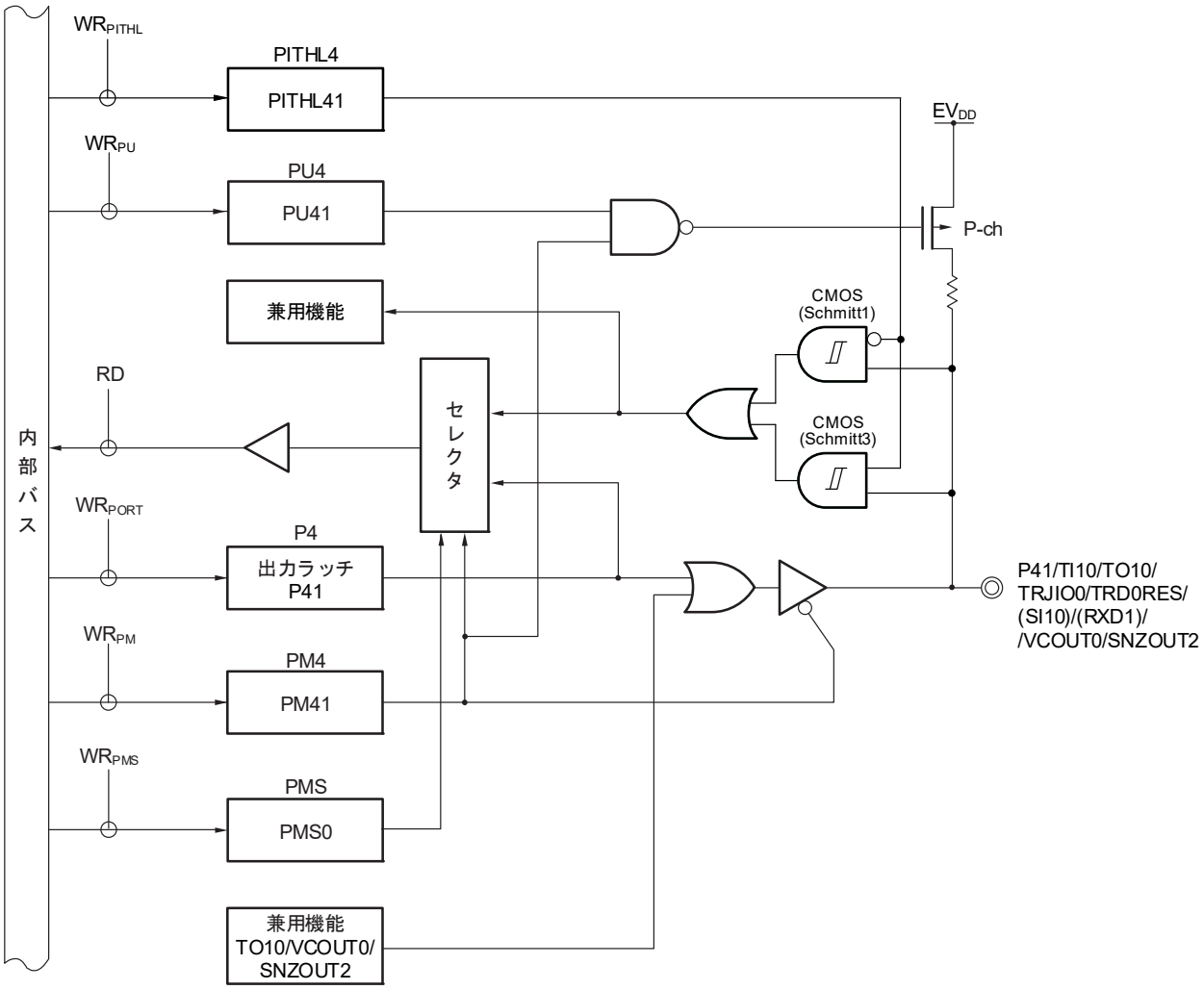
図 4－17～図 4－24 に，100 ピン製品の場合のポート 4 のブロック図を示します。

図 4－17　P40 のブロック図



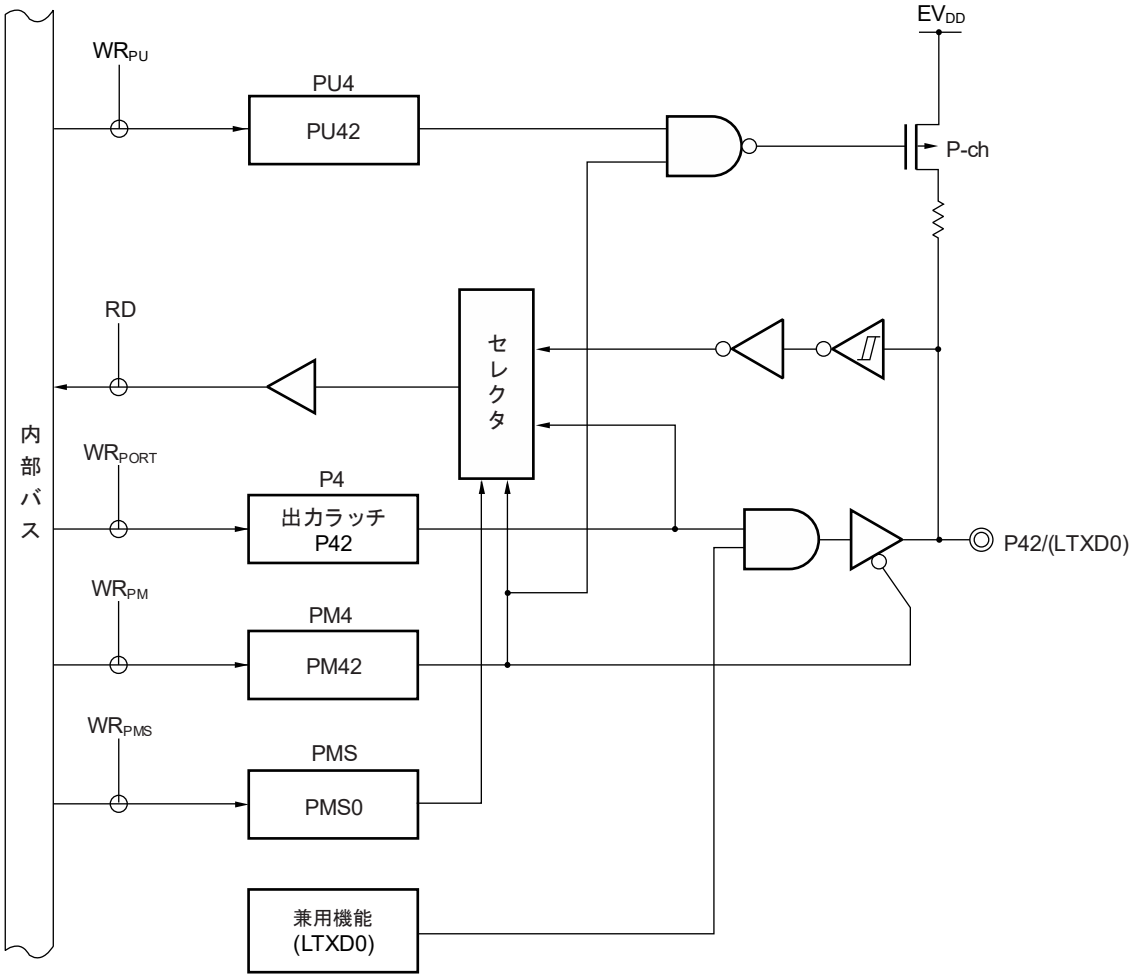
P4　　：ポート・レジスタ 4
PU4　　：プルアップ抵抗オプション・レジスタ 4
PM4　　：ポート・モード・レジスタ 4
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

図 4－18　P41 のブロック図



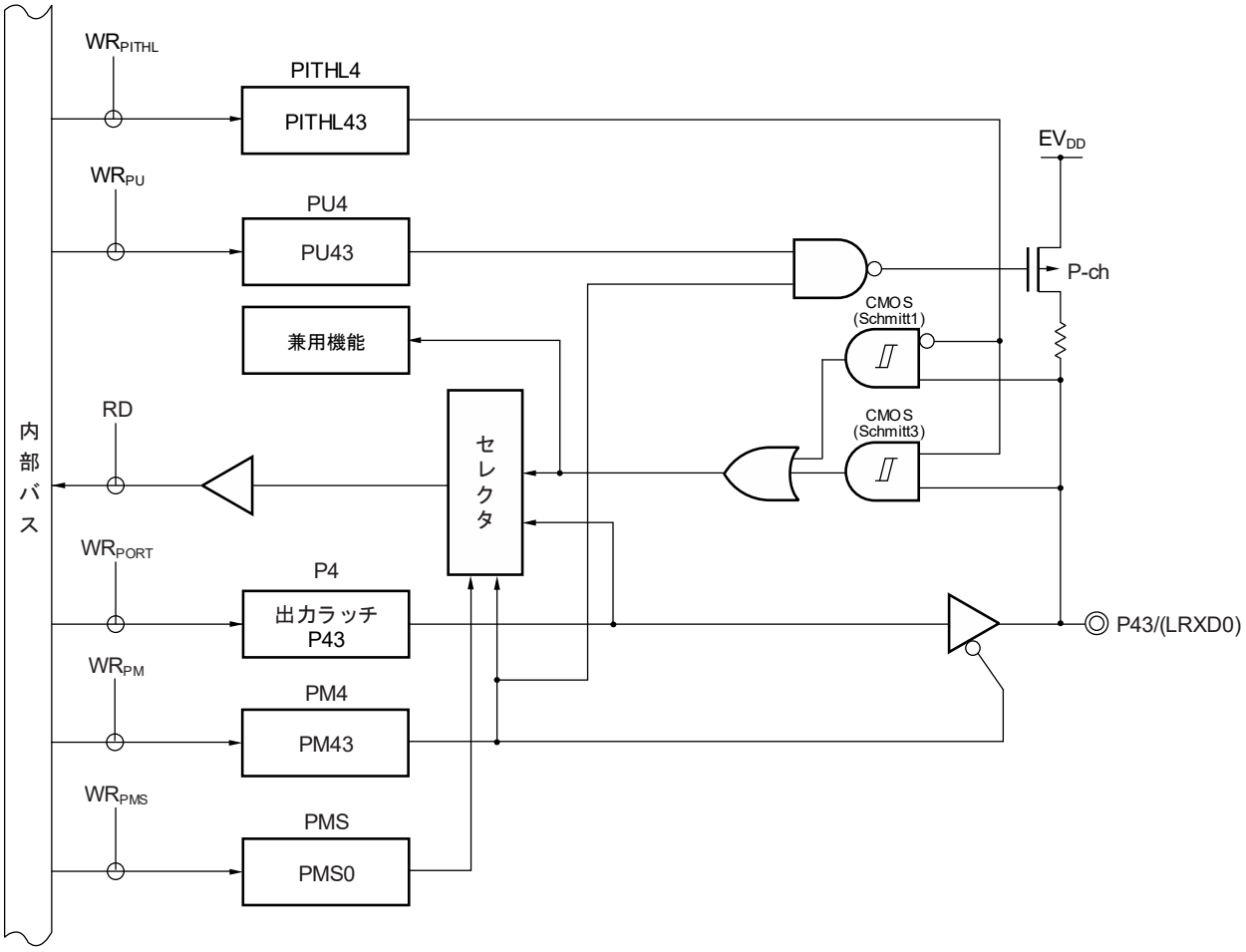
P4　：ポート・レジスタ 4
PU4　：プルアップ抵抗オプション・レジスタ 4
PM4　：ポート・モード・レジスタ 4
PMS　：ポート・モード選択レジスタ
PITHL4　：ポート入力閾値制御レジスタ 4
RD　：リード信号
WRxx　：ライト信号

図 4－19　P42 のブロック図



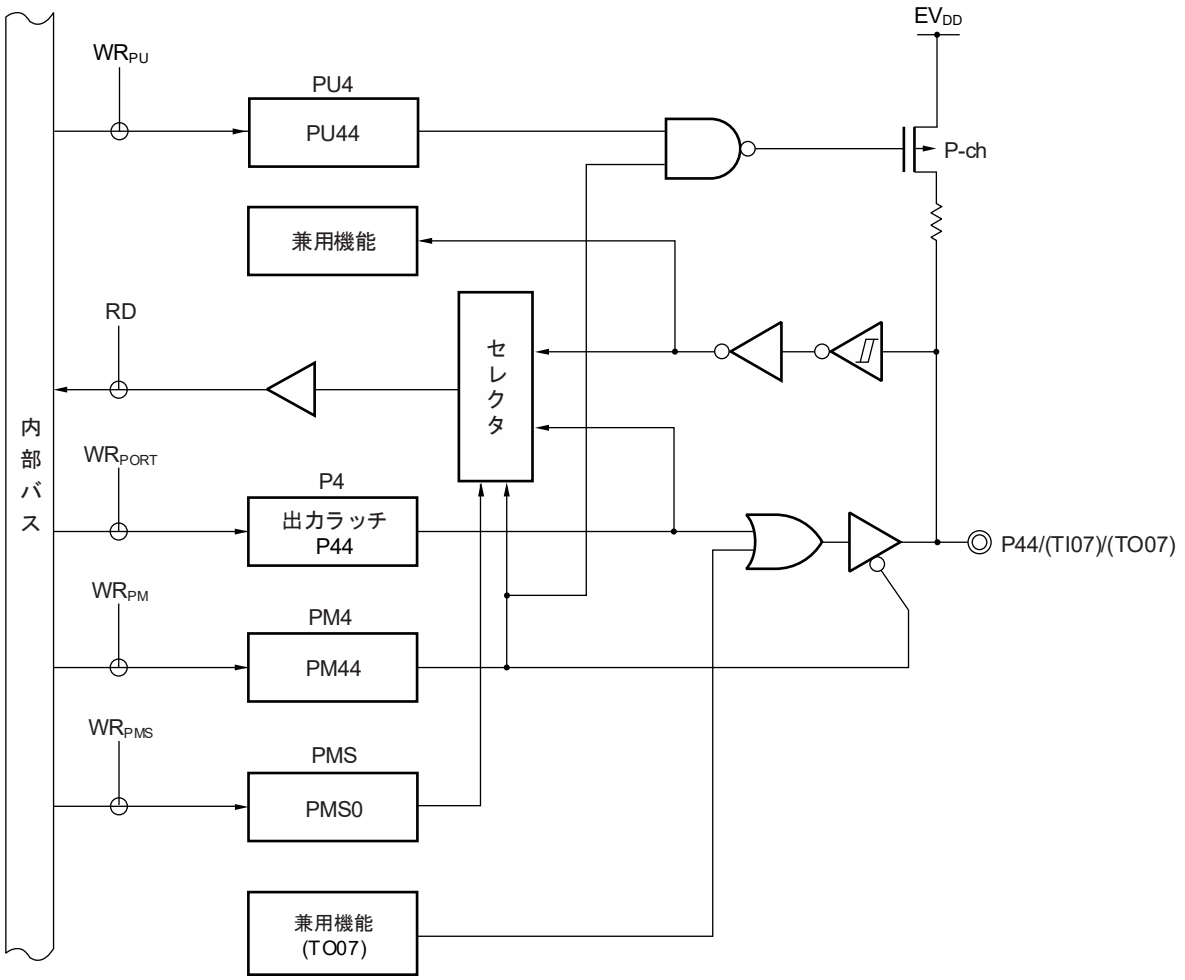
P4　　：ポート・レジスタ 4
PU4　　：プルアップ抵抗オプション・レジスタ 4
PM4　　：ポート・モード・レジスタ 4
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－20　P43 のブロック図



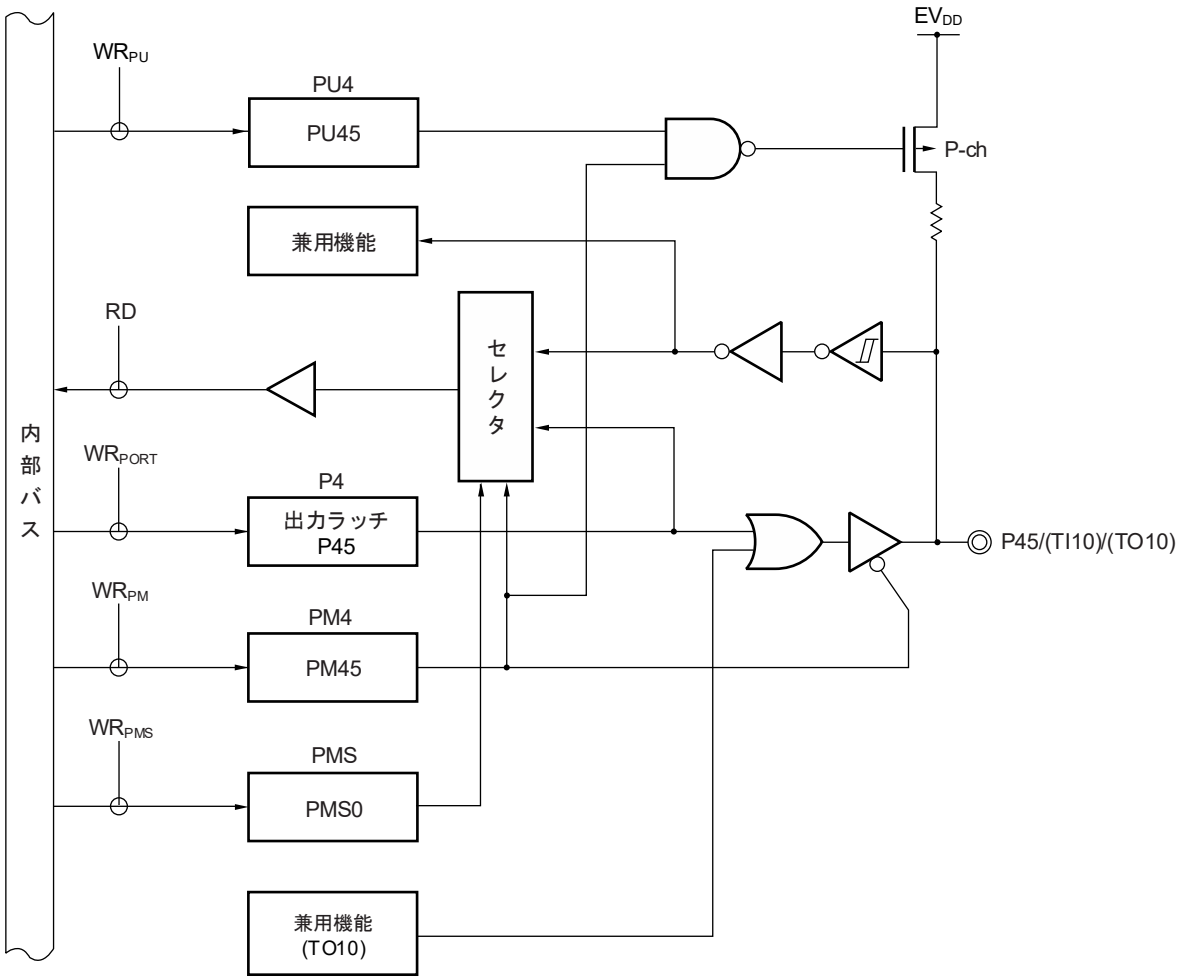
P4　：ポート・レジスタ 4
PU4　：プルアップ抵抗オプション・レジスタ 4
PM4　：ポート・モード・レジスタ 4
PMS　：ポート・モード選択レジスタ
PITHL4　：ポート入力閾値制御レジスタ 4
RD　：リード信号
WRxx　：ライト信号

図 4－21　P44 のブロック図



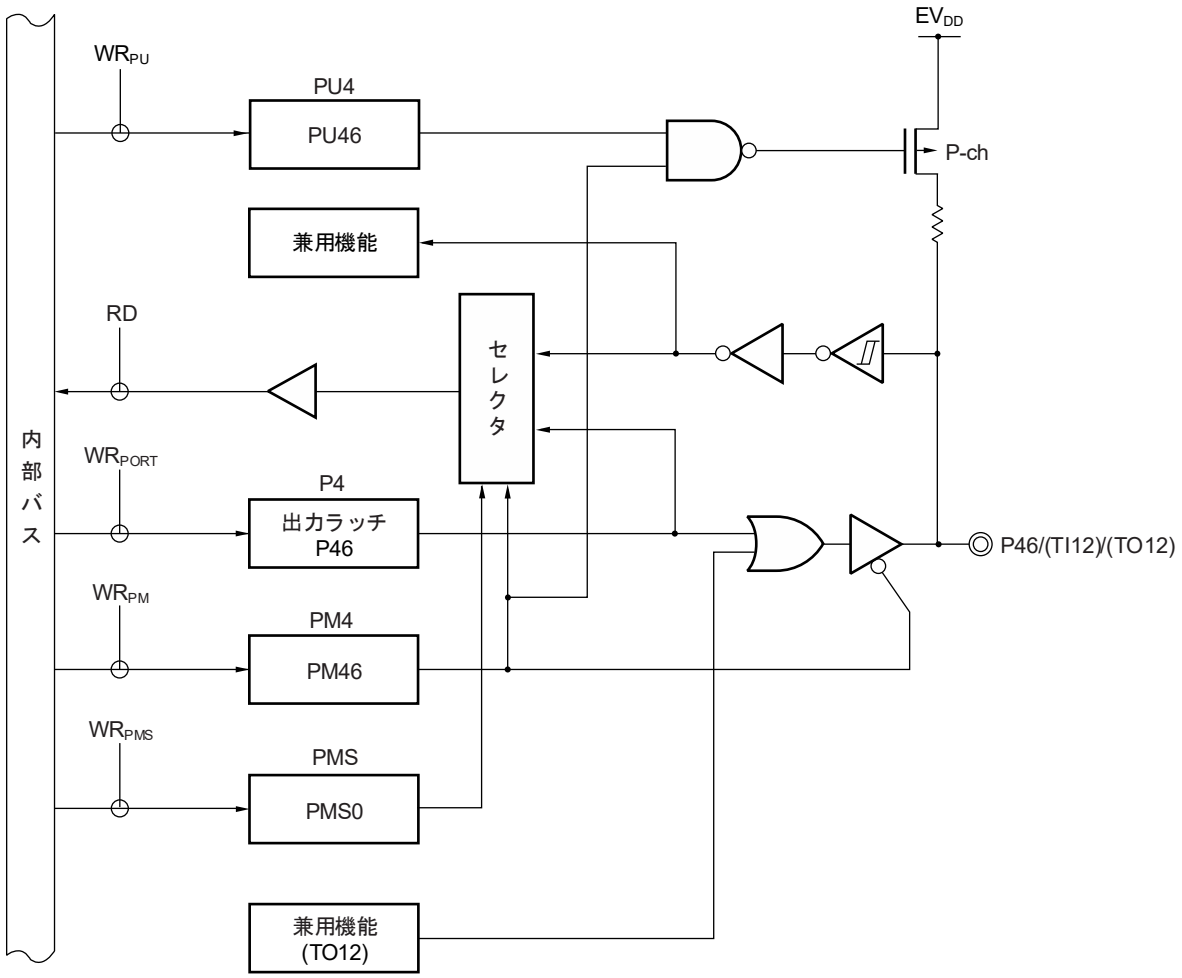
P4　　：ポート・レジスタ 4
PU4　　：プルアップ抵抗オプション・レジスタ 4
PM4　　：ポート・モード・レジスタ 4
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

図 4－22　P45 のブロック図



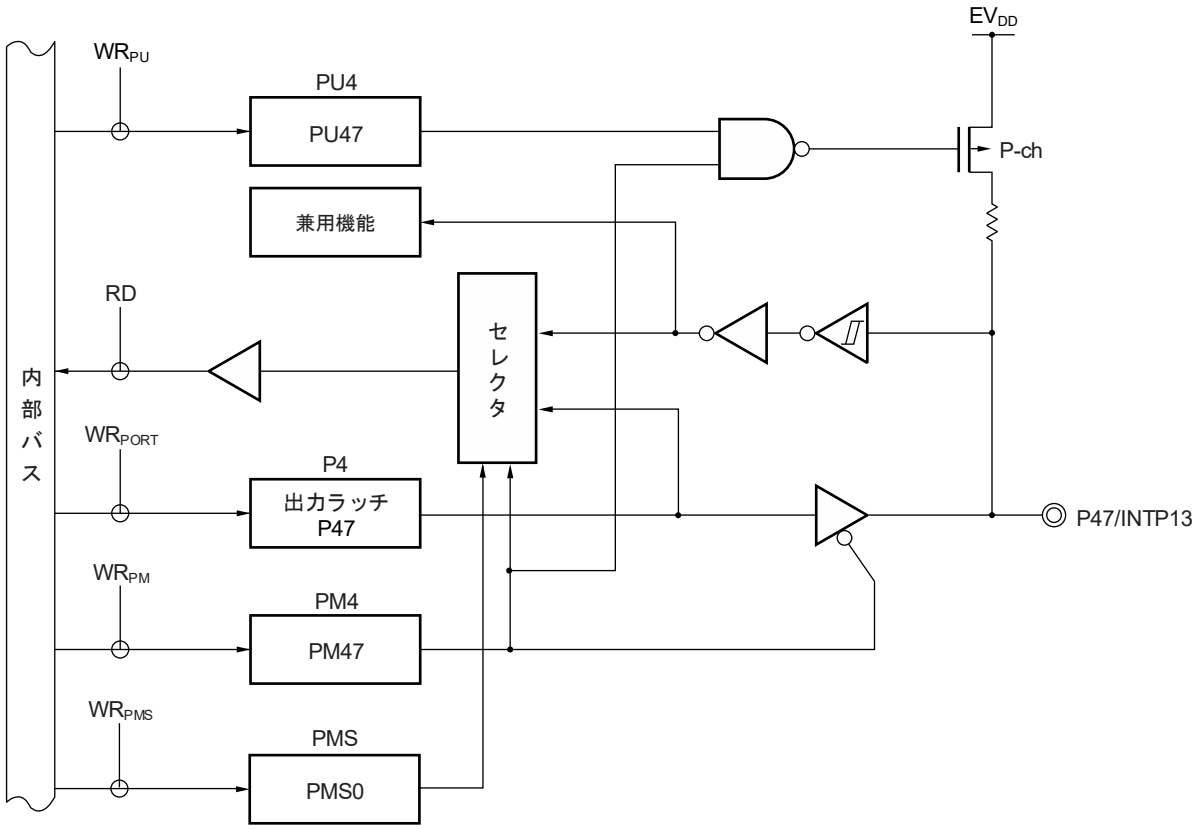
P4　　：ポート・レジスタ 4
PU4　　：プルアップ抵抗オプション・レジスタ 4
PM4　　：ポート・モード・レジスタ 4
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－23　P46 のブロック図



P4　　：ポート・レジスタ 4
PU4　　：プルアップ抵抗オプション・レジスタ 4
PM4　　：ポート・モード・レジスタ 4
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－24　P47 のブロック図



P4　：ポート・レジスタ 4
PU4　：プルアップ抵抗オプション・レジスタ 4
PM4　：ポート・モード・レジスタ 4
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

4.2.5　ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 5（PM5）により 1 ビット単位で入力モード／出力モードの指定ができます。P50-P57 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 5（PU5）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P54 端子の入力は，ポート入力モード・レジスタ 5（PIM5）の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P50, P52-P54 端子の入力は，ポート入力閾値制御レジスタ 5（PITHL5）の設定により，1 ビット単位で入力バッファの閾値の指定ができます。

また，兼用機能として外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，スレーブセレクト入力，タイマの入出力，STOP ステータス出力，SNOOZE ステータス出力があります。

リセット信号の発生により入力モードになります。

表 4－8　ポート 5 使用時のレジスタ設定（1/2）

端子名称		PM5x	PIM5x	PITHL5x	兼用機能設定	備考
名称	入出力					
P50	入力	1	–	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
	出力	0	–	×	×	
P51	入力	1	–	–	×	
	出力	0	–	–	(SO01出力 = 1) 注1	
P52	入力	1	–	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
	出力	0	–	×	(SCK01出力 = 1) 注1 (STOPST出力 = 0) 注2	
P53	入力	1	–	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
	出力	0	–	×	×	
P54	入力	1	0	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
			1	×	×	TTL入力
	出力	0	×	×	(TO11出力 = 0) 注3	

（**注**と**備考**は次ページにあります。）

表4－8　ポート5使用時のレジスタ設定（2/2）

端子名称		PM5x	PIM5x	PITHL5x	兼用機能設定	備考
名称	入出力					
P55	入力	1	–	–	×	
	出力	0	–	–	(TO13出力 = 0) 注3	
P56	入力	1	–	–	×	
	出力	0	–	–	(TO15出力 = 0) 注3 (SNZOUT1出力 = 0) 注4	
P57	入力	1	–	–	×	
	出力	0	–	–	(TO17出力 = 0) 注3 (SNZOUT0出力 = 0) 注4	

重要　ポート 5 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

注 1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するシリアル出力レジスタ m（SOm）の SOmn ビット，シリアル出力許可レジスタ m（SOEm）の SOEmn ビット，シリアルチャネル許可ステータスレジスタ m（SEm）の SEmn ビットを初期値と同じ設定で使用してください (m = 0, 1, n = 0, 1)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

2. STOP ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，STOP ステータス出力制御レジスタ（STPSTC）の STPOEN ビットを初期値と同じ設定で使用してください。あるいは，STPSTC レジスタの STPSEL ビットにより，対応する機能を別のピンに割り当てます。

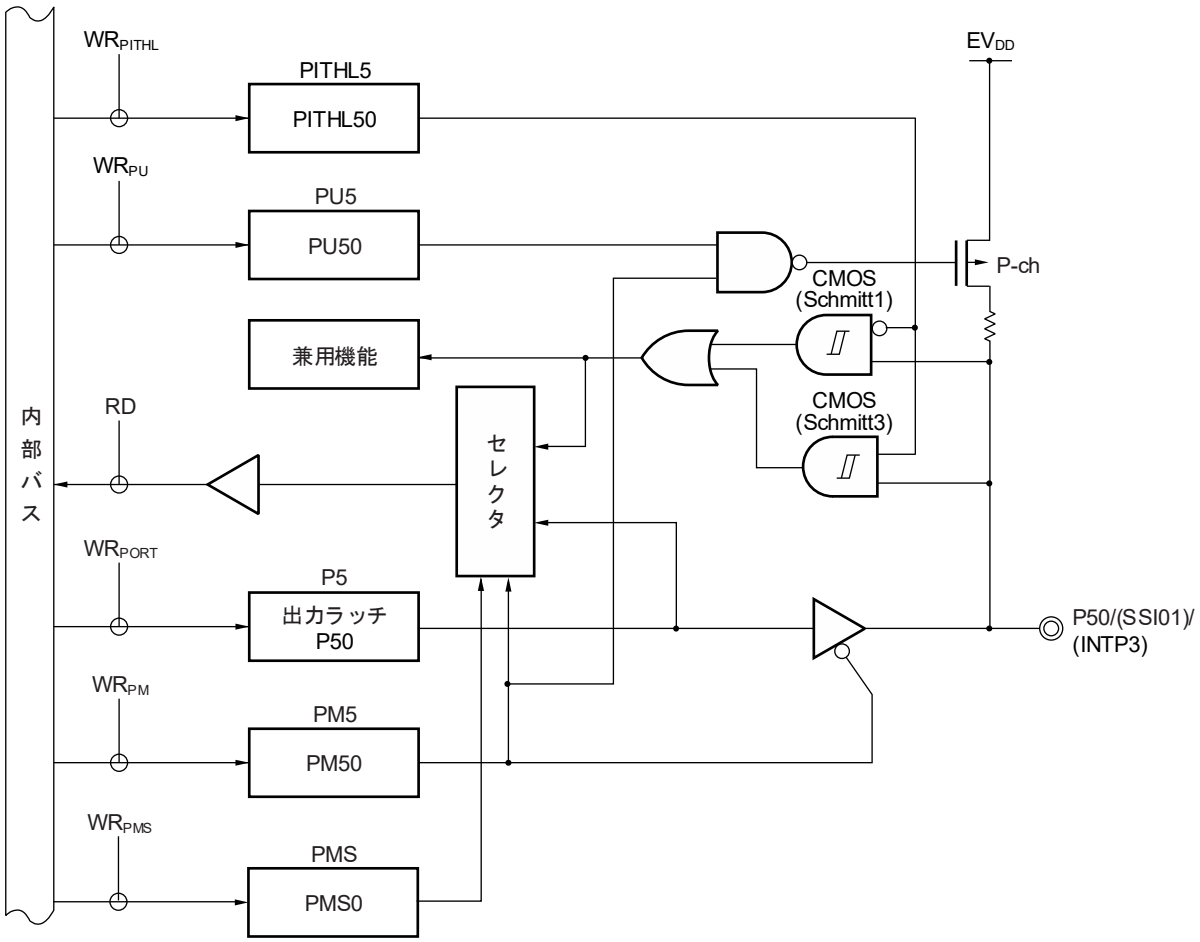
3. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください (m = 0, 1，n = 0-7)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

4. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。

備考　×　　: don't care
PM5x　　: ポート・モード・レジスタ 5
PIM5x　　: ポート入力モード・レジスタ 5
PITHL5x　: ポート入力閾値制御レジスタ 5

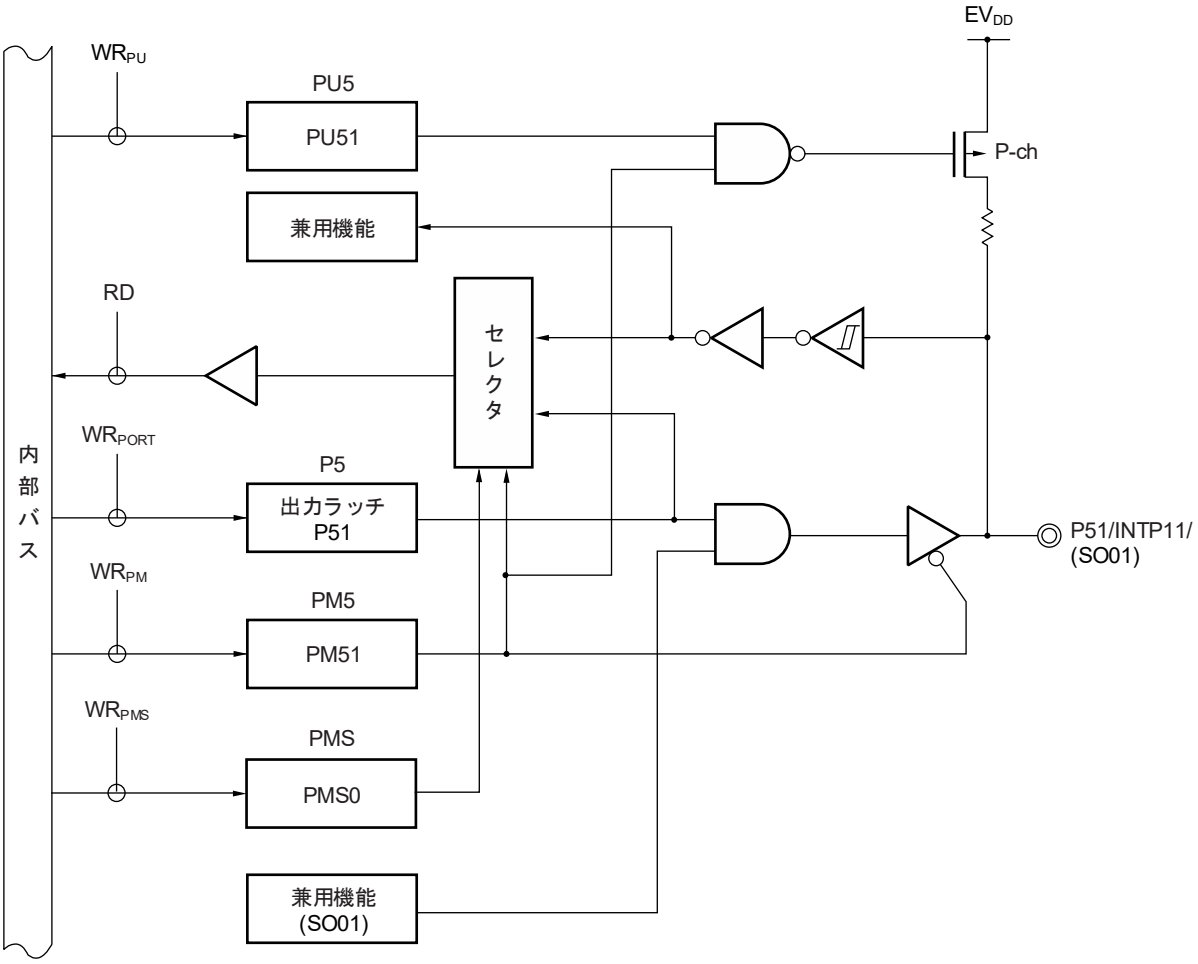
図 4－25～図 4－32 に，100 ピン製品の場合のポート 5 のブロック図を示します。

図 4－25　P50 のブロック図



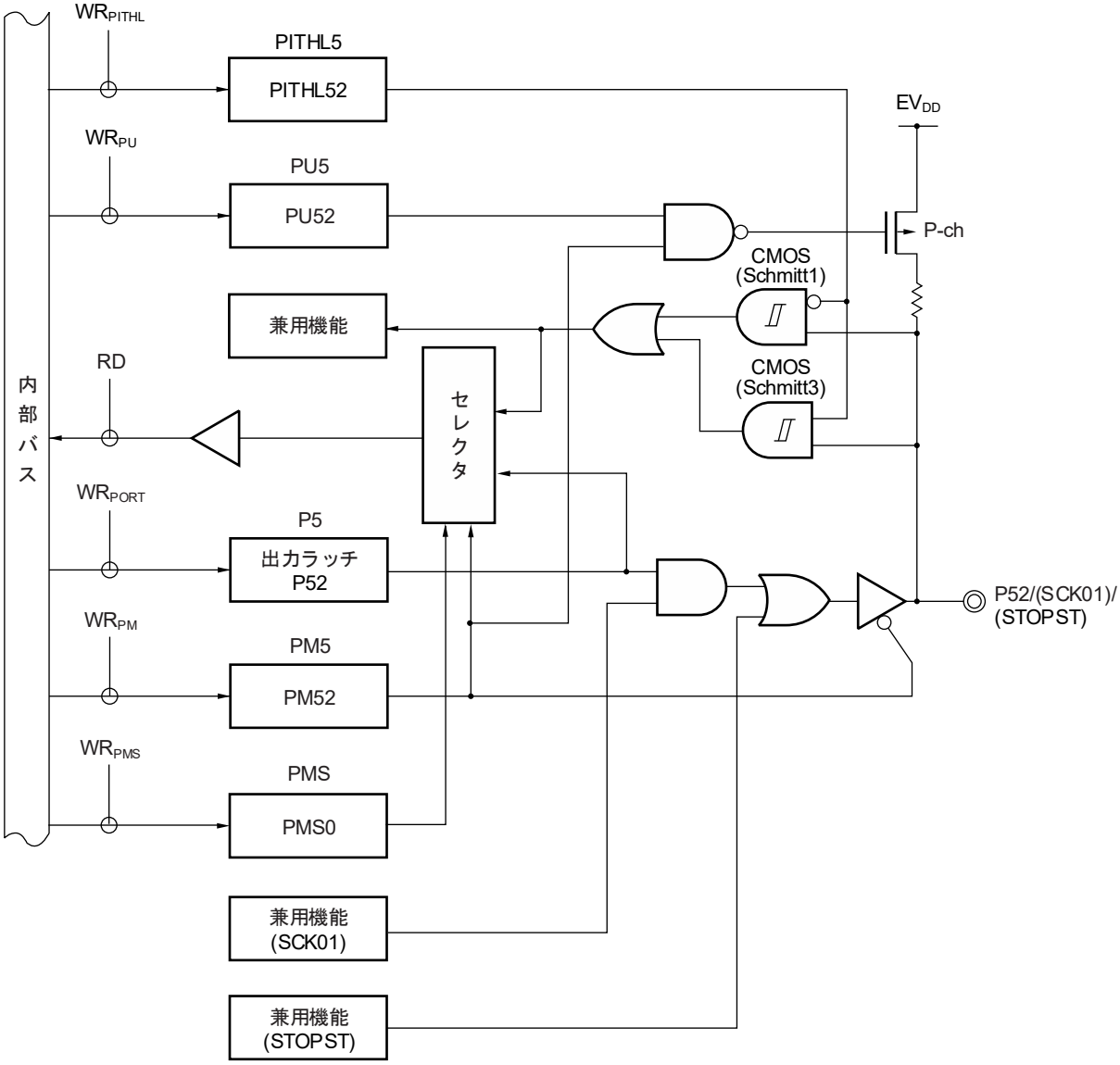
P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
PITHL5　：ポート入力閾値制御レジスタ 5
RD　　：リード信号
WRxx　　：ライト信号

図 4－26　P51 のブロック図



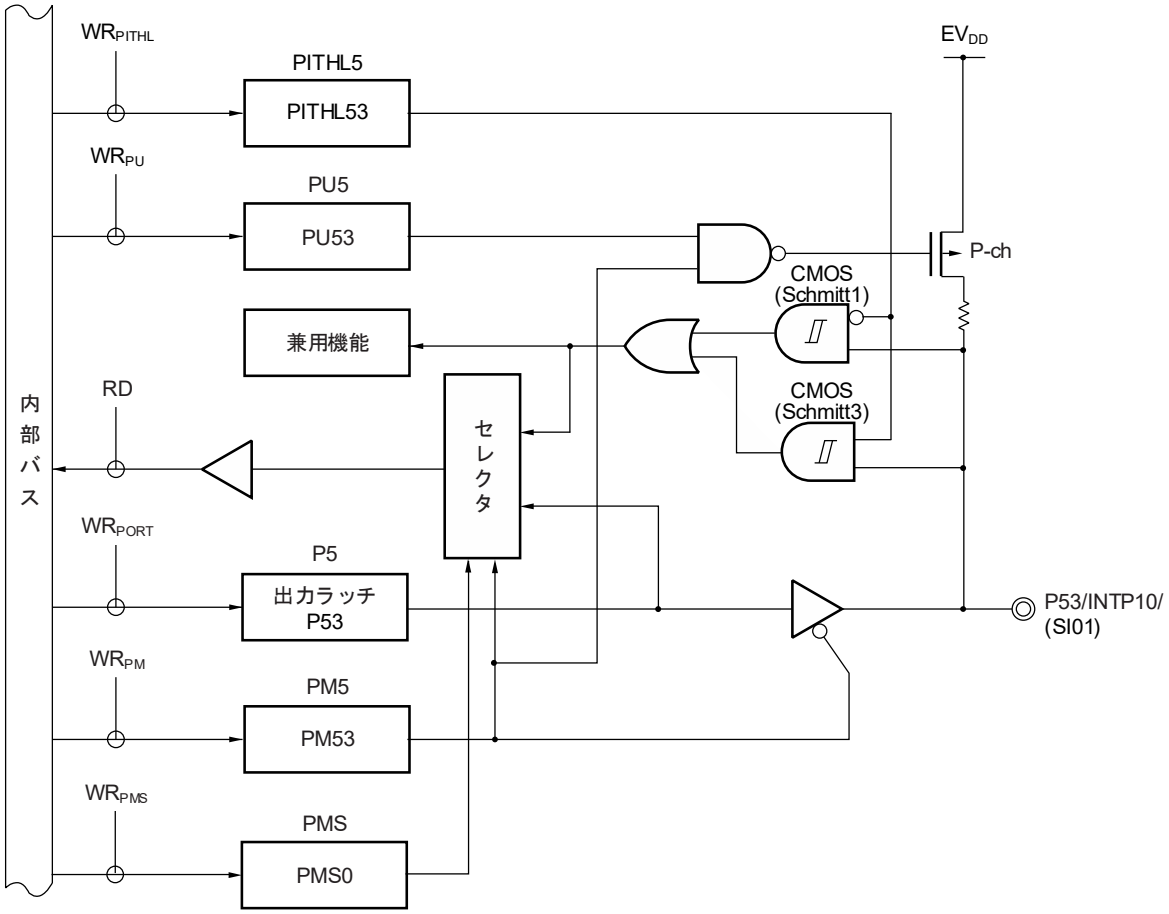
P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－27　P52 のブロック図



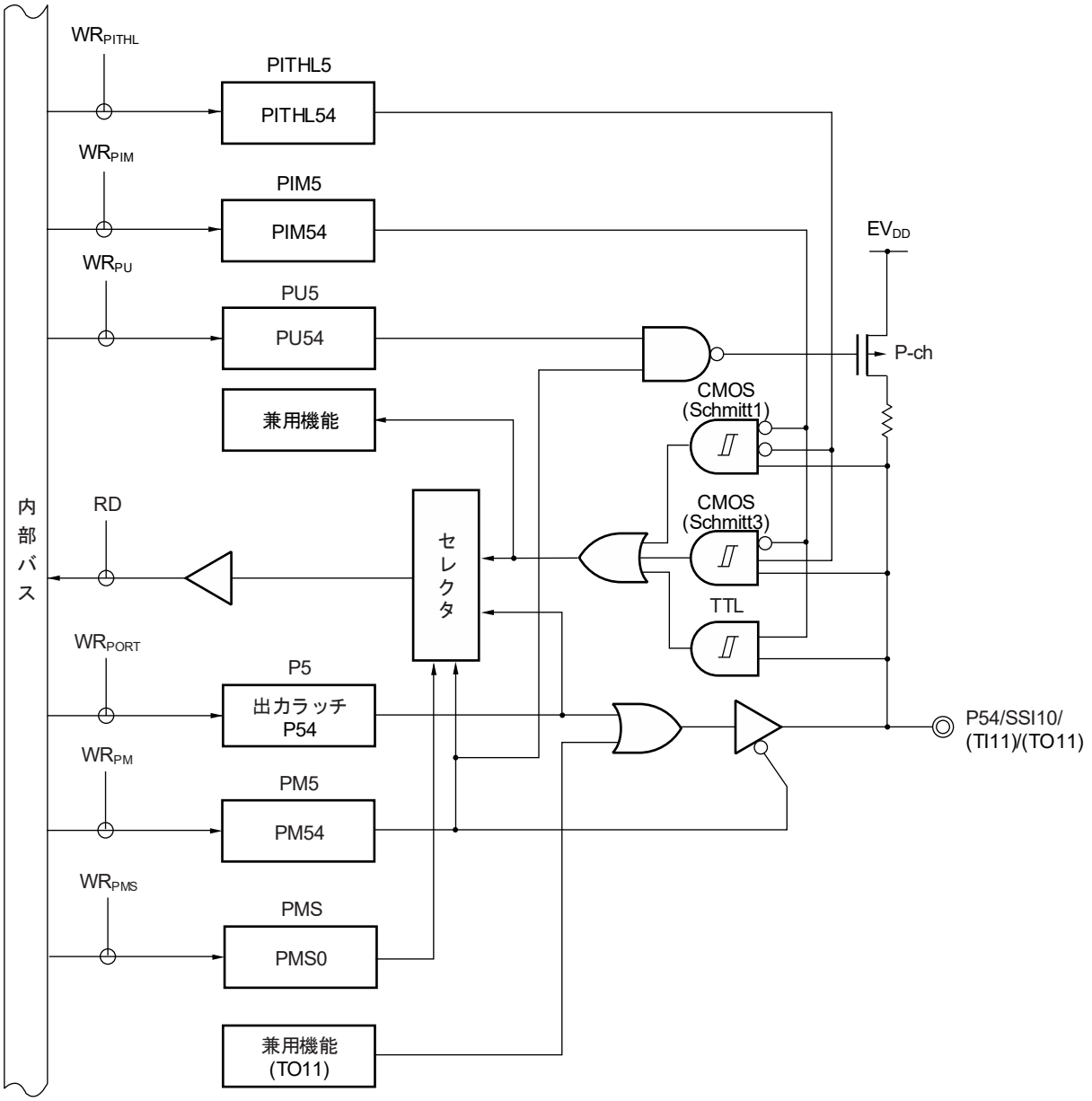
P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
PITHL5　：ポート入力閾値制御レジスタ 5
RD　　：リード信号
WRxx　　：ライト信号

図 4－28　P53 のブロック図



P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
PITHL5　：ポート入力閾値制御レジスタ 5
RD　　：リード信号
WRxx　　：ライト信号

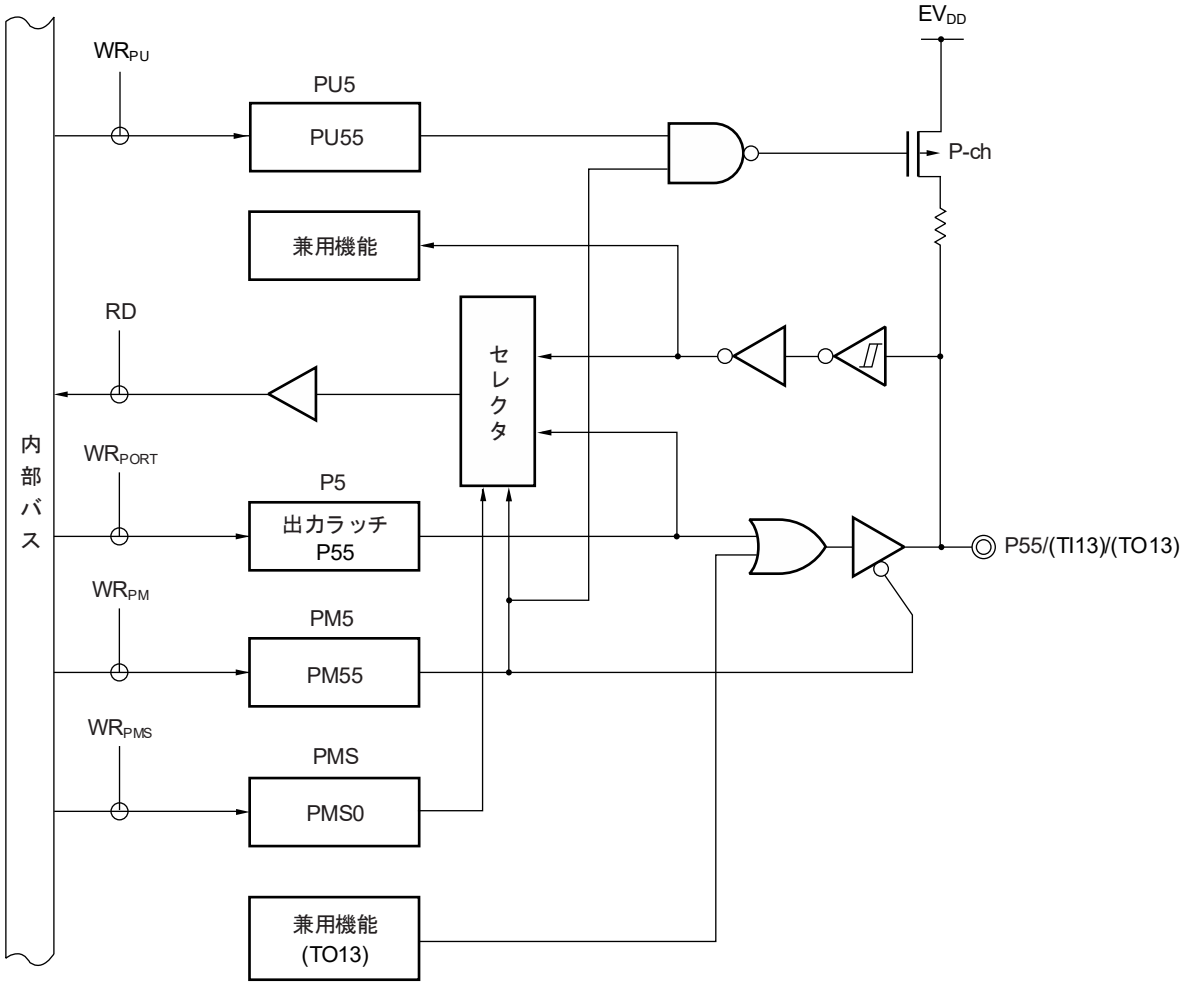
図 4－29　P54 のブロック図



P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PIM5　　：ポート入力モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
PITHL5　：ポート入力閾値制御レジスタ 5
RD　　：リード信号
WRxx　　：ライト信号

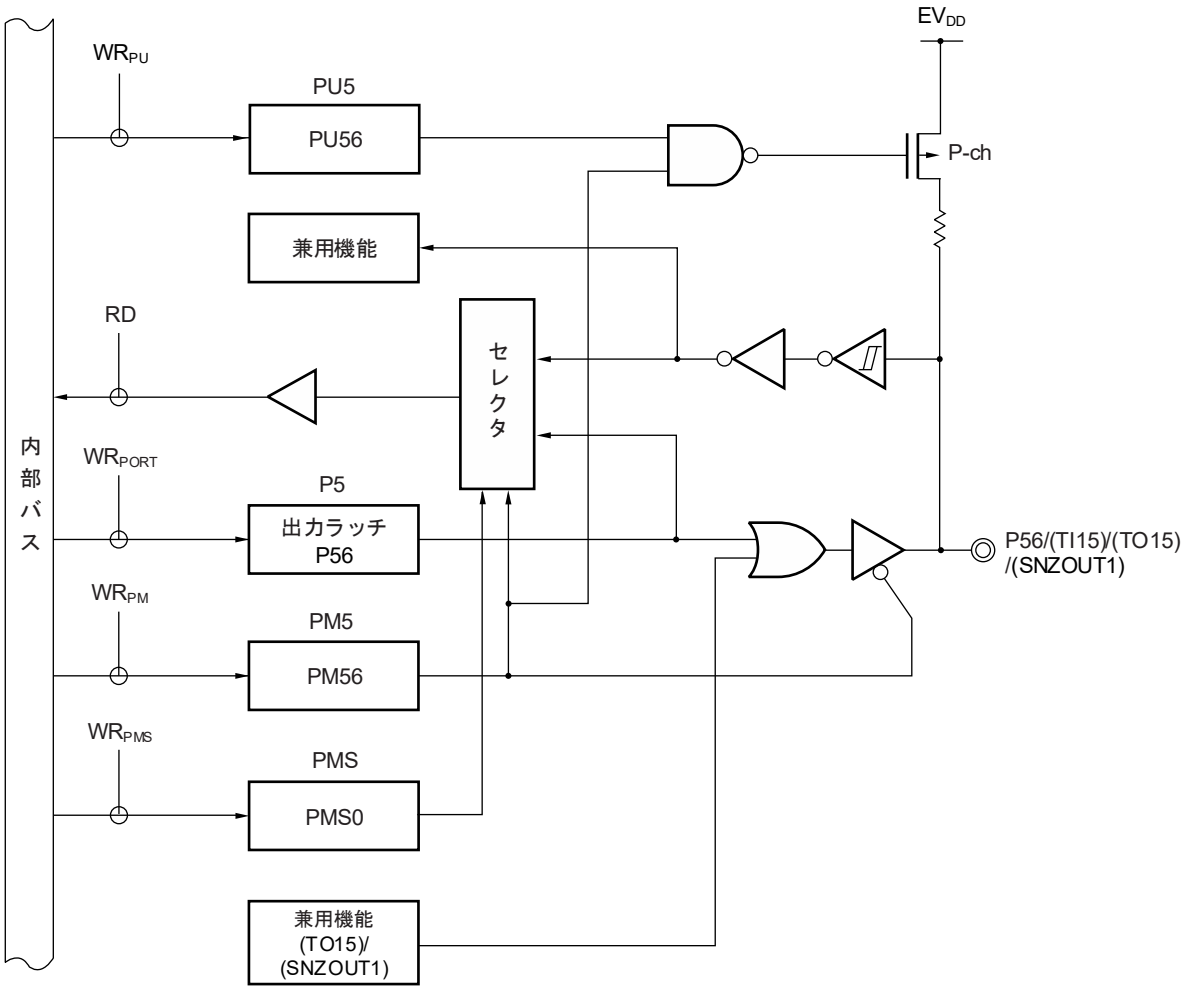
注意　この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－30　P55 のブロック図



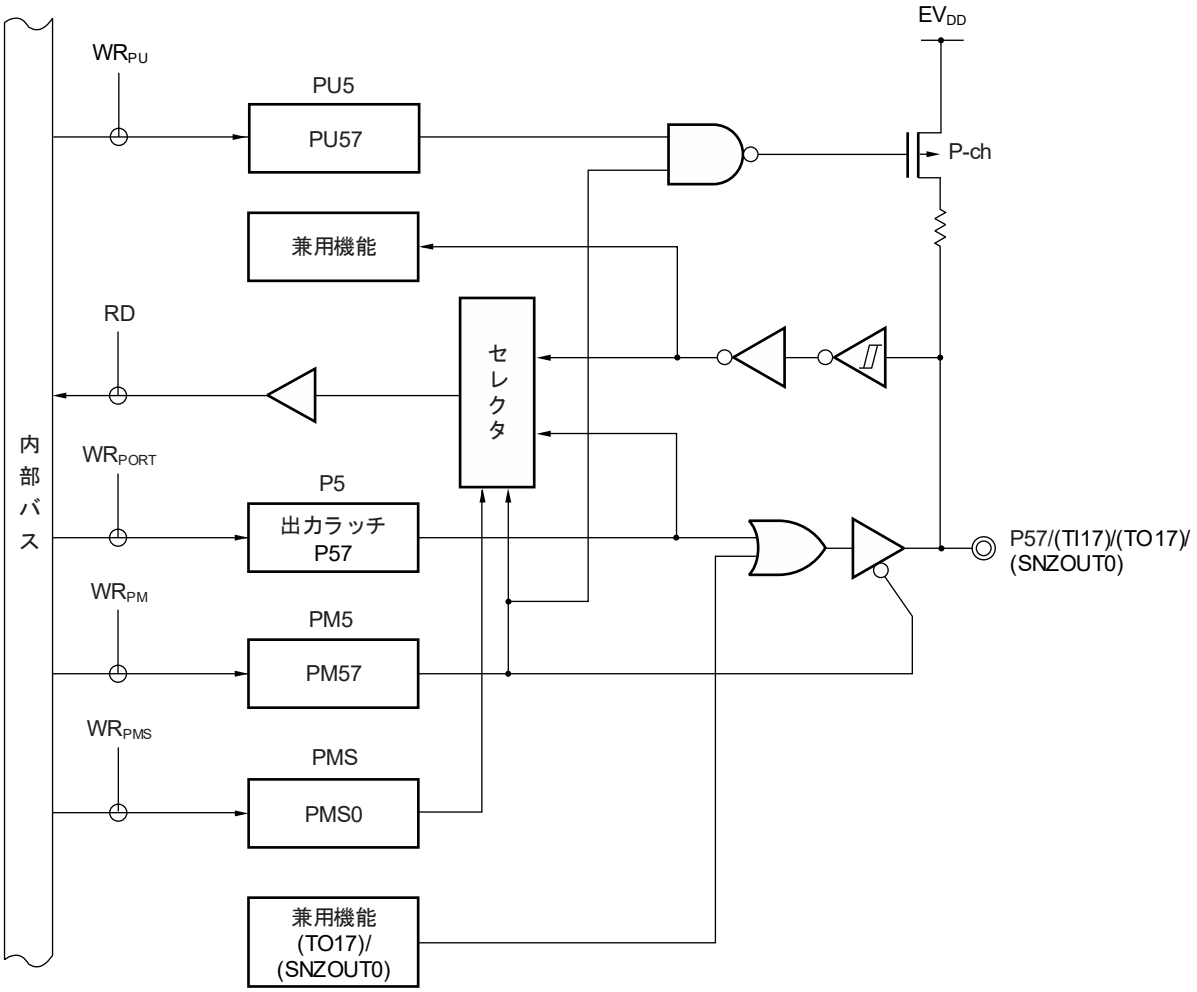
P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－31　P56 のブロック図



P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－32　P57 のブロック図



P5　　：ポート・レジスタ 5
PU5　　：プルアップ抵抗オプション・レジスタ 5
PM5　　：ポート・モード・レジスタ 5
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

4.2.6　ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 6（PM6）により 1 ビット単位で入力モード／出力モードの指定ができます。P62, P63 端子の入力は，ポート入力モード・レジスタ 6（PIM6）の設定により 1 ビット単位で通常入力バッファ/TTL 入力バッファの指定ができます。P60-P67 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 6（PU6）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63 端子の出力は，ポート出力モード・レジスタ 6（POM6）により 1 ビット単位で N-ch オープン・ドレイン出力（EV_{DD} 耐圧）に設定可能です。

P60-P63 端子の入力は，ポート入力閾値制御レジスタ 6（PITHL6）の設定により，1 ビット単位で入力バッファの閾値の指定ができます。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力，スレーブ・セレクト入力，タイマの入出力，SNOOZE ステータス出力があります。

リセット信号の発生により，入力モードになります。

表 4－9　ポート 6 使用時のレジスタ設定（1/2）

端子名称		PM6x	PIM6x	POM6x	PITHL6x	兼用機能設定	備考
名称	入出力						
P60	入力	1	–	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
	出力	0	–	0	×	(SCK00/SCL00出力 = 1) 注1 (TO01 = 0) 注2	CMOS出力
				1	×		N-ch O.D出力
P61	入力	1	–	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
★	出力	0	–	0	×	SDA00出力 = 1 注1 (TO02 = 0) 注2	CMOS出力
				1	×		N-ch O.D出力
P62	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SCLA0出力 = 0 注3 (SO00/TXD0出力 = 1) 注1 (TO03 = 0) 注2	CMOS出力
				1	×		N-ch O.D出力

（**注**と**備考**は次のページにあります。）

表4－9　ポート6使用時のレジスタ設定（2/2）

端子名称		PM6X	PIM6X	POM6X	PITHL6X	兼用機能設定	備考
名称	入出力						
P63	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SDAA0出力 = 0 注3（TO07 = 0）注2	CMOS出力
				1	×		N-ch O.D出力
P64	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO14出力 = 0) 注2 (SNZOUT3出力 = 0) 注4	
P65	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO16出力 = 0) 注2 (SNZOUT2出力 = 0) 注4	
P66	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO00出力 = 0) 注2	
P67	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO02出力 = 0) 注2	

重要　ポート 6 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

注 1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するシリアル出力レジスタ m（SOm）の SOmn ビット，シリアル出力許可レジスタ m（SOEm）の SOEmn ビット，シリアルチャネル許可ステータスレジスタ m（SEm）の SEmn ビットを初期値と同じ設定で使用してください (m = 0, 1，n = 0, 1)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニット・チャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください (m = 0, 1, n = 0-7)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

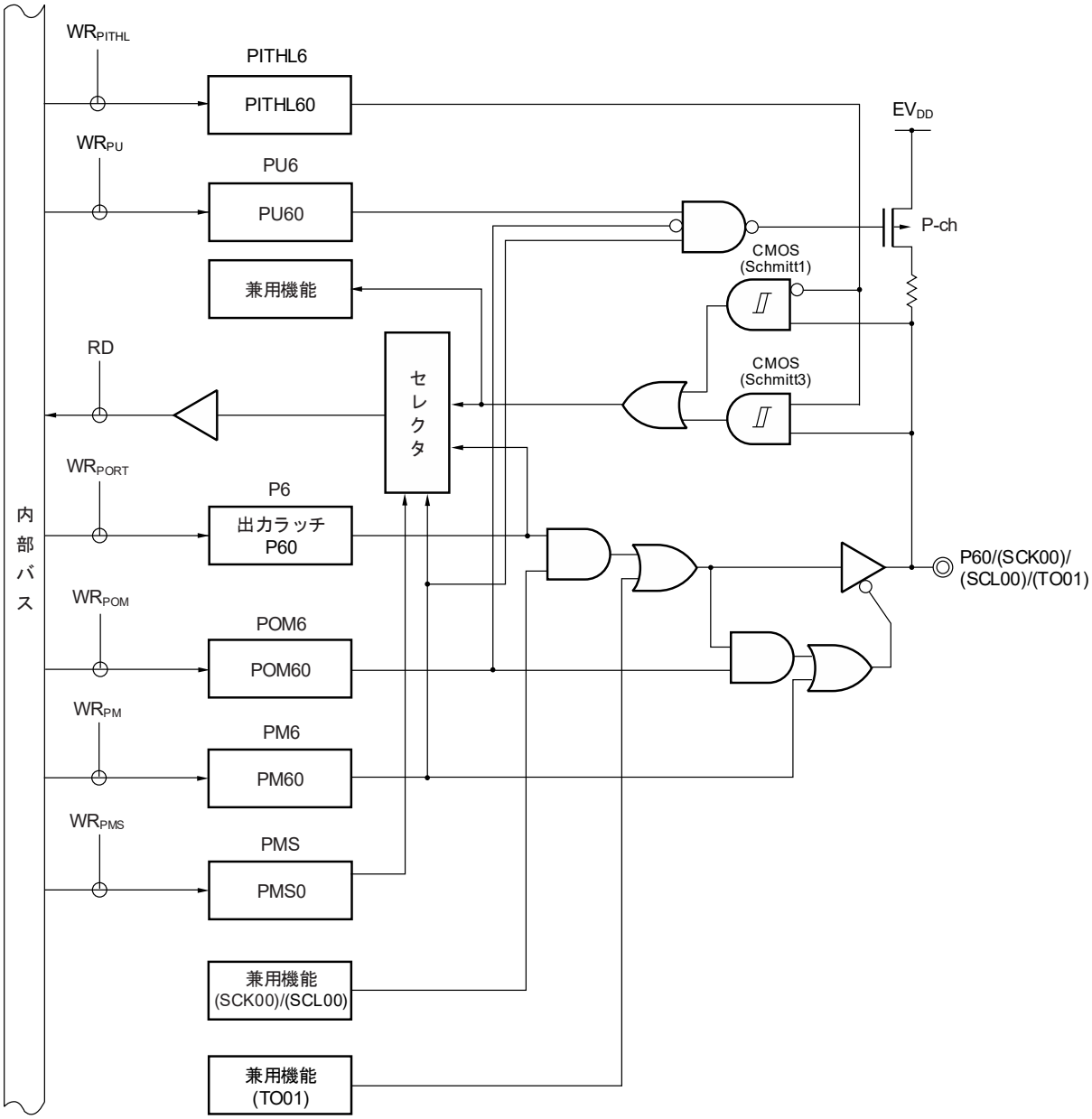
3. シリアルインタフェース IICA 機能と兼用している端子を汎用ポートとして使用する場合，対応するシリアル・インタフェース IICA を動作停止にしてください。

4. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。

備考　×　　：don't care
PM6x　：ポート・モード・レジスタ 6
PIM6x　：ポート入力モード・レジスタ 6
POM6x　：ポート出力モード・レジスタ 6
PITHL6x　：ポート入力閾値制御レジスタ 6

図 4－33～図 4－40 に，100 ピン製品の場合のポート 6 のブロック図を示します。

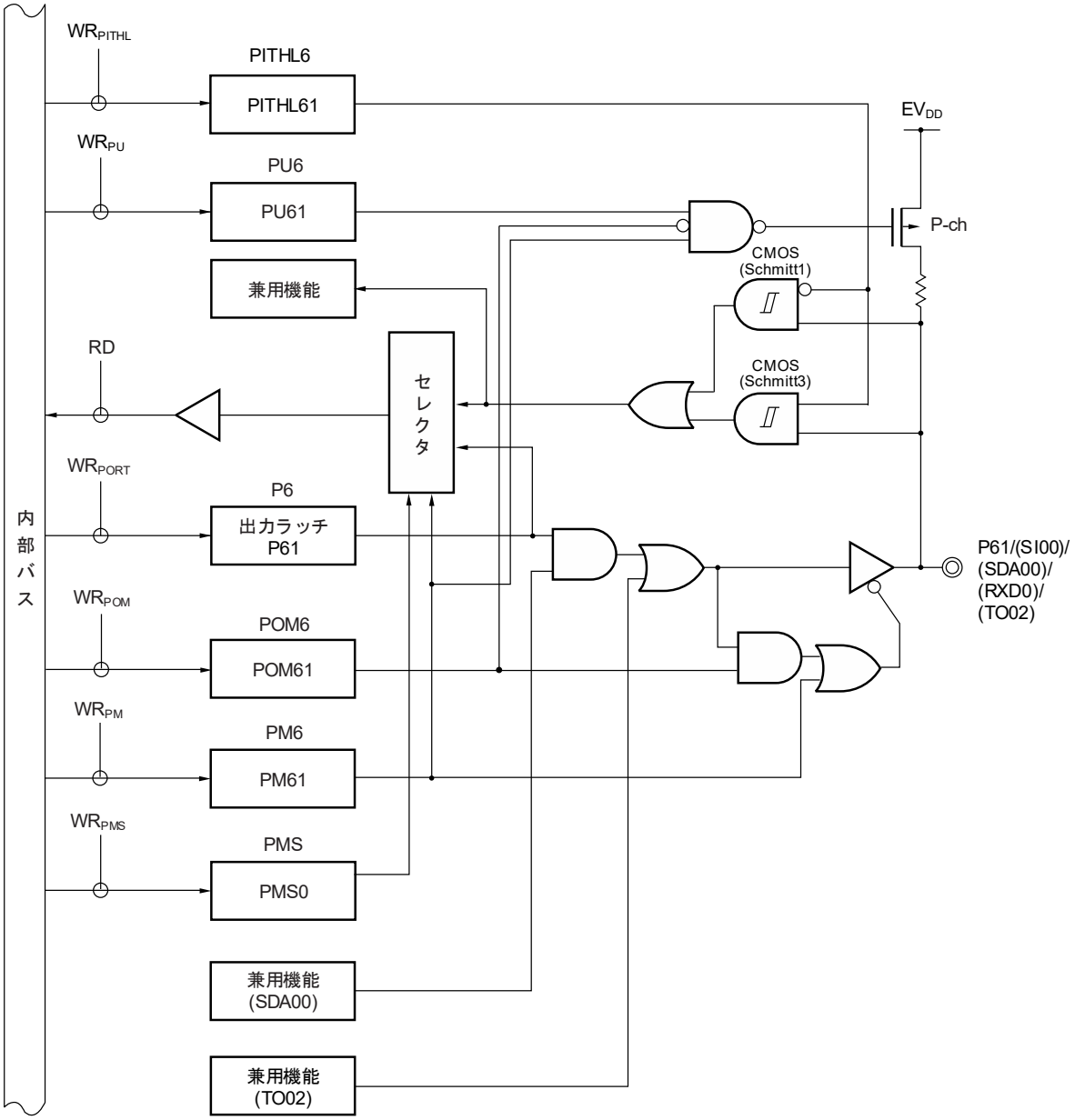
図 4－33　P60 のブロック図



P6　　：ポート・レジスタ 6
PU6　　：プルアップ抵抗オプション・レジスタ 6
PM6　　：ポート・モード・レジスタ 6
POM6　：ポート出力モード・レジスタ 6
PMS　　：ポート・モード選択レジスタ
PITHL6　：ポート入力閾値制御レジスタ 6
RD　　：リード信号
WRxx　　：ライト信号

注意　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。

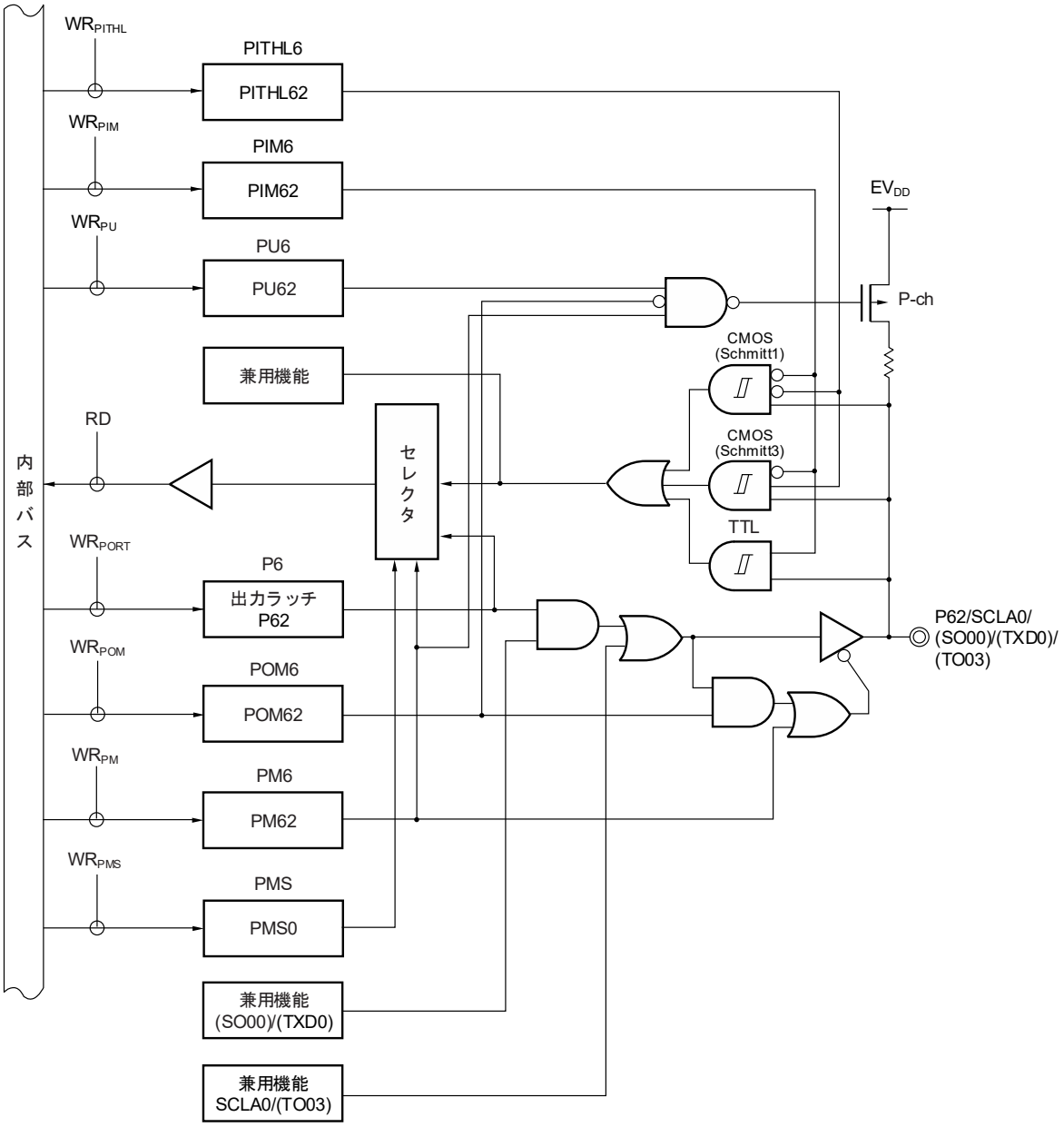
図 4－34　P61 のブロック図



P6　　：ポート・レジスタ 6
PU6　　：プルアップ抵抗オプション・レジスタ 6
PM6　　：ポート・モード・レジスタ 6
POM6　：ポート出力モード・レジスタ 6
PMS　　：ポート・モード選択レジスタ
PITHL6　：ポート入力閾値制御レジスタ 6
RD　　：リード信号
WRxx　　：ライト信号

注意　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。

図 4－35　P62 のブロック図



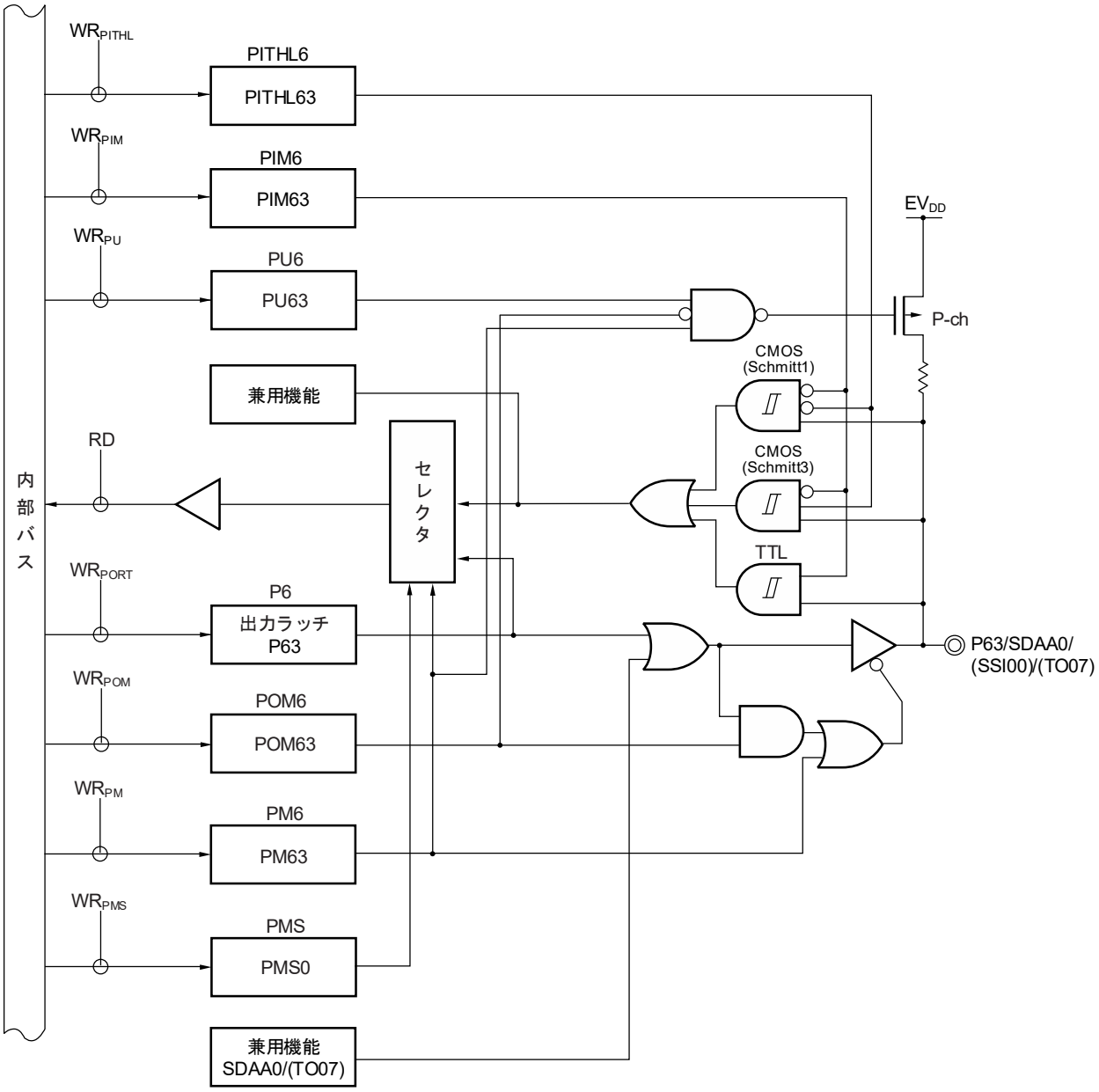
P6　　：ポート・レジスタ 6
PU6　　：プルアップ抵抗オプション・レジスタ 6
PM6　　：ポート・モード・レジスタ 6
PIM6　　：ポート入力モード・レジスタ 6
POM6　　：ポート出力モード・レジスタ 6
PMS　　：ポート・モード選択レジスタ
PITHL6　：ポート入力閾値制御レジスタ 6
RD　　：リード信号
WRxx　　：ライト信号

（注意が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－36　P63 のブロック図



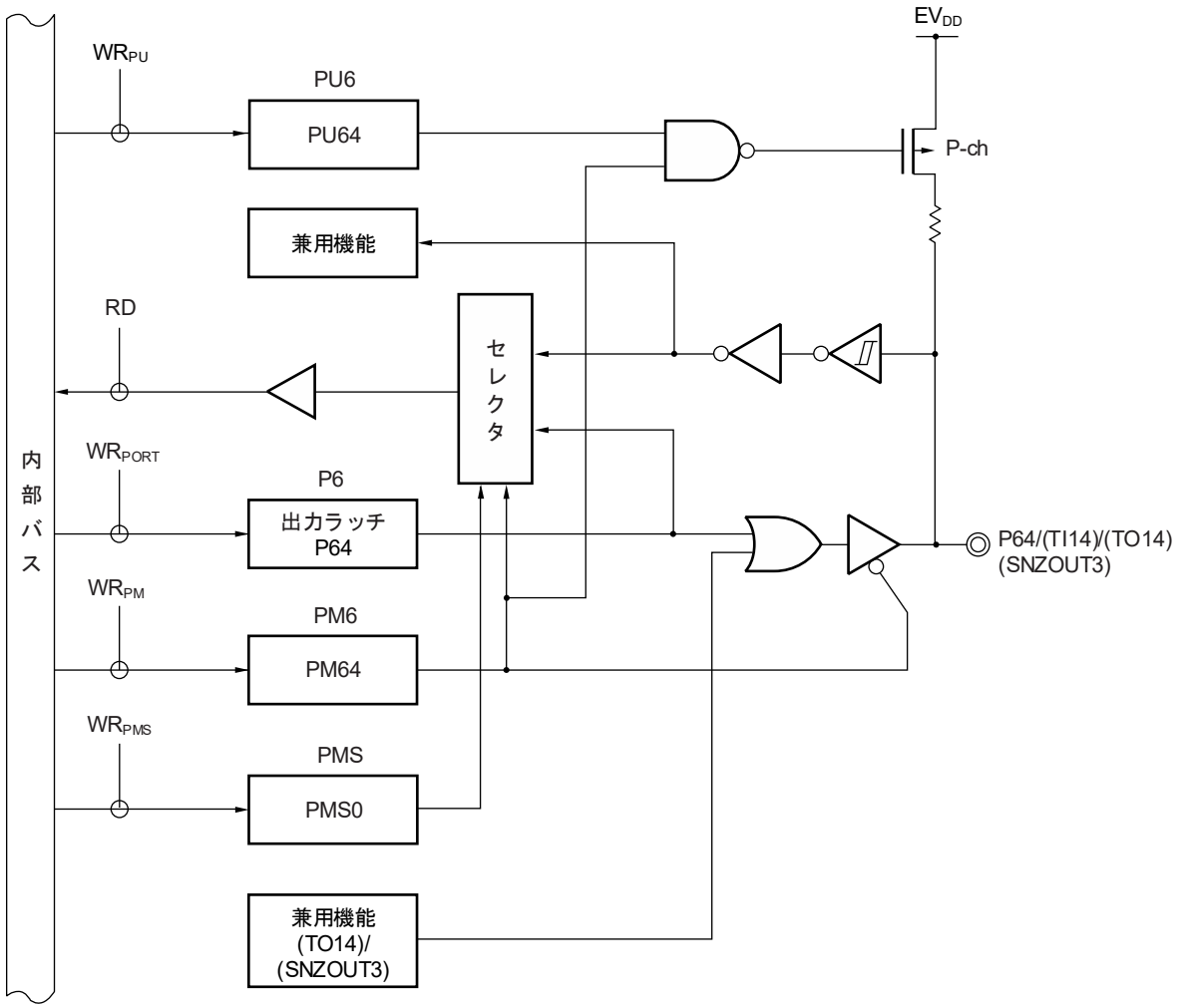
P6　　：ポート・レジスタ 6
PU6　　：プルアップ抵抗オプション・レジスタ 6
PM6　　：ポート・モード・レジスタ 6
PIM6　　：ポート入力モード・レジスタ 6
POM6　　：ポート出力モード・レジスタ 6
PMS　　：ポート・モード選択レジスタ
PITHL6　：ポート入力閾値制御レジスタ 6
RD　　：リード信号
WRxx　　：ライト信号

（注意が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

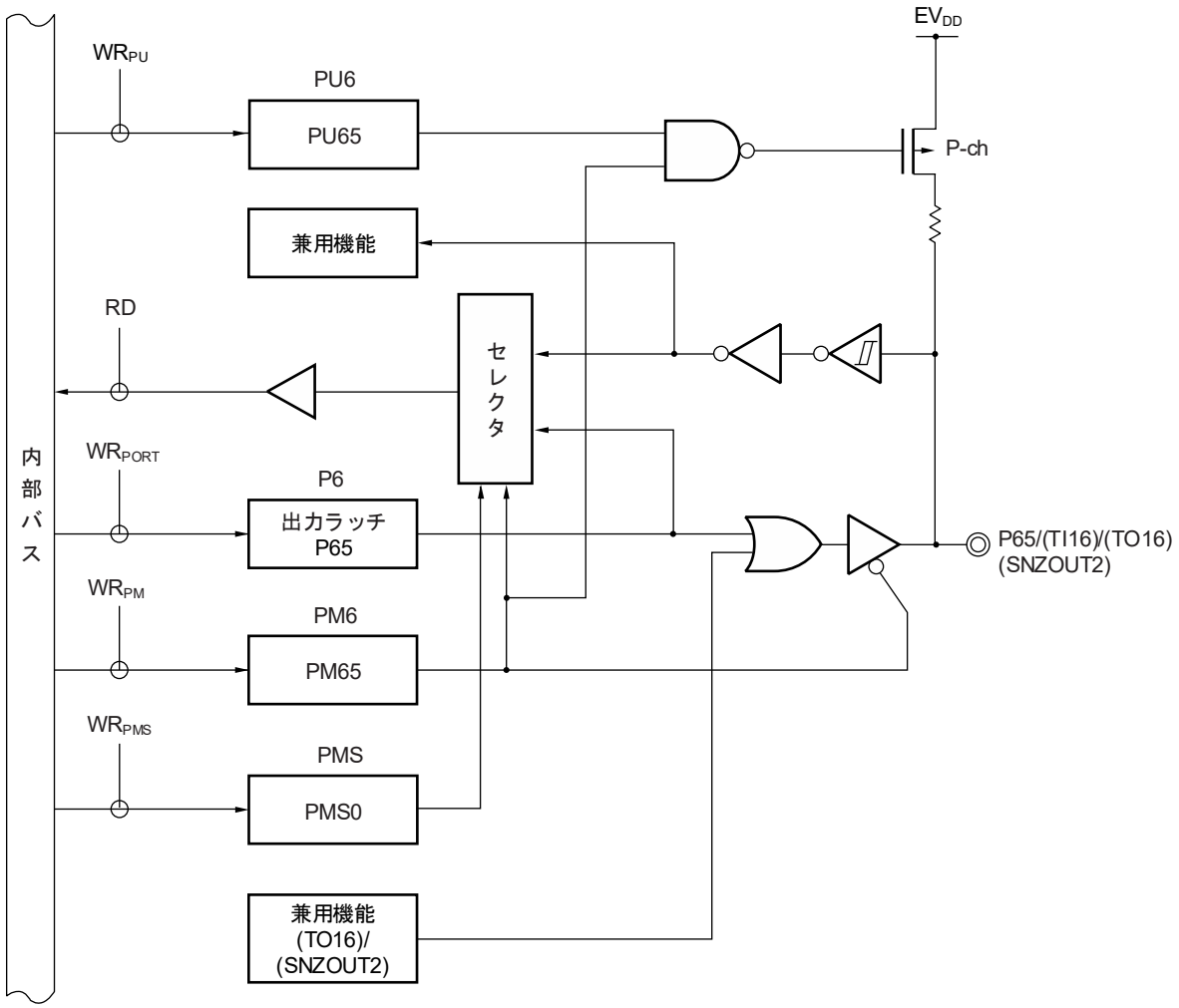
2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－37　P64 のブロック図



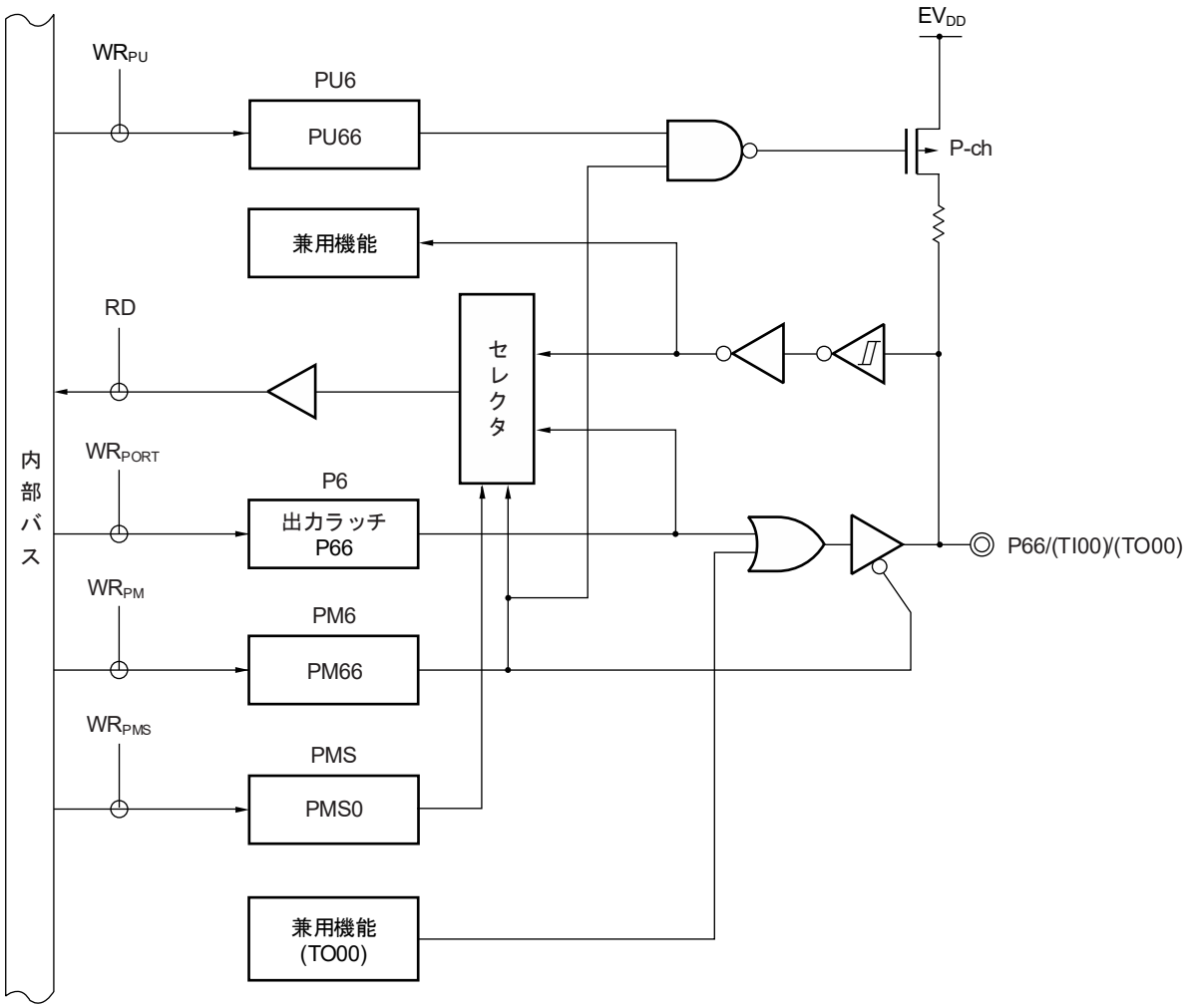
P6　　：ポート・レジスタ 6
PU6　　：プルアップ抵抗オプション・レジスタ 6
PM6　　：ポート・モード・レジスタ 6
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－38　P65 のブロック図



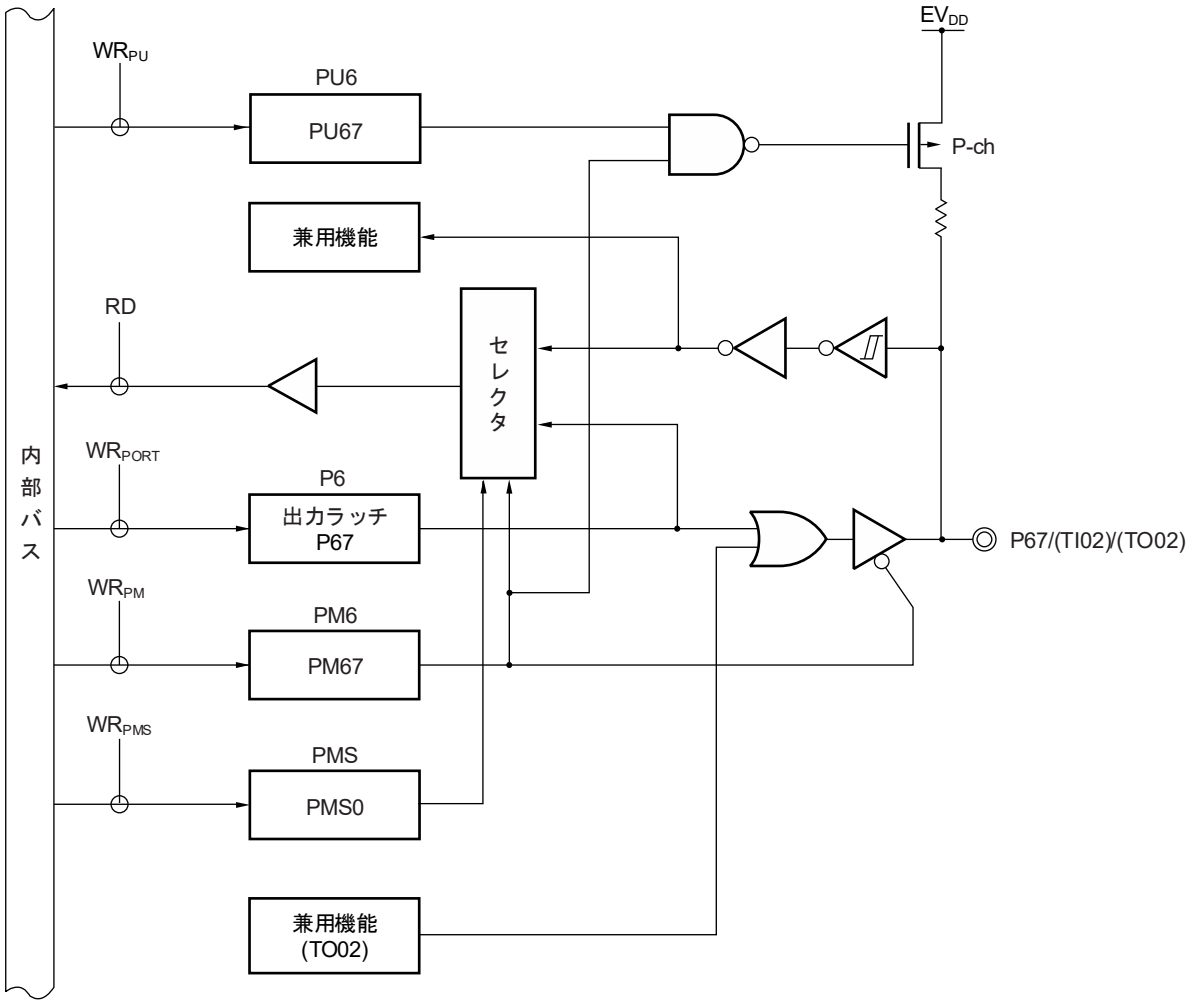
P6　：ポート・レジスタ 6
PU6　：プルアップ抵抗オプション・レジスタ 6
PM6　：ポート・モード・レジスタ 6
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

図 4－39　P66 のブロック図



P6　　：ポート・レジスタ 6
PU6　　：プルアップ抵抗オプション・レジスタ 6
PM6　　：ポート・モード・レジスタ 6
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

図 4－40　P67 のブロック図



P6　　：ポート・レジスタ 6
PU6　　：プルアップ抵抗オプション・レジスタ 6
PM6　　：ポート・モード・レジスタ 6
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

4.2.7　ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 7（PM7）により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 7（PU7）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P70，P71，P73 端子の入力は，ポート入力モード・レジスタ 7（PIM7）の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。P70，P71，P73，P75-P77 端子の入力は，ポート入力閾値制御レジスタ 7（PITHL7）の設定により，1 ビット単位で入力バッファの閾値の指定ができます。P70-P72 端子の出力は，ポート出力モード・レジスタ 7（POM7）により 1 ビット単位で N-ch オープン・ドレイン出力（EV_{DD} 耐圧）に設定可能です。P70-P74 端子を入力として使用する場合，ポート・モード・コントロール・レジスタ 7（PMC7）でデジタルかアナログかを設定してください（1 ビット単位で設定可能）。

また，兼用機能として A/D コンバータのアナログ入力，キー割り込み入力，シリアル・インタフェースのデータ入出力，クロック入出力，スレーブ・セレクト入力，タイマ入出力，外部割り込み要求入力，SNOOZE ステータス出力，CAN のシリアル・データ入出力があります。

P70/ANI26-P74/ANI30 をデジタル入力として使用する場合は，ポート・モード・コントロール・レジスタ 7（PMC7）でデジタル入出力に，かつ PM7 レジスタで入力モードに設定してください。

P70/ANI26-P74/ANI30 をデジタル出力として使用する場合は，ポート・モード・コントロール・レジスタ 7（PMC7）でデジタル入出力に，かつ PM7 レジスタで出力モードに設定してください。

P70/ANI26-P74/ANI30 をアナログ入力として使用する場合は，ポート・モード・コントロール・レジスタ 7（PMC7）でアナログ入力に，かつ PM7 レジスタで入力モードに設定してください。

リセット信号の発生により P70-P74 はアナログ入力，P75-P77 は入力モードになります。

表 4－10　ポート 7 使用時のレジスタ設定

端子名称		PM7x	PIM7x	POM7x	PMC7x	PITHL7x	兼用機能設定	備考
名称	入出力							
P70	入力	1	0	×	0	0	×	CMOS入力（Schmitt1入力）
						1		CMOS入力（Schmitt3入力）
			1	×	0	×	×	TTL入力
	出力	0	×	0	0	×	SDA11出力 = 1 注1 TO15出力 = 0 注2 SNZOUT4出力 = 0 注3	CMOS出力
			×	1	0	×		N-ch O.D出力
P71	入力	1	0	×	0	0	×	CMOS入力（Schmitt1入力）
						1		CMOS入力（Schmitt3入力）
			1	×	0	×	×	TTL入力
	出力	0	×	0	0	×	SCK11出力 = 1 注1 TO17出力 = 0 注2 SCL11出力 = 1 注1 SNZOUT5出力 = 0 注3	CMOS出力
			×	1	0	×		N-ch O.D出力
P72	入力	1	–	×	0	–	×	
	出力	0	–	0	0	–	SO11出力 = 1 注1 SNZOUT6出力 = 0 注3 (CTXD0出力 = 1) 注4	CMOS出力
			–	1	0	–		N-ch O.D出力
P73	入力	1	0	–	0	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
			1	–	0	×	×	TTL入力
	出力	0	×	–	0	×	SNZOUT7出力 = 0 注3	CMOS出力
P74	入力	1	–	–	0	–	×	
	出力	0	–	–	0	–	(SO10出力 = 1) 注1 (TXD1出力 = 1) 注1	
P75	入力	1	–	–	–	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
	出力	0	–	–	–	×	×	
P76	入力	1	–	–	–	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
	出力	0	–	–	–	×	(SCK10出力=1) 注1	
P77	入力	1	–	–	–	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
	出力	0	–	–	–	×	×	

重要　ポート 7 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

（**注**と**備考**は次のページにあります。）

注 1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合，対象ユニット・チャネルに該当するシリアル出力レジスタ m（SOm）の SOmn ビット，シリアル出力許可レジスタ m（SOEm）の SOEmn ビット，シリアル・チャネル許可ステータス・レジスタ m（SEm）の SEmn ビットを初期値と同じ設定で使用してください (m= 0, 1，n = 0, 1)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニット・チャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください (m= 0, 1，n = 0-7)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

3. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。

4. CAN のシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合，対応する CAN を動作停止にしてください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4）により，対応する機能を別のピンに割り当てます。

備考

×	: don't care
PM7x	: ポート・モード・レジスタ 7
PIM7x	: ポート入力モード・レジスタ 7
POM7x	: ポート出力モード・レジスタ 7
PMC7x	: ポート・モード・コントロール・レジスタ 7
PITHL7x	: ポート入力閾値制御レジスタ 7

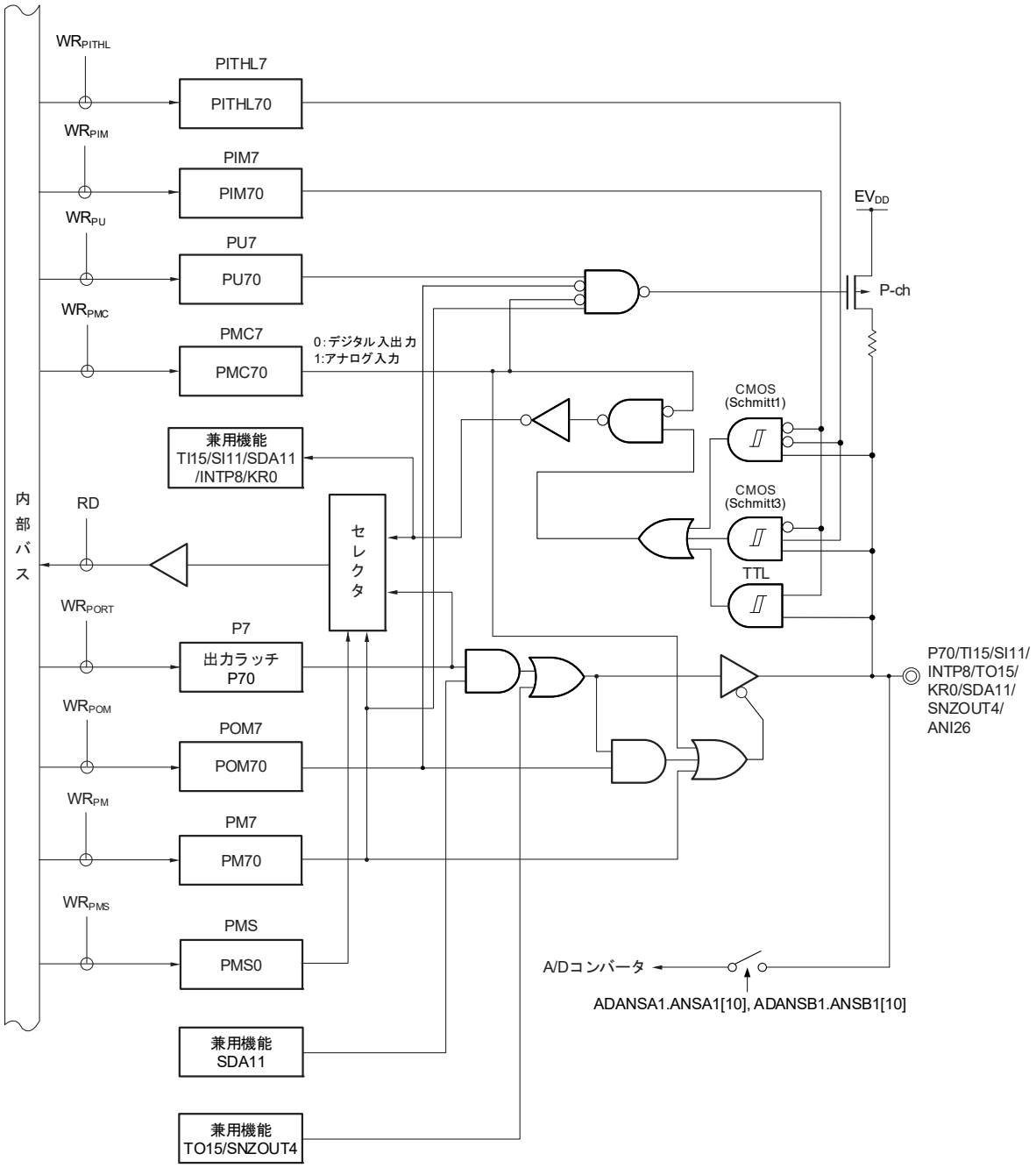
表 4－11　P70/ANI26-P74/ANI30 端子機能の設定

PMC7 レジスタ	PM7 レジスタ	ADANSA1, ADANSB1 レジスタ	P70/ANI26-P74/ANI30 端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P70/ANI26-P74/ANI30 はすべてアナログ入力になります。

図 4－41～図 4－48 に，100 ピン製品の場合のポート 7 のブロック図を示します。

図 4－41　P70 のブロック図



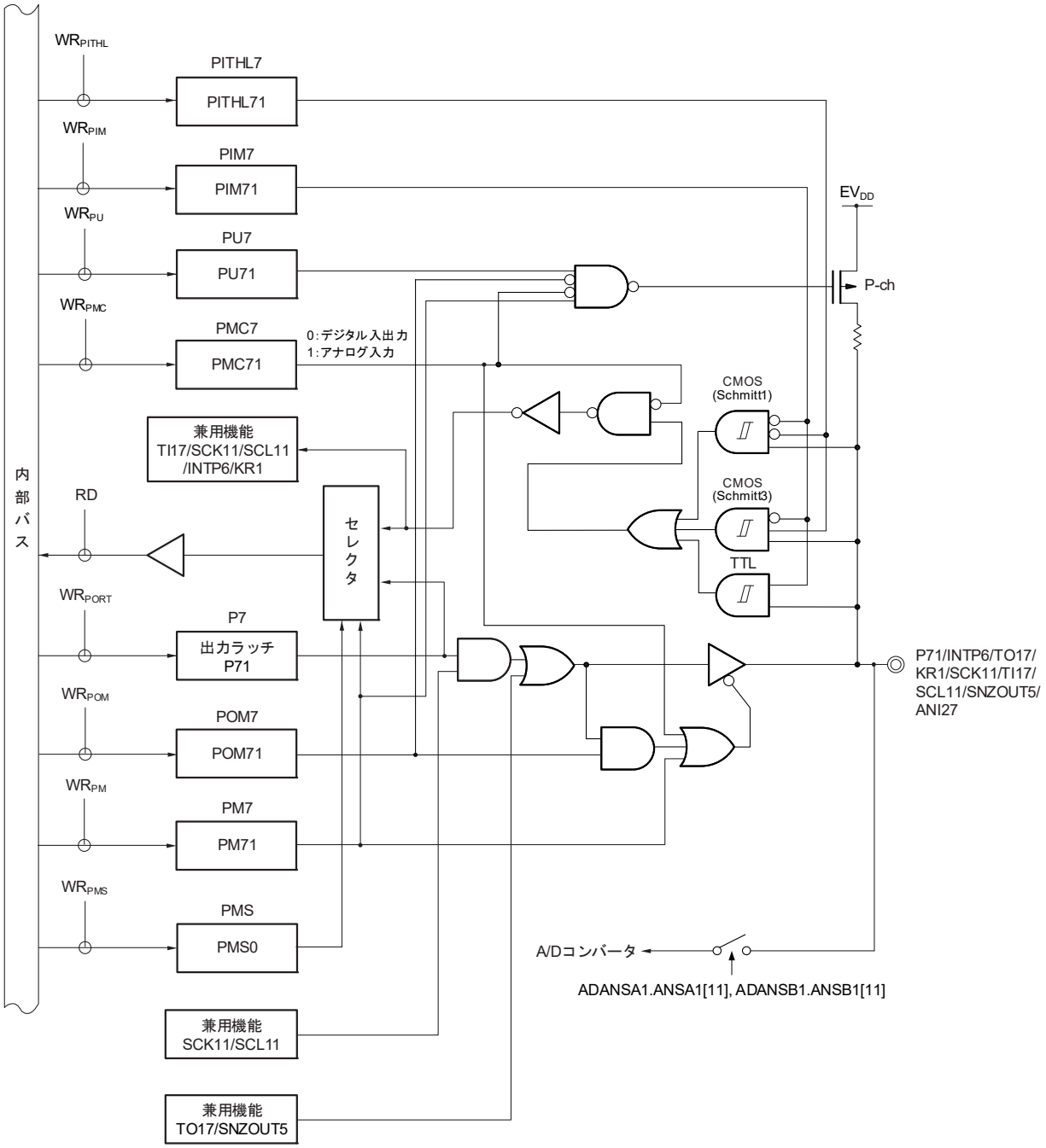
P7　　：ポート・レジスタ 7
PU7　　：プルアップ抵抗オプション・レジスタ 7
PM7　　：ポート・モード・レジスタ 7
PIM7　　：ポート入力モード・レジスタ 7
POM7　　：ポート出力モード・レジスタ 7
PMC7　　：ポート・モード・コントロール・レジスタ 7
PMS　　：ポート・モード選択レジスタ
PITHL7　：ポート入力閾値制御レジスタ 7
RD　　：リード信号
WRxx　　：ライト信号

（注意が次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－42　P71 のブロック図



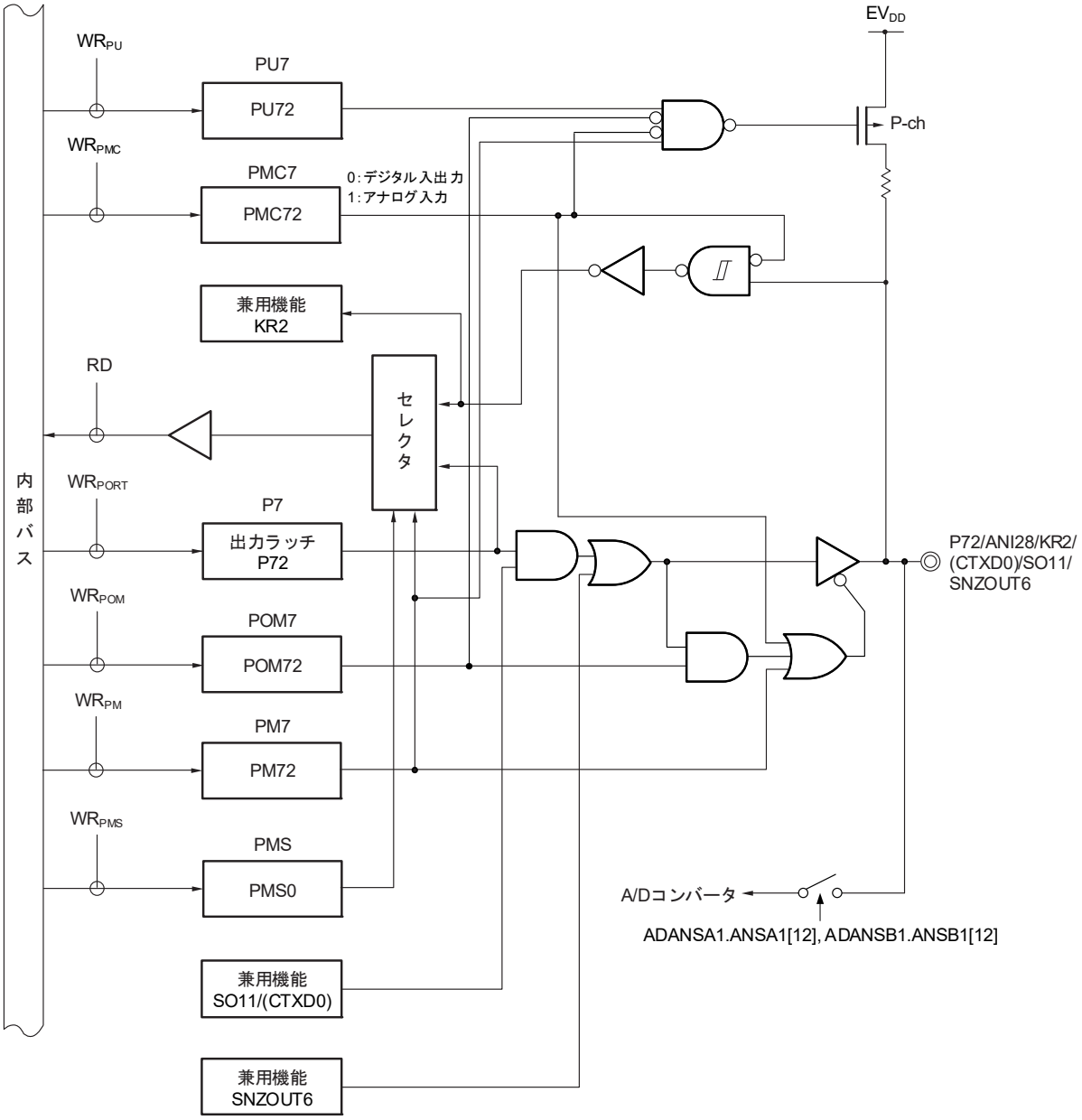
P7　：ポート・レジスタ 7
PU7　：プルアップ抵抗オプション・レジスタ 7
PM7　：ポート・モード・レジスタ 7
PIM7　：ポート入力モード・レジスタ 7
POM7　：ポート出力モード・レジスタ 7
PMC7　：ポート・モード・コントロール・レジスタ 7
PMS　：ポート・モード選択レジスタ
PITHL7　：ポート入力閾値制御レジスタ 7
RD　：リード信号
WRxx　：ライト信号

（**注意**は次のページにあります。）

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレイン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

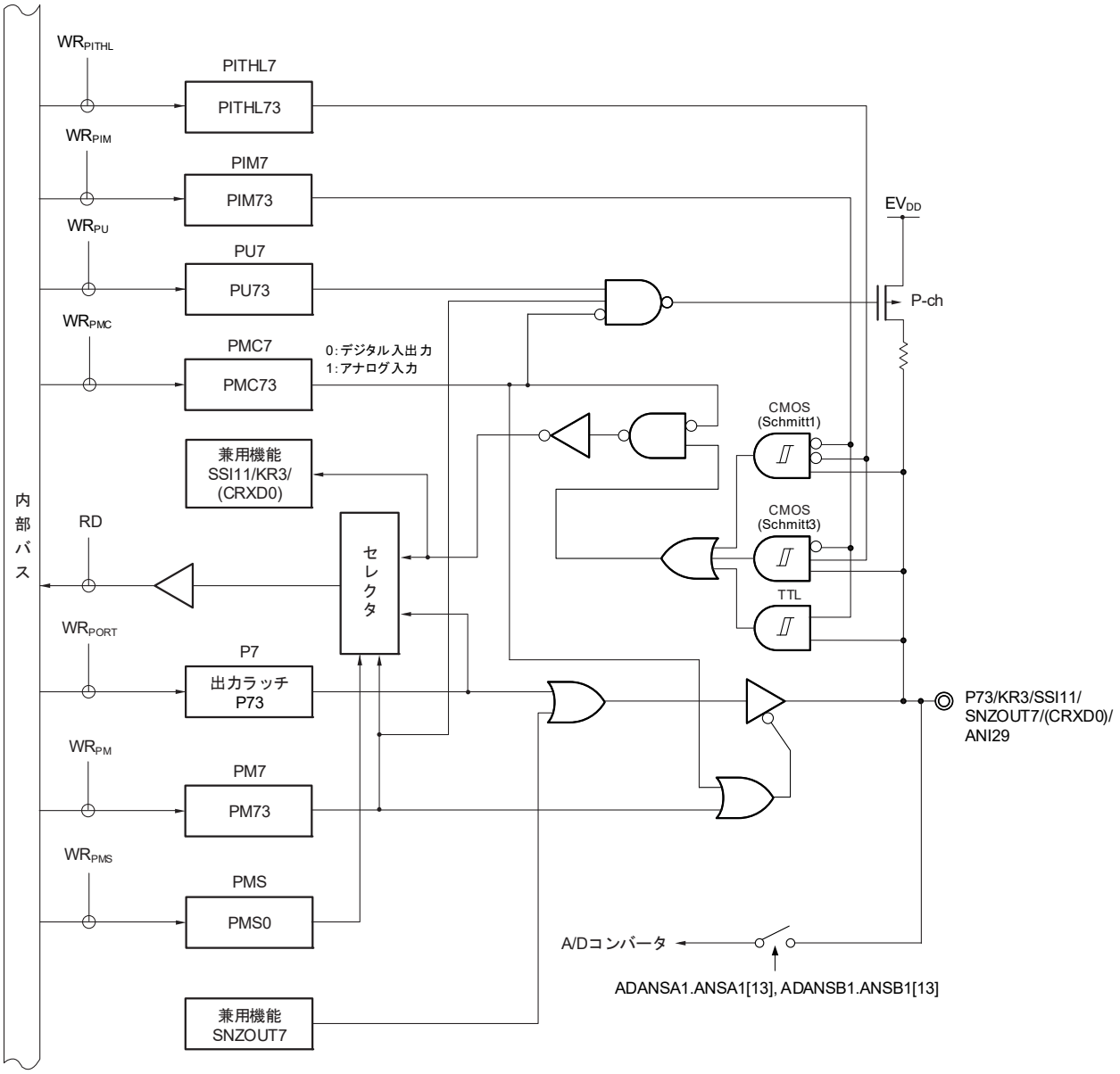
図 4－43　P72 のブロック図



P7　　：ポート・レジスタ 7
PU7　　：プルアップ抵抗オプション・レジスタ 7
PM7　　：ポート・モード・レジスタ 7
POM7　：ポート出力モード・レジスタ 7
PMC7　：ポート・モード・コントロール・レジスタ 7
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　：ライト信号

注意　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。

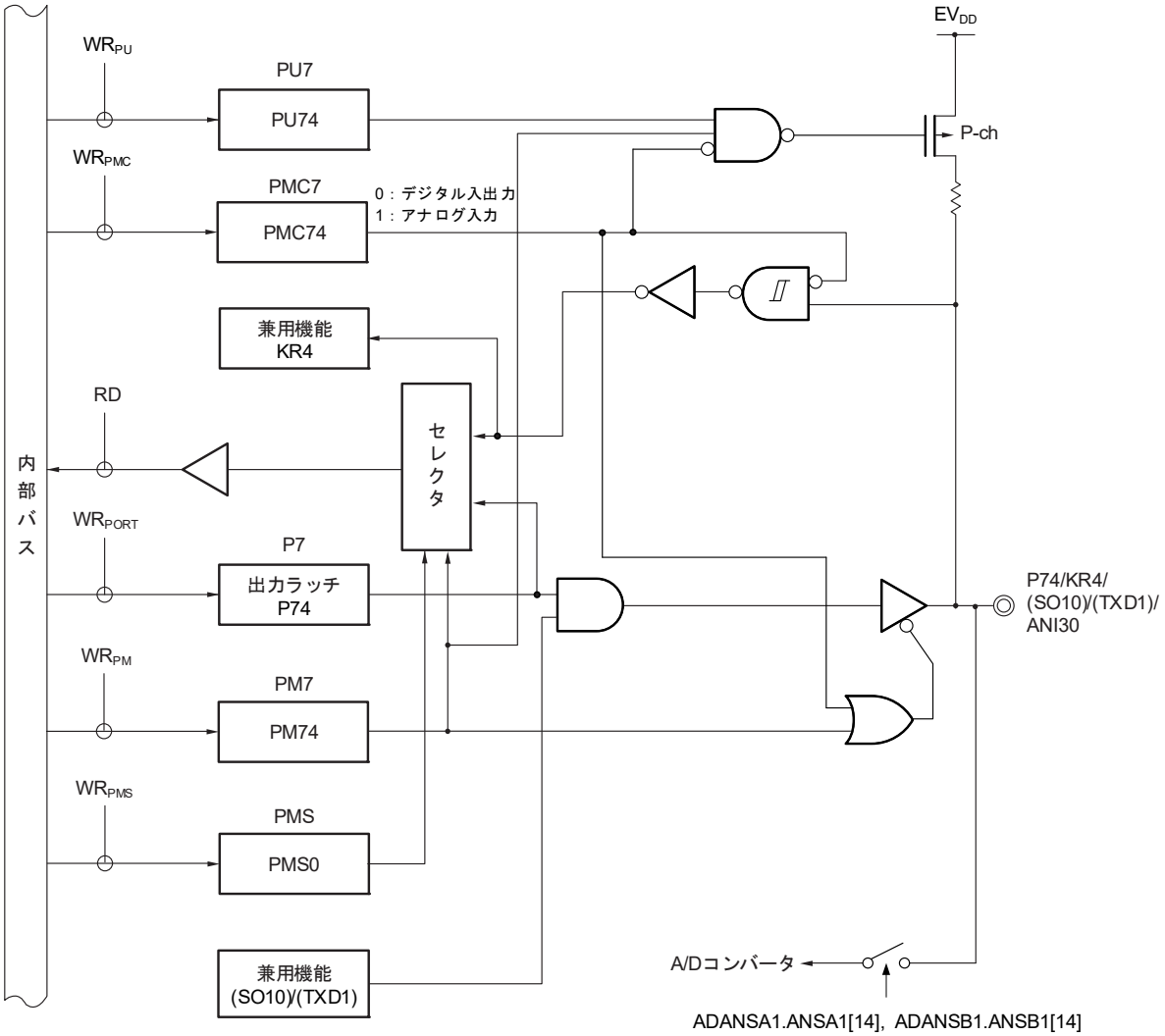
図 4－44　P73 のブロック図



P7　　：ポート・レジスタ 7
PU7　　：プルアップ抵抗オプション・レジスタ 7
PM7　　：ポート・モード・レジスタ 7
PIM7　　：ポート入力モード・レジスタ 7
PMC7　　：ポート・モード・コントロール・レジスタ 7
PMS　　：ポート・モード選択レジスタ
PITHL7　：ポート入力閾値制御レジスタ 7
RD　　：リード信号
WRxx　　：ライト信号

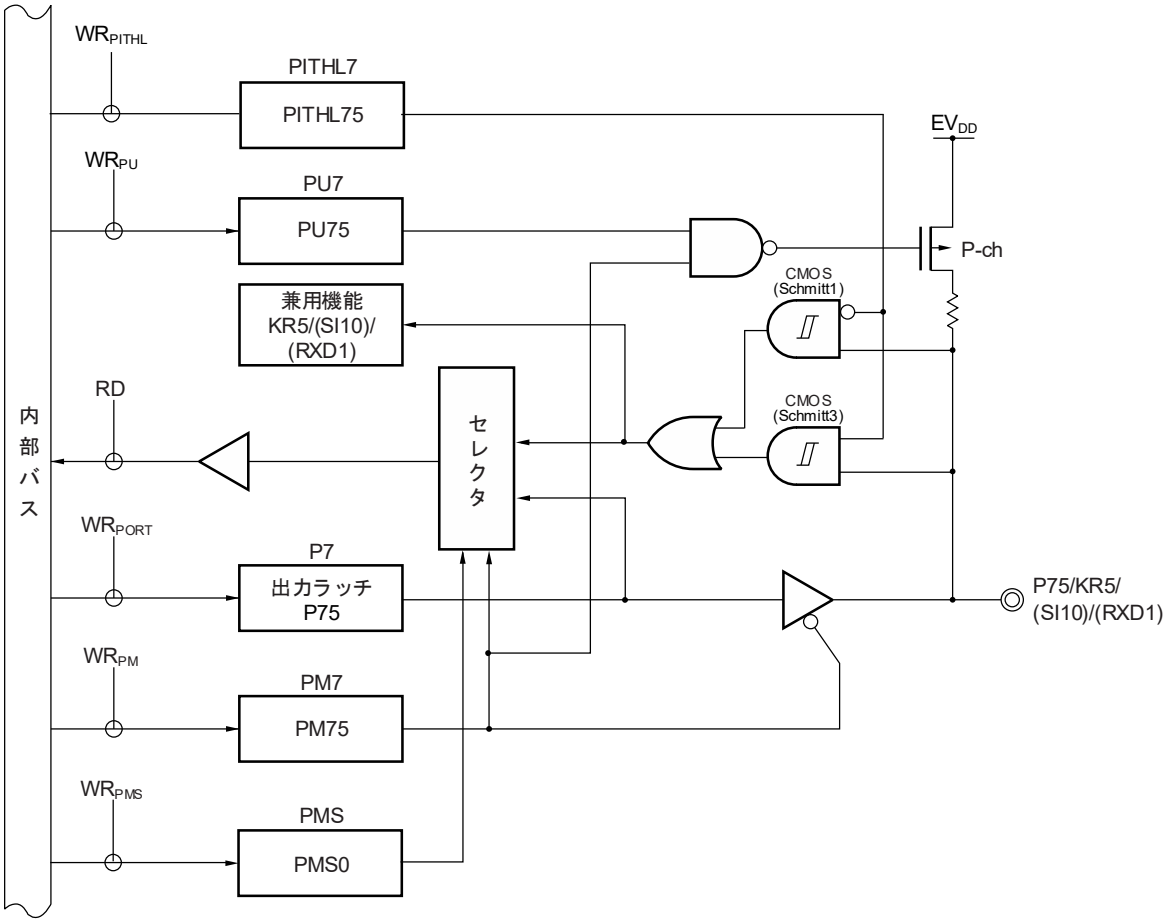
注意　この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－45　P74 のブロック図



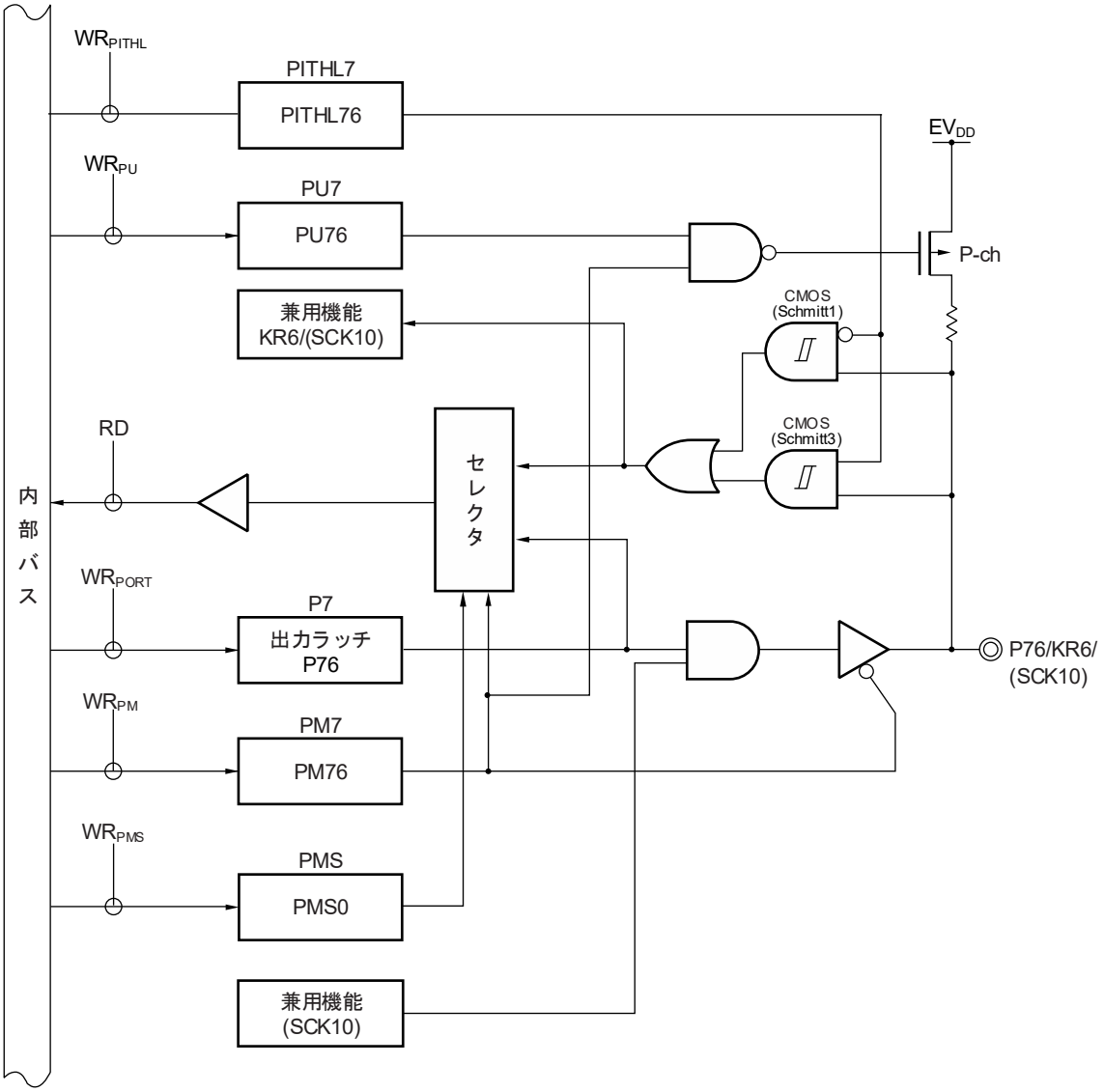
P7　：ポート・レジスタ 7
PU7　：プルアップ抵抗オプション・レジスタ 7
PM7　：ポート・モード・レジスタ 7
PMC7　：ポート・モード・コントロール・レジスタ 7
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

図 4－46　P75 のブロック図



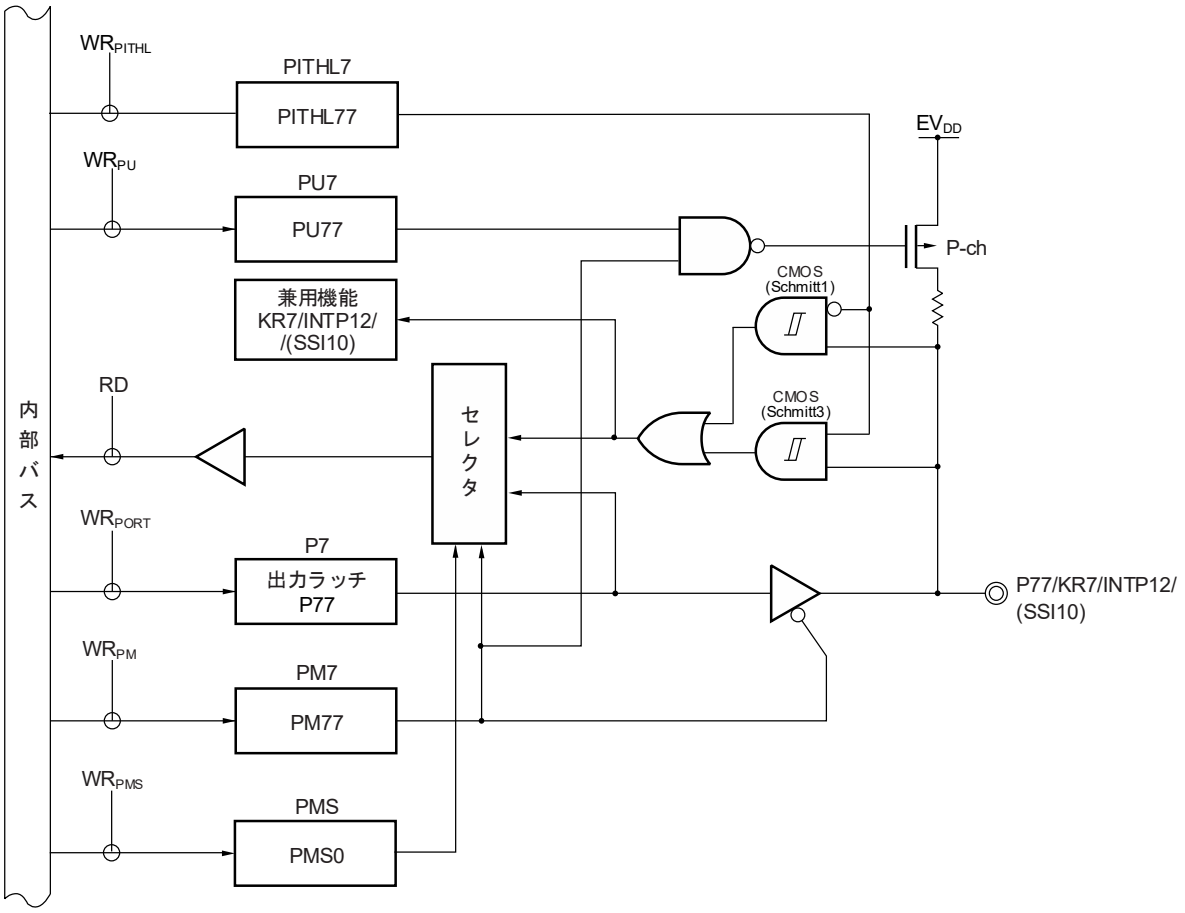
P7　　：ポート・レジスタ 7
PU7　　：プルアップ抵抗オプション・レジスタ 7
PM7　　：ポート・モード・レジスタ 7
PMS　　：ポート・モード選択レジスタ
PITHL7　：ポート入力閾値制御レジスタ 7
RD　　：リード信号
WRxx　　：ライト信号

図 4－47　P76 のブロック図



P7　　：ポート・レジスタ 7
PU7　　：プルアップ抵抗オプション・レジスタ 7
PM7　　：ポート・モード・レジスタ 7
PMS　　：ポート・モード選択レジスタ
PITHL7　：ポート入力閾値制御レジスタ 7
RD　　：リード信号
WRxx　　：ライト信号

図 4－48　P77 のブロック図



P7　：ポート・レジスタ 7
PU7　：プルアップ抵抗オプション・レジスタ 7
PM7　：ポート・モード・レジスタ 7
PMS　：ポート・モード選択レジスタ
PITHL7　：ポート入力閾値制御レジスタ 7
RD　：リード信号
WRxx　：ライト信号

4.2.8　ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 8（PM8）により 1 ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能として A/D コンバータのアナログ入力があります。

また，P80, P82-P85 は，D/A コンバータ出力，コンパレータのアナログ電圧入力，コンパレータの基準電圧入力があります。

P80/ANI0-P85/ANI5，P86/ANI8，P87/ANI9 をデジタル入力として使用する場合は，ポート・モード・コントロール・レジスタ 8（PMC8）でデジタル入出力に，かつ PM8 レジスタで入力モードに設定してください。

P80/ANI0-P85/ANI5，P86/ANI8，P87/ANI9 をデジタル出力として使用する場合は，ポート・モード・コントロール・レジスタ 8（PMC8）でデジタル入出力に，かつ PM8 レジスタで出力モードに設定してください。

P80/ANI0-P85/ANI5，P86/ANI8，P87/ANI9 をアナログ入出力として使用する場合は，ポート・モード・コントロール・レジスタ 8（PMC8）でアナログ入出力に，かつ PM8 レジスタで入力モードに設定してください。

リセット信号の発生により，アナログ入力モードになります。

表 4－12　P80/ANI0/ANO0 端子機能の設定

PMC8レジスタ	PM8レジスタ	DAMレジスタ	DAM2レジスタ	ADANSA0, ADANSB0 レジスタ	ANO0/ANI0/P80端子機能
デジタル入出力	入力モード	－	アナログ出力許可	－	設定禁止
			アナログ出力禁止		デジタル入力
	出力モード	－	アナログ出力許可	－	設定禁止
			アナログ出力禁止		デジタル出力
アナログ入出力	入力モード	D/A 変換動作許可	アナログ出力許可	ANI 選択	設定禁止
				ANI 非選択	アナログ出力 (D/A 出力)
			アナログ出力禁止	ANI 選択	アナログ入力 (A/D 変換対象)
				ANI 非選択	アナログ入力 (A/D 変換非対象) 注
		D/A 変換動作停止	アナログ出力許可	ANI 選択	設定禁止
				ANI 非選択	設定禁止
			アナログ出力禁止	ANI 選択	アナログ入力 (A/D 変換対象)
				ANI 非選択	アナログ入力 (A/D 変換非対象)
	出力モード	－	－	－	設定禁止

注　コンパレータの内部基準電圧として D/A コンバータを使用する場合の設定です。この場合，CMPSEL レジスタの CVRS1, CVRS0 ビットを 10B（内部基準電圧（D/A コンバータ出力））としてください。

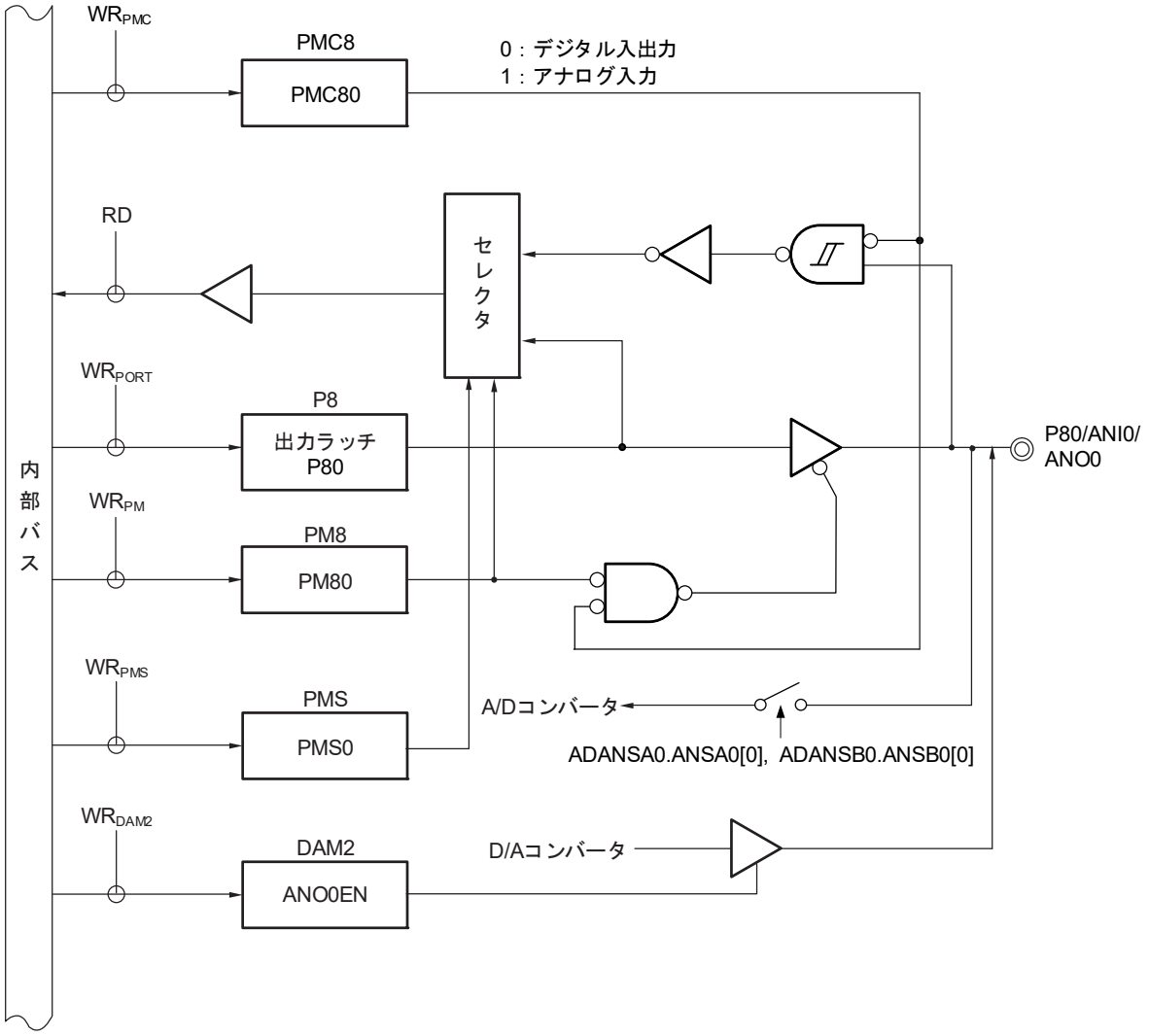
表 4－13　P81/ANI1-P85/ANI5，P86/ANI8，P87/ANI9 端子機能の設定

PMC8レジスタ	PM8レジスタ	ADANSA0, ADANSB0 レジスタ	P81/ANI1-P85/ANI5, P86/ANI8, P87/ANI9 端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P80/ANI0-P85/ANI5，P86/ANI8，P87/ANI9 はすべてアナログ入力になります。

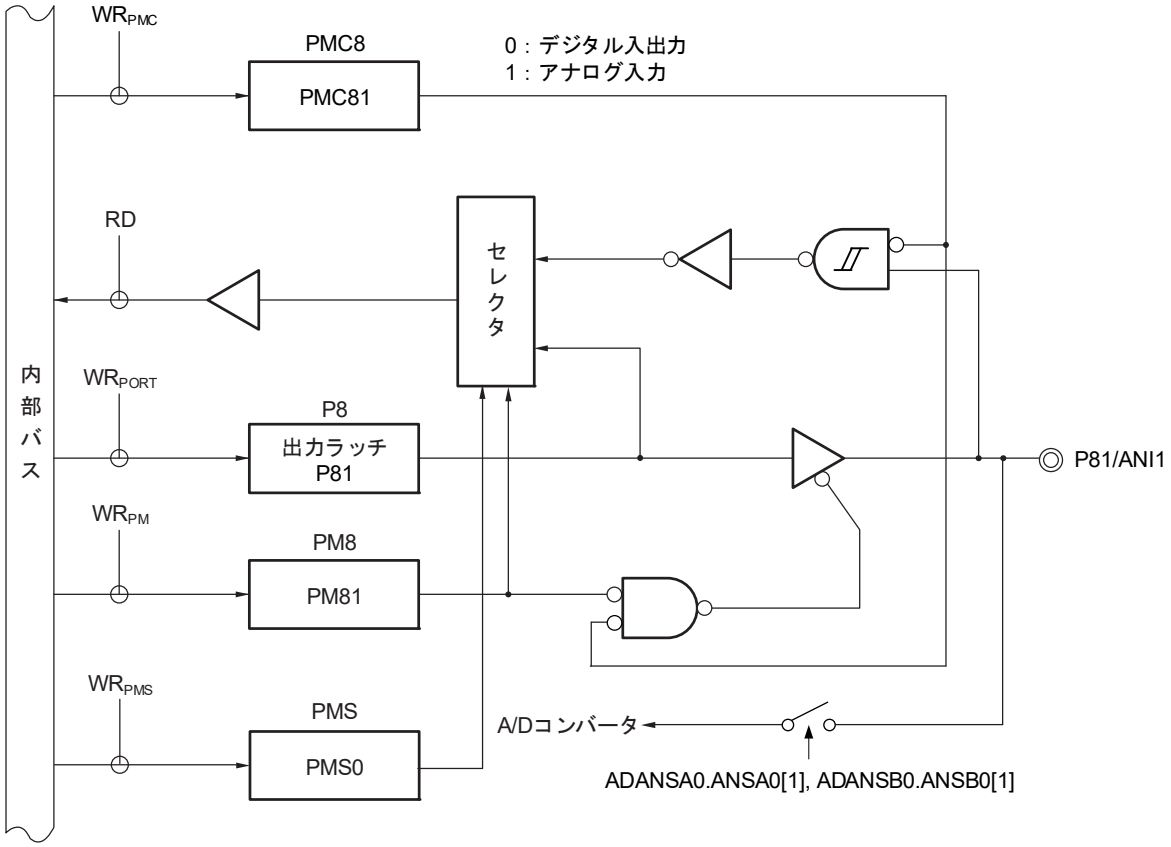
図 4－49～図 4－56 に，100 ピン製品の場合のポート 8 のブロック図を示します。

図 4－49　P80 のブロック図



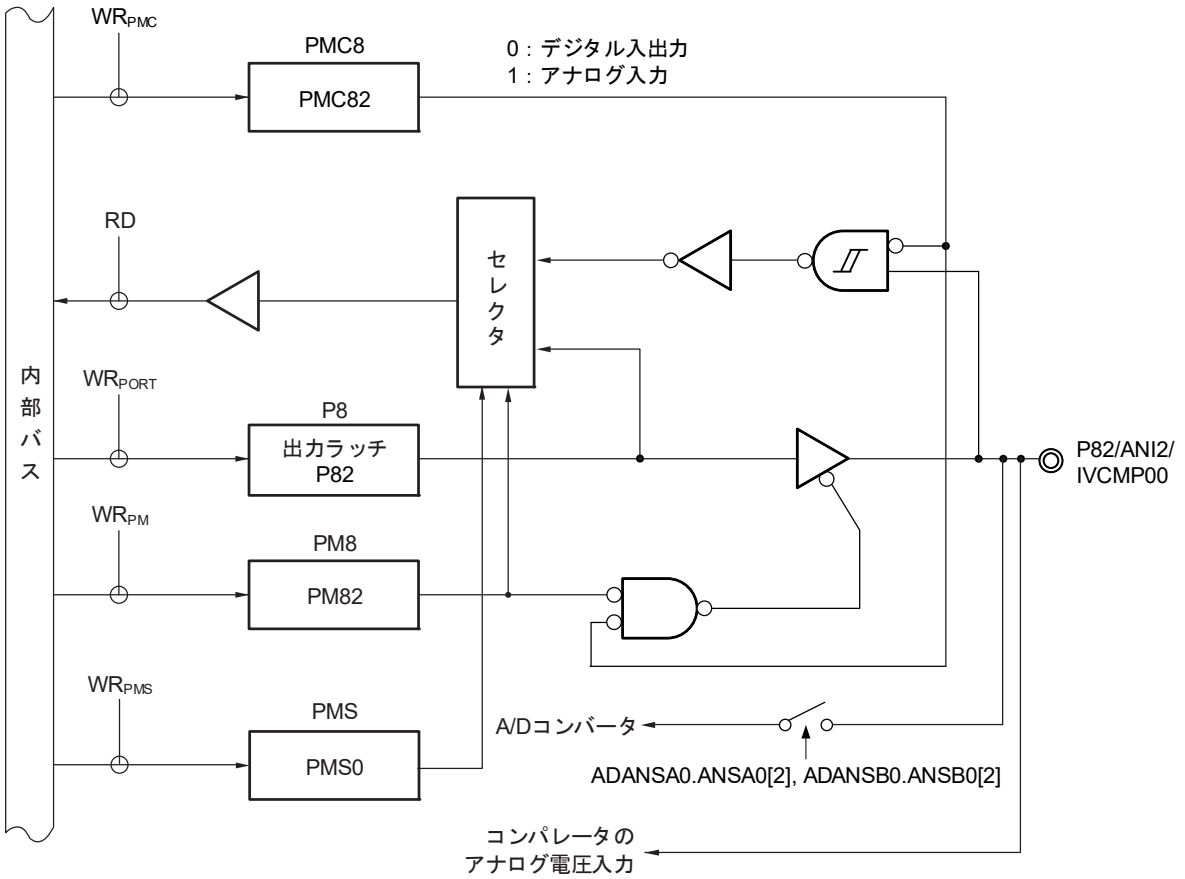
P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
DAM2　：D/A コンバータ・モード・レジスタ 2
RD　：リード信号
WRxx　：ライト信号

図 4－50　P81 のブロック図



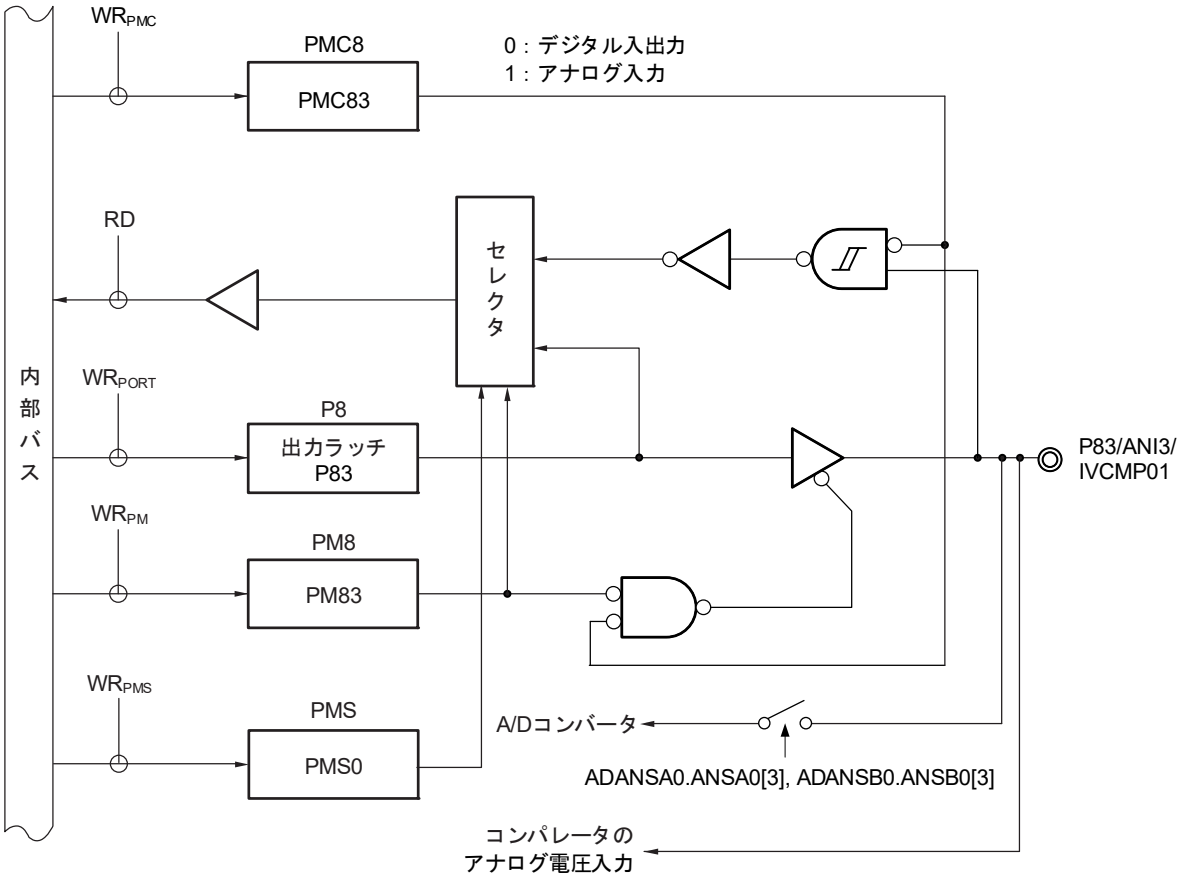
P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
RD　：リード信号
WRxx　：ライト信号

図 4－51　P82 のブロック図



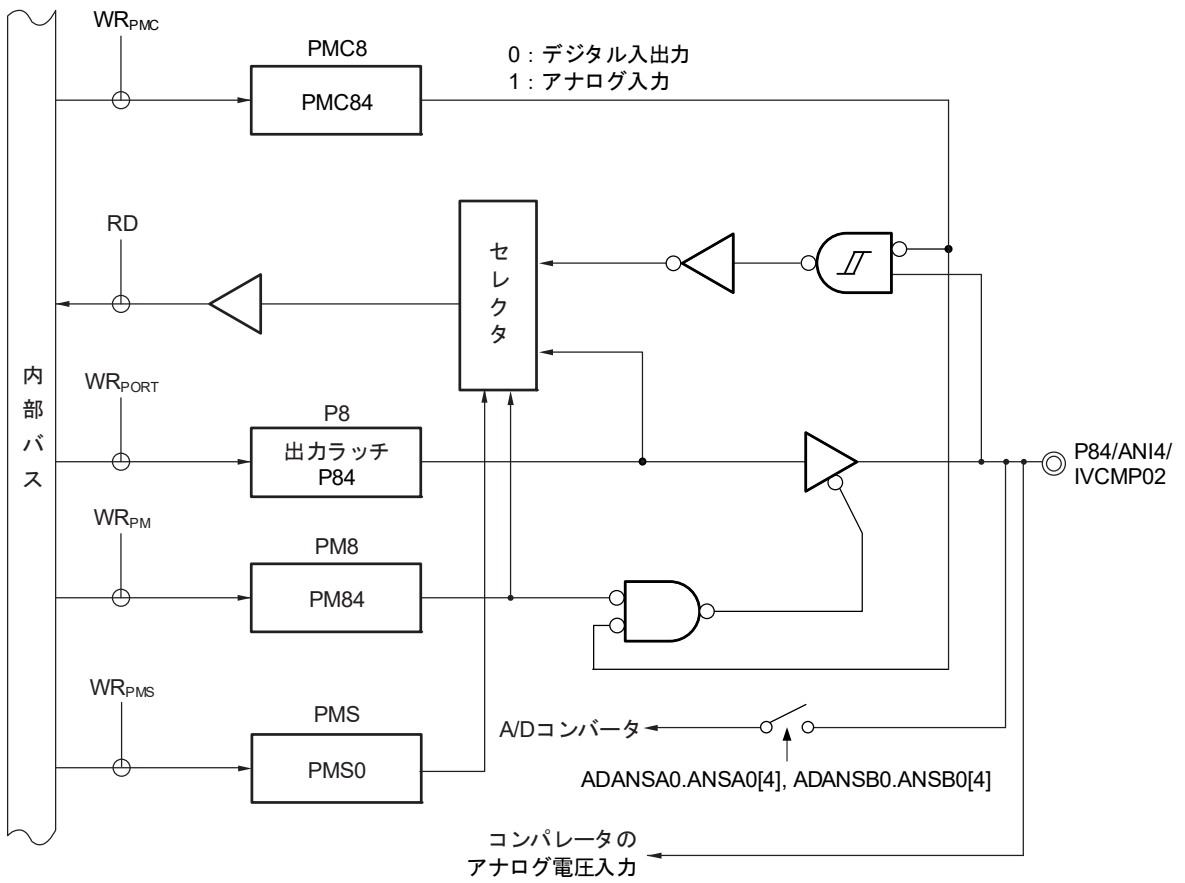
P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
RD　：リード信号
WRxx　：ライト信号

図 4－52　P83 のブロック図



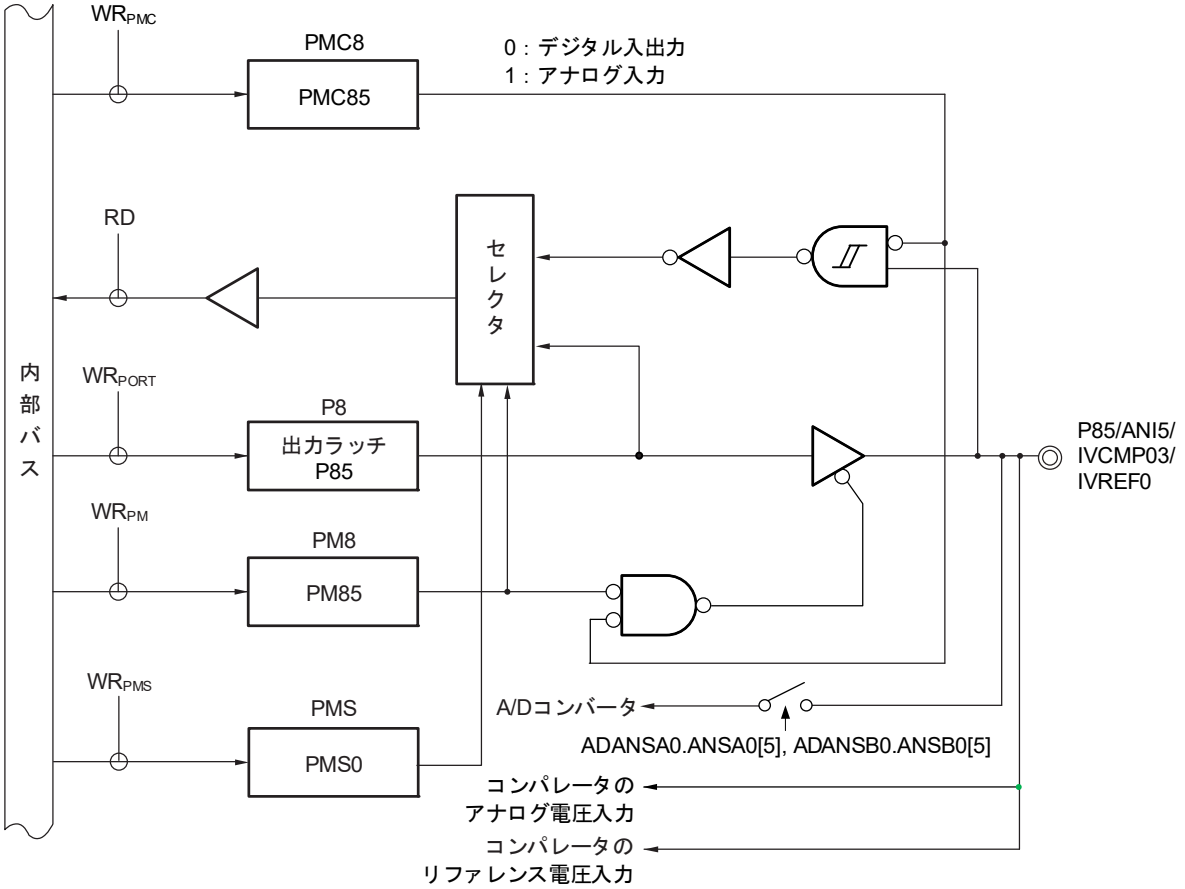
P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
RD　：リード信号
WRxx　：ライト信号

図 4－53　P84 のブロック図



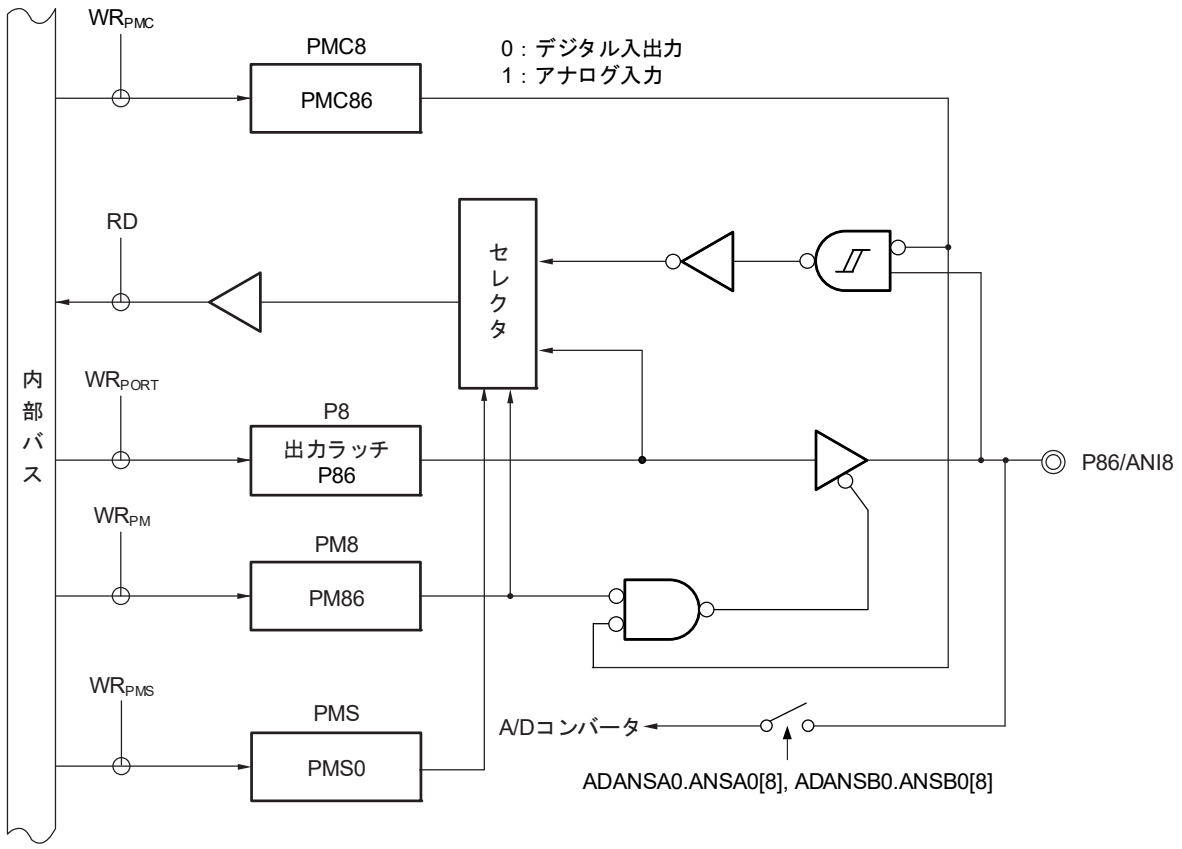
P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
RD　：リード信号
WRxx　：ライト信号

図 4－54　P85 のブロック図



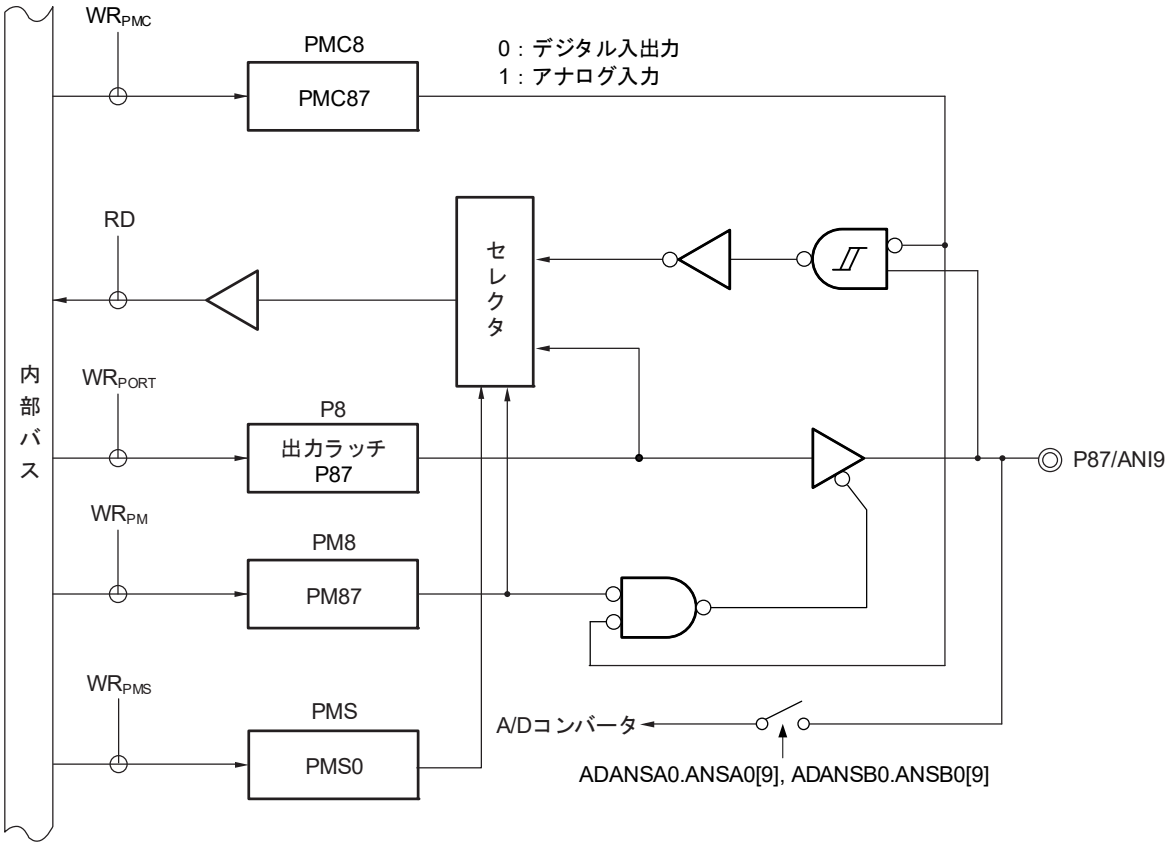
P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
RD　：リード信号
WRxx　：ライト信号

図 4－55　P86 のブロック図



P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
RD　：リード信号
WRxx　：ライト信号

図 4－56　P87 のブロック図



P8　：ポート・レジスタ 8
PM8　：ポート・モード・レジスタ 8
PMS　：ポート・モード選択レジスタ
PMC8　：ポート・モード・コントロール・レジスタ 8
RD　：リード信号
WRxx　：ライト信号

4.2.9　ポート9

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 9（PM9）により 1 ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能として A/D コンバータのアナログ入力があります。

P90/ANI10-P97/ANI17 をデジタル入力として使用する場合は，ポート・モード・コントロール・レジスタ 9（PMC9）でデジタル入出力に，かつ PM9 レジスタで入力モードに設定してください。

P90/ANI10-P97/ANI17 をデジタル出力として使用する場合は，ポート・モード・コントロール・レジスタ 9（PMC9）でデジタル入出力に，かつ PM9 レジスタで出力モードに設定してください。

P90/ANI10-P97/ANI17 をアナログ入力として使用する場合は，ポート・モード・コントロール・レジスタ 9（PMC9）でアナログ入力に，かつ PM9 レジスタで入力モードに設定してください。

リセット信号の発生によりアナログ入力になります。

表 4－14　ポート 9 使用時のレジスタ設定

端子名称		PM9x	兼用機能設定
名称	入出力		
P90	入力	1	×
	出力	0	×
P91	入力	1	×
	出力	0	×
P92	入力	1	×
	出力	0	×
P93	入力	1	×
	出力	0	×
P94	入力	1	×
	出力	0	×
P95	入力	1	×
	出力	0	×
P96	入力	1	×
	出力	0	×
P97	入力	1	×
	出力	0	×

備考　×　　：don’t care
　　PM9x　：ポート・モード・レジスタ 9

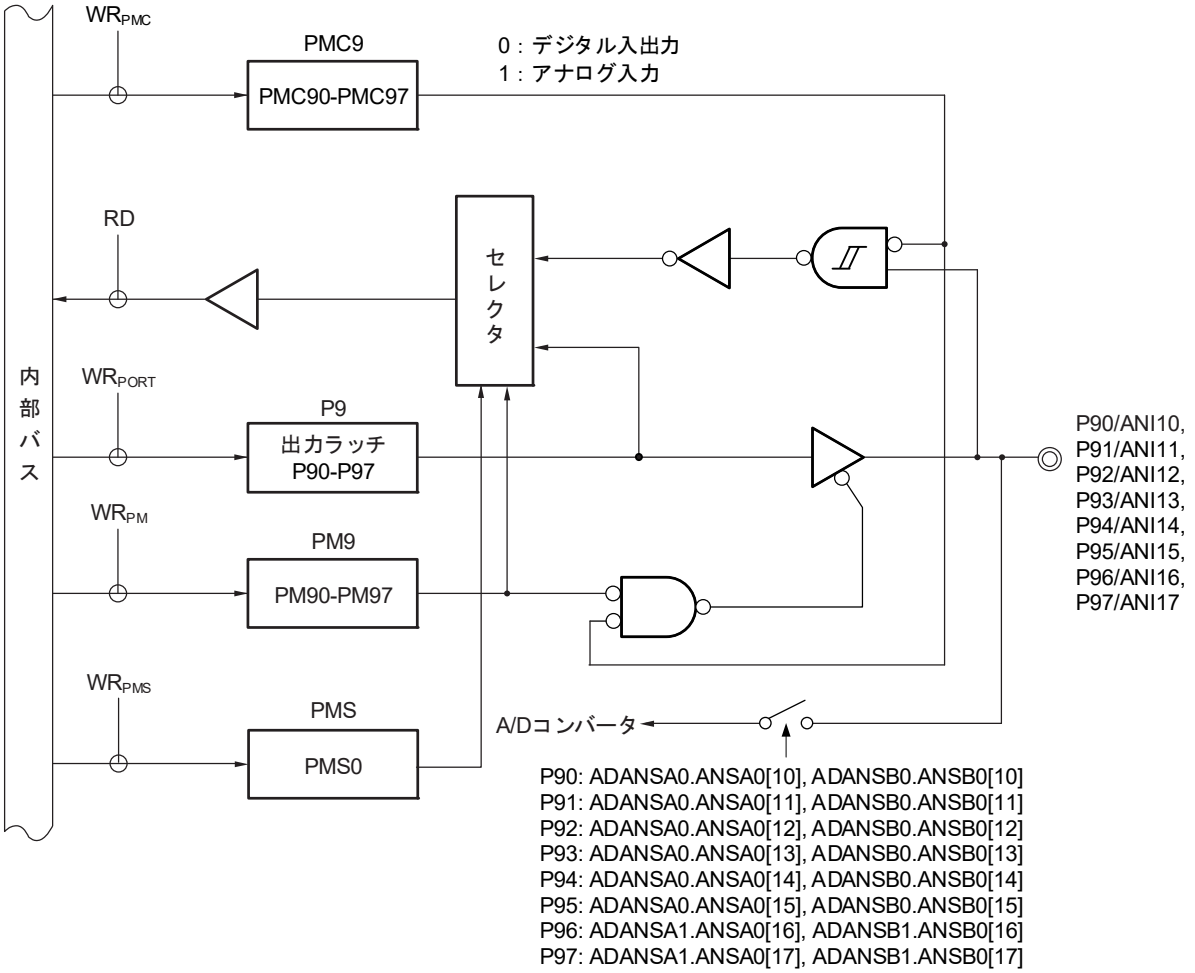
表 4－15　P90/ANI10-P97/ANI17 端子機能の設定

PMC9レジスタ	PM9レジスタ	ADANSA0, ADANSB0, ADANSA1, ADANSB1 レジスタ	P90/ANI10-P97/ANI17 端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P90/ANI10-P97/ANI17 はすべてアナログ入力になります。

図 4－57 に，100 ピン製品の場合のポート 9 のブロック図を示します。

図 4－57　P90-P97 のブロック図



P9　：ポート・レジスタ 9
PM9　：ポート・モード・レジスタ 9
PMS　：ポート・モード選択レジスタ
PMC9　：ポート・モード・コントロール・レジスタ 9
RD　：リード信号
WRxx　：ライト信号

4.2.10　ポート10

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 10（PM10）により 1 ビット単位で入力モード／出力モードの指定ができます。

P106，P107 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 10（PU10）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。P107 端子の入力は，ポート入力閾値制御レジスタ 10（PITHL10）の設定により，1 ビット単位で入力バッファの閾値の指定ができます。

また，兼用機能として A/D コンバータのアナログ入力，LIN のシリアルデータ入出力があります。

P100/ANI18-P105/ANI23 をデジタル入力として使用する場合は，ポート・モード・コントロール・レジスタ 10（PMC10）でデジタル入出力に，かつ PM10 レジスタで入力モードに設定してください。

P100/ANI18-P105/ANI23 をデジタル出力として使用する場合は，ポート・モード・コントロール・レジスタ 10（PMC10）でデジタル入出力に，かつ PM10 レジスタで出力モードに設定してください。

P100/ANI18-P105/ANI23 をアナログ入力として使用する場合は，ポート・モード・コントロール・レジスタ 10（PMC10）でアナログ入力に，かつ PM10 レジスタで入力モードに設定してください。

リセット信号の発生により，P100-P105 がアナログ入力に，P106-P107 が入力モードになります。

表 4－16　ポート 10 使用時のレジスタ設定

端子名称		PM10x	PITHL10x	兼用機能設定 注2	備考
名称	入出力				
P100 注2	入力	1	－	×	
	出力	0	－	×	
P101 注2	入力	1	－	×	
	出力	0	－	×	
P102 注2	入力	1	－	×	
	出力	0	－	×	
P103 注2	入力	1	－	×	
	出力	0	－	×	
P104 注2	入力	1	－	×	
	出力	0	－	×	
P105 注2	入力	1	－	×	
	出力	0	－	×	
P106	入力	1	－	×	
	出力	0	－	（LTXD1出力 = 1）注1	
P107	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	×	

重要　ポート 10 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

（**注**と**備考**が次のページにあります。）

注 1. LIN のシリアルデータ出力機能と兼用している端子を汎用ポートとして使用する場合，対応する LIN を動作停止にしてください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

2. ポート・モード・コントロール・レジスタ 10（PMC10）で対象端子を“0”（デジタル入出力）に選択した場合のレジスタ設定です。アナログ入力として使用する場合，表 4－17 を参照してください。

備考　×　　：don’t care
PM10x　　：ポート・モード・レジスタ 10
PITHL10x　：ポート入力閾値制御レジスタ 10

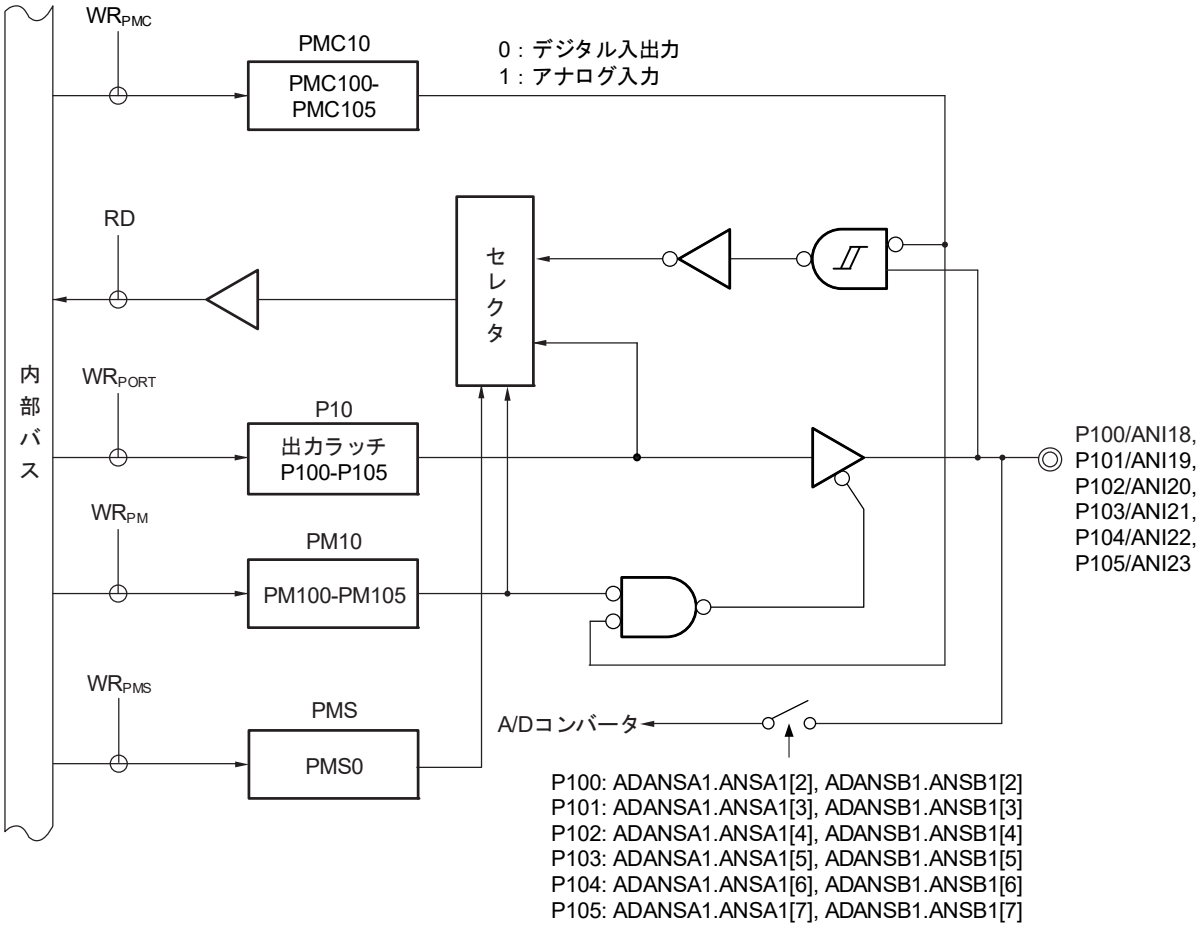
表 4－17　P100/ANI18-P105/ANI23 端子機能の設定

PMC10レジスタ	PM10レジスタ	ADANSA1, ADANSB1 レジスタ	P100/ANI18-P105/ANI23 端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P100/ANI18-P105/ANI23 はすべてアナログ入力になります。

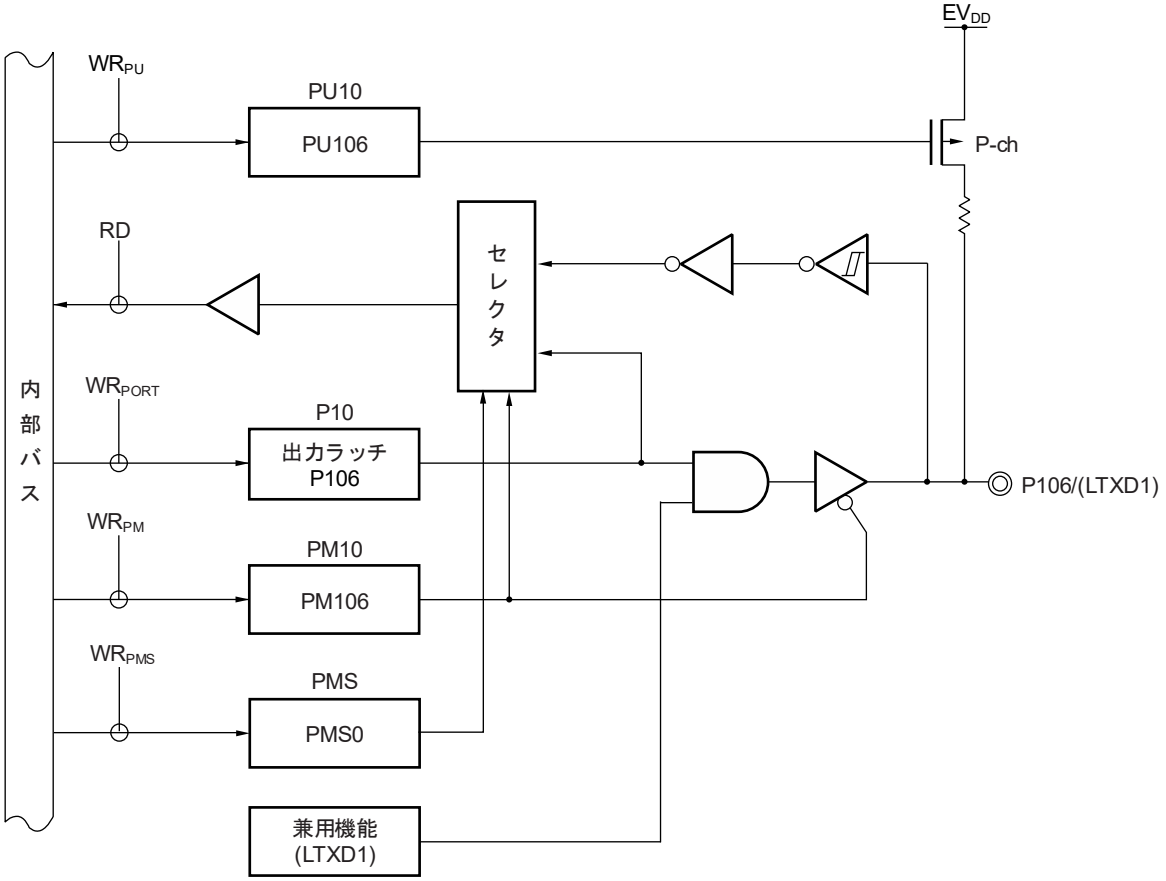
図 4－58～図 4－60 に，100 ピン製品の場合のポート 10 のブロック図を示します。

図 4－58　P100-P105 のブロック図



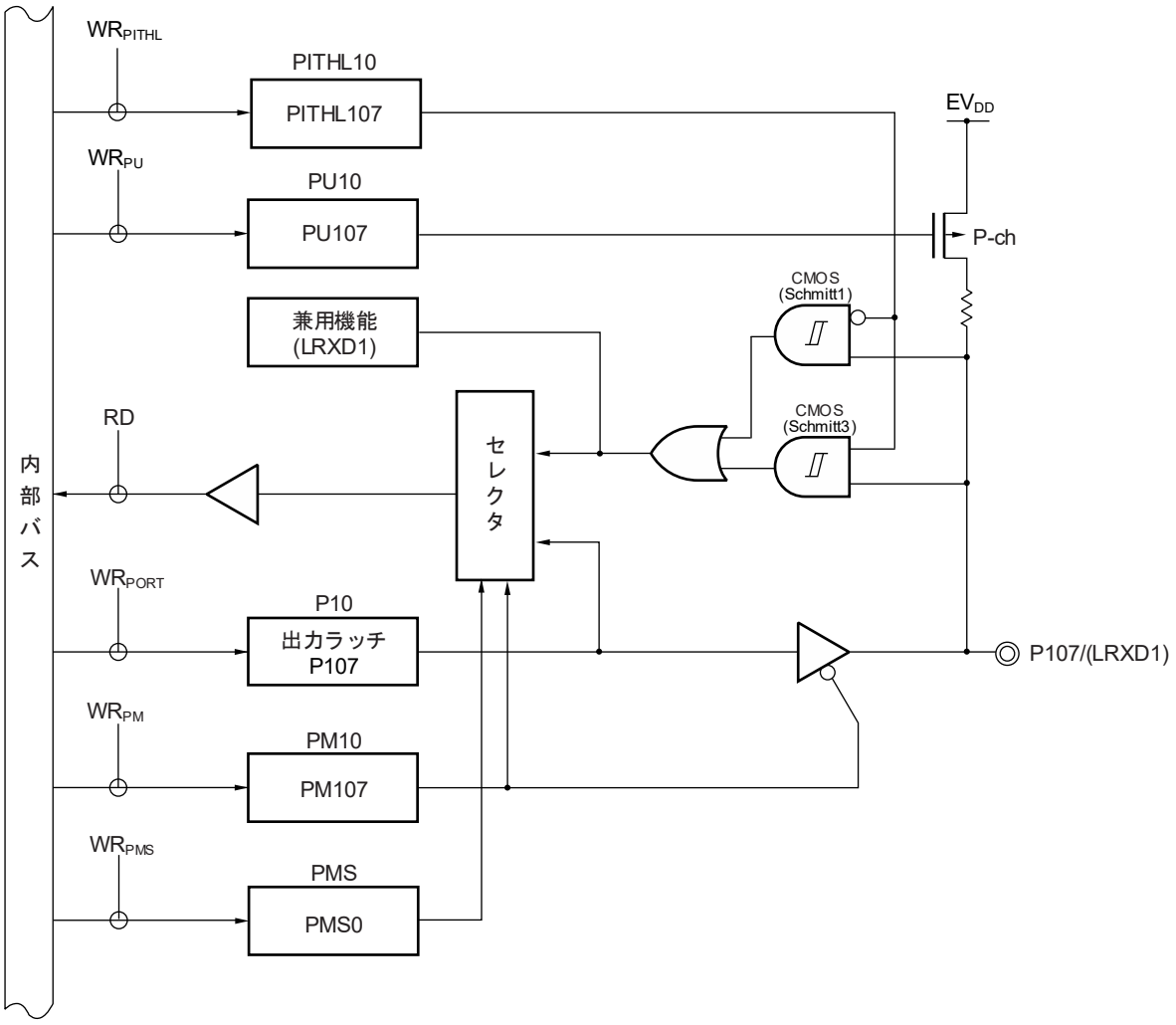
P10　：ポート・レジスタ 10
PM10　：ポート・モード・レジスタ 10
PMS　：ポート・モード選択レジスタ
PMC10　：ポート・モード・コントロール・レジスタ 10
RD　：リード信号
WRxx　：ライト信号

図 4－59　P106 のブロック図



P10　：ポート・レジスタ 10
PM10　：ポート・モード・レジスタ 10
PMS　：ポート・モード選択レジスタ
PU10　：プルアップ抵抗オプション・レジスタ 10
RD　：リード信号
WRxx　：ライト信号

図 4－60　P107 のブロック図



P10　　：ポート・レジスタ 10
PM10　　：ポート・モード・レジスタ 10
PMS　　：ポート・モード選択レジスタ
PITHL10：ポート入力閾値制御レジスタ 10
PU10　　：プルアップ抵抗オプション・レジスタ 10
RD　　：リード信号
WRxx　　：ライト信号

4.2.11　ポート12

P120，P125-P127 は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 12（PM12）により，1 ビット単位で入力モード／出力モードの指定ができます。P120, P125-P127 端子を入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ 12（PU12）により内蔵プルアップ抵抗を使用できます。

P125 端子の入力は，ポート入力モード・レジスタ 12（PIM12）の設定により 1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。P120，P125 端子の入力は，ポート入力閾値制御レジスタ 12（PITHL12）の設定により 1 ビット単位で入力バッファの閾値の指定ができます。

P120 端子の出力は，ポート出力モード・レジスタ 12（POM12）により 1 ビット単位で N-ch オープン・ドレイン出力（EV_{DD} 耐圧）に設定可能です。

P120, P125 端子を入力として使用する場合，ポート・モード・コントロール・レジスタ 12（PMC12）でデジタルかアナログかを設定してください（1 ビット単位で設定可能）。

また兼用機能として A/D コンバータのアナログ入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力，タイマの入出力，シリアル・インタフェースのクロック入出力（CSI），シリアル・インタフェースのデータ出力，スレーブ・セレクト入力，LIN のシリアル・データ入出力，外部割り込み要求入力，SNOOZE ステータス出力があります。

リセット信号の発生により P120，P125 はアナログ入力，P121-P124，P126，P127 は，入力モードになります。

表 4－18　ポート 12 使用時のレジスタ設定（1/2）

端子名称		PM12x	PIM12x	POM12x	PMC12x	PITHL12x	兼用機能設定	備考
名称	入出力							
P120	入力	1	–	×	0	0	×	CMOS入力 （Schmitt1入力）
						1		CMOS入力 （Schmitt3入力）
	出力	0	–	0	0	×	TRDIOD0出力 ＝0 注1 TO07出力 ＝0 注2 SO01出力 ＝1 注3 （LTXD1出力 ＝1）注5 （SCK10出力 ＝1）注3	CMOS出力
			–	1	0	×		N-ch O.D出力
P121	入力	–	–	–	–	–	CMCレジスタの OSCSELビット ＝0 または，EXCLKビット ＝1	
P122	入力	–	–	–	–	–	CMCレジスタの OSCSELビット ＝0	
P123	入力	–	–	–	–	–	CMCレジスタの OSCSELSビット ＝0 または，EXCLKSビット ＝1 または，CKSELレジスタの SELLOSC = 1	
P124	入力	–	–	–	–	–	CMCレジスタの OSCSELSビット ＝0 または，CKSELレジスタの SELLOSC = 1	

（**注と注意**，**備考**は次のページにあります。）

表4－18　ポート12使用時のレジスタ設定（2/2）

端子名称		PM12x	PIM12x	POM12x	PMC12x	PITHL12x	兼用機能設定	備考
名称	入出力							
P125	入力	1	0	－	0	0	×	CMOS入力（Schmitt1入力）
						1		CMOS入力（Schmitt3入力）
			1	－	0	×	×	TTL入力
	出力	0	×	－	0	×	TRDIOB0出力 = 0 注1 TO03出力 = 0 注2 SNZOUT1出力 = 0 注4	
P126	入力	1	－	－	－	－	×	
	出力	0	－	－	－	－	（TO01出力 = 0）注2	
P127	入力	1	－	－	－	－	×	
	出力	0	－	－	－	－	（TO03出力 = 0）注2	

重要　ポート 12 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

注 1. タイマ RDe 機能と兼用している端子を汎用ポートとして使用する場合，タイマ RDe 出力マスタ許可レジスタ 1（TRDOER1）で対象となる TRDIOij 端子の出力制御ビットを初期値と同じ設定で使用してください（i= A, B, C, D，j = 0, 1）。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するタイマ出力レジスタ m（TOm）の TOmn ビット，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットを初期状態と同じ設定で使用してください（m= 0, 1，n = 0-7）。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR1, 3, 9）により，対応する機能を別のピンに割り当てます。

3. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するシリアル出力レジスタ m（SOm）の SOmn ビット，シリアル出力許可レジスタ m（SOEm）の SOEmn ビット，シリアルチャネル許可ステータスレジスタ m（SEm）の SEmn ビットを初期値と同じ設定で使用してください（m= 0, 1，n = 0, 1）。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

4. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。

5. LIN のシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合，対応する LIN を動作停止にしてください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

注意　P121-P124 の機能設定はリセット解除後 1 回のみ可能です。一度，発振子／発振器接続用に設定したポートはリセットしない限り，入力ポートとして使用できません。

備考　×　：don't care
PM12x　：ポート・モード・レジスタ 12
PIM12x　：ポート入力モード・レジスタ 12
POM12x　：ポート出力モード・レジスタ 12
PMC12x　：ポート・モード・コントロール・レジスタ 12
PITHL12x　：ポート入力閾値制御レジスタ 12

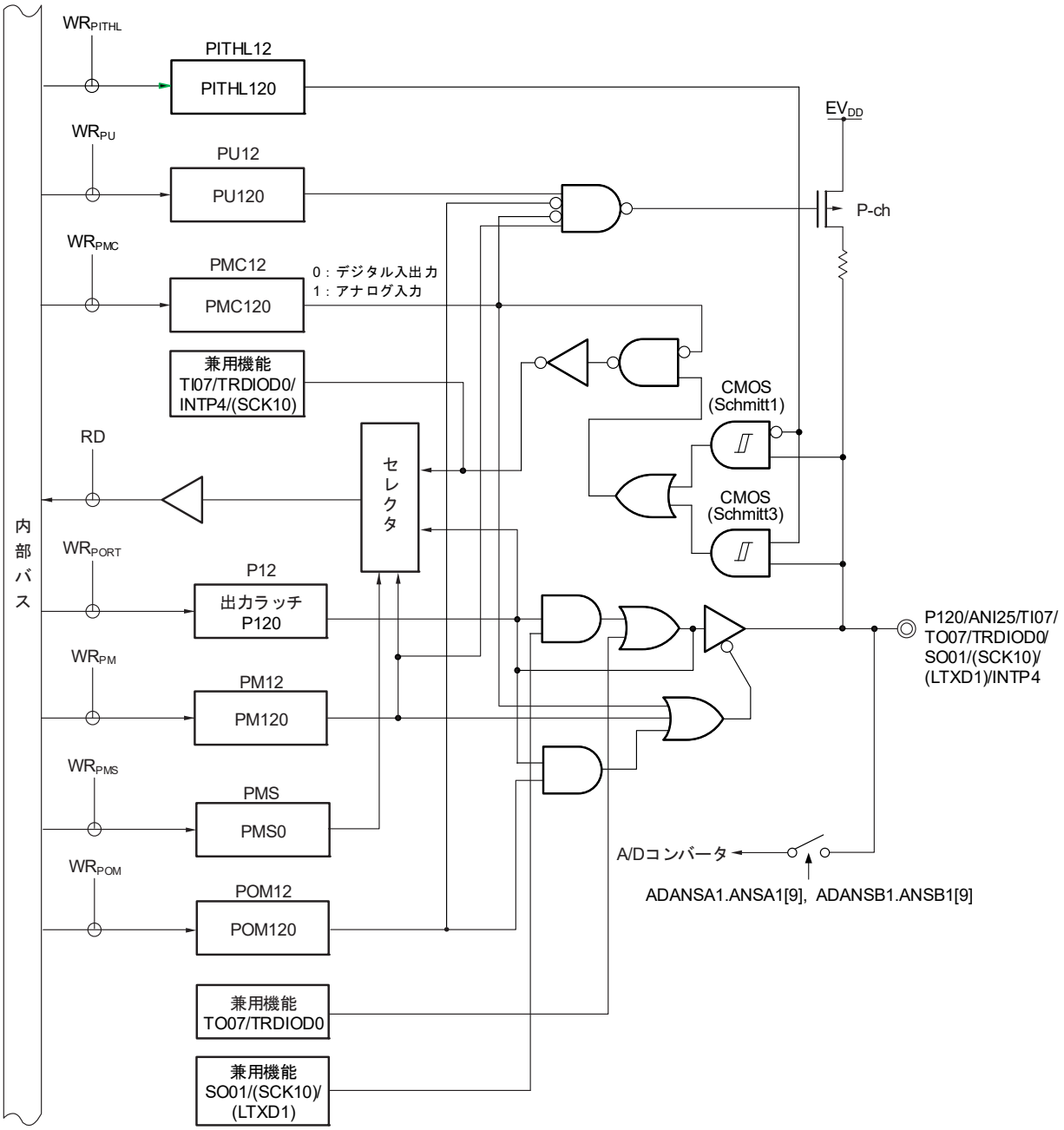
表 4－19　P125/ANI24，P120/ANI25 端子機能の設定

PMC12レジスタ	PM12レジスタ	ADANSA1, ADANSB1レジスタ	P125/ANI24, P120/ANI25端子
デジタル入出力選択	入力モード	–	デジタル入力
	出力モード	–	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P125/ANI24，P120/ANI25 はアナログ入力モードになります。

図 4－61～図 4－65 に，100 ピン製品の場合のポート 12 のブロック図を示します。

図 4－61　P120 のブロック図

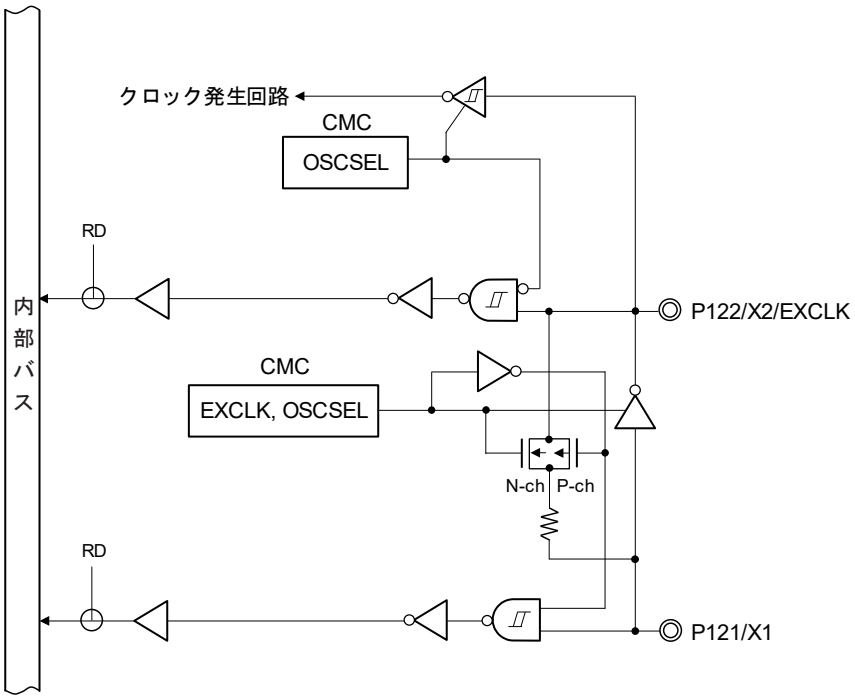


P12　　：ポート・レジスタ 12
PU12　　：プルアップ抵抗オプション・レジスタ 12
PM12　　：ポート・モード・レジスタ 12
POM12　：ポート出力モード・レジスタ 12
PMC12　：ポート・モード・コントロール・レジスタ 12
PITHL12：ポート入力閾値制御レジスタ 12
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

（**注意**が次のページにあります。）

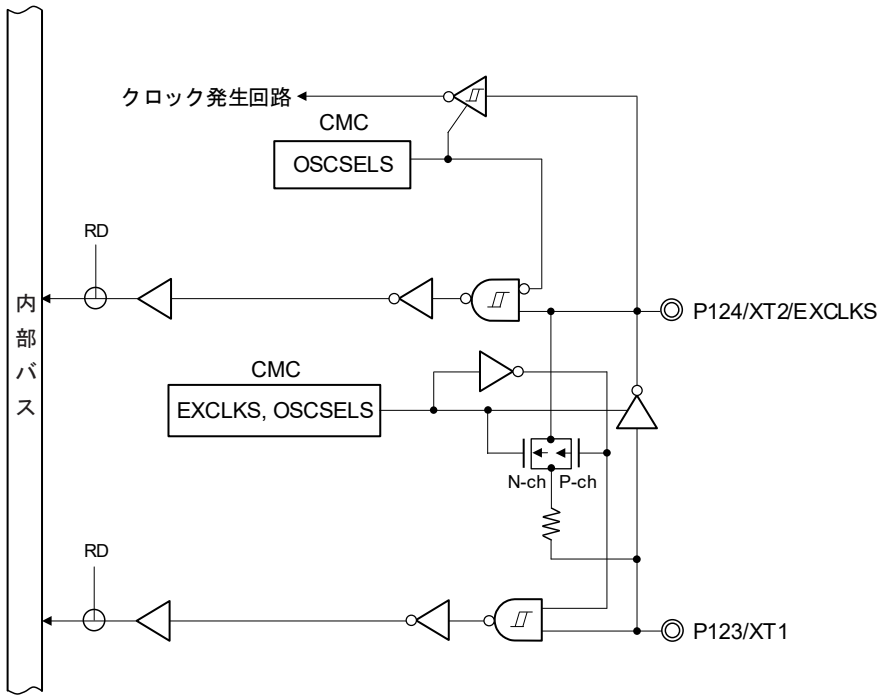
注意　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットで Nch オープン・ドレイン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。

図 4－62　P121, P122 のブロック図



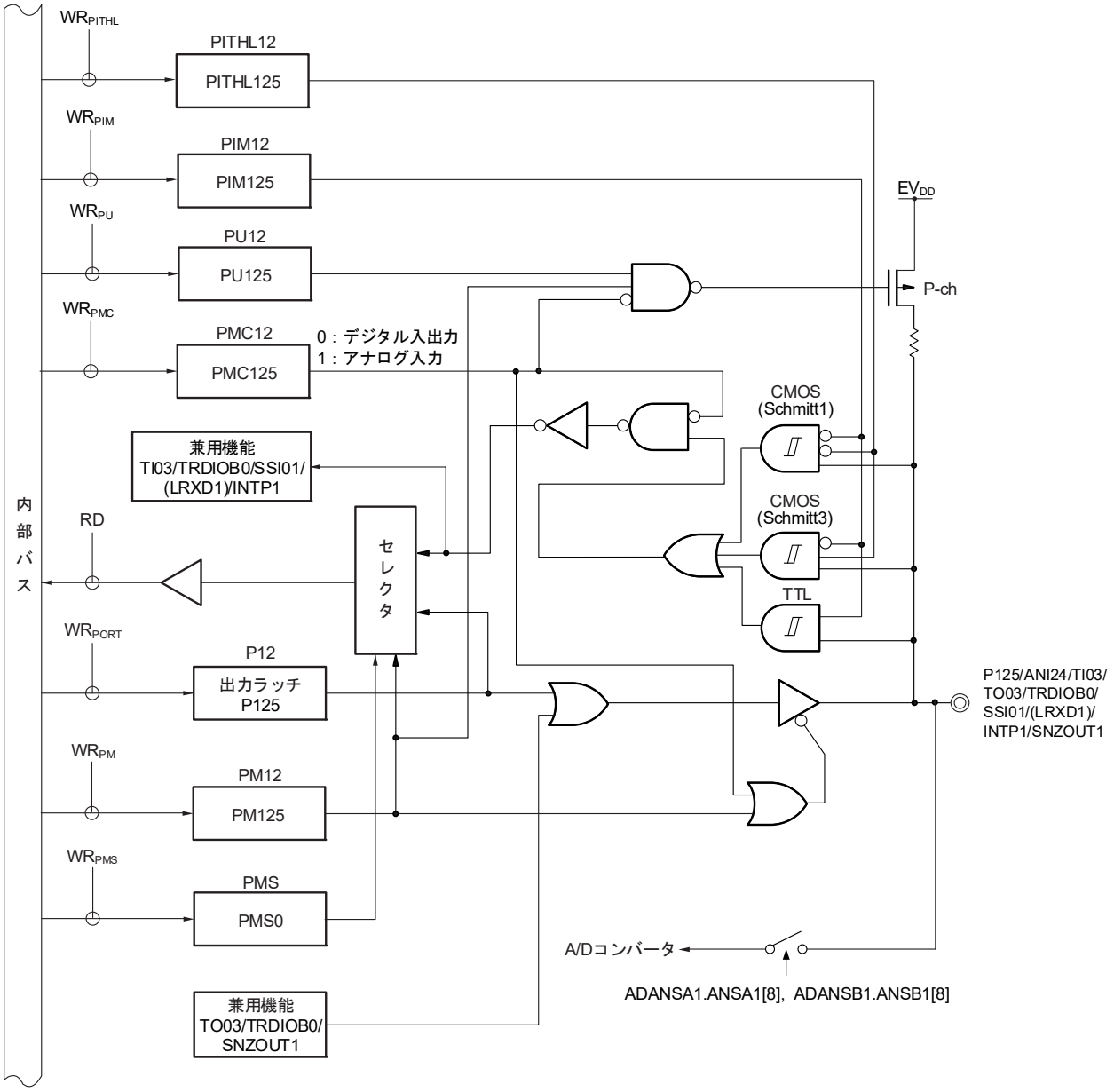
CMC　：クロック動作モード制御レジスタ
RD　　：リード信号

図 4－63　P123, P124 のブロック図



CMC　：クロック動作モード制御レジスタ
RD　　：リード信号

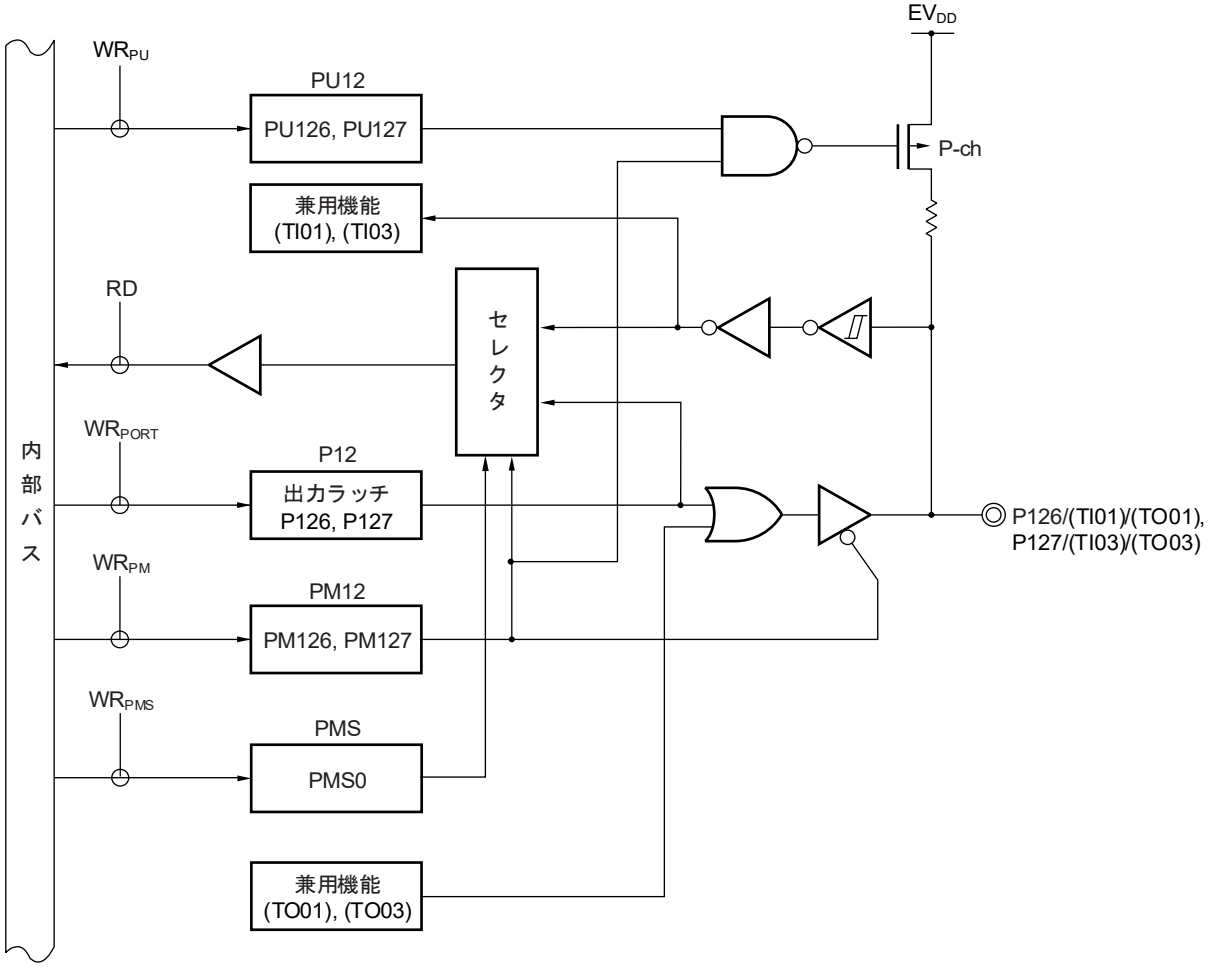
図 4－64　P125 のブロック図



P12　：ポート・レジスタ 12
PU12　：プルアップ抵抗オプション・レジスタ 12
PM12　：ポート・モード・レジスタ 12
PIM12　：ポート入力モード・レジスタ 12
PMC12　：ポート・モード・コントロール・レジスタ 12
PMS　：ポート・モード選択レジスタ
PITHL12：ポート入力閾値制御レジスタ 12
RD　：リード信号
WRxx　：ライト信号

注意　この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子が H 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子を L 電位に設定してください。

図 4－65　P126, P127 のブロック図



P12　：ポート・レジスタ 12
PU12　：プルアップ抵抗オプション・レジスタ 12
PM12　：ポート・モード・レジスタ 12
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

4.2.12　ポート13

P130 は出力ラッチ付き 1 ビット出力専用ポートです。

P137 は 1 ビット入力専用ポートです。

P130 は出力モード，P137 は入力モードに固定されています。

また兼用機能として外部割り込み要求入力，リセット出力があります。

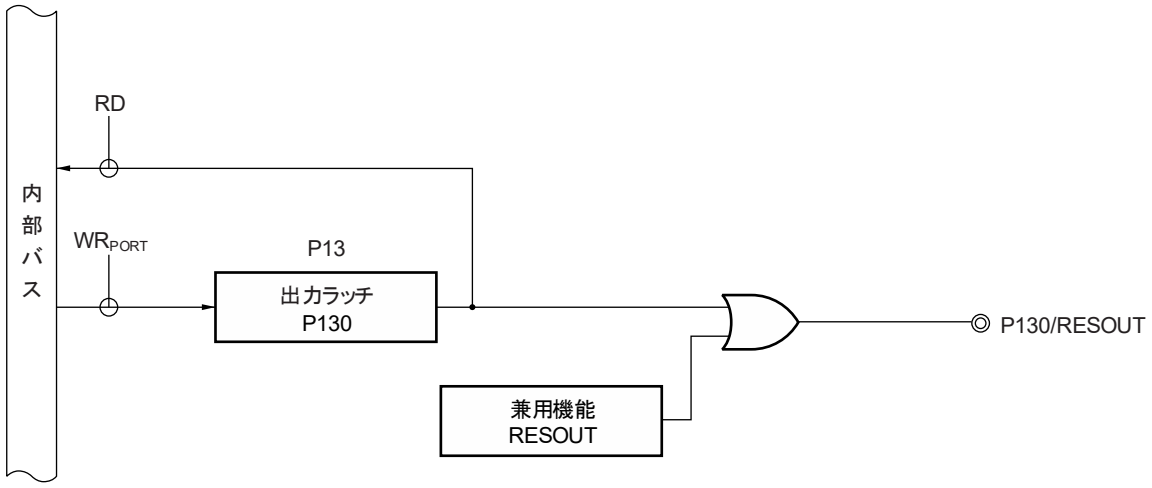
RESOUT 出力はオプション・バイトで設定できます。

表 4－20　ポート 13 使用時のレジスタ設定

端子名称		兼用機能設定
名称	入出力	
P130	出力	RESOUT
P137	入力	×

図 4－66，図 4－67 に，100 ピン製品の場合のポート 13 のブロック図を示します。

図 4－66　P130 のブロック図



P13　：ポート・レジスタ 13
RD　：リード信号
WRxx　：ライト信号

備考　リセットがかかると P130 はロウ・レベルを出力するため，リセットがかかる前に P130 をハイ・レベル出力にした場合，P130 からの出力を CPU のリセット信号として疑似的に出力するという使い方ができます。

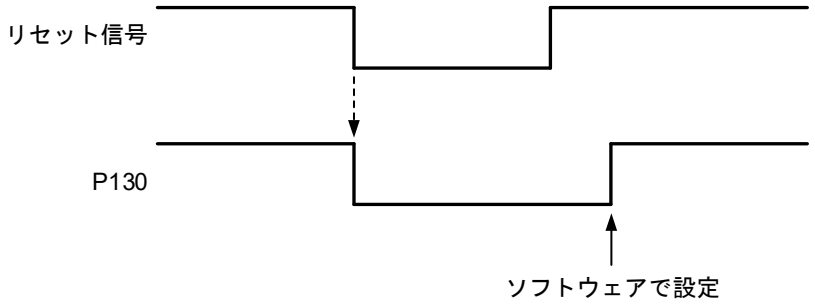
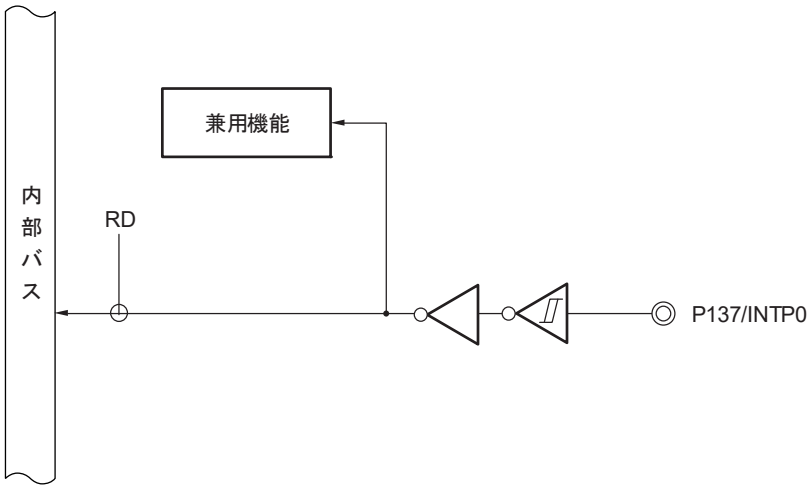


図 4－67　P137 のブロック図



RD　：リード信号

4.2.13 ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14（PM14）により 1 ビット単位で入力モード／出力モードの指定ができます。P140 端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ 14（PU14）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてクロック／ブザー出力，タイマ RDe カウンタ・クリア・トリガ入力があります。

リセット信号の発生により，P140 は入力モードになります。

表 4－21　ポート 14 使用時のレジスタ設定

端子名称		PM14x	兼用機能設定
名称	入出力		
P140	入力	1	×
	出力	0	PCLBUZ0出力 = 0 注

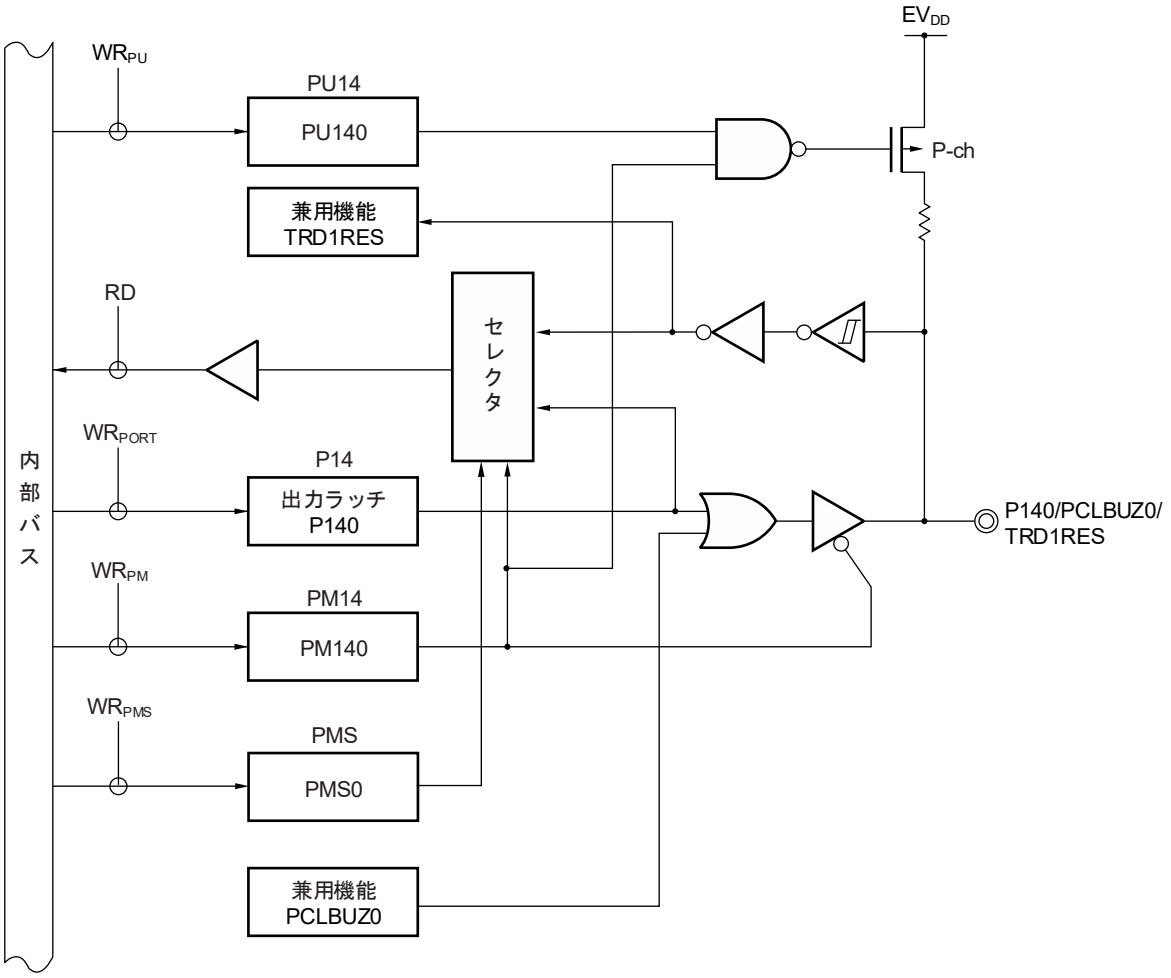
重要　ポート 14 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

注　クロック／ブザー出力機能と兼用している端子を汎用ポートとして使用する場合，クロック出力選択レジスタ 0（CKS0）の PCLOE0 ビットを初期状態と同じ設定で使用してください。

備考　×　　：don't care
　　PM14x　：ポート・モード・レジスタ 14

図 4－68 に，100 ピン製品の場合のポート 14 のブロック図を示します。

図 4－68　P140 のブロック図



P14　　：ポート・レジスタ 14
PU14　　：プルアップ抵抗オプション・レジスタ 14
PM14　　：ポート・モード・レジスタ 14
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

4.2.14　ポート15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 15（PM15）により 1 ビット単位で入力モード／出力モードの指定ができます。P150-P157 端子を入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ 15（PU15）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P150, P152, P153 端子の入力は，ポート入力閾値制御レジスタ 15（PITHL15）の設定により 1 ビット単位で入力バッファの閾値の指定ができます。

また，兼用機能としてシリアル・インターフェース（CSI）のデータ入出力およびクロック入出力，スレーブ・セレクト入力，SNOOZE ステータス出力があります。

リセット信号の発生により入力モードになります。

表 4－22　ポート 15 使用時のレジスタ設定

端子名称		PM15x	PITHL15x	兼用機能設定	備考
名称	入出力				
P150	入力	1	0	×	CMOS 入力（Schmitt1 入力）
			1	×	CMOS 入力（Schmitt3 入力）
	出力	0	×	×	
P151	入力	1	－	×	
	出力	0	－	（SO11出力 = 1）注1	
P152	入力	1	0	×	CMOS 入力（Schmitt1 入力）
			1	×	CMOS 入力（Schmitt3 入力）
	出力	0	×	×	
P153	入力	1	0	×	CMOS 入力（Schmitt1 入力）
			1	×	CMOS 入力（Schmitt3 入力）
	出力	0	×	（SCK11出力 = 1）注1	
P154	入力	1	－	×	
	出力	0	－	（SNZOUT7出力 = 0）注2	
P155	入力	1	－	×	
	出力	0	－	（SNZOUT6出力 = 0）注2	
P156	入力	1	－	×	
	出力	0	－	（SNZOUT5出力 = 0）注2	
P157	入力	1	－	×	
	出力	0	－	（SNZOUT4出力 = 0）注2	

重要　ポート 15 を汎用ポートとして使用する場合は，兼用端子機能の出力を「端子をポートとして使用する場合の兼用機能設定」に示されているレベルに設定してください。

（**注**と**備考**は次のページにあります。）

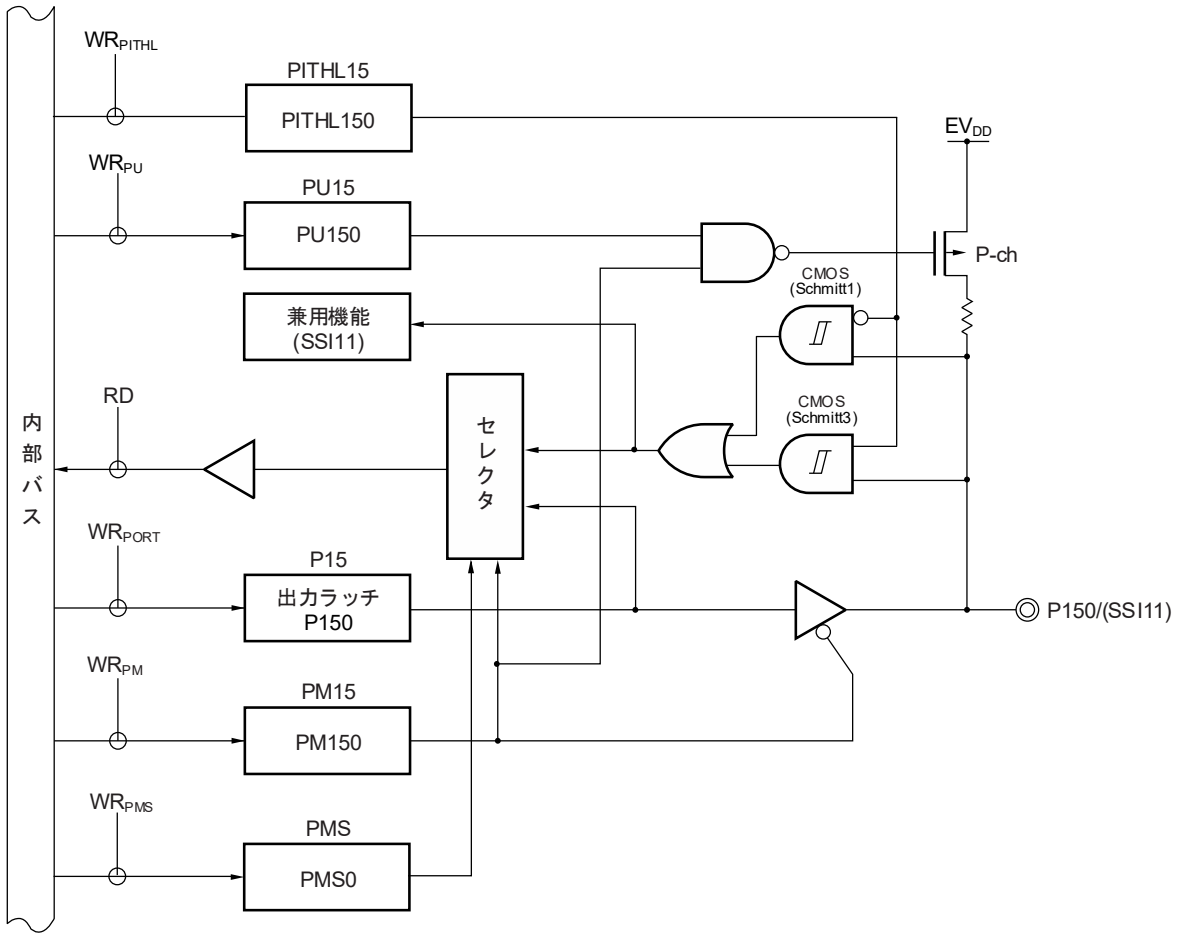
注 1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合，対象ユニットチャネルに該当するシリアル出力レジスタ m（SOm）の SOmn ビット，シリアル出力許可レジスタ m（SOEm）の SOEmn ビット，シリアルチャネル許可ステータスレジスタ m（SEm）の SEmn ビットを初期値と同じ設定で使用してください (m= 0, 1，n = 0, 1)。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR4, 9）により，対応する機能を別のピンに割り当てます。

2. SNOOZE ステータス出力機能と兼用している端子を汎用ポートとして使用する場合，対象の機能に該当する SNOOZE ステータス出力制御レジスタ 0, 1, 2, 3（PSNZCNT0, 1, 2, 3）の OUTEN0-7 ビットを初期値と同じ設定で使用してください。あるいは，周辺 I/O リダイレクション・レジスタ（PIOR6）により，対応する機能を別のピンに割り当てます。

備考 ×　：don’t care
PM15x　：ポート・モード・レジスタ 15
PITHL15x　：ポート入力閾値制御レジスタ 15

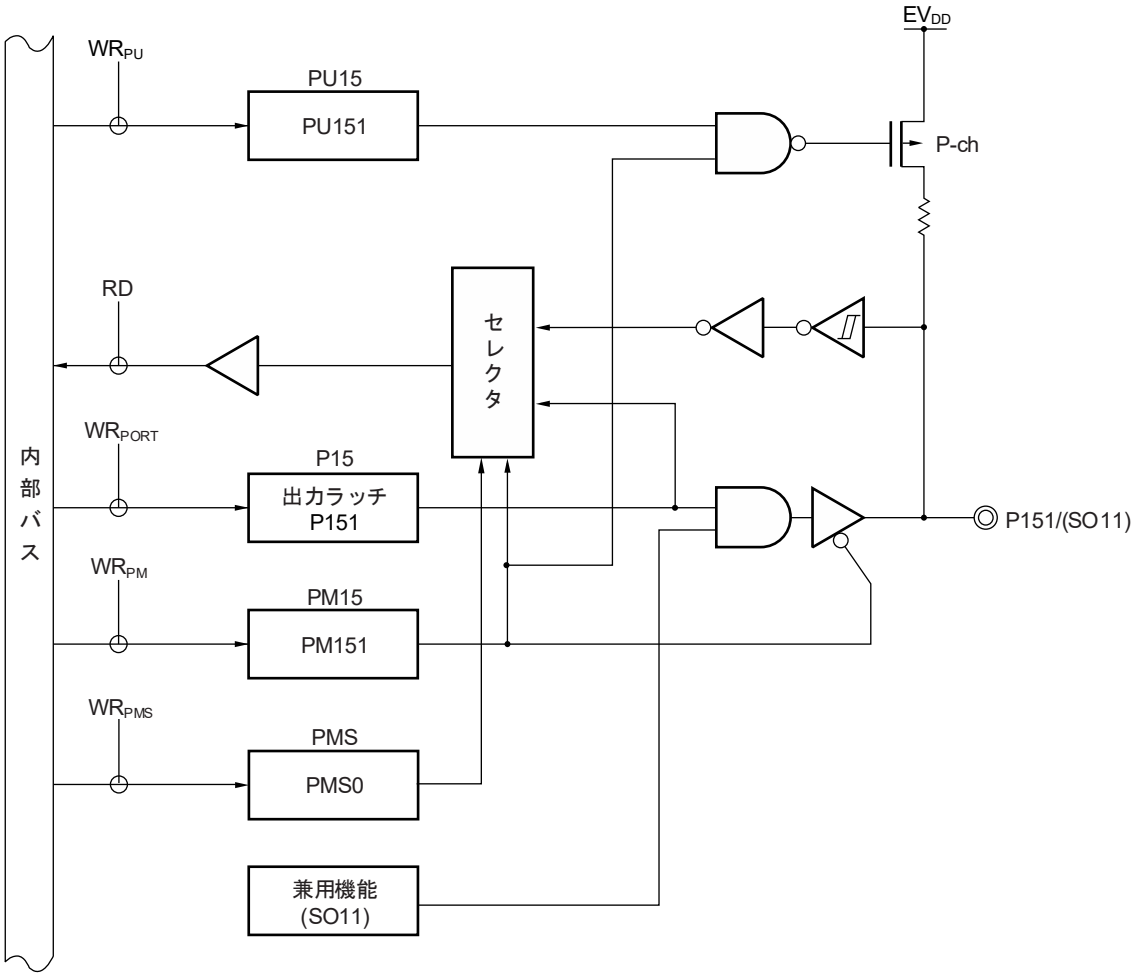
図 4－69～図 4－73 に，100 ピン製品の場合のポート 15 のブロック図を示します。

図 4－69　P150 のブロック図



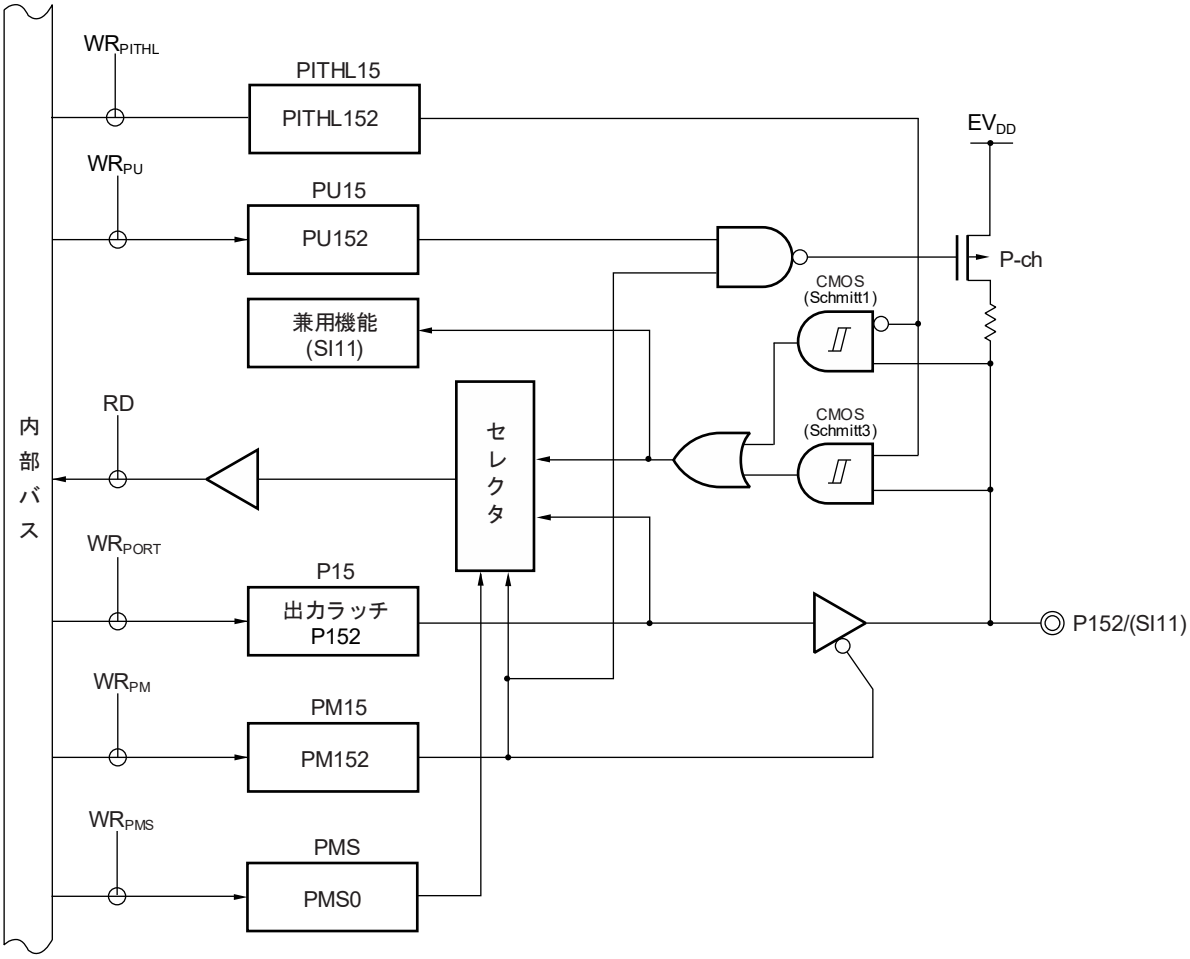
P15　　：ポート・レジスタ 15
PU15　　：プルアップ抵抗オプション・レジスタ 15
PM15　　：ポート・モード・レジスタ 15
PMS　　：ポート・モード選択レジスタ
PITHL15：ポート入力閾値制御レジスタ 15
RD　　：リード信号
WRxx　　：ライト信号

図 4－70　P151 のブロック図



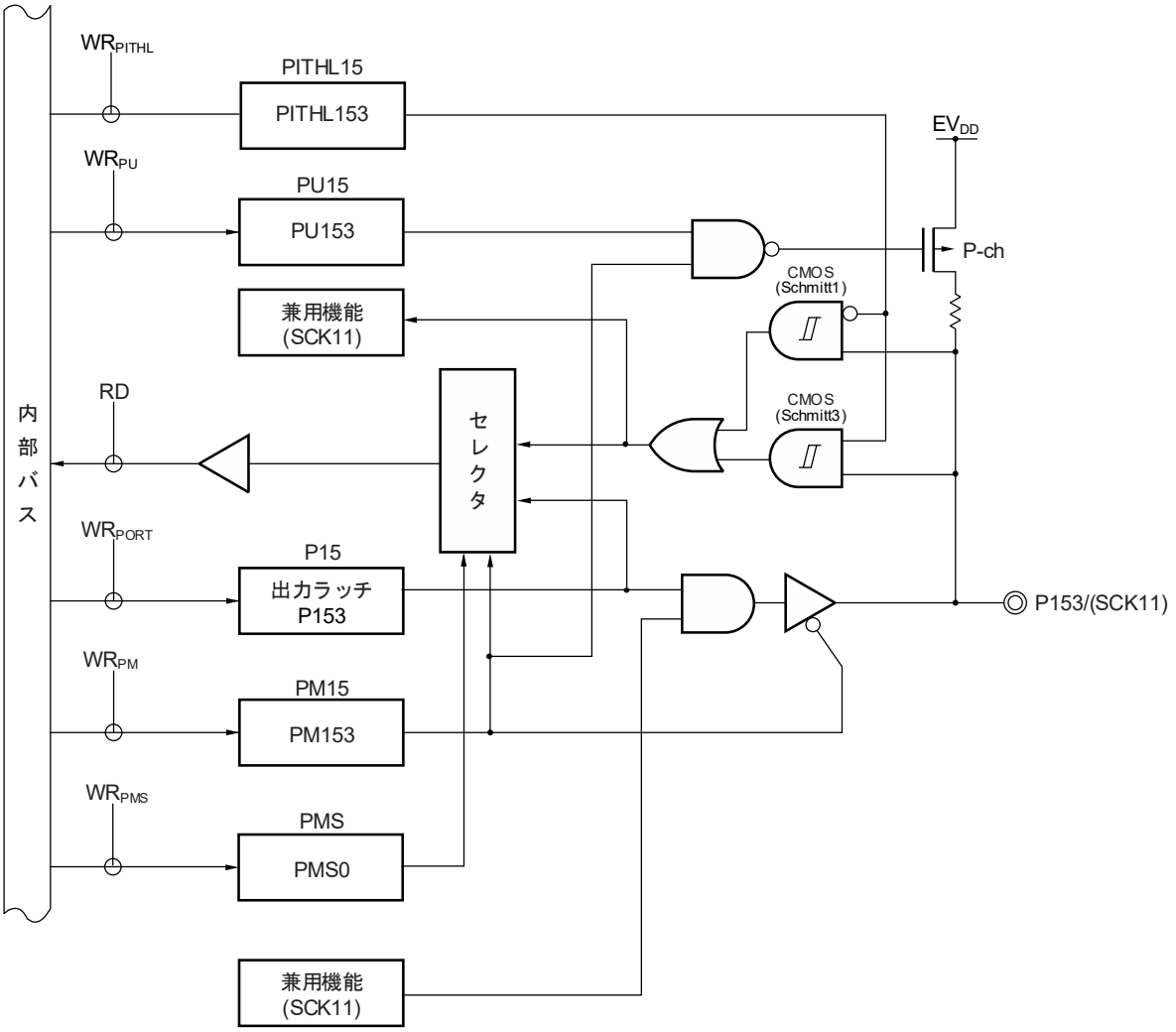
P15　　：ポート・レジスタ 15
PU15　　：プルアップ抵抗オプション・レジスタ 15
PM15　　：ポート・モード・レジスタ 15
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

図 4－71　P152 のブロック図



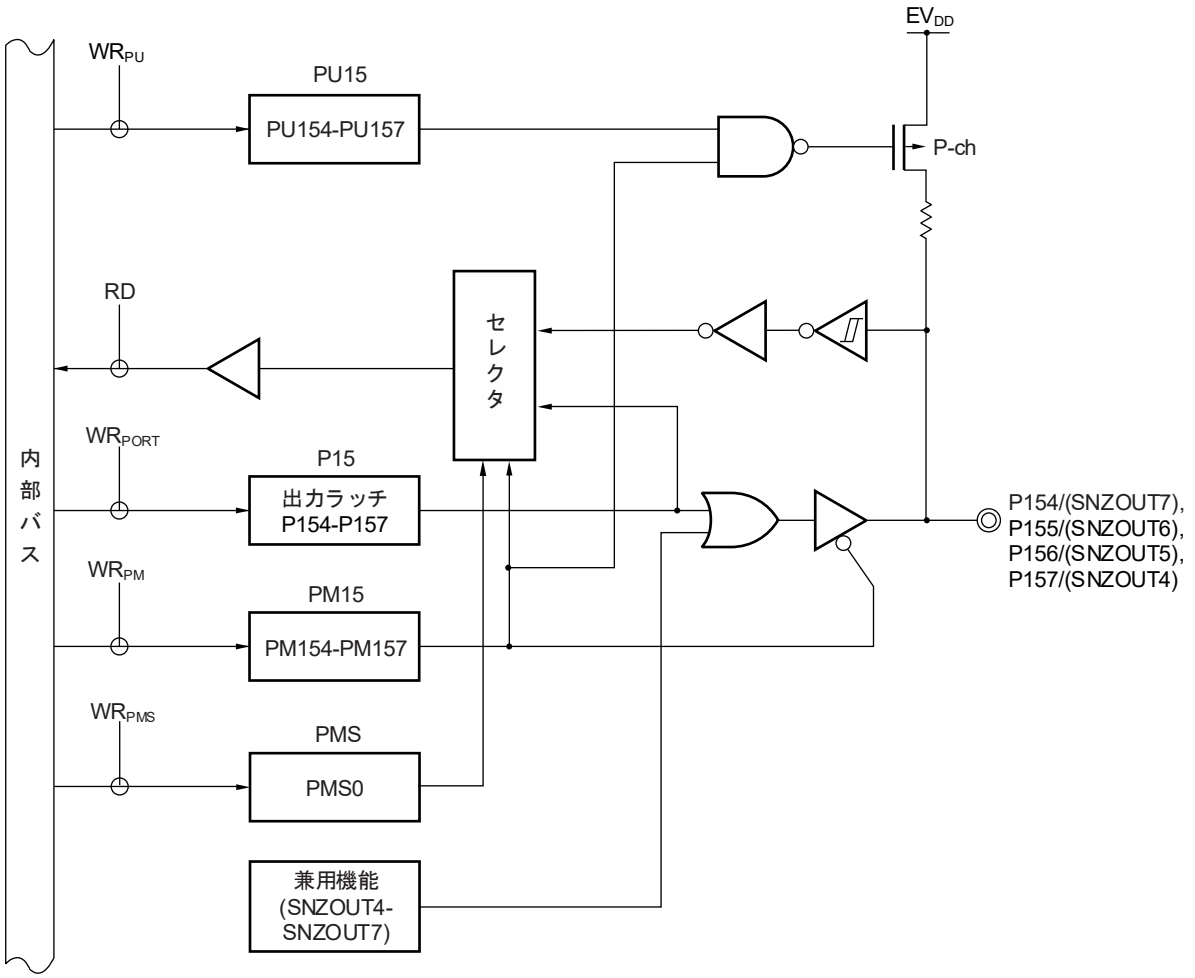
P15　　：ポート・レジスタ 15
PU15　　：プルアップ抵抗オプション・レジスタ 15
PM15　　：ポート・モード・レジスタ 15
PMS　　：ポート・モード選択レジスタ
PITHL15：ポート入力閾値制御レジスタ 15
RD　　：リード信号
WRxx　　：ライト信号

図 4－72　P153 のブロック図



P15　　：ポート・レジスタ 15
PU15　　：プルアップ抵抗オプション・レジスタ 15
PM15　　：ポート・モード・レジスタ 15
PMS　　：ポート・モード選択レジスタ
PITHL15　：ポート入力閾値制御レジスタ 15
RD　　：リード信号
WRxx　　：ライト信号

図 4－73　P154-P157 のブロック図



P15　：ポート・レジスタ 15
PU15　：プルアップ抵抗オプション・レジスタ 15
PM15　：ポート・モード・レジスタ 15
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

4.3　ポート機能を制御するレジスタ

表 4－23　ポート・レジスタ構成（1/2）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
FFF00H	ポート・レジスタ 0	P0	00H 注1	1, 8
FFF01H	ポート・レジスタ 1	P1	00H 注1	1, 8
FFF03H	ポート・レジスタ 3	P3	00H 注1	1, 8
FFF04H	ポート・レジスタ 4	P4	00H 注1	1, 8
FFF05H	ポート・レジスタ 5	P5	00H 注1	1, 8
FFF06H	ポート・レジスタ 6	P6	00H 注1	1, 8
FFF07H	ポート・レジスタ 7	P7	00H 注1	1, 8
FFF08H	ポート・レジスタ 8	P8	00H 注1	1, 8
FFF09H	ポート・レジスタ 9	P9	00H 注1	1, 8
FFF0AH	ポート・レジスタ 10	P10	00H 注1	1, 8
FFF0CH	ポート・レジスタ 12	P12	Undefined 注2	1, 8
FFF0DH	ポート・レジスタ 13	P13	Undefined 注3	1, 8
FFF0EH	ポート・レジスタ 14	P14	00H 注1	1, 8
FFF0FH	ポート・レジスタ 15	P15	00H 注1	1, 8
FFF20H	ポート・モード・レジスタ 0	PM0	FFH	1, 8
FFF21H	ポート・モード・レジスタ 1	PM1	FFH	1, 8
FFF23H	ポート・モード・レジスタ 3	PM3	FFH	1, 8
FFF24H	ポート・モード・レジスタ 4	PM4	FFH	1, 8
FFF25H	ポート・モード・レジスタ 5	PM5	FFH	1, 8
FFF26H	ポート・モード・レジスタ 6	PM6	FFH	1, 8
FFF27H	ポート・モード・レジスタ 7	PM7	FFH	1, 8
FFF28H	ポート・モード・レジスタ 8	PM8	FFH	1, 8
FFF29H	ポート・モード・レジスタ 9	PM9	FFH	1, 8
FFF2AH	ポート・モード・レジスタ 10	PM10	FFH	1, 8
FFF2CH	ポート・モード・レジスタ 12	PM12	FFH	1, 8
FFF2EH	ポート・モード・レジスタ 14	PM14	FFH	1, 8
FFF2FH	ポート・モード・レジスタ 15	PM15	FFH	1, 8
F0016H	周辺 I/O リダイレクション・レジスタ 0	PIOR0	00H	8
F0017H	周辺 I/O リダイレクション・レジスタ 1	PIOR1	00H	8
F0018H	周辺 I/O リダイレクション・レジスタ 2	PIOR2	00H	8
F0019H	周辺 I/O リダイレクション・レジスタ 3	PIOR3	00H	8
F001AH	周辺 I/O リダイレクション・レジスタ 4	PIOR4	00H	8
F001BH	周辺 I/O リダイレクション・レジスタ 5	PIOR5	00H	8
F001CH	周辺 I/O リダイレクション・レジスタ 6	PIOR6	00H	8
F001DH	周辺 I/O リダイレクション・レジスタ 7	PIOR7	00H	8
F001EH	周辺 I/O リダイレクション・レジスタ 8	PIOR8	00H	8
F001FH	周辺 I/O リダイレクション・レジスタ 9	PIOR9	00H	8

注 1. 出力ラッチの値

2. P120 と P125-P127 ビットの値は 0 です（出力ラッチ）。

3. P130 ビットはユーザ・オプション・バイト（000C2H／040C2H）の設定によります。

表4－23　ポート・レジスタ構成（2/2）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F0021H	ポート入力閾値制御レジスタ 1	PITHL1	00H	1, 8
F0023H	ポート入力閾値制御レジスタ 3	PITHL3	00H	1, 8
F0024H	ポート入力閾値制御レジスタ 4	PITHL4	00H	1, 8
F0025H	ポート入力閾値制御レジスタ 5	PITHL5	00H	1, 8
F0026H	ポート入力閾値制御レジスタ 6	PITHL6	00H	1, 8
F0027H	ポート入力閾値制御レジスタ 7	PITHL7	00H	1, 8
F002AH	ポート入力閾値制御レジスタ 10	PITHL10	00H	1, 8
F002CH	ポート入力閾値制御レジスタ 12	PITHL12	00H	1, 8
F002FH	ポート入力閾値制御レジスタ 15	PITHL15	00H	1, 8
F0030H	プルアップ抵抗オプション・レジスタ 0	PU0	00H	1, 8
F0031H	プルアップ抵抗オプション・レジスタ 1	PU1	00H	1, 8
F0033H	プルアップ抵抗オプション・レジスタ 3	PU3	00H	1, 8
F0034H	プルアップ抵抗オプション・レジスタ 4	PU4	01H	1, 8
F0035H	プルアップ抵抗オプション・レジスタ 5	PU5	00H	1, 8
F0036H	プルアップ抵抗オプション・レジスタ 6	PU6	00H	1, 8
F0037H	プルアップ抵抗オプション・レジスタ 7	PU7	00H	1, 8
F003AH	プルアップ抵抗オプション・レジスタ 10	PU10	00H	1, 8
F003CH	プルアップ抵抗オプション・レジスタ 12	PU12	00H	1, 8
F003EH	プルアップ抵抗オプション・レジスタ 14	PU14	00H	1, 8
F003FH	プルアップ抵抗オプション・レジスタ 15	PU15	00H	1, 8
F0041H	ポート入力モード・レジスタ 1	PIM1	00H	1, 8
F0043H	ポート入力モード・レジスタ 3	PIM3	00H	1, 8
F0045H	ポート入力モード・レジスタ 5	PIM5	00H	1, 8
F0046H	ポート入力モード・レジスタ 6	PIM6	00H	1, 8
F0047H	ポート入力モード・レジスタ 7	PIM7	00H	1, 8
F004CH	ポート入力モード・レジスタ 12	PIM12	00H	1, 8
F0051H	ポート出力モード・レジスタ 1	POM1	00H	1, 8
F0053H	ポート出力モード・レジスタ 3	POM3	00H	1, 8
F0056H	ポート出力モード・レジスタ 6	POM6	00H	1, 8
F0057H	ポート出力モード・レジスタ 7	POM7	00H	1, 8
F005CH	ポート出力モード・レジスタ 12	POM12	00H	1, 8
F0063H	ポート・モード・コントロール・レジスタ 3	PMC3	FFH	1, 8
F0067H	ポート・モード・コントロール・レジスタ 7	PMC7	FFH	1, 8
F0068H	ポート・モード・コントロール・レジスタ 8	PMC8	FFH	1, 8
F0069H	ポート・モード・コントロール・レジスタ 9	PMC9	FFH	1, 8
F006AH	ポート・モード・コントロール・レジスタ 10	PMC10	FFH	1, 8
F006CH	ポート・モード・コントロール・レジスタ 12	PMC12	FFH	1, 8
F0077H	ポート・モード選択レジスタ	PMS	00H	1, 8
F0220H	ポート出力スルー・レート選択レジスタ	PSRSEL	00H	1, 8
F0222H	SNOOZE ステータス出力制御レジスタ 0	PSNZCNT0	00H	1, 8
F0223H	SNOOZE ステータス出力制御レジスタ 1	PSNZCNT1	00H	1, 8
F0224H	SNOOZE ステータス出力制御レジスタ 2	PSNZCNT2	00H	1, 8
F0225H	SNOOZE ステータス出力制御レジスタ 3	PSNZCNT3	00H	1, 8

表 4－24　RL78/F23 製品ポート構成の要素（80 ピン）（1/2）

ポート名	ポート・ビット	ポート・ラッチ	入出力モード制御	プルアップ制御	入力タイプ制御	出力タイプ制御	動作モード制御	入力閾値制御
PORT0	0	P0.0	PM0.0	PU0.0	－	－	－	－
	1	P0.1	PM0.1	PU0.1	－	－	－	－
	2	P0.2	PM0.2	PU0.2	－	－	－	－
PORT1	0	P1.0	PM1.0	PU1.0	PIM1.0	POM1.0	－	PITHL1.0
	1	P1.1	PM1.1	PU1.1	PIM1.1	POM1.1	－	PITHL1.1
	2	P1.2	PM1.2	PU1.2	－	POM1.2	－	－
	3	P1.3	PM1.3	PU1.3	PIM1.3	POM1.3	－	PITHL1.3
	4	P1.4	PM1.4	PU1.4	PIM1.4	POM1.4	－	PITHL1.4
	5	P1.5	PM1.5	PU1.5	－	POM1.5	－	－
	6	P1.6	PM1.6	PU1.6	PIM1.6	POM1.6	－	PITHL1.6
	7	P1.7	PM1.7	PU1.7	PIM1.7	POM1.7	－	PITHL1.7
PORT3	0	P3.0	PM3.0	PU3.0	PIM3.0	－	－	PITHL3.0
	1	P3.1	PM3.1	PU3.1	－	－	－	－
	2	P3.2	PM3.2	PU3.2	－	POM3.2	－	－
	3	P3.3	PM3.3	－	－	－	PMC3.3	－
	4	P3.4	PM3.4	－	－	－	PMC3.4	－
PORT4	0	P4.0	PM4.0	PU4.0	－	－	－	－
	1	P4.1	PM4.1	PU4.1	－	－	－	PITHL4.1
	2	P4.2	PM4.2	PU4.2	－	－	－	－
	3	P4.3	PM4.3	PU4.3	－	－	－	PITHL4.3
	4	P4.4	PM4.4	PU4.4	－	－	－	－
	5	P4.5	PM4.5	PU4.5	－	－	－	－
	6	P4.6	PM4.6	PU4.6	－	－	－	－
	7	P4.7	PM4.7	PU4.7	－	－	－	－
PORT5	0	P5.0	PM5.0	PU5.0	－	－	－	PITHL5.0
	1	P5.1	PM5.1	PU5.1	－	－	－	－
	2	P5.2	PM5.2	PU5.2	－	－	－	PITHL5.2
	3	P5.3	PM5.3	PU5.3	－	－	－	PITHL5.3
	4	P5.4	PM5.4	PU5.4	PIM5.4	－	－	PITHL5.4
	5	P5.5	PM5.5	PU5.5	－	－	－	－
	6	P5.6	PM5.6	PU5.6	－	－	－	－
	7	P5.7	PM5.7	PU5.7	－	－	－	－
PORT6	0	P6.0	PM6.0	PU6.0	－	POM6.0	－	PITHL6.0
	1	P6.1	PM6.1	PU6.1	－	POM6.1	－	PITHL6.1
	2	P6.2	PM6.2	PU6.2	PIM6.2	POM6.2	－	PITHL6.2
	3	P6.3	PM6.3	PU6.3	PIM6.3	POM6.3	－	PITHL6.3
	4	P6.4	PM6.4	PU6.4	－	－	－	－
	5	P6.5	PM6.5	PU6.5	－	－	－	－
	6	P6.6	PM6.6	PU6.6	－	－	－	－
	7	P6.7	PM6.7	PU6.7	－	－	－	－

備考　－：非搭載

表4－24　RL78/F23製品ポート構成の要素（80ピン）（2/2）

ポート名	ポート・ビット	ポート・ラッチ	入出力モード制御	プルアップ制御	入力タイプ制御	出力タイプ制御	動作モード制御	入力閾値制御
PORT7	0	P7.0	PM7.0	PU7.0	PIM7.0	POM7.0	PMC7.0	PITHL7.0
	1	P7.1	PM7.1	PU7.1	PIM7.1	POM7.1	PMC7.1	PITHL7.1
	2	P7.2	PM7.2	PU7.2	－	POM7.2	PMC7.2	－
	3	P7.3	PM7.3	PU7.3	PIM7.3	－	PMC7.3	PITHL7.3
	4	P7.4	PM7.4	PU7.4	－	－	PMC7.4	－
	5	P7.5	PM7.5	PU7.5	－	－	－	PITHL7.5
	6	P7.6	PM7.6	PU7.6	－	－	－	PITHL7.6
	7	P7.7	PM7.7	PU7.7	－	－	－	PITHL7.7
PORT8	0	P8.0	PM8.0	－	－	－	PMC8.0	－
	1	P8.1	PM8.1	－	－	－	PMC8.1	－
	2	P8.2	PM8.2	－	－	－	PMC8.2	－
	3	P8.3	PM8.3	－	－	－	PMC8.3	－
	4	P8.4	PM8.4	－	－	－	PMC8.4	－
	5	P8.5	PM8.5	－	－	－	PMC8.5	－
	6	P8.6	PM8.6	－	－	－	PMC8.6	－
	7	P8.7	PM8.7	－	－	－	PMC8.7	－
PORT9	0	P9.0	PM9.0	－	－	－	PMC9.0	－
	1	P9.1	PM9.1	－	－	－	PMC9.1	－
	2	P9.2	PM9.2	－	－	－	PMC9.2	－
	3	P9.3	PM9.3	－	－	－	PMC9.3	－
	4	P9.4	PM9.4	－	－	－	PMC9.4	－
	5	P9.5	PM9.5	－	－	－	PMC9.5	－
	6	P9.6	PM9.6	－	－	－	PMC9.6	－
	7	P9.7	PM9.7	－	－	－	PMC9.7	－
PORT12	0	P12.0	PM12.0	PU12.0	－	POM12.0	PMC12.0	PITHL12.0
	1	P12.1	－	－	－	－	－	－
	2	P12.2	－	－	－	－	－	－
	3	P12.3	－	－	－	－	－	－
	4	P12.4	－	－	－	－	－	－
	5	P12.5	PM12.5	PU12.5	PIM12.5	－	PMC12.5	PITHL12.5
	6	P12.6	PM12.6	PU12.6	－	－	－	－
PORT13	0	P13.0	－	－	－	－	－	－
	7	P13.7	－	－	－	－	－	－
PORT14	0	P14.0	PM14.0	PU14.0	－	－	－	－

備考　－：非搭載

表4－25　RL78/F24製品ポート構成の要素（100ピン）（1/3）

ポート名	ポート・ビット	ポート・ラッチ	入出力モード制御	プルアップ制御	入力タイプ制御	出力タイプ制御	動作モード制御	入力閾値制御
PORT0	0	P0.0	PM0.0	PU0.0	－	－	－	－
	1	P0.1	PM0.1	PU0.1	－	－	－	－
	2	P0.2	PM0.2	PU0.2	－	－	－	－
	3	P0.3	PM0.3	PU0.3	－	－	－	－
PORT1	0	P1.0	PM1.0	PU1.0	PIM1.0	POM1.0	－	PITHL1.0
	1	P1.1	PM1.1	PU1.1	PIM1.1	POM1.1	－	PITHL1.1
	2	P1.2	PM1.2	PU1.2	－	POM1.2	－	－
	3	P1.3	PM1.3	PU1.3	PIM1.3	POM1.3	－	PITHL1.3
	4	P1.4	PM1.4	PU1.4	PIM1.4	POM1.4	－	PITHL1.4
	5	P1.5	PM1.5	PU1.5	－	POM1.5	－	－
	6	P1.6	PM1.6	PU1.6	PIM1.6	POM1.6	－	PITHL1.6
	7	P1.7	PM1.7	PU1.7	PIM1.7	POM1.7	－	PITHL1.7
PORT3	0	P3.0	PM3.0	PU3.0	PIM3.0	－	－	PITHL3.0
	1	P3.1	PM3.1	PU3.1	－	－	－	－
	2	P3.2	PM3.2	PU3.2	－	POM3.2	－	－
	3	P3.3	PM3.3	－	－	－	PMC3.3	－
	4	P3.4	PM3.4	－	－	－	PMC3.4	－
PORT4	0	P4.0	PM4.0	PU4.0	－	－	－	－
	1	P4.1	PM4.1	PU4.1	－	－	－	PITHL4.1
	2	P4.2	PM4.2	PU4.2	－	－	－	－
	3	P4.3	PM4.3	PU4.3	－	－	－	PITHL4.3
	4	P4.4	PM4.4	PU4.4	－	－	－	－
	5	P4.5	PM4.5	PU4.5	－	－	－	－
	6	P4.6	PM4.6	PU4.6	－	－	－	－
	7	P4.7	PM4.7	PU4.7	－	－	－	
PORT5	0	P5.0	PM5.0	PU5.0	－	－	－	PITHL5.0
	1	P5.1	PM5.1	PU5.1	－	－	－	－
	2	P5.2	PM5.2	PU5.2	－	－	－	PITHL5.2
	3	P5.3	PM5.3	PU5.3	－	－	－	PITHL5.3
	4	P5.4	PM5.4	PU5.4	PIM5.4	－	－	PITHL5.4
	5	P5.5	PM5.5	PU5.5	－	－	－	－
	6	P5.6	PM5.6	PU5.6	－	－	－	－
	7	P5.7	PM5.7	PU5.7	－	－	－	－

備考　－：非搭載

表4－25　RL78/F24製品ポート構成の要素（100ピン）（2/3）

ポート名	ポート・ビット	ポート・ラッチ	入出力モード制御	プルアップ制御	入力タイプ制御	出力タイプ制御	動作モード制御	入力閾値制御
PORT6	0	P6.0	PM6.0	PU6.0	－	POM6.0	－	PITHL6.0
	1	P6.1	PM6.1	PU6.1	－	POM6.1	－	PITHL6.1
	2	P6.2	PM6.2	PU6.2	PIM6.2	POM6.2	－	PITHL6.2
	3	P6.3	PM6.3	PU6.3	PIM6.3	POM6.3	－	PITHL6.3
	4	P6.4	PM6.4	PU6.4	－	－	－	－
	5	P6.5	PM6.5	PU6.5	－	－	－	－
	6	P6.6	PM6.6	PU6.6	－	－	－	－
	7	P6.7	PM6.7	PU6.7	－	－	－	－
PORT7	0	P7.0	PM7.0	PU7.0	PIM7.0	POM7.0	PMC7.0	PITHL7.0
	1	P7.1	PM7.1	PU7.1	PIM7.1	POM7.1	PMC7.1	PITHL7.1
	2	P7.2	PM7.2	PU7.2	－	POM7.2	PMC7.2	－
	3	P7.3	PM7.3	PU7.3	PIM7.3	－	PMC7.3	PITHL7.3
	4	P7.4	PM7.4	PU7.4	－	－	PMC7.4	－
	5	P7.5	PM7.5	PU7.5	－	－	－	PITHL7.5
	6	P7.6	PM7.6	PU7.6	－	－	－	PITHL7.6
	7	P7.7	PM7.7	PU7.7	－	－	－	PITHL7.7
PORT8	0	P8.0	PM8.0	－	－	－	PMC8.0	－
	1	P8.1	PM8.1	－	－	－	PMC8.1	－
	2	P8.2	PM8.2	－	－	－	PMC8.2	－
	3	P8.3	PM8.3	－	－	－	PMC8.3	－
	4	P8.4	PM8.4	－	－	－	PMC8.4	－
	5	P8.5	PM8.5	－	－	－	PMC8.5	－
	6	P8.6	PM8.6	－	－	－	PMC8.6	－
	7	P8.7	PM8.7	－	－	－	PMC8.7	－
PORT9	0	P9.0	PM9.0	－	－	－	PMC9.0	－
	1	P9.1	PM9.1	－	－	－	PMC9.1	－
	2	P9.2	PM9.2	－	－	－	PMC9.2	－
	3	P9.3	PM9.3	－	－	－	PMC9.3	－
	4	P9.4	PM9.4	－	－	－	PMC9.4	－
	5	P9.5	PM9.5	－	－	－	PMC9.5	－
	6	P9.6	PM9.6	－	－	－	PMC9.6	－
	7	P9.7	PM9.7	－	－	－	PMC9.7	－

備考　－：非搭載

表4－25　RL78/F24製品ポート構成の要素（100ピン）（3/3）

ポート名	ポート・ビット	ポート・ラッチ	入出力モード制御	プルアップ制御	入力タイプ制御	出力タイプ制御	動作モード制御	入力閾値制御
PORT10	0	P10.0	PM10.0	－	－	－	PMC10.0	－
	1	P10.1	PM10.1	－	－	－	PMC10.1	－
	2	P10.2	PM10.2	－	－	－	PMC10.2	－
	3	P10.3	PM10.3	－	－	－	PMC10.3	－
	4	P10.4	PM10.4	－	－	－	PMC10.4	－
	5	P10.5	PM10.5	－	－	－	PMC10.5	－
	6	P10.6	PM10.6	PU10.6	－	－	－	－
	7	P10.7	PM10.7	PU10.7	－	－	－	PITHL10.7
PORT12	0	P12.0	PM12.0	PU12.0	－	POM12.0	PMC12.0	PITHL12.0
	1	P12.1	－	－	－	－	－	－
	2	P12.2	－	－	－	－	－	－
	3	P12.3	－	－	－	－	－	－
	4	P12.4	－	－	－	－	－	－
	5	P12.5	PM12.5	PU12.5	PIM12.5	－	PMC12.5	PITHL12.5
	6	P12.6	PM12.6	PU12.6	－	－	－	－
	7	P12.7	PM12.7	PU12.7	－	－	－	－
PORT13	0	P13.0	－	－	－	－	－	－
	7	P13.7	－	－	－	－	－	－
PORT14	0	P14.0	PM14.0	PU14.0	－	－	－	－
PORT15	0	P15.0	PM15.0	PU15.0	－	－	－	PITHL15.0
	1	P15.1	PM15.1	PU15.1	－	－	－	－
	2	P15.2	PM15.2	PU15.2	－	－	－	PITHL15.2
	3	P15.3	PM15.3	PU15.3	－	－	－	PITHL15.3
	4	P15.4	PM15.4	PU15.4	－	－	－	－
	5	P15.5	PM15.5	PU15.5	－	－	－	－
	6	P15.6	PM15.6	PU15.6	－	－	－	－
	7	P15.7	PM15.7	PU15.7	－	－	－	－

備考　－：非搭載

4.3.1　ポート・モード・レジスタ（PMm）

ポートの入力／出力を 1 ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFH になります。

ポート端子を兼用機能の端子として使用する場合「4.5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定」を参照し，設定してください。

図 4－74　ポート・モード・レジスタのフォーマット（100 ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100	FFF2AH	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM140	FFF2EH	FFH	R/W
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択（m = 0-1, 3-10, 12, 14, 15 ; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　搭載していないビットには必ず初期値を設定してください。

4.3.2　ポート・レジスタ（Pm）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます 注。

ポート・レジスタは，それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

PMm を 0（出力モード）にした場合でも，PMS.0（ポート・モード選択）を 1 にすることで，Pm をリードすると端子レベルが読み出されます。

リセット信号の発生により 00H になります。

注　P33, P34, P70-P74, P80-87, P90-P97, P100-P105, P120, P125 を A/D コンバータのアナログ入力機能として設定した場合，P80 を D/A コンバータ出力機能として設定した場合または，P82-P85 をコンパレータのアナログ入力機能として設定した場合に，ポートを入力モード時にリードすると端子レベルではなく常に 0 が読み出されます。

図 4－75　ポート・レジスタのフォーマット（100 ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P3	0	0	0	P34	P33	P32	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H（出力ラッチ）	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FFF09H	00H（出力ラッチ）	R/W
P10	P107	P106	P105	P104	P103	P102	P101	P100	FFF0AH	00H（出力ラッチ）	R/W
P12	P127	P126	P125	P124	P123	P122	P121	P120	FFF0CH	不定 注2	R/W 注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	不定 注3	R/W 注1
P14	0	0	0	0	0	0	0	P140	FFF0EH	00H（出力ラッチ）	R/W
P15	P157	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H（出力ラッチ）	R/W

Pmn	m = 0, 1, 3-10, 12-15,　n = 0-7	
	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 1. P121-P124, P137 は Read Only です。

2. P120 と P125-P127 の値は 0 です（出力ラッチ）。

3. P130 ビットは，ユーザ・オプション・バイト（000C2H/040C2H）のビット 5（RESOUTB）の設定に依存します。

RESOUTB = 0（P130 を RESOUT 端子として選択）：P130 = 1

RESOUTB = 1（P130 を汎用ポート端子として選択）：P130 = 0

注意　搭載していないビットには必ず初期値を設定してください。

4.3.3　プルアップ抵抗オプション・レジスタ（PUm）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，POMmn = 0 で入力モード（PMmn = 1）に設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子またはアナログ端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H（PU4 のみ 01H）になります。

図 4－76　プルアップ抵抗オプション・レジスタのフォーマット（100 ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	PU32	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	PU63	PU62	PU61	PU60	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU10	PU107	PU106	0	0	0	0	0	0	F003AH	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	PU120	F003CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU140	F003EH	00H	R/W
PU15	PU157	PU156	PU155	PU154	PU153	PU152	PU151	PU150	F003FH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択（m = 0, 1, 3-7,10, 12, 14-15，n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意　搭載していないビットには必ず初期値を設定してください。

4.3.4　ポート入力モード・レジスタ（PIMm）

P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125 の入力バッファを 1 ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時に TTL 入力バッファを選択できます。

これらのレジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 4－77　ポート入力モード・レジスタのフォーマット（100 ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	PIM17	PIM16	0	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	0	0	0	PIM30	F0043H	00H	R/W
PIM5	0	0	0	PIM54	0	0	0	0	F0045H	00H	R/W
PIM6	0	0	0	0	PIM63	PIM62	0	0	F0046H	00H	R/W
PIM7	0	0	0	0	PIM73	0	PIM71	PIM70	F0047H	00H	R/W
PIM12	0	0	PIM125	0	0	0	0	0	F004CH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択（m = 1, 3, 5-7, 12，n = 0-7）
0	通常入力バッファ
1	TTL入力バッファ

注意　搭載していないビットには必ず初期値を設定してください。

4.3.5　ポート出力モード・レジスタ（POMm）

P10-P17, P32, P60-P63, P70-P72, P120 の出力モードを 1 ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 IIC 通信時の SDA00, SDA01, SDA10, SDA11 端子, IIC 通信時の SDAA0, SCLA0 端子に N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを選択できます。

これらのレジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 4－78　ポート出力モード・レジスタのフォーマット（100 ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM1	POM17	POM16	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM3	0	0	0	0	0	POM32	0	0	F0053H	00H	R/W
POM6	0	0	0	0	POM63	POM62	POM61	POM60	F0056H	00H	R/W
POM7	0	0	0	0	0	POM72	POM71	POM70	F0057H	00H	R/W
POM12	0	0	0	0	0	0	0	POM120	F005CH	00H	R/W

POMmn	Pmn端子の出力モードの選択（m = 1, 3, 6, 7, 12，n = 0-7）
0	通常出力モード
1	N-chオープン・ドレイン出力（EV_{DD}耐圧）モード

注意 1. POMmn = 1 設定時に，内蔵プルアップ抵抗を使用することはできません。

2. 搭載していないビットには必ず初期値を設定してください。

4.3.6　ポート・モード・コントロール・レジスタ（PMCm）

P33, P34, P70-P74, P80-P87, P90-P97, P100-P105, P120, P125 のデジタル入出力／アナログ入力を 1 ビット単位で設定するレジスタです。

これらのレジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFH になります。

図 4－79　ポート・モード・コントロール・レジスタのフォーマット（100 ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC3	1	1	1	PMC34	PMC33	1	1	1	F0063H	FFH	R/W
PMC7	1	1	1	PMC74	PMC73	PMC72	PMC71	PMC70	F0067H	FFH	R/W
PMC8	PMC87	PMC86	PMC85	PMC84	PMC83	PMC82	PMC81	PMC80	F0068H	FFH	R/W
PMC9	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90	F0069H	FFH	R/W
PMC10	1	1	PMC105	PMC104	PMC103	PMC102	PMC101	PMC100	F006AH	FFH	R/W
PMC12	1	1	PMC125	1	1	1	1	PMC120	F006CH	FFH	R/W

PMCmn	Pmn 端子のデジタル入出力／アナログ入力の選択 （m = 3, 7, 8, 9, 10, 12，n = 0-7）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

注意 1. 搭載していないビットには必ず初期値を設定してください。

2.アナログ入力に設定したポートは，ポート・モード・レジスタ m（PMm）で入力モードに選択してください。

3. A/D 変換に使用するチャネルは，ポート・モード・コントロール・レジスタ 3，7，8，9，10，12（PMC3，PMC7，PMC8，PMC9，PMC10，PMC12）で入力モードに選択してください。

4. D/A 変換またはコンパレータに使用するチャネルは，ポート・モード・レジスタ 8（PM8）で入力モードに選択してください。

5. PMC レジスタでデジタル入出力として選択された端子を D/A コンバータ・モード・レジスタ（DAM）で D/A 変換動作許可として選択しないでください。

6. PMC レジスタでデジタル入出力として選択された端子をコンパレータ入出力セレクト・レジスタ（CMPSEL）で選択しないでください。

4.3.7　ポート入力閾値制御レジスタ（PITHLm）

P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P120, P125, P150, P152, P153 の入力バッファの閾値を 1 ビット単位で設定するレジスタです。

シリアル通信インタフェースおよび一部の外部割り込みに対し V_{IL} = 0.5 EV_{DD} に設定できます。

PITHL1, PITHL3-PITHL7, PITHL10, PITHL12, PITHL15 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 4－80　ポート入力閾値制御レジスタのフォーマット（100 ピン版の製品）

アドレス：F0021H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL1	PITHL17	PITHL16	0	PITHL14	PITHL13	0	PITHL11	PITHL10

アドレス：F0023H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL3	0	0	0	0	0	0	0	PITHL30

アドレス：F0024H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL4	0	0	0	0	PITHL43	0	PITHL41	0

アドレス：F0025H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL5	0	0	0	PITHL54	PITHL53	PITHL52	0	PITHL50

アドレス：F0026H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL6	0	0	0	0	PITHL63	PITHL62	PITHL61	PITHL60

アドレス：F0027H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL7	PITHL77	PITHL76	PITHL75	0	PITHL73	0	PITHL71	PITHL70

アドレス：F002AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL10	PITHL107	0	0	0	0	0	0	0

アドレス：F002CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL12	0	0	PITHL125	0	0	0	0	PITHL120

アドレス：F002FH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL15	0	0	0	0	PITHL153	PITHL152	0	PITHL150

PITHLmn	Pmn端子の入力バッファの閾値の選択（m = 1, 3-7, 10, 12, 15，n = 0-7）
0	Schmitt1 入力
1	Schmitt3 入力

PIMmn	PITHLmn	Pmn端子の入力バッファの閾値の選択（m = 1, 3, 5-7, 12，n = 0-7）
0	0	Schmitt1 入力
0	1	Schmitt3 入力
1	0	TTL 入力
1	1	設定禁止

注意　搭載していないビットには，必ず初期値を設定してください。

4.3.8　周辺I/Oリダイレクション・レジスタ0（PIOR0）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR0 は，タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで，タイマ・アレイ・ユニット 0 の入力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 4－81　周辺 I/O リダイレクション・レジスタ 0（PIOR0）のフォーマット

アドレス：F0016H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR0	PIOR07	PIOR06	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00

ビット	機能	100ピン		80ピン		64ピン		48ピン	
		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1
PIOR07	TI07	P120	P44	P120	P44	P120	－	P120	－
PIOR06	TI06	P14	P02	P14	P02	P14	－	P14	－
PIOR05	TI05	P15	P00	P15	P00	P15	P00	P15	P00
PIOR04	TI04	P13	P01	P13	P01	P13	－	P13	－
PIOR03	TI03	P125	P127	P125	－	P125	－	P125	－
PIOR02	TI02	P16	P67	P16	P67	P16	－	P16	－
PIOR01	TI01	P30	P126	P30	P126	P30	－	P30	－
PIOR00	TI00	P17	P66	P17	P66	P17	－	P17	－

注意　32 ピン製品では，PIOR0 レジスタはありません。

4.3.9　周辺I/Oリダイレクション・レジスタ1（PIOR1）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR1 は，タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで，タイマ・アレイ・ユニット 0 の出力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 4－82　周辺 I/O リダイレクション・レジスタ 1（PIOR1）のフォーマット

アドレス：F0017H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR1	PIOR17	PIOR16	PIOR15	PIOR14	PIOR13	PIOR12	PIOR11	PIOR10

ビット	機能	PIOR設定	100 ピン		80 ピン		64 ピン		48 ピン		32 ピン	
			設定値		設定値		設定値		設定値		設定値	
			0	1	0	1	0	1	0	1	0	1
PIOR17	TO07	PIOR90=0	P120	P44	P120	P44	P120	－	P120	－	P120	－
		PIOR90=1	P120	P63	P120	P63	P120	P63	P120	P63	P120	P63
PIOR16	TO06	－	P14	P02	P14	P02	P14	－	P14	－	P14	－
PIOR15	TO05	－	P15	P00	P15	P00	P15	P00	P15	P00	P15	－
PIOR14	TO04	－	P13	P01	P13	P01	P13	－	P13	－	P13	－
PIOR13	TO03	PIOR90=0	P125	P127	P125	－	P125	－	P125	－	P125	－
		PIOR90=1	P125	P62	P125	P62	P125	P62	P125	P62	P125	P62
PIOR12	TO02	PIOR90=0	P16	P67	P16	P67	P16	－	P16	－	P16	－
		PIOR90=1	P16	P61	P16	P61	P16	P61	P16	P61	P16	P61
PIOR11	TO01	PIOR90=0	P30	P126	P30	P126	P30	－	P30	－	P30	－
		PIOR90=1	P30	P60	P30	P60	P30	P60	P30	P60	P30	P60
PIOR10	TO00	－	P17	P66	P17	P66	P17	－	P17	－	P17	－

4.3.10 周辺I/Oリダイレクション・レジスタ2（PIOR2）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR2 は，タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで，タイマ・アレイ・ユニット 1 の入力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 4－83　周辺 I/O リダイレクション・レジスタ 2（PIOR2）のフォーマット

アドレス：F0018H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR2	PIOR27	PIOR26	PIOR25	PIOR24	PIOR23	PIOR22	PIOR21	PIOR20

ビット	機能	100 ピン		80 ピン	
		設定値		設定値	
		0	1	0	1
PIOR27	TI17	P71	P57	P71 注	P57 注
PIOR26	TI16	P32	P65	P32 注	P65 注
PIOR25	TI15	P70	P56	P70 注	P56 注
PIOR24	TI14	P31	P64	P31 注	P64 注
PIOR23	TI13	P10	P55	P10	P55
PIOR22	TI12	P11	P46	P11	P46
PIOR21	TI11	P12	P54	P12	P54
PIOR20	TI10	P41	P45	P41	P45

注　RL78/F24 製品のみ。

注意　64, 48, 32 ピン製品では，PIOR2 レジスタはありません。

4.3.11　周辺I/Oリダイレクション・レジスタ3（PIOR3）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR3 は，タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで，タイマ・アレイ・ユニット 1 の出力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 4－84　周辺 I/O リダイレクション・レジスタ 3（PIOR3）のフォーマット

アドレス：F0019H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR3	PIOR37	PIOR36	PIOR35	PIOR34	PIOR33	PIOR32	PIOR31	PIOR30

ビット	機能	100 ピン		80 ピン	
		設定値		設定値	
		0	1	0	1
PIOR37	TO17	P71	P57	P71 注	P57 注
PIOR36	TO16	P32	P65	P32 注	P65 注
PIOR35	TO15	P70	P56	P70 注	P56 注
PIOR34	TO14	P31	P64	P31 注	P64 注
PIOR33	TO13	P10	P55	P10	P55
PIOR32	TO12	P11	P46	P11	P46
PIOR31	TO11	P12	P54	P12	P54
PIOR30	TO10	P41	P45	P41	P45

注　RL78/F24 製品のみ。

注意　64, 48, 32 ピン製品では，PIOR3 レジスタはありません。

4.3.12 周辺I/Oリダイレクション・レジスタ4（PIOR4）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR4 は，シリアル通信機能のリダイレクト許可禁止を設定するレジスタで，CAN のシリアル・データ入出力，LIN のシリアル・データ入出力，シリアル・アレイ・ユニットのシリアル・データ入出力，クロック入出力，スレーブ・セレクト入力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

ビット 7 はリードのみになります。ビット 7 を除くすべてのビットはリード／ライトが可能です。

リセット信号の発生により 00H になります。

図 4－85　周辺 I/O リダイレクション・レジスタ 4（PIOR4）のフォーマット（1/2）

アドレス：F001AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR4	0	PIOR46	PIOR45	PIOR44	PIOR43	PIOR42	PIOR41	PIOR40

ビット	機能	PIOR設定	100 ピン		80 ピン		64 ピン		48 ピン		32 ピン	
			設定値		設定値		設定値		設定値		設定値	
			0	1	0	1	0	1	0	1	0	1
PIOR46	CRXD0	－	P11	P73	P11 注	P73 注	P11 注	P73 注	P11 注	P73 注	P11 注	－
	CTXD0	－	P10	P72	P10 注	P72 注	P10 注	P72 注	P10 注	P72 注	P10 注	－
PIOR45	LRXD1	PIOR93=0	P11	P107	P11 注	－	P11 注	－	P11 注	－	P11 注	－
		PIOR93=1	P11	P125	P11 注	P125 注	P11 注	P125 注	P11 注	P125 注	P11 注	P125 注
	LTXD1	PIOR93=0	P10	P106	P10 注	－	P10 注	－	P10 注	－	P10 注	－
		PIOR93=1	P10	P120	P10 注	P120 注	P10 注	P120 注	P10 注	P120 注	P10 注	P120 注
PIOR44	LRXD0	－	P14	P43	P14	P43	P14	P43	P14	－	P14	－
	LTXD0	－	P13	P42	P13	P42	P13	P42	P13	－	P13	－
PIOR43	SI11	－	P70	P152	P70	－	P70	－	P70	－	使用禁止	
	SO11	PIOR92=0	P72	P151	P72	－	P72	－	P72	－		
		PIOR92=1	P32	P151	P32	－	P32	－	P32	－		
	SCK11	－	P71	P153	P71	－	P71	－	P71	－		
	SSI11	－	P73	P150	P73	－	P73	－	P73	－		

注　RL78/F24 製品のみ。

（**注意**が次のページにあります。）

図 4－85　周辺 I/O リダイレクション・レジスタ 4（PIOR4）のフォーマット（2/2）

アドレス：F001AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR4	0	PIOR46	PIOR45	PIOR44	PIOR43	PIOR42	PIOR41	PIOR40

ビット	機能	PIOR設定	100 ピン		80 ピン		64 ピン		48 ピン		32 ピン	
			設定値		設定値		設定値		設定値		設定値	
			0	1	0	1	0	1	0	1	0	1
PIOR42	SI10/ RXD1	PIOR91=0	P11	P75	P11	P75	P11	P75	P11	－	P11	－
		PIOR91=1	P41	P75	P41	P75	P41	P75	P41	－	P41	－
	SO10/ TXD1	－	P12	P74	P12	P74	P12	P74	P12	－	P12	－
	SCK10	PIOR91=0	P10	P76	P10	P76	P10	P76	P10	－	P10	－
		PIOR91=1	P120	P76	P120	P76	P120	P76	P120	－	P120	－
	SSI10	－	P54	P77	P54	P77	－	P77	－	－	－	－
PIOR41	SI01	－	P13	P53	P13	P53	P13	P53	P13	－	P13	－
	SO01	－	P120	P51	P120	P51	P120	P51	P120	－	P120	－
	SCK01	－	P14	P52	P14	P52	P14	P52	P14	－	P14	－
	SSI01	－	P125	P50	P125	P50	P125	P50	P125	－	P125	－
PIOR40	SI00/ SDA00/ RXD0	－	P16	P61	P16	P61	P16	P61	P16	P61	P16	P61
	SO00/ TXD0	－	P15	P62	P15	P62	P15	P62	P15	P62	P15	P62
	SCL00/ SCK00	－	P17	P60	P17	P60	P17	P60	P17	P60	P17	P60
	SSI00	－	P30	P63	P30	P63	P30	P63	P30	P63	P30	P63

注意　使用禁止ビットには 0 を設定してください。

4.3.13 周辺I/Oリダイレクション・レジスタ5（PIOR5）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR5 は，外部割り込み入力，キー割り込み入力のリダイレクト許可禁止を設定するレジスタで，外部割り込み入力端子，キー割り込み入力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

ビット 7-4, 1 は未使用のため，リードのみになります。それらを除くすべてのビットは，リード/ライトが可能です。

すべてのリセット解除後，常にリード／ライト可能です。

すべてのリセット要因で 00H に初期化されます。

図 4－86　周辺 I/O リダイレクション・レジスタ 5（PIOR5）のフォーマット

アドレス：F001BH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR5	0	0	0	0	PIOR53	PIOR52	0	PIOR50

ビット	機能	100 ピン		80 ピン		64 ピン		48 ピン		32 ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR53	INTP3	P17	P50	P17	P50	P17	P50	P17	－	P17	－
PIOR52	INTP2	P30	P31	P30	P31	P30	P31	P30	P31	P30	－
PIOR50	KR7	P77	－	P77	－	P77	P96	－	P92	－	－
	KR6	P76	－	P76	－	P76	P95	－	P91	－	－
	KR5	P75	－	P75	－	P75	P94	－	P90	－	P85
	KR4	P74	－	P74	－	P74	P93	－	P87	－	P84
	KR3	P73	－	P73	－	P73	P92	P73	P86	－	P83
	KR2	P72	－	P72	－	P72	P91	P72	P85	－	P82
	KR1	P71	－	P71	－	P71	P90	P71	P84	－	P81
	KR0	P70	－	P70	－	P70	P87	P70	P83	－	P80

4.3.14 周辺I/Oリダイレクション・レジスタ6（PIOR6）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR6 は，SNOOZE ステータス出力機能のリダイレクト許可禁止を設定するレジスタで，SNOOZE ステータス出力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

すべてのリセット解除後，常にリード／ライトが可能です。

すべてのリセット要因で 00H に初期化されます。

図 4－87　周辺 I/O リダイレクション・レジスタ 6（PIOR6）のフォーマット

アドレス：F001CH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR6	PIOR67	PIOR66	PIOR65	PIOR64	PIOR63	PIOR62	PIOR61	PIOR60

ビット	機能	100 ピン		80 ピン	
		設定値		設定値	
		0	1	0	1
PIOR67	SNZOUT7	P73	P154	P73	－
PIOR66	SNZOUT6	P72	P155	P72	－
PIOR65	SNZOUT5	P71	P156	P71	－
PIOR64	SNZOUT4	P70	P157	P70	－
PIOR63	SNZOUT3	P12	P64	P12	P64
PIOR62	SNZOUT2	P41	P65	P41	P65
PIOR61	SNZOUT1	P125	P56	P125	P56
PIOR60	SNZOUT0	P30	P57	P30	P57

注意　64, 48, 32 ピン製品では，PIOR6 レジスタはありません。

4.3.15 周辺I/Oリダイレクション・レジスタ7（PIOR7）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR7 は，タイマ RDe 入出力機能のリダイレクト許可禁止を設定するレジスタで，タイマ RDe0 の入出力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

ビット 7-4, 2 は，リードのみになります。それ以外のビットはリード／ライトが可能です。

すべてのリセット解除後，常にリード／ライトが可能です。

すべてのリセット要因で 00H に初期化されます。

図 4－88　周辺 I/O リダイレクション・レジスタ 7（PIOR7）のフォーマット

アドレス：F001DH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR7	0	0	0	0	PIOR73	0	PIOR71	PIOR70

ビット	機能	100 ピン		80 ピン		64 ピン		48 ピン		32 ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR73	TRDIOD0	P120	P12	P120	P12	P120	P12	P120	P12	P120	P12
PIOR71	TRDIOB0	P125	P11	P125	P11	P125	P11	P125	P11	P125	P11
PIOR70	TRDIOA0/ TRDCLK0	P13	P15	P13	P15	P13	P15	P13	P15	P13	P15

4.3.16 周辺I/Oリダイレクション・レジスタ8（PIOR8）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR8 レジスタは，リアルタイム・クロックの補正クロック（1 Hz）出力機能のリダイレクト許可禁止を設定するレジスタで，リアルタイム・クロックの補正クロック（1 Hz）出力端子をどの I/O ポートに割り当てるかを選択します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

ビット 7-1 は，リードのみになります。ビット 0 は，リード／ライトが可能です。

すべてのリセット解除後，常にリード／ライトが可能です。

すべてのリセット要因で 00H に初期化されます。

図 4－89　周辺 I/O リダイレクション・レジスタ 8（PIOR8）のフォーマット

アドレス：F001EH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR8	0	0	0	0	0	0	0	PIOR80

ビット	機能	100 ピン	
		設定値	
		0	1
PIOR80	RTC1HZ	P15	P03

★　**注意　80, 64, 48, 32 ピン製品では，PIOR8 レジスタはありません。**

4.3.17 周辺I/Oリダイレクション・レジスタ9（PIOR9）

周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。

PIOR9 は，タイマ・アレイ・ユニット機能およびシリアル通信機能のリダイレクト許可禁止を設定するレジスタで，タイマ・アレイ・ユニット出力，LIN のシリアル・データ入出力，シリアル・アレイ・ユニットのシリアル・データ入出力，クロック入出力端子をどの I/O ポートに割り当てるかを選択します。

PIOR9 レジスタは，8 ビット・メモリ操作命令で設定します。

ビット 7-4 は，リードのみになります。ビット 7-4 を除くすべてのビットはリード／ライトが可能です。

すべてのリセット解除後，常にリード／ライト可能です。

すべてのリセット要因で 00H に初期化されます。

図 4－90　周辺 I/O リダイレクション・レジスタ 9（PIOR9）のフォーマット

アドレス：F001FH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR9	0	0	0	0	PIOR93	PIOR92	PIOR91	PIOR90

ビット	機能	PIOR 設定	100 ピン		80 ピン		64 ピン		48 ピン		32 ピン	
			設定値		設定値		設定値		設定値		設定値	
			0	1	0	1	0	1	0	1	0	1
PIOR93 注	LRXD1	PIOR45=0	P11	P11	P11	P11	P11	P11	P11	P11	P11	P11
		PIOR45=1	P107	P125	—	P125	—	P125	—	P125	—	P125
	LTXD1	PIOR45=0	P10	P10	P10	P10	P10	P10	P10	P10	P10	P10
		PIOR45=1	P106	P120	—	P120	—	P120	—	P120	—	P120
PIOR92	SO11	PIOR43=0	P72	P32	P72	P32	P72	P32	P72	P32	使用禁止	
		PIOR43=1	P151	P151	—	—	—	—	—	—		
PIOR91	SI10/RXD1	PIOR42=0	P11	P41	P11	P41	P11	P41	P11	P41	P11	P41
		PIOR42=1	P75	P75	P75	P75	P75	P75	—	—	—	—
	SCK10	PIOR42=0	P10	P120	P10	P120	P10	P120	P10	P120	P10	P120
		PIOR42=1	P76	P76	P76	P76	P76	P76	—	—	—	—
PIOR90	TO01	PIOR11=0	P30	P30	P30	P30	P30	P30	P30	P30	P30	P30
		PIOR11=1	P126	P60	P126	P60	—	P60	—	P60	—	P60
	TO02	PIOR12=0	P16	P16	P16	P16	P16	P16	P16	P16	P16	P16
		PIOR12=1	P67	P61	P67	P61	—	P61	—	P61	—	P61
	TO03	PIOR13=0	P125	P125	P125	P125	P125	P125	P125	P125	P125	P125
		PIOR13=1	P127	P62	—	P62	—	P62	—	P62	—	P62
	TO07	PIOR17=0	P120	P120	P120	P120	P120	P120	P120	P120	P120	P120
		PIOR17=1	P44	P63	P44	P63	—	P63	—	P63	—	P63

注　RL78/F24 製品のみ。

注意　使用禁止ビットには 0 を設定してください。

4.3.18 ポート出力スルー・レート選択レジスタ（PSRSEL）

ポートの出力スルー・レートを選択するレジスタです。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

すべてのリセット要因で 00H に初期化されます。

注意　兼用機能を含め，対象端子のスルー・レートが変更されます。

図 4－91　ポート出力スルー・レート選択レジスタ（PSRSEL）

アドレス：F0220H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PSRSEL	0	0	PSR140	PSR14	PSR120	PSR30	PSR12	PSR10

PSR140	制御対象出力ポート：P140/PCLBUZ0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

注意　32 ピン製品では P140/PCLBUZ0 端子はありません。

PSR14	制御対象出力ポート：P14/SCK01/SCL01/TO06/TRDIOC0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR120	制御対象出力ポート：P120/SO01/TO07/TRDIOD0/(SCK10)/(LTXD1)
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR30	制御対象出力ポート：P30/TO01/TRDIOD1/SNZOUT0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR12	制御対象出力ポート：P12/SO10/TO11/(TRDIOD0)/TXD1/SNZOUT3
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR10	制御対象出力ポート：P10/SCK10/TO13/TRJO0/SCL10/LTXD1/CTXD0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

4.3.19 SNOOZEステータス出力制御レジスタ0（PSNZCNT0）

SNOOZE モードに移行したことを外部端子に出力するレジスタです。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

ビット 7, 6, 3, 2 は未使用のため，リードのみになります。それらを除くすべてのビットはリード／ライトが可能です。

すべてのリセット要因で 00H に初期化されます。

注意 1. SNOOZE ステータス出力機能を使用する際は，あらかじめ対象ポートを出力モード，出力ラッチを 0 に設定しておいてください。

2. SNZOUT 出力時は，出力許可ポートに割り当てている周辺機能の出力を止めて，レジスタの設定をしてください。

3. SNZOUT 出力時は WUTMMCK0 = 1 に設定してください。

図 4－92　SNOOZE ステータス出力制御レジスタ（PSNZCNT0）

アドレス：F0222H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT0	0	0	SNZACT1	OUTEN1	0	0	SNZACT0	OUTEN0

SNZACT1	SNZOUT1 のアクティブレベル
0	PIOR61=0 時：P125 への SNOOZE ステータス出力のアクティブレベル"H" PIOR61=1 時：P56 への SNOOZE ステータス出力のアクティブレベル"H"（100/80 ピン製品のみ）
1	PIOR61=0 時：P125 への SNOOZE ステータス出力のアクティブレベル"L" PIOR61=1 時：P56 への SNOOZE ステータス出力のアクティブレベル"L"（100/80 ピン製品のみ）

OUTEN1	SNZOUT1 の許可禁止
0	PIOR61=0 時：P125 への SNOOZE ステータス出力禁止 PIOR61=1 時：P56 への SNOOZE ステータス出力禁止（100/80 ピン製品のみ）
1	PIOR61=0 時：P125 への SNOOZE ステータス出力許可 PIOR61=1 時：P56 への SNOOZE ステータス出力許可（100/80 ピン製品のみ）

SNZACT0	SNZOUT0 のアクティブレベル
0	PIOR60=0 時：P30 への SNOOZE ステータス出力のアクティブレベル"H" PIOR60=1 時：P57 への SNOOZE ステータス出力のアクティブレベル"H"（100/80 ピン製品のみ）
1	PIOR60=0 時：P30 への SNOOZE ステータス出力のアクティブレベル"L" PIOR60=1 時：P57 への SNOOZE ステータス出力のアクティブレベル"L"（100/80 ピン製品のみ）

OUTEN0	SNZOUT0 の許可禁止
0	PIOR60=0 時：P30 への SNOOZE ステータス出力禁止 PIOR60=1 時：P57 への SNOOZE ステータス出力禁止（100/80 ピン製品のみ）
1	PIOR60=0 時：P30 への SNOOZE ステータス出力許可 PIOR60=1 時：P57 への SNOOZE ステータス出力許可（100/80 ピン製品のみ）

4.3.20 SNOOZEステータス出力制御レジスタ1（PSNZCNT1）

SNOOZE モードに移行したことを外部端子に出力するレジスタです。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

ビット 7, 6, 3, 2 は未使用のため，リードのみになります。それ以外のビットはリード／ライトが可能です。

すべてのリセット要因で 00H に初期化されます。

注意 1. SNOOZE ステータス出力制御レジスタを使用する際は，あらかじめ対象ポートを出力モード，出力ラッチを 0 に設定しておいてください。

2. SNZOUT 出力時は，出力許可ポートに割り当てている周辺機能の出力を止めて，レジスタの設定をしてください。

3. SNZOUT 出力時は WUTMMCK0 = 1 に設定してください。

図 4－93　SNOOZE ステータス出力制御レジスタ 1（PSNZCNT1）

アドレス：F0223H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT1	0	0	SNZACT3	OUTEN3	0	0	SNZACT2	OUTEN2

SNZACT3	SNZOUT3 のアクティブレベル
0	PIOR63=0 時：P12 への SNOOZE ステータス出力のアクティブレベル"H" PIOR63=1 時：P64 への SNOOZE ステータス出力のアクティブレベル"H"（100/80 ピン製品のみ）
1	PIOR63=0 時：P12 への SNOOZE ステータス出力のアクティブレベル"L" PIOR63=1 時：P64 への SNOOZE ステータス出力のアクティブレベル"L"（100/80 ピン製品のみ）

OUTEN3	SNZOUT3 の許可禁止
0	PIOR63=0 時：P12 への SNOOZE ステータス出力禁止 PIOR63=1 時：P64 への SNOOZE ステータス出力禁止（100/80 ピン製品のみ）
1	PIOR63=0 時：P12 への SNOOZE ステータス出力許可 PIOR63=1 時：P64 への SNOOZE ステータス出力許可（100/80 ピン製品のみ）

SNZACT2	SNZOUT2 のアクティブレベル
0	PIOR62=0 時：P41 への SNOOZE ステータス出力のアクティブレベル"H" PIOR62=1 時：P65 への SNOOZE ステータス出力のアクティブレベル"H"（100/80 ピン製品のみ）
1	PIOR62=0 時：P41 への SNOOZE ステータス出力のアクティブレベル"L" PIOR62=1 時：P65 への SNOOZE ステータス出力のアクティブレベル"L"（100/80 ピン製品のみ）

OUTEN2	SNZOUT2 の許可禁止
0	PIOR62=0 時：P41 への SNOOZE ステータス出力禁止 PIOR62=1 時：P65 への SNOOZE ステータス出力禁止（100/80 ピン製品のみ）
1	PIOR62=0 時：P41 への SNOOZE ステータス出力許可 PIOR62=1 時：P65 への SNOOZE ステータス出力許可（100/80 ピン製品のみ）

4.3.21 SNOOZEステータス出力制御レジスタ2（PSNZCNT2）

SNOOZE モードに移行したことを外部端子に出力するレジスタです。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

ビット 7, 6, 3, 2 は未使用のため，リードのみになります。それ以外のビットはリード／ライトが可能です。

すべてのリセット要因で 00H に初期化されます。

注意 1. SNOOZE ステータス出力制御レジスタを使用する際は，あらかじめ対象ポートを出力モード，出力ラッチを 0 に設定しておいてください。

2. SNZOUT 出力時は，出力許可ポートに割り当てている周辺機能の出力を止めて，レジスタの設定をしてください。

3. SNZOUT 出力時は WUTMMCK0 = 1 に設定してください。

図 4－94　SNOOZE ステータス出力制御レジスタ 2（PSNZCNT2）

アドレス：F0224H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT2	0	0	SNZACT5	OUTEN5	0	0	SNZACT4	OUTEN4

SNZACT5	SNZOUT5のアクティブレベル
0	PIOR65=0 時：P71 への SNOOZE ステータス出力のアクティブレベル"H" PIOR65=1 時：P156 への SNOOZE ステータス出力のアクティブレベル"H"（100 ピン製品のみ）
1	PIOR65=0 時：P71 への SNOOZE ステータス出力のアクティブレベル"L" PIOR65=1 時：P156 への SNOOZE ステータス出力のアクティブレベル"L"（100 ピン製品のみ）

OUTEN5	SNZOUT5の許可禁止
0	PIOR65=0 時：P71 への SNOOZE ステータス出力禁止 PIOR65=1 時：P156 への SNOOZE ステータス出力禁止（100 ピン製品のみ）
1	PIOR65=0 時：P71 への SNOOZE ステータス出力許可 PIOR65=1 時：P156 への SNOOZE ステータス出力許可（100 ピン製品のみ）

SNZACT4	SNZOUT4のアクティブレベル
0	PIOR64=0 時：P70 への SNOOZE ステータス出力のアクティブレベル"H" PIOR64=1 時：P157 への SNOOZE ステータス出力のアクティブレベル"H"（100 ピン製品のみ）
1	PIOR64=0 時：P70 への SNOOZE ステータス出力のアクティブレベル"L" PIOR64=1 時：P157 への SNOOZE ステータス出力のアクティブレベル"L"（100 ピン製品のみ）

OUTEN4	SNZOUT4の許可禁止
0	PIOR64=0 時：P70 への SNOOZE ステータス出力禁止 PIOR64=1 時：P157 への SNOOZE ステータス出力禁止（100 ピン製品のみ）
1	PIOR64=0 時：P70 への SNOOZE ステータス出力許可 PIOR64=1 時：P157 への SNOOZE ステータス出力許可（100 ピン製品のみ）

注意　32 ピン製品では，PSNZCNT2 レジスタはありません。

4.3.22 SNOOZEステータス出力制御レジスタ3（PSNZCNT3）

SNOOZE モードに移行したことを外部端子に出力するレジスタです。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

ビット 7, 6, 3, 2 は未使用のため，リードのみになります。それ以外のビットはリード／ライトが可能です。

すべてのリセット要因で 00H に初期化されます。

注意 1. SNOOZE ステータス出力制御レジスタを使用する際は，あらかじめ対象ポートを出力モード，出力ラッチを 0 に設定しておいてください。

2. SNZOUT 出力時は，出力許可ポートに割り当てている周辺機能の出力を止めて，レジスタの設定をしてください。

3. SNZOUT 出力時は WUTMMCK0 = 1 に設定してください。

図 4－95　SNOOZE ステータス出力制御レジスタ 3（PSNZCNT3）

アドレス：F0225H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT3	0	0	SNZACT7	OUTEN7	0	0	SNZACT6	OUTEN6

SNZACT7	SNZOUT7 のアクティブレベル
0	PIOR67=0 時：P73 への SNOOZE ステータス出力のアクティブレベル"H" PIOR67=1 時：P154 への SNOOZE ステータス出力のアクティブレベル"H"（100 ピン製品のみ）
1	PIOR67=0 時：P73 への SNOOZE ステータス出力のアクティブレベル"L" PIOR67=1 時：P154 への SNOOZE ステータス出力のアクティブレベル"L"（100 ピン製品のみ）

OUTEN7	SNZOUT7 の許可禁止
0	PIOR67=0 時：P73 への SNOOZE ステータス出力禁止 PIOR67=1 時：P154 への SNOOZE ステータス出力禁止（100 ピン製品のみ）
1	PIOR67=0 時：P73 への SNOOZE ステータス出力許可 PIOR67=1 時：P154 への SNOOZE ステータス出力許可（100 ピン製品のみ）

SNZACT6	SNZOUT6 のアクティブレベル
0	PIOR66=0 時：P72 への SNOOZE ステータス出力のアクティブレベル"H" PIOR66=1 時：P155 への SNOOZE ステータス出力のアクティブレベル"H"（100 ピン製品のみ）
1	PIOR66=0 時：P72 への SNOOZE ステータス出力のアクティブレベル"L" PIOR66=1 時：P155 への SNOOZE ステータス出力のアクティブレベル"L"（100 ピン製品のみ）

OUTEN6	SNZOUT6 の許可禁止
0	PIOR66=0 時：P72 への SNOOZE ステータス出力禁止 PIOR66=1 時：P155 への SNOOZE ステータス出力禁止（100 ピン製品のみ）
1	PIOR66=0 時：P72 への SNOOZE ステータス出力許可 PIOR66=1 時：P155 への SNOOZE ステータス出力許可（100 ピン製品のみ）

注意　32 ピン製品では，PSNZCNT3 レジスタはありません。

4.3.23 ポート・モード選択レジスタ（PMS）

IEC60730 対応の機能です。

ポートが出力モードのときに，出力ラッチの値をリードするか，端子の出力レベルをリードするかを選択するビットです。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

すべてのリセット要因で 00H に初期化されます。

図 4－96　ポート・モード選択レジスタ（PMS）

アドレス：F0077H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	PMmn=0の時に，Pmnのリードしたときのデータ選択（m = 0-15，n = 0-7）
0	初期設定。PMmn=0（出力モード）時は，Pmnの値（出力ラッチ）を読み出す
1	PMmn=0（出力モード）時は，端子レベルを読み出す

PMmn	PMS0	Pmnリードデータの選択
0	0	Pmnレジスタ（出力ラッチ）の値
0	1	端子の出力レベル
1	0	端子の入力レベル
1	1	端子の入力レベル

4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1　入出力ポートへの書き込み

(1)　出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度，出力ラッチに書き込まれたデータは，もう一度，出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2)　入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

一度，出力ラッチに書き込まれたデータは，もう一度，出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2　入出力ポートからの読み出し

(1)　出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

また，ポート・モード選択レジスタPMS0のビットを1にすることで，Pmをリードすると端子レベルが読み出せます。

(2)　入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

(1)　出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度，出力ラッチに書き込まれたデータは，もう一度，出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2)　入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.4　異電位（3 V系）外部デバイスとの接続方法

ポート 1, 6, 7, 12 は，VDD = 4.0V～5.5V で動作している場合は，ポート入力モード・レジスタ（PIMm）およびポート出力モード・レジスタ（POMm）で I/O バッファを切り替えることにより，異電位（3V 系）で動作する外部デバイスを接続できます。

異電位（3V 系）外部デバイスから入力を受信する場合は，ポート入力モード・レジスタ 1, 7（PIM1, PIM7）をビットごとに設定して，通常入力 (CMOS)／TTL 入力バッファの切り替えを許可します。

異電位（3V 系）外部デバイスにデータを出力する場合は，ポート出力モード・レジスタ 1, 6, 7, 12 （POM1, POM6, POM7, POM12）をビットごとに設定して，出力バッファから N-ch オープン・ドレインへの切り替えを許可することにより，さまざまな電位に対処可能になります。

(1)　UART0-UART1, CSI00, CSI01, CSI10, CSI11 機能の入出力端子を使用する場合の設定手順

(a)　3 V系の入力ポートとして使用

① プルアップが必要な場合は，使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

UART0の場合　：P16
UART1の場合　：P11
CSI00の場合　：P16, P17
CSI01の場合　：P13, P14
CSI10の場合　：P11, P10
CSI11の場合　：P70, P71

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。

③ PIM1, PIM7レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。

④ V_{IH} / V_{IL}が，3 V系の動作電圧で動作します。

(b)　3 V系の出力ポートとして使用

① 使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

UART0の場合　：P15
UART1の場合　：P12
CSI00の場合　：P15, P17
CSI01の場合　：P14, P120
CSI10の場合　：P10, P12
CSI11の場合　：P71, P72

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。

③ 該当するポートの出力ラッチに1を設定します。

④ POM1, POM6, POM7, POM12レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（EV_{DD}耐圧）モードに設定します。

⑤ PM1, PM6, PM7, PM12レジスタを操作して出力モードに設定します。

この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

⑥ シリアル・アレイ・ユニットに設定を行うと通信を開始します。

(2)　簡易 IIC00, IIC01, IIC10, IIC11 機能の入出力端子を使用する場合の設定手順

① 使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

簡易IIC00の場合：　P16, P17

簡易IIC01の場合：　P13, P14

簡易IIC10の場合：　P10, P11

簡易IIC11の場合：　P70, P71

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。

③ 該当するポートの出力ラッチに1を設定します。

④ POM1, POM7レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（EV_{DD}耐圧）モードに設定します。

⑤ PIM1, PIM7レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。

⑥ PM1, PM7レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

⑦ シリアル・アレイ・ユニットを動作許可し，簡易IICモードに設定します。

4.5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表 4－26 のように設定してください。

表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（1/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P00	INTP9	入力	－	－	－	1	×	－	－
	(TI05)	入力	PIOR05=1	－	－	1	×	－	－
	(TO05)	出力	PIOR15=1	－	－	0	0	－	－
P01	(TI04)	入力	PIOR04=1	－	－	1	×	－	－
	(TO04)	出力	PIOR14=1	－	－	0	0	－	－
P02	(TI06)	入力	PIOR06=1	－	－	1	×	－	－
	(TO06)	出力	PIOR16=1	－	－	0	0	－	－
P03	(RTC1HZ)	出力	PIOR80=1	－	－	0	0	－	－
P10	TI13	入力	PIOR23=0	×	－	1	×	0	0/1
	TO13	出力	PIOR33=0	0	－	0	0	×	×
	TRJO0	出力	－	0	－	0	0	×	×
	SCK10	入力	PIOR42=0, PIOR91=0	×	－	1	×	0/1	0/1
		出力	PIOR42=0, PIOR91=0	0/1	－	0	1	×	×
	SCL10	出力	PIOR42=0	0/1	－	0	1	×	×
	LTXD1	出力	PIOR45=0	0/1	－	0	1	×	×
	CTXD0	出力	PIOR46=0	0	－	0	1	×	×
P11	TI12	入力	PIOR22=0	×	－	1	×	0	0/1
	SI10	入力	PIOR42=0, PIOR91=0	×	－	1	×	0/1	0/1
	TO12	出力	PIOR32=0	0	－	0	0	×	×
	SDA10	入出力	PIOR42=0	1	－	0	1	0/1	0/1
	RXD1	入力	PIOR42=0, PIOR91=0	×	－	1	×	0/1	0/1
	LRXD1	入力	PIOR45=0	×	－	1	×	0/1	0/1
	CRXD0	入力	PIOR46=0	×	－	1	×	0	0
	(TRDIOB0)	入力	PIOR71=1	×	－	1	×	0	0/1
		出力	PIOR71=1	0	－	0	0	×	×

（備考は，表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）の下にあります。）

表4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（2/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P12	TI11	入力	PIOR21=0	×	－	1	×	－	－
	INTP5	入力	－	×	－	1	×	－	－
	TO11	出力	PIOR31=0	0	－	0	0	－	－
	SO10	出力	PIOR42=0	0/1	－	0	1	－	－
	TXD1	出力	PIOR42=0	0/1	－	0	1	－	－
	SNZOUT3	出力	PIOR63=0	0	－	0	0	－	－
	(TRDIOD0)	入力	PIOR73=1	×	－	1	×	－	－
		出力	PIOR73=1	0	－	0	0	－	－
P13	TI04	入力	PIOR04=0	×	－	1	×	0	0/1
	SI01	入力	PIOR41=0	×	－	1	×	0/1	0/1
	TRDIOA0	入力	PIOR70=0	×	－	1	×	0	0/1
		出力	PIOR70=0	0	－	0	0	×	×
	TRDCLK0	入力	PIOR70=0	×	－	1	×	0	0/1
	TO04	出力	PIOR14=0	0	－	0	0	×	×
	SDA01	入出力	PIOR41=0	1	－	0	1	0/1	0/1
	LTXD0	出力	PIOR44=0	0/1	－	0	1	×	×
P14	TI06	入力	PIOR06=0	×	－	1	×	0	0/1
	TO06	出力	PIOR16=0	0	－	0	0	×	×
	TRDIOC0	入力	－	×	－	1	×	0	0/1
		出力	－	0	－	0	0	×	×
	SCK01	入力	PIOR41=0	×	－	1	×	0/1	0/1
		出力	PIOR41=0	0/1	－	0	1	×	×
	SCL01	出力	PIOR41=0	0/1	－	0	1	×	×
	LRXD0	入力	PIOR44=0	×	－	1	×	0/1	0/1
P15	TI05	入力	PIOR05=0	×	－	1	×	－	－
	TO05	出力	PIOR15=0	0	－	0	0	－	－
	TRDIOA1	入力	－	×	－	1	×	－	－
		出力	－	0	－	0	0	－	－
	SO00	出力	PIOR40=0	0/1	－	0	1	－	－
	TXD0	出力	PIOR40=0	0/1	－	0	1	－	－
	RTC1HZ	出力	PIOR80=0	0	－	0	0	－	－
	(TRDIOA0)	入力	PIOR70=1	×	－	1	×	－	－
		出力	PIOR70=1	0	－	0	0	－	－
	(TRDCLK0)	入力	PIOR70=1	×	－	1	×	－	－

（備考は，表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）の下にあります。）

表4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（3/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P16	TI02	入力	PIOR02=0	×	－	1	×	0	0/1
	SI00	入力	PIOR40=0	×	－	1	×	0/1	0/1
	TRDIOC1	入力	－	×	－	1	×	0	0/1
		出力	－	0	－	0	0	×	×
	TO02	出力	PIOR12=0	0	－	0	0	×	×
	SDA00	入出力	PIOR40=0	1	－	0	1	0/1	0/1
	RXD0	入力	PIOR40=0	×	－	1	×	0/1	0/1
P17	TI00	入力	PIOR00=0	×	－	1	×	0	0/1
	INTP3	入力	PIOR53=0	×	－	1	×	0	0/1
	TRDIOB1	入力	－	×	－	1	×	0	0/1
		出力	－	0	－	0	0	×	×
	SCK00	入力	PIOR40=0	×	－	1	×	0/1	0/1
		出力	PIOR40=0	0/1	－	0	1	×	×
	SCL00	出力	PIOR40=0	0/1	－	0	1	×	×
	TO00	出力	PIOR10=0	0	－	0	0	×	×
P30	TI01	入力	PIOR01=0	－	－	1	×	0	0/1
	INTP2	入力	PIOR52=0	－	－	1	×	0	0/1
	TRDIOD1	入力	－	－	－	1	×	0	0/1
		出力	－	－	－	0	0	×	×
	SSI00	入力	PIOR40=0	－	－	1	×	0/1	0/1
	TO01	出力	PIOR11=0	－	－	0	0	×	×
	SNZOUT0	出力	PIOR60=0	－	－	0	0	×	×
P31	TI14	入力	PIOR24=0	－	－	1	×	－	－
	TO14	出力	PIOR34=0	－	－	0	0	－	－
	STOPST 注	出力	－	－	－	0	0	－	－
	(INTP2)	入力	PIOR52=1	－	－	1	×	－	－
P32	TI16	入力	PIOR26=0	×	－	1	×	－	－
	INTP7	入力	－	×	－	1	×	－	－
	TO16	出力	PIOR36=0	0	－	0	0	－	－
	(SO11)	出力	PIOR43=0, PIOR92=1	0/1	－	0	1	－	－
P33	ANI6	入力	－	－	1	1	×	－	－
	AV_{REFP}	入力	－	－	1	1	×	－	－
P34	ANI7	入力	－	－	1	1	×	－	－
	AV_{REFM}	入力	－	－	1	1	×	－	－

注　STOPST の機能は，STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当て可能です。

（**備考**は，表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）の下にあります。）

表4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（4/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P40	TOOL0	入出力	－	－	－	×	×	－	－
P41	TI10	入力	PIOR20=0	－	－	1	×	－	0/1
	TO10	出力	PIOR30=0	－	－	0	0	－	×
	TRJIO0	入力	－	－	－	1	×	－	0/1
		出力	－	－	－	0	0	－	×
	TRD0RES	入力	－	－	－	1	×	－	0
	VCOUT0	出力	－	－	－	0	0	－	×
	SNZOUT2	出力	PIOR62=0	－	－	0	0	－	×
	(SI10)	入力	PIOR42=0, PIOR91=1	－	－	1	×	－	0/1
	(RXD1)	入力	PIOR42=0, PIOR91=1	－	－	1	×	－	0/1
P42	(LTXD0)	出力	PIOR44=1	－	－	0	1	－	－
P43	(LRXD0)	入力	PIOR44=1	－	－	1	×	－	0/1
P44	(TI07)	入力	PIOR07=1	－	－	1	×	－	－
	(TO07)	出力	PIOR17=1, PIOR90=0	－	－	0	0	－	－
P45	(TI10)	入力	PIOR20=1	－	－	1	×	－	－
	(TO10)	出力	PIOR30=1	－	－	0	0	－	－
P46	(TI12)	入力	PIOR22=1	－	－	1	×	－	－
	(TO12)	出力	PIOR32=1	－	－	0	0	－	－
P47	INTP13	入力	－	－	－	1	×	－	－
P50	(SSI01)	入力	PIOR41=1	－	－	1	×	－	0/1
	(INTP3)	入力	PIOR53=1	－	－	1	×	－	0/1
P51	INTP11	入力	－	－	－	1	×	－	－
	(SO01)	出力	PIOR41=1	－	－	0	1	－	－
P52	(SCK01)	入力	PIOR41=1	－	－	1	×	－	0/1
		出力	PIOR41=1	－	－	0	1	－	×
	(STOPST) 注	出力	－	－	－	0	0	－	×
P53	INTP10	入力	－	－	－	1	×	－	0/1
	(SI01)	入力	PIOR41=1	－	－	1	×	－	0/1
P54	SSI10	入力	PIOR42=0	－	－	1	×	0/1	0/1
	(TI11)	入力	PIOR21=1	－	－	1	×	0	0/1
	(TO11)	出力	PIOR31=1	－	－	0	0	×	×
P55	(TI13)	入力	PIOR23=1	－	－	1	×	－	－
	(TO13)	出力	PIOR33=1	－	－	0	0	－	－
P56	(TI15)	入力	PIOR25=1	－	－	1	×	－	－
	(TO15)	出力	PIOR35=1	－	－	0	0	－	－
	(SNZOUT1)	出力	PIOR61=1	－	－	0	0	－	－
P57	(TI17)	入力	PIOR27=1	－	－	1	×	－	－
	(TO17)	出力	PIOR37=1	－	－	0	0	－	－
	(SNZOUT0)	出力	PIOR60=1	－	－	0	0	－	－

注　STOPST の機能は，STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当て可能です。

（備考は，表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）の下にあります。）

表4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（5/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P60	(SCK00)	入力	PIOR40=1	×	－	1	×	－	0/1
		出力	PIOR40=1	0/1	－	0	1	－	×
	(SCL00)	出力	PIOR40=1	0/1	－	0	1	－	×
	(TO01)	出力	PIOR11=1, PIOR90=1	0	－	0	0	－	×
P61	(SI00)	入力	PIOR40=1	×	－	1	×	－	0/1
	(SDA00)	入出力	PIOR40=1	1	－	0	1	－	0/1
	(RXD0)	入力	PIOR40=1	×	－	1	×	－	0/1
	(TO02)	出力	PIOR12=1, PIOR90=1	0	－	0	0	－	×
P62	SCLA0	入出力	－	1	－	0	0	0/1	0/1
	(SO00)	出力	PIOR40=1	0/1	－	0	1	×	×
	(TXD0)	出力	PIOR40=1	0/1	－	0	1	×	×
	(TO03)	出力	PIOR13=1, PIOR90=1	0	－	0	0	×	×
P63	SDAA0	入出力	－	1	－	0	0	0/1	0/1
	(SSI00)	入力	PIOR40=1	×	－	1	×	0/1	0/1
	(TO07)	出力	PIOR17=1, PIOR90=1	0	－	0	0	×	×
P64	(TI14)	入力	PIOR24=1	－	－	1	×	－	－
	(TO14)	出力	PIOR34=1	－	－	0	0	－	－
	(SNZOUT3)	出力	PIOR63=1	－	－	0	0	－	－
P65	(TI16)	入力	PIOR26=1	－	－	1	×	－	－
	(TO16)	出力	PIOR36=1	－	－	0	0	－	－
	(SNZOUT2)	出力	PIOR62=1	－	－	0	0	－	－
P66	(TI00)	入力	PIOR00=1	－	－	1	×	－	－
	(TO00)	出力	PIOR10=1	－	－	0	0	－	－
P67	(TI02)	入力	PIOR02=1	－	－	1	×	－	－
	(TO02)	出力	PIOR12=1, PIOR90=0	－	－	0	0	－	－
P70	ANI26	入力	－	×	1	1	×	×	×
	TI15	入力	PIOR25=0	×	0	1	×	0	0/1
	SI11	入力	PIOR43=0	×	0	1	×	0/1	0/1
	INTP8	入力	－	×	0	1	×	0	0/1
	TO15	出力	PIOR35=0	0	0	0	0	×	×
	KR0	入力	PIOR50=0	×	0	1	×	0	0/1
	SDA11	入出力	PIOR43=0	1	0	0	1	0/1	0/1
	SNZOUT4	出力	PIOR64=0	0	0	0	0	×	×

（備考は，表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）の下にあります。）

表4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（6/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P71	ANI27	入力	－	×	1	1	×	×	×
	TI17	入力	PIOR27=0	×	0	1	×	0	0/1
	INTP6	入力	－	×	0	1	×	0	0/1
	TO17	出力	PIOR37=0	0	0	0	0	×	×
	KR1	入力	PIOR50=0	×	0	1	×	0	0/1
	SCK11	入力	PIOR43=0	×	0	1	×	0/1	0/1
		出力	PIOR43=0	0/1	0	0	1	×	×
	SCL11	出力	PIOR43=0	0/1	0	0	1	×	×
	SNZOUT5	出力	PIOR65=0	0	0	0	0	×	×
P72	ANI28	入力	－	×	1	1	×	－	－
	KR2	入力	PIOR50=0	×	0	1	×	－	－
	SO11	出力	PIOR43=0, PIOR92=0	0/1	0	0	1	－	－
	SNZOUT6	出力	PIOR66=0	0	0	0	0	－	－
	(CTXD0)	出力	PIOR46=1	0	0	0	1	－	－
P73	ANI29	入力	－	－	1	1	×	×	×
	KR3	入力	PIOR50=0	－	0	1	×	0	0/1
	SSI11	入力	PIOR43=0	－	0	1	×	0/1	0/1
	SNZOUT7	出力	PIOR67=0	－	0	0	0	×	×
	(CRXD0)	入力	PIOR46=1	－	0	1	×	0	0
P74	ANI30	入力	－	－	1	1	×	－	－
	KR4	入力	PIOR50=0	－	0	1	×	－	－
	(SO10)	出力	PIOR42=1	－	0	0	1	－	－
	(TXD1)	出力	PIOR42=1	－	0	0	1	－	－
P75	KR5	入力	PIOR50=0	－	－	1	×	－	0/1
	(SI10)	入力	PIOR42=1	－	－	1	×	－	0/1
	(RXD1)	入力	PIOR42=1	－	－	1	×	－	0/1
P76	KR6	入力	PIOR50=0	－	－	1	×	－	0/1
	(SCK10)	入力	PIOR42=1	－	－	1	×	－	0/1
		出力	PIOR42=1	－	－	0	1	－	×
P77	INTP12	入力	－	－	－	1	×	－	0/1
	KR7	入力	PIOR50=0	－	－	1	×	－	0/1
	(SSI10)	入力	PIOR42=1	－	－	1	×	－	0/1
P80	ANI0	入力	－	－	1	1	×	－	－
	ANO0	出力	－	－	1	1	×	－	－

（備考は，表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）の下にあります。）

表4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（7/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P81	ANI1	入力	－	－	1	1	×	－	－
P82	ANI2	入力	－	－	1	1	×	－	－
	IVCMP00	入力	－	－	1	1	×	－	－
P83	ANI3	入力	－	－	1	1	×	－	－
	IVCMP01	入力	－	－	1	1	×	－	－
P84	ANI4	入力	－	－	1	1	×	－	－
	IVCMP02	入力	－	－	1	1	×	－	－
P85	ANI5	入力	－	－	1	1	×	－	－
	IVCMP03	入力	－	－	1	1	×	－	－
	IVREF0	入力	－	－	1	1	×	－	－
P86-P87	ANI08-ANI09	入力	－	－	1	1	×	－	－
P90-P97	ANI10-ANI17	入力	－	－	1	1	×	－	－
P100-P105	ANI18-ANI23	入力	－	－	1	1	×	－	－
P106	(LTXD1)	出力	PIOR45=1, PIOR93=0	－	－	0	1	－	－
P107	(LRXD1)	入力	PIOR45=1, PIOR93=0	－	－	1	×	－	0/1
P120	ANI25	入力	－	×	1	1	×	－	×
	TI07	入力	PIOR07=0	×	0	1	×	－	0/1
	INTP4	入力	－	×	0	1	×	－	0/1
	TRDIOD0	入力	PIOR73=0	×	0	1	×	－	0/1
		出力	PIOR73=0	0	0	0	0	－	×
	SO01	出力	PIOR41=0	0/1	0	0	1	－	×
	TO07	出力	PIOR17=0	0	0	0	0	－	×
	(SCK10)	入力	PIOR42=0, PIOR91=1	×	0	1	×	－	0/1
		出力	PIOR42=0, PIOR91=1	0/1	0	0	1	－	×
	(LTXD1)	出力	PIOR45=1, PIOR93=1	0/1	0	0	1	－	×

（備考は，表 4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）の下にあります。）

表4－26　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/8）

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P125	ANI24	入力	－	－	1	1	×	×	×
	TI03	入力	PIOR03=0	－	0	1	×	0	0/1
	INTP1	入力	－	－	0	1	×	0	0/1
	TO03	出力	PIOR13=0	－	0	0	0	×	×
	TRDIOB0	入力	PIOR71=0	－	0	1	×	0	0/1
		出力	PIOR71=0	－	0	0	0	×	×
	SSI01	入力	PIOR41=0	－	0	1	×	0/1	0/1
	SNZOUT1	出力	PIOR61=0	－	0	0	0	×	×
	(LRXD1)	入力	PIOR45=1, PIOR93=1	－	0	1	×	0/1	0/1
P126	(TI01)	入力	PIOR01=1	－	－	1	×	－	－
	(TO01)	出力	PIOR11=1, PIOR90=0	－	－	0	0	－	－
P127	(TI03)	入力	PIOR03=1	－	－	1	×	－	－
	(TO03)	出力	PIOR13=1, PIOR90=0	－	－	0	0	－	－
P130	RESOUT	出力	－	－	－	－	0	－	－
P137	INTP0	入力	－	－	－	－	×	－	－
P140	PCLBUZ0	出力	－	－	－	0	0	－	－
	TRD1RES	入力	－	－	－	1	×	－	－
P150	(SSI11)	入力	PIOR43=1	－	－	1	×	－	0/1
P151	(SO11)	出力	PIOR43=1	－	－	0	1	－	×
P152	(SI11)	入力	PIOR43=1	－	－	1	×	－	0/1
P153	(SCK11)	入力	PIOR43=1	－	－	1	×	－	0/1
		出力	PIOR43=1	－	－	0	1	－	×
P154	(SNZOUT7)	出力	PIOR67=1	－	－	0	0	－	×
P155	(SNZOUT6)	出力	PIOR66=1	－	－	0	0	－	×
P156	(SNZOUT5)	出力	PIOR65=1	－	－	0	0	－	×
P157	(SNZOUT4)	出力	PIOR64=1	－	－	0	0	－	×

備考 1. 表中の略号

×　：don't care
PIORx　：周辺 I/O リダイレクション・レジスタ
POMm　：ポート出力モード・レジスタ
PMCm　：ポート・モード・コントロール・レジスタ
PMm　：ポート・モード・レジスタ
Pm　：ポート・レジスタ
PIMm　：ポート入力モード・レジスタ
PITHLm　：ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，100 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORx，POMm，PMCm，PMm，Pm，PIMm，PITHLm の設定は同様になります。

3. 上表の（）内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定により割り当て可能です。

4.6　ポート機能使用時の注意事項

4.6.1　ポート・レジスタ（Pm）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して 1 ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞　P10は出力ポート，P11-P17は入力ポート（端子状態はすべてハイ・レベル）で，かつポート1の出力ラッチの値が00Hのとき，出力ポートP10の出力を1ビット・メモリ操作命令により「ロウ・レベル」→「ハイ・レベル」とすると，ポート1の出力ラッチの値はFFHになります。

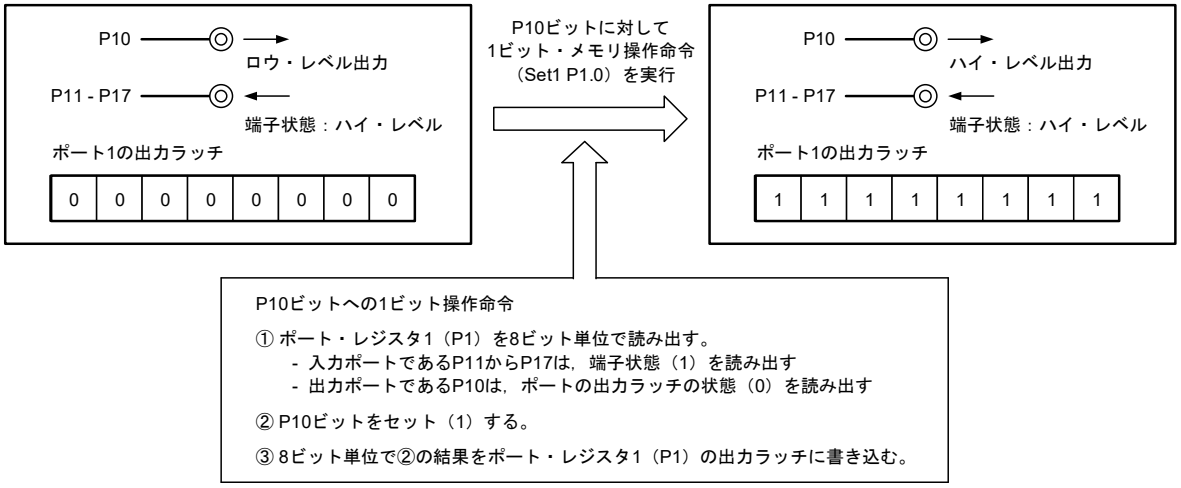
説明：PMmn ビット = 1 であるポートの Pn レジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1 ビット・メモリ操作命令は RL78/F23, F24 内部で，次の順序で行われます。

① Pm レジスタを 8 ビット単位で読み出し
② 対象の 1 ビットを操作
③ Pm レジスタへ 8 ビット単位で書き込み

① のとき出力ポートである P10 は出力ラッチの値（0）を読み出し，入力ポートである P11-P17 は端子状態を読み出します。このとき P11-P17 の端子状態が「ハイ･レベル」とすると，読み出し値は FEH となります。
② の操作で値は FFH となります。
③ の操作で出力ラッチに FFH が書き込まれます。

図 4－97　1 ビット・メモリ操作命令（P10 の場合）



4.6.2　端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺 I/O リダイレクション・レジスタ（PIORx）の設定により，割り当てられた機能も同様です。兼用出力については，「4.5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定」を参照してください。

入力として使用する端子では，兼用機能の出力が無効（バッファ出力が Hi-Z）となるため，処理は不要です。

なお，入力だけや入出力のないブロックを含めて，低消費電力化のために使用しない機能は停止させることをおすすめします。

4.6.3　ポート関連レジスタ設定時の注意事項

以下の場合，ビット操作命令または演算（AND，OR 命令）によってポート・レジスタ（Pm）への書き込みアクセスが実行されると，現在の端子レベル（1 または 0）が他のビットのポート・ラッチに格納されます。

- 端子が入力（PMm レジスタの対応するビットが 1）に設定されている場合，4.6.1 章を参照してください。
- PMS レジスタの PMS0 ビットを 1（端子の出力レベルの読み出し）に設定する場合，端子レベルを読み出すために PMS0 ビットを 1 セットする前に，割り込み禁止（DI）にしてください。

4.6.4　周辺I/Oリダイレクション・レジスタ設定時の注意事項

いくつかの端子機能は，ポートに割り当てる際，複数の周辺 I/O リダイレクション・レジスタ（PIORx）の設定が必要な場合があります。設定時は，その組み合わせに注意してください。

- TO01, TO02, TO03, TO07（タイマ・アレイ・ユニット 0 のタイマ出力端子）

PIOR90 ビットは，複数の端子機能（TO01, TO02, TO03, TO07）をまとめて選択することに注意してください。

端子機能	ポートの割り当て（PIORx レジスタの設定）		
TO01	P30 (PIOR11 = 0)	P126 (PIOR11 = 1, PIOR90 = 0)	P60 (PIOR11 = 1, PIOR90 = 1)
TO02	P16 (PIOR12 = 0)	P67 (PIOR12 = 1, PIOR90 = 0)	P61 (PIOR12 = 1, PIOR90 = 1)
TO03	P125 (PIOR13 = 0)	P127 (PIOR13 = 1, PIOR90 = 0)	P62 (PIOR13 = 1, PIOR90 = 1)
TO07	P120 (PIOR17 = 0)	P44 (PIOR17 = 1, PIOR90 = 0)	P63 (PIOR17 = 1, PIOR90 = 1)

以下については，同時に使用される端子機能にも注意してください。

- SCK10, SI10, SO11（シリアル・アレイ・ユニット 1 の CSI10, CSI11 入出力端子）

端子機能	ポートの割り当て（PIORx レジスタの設定）		
SCK10	P10 (PIOR42 = 0, PIOR91 = 0)	P76 (PIOR42 = 1)	P120 (PIOR42 = 0, PIOR91 = 1)
SI10	P11 (PIOR42 = 0, PIOR91 = 0)	P75 (PIOR42 = 1)	P41 (PIOR42 = 0, PIOR91 = 1)
SO10 注	P12 (PIOR42 = 0)	P74 (PIOR42 = 1)	
SSI10 注	P54 (PIOR42 = 0)	P77 (PIOR42 = 1)	
SCK11 注	P71 (PIOR43 = 0)		P153 (PIOR43 = 1)
SI11 注	P70 (PIOR43 = 0)		P152 (PIOR43 = 1)
SO11	P72 (PIOR43 = 0, PIOR92 = 0)	P32 (PIOR43 = 0, PIOR92 = 1)	P151 (PIOR43 = 1)
SSI11 注	P73 (PIOR43 = 0)		P150 (PIOR43 = 1)

- RXD1（シリアル・アレイ・ユニット 1 の UART1 入力端子）

端子機能	ポートの割り当て（PIORx レジスタの設定）		
RXD1	P11 (PIOR42 = 0, PIOR91 = 0)	P41 (PIOR42 = 0, PIOR91 = 1)	P75 (PIOR42 = 1)
TXD1 注	P12 (PIOR42 = 0)		P74 (PIOR42 = 1)

- LRXD1, LTXD1（RLIN3 チャネル 1 の LIN/UART 入出力端子）

端子機能	ポートの割り当て（PIORx レジスタの設定）		
LRXD1	P11 (PIOR45 = 0)	P107 (PIOR45 = 1, PIOR93 = 0)	P125 (PIOR45 = 1, PIOR93 = 1)
LTXD1	P10 (PIOR45 = 0)	P106 (PIOR45 = 1, PIOR93 = 0)	P120 (PIOR45 = 1, PIOR93 = 1)

注　対象の端子と同時に使用される端子機能を示します。

第5章　クロック発生回路

第 36 章～第 38 章の電気的特性を満たす範囲で使用してください。

サブシステム・クロック用発振子接続端子／外部クロック入力端子の有無は，製品によって異なります。

	32 ピン製品	48, 64, 80, 100 ピン製品
X1, X2 端子	○	○
EXCLK 端子	○	○
XT1, XT2 端子	－	○
EXCLKS 端子	－	○

注意 1.　32 ピン製品には，サブシステム・クロックがありません。

2.　グレード 5 製品では XT1 および XT2 ピン機能を使用しないでください。

5.1　クロック発生回路の機能

クロック発生回路は，CPU および周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

(1)　メイン・システム・クロック

①　X1 発振回路

X1, X2 に発振子を接続することにより，f_X = 2～20 MHz のクロックを発振させることができます。STOP 命令の実行または MSTOP ビット（クロック動作ステータス制御レジスタ（CSC）のビット 7）の設定により，発振を停止することができます。

②　高速オンチップ・オシレータ（高速 OCO）

ユーザ・オプション・バイト（000C2H/040C2H）により，f_{IH} = 80 MHz / 64 MHz / 40 MHz / 32 MHz / 20 MHz / 16 MHz / 8 MHz / 4 MHz / 2 MHz（TYP.）から周波数を選択し，発振させることができます。f_{IH} に 80 MHz / 64 MHz を選択した場合，リセット解除後，f_{CLK} はそれぞれ 40 MHz / 32 MHz になります。CPU は必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP 命令の実行または HIOSTOP ビット（CSC レジスタのビット 0）の設定により，発振を停止することができます。

ユーザ・オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は「図 5－12　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット」を参照してください。

また，EXCLK/X2/P122 端子から外部メイン・システム・クロック（f_{EX} = 2～20 MHz）を供給することができます。STOP 命令の実行または MSTOP ビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

高速システム・クロックは，OSCSEL ビット（クロック動作モード制御レジスタ（CMC）のビット 6）と EXCLK ビット（クロック動作モード制御レジスタ（CMC）のビット 7）の設定により，X1 クロックと外部メイン・システム・クロックを切り替えられます。

メイン・システム・クロックは，MCM0 ビット（システム・クロック制御レジスタ（CKC）のビット 4）の設定により，高速システム・クロック（X1 クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

(2)　PLL クロック

メイン・システム・クロックを，4, 8, 16, 20 MHz に発振させ 3, 4, 5, 6, 8, 10 逓倍に設定させることにより，f_{PLL} = 24, 32, 40, 48, 64, 80 MHz のクロックを発振させることができます。f_{PLL} に 80 MHz / 64 MHz / 48 MHz を設定する場合，f_{CLK} を MDIV2-0 ビット（f_{MP} クロック分周レジスタ（MDIV）のビット 2-0）により 40 MHz / 32 MHz / 24 MHz に設定してください。PLLON ビット（PLL 制御レジスタ（PLLCTL）のビット 0）の設定により，発振を停止することができます。STOP モードに移行する際は，PLLON ビットを 0（PLL 停止）に設定してから移行してください。

備考 1. PLL の入力クロック周波数は，4 MHz, 8 MHz, 16 MHz [注1], 20 MHz [注2] が入力可能です。高速オンチップ・オシレータ・クロックを PLL の入力クロックに設定する場合，高速オンチップ・オシレータ・クロックの発振周波数はユーザ・オプション・バイト（000C2H/040C2H）のビット 4-0（FRQSEL4-0）の設定により 4 MHz, 8 MHz, 16 MHz [注1], 20 MHz [注2] が選択可能です。
ユーザ・オプション・バイトの詳細は「第 31 章　オプション・バイト」を参照してください。

2. PLL クロックの逓倍数は，PLL 制御レジスタ（PLLCTL）のビット 1（PLLMUL），ビット 3（PLLMULA），ビット 4（PLLDIV0）で設定してください。

注 1. PLL の入力クロック周波数を 16 MHz に設定する場合，CKSEL レジスタの FMAINDIV1 ビット，FMAINDIV0 ビットを 10B（2 分周）設定してください。

2. PLL の入力クロック周波数を 20 MHz に設定する場合，CKSEL レジスタの FMAINDIV1 ビット，FMAINDIV0 ビットを 11B（4 分周）設定してください。

(3)　サブシステム・クロック

- XT1 発振回路

XT1, XT2 に 32.768 kHz の発振子を接続することにより，f_{XT} = 32.768 kHz のクロックを発振させることができます。XTSTOP ビット（クロック動作ステータス制御レジスタ（CSC）のビット 6）の設定により，発振を停止することができます。

また，EXCLKS/XT2/P124 端子から外部サブシステム・クロック（f_{EXS} = 32.768 kHz）を供給することができます。XTSTOP ビット（クロック動作ステータス制御レジスタ（CSC）のビット 6）の設定により，外部サブシステム・クロック入力を無効にすることができます。

サブシステム・クロックは，OSCSELS ビット（クロック動作モード制御レジスタ（CMC）のビット 4）と EXCLKS ビット（クロック動作モード制御レジスタ（CMC）のビット 5）と SELLOSC ビット（クロック選択レジスタ（CKSEL）のビット 0）の設定により，XT1 クロックと外部サブシステム・クロックを切り替えられます。

(4)　低速オンチップ・オシレータ（低速 OCO）

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックは，CPU／周辺ハードウェア・クロックに使用できます。

低速オンチップ・オシレータ・クロックで動作するのは，次の周辺ハードウェアのみです。

・クロック・モニタ（f_{IL}）
・タイマ RJ（f_{IL} および f_{SL}）
・タイマ RDe（f_{SL}）
・クロック出力／ブザー出力制御回路（f_{SL}）
・タイマ・アレイ・ユニット 0 のチャネル 1（f_{IL}）

動作スピード・モード制御レジスタ（OSMC）のビット 4（WUTMMCK0）または，クロック選択レジスタ（CKSEL）のビット 0 のどちらか，または両方が“1”のときに動作します。STOP モード時に低速オンチップ・オシレータの発振を停止したい場合，WUTMMCK0 = 0 かつ SELLOSC = 0 に設定してください。

メイン／PLL 選択クロック（f_{MP}）は，SELPLL ビット（PLL 制御レジスタ（PLLCTL）のビット 2）の設定により，メイン・システム・クロック（f_{MAIN}）と PLL クロック（f_{PLL}）を切り替えられます。

サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）は，SELLOSC ビット（クロック選択レジスタ（CKSEL）のビット 0）の設定により，サブシステム・クロック（f_{SUB}）と低速オンチップ・オシレータ（f_{IL}）を切り替えられます。

備考

f_X　：X1 クロック発振周波数
f_{IH}　：高速オンチップ・オシレータ・クロック周波数（最大 80 MHz）注 1, 3
f_{EX}　：外部メイン・システム・クロック周波数
f_{MX}　：高速システム・クロック周波数
f_{MAIN}　：メイン・システム・クロック周波数
f_{XT}　：XT1 クロック発振周波数
f_{EXS}　：外部サブシステム・クロック周波数
f_{SUB}　：サブシステム・クロック周波数
f_{CLK}　：CPU／周辺ハードウェア・クロック周波数
f_{IL}　：低速オンチップ・オシレータ・クロック周波数
f_{SL}　：サブ／低速オンチップ・オシレータ選択クロック周波数
f_{PLL}　：PLL クロック周波数（最大 80 MHz）注 2, 3
f_{MP}　：メイン／PLL 選択クロック周波数（最大 80 MHz）

注 1. f_{IH} を 80 MHz または 64 MHz に設定した場合はリセット解除後，MDIV レジスタ = 01H（f_{MP}/2 を選択）となるようにハードウェアで制御されます。タイマ RDe や RS-CANFD lite に f_{IH} = 80 MHz / 64 MHz を供給する場合は，f_{CLK} を f_{IH} に設定してください。

2. f_{PLL} を 80 MHz または 64 MHz に設定する場合は，MDIV2-0（f_{MP} クロック分周レジスタ（MDIV）のビット 2-0）により，2 MHz～40 MHz に設定してください。タイマ RDe や RS-CANFD lite に f_{PLL} = 80 MHz / 64 MHz を供給する場合は，f_{CLK} を f_{PLL} に設定してください。

3. タイマ RDe や RS-CANFD lite に 80 MHz / 64 MHz を供給する場合は，MDIV レジスタ = 01H（f_{MP}/2 を選択）に設定してください。

注意　CAN クロック（f_{CAN}）に f_{IH} を使用することはできません。

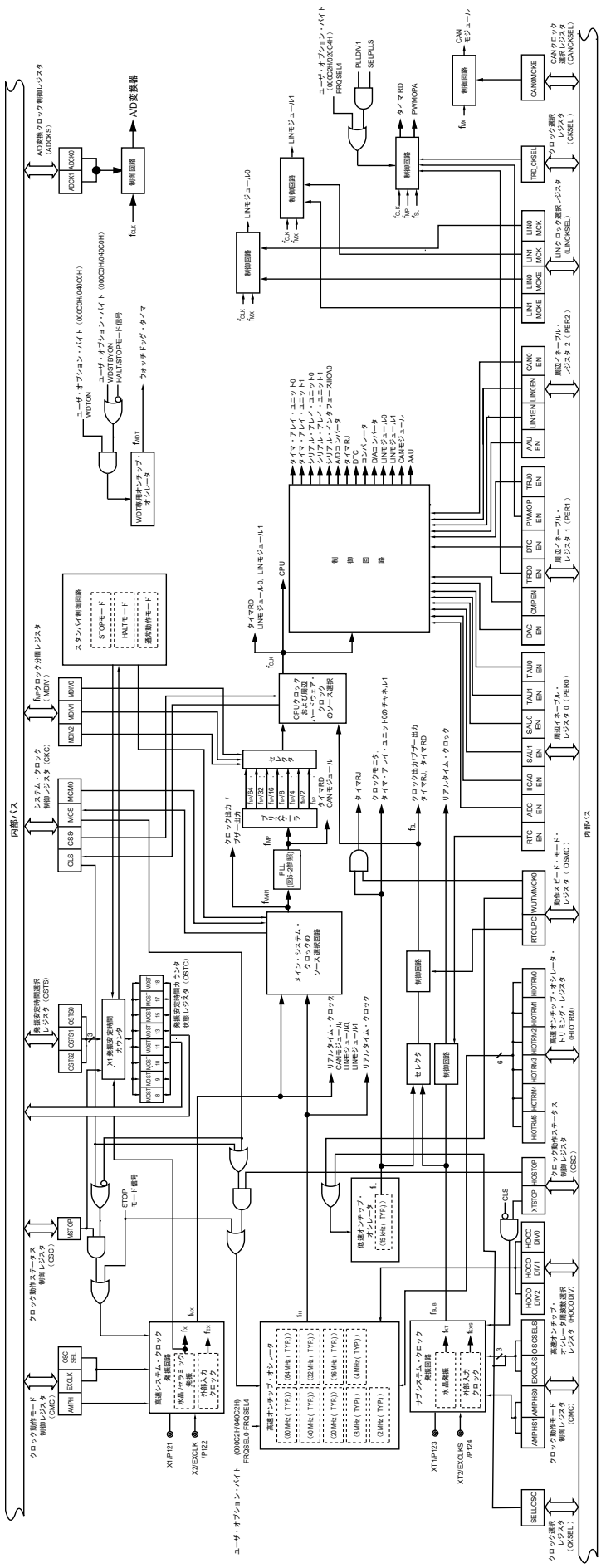
5.2　クロック発生回路の構成

クロック発生回路は，次のハードウェアで構成しています。

表 5－1　クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ（CMC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS） 周辺イネーブル・レジスタ 0, 1, 2（PER0, PER1, PER2） 動作スピード・モード制御レジスタ（OSMC） 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） CAN クロック選択レジスタ（CANCKSEL） LIN クロック選択レジスタ（LINCKSEL） クロック選択レジスタ（CKSEL） PLL 制御レジスタ（PLLCTL） PLL 状態レジスタ（PLLSTS） f_{MP} クロック分周レジスタ（MDIV） A/D 変換クロック制御レジスタ（ADCKS）
発振回路	X1 発振回路 XT1 発振回路 高速オンチップ・オシレータ・クロック 低速オンチップ・オシレータ・クロック

図 5－1　クロック発生回路のブロック図



（備考は次ページにあります。）

備考　f_X　：X1 クロック発振周波数

f_{IH}　：高速オンチップ・オシレータ・クロック周波数（最大 80 MHz）注 1, 3

f_{EX}　：外部メイン・システム・クロック周波数

f_{MX}　：高速システム・クロック周波数

f_{MAIN}　：メイン・システム・クロック周波数

f_{XT}　：XT1 クロック発振周波数

f_{EXS}　：外部サブシステム・クロック周波数

f_{SUB}　：サブシステム・クロック周波数

f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック周波数

f_{SL}　：サブ／低速オンチップ・オシレータ選択クロック周波数

f_{PLL}　：PLL クロック周波数（最大 80 MHz）注 2, 3

f_{MP}　：メイン／PLL 選択クロック周波数（最大 80 MHz）

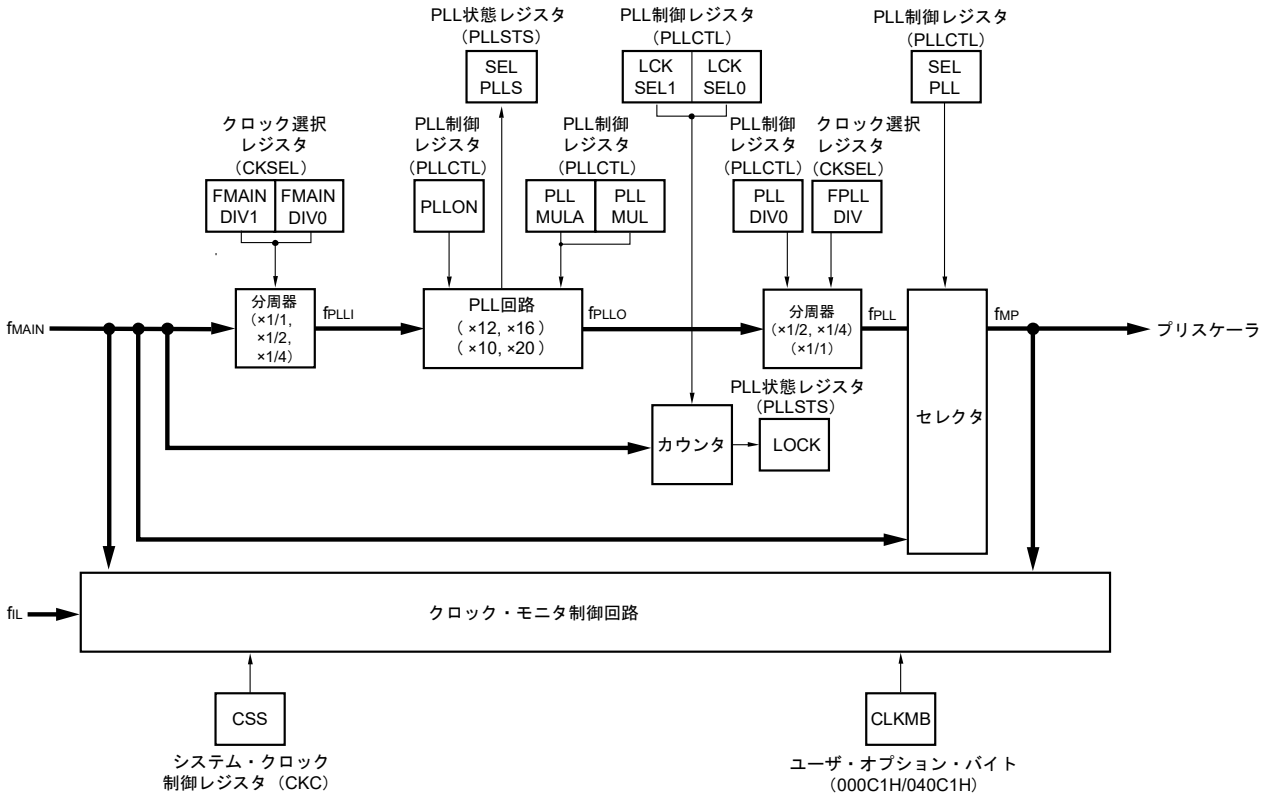
注 1. f_{IH} を 80 MHz または 64 MHz に設定した場合は MDIV レジスタ = 01H（f_{MP} = 2 分周）となるようにハードウェアで制御されます。タイマ RDe や RS-CANFD lite に 80 MHz / 64 MHz を供給する場合は，f_{CLK} を f_{IH} に設定してください。

2. f_{PLL} を 80 MHz または 64 MHz に設定する場合は，MDIV2-0（f_{MP} クロック分周レジスタ（MDIV）のビット 2-0）により，2 MHz～40 MHz に設定してください。タイマ RDe や RS-CANFD lite に f_{PLL} = 80 MHz / 64 MHz を供給する場合は，f_{CLK} を f_{PLL} に設定してください。

3. タイマ RDe や RS-CANFD lite に 80 MHz / 64 MHz を供給する場合は，MDIV レジスタ = 01H（f_{MP}/2 を選択）に設定してください。

注意　CAN クロック（f_{CAN}）に f_{IH} を使用することはできません。

図 5－2　PLL 回路のブロック図



備考　f_{MAIN} ：メイン・システム・クロック

f_{IL} ：低速オンチップ・オシレータ・クロック

f_{PLLI} ：PLL 入力クロック

f_{PLLO} ：PLL 出力クロック

f_{MP} ：メイン／PLL 選択クロック

f_{PLL} ：PLL クロック

5.3　クロック発生回路を制御するレジスタ

表 5－2　クロック発生回路レジスタ構成

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
FFFA0H	クロック動作モード制御レジスタ	CMC	00H	8
FFFA1H	クロック動作ステータス制御レジスタ	CSC	C0H	1, 8
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	00H	1, 8
FFFA3H	発振安定時間選択レジスタ	OSTS	07H	8
FFFA4H	システム・クロック制御レジスタ	CKC	00H	1, 8
F00E0H	A/D 変換クロック制御レジスタ	ADCKS	00H	8
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	注 1	8
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	注 2	8
F00F0H	周辺イネーブル・レジスタ 0	PER0	00H	1, 8
F00F3H	動作スピード・モード制御レジスタ	OSMC	00H	8
F02C0H	周辺イネーブル・レジスタ 1	PER1	00H	1, 8
F02C1H	周辺イネーブル・レジスタ 2	PER2	00H	1, 8
F02C2H	CAN クロック選択レジスタ	CANCKSEL	00H	1, 8
F02C3H	LIN クロック選択レジスタ	LINCKSEL	00H	1, 8
F02C4H	クロック選択レジスタ	CKSEL	00H	1, 8
F02C5H	PLL 制御レジスタ	PLLCTL	00H	1, 8
F02C6H	PLL 状態レジスタ	PLLSTS	00H	1, 8
F02C7H	f_{MP} クロック分周レジスタ	MDIV	00H/01H 注 3	8

注 1. リセット後の値は、出荷時にチップごとに調整された値です。

2. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL2-0 ビットで設定した値です。

3. MDIV レジスタの MDIV0 ビットは，ユーザ・オプション・バイト（000C2H/020C2H）の FRQSEL4 の値が初期値となります。

5.3.1　クロック動作モード制御レジスタ（CMC）

X1/P121，X2/EXCLK/P122 端子および XT1/P123，XT2/EXCLKS/P124 端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMC レジスタは，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は，8 ビット・メモリ操作命令で操作可能です。

CMC レジスタは，IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

リセット信号の発生により，00H になります。

図 5－3　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS 注1	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121 端子	X2/EXCLK/P122 端子
0	0	入力ポート・モード	入力ポート	
0	1	X1 発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

CKSEL レジスタ	CMC レジスタ		サブシステム・クロック端子の動作モード	XT1/P123 端子	XT2/EXCLKS/P124 端子
SELLOSC 注1, 2	EXCLKS	OSCSELS 注1			
x	0	0	入力ポート・モード	入力ポート	
0	0	1	XT1 発振モード	水晶発振子接続	
1	0	1	入力ポート・モード（低速オンチップ・オシレータ動作モード）	入力ポート	
x	1	0	入力ポート・モード	入力ポート	
0	1	1	外部クロック入力モード	入力ポート	外部クロック入力
1	1	1	入力ポート・モード（低速オンチップ・オシレータ動作モード）	入力ポート	

AMPHS1	AMPHS0	XT1 発振回路の発振モード選択 注3	
0	0	低消費発振（デフォルト）	発振余裕度：中
0	1	通常発振	発振余裕度：高
1	0	超低消費発振	発振余裕度：低
1	1	設定禁止	

AMPH	X1 クロック発振周波数の制御
0	2 MHz ≦ fx ≦ 10 MHz
1	2 MHz ≦ fx ≦ 20 MHz

注 1. 32 ピン製品は，サブシステム・クロック（f_{SUB}）は使用できません。CPU／周辺ハードウェア・クロック（f_{CLK}）や周辺機能のクロック源に低速オンチップ・オシレータを選択する場合，SELLOSC ビットを“1”に設定してください。

2. SELLOSC ビットが“1”の場合は，リアルタイム・クロックの入力クロック（f_{RTC}）にサブシステム・クロック（f_{SUB}）を供給できません。

3. XT1 発振回路は，消費電力の低い発振モードになるにつれて，発振余裕度は厳しくなります。

（**注意**を次ページに示します。）

注意 1. CMC レジスタは，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。CMC レジスタを初期値（00H）のまま使用する場合，暴走時の誤動作を防止するためにリセット解除後は必ず 00H に設定してください。

2. リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定で X1 発振または XT1 発振を開始する前に，CMC レジスタを設定してください。

3. X1 クロック発振周波数が 10 MHz を越える場合は，必ず AMPH ビットに“1”を設定してください。
X1 クロック周波数が 2～10 MHz の場合は，AMPH ビットを“1”に設定すると，発振余裕度が向上します。

4. XT1 発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。
   - 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
   - XT1 端子，XT2 端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
   - 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
   - XT1 発振回路の周辺には，できるかぎり V_{SS} と同電位のグランド・パターンを配置してください。
   - XT1 端子，XT2 端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる配線と接近させないでください。
   - 高湿度環境における回路基板の吸湿や，基板上での結露によって XT1 端子と XT2 端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
   - 回路基板上をコーティングする場合は，XT1 端子，XT2 端子間に容量やリークが生じない材料をご使用ください。

5.3.2　システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKC レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

リセット信号の発生により，00H になります。

図 5－4　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　　リセット時：00H　　R/W 注 1

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU／周辺ハードウェア・クロック（f_{CLK}）のステータス
0	メイン／PLL 選択クロック（f_{MP}）
1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）

CSS 注 2, 3	CPU／周辺ハードウェア・クロック（f_{CLK}）の選択
0	メイン／PLL 選択クロック（f_{MP}）を選択
1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）を選択

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0 注 2, 4, 5	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）に高速オンチップ・オシレータ・クロック（f_{IH}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

注 1. ビット 7, 5 は，リード・オンリです。

2. CSS = 1 を設定した状態で，MCM0 ビットの値を変更することは禁止です。

3. 32 ピン製品で CSS = 1 を設定する場合，クロック選択レジスタ（CKSEL）のビット 0（SELLOSC）を 1（f_{IL} を選択）に設定してください。

4. PLLON = 1 を設定した状態で MCM0 ビットの値を変更することは禁止です。

5. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 のときに，MCM0 ビットを“0”から“1”に変更する場合は，タイマ RDe カウント停止（TRDSTR レジスタの TSTART0 および TSTART1 ビットを“0”），クロック出力／ブザー出力を禁止（CKS0 レジスタの PCLOE0 ビットを“0”）の状態で行ってください。

（**注意**および**備考**を次ページに示します。）

注意 1. **ビット 0-3 には，必ず“0”を設定してください。**

2. **CSS ビットで設定したクロックは，CPU と周辺ハードウェアに供給されます。したがって，CPU クロックを変更すると，周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック，クロック出力／ブザー出力，およびウォッチドッグ・タイマは除く）。よって，CPU／周辺ハードウェア・クロックを変更する場合は，各周辺機能を停止してください。**

3. **周辺ハードウェア・クロックとしてサブシステム・クロックおよび低速オンチップ・オシレータが使われている場合，A/D コンバータ，IICA の動作は保証できません。周辺ハードウェアの動作特性については，各周辺ハードウェアの章および第 36 章～第 38 章の電気的特性を参照してください。**

4. **タイマ RDe のカウントソースに f_{MP} を選択する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} を f_{MP} に設定してください。f_{CLK} を f_{MP} 以外のクロックに変更するときは，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をクリアしたあとに変更してください。**

備考　PLL クロックの設定については，「5.6.4　PLL 設定例」を参照してください。

5.3.3　クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSC レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

リセット信号の発生により，C0H になります。

図 5－5　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　　リセット時：C0H　　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1 発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1 発振回路動作	EXCLK 端子からの外部クロック有効	入力ポート
1	X1 発振回路停止	EXCLK 端子からの外部クロック無効	

XTSTOP 注	サブシステム・クロックの動作制御		
	XT1 発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1 発振回路動作	EXCLKS 端子からの外部クロック有効	入力ポート
1	XT1 発振回路停止	EXCLKS 端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注　32 ピン製品で CMC レジスタを設定する場合，XTSTOP ビットを初期値と同じ設定“1”で使用してください。

注意 1.　リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してから CSC レジスタを設定してください。

2.　リセット解除後 MSTOP ビットを 0 に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただし OSTS レジスタを初期値のまま使用する場合は，OSTS レジスタを設定する必要はありません。

3.　MSTOP ビットの設定で X1 発振を開始する場合は，X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

4.　XTSTOP ビットの設定で XT1 発振を開始する場合は，サブシステム・クロックに必要な発振安定時間をソフトウェアにてウェイトしてください。

5.　CPU／周辺ハードウェア・クロック（f_{CLK}）に選択しているクロックは，CSC レジスタで停止させないでください。

6.　クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表 5－3 のようになります。
クロック発振を停止する前に，クロック発振を停止する前の状態を確認してください。

表 5－3　クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSC レジスタ の フラグ設定
X1 クロック 外部メイン・システム・クロック	CPU／周辺ハードウェア・クロックが高速システム・クロックまたは PLL クロック（ソースクロック ＝ 高速システム・クロック）以外で動作（CLS（CKC レジスタのビット 7）= 0 かつ MCS（CKC レジスタのビット 5）= 0，または CLS = 1）	MSTOP = 1
XT1 クロック 外部サブシステム・クロック	CPU／周辺ハードウェア・クロックがサブシステム・クロック以外で動作（CLS = 0 または CLS = 1 かつ SELLOSC（CKSEL レジスタのビット 0）= 1）	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロックまたは PLL クロック（ソースクロック ＝ 高速オンチップ・オシレータ・クロック）以外で動作 （CLS = 0 かつ MCS = 1，または CLS = 1）	HIOSTOP = 1

5.3.4　発振安定時間カウンタ状態レジスタ（OSTC）

X1 クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1 クロックの発振安定時間を確認することができます。

- CPU クロックが高速オンチップ・オシレータ・クロックまたはサブ／低速オンチップ・オシレータ選択クロックで，X1 クロックの発振を開始した場合
- CPU クロックが高速オンチップ・オシレータ・クロックで，X1 クロックも発振している状態で STOP モードに移行し，その後，STOP モードを解除した場合

OSTC レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP 命令，MSTOP ビット（クロック動作ステータス制御レジスタ（CSC）のビット 7）= 1 により，00H になります。

備考　発振安定時間カウンタは，次の場合にカウントを開始します。

・X1 クロック発振開始時（CMC レジスタの EXCLK = 0 かつ OSCSEL = 1 のときに CSC レジスタの MSTOP = 0）

・STOP モードを解除したとき

図 5－6　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									f_X = 10 MHz 時	f_X = 20 MHz 時
0	0	0	0	0	0	0	0	$2^8/f_X$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^8/f_X$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_X$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_X$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_X$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_X$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_X$ 以上	3.27 ms 以上	1.63 ms 以上
1	1	1	1	1	1	1	0	$2^{17}/f_X$ 以上	13.10 ms 以上	6.55 ms 以上
1	1	1	1	1	1	1	1	$2^{18}/f_X$ 以上	26.21 ms 以上	13.10 ms 以上

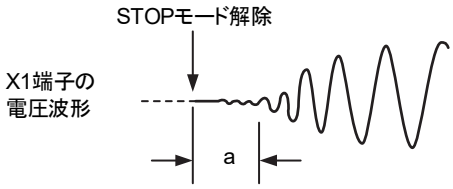
注意 1. 上記時間経過後，MOST8 ビットから順番に“1”となっていき，そのまま“1”を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次のときには，OSTS レジスタの発振安定時間を，OSTC レジスタで確認したいカウント値以上に設定してください。

- **CPU クロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1 クロックの発振を開始したい場合**
- **CPU クロックが高速オンチップ・オシレータ・クロックで，X1 クロックも発振している状態で STOP モードに移行し，その後，STOP モードを解除したい場合**
  （したがって，STOP モード解除後の OSTC レジスタは，OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3. X1 クロックの発振安定時間は，クロック発振を開始するまでの時間（下図 a）は含みません。



5.3.5　発振安定時間選択レジスタ（OSTS）

X1 クロックの発振安定時間を選択するレジスタです。

X1 クロックを発振させる場合，OSTS レジスタで設定した時間を自動でウェイトします。

X1 クロック発振開始後，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTC レジスタでは，あらかじめ OSTS レジスタで設定した時間までの確認ができます。

OSTS レジスタは，8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

リセット信号の発生により，07H になります。

図 5－7　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				fx = 10 MHz 時	fx = 20 MHz 時
0	0	0	2^8/fx	25.6 μs	12.8 μs
0	0	1	2^9/fx	51.2 μs	25.6 μs
0	1	0	2^{10}/fx	102.4 μs	51.2 μs
0	1	1	2^{11}/fx	204.8 μs	102.4 μs
1	0	0	2^{13}/fx	819.2 μs	409.6 μs
1	0	1	2^{15}/fx	3.27 ms	1.63 ms
1	1	0	2^{17}/fx	13.10 ms	6.55 ms
1	1	1	2^{18}/fx	26.21 ms	13.10 ms

注意 1. CPU クロックが X1 クロック時に STOP モードへ移行する場合は，STOP 命令の実行よりも前に OSTS レジスタを設定しておいてください。

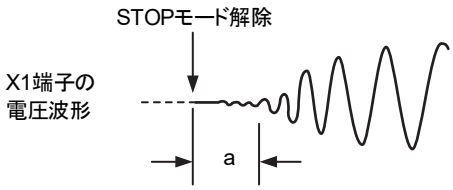
2. OSTS レジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（CSC）の MSTOP ビットを“0”に設定する前に行ってください。

3. X1 クロックの発振安定時間中は，OSTS レジスタを変更しないでください。

4. 発振安定時間カウンタは OSTS レジスタで設定した発振安定時間までしかカウントしません。
次のときには，OSTS レジスタの発振安定時間を，発振開始後に OSTC レジスタで確認したいカウント値以上に設定してください。

- **CPU クロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1 クロックの発振を開始したい場合**
- **CPU クロックが高速オンチップ・オシレータ・クロックで，X1 クロックも発振している状態で STOP モードに移行し，その後，STOP モードを解除したい場合**
  （したがって，STOP モード解除後の OSTC レジスタは，OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

5. X1 クロックの発振安定時間は，クロック発振を開始するまでの時間（下図 a）は含みません。



5.3.6　周辺イネーブル・レジスタ 0, 1, 2（PER0, PER1, PER2）

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット“1”してください。

- リアルタイム・クロック
- A/D コンバータ
- シリアル・インタフェース IICA0
- シリアル・アレイ・ユニット 1
- シリアル・アレイ・ユニット 0
- タイマ・アレイ・ユニット 1
- タイマ・アレイ・ユニット 0
- D/A コンバータ
- コンパレータ
- タイマ RDe
- DTC
- PWM オプション・ユニット
- タイマ RJ
- AAU
- LIN0
- LIN1
- RS-CANFD lite

PER0, PER1, PER2 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。
リセット信号の発生により，00H になります。

図 5－8　周辺イネーブル・レジスタ 0（PER0）のフォーマット（1/3）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN 注1	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN 注1	リアルタイム・クロック（RTC）の入力クロック注2 供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC）で使用する SFR へのライト不可 ・リアルタイム・クロック（RTC）はリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC）で使用する SFR へのリード／ライト可

注 1. RTCEN ビットを“1”に設定する前に RTCCL レジスタの設定をしてください。

2. RTCEN ビットで制御可能な入力クロックは，CPU からリアルタイム・クロック（RTC）で使用するレジスタにアクセスする場合に使用されます。RTCEN ビットで，RTC の動作クロックの供給を制御することはできません。

注意　ビット 6 には必ず“0”を設定してください。

図 5－8　周辺イネーブル・レジスタ 0（PER0）のフォーマット（2/3）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	A/D コンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/D コンバータで使用する SFR へのライト不可 ・A/D コンバータはリセット状態
1	入力クロック供給 ・A/D コンバータで使用する SFR へのリード／ライト可

IICA0EN	シリアル・インタフェース IICA0 の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェース IICA0 で使用する SFR へのライト不可 ・シリアル・インタフェース IICA0 はリセット状態
1	入力クロック供給 ・シリアル・インタフェース IICA0 で使用する SFR へのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット 1 の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット 1 で使用する SFR へのライト不可 ・シリアル・アレイ・ユニット 1 はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット 1 で使用する SFR へのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット 0 の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット 0 で使用する SFR へのライト不可 ・シリアル・アレイ・ユニット 0 はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット 0 で使用する SFR へのリード／ライト可

図 5－8　周辺イネーブル・レジスタ 0（PER0）のフォーマット（3/3）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAU1EN	タイマ・アレイ・ユニット 1 の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット 1 で使用する SFR へのライト不可 ・タイマ・アレイ・ユニット 1 はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット 1 で使用する SFR へのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット 0 の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット 0 で使用する SFR へのライト不可 ・タイマ・アレイ・ユニット 0 はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット 0 で使用する SFR へのリード／ライト可

図 5－9　周辺イネーブル・レジスタ 1（PER1）のフォーマット（1/2）

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN 注1	0	CMPEN 注1	TRD0EN 注2	DTCEN	PWMOPEN	0	TRJ0EN

DACEN 注1	D/A コンバータの入力クロック供給の制御
0	入力クロック供給停止 ・D/A コンバータで使用する SFR へのライト不可 ・D/A コンバータはリセット状態
1	入力クロック供給 ・D/A コンバータで使用する SFR へのリード／ライト可

CMPEN 注1	コンパレータの入力クロック供給の制御
0	入力クロック供給停止 ・コンパレータで使用する SFR へのライト不可 ・コンパレータはリセット状態
1	入力クロック供給 ・コンパレータで使用する SFR へのリード／ライト可

TRD0EN 注2	タイマ RDe の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ RDe で使用する SFR へのライト不可 ・タイマ RDe はリセット状態
1	入力クロック供給 ・タイマ RDe で使用する SFR へのリード／ライト可

注 1. RL78/F24 のみ。

2. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 のときは，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} を f_{IH} に設定してください。f_{CLK} を f_{IH} 以外のクロックに変更するときは，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をクリアしたあとに変更してください。

注意　次のビットには必ず“0”を設定してください。

RL78/F23：ビット 1, 5, 6, 7

RL78/F24：ビット 1, 6

図 5－9　周辺イネーブル・レジスタ 1（PER1）のフォーマット（2/2）

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	PWMOPEN	0	TRJ0EN

DTCEN	DTC の入力クロック供給の制御
0	入力クロック供給停止 ・DTC は動作不可
1	入力クロック供給 ・DTC は動作可

PWMOPEN	PWMOPA の入力クロック供給の制御
0	入力クロック供給停止 ・PWMOPA で使用する SFR へのライト不可 ・PWMOPA はリセット状態
1	入力クロック供給 ・PWMOPA で使用する SFR へのリード／ライト可

TRJ0EN	タイマ RJ0 の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ RJ0 で使用する SFR へのライト不可 ・タイマ RJ0 はリセット状態
1	入力クロック供給 ・タイマ RJ0 で使用する SFR へのリード／ライト可

図 5－10　周辺イネーブル・レジスタ 2（PER2）のフォーマット

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	AAUEN	0	0	LIN1EN 注	LIN0EN	0	CAN0EN 注

AAUEN	AAU の入力クロック供給の制御
0	入力クロック供給停止 ・AAU で使用する SFR へのライト不可 ・AAU はリセット状態
1	入力クロック供給 ・AAU で使用する SFR へのリード／ライト可

LIN1EN 注	LIN1 の入力クロック供給の制御
0	入力クロック供給停止 ・LIN1 で使用する SFR へのライト不可 ・LIN1 はリセット状態
1	入力クロック供給 ・LIN1 で使用する SFR へのリード／ライト可

LIN0EN	LIN0 の入力クロック供給の制御
0	入力クロック供給停止 ・LIN0 で使用する SFR へのライト不可 ・LIN0 はリセット状態
1	入力クロック供給 ・LIN0 で使用する SFR へのリード／ライト可

CAN0EN 注	CAN の入力クロック供給の制御／CAN0 ウェイクアップ割り込みの制御
0	入力クロック供給停止 ・CAN で使用する SFR へのライト不可 ・CAN はリセット状態 CAN0 ウェイクアップ割り込みを禁止
1	入力クロック供給 ・CAN で使用する SFR へのリード／ライト可 CAN0 ウェイクアップ割り込みを許可

注　RL78/F24 製品のみ。

注意　次のビットには必ず“0”を設定してください。

RL78/F23：ビット 0, 1, 3, 4, 5, 7

RL78/F24：ビット 1, 4, 5, 7

5.3.7　動作スピード・モード制御レジスタ（OSMC）

OSMC レジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると，STOP モード時およびサブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時に，周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

OSMC レジスタは，8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

リセット信号の発生により，00H になります。

図 5－11　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0 注	0	0	0	0

RTCLPC	STOP モード時およびサブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時の設定
0	周辺機能へのサブ／低速オンチップ・オシレータ選択クロック供給許可 （動作許可となる周辺機能については，表 23－1 参照）
1	周辺機能へのサブ／低速オンチップ・オシレータ選択クロック供給停止

WUTMMCK0 注	低速オンチップ・オシレータの動作制御
0	低速オンチップ・オシレータ停止
1	低速オンチップ・オシレータ動作

注　低速オンチップ・オシレータを停止する場合は，ビット 4（WUTMMCK0）を“0”かつクロック選択レジスタ（CKSEL）のビット 0（SELLOSC）を“0”に設定してください。

注意　RTCLPC ビットを“1”に設定することで，STOP モード時およびサブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時の消費電流を低減できます。ただし，サブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時は，周辺機能へクロックを供給できなくなります。サブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モードに設定する前に，周辺イネーブル・レジスタ 0（PER0）のビット 7（RTCEN）は“1”に，それ以外の 0-6 ビットは“0”にしてください。

5.3.8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

ユーザ・オプション・バイト（000C2H/040C2H）で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし，ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4, FRQSEL3 ビットの値によって，選択できる周波数が異なります。

HOCODIV は，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期値（ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL2-0 ビットで設定した値）になります。

図 5－12　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　　リセット時：ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL2-0 ビットで設定した値

R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			32 MHz ベース	40 MHz ベース	64 MHz ベース	80 MHz ベース
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 32 MHz	f_{IH} = 40 MHz	f_{IH} = 64 MHz	f_{IH} = 80 MHz
0	0	1	f_{IH} = 16 MHz	f_{IH} = 20 MHz	f_{IH} = 32 MHz	f_{IH} = 40 MHz
0	1	0	f_{IH} = 8 MHz	f_{IH} = 10 MHz	f_{IH} = 16 MHz	f_{IH} = 20 MHz
0	1	1	f_{IH} = 4 MHz	f_{IH} = 5 MHz	f_{IH} = 8 MHz	f_{IH} = 10 MHz
1	0	0	f_{IH} = 2 MHz	設定禁止	f_{IH} = 4 MHz	f_{IH} = 5 MHz
上記以外			設定禁止			

注意 1.　システム・クロックに高速オンチップ・オシレータ・クロックを設定しているときは，HOCODIV レジスタで値を変更してから，3 クロック間は設定前の周波数で動作します。

2.　システム・クロックに X1 発振／外部発振入力／サブシステム・クロック／低速オンチップ・オシレータ・クロックを設定しているときに高速オンチップ・オシレータの周波数を変更する場合は，CSC レジスタのビット 0（HIOSTOP）を“1”にセットし，高速オンチップ・オシレータを停止させてから周波数を変更してください。

3.　X1 発振／外部発振入力を PLL クロックのクロック・ソースに設定かつ PLL クロックをシステム・クロックに設定しているときに高速オンチップ・オシレータの周波数を変更する場合は，CSC レジスタのビット 0（HIOSTOP）を“1”にセットし，高速オンチップ・オシレータを停止させてから周波数を変更してください。

4.　高速オンチップ・オシレータ・クロックを PLL クロックのクロック・ソースに設定かつ PLL クロックをシステム・クロックに設定している場合，HOCODIV レジスタの設定を切り替えないでください。

5.3.9　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し，精度補正することができます。

HIOTRM は，8 ビット・メモリ操作命令で設定します。

注意　精度補正後に温度，V_{DD} 端子電圧に変化があった場合，周波数は変動します。
温度，V_{DD} 電圧が変動する場合は，周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図 5－13　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス：F00A0H　　リセット時：注　　R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
・ ・ ・						
1	1	1	1	1	0	↓
1	1	1	1	1	1	最高速

注　リセット後の値は、出荷時にチップごとに調整された値です。

注意　HIOTRM レジスタは，高速オンチップ発振器を調整するために使用される 6 ビット値を保持します。この値を 1 増加すると周波数が約 0.06%増加します。

5.3.10　CAN クロック選択レジスタ（CANCKSEL）

CAN への X1 クロック（fx）を制御するレジスタです。

CANCKSEL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図 5－14　CAN クロック選択レジスタ（CANCKSEL）のフォーマット

アドレス：F02C2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CANCKSEL	0	0	0	0	0	0	0	CAN0MCKE

CAN0MCKE	CAN の X1 クロック（fx）の供給/停止制御
0	CAN の X1 クロック（fx）を停止
1	CAN の X1 クロック（fx）を供給

備考　本レジスタは RL78/F24 製品のみにあります。

5.3.11　LIN クロック選択レジスタ（LINCKSEL）

LIN への通信クロック源を制御するレジスタです。

LINCKSEL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図 5－15　LIN クロック選択レジスタ（LINCKSEL）のフォーマット

アドレス：F02C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	0	LIN1MCKE 注	LIN0MCKE	0	0	LIN1MCK 注	LIN0MCK

LIN1MCKE 注	LIN1 の通信クロック源の供給／停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN0MCKE	LIN0 の通信クロック源の供給／停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN1MCK 注	LIN1 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

LIN0MCK	LIN0 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

注　RL78/F24 製品のみ。

注意 1.　LINnMCKE (n = 0, 1) を“1”にする前に，LINnMCK で LINn の動作クロックを選択してください。

2.　SNOOZE 時に LINn を動作させる場合，LINnMCK = 0 に設定してください。

3.　LINnMCK を”1”（f_{MX} クロックを選択）で使用する場合，タイム・アウト・エラーを使用しないでください。その場合，f_{CLK} クロックは LIN 通信クロック源の 1.2 倍以上の周波数でご使用ください。

5.3.12　クロック選択レジスタ（CKSEL）

CPU クロック（f_{SUB}/f_{IL}）およびタイマ RJ，タイマ RDe，クロック出力／ブザー出力, PLL カウントソース・クロック分周, PLL 周波数分周のクロックを選択するレジスタです。SELLOSC ビットは，CMC レジスタとの組み合わせによって，サブシステム・クロックの動作モードを設定します。詳細は「図 5－3　クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSEL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図 5－16　クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	FPLLDIV	FMAINDIV1	FMAINDIV0	0	0	TRD_CKSEL	0	SELLOSC 注 5, 6, 7

FPLLDIV	PLL 周波数の分周選択制御
0	PLLCTL レジスタの PLLDIV0 ビットを許可
1	分周なし

FMAINDIV1	FMAINDIV0	PLL 入力クロック（f_{PLLI}）の分周選択
0	0	分周なし
1	0	2 分周（f_{MAIN} = 16 MHz 入力のみ）
1	1	4 分周（f_{MAIN} = 20 MHz 入力のみ）
0	1	設定禁止

TRD_CKSEL	TRDe のクロック選択制御
0	f_{CLK}，f_{MP} 注 1 を選択
1	f_{SL} 注 2 を選択

SELLOSC 注 5, 6, 7	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{SUB} 注 3 を選択および低速オンチップ・オシレータ停止
1	f_{IL} 注 4 を選択および低速オンチップ・オシレータ動作

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 の場合または，PLLCTL レジスタの PLLDIV1 = 1（f_{PLL}＞40 MHz）の場合，TRD_CKSEL ビットを“0”にしてください。
ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 または，PLLCTL レジスタの PLLDIV1 = 1
（f_{PLL}＞40 MHz）の場合，タイマ RDe クロックは f_{MP} となります。

2. タイマ RDe クロックに f_{SL} を選択する場合，周辺イネーブル・レジスタ 1(PER1)の TRD0EN ビットを“1”にする前に，CPU クロックは f_{SL} を選択（CKC レジスタの CSS ビットを“1”）してください。

3. f_{SUB} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ SELLOSC ビットを“0”にした後，CKC レジスタの CSS ビットを“1”にしてください。

注 **4.** f_{IL} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ SELLOSC ビットを“1”にした後，CKC レジスタの CSS ビットを“1”にしてください。

5. SELLOSC ビットを“1”にした場合，低速オンチップ・オシレータが動作します。低速オンチップ・オシレータを停止する場合は，OSMC レジスタの WUTMMCK0 ビットを 0 かつ SELLOSC ビットを“0”にしてください。

6. 32 ピン製品は，サブシステム・クロック（f_{SUB}）を使用できません。CPU／周辺ハードウェア・クロック（f_{CLK}）や周辺機能のクロック源に低速オンチップ・オシレータを選択する場合，SELLOSC ビットを“1”に設定してください。

7. SELLOSC ビットが“1”の場合は，リアルタイム・クロックの入力クロック（f_{RTC}）にサブシステム・クロック（f_{SUB}）を供給できません。

5.3.13　PLL 制御レジスタ（PLLCTL）

PLL 機能を制御するレジスタです。CPU クロックおよび周辺ハードウェア・クロックとしてシステム・クロックを逓倍なしまたは 3, 4, 5, 6, 8, 10, 12, 16, 20 逓倍したクロックを選択することができます。

PLLCTL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図 5－17　PLL 制御レジスタ（PLLCTL）のフォーマット

アドレス：F02C5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0	PLLMULA	SELPLL	PLLMUL	PLLON

LCKSEL1	LCKSEL0	ロックアップ待ちカウンタの設定制御
0	0	128/f_{MAIN} を選択
0	1	256/f_{MAIN} を選択
1	0	512/f_{MAIN} を選択
1	1	1024/f_{MAIN} を選択

PLLDIV1	PLL 出力クロック選択制御
0	f_{PLL}≦40 MHz の場合
1	f_{PLL}＞40 MHz の場合

PLLDIV0	PLL 分周選択制御
0	2 分周
1	4 分周

SELPLL	クロック・モード選択制御
0	クロック・スルー・モード（f_{MAIN}）
1	PLL クロック選択モード（f_{PLL}）

PLLMULA	PLLMUL	PLL 逓倍選択制御
0	0	12 逓倍
0	1	16 逓倍
1	0	10 逓倍
1	1	20 逓倍

PLLON	PLL 動作制御
0	PLL 停止
1	PLL 動作
PLL 動作開始後，周波数安定のためにロックアップ待ち時間が必要となります。	

注意 1.　PLL 出力が安定していない状態（PLLSTS レジスタの LOCK ビット= 0）のとき，SELPLL ビットは書き込み禁止です。

2.　クロック・モニタ機能がメイン／PLL 選択クロックの停止を検出したとき，SELPLL ビットは自動的にクリアされません。

注意 3. クロック・モニタ機能がメイン／PLL 選択クロックの停止を検出したとき，PLLSTS レジスタの SELPLLS ビットは自動的にクリアされます。

4. クロック・モニタ機能が PLL クロックの停止を検出したとき，SELPLL ビットが“1”（SELPLL = 1）に設定されていても，クロック・スルー・モードが継続します。クロックモニタ機能により，クロック・スルー・モードに入ったあと，MCU をリセットしてクロック・スルー・モードを解除してください。

5. ロックアップ待ち時間のカウンタは，40 μs 以上の時間となる設定を選択してください。

6. PLL 動作開始時は，PLL がロックするまで待ち時間が必要になります。

7. PLL 使用時，PLL の入力クロックと逓倍数は以下に示す組み合わせのみ可能です。また，PLL 未使用時（PLLON = 0 または SELPLL = 0）は，2～40 MHz の任意の入力クロックを選択可能です。

PLLCTL レジスタ				CKSEL レジスタ			入力可能周波数（f_{MAIN}）注	PLL 入力クロック（f_{PLLI}）注	逓倍	分周	出力可能周波数（f_{PLL}）注
PLLMULA	PLLMUL	PLLDIV1	PLLDIV0	FMAINDIV1	FMAINDIV0	FPLLDIV					
1	1	0	0	0	0	0	4 MHz ± 2%	4 MHz ± 2%	×20	1/2	40 MHz ± 2%
1	1	1	0	0	0	1	4 MHz ± 2%	4 MHz ± 2%	×20	1/1	80 MHz ± 2%
0	0	0	1	0	0	0	8 MHz ± 2%	8 MHz ± 2%	×12	1/4	24 MHz ± 2%
0	1	0	1	0	0	0	8 MHz ± 2%	8 MHz ± 2%	×16	1/4	32 MHz ± 2%
1	0	0	0	0	0	0	8 MHz ± 2%	8 MHz ± 2%	×10	1/2	40 MHz ± 2%
0	0	1	0	0	0	0	8 MHz ± 2%	8 MHz ± 2%	×12	1/2	48 MHz ± 2%
0	1	1	0	0	0	0	8 MHz ± 2%	8 MHz ± 2%	×16	1/2	64 MHz ± 2%
1	0	1	0	0	0	1	8 MHz ± 2%	8 MHz ± 2%	×10	1/1	80 MHz ± 2%
0	0	0	1	1	0	0	16 MHz ± 2%	8 MHz ± 2%	×12	1/4	24 MHz ± 2%
0	1	0	1	1	0	0	16 MHz ± 2%	8 MHz ± 2%	×16	1/4	32 MHz ± 2%
1	0	0	0	1	0	0	16 MHz ± 2%	8 MHz ± 2%	×10	1/2	40 MHz ± 2%
0	0	1	0	1	0	0	16 MHz ± 2%	8 MHz ± 2%	×12	1/2	48 MHz ± 2%
0	1	1	0	1	0	0	16 MHz ± 2%	8 MHz ± 2%	×16	1/2	64 MHz ± 2%
1	0	1	0	1	0	1	16 MHz ± 2%	8 MHz ± 2%	×10	1/1	80 MHz ± 2%
0	1	1	0	1	1	1	20 MHz ± 2%	5 MHz ± 2%	×16	1/1	80 MHz ± 2%
0	1	0	0	1	1	0	20 MHz ± 2%	5 MHz ± 2%	×16	1/2	40 MHz ± 2%
上記以外							設定禁止				

注意 8. PLLON = 0 のとき，PLLON ビットと SELPLL ビットへの 8 ビット・アクセスによる同時書き換えは禁止です。

9. PLLON ビットをクリア“0”すると，SELPLL ビットも自動的にクリアされます（クロック・スルー・モード）。

10. STOP モードに移行する際は，PLLON = 0 にしてから移行してください。

11. PLLON = 1 に設定した状態で，CKC レジスタの MCM0 ビットの値を変更しないでください。

12. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 の場合，PLLDIV1 = 0（f_{PLL} ≦40 MHz）にしてください。

注意 13. PLLDIV1 = 1（f_{PLL} > 40 MHz）で SELPLL ビットを“1”から“0”に変更するには，SELPLL ビットを変更する前に，タイマ RDe によるカウントを停止（TRDSTR レジスタの TSTART0 ビットと TSTART1 ビットを“0”に設定）し，かつ，CAN を停止（PER2 レジスタの CAN0EN ビットを“0”に設定）します。

14. PLLON ビットが“1”に設定されている間は，LCKSEL1，LCKSEL0，PLLDIV1，PLLDIV0，PLLMULA，および PLLMUL ビットの値を変更しないでください。

注　これらの精度は設計目標値です。

備考　PLLON と SELPLL を設定した場合，PLLSTS レジスタの LOCK，SELPLLS ビットの状態によって f_{PLL} の選択クロックが決まります。PLLON，SELPLL，LOCK，SELPLLS の各状態による f_{PLL} を次に示します。

PLLON	SELPLL	LOCK	SELPLLS	選択クロック（f_{PLL}）
0	0	0	0	メイン・システム・クロック（f_{MAIN}）
1	0	0	0	メイン・システム・クロック（f_{MAIN}）
1	0	1	0	メイン・システム・クロック（f_{MAIN}）
1	1	1	0	メイン・システム・クロック（f_{MAIN}） SELPLL = 1 に設定後，逓倍クロックに切り替わっていない状態
1	1	1	1	PLL クロック（f_{PLL}）
上記以外				設定禁止

5.3.14　PLL 状態レジスタ（PLLSTS）

PLL クロックの動作状態を示すレジスタです。

PLLSTS レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出してください。

リセット信号の発生により，00H になります。

図 5－18　PLL 状態レジスタ（PLLSTS）のフォーマット

アドレス：F02C6H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
PLLSTS	LOCK	0	0	0	SELPLLS	0	0	0

LOCK	PLL ロック状態
0	アンロック状態
1 注	ロック状態
ロックアップ待ちカウンタのオーバフロー時にセット“1”されます。	

SELPLLS	クロック・モードの状態
0	クロック・スルー・モード（f_{MAIN}）
1	PLL クロック選択モード（f_{PLL}）

注　PLL 動作開始時は，PLL がロック状態（LOCK = 1）になるまでの時間が必要になります。

5.3.15　f_{MP} クロック分周レジスタ（MDIV）

f_{MP} クロックを分周（1/2, 1/4, 1/8, 1/16, 1/32, 1/64）するレジスタです。

MDIV レジスタは，8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図 5－19　f_{MP} クロック分周レジスタ（MDIV）のフォーマット

アドレス：F02C7H　　リセット時：00H/01H 注　　R/W

略号	7	6	5	4	3	2	1	0
MDIV	0	0	0	0	0	MDIV2	MDIV1	MDIV0

MDIV2	MDIV1	MDIV0	f_{MP} クロック分周制御
0	0	0	f_{MP} を選択
0	0	1	$f_{MP}/2$ を選択
0	1	0	$f_{MP}/4$ を選択
0	1	1	$f_{MP}/8$ を選択
1	0	0	$f_{MP}/16$ を選択
1	0	1	$f_{MP}/32$ を選択
1	1	0	$f_{MP}/64$ を選択
上記以外			設定禁止

注　MDIV レジスタの MDIV0 ビットはユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 の値が初期値となります。

注意 1.　MDIV レジスタを設定する際は，f_{MP} 分周後の周波数を 2 MHz～40 MHz にしてください。

2.　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 の場合，MDIV2-0 = 001（2 分周）にしてください。ただし，PLL 発振停止検出によるクロック・スルー・モード時は，MDIV2-0 = 001（2 分周）にする必要はありません。

3.　PLLCTL レジスタの PLLDIV1 = 1（f_{PLL} > 40 MHz）の場合，MDIV2-0 = 001（2 分周）にしてください。ただし，PLL 発振停止検出によるクロック・スルー・モード時は，MDIV2-0 = 001（2 分周）にする必要はありません。

4.　f_{IH} に 80 MHz / 64 MHz を選択した場合，MDIV レジスタの初期設定が 2 分周となり，f_{CLK} はそれぞれ 40 MHz / 32 MHz となります。

5.3.16　A/D 変換クロック制御レジスタ（ADCKS）

ADCKS レジスタは，A/D クロック（ADCLK）と周辺ハードウェア・クロック（f_{CLK}）との分周比の設定を行います。A/D 変換を開始する前に ADCKS レジスタを設定してください。

本レジスタは，8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ADCKS レジスタへの書き込みはできません。

リセット信号の発生により 00H になります。

図 5－20　A/D 変換クロック制御レジスタ（ADCKS）のフォーマット

アドレス：F00E0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADCKS	0	0	0	0	0	0	ADCK[1:0]	

ADCK[1:0]	A/D 変換クロック選択ビット
00	分周なし（f_{CLK}）
01	2 分周（f_{CLK}/2）
10	4 分周（f_{CLK}/4）
11	8 分周（f_{CLK}/8）

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

注意　A/D クロック（ADCLK）の周波数が 2 MHz 未満になるような設定は禁止です。

5.4　システム・クロック発振回路

5.4.1　X1 発振回路

X1 発振回路は X1, X2 端子に接続された水晶振動子またはセラミック発振子（2～20 MHz）によって発振します。

また，外部クロックを入力することができます。その場合は EXCLK 端子にクロック信号を入力してください。

X1 発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット 7, 6（EXCLK, OSCSEL）を次のように設定してください。

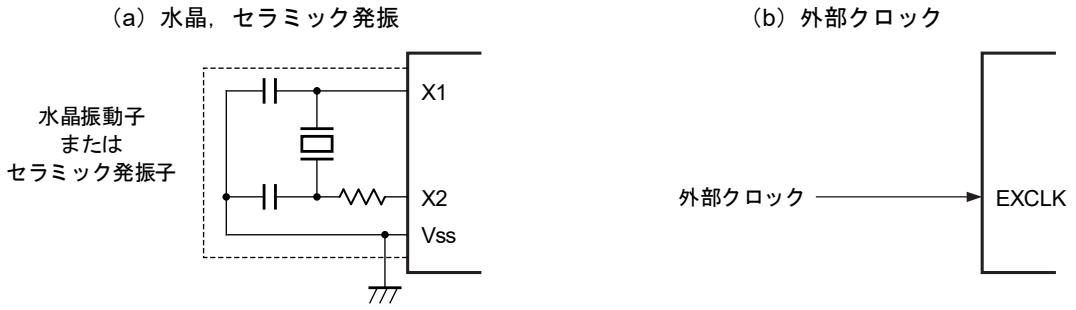
- 水晶，セラミック発振　：EXCLK, OSCSEL = 0, 1
- 外部クロック入力　　：EXCLK, OSCSEL = 1, 1

X1 発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，「2.3　未使用端子の推奨接続」を参照し，未使用端子処理を実施してください。

図 5－21 に X1 発振回路の外付け回路例を示します。

図 5－21　X1 発振回路の外付け回路例



注意を次ページに示します。

5.4.2　XT1 発振回路

XT1 発振回路は XT1, XT2 端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

XT1 発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット 4（OSCSELS）に“1”を設定してください。

また，外部クロックを入力することができます。その場合は EXCLKS 端子にクロック信号を入力してください。XT1 発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット 5, 4（EXCLKS, OSCSELS）を次のように設定してください。

- 水晶発振　　：EXCLKS, OSCSELS = 0, 1
- 外部クロック入力　：EXCLKS, OSCSELS = 1, 1

XT1 発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，「2.3　未使用端子の推奨接続」を参照し，未使用端子処理を実施してください。

図 5－22 に XT1 発振回路の外付け回路例を示します。

図 5－22　XT1 発振回路の外付け回路例

注意　X1 発振回路および XT1 発振回路を使用する場合は，配線容量などの影響を避けるために，図 5－21，図 5－22 の破線の部分を次のように配線してください。

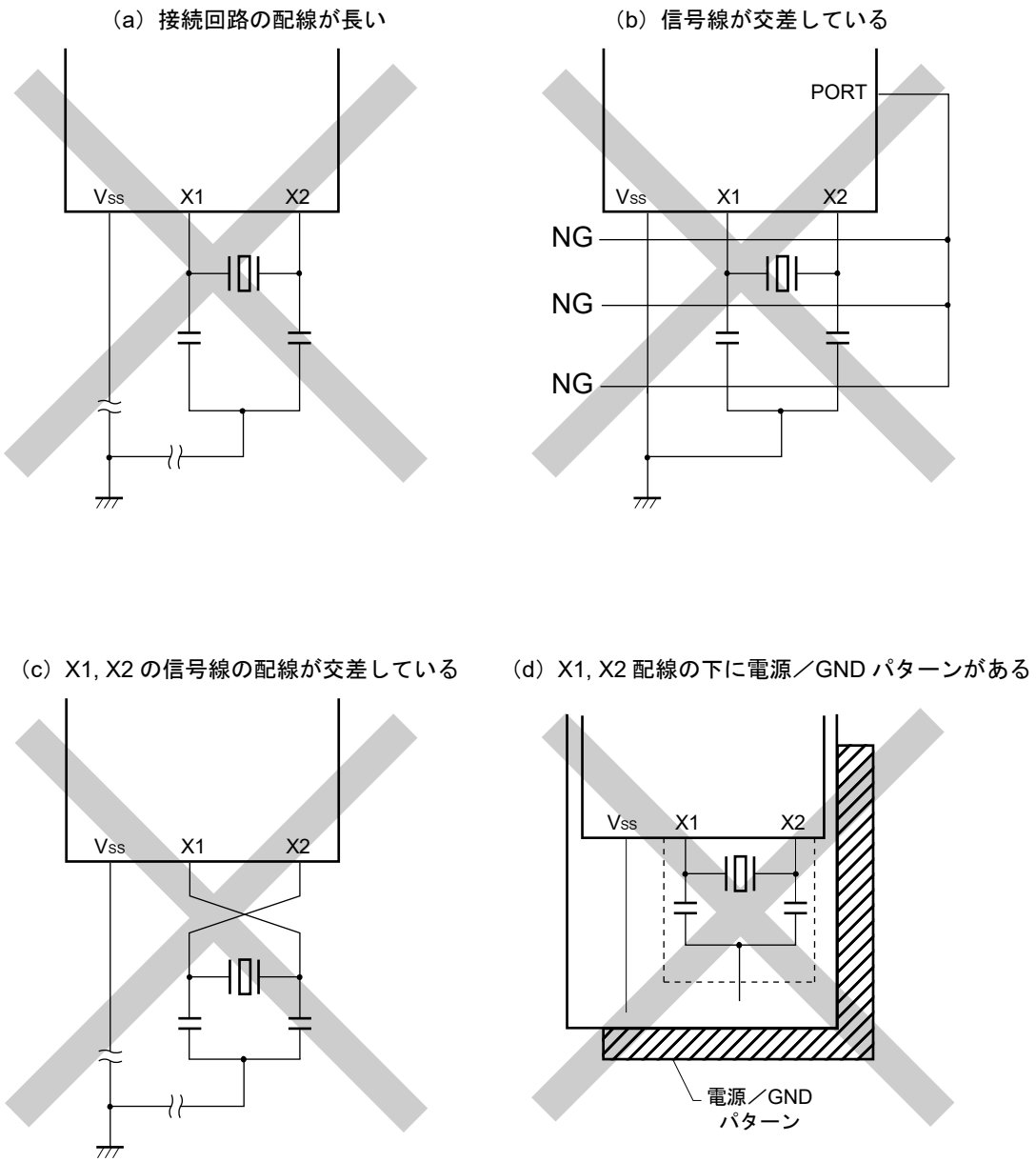
- **配線は極力短くしてください。**
- **他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。**
- **発振回路のコンデンサの接地点は，常に Vss と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。**
- **発振回路から信号を取り出さないでください。**

特に，XT1 発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。

- **端子や回路基板には寄生容量が含まれています。したがって，実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。**
- **XT1 端子，XT2 端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。**
- **回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。**
- **XT1 発振回路の周辺には，できるかぎり Vss と同電位のグランド・パターンを配置してください。**
- **XT1 端子，XT2 端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。**
- **高湿度環境における回路基板の吸湿や，基板上での結露によって XT1 端子と XT2 端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。**
- **回路基板上をコーティングする場合は，XT1 端子，XT2 端子間に容量やリークが生じない材料をご使用ください。**

図 5－23 に発振子の接続の悪い例を示します。

図 5－23　発振子の接続の悪い例（1/2）

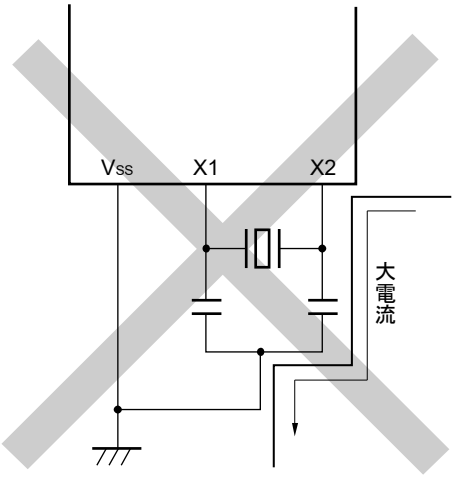


注意　多層基板や両面基板において，X1, X2 端子と発振子の配線部（図中の点線部分）の下には，電源／GND パターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

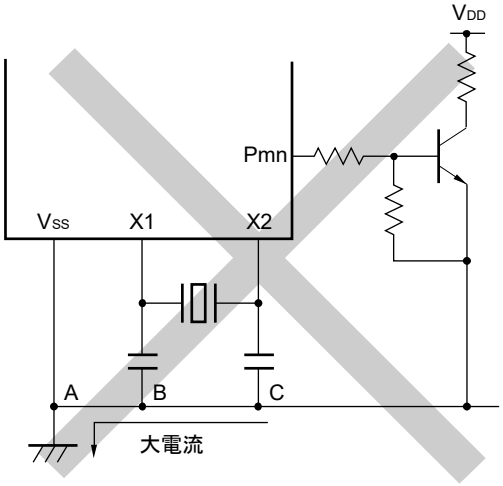
備考　サブシステム・クロックをご使用の場合は，X1, X2 を XT1, XT2 と読み替えてください。また，XT2 側に直列に抵抗を挿入してください。

図 5－23　発振子の接続の悪い例（2/2）

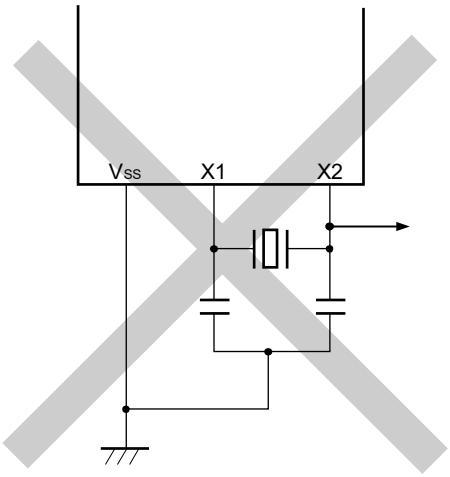
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A 点，B 点，C 点の電位が変動する）



（g）信号を取り出している



注意　X2 と XT1 が平行に配線されている場合，X2 のクロストーク・ノイズが XT1 に相乗し誤動作を引き起こすことがあります。

備考　サブシステム・クロックをご使用の場合は，X1, X2 を XT1, XT2 と読み替えてください。また，XT2 側に直列に抵抗を挿入してください。

5.4.3　高速オンチップ・オシレータ

RL78/F23，F24 は，高速オンチップ・オシレータを内蔵しています。

ユーザ・オプション・バイト（000C2H/040C2H）により，80 MHz，64 MHz，40 MHz，32 MHz，20 MHz，16 MHz，8 MHz，4 MHz，2 MHz から周波数を選択できます。80 MHz，64 MHz を選択した場合は，リセット解除後，CPU クロックは f_{MP} クロック分周レジスタ（MDIV）によって 2 分周した周波数になります。クロック動作ステータス制御レジスタ（CSC）のビット 0（HIOSTOP）により発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4　PLL 回路

RL78/F23, F24 は，PLL 回路を内蔵しています。PLL 制御レジスタ（PLLCTL）のビット 0（PLLON）で動作を制御できます。

5.4.5　低速オンチップ・オシレータ

RL78/F23, F24 は，CPU／周辺ハードウェア・クロックに使用可能な低速オンチップ・オシレータを内蔵しています。

5.4.6　WDT 専用低速オンチップ・オシレータ

RL78/F23, F24 は，WDT 専用低速オンチップ・オシレータを内蔵しています。

WDT 専用低速オンチップ・オシレータ・クロックはウォッチドッグ・タイマのクロックとして使用します。CPU クロックとしては使用できません。

ユーザ・オプション・バイト（000C0H/040C0H）のビット 4（WDTON）が“1”のとき動作します。ウォッチドッグ・タイマ動作中は，WDT 専用低速オンチップ・オシレータの発振は継続します。ウォッチドッグ・タイマ動作時にプログラムが暴走する場合においても，WDT 専用低速オンチップ・オシレータ・クロックが停止することはありません。

5.5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどの CPU の動作モードを制御します（図 5－1 を参照）。

○ メイン・システム・クロック　f_{MAIN}
- 高速システム・クロック　f_{MX}
  - X1 クロック　f_X
  - 外部メイン・システム・クロック　f_{EX}
- 高速オンチップ・オシレータ・クロック　f_{IH}

○ サブシステム・クロック　f_{SUB}
- XT1 クロック　f_{XT}
- 外部サブシステム・クロック　f_{EXS}

○ PLL クロック　f_{PLL}

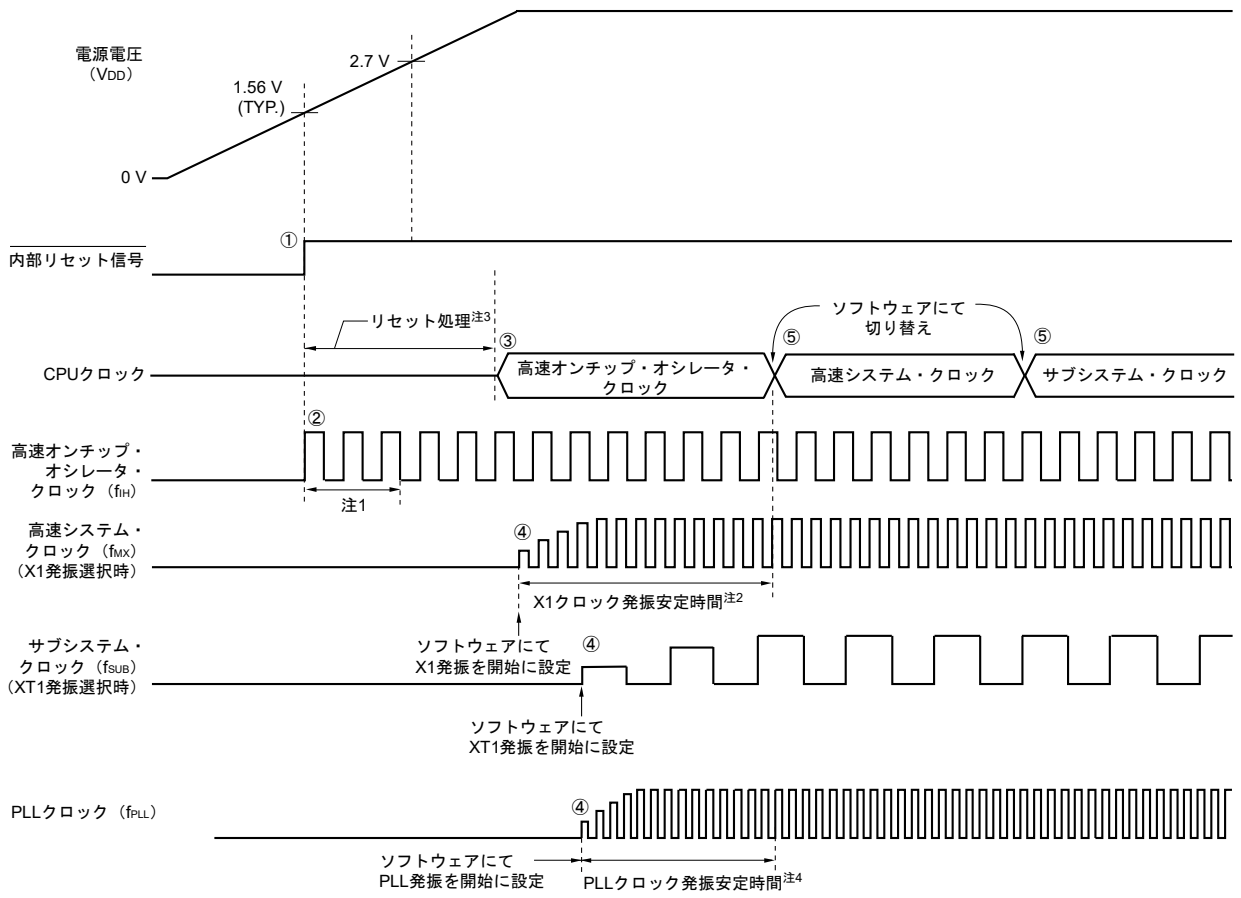
○ 低速オンチップ・オシレータ・クロック　f_{IL}

○ CPU／周辺ハードウェア・クロック　f_{CLK}

注意　サブシステム・クロックは，48 ピン以上の製品のみ。

RL78/F23, F24 では，リセット解除後，CPU は高速オンチップ・オシレータの出力により動作を開始します。電源電圧投入時のクロック発生回路の動作を，図 5－24 に示します。

図 5－24　電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生されます。

② 電源電圧が 1.56 V（TYP.）を越えると，リセットが解除され，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電源／レギュレータの電圧安定待ちなどのリセット処理が行われたのちに，CPU が高速オンチップ・オシレータ・クロックで動作開始します。

④ X1 クロック, XT1 クロック，低速オンチップ・オシレータ, PLL クロックは，ソフトウェアにて発振開始を設定してください（「5.6.2　X1 発振回路の設定例」，「5.6.3　XT1 発振回路の設定例」，「5.6.4 PLL 設定例」，「5.6.5　低速オンチップ・オシレータ設定例」を参照）。

⑤ CPU を X1 クロックまたは XT1 クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウェアにて切り替えを設定してください（「5.6.2　X1 発振回路の設定例」，「5.6.3　XT1 発振回路の設定例」を参照）。

注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2. リセット解除時は，X1 クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3. リセット処理時間は「第 25 章　パワーオン・リセット回路」を参照してください。

4. PLL が動作開始するときは，PLL がロック状態（LOCK = 1）になるまでの時間が必要になります。

注意　EXCLK 端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

5.6　クロックの制御

5.6.1　高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，ユーザ・オプション・バイト（000C2H/040C2H）のFRQSEL0-FRQSEL4により，80 MHz，64 MHz，40 MHz，32 MHz，20 MHz，16 MHz，8 MHz，4 MHz，2 MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により，周波数を変更することもできます。

【ユーザ・オプション・バイト設定】

アドレス：000C2H/040C2H　　リセット時：– (ユーザの設定値)

	7	6	5	4	3	2	1	0
オプション バイト	1	1	RESOUTB 0/1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
					f_{IH}
1	1	0	0	0	80 MHz
1	0	0	0	0	64 MHz
0	1	0	0	0	40 MHz
0	0	0	0	0	32 MHz
0	1	0	0	1	20 MHz
0	0	0	0	1	16 MHz
0	0	0	1	0	8 MHz
0	0	0	1	1	4 MHz
0	0	1	0	0	2 MHz
上記以外					設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H　　リセット時：ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL2-FRQSEL0 で設定した値

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			32 MHz ベース	40 MHz ベース	64 MHz ベース	80 MHz ベース
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 32 MHz	f_{IH} = 40 MHz	f_{IH} = 64 MHz	f_{IH} = 80 MHz
0	0	1	f_{IH} = 16 MHz	f_{IH} = 20 MHz	f_{IH} = 32 MHz	f_{IH} = 40 MHz
0	1	0	f_{IH} = 8 MHz	f_{IH} = 10 MHz	f_{IH} = 16 MHz	f_{IH} = 20 MHz
0	1	1	f_{IH} = 4 MHz	f_{IH} = 5 MHz	f_{IH} = 8 MHz	f_{IH} = 10 MHz
1	0	0	f_{IH} = 2 MHz	設定禁止	f_{IH} = 4 MHz	f_{IH} = 5 MHz
1	0	1	設定禁止	設定禁止	f_{IH} = 2 MHz	設定禁止
上記以外			設定禁止			

5.6.2　X1 発振回路の設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1 発振クロックに変更する場合，クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）で X1 発振クロックを f_{CLK} に設定します。

【レジスタ設定】以下の順に設定してください。

① CMC レジスタの OSCSEL ビットをセット“1”，10 MHz 以上の場合は AMPH ビットをセット“1”して X1 発振回路を動作させます。

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。

（例）10 MHz の発振子で 102.4 μs 以上までウェイトする場合は，以下の値に設定してください。

略号	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

③ CSC レジスタの MSTOP ビットをクリア“0”して X1 発振回路の発振を開始します。

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。

（例）10 MHz の発振子で 102.4 μs 以上までウェイトする場合は，以下の値になるまでウェイトしてください。

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

⑤ CKC レジスタの MCM0 ビットで X1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

⑥ CKC レジスタの MCS ビットで CPU／周辺ハードウェア・クロックに f_{MX}（X1 発振クロック）が選択されていることを確認します（MCS = 1）。

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	1	1	0	0	0	0

5.6.3　XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，XT1 発振クロックに変更する場合，動作スピード・モード制御レジスタ（OSMC），クロック選択レジスタ（CKSEL），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，システム・クロック制御レジスタ（CKC）で XT1 発振クロックを f_{CLK} に設定します。

【レジスタ設定】以下の順に設定してください。

① STOP モードおよびサブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時に OSMC レジスタの RTCLPC ビットで周辺機能へのクロック供給／停止を選択します。
RTCLPC = 0 の場合，周辺機能へサブ／低速オンチップ・オシレータ選択クロックの供給を許可します。
RTCLPC = 1 の場合，周辺機能へサブ／低速オンチップ・オシレータ選択クロックを停止します。

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	 0	 0	WUTMMCK0 0	 0	 0	 0	 0

② CKSEL レジスタの SELLOSC ビットで f_{SUB} を選択します。
SELLOSC = 0 にして f_{SL} を XT1 発振クロックに設定します。

略号	7	6	5	4	3	2	1	0
CKSEL	FPLLDIV 0	FMAINDIV1 0	FMAINDIV0 0	 0	 0	TRD_CKSEL 0	 0	SELLOSC 0

③ CMC レジスタの OSCSELS ビットでサブシステム・クロックの動作モードを選択します。
OSCSELS = 1 にして XT1 発振モードまたは外部クロック入力モードに設定します。

略号	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	 0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0，AMPHS1 ビット：XT1 発振回路の発振モードを設定します。

④ CSC レジスタの XTSTOP ビット= 0 にして XT1 発振回路の発振を開始します。

略号	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 0	 0	 0	 0	 0	 0	HIOSTOP 0

⑤ タイマ機能などを用いて，サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

⑥ CKC レジスタの CSS ビットで CPU／周辺ハードウェア・クロックを選択します。CSS = 1 にして CPU

クロック＝ f_{SL}（XT1 発振クロック）に設定します。

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	1	0	0	0	0	0	0

⑦ CKC レジスタの CLS ビットで CPU／周辺ハードウェア・クロックに f_{SL}（XT1 発振クロック）が選択されていることを確認します（CLS = 1）。

★

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	1	1	0	0	0	0	0	0

5.6.4　PLL 設定例

次の PLL 設定手順を以下に示します。

- PLL クロックを発振して CPU クロックに設定する場合
- PLL クロックを停止する場合

【レジスタ設定】以下の順に設定してください。

(1)　PLL クロックを発振する場合の設定手順例

①　PLLCTL レジスタの PLLDIV1 ビットで PLL 出力クロックの周波数を選択します。
PLL クロック≦40 MHz の場合，PLLDIV1 = 0 に設定してください。
PLL クロック＞40 MHz の場合，PLLDIV1 = 1 に設定してください。

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1 0/1	LCKSEL0 0/1	PLLDIV1 0/1	PLLDIV0 0/1	PLLMULA 0/1	SELPLL 0	PLLMUL 0/1	PLLON 0

②　PLLCTL レジスタの LCKSEL1-0 ビットで PLL ロックアップ待ちカウンタの設定を選択します。
PLL ロックアップ待ち時間のカウンタは，40 μs 以上の時間となる設定を選択します。
PLL のソースクロック（f_{MAIN}）= 4 MHz の場合，LCKSEL1-0 = 01B または LCKSEL1-0 = 10B に設定してください。
PLL のソースクロック（f_{MAIN}）= 8 MHz の場合，LCKSEL1-0 = 10B に設定してください。
PLL のソースクロック（f_{MAIN}）= 16 MHz または 20 MHz の場合，LCKSEL1-0 = 11B に設定してください。

③　CKSEL レジスタの FMAINDIV1-0 ビットで PLL 入力クロックの分周比を選択します。
FMAINDIV1-0 = 10 の場合，PLL 入力クロックの分周比は 2 分周となります。
FMAINDIV1-0 = 11 の場合，PLL 入力クロックの分周比は 4 分周となります。
FMAINDIV1-0 = 00 の場合，PLL 入力クロックは分周しません。

④　PLLCTL レジスタの PLLDIV0 ビットと CKSEL レジスタの FPLLDIV ビットで PLL クロックの分周比を選択します。
PLLDIV0 = 0, FPLLDIV = 0 の場合，PLL クロックの分周比は 2 分周となります。
PLLDIV0 = 1, FPLLDIV = 0 の場合，PLL クロックの分周比は 4 分周となります。
FPLLDIV = 1 の場合，PLL クロックは分周しません。

⑤　PLLCTL レジスタの PLLMUL ビットと PLLMULA ビットで PLL クロックの逓倍を選択します。
PLLMULA = 0, PLLMUL = 0 の場合，PLL の逓倍は 12 逓倍となります。
PLLMULA = 0, PLLMUL = 1 の場合，PLL の逓倍は 16 逓倍となります。
PLLMULA = 1, PLLMUL = 0 の場合，PLL の逓倍は 10 逓倍となります。
PLLMULA = 1, PLLMUL = 1 の場合，PLL の逓倍は 20 逓倍となります。

⑥　PLL の逓倍選択待ちを行います。PLLMUL および PLLMULA を設定後, 1 μs 以上待ってください。

⑦　PLLCTL レジスタの PLLON ビットを 1 に設定すると, PLL クロックは発振を開始します。

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1 0/1	LCKSEL0 0/1	PLLDIV1 0/1	PLLDIV0 0/1	PLLMULA 0/1	SELPLL 0	PLLMUL 0/1	PLLON 1

⑧　PLLSTS レジスタの LOCK ビットで PLL がロック状態（LOCK = 1）であることを確認します。

略号	7	6	5	4	3	2	1	0
PLLSTS	LOCK 1	0	0	0	0	0	0	0

⑨ MDIV レジスタの MDIV ビットを設定して, PLL クロックを 2 MHz～40 MHz に設定してください。

（例）$f_{MP}/2$ を選択する場合は，以下の値に設定してください。

略号	7	6	5	4	3	2	1	0
MDIV						MDIV2	MDIV1	MDIV0
	0	0	0	0	0	0	0	1

⑩ PLLCTL レジスタの SELPLL ビットで PLL クロック・モードを選択します。

SELPLL = 1 にして PLL クロック選択モード（$f_{MP} = f_{PLL}$）に設定します。

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0	PLLMULA	SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0/1	1	0/1	1

⑪ PLLSTS レジスタの SELPLLS ビットで PLL クロック・モードが選択されていることを確認します。

（SELPLLS = 1）

略号	7	6	5	4	3	2	1	0
PLLSTS	LOCK				SELPLLS			
	1	0	0	0	1	0	0	0

(2) PLL クロックを停止する場合の設定手順例

PLL クロックを停止するには，次の方法があります。

- PLLON を 0 に設定し，PLL クロックを停止する場合

① PLLCTL レジスタの SELPLL ビットで PLL クロック・モードを選択します。

SELPLL = 0 にし，クロック・スルー・モード（$f_{PLL} = f_{MAIN}$）に設定します。

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0	PLLMULA	SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0/1	0	0/1	1

② PLLSTS レジスタのクロック・スルー・モードになっていること（SELPLLS = 0）を確認します。

略号	7	6	5	4	3	2	1	0
PLLSTS	LOCK				SELPLLS			
	0/1	0	0	0	0	0	0	0

③ PLLCTL レジスタの PLLON ビットを 0 に設定すると，PLL クロックは発振を停止します。

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0	PLLMULA	SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0/1	0	0/1	0

(3) PLL クロックを停止後，再動作させる場合の注意点

PLL クロックを停止後，再動作させる場合は PLL を停止してから 4 μs 以上待ってから再動作させてください。

5.6.5　低速オンチップ・オシレータ設定例

低速オンチップ・オシレータを CPU クロックに設定する際の設定例を以下に示します。

① CKSEL レジスタの SELLOSC ビットで f_{IL} を選択します。

SELLOSC = 1 にして f_{SL} を低速オンチップ・オシレータに設定します。

略号	7	6	5	4	3	2	1	0
CKSEL	FPLLDIV	FMAINDIV1	FMAINDIV0			TRD_CKSEL		SELLOSC
	0	0	0	0	0	0	0	1

② CMC レジスタの OSCSELS ビットでサブシステム・クロックの動作モードを選択します。

OSCSELS = 1 にして入力ポート・モード（低速オンチップ・オシレータ動作モード）に設定します。

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	0	0	1	0	0/1	0/1	0

③ CKC レジスタの CSS ビットで CPU／周辺ハードウェア・クロックを選択します。

CSS = 1 にして CPU クロック= f_{SL}（低速オンチップ・オシレータ）に設定します。

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	1	0	1	0	0	0	0

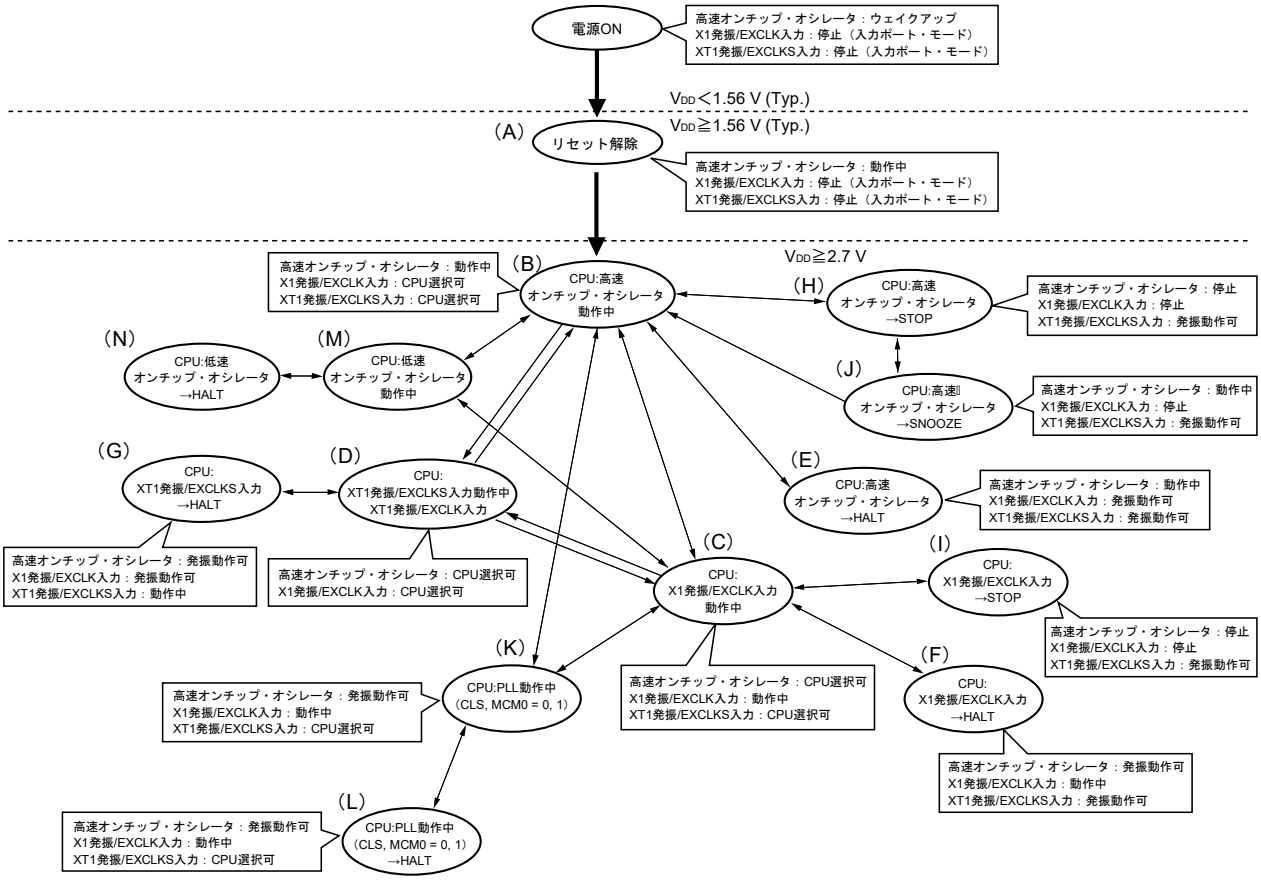
④ CKC レジスタの CLS ビットで CPU／周辺ハードウェア・クロックに f_{SL}（低速オンチップ・オシレータ）が選択されていることを確認します（CLS = 1）。

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	1	1	0	1	0	0	0	0

5.6.6　CPU クロック状態移行図

この製品の CPU クロック状態移行図を図 5－25 に示します。

図 5－25　CPU クロック状態移行図



注意　(B)→(D)→(C)，(C)→(D)→(B)の順での遷移は禁止です。

CPU クロックの移行と SFR レジスタの設定例を以下に示します。

(1)　リセット解除後（A）に CPU を高速オンチップ・オシレータ・クロック動作（B）へ移行

（A）→（B）：SFR レジスタ設定不要（リセット解除後の初期状態）

(2)　CPU を高速オンチップ・オシレータ・クロック（B）から高速システム・クロック（C）へ移行

- CMC レジスタ設定（EXCLK = 0, OSCSEL = 1, AMPH = x）注 1
- OSTS レジスタの設定 注 2
- CSC レジスタの MSTOP = 0
- OSTC レジスタで発振安定時間を確認 注 2
- CKC レジスタの MCM0 = 1
- CKC レジスタの MCS = 1 を確認

注 1. クロック動作モード制御レジスタ（CMC）は，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き換え可能です。

2. 発振安定時間選択レジスタ（OSTS）の発振安定時間は，次のように設定してください。

OSTS レジスタ設定値 ≧ 期待する発振安定時間カウンタ状態レジスタ（OSTC）

(3) CPU を高速オンチップ・オシレータ・クロック（B）または高速システム・クロック（C）からサブシステム・クロック（D）へ移行

・OSMC レジスタの RTCLPC ビットを設定
・CKSEL レジスタの SELLOSC = 0
・CMC レジスタ設定（EXCLKS = x, OSCSELS = 1, AMPHS[1:0] = xx）注
・CSC レジスタの XTSTOP = 0
・発振安定待ち
・CKC レジスタの CSS = 1
・CKC レジスタの CLS = 1 を確認

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き換え可能です。

(4) CPU を高速オンチップ・オシレータ・クロック（B）または高速システム・クロック（C）から低速オンチップ・オシレータ・クロック（M）へ移行

・CKSEL レジスタの SELLOSC = 1
・CMC レジスタ設定（EXCLKS = x, OSCSELS = 1）注
・CKC レジスタの CSS = 1
・CKC レジスタの CLS = 1 を確認

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き換え可能です。

(5) CPU を高速オンチップ・オシレータ・クロック（B）または高速システム・クロック（C）から PLL クロック（K）へ移行

・PLLCTL レジスタ設定（PLLDIV1 = x, LCKSEL[1:0] = xx, PLLDIV0 = x, PLLMUL = x, PLLMULA = x）
　CKSEL レジスタ設定（FPLLDIV = x, FMAINDIV1 = x, FMAINDIV0 = x）
・PLL 逓倍選択待ち（PLLMUL ビットおよび PLLMULA ビット設定後，1 μs 以上待ってください）
・PLLCTL レジスタの PLLON = 1
・PLLSTS レジスタの LOCK = 1 を確認（PLL ロック状態確認）
・MDIV レジスタの MDIV[2:0]ビットを設定
・PLLCTL レジスタの SELPLL = 1
・PLLSTS レジスタの SELPLLS = 1 を確認

(6) CPU を高速システム・クロック（C）から高速オンチップ・オシレータ・クロック（B）へ移行

・CSC レジスタの HIOSTOP = 0 注
・CKC レジスタの MCM0 = 0
・CKC レジスタの MCS = 0 を確認

注　高速オンチップ・オシレータ・クロック停止（HIOSTOP = 1）の状態から発振を開始させた場合は，ソフトウェアで 40 μs 以上，発振精度安定時間（10 μs～40 μs）を待ってからクロックを切り替えてください。

(7) CPU をサブシステム・クロック（D）または低速オンチップ・オシレータ・クロック（M）から高速オンチップ・オシレータ・クロック（B）へ移行

・CSC レジスタの HIOSTOP = 0 注

・CKC レジスタの CSS = 0

・CKC レジスタの CLS = 0 を確認

注　高速オンチップ・オシレータ・クロック停止（HIOSTOP = 1）の状態から発振を開始させた場合は，ソフトウェアで 40 μs 以上，発振精度安定時間（10 μs～40 μs）を待ってからクロックを切り替えてください。

(8) CPU を PLL クロック（K）から高速システム・クロック（C）または高速オンチップ・オシレータ・クロック（B）へ移行

・PLLCTL レジスタの SELPLL = 0

・PLLSTS レジスタの SELPLLS = 0 を確認

(9) CPU をサブシステム・クロック（D）または低速オンチップ・オシレータ・クロック（M）から高速システム・クロック（C）へ移行

・CMC レジスタの設定（EXCLK = 0, OSCSEL = 1, AMPH = x）注1

・OSTS レジスタの設定 注2

・OSTC レジスタで発振安定時間を確認 注2

・CKC レジスタの CSS = 0

・CKC レジスタの CLS = 0 を確認

注 **1.** クロック動作モード制御レジスタ（CMC）は，リセット解除後，8 ビット・メモリ操作命令で 1 回のみ書き換え可能です。

2. 発振安定時間選択レジスタ（OSTS）の発振安定時間は次のように設定してください。
OSTS レジスタ設定値 ＞ 期待する発振安定時間カウンタ状態レジスタ（OSTC）

(10) 各動作モードから HALT モードへの移行

・CPU が高速オンチップ・オシレータ・クロック（B）から HALT モード（E）へ移行

・CPU が高速システム・クロック（C）から HALT モード（F）へ移行

・CPU がサブシステム・クロック（D）から HALT モード（G）へ移行

・CPU が PLL クロック（K）から HALT モード（L）へ移行

・CPU が低速オンチップ・オシレータ・クロック（M）から HALT モード（N）へ移行

－ HALT 命令の実行

(11) CPU が高速オンチップ・オシレータ・クロック（B）から STOP モード（H）へ移行

・STOP モード中に動作させない周辺機能を停止する

・STOP 命令を実行する

(12) CPU が高速システム・クロック（C）から STOP モード（I）へ移行

・STOP モード中に動作させない周辺機能を停止する

・OSTS レジスタの設定 注

・STOP 命令を実行する

注　発振安定時間選択レジスタ（OSTS）の発振安定時間は次のように設定してください。

OSTS レジスタ設定値 ＞ 期待する発振安定時間カウンタ状態レジスタ（OSTC）

(13) STOP モード（H）から SNOOZE モード（J）へ移行

SNOOZE モードへ移行する設定については，「23.3.3　SNOOZE モード」および使用される周辺機能を参照してください。

備考 1. 各モード移行時の SFR レジスタ設定に記載している “x” は，任意（使用される設定）の値です。

2. スタンバイ機能（HALT モード，STOP モード，SNOOZE モード）への遷移，復帰については，「第 23 章　スタンバイ機能」および使用される周辺機能を参照してください。

5.6.7　CPU クロックの移行前の条件と移行後の処理

CPU クロックの移行前の条件と移行後の処理について以下に示します。

表 5－4　CPU クロックの移行について（1/7）

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1 クロック	X1 発振が安定していること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	CPU クロックの切り換わりを確認した後，高速オンチップ･オシレータを停止（HIOSTOP = 1）すると動作電流を低減可能
	外部メイン・システム・クロック	EXCLK 端子からの外部クロック入力を有効にすること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1 クロック	XT1 発振が安定かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・SELLOSC = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS 端子からの外部クロック入力が有効かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 ・SELLOSC = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが発振され，サブ／低速オンチップ・オシレータ選択クロックに低速オンチップ・オシレータ・クロックが選択されていること。 ・OSCSELS = 1, SELLOSC = 1	
	PLL クロック	PLL 発振が安定していること。 ・LOCK = 1, PLLON = 1	高速オンチップ・オシレータが PLL の入力クロックとなっているので停止不可

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表 5－4　CPU クロックの移行について（2/7）

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
X1 クロック	高速オンチップ・オシレータ・クロック	高速オンチップ･オシレータが発振されていること。 ・HIOSTOP = 0	CPU クロックの切り換わりを確認した後, X1 発振停止可能 （MSTOP = 1）
	外部メイン・システム・クロック	移行不可 （変更したい場合は，いったんリセットしてから再設定してください）	－
	XT1 クロック	XT1 発振が安定かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・SELLOSC = 0 ・発振安定時間経過後	CPU クロックの切り換わりを確認した後, X1 発振停止可能 （MSTOP = 1）
	外部サブシステム・クロック	EXCLKS 端子からの外部クロック入力が有効かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 ・SELLOSC = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが発振され，サブ／低速オンチップ・オシレータ選択クロックに低速オンチップ・オシレータ・クロックが選択されていること。 ・OSCSELS = 1, SELLOSC = 1	
	PLL クロック	PLL 発振が安定していること。 ・LOCK = 1, PLLON = 1	X1 クロックが PLL の入力クロックとなっているので停止 不可

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表 5－4　CPU クロックの移行について（3/7）

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ･オシレータが発振されていること。 ・HIOSTOP = 0	CPU クロックの切り換わりを確認した後，外部メイン･システム･クロック入力を無効に設定可能（MSTOP = 1）
	X1 クロック	移行不可 （変更したい場合は，いったんリセットしてから再設定してください）	－
	XT1 クロック	XT1 発振が安定かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・SELLOSC = 0 ・発振安定時間経過後	CPU クロックの切り換わりを確認した後，外部メイン･システム･クロック入力を無効に設定可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS 端子からの外部クロック入力が有効かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 ・SELLOSC = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが発振され，サブ／低速オンチップ・オシレータ選択クロックに低速オンチップ・オシレータ・クロックが選択されていること。 ・OSCSELS = 1, SELLOSC = 1	
	PLL クロック	PLL 発振が安定していること。 ・LOCK = 1, PLLON = 1	外部メイン･システム･クロックが PLL の入力クロックとなっているので停止不可

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表 5－4　CPU クロックの移行について（4/7）

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
XT1 クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	CPU クロックの切り換わりを確認した後，XT1 発振停止可能 （XTSTOP = 1）
	X1 クロック	X1 発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK 端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 0, MCS = 1	
	外部サブシステム・クロック	移行不可 （変更したい場合は，いったんリセットしてから再設定してください）	－
	低速オンチップ・オシレータ・クロック	移行不可 （変更したい場合は，CPU クロックをいったんメイン／PLL 選択クロックにしてから再設定してください）	

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表 5－4　CPU クロックの移行について（5/7）

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	CPU クロックの切り換わりを確認した後，外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	X1 クロック	X1 発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK 端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 0, MCS = 1	
	XT1 クロック	移行不可 （変更したい場合は，いったんリセットしてから再設定してください）	－
	低速オンチップ・オシレータ・クロック	移行不可 （変更したい場合は，CPU クロックをいったんメイン／PLL 選択クロックにしてから再設定してください）	

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表 5－4　CPU クロックの移行について（6/7）

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	CPU クロックの切り換わりを確認した後，低速オンチップ・オシレータ停止可能（SELLOSC = 0, WUTMMCK0 = 0）
	X1 クロック	X1 発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK 端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 1, MCS = 1	
	XT1 クロック	移行不可 （変更したい場合は，CPU クロックをいったんメイン／PLL 選択クロックにしてから再設定してください）	－
	外部サブシステム・クロック	移行不可 （変更したい場合は，CPU クロックをいったんメイン／PLL 選択クロックにしてから再設定してください）	

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表 5－4　CPU クロックの移行について（7/7）

CPU クロック		移行前の条件	移行後の処理
移行前	移行後		
PLL クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	CPU クロックの切り換わりを確認した後，PLL クロック停止可能（PLLON = 0）
	X1 クロック	X1 発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK 端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 0, MCS = 1	

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

5.6.8 CPU クロック，メイン／PLL 選択クロック，メイン・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット 4，6（MCM0，CSS）と f_{MP} クロック分周レジスタ（MDIV）のビット（MDIV0-2）とクロック選択レジスタ（CKSEL）のビット 0（SELLOSC）との設定により，CPU クロックの切り替え（メイン／PLL 選択クロック⇔サブ／低速オンチップ・オシレータ選択クロック），メイン／PLL 選択クロックの切り替え（メイン・クロック⇔PLL クロック），メイン・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔高速システム・クロック），サブ／低速オンチップ・オシレータ選択クロックの切り替え（サブクロック⇔低速オンチップ・オシレータ・クロック）およびメイン／PLL 選択クロックの分周比を変更することができます。

実際の切り替え動作は，CKC，MDIV を書き換えた直後ではなく，CKC，MDIV を変更したのち，数クロックは切り替え前のクロックで動作します。サブ／低速オンチップ・オシレータ選択クロックは CKSEL を書き換えた直後に切り替わります。

CPU クロックがメイン／PLL 選択クロックで動作しているか，サブ／低速オンチップ・オシレータ選択クロックで動作しているかは，CKC のビット 7（CLS）で判定できます。

メイン／PLL 選択クロックがメイン・クロックで動作しているか PLL クロックで動作しているかは，PLL 状態レジスタ（PLLSTS）のビット 3（SELPLLS）で判定できます。

メイン・クロックが高速オンチップ・オシレータ・クロックで動作しているか，高速システム・クロックで動作しているかは，CKC のビット 5（MCS）で判定できます。

CPU クロックを切り替えると，周辺ハードウェア・クロックも同時に切り替わります。

表 5－5　クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	タイプ
f_{MP}	←→（分周比変更）	f_{MP}	タイプ 1（表 5－6）
f_{IH}	←→	f_{MX}	タイプ 2（表 5－7）
f_{MP}	←→	f_{SL}	タイプ 3（表 5－8）
f_{MAIN}	←→	f_{PLL}	タイプ 4（表 5－9）

表 5－6　タイプ 1 で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロック A	クロック B
クロック A		1＋f_A/f_B クロック
クロック B	1＋f_B/f_A クロック	

表 5－7　タイプ 2 で要する最大クロック数（1）注

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0（$f_{MAIN} = f_{IH}$）	1（$f_{MAIN} = f_{MX}$）
0（$f_{MAIN} = f_{IH}$）	$f_{MX} \geqq f_{IH}$		3 クロック
	$f_{MX} < f_{IH}$		3 f_{IH}/f_{MX} クロック
1（$f_{MAIN} = f_{MX}$）	$f_{MX} > f_{IH}$	3 f_{MX}/f_{IH} クロック	
	$f_{MX} \leqq f_{IH}$	3 クロック	

注　$f_{IH} \leqq 40$ MHz の場合。

表 5－7　タイプ 2 で要する最大クロック数（2）注

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0 （f_{MAIN} = f_{IH}）	1 （f_{MAIN} = f_{MX}）
0 （f_{MAIN} = f_{IH}）		6 f_{IH}/f_{MX} クロック
1 （f_{MAIN} = f_{MX}）	3 クロック	

注　f_{IH} ＞ 40 MHz の場合。

表 5－8　タイプ 3 で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 （f_{CLK} = f_{MP}）	1 （f_{CLK} = f_{SL}）
0 （f_{CLK} = f_{MP}）		1＋2 f_{MP}/f_{SL} クロック
1 （f_{CLK} = f_{SL}）	3 クロック	

表 5－9　タイプ 4 で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
SELPLL	SELPLL	
	0 （f_{MP} = f_{MAIN}）	1 （f_{MP} = f_{PLL}）
0 （f_{MP} = f_{MAIN}）		2 クロック
1 （f_{MP} = f_{PLL}）	2 f_{PLL}/f_{MAIN} クロック	

備考 1.　表 5－6 から表 5－9 のクロック数は，切り替え前の CPU クロックのクロック数です。

2.　表 5－6 から表 5－9 のクロック数は，小数点以下を切り上げてください。

例：メイン・クロックを高速オンチップ・オシレータ・クロック（16 MHz 選択時）から高速システム・クロックに切り替える場合

（f_{IH} = 16 MHz, f_{MX} = 10 MHz 発振時）

3 f_{IH}/f_{MX} = 3×1.6 = 4.8 → 5 クロック

5.6.9　クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロック発振を停止する前に，クロック発振を停止する前の状態を確認してください。

表 5－10　クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFR レジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1 または CLS = 1 （CPU クロックが高速オンチップ・オシレータ・クロック以外で動作）	HIOSTOP = 1
X1 クロック 外部メイン・システム・クロック	MCS = 0 または CLS = 1 （CPU クロックが高速システム・クロック以外で動作）	MSTOP = 1
PLL クロック	SELPLLS = 0 （CPU クロックが PLL クロック以外で動作）	PLLON = 0
XT1 クロック 外部サブシステム・クロック	CLS = 0 （CPU クロックがサブ／低速オンチップ・オシレータ・クロック以外で動作）	XTSTOP = 1
低速オンチップ・オシレータ・クロック	CLS = 0 （CPU クロックがサブ／低速オンチップ・オシレータ・クロック以外で動作）	SELLOSC = 0 かつ WUTMMCK0 = 0

備考　MCS　：システム･クロック制御レジスタ（CKC）のビット 5
CLS　：システム・クロック制御レジスタ（CKC）のビット 7
HIOSTOP　：クロック動作ステータス制御レジスタ（CSC）のビット 0
XTSTOP　：クロック動作ステータス制御レジスタ（CSC）のビット 6
MSTOP　：クロック動作ステータス制御レジスタ（CSC）のビット 7
SELPLLS　：PLL 状態レジスタ（PLLSTS）のビット 3
PLLON　：PLL 制御レジスタ（PLLCTL）のビット 0
SELLOSC　：クロック選択レジスタ（CKSEL）のビット 1
WUTMMCK0　：動作スピード・モード制御レジスタ（OSMC）のビット 4

5.7　注意事項

5.7.1　CPU／周辺ハードウェア・クロックについて

CSS, MCM0, SELPLL, MDIV2-0 ビットで設定されたクロックは，CPU および周辺ハードウェアに供給されるため，CPU クロックを変更すると，周辺ハードウェアへのクロックも同時に変更されます。したがって，CPU／周辺ハードウェア・クロックを変更する場合は，各周辺機能を停止してから設定してください。

5.7.2　高速オンチップ・オシレータについて

FRQSEL3 = 0（高速オンチップ・オシレータ = 64 / 32 / 16 / 8 / 4 / 2 MHz）設定時，かつ CPU／周辺ハードウェア・クロックを PLL クロックに選択する場合は，CPU／周辺ハードウェア・クロック周波数（f_{CLK}）を 40 MHz に設定しないでください。

5.7.3　サブシステム／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）使用時の注意について

下表に示す「遷移後のクロック状態」で使用する場合は，クロック遷移する前に，A/D コンバータのアナログ部をスタンバイ状態にしてください。

遷移前のクロック状態	高速システム・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}），またはPLLクロック（f_{PLL}）でCPU動作
遷移後のクロック状態	サブシステム／低速オンチップ・オシレータ・クロック（f_{SL}）でCPU動作中に，高速システム・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}），およびPLLクロック（f_{PLL}）が停止

A/D コンバータのアナログ部をスタンバイ状態に設定する手順：

(i)　PER0 レジスタの ADCEN ビットを“1”に設定します（すでに設定されている場合は不要）。

(ii)　ADHVREFCNT レジスタの ADSLP ビットを“1”（A/D コンバータのアナログ部をスタンバイ状態）に設定します。

注意　ADCEN ビットが“0”（A/D コンバータの入力クロック供給停止）設定で，「遷移後のクロック状態」に遷移させないでください。

第6章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのユニット，チャネル数は，製品によって異なります。

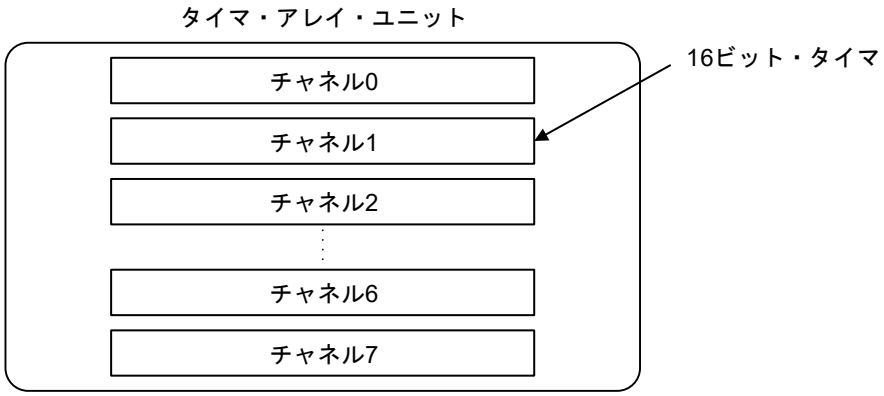
ユニット	チャネル	RL78/F24	RL78/F23
ユニット 0	チャネル 0	○	○
	チャネル 1	○	○
	チャネル 2	○	○
	チャネル 3	○	○
	チャネル 4	○	○
	チャネル 5	○	○
	チャネル 6	○	○
	チャネル 7	○	○
ユニット 1	チャネル 0	○	○
	チャネル 1	○	○
	チャネル 2	○	○
	チャネル 3	○	○
	チャネル 4	○	－
	チャネル 5	○	－
	チャネル 6	○	－
	チャネル 7	○	－

注意 1. タイマ入出力端子の有無は製品によって異なります。詳細は「表 6－2　各製品に搭載しているタイマ入出力端子」を参照してください。

2. この章では，以降の主な説明を RL78/F24 の製品の場合で説明しています。

タイマ・アレイ・ユニットは 8 個の 16 ビット・タイマを搭載しています。

各 16 ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ（→ 6.7.1 参照） ・方形波出力（→ 6.7.1 参照） ・外部イベント・カウンタ（→ 6.7.2 参照） ・分周器機能（→ 6.7.3 参照） ・入力パルス間隔測定（→ 6.7.4 参照） ・入力信号のハイ／ロウ・レベル幅測定（→ 6.7.5 参照） ・ディレイ・カウンタ（→ 6.7.6 参照）	・ワンショット・パルス出力（→ 6.8.1 参照） ・PWM 出力（→ 6.8.2 参照） ・多重 PWM 出力（→ 6.8.3 参照）

ユニット 0, 1 のチャネル 1, 3 の 16 ビット・タイマを 2 つの 8 ビット・タイマ（上位／下位）として使用することもできます。チャネル 1, 3 が 8 ビット・タイマとして使用できる機能は，次の機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能（下位 8 ビット・タイマのみ）
- ディレイ・カウント機能（下位 8 ビット・タイマのみ）

また，タイマ・アレイ・ユニット 0 のチャネル 7 は，シリアル・アレイ・ユニットの UART0 と連携し，LIN-bus 通信動作を実現することができます。

6.1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

6.1.1　単独チャネル動作機能

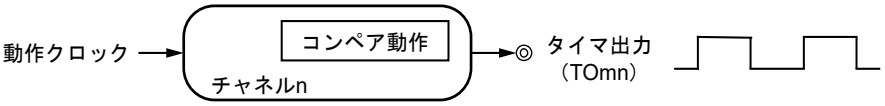
単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

(1)　インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

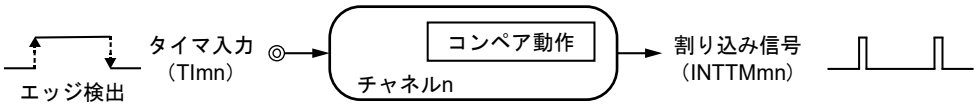
(2)　方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い，デューティ 50%の方形波をタイマ出力端子（TOmn）より出力します。



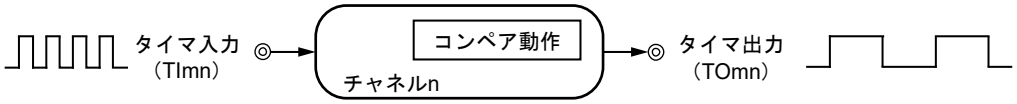
(3)　外部イベント・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



(4)　分周器機能

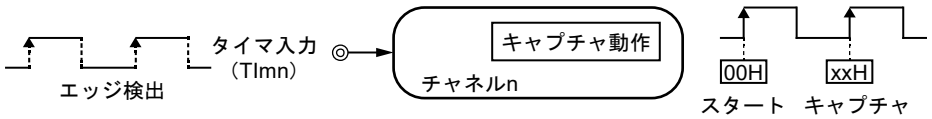
タイマ入力端子（TImn）から入力されたクロックを分周して出力端子（TOmn）より出力します。



周辺 I/O リダイレクション・レジスタ 0, 1, 2, 3, 9（PIOR0, 1, 2, 3, 9）で TImn と TOmn は別端子に設定してください。

(5)　入力パルス間隔測定

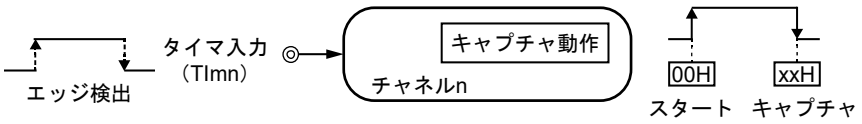
タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



（**備考**が次のページにあります。）

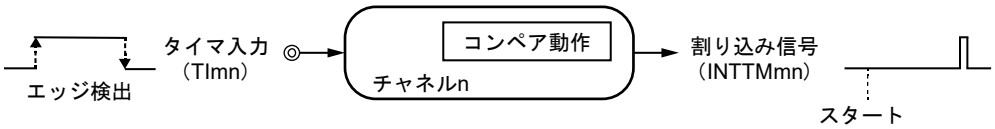
(6)　入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



(7)　ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. チャネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は「表 6－2　各製品に搭載しているタイマ入出力端子」を参照してください。

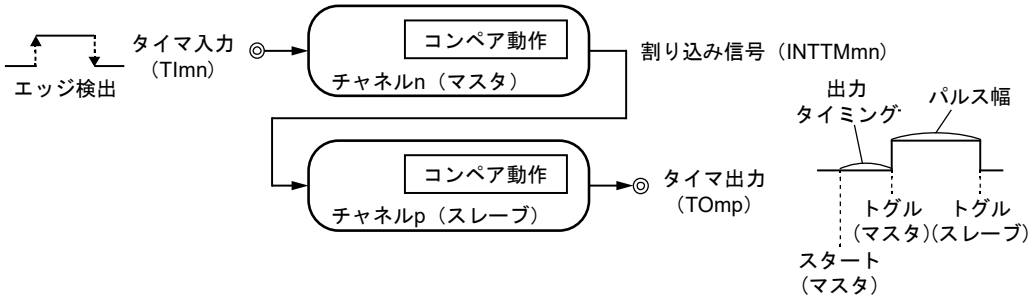
6.1.2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

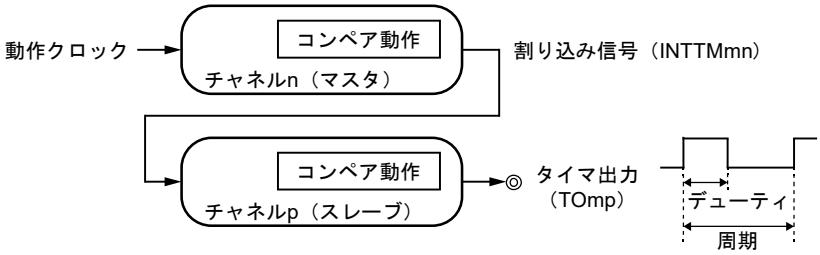
(1)　ワンショット・パルス出力

2 チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



(2)　PWM（Pulse Width Modulation）出力

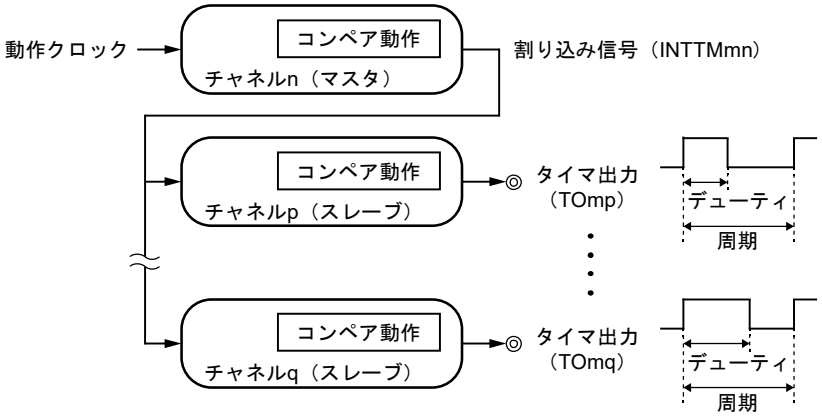
2 チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（**注意**と**備考**が次のページにあります。）

(3)　多重 PWM（Pulse Width Modulation）出力

PWM 機能を拡張し，1 つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティの PWM 信号を最大 7 種類生成することができます。



注意　複数チャネル連動動作機能の使用にあたっては，いくつかのルールがあります。詳細は「6.4.1　複数チャネル連動動作機能の基本ルール」を参照してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7），
p, q：スレーブ・チャネル番号（n＜p＜q≦7）

6.1.3　8 ビット・タイマ動作機能（チャネル 1, 3 のみ）

8 ビット・タイマ動作機能は，16 ビット・タイマのチャネルを 8 ビット・タイマの 2 チャネル構成として使用する機能です。チャネル 1, 3 のみが使用できます。

注意　8 ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。
詳細は「6.4.2　8 ビット・タイマ動作機能の基本ルール（チャネル 1, 3 のみ）」を参照してください。

6.1.4　LIN-bus 対応機能（ユニット 0 のチャネル 7 のみ）

LIN-bus 通信機能において，受信信号が LIN-bus の通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1)　ウェイクアップ信号の検出

UART0 のシリアル・データ入力端子（RXD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウェイクアップ信号と認識します。

(2)　シンク・ブレーク・フィールドの検出

ウェイクアップ信号検出後，UART0 のシリアル・データ入力端子（RXD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，シンク・ブレーク・フィールドと認識します。

(3)　シンク・フィールドのパルス幅測定

シンク・ブレーク・フィールド検出後，UART0 のシリアル・データ入力端子（RXD0）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus 対応機能の動作設定については「6.7.5　入力信号のハイ／ロウ・レベル幅測定としての動作」を参照してください。

6.2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウェアで構成されています。

表 6－1　タイマ・アレイ・ユニットの構成

項目	構成
タイマ／カウンタ	タイマ・カウンタ・レジスタ mn（TCRmn）
レジスタ	タイマ・データ・レジスタ mn（TDRmn）
タイマ入力	TI00-TI07, TI10-TI17 注1，RXD0 端子（LIN-bus 用）
タイマ出力	TO00-TO07, TO10-TO17 注1，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ 0（PER0） ・タイマ・クロック選択レジスタ m（TPSm） ・タイマ・チャネル許可ステータス・レジスタ m（TEm） ・タイマ・チャネル開始レジスタ m（TSm） ・タイマ・チャネル停止レジスタ m（TTm） ・タイマ入力選択レジスタ 0（TIS0） ・タイマ入力選択レジスタ 1（TIS1） ・タイマ入力選択レジスタ 2（TIS2） ・タイマ出力許可レジスタ m（TOEm） ・タイマ出力レジスタ m（TOm） ・タイマ出力レベル・レジスタ m（TOLm） ・タイマ出力モード・レジスタ m（TOMm） ・PWM 出力遅延制御レジスタ 1（PWMDLY1） ・PWM 出力遅延制御レジスタ 2（PWMDLY2）注3
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタ mn（TMRmn） ・タイマ・ステータス・レジスタ mn（TSRmn） ・ノイズ・フィルタ許可レジスタ 1, 2（NFEN1, NFEN2） ・ポート・モード・レジスタ（PMxx）注2 ・ポート・レジスタ（Pxx）注2

注 1. ユニットのチャネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は「表 6－2　各製品に搭載しているタイマ入出力端子」を参照してください。

2. 製品によって設定するポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）が異なります。詳細は「6.3.16　ポート・モード・レジスタ 0, 1, 3, 4, 5, 6, 7, 12（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12）」を参照してください。

3. 製品によってビット割り当てが異なります。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

タイマ・アレイ・ユニットの各チャネルのタイマ入出力端子の有無は，製品によって異なります。

表 6－2　各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャネル		各製品の入出力端子の有無 注2	
		RL78/F24	RL78/F23
ユニット 0	チャネル 0	P17/TI00/TO00, P66/(TI00)/(TO00)	
	チャネル 1	P30/TI01/TO01, P126/(TI01)/(TO01), P60/(TO01)	
	チャネル 2	P16/TI02/TO02, P67/(TI02)/(TO02), P61/(TO02)	
	チャネル 3	P125/TI03/TO03, P127/(TI03)/(TO03), P62/(TO03)	
	チャネル 4	P13/TI04/TO04, P01/(TI04)/(TO04)	
	チャネル 5	P15/TI05/TO05, P00/(TI05)/(TO05)	
	チャネル 6	P14/TI06/TO06, P02/(TI06)/(TO06)	
	チャネル 7	P120/TI07/TO07, P44/(TI07)/(TO07), P63/(TO07)	
ユニット 1	チャネル 0	P41/TI10/TO10, P45/(TI10)/(TO10)	
	チャネル 1	P12/TI11/TO11, P54/(TI11)/(TO11)	
	チャネル 2	P11/TI12/TO12, P46/(TI12)/(TO12)	
	チャネル 3	P10/TI13/TO13, P55/(TI13)/(TO13)	
	チャネル 4	P31/TI14/TO14, P64/(TI14)/(TO14) 注1	×
	チャネル 5	P70/TI15/TO15, P56/(TI15)/(TO15) 注1	×
	チャネル 6	P32/TI16/TO16, P65/(TI16)/(TO16) 注1	×
	チャネル 7	P71/TI17/TO17, P57/(TI17)/(TO17) 注1	×

注 1. この端子を使用する TAU 機能は，32 ピンの RL78/F24 製品では使用できません。そのため，32 ピンの RL78/F24 製品で利用できる機能は次のように制限されます。

- インターバル・タイマ機能は利用できます。
- TAU1のチャネル7および6で使用されるタイマ入力のクロック・ソースにRTC1HZ出力信号を選択すると，外部イベント・カウンタ，入力パルス間隔測定，入力信号の高/低レベル幅の測定，遅延カウンタなどの機能も利用できます。

2. TImn および TOmn に割り当てられる I/O 端子は，周辺 I/O リダイレクション・レジスタ 0, 1, 2, 3, 9（PIOR0, 1, 2, 3, 9）を設定することで選択できます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）
PIOR0，1，2，3，9 レジスタの詳細については，以下のセクションを参照してください。
「4.3.8　周辺 I/O リダイレクション・レジスタ 0（PIOR0）」
「4.3.9　周辺 I/O リダイレクション・レジスタ 1（PIOR1）」
「4.3.10　周辺 I/O リダイレクション・レジスタ 2（PIOR2）」
「4.3.11　周辺 I/O リダイレクション・レジスタ 3（PIOR3）」
「4.3.17　周辺 I/O リダイレクション・レジスタ 9（PIOR9）」

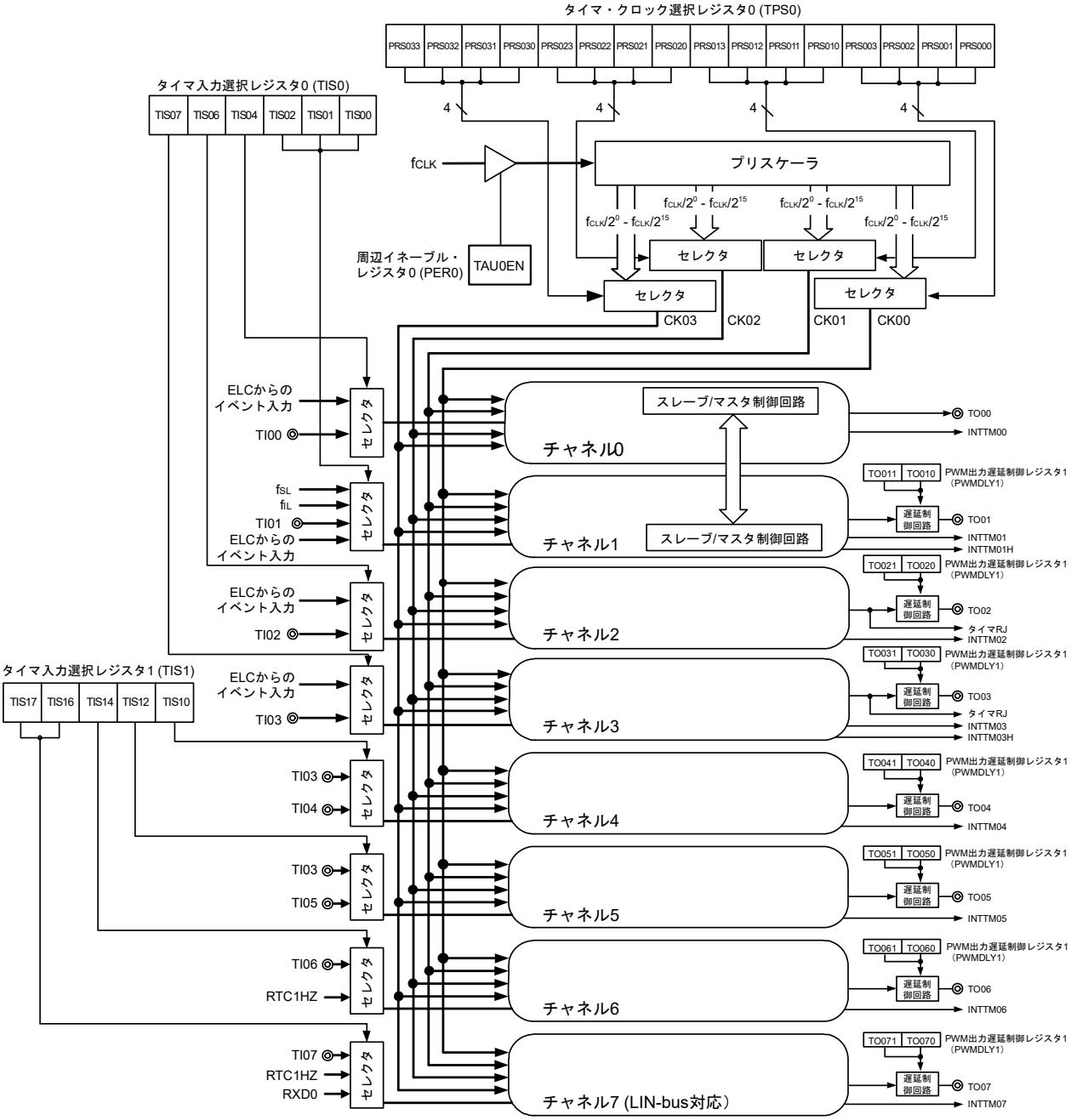
備考 1. 上記表中の括弧内の機能は，周辺 I/O リダイレクション・レジスタ（PIORx）の設定で割り当てることができます。

2. タイマ入力とタイマ出力が同一端子で兼用されている場合は，タイマ入力のみ，またはタイマ出力のみ使用できます。

3. ×：チャネル非搭載

図 6－1 から図 6－3 にタイマ・アレイ・ユニットのブロック図を示します。

図 6－1　タイマ・アレイ・ユニット 0 の全体ブロック図（例：RL78/F24　100 ピン製品）



備考　f_{SL} ：サブ／低速オンチップ・オシレータ・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

図 6－2　タイマ・アレイ・ユニット 1 の全体ブロック図（例：RL78/F23 製品）

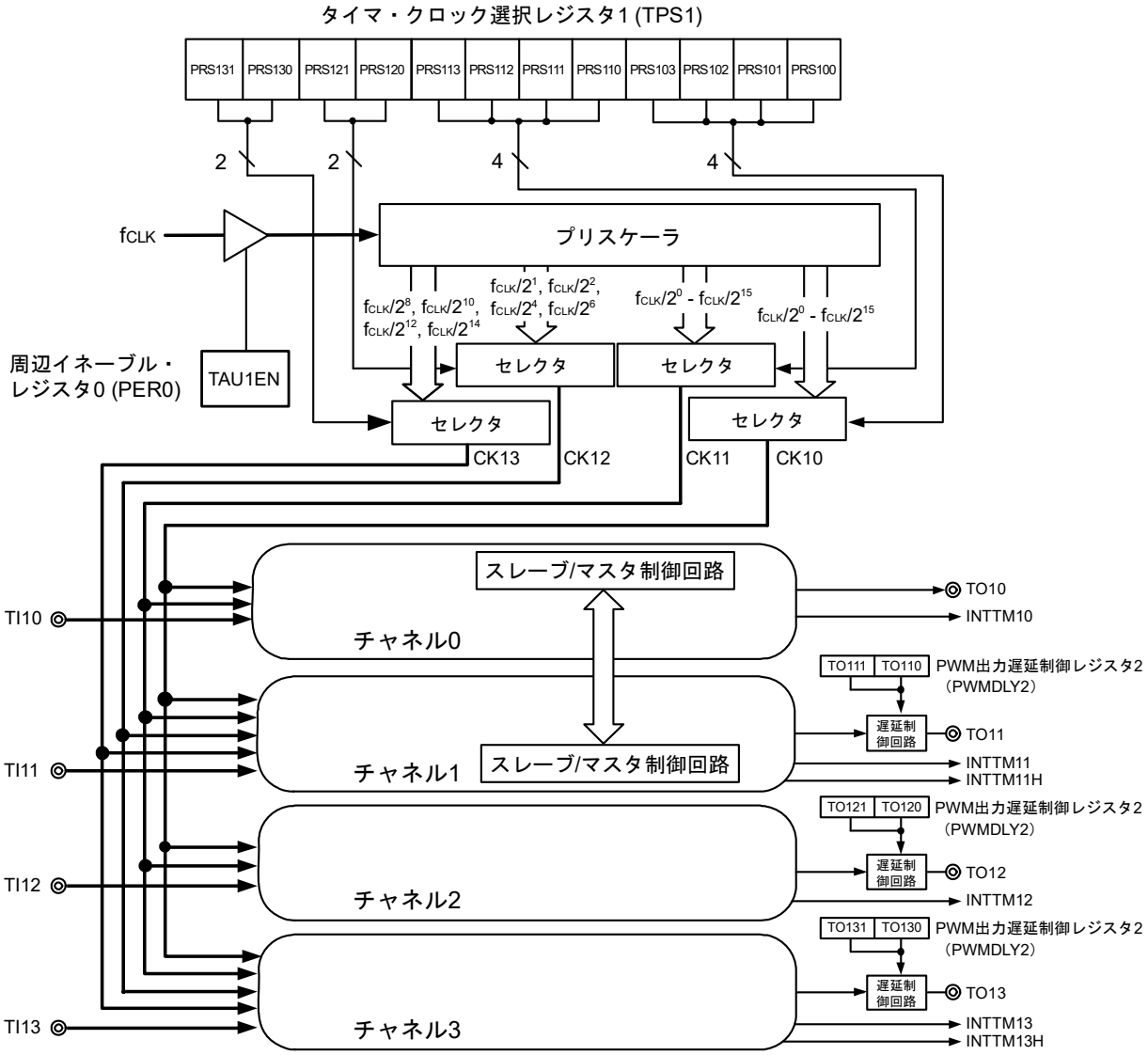


図 6－3　タイマ・アレイ・ユニット 1 の全体ブロック図（例：RL78/F24　100 ピン製品）

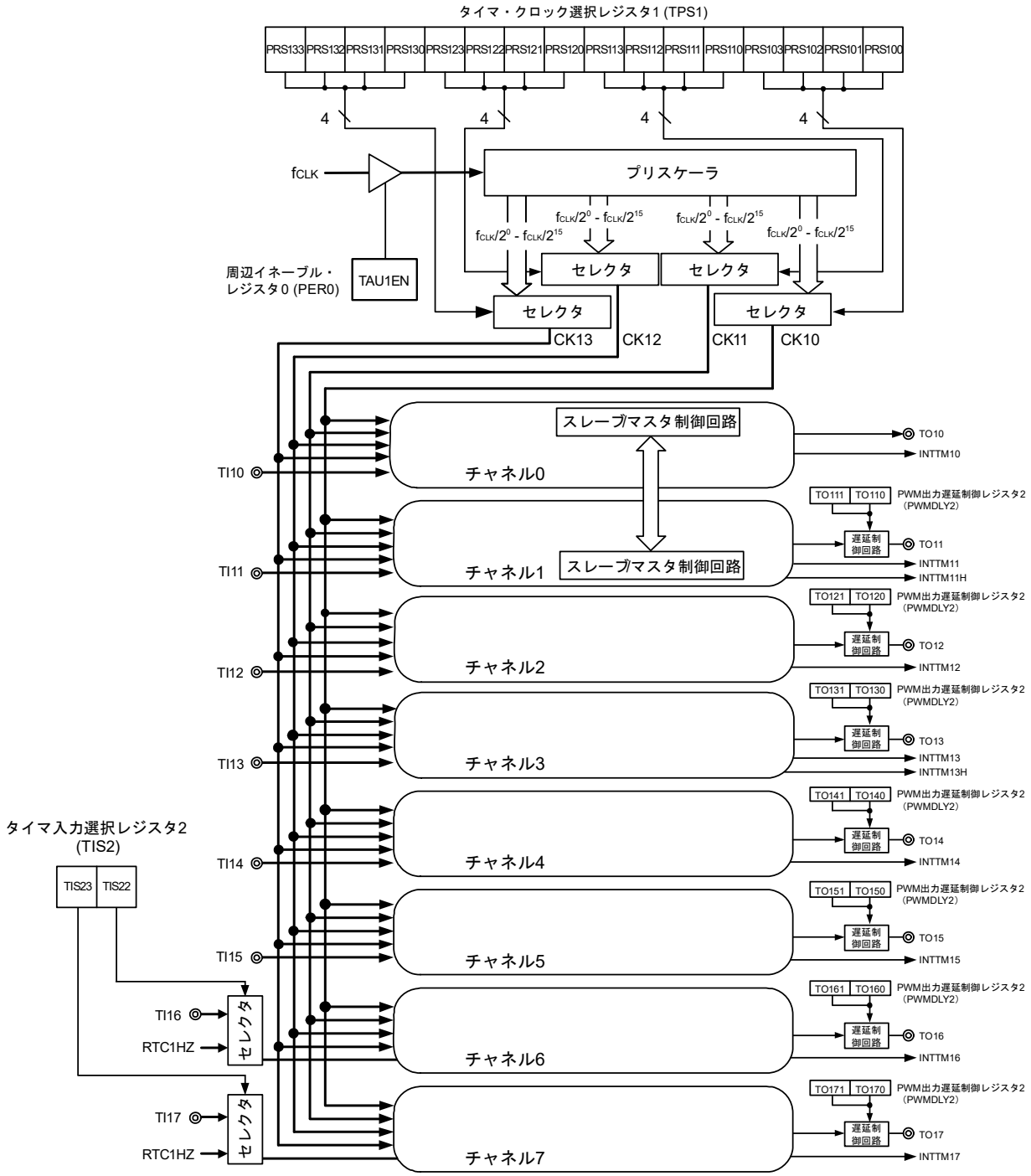
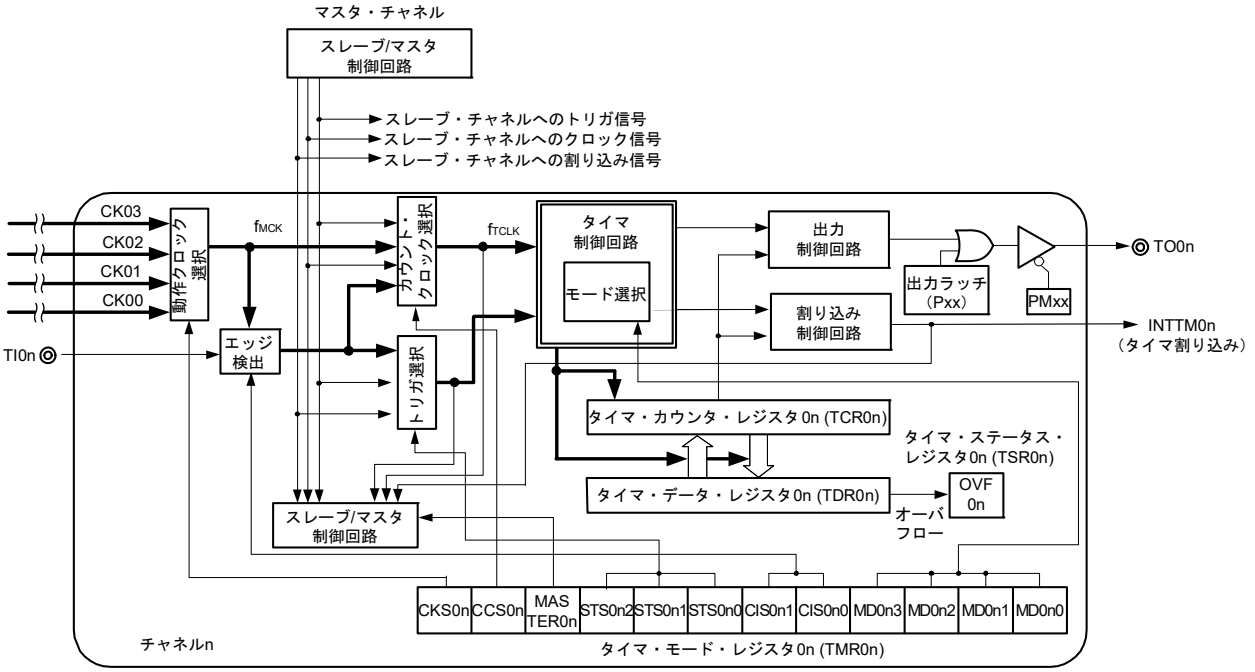
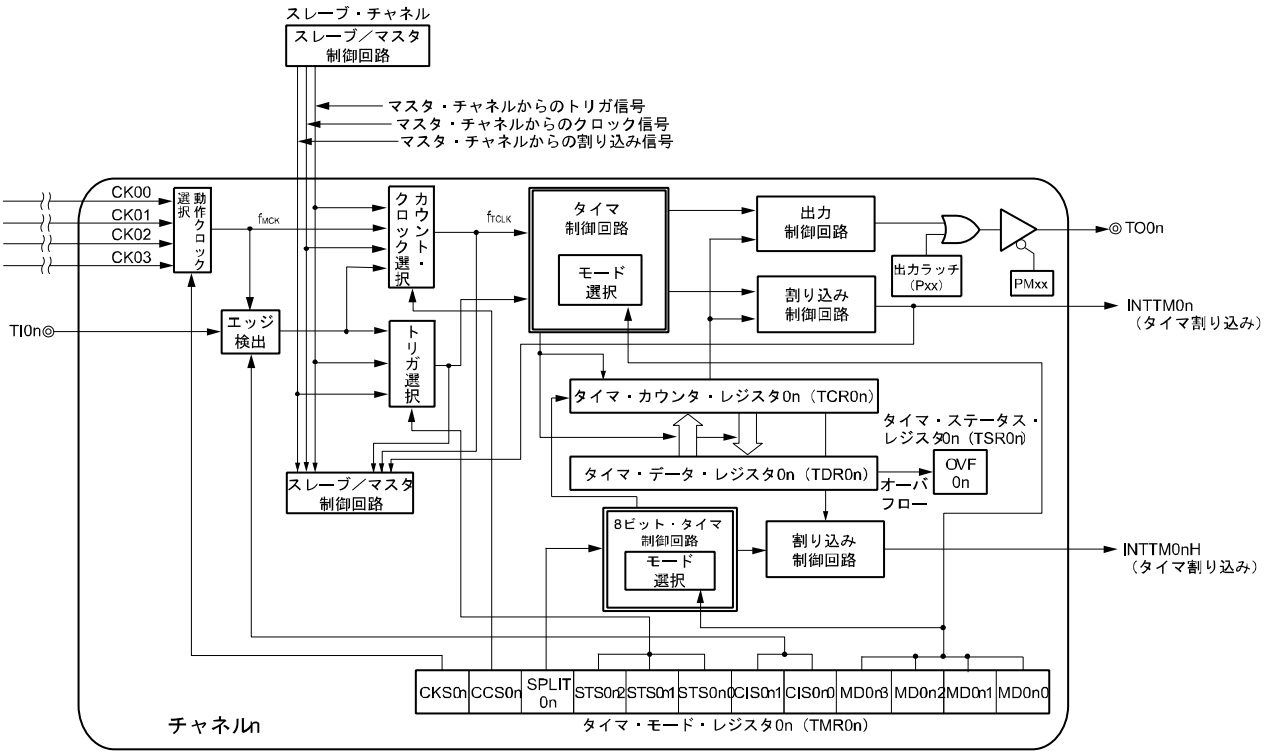


図 6－4　タイマ・アレイ・ユニット 0 のチャネル 0, 2, 4, 6 内部ブロック図



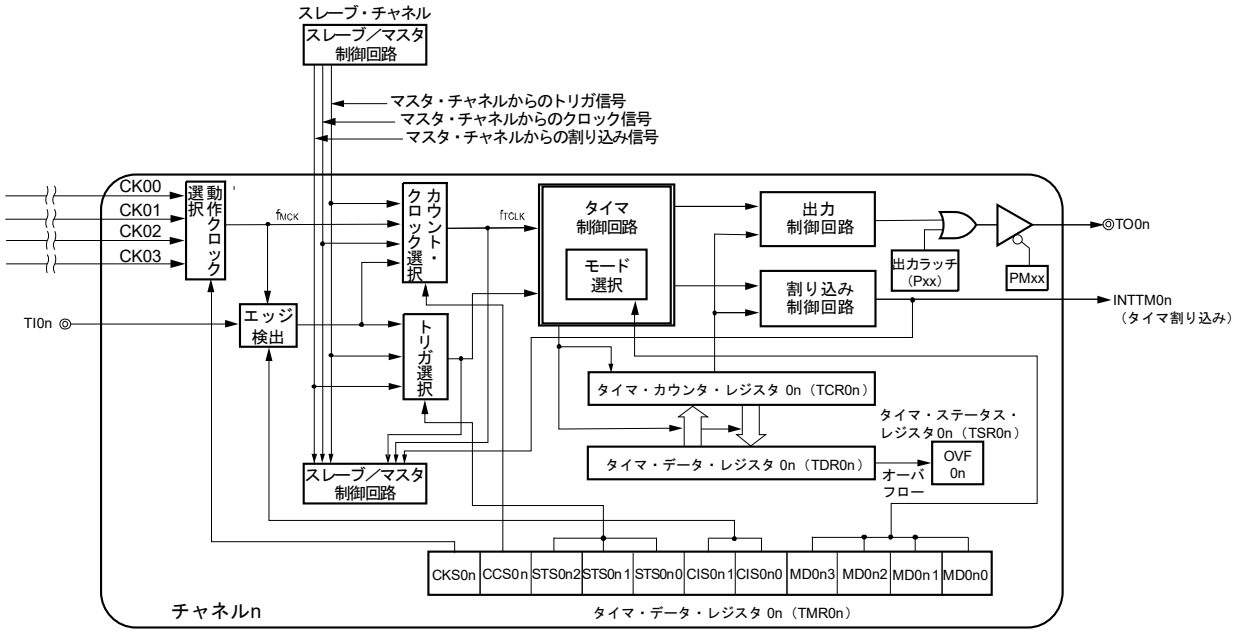
備考 n = 0, 2, 4, 6

図 6－5　タイマ・アレイ・ユニット 0 のチャネル 1, 3 内部ブロック図



備考 n = 1, 3

図 6－6　タイマ・アレイ・ユニット 0 のチャネル 5, 7 内部ブロック図



備考 n = 5, 7

6.2.1　タイマ・カウンタ・レジスタ mn（TCRmn）

TCRmn レジスタは，カウント・クロックをカウントする 16 ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタ mn（TMRmn）の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります（「6.3.3　タイマ・モード・レジスタ mn（TMRmn）」を参照）。

図 6－7　タイマ・カウンタ・レジスタ mn（TCRmn）のフォーマット

アドレス：F0180H, F0181H（TCR00）- F018EH, F018FH（TCR07），　リセット時：FFFFH　　R

F01C0H, F01C1H（TCR10）- F01CEH, F01CFH（TCR17）

	F0181H（TCR00の場合）								F0180H（TCR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCRmn																

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

タイマ・カウンタ・レジスタ mn（TCRmn）をリードすることにより，カウント値をリードできます。

次の場合，カウント値は FFFFH になります。

- リセット信号の発生時
- 周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットをクリアしたとき
- PWM 出力モードで，スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
- 多重 PWM 出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は 0000H になります。

- キャプチャ・モード時に，スタート・トリガが入力されたとき
- キャプチャ・モード時で，キャプチャ完了時

注意　TCRmn レジスタをリードしても，タイマ・データ・レジスタ mn（TDRmn）にはキャプチャしません。

TCRmn レジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表 6－3　各動作モード時のタイマ・カウンタ・レジスタ mn（TCRmn）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCRmn）の読み出し値 注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）後，動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）後，動作再開した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	－
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	－
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	－
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ＆ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDRmn レジスタのキャプチャ値 ＋ 1

注　チャネル n がタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の，TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値が TCRmn レジスタに保持されます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.2.2　タイマ・データ・レジスタ mn（TDRmn）

キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタ mn（TMRmn）の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。

コンペア機能として使用した場合，TDRmn レジスタは任意のタイミングで書き換えることができます。

16 ビット単位でリード／ライト可能です。

また，TDRm1, TDRm3 レジスタは，8 ビット・タイマ・モード時（タイマ・モード・レジスタ m1, m3（TMRm1, TMRm3）の SPLITm1, SPLITm3 ビット）に，上位 8 ビットを TDRm1H, TDRm3H，下位 8 ビットを TDRm1L, TDRm3L として，8 ビット単位での書き換えが可能になります。読み出しは，16 ビット単位でのみ可能です。

リセット信号の発生により，TDRmn レジスタは 0000H になります。

図 6－8　タイマ・データ・レジスタ mn（TDRmn）（n = 0, 2, 4-7）のフォーマット

アドレス：FFF18H, FFF19H（TDR00）, FFF74H, FFF75H（TDR02），　リセット時：0000H　　R/W
FFF78H, FFF79H（TDR04）- FFF7EH, FFF7FH（TDR07）
FFF80H, FFF81H（TDR10）, FFF84H, FFF85H（TDR12）
FFF88H, FFF89H（TDR14）- FFF8EH, FFF8FH（TDR17）

	FFF19H（TDR00の場合）								FFF18H（TDR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRmn																

図 6－9　タイマ・データ・レジスタ mn（TDRmn）（n = 1, 3）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01）, FFF76H, FFF77H（TDR03），　リセット時：0000H　　R/W
FFF82H, FFF83H（TDR11）, FFF86H, FFF87H（TDR13）

	FFF1BH（TDR01Hの場合）								FFF1AH（TDR01Lの場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRmn																

（ｉ）タイマ・データ・レジスタ mn（TDRmn）をコンペア・レジスタとして使用するとき
TDRmn レジスタに設定した値からダウン・カウントをスタートして，0000H になったときに割り込み信号（INTTMmn）を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定した TDRmn レジスタは，キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

（ii）タイマ・データ・レジスタ mn（TDRmn）をキャプチャ・レジスタとして使用するとき
キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタ mn（TCRmn）のカウント値を TDRmn レジスタにキャプチャします。
キャプチャ・トリガとして，TImn 端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタ mn（TMRmn）で設定します。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3　タイマ・アレイ・ユニットを制御するレジスタ

表 6－4　タイマ・アレイ・ユニット・レジスタ構成（1/3）

アドレス	レジスタ名	略号		リセット時	アクセス・サイズ
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1		00H	1, 8
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2		00H	1, 8
F0074H	タイマ入力選択レジスタ0	TIS0		00H	8
F0075H	タイマ入力選択レジスタ1	TIS1		00H	8
F007AH	タイマ入力選択レジスタ2	TIS2		00H	8
F00F0H	周辺イネーブル・レジスタ0	PER0		00H	1, 8
F0180H	タイマ・カウント・レジスタ00	TCR00		FFFFH	16
F0182H	タイマ・カウント・レジスタ01	TCR01		FFFFH	16
F0184H	タイマ・カウント・レジスタ02	TCR02		FFFFH	16
F0186H	タイマ・カウント・レジスタ03	TCR03		FFFFH	16
F0188H	タイマ・カウント・レジスタ04	TCR04		FFFFH	16
F018AH	タイマ・カウント・レジスタ05	TCR05		FFFFH	16
F018CH	タイマ・カウント・レジスタ06	TCR06		FFFFH	16
F018EH	タイマ・カウント・レジスタ07	TCR07		FFFFH	16
F0190H	タイマ・モード・レジスタ00	TMR00		0000H	16
F0192H	タイマ・モード・レジスタ01	TMR01		0000H	16
F0194H	タイマ・モード・レジスタ02	TMR02		0000H	16
F0196H	タイマ・モード・レジスタ03	TMR03		0000H	16
F0198H	タイマ・モード・レジスタ04	TMR04		0000H	16
F019AH	タイマ・モード・レジスタ05	TMR05		0000H	16
F019CH	タイマ・モード・レジスタ06	TMR06		0000H	16
F019EH	タイマ・モード・レジスタ07	TMR07		0000H	16
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	0000H	8, 16
F01A1H		－			
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	0000H	8, 16
F01A3H		－			
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	0000H	8, 16
F01A5H		－			
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	0000H	8, 16
F01A7H		－			
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	0000H	8, 16
F01A9H		－			
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	0000H	8, 16
F01ABH		－			
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	0000H	8, 16
F01ADH		－			
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	0000H	8, 16
F01AFH		－			

表6－1　タイマ・アレイ・ユニット・レジスタ構成（2/3）

アドレス	レジスタ名	略号		リセット時	アクセス・サイズ
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	0000H	1, 8, 16
F01B1H		－			
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	0000H	1, 8, 16
F01B3H		－			
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	0000H	1, 8, 16
F01B5H		－			
F01B6H	タイマ・クロック選択レジスタ0	TPS0		0000H	16
F01B8H	タイマ出力レジスタ0	TO0L	TO0	0000H	8, 16
F01B9H		－			
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	0000H	1, 8, 16
F01BBH		－			
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	0000H	8, 16
F01BDH		－			
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	0000H	8, 16
F01BFH		－			
F01C0H	タイマ・カウント・レジスタ10	TCR10		FFFFH	16
F01C2H	タイマ・カウント・レジスタ11	TCR11		FFFFH	16
F01C4H	タイマ・カウント・レジスタ12	TCR12		FFFFH	16
F01C6H	タイマ・カウント・レジスタ13	TCR13		FFFFH	16
F01C8H	タイマ・カウント・レジスタ14	TCR14		FFFFH	16
F01CAH	タイマ・カウント・レジスタ15	TCR15		FFFFH	16
F01CCH	タイマ・カウント・レジスタ16	TCR16		FFFFH	16
F01CEH	タイマ・カウント・レジスタ17	TCR17		FFFFH	16
F01D0H	タイマ・モード・レジスタ10	TMR10		0000H	16
F01D2H	タイマ・モード・レジスタ11	TMR11		0000H	16
F01D4H	タイマ・モード・レジスタ12	TMR12		0000H	16
F01D6H	タイマ・モード・レジスタ13	TMR13		0000H	16
F01D8H	タイマ・モード・レジスタ14	TMR14		0000H	16
F01DAH	タイマ・モード・レジスタ15	TMR15		0000H	16
F01DCH	タイマ・モード・レジスタ16	TMR16		0000H	16
F01DEH	タイマ・モード・レジスタ17	TMR17		0000H	16
F01E0H	タイマ・ステータス・レジスタ10	TSR10L	TSR10	0000H	8, 16
F01E1H		－			
F01E2H	タイマ・ステータス・レジスタ11	TSR11L	TSR11	0000H	8, 16
F01E3H		－			
F01E4H	タイマ・ステータス・レジスタ12	TSR12L	TSR12	0000H	8, 16
F01E5H		－			
F01E6H	タイマ・ステータス・レジスタ13	TSR13L	TSR13	0000H	8, 16
F01E7H		－			
F01E8H	タイマ・ステータス・レジスタ14	TSR14L	TSR14	0000H	8, 16
F01E9H		－			
F01EAH	タイマ・ステータス・レジスタ15	TSR15L	TSR15	0000H	8, 16
F01EBH		－			
F01ECH	タイマ・ステータス・レジスタ16	TSR16L	TSR16	0000H	8, 16
F01EDH		－			
F01EEH	タイマ・ステータス・レジスタ17	TSR17L	TSR17	0000H	8, 16
F01EFH		－			

表6－1　タイマ・アレイ・ユニット・レジスタ構成（3/3）

アドレス	レジスタ名	略号		リセット時	アクセス・サイズ
F01F0H	タイマ・チャネル許可ステータス・レジスタ1	TE1L	TE1	0000H	1, 8, 16
F01F1H		－			
F01F2H	タイマ・チャネル開始レジスタ1	TS1L	TS1	0000H	1, 8, 16
F01F3H		－			
F01F4H	タイマ・チャネル停止レジスタ1	TT1L	TT1	0000H	1, 8, 16
F01F5H		－			
F01F6H	タイマ・クロック選択レジスタ1	TPS1		0000H	16
F01F8H	タイマ出力レジスタ1	TO1L	TO1	0000H	8, 16
F01F9H		－			
F01FAH	タイマ出力許可レジスタ1	TOE1L	TOE1	0000H	1, 8, 16
F01FBH		－			
F01FCH	タイマ出力レベル・レジスタ1	TOL1L	TOL1	0000H	8, 16
F01FDH		－			
F01FEH	タイマ出力モード・レジスタ1	TOM1L	TOM1	0000H	8, 16
F01FFH		－			
F022AH	PWM出力遅延制御レジスタ1	PWMDLY1		0000H	16
F022CH	PWM出力遅延制御レジスタ2	PWMDLY2		0000H	16
FFF18H	タイマ・データ・レジスタ 00	TDR00		0000H	16
FFF1AH	タイマ・データ・レジスタ 01	TDR01L	TDR01	0000H	8, 16
FFF1BH		TDR01H			
FFF74H	タイマ・データ・レジスタ 02	TDR02		0000H	16
FFF76H	タイマ・データ・レジスタ 03	TDR03L	TDR03	0000H	8, 16
FFF77H		TDR03H			
FFF78H	タイマ・データ・レジスタ 04	TDR04		0000H	16
FFF7AH	タイマ・データ・レジスタ 05	TDR05		0000H	16
FFF7CH	タイマ・データ・レジスタ 06	TDR06		0000H	16
FFF7EH	タイマ・データ・レジスタ 07	TDR07		0000H	16
FFF80H	タイマ・データ・レジスタ 10	TDR10		0000H	16
FFF82H	タイマ・データ・レジスタ 11	TDR11L	TDR11	0000H	8, 16
FFF83H		TDR11H			
FFF84H	タイマ・データ・レジスタ 12	TDR12		0000H	16
FFF86H	タイマ・データ・レジスタ 13	TDR13L	TDR13	0000H	8, 16
FFF87H		TDR13H			
FFF88H	タイマ・データ・レジスタ 14	TDR14		0000H	16
FFF8AH	タイマ・データ・レジスタ 15	TDR15		0000H	16
FFF8CH	タイマ・データ・レジスタ 16	TDR16		0000H	16
FFF8EH	タイマ・データ・レジスタ 17	TDR17		0000H	16

備考 1. 設定するポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）は製品によって異なります。詳細については，「6.3.16　ポート・モード・レジスタ 0, 1, 3, 4, 5, 6, 7, 12（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12）」を参照してください。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

3. RL78/F23 製品では，ユニット 1 のチャネル番号 4-7（n = 4-7）は提供されていません。

6.3.1　周辺イネーブル・レジスタ 0（PER0）

PER0 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット 0 を使用する場合は，必ずビット 0（TAU0EN）を 1 に設定してください。

タイマ・アレイ・ユニット 1 を使用する場合は，必ずビット 1（TAU1EN）を 1 に設定してください。

PER0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PER0 レジスタは 00H になります。

図 6－10　周辺イネーブル・レジスタ 0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAU1EN	タイマ・アレイ・ユニット 1 の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット 1 で使用する SFR へのライト不可 ・タイマ・アレイ・ユニット 1 はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット 1 で使用する SFR へのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット 0 の入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット 0 で使用する SFR へのライト不可 ・タイマ・アレイ・ユニット 0 はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット 0 で使用する SFR へのリード／ライト可

注意 1.　タイマ・アレイ・ユニットの設定をする際には，必ず最初に TAUmEN = 1 の設定を行ってください。TAUmEN = 0 の場合は，タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（タイマ入力選択レジスタ 0, 1, 2（TIS0, TIS1, TIS2），ノイズ・フィルタ許可レジスタ 1, 2（NFEN1, NFEN2），ポート・モード・レジスタ 0, 1, 3, 4, 5, 6, 7, 12（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12），ポート・レジスタ 0, 1, 3, 4, 5, 6, 7, 12（P0, P1, P3, P4, P5, P6, P7, P12），PWM 出力遅延制御レジスタ 1, 2（PWMDLY1, PWMDLY2）は除く）。

2.　ビット 6 は必ず 0 を設定してください。

6.3.2　タイマ・クロック選択レジスタ m（TPSm）

TPSm レジスタは，外部プリスケーラから各チャネルに供給する CKm0, CKm1, CKm2, CKm3 の動作クロックを選択する 16 ビット・レジスタです。RL78/F23 製品のユニット 0 は TPS0 レジスタのビット 3-0 で CK00，ビット 7-4 で CK01，ビット 11-8 で CK02，ビット 15-12 で CK03 のクロック周波数を選択します。

RL78/F23 製品のユニット 1 は TPS1 レジスタのビット 3-0 で CK10, ビット 7-4 で CK11, ビット 9, 8 で CK12, ビット 13, 12 で CK13 のクロック周波数を選択します。

RL78/F24 製品では TPSm レジスタのビット 3-0 で CKm0，ビット 7-4 で CKm1，ビット 11-8 で CKm2，ビット 15-12 で CKm3 のクロック周波数を選択します。

タイマ動作中の TPSm レジスタの書き換えは，次の場合のみ可能です。

- PRSm00-PRSm03 ビットが書き換え可能な場合（n = 0-7）：
  動作クロックに CKm0 を選択（CKSmn1, CKSmn0 = 0, 0）しているチャネルがすべて停止状態（TEmn = 0）
- PRSm10-PRSm13 ビットが書き換え可能な場合（n = 0-7）：
  動作クロックに CKm1 を選択（CKSmn1, CKSmn0 = 1, 0）しているチャネルがすべて停止状態（TEmn = 0）
- PRSm20-PRSm23 ビットが書き換え可能な場合（n = 0-7）：
  動作クロックに CKm2 を選択（CKSmn1, CKSmn0 = 0, 1）しているチャネルがすべて停止状態（TEmn = 0）
- PRSm30-PRSm33 ビットが書き換え可能な場合（n = 0-7）：
  動作クロックに CKm3 を選択（CKSmn1, CKSmn0 = 1, 1）しているチャネルがすべて停止状態（TEmn = 0）

TPSm レジスタは 16 ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPSm レジスタは 0000H になります。

図 6－11　タイマ・クロック選択レジスタ m（TPSm）のフォーマット（8 ch 版）

アドレス：F01B6H, F01B7H（TPS0）, F01F6H, F01F7H（TPS1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	PRS m33	PRS m32	PRS m31	PRS m30	PRS m23	PRS m22	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択 注（k = 0-3）						
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz	f_{CLK} = 40 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz	40 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	20 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	10 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz	5 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz	2.5 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	1 MHz	1.25 MHz
0	1	1	0	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz	625 kHz
0	1	1	1	$f_{CLK}/2^7$	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz	250 kHz	312.5 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	156.2 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	62.5 kHz	78.1 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz	39.1 kHz
1	0	1	1	$f_{CLK}/2^{11}$	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz	15.63 kHz	19.5 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	9.76 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz	4.88 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.44 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	976 Hz	1.22 kHz

注　f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

注意 1. RL78/F23 製品ユニット 1 では，このフォーマットを使用できません（図 6－12 の 4ch 版の仕様を参照）。

2. 動作クロック（CKmK）に f_{CLK}（分周なし）を選択し，TDRnm = 0000H（n = 0, 1，m = 0-7）を設定する場合，割り込みマスク・フラグを割り込み処理禁止（TMMKnm = 1）に設定してください。

備考 1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

2. TPSm レジスタで選択するクロックの波形は，立ち上がりから f_{CLK} の 1 周期分だけハイ・レベルになります（m = 0, 1）。詳しくは「6.5.1　カウント・クロック（f_{TCLK}）」を参照してください。

図 6－12　タイマ・クロック選択レジスタ 1（TPS1）のフォーマット（4 ch 版）

アドレス：F01F6H, F01F7H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS1	0	0	PRS 131	PRS 130	0	0	PRS 121	PRS 120	PRS 113	PRS 112	PRS 111	PRS 110	PRS 103	PRS 102	PRS 101	PRS 100

PRS 121	PRS 120	動作クロック（CK12）の選択 注						
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz	f_{CLK} = 40 MHz
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	20 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	10 MHz
1	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz	2.5 MHz
1	1	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz	625 kHz

PRS 131	PRS 130	動作クロック（CK13）の選択 注						
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz	f_{CLK} = 40 MHz
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	156.2 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz	39.1 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	9.76 kHz
1	1	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.44 kHz

注　上記の仕様は RL78/F23 製品の TPS1 に適用されます。

f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）してください。

カウント・クロック（f_{TCLK}）に CKSmn0, CKSmn1 ビットで指定した動作クロック（f_{MCK}），TImn 端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 1. RL78/F23 製品と RL78/F24 製品のユニット 0 では，このフォーマットを使用できません（図 6－11 の 8ch 版の仕様を参照）。

2. 動作クロック（CKmK）に f_{CLK}（分周なし）を選択し，TDRnm = 0000H（n = 0,1，m = 0-7）を設定する場合，割り込みマスク・フラグを割り込み処理禁止（TMMKnm = 1）に設定してください。

チャネル 1, 3 を 8 ビット・タイマ・モードで使用し，CKm2, CKm3 を動作クロックとすることにより，インターバル・タイマ機能で，表 6－5 に示すインターバル時間を実現することが可能です。

表 6－5　動作クロック CKSm2, CKSm3 で設定可能なインターバル時間

クロック		インターバル時間（f_{CLK} = 40 MHz）注			
		10 μs	100 μs	1 ms	10 ms
CKm2	$f_{CLK}/2$	○	－	－	－
	$f_{CLK}/2^2$	○	－	－	－
	$f_{CLK}/2^4$	○	○	－	－
	$f_{CLK}/2^6$	○	○	－	－
CKm3	$f_{CLK}/2^8$	－	○	○	－
	$f_{CLK}/2^{10}$	－	○	○	－
	$f_{CLK}/2^{12}$	－	○	○	○
	$f_{CLK}/2^{14}$	－	－	－	○

注　マージンは 5%以内です。

備考 1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

2. TPSm レジスタで選択する $f_{CLK}/2^i$ の波形の詳細は「6.5.1　カウント・クロック（f_{TCLK}）」を参照してください。

6.3.3　タイマ・モード・レジスタ mn（TMRmn）

TMRmn レジスタは，チャネル n の動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16 ビット／8 ビット・タイマの選択（チャネル 1, 3 のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMRmn レジスタは，動作中（TEmn = 1 のとき）の書き換えは禁止です。ただし，ビット 7, 6（CISmn1, CISmn0）は，一部の機能で動作中（TEmn = 1 のとき）の書き換えが可能です（詳細は「6.7　タイマ・アレイ・ユニットの単独チャネル動作機能」，「6.8　タイマ・アレイ・ユニットの複数チャネル連動動作機能」を参照）。

TMRmn レジスタは，16 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TMRmn レジスタは 0000H になります。

注意　TMRmn レジスタのビット 11 は，チャネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6　：MASTERmn ビット（n = 2, 4, 6）

TMRm1, TMRm3　：SPLITmn ビット（n = 1, 3）

TMRm0, TMRm5, TMRm7　：0 固定（n = 0, 5, 7）

図 6－13　タイマ・モード・レジスタ mn（TMRmn）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），　リセット時：0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MASTERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャネル n の動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタ m（TPSm）で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m（TPSm）で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m（TPSm）で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m（TPSm）で設定した動作クロック CKm3
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmn ビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。		

CCS mn	チャネル n のカウント・クロック（f_{TCLK}）の選択
0	CKSmn0, CKSmn1 ビットで指定した動作クロック（f_{MCK}）
1	TImn 端子からの入力信号の有効エッジ ユニット 0 を使用する場合： 　チャネル 0-3 では，TIS0 で選択した入力信号の有効エッジ 　チャネル 4-7 では，TIS1 で選択した入力信号の有効エッジ ユニット 1 を使用する場合： 　チャネル 6 および 7 では，TIS2 で選択した入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，タイマ・カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注　ビット 11 はリード・オンリの 0 固定で，書き込みは無視されます。

注意 1. ビット 13, 5, 4 には，必ず 0 を設定してください。

2. カウント・クロック（f_{TCLK}）に CKSmn0, CKSmn1 ビットで指定した動作クロック（f_{MCK}），TImn 端子からの入力信号の有効エッジのどれを選択していても，f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

3. RL78/F23 製品では CKS1n0（n = 0, 2）に必ず 0 を設定してください。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TMR17-TMR14 は非搭載です。

図 6－13　タイマ・モード・レジスタ mn（TMRmn）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），　リセット時：0000H　R/W

F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MASTERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0 注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

（TMRmn（n = 2, 4, 6）のビット 11）

MASTERmn	チャネル n の単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル 2, 4, 6 のみマスタ・チャネル（MASTERmn = 1）に設定できます。 チャネル 0, 5, 7 は 0 固定となります（チャネル 0 は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。 また，単独チャネル動作機能として使用するチャネルは，MASTERmn = 0 にします。	

（TMRmn（n = 1, 3）のビット 11）

SPLIT mn	チャネル 1, 3 の 8 ビット・タイマ／16 ビット・タイマ動作の選択
0	16 ビット・タイマとして動作 （単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8 ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャネル n のスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TImn 端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn 端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

注　ビット 11 はリード・オンリの 0 固定で，書き込みは無視されます。なお，チャネル 0 はマスタとして動作します。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TMR17-TMR14 は非搭載です。

図 6－13　タイマ・モード・レジスタ mn（TMRmn）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），　リセット時：0000H　R/W

F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS	CKS	0	CCS	MAS	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
(n = 2, 4, 6)	mn1	mn0		mn	TERmn	mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS	CKS	0	CCS	SPLIT	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
(n = 1, 3)	mn1	mn0		mn	mn	mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS	CKS	0	CCS	0 注	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
(n = 0, 5, 7)	mn1	mn0		mn		mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

CIS mn1	CIS mn0	TImn 端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0 ビット = 010B 時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0 ビット = 10B に設定してください。		

注　ビット 11 はリード・オンリの 0 固定で，書き込みは無視されます。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TMR17-TMR14 は非搭載です。

図 6－13　タイマ・モード・レジスタ mn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），　リセット時：0000H　R/W

F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS	CKS	0	CCS	MAST	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
(n = 2, 4, 6)	mn1	mn0		mn	ERmn	mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS	CKS	0	CCS	SPLIT	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
(n = 1, 3)	mn1	mn0		mn	mn	mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS	CKS	0	CCS	0 注1	STS	STS	STS	CIS	CIS	0	0	MD	MD	MD	MD
(n = 0, 5, 7)	mn1	mn0		mn		mn2	mn1	mn0	mn1	mn0			mn3	mn2	mn1	mn0

MD mn3	MD mn2	MD mn1	チャネル n の動作モードの設定	対応する機能	TCR のカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM 出力（マスタ）	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM 出力（スレーブ）	ダウン・カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は，MDmn0 によって変わります（下表を参照）。					

動作モード (MDmn3-MDmn1 で設定（上表参照）)	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・キャプチャ・モード（0, 1, 0）	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード 注2（1, 0, 0）	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする 注3。その際に割り込みも発生する。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
上記以外		設定禁止

注 1. ビット 11 はリード・オンリの 0 固定で，書き込みは無視されます。

2. ワンカウント・モードではカウント動作開始時の割り込み出力（INTTMmn），TOmn 出力は制御しません。

3. 動作中にスタート・トリガ（TSmn = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求は発生しません）。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TMR17-TMR14 は非搭載です。

6.3.4　タイマ・ステータス・レジスタ mn（TSRmn）

TSRmn レジスタは，チャネル n のカウンタのオーバフロー状況を表示するレジスタです。

TSRmn レジスタは，キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードでの OVF ビットの動作とセット／クリア条件は表 6－6 を参照してください。

TSRmn レジスタは，16 ビット・メモリ操作命令で読み出します。

また TSRmn レジスタの下位 8 ビットは，TSRmnL で 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSRmn レジスタは 0000H になります。

図 6－14　タイマ・ステータス・レジスタ mn（TSRmn）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01AEH, F01AFH（TSR07），　リセット時：0000H　R
F01E0H, F01E1H（TSR10）- F01EEH, F01EFH（TSR17）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネル n のカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1 のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TSR17-TSR14 は非搭載です。

表 6－6　各動作モードにおける OVF ビットの動作とセット／クリア条件

タイマの動作モード	OVF ビット	セット／クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ＆ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVF ビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

6.3.5　タイマ・チャネル許可ステータス・レジスタ m（TEm）

TEm レジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEm レジスタの各ビットは，タイマ・チャネル開始レジスタ m（TSm）とタイマ・チャネル停止レジスタ m（TTm）の各ビットに対応しています。TSm レジスタの各ビットが 1 にセットされると，TEm レジスタの対応ビットが 1 にセットされます。TTm レジスタの各ビットが 1 にセットされると，その対応ビットが 0 にクリアされます。

TEm レジスタは，16 ビット・メモリ操作命令で読み出します。

また TEm レジスタの下位 8 ビットは，TEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TEm レジスタは 0000H になります。

図 6－15　タイマ・チャネル許可ステータス・レジスタ m（TEm）のフォーマット

アドレス：F01B0H, F01B1H（TE0）, F01F0H, F01F1H（TE1）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm3	0	TEHm1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル 3 が 8 ビット・タイマ・モード時，上位側 8 ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル 1 が 8 ビット・タイマ・モード時，上位側 8 ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネル n の動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル 1, 3 が 8 ビット・タイマ・モード時は，TEm1, TEm3 で下位側 8 ビット・タイマの動作許可／停止状態を表示します。	

注意 1. ビット 15-12, 10, 8 には必ず 0 を設定してください。

2. RL78/F23 製品では，TE1n（n = 7-4）に必ず 0 を設定してください。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TE17-TE14 は非搭載です。

6.3.6　タイマ・チャネル開始レジスタ m（TSm）

TSm レジスタは，タイマ・カウンタ・レジスタ mn（TCRmn）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが 1 にセットされると，タイマ・チャネル許可ステータス・レジスタ m（TEm）の対応ビットが 1 にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので，動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは，16 ビット・メモリ操作命令で設定します。

また TSm レジスタの下位 8 ビットは，TSmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TSm レジスタは 0000H になります。

図 6－16　タイマ・チャネル開始レジスタ m（TSm）のフォーマット

アドレス：F01B2H, F01B3H（TS0）, F01F2H, F01F3H（TS1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル 3 が 8 ビット・タイマ・モード時，上位側 8 ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3 ビットを 1 にセットし，カウント動作許可状態になる。
カウント動作許可状態における TCRm3 レジスタのカウント動作開始は，インターバル・タイマ・モードになります（「6.5.2　カウンタのスタート・タイミング」の表 6－7 参照）。	

TSHm1	チャネル 1 が 8 ビット・タイマ・モード時，上位側 8 ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1 ビットを 1 にセットし，カウント動作許可状態になる。
カウント動作許可状態における TCRm1 レジスタのカウント動作開始は，インターバル・タイマ・モードになります（「6.5.2　カウンタのスタート・タイミング」の表 6－7 参照）。	

TSmn	チャネル n の動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmn ビットを 1 にセットし，カウント動作許可状態になる。
カウント動作許可状態における TCRmn レジスタのカウント動作開始は，各動作モードにより異なります（「6.5.2　カウンタのスタート・タイミング」の表 6－7 参照）。 チャネル 1, 3 が 8 ビット・タイマ・モード時は，TSm1, TSm3 が下位側 8 ビット・タイマの動作許可（スタート）トリガになります。	

（**注意**，**備考**は，次のページにあります。）

注意 1. ビット 15-12, 10, 8 には，必ず 0 を設定してください。

2. RL78/F23 製品では，TS1n（n = 7-4）に必ず 0 を設定してください。

3. TImn 端子入力を使用しない機能から，TImn 端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタ mn（TMRmn）設定後，TSmn（TSHm1, TSHm3）ビットを 1 に設定するまでに，次の期間ウェイトが必要になります。

- **TImn端子のノイズ・フィルタ有効時（TNFENmn = 1）：動作クロック（f_{MCK}）の4クロック**
- **TImn端子のノイズ・フィルタ無効時（TNFENmn = 0）：動作クロック（f_{MCK}）の2クロック**

備考 1. TSm レジスタの読み出し値は，常に 0 となります。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

3. RL78/F23 製品では，TS17-TS14 は非搭載です。

6.3.7　タイマ・チャネル停止レジスタ m（TTm）

TTm レジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが 1 にセットされると，タイマ・チャネル許可ステータス・レジスタ m（TEm）の対応ビットが 0 にクリアされます。TTmn, TTHm1, TTHm3 ビットはトリガ・ビットなので，動作停止状態（TEmn, TTHm1, TTHm3 = 0）になるとすぐ TTmn, TTHm1, TTHm3 ビットはクリアされます。

TTm レジスタは，16 ビット・メモリ操作命令で設定します。

また TTm レジスタの下位 8 ビットは，TTmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TTm レジスタは 0000H になります。

図 6－17　タイマ・チャネル停止レジスタ m（TTm）のフォーマット

アドレス：F01B4H, F01B5H（TT0）, F01F4H, F01F5H（TT1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル 3 が 8 ビット・タイマ・モード時，上位側 8 ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3 ビットが 0 にクリアされ，カウント動作が停止します。

TTHm1	チャネル 1 が 8 ビット・タイマ・モード時，上位側 8 ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1 ビットが 0 にクリアされ，カウント動作が停止します。

TTmn	チャネル n の動作停止トリガ
0	トリガ動作しない
1	TEHmn ビットが 0 にクリアされ，カウント動作が停止します。 チャネル 1, 3 が 8 ビット・タイマ・モード時は，TTm1, TTm3 が下位側 8 ビット・タイマの動作停止トリガになります。

注意 1. ビット 15-12, 10, 8 には必ず 0 を設定してください。

2. RL78/F23 製品では，TT1n（n = 7-4）に必ず 0 を設定してください。

備考 1. TTm レジスタの読み出し値は常に 0 となります。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

3. RL78/F23 製品では，TT17-TT14 は非搭載です。

6.3.8　タイマ入力選択レジスタ 0（TIS0）

TIS0 レジスタはタイマ・アレイ・ユニット 0 の入力要因を選択するレジスタです。

TIS0 レジスタは 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS0 レジスタは 00H になります。

図 6－18　タイマ入力選択レジスタ 0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07 注1	TIS06 注1	0	TIS04 注1	0	TIS02	TIS01	TIS00

TIS07 注1	タイマ・アレイ・ユニット 0 チャネル 3 で使用するタイマ入力の選択
0	タイマ入力端子（TI03）の入力信号
1	ELC からのイベント入力信号 注2

TIS06 注1	タイマ・アレイ・ユニット 0 チャネル 2 で使用するタイマ入力の選択
0	タイマ入力端子（TI02）の入力信号
1	ELC からのイベント入力信号 注2

TIS04 注1	タイマ・アレイ・ユニット 0 チャネル 0 で使用するタイマ入力の選択
0	タイマ入力端子（TI00）の入力信号
1	ELC からのイベント入力信号 注2

TIS02	TIS01	TIS00	タイマ・アレイ・ユニット 0 チャネル 1 で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI01）の入力信号
0	0	1	ELC からのイベント入力信号 注2
0	1	0	タイマ入力端子（TI01）の入力信号
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）
上記以外			設定禁止

注 1. RL78/F24 製品のみ搭載します。タイマ入力選択レジスタ 0（TIS0）を書き込む場合は，0 を書き込んでください。

2. RL78/F24 製品のみ搭載します。RL78/F23 製品では設定しないでください。

注意 1. タイマ入力選択レジスタ 0（TIS0）で，ELC からのイベント入力信号を選択する場合，タイマ・クロック選択レジスタ 0（TPS0）は f_{CLK} を選択してください。

2. TImn 端子（m = 0, 1，n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

3. 選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，1/f_{MCK} + 10 ns 以上必要となります。そのため f_{CLK} に f_{SL} を選択時（CKC レジスタの CSS = 1）は，TIS02 ビットに 1 を設定できません。

6.3.9　タイマ入力選択レジスタ 1（TIS1）

TIS1 レジスタはタイマ・アレイ・ユニット 0 の入力要因を選択するレジスタです。

TIS1 レジスタの TIS17, TIS16 ビットは，チャネル 7 をシリアル・アレイ・ユニットと連携して LIN-bus 通信動作を実現するときに使用します。TIS17, TIS16 = 1, 0 に設定すると，シリアル・データ入力端子（RXD0）の入力信号がタイマ入力として選択されます。

ISC レジスタ（入力切り替え制御レジスタ）の ISC0 ビットとともに設定してください。

TIS1 レジスタは 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS1 レジスタは 00H になります。

図 6－19　タイマ入力選択レジスタ 1（TIS1）のフォーマット

アドレス：F0075H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS1	TIS17	TIS16	0	TIS14	0	TIS12	0	TIS10

TIS17	TIS16	タイマ・アレイ・ユニット 0 チャネル 7 で使用するタイマ入力の選択
0	0	タイマ入力端子（TI07）の入力信号
0	1	RTC1HZ 出力信号
1	0	RXD0 端子（ウェイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）
1	1	設定禁止

TIS14	タイマ・アレイ・ユニット 0 チャネル 6 で使用するタイマ入力の選択
0	タイマ入力端子（TI06）の入力信号
1	RTC1HZ 出力信号

TIS12	タイマ・アレイ・ユニット 0 チャネル 5 で使用するタイマ入力の選択
0	タイマ入力端子（TI05）の入力信号
1	タイマ入力端子（TI03）の入力信号

TIS10	タイマ・アレイ・ユニット 0 チャネル 4 で使用するタイマ入力の選択
0	タイマ入力端子（TI04）の入力信号
1	タイマ入力端子（TI03）の入力信号

注意 1. TImn 端子（m = 0, 1, n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2. TAU のチャネル 7 とチャネル 6 で使用するタイマ入力のクロック・ソースを RTC1HZ 出力信号とする場合は，TIS17 = 0, TIS16 = 1, TIS14 = 1 と設定して，チャネル 7 とチャネル 6 とも RTC1HZ 出力信号を選択してください。

備考　LIN-bus 通信を使用する場合は，TIS17, TIS16 = 1, 0 に設定して RXD0 端子の入力信号を選択しておいてください。

6.3.10　タイマ入力選択レジスタ 2（TIS2）

TIS2 レジスタはタイマ・アレイ・ユニット 1 の入力要因を選択するレジスタです。

TIS2 レジスタは 8 ビット・メモリ操作命令で設定してください。

TIS2 レジスタの TIS23 ビットと TIS22 ビットは，リアルタイム・クロックと組み合わせて使用され，チャネル 7 と 6 でウォッチエラー訂正を実装します。TIS23 ビットが 1 に設定されると，RTC1HZ 出力信号がチャネル 7 のタイマ入力に選択されます。TIS22 ビットが 1 に設定されると，RTC1HZ 出力信号がチャネル 6 のタイマ入力に選択されます。

リセット信号の発生により，TIS2 レジスタは 00H になります。

本機能は，RL78/F24 製品のみ有効です。

図 6－20　タイマ入力選択レジスタ 2（TIS2）のフォーマット

アドレス：F007AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS2	0	0	0	0	TIS23	TIS22	0	0

TIS22	タイマ・アレイ・ユニット 1 チャネル 6 で使用するタイマ入力の選択
0	タイマ入力端子（TI16）の入力信号
1	RTC1HZ 出力信号

TIS23	タイマ・アレイ・ユニット 1 チャネル 7 で使用するタイマ入力の選択
0	タイマ入力端子（TI17）の入力信号
1	RTC1HZ 出力信号

注意 1. TImn 端子（m = 0, 1，n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2. TAU のチャネル 7 とチャネル 6 で，使用するタイマ入力のクロック・ソースを RTC1HZ 出力信号とする場合は，TIS23 = 1, TIS22 = 1 と設定して，チャネル 7 とチャネル 6 とも RTC1HZ 出力信号を選択してください。

3. RL78/F24 の 32 ピン製品には，タイマ・ポート TI17-TI14 と TO17-TO14 はありません。

4. RL78/F23 製品では，本レジスタは非搭載です。

6.3.11　タイマ出力許可レジスタ m（TOEm）

TOEm レジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネル n は，後述のタイマ出力レジスタ m（TOm）の TOmn ビットの値をソフトウェアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEm レジスタは，16 ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは，TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOEm レジスタは 0000H になります。

図 6－21　タイマ出力許可レジスタ m（TOEm）のフォーマット

アドレス：F01BAH, F01BBH（TOE0）, F01FAH, F01FBH（TOE1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネル n のタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず，出力を固定します。 TOmn ビットへの書き込みが可能です。
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し，出力波形を生成します。 TOmn ビットへの書き込みは無視されます。

注意　ビット 15-8 には必ず 0 を設定してください。（ユニット 1, 0：RL78/F24 製品）
ユニット 0 のビット 15-8 とユニット 1 のビット 15-4 には必ず 0 を設定してください。（RL78/F23 製品）

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TOE17-TOE14 は非搭載です。

6.3.12　タイマ出力レジスタ m（TOm）

TOm レジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタの TOmn ビットのソフトウェアによる書き換えは，タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は，ソフトウェアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

端子配置上，TImn, TOmn と兼用している端子をポート機能として使用する場合は，TOmn ビットに 0 を設定してください。

TOm レジスタは，16 ビット・メモリ操作命令で設定します。

また TOm レジスタの下位 8 ビットは，TOmL で 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOm レジスタは 0000H になります。

図 6－22　タイマ出力レジスタ m（TOm）のフォーマット

アドレス：F01B8H, F01B9H（TO0）, F01F8H, F01F9H（TO1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm 7	TOm 6	TOm 5	TOm 4	TOm 3	TOm 2	TOm 1	TOm 0

TOmn	チャネル n のタイマ出力
0	タイマ出力値が 0
1	タイマ出力値が 1

注意　ビット 15-8 には必ず 0 を設定してください。（ユニット 1, 0：RL78/F24 製品）

ユニット 0 のビット 15-8 とユニット 1 のビット 15-4 には必ず 0 を設定してください。（RL78/F23 製品）

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，TO17-TO14 は非搭載です。

6.3.13　タイマ出力レベル・レジスタ m（TOLm）

TOLm レジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネル n の反転設定は，タイマ出力許可（TOEmn = 1），複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には，このレジスタの設定は無効となります。

TOLm レジスタは，16 ビット・メモリ操作命令で設定します。

また TOLm レジスタの下位 8 ビットは，TOLmL で 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOLm レジスタは 0000H になります。

図 6－23　タイマ出力レベル・レジスタ m（TOLm）のフォーマット

アドレス：F01BCH, F01BDH（TOL0）, F01FCH, F01FDH（TOL1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネル n のタイマ出力レベルの制御
0	正転出力（アクティブ・ハイ）
1	反転出力（アクティブ・ロウ）

注意　ビット 15-8, 0 には必ず 0 を設定してください。（ユニット 1, 0：RL78/F24 製品）
ユニット 0 のビット 15-8, 0 とユニット 1 のビット 15-4, 0 には必ず 0 を設定してください。（RL78/F23 製品）

備考 1. タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

3. RL78/F23 製品では，TOL17-TOL14 は非搭載です。

6.3.14　タイマ出力モード・レジスタ m（TOMm）

TOMm レジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを 0 に設定します。

複数チャネル連動動作機能（PWM 出力，ワンショット・パルス出力，多重 PWM 出力）として使用する場合，マスタ・チャネルの対応ビットを 0 に設定し，スレーブ・チャネルの対応ビットを 1 に設定します。

このレジスタによる各チャネル n の設定は，タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOMm レジスタは，16 ビット・メモリ操作命令で設定します。

また TOMm レジスタの下位 8 ビットは，TOMmL で 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOMm レジスタは 0000H になります。

図 6－24　タイマ出力モード・レジスタ m（TOMm）のフォーマット

アドレス：F01BEH, F01BFH（TOM0）, F01FEH, F01FFH（TOM1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネル n のタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意　ビット 15-8, 0 には必ず 0 を設定してください。（ユニット 1, 0：RL78/F24 製品）
ユニット 0 のビット 15-8, 0 とユニット 1 のビット 15-4, 0 には必ず 0 を設定してください。（RL78/F23 製品）

備考 1. m：ユニット番号（m = 0, 1）
n：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p：スレーブ・チャネル番号
n ＜ p ≦ 7（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は「6.4.1　複数チャネル連動動作機能の基本ルール」を参照してください）

2. RL78/F23 製品では，TOM17-TOM14 は非搭載です。

6.3.15　ノイズ・フィルタ許可レジスタ 1, 2（NFEN1, NFEN2）

NFEN1, NFEN2 レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに 1 を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，CPU／周辺ハードウェア・クロック（f_{MCK}）で 2 クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，CPU／周辺ハードウェア・クロック（f_{MCK}）で同期化だけ行います[注]。

NFEN1, NFEN2 レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，NFEN1, NFEN2 レジスタは 00H になります。

注　詳細は「6.5.1 (2)　TImn 端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）」，「6.5.2　カウンタのスタート・タイミング」を参照。

図 6－25　ノイズ・フィルタ許可レジスタ 1, 2（NFEN1, FNEN2）のフォーマット（1/2）

アドレス：F0071H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN06	TI06 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN05	TI05 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN04	TI04 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN03	TI03 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN02	TI02 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN01	TI01 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN00	TI00 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

注意　**タイマ入力選択レジスタ 1（TIS1）の TIS17, TIS16 ビットを設定することにより，適用する端子を切り替えることができます。**

TIS17, TIS16 = 0, 0 に設定：TI07 端子のノイズ・フィルタ使用可否選択が可能

TIS17, TIS16 = 1, 0 に設定：RXD0 端子のノイズ・フィルタ使用可否選択が可能

備考　チャネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は「表 6－2　各製品に搭載しているタイマ入出力端子」を参照してください。

図 6－25　ノイズ・フィルタ許可レジスタ 1, 2（FNEN1, NFEN2）のフォーマット（2/2）

アドレス：F0072H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN2	TNFEN17	TNFEN16	TNFEN15	TNFEN14	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN17	TI17 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN16	TI16 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN15	TI15 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN14	TI14 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN13	TI13 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN12	TI12 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN11	TI11 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN10	TI10 端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

備考 1. チャネル 0-7 のタイマ入出力端子の有無は製品によって異なります。詳細は「表 6－2　各製品に搭載しているタイマ入出力端子」を参照してください。

2. RL78/F23 製品では，ビット 7-4 は非搭載です。

6.3.16　ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 12（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12）

ポート 0, 1, 3, 4, 5, 6, 7, 12 の入力／出力を 1 ビット単位で設定するレジスタです。

タイマ入出力端子の有無は製品によって異なります。そのため，タイマ・アレイ・ユニット使用時に各製品で設定するポート・モード・レジスタは次のようになります。

RL78/F24 製品：　PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12

RL78/F23 製品：　PM0, PM1, PM3, PM4, PM5, PM6, PM12

タイマ出力端子を兼用するポート（P17/TO00/TI00，P16/TO02/TI02 など）をタイマ出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに 0 を設定してください。

例）P16/TO02/TI02 をタイマ出力として使用する場合

ポート・モード・レジスタ 1 の PM16 ビットを 0 に設定

ポート・レジスタ 1 の P16 ビットを 0 に設定

タイマ出力端子を兼用するポート（P17/TO00/TI00, P16/TO02/TI02 など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに 1 を設定してください。このときポート・レジスタ（Pxx）のビットは，0 または 1 のどちらでもかまいません。

例）P16/TO02/TI02 をタイマ入力として使用する場合

ポート・モード・レジスタ 1 の PM16 ビットを 1 に設定

ポート・レジスタ 1 の P16 ビットは 0 または 1 のどちらでもかまいません。

PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，FFH になります。

図 6－26　ポート・モード・レジスタ（PMm）のフォーマット　（100 ピン製品の場合）

アドレス：FFF20H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	PM01	PM00

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス：FFF25H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

アドレス：FFF27H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

アドレス：FFF2CH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	1	1	1	1	PM120

PMmn	Pmn 端子の入出力モードの選択（m = 0, 1, 3, 4, 5, 6, 7, 12 ; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

備考　上記は，100 ピン製品のポート・モード・レジスタ 0, 1, 3, 4, 5, 6, 7, 12 のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては「第 4 章　ポート機能」を参照してください。

6.3.17　PWM 出力遅延制御レジスタ 1（PWMDLY1）

PWMDLY1 レジスタは，TO0n 端子から出力する PWM 出力信号の出力遅延を制御するレジスタです。

PWMDLY1 レジスタは 16 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PWMDLY1 レジスタは 0000H になります。

アドレス：F022BH　リセット時：00H　R/W

略号	15	14	13	12	11	10	9	8
PWMDLY1	TO071	TO070	TO061	TO060	TO051	TO050	TO041	TO040

アドレス：F022AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PWMDLY1	TO031 注	TO030 注	TO021 注	TO020 注	TO011	TO010	0	0

TO0n1	TO0n0	タイマ・アレイ・ユニット 0 TO0n の PWM 出力遅延制御
0	0	遅延なし
0	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の 1 サイクル分遅延
1	0	CPU／周辺ハードウェア・クロック（f_{CLK}）の 2 サイクル分遅延
1	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の 3 サイクル分遅延

注　本レジスタを遅延ありに設定した場合，TO0n の PWM 出力は遅延ありとなりますが，内部接続する周辺機能へのタイマ出力信号は遅延しません。

備考　n：チャネル番号（n = 1-7）

注意 1. 本レジスタは，PWM 出力前に設定してください（動作中に変更しないで下さい）。

2. 本レジスタは 16 ビット・メモリ操作命令で設定してください。1, 8 ビット・メモリ操作命令で設定しないでください。

3. タイマ出力が遅延するため，PWM 出力として使用しない場合は 0 に設定してください。

4. PWM 出力停止後に本レジスタを設定する場合は，CPU／周辺ハードウェア・クロック（f_{CLK}）の 4 サイクル後以降に設定してください。

5. 本レジスタを遅延ありに設定した場合でも，TO0n 以外の兼用機能は遅延しません（n = 1-7）。

6.3.18　PWM 出力遅延制御レジスタ 2（PWMDLY2）

PWMDLY2 レジスタは，TO1n 端子から出力する PWM 出力信号の出力遅延を制御するレジスタです。

PWMDLY2 レジスタは 16 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PWMDLY2 レジスタは 0000H になります。

アドレス：F022DH　リセット時：00H　R/W

略号	15	14	13	12	11	10	9	8
PWMDLY2	TO171	TO170	TO161	TO160	TO151	TO150	TO141	TO140

アドレス：F022CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PWMDLY2	TO131	TO130	TO121	TO120	TO111	TO110	0	0

TO1n1	TO1n0	タイマ・アレイ・ユニット 1 TO1n の PWM 出力遅延制御
0	0	遅延なし
0	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の 1 サイクル分遅延
1	0	CPU／周辺ハードウェア・クロック（f_{CLK}）の 2 サイクル分遅延
1	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の 3 サイクル分遅延

備考 1. n：チャネル番号（n = 1-7）

2. RL78/F23 製品では，ビット 15-8 は非搭載です。

注意 1. 本レジスタは，PWM 出力前に設定してください。（動作中に変更しないで下さい。）

2. 本レジスタは 16 ビット・メモリ操作命令で設定してください。1, 8 ビット・メモリ操作命令で設定しないでください。

3. タイマ出力が遅延するため，PWM 出力として使用しない場合は 0 に設定してください。

4. PWM 出力停止後に本レジスタを設定する場合は，CPU／周辺ハードウェア・クロック（f_{CLK}）の 4 サイクル後以降に設定してください。

5. 本レジスタを遅延ありに設定した場合でも TO1n 以外の兼用機能は遅延しません（n = 1-7）。

6.4　タイマ・アレイ・ユニットの基本ルール

6.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには，偶数チャネル（チャネル 0，チャネル 2，チャネル 4，チャネル 6）のみ設定できます。

(2) スレーブ・チャネルには，チャネル 0 を除くすべてのチャネルを設定できます。

(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。

例　チャネル 2 をマスタ・チャネルにした場合，チャネル 3 以降（チャネル 3，チャネル 4，チャネル 5･･･）をスレーブ・チャネルに設定できます。

(4) 1 つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。

(5) マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。

例　チャネル 0，チャネル 4 をマスタ・チャネルにした場合，マスタ・チャネル 0 は，チャネル 1-3 までをスレーブ・チャネルとして設定できます。マスタ・チャネル 0 は，チャネル 5-7 をスレーブ・チャネルとして設定できません。

(6) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルの CKSmn0, CKSmn1 ビット（タイマ・モード・レジスタ mn（TMRmn）のビット 15, 14）が同じ設定値になっている必要があります。

(7) マスタ・チャネルは INTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャネルに伝えることができます。

(8) スレーブ・チャネルはマスタ・チャネルの INTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身の INTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。

(9) マスタ・チャネルは，他の上位のマスタ・チャネルからの INTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。

(10) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。

(11) カウント動作中の TSm ビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルの TSm ビットのみの設定では使用できません。

(12) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。

(13) マスタ・チャネルとスレーブ・チャネルの動作クロックを同期させる必要があるため，チャネルが同時に動作している間は CKm2 / CKm3 を選択できません。

(14) タイマ・モード・レジスタ m0（TMRm0）は，マスタ・ビットがなく 0 に固定されています。しかし，チャネル 0 は最上位チャネルなので，連動動作時は，チャネル 0 をマスタ・チャネルとして使用できます。

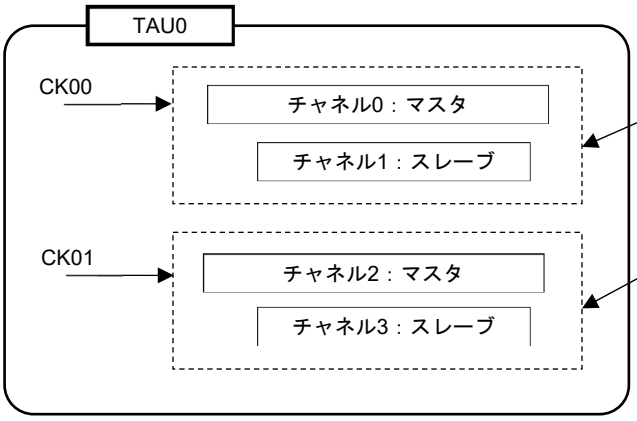
複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1 つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない 2 つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

例 1

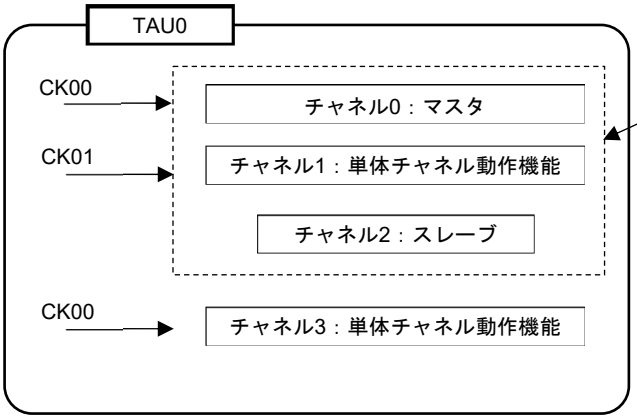


チャネル・グループ1（複数チャネル連動動作機能）

チャネル・グループ2（複数チャネル連動動作機能）

※チャネル・グループ1とチャネル・グループ2の動作クロックは、異なっても構いません。

例 2



チャネル・グループ1（複数チャネル連動動作機能）

※チャネル・グループ1のマスタとスレーブの間に、単体チャネル動作機能を動作させるチャネルが存在する場合があります。また、動作クロックは個別に設定できます。

6.4.2　8 ビット・タイマ動作機能の基本ルール（チャネル 1, 3 のみ）

8 ビット・タイマ動作機能は，16 ビット・タイマのチャネルを 8 ビット・タイマの 2 チャネル構成として使用する機能です。

8 ビット・タイマ動作機能は，チャネル 1, 3 のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に 8 ビット・タイマ動作機能の基本的なルールを示します。

(1) 8 ビット・タイマ動作機能が適用されるチャネルは，チャネル 1, 3 のみです。

(2) 8 ビット・タイマとして使用する場合には，タイマ・モード・レジスタ mn（TMRmn）の SPLITmn ビットを 1 に設定します。

(3) 上位 8 ビットは，インターバル・タイマ機能として動作することができます。

(4) 上位 8 ビットは，動作開始時に INTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。

(5) 上位 8 ビットの動作クロック選択は，下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。

(6) 上位 8 ビットは，TSHm1/TSHm3 ビットを操作することでチャネル動作を開始し，TTHm1/TTHm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEHm1/TEHm3 ビットで確認できます。

(7) 下位 8 ビットは，TMRmn レジスタの設定にしたがって動作します。下位 8 ビットの動作をサポートする機能は，以下の 3 機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能
- ディレイ・カウント機能

(8) 下位 8 ビットは，TSm1/TSm3 ビットを操作することでチャネル動作を開始し，TTm1/TTm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEm1/TEm3 ビットで確認できます。

(9) 16 ビットで動作させる場合には，TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャネル 1, 3 が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。

(10) 8 ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重 PWM）を使用することはできません。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1, 3）

6.5　カウンタの動作タイミング

6.5.1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタ mn（TMRmn）の CCSmn ビットにより，以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック（f_{MCK}）
- TImn 端子からの入力信号の有効エッジ

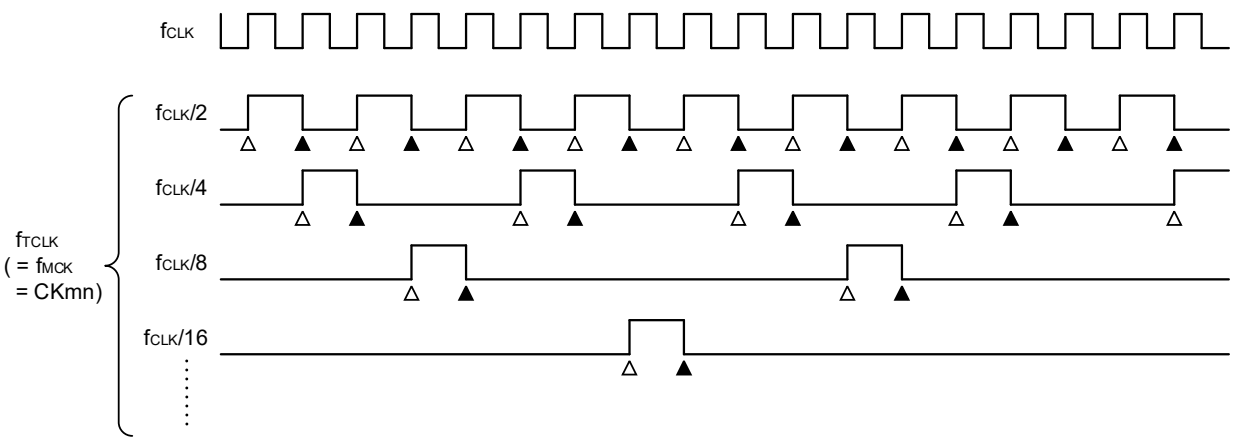
タイマ・アレイ・ユニットは，f_{CLK} との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

(1)　CKSmn0, CKSmn1 ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSmn = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタ m（TPSm）の設定により，f_{CLK}-$f_{CLK}/2^{15}$ となります。ただし，f_{CLK} の分周を選んだ場合は，TPSm レジスタで選択するクロックは，立ち上がりから f_{CLK} の 1 周期分だけハイ・レベルになる信号となります。f_{CLK} を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn（TCRmn）は，f_{CLK} との同期をとるため，カウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図 6－27　f_{CLK} とカウント・クロック（f_{TCLK}）のタイミング（CCSmn = 0 の時）



備考 1. △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

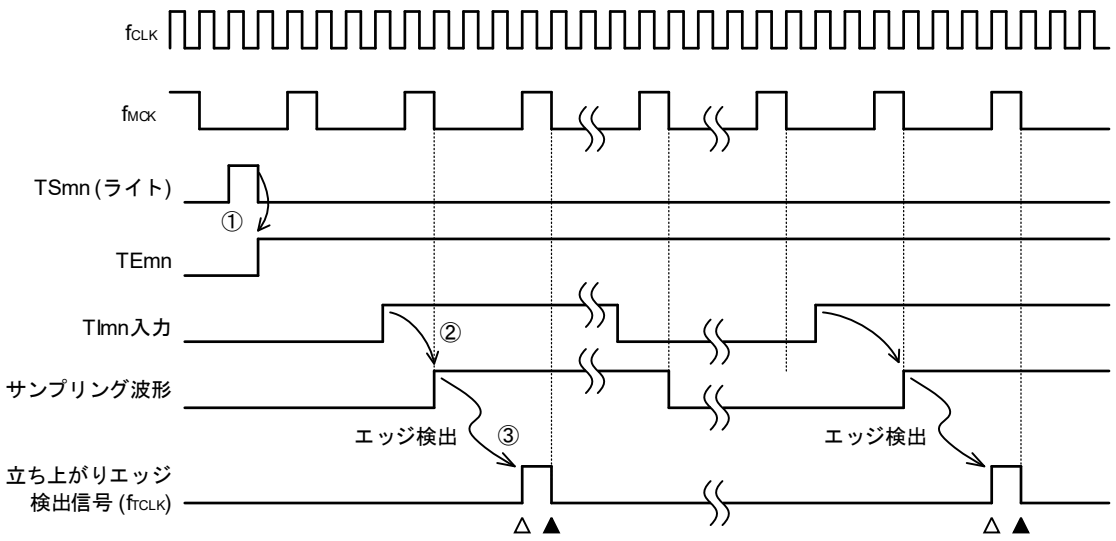
2. f_{CLK}：CPU／周辺ハードウェア・クロック

(2)　TImn 端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（f_{TCLK}）は，TImn 端子からの入力信号の有効エッジを検出し，次の f_{MCK} の立ち上がりに同期した信号になります。これは，実際の TImn 端子からの入力信号より f_{MCK} の 1-2 クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK} の 3-4 クロック分遅れます）。

また，タイマ・カウンタ・レジスタ mn（TCRmn）は，f_{CLK} との同期をとるためにカウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが，このことを便宜上「TImn 端子からの入力信号の有効エッジでカウントする」と表現します。

図 6－28　カウント・クロック（f_{TCLK}）のタイミング（CCSmn = 1，ノイズ・フィルタ未使用時）



① TSmn ビットをセットすることでタイマが動作を開始し，TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが f_{MCK} でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出が行われ，検出信号（カウント・クロック）が出力されます。

備考 1. △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2. f_{CLK}：CPU／周辺ハードウェア・クロック

f_{MCK}：チャネル n の動作クロック

3. 入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2　カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn（TCRmn）は，タイマ・チャネル開始レジスタ m（TSm）の TSmn ビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタ mn（TCRmn）のカウント・スタートまでの動作を，表 6－7 に示します。

表 6－7　カウント動作許可状態からタイマ・カウンタ・レジスタ mn（TCRmn）のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1 にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（「6.5.3 (1)　インターバル・タイマ・モードの動作」を参照）。
イベント・カウンタ・モード	TSmn ビットに 1 を書き込むことにより，　TDRmn レジスタの値を TCRmn レジスタにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMRmn レジスタの STSmn2-STSmn0 ビットで選択した外部トリガ検出では，カウント動作を開始しません（「6.5.3 (2)　イベント・カウンタ・モードの動作」を参照）。
キャプチャ・モード	スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（「6.5.3 (3)　キャプチャ・モードの動作（入力パルス間隔測定）」を参照）。
ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（「6.5.3 (4)　ワンカウント・モードの動作」を参照）。
キャプチャ＆ワンカウント･モード	タイマ動作停止（TEmn = 0）の状態で，TSmn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（「6.5.3 (5)　キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定時）」を参照）。

6.5.3　カウンタの動作

各モードでのカウンタ動作を説明します。

(1)　インターバル・タイマ・モードの動作

① TSmn ビットへ 1 を書き込むことにより，動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタ mn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。

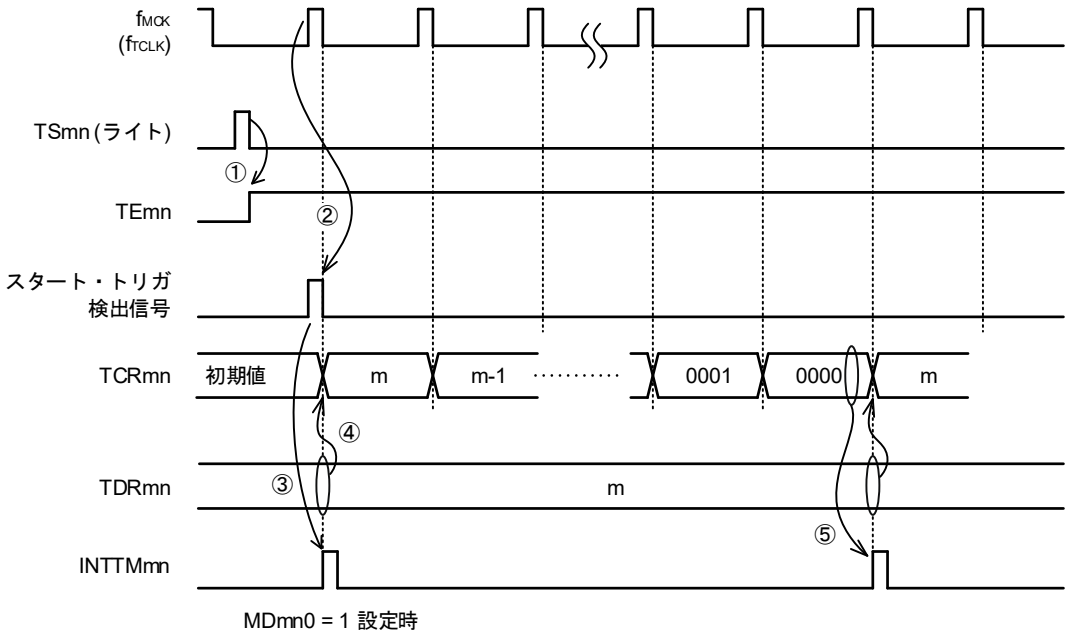
② 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。

③ MDmn0 ビットが 1 に設定されている場合には，スタート・トリガにより，INTTMmn が発生します。

④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタ mn（TDRmn）の値を TCRmn レジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。

⑤ TCRmn レジスタがカウント・ダウンしてカウント値が 0000H になると，次のカウント・クロック（f_{MCK}）で INTTMmn を発生し，タイマ・データ・レジスタ mn（TDRmn）の値を TCRmn レジスタにロードしてカウントを継続します。

図 6－29　動作タイミング（インターバル・タイマ・モード時）



注意　カウント・クロックの 1 周期目の動作は TSmn ビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1 周期目は最大でカウント・クロック 1 クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1 に設定することで，カウント開始時に割り込みを発生させることができます。

備考　f_{MCK}，スタート・トリガ検出信号，INTTMmn は，f_{CLK} に同期して 1 クロック間アクティブとなります。

(2)　イベント・カウンタ・モードの動作

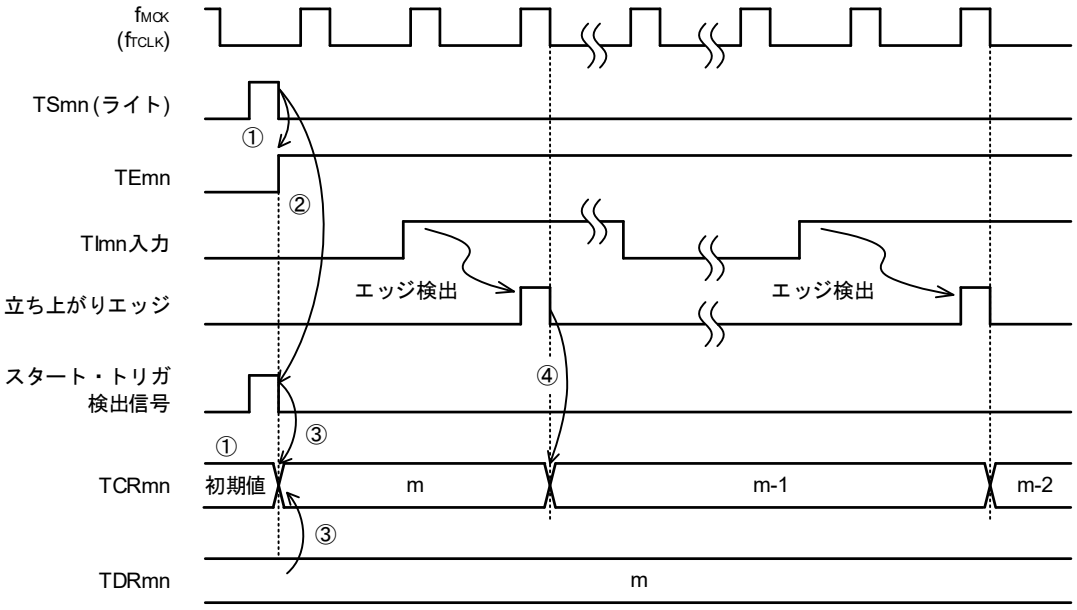
① 動作停止状態（TEmn = 0）の期間，タイマ・カウンタ・レジスタ mn（TCRmn）は，初期値を保持します。

② TSmn ビットへ 1 を書き込むことにより，動作許可状態（TEmn = 1）となります。

③ TSmn = 1→TEmn = 1 と同時に，TCRmn レジスタにタイマ・データ・レジスタ mn（TDRmn）の値をロードし，カウントを開始します。

④ 以降は TImn 入力の有効エッジでのカウント・クロックに従い，TCRmn レジスタの値をダウン・カウントします。

図 6－30　動作タイミング（イベント・カウンタ・モード時）



備考　このタイミングはノイズ･フィルタを使用しないときのタイミングです。ノイズ･フィルタをオンにすると，エッジ検出は TImn 入力からさらに fMCK の 2 周期分（合計で 3-4 周期分）遅くなります。

(3)　キャプチャ・モードの動作（入力パルス間隔測定）

① TSmn ビットへ 1 を書き込むことにより，動作許可状態（TEmn = 1）となります。

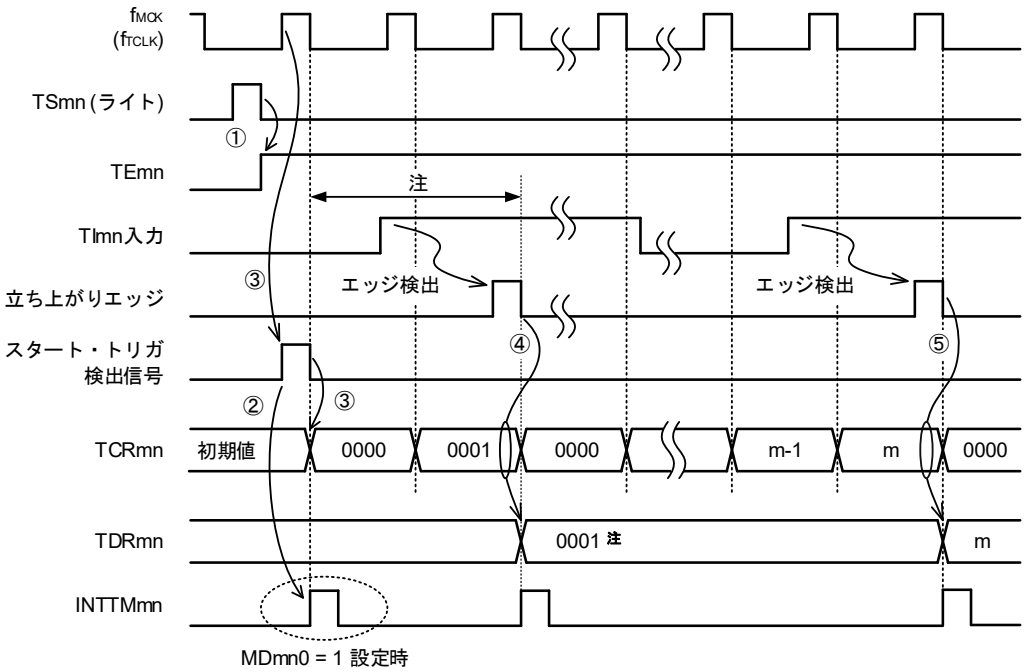
② タイマ・カウンタ・レジスタ mn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。

③ 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。そして 0000H の値を TCRmn レジスタにロードし，キャプチャ・モードでのカウントを開始します。（MDmn0 ビットが 1 に設定されている場合には，スタート・トリガにより，INTTMmn が発生します。）

④ TImn 入力の有効エッジを検出すると，TCRmn レジスタの値を TDRmn レジスタにキャプチャし，INTTMmn 割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCRmn レジスタは 0000H からカウントを継続します。

⑤ 次の TImn 入力の有効エッジを検出すると，TCRmn レジスタの値を TDRmn レジスタにキャプチャし，INTTMmn 割り込みが発生します。

図 6－31　動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注　スタート前から TImn にクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では 0001：2 クロック分の間隔）ので，無視してください。

注意　カウント・クロックの 1 周期目の動作は TSmn ビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1 周期目は最大でカウント・クロック 1 クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1 に設定することで，カウント開始時に割り込みを発生させることができます。

備考　このタイミングはノイズ･フィルタを使用しないときのタイミングです。ノイズ･フィルタをオンにすると，エッジ検出は TImn 入力からさらに f_{MCK} の 2 周期分（合計で 3-4 周期分）遅くなります。1 周期あたりのエラーは，TImn 入力周期とカウント・クロック（f_{MCK}）周期の間で非同期に発生します。

(4)　ワンカウント・モードの動作

① TSmn ビットへ 1 を書き込むことにより，動作許可状態（TEmn = 1）となります。

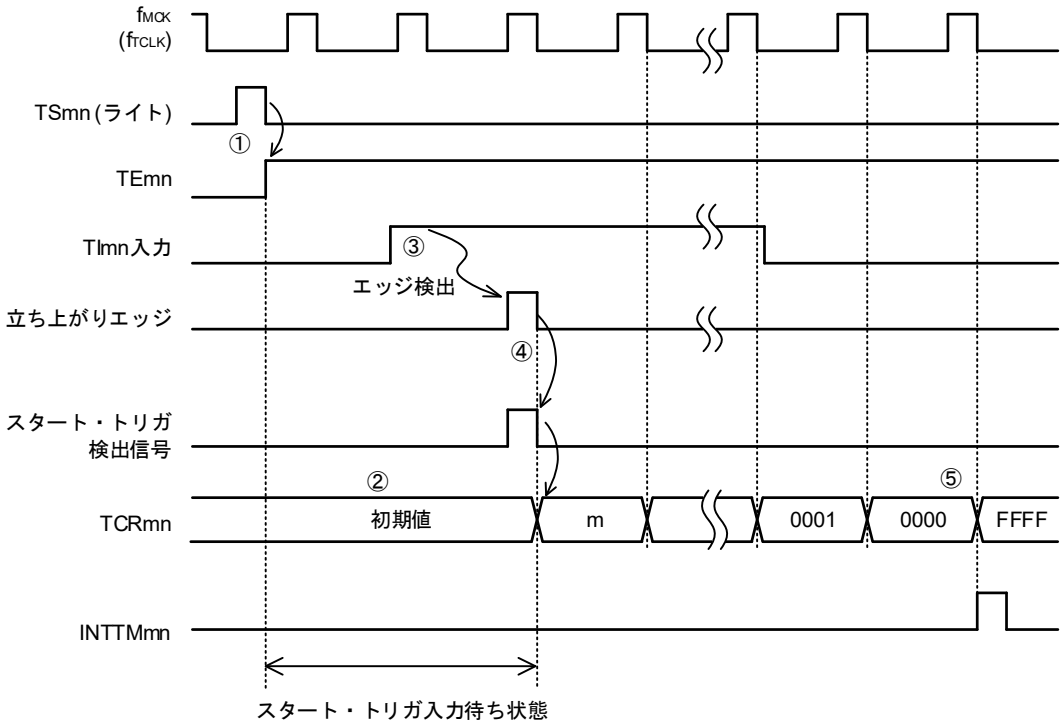
② タイマ・カウンタ・レジスタ mn（TCRmn）は，スタート・トリガ発生まで初期値を保持しています。

③ TImn 入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，TDRmn レジスタの値（m）を TCRmn レジスタにロードし，カウントを開始します。

⑤ TCRmn レジスタがカウント・ダウンしてカウント値が 0000H になると，INTTMmn 割り込みを発生し，TCRmn レジスタは FFFFH で停止します。

図 6－32　動作タイミング（ワンカウント・モード時）



備考　上図はノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出は TImn 入力からさらに f_{MCK} の 2 周期分（合計で 3-4 周期分）遅くなります。1 周期分の誤差は TImn 入力とカウント・クロック（f_{MCK}）が非同期なためです。

(5)　キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定時）

① タイマ・チャネル開始レジスタ m（TSm）の TSmn ビットに 1 を書き込むことにより，動作許可状態（TEmn = 1）となります。

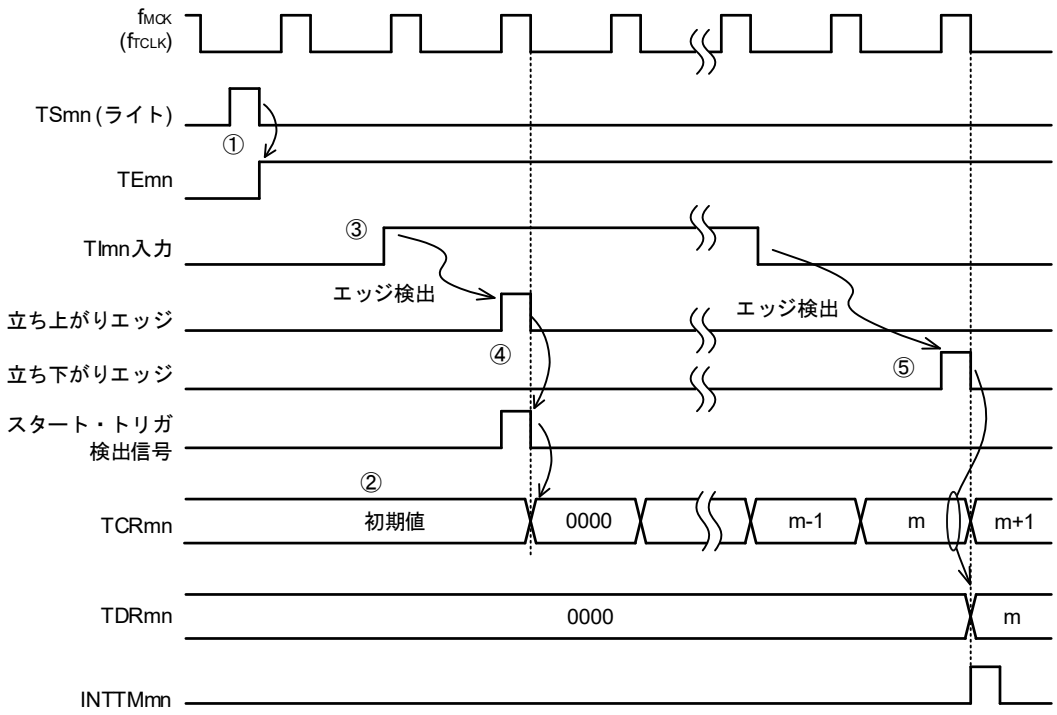
② タイマ・カウンタ・レジスタ mn（TCRmn）は，スタート・トリガ発生まで初期値を保持します。

③ TImn 入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，0000H を TCRmn レジスタにロードし，カウントを開始します。

⑤ TImn 入力の立ち下がりエッジを検出すると，TCRmn レジスタの値を TDRmn レジスタにキャプチャし，INTTMmn 割り込みが発生します。

図 6－33　動作タイミング（キャプチャ＆ワンカウント・モード：ハイ・レベル幅測定時）

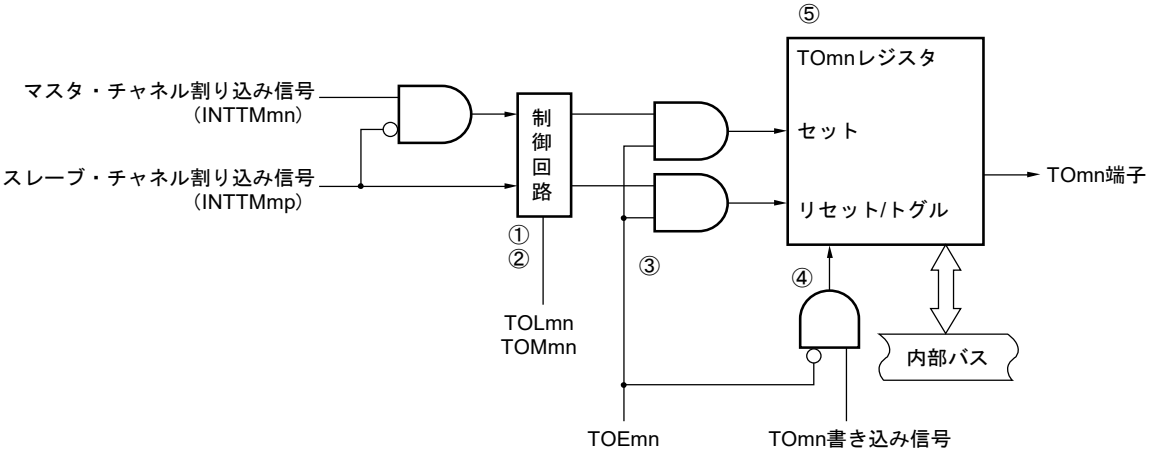


備考　上図は，ノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出は TImn 入力からさらに f_{MCK} の 2 周期分（合計で 3-4 周期分）遅くなります。1 周期分の誤差は TImn 入力とカウント・クロック（f_{MCK}）が非同期なためです。

6.6　チャネル出力（TOmn 端子）の制御

6.6.1　TOmn 端子の出力回路の構成

図 6－34　出力回路構成図



TOmn 端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタ m（TOLm）の設定値は無視され，INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタ m（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは，INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）が TOm レジスタに伝えられます。
このとき，TOLm レジスタが有効となり，次のように信号を制御します。
TOLmn = 0 の場合：正転動作（INTTMmn→セット，INTTMmp→リセット）
TOLmn = 1 の場合：反転動作（INTTMmn→リセット，INTTMmp→セット）
また，INTTMmn と INTTMmp が同時に発生した場合（PWM 出力の 0%出力時）は，INTTMmp（リセット信号）が優先され，INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で，INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）が TOm レジスタに伝えられます。TOm レジスタへの書き込み（TOmn ライト信号）は無効となります。
また，TOEmn = 1 のとき，割り込み信号以外で TOmn 端子の出力が変化することはありません。TOmn 端子の出力レベルを初期化する場合は，タイマ動作停止（TOEmn = 0）に設定し TOm レジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で，対象チャネルの TOmn ビットへの書き込み（TOmn ライト信号）が有効となります。タイマ出力禁止状態（TOEmn = 0）のとき，INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）は TOm レジスタに伝えられません。

⑤ TOm レジスタは常に読み出し可能であり，TOmn 端子の出力レベルを確認することができます。

（**備考**が次のページにあります。）

備考 1. m：ユニット番号（m = 0, 1）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

p：スレーブ・チャネル番号

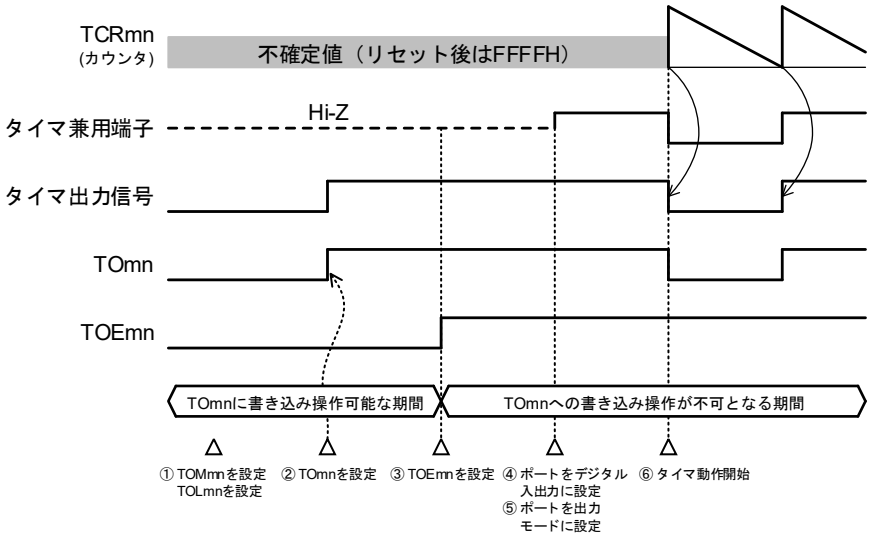
n ＜ p ≦ 7

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.6.2　TOmn 端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図 6－35　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmn ビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）
- TOLmn ビット（0：正転出力，1：反転出力）

② タイマ出力レジスタ m（TOm）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOEmn ビットに 1 を書き込み，タイマ出力動作を許可します（TOm レジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール・レジスタ（PMCm）でポートをデジタル入出力に設定します（「4.3.6 ポート・モード・コントロール・レジスタ（PMCm）」を参照）。

⑤ ポートの入出力設定を出力に設定します（「6.3.16　ポート・モード・レジスタ 0, 1, 3, 4, 5, 6, 7, 12（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM12）」を参照）。

⑥ タイマを動作許可にします（TSmn = 1）。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.6.3　チャネル出力操作時の注意事項

(1)　タイマ動作中の TOm, TOEm, TOLm, TOMm レジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタ mn（TCRmn）,タイマ・データ・レジスタ mn（TDRmn）の動作）は，TOmn 出力回路とは独立しています。よって，タイマ出力レジスタ m（TOm），タイマ出力許可レジスタ m（TOEm），タイマ出力レベル・レジスタ m（TOLm），タイマ出力モード・レジスタ m（TOMm）の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形を TOmn 端子から出力するためには，6.7 節，6.8 節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTMmn）近辺で，TOm レジスタを除く TOEm レジスタ，TOLm レジスタ，TOMm レジスタの設定値変更を行うと，タイマ割り込み（INTTMmn）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（INTTMmn）信号発生タイミング直後に設定値変更が実施された場合とでは，TOmn 端子に出力される波形が異なる場合があります。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

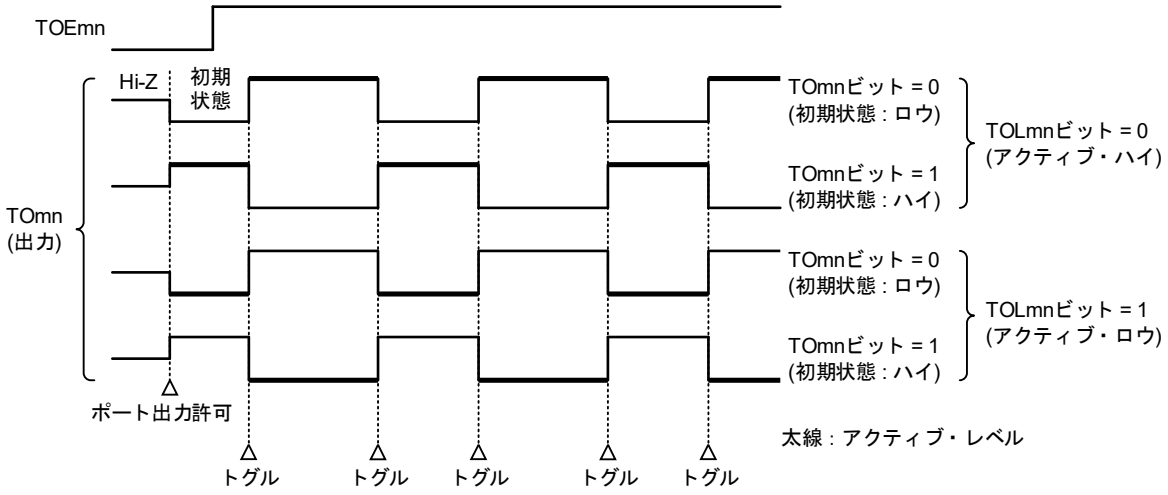
(2)　TOmn 端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタ m（TOm）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOEmn = 1）に設定した場合の TOmn 端子出力レベルの変化を次に示します。

(a)　マスタ・チャネル出力モード（TOMmn = 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn = 0）の時，タイマ出力レベル・レジスタ m（TOLm）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生により TOmn 端子の出力レベルを反転します。

図 6－36　トグル出力時（TOMmn = 0）の TOmn 端子出力状態



備考 1. トグル : TOmn 端子の出力状態を反転

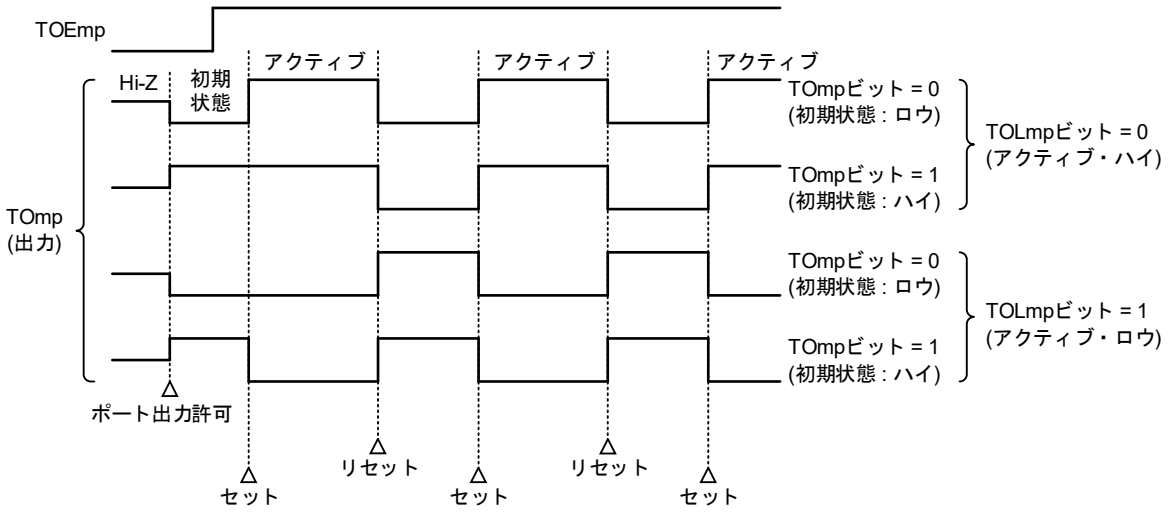
2. m : ユニット番号（m = 0, 1），n : チャネル番号（n = 0-7）

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

(b)　スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM 出力）

スレーブ・チャネル出力モード（TOMmp = 1）の時，タイマ出力レベル・レジスタ m（TOLmn）の設定によりアクティブ・レベルを決定します。

図 6－37　PWM 出力時（TOMmp = 1）の TOmp 端子出力状態



備考 1. セット　　：TOmp 端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TOmp 端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2. m：ユニット番号（m = 0, 1），p：チャネル番号（p = 1-7）

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

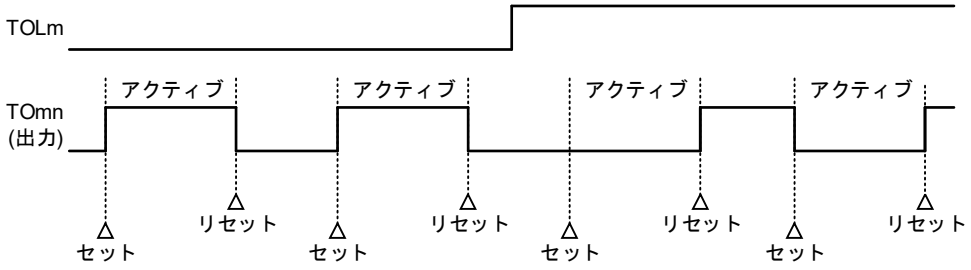
(3)　TOmn 端子のスレーブ・チャネル出力モード（TOMmn = 1）での動作について

(a)　タイマ動作中にタイマ出力レベル・レジスタ m（TOLm）の設定を変更した場合

タイマ動作中に TOLm レジスタの設定を変更した場合，設定が有効となるのは TOmn 端子変化条件の発生タイミングです。TOLm レジスタの書き換えでは，TOmn 端子の出力レベルは変化しません。

TOMmn = 1 で，タイマ動作中（TEmn = 1）に TOLm レジスタの値を変更した場合の動作を次に示します。

図 6－38　タイマ動作中に TOLm レジスタを変更した場合の動作



備考 1.　セット　：TOmn 端子の出力信号がインアクティブ・レベルからアクティブ・レベルに変化
　　リセット：TOmn 端子の出力信号がアクティブ・レベルからインアクティブ・レベルに変化

2.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

3.　RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

(b)　セット／リセット・タイミング

PWM 出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTMmn）発生時の TOmn 端子/TOmn ビットのセット・タイミングをスレーブ・チャネルにて 1 カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

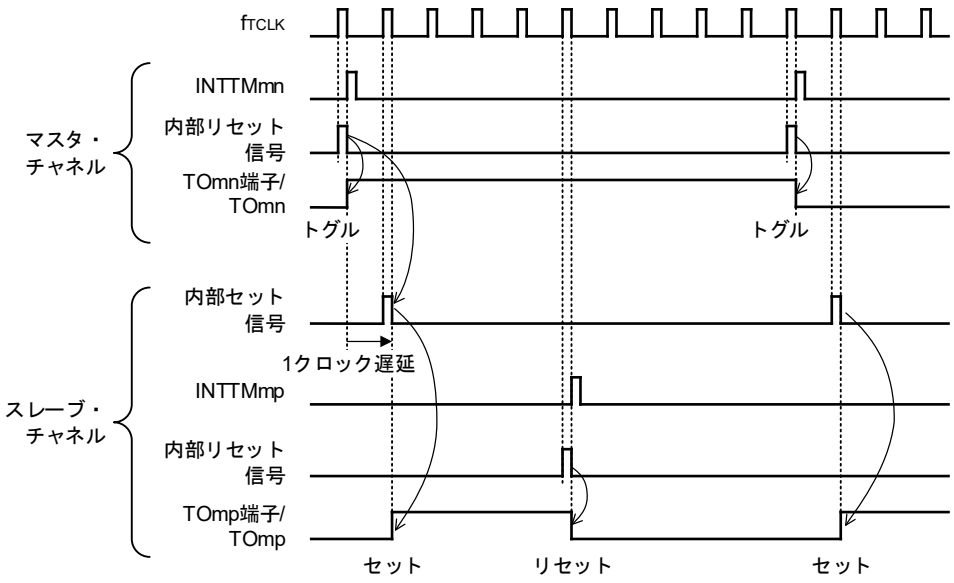
マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図 6－39 に示します。

マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0

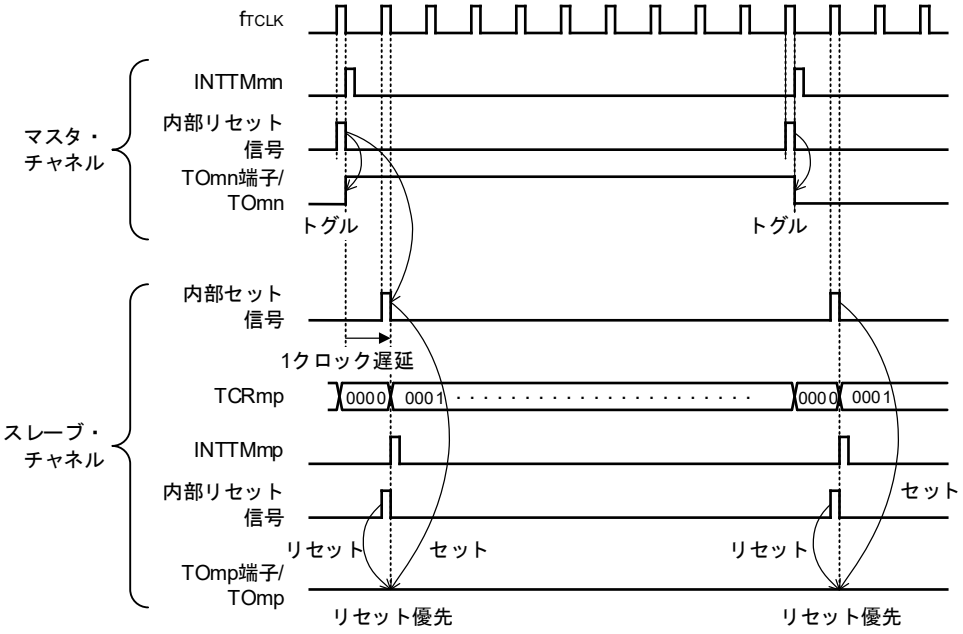
スレーブ・チャネル　：TOEmp = 1, TOMmp = 1, TOLmp = 0

図 6－39　セット／リセット・タイミング動作状態

(1)　基本動作タイミング



(2)　0%デューティ時の動作タイミング



備考 1. 内部リセット信号　：TOmn 端子のリセット／トグル信号

内部セット信号　　：TOmn 端子のセット信号

2. m：ユニット番号（m = 0, 1）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

p：スレーブ・チャネル番号

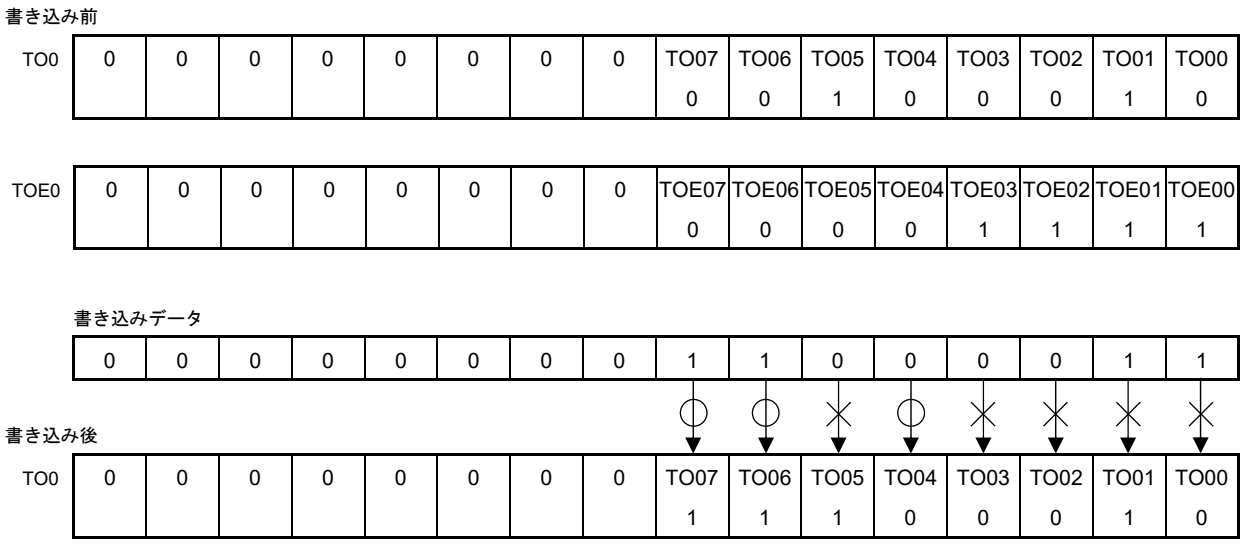
n ＜ p ≦ 7

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.6.4　TOmnビットの一括操作

タイマ出力レジスタ m（TOm）には，タイマ・チャネル開始レジスタ m（TSm）と同様に，1 レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって，全チャネルの TOmn ビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TOmn）のみ TOmn ビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

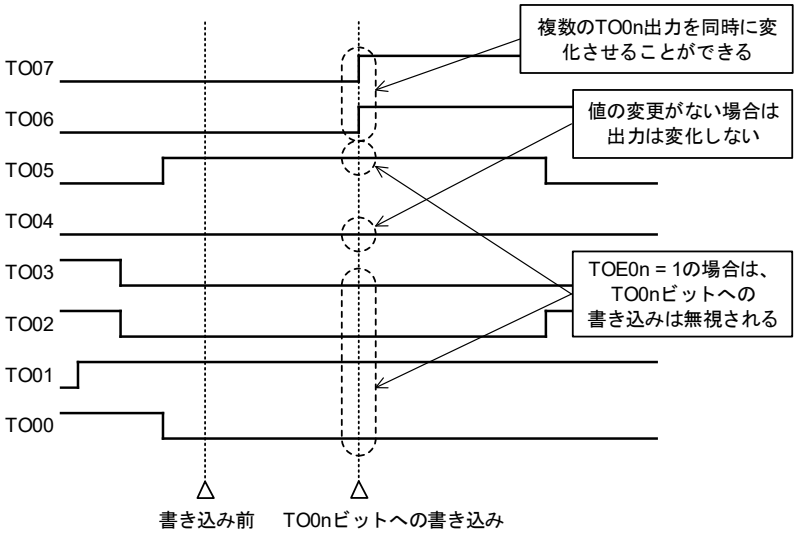
図 6－40　TO0n ビットの一括操作例



TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。

TOEmn = 1 に設定されている TOmn（チャネル出力）は，書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図 6－41　TO0n ビットの一括操作による TO0n の端子状態



備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.6.5　カウント動作開始時のタイマ割り込みと TOmn 端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタ mn（TMRmn）の MDmn0 ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

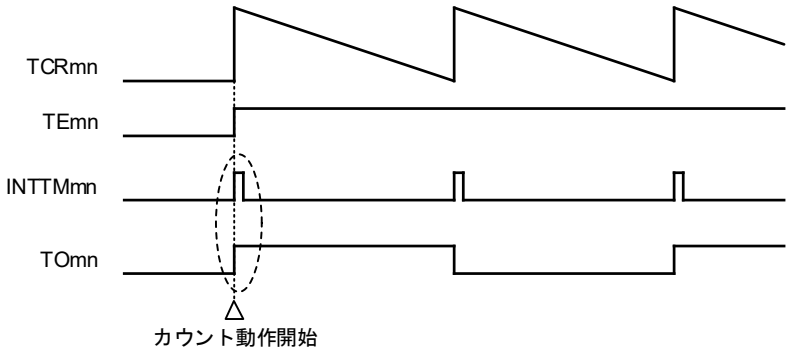
MDmn0 = 1 に設定することで，タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOmn 出力は制御しません。

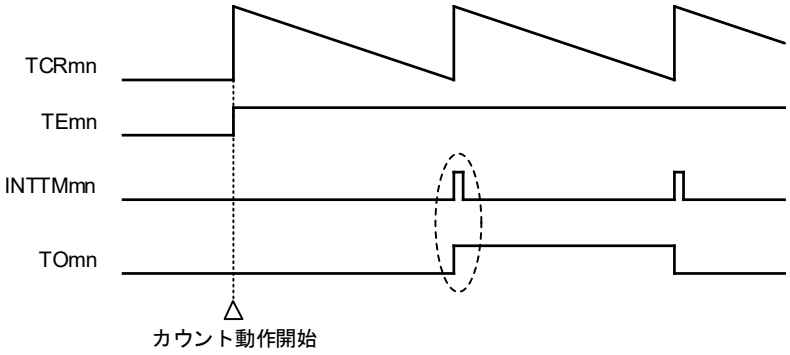
インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図 6－42　カウント動作開始時のタイマ割り込み，TOmn 出力の動作例

(a)　MDmn0 = 1 に設定した場合



(b)　MDmn0 = 0 に設定した場合



MDmn0 = 1 に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）が出力され，TOmn がトグル動作します。

MDmn0 = 0 に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmn も変化しません。1 周期をカウント後，INTTMmn を出力し，TOmn がトグル動作します。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.7　タイマ・アレイ・ユニットの単独チャネル動作機能

6.7.1　インターバル・タイマ／方形波出力としての動作

(1)　インターバル・タイマ

一定間隔で INTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期 ×（TDRmn の設定値 ＋ 1）

(2)　方形波出力としての動作

TOmnは，INTTMmn発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TOmn出力波形の周期と周波数は，次の式で求めることができます。

・TOmn からの出力方形波の周期 ＝ カウント・クロックの周期 ×（TDRmn の設定値 ＋ 1）× 2

・TOmn からの出力方形波の周波数 ＝ カウント・クロックの周波数／{（TDRmn の設定値 ＋ 1）× 2 }

タイマ・カウンタ・レジスタ mn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に 1 を設定後，最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn（TDRmn）の値をロードします。このときタイマ・モード・レジスタ mn（TMRmn）の MDmn0 = 0 ならば，INTTMmn を出力せず，TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば，INTTMmn を出力して，TOmn をトグルします。

その後，　TCRmn レジスタはカウント・クロックに合わせてダウン・カウントを行います。

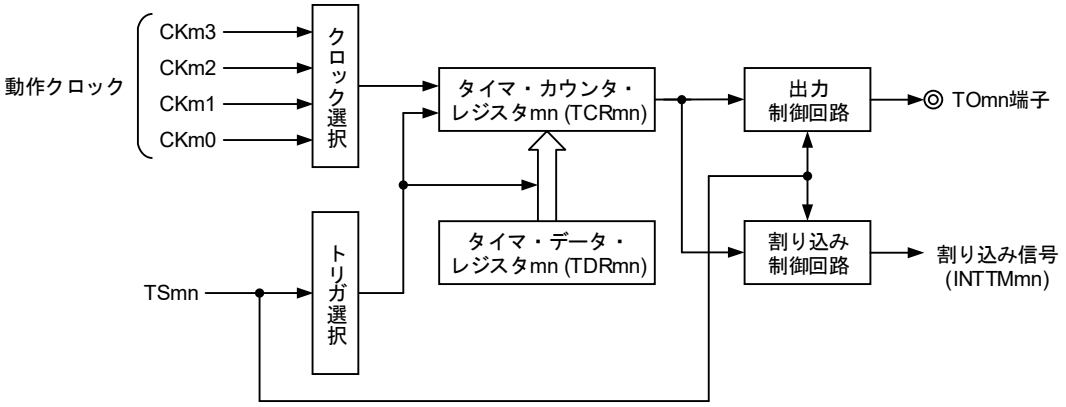
TCRmn ＝ 0000H となったら，次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また，同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降，同様の動作を継続します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は，次の周期から有効となります。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

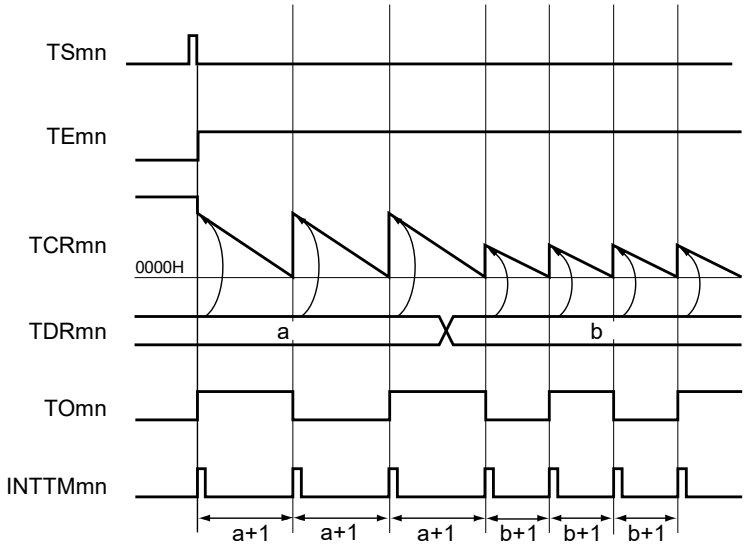
2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－43　インターバル・タイマ／方形波出力としての動作のブロック図



備考　RL78/F23 製品のユニット 1 のチャネル 0, 2：クロックは CK12, CK13 を選択できません（図 6－2，図 6－12 を参照）

図 6－44　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）



備考 1. m　　：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. TSmn　：タイマ・チャネル開始レジスタ m（TSm）のビット n

TEmn　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n

TCRmn　：タイマ・カウンタ・レジスタ mn

TDRmn　：タイマ・データ・レジスタ mn

TOmn　：TOmn 端子出力信号

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－45　インターバル・タイマ／方形波出力時のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	0	0	0	0	0	0	0	0	1/0

チャネルnの動作モード
000B:インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず、タイマ出力反転せず
1：カウント開始時にINTTMmn発生し、タイマ出力反転する

TImn端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n	
TOm	TOmn 1/0	0：TOmn より 0 を出力する 1：TOmn より 1 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n	
TOEm	TOEmn 1/0	0：カウント動作による TOmn 出力動作停止 1：カウント動作による TOmn 出力動作許可

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6 の場合　：MASTERmn ビット
TMRm1, TMRm3 の場合　：SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合　：0 固定

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－46　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットに 1 を設定する。 →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル 初期設定	タイマ・モード・レジスタ mn（TMRmn）を設定する（チャネルの動作モード確定）。 タイマ・データ・レジスタ mn（TDRmn）にインターバル（周期）値を設定する。	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	TOmn 出力を使用する場合 タイマ出力モード・レジスタ m（TOMm）の TOMmn ビットに 0（マスタ・チャネル出力モード）を設定する。 TOLmn ビットに 0 を設定する。 TOmn ビットを設定し，TOmn 出力の初期レベルを確定する。 →	TOmn 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は，TOmn 初期設定レベルが出力される。
	TOEmn ビットに 1 を設定し，TOmn の動作を許可 →	チャネルは動作停止状態なので，TOmn は変化しない。
	ポート・レジスタとポート・モード・レジスタに0を設定する。 →	TOmn端子はTOmn設定レベルを出力
動作開始	（TOmn 出力を使用する場合で，かつ動作再開時のみ TOEmn ビットに 1 を設定する） TSmn（TSHm1, TSHm3）ビットに 1 を設定する。 →	TEmn（TEHm1, TEHm3）＝1 になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ mn（TCRmn）は TDRmn レジスタの値をロードする。 TMRmn レジスタの MDmn0 ビットが 1 の場合は，INTTMmn を発生し，TOmn もトグル動作する。
	TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので，自動的に 0 に戻る。	
動作中	TMRmn レジスタ, TOMmn, TOLmn ビットの設定値は変更不可 TDRmn レジスタは，任意に設定値変更が可能 TCRmn レジスタは，常に読み出し可能 TSRmn レジスタは，使用しない TOm, TOEm レジスタは，設定値変更可能	カウンタ（TCRmn）はダウン・カウント動作を行い，0000H までカウントしたら，再び TCRmn レジスタは TDRmn レジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H 検出で INTTMmn を発生し，TOmn はトグル動作する。 以降，この動作を繰り返す。
動作停止	TTmn（TTHm1, TTHm3）ビットに 1 を設定する。 →	TEmn（TEHm1, TEHmn）= 0 になり，カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TOmn 出力は初期化されず，状態保持
	TTmn（TTHm1, TTHm3）ビットはトリガ・ビットなので，自動的に 0 に戻る。	
	TOEmn ビットに 0 を設定し，TOmn ビットに値を設定する。 →	TOmn 端子は TOmn ビットに設定したレベルを出力

動作再開

（**備考**が次のページにあります。）

図 6－46　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmn ビットに 0 を設定する。 →	TOmn 端子出力レベルはポート機能により保持される。
	TOmn 端子の出力レベルを保持不要の場合 設定不要	
	PER0 レジスタの TAUmEN ビットに 0 を設定する。 →	パワーオフ状態 全回路が初期化され，各チャネルの SFR も初期化される。 （TOmn ビットが 0 になり，TOmn 端子はポート機能となる）

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.7.2　外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。

規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmn の設定値 + 1

タイマ・カウンタ・レジスタ mn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の任意のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn（TDRmn）の値をロードします。

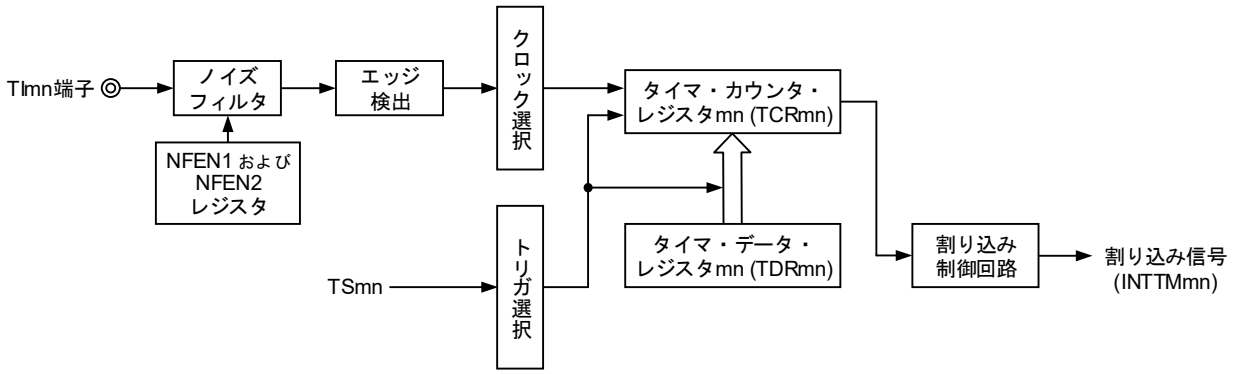
TCRmn レジスタは TImn 端子入力の有効エッジ検出に合わせてダウン・カウントを行い，TCRmn = 0000H となったら，再び TDRmn レジスタの値をロードして，INTTMmn を出力します。

以降，同様の動作を継続します。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタ m（TOEm）の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

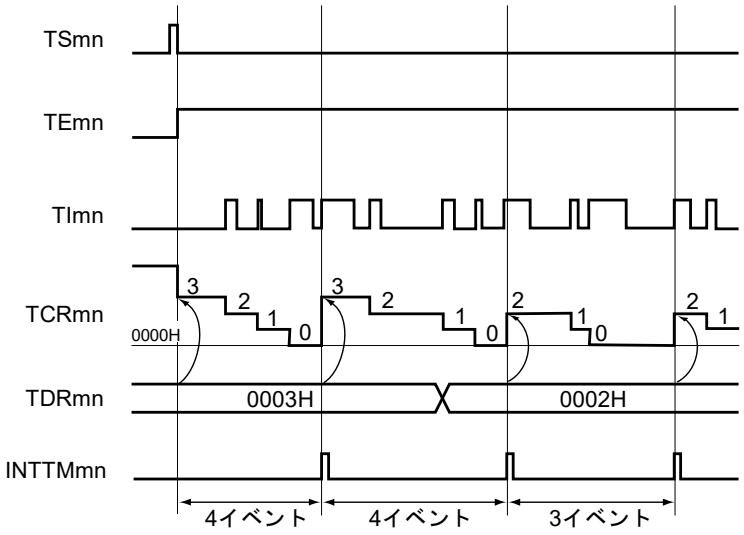
図 6－47　外部イベント・カウンタとしての動作のブロック図



備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－48　外部イベント・カウンタとしての動作の基本タイミング例



備考 1. m　　：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. TSmn　：タイマ・チャネル開始レジスタ m（TSm）のビット n

TEmn　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n

TImn　：TImn 端子入力信号

TCRmn　：タイマ・カウンタ・レジスタ mn

TDRmn　：タイマ・データ・レジスタ mn

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－49　外部イベント・カウンタ・モード時のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	0/1	0	0	0	1/0	1/0	0	0	0	1	1	0

チャネルnの動作モード
011B：イベント・カウンタ・モード

カウント開始時の動作設定
0：カウント開始時に
INTTMmn発生せず、タイマ出力反転せず

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
1：TImn端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n
TOm	TOmn 0

0：TOmn より 0 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n
TOEm	TOEmn 0

0：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6 の場合　：MASTERmn ビット
TMRm1, TMRm3 の場合　：SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合　：0 固定

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－50　外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットに 1 を設定する。 →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	ノイズ・フィルタ許可レジスタ 1，2（NFEN1, NFEN2）の対応ビットを 0（オフ）または 1（オン）に設定する。 タイマ・モード・レジスタ mn（TMRmn）を設定する（チャネルの動作モード確定）。 タイマ・データ・レジスタ mn（TDRmn）にカウント数を設定する。 タイマ出力許可レジスタ m（TOEm）の TOEmn ビットに 0 を設定する。	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmn ビットに 1 を設定する。 → TSmn ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 1 になり，カウント動作開始 タイマ・カウンタ・レジスタ mn（TCRmn）は TDRmn レジスタの値をロードし，TImn 端子入力のエッジ検出待ち状態になる。
動作中	TDRmn レジスタは，任意に設定値変更が可能 TCRmn レジスタは常に読み出し可能 TSRmn レジスタは使用しない。 TMRmn レジスタ，TOMmn，TOLmn，TOmn，TOEmn ビットの設定値は変更不可	TImn 端子入力のエッジが検出されるごとに，カウンタ（TCRmn）はダウン・カウント動作を行う。0000H までカウントしたら，再び TCRmn レジスタは TDRmn レジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H 検出で INTTMmn 出力を発生する。 以降，この動作を繰り返す。
動作停止	TTmn ビットに 1 を設定する。 → TTmn ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 0 になり，カウント動作停止 TCRmn レジスタはカウント値を保持して停止
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する。 →	パワーオフ状態 全回路が初期化され，各チャネルの SFR も初期化される。

動作再開

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.7.3　分周器としての動作

TImn 端子に入力されたクロックを分周し，TOmn 端子から出力する分周器として利用することができます。

周辺 I/O リダイレクション・レジスタ 0, 1, 2, 3, 9（PIOR0, 1, 2, 3, 9）で TImn と TOmn は別端子に設定してください。

TOmn 出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：

  分周クロック周波数 ＝ 入力クロック周波数／{（TDRmn の設定値 ＋1）× 2}

- 両エッジ選択時：

  分周クロック周波数 ≒ 入力クロック周波数／（TDRmn の設定値 ＋1）

タイマ・カウンタ・レジスタ m（TCRm）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）のチャネル・スタート・トリガ・ビット（TS mn）に 1 を設定後，TImn の有効エッジ検出で TCRmn レジスタはタイマ・データ・レジスタ mn（TDRmn）の値をロードします。このときタイマ・モード・レジスタ mn（TMRmn）の MDmn0 = 0 ならば，INTTMmn は出力されず，TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば，INTTMmn が出力され，TOmn はトグルします。

その後，TImn 端子入力の有効エッジに合わせてダウン・カウントを行い，TCRmn = 0000H となったら TOmn をトグルします。同時に TCRmn レジスタは TDRmn レジスタの値を再ロードして，カウントを継続します。

TImn 端子の両エッジ検出が選択された場合，入力クロックのデューティ誤差が TOmn 出力の分周クロック周期に影響を与えます。

TOmn 出力クロックの周期は，動作クロック 1 周期分のサンプリング誤差を含みます。

・TOmn 出力のクロック周期 ＝ 理想の TOmn 出力クロック周期±動作クロック周期（誤差）

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効となります。

図 6－51　分周器としての動作のブロック図

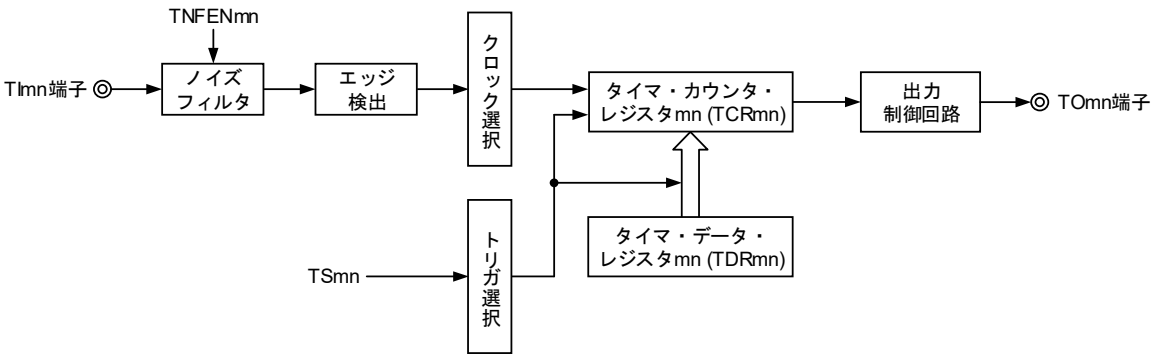
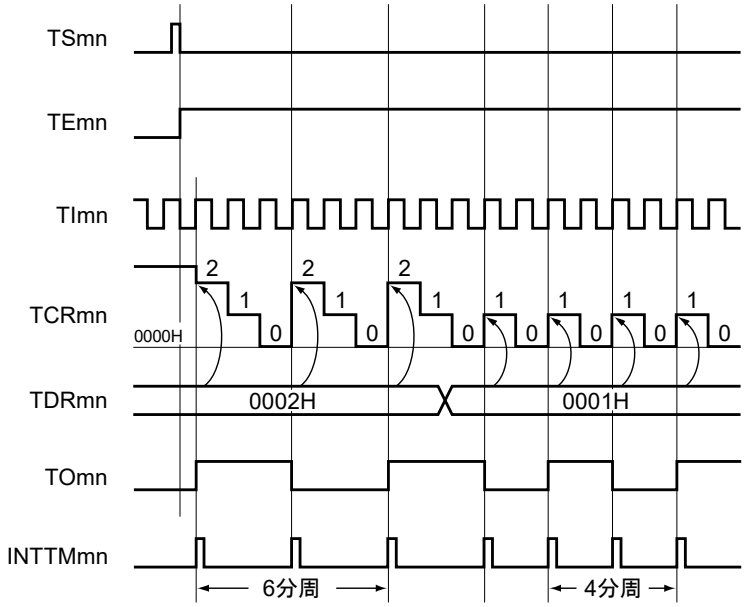


図 6－52　分周器としての動作の基本タイミング例（MDmn0 = 1）



備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. TSmn　：タイマ・チャネル開始レジスタ m（TSm）のビット n

TEmn　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n

TImn　：TImn 端子入力信号

TCRmn　：タイマ・カウンタ・レジスタ mn

TDRmn　：タイマ・データ・レジスタ mn

TOmn　：TOmn 端子出力信号

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－53　分周器として動作時のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	0	0	0	0	1/0	1/0	0	0	0	0	0	1/0

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず、タイマ出力反転せず
1：カウント開始時にINTTMmn発生し、タイマ出力反転する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
1：TImn端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n	
TOm	TOmn	0：TOmn より 0 を出力する
	1/0	1：TOmn より 1 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n	
TOEm	TOEmn	0：カウント動作による TOmn 出力動作停止
	1/0	1：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n	
TOLm	TOLmn	0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定
	0	

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n	
TOMm	TOMmn	0：マスタ・チャネル出力モードを設定
	0	

備考 1.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2.　RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－54　分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する。→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する。 CKm0-CKm3のクロック周波数を確定する。	
チャネル 初期設定	ノイズフィル許可レジスタ1, 2（NFEN1，NFEN2）の対応ビットを0（オフ）または1（オン）に設定する。 タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定，検出エッジの選択）。 タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する。	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する。 TOLmnビットに0を設定する。 TOmnビットを設定し，TOmn出力の初期レベルを確定する。→	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可。→	チャネルは動作停止状態なので，TO00は変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する。→	TOmn端子はTOmn設定レベルを出力
動作開始	TOEmnビットに1を設定する（動作再開時のみ）。 TSmnビットに1を設定する。→ TSmnビットはトリガ・ビットなので，自動的に0に戻る。	TEmn = 1になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。 TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TOm, TOEmレジスタは，設定値変更可能 TMRmnレジスタ，TOMmn，TOLmnビットの設定値は変更不可	カウンタ（TCRmn）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する。→ TTmnビットはトリガ・ビットなので，自動的に0に戻る。	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TOEmnビットに0を設定し，TOmnビットに値を設定する。→	TOmn端子はTOmn設定レベルを出力
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する。→ TOmn端子の出力レベルを保持不要の場合 設定不要	TOmn端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する。→	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmnビットが0になり，TOmn端子はポート機能となる）。

動作再開

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.7.4　入力パルス間隔測定としての動作

TImn 有効エッジでカウント値をキャプチャし，TImn 入力パルスの間隔を測定することができます。

パルス間隔は次の式で求めることができます。

TImn 入力パルス間隔 = カウント・クロックの周期 × {(10000H × TSRmn:OVF) + (TDRmn のキャプチャ値 + 1)}

注意　TImn 端子入力は，タイマ・モード・レジスタ mn（TMRmn）の CKSmn ビットで選択した動作クロックでサンプリングされるため，動作クロックの 1 クロック分の誤差が発生します。

タイマ・カウンタ･レジスタ mn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に 1 を設定すると TCRmn レジスタはカウント・クロックに合わせて 0000H からアップ・カウントを開始します。

TImn 端子入力の有効エッジを検出すると，TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn（TDRmn）に転送（キャプチャ）すると同時に，TCRmn レジスタを 0000H にクリアして，INTTMmn を出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットが 1 にセットされ，オーバフローが発生していなかったら OVF ビットはクリアされます。以降，同様の動作を継続します。

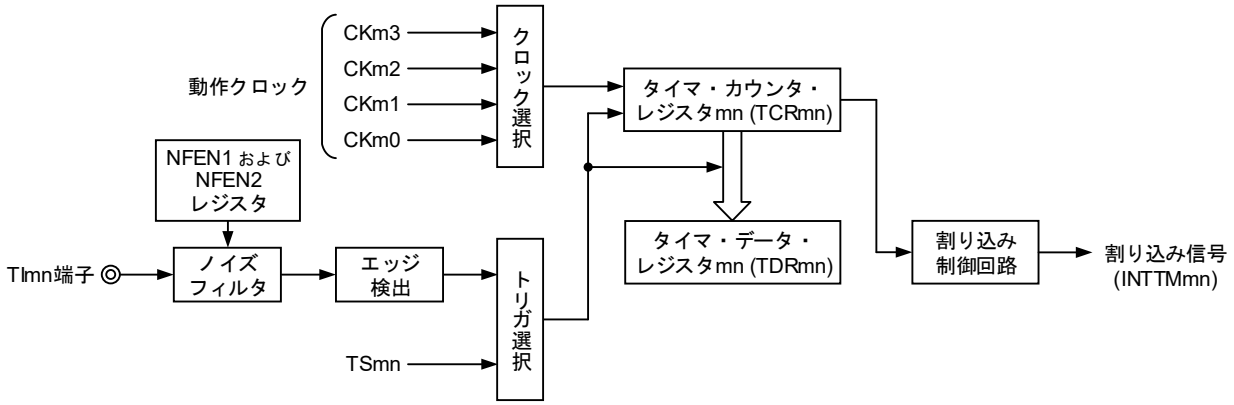
カウント値が TDRmn レジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて， TSRmn レジスタの OVF ビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ， TSRmn レジスタの OVF ビットがセット（1）されます。しかし，OVF ビットは，2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタの STSmn2-STSmn0 = 001B に設定して，TImn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TEmn = 1 のときは，TImn 端子入力を使用せずに，ソフトウェア操作（TSmn = 1）をキャプチャ・トリガにすることもできます。

図 6－55　入力パルス間隔測定としての動作のブロック図

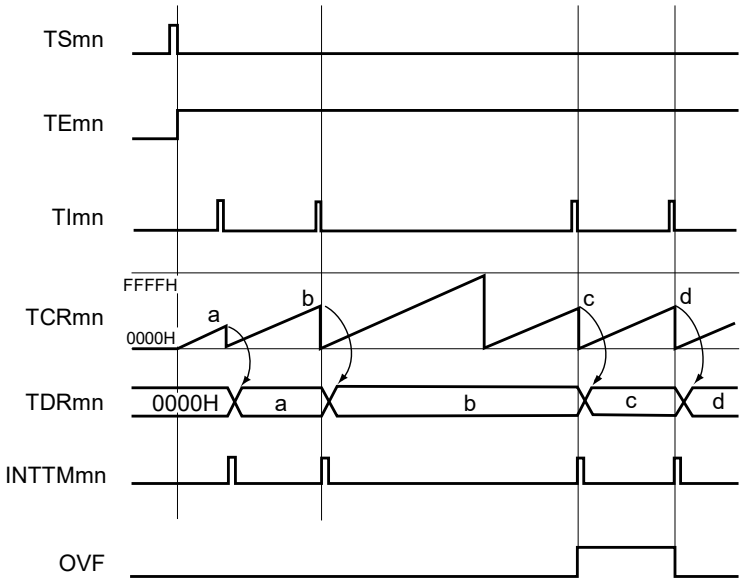


備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

3. RL78/F23 製品のユニット 1 のチャネル 0, 2 では，クロックは CK12 および CK13 を選択できません（図 6－2 および図 6－12 を参照）

図 6－56　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）



備考 1. m　　：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. TSmn　：タイマ・チャネル開始レジスタ m（TSm）のビット n

TEmn　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n

TImn　：TImn 端子入力信号

TCRmn　：タイマ・カウンタ・レジスタ mn

TDRmn　：タイマ・データ・レジスタ mn

OVF　：タイマ・ステータス・レジスタ mn（TSRmn）のビット 0

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－57　入力パルス間隔測定時のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

チャネルnの動作モード
010B：キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生しない
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n
TOm	TOmn 0

0：TOmn より 0 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n
TOEm	TOEmn 0

0：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

注 TMRm2, TMRm4, TMRm6 の場合　：MASTERmn ビット
TMRm1, TMRm3 の場合　　：SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合　：0 固定

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－58　入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する。→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する CKm0-CKm3 のクロック周波数を確定する	
チャネル初期設定	ノイズフィル許可レジスタ 1, 2（NFEN1, NFEN2）の対応ビットを 0（オフ）または 1（オン）に設定する タイマ・モード・レジスタ mn（TMRmn）を設定する（チャネルの動作モード確定）。	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmn ビットに 1 を設定する。→ TSmn ビットはトリガ・ビットなので，自動的に 0 に戻る	TEmn = 1 になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ mn（TCRmn）を 0000H にクリアする。TMRmn レジスタの MDmn0 ビットが 1 の場合は，INTTMmn を発生する。
動作中	TMRmn レジスタは，CISmn1, CISmn0 ビットのみ設定値変更可能 TDRmn レジスタは，常に読み出し可能 TCRmn レジスタは，常に読み出し可能 TSRmn レジスタは，常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmn ビットの設定値は変更不可	カウンタ（TCRmn）は 0000H からアップ・カウント動作を行い，TImn 端子入力の有効エッジが検出されたら，カウント値をタイマ・データ・レジスタ mn（TDRmn）に転送（キャプチャ）する。同時に，TCRmn レジスタを 0000H にクリアし，INTTMmn を発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットがセットされ，オーバフローが発生していなかったら OVF ビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TTmn ビットに 1 を設定する。→ TTmn ビットはトリガ・ビットなので，自動的に 0 に戻る	TEmn = 0 になり，カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する。→	パワーオフ状態 全回路が初期化され，各チャネルの SFR も初期化される。

動作再開

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.7.5　入力信号のハイ／ロウ・レベル幅測定としての動作

注意　LIN-bus 対応機能として使用する場合は，タイマ入力選択レジスタ 1（TIS1）のビット 7（TIS17）を 1 に，ビット 6（TIS16）を 0 に設定してください。また，以降の説明では「TImn」を「RXD0」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TImn の信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TImn の信号幅は次の式で求めることができます。

TImn 入力の信号幅
= カウント・クロックの周期 ×｛(10000H × TSRmn:OVF) + (TDRmn のキャプチャ値 + 1)｝

注意　TImn 端子入力は，タイマ・モード・レジスタ mn（TMRmn）の CKSmn ビットで選択した動作クロックでサンプリングされるため，動作クロックの 1 クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn（TCRmn）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に 1 を設定すると，TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ（ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタ mn（TDRmn）に転送すると同時に INTTMmn を出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットがセットされ，オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは，「TDRmn レジスタに転送した値 + 1」の値で停止し，TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値が TDRmn レジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて， TSRmn レジスタの OVF ビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ， TSRmn レジスタの OVF ビットがセット（1）されます。しかし，OVF ビットは，2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

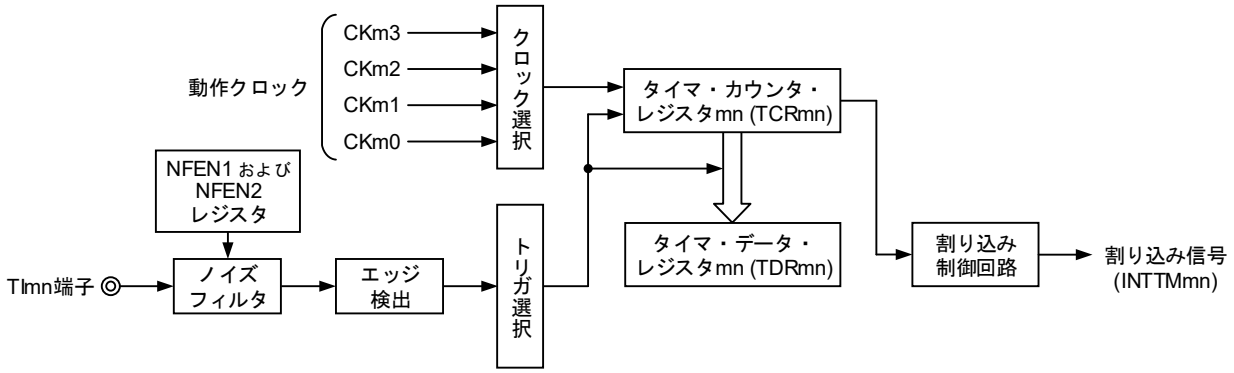
TImn 端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは， TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は，TImn 端子入力の信号幅測定を目的とするため，TEmn = 1 期間中の TSmn ビットのセット（1）は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する

TMRmn レジスタの CISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

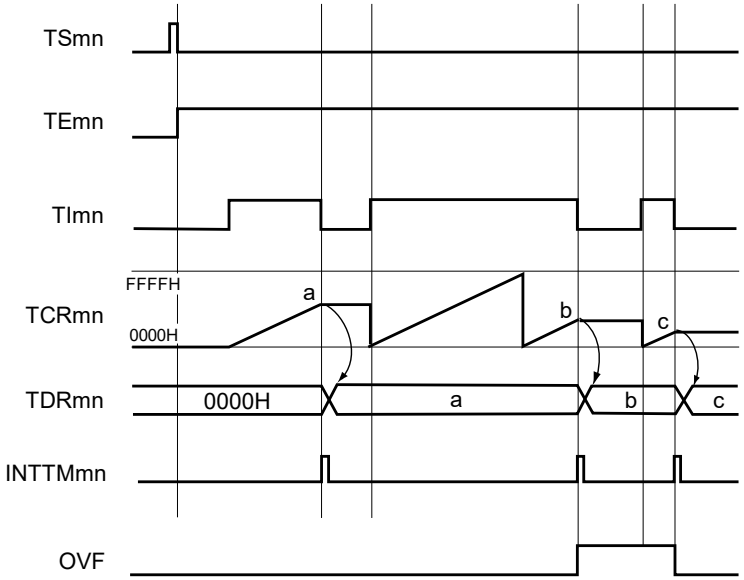
図 6－59　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品のユニット 1 のチャネル 0, 2 の場合，クロックは CK12, CK13 を選択できません（図 6－2，図 6－12 を参照）

図 6－60　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考 1. m　　：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. TSmn　：タイマ・チャネル開始レジスタ m（TSm）のビット n

TEmn　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n

TImn　：TImn 端子入力信号

TCRmn　：タイマ・カウンタ・レジスタ mn

TDRmn　：タイマ・データ・レジスタ mn

OVF　：タイマ・ステータス・レジスタ mn（TSRmn）のビット 0

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－61　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0	0	1	0	1	1/0	0	0	1	1	0	1/0

チャネルnの動作モード
110B：キャプチャ＆ワンカウント

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生しない

TImn端子入力のエッジ選択
10B：両エッジ選択（ロウ幅測定）
11B：両エッジ選択（ハイ幅測定）

スタート・トリガ選択
010B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n
TOm	TOmn
	0

0：TOmn より 0 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n
TOEm	TOEmn
	0

0：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6 の場合　：MASTERmn ビット
TMRm1, TMRm3 の場合　：SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合　：0 固定

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）
2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－62　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットに 1 を設定する。 →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	ノイズフィル許可レジスタ 1, 2（NFEN1, NFEN2）の対応ビットを 0（オフ）または 1（オン）に設定する。 タイマ・モード・レジスタ mn（TMRmn）を設定する（チャネルの動作モード確定）。 TOEmn ビットに 0 を設定し，TOmn の動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmn ビットに 1 を設定する。 → TSmn ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 1 になり，TImn 端子のスタート・エッジ検出待ち状態になる
	TImn 端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタ mn（TCRmn）を 0000H にクリアし，カウント・アップ動作を開始する
動作中	TDRmn レジスタは，任意に設定値変更が可能 TCRmn レジスタは，常に読み出し可能 TSRmn レジスタは，常に読み出し可能 TMRmn レジスタ, TOMmn, TOLmn, TOmn, TOEmn ビットの設定値は変更不可	TImn 端子のスタート･エッジ検出後, カウンタ（TCRmn）は 0000H からアップ・カウント動作を行う。TImn 端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタ mn（TDRmn）に転送し，INTTMmn を発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットがセットされ，オーバフローが発生していなかったら OVF ビットがクリアされる。TCRmn レジスタは，次の TImn 端子のスタート・エッジが検出されるまでカウント動作を停止する。
動作停止	TTmn ビットに 1 を設定する。 → TTmn ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 0 になり，カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する。 →	パワーオフ状態 全回路が初期化され, 各チャネルの SFR も初期化される

動作再開

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.7.6　ディレイ・カウンタとしての動作

TImn 端子入力の有効エッジ検出（外部イベント）でダウン･カウントをスタートし，任意の設定間隔で INTTMmn（タイマ割り込み）を発生することができます。

また，TEmn = 1 の期間中に，ソフトウェアで TSmn = 1 に設定してダウン・カウントをスタートし，任意の設定間隔で INTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期 ×（TDRmn の設定値 ＋ 1）

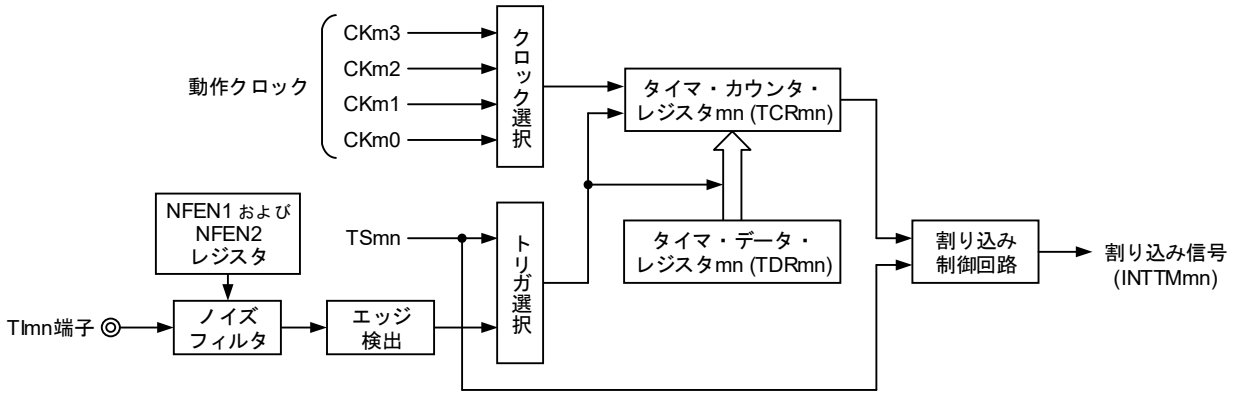
タイマ・カウンタ・レジスタ mn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に 1 を設定すると，TEmn, TEHm1, TEHm3 = 1 となり TImn 端子の有効エッジ検出待ち状態となります。

TCRmn レジスタは，TImn 端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタ mn（TDRmn）から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い， TCRmn ＝ 0000H となったら INTTMmn を出力し，次の TImn 端子入力の有効エッジがあるまで，カウントを停止します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は，次の周期から有効となります。

図 6－63　ディレイ・カウンタとしての動作のブロック図

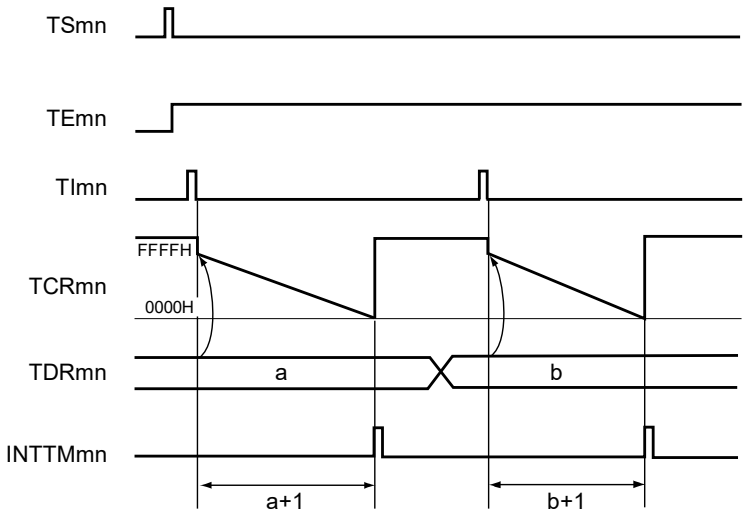


備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

3. RL78/F23 製品のユニット 1 のチャネル 0, 2 の場合，クロックは CK12, CK13 を選択できません（図 6－2 および図 6－12 を参照）。

図 6－64　ディレイ・カウンタとしての動作の基本タイミング例



備考 1. m　　：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. TSmn　：タイマ・チャネル開始レジスタ m（TSm）のビット n

TEmn　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n

TImn　：TImn 端子入力信号

TCRmn　：タイマ・カウンタ・レジスタ mn（TCRmn）

TDRmn　：タイマ・データ・レジスタ mn（TDRmn）

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－65　ディレイ・カウンタ機能時のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S 注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	1	1/0	1/0	0	0	1	0	0	1/0

チャネルnの動作モード
100B:ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効
1：トリガ入力は有効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0: 16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n
TOm	TOmn 0

0：TOmn より 0 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n
TOEm	TOEmn 0

0：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6 の場合　：MASTERmn ビット
TMRm1, TMRm3 の場合　：SPLITmn ビット
TMRm0, TMRm5, TMRm7 の場合　：0 固定

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）
2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－66　ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットに 1 を設定する。 →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	ノイズフィル許可レジスタ 1, 2（NFEN1, NFEN2）の対応ビットを 0（オフ）または 1（オン）に設定する。 タイマ・モード・レジスタ mn（TMRmn）を設定する（チャネル n の動作モード確定）。 タイマ・データ・レジスタ mn（TDRmn）に遅延時間を設定する。 TOEmn ビットに 0 を設定し，TOmn の動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する。）
動作開始	TSmn ビットに 1 を設定する。 → TSmn ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 1 になり，　TImn 端子入力の有効エッジ検出待ち状態になる。
	TImn 端子入力の有効エッジ検出 →	タイマ・カウンタ・レジスタ mn（TCRmn）は TDRmn レジスタの値をロードする。
動作中	TDRmn レジスタは，任意に設定値変更が可能 TCRmn レジスタは，常に読み出し可能 TSRmn レジスタは，使用しない	カウンタ（TCRmn）はダウン・カウント動作を行う。 TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し，次の TImn 端子入力まで TCRmn = 0000H でカウント動作を停止する。
動作停止	TTmn ビットに 1 を設定する。 → TTmn ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 0 になり，カウント動作停止 TCRmn レジスタはカウント値を保持して停止
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する。 →	パワーオフ状態 全回路が初期化され，各チャネルの SFR も初期化される。

動作再開

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.8　タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.8.1　ワンショット・パルス出力機能としての動作

2 チャネルをセットで使用して，TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ ＝{TDRmn（マスタ）の設定値 ＋2} × カウント・クロック周期
パルス幅 ＝{TDRmp（スレーブ）の設定値} × カウント・クロック周期

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn（TCRmn）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタ mn（TDRmn）から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い，　TCRmn = 0000H となったら INTTMmn を出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは，マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し，TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 ＝0000H となったら INTTMmp を出力して，次のスタート・トリガ（マスタ・チャネルの INTTMmn）検出があるまで，カウントを停止します。TOmp の出力レベルは，マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000H になるとインアクティブ・レベルとなります。

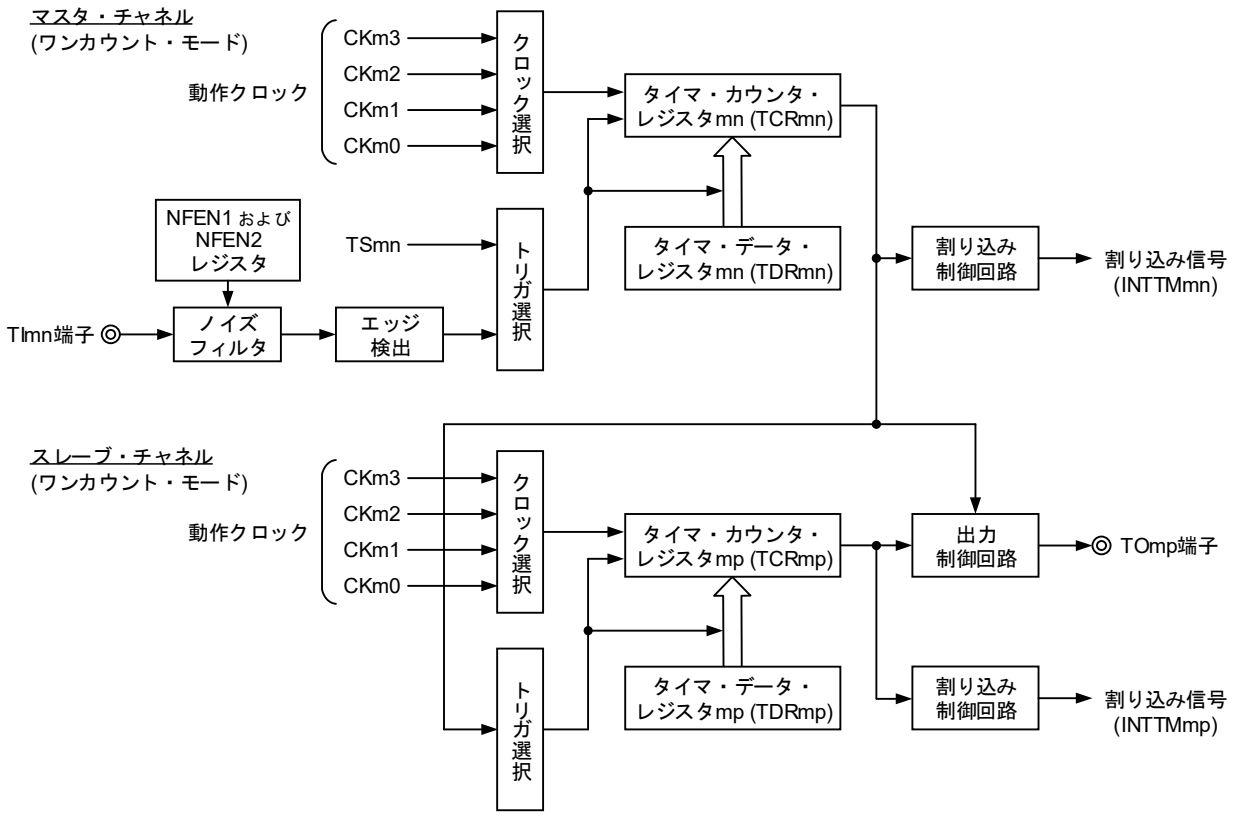
ワンショット・パルス出力は，TImn 端子入力を使用せず，ソフトウェア操作（TSmn = 1）をスタート・トリガにすることもできます。

注意　マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）とスレーブ・チャネルの TDRmp レジスタでは，ロード・タイミングが異なるため，動作中に TDRmn レジスタ，TDRmp レジスタを書き換えると不正波形が出力されます。TDRmn レジスタは INTTMmn 発生後に，TDRmp レジスタは INTTMmp 発生後に書き換えてください。

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－67　ワンショット・パルス出力機能としての動作のブロック図



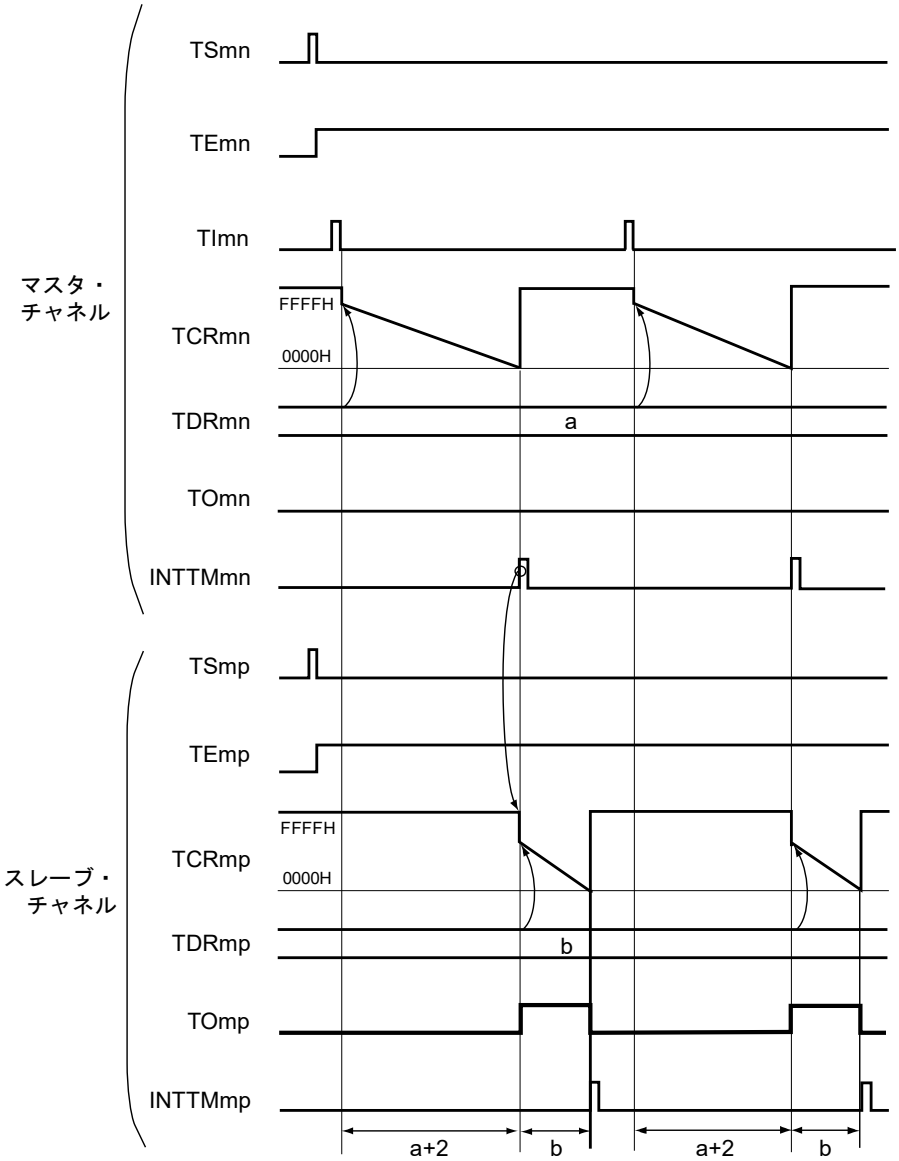
備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

3. RL78/F23 製品のユニット 1 のチャネル 0, 2 の場合，クロックは CK12, CK13 を選択できません（図 6－2，および図 6－12 を参照）。

図 6－68　ワンショット・パルス出力機能としての動作の基本タイミング例



備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. TSmn, TSmp　：タイマ・チャネル開始レジスタ m（TSm）のビット n, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n, p

TImn, TImp　：TImn, TImp 端子入力信号

TCRmn, TCRmp　：タイマ・カウンタ・レジスタ mn, mp

TDRmn, TDRmp　：タイマ・データ・レジスタ mn, mp

TOmn, TOmp　：TOmn, TOmp 端子出力信号

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－69　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	1	0	0	1	1/0	1/0	0	0	1	0	0	0

チャネルnの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn入力の有効エッジを選択

スレーブ／マスタの選択
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
01B：チャネルnの動作クロックにCKm2を選択
10B：チャネルnの動作クロックにCKm1を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n
TOm	TOmn
	0

0：TOmn より 0 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n
TOEm	TOEmn
	0

0：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－70　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mp（TMRmp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S 注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	1/0	0	0	0	1	0	0	0	0	0	0	1	0	0	0

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmpビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmpビットの設定（チャネル1, 3）
1：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCKm0を選択
01B：チャネルpの動作クロックにCKm2を選択
10B：チャネルpの動作クロックにCKm1を選択
11B：チャネルpの動作クロックにCKm3を選択
※マスタ・チャネルと同一設定にする

(b)　タイマ出力レジスタ m（TOm）

	ビット p	
TOm	TOmp	0：TOmp より 0 を出力する
	1/0	1：TOmp より 1 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット p	
TOEm	TOEmp	0：カウント動作による TOmp 出力動作停止
	1/0	1：カウント動作による TOmp 出力動作許可

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット p	
TOLm	TOLmp	0：正論理出力（アクティブ・ハイ）
	1/0	1：負論理出力（アクティブ・ロウ）

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット p	
TOMm	TOMmp	1：スレーブ・チャネル出力モードを設定
	0	

注　TMRm2, TMRm4, TMRm6 の場合　：MASTERmp ビット
TMRm1, TMRm3 の場合　：SPLITmp ビット
TMRm5, TMRm7 の場合　：0 固定

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－71　ワンショット・パルス出力機能時の操作手順（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットに 1 を設定する。 →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	ノイズ・フィルタ許可レジスタ 1, 2（NFEN1, NFEN2）の対応ビットを 0（オフ）または 1（オン）に設定する 使用する 2 チャネルのタイマ・モード・レジスタ mn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定）。 マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）に出力遅延時間，スレーブ・チャネルの TDRmp レジスタにパルス幅を設定する。	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する。）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ m（TOMm）の TOMmp ビットに 1（スレーブ・チャネル出力モード）を設定する。 TOLmp ビットを設定する。 TOmp ビットを設定し，TOmp 出力の初期レベルを確定する。 →	TOmp 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は，TOmp 初期設定レベルが出力される。
	TOEmp ビットに 1 を設定し，TOmp の動作を許可。 →	チャネルは動作停止状態なので，TOmp は変化しない。
	ポート・レジスタとポート・モード・レジスタに0を設定する。 →	TOmp端子はTOmp設定レベルを出力

（**備考**が次のページにあります。）

図 6－71　ワンショット・パルス出力機能時の操作手順（2/2）

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp（スレーブ）ビットに 1 を設定する（動作再開時のみ）。 タイマ・チャネル開始レジスタ m（TSm）の TSmn（マスタ），TSmp（スレーブ）ビットに同時に 1 を設定する。→ TSmn, TSmp ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 1, TEmp = 1 となり，マスタ・チャネルは TImn 入力のエッジ検出待ち状態となる。 カウンタはまだ停止状態のまま。
	マスタ・チャネルの TImn 端子入力の有効エッジ検出 →	マスタ・チャネルがカウント動作開始
動作中	TMRmn レジスタは，CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ，TOMmn, TOMmp, TOLmn, TOLmp ビットの設定値は変更不可 TCRmn, TCRmp レジスタは，常に読み出し可能 TSRmn, TSRmp レジスタは，使用しない。 スレーブ・チャネルの TOm, TOEm レジスタは，設定値変更可能	マスタ・チャネルでは，TImn 端子入力の有効エッジが検出されたら，タイマ・カウンタ・レジスタ mn（TCRmn）は TDRmn レジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し，次の TImn 端子入力までカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルの INTTMmn をトリガとして，TCRmp レジスタは TDRmp レジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に 1 を設定する。→ TTmn, TTmp ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn, TEmp = 0 になり，カウント動作停止 TCRmn, TCRmp レジスタは，カウント値を保持して停止 TOmp 出力は初期化されず，状態保持
	スレーブ・チャネルの TOEmp ビットに 0 を設定し，TOmp ビットに値を設定する。→	TOmp 端子は TOmp 設定レベルを出力
TAU 停止	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmp ビットに 0 を設定する。→ TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに 0 を設定する。→	パワーオフ状態 全回路が初期化され，各チャネルの SFR も初期化される。 （TOmp ビットが 0 になり，TOmp 端子はポート機能となる。）

動作再開

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.8.2　PWM 機能としての動作

2 チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値 + 1} × カウント・クロック周期
デューティ [%] = {TDRmp（スレーブ）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100
0%出力　: TDRmp（スレーブ）の設定値 = 0000H
100%出力 : TDRmp（スレーブ）の設定値 ≧ {TDRmn（マスタ）の設定値 + 1}

備考　TDRmp（スレーブの設定値）＞ {TDRmn（マスタ）の設定値 + 1} の場合は，デューティ値が 100%を越えますが，集約して 100%出力となります。

マスタ･チャネルはインターバル･タイマ･モードとして動作させます。タイマ･チャネル開始レジスタ m（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に 1 を設定すると，割り込み（INTTMmn）を出力して，タイマ・データ・レジスタ mn（TDRmn）に設定した値をタイマ・カウンタ・レジスタ mn（TCRmn）にロードし，カウント･クロックに合わせてダウン･カウントを行います。カウントが 0000H になったところで，INTTMmn を出力して，再び TDRmn レジスタから TCRmn レジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタ m（TTm）のチャネル・ストップ・トリガ・ビット（TTmn）に 1 を設定するまでこの動作を繰り返します。

PWM 機能としての動作では，マスタ・チャネルがダウン・カウントして 0000H になるまでの期間が PWM 出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからの INTTMmn をスタート・トリガとして，TDRmp レジスタから TCRmp レジスタに値をロードし，0000H になるまでダウン・カウントを行います。カウントが 0000H になったところで INTTMmp を出力して，次のスタート・トリガ（マスタ・チャネルからの INTTMmn）が来るまで待機します。

PWM 機能としての動作では，スレーブ・チャネルがダウン・カウントして 0000H になるまでの期間が PWM 出力（TOmp）のデューティとなります。

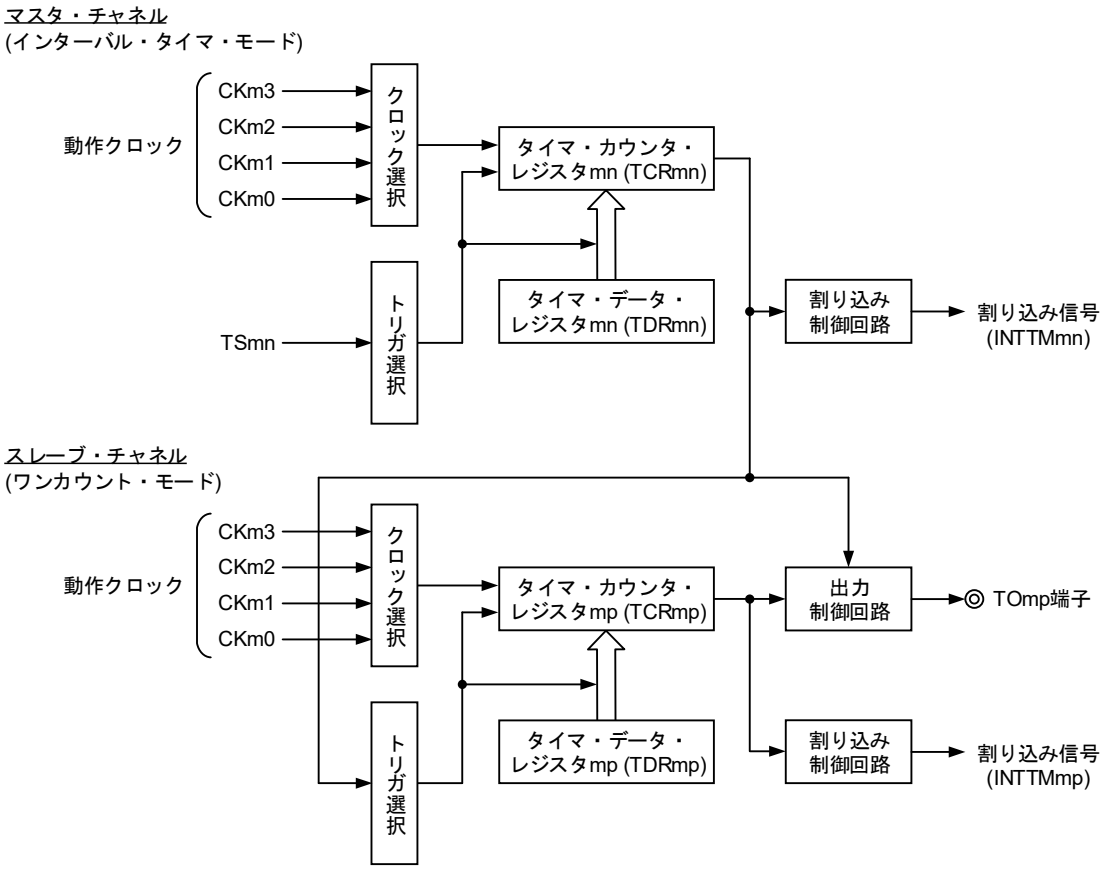
PWM 出力（TOmp）は，マスタ・チャネルの INTTMmn 発生から 1 クロック後にアクティブ・レベルとなり，スレーブ・チャネルの TCRmp レジスタが 0000H になったタイミングでインアクティブ・レベルになります。

注意　マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）とスレーブ・チャネルの TDRmp レジスタを両方とも書き換える場合，2 回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値がロードされるのは，マスタ・チャネルの INTTMmn 発生時となります。そのため，書き換えがマスタ・チャネルの INTTMmn 発生前と発生後に分かれて行われると，TOmp 端子は期待通りの波形を出力できません。したがって，マスタの TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は，必ずマスタ・チャネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－72　PWM 機能としての動作のブロック図



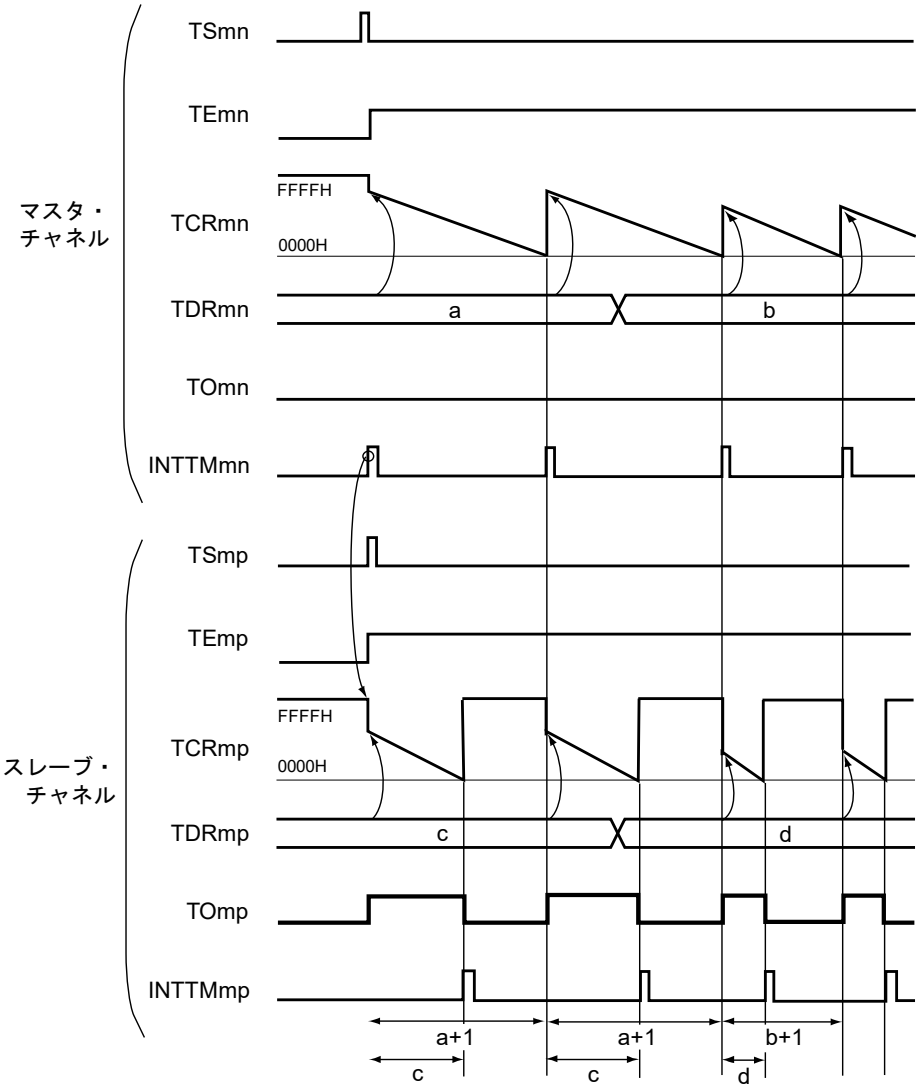
備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

3. RL78/F23 製品のユニット 1 のチャネル 0, 2 の場合，クロックは CK12, CK13 を選択できません（図 6－2 および図 6－12 を参照）。

図 6－73　PWM 機能としての動作の基本タイミング例



備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. TSmn, TSmp　：タイマ・チャネル開始レジスタ m（TSm）のビット n, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n, p

TCRmn, TCRmp　：タイマ・カウンタ・レジスタ mn, mp

TDRmn, TDRmp　：タイマ・データ・レジスタ mn, mp

TOmn, TOmp　：TOmn, TOmp 端子出力信号

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－74　PWM 機能時（マスタ・チャネル）のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選択

スレーブ／マスタの選択
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n
TOm	TOmn
	0

0：TOmn より 0 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n
TOEm	TOEmn
	0

0：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－75　PWM 機能時（スレーブ・チャネル）のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mp（TMRmp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S 注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	1/0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmp／SPLITmpビットの設定
0：スレーブ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルpの動作クロックにCKm0を選択
01B：チャネルpの動作クロックにCKm2を選択
10B：チャネルpの動作クロックにCKm1を選択
11B：チャネルpの動作クロックにCKm3を選択
※マスタ・チャネルと同一設定にする

(b)　タイマ出力レジスタ m（TOm）

	ビット p	
TOm	TOmp	0：TOmp より 0 を出力する
	1/0	1：TOmp より 1 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット p	
TOEm	TOEmp	0：カウント動作による TOmp 出力動作停止
	1/0	1：カウント動作による TOmp 出力動作許可

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット p	
TOLm	TOLmp	0：正論理出力（アクティブ・ハイ）
	1/0	1：負論理出力（アクティブ・ロウ）

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット p	
TOMm	TOMmp	1：スレーブ・チャネル出力モードを設定
	0	

注　TMRm5, TMRm7 の場合：0 固定
TMRm1, TMRm3 の場合：SPLITmp ビット

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－76　PWM 機能時の操作手順（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットに 1 を設定する。→	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	使用する 2 チャネルのタイマ・モード・レジスタ mn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定）。 マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）にインターバル（周期）値，スレーブ・チャネルの TDRmp レジスタにデューティ値を設定する。	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する。）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ m（TOMm）の TOMmp ビットに 1（スレーブ・チャネル出力モード）を設定する。 TOLmp ビットを設定する。 TOmp ビットを設定し，TOmp 出力の初期レベルを確定する。→	TOmp 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は, TOmp 初期設定レベルが出力される。
	TOEmp ビットに 1 を設定し，TOmp の動作を許可。→	チャネルは動作停止状態なので，TOmp は変化しない。
	ポート・レジスタとポート・モード・レジスタに0を設定する。→	TOmp端子はTOmp設定レベルを出力

（**備考**が次のページにあります。）

図 6－76　PWM 機能時の操作手順（2/2）

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp（スレーブ）ビットに 1 を設定する（動作再開時のみ）。 タイマ・チャネル開始レジスタ m（TSm）の TSmn（マスタ），TSmp（スレーブ）ビットに同時に 1 を設定する。 TSmn, TSmp ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn = 1, TEmp = 1 となる。 マスタ・チャネルがカウント動作開始し，INTTMmn を発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn, TMRmp レジスタ，TOMmn, TOMmp, TOLmn, TOLmp ビットの設定値は変更不可 TDRmn, TDRmp レジスタは，マスタ・チャネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp レジスタは，常に読み出し可能 TSRmn, TSRmp レジスタは使用しない。	マスタ・チャネルでは，タイマ・カウンタ・レジスタ mn（TCRmn）は TDRmn レジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000H までカウントしたら INTTMmn を発生する。同時に，TCRmn レジスタは TDRmn レジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルの INTTMmn をトリガとして，TCRmp レジスタは TDRmp レジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に 1 を設定する。 TTmn, TTmp ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn, TEmp = 0 になり，カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp 出力は初期化されず，状態保持
	スレーブ・チャネルの TOEmp ビットに 0 を設定し，TOmp ビットに値を設定する。	TOmp 端子は TOmp 設定レベルを出力
TAU 停止	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmp ビットに 0 を設定する。 TOmp 端子の出力レベルを保持不要の場合 設定不要	TOmp 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに 0 を設定する。	パワーオフ状態 全回路が初期化され，各チャネルの SFR も初期化される。 （TOmp ビットが 0 になり，TOmp 端子はポート機能となる。）

動作再開

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n ＜ p ≦ 7）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.8.3　多重 PWM 出力機能としての動作

PWM 機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数の PWM 出力を行う機能です。

たとえばスレーブ・チャネルを 2 個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値＋1} × カウント・クロック周期
デューティ 1 [%] = {TDRmp（スレーブ 1）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100
デューティ 2 [%] = {TDRmq（スレーブ 2）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100

備考　TDRmp（スレーブ 1）の設定値 ＞ {TDRmn（マスタ）の設定値 + 1} の場合，または
TDRmq（スレーブ 2）の設定値 ＞ {TDRmn（マスタ）の設定値 + 1} の場合は，
デューティ値が 100%を越えますが，集約して 100%出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタ mn（TCRmn）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル 1 の TCRmp レジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOmp 端子より PWM 波形を出力します。TCRmp レジスタは，マスタ・チャネルの INTTMmn をスタート・トリガとして， タイマ・データ・レジスタ mp（TDRmp）の値をロードし，ダウン・カウントを行います。TCRmp = 0000H となったら，INTTMmp を出力し，次のスタート・トリガ（マスタ・チャネルの INTTMmn）が入力されるまでカウントを停止します。TOmp の出力レベルは，マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000H となったらインアクティブ・レベルとなります。

スレーブ・チャネル 2 の TCRmq レジスタも，スレーブ・チャネル 1 の TCRmp レジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOmq 端子より PWM 波形を出力します。TCRmq レジスタは，マスタ・チャネルの INTTMmn をスタート・トリガとして，TDRmq レジスタの値をロードし，ダウン・カウントを行います。TCRmq = 0000H となったら，INTTMmq を出力し，次のスタート・トリガ（マスタ・チャネルの INTTMmn）が入力されるまでカウントを停止します。TOmq の出力レベルは，マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり， TCRmq = 0000H となったらインアクティブ・レベルとなります。

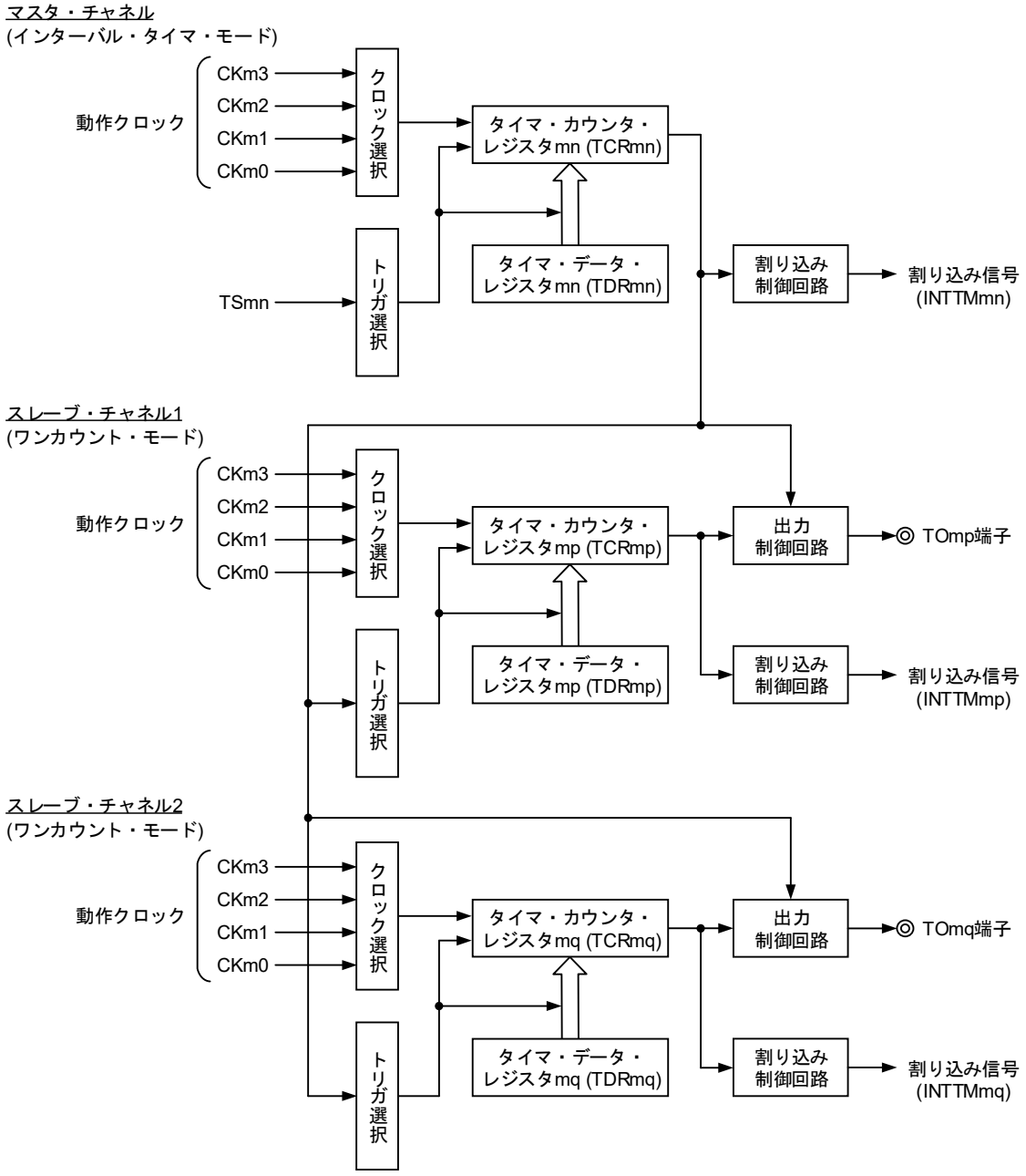
このようにして，チャネル 0 をマスタ・チャネルとした場合は，最大 7 種の PWM を同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）とスレーブ・チャネル 1 の TDRmp レジスタを両方とも書き換える場合，最低 2 回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値をロードするのは，マスタ・チャネルの INTTMmn 発生後となるため，書き換えがマスタ・チャネルの INTTMmn 発生前と発生後に分かれて行われると，TOmp 端子は，期待通りの波形を出力できません。したがって，TDRmn レジスタとスレーブの TDRmp レジスタを双方とも書き換える場合は，必ずマスタ・チャネルの INTTMmn 発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル 2 の TDRmq レジスタの場合も同様です。）

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n ＜ p ＜ q ≦ 7（ただし p, q は，n 以降の整数）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－77　多重 PWM 出力機能としての動作のブロック図（2 種類の PWM を出力する場合）



備考 1. m　：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）

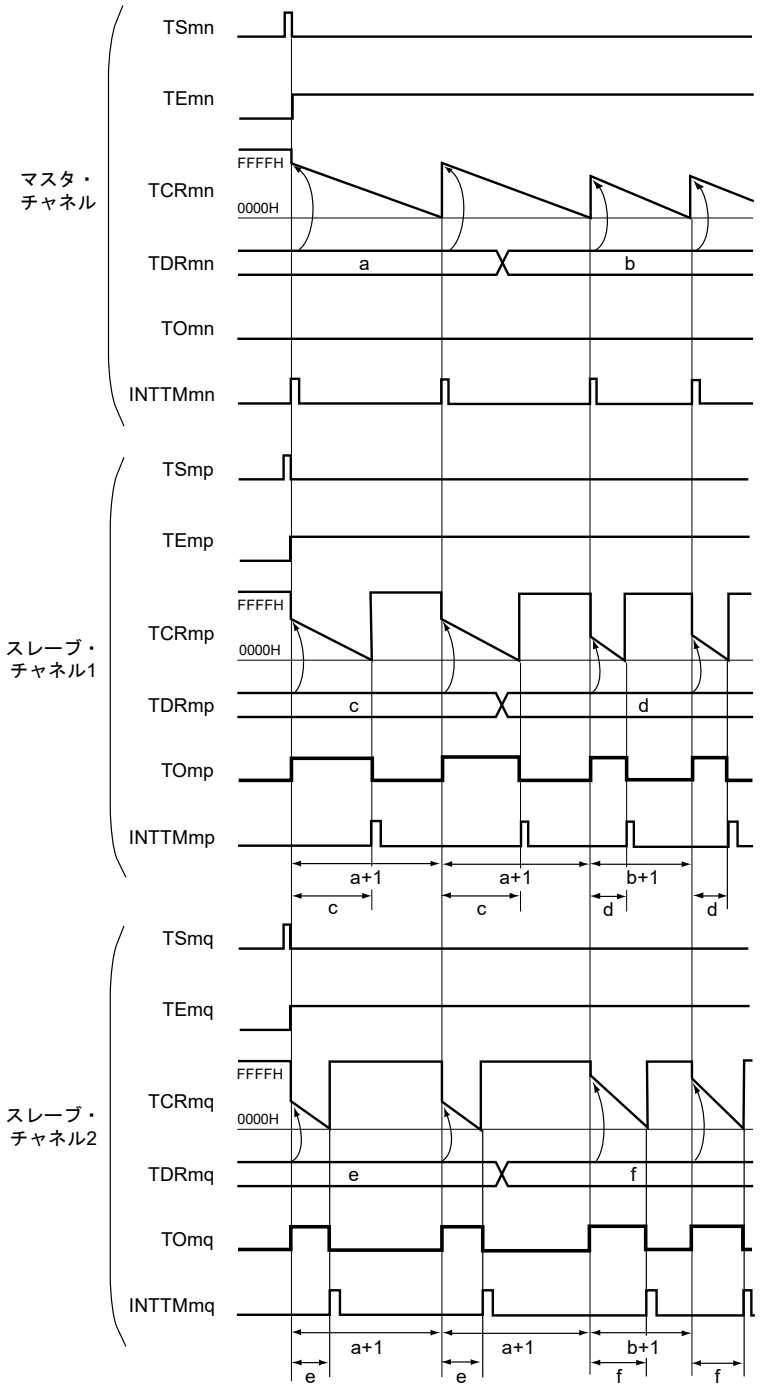
p　：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n ＜ p ＜ q ≦ 7（ただし p, q は，n 以降の整数）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

3. RL78/F23 製品のユニット 1 のチャネル 0, 2 の場合，クロックは CK12, CK13 を選択できません（図 6－2 および図 6－12 を参照）。

図 6－78　多重 PWM 出力機能としての動作の基本タイミング例（2 種類の PWM を出力する場合）



備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n ＜ p ＜ q ≦ 7（ただし p, q は，n 以降の整数）

2. TSmn, TSmp, TSmq　：タイマ・チャネル開始レジスタ m（TSm）のビット n, p, q

TEmn, TEmp, TEmq　：タイマ・チャネル許可ステータス・レジスタ m（TEm）のビット n, p, q

TCRmn, TCRmp, TCRmq ：タイマ・カウンタ・レジスタ mn, mp, mq

TDRmn, TDRmp, TDRmq ：タイマ・データ・レジスタ mn, mp, mq

TOmn, TOmp, TOmq　：TOmn, TOmp, TOmq 端子出力信号

3. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－79　多重 PWM 出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a)　タイマ・モード・レジスタ mn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	1	0	0	0	0	0	0	0	0	0	0	1

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選択

スレーブ／マスタの選択
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
01B：チャネルnの動作クロックにCKm2を選択
10B：チャネルnの動作クロックにCKm1を選択
11B：チャネルnの動作クロックにCKm3を選択

(b)　タイマ出力レジスタ m（TOm）

	ビット n
TOm	TOmn
	0

0：TOmn より 0 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビット n
TOEm	TOEmn
	0

0：カウント動作による TOmn 出力動作停止

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビット n
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では 0 を設定

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビット n
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－80　多重 PWM 機能時（スレーブ・チャネル）のレジスタ設定内容例（2 種類の PWM を出力する場合）

(a)　タイマ・モード・レジスタ mp, mq（TMRmp, TMRmq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S 注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	1/0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmq	CKSmq1	CKSmq0		CCSmq	M/S 注	STSmq2	STSmq1	STSmq0	CISmq1	CISmq0			MDmq3	MDmq2	MDmq1	MDmq0
	1/0	1/0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp、qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp、TImq端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTER0p, MASTER0qビットの設定の選択（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLIT0p, SPLIT0qビットの設定の選択（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルp、qの動作クロックにCKm0を選択
01B：チャネルp、qの動作クロックにCKm2を選択
10B：チャネルp、qの動作クロックにCKm1を選択
11B：チャネルp、qの動作クロックにCKm3を選択
※マスタ・チャネルと同一設定にする

(b)　タイマ出力レジスタ m（TOm）

	ビットq	ビットp	
TOm	TOmq	TOmp	0：TOmp, TOmq より 0 を出力する
	1/0	1/0	1：TOmp, TOmq より 1 を出力する

(c)　タイマ出力許可レジスタ m（TOEm）

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0：カウント動作による TOmp, TOmq 出力動作停止
	1/0	1/0	1：カウント動作による TOmp, TOmq 出力動作許可

(d)　タイマ出力レベル・レジスタ m（TOLm）

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0：正論理出力（アクティブ・ハイ）
	1/0	1/0	1：負論理出力（アクティブ・ロウ）

(e)　タイマ出力モード・レジスタ m（TOMm）

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1：スレーブ・チャネル出力モードを設定
	1	1	

注　TMRm5, TMRm7 の場合　：0 固定
TMRm1, TMRm3 の場合　：SPLITmp, SPLITmq ビット

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n ＜ p ＜ q ≦ 7（ただし p, q は，n 以降の整数）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

図 6－81　多重 PWM 機能時の操作手順（2 種類の PWM を出力する場合）（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ 0（PER0）の TAUmEN ビットに 1 を設定する。 →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ m（TPSm）を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタ mn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定）。 マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）にインターバル（周期）値，スレーブ・チャネルの TDRmp, TDRmq レジスタにデューティ値を設定する。	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する。）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタ m（TOMm）の TOMmp, TOMmq ビットに 1（スレーブ・チャネル出力モード）を設定する。 TOLmp, TOLmq ビットに 0 を設定する。 TOmp, TOmq ビットを設定し，TOmp, TOmq 出力の初期レベルを確定する。 →	TOmp, TOmq 端子は Hi-Z 出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが 0 の場合は，TOmp, TOmq 初期設定レベルが出力される。
	TOEmp, TOEmq ビットに 1 を設定し，TOmp, TOmq の動作を許可 →	チャネルは動作停止状態なので，TOmp, TOmq は変化しない。
	ポート・レジスタとポート・モード・レジスタに0を設定する。 →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作開始	（動作再開時のみ TOEmp, TOEmq（スレーブ）ビットに 1 を設定する。） タイマ・チャネル開始レジスタ m（TSm）の TSmn（マスタ），TSmp, TSmq（スレーブ）ビットに同時に 1 を設定する。 →	TEmn = 1, TEmp, TEmq = 1 となる。
	TSmn, TSmp, TSmq ビットはトリガ・ビットなので，自動的に 0 に戻る。	マスタ・チャネルがカウント動作開始し，INTTMmn を発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

動作再開（次のページから）

（**備考**が次のページにあります。）

図 6－81　多重 PWM 機能時の操作手順（2 種類の PWM を出力する場合）（2/2）

動作再開（前のページへ）

	ソフトウェア操作	ハードウェアの状態
動作中	TMRmn, TMRmp, TMRmq レジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットの設定値は変更不可 TDRmn, TDRmp, TDRmq レジスタは，マスタ・チャネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp, TCRmq レジスタは，常に読み出し可能 TSRmn, TSRmp, TSRmq レジスタは使用しない。	マスタ・チャネルでは，タイマ・カウンタ・レジスタ mn（TCRmn）は TDRmn レジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000H までカウントしたら INTTMmn を発生する。同時に，TCRmn レジスタは TDRmn レジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル 1 では，マスタ・チャネルの INTTMmn 信号をトリガとして，TDRmp レジスタ値を TCRmp レジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル 2 では，マスタ・チャネルの INTTMmn 信号をトリガとして，TDRmq レジスタ値を TCRmq レジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmq 出力レベルをアクティブ・レベルとする。そして 0000H までカウントしたら TOmq 出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp, TTmq（スレーブ）ビットに同時に 1 を設定する。 TTmn, TTmp, TTmq ビットはトリガ・ビットなので，自動的に 0 に戻る。	TEmn, TEmp, TEmq = 0 になり，カウント動作停止 TCRmn, TCRmp, TCRmq レジスタはカウント値を保持して停止 TOmp, TOmq 出力は初期化されず，状態保持
	スレーブ・チャネルの TOEmp, TOEmq ビットに 0 を設定し，TOmp, TOmq ビットに値を設定する。	TOmp, TOmq 端子は TOmp, TOmq 設定レベルを出力
TAU 停止	TOmp, TOmq 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmp, TOmq ビットに 0 を設定する。 TOmp, TOmq 端子の出力レベルを保持不要の場合 設定不要	TOmp, TOmq 端子出力レベルはポート機能により保持される。
	PER0 レジスタの TAUmEN ビットに 0 を設定する。	パワーオフ状態 全回路が初期化され，各チャネルの SFR も初期化される。 （TOmp, TOmq ビットが 0 になり，TOmp, TOmq 端子はポート機能となる。）

備考 1. m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n ＜ p ＜ q ≦ 7（ただし p, q は，n 以降の連続した整数）

2. RL78/F23 製品では，ユニット 1 のチャネル 4-7 は非搭載です。

6.9　タイマ・アレイ・ユニット使用時の注意事項

6.9.1　タイマ出力使用時の注意事項

(1) 割り込み機能で，タイマ・アレイ・ユニットの動作クロックに f_{CLK}（分周なし）を選択し，かつ TDRnm（n = 0, 1，m = 0-7）に 0000H を設定した場合は，タイマ・アレイ・ユニットからの割り込み信号は H 固定となり，割り込み要求を検出することができません。
本設定を使用する場合は，割り込み機能をマスクしてください。

(2) TIS0, TIS1, TIS2 レジスタで設定されるタイマへの入力要因は，タイマ動作中に切り替えないでください。

第7章　タイマRJ

タイマRJはパルス出力，外部入力のパルス幅／周期測定，外部イベントをカウントできる16ビット・タイマです。

7.1　概要

16 ビット・タイマはリロード・レジスタとダウン・カウンタから構成されます。リロード・レジスタとダウン・カウンタは同じ番地に配置されており，TRJ0 レジスタにアクセスすると，リロード・レジスタとカウンタにアクセスできます。

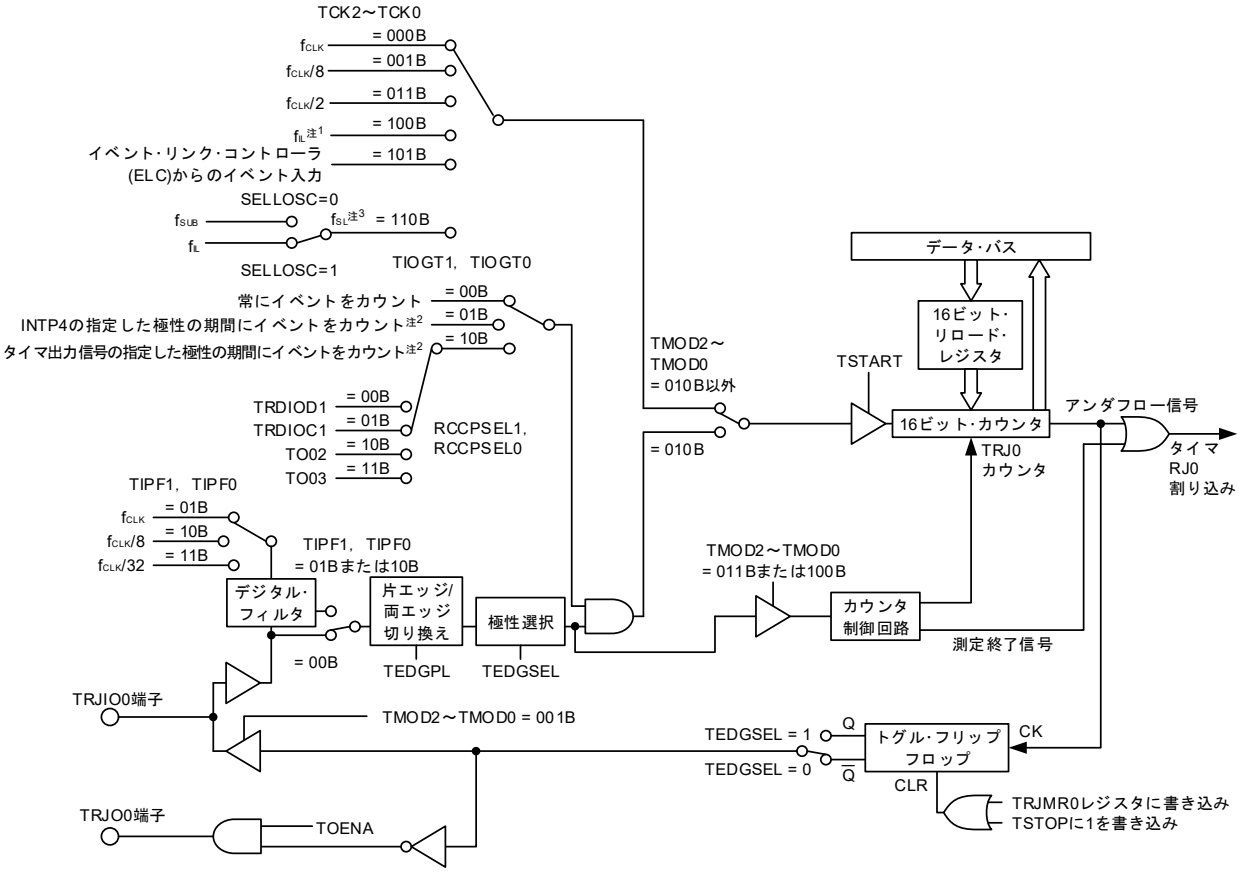
表 7－1 にタイマ RJ の仕様を，図 7－1 にタイマ RJ のブロック図を示します。

表 7－1　タイマ RJ の仕様

項目	内容	
動作モード	タイマ・モード	カウント・ソースをカウントする
	パルス出力モード	カウント・ソースをカウントし，タイマのアンダフローで，極性を反転したパルスを出力する
	イベント・カウンタ・モード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウント・ソース（動作クロック）		f_{CLK}, $f_{CLK}/2$, $f_{CLK}/8$, f_{IL}, f_{SL}，イベント・リンク・コントローラ（ELC 注）からのイベント入力から選択可能
割り込み		·カウンタがアンダフローしたとき ·パルス幅測定モードで，外部入力（TRJIO0）の有効幅の測定を完了したとき ·パルス周期測定モードで，外部入力（TRJIO0）の設定エッジが入力されたとき
選択機能		·イベント・リンク・コントローラ（ELC 注）との連携 カウント・ソースにELCからのイベント入力を選択可能 タイマRJ0割り込み（INTTRJ0）は，ELCへのイベント出力に選択可能

注　ELC は RL78/F24 でのみ利用可能です。

図7－1　タイマRJのブロック図



TSTART, TSTOP：TRJCR0レジスタのビット
TEDGSEL, TOENA, TIPF0, TIPF1, TIOGT0, TIOGT1：TRJIOC0レジスタのビット
TMOD0～TMOD2, TEDGPL, TCK0～TCK2：TRJMR0レジスタのビット
RCCPSEL0, RCCPSEL1：TRJISR0レジスタのビット
SELLOSC：CKSELレジスタのビット

注 1. カウント・ソースに f_{IL} を選択する場合は，動作スピード・モード制御レジスタ（OSMC）の WUTMMCK0 ビットを“1”にしてください。

2. TRJISR0 レジスタの RCCPSEL2 ビットで極性を選択できます。

3. タイマ RDe のカウント・ソースまたはクロック出力／ブザー出力の出力クロックに f_{SL}（f_{IL}）を選択している場合は，タイマ RJ のカウント・ソースに f_{SUB} を選択することができません。

7.2　入出力端子

表 7－2 にタイマ RJ の端子構成を示します。

表 7－2　タイマ RJ の端子構成

端子名	入出力	機能
INTP4	入力	タイマRJの外部入力
TRJIO0	入出力	タイマRJの外部イベント入力，パルス出力
TRJO0	出力	タイマRJのパルス出力

7.3　レジスタの説明

表 7－3 にタイマ RJ のレジスタ構成を示します。

表 7－3　タイマ RJ のレジスタ構成

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F00F3H	動作スピード・モード制御レジスタ	OSMC	00H	8
F0240H	タイマRJ制御レジスタ0	TRJCR0	00H	8
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0	00H	1, 8
F0242H	タイマRJモード・レジスタ0	TRJMR0	00H	1, 8
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0	00H	1, 8
F02C0H	周辺イネーブル・レジスタ1	PER1	00H	1, 8
F02C4H	クロック選択レジスタ	CKSEL	00H	1, 8
F06F0H	タイマ RJ カウンタ・レジスタ 0 注	TRJ0	FFFFH	16

備考　ポート・モード・レジスタ（PMm）とポート・レジスタ（Pm）については，「7.3.9　ポート・モード・レジスタ 1, 4（PM1, PM4）」を参照してください。

注　TRJ0 レジスタ・アクセス時に CPU は次の命令処理に移行せず，CPU 処理としてウェイト状態となります。このため，このウェイトが発生した場合，命令の実行クロック数がウェイト・クロック数分長くなります。TRJ0 レジスタ・アクセス時のウェイト・クロック数は，リード，ライトともに 1 クロックです。

7.3.1　周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ RJ を使用する場合は，必ずビット 0（TRJ0EN）を“1”に設定してください。

PER1 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00H になります。

図7－2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN 注	0	CMPEN 注	TRD0EN	DTCEN	PWMOPEN	0	TRJ0EN

TRJ0EN	タイマRJ0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入力クロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可

注　RL78/F24 のみ

注意 1.　タイマ RJ の設定をする際には，必ず最初に TRJ0EN = 1 の設定を行ってください。TRJ0EN = 0 の場合は，タイマ RJ の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ 1, 4（PM1, PM4），ポート・レジスタ 1, 4（P1, P4 は除く）。

2.　次のビットには必ず“0”を設定してください。

RL78/F23：ビット 1, 5, 6, 7

RL78/F24：ビット 1, 6

7.3.2　動作スピード・モード制御レジスタ（OSMC）

OSMC レジスタの WUTMMCK0 ビットで低速オンチップ・オシレータを動作できます。

タイマ RJ のカウント・ソースに選択する場合は，タイマ RJ モード・レジスタ 0（TRJMR0）の TCK2-TCK0 ビットで選択してください。

また，RTCLPC ビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPC ビットの設定については「第 5 章　クロック発生回路」を参照してください。

OSMC レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図7－3　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	低速オンチップ・オシレータの動作制御
0	低速オンチップ・オシレータ停止
1	低速オンチップ・オシレータ動作

7.3.3　クロック選択レジスタ（CKSEL）

CPU クロック（f_{SUB}/f_{IL}）およびタイマ RJ，タイマ RD，クロック出力／ブザー出力のクロックを選択するレジスタです。SELLOSC ビットは，CMC レジスタとの組み合わせによって，サブシステム・クロックの動作モードを設定します。詳細は「図 5－3　クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSEL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図7－4　クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	FPLLDIV	FMAINDIV1	FMAINDIV0	0	0	TRD_CKSEL	0	SELLOSC 注3, 4

SELLOSC 注3, 4	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{SUB} 注1 を選択し，低速オンチップ・オシレータを停止します
1	f_{IL} 注2 を選択し，低速オンチップ・オシレータが動作します

注 1. f_{SUB} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ SELLOSC ビットを“0”にした後，CKC レジスタの CSS ビットを“1”にしてください。

2. f_{IL} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ SELLOSC ビットを“1”にした後，CKC レジスタの CSS ビットを“1”にしてください。

3. SELLOSC ビットを“1”にした場合，低速オンチップ・オシレータが動作します。

4. 32 ピン製品で CKSEL レジスタを設定する場合，SELLOSC ビットを“1”に設定してください。

7.3.4　タイマRJカウンタ・レジスタ0（TRJ0），タイマRJリロード・レジスタ

16 ビットのレジスタです。書くとリロード・レジスタに書き込まれ，読むとカウンタの値が読み出されます。

なお，TRJCR0 レジスタの TSTART ビットの値により，リロード・レジスタとカウンタの状態が変わります。

詳細は「7.4.1　リロード・レジスタとカウンタの書き換え動作」を参照してください。

図7－5　タイマRJカウンタ・レジスタ0（TRJ0），タイマRJリロード・レジスタのフォーマット

アドレス：F06F0H　リセット時：FFFFH

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJ0	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

ビット15-0	機能	設定範囲	R/W
－	16ビットのカウンタおよびリロード・レジスタです。注1, 2, 3	0000H-FFFFH	R/W

注　**1.** TRJCR0 レジスタの TSTOP ビットに“1”書くと，16 ビットカウンタは強制停止し，FFFFH になります。

2. TRJ0 レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

3. TRJMR0 レジスタの TCK2-TCK0 ビットの設定が 001B（f_{CLK}/8）または 011B（f_{CLK}/2）以外では，TRJ0 レジスタが 0000H の場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号はカウント開始直後の 1 回しか発生しません。ただし，TRJO0 および TRJIO0 出力はトグル出力されます。

また，イベント・カウンタ・モード時は TCK2-TCK0 ビットの値に関わらず，TRJ0 レジスタが 0000H の場合，DTC，ELC および割り込みへの要求信号はカウント開始直後の 1 回しか発生しません。さらに，カウント指定期間外でも TRJO0 がトグル出力されます。

TRJ0 レジスタが 0001H 以上の場合は TRJ がアンダフローするごとに要求信号が発生します。

ELC は RL78/F24 でのみ利用可能です。

注意　TRJ0 レジスタ・アクセス時に，CPU は次の命令処理に移行せず，CPU 処理としてウェイト状態となります。このため，このウェイトが発生した場合，命令の実行クロック数がウェイト・クロック数分長くなります。TRJ0 レジスタ・アクセス時のウェイト・クロック数は，リード，ライトともに 1 クロックです。

7.3.5　タイマRJ制御レジスタ0（TRJCR0）

TRJR0 レジスタは，タイマ RJ のカウント動作の開始または停止，タイマ RJ のステータスを示します。

TRJR0 レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図7－6　タイマRJ制御レジスタ0（TRJCR0）のフォーマット

アドレス：F0240H　リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJCR0	－	－	TUNDF	TEDGF	－	TSTOP	TCSTF	TSTART

ビット7, 6	何も配置されていない	R/W
－	書く場合は0を書いてください。読んだ場合は0が読み出されます。	R

TUNDF	タイマRJアンダフロー・フラグ	R/W
0	アンダフローなし	R/W
1	アンダフローあり	

[0になる条件]
・プログラムで“0”を書いたとき
[1になる条件]
・カウンタがアンダフローしたとき

TEDGF	有効エッジ判定フラグ	R/W
0	有効エッジなし	R/W
1	有効エッジあり	

[0になる条件]
・ プログラムで“0”を書いたとき
[1になる条件]
・ パルス幅測定モードで，外部入力（TRJIO0）の有効幅の測定を完了したとき
・ パルス周期測定モードで，外部入力（TRJIO0）の設定エッジが入力されたとき

ビット3	何も配置されていない	R/W
－	書く場合は0を書いてください。読んだ場合は0が読み出されます。	R

TSTOP	タイマRJカウント強制停止 注1	R/W
このビットに“1”が書き込まれるとカウントは強制的に停止されます。読み出し値は常に“0”です。		W

TCSTF	タイマRJカウント・ステータス・フラグ 注2	R/W
0	カウント停止	R
1	カウント中	

[0になる条件]
・TSTARTビットに“0”を書いたとき（カウント・ソースに同期して“0”になる）
・TSTOPビットに“1”を書いたとき
[1になる条件]
・TSTARTビットに“1”を書いたとき（カウント・ソースに同期して“1”になる）

（注は次ページにあります。）

TSTART	タイマRJカウント開始 注2	R/W
0	カウント停止	R/W
1	カウント開始	
TSTARTビットに“1”を書くことによりカウントを開始し，“0”を書くことによりカウントを停止します。TSTARTビットを“1”（カウント開始）にすると，カウント・ソースに同期してTCSTFビットが“1”（カウント中）になります。また，TSTARTビットに0を書き込み後，カウント・ソースに同期してTCSTFビットが“0”（カウント停止）になります。詳細は「7.5.1　カウント動作開始，停止制御」を参照してください。		

注 **1.** TSTOP ビットに“1”（カウント強制停止）を書くと，同時に TSTART, TCSTF ビットが初期化されます。
また，パルス出力レベルも初期化されます。

2. TSTART, TCSTF ビットの使用上の注意は「7.5.1　カウント動作開始，停止制御」を参照してください。

7.3.6　タイマRJ I/O制御レジスタ0（TRJIOC0）

TRJIOC0 レジスタは，タイマ RJ の入力／出力を設定します。

TRJIOC0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図7－7　タイマRJ I/O制御レジスタ0（TRJIOC0）のフォーマット

アドレス：F0241H　リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	－	TOENA	－	TEDGSEL

TIOGT1	TIOGT0	TRJIO0カウント制御 注1,2	R/W
0	0	常にイベントをカウント	R/W
0	1	INTP4の指定した極性の期間イベントをカウント	
1	0	タイマ出力信号の指定した極性の期間イベントをカウント	
1	1	設定しないでください	

注 1. INTP4 またはタイマ出力信号使用時，TRJISR0 レジスタの RCCPSEL2 ビットでイベントをカウントする極性を選択できます。

2. TIOGT0, TIOGT1 ビットはイベント・カウンタ・モードでのみ有効です。

TIPF1	TIPF0	TRJIO0入力フィルタ選択	R/W
0	0	フィルタなし	R/W
0	1	フィルタあり，f_{CLK}でサンプリング	
1	0	フィルタあり，$f_{CLK}/8$でサンプリング	
1	1	フィルタあり，$f_{CLK}/32$でサンプリング	
TRJIO0入力のフィルタのサンプリング周波数を指定します。TRJIO0端子からの入力をサンプリングして，その値が3回連続して一致したとき，入力が確定します。			

ビット3	何も配置されていない	R/W
－	書く場合は0を書いてください。読んだ場合は0が読み出されます。	R

TOENA	TRJO0出力許可	R/W
0	TRJO0出力禁止（ポート）	R/W
1	TRJO0出力許可	

ビット1	何も配置されていない	R/W
－	書く場合は0を書いてください。読んだ場合は0が読み出されます。	R

TEDGSEL	入出力極性切り替え	R/W
動作モードによって機能が異なります（表7－4，表7－5参照）TEDGSELビットは，TRJO0出力極性とTRJIO0入出力のエッジおよび極性切り替えを設定します。パルス出力モードでは，トグル・フリップフロップの反転/正転出力のみ制御します。 トグル・フリップフロップは，TRJMR0レジスタに書いたとき，またはTRJCR0レジスタのTSTOPビットに“1”を書いたときに初期化されます。		R/W

表 7－4　TRJIO0 入出力のエッジおよび極性切り替え

動作モード	機能
タイマ・モード	使用しない（入出力ポート）
パルス出力モード	0：Hから出力開始（初期化レベル：H） 1：Lから出力開始（初期化レベル：L）
イベント・カウンタ・モード	0：立ち上がりエッジでカウント 1：立ち下がりエッジでカウント
パルス幅測定モード	0：Lレベル幅を測定 1：Hレベル幅を測定
パルス周期測定モード	0：測定パルスの立ち上がりから立ち上がり間測定 1：測定パルスの立ち下がりから立ち下がり間測定

表 7－5　TRJO0 出力極性切り替え

動作モード	機能
全モード	0：Lから出力開始（初期化レベル：L） 1：Hから出力開始（初期化レベル：H）

7.3.7　タイマRJモード・レジスタ0（TRJMR0）

TRJMR0 レジスタは，タイマ RJ の入力／出力を設定します。

TRJMR0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図7－8　タイマRJモード・レジスタ0（TRJMR0）のフォーマット

アドレス：F0242H　リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJMR0	－	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0

ビット7	何も配置されていない	R/W
－	書く場合は0を書いてください。読んだ場合は0が読み出されます。	R

TCK2	TCK1	TCK0	タイマRJカウント・ソース選択 注1, 2	R/W
0	0	0	f_{CLK}	R/W
0	0	1	$f_{CLK}/8$	
0	1	1	$f_{CLK}/2$	
1	0	0	f_{IL} 注4	
1	0	1	イベント・リンク・コントローラ（ELC）からのイベント入力 注5	
1	1	0	f_{SL}	
上記以外			設定禁止	

TEDGPL	TRJIO0エッジ極性選択 注6	R/W
0	片エッジ	R/W
1	両エッジ	

TMOD2	TMOD1	TMOD0	タイマRJ動作モード選択 注3	R/W
0	0	0	タイマ・モード	R/W
0	0	1	パルス出力モード	
0	1	0	イベント・カウンタ・モード	
0	1	1	パルス幅測定モード	
1	0	0	パルス周期測定モード	
上記以外			設定禁止	

注 1. イベント・カウンタ・モードを選択すると，TCK0-TCK2 ビットの設定にかかわらず，カウント・ソースは外部入力（TRJIO0）が選択されます。

2. カウント中にカウント・ソースを切り替えないでください。カウント・ソースを切り替えるときは TRJCR0 レジスタの TSTART ビットと TCSTF ビットを“0”（カウント停止）に設定してください。

3. 動作モードの変更は，カウント停止時（TRJCR0 レジスタの TSTART ビットと TCSTF ビットが共に“0”（カウント停止））のみ可能です。カウント動作中には変更しないでください。

4. カウント・ソースに f_{IL} を選択する場合は，動作スピード・モード制御レジスタ（OSMC）の WUTMMCK0 ビットを“1”にしてください。ただし，CKSEL レジスタの SELLOSC ビットを“1”に設定している場合は，タイマ RJ のカウント・ソースに f_{SUB} を選択することができません。

5. RL78/F24 のみ搭載しています。それ以外の製品では設定しないでください。

6. TEDGPL ビットはイベント・カウンタ・モード時のみ有効です。

注意　TRJMR0 レジスタへのライト・アクセスにて，タイマ RJ の TRJO0 端子および TRJIO0 端子の出力は初期化されます。初期化時の出力レベルは「図 7－7　タイマ RJ I/O 制御レジスタ 0（TRJIOC0）のフォーマット」の説明を参照してください。

7.3.8　タイマRJイベント端子選択レジスタ0（TRJISR0）

TRJISR0 レジスタは，イベント・カウント周期を制御するためのタイマと極性を選択します。

TRJMR0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図7－9　タイマRJイベント端子選択レジスタ0（TRJISR0）のフォーマット

アドレス：F0243H　リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJISR0	–	–	–	–	–	RCCPSEL2	RCCPSEL1	RCCPSEL0

ビット7-3	何も配置されていない	R/W
–	書く場合は0を書いてください。読んだ場合は0が読み出されます。	R

RCCPSEL2 注	タイマ出力信号およびINTP4極性選択	R/W
0	L期間にイベントをカウント	R/W
1	H期間にイベントをカウント	

RCCPSEL1 注	RCCPSEL0 注	タイマ出力信号選択	R/W
0	0	TRDIOD1	R/W
0	1	TRDIOC1	
1	0	TO02	
1	1	TO03	

注　RCCPSEL0-2 ビットはイベント・カウンタ・モードでのみ有効です。

7.3.9　ポート・モード・レジスタ1, 4（PM1, PM4）

ポート 1, 4 の入力／出力を 1 ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート（P41/TRJIO0, P10/TRJO0 など）をタイマ出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMmn）のビットおよびポート・レジスタ（Pmn）のビットに“0”を設定してください。

例）P41/TRJIO0 をタイマ出力として使用する場合
　ポート・モード・レジスタ 4 の PM41 ビットを“0”に設定
　ポート・レジスタ 4 の P41 ビットを“0”に設定

タイマ入力端子を兼用するポート（P41/TRJIO0 など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMmn）のビットに 1 を設定してください。このときポート・レジスタ（Pmn）のビットは，“0”または“1”のどちらでもかまいません。

例）P41/TRJIO0 をタイマ入力として使用する場合
　ポート・モード・レジスタ 4 の PM41 ビットを“1”に設定
　ポート・レジスタ 4 の P41 ビットを“0”または“1”に設定

PM1, PM4 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により，FFH になります。

図7－10　ポート・モード・レジスタ1, 4（PM1, PM4）のフォーマット（100ピン製品）

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PMmn	Pmn端子の入出力モードの選択（m = 1, 4, n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

備考　上記は，100 ピン製品のポート・モード・レジスタ 1, 4 のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては「4.5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定」を参照してください。

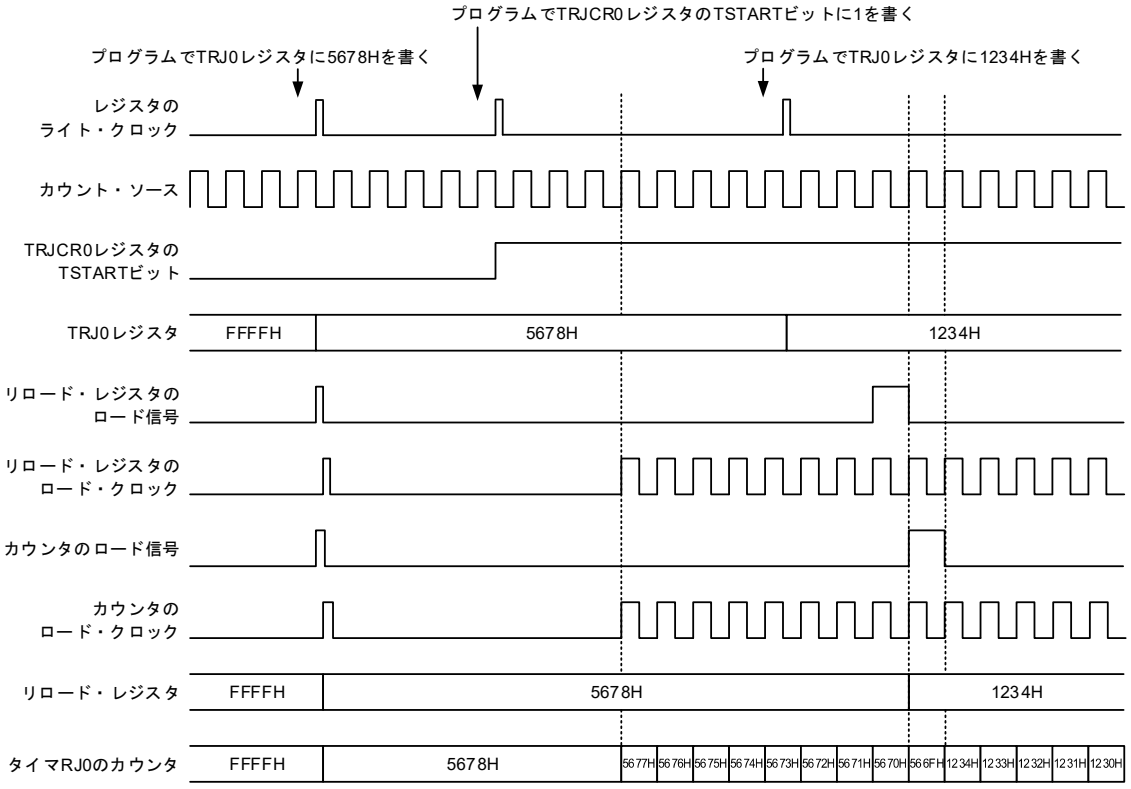
7.4　動作説明

7.4.1　リロード・レジスタとカウンタの書き換え動作

リロード・レジスタとカウンタへの書き換え動作は，動作モードにかかわらず TRJCR0 レジスタの TSTART ビットの値によりタイミングが変わります。TSTART ビットが“0”（カウント停止）のときは，直接リロード・レジスタおよびカウンタに書き込まれます。TSTART ビットが“1”（カウント開始）のときは，カウント・ソースに同期してリロード・レジスタに書き込まれた後，次のカウント・ソースに同期してカウンタに書き込まれます。

図 7－11 に TSTART ビットの値による書き換え動作のタイミング図を示します。

図7－11　TSTARTビットの値による書き換え動作のタイミング図



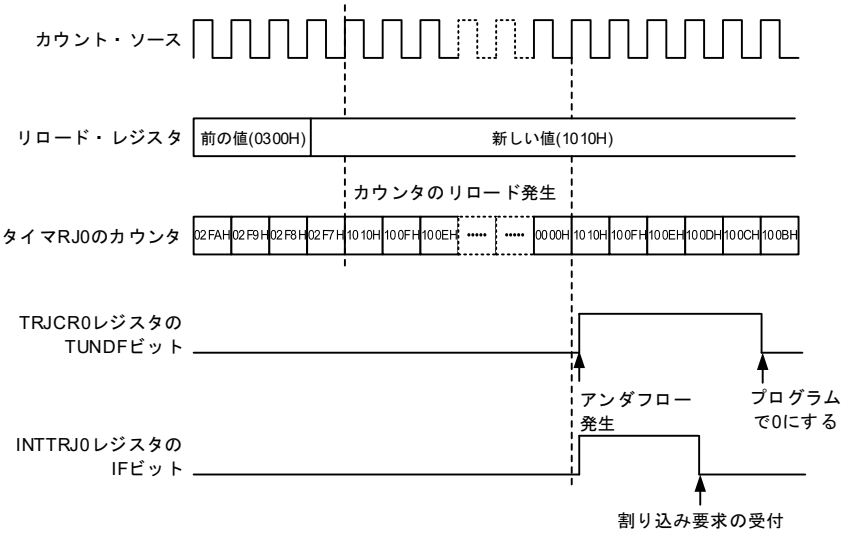
7.4.2　タイマ・モード

TRJMR0 レジスタの TCK0-TCK2 ビットにより選択されたカウント・ソースで，ダウン・カウントするモードです。

タイマ・モードでは，カウント・ソースが入力されるごとにカウント値が 1 ずつ減少し,カウント値が 0000H になり，次のカウント・ソースが入力されるとアンダフローし，割り込み要求が発生します。

図 7－12 にタイマ・モードの動作例を示します。

図 7－12　タイマ・モードの動作例



7.4.3　パルス出力モード

TRJMR0 レジスタの TCK0-TCK2 ビットにより選択されたカウント・ソースでダウン・カウントし，アンダフローするごとに，TRJIO0 端子および TRJO0 端子の出力レベルを反転出力させるモードです。

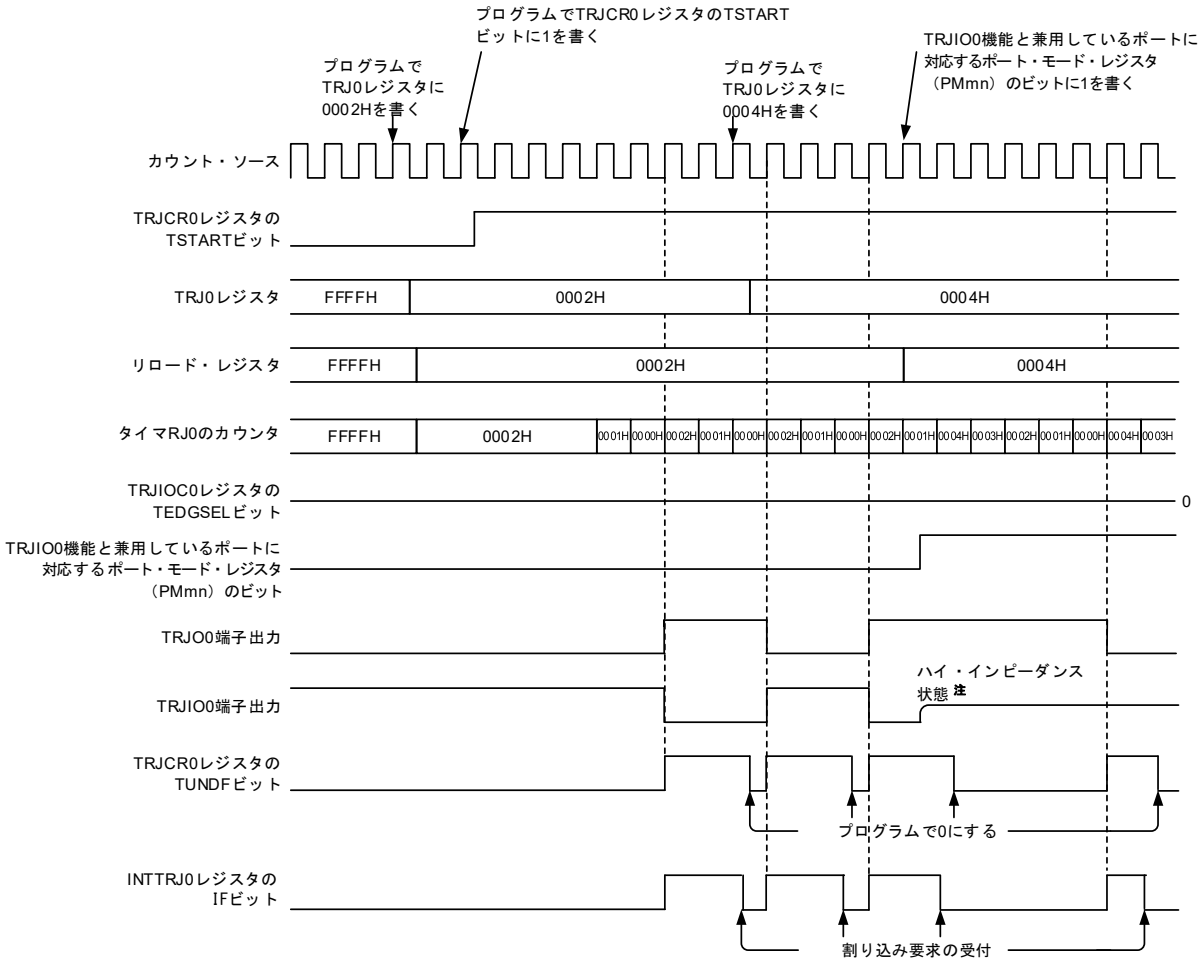
パルス出力モードでは，カウント・ソースが入力されるごとにカウント値が 1 ずつ減少し,カウント値が 0000H になり，次のカウント・ソースが入力されるとアンダフローし，割り込み要求が発生します。

また,TRJIO0 端子と TRJO0 端子の 2 端子からパルス出力が可能で,アンダフローするごとに出力レベルを反転します。TRJO0 端子については,TRJIOC0 レジスタの TOENA ビットによりパルス出力を停止できます。

なお，出力レベルを TRJIOC0 レジスタの TEDGSEL ビットにより選択できます。

図 7－13 にパルス出力モードの動作例を示します。

図 7－13　パルス出力モードの動作例



注　TRJIO0機能として選択したポートの出力許可制御によって、ハイ・インピーダンス状態となります。

7.4.4　イベント・カウンタ・モード

TRJIO0 端子から入力される外部イベント信号（カウント・ソース）でダウン・カウントするモードです。

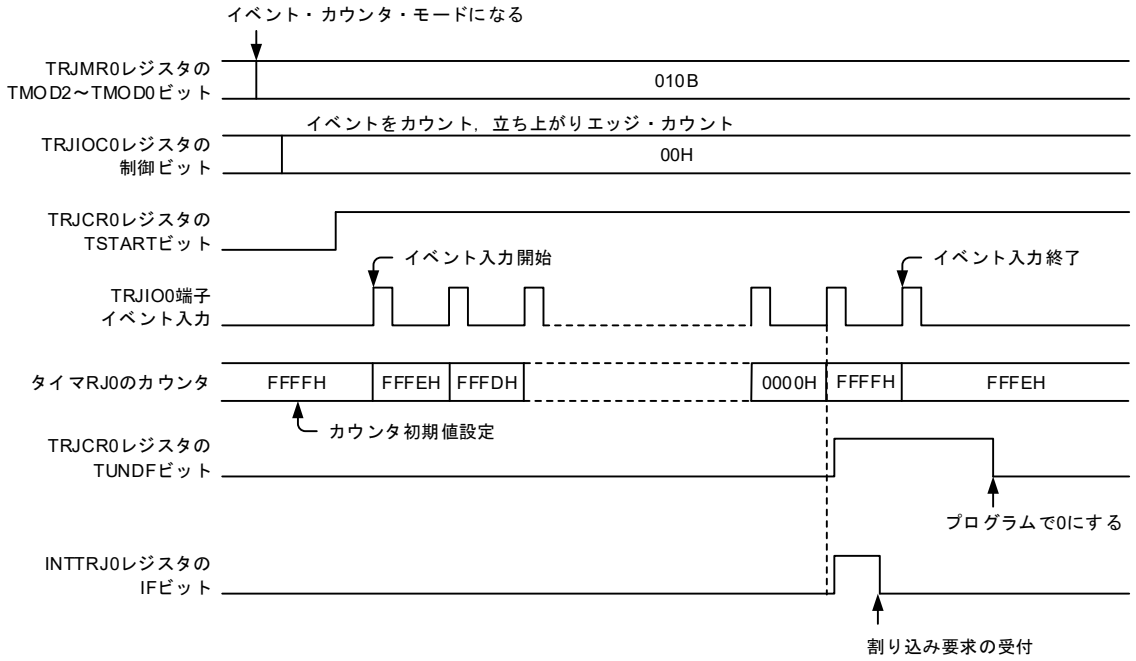
イベント・カウントする期間を，TRJIOC0 レジスタの TIOGT0-TIOGT1 ビットおよび TRJISR0 レジスタにより各種設定ができます。また，TRJIO0 入力のフィルタ機能を TRJIOC0 レジスタの TIPF0-TIPF1 ビットで指定できます。

なお，イベント・カウンタ・モードでも TRJO0 端子からトグル出力ができます。

イベント・カウンタ・モードを使用する場合は「7.5.5　TRJO0, TRJIO0 端子の設定手順」を参照してください。

図 7－14 にイベント・カウンタ・モードの動作例を示します。

図 7－14　イベント・カウンタ・モードの動作例 1

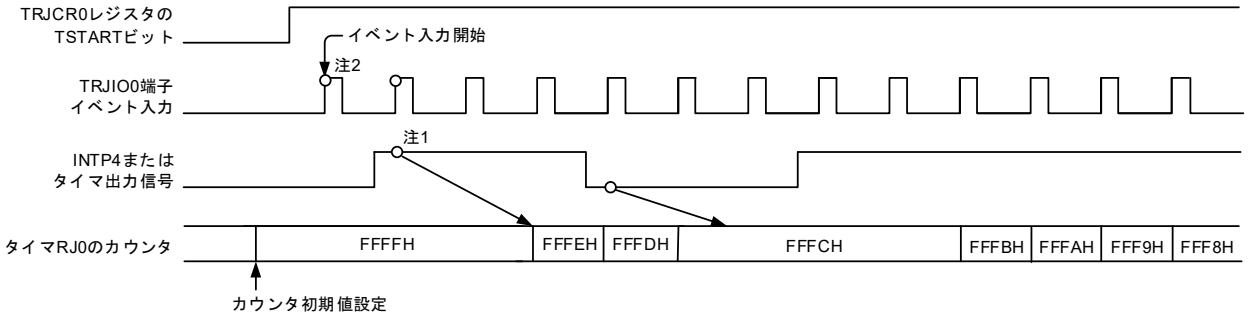


イベント・カウンタ・モードで指定時間カウントする場合（TRJIOC0レジスタのTIOGT1,0ビットが01Bまたは10B）の動作例を図7－15に示します。

図7－15　イベント・カウンタ・モードの動作例2

■動作モード設定が下記の場合のタイミング例

TRJMR0レジスタ　：TMOD2,1,0 = 010B（イベント・カウンタ・モード）
TRJIOC0レジスタ　：TIOGT1,0 = 01B（外部割り込み端子の指定した期間イベント・カウント
TIPF1,0 = 00B（フィルタなし）
TEDGSEL = 0（立ち上がりエッジでカウント）
TRJISR0レジスタ　：RCCPSEL2 = 1（H期間をカウント）



下記注意事項は、イベント・カウンタ・モードの動作モード設定が，TRJIOC0レジスタのTIOGT1,0が01Bまたは10Bの場合に限ります。

注1. 同期化制御のため，カウント動作に反映されるまで，カウント・ソースで2クロック分の遅延があります。
2. カウント開始直後のカウント・ソースで2クロック分は前回のカウント停止前の状態により，カウント動作する場合があります。
カウント開始直後の2クロック分のカウントを無効にするには，TRJCR0レジスタのTSTOPビットに”1”をライトし，内部回路を初期化し、動作設定後カウント動作開始してください。

7.4.5　パルス幅測定モード

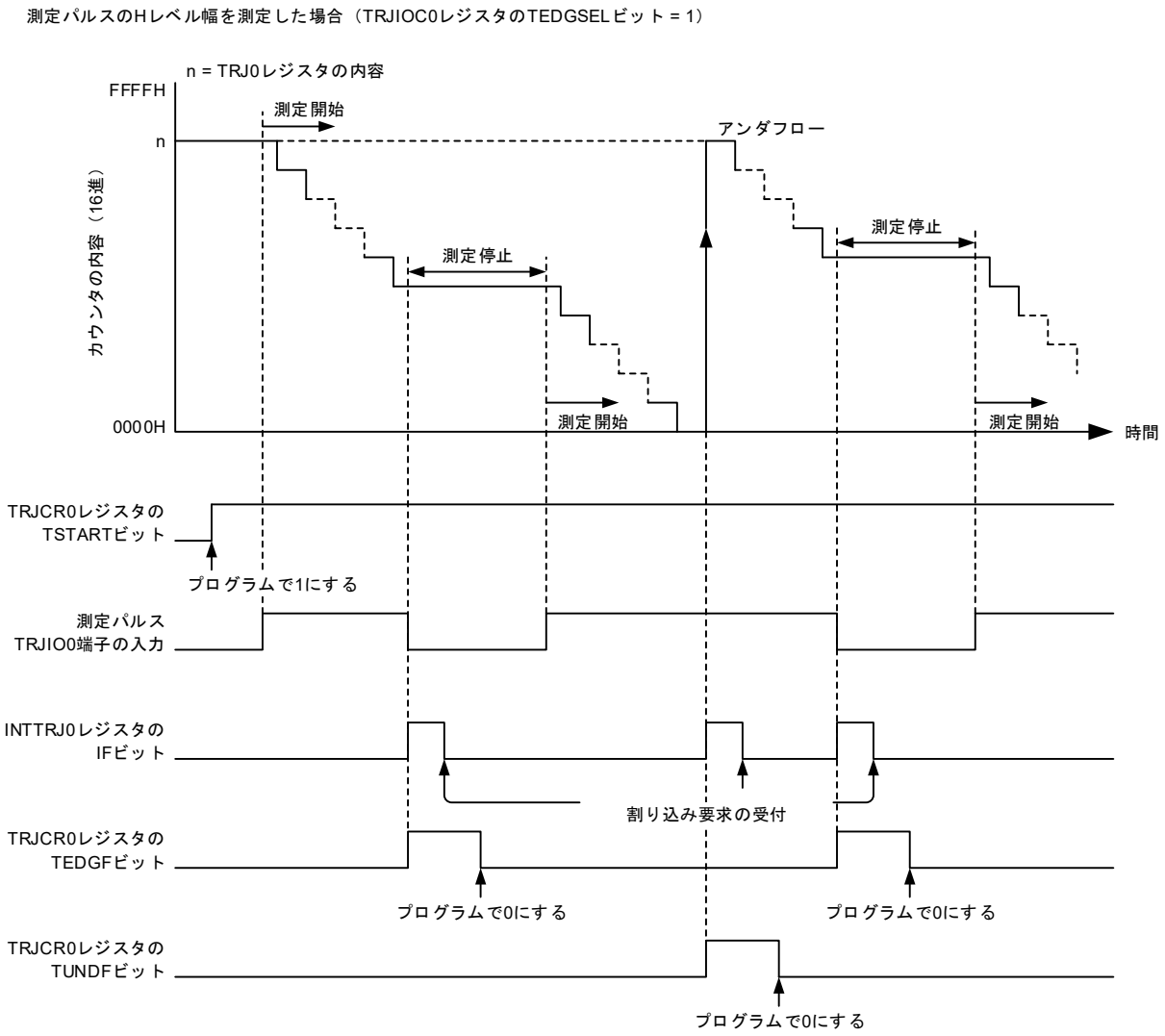
TRJIO0 端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは，TRJIO0 端子に TRJIOC0 レジスタの TEDGSEL ビットで指定したレベルが入力されると，選択したカウント・ソースでダウン・カウントを開始します。TRJIO0 端子の指定したレベルが終了するとカウンタは停止し，TRJCR0 レジスタの TEDGF ビットが“1”（有効エッジあり）になり，割り込み要求が発生します。パルス幅データの測定は，カウンタが停止中にカウンタ値を読み出すことで行います。また，測定中にカウンタがアンダフローすると，TRJCR0 レジスタの TUNDF ビットが“1”（アンダフローあり）になり，割り込み要求が発生します。

図 7－16 にパルス幅測定モードの動作例を示します。

TRJCR0 レジスタの TEDGF, TUNDF ビットをアクセスする場合は「7.5.2　フラグへのアクセス（TRJCR0 レジスタの TEDGF, TUNDF ビット）」を参照してください。

図7－16　パルス幅測定モードの動作例



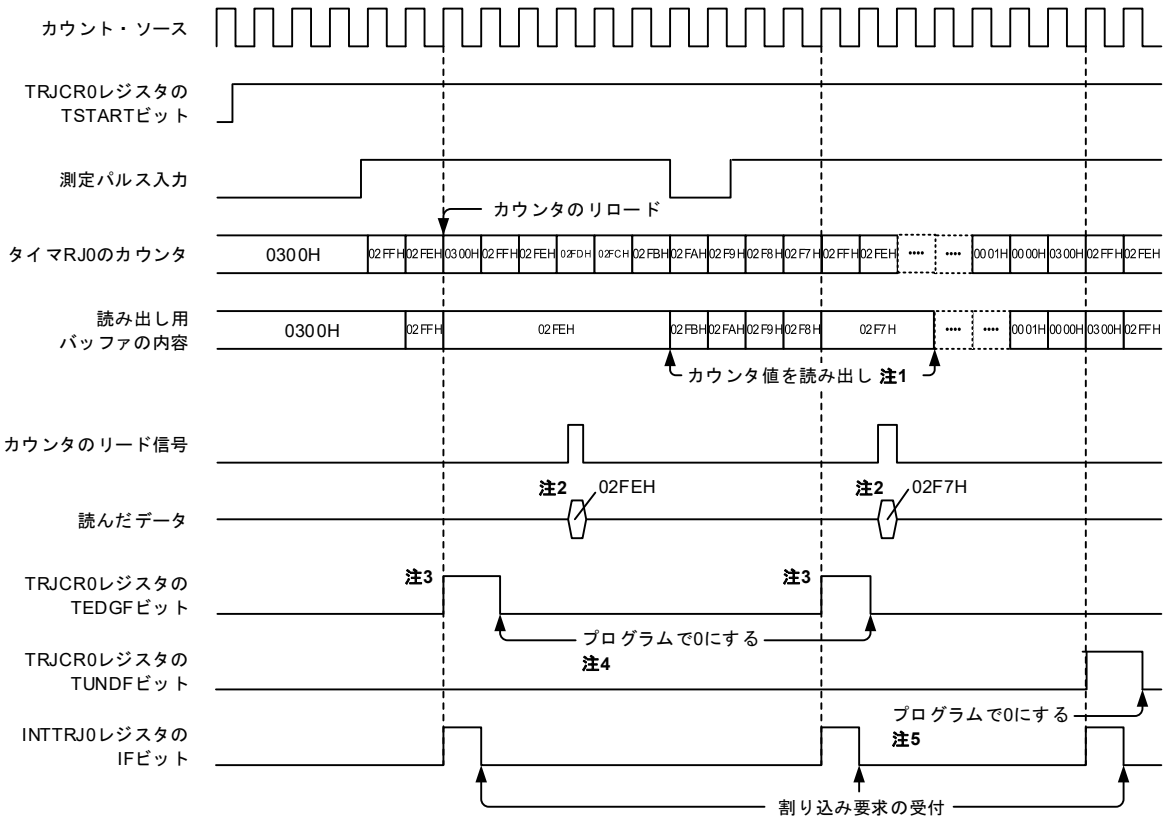
7.4.6　パルス周期測定モード

TRJIO0 端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR0 レジスタの TCK0-TCK2 ビットにより選択されたカウント・ソースで，カウンタはダウン・カウントします。TRJIO0 端子に TRJIOC0 レジスタの TEDGSEL ビットで指定した期間のパルスが入力されると，カウント・ソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウント・ソースの立ち上がりで，リロード・レジスタ値がカウンタにロードされます。同時に TRJCR0 レジスタの TEDGF ビットが“1”（有効エッジあり）になり，割り込み要求が発生します。このときに読み出し用バッファ（TRJ0 レジスタ）を読み出し，リロード値との差が入力パルスの周期データとなります。なお，周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると，TRJCR0 レジスタの TUNDF ビットが“1”（アンダフローあり）になり，割り込み要求が発生します。図 7－17 にパルス周期測定モードの動作例を示します。

カウント・ソースより 2 倍長い周期のパルスを入力してください。また，L 幅と H 幅のそれぞれが，カウント・ソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合，その入力は無視されることがあります。

図 7－17　パルス周期測定モードの動作例



TRJ0レジスタの初期値を0300Hとし，TRJIOC0レジスタのTEDGSELビットを0にし，測定パルスの立ち上がりまで測定した場合です。

注1. TRJ0レジスタの読み出しは，TEDGFビットが1（有効エッジあり）になってから次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は，TRJ0レジスタを読み出すまで保持されます。従って，有効エッジが入力されるまでに読み出さない場合は，前の周期の測定結果を保持します。

2. パルス周期測定モードでTRJ0レジスタを読み出すと，読み出し用バッファの内容が読めます。

3. 測定パルスの有効エッジ入力後に外部パルス入力の設定エッジが入力されたとき，TRJCR0レジスタのTEDGFビットが1（有効エッジあり）になります。

4. プログラムで0にするときは，8ビット・メモリ操作命令を用いてTRJCR0レジスタのTEDGFビットに0を書いてください。

5. プログラムで0にするときは，8ビット・メモリ操作命令を用いてTRJCR0レジスタのTUNDFビットに0を書いてください。

7.4.7　イベント・リンク・コントローラ（ELC）との連携による動作

ELC は RL78/F24 のみ搭載しています。

ELC との連携により，カウント・ソースに ELC からのイベント入力を設定することができます。

TRJMR0 レジスタの TCK0-TCK2 ビットにて，ELC からのイベント入力の立ち上がりでカウントします。ただし，イベント・カウンタ・モードでは，ELC 入力は機能しません。

ELC 設定手順を以下に示します。

- 動作開始手順

（1）イベント・リンク・コントローラ（ELC）のイベント出力先選択レジスタ（ELSELRn）を設定する。

（2）イベント発生元の動作モードを設定する。

（3）タイマRJのモードを設定する。

（4）タイマRJのカウント動作を開始する。

（5）イベント発生元の動作を開始する。

- 動作停止手順

（1）イベント発生元の動作を停止させる。

（2）タイマRJのモードのカウンタ動作を停止させる。

（3）イベント・リンク・コントローラ（ELC）のイベント出力先選択レジスタ（ELSELRn）を “0” に設定する。

7.4.8　各モード出力設定

表 7－6，表 7－7 に各モード時の TRJO0, TRJIO0 端子状態を示します。

表 7－6　TRJO0 端子設定

動作モード	TRJIOC0レジスタ		TRJO0端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表 7－7　TRJIO0 端子設定

動作モード	ポート・モード・レジスタ4	TRJIOC0レジスタ	TRJIO0端子入出力
	PM41	TEDGSELビット	
タイマ・モード	0または1	0または1	入力（使用しない）
パルス出力モード	1	0または1	出力禁止（Hi-z出力）
	0	1	正転出力
		0	反転出力
イベント・カウンタ・モード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

7.5　タイマRJ使用上の注意事項

7.5.1　カウント動作開始，停止制御

- イベント・カウンタ・モードまたはカウント・ソースを ELC 以外に設定したとき

  カウント停止中に TRJCR0 レジスタの TSTART ビットに“1”（カウント開始）を書いた後は，カウント・ソースの 3 サイクルの間，TRJCR0 レジスタの TCSTF ビットは“0”（カウント停止）になっています。TCSTF ビットが“1”（カウント中）になるまで，TCSTF ビットを除くタイマ RJ 関連レジスタ 注をアクセスしないでください。

  カウント中に TSTART ビットに“0”（カウント停止）を書いた後は，カウント・ソースの 3 サイクルの間，TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったとき，カウントを停止します。TCSTF ビットが“0”になるまで，TCSTF ビットを除くタイマ RJ 関連レジスタ 注をアクセスしないでください。

  また，TSTART ビットを“0”から“1”へ変更する前に，割り込みレジスタのクリアを行ってください。詳細は「第 21 章　割り込み機能」を参照してください。

  注　タイマ RJ 関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

- イベント・カウンタ・モードまたはカウント・ソースを ELC 設定したとき

  カウント停止中に TRJCR0 レジスタの TSTART ビットに“1”（カウント開始）を書いた後は，CPU クロックの 2 サイクルの間，TRJCR0 レジスタの TCSTF ビットは“0”（カウント停止）になっています。TCSTF ビットが“1”（カウント中）になるまで，TCSTF ビットを除くタイマ RJ 関連レジスタ 注をアクセスしないでください。

  カウント中に TSTART ビットに“0”（カウント停止）を書いた後は，CPU クロックの 2 サイクルの間，TCSTF ビットは“1”になっています。TCSTF ビットが“0”になったとき，カウントを停止します。TCSTF ビットが“0”になるまで，TCSTF ビットを除くタイマ RJ 関連レジスタ 注をアクセスしないでください。

  また，TSTART ビットを“0”から“1”へ変更する前に，割り込みレジスタのクリアを行ってください。詳細は「第 21 章　割り込み機能」を参照してください。

  なお，ELC は RL78/F24 のみ搭載しています。

  注　タイマ RJ 関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

7.5.2　フラグへのアクセス（TRJCR0レジスタのTEDGF, TUNDFビット）

TRJCR0 レジスタの TEDGF, TUNDF ビットは，プログラムで“0”を書くと“0”になりますが，“1”を書いても変化しません。TRJCR0 レジスタにリード・モディファイ・ライト命令を使用した場合，命令実行中に TEDGF ビットが“1”（有効エッジあり），TUNDF ビットが“1”（アンダフローあり）になっても，タイミングによって TEDGF, TUNDF ビットを誤って“0”にする場合があります。TRJCR0 レジスタへのアクセスは，8 ビット・メモリ操作命令を使用してください。

7.5.3　カウンタ・レジスタへのアクセス

TRJCR0 レジスタの TSTART ビットと TCSTF ビットが共に“1”（カウント動作中）の場合，TRJ0 レジスタに連続して書くときは，それぞれの書き込み間隔をカウント・ソースクロックの 3 周期以上空けてください。

7.5.4　モード変更時

タイマ RJ の動作モード関連レジスタ（TRJIOC0，TRJMR0，TRJISR0）の変更は，カウント停止時（TRJCR0 レジスタの TSTART ビットと TCSTF ビットが共に“0”（カウント停止））のみ可能です。カウント動作中には変更しないでください。

タイマ RJ の動作モード関連レジスタを変更したとき，TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットに“0”（有効エッジなし），TUNDF ビットに“0”（アンダフローなし）を書いてから，カウントを開始してください。

7.5.5　TRJO0, TRJIO0端子の設定手順

リセット後，TRJO0, TRJIO0 端子と共用している I/O ポートは入力ポートとして機能します。

TRJO0, TRJIO0 端子から出力する場合は，以下の手順で設定してください。

変更手順

(1) モード設定をする

(2) 初期値設定／出力許可設定をする。

(3) TRJO0, TRJIO0 端子に対応するポート・レジスタのビットを“0”にする。

(4) TRJO0, TRJIO0 端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
（TRJO0, TRJIO0 端子から出力開始）

(5) カウントを開始する（TRJCR0 レジスタの TSTART = 1）。

TRJIO0 端子から入力する場合は，以下の手順で設定してください。

(1) モード設定をする

(2) 初期値設定／エッジ選択設定をする。

(3) TRJIO0 端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
（TRJIO0 端子から入力開始）

(4) カウントを開始する（TRJCR0 レジスタの TSTART = 1）。

(5) TRJCR0 レジスタの TCSTF ビットが“1”（カウント中）になるまで待つ。
（イベント・カウンタ・モード時のみ）

(6) TRJIO0 端子から外部イベントを入力する。

(7) 最初の測定完了による処理は無効としてください（2 回目以降から測定値有効）。
（パルス幅測定モード，パルス周期測定モードのみ）

7.5.6　タイマRJ未使用時

タイマ RJ を使用しない場合，TRJMR0 レジスタの TMOD2-TMOD0 ビットを 000B（タイマ・モード），TRJIOC0 レジスタの TOENA ビットを“0”（TRJO 出力禁止）にしてください。

7.5.7　タイマRJ動作クロック停止時

PER1 レジスタの TRJ0EN ビットでタイマ RJ のクロック供給／停止制御が可能です。ただし，タイマ RJ のクロック停止時は下記 SFR へのアクセスができません。アクセスする場合にはタイマ RJ のクロックを供給した状態で行ってください。

TRJ0 レジスタ, TRJCR0 レジスタ, TRJMR0 レジスタ, TRJIOC0 レジスタ, TRJISR0 レジスタ

7.5.8　STOPモード（イベント・カウンタ・モード）の設定手順

STOP モード中にイベント・カウンタ・モードの動作をさせる場合，タイマ RJ のクロックを供給した後，以下の手順で STOP モードへ移行してください。

設定手順

(1) 動作モード設定

(2) カウントを開始する（TSTART = 1, TCSTF = 1）

(3) タイマ RJ のクロック供給停止

また，STOP モード中にイベント・カウンタ・モードの動作を停止させる場合，以下の手順で動作停止処理を行ってください。

(1) タイマ RJ のクロック供給

(2) カウントを停止する（TSTART = 0, TCSTF = 0）

7.5.9　STOPモード（イベント・カウンタ・モードのみ）での機能制限

STOP モード中にイベント・カウンタ・モードの動作をさせる場合，デジタル・フィルタ機能は使用できません。

7.5.10 TSTOPビットによる強制カウント停止時

TRJCR0 レジスタの TSTOP ビットによるカウンタ強制停止後，カウント・ソースで 1 サイクルの間，下記 SFR へのアクセスはしないでください。

- TRJ0 レジスタ，TRJCR0 レジスタ，TRJMR0 レジスタ

7.5.11 デジタル・フィルタ

デジタル・フィルタを使用する場合は TRJIOC レジスタの TIPF1,0 ビット設定後，デジタル・フィルタ・クロックで 5 サイクルの間，タイマ動作を開始しないでください。

また，デジタル・フィルタを使用している状態で，TRJIOC レジスタの TEDGSEL ビットを変更した場合も同様にデジタル・フィルタ・クロックで 5 サイクルの間，タイマ動作を開始しないでください。

7.5.12 カウント・ソースにf_{IL}を選択する場合

カウント・ソースに f_{IL} を選択する場合は，動作スピード・モード制御レジスタ（OSMC）の WUTMMCK0 ビットを“1”にしてください。ただし，タイマ RD のカウント・ソースまたはクロック出力／ブザー出力の出力クロックに f_{SL}（f_{IL}）を選択している場合は，タイマ RJ のカウント・ソースに f_{SUB} を選択することができません。

第8章　タイマ RDe

8.1　概要

タイマ RDe は，16 ビットタイマを 2 本（タイマ RD0，タイマ RD1）持ちます。

タイマ RD0，タイマ RD1 は各 4 本の入出力端子を持ちます。

タイマ RDe の動作クロック（f_{TRD}）は，f_{CLK}，f_{MP}，f_{SL} から選択できます。

図 8－1 にタイマ RDe のブロック図を示します。PWMOPA 機能に関しては「8.6　PWM オプション・ユニット A（PWMOPA）」を，間引き機能に関しては「8.7　間引きモジュール（TRDMBK）」を参照してください。

表 8－1 にタイマ RDe の端子構成を示します。

タイマ RDe は 6 種類のモードを持ちます。

- タイマモード
  - インプット・キャプチャ機能：外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプット・コンペア機能：カウンタとレジスタの値の一致を検出する機能（検出時に端子出力変更可能）
  - PWM 機能：任意の幅のパルスを連続して出力する機能

次の 5 つのモードは，PWM 機能を用います。

- リセット同期 PWM モード：鋸波変調，短絡防止時間なしの三相波形（6 本）を出力するモード
- 相補 PWM モード　：三角波変調，短絡防止時間ありの三相波形（6 本）を出力するモード
- PWM3 モード　：同一周期の PWM 波形（2 本）を出力するモード
- 拡張 PWM モード　：同一周期の PWM 波形を最大 4 本（カウンタあたり 2 本）出力するモード。拡張機能として，コンペア・レジスタの一斉書き換え機能，カウンタ・リスタート機能，出力端子のディザリング機能とゲート機能を持ちます。
- 拡張相補 PWM モード　：三角波変調，短絡防止時間ありの対称／非対称三相波形（6 本）を出力するモード

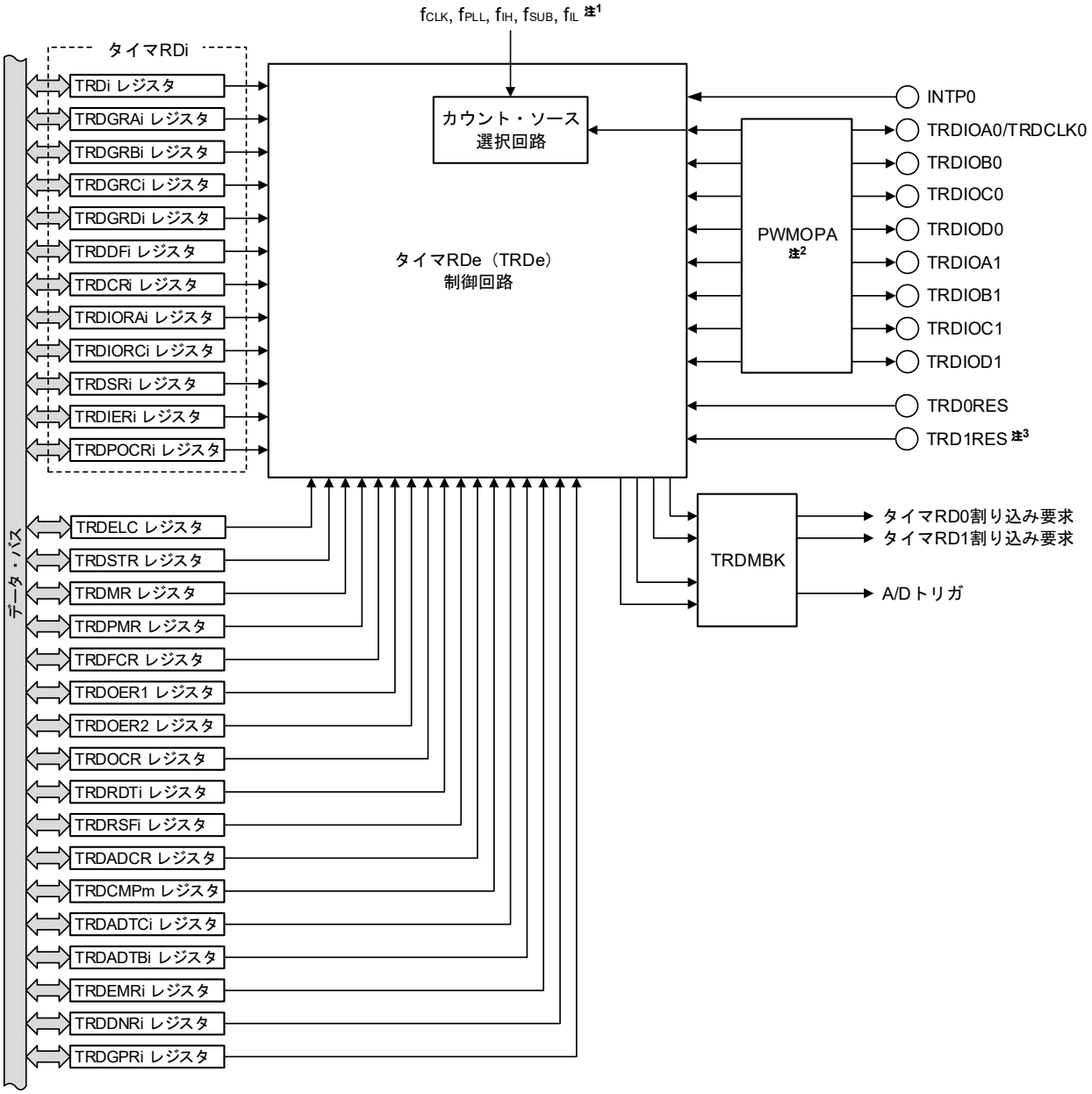
タイマモード（インプット・キャプチャ機能，アウトプット・コンペア機能，PWM 機能）と拡張 PWM モードは，タイマ RD0 とタイマ RD1 で同等の機能を持ち，1 端子毎に機能を選択できます。また，タイマ RD0 とタイマ RD1 でこれらの機能を組み合わせて使えます。リセット同期 PWM モード，相補 PWM モード，PWM3 モード，拡張相補 PWM モードでは，タイマ RD0 とタイマ RD1 のカウンタやレジスタを組み合わせて波形出力します。端子の機能はモードによって決まります。

PWM オプション・ユニット A（PWMOPA）は，コンパレータ 0 出力，外部割り込み 0（INTP0），およびイベント・リンク・コントローラ（ELC）をトリガ信号として，タイマ RDe からの出力を遮断および遮断解除するために使用します。

タイマ RDe の波形出力は，出力強制遮断の機能を持ちます。詳しくは「8.6　PWM オプション・ユニット A（PWMOPA）」を参照してください。

間引きモジュール（TRDMBK）は，割り込みと A/D 変換トリガのタイマ RDe 要求信号を間引き出力します。「8.7 間引きモジュール（TRDMBK）」を参照してください。

図 8－1　タイマ RDe のブロック図



注 1. f_{IH} は 80MHz，64MHz 設定時に選択できます。f_{PLL} は f_{PLL}＞40MHz 時に選択できます。

2. 出力信号は遮断できますが，入力信号は遮断できません。

3. TRD1RES 端子は 32 ピン製品にはありません。32 ピン製品では必ず TRDEMR1 レジスタの CCLV1，CCLV0 ビットを 00B に設定してください。

備考　i = 0, 1，m = B0, D0, A1, B1, C1, D1

表 8－1　タイマ RDe の端子構成

端子名	割り当て端子	入出力	機能
TRDIOA0/TRDCLK0	P13 (P15)	入出力	モードによって機能が異なります。 詳細は各モードの説明を参照してください。
TRDIOB0	P125 (P11)	入出力	
TRDIOC0	P14	入出力	
TRDIOD0	P120 (P12)	入出力	
TRDIOA1	P15	入出力	
TRDIOB1	P17	入出力	
TRDIOC1	P16	入出力	
TRDIOD1	P30	入出力	
TRD0RES	P41	入力	TRD0 カウンタ・クリア入力
TRD1RES	P140	入力	TRD1 カウンタ・クリア入力

8.2　レジスタの説明

表 8－2 にタイマ RDe のレジスタ構成を示します。

表 8－2　タイマ RDe のレジスタ構成 (1/2)

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F02C0H	周辺イネーブル・レジスタ1	PER1	00H	1, 8
F02C4H	クロック選択レジスタ	CKSEL	00H	1, 8
F0250H	タイマRDe ELCレジスタ	TRDELC	00H 注1	1, 8
F0253H	タイマRDeスタート・レジスタ	TRDSTR	0CH 注1	8
F0254H	タイマRDeモード・レジスタ	TRDMR	00H 注1	1, 8
F0255H	タイマRDe PWM機能選択レジスタ	TRDPMR	00H 注1	1, 8
F0256H	タイマRDe機能制御レジスタ	TRDFCR	80H 注1	1, 8
F0257H	タイマRDe出力マスタ許可レジスタ1	TRDOER1	FFH 注1	1, 8
F0258H	タイマRDe出力マスタ許可レジスタ2	TRDOER2	00H 注1	1, 8
F0259H	タイマRDe出力制御レジスタ	TRDOCR	00H 注1	1, 8
F025AH	タイマRDeデジタル・フィルタ機能選択レジスタ0	TRDDF0	00H 注1	1, 8
F025BH	タイマRDeデジタル・フィルタ機能選択レジスタ1	TRDDF1	00H 注1	1, 8
F0260H	タイマRDe制御レジスタ0	TRDCR0	00H 注1	1, 8
F0261H	タイマRDe I/O制御レジスタA0	TRDIORA0	00H 注1	1, 8
F0262H	タイマRDe I/O制御レジスタC0	TRDIORC0	88H 注1	1, 8
F0263H	タイマRDeステータス・レジスタ0	TRDSR0	00H 注1	1, 8
F0264H	タイマRDe割り込み許可レジスタ0	TRDIER0	00H 注1	1, 8
F0265H	タイマRDe PWM機能出力レベル制御レジスタ0	TRDPOCR0	00H 注1	1, 8
F0266H	タイマRDeカウンタ0	TRD0	0000H 注1	16
F0268H	タイマRDeジェネラル・レジスタA0	TRDGRA0	FFFFH 注1	16
F026AH	タイマRDeジェネラル・レジスタB0	TRDGRB0	FFFFH 注1	16
F0270H	タイマRDe制御レジスタ1	TRDCR1	00H 注1	1, 8
F0271H	タイマRDe I/O制御レジスタA1	TRDIORA1	00H 注1	1, 8
F0272H	タイマRDe I/O制御レジスタC1	TRDIORC1	88H 注1	1, 8
F0273H	タイマRDeステータス・レジスタ1	TRDSR1	40H 注1	1, 8
F0274H	タイマRDe割り込み許可レジスタ1	TRDIER1	00H 注1	1, 8
F0275H	タイマRDe PWM機能出力レベル制御レジスタ1	TRDPOCR1	00H 注1	1, 8
F0276H	タイマRDeカウンタ1	TRD1	0000H 注1	16
F0278H	タイマRDeジェネラル・レジスタA1	TRDGRA1	FFFFH 注1	16
F027AH	タイマRDeジェネラル・レジスタB1	TRDGRB1	FFFFH 注1	16
F0280H	タイマRDe拡張コンペア・レジスタB0	TRDCMPB0	FFFFH 注1	16
F0284H	タイマRDe拡張コンペア・レジスタA1	TRDCMPA1	FFFFH 注1	16
F0288H	タイマRDe拡張コンペア・レジスタB1	TRDCMPB1	FFFFH 注1	16
F028CH	タイマRDe A/Dトリガ・コンペア・レジスタ0	TRDADTC0	FFFFH 注1	16
F0290H	タイマRDe A/Dトリガ・コンペア・レジスタ1	TRDADTC1	FFFFH 注1	16
F0296H	タイマRDe一斉書き換えフラグ・レジスタ	TRDRSF01	0000H 注1	16
	タイマRDe一斉書き換えフラグ・レジスタ0	TRDRSF0	00H 注1	1, 8
F0297H	タイマRDe一斉書き換えフラグ・レジスタ1	TRDRSF1	00H 注1	1, 8
F0298H	タイマRDe A/Dトリガ制御レジスタ	TRDADCR	00H 注1	1, 8
F029AH	タイマRDe拡張PWMモード・レジスタ0	TRDEMR0	00H 注1	1, 8
F029BH	タイマRDe拡張PWMモード・レジスタ1	TRDEMR1	00H 注1	1, 8
FFF58H	タイマRDeジェネラル・レジスタC0	TRDGRC0	FFFFH 注1	16
FFF5AH	タイマRDeジェネラル・レジスタD0	TRDGRD0	FFFFH 注1	16
FFF5CH	タイマRDeジェネラル・レジスタC1	TRDGRC1	FFFFH 注1	16
FFF5EH	タイマRDeジェネラル・レジスタD1	TRDGRD1	FFFFH 注1	16

（注は次のページにあります。）

表 8－2　タイマ RDe のレジスタ構成 (2/2)

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
FFF60H	タイマRDe拡張コンペア・レジスタD0	TRDCMPD0	FFFFH 注1	16
FFF62H	タイマRDe拡張コンペア・レジスタC1	TRDCMPC1	FFFFH 注1	16
FFF64H	タイマRDe拡張コンペア・レジスタD1	TRDCMPD1	FFFFH 注1	16
FFF66H	タイマRDe A/Dトリガ・バッファ・レジスタ0	TRDADTB0	FFFFH 注1	16
FFF68H	タイマRDe A/Dトリガ・バッファ・レジスタ1	TRDADTB1	FFFFH 注1	16
FFF6AH	タイマRDe一斉書き換えトリガ・レジスタ	TRDRDT01	0000H 注1	16
	タイマRDe一斉書き換えトリガ・レジスタ0	TRDRDT0	00H 注1	1, 8
FFF6BH	タイマRDe一斉書き換えトリガ・レジスタ1	TRDRDT1	00H 注1	1, 8
FFF6CH	タイマRDeディザリング／ゲート制御レジスタ0	TRDDGCR0	0000H 注1	16
	タイマRDeディザリング・ナンバー・レジスタ0	TRDDNR0	00H 注1	1, 8
FFF6DH	タイマRDeゲート・パターン・レジスタ0	TRDGPR0	00H 注1	1, 8
FFF6EH	タイマRDeディザリング／ゲート制御レジスタ1	TRDDGCR1	0000H 注1	16
	タイマRDeディザリング・ナンバー・レジスタ1	TRDDNR1	00H 注1	1, 8
FFF6FH	タイマRDeゲート・パターン・レジスタ1	TRDGPR1	00H 注1	1, 8
F0228H	PWM出力遅延制御レジスタ0	PWMDLY0	0000H	16
F02C5H	PLL制御レジスタ	PLLCTL	00H	1, 8
F02C6H	PLL状態レジスタ	PLLSTS	00H	1, 8
F02C7H	f_{MP}クロック分周レジスタ	MDIV	00H/01H 注2	8
FFFA4H	システム・クロック制御レジスタ	CKC	00H	1, 8

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1，かつ，PER1 レジスタの TRD0EN = 0 の場合，タイマ RDe の SFR は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 に設定した後に読み出してください。

2. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 ビットの値が MDIV レジスタの MDIV0 ビットの初期値になります。

備考　ポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）については，「8.2.33　ポート・モード・レジスタ（PM1，PM3，PM4，PM12，PM14）」を参照してください。

8.2.1　周辺イネーブル・レジスタ 1（PER1）

PER1 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ RDe を使用する場合は，必ずビット 4（TRD0EN）を 1 に設定してください。

PER1 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，本レジスタは 00H になります。

図 8－2　周辺イネーブル・レジスタ 1（PER1）のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN 注	0	CMPEN 注	TRD0EN	DTCEN	PWMOPEN	0	TRJ0EN

TRD0EN	タイマ RDe の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ RDe で使用する SFR へのライト不可 ・タイマ RDe はリセット状態
1	入力クロック供給許可 ・タイマ RDe で使用する SFR へのリード／ライト可

注　RL78/F24 のみ。

注意 1. タイマ RDe の設定をする際には，必ず最初に TRD0EN ビットに 1 を設定してください。TRD0EN = 0 の場合は，タイマ RDe の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ 1, 3, 4, 12, 14（PM1，PM3，PM4，PM12 および PM14），ポート・レジスタ 1, 3, 4, 12, 14（P1，P3，P4，P12 および P14）は除く）。

2. 次のビットには必ず 0 を設定してください。
RL78/F23：ビット 1, 5, 6, 7
RL78/F24：ビット 1, 6

3. カウント・ソースに f_{IH} = 80 MHz，64 MHz を選択する場合，f_{TRD} は f_{IH} に設定してください。カウント・ソースに f_{PLL}（> 40 MHz）を選択する場合，f_{TRD} は f_{PLL} に設定してください。カウント・ソースに f_{SUB}，f_{IL} を選択して，タイマ RDe 関連レジスタをアクセスする場合，f_{TRD} はそれぞれ f_{SUB}，f_{IL} に設定してください。

4. PWMOPA の設定をする際には，必ず最初に PWMOPEN ビットに 1 を設定してください。PWMOPEN = 0 の場合は，PWMOPA の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります。PWMOPA については，「8.6　PWM オプション・ユニット A（PWMOPA）」を参照してください。

8.2.2　クロック選択レジスタ（CKSEL）

CPU クロック（f_{SUB}/f_{IL}）およびタイマ RJ，タイマ RDe，クロック出力／ブザー出力のクロックを選択するレジスタです。SELLOSC ビットは，CMC レジスタとの組み合わせによって，サブシステム・クロックの動作モードを設定します。詳細は「図 5－3　クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSEL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図 8－3　クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	FPLLDIV	FMAINDIV1	FMAINDIV0	0	0	TRD_CKSEL	0	SELLOSC 注 5, 6, 7

FPLLDIV	PLL 周波数の分周選択制御
0	PLLCTL.PLLDIV0 を有効にする
1	分周しない

FMAINDIV1	FMAINDIV0	PLL カウント・ソース・クロックの分周選択制御
0	0	分周しない
1	0	2 分周（f_{MAIN} = 16 MHz 入力時のみ）
1	1	4 分周（f_{MAIN} = 20 MHz 入力時のみ）
0	1	設定禁止

TRD_CKSEL	TRDe のクロック選択制御
0	f_{CLK}，f_{MP} 注 1 を選択
1	f_{SL} 注 2 を選択

SELLOSC 注 5, 6, 7	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{SUB} 注 3 を選択
1	f_{IL} 注 4 を選択

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 の場合，または PLLCTL レジスタの PLLDIV1 = 1（f_{PLL}＞40MHz）の場合，TRD_CKSEL ビットを 0 にしてください。ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 または，PLLCTL レジスタの PLLDIV1 = 1（f_{PLL}＞40MHz）の場合，タイマ RDe の動作クロック（f_{TRD}）は f_{MP} となります。

2. タイマ RDe の動作クロック（f_{TRD}）に f_{SL} を選択する場合，周辺イネーブル・レジスタ 1（PER1）の TRD0EN ビットをセットする前に，CPU クロックは f_{SL} を選択（CKC レジスタの CSS ビットを 1）してください。

3. f_{SUB} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ CKSEL レジスタの SELLOSC ビットを 0 にした後，CKC レジスタの CSS ビットを 1 にしてください。

4. f_{IL} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ CKSEL レジスタの SELLOSC ビットを 1 にした後，CKC レジスタの CSS ビットを 1 にしてください。

5. SELLOSC ビットを 1 にした場合，低速オンチップ・オシレータが動作します。低速オンチップ・オシレータを停止するには，OSMC レジスタの WUTMMCK0 ビットを 0，SELLOSC ビットを 0 にしてください。

6. 32 ピン製品にはサブ・システムクロック（f_{SUB}）はありません。CPU／周辺ハードウェア・クロック（f_{CLK}）または周辺機能のクロック信号のソースとして低速オンチップ・オシレータが選択されている場合は，SELLOSC ビットを 1 に設定してください。

7. SELLOSC ビットを 1 にした場合，サブ・システムクロック（f_{SUB}）をリアルタイム・クロックの入力クロック（f_{RTC}）に供給することはできません。

8.2.3　タイマ RDe ELC レジスタ（TRDELC）

本レジスタは ELC イベント入力を選択するために使用します。

本レジスタは RL78/F24 製品にのみ搭載しています。

TRDELC レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－4　タイマ RDe ELC レジスタ（TRDELC）のフォーマット

アドレス：F0250H　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDELC	0	0	ELCOBE1	ELCICE1	0	0	ELCOBE0	ELCICE0

ビット 7-6	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

ELCOBE1	タイマ RDe パルス出力強制遮断用 ELC イベント入力 1 許可	R/W
0	強制遮断を禁止	R/W
1	強制遮断を許可	

ELCICE1	タイマ RDe インプット・キャプチャ D1 用 ELC イベント入力 1 選択	R/W
0	インプット・キャプチャ D1 を選択	R/W
1	イベント・リンク・コントローラ（ELC）からのイベント入力 1 を選択	

ビット 3-2	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

ELCOBE0	タイマ RDe パルス出力強制遮断用 ELC イベント入力 0 許可	R/W
0	強制遮断を禁止	R/W
1	強制遮断を許可	

ELCICE0	タイマ RDe インプット・キャプチャ D0 用 ELC イベント入力 0 選択	R/W
0	インプット・キャプチャ D0 を選択	R/W
1	イベント・リンク・コントローラ（ELC）からのイベント入力 0 を選択	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注意　タイマ RDe ELC レジスタ（TRDELC）は，RL78/F24 のみ搭載しています。それ以外の製品はアクセスしないでください。

8.2.4　タイマ RDe スタート・レジスタ（TRDSTR）

本レジスタは TRDi カウント開始および TRDi（i = 0, 1）カウント動作を選択するために使用します。

TRDSTR レジスタは，8 ビット・メモリ操作命令で設定してください。詳細は「8.5.1 (1)　TRDSTR レジスタ」を参照してください。

図 8－5　タイマ RDe スタート・レジスタ（TRDSTR）のフォーマット

アドレス：F0253H　リセット時：0CH 注1

略号	7	6	5	4	3	2	1	0
TRDSTR	0	0	0	0	CSEL1	CSEL0	TSTART1	TSTART0

ビット 7-4	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

CSEL1	TRD1 カウント動作選択 注2	R/W
0	TRDGRA1 レジスタとのコンペアー致でカウント停止	R/W
1	TRDGRA1 レジスタとのコンペアー致後もカウント継続 注3	

CSEL0	TRD0 カウント動作選択	R/W
0	TRDGRA0 レジスタとのコンペアー致でカウント停止	R/W
1	TRDGRA0 レジスタとのコンペアー致後もカウント継続 注3	

TSTART1	TRD1 カウント開始フラグ 注4, 5	R/W
0	カウント停止	R/W
1	カウント開始	

TSTART0	TRD0 カウント開始フラグ 注6, 7	R/W
0	カウント停止	R/W
1	カウント開始	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. PWM3 モードでは使用しません。

3. インプット・キャプチャ機能では 1 にしてください。

4. CSEL1 ビットが 1 に設定されているとき，TSTART1 ビットへ 0 を書いてください。

5. CSEL1 ビットが 0 でコンペアー致信号（TRD1 カウント値と TRDIOA1 の一致）が発生したとき，本フラグは 0（カウント停止）になります。

6. CSEL0 ビットが 1 に設定されているとき，TSTART0 ビットへ 0 を書いてください。

7. CSEL0 ビットが 0 でコンペアー致信号（TRD0 カウント値と TRDIOA0 の一致）が発生したとき，本フラグは 0（カウント停止）になります。

8.2.5 タイマ RDe モード・レジスタ（TRDMR）

本レジスタは TRDGRCi および TRDGRDi（i = 0, 1）レジスタの機能と TRD0 と TRD1 の同期動作を選択するために使用します。

TRDMR レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－6 タイマ RDe モード・レジスタ（TRDMR）のフォーマット

アドレス：F0254H リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDMR	TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	TRDSYNC

TRDBFD1	TRDGRD1 レジスタ機能選択 注2, 3	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRB1 レジスタのバッファ・レジスタ	

TRDBFC1	TRDGRC1 レジスタ機能選択 注2, 3	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRA1 レジスタのバッファ・レジスタ	

TRDBFD0	TRDGRD0 レジスタ機能選択 注2, 3	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRB0 レジスタのバッファ・レジスタ	

TRDBFC0	TRDGRC0 レジスタ機能選択 注2, 3, 4	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRA0 レジスタのバッファ・レジスタ	

ビット 3-1	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

TRDSYNC	タイマ RD 同期 注5	R/W
0	TRD0 と TRD1 は独立動作	R/W
1	TRD0 と TRD1 は同期動作	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. アウトプット・コンペア機能時，TRDIORCi レジスタ（i = 0, 1）の IOj3 ビット（j = C または D）で 0（TRDGRji レジスタ出力端子変更）を選択した場合，TRDMR レジスタの TRDBFji ビットを 0 にしてください。

3. 本ビットは拡張 PWM モード，拡張相補 PWM モードでは使用しません。

4. 相補 PWM モードでは 0（ジェネラル・レジスタ）にしてください。

5. リセット同期 PWM モード時，相補 PWM モード時，PWM3 モード時，および拡張相補 PWM モード時は 0（TRD0 と TRD1 は独立動作）にしてください。

8.2.6　タイマ RDe PWM 機能選択レジスタ（TRDPMR）

本レジスタは PWM 機能を選択するために使用します。

本レジスタはリセット同期 PWM モード，相補 PWM モード，PWM3 モード，拡張相補 PWM モードでは使用しません。

タイマモードの PWM 機能または拡張 PWM モード時のみ TRDPOCRi（i = 0, 1）レジスタの設定は有効です。

TRDPMR レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－7　タイマ RDe PWM 機能選択レジスタ（TRDPMR）のフォーマット

［タイマモード／拡張 PWM モード］

アドレス：F0255H　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDPMR	0	TRDPWMD1	TRDPWMC1	TRDPWMB1	0	TRDPWMD0	TRDPWMC0	TRDPWMB0

ビット 7	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

TRDPWMD1	TRDIOD1 PWM 機能選択	R/W
0	インプット・キャプチャ機能またはアウトプット・コンペア機能	R/W
1	PWM 機能	

TRDPWMC1	TRDIOC1 PWM 機能選択 注2	R/W
0	インプット・キャプチャ機能またはアウトプット・コンペア機能	R/W
1	PWM 機能	

TRDPWMB1	TRDIOB1 PWM 機能選択	R/W
0	インプット・キャプチャ機能またはアウトプット・コンペア機能	R/W
1	PWM 機能	

ビット 3	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

TRDPWMD0	TRDIOD0 PWM 機能選択	R/W
0	インプット・キャプチャ機能またはアウトプット・コンペア機能	R/W
1	PWM 機能	

TRDPWMC0	TRDIOC0 PWM 機能選択 注2	R/W
0	インプット・キャプチャ機能またはアウトプット・コンペア機能	R/W
1	PWM 機能	

TRDPWMB0	TRDIOB0 PWM 機能選択	R/W
0	インプット・キャプチャ機能またはアウトプット・コンペア機能	R/W
1	PWM 機能	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 拡張 PWM モードでは 0（TRDIOC0 と TRDIOC1 は PWM 機能として使用しない）にしてください。

8.2.7　タイマ RDe 機能制御レジスタ（TRDFCR）

本レジスタは PWM 機能および外部クロック入力を選択するために使用します。

TRDFCR レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－8　タイマ RD 機能制御レジスタ（TRDFCR）のフォーマット

アドレス：F0256H　リセット時：80H 注1

略号	7	6	5	4	3	2	1	0
TRDFCR	PWM3	STCLK	EPWM	CPSS	OLS1	OLS0	CMD1	CMD0

PWM3	PWM3 モード選択 注2	R/W
・タイマモード，拡張 PWM モードの場合は，1（PWM3 モード以外）にしてください。 ・PWM3 モードの場合は 0（PWM3 モード）にしてください。 ・リセット同期 PWM モード，相補 PWM モード，拡張相補 PWM モードでは無効です。		R/W

STCLK	外部クロック入力選択	R/W
・タイマモード，リセット同期 PWM モード，相補 PWM モード，拡張 PWM モード，拡張相補 PWM モードの場合は， 0：外部クロック入力無効 1：外部クロック入力有効 ・PWM3 モードの場合は，0（外部クロック入力無効）にしてください。		R/W

EPWM	拡張相補 PWM モード，拡張 PWM モード選択	R/W
・拡張相補 PWM モード，拡張 PWM モード時は 1 に設定してください。 ・拡張相補 PWM モード，拡張 PWM モード以外は 0 にしてください。		R/W

CPSS	拡張相補 PWM モード動作選択	R/W
・拡張相補 PWM モードの場合は， 0：対称三角波 PWM 出力 1：非対称三角波 PWM 出力 ・拡張相補 PWM モード以外は 0 にしてください。		R/W

OLS1	逆相出力レベル選択	R/W
・リセット同期 PWM モード，相補 PWM モードの場合は， 0：初期出力 H，アクティブ・レベル L 1：初期出力 L，アクティブ・レベル H ・拡張相補 PWM モード 注3 の場合は， 0：アクティブ・レベル L 1：アクティブ・レベル H ・タイマモード，PWM3 モード，拡張 PWM モードでは無効です。		R/W

OLS0	正相出力レベル選択	R/W
・リセット同期 PWM モード，相補 PWM モードの場合は， 0：初期出力 H，アクティブ・レベル L 1：初期出力 L，アクティブ・レベル H ・拡張相補 PWM モード 注3 の場合は， 0：アクティブ・レベル L 1：アクティブ・レベル H ・タイマモード，PWM3 モード，拡張 PWM モードでは無効です。		R/W

（注は次のページにあります。）

CMD1	CMD0	コンビネーション・モード選択 注4, 5	R/W
・タイマモード，PWM3 モード，拡張 PWM モードの場合は，00B にしてください。 ・リセット同期 PWM モードの場合は，01B にしてください。 ・相補 PWM モードの場合は， 10B：TRD1 のアンダフロー時にバッファ・レジスタからジェネラル・レジスタへ転送 11B：TRD0 と TRDGRA0 レジスタのコンペアー致時にバッファ・レジスタからジェネラル・レジスタへ転送 ・拡張相補 PWM モードでは，10B にしてください。 上記以外は設定しないでください			R/W

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. CMD1，CMD0 ビットが 00B（タイマモード，PWM3 モード，拡張 PWM モード）のとき，PWM3 ビットの設定が有効になります。

3. TRDOCR レジスタで初期出力レベルを設定してください。

4. CMD1，CMD0 ビットは TRDSTR レジスタの TSTART0，TSTART1 ビットがともに 0（カウント停止）のときに書いてください。

5. CMD1，CMD0 ビットを 01B，10B，11B に設定したとき，TRDPMR レジスタの設定にかかわらず，リセット同期 PWM モード，相補 PWM モード，または拡張相補 PWM モードになります。

8.2.8　タイマ RDe 出力マスタ許可レジスタ 1（TRDOER1）

本レジスタは TRDIOji（j = A, B, C, D，i = 0, 1）端子の出力を選択するために使用します。

TRDOER1 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－9　タイマ RDe 出力マスタ許可レジスタ 1（TRDOER1）のフォーマット

［アウトプット・コンペア機能，PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モード，拡張 PWM モード，拡張相補 PWM モード］

アドレス：F0257H　リセット時：FFH 注 1

略号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0

ED1	TRDIOD1 出力禁止 注 2	R/W
0	出力許可	R/W
1	出力禁止（TRDIOD1 端子は I/O ポート）	

EC1	TRDIOC1 出力禁止 注 2, 3	R/W
0	出力許可	R/W
1	出力禁止（TRDIOC1 端子は I/O ポート）	

EB1	TRDIOB1 出力禁止 注 2	R/W
0	出力許可	R/W
1	出力禁止（TRDIOB1 端子は I/O ポート）	

EA1	TRDIOA1 出力禁止 注 2, 3, 4	R/W
0	出力許可	R/W
1	出力禁止（TRDIOA1 端子は I/O ポート）	

ED0	TRDIOD0 出力禁止 注 2	R/W
0	出力許可	R/W
1	出力禁止（TRDIOD0 端子は I/O ポート）	

EC0	TRDIOC0 出力禁止 注 2, 3	R/W
0	出力許可	R/W
1	出力禁止（TRDIOC0 端子は I/O ポート）	

EB0	TRDIOB0 出力禁止	R/W
0	出力許可	R/W
1	出力禁止（TRDIOB0 端子は I/O ポート）	

EA0	TRDIOA0 出力禁止 注 3, 4, 5	R/W
0	出力許可	R/W
1	出力禁止（TRDIOA0 端子は I/O ポート）	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. PWM3 モードでは 1 にしてください。

3. 拡張 PWM モードでは 1 にしてください。

4. PWM 機能では 1 にしてください。

5. リセット同期 PWM モード，相補 PWM モード，拡張相補 PWM モードでは 1 にしてください。

8.2.9　タイマ RDe 出力マスタ許可レジスタ 2（TRDOER2）

本レジスタはパルス出力強制遮断機能を選択するために使用します。

タイマモードの PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モード，拡張 PWM モード，拡張相補 PWM モードでのみ TRDOER2 レジスタの設定は有効になります。

TRDOER2 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－10　タイマ RDe 出力マスタ許可レジスタ 2（TRDOER2）のフォーマット
［PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モード
拡張 PWM モード，拡張相補 PWM モード］

アドレス：F0258H　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDOER2	TRDPTO	0	0	0	0	0	0	TRDSHUTS

TRDPTO	パルス出力強制遮断信号入力 INTP0 有効 注2	R/W
0	パルス出力強制遮断入力無効	R/W
1	パルス出力強制遮断入力有効 （INTP0 端子に L を入力すると，TRDSHUTS ビットが 1 となる）	

ビット 6-1	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

TRDSHUTS	強制遮断フラグ	R/W
0	強制遮断なし	R/W
1	強制遮断中	
INTP0，ELC 注3 入力イベントによるパルス強制遮断時に 1 となります。このビットは自動クリアされません。したがって，パルス強制遮断を止める場合，カウント停止中（TSTARTi = 0）に 0 を書いてください。有効なモードで TRDSHUTS ビットに 1 を書いても強制遮断します。		

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 「8.3.1 (4)　パルス出力強制遮断」を参照してください。

3. ELC は RL78/F24 製品のみ搭載しています。

8.2.10　タイマ RDe 出力制御レジスタ（TRDOCR）

本レジスタは TRDIOji（j = A, B, C, D，i = 0, 1）端子の出力レベルを選択するために使用します。

TRDOCR レジスタは，TRDSTR レジスタの TSTART0，TSTART1 ビットがともに 0（カウント停止）のときに書いてください。

TRDOCR レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

本レジスタの仕様は動作モードにより異なります。

図 8－11　タイマ RD 出力制御レジスタ（TRDOCR）のフォーマット

［アウトプット・コンペア機能，拡張相補 PWM モード］

アドレス：F0259H　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1 初期出力レベル選択 注2	R/W
0	初期出力 L	R/W
1	初期出力 H	

TOC1	TRDIOC1 初期出力レベル選択 注2	R/W
0	初期出力 L	R/W
1	初期出力 H	

TOB1	TRDIOB1 初期出力レベル選択 注2	R/W
0	初期出力 L	R/W
1	初期出力 H	

TOA1	TRDIOA1 初期出力レベル選択	R/W
0	初期出力 L	R/W
1	初期出力 H	

TOD0	TRDIOD0 初期出力レベル選択 注2	R/W
0	初期出力 L	R/W
1	初期出力 H	

TOC0	TRDIOC0 初期出力レベル選択 注2	R/W
0	初期出力 L	R/W
1	初期出力 H	

TOB0	TRDIOB0 出力レベル選択 注2	R/W
0	初期出力 L	R/W
1	初期出力 H	

TOA0	TRDIOA0 出力レベル選択	R/W
0	初期出力 L	R/W
1	初期出力 H	

注 1. ユーザ・オプション・バイト（000C2H/020C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 端子機能が波形出力の場合，TRDOCR レジスタを設定したとき，初期出力レベルが出力されます。

［PWM 機能，拡張 PWM モード］

アドレス：F0259H　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1 初期出力レベル選択 注2	R/W
0	初期出力は非アクティブ・レベル	R/W
1	初期出力はアクティブ・レベル	

TOC1	TRDIOC1 初期出力レベル選択 注2	R/W
0	初期出力は非アクティブ・レベル	R/W
1	初期出力はアクティブ・レベル	
拡張 PWM モード時は 0 にしてください。		

TOB1	TRDIOB1 初期出力レベル選択 注2	R/W
0	初期出力は非アクティブ・レベル	R/W
1	初期出力はアクティブ・レベル	

TOA1	TRDIOA1 初期出力レベル選択	R/W
0 にしてください。		R/W

TOD0	TRDIOD0 初期出力レベル選択 注2	R/W
0	初期出力は非アクティブ・レベル	R/W
1	初期出力はアクティブ・レベル	

TOC0	TRDIOC0 初期出力レベル選択 注2	R/W
0	初期出力は非アクティブ・レベル	R/W
1	初期出力はアクティブ・レベル	
拡張 PWM モード時は 0 にしてください。		

TOB0	TRDIOB0 初期出力レベル選択 注2	R/W
0	初期出力は非アクティブ・レベル	R/W
1	初期出力はアクティブ・レベル	

TOA0	TRDIOA0 初期出力レベル選択	R/W
0 にしてください。		R/W

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 端子機能が波形出力の場合，TRDOCR レジスタを設定したとき，初期出力レベルが出力されます。

［リセット同期 PWM モード，相補 PWM モード］

アドレス：F0259H　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1 初期出力レベル選択 注2	R/W
0 にしてください。出力の初期値は TRDFCR レジスタの OLS0，OLS1 ビットで選択されます。		R/W

TOC1	TRDIOC1 初期出力レベル選択 注2	R/W
0 にしてください。出力の初期値は TRDFCR レジスタの OLS0，OLS1 ビットで選択されます。		R/W

TOB1	TRDIOB1 初期出力レベル選択 注2	R/W
0 にしてください。出力の初期値は TRDFCR レジスタの OLS0，OLS1 ビットで選択されます。		R/W

TOA1	TRDIOA1 初期出力レベル選択 注2	R/W
0 にしてください。出力の初期値は TRDFCR レジスタの OLS0，OLS1 ビットで選択されます。		R/W

TOD0	TRDIOD0 初期出力レベル選択 注2	R/W
0 にしてください。出力の初期値は TRDFCR レジスタの OLS0，OLS1 ビットで選択されます。		R/W

TOC0	TRDIOC0 初期出力レベル選択 注2	R/W
0	初期出力は非アクティブ・レベル	R/W
1	初期出力はアクティブ・レベル	

TOB0	TRDIOB0 初期出力レベル選択 注2	R/W
0 にしてください。出力の初期値は TRDFCR レジスタの OLS0，OLS1 ビットで選択されます。		R/W

TOA0	TRDIOA0 初期出力レベル選択 注2	R/W
0 にしてください。出力の初期値は TRDFCR レジスタの OLS0，OLS1 ビットで選択されます。		R/W

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 端子機能が波形出力の場合，TRDOCR レジスタを設定したとき，初期出力レベルが出力されます。

［PWM3 モード］

アドレス：F0259H　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1 初期出力レベル選択	R/W
PWM3 モードでは無効です。		R/W

TOC1	TRDIOC1 初期出力レベル選択	R/W
PWM3 モードでは無効です。		R/W

TOB1	TRDIOB1 初期出力レベル選択	R/W
PWM3 モードでは無効です。		R/W

TOA1	TRDIOA1 初期出力レベル選択	R/W
PWM3 モードでは無効です。		R/W

TOD0	TRDIOD0 初期出力レベル選択	R/W
PWM3 モードでは無効です。		R/W

TOC0	TRDIOC0 初期出力レベル選択	R/W
PWM3 モードでは無効です。		R/W

TOB0	TRDIOB0 出力レベル選択 注2	R/W
0	初期出力 L，アクティブ・レベル H, TRDGRB1 のコンペアー致で H 出力, TRDGRB0 のコンペアー致で L 出力	R/W
1	初期出力 H，アクティブ・レベル L, TRDGRB1 のコンペアー致で L 出力, TRDGRB0 のコンペアー致で H 出力	

TOA0	TRDIOA0 出力レベル選択	R/W
0	初期出力 L，アクティブ・レベル H, TRDGRA1 のコンペアー致で H 出力, TRDGRA0 のコンペアー致で L 出力	R/W
1	初期出力 H，アクティブ・レベル L, TRDGRA1 のコンペアー致で L 出力, TRDGRA0 のコンペアー致で H 出力	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 端子機能が波形出力の場合，TRDOCR レジスタを設定したとき，初期出力レベルが出力されます。

8.2.11　タイマ RDe デジタル・フィルタ機能選択レジスタ i（TRDDFi）（i = 0, 1）

本レジスタはインプット・キャプチャ機能におけるデジタル・フィルタの選択や各種 PWM 出力モードにおける TRDIOji（j = A, B, C, D，i = 0, 1）端子の強制遮断制御を選択するために使用します。

TRDDFi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

本レジスタの仕様は動作モードにより異なります。

図 8－12　タイマ RDe デジタル・フィルタ機能選択レジスタ i（TRDDFi）（i = 0, 1）のフォーマット

［インプット・キャプチャ機能］

アドレス：F025AH（TRDDF0），F025BH（TRDDF1）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	デジタル・フィルタ機能用クロック選択 注2	R/W
0	0	f_{TRD}/32	R/W
0	1	f_{TRD}/8	
1	0	f_{TRD}	
1	1	カウント・ソース （TRDCRi レジスタの TCK0-TCK2 ビットで選択したクロック）	

PENB1	PENB0	TRDIOBi 端子パルス強制遮断制御	R/W
0	0	00B にしてください。	R/W

DFD	TRDIODi 端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの 5 サイクル分以上経過した後で，エッジ検出を行います。		

DFC	TRDIOCi 端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの 5 サイクル分以上経過した後で，エッジ検出を行います。		

DFB	TRDIOBi 端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの 5 サイクル分以上経過した後で，エッジ検出を行います。		

DFA	TRDIOAi 端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの 5 サイクル分以上経過した後で，エッジ検出を行います。		

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. DFCK0，DFCK1 ビットを設定した後，カウント動作を開始してください。

［PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モード，
拡張 PWM モード，拡張相補 PWM モード］

アドレス：F025AH（TRDDF0），F025BH（TRDDF1）　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	TRDIOAi 端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	L 出力	
1	1	H 出力	
これらのモードで対応する端子をタイマ RDe の出力ポートとして使用しない場合，強制遮断禁止の 00B に設定してください。また，カウント停止中に設定してください。			

PENB1	PENB0	TRDIOBi 端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	L 出力	
1	1	H 出力	
これらのモードで対応する端子をタイマ RDe の出力ポートとして使用しない場合，強制遮断禁止の 00B に設定してください。また，カウント停止中に設定してください。			

DFD	DFC	TRDIOCi 端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	L 出力	
1	1	H 出力	
これらのモードで対応する端子をタイマ RDe の出力ポートとして使用しない場合，強制遮断禁止の 00B に設定してください。また，カウント停止中に設定してください。			

DFB	DFA	TRDIODi 端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	L 出力	
1	1	H 出力	
これらのモードで対応する端子をタイマ RDe の出力ポートとして使用しない場合，強制遮断禁止の 00B に設定してください。また，カウント停止中に設定してください。			

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

8.2.12　タイマ RDe 制御レジスタ i（TRDCRi）（i = 0, 1）

本レジスタは，TRDi カウント要因および TRDi（i = 0, 1）カウント・クリア要因を選択するために使用します。

TRDCRi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

本レジスタの仕様は動作モードにより異なります。

リセット同期 PWM モード，PWM3 モードでは，TRDCR1 レジスタは使用しません。

図 8－13　タイマ RDe 制御レジスタ i（TRDCRi）（i = 0, 1）のフォーマット
［インプット・キャプチャ機能，アウトプット・コンペア機能］

アドレス：F0260H（TRDCR0），F0270H（TRDCR1）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRDi カウンタ・クリア選択	R/W
0	0	0	クリア禁止（フリー・ランニング動作）	R/W
0	0	1	TRDGRAi のインプット・キャプチャ/コンペア一致でクリア	
0	1	0	TRDGRBi のインプット・キャプチャ/コンペア一致でクリア	
0	1	1	同期クリア（他のタイマ RDi のカウンタと同時にクリア）注2	
1	0	0	設定しないでください	
1	0	1	TRDGRCi のインプット・キャプチャ/コンペア一致でクリア	
1	1	0	TRDGRDi のインプット・キャプチャ/コンペア一致でクリア	
1	1	1	設定しないでください	

CKEG1	CKEG0	外部クロック・エッジ選択 注3	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{TRD} 注4	R/W
0	0	1	$f_{TRD}/2$ 注4, 6	
0	1	0	$f_{TRD}/4$ 注4, 6	
0	1	1	$f_{TRD}/8$ 注4, 6	
1	0	0	$f_{TRD}/32$ 注4, 6	
1	0	1	TRDCLK0 入力 注5	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDMR レジスタの TRDSYNC ビットが 1（TRD0 と TRD1 は同期動作）のとき，有効です。

3. TCK2-TCK0 ビットが 101B（TRDCLK0 入力），かつ STCLK ビットが 1（外部クロック入力有効）のとき，有効です。

4. タイマ RDe の動作クロック（f_{TRD}）は，ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 0 かつ（PLLDIV1 = 0 または SELPLLS = 0）かつ TRD_CKSEL = 0 のとき f_{CLK}，FRQSEL4 = 1 かつ TRD_CKSEL = 0 のとき f_{IH}，（PLLDIV1 = 1 かつ SELPLLS = 1）かつ TRD_CKSEL = 0 のとき f_{PLL}，SELLOSC = 0 かつ TRD_CKSEL = 1 のとき f_{SUB}，SELLOSC = 1 かつ TRD_CKSEL = 1 のとき f_{IL} が選択されます。詳細は図 8－37 を参照してください。
タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

5. TRDFCR レジスタの STCLK ビットが 1（外部クロック入力有効）のとき有効です。

6. タイマ RDe の動作クロック（f_{TRD}）を f_{CLK} に設定してください。

［PWM 機能，拡張 PWM モード］

アドレス：F0260H（TRDCR0），F0270H（TRDCR1）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRDi カウンタ・クリア選択	R/W
001B（TRDGRAi レジスタとのコンペアー致で TRDi レジスタをクリア）にしてください。				R/W

CKEG1	CKEG0	外部クロック・エッジ選択 注2	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL} 注3	R/W
0	0	1	$f_{CLK}/2$	
0	1	0	$f_{CLK}/4$	
0	1	1	$f_{CLK}/8$	
1	0	0	$f_{CLK}/32$	
1	0	1	TRDCLK0 入力 注4	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TCK2-TCK0 ビットが 101B（TRDCLK 入力），かつ STCLK ビットが 1（外部クロック入力有効）のとき，有効です。

3. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 0 かつ（PLLDIV1 = 0 または SELPLLS = 0）かつ TRD_CKSEL = 0 のとき f_{CLK}，FRQSEL4 = 1 かつ TRD_CKSEL = 0 のとき f_{IH}，（PLLDIV1 = 1 かつ SELPLLS = 1）かつ TRD_CKSEL = 0 のとき f_{PLL}，SELLOSC = 0 かつ TRD_CKSEL = 1 のとき f_{SUB}，SELLOSC = 1 かつ TRD_CKSEL = 1 のとき f_{IL} が選択されます。詳細は図 8－37 を参照してください。タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

4. TRDFCR レジスタの STCLK ビットが 1（外部クロック入力有効）のとき有効です。

［リセット同期 PWM モード］

アドレス：F0260H（TRDCR0）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRDi カウンタ・クリア選択	R/W
001B（TRDGRA0 レジスタとのコンペアー致で TRD0 レジスタをクリア）にしてください。				R/W

CKEG1	CKEG0	外部クロック・エッジ選択 注2	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL} 注3	R/W
0	0	1	$f_{CLK}/2$	
0	1	0	$f_{CLK}/4$	
0	1	1	$f_{CLK}/8$	
1	0	0	$f_{CLK}/32$	
1	0	1	TRDCLK0 入力 注4	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TCK2-TCK0 ビットが 101B（TRDCLK0 入力），かつ STCLK ビットが 1（外部クロック入力有効）のとき，有効です。

3. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 0 かつ（PLLDIV1 = 0 または SELPLLS = 0）かつ TRD_CKSEL = 0 のとき f_{CLK}，FRQSEL4 = 1 かつ TRD_CKSEL = 0 のとき f_{IH}，（PLLDIV1 = 1 かつ SELPLLS = 1）かつ TRD_CKSEL = 0 のとき f_{PLL}，SELLOSC = 0 かつ TRD_CKSEL = 1 のとき f_{SUB}，SELLOSC = 1 かつ TRD_CKSEL = 1 のとき f_{IL} が選択されます。詳細は図 8－37 を参照してください。タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

4. TRDFCR レジスタの STCLK ビットが 1（外部クロック入力有効）のとき有効です。

備考　リセット同期 PWM モードでは，TRDCR1 レジスタは使用しません。

［相補 PWM モード，拡張相補 PWM モード］

アドレス：F0260H（TRDCR0）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0 カウンタ・クリア選択	R/W
000B（クリア禁止（フリー・ランニング動作））にしてください。				R/W

CKEG1	CKEG0	外部クロック・エッジ選択 注2, 3	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択 注3	R/W
0	0	0	f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL} 注4	R/W
0	0	1	$f_{CLK}/2$	
0	1	0	$f_{CLK}/4$	
0	1	1	$f_{CLK}/8$	
1	0	0	$f_{CLK}/32$	
1	0	1	TRDCLK0 入力 注5	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TCK2-TCK0 ビットが 101B（TRDCLK0 入力），かつ STCLK ビットが 1（外部クロック入力有効）のとき有効です。

3. TRDCR0 レジスタと TRDCR1 レジスタの TCK0-TCK2 ビット，CKEG0，CKEG1 ビットの設定は，同じにしてください。

4. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 0 かつ（PLLDIV1 = 0 または SELPLLS = 0）かつ TRD_CKSEL = 0 のとき f_{CLK}, FRQSEL4 = 1 かつ TRD_CKSEL = 0 のとき f_{IH},（PLLDIV1 = 1 かつ SELPLLS = 1）かつ TRD_CKSEL = 0 のとき f_{PLL}，SELLOSC = 0 かつ TRD_CKSEL = 1 のとき f_{SUB}，SELLOSC = 1 かつ TRD_CKSEL = 1 のとき f_{IL} が選択されます。詳細は図 8－37 を参照してください。タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

5. TRDFCR レジスタの STCLK ビットが 1（外部クロック入力有効）のとき有効です。

［PWM3 モード］

アドレス：F0270H（TRDCR0）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0 カウンタ・クリア選択	R/W
001B（TRDGRA0 レジスタとのコンペアー致で TRD0 レジスタをクリア）にしてください。				R/W

CKEG1	CKEG0	外部クロック・エッジ選択	R/W
PWM3 モードでは無効です。			R/W

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL} 注2	R/W
0	0	1	$f_{CLK}/2$	
0	1	0	$f_{CLK}/4$	
0	1	1	$f_{CLK}/8$	
1	0	0	$f_{CLK}/32$	
1	0	1	設定しないでください	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 0 かつ（PLLDIV1 = 0 または SELPLLS = 0）かつ TRD_CKSEL = 0 のとき f_{CLK}，FRQSEL4 = 1 かつ TRD_CKSEL = 0 のとき f_{IH}（PLLDIV1 = 1 かつ SELPLLS = 1）かつ TRD_CKSEL = 0 のとき f_{PLL}，SELLOSC = 0 かつ TRD_CKSEL = 1 のとき f_{SUB}，SELLOSC = 1 かつ TRD_CKSEL = 1 のとき f_{IL} が選択されます。詳細は図 8－37 を参照してください。タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

備考　PWM3 モードでは，TRDCR1 レジスタは使用しません。

8.2.13　タイマ RDe I/O 制御レジスタ Ai（TRDIORAi）（i = 0, 1）

本レジスタは TRDGRAi および TRDGRBi レジスタの機能を選択するために使用します。
本レジスタはインプット・キャプチャ機能およびアウトプット・コンペア機能時のみ使用してください。
TRDIORAi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。
本レジスタの仕様は動作モードにより異なります。

図 8－14　タイマ RDe I/O 制御レジスタ Ai（TRDIORAi）（i = 0, 1）のフォーマット
［インプット・キャプチャ機能］

アドレス：F0261H（TRDIORA0），F0271H（TRDIORA1）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

ビット 7	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

IOB2	TRDGRBi モード選択 注2	R/W
インプット・キャプチャ機能では 1（インプット・キャプチャ）にしてください。		R/W

IOB1	IOB0	TRDGRBi 制御	R/W
0	0	立ち上がりエッジで TRDGRBi へインプット・キャプチャ	R/W
0	1	立ち下がりエッジで TRDGRBi へインプット・キャプチャ	
1	0	両エッジで TRDGRBi へインプット・キャプチャ	
1	1	設定しないでください	

ビット 3	予約ビット	R/W
0 にしてください。		R/W

IOA2	TRDGRAi モード選択 注3	R/W
インプット・キャプチャ機能では 1（インプット・キャプチャ）にしてください。		R/W

IOA1	IOA0	TRDGRAi 制御	R/W
0	0	立ち上がりエッジで TRDGRAi へインプット・キャプチャ	R/W
0	1	立ち下がりエッジで TRDGRAi へインプット・キャプチャ	
1	0	両エッジで TRDGRAi へインプット・キャプチャ	
1	1	設定しないでください	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDMR レジスタの TRDBFDi ビットで 1（TRDGRBi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOB2 ビットと TRDIORCi レジスタの IOD2 ビットの設定を同じにしてください。

3. TRDMR レジスタの TRDBFCi ビットで 1（TRDGRAi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOA2 ビットと TRDIORCi レジスタの IOC2 ビットの設定を同じにしてください。

［アウトプット・コンペア機能］

アドレス：F0261H（TRDIORA0），F0271H（TRDIORA1） リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

ビット7	何も配置されていない	R/W
ー	書く場合，0を書いてください。読んだ場合，その値は0。	R

IOB2	TRDGRBi モード選択 注2	R/W
アウトプット・コンペア機能では0（アウトプット・コンペア）にしてください。		R/W

IOB1	IOB0	TRDGRBi 制御	R/W
0	0	コンペアー致による端子出力禁止（TRDIOBi 端子は I/O ポート）	R/W
0	1	TRDGRBi のコンペアー致で L 出力	
1	0	TRDGRBi のコンペアー致で H 出力	
1	1	TRDGRBi のコンペアー致でトグル出力	

ビット3	予約ビット	R/W
0	0にしてください。	R/W

IOA2	TRDGRAi モード選択 注3	R/W
アウトプット・コンペア機能では0（アウトプット・コンペア）にしてください。		R/W

IOA1	IOA0	TRDGRAi 制御	R/W
0	0	コンペアー致による端子出力禁止（TRDIOAi 端子は I/O ポート）	R/W
0	1	TRDGRAi のコンペアー致で L 出力	
1	0	TRDGRAi のコンペアー致で H 出力	
1	1	TRDGRAi のコンペアー致でトグル出力	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDMR レジスタの TRDBFDi ビットで1（TRDGRBi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOB2 ビットと TRDIORCi レジスタの IOD2 ビットの設定を同じにしてください。

3. TRDMR レジスタの TRDBFCi ビットで1（TRDGRAi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOA2 ビットと TRDIORCi レジスタの IOC2 ビットの設定を同じにしてください。

8.2.14　タイマ RDe I/O 制御レジスタ Ci（TRDIORCi）（i = 0, 1）

本レジスタは TRDGRCi および TRDGRDi レジスタ機能を選択するために使用します。
本レジスタはインプット・キャプチャ機能およびアウトプット・コンペア機能時のみ使用してください。
TRDIORCi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。
本レジスタの仕様は動作モードにより異なります。

図 8－15　タイマ RDe I/O 制御レジスタ Ci（TRDIORCi）のフォーマット
［インプット・キャプチャ機能］

アドレス：F0262H（TRDIORC0），F0272H（TRDIORC1）　リセット時：88H 注1

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0

IOD3	TRDGRDi レジスタ機能選択	R/W
インプット・キャプチャ機能では 1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。		R/W

IOD2	TRDGRDi モード選択 注2	R/W
インプット・キャプチャ機能では 1（インプット・キャプチャ）にしてください。		R/W

IOD1	IOD0	TRDGRDi 制御	R/W
0	0	立ち上がりエッジで TRDGRDi へインプット・キャプチャ	R/W
0	1	立ち下がりエッジで TRDGRDi へインプット・キャプチャ	
1	0	両エッジで TRDGRDi へインプット・キャプチャ	
1	1	設定しないでください	

IOC3	TRDGRCi レジスタ機能選択	R/W
インプット・キャプチャ機能では 1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。		R/W

IOC2	TRDGRCi モード選択 注3	R/W
インプット・キャプチャ機能では 1（インプット・キャプチャ）にしてください。		R/W

IOC1	IOC0	TRDGRCi 制御	R/W
0	0	立ち上がりエッジで TRDGRCi へインプット・キャプチャ	R/W
0	1	立ち下がりエッジで TRDGRCi へインプット・キャプチャ	
1	0	両エッジで TRDGRCi へインプット・キャプチャ	
1	1	設定しないでください	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDMR レジスタの TRDBFDi ビットで 1（TRDGRBi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOB2 ビットと TRDIORCi レジスタの IOD2 ビットの設定を同じにしてください。

3. TRDMR レジスタの TRDBFCi ビットで 1（TRDGRAi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOA2 ビットと TRDIORCi レジスタの IOC2 ビットの設定を同じにしてください。

［アウトプット・コンペア機能］

アドレス：F0262H（TRDIORC0），F0272H（TRDIORC1）　リセット時：88H 注1

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0

IOD3	TRDGRDi レジスタ機能選択	R/W
0	TRDIOBi 出力レジスタ （「8.3.3 (2)　TRDGRCi，TRDGRDi レジスタ（i = 0, 1）の出力端子変更」を参照）	R/W
1	ジェネラル・レジスタまたはバッファ・レジスタ	

IOD2	TRDGRDi モード選択 注2	R/W
アウトプット・コンペア機能では 0（アウトプット・コンペア）にしてください。		R/W

IOD1	IOD0	TRDGRDi 制御	R/W
0	0	コンペアー致による端子出力禁止	R/W
0	1	TRDGRDi のコンペアー致で L 出力	
1	0	TRDGRDi のコンペアー致で H 出力	
1	1	TRDGRDi のコンペアー致でトグル出力	

IOC3	TRDGRCi レジスタ機能選択	R/W
0	TRDIOAi 出力レジスタ （「8.3.3 (2)　TRDGRCi，TRDGRDi レジスタ（i = 0, 1）の出力端子変更」を参照）	R/W
1	ジェネラル・レジスタまたはバッファ・レジスタ	

IOC2	TRDGRCi モード選択 注3	R/W
アウトプット・コンペア機能では 0（アウトプット・コンペア）にしてください。		R/W

IOC1	IOC0	TRDGRCi 制御	R/W
0	0	コンペアー致による端子出力禁止	R/W
0	1	TRDGRCi のコンペアー致で L 出力	
1	0	TRDGRCi のコンペアー致で H 出力	
1	1	TRDGRCi のコンペアー致でトグル出力	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDMR レジスタの TRDBFDi ビットで 1（TRDGRBi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOB2 ビットと TRDIORCi レジスタの IOD2 ビットの設定を同じにしてください。

3. TRDMR レジスタの TRDBFCi ビットで 1（TRDGRAi レジスタのバッファ・レジスタ）を選択した場合，TRDIORAi レジスタの IOA2 ビットと TRDIORCi レジスタの IOC2 ビットの設定を同じにしてください。

8.2.15　タイマ RDe ステータス・レジスタ i（TRDSRi）（i = 0, 1）

本レジスタはタイマ RDe のそれぞれのステータス・フラグを格納します。

本レジスタはタイマモードのインプット・キャプチャ機能とインプット・キャプチャ機能以外で仕様が異なります。

TRDSR0 レジスタは，拡張相補 PWM モードでは使用しません。

TRDSRi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

TRDSR0 レジスタのビット 5，6 には何も配置されていません。

図 8－16　タイマ RDe ステータス・レジスタ i（TRDSRi）（i = 0, 1）のフォーマット

［インプット・キャプチャ機能］

アドレス：F0263H（TRDSR0），F0273H（TRDSR1）　リセット時：40H 注1

略号	7	6	5	4	3	2	1	0
TRDSRi	0	UDS	UDF	OVF	IMFD	IMFC	IMFB	IMFA

ビット 7	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

UDS	アップ／ダウン・カウンタ動作ステータス・フラグ 注2	R/W
インプット・キャプチャ機能では無効です。		R/W

UDF	アンダフロー・フラグ 注2	R/W
インプット・キャプチャ機能では無効です。		R/W

OVF	オーバフロー・フラグ 注3	R/W
［0 になる要因］読んだ後，0 を書く 注4 ［1 になる要因］TRDi がオーバフローしたとき		R/W

IMFD	インプット・キャプチャ／コンペアー致フラグ D 注7	R/W
［0 になる要因］読んだ後，0 を書く 注4 ［1 になる要因］TRDIODi 端子の入力エッジ 注5		R/W

IMFC	インプット・キャプチャ／コンペアー致フラグ C 注7	R/W
［0 になる要因］読んだ後，0 を書く 注4 ［1 になる要因］TRDIOCi 端子の入力エッジ 注5		R/W

IMFB	インプット・キャプチャ／コンペアー致フラグ B 注7	R/W
［0 になる要因］読んだ後，0 を書く 注4 ［1 になる要因］TRDIOBi 端子の入力エッジ 注6		R/W

IMFA	インプット・キャプチャ／コンペアー致フラグ A 注7	R/W
［0 になる要因］読んだ後，0 を書く 注4 ［1 になる要因］TRDIOAi 端子の入力エッジ 注6		R/W

（注は次のページにあります。）

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDSR0 レジスタのビット 5，6 には何も配置されていません。ビット 5，6 に書く場合，00B を書いてください。読んだ場合，その値は 0 です。

3. オーバフロー・フラグは，タイマ RDi のカウンタ値が FFFFH から 0000H になった場合に 1 となります。また，TRDCRi レジスタの CCLR0-CCLR2 ビットの設定によって，動作中のインプット・キャプチャ／コンペアー致により，タイマ RDi のカウンタ値が FFFFH から 0000H になった場合に 1 となります。

4. 書き込み結果は次のようになります。
   - 1 を書いた場合は変化しません。
   - 読んだ結果が 0 の場合，同じビットに 0 を書いても変化しません（読んだ後で 0 から 1 に変化した場合，0 を書いても 1 のままです）。
   - 読んだ結果が 1 の場合，同じビットに 0 を書くと 0 になります。
     TRDSRi レジスタの各ビットをクリアする場合，下記（a），（b）のいずれかの方法で実施してください。
     （a）TRDIERi レジスタを 00H（すべての割り込みを禁止）にした後，ステータス・フラグに 0 を書いてください。
     （b）TRDIERi レジスタのなかに 1 を設定しているビットがあり，かつそのビットで許可した割り込み要因のステータス・フラグが 1 の場合，TRDSRi レジスタのステータス・フラグが 1 のビットすべてに対して 0 を書いてください。

5. TRDIORCi レジスタの IOk1，IOk0 ビット（k = C または D）で選択したエッジ。
   TRDMR レジスタの TRDBFki ビットが 1（TRDGRki はバッファ・レジスタ）の場合を含む。

6. TRDIORAi レジスタの IOj1，IOj0 ビット（j = A または B）で選択したエッジ。

7. DTC を使用する場合，IMFA，IMFB，IMFC，IMFD ビットは，DTC の転送終了後に 1 になります。

［インプット・キャプチャ機能以外］

アドレス：F0263H（TRDSR0），F0273H（TRDSR1）　リセット時：40H 注1

略号	7	6	5	4	3	2	1	0
TRDSRi	0	UDS	UDF	OVF	IMFD	IMFC	IMFB	IMFA

ビット7	何も配置されていない	R/W
－	書く場合，0を書いてください。読んだ場合，その値は0。	R

UDS	アップ／ダウン・カウンタ動作ステータス・フラグ 注2	R/W
拡張相補PWMモード時 ［0になる要因］TRDiがダウン・カウント動作中 ［1になる要因］TRDiがアップ・カウント動作中 拡張相補PWMモード以外は無効。相補PWMモードでは使用できません。		R

UDF	アンダフロー・フラグ 注2	R/W
相補PWMモードおよび拡張相補PWMモードのとき ［0になる要因］読んだ後，0を書く 注3 ［1になる要因］TRDiがアンダフローしたとき 相補PWMモードおよび拡張相補PWMモード以外では無効です。		R/W

OVF	オーバフロー・フラグ 注4	R/W
拡張相補PWMモードのとき ［0になる要因］読んだ後，0を書く 注3 ［1になる要因］TRD0とTRDGRA0の値が一致したとき 注7 拡張相補PWMモード以外のとき ［0になる要因］読んだ後，0を書く 注3 ［1になる要因］TRDiがオーバフローしたとき		R/W

IMFD	インプット・キャプチャ／コンペアー致フラグD 注6	R/W
拡張相補PWMモード時に使用しないでください。 拡張相補PWMモード以外のとき ［0になる要因］読んだ後，0を書く 注3 ［1になる要因］TRDiとTRDGRDiの値が一致したとき 注5		R/W

IMFC	インプット・キャプチャ／コンペアー致フラグC 注6	R/W
拡張相補PWMモード時に使用しないでください。 拡張相補PWMモード以外のとき ［0になる要因］読んだ後，0を書く 注3 ［1になる要因］TRDiとTRDGRCiの値が一致したとき 注5		R/W

IMFB	インプット・キャプチャ／コンペアー致フラグB 注6	R/W
拡張相補PWMモード時に使用しないでください。 拡張相補PWMモード以外のとき ［0になる要因］読んだ後，0を書く 注3 ［1になる要因］TRDiとTRDGRBiの値が一致したとき 注5		R/W

IMFA	インプット・キャプチャ／コンペアー致フラグA 注6	R/W
拡張相補PWMモード時に使用しないでください。 拡張相補PWMモード以外のとき ［0になる要因］読んだ後，0を書く 注3 ［1になる要因］TRDiとTRDGRAiの値が一致したとき 注5		R/W

（注は次のページにあります。）

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDSR0 レジスタのビット 5，6 には何も配置されていません。ビット 5，6 に書く場合，00B を書いてください。読んだ場合，その値は 0 です。

3. 書き込み結果は次のようになります。
   - 1 を書いた場合は変化しません。
   - 読んだ結果が 0 の場合，同じビットに 0 を書いても変化しません（読んだ後で，0 から 1 に変化した場合，0 を書いても 1 のままです）。
   - 読んだ結果が 1 の場合，同じビットに 0 を書くと 0 になります。TRDSRi レジスタの各ビットをクリアする場合，下記（a），（b）のいずれかの方法で実施してください。

     （a）TRDIERi レジスタを 00H（すべての割り込みを禁止）にした後，ステータス・フラグに 0 を書いてください。

     （b）TRDIERi レジスタのなかに 1 を設定しているビットがあり，かつそのビットで許可した割り込み要因のステータス・フラグが 1 の場合，TRDSRi レジスタのステータス・フラグが 1 のビットすべてに対して 0 を書いてください。

4. オーバフロー・フラグは，タイマ RDi のカウンタ値が FFFFH から 0000H になった場合に 1 となります。また，TRDCRi レジスタの CCLR0-CCLR2 ビットの設定によって，動作中のインプット・キャプチャ／コンペアー致により，タイマ RDi のカウンタ値が FFFFH から 0000H になった場合に 1 となります。

5. TRDMR レジスタの TRDBFki ビット（k = C または D）が 1（TRDGRki はバッファ・レジスタ）の場合を含む。

6. DTC を使用する場合，IMFA，IMFB，IMFC，IMFD ビットは，DTC の転送終了後に 1 になります。

7. TRDSR1 レジスタのみです。拡張相補 PWM モード時に TRDSR0 レジスタは使用しません。

8.2.16　タイマ RDe 割り込み許可レジスタ i（TRDIERi）（i = 0, 1）

本レジスタはタイマ RDe の割り込み許可を選択するために使用します。

TRDIERi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－17　タイマ RDe 割り込み許可レジスタ i（TRDIERi）のフォーマット

アドレス：F0264H（TRDIER0），F0274H（TRDIER1）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDIERi	0	0	0	OVIE	IMIED	IMIEC	IMIEB	IMIEA

ビット 7-5	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

OVIE 注2	オーバフロー／アンダフロー割り込み許可	R/W
0	OVF，UDF ビットによる割り込み禁止	R/W
1	OVF，UDF ビットによる割り込み許可	

IMIED 注2	インプット・キャプチャ／コンペアー致割り込み許可 D	R/W
0	IMFD ビットによる割り込み禁止	R/W
1	IMFD ビットによる割り込み許可	

IMIEC 注2, 3	インプット・キャプチャ／コンペアー致割り込み許可 C	R/W
0	IMFC ビットによる割り込み禁止	R/W
1	IMFC ビットによる割り込み許可	

IMIEB 注2	インプット・キャプチャ／コンペアー致割り込み許可 B	R/W
0	IMFB ビットによる割り込み禁止	R/W
1	IMFB ビットによる割り込み許可	

IMIEA 注2	インプット・キャプチャ／コンペアー致割り込み許可 A	R/W
0	IMFA ビットによる割り込み禁止	R/W
1	IMFA ビットによる割り込み許可	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 拡張相補 PWM モード時に，このレジスタを使用しないでください。拡張相補 PWM モード割り込みの詳細については，「8.4　タイマ RDe 割り込み」および「8.7　間引きモジュール（TRDMBK）」を参照してください。

3. 拡張 PWM モード時には，このビットは 0 に設定してください。

8.2.17　タイマ RDe PWM 機能出力レベル制御レジスタ i（TRDPOCRi）（i = 0, 1）

本レジスタは TRDIOji 端子（j = B, C, D）の出力レベルを選択するために使用します。

TRDPOCRi レジスタへの設定は，PWM 機能のときのみ有効です。PWM 機能以外は，無効です。

TRDPOCRi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－18　タイマ RDe PWM 機能出力レベル制御レジスタ i（TRDPOCRi）のフォーマット
［PWM 機能，拡張 PWM モード］

アドレス：F0265H（TRDPOCR0），　F0275H（TRDPOCR1）　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDPOCRi	0	0	0	0	0	POLD	POLC	POLB

ビット 7-4	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R

ビット 3	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	R/W

POLD	PWM 機能出力レベル制御 D	R/W
0	TRDIODi の出力レベルは L アクティブ	R/W
1	TRDIODi の出力レベルは H アクティブ	

POLC 注2	PWM 機能出力レベル制御 C	R/W
0	TRDIOCi の出力レベルは L アクティブ	R/W
1	TRDIOCi の出力レベルは H アクティブ	

POLB	PWM 機能出力レベル制御 B	R/W
0	TRDIOBi の出力レベルは L アクティブ	R/W
1	TRDIOBi の出力レベルは H アクティブ	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 拡張 PWM モード時には，このビットは 0 に設定してください。

8.2.18　タイマ RDe カウンタ i（TRDi）（i = 0, 1）

本レジスタは，タイマ・カウント値および短絡防止時間のカウント値を設定します。

TRDi レジスタは，16 ビット・メモリ操作命令で設定してください。

本レジスタの仕様は，動作モードにより異なります。

［タイマ・モード］

TRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

［リセット同期 PWM モード，PWM3 モード］

TRD0 レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

リセット同期 PWM モードおよび PWM3 モードでは，TRD1 レジスタは使用しません。

［相補 PWM モード］

TRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

［拡張 PWM モード］

TRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

［拡張相補 PWM モード］

TRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

図 8－19　タイマ RDe カウンタ i（TRDi）（i = 0, 1）のフォーマット

［タイマモード］

アドレス：F0266H（TRD0），F0276H（TRD1）　リセット時：0000H 注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット 15-0	カウント・ソースをカウント。カウント動作はアップ・カウント。 オーバフローすると，TRDSRi レジスタの OVF ビットが 1 になる。	0000H-FFFFH	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

［リセット同期 PWM モード，PWM3 モード］

アドレス：F0266H（TRD0）　リセット時：0000H 注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	機能	設定範囲	R/W
ビット 15-0	カウント・ソースをカウント。カウント動作はアップ・カウント。 オーバフローすると，TRDSR0 レジスタの OVF ビットが 1 になる。	0000H-FFFFH	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

備考　TRD1 レジスタは，リセット同期 PWM モードおよび PWM3 モードでは使用されません。

［相補 PWM モード］

アドレス：0266H（TRD0）　リセット時：0000H 注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	機能	設定範囲	R/W
ビット 15-0	短絡防止時間を設定してください。カウント・ソースをカウント。 カウント動作はアップ・カウントまたはダウン・カウント。 オーバフローすると，TRDSR0 レジスタの OVF ビットが 1 になる。	0001H-FFFFH	R/W

アドレス：F0276H（TRD1）　リセット時：0000H 注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	機能	設定範囲	R/W
ビット 15-0	0000H を設定してください。カウント・ソースをカウント。 カウント動作はアップ・カウントまたはダウン・カウント。 アンダフローすると，TRDSR1 レジスタの UDF ビットが 1 になる。	0000H-FFFFH	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

［拡張 PWM モード］

アドレス：F0266H（TRD0），F0276H（TRD1）　リセット時：0000H 注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	機能	設定範囲	R/W
ビット 15-0	0000H を設定してください。 カウント・ソースをカウント。カウント動作はアップ・カウント。 TRDi と TRDGRAi の値が一致すると，TRDSRi レジスタの IMFA ビットが 1 になる。	0000H-FFFFH	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

［拡張相補 PWM モード］

アドレス：F0266H（TRD0）　リセット時：0000H 注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	機能	設定範囲	R/W
ビット 15-0	短絡防止時間を設定してください。 カウント・ソースをカウント。カウント動作はアップ・カウントまたはダウン・カウント。 TRD0 と TRDGRA0 の値が一致すると，TRDSR0 レジスタの OVF ビットが 1 になる。	0002H ~ PWM 周期の 1/4 注2	R/W

アドレス：F0276H（TRD1）　リセット時：0000H 注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

—	機能	設定範囲	R/W
ビット 15-0	0000H を設定してください。 カウント・ソースをカウント。カウント動作はアップ・カウントまたはダウン・カウント。 アンダフローすると，TRDSR1 レジスタの UDF ビットが 1 になる。	0000H-FFFFH	R/W

注 1.　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2.　短絡防止時間は必ず相補 PWM 周期の 1/4 未満に設定してください。設定の詳細は「8.3.9　拡張相補 PWM モード」の「表 8－26　拡張相補 PWM モード」を参照してください。

8.2.19　タイマ RDe ジェネラル・レジスタ ji（TRDGRji）（i = 0, 1，j = A, B, C, D）

本レジスタは，インプット・キャプチャ・モードでキャプチャしたタイマ値を格納します。その他のモードでは，タイマ比較値を設定します。

TRDGRji レジスタは，16 ビット・メモリ操作命令で設定してください。

本レジスタの仕様は，動作モードにより異なります。

［インプット・キャプチャ機能］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

TRDIOji 端子に入力するインプット・キャプチャ信号のパルス幅は，デジタル・フィルタなしの場合，タイマ RDe の動作クロック（f_{TRD}）の 3 サイクル以上にしてください（j = A, B, C, D）。

［アウトプット・コンペア機能］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

［PWM 機能］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

［リセット同期 PWM モード］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

［相補 PWM モード］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

相補 PWM モードでは，TRDGRC0 レジスタは使用しません。

TRDGRB0，TRDGRA1，TRDGRB1 レジスタには，カウント開始後，直接，値を書き込むことができない（禁止事項）ため，TRDGRD0，TRDGRC1，TRDGRD1 をバッファ・レジスタとして使用してください。

ただし, TRDGRD0, TRDGRC1, TRDGRD1 レジスタへのデータ書き込みをするには, TRDBFD0, TRDBFC1, TRDBFD1 ビットを 0（ジェネラル・レジスタ）にしてください。データ書き込み後，TRDBFD0，TRDBFC1，TRDBFD1 ビットを 1（バッファ・レジスタ）に設定してください。

［PWM3 モード］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

TRDGRC0，TRDGRC1，TRDGRD0，TRDGRD1 レジスタは PWM3 モードでは使用しません。これらのレジスタをバッファ・レジスタに使うには，TRDBFC0，TRDBFC1，TRDBFD0，TRDBFD1 ビットを 0（ジェネラル・レジスタ）にし，TRDGRC0，TRDGRC1，TRDGRD0，TRDGRD1 レジスタへデータを書き込みください。データ書き込み後，TRDBFC0，TRDBFC1，TRDBFD0，TRDBFD1 ビットを 1（バッファ・レジスタ）に設定してください。

［拡張 PWM モード］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

バッファ・レジスタからジェネラル・レジスタへの書き換えには，一斉書き換え機能を使用してください。バッファ・レジスタを設定した後，TRDRDTi レジスタの RDT ビットを 1 に設定してください。TRDRSFi レジスタの RSF ビットが 1 の時に一斉書き換えの要求が発生すると，次の値がバッファ・レジスタからジェネラル・レジスタに転送されます。RSF ビットが 0 の時に一斉書き換えの要求が発生しても，バッファ・レジスタの値は転送されません。

［拡張相補 PWM モード］

TRDGRAi-TRDGRDi レジスタは，16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

動作中に PWM 周期の値を書き換えることはできません。

バッファ・レジスタからジェネラル・レジスタへの書き換えは，一斉書き換え機能を使用してください。バッファ・レジスタの設定後，TRDRDT1 レジスタの RDT ビットを 1 に設定してください。TRDRSF1 レジスタの RSF ビットが 1 の時に一斉書き換えの要求が発生すると，次の値がバッファ・レジスタからジェネラル・レジスタに転送されます。RSF ビットが 0 の時に一斉書き換えの要求が発生しても，バッファ・レジスタの値は転送されません。

図 8－20　タイマ RDe ジェネラル・レジスタ ji（TRDGRji）のフォーマット
［インプット・キャプチャ機能］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット 15-0	「表 8－3　インプット・キャプチャ機能時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－3　インプット・キャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプット・キャプチャ入力端子
TRDGRAi	－	ジェネラル・レジスタ。インプット・キャプチャ時の TRDi レジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラル・レジスタ。インプット・キャプチャ時の TRDi レジスタの値が読めます。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファ・レジスタ。インプット・キャプチャ時の TRDi レジスタの値が読めます（「8.3.1 (2)　バッファ動作」を参照）。	TRDIOAi
TRDGRDi	TRDBFDi = 1		TRDIOBi

備考　i = 0, 1，j = A, B, C, D
TRDBFCi, TRDBFDi　：TRDMR レジスタのビット

［アウトプット・コンペア機能］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
TRDGRBi																
TRDGRCi																
TRDGRDi																

—	機能	R/W
ビット 15-0	「表 8－4　アウトプット・コンペア機能時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－4　アウトプット・コンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能		アウトプット・コンペア出力端子
	TRDBFji	IOj3			
TRDGRAi	—	—	ジェネラル・レジスタ。コンペア値を書いてください。		TRDIOAi
TRDGRBi					TRDIOBi
TRDGRCi	0	1	ジェネラル・レジスタ。コンペア値を書いてください。		TRDIOCi
TRDGRDi					TRDIODi
TRDGRCi	1	1	バッファ・レジスタ。次回のコンペア値を書いてください。（「8.3.1 (2)　バッファ動作」を参照）		TRDIOAi
TRDGRDi					TRDIOBi
TRDGRCi	0	0	TRDIOAi 出力制御	（「8.3.3 (2)　TRDGRCi，TRDGRDi レジスタ（i = 0, 1）の出力端子変更」を参照）	TRDIOAi
TRDGRDi			TRDIOBi 出力制御		TRDIOBi

注意　**TRDCRi レジスタの TCK2-TCK0 ビットの設定を 000B（f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL}），コンペア値（ジェネラル・レジスタの設定値）を 0000H にした場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号は，カウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合は，コンペア一致するごとに一斉書き換えの要求信号が発生します。**

備考　i = 0, 1，j = A, B, C, D
TRDBFji　：TRDMR レジスタのビット
IOj3　　：TRDIORCi レジスタのビット

［PWM 機能］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット 15-0	「表 8－5　PWM 機能時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－5　PWM機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM 出力端子
TRDGRAi	－	ジェネラル・レジスタ。PWM 周期を設定してください。	－
TRDGRBi	－	ジェネラル・レジスタ。PWM 出力の変化点を設定してください。	TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラル・レジスタ。PWM 出力の変化点を設定してください。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファ・レジスタ。次回の PWM 周期を設定してください（「8.3.1 (2)　バッファ動作」を参照）。	－
TRDGRDi	TRDBFDi = 1	バッファ・レジスタ。次回の PWM 出力の変化点を設定してください（「8.3.1 (2)　バッファ動作」を参照）。	TRDIOBi

注意　TRDCRi レジスタの TCK2-TCK0 ビットの設定を 000B（f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL}），コンペア値（ジェネラル・レジスタの設定値）を 0000H にした場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号は，カウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合はコンペア一致するごとに一斉書き換えの要求信号が発生します。

備考　i = 0, 1，j = A, B, C, D
TRDBFCi, TRDBFDi　：TRDMR レジスタのビット

［リセット同期 PWM モード］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
TRDGRBi																
TRDGRCi																
TRDGRDi																

－	機能	R/W
ビット 15-0	「表 8－6　リセット同期 PWM モード時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－6　リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM 出力端子
TRDGRA0	－	ジェネラル・レジスタ。PWM 周期を設定してください。	（TRDIOC0，PWM 周期ごとに出力反転）
TRDGRB0	－	ジェネラル・レジスタ。 PWM1 出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	TRDBFC0 = 0	（リセット同期 PWM モードでは使用しません）	－
TRDGRD0	TRDBFD0 = 0		
TRDGRA1	－	ジェネラル・レジスタ。 PWM2 出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	－	ジェネラル・レジスタ。 PWM3 出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	TRDBFC1 = 0	（リセット同期 PWM モードでは使用しません）	－
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファ・レジスタ。次回の PWM 周期を設定してください（「8.3.1 (2)　バッファ動作」を参照）。	（TRDIOC0，PWM 周期ごとに出力反転）
TRDGRD0	TRDBFD0 = 1	バッファ・レジスタ。次回の PWM1 出力の変化点を設定してください（「8.3.1 (2)　バッファ動作」を参照）。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファ・レジスタ。次回の PWM2 出力の変化点を設定してください（「8.3.1 (2)　バッファ動作」を参照）。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファ・レジスタ。次回の PWM3 出力の変化点を設定してください（「8.3.1 (2)　バッファ動作」を参照）。	TRDIOB1 TRDIOD1

注意　TRDCRi レジスタの TCK2-TCK0 ビットの設定を 000B（f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL}），コンペア値（ジェネラル・レジスタの設定値）を 0000H にした場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号は，カウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合は，コンペア一致するごとに一斉書き換えの要求信号が発生します。

備考　i = 0, 1，j = A, B, C, D
TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1　：TRDMR レジスタのビット

［相補 PWM モード］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
TRDGRBi																
TRDGRCi																
TRDGRDi																

－	機能	R/W
ビット 15-0	「表 8－7　相補 PWM モード時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－7　相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM 出力端子
TRDGRA0	－	ジェネラル・レジスタ。初期設定時に PWM 周期を設定してください。 設定範囲：≧TRD0 レジスタ設定値 ≦FFFFH - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）の時に書き込まないでください。	（TRDIOC0，半周期毎に出力反転）
TRDGRB0	－	ジェネラル・レジスタ。初期設定時に PWM1 出力の変化点を設定してください。設定範囲：≧TRD0 レジスタ設定値 ≦TRDGRA0 設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）の時に書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	－	ジェネラル・レジスタ。初期設定時に PWM2 出力の変化点を設定してください。設定範囲：≧TRD0 レジスタ設定値 ≦TRDGRA0 設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）の時に書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	－	ジェネラル・レジスタ。初期設定時に PWM3 出力の変化点を設定してください。設定範囲：≧TRD0 レジスタ設定値 ≦TRDGRA0 設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）の時に書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	－	（相補 PWM モードでは使用しません。）	－
TRDGRD0	TRDBFD0 = 1	バッファ・レジスタ。次回の PWM1 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照） 設定範囲：≧TRD0 レジスタ設定値 ≦TRDGRA0 設定値 - TRD0 レジスタ設定値 初期設定値は，TRDGRB0 レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファ・レジスタ。次回の PWM2 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照） 設定範囲：≧TRD0 レジスタ設定値 ≦TRDGRA0 設定値 - TRD0 レジスタ設定値 初期設定値は，TRDGRA1 レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファ・レジスタ。次回の PWM3 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照） 設定範囲：≧TRD0 レジスタ設定値 ≦TRDGRA0 設定値 - TRD0 レジスタ設定値 初期設定値は，TRDGRB1 レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

注意　TRDCRi レジスタの TCK2-TCK0 ビットの設定を 000B（f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL}），コンペア値を 0000H にした場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号はカウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合は，コンペア一致する毎に要求信号が発生します。

備考　i = 0, 1，j = A, B, C, D
TRDBFD0, TRDBFC1, TRDBFD1　：TRDMR レジスタのビット

［PWM3 モード］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット 15-0	「表 8－8　PWM3 モード時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－8　PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM 出力端子
TRDGRA0	－	ジェネラル・レジスタ。PWM 周期を設定してください。 設定範囲：≧TRDGRA1 レジスタ設定値	TRDIOA0
TRDGRA1	－	ジェネラル・レジスタ。PWM 出力の変化点（アクティブ・レベルになるタイミング）を設定してください。 設定範囲：≧TRDGRA0 レジスタ設定値	－
TRDGRB0	－	ジェネラル・レジスタ。PWM 出力の変化点（初期出力レベルに戻るタイミング）を設定してください。 設定範囲：≧TRDGRB1 レジスタ設定値 ≦TRDGRA0 レジスタ設定値	TRDIOB0
TRDGRB1	－	ジェネラル・レジスタ。PWM 出力の変化点（アクティブ・レベルになるタイミング）を設定してください。 設定範囲：≦TRDGRB0 レジスタ設定値	－
TRDGRC0	TRDBFC0 = 0	（PWM3 モードでは使用しません）	－
TRDGRC1	TRDBFC1 = 0		
TRDGRD0	TRDBFD0 = 0		
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファ・レジスタ。次回の PWM 周期を設定してください。 （「8.3.1 (2)　バッファ動作」を参照） 設定範囲：≧TRDGRC1 レジスタ設定値	TRDIOA0
TRDGRC1	TRDBFC1 = 1	バッファ・レジスタ。次回の PWM 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照） 設定範囲：≦TRDGRC0 レジスタ設定値	－
TRDGRD0	TRDBFD0 = 1	バッファ・レジスタ。次回の PWM 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照） 設定範囲：≧TRDGRD1 レジスタ設定値 ≦TRDGRC0 レジスタ設定値	TRDIOB0
TRDGRD1	TRDBFD1 = 1	バッファ・レジスタ。次回の PWM 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照） 設定範囲：≦TRDGRD0 レジスタ設定値	－

（**注意**と**備考**が次のページにあります。）

注意　TRDCRi レジスタの TCK2-TCK0 ビットの設定を 000B（f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL}），コンペア値を 0000H にした場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号はカウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合は，コンペアー致する毎に要求信号が発生します。

備考　i = 0, 1，j = A, B, C, D

TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1　：TRDMR レジスタのビット

［拡張 PWM モード］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット 15-0	「表 8－9　拡張 PWM モード時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－9　拡張PWMモード時のTRDGRjiレジスタの機能

レジスタ	レジスタの機能	PWM 出力端子
TRDGRAi	ジェネラル・レジスタ。PWM 周期を設定してください。	－
TRDGRBi	ジェネラル・レジスタ。PWM 出力の変化点を設定してください。	TRDIOBi
TRDGRCi	バッファ・レジスタ。次回の PWM 周期を設定してください。	－
TRDGRDi	バッファ・レジスタ。次回の PWM 出力の変化点を設定してください。	TRDIOBi

注意　**TRDCRi レジスタの TCK2-TCK0 ビットの設定を 000B（f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL}），コンペア値を 0000H にした場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号はカウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合は，コンペア一致する毎に要求信号が発生します。**

備考　i = 0, 1，j = A, B, C, D

［拡張相補 PWM モード］

アドレス: F0268H（TRDGRA0），F026AH（TRDGRB0），　リセット時：FFFFH 注
FFF58H（TRDGRC0），FFF5AH（TRDGRD0），
F0278H（TRDGRA1），F027AH（TRDGRB1），
FFF5CH（TRDGRC1），FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット 15-0	「表 8－10　拡張相補 PWM モード時の TRDGRji レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－10　拡張相補PWMモード時のTRDGRjiレジスタの機能

レジスタ 注	設定	レジスタの機能	PWM 出力端子
TRDGRA0	－	ジェネラル・レジスタ。初期設定時 PWM 周期を設定してください。 設定範囲：≧TRD0 レジスタ設定値 ≦FFFFH - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）のときに書き込まないでください。	（TRDIOC0，半周期毎に出力反転）
TRDGRB0	CPSS = 0	ジェネラル・レジスタ。PWM1 出力の変化点を設定してください。	TRDIOB0 TRDIOD0
	CPSS = 1	ジェネラル・レジスタ。カウントアップ中に PWM1 出力の変化点を設定してください。	
	－	設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）のときに書き込まないでください。	
TRDGRA1	CPSS = 0	ジェネラル・レジスタ。PWM2 出力の変化点を設定してください。	TRDIOA1 TRDIOC1
	CPSS = 1	ジェネラル・レジスタ。カウントアップ中に PWM2 出力の変化点を設定してください。	
	－	設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）のときに書き込まないでください。	
TRDGRB1	CPSS = 0	ジェネラル・レジスタ。PWM3 出力の変化点を設定してください。	TRDIOB1 TRDIOD1
	CPSS = 1	ジェネラル・レジスタ。カウントアップ中に PWM3 出力の変化点を設定してください。	
	－	設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）のときに書き込まないでください。	
TRDGRC0	－	バッファ・レジスタ。初期設定時に PWM 周期を設定してください。 設定範囲：≧TRD0 レジスタ設定値 × 2 ≦FFFFH - TRD0 レジスタ設定値	（TRDIOC0，半周期毎に出力反転）
TRDGRD0	CPSS = 0	バッファ・レジスタ。次回の PWM1 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照）	TRDIOB0 TRDIOD0
	CPSS = 1	バッファ・レジスタ。カウンタがアップ・カウント中に次回の PWM1 出力の変化点を設定してください。（「8.3.1 (2)　バッファ動作」を参照）	
	－	設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値	
TRDGRC1	CPSS = 0	バッファ・レジスタ。次回の PWM2 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照）	TRDIOA1 TRDIOC1
	CPSS = 1	バッファ・レジスタ。カウンタがアップ・カウント中に次回の PWM2 出力の変化点を設定してください。（「8.3.1 (2)　バッファ動作」を参照）	
	－	設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値	
TRDGRD1	CPSS = 0	バッファ・レジスタ。次回の PWM3 出力の変化点を設定してください。 （「8.3.1 (2)　バッファ動作」を参照）	TRDIOB1 TRDIOD1
	CPSS = 1	バッファ・レジスタ。カウンタがアップ・カウント中に次回の PWM3 出力の変化点を設定してください。（「8.3.1 (2)　バッファ動作」を参照）	
	－	設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値	

（**注**，**注意**，**備考**が次のページにあります。）

注　非対称波形の場合，TRDCMPm レジスタも設定してください。「8.2.20　タイマ RDe 拡張コンペア・レジスタ（TRDCMPm）（m = B0, D0, A1, B1,C1, D1）」を参照ください。
PWM 出力の変化点を更新するには，TRDGRD0，TRDGRC1，TRDGRD1 レジスタを使用してください。PWM 周期は書き換えることができません。

注意　**TRDCRi レジスタの TCK2-TCK0 ビットの設定を 000B（f_{CLK}，f_{IH}，f_{PLL}，f_{SUB}，f_{IL}），コンペア値（ジェネラル・レジスタ TRDGRA0 の設定値）を 0000H にした場合，データ・トランスファ・コントローラ（DTC）およびイベント・リンク・コントローラ（ELC）への要求信号はカウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合は，コンペア一致する毎に要求信号が発生します。**
出力デューティ 0%および出力デューティ 100%以外を設定する場合，コンペア・レジスタには短絡防止時間より大きく，TRDGRA0（PWM 周期）－ 短絡防止時間より小さな値をジェネラル・レジスタに設定してください。

備考　i = 0, 1，j = A, B, C, D
CPSS：TRDFCR レジスタのビット

8.2.20　タイマ RDe 拡張コンペア・レジスタ（TRDCMPm）（m = B0, D0, A1, B1,C1, D1）

本レジスタはタイマ比較値を設定します。

TRDCMPm レジスタの設定は，拡張 PWM モードおよび拡張相補 PWM モードのみで有効です。

TRDCMPm レジスタは，16 ビット・メモリ操作命令で設定してください。

［拡張 PWM モード］

TRDCMPm レジスタは, 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

バッファ・レジスタからジェネラル・レジスタへの書き換えは，一斉書き換え機能を使用してください。バッファ・レジスタの設定後，TRDRDTi レジスタの RDT ビットを 1 に設定してください。

TRDRSFi レジスタの RSF ビットが 1 で一斉書き換えの要求が発生すると，次の値がバッファ・レジスタからコンペア・レジスタに転送されます。RSF ビットが 0 で一斉書き換えの要求が発生しても，バッファ・レジスタの値は転送されません。

［拡張相補 PWM モード］

TRDCMPm レジスタは, 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

バッファ・レジスタからジェネラル・レジスタへの書き換えは，一斉書き換え機能を使用してください。バッファ・レジスタの設定後，TRDRDT1 レジスタの RDT ビットを 1 に設定してください。

TRDRSF1 レジスタの RSF ビットが 1 で一斉書き換えの要求が発生すると，次の値がバッファ・レジスタからコンペア・レジスタに転送されます。RSF ビットが 0 で一斉書き換えの要求が発生しても，バッファ・レジスタの値は転送されません。

図 8－21　タイマ RDe 拡張コンペア・レジスタ（TRDCMPm）（m = B0, D0, A1, B1, C1, D1）のフォーマット
［拡張 PWM モード］

アドレス: F0280H（TRDCMPB0），FFF60H（TRDCMPD0），　リセット時：FFFFH 注
F0284H（TRDCMPA1），FFF62H（TRDCMPC1），
F0288H（TRDCMPB1），FFF64H（TRDCMPD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDCMPm	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット 15-0	「表 8－11　拡張 PWM モード時の TRDCMPm レジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

表8－11　拡張PWMモード時のTRDCMPmレジスタの機能

レジスタ	レジスタ機能	PWM 出力端子
TRDCMPB0	ジェネラル・レジスタ。PWM 出力の変化点を設定してください。	TRDIOD0
TRDCMPD0	バッファ・レジスタ。次回の PWM 出力の変化点を設定してください。	
TRDCMPA1	拡張 PWM モードでは使用しません。	－
TRDCMPC1		
TRDCMPB1	ジェネラル・レジスタ。PWM 出力の変化点を設定してください。	TRDIOD1
TRDCMPD1	バッファ・レジスタ。次回の PWM 出力の変化点を設定してください。	

［拡張相補 PWM モード］

アドレス: F0280H（TRDCMPB0），FFF60H（TRDCMPD0），　リセット時：FFFFH 注
F0284H（TRDCMPA1），FFF62H（TRDCMPC1），
F0288H（TRDCMPB1），FFF64H（TRDCMPD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDCMPm	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット 15-0	「表 8－12　拡張相補 PWM モード時の TRDCMPm レジスタの機能」を参照	R/W

表8－12　拡張相補PWMモード時のTRDCMPmレジスタの機能

レジスタ	設定	レジスタ機能	PWM 出力端子
TRDCMPB0	CPSS = 1	ジェネラル・レジスタ。 PWM1 出力の変化点をダウン・カウント中に設定してください。 設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）のときに書き込まないでください。	TRDIOB0 TRDIOD0
TRDCMPD0	CPSS = 1	バッファ・レジスタ。 次回の PWM1 出力の変化点をダウン・カウント中に設定してください。 設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値	
TRDCMPA1	CPSS = 1	ジェネラル・レジスタ。 PWM2 出力の変化点をダウン・カウント中に設定してください。 設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）のときに書き込まないでください。	TRDIOA1 TRDIOC1
TRDCMPC1	CPSS = 1	バッファ・レジスタ。 次回の PWM2 出力の変化点をダウン・カウント中に設定してください。 設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値	
TRDCMPB1	CPSS = 1	ジェネラル・レジスタ。 PWM3 出力の変化点をダウン・カウント中に設定してください。 設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値 TRDSTR レジスタの TSTART0，TSTART1 ビットが 1（カウント開始）のときに書き込まないでください。	TRDIOB1 TRDIOD1
TRDCMPD1	CPSS = 1	バッファ・レジスタ。 次回の PWM3 出力の変化点をダウン・カウント中に設定してください。 設定範囲：＞TRD0 レジスタ設定値 ＜TRDGRA0 レジスタ設定値 - TRD0 レジスタ設定値	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注意　CPSS=0 の場合，TRDCMPm レジスタへの書き込みはできません。CPSS=1 の場合，対称波形を出力するには，TRDCMPm レジスタに TRDGRji レジスタと同じ値を設定してください。出力デューティ 0%および出力デューティ 100%以外を設定する場合，コンペア・レジスタには，短絡防止時間より大きく，TRDGRA0（PWM 周期）－ 短絡防止時間より小さな値をジェネラル・レジスタに設定してください。

備考　i = 0, 1，j = A, B, C, D
CPSS：TRDFCR レジスタのビット

8.2.21　タイマ RDe A/D トリガ・コンペア・レジスタ 0（TRDADTC0）

本レジスタは，A/D 変換トリガ 0 タイミングの値を設定します。

TRDADTC0 レジスタの設定は，拡張相補 PWM モード時のみ有効です。

TRDADTC0 レジスタは，16 ビット単位でアクセスしてください。

TRDADCR レジスタの ADE0 ビットが 1 の場合，TRDADTC0 レジスタが有効になります。カウント開始後に TRDADB0 レジスタを使用して，このレジスタを書き換えます。

図 8－22　タイマ RDe A/D トリガ・コンペア・レジスタ 0（TRDADTC0）のフォーマット

［拡張相補 PWM モード］

アドレス: F028CH (TRDADTC0)　リセット時：FFFFH 注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTC0	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット 15-0	A/D 変換トリガ 0 のタイミングを設定します	0000H ≦ (TRDGRA0 – TRD0 設定値) 注2	R/W

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDADCR レジスタの ADMD0 ビットが 0 の場合のみの設定範囲です。ADMD0 ビットが 1 の場合，設定範囲は「0000H ≦（TRDGRA0 – TRD0 設定値）+ 1」です。

8.2.22　タイマ RDe A/D トリガ・バッファ・レジスタ 0（TRDADTB0）

本レジスタは，TRDADTC0 レジスタのバッファ・レジスタです。A/D 変換トリガ 0 タイミングの次回の値を設定します。

TRDADTB0 レジスタの設定は，拡張相補 PWM モード時のみ有効です。

TRDADTB0 レジスタは，16 ビット単位でアクセスしてください。

バッファ・レジスタからジェネラル・レジスタへの書き換えは，一斉書き換え機能を使用してください。バッファ・レジスタの設定後，TRDRDT1 レジスタの RDT ビットを 1 に設定してください。TRDRSF1 レジスタの RSF ビットが 1 で一斉書き換えの要求が発生すると，次の値がバッファ・レジスタからコンペア・レジスタに転送されます。RSF ビットが 0 で一斉書き換えの要求が発生しても，バッファ・レジスタの値は転送されません。

図 8－23　タイマ RDe A/D トリガ・バッファ・レジスタ 0（TRDADTB0）

［拡張相補 PWM モード］

アドレス: FFF66H (TRDADTB0)　リセット時：FFFFH 注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTB0	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット15-0	次のA/D変換トリガ0のタイミングを設定します。	0000H ≦ (TRDGRA0 – TRD0 設定値) 注2	R/W

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDADCR レジスタの ADMD0 ビットが 0 の場合のみの設定範囲です。ADMD0 ビットが 1 の場合，設定範囲は「0000H ≦（TRDGRA0 – TRD0 設定値 + 1）」です。
TRD0 レジスタと TRDGRA0 レジスタのコンペア一致で A/D トリガを生成する場合は，ADMD0 ビットを 0 に設定した後，TRDADTB0 レジスタに「TRDGRA0 – TRD0 設定値」の値を設定してください。TRD1 レジスタのアンダフローで A/D トリガを生成する場合, ADMD0 ビットを 1 に設定した後, TRDADTB0 レジスタに 0000H を設定してください。

8.2.23　タイマ RDe A/D トリガ・コンペア・レジスタ 1（TRDADTC1）

本レジスタは，A/D 変換トリガ 1 タイミングの値を設定します。

TRDADTC1 レジスタの設定は，拡張相補 PWM モード時のみ有効です。

TRDADTC1 レジスタは 16 ビット単位でアクセスしてください。

TRDADCR レジスタの ADE1 ビットが 1 の場合，TRDADTC1 レジスタが有効になります。カウント開始後に TRDADB1 レジスタを使用して，このレジスタを書き換えます。

図 8－24　タイマ RDe A/D トリガ・コンペア・レジスタ 1（TRDADTC1）のフォーマット

［拡張相補 PWM モード］

アドレス: F0290H (TRDADTC1)　リセット時：FFFFH 注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTC1	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット15-0	A/D変換トリガ1のタイミングを設定します。	0000H ≦ (TRDGRA0 – TRD0 設定値) 注2	R/W

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDADCR レジスタの ADMD1 ビットが 0 の場合のみの設定範囲です。ADMD1 ビットが 1 の場合，設定範囲は「0000H ≦ (TRDGRA0 – TRD0 設定値) + 1」です。

8.2.24　タイマ RDe A/D トリガ・バッファ・レジスタ 1（TRDADTB1）

本レジスタは，TRDADTC1 レジスタのバッファ・レジスタです。A/D 変換トリガ 1 タイミングの次回の値を設定します。

TRDADTB1 レジスタの設定は，拡張相補 PWM モード時のみ有効です。

TRDADTB1 レジスタは 16 ビット単位でアクセスしてください。

バッファ・レジスタからジェネラル・レジスタへの書き換えは，一斉書き換え機能を使用してください。バッファ・レジスタの設定後，TRDRDT1 レジスタの RDT ビットを 1 に設定してください。TRDRSF1 レジスタの RSF ビットが 1 で一斉書き換えの要求が発生すると，次の値がバッファ・レジスタからコンペア・レジスタに転送されます。RSF ビットが 0 で一斉書き換えの要求が発生しても，バッファ・レジスタの値は転送されません。

図 8－25　タイマ RDe A/D トリガ・バッファ・レジスタ 1（TRDADTB1）

［拡張相補 PWM モード］

アドレス: FFF68H (TRDADTB1)　リセット時：FFFFH 注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDADTB1	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット15-0	次のA/D変換トリガ1のタイミングを設定します。	0000H ≦ (TRDGRA0 – TRD0 設定値) 注2	R/W

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. TRDADCR レジスタの ADMD1 ビットが 0 の場合のみの設定範囲です。ADMD1 ビットが 1 の場合，設定範囲は「0000H ≦（TRDGRA0 – TRD0 設定値 + 1）」です。
TRD0 レジスタと TRDGRA0 レジスタのコンペア一致で A/D トリガを生成する場合は，ADMD1 ビットを 0 に設定した後，TRDADTB1 レジスタに「TRDGRA0 – TRD0 設定値」の値を設定してください。TRD1 レジスタのアンダフローで A/D トリガを生成する場合, ADMD1 ビットを 1 に設定した後, TRDADTB1 レジスタに 0000H を設定します。

8.2.25　タイマ RDe 一斉書き換えトリガ・レジスタ（TRDRDT01）

本レジスタは，バッファ・レジスタからジェネラル・レジスタへの一斉書き換えを要求するときに使用します。

TRDRTD0 レジスタ（下位 8 ビット）の設定は，拡張 PWM モード時のみ有効です。

TRDRDT1 レジスタ（上位 8 ビット）の設定は，拡張 PWM モード時または拡張相補 PWM モード時のみ有効です。

TRDRTD01 レジスタは，16 ビット・メモリ操作命令で設定してください。

TRDRTD0 レジスタ（下位 8 ビット）および TRDRDT1 レジスタ（上位 8 ビット）は，1 ビット・メモリ操作命令，または 8 ビット・メモリ操作命令で設定してください。

図 8－26　タイマ RDe 一斉書き換えトリガ・レジスタ（TRDRDT01）のフォーマット

アドレス：FFF6BH　リセット時：00H 注

略号	15	14	13	12	11	10	9	8
TRDRDT1	0	0	0	0	0	0	0	RDT

アドレス：FFF6AH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRDT0	0	0	0	0	0	0	0	RDT

- タイマ RDe 一斉書き換えトリガ・レジスタ 0（TRDRDT0）

［拡張 PWM モード］

アドレス：FFF6AH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRDT0	0	0	0	0	0	0	0	RDT

ビット 7-1	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

RDT	一斉書き換え制御	R/W
0	0 書き込みは無効です。	R/W
1	TRDGRA0，TRDGRB0，TRDCMPB0 レジスタを一斉書き換えします。	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

- タイマ RDe 一斉書き換えトリガ・レジスタ 1（TRDRDT1）

図 8－27　タイマ RDe 一斉書き換えトリガ・レジスタ 1（TRDRDT1）のフォーマット

［拡張 PWM モード］

アドレス：FFF6BH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRDT1	0	0	0	0	0	0	0	RDT

ビット 7-1	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

RDT	一斉書き換え制御	R/W
0	0 書き込みは無効です。	R/W
1	TRDGRA1，TRDGRB1，TRDCMPB1 レジスタを一斉書き換えします。	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

［拡張相補 PWM モード］

アドレス：FFF6BH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRDT1	0	0	0	0	0	0	0	RDT

ビット 7-1	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

RDT	一斉書き換え制御	R/W
0	0 書き込みは無効です。	R/W
1	すべてのジェネラル・レジスタを一斉書き換えします。	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

8.2.26　タイマ RDe 一斉書き換えフラグ・レジスタ（TRDRSF01）

本レジスタは，タイマ・バッファ・レジスタによる一斉書き換えの状態を示します。

TRDRSF0 レジスタ（下位 8 ビット）は，拡張 PWM モード時のみ有効です。

TRDRSF1 レジスタ（上位 8 ビット）は，拡張 PWM モード時または拡張相補 PWM モード時のみ有効です。

TRDRSF01 レジスタは，16 ビット・メモリ操作命令でアクセスしてください。

TRDRSF0 レジスタ（下位 8 ビット）および TRDRSF1 レジスタ（上位 8 ビット）は，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令でアクセスしてください。

図 8－28　タイマ RDe 一斉書き換えフラグ・レジスタ（TRDRSF01）のフォーマット

アドレス：F0297H　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRSF1	0	0	0	0	0	0	0	RSF

アドレス：F0296H　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRSF0	0	0	0	0	0	0	0	RSF

- タイマ RDe 一斉書き換えフラグ・レジスタ 0（TRDRSF0）

［拡張 PWM モード］

アドレス：F0296H　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRSF0	0	0	0	0	0	0	0	RSF

ビット 7-1	何も配置されていない	R/W
－	書き込み禁止です。	－

RSF	一斉書き換えステータス・フラグ	R/W
0	一斉書き換え許可状態	R
1	一斉書き換え完了待ち状態	
［0 になる要因］ 一斉書き換えトリガの発生タイミング，または，カウント動作開始タイミング ［1 になる要因］ TRDRDT0 レジスタの RDT ビットが 1 設定された時		

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

- タイマ RDe 一斉書き換えフラグ・レジスタ 1（TRDRSF1）

図 8－29　タイマ RDe 一斉書き換えフラグ・レジスタ 1（TRDRSF1）のフォーマット
［拡張 PWM モード，拡張相補 PWM モード］

アドレス：F0297H　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDRSF1	0	0	0	0	0	0	0	RSF

ビット 7-1	何も配置されていない	R/W
－	書き込み禁止です。	－

RSF	一斉書き換えステータス・フラグ	R/W
0	一斉書き換え許可状態	R
1	一斉書き換え完了待ち状態	
［0 になる要因］ 一斉書き換えトリガの発生タイミング，または，カウント動作開始タイミング ［1 になる要因］ TRDRDT1 レジスタの RDT ビットが 1 設定された時		

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

8.2.27　タイマ RDe A/D トリガ制御レジスタ（TRDADCR）

本レジスタは，A/D トリガ信号の制御に使用します。

TRDADCR レジスタの設定は，拡張相補 PWM モード時のみ有効です。

TRDADCR レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－30　タイマ RDe A/D トリガ制御レジスタ（TRDADCR）のフォーマット

［拡張相補 PWM モード］

アドレス：F0298H　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDADCR	0	0	ADMD1	ADE1	0	0	ADMD0	ADE0

ビット 7-6	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

ADMD1	A/D 変換トリガ 1 モード選択	R/W
0	アップ・カウント中に比較	R/W
1	ダウン・カウント中に比較	

ADE1	A/D 変換トリガ 1 出力制御	R/W
0	A/D 変換トリガ 1 出力禁止	R/W
1	A/D 変換トリガ 1 出力許可	

ビット 3-2	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

ADMD0	A/D 変換トリガ 0 モード選択	R/W
0	アップ・カウント中に比較	R/W
1	ダウン・カウント中に比較	

ADE0	A/D 変換トリガ 0 出力制御	R/W
0	A/D 変換トリガ 0 出力禁止	R/W
1	A/D 変換トリガ 0 出力許可	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

8.2.28　タイマ RDe 拡張 PWM モード・レジスタ i（TRDEMRi）（i = 0, 1）

本レジスタは，拡張 PWM モードの制御に使用します。

TRDEMRi レジスタの設定は，拡張 PWM モード時のみ有効です。

TRDSTR レジスタの TSTART0 ビットと TSTART1 ビットがともに 0 の時に本レジスタを設定してください。

TRDEMRi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

図 8－31　タイマ RDe 拡張 PWM モード・レジスタ（TRDEMRi）のフォーマット

［拡張 PWM モード］

アドレス：F029AH (TRDEMR0)，F029BH (TRDEMR1)　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDEMRi	DTEND	GTEND	DTENB	GTENB	0	0	CCLV1	CCLV0

DTEND	TRDIODi ディザリング機能制御	R/W
0	TRDIODi ディザリング機能無効	R/W
1	TRDIODi ディザリング機能有効	

GTEND	TRDIODi ゲート機能制御	R/W
0	TRDIODi ゲート機能無効	R/W
1	TRDIODi ゲート機能有効	

DTENB	TRDIOBi ディザリング機能制御	R/W
0	TRDIOBi ディザリング機能無効	R/W
1	TRDIOBi ディザリング機能有効	

GTENB	TRDIODBi ゲート機能制御	R/W
0	TRDIOBi ゲート機能無効	R/W
1	TRDIOBi ゲート機能有効	

ビット 3-2	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

CCLV1	CCLV0	カウンタ・リスタート機能制御 注2	R/W
0	0	カウンタ・リスタート機能無効	R/W
0	1	TRDiRES 入力の立ち下がりエッジでリスタート	
1	0	TRDiRES 入力の立ち上がりエッジでリスタート	
1	1	TRDiRES 入力の両エッジでリスタート	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. 同期動作（TRDMR レジスタの TRDSYNC ビットが 1）の場合，TRD0RES 入力信号のみが有効となるため，TRDEMR1 レジスタの CCLV1, CCLV0 ビットの設定は無効となり，TRDEMR0 レジスタの CCLV1，CCLV0 ビットの設定のみが有効となります。

8.2.29　タイマ RDe ディザリング・ナンバ・レジスタ i（TRDDNRi）（i = 0, 1）

本レジスタは，拡張 PWM モード時のディザリング機能を制御するために使用します。

TRDDNRi レジスタの設定は，拡張 PWM モード時のみ有効です。

TRDDNRi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

TRDDNRi レジスタと TRDGPRi レジスタは，結合して 16 ビット・レジスタ（TRDGCRi）としてアクセスできます。

図 8－32　タイマ RDe ディザリング・ナンバ・レジスタ i（TRDDNRi）のフォーマット

［拡張 PWM モード］

アドレス：FFF6CH (TRDDNR0)，FFF6EH (TRDDNR1)　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDDNRi	0	0	0	0	DNR[3:0]			

ビット 7-4	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

DNR[3:0]	ディザリング回数設定 注2	R/W
0000B	0/16 回	R/W
0001B	1/16 回	
0010B	2/16 回	
:	:	
1110B	14/16 回	
1111B	15/16 回	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. カウント動作中に DNR[3:0] ビットを書き換える場合，本ビットを設定後に TRDRDTi レジスタの RDT ビットを 1 にセットしてください。

注意　DNR[3:0]ビットに 0000B を設定してから，TRDSTR レジスタの TSTARTi ビットを 0 から 1（カウント開始）にしてください。カウント動作中にこのレジスタを書き換える場合，このレジスタを設定した後で TRDRDTi レジスタの RDT ビットに 1 を書いてください。

8.2.30　タイマ RDe ゲート・パターン・レジスタ i（TRDGPRi）（i = 0, 1）

拡張 PWM モード時のゲート機能を制御するために使用します。

TRDGPRi レジスタの設定は，拡張 PWM モード時のみ有効です。

TRDGPRi レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

TRDDNRi レジスタと TRDGPRi レジスタは，結合して 16 ビット・レジスタ（TRDGCRi）としてアクセスできます。

図 8－33　タイマ RDe ゲート・パターン・レジスタ i（TRDGPRi）のフォーマット

［拡張 PWM モード］

アドレス：FFF6DH (TRDGPR0)，FFF6FH (TRDGPR1)　リセット時：00H 注1

略号	7	6	5	4	3	2	1	0
TRDGPRi	GPAT	0	0	0	GPR[3:0]			

GPAT	ゲート・パターン選択	R/W
0	パターン 1 選択	R/W
1	パターン 2 選択	

ビット 6-4	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

GPR[3:0]	ゲート・パターン設定 注2	R/W
0000B	パターン 1 選択時：0/16 回，　パターン 2 選択時：15/16 回	R/W
0001B	パターン 1 選択時：1/16 回，　パターン 2 選択時：14/16 回	
0010B	パターン 1 選択時：2/16 回，　パターン 2 選択時：13/16 回	
:	:	
1110B	パターン 1 選択時：14/16 回，　パターン 2 選択時：1/16 回	
1111B	パターン 1 選択時：15/16 回，　パターン 2 選択時：0/16 回	

注 1. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. カウント動作中に GPR[3:0]ビットを書き換える場合，本ビットを設定後に TRDRDTi レジスタの RDT ビットを 1 にセットしてください。

注意　カウント動作中にこのレジスタを書き換える場合，このレジスタを設定した後，TRDRDTi レジスタの RDT ビットを 1 にセットしてください。

8.2.31　タイマ RDe ディザリング／ゲート制御レジスタ i（TRDDGCRi）（i = 0, 1）

TRDDNRi レジスタと TRDGPRi レジスタは結合して 16 ビット・レジスタ（TRDGCRi）としてアクセスできます。

本レジスタは，拡張 PWM モード時のディザリング機能およびゲート機能の制御を選択するために使用します。

TRDDGCRi レジスタの設定は，拡張 PWM モード時のみ有効です。

カウント動作中に GPR[3:0] ビットまたは DNR[3:0] ビットを書き換える場合，本レジスタを設定後に TRDRDTi レジスタの RDT ビットを 1 にセットしてください。

TRDDGCRi レジスタは，16 ビット・メモリ操作命令で設定してください。

図 8－34　タイマ RDe ディザリング／ゲート制御レジスタ i（TRDDGCRi）のフォーマット

［拡張 PWM モード］

アドレス：FFF6CH (TRDDGC0)，FFF6EH (TRDDGC1)　リセット時：0000H 注

略号	15	14	13	12	11	10	9	8
TRDGPRi	GPAT	0	0	0	GPR[3:0]			

略号	7	6	5	4	3	2	1	0
TRDDNRi	0	0	0	0	DNR[3:0]			

GPAT	ゲート・パターン選択	R/W
0	パターン 1 選択	R/W
1	パターン 2 選択	

ビット 14-12	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

GPR[3:0]	ゲート・パターン設定	R/W
0000B	パターン 1 選択時：0/16 回，　パターン 2 選択時：15/16 回	R/W
0001B	パターン 1 選択時：1/16 回，　パターン 2 選択時：14/16 回	
0010B	パターン 1 選択時：2/16 回，　パターン 2 選択時：13/16 回	
:	:	
1110B	パターン 1 選択時：14/16 回，　パターン 2 選択時：1/16 回	
1111B	パターン 1 選択時：15/16 回，　パターン 2 選択時：0/16 回	

ビット 7-4	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

DNR[3:0]	ディザリング回数設定	R/W
0000B	0/16 回	R/W
0001B	1/16 回	
0010B	2/16 回	
:	:	
1110B	14/16 回	
1111B	15/16 回	

（注と注意が次のページにあります。）

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

注意　**DNR[3:0] ビットに 0000B を設定してから，TRDSTR レジスタの TSTARTi ビットを 0 から 1（カウント開始）にしてください。カウント動作中にこのレジスタを書き換える場合，このレジスタを設定した後で，TRDRDTi レジスタの RDT ビットに 1 を書いてください。**

8.2.32　PWM 出力遅延制御レジスタ 0（PWMDLY0）

本レジスタは，TRDIOj0 および TRDIOj1 端子から出力する PWM 出力信号の出力遅延を制御します。

PWMDLY0 レジスタは 16 ビット・メモリ操作命令で設定して下さい。

リセット信号の発生により，本レジスタは 0000H になります。

図 8－35　PWM 出力遅延制御レジスタ 0（PWMDLY0）のフォーマット

アドレス: F0229H　リセット時：00H　R/W

略号	15	14	13	12	11	10	9	8
PWMDLY0	TRDD11 注	TRDD10 注	TRDC11 注	TRDC10 注	TRDB11	TRDB10	TRDA11	TRDA10

アドレス: F0228H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PWMDLY0	TRDD01	TRDD00	TRDC01	TRDC00	TRDB01	TRDB00	TRDA01	TRDA00

表8－13　タイマRD1 TRDIOj1のPWM出力遅延時間制御

TRDj11	TRDj10	タイマ RD1 TRDIOj1 の PWM 出力遅延制御
0	0	遅延なし
0	1	TRDIOj1 がタイマ RDe の動作クロック（f_{TRD}）の 1 サイクル分遅延
1	0	TRDIOj1 がタイマ RDe の動作クロック（f_{TRD}）の 2 サイクル分遅延
1	1	TRDIOj1 がタイマ RDe の動作クロック（f_{TRD}）の 3 サイクル分遅延

j = A, B, C, D

表8－14　タイマRD0 TRDIOj0のPWM出力遅延時間制御

TRDj01	TRDj00	タイマ RD0 TRDIOj0 の PWM 出力遅延制御
0	0	遅延なし
0	1	TRDIOj0 がタイマ RDe の動作クロック（f_{TRD}）の 1 サイクル分遅延
1	0	TRDIOj0 がタイマ RDe の動作クロック（f_{TRD}）の 2 サイクル分遅延
1	1	TRDIOj0 がタイマ RDe の動作クロック（f_{TRD}）の 3 サイクル分遅延

j = A, B, C, D

注　本レジスタを遅延ありに設定した場合，TRDIOC1 および TRDIOD1 の PWM 出力は遅延ありとなりますが，内部接続する周辺機能へのタイマ出力信号は遅延しません。

注意 1. PWMDLY0 レジスタは PWM 出力前に設定してください。

2. PWMDLY0 レジスタは 16 ビットでアクセスしてください。1 ビットおよび 8 ビットでのアクセスは禁止します。

3. PWM 出力に使用しない場合は，0 を設定してください。PWM 出力モード以外のタイマ出力時に設定した場合も，出力遅延設定によりタイマ出力が遅延するためです。

4. PWM 出力停止後に本レジスタを設定する時は，設定前にタイマ RDe の動作クロック（f_{TRD}）の 4 サイクル以上の待ち時間が必要です。

5. SNZOUT を使用する際は，STOP モードに入る前に，TRDC0n を 0 に設定してください（n = 0, 1）。

6. 本レジスタを遅延ありに設定しても TRDIOji 端子機能と同じ端子に兼用されている他の端子機能は遅延しません（j = A, B, C, D，i = 0, 1）。

★ **7. リセット同期 PWM モード，相補 PWM モード，PWM3 モード，および拡張相補 PWM モードを使用し，かつ PWM オプション・ユニット A（PWMOPA）を使用する場合，対象端子の TRDji[1, 0]ビットは "00B"（遅延なし）にしてください（i = 0, 1，j = A, B, C, D）。**

8.2.33　ポート・モード・レジスタ（PM1，PM3，PM4，PM12，PM14）

ポートの入力／出力を 1 ビット単位で設定するレジスタです。タイマ RDe では，PM1，PM3，PM4，PM12，PM14 を使用します。

タイマ出力端子を兼用するポート（P13/TRDIOA0，P16/TRDIOC1 など）をタイマ出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに 0 を設定してください。

例　P13/TRDIOA0 をタイマ出力として使用する場合
　　ポート・モード・レジスタ 1 の PM13 ビットを 0 に設定
　　ポート・レジスタ 1 の P13 ビットを 0 に設定

タイマ入力端子を兼用するポート（P13/TRDIOA0，P16/TRDIOC1 など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに 1 を設定してください。このときポート・レジスタ（Pxx）のビットは，0 または 1 のどちらでもかまいません。

例　P13/TRDIOA0 をタイマ入力として使用する場合
　　ポート・モード・レジスタ 1 の PM13 ビットを 1 に設定

PM1，PM3，PM4，PM12，PM14 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定して下さい。

リセット信号の発生により，本レジスタは FFH になります。

図 8－36　ポート・モード・レジスタ（PM1，PM3，PM4，PM12，PM14）のフォーマット

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス：FFF2CH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	1	1	1	1	PM120

アドレス：FFF2EH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	1	1	1	1	PM140

PMmn	Pmn 端子の入出力モードの選択（m = 1, 3, 4, 12, 14，n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

8.3　動作説明

8.3.1　複数モードに関わる共通事項

(1)　カウント・ソース

カウント・ソースの選択方法は，すべてのモードに共通です。ただし，PWM3 モードでは外部クロックを選択できません。

表8－15　カウント・ソースの選択

カウント・ソース	選択方法
f_{CLK}，$f_{CLK}/2$，$f_{CLK}/4$，$f_{CLK}/8$，$f_{CLK}/32$	ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 ビットが 0 かつ （PLL 制御レジスタ（PLLCTL）の PLLDIV1 が 0 または，PLL 状態レジスタ（PLLSTS）の SELPLLS が 0）かつ クロック選択レジスタ（CKSEL）の TRD_CKSEL が 0 TRDCRi レジスタの TCK2-TCK0 ビットでカウント・ソース選択
f_{IH}	システム・クロック制御レジスタ（CKC）の MCM0 が 0 かつ PLL 制御レジスタ（PLLCTL）の SELPLL が 0 かつ ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 ビットが 1 かつ クロック選択レジスタ（CKSEL）の TRD_CKSEL が 0 TRDCRi レジスタの TCK2-TCK0 ビットでカウント・ソース選択
f_{PLL}	PLL 制御レジスタ（PLLCTL）の SELPLL が 1 かつ PLL 制御レジスタ（PLLCTL）の PLLDIV1 が 1 かつ PLL 状態レジスタ（PLLSTS）の SELPLLS が 1 かつ クロック選択レジスタ（CKSEL）の TRD_CKSEL が 0 TRDCRi レジスタの TCK2-TCK0 ビットでカウント・ソース選択
f_{SUB}	クロック選択レジスタ（CKSEL）の SELLOSC が 0 かつ クロック選択レジスタ（CKSEL）の TRD_CKSEL が 1 TRDCRi レジスタの TCK2-TCK0 ビットでカウント・ソース選択
f_{IL}	クロック選択レジスタ（CKSEL）の SELLOSC が 1 かつ クロック選択レジスタ（CKSEL）の TRD_CKSEL が 1 TRDCRi レジスタの TCK2-TCK0 ビットでカウント・ソース選択
TRDCLK0 端子に入力された外部信号	TRDFCR レジスタの STCLK ビットが 1（外部クロック入力有効） TRDCRi レジスタの TCK2-TCK0 ビットが 101B TRDCRi レジスタの CKEG1-CKEG0 ビットで有効エッジ選択 TRDCLK0 端子として使用しているポートの PMx レジスタの PMxx ビットが 1（入力モード）

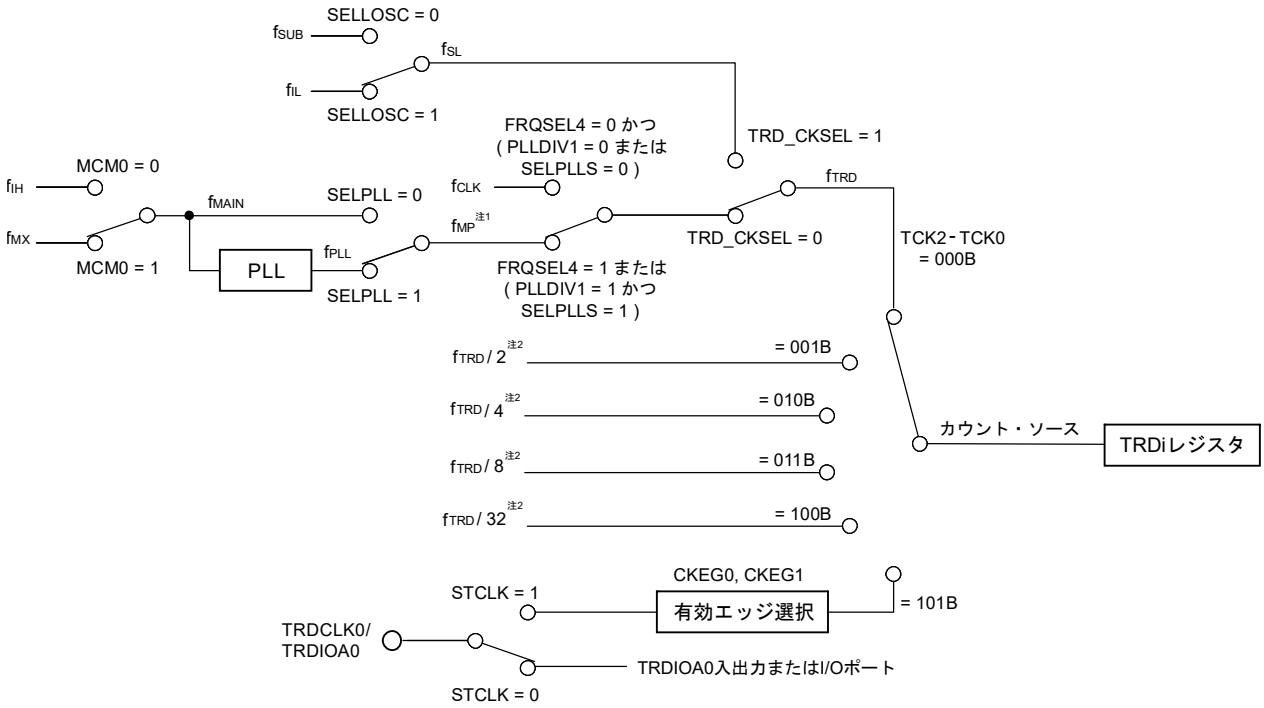
備考　i = 0, 1

カウント・ソースの設定に関する注意事項を示します。

タイマRDeのカウント・ソースの設定に関する注意事項

カウント・ソース	設定に関する注意事項
f_{CLK}，$f_{CLK}/2$，$f_{CLK}/4$，$f_{CLK}/8$，$f_{CLK}/32$	• CKSEL レジスタの TRD_CKSEL ビットを 0（f_{CLK}/f_{MP} を選択）かつ ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 ビットを 0（f_{IH}≦40MHz）かつ PLLCTL レジスタの PLLDIV1 ビットを 0（f_{PLL}≦40MHz）に設定して下さい。 • $f_{CLK}/2$，$f_{CLK}/4$，$f_{CLK}/8$，$f_{CLK}/32$ は FRQSEL4=1 のときには設定しないでください。 • これらのカウント・ソースは，SNOOZE ステータス出力を行う場合には使用できません。
f_{IH}，f_{PLL}	• f_{IH} / f_{PLL}（＞40MHz）で使用する場合，CKC レジスタの CSS ビットを 0（f_{CLK} = f_{MP} を選択）に設定して下さい。 • f_{IH} / f_{PLL}（＞40MHz）で使用する場合，MDIV レジスタの MDIV2-MDIV0 ビットを 001B（$f_{MP}/2$ を選択）に設定して下さい。 • f_{IH} / f_{PLL}（＞40MHz）で使用する場合，CKSEL レジスタの TRD_CKSEL ビットを 0（f_{CLK} / f_{MP} を選択）に設定して下さい。 • f_{IH} / f_{PLL}（＞40MHz）で使用する場合，PER1 レジスタの TRD0EN ビットをセットする前に， CSS ビット，MDIV2-MDIV0 ビット，TRD_CKSEL ビットを設定して下さい。 • 周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。 • ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 ビットを 1（f_{IH} = 80MHz／64MHz）かつ PLLCTL レジスタの PLLDIV1 ビットを 1（f_{PLL}＞40MHz）に設定することは禁止します。 • これらのカウント・ソースは，SNOOZE ステータス出力を行う場合には使用できません。
f_{SUB}，f_{IL}	• CPU からタイマ RDe のレジスタにアクセスを行う場合は，CKC レジスタの CSS ビットを 1（f_{CLK} = f_{SL} を選択）に設定して下さい。 • 周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。 • これらのカウント・ソースは，SNOOZE ステータス出力を行う場合には設定して下さい。

図 8－37　カウント・ソースのブロック図



注 1. f_{IH} は 80 MHz，64 MHz 設定時でも選択できます。f_{PLL} は，f_{PLL}＞40 MHz 設定時に選択できます。

2. タイマ RDe の動作クロック（f_{TRD}）を f_{CLK} に設定してください。

備考　i = 0, 1

TCK0-TCK2，CKEG0-CKEG1　：TRDCRi レジスタのビット
STCLK　：TRDFCR レジスタのビット
FRQSEL4　：ユーザ・オプション・バイト（000C2H/040C2H）のビット
MCM0　：CKC レジスタのビット
SELPLL　：PLLCTL レジスタのビット
PLLDIV1　：PLLCTL レジスタのビット
SELPLLS　：PLLSTS レジスタのビット
SELLOSC　：CKSEL レジスタのビット
TRD_CKSEL：CKSEL レジスタのビット

TRDCLK0 端子に入力する外部クロックのパルス幅は，タイマ RDe の動作クロック（f_{TRD}）の 3 サイクル以上にしてください。

(2) バッファ動作

TRDMR レジスタの TRDBFCi ビットおよび TRDBFDi ビット（i = 0, 1）を設定することで，TRDGRCi レジスタを TRDGRAi レジスタのバッファ・レジスタとして，また，TRDGRDi レジスタを TRDGRBi レジスタのバッファ・レジスタとして使用できます。

- TRDGRAi のバッファ・レジスタ　：TRDGRCi レジスタ
- TRDGRBi のバッファ・レジスタ　：TRDGRDi レジスタ

バッファ動作は，モードによって異なります。「表 8－16　各モードのバッファ動作」を参照ください。

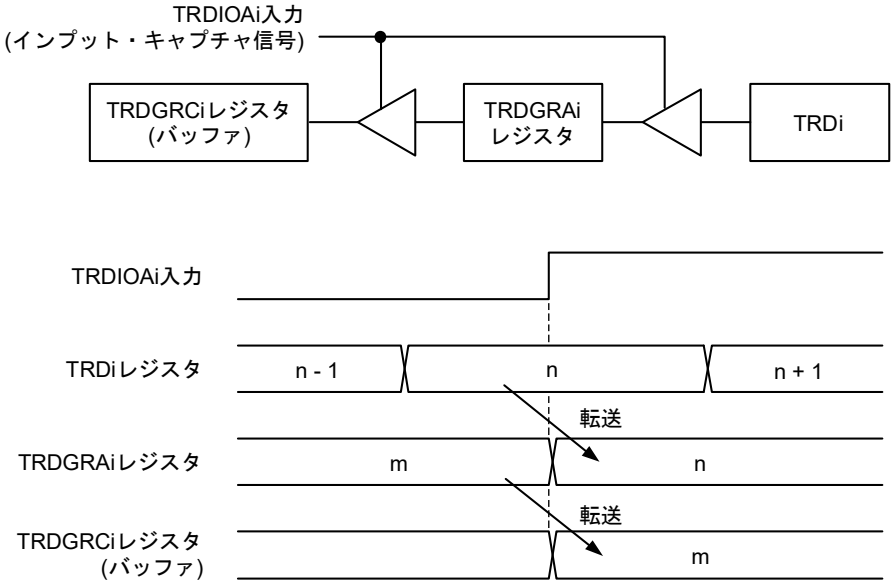
表8－16　各モードのバッファ動作

機能，モード		転送タイミング	転送するレジスタ
タイマモード	インプット・キャプチャ機能	インプット・キャプチャ信号入力	TRDGRAi（TRDGRBi）レジスタの内容をバッファ・レジスタに転送
	アウトプット・コンペア機能	TRDi レジスタと TRDGRAi（TRDGRBi）レジスタのコンペアー致	バッファ・レジスタの内容を TRDGRAi（TRDGRBi）レジスタに転送
	PWM 機能		
リセット同期 PWM モード		TRD0 レジスタと TRDGRA0 レジスタのコンペアー致	バッファ・レジスタの内容を TRDGRAi（TRDGRBi）レジスタに転送
相補 PWM モード		TRD0 レジスタと TRDGRA0 レジスタのコンペアー致 TRD1 レジスタのアンダフロー	バッファ・レジスタの内容を TRDGRB0，TRDGRA1，TRDGRB1 レジスタに転送
PWM3 モード		TRD0 レジスタと TRDGRA0 レジスタのコンペアー致	バッファ・レジスタの内容を TRDGRAi（TRDGRBi）レジスタに転送
拡張 PWM モード		TRDRDTi レジスタの RDT ビットを 1 設定した後に TRDi レジスタと TRDGRAi レジスタのコンペアー致	バッファ・レジスタの内容を TRDGRAi，TRDGRBi，TRDCMPBi レジスタに転送
拡張相補 PWM モード		TRDRDT1 レジスタの RDT ビットを 1 設定した後に TRD1 レジスタのアンダフロー（短絡防止時間分の前倒し）	バッファ・レジスタの内容を TRDGRB0，TRDGRA1，TRDGRB1 レジスタに転送
		TRDRDT1 レジスタの RDT ビットを 1 設定した後に TRD1 レジスタのアンダフロー	バッファ・レジスタの内容を TRDCMPB0，TRDCMPA1，TRDCMPB1 レジスタに転送 注
		TRDRDT1 レジスタの RDT ビットを 1 設定した後に TRD1 レジスタのアンダフロー	バッファ・レジスタの内容を TRDADTC0，TRDADTC1 レジスタに転送

備考　i = 0, 1

注　TRDFCR レジスタの CPSS ビットが 1 の場合のみ

図 8－38　インプット・キャプチャ機能のバッファ動作

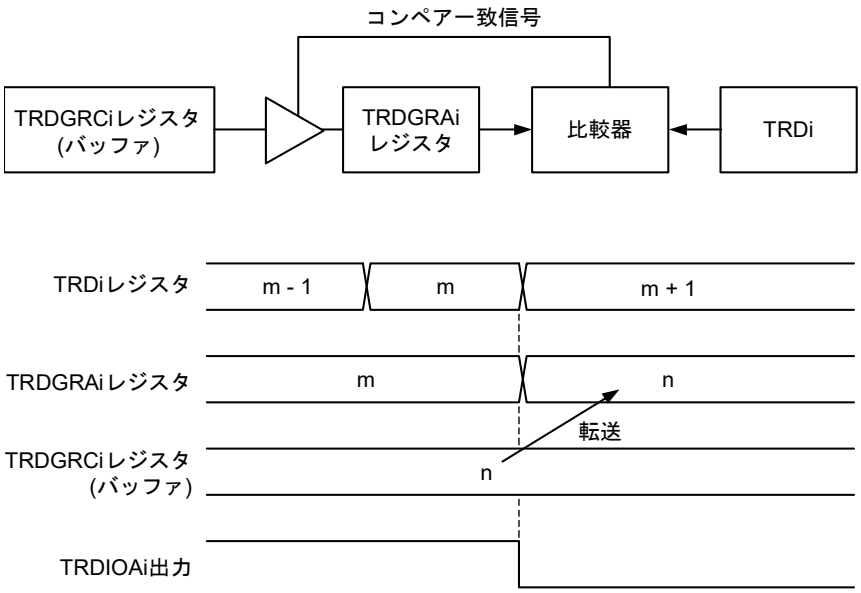


備考　i = 0, 1

上図は次の条件の場合です。

- TRDMR レジスタの TRDBFCi ビットが 1（TRDGRCi レジスタは TRDGRAi レジスタのバッファ・レジスタ）
- TRDIORAi レジスタの IOA2-IOA0 ビットが 100B（立ち上がりエッジでインプット・キャプチャ）

図 8－39　アウトプット・コンペア機能のバッファ動作



備考　i = 0, 1

上図は次の条件の場合です。

- TRDMR レジスタの TRDBFCi ビットが 1（TRDGRCi レジスタは TRDGRAi レジスタのバッファ・レジスタ）
- TRDIORAi レジスタの IOA2-IOA0 ビットが 001B（コンペアー致で L 出力）

タイマモード（インプット・キャプチャ機能，アウトプット・コンペア機能）では次のようにしてください。

TRDGRCi レジスタ（i = 0, 1）を TRDGRAi レジスタのバッファ・レジスタに使用する場合

- TRDIORCi レジスタの IOC3 ビットを 1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。
- TRDIORCi レジスタの IOC2 ビットは，TRDIORAi レジスタの IOA2 ビットと同じ設定にしてください。

TRDGRDi レジスタを TRDGRBi レジスタのバッファ・レジスタに使用する場合

- TRDIORCi レジスタの IOD3 ビットを 1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。
- TRDIORCi レジスタの IOD2 ビットは，TRDIORAi レジスタの IOB2 ビットと同じ設定にしてください。

インプット・キャプチャ機能では，TRDGRCi，TRDGRDi レジスタをバッファ・レジスタに使用している場合も，TRDIOCi 端子，TRDIODi 端子の入力エッジで TRDSRi レジスタの IMFC，IMFD ビットが 1 になります。

アウトプット・コンペア機能，PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モードでは，TRDGRCi，TRDGRDi レジスタをバッファ・レジスタに使用している場合も，TRDi レジスタとのコンペアー致で TRDSRi レジスタの IMFC，IMFD ビットが 1 になります。

拡張 PWM モード，拡張相補 PWM モードは，レジスタの一斉書き換えによるバッファ動作に対応をします。（「8.3.1 (7)　コンペア・レジスタの一斉書き換え」を参照してください。）

(3)　同期動作

TRD0 レジスタと TRD1 レジスタを同期させます。

- 同期プリセット

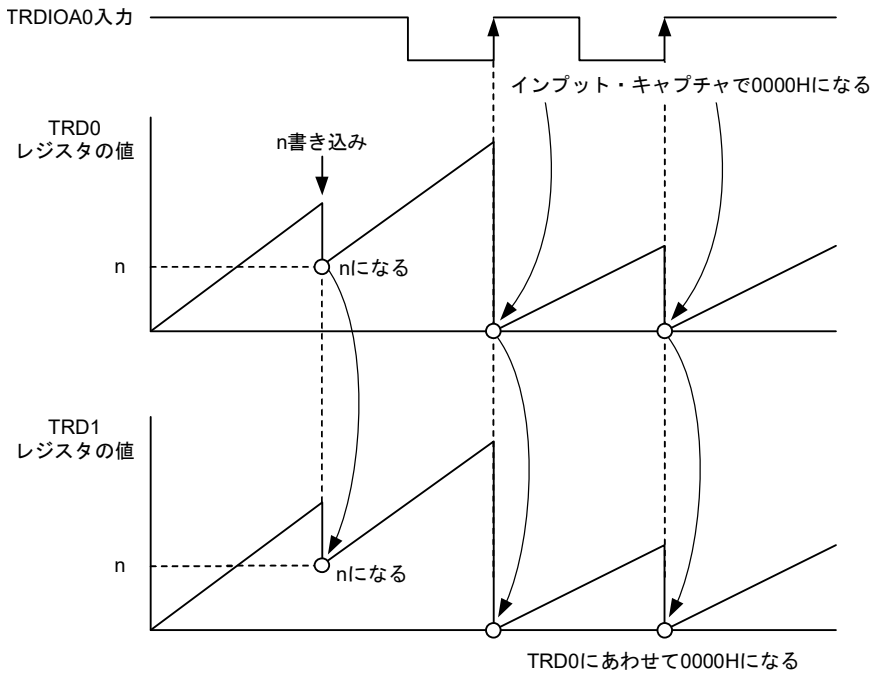
  TRDMR レジスタの TRDSYNC ビットが 1（同期動作）の場合，TRDi レジスタに書き込むと，TRD0 レジスタと TRD1 レジスタの両方に書き込まれます。

- 同期クリア

  TRDSYNC ビットが 1 で，かつ TRDCR0 レジスタの CCLR2-CCLR0 ビットが 011B（同期クリア）の場合，TRD0 レジスタは TRD1 レジスタが 0000H になるとき，同時に 0000H になります。

  同様に，TRDSYNC ビットが 1 で，かつ CCLR2-CCLR0 ビットが 011B（同期クリア）の場合，TRD1 レジスタは TRD0 レジスタが 0000H になるとき，同時に 0000H になります。

図 8－40　同期動作



上図は次の条件の場合です。

- TRDMR レジスタの TRDSYNC ビットが 1（同期動作）
- TRDCR0 レジスタの CCLR2-CCLR0 ビットが 001B（インプット・キャプチャで TRD0 を 0000H にする）
- TRDCR1 レジスタの CCLR2-CCLR0 ビットが 011B（TRD0 に同期して, TRD1 を 0000H にする）
- TRDIORA0 レジスタの IOA2-IOA0 ビットが 100B
- TRDFCR レジスタの CMD1, CMD0 ビットが 00B
- TRDFCR レジスタの PWM3 ビットが 1

（TRDIOA 入力の立ち上がりエッジでインプット・キャプチャ）

(4)　パルス出力強制遮断

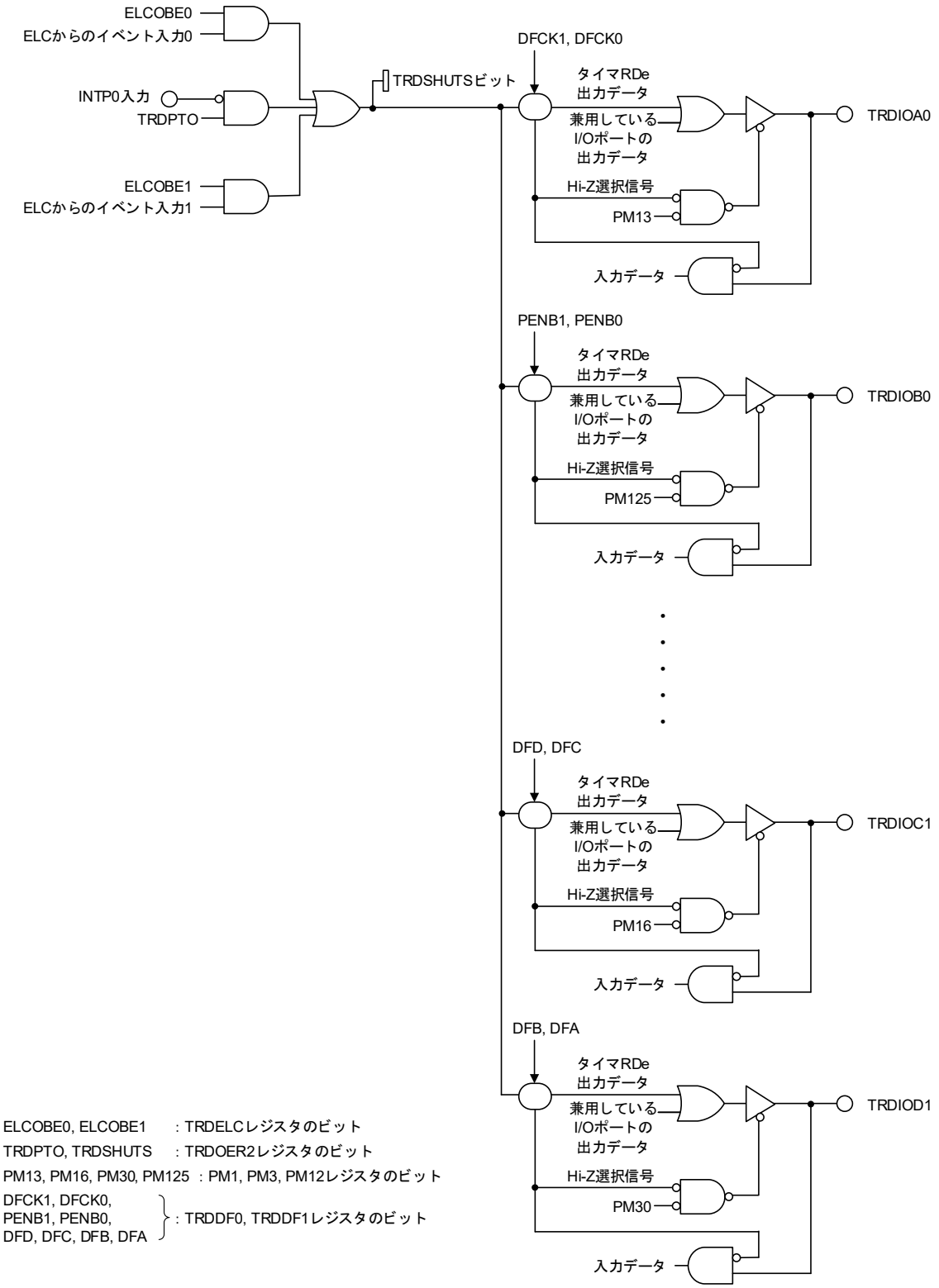
PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モード，拡張 PWM モード，および拡張相補 PWM モードのとき，INTP0 端子の入力によって TRDIOji 出力端子（i = 0, 1，j = A, B, C, D）を強制的に I/O ポートにし，パルス出力を遮断できます。

これらの機能／モードで出力に使用する端子は，TRDOER1 レジスタの該当するビットを 0（タイマ RDe 出力許可）にすると，タイマ RDe の出力端子として機能します。TRDOER2 レジスタの TRDPTO ビットが 1（パルス出力強制遮断信号入力 INTP0 有効）のとき，タイマ RDe の出力ポートとして使用している出力端子は，TRDDF0/TRDDF1 レジスタの DFCK1，DFCK0，PENB1，PENB0，DFD，DFC，DFB，DFA ビットで設定した出力値を出力します。

この機能を使用する場合は，次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態（ハイ・インピーダンス，L 出力，または H 出力）を TRDDFi で設定してください。
- ELC イベント入力によるパルス強制遮断は「8.3.1 (5)　イベント・リンク・コントローラ（ELC）からのイベント入力」を参照してください。
- パルス出力強制遮断時，TRDOER2 レジスタの TRDSHUTS ビットが 1 となります。パルス出力強制遮断を中断させたい場合，カウント停止中（TSTARTi = 0）に TRDSHUTS ビットを 0 に設定してください。
- TRDOER2 レジスタの TRDPTO ビットを 1（パルス出力強制遮断信号入力 INTP0 有効）に設定してください。

図 8－41　パルス出力強制遮断



備考　この図は，PIOR70 ビットと PIOR71 ビットが 0 の場合です。ビット PIOR70 と PIOR71 が 1 の場合，ポート・モード・レジスタ（PMxx）は対応するポートに変わります。

(5) イベント・リンク・コントローラ（ELC）からのイベント入力

ELC からのイベント入力によって，タイマ RDe は 2 つの動作をします。

ELC は RL78/F24 のみ使用できます。

ELC からのイベント入力による，タイマ RDe 強制遮断制御（PWMOPA）については，「8.6　PWM オプション・ユニット A（PWMOPA）」を参照してください。

(a) インプット・キャプチャ動作 D0/D1

ELC からのイベント入力によって，タイマ RDe はインプット・キャプチャ動作 D0/D1 をします。このとき，TRDSRi レジスタの IMFD ビットが 1 になります。この機能を使用する場合，タイマモードのインプット・キャプチャ機能を選択し，TRDELC レジスタの ELCICE0 または ELCICE1 ビットを 1 にしてください。その他のモード（タイマモードのアウトプット・コンペア機能，PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モード，拡張 PWM モード，拡張相補 PWM モード）では無効です。

(b) パルス出力強制遮断動作 注

ELC からのイベント入力によって，パルス出力を強制遮断します。この機能を使用する場合，パルス出力モード（PWM 機能，リセット同期 PWM モード，相補 PWM モード，PWM3 モード，拡張 PWM モード，拡張相補 PWM モード）を選択し，ELCOBE0 または ELCOBE1 ビットを 1 にしてください。タイマモードのインプット・キャプチャ機能では無効です。

注　INTP0 端子の強制遮断は L 入力期間中パルス出力を遮断しますが，ELC イベントによるパルス強制遮断は，ELC からのイベント入力 1 回に対し，1 回パルス出力を遮断します。

設定手順

① ELC のイベント・リンク先をタイマ RDe に設定する。

② TRDELC レジスタの ELCICEi（i = 0,1），ELCOBEi（i = 0,1）ビットを 1 にする。

(6) イベント・リンク・コントローラ（ELC）／DTCへのイベント出力

表 8－17 にタイマ RDe のモードと ELC/DTC へのイベント出力を示します。

ELC は RL78/F24 のみで使用できます。

拡張相補 PWM モードでは ELC および DTC へのイベント出力は行いません。

表 8－17　タイマ RDe のモードと ELC/DTC へのイベント出力

使用モード	出力要因	ELC	DTC
インプット･キャプチャ機能	TRDIORA0レジスタのIOA1，IOA0ビットで設定したTRDIOA0のエッジ検出	○	○
	TRDIORA0レジスタのIOB1，IOB0ビットで設定したTRDIOB0のエッジ検出	○	○
	TRDIORC0レジスタのIOC1，IOC0ビットで設定したTRDIOC0のエッジ検出	－	○
	TRDIORC0レジスタのIOD1，IOD0ビットで設定したTRDIOD0のエッジ検出	－	○
	TRDIORA1レジスタのIOA1，IOA0ビットで設定したTRDIOA1のエッジ検出	○	○
	TRDIORA1レジスタのIOB1，IOB0ビットで設定したTRDIOB1のエッジ検出	○	○
	TRDIORC1レジスタのIOC1，IOC0ビットで設定したTRDIOC1のエッジ検出	－	○
	TRDIORC1レジスタのIOD1，IOD0ビットで設定したTRDIOD1のエッジ検出	－	○
アウトプット･コンペア機能， PWM機能， リセット同期PWMモード， 相補PWMモード， PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDGRB0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDGRC0レジスタのコンペア一致	－	○
	TRD0レジスタとTRDGRD0レジスタのコンペア一致	－	○
	TRD1レジスタとTRDGRA1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDGRB1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDGRC1レジスタのコンペア一致	－	○
	TRD1レジスタとTRDGRD1レジスタのコンペア一致	－	○
拡張PWMモード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDGRB0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDCMPB0レジスタのコンペア一致	－	○
	TRD1レジスタとTRDGRA1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDGRB1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDCMPB1レジスタのコンペア一致	－	○
相補PWMモード	TRD1レジスタのアンダフロー	○	－

(7) コンペア・レジスタの一斉書き換え

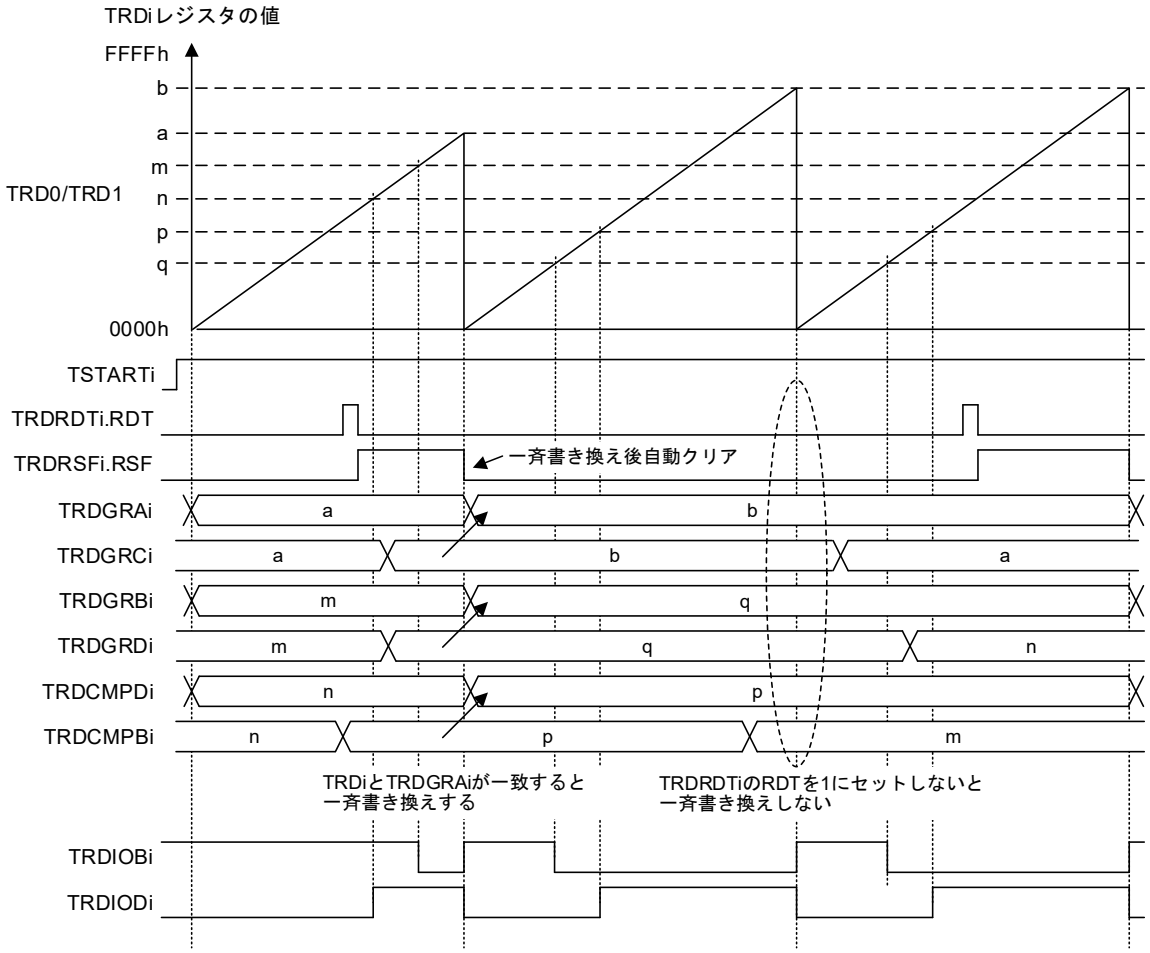
バッファ・レジスタからジェネラル・レジスタ（コンペア・レジスタ）への一斉書き換えを行います。拡張相補 PWM モードでは TRD1 レジスタのアンダフローしたとき（もしくは，TRD1 レジスタがアンダフローする短絡防止時間分前のタイミングで），コンペア・レジスタの一斉書き換えをします。拡張 PWM モードでは TRDi レジスタと TRDGRAi レジスタが一致したときにコンペア・レジスタの一斉書き換えをします。

バッファ・レジスタを変更する場合，TRDRSFi レジスタ（i= 0, 1）の RSF ビットが 0 であることを確認してから変更してください。バッファ・レジスタを設定した後，最後に TRDRDTi レジスタの RDT ビットを 1 に設定します。TRDRDTi レジスタの RDT ビットを 1 に設定することにより，TRDRSFi レジスタの RSF ビットが 1 になります。

TRDRSFi レジスタの RSF ビットが 1 のときに一斉書き換えが要求された場合，次の周期でバッファ・レジスタの値がコンペア・レジスタに転送されます。RSF ビットが 0 のときに一斉書き換えが要求された場合，バッファ・レジスタの値は転送されません。

拡張相補 PWM モードでタイマ動作開始時は，RSF ビットの状態に関係なく，バッファ・レジスタからコンペア・レジスタに転送されます。

図 8－42　拡張 PWM モードにおける一斉書き換え機能

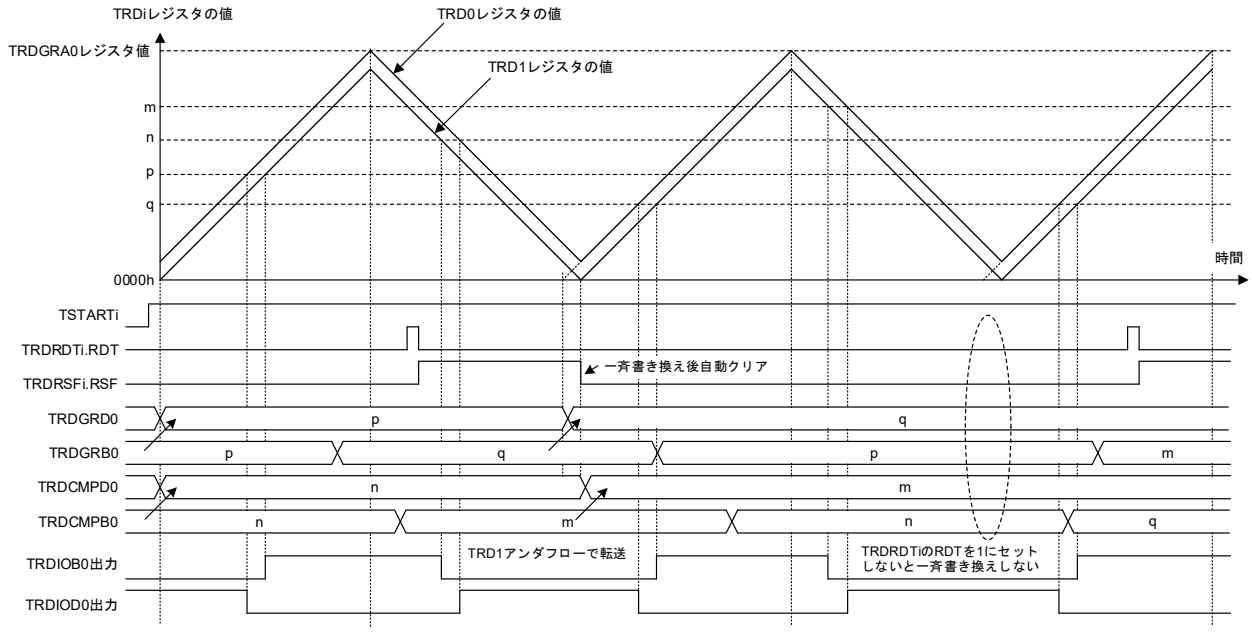


備考　i = 0, 1

TRDIOBi ― 初期レベル：H，アクティブ・レベル：L

TRDIODi ― 初期レベル：L，アクティブ・レベル：H

図 8－43　拡張相補 PWM モードにおける一斉書き換え機能



備考　i = 0, 1

上図は次の条件の場合です。

- TRDFCR.CPSS = 1

一斉書き換え機能の対象となるレジスタはモードによって異なります。表 8－18 に，一斉書き換え機能の対象レジスタを示します。

表 8－18　モード別の一斉書き換え対象レジスタ

動作モード	一斉書き換えの対象レジスタ	
	TRDRDT0.RDT = 1	TRDRDT1.RDT = 1
拡張 PWM モード	TRDGRA0 TRDGRB0 TRDCMPB0	TRDGRA1 TRDGRB1 TRDCMPB1
拡張相補 PWM モード	－	TRDGRB0 TRDCMPB0 TRDGRA1 TRDCMPA1 TRDGRB1 TRDCMPB1 TRDADTC0 TRDADTC1

レジスター一斉書き換え機能によるコンペア・レジスタの書き換えは，以下の手順で行ってください。

① TRDRSFi レジスタ（i = 0, 1）の RSF ビットが 0 であることを確認します。

② バッファ・レジスタに一括で書き換えるための値を設定します。

③ TRDRDTi レジスタの RDT ビットに 1 を書き込みます。

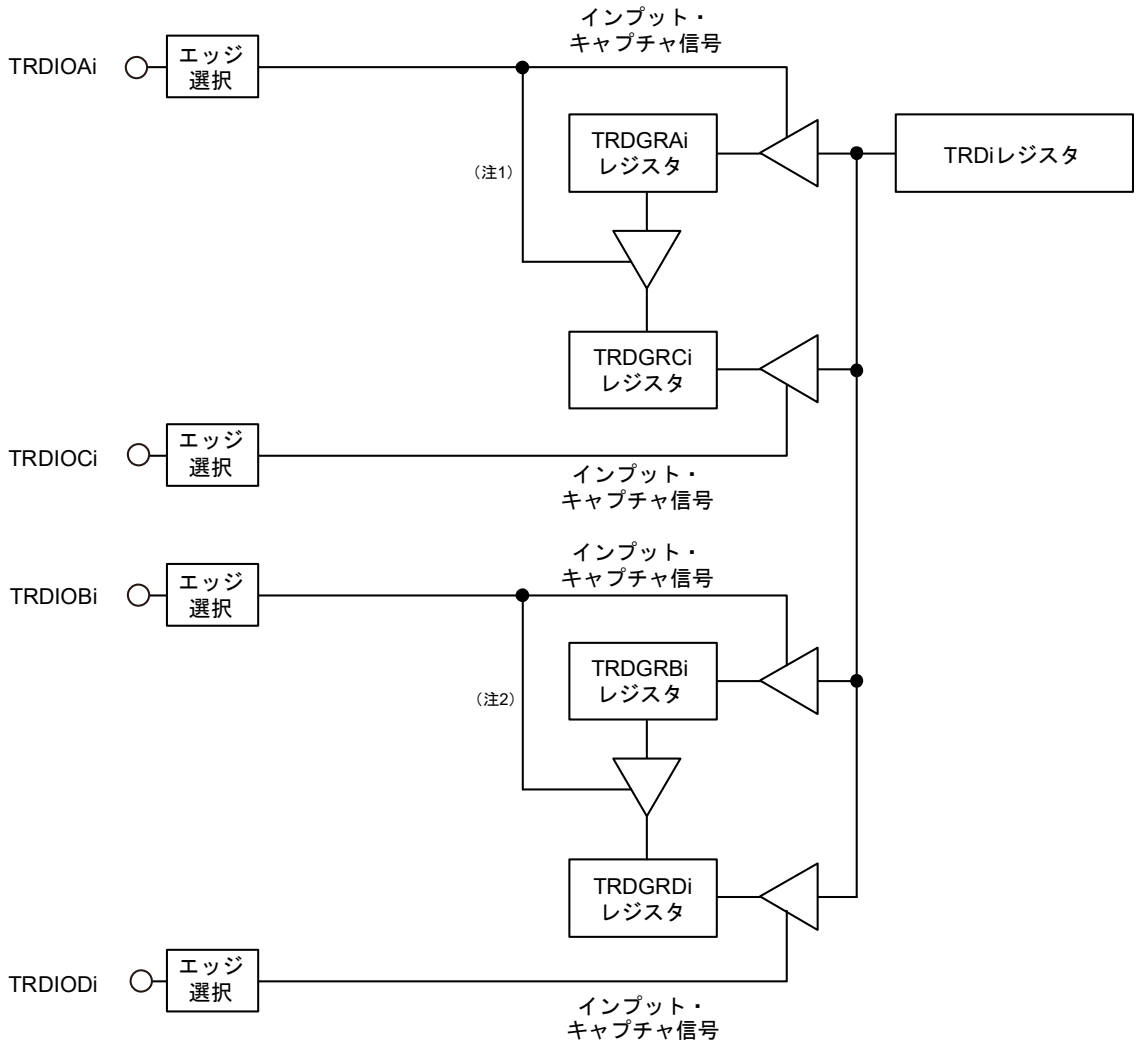
④ RSF ビットが 1 にセットされ，一斉書き換えが完了すると，RSF ビットは自動的に 0 にクリアされます。

8.3.2　インプット・キャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIOji 端子（i = 0, 1，j = A, B, C, D）の外部信号をトリガにして TRDi レジスタ（カウンタ）の内容を TRDGRji レジスタに転送します（インプット・キャプチャ）。TRDIOji 端子と TRDGRji レジスタの組み合わせで機能しますので，端子 1 本ごとにインプット・キャプチャ機能にするか，他のモード，機能にするかを選択できます。

図 8－44 にインプット・キャプチャ機能のブロック図を，表 8－19 にインプット・キャプチャ機能の仕様を，図 8－45 にインプット・キャプチャ機能の動作例を示します。

図 8－44　インプット・キャプチャ機能のブロック図



注 1. TRDMR レジスタの TRDBFCi ビットが 1（TRDGRCi レジスタは TRDGRAi レジスタのバッファ・レジスタ）のとき。

2. TRDMR レジスタの TRDBFDi ビットが 1（TRDGRDi レジスタは TRDGRBi レジスタのバッファ・レジスタ）のとき。

表 8－19　インプット・キャプチャ機能の仕様

項目	仕様
カウント・ソース 注	f_{CLK}，f_{PLL}，f_{IH}，f_{SUB}，f_{IL} TRDCLK0 端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップ・カウント
カウント周期	TRDCRi レジスタの CCLR2-CCLR0 ビットが 000B（フリー・ランニング動作）の場合 1/fk × 65536　　fk：カウント・ソースの周波数
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの 1（カウント開始）書き込み
カウント停止条件	TRDSTR レジスタの CSELi ビットが 1 に設定されているとき，TSTARTi ビットへの 0（カウント停止）書き込み
割り込み要求発生タイミング	• インプット・キャプチャ（TRDIOji 入力の有効エッジ） • TRDi レジスタのオーバフロー
TRDIOA0 端子機能	I/O ポート，インプット・キャプチャ入力，または TRDCLK0（外部クロック）入力
TRDIOB0，TRDIOC0，TRDIOD0，TRDIOA1-TRDIOD1 端子機能	I/O ポートまたはインプット・キャプチャ入力（1 端子ごとに選択）
INTP0 端子機能	使用しない（ポートまたは INTP0 割り込み入力）
タイマの読み出し	TRDi レジスタを読むと，カウント値が読める
タイマの書き込み	• TRDMR レジスタの TRDSYNC ビットが 0（タイマ RD0 とタイマ RD1 は独立動作）の場合，TRDi レジスタに書き込める • TRDMR レジスタの TRDSYNC ビットが 1（タイマ RD0 とタイマ RD1 が同期動作）の場合，TRDi レジスタに書き込むと，TRD0 レジスタと TRD1 レジスタの両方に書き込まれる
選択機能	• インプット・キャプチャ入力端子選択 TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子のいずれか 1 本または複数本 • インプット・キャプチャ入力の有効エッジ選択立ち上がりエッジ，立ち下がりエッジ，または立ち上がりエッジと立ち下がりエッジの両方 • オーバフローまたはインプット・キャプチャ時に TRDi レジスタを 0000H に設定するタイミング • バッファ動作（「8.3.1 (2)　バッファ動作」を参照） • 同期動作（「8.3.1 (3)　同期動作」を参照） • デジタル・フィルタ（TRDIOji 入力をサンプリングし，3 回一致したらレベルが確定したとみなす） • イベント・リンク・コントローラ（ELC）からのイベント入力によるインプット・キャプチャ動作

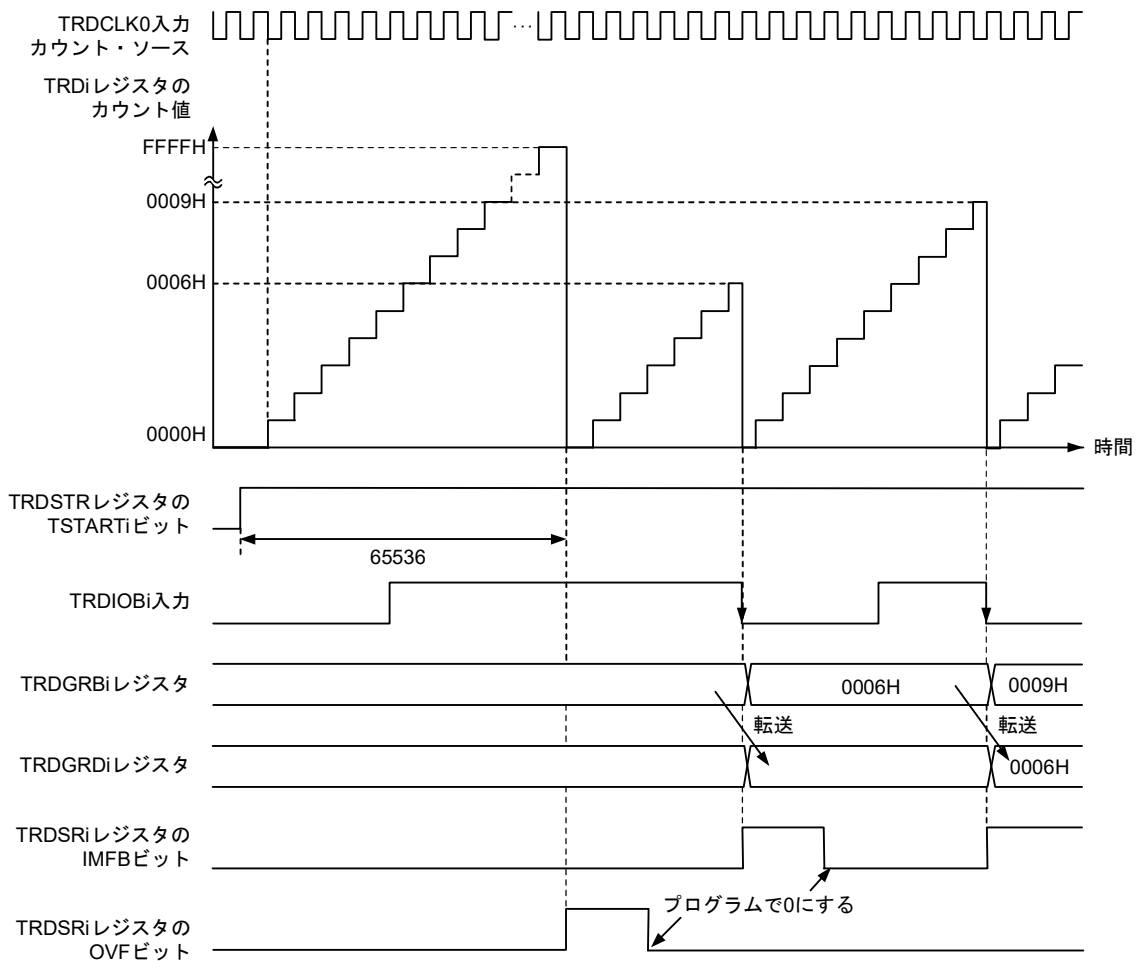
注　タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

備考　i = 0, 1，j = A, B, C, D

(1)　動作例

TRDCRi レジスタ（i = 0, 1）の CCLR0-CCLR2 ビットの設定で，インプット・キャプチャ／コンペアー致により，タイマ RDi のカウンタ値はリセットされます。図 8－45 は，CCLR2-CCLR0 ビットを 001B と設定した場合の動作例です。動作中のインプット・キャプチャ動作によってカウントをクリアする設定をしていて，タイマ・カウント値が FFFFH においてインプット・キャプチャ動作をした場合，カウント・ソースとインプット・キャプチャ動作のタイミングによって割り込みフラグである TRDSRi レジスタの IMFA-IMFD ビットと OVF ビットが同時に 1 となる場合があります。

図 8－45　インプット・キャプチャ機能の動作例



備考　i = 0, 1

上図は次の条件の場合です。

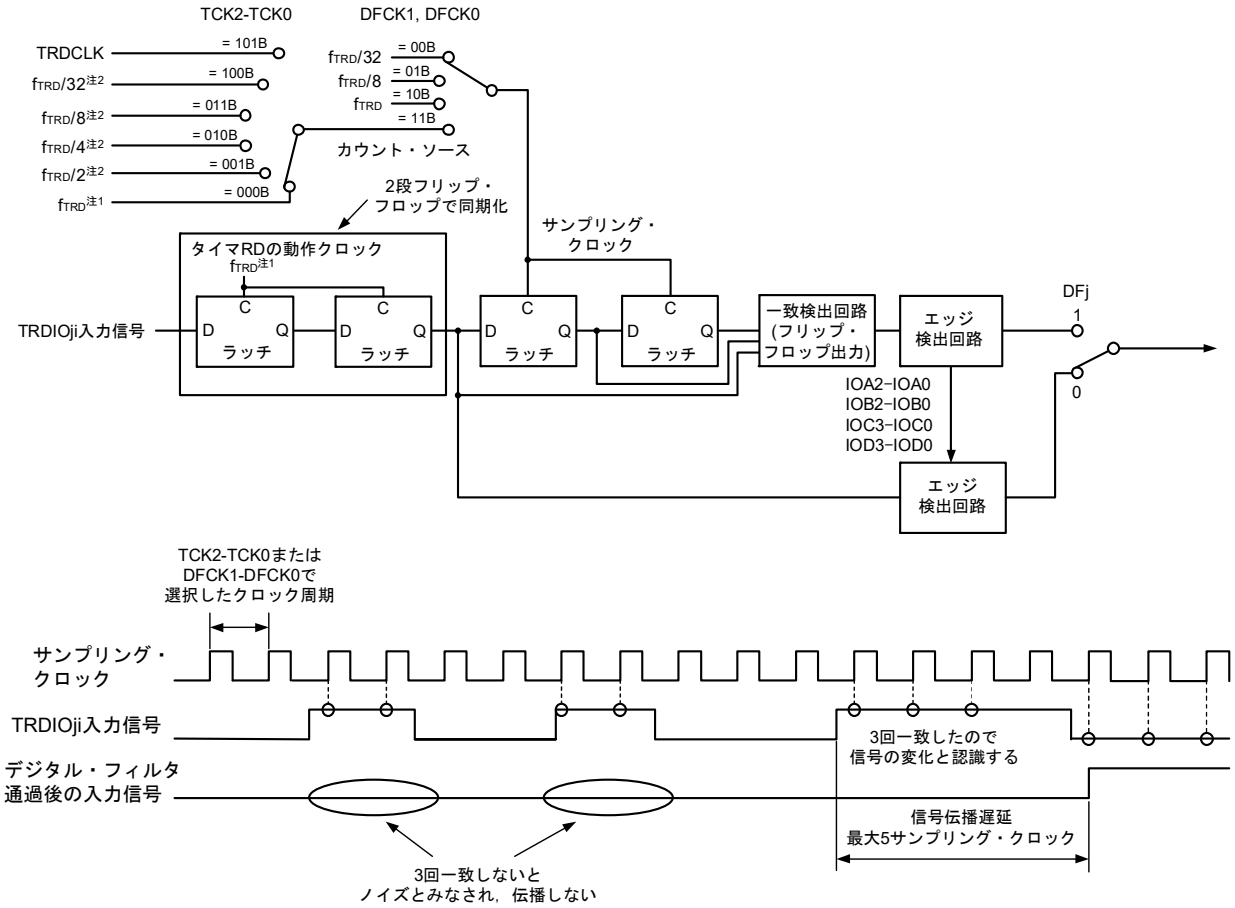
- TRDCRi レジスタの CCLR2-CCLR0 ビットが 010B（TRDGRBi のインプット・キャプチャで TRDi を 0000H にする）
- TRDCRi レジスタの TCK2-TCK0 ビットが 101B（カウント・ソースは TRDCLK0 入力）
- TRDCRi レジスタの CKEG1, CKEG0 ビットが 01B（カウント・ソースは立ち下がりでカウント）
- TRDIORAi レジスタの IOB2-IOB0 ビットが 101B（TRDIOBi 入力の立ち下がりエッジでインプット・キャプチャ）
- TRDMR レジスタの TRDBFDi ビットが 1（TRDGRDi レジスタは TRDGRBi レジスタのバッファ・レジスタ）

(2) デジタル・フィルタ

TRDIOji 入力（i = 0, 1，j = A, B, C, D）をサンプリングし，3 回一致したらレベルが確定したとみなします。デジタル・フィルタ機能，サンプリング・クロックは TRDDFi レジスタで選択してください。

図 8－46 にデジタル・フィルタのブロック図を示します。

図 8－46　デジタル・フィルタのブロック図



注 1. タイマ RDe の動作クロック（f_{TRD}）は，ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 0 かつ（PLLDIV1 = 0 または SELPLLS = 0）かつ TRD_CKSEL = 0 のとき f_{CLK}，FRQSEL4 = 1 かつ TRD_CKSEL = 0 のとき f_{IH}，（PLLDIV1 = 1 かつ SELPLLS = 1）かつ TRD_CKSEL = 0 のとき f_{PLL}，SELLOSC = 0 かつ TRD_CKSEL = 1 のとき f_{SUB}，SELLOSC = 1 かつ TRD_CKSEL = 1 のとき f_{IL} が選択されます。詳細は図 8－37 を参照してください。
タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

2. タイマ RDe の動作クロック（f_{TRD}）を f_{CLK} に設定してください。

備考　i = 0, 1，j =A, B, C, D

TCK0-TCK2	: TRDCRi レジスタのビット
DFCK0, DFCK1, DFj	: TRDDF レジスタのビット
IOA0-IOA2, IOB0-IOB2	: TRDIORAi のレジスタのビット
IOC0-IOC3, IOD0-IOD3	: TRDIORCi のレジスタのビット

8.3.3　アウトプット・コンペア機能

TRDi レジスタ（カウンタ）（i = 0, 1）の内容と，TRDGRji レジスタ（j = A, B, C, D）の内容の一致（コンペアー致）を検出するモードです。一致したとき TRDIOji 端子から任意のレベルを出力します。TRDIOji 端子と TRDGRji レジスタの組み合わせで機能しますので，端子 1 本ごとにアウトプット・コンペア機能にするか，他のモード，機能にするかを選択できます。

図 8－47 にアウトプット・コンペア機能のブロック図を，表 8－20 にアウトプット・コンペア機能の仕様を，図 8－48 にアウトプット・コンペア機能の動作例を示します。

図 8－47　アウトプット・コンペア機能のブロック図

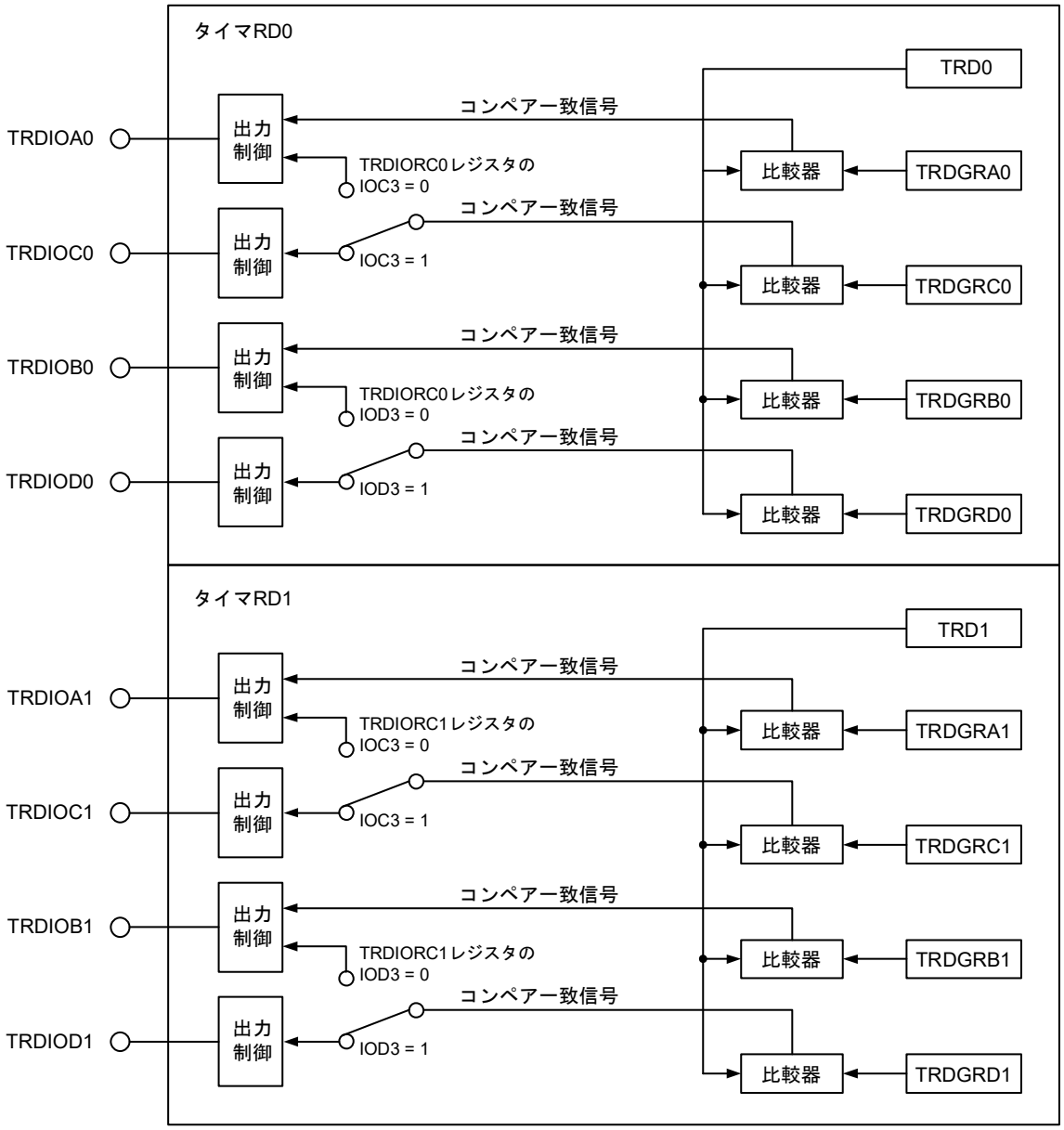


表 8－20　アウトプット・コンペア機能の仕様

項目	仕様
カウント・ソース 注	f_{CLK}，f_{PLL}，f_{IH}，f_{SUB}，f_{IL} TRDCLK0 端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップ・カウント
カウント周期	• TRDCRi レジスタの CCLR2-CCLR0 ビットが 000B（フリー・ランニング動作）の場合 1/fk × 65536　　fk：カウント・ソースの周波数 • TRDCRi レジスタの CCLR1-CCLR0 ビットが 01B，10B（TRDGRji とのコンペアー致で TRDi レジスタを 0000H にする）の場合 1/fk ×（n+1）　　n：TRDGRji レジスタ設定値
波形出力タイミング	コンペアー致（TRDi レジスタと TRDGRji レジスタの内容が一致）
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの 1（カウント開始）書き込み
カウント停止条件	• TRDSTR レジスタの CSELi ビットが 1 に設定されているとき，TSTARTi ビットへの 0（カウント停止）書き込み アウトプット・コンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタの CSELi ビットが 0 の場合，TRDGRAi コンペアー致でカウント停止 アウトプット・コンペア出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペアー致（TRDi レジスタと TRDGRji レジスタの内容が一致） • TRDi レジスタのオーバフロー
TRDIOA0 端子機能	I/O ポート，アウトプット・コンペア出力，または TRDCLK0（外部クロック）入力
TRDIOB0，TRDIOC0，TRDIOD0，TRDIOA1-TRDIOD1 端子機能	I/O ポート，またはアウトプット・コンペア出力（1 端子ごとに選択可能）
INTP0 端子機能	ポートまたは INTP0 割り込み入力
タイマの読み出し	TRDi レジスタを読むと，カウント値が読める
タイマの書き込み	• TRDMR レジスタの TRDSYNC ビットが 0（タイマ RD0 とタイマ RD1 は独立動作）の場合，TRDi レジスタに書き込める • TRDMR レジスタの TRDSYNC ビットが 1（タイマ RD0 とタイマ RD1 が同期動作）の場合，TRDi レジスタに書き込むと TRD0 レジスタと TRD1 レジスタの両方に書き込まれる
選択機能	• アウトプット・コンペア出力端子選択 TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子のいずれか 1 本または複数本 • コンペアー致時の出力レベル選択 L 出力，H 出力，または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペアー致までの期間のレベルを設定 • TRDi レジスタを 0000H にするタイミング オーバフローまたは TRDGRAi レジスタのコンペアー致 • バッファ動作（「8.3.1 (2)　バッファ動作」を参照） • 同期動作（「8.3.1 (3)　同期動作」を参照） • TRDGRCi，TRDGRDi の出力端子変更 TRDGRCi を TRDIOAi 端子の，TRDGRDi を TRDIOBi 端子の出力制御に使用できる • パルス出力強制遮断信号入力（「8.3.1 (4)　パルス出力強制遮断」を参照） • タイマ RDe は端子出力しないことで内部タイマとして使用できる

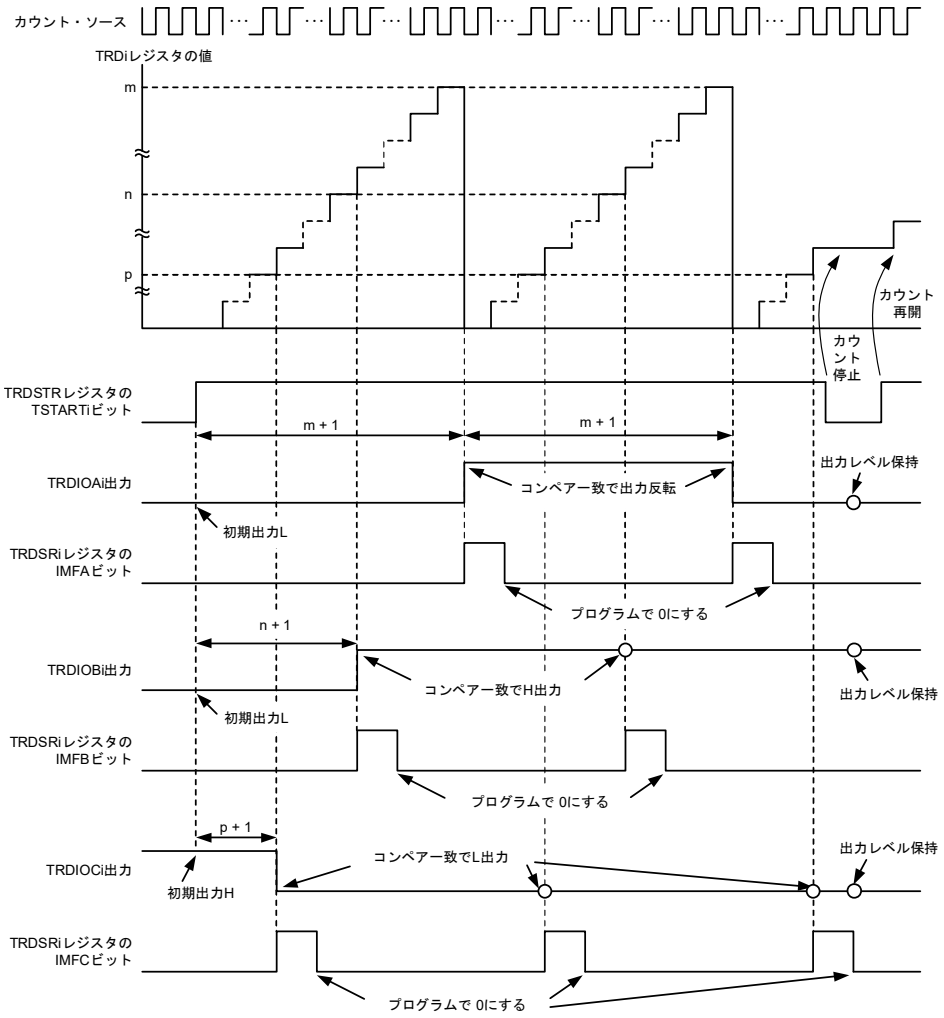
注　タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

備考　i = 0, 1，j = A, B, C, D

(1)　動作例

TRDCRi レジスタ（i = 0, 1）の CCLR0-CCLR2 ビットの設定によって，インプット・キャプチャ／コンペア一致により，タイマ RDi のカウンタ値はリセットされます。このとき，コンペア期待値が FFFFH の場合，オーバフロー動作と同様に FFFFH から 0000H となり，オーバフロー・フラグは 1 となります。

図 8－48　アウトプット・コンペア機能の動作例



備考　i = 0, 1
m：TRDGRAi レジスタ設定値，　n：TRDGRBi レジスタ設定値
p：TRDGRCi レジスタ設定値

上図は次の条件の場合です。

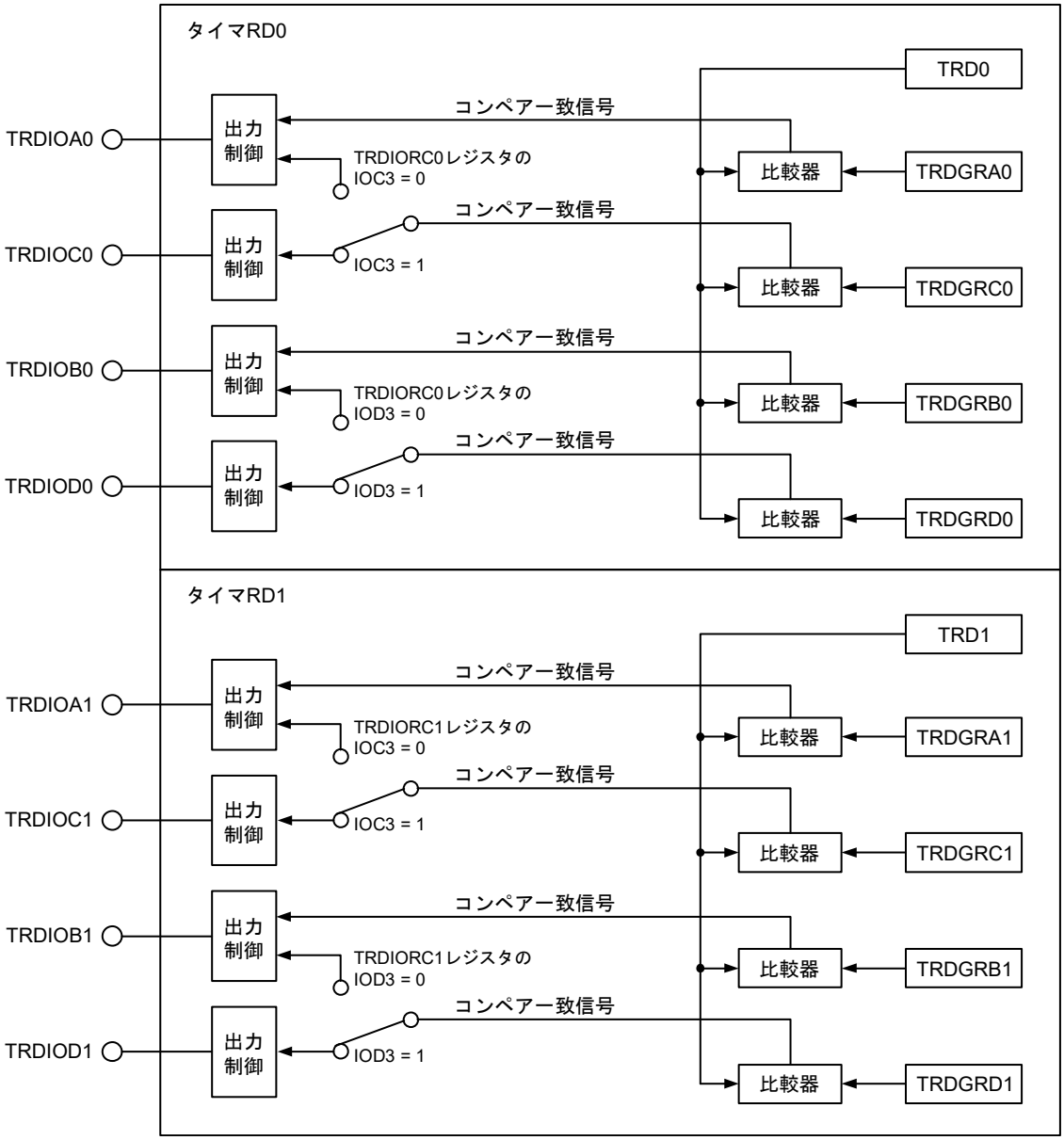
- TRDSTR レジスタの CSELi ビットが 1（TRDi はコンペア一致で停止しない）
- TRDMR レジスタの TRDBFCi, TRDBFDi ビットが 0（TRDGRCi, TRDGRDi バッファ動作しない）
- TRDOER1 レジスタの EAi, EBi, ECi ビットが 0（TRDIOAi, TRDIOBi, TRDIOCi 出力許可）
- TRDCRi レジスタの CCLR2-CCLR0 ビットが 001B（TRDGRAi のコンペア一致で TRDi を 0000H にする）
- TRDOCR レジスタの TOAi, TOBi ビットが 0（コンペア一致までの初期出力 L），TOCi ビットが 1（コンペア一致までの初期出力 H）
- TRDIORAi レジスタの IOA2-IOA0 ビットが 011B（TRDGRAi コンペア一致時，TRDIOAi 出力反転）
- TRDIORAi レジスタの IOB2-IOB0 ビットが 010B（TRDGRBi コンペア一致時，TRDIOBiH 出力）
- TRDIORCi レジスタの IOC3-IOC0 ビットが 1001B（TRDGRCi コンペア一致時，TRDIOCiL 出力）
- TRDIORCi レジスタの IOD3-IOD0 ビットを 1000B（TRDGRDi レジスタは TRDIOBi 端子出力制御しない。コンペア一致による端子出力禁止）

(2) TRDGRCi，TRDGRDiレジスタ（i = 0, 1）の出力端子変更

TRDGRCi レジスタを TRDIOAi 端子の，TRDGRDi レジスタを TRDIOBi 端子の出力制御に使用できます。したがって，各端子の出力は次のように制御できます。

- TRDIOAi 出力は，TRDGRAi レジスタの値と TRDGRCi レジスタの値の 2 点で制御
- TRDIOBi 出力は，TRDGRBi レジスタの値と TRDGRDi レジスタの値の 2 点で制御

図 8－49　TRDGRCi，TRDGRDi の出力端子変更

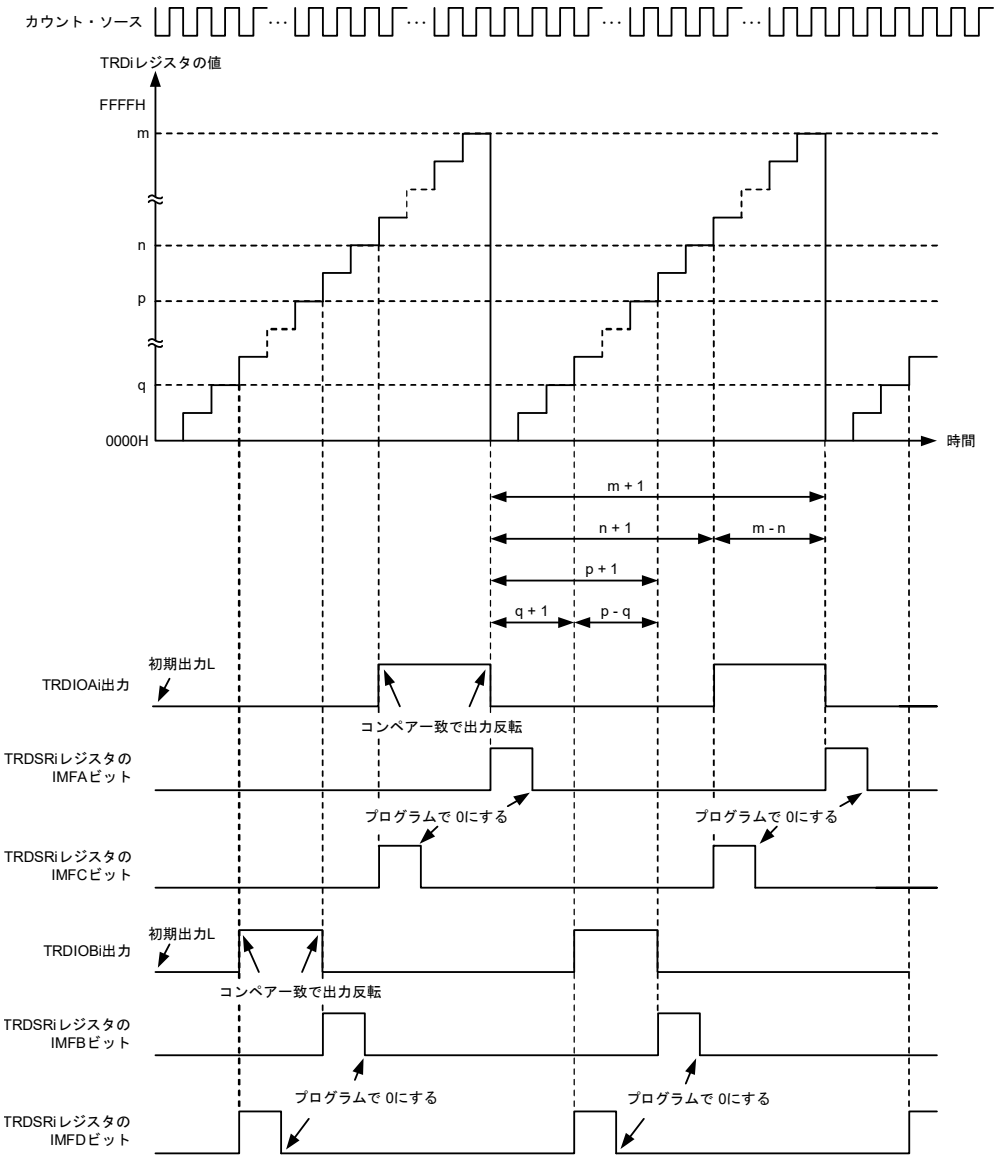


TRDGRCi，TRDGRDi レジスタの出力端子を変更する場合は，次のようにしてください。

- TRDIORCi レジスタの IOj3 ビット（j = C, D）で 0（TRDGRji レジスタ出力端子変更）を選択する。
- TRDMR レジスタの TRDBFji ビットを 0（ジェネラル・レジスタ）にする。
- TRDGRAi レジスタと TRDGRCi レジスタは異なる値を設定。また，TRDGRBi レジスタと TRDGRDi レジスタは異なる値を設定する。

TRDIOAi 端子の出力制御に TRDGRCi レジスタを使用し，TRDIOBi 端子の出力制御に TRDGRDi レジスタを使用した場合の動作例を図 8－50 に示します。

図 8－50　TRDGRCi を TRDIOAi 端子の，TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例



備考　i = 0, 1

m：TRDGRAi レジスタの設定値，　n：TRDGRCi レジスタの設定値

p：TRDGRBi レジスタの設定値，　q：TRDGRDi レジスタの設定値

上図は次の条件の場合です。

- TRDSTR レジスタの CSELi ビットが 1（TRDi はコンペアー致で停止しない）
- TRDMR レジスタの TRDBFCi, TRDBFDi ビットが 0（TRDGRCi, TRDGRDi バッファ動作しない）
- TRDOER1 レジスタの EAi, EBi ビットが 0（TRDIOAi, TRDIOBi 出力許可）
- TRDCRi レジスタの CCLR2-CCLR0 ビットが 001B（TRDGRAi のコンペアー致で TRDi を 0000H にする）
- TRDOCR レジスタの TOAi, TOBi ビットが 0（コンペアー致までの初期出力 L）
- TRDIORAi レジスタの IOA2-IOA0 ビットが 011B（TRDGRAi コンペアー致時，TRDIOAi 出力反転）
- TRDIORAi レジスタの IOB2-IOB0 ビットが 011B（TRDGRBi コンペアー致時，TRDIOBi 出力反転）
- TRDIORCi レジスタの IOC3-IOC0 ビットが 0011B（TRDGRCi コンペアー致時，TRDIOAi 出力反転）
- TRDIORCi レジスタの IOD3-IOD0 ビットが 0011B（TRDGRDi コンペアー致時，TRDIOBi 出力反転）

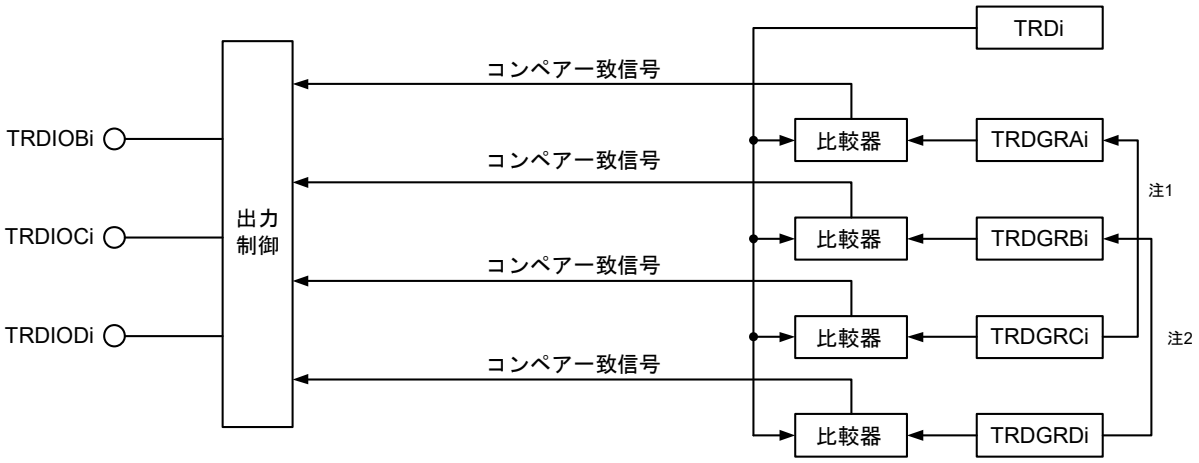
8.3.4　PWM 機能

PWM 波形を出力する機能です。タイマ RDi（i = 0, 1）で同周期の PWM 波形を最大 3 本出力できます。また，タイマ RD0 とタイマ RD1 を同期させることによって同周期の PWM 波形を最大 6 本出力できます。

TRDIOji 端子（i = 0, 1，j = B, C, D）と TRDGRji レジスタの組み合わせで機能しますので，端子 1 本ごとに PWM 機能にするか，他のモード，機能にするかを選択できます（ただし，いずれの端子を PWM 機能に使用する場合も TRDGRAi レジスタを使用しますので，TRDGRAi レジスタは他のモードに使用できません）。

図 8－51 に PWM 機能のブロック図を，表 8－21 に PWM 機能の仕様を，図 8－52，図 8－53 に PWM 機能の動作例を示します。

図 8－51　PWM 機能のブロック図

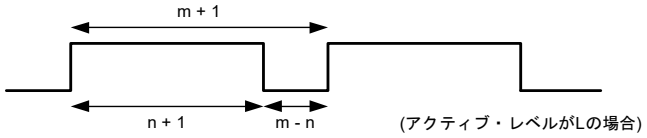


注 1. TRDMR レジスタの TRDBFCi ビットが 1（TRDGRCi レジスタは TRDGRAi レジスタのバッファ・レジスタ）のとき。

2. TRDMR レジスタの TRDBFDi ビットが 1（TRDGRDi レジスタは TRDGRBi レジスタのバッファ・レジスタ）のとき。

備考　i = 0, 1

表 8－21　PWM 機能の仕様

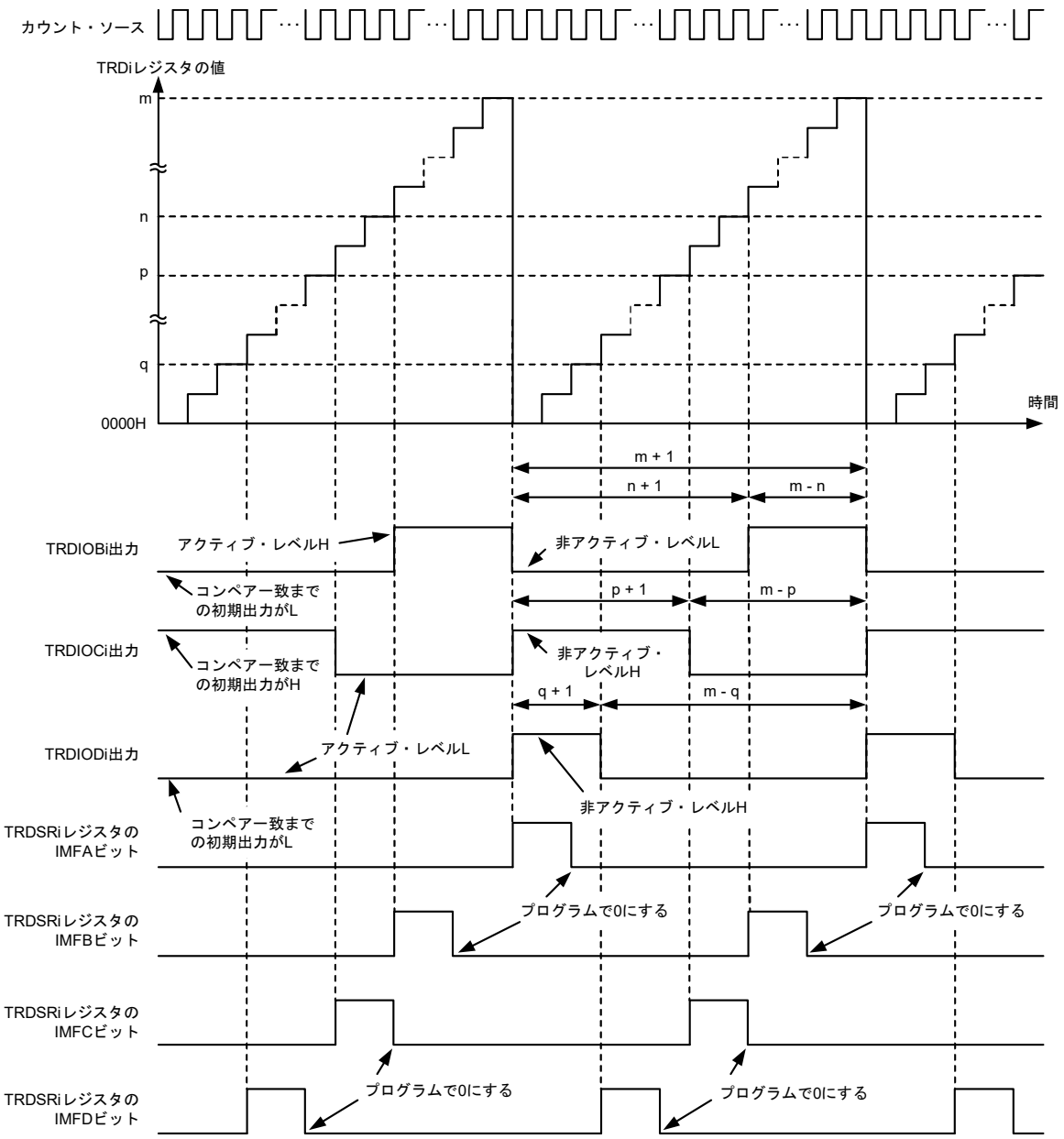
項目	仕様
カウント・ソース 注	f_{CLK}，f_{PLL}，f_{IH}，f_{SUB}，f_{IL} TRDCLK0 端子に入力された外部信号（プログラムで有効エッジを選択可能）
カウント動作	アップ・カウント
PWM 波形	PWM 周期　：1/fk ×（m + 1） アクティブ・レベル幅　：1/fk ×（m − n） アクティブでないレベルの幅　：1/fk ×（n + 1） fk：カウント・ソースの周波数 m：TRDGRAi レジスタ設定値 n：TRDGRji レジスタ設定値
	
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの 1（カウント開始）書き込み
カウント停止条件	• TRDSTR レジスタの CSELi ビットが 1 に設定されているとき，TSTARTi ビットへの 0（カウント停止）書き込み PWM 出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタの CSELi ビットが 0 の場合，TRDGRAi コンペアー致でカウント停止 PWM 出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペアー致（TRDi レジスタと TRDGRhi レジスタの内容が一致） • TRDi レジスタのオーバフロー
TRDIOA0 端子機能	I/O ポートまたは TRDCLK0（外部クロック）入力
TRDIOA1 端子機能	I/O ポート
TRDIOB0，TRDIOC0，TRDIOD0，TRDIOB1，TRDIOC1，TRDIOD1 端子機能	I/O ポートまたは PWM 出力（1 端子ごとに選択）
INTP0 端子機能	パルス出力強制遮断信号入力（ポートまたは INTP0 割り込み入力）
タイマの読み出し	TRDi レジスタを読むと，カウント値が読める
タイマの書き込み	TRDi レジスタに書き込める
選択機能	• PWM 出力端子をタイマ RDi で 1～3 本選択 TRDIOBi，TRDIOCi，TRDIODi 端子のいずれか 1 本または複数本 • アクティブ・レベルを 1 端子ごとに選択 • 初期出力レベルを 1 端子ごとに選択 • 同期動作（「8.3.1 (3)　同期動作」を参照） • バッファ動作（「8.3.1 (2)　バッファ動作」を参照） • パルス出力強制遮断信号入力（「8.3.1 (4)　パルス出力強制遮断」を参照）

注　タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

備考　i = 0, 1，j = B, C, D，h = A, B, C, D

(1) 動作例

図 8－52 PWM 機能の動作例



備考 i = 0, 1

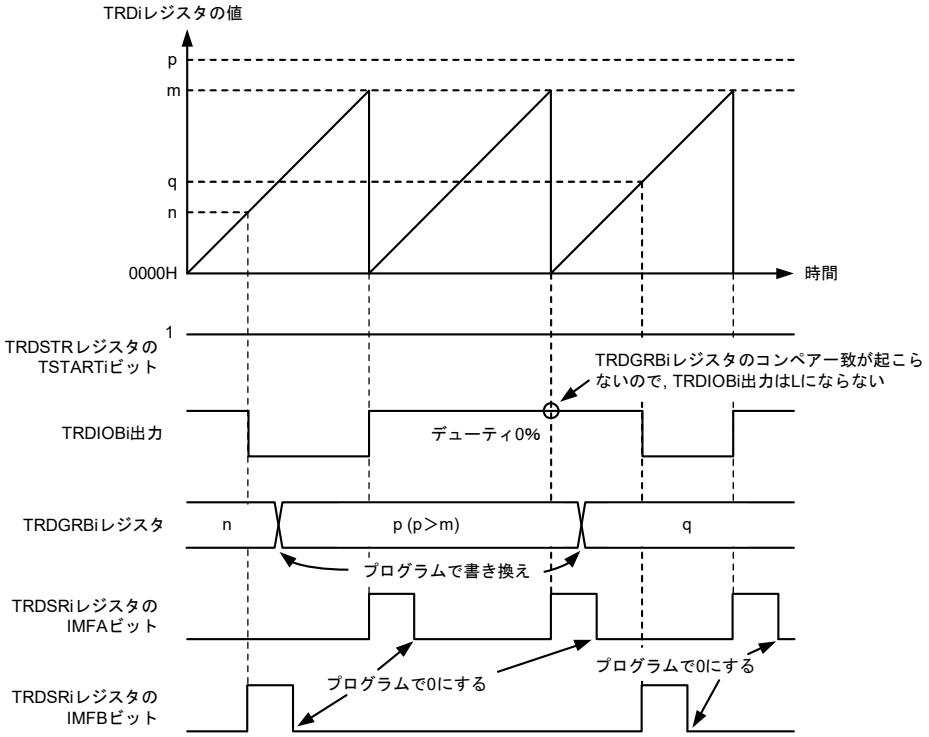
m：TRDGRAi レジスタの設定値， n：TRDGRBi レジスタの設定値

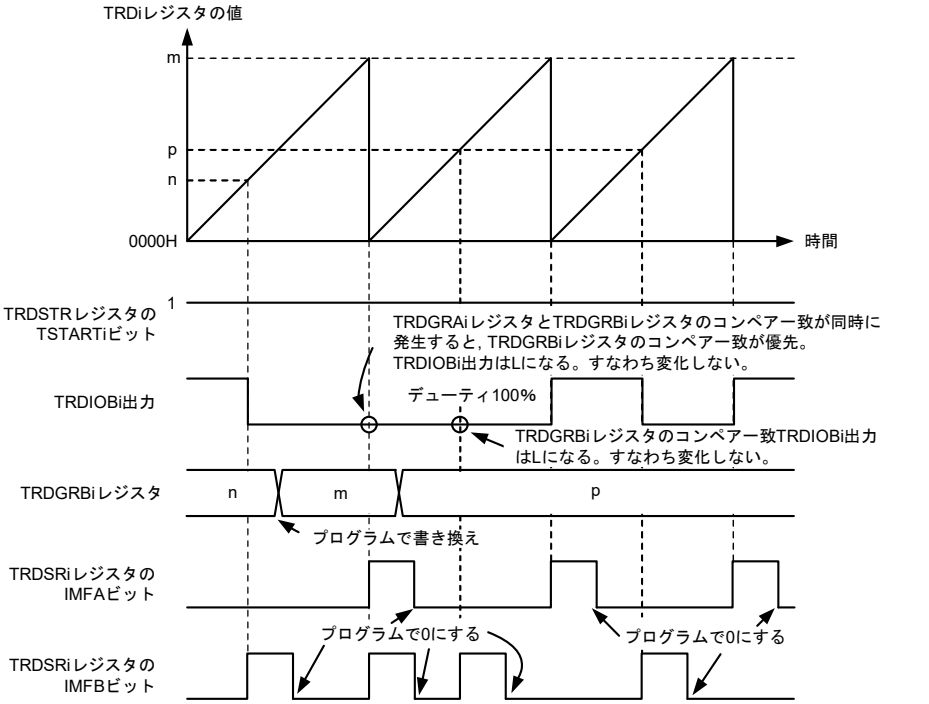
p：TRDGRCi レジスタの設定値， q：TRDGRDi レジスタの設定値

上図は次の条件の場合です。

- TRDMR レジスタの TRDBFCi, TRDBFDi ビットが 0（TRDGRCi, TRDGRDi レジスタはバッファ動作しない）
- TRDOER1 レジスタの EBi, ECi, EDi ビットが 0（TRDIOBi, TRDIOCi, TRDIODi 出力許可）
- TRDOCR レジスタの TOBi, TOCi ビットが 0（非アクティブ・レベル），TODi ビットが 1（アクティブ・レベル）
- TRDPOCRiレジスタのPOLBビットが1（アクティブ・レベルH），POLC, POLDビットが0（アクティブ・レベルL）

図 8－53　PWM 機能の動作例（デューティ 0%，デューティ 100%）





備考　i = 0, 1

m：TRDGRAi レジスタの設定値

上図は次の条件の場合です。

- TRDOER1 レジスタの EBi ビットが 0（TRDIOBi 出力許可）
- TRDPOCRi レジスタの POLB ビットが 0（アクティブ・レベル L）

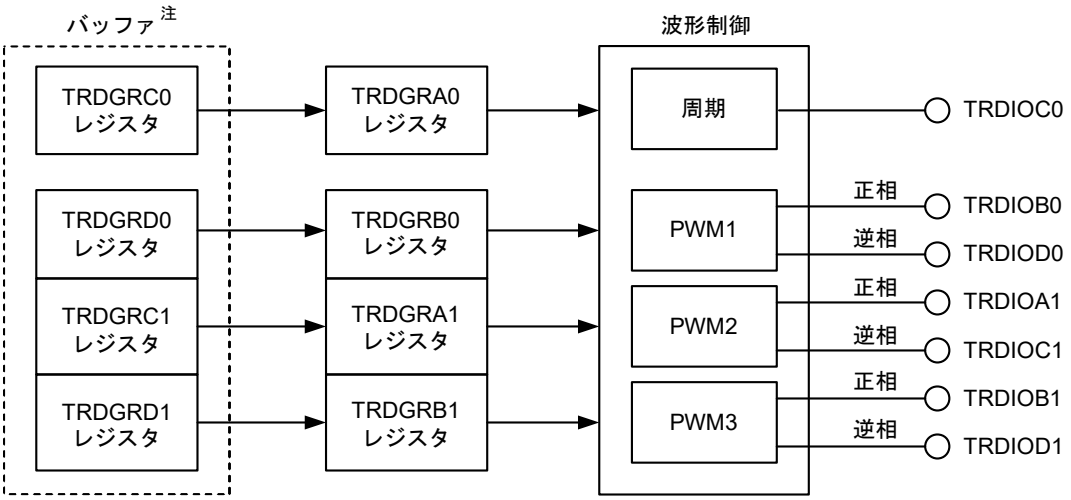
8.3.5　リセット同期 PWM モード

同周期の PWM 波形を正相 3 本，逆相 3 本，計 6 本出力します（三相，鋸波変調，短絡防止時間なし）。

図 8－54 にリセット同期 PWM モードのブロック図を，表 8－22 にリセット同期 PWM モードの仕様を，図 8－55 にリセット同期 PWM モードの動作例を示します。

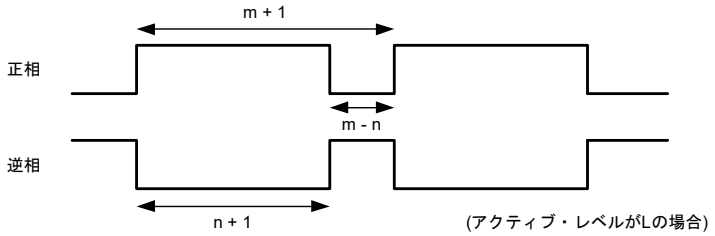
デューティ 0%，100%の PWM 動作例は「図 8－53　PWM 機能の動作例（デューティ 0%，デューティ」を参照してください。

図 8－54　リセット同期 PWM モードのブロック図



注　TRDMR レジスタの TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 ビットが 1（バッファ・レジスタ）の場合

表 8－22　リセット同期 PWM モードの仕様

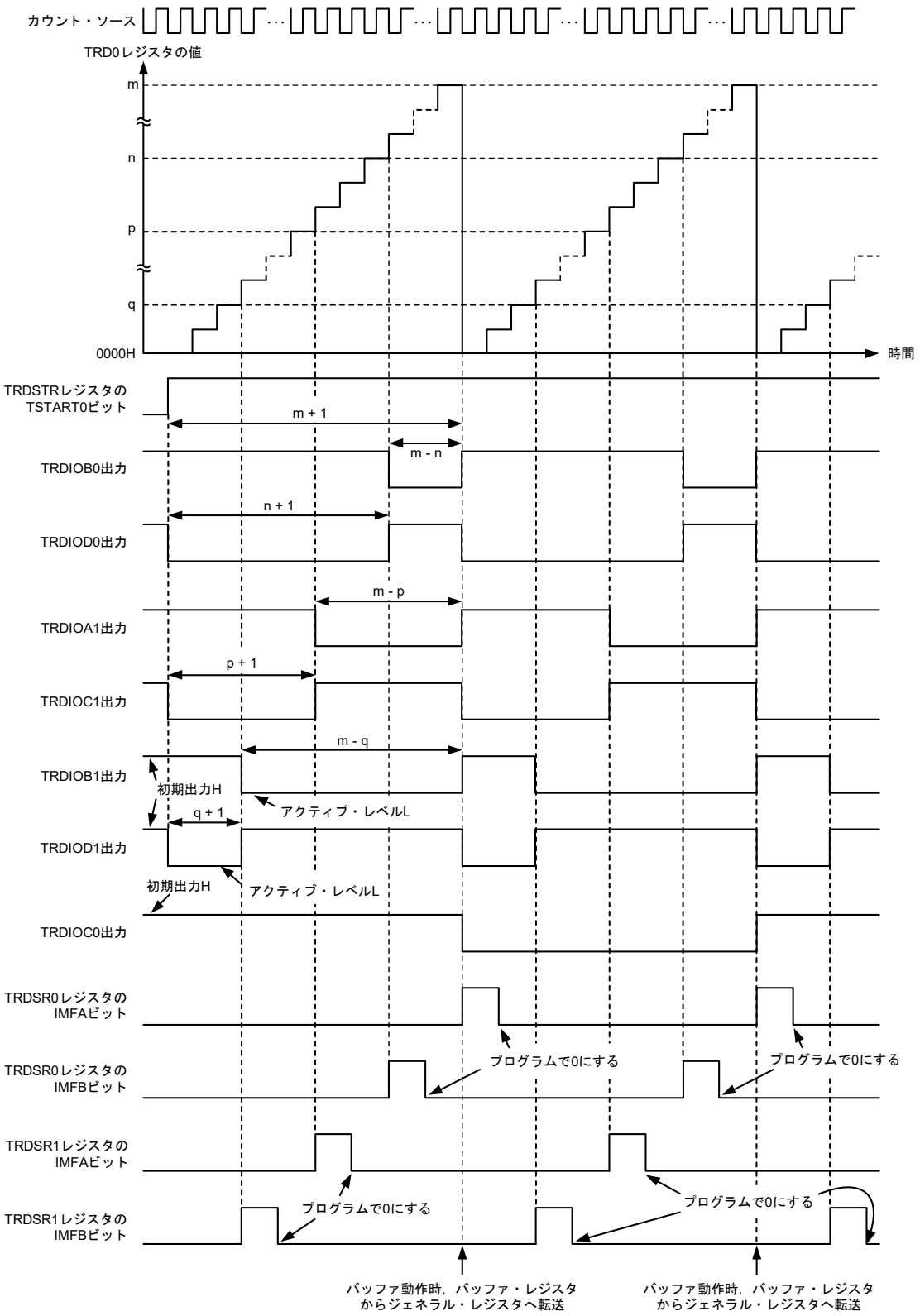
項目	仕様
カウント・ソース 注	f_{CLK}，f_{PLL}，f_{IH}，f_{SUB}，f_{IL} TRDCLK0 端子に入力された外部信号（プログラムで有効エッジを選択可能）
カウント動作	TRD0 はアップ・カウント（TRD1 は使用しない）
PWM 波形	PWM 周期　：1/fk ×（m + 1） 正相のアクティブ・レベル幅　：1/fk ×（m − n） 逆相のアクティブ・レベル幅　：1/fk ×（n + 1） fk：カウント・ソースの周波数 m：TRDGRA0 レジスタ設定値 n：TRDGRB0 レジスタ設定値（PWM 出力 1） TRDGRA1 レジスタ設定値（PWM 出力 2） TRDGRB1 レジスタ設定値（PWM 出力 3）
	
カウント開始条件	TRDSTR レジスタの TSTART0 ビットへの 1（カウント開始）書き込み
カウント停止条件	• TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき，TSTART0 ビットへの 0（カウント停止）書き込み PWM 出力端子は TRDFCR レジスタの OLS0，OLS1 ビットで選択した初期出力レベルを出力 • TRDSTR レジスタの CSEL0 ビットが 0 の場合，TRDGRA0 コンペアー致でカウント停止 PWM 出力端子は TRDFCR レジスタの OLS0，OLS1 ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	• コンペアー致（TRD0 レジスタと TRDGRj0，TRDGRA1，TRDGRB1 レジスタの内容が一致） • TRD0 レジスタのオーバフロー
TRDIOA0 端子機能	I/O ポートまたは TRDCLK0（外部クロック）入力
TRDIOB0 端子機能	PWM 出力 1 正相出力
TRDIOD0 端子機能	PWM 出力 1 逆相出力
TRDIOA1 端子機能	PWM 出力 2 正相出力
TRDIOC1 端子機能	PWM 出力 2 逆相出力
TRDIOB1 端子機能	PWM 出力 3 正相出力
TRDIOD1 端子機能	PWM 出力 3 逆相出力
TRDIOC0 端子機能	PWM 周期ごとに出力反転
INTP0 端子機能	パルス出力強制遮断信号入力（ポートまたは INTP0 割り込み入力）
タイマの読み出し	TRD0 レジスタを読むと，カウント値が読める
タイマの書き込み	TRD0 レジスタに書き込める
選択機能	• 正相，逆相のアクティブ・レベルと初期出力レベルを個々に選択 • バッファ動作（「8.3.1 (2)　バッファ動作」を参照） • パルス出力強制遮断信号入力（「8.3.1 (4)　パルス出力強制遮断」を参照）

注　タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

備考　j = A, B, C, D

(1) 動作例

図 8－55 リセット同期 PWM モードの動作例



備考 m：TRDGRA0 レジスタ設定値， n：TRDGRB0 レジスタ設定値

p：TRDGRA1 レジスタ設定値， q：TRDGRB1 レジスタ設定値

上の図は，次の条件が適用された場合です：

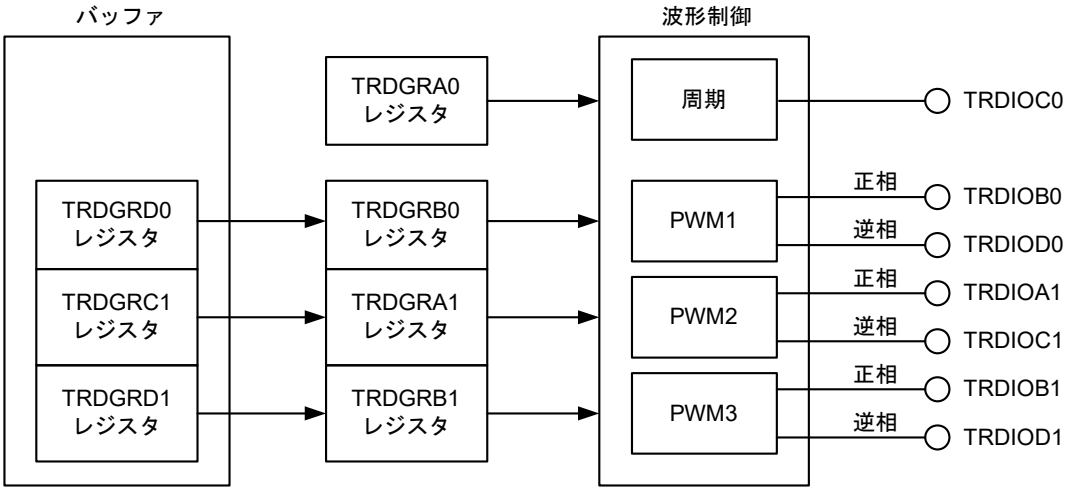
- TRDFCR レジスタのビット OLS1，OLS0 を 0 に設定（初期出力レベルはハイ、アクティブ・レベルはロウ）

8.3.6　相補 PWM モード

同周期の PWM 波形を正相 3 本，逆相 3 本，計 6 本出力します（三相，三角波変調，短絡防止時間あり）。

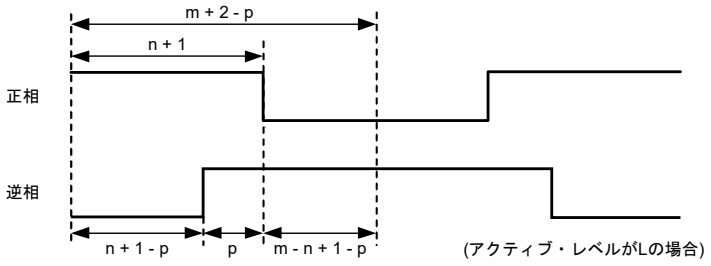
図 8－56 に相補 PWM モードのブロック図を，表 8－18 に相補 PWM モードの仕様を，図 8－57 に相補 PWM モードの出力モデルを，図 8－58 に相補 PWM モードの動作例を示します。

図 8－56　相補 PWM モードのブロック図



備考　TRDMR レジスタの TRDBFD0，TRDBFC1，TRDBFD1 ビットを 1（バッファ・レジスタ）に設定

表 8－23　相補 PWM モードの仕様

項目	仕様
カウント・ソース 注1	f_{CLK}，f_{PLL}，f_{IH}，f_{SUB}，f_{IL} TRDCLK0 端子に入力された外部信号（プログラムで有効エッジを選択可能） TRDCR0 レジスタの TCK0-TCK2 ビットと，TRDCR1 レジスタの TCK0-TCK2 ビットは同じ値（同じカウント・ソース）にしてください。
カウント動作	アップ・カウントまたはダウン・カウント。アップ・カウント中に TRD0 レジスタと TRDGRA0 レジスタがコンペアー致すると，TRD0，TRD1 ともダウン・カウントになる。ダウン・カウント中に TRD1 レジスタが 0000H から FFFFH になると TRD0，TRD1 ともアップ・カウントになる。
PWM 波形	PWM 周期　：1/fk ×（m + 2 - p）× 2 注2 短絡防止時間　：p 正相のアクティブ・レベル幅　：1/fk ×（m - n + 1 - p）× 2 逆相のアクティブ・レベル幅　：1/fk ×（n + 1 - p）× 2 fk ：カウント・ソースの周波数 m ：TRDGRA0 レジスタ設定値 n ：TRDGRB0 レジスタ設定値（PWM 出力 1） TRDGRA1 レジスタ設定値（PWM 出力 2） TRDGRB1 レジスタ設定値（PWM 出力 3） p ：TRD0 レジスタ設定値
	
カウント開始条件	TRDSTR レジスタの TSTART0 ビットと TSTART1 ビットへの 1（カウント開始）書き込み
カウント停止条件	TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき TSTART0 ビットと TSTART1 ビットへの 0（カウント停止）書き込み（PWM 出力端子は TRDFCR レジスタの OLS0，OLS1 ビットで選択した初期出力レベルを出力）
割り込み要求発生タイミング	• コンペアー致（TRDi レジスタと TRDGRji レジスタの内容が一致） • TRD1 レジスタのアンダフロー
TRDIOA0 端子機能	I/O ポートまたは TRDCLK0（外部クロック）入力
TRDIOB0 端子機能	PWM 出力 1 正相出力
TRDIOD0 端子機能	PWM 出力 1 逆相出力
TRDIOA1 端子機能	PWM 出力 2 正相出力
TRDIOC1 端子機能	PWM 出力 2 逆相出力
TRDIOB1 端子機能	PWM 出力 3 正相出力
TRDIOD1 端子機能	PWM 出力 3 逆相出力
TRDIOC0 端子機能	PWM の 1/2 周期ごとに出力反転
INTP0 端子機能	パルス出力強制遮断信号入力（ポートまたは INTP0 割り込み入力）
タイマの読み出し	TRDi レジスタを読むと，カウント値が読める
タイマの書き込み	TRDi レジスタに書き込める
選択機能	• パルス出力強制遮断信号入力（「8.3.1 (4)　パルス出力強制遮断」を参照） • 正相，逆相のアクティブ・レベルと初期出力レベルを個々に選択 • バッファ・レジスタからの転送タイミング選択

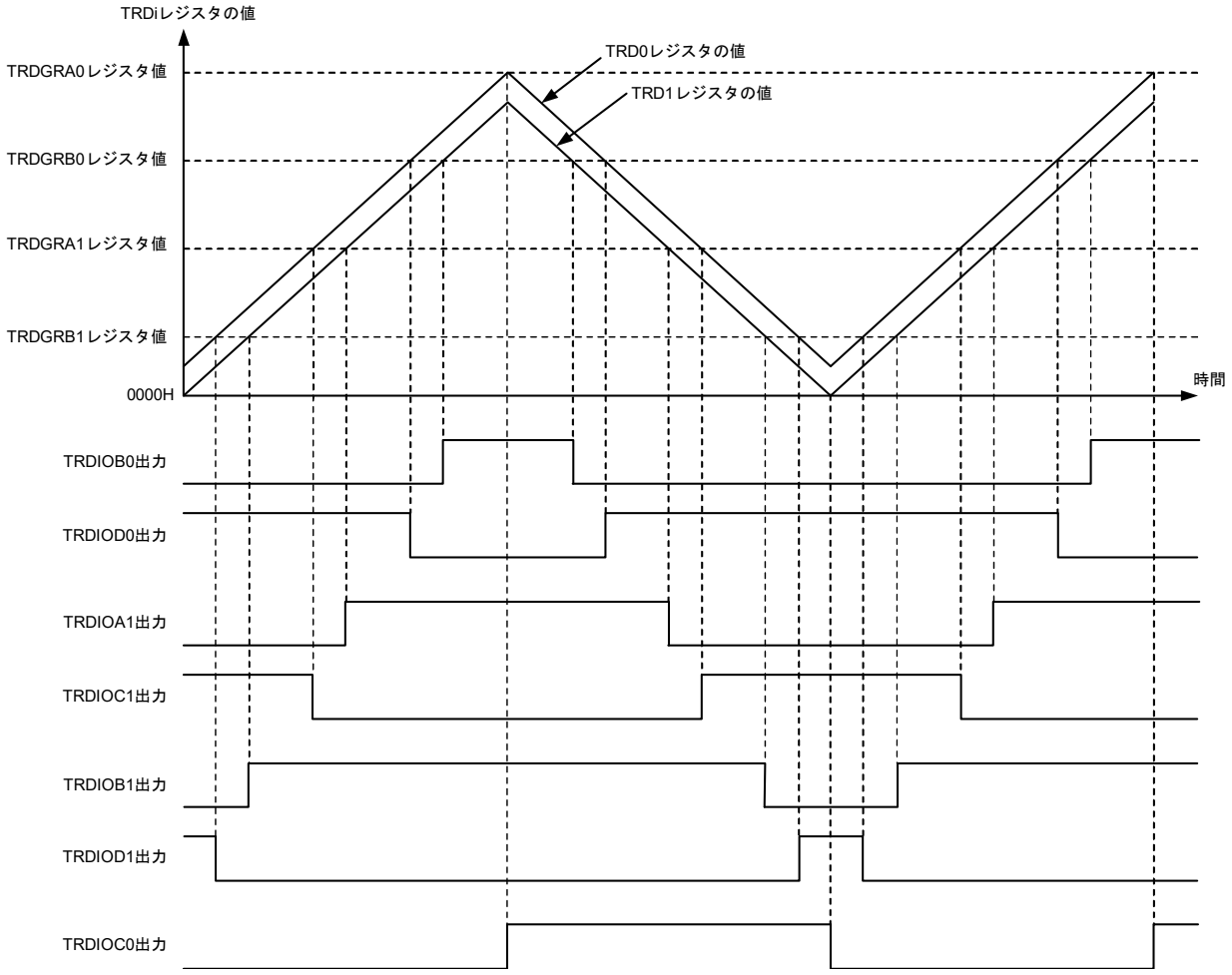
注 1. タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

2. カウント開始後，相補 PWM 周期は固定です。

備考　i = 0, 1，j = A, B, C, D

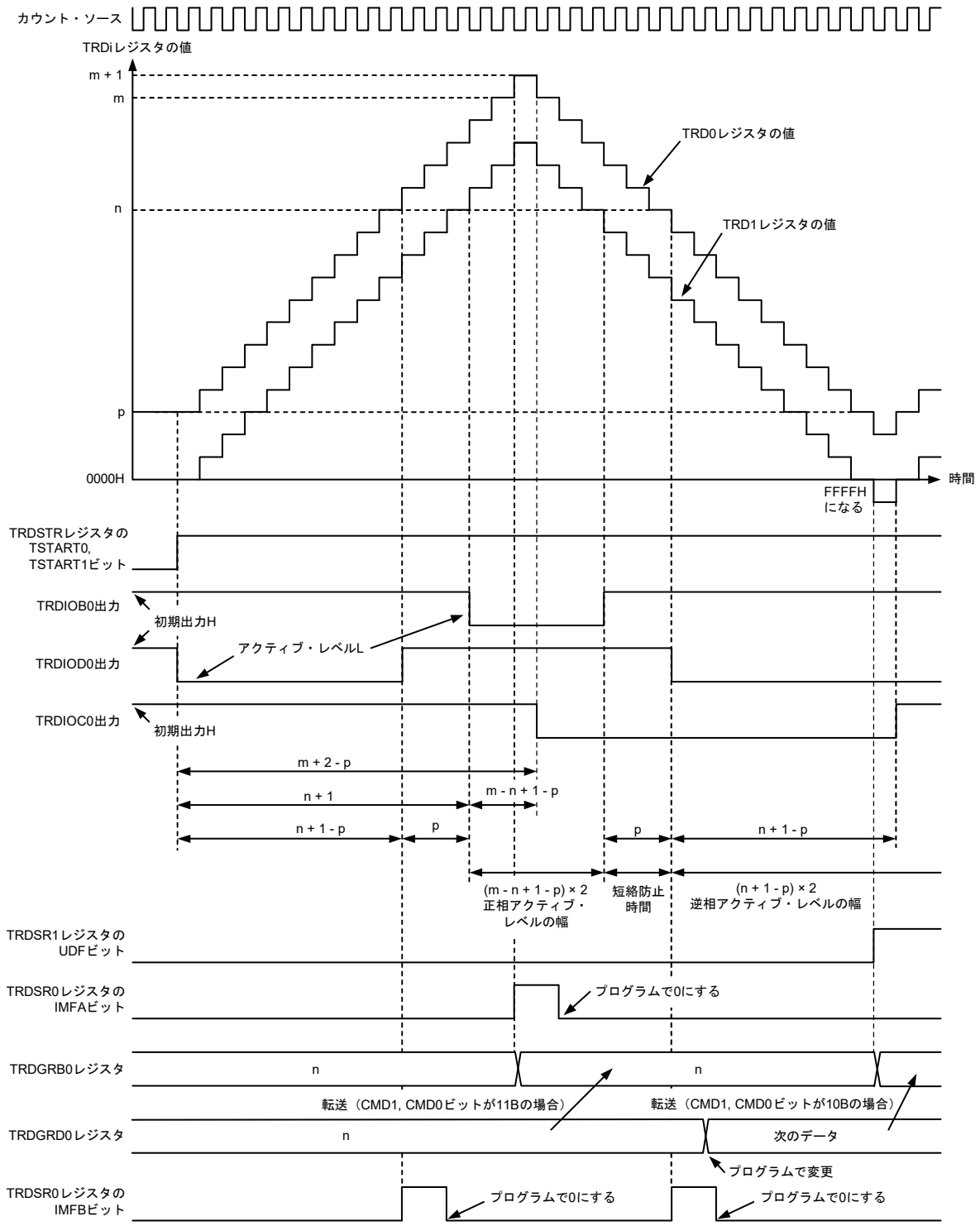
(1)　動作例

図 8－57　相補 PWM モードの出力モデル



備考　i = 0, 1

図 8－58 相補 PWM モードの動作例



備考 CMD0, CMD1：TRDFCR レジスタのビット

i = 0, 1

m ：TRDGRA0 レジスタの設定値

n ：TRDGRB0 レジスタの設定値

p ：TRD0 レジスタの設定値

上図は次の条件の場合です。

- TRDFCR レジスタの OLS1, OLS0 ビットが 0（正相，逆相とも初期出力レベル H，アクティブ・レベル L）

(2) バッファ・レジスタからの転送タイミング

TRDGRD0，TRDGRC1，TRDGRD1 レジスタから TRDGRB0，TRDGRA1，TRDGRB1 レジスタへの転送は，次のタイミングで行われます。

- TRDFCR レジスタの CMD1，CMD0 ビットが 10B の場合，TRD1 レジスタがアンダフローしたとき
- TRDFCR レジスタの CMD1，CMD0 ビットが 11B の場合，TRD0 レジスタと TRDGRA0 レジスタがコンペアー致したとき

8.3.7 PWM3 モード

同周期の PWM 波形を 2 本出力します。

図 8－59 に PWM3 モードのブロック図を，表 8－24 に PWM3 モードの仕様を，図 8－60 に PWM3 モードの動作例を示します。

図 8－59　PWM3 モードのブロック図

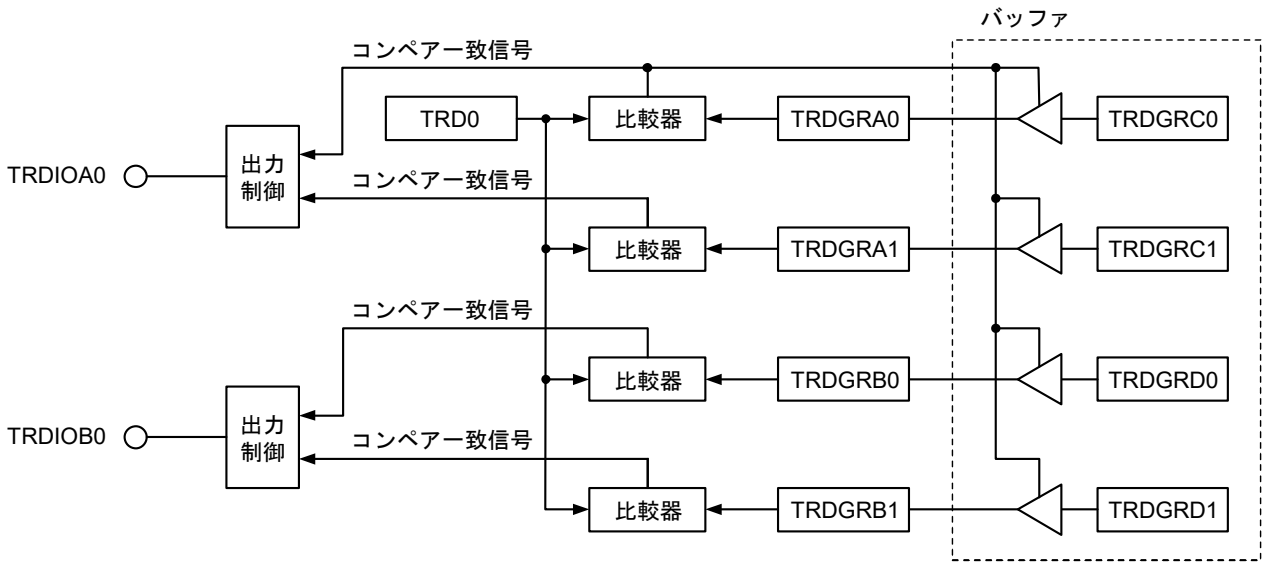
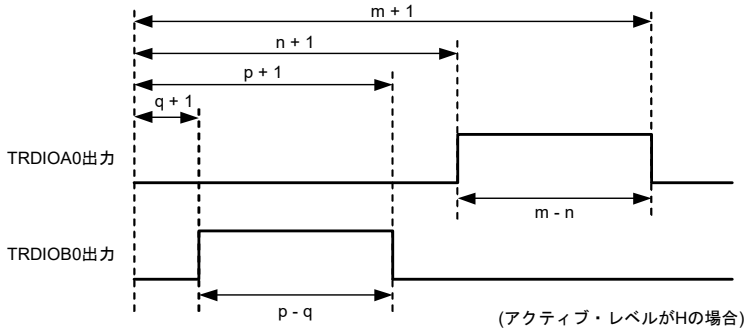


表 8－24　PWM3 モードの仕様

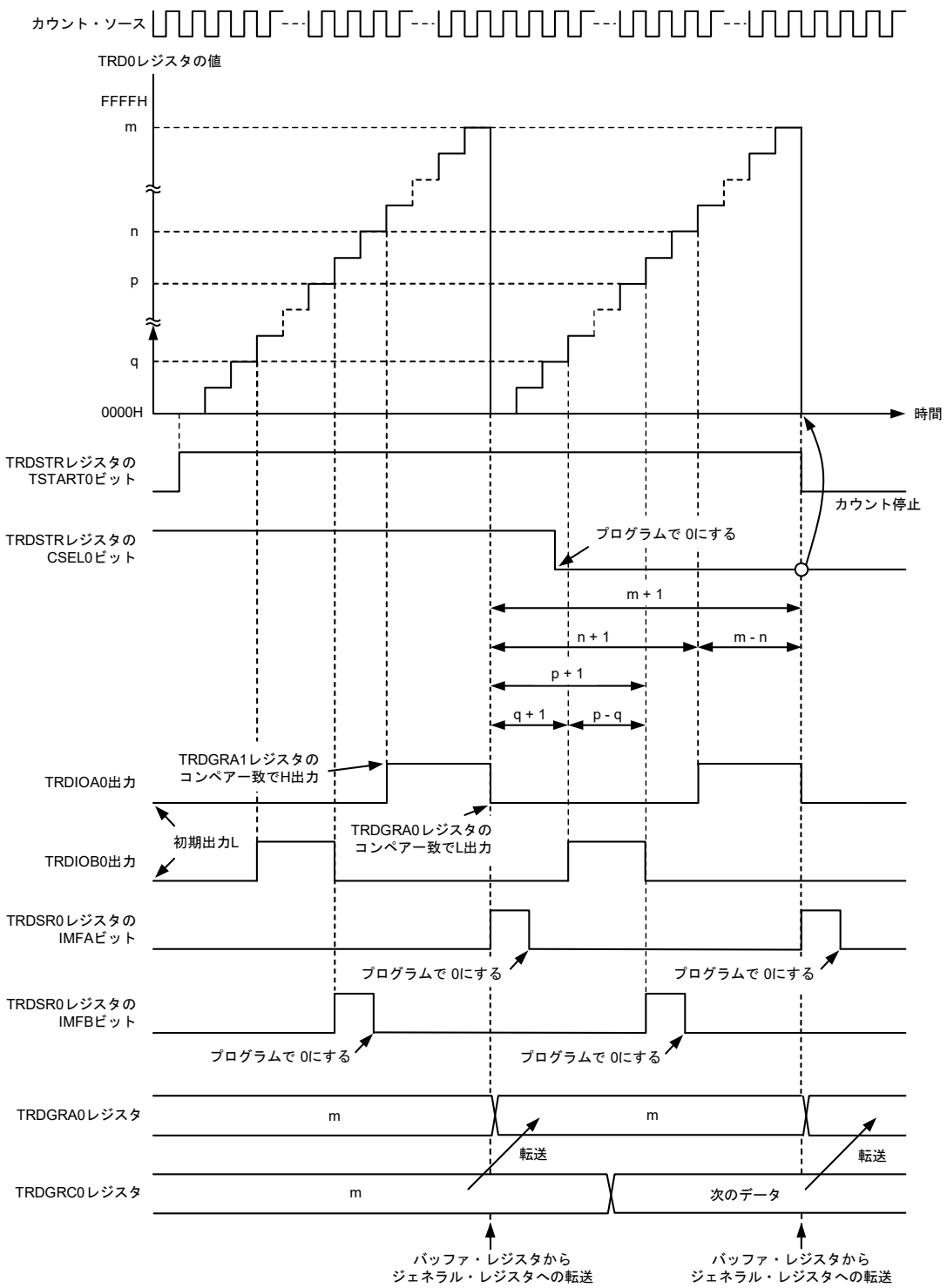
項目	仕様
カウント・ソース 注	f_{CLK}，f_{PLL}，f_{IH}，f_{SUB}，f_{IL}
カウント動作	TRD0 はアップ・カウント（TRD1 は使用しない）
PWM 波形	PWM 周期　：1/fk ×（m + 1） TRDIOA0 出力のアクティブ・レベル幅：1/fk ×（m - n） TRDIOB0 出力のアクティブ・レベル幅：1/fk ×（p - q） fk：カウント・ソースの周波数 m：TRDGRA0 レジスタ設定値 n：TRDGRA1 レジスタ設定値 p：TRDGRB0 レジスタ設定値 q：TRDGRB1 レジスタ設定値
	
カウント開始条件	TRDSTR レジスタの TSTART0 ビットへの 1（カウント開始）書き込み
カウント停止条件	• TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき，TSTART0 ビットへの 0（カウント停止）書き込み PWM 出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタの CSEL0 ビットが 0 の場合，TRDGRA0 コンペアー致でカウント停止 PWM 出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペアー致（TRDi レジスタと TRDGRji レジスタの内容が一致） • TRD0 オーバフロー
TRDIOA0，TRDIOB0 端子機能	PWM 出力
TRDIOC0，TRDIOD0，TRDIOA1-TRDIOD1 端子機能	I/O ポート
INTP0 端子機能	パルス出力強制遮断信号入力（ポートまたは INTP0 割り込み入力）
タイマの読み出し	TRD0 レジスタを読むと，カウント値が読める
タイマの書き込み	TRD0 レジスタに書き込める
選択機能	• パルス出力強制遮断信号入力（「8.3.1 (4)　パルス出力強制遮断」を参照） • アクティブ・レベルを端子ごとに選択 • バッファ動作（「8.3.1 (2)　バッファ動作」を参照）

注　タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

備考　i = 0, 1，j = A, B, C, D

(1) 動作例

図 8－60 PWM3 モードの動作例



備考 j = A, B

m：TRDGRA0 レジスタの設定値， n：TRDGRA1 レジスタの設定値

p：TRDGRB0 レジスタの設定値， q：TRDGRB1 レジスタの設定値

上図は次の条件の場合です。

- TRDOCR レジスタの TOA0, TOB0 ビットがともに 0（初期出力 L，TRDGRj1 レジスタのコンペアー致で H 出力，TRDGRj0 レジスタのコンペアー致で L 出力）
- TRDMR レジスタの TRDBFC0 ビットが 1（TRDGRC0 レジスタは TRDGRA0 レジスタのバッファ・レジスタ）

8.3.8　拡張 PWM モード

PWM 波形を出力する機能です。タイマ RDi（i = 0, 1）で同周期の PWM 波形を最大 2 本出力できます。また，タイマ RD0 とタイマ RD1 を同期させることによって同周期の PWM 波形を最大 4 本出力できます。周期とデューティは一斉書き換え機能に対応し, TRDIOBi と TRDIODi から PWM 出力可能です。一斉書き換え機能については「8.3.1 (7)　コンペア・レジスタの一斉書き換え」を参照してください。

更なる拡張機能として，外部入力（TRDiRES）によるカウンタ・リスタート機能，TRDIOBi，TRDIODi 出力端子のディザリング機能，ゲート機能を有します。

図 8－61 に拡張 PWM モードのブロック図を，表 8－25 に拡張 PWM モードの仕様を示します。また，図 8－62 および図 8－63 に拡張 PWM モード時の動作例を示します。

図 8－61　拡張 PWM モードのブロック図

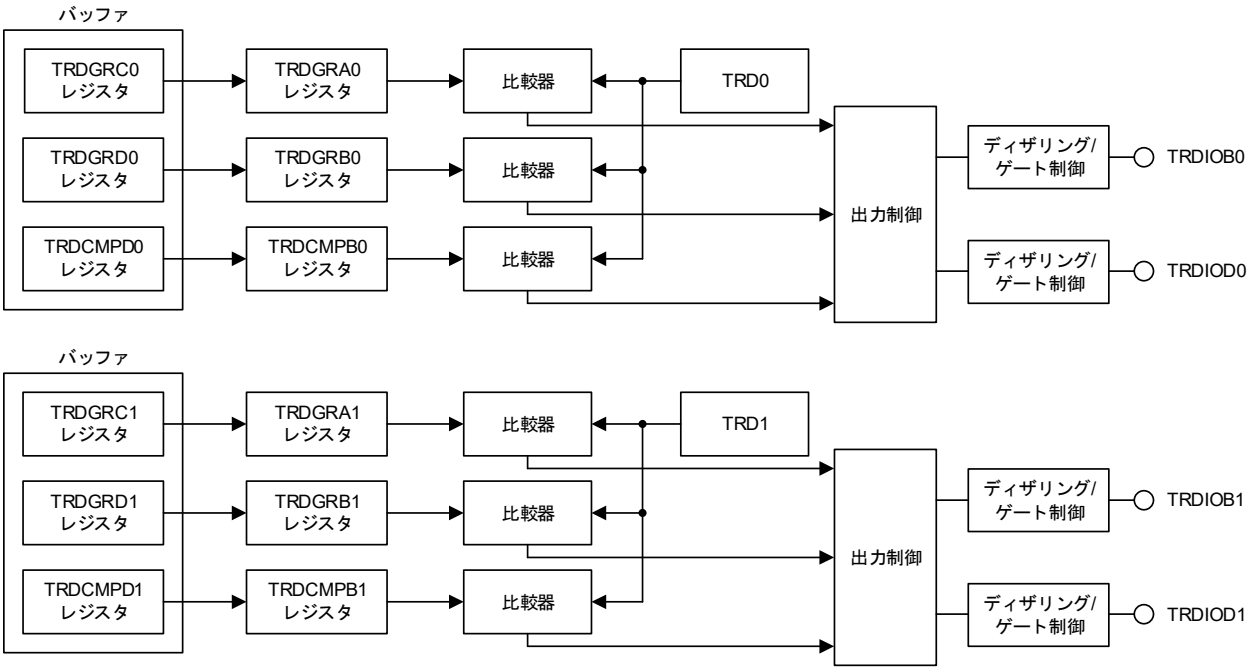
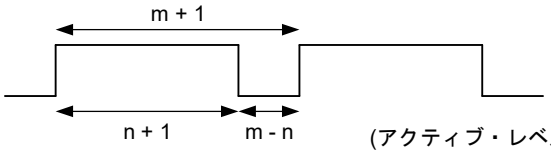


表 8－25　拡張 PWM モードの機能仕様

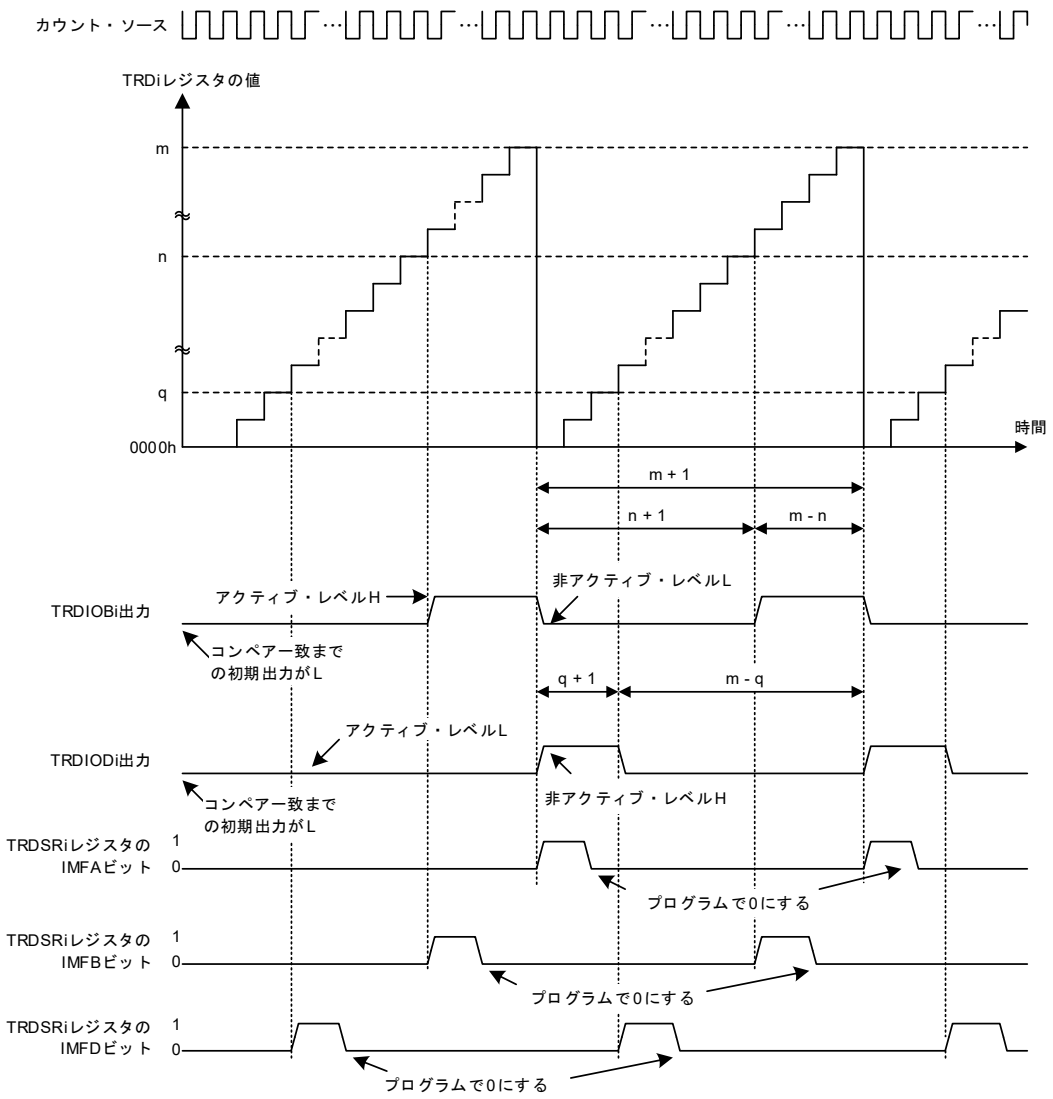
項目	仕様
カウント・ソース 注	f_{CLK}，f_{PLL}，f_{IH}，f_{SUB}，f_{IL} TRDCLK0 端子に入力された外部信号（プログラムで有効エッジを選択可能） TRDCR0 レジスタの TCK0-TCK2 ビットと，TRDCR1 レジスタの TCK0-TCK2 ビットは同じ値（同じカウント・ソース）にしてください。
カウント動作	アップ・カウント
PWM 波形	PWM 周期　：1/fk × (m + 1) アクティブ・レベル幅　：1/fk × (m - n) アクティブでないレベルの幅　：1/fk × (n + 1) fk：カウント・ソースの周波数 m：TRDGRAi レジスタ設定値 n：TRDGRji レジスタおよび TRDCMPqp レジスタ設定値
	 (アクティブ・レベルがLの場合)
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの 1（カウント開始）書き込み
カウント停止条件	• TRDSTR レジスタの CSELi ビットが 1 に設定されているとき，TSTARTi ビットへの 0（カウント停止）書き込み PWM 出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタの CSELi ビットが 0 の場合，TRDGRAi コンペアー致でカウント停止 PWM 出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペアー致（TRDi レジスタと TRDGRji レジスタの内容が一致） • TRDi レジスタのオーバフロー
TRDIOA0 端子機能	プログラマブル入出力ポート，または TRDCLK0（外部クロック）入力
TRDIOA1，TRDIOC0，TRDIOC1 端子機能	プログラマブル入出力ポート
TRDIOB0，TRDIOD0，TRDIOB1，TRDIOD1 端子機能	プログラマブル入出力ポート，またはパルス出力（1 端子ごとに選択）
INTP0 端子機能	パルス出力強制遮断信号入力（プログラマブル入出力ポート，または INTP0 割り込み入力）
タイマの読み出し	TRDi レジスタを読むと，カウント値が読める
タイマの書き込み	TRDi レジスタに書き込める
選択機能	• TRDIOBi，TRDIODi 端子のいずれか 1 本または複数本を PWM 出力端子として選択 • アクティブ・レベルを 1 端子ごとに選択 • 初期出力レベルを 1 端子ごとに選択 同期動作（「8.3.1 (3)　同期動作」参照） • パルス出力強制遮断信号入力（「8.3.1 (4)　パルス出力強制遮断」参照） • 外部入力によるカウンタ・リスタート機能選択 • PWM 出力のディザリング機能，ゲート機能選択

注　タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

備考　i = 0, 1，j = B, C, D
p = 0, 1，q = B, D

(1)　動作例

図 8－62　拡張 PWM モードの動作例



備考　i = 0, 1

m　：TRDGRAi レジスタの設定値

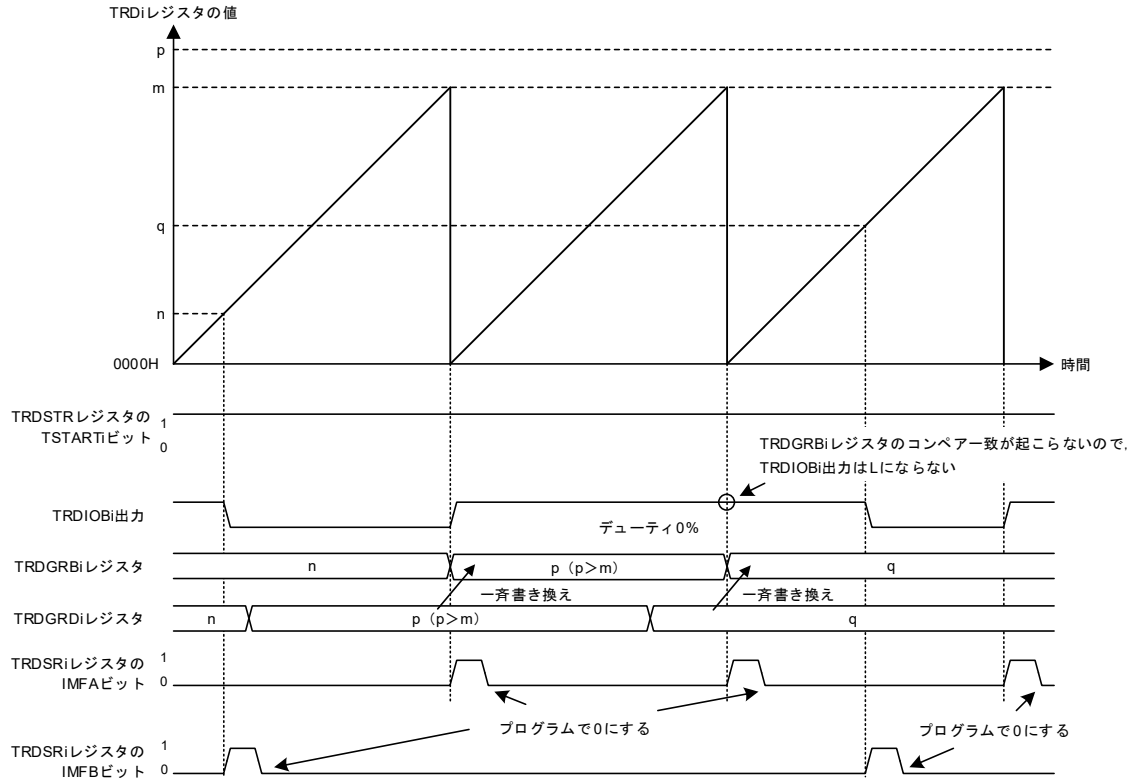
n　：TRDGRBi レジスタの設定値

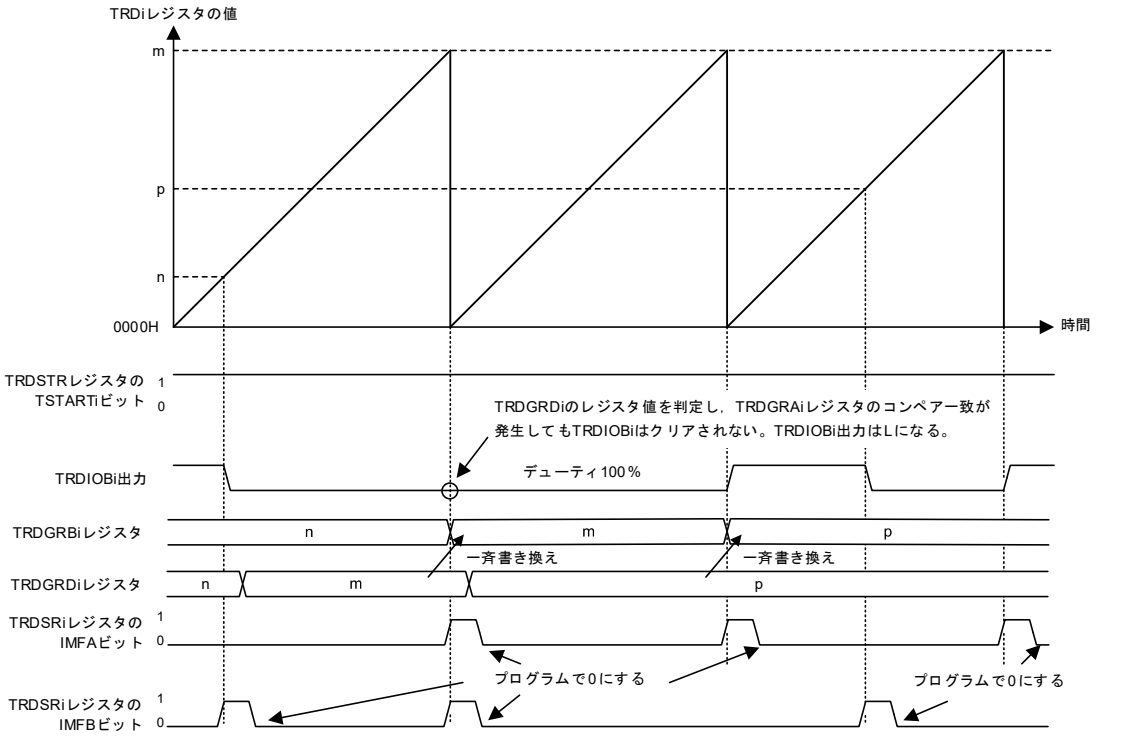
q　：TRDCMPBi レジスタの設定値

上図は次の条件の場合です。

- TRDOER1 レジスタの EBi, EDi ビットが 0（TRDIOBi，TRDIODi 出力許可）
- TRDOCR レジスタの TOBi が 0（非アクティブ・レベル），TODi ビットが 1（アクティブ・レベル）
- TRDPOCRi レジスタの POLB ビットが 1（アクティブ・レベル H），POLD ビットが 0（アクティブ・レベル L）

図 8－63　拡張 PWM モードの動作例（デューティ 0%，デューティ 100%）





備考　i = 0, 1

m：TRDGRAi レジスタの設定値

上図は次の条件の場合です。

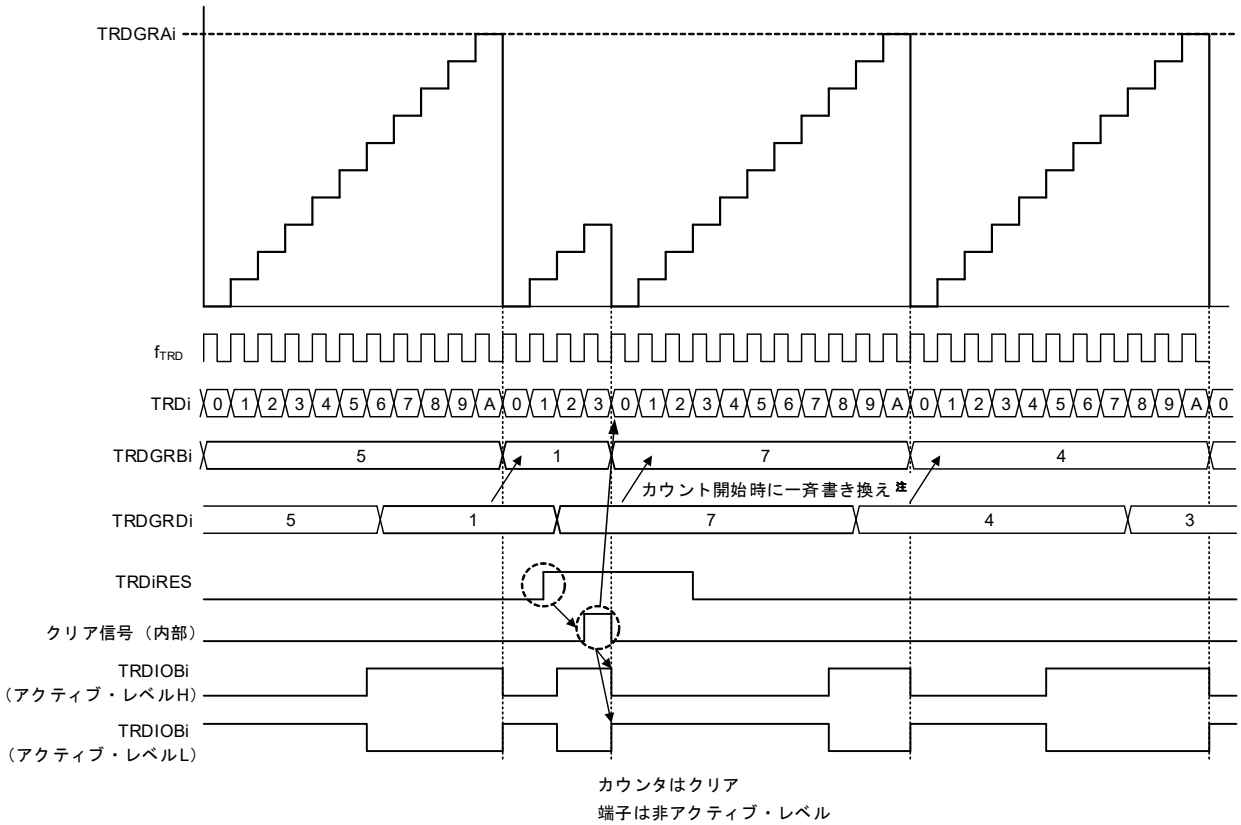
- TRDOER1 レジスタの EBi ビットが 0（TRDIOBi 出力許可）
- TRDPOCRi レジスタの POLB ビットが 0（アクティブ・レベル L）

(2) カウンタ・リスタート機能

拡張 PWM モードでは，カウンタ・リスタート機能を使用することで，TRDiRES（i = 0, 1）端子入力によりタイマ RDi カウンタ（TRDi）を初期化し，再びカウント開始することができます。TRDEMRi レジスタの CCLV1，CCLV0 ビットにより，カウンタ・クリアする TRDiRESi 端子入力条件を選択してください。TRDiRESi 端子入力によるカウンタ・クリア動作では割り込み信号は出力されません。

図 8－64 に立ち上がりエッジ検出によりカウンタ・クリアした場合のカウンタ・リスタート機能の動作例を示します。

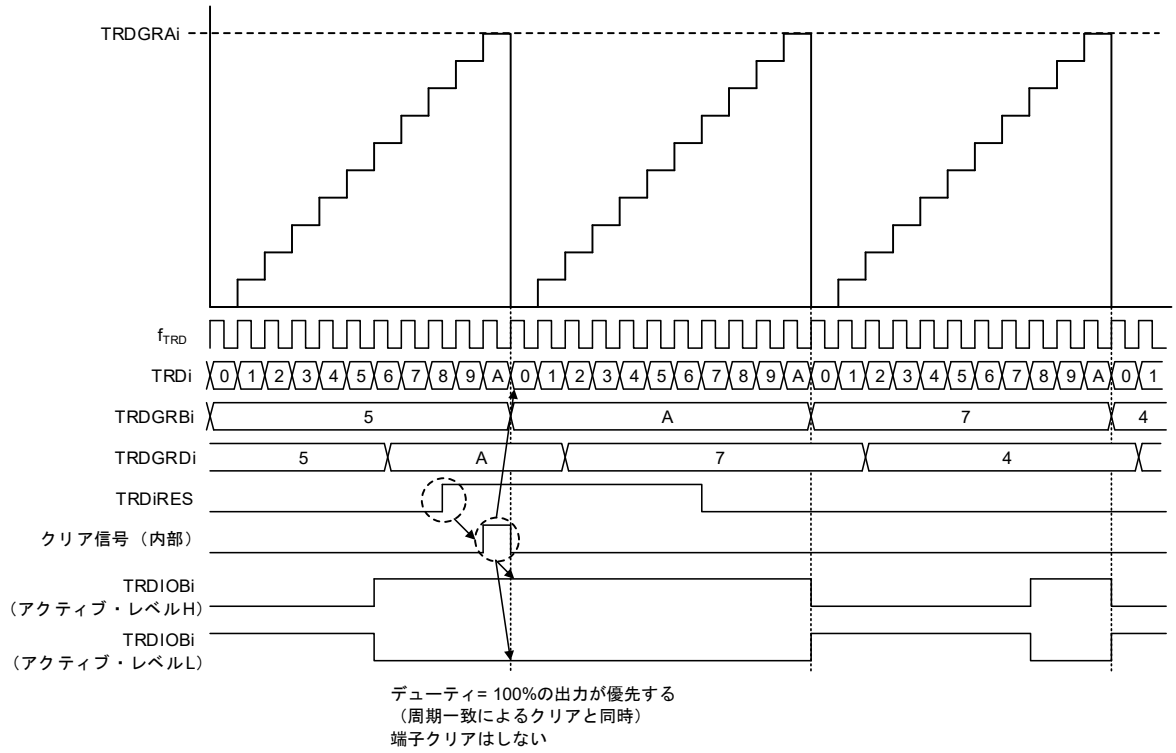
図 8－64　カウンタ・リスタート機能動作例



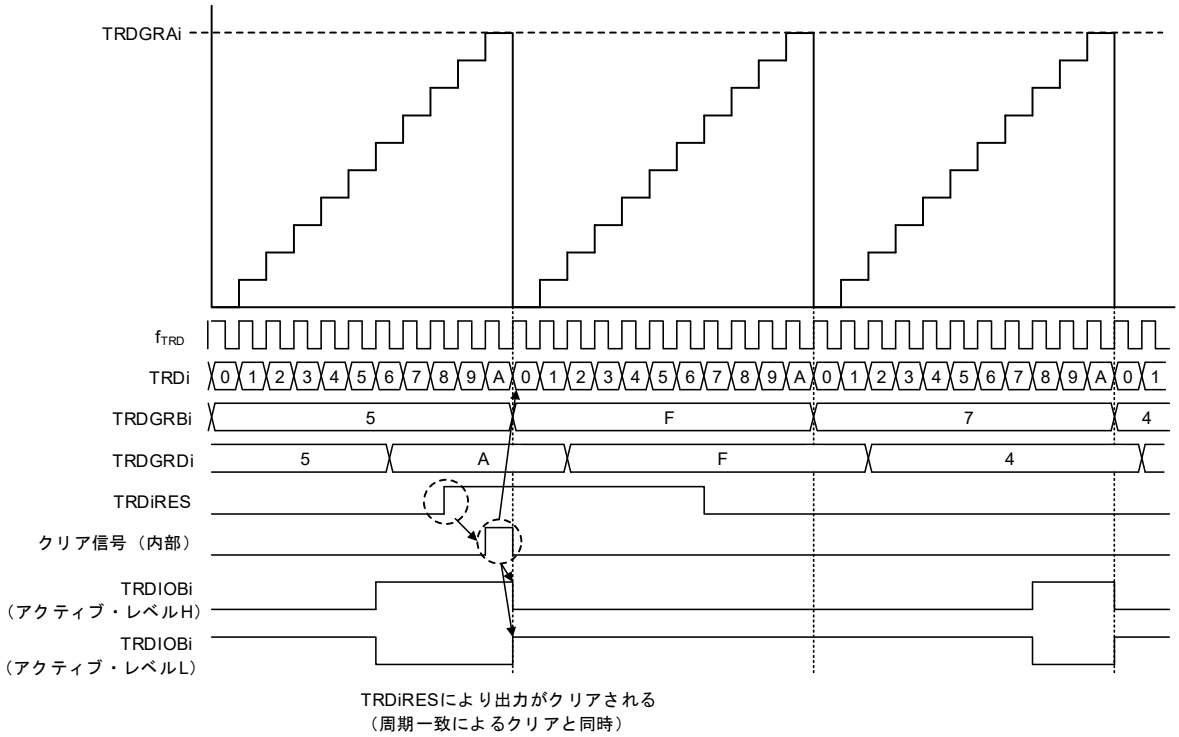
注　TRDRSFi レジスタの RSF ビットが 1 のとき

図 8－65　カウンタ・リスタート機能動作例（デューティ 0%，デューティ 100%）

デューティ= 100%出力



デューティ= 0%出力



(3) ディザリング機能

拡張 PWM モードでは，TRDIOBi および TRDIODi（i = 0, 1）端子出力にディザリング機能を使用できます。PWM 波形周期の 16 周期を基準に選択された周期のアクティブ・パルス幅を 1 カウント分だけ延長することにより，平均分解能を向上させることができます。

TRDDNRi レジスタの DNR[3:0] ビットにより，アクティブ・パルス幅を 1 カウント延長する周期を選択します。

下図はディザリング機能による PWM 出力動作を示しています。

DTEN	DNR[3:0]	PWM出力の周期															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	0000B																
	0001B	■															
	0010B	■								■							
	0011B	■				■				■							
	0100B	■				■				■				■			
	0101B	■		■		■				■				■			
	0110B	■		■		■				■		■		■			
	0111B	■		■		■		■		■		■		■			
	1000B	■		■		■		■		■		■		■		■	
	1001B	■	■	■		■		■		■		■		■		■	
	1010B	■	■	■		■		■		■	■	■		■		■	
	1011B	■	■	■		■	■	■		■	■	■		■		■	
	1100B	■	■	■		■	■	■		■	■	■		■	■	■	
	1101B	■	■	■	■	■	■	■		■	■	■		■	■	■	
	1110B	■	■	■	■	■	■	■		■	■	■	■	■	■	■	
	1111B	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	
0	－																

■ ：アクティブ・パルス幅が1クロック期間延長されるPWM周期.
□ ：アクティブ・パルス幅がレジスタ設定（TRDGRji, TRDCMPm）どおりのPWM周期

備考 DTEN：TRDEMRi レジスタの DTENB および DTEND ビット
DNR[3:0]：TRDDNRi レジスタのビット
i = 0, 1，j = A, B, C, D
m = B0, D0, B1, D1

図 8－66 および図 8－67 に，ディザリング機能の動作例を示します。

図 8－66　ディザリング機能の動作例

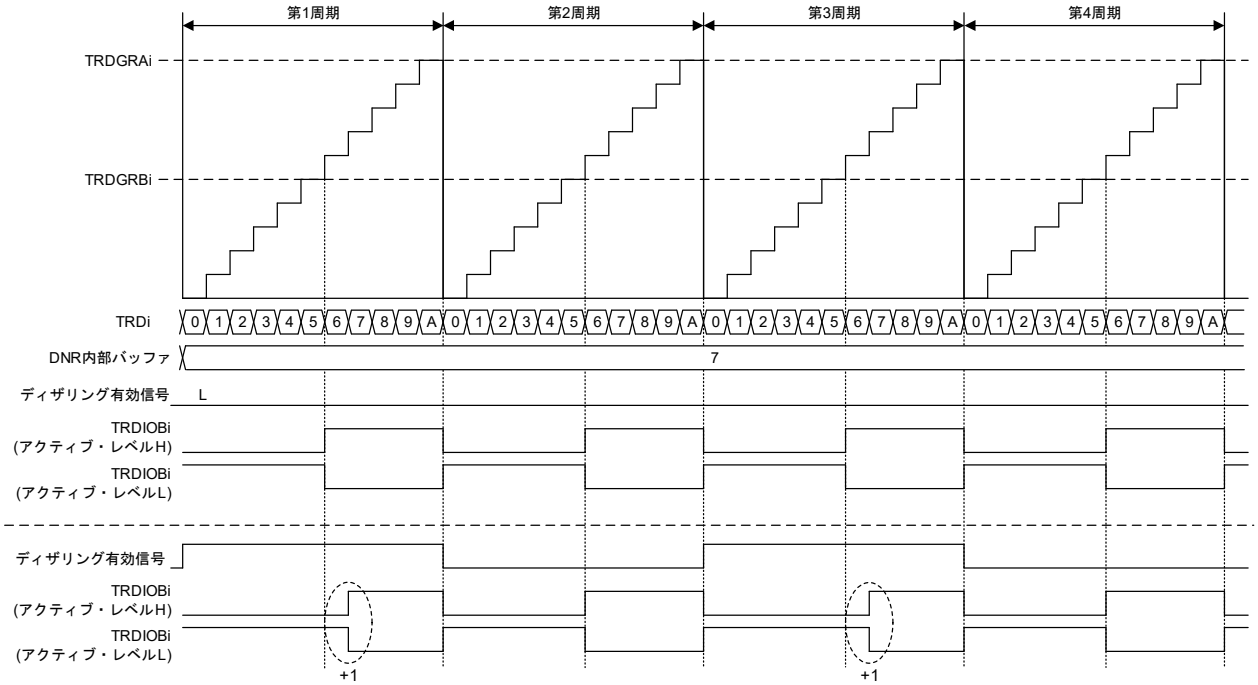
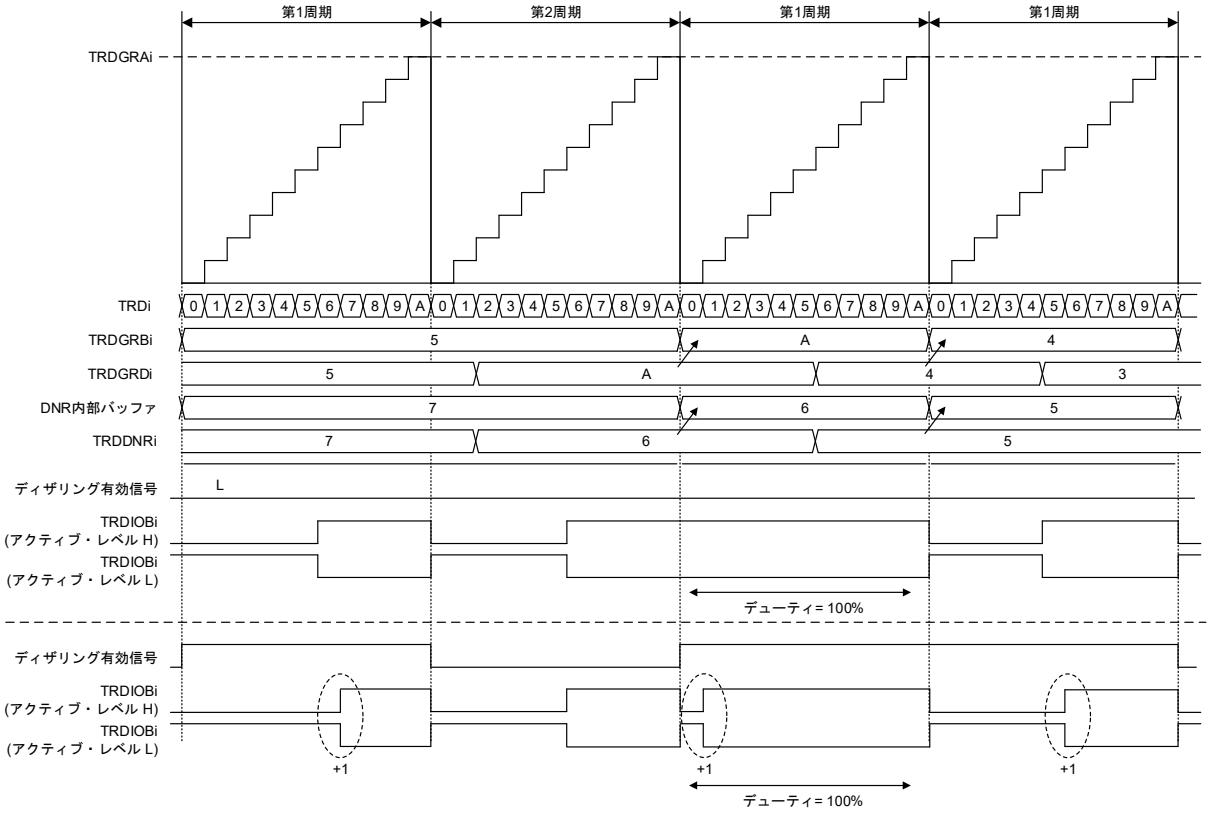
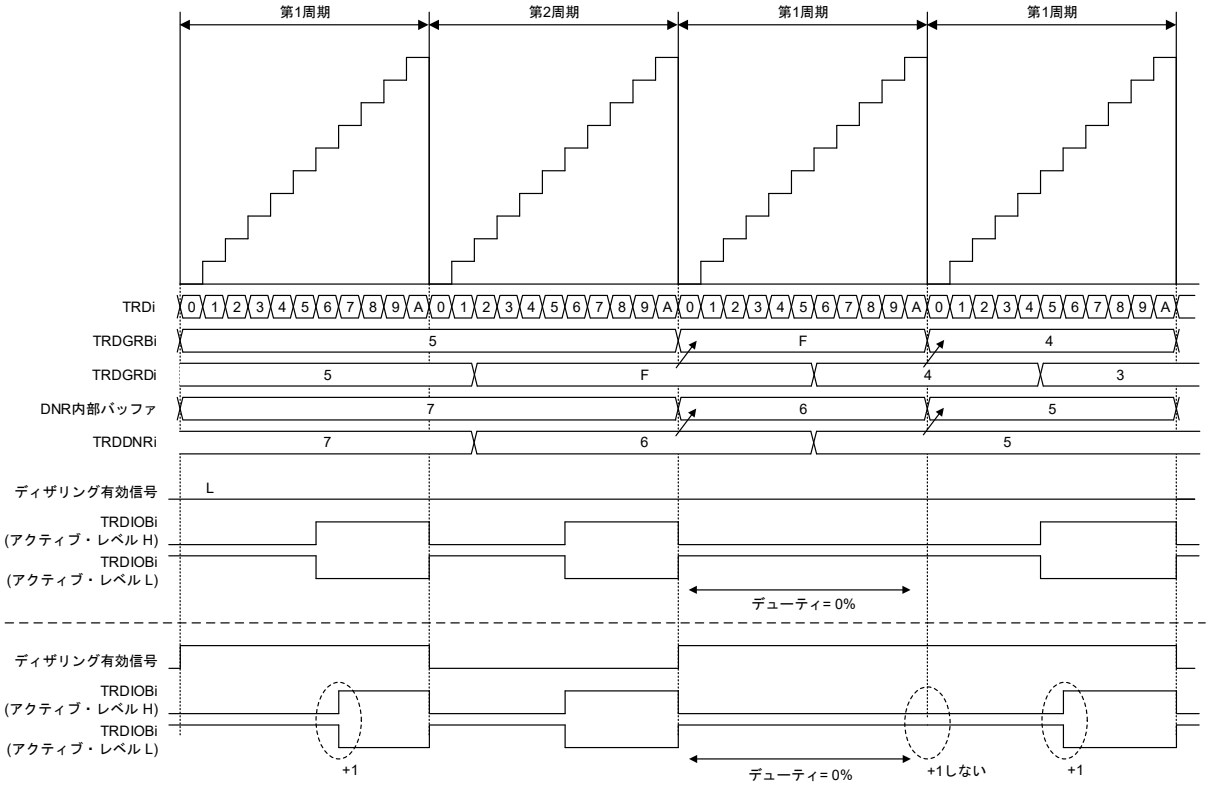


図8－67　ディザリング機能の動作例（デューティ0%，デューティ100%）

デューティ= 100%



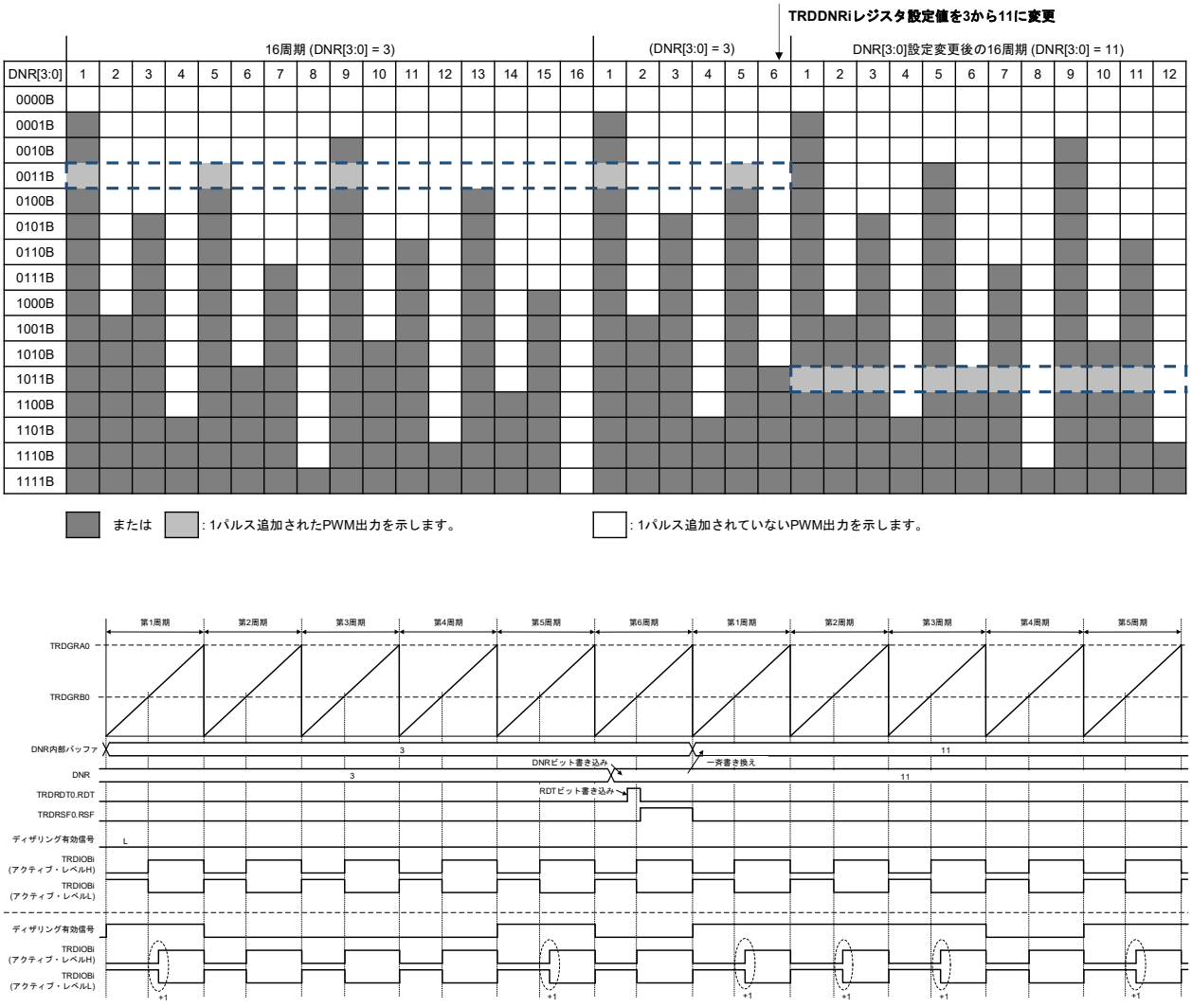
デューティ= 0%



TRDDNRi レジスタ（i = 0, 1）は，カウント動作中に書き換えることができます。16 周期の途中で書き換えた場合，TRDi レジスタと TRDGRAi レジスタが一致すると書き換えた値が有効になります。

図 8－79 にディザリング機能の動作例（設定値を 3 から 11 に変更）を示します。

図 8－68　ディザリング機能の動作例（設定値を 3 から 11 に変更）

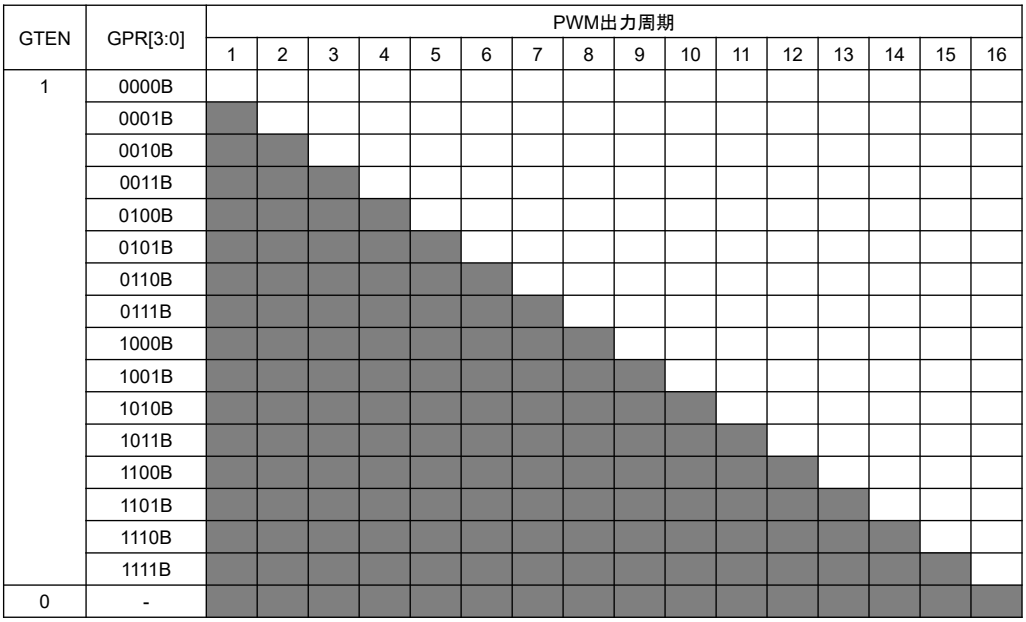


(4) ゲート機能

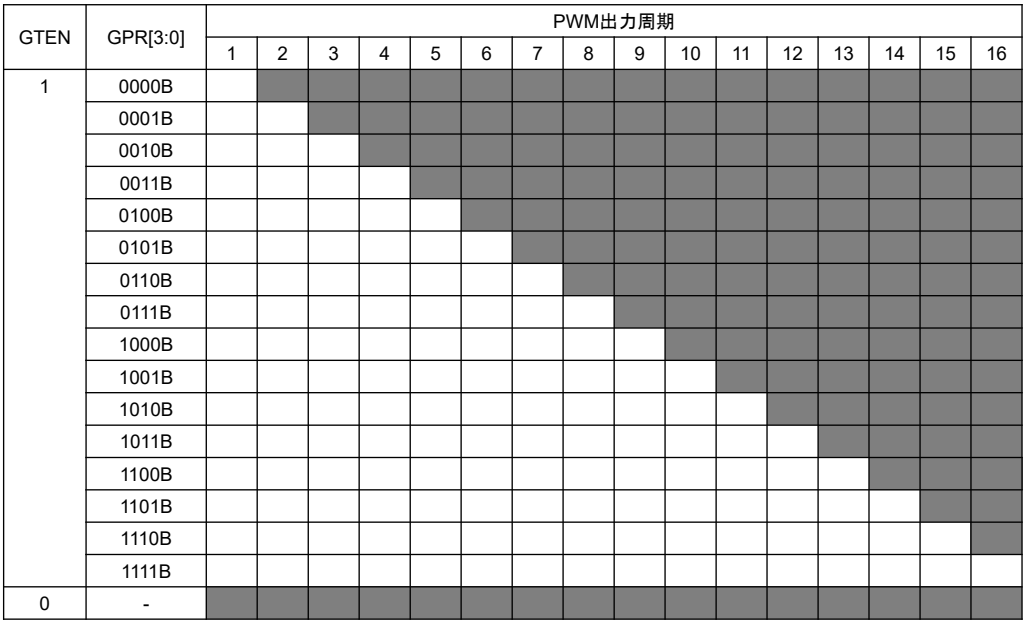
拡張 PWM モードでは，TRDIOBi および TRDIODi（i = 0, 1）端子出力にゲート機能を使用できます。TRDIOBi および TRDIODi 端子出力は，16 周期ごとに，n 周期の期間ゲート制御されます。TRDGPRi レジスタの GPR3 - GPR0 ビットの設定によりゲート制御する周期を選択します。

下図にゲート機能による PWM 出力動作を示します。

TRDGPRi レジスタの GPAT ビットが 0 の場合



TRDGPRi レジスタの GPAT ビットが 1 の場合



:このサイクルの PWM 出力はマスクされません。
:このサイクルの PWM 出力はマスクされます。（ゲート機能有効）

備考　GTEN　：TRDEMRi レジスタの GTENB および GTEND ビット
GPR[3:0]　：TRDGPRi レジスタのビット

図 8－69 に TRDGPRi レジスタの GPAT ビットを 0 に設定した場合のゲート機能の動作例を示します。TRDGPRi レジスタの GPR3-GPR0 ビットの設定値に従って，PWM 出力波形がマスクされます。

図 8－69　ゲート機能の動作例

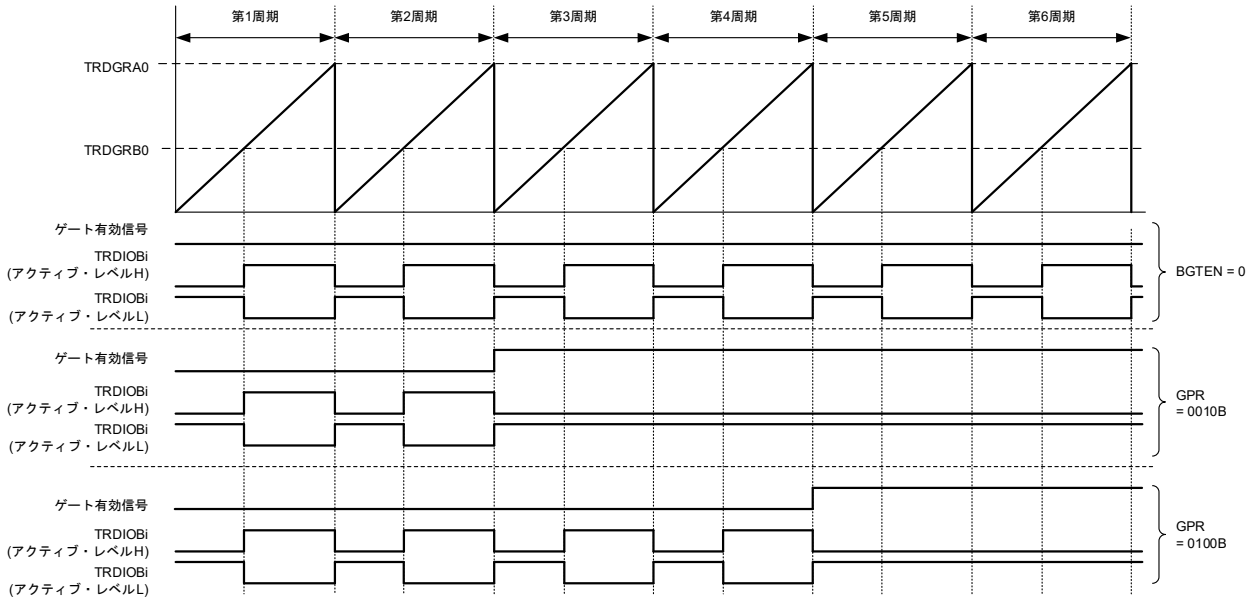
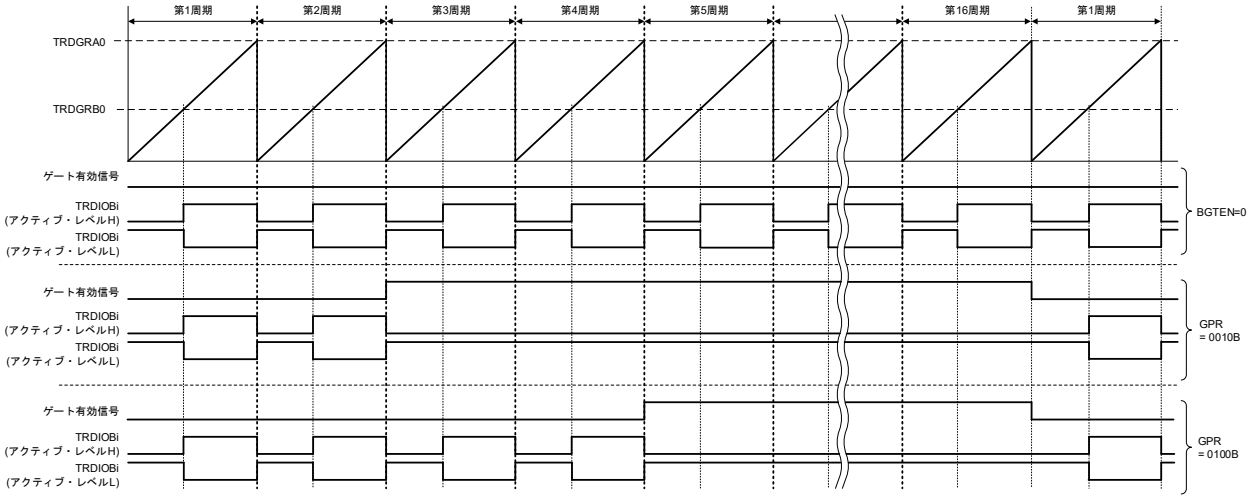


図 8－70 に，ゲート機能動作における 16 周期後の PWM 出力波形の例を示します。

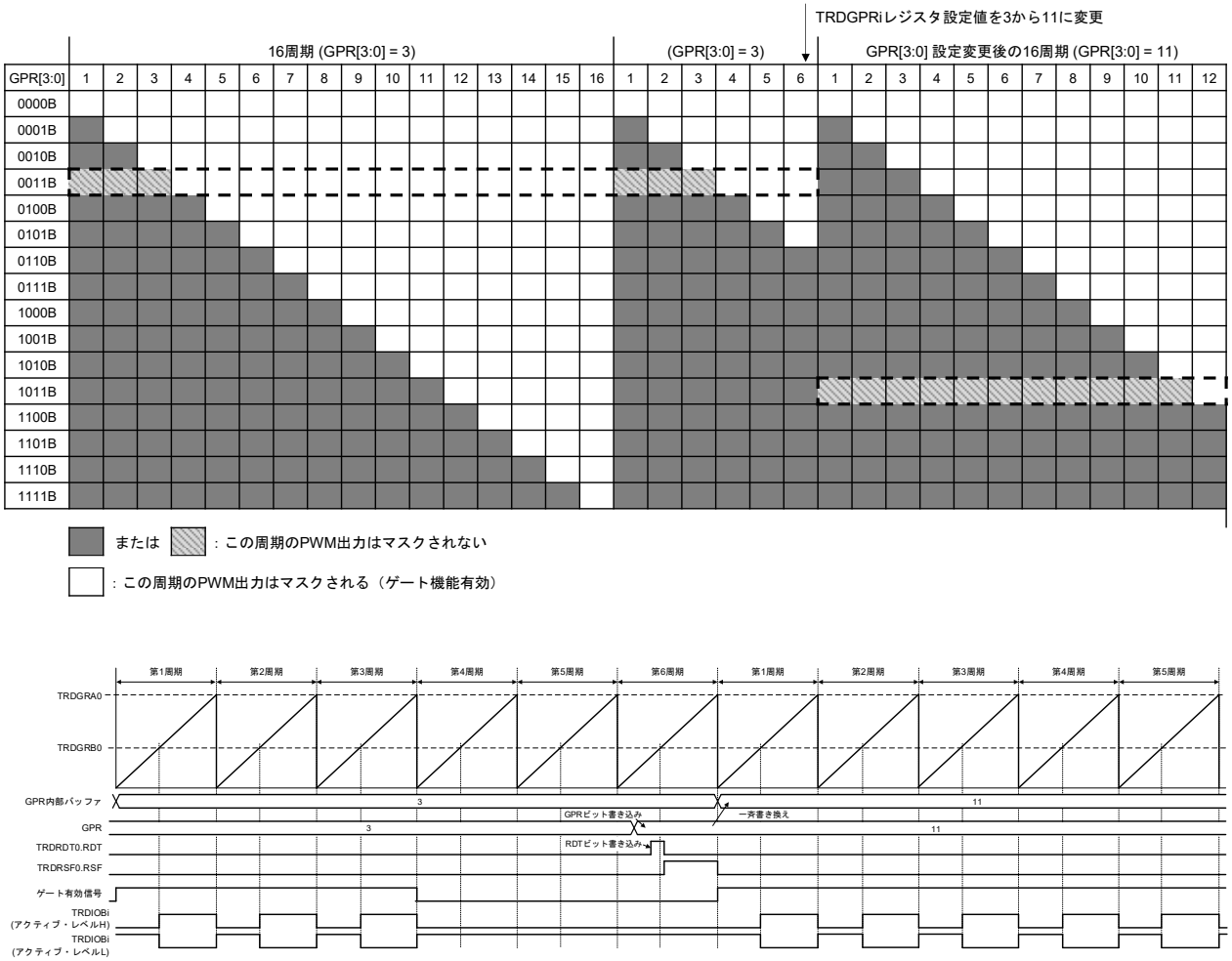
図 8－70　ゲート機能の 16 周期後の動作例



TRDGPRi レジスタ（i = 0, 1）は，カウント動作中に書き換えることができます。16 周期の途中で書き換えた場合，TRDi レジスタと TRDGRAi レジスタが一致すると書き換えた値が有効になります。

図 8－71 にディザリング機能の動作例（設定値を 3 から 11 に変更）を示します。

図 8－71　ゲート機能の動作例（設定値を 3 から 11 に変更）



8.3.9　拡張相補 PWM モード

このモードでは，同周期の対称または非対称の PWM 波形を正相 3 本，逆相 3 本出力します（三相，三角波変調，短絡防止時間あり）。

図 8－72 は，拡張相補 PWM モードのブロック図を示しています。

表 8－26 に，拡張相補 PWM モードの仕様を示します。

図 8－73，図 8－74，図 8－75 に拡張相補 PWM モードの動作例を示します。

図 8－72　拡張相補 PWM モードのブロック図

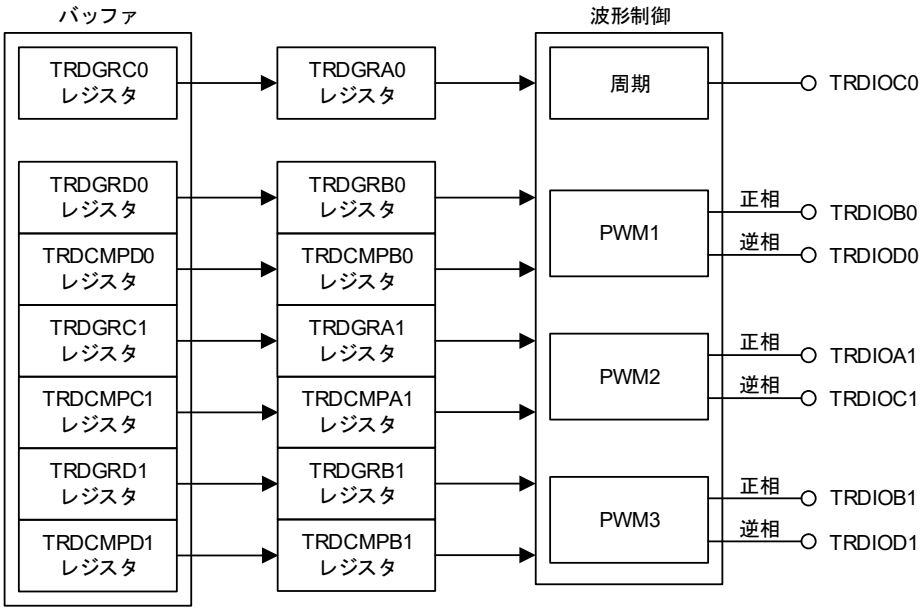
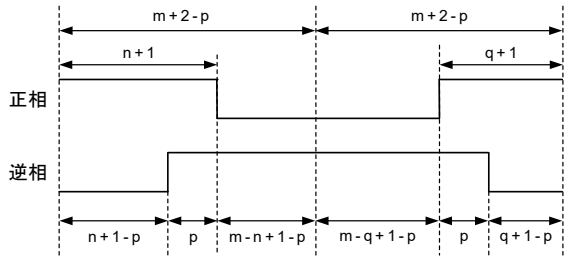


表 8－26　拡張相補 PWM モード仕様（1/2）

項目	仕様
カウント・ソース 注1	f_{CLK}, f_{PLL}, f_{IH}, f_{SUB}, f_{IL} TRDCLK0 端子への外部信号入力（プログラムでアクティブ・エッジを選択） TRDCR1 レジスタの TCK2-TCK0 ビットを，TRDCR0 レジスタの TCK2-TCK0 ビットと同じ値（同じカウント・ソース）に設定してください。
カウント動作	アップ・カウントまたはダウン・カウント アップ・カウント動作中に TRD0 と TRDGRA0 レジスタを比較し一致すると TRD0，TRD1 レジスタはダウン・カウントに切り替わります。ダウン・カウント動作中に TRD1 レジスタが 0000H から FFFFH に変化すると TRD0，TRD1 レジスタはアップ・カウントに切り替わります。
PWM 波形	相補 PWM 周期　：1/fk × (m + 2 - p) ×2 注2 短絡防止時間　：p 正相アクティブ・レベル幅　：1/fk × {(m - n + 1 - p) + (m - q + 1 - p)} 逆相アクティブ・レベル幅　：1/fk × {(n + 1 - p) + (q + 1 - p)} fk：カウント・ソースの周波数 m：TRDGRA0 レジスタ設定値 n：TRDGRB0 レジスタ設定値（PWM1 出力） TRDGRA1 レジスタ設定値（PWM2 出力） TRDGRB1 レジスタ設定値（PWM3 出力） q：TRDCMPB0 レジスタ設定値（PWM1 出力） TRDCMPA1 レジスタ設定値（PWM2 出力） TRDCMPB1 レジスタ設定値（PWM3 出力） p：TRD0 レジスタ設定値
	 （アクティブ・レベルがLの場合）
カウント開始条件	TRDSTR レジスタの TSTART0 および TSTART1 ビットへの 1（カウント開始）書き込み
カウント停止条件	TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき，TRDSTR レジスタの TSTART0 および TSATRT1 ビットへの 0（カウント停止）書き込み（PWM 出力端子は，TRDFCR レジスタの OLS0 および OLS1 ビットで選択された初期出力レベルを出力します。）
割り込み要求発生タイミング	• TRD1 レジスタのアンダフロー • TRD0 レジスタと TRDGRA0 レジスタのコンペアー致 詳細は「8.7　間引きモジュール（TRDMBK）」を参照ください。

注 1. タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

2. カウント開始後，相補 PWM 周期は固定です。

表 8－26　拡張相補 PWM モード仕様（2/2）

項目	仕様
TRDIOA0 端子機能	プログラマブル入出力ポート，または TRDCLK0（外部クロック）入力
TRDIOB0 端子機能	PWM1 正相出力
TRDIOD0 端子機能	PWM1 逆相出力
TRDIOA1 端子機能	PWM2 正相出力
TRDIOC1 端子機能	PWM2 逆相出力
TRDIOB1 端子機能	PWM3 正相出力
TRDIOD1 端子機能	PWM3 逆相出力
TRDIOC0 端子機能	1/2 PWM 周期ごとに出力反転
INTP0 端子機能	パルス出力強制遮断信号入力（プログラマブル入出力ポート，または INTP0 割り込み入力）
タイマの読み出し	TRDi レジスタを読むと，カウント値が読める
タイマの書き込み	TRDi レジスタに書き込める
選択機能	• パルス出力強制遮断信号入力（「8.3.1 (4)　パルス出力強制遮断」参照） • 正相と逆相のアクティブ・レベルおよび初期出力レベルは 1 端子ごとに選択 • バッファ・レジスタからの転送タイミング選択 • A/D 変換トリガ機能（「8.3.9 (2)　A/D 変換トリガの生成」参照）

備考　i = 0, 1

(1)　動作例

拡張相補 PWM モードの TRDIOji 端子（j = A, B, C, D，i = 0, 1）の初期出力レベルは正相・逆相ともに非アクティブ・レベルを TRDOCR レジスタに設定してください。カウント開始後，TRDFCR レジスタの OLS1, OLS0 ビットで設定したアクティブ・レベルが有効となります。

カウント開始後の初めの周期をデューティ 100% とする場合は，逆相がアクティブ・レベルとなる値を TRDOCR レジスタに設定してください。

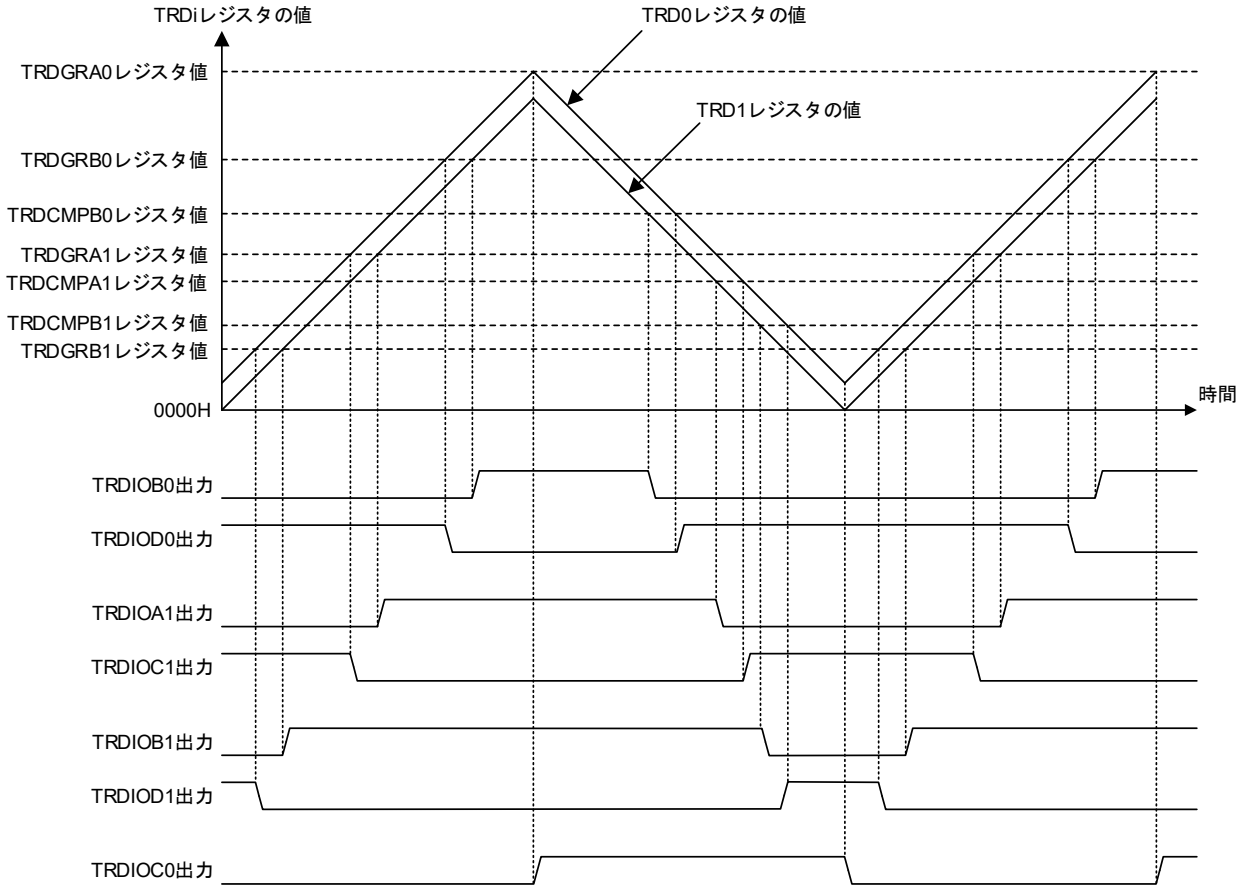
バッファ・レジスタの転送タイミング：

拡張相補 PWM モードでは，レジスター斉書き換え機能を使用してジェネラル・レジスタを更新します。バッファ・レジスタを設定した後で TRDRDT1 レジスタの RDT ビットを 1 に設定します。TRD1 がアンダフローしたときにバッファ・レジスタからジェネラル・レジスタへ転送します。

レジスター斉書き換え機能の詳細は，「8.3.1 (7)　コンペア・レジスタの一斉書き換え」を参照してください。

備考　ジェネラル・レジスタ　：TRDGRB0, TRDGRA1, TRDGRB1, TRDCMPB0, TRDCMPA1, TRDCMPB1
　　バッファ・レジスタ　　：TRDGRD0, TRDGRC1, TRDGRD1, TRDCMPD0, TRDCMPC1, TRDCMPD1

図 8－73　拡張相補 PWM モードの非対称波形モデル

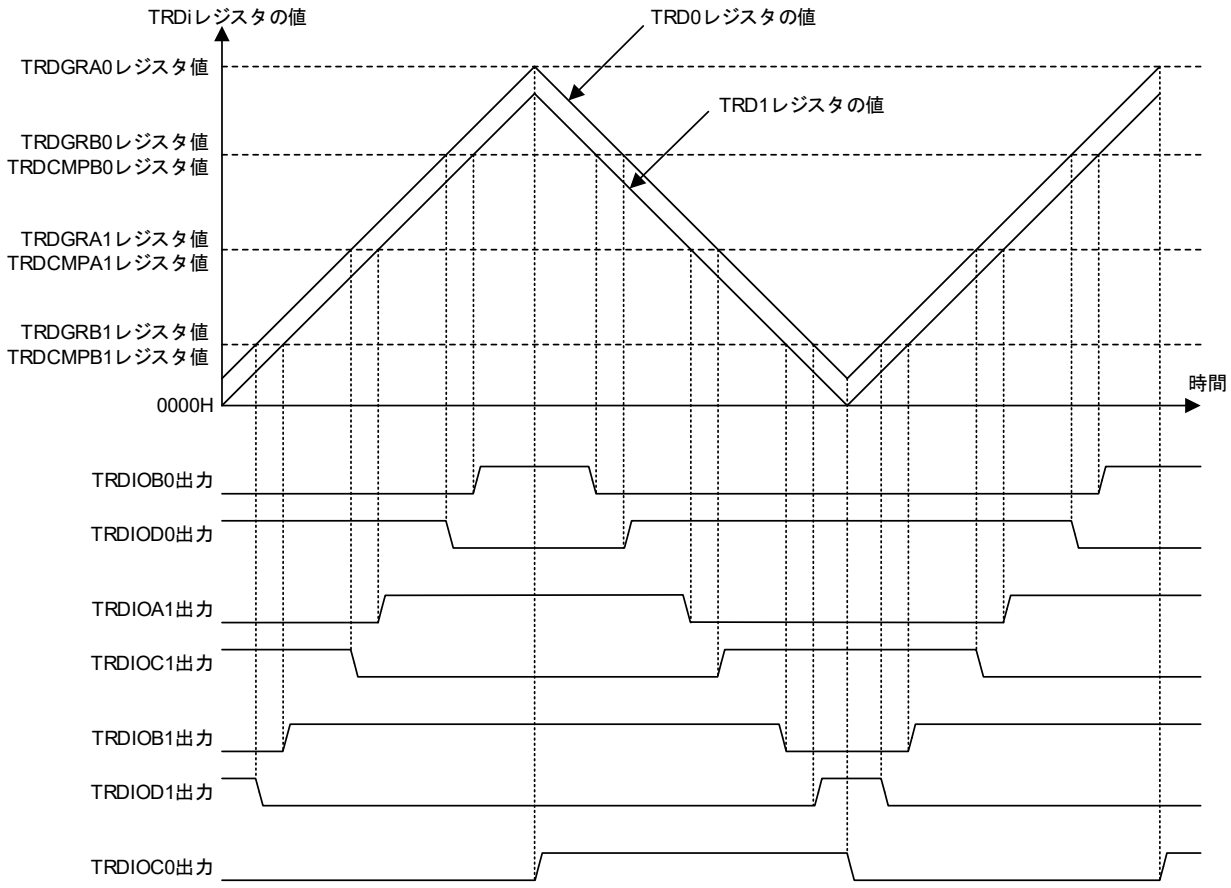


備考　i = 0, 1

上図は次の条件の場合です。

- TRDFCR レジスタの CPSS = 1

図 8－74　拡張相補 PWM モードの対称波形モデル（非対称 PWM 出力時）

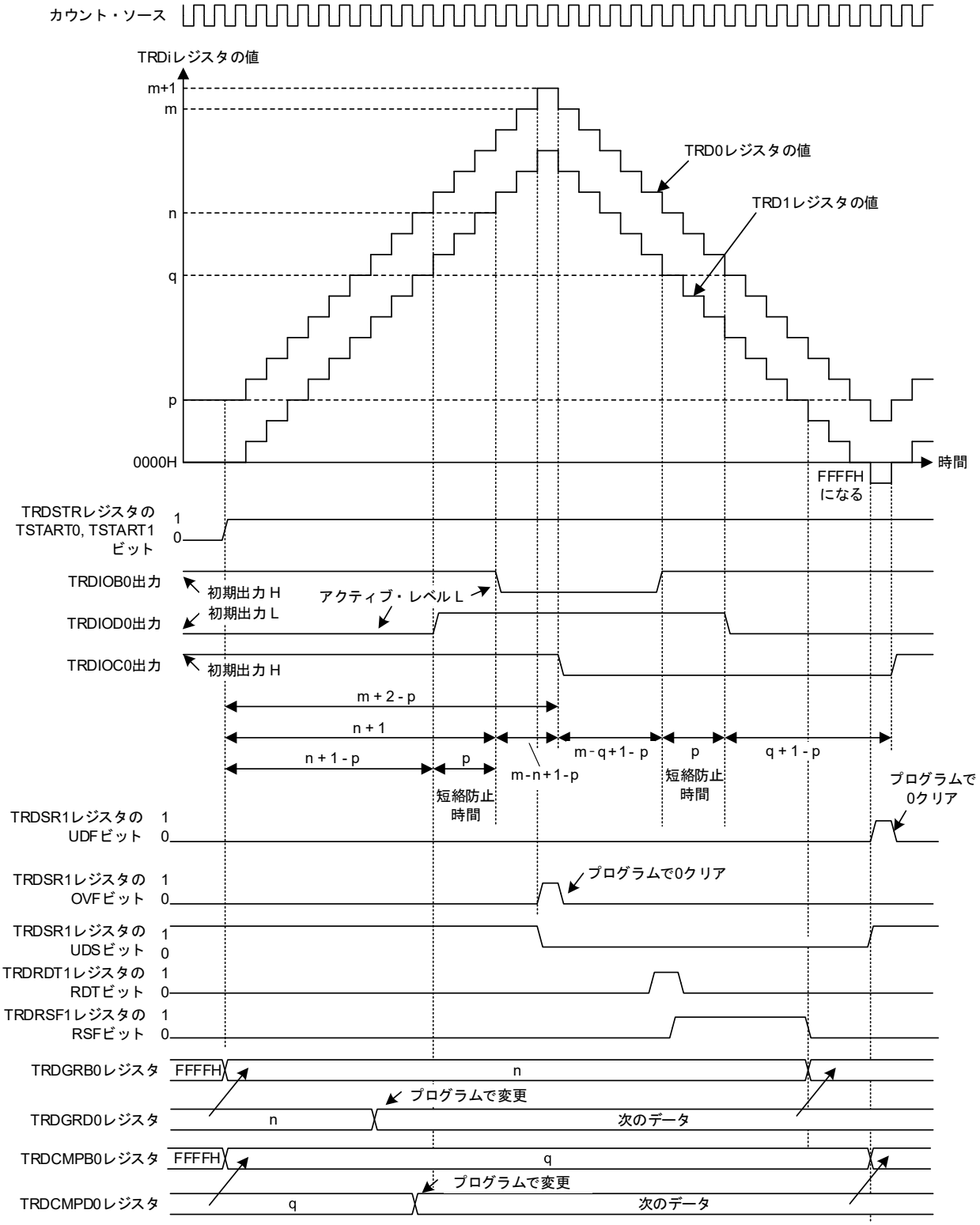


備考　i = 0, 1

上図は次の条件の場合です。

- TRDFCR レジスタの CPSS = 1

図 8－75 拡張相補 PWM モードの動作例（非対称 PWM 出力時）



備考 i = 0, 1

m：TRDGRA0 レジスタの設定値， n：TRDGRB0 レジスタの設定値

q：TRDCMPB0 レジスタの設定値， p：TRD0 レジスタの設定値

上図は次の条件の場合です。

- TRDFCR レジスタの OLS1，OLS0 ビットが 0（正相，逆相ともにアクティブ・レベル L）
- TRDOCR.TOB0 = 1，TRDOCR.TOD0 = 0，TRDOCR.TOC0 = 1

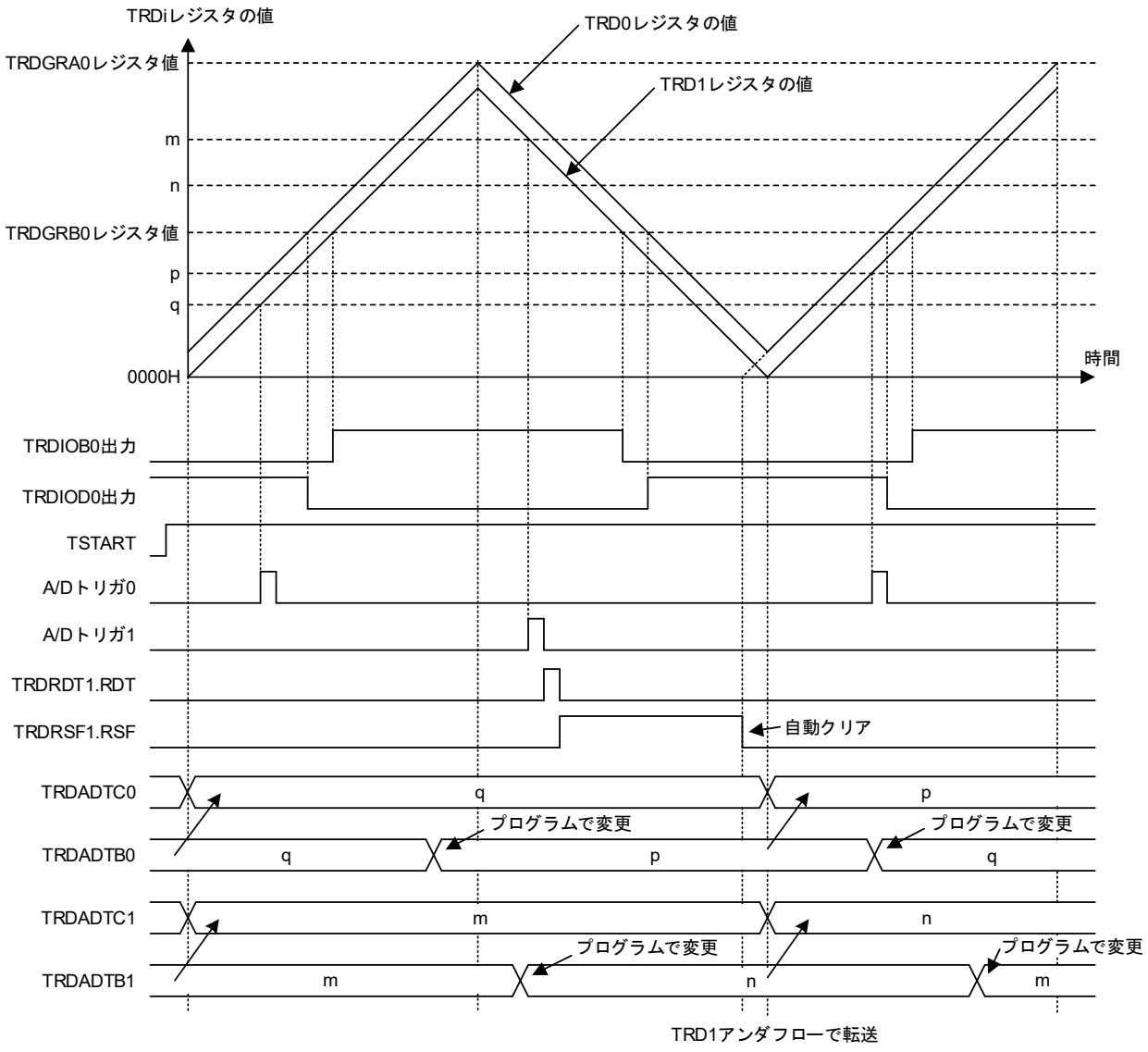
(2) A/D変換トリガの生成

拡張相補 PWM モードでは，アップ・カウント中またはダウン・カウント中のいずれかで，TRD1 カウンタと TRDADTCi レジスタ（i = 0, 1）が一致したときに A/D 変換トリガを生成することができます。

TRDADCR レジスタの ADMDi ビットでアップ・カウント中またはダウン・カウント中かを選択し，TRDADCR レジスタの ADEi ビットを 1 にしてこの機能を有効にしてください。

レジスター斉書き換え機能を使用して TRDADTBi レジスタ（バッファ・レジスタ）から TRDADTCi レジスタ（コンペア・レジスタ）にデータを更新します。

図 8－76　A/D 変換トリガ生成タイミング



備考　上図は次の条件の場合です。

- TRDADCR レジスタの ADMD0 = 0，ADMD1 = 1

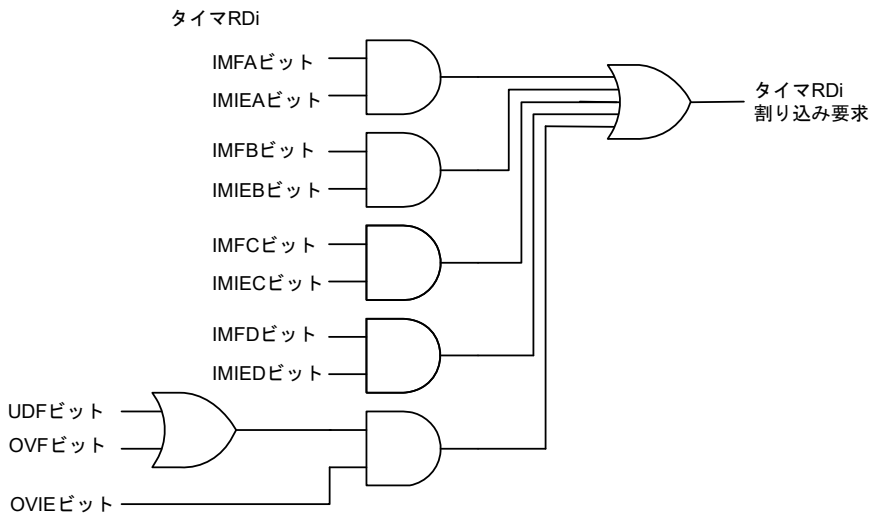
8.4　タイマ RDe 割り込み

タイマ RDe は，タイマ RD0 とタイマ RD1 ごとに 6 つの要因からタイマ RDi（i = 0, 1）割り込み要求を発生します。表 8－27 にタイマ RDe 割り込み関連レジスタを，図 8－77 にタイマ RDe 割り込みのブロック図を示します。拡張相補 PWM モードの割り込み機能は，図 8－77 とは異なります。詳細は「8.7　間引きモジュール（TRDMBK）」を参照してください。

表 8－27　タイマ RDe 割り込み関連レジスタ

	タイマ RDe ステータス・レジスタ	タイマ RDe 割り込み許可レジスタ	割り込み要求フラグ（レジスタ）	割り込みマスク・フラグ（レジスタ）	優先順位指定フラグ（レジスタ）
タイマ RD0	TRDSR0	TRDIER0	TRDIF0（IF0H）	TRDMK（MK0H）	TRDPR00（PR00H） TRDPR10（PR10H）
タイマ RD1	TRDSR1	TRDIER1	TRDIF1（IF0H）	TRDMK（MK0H）	TRDPR01（PR00H） TRDPR11（PR10H）

図 8－77　タイマ RDe 割り込みのブロック図



備考　i = 0, 1
IMFA, IMFB, IMFC, IMFD, OVF, UDF　：TRDSRi レジスタのビット
IMIEA, IMIEB, IMIEC, IMIED, OVIE　：TRDIERi レジスタのビット

タイマ RDe は，複数の割り込み要求要因から 1 つの割り込み要因（タイマ RDe 割り込み）を発生するため，他のマスカブル割り込みとは次のような違いがあります。

- TRDSRi レジスタのビットが 1 で，それに対する TRDIERi レジスタのビットが 1（割り込み許可）の場合，IF0H レジスタの TRDIFi ビットが 1（割り込み要求あり）になります。
- TRDIERi レジスタの複数のビットを 1 にしている場合，どの要求要因による割り込みかは，TRDSRi レジスタで判定してください。
- TRDSRi レジスタの各ビットは，割り込みが受け付けられても自動的に 0 になりませんので，割り込みルーチン内で 0 にしてください。

TRDSRi レジスタの各ビットをクリアする場合，下記（a），（b）のいずれかの方法で実施してください。

（a）　TRDIERi レジスタを 00H（すべての割り込みを禁止）にした後，ステータス・フラグに 0 を書いてください。

（b）　TRDIERi レジスタに 1 を設定しているビットがあり，かつそのビットで許可した割り込み要因のステータス・フラグが 1 の場合，TRDSRi レジスタのステータス・フラグが 1 のビットすべてに対して 0 を書いてください。

- TRDIERi レジスタの複数のビットを 1 にしているときに，最初の要求要因が成立して TRDIFi ビットが 1 セットされた後に次の要求要因が成立した場合，割り込みが受け付けられると TRDIFi ビットは 0 クリアされます。ただし，先に成立した要求要因をクリアすると次に発生した要求要因により TRDIFi ビットが 1 セットされます。

8.5　タイマ RDe 使用上の注意

8.5.1　SFR リード／ライト・アクセス

ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット時のタイマ RDe の SFR の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットした後に読み出してください。

タイマ RDe を設定する際には，最初に PER1 レジスタの TRD0EN ビットを 1 にしてください。TRD0EN ビットが 0 の場合は，タイマ RDe の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・レジスタ，ポート・モード・レジスタは除く）。

また，以下のレジスタはカウント動作中に書き換え禁止のレジスタです。

TRDELC レジスタ, TRDMR レジスタ, TRDPMR レジスタ, TRDFCR レジスタ, TRDOER1 レジスタ 注, TRDOER2 レジスタの TRDPTO ビット，TRDDFi レジスタ，TRDCRi レジスタ，TRDIORAi レジスタ，TRDIORCi レジスタ，TRDPOCRi レジスタ，TRDOCR レジスタ，TRDEMRi レジスタ

注　PWMDLY0 レジスタの対応ビットの設定値が 00B（出力遅延なし）以外の場合。

(1)　TRDSTRレジスタ

- TRDSTR レジスタは 8 ビット・メモリ操作命令で設定してください。
- TRDSTR レジスタの CSELi ビット（i = 0, 1）が 0（TRDi レジスタと TRDGRAi レジスタのコンペアー致でカウント停止）の場合，TSTARTi ビットに 0（カウント停止）を書いてもカウントは停止せず，TSTARTi ビットも変化しません。

  TRDGRAi レジスタとのコンペアー致時のみ，TSTARTi ビットは 0（カウント停止）となります。

  TRDSTR レジスタを書き換える際で，CSELi ビットが 0 の場合，カウント動作に影響なく CSELi ビットを 1 へ変更したい場合は，TSTARTi ビットに 0 を書いてください。

  TSTARTi ビットに 1 を書き込むと，カウンタが停止中の場合，カウント開始する恐れがあります。

  また，プログラムでカウントを停止させる場合は，CSELi ビットを 1 にした後で，TSTARTi ビットに 0 を書いてください。同時に（1 命令で）CSELi ビットに 1，TSTARTi ビットに 0 を書いてもカウントは停止できません。
- TRDIOji 端子（j = A, B, C, D）をタイマ RDe 出力で使用している場合の，カウント停止時の出力レベルを表 8－28 に示します。

表 8－28　カウント停止時の TRDIOji（j = A, B, C, D）端子出力レベル

カウント停止方法	カウント停止時の TRDIOji 端子出力
CSELi ビットが 1 のときに，TSTARTi ビットに 0 を書きカウント停止	直前の出力レベルを保持（タイマ RDe の相補 PWM モード，リセット同期 PWM モードでは TRDFCR レジスタの OLS0，OLS1 ビットで選択した初期出力レベルを出力，拡張相補 PWM モードでは TRDOCR レジスタで設定した初期出力レベルを出力）
CSELi ビットが 0 のときに，TRDi レジスタと TRDGRAi レジスタのコンペアー致でカウント停止	コンペアー致による出力変化後，そのレベルを保持（タイマ RDe の相補 PWM モード，リセット同期 PWM モードでは TRDFCR レジスタの OLS0，OLS1 ビットで選択した初期出力レベルを出力，拡張相補 PWM モードでは TRDOCR レジスタで設定した初期出力レベルを出力）

備考　i = 0, 1，j = A, B, C, D

(2) TRDDFiレジスタ（i = 0, 1）

TRDDFi レジスタの DFCK0，DFCK1 ビットを設定した後，カウント動作を開始してください。

8.5.2 モードの切り替え

- 動作中にモードを切り替える際は，カウント停止状態（TSTART0 ビット，TSTART1 ビットを 0）にした後，行ってください。
- TSTART0 ビット，TSTART1 ビットを 0 から 1 へ変更する前に，TRDIF0 ビット，TRDIF1 ビットを 0 にしてください。詳細は「第 21 章　割り込み機能」を参照してください。

8.5.3 カウント・ソース

- カウント・ソースを切り替える際は，カウントを停止した後，切り替えてください。

  ［変更手順］

  ① TRDSTR レジスタの TSTARTi ビット（i = 0, 1）を 0（カウント停止）にする

  ② TRDCRi レジスタの TCK0-TCK2 ビットを変更する
- タイマ RDe のカウント・ソースを設定する場合，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} にカウント・ソースと同じクロック・ソースを設定してください。

8.5.4 インプット・キャプチャ機能

- インプット・キャプチャ信号のパルス幅はタイマ RDe の動作クロック（f_{TRD}）の 3 サイクル以上にしてください。
- TRDIOji 端子にインプット・キャプチャ信号が入力されてから，タイマ RDe の動作クロック（f_{TRD}）の 2～3 サイクル後に TRDi レジスタの値を TRDGRji レジスタに転送します。（i = 0, 1，j = A, B, C, D）（デジタル・フィルタなしの場合）
- インプット・キャプチャ・モードでは，TRDSTR レジスタの TSTARTi ビットが 0（カウント停止）のときも TRDIORAi, TRDIORCi レジスタの IOj1, IOj0 ビットで選択したエッジが TRDIOji 端子に入力されると，TRDIOji 入力の有効エッジのインプット・キャプチャ割り込み要求が発生します（i = 0, 1，j = A, B, C, D）。インプット・キャプチャ信号のパルス幅はタイマ RDe の動作クロック（f_{TRD}）の 3 サイクル以上にしてください。

8.5.5　TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子の設定手順（i = 0, 1）

リセット後,TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子と共用している I/O ポートは入力ポートとして機能します。

TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子から出力する場合は，以下の手順で設定してください。

［変更手順］

① モード設定，初期値設定をする

② TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子の出力許可にする（TRDOER1 レジスタ）

③ TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子に対応するポート・レジスタのビットを 0 にする

④ TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子に対応するポート・モード・レジスタのビットを出力モードに設定する（TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子から出力開始）

⑤ カウントを開始する（TSTART0 および TSTART1 ビットを 1 にする）

TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合，以下の手順で設定してください。

［変更手順］

① TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子に対応するポート・モード・レジスタのビットを入力モードに設定する（TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子から入力開始）

② インプット・キャプチャ機能に設定する

③ カウントを開始する（TSTART0 および TSTART1 ビットを 1 にする）

TRDIOAi，TRDIOBi，TRDIOCi，TRDIODi 端子を出力モードから入力モードに切り替える場合，端子の状態によりインプット・キャプチャ動作することがあります。デジタル・フィルタを使用しない場合，タイマ RDe の動作クロック（f_{TRD}）の 2 サイクル以上経過した後で，エッジ検出を行います。デジタル・フィルタを使用する場合，デジタル・フィルタのサンプリング・クロックの 5 サイクル以上経過した後で，エッジ検出を行います。

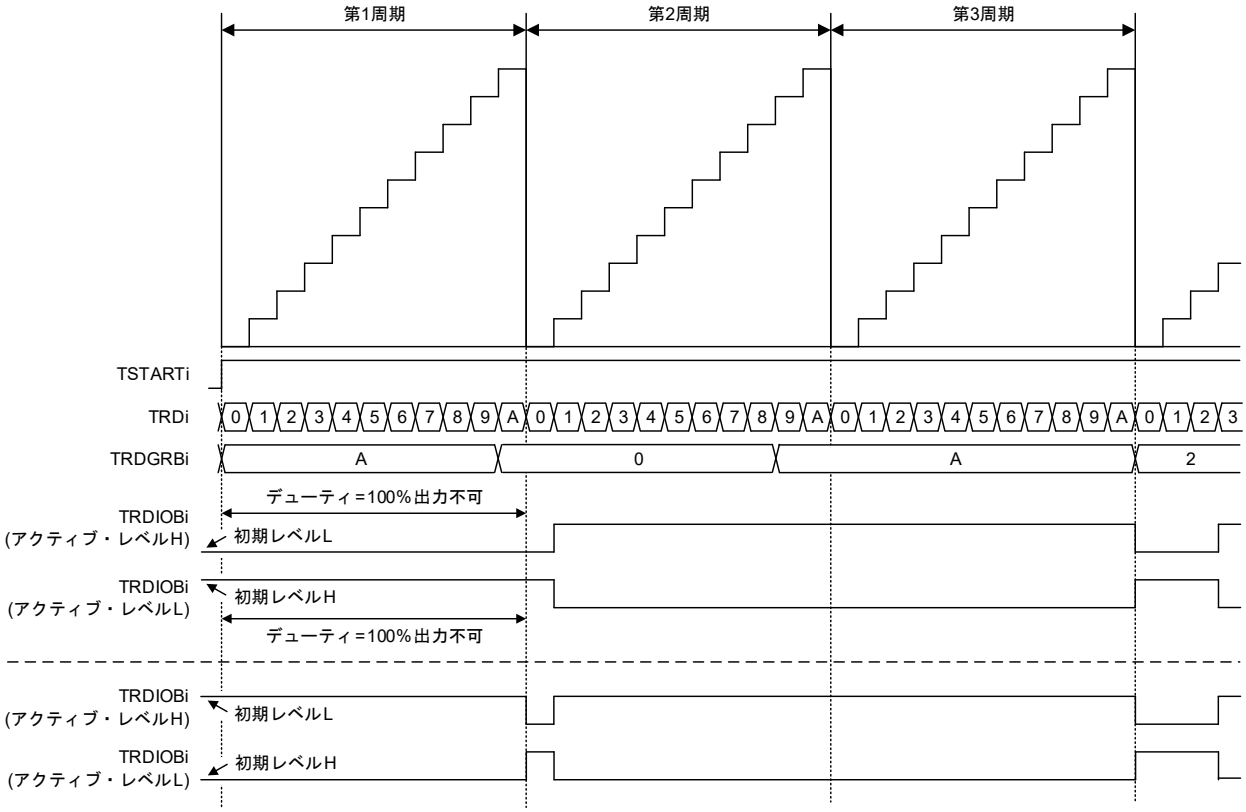
8.5.6　外部クロック　TRDCLK0

TRDCLK0 端子に入力する外部クロックのパルス幅は，タイマ RDe の動作クロック（f_{TRD}）の 3 サイクル以上にしてください。

8.5.7　タイマモード PWM 機能

PWM 出力を設定するジェネラル・レジスタを初期化する時に，PWM 周期と同じ値に設定しないでください。端子の初期出力レベルが非アクティブ・レベルに設定されている場合，カウント動作開始直後の周期で 100%デューティを出力することはできません。

図 8－78　カウント開始後のデューティ 100%出力に対するタイマモード PWM 機能の制限



8.5.8　リセット同期 PWM モード

- モータ制御に用いる場合は OLS0 = OLS1 で使用してください。
- リセット同期 PWM モードに設定するときは，次の手順で設定してください。

［変更手順］

① TRDSTR レジスタの TSTART0 ビットを 0（カウント停止）にする

② TRDFCR レジスタの CMD1，CMD0 ビットを 00B（タイマモード，PWM モード，PWM3 モード）にする

③ CMD1，CMD0 ビットを 01B（リセット同期 PWM モード）にする

④ その他のタイマ RDe 関連レジスタを再設定する

8.5.9　相補 PWM モード

- モータ制御に用いる場合は OLS0 = OLS1 で使用してください。
- TRDFCR レジスタの CMD0，CMD1 ビットを変更するときは，次の手順で変更してください。

［変更手順：相補 PWM モードにする場合（再設定含む），または相補 PWM モードでバッファ・レジスタからジェネラル・レジスタへの転送タイミングを変更する場合］

① TRDSTR レジスタの TSTART0 ビット，TSTART1 ビットを両方とも 0（カウント停止）にする

② TRDFCR レジスタの CMD1，CMD0 ビットを 00B（タイマモード，PWM モード，PWM3 モード）にする

③ CMD1，CMD0 ビットを 10B，または 11B（相補 PWM モード）にする

④ その他のタイマ RDe 関連レジスタを再設定する

［変更手順：相補 PWM モードを止める場合］

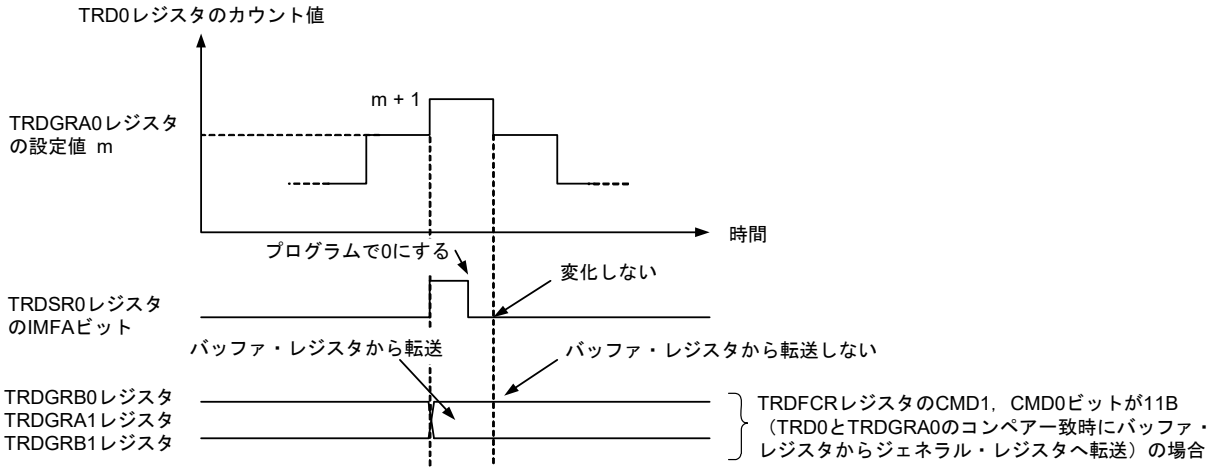
① TRDSTR レジスタの TSTART0 ビット，TSTART1 ビットを両方とも 0（カウント停止）にする

② CMD1，CMD0 ビットを 00B（タイマモード，PWM モード，PWM3 モード）にする

- 動作中に TRDGRA0，TRDGRB0，TRDGRA1，TRDGRB1 レジスタに書き込まないでください。
  PWM 波形を変更する場合は，TRDGRD0，TRDGRC1，TRDGRD1 レジスタへ書き込んだ値を，バッファ動作を用いて TRDGRB0，TRDGRA1，TRDGRB1 レジスタへ転送してください。
  ただし，TRDGRD0，TRDGRC1，TRDGRD1 の書き込みに際しては，TRDBFD0，TRDBFC1，TRDBFD1 ビットを 0（ジェネラル・レジスタ）にして書き込み，その後 TRDBFD0，TRDBFC1，TRDBFD1 ビットを 1（バッファ・レジスタ）にできます。
  PWM 周期は変更できません。

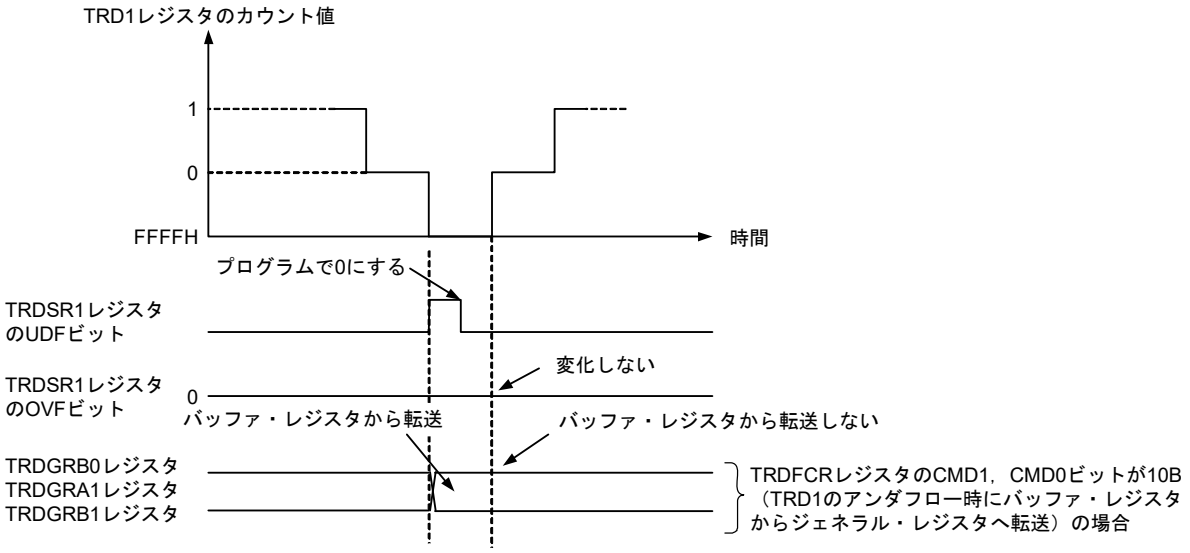
- TRDGRA0 レジスタに設定した値を m とすると，TRD0 レジスタはアップ・カウントからダウン・カウントに変わるとき，m−1 → m → m+1 → m → m−1 とカウントします。
  m → m+1 のとき，TRDSRi レジスタの IMFA ビットが 1 になります。また，TRDFCR レジスタの CMD1，CMD0 ビットが 11B（相補 PWM モード，TRD0 と TRDGRA0 レジスタのコンペアー致でバッファ・レジスタから転送）の場合，バッファ・レジスタ（TRDGRD0，TRDGRC1，TRDGRD1）の内容がジェネラル・レジスタ（TRDGRB0，TRDGRA1，TRDGRB1）に転送されます。
  m+1 → m → m−1 の動作では IMFA ビットは変化せず，TRDGRA0 レジスタ等へのデータ転送もありません。

図 8－79　相補 PWM モード時の TRD0 と TRDGRA0 レジスタがコンペアー致したときの動作



- TRD1 はダウン・カウントからアップ・カウントに変わるとき，1→0→FFFFH→0→1 とカウントします。1 → 0 → FFFFH の動作によって，TRDSRi レジスタの UDF ビットが 1 になります。また，TRDFCR レジスタの CMD1，CMD0 ビットが 10B（相補 PWM モード，TRD1 のアンダフローでバッファ・データ転送）の場合，バッファ・レジスタ（TRDGRD0，TRDGRC1，TRDGRD1）の内容がジェネラル・レジスタ（TRDGRB0，TRDGRA1，TRDGRB1）に転送されます。
  FFFFH → 0 → 1 の動作では TRDGRB0 レジスタ等へのデータ転送はありません。また，このとき，TRDSRi レジスタの OVF ビットは変化しません。

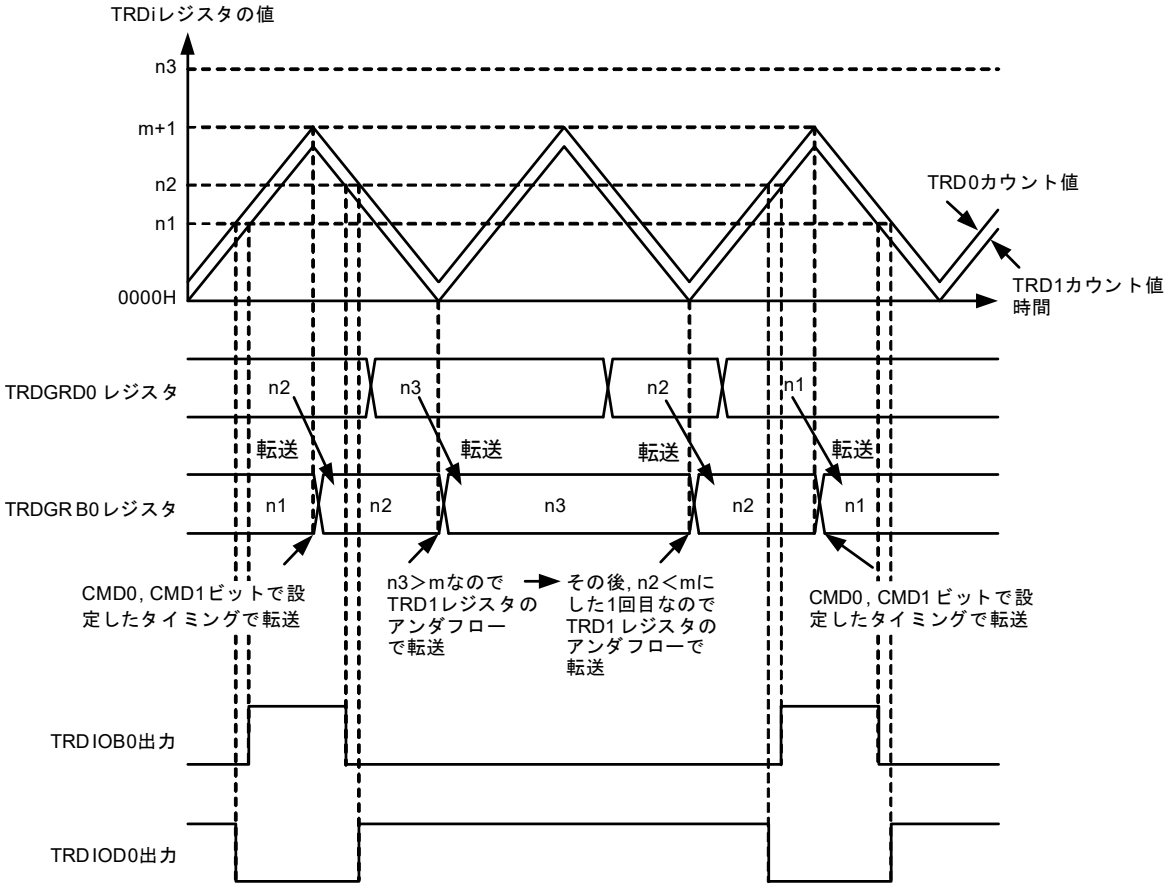
図 8－80　相補 PWM モード時の TRD1 がアンダフローしたときの動作



- バッファ・レジスタからジェネラル・レジスタへのデータ転送タイミングは，TRDFCR レジスタの CMD0，CMD1 ビットで選択してください。ただし，デューティ 0%の場合およびデューティ 100%の場合，CMD0，CMD1 ビットの値に関係なく，以下に示すタイミングで転送します。

  (a)　バッファ・レジスタの値≧TRDGRA0 レジスタの値の場合（デューティ 0%）
  TRD1 レジスタのアンダフローで転送します。
  その後，0001H 以上かつ TRDGRA0 レジスタの値より小さい値をバッファ・レジスタに設定すると，設定後 1 回目に TRD1 レジスタがアンダフローしたとき，ジェネラル・レジスタへ転送します。それ以降は CMD0，CMD1 ビットで選択したタイミングで転送します。デューティ 0%をデューティ 100%へ直に変えることはできません。
  ただし，バッファ・レジスタの初期値 FFFFH のままデューティ 0%の波形を生成することはできません。デューティ 0%の波形を生成したい場合，バッファ・レジスタへの書き込みによりバッファ・レジスタの値≧TRDGRA0 としてください。

図 8－81　相補 PWM モード時のバッファ・レジスタの値≧TRDGRA0 レジスタ値の場合の動作例



備考　m：TRDGRA0 レジスタ設定値

上図は次の条件の場合です。

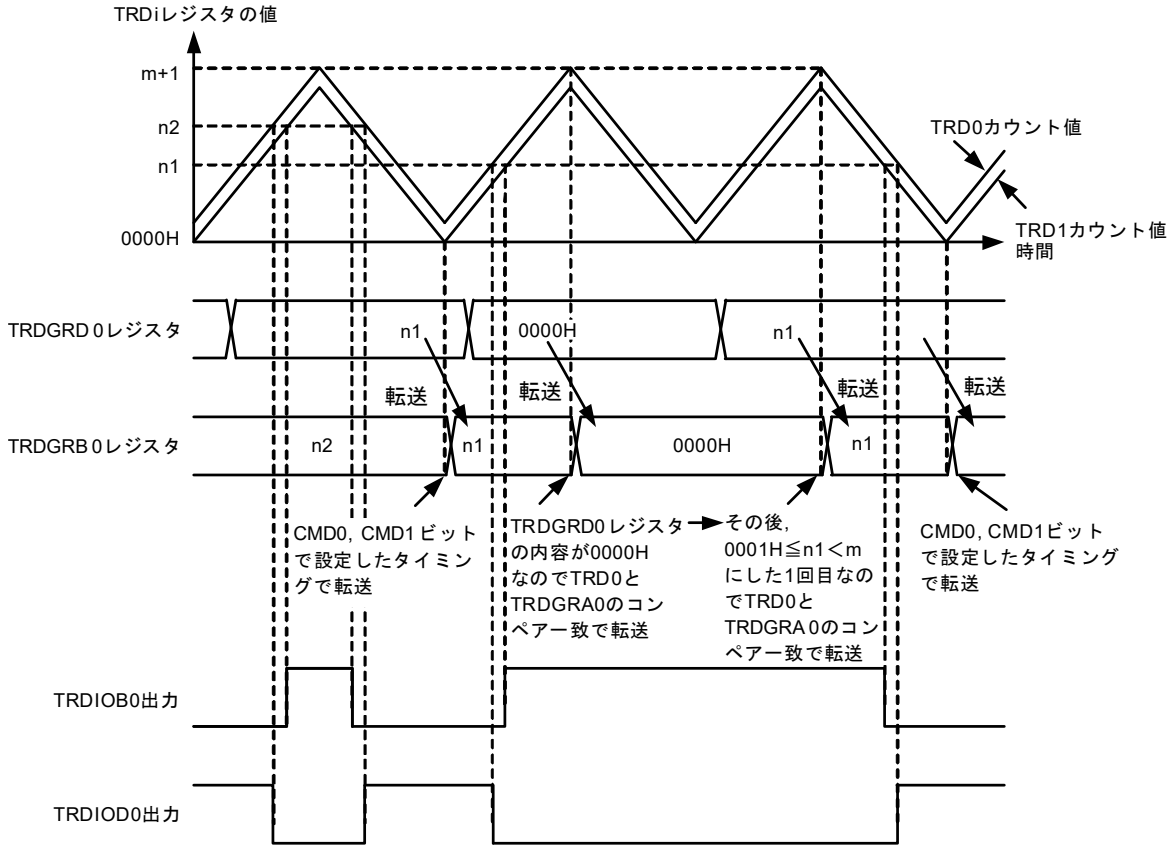
- TRDFCR レジスタの CMD1, CMD0 ビットが 11B（相補 PWM モード時，TRD0 レジスタと TRDGRA0 レジスタのコンペアー致したときにバッファ・レジスタのデータを転送）
- TRDFCR レジスタの OLS0, OLS1 ビットがともに 1（正相，逆相ともにアクティブ・レベル H）

(b)　バッファ・レジスタの値が 0000H の場合（デューティ 100%）

TRD0 と TRDGRA0 レジスタのコンペアー致で転送します。

その後，0001H 以上かつ TRDGRA0 レジスタの値より小さい値をバッファ・レジスタに設定すると，設定後 1 回目に TRD0 と TRDGRA0 レジスタがコンペアー致したとき，ジェネラル・レジスタへ転送します。それ以降は CMD0，CMD1 ビットで選択したタイミングで転送します。デューティ 100%をデューティ 0%へ直に変えることはできません。

図 8－82　相補 PWM モード時のバッファ・レジスタの値が 0000H の場合の動作例



備考　m：TRDGRA0 レジスタ設定値

上図は次の条件の場合です。

- TRDFCR レジスタの CMD1, CMD0 ビットが 10B（相補 PWM モード時，TRD1 レジスタのアンダフローで，バッファ・レジスタのデータを転送）
- TRDFCR レジスタの OLS0, OLS1 ビットがともに 1（正相，逆相ともにアクティブ・レベル H）

8.5.10　拡張 PWM モード

- カウント操作を停止後，再スタートするには，以下の手順に従ってください。
  ① TRDSTR レジスタの TSTARTi ビットを 0（カウント停止）に設定します。
  ② 端子の初期出力レベルを TRDOCR レジスタでリセットします。
  ③ TRDi レジスタを 0000H に設定します。
  ④ TRDSTR レジスタの TSTARTi ビットを 1（カウント開始）に設定します。

- 同期動作を使用する場合は，以下の手順に従ってください。
  ① TRDMR レジスタの TRDSYNC ビットを 1 に設定します 注
  ② TRDCR0 レジスタと TRDCR1 レジスタに同じ値を設定します。
  TRDi レジスタを 0000H に設定します。
  TRDGRA0 と TRDGRA1 に同じ値を設定します。
  ③ TRDSTR レジスタの TSTARTi ビットを 1（カウント開始）に設定します。
  一斉書き換え機能を使用してジェネラル･レジスタを書き換える場合は, 16 ビット･アクセスで TRDRDT0 レジスタの RDT ビットと TRDRDT1 レジスタの RDT ビットを同時に設定してください。

注　同期動作でカウンタ・リスタート機能を使用する場合，TRD0RES を入力することで TRD0 レジスタと TRD1 レジスタをクリアします。TRD1RES の入力は無視されます。

- PWM 出力を設定するジェネラル･レジスタを初期化する時に, PWM 周期と同じ値に設定しないでください。端子の初期出力レベルが非アクティブ・レベルに設定されている場合，カウント動作開始直後の周期で 100%デューティを出力することはできません。 最初の周期から 100%のデューティを出力するには，端子の初期出力レベルをアクティブ・レベルに設定します。詳細については，「8.5.7　タイマモード PWM 機能」を参照してください。

- TRD0RES 端子もしくは TRD1RES 端子に入力される信号のパルス幅は，タイマ RDe 動作クロックの 3 サイクル以上である必要があります。

- ゲート機能を有効にして最初の周期を使用する場合は，端子の初期出力レベルを非アクティブ・レベルに設定してください。

- ディザリング機能を使用する場合は，以下の手順に従ってください。
  ① TRDSTR レジスタの TSTARTi ビットを 0（カウント停止）に設定します。
  ② 端子の初期出力レベルを TRDOCR レジスタでリセットします。
  ③ TRDi レジスタを 0000H に設定します。
  ④ TRDDNRi レジスタの DNR[3:0]ビットに 0000B（ディザリング・ナンバを初期化）を設定します。
  ⑤ TRDSTR レジスタの TSTARTi ビットを 1（カウント開始）に設定します。

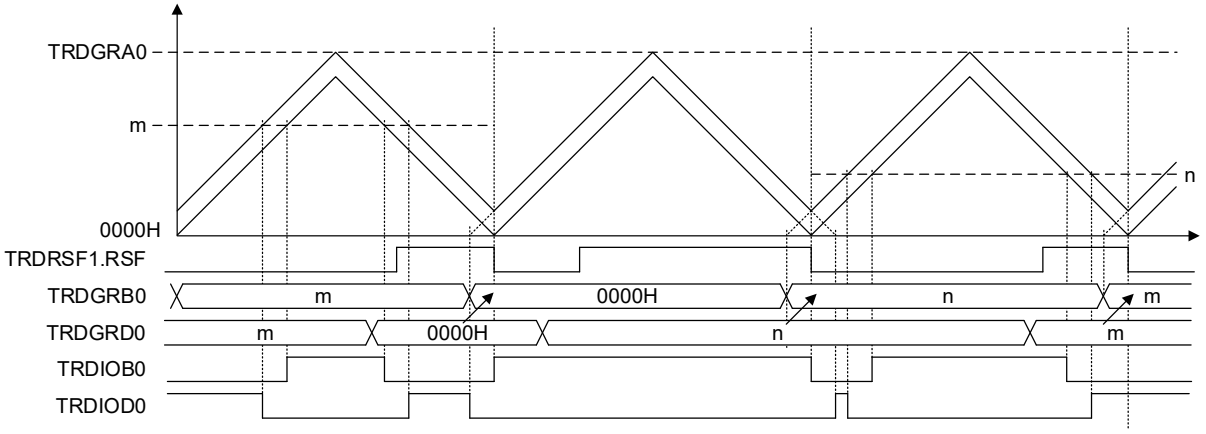
8.5.11　拡張相補 PWM モード

- デューティ 100%出力の設定

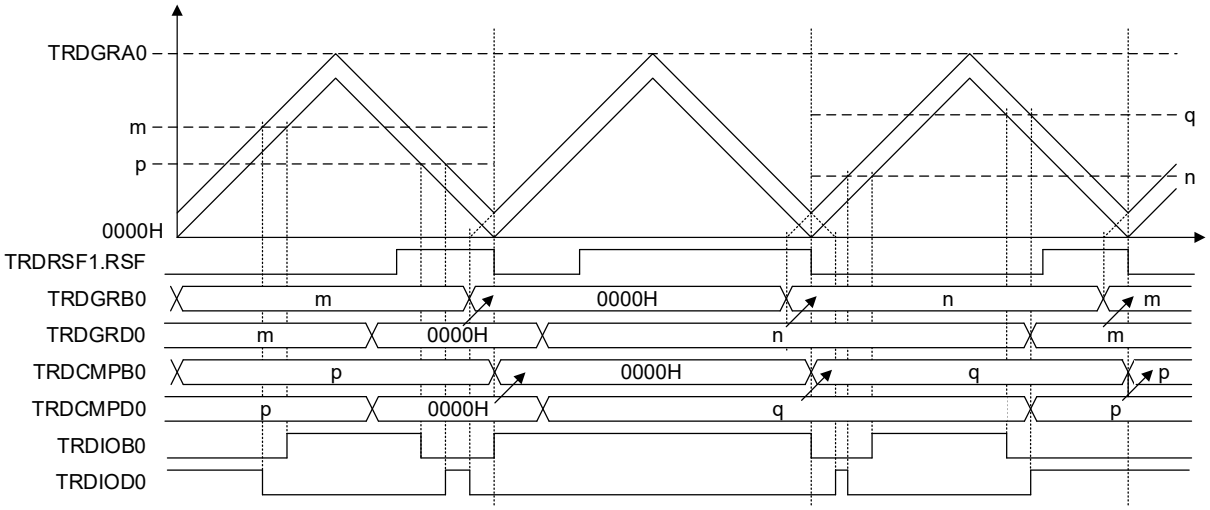
  デューティ 100%を出力する場合は，コンペア・レジスタに 0000H を設定してください。CPSS = 0 の場合は TRDGRji レジスタのみ，CPSS = 1 の場合は TRDGRji と TRDCMPm レジスタの設定が必要です。一斉書き換えタイミングまでにバッファ・レジスタが設定され，TRDRSF1.RSF = 1 に設定されている場合は，デューティ 100%出力が可能です。

図 8－83　デューティ 100%出力の設定例

TRDFCR.CPSS = 0（対称波形出力）の場合



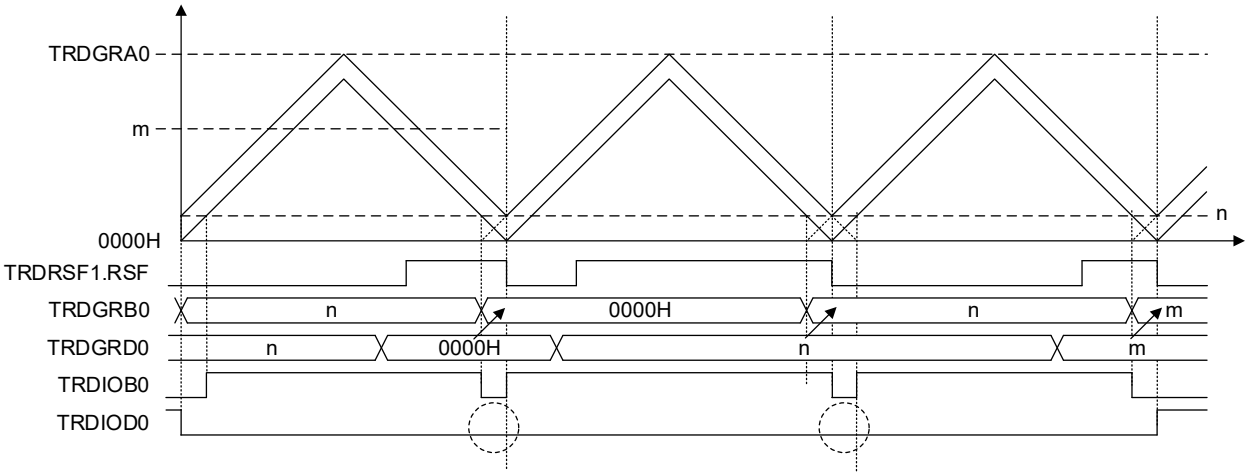
TRDFCR.CPSS = 1（非対称波形出力）の場合



- デューティ 100%出力時の注意事項

  PWM デューティ比の設定や短絡防止時間の設定によっては，逆相は PWM デューティ 100%設定時と同じ非アクティブ・レベル出力になります。なお，TRDIOC0 も逆相と同様に短絡防止時間の影響を受けます。

図 8－84　デューティ 100%出力時の注意事項



備考　n：短絡防止時間

上図は次の条件の場合です。

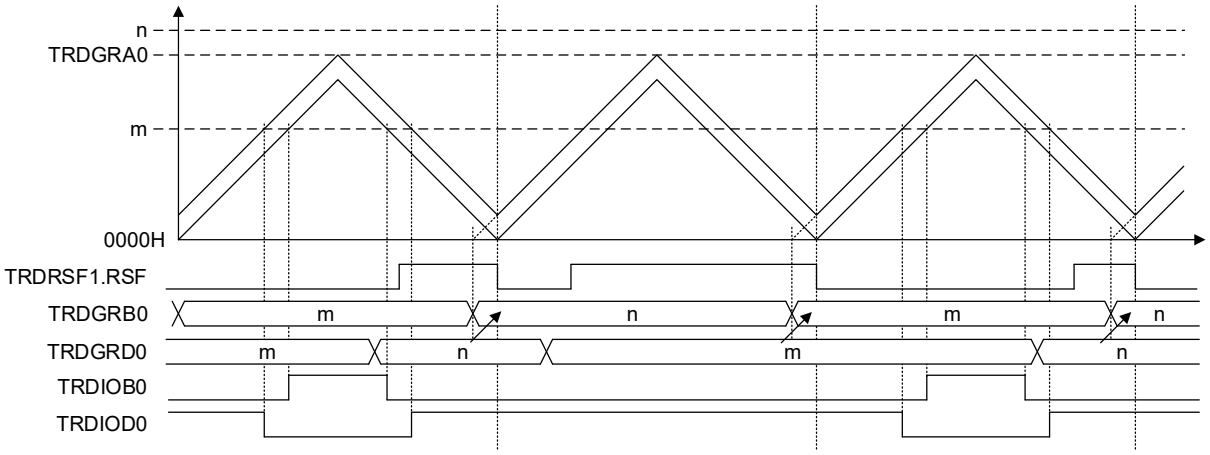
- TRDFCR レジスタの CPSS = 0

- デューティ 0%出力の設定

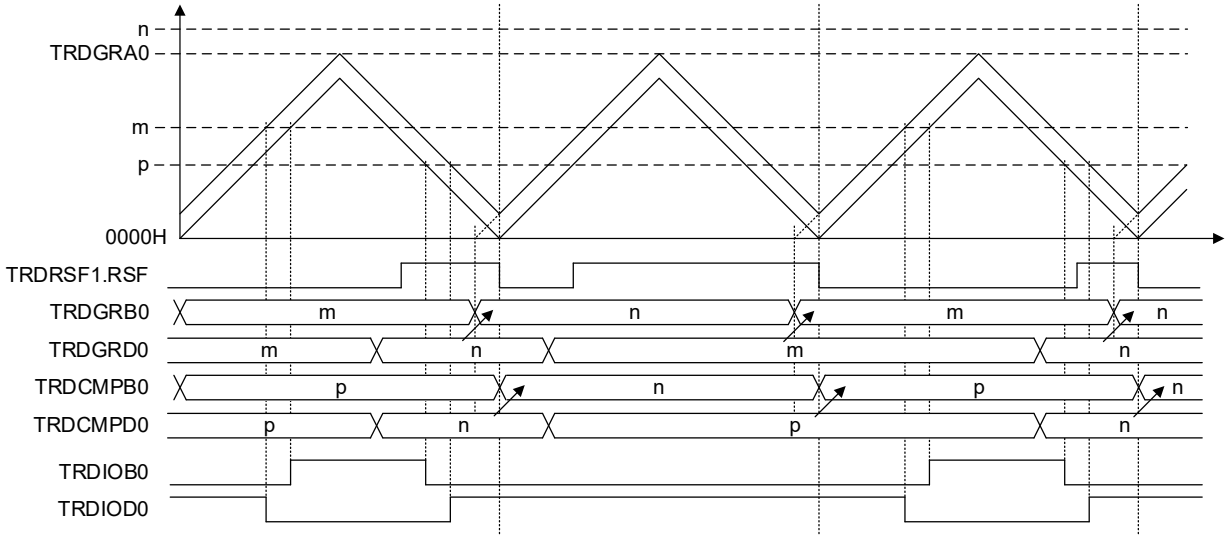
  デューティ 0%を出力する場合は，コンペア・レジスタに TRDGRA0 以上の値を設定してください。CPSS = 0 の場合は TRDGRji レジスタのみ，CPSS = 1 の場合は TRDGRji と TRDCMPm レジスタの設定が必要です。一斉書き換えのタイミングまでにバッファ・レジスタが設定され，TRDRSF1.RSF = 1 に設定されている場合は，デューティ 0%出力が可能です。

図 8－85　デューティ 0%出力の設定例

TRDFCR.CPSS = 0（対称波形出力）の場合



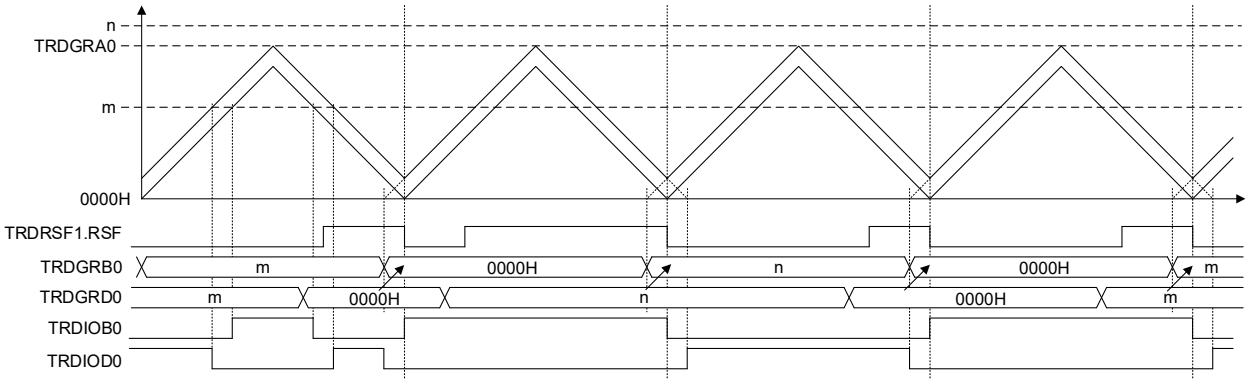
TRDFCR.CPSS = 1（非対称波形出力）の場合



- デューティ 100%出力，デューティ 0%出力の動作例

  このモードでは，デューティ 0%とデューティ 100%を連続して出力できます。

図 8－86　動作例（デューティ 100%出力，デューティ 0%出力）



上図は次の条件の場合です。

- TRDFCR レジスタの CPSS = 0

- デューティ 100%，デューティ 0%の出力時を除き，バッファ・レジスタ（TRDGRD0, TRDGRC1, TRDGRD1, TRDCMPD0, TRDCMPC1, TRDCMPD1）へは，以下の範囲で設定してください。

  設定範囲：＞TRD0 レジスタ設定値

  ＜TRDGRA0 レジスタ設定値 －TRD0 レジスタ設定値

- モータ制御に拡張相補 PWM モードを使用する場合は，OLS0 = OLS1 であることを確認してください。
- カウント動作を停止し再開するには，以下の手順で行ってください。

  ① TRDSTR レジスタの TSTART0 および TSTART1 ビットを 0（カウント停止）に設定します。

  ② TRDFCR レジスタの CMD1 ビットと CMD0 ビットを 00B（タイマモードまたは PWM3 モード）に設定します。

  ③ TRDFCR レジスタの CMD1，CMD0 ビットを 10B，EPWM ビットを 1（拡張相補 PWM モード）に設定します。

  ④ TRD0 レジスタに短絡防止時間のカウント値を設定し，TRD1 レジスタに 0000H を設定します。

  ⑤ TRDGRC0, TRDGRD0, TRDGRC1, TRDGRD1 レジスタを設定します。非対称波形モデルでは, TRDGRm, TRDCMPm レジスタ（m = B0, D0, A1, B1, C1, D1）も設定します。また, TRDGRB0 と TRDGRD0, TRDGRA1 と TRDGRC1，TRDGRB1 と TRDGRD1，TRDCMPB0 と TRDCMPD0，TRDCMPA1 と TRDCMPC1，TRDCMPB1 と TRDCMPD1 の対になるレジスタを同じ値に設定します。

  ⑥ A/D 変換トリガ機能を使用するには，TRDADTB0 レジスタと TRDADTB1 レジスタを設定します。

  ⑦ TRDOCR レジスタで出力端子の初期出力レベルをリセットします。

  ⑧ TSTART0，TSTART1 ビットを 1（カウント開始）に設定します。

- タイマ・カウント動作中は, ジェネラル・レジスタ（TRDGRA0, TRDGRB0, TRDGRA1, TRDGRB1, TRDCMPB0, TRDCMPA1，TRDCMPB1）を設定しないでください。これらのレジスタを設定するには，バッファ・レジスタ（TRDGRD0, TRDGRC1, TRDGRD1, TRDCMPD0, TRDCMPC1, TRDCMPD1）を設定してから, TRDRDT1 レジスタの RDT ビットを 1 に設定します（レジスター斉書き換え機能を使用）。PWM 周期（TRDGRA0 レジスタ値）は変更できません。

8.6　PWM オプション・ユニット A（PWMOPA）

PWM オプション・ユニットは，コンパレータ 0 出力，外部割り込み 0（INTP0），およびイベント・リンク・コントローラ（ELC）をトリガ信号として，タイマ RDe およびポートからの出力を遮断および遮断解除するために使用します。PWM オプション・ユニットは，タイマ RDe に組み込まれているパルス出力強制遮断とは異なる機能です。

表 8－29　パルス出力強制遮断と出力遮断間，機能の違い

項目	タイマ RDe のパルス出力強制遮断	PWM オプション・ユニットの出力強制遮断
強制遮断に対応するモード	• PWM 機能 • リセット同期 PWM モード • 相補 PWM モード • PWM3 モード • 拡張 PWM モード • 拡張相補 PWM モード	• タイマ RDe の全ての出力モードに対応 • ポート出力も遮断可能.
遮断要因	• ELC 入力 注 • INTP0 の L レベル入力	• ELC 入力 注 • INTP0 • コンパレータ 0 出力 注
遮断解除	ソフトウェアによる解除（タイマ RDe カウント動作停止中）	• ハードウェアによる解除 • ソフトウェアによる解除（カウント動作の停止不要）
遮断対応の端子	タイマ RDe 端子に設定された以下の端子から選択します。 P13(P15)/TRDIOA0, P125(P11)/TRDIOB0，P14/TRDIOC0, P120(P12)/TRDIOD0，P15/TRDIOA1, P17/TRDIOB1，P16/TRDIOC1, P30/TRDIOD1	以下の端子から選択します。 P13(P15)/TRDIOA0, P125(P11)/TRDIOB0，P14/TRDIOC0, P120(P12)/TRDIOD0，P15/TRDIOA1, P17/TRDIOB1，P16/TRDIOC1, P30/TRDIOD1 ポート出力も遮断可能です。
遮断時の端子状態の選択	• ハイ・インピーダンス出力 • L レベル出力 • H レベル出力	• ハイ・インピーダンス出力 • L レベル出力 • H レベル出力 ただし，ポート出力を遮断する場合は，ハイ・インピーダンス出力しか選択できません。

注　ELC とコンパレータの機能は，RL78/F24 でのみ使用できます。

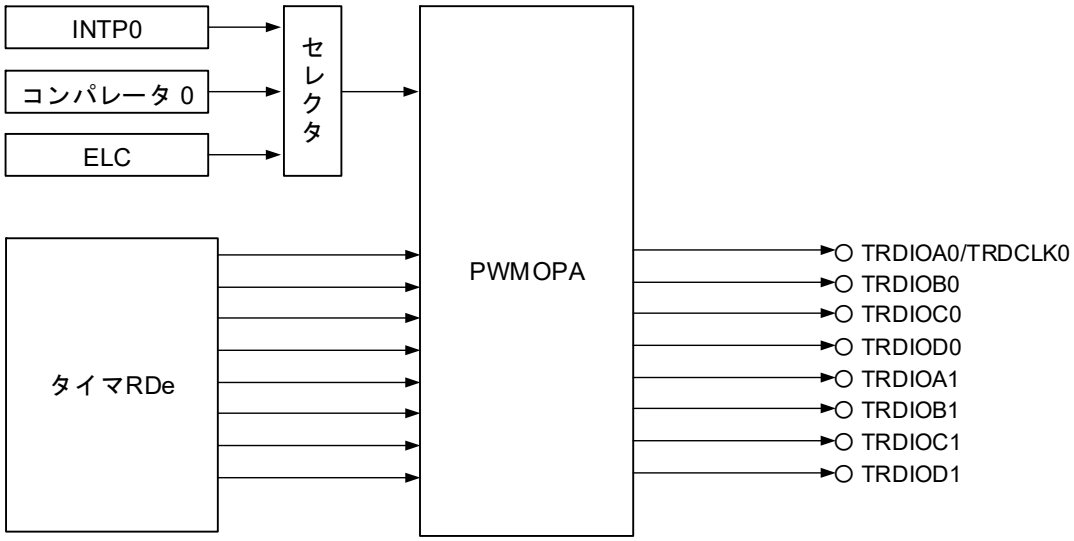
注意　パルス出力強制遮断と出力強制遮断を同時に使用する場合は，同じ遮断要因を選択しないでください。

8.6.1　PWM オプション・ユニット A の概要

PWM オプション・ユニット A には以下の機能があります。

- コンパレータ0，外部割り込み0，およびイベント・リンク・コントローラを，出力遮断要因として選択できます。
- コンパレータ 0 または外部割り込み 0 が出力強制遮断要因の場合，出力遮断要因となるエッジを選択できます。
- 出力強制遮断の解除には，ソフトウェアによる解除とハードウェアによる解除を選択できます。
- 出力遮断時の出力レベルには，H レベル，L レベル，ハイ・インピーダンスを選択できます。

図 8－87　PWMOPA 制御論理



8.6.2　PWM オプション・ユニット A のレジスタ

表 8－30 に PWM オプション・ユニット A を制御するレジスタを示します。

表8－30　PWMOPAの制御レジスタ

アドレス	レジスタ名	シンボル	リセット後の値	アクセス・サイズ
F02C0H	周辺イネーブル・レジスタ 1	PER1	00H	1, 8
F0248H	PWMOPA 制御レジスタ 0	OPCTL0	00H 注	1, 8
F0249H	PWMOPA 遮断制御レジスタ 0	OPDF0	00H 注	8
F024AH	PWMOPA 遮断制御レジスタ 1	OPDF1	00H 注	8
F024BH	PWMOPA エッジ選択レジスタ	OPEDGE	00H 注	8
F024CH	PWMOPA ステータス・レジスタ	OPSR	00H 注	1, 8

注　初期値を読み出す必要がある場合は，読み出し前に PER1 レジスタの PWMOPEN ビットを 1 に設定してください。

8.6.2.1　周辺イネーブル・レジスタ 1（PER1）

PER1 レジスタは，周辺ハードウェアへのクロックの供給を有効または無効にするために使用されます。使用しないハードウェアへのクロック供給も停止することで，消費電力やノイズを低減します。

PWM オプション・ユニット A を使用する場合は，必ずビット 2（PWMOPEN）を 1 に設定してください。

PER1 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，本レジスタは 00H になります。

図8－88　周辺イネーブル・レジスタ1のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN 注	0	CMPEN 注	TRD0EN	DTCEN	PWMOPEN	0	TRJ0EN

PWMOPEN	PWMOPA の入力クロック供給の制御
0	入力クロック供給停止 ・PWMOPA で使用する SFR へのライト不可 ・PWMOPA はリセット状態
1	入力クロック供給 ・PWMOPA で使用する SFR へのリード／ライト可

注　RL78/F24 のみ。

注意 1. 次のビットには必ず 0 を設定してください。

RL78/F23：ビット 1, 5, 6, 7

RL78/F24：ビット 1, 6

2. PWMOPA を設定するときは，必ず最初に PWMOPEN ビットを 1 に設定してください。PWMOPEN = 0 の場合，PWMOPA の制御レジスタへの書き込みは無視され，読み取られた値はすべて初期値になります。

8.6.2.2 PWMOPA 制御レジスタ 0（OPCTL0）

本レジスタにより PWM オプション・ユニット A は制御されます。

OPCTL0 レジスタは，1 ビットまたは 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，本レジスタは 00H になります。

図 8－89 PWMOPA 制御レジスタ 0（OPCTL0）のフォーマット

アドレス：F0248H リセット時：00H 注10

略号	7	6	5	4	3	2	1	0
OPCTL0	0	HAZAD_SET	IN_EG	IN_SEL1	IN_SEL0	ACT	HZ_REL	HS_SEL

ビット 7	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

HAZAD_SET	出力遮断ハザード制御選択 注1	R/W
0	出力遮断ハザード対策無効	R/W
1	出力遮断ハザード対策有効	

IN_EG	出力遮断要因エッジ／解除エッジ選択 注2, 3	R/W
0	立ち上がりエッジ：出力遮断 立ち下がりエッジ：出力遮断解除	R/W
1	立ち上がりエッジ：出力遮断解除 立ち下がりエッジ：出力遮断	

IN_SEL1	IN_SEL0	出力遮断要因選択 注2, 4, 5	R/W
0	0	遮断要因選択なし	R/W
0	1	コンパレータ 0 出力	
1	0	INTP0 端子入力	
1	1	ELC からのイベント入力	

ACT	ソフトウェア遮断解除タイミング選択（ソフトウェア解除選択時）	R/W
0	HZ_REL ビットを 1 に設定すると，出力遮断を解除し出力を再開します。	R/W
1	HZ_REL ビットに 1 を設定すると，タイマ RDe の動作モードにより次のタイミングで出力遮断を解除し，出力を再開します。 • 相補 PWM モード，拡張相補 PWM モード： OPEDGE レジスタで選択した TRDIOC0 のエッジ・タイミング • リセット同期 PWM モード：TRD0 カウントが 0000H のタイミング • 上記モード以外： TRD0カウントが0000HのタイミングでTRDIOj0（j = A, B, C, D）の出力遮断を解除，TRD1カウントが0000HのタイミングでTRDIOj1の出力遮断を解除します 注6。	

HZ_REL	出力遮断解除（ソフトウェア解除選択時）	R/W
0	出力遮断継続 （強制遮断を解除すると，このビットは 0 になります。）注7	R/W
1	強制遮断を解除し，出力を再開します。注8	
• HZ_REL ビットから読み出される値，または，書き込みできる値は状態によって異なります。 • 通常状態：1 または 0 が書き込まれ，0 のみ読み出しが可能です。 • 出力強制遮断状態：1 のみ書き込みおよび読み出しが可能です。		

HS_SEL	出力強制遮断解除モード選択	R/W
0	ハードウェア解除： ハードウェア解除時は，タイマ RDe の動作モードにより遮断解除タイミングが異なります。 • 相補 PWM モード，拡張相補 PWM モード： OPEDGE レジスタで選択した TRDIOC0 のエッジ・タイミング • リセット同期 PWM モード：TRD0 カウントが 0000H のタイミング 注6 • 上記モード以外： TRD0 カウントが 0000H のタイミングで TRDIOj0（j = A, B, C, D）の出力遮断を解除，TRD1 カウントが 0000H のタイミングで TRDIOj1 の出力遮断を解除 注9	R/W
1	ソフトウェア解除	

注 1. タイマ RDe が動作中に変更しないでください。

2. IN_EG ビットを設定後，3 クロック以上経過後に IN_SEL1 ビットと IN_SEL0 ビットを設定してください。

3. コンパレータ 0 出力または INTP0 端子入力を出力強制遮断要因として選択した場合に有効となります。

4. ELC 要因で出力強制遮断を解除する場合，必ずソフトウェア解除（HS_SEL ビットを 1）を選択してください。外部割り込み 0（INTP0）およびコンパレータ 0 による出力遮断解除に制限はありません。

5. コンパレータ 0 出力と INTP0 の入力パルス幅を 1 クロック以上に設定してください。

6. タイマ RD0 とタイマ RD1 の動作中に，カウンタのビット 15 からビット 0 のすべてが 0 になるタイミングです。

7. タイマ RDe がアウトプット・コンペア機能，PWM 機能，または PWM3 モードで動作する場合，出力遮断解除時の動作は，2 チャンネル使用の場合と 1 チャンネル使用の場合で異なります。

   ・タイマ RDe が 2 チャネルで使用される場合

   ソフトウェアで HZ_REL ビットを 1 に設定すると，すべての遮断状態ビット（HZOF0, HZOF1）が 0（遮断解除）になり，HZ_REL ビットが 0 になります。

   ・タイマ RDe が 1 チャンネルで使用される場合

   ソフトウェアで HZ_REL ビットを 1 に設定すると，使用するタイマ RDe チャネルに対応する遮断状態ビット（HZOF0, HZOF1）が 0 になり，HZ_REL ビットが 0 になります。

8. 強制遮断が発生していない場合は 1 に設定できません。

9. タイマ RDe がアウトプット・コンペア機能，PWM 機能，または PWM3 モードで動作している場合，強制遮断が解除されたときに動作していないチャネルの遮断は解除できません（遮断状態ビット（HZOF0, HZOF1）は 0 になりません）。

10. ユーザ・オプションバイト（000C2H/040C2H）で FRQSEL4 = 1，PER1 レジスタで TRD0EN = 0，PWMOPEN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH}，TRD0EN = 1，PWMOPEN = 1 に設定してから読み出してください。

8.6.2.3　PWMOPA 遮断制御レジスタ 0（OPDF0）

本レジスタは，PWMOPA の PWM 出力 TRDIOj0（j = A, B, C, D）のパルス出力遮断を制御するレジスタです。

OPDF0 レジスタは，8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，本レジスタは 00H になります。

図8－90　PWMOPA遮断制御レジスタ0（OPDF0）のフォーマット

アドレス：F0249H　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
OPDF0	DFD01	DFD00	DFC01	DFC00	DFB01	DFB00	DFA01	DFA00

DFD01	DFD00	TRDIOD0 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

DFC01	DFC00	TRDIOC0 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

DFB01	DFB00	TRDIOB0 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

DFA01	DFA00	TRDIOA0 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

注　ユーザ・オプションバイト（000C2H/040C2H）で FRQSEL4 = 1，PER1 レジスタで TRD0EN = 0，PWMOPEN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH}，TRD0EN = 1，PWMOPEN = 1 に設定してから読み出してください。

注意 1. TRDIOj0（j = A, B, C, D）端子が強制遮断有効でポート出力に使用される場合，ハイ・インピーダンス出力を選択してください。

2. 強制遮断中にレジスタ設定値を変更しないでください。

8.6.2.4　PWMOPA 遮断制御レジスタ 1（OPDF1）

本レジスタは，PWMOPA の PWM 出力 TRDIOj1（j = A, B, C, D）のパルス出力遮断を制御するレジスタです。

OPDF1 レジスタは，8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00H になります。

図8－91　PWMOPA遮断制御レジスタ1（OPDF1）のフォーマット

アドレス：F024AH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
OPDF1	DFD11	DFD10	DFC11	DFC10	DFB11	DFB10	DFA11	DFA10

DFD11	DFD10	TRDIOD1 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

DFC11	DFC10	TRDIOC1 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

DFB11	DFB10	TRDIOB1 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

DFA11	DFA10	TRDIOA1 端子出力遮断制御	R/W
0	0	出力遮断制御禁止	R/W
0	1	ハイ・インピーダンス出力	
1	0	ロウ・レベル出力	
1	1	ハイ・レベル出力	

注　ユーザ・オプションバイト（000C2H/040C2H）で FRQSEL4 = 1，PER1 レジスタで TRD0EN = 0，PWMOPEN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH}，TRD0EN = 1，PWMOPEN = 1 に設定してから読み出してください。

注意 1. TRDIOj1（j = A, B, C, D）端子が強制遮断有効でポート出力に使用される場合，ハイ・インピーダンス出力を選択してください。

2. 強制遮断中にレジスタ設定値を変更しないでください。

8.6.2.5　PWMOPA エッジ選択レジスタ（OPEDGE）

本レジスタは，タイマ RDe が相補 PWM モードまたは拡張相補 PWM モードのときに，ハードウェアによる出力強制遮断の解除が設定されている場合，遮断解除のタイミングを選択します。

OPEDGE レジスタは，8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，本レジスタは 00H になります。

図8－92　PWMOPAエッジ選択レジスタ（OPEDGE）のフォーマット

アドレス：F024BH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
OPEDGE	0	0	0	0	0	0	EG1	EG0

ビット 7-2	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

EG1	EG0	出力遮断解除エッジ選択	R/W
0	0	TRDIOC0 の立ち上がりエッジで解除	R/W
0	1	TRDIOC0 の立ち下がりエッジで解除	
1	0	TRDIOC0 の両エッジで解除	
1	1	入力エッジ無効，出力遮断保持	

注　ユーザ・オプション・バイト（000C2H/040C2H）で FRQSEL4 = 1，PER1 レジスタで TRD0EN = 0，PWMOPEN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH}，TRD0EN = 1，PWMOPEN = 1 に設定してから読み出してください。

8.6.2.6　PWMOPA ステータス・レジスタ（OPSR）

本レジスタは，出力強制遮断および遮断要因の状態を示します。

OPSR レジスタは，1 ビットまたは 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，本レジスタは 00H になります。

図8－93　PWMOPAステータス・レジスタ（OPSR）のフォーマット

アドレス：F024CH　リセット時：00H 注3

略号	7	6	5	4	3	2	1	0
OPSR	0	0	0	0	0	HZOF1	HZOF0	HZIF0

ビット 7-3	何も配置されていない	R/W
－	書く場合，0 を書いてください。読んだ場合，その値は 0。	－

HZOF1	出力遮断ステータス 注1	R/W
0	通常タイマ出力（TRDIOA1，TRDIOB1，TRDIOC1，TRDIOD1）	R
1	遮断状態（TRDIOA1，TRDIOB1，TRDIOC1，TRDIOD1）	

HZOF0	出力遮断ステータス 注1	R/W
0	通常タイマ出力（TRDIOA0，TRDIOB0，TRDIOC0，TRDIOD0）	R
1	遮断状態（TRDIOA0，TRDIOB0，TRDIOC0，TRDIOD0）	

HZIF0	出力遮断要因ステータス 注1, 2	R/W
0	出力遮断要因が検出されていない	R
1	出力遮断要因が検出されている	

注 1. OPCTL0 レジスタの IN_SEL1 ビットと IN_SEL0 ビットで INTP0 とコンパレータ 0 の遮断要因を選択する前に出力遮断要因がしきい値を超えた場合，IN_SEL1 ビットと IN_SEL0 ビットが設定された後，HZIF0 ビットは 1 にセットされますが，HZOF0 と HZOF1 ビットはセットされません。

2. INTP0 とコンパレータ 0 の出力遮断要因が選択されている場合に有効です。

3. ユーザ・オプション・バイト（000C2H/040C2H）で FRQSEL4 = 1，PER1 レジスタで TRD0EN = 0，PWMOPEN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH}，TRD0EN = 1，PWMOPEN = 1 に設定してから読み出してください。

8.6.3　動作説明

タイマ RDe 出力端子 TRDIOji（j = A, B, C, D，i = 0, 1）の出力強制遮断と復帰は，INTP0 入力，ELC からのイベント入力，またはコンパレータ 0 出力をトリガとして使用することで制御します。INTP0 入力またはコンパレータ 0 出力を出力遮断要因として使用する場合，出力強制遮断または出力強制遮断解除のトリガとなるエッジを選択できます。

8.6.3.1　強制遮断

タイマRDe出力端子TRDIOji（j = A, B, C, D，i = 0, 1）の出力は，INTP0入力，ELCからのイベント入力，またはコンパレータ0出力をトリガとして遮断することができます。

出力強制遮断要因を検出すると，タイマRDeの出力を強制的に遮断し，OPDF0 / OPDF1レジスタに設定された出力値を出力します。

詳細な動作については，

図 8－95 を参照してください。OPCTL0 レジスタの HS_SEL ビットにより，強制遮断解除をハードウェアまたはソフトウェアから選択することができます。

8.6.3.2　ハードウェア遮断解除（HS_SEL = 0）

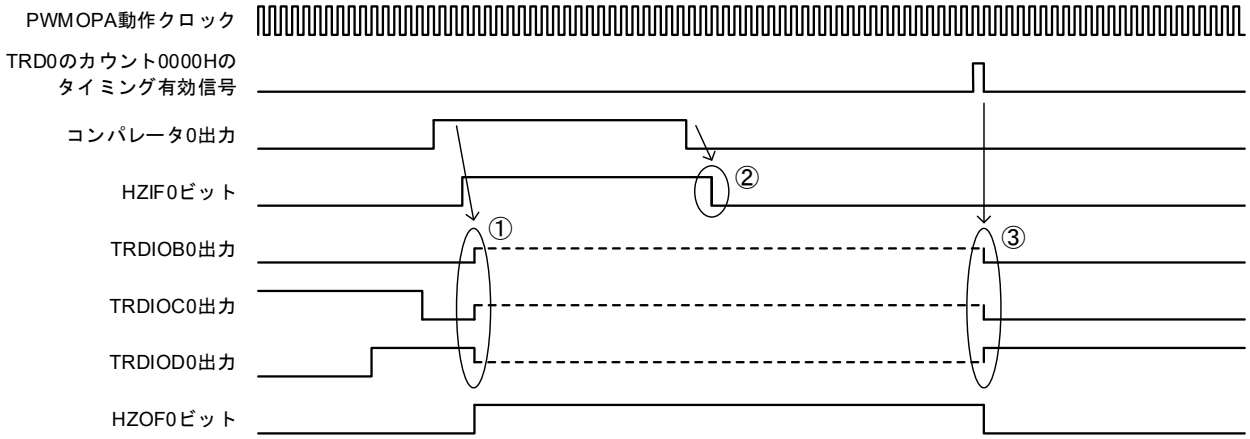
出力強制遮断の解除タイミングは，タイマ RDe の機能により異なります。

(1)　相補PWMモードまたは拡張相補PWMモード以外の出力

- アウトプット・コンペア機能，PWM 機能，PWM3 モード，または拡張 PWM モードの場合
  TRDIOA0，TRDIOB0，TRDIOC0，および TRDIOD0 の出力強制遮断は，出力強制遮断解除要因が検出された後，TRD0 カウント値が 0000H になると解除します。TRD1 カウント値が 0000H になると，TRDIOA1，TRDIOB1，TRDIOC1，TRDIOD1 の出力強制遮断を解除します。
- リセット同期 PWM モードの場合
  すべての TRDIOji（j = A, B, C, D，i = 0, 1）端子の強制遮断は，出力強制遮断解除要因が検出された後，TRD0 カウント値が 0000H になると解除します。

図 8－94　ハードウェアによる出力強制遮断または出力強制遮断解除の動作例

（TRDIOB0，TRDIOC0，および TRDIOD0 端子の遮断の例）



① コンパレータ 0 出力信号の立ち上がりエッジを検出すると，TRDIOB0，TRDIOC0，TRDIOD0 端子出力が出力強制遮断状態になります。

② コンパレータ 0 出力信号の立ち下がりエッジ検出後，HZIF0 ビットがクリアされます。

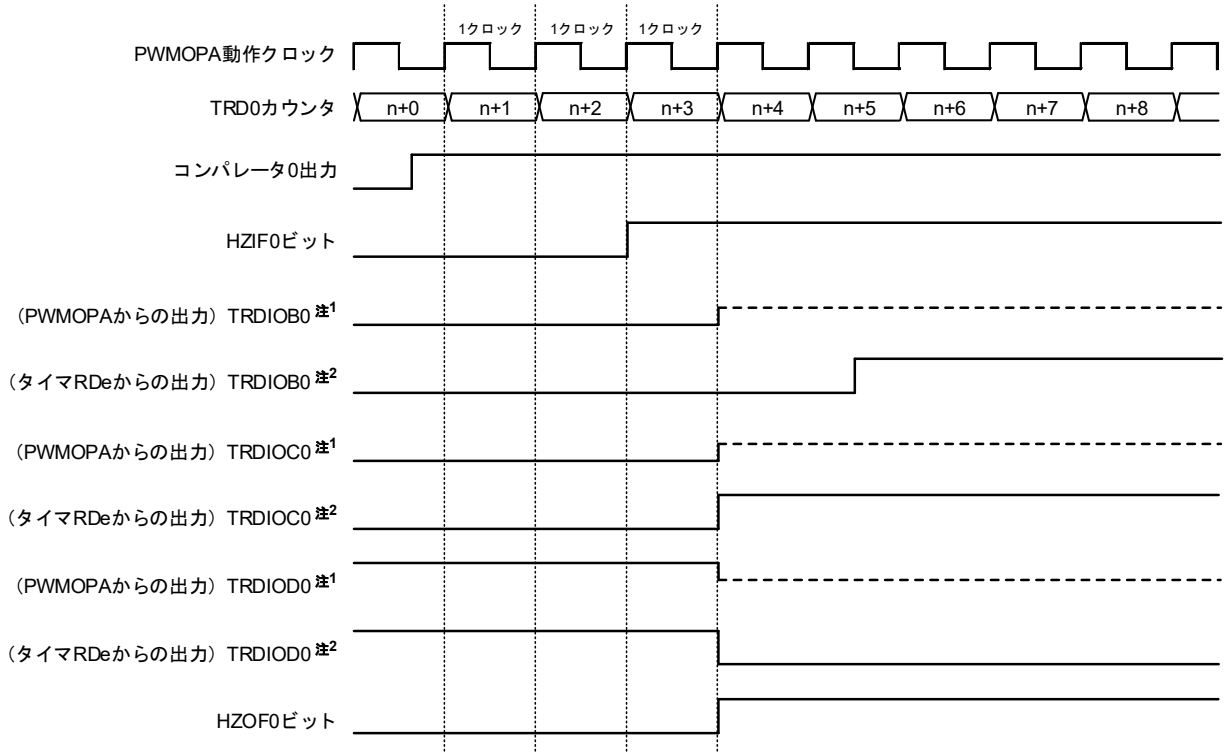
③ TRDi のカウント値が 0000Hになると，出力強制遮断状態が解除されます。

条件：HS_SEL = 0 （出力強制遮断解除モード：ハードウェア解除）

INSEL[1:0] = 01B （出力遮断要因：コンパレータ 0 出力）

IN_EG = 0 （立ち上がりエッジで出力強制遮断，立ち下がりエッジで出力強制遮断解除）

図 8－95　遮断の詳細タイミング図

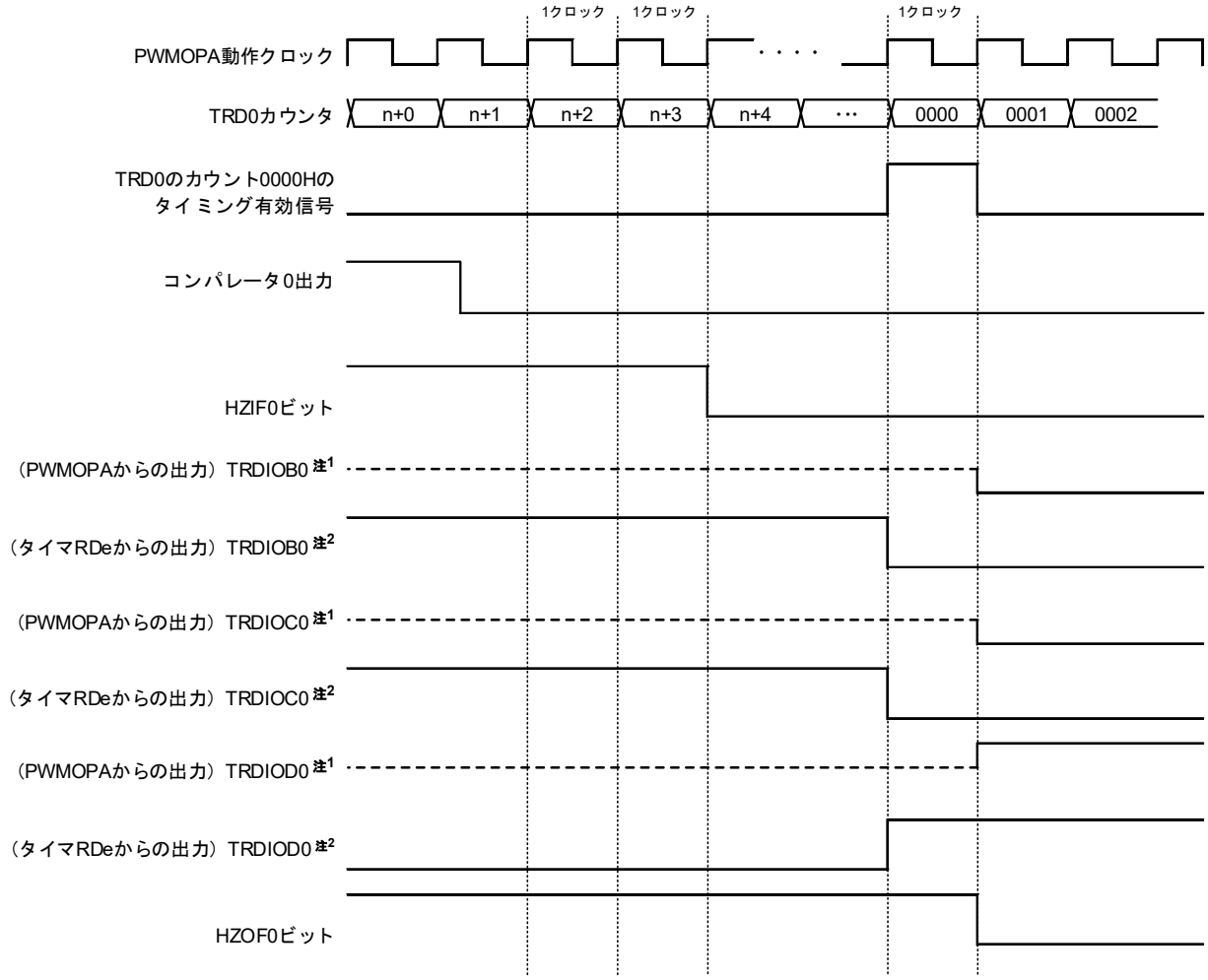


--- は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHiz）

注 1.（PWMOPA からの出力）TRDIOj0（j = B, C, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

図 8－96　遮断解除の詳細タイミング図（タイマ RDe カウント・ソース= f_{CLK}）

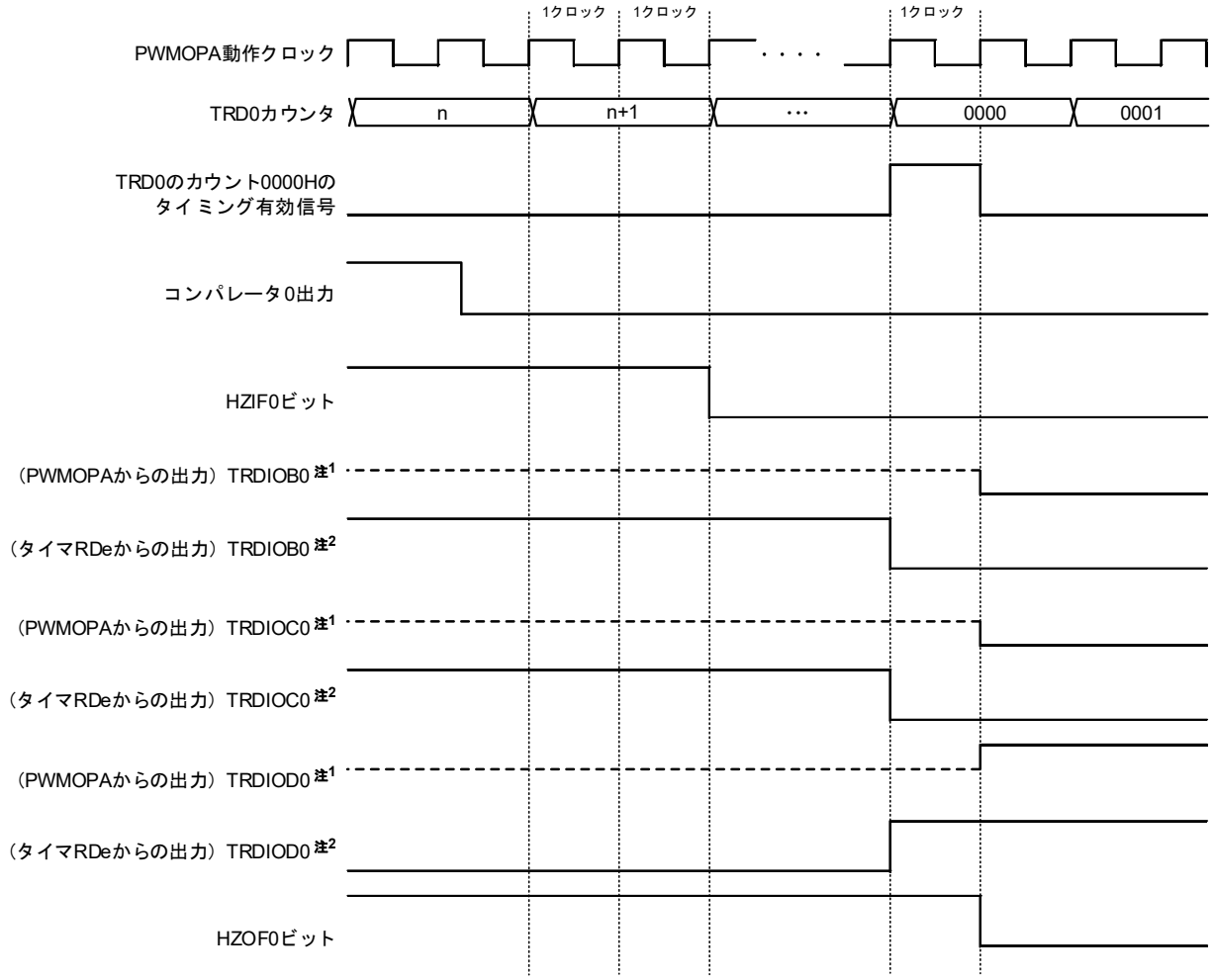


--- は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHiz）

注 1.（PWMOPA からの出力）TRDIOj0（j = B, C, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

図 8－97　遮断解除の詳細タイミング図（タイマ RDe カウント・ソース = f_{CLK} / 2）



--- は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHiz）

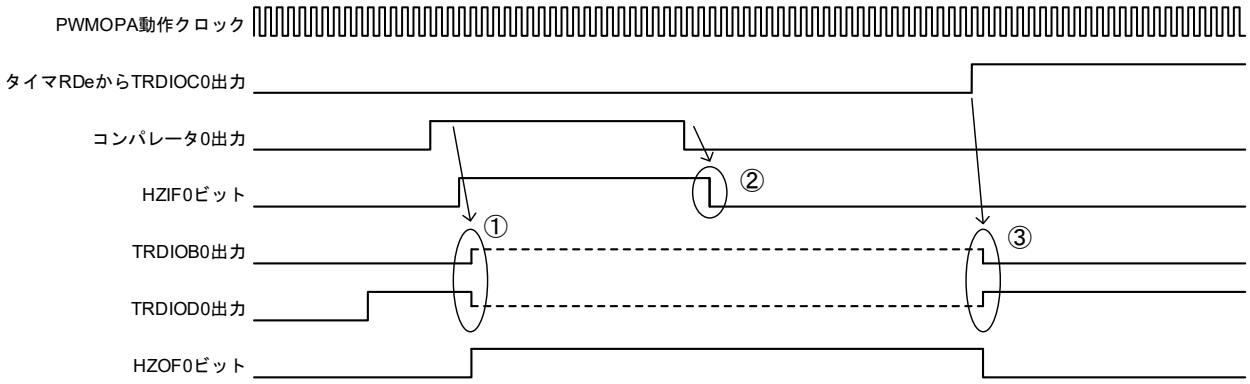
注 1.（PWMOPA からの出力）TRDIOj0（j = B, C, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

(2) タイマRDe相補PWMモードまたは拡張相補PWMモードの出力

出力強制遮断要因検出後，OPEDGE レジスタの設定により選択した TRDIOC0 の立ち上がり／立ち下がり／両エッジのタイミングで，出力強制遮断を解除します。

図 8－98　ハードウェアによる遮断解除機能の動作例（TRDIOB0，TRDIOD0 の例）



① コンパレータ 0 出力信号の立ち上がりエッジを検出すると，TRDIOB0，TRDIOD0 端子出力が出力強制遮断状態になります。

② コンパレータ 0 出力信号の立ち下がりエッジ検出後，HZIF0 ビットがクリアされます。

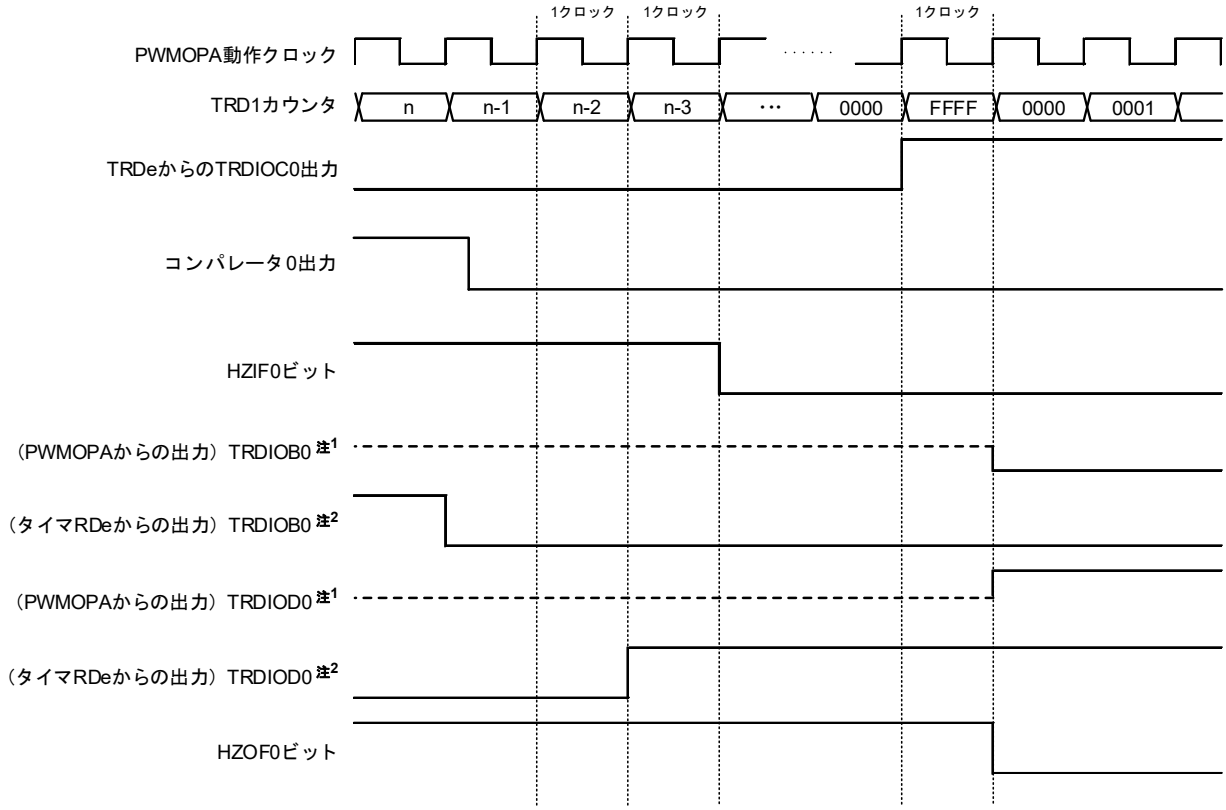
③ TRDIOC0 端子の立ち上がりタイミングで，出力強制遮断状態が解除されます。

条件：HS_SEL = 0 （強制遮断解除モード：ハードウェア解除）
INSEL[1:0] = 01B （遮断要因：コンパレータ 0 出力）
IN_EG = 0 （立ち上がりエッジで出力強制遮断，立ち下がりエッジで出力強制遮断解除）

強制遮断の詳細なタイミング図については，図 8－95 を参照してください。

図 8－99　遮断解除の詳細タイミング図（タイマ RDe カウント・ソース = f_{CLK}，TRD1 ダウン・カウント）

（TRDIOB0，TRDIOD0 の例）



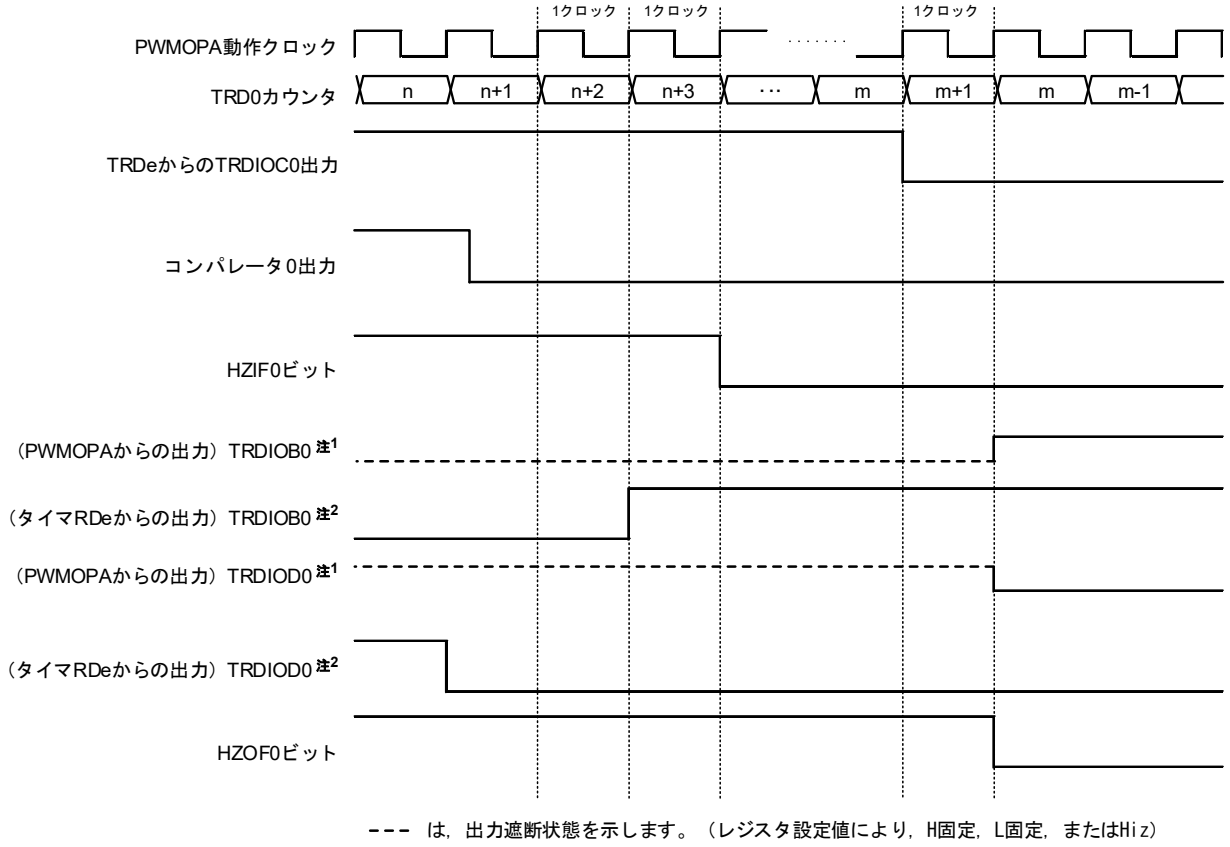
--- は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHiz）

注 1.（PWMOPA からの出力）TRDIOj0（j = B, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

図 8－100　遮断解除の詳細タイミング図（タイマ RDe カウント・ソース = f_{CLK}，タイマ RD0 カウント = TRDGRA0）

（TRDIOB0，TRDIOD0 の例）

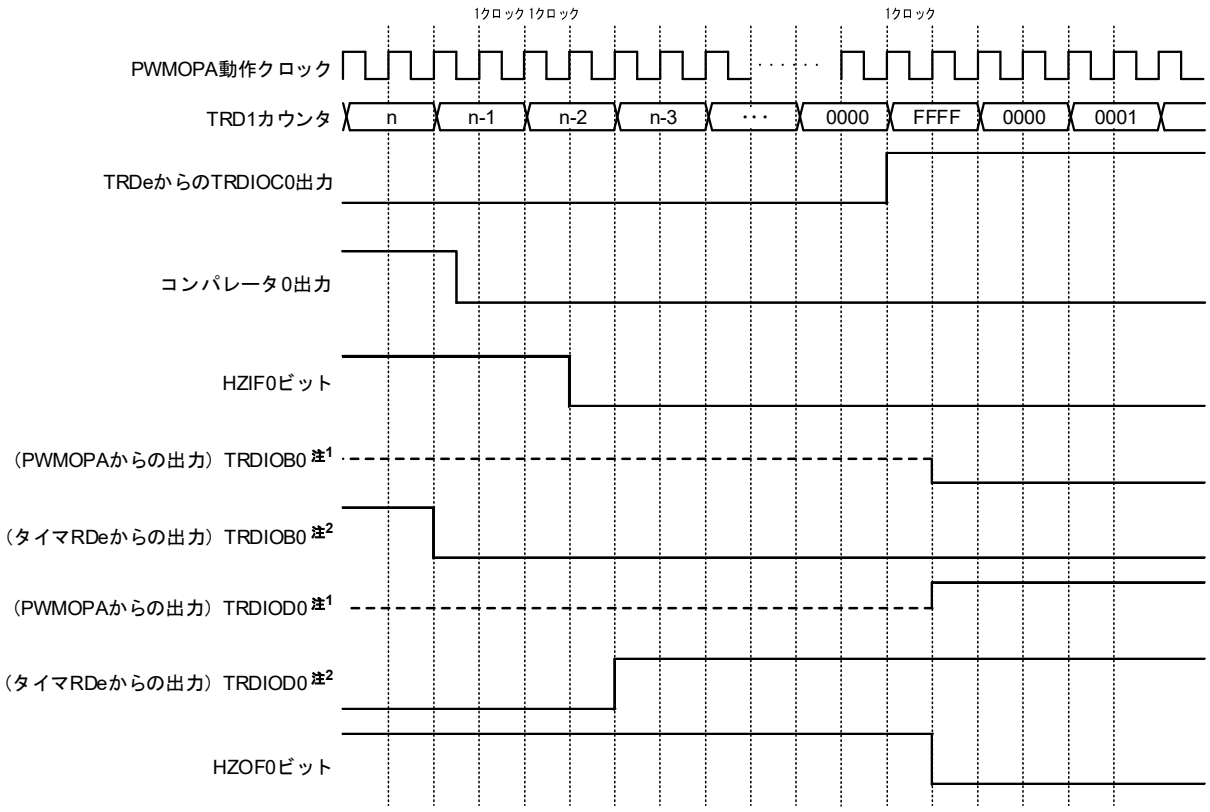


備考　m：TRDGRA0 の値

注 1.（PWMOPA からの出力）TRDIOj0（j = B, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

図8－101　遮断解除の詳細タイミング図（タイマRDe カウント・ソース = f_{CLK} / 2，TRD1ダウン・カウント）
（TRDIOB0，TRDIOD0の例）

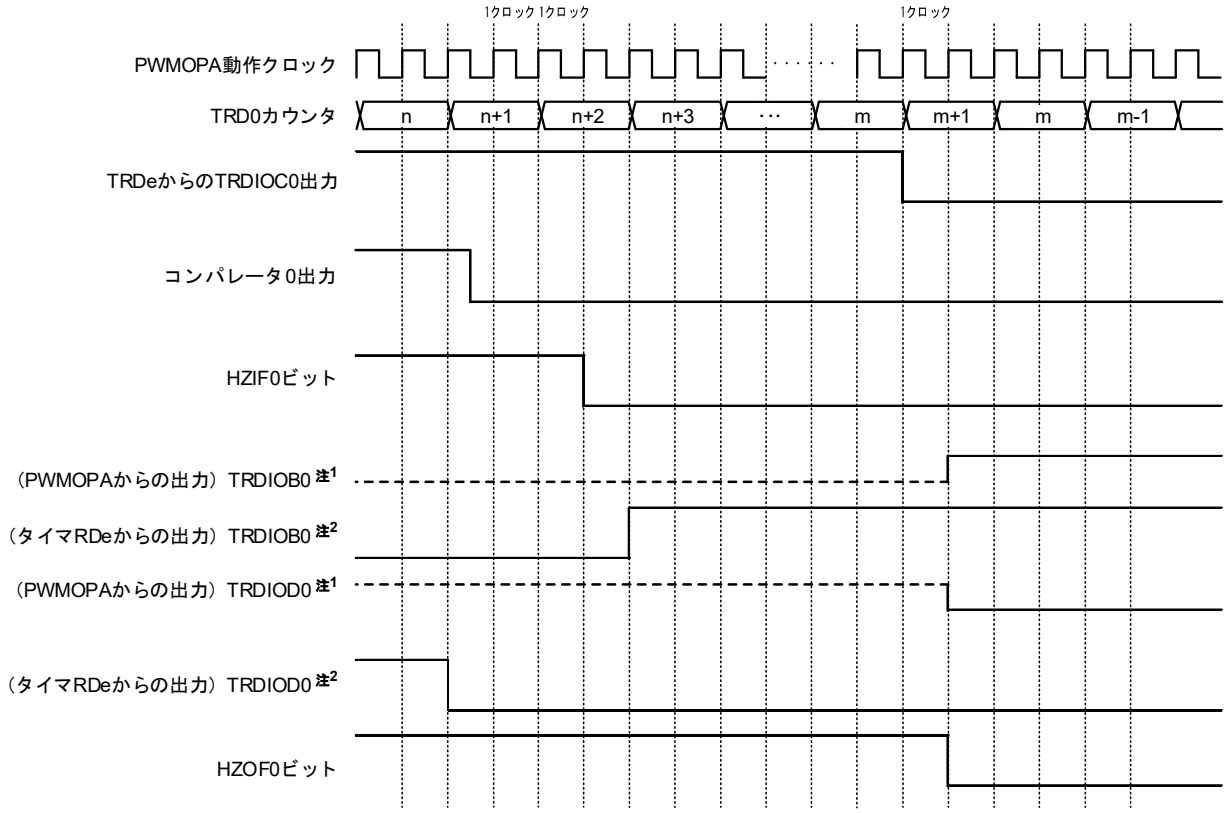


--- は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHiz）

注 1.（PWMOPA からの出力）TRDIOj0（j = B, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。
2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

図8－102　遮断解除の詳細タイミング図（タイマRDe カウント・ソース = f_{CLK} / 2，タイマRD0カウント = TRDGRA0）

（TRDIOB0，TRDIOD0の例）



--- は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHiz）

備考　m：TRDGRA0 の値

注 1.（PWMOPA からの出力）TRDIOj0（j = B, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

8.6.3.3　ソフトウェア遮断解除（HS_SEL = 1）

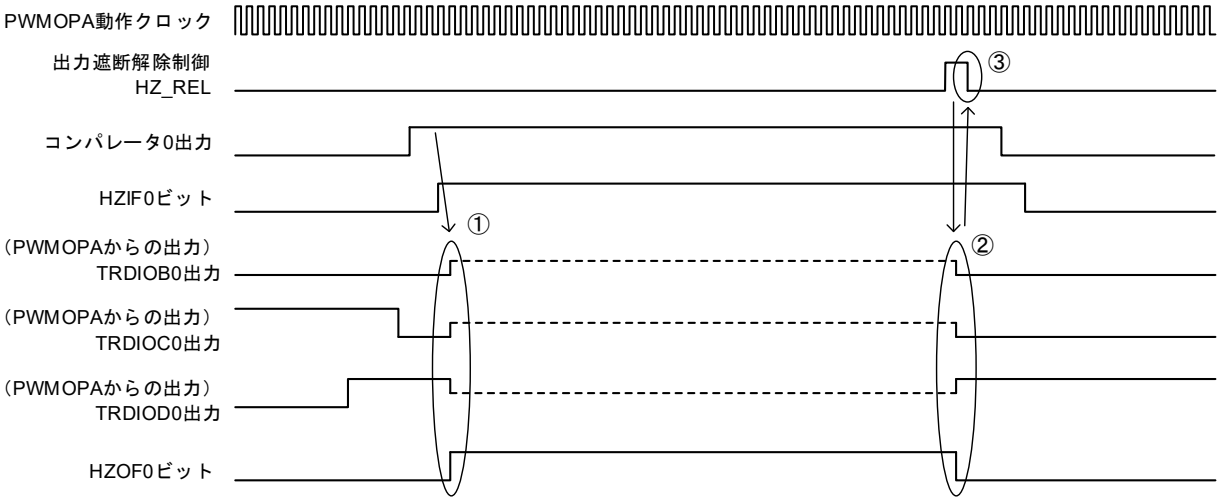
出力強制遮断解除のタイミングは，OPCTL0 レジスタの ACT ビットの設定により異なります。

(1)　ソフトウェアによる即時解除（ACT = 0）

ACT が 0 に設定されている場合，OPCTL0 レジスタの HZ_REL ビットが 1 に設定されると，強制遮断はすぐに解除されます。

強制遮断後，HZ_REL ビットは自動的に 0 になります。

図 8－103　ソフトウェアによる遮断解除の動作例
（TRDIOB0，TRDIOC0，および TRDIOD0 端子の例）



① コンパレータ 0 出力信号の立ち上がりをエッジ検出すると，TRDIOB0，TRDIOC0，TRDIOD0 端子出力が出力強制遮断状態になります。

② HZ_REL ビットが 1 セットされると直ぐに強制遮断が解除されます。

③ 強制遮断が解除された後，HZ_REL ビットは 0 になります。

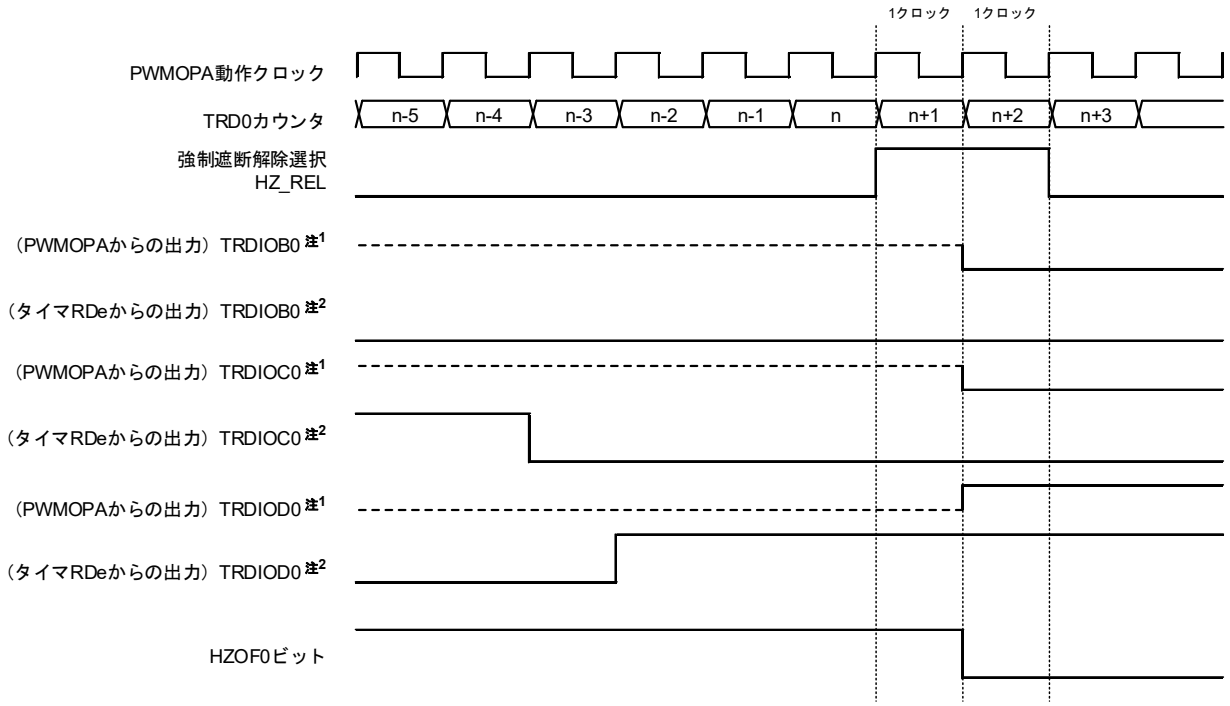
条件：HS_SEL = 1（強制遮断解除モード：ソフトウェア解除）
INSEL[1:0] = 01B（遮断要因：コンパレータ 0 出力）
IN_EG = 0（立ち上がりエッジで出力強制遮断，立ち下がりエッジで出力強制遮断解除）

注　（PWMOPA からの出力）TRDIOj0（j = B, C, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

強制遮断の詳細タイミングに関しては，図 8－95 を参照ください。

図 8－104　遮断解除の詳細タイミング図

（TRDIOB0，TRDIOC0，および TRDIOD0 端子の例）



--- は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHiz）

注 1.（PWMOPA からの出力）TRDIOj0（j = B, C, D）は，タイマ RDe 機能が割り付けられた端子の状態を示します。

2.（タイマ RDe からの出力）TRDIOj0 は，タイマ RDe から PWMOPA への入力を示します。

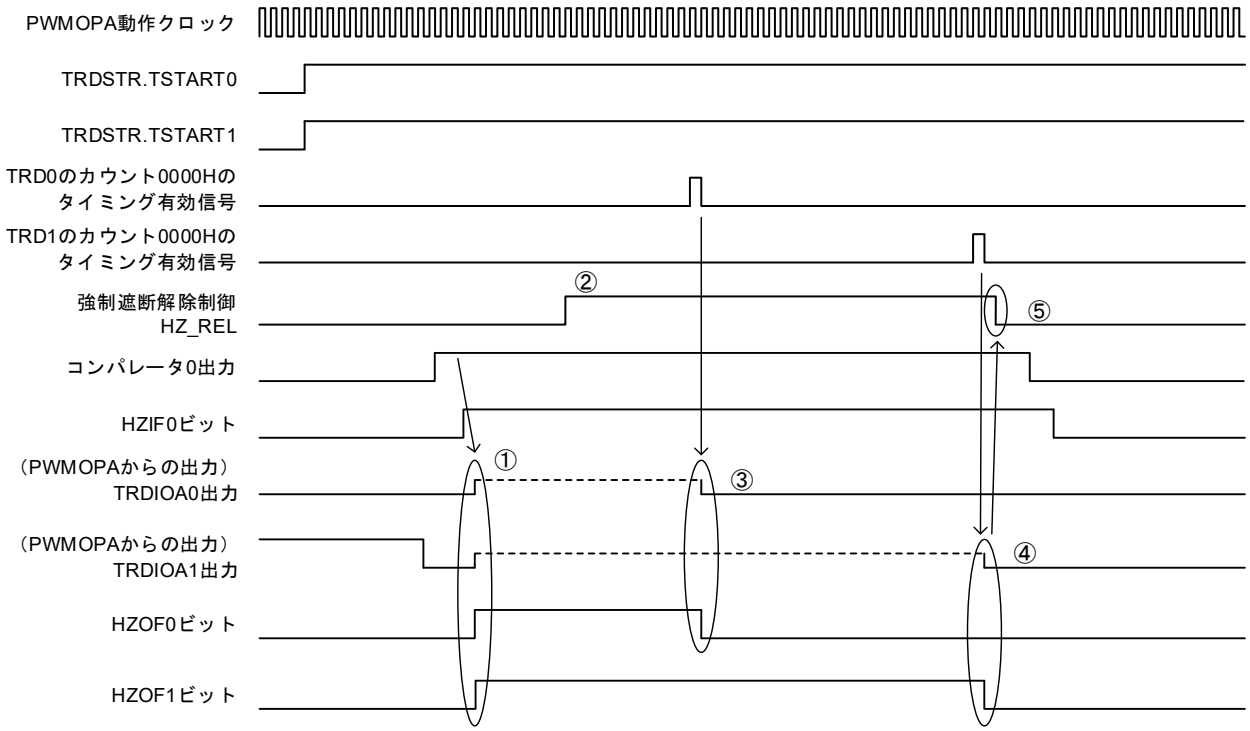
(2)　ソフトウェアによる即時解除（ACT = 1）

ACT が 1 に設定されている場合，OPCTL0 レジスタの HZ_REL ビットが 1 に設定された後，タイマ RDe からの信号を介して強制遮断を解除できます。強制遮断が解除されると，HZ_REL ビットは自動的に 0 になります。

ハードウェア解除は，出力強制遮断要因が検出された後，タイマ RDe からの解除信号をトリガとして出力を再開します。ソフトウェア解除は，HZ_REL ビットが 1 に設定された後，タイマ RDe からの解除信号をトリガとして出力を再開します。解除タイミングは同じです。

- アウトプット・コンペア機能，PWM 機能，PWM3 モード，または拡張 PWM モードの場合
  HZ_REL ビットが 1 に設定された後, TRD0 カウント値が 0000H になると, TRDIOA0, TRDIOB0, TRDIOC0, および TRDIOD0 の出力強制遮断が解除されます。
  TRD1 カウント値が 0000H になると，TRDIOA1，TRDIOB1，TRDIOC1，および TRDIOD1 の出力強制遮断が解除されます。

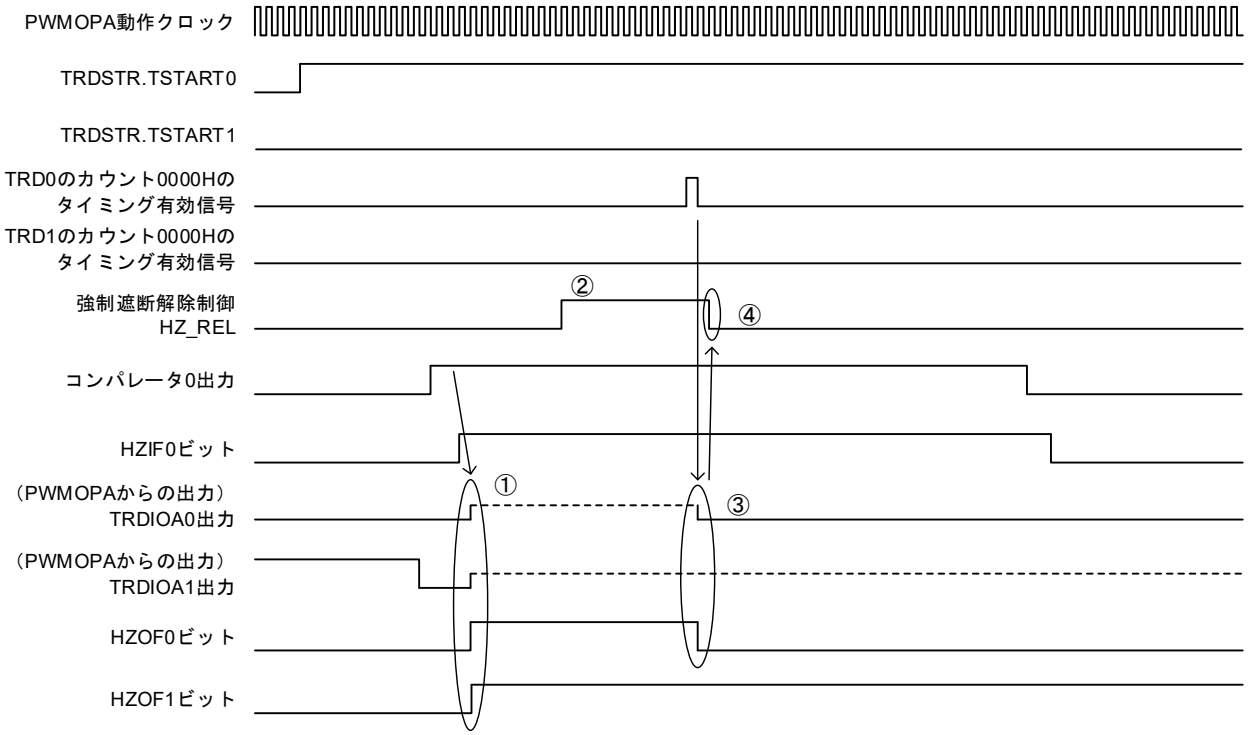
図 8－105　ソフトウェアによる遮断解除の動作例（タイマ RDe，2 チャネル・カウント）



① コンパレータ 0 出力信号の立ち上がりエッジを検出すると，TRDIOA0，TRDIOA1 端子出力が遮断状態になります。
② HZ_REL が 1 セットされた後，各カウンタ値が 0000H になるのを待ちます。
③ TRD0 のカウンタ値が 0000H になると，TRDIOA0 強制遮断状態が解除されます。
④ TRD1 のカウンタ値が 0000H になると，TRDIOA1 強制遮断状態が解除されます。
⑤ 両チャネルの強制遮断が解除された後，HZ_REL ビットが自動的に 0 になります。

条件：HS_SEL = 1（強制遮断解除モード：ソフトウェア解除）
INSEL[1:0] = 01B（遮断要因：コンパレータ 0 出力）
IN_EG = 0（立ち上がりエッジで出力強制遮断，立ち下がりエッジで出力強制遮断解除）

図 8－106　ソフトウェアによる遮断解除の動作例（タイマ RDe，1 チャネル・カウント）



① コンパレータ 0 出力信号の立ち上がりエッジを検出すると，TRDIOA0，TRDIOA1 端子出力が遮断状態になります。

② HZ_REL が 1 セットされた後，各カウンタ値が 0000H になるのを待ちます。

③ TRD0 のカウンタ値が 0000H になると，TRDIOA0 強制遮断状態が解除されます。

④ 強制遮断が解除された後，HZ_REL ビットが自動的に 0 になります。

条件：HS_SEL = 1（強制遮断解除モード：ソフトウェア解除）
INSEL[1:0] = 01B　（遮断要因：コンパレータ 0 出力）
IN_EG = 0（立ち上がりエッジで出力強制遮断，立ち下がりエッジで出力強制遮断解除）

強制遮断の詳細タイミングに関しては，図 8－95 を参照してください。

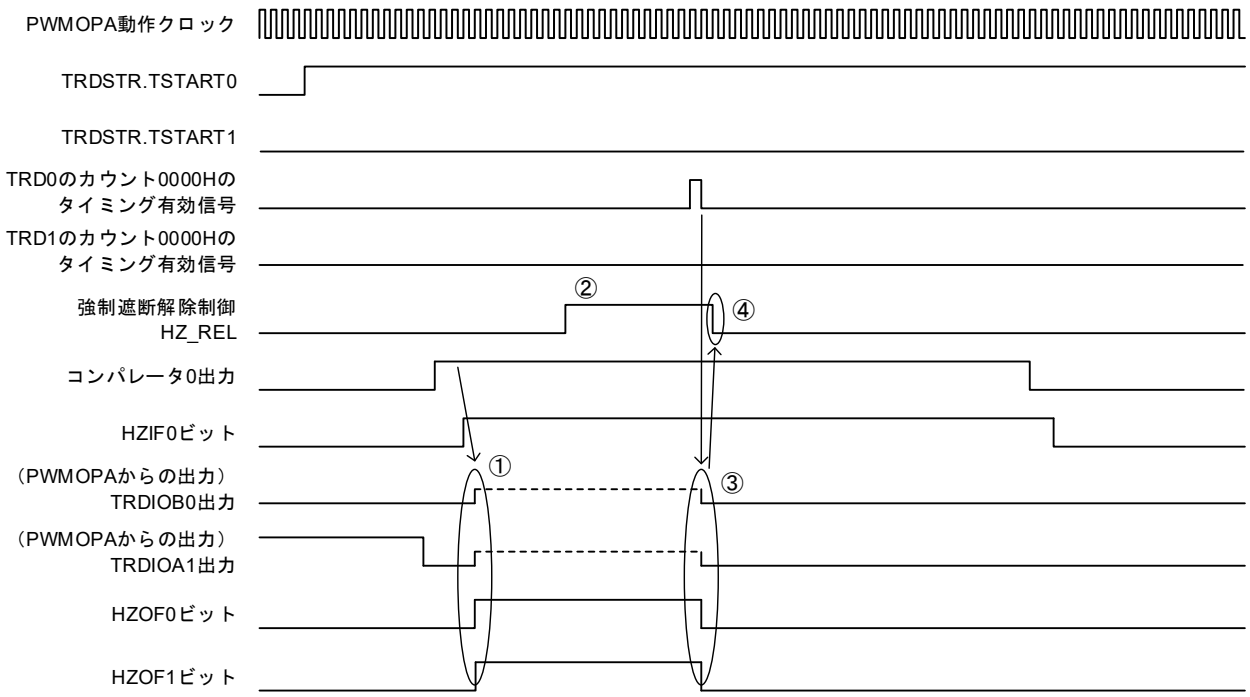
強制遮断解除の詳細タイミングに関しては，図 8－96 および図 8－97 を参照ください。

自動的に HZ_REL ビットが 0 になるときの詳細タイミングに関しては，図 8－104 を参照ください。

- リセット同期 PWM モードの場合

  HZ_REL ビットが 1 に設定された後，TRD0 カウント値が 0000H になると，すべての TRDIOji（j = A, B, C, D，i = 0, 1）端子の出力強制遮断が解除します。

図 8－107　ソフトウェアによる遮断解除の動作例



① コンパレータ 0 出力信号の立ち上がりエッジを検出すると，TRDIOB0，TRDIOA1 端子出力が遮断状態になります。

② HZ_REL が 1 セットされた後，各カウンタ値が 0000H になるのを待ちます。

③ TRD0 のカウンタ値が 0000H になると，TRDIOB0 および TRDIOA0 の強制遮断状態が解除されます（タイマ RD1 の動作は影響を受けません）。

④ 強制遮断が解除された後，HZ_REL ビットが自動的に 0 になります。

条件：HS_SEL = 1（強制遮断解除モード：ソフトウェア解除）
INSEL[1:0] = 01B（遮断要因：コンパレータ 0 出力）
IN_EG = 0（立ち上がりエッジで出力強制遮断，立ち下がりエッジで出力強制遮断解除）

強制遮断の詳細タイミングに関しては，図 8－95 を参照してください。

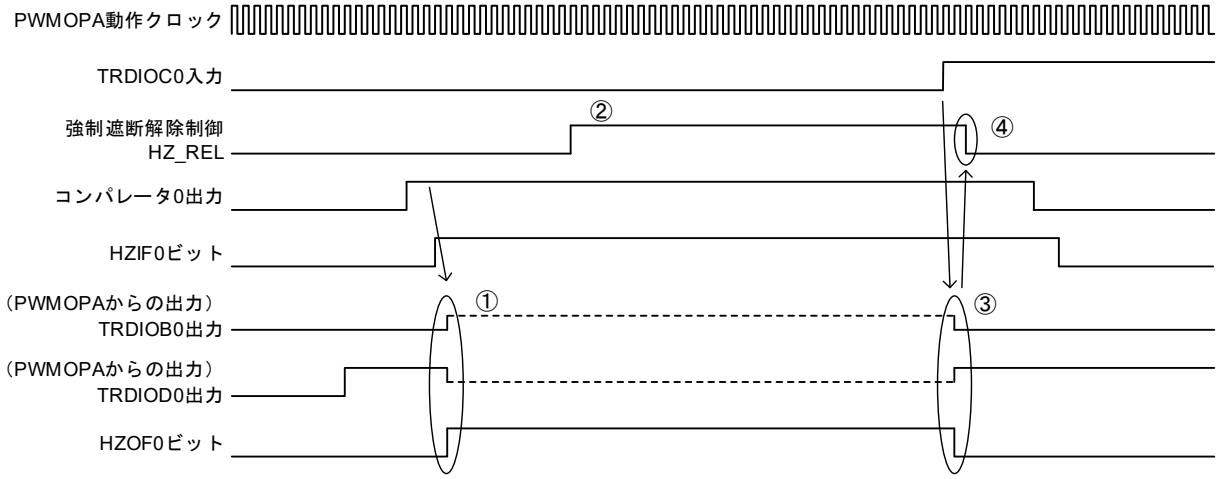
強制遮断解除の詳細タイミングに関しては，図 8－96 および図 8－97 を参照ください。

自動的に HZ_REL ビットが 0 になるときの詳細タイミングに関しては，図 8－104 を参照ください。

- 相補 PWM モードまたは拡張相補 PWM モードの場合

  HZ_REL ビットが 1 に設定された後, OPEDGE レジスタが設定されると, 選択された TRDIOC0 の両エッジ, 立ち上がりエッジ，または立ち下がりエッジで，タイマ RDe の出力強制遮断状態を解除します。

図 8－108　ソフトウェアによる遮断解除の動作例（TRDIOB0 と TRDIOD0 の例）



① コンパレータ 0 出力信号の立ち上がりエッジを検出すると，TRDIOB0，TRDIOD0 端子出力が遮断状態になります。

② HZ_REL が 1 セットされた後，TRDIOC0 出力信号の立ち上がりを待ちます。

③ TRDIOC0 出力信号の立ち上がりエッジを検出すると，強制遮断状態が解除されます。

④ 強制遮断が解除された後，HZ_REL ビットが自動的に 0 になります。

条件：HS_SEL = 0（強制遮断解除モード：ハードウェア解除）
INSEL[1:0] = 01B（遮断要因：コンパレータ 0 出力）
IN_EG = 0（立ち上がりエッジで出力強制遮断，立ち下がりエッジで出力強制遮断解除）

強制遮断の詳細タイミングに関しては，図 8－95 を参照ください。

強制遮断解除の詳細タイミングに関しては，図 8－99，図 8－100，図 8－101，および図 8－102 を参照ください。

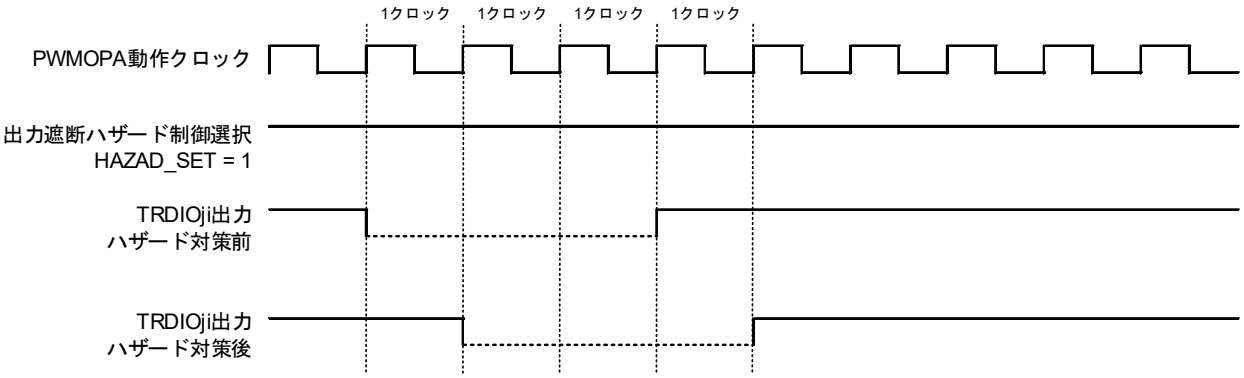
自動的に HZ_REL ビットが 0 になるときの詳細タイミングに関しては，図 8－104 を参照ください。

8.6.3.4　ハザード対策

遮断発生時，遮断解除時，またはタイマ RDe の動作中に，TRDIO 端子（i = 0, 1，j = A, B, C, D）とポートの切り替えが行われると，ハザードが発生する可能性があります。ハザード制御選択ビット（HAZAD_SET）を 1 にすることでハザード対策を行うことができます。

ただし，ハザード制御が有効の場合，無効設定時のタイマ RDe 出力に対して 1 クロック分の遅延が発生します。

図 8－109　ハザード制御タイミング図



------ は，出力遮断状態を示します。（レジスタ設定値により，H固定，L固定，またはHi-z）

備考　j = A, B, C, D，i = 0, 1

8.6.3.5　出力遮断要因検出状態と出力遮断要因未検出状態

出力遮断要因検出状態（HZIF0 = 1）か，出力遮断要因未検出状態（HZIF0 = 0）かは，遮断要因選択ビット（OPCTL0.IN_SEL1，OPCTL0.IN_SEL0）で選択された信号（INTP0，コンパレータ0出力）のレベルで判定します。

出力遮断要因エッジ／解除エッジ選択ビット（OPCTL0.IN_EG）が0の場合，Hレベルは出力遮断要因検出状態になり，Lレベルは出力遮断要因未検出状態になります。

出力遮断要因エッジ／解除エッジ選択ビット（OPCTL0.IN_EG）が1の場合，Lレベルは出力遮断要因検出状態になり，Hレベルは出力遮断要因未検出状態になります。

備考　OPCTL0 レジスタの IN_SEL1 ビットと IN_SEL0 ビットで INTP0 とコンパレータ 0 の遮断要因を選択する前に出力遮断要因がしきい値を超えた場合，IN_SEL1 ビットと IN_SEL0 ビットが設定された後，HZIF0 ビットは 1 に設定されますが，HZOF0 と HZOF1 ビットは 1 にセットされません。

8.6.3.6　タイマ RDe カウンタ値が 0000H になるタイミング

ハードウェアにより出力強制遮断を解除する場合，出力遮断解除の条件はタイマ RDe の動作モードによって異なります。

(1)　アウトプット・コンペア機能で動作する場合のカウント値が 0000H になるタイミング

- カウント値 = 0000H でタイマ RDe のカウントを開始する。
  出力遮断は解除されない。
- タイマ RDe がカウント動作中にソフトウェアによりカウンタに 0000H を書き込む。
  出力遮断は解除される。
- カウンタがオーバフローし 0000H になる。
  出力遮断は解除される。
- カウント値が TRDGRAi レジスタとコンペアー致し 0000H になる。
  出力遮断は解除される。

(2)　PWM 機能，拡張 PWM モードで動作する場合のカウント値が 0000H になるタイミング

- カウント値 = 0000H でタイマ RDe のカウントを開始する。
  出力遮断は解除されない。
- タイマ RDe がカウント動作中にソフトウェアによりカウンタに 0000H を書き込む。
  出力遮断は解除される。
- カウント値が TRDGRAi レジスタとコンペアー致し 0000H になる。
  出力遮断は解除される。

(3)　リセット同期 PWM モードで動作する場合のカウント値が 0000H になるタイミング

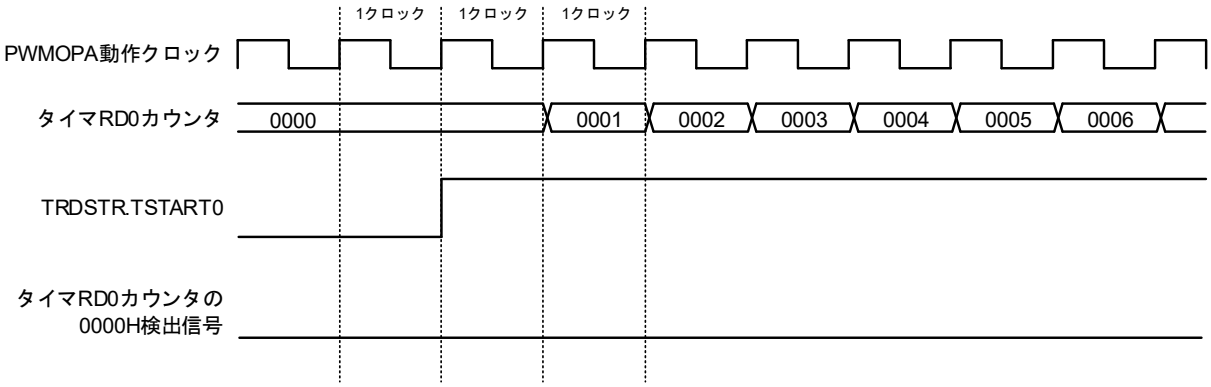
- カウント値 = 0000H でタイマ RDe のカウントを開始する。
  出力遮断は解除されない。
- タイマ RDe がカウント動作中にソフトウェアによりカウンタに 0000H を書き込む。
  出力遮断は解除される。
- カウント値が TRDGRA0 レジスタとコンペアー致し 0000H になる。
  出力遮断は解除される。

(4)　PWM3 モードで動作する場合のカウント値が 0000H になるタイミング

- カウント値 = 0000H でタイマ RDe のカウントを開始する。
  出力遮断は解除されない。
- タイマ RDe がカウント動作中にソフトウェアによりカウンタに 0000H を書き込む。
  出力遮断は解除される。
- カウント値が TRDGRA0 レジスタとコンペアー致し 0000H になる。
  出力遮断は解除される。

図 8－110　カウント値 = 0000H の判定タイミング

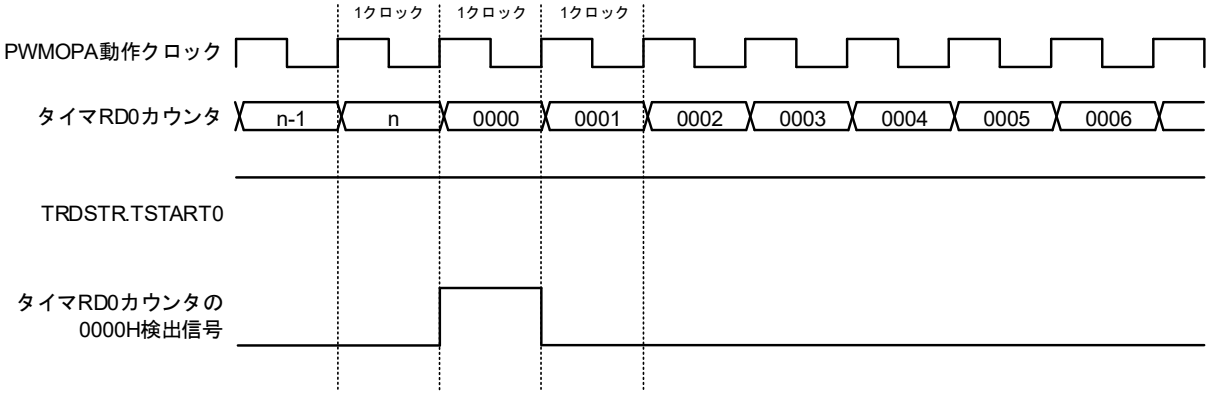
（カウント値 = 0000H でカウント開始）



備考　カウント開始時のカウント値 = 0000H の判定は行いません。

図 8－111　カウント値 = 0000H の判定タイミング

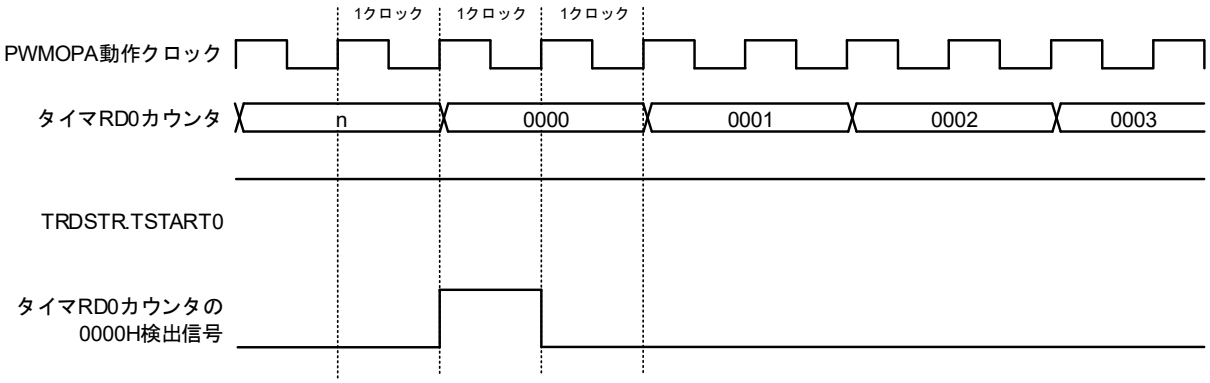
（カウント・ソース = 動作クロックでカウント中にカウント値が 0000H になる）



備考　カウント値 = 0000H になるときに検出します。

図 8－112　カウント値 = 0000H の判定タイミング

（カウント・ソース = 動作クロック/2 でカウント中にカウント値が 0000H になる）



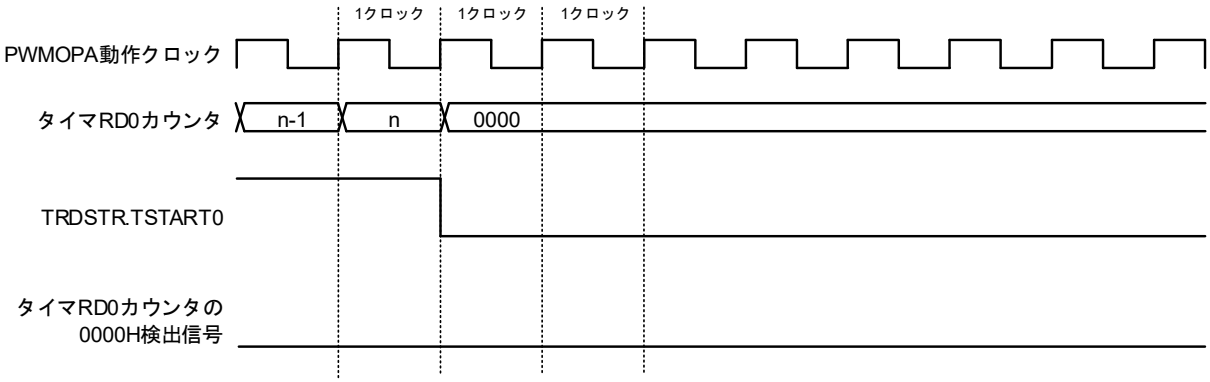
備考　カウント値 = 0000H になるときに検出します。

(5)　タイマ RDe カウント値が 0000H で停止した場合

- カウント値 = 0000H になると同時にタイマ RDe のカウントを停止すると，遮断解除タイミングと判断しません。

図 8－113　カウント値 = 0000H の判定タイミング

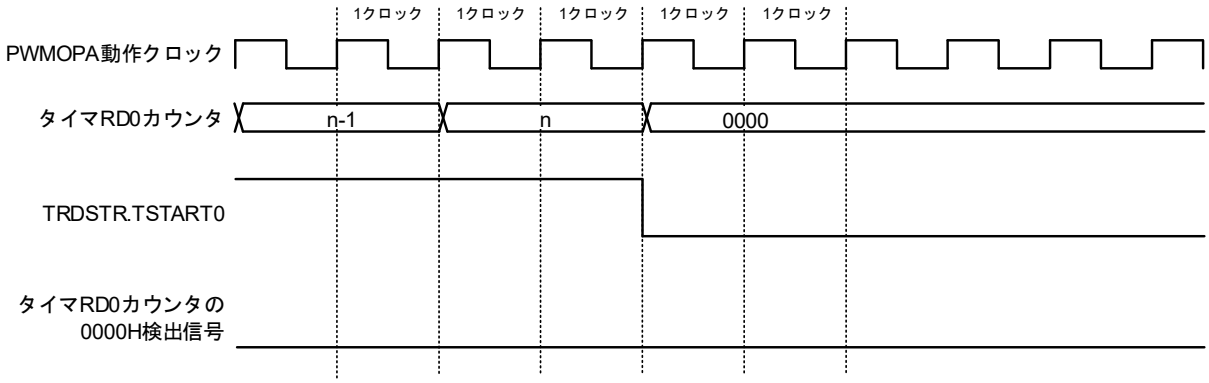
（カウント・ソース = 動作クロックでカウント値が 0000H になると同時にカウント停止）



備考　カウント値 = 0000H の判定を行いません。

図 8－114　カウント値 = 0000H の判定タイミング

（カウント・ソース = $f_{CLK}/2$ でカウント値が 0000H になると同時にカウント停止）

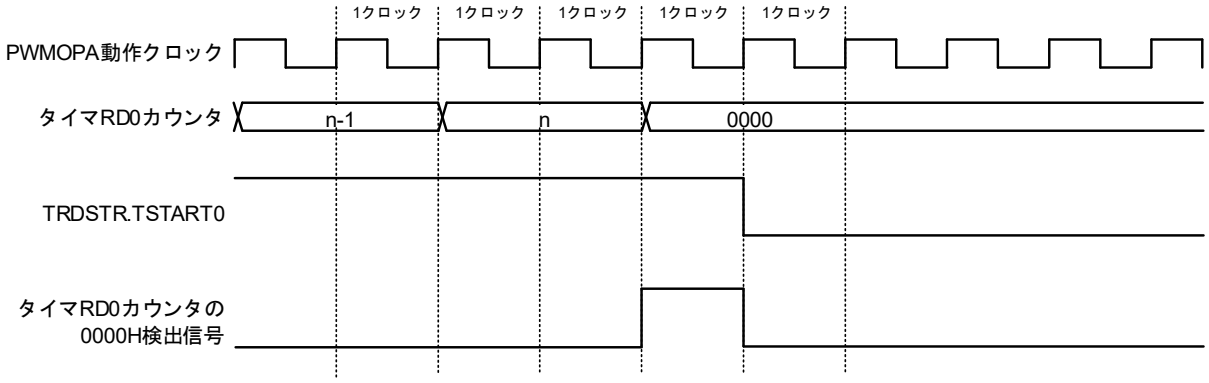


備考　カウント値 = 0000H の判定を行いません。

- タイマ RDe カウント値が 0000H なった次のクロック・サイクルでタイマ RDe がカウント停止する場合，出力遮断は解除されます。

図 8－115　カウント値 = 0000H の判定タイミング

（カウント・ソース = $f_{CLK}/2$ でカウント値が 0000H になった次のタイミングでカウント停止）



備考　カウント値 = 0000H の判定を行います。

8.6.3.7　設定手順

PWMOPA は，タイマ RDe と連携して使用します。

タイマ RDe の設定手順に PWMOPA の設定も合わせて追加します。手順は次の通りです。

タイマ RDe のクロックとモードを設定した後：

① PER1 レジスタの PWMOPEN ビットを“1”に設定します。

② OPCTL0 レジスタを設定します。

③ OPEDGE レジスタを設定します。

④ OPDF0 および OPDF1 レジスタを設定します。

タイマ RDe の動作開始

⑤ 出力遮断要因が検出されると，OPSR レジスタの HZOF0 ビットと HZOF1 ビットが 1 にセットされます。

⑥ OPCTL0 レジスタの設定により，出力遮断を解除します（ソフトウェアまたはハードウェアによる解除は，HS_SEL ビットで選択できます）。

備考 1. PWMOPA を使用する場合は，必ずタイマ RDe とともに使用してください。

2. タイマ RDe 機能を独立して動作させる場合，PWMOPA の機能を無効（PWMOPA 関連レジスタはリセット値）にしてください。

8.6.3.8　注意事項

(1) タイマ RDe のパルス出力強制遮断が PWMOPA の出力遮断と同時に動作する場合の優先順位を次の表に示します。

表 8－31　強制遮断の優先順位

		PWMOPA の出力強制遮断時の端子状態制御			
		強制遮断禁止	ハイ・インピーダンス	L レベル	H レベル
タイマRDeの出力強制遮断時の端子状態制御	強制遮断禁止	強制遮断禁止	ハイ・インピーダンス	L レベル	H レベル
	ハイ・インピーダンス	ハイ・インピーダンス	ハイ・インピーダンス	L レベル	H レベル
	L レベル	L レベル	ハイ・インピーダンス	L レベル	H レベル
	H レベル	H レベル	ハイ・インピーダンス	L レベル	H レベル

(2) 相補 PWM モードまたは拡張相補 PWM モードで，PWMOPA が出力遮断状態のときにタイマ RDe がパルス出力強制遮断状態になると，TRDIOC0 の状態によっては出力遮断解除エッジが PWMOPA に入力される場合があります。

(3) イベント･リンク･コントローラをトリガに出力遮断する場合は，遮断解除は必ずソフトウェア解除（HS_SEL ビットを 1 に設定）を選択してください。

(4) 出力遮断ハザード制御を選択した場合，PWMOPA を経由したタイマ RDe 出力は PWMOPA 動作クロックの 1 サイクル分遅延します。

(5) PWMOPA 経由のタイマ RDe 出力端子をタイマ RDe 出力に設定する場合，出力遮断ハザード制御を選択することで（HAZAD_SET ビットを 1 に設定），タイマ RDe のカウント動作中にタイマ RDe 出力とポート出力を切り替えることができます。

(6) PWMOPA 経由のタイマ RDe 出力端子をポート動作に設定する場合，出力遮断または出力遮断解除時にハザードが発生する可能性があります。

(7) コンパレータ 0 と INTP0 の入力パルス幅を PWMOPA 動作クロックの 1 サイクル以上に設定してください。

★ (8) リセット同期 PWM モード，相補 PWM モード，PWM3 モード，および拡張相補 PWM モードを使用し，かつ PWM オプション･ユニット A（PWMOPA）を使用する場合，対象端子の PWMDLY0 レジスタの TRDji[1, 0] ビットは，00B（遅延なし）にしてください（i = 0, 1，j = A, B, C, D）。

★ (9) PWM 機能および拡張 PWM モードの時に，PWMDLY0 レジスタで PWM 出力を遅延し，かつ PWM オプション・ユニット A（PWMOPA）を使用した場合，PWMOPA の強制遮断解除後に遅延設定した端子から出力遮断直前に遅延回路に保持されたレベルが遅延設定値–1 のパルス分出力されます。

8.7　間引きモジュール（TRDMBK）

タイマ RDe 間引きモジュールは，入力信号周期に同期して 0～31 間引いた信号を，割り込み入力信号 2 本，A/D 変換トリガ入力信号 1 本の計 3 本へ出力します。

拡張相補 PWM モードでのみ使用できます

8.7.1　概要

- 入力 4 本に対し，それぞれ間引き制御の有効／無効を設定することができます。
- 間引きカウンタと間引き設定回数設定レジスタにより，0～31 間引くことができます。
- 間引きカウンタは，入力信号に同期して間引き出力を制御します。
- 間引きモジュールは，拡張相補 PWM モデルでのみ使用できます。

図 8－116 に間引きモジュール（TRDMBK）のブロック図を，表 8－32 に入力／出力端子の構成を示します。

図 8－116　TRDMBK のブロック図

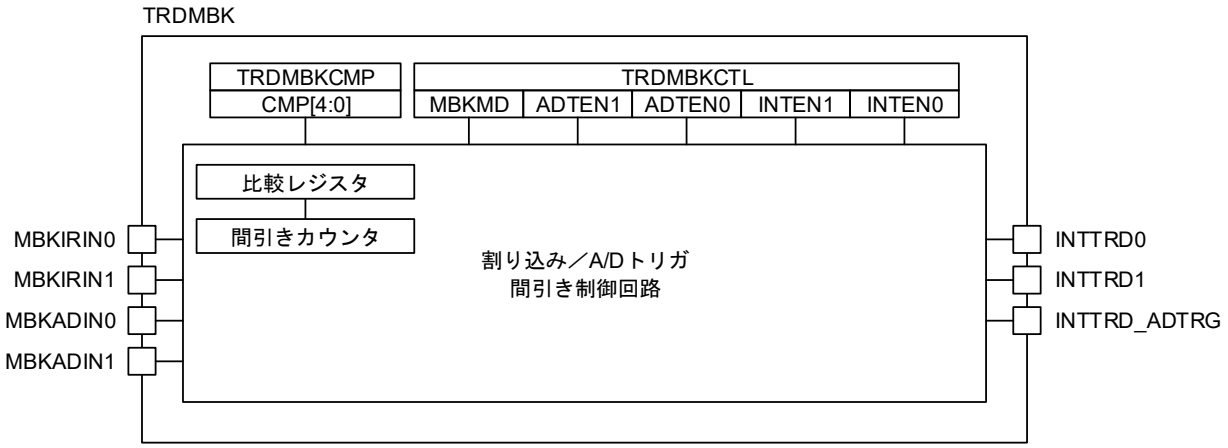


表 8－32　TRDMBK の入力／出力端子構成

端子名	入出力	機能
MBKIRIN0	入力	タイマ RDe 割り込み要求信号 0（TRD1 の OVF 信号）
MBKIRIN1	入力	タイマ RDe 割り込み要求信号 1，TRDMBK 用ソース信号（TRD1 の UDF 信号）
MBKADIN0	入力	タイマ RDe A/D 変換トリガ信号 0（TRDADTC0 とのコンペアー致信号）
MBKADIN1	入力	タイマ RDe A/D 変換トリガ信号 1（TRDADTC1 とのコンペアー致信号）
INTTRD0	出力	タイマ RDe 間引き制御後割り込み要求信号 0
INTTRD1	出力	タイマ RDe 間引き制御後割り込み要求信号 1
INTTRD_ADTRG	出力	タイマ RDe 間引き制御後 A/D 変換トリガ信号

8.7.2　TRDMBK のレジスタ

アドレス	レジスタ名	シンボル	リセット後の値	アクセス・サイズ
F024EH	タイマ RDe 間引き制御レジスタ	TRDMBKCTL	00H 注	8
F024FH	タイマ RDe 間引き回数設定レジスタ	TRDMBKCMP	00H 注	8

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

8.7.2.1　タイマ RDe 間引き制御レジスタ（TRDMBKCTL）

INTEN0，INTEN1，ADTEN0，ADTEN1 のいずれかに 1 を設定すると，間引きカウンタ動作を開始します。

図 8－117　タイマ RDe 間引き制御レジスタ（TRDMBKCTL）のフォーマット

アドレス：F024EH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDMBKCTL	0	0	0	MBKMD	ADTEN1	ADTEN0	INTEN1	INTEN0

ビット 7-5	何も配置されていない	R/W
－	書く場合，0 を書いてください。	－

MBKMD	間引きモード選択	R/W
0	動作開始 1 周期目の間引き出力無効	R/W
1	動作開始 1 周期目の間引き出力有効	

ADTEN1	A/D 変換トリガ 1（TRDADTC1 とのコンペアー致信号）間引き許可	R/W
0	MBKADIN1 の間引き制御無効	R/W
1	MBKADIN1 の間引き制御有効	

ADTEN0	A/D 変換トリガ 0（TRDADTC0 とのコンペアー致信号）間引き許可	R/W
0	MBKADIN0 の間引き制御無効	R/W
1	MBKADIN0 の間引き制御有効	

INTEN1	割り込み要求 1（TRD1 の UDF 信号）間引き許可	R/W
0	MBKIRIN1 の間引き制御無効	R/W
1	MBKIRIN1 の間引き制御有効	

INTEN0	割り込み要求 0（TRD1 の OVF 信号）間引き許可	R/W
0	MBKIRIN0 の間引き制御無効	R/W
1	MBKIRIN0 の間引き制御有効	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

8.7.2.2　タイマ RDe 間引き回数設定レジスタ（TRDMBKCMP）

図 8－118　タイマ RDe 間引き回数設定レジスタ（TRDMBKCMP）のフォーマット

アドレス：F024FH　リセット時：00H 注

略号	7	6	5	4	3	2	1	0
TRDMBKCMP	0	0	0	CMP[4:0]				

ビット 7-5	何も配置されていない	R/W
－	書く場合，0 を書いてください。	－

CMP[4:0]	間引き回数設定	R/W
00000B	間引き回数 0（間引き機能無効）	R/W
00001B	間引き回数 1 回（2 回毎に 1 回）	
00010B	間引き回数 2 回（3 回毎に 1 回）	
:		
11110B	間引き回数 30 回（31 回毎に 1 回）	
11111B	間引き回数 31 回（32 回毎に 1 回）	

注　ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 かつ，PER1 レジスタの TRD0EN = 0 の場合，リセット後の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

8.7.3　動作説明

TRDMBK は，5 ビットの間引きカウンタを持ちます。間引きカウンタは TRDMBKCMP レジスタの CMP[4:0] ビットに設定された値を読み出し，ダウン・カウント動作を行います。間引きカウンタが 00000B になると，CMP[4:0] ビットの値を読み出し，ダウン・カウントを継続します。

TRDMBKCMP レジスタは，いつでも書き換えることができます。

図 8－119　TRDMBK 間引きカウンタ制御

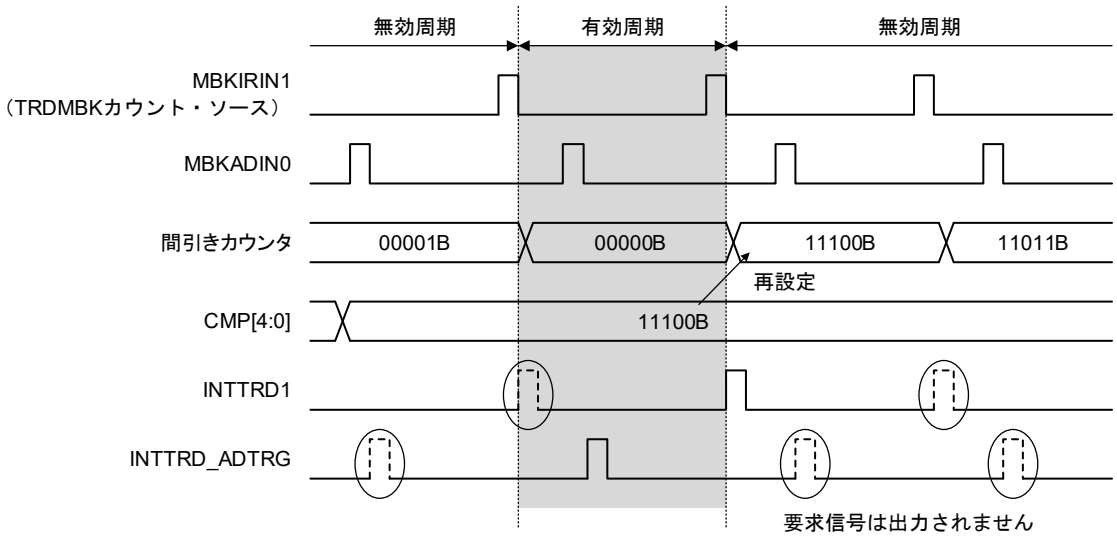
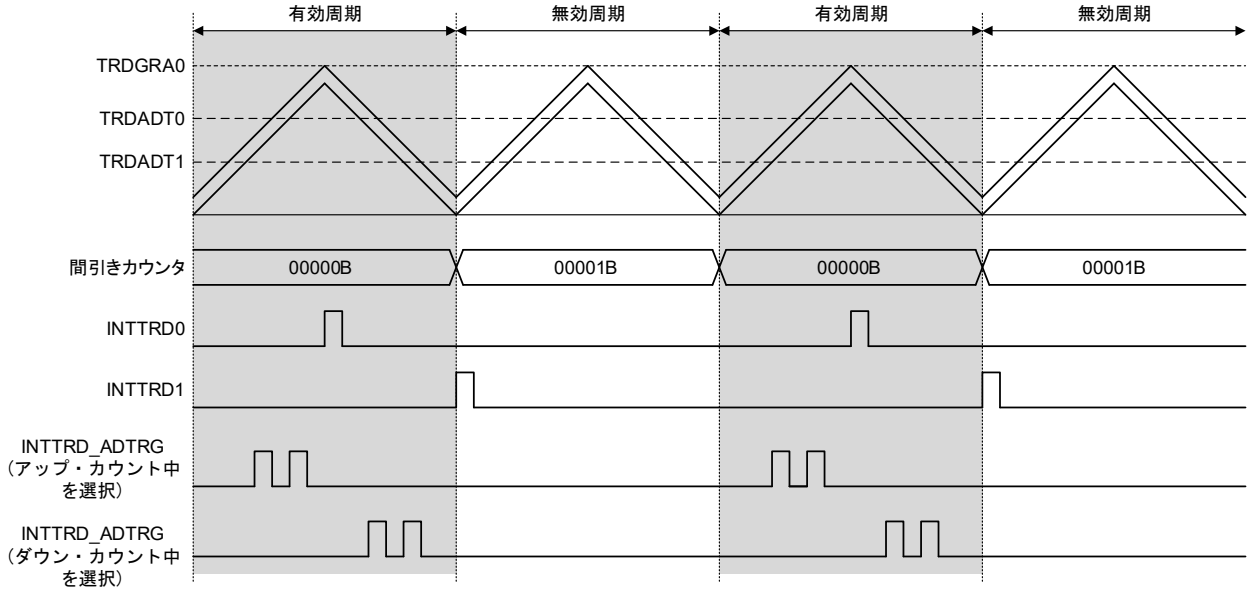


図 8－120　拡張相補 PWM モードの動作例（1 間引き）



TRDMBKCTL レジスタの MBKMD ビットを使用することで，動作開始時の最初の周期で間引き出力を有効にするか無効にするかを設定できます。MBKMD ビットを 1 に設定した場合，タイマ・ソースの最初の周期の割り込み信号と AD 変換トリガ信号が出力されます。

図 8－121　拡張相補 PWM モードでの 1 間引きの動作例（TRDMBKCTL.MBKMD = 0）

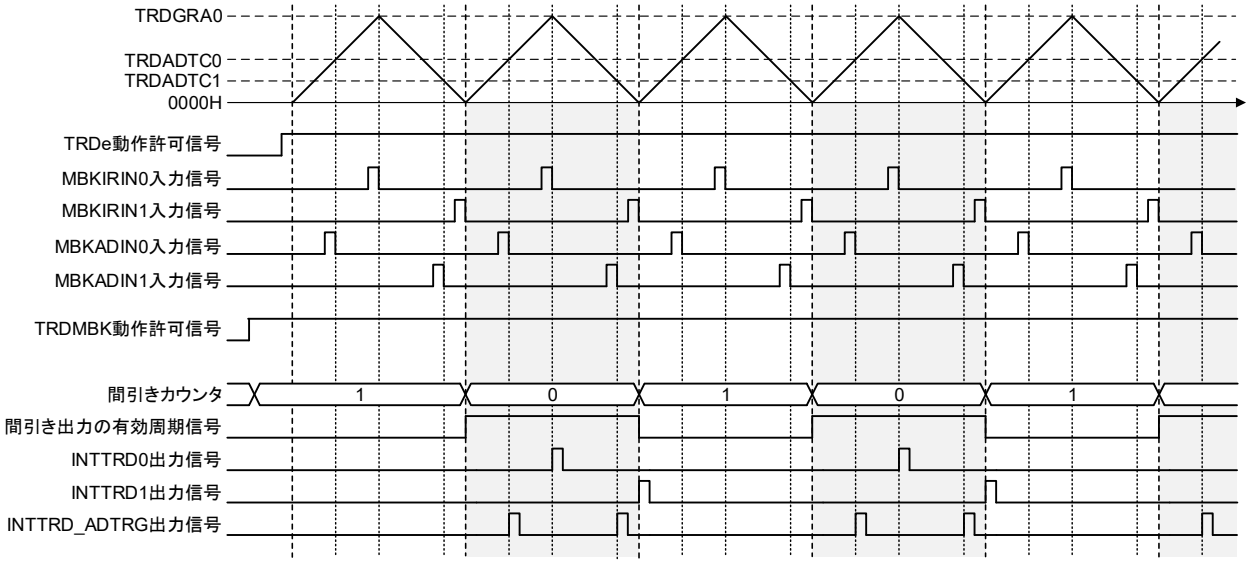
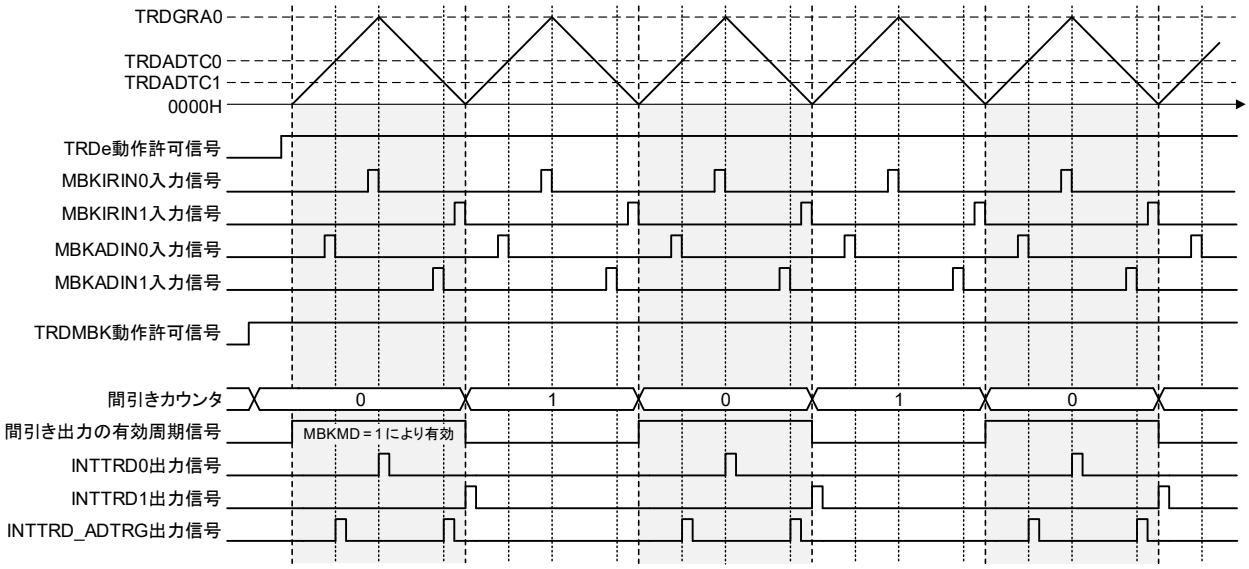


図 8－122　拡張相補 PWM モードでの 1 間引きの動作例（TRDMBKCTL.MBKMD = 1）



備考　TRDe 動作許可信号：TRDSTR レジスタの TSTARTi ビットを 1 にセットしたときに 1 になります。
TRDMBK 動作許可信号：TRDMBKCTL レジスタの INTEN0，INTEN1，ADTEN0，ADTEN1 のいずれかを 1 にセットされたときに 1 になります。

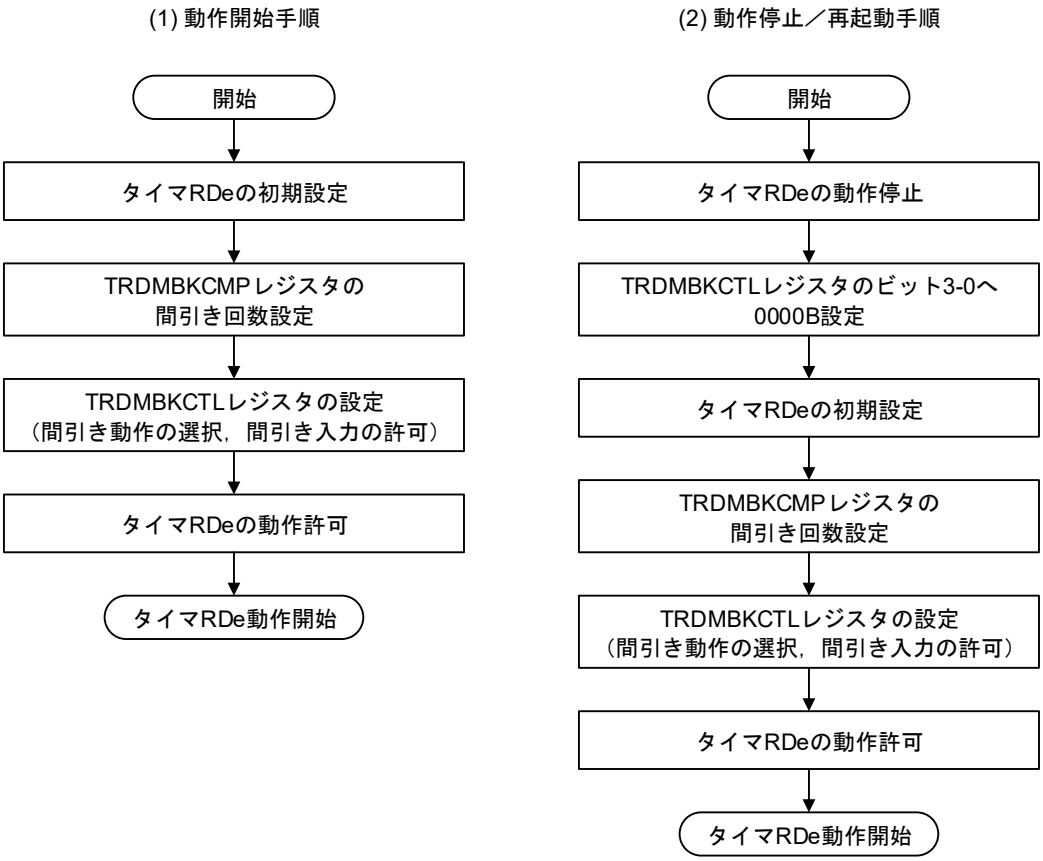
上記の図は，次の条件で適用されます。

- TRDADCR レジスタの ADMD0 ビットは 0（A/D 変換トリガ 0 はアップ・カウント中に比較）
- TRDADCR レジスタの ADMD1 ビットは 1（A/D 変換トリガ 1 はダウン・カウント中に比較）
- TRDMBKCMP レジスタのビット CMP[4:0] は 00001B（1 間引き）

8.7.4　設定手順

間引き回路の設定とタイマ RDe の設定の手順を以下に示します。間引き回路内のカウンタは，TRDMBKCTL のビット 3-0 を 0000B から 0000B 以外に設定すると初期化されます。タイマ RDe のカウント動作を停止する場合や，タイマ RDe および間引き回路の設定を変更される場合は，必ず TRDMBKCTL レジスタのビット 3-0 を 0000B に設定してください。

図 8－123　間引き回路とタイマ RDe の設定手順



第9章　リアルタイム・クロック

9.1　リアルタイム・クロックの機能

リアルタイム・クロックには，次のような機能があります。

- 年，月，曜日，日，時，分，秒のカウンタを持ち，最長 99 年までカウント可能
- 定周期割り込み機能（周期：0.5 秒，1 秒，1 分，1 時間，1 日，1 月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hz の端子出力機能
- 時計誤差補正機能

注意　リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz），高速オンチップ・オシレータ（f_{IH} = 4 MHz または 8 MHz），および高速システム・クロック（f_{MX} = 4 MHz, 8 MHz, 4.19 MHz, 8.38 MHz）を選択して，年，月，曜日，日，時，分，秒のカウントができます。高速オンチップ・オシレータまたは高速システム・クロックを選択する場合は，RTC クロック選択レジスタ（RTCCL）でクロックおよび分周の選択をしてください。

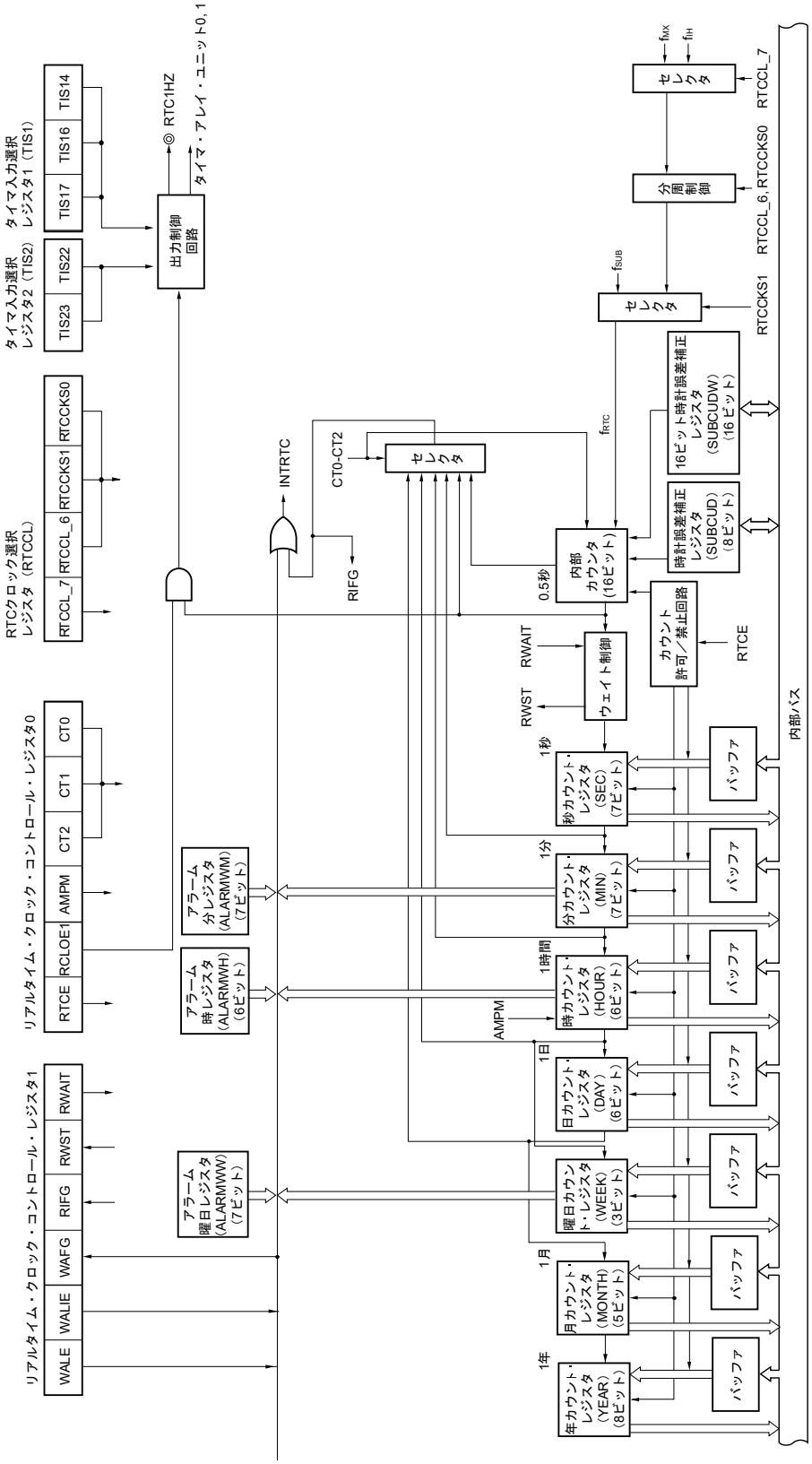
9.2　リアルタイム・クロックの構成

リアルタイム・クロックは，次のハードウェアで構成されています。

表9－1　リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ（16 ビット）
制御レジスタ	周辺イネーブル・レジスタ 0（PER0）
	動作スピード・モード制御レジスタ（OSMC）
	タイマ入力選択レジスタ 1（TIS1）
	タイマ入力選択レジスタ 2（TIS2）
	RTC クロック選択レジスタ（RTCCL）
	リアルタイム・クロック・コントロール・レジスタ 0（RTCC0）
	リアルタイム・クロック・コントロール・レジスタ 1（RTCC1）
	秒カウント・レジスタ（SEC）
	分カウント・レジスタ（MIN）
	時カウント・レジスタ（HOUR）
	日カウント・レジスタ（DAY）
	曜日カウント・レジスタ（WEEK）
	月カウント・レジスタ（MONTH）
	年カウント・レジスタ（YEAR）
	時計誤差補正レジスタ（SUBCUD）
	16 ビット時計誤差補正レジスタ（SUBCUDW）
	アラーム分レジスタ（ALARMWM）
	アラーム時レジスタ（ALARMWH）
	アラーム曜日レジスタ（ALARMWW）

図9－1　リアルタイム・クロックのブロック図



9.3　リアルタイム・クロックを制御するレジスタ

表9－2　リアルタイム・クロックのレジスタ構成

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F00F0H	周辺イネーブル・レジスタ0	PER0	00H	1, 8
F00F3H	動作スピード・モード制御レジスタ	OSMC	00H	8
F0075H	タイマ入力選択レジスタ1	TIS1	00H	8
F007AH	タイマ入力選択レジスタ2	TIS2	00H	8
F02C8H	RTCクロック選択レジスタ	RTCCL	00H	1, 8
FFF54H	16ビット時計誤差補正レジスタ	SUBCUDW	0000H	16
FFF92H	秒カウント・レジスタ	SEC	00H	8
FFF93H	分カウント・レジスタ	MIN	00H	8
FFF94H	時カウント・レジスタ	HOUR	12H	8
FFF95H	曜日カウント・レジスタ	WEEK	00H	8
FFF96H	日カウント・レジスタ	DAY	01H	8
FFF97H	月カウント・レジスタ	MONTH	01H	8
FFF98H	年カウント・レジスタ	YEAR	00H	8
FFF99H	時計誤差補正レジスタ	SUBCUD	00H	8
FFF9AH	アラーム分レジスタ	ALARMWM	00H	8
FFF9BH	アラーム時レジスタ	ALARMWH	12H	8
FFF9CH	アラーム曜日レジスタ	ALARMWW	00H	8
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0	00H	1, 8
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1	00H	1, 8

9.3.1　周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは，必ず RTCCL レジスタで RTC の動作クロックを設定し，その後ビット 7（RTCEN）を“1”に設定してください。

PER0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

PER0 レジスタは，IAWCTL レジスタの GCSC ビット = 1 のとき，ライト無効となります。

図9－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・クロック（RTC）の入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC）で使用する SFR へのライト不可 ・リアルタイム・クロック（RTC）はリセット状態
1	入力クロック供給許可 ・リアルタイム・クロック（RTC）で使用する SFR へのリード／ライト可

注意 1.　リアルタイム・クロックを使用する場合は，入力クロック（f_{RTC}）が発振安定状態において，最初に RTCEN = 1 の設定を行ってください。RTCEN = 0 の場合は，リアルタイム・クロックの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（動作スピード・モード制御レジスタ（OSMC），タイマ入力選択レジスタ 1, 2（TIS1, 2），RTC クロック選択レジスタ（RTCCL）は除く）。

2. 動作スピード・モード制御レジスタ（OSMC）の RTCLPC = 1 に設定することにより，STOP モード時およびサブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時に周辺機能へのクロック供給を停止することが可能です。その場合，RTCEN ビットは“1”に設定し，PER0 レジスタのその他のビット 0-6 は“0”に設定してください。

3. RTCEN を“1”に設定する前に，RTCCL レジスタで RTC 動作クロックを設定してください。

4. ビット 6 には必ず“0”を設定してください。

9.3.2　動作スピード・モード制御レジスタ（OSMC）

RTCLPC ビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPC ビットの設定については，「第 5 章　クロック発生回路」を参照してください。

OSMC レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－3　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOP モード時およびサブ／低速オンチップ・オシレータ選択クロックで CPU 動作中の HALT モード時の設定
0	周辺機能へのサブ／低速オンチップ・オシレータ選択クロック供給許可 （動作許可となる周辺機能については，表 23－1，表 23－2，表 23－3 を参照）
1	RTC 以外の周辺機能へのサブ／低速オンチップ・オシレータ選択クロック供給停止

9.3.3　タイマ入力選択レジスタ1（TIS1）

TIS1 レジスタはタイマ・アレイ・ユニット 0 の入力要因を選択するレジスタです。

TIS1 レジスタの TIS17, TIS16, TIS14 ビットは，チャネル 7, 6 をリアルタイム・クロックと連携して時計誤差補正を実現するときに使用します。TIS17, TIS16 = 0, 1 に設定すると，RTC1HZ 出力信号がチャネル 7 のタイマ入力として選択されます。

TIS14 = 1 に設定すると，RTC1HZ 出力信号がチャネル 6 のタイマ入力として選択されます。

TIS1 レジスタは 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS1 レジスタは 00H になります。

図9－4　タイマ入力選択レジスタ1（TIS1）のフォーマット

アドレス：F0075H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS1	TIS17	TIS16	0	TIS14	0	TIS12	0	TIS10

TIS17	TIS16	タイマ・アレイ・ユニット 0 チャネル 7 で使用するタイマ入力の選択
0	0	タイマ入力端子（TI07）の入力信号
0	1	RTC1HZ 出力信号
1	0	RXD0 端子（ウェイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）
1	1	設定禁止

TIS14	タイマ・アレイ・ユニット 0 チャネル 6 で使用するタイマ入力の選択
0	タイマ入力端子（TI06）の入力信号
1	RTC1HZ 出力信号

TIS12	タイマ・アレイ・ユニット 0 チャネル 5 で使用するタイマ入力の選択
0	タイマ入力端子（TI05）の入力信号
1	タイマ入力端子（TI03）の入力信号

TIS10	タイマ・アレイ・ユニット 0 チャネル 4 で使用するタイマ入力の選択
0	タイマ入力端子（TI04）の入力信号
1	タイマ入力端子（TI03）の入力信号

注意 1.TImn 端子（m = 0, 1，n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2.TAU のチャネル 7 とチャネル 6 で使用するタイマ入力のクロック・ソースを RTC1HZ 出力信号とする場合は，TIS17 = 0, TIS16 = 1, TIS14 = 1 と設定して，チャネル 7 とチャネル 6 とも RTC1HZ 出力信号を選択してください。

備考　LIN-bus 通信を使用する場合は，TIS17, TIS16 = 1, 0 に設定して RXD0 端子の入力信号を選択しておいてください。

9.3.4　タイマ入力選択レジスタ2（TIS2）

TIS2 レジスタはタイマ・アレイ・ユニット 1 の入力要因を選択するレジスタです。

TIS2 レジスタの TIS23，TIS22 ビットは，チャネル 7，6 をリアルタイム・クロックと連携して時計誤差補正を実現するときに使用します。TIS23 = 1 に設定すると，RTC1HZ 出力信号がチャネル 7 のタイマ入力として選択されます。TIS22 = 1 に設定すると，RTC1HZ 出力信号がチャネル 6 のタイマ入力として選択されます。

TIS2 レジスタは 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS2 レジスタは 00H になります。

本機能は，RL78/F24 製品のみ有効です。

図9－5　タイマ入力選択レジスタ2（TIS2）のフォーマット

アドレス：F007AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS2	0	0	0	0	TIS23	TIS22	0	0

TIS22	タイマ・アレイ・ユニット 1 チャネル 6 で使用するタイマ入力の選択
0	タイマ入力端子（TI16）の入力信号
1	RTC1HZ 出力信号

TIS23	タイマ・アレイ・ユニット 1 チャネル 7 で使用するタイマ入力の選択
0	タイマ入力端子（TI17）の入力信号
1	RTC1HZ 出力信号

注意 1. TImn 端子（m = 0, 1，n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2. TAU のチャネル 7 とチャネル 6 で使用するタイマ入力のクロック・ソースを RTC1HZ 出力信号とする場合は，TIS23 = 1, TIS22 = 1 と設定して，チャネル 7 とチャネル 6 とも RTC1HZ 出力信号を選択してください。

3. RL78/F24 の 32 ピン版の製品では、タイマ入力 TI14-TI17 およびタイマ出力 TO14-TO17 はありません。

9.3.5　RTCクロック選択レジスタ（RTCCL）

RTC の動作クロックを選択します。

RTCCL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－6　RTCクロック選択レジスタ（RTCCL）のフォーマット

アドレス：F02C8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
RTCCL	RTCCL_7	RTCCL_6	0	0	0	0	RTCCKS1	RTCCKS0

RTCCL_7	RTC の動作クロック選択制御
0	高速システム・クロック（f_{MX}）
1	高速オンチップ・オシレータ・クロック（f_{IH}）

RTCCKS1 注3	RTCCKS0	RTCCL_6	RTC 動作クロック選択制御
0	0	×	サブシステム・クロック（f_{SUB}）注1
0	1	×	
1	0	0	f_{MX} または $f_{IH}/128$ 注2
1	0	1	f_{MX} または $f_{IH}/122$ 注2
1	1	0	f_{MX} または $f_{IH}/256$ 注2
1	1	1	f_{MX} または $f_{IH}/244$ 注2

注 1. CKSEL レジスタの SELLOSC ビットが“1”の場合は，リアルタイム・クロックの入力クロック（f_{RTC}）にサブシステム・クロック（f_{SUB}）を供給できません。

2. RTCCL_7 を選択した後，切り替えてください。

3. RTCCKS1 ビットを“1”に設定する場合，あらかじめ CKC レジスタの CSS ビットを“0”にして CPU／ハードウェア・クロック（f_{CLK}）にメイン／PLL 選択クロック（f_{MP}）を選択してください。

注意　32 ピンの製品はサブシステム・クロックを搭載していないため，サブシステム・クロック（f_{SUB}）を選択しないでください。

備考　× ：don’t care

9.3.6　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

リアルタイム・クロック動作の開始／停止，RTC1HZ 端子の制御，12/24 時間制，定周期割り込み機能を設定する 8 ビットのレジスタです。

RTCC0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－7　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット

アドレス：FFF9DH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ 端子の出力制御
0	RTC1HZ 端子の出力（1 Hz）禁止
1	RTC1HZ 端子の出力（1 Hz）許可

AMPM	12 時間制／24 時間制の選択
0	12 時間制（午前／午後を表示）
1	24 時間制
・AMPM ビットの値を変更する場合は，RWAIT ビット（リアルタイム・クロック・コントロール・レジスタ 1（RTCC1）のビット 0）＝ 1 にしてから書き換えてください。AMPM レジスタの値を変更すると，時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。 ・時間桁表示一覧を表 9－3 に示します。	

CT2	CT1	CT0	定周期割り込み（INTRTC）の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5 秒に 1 度（秒カウントアップに同期）
0	1	0	1 秒に 1 度（秒カウントアップと同時）
0	1	1	1 分に 1 度（毎分 00 秒）
1	0	0	1 時間に 1 度（毎時 00 分 00 秒）
1	0	1	1 日に 1 度（毎日 00 時 00 分 00 秒）
1	1	×	1 月に 1 度（毎月 1 日午前 00 時 00 分 00 秒）
カウンタ動作中（RTCE = 1）に CT2-CT0 ビットの値を変更する場合は，INTRTC を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，RIFG フラグ，RTCIF フラグをクリアしてから割り込み処理許可にしてください。			

注意　RTCE = 1 のときに RCLOE1 ビットを変更しないでください。

備考　×：don’t care

9.3.7　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

アラーム割り込み機能，カウンタのウェイトを制御する 8 ビットのレジスタです。

RTCC1 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－8　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（1/2）

アドレス：FFF9EH　リセット時：00H　R/W 注

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつ WALIE = 1 の時に WALE ビットへ設定する場合は，INTRTC を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後に WAFG フラグ，RTCIF フラグをクリアしてください。アラームの各レジスタ（RTCC1 レジスタの WALIE フラグ，アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW））を設定する場合，WALE ビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1 のときのみ有効となり，アラーム一致検出し，動作クロック（f_{RTC}）の 1 クロック後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

注　ビット 1 は読み出しのみできます。

図9－8　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）

RWST	リアルタイム・クロックのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAIT ビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が“1”になっていることを確認したあとに行ってください。	

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC～YEAR カウンタ停止設定。カウンタ値読み出し，書き込みモード。
カウンタの動作を制御します。 カウンタ値の読み出し，書き込みを行う際は必ず 1 を書き込んでください。 内部カウンタ（16 ビット）は動作を継続するので，1 秒以内に読み出しや書き込みを終了し，0 に戻してください。 RWAIT = 1 に設定後，カウンタ値の読み出し，書き込みが可能（RWST = 1）となるまで動作クロック（f_{RTC}）の最大 1 クロック時間がかかります。注 1，注 2 アラーム割り込みを使用するときに，カウンタの読み出し／書き込みを行う場合は，RTCC0 レジスタの CT2-CT0 ビットを 010B（1 秒毎に定周期割り込み発生）にして，RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行って下さい。 内部カウンタ（16 ビット）のオーバフローが RWAIT = 1 のときに起きた場合は，オーバフローが起きたことを保持して RWAIT = 0 になったあと，カウント・アップします。 ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。	

注 1. RTCE = 1 に設定した後，f_{RTC} の 1 クロック時間内で RWAIT = 1 とした場合，RWST ビットが“1”になるまで動作クロック（f_{RTC}）の 2 クロック時間がかかる場合があります。

2. スタンバイ（HALT モード，STOP モード，SNOOZE モード）から復帰した後，f_{RTC} の 1 クロック時間内で RWAIT = 1 とした場合，RWST ビットが“1”になるまで動作クロック（f_{RTC}）の 2 クロック時間がかかる場合があります。

注意　RTCC1 レジスタに 1 ビット操作命令で書き込みを行うと，RIFG フラグ，WAFG フラグがクリアされることがあります。そのため，RTCC1 レジスタへの書き込みは 8 ビット操作命令で設定してください。書き込み時に，RIFG フラグ，WAFG フラグをクリアしないようにするためには，該当ビットに書き込みが無効となる“1”を設定してください。なお，RIFG フラグ，WAFG フラグを使用せず値が書き換わっても問題ない場合は，RTCC1 レジスタに 1 ビット操作命令で書き込みを行ってもかまいません。

備考 1. 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この 2 つの割り込みを同時に使用する場合は，INTRTC が発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

2. 秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16 ビット）はクリアされます。

9.3.8　秒カウント・レジスタ（SEC）

0-59（10 進）までの値を取り，秒のカウント値を示す 8 ビットのレジスタです。

内部カウンタ（16 ビット）からのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大 2 クロック後にカウンタへ書き込まれます。また設定する値は 10 進の 00-59 を BCD コードで設定してください。

SEC レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－9　秒カウント・レジスタ（SEC）のフォーマット

アドレス：FFF92H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

備考　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16 ビット）はクリアされます。

9.3.9　分カウント・レジスタ（MIN）

0-59（10 進）までの値を取り，分のカウント値を示す 8 ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大 2 クロック後にカウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10 進の 00-59 を BCD コードで設定してください。

MIN レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－10　分カウント・レジスタ（MIN）のフォーマット

アドレス：FFF93H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.10　時カウント・レジスタ（HOUR）

00-23 または 01-12, 21-32（10 進）までの値を取り，時のカウント値を示す 8 ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大 2 クロック後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ 0（RTCC0）のビット 3（AMPM）で設定した時間制に応じて，10 進の 00-23 または 01-12, 21-32 を BCD コードで設定してください。

AMPM ビットの値を変更すると，HOUR レジスタの値は設定した時間制に対応する値に変更されます。

HOUR レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，12H になります。

ただし，リセット後に，AMPM ビットに“1”をセットした場合は 00H となります。

図9－11　時カウント・レジスタ（HOUR）のフォーマット

アドレス：FFF94H　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 1. HOUR レジスタのビット 5（HOUR20）は，AMPM = 0（12 時間制）を選択した場合，AM（0）／PM（1）を示します。

2. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

AMPM ビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表 9－3 に示します。

表9－3　時間桁表示一覧

24 時間表示（AMPM ビット = 1）		12 時間表示（AMPM ビット = 0）	
時間	HOUR レジスタ	時間	HOUR レジスタ
0 時	00H	AM12 時	12 H
1 時	01 H	AM1 時	01 H
2 時	02 H	AM2 時	02 H
3 時	03 H	AM3 時	03 H
4 時	04 H	AM4 時	04 H
5 時	05 H	AM5 時	05 H
6 時	06 H	AM6 時	06 H
7 時	07 H	AM7 時	07 H
8 時	08 H	AM8 時	08 H
9 時	09 H	AM9 時	09 H
10 時	10 H	AM10 時	10 H
11 時	11 H	AM11 時	11 H
12 時	12 H	PM12 時	32 H
13 時	13 H	PM1 時	21 H
14 時	14 H	PM2 時	22 H
15 時	15 H	PM3 時	23 H
16 時	16 H	PM4 時	24 H
17 時	17 H	PM5 時	25 H
18 時	18 H	PM6 時	26 H
19 時	19 H	PM7 時	27 H
20 時	20 H	PM8 時	28 H
21 時	21 H	PM9 時	29 H
22 時	22 H	PM10 時	30 H
23 時	23 H	PM11 時	31 H

HOUR レジスタ値は，AMPM ビットが“0”のときに 12 時間表示，“1”のときに 24 時間表示となります。12 時間表示の場合は，HOUR レジスタの 5 ビット目で午前／午後を表示し，午前（AM）のときに“0”に，午後（PM）のときに“1”となります。

9.3.11　日カウント・レジスタ（DAY）

1-31（10 進）までの値を取り，日のカウント値を示す 8 ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

- 01-31（1, 3, 5, 7, 8, 10, 12 月）
- 01-30（4, 6, 9, 11 月）
- 01-29（2 月 うるう年）
- 01-28（2 月 通常年）

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大 2 クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10 進の 01-31 を BCD コードで設定してください。

DAY レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，01H になります。

図9－12　日カウント・レジスタ（DAY）のフォーマット

アドレス：FFF96H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.12　曜日カウント・レジスタ（WEEK）

0-6（10 進）までの値を取り，曜日のカウント値を示す 8 ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大 2 クロック後にカウンタへ書き込まれます。また設定する値は，10 進の 00-06 を BCD コードで設定してください。

WEEK レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－13　曜日カウント・レジスタ（WEEK）のフォーマット

アドレス：FFF95H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 1.　曜日カウント・レジスタ（WEEK）には，月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。

リセット解除後，次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.13　月カウント・レジスタ（MONTH）

MONTH レジスタは 1-12（10 進）までの値を取り，月のカウント値を示す 8 ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大 2 クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10 進の 01-12 を BCD コードで設定してください。

MONTH レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，01H になります。

図9－14　月カウント・レジスタ（MONTH）のフォーマット

アドレス：FFF97H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.14　年カウント・レジスタ（YEAR）

0-99（10 進）までの値を取り，年のカウント値を示す 8 ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96 がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大 2 クロック後にカウンタへ書き込まれます。書き込み中に MONTH レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10 進の 00-99 を BCD コードで設定してください。

YEAR レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－15　年カウント・レジスタ（YEAR）のフォーマット

アドレス：FFF98H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.15　時計誤差補正レジスタ（SUBCUD）

内部カウンタ（16 ビット）から秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUD レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－16　時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス：FFF99H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F12	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が 00, 20, 40 秒時（20 秒ごと）に時計誤差補正
1	秒桁が 00 秒時のみ（60 秒ごと）に時計誤差補正
次に示すタイミングでの SUBCUD レジスタへの書き込みは禁止です。 ・DEV = 0 設定時：SEC = 00H, 20H, 40H の期間 ・DEV = 1 設定時：SEC = 00H の期間	

F12	時計誤差補正値の設定
0	{（F5, F4, F3, F2, F1, F0）－ 1} × 2 だけ増加
1	{（/F5, /F4, /F3, /F2, /F1, /F0）＋ 1} × 2 だけ減少
（F12, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。 補正値の範囲：（F12 = 0 のとき）　2, 4, 6, 8, ･･･ 120, 122, 124 （F12 = 1 のとき）　－2, －4, －6, －8, ･･･ －120, －122, －124	

注意 1. /Fn（n = 0-5）の「/」は，ビット反転を意味しています。

2.「*」は，0 または 1 を意味しています。

次に，時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20 秒ごとの補正）	DEV = 1（60 秒ごとの補正）
補正可能範囲	－189.2 ppm～189.2 ppm	－63.1 ppm～63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考　補正範囲が－63.1 ppm 以下または 63.1 ppm 以上のときは，DEV = 0 を設定してください。

9.3.16　16ビット時計誤差補正レジスタ（SUBCUDW）

内部カウンタ（16 ビット）から秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDW レジスタは，16 ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000H になります。

図9－17　16ビット時計誤差補正レジスタ（SUBCUDW）のフォーマット

アドレス：FFF54H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
SUBCUDW	DEV	0	0	F12	F11	F10	F9	F8

7	6	5	4	3	2	1	0
F7	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が 00, 20, 40 秒時（20 秒ごと）に時計誤差補正
1	秒桁が 00 秒時のみ（60 秒ごと）に時計誤差補正
次に示すタイミングでの SUBCUDW レジスタへの書き込みは禁止です。 ・DEV = 0 設定時：SEC = 00H, 20H, 40H の期間 ・DEV = 1 設定時：SEC = 00H の期間	

F12	時計誤差補正値の設定
0	{（F11 ,F10 ,F9 ,F8 ,F7 ,F6 ,F5 , F4, F3, F2, F1, F0）－1} × 2 だけ増加
1	{（/F11, /F10 ,/F9 ,/F8 ,/F7 ,/F6 ,/F5, /F4, /F3, /F2, /F1, /F0）＋1} × 2 だけ減少
（F12, F11 ,F10 ,F9 ,F8 ,F7, F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。 補正値の範囲：（F12 = 0 のとき）　2, 4, 6, 8,・・・, 8184, 8186, 8188 （F12 = 1 のとき）　－2，－4，－6，－8,・・・，－8184，－8186，－8188	

注意 1. /Fn（n = 0-11）の「/」は，ビット反転を意味しています。

2.「*」は，0 または 1 を意味しています。

次に，16 ビット時計誤差補正レジスタ（SUBCUDW）による補正可能範囲を示します。

項目	DEV = 0（20 秒ごとの補正）	DEV = 1（60 秒ごとの補正）
補正可能範囲	－12496.9 ppm～12496.9 ppm	－4165.6 ppm～4165.6 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考　補正範囲が－4165.6 ppm 以下または 4165.6 ppm 以上のときは，DEV = 0 を設定してください。

9.3.17　アラーム分レジスタ（ALARMWM）

アラームの分を設定するレジスタです。

ALARMWM レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

注意　設定する値は，10 進の 00-59 を BCD コードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図9－18　アラーム分レジスタ（ALARMWM）のフォーマット

アドレス：FFF9AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

9.3.18　アラーム時レジスタ（ALARMWH）

アラームの時を設定するレジスタです。

ALARMWH レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，12H になります。

ただし，リセット後に，AMPM ビットに“1”をセットした場合は 00H となります。

注意　設定する値は，10 進の 00-23 または，01-12, 21-32 を BCD コードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図9－19　アラーム時レジスタ（ALARMWH）のフォーマット

アドレス：FFF9BH　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意　ALARMWH レジスタのビット 5（WH20）は，AMPM = 0（12 時間制）を選択した場合，AM（0）／PM（1）を示します。

9.3.19　アラーム曜日レジスタ（ALARMWW）

アラームの曜日を設定するレジスタです。

ALARMWW レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図9－20　アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス：FFF9CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

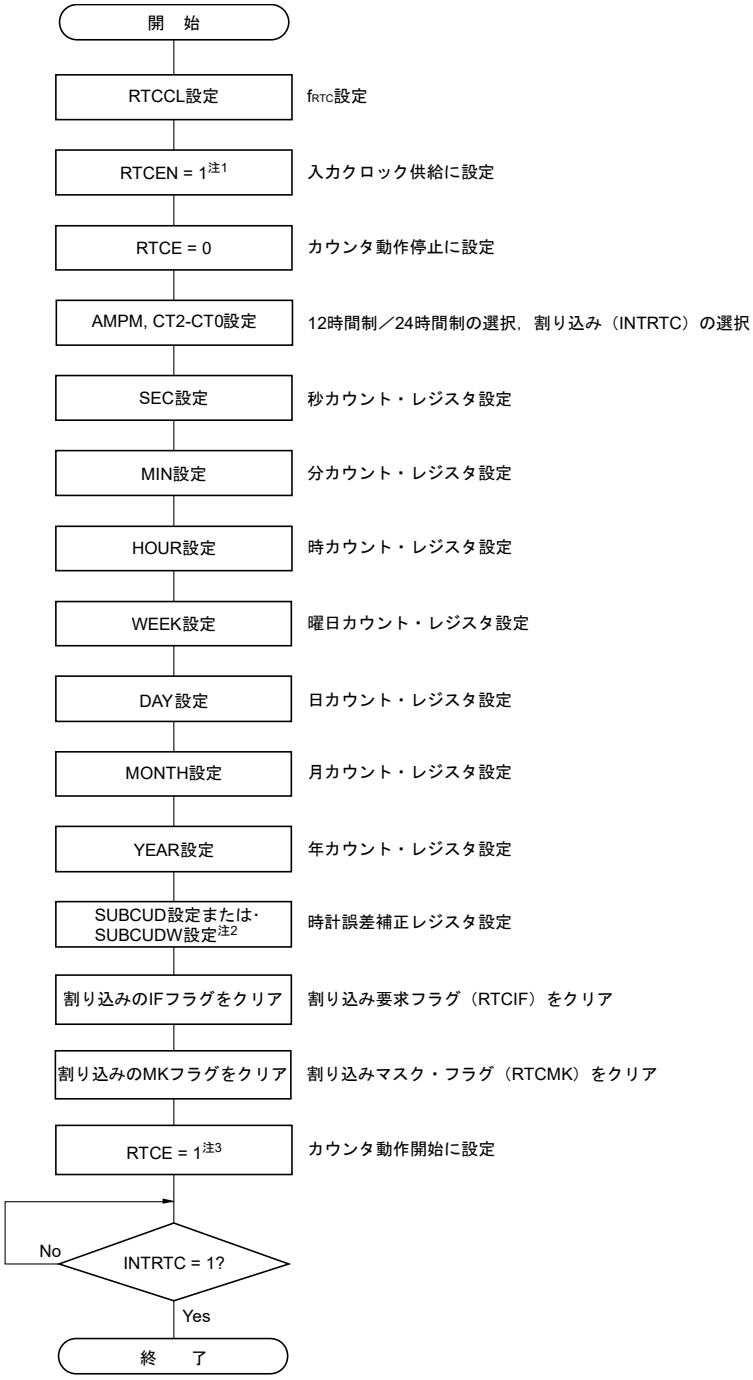
以下にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12 時間表示				24 時間表示			
	日 WW0	月 WW1	火 WW2	水 WW3	木 WW4	金 WW5	土 WW6	時10	時1	分10	分1	時10	時1	分10	分1
毎日　午前 0 時 00 分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日　午前 1 時 30 分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日　午前 11 時 59 分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金　午後 0 時 00 分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜　午後 1 時 30 分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金　午後 11 時 59 分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

9.4　リアルタイム・クロックの動作

9.4.1　リアルタイム・クロックの動作開始

図9－21　リアルタイム・クロックの動作開始手順



注 1. 入力クロック（fRTC）が発振安定状態において，最初に RTCEN = 1 の設定を行ってください。

2. 時計誤差補正する必要がある場合のみ。より高精度な補正をする必要がある場合は SUBCUDW レジスタを設定してください。補正値の算出方法は「9.4.6　リアルタイム・クロックの時計誤差補正例」を参照してください。

3. RTCE = 1 のあとに INTRTC = 1 を待たずに HALT/STOP モードへ移行する場合は，「9.4.2　動作開始後の HALT/STOP モードへの移行」の手順を参照してください。

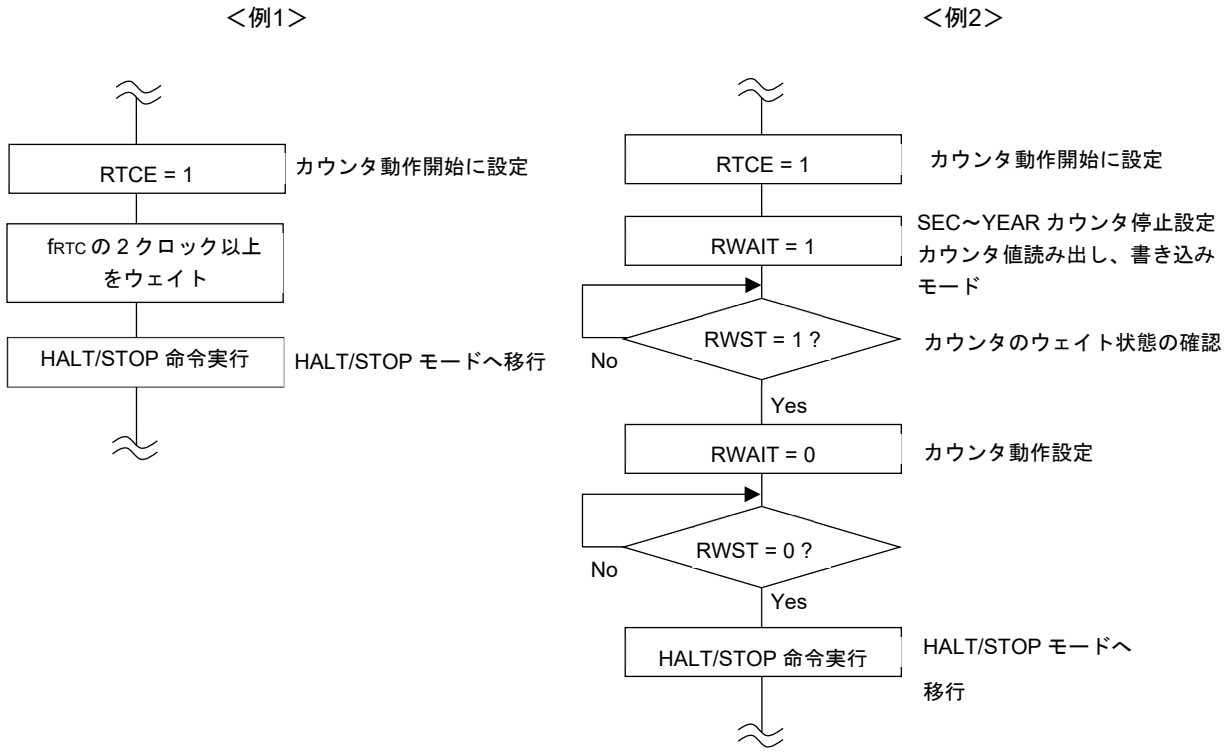
9.4.2　動作開始後のHALT/STOPモードへの移行

RTCE = 1 に設定直後に HALT/STOP モードへ移行する場合は，次のどちらかの処理をしてください。

ただし，RTCE = 1 に設定後，INTRTC 割り込みの発生以降に HALT/STOP モードへ移行する場合は，これらの処理は必要ありません。

- RTCE = 1 に設定してから，動作クロック（f_{RTC}）の 2 クロック分以上経過後に HALT/STOP モードへ移行する（図 9－22 例 1 参照）。
- RTCE = 1 に設定後，RWAIT = 1 に設定し，RWST ビットが 1 になるのをポーリングで確認する。それから，RWAIT = 0 に設定し，RWST ビットが 0 になったのを再度ポーリングで確認後に HALT/STOP モードへ移行する（図 9－22 ＜例 2＞参照）。

図9－22　RTCE = 1に設定後のHALT/STOPモードへの移行手順

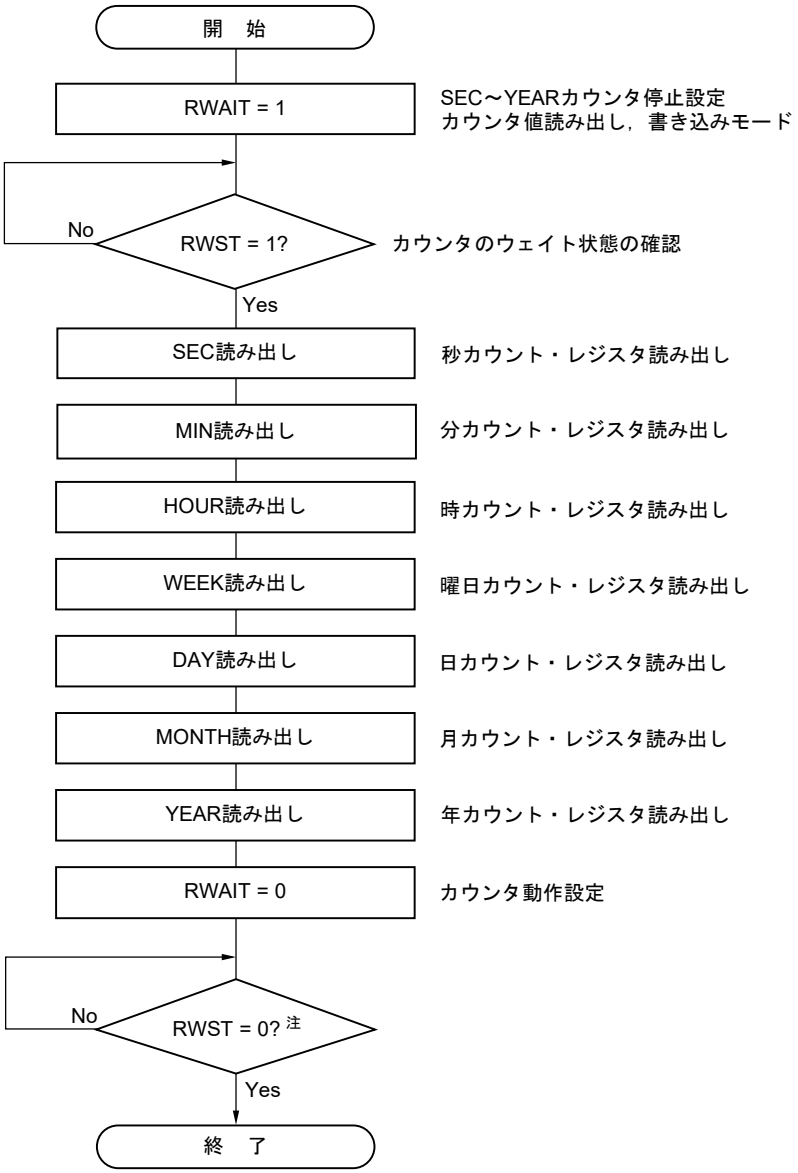


9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは，最初に RWAIT = 1 にしてから行ってください。

カウンタの読み出し／書き込み終了後は，RWAIT = 0 にしてください。

図9－23　リアルタイム・クロックの読み出し手順



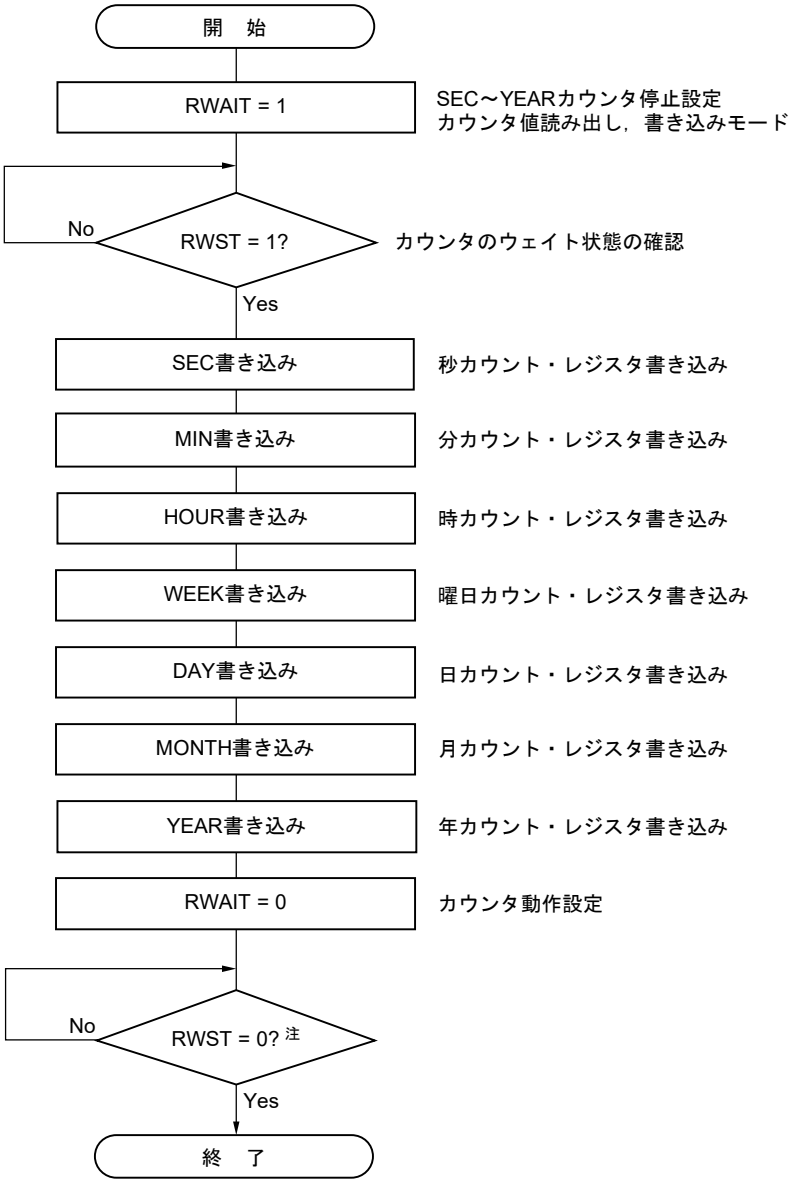
注　HALT/STOP モードに移行する前には，必ず RWST = 0 であることを確認してください。

注意　RWAIT = 1 から RWAIT = 0 までの処理を 1 秒以内で行ってください。アラーム割り込みを使用するときに，カウンタ読み出しを行う場合は，RTCC0 レジスタの CT2-CT0 ビットを 010B（1 秒毎に定周期割り込み発生）にして，RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。

また，すべてのレジスタを読み出す必要はなく，一部のレジスタのみを読み出しても構いません。

図9－24　リアルタイム・クロックの書き込み手順



注　HALT/STOP モードに移行する前には，必ず RWST = 0 であることを確認してください。

注意 1. RWAIT = 1 から RWAIT = 0 とするまでを 1 秒以内で行ってください。アラーム割り込みを使用するときに，カウンタ書き込みを行う場合は，RTCC0 レジスタの CT2-CT0 ビットを 010B（1 秒毎に定周期割り込み発生）にして，RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

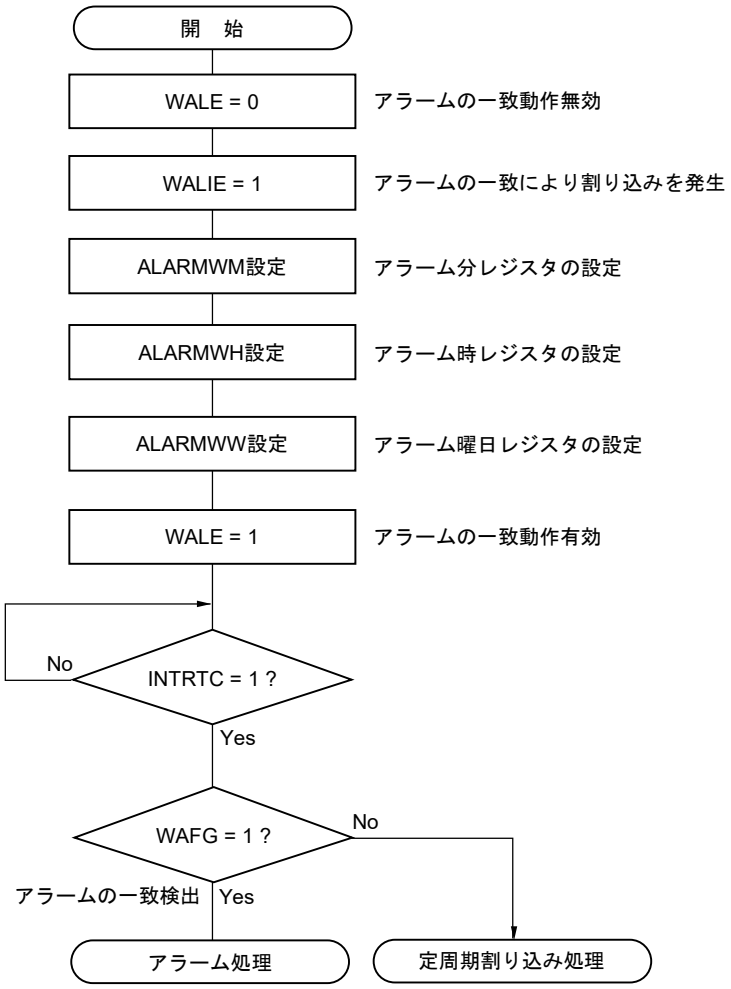
2. カウンタ動作中（RTCE = 1）に SEC, MIN, HOUR, WEEK, DAY, MONTH, YEAR レジスタを書き換える場合は，INTRTC を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後に WAFG フラグ，RIFG フラグ，RTCIF フラグをクリアしてください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。
また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

9.4.4　リアルタイム・クロックのアラーム設定

アラーム時刻設定は，最初に WALE = 0 にしてから行ってください。

図9－25　アラーム設定手順

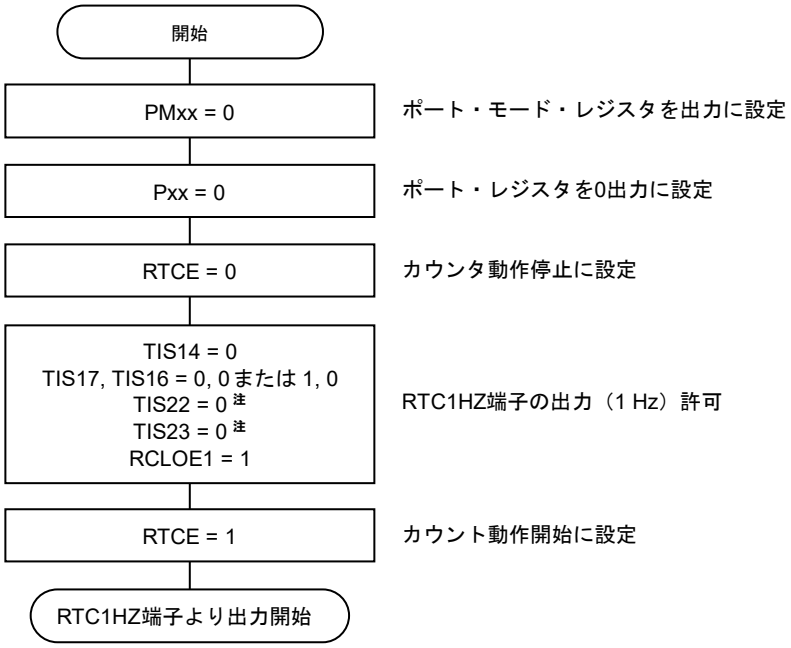


備考 1. アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この 2 つの割り込みを同時に使用する場合は，INTRTC が発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

9.4.5　リアルタイム・クロックの1 Hz出力

図9－26　1 Hz出力の設定手順



注　タイマ入力選択レジスタ 2（TIS2）は，RL78/F24 の製品のみ搭載しています。

注意　入力クロック（f_{RTC}）が発振安定状態において，最初に RTCEN = 1 の設定を行ってください。

9.4.6　リアルタイム・クロックの時計誤差補正例

16 ビット時計誤差補正レジスタ（SUBCUDW）に値を設定することにより，時計の進みや遅れをより高精度に補正できます。

(1) 補正値の算出方法例

内部カウンタ（16 ビット）のカウント値を補正する際の補正値は，次の式で算出できます。

補正範囲が，−4165.6 ppm 以下または 4165.6 ppm 以上のときは，DEV = 0 を設定してください。

（DEV = 0 の場合）

補正値 注 = 1 分間の補正カウント数 ÷ 3 =（発振周波数÷ターゲット周波数 − 1）× 32768 × 60 ÷ 3

（DEV = 1 の場合）

補正値 注 = 1 分間の補正カウント数 =（発振周波数÷ターゲット周波数 − 1）× 32768 × 60

注　補正値とは 16 ビット時計誤差補正レジスタ（SUBCUDW）のビット 12-0 の値により求められる時計誤差補正値です。

（F12 = 0 の場合）補正値 = { (F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) − 1} × 2

（F12 = 1 の場合）補正値 = −{ (/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2

（F12-F0）=（*, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は 0 または 1 です。

/F11-/F0 は，ビット反転した値（111111111100 のときは 000000000011）となります。

備考 1. 補正値は，2, 4, 6, 8, ･･･ 8186, 8188，または−2, −4, −6, −8, ･･･ −8186, −8188 です。

2. 発振周波数とは，入力クロック（f_{RTC}）の値です。

16 ビット時計誤差補正レジスタ（SUBCUDW）が初期値（0000H）時の RTC1HZ 端子の出力周波数 × 32768 で求めることができます。

3. ターゲット周波数とは，16 ビット時計誤差補正レジスタ（SUBCUDW）を使用した補正後の周波数です。

(2) 補正例

32767.4 Hz から 32768 Hz（32767.4 Hz + 18.3 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数 注1 を，時計誤差補正レジスタ（SUBCUD, SUBCUDW）が初期値（0000H）時に RTC1HZ 端子から約 1 Hz を出力して測定します。または，タイマ・アレイ・ユニットの入力に RTC1HZ を選択 注2 して測定することもできます。

注 1. RTC1Hz 出力の設定手順は，「9.4.5　リアルタイム・クロックの 1 Hz 出力」を参照してください。タイマ・アレイ・ユニットの入力選択については，「6.3.9　タイマ入力選択レジスタ 1（TIS1）」および「6.3.10　タイマ入力選択レジスタ 2（TIS2）」を参照してください。

2. タイマ入力選択レジスタ 1（TIS1）またはタイマ入力選択レジスタ 2（TIS2）の設定でタイマ・アレイ・ユニットの入力に RTC1HZ 出力信号を選択した場合，RTC1HZ 端子から RTC1HZ 出力は出力されません。

【補正値の算出】

(RTC1HZ 端子からの出力周波数が 0.9999817 Hz の場合)

発振周波数 = 32768 × 0.9999817 ≒ 32767.4 Hz

ターゲット周波数を 32768 Hz（32767.4 Hz + 18.3 ppm）とし，DEV = 1 とします。

DEV = 1 の場合の補正値の算出式を適用します。

補正値　= 1 分間の補正カウント数

= (発振周波数÷ターゲット周波数 − 1) × 32768 × 60

= (32767.4÷32768 − 1) × 32768 × 60

= −36

【 (F12-F0) への設定値の算出】

(補正値 = −36 の場合)

補正値が 0 以下（速くする場合）では，F12 = 1 とします。

(F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) は，補正値から算出します。

− {(/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0) − 1} × 2　= −36

(/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0)　= 17

(/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0)　= (0, 0, 0, 0, 0, 0, 0, 1, 0, 0, 0, 1)

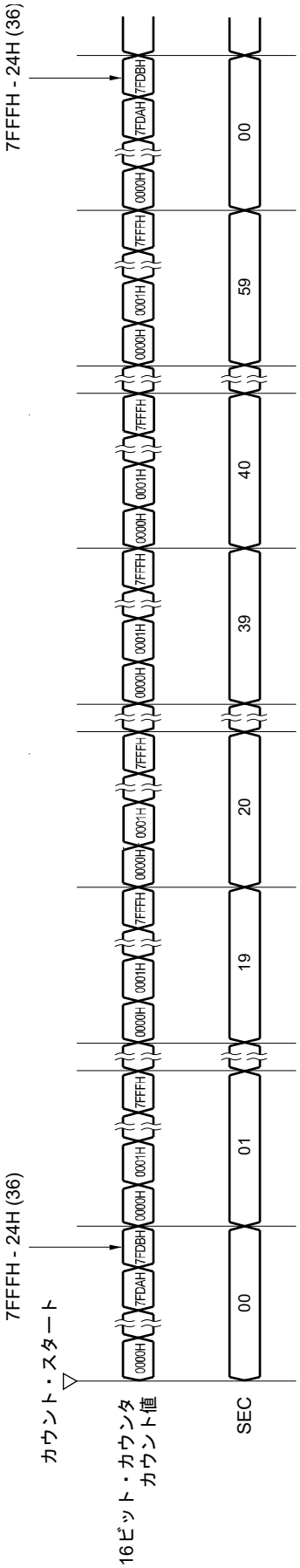
(F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0)　= (1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0)

したがって，32767.4 Hz から 32768 Hz（32767.4Hz + 18.3 ppm）への補正の場合，

DEV = 1，補正値 = −36（SUBCUDW レジスタのビット 12-0：1111111101110）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0）の場合の動作例を図 9－27 に示します。

図9－27　時計誤差補正の操作例



条件：(DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0)

備考　(DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0)：16ビット時計誤差補正レジスタ（SUBCUDW）のビット

第10章　クロック出力／ブザー出力制御回路

クロック出力／ブザー出力制御回路の出力端子の有無は，製品によって異なります。

出力端子	32ピン製品	48，64，80，100ピン製品
PCLBUZ0	—	○

注意　この章では，以降の主な説明を 80 ピン製品の場合で説明しています。

10.1　クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺 IC に供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

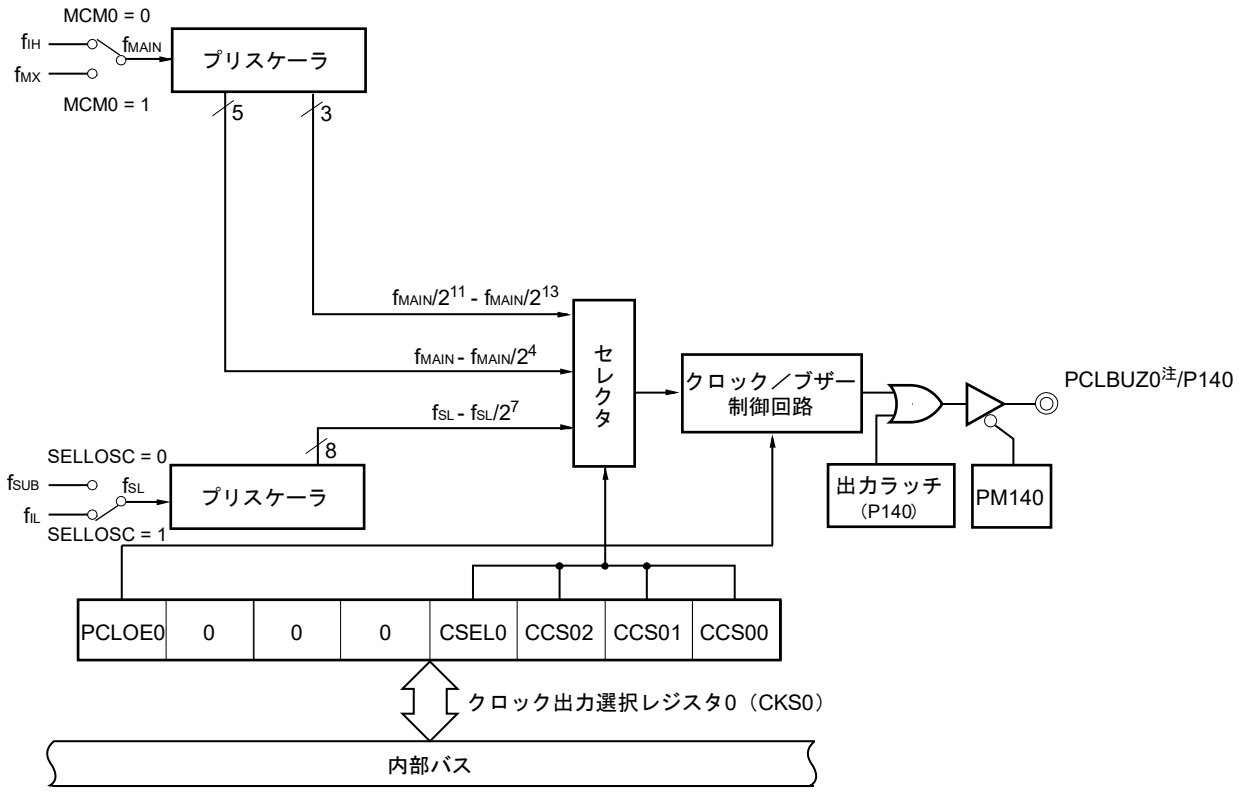
1 つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は，クロック出力選択レジスタ 0（CKS0）で選択したクロックを出力します。

図 10－1 にクロック出力／ブザー出力制御回路のブロック図を示します。

注意　低消費 RTC モード時（動作スピード・モード制御レジスタ（OSMC）の RTCLPC = 1）は，PCLBUZ0 端子から，サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）を出力することはできません。

図10－1　クロック出力／ブザー出力制御回路のブロック図



注　PCLBUZ0 端子から出力可能な周波数は，第 36 章～第 38 章 電気的特性の AC 特性を参照してください。

10.2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウェアで構成されています。

表10－1　クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ0（CKS0） ポート・モード・レジスタ14（PM14） ポート・レジスタ14（P14）

10.3　クロック出力／ブザー出力制御回路を制御するレジスタ

表10－2　クロック出力／ブザー出力制御回路のレジスタ構成

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
FFFA5H	クロック出力選択レジスタ0	CKS0	00H	1, 8
F02C4H	クロック選択レジスタ	CKSEL	00H	1, 8

備考　ポート・モード・レジスタ 14（PM14）とポート・レジスタ 14（P14）については，「10.3.3 ポート・モード・レジスタ 14（PM14）」を参照してください。

10.3.1　クロック出力選択レジスタ0（CKS0）

クロック出力またはブザー周波数出力の端子（PCLBUZ0）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKS0 レジスタで，PCLBUZ0 端子の出力するクロックを選択します。

CKS0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図10－2　クロック出力選択レジスタ0（CKS0）のフォーマット

アドレス：FFFA5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKS0	PCLOE0	0	0	0	CSEL0	CCS02	CCS01	CCS00

PCLOE0	PCLBUZ0端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CSEL0	CCS02	CCS01	CCS00	PCLBUZ0端子の出力クロックの選択								
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 32 MHz	f_{MAIN} = 40 MHz	f_{MAIN} = 48 MHz	f_{MAIN} = 64 MHz	f_{MAIN} = 80 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz 注	設定禁止注	設定禁止注	設定禁止注	設定禁止注	設定禁止注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz 注	16 MHz 注	設定禁止注	設定禁止注	設定禁止注	設定禁止注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	8 MHz	10 MHz 注	12 MHz 注	16 MHz 注	設定禁止注
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	4 MHz	5 MHz	6 MHz	8 MHz	10 MHz 注
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	2 MHz	2.5 MHz	3 MHz	4 MHz	5 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz	19.53 kHz	23.44 kHz	31.25 kHz	39.06 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	9.77 kHz	11.72 kHz	15.63 kHz	19.53 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz	4.88 kHz	5.86 kHz	7.81 kHz	9.77 kHz
1	0	0	0	f_{SL}	32.768 kHz (f_{SUB}) または 15 kHz (f_{IL})							
1	0	0	1	$f_{SL}/2$	16.384 kHz (f_{SUB}) または 7.5 kHz (f_{IL})							
1	0	1	0	$f_{SL}/2^2$	8.192 kHz (f_{SUB}) または 3.75 kHz (f_{IL})							
1	0	1	1	$f_{SL}/2^3$	4.096 kHz (f_{SUB}) または 1.875 kHz (f_{IL})							
1	1	0	0	$f_{SL}/2^4$	2.048 kHz (f_{SUB}) または 937.5 Hz (f_{IL})							
1	1	0	1	$f_{SL}/2^5$	1.024 kHz (f_{SUB}) または 468.75 Hz (f_{IL})							
1	1	1	0	$f_{SL}/2^6$	512 Hz (f_{SUB}) または 234.38 Hz (f_{IL})							
1	1	1	1	$f_{SL}/2^7$	256 Hz (f_{SUB}) または 117.19 Hz (f_{IL})							

注　出力クロックは，16 MHz 以内の範囲で使用してください。詳しくは第 36 章～第 38 章の電気的特性の AC 特性を参照してください。

注意 1. 出力クロックの切り替えおよび CSEL0，CCS02-CCS00 ビットの書き換えは，出力禁止（PCLOE0 = 0）にしてから行ってください。

2. メイン・システム・クロック選択時（CSEL0 = 0）に STOP モードに移行する場合は，STOP 命令前に PCLOE0 = 0 にしてください。サブシステム・クロック選択時（CSEL0 = 1）は，STOP モード時にクロック出力が可能なため PCLOE0 = 1 に設定可能です。

3. 低消費 RTC モード時（動作スピード・モード制御レジスタ（OSMC）の RTCLPC = 1）は，PCLBUZ0 端子から，サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）を出力することはできません。

4. メイン・システム・クロック（f_{MAIN}）は，MCM0 ビット（システム・クロック制御レジスタ（CKC）のビット 4）の設定により，高速オンチップ･オシレータ・クロック（f_{IH}）と高速システム・クロック（f_{MX}）を切り替えられます。詳細は「第 5 章　クロック発生回路」を参照してください。

5. サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）は，SELLOSC ビット（クロック選択レジスタ（CKSEL）のビット 0）の設定により，サブシステム・クロック（f_{SUB}）と低速オンチップ・オシレータ・クロック（f_{IL}）を切り替えられます。詳細は「第 5 章　クロック発生回路」を参照してください。

10.3.2　クロック選択レジスタ（CKSEL）

CPU クロック（f_{SUB}/f_{IL}）およびタイマ RJ，タイマ RDe，クロック出力／ブザー出力のクロックを選択するレジスタです。SELLOSC ビットは，CMC レジスタとの組み合わせによって，サブシステム・クロックの動作モードを設定します。詳細は「図 5－3 クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSEL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビット= 1 のとき，ライト無効となります。

図10－3　クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	FPLLDIV	FMAINDIV1	FMAINDIV0	0	0	TRD_CKSEL	0	SELLOSC 注3, 4

SELLOSC 注3, 4	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{SUB} 注1を選択，低速オンチップ・オシレータ停止
1	f_{IL} 注2を選択，低速オンチップ・オシレータ動作

注 1. f_{SUB} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ SELLOSC ビットを“0”にした後，CKC レジスタの CSS ビットを“1”にしてください。

2. f_{IL} を CPU／周辺ハードウェア・クロックにする場合は，あらかじめ SELLOSC ビットを“1”にした後，CKC レジスタの CSS ビットを“1”にしてください。

3. SELLOSC ビットを“1”にした場合，低速オンチップ・オシレータが動作します。

4. 32 ピン製品で CKSEL レジスタを設定する場合，SELLOSC ビットを“1”に設定してください。

10.3.3　ポート・モード・レジスタ14（PM14）

ポートの入力／出力を 1 ビット単位で設定するレジスタです。

P140/PCLBUZ0 端子をクロック出力／ブザー出力機能として使用するときは，PM140 ビットおよび P140 の出力ラッチに“0”を設定してください。

PM14 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFH になります。

図10－4　ポート・モード・レジスタ14（PM14）のフォーマット

アドレス：FFF2EH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	1	1	1	1	PM140

PMmn	Pmn端子の入出力モードの選択（mn = 140）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

10.4　クロック出力／ブザー出力制御回路の動作

1 つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0 端子は，クロック出力選択レジスタ 0（CKS0）で選択したクロック／ブザーを出力します。

10.4.1　出力端子の動作

PCLBUZ0 端子は，次の手順で出力します。

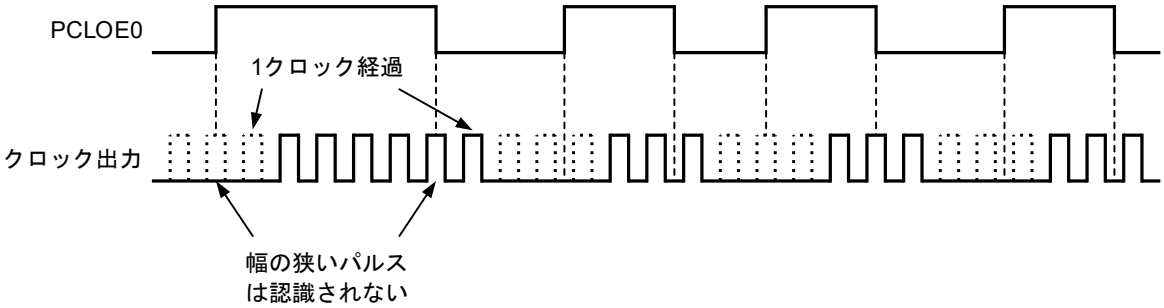
① PCLBUZ0 端子として使用するポートに対応するポート・モード・レジスタ 14（PM14）およびポート・レジスタ 14（P14）のビットを“0”に設定する。

② PCLBUZ0 端子のクロック出力選択レジスタ 0（CKS0）のビット 0-3（CCS00-CCS02，CSEL0）で出力クロックを選択する（出力は禁止の状態）。

③ CKS0 レジスタのビット 7（PCLOE0）に“1”を設定し，クロック出力／ブザー出力を許可する。

備考　クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOE0 ビット）を切り替えてから 1 クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOE0 ビットによる出力の許可／停止とクロック出力のタイミングを図 10－5 に示します。

図10－5　リモコン出力応用例



10.5　クロック出力／ブザー出力制御回路の注意事項

PCLBUZ0 出力にメイン・システム・クロックを選択（CSEL0 = 0）している場合は，出力停止設定（PCLOE0 = 0）にしてからメイン・システム・クロックの 1.5 クロック以内に STOP モードへ移行すると，PCLBUZ0 の出力幅が短くなります。

第11章　ウォッチドッグ・タイマ

11.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは専用の低速オンチップ・オシレータ・クロック（f_{WDT}）で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に 1 ビット操作命令を使用した場合
- WDTE レジスタに “ACH” 以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中に WDTE レジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット 4（WDCLRF）がセット “1” されます。RESF レジスタの詳細については「第 24 章　リセット機能」を参照してください。

また，オーバフロー時間の 75%＋1/2 f_{WDT} 到達時にインターバル割り込みを発生することもできます。

11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウェアで構成されています。

表11－1　ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

また，オプション・バイトで，内部カウンタ（17 ビット）の動作制御，オーバフロー時間の設定，ウィンドウ・オープン期間の設定，インターバル割り込みの設定を行います。

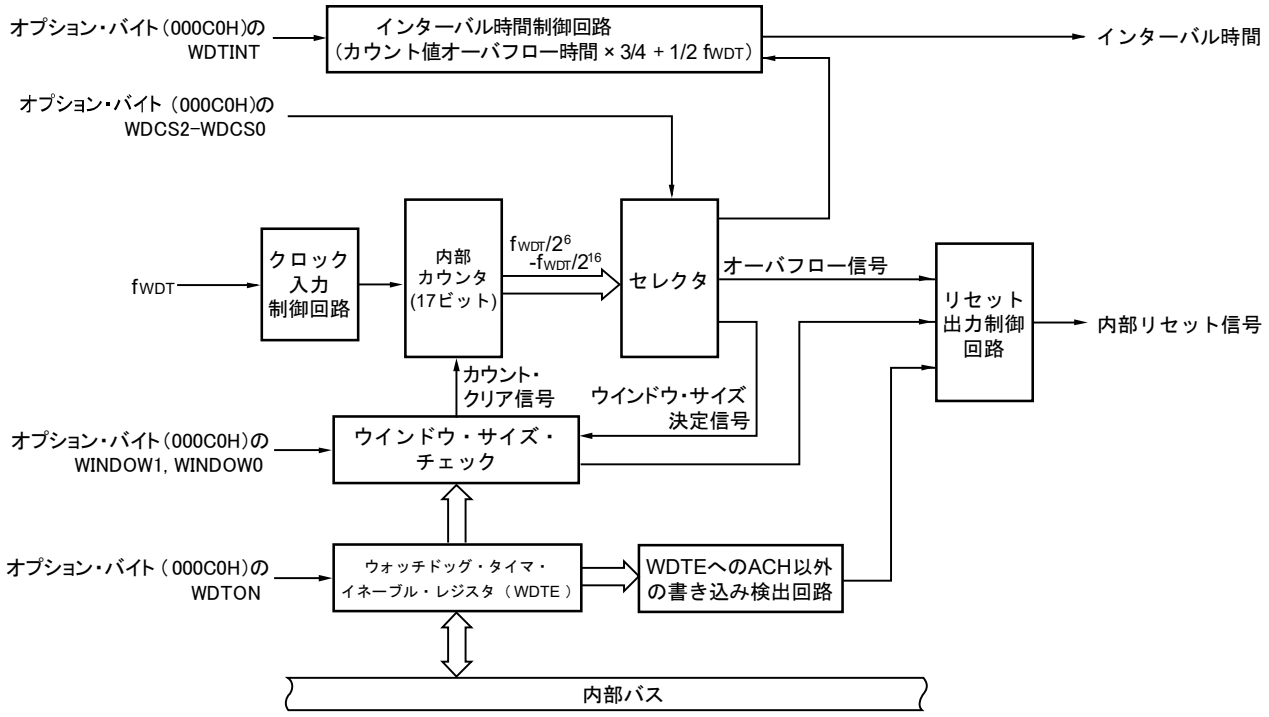
注意　ブート・スワップ時は，000C0H と 040C0H が切り替わるので，040C0H にも 000C0H と同じ値を設定してください。

表11－2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウィンドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御 （HALT/STOP/SNOOZEモード時）	ビット0（WDSTBYON）

備考　オプション・バイトについては「第 **31** 章　オプション・バイト」を参照してください。

図11－1　ウォッチドッグ・タイマのブロック図



11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するために、以下のレジスタが使用されます。

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	1AH／9AH	8

11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

オプション･バイト（000C0H）の WDTON ビットが “1” のとき，WDTE レジスタに “ACH” を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTE レジスタは 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，1AH または 9AH になります。

図11－2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：1AH／9AH 注　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTE レジスタのリセット値は，オプション･バイト（000C0H）の WDTON ビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTON ビットに “1” を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意 1. オプション･バイト（000C0H）の WDTON ビットが “1” のとき，WDTE レジスタに “ACH” 以外の値を書き込んだ場合，内部リセット信号を発生します。

2. オプション･バイト（000C0H）の WDTON ビットが “1” のとき，WDTE レジスタに 1 ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3. WDTE レジスタのリード値は，オプション･バイト（000C0H）の WDTON ビットの設定値により，“1AH／9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

11.4 ウォッチドッグ・タイマの動作

11.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

   - オプション・バイト（000C0H）のビット 4（WDTON）を “1” に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は「第 **31** 章　オプション・バイト」を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

   - オプション・バイト（000C0H）のビット 3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は「11.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定」および「第 31 章　オプション・バイト」を参照）。
   - オプション・バイト（000C0H）のビット 6, 5（WINDOW1, WINDOW0）で，ウィンドウ・オープン期間を設定してください（詳細は「11.4.3　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定」および「第 31 章　オプション・バイト」を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に “ACH” を書き込むことにより，ウォッチドッグ・タイマのカウンタはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後 2 回目以降の WDTE レジスタへの書き込みについては，ウィンドウ・オープン期間中に行ってください。ウィンドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTE レジスタに “ACH” を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。
   - WDTE レジスタに 1 ビット操作命令を使用した場合
   - WDTE レジスタに “ACH” 以外のデータを書き込んだ場合

注意 1. リセット解除後 1 回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウィンドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマのカウンタはクリアされ，再度カウント動作を開始します。

2. WDTE レジスタに “ACH” を書き込んで，ウォッチドッグ・タイマのカウンタをクリアしたとき，実際のオーバフロー時間は，オプション・バイトで設定したオーバフロー時間より最大 2/f_{WDT} 秒の誤差が生じる場合があります。

3 ウォッチドッグ・タイマのカウンタのクリアは，カウント値がオーバフローする直前まで有効です。

注意 4. オプション・バイト（000C0H）のビット 0（WDSTBYON）およびビット 4（WDTON）の設定値により，ウォッチドッグ・タイマの HALT モード，STOP モード，および SNOOZE モード時の動作は，次のように異なります。

	WDTON = 1 かつ WDSTBYON = 0	WDTON = 1 かつ WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0 の場合，HALT モード，STOP モード，および SNOOZE モード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア “0” して，カウント開始します。STOP モード解除後に X1 発振クロックで動作する場合は，CPU は発振安定時間経過後に動作を開始します。
そのため，STOP モード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによる STOP モード解除後に X1 発振クロックで動作し，ウォッチドッグ・タイマのカウンタをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

11.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H）のビット 3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前のウィンドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に “ACH” を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表11－3　ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{WDT} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{WDT}$（3.71 ms）
0	0	1	$2^7/f_{WDT}$（7.42 ms）
0	1	0	$2^8/f_{WDT}$（14.84 ms）
0	1	1	$2^9/f_{WDT}$（29.68 ms）
1	0	0	$2^{11}/f_{WDT}$（118.72 ms）
1	0	1	$2^{13}/f_{WDT}$（474.89 ms）
1	1	0	$2^{14}/f_{WDT}$（949.79 ms）
1	1	1	$2^{16}/f_{WDT}$（3799.18 ms）

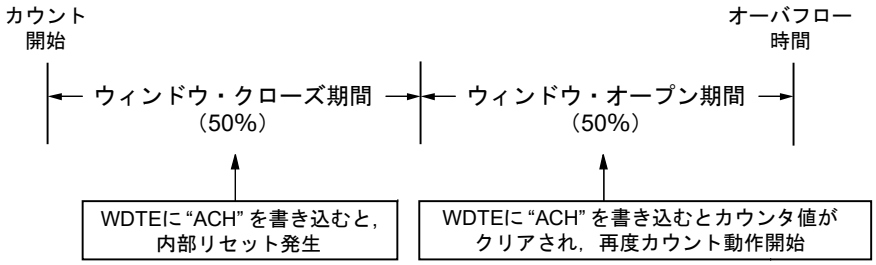
備考　f_{WDT}：WDT 専用低速オンチップ・オシレータ・クロック周波数

11.4.3　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ･タイマのウィンドウ･オープン期間は，オプション･バイト（000C0H）のビット 6, 5（WINDOW1, WINDOW0）で設定します。ウィンドウの概要は次のとおりです。

- ウィンドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に “ACH” を書き込むと，ウォッチドッグ・タイマのカウンタをクリアし，再度カウント動作を開始します。
- ウィンドウ・クローズ期間中は，WDTE レジスタに “ACH” を書き込んでも，異常検出され，内部リセットを発生します。

例：ウィンドウ・オープン期間が 50%の場合



注意　リセット解除後 1 回目の WDTE レジスタへの書き込みだけは，ウィンドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマのカウンタはクリアされ，再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表11－4　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75% 注
1	1	100%

注　ウィンドウ・オープン期間を 75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTE への “ACH” の書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ・オーバフロー時間（f_{WDT} = 17.25 kHz (MAX.)）	ウィンドウ・オープン期間を 75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{WDT}$（3.71 ms）	1.85 ms～2.51 ms
0	0	1	$2^7/f_{WDT}$（7.42 ms）	3.71 ms～5.02 ms
0	1	0	$2^8/f_{WDT}$（14.84 ms）	7.42 ms～10.04 ms
0	1	1	$2^9/f_{WDT}$（29.68 ms）	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{WDT}$（118.72 ms）	59.36 ms～80.32 ms
1	0	1	$2^{13}/f_{WDT}$（474.89 ms）	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{WDT}$（949.79 ms）	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{WDT}$（3799.18 ms）	1899.59 ms～2570.04 ms

備考　f_{WDT}（WDT 専用低速オンチップ・オシレータ周波数）= (MIN.) 12.75 kHz / (TYP.) 15 kHz / (MAX.) 17.25 kHz

注意　オプション・バイト（000C0H）のビット 0（WDSTBYON）= 0 のときは，WINDOW1, WINDOW0 ビットの値に関係なく，ウィンドウ・オープン期間 100%となります。

備考　オーバフロー時間を 2^9 /f_{WDT} に設定した場合，ウィンドウ・クローズ時間とオープン時間は，次のようになります。

	ウィンドウ・オープン期間の設定		
	50%	75%	100%
ウィンドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウィンドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

＜ウィンドウ・オープン期間 50%のとき＞

- オーバフロー時間：
  2^9 /f_{WDT} (MAX.) = 2^9 /17.25 kHz (MAX.) = 29.68 ms
- ウィンドウ・クローズ時間：
  0～2^9 /f_{WDT} (MIN.) × (1 − 0.5) = 0～2^9 /12.75 kHz × 0.5 = 0～20.08 ms
- ウィンドウ・オープン時間：
  2^9 /f_{WDT} (MIN.) × (1 − 0.5)～2^9 /f_{WDT} (MAX.) = 2^9 /12.75 kHz × 0.5～2^9 /17.25 kHz = 20.08～29.68 ms

11.4.4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット 7（WDTINT）の設定により，オーバフロー時間の 75% + 1/2 f_{WDT} 到達時にインターバル割り込み（INTWDTI）を発生することができます。

表11－5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 f_{WDT}到達時にインターバル割り込みを発生する

注意　STOP モード解除後に X1 発振クロックで動作する場合は，CPU は発振安定時間経過後に動作を開始します。
そのため，STOP モード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによる STOP モード解除後に X1 発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI 発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に “ACH” を書き込むまで）カウントを継続します。オーバフロー時間までに “ACH” が書き込まれない場合は，内部リセット信号を発生します。

第12章　12 ビット A/D コンバータ

A/D コンバータのアナログ入力チャンネル数は製品によって異なります。

100 ピン 注2	80 ピン	64 ピン	48 ピン	32 ピン
31 チャネル ANI0 - ANI30 注1	25 チャネル ANI0 - ANI17 ANI24 - ANI30 注1	24 チャネル ANI0 - ANI16 ANI24 - ANI30 注1	19 チャネル ANI0 - ANI12 ANI24 - ANI29 注1	10 チャネル ANI0 - ANI7 ANI24 - ANI25 注1

注 1. ANI0 - ANI15：高速アナログ入力端子，ANI16 - ANI30：通常アナログ入力端子

2. 100 ピンは RL78/F24 のみ

12.1　概要

本 MCU は，逐次比較方式の 12 ビットの A/D コンバータを 1 ユニット内蔵しています。この A/D コンバータは，チャネル専用サンプル＆ホールド回路による 2 チャンネル同時サンプリング機能と自己診断機能に対応します。

表 12－1 に 12 ビット A/D コンバータの仕様を，表 12－2 に 12 ビット A/D コンバータの機能概要を示します。

また，図 12－1 に 12 ビット A/D コンバータのブロック図を示します。

表 12－1　12 ビット A/D コンバータの仕様

項目	内容
ユニット数	1 ユニット
入力チャネル	最大 31 チャネル（製品により異なります）
A/D 変換方式	逐次比較型
分解能	12 ビット
変換時間 注4	1 チャネル当たり 1.125 μs（最速変換時間）（ADCLK = 40 MHz 時）
A/D クロック	周辺ハードウェア・クロック f_{CLK} 注1 と A/D 変換クロック ADCLK 注1 を以下の周波数比で設定可能 f_{CLK}：ADCLK 周波数比 = 1:1，2:1，4:1，8:1
データ・レジスタ	• 31 レジスタ（各入力チャネルごと） 加算モード時は，A/D 変換結果の加算値を変換精度ビット数 + 2 ビット/ 4 ビット注2 で A/D データ・レジスタに保持 • 1 レジスタ（内部基準電圧（V_{BGR}）） • 1 レジスタ（自己診断用）
動作モード 注3	• シングル・スキャン・モード： 選択した入力チャネルまたは内部基準電圧（V_{BGR}）を 1 回のみ A/D 変換します。 • 連続スキャン・モード： 選択した入力チャネルを繰り返し A/D 変換します。 • グループ・スキャン・モード： アナログ入力をグループ A とグループ B に分けて，同期トリガの発生により各グループで選択されているすべてのアナログ入力に対して A/D 変換を 1 回だけ行います。グループ優先動作時は低優先グループ（グループ B）の A/D 変換中に高優先グループ（グループ A）の開始トリガを受け付けると低優先グループの A/D スキャンを中断し，高優先グループの A/D スキャンを開始します。高優先グループの A/D スキャンが完了した後で低優先グループの A/D スキャンを再開するか設定することができます（低優先グループで選択したチャネルの初めのチャネルから再開させるか，中断したチャネルから再開するかを選択可能）。
A/D 変換開始条件	• ソフトウェア・トリガ • 同期トリガ イベント・リンク・コントローラ（ELC）注5，タイマ機能（TAU0，RTC，タイマ RDe，タイマ RJ）選択可能
機能	• 2 チャンネル同時サンプリング機能（ANI1 と ANI2 にチャネル専用サンプル＆ホールド回路を搭載） • 各チャネルごとにサンプリング時間を設定可能 • 自己診断機能 • 断線検出アシスト機能（プリチャージまたはディスチャージ） • 加算／平均モード • INTAD 割り込みをデータ･トランスファ･コントローラ（DTC）の起動トリガ要因として使用可能
割り込み要因	• グループ・スキャン・モードを除き，1 回のスキャン終了でスキャン終了割り込み要求（INTAD）を発生 • グループ B のスキャン終了時，A/D スキャン完了割り込み（INTADGB）を発生
基準電圧	• 基準電圧（＋側）：AV_{REFP} または V_{DD} から選択可能 • 基準電圧（－側）：AV_{REFM} または V_{SS} から選択可能

（注は次のページにあります。）

注 **1.** 周辺ハードウェア・クロック（f_{CLK}）と A/D クロック（ADCLK）の分周比は，ADCKS レジスタで設定します。ただし，ADCLK を 2 MHz 未満に設定することはできません。

2. 加算時の拡張ビット数は，加算回数により異なります。

2 ビット拡張：1～4 回変換（0～3 回加算）

4 ビット拡張：16 回変換（15 回加算）

3. 内部基準電圧（V_{BGR}）を選択した場合は，連続スキャン・モードおよびグループ・スキャン・モードを使用しないでください。

4. 変換時間は「表 12－21　A/D スキャン時間（ADCLK，f_{CLK}）」の中の A/D 変換処理時間（t_{CONV}）を参照してください。

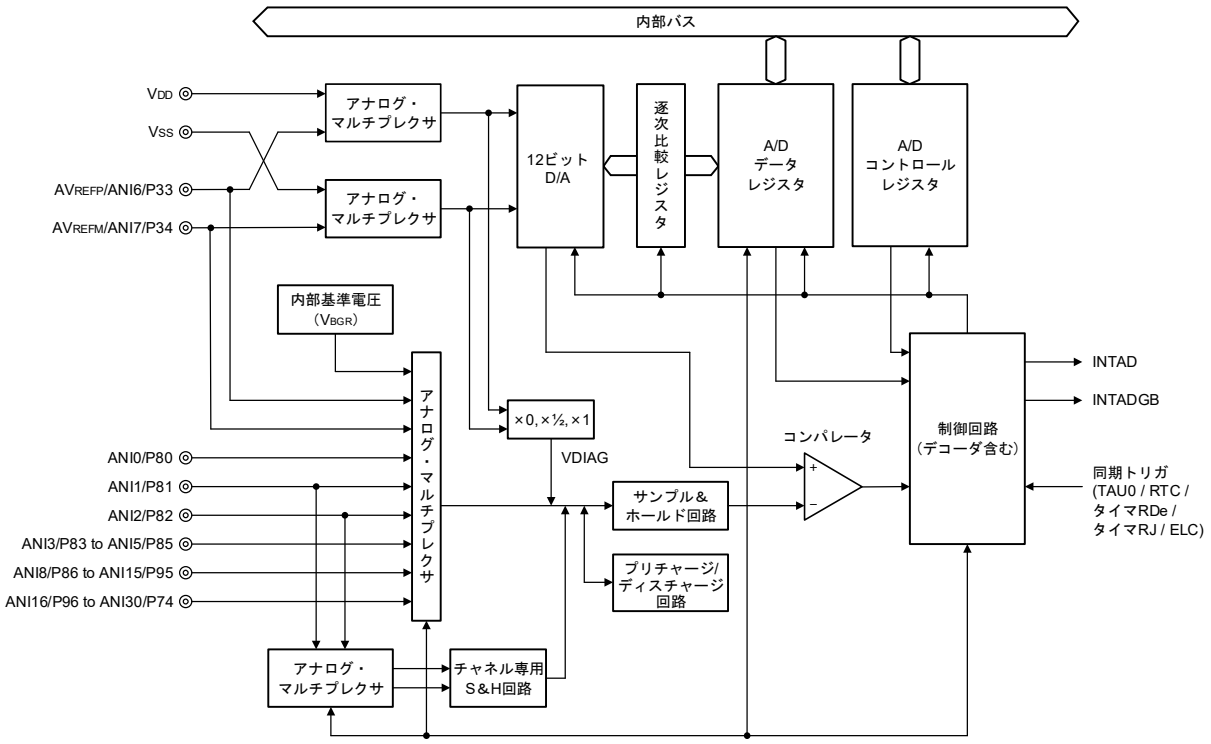
5. この章では，ELC に関する説明は RL78/F24 にのみ適用されます。

表 12－2　12 ビット A/D コンバータの機能概要

項目			端子名，略称等
アナログ入力チャネル 注			ANI0−ANI30，内部基準電圧（V_{BGR}）， ANI1, ANI2 はチャネル専用サンプル＆ホールド回路を搭載
A/D 変換開始条件	ソフトウェア	ソフトウェア・トリガ	可能
	同期トリガ	TAU0, RTC, タイマ RDe, タイマ RJ, ELC からのトリガ	可能
割り込み			INTAD，INTADGB 割り込み
クロック供給停止機能の設定			PER0.ADCEN ビット
A/D 変換クロック制御			A/D クロック（ADCLK）を ADCKS レジスタの ADCK[1:0] ビットで選択可能

注　基準電圧として AV_{REFP}，AV_{REFM} からの供給以外を設定して A/D コンバータを使用した場合，変換精度が低下します。

図 12－1　12 ビット A/D コンバータのブロック図



備考　S＆H：サンプル＆ホールド

VDIAG：自己診断電圧

表 12－3 に，12 ビット A/D コンバータで使用する入力端子を示します。

表 12－3　12 ビット A/D コンバータの入力端子

端子名	入出力	機能	チャネル専用サンプル＆ホールド回路
VDD	–	電源端子	–
VSS	–	グランド端子	–
AVREFP	入力	A/D 変換基準電圧（＋側）入力	–
AVREFM	入力	A/D 変換基準電圧（－側）入力	–
ANI0, ANI3–ANI15	入力	高速アナログ入力端子	–
ANI1, ANI2	入力	高速アナログ入力端子	内蔵
ANI16–ANI30	入力	通常アナログ入力端子	–

12.2　レジスタの説明

表 12－4 に，12 ビット A/D コンバータのレジスター覧を示します。

表 12－4　A/D コンバータのレジスタ構成

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F00F0H	周辺イネーブル・レジスタ 0	PER0	00H	1, 8
F00E0H	A/D 変換クロック制御レジスタ	ADCKS	00H	8
F06A0H	A/D データ・レジスタ 0（ミラー領域）	ADDR0M	0000H	16
F06A2H	A/D データ・レジスタ 1（ミラー領域）	ADDR1M	0000H	16
F06A4H	A/D データ・レジスタ 2（ミラー領域）	ADDR2M	0000H	16
F06A6H	A/D データ・レジスタ 3（ミラー領域）	ADDR3M	0000H	16
F06A8H	A/D データ・レジスタ 4（ミラー領域）	ADDR4M	0000H	16
F06AAH	A/D データ・レジスタ 5（ミラー領域）	ADDR5M	0000H	16
F06ACH	A/D データ・レジスタ 6（ミラー領域）	ADDR6M	0000H	16
F06AEH	A/D データ・レジスタ 7（ミラー領域）	ADDR7M	0000H	16
F06B0H : F06BFH	A/D コンバータ・ウィンドウ・レジスタ （詳細は，表 12－5 から表 12－15 を参照）	–	–	–
FFF30H	A/D コンバータ・アクセス・ウィンドウ選択レジスタ	ADWINR	00H	8

備考　ポート・モード制御レジスタとポート・モード・レジスタについては，「12.2.18　ポート・モード制御レジスタ（PMC3, PMC7-PMC10, PMC12）」と「12.2.19　ポート・モード・レジスタ（PM3, PM7-PM10, PM12）」を参照してください。

表 12－5　A/D コンバータ・ウィンドウ・レジスタ（ページ 0 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D コントロール・レジスタ	ADCSR	0000H	16
F06B4H	A/D チャネル選択レジスタ A0	ADANSA0	0000H	16
F06B6H	A/D チャネル選択レジスタ A1	ADANSA1	0000H	16
F06B8H	A/D 加算／平均機能チャネル選択レジスタ 0	ADADS0	0000H	16
F06BAH	A/D 加算／平均機能チャネル選択レジスタ 1	ADADS1	0000H	16
F06BCH	A/D 加算／平均機能回数選択レジスタ	ADADC	00H	1, 8
F06BEH	A/D 拡張コントロール・レジスタ	ADCER	0000H	16

注　ADWINR.ADPAGE[3:0] ビットが 0000B（ページ 0 アクセス選択）

表 12－6　A/D コンバータ・ウィンドウ・レジスタ（ページ 1 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D 開始トリガ選択レジスタ	ADSTRGR	0000H	16
F06B2H	A/D 拡張入力コントロール・レジスタ	ADEXICR	0000H	16
F06B4H	A/D チャネル選択レジスタ B0	ADANSB0	0000H	16
F06B6H	A/D チャネル選択レジスタ B1	ADANSB1	0000H	16
F06BCH	A/D 内部基準電圧データ・レジスタ	ADOCDR	0000H	16
F06BEH	A/D 自己診断データ・レジスタ	ADRD	0000H	16

注　ADWINR.ADPAGE[3:0] ビットが 0001B（ページ 1 アクセス選択）

表 12－7　A/D コンバータ・ウィンドウ・レジスタ（ページ 2 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D データ・レジスタ 0	ADDR0	0000H	16
F06B2H	A/D データ・レジスタ 1	ADDR1	0000H	16
F06B4H	A/D データ・レジスタ 2	ADDR2	0000H	16
F06B6H	A/D データ・レジスタ 3	ADDR3	0000H	16
F06B8H	A/D データ・レジスタ 4	ADDR4	0000H	16
F06BAH	A/D データ・レジスタ 5	ADDR5	0000H	16
F06BCH	A/D データ・レジスタ 6	ADDR6	0000H	16
F06BEH	A/D データ・レジスタ 7	ADDR7	0000H	16

注　ADWINR.ADPAGE[3:0] ビットが 0010B（ページ 2 アクセス選択）

表 12－8　A/D コンバータ・ウィンドウ・レジスタ（ページ 3 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D データ・レジスタ 8	ADDR8	0000H	16
F06B2H	A/D データ・レジスタ 9	ADDR9	0000H	16
F06B4H	A/D データ・レジスタ 10	ADDR10	0000H	16
F06B6H	A/D データ・レジスタ 11	ADDR11	0000H	16
F06B8H	A/D データ・レジスタ 12	ADDR12	0000H	16
F06BAH	A/D データ・レジスタ 13	ADDR13	0000H	16
F06BCH	A/D データ・レジスタ 14	ADDR14	0000H	16
F06BEH	A/D データ・レジスタ 15	ADDR15	0000H	16

注　ADWINR.ADPAGE[3:0] ビットが 0011B（ページ 3 アクセス選択）

表 12－9　A/D コンバータ・ウィンドウ・レジスタ（ページ 4 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D データ・レジスタ 16	ADDR16	0000H	16
F06B2H	A/D データ・レジスタ 17	ADDR17	0000H	16
F06B4H	A/D データ・レジスタ 18	ADDR18	0000H	16
F06B6H	A/D データ・レジスタ 19	ADDR19	0000H	16
F06B8H	A/D データ・レジスタ 20	ADDR20	0000H	16
F06BAH	A/D データ・レジスタ 21	ADDR21	0000H	16
F06BCH	A/D データ・レジスタ 22	ADDR22	0000H	16
F06BEH	A/D データ・レジスタ 23	ADDR23	0000H	16

注　ADWINR.ADPAGE[3:0] ビットが 0100B（ページ 4 アクセス選択）

表 12－10　A/D コンバータ・ウィンドウ・レジスタ（ページ 5 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D データ・レジスタ 24	ADDR24	0000H	16
F06B2H	A/D データ・レジスタ 25	ADDR25	0000H	16
F06B4H	A/D データ・レジスタ 26	ADDR26	0000H	16
F06B6H	A/D データ・レジスタ 27	ADDR27	0000H	16
F06B8H	A/D データ・レジスタ 28	ADDR28	0000H	16
F06BAH	A/D データ・レジスタ 29	ADDR29	0000H	16
F06BCH	A/D データ・レジスタ 30	ADDR30	0000H	16

注　ADWINR.ADPAGE[3:0] ビットが 0101B（ページ 5 アクセス選択）

表 12－11　A/D コンバータ・ウィンドウ・レジスタ（ページ 6 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B6H	A/D サンプル＆ホールド回路コントロール・レジスタ	ADSHCR	001AH	16

注　ADWINR.ADPAGE[3:0] ビットが 0110B（ページ 6 アクセス選択）

表 12－12　A/D コンバータ・ウィンドウ・レジスタ（ページ 7 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06BAH	A/D 断線検出コントロール・レジスタ	ADDISCR	00H	8

注　ADWINR.ADPAGE[3:0] ビットが 0111B（ページ 7 アクセス選択）

表 12－13　A/D コンバータ・ウィンドウ・レジスタ（ページ 8 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D グループ・スキャン優先コントロール・レジスタ	ADGSPCR	0000H	16
F06BAH	A/D 高電位／低電位基準電圧コントロール・レジスタ	ADHVREFCNT	00H	1, 8

注　ADWINR.ADPAGE[3:0] ビットが 1000B（ページ 8 アクセス選択）

表 12－14　A/D コンバータ・ウィンドウ・レジスタ（ページ 13 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06BDH	A/D サンプリング・ステート・レジスタ L	ADSSTRL	0DH	8
F06BFH	A/D 内部基準電圧サンプリング・ステート・レジスタ	ADSSTRO	0DH	8

注　ADWINR.ADPAGE[3:0] ビットが 1101B（ページ 13 アクセス選択）

表12－15　A/Dコンバータ・ウィンドウ・レジスタ（ページ14 注）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F06B0H	A/D サンプリング・ステート・レジスタ 0	ADSSTR0	0DH	8
F06B1H	A/D サンプリング・ステート・レジスタ 1	ADSSTR1	0DH	8
F06B2H	A/D サンプリング・ステート・レジスタ 2	ADSSTR2	0DH	8
F06B3H	A/D サンプリング・ステート・レジスタ 3	ADSSTR3	0DH	8
F06B4H	A/D サンプリング・ステート・レジスタ 4	ADSSTR4	0DH	8
F06B5H	A/D サンプリング・ステート・レジスタ 5	ADSSTR5	0DH	8
F06B6H	A/D サンプリング・ステート・レジスタ 6	ADSSTR6	0DH	8
F06B7H	A/D サンプリング・ステート・レジスタ 7	ADSSTR7	0DH	8
F06B8H	A/D サンプリング・ステート・レジスタ 8	ADSSTR8	0DH	8
F06B9H	A/D サンプリング・ステート・レジスタ 9	ADSSTR9	0DH	8
F06BAH	A/D サンプリング・ステート・レジスタ 10	ADSSTR10	0DH	8
F06BBH	A/D サンプリング・ステート・レジスタ 11	ADSSTR11	0DH	8
F06BCH	A/D サンプリング・ステート・レジスタ 12	ADSSTR12	0DH	8
F06BDH	A/D サンプリング・ステート・レジスタ 13	ADSSTR13	0DH	8
F06BEH	A/D サンプリング・ステート・レジスタ 14	ADSSTR14	0DH	8
F06BFH	A/D サンプリング・ステート・レジスタ 15	ADSSTR15	0DH	8

注　ADWINR.ADPAGE[3:0] ビットが 1110B（ページ 14 アクセス選択）

12.2.1　周辺イネーブル・レジスタ 0（PER0）

PER0 レジスタは，周辺ハードウェアへのクロック信号の供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減を図ります。

12 ビット A/D コンバータを使用するときは，必ずビット 5（ADCEN）を“1”に設定してください。

本レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により，このレジスタは 00H になります。

図 12－2　周辺イネーブル・レジスタ 0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	12 ビット A/D コンバータの入力クロックの供給を制御
0	入力クロック供給停止 ・ 12 ビット A/D コンバータで使用する SFR へのライト不可 ・ A/D コンバータはリセット状態
1	入力クロック供給 ・ 12 ビット A/D コンバータで使用する SFR へのリード，ライト可

注意 1. 12 ビット A/D コンバータの設定をする際には，必ず最初に ADCEN = 1 の状態で，レジスタの設定を行ってください。ADCEN = 0 の場合は，12 ビット A/D コンバータの制御レジスタは初期値となり，書き込みは無視されます。（ただし，ポート・モード・レジスタ 3 , 7-10, 12（PM3, PM7-PM10, PM12），ポート・モード制御レジスタ 3, 7-10, 12（PMC3, PMC7-PMC10, PMC12）は除きます。）

2. ビット 6 には必ず 0 を設定してください。

12.2.2　A/D データ・レジスタ（ADDRy, ADOCDR, ADDRxM）[x = 0-7, y = 0-30]

ADDRy レジスタ（y = 0-30）は，A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDR0-ADDR30 の各レジスタは ANI0-ANI30 端子の入力電圧に対応します。

ADOCDR レジスタは，内部基準電圧（V_{BGR}）の A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。

ADDRxM（x = 0-7）は，16 ビットの読み取り専用レジスタです。これらのレジスタは，ADDR0～ADDR7 のミラー・レジスタです。

各レジスタは，下記の条件によってフォーマットが異なります。

- A/D データ・レジスタ・フォーマット選択ビット（ADCER.ADRFMT）の設定値（右詰め，または左詰め）
- 加算回数選択ビット（ADADC.ADC[2:0]）の設定値（1 回, 2 回, 3 回，または 15 回の加算）
- 平均モード・イネーブル・ビット（ADADC.AVEE）の設定値（加算，または平均）

図 12－3 に各 A/D データ・レジスタのフォーマットを示します。

図 12－3　A/D データ・レジスタ（ADDRy, ADOCDR, ADDRxM）のフォーマット

● A/D データ・レジスタ（ADDRy）[y = 0−30]

アドレス：ADDR0−ADDR7:　F06B0H−F06BFH（ADWINR = 02H）
ADDR8−ADDR15:　F06B0H−F06BFH（ADWINR = 03H）
ADDR16−ADDR23:　F06B0H−F06BFH（ADWINR = 04H）
ADDR24−ADDR30:　F06B0H−F06BDH（ADWINR = 05H）

リセット後：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRy																

● A/D 内部基準電圧データ・レジスタ（ADOCDR）

アドレス：F06BCH（ADWINR = 01H）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADOCDR																

● A/D データ・レジスタ x（ミラー領域）（ADDRxM）[x = 0-7]

アドレス：ADDR0M−ADDR7M:　F06A0H−F06AFH
リセット後：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRxM																

• A/D データ・レジスタのフォーマット

ADCER.ADRFMT = 0（右詰め）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	AD[11:0]											

ADCER.ADRFMT = 1（左詰め）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD[11:0]												0	0	0	0

• A/D 変換値加算モードの A/D データ・レジスタのフォーマット（加算カウンタ=1~4 回）

ADCER.ADRFMT = 0（右詰め）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	AD[13:0]													

ADCER.ADRFMT = 1（左詰め）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD[13:0]														0	0

• A/D 変換値加算モードの A/D データ・レジスタのフォーマット（加算カウンタ=16 回）

ADCER.ADRFMT = 0 または 1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD[15:0]															

備考　A/D 変換値加算モードについては，「12.3.7　A/D 変換値加算／平均モード」を参照してください。

12.2.3　A/D 自己診断データ・レジスタ（ADRD）

ADRD レジスタは，12 ビット A/D コンバータの自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値に加えて，自己診断のステータスが付加されます。ADRD レジスタのフォーマットは，A/D データ・レジスタ・フォーマット選択ビット（ADCER.ADRFMT）の設定値（右詰め，または左詰め）により設定されます。

図 12－4　A/D 自己診断データ・レジスタ（ADRD）のフォーマット

アドレス：F06BEH（ADWINR = 01H）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADRD																

ADCER.ADRFMT = 0（右詰め）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIAGST[1:0]		0	0	AD[11:0]											

ADCER.ADRFMT = 1（左詰め）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AD[11:0]												0	0	DIAGST[1:0]	

AD[11:0]	A/D 変換結果
• 右寄せ MSB ファーストでビット 11~0 に A/D 変換値を格納します。 • 左寄せ MSB ファーストでビット 15~4 に A/D 変換値を格納します。	

DIAGST[1:0]		自己診断ステータス
0	0	パワーオンから一度も自己診断を実施していない
0	1	0 V の電圧値の自己診断を実施
1	0	基準電源 × 1/2 の電圧値の自己診断を実施
1	1	基準電源の電圧値の自己診断を実施

注意　A/D 自己診断機能に，A/D 変換値加算モードおよび A/D 変換値平均モードは適用できません。

備考 1. A/D 変換値加算モードについては，「12.3.7　A/D 変換値加算／平均モード」を参照してください。

2. 自己診断が完了すると，自己診断電圧（VDIAG）に応じて DIAGST ビットの値が更新されます。

12.2.4　A/D コントロール・レジスタ（ADCSR）

ADCSR レジスタは，A/D 変換起動トリガの設定，スキャン終了割り込み許可／禁止，スキャン・モードの選択，A/D 変換の開始／停止を行うレジスタです。

本レジスタは，16 ビット・メモリ操作命令で設定します。

図 12－5　A/D コントロール・レジスタ（ADCSR）のフォーマット（1/3）

アドレス：F06B0H（ADWINR = 00H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCSR	ADST	ADCS[1:0]		ADIE	0	0	TRGE	0	0	GBA DIE	0	0	0	0	0	0

ADST	A/D 変換スタート・ビット
0	A/D 変換停止
1	A/D 変換開始

ADST ビットを“1”に設定する前に A/D 変換クロック，変換モード，変換対象アナログ入力の設定を行ってください。

［“1”になる条件］

- ソフトウェアで“1”を書き込んだとき
- ADCSR.TRGE ビットに“1”を設定し，ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループ・スキャン・モードで ADCSR.TRGE ビットに“1”を設定し ADSTRGR.TRSB[5:0] ビットで選択した同期トリガを検出したとき
- グループ優先動作時（ADCSR.ADCS[1:0] ビット= 01B かつ ADGSPCR.PGS ビット= 1）で，ADGSPCR.GBRP ビットを“1”に設定し，低優先グループの A/D 変換を開始したとき

［“0”になる条件］

- ソフトウェアで“0”を書き込んだとき
- シングル・スキャン・モードで，選択したすべてのチャネル，または内部基準電圧（V_{BGR}）の A/D 変換が終了したとき
- グループ・スキャン・モードでグループ A のスキャンが終了したとき
- グループ・スキャン・モードでグループ B のスキャンが終了したとき
- グループ優先動作時（ADCSR.ADCS[1:0] ビット= 01B かつ ADGSPCR.PGS ビット= 1）で，ADGSPCR.GBRSCN ビットを“1”に設定し，低優先グループの再起動トリガによるスキャンが終了したとき

注意 1.　グループ優先動作時（ADCSR.ADCS[1:0] ビット ＝01B かつ ADGSPCR.PGS ビット ＝1）に，ADST ビットを“1”にしないでください。

2.　グループ優先動作時（ADCSR.ADCS[1:0] ビット ＝01B かつ ADGSPCR.PGS ビット ＝1）に，ADST ビットを“0”にしないでください。A/D 変換の強制停止手順は「12.7.2　A/D 変換停止手順」に示します。

3.　グループ優先動作時（ADCSR.ADCS[1:0] ビット ＝01B かつ ADGSPCR.PGS ビット ＝1）に，シングル・スキャン連続動作設定時（ADGSPCR.GBRP ビット＝1）は，ADST ビットは“1”を保持します。

ADCS[1:0]	スキャン・モード選択ビット
00B	シングル・スキャン・モード
01B	グループ・スキャン・モード
10B	連続スキャン・モード
11B	設定禁止

シングル・スキャン・モードは，ADANSA0，ADANSA1 レジスタで選択した最大 31 チャネルのアナログ入力をチャネル番号の昇順で A/D 変換を実行し，選択されたすべてのチャネルの A/D 変換が終了するとスキャン変換を停止します。

連続スキャン・モードでは，ADCSR.ADST ビットが“1”の期間に，ADANSA0 および ADANSA1 レジスタで選択された最大 31 チャンネルのアナログ入力をチャンネル番号の昇順で A/D 変換を実行します。また，選択したすべてのチャンネルの A/D 変換が終了すると，先頭チャンネルから A/D 変換を繰り返します。連続スキャン動作中に ADCSR.ADST ビットを“0”に設定すると，スキャン実行中であっても A/D 変換は停止します。

グループ・スキャン・モードでは，ADSTRGR レジスタの TRSA[5:0]ビットで選択された同期トリガ（ELC およびタイマ機能）によりスキャン動作を開始した後，ADANSA0，ADANSA1 レジスタで選択された最大 31 チャンネルのアナログ入力（グループ A）をチャンネル番号の昇順で A/D 変換を実行します。そして，選択されたすべてのチャンネルの A/D 変換が 1 回終了すると，A/D 変換を停止します。
また同様に ADSTRGR レジスタの TRSB[5:0]ビットで選択された同期トリガ（ELC およびタイマ機能）によりスキャン動作を開始した後，ADANSB0，ADANSB1 レジスタで選択された最大 31 チャンネルのアナログ入力（グループ B）をチャンネル番号の昇順で A/D 変換を実行します。そして，選択されたすべてのチャネルの A/D 変換が終了すると，A/D 変換を停止します。グループ・スキャン・モードでは，グループ A，グループ B に異なるトリガを選択する必要があります。

内部基準電圧（V_{BGR}）を選択する場合は，シングル・スキャン・モードを選択し，ADANSA0，ADANSA1 レジスタですべてのチャネルを非選択としてから A/D 変換を開始してください。内部基準電圧（V_{BGR}）の A/D 変換が終了すると A/D 変換は停止します。
ADCS[1:0]ビットは，ADST ビットが“0”のときに設定してください。ADCS[1:0]ビットを ADST ビットの“1”書き込みと同時に設定しないでください。

ADIE	スキャン終了割り込み許可ビット
0	スキャン終了後の INTAD 割り込み発生の禁止
1	スキャン終了後の INTAD 割り込み発生の許可

TRGE	トリガ開始許可ビット
0	トリガ入力による A/D 変換の開始を禁止
1	トリガ入力による A/D 変換の開始を許可

注意　グループ・スキャン・モードを使用する場合は，TRGE ビットを“1”に設定してください。

GBADIE	グループ B スキャン終了割り込み許可ビット
0	グループ B のスキャン終了後の INTADGB 割り込み発生を禁止
1	グループ B のスキャン終了後の INTADGB 割り込み発生を許可

12.2.5　A/D チャネル選択レジスタ A（ADANSA0, ADANSA1）

ADANSA0 と ADANSA1 レジスタは，A/D 変換を行うチャネルのアナログ入力 ANI0-ANI30 を選択するレジスタです。

これらのレジスタは，16 ビット・メモリ操作命令で設定します。

グループ・スキャン・モードでは，これらのレジスタはグループ A チャネルを選択します。

図 12－6　A/D チャネル選択レジスタ A（ADANSA0, ADANSA1）のフォーマット

アドレス：F06B6H（ADWINR = 00H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADANSA1	–	ANSA0[30:16]														

アドレス：F06B4H（ADWINR = 00H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADANSA0	ANSA0[15:0]															

ANSA0[n]	A/D 変換チャネル選択ビット
0	ANIn を変換対象から外す
1	ANIn を変換対象とする
A/D 変換を行うチャネルのアナログ入力 ANI0-ANI30 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ADANSA0 レジスタの ANSA0[0]ビットが ANI0 に，ADANSA1 レジスタの ANSA0[30] ビットが ANI30 に対応します。	

注意　1. 内部基準電圧（V_{BGR}）を A/D 変換する場合は，アナログ入力チャネルを選択しないでください（これらのレジスタには 0000H を設定してください。）。

2. ANSA0[n] ビットは，ADCSR.ADST ビットが“0”のときに設定してください。

3. ADANSA0/ADANSA1 および ADANSB0/ADANSB1 レジスタでグループ A とグループ B に同じチャネルを選択しないでください。

備考　n：0-30

12.2.6　A/D チャネル選択レジスタ B（ADANSB0, ADANSB1）

ADANSB0 と ADANSB1 レジスタは，A/D 変換を行うチャネルのアナログ入力 ANI0-ANI30 を選択するレジスタです。

これらのレジスタは，16 ビット・メモリ操作命令で設定します。

グループ・スキャン・モードでは，グループ B チャネルを選択します。これらのレジスタは，グループ・スキャン・モード以外では使用しません。

図 12－7　A/D チャネル選択レジスタ B（ADANSB0, ADANSB1）のフォーマット

アドレス：F06B6H（ADWINR = 01H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADANSB1	–	ANSB0[30:16]														

アドレス：F06B4H（ADWINR = 01H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADANSB0	ANSB0[15:0]															

ANSB0[n]	グループ B A/D 変換チャネル選択ビット
0	ANIn を変換対象から外す
1	ANIn を変換対象とする
A/D 変換を行うチャネルのアナログ入力 ANI0-ANI30 の選択を行います。選択するチャネルおよびチャネル数は任意に設定可能です。ADANSB0 レジスタの ANSB0[0] ビットが ANI0 に，ADANSB1 レジスタの ANSB0[30] ビットが ANI30 に対応します。	

注意　1. 内部基準電圧（V_{BGR}）を A/D 変換する場合は，アナログ入力チャネルを選択しないでください（これらのレジスタには 0000H を設定してください。）。

2. ANSB0[n] ビットは，ADCSR.ADST ビットが“0”のときに設定してください。

3. ADANSA0/ADANSA1 および ADANSB0/ADANSB1 レジスタでグループ A とグループ B に同じチャネルを選択しないでください。

備考　n：0-30

12.2.7　A/D 加算／平均機能チャネル選択レジスタ（ADADS0, ADADS1）

ADADS0 と ADADS1 レジスタは，A/D 変換を連続 2～4，16 回実施して加算（積算），または平均する A/D 変換チャネル 0-30 を選択します。

これらのレジスタは，16 ビット・メモリ操作命令で設定します。

図 12－8　A/D 加算／平均機能チャネル選択レジスタ（ADADS0, ADADS1）のフォーマット

アドレス：F06BAH（ADWINR = 00H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADADS1	–	ADS0[30:16]														

アドレス：F06B8H（ADWINR = 00H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADADS0	ADS0[15:0]															

ADS0[n]	加算／平均モード・チャネル選択ビット
0	ANIn を加算／平均モードの対象から外す
1	ANIn を加算／平均モードの対象とする

ADANSA0 および ADANSA1 の ANSA0[n] ビット，または ADANSB0 および ADANSB1 の ANSB0[n] ビットで選択した A/D 変換チャンネルと同一番号の ADS0[n] ビットを“1”にすると，ADADC レジスタの ADC[2:0] ビットで設定した回数（2~4，16 回）分，選択したチャンネルのアナログ入力を連続して A/D 変換し，ADADC レジスタの AVEE ビットが“0”の場合，加算（積算）した値を，ADADC レジスタの AVEE ビットが“1”の場合，加算（積算）値から平均した値を A/D データ・レジスタに格納します。
加算／平均モードの対象から外された A/D 変換実行チャネルについては，通常の 1 回変換を実施し，変換結果を A/D データ・レジスタに保存します。

注意　チャネル専用サンプル＆ホールド回路が ANI1 および ANI2 に対して有効になっている場合，ADS0[1] および ADS0[2] ビットは 0 を設定してください。

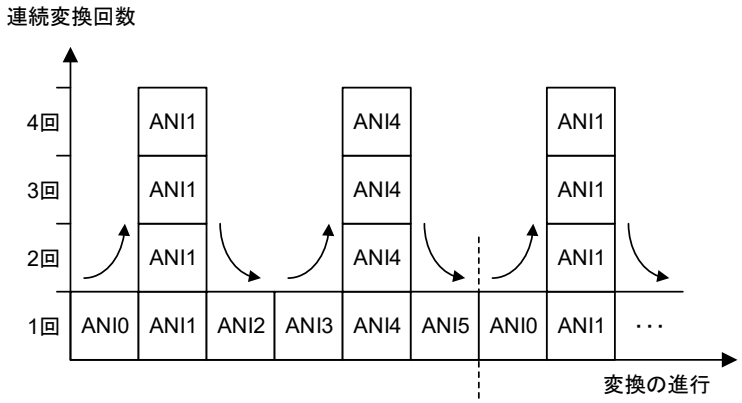
備考　n：0-30

図 12－9 にビット ADS0[1] と ADS0[4] を 1 にしたときのスキャン動作シーケンスを示します。

この例では，連続スキャン・モード（ADCSR.ADCS[1:0] = 10B）で ANI0-ANI5 が選択（ADANSA0.ANSA0[15:0] = 003FH）されており，加算モードを選択（ADADC.AVEE = 0），加算回数は 3 回（ADADC.ADC[2:0] = 011B）に設定します。また，ANI1 のチャネル専用サンプル＆ホールド回路は無効（ADSHCR.SHANS[1] = 0）にします。

まず、ANI0 から変換を開始します。次に ANI1 の変換は 4 回連続変換（3 回加算）し，加算（積算）値を A/D データ・レジスタ 1 に返します。その後，ANI2 の変換を開始し，ANI4 の変換は 4 回連続して実行され，加算（積算）値を A/D データ・レジスタ 4 に返します。ANI5 の変換後，再度 ANI0 から同じシーケンスで変換動作を繰り返します。

図 12－9　ADADC.ADC[2:0] = 011B, ADADC.AVEE = 0, ADS0[1] = 1, ADS0[4] = 1 および ADSHCR.SHANS[1] = 0 選択時のスキャン変換シーケンス



注意　1. ANI1 および ANI2 のチャネル専用サンプル＆ホールド回路が有効になっている場合は，本機能を有効にしないでください。

2. ADCSR.ADST ビットが 0 のときに，ANSA0[n] ビットをセットする必要があります。

備考　n：0-30

12.2.8　A/D 加算／平均機能回数選択レジスタ（ADADC）

ADADC レジスタは，加算／平均モードが選択されたチャネルの A/D 変換に対し，加算回数の設定と，加算モード／平均モードの選択を行います。

本レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

図 12－10　A/D 加算／平均機能回数選択レジスタ（ADADC）のフォーマット

アドレス：F06BCH（ADWINR = 00H）　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADADC	AVEE	0	0	0	0	ADC[2:0]		

AVEE	加算／平均モード選択ビット
0	加算モード
1	平均モード
A/D 変換および加算／平均モードが選択されたチャネルの A/D 変換に対して加算モード，または平均モードの選択を行います。 1 回，3 回および 16 回変換の平均値を求めることはできません。 AVEE ビットの設定は，ADCSR.ADST ビットが“0”のときに設定してください。	

ADC2	ADC1	ADC0	加算回数選択ビット
0	0	0	1 回変換（加算なし）注
0	0	1	2 回変換（1 回加算）
0	1	0	3 回変換（2 回加算）注
0	1	1	4 回変換（3 回加算）
1	0	1	16 回変換（15 回加算）注
上記以外			設定禁止
A/D 変換および加算／平均モードが選択されたチャネルに対して共通の加算回数を設定します。 ADC[2:0] ビットの設定は，ADCSR.ADST ビットが“0”のときに行ってください。			

注　AVEE ビットが 1（平均モード）の場合，2 回または 4 回の変換のみ選択できます。平均モードが選択されている場合，1 回の変換（ADADC.ADC[2:0] ビット= 000B），3 回変換（ADADC.ADC[2:0] ビット= 010B），または 16 回変換（ADADC.ADC[2:0] ビット= 101B）を設定しないでください。

12.2.9　A/D 拡張コントロール・レジスタ（ADCER）

ADCER レジスタは，自己診断モード，A/D データ・レジスタ（ADDRy，ADDRxM）のフォーマット，A/D データ・レジスタの自動クリア機能の設定を行うレジスタです。

本レジスタは，16 ビット・メモリ操作命令で設定します。

図 12－11　A/D 拡張コントロール・レジスタ（ADCER）のフォーマット

アドレス：F06BEH（ADWINR = 00H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCER	ADR FMT	0	0	0	DIAG M	DIAG LD	DIAG VAL[1:0]		0	0	ACE	0	0	0	0	0

ADRFMT	A/D データ・レジスタ・フォーマット選択ビット
0	A/D データ・レジスタのフォーマットは右詰めを選択
1	A/D データ・レジスタのフォーマットは左詰めを選択
ADDRy，ADDRxM，ADRD または ADOCDR レジスタに格納するデータの右詰め／左詰めを選択します。 ADRFMT ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。	

DIAGM	自己診断許可ビット
0	自己診断を実施しない
1	自己診断を実施する
自己診断は，12 ビット A/D コンバータの故障を検出するための機能です。具体的には DIAGVAL[1:0] ビットで選択された自己診断電圧（VDIAG）を変換します。変換が終了すると，自己診断データ・レジスタ（ADRD）に変換した電圧の情報と変換値を格納します。その後，ソフトウェアで ADRD レジスタを読み出し，変換値が正常の範囲内にある（正常）か，ない（異常）かを判断します。自己診断は，スキャンごとの最初に 1 回実施され，3 つの電圧のうち 1 つを A/D 変換します。 DIAGM ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。	

DIAGLD	自己診断モード選択ビット
0	自己診断モード許可時は設定禁止
1	自己診断電圧固定モード
自己診断電圧固定モードを選択すると，DIAGVAL[1:0] ビットで指定された固定電圧が変換されます。 DIAGLD ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。	

DIAGVAL[1:0]	自己診断変換電圧選択ビット
00	自己診断電圧固定モード時は設定禁止
01	0V の基準電圧を選択
10	基準電源 ×1/2 の電圧を選択
11	基準電源の電圧を選択
詳細は DIAGLD ビットの説明を参照してください。 DIAGVAL[1:0] ビットが 00B に設定されている状態で DIAGLD ビットを“1”に設定して，自己診断を実施しないでください。	

ACE	A/D データ・レジスタ自動クリア許可ビット
0	自動クリアを禁止
1	自動クリアを許可
CPU，DTC によって ADDRy，ADDRxM，ADRD，ADOCDR レジスタを読み出した後，当該レジスタの自動クリア（All“0”）を行うか行わないかを選択します。A/D データ・レジスタの自動クリアにより A/D データ・レジスタの未更新故障を検出することができます。	

12.2.10 A/D 変換開始トリガ選択レジスタ（ADSTRGR）

ADSTRGR レジスタは，A/D 変換開始トリガの選択を行うレジスタです。

本レジスタは，16 ビット・メモリ操作命令で設定します。

図 12－12　A/D 開始トリガ選択レジスタ（ADSTRGR）のフォーマット

アドレス：F06B0H（ADWINR = 01H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADSTRGR	0	0	TRSA[5:0]						0	0	TRSB[5:0]					

TRSA[5:0] TRSB[5:0]	A/D 変換開始トリガ選択ビット 注1
000001B	INTTM01（TAU0 チャネル 1 割り込み）
000010B	INTRTC（RTC 割り込み）
000011B	INTTRJ0（タイマ RJ0 割り込み）
000100B	INTTRD0_IFA （タイマ RDe0 割り込み）
000101B	INTTRD0_IFB （タイマ RDe0 割り込み）
000110B	INTTRD1_IFA （タイマ RDe1 割り込み）
000111B	INTTRD1_IFB （タイマ RDe1 割り込み）
001000B	INTTRD1_UDF（タイマ RDe1 アンダフロー）
001011B	INTTRD_ADTRG （タイマ RDe A/D トリガ要求）
110000B	イベント・リンク・コントローラからのイベント出力信号（ELCTRG0）
111111B	トリガ要因非選択
上記以外	設定禁止

TRSA[5:0] 注2, 3

シングル・スキャン・モード，連続スキャン・モードでの A/D 変換開始トリガの選択を行います。この設定は，ADCSR レジスタの TRGE ビットが“0”の場合は無効です。グループ・スキャン・モードでは，グループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループ・スキャン・モードでスキャンを実行する場合は，ソフトウェア・トリガは使用できません。

TRSB[5:0]

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。

本ビットはグループ・スキャン・モードでのみ設定が必要で，他のスキャン・モードでは使用しません。

グループ B のスキャン変換開始トリガには，ソフトウェア・トリガの設定は禁止です。よって，グループ・スキャン・モードでは TRSB [5:0] ビットを 000000B 以外の値に設定し，ADCSR レジスタの TRGE ビットを“1”に設定してください。

RL78/F23 は ELC 機能がないため，110000B（ELCTRG0）の設定は禁止です。

注 1. A/D 変換で使用するトリガの発行間隔は，実際のスキャン変換時間（t_{SCAN}）以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は，トリガによる A/D 変換が無効となる場合があります。詳細は「12.3.5　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

2. 同期トリガの A/D 変換起動要因を使用する場合は，ADCSR レジスタの TRGE ビットを“1”に設定してください。

3. ソフトウェア・トリガ（ADCSR レジスタの ADST ビット）は，ADCSR レジスタの TRGE ビット，TRSA[5:0] ビットの設定値にかかわらず有効です。

12.2.11 A/D 拡張入力コントロール・レジスタ（ADEXICR）

ADEXICR レジスタは，内部基準電圧（V_{BGR}）の A/D 変換の設定をします。

本レジスタは，16 ビット・メモリ操作命令で設定します。

図 12－13　A/D 拡張入力コントロール・レジスタ（ADEXICR）のフォーマット

アドレス：F06B2H（ADWINR = 01H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADEXICR	0	0	0	0	0	0	OCSA	0	0	0	0	0	0	0	0	0

OCSA	内部基準電圧（V_{BGR}）A/D 変換選択ビット
0	内部基準電圧（V_{BGR}）を A/D 変換しない
1	内部基準電圧（V_{BGR}）を A/D 変換する

シングル・スキャン・モードでの内部基準電圧（V_{BGR}）の A/D 変換を選択します。内部基準電圧（V_{BGR}）の A/D 変換を行う場合は，ADANSA0，ADANSA1 レジスタ，ADANSB0，ADANSB1 レジスタの全ビットに“0”を設定し，シングル・スキャン・モードで実行してください。

OCSA ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。

内部基準電圧（V_{BGR}）の A/D 変換は，サンプリング前にディスチャージを行う必要があります。また，サンプリング時間は 5 μs 以上に設定してください。内部基準電圧（V_{BGR}）の A/D 変換は，ディスチャージ完了後，サンプリングが開始するので，オート・ディスチャージ期間（15 ADCLK）がサンプリング前に挿入されます。

12.2.12 A/D サンプリング・ステート・レジスタ n（ADSSTRn）（n = 0-15, L, O）

ADSSTRn レジスタは，アナログ入力のサンプリング時間の設定を行います。

1 ステート= 1 ADCLK（A/D クロック）幅で ADCLK クロックが 40 MHz であれば 1 ステート= 25 ns になります。初期値は 13.5 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や，ADCLK クロックが低速な場合に，サンプリング時間を調整することができます。ADSSTRn レジスタは，ADCSR.ADST ビットが“0”のときに設定してください。このレジスタには，05H（5 ステート）以上 FFH（255 ステート）以下の値を設定してください。

本レジスタは，8 ビット・メモリ操作命令で設定します。

図 12－14　A/D サンプリング・ステート・レジスタ n（ADSSTRn）（n = 0-15, L, O）のフォーマット

アドレス：　ADSSTRL: F06BDH,　ADSSTRO: F06BFH,　ADSSTR0: F06B0H,　ADSSTR1: F06B1H,　ADSSTR2: F06B2H,
ADSSTR3: F06B3H,　ADSSTR4: F06B4H,　ADSSTR5: F06B5H,　ADSSTR6: F06B6H,　ADSSTR7: F06B7H,
ADSSTR8: F06B8H,　ADSSTR9: F06B9H,　ADSSTR10: F06BAH,　ADSSTR11: F06BBH,　ADSSTR12: F06BCH,
ADSSTR13: F06BDH,　ADSSTR14: F06BEH,　ADSSTR15: F06BFH

(ADSSTRL: ADWINR = 0DH,　ADSSTRO: ADWINR = 0DH,　ADSSTR0-ADSSTR15: ADWINR = 0EH)

リセット時：0DH　R/W

略号	7	6	5	4	3	2	1	0
ADSSTRn								

表 12－16 に A/D サンプリング・ステート・レジスタと対象チャネルの関係を示します。詳細は，「12.3.5　アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 12－16　A/D サンプリング・ステート・レジスタと対象チャネルの関係

レジスタ名	対象チャネル
ADSSTR0	ANI0 注1
ADSSTR1	ANI1 注1
ADSSTR2	ANI2 注1
ADSSTR3	ANI3 注1
ADSSTR4	ANI4 注1
ADSSTR5	ANI5 注1
ADSSTR6	ANI6 注1
ADSSTR7	ANI7 注1
ADSSTR8	ANI8 注1
ADSSTR9	ANI9 注1
ADSSTR10	ANI10 注1
ADSSTR11	ANI11 注1
ADSSTR12	ANI12 注1
ADSSTR13	ANI13 注1
ADSSTR14	ANI14 注1
ADSSTR15	ANI15 注1
ADSSTRL	ANI16-30 注2
ADSSTRO	内部基準電圧（V_{BGR}）注3

注 1. 高速アナログ入力チャネルを A/D 変換する場合，サンプリング時間を 0.337 μs 以上に設定する必要があります。

2. アナログ入力チャネルを A/D 変換する場合，サンプリング時間を 1.012 μs 以上に設定する必要があります。

3. 内部基準電圧（V_{BGR}）を A/D 変換する場合，サンプリング時間を 5 μs 以上に設定する必要があります。

12.2.13 A/D サンプル＆ホールド回路コントロール・レジスタ（ADSHCR）

ADSHCR レジスタは，チャネル専用サンプル＆ホールド回路を制御するレジスタです。

本レジスタは，16 ビット・メモリ操作命令で設定します。

図 12－15　A/D サンプル＆ホールド回路コントロール・レジスタ（ADSHCR）のフォーマット

アドレス：F06B6H（ADWINR = 06H）　リセット時：001AH　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADSHCR	0	0	0	0	0	SHANS[2:1]		0	SSTSH[7:0]							

SHANS[2]	ANI2 チャネル専用サンプル＆ホールド回路バイパス選択
0	チャネル専用サンプル＆ホールド回路をバイパス
1	チャネル専用サンプル＆ホールド回路を使用
SHANS[2] ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。 グループ優先動作時に，グループ B に ANI2 を選択した場合は，チャネル専用サンプル＆ホールド回路をバイパスする設定をしてください。	

SHANS[1]	ANI1 チャネル専用サンプル＆ホールド回路バイパス選択
0	チャネル専用サンプル＆ホールド回路をバイパス
1	チャネル専用サンプル＆ホールド回路を使用
SHANS[1] ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。 グループ優先動作時に，グループ B に ANI1 を選択した場合は，チャネル専用サンプル＆ホールド回路をバイパスする設定をしてください。	

SSTSH[7:0]	チャネル専用サンプル＆ホールド回路サンプリング時間設定
04H-FFH	サンプリング時間を設定（4～255 ステート間）
上記以外	設定禁止
チャネル専用サンプル＆ホールド回路のサンプリング時間設定をします。初期値は 26 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や，ADCLK クロックが低速な場合に，サンプリング時間を調整することができます。 SSTSH[7:0] ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。 サンプリング時間の設定値は，4 ステート以上 255 ステート以下の値を設定してください。また，サンプリング時間が 0.4 μs 以上となるように設定してください。	

12.2.14 A/D 断線検出コントロール・レジスタ（ADDISCR）

ADDISCR レジスタは，断線検出アシスト機能を設定するレジスタです。

本レジスタは，8 ビット・メモリ操作命令で設定します。

図 12－16　A/D 断線検出コントロール・レジスタ（ADDISCR）のフォーマット

アドレス：F06BAH（ADWINR = 07H）　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADDISCR	0	0	0	ADNDIS[4:0]				

ADNDIS[4]	ディスチャージ／プリチャージ選択 注1
0	ディスチャージ
1	プリチャージ
A/D 断線検出アシスト機能のプリチャージ／ディスチャージの選択を設定します。 ADNDIS[4] ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。	

ADNDIS[3:0]	ディスチャージ／プリチャージ期間設定 注2
0000B	A/D 断線検出アシスト機能を使用しない
0001B	設定禁止
0010B	2 サイクル（2/ADCLK）
0011B	3 サイクル（3/ADCLK）
0100B	4 サイクル（4/ADCLK）
0101B	5 サイクル（5/ADCLK）
0110B	6 サイクル（6/ADCLK）
0111B	7 サイクル（7/ADCLK）
1000B	8 サイクル（8/ADCLK）
1001B	9 サイクル（9/ADCLK）
1010B	10 サイクル（10/ADCLK）
1011B	11 サイクル（11/ADCLK）
1100B	12 サイクル（12/ADCLK）
1101B	13 サイクル（13/ADCLK）
1110B	14 サイクル（14/ADCLK）
1111B	15 サイクル（15/ADCLK）
ADNDIS[3:0] ビットで，プリチャージ／ディスチャージ期間を設定します。 自己診断動作時に断線検出アシスト機能は使用できません。ADNDIS[3:0] ビット= 0000B に設定してください。 ADNDIS[3:0] ビットが 0000B および 0001B 以外の値に設定され，断線検出アシスト機能が有効になっている場合，チャネル専用サンプル＆ホールド回路の断線検出アシスト機能も有効になります。 ADNDIS[3:0] ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。	

注 1. 内部基準電圧の A/D 変換時には，自動的にディスチャージが実行されます。

2. ADEXICR レジスタの OCSA ビットを“1”にすると，ADNDIS[4:0] ビットが自動的に 0FH（15 サイクル）に設定されます。ディスチャージ後サンプリングが開始します。

12.2.15 A/D グループ・スキャン優先コントロール・レジスタ（ADGSPCR）

ADGSPCR レジスタは，グループ・スキャン・モードで優先順位の低いグループのスキャン A/D 変換を中断し，優先順位の高いグループ・スキャンを優先的に A/D 変換するグループ・スキャンの優先動作を設定するレジスタです。

本レジスタは，16 ビット・メモリ操作命令で設定します。

図 12－17　A/D グループ・スキャン優先コントロール・レジスタ（ADGSPCR）のフォーマット

アドレス：F06B0H（ADWINR = 08H）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADGSPCR	GBRP	LGRRS	0	0	0	0	0	0	0	0	0	0	0	0	GBRSCN	PGS

GBRP	シングル・スキャン連続動作設定
0	シングル・スキャン連続動作しない
1	低優先グループのシングル・スキャン連続動作開始

GBRP ビットを“1”にすると，GBRSCN ビットの設定にかかわらずスキャン終了後，連続して優先順位の低いグループのシングル・スキャンが起動します。GBRP ビットの設定は，PGS ビットが“1”のときにのみ有効となり，PGS ビットが“0”のときは設定禁止です。
GBRP ビットを“1”に設定すると，優先度の低いグループ B のシングル・スキャンが起動します。スキャン終了後，自動的にグループ B のシングル・スキャンを再開します。グループ優先動作でグループ B の A/D 変換動作が中断した後は，グループ A の A/D 変換動作終了後，自動的にグループ B のシングル・スキャンを再開します。
GBRP ビットを“1”にする場合は，事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”に設定した場合，GBRSCN ビットが“0”であっても，グループ B のみ再スキャンを実行します。
GBRP ビットは，ADCSR レジスタの ADST ビットが“0”のときに設定してください。

LGRRS	再開チャネル選択
0	スキャン対象の先頭チャネルから再開
1	A/D 変換が未終了チャネルから再開

グループ優先動作の再スキャン開始チャネルを設定します。LGRRS ビットの設定は，PGS ビットと GBRSCN ビットが“1”のときに有効です。
LGRRS ビットが“0”の場合，優先グループのスキャンが終了すると，グループ優先動作で中断した低優先グループのスキャンが先頭チャネルから再開します。
LGRRS ビットが“1”の場合，優先グループのスキャンが終了すると，グループ優先動作で中断した低優先グループのスキャンが A/D 変換が未終了のチャネルから再開します 注。
LGRRS ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。

注　中断時に加算設定チャネルの A/D 変換が設定回数分終了していなければ，再実行時，加算設定チャネルは再度 A/D 変換を設定回数分実行します。

GBRSCN	低優先順位グループ再起動設定
0	グループ優先動作で中断したグループを再起動しない
1	グループ優先動作で中断したグループを再起動する

グループ優先動作時の，グループ B の再スキャン動作を設定します。GBRSCN ビットの設定は，PGS ビットが“1”のときに有効となり，PGS ビットが“0”のときは設定禁止です。
GBRSCN ビットが“1”にすると，優先グループ A のトリガ入力による低優先グループのスキャン動作中断後，優先グループ A の A/D 変換動作の終了を待って，低優先グループ B の再スキャン動作を実行します。また，優先グループ A の A/D 変換動作中に低優先グループ B のトリガ入力があった場合，優先グループ A の A/D 変換動作の終了を待って，グループ B の再スキャン動作を行います。
GBRSCN ビットを“0”にした場合は，A/D 変換実行中に入力されたトリガは無視されます。また，GBRSCN ビットの設定は，ADCSR レジスタの ADST ビットが“0”のときに行ってください。

PGS	グループ優先動作設定
0	グループ優先動作を行わない
1	グループ優先動作を行う

グループ・スキャン・モードでのグループ A の優先動作を制御します。グループ優先動作を行うときに，このビットに“1”を設定してください。PGS ビットを“1”に設定するときは，ADCSR レジスタの ADCS[1:0] ビットを 01B（グループ・スキャン・モード）に設定してください。ADCS[1:0] ビットを他の値に設定した場合，適切な動作は保証されません。
グループ優先動作では，低優先グループのスキャン中に優先グループのスキャンの開始を受け付けると，低優先グループのスキャンを中断し，優先グループのスキャンを開始します。
優先順位はグループ A＞グループ B です。グループ B のスキャン中にグループ A のスキャンの開始を受け付けると，グループ B のスキャンを中断し，グループ A のスキャンを開始します。
PGS ビットを“0”にする場合は，「12.7.2　A/D 変換停止手順」の注記に従い，ソフトウェアでクリアしてください。PGS ビットを“1”にする場合は，「12.3.4.2　グループ優先動作（ADGSPCR.PGS = 1）」の手順に従い設定してください。

12.2.16 A/D 高電位／低電位基準電圧コントロール・レジスタ（ADHVREFCNT）

ADHVREFCNT レジスタは，高電位および低電位の基準電圧の設定を行います。A/D 変換前に設定してください。

本レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

図 12－18　A/D 高電位／低電位基準電圧コントロール・レジスタ（ADHVREFCNT）

アドレス：F06BAH（ADWINR = 08H）　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADHVREFCNT	ADSLP	0	0	LVSEL	0	0	0	HVSEL

ADSLP	アナログ回路スタンバイ制御
0	通常動作モード
1	アナログ回路スタンバイ・モードに移行
12 ビット A/D コンバータをスタンバイ状態にします。 ADSLP ビットは，ADST ビットを“0”に設定した後で設定してください。ADSLP ビットを“1”にした後は 5 μs 以上経ってから“0”にしてください。また，ADSLP ビットを“0”にした後は，1 μs 以上待ってから A/D 変換を開始してください。 STOP モードでは，このビットの設定に関係なく 12 ビット A/D コンバータはスタンバイ状態になります。	

LVSEL	Low 側基準電源選択
0	V_{SS} を選択
1	AV_{REFM} を選択
低電位側基準電圧の設定を行います。V_{SS}，AV_{REFM} から選択できます。	

HVSEL	High 側基準電源選択
0	V_{DD} を選択
1	AV_{REFP} を選択
高電位側基準電圧の設定を行います。V_{DD}，AV_{REFP} から選択できます。	

12.2.17 A/D 変換クロック制御レジスタ（ADCKS）

ADCKS レジスタは，A/D クロック（ADCLK）と周辺ハードウェア・クロック（f_{CLK}）との分周比の設定を行います。A/D 変換を開始する前に ADCKS レジスタを設定してください。

本レジスタは，8 ビット・メモリ操作命令で設定します。

IAWCTL レジスタの GCSC ビットが“1”のとき，ADCKS レジスタへの書き込みはできません。

図 12－19　A/D 変換クロック制御レジスタ（ADCKS）のフォーマット

アドレス：F00E0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADCKS	0	0	0	0	0	0	ADCK[1:0]	

ADCK[1:0]	A/D 変換クロック選択
00	分周なし（f_{CLK}）
01	2 分周（$f_{CLK}/2$）
10	4 分周（$f_{CLK}/4$）
11	8 分周（$f_{CLK}/8$）

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

注意　A/D クロック（ADCLK）の周波数が 2 MHz 未満になるような設定は禁止です。

12.2.18 ポート・モード制御レジスタ（PMC3, PMC7-PMC10, PMC12）

ANI0-ANI30 端子をデジタル入出力または A/D コンバータのアナログ入力に切り替えるレジスタです。

これらのレジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，これらのレジスタは FFH になります。

図 12－20　ポート・モード制御レジスタのフォーマット（100 ピン製品）

アドレス：PMC3: F0063H　PMC7: F0067H　PMC8: F0068H　PMC9: F0069H　PMC10: F006AH　PMC12: F006CH
リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PMC3	1	1	1	PMC34	PMC33	1	1	1

略号	7	6	5	4	3	2	1	0
PMC7	1	1	1	PMC74	PMC73	PMC72	PMC71	PMC70

略号	7	6	5	4	3	2	1	0
PMC8	PMC87	PMC86	PMC85	PMC84	PMC83	PMC82	PMC81	PMC80

略号	7	6	5	4	3	2	1	0
PMC9	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

略号	7	6	5	4	3	2	1	0
PMC10	1	1	PMC105	PMC104	PMC103	PMC102	PMC101	PMC100

略号	7	6	5	4	3	2	1	0
PMC12	1	1	PMC125	1	1	1	1	PMC120

PMCmn	Pmn 端子のデジタル入出力／アナログ入力の選択（m = 3, 7-10, 12，n = 0-7）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

注意 1. アナログ入力に設定したポートは，ポート・モード・レジスタ（PMm）で入力モードに選択してください。

2. 搭載していないビットには必ず初期値を設定してください。

12.2.19 ポート・モード・レジスタ（PM3, PM7-PM10, PM12）

ANI0/P80-ANI23/P105 および ANI24/P125-ANI30/P74 端子をアナログ入力端子として使用する場合，PMmn ビットを“1”に設定してください。このとき PMmn の出力ラッチは“0”または“1”となります。

PMmn ビットが“0”の場合，これらの端子はアナログ入力端子として使用できません。

本レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，これらのレジスタは FFH になります。

図 12－21　ポート・モード・レジスタのフォーマット（100 ピン製品）

アドレス：PM3: FFF23H　PM7: FFF27H　PM8: FFF28H　PM9: FFF29H　PM10: FFF2AH　PM12: FFF2CH
リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	1	1	1

略号	7	6	5	4	3	2	1	0
PM7	1	1	1	PM74	PM73	PM72	PM71	PM70

略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

略号	7	6	5	4	3	2	1	0
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

略号	7	6	5	4	3	2	1	0
PM10	1	1	PM105	PM104	PM103	PM102	PM101	PM100

略号	7	6	5	4	3	2	1	0
PM12	1	1	PM125	1	1	1	1	PM120

PMmn	入力／出力選択
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意 1. 使用できる端子は製品により異なります。詳細については「第 2 章　端子機能」を参照してください。

2. 端子がアナログ入力ポートとして設定されている場合，端子レベルではなく常に“0”が読み取られます。

3. AV_{REFP} および AV_{REFM} を使用する場合，ANI6 および ANI7 端子をアナログ入力チャネルとし，ポート・モード・レジスタを入力モードに設定してください。

備考　m = 3, 7-10, 12，n = 0-7

ANI0～ANI15 端子は，ポート・モード・コントロール・レジスタ 3, 8, 9（PMC3, PMC8, PMC9），A/D チャネル選択レジスタ A0/B0（ADANSA0, ADANSB0），PM3, PM8, PM9 レジスタに応じて，以下のようになります。

表 12－17　ANI0-ANI15 端子の機能設定

PMC3, PMC8, PMC9	PM3, PM8, PM9	ADANSA0, ADANSB0	ANI0-ANI15 端子
デジタル入力/出力選択	入力モード	–	デジタル入力
	出力モード	–	デジタル出力
アナログ入力選択	入力モード	ANI 選択	アナログ入力（A/D 変換に使用する）
		ANI 非選択	アナログ入力（A/D 変換に使用しない）
	出力モード	ANI 選択	設定禁止
		ANI 非選択	

ポート・モード・コントロール・レジスタ 7, 9, 10, 12（PMC7, PMC9, PMC10, PMC12），A/D チャネル選択レジスタ A1/B1（ADANSA1, ADANSB1），PM7, PM9, PM10, PM12 レジスタによる ANI16-ANI30 端子の機能設定を以下に示します。

表 12－18　ANI16-ANI30 端子の機能設定

PMC7, PMC9, PMC10, PMC12	PM7, PM9, PM10, PM12	ADANSA1, ADANSB1	ANI16-ANI30 端子
デジタル入力/出力選択	入力モード	–	デジタル入力
	出力モード	–	デジタル出力
アナログ入力選択	入力モード	ANI 選択	アナログ入力（A/D 変換に使用する）
		ANI 非選択	アナログ入力（A/D 変換に使用しない）
	出力モード	ANI 選択	設定禁止
		ANI 非選択	

12.2.20 A/D コンバータ・アクセス・ウィンドウ選択レジスタ（ADWINR）

ADWINR レジスタは，F06B0H から F06BFH のアドレスに割り当てられているレジスタを切り替えるためにウィンドウを選択します。

本レジスタは，8 ビット・メモリ操作命令で設定します。

図 12－22　A/D コンバータ・アクセス・ウィンドウ選択レジスタ（ADWINR）のフォーマット

アドレス：FFF30H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADWINR	0	0	0	0	ADPAGE[3:0]			

ADPAGE[3:0]	A/D コンバータ・アクセス・ウィンドウ選択
0000B	ADCSR，ADANSA0，ADANSA1，ADADS0，ADADS1，ADADC，ADCER レジスタの読み出し／書き込み許可
0001B	ADSTRGR，ADEXICR，ADANSB0，ADANSB1，ADOCDR，ADRD レジスタの読み出し／書き込み許可
0010B	ADDRy（y：0-7）レジスタの読み出し許可
0011B	ADDRy（y：8-15）レジスタの読み出し許可
0100B	ADDRy（y：16-23）レジスタの読み出し許可
0101B	ADDRy（y：24-30）レジスタの読み出し許可
0110B	ADSHCR レジスタの読み出し／書き込み許可
0111B	ADDISCR レジスタの読み出し／書き込み許可
1000B	ADGSPCR と ADHVREFCNT レジスタの読み出し／書き込み許可
1101B	ADSSTRL と ADSSTRO レジスタの読み出し／書き込み許可
1110B	ADSSTRn（n：0-15）レジスタの読み出し／書き込み許可
上記以外	設定禁止
ADPAGE ビットは，A/D コンバータ・アクセス・ウィンドウを選択し，レジスタの読み出し／書き込みを許可します。 各 A/D 関連レジスタにアクセスする前に，このレジスタを設定してください。	

12.3　動作説明

12.3.1　スキャンの動作説明

スキャンとは，選択したチャネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには，シングル・スキャン・モードと連続スキャン・モードとグループ・スキャン・モードの 3 種類の動作モードがあります。

シングル・スキャン・モードは，指定した 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャン・モードは指定した 1 チャネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを（“1”の状態から）“0”にクリアするまで繰り返し実施するモードです。

グループ・スキャン・モードは，グループ A とグループ B のスキャンをそれぞれ選択した同期トリガで開始し，グループ A とグループ B で選択したチャネルのスキャンをそれぞれ 1 回ずつ実施して終了するモードです。

シングル・スキャン・モード，連続スキャン・モードはスキャン変換が開始すると，ADANSA0，ADANSA1 レジスタで選択した ANIn の n が小さい番号順で A/D 変換を行います。グループ・スキャン・モードは，グループ A が ADANSA0, ADANSA1 レジスタで選択した ANIn の n が小さい番号順，グループ B が ADANSB0, ADANSB1 レジスタで選択した ANIn の n が小さい番号順で A/D 変換を行います。

自己診断を選択した場合は，スキャンごとの最初に 1 回実施され，12 ビット A/D コンバータ内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

ADSHCR.SHANS[2:1] で ANI1-ANI2 のいずれかをチャネル専用サンプル＆ホールド回路使用に設定すると，スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル＆ホールドを行います。

内部基準電圧（V_{BGR}）を A/D 変換する場合は，シングル・スキャン・モードで，他のチャネルを選択せずに実施してください。

注意　ADCSR.ADST ビットが“1”の期間（スキャン中）は，グループ優先動作以外はスキャン・モードに関係なく，A/D 変換開始条件となるソフトウェア・トリガ，または同期トリガ入力は無効となります。

12.3.2　シングル・スキャン・モード

12.3.2.1　基本動作（チャネル専用サンプル＆ホールドなし）

シングル・スキャン・モードの基本動作は，指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

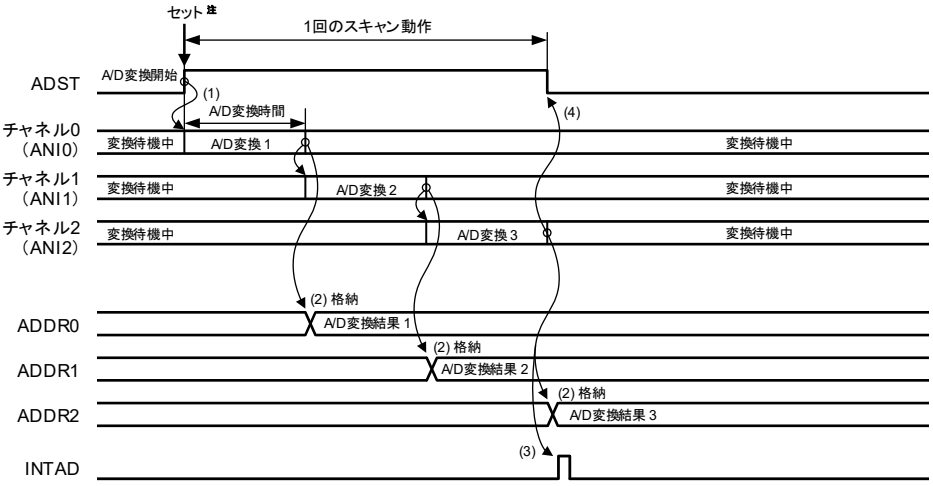
(1) ソフトウェア，同期トリガまたは非同期トリガ入力によって，ADCSR.ADST ビットが“1”（A/D 変換開始）になると，ADANSA0，ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。

(2) 1 チャネルの A/D 変換が終了すると，A/D 変換結果は対応する A/D データ・レジスタ（ADDRy，ADDRxM）に格納されます。

(3) 選択されたすべてのチャネルの A/D 変換終了後，ADCSR.ADIE ビットが“1”（スキャン終了による INTAD 割り込み許可）に設定されていると，INTAD 割り込み要求を発生します。

(4) ADCSR.ADST ビットは A/D 変換中は“1”（A/D 変換開始）を保持し，選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ，12 ビット A/D コンバータは待機状態になります。

図 12－23　シングル・スキャン・モードの動作例（基本動作：ANI0，ANI1，ANI2 選択）



注 ↓ は，ソフトウェアによる命令実行を示します。

12.3.2.2　基本動作（チャネル専用サンプル＆ホールドあり）

チャネル専用サンプル＆ホールド回路を使用すると，以下のようにサンプル＆ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは，ADSHCR.SHANS[2:1] ビットで選択します。

(1) ソフトウェアまたは同期トリガ入力によって ADCSR.ADST ビットが“1”（A/D 変換開始）になると，チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。

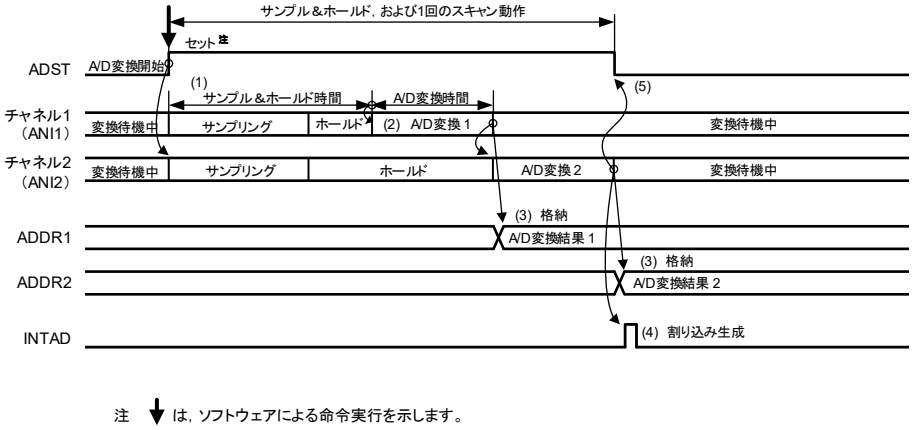
(2) サンプル＆ホールド実施後に，ADANSA0 および ADANSA1 レジスタで選択したチャネル ANIn の n が小さい番号順に A/D 変換を開始します。

(3) チャネルの A/D 変換が終了すると，A/D 変換結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）へ格納されます。

(4) 選択されたすべてのチャネルの A/D 変換終了後，ADCSR.ADIE ビットが“1”（スキャン終了後の割り込み発生の許可）に設定されていると，スキャン終了割り込み要求を発生します。

(5) ADCSR.ADST ビットは A/D 変換中は“1”（A/D 変換開始）を保持し，選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ，12 ビット A/D コンバータは待機状態になります。

図 12－24　シングル・スキャン・モードの動作例（チャネル専用サンプル＆ホールド回路あり，ANI1，ANI2 選択）



注意　チャネル専用サンプル＆ホールド回路のホールド時間と A/D コンバータのサンプリング時間の最大合計値は 10 μs です。ADCLK（A/D クロック）と対象チャネルのサンプリング時間を 10 μs 以内になるように設定してください。

12.3.2.3　内部基準電圧（V_{BGR}）選択時の A/D 変換動作

内部基準電圧を選択した場合，シングル・スキャン・モードを使用してください。

チャネル選択はすべて非選択（ADANSA0，ADANSA1 レジスタ・ビットはすべて“0”）に設定してください。

内部基準電圧（V_{BGR}）の A/D 変換は，以下のようにシングル・スキャン・モードで実行されます。

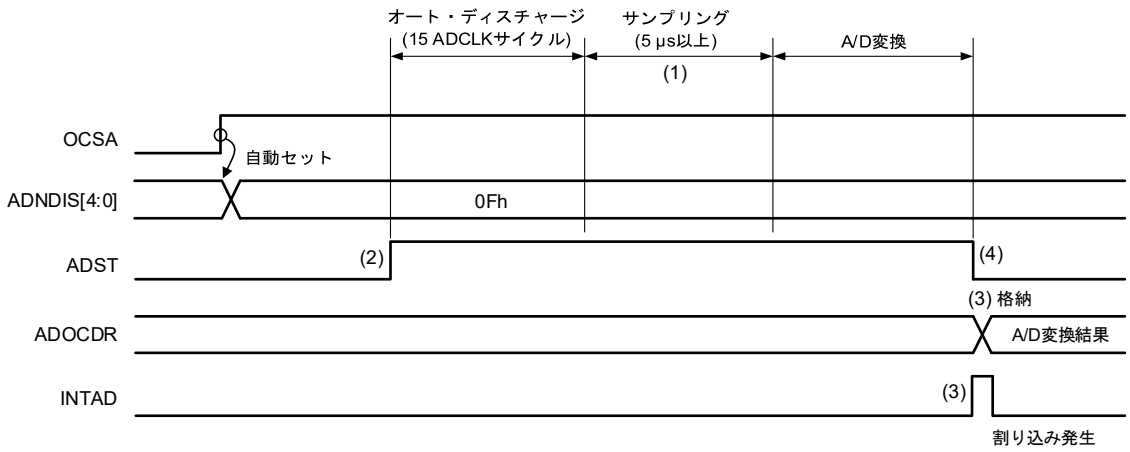
(1) サンプリング時間は 5 μs 以上になるように設定してください。

(2) 内部基準電圧の A/D 変換に切り替えた後，ADCSR レジスタの ADST ビットを“1”にセットすると内部基準電圧の A/D 変換動作を開始します。

(3) A/D 変換が終了すると，A/D 変換結果は対応する A/D 内部基準電圧データ・レジスタ（ADOCDR）に格納され，ADCSR.ADIE ビットが“1”（スキャン終了による INTAD 割り込み許可）に設定されていると，INTAD 割り込み要求を発生します。

(4) ADST ビットは A/D 変換中は“1”（A/D 変換開始）を保持し，A/D 変換が終了すると自動的に“0”クリアされ，12 ビット A/D コンバータは待機状態になります。

図 12－25　シングル・スキャン・モードの動作例（内部基準電圧（V_{BGR}）選択）



12.3.3　連続スキャン・モード

12.3.3.1　基本動作（チャネル専用サンプル＆ホールドなし）

連続スキャン・モードの基本動作は，選択されたチャネルのアナログ入力を以下のように繰り返し A/D 変換します。

連続スキャン・モード時は，内部基準電圧 A/D 変換選択ビット（ADEXICR.OCSA）は“0”（非選択）に設定します。

(1)　ソフトウェアまたは同期トリガ入力によって ADCSR.ADST ビットが“1”（A/D 変換開始）になると，ADANSA0，ADANSA1 レジスタで選択した ANIn の n が小さい番号順に A/D 変換を開始します。

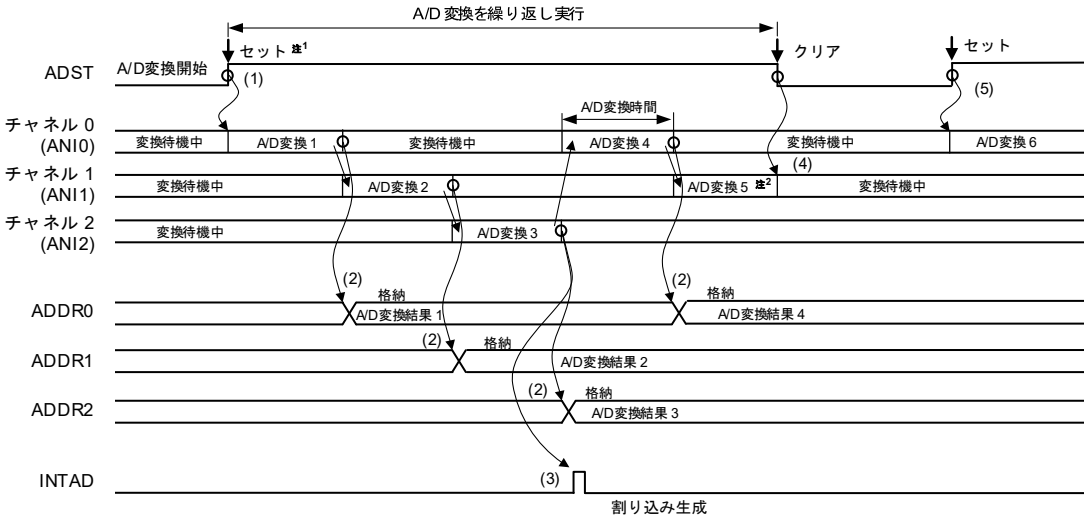
(2)　1 チャネルの A/D 変換が終了すると，A/D 変換結果は対応する A/D データ・レジスタ（ADDRy，ADDRxM）に格納されます。

(3)　選択されたすべてのチャネルの A/D 変換終了後，ADCSR.ADIE ビットが“1”（スキャン終了による INTAD 割り込み許可）に設定されていると，INTAD 割り込み要求を発生します。
また 12 ビット A/D コンバータは，継続して ADANSA0 および ADANSA1 レジスタで選択した ANIn の n が小さい番号順に A/D 変換を開始します。

(4)　ADCSR.ADST ビットは自動的に“0”クリアされず，“1”（A/D 変換開始）の間は (2)～(3) を繰り返します。
ADCSR.ADST ビットを“0”（A/D 変換停止）に設定すると A/D 変換を中止し，12 ビット A/D コンバータは待機状態になります。

(5)　その後，ADCSR.ADST ビットを“1”（A/D 変換開始）にセットすると再び ADANSA0 および ADANSA1 レジスタで選択した ANIn の n が小さい番号順に A/D 変換を開始します。

図 12－26　連続スキャン・モードの動作例（基本動作：ANI0，ANI1，ANI2 選択）



注 1. ↓は，ソフトウェアによる命令実行を示します。
2. A/D変換 5 の変換データ（変換途中）は無視されます。

12.3.3.2　基本動作（チャネル専用サンプル＆ホールドあり）

チャネル専用サンプル＆ホールド回路を使用すると，以下のようにサンプル＆ホールド実施後に，選択したすべてのチャネルのアナログ入力を A/D 変換する動作を繰り返します。チャネル専用サンプル＆ホールド回路を使用するチャネルは，ADSHCR.SHANS[2:1] ビットで選択します。連続スキャン・モード時は，内部基準電圧 A/D 変換選択ビット（ADEXICR.OCSA）は“0”（非選択）を設定します。

(1) ソフトウェアまたは同期トリガ入力によって ADCSR.ADST ビットが“1”（A/D 変換開始）になると，チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。

(2) サンプル＆ホールド実施後に，ADANSA0 および ADANSA1 レジスタで選択したチャネル ANIn の n が小さい番号順に A/D 変換を開始します。

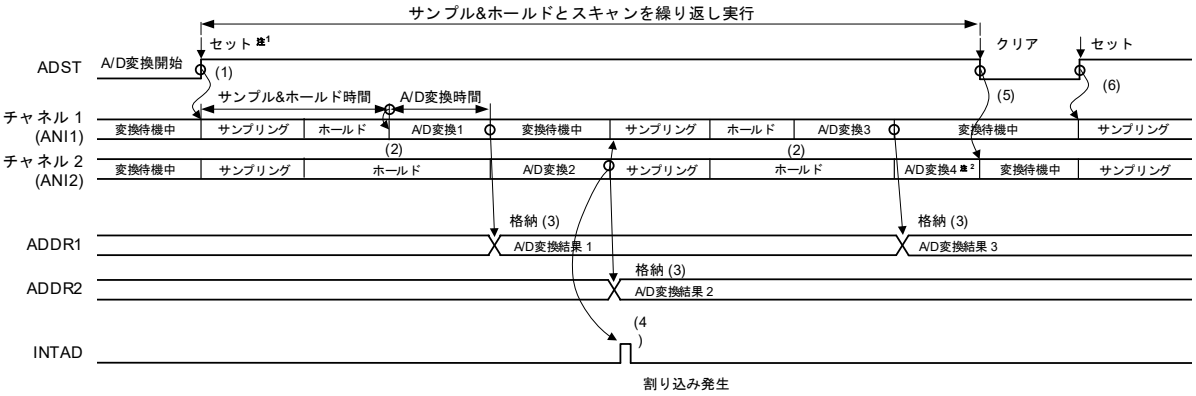
(3) チャネルの A/D 変換が終了すると，A/D 変換結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）へ格納されます。

(4) 選択したすべてのチャネルの A/D 変換終了後，ADCSR.ADIE ビットが“1”（スキャン終了による割り込み発生の許可）に設定されていると，スキャン終了割り込み要求を発生します。また，チャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。

(5) ADCSR.ADST ビットは自動的にクリアされず，“1”にセットされている間は (2)～(4) を繰り返します。ADCSR.ADST ビットを“0”（A/D 変換停止）に設定すると A/D 変換を中止し，12 ビット A/D コンバータは待機状態になります。

(6) その後，ADCSR.ADST ビットが“1”（A/D 変換開始）になると，再びチャネル専用サンプル＆ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。

図 12－27　連続スキャン・モードの動作例（チャネル専用サンプル＆ホールド回路あり）



注 1. ↓ は，ソフトウェアによる命令実行を示します。
2. A/D変換 4 の変換データ（変換途中）は無視されます。

注意　チャネル専用サンプル＆ホールド回路のホールド時間と AD コンバータ内のサンプリング時間（t_{SPL}）の最大合計値は 10 μs です。ADCLK（A/D クロック）と対象チャネルのサンプリング時間を 10 μs 以内になるように設定してください。

12.3.4　グループ・スキャン・モード

12.3.4.1　基本動作

グループ・スキャン・モードの基本動作は，同期トリガをスキャン開始条件とし，グループ A とグループ B のそれぞれで選択したすべてのチャネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は，シングル・スキャン・モードと同じ動作になります。

グループ・スキャン・モードのトリガ設定は，ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し，ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように，グループ A とグループ B のトリガは別々のトリガにしてください。また，ソフトウェア・トリガは使用しないでください。

A/D 変換対象とするチャネルは，ADANSA0，ADANSA1 レジスタでグループ A のチャネルを選択し，ADANSB0，ADANSB1 レジスタでグループ B のチャネルを選択します。ADANSA0/ADANSA1 および ADANSB0/ADANSB1 レジスタでグループ A とグループ B の同じチャネルを選択しないでください。

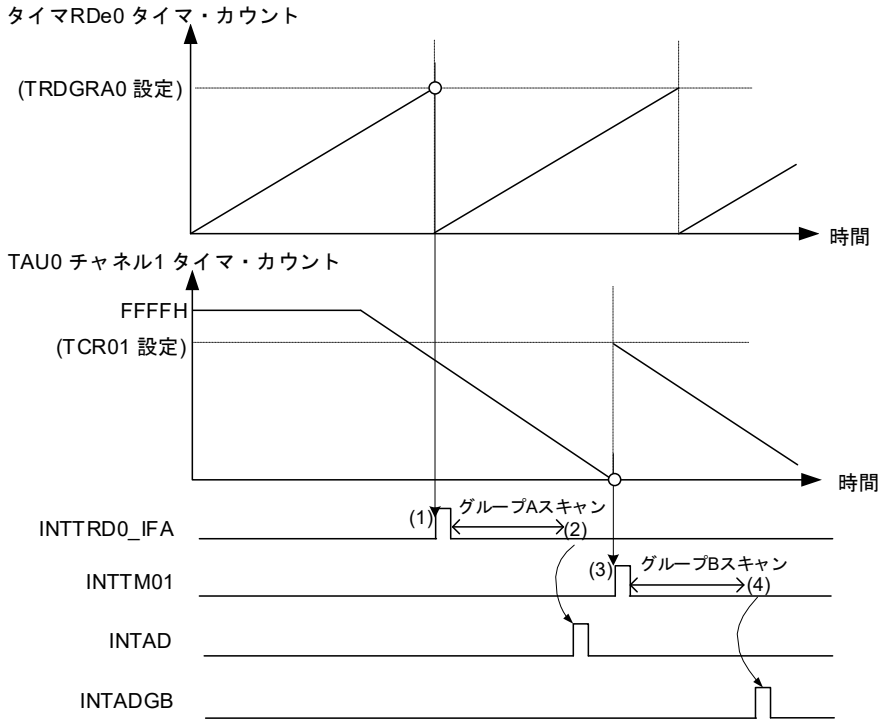
グループ・スキャン・モードで自己診断を選択した場合は，グループ A とグループ B それぞれで自己診断を実施します。

以下にタイマからの同期トリガによるグループ・スキャン・モードの動作例を示します。グループ A はタイマ RDe0，からの INTTRD0_IFA トリガで変換開始し，グループ B は TAU0 チャネル 1 からの INTTM01 トリガで変換開始する設定です。

動作は以下の通りです。

(1)　タイマ RDe0 からの INTTRD0_IFA トリガでグループ A のスキャンを開始します。
(2)　グループ A のスキャン終了時に ADCSR.ADIE ビットが“1”（スキャン終了による INTAD 割り込み許可）に設定されていると，INTAD 割り込みを発生します。
(3)　TAU0 チャネル 1 からの INTTM01 トリガでグループ B のスキャンを開始します。
(4)　グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1”（スキャン終了による INTADGB 割り込み許可）に設定されていると，INTADGB 割り込みを発生します。

図 12－28　同期トリガ使用時のグループ・スキャン・モードでの動作例



12.3.4.2　グループ優先動作（ADGSPCR.PGS = 1）

グループ・スキャン・モードで A/D グループ・スキャン優先コントロール・レジスタ（ADGSPCR）の PGS ビットを“1”にすると，グループ A 優先動作を行います。グループの優先順位はグループ A ＞ グループ B です。

ADGSPCR レジスタの PGS ビットを“1”に設定する際は，図 12－29 に記載された手順に従ってください。本手順以外で設定した場合，A/D 変換の動作および格納されたデータは保証されません。

グループ・スキャン・モードの基本動作では，グループ A，もしくはグループ B の A/D 変換動作中に他方のトリガ入力があっても無視されます。各グループの A/D 変換動作は，シングル・スキャン・モードの動作と同様です。

グループ優先動作では，低優先グループの A/D 変換動作中に優先グループのトリガ入力があった場合，低優先グループの A/D 変換動作を中断して，優先グループの A/D 変換動作を行います。

ADGSPCR.GBRSCN ビットが“0”のときは，優先グループの A/D 変換動作終了後に待機状態となります。A/D 変換動作中に発生した低優先順位グループへのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが“1”のときは，優先グループの A/D 変換動作終了後，自動的に低優先グループの A/D 変換動作をスキャン先頭から再開します。優先グループの A/D 変換動作中に発生した低優先グループへのトリガ入力は有効で優先グループの A/D 変換動作終了後に低優先グループの A/D 変換が実施されます。

ADGSPCR.GBRSCN ビットが“1”で，ADGSPCR.LGRRS ビットが“0”の場合，低優先グループの A/D 変換は先頭チャネルから再開されます。ADGSPCR.LGRRS ビットの設定が“1”の場合，低優先グループの A/D 変換は，変換が中断したチャネルから再開されます。ただし，自己診断機能を使用する場合は，自己診断終了後，変換を中断したチャネルから A/D 変換を再開します。

ADGSPCR.GBRSCN ビットの設定と A/D 変換動作中のトリガ入力に対応する動作を表 12－19 に示します。

ADGSPCR.GBRP ビットに“1”を設定すると，低優先グループの A/D 変換動作は，連続したシングル・スキャン動作になります。

グループ・スキャン・モードのトリガ設定は，ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し，ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択してください。グループ A とグループ B の各トリガは互いに異なる設定にしてください。ADGSPCR.GBRP ビットに“1”を設定する場合は，ADSTRGR.TRSB[5:0] ビットは 3FH を設定してください。

図 12－29　ADGSPCR.PGS ビット設定時のフロー

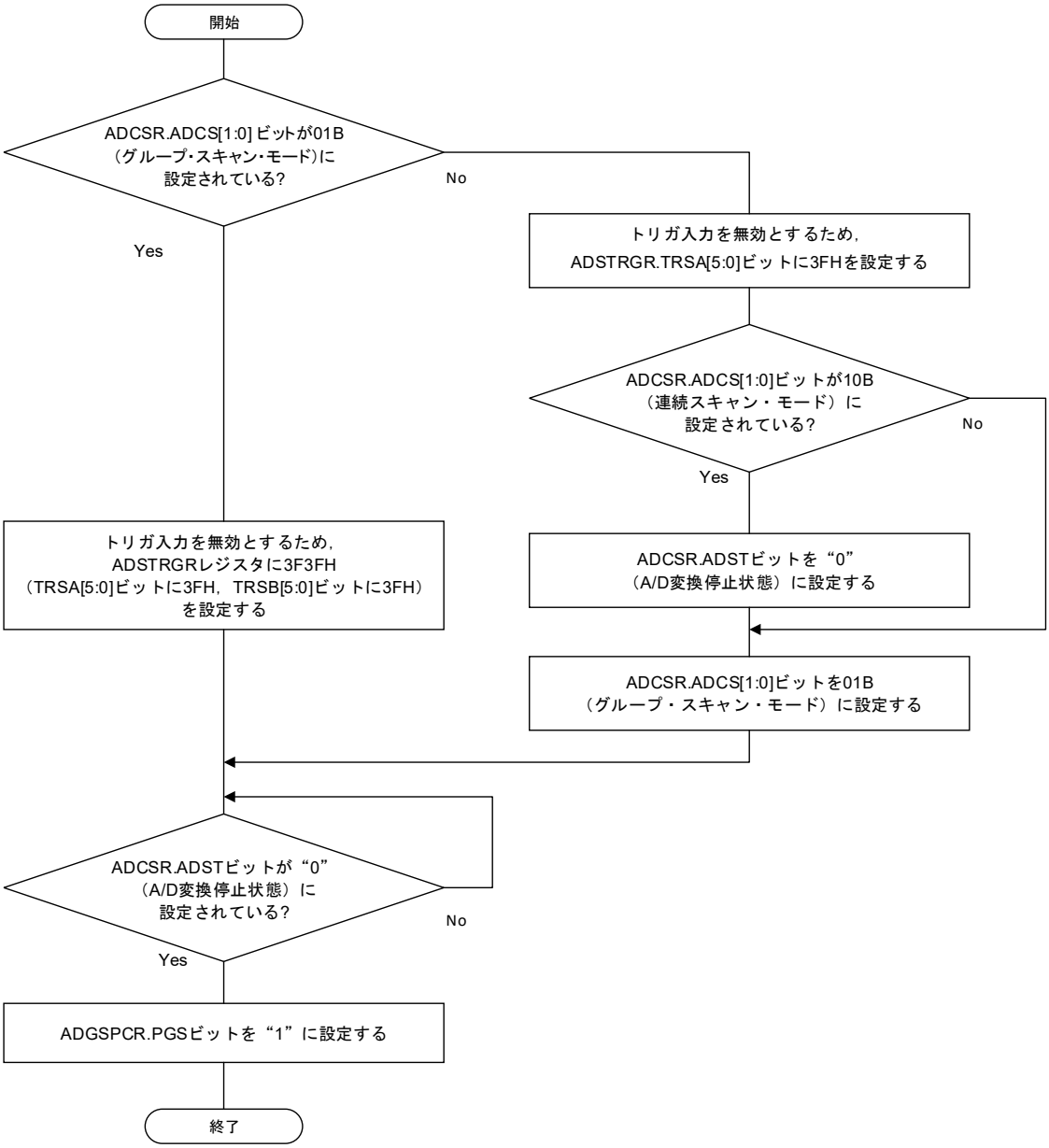


表 12－19　ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換動作中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後，グループ B の A/D 変換動作開始
グループ B の A/D 変換動作中	グループ A トリガ入力	グループ B の A/D 変換を中断し，グループ A の A/D 変換動作開始	• グループ B の A/D 変換を中断し，グループ A の A/D 変換動作開始 • グループ A の A/D 変換終了後，グループ B の A/D 変換動作開始
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合，実装されている動作モードを選択し，次の表に従ってレジスタを設定します。

表 12－20　グループ優先動作設定と 2 グループの動作モード（ADGSPCR.PGS = 1）

ADGSPCR			動作カテゴリ
GBRSCN	LGRRS	GBRP	
0	x 注2	0	グループ A のトリガが入力されると，グループ B の A/D 変換が終了します。（再開始しません）
1	0	0	グループ B の A/D 変換が中断した後，グループ A の A/D 変換が完了すると，ADANSB0 および ADANSB1 レジスタで選択されたグループ B チャネルの A/D 変換がチャネル番号の小さい順に再開します。
1	1	0	グループ B の A/D 変換が中断した後，グループ A の A/D 変換が完了すると，ADANSB0 および ADANSB1 レジスタで選択されたグループ B チャネルの A/D 変換を中断したチャネルからチャネル番号の小さい順に再開します。注1
x 注2	0	1	トリガ入力無しでグループ B の連続シングル・スキャンを開始します。グループ B の A/D 変換が中断した後，グループ A の A/D 変換が完了すると，ADANSB0 および ADANSB1 レジスタで選択されたグループ B チャネルの A/D 変換がチャネル番号の小さい順に再開します。
1	1	1	トリガ入力無しでグループ B の連続シングル・スキャンを開始します。グループ B の A/D 変換が中断した後，グループ A の A/D 変換が完了すると，ADANSB0 および ADANSB1 レジスタで選択されたグループ B チャネルの A/D 変換を中断したチャネルからチャネル番号の小さい順に再開します。注1

注 1. 自己診断機能が有効な場合（ADCER.DIAGM = 1），自己診断を実行した後，A/D 変換を中断したチャネルの A/D 変換を開始します。

2. x は，設定値に依存しません。

動作例 1～3（12.3.4.2.1～12.3.4.2.3）は，グループ A にチャネル 0 が選択され，グループ B にチャネル 1～3 が選択された場合のグループ・スキャン・モード（ADGSPCR.GBRSCN = 1，ADGSPCR.LGRRS = 0，ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

動作例 4（12.3.4.2.4）は，グループ A にチャネル 0 が選択され，グループ B にチャネル 1～3 が選択された場合のグループ・スキャン・モード（ADGSPCR.GBRSCN = 0，ADGSPCR.LGRRS = 0，ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

動作例 5（12.3.4.2.5）は，グループ A にチャネル 0 が選択され，グループ B にチャネル 1～2 が選択された場合のグループ・スキャン・モード（ADGSPCR.LGRRS = 0，ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

12.3.4.2.1　動作例 1（再スキャン許可時「グループ B スキャン変換中にグループ A トリガ入力あり」）

(1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1”（A/D 変換開始）になると，ADANSB0, ADANSB1 レジスタで選択したチャネル ANIn の n が小さい番号順に A/D 変換を開始します。

(2) グループ B の各チャネルの A/D 変換が終了すると, A/D 変換結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(3) グループ B の A/D 変換動作中に，グループ A のトリガ入力があると，ADCSR.ADST ビットは“1”のままで A/D 変換を中断します。その後，ADANSA0，ADANSA1 レジスタで選択したチャネル ANIn の n が小さい番号順に A/D 変換を開始します。A/D 変換が終了する前に中断した場合，変換結果は A/D データ・レジスタ（ADDRy，ADDRxM）に保存されません。

(4) 1 チャネルの A/D 変換が終了すると，A/D 変換結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(5) ADCSR.ADIE ビットが“1”（スキャン終了割り込みが許可）に設定されていると，A/D スキャン終了割り込み要求を発生します。

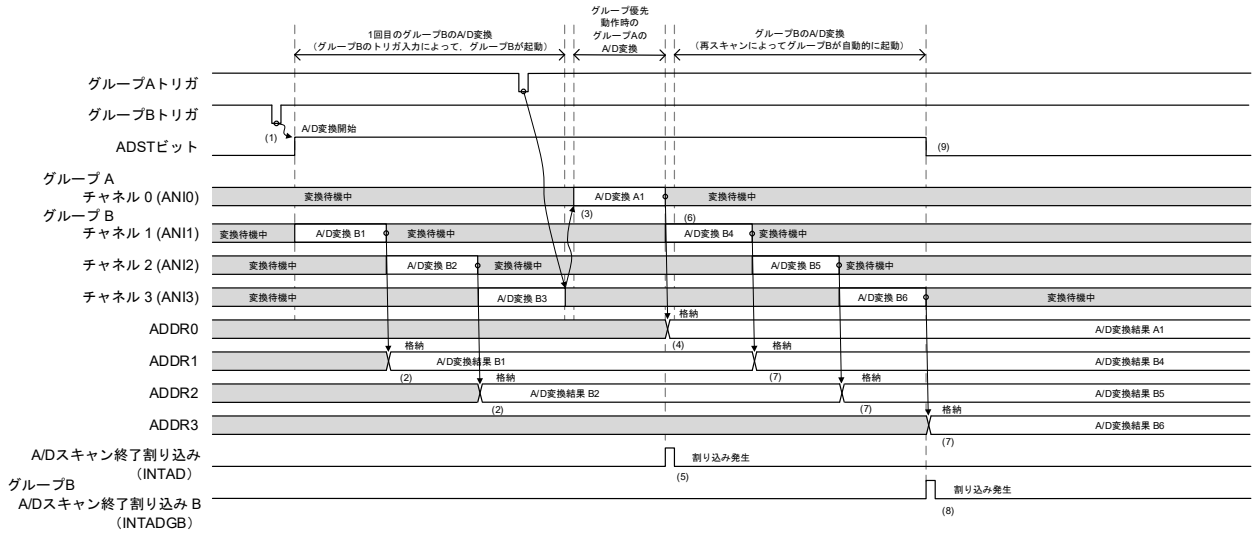
(6) ADGSPCR.GBRSCN ビットが“1”（グループ優先動作中に中断したグループのスキャンが許可）に設定されていると，ADCSR.ADST ビットが“1”のまま，ADANSB0，ADANSB1 レジスタで選択したチャネル ANIn の n が小さい番号順にグループ B の A/D 変換を再度開始します。

(7) 1 チャネルの A/D 変換が終了すると，A/D 変換結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(8) ADCSR.GBADIE ビットが“1”（グループ B のスキャン終了割り込みが許可）に設定されていると，グループ B の A/D スキャン終了割り込み要求を発生します。

(9) 全チャンネルの A/D 変換が終了すると，ADCSR.ADST ビットが自動的にクリアされ，A/D コンバータは待機状態になります。

図 12－30　グループ優先動作例 1：再スキャン許可時グループ B スキャン変換中にグループ A トリガ入力あり
（ADGSPCR.GBRSCN = 1，ADGSPCR.GBRP = 0，ADGSPCR.LGRRS = 0）



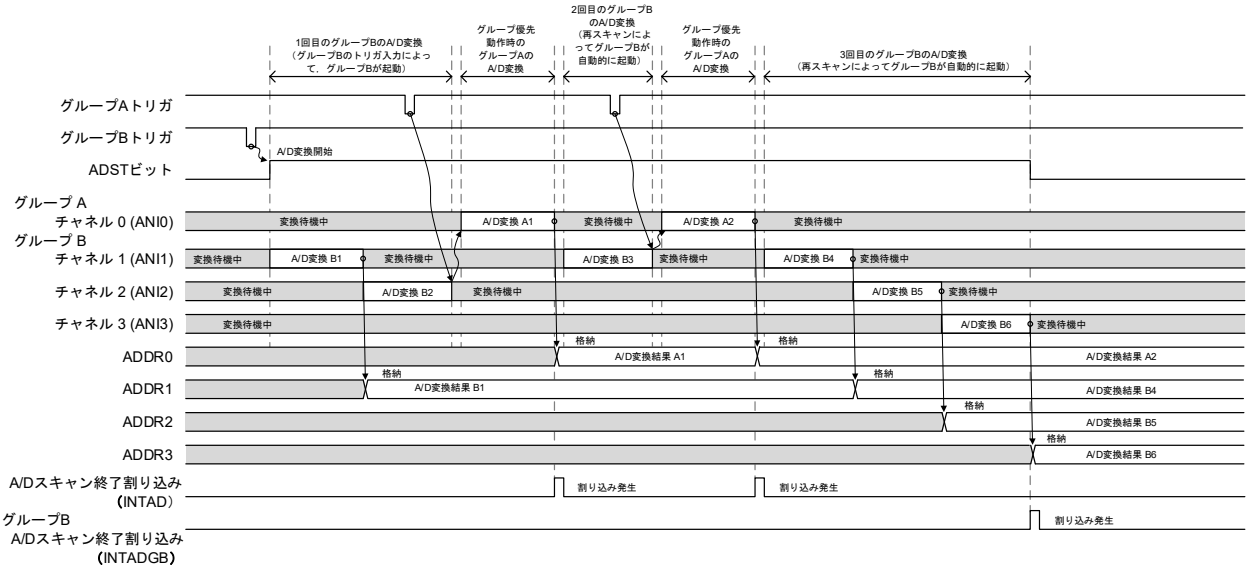
12.3.4.2.2　動作例 2（再スキャン許可時「グループ B 再スキャン変換中にグループ A トリガ入力あり」）

図 12－31 に，グループ B の再スキャン変換中にグループ A のトリガが入力された場合の動作を示します。

再スキャン変換中でも，グループ A のトリガを入力すると，グループ B の A/D 変換が中断し，グループ A の A/D 変換を開始します。グループ B の A/D 変換は，グループ A の A/D 変換が完了した後に開始します。

ADCSR.ADST ビットの設定，A/D 変換結果の対応する A/D データ・レジスタ（ADDRy, ADDRxM）への格納，割り込み要求の生成動作は，動作例 1 と同じです。

図 12－31　グループ優先動作例 2：再スキャン許可時グループ B 再スキャン変換中にグループ A トリガ入力あり
（ADGSPCR.GBRSCN = 1，ADGSPCR.GBRP = 0，ADGSPCR.LGRRS = 0）



12.3.4.2.3　動作例 3（再スキャン許可時「グループ A スキャン変換中にグループ B トリガ入力あり」）

(1) グループ A のトリガ入力によって，ADCSR.ADST ビットが“1”（A/D 変換開始）になると，ADANSA0, ADANSA1 レジスタで選択したグループ A のアナログ入力チャネル ANIn の n が小さい番号順に A/D 変換を開始します。

(2) グループ A の A/D 変換中にグループ B のトリガ入力があると，グループ B は A/D 変換を実行できる状態となります。

(3) グループ A の各チャネルの A/D 変換が終了すると, A/D 変換結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(4) ADCSR.ADIE ビットが“1”（スキャン終了による割り込みが許可）に設定されていると，A/D スキャン終了割り込み要求を発生します。

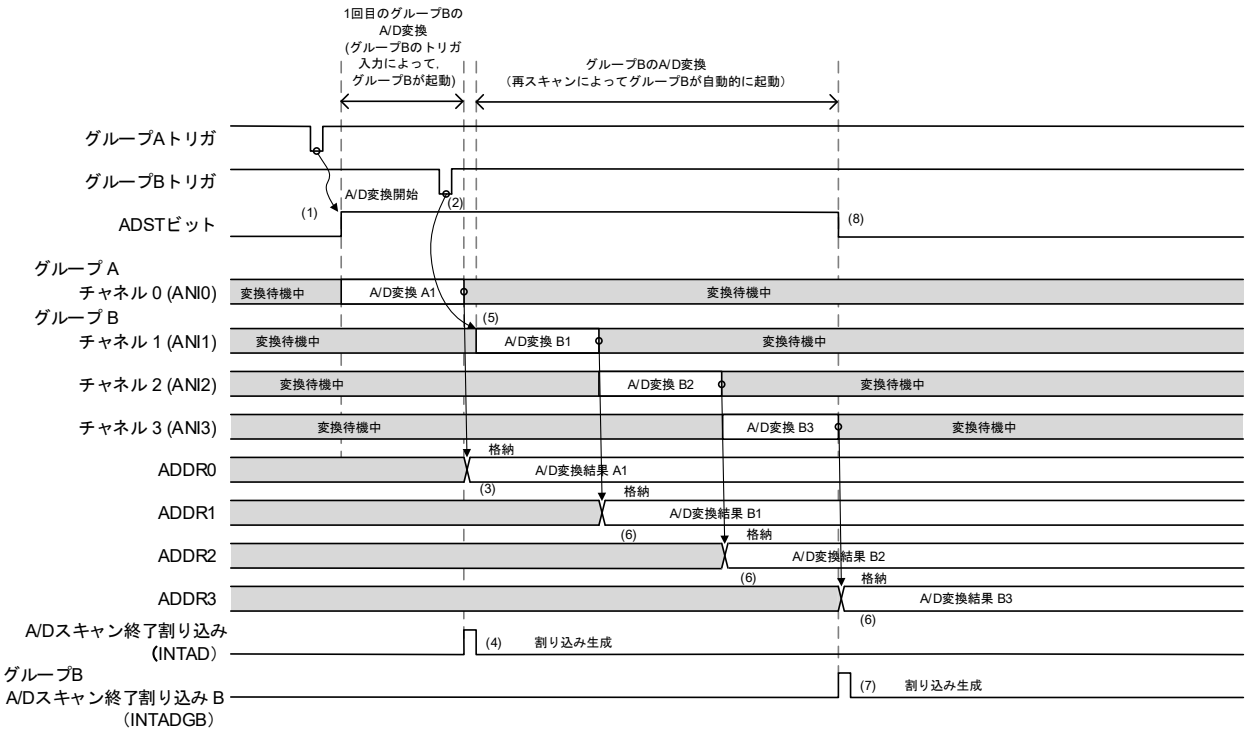
(5) グループ A の A/D 変換が完了すると, ADCSR.ADST ビットは“1”のままで, ADANSB0 および ADANSB1 レジスタで選択されたグループ B のアナログ入力チャネル ANIn の n が小さい番号順に A/D 変換を再度開始します。（動作例 1-1 の場合と同様に，グループ B の A/D 変換中にグループ A のトリガを入力すると，グループ A の A/D 変換を開始します。グループ A の A/D 変換が完了するとグループ B の A/D 変換を開始します。）

(6) 1 チャネルの A/D 変換が終了すると，結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(7) グループ B の A/D 変換が完了すると，ADCSR.GBADIE ビットが“1”（グループ B スキャン終了による割り込みが許可）の場合，グループ B A/D スキャン終了割り込み要求が生成されます。

(8) 全チャンネルの A/D 変換が終了すると，ADCSR.ADST ビットが自動的にクリアされ，A/D コンバータは待機状態になります。

図 12－32　グループ優先動作例 3：再スキャン許可時グループ A スキャン変換中にグループ B トリガ入力あり
（ADGSPCR.GBRSCN = 1，ADGSPCR.GBRP = 0，ADGSPCR.LGRRS = 0）



12.3.4.2.4　動作例 4（再スキャン禁止時「グループ B スキャン変換中にグループ A トリガ入力あり」）

動作例 4 は，グループ A にチャネル 0 を選択し，グループ B にチャネル 1～3 を選択したグループ・スキャン・モードでのグループ優先動作（ADGSPCR.GBRSCN = 0，ADGSPCR.GBRP = 0，ADGSPCR.LGRRS = 0 の場合）を示します。

(1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1”（A/D 変換開始）になると，ADANSB0, ADANSB1 レジスタで選択したアナログ入力チャンネル ANIn の n が小さい番号順に A/D 変換を開始します。

(2) グループ B の各チャネルの A/D 変換が終了すると，結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

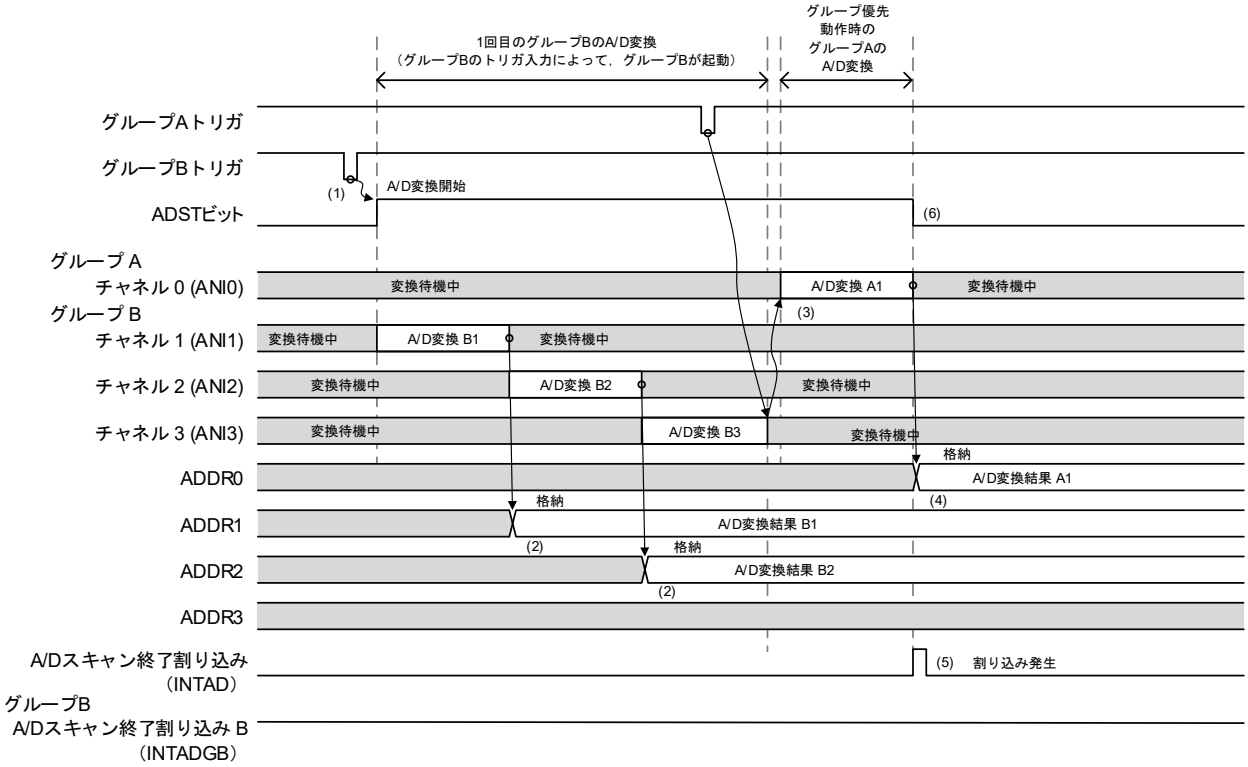
(3) グループ B の A/D 変換中にグループ A のトリガ入力があると，ADCSR.ADST ビットが“1”のままで，グループ B の A/D 変換が中断し，ADANSA0 および ADANSA1 レジスタで選択したグループ A のアナログ入力チャンネル ANIn の n が小さい番号順に A/D 変換を開始します。A/D 変換が終了する前に中断した場合，A/D 変換結果は A/D データ・レジスタ（ADDRy, ADDRxM）に格納されません。

(4) 1 チャネルの A/D 変換が終了すると，結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(5) グループ A の A/D 変換が終了すると，ADCSR.ADIE ビットが“1”（スキャン終了による割り込みが許可）の場合，A/D スキャン終了割り込み要求が生成されます。

(6) グループ A の A/D 変換が終了すると，ADCSR.ADST ビットが自動的にクリアされ，A/D コンバータが待機状態になります。グループ B の A/D 変換は，次にグループ B のトリガが入力されるまで実行されません。

図 12－33　グループ優先動作例 4：再スキャン禁止時グループ B スキャン変換中にグループ A トリガ入力あり（ADGSPCR.GBRSCN = 0，ADGSPCR.GBRP = 0，ADGSPCR.LGRRS = 0）



12.3.4.2.5　動作例 5（グループ B のシングル・スキャン連続動作）

動作例 5 は，グループ A にチャネル 0 を選択し，グループ B にチャネル 1 と 2 を選択したグループ・スキャン・モードでのグループ優先動作（ADGSPCR.GBRP = 1，ADGSPCR.LGRRS = 0 の場合）を示します。

(1) ADGSPCR.GBRP = 1 の場合，ADCSR.ADST ビットが“1”（A/D 変換開始）になると，ADANSB0 および ADANSB1 レジスタで選択したアナログ入力チャンネル ANIn の n が小さい番号順に A/D 変換を開始します。

(2) グループ B の各チャネルの A/D 変換が終了すると，A/D 変換結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(3) グループ B の A/D 変換中にグループ A のトリガ入力があると，ADCSR.ADST ビットが“1”のままで，グループ B の A/D 変換が中断し，ADANSA0 および ADANSA1 レジスタで選択したグループ A のアナログ入力チャンネル ANIn の n が小さい番号順に A/D 変換を開始します。A/D 変換が終了する前に中断した場合，A/D 変換結果は A/D データ・レジスタ（ADDRy, ADDRxM）に格納されません。

(4) 1 チャネルの A/D 変換が終了すると，結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

(5) グループ A の A/D 変換が終了すると，ADCSR.ADIE ビットが“1”（スキャン終了による割り込み生成が許可）の場合，スキャン終了割り込み要求が生成されます。

(6) ADGSPCR.GBRP = 1（シングル・スキャンを連続して実行）に設定されている場合，ADANSB0 および ADANSB1 レジスタで選択されたグループ B アナログ入力チャネル ANIn の n が小さい番号順に A/D 変換を再開します。ADCSR.ADST は“1”（A/D 変換を開始）のままです。

(7) 1 チャネルの A/D 変換が終了すると，結果は対応する A/D データ・レジスタ（ADDRy, ADDRxM）に格納されます。

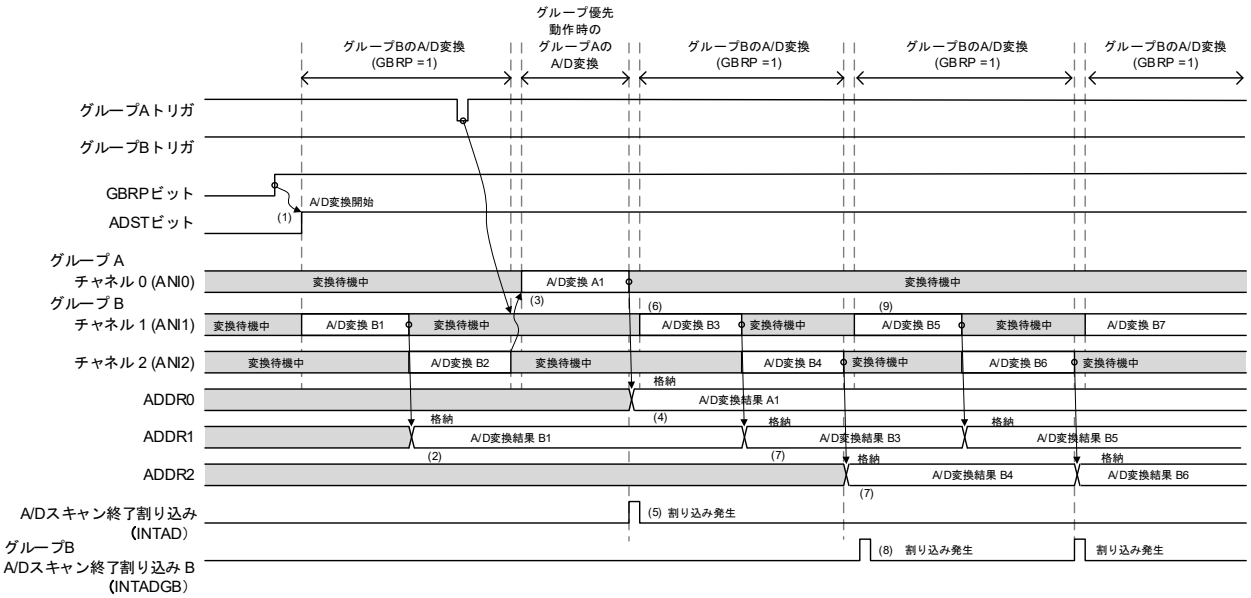
(8) ADCSR.GBADIE ビットが“1”（グループ B スキャンの終了による割り込み生成が許可）の場合，グループ B A/D スキャン終了割り込み要求が生成されます。

(9) ADGSPCR.GBRP = 1 に設定されている場合（シングル・スキャンを連続して実行），ADANSB0 および ADANSB1 レジスタで選択されたグループ B アナログ入力チャネル ANIn の n が小さい番号順に A/D 変換を再開します。ADCSR.ADST は“1”のままです（A/D 変換を開始します）。

ADGSPCR.GBRP ビットが“1”（シングル・スキャン実行）に設定されている間は，手順 6～9 を繰り返します。ADGSPCR.GBRP ビットが“1”に設定されている間は，ADCSR.ADST ビットを“0”にクリアしないでください。ADGSPCR.GBRP = 1 のときに A/D 変換を強制停止させるには，「12.7.2　A/D 変換停止手順」に従ってください。

図 12－34　グループ優先動作例 5：グループ B のシングル・スキャン連続動作 注

（ADGSPCR.GBRP = 1，ADGSPCR.LGRRS = 0）



注　グループ B のシングル・スキャン連続動作の場合，グループ B のトリガ入力を無効に設定してください。

12.3.5　アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は，ソフトウェアまたは同期トリガ入力による起動が選択できます。スキャン変換開始遅延時間（t_D）の後に，チャネル専用サンプル＆ホールド回路処理，断線検出アシスト処理，自己診断変換処理を行い，この後に A/D 変換処理が開始されます。

図 12－35 にソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。

スキャン変換時間（t_{SCAN}）はスキャン変換開始遅延時間（t_D），チャネル専用サンプル＆ホールド回路処理時間（t_{SPLSH}）注1，断線検出アシスト処理時間（t_{DIS}）注2，自己診断変換時間（t_{DIAG}）注3，連続スキャン・モードにおける最後のチャネル変換終了から自己診断サンプリング開始までの待機時間（t_{DSD}），A/D 変換処理時間（t_{CONV}），チャネル専用サンプル＆ホールド回路終了処理時間（t_{SHED}）注4，スキャン変換終了遅延時間（t_{ED}）を含めた時間となります。

A/D 変換処理時間（t_{CONV}）は，サンプリング時間（t_{SPL}），逐次変換時間（t_{SAM}）を合わせた時間となります。サンプリング時間（t_{SPL}）は，A/D コンバータ内のサンプル＆ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や，A/D クロック（ADCLK）が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間（t_{SAM}）は，高速変換動作時で 32 ステート（ADCLK）となります。表 12－21 にスキャン変換時間を示します。

選択チャネル数が n のシングル・スキャンのスキャン変換時間（t_{SCAN}）は，次のように表されます。

$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n)$ 注5 $+ t_{ED}$

連続スキャンの 1 サイクル目は，シングル・スキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。

連続スキャンの 2 サイクル目以降は，

$t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ 注5 $+ t_{SHED}$

となります。

注 1. チャネル専用サンプル＆ホールド回路を使用しない場合は，$t_{SPLSH} = 0$ となります。

2. 断線検出アシスト処理を選択していない場合は，$t_{DIS} = 0$ となります。

3. 自己診断を使用しない場合は，$t_{DIAG} = 0$, $t_{DSD} = 0$ となります。

4. チャネル専用サンプル＆ホールド回路を使用しない場合は，$t_{SHED} = 0$ となります。t_{SHED} は連続スキャン・モード実行時の所要時間です。シングル・スキャン・モードでは，t_{SHED} はスキャン終了遅延時間（t_{ED}）に含まれます。

5. すべての選択チャネルのサンプリング時間（t_{SPL}）が同一の場合，この項は $t_{CONV} \times n$ となります。チャネル毎にサンプリング時間が異なる場合，この項は各チャネルのサンプリング時間（t_{SPL}）と逐次変換時間（t_{SAM}）の総和になります。

表 12－21　A/D スキャン時間（ADCLK，f_{CLK}）

項目			記号		種別/条件		単位
					同期トリガ 注4	ソフトウェア・トリガ	
スキャン開始処理時間 注1, 2	グループ優先動作における優先グループの A/D 変換	低優先グループの変換動作の中断あり（優先グループの A/D 変換トリガ入力により，低優先グループの変換動作停止後，優先グループの A/D 変換が開始）	t_D		2 f_{CLK} + 6 × ADCLK	–	サイクル
		低優先グループの変換動作の中断なし（優先グループの A/D 変換トリガ入力により A/D 変換が開始）			2 f_{CLK} + 4 × ADCLK	–	
	自己診断有効時の A/D 変換	自己診断変換開始時			2 f_{CLK} + 6 × ADCLK	6 ADCLK	
	上記以外				2 f_{CLK} + 4 × ADCLK	4 ADCLK	
チャネル専用サンプル・ホールド処理時間 注1	サンプリング時間		t_{SPLSH}	t_{SH}	ADSHCR.SSTSH[7:0] 設定値 (初期値 = 1AH) × ADCLK		
	サンプリング～A/D 変換のウェイト時間			t_W	13 × ADCLK		
断線検出アシスト処理時間			t_{DIS}		ADDISCR.ADNDIS[3:0] 設定値 (初期値 = 07H) × ADCLK		
自己診断変換処理時間 注1	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR0 設定（初期値=0DH) × ADCLK + 0.5 × ADCLK 注3		
	逐次変換時間	12 ビット変換精度		t_{SAM}	31.5 × ADCLK		
	自己診断終了後の通常の A/D 変換開始までの時間			t_{DED}	2 × ADCLK		
	連続スキャンの最終チャネルの A/D 変換終了後，自己診断変換開始までの時間		t_{DSD}		2 × ADCLK		
A/D 変換処理時間 注1	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn 設定時間 (n = 0-15, L, O) (初期値 = 0DH) × ADCLK + 0.5 × ADCLK 注3		
	逐次変換時間	12 ビット変換精度		t_{SAM}	31.5 × ADCLK		
チャネル専用サンプル・ホールド終了処理時間			t_{SHED}		3 × ADCLK		
スキャン終了処理時間 注1			t_{ED}		1 f_{CLK} + 3 × ADCLK		

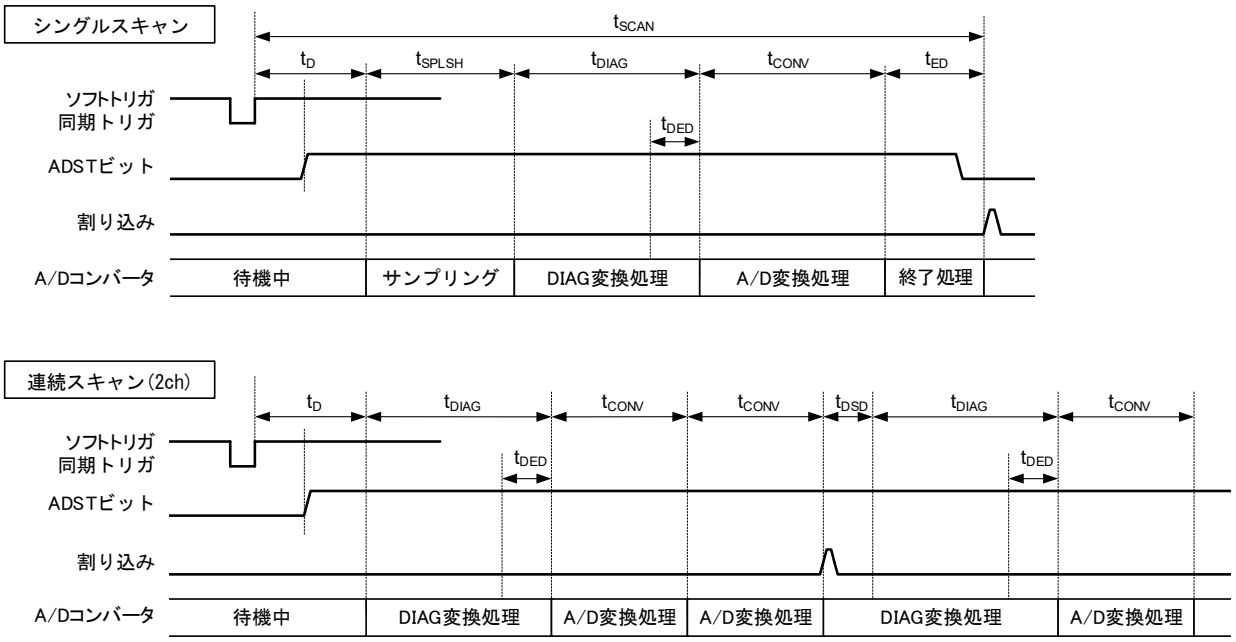
注 1. t_D, t_{SPLSH}, t_{DIAG}, t_{CONV}, t_{ED} に関しては，図 12－35 を参照ください。

2. ソフトウェア書き込み，またはトリガ入力から A/D 変換開始までの最大時間です。

3. サンプリング時間は，ADSSTRn レジスタで ANI チャネルに指定します。

4. タイマ出力からトリガ入力までの遅延時間は含まれていません。

図 12－35　スキャン変換のタイミング（ソフトウェア起動，同期トリガ起動の場合）



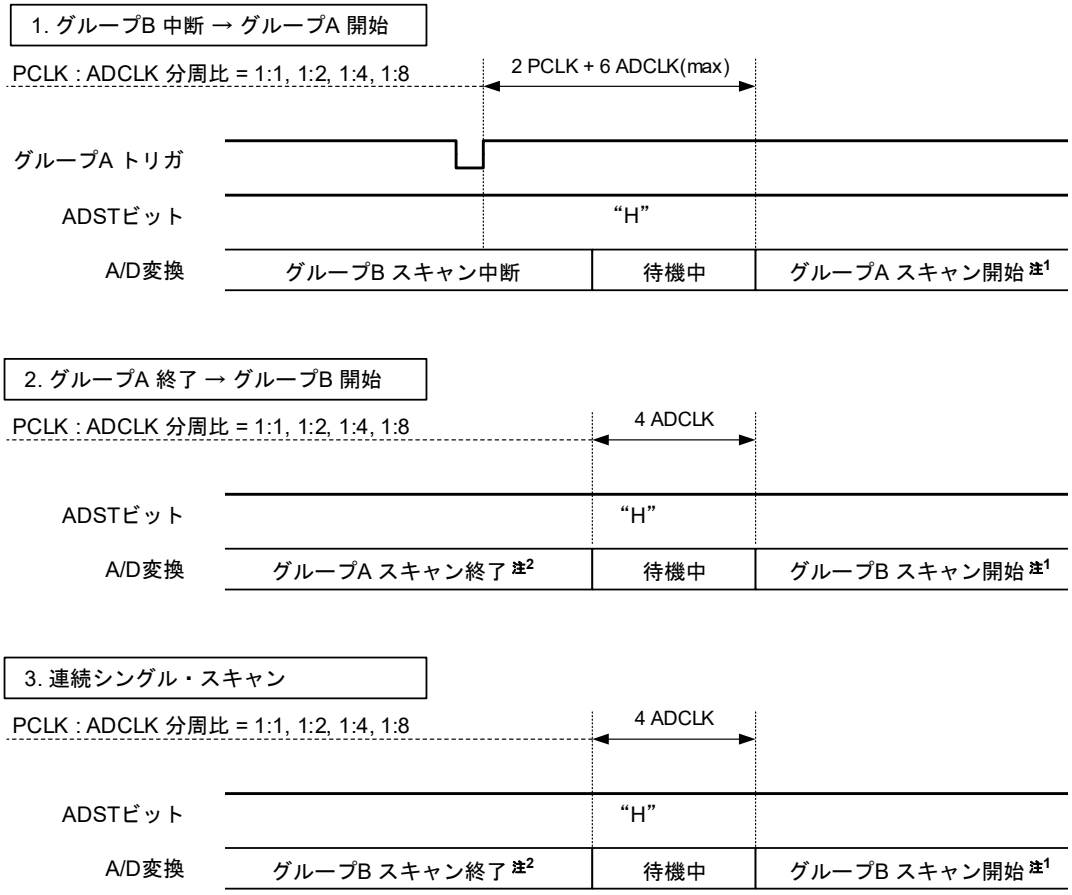
12.3.5.1　グループ優先動作のスキャン中断／開始タイミング

グループ優先動作のスキャン動作を中断／開始するタイミングは，次のとおりです。

1. 低優先グループのスキャンを中断して高優先グループのスキャンを開始するタイミング
2. 中断した低優先グループのスキャンを再開するタイミング； 高優先グループのスキャンが終了した後，高優先グループのスキャン中に入力された低優先グループのトリガによる低優先グループのスキャンを開始するタイミング
3. 低優先グループのシングル・スキャンを連続して実行するタイミング

図 12－36 に，これらのタイミングを示します。

図 12－36　グループ優先動作のスキャン中断／開始タイミング



注 1. スキャン開始処理時間を含まない

2. スキャン終了処理時間を含む

備考 PCLK：CPU／周辺ハードウェア・クロック（f_{CLK}）

12.3.6　A/D データ・レジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより，CPU，DTC によって A/D データ・レジスタ（ADDRy，ADDRxM，ADRD，ADOCDR）を読み出す際，自動的に A/D データ・レジスタを 0000H にクリアできます。

この機能を使うことにより，A/D データ・レジスタ（ADDRy，ADDRxM，ADRD，ADOCDR）の未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効／有効時の例を示します。

ADCER.ACE ビットが“0”（自動クリア禁止）の場合，A/D 変換結果（0222H）が何らかの原因で ADDRy レジスタに書き込みされなかったとき，古いデータ（0111H）が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して，この ADDRy レジスタの値を汎用レジスタに読み出した場合，古いデータ（0111H）を汎用レジスタに保存できます。ただし，未更新のチェックを行う場合，古いデータを RAM，汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1”（自動クリア許可）の場合には，ADDRy = 0111H を CPU，DTC により読み出す際，ADDRy レジスタは自動的に 0000H にクリアされます。その後，A/D 変換結果（0222H）が ADDRy レジスタに何らかの原因で転送できなかったとき，クリアされたデータ（0000H）が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して，この ADDRy レジスタの値を汎用レジスタなどに読み出した場合，0000H が汎用レジスタなどに保持されます。読み出されたデータ値が 0000H であることをチェックするだけで，ADDRy レジスタの未更新故障があったことを判断できます。

12.3.7　A/D 変換値加算／平均モード

A/D 変換値加算モードでは，同じチャネルを 2～4，16 回連続で A/D 変換し，その変換値の合計をデータ・レジスタに保持します。A/D 変換値平均モードでは，同じチャネルを 2 回，または 4 回連続で A/D 変換し，その変換値の平均値をデータ・レジスタに保持します。この平均値を使用することで，ノイズ成分によっては A/D 変換精度が良くなります。ただし，A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算／平均機能は，チャネル選択アナログ入力 A/D 変換，内部基準電圧 A/D 変換を選択時に使用できます。

12.3.8　断線検出アシスト機能

A/D 変換開始前に，サンプリング容量の電荷を所定の状態に固定する機能を内蔵しています。この機能により，アナログ入力に接続した配線の断線検出が可能になります。

図 12－37 に断線検出アシスト機能を使用した場合の A/D 変換動作を示します。また，図 12－38 にプリチャージを選択した場合の断線検出の例を，図 12－39 にディスチャージを選択した場合の断線検出の例を示します。

安定して断線検出アシスト機能を動作させるためには，高抵抗を介した外部プルアップまたはプルダウンを設ける必要があります。

図 12－37　断線検出アシスト機能を使用した場合の A/D 変換動作図

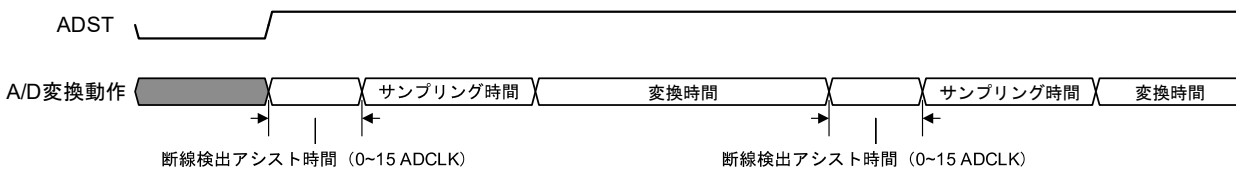
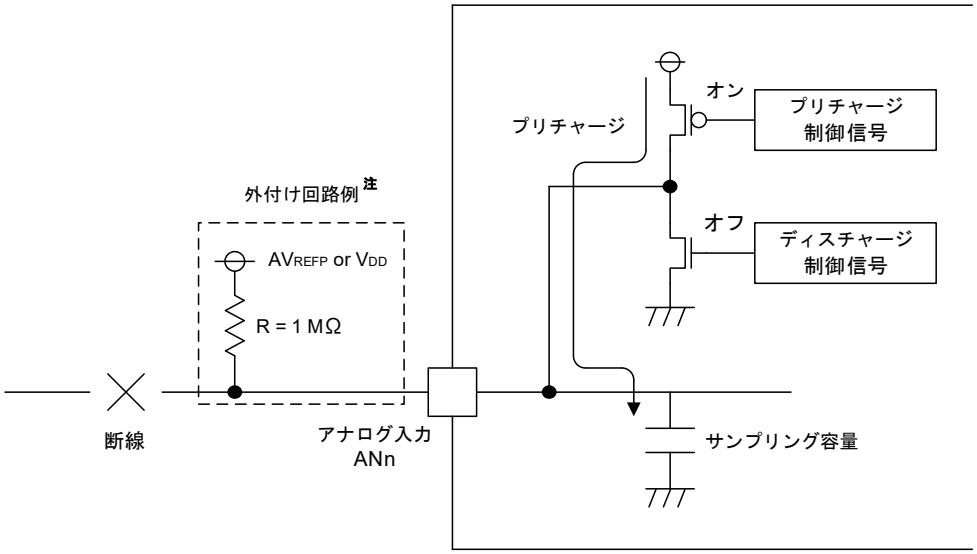
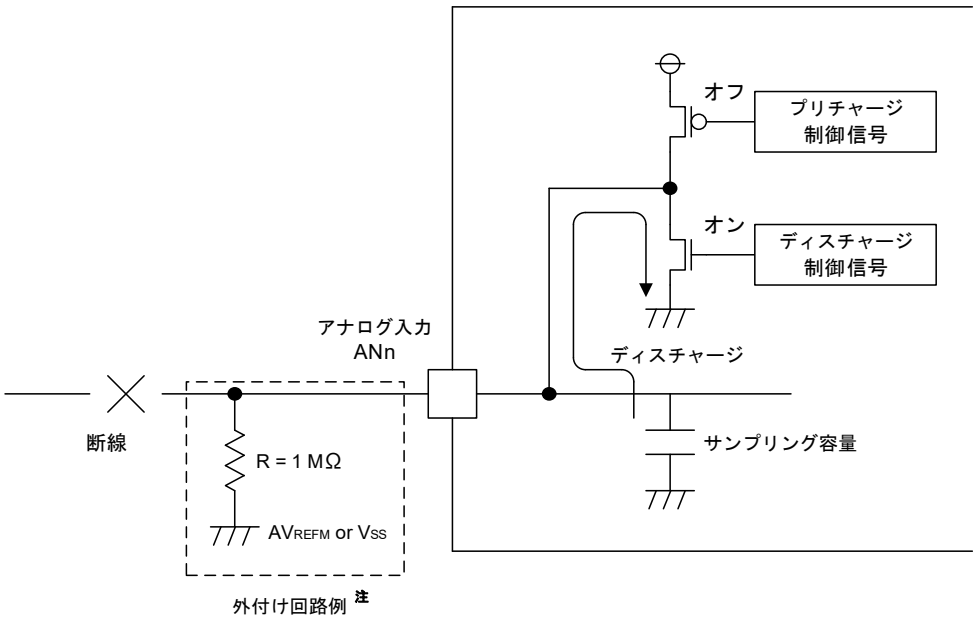


図 12－38　プリチャージを選択した場合の断線検出例



注　断線時の変換結果は外付け回路によって変わりますので，十分な評価の上，使用してください。

図 12－39　ディスチャージを選択した場合の断線検出例



注　断線時の変換結果は外付け回路によって変わりますので，十分な評価の上，使用してください。

12.3.9　自己診断機能

この A/D コンバータには自己診断機能が組み込まれています。

ADCER レジスタの DIAGM ビットと DIAGLD ビットの両方を“1”に設定し，ADCER.DIAGVAL ビットで電圧を設定すると，この機能が有効になります。自己診断を選択した場合，12 ビット A/D コンバータに供給される基準電圧に対して以下の動作フローで A/D 変換を行います。

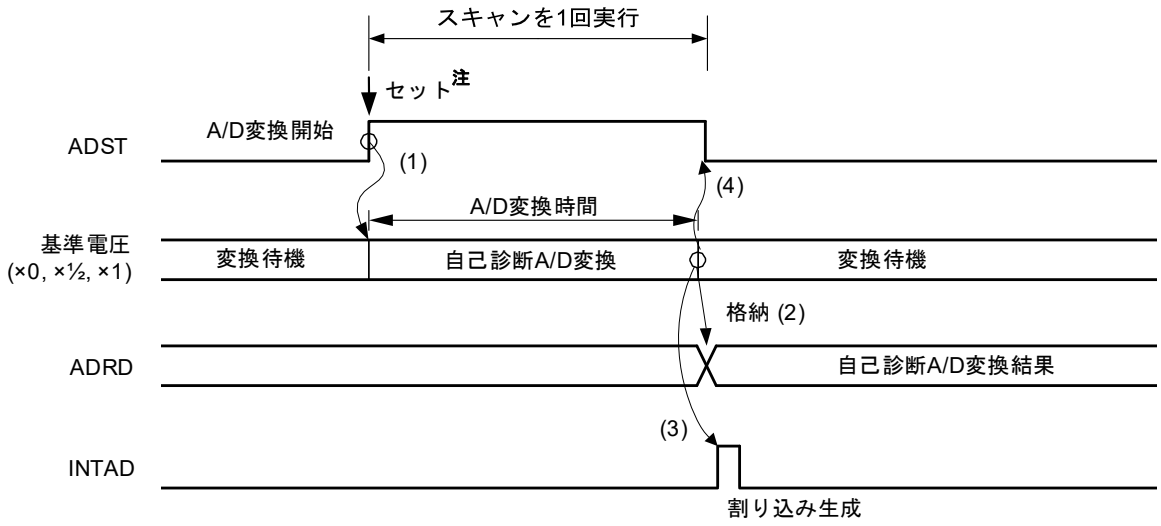
(1)　ソフトウェア・トリガ入力により ADCSR.ADST ビットが“1”（A/D 変換開始）にセットされると，自己診断用 A/D 変換が開始します。

(2)　自己診断での A/D 変換が終了すると，A/D 変換結果は A/D 自己診断データ・レジスタ（ADRD）に格納されます。

(3)　自己診断の A/D 変換が終了すると，ADCSR.ADIE ビットが“1”（スキャン終了後の INTAD 割り込み発生の許可）の場合，INTAD 割り込み要求が生成されます。

(4)　ADCSR.ADST ビットは A/D 変換中は“1”（A/D 変換開始）を保持し，自己診断の A/D 変換が終了すると自動的に“0”にクリアされます。その後，12 ビット A/D コンバータは待機状態になります。

図 12－40　シングル・スキャン選択時の自己診断動作例



注. ↓は，ソフトウェアによる命令実行を示します。

12.3.10 周辺モジュールからの同期トリガによる A/D 変換の開始

イベント・リンク・コントローラ（ELC）およびタイマからの同期トリガによって，A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには，ADCSR.TRGE ビットを“1”，ADSTRGR.TRSA[5:0] ビットおよび TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

12.4 割り込み要因と DTC 転送要求

12.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である INTAD 割り込みおよび INTADGB 割り込みを発生することができます。

ADCSR.ADIE ビットを“1”にすると INTAD 割り込みを許可，“0”にすると INTAD を禁止できます。同様に，ADCSR.GBADIE ビットを使用して INTADGB 割り込みを許可／禁止することができます。

また，INTAD 発生時に DTC を起動できます。INTAD 割り込みで変換されたデータの読み出しを DTC で行うと，連続変換がソフトウェアの負担なく実現できます。DTC の設定は，「第 19 章　データ・トランスファ・コントローラ（DTC）」を参照してください。

12.5 イベント・リンク機能（RL78/F24 のみ）

12.5.1 ELC からのイベントによる 12 ビット A/D コンバータの動作

12 ビット A/D コンバータは ELC の ELSELRn の設定により，あらかじめ設定したイベントによる A/D 変換開始動作が可能です。

12.5.2 ELC からのイベントによる 12 ビット A/D コンバータの注意事項

A/D 変換中にイベントが発生した場合は，イベントは無効になります。

12.6 基準電圧の選択方法

A/D コンバータの高電位側基準電圧には外部端子入力（AV_{REFP}）またはアナログ基準電圧（V_{DD}）を選択することができます。低電位側基準電圧には外部端子入力（AV_{REFM}）またはアナログ基準電圧（V_{SS}）を選択することができます。A/D 変換前に設定してください。設定の詳細は，「12.2.16　A/D 高電位／低電位基準電圧コントロール・レジスタ（ADHVREFCNT）」を参照してください。

12.7　使用上の注意事項

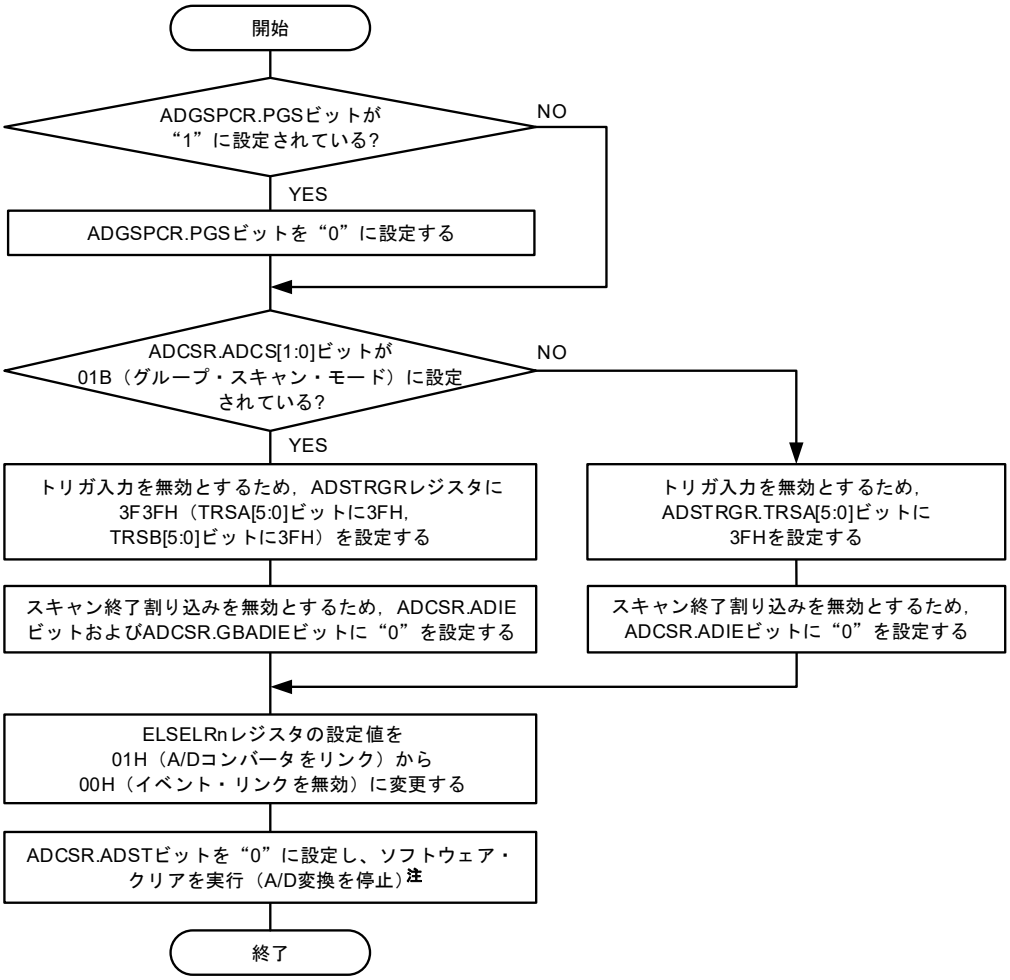
12.7.1　データ・レジスタの読出し注意点

A/D データ・レジスタ，A/D 内部基準電圧データ・レジスタ，および A/D 自己診断データ・レジスタの読み出しは，16 ビット・メモリ操作命令を使用してください。

12.7.2　A/D 変換停止手順

A/D 変換開始条件に同期トリガを選択している場合，A/D 変換を停止させるためには，図 12－41 のフローチャートの手順に従ってください。

図 12－41　ADCSR.ADST ビットによるソフトウェア・クリア実行の設定フロー



注　ソフトウェア・クリアからスキャン処理を停止するまで 2 ADCLK の時間が必要です。ソフトウェア・クリア実行後に以下を設定する場合は，2 ADCLK 以上のウェイトを入れてください。

- スキャン終了割り込み許可
- イベント・リンク・コントローラがリンクする周辺機能 1（A/D コンバータ）の動作を選択
- ソフトウェアによる A/D 変換開始
- トリガ入力有効設定

備考　n = 00-25

12.7.3　自己診断機能の注意点

自己診断の電圧ステータスは，必要に応じて初期化または再設定をしてください。

自己診断の電圧ステータスの再設定は ADCER.DIAGLD を“1”に設定し，ADCER.DIAGVAL[1:0] で選択します。

12.7.4　A/D 変換強制停止と開始時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し 12 ビット A/D コンバータのアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。

ADCSR.ADST ビットを“0”に設定して A/D 変換を強制停止させると，12 ビット A/D コンバータのアナログ部が動作を停止するのに，ADCLK で最大 3 クロックの時間を必要とします。

12.7.5　スキャン終了割り込み処理の注意点

同一アナログ入力のスキャンをトリガ起動により 2 回行う場合，1 回目のスキャン終了割り込み発生から，2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに，CPU が A/D 変換データを読み出し終えていなければ，1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。

12.7.6　クロック供給停止機能の設定

周辺イネーブル・レジスタ 0（PER0）により，12 ビット A/D コンバータの動作禁止／許可を設定することが可能です。初期値では，12 ビット A/D コンバータの動作は停止です。クロック供給停止状態を解除することにより，レジスタへのアクセスが可能になります。クロック供給停止状態を解除した後は，1 μs 以上待ってから A/D 変換を開始してください。

12.7.7　低消費電力状態への遷移時の注意点

クロック供給停止状態や STOP モードへ移行する場合は，A/D 変換を停止させてください。A/D 変換を停止させる際，ADCSR.ADST ビットを“0”に設定後，12 ビット A/D コンバータのアナログ部が停止するまでの時間を確保する必要があります。

図 12－41 に示す ADCSR.ADST ビットによるソフトウェア・クリア実行の設定フローに従い，ADCSR.ADST ビットを“0”に設定してください。その後，ADCLK の 3 クロック期間待った後，クロック供給停止状態や STOP モードへ移行させてください。

下表に示す「遷移後のクロック状態」で使用する場合は，クロック遷移する前に，A/D コンバータのアナログ部をスタンバイ状態にしてください。

遷移前のクロック状態	高速システム・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}），または PLL クロック（f_{PLL}）で CPU 動作
遷移後のクロック状態	サブシステム／低速オンチップ・オシレータ・クロック（f_{SL}）で CPU 動作中に，高速システム・クロック（f_{MX}），高速オンチップ・オシレータ・クロック（f_{IH}），および PLL クロック（f_{PLL}）が停止

A/D コンバータのアナログ部をスタンバイ状態に設定する手順：

（i）　PER0 レジスタの ADCEN ビットを“1”に設定します（すでに設定されている場合は不要）。

（ii）　ADHVREFCNT レジスタの ADSLP ビットを“1”（A/D コンバータのアナログ部をスタンバイ状態）に設定します。

注意　ADCEN ビットが“0”（A/D コンバータの入力クロック供給停止）設定で，「遷移後のクロック状態」に遷移させないでください。

12.7.8　STOP モード解除時の注意点

STOP モードを解除した後は，発振安定時間経過後，さらに 1 μs 以上待ってから A/D 変換を開始してください。STOP モード解除の詳細は「23.3.2　STOP モード　(2) STOP モードの解除」を参照してください。

12.7.9　断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合，アナログ入力端子にプルアップ／プルダウン抵抗（Rp）と信号源抵抗（Rs）の抵抗分圧分の誤差電圧が入力され，A/D コンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は，十分な評価の上，使用してください。

$$\text{最大絶対精度誤差（LSB）} = 4095 \times Rs / Rp$$

12.7.10 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて MCU を使用した場合は，MCU の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

  アナログ入力端子 ANIn（n = 0-30）に印加する電圧は，基準電圧の選択に応じて，V_{SS} ≦ V_{AIN} ≦ V_{DD} または，AV_{REFM} ≦ V_{AIN} ≦ AV_{REFP} の範囲としてください。

- 各電源端子（AV_{REFP}－AV_{REFM}，V_{DD}－V_{SS}）の関係

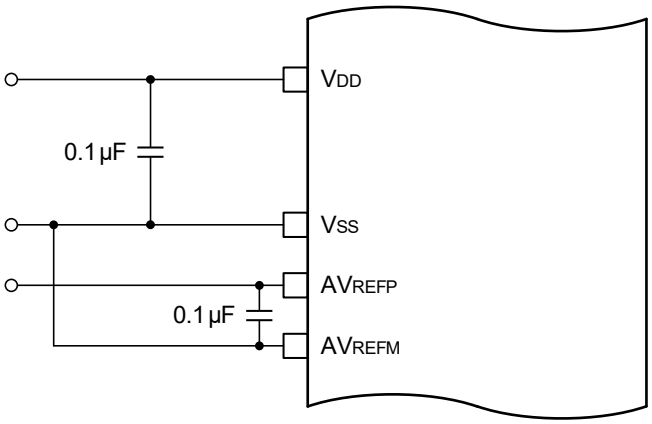
  アナログ入力端子 ANIn（n = 0-30）の A/D 変換を行う場合は，図 12－42 に示すように各々の電源間に最短で閉ループが形成できるように 0.1 μF のコンデンサを接続し，AV_{REFP}/AV_{REFM} 端子によるリファレンス電圧の設定範囲は，電源側で次の条件を満たす必要があります。

  AV_{REFP} ≦ V_{DD}，AV_{REFM} = V_{SS}

  12 ビット A/D コンバータを使用しない場合は，以下の条件を満たす必要があります。

  AV_{REFP} = V_{DD}，AV_{REFM} = V_{SS}

図 12－42　各電源端子の接続例



12.7.11 ボード設計上の注意点

ボード設計時には，デジタル回路とアナログ回路をできるだけ分離してください。また，デジタル回路の信号線とアナログ回路の信号線を交差させたり，近接させたりしないでください。アナログ信号にノイズが乗って，A/D 変換値の精度に悪影響を及ぼします。アナログ入力端子（ANI0-ANI30），基準電源端子（AV_{REFP}），基準グランド端子（AV_{REFM}），アナログ電源（V_{DD}）は，アナログ・グランド（V_{SS}）で，デジタル回路と分離してください。

12.7.12 ノイズ対策上の注意点

① 過大なサージなど異常電圧によるアナログ入力端子（ANI0-ANI30）の破壊を防ぐために，図 12－43 に示すように V_{DD} と V_{SS} 間，AV_{REFP} と AV_{REFM} 間にコンデンサを，またアナログ入力端子（ANI0-ANI30）を基準に保護回路を接続してください。

② フラッシュメモリの消去や書き込み動作，もしくはノイズの影響によるポート出力消費電流の変化によって電源電圧が変動すると，A/D 変換結果が変動する場合があります。また，アナログ入力端子（ANIx），電源電圧（V_{DD}，V_{SS}）、基準電圧入力端子（AV_{REFP}，AV_{REFM}）にノイズが発生した場合，A/D 変換結果が変動する場合があります。
A/D 変換結果の変動によるシステムへの悪影響を回避するために，ソフトウェア処理を適用してください。ソフトウェア処理の例を以下に示します。

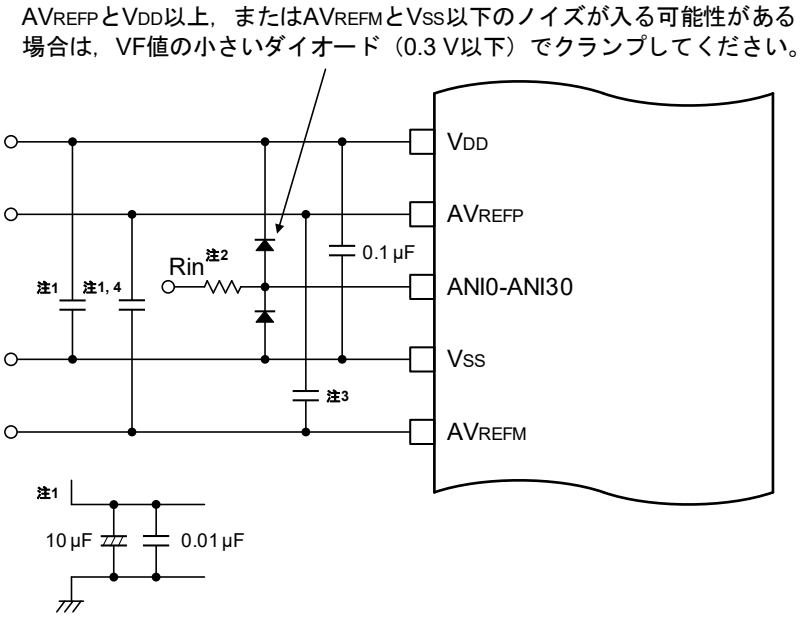
- 数回の A/D 変換結果の平均値を使用します。
- 数回の A/D 変換を実行し外れ値を除外します。

③ 変換開始直後に HALT モードに設定すると，精度が向上します。

④ チャネル（ANI0-ANI30）のいずれかを選択して A/D 変換を開始する場合，変換中 P33, P34, P70-P74, P80-P87, P90-P97, P100-P105, P120, P125 に対する出力値を変更しないでください。変換精度が低下することがあります。

⑤ A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによって A/D 変換結果が期待値と異なることがあります。A/D 変換中は，デジタル信号のように急激に変化するパルスが隣接する端子に入出力されないようにしてください。

図 12－43　アナログ入力保護回路の例



注 1. ここに示す値は基準値です。
2. Rin：信号源インピーダンス
3. A/D コンバータの高電位基準電圧として AV_{REFP} を選択する場合は，10 μF コンデンサで AV_{REFP} 端子を AV_{REFM} 端子に接続してください。
コンデンサは，A/D コンバータの基準電圧入力端子に直接配置することを推奨します。
4. A/D コンバータの高電位基準電圧として AV_{REFP} を選択する場合は，コンデンサは AV_{REFM} 端子のみに接続してください。

12.7.13 許容信号源インピーダンス

このA/Dコンバータは，サンプリング期間に内部のサンプリング・コンデンサに充電します。したがってサンプリング中以外はリーク電流のみであり，サンプリング中にはコンデンサに充電するための電流等，サンプリング動作による電流も流れるため，入力インピーダンスはサンプリング中とそれ以外の状態で変化します。

36.6.1，37.6.1，38.6.1章で説明している高速変換を実現するために，このMCUのアナログ入力端子は，入力信号源のインピーダンスが0.5 kΩ以下の場合に変換精度が保証されるように設計されています。入力信号源のインピーダンスが0.5 kΩ以下にできないときは，サンプリング時間を長く設定するか，アナログ入力端子に0.1 μF程度のコンデンサを付けることを推奨します。ただし、入力端子の負荷は，ローパス・フィルタと同等であり，微分係数が大きなアナログ信号には追従できないことがあります。

高速アナログ信号を変換する場合や，スキャン・モードで複数信号の変換を行う場合は，低インピーダンスのバッファを挿入してください。

また，シングル・スキャン・モードで1端子のみの信号を変換するときに大容量の外部コンデンサを設けていても，入力信号はアナログ・マルチプレクサ切り替えによる電流の影響を受けます。

図12－44に，アナログ入力端子と外部センサの等価回路を示します。

A/D変換を正確に行うには，図12－44に示す内部コンデンサの充電を指定時間内に完了する必要があります。この所定の時間をサンプリング時間と言います。

図12－44　ANIn端子内部等価回路

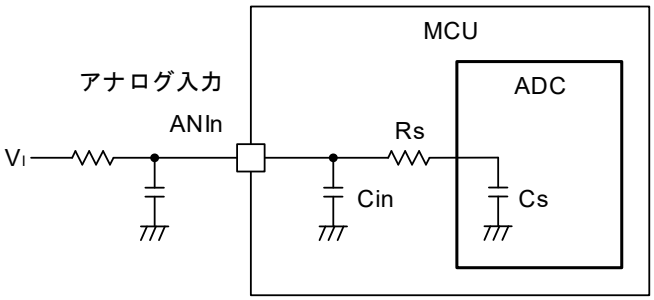


表12－22　等価回路の各抵抗と容量値（参考値）

ANIn	Cin [pF]	Rs [kΩ]	Cs [pF]
ANI0, ANI3-ANI5, ANI8-ANI15	8	2.5	8
ANI1, ANI2（チャネル専用S&H回路を使用しない場合）			
ANI1, ANI2（チャネル専用S&H回路使用時）	8	10.5	3
ANI6, ANI7	10	2.5	8
ANI16-ANI30	8	6.7	9

備考　表12－22の各抵抗と容量値は保証値ではありません。

第13章　D/Aコンバータ（RL78/F24のみ）

デジタル入力をアナログ信号に変換する8ビット分解能のR-2R方式によるD/Aコンバータで，アナログ出力を制御可能です。

13.1　D/A コンバータの機能

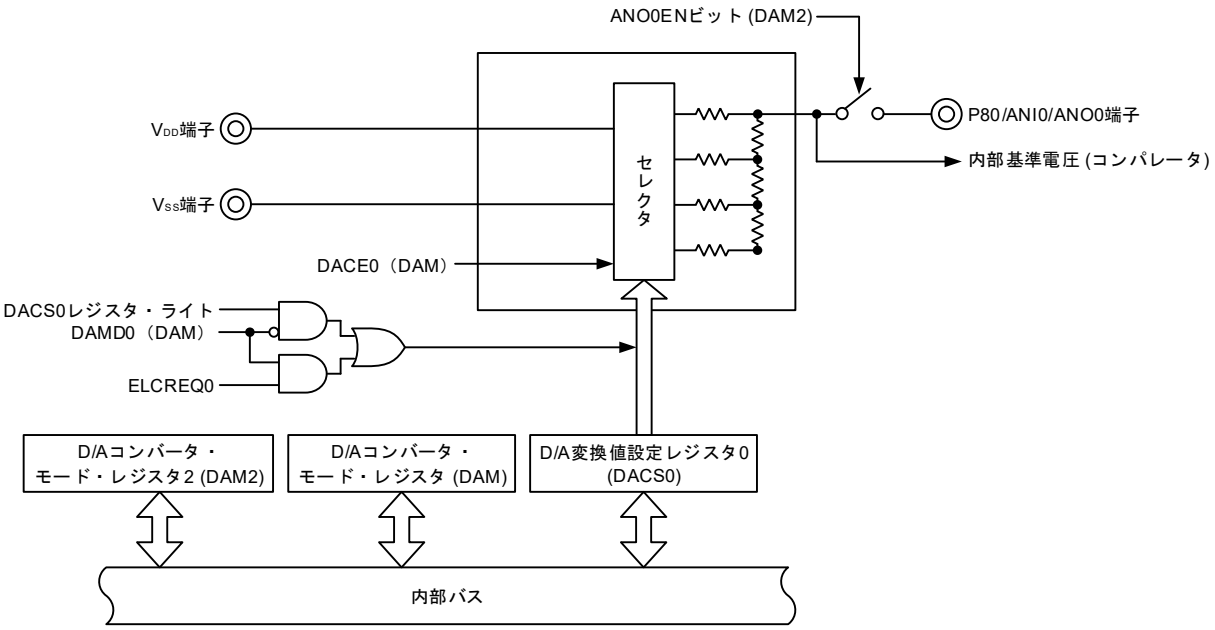
D/A コンバータには次の機能があります。

- 8 ビット分解能
- R-2R ラダー方式
- アナログ出力電圧
  8 ビット分解能：V_{DD}×m8/256（m8：DACS0 レジスタに設定した値）
- 動作モード
  - 通常モード
  - リアルタイム出力モード

13.2　D/A コンバータの構成

D/A コンバータのブロック図を図 13－1 に示します。

図 13－1　D/A コンバータのブロック図



備考 1. ELCREQ0 は，リアルタイム出力モードに使用するトリガ信号（ELC からのリクエスト信号）です。

2. 内部基準電圧（コンパレータ）は，コンパレータの基準電圧の選択に使用します。コンパレータ入出力切替レジスタ（CMPSEL）のビット 5, 4（CVRS1, 0）を 10B（内部基準電圧（DAC 出力））に設定する場合は，ANO0EN ビットを“0”（アナログ出力禁止）に設定します。

13.3　D/A コンバータで使用するレジスタ

表 13－1　D/A コンバータのレジスタ構成

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F02C0H	周辺イネーブル・レジスタ1	PER1	00H	1, 8
FFF34H	D/A変換値設定レジスタ0	DACS0	00H	8
FFF36H	D/Aコンバータ・モード・レジスタ	DAM	00H	1, 8
F0227H	D/Aコンバータ・モード・レジスタ2	DAM2	00H	1, 8

備考　ポート・モード・コントロール・レジスタ 8（PMC8）およびポート・モード・レジスタ 8（PM8）については，「13.3.1　ポート・モード・コントロール・レジスタ 8（PMC8）」および「13.3.6　ポート・モード・レジスタ 8（PM8）」を参照してください。

13.3.1　ポート・モード・コントロール・レジスタ 8（PMC8）

P80-P87 端子を 1 ビットごとにアナログ入出力またはデジタル入出力に切り替えるレジスタです。

D/A コンバータを使用し，P80/ANI0/ANO0 端子を ANO0 として使用する場合，PMC80 をアナログ出力に設定し，PM80 を入力モードに設定してください。

詳細は，「13.3.6　ポート・モード・レジスタ 8（PM8）」を参照してください。

本レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により FFH になります。

図 13－2　ポート・モード・コントロール・レジスタ 8（PMC8）のフォーマット

アドレス：F0068H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PMC8	PMC87	PMC86	PMC85	PMC84	PMC83	PMC82	PMC81	PMC80

PMC8n	P8n 端子のデジタル入出力またはアナログ入出力の選択
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入出力

注意 1. D/A 変換で使用するチャネルはポート・モード・レジスタ 8（PM8）で入力モードに選択してください。

2. PMC8 レジスタでデジタル入出力に設定した端子を D/A コンバータ・モード・レジスタ（DAM）で D/A 変換動作許可に設定しないでください。

備考　n = 0-7

13.3.2　周辺イネーブル・レジスタ 1（PER1）

PER1 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減を図ります。

D/A コンバータを使用するときは，必ずビット 7（DACEN）を 1 に設定してください。

PER1 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 13－3　周辺イネーブル・レジスタ 1（PER1）のフォーマット

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN 注	0	CMPEN 注	TRD0EN	DTCEN	PWMOPEN	0	TRJ0EN

DACEN 注	D/Aコンバータの入力クロックの制御
0	入力クロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入力クロック供給 ・D/Aコンバータで使用するSFRへのリード／ライト可

注 RL78/F24 のみ。

注意 1.　D/A コンバータの設定をする際には必ず最初に DACEN = 1 の設定を行ってください。DACEN = 0 の場合は D/A コンバータの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ 8（PM8），ポート・レジスタ 8（P8），ポート・モード・コントロール・レジスタ 8（PMC8），D/A コンバータ・モード・レジスタ 2（DAM2）は除く）。

2.　次のビットには必ず“0”を設定してください。

RL78/F23：ビット 1, 5, 6, 7

RL78/F24：ビット 1, 6

13.3.3　D/A コンバータ・モード・レジスタ（DAM）

D/A コンバータの動作を制御するレジスタです。

DAM レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 13－4　D/A コンバータ・モード・レジスタ（DAM）のフォーマット

アドレス：FFF36H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	0	DACE0	0	0	0	DAMD0

DACE0	D/Aコンバータの変換動作の制御
0	D/A変換動作停止
1	D/A変換動作許可

DAMD0	D/Aコンバータの動作モードの選択
0	通常動作モード
1	リアルタイム出力モード

注意　D/A コンバータを使用しない場合には，不要な消費電流を小さくするために DACE0 ビットを“0”（D/A 変換動作停止）にし，DACS0 レジスタを 00H にして，R-2R の抵抗に電流が流れないようにしてください。

13.3.4　D/A コンバータ・モード・レジスタ 2（DAM2）

D/A コンバータのアナログ出力を P80/ANI0/ANO0 端子に出力する場合，ANO0 端子の出力を制御するレジスタです。

コンパレータ入出力切替レジスタ（CMPSEL）のビット 5-4（CVRS1-0）を 10B（内部基準電圧（DAC 出力））に設定する場合は，ANO0EN ビットを“0”（アナログ出力禁止）に設定してください。

DAM2 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 13－5　D/A コンバータ・モード・レジスタ 2（DAM2）のフォーマット

アドレス：F0227H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DAM2	0	0	0	0	0	0	0	ANO0EN

ANO0EN	アナログ出力（ANO0）の制御
0	アナログ出力（ANO0）禁止
1	アナログ出力（ANO0）許可

13.3.5　D/A 変換値設定レジスタ 0（DACS0）

D/A コンバータを使用する場合，ANO0 端子に出力するアナログ電圧値を設定するレジスタです。

DACS0 レジスタは 8 ビット・メモリ操作命令で設定します。

リセットにより 00H になります。

図13－6　D/A変換値設定レジスタ0（DACS0）のフォーマット

アドレス：FFF34H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DACS0	DACS07	DACS06	DACS05	DACS04	DACS03	DACS02	DACS01	DACS00

備考　D/A コンバータのアナログ出力電圧（VANO0）は，次のようになります。

VANO0 = D/A コンバータ用基準電圧 × (DACS0) / 256

13.3.6　ポート・モード・レジスタ 8（PM8）

P80/ANI0/ANO0 端子をアナログ入出力ポートとして使用するとき，PM80 ビットに 1 を設定してください。
PM80 ビットに 0 を設定した場合は，アナログ入出力ポートとして使用することはできません。
PM8 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により FFH になります。

注意　アナログ入力ポートとして設定した端子を読み出した場合は，端子レベルではなく常に“0”が読み出されます。

図 13－7　ポート・モード・レジスタ 8（PM8）のフォーマット

アドレス：FFF28H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

PM8n	P8n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

P80/ANI0/ANO0 端子の機能は，ポート・モード・コントロール・レジスタ 8（PMC8），D/A コンバータ・モード・レジスタ（DAM），D/A コンバータ・モード・レジスタ 2（DAM2），A/D チャネル選択レジスタ（ADANSA0，ADANSB0），PM8 レジスタの設定で決定します。

表 13－2　P80/ANI0/ANO0 端子機能の設定

PMC8 レジスタ	PM8 レジスタ	DAM レジスタ	DAM2 レジスタ	ADANSA0, ADANSB0 レジスタ	P80/ANI0/ANO0 端子機能
デジタル入出力	入力モード	—	アナログ出力許可	—	設定禁止
			アナログ出力禁止		デジタル入力
	出力モード	—	アナログ出力許可	—	設定禁止
			アナログ出力禁止		デジタル出力
アナログ入出力	入力モード	D/A変換動作許可	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	アナログ出力（D/A出力）
			アナログ出力禁止	ANI選択	アナログ入力（A/D変換対象）
				ANI非選択	アナログ入力（A/D変換非対象）注
		D/A変換動作停止	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	設定禁止
			アナログ出力禁止	ANI選択	アナログ入力（A/D変換対象）
				ANI非選択	アナログ入力（A/D変換非対象）
	出力モード	—	—	—	設定禁止

注　コンパレータの内部基準電圧として D/A コンバータを使用する場合の設定です。この場合は，CMPSEL レジスタ CVRS1, CVRS0 ビットを 10B（内部基準電圧（D/A コンバータ出力））としてください。

13.4　D/A コンバータの動作

13.4.1　通常モード時の動作

DACS0 レジスタへのライト動作を起動トリガとして D/A 変換を行います。
以下に，その設定動作を示します。

① 周辺イネーブル・レジスタ 1（PER1）の DACEN ビットを“1”に設定し，D/A コンバータへの入力クロック供給を開始します。
② ポート・モード・コントロール・レジスタ 8（PMC8）でポートをアナログ端子に設定します。
③ D/A コンバータ・モード・レジスタ 2（DAM2）の ANO0EN ビットを“1”（アナログ出力許可）に設定します。コンパレータ入出力切替レジスタ（CMPSEL）のビット 5, 4（CVRS1, 0）を 10B（内部基準電圧（DAC 出力））に設定する場合は，ANO0 ビットを“0”（アナログ出力禁止）に設定します。
④ D/A コンバータ・モード・レジスタ（DAM）の DAMD0 ビットを“0”（通常モード）に設定します。
⑤ D/A 変換値設定レジスタ 0（DACS0）に ANO0 端子出力するアナログ電圧値を設定します。

以上①～⑤を初期設定として行います。

⑥ DAM レジスタの DACE0 ビットを“1”（D/A 変換動作許可）に設定します。
これにより D/A 変換を開始し，セトリング・タイム経過後，ANO0 端子に⑤にて設定したアナログ電圧を出力します。
⑦ 以降，D/A 変換を行う場合は DACS0 レジスタへのライト動作を行います。

なお，次の D/A 変換を行うまでは，前回 D/A 変換した結果を保持します。
また，DAM レジスタの DACE0 ビット = 0（D/A 変換動作停止）に設定すると，D/A 変換を停止します。
PMC8 レジスタでポートをデジタル端子に設定した場合，ANO0 端子はポートの PM8 レジスタ PM80 ビット= 1（入力モード）でハイ・インピーダンスになり，PM80 ビット= 0（出力モード）で P8 レジスタの設定値が出力されます。

注意 1. DACE0 ビットの設定値を“1”→“0”→“1”とした場合も，最後に“1”を設定したあとにウェイト時間が発生します。
2. セトリング・タイム中に DACS0 レジスタを書き換えた場合，変換を中断し，書き換えた値で変換を再開します。

13.4.2　リアルタイム出力モード時の動作

D/A コンバータは ELC からの独立した要求信号を起動トリガとして D/A 変換を行います。
以下に，その設定方法を示します。

① 周辺イネーブル・レジスタ 1（PER1）の DACEN ビットを“1”に設定し，D/A コンバータへの入力クロック供給を開始します。
② ポート・モード・コントロール・レジスタ 8（PMC8）でポートをアナログ端子に設定します。
③ D/A コンバータ・モード・レジスタ 2（DAM2）の ANO0EN ビットを“1”（アナログ出力許可）に設定します。コンパレータ入出力切替レジスタ（CMPSEL）のビット 5, 4（CVRS1, 0）を 10B（内部基準電圧（DAC 出力））に設定する場合は，ANO0 ビットを“0”（アナログ出力禁止）に設定します。
④ D/A コンバータ・モード・レジスタ（DAM）の DAMD0 ビットを“0”（通常モード）に設定します。
⑤ D/A 変換値設定レジスタ 0（DACS0）に ANO0 端子出力するアナログ電圧値を設定します。
⑥ DAM レジスタの DACE0 ビットを“1”（D/A 変換動作許可）に設定します。
これにより D/A 変換を開始し，セトリング・タイム経過後，ANO0 端子に⑤にて設定したアナログ電圧を出力します。
⑦ イベント出力先選択レジスタ(ELSELRn)でリアルタイム・トリガ信号を設定します。
⑧ DAM レジスタの DAMD0 ビットを“1”（リアルタイム出力モード）に設定します。
⑨ ELC 要求元の動作を開始します。

以上①～⑨を初期設定として行います。

⑩ 以降，リアルタイム出力トリガの発生により，D/A 変換を開始し，セトリング・タイム経過後，ANO0 端子に⑤にて設定したアナログ電圧を出力します。

なお，次の D/A 変換を行う（リアルタイム出力トリガ発生）前までに，DACS0 レジスタに ANO0 端子に出力するアナログ電圧値を設定してください。
また，DAM レジスタの DACE0 ビット = 0（D/A 変換動作停止）に設定すると，D/A 変換を停止します。
PMC8 レジスタでポートをデジタル端子に設定した場合，ANO0 端子はポートの PM8 レジスタの PM80 ビット= 1（入力モード）でハイ・インピーダンスになり，PM80 ビット= 0（出力モード）で P8 レジスタの設定値が出力されます。

注意 1. DACE0 ビットの設定値を“1”→“0”→“1”とした場合も，最後に 1 を設定したあとにウェイト時間が発生します。
2. ELC イベント要求トリガ信号の発生間隔は，セトリング・タイムよりも長くしてください。セトリング・タイム中に ELC イベント要求トリガ信号が発生した場合，D/A 変換を中断し，再変換を開始します。
3. ELC イベント要求トリガ信号の発生と DACS0 レジスタの書き換えのタイミングが競合しても，D/A 変換結果は正常に出力されます。

13.5　D/A コンバータ使用上の注意事項

D/A コンバータを使用する際の注意事項を以下に示します。

(1) ポート・モード・コントロール・レジスタ 8（PMC8）でポートをアナログ端子に設定している場合は，ANO0 端子と兼用するデジタル・ポートの入出力機能は動作しません。PMC8 レジスタでポートをアナログ端子に設定中に P8 レジスタをリードしても，入力モード時は“0”，出力モード時は P8 の設定値が読み出されます。また，デジタル出力モードとして設定しても，端子には出力データは出力されません。

(2) HALT モード時と STOP モード時に D/A コンバータの動作は継続します。消費電力を低減させるためには，DACE0 ビットを“0”にクリアし，D/A 変換動作を停止させてから HALT 命令または STOP 命令を実行してください。

(3) リアルタイム出力モードを停止する場合（通常モードへ変更する場合を含む）には次のいずれかの手順で行う必要があります。

- トリガ出力元を停止させて3クロック以上待ってからDACE0ビットおよびDAMD0ビットを“0”にする。
- DACE0ビットおよびDAMD0ビットを0にした後，PER1レジスタのDACENビットを“0”にする（DAC停止）。
- DACENビットを0にした場合，DAC内部の全レジスタがクリアされるため再度動作させる場合は各SFRの設定が必要となります。

(4) D/A 変換動作許可時に，ANO0 端子と兼用するアナログ入力端子から A/D 変換を行わないでください。

(5) リアルタイム出力モード時は，タイマトリガ発生前までに DACS0 レジスタ値を設定するようにしてください。また，トリガ信号が出ている間に DACS0 レジスタの設定値を変更しないでください。

(6) D/A コンバータの出力インピーダンスが高いため，ANO0 端子から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には，負荷と ANO0 端子の間にフォロアアンプを挿入して使用してください。また，フォロアアンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は，グランドパターンで囲むなどの処置をしてください。

(7) D/A 変換のリアルタイム出力モード有効時に STOP 状態に入る場合は，STOP に入る前に ELC のイベントリンクを禁止にしてください。

第14章　コンパレータ（RL78/F24 のみ）

14.1　概要

コンパレータは基準電圧とアナログ入力電圧を比較します。基準電圧とアナログ入力電圧の比較結果をソフトウェアで読めます。比較結果を外部に出力するとともに，その変化を検出して割り込み要求および ELC イベント要求を発生します。

コンパレータの基準電圧は，IVREF0 端子からの入力または内蔵 D/A コンバータ出力のいずれかを選択できます。アナログ入力は 4 本あり，いずれか 1 本を選択します。

表 14－1 にコンパレータの仕様を，図 14－1 にコンパレータのブロック図を，表 14－2 にコンパレータの端子構成を示します。

表 14－1　コンパレータの仕様

項目	仕様
チャネル数	1 チャネル搭載（コンパレータ 0）
アナログ入力電圧	IVCMP00-IVCMP03 端子（いずれか 1 本を選択）からの入力電圧
基準電圧	・内部基準電圧（内蔵 D/A コンバータ出力） ・外部基準電圧入力端子（IVREF0）からの入力電圧
コンパレータ出力	・比較結果 ・ELC/PWMOPA イベント出力を発生 ・レジスタからのモニタ出力
割り込み要求信号	・比較結果の有効エッジを検出して割り込み要求を発生 ・立ち上がりエッジ／立ち下がりエッジ／両エッジの選択可能
デジタルフィルタ機能	・3 種類のサンプリング周期の選択可能 ・フィルタ未使用も可能

図 14－1　コンパレータのブロック図

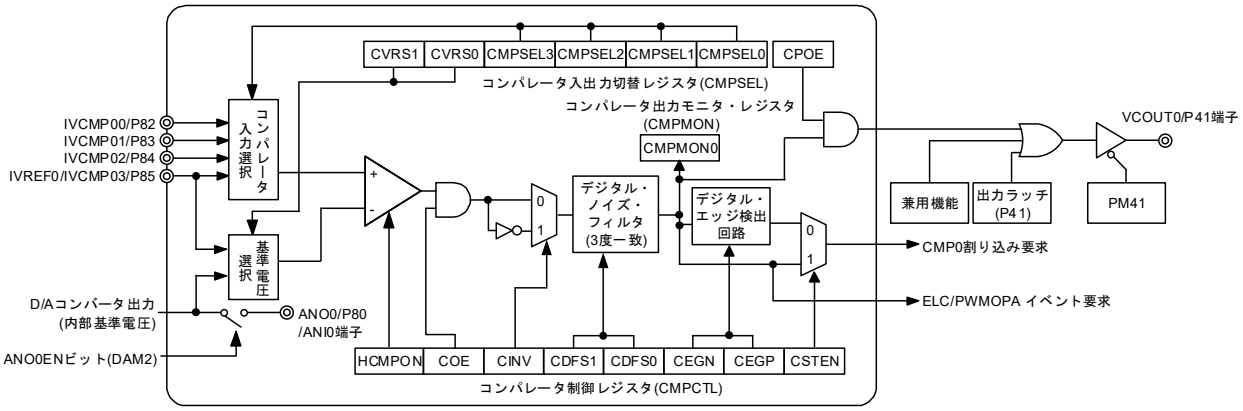


表 14－2　コンパレータの端子構成

端子名	入出力	機能
IVCMP00-IVCMP03	入力	アナログ電圧入力端子
IVREF0	入力	外部基準電圧入力端子
VCOUT0	出力	コンパレータ出力端子

14.2　コンパレータを制御するレジスタ

コンパレータは次のレジスタで制御します。

表 14－3　コンパレータを制御するレジスタ

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F02C0H	周辺イネーブル・レジスタ1	PER1	00H	1, 8
F0227H	D/Aコンバータ・モード・レジスタ2	DAM2	00H	1, 8
F02A0H	コンパレータ制御レジスタ	CMPCTL	00H	1, 8
F02A1H	コンパレータ入出力切替レジスタ	CMPSEL	00H	1, 8
F02A2H	コンパレータ出力モニタ・レジスタ	CMPMON	00H	1, 8

備考　ポート・モード・コントロール・レジスタ 8（PMC8）およびポート・モード・レジスタ 4, 8（PM4, PM8）については，「14.2.5　ポート・モード・コントロール・レジスタ 8（PMC8）」と「14.2.7　ポート・モード・レジスタ 4（PM4）」および「14.2.8　ポート・モード・レジスタ 8（PM8）」を参照してください。

14.2.1　周辺イネーブル・レジスタ 1（PER1）

PER1 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは，必ずビット 5（CMPEN）を 1 に設定してください。

PER1 レジスタは，1 ビットメモリ操作命令または 8 ビットメモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 14－2　周辺イネーブル・レジスタ 1（PER1）のフォーマット

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN 注	0	CMPEN 注	TRD0EN	DTCEN	PWMOPEN	0	TRJ0EN

CMPEN 注	コンパレータの入力クロックの制御	R/W
0	入力クロック供給停止 ・コンパレータで使用する SFR へのライト不可 ・コンパレータはリセット状態	R/W
1	入力クロック供給許可 ・コンパレータで使用する SFR へのリード／ライト可	

注　RL78/F24 のみ。

注意 1. コンパレータの設定をする際には必ず最初に CMPEN = 1 の設定を行ってください。CMPEN = 0 の場合は，コンパレータの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ 4, 8（PM4, PM8），ポート・レジスタ 4, 8（P4, P8）は除く）。

2. 次のビットには必ず 0 を設定してください。

RL78/F23：ビット 1, 5, 6, 7

RL78/F24：ビット 1, 6

14.2.2　コンパレータ制御レジスタ（CMPCTL）

コンパレータの動作制御，コンパレータ出力許可／禁止，出力反転，ノイズ・フィルタ選択，割り込みの有効エッジ選択，STOP モード解除許可／禁止を設定するレジスタです。

CMPCTL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により 00H になります。

図 14－3　コンパレータ制御レジスタ（CMPCTL）のフォーマット

アドレス：F02A0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMPCTL	HCMPON	CDFS1	CDFS0	CEGN	CEGP	CSTEN	COE	CINV

HCMPON	コンパレータの動作制御 注 1	R/W
0	動作停止（コンパレータの出力はロウ・レベル）	R/W
1	動作許可（コンパレータの端子入力許可）	

CDFS1	CDFS0	ノイズ・フィルタ選択 注 2, 3, 4	R/W
0	0	ノイズ・フィルタ未使用	R/W
0	1	ノイズ・フィルタのサンプリング時間に $2^3/f_{CLK}$ を使用	
1	0	ノイズ・フィルタのサンプリング時間に $2^4/f_{CLK}$ を使用	
1	1	ノイズ・フィルタのサンプリング時間に $2^5/f_{CLK}$ を使用	

CEGN	CEGP	INTCMP 割り込みの有効エッジ選択	R/W
0	0	エッジ選択しない	R/W
0	1	立ち上がりエッジ選択	
1	0	立ち下がりエッジ選択	
1	1	立ち上がり，立ち下がりの両エッジ選択	
有効エッジの設定は，CINV ビットおよび CDFS1-0 ビットにより，コンパレータ検出信号を正転／反転処理，ノイズ・フィルタ未使用／使用処理した信号に対して設定されます。			

CSTEN	STOP モード解除許可／禁止 注 5, 6	R/W
0	コンパレータ割り込みによる STOP モード解除禁止	R/W
1	コンパレータ割り込みによる STOP モード解除許可	

COE	コンパレータ出力許可／禁止	R/W
0	コンパレータ出力禁止（出力信号はロウ・レベル）	R/W
1	コンパレータ出力許可	

CINV	コンパレータ出力極性選択 注 2, 3, 6	R/W
0	コンパレータ出力正転	R/W
1	コンパレータ出力反転	

注 1. HCMPON ビットは COE ビットと同時に書き換えないでください。コンパレータ動作を許可（HCMPON = 1）に設定後，動作安定待ち時間（3.3 V≦V_{DD}≦5.5 V の場合は 1 μs，2.7 V≦V_{DD}＜3.3 V の場合は 3 μs）が必要です。

2. CDFS1, CDFS0, CEGN, CEGP, CSTEN, CINV ビットの書き換えは，コンパレータの出力を禁止（COE = 0）にしたあとで行ってください。

3. CDFS1, CDFS0, CEGN, CEGP, CSTEN, CINV ビットを変更するとコンパレータ割り込み要求，ELC イベント要求，DTC 転送要求，および割り込み要因判別フラグ・レジスタ 0 の INTFLG06 ビットのセットが発生することがあります。これらのビットは，ELSELR19 レジスタを 00H（コンパレータ出力 0 をイベント・リンク禁止），DTCEN4 レジスタの DTCEN44 ビットを 0（コンパレータ検出 0 の DTC 起動禁止）にしてから変更してください。また，変更後に割り込み要求フラグ・レジスタの CMPIF0 ビットおよび割り込み要因判別フラグ・レジスタ 0（INTFLG0）の INTFLG06 ビットを初期化（割り込み要求クリア）してください。
4. CDFS1, CDFS0 ビットを 00B（ノイズ・フィルタ未使用）から 00B 以外（ノイズ・フィルタを使用）に変更した場合は，フィルタ出力が更新されるまでのサンプリング 4 回を経過した後に，コンパレータ割り込み要求や ELC イベントを使用してください。
5. コンパレータ割り込みによる STOP モード解除を有効にするには，本ビットを 1 にするとともに，CDFS1, CDFS0 ビットを 00B（ノイズ・フィルタ未使用）にしてください。
6. コンパレータ割り込みによる STOP モード解除を有効，かつコンパレータ出力の立ち下がりエッジにより STOP モードの解除を行う場合は，CSTEN ビットを 1 および CINV ビットを 1（コンパレータ出力反転）に設定してください。

14.2.3　コンパレータ入出力切替レジスタ（CMPSEL）

コンパレータの入力選択，基準電圧選択，VCOUT0 端子出力許可／禁止を設定するレジスタです。

CMPSEL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 14－4　コンパレータ入出力切替レジスタ（CMPSEL）のフォーマット

アドレス：F02A1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMPSEL	0 注4	CPOE	CVRS1	CVRS0	CMPSEL3	CMPSEL2	CMPSEL1	CMPSEL0

CPOE	VCOUT0 端子出力許可／禁止	R/W
0	コンパレータの VCOUT0 端子出力禁止（出力信号はロウ・レベル）	R/W
1	コンパレータの VCOUT0 端子出力許可	

CVRS1	CVRS0	基準電圧選択	R/W
0	0	基準電圧入力なし	R/W
0	1	外部基準電圧（IVREF0）を選択 注5	
1	0	内部基準電圧（D/A コンバータ出力）を選択 注1	
1	1	設定禁止 注2	

CMPSEL3	CMPSEL2	CMPSEL1	CMPSEL0	コンパレータ入力選択	R/W
0	0	0	0	入力なし	R/W
0	0	0	1	IVCMP00 を選択	
0	0	1	0	IVCMP01 を選択	
0	1	0	0	IVCMP02 を選択	
1	0	0	0	IVCMP03 を選択 注5	
上記以外は設定しないでください。設定の詳細は，**注 3** を参照してください。					

注 1. 内部基準電圧を使用する場合，コンパレータ動作を許可（HCMPON = 1）する前に，内部基準電圧を生成する D/A コンバータを設定してください。内部基準電圧の設定については「第 13 章 D/A コンバータ（RL78/F24 のみ）」を参照してください。

2. CVRS1, CVRS0 ビットの書き換えは，以下の手順で行ってください。設定値を変えるときは，CVRS1, CVRS0 を必ず 00B にしてから設定値を変更してください。00B でないとき 00B 以外を書いた場合は無効です。前の値を保持します。

① CMPCTL レジスタの COE ビットを 0 にする。

② CVRS1, CVRS0 ビットを 00B にする。

③ CVRS1, CVRS0 ビットを新しい設定値（いずれか 1 ビットのみ 1）にする。

④入力切替の安定時間（300 ns）を待つ。

⑤ CMPCTL レジスタの COE ビットを 1 にする。

⑥ 制御レジスタのフラグ・ビット CMPIF0 をクリアする。

3. CMPSEL3-CMPSEL0 ビットの書き換えは，以下の手順で行ってください。CMPSEL3-CMPSEL0 ビットが 0000B でないときに，0000B 以外の書き込みは無効です。2 ビット以上 1 となる値を書いた場合も無効です。いずれの場合も前の値を保持します。

① CMPCTL レジスタの COE ビットを 0 にする。

② CMPSEL3-CMPSEL0 ビットを 0000B にする。

③ CMPSEL3-CMPSEL0 ビットを新しい設定値（いずれか 1 ビットのみ 1）にする。

④ 入力切替の安定時間（300 ns）を待つ。

⑤ CMPCTL レジスタの COE ビットを 1 にする。

⑥ 制御レジスタのフラグ・ビット CMPIF0 をクリアする。

4. ビット 7 には必ず 0 を設定してください。

5. IVREF0 ピンと IVCMP03 ピンは同時には使用できません。

14.2.4　コンパレータ出力モニタ・レジスタ（CMPMON）

コンパレータ出力をモニタするレジスタです。

CMPMON レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により 00H になります。

図 14－5　コンパレータ出力モニタ・レジスタ（CMPMON）のフォーマット

アドレス：F02A2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
CMPMON	0	0	0	0	0	0	0	CMPMON0

CMPMON0	コンパレータ出力モニタ・フラグ	R/W
0	CINV=0（コンパレータ出力正転）時 ・コンパレータ入力電圧（IVCMP0n）＜ 基準電圧 ・コンパレータ動作停止（HCMPON = 0） ・コンパレータ出力停止（COE = 0） CINV=1（コンパレータ出力反転）時 ・コンパレータ入力電圧（IVCMP0n）＞ 基準電圧	R
1	CINV=0（コンパレータ出力正転）時 ・コンパレータ入力電圧（IVCMP0n）＞ 基準電圧 CINV=1（コンパレータ出力反転）時 ・コンパレータ入力電圧（IVCMP0n）＜ 基準電圧 ・コンパレータ動作停止（HCMPON = 0） ・コンパレータ出力停止（COE = 0）	

注意　ノイズフィルタ未使用（CDFS1, 0 = 00B）の設定でコンパレータを動作（HCMPON = COE = 1）させる場合は，CMPMON0 ビットを 2 回リードし，一致したときに値を取り込むソフトウェアとしてください。

14.2.5　ポート・モード・コントロール・レジスタ 8（PMC8）

このレジスタは，P80 から P87 を 1 ビット単位でデジタル入出力またはアナログ入力にセットします。

コンパレータを使用する場合，P82/ANI2/IVCMP00，P83/ANI3/IVCMP01，P84/ANI4/IVCMP02，P85/ANI5/IVCMP03/IVREF0 から選択した端子を PMC8 レジスタと PM8 レジスタでアナログ入力に設定してください。

このレジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生で，このレジスタは FFH になります。

図 14－6　ポート・モード・コントロール・レジスタ 8（PMC8）のフォーマット

アドレス：F0068H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PMC8	PMC87	PMC86	PMC85	PMC84	PMC83	PMC82	PMC81	PMC80

PMC8n	P8n 端子のデジタル入出力またはアナログ入力の選択（n = 0-7）	R/W
0	デジタル入出力（アナログ入力以外の機能）	R/W
1	アナログ入力	

注意　コンパレータで使用するチャネル（P82/ANI2/IVCMP00, P83/ANI3/IVCMP01, P84/ANI4/IVCMP02, P85/ANI5/IVCMP03/IVREF0）は，ポート・モード・レジスタ 8（PM8）で入力モードに選択してください。

14.2.6　D/A コンバータ・モード・レジスタ 2（DAM2）

D/A コンバータのアナログ出力を P80/ANI0/ANO0 端子に出力する場合，ANO0 端子の出力を制御するレジスタです。コンパレータ入出力切替レジスタ（CMPSEL）のビット 5-4（CVRS1-0）を 10B（内部基準電圧（DAC 出力））に設定する場合は，ANO0EN ビットを 0（アナログ出力禁止）に設定してください。

DAM2 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 14－7　D/A コンバータ・モード・レジスタ 2（DAM2）のフォーマット

アドレス：F0227H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DAM2	0	0	0	0	0	0	0	ANO0EN

ANO0EN	アナログ出力（ANO0）の制御	R/W
0	アナログ出力（ANO0）禁止	R/W
1	アナログ出力（ANO0）許可	

14.2.7　ポート・モード・レジスタ 4（PM4）

ポート 4 の入力／出力を 1 ビット単位で設定するレジスタです。

コンパレータ出力を兼用するポート（P41/VCOUT0）をコンパレータ出力として使用するとき，対応するポート・モード・レジスタ 4（PM4）のビットおよびポート・レジスタ 4（P4）のビットに 0 を設定してください。

例）　P41/VCOUT0 をコンパレータ出力として使用する場合
　　ポート・モード・レジスタ 4 の PM41 ビットを 0 に設定
　　ポート・レジスタ 4 の P41 ビットを 0 に設定

PM4 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により FFH になります。

図 14－8　ポート・モード・レジスタ 4（PM4）のフォーマット

アドレス：FFF24H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n 端子の入出力モードの選択（n = 0-7）	R/W
0	出力モード（出力バッファ・オン）	R/W
1	入力モード（出力バッファ・オフ）	

14.2.8　ポート・モード・レジスタ 8（PM8）

P82/ANI2/IVCMP00，P83/ANI3/IVCMP01，P84/ANI4/IVCMP02，P85/ANI5/IVCMP03/IVREF0 注をコンパレータのアナログ入力ポートとして使用するとき，PM82-PM85 ビットにそれぞれ 1 を設定してください。

PM82-PM85 ビットに 0 を設定した場合は，アナログ入力ポートとして使用することはできません。

PM8 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により FFH になります。

注　IVREF0 ピンと IVCMP03 ピンは同時には使用できません。

注意　アナログ入力ポートとして設定した端子を読み出した場合，端子レベルではなく，常に 0 が読み出されます。

図 14－9　ポート・モード・レジスタ 8（PM8）のフォーマット

アドレス：FFF28H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

PM8n	P8n 端子の入出力モードの選択（n = 0-7）	R/W
0	出力モード（出力バッファ・オン）	R/W
1	入力モード（出力バッファ・オフ）	

P82/ANI2/IVCMP00，P83/ANI3/IVCMP01，P84/ANI4/IVCMP02，P85/ANI5/IVCMP03/IVREF0 端子の機能は，ポート・モード・コントロール・レジスタ 8（PMC8），A/D チャネル指定レジスタ（ADANSA0，ADANSB0）と，ポート・モード・レジスタ 8（PM8）の設定で決定します。

表 14－4　P82/ANI2/IVCMP00-P85/ANI5/IVREF0 端子機能の設定

PMC8 レジスタ	PM8 レジスタ	ADANSA0，ADANSB0 レジスタ	P82/ANI2/IVCMP00 - P85/ANI5/IVCMP03/IVREF0 端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI 選択	アナログ入力（変換対象）
		ANI 非選択	アナログ入力（非変換対象）
	出力モード	ANI 選択	設定禁止
		ANI 非選択	

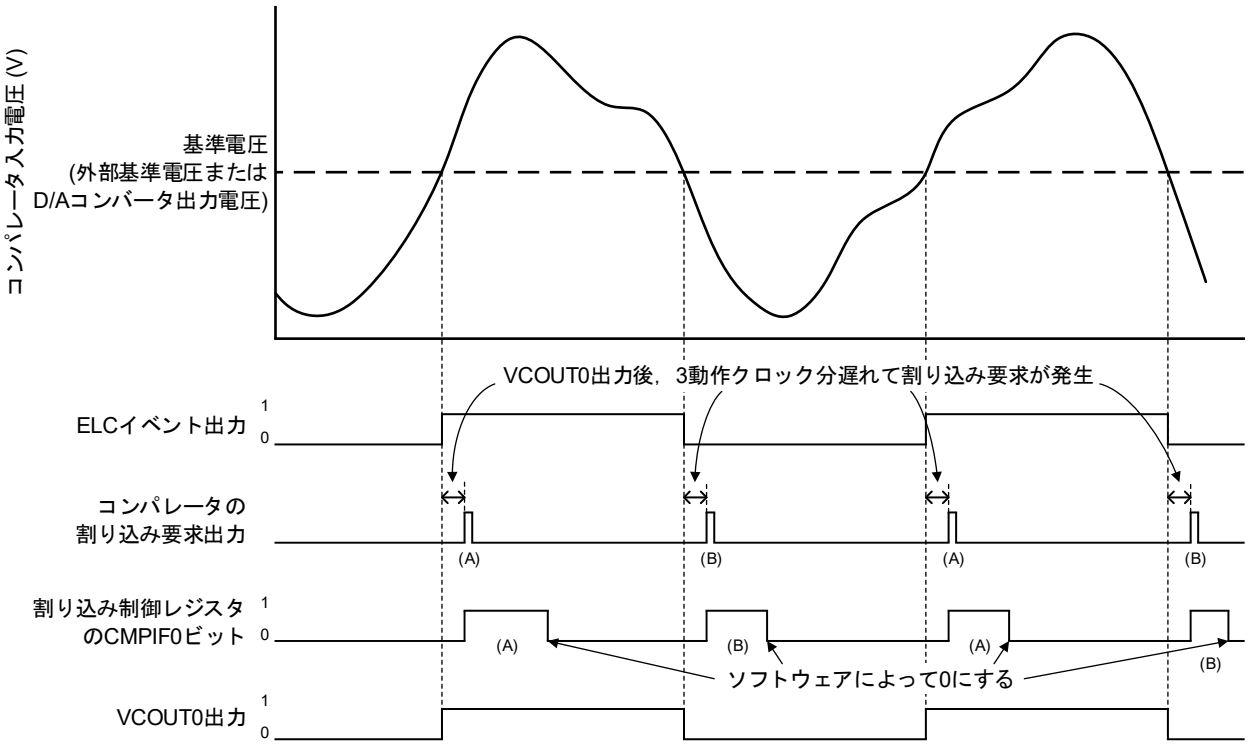
リセット信号の発生により，P82/ANI2/IVCMP00 - P85/ANI5/IVCMP03/IVREF0 端子はすべてアナログ入力になります。

14.3 動作説明

図 14－10 にコンパレータの動作例を示します。基準電圧よりコンパレータ入力電圧が高い場合に VCOUT0 出力が 1 になり，基準電圧よりアナログ入力電圧が低い場合に VCOUT0 出力が 0 になります。また，コンパレータ出力が変化すると割り込み要求と ELC イベントを出力します。

- コンパレータ動作例

図 14－10　コンパレータの動作例



注意　上図は，CPOE = 1（端子出力許可），CDFS1, CDFS0 = 00B（ノイズ・フィルタ未使用），CEGP = CEGN = 1（両エッジ検出）の場合です。CINV = 0，CEGP = 1，CEGN = 0（コンパレータ出力正転の立ち上がりエッジ検出）のときの CMPIF0 は (A) の変化のみ，CINV = 0，CEGP = 0，CEGN = 1（コンパレータ出力正転の立ち下がりエッジ検出）のときの CMPIF0 は (B) の変化のみとなります。CPOE = 1 のとき，VCOUT0 は ELC イベント出力がそのまま出力されます。

14.3.1　ノイズ・フィルタ

コンパレータは，ノイズ・フィルタを内蔵しています。サンプリング・クロックは CMPCTL レジスタの CDFS1-0 ビットで選択できます。

サンプリング・クロックごとにコンパレータの出力信号をサンプリングし，レベルが 3 度一致した次のサンプリング・クロックで，ノイズ・フィルタ出力がその値になります。

図 14－11 にノイズ・フィルタとエッジ検出の構成を，図 14－12 にノイズ・フィルタと割り込み動作例を示します。

図 14－11　ノイズ・フィルタとエッジ検出の構成

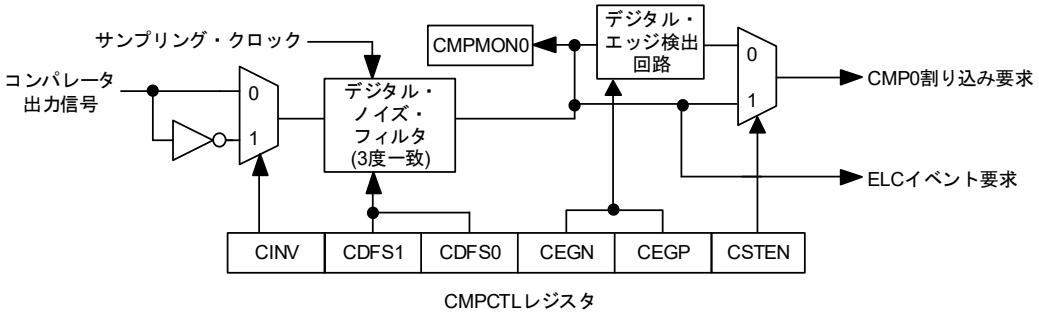
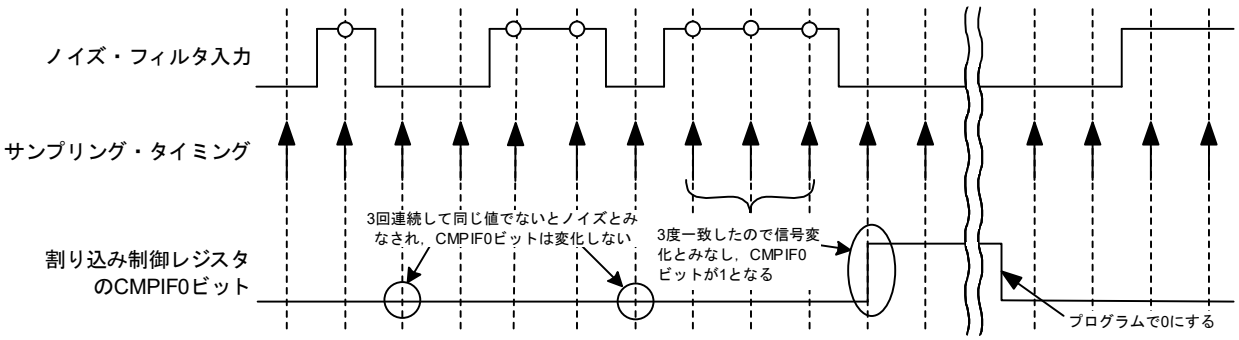


図 14－12　ノイズ・フィルタと割り込み動作例



注意　上図は，CMPCTL レジスタの CDFS1, CDFS0 ビットが，01B, 10B, 11B のいずれか（ノイズ・フィルタ使用）の場合の動作例です。

14.3.2　コンパレータ割り込み

コンパレータは割り込み要求を発生します。コンパレータ割り込みは，優先順位指定フラグ，割り込みマスク・フラグ，割り込み要求フラグ，割り込みベクタを持ちます。

コンパレータ割り込みを使用するときは，CMPCTL レジスタの CEGP ビットおよび CEGN ビットの少なくとも一つを 1（00B（エッジ選択しない）以外の設定）にしてください。割り込み要求を発生する条件は，
★ CMPCTL レジスタの CEGP ビットおよび CEGN ビットにより設定します。また，コンパレータ出力にはノイズ・フィルタを付けることが可能です。ノイズ・フィルタは 3 種類のサンプリング・クロックを選択可能です。

レジスタ設定と割り込み要求の対応については，「14.2.2　コンパレータ制御レジスタ（CMPCTL）」を参照してください。

STOP モードのときにコンパレータ割り込みを使用する場合は，CMPCTL レジスタの CSTEN = 1（コンパレータ割り込みによる STOP モード解除許可）かつ CDFS1, CDFS0 = 00（デジタル・ノイズ・フィルタ未使用）としてください。

14.3.3　コンパレータの ELC/PWMOPA イベント出力

コンパレータの ELC/PWMOPA イベントは，CMPCTL レジスタで設定したコンパレータ出力反転制御（CINV ビット）およびノイズ・フィルタ出力（CDFS1, CDFS0 ビット）により発生します。ELC のイベント出力先の選択やイベント・リンクの停止は，ELC の ELSELR19 レジスタで設定してください。また，PWMOPA のイベント入力は，OPCTL0 レジスタの遮断要因選択（IN_SEL1, IN_SEL0 ビット）で設定してください。

14.3.4　コンパレータの端子出力

コンパレータの比較結果を外部端子へ出力することができます。CMPSEL レジスタの CINV，CPOE ビットにより出力極性（正転出力／反転出力）や出力許可／禁止を設定できます。レジスタ設定とコンパレータ端子出力の対応は，「14.2.2　コンパレータ制御レジスタ（CMPCTL）」を参照してください。

14.3.5　コンパレータ・クロック停止／供給

周辺イネーブル・レジスタ 1（PER1）の設定によりコンパレータを停止する場合は以下の手順に従ってください。

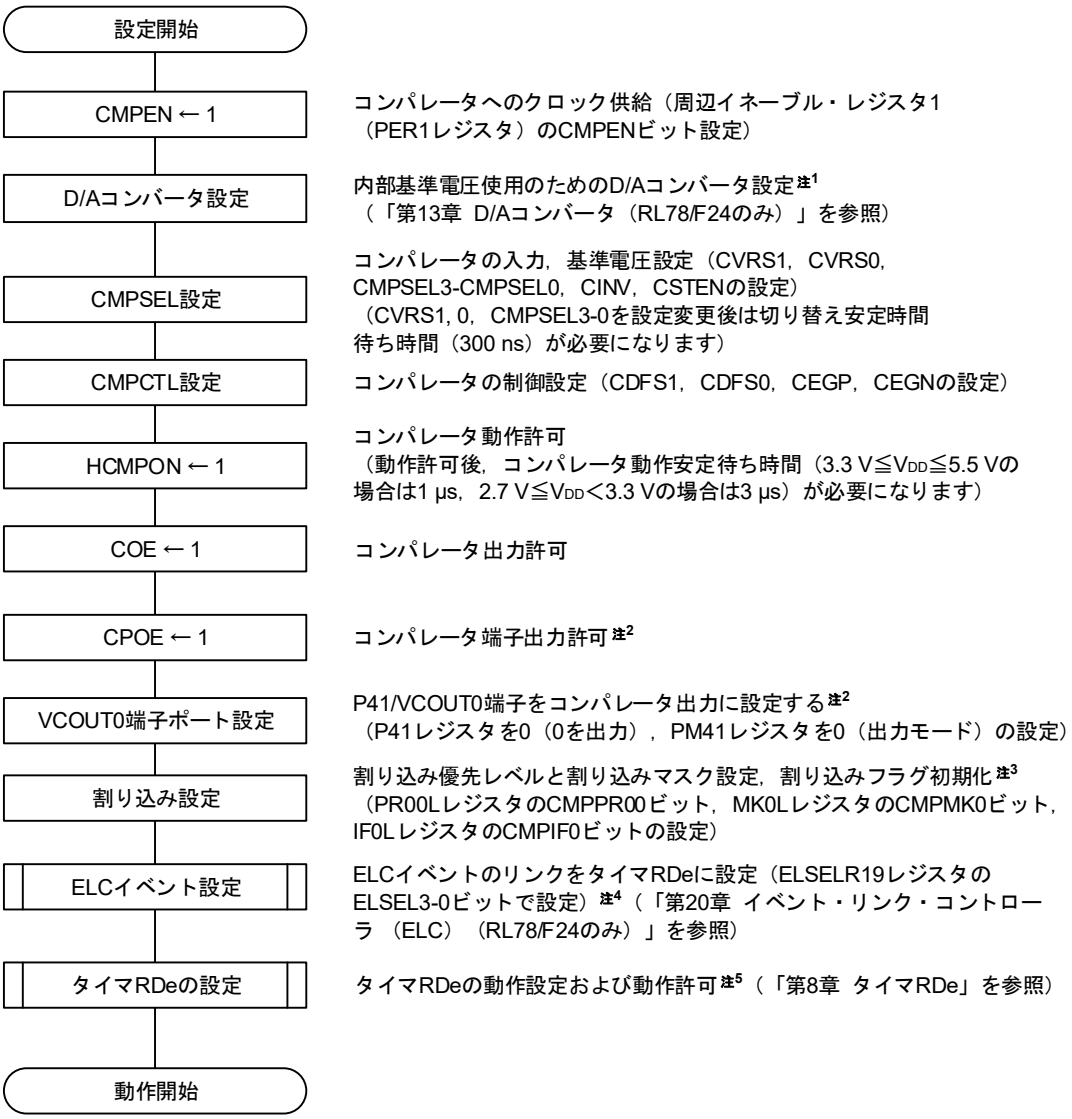
① CMPCTL レジスタの HCMPON ビットを 0 にする（コンパレータ入力停止）。
② PER1 レジスタの CMPEN ビットを 0 にする。
③ 割り込みフラグ（IF0L レジスタの CMPIF0 ビット）を 0 にする（コンパレータ停止前の不要な割り込みをクリア）。

PER1 の設定によりコンパレータを停止するとコンパレータ内部のレジスタはすべて初期化されますので，コンパレータを再度使用する場合は，図 14－13 の手順に従ってレジスタ設定してください。

14.3.6　コンパレータの設定フロー・チャート

図 14－13 にコンパレータの設定フロー・チャートを示します。

図 14－13　コンパレータ（内部基準電圧(D/A コンバータ出力)，INTCMP0 割り込み，ELC イベントからのタイマ RDe 動作を使用する場合）の動作設定フロー・チャート



注 1. 外部基準電圧を使用する場合は不要です。

2. コンパレータ出力を外部端子へ出力しない場合は不要です。

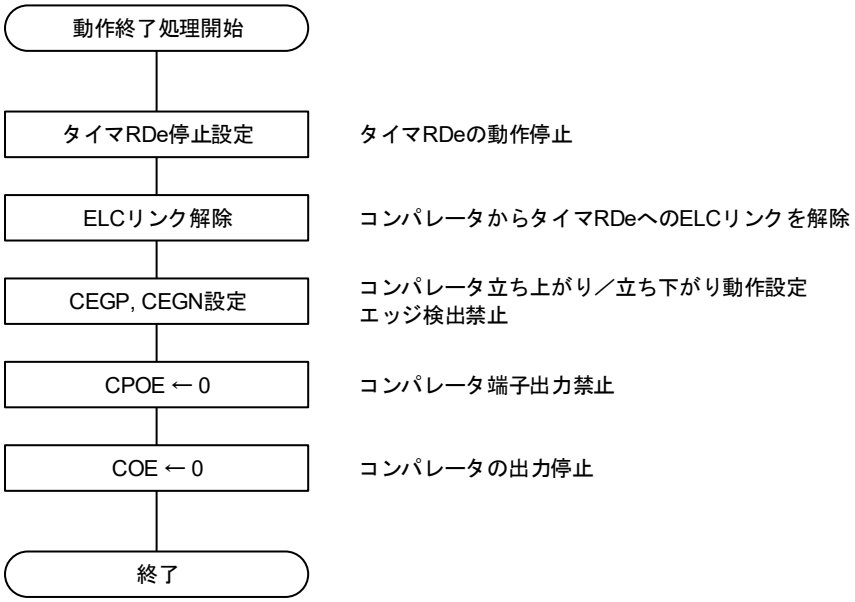
3. 割り込み制御に配置されたレジスタを設定します。

4. ELC イベントを使用しない場合は不要です。

5. ELC イベントでのタイマ RDe 機能を使用しない場合は不要です。

図 14－14　コンパレータ動作終了フロー・チャート

（ELC イベントからのタイマ RDe 動作を使用する場合）



第15章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは 1 つのユニットに 2 つのシリアル・チャネルを持ちます。各チャネルは 3 線シリアル（CSI），UART，簡易 I^2C の通信機能を実現できます。

RL78/F23, F24 で対応している各チャネルの機能割り当ては，次のようになっています。

・RL78/F23 32 ピン製品および RL78/F24 32 ピン製品

ユニット	チャネル	CSI として使用	UART として使用	簡易 I^2C として使用
0	0	CSI00 (SPI 機能対応)	UART0（LIN-bus 対応）	IIC00
	1	CSI01 (SPI 機能対応)		IIC01
1	0	CSI10 (SPI 機能対応) 注	UART1	IIC10
	1	－		－

・RL78/F23 48, 64, 80 ピン製品および RL78/F24 48, 64, 80, 100 ピン製品

ユニット	チャネル	CSI として使用	UART として使用	簡易 I^2C として使用
0	0	CSI00 (SPI 機能対応)	UART0（LIN-bus 対応）	IIC00
	1	CSI01 (SPI 機能対応)		IIC01
1	0	CSI10 (SPI 機能対応) 注	UART1	IIC10
	1	CSI11 (SPI 機能対応)		IIC11

注　48 ピンおよび 32 ピン製品には，SSI10 端子はありません。

注意　この章では，以降の主な説明を RL78/F23 80 ピン製品のユニット，チャネル構成で説明しています。

15.1　シリアル・アレイ・ユニットの機能

RL78/F23, F24 で対応している各シリアル・インタフェースの特徴を示します。

15.1.1　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1 本と送信，受信のシリアル・データ（SO, SI）2 本の計 3 本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「15.5　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）通信の動作」を参照してください。

［データ送受信］

- 7～16 ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　　マスタ通信時：Max. $f_{MCK}/4$ 注
  　　スレーブ通信時：Max. $f_{MCK}/6$ 注

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

CSI00, CSI01, CSI10, CSI11 は SPI 機能に対応しています。

［拡張機能］

- SPI 機能のスレーブ選択機能

注　ただし，SCK サイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください（第 36 章～第 38 章の電気的特性を参照）

15.1.2　UART（UART0, UART1）

シリアル・データ送信（TXD）とシリアル・データ受信（RXD）の 2 本のラインによる，調歩同期式通信機能です。この 2 本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる 1 データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の 2 チャネルを使用することで，全 2 重 UART 通信が実現できます。また，タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせて LIN-bus にも対応可能です。

具体的な設定例は，「15.7　UART（UART0, UART1）通信の動作」を参照してください。

［データ送受信］

- 7, 8, 9, 16 ビットのデータ長
- MSB/LSB ファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- 受信の転送完了割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

UART0（ユニット 0 のチャネル 0, 1）は，LIN-bus に対応しています。

［LIN-bus 機能］

- ウェイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニットを使用

15.1.3　簡易 I²C（IIC00, IIC01, IIC10, IIC11）

シリアル・クロック（SCL）とシリアル・データ（SDA）の 2 本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易 I²C では，EEPROM，フラッシュ・メモリ，A/D コンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は，「15.9　簡易 I²C（IIC00, IIC01, IIC10, IIC11）通信の動作」を参照して下さい。

［データ送受信］

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK 出力機能 注，ACK 検出機能
- 8 ビットのデータ長
  （アドレス送信時は，上位 7 ビットでアドレス指定し，最下位 1 ビットで R/W 制御）
- スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- ACK エラー，オーバラン・エラー

※［簡易 I²C でサポートしていない機能］

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- ウェイト検出機能

注　最終データの受信時は，SOEmn ビット（シリアル出力許可レジスタ m（SOEm））ビットに 0 を書き込み，シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は「15.9.3 (2)　処理フロー」を参照してください。

備考 1. フル機能の I²C バスをご使用の場合は「第 16 章　シリアル・インタフェース IICA」を参照してください。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウェアで構成されています。

表 15－1　シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	16 ビット
バッファ・レジスタ	シリアル・データ・レジスタ mn（SDRmn）注
シリアル・クロック入出力	SCK00, SCK01, SCK10, SCK11，端子（3 線シリアル I/O 用），SCL00, SCL01, SCL10, SCL11 端子（簡易 I^2C 用）
シリアル・データ入力	SI00, SI01, SI10, SI11 端子（3 線シリアル I/O 用），RXD0（LIN-bus 対応 UART 用），RXD1 端子（UART 用）
シリアル・データ出力	SO00, SO01, SO10, SO11 端子（3 線シリアル I/O 用），TXD0（LIN-bus 対応 UART 用），TXD1 端子（UART 用），出力制御回路
シリアル・データ入出力	SDA00, SDA01, SDA10, SDA11 端子（簡易 I^2C 用）
スレーブ選択入力	SSI00, SSI01, SSI10, SSI11 端子（3 線シリアル I/O 用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ 0（PER0） ・シリアル・クロック選択レジスタ m（SPSm） ・シリアル・チャネル許可ステータス・レジスタ m（SEm） ・シリアル・チャネル開始レジスタ m（SSm） ・シリアル・チャネル停止レジスタ m（STm） ・シリアル出力許可レジスタ m（SOEm） ・シリアル出力レジスタ m（SOm） ・シリアル出力レベル・レジスタ m（SOLm） ・シリアル・スレーブ選択許可レジスタ m（SSEmn） ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ 0（NFEN0）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタ mn（SDRmn） ・シリアル・モード・レジスタ mn（SMRmn） ・シリアル通信動作設定レジスタ mn（SCRmn） ・シリアル・ステータス・レジスタ mn（SSRmn） ・シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）
	・ポート入力モード・レジスタ 1, 3, 5-7, 12（PIM1, PIM3, PIM5-PIM7, PM12） ・ポート出力モード・レジスタ 1, 3, 6, 7, 12（POM1, POM3, POM6, POM7, POM12） ・ポート・モード・レジスタ 1, 3-7, 12（PM1, PM3-PM7, PM12） ・ポート・レジスタ 1, 3-7, 12（P1, P3-P7, P12）

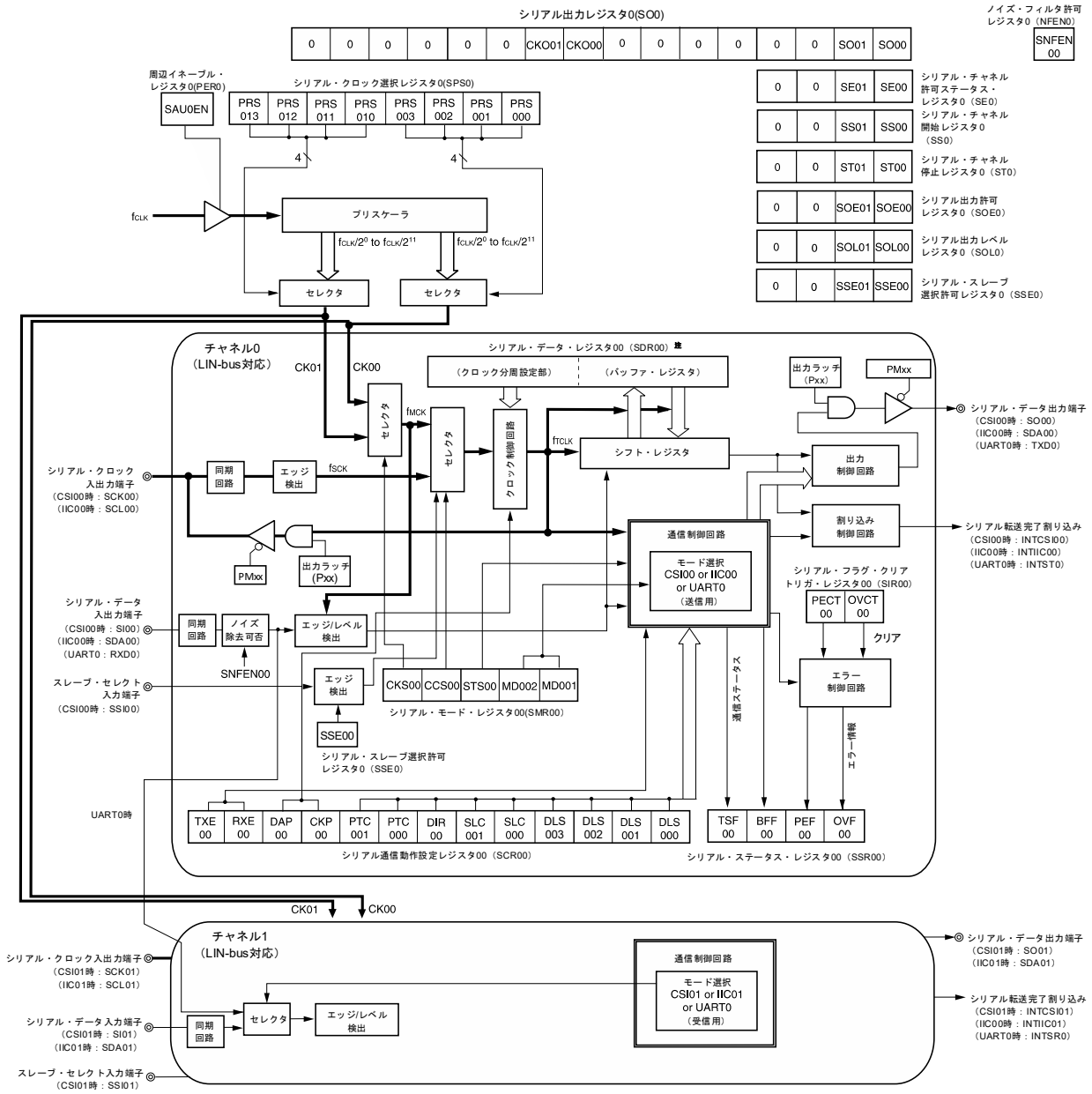
注　SEmn = 1 のとき，シリアル・データ・レジスタ mn（SDRmn）の下位 8 ビットは，通信方式により，次の SFR 名称でリード／ライト可能です。

- CSIp 通信時・・・SDRpL（CSIp データ・レジスタ）
- UARTq 受信時・・・SDRmnL（UARTq 受信データ・レジスタ）
- UARTq 送信時・・・SDRmnL（UARTq 送信データ・レジスタ）
- IICr 通信時・・・SDRrL（IICr データ・レジスタ）

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11）
q：UART 番号（q = 0, 1），r：IIC 番号（r = 00, 01, 10, 11）

図 15－1 にシリアル・アレイ・ユニット 0 のブロック図を示します。

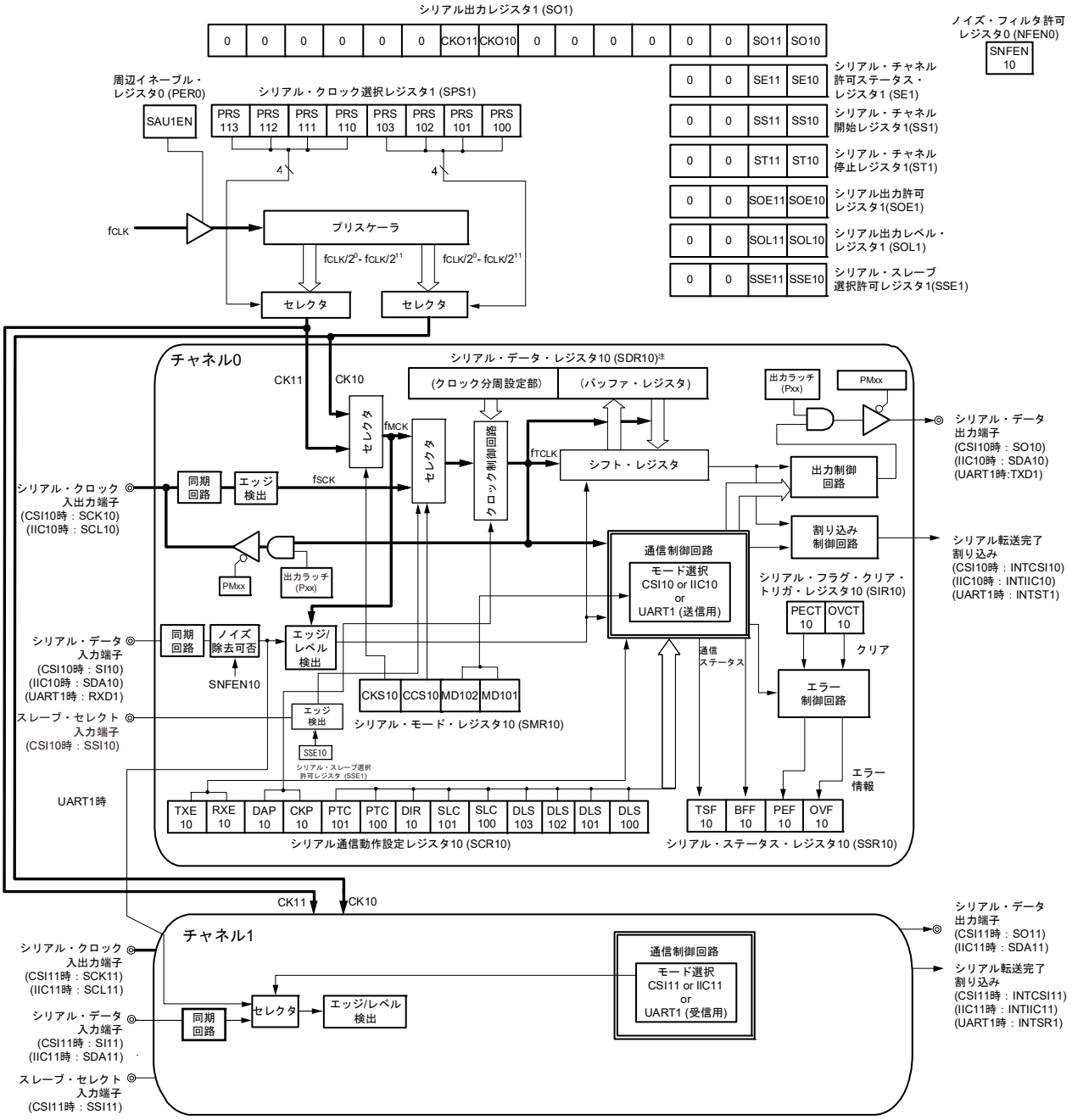
★ 図 15－1　シリアル・アレイ・ユニット 0 のブロック図



注　動作停止（SE0n = 0）のとき，上位 7 ビットがクロック分周設定部，下位ビットは意味を持ちません。
動作中（SE0n = 1）のときは，シリアル・データ・レジスタ 0n はバッファ・レジスタとして機能します。

図 15－2 にシリアル・アレイ・ユニット 1 のブロック図を示します。

★ 図 15－2　シリアル・アレイ・ユニット 1 のブロック図



注　動作停止（SE1n = 0）のとき，上位 7 ビットがクロック分周設定部，下位ビットは意味を持ちません。
動作中（SE1n = 1）のとき，シリアル・データ・レジスタ 1n はバッファ・レジスタとなります。

(1) シフト・レジスタ

パラレル⇔シリアルの変換を行う 16 ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。

送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，動作中（SEmn = 1）にシリアル・データ・レジスタ mn（SDRmn）を使用します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
シフト・レジスタ															

(2) シリアル・データ・レジスタ mn（SDRmn）

SDRmn レジスタは，チャネル n の送受信データ・レジスタ（16 ビット）です。

動作停止状態（SEmn = 0）のとき，ビット 15-9 の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。動作中（SEmn = 1）のときは，送受信バッファ・レジスタとして機能します。

受信時には，シフト・レジスタで変換したパラレル・データを格納します。送信時は，シフト・レジスタに転送する送信データを設定します。

格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタ mn（SCRmn）のビット 4-0（DLSmn4-DLSmn0）の設定によって，次のようになります。

- 7 ビット・データ長（SDRmn レジスタのビット 0-6 に格納）
- 8 ビット・データ長（SDRmn レジスタのビット 0-7 に格納）
- 9 ビット・データ長（SDRmn レジスタのビット 0-8 に格納）

  ・
  ・
  ・

- 16 ビット・データ長（SDRmn レジスタのビット 0-15 に格納）

SDRmn レジスタは 16 ビット単位でリード／ライト可能です。

動作中（SEmn = 1）のとき，SDRmn レジスタの下位 8 ビットは，SDRmnL の SFR 名称として 8 ビット単位のリード／ライト可能 注です。通信方式により使える SDRmnL レジスタは次のとおりです。

- CSIp 通信時・・・SDRpL
- UARTq 受信時・・・SDRmnL
- UARTq 送信時・・・SDRmnL
- IICr 通信時・・・SDRrL

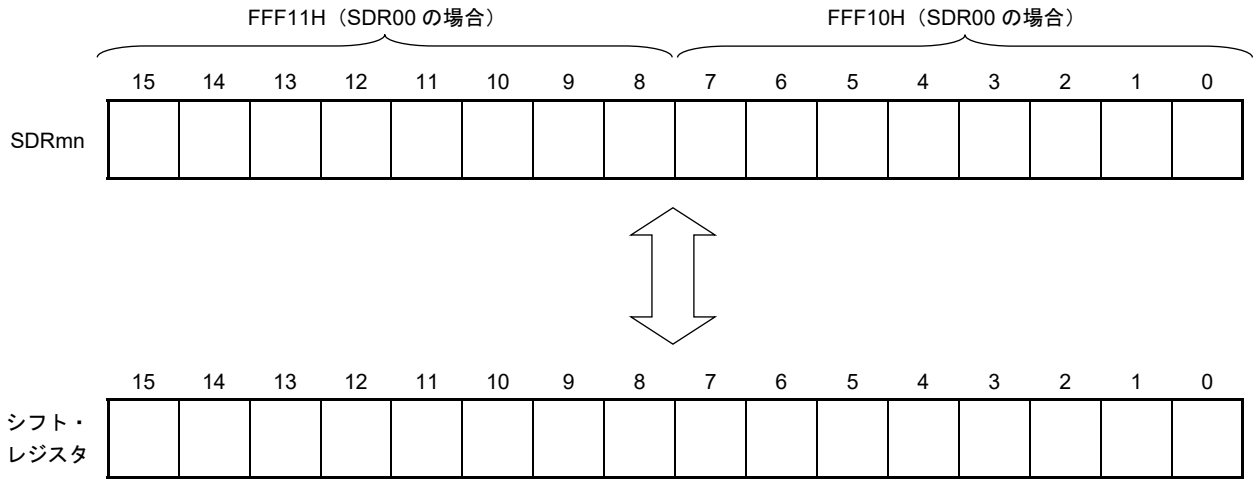
リセット信号の発生により，SDRmn レジスタは 0000H になります。

注　ただし動作停止（SEmn = 0）時は，8 ビット単位のライト禁止。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0,1），p：CSI 番号（p = 00, 01, 10, 11），q：UART 番号（q = 0, 1），r：IIC 番号（r = 00, 01, 10, 11）

図 15－3　シリアル・データ・レジスタ mn（SDRmn）（mn = 00, 01, 10, 11）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　リセット時：0000H　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）



備考　SDRmn レジスタの上位 7 ビットの機能については，「15.3　シリアル・アレイ・ユニットを制御するレジスタ」を参照してください。

15.3　シリアル・アレイ・ユニットを制御するレジスタ

表 15－2　シリアル・アレイ・ユニットのレジスタ構成（1/2）

アドレス	レジスタ名	シンボル		リセット時	アクセス・サイズ
F00F0H	周辺イネーブル・レジスタ0	PER0		00H	1, 8
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0		00H	1, 8
F0073H	入力切り替え制御レジスタ	ISC		00H	1, 8
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	0000H	8, 16
F0101H		－			
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	0000H	8, 16
F0103H		－			
F0104H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	0000H	8, 16
F0105H		－			
F0106H	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	0000H	8, 16
F0107H		－			
F0108H	シリアル・モード・レジスタ00	SMR00		0020H	16
F010AH	シリアル・モード・レジスタ01	SMR01		0020H	16
F010CH	シリアル通信動作設定レジスタ00	SCR00		0087H	16
F010EH	シリアル通信動作設定レジスタ01	SCR01		0087H	16
F0110H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	0000H	1, 8, 16
F0111H		－			
F0112H	シリアル・チャネル開始レジスタ0	SS0L	SS0	0000H	1, 8, 16
F0113H		－			
F0114H	シリアル・チャネル停止レジスタ0	ST0L	ST0	0000H	1, 8, 16
F0115H		－			
F0116H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	0000H	8, 16
F0117H		－			
F0118H	シリアル出力レジスタ0	SO0		0303H	16
F011AH	シリアル出力許可レジスタ0	SOE0L	SOE0	0000H	1, 8, 16
F011BH		－			
F0120H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	0000H	8, 16
F0121H		－			
F0122H	シリアル・スレーブ選択許可レジスタ0	SSE0L	SSE0	0000H	8, 16
F0123H		－			
FFF10H	シリアル・データ・レジスタ00	SDR00L	SDR00	0000H	8, 16
FFF11H		－			
FFF12H	シリアル・データ・レジスタ01	SDR01L	SDR01	0000H	8, 16
FFF13H		－			

表 15－2　シリアル・アレイ・ユニットのレジスタ構成（2/2）

アドレス	レジスタ名	シンボル		リセット時	アクセス・サイズ
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	0000H	8, 16
F0141H		－			
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	0000H	8, 16
F0143H		－			
F0144H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	0000H	8, 16
F0145H		－			
F0146H	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	0000H	8, 16
F0147H		－			
F0148H	シリアル・モード・レジスタ10	SMR10		0020H	16
F014AH	シリアル・モード・レジスタ11	SMR11		0020H	16
F014CH	シリアル通信動作設定レジスタ10	SCR10		0087H	16
F014EH	シリアル通信動作設定レジスタ11	SCR11		0087H	16
F0150H	シリアル・チャネル許可ステータス・レジスタ1	SE1L	SE1	0000H	1, 8, 16
F0151H		－			
F0152H	シリアル・チャネル開始レジスタ1	SS1L	SS1	0000H	1, 8, 16
F0153H		－			
F0154H	シリアル・チャネル停止レジスタ1	ST1L	ST1	0000H	1, 8, 16
F0155H		－			
F0156H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	0000H	8, 16
F0157H		－			
F0158H	シリアル出力レジスタ1	SO1		0303H	16
F015AH	シリアル出力許可レジスタ1	SOE1L	SOE1	0000H	1, 8, 16
F015BH		－			
F0160H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	0000H	8, 16
F0161H		－			
F0162H	シリアル・スレーブ選択許可レジスタ1	SSE1L	SSE1	0000H	8, 16
F0163H		－			
FFF48H	シリアル・データ・レジスタ10	SDR10L	SDR10	0000H	8, 16
FFF49H		－			
FFF4AH	シリアル・データ・レジスタ11	SDR11L	SDR11	0000H	8, 16
FFF4BH		－			

備考　ポート入力モード・レジスタ（PIM1，PIM3，PIM5-PIM7，PIM12），ポート出力モード・レジスタ（POM1，POM3，POM6，POM7，POM12），ポート・モード・レジスタ（PM1，PM3-PM7，PM12），およびポート入力しきい値制御レジスタ（PITHL1，PITHL3-PITHL7，PITHL10，PITHL12，PITHL15）については，「15.3.17　ポート入力モード・レジスタ（PIM1, PIM3, PIM5-7, PIM12）」，「15.3.18　ポート出力モード・レジスタ（POM1, POM3, POM6, POM7, POM12）」，「15.3.19　ポート・モード・レジスタ（PM1, PM3-PM7, PM12）」，および「15.3.20　ポート入力閾値制御レジスタ（PITHL1, PITHL3-7, PITHL10, PITHL12, PITHL15）」を参照してください。

15.3.1　周辺イネーブル・レジスタ 0（PER0）

PER0 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を使用するときは，必ずビット 2（SAU0EN）に 1 を設定してください。

シリアル・アレイ・ユニット 1 を使用するときは，必ずビット 3（SAU1EN）に 1 を設定してください。

PER0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PER0 レジスタは 00H になります。

図 15－4　周辺イネーブル・レジスタ 0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

SAUmEN	シリアル・アレイ・ユニット m の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット m で使用する SFR へのライト不可 ・シリアル・アレイ・ユニット m はリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニット m で使用する SFR へのリード／ライト可

注意 1. シリアル・アレイ・ユニット m の設定をする際には，必ず最初に SAUmEN = 1 の設定を行ってください。SAUmEN = 0 の場合は，シリアル・アレイ・ユニット m の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります（入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ 0（NFEN0），ポート入力モード・レジスタ（PIM1, PIM3, PIM5-PIM7, PIM12），ポート出力モード・レジスタ（POM1, POM3, POM6, POM7, POM12），ポート・モード・レジスタ（PM1, PM3-PM7, PM12），ポート・レジスタ（P1, P3-P7, P12），ポート・モード・コントロール・レジスタ（PMC7, PMC12），ポート入力閾値制御レジスタ（PITHL1, PITHL3-7, PITHL12），ポート出力スルー・レート選択レジスタ（PSRSEL）は除く）。

2. ビット 6 には必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1）

15.3.2　シリアル・クロック選択レジスタ m（SPSm）

SPSm レジスタは，各チャネルに共通して供給される 2 種類の動作クロック（CKm0, CKm1）を選択する 16 ビット・レジスタです。SPSm レジスタのビット 7-4 で CKm1 を，ビット 3-0 で CKm0 を選択します。

SPSm レジスタは，動作中（SEmn = 1 のとき）の書き換えは禁止です。

SPSm レジスタは 16 ビット・メモリ操作命令で設定します。

また SPSm レジスタの下位 8 ビットは，SPSmL で 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SPSm レジスタは 0000H になります。

図 15－5　シリアル・クロック選択レジスタ m（SPSm）のフォーマット

アドレス：F0116H, F0117H（SPS0）, F0156H, F0157H（SPS1）　リセット時：0000H　R/W

Symbol	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm 13	PRSm 12	PRSm 11	PRSm 10	PRSm 03	PRSm 02	PRSm 01	PRSm 00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択 注						
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz	f_{CLK} = 40 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz	40 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	20 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	10 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz	5 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz	2.5 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz	1.25 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz	625 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz	313 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	156 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz	78.1 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz	39.1 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz	19.5 kHz
上記以外				設定禁止						

注　f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ m（STm） = 0003H）させてから変更してください。

注意　ビット 15-8 には，必ず 0 を設定してください。

備考 1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

f_{SUB}：サブシステム・クロック周波数

2. m：ユニット番号（m = 0, 1），k = 0, 1

15.3.3　シリアル・モード・レジスタ mn（SMRmn）

SMRmn レジスタは，チャネル n の動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（CSI, UART，簡易 I^2C）設定，割り込み要因の選択を行います。また UART モード時のみ，受信データのレベル反転の設定を行います。

SMRmn レジスタは，動作中（SEmn = 1 のとき）の書き換えは禁止です。ただし MDmn0 ビットは，動作中でも書き換えをすることができます。

SMRmn レジスタは，16 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SMRmn レジスタは 0020H になります。

図 15－6　シリアル・モード・レジスタ mn（SMRmn）のフォーマット（1/2）

アドレス：F0108H, F0109H（SMR00），F010AH, F010BH（SMR01）　　リセット時：0020H　R/W
F0148H, F0149H（SMR10），F014AH, F014BH（SMR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKSmn	チャネル n の動作クロック（f_{MCK}）の選択
0	SPSm レジスタで設定した動作クロック CKm0
1	SPSm レジスタで設定した動作クロック CKm1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmn ビットと SDRmn レジスタの上位 7 ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCSmn	チャネル n の転送クロック（f_{TCLK}）の選択
0	CKSmn ビットで指定した動作クロック f_{MCK} の分周クロック
1	SCKp 端子からの入力クロック f_{SCK}（CSI モードのスレーブ転送）
転送クロック f_{TCLK} は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0 の場合は，SDRmn レジスタの上位 7 ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STSmn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効（CSI, UART 送信，簡易 I^2C 時に選択）
1	RXDq 端子の有効エッジ（UART 受信時に選択）
SSm レジスタに 1 を設定後，上記の要因が満たされてから転送開始となります。	

注意　ビット 13-9, 7, 4, 3 には，必ず 0 を設定してください。ビット 5 には，必ず 1 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11）
q：UART 番号（q = 0, 1），r：IIC 番号（r = 00, 01, 10, 11）

図 15－6　シリアル・モード・レジスタ mn（SMRmn）のフォーマット（2/2）

アドレス：F0108H, F0109H（SMR00）, F010AH, F010BH（SMR01）　　リセット時：0020H　R/W
F0148H, F0149H（SMR10）, F014AH, F014BH（SMR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SISmn0	UART モードでのチャネル n の受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MDmn2	MDmn1	チャネル n の動作モードの設定
0	0	CSI モード
0	1	UART モード
1	0	簡易 I^2C モード
1	1	設定禁止

MDmn0	チャネル n の割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データが SDRmn レジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時は MDmn0 = 1 として，SDRmn データが空になったら次送信データの書き込みを行う。	

注意　ビット 13-9, 7, 4, 3 には，必ず 0 を設定してください。ビット 5 には，必ず 1 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
q：UART 番号（q = 0, 1），r：IIC 番号（r = 00, 01, 10, 11）

15.3.4　シリアル通信動作設定レジスタ mn（SCRmn）

★　チャネル n の通信動作設定レジスタです。データ送受信モード，データとクロックの位相，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmn レジスタは，動作中（SEmn = 1 のとき）の書き換えは禁止です。

SCRmn レジスタは，16 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SCRmn レジスタは 0087H になります。

図 15－7　シリアル通信動作設定レジスタ mn（SCRmn）のフォーマット（1/3）

アドレス：F010CH, F010DH（SCR00），F010EH, F010FH（SCR01）　　リセット時：0087H　R/W
F014CH, F014DH（SCR10），F014EH, F014FH（SCR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

TXEmn	RXEmn	チャネル n の動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	CSI モードでのデータとクロックの位相選択	タイプ
0	0	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	1
0	1	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	2
1	0	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	3
1	1	SCKp SOp　D7 D6 D5 D4 D3 D2 D1 D0 SIp入力タイミング	4
UART モード，簡易 I²C モード時には，必ず DAPmn, CKPmn = 0, 0 に設定してください。			

注意　ビット 6, 10, 11 には，必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11）

図 15－7　シリアル通信動作設定レジスタ mn（SCRmn）のフォーマット（2/3）

アドレス：F010CH, F010DH（SCR00）, F010EH, F010FH（SCR01）　　リセット時：0087H　R/W
F014CH, F014DH（SCR10）, F014EH, F014FH（SCR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

PTCmn1	PTCmn0	UART モードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0 パリティを出力 注	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
CSI モード，簡易 I²C モード時には，必ず PTCmn1, PTCmn0 = 0, 0 に設定してください。			

DIRmn	CSI, UART モードでのデータ転送順序の選択
0	MSB ファーストで入出力を行う
1	LSB ファーストで入出力を行う
簡易 I²C モード時には，必ず DIRmn = 0 に設定してください。	

SLCmn1	SLCmn0	UART モードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1 ビット
1	0	ストップ・ビット長 = 2 ビット（mn = 00, 10 のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART 受信時，簡易 I²C モード時には，1 ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。 CSI モード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。		

注　データの内容にかかわらず必ず 0 が付加されます。

注意　ビット 6, 10, 11 には，必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11）

図 15－7　シリアル通信動作設定レジスタ mn（SCRmn）のフォーマット（3/3）

アドレス：F010CH, F010DH（SCR00）, F010EH, F010FH（SCR01）　　リセット時：0087H　R/W
F014CH, F014DH（SCR10）, F014EH, F014FH（SCR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	0	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	DLS mn3	DLS mn2	DLS mn1	DLS mn0

DLS mn3	DLS mn2	DLS mn1	DLS mn0	CSI, UART モードでのデータ長の設定	シリアル機能の対応		
					CSI	UART	IIC
0	1	1	0	7 ビット・データ長（SDRmn レジスタのビット 0-6 に格納）	○	○	－
0	1	1	1	8 ビット・データ長（SDRmn レジスタのビット 0-7 に格納）	○	○	○
1	0	0	0	9 ビット・データ長（SDRmn レジスタのビット 0-8 に格納）	○	○	－
1	0	0	1	10 ビット・データ長（SDRmn レジスタのビット 0-9 に格納）	○	－	－
1	0	1	0	11 ビット・データ長（SDRmn レジスタのビット 0-10 に格納）	○	－	－
1	0	1	1	12 ビット・データ長（SDRmn レジスタのビット 0-11 に格納）	○	－	－
1	1	0	0	13 ビット・データ長（SDRmn レジスタのビット 0-12 に格納）	○	－	－
1	1	0	1	14 ビット・データ長（SDRmn レジスタのビット 0-13 に格納）	○	－	－
1	1	1	0	15 ビット・データ長（SDRmn レジスタのビット 0-14 に格納）	○	－	－
1	1	1	1	16 ビット・データ長（SDRmn レジスタのビット 0-15 に格納）	○	○	－
その他				設定禁止			
簡易 I²C モード時には，必ず DLSmn3 – DLSmn0 = 0111B に設定してください。							

注意　ビット 6, 10, 11 には，必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11）

15.3.5　シリアル・データ・レジスタ mn（SDRmn）の上位 7 ビット

SDRmn レジスタは，チャネル n の送受信データ・レジスタ（16 ビット）です。

動作停止状態（SEmn = 0）ではビット 15-9 の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。動作中（SEmn = 1）送受信バッファ・レジスタとして機能します。

シリアル・モード・レジスタ mn（SMRmn）で CCSmn ビットを 0 に設定した場合は，動作クロックをこの SDRmn レジスタの上位 7 ビットで分周設定したクロックが，転送クロックとして使用されます。

動作中（SEmn = 1）の SDR レジスタ機能については「15.2　シリアル・アレイ・ユニットの構成」を参照してください。

SDRmn は 16 ビット単位でリード／ライト可能です。

リセット信号の発生により，SDRmn レジスタは 0000H になります。

図 15－8　シリアル・データ・レジスタ mn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　　リセット時：0000H　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）

	FFF11H（SDR00 の場合）								FFF10H（SDR00 の場合）							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0	0	0	0	0	0	0	0	0

SDRmn[15:9]							動作クロック（f_{MCK}）の分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

注意 1. 動作停止状態（SEmn = 0）時，ビット 8-0 には必ず 0 を設定してください。

2. UART 使用時は，SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

3. 簡易 I²C 使用時は，SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。

4. 動作停止状態（SEmn = 0）のときに，下位 8 ビットへ 8 ビット書き込みは行わないでください（上位 7 ビットが 0 にクリアされます）。

備考 1. 動作中（SEmn = 1）の SDRmn レジスタ機能については「15.2　シリアル・アレイ・ユニットの構成」を参照してください。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.3.6　シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）

チャネル n の各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn, PECTmn, OVCTmn）を 1 にセットすると，シリアル・ステータス・レジスタ mn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので，SSRmn レジスタの対応ビットをクリアするとすぐ SIRmn レジスタもクリアされます。

SIRmn レジスタは，16 ビット・メモリ操作命令で設定してください。

また SIRmn レジスタの下位 8 ビットは，SIRmnL で 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SIRmn レジスタは 0000H になります。

図 15－9　シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）のフォーマット

アドレス：F0104H, F0105H（SIR00）, F0106H, F0107H（SIR01）　　リセット時：0000H　R/W
F0144H, F0145H（SIR10）, F0146H, F0147H（SIR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn	PECTmn	OVCTmn

FECTmn	チャネル n のフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタの FEFmn ビットを 0 にクリアする

PECTmn	チャネル n のパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタの PEFmn ビットを 0 にクリアする

OVCTmn	チャネル n のオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタの OVFmn ビットを 0 にクリアする

注意 1. ビット 15-3 には，必ず 0 を設定してください。

2. SSRmn レジスタにセットされているエラー・フラグのみ，SIRmn レジスタでクリアします。セットされていないエラー・フラグに対してクリア操作を行うと，エラー・フラグ読み出しからクリア操作までの間に新たなエラーが検出された場合，そのエラー・フラグを消してしまう可能性があります。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

2. SIRmn レジスタの読み出し値は，常に 0000H となります。

3. クリア・トリガへの 1 の書き込みと対応するエラー・フラグの 1 のセットが同時に発生した場合，エラー・フラグのセットが優先されます。

15.3.7　シリアル・ステータス・レジスタ mn（SSRmn）

SSRmn レジスタは，チャネル n の通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmn レジスタは，16 ビット・メモリ操作命令で読み出します。

また SSRmn レジスタの下位 8 ビットは，SSRmnL で 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmn レジスタは 0000H になります。

図 15－10　シリアル・ステータス・レジスタ mn（SSRmn）のフォーマット（1/2）

アドレス：F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）　　リセット時：0000H　R
F0140H, F0141H（SSR10）, F0142H, F0143H（SSR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

TSFmn	チャネル n の通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
・STm レジスタの STmn ビットに 1 を設定時（通信停止状態），もしくは SSm レジスタの SSmn ビットに 1 を設定時（通信待機状態）
・通信動作が終了時
＜セット条件＞
・通信動作を開始時

BFFmn	チャネル n のバッファ・レジスタ状態表示フラグ
0	有効なデータが SDRmn レジスタに格納されていない
1	有効なデータが SDRmn レジスタに格納されている

＜クリア条件＞
・送信時において SDRmn レジスタからシフト・レジスタへ送信データの転送が終了したとき
・受信時において SDRmn レジスタから受信データの読み出しが終了したとき
・STm レジスタの STmn ビットに 1 を設定時（通信停止状態），SSm レジスタの SSmn ビットに 1 を設定時（通信許可状態）
＜セット条件＞
・SCRmn レジスタの TXEmn ビット ＝ 1（各通信モードでの送信，送受信モード時）の状態で SDRmn レジスタに送信データを書き込んだとき
・SCRmn レジスタの RXEmn ビット ＝ 1（各通信モードでの受信，送受信モード時）の状態で SDRmn レジスタに受信データが格納されたとき
・受信エラー時

注意　BFFmn = 1 のときに SDRmn レジスタにデータが書き込まれると，レジスタに格納された送信／受信データが破壊され，オーバラン・エラー（OVFmn = 1）が検出されます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

図 15－10　シリアル・ステータス・レジスタ mn（SSRmn）のフォーマット（2/2）

アドレス：F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）　　リセット時：0000H　R
F0140H, F0141H（SSR10）, F0142H, F0143H（SSR11）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

FEFmn	チャネル n のフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART 受信時）

＜クリア条件＞
・SIRmn レジスタの FECTmn ビットに 1 を書き込んだとき
＜セット条件＞
・UART 受信完了時に，ストップ・ビットが検出されないとき

PEFmn	チャネル n のパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生（UART 受信時），または ACK 未検出発生（I^2C 送信時）

＜クリア条件＞
・SIRmn レジスタの PECTmn ビットに 1 を書き込んだとき
＜セット条件＞
・UART 受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）
・I2C 送信時に，ACK 受信タイミングにスレーブ側から ACK 信号の応答がなかったとき（ACK 未検出）

OVFmn	チャネル n のオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SIRmn レジスタの OVCTmn ビットに 1 を書き込んだとき
＜セット条件＞
・SCRmn レジスタの RXEmn ビット ＝1（各通信モードでの受信，送受信モード時）の状態で，受信データが SDRmn レジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・CSI モードのスレーブ送信／送受信で，送信データが準備できていないとき

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.3.8　シリアル・チャネル開始レジスタ m（SSm）

SSm レジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に 1 を書き込むと，シリアル・チャネル許可ステータス・レジスタ m（SEm）の対応ビット（SEmn）が 1 にセット（動作許可状態）されます。SSmn ビットはトリガ・ビットなので，SEmn = 1 になるとすぐ SSmn ビットはクリアされます。

SSm レジスタは，16 ビット・メモリ操作命令で設定してください。

また SSm レジスタの下位 8 ビットは，SSmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SSm レジスタは 0000H になります。

図 15－11　シリアル・チャネル開始レジスタ m（SSm）のフォーマット

アドレス：F0112H, F0113H（SS0）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS01	SS00

アドレス：F0152H, F0153H（SS1）　　セット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS11	SS10

SSmn	チャネル n の動作開始トリガ
0	トリガ動作せず
1	SEmn ビットに 1 をセットし，通信待機状態に遷移する 注

注　すでに通信動作中の場合は，通信動作を停止してください。
制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ，PEFmn：パリティ・エラー・フラグ，OVFmn：オーバラン・エラー・フラグ）は状態を保持します。

注意 1. SS0 レジスタのビット 15-2，SS1 レジスタのビット 15-2 には，必ず 0 を設定してください。

2. UART 受信の場合は，SCRmn レジスタの RXEmn ビットを 1 に設定後に，f_{MCK} の 4 クロック以上間隔を空けてから SSmn = 1 を設定してください。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

2. SSm レジスタの読み出し値は，常に 0000H となります。

15.3.9　シリアル・チャネル停止レジスタ m（STm）

STm レジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に 1 を書き込むと，シリアル・チャネル許可ステータス・レジスタ m（SEm）の対応ビット（SEmn）が 0 にクリア（動作停止状態）されます。STmn ビットはトリガ・ビットなので，SEmn = 0 になるとすぐ STmn ビットはクリアされます。

STm レジスタは，16 ビット・メモリ操作命令で設定してください。

また STm レジスタの下位 8 ビットは，STmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，STm レジスタは 0000H になります。

図 15－12　シリアル・チャネル停止レジスタ m（STm）のフォーマット

アドレス：F0114H, F0115H（ST0）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST01	ST00

アドレス：F0154H, F0155H（ST1）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST11	ST10

STmn	チャネル n の動作停止トリガ
0	トリガ動作せず
1	SEmn ビットを 0 にクリアし，通信動作を停止する 注

注　制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ，PEFmn：パリティ・エラー・フラグ，OVFmn：オーバラン・エラー・フラグ）は，状態を保持したまま停止します。

注意　ST0 レジスタのビット 15-2，ST1 レジスタのビット 15-2 には，必ず 0 を設定してください。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

2. STm レジスタの読み出し値は，常に 0000H となります。

15.3.10 シリアル・チャネル許可ステータス・レジスタ m（SEm）

SEm レジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタ m（SSm）の各ビットに 1 を書き込むと，その対応ビットが 1 にセットされます。シリアル・チャネル停止レジスタ m（STm）の各ビットに 1 を書き込むと，その対応ビットが 0 にクリアされます。

動作を許可したチャネル n は，後述のシリアル出力レジスタ m（SOm）の CKOmn ビット（チャネル n のシリアル・クロック出力）の値をソフトウェアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネル n は，SOm レジスタの CKOmn ビットの値をソフトウェアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEm レジスタは，16 ビット・メモリ操作命令で読み出してください。

また SEm レジスタの下位 8 ビットは，SEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出してください。

リセット信号の発生により，SEm レジスタは 0000H になります。

図 15－13　シリアル・チャネル許可ステータス・レジスタ m（SEm）のフォーマット

アドレス：F0110H, F0111H（SE0）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE01	SE00

アドレス：F0150H, F0151H（SE1）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE11	SE10

SEmn	チャネル n の動作許可／停止状態の表示
0	動作停止状態 注
1	動作許可状態

注　制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ，PEFmn：パリティ・エラー・フラグ，OVFmn：オーバラン・エラー・フラグ）は，状態を保持したまま停止します。ただし，SSRmn レジスタのビット 6, 5（TSFmn, BFFmn）はクリアされます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.3.11 シリアル出力許可レジスタ m（SOEm）

SOEm レジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネル n は，後述のシリアル出力レジスタ m（SOm）の SOmn ビットの値をソフトウェアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネル n は，SOm レジスタの SOmn ビットの値をソフトウェアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEm レジスタは，16 ビット・メモリ操作命令で設定してください。

また SOEm レジスタの下位 8 ビットは，SOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SOEm レジスタは 0000H になります。

図 15－14　シリアル出力許可レジスタ m（SOEm）のフォーマット

アドレス： F011AH, F011BH　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE01	SOE00

アドレス： F015AH, F015BH　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE11	SOE10

SOEmn	チャネル n のシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　SOE0 レジスタのビット 15-2，SOE1 レジスタのビット 15-2 には，必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.3.12 シリアル出力レジスタ m（SOm）

SOm レジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタの SOmn ビットの値が，チャネル n のシリアル・データ出力端子から出力されます。

このレジスタの CKOmn ビットの値が，チャネル n のシリアル・クロック出力端子から出力されます。

このレジスタの SOmn ビットのソフトウェアによる書き換えは，シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は，ソフトウェアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタの CKOmn ビットのソフトウェアによる書き換えは，チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は，ソフトウェアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当する CKOmn, SOmn ビットに 1 を設定してください。

SOm レジスタは，16 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SOm レジスタは 0303H になります。

図 15－15　シリアル出力レジスタ m（SOm）のフォーマット

アドレス：F0118H, F0119H　　リセット時：0303H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	CKO01	CKO00	0	0	0	0	0	0	SO01	SO00

アドレス：F0158H, F0159H　　リセット時：0303H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	0	0	CKO11	CKO10	0	0	0	0	0	0	SO11	SO10

CKOmn	チャネル n のシリアル・クロック出力
0	シリアル・クロック出力値が 0
1	シリアル・クロック出力値が 1

SOmn	チャネル n のシリアル・データ出力
0	シリアル・データ出力値が 0
1	シリアル・データ出力値が 1

注意　SOm レジスタのビット 15-10，7-2 には，必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.3.13 シリアル出力レベル・レジスタ m（SOLm）

SOLm レジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。CSI モード，簡易 I^2C モード時は，必ず対応するビットに 0 を設定してください。

このレジスタによる各チャネル n の反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時は SOmn ビットの値がそのまま出力されます。

SOLm レジスタは，動作中（SEmn = 1 のとき）の書き換えは禁止です。

SOLm レジスタは，16 ビット・メモリ操作命令で設定してください。

また，SOLm レジスタの下位 8 ビットは，SOLmL レジスタに対して 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SOLm レジスタは 0000H になります。

図 15－16　シリアル出力レベル・レジスタ m（SOLm）のフォーマット

アドレス： F0120H, F0121H（SOL0）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL01	SOL00

アドレス： F0160H, F0161H（SOL1）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL11	SOL10

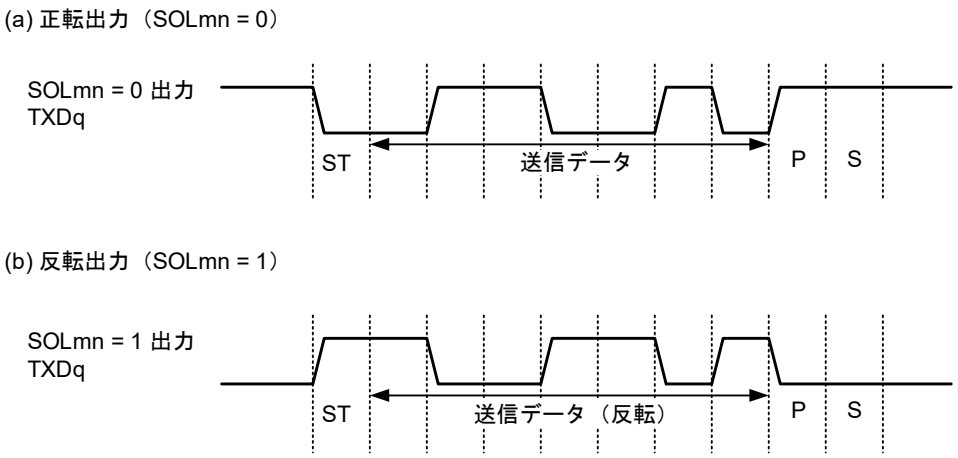
SOLmn	UART モードでのチャネル n の送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

注意　SOL0 レジスタのビット 15-2，SOL1 レジスタのビット 15-2 には，必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

図 15－17 に，UART 送信中に送信データのレベルが反転する例を示します。この図は，データ長 =7 ビット，パリティ・ビット出力が有効，パリティ・ビットが 1 ビットの条件での例です。

図 15－17　反転送信データの例



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），q: UART 番号（q = 0, 1）

15.3.14 シリアル・スレーブ選択許可レジスタ m（SSEm）

SSEm は，CSI 通信かつスレーブ・モード時にチャネルの SSImn 端子入力を制御するレジスタです。

SSImn 端子にハイ・レベルが入力されている期間は，シリアル・クロックが入力されても送受信動作を行いません。SSImn 端子にロウ・レベルが入力されている期間は，シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

リセット信号の発生により，0000H になります。

SSEm レジスタは，16 ビット・メモリ操作命令で設定してください。

また，SSEm レジスタの下位 8 ビットは，SSEmL レジスタに対して 8 ビット・メモリ操作命令で設定してください。

注意 1. CSI 通信，かつスレーブ・モード時以外での書き込みは禁止です。

2. SAU 停止中（SEmn = 0）のみ設定可能。

図 15－18　シリアル・スレーブ選択許可レジスタ m（SSEm）のフォーマット

アドレス：F0122H, F0123H（SSE0）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSE01	SSE00

アドレス：F0162H, F0163H（SSE1）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSE11	SSE10

SSEmn	CSI 通信かつスレーブ・モード時のチャネル n の SSImn 入力の設定
0	SSImn 端子入力の無効
1	SSImn 端子入力の有効

注意　ビット 15-2 には，必ず 0 を設定してください。

備考　m：ユニット番号（m = 0,1），n：チャネル番号（n = 0, 1）

15.3.15 入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC0 ビットは，UART0 で LIN-bus 通信動作を実現するときに使用します。TIS1 レジスタ（タイマ入力選択レジスタ 1）の TIS17，TIS16 ビットと共に設定してください。

ビット 0 に 1 を設定すると，シリアル・データ入力（RXD0）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウェイクアップ信号を INTP0 割り込みで検出できます。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，ISC レジスタは 00H になります。

図 15－19　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	ISC3	ISC2	0	ISC0

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12 端子の入力信号を外部割り込みに選択
1	LRXD1 端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11 端子の入力信号を外部割り込みに選択
1	LRXD0 端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0 端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0 端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注意 1　ビット 7-4, 1 には，必ず 0 を設定してください。

2　RL78/F23 製品では，ISC3 ビットを必ず 0 に設定してください。

15.3.16 ノイズ・フィルタ許可レジスタ 0（NFEN0）

NFEN0 レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

CSI，簡易 I²C 通信に使用する端子は，対応するビットに 0 を設定して，ノイズ・フィルタを無効にしてください。

UART 通信に使用する端子は，対応するビットに 1 を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，CPU／周辺ハードウェア・クロック（f_{CLK}）で 2 クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，CPU／周辺ハードウェア・クロック（f_{MCK}）で同期化だけ行います[注]。

NFEN0 レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，NFEN0 レジスタは 00H になります。

注　詳細は，「6.5.1 (2)　TImn 端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）」および「6.5.2　カウンタのスタート・タイミング」を参照してください。

図 15－20　ノイズ・フィルタ許可レジスタ 0（NFEN0）のフォーマット

アドレス：F0070H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	SNFEN10	0	SNFEN00

SNFEN10	RXD1 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RXD1 端子として使用するときは，SNFEN10 = 1 に設定してください。 RXD1 以外の機能として使用するときは，SNFEN10 = 0 に設定してください。	

SNFEN00	RXD0 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RXD0 端子として使用するときは，SNFEN00 = 1 に設定してください。 RXD0 以外の機能として使用するときは，SNFEN00 = 0 に設定してください。	

注意　ビット 7-3，1 には，必ず 0 を設定してください。

15.3.17 ポート入力モード・レジスタ（PIM1, PIM3, PIM5-7, PIM12）

ポート 1, 3, 5-7, 12 の入力バッファを 1 ビット単位で設定するレジスタです。

PIM1, PIM3, PIM5-PIM7, PIM12 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PIM1, PIM3, PIM5-PIM7, PIM12 レジスタは 00H になります。

図 15－21　ポート入力モード・レジスタ（PIM1, PIM3, PIM5-7, PIM12）のフォーマット

アドレス：F0041H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM1	PIM17	PIM16	0	PIM14	PIM13	0	PIM11	PIM10

アドレス：F0043H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM3	0	0	0	0	0	0	0	PIM30

アドレス：F0045H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM5	0	0	0	PIM54	0	0	0	0

アドレス：F0046H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM6	0	0	0	0	PIM63	PIM62	0	0

アドレス：F0047H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM7	0	0	0	0	PIM73	0	PIM71	PIM70

アドレス：F004CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM12	0	0	PIM125	0	0	0	0	0

PIMmn	Pmn 端子の入力バッファの選択 (m = 1, 3, 5-7, 12; n = 0-7)
0	通常入力バッファ
1	TTL 入力バッファ

15.3.18 ポート出力モード・レジスタ（POM1, POM3, POM6, POM7, POM12）

ポート 1, 3, 6, 7, 12 の出力モードを 1 ビット単位で設定するレジスタです。

POM1, POM3, POM6, POM7, POM12 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，POM1, POM3, POM6, POM7, POM12 レジスタは 00H になります。

図 15－22　ポート出力モード・レジスタ（POM1, POM3, POM6, POM7, POM12）のフォーマット

アドレス：F0051H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM1	POM17	POM16	POM15	POM14	POM13	POM12	POM11	POM10

アドレス：F0053H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM3	0	0	0	0	0	POM32	0	0

アドレス：F0056H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	POM63	POM62	POM61	POM60

アドレス：F0057H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM7	0	0	0	0	0	POM72	POM71	POM70

アドレス：F005CH　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM12	0	0	0	0	0	0	0	POM120

POMmn	Pmn 端子の出力モードの選択（m = 1, 3, 6, 7, 12; n = 0-7）
0	通常出力モード
1	N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード

注意 1. POMmn が 1 に設定されている場合，オンチップ・プルアップ抵抗は使用できません。

2. 搭載していないビットには，必ず初期値を設定してください。

15.3.19 ポート・モード・レジスタ（PM1, PM3-PM7, PM12）

ポート 1, 3-7, 12 の入力／出力を 1 ビット単位で設定するレジスタです。

シリアル・データ出力またはシリアル・クロック出力，またはシリアル・データ入出力（SDAmn）を使用するとき，各ポートに対応するポート・モード・レジスタ（PMmn）のビットに 0 を設定してください。また，ポート・レジスタ（Pmn）のビットに 1 を設定してください。

シリアル・データ入力またはシリアル・クロック入力を使用するとき，各ポートに対応するポート・モード・レジスタ（PMmn）のビットに 1 を設定してください。このときポート・レジスタ（Pmn）のビットは，0 または 1 のどちらでもかまいません。

例 1）P12/**SO10**/**TXD1** をシリアル・データ出力として使用する場合

ポート・モード・レジスタ 1 の PM12 ビットを 0 に設定

ポート・レジスタ 1 の P12 ビットを 1 に設定

例 2）P11/SI10/**SDA10**/RXD1 をシリアル・データ入出力として使用する場合

ポート・モード・レジスタ 1 の PM11 ビットを 0 に設定

ポート・レジスタ 1 の P11 ビットを 1 に設定

例 3）P16/**SI00**/SDA00/**RXD0** をシリアル・データ入力として使用する場合

ポート・モード・レジスタ 1 の PM16 ビットを 1 に設定

PM1, PM3-PM7, PM12 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PM1, PM3-PM7, PM12 レジスタは FFH になります。

図 15－23　ポート・モード・レジスタ（PM1, PM3-PM7, PM12）のフォーマット

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス：FFF25H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

アドレス：FFF27H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

アドレス：FFF2CH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	1	1	1	1	PM120

PMmn	Pmn 端子の入出力モードの選択（m = 1, 3-7, 12; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

15.3.20 ポート入力閾値制御レジスタ（PITHL1, PITHL3-7, PITHL10, PITHL12, PITHL15）

これらのレジスタは，P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-54, P60-63, P70, P71, P73, P75-77, P107, P120, P125, P150, P152, P153 の入力バッファの閾値を 1 ビット単位で指定するために使用されます。

これらのレジスタは，シリアル通信インタフェース，および一部の外部割り込みに対して V_{IL} を 0.5 EV_{DD} に設定できます。

PITHL1, PITHL3-7, PITHL10, PITHL12, PITHL15 レジスタは，1 ビットまたは 8 ビットメモリ操作命令で設定してください。

これらのレジスタは，リセット信号によって 00H にクリアされます。

図 15－24　ポート入力閾値制御レジスタのフォーマット（PITHL1, PITHL3-7, PITHL10, PITHL12, PITHL15）

アドレス：F0021H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL1	PITHL17	PITHL16	0	PITHL14	PITHL13	0	PITHL11	PITHL10

アドレス：F0023H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL3	0	0	0	0	0	0	0	PITHL30

アドレス：F0024H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL4	0	0	0	0	PITHL43	0	PITHL41	0

アドレス：F0025H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL5	0	0	0	PITHL54	PITHL53	PITHL52	0	PITHL50

アドレス：F0026H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL6	0	0	0	0	PITHL63	PITHL62	PITHL61	PITHL60

アドレス：F0027H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL7	PITHL77	PITHL76	PITHL75	0	PITHL73	0	PITHL71	PITHL70

アドレス：F002AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL10	PITHL107	0	0	0	0	0	0	0

アドレス：F002CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL12	0	0	PITHL125	0	0	0	0	PITHL120

アドレス：F002FH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL15	0	0	0	0	PITHL153	PITHL152	0	PITHL150

PIMmn	Pmn 端子の入力バッファ閾値選択（m = 1, 3-7, 10, 12, 15; n = 0-7）
0	Schmitt1入力
1	Schmitt3入力

PIMmn	PITHLmn	Pmn 端子の入力バッファ閾値選択 (m = 1, 3-7, 10, 12, 15; n = 0-7)
0	0	Schmitt1入力
0	1	Schmitt3入力
1	0	TTL入力
1	1	設定を禁止

注意　搭載していないビットには必ず初期値を設定してください。

15.4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。
動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。
また動作停止モードでは，シリアル・インタフェース用端子をポート機能として使用できます。

15.4.1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ 0（PER0）で行います。

PER0 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を停止するときは，ビット 2（SAU0EN）に 0 を設定してください。シリアル・アレイ・ユニット 1 を停止するときは，ビット 3（SAU1EN）に 0 を設定してください。

図 15－25　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ 0（PER0）の設定

（停止する SAUm のビットのみ 0 に設定）

	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN
	×		×	×	0/1	0/1	×	×

SAUm の入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意 1. SAUmEN = 0 の場合は，シリアル・アレイ・ユニット m の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。

- **入力切り替え制御レジスタ（ISC）**
- **ノイズ・フィルタ許可レジスタ 0（NFEN0）**
- **ポート入力モード・レジスタ（PIM1, PIM3, PIM5-7, PIM12）**
- **ポート出力モード・レジスタ（POM1, POM3, POM6, POM7, POM12）**
- **ポート・モード・レジスタ（PM1, PM3-PM7, PM12）**
- **ポート・レジスタ（P1, P3-P7, P12）**

2. ビット 6 は必ず 0 を設定してください。

備考　×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて 0 または 1 に設定
m：ユニット番号（m = 0, 1）

15.4.2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図 15－26　チャネルごとに動作停止とする場合の各レジスタの設定（1/2）

(a)　シリアル・チャネル停止レジスタ m（STm）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	STm1 0/1	STm0 0/1

1：SEmnビットを0にクリアし，通信動作を停止

※ STmn ビットはトリガ・ビットなので，SEmn = 0 になるとすぐ STmn ビットはクリアされます。

(b)　シリアル・チャネル許可ステータス・レジスタ m（SEm）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SEm1 0/1	SEm0 0/1

0：動作停止状態

※ SEmn ビットは読み出し専用のステータス・レジスタであり，その動作は STm レジスタにより停止されます。動作を停止したチャネルは，SOm レジスタの CKOmn ビットの値をソフトウェアで設定できます。

(c)　シリアル出力許可レジスタ m（SOEm）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SOm レジスタの SOmn ビットの値をソフトウェアで設定できます。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

2. ：設定不可（初期値を設定），0/1：ユーザの用途に応じて 0 または 1 に設定

図 15－26　チャネルごとに動作停止とする場合の各レジスタの設定（2/2）

(d)　シリアル出力レジスタ m（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

1：シリアル・クロック出力値が1　　1：シリアル・データ出力値が1

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当する CKOmn，SOmn ビットに 1 を設定してください。

(e)　シリアル・スレーブ選択許可レジスタ m（SSEm）

・・・各スレーブ・チャネルの SSImn 端子の制御

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm1 0/1	SSEm0 0/1

0：SSImn端子の入力値を無効

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

2. □：設定不可（初期値を設定），0/1：ユーザの用途に応じて 0 または 1 に設定

15.5　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の 3 本のラインによる，クロック同期式通信機能です。

［データ送受信］

- 7～16 ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　マスタ通信時：Max. $f_{MCK}/4$ 注
  スレーブ通信時：Max. $f_{MCK}/6$ 注

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

また，CSI00, CSI01, CSI10, CSI11 はスレーブ選択機能に対応しています。詳細は，「15.6　SPI 機能付クロック同期シリアル通信の動作」を参照してください。

注　ただし，SCK サイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください（第 36 章～第 38 章の電気的特性を参照）。

3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）に対応しているチャネルは，SAU0 のチャネル 0, 1 と SAU1 のチャネル 0, 1 です。

・RL78/F23 32 ピン製品および RL78/F24 32 ピン製品。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	–		–

・RL78/F23 48, 64, 80 ピン製品と RL78/F24 48, 64, 80, 100 ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	CSI11（SPI機能対応）		IIC11

注　48 ピン，32 ピンの製品には，SSI10 端子はありません。

3線式シリアルI/O（CSI00，CSI01，CSI10，CSI11）は，以下の6種類の通信動作を行います。

- マスタ送信　（「15.5.1　マスタ送信」を参照）
- マスタ受信　（「15.5.2　マスタ受信」を参照）
- マスタ送受信　（「15.5.3　マスタ送受信」を参照）
- スレーブ送信　（「15.5.4　スレーブ送信」を参照）
- スレーブ受信　（「15.5.5　スレーブ受信」を参照）
- スレーブ送受信　（「15.5.6　スレーブ送受信」を参照）

15.5.1　マスタ送信

マスタ送信とは，本 MCU が転送クロックを出力し，本 MCU から他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

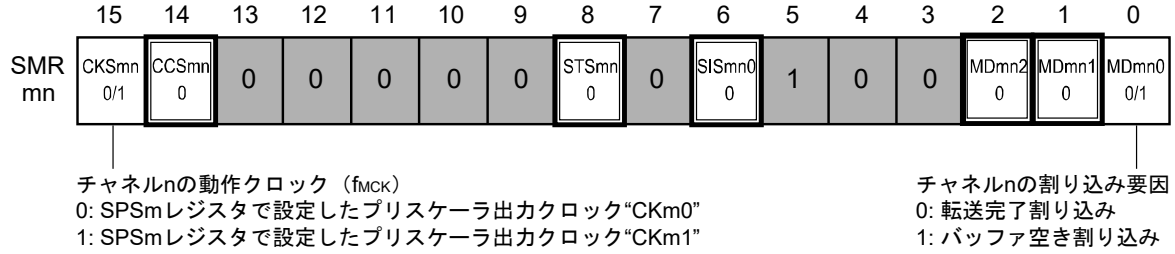
注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

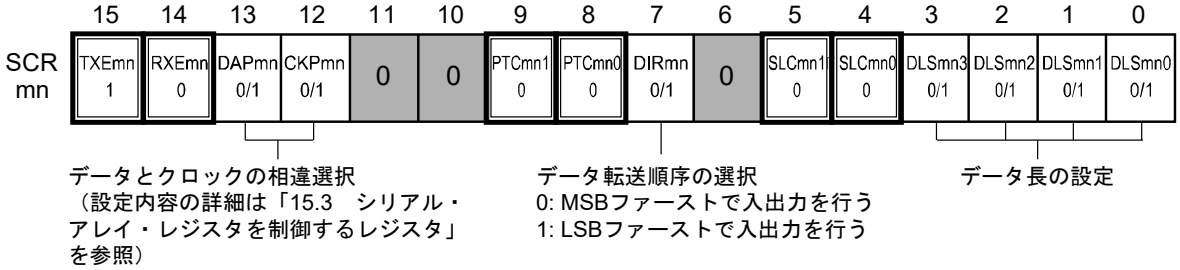
(1)　レジスタ設定

図 15－27　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ送信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

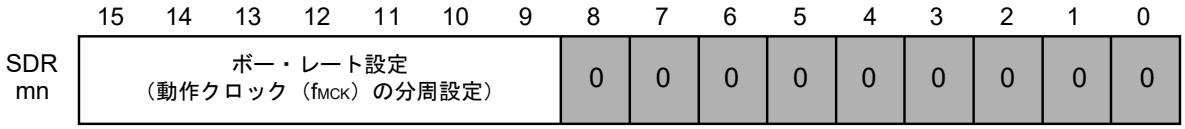


(b)　シリアル通信動作設定レジスタmn（SCRmn）

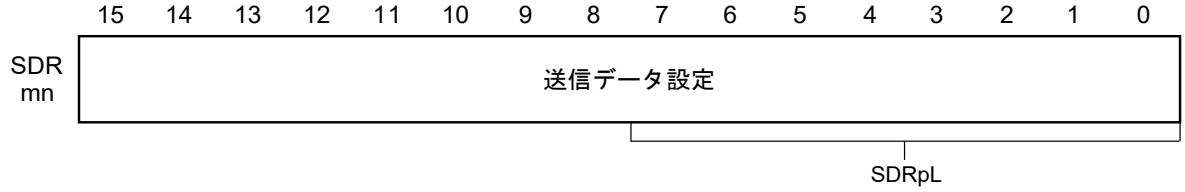


(c)　シリアル・データ・レジスタmn（SDRmn）

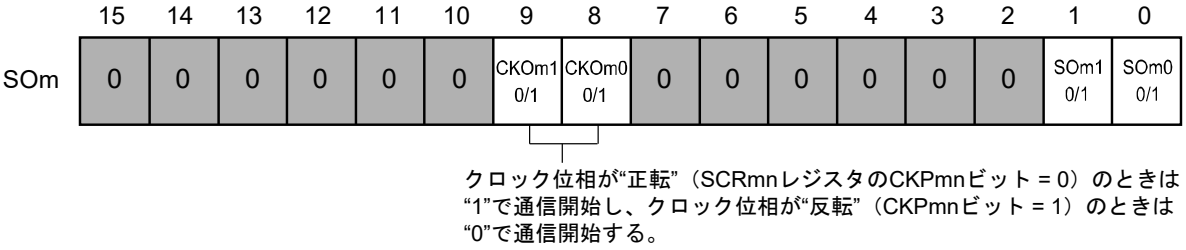
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（**備考**は，次ページにあります。）

図 15－27　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ送信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定,
■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－28　マスタ送信の初期設定手順

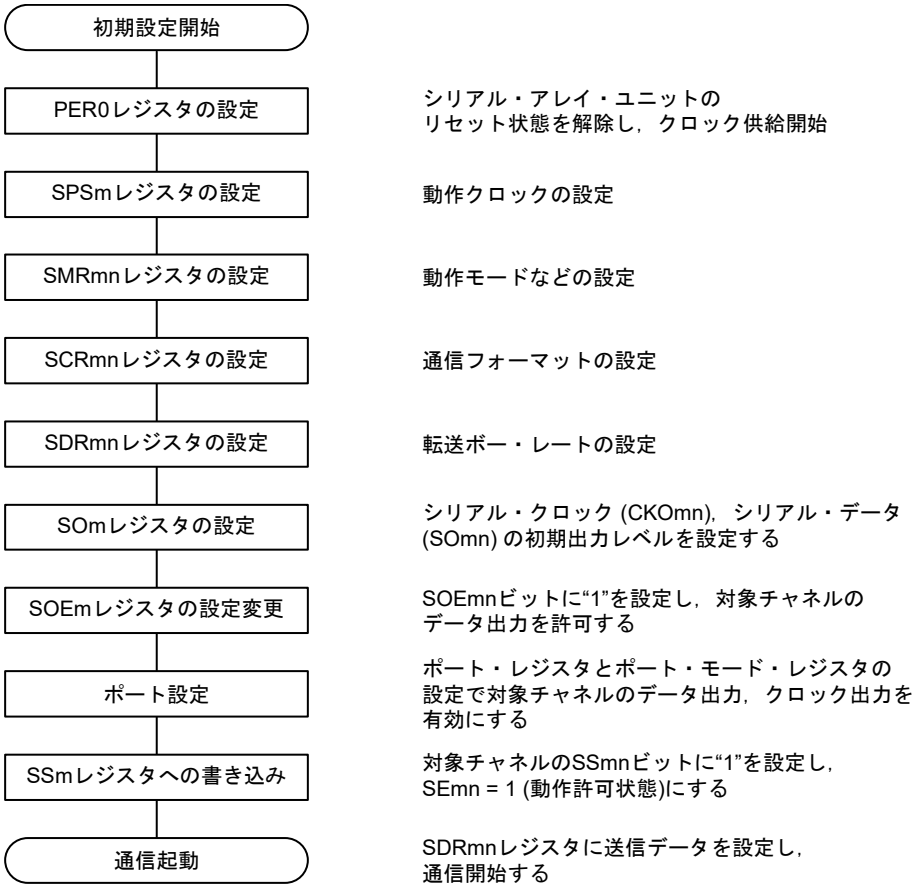
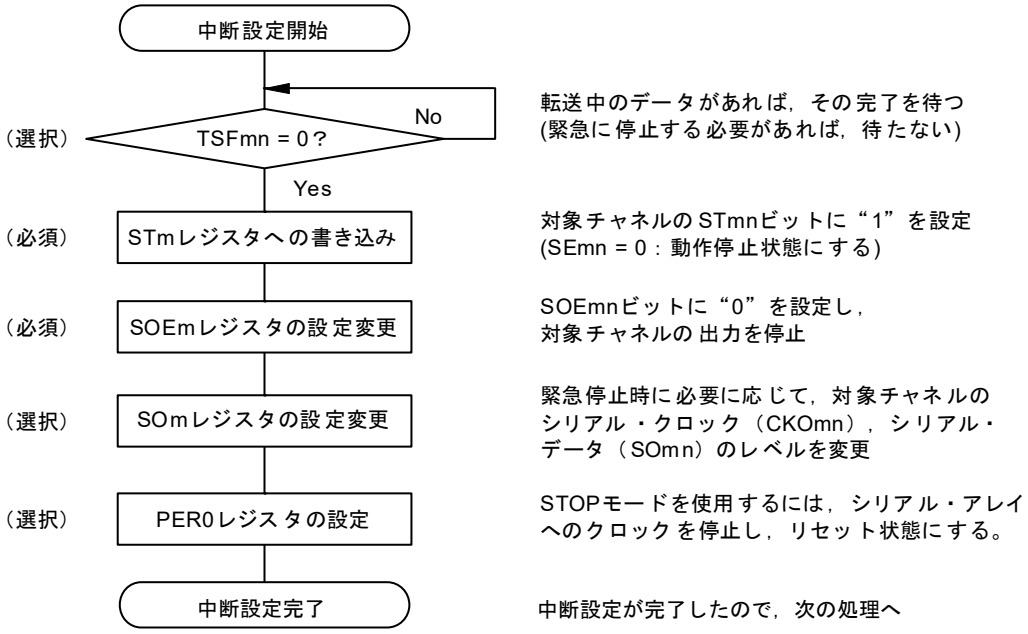
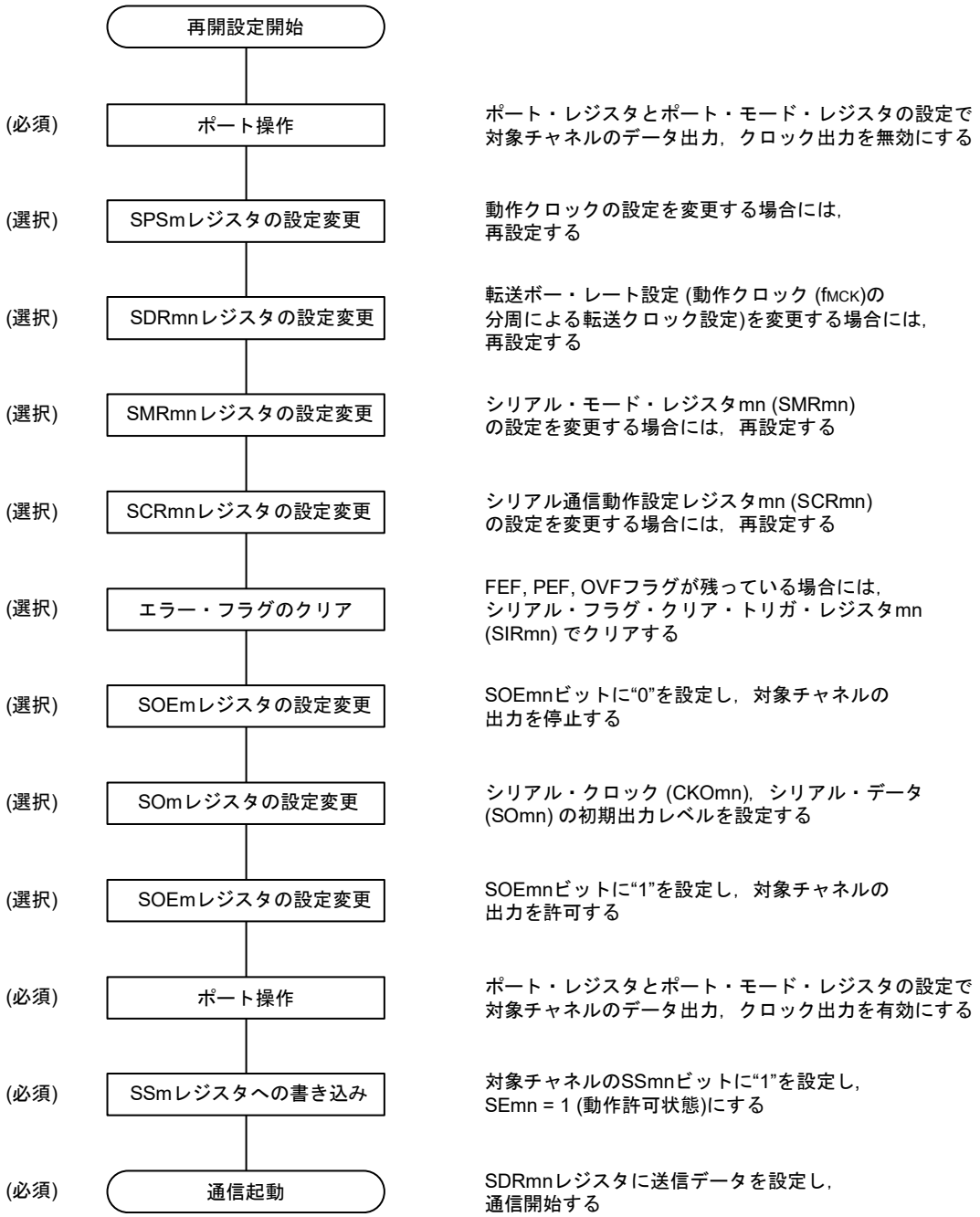


図 15－29　マスタ送信の中断手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）mn = 00, 01, 10, 11

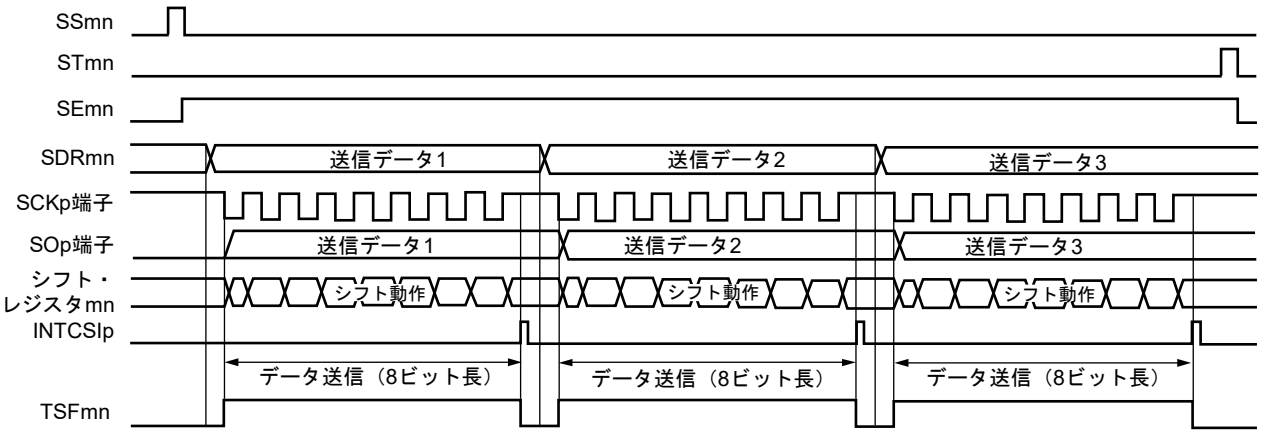
図 15－30　マスタ送信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

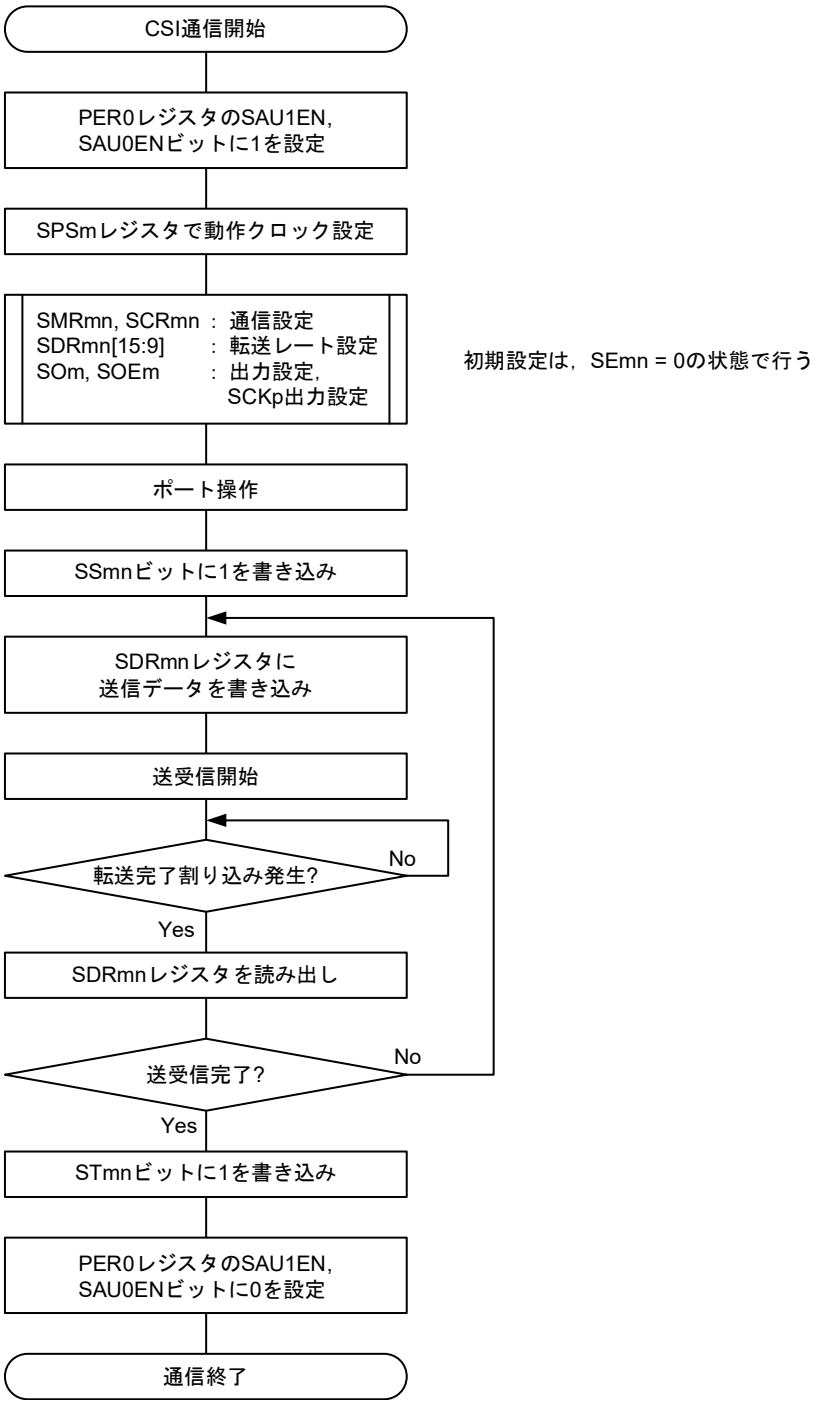
(3)　処理フロー（シングル送信モード時）

図 15－31　マスタ送信（シングル送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

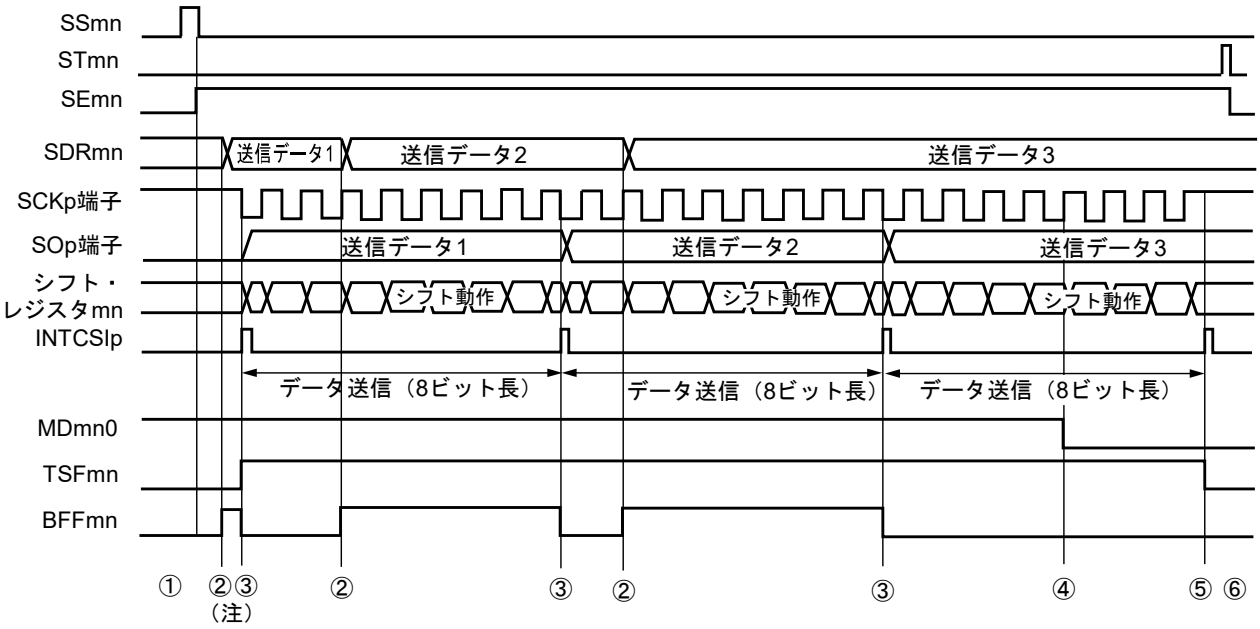
図 15－32　マスタ送信（シングル送信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(4)　処理フロー（連続送信モード時）

図 15－33　マスタ送信（連続送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）

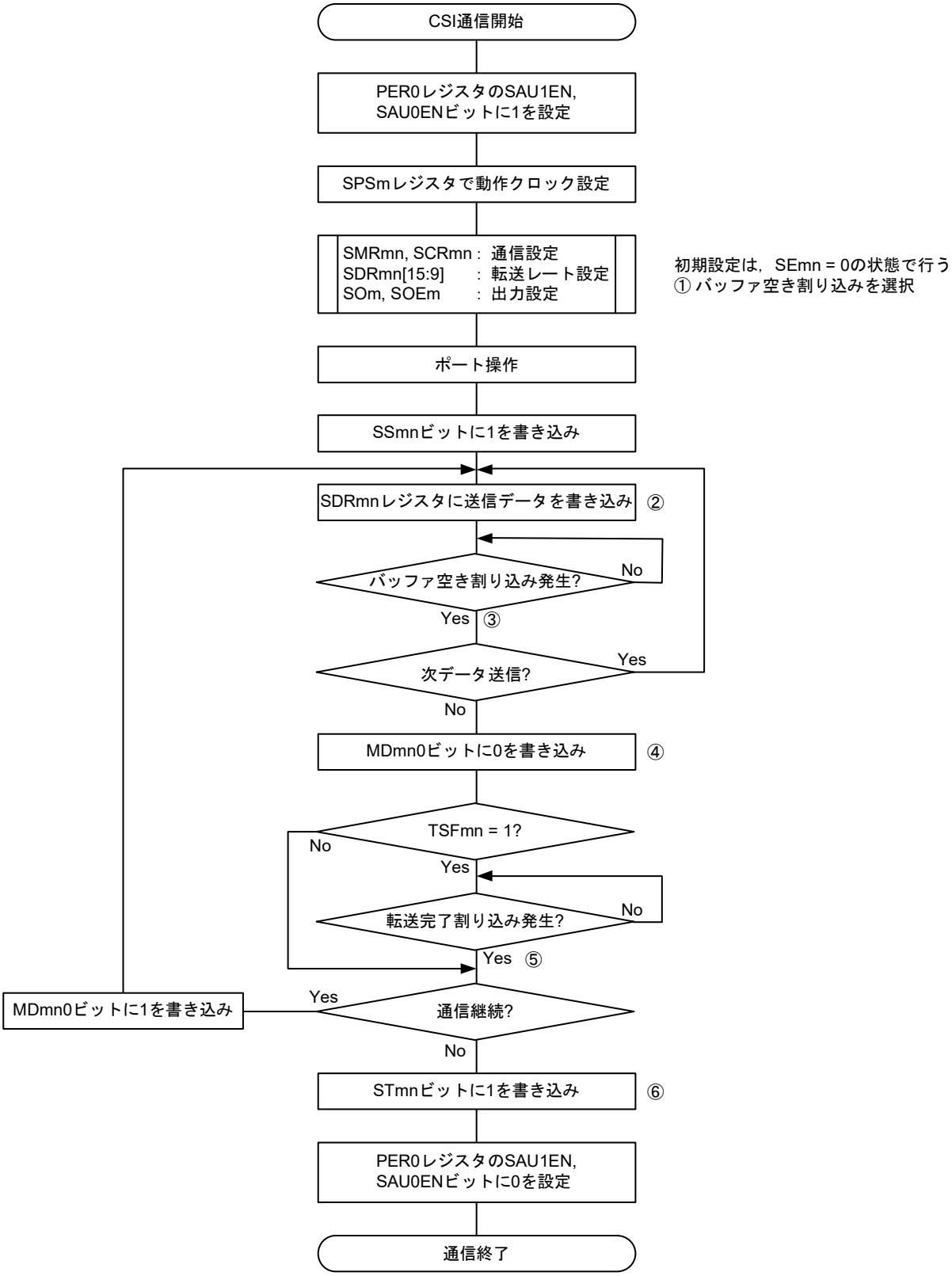


注　シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されているとき）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図 15－34　マスタ送信（連続送信モード時）のフロー・チャート



備考 1. 図中の①～⑥は，図 15－33　マスタ送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.5.2　マスタ受信

マスタ受信とは，本 MCU が転送クロックを出力し，本 MCU が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）を選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(1)　レジスタ設定

図 15－35　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0: SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1: SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0: 転送完了割り込み
1: バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn 0	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	DLSmn3 0/1	DLSmn2 0/1	DLSmn1 0/1	DLSmn0 0/1

データとクロックの相違選択
（設定内容の詳細は「15.3　シリアル・アレイ・レジスタを制御するレジスタ」を参照）

データ転送順序の選択
0: MSBファーストで入出力を行う
1: LSBファーストで入出力を行う

データ長の設定

(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定 (動作クロック（f_{MCK}）の分周設定)							0	0	0	0	0	0	0	0	0

②　動作中（SEmn = 1）（下位8ビット：SDRpL）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	受信データ・レジスタ （8ビットデータ転送の場合は，ダミー・データとしてFFHを書き込む）															

SDRpL

(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 ×	SOm0 ×

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（**備考**は，次のページにあります。）

図 15－35　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ受信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

(f)　シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定,
■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－36　マスタ受信の初期設定手順

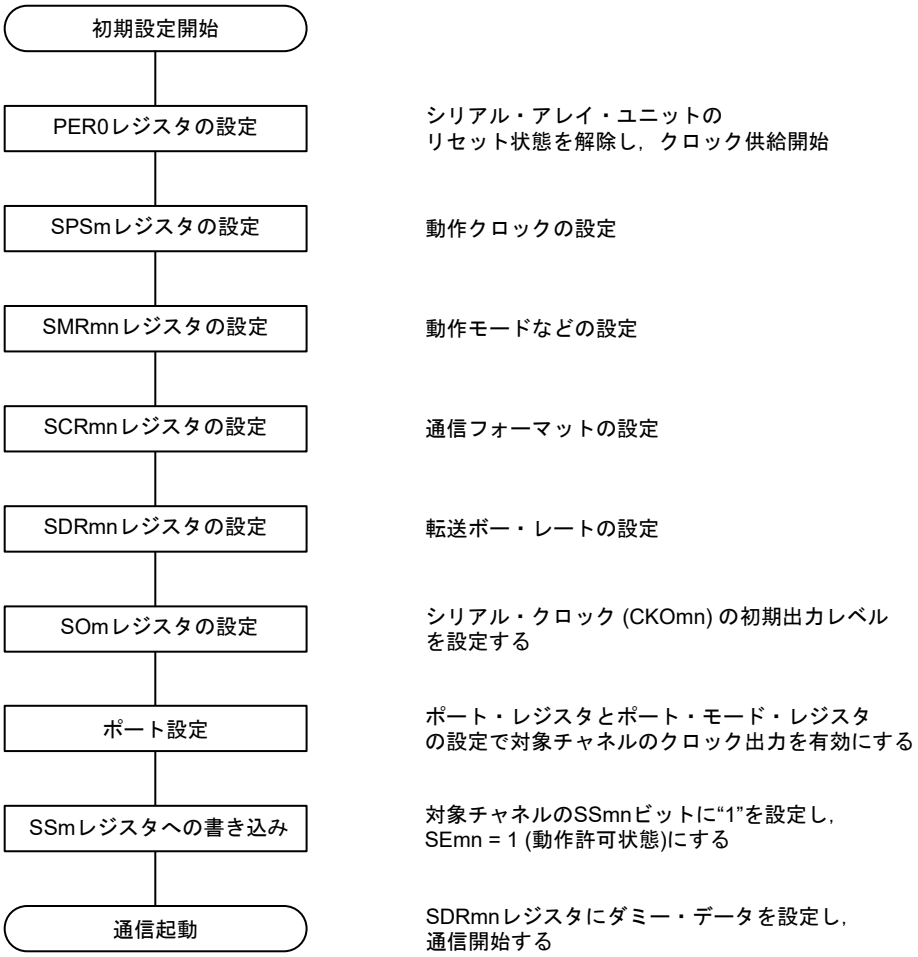
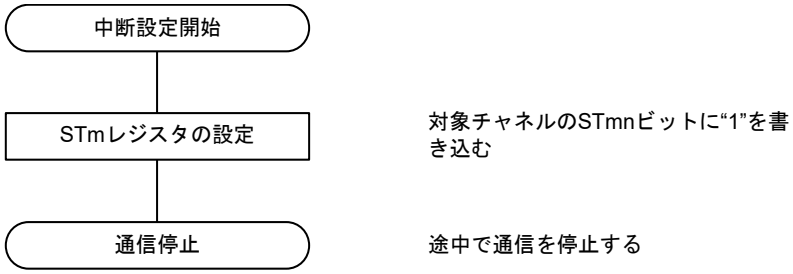


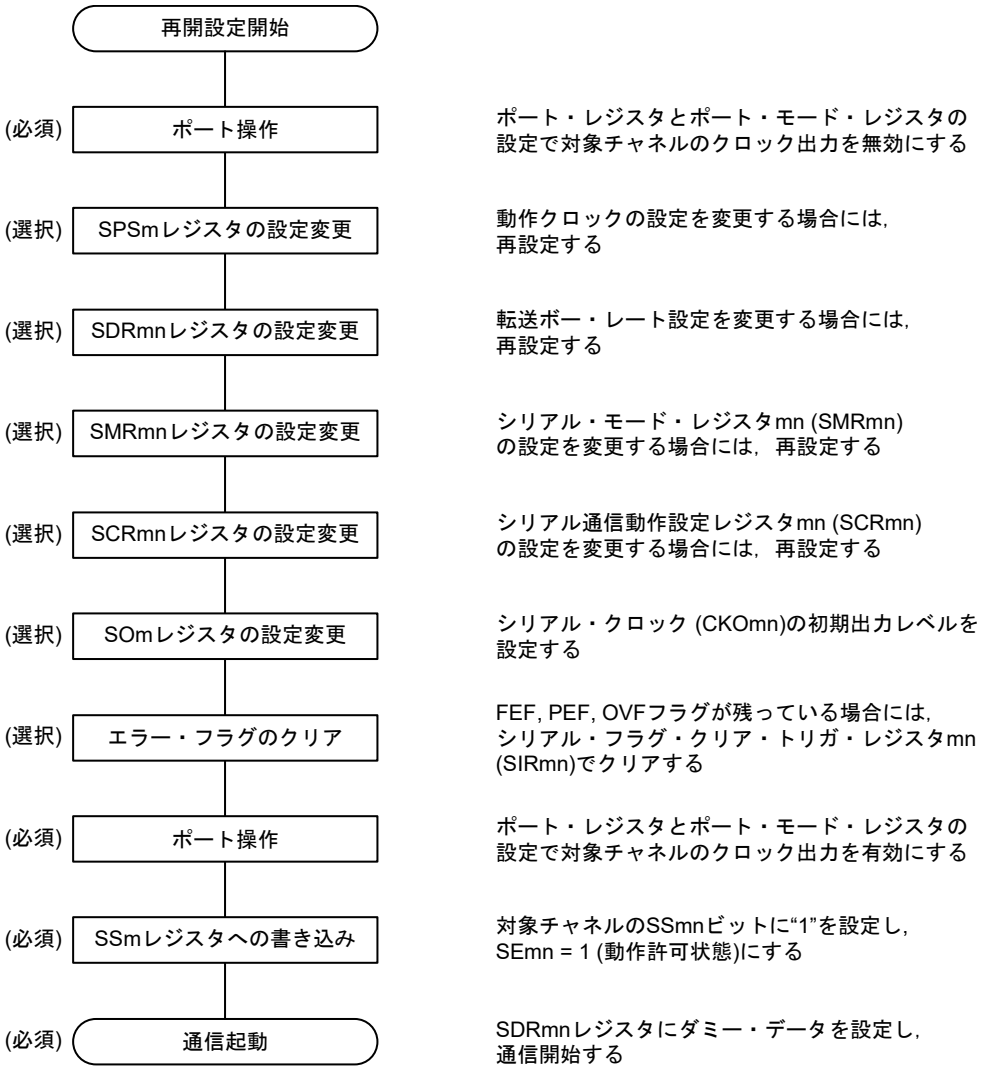
図 15－37　マスタ受信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－38　マスタ受信の再開設定手順」を参照）。

2. m：ユニット番号（m = 0, 1），n = チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

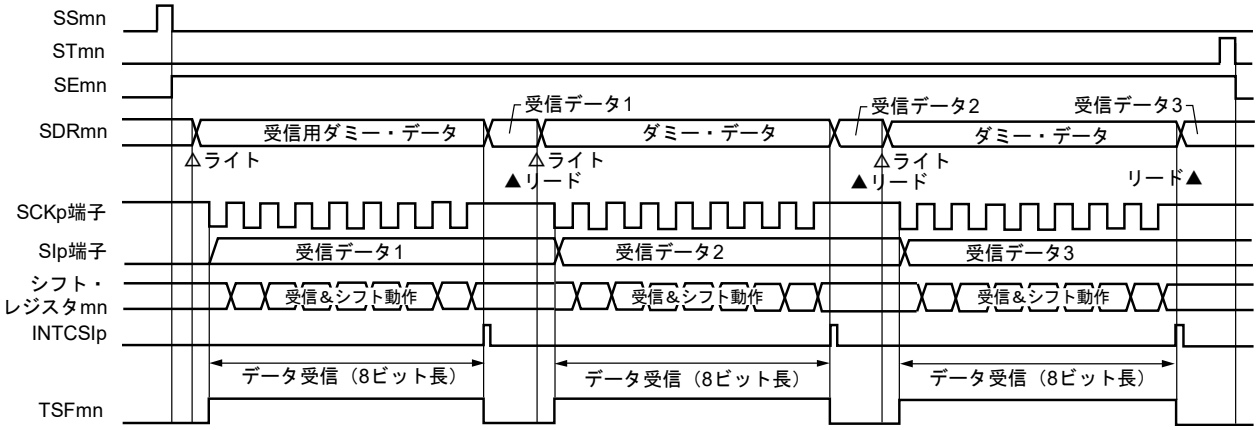
図 15－38　マスタ受信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n = チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

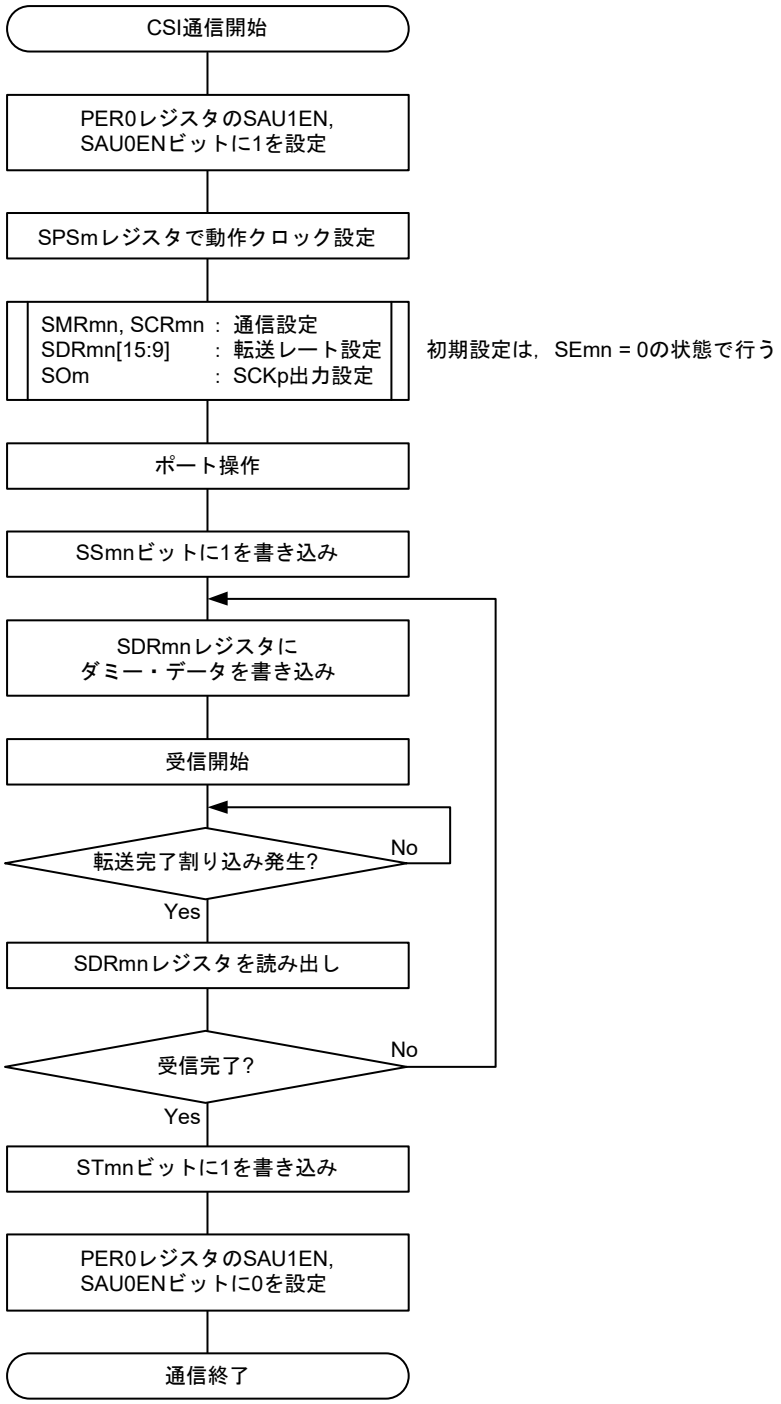
(3)　処理フロー（シングル受信モード時）

図 15－39　マスタ受信（シングル受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

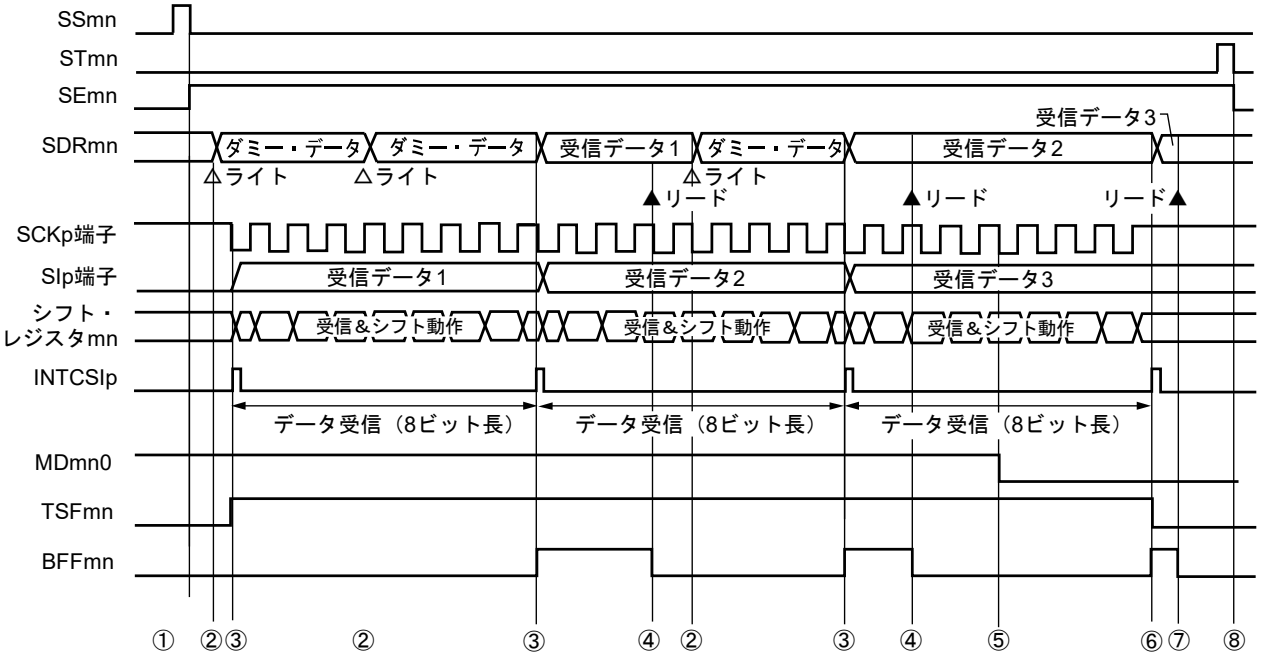
図 15－40　マスタ受信（シングル受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

(4)　処理フロー（連続受信モード時）

図 15－41　マスタ受信（連続受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）

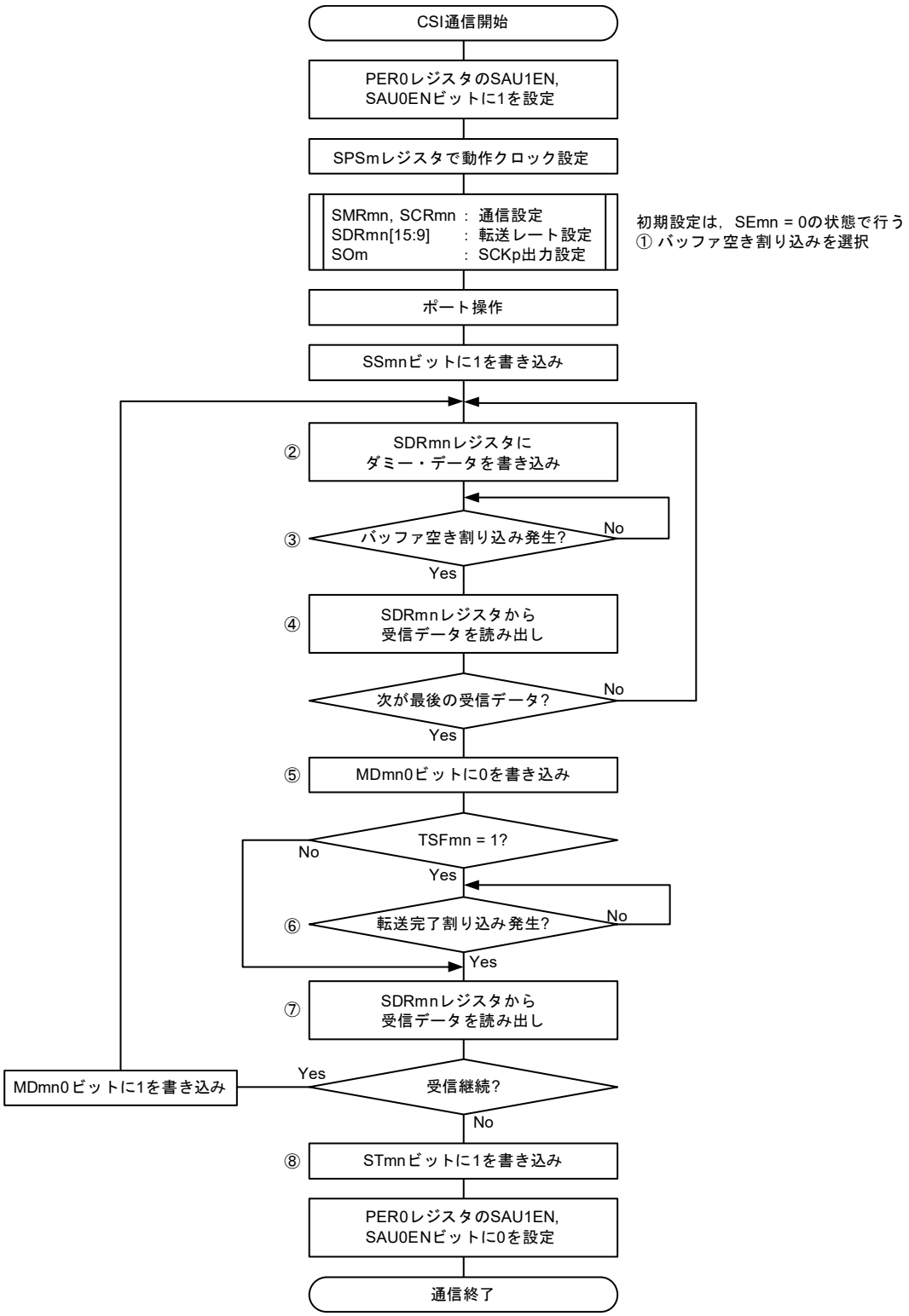


注意　MDmn0 ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考 1. 図中の①～⑧は，図 15－42　マスタ受信（連続受信モード時）のフロー・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－42　マスタ受信（連続受信モード時）のフロー・チャート



備考 1. 図中の①～⑧は，図 15－41　マスタ受信（連続受信モード時）のタイミング・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.5.3　マスタ送受信

マスタ送受信とは，この本 MCU が転送クロックを出力し，本 MCU と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

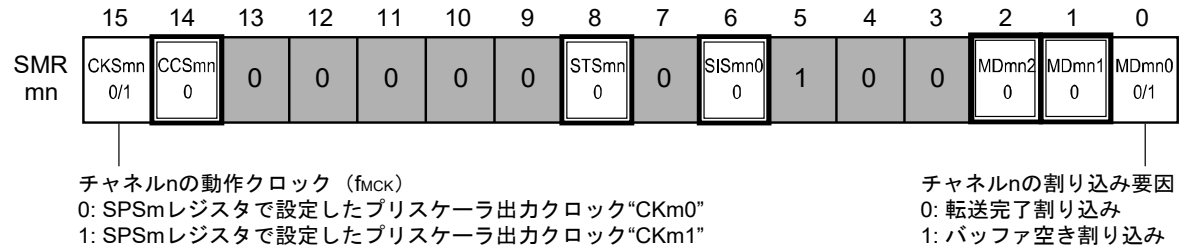
注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

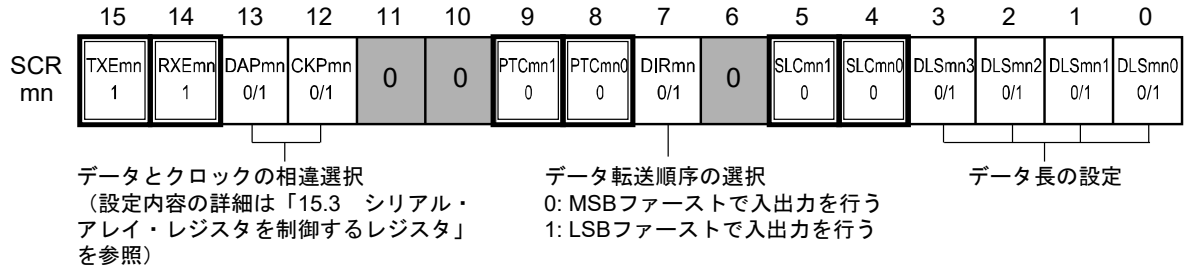
(1)　レジスタ設定

図 15－43　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ送受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

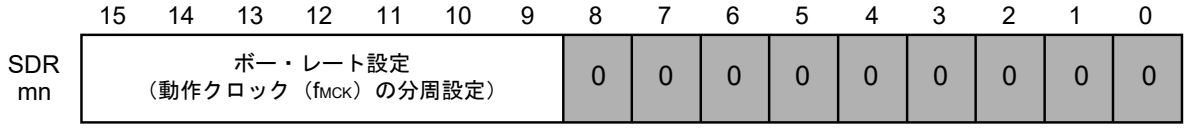


(b)　シリアル通信動作設定レジスタmn（SCRmn）

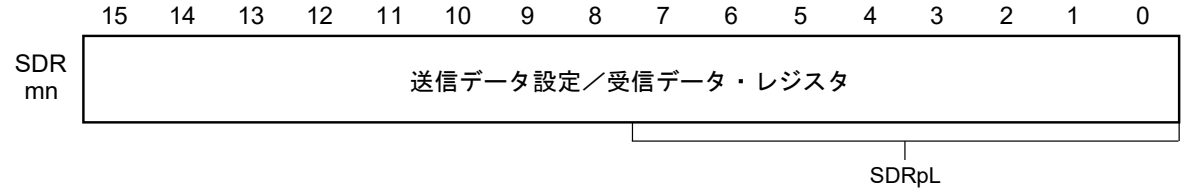


(c)　シリアル・データ・レジスタmn（SDRmn）

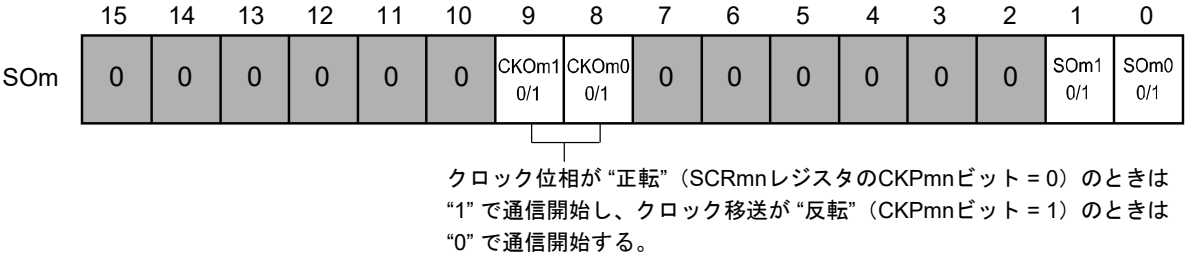
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（**備考**は，次のページにあります。）

図 15－43　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ送受信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－44　マスタ送受信の初期設定手順

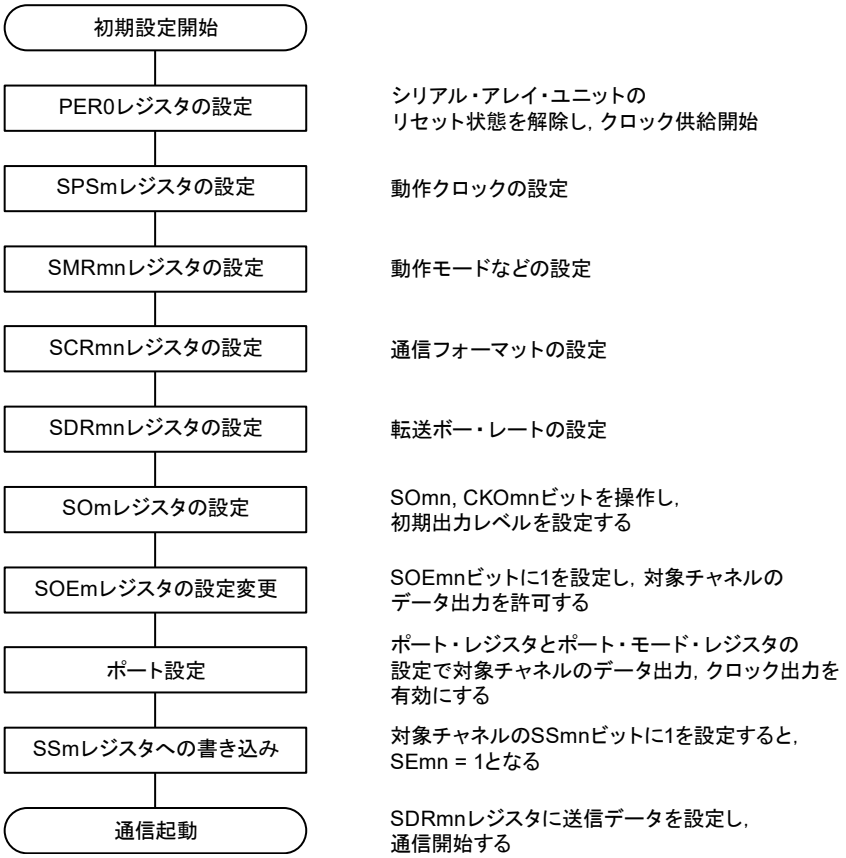
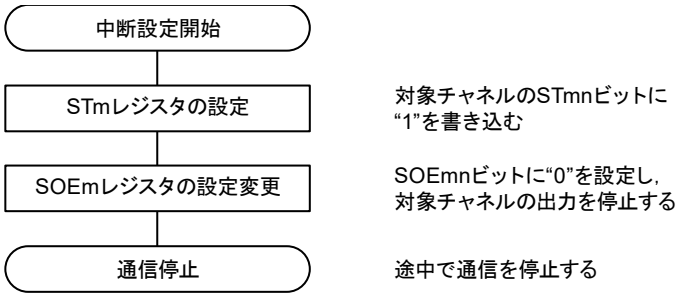


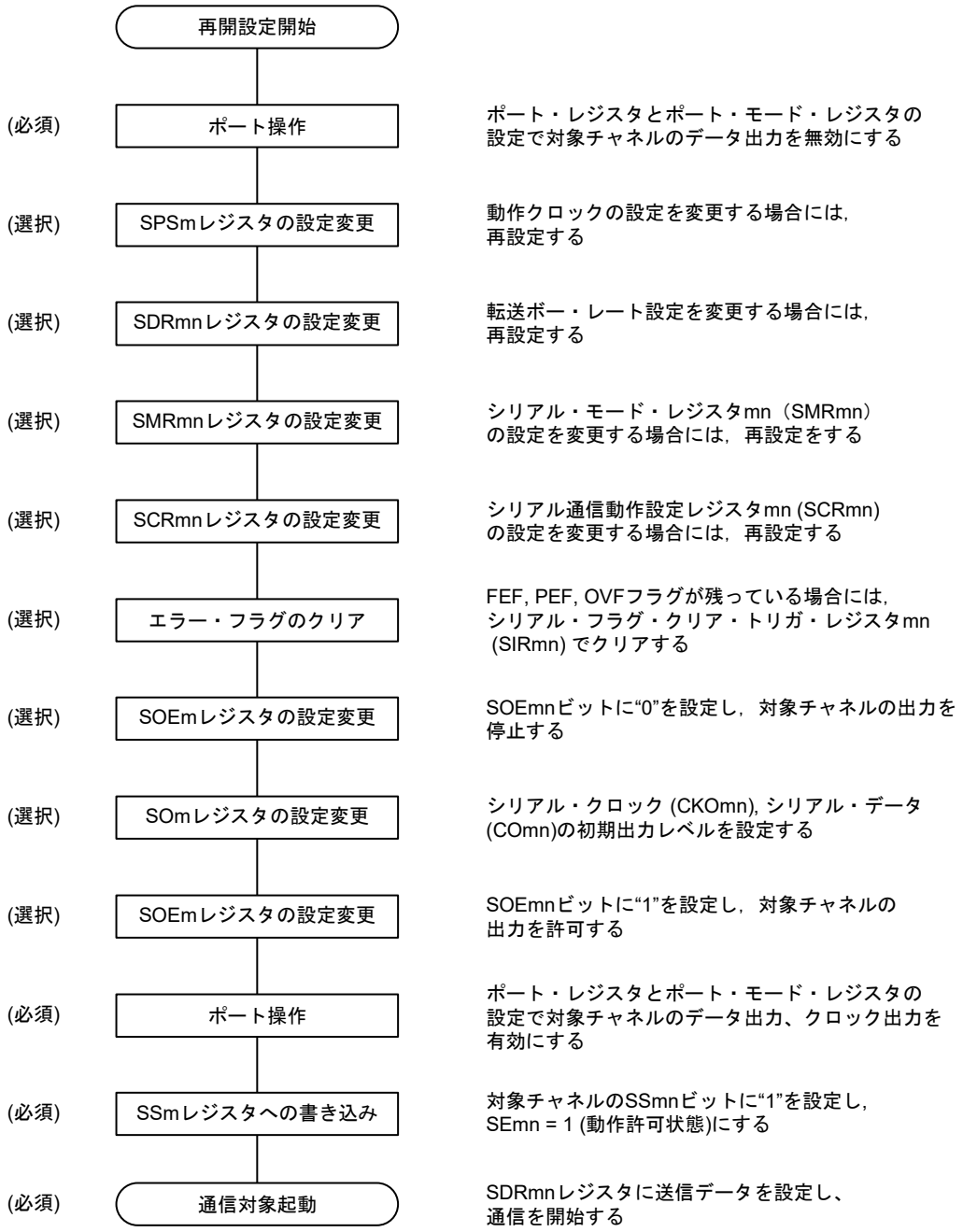
図 15－45　マスタ送受信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－46　マスタ送受信の再開設定手順」を参照）。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

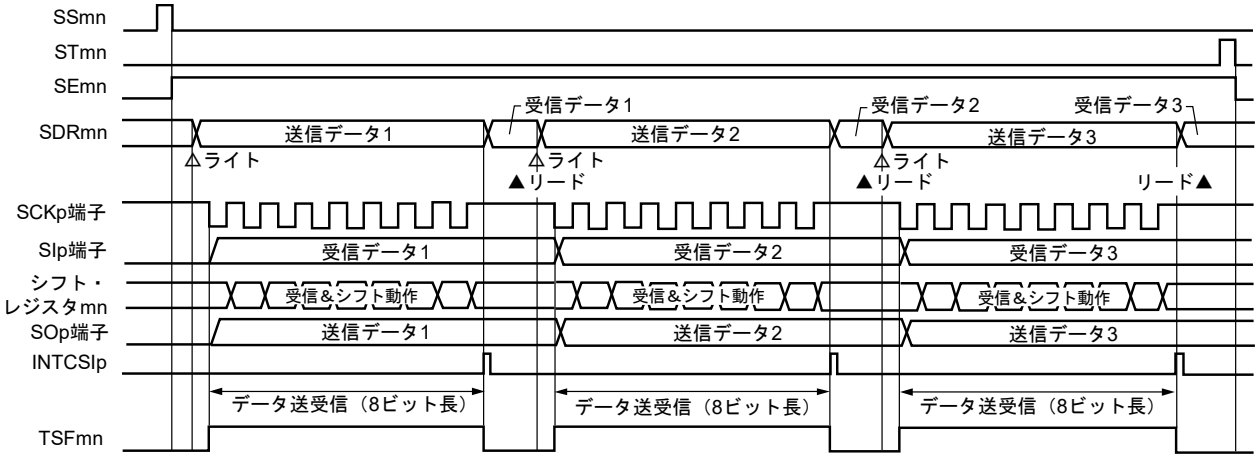
図 15－46　マスタ送受信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

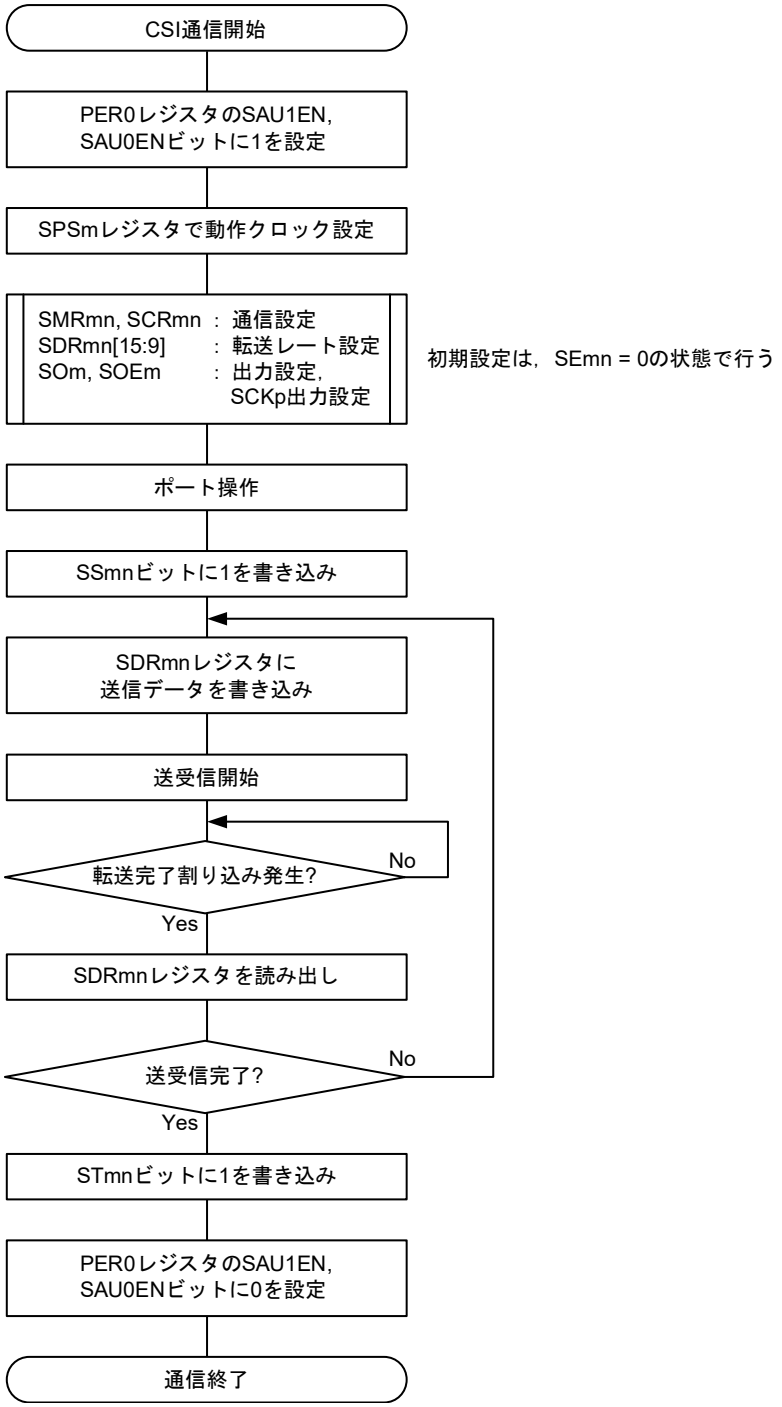
(3)　処理フロー（シングル送受信モード時）

図 15－47　マスタ送受信（シングル送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

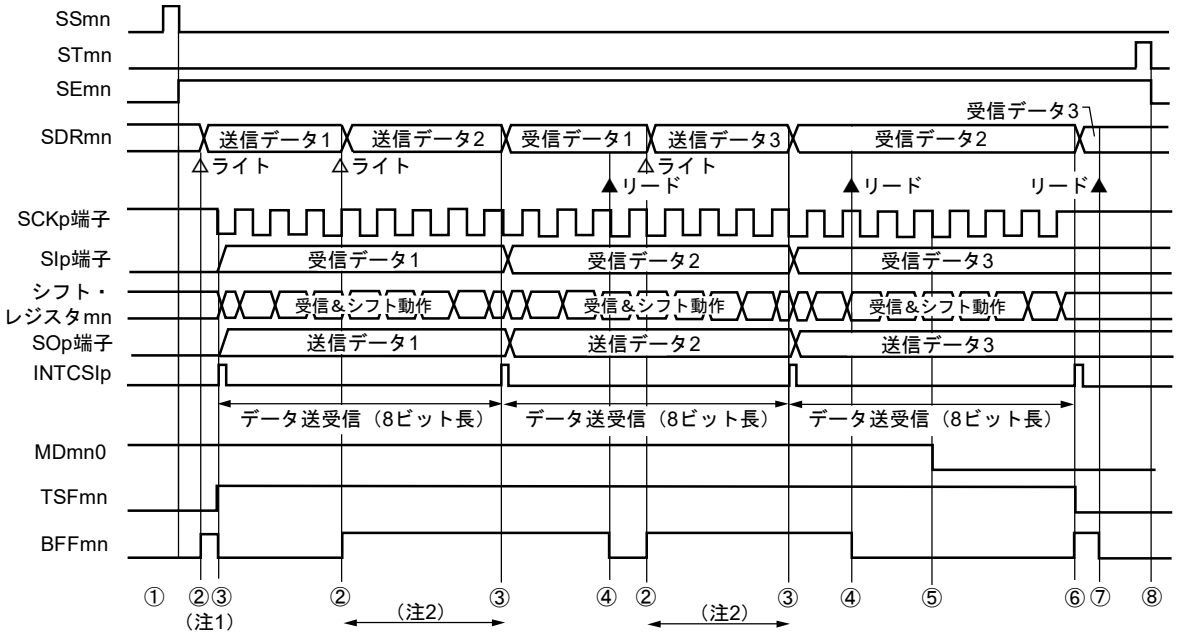
図 15－48　マスタ送受信（シングル送受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

(4)　処理フロー（連続送受信モード時）

図 15－49　マスタ送受信（連続送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



注 1. シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されている時）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

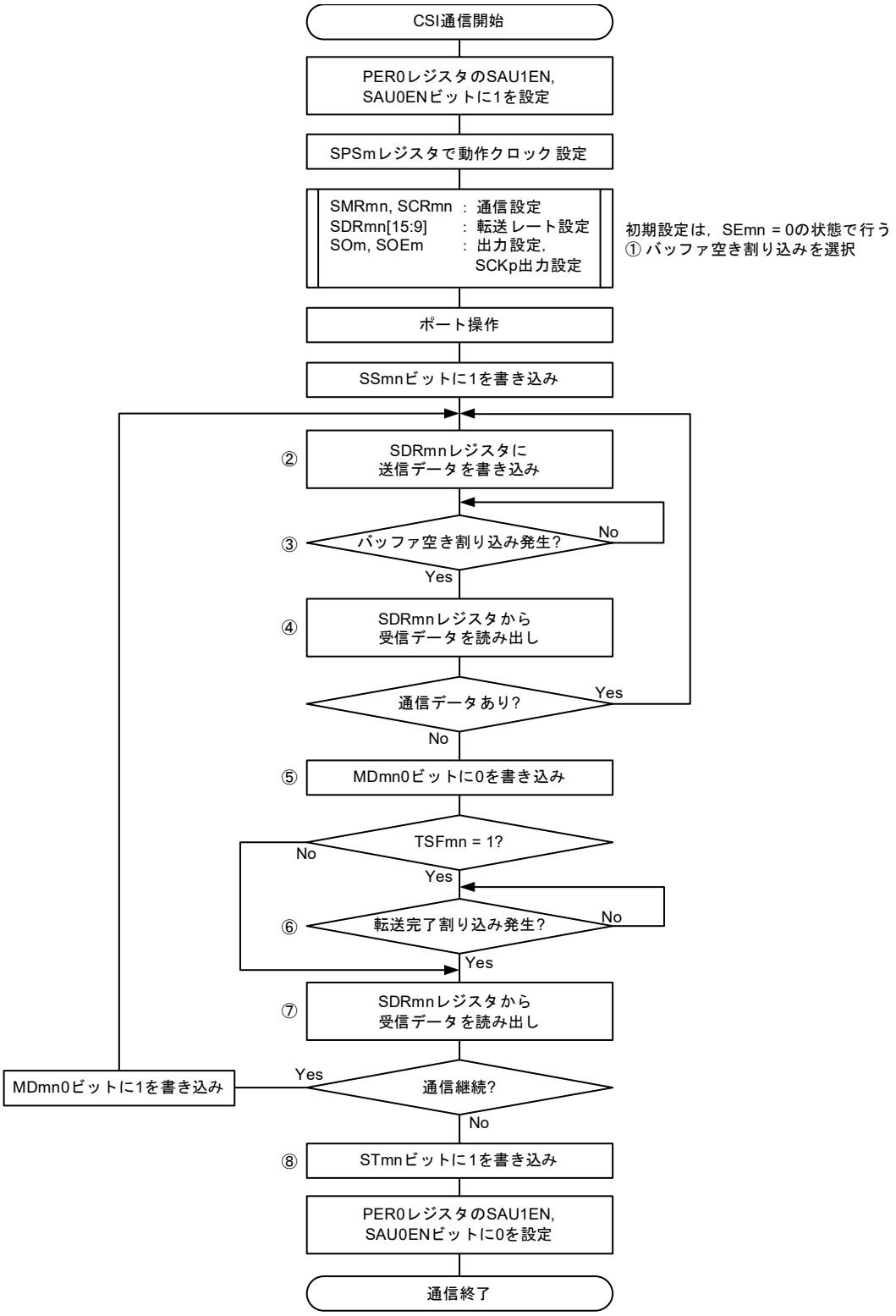
2. この期間に SDRmn レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 1. 図中の①～⑧は，図 15－50　マスタ送受信（連続送受信モード時）のフロー・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－50　マスタ送受信（連続送受信モード時）のフロー・チャート



備考 1. 図中の①～⑧は，図 15－49　マスタ送受信（連続送受信モード時）のタイミング・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.5.4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，本 MCU から他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）を選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6[Hz] 注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注 1. SCK00, SCK01, SCK10, SCK11 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考 1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(1)　レジスタ設定

図 15－51　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0: SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1: SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0: 転送完了割り込み
1: バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn 1	RXEmn 0	DAPmn 0/1	CKPmn 0/1	0	0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	DLSmn3 0/1	DLSmn2 0/1	DLSmn1 0/1	DLSmn0 0/1

データとクロックの相違選択
（設定内容の詳細は「15.3　シリアル・アレイ・レジスタを制御するレジスタ」を参照）

データ転送順序の選択
0: MSBファーストで入出力を行う
1: LSBファーストで入出力を行う

データ長の設定

(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	0000000（ボー・レート設定）							0	0	0	0	0	0	0	0	0

②　動作中（SEmn = 1）（下位8ビット：SDRpL）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	送信データ設定															

SDRpL

(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

(**備考**は，次のページにあります。)

図 15－51　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－52　スレーブ送信の初期設定手順

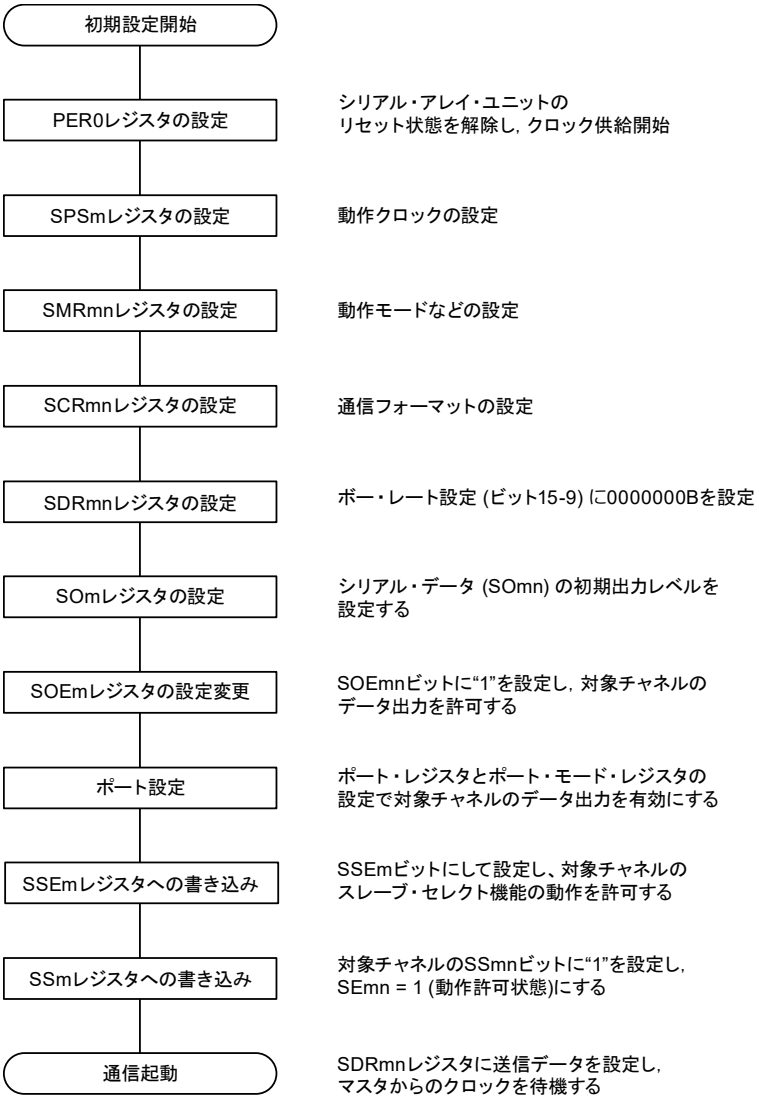
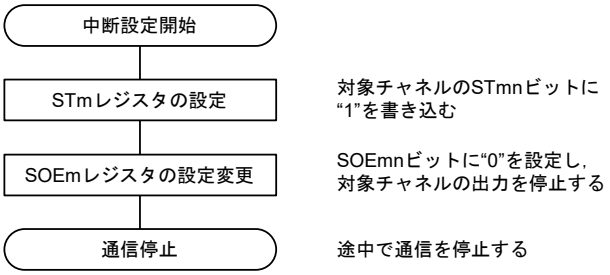


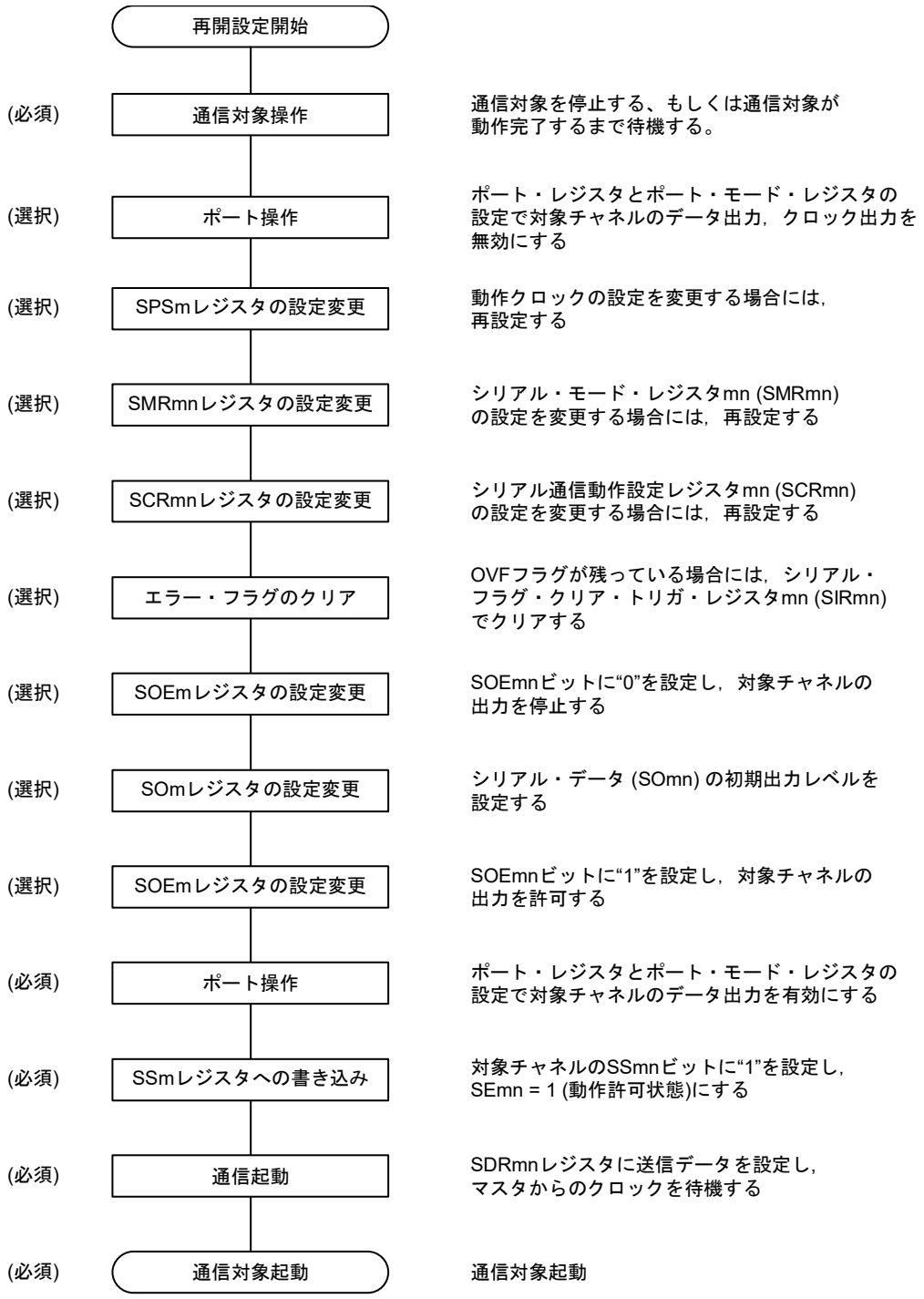
図 15－53　スレーブ送信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－54　スレーブ送信の再開設定手順」を参照）。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n：0, 1），mn：00, 01, 10, 11

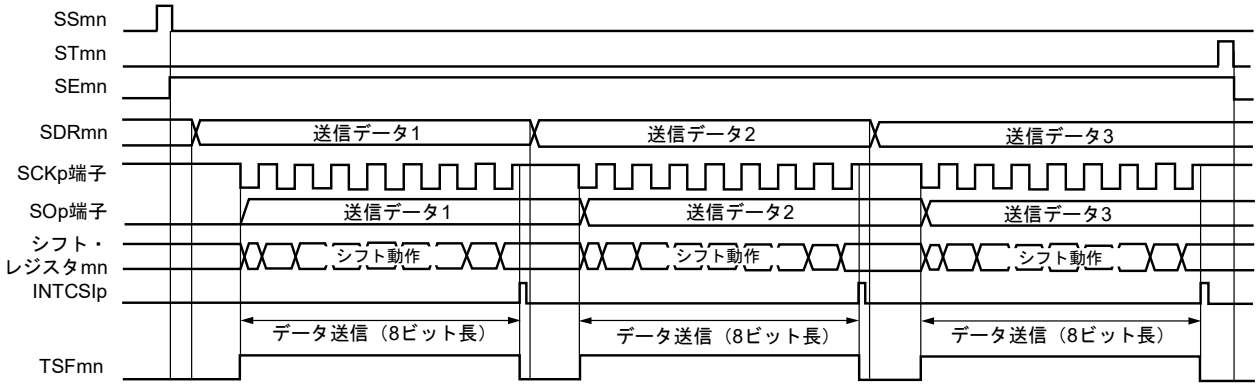
図 15－54　スレーブ送信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n：0, 1），mn：00, 01, 10, 11

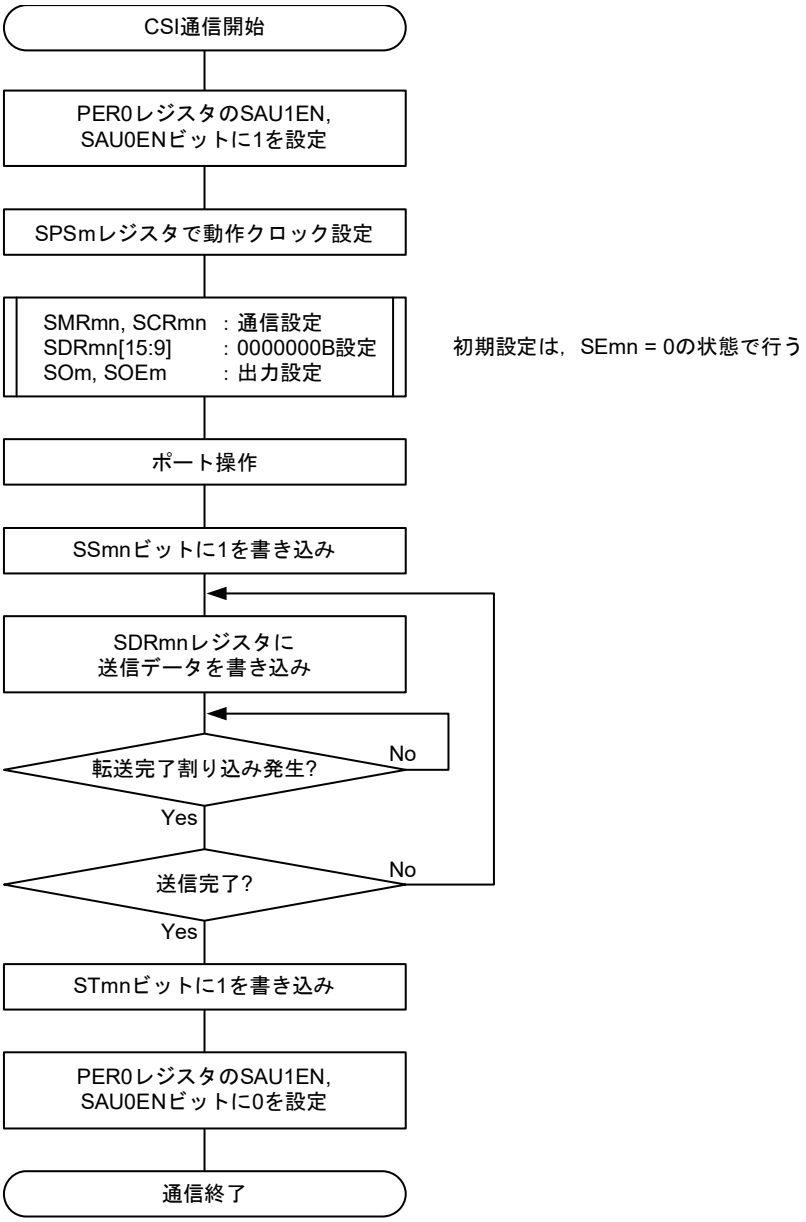
(3)　処理フロー（シングル送信モード時）

図 15－55　スレーブ送信（シングル送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

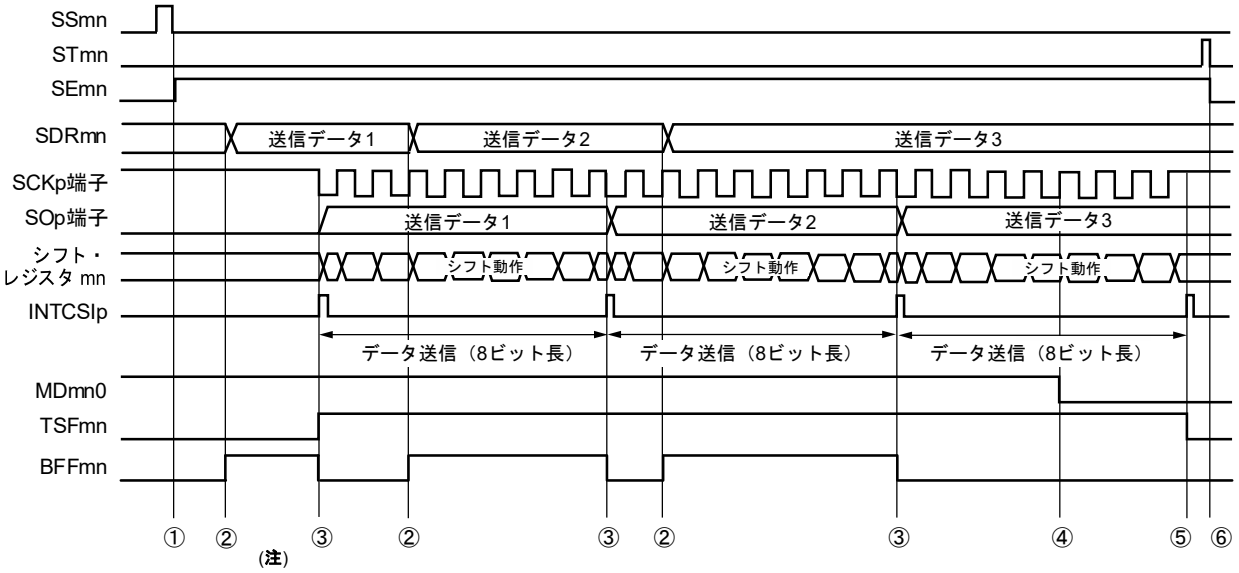
図 15－56　スレーブ送信（シングル送信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

(4)　処理フロー（連続送信モード時）

図 15－57　スレーブ送信（連続送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）

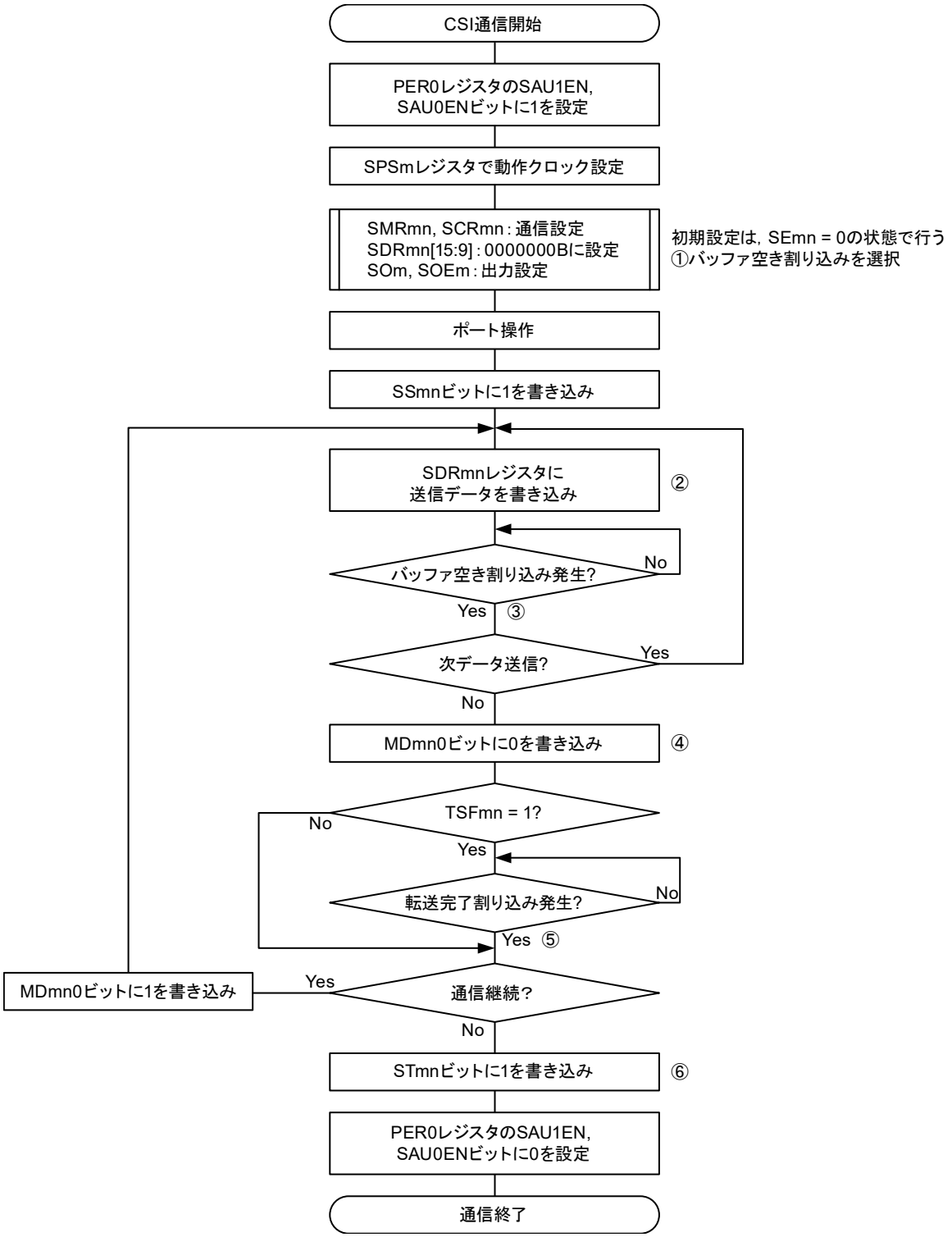


注　シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されているとき）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－58　スレーブ送信（連続送信モード時）のフロー・チャート



備考 1. 図中の①～⑥は，図 15－57　スレーブ送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.5.5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，本 MCU が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6 [Hz] 注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注 1. SCK00, SCK01, SCK10, SCK11 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

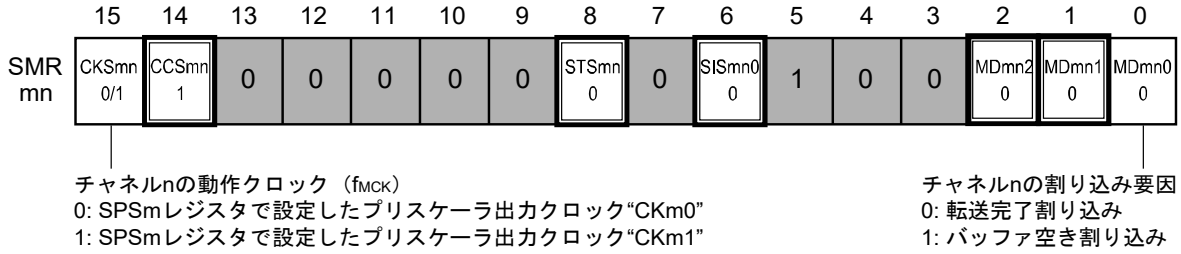
備考 1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

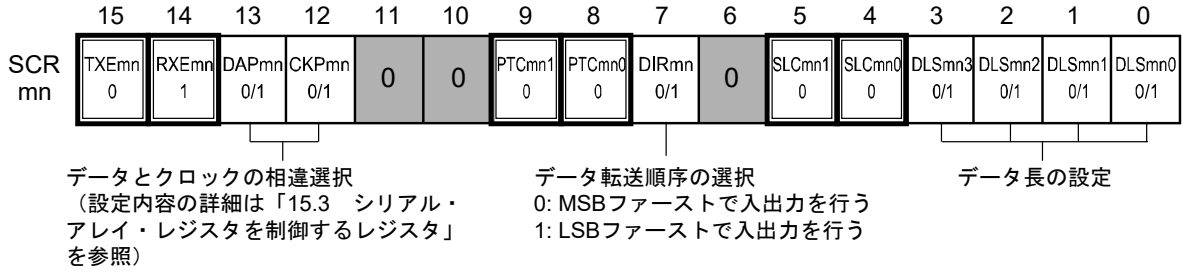
(1)　レジスタ設定

図 15－59　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

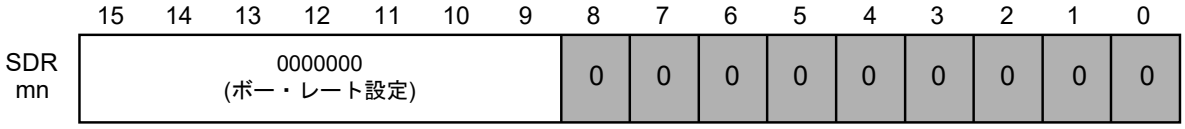


(b)　シリアル通信動作設定レジスタmn（SCRmn）

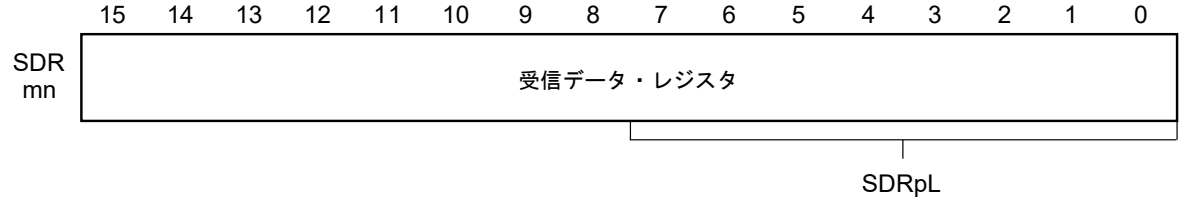


(c)　シリアル・データ・レジスタmn（SDRmn）

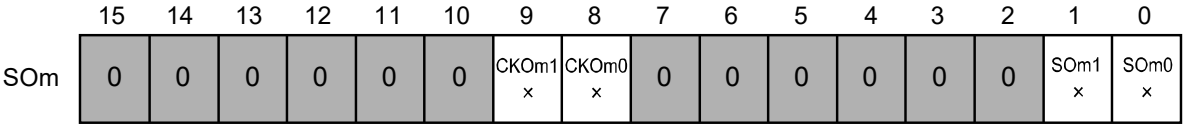
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(d)　シリアル出力レジスタm（SOm）・・・このモードでは使用しない



(**備考**は，次のページにあります。)

図 15－59　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

(f)　シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－60　スレーブ受信の初期設定手順

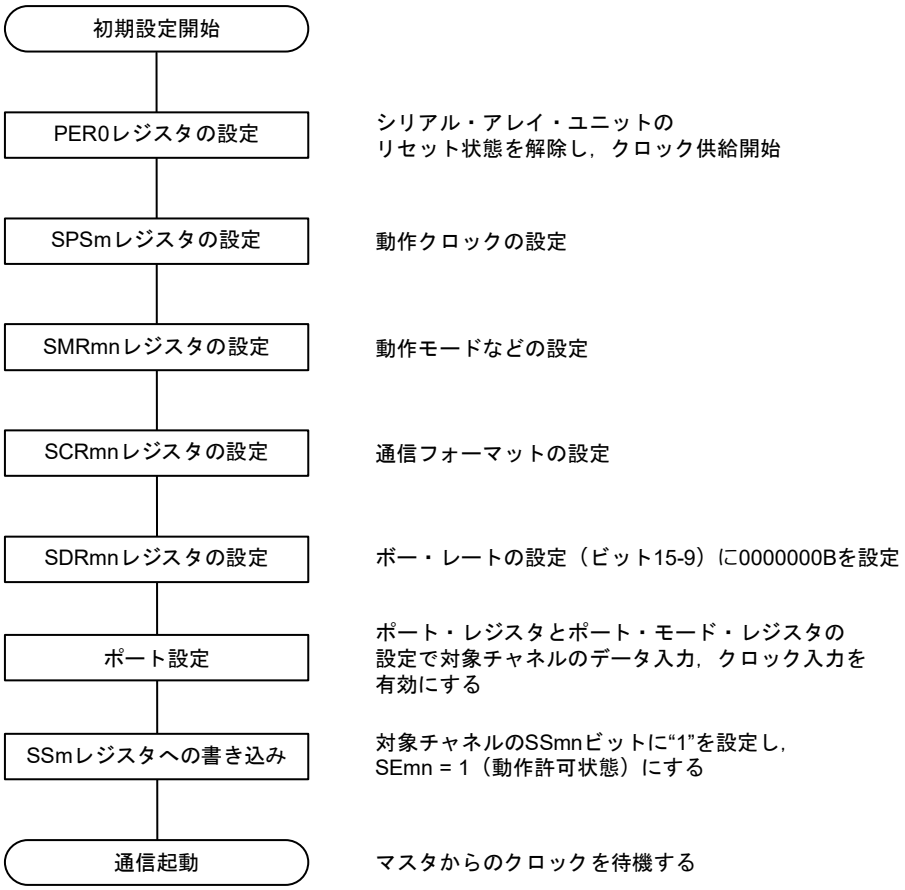
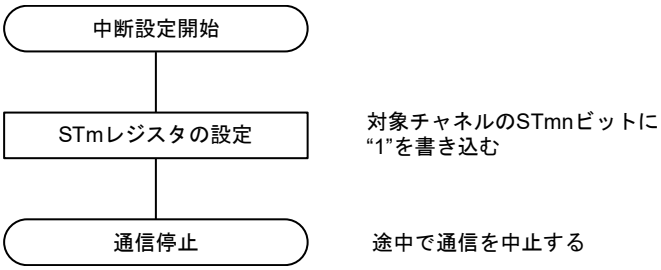
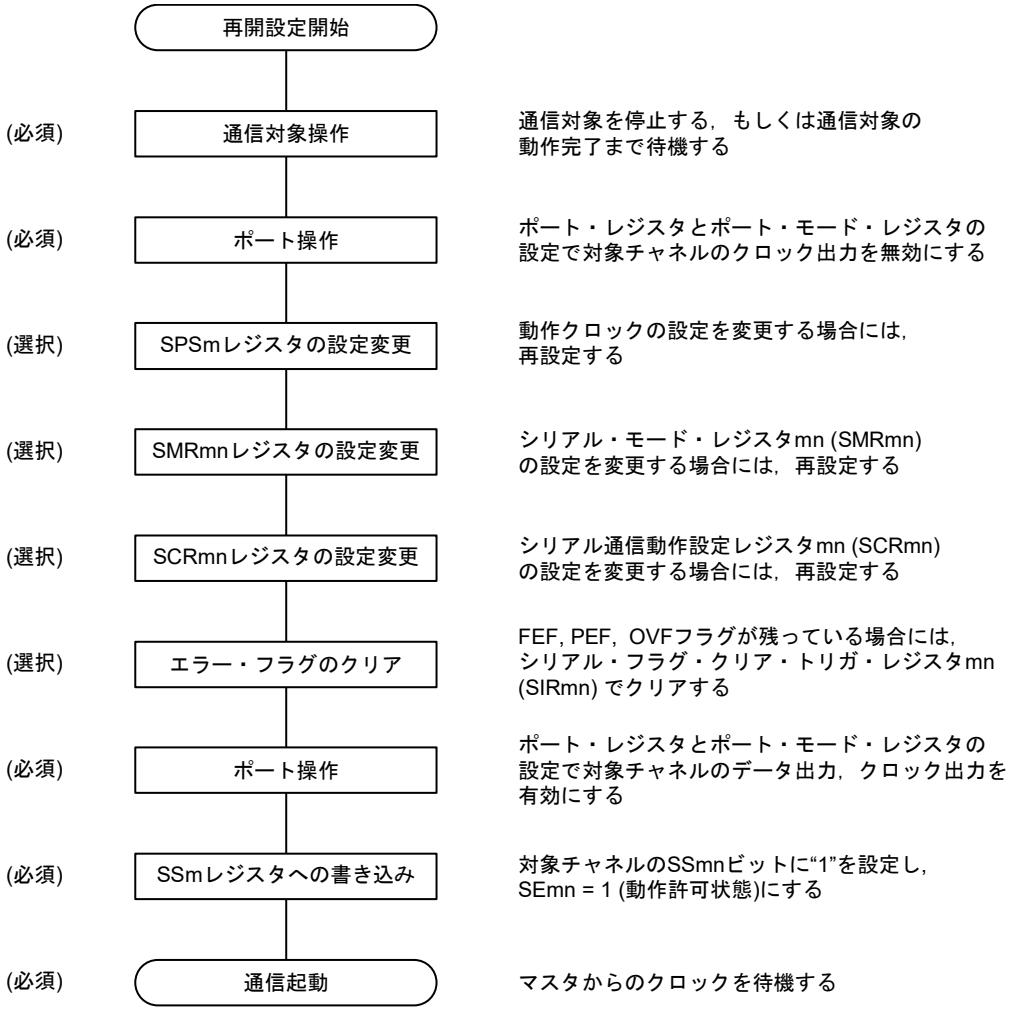


図 15－61　スレーブ受信の中断手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

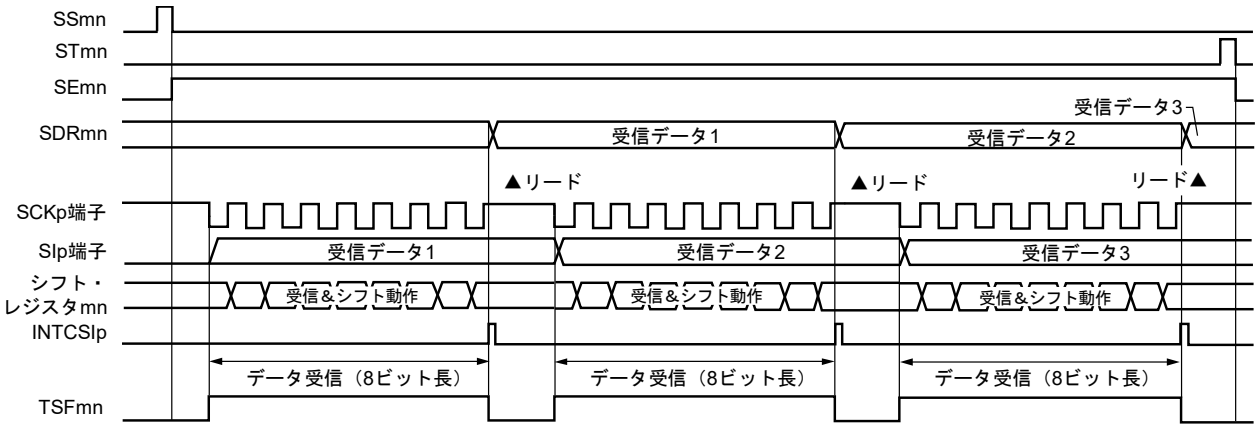
図 15－62　スレーブ受信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

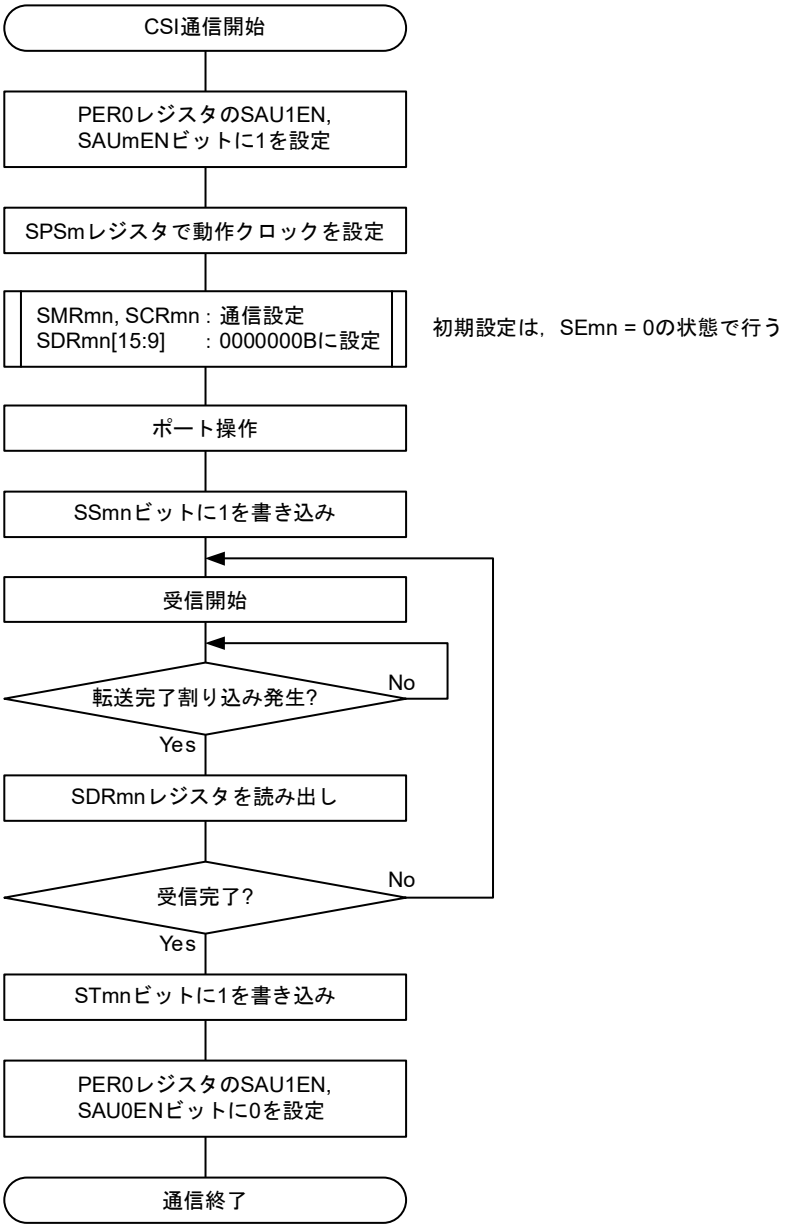
(3)　処理フロー（シングル受信モード時）

図 15－63　スレーブ受信（シングル受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－64　スレーブ受信（シングル受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.5.6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，本 MCU と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6 [Hz] 注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注 1. SCK00, SCK01, SCK10, SCK11 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考 1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(1)　レジスタ設定

図 15－65　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時のレジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0: SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1: SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0: 転送完了割り込み
1: バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	DLSmn3 0/1	DLSmn2 0/1	DLSmn1 0/1	DLSmn0 0/1

データとクロックの相違選択
（設定内容の詳細は「15.3　シリアル・アレイ・レジスタを制御するレジスタ」を参照）

データ転送順序の選択
0: MSBファーストで入出力を行う
1: LSBファーストで入出力を行う

データ長の設定

(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	0000000 (ボー・レート設定)							0	0	0	0	0	0	0	0	0

②　動作中（SEmn = 1）（下位8ビット：SDRpL）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	送信データ設定／受信データ・レジスタ															

SDRpL

(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

(**注意**，**備考**は，次のページにあります。)

図 15－65　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時のレジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

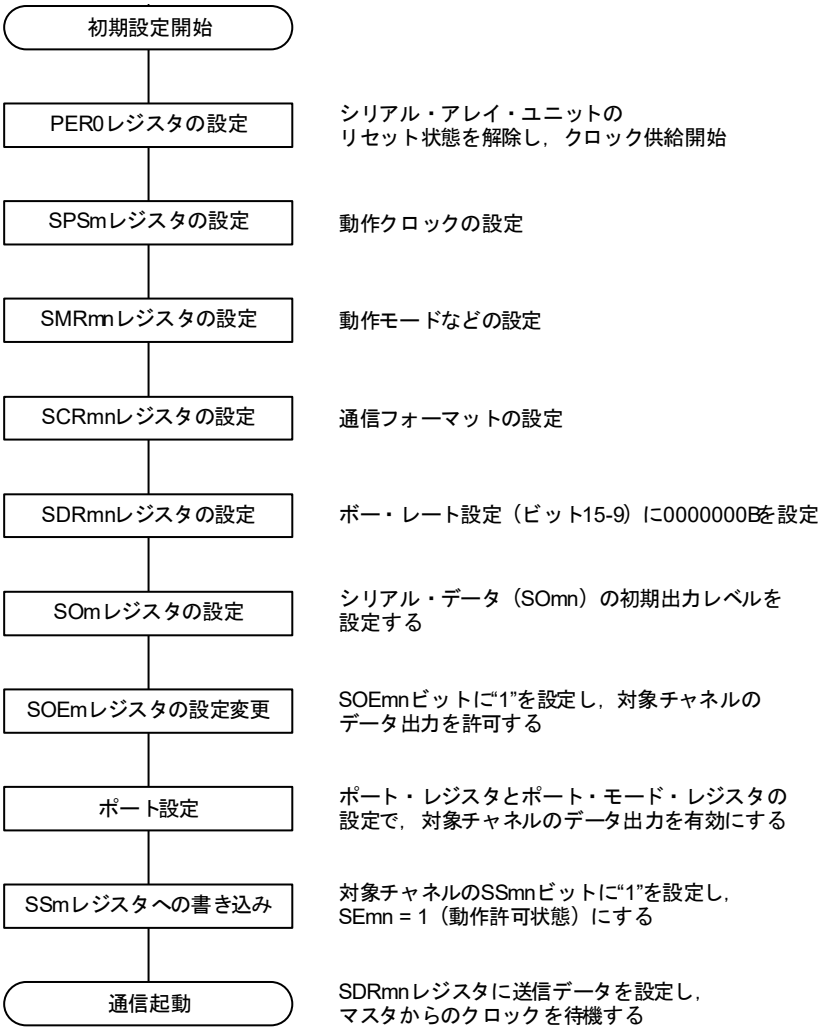
注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考 1. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

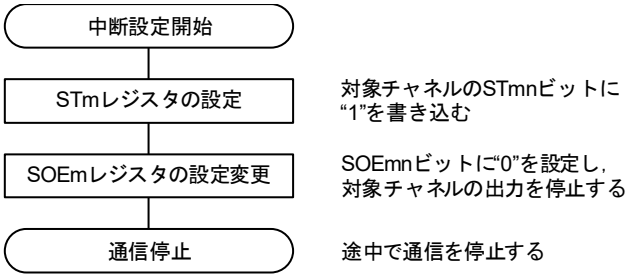
(2)　操作手順

図 15－66　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

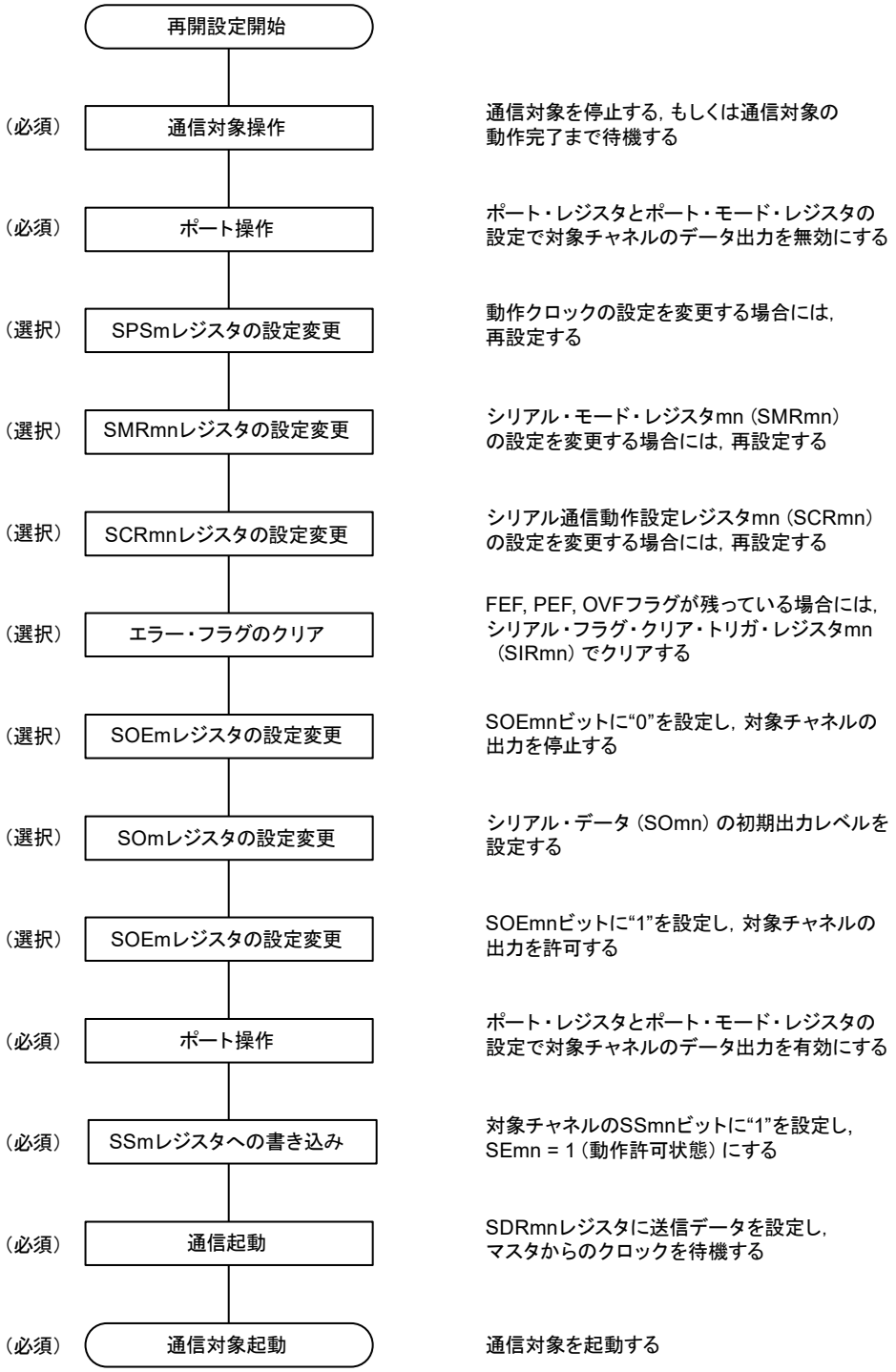
図 15－67　スレーブ送受信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－68　スレーブ送受信の再開設定手順」を参照）。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－68　スレーブ送受信の再開設定手順

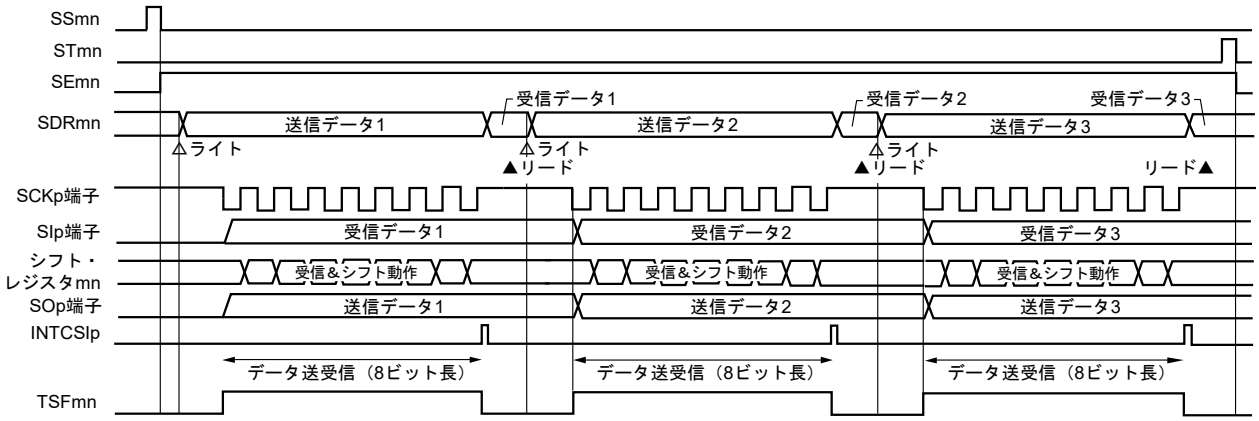


注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

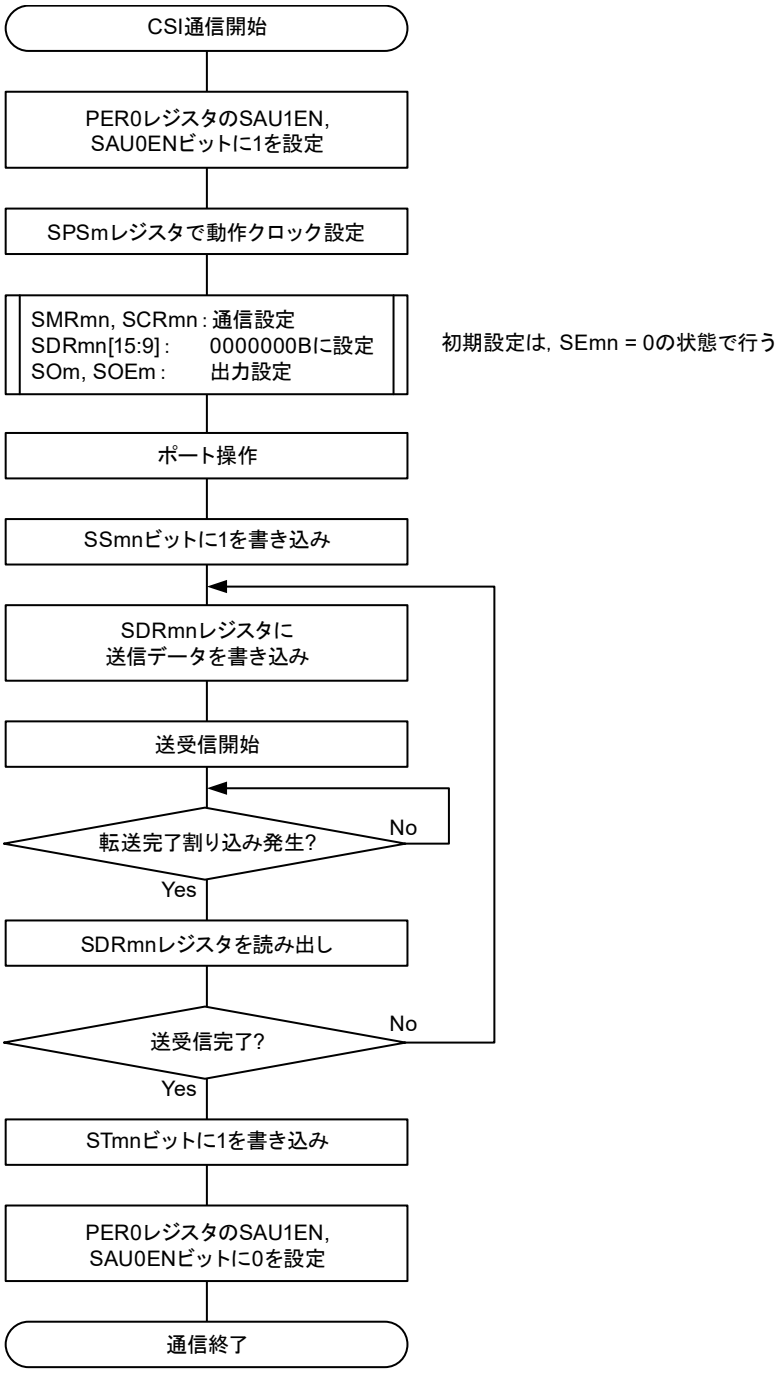
(3)　処理フロー（シングル送受信モード時）

図 15－69　スレーブ送受信（シングル送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

図 15－70　スレーブ送受信（シングル送受信モード時）のフロー・チャート

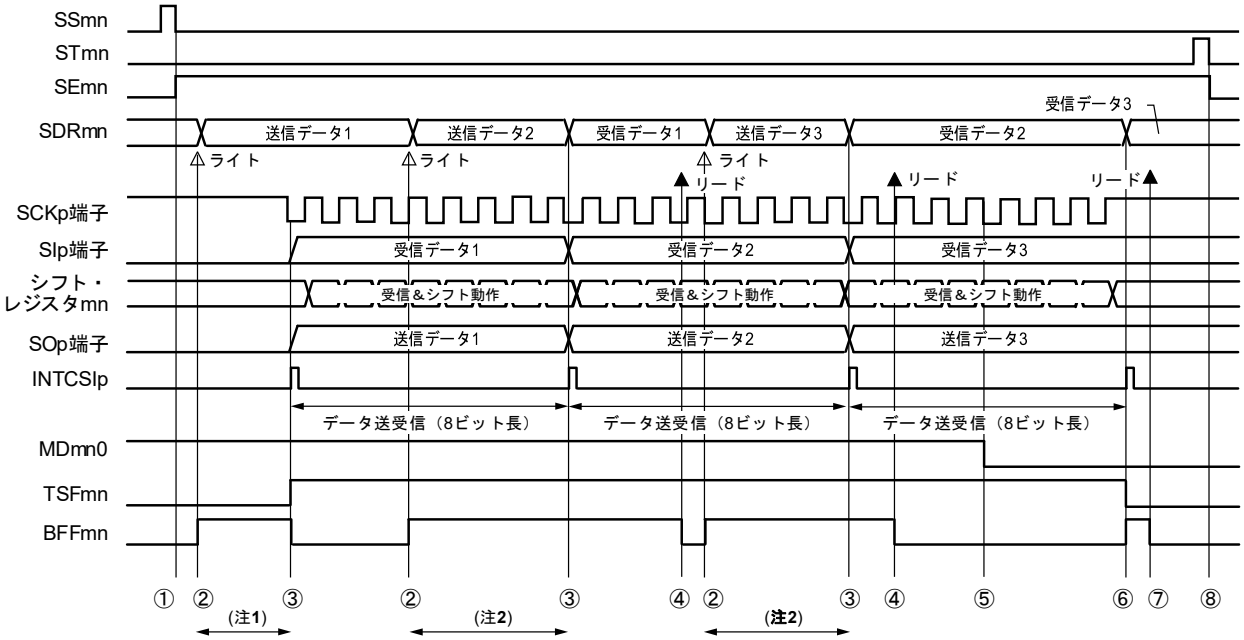


注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

(4)　処理フロー（連続送受信モード時）

図 15－71　スレーブ送受信（連続送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn = 0, CKPmn = 0）



注 1. シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されている時）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

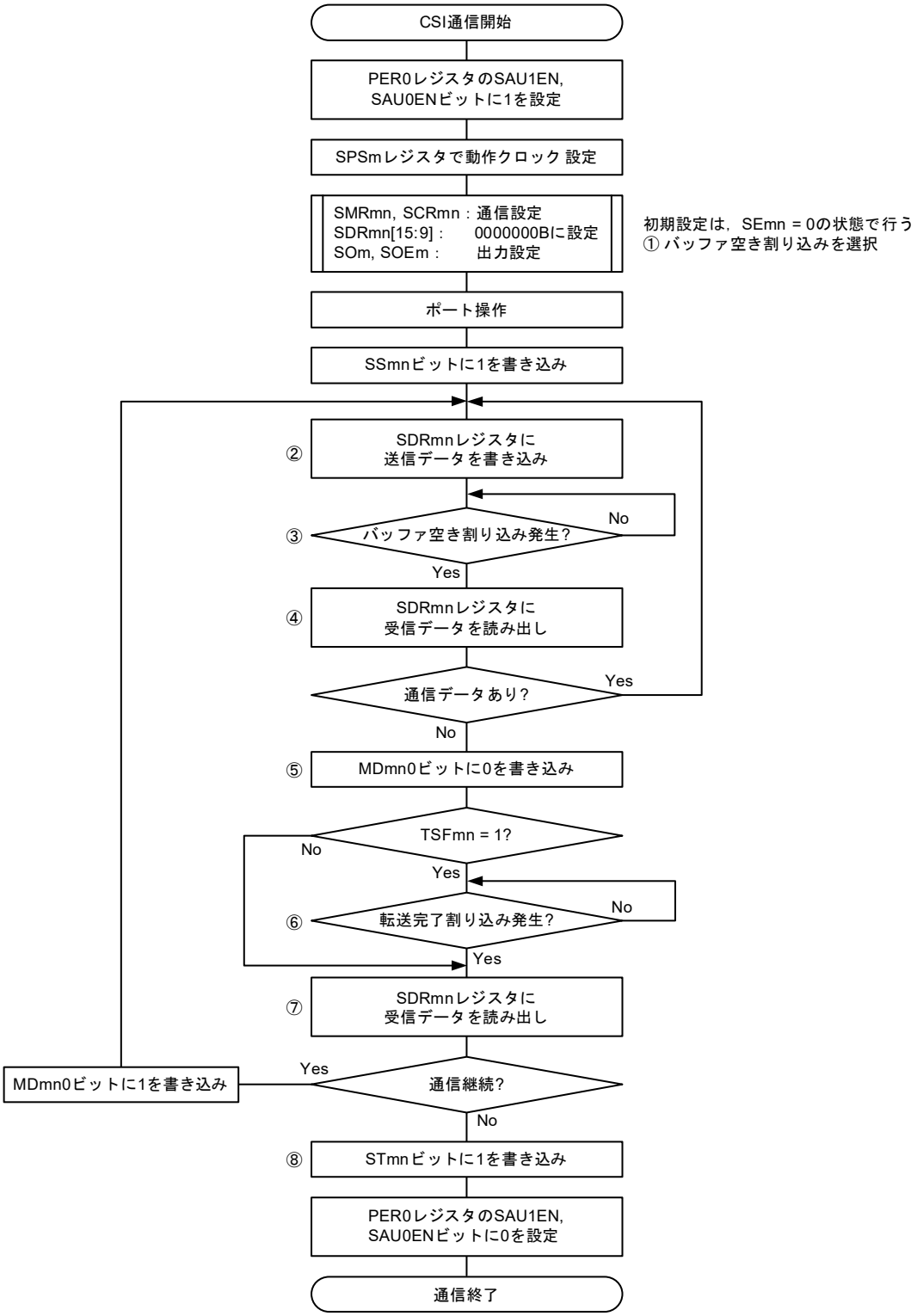
2. この期間に SDRmn レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 1. 図中の①～⑧は，図 15－72　スレーブ送受信（連続送受信モード時）のフロー・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－72　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考 1. 図中の①～⑧は，図 15－71　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①～⑧に対応　しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.5.7　転送クロック周波数の算出

3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）通信での転送クロック周波数は，下記の計算式で算出できます。

(1)　マスタの場合

転送クロック周波数 ＝ 対象チャネルの動作クロック（f_{MCK}）周波数 ÷（SDRmn[15:9] + 1）÷ 2 [Hz]

(2)　スレーブの場合

転送クロック周波数 ＝ マスタが供給するシリアル・クロック（f_{SCK}）周波数 注 [Hz]

注　ただし，許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考　SDRmn[15:9]は，シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000000B-1111111B）なので，0-127 になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）のビット 15（CKSmn）で決まります。

表 15－3　3 線シリアル I/O 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注		
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} =32 MHz 動作時	f_{CLK} = 40 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz	40 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz	20 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz	10 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz	5 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz	625 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz	40 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz	20 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz	10 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz	5 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz	625 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
上記以外										設定禁止	設定禁止

注　f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ m (STm) = 0003H）させてから変更してください。

備考 1. X：Don’t care

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.5.8　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11）通信時におけるエラー発生時の処理手順

3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）通信時にエラーが発生した場合の処理手順を図 15－73 に示します。

図 15－73　オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.6 SPI 機能付クロック同期シリアル通信の動作

すべてのチャネル（SAU0のチャネル0, 1およびSAU1のチャネル0, 1）がSPI機能付きクロック同期シリアル通信に対応しています。

［データ送受信］

- 7～16 ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択
- 送受信データのレベル設定

［クロック制御］

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

［拡張機能］

- スレーブ選択機能

・RL78/F23 32ピン製品およびRL78/F24 32ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	–		–

・RL78/F23 48, 64, 80ピン製品とRL78/F24 48, 64, 80, 100ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	CSI11（SPI機能対応）		IIC11

注　48 ピン，32 ピン製品には，SSI10 端子はありません。

SPI機能の通信動作は，以下の6種類があります。

- マスタ送信　（「15.6.1　マスタ送信」を参照）
- マスタ受信　（「15.6.2　マスタ受信」を参照）
- マスタ送受信　（「15.6.3　マスタ送受信」を参照）
- スレーブ送信　（「15.6.4　スレーブ送信」を参照）
- スレーブ受信　（「15.6.5　スレーブ受信」を参照）
- スレーブ送受信　（「15.6.6　スレーブ送受信」を参照）

SPI機能を使うことで，マスタ1つに対し複数のスレーブを接続し，通信を行うことができます。マスタは通信相手となるスレーブ（1つ）に対しスレーブ選択信号を出力し，各スレーブは通信相手として自分が選択されたかを判断し，SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子は出力状態となり，マスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には，SO端子はハイ・インピーダンスとなり，ほかのスレーブのSO出力とのショートを防ぎます。また，スレーブとして選択されなかった場合には、マスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意　スレーブ選択信号の出力は，ポート操作により行ってください。

図15－74　SPI機能の構成例

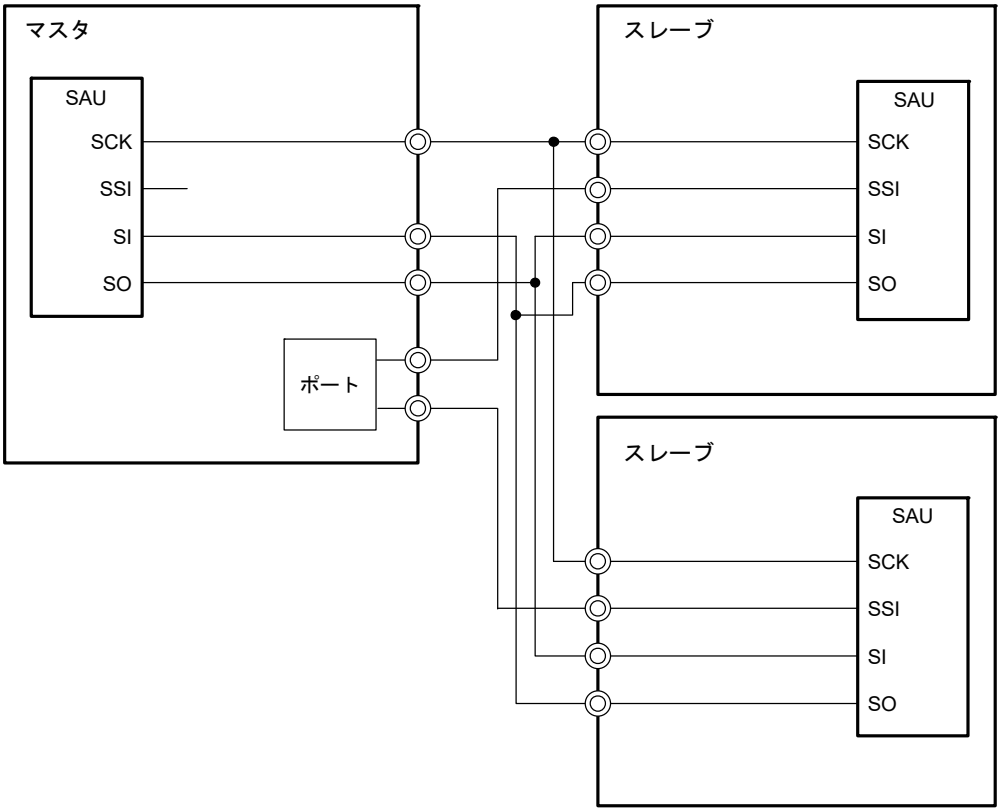
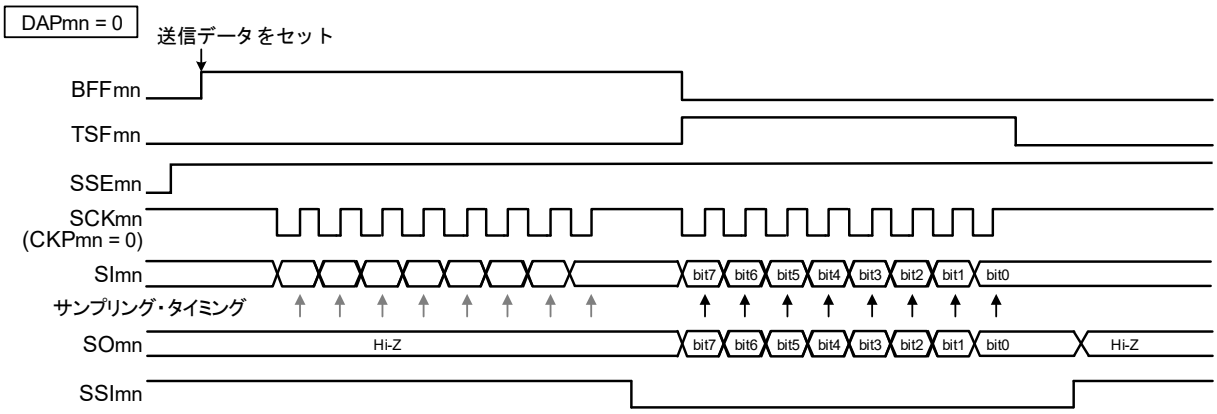
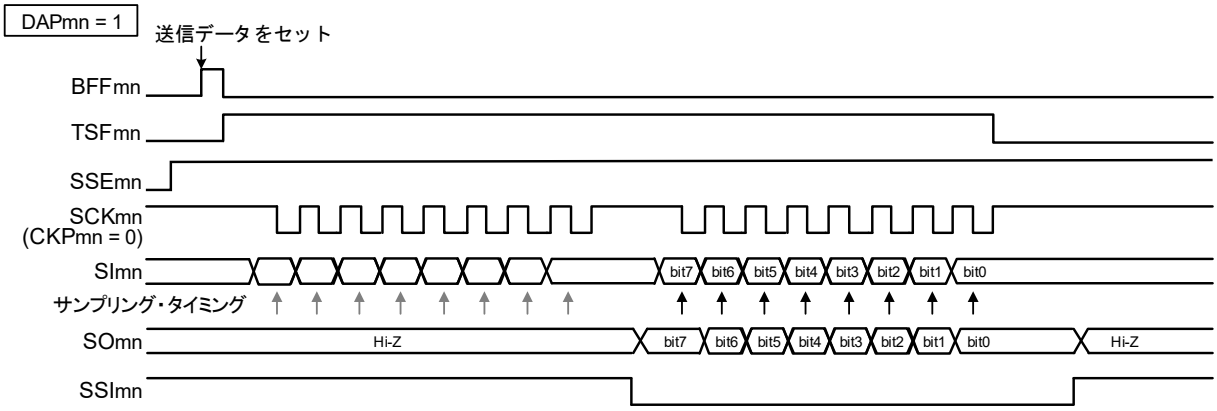


図 15－75　SPI 機能のタイミング図



SSImn がハイ・レベルの間は，SCKmn（シリアル・クロック）が入力されても送信は行われず，立ち上がりエッジに同期して受信データもサンプリングされません。
SSImn がロウ・レベルになると，シリアル・クロックの立ち下がりエッジに同期してデータが出力（シフト）され，立ち上がりエッジに同期して受信動作が行われます。



SSImn がハイ・レベルの間は，SCKmn（シリアル・クロック）が入力されても送信は行われず，立ち下がりエッジに同期して受信データもサンプリングされません。
SSImn がロウ・レベルになると，シリアル・クロックの立ち上がりエッジに同期してデータが出力（シフト）され，立ち下がりエッジに同期して受信動作が行われます。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.6.1　マスタ送信

マスタ送信とは，本MCU転送クロックを出力し，本MCUから他デバイスへデータを送信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

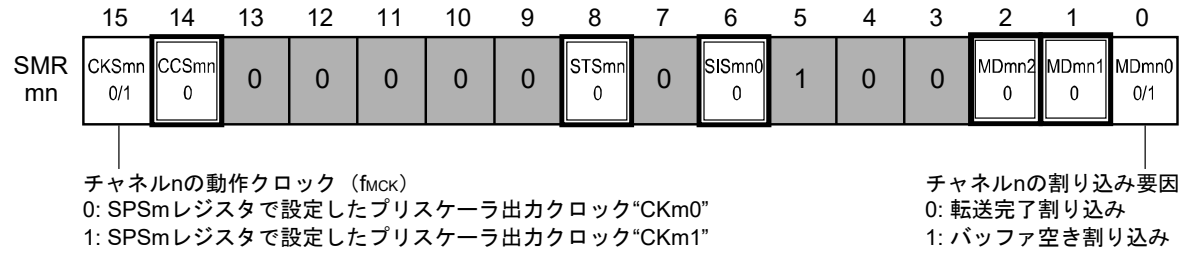
注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

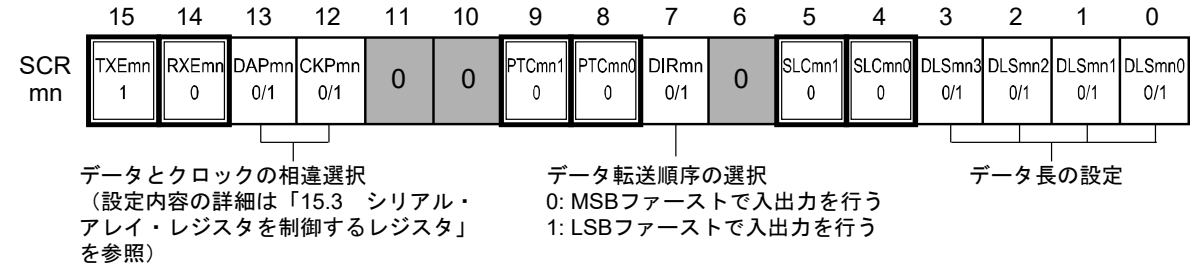
(1)　レジスタ設定

図 15－76　SPI 機能（CSI00, CSI01, CSI10, CSI11）のマスタ送信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

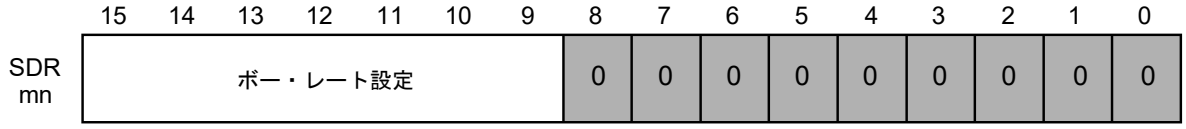


(b)　シリアル通信動作設定レジスタmn（SCRmn）

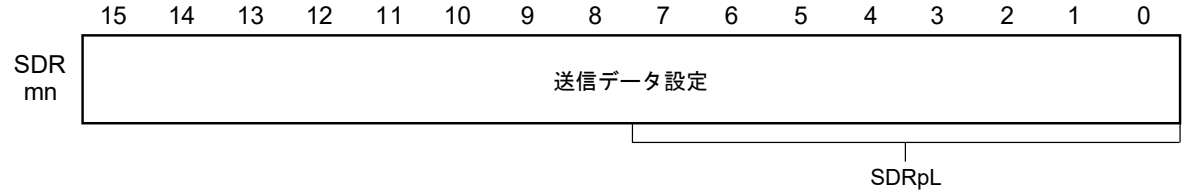


(a)　シリアル・データ・レジスタmn（SDRmn）

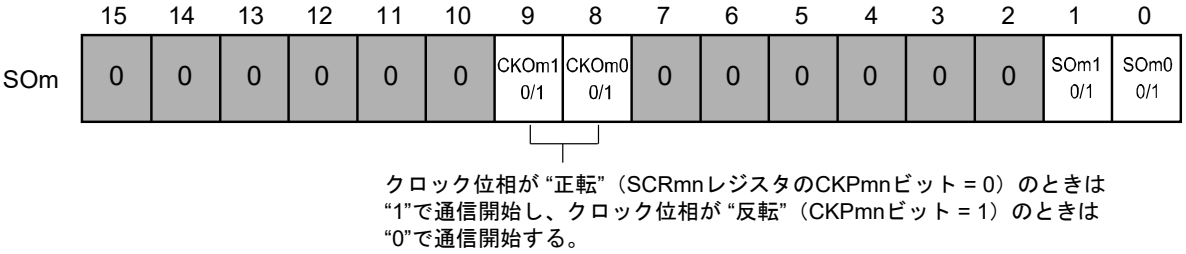
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(b)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（**備考**は，次ページにあります。）

図 15－76　SPI 機能（CSI00, CSI01, CSI10, CSI11）のマスタ送信時の
レジスタ設定内容例（2/2）

(c)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(d)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－77　マスタ送信の初期設定手順

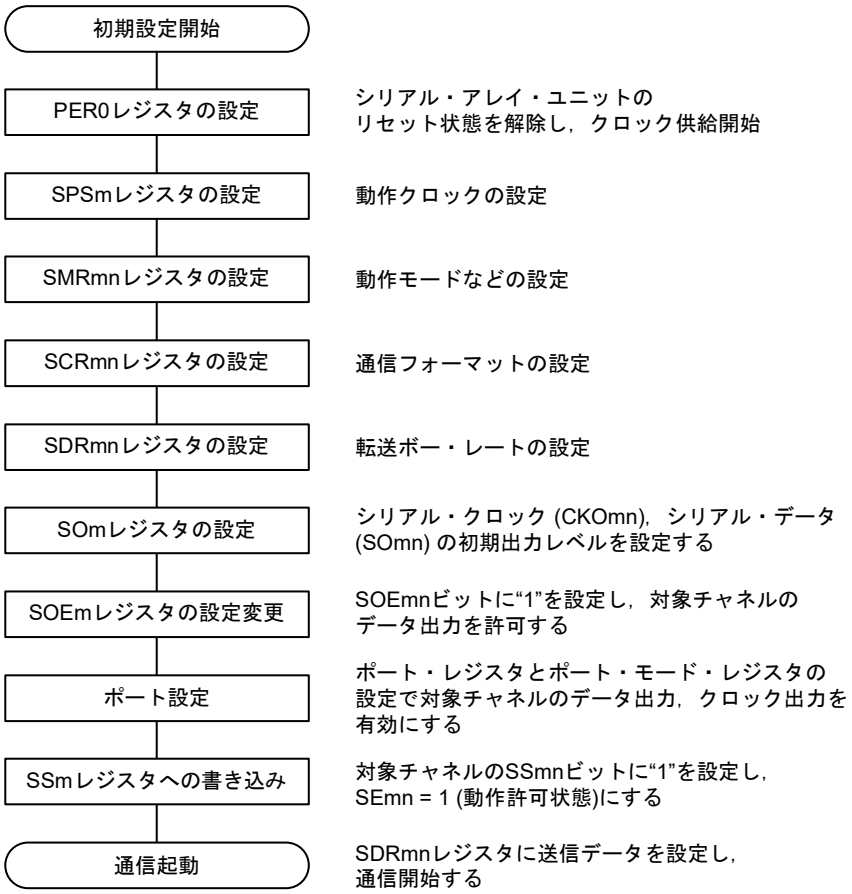
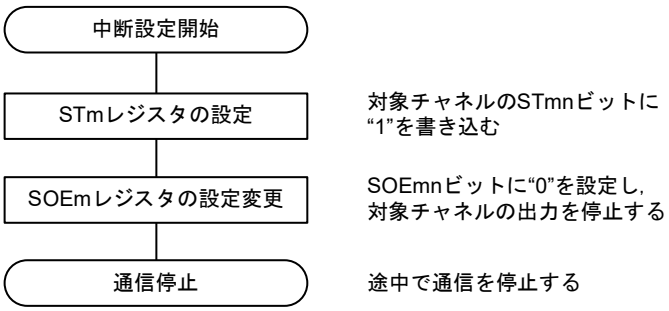


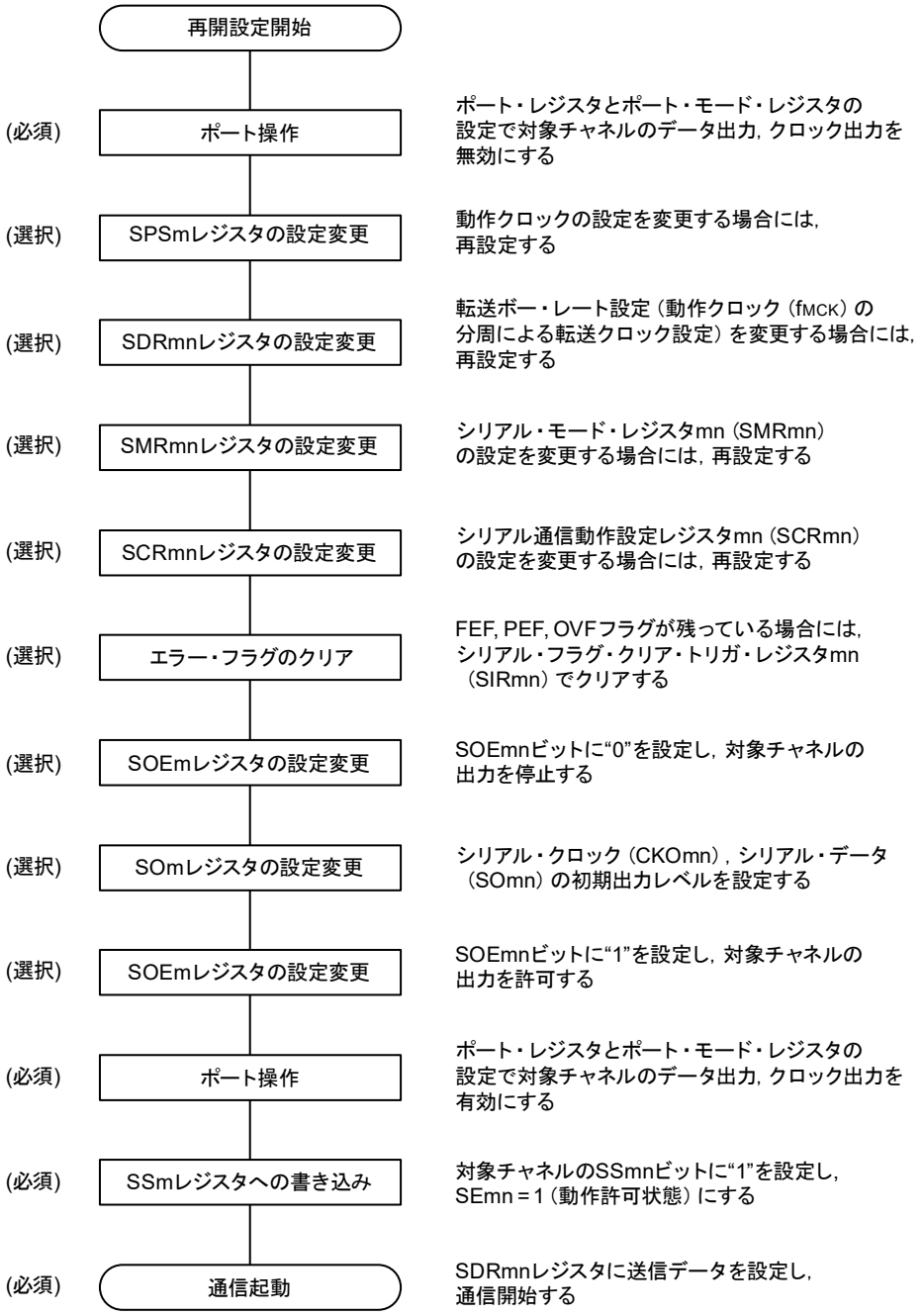
図 15－78　マスタ送信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ（SOm）を再設定してください。（「図 15－79　マスタ送信の再開設定手順」を参照)

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

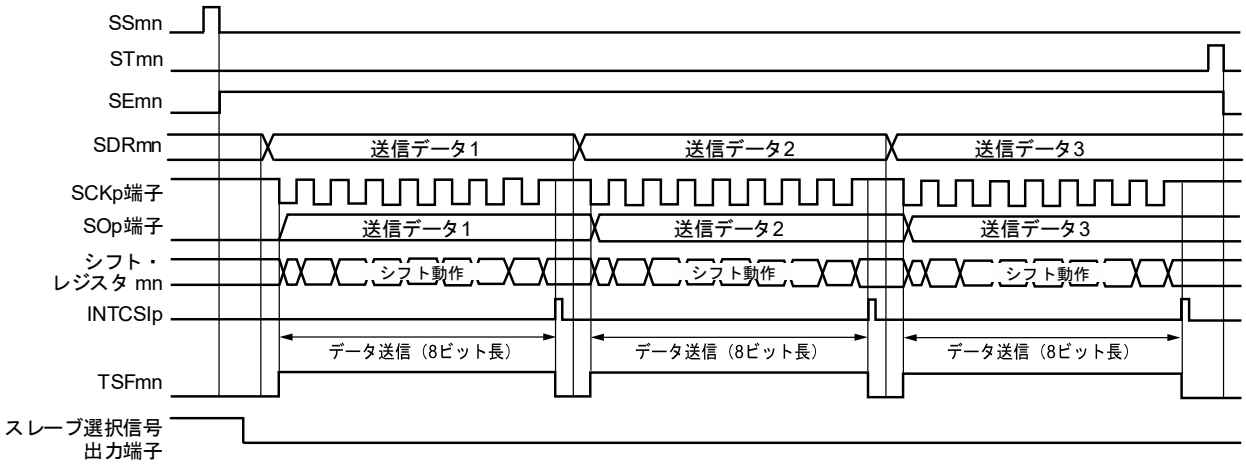
図 15－79　マスタ送信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

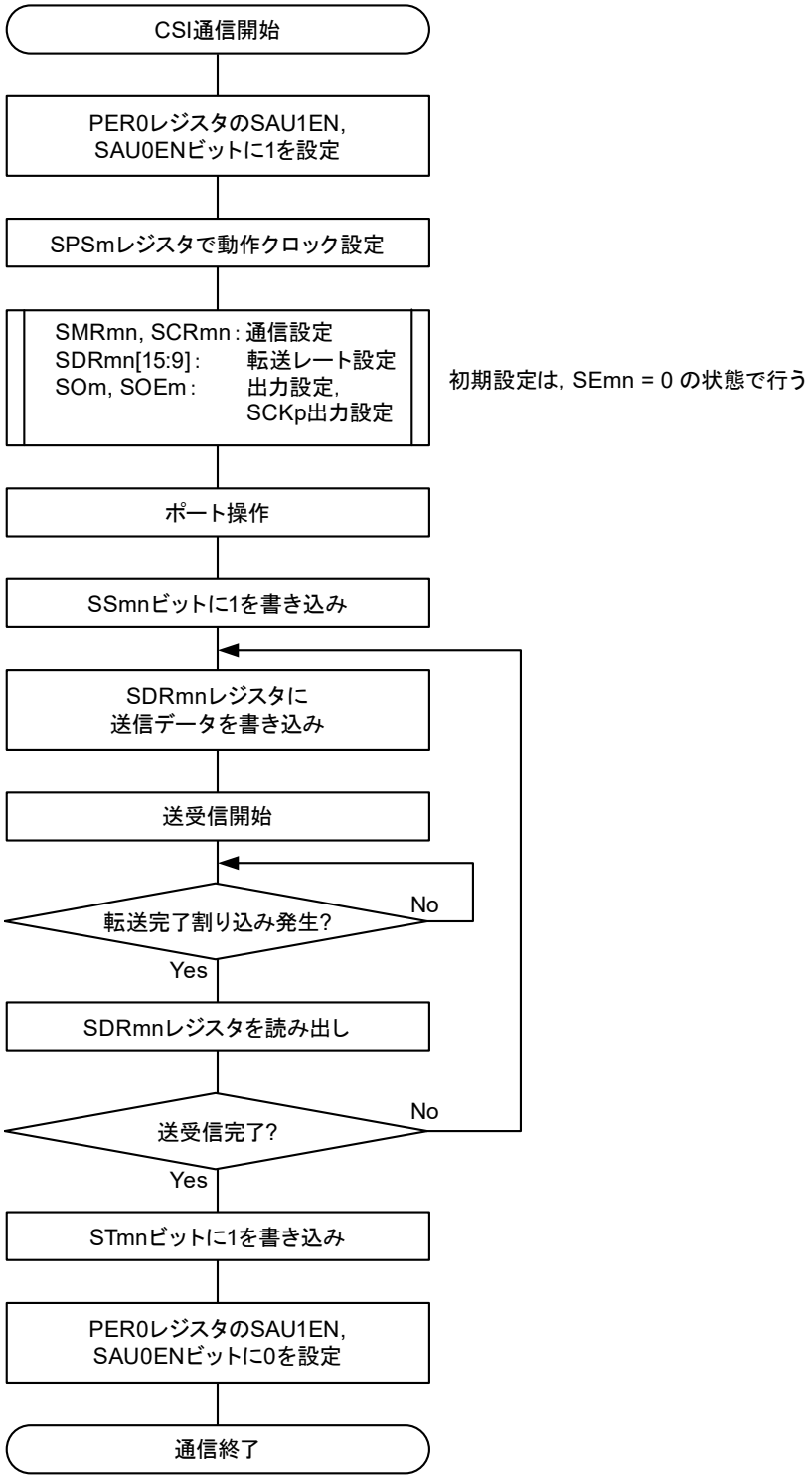
(3)　処理フロー（シングル送信モード時）

図 15－80　マスタ送信（シングル送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

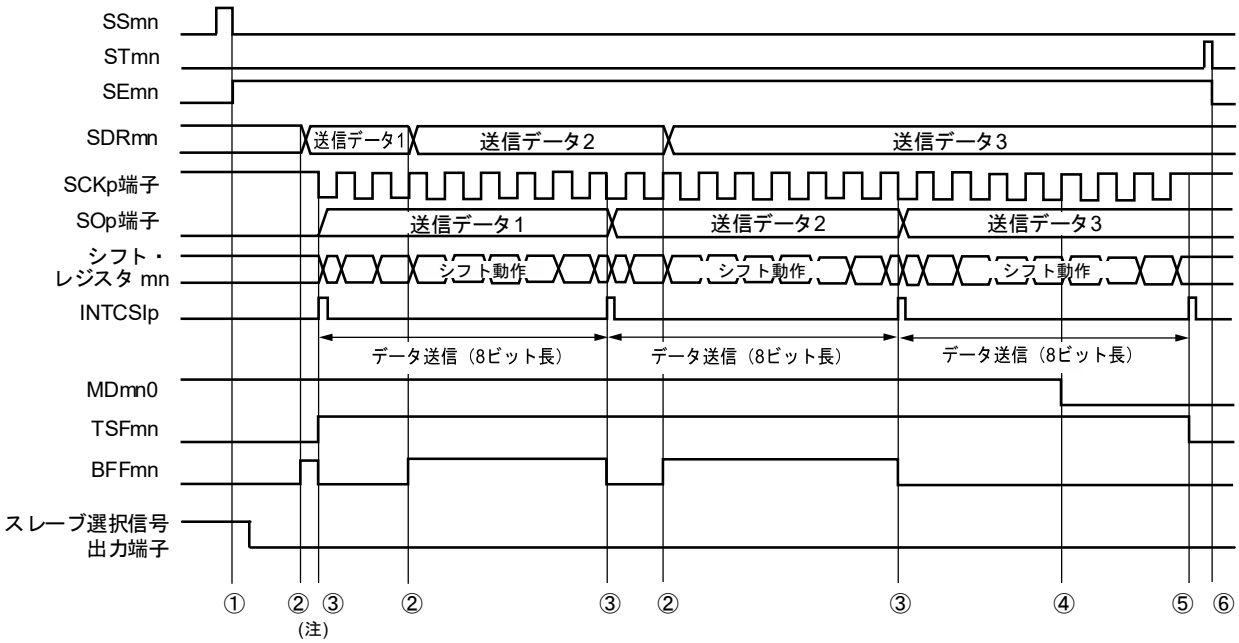
図 15－81　マスタ送信（シングル送信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(4)　処理フロー（連続送信モード時）

図 15－82　マスタ送信（連続送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）

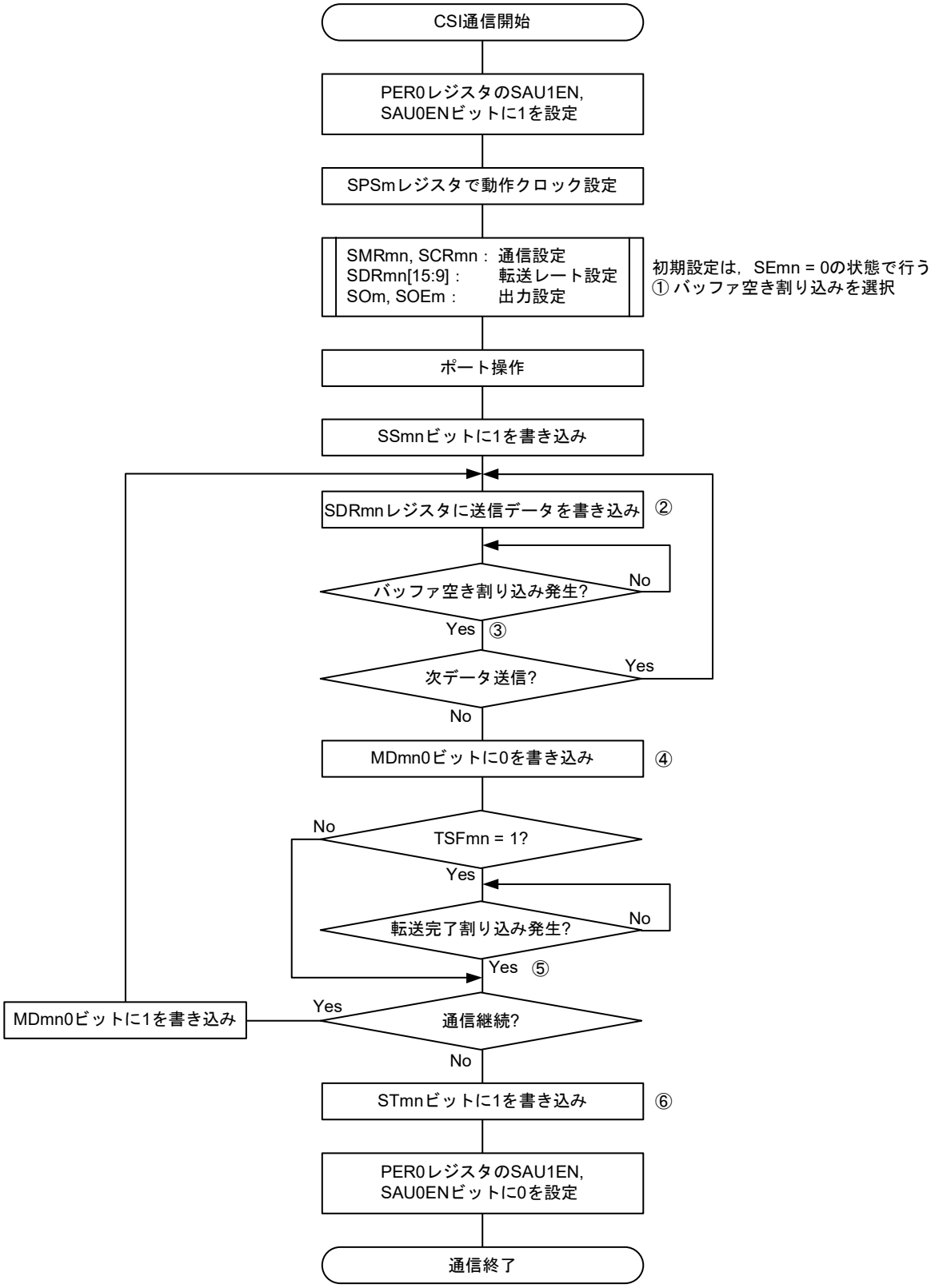


注　シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されているとき）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－83　マスタ送信（連続送信モード時）のフロー・チャート



備考 1. 図中の①～⑥は，図 15－82　マスタ送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.6.2　マスタ受信

マスタ受信とは，本MCUが転送クロックを出力し，本MCUが他デバイスからデータを受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）を選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max.f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

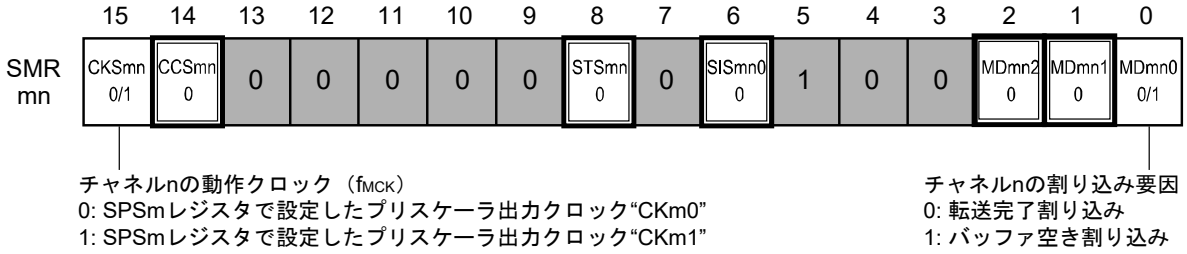
注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

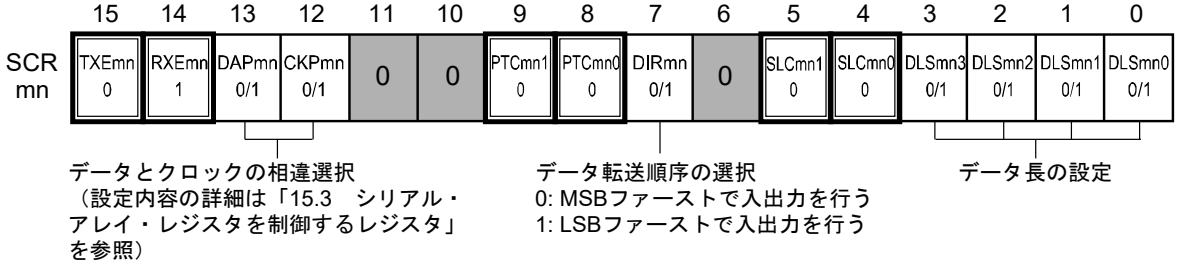
(1)　レジスタ設定

図 15－84　SPI 機能（CSI00, CSI01, CSI10, CSI11）のマスタ受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

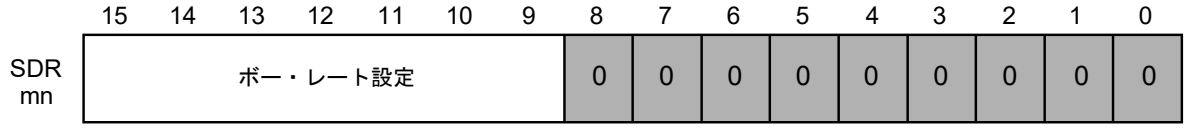


(b)　シリアル通信動作設定レジスタmn（SCRmn）

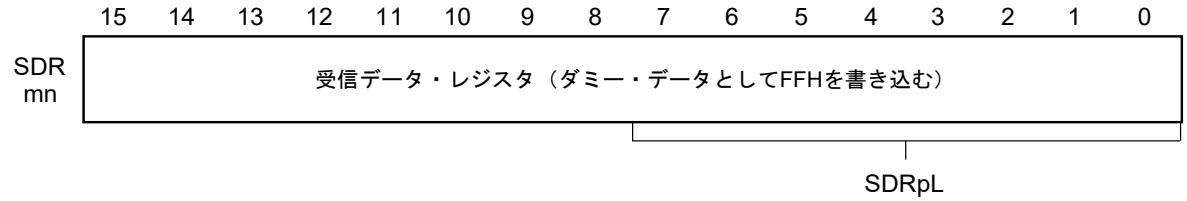


(c)　シリアル・データ・レジスタmn（SDRmn）

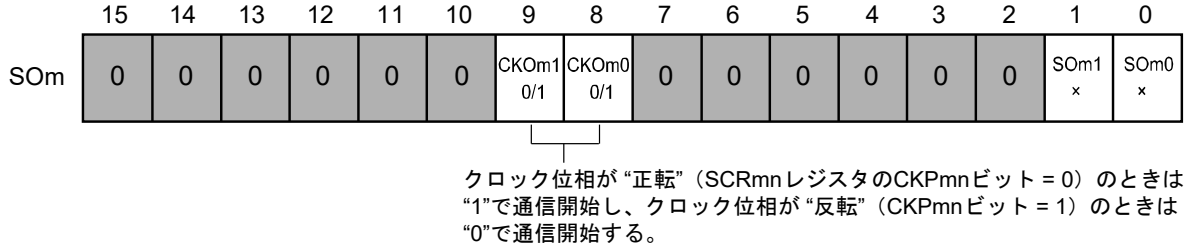
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（**備考**は，次ページにあります。）

図 15－84　SPI 機能（CSI00, CSI01, CSI10, CSI11）のマスタ受信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

(f)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0 - 3），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－85　マスタ受信の初期設定手順

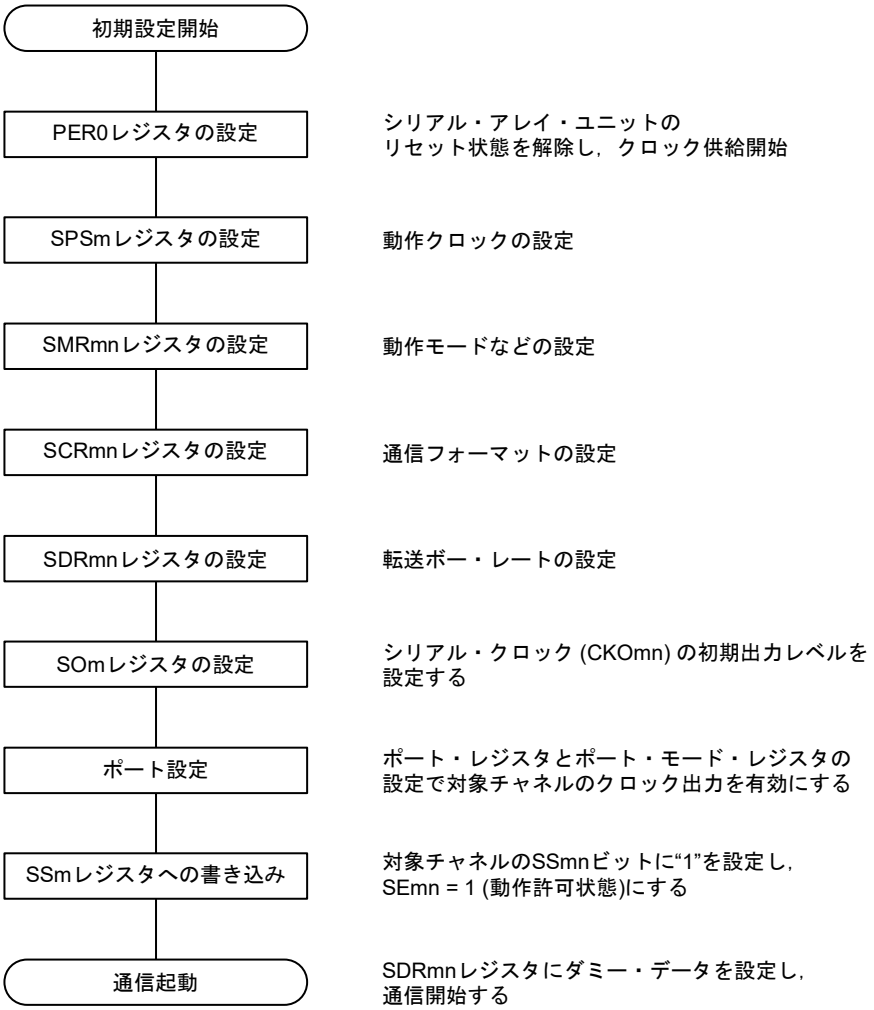
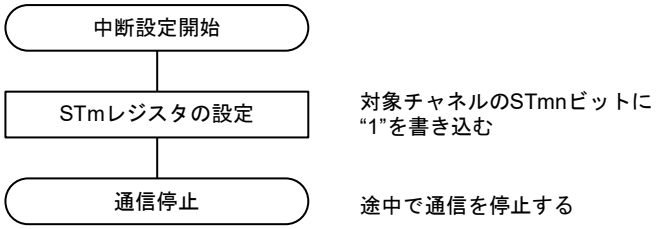


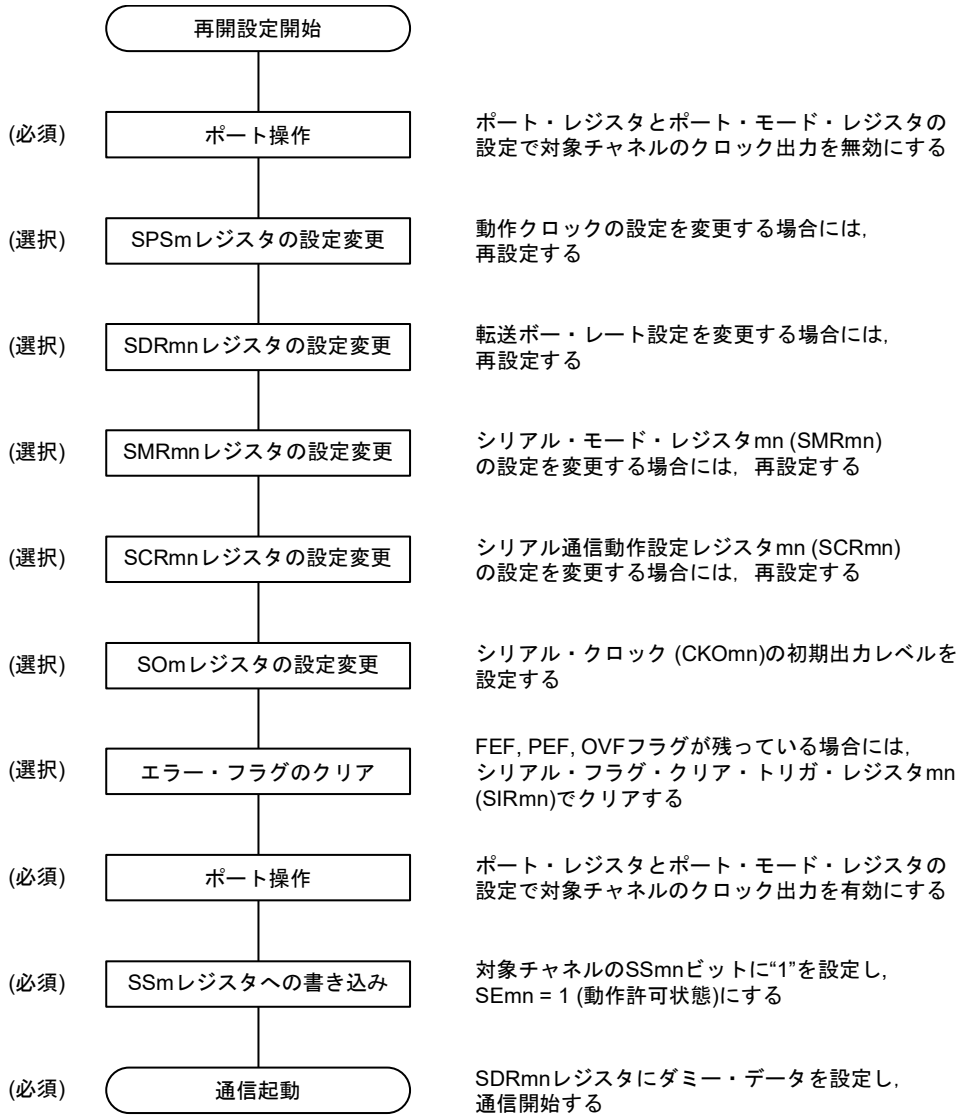
図 15－86　マスタ受信の中断手順



備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－87　マスタ受信の再開設定手順」を参照）。

m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

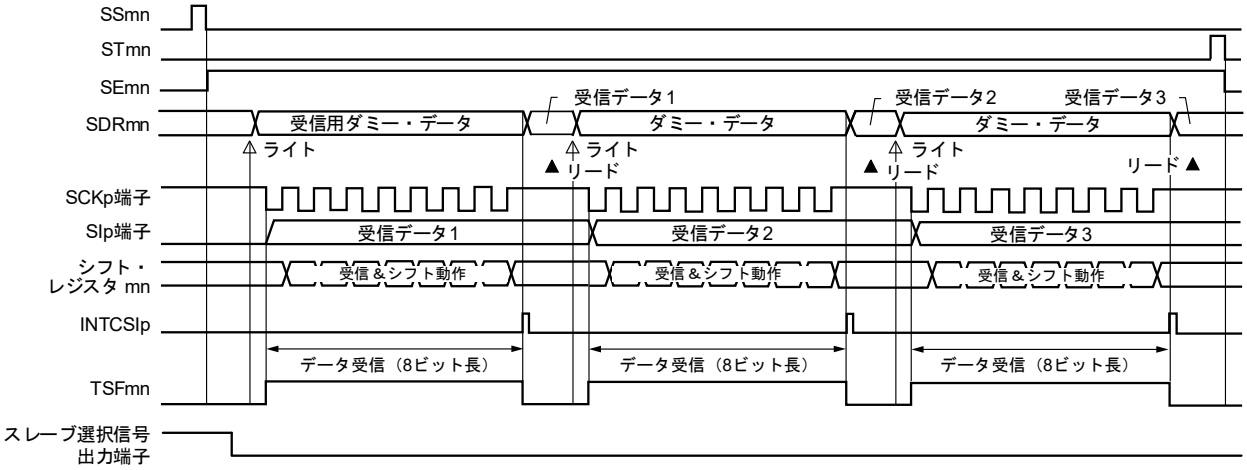
図 15－87　マスタ受信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

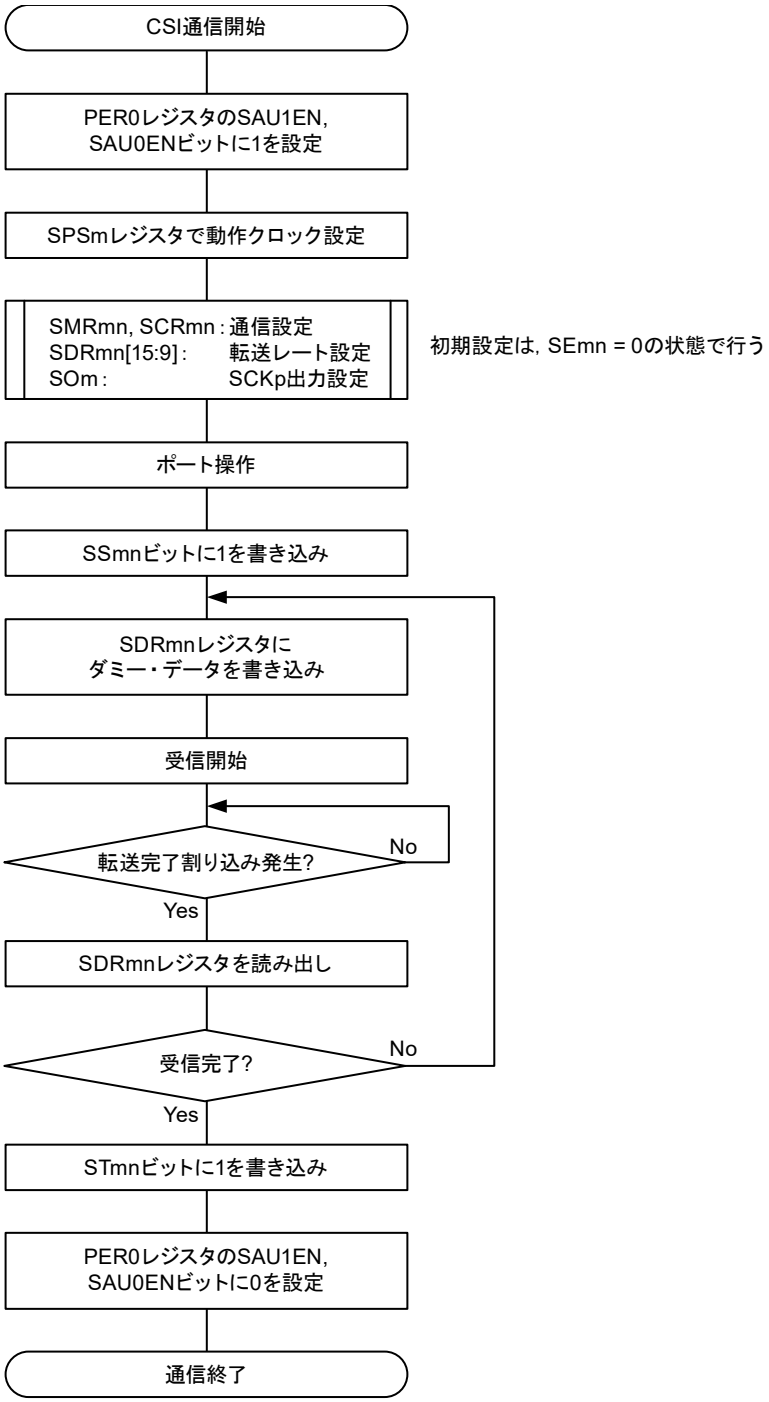
(3)　処理フロー（シングル受信モード時）

図 15－88　マスタ受信（シングル受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

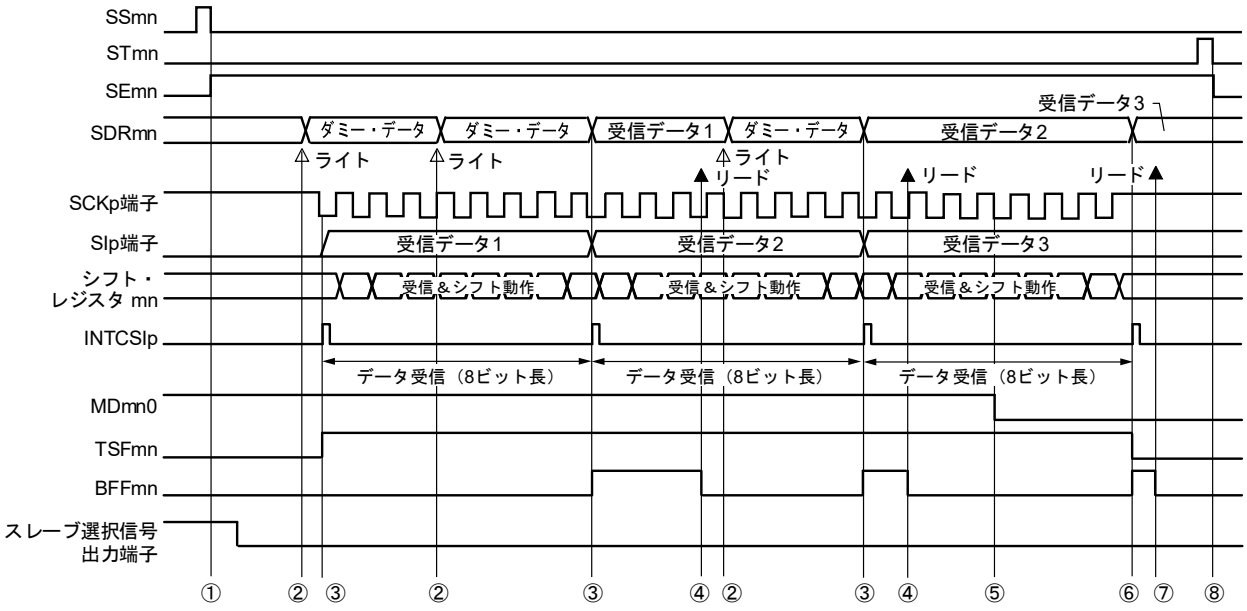
図 15－89　マスタ受信（シングル受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

(4)　処理フロー（連続受信モード時）

図 15－90　マスタ受信（連続受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）

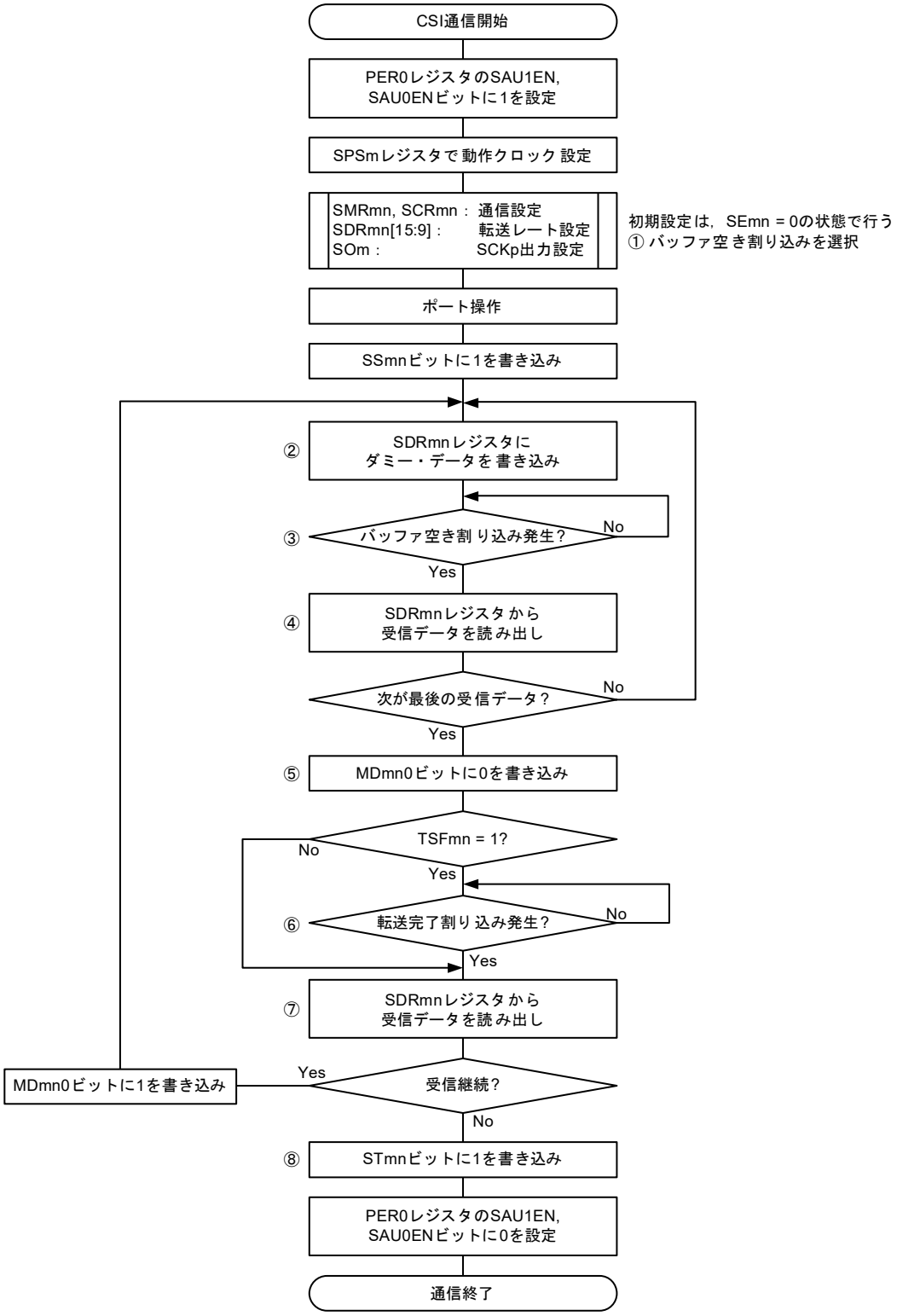


注意　MDmn0 ビットは，動作中でも書き換えることができます。ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考 1. 図中の①～⑧は，図 15－91　マスタ受信（連続受信モード時）のフロー・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－91　マスタ受信（連続受信モード時）のフロー・チャート



備考 1. 図中の①～⑧は，図 15－90　マスタ受信（連続受信モード時）のタイミング・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.6.3　マスタ送受信

マスタ送受信とは，本MCUが転送クロックを出力し，本MCUと他デバイスでデータを送受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz] 注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(1)　レジスタ設定

図 15－92　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ送受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0: SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1: SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0: 転送完了割り込み
1: バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn 0	SLCmn0 0	DLSmn3 0/1	DLSmn2 0/1	DLSmn1 0/1	DLSmn0 0/1

データとクロックの相違選択
（設定内容の詳細は「15.3　シリアル・アレイ・レジスタを制御するレジスタ」を参照）

データ転送順序の選択
0: MSBファーストで入出力を行う
1: LSBファーストで入出力を行う

データ長の設定

(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定							0	0	0	0	0	0	0	0	0

②　動作中（SEmn = 1）（下位8ビット：SDRpL）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	送信データ設定/受信データ・レジスタ															

SDRpL

(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（**備考**は，次のページにあります。）

図 15－92　3 線シリアル I/O（CSI00, CSI01, CSI10, CSI11）のマスタ送受信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－93　マスタ送受信の初期設定手順

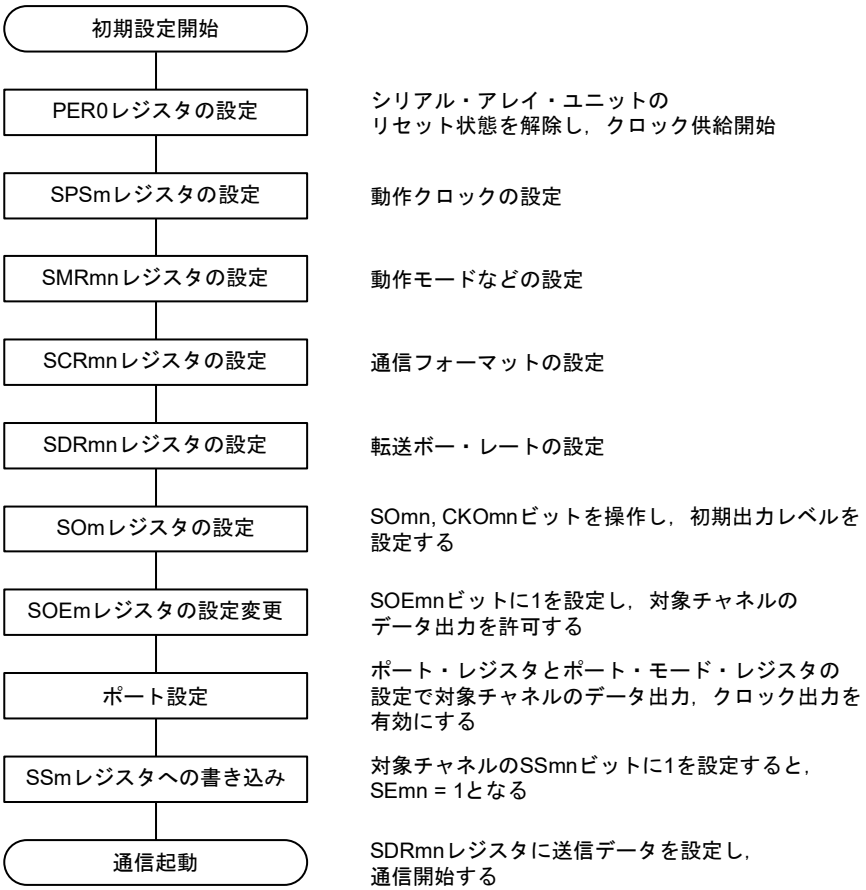
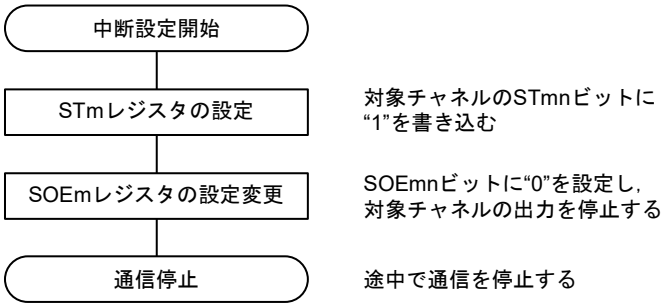


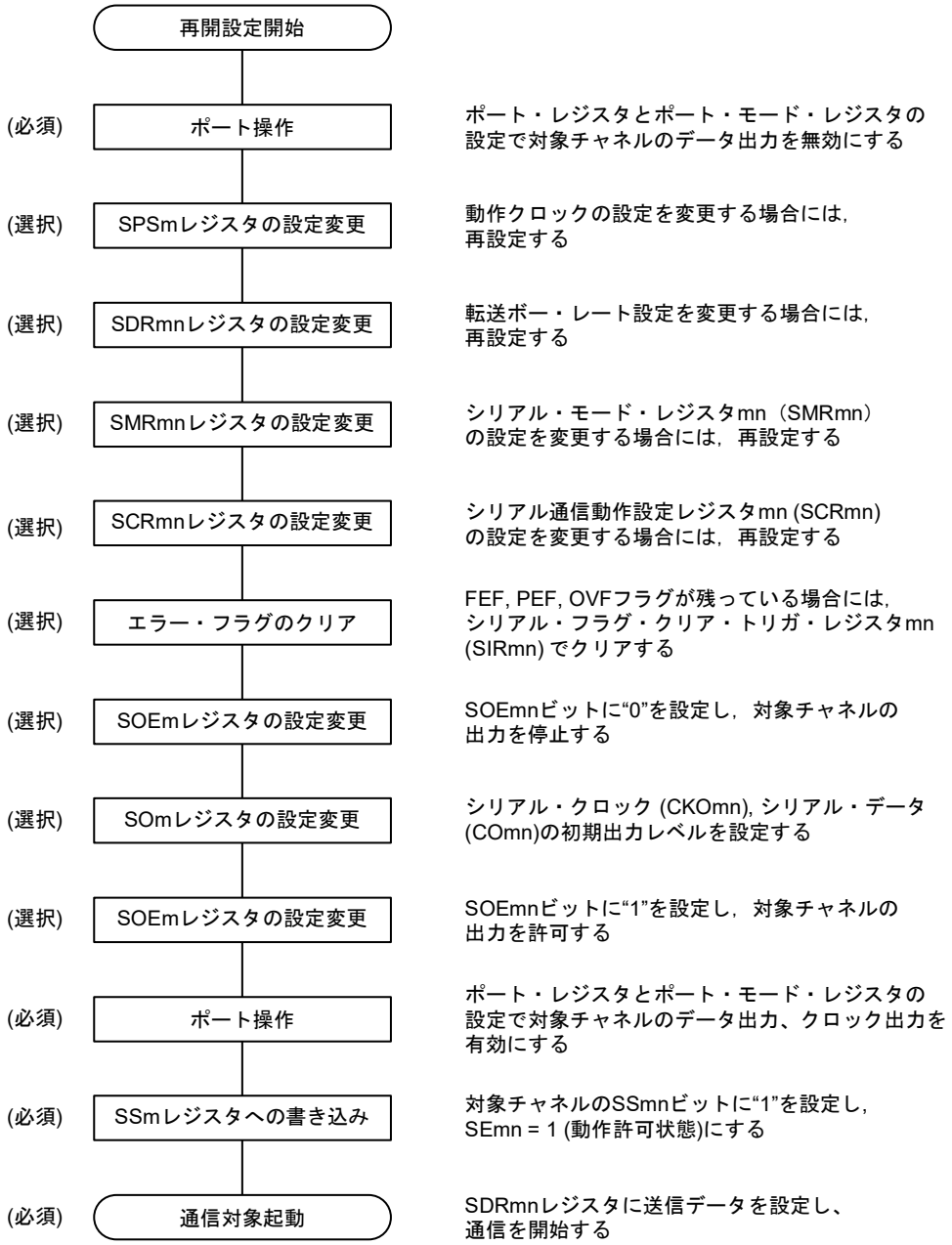
図 15－94　マスタ送受信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－95　マスタ送受信の再開設定手順」を参照）。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

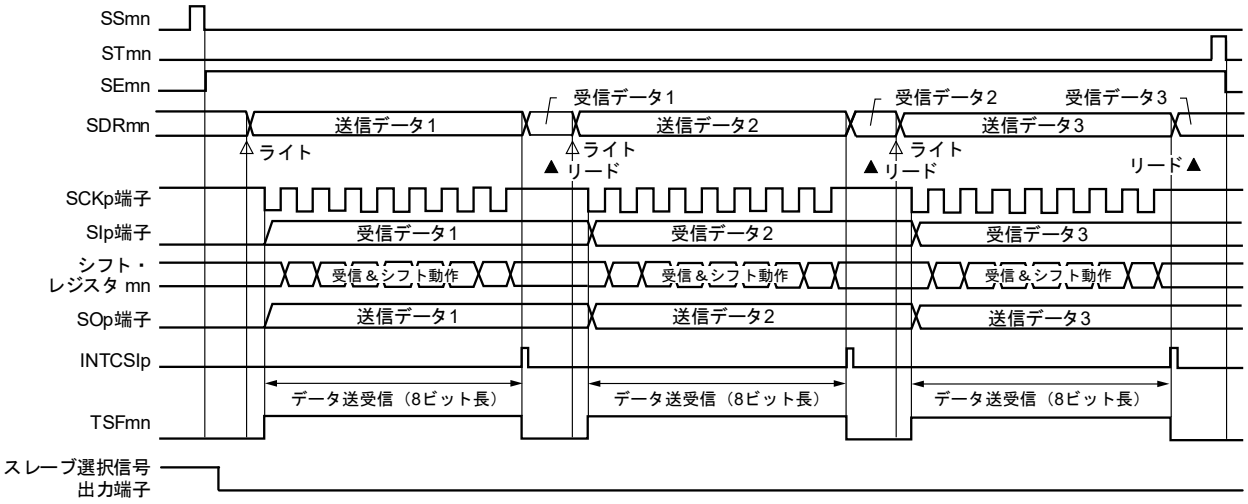
図 15－95　マスタ送受信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

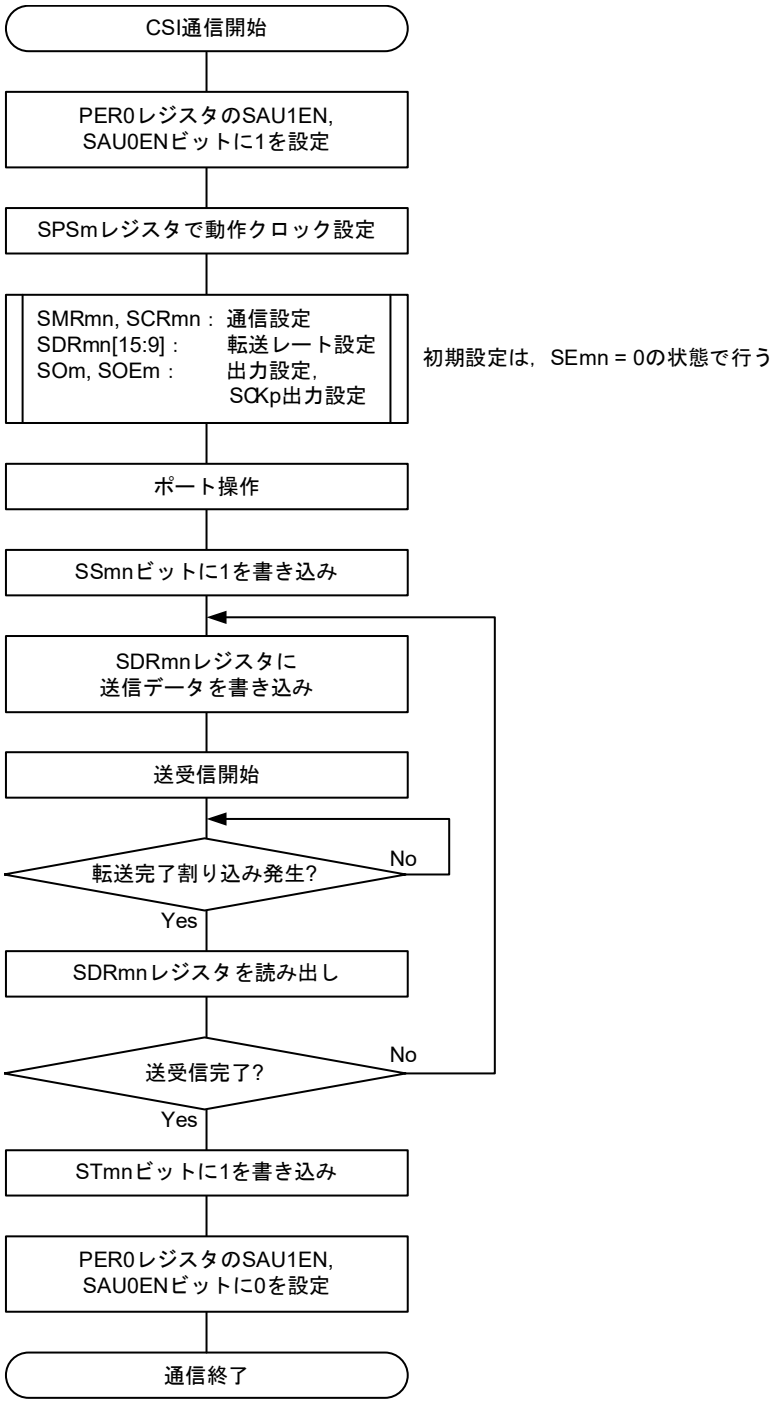
(3)　処理フロー（シングル送受信モード時）

図 15－96　マスタ送受信（シングル送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

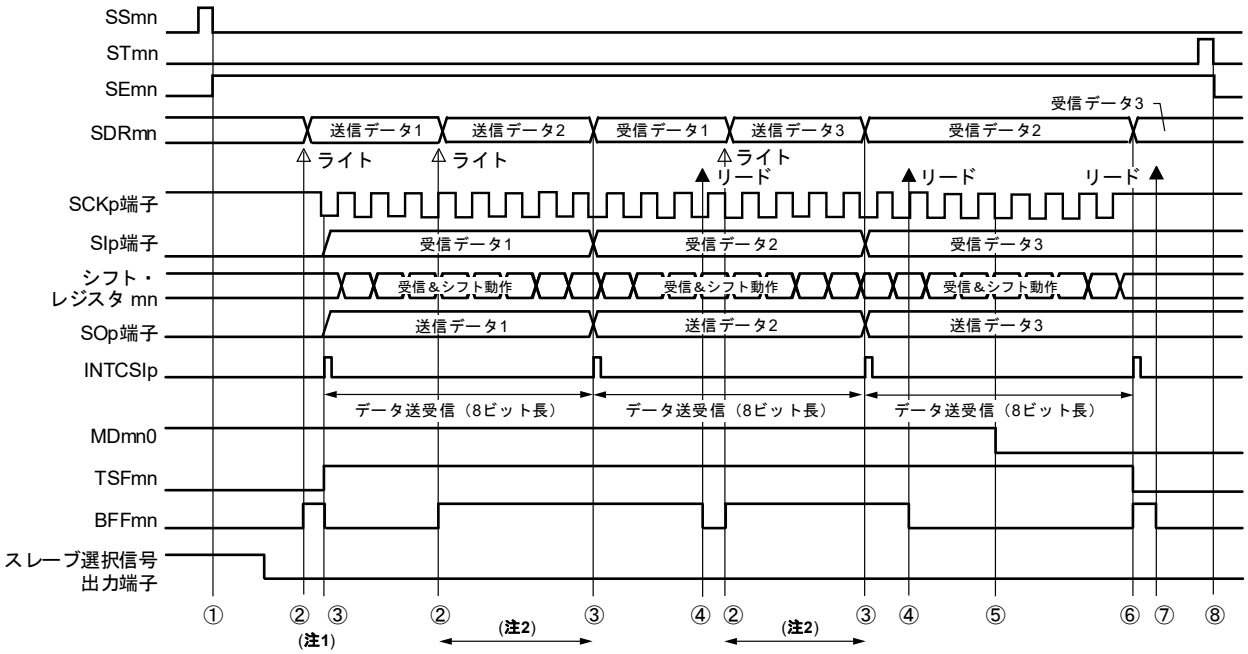
図 15－97　マスタ送受信（シングル送受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

(4)　処理フロー（連続送受信モード時）

図 15－98　マスタ送受信（連続送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



注 1. シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されている時）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

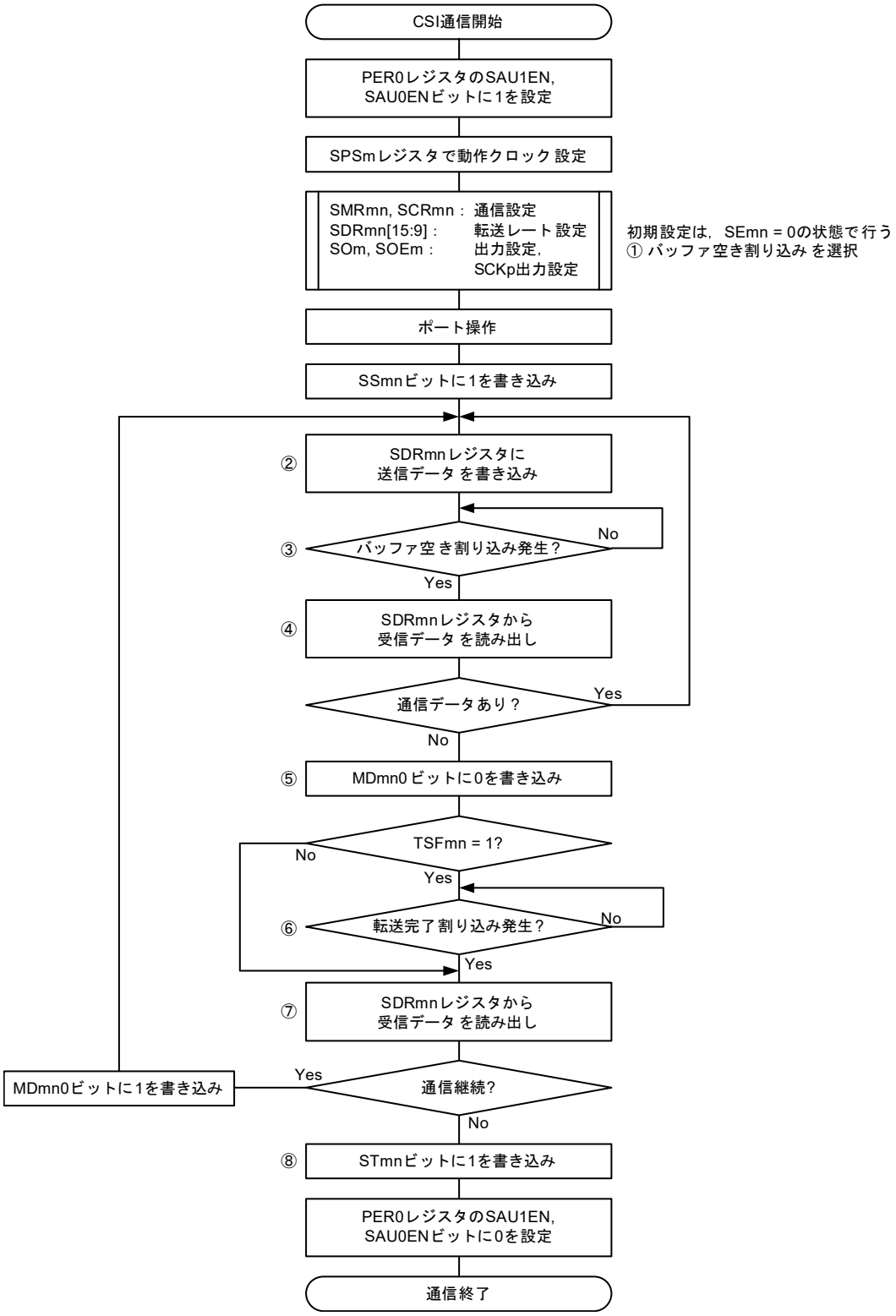
2. この期間に SDRmn レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 1. 図中の①～⑧は，図 15－99　マスタ送受信（連続送受信モード時）のフロー・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－99　マスタ送受信（連続送受信モード時）のフロー・チャート



備考 1. 図中の①～⑧は，図 15－98　マスタ送受信（連続送受信モード時）のタイミング・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.6.4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，本MCUが他デバイスへデータを送信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SO00, SSI00	SCK01, SO01, SSI01	SCK10, SO10, SSI10	SCK11, SO11, SSI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6[Hz] 注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			
SPI機能	スレーブ・セレクト機能の動作を選択可能			

注 1. SCK00, SCK01, SCK10, SCK11 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

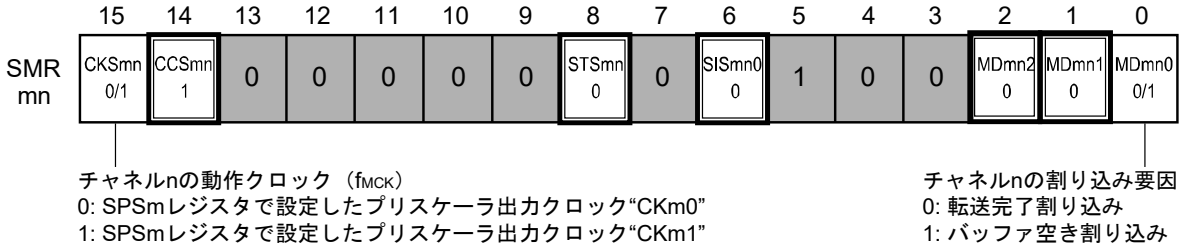
備考 1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

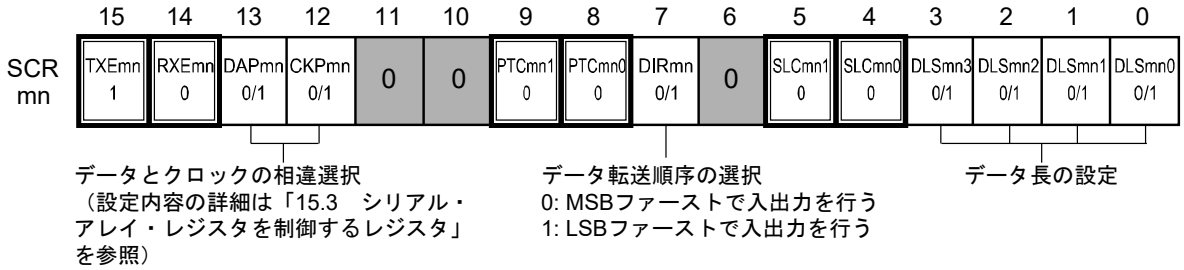
(1)　レジスタ設定

図 15－100　SPI 機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

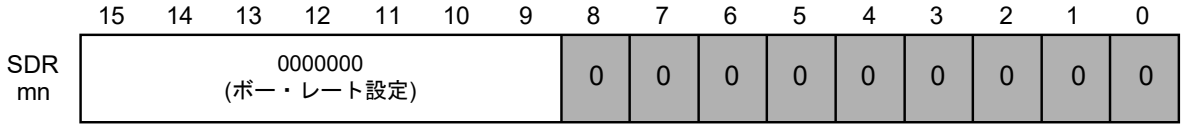


(b)　シリアル通信動作設定レジスタmn（SCRmn）

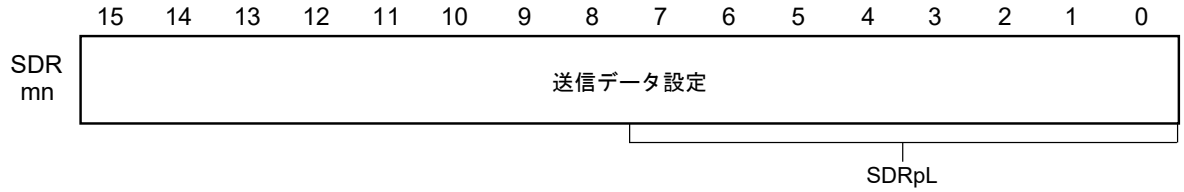


(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，

■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて 0 または 1 に設定

図 15－100　SPI 機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時の
レジスタ設定内容例（2/2）

(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャネルのSSI00, SSI01, SSI10, SSI11端子の制御

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm1 0/1	SSEm0 0/1

(g)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，

■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－101　スレーブ送信の初期設定手順

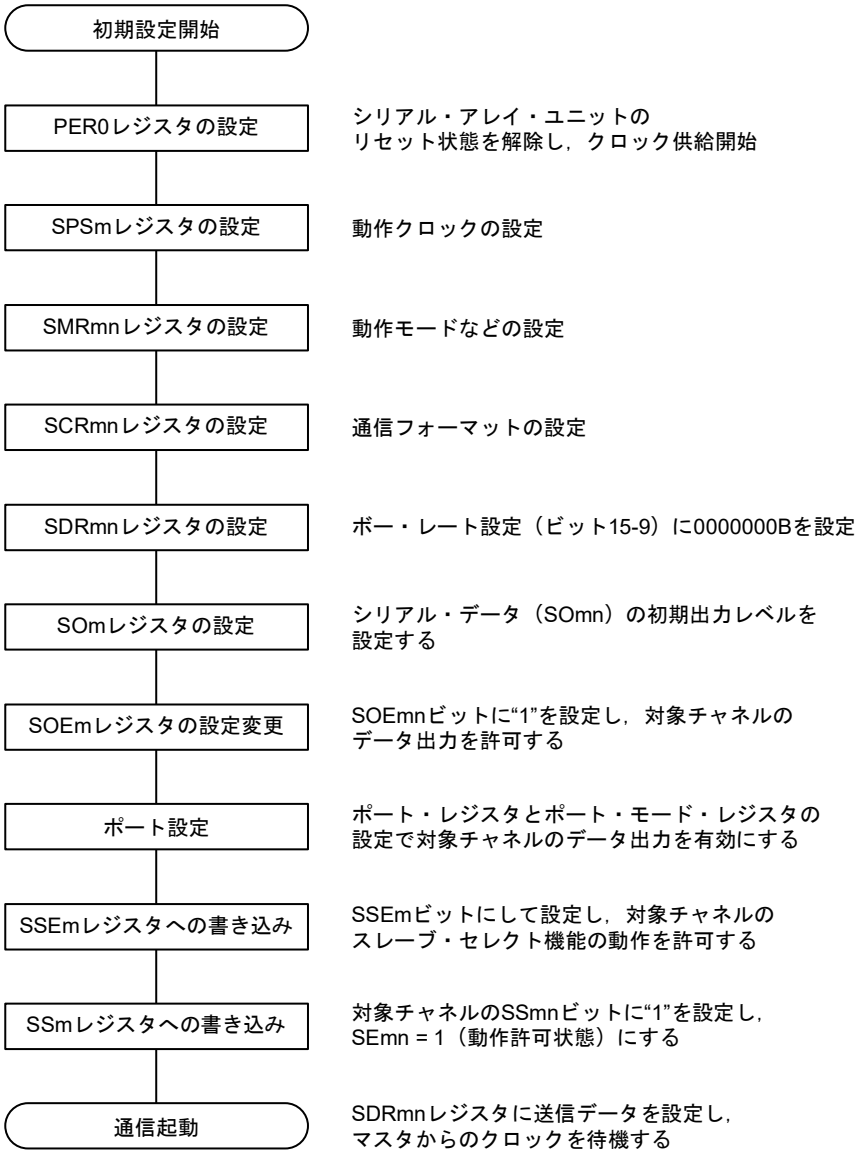
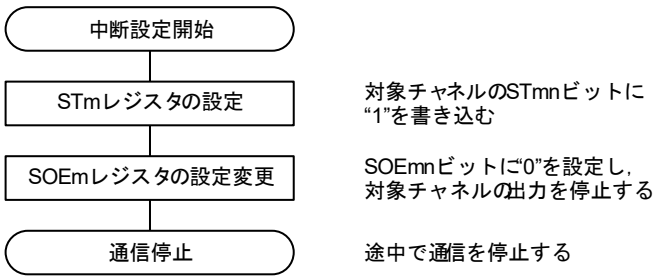


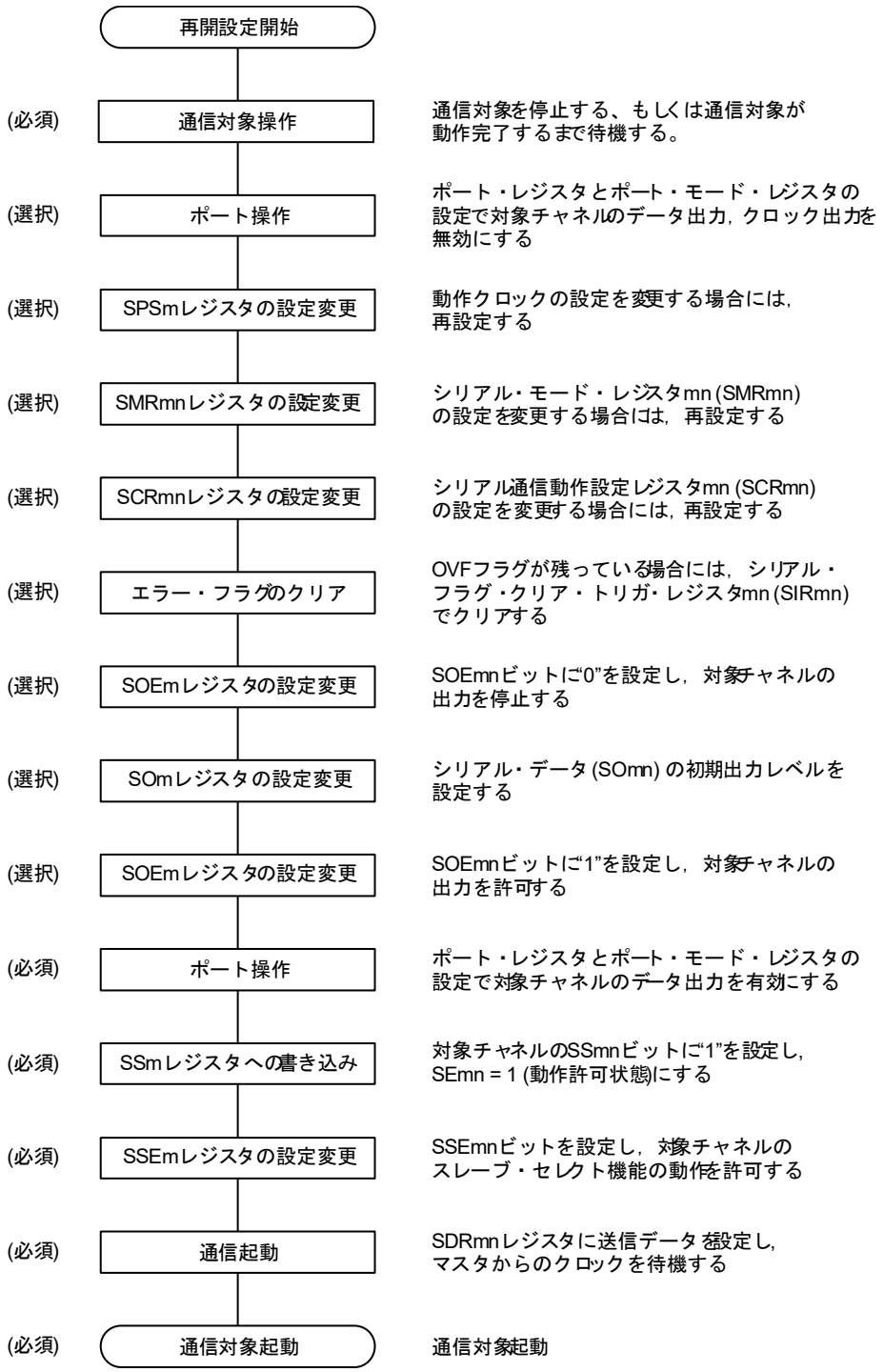
図 15－102　スレーブ送信の中断手順



備考 1. SSImn がロウ・レベルの場合，中断後も端子レベルは保持されるため，動作を再開する際はシリアル出力レジスタ m（SOm）を再設定してください（「図 15－103　スレーブ送信の再開設定手順」を参照）。

2. m：コード番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

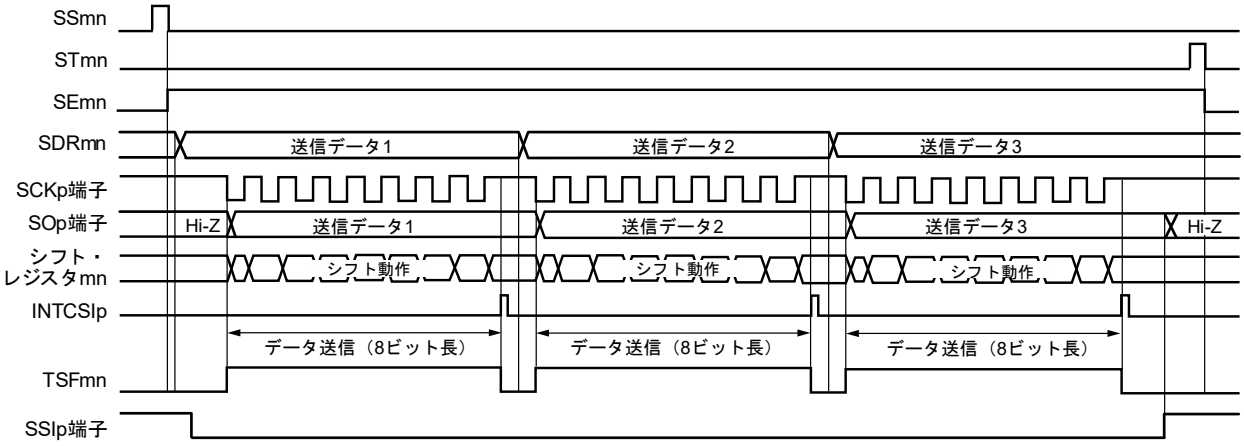
図 15－103　スレーブ送信の再開設定手順



備考　m：コード番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

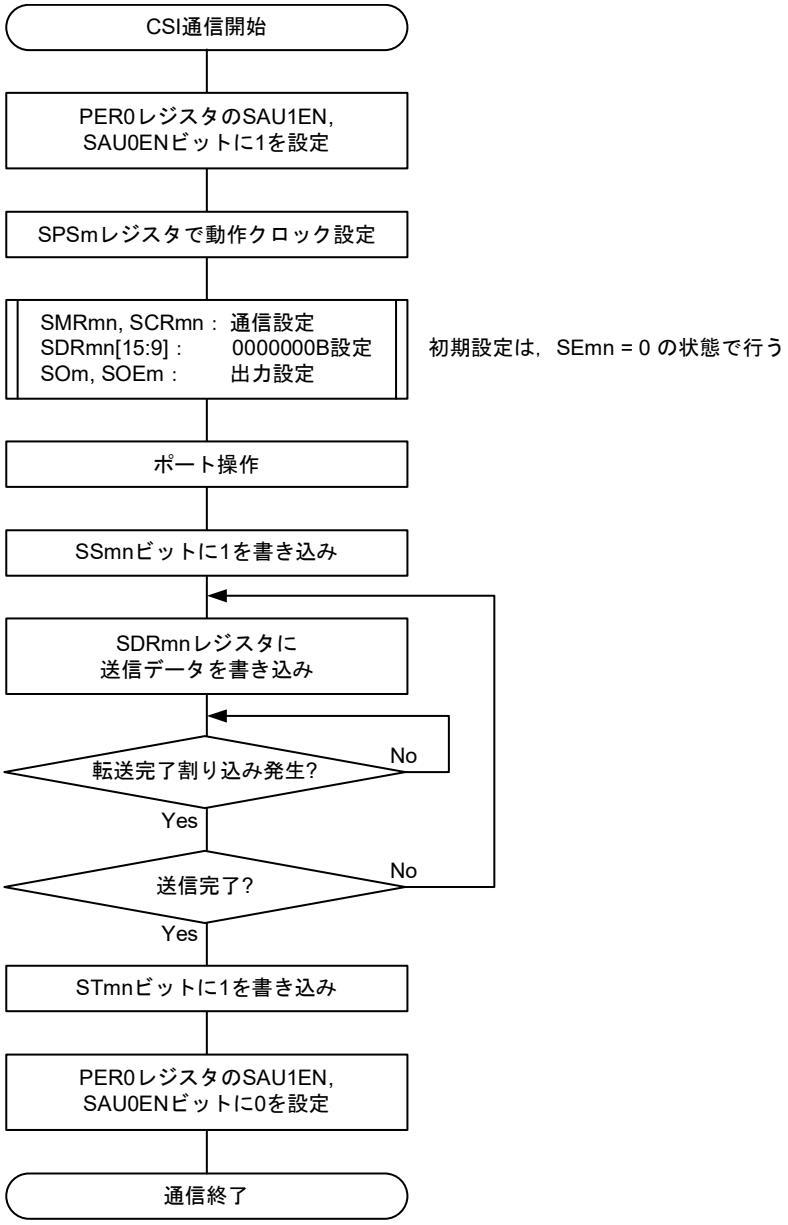
(3)　処理フロー（シングル送信モード時）

図 15－104　スレーブ送信（シングル送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

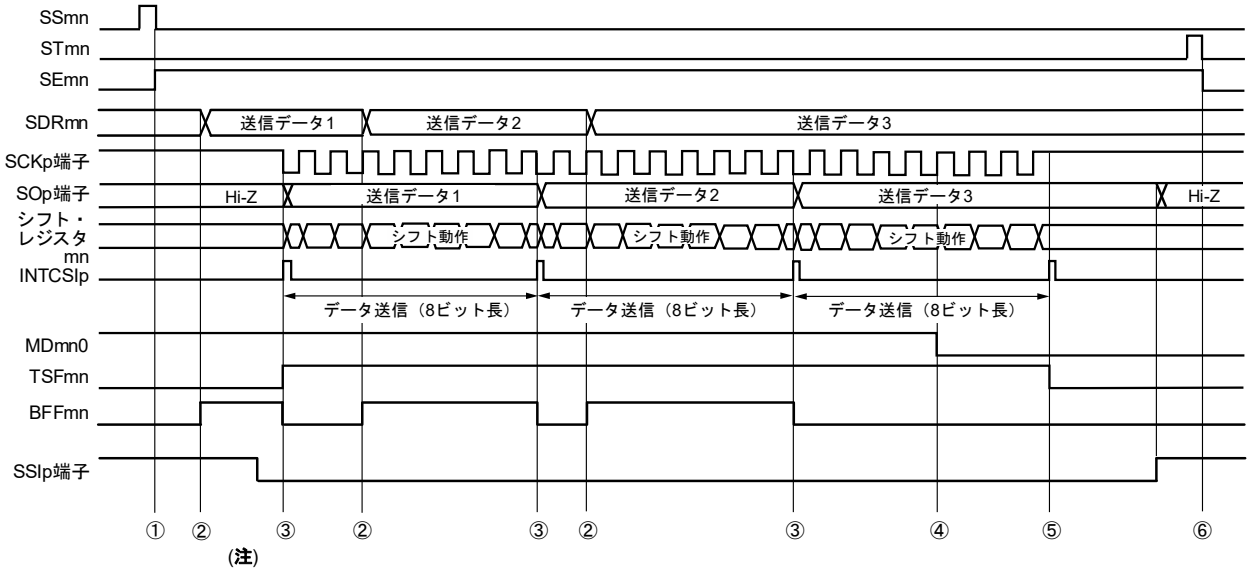
図 15－105　スレーブ送信（シングル送信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(4)　処理フロー（連続送信モード時）

図 15－106　スレーブ送信（連続送信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）

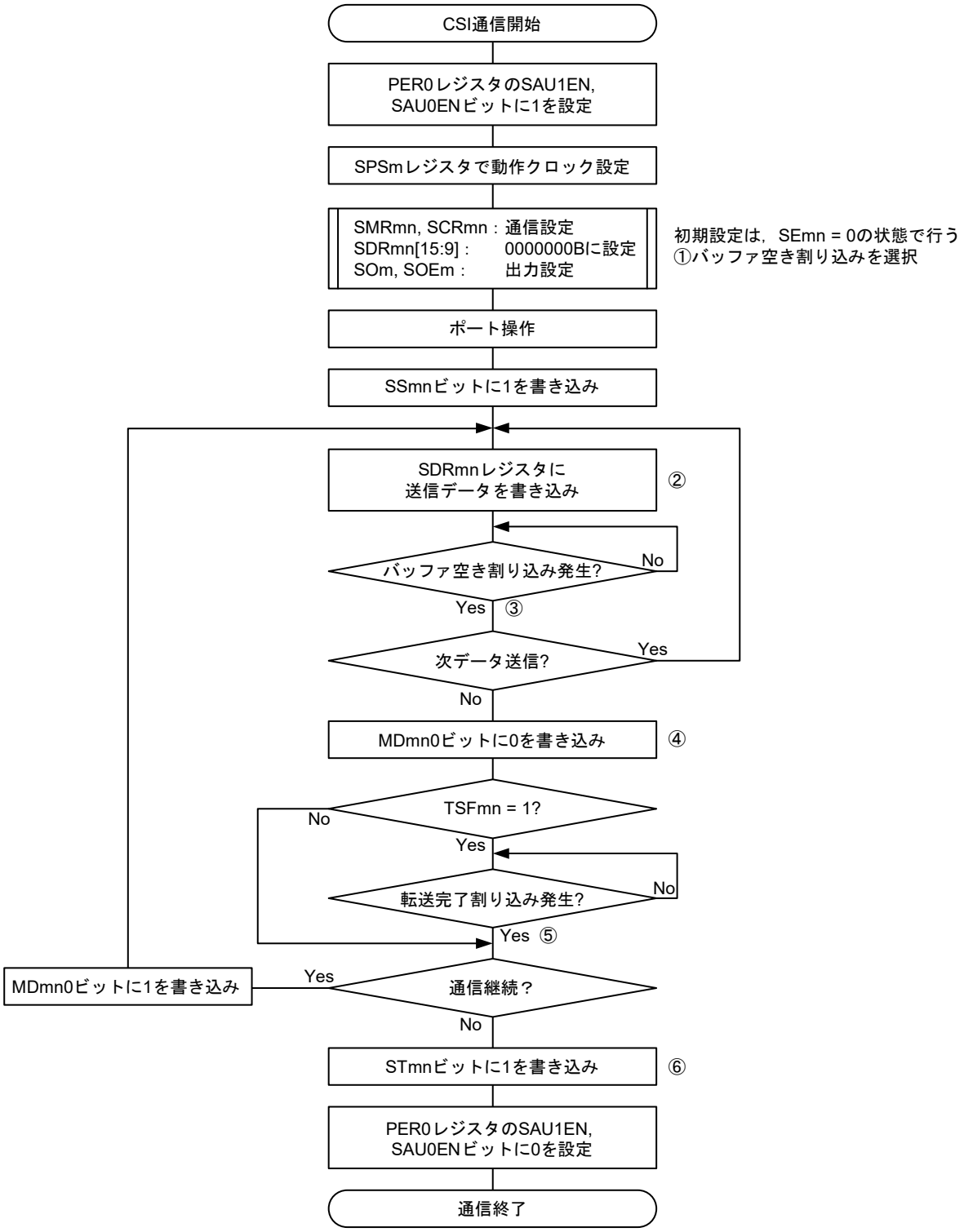


注　シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されているとき）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－107　スレーブ送信（連続送信モード時）のフロー・チャート



備考 1. 図中の①～⑥は，図 15－106　スレーブ送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

15.6.5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，本MCUが他デバイスからデータを受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00, SSI00	SCK01, SI01, SSI01	SCK10, SI10, SSI10	SCK11, SI11, SSI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6 [Hz] 注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			
SPI機能	スレーブ・セレクト機能の動作を選択可能			

注 1. SCK00, SCK01, SCK10, SCK11 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

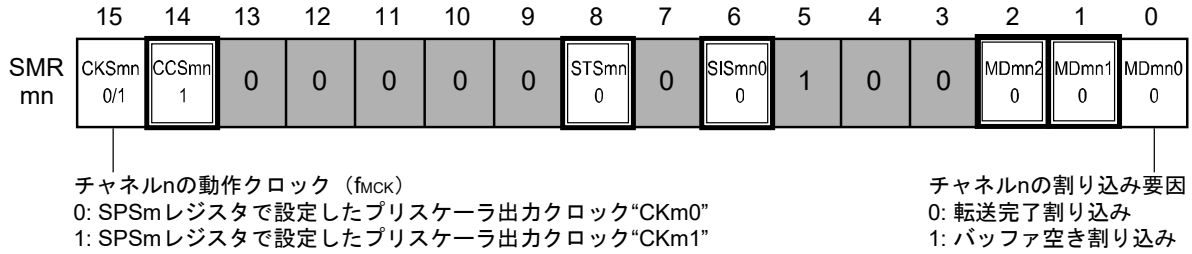
備考 1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

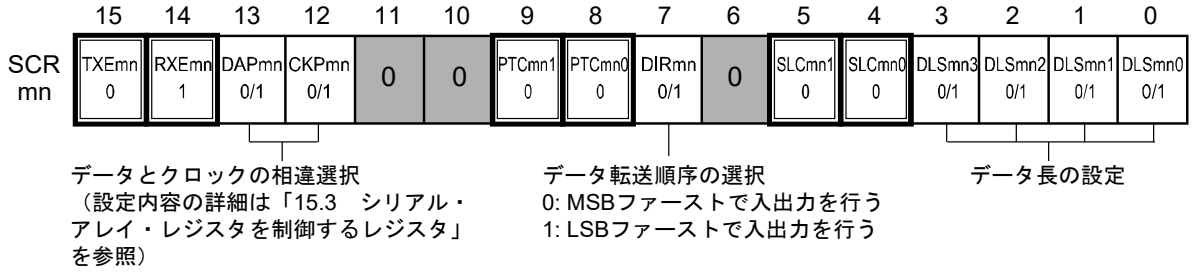
(1)　レジスタ設定

図 15－108　SPI 機能（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

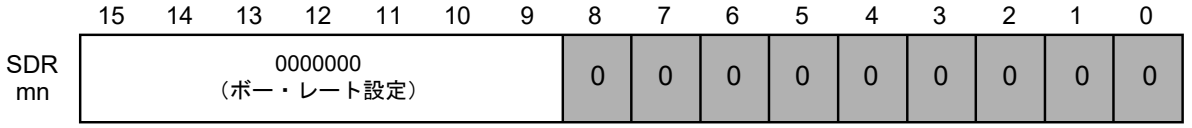


(b)　シリアル通信動作設定レジスタmn（SCRmn）

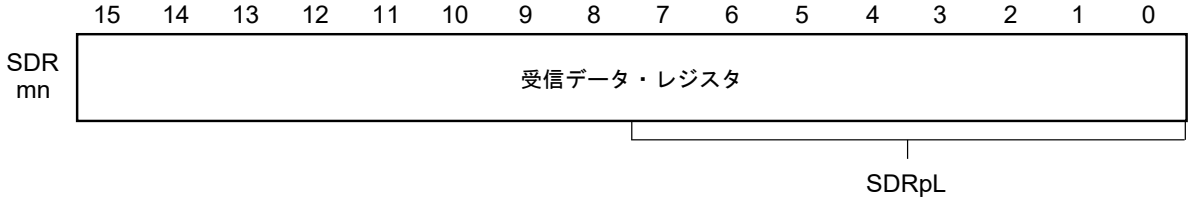


(c)　シリアル・データ・レジスタmn（SDRmn）

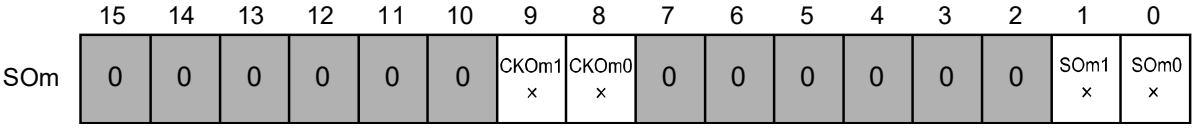
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(d)　シリアル出力レジスタm（SOm）・・・このモードでは使用しない



（**備考**は，次のページにあります。）

図 15－108　SPI 機能（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

(f)　シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャネルのSSI00, SSI01, SSI10, SSI11端子の制御

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm1 0/1	SSEm0 0/1

(g)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定,

■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－109　スレーブ受信の初期設定手順

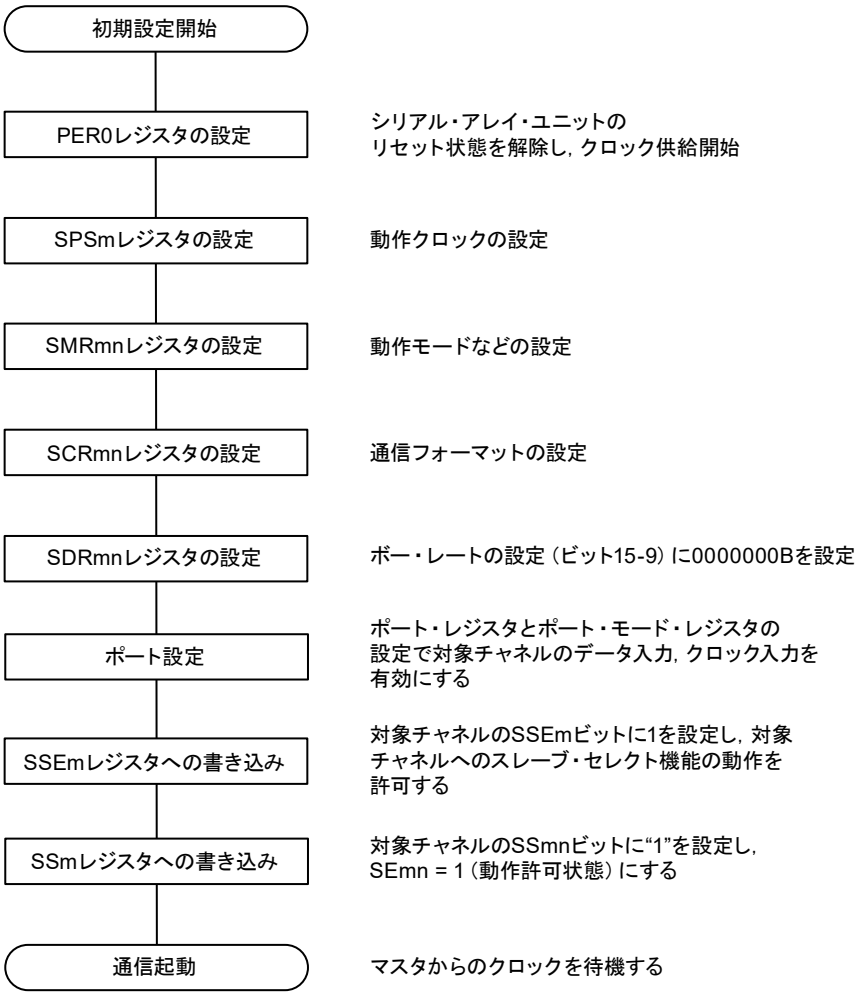
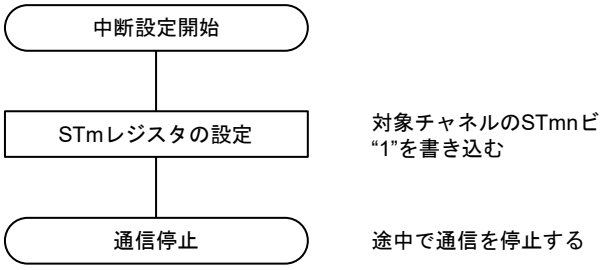
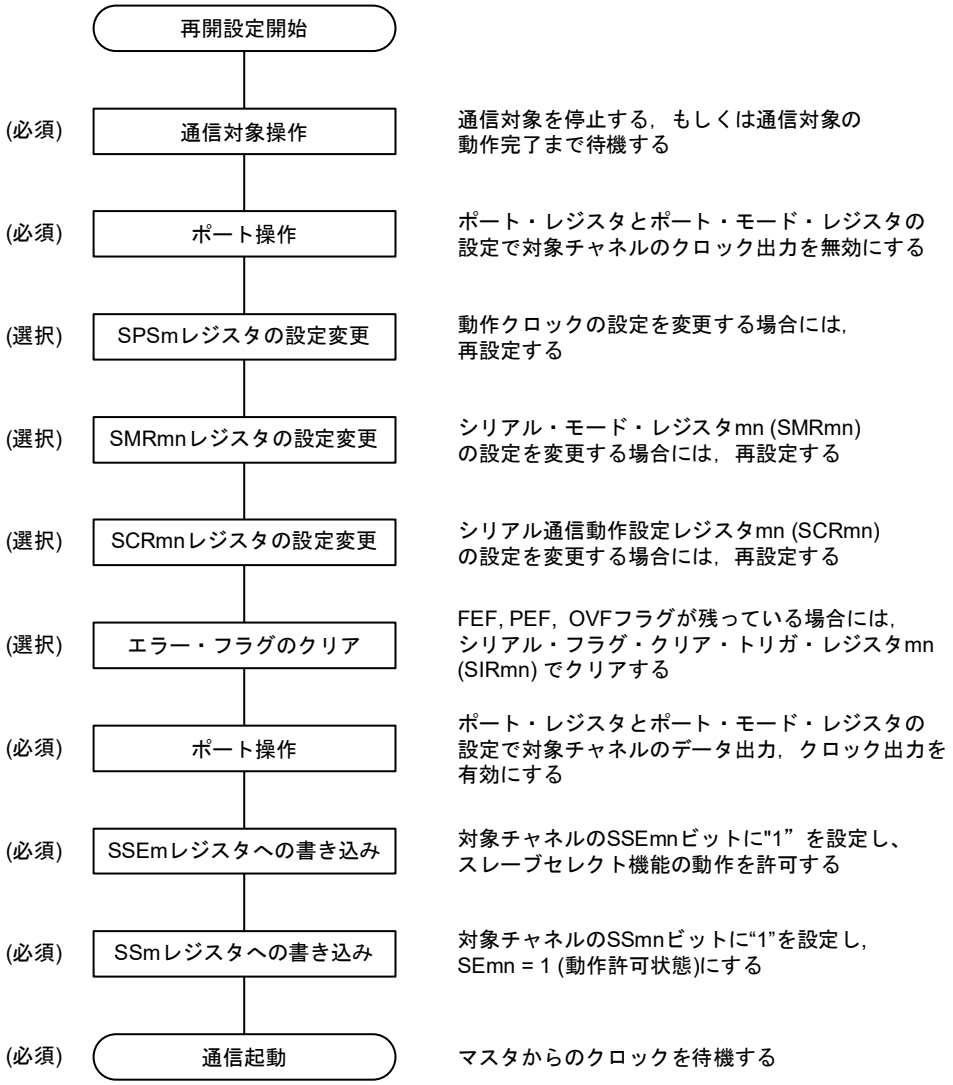


図 15－110　スレーブ受信の中断手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

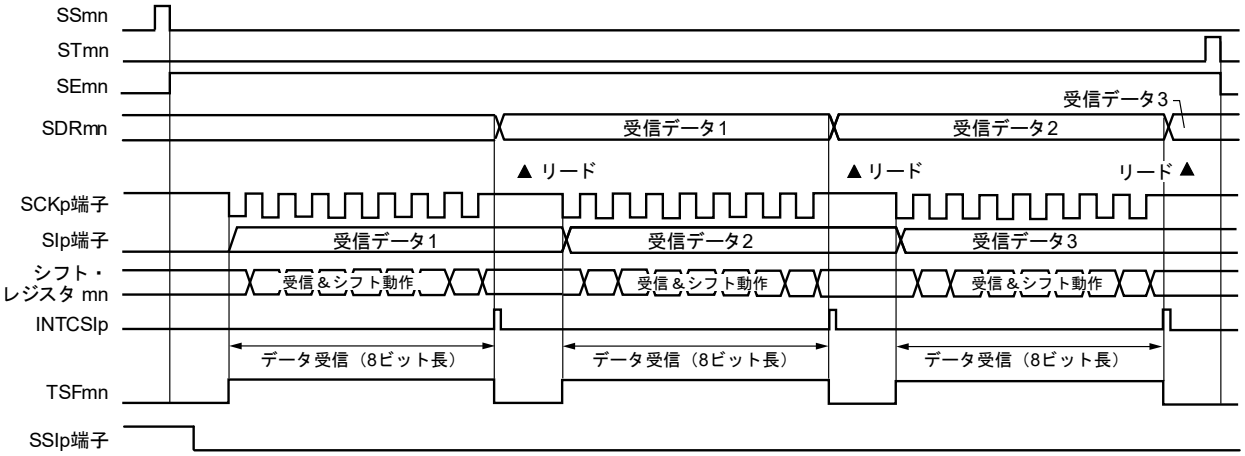
図 15－111　スレーブ受信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

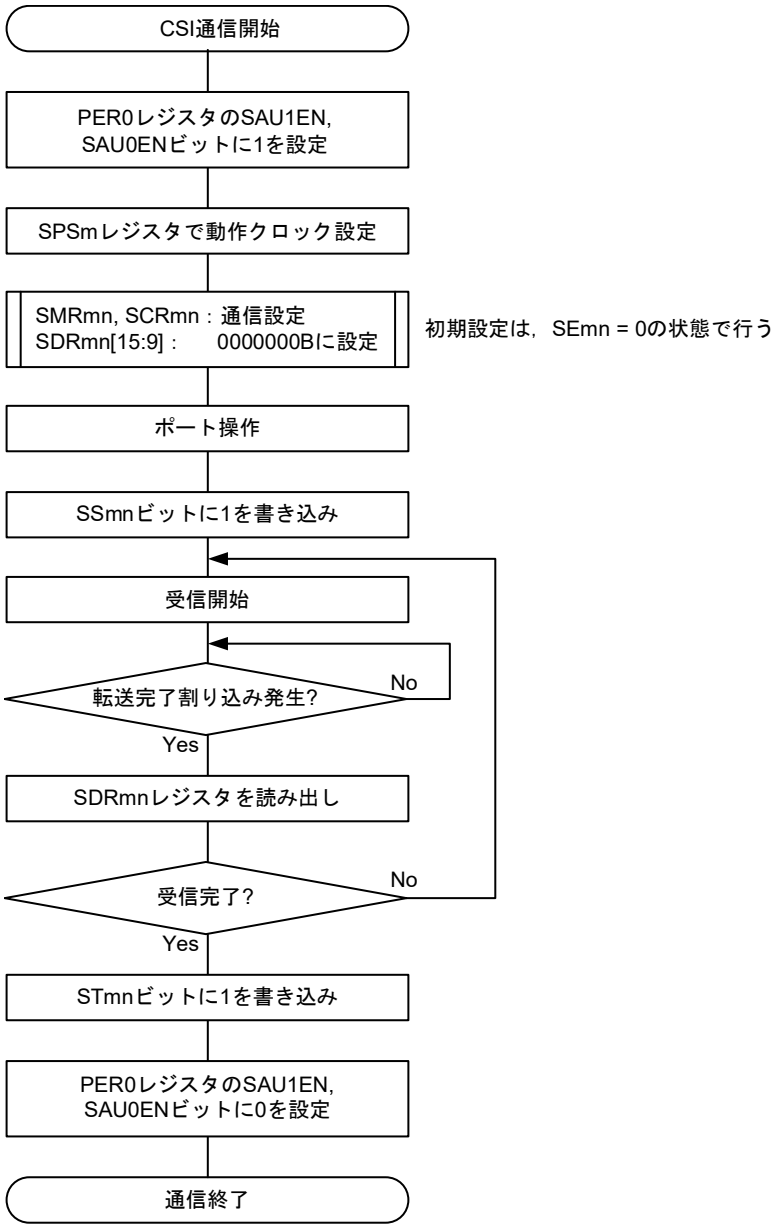
(3)　処理フロー（シングル受信モード時）

図 15－112　スレーブ受信（シングル受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

図 15－113　スレーブ受信（シングル受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.6.6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，本MCUと他デバイスでデータを送受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00, SO00, SSI00	SCK01, SI01, SO01, SSI01	SCK10, SI10, SO10, SSI10	SCK11, SI11, SO11, SSI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6 [Hz] 注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			
SPI機能	スレーブ・セレクト機能の動作を選択可能			

注 1. SCK00, SCK01, SCK10, SCK11 端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは f_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

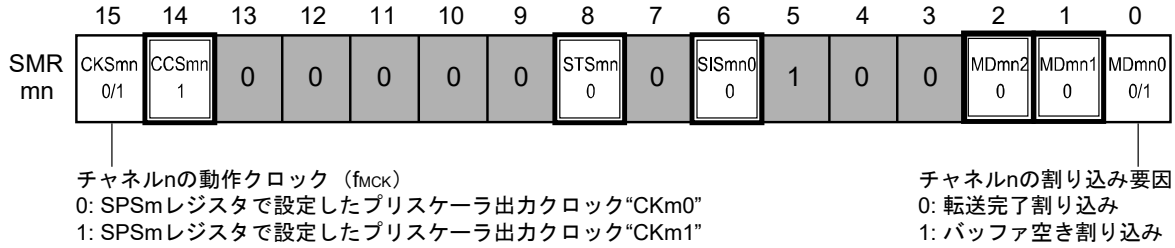
備考 1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

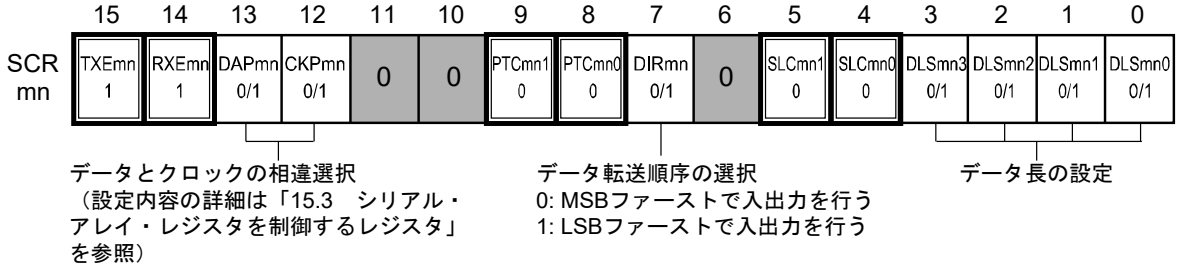
(1)　レジスタ設定

図 15－114　SPI 機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

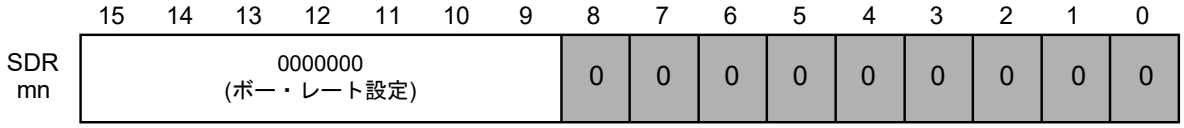


(b)　シリアル通信動作設定レジスタmn（SCRmn）

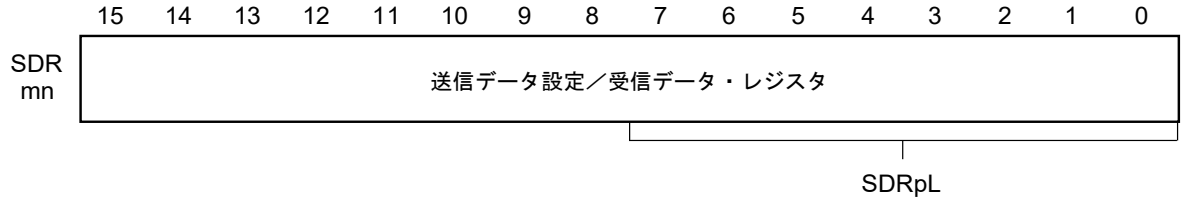


(c)　シリアル・データ・レジスタmn（SDRmn）

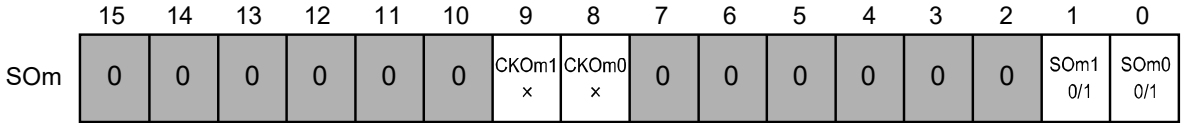
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（**注意**と**備考**が次のページにあります。）

図 15－114　SPI 機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・スレーブ選択許可レジスタm（SSEm）　・・・各スレーブ・チャネルのSSI00, SSI01, SSI10, SSI11端子の制御

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm1 0/1	SSEm0 0/1

(g)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，

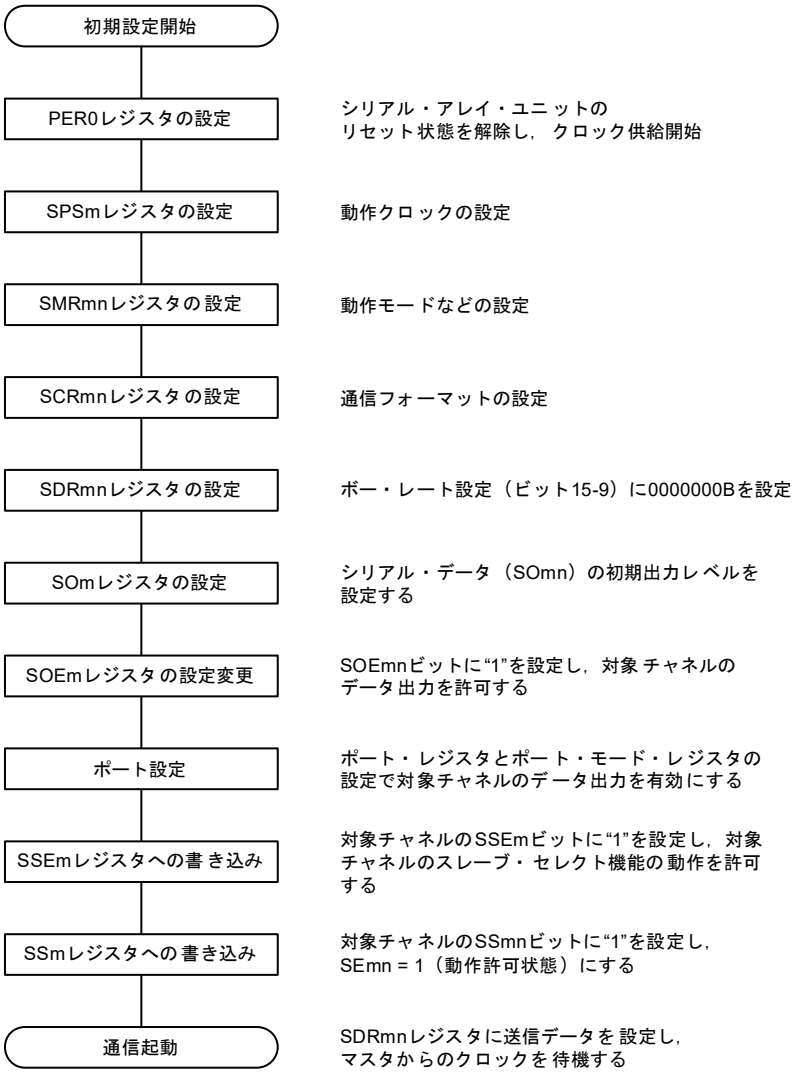
■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて 0 または 1 に設定

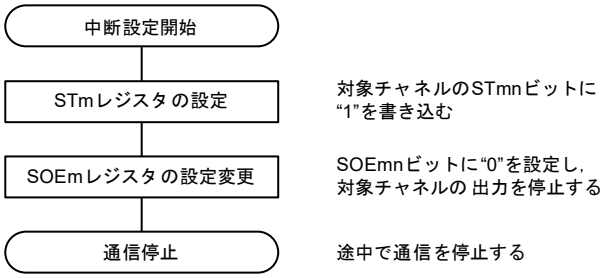
(2)　操作手順

図 15－115　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

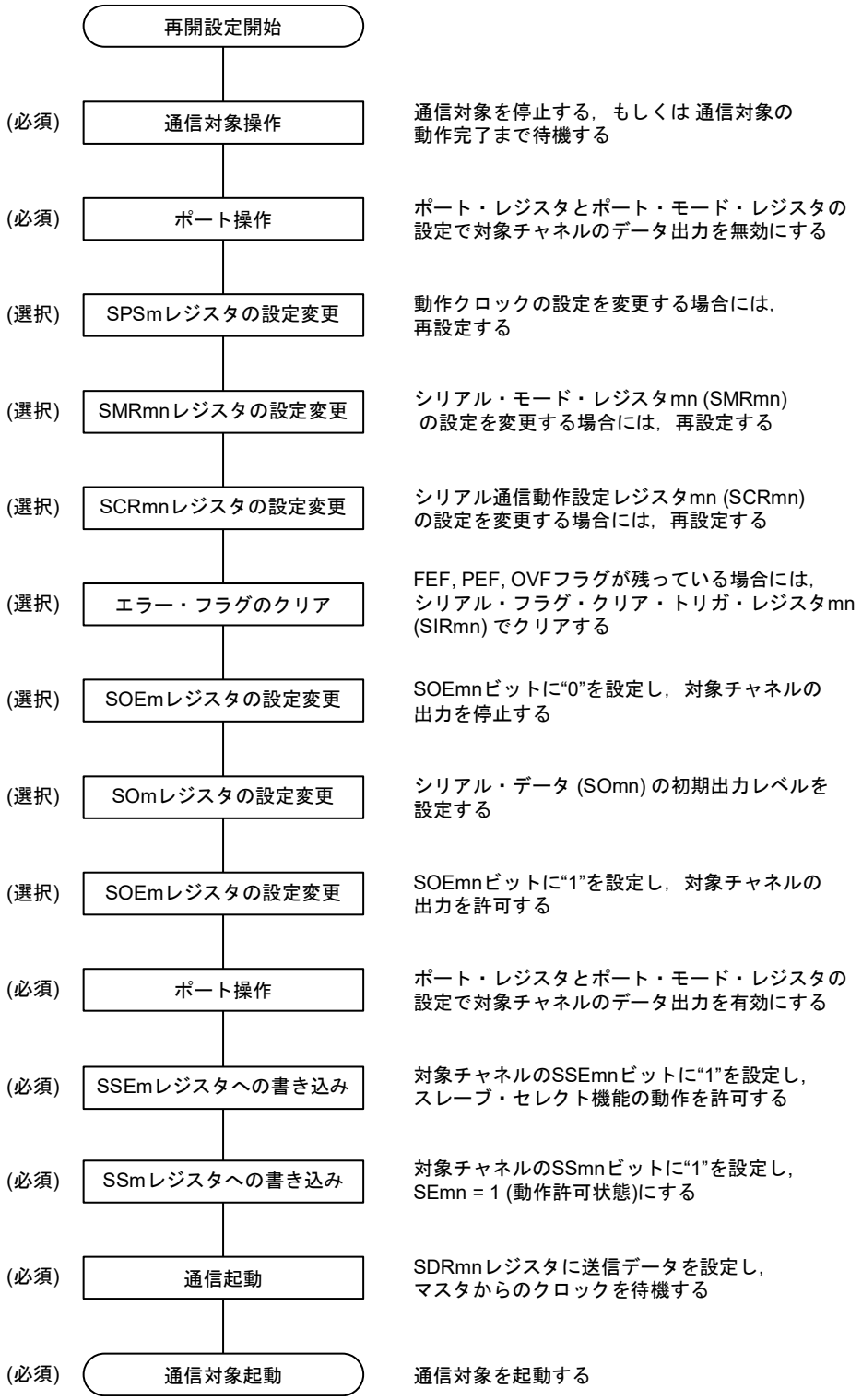
図 15－116　スレーブ送受信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－117　スレーブ送受信の再開設定手順」を参照）。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－117　スレーブ送受信の再開設定手順

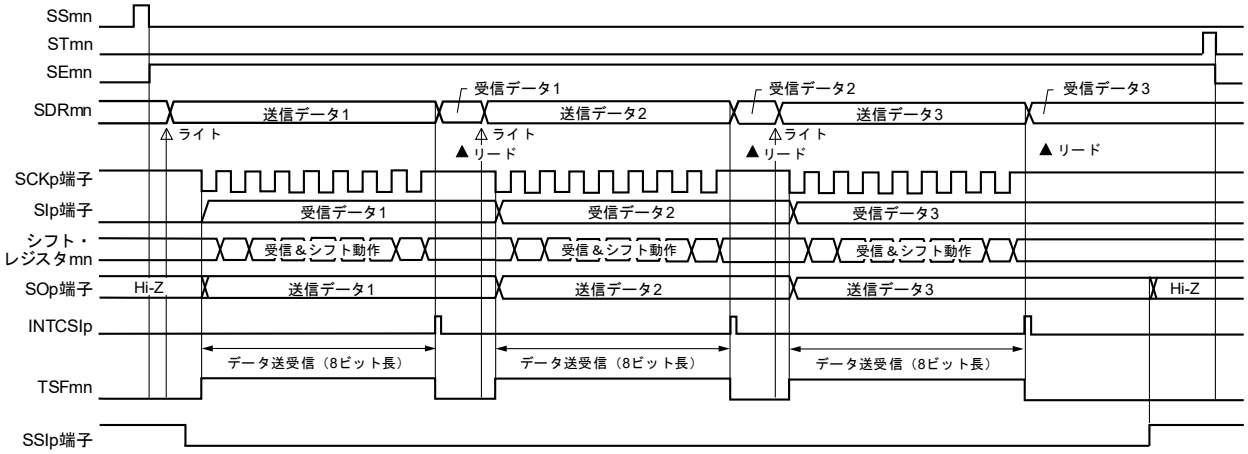


注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

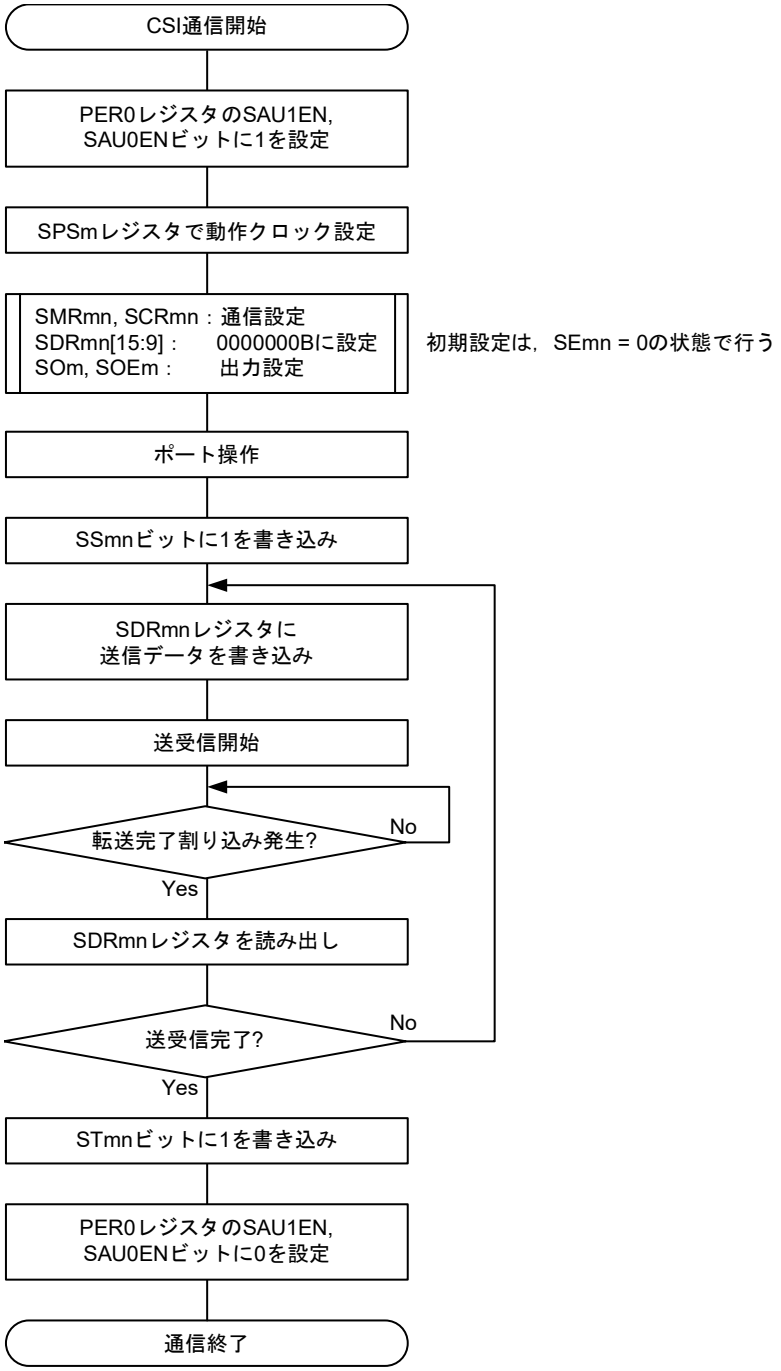
(3)　処理フロー（シングル送受信モード時）

図 15－118　スレーブ送受信（シングル送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

図 15－119　スレーブ送受信（シングル送受信モード時）のフロー・チャート

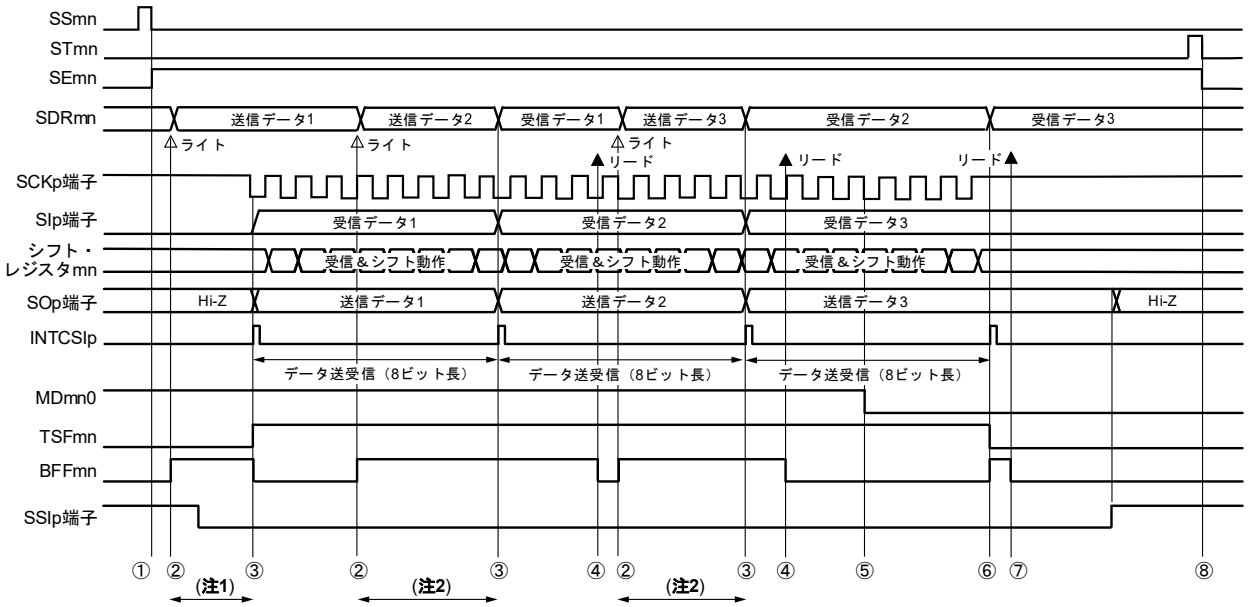


注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

(4)　処理フロー（連続送受信モード時）

図 15－120　スレーブ送受信（連続送受信モード時）のタイミング・チャート
（タイプ 1：DAPmn =0, CKPmn = 0）



注 1. シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されている時）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

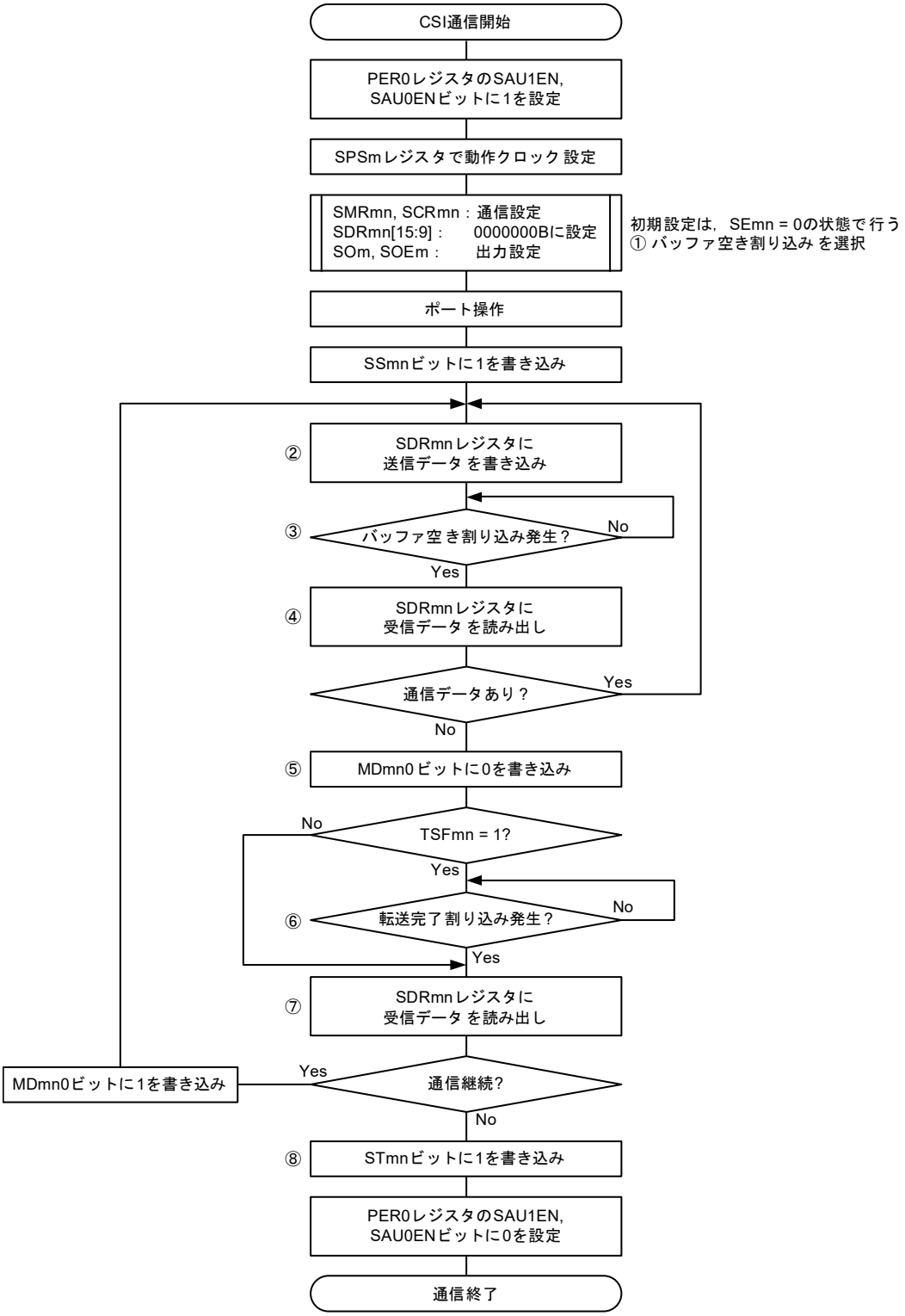
2. この期間に SDRmn レジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。
ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考 1. 図中の①～⑧は，図 15－121　スレーブ送受信（連続送受信モード時）のフロー・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－121　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データを SDRmn レジスタへ設定してください。

備考 1. 図中の①～⑧は，図 15－120　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①～⑧に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.6.7　転送クロック周波数の算出

SPI機能（CSI00, CSI01, CSI10, CSI11）通信での転送クロック周波数は下記の計算式にて算出できます。

(1)　マスタの場合

転送クロック周波数 ＝ 対象チャネルの動作クロック（f_{MCK}）周波数 ÷（SDRmn[15:9] + 1）÷ 2 [Hz]

(2)　スレーブの場合

転送クロック周波数 ＝ マスタが供給するシリアル・クロック（f_{SCK}）周波数 注 [Hz]

注　ただし，許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 1. SDRmn[15:9]は，シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000000B-1111111B）なので，0-127 になります。

2. 動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）のビット 15（CKSmn）で決まります。

3. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），p：CSI 番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

表15－4　SPI機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注		
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時	f_{CLK} = 40 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz	40 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz	20 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz	10 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz	5 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz	625 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz	40 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz	20 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz	10 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz	5 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz	625 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
上記以外										設定禁止	設定禁止

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ m (STm) = 0003H）させてから変更してください。

備考 1. X：Don’t care

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.6.8　SPI機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

SPI機能付きクロック同期シリアル通信時における通信時にエラーが発生した場合の処理手順を図15－122に示します。

図 15－122　オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.7 UART（UART0, UART1）通信の動作

シリアル・データ送信（TXD）とシリアル・データ受信（RXD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。
また，タイマ・アレイ・ユニット0と外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

［データ送受信］

- 7, 8, 9, 16 ビットのデータ長
- MSB/LSB ファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- 受信完了割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，UART0（ユニット0のチャネル0, 1）は，LIN-busに対応しています。

［LIN-bus機能］

- ウェイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0 を使用

UART0では，SAU0のチャネル0, 1を使用します。

UART1では，SAU1のチャネル0, 1を使用します。

・RL78/F23 32 ピン製品および RL78/F24 32 ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	－		－

・RL78/F23 48, 64, 80 ピン製品と RL78/F24 48, 64, 80, 100 ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	CSI11（SPI機能対応）		IIC11

注　48 ピン，32 ピン製品には，SSI10 端子はありません。

注意　UART として使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらのチャネルも UART としてしか使用することはできません。

UARTの通信動作は，以下の4種類があります。

- UART 送信　（「15.7.1　UART 送信」を参照）
- UART 受信　（「15.7.2　UART 受信」を参照）
- LIN 送信（UART0 のみ）　（「15.8.1　LIN 送信」を参照）
- LIN 受信（UART0 のみ）　（「15.8.2　LIN 受信」を参照）

15.7.1　UART送信

UART送信は，本MCUから他デバイスへ非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルを使用します。

UART	UART0	UART1
対象チャネル	SAU0のチャネル0	SAU1のチャネル0
使用端子	TXD0	TXD1
割り込み	INTST0	INTST1
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）を選択可能	
エラー検出フラグ	なし	
転送データ長	7～9, 16ビット	
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps] 注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加	
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考 1. f_{MCK}：対象チャネルの動作クロック周波数

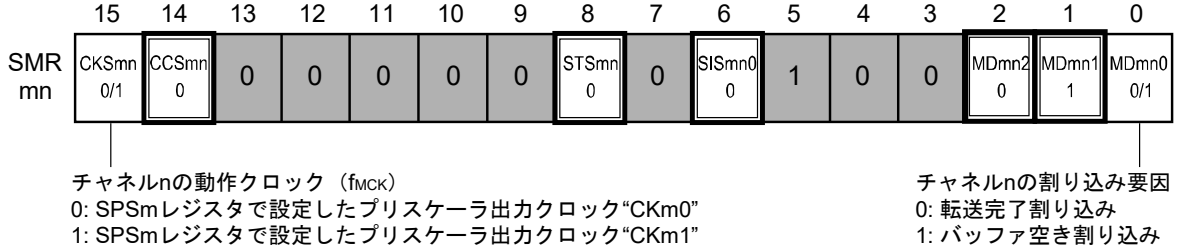
f_{CLK}：システム・クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），mn = 00, 10

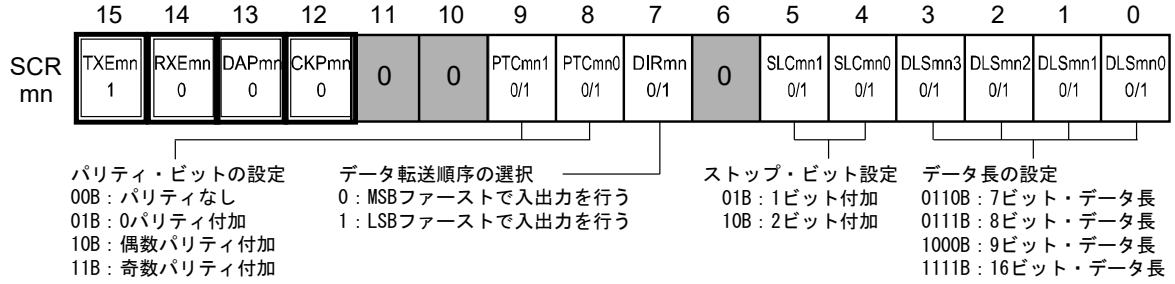
(1)　レジスタ設定

図 15－123　UART（UART0, UART1）の UART 送信時のレジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

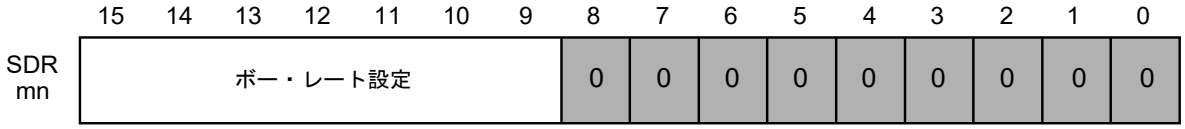


(b)　シリアル通信動作設定レジスタmn（SCRmn）

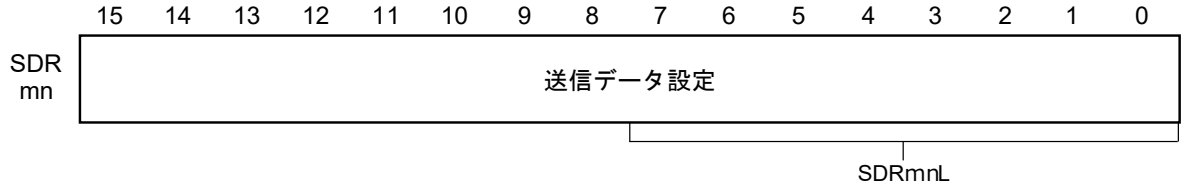


(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRmnL）



（**備考**は，次ページにあります。）

図 15－123　UART（UART0, UART1）の UART 送信時のレジスタ設定内容例（2/2）

(d)　シリアル出力レベル・レジスタ（SOLm）　・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOLm0 0/1

0：正転（通常）送信
1：反転送信

(e)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1 ×	CKOm0 ×						0	SOm1 ×	SOm0 0/1 注

0: シリアルデータ出力値が“0”
1: シリアルデータ出力値が“1”

(f)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 0/1

(g)　シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 ×	SSm0 0/1

注　該当するチャネルの SOLmn ビットに 0 を設定している場合は"1"に，SOLmn ビットに 1 を設定している場合は"0"を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），mn = 00, 10

2. □：CSI マスタ送信モードでは設定固定，

■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

図 15－124　UART 送信の初期設定手順

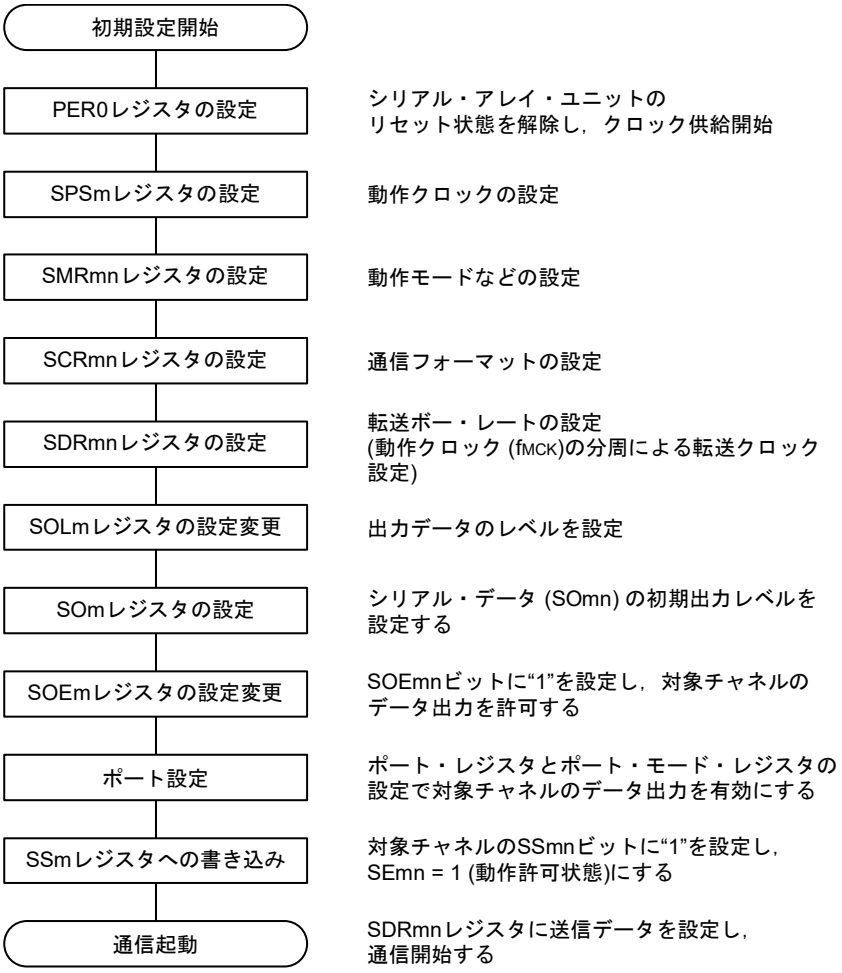
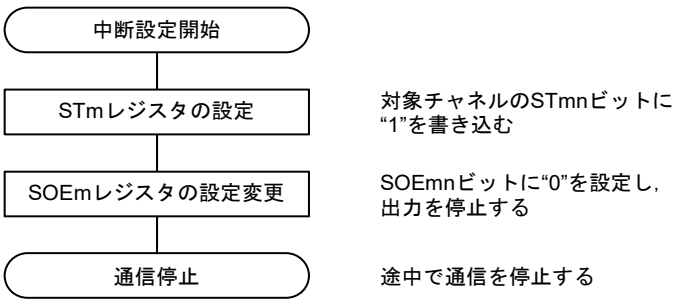


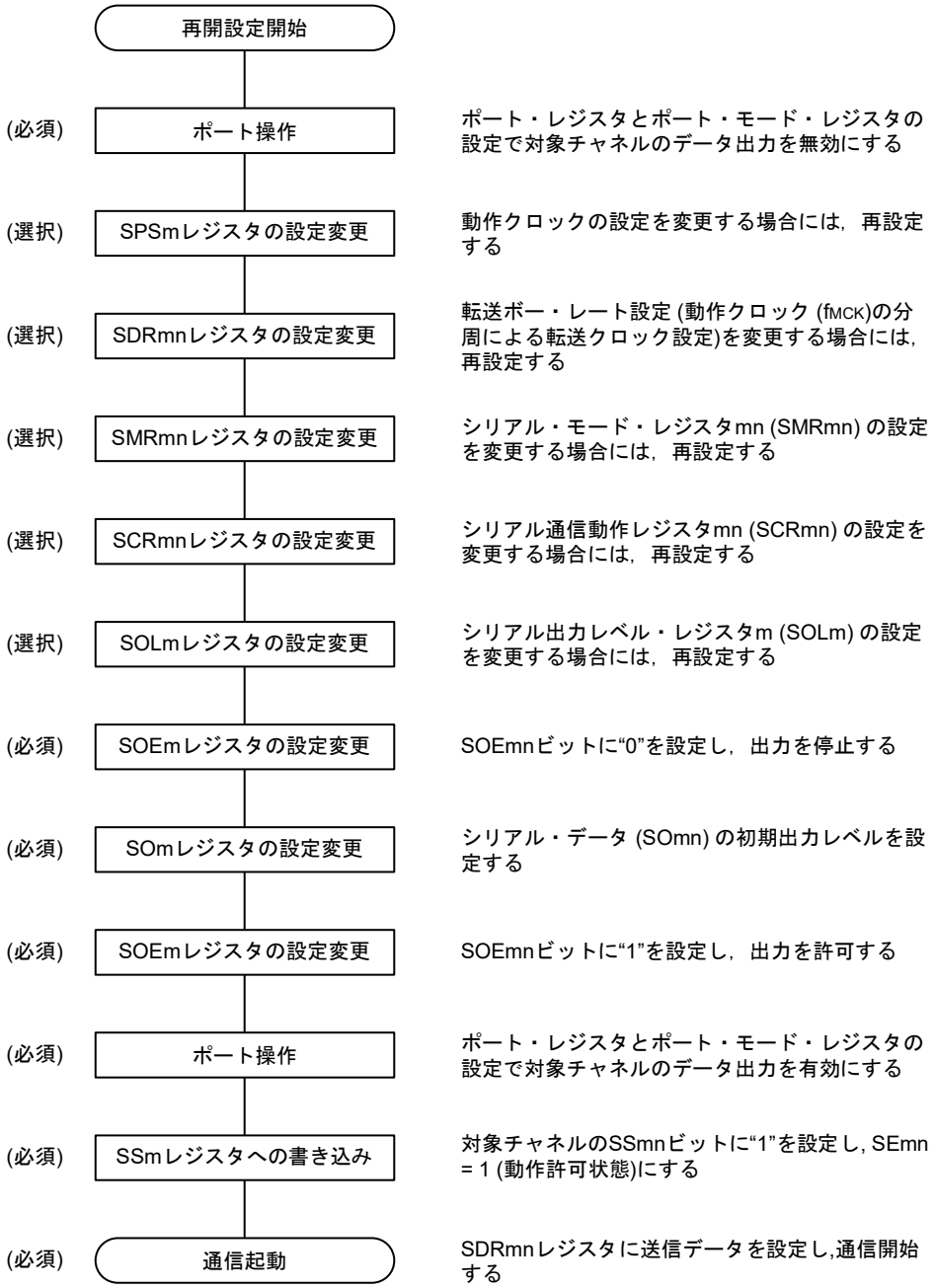
図 15－125　UART 送信の中断手順



備考 1. 中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタ m（SOm）を再設定してください（「図 15－126　UART 送信の再開設定手順」を参照）。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），mn = 00, 10

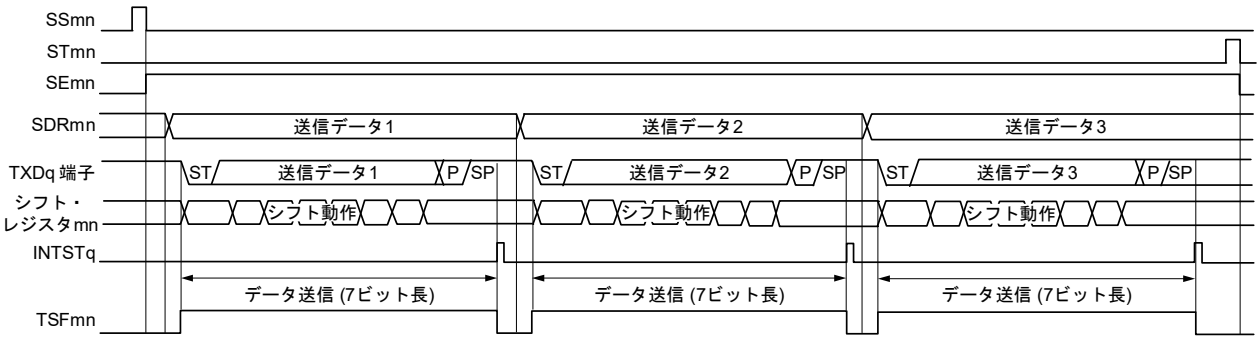
図 15－126　UART 送信の再開設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），mn = 00, 10

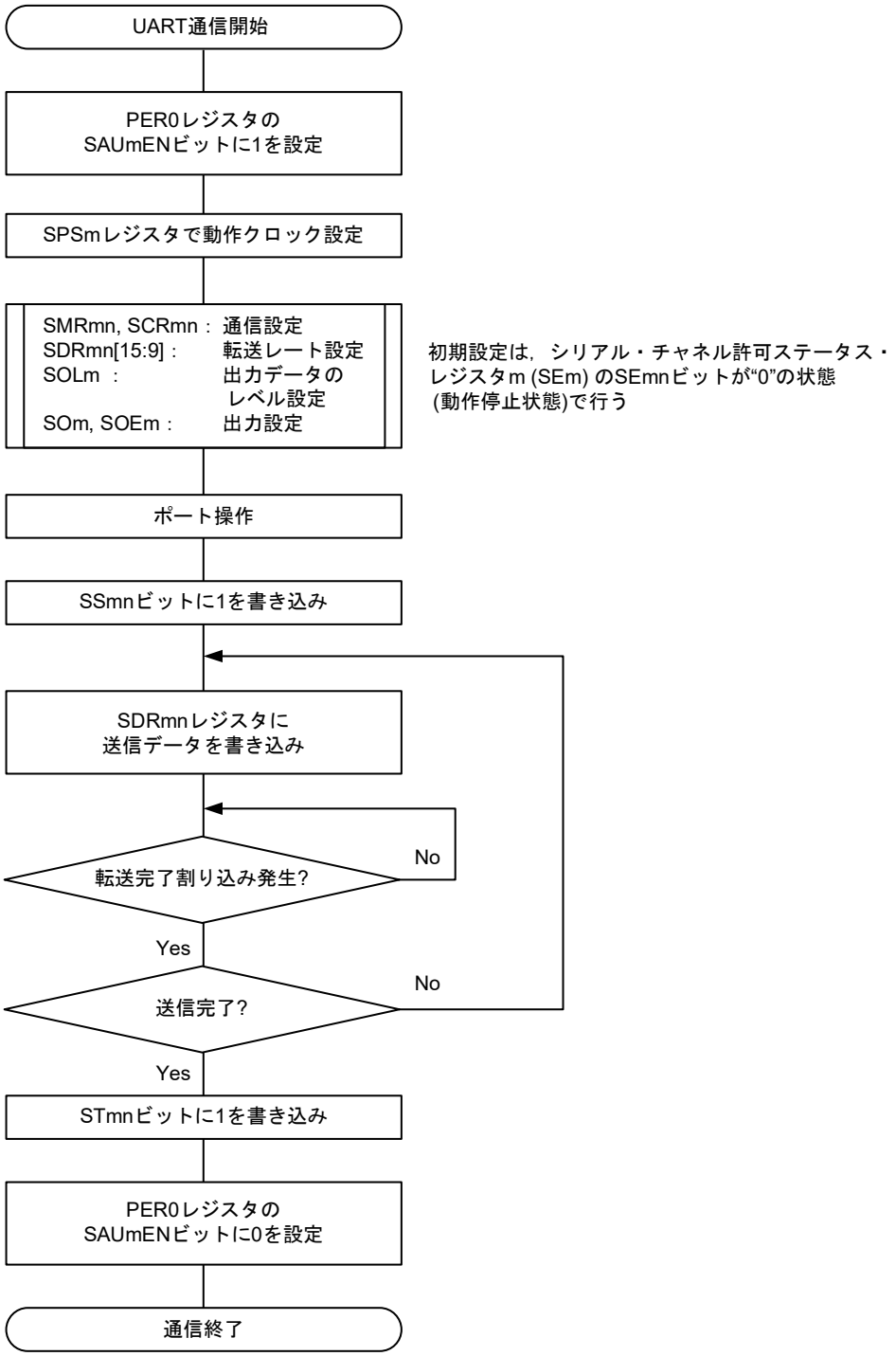
(3)　処理フロー（シングル送信モード時）

図 15－127　UART 送信（シングル送信モード時）のタイミング・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），q：UART 番号（q = 0, 1），
mn = 00, 10

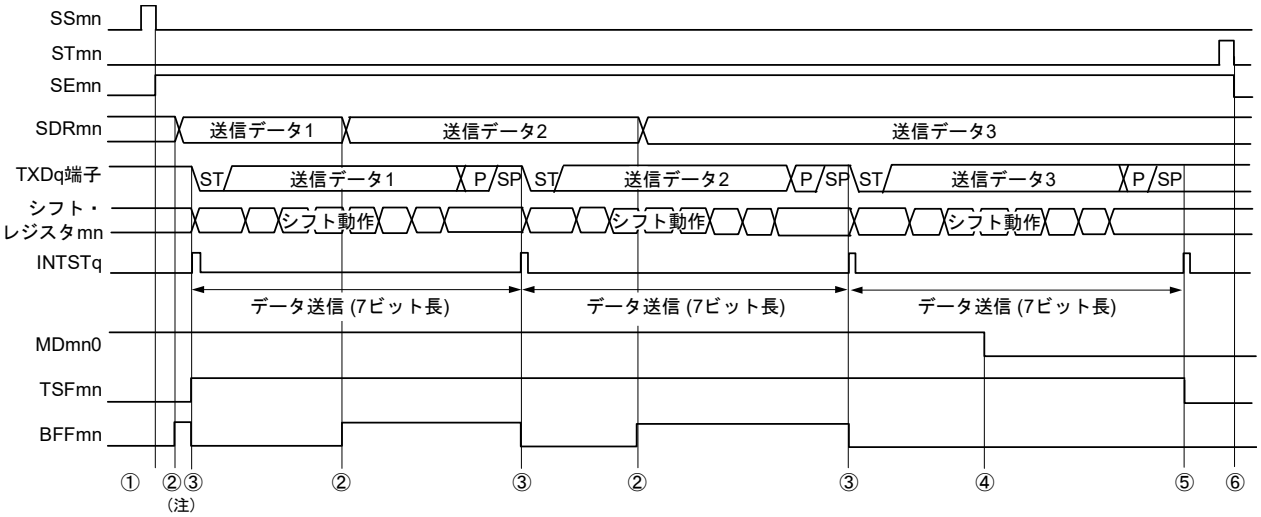
図 15－128　UART 送信（シングル送信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），mn = 00, 10

(4)　処理フロー（連続送信モード時）

図 15－129　UART 送信（連続送信モード時）のタイミング・チャート

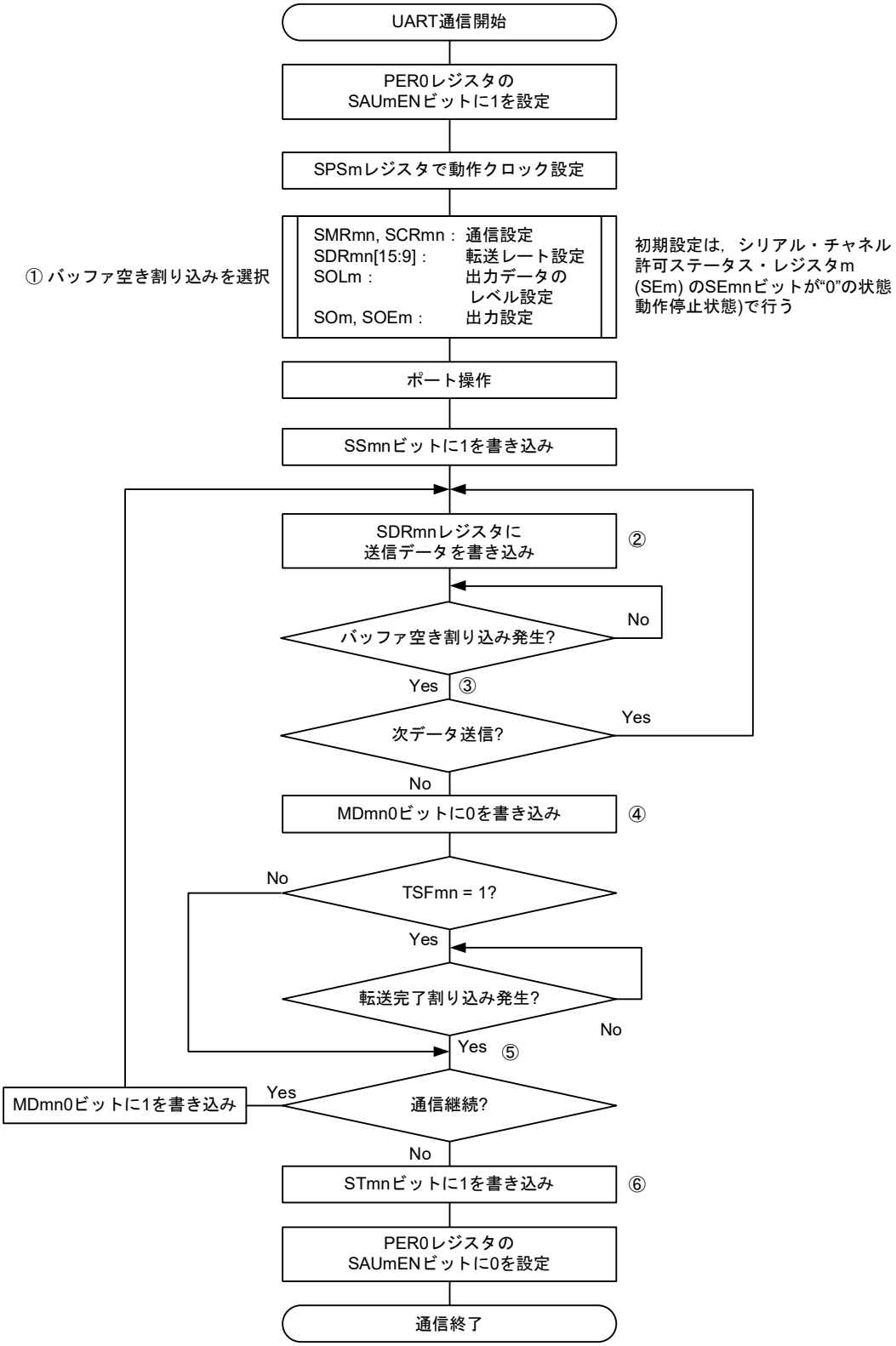


注　シリアル・ステータス・レジスタ mn（SSRmn）の BFFmn ビットが"1"の期間（有効なデータがシリアル・データ・レジスタ mn（SDRmn）に格納されているとき）に SDRmn レジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタ mn（SMRmn）の MDmn0 ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），q：UART 番号（q = 0, 1），
mn = 00, 10

図 15－130　UART 送信（連続送信モード時）のフロー・チャート



備考 1. 図中の①～⑥は，「図 15－129　UART 送信（連続送信モード時）」のタイミング・チャートの①～⑥に対応しています。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 00, 10

15.7.2　UART受信

UART受信は，他デバイスから本MCUが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1
対象チャネル	SAU0のチャネル1	SAU1のチャネル1
使用端子	RXD0	RXD1
割り込み	INTSR0	INTSR1
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn）	
転送データ長	7～9, 16ビット	
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps] 注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・0パリティ・ビット付加（パリティ・チェックなし） ・偶数パリティ・チェック ・奇数パリティ・チェック	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考 1. f_{MCK}：対象チャネルの動作クロック周波数

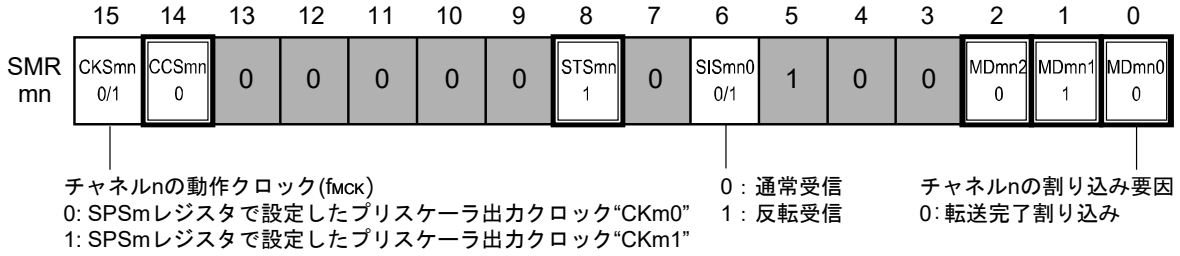
f_{CLK}：システム・クロック周波数

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11

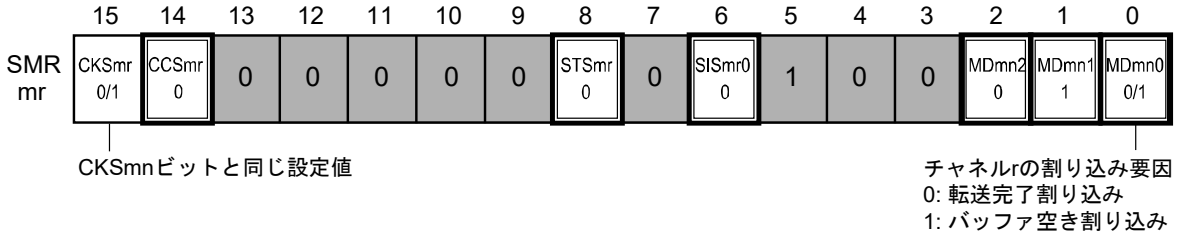
(1)　レジスタ設定

図 15－131　UART（UART0, UART1）の UART 受信時のレジスタ設定内容例（1/2）

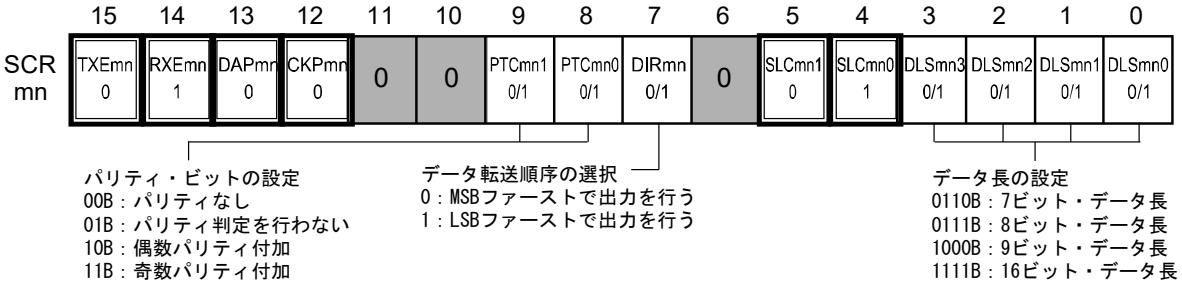
(a)　シリアル・モード・レジスタmn（SMRmn）



(b)　シリアル・モード・レジスタmr（SMRmr）

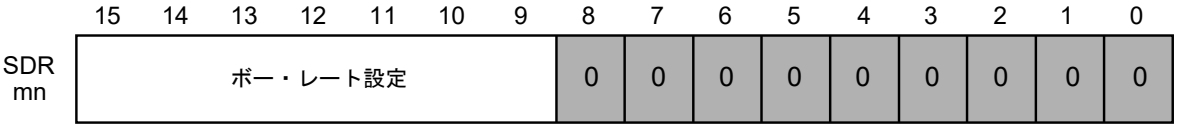


(c)　シリアル通信動作設定レジスタmn（SCRmn）

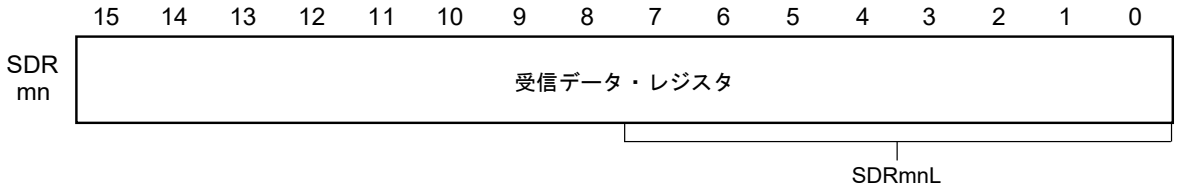


(d)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRmnL）



（**備考**は，次ページにあります。）

図 15－131　UART（UART0, UART1）の UART 受信時のレジスタ設定内容例（2/2）

(e)　シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1 ×	CKOm0 ×						0	SOm1 ×	×

(f)　シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

(g)　シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 ×

注意　UART 受信時は，チャネル n とペアになるチャネル r の SMRmr レジスタも必ず設定してください。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11,

r：チャネル番号（r = n－1），q：UART 番号（q = 0, 1）

2. □：CSI マスタ送信モードでは設定固定,

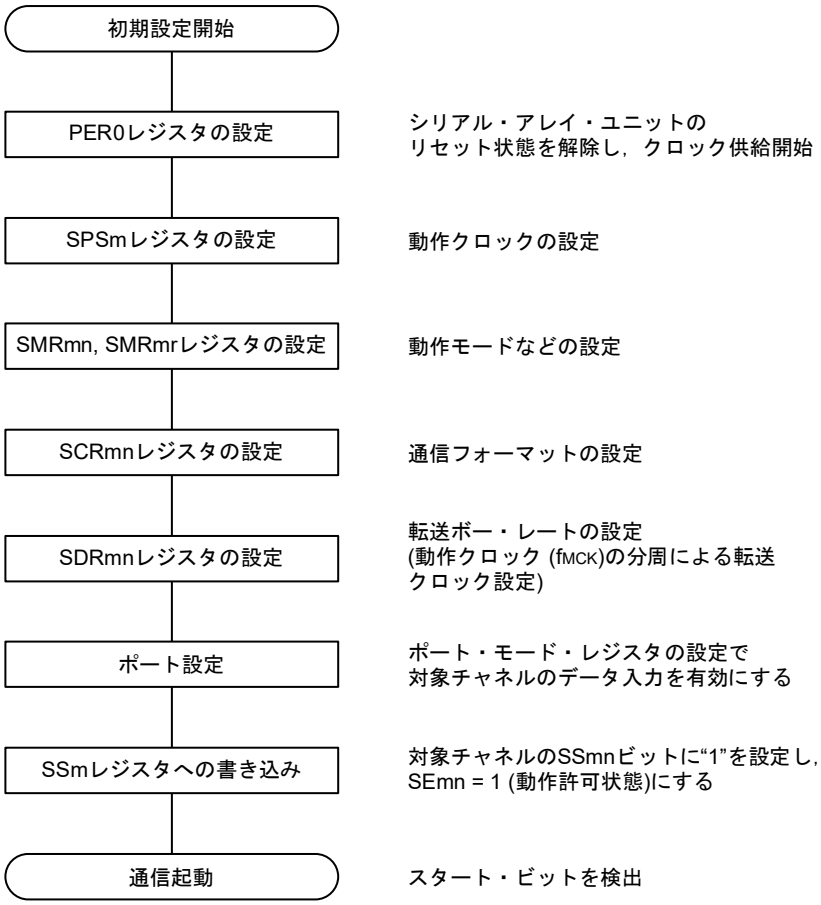
■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて 0 または 1 に設定

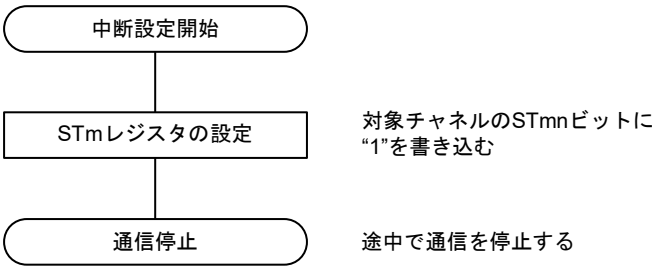
(2)　操作手順

図 15－132　UART 受信の初期設定手順



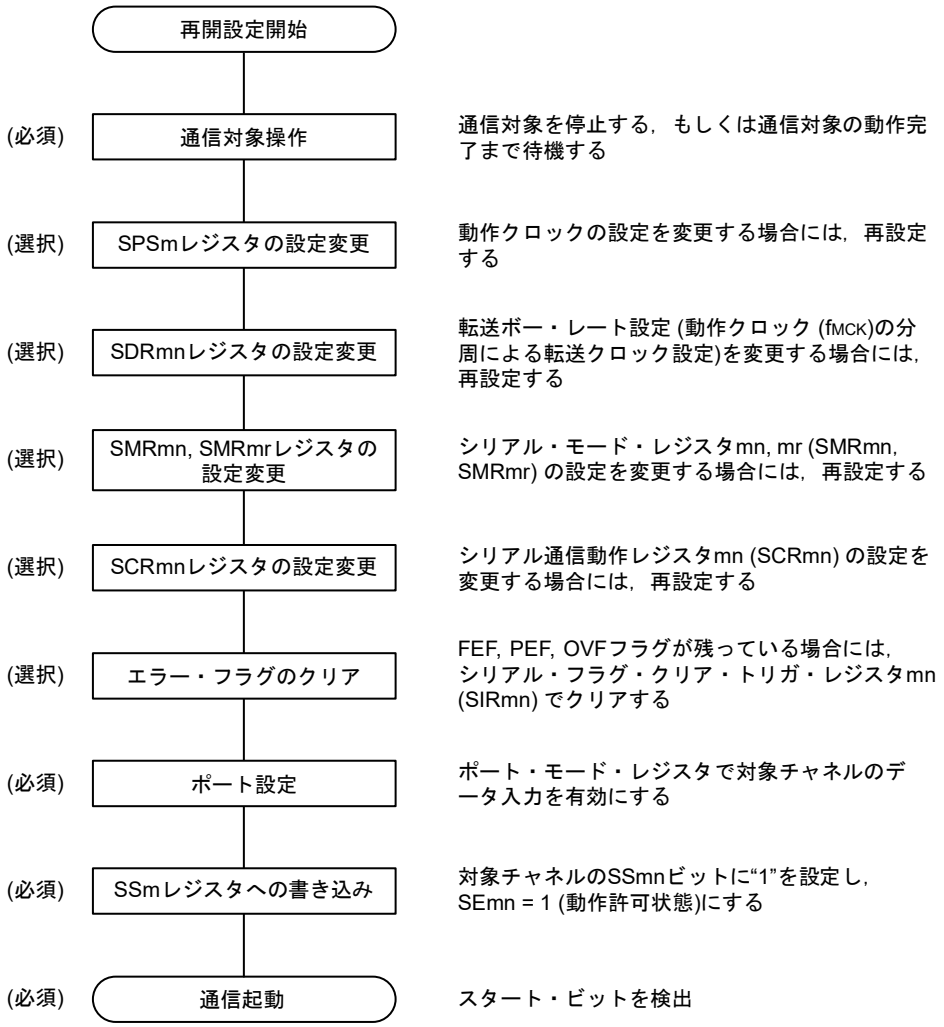
注意　SSmn ビットを 1 にする場合，SCRmn レジスタの RXEmn ビットを 1 に設定してから，f_{MCK} の 4 クロック以上経過後に設定してください。

図 15－133　UART 受信の中断手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11，r：チャネル番号（r = n-1）

図 15－134　UART 受信の再開設定手順

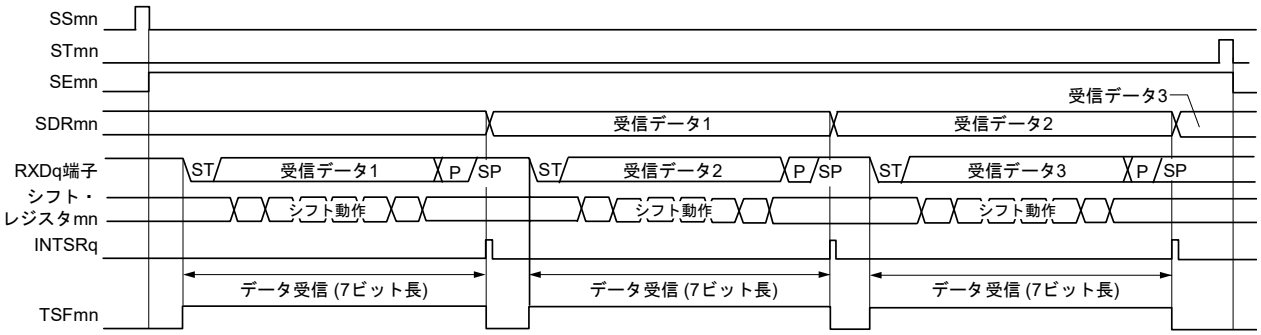


注意　SSmn ビットを 1 にする場合，SCRmn レジスタの RXEmn ビットを 1 に設定してから f_{MCK} の 4 クロック以上経過後に設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11，r：チャネル番号（r = n-1）

(3)　処理フロー

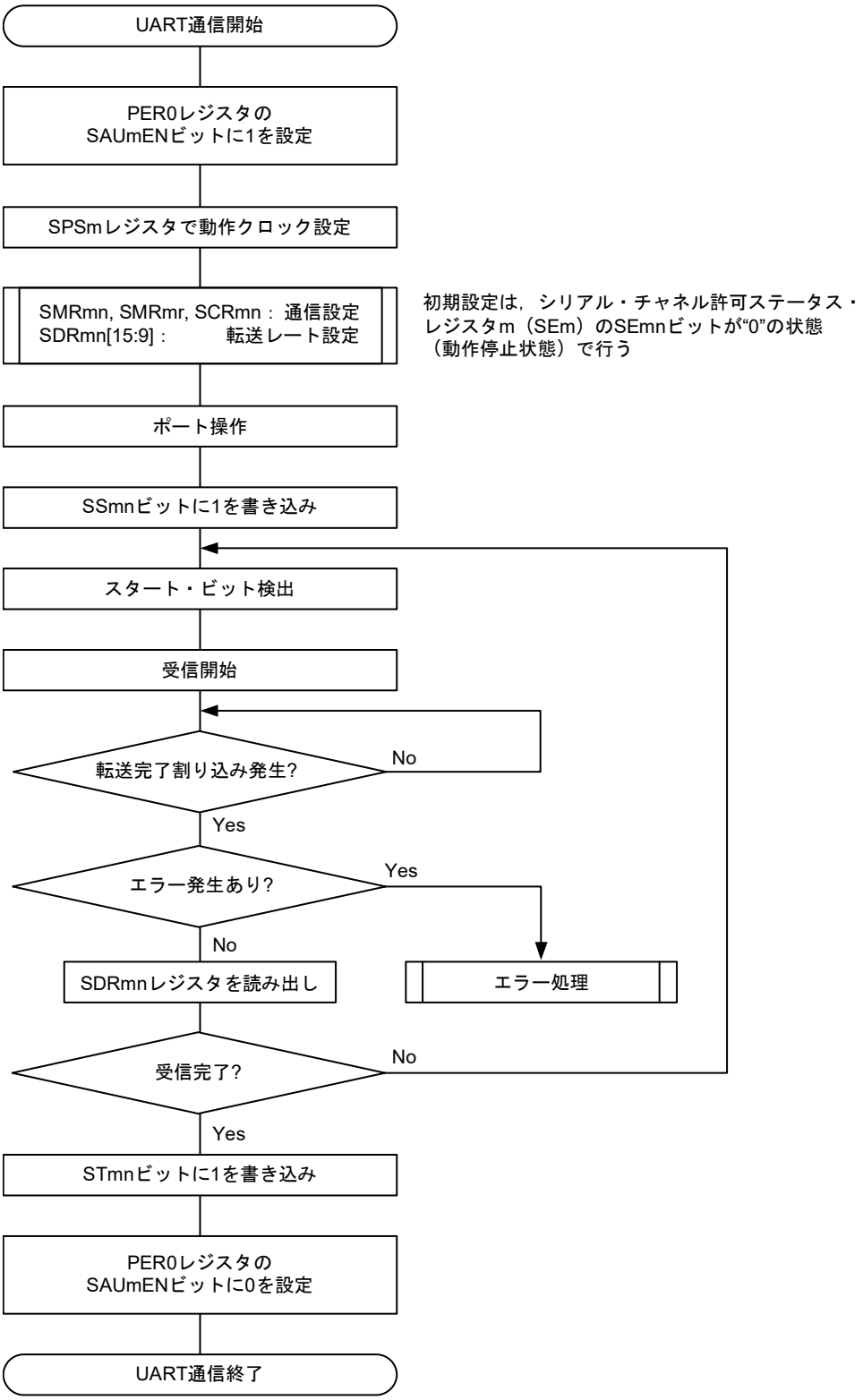
図 15－135　UART 受信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11

r：チャネル番号（r = n－1），q：UART 番号（q = 0, 1）

図 15－136　UART 受信のフロー・チャート



注意　SSmn ビットを 1 にする場合，SCRmn レジスタの RXEmn ビットを 1 に設定してから f_{MCK} の 4 クロック以上経過後に設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11，r：チャネル番号（r = n－1）

15.7.3　ボー・レートの算出

(1)　ボー・レート算出式

UART（UART0, UART1）通信でのボー・レートは，下記の計算式にて算出できます。

ボー・レート ＝ 対象チャネルの動作クロック（f_{MCK}）周波数 ÷（SDRmn[15:9] + 1）÷ 2 [bps]

注意　シリアル・データ・レジスタ mn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

備考 1. UART 使用時は，SDRmn[15:9]は SDRmn レジスタのビット 15-9 の値（0000010B-1111111B）なので，2-127 になります。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表 15－5　UART 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注		
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時	f_{CLK} = 40 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz	40 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz	20 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz	10 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz	5 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz	625 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz	40 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz	20 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz	10 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz	5 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz	625 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
上記以外										設定禁止	設定禁止

注　f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ m（STm）= 0003H）させてから変更してください。

備考 1. X：Don’t care

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(2)　送信時のボー・レート誤差

UART（UART0, UART1）通信での送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

ボー・レート誤差 =（算出ボー・レート値）÷（目標ボー・レート値）× 100 − 100 [%]

f_{CLK} = 32 MHzと40 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^{10}$	51	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^{9}$	51	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^{8}$	51	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^{7}$	51	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^{6}$	51	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^{5}$	51	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^{4}$	51	19230.77 bps	+0.16 %
31250 bps	$f_{CLK}/2^{3}$	63	31250.00 bps	±0.00 %
38400 bps	$f_{CLK}/2^{3}$	51	38461.54 bps	+0.16 %
76800 bps	$f_{CLK}/2^{2}$	51	76923.08 bps	+0.16 %
153600 bps	$f_{CLK}/2$	51	153846.15 bps	+0.16 %
312500 bps	f_{CLK}	50	313725.49 bps	+0.39 %

UARTボー・レート（目標ボー・レート）	f_{CLK} = 40 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^{10}$	64	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^{9}$	64	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^{8}$	64	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^{7}$	64	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^{6}$	64	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^{5}$	64	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^{4}$	64	19230.77 bps	+0.16 %
31250 bps	$f_{CLK}/2^{3}$	79	31250.00 bps	±0.00 %
38400 bps	$f_{CLK}/2^{3}$	64	38461.54 bps	+0.16 %
76800 bps	$f_{CLK}/2^{2}$	64	76923.08 bps	+0.16 %
153600 bps	$f_{CLK}/2$	64	153846.15 bps	+0.16 %
312500 bps	f_{CLK}	63	312500.00 bps	±0.00 %

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0），mn = 00, 10

(3)　受信時のボー・レート許容範囲

UART（UART0, UART1）通信での受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$\text{受信可能な最大ボー・レート} = \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$\text{受信可能な最小ボー・レート} = \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate ：受信側の算出ボー・レート値（「15.7.3 (1)　ボー・レート算出式」を参照）

k　　：SDRmn[15:9] + 1

Nfr　：1データ・フレーム長［ビット］

　　＝（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11

図 15－137　受信時の許容ボー・レート範囲（1 データ・フレーム長 = 11 ビットの場合）

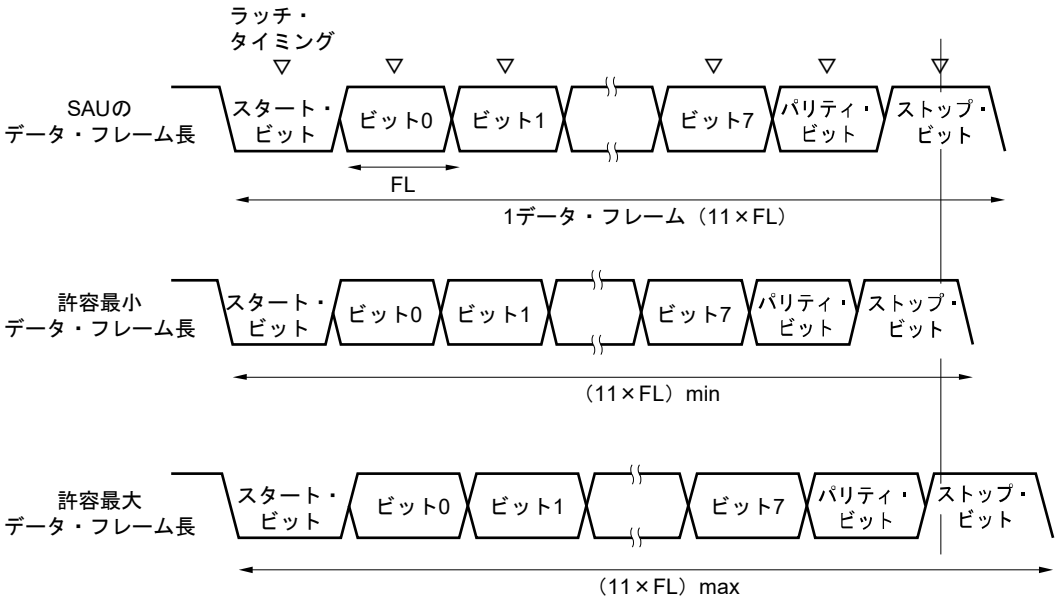


図15－137に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

15.7.4　UART（UART0, UART1）通信時におけるエラー発生時の処理手順

UART（UART0, UART1）通信時にエラーが発生した場合の処理手順を図15－138，図15－139に示します。

図 15－138　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込む ことで，読み出し時のエラーのみをクリアできる

図 15－139　フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込む ことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに"1"を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"0"となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに"1"を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"1"となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1），mn = 01, 11

15.8 LIN 通信の動作

15.8.1 LIN送信

UART送信のうち，UART0はLIN通信に対応しています。

LIN送信では，ユニット0のチャネル0を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャネル	SAU0のチャネル0	－
使用端子	TXD0	－
割り込み	INTST0	－
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）を選択可能	
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート	Max. f_{MCK}/6 [bps]（SDR00[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{11} \times 128$）[bps] 注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。
なお，LIN 通信では通常 2.4 / 9.6 / 19.2 kbps がよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数
f_{CLK}：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコスト・ダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

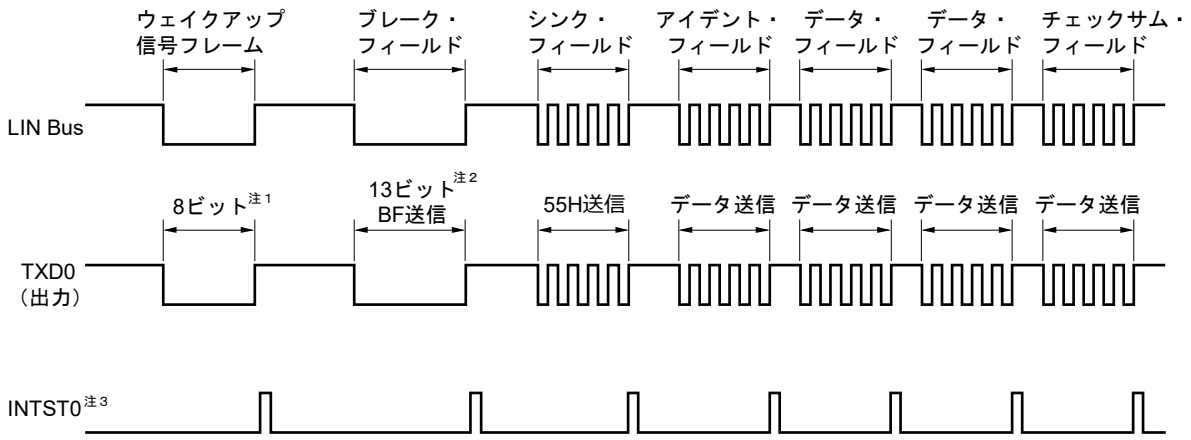
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作の概略を，図15－140に示します。

図 15－140　LIN の送信操作



注 1. 80H のデータ送信をすることで対応します。

2. ブレーク・フィールドは，13 ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートを N [bps]とすると，ブレーク・フィールドで使用するボー・レートは次のようになります。

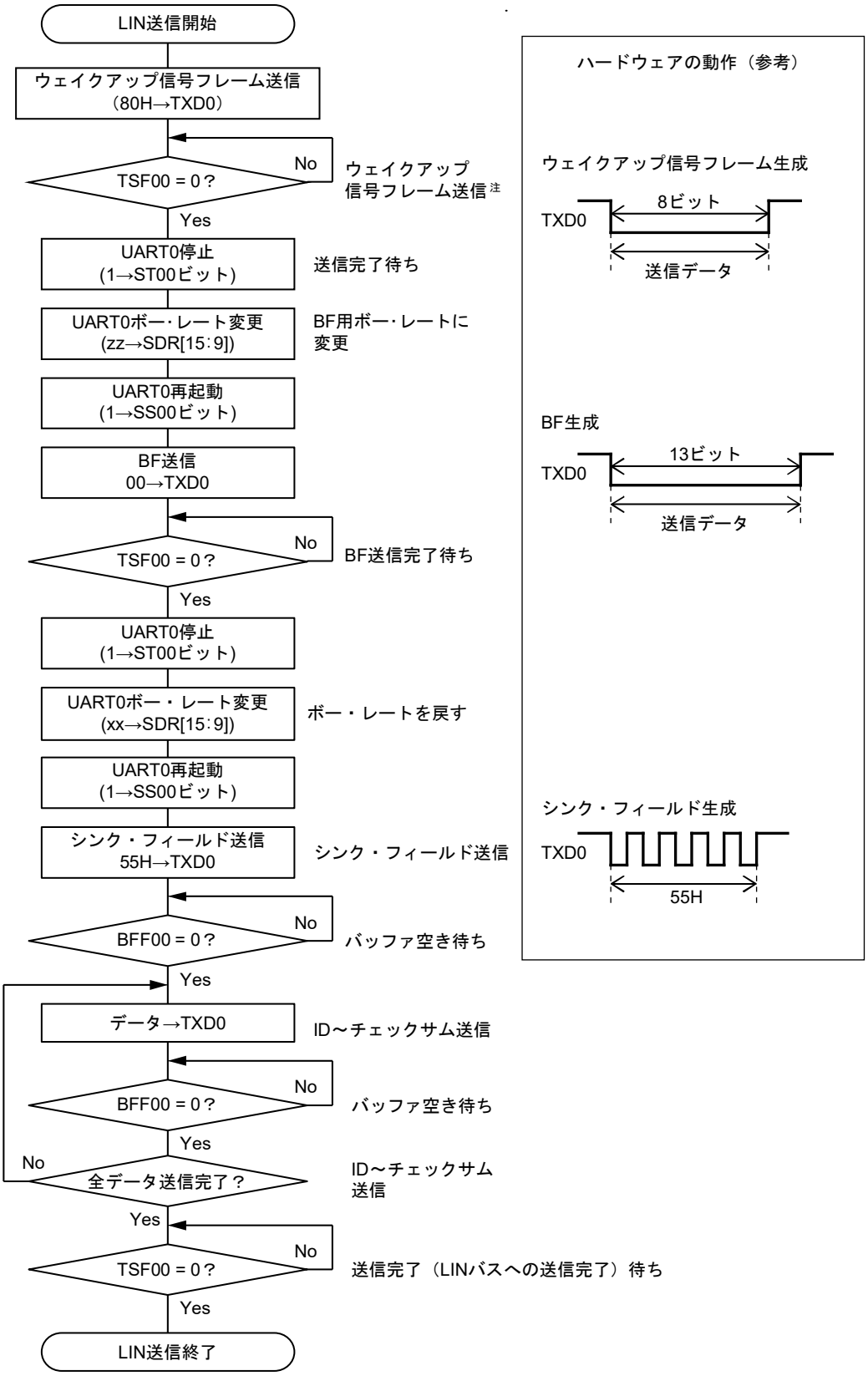
（ブレーク・フィールド時のボー・レート）= 9/13 × N

このボー・レートで 00H のデータ送信をすることでブレーク・フィールドを生成します。

3. 各送信終了時には INTST0 を出力します。

備考　各フィールド間の間隔はソフトウェアで制御します。

図 15－141　LIN 送信のフロー・チャート



注　LIN-bus がスリープ状態からの起動時のみ

備考　UART の初期設定は完了し，送信許可状態からのフローです。

15.8.2　LIN受信

UART受信のうち，UART0はLIN通信に対応しています。

LIN受信では，ユニット0のチャネル1を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャネル	SAU0のチャネル1	－
使用端子	RXD0	－
割り込み	INTSR0	－
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF01） ・オーバラン・エラー検出フラグ（OVF01）	
転送データ長	8ビット	
転送レート	Max. f_{MCK}/6 [bps]（SDR01[15:9] = 2 以上），Min. f_{CLK}/（$2 \times 2^{11} \times 128$）[bps] 注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）	
ストップ・ビット	1ビット目チェック	
データ方向	MSBファーストまたはLSBファースト	

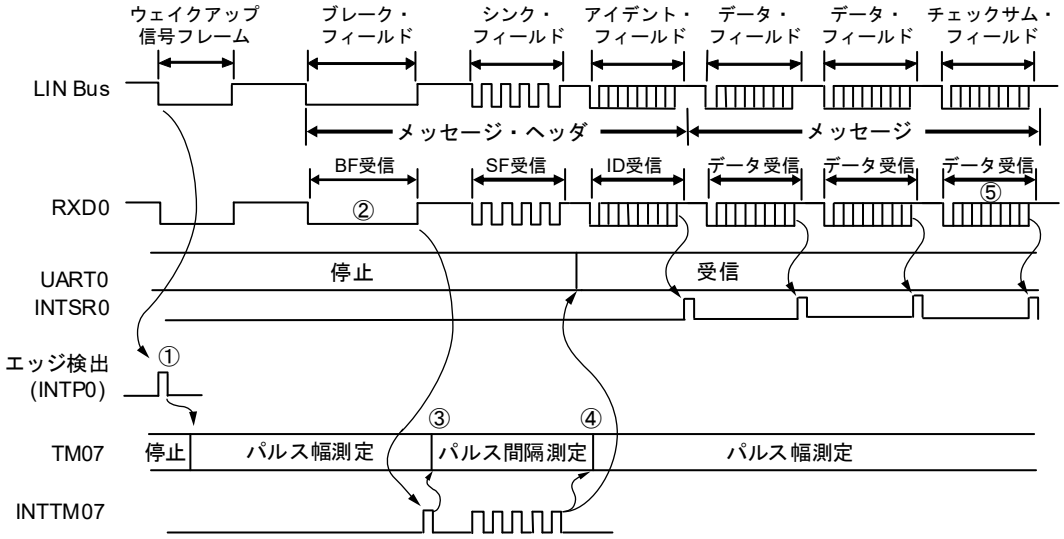
注　この条件を満たし，かつ電気的特性の AC 特性を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINの受信操作の概略を，図15－142に示します。

図 15－142　LIN の受信操作



受信処理の流れを次に示します。

① ウェイクアップ信号の検出は，端子の割り込みエッジ検出（INTP0）で行います。ウェイクアップ信号を検出したら，TM07 を BF のロウ・レベル幅測定のためにパルス幅測定に設定して，BF 受信待ち状態にします。

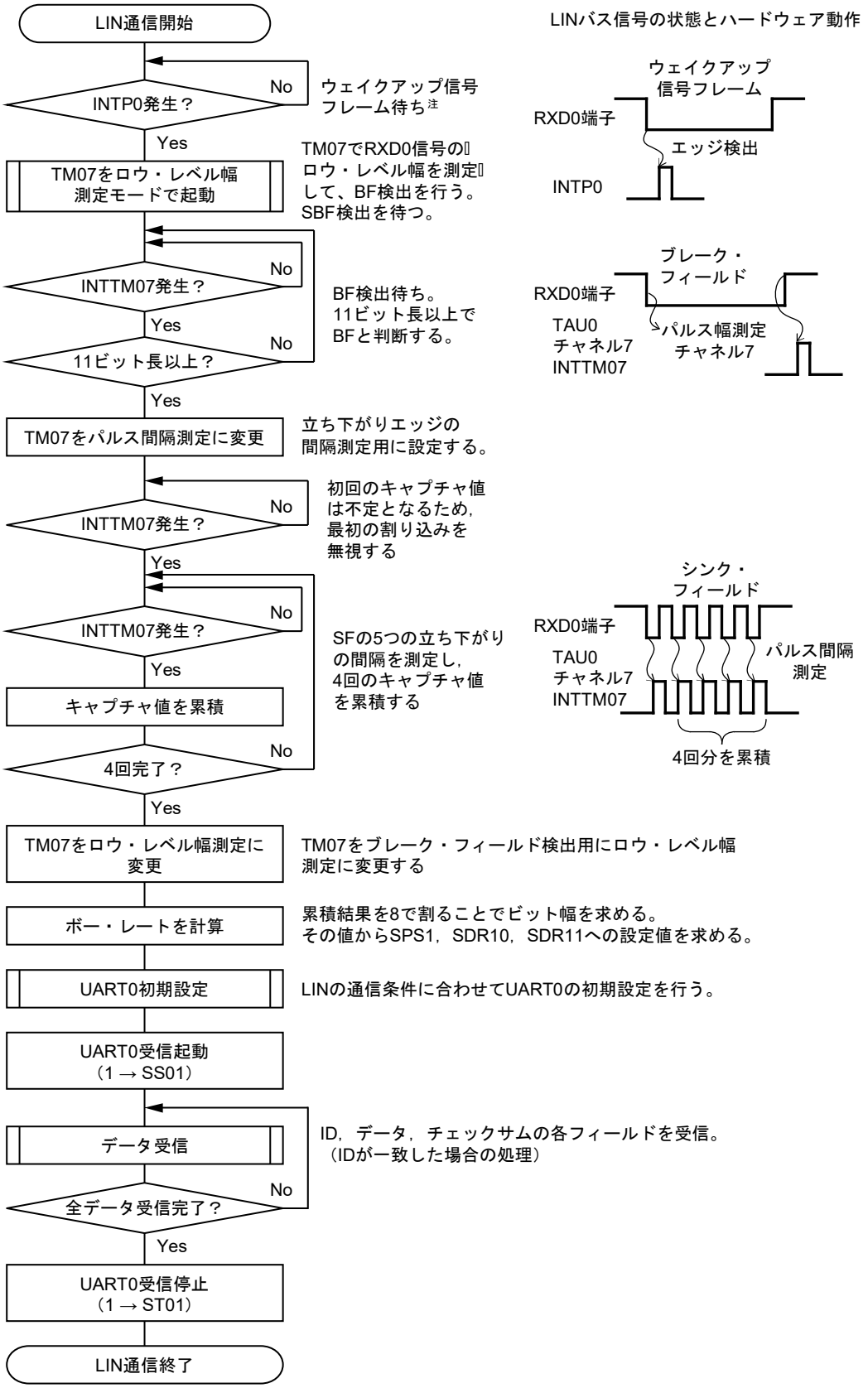
② BF の立ち下がりを検出したら，TM07 はロウ・レベル幅の測定を開始し，立ち上がりでキャプチャを行います。キャプチャされた値から BF 信号かどうかの判定を行います。

③ BF 受信を正常終了した場合，TM07 をパルス間隔測定に設定し，シンク・フィールドの RXD0 信号の立ち下がりの間隔を 4 回測定してください（「6.7.4　入力パルス間隔測定としての動作」を参照）。

④ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったん UART0 を動作停止にしてからボー・レートを調整（再設定）してください。

⑤ チェックサム・フィールドの区別はソフトウェアで行ってください。チェックサム・フィールド受信後に UART0 を初期化し，再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図 15－143　LIN 受信のフロー・チャート



注　スリープ状態でのみ必要となります。

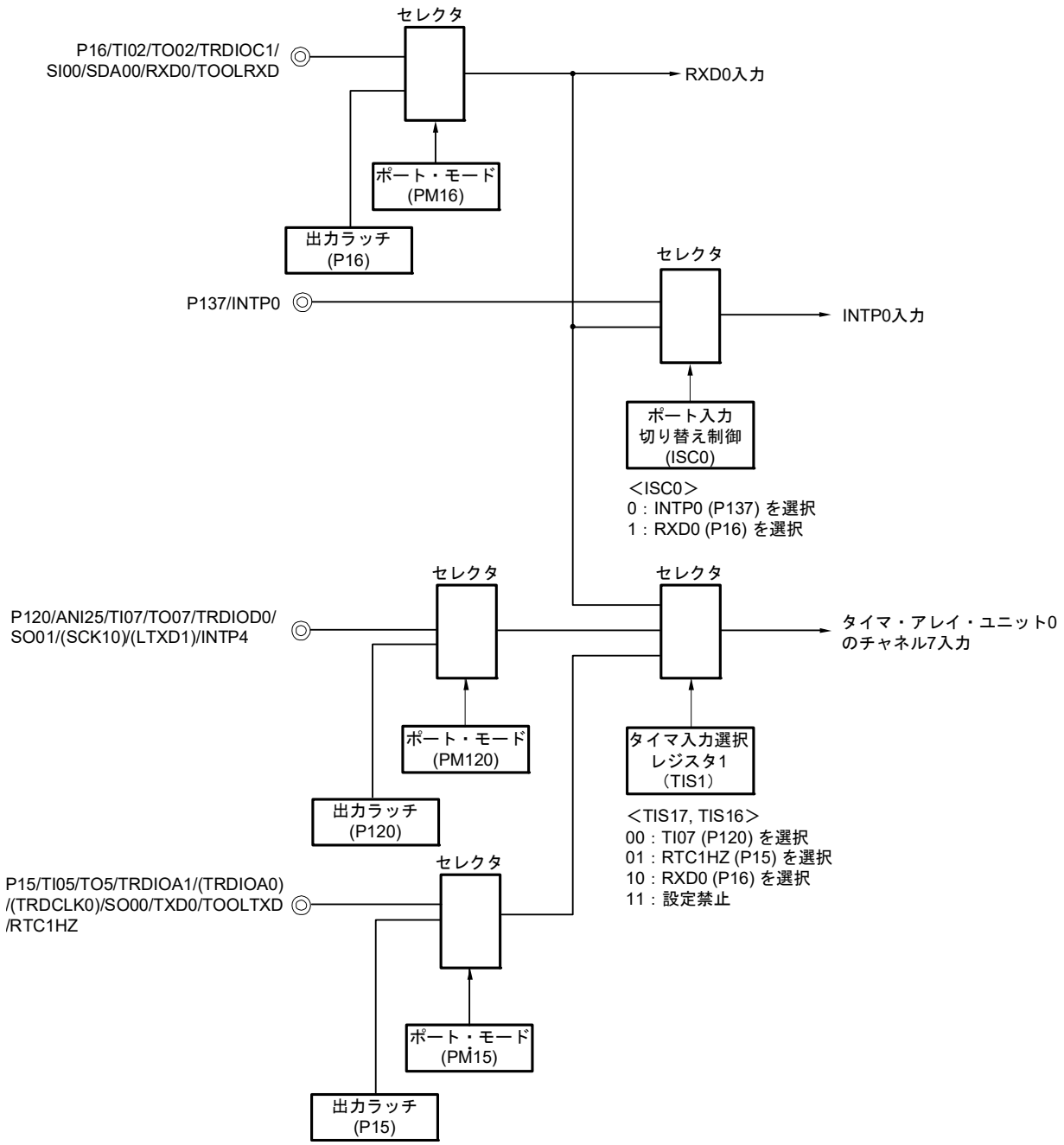
注意　SSmn ビットを 1 にする場合，SCRmn レジスタの RXEmn ビットを 1 に設定してから f_{MCK} の 4 クロック以上経過後に設定してください。

図15－144はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替えの制御（ISC0/TIS1）により，外部で結線をせずに，受信用ポート入力（RXD0）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニット0へ入力することができます。

図 15－144　LIN の受信操作用のポート構成図



備考　ISC0：入力切り替え制御レジスタ（ISC）のビット 0（図 15－19 参照）

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

- 外部割り込み（INTP0）：ウェイクアップ信号検出
  用途：ウェイクアップ信号のエッジを検出し，通信開始を検出
- タイマ・アレイ・ユニットのチャネル 7：ボー・レート誤差検出，ブレーク・フィールド（BF）検出
  用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（RXD0 入力エッジの間隔をキャプチャ・モードで測定）。
  ロウ・レベル幅を測定し，ブレーク・フィールド（BF）かを判定。
- シリアル・アレイ・ユニット 0（SAU0）のチャネル 0, 1（UART0）

15.9 簡易 I²C（IIC00, IIC01, IIC10, IIC11）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウェアで処理してください。

［データ送受信］

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK 出力機能 注，ACK 検出機能
- 8 ビットのデータ長
  （アドレス送信時は，上位 7 ビットでアドレス指定し，最下位 1 ビットで R/W 制御）
- スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- オーバラン・エラー
- パリティ・エラー（ACK エラー）

※［簡易I²Cでサポートしていない機能］

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- ウェイト検出機能

注　最終データの受信時は，SOEmn（SOEm レジスタ）ビットに 0 を書き込み，シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は「15.9.3 (2)　処理フロー」を参照してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

簡易I²C（IIC00, IIC01, IIC10, IIC11）に対応しているチャネルは，SAU0のチャネル0, 1とSAU1のチャネル0, 1です。

・RL78/F23 32 ピン製品および RL78/F24 32 ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	－		－

・RL78/F23 48, 64, 80 製品と RL78/F24 48, 64, 80, 100 ピン製品

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）		IIC01
1	0	CSI10（SPI機能対応）注	UART1	IIC10
	1	CSI11（SPI機能対応）		IIC11

注　48 ピン，32 ピン製品には，SSI10 端子はありません。

簡易I²C（IIC00, IIC01, IIC10, IIC11）の通信動作は，以下の4種類があります。

- アドレス・フィールド送信（「15.9.1　アドレス・フィールド送信」を参照）
- データ送信（「15.9.2　データ送信」を参照）
- データ受信（「15.9.3　データ受信」を参照）
- ストップ・コンディション発生（「15.9.4　ストップ・コンディション発生」を参照）

15.9.1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00 注	SCL01, SDA01 注	SCL10, SDA10 注	SCL11, SDA11 注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）			
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）			
転送レート	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK受信タイミング用）			
データ方向	MSBファースト			

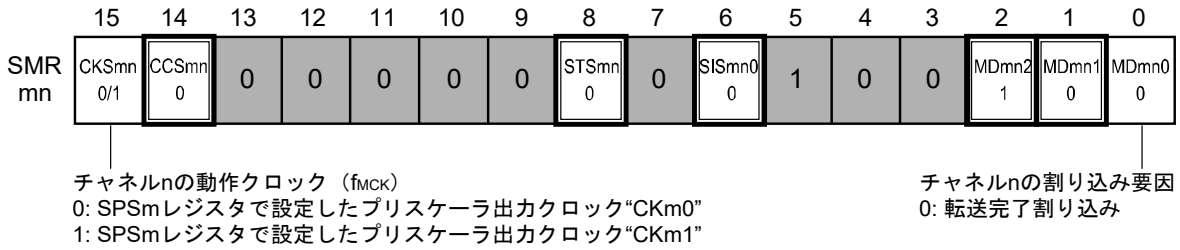
注　簡易 I²C による通信を行う場合は，ポート出力モード・レジスタ（POMx）にて N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを設定（POMxx = 1）してください（詳細は「4.3　ポート機能を制御するレジスタ」を参照）。IIC00, IIC01, IIC10, IIC11 を異電位外部デバイスと通信する場合は，クロック出力端子（SCL00, SCL01, SCL10, SCL11）も同様に N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを設定（POMxx = 1）してください（詳細は「4.4.4　異電位（3 V 系）外部デバイスとの接続方法」を参照）。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

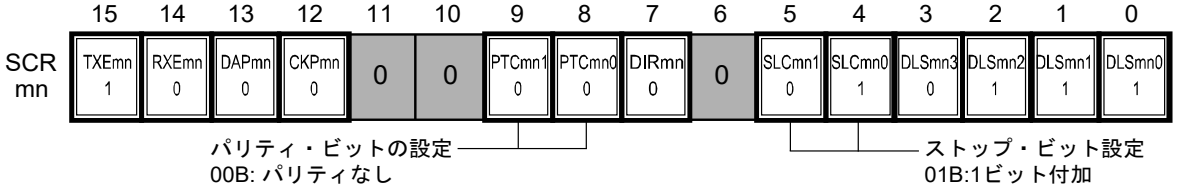
(1)　レジスタ設定

図 15－145　簡易 I²C（IIC00, IIC01, IIC10, IIC11）のアドレス・フィールド送信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）

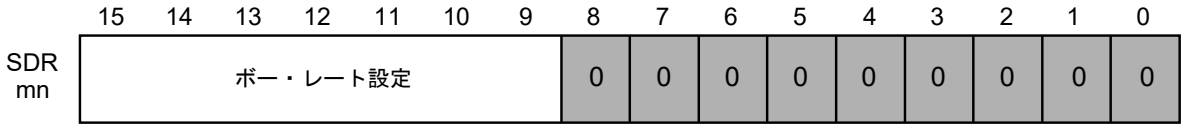


(b)　シリアル通信動作設定レジスタmn（SCRmn）

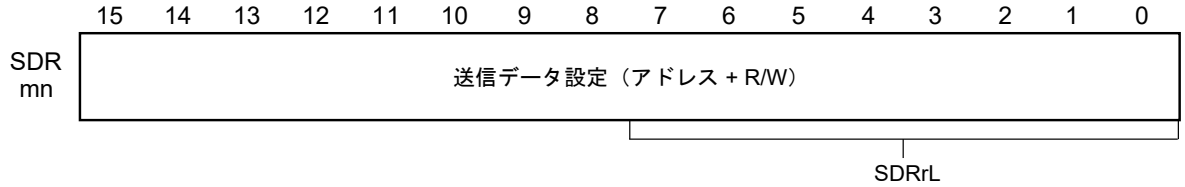


(c)　シリアル・データ・レジスタmn（SDRmn）

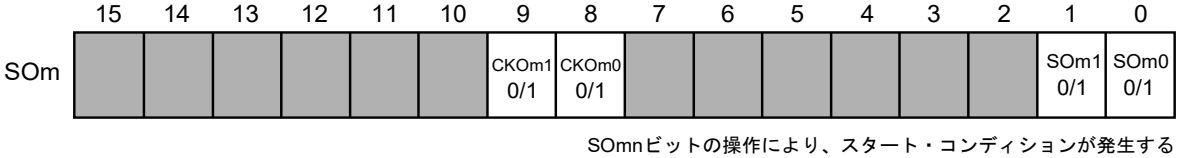
① 動作停止時（SEmn = 0）



② 動作中（SEmn = 1）（下位8ビット：SDRrL）



(d)　シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（**備考**は，次のページにあります。）

図 15－145　簡易 I²C（IIC00, IIC01, IIC10, IIC11）のアドレス・フィールド送信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

スタート・コンディション発生まではSOEmn = 0とし、発生後はSOEmn = 1とする

(f)　シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

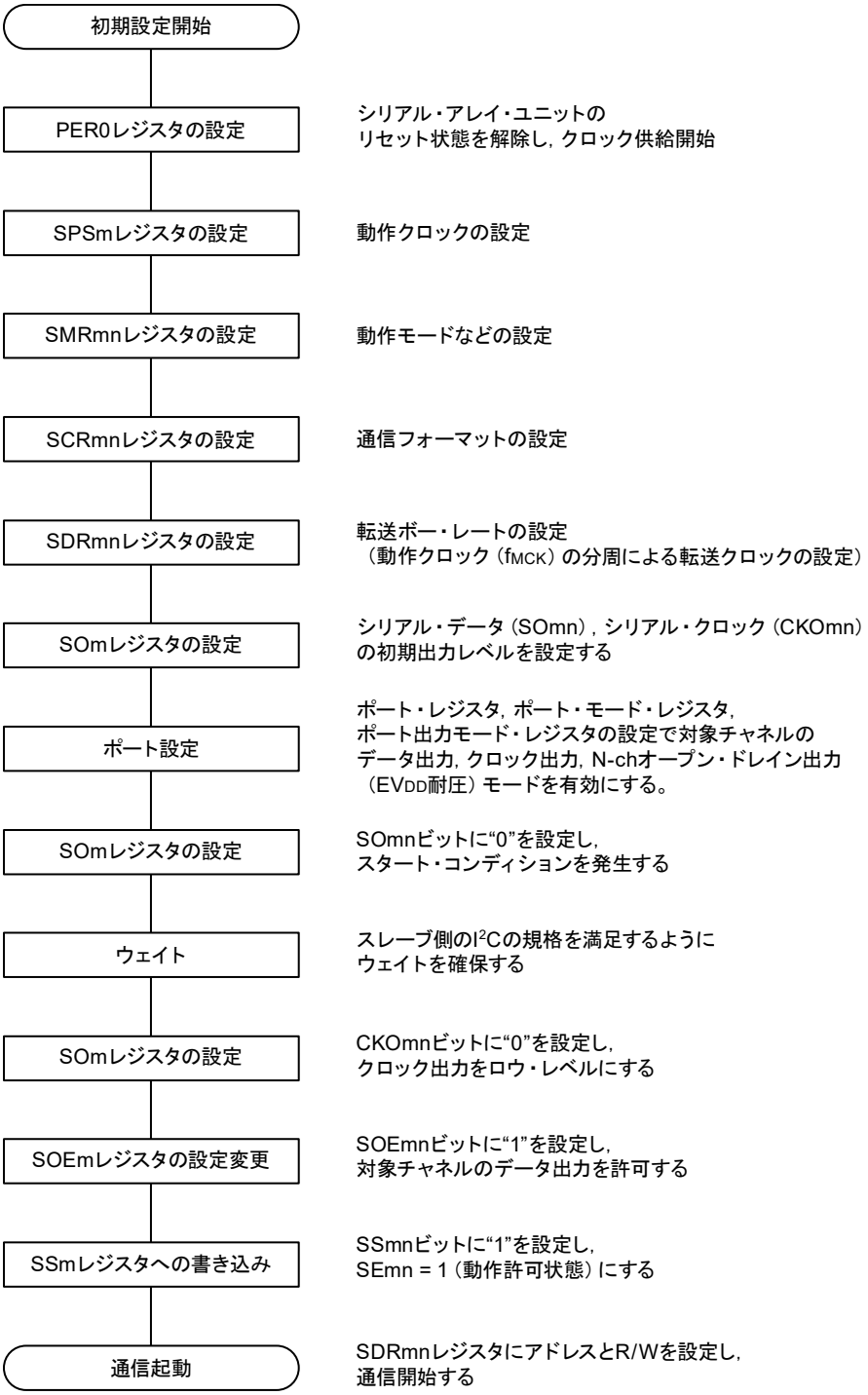
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11）
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

(2)　操作手順

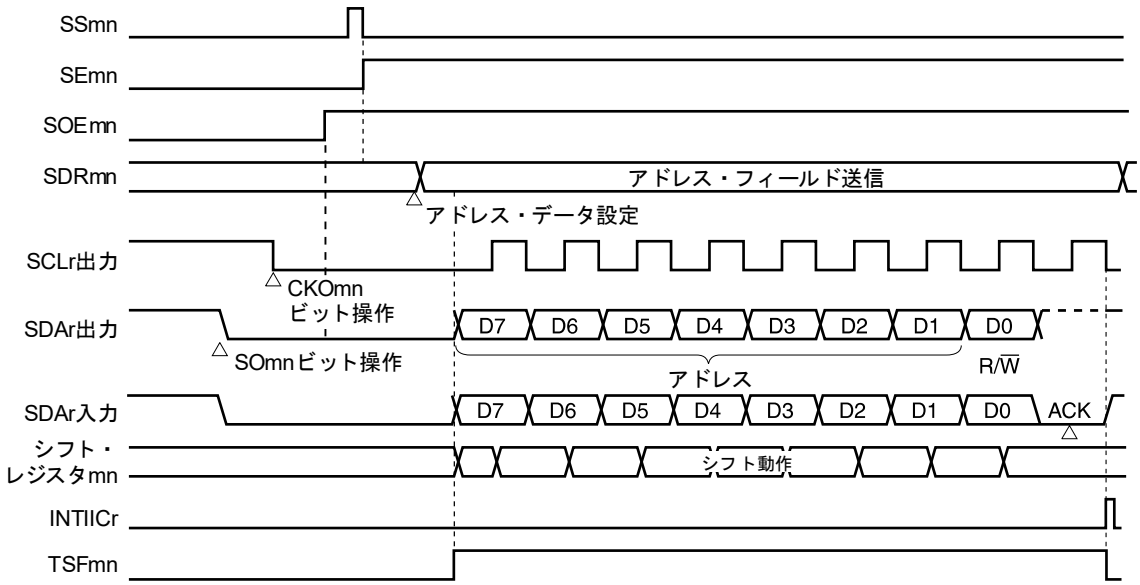
図 15－146　アドレス・フィールド送信の初期設定手順



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

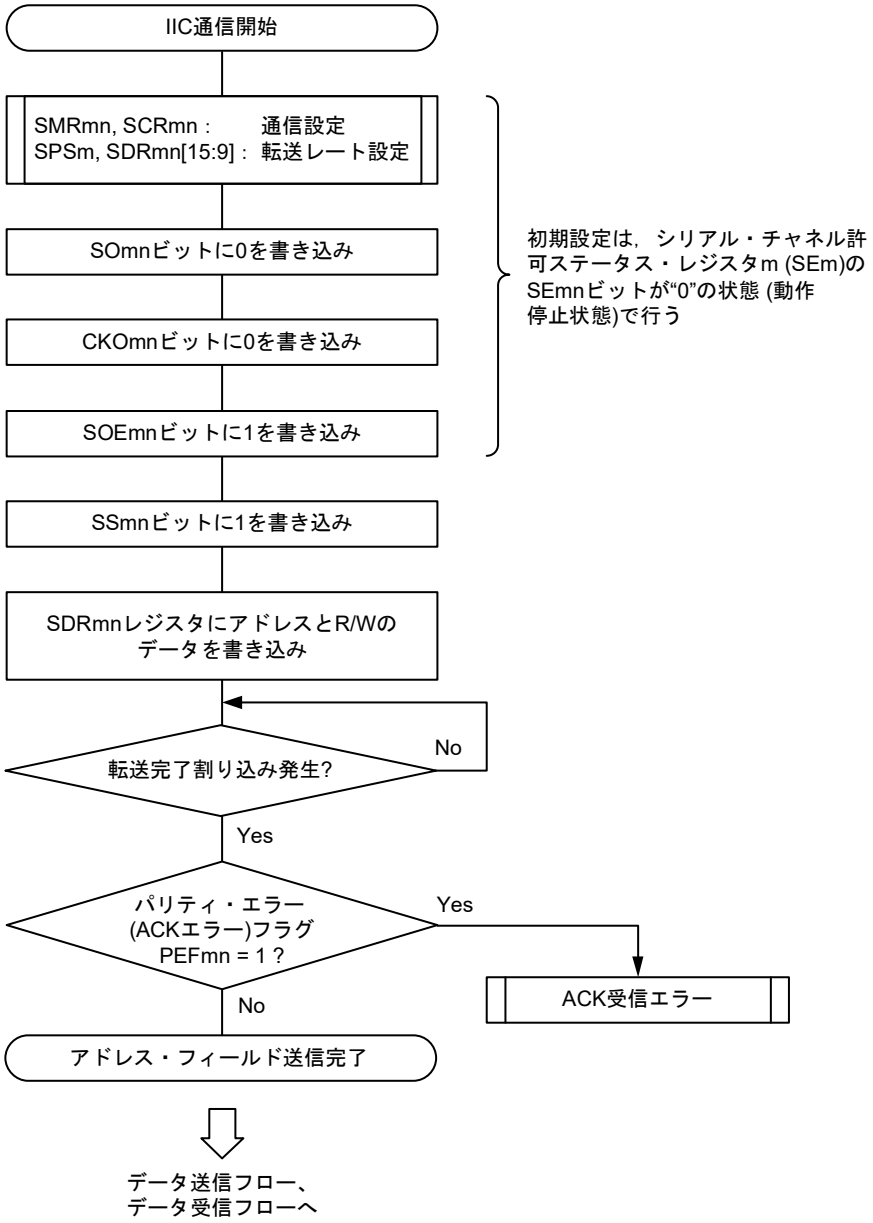
(3)　処理フロー

図 15－147　アドレス・フィールド送信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－148　アドレス・フィールド送信のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.9.2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00 注	SCL01, SDA01 注	SCL10, SDA10 注	SCL11, SDA11 注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）			
転送データ長	8ビット			
転送レート	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK受信タイミング用）			
データ方向	MSBファースト			

注　簡易 I²C による通信を行う場合は，ポート出力モード・レジスタ（POMx）にて N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを設定（POMxx = 1）してください（詳細は「4.3　ポート機能を制御するレジスタ」を参照）。IIC00, IIC01, IIC10, IIC11 を異電位外部デバイスと通信する場合は，クロック出力端子（SCL00, SCL01, SCL10, SCL11）も同様に N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを設定（POMxx = 1）してください（詳細は「4.4.4　異電位（3 V 系）外部デバイスとの接続方法」を参照）。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(1)　レジスタ設定

図 15－149　簡易 I²C（IIC00, IIC01, IIC10, IIC11）のデータ送信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b)　シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0	SLCmn0 1	DLSmn3 0	DLSmn2 1	DLSmn1 1	DLSmn0 1

(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定[注1]							0	0	0	0	0	0	0	0	0

②　動作中（SEmn = 1）（下位8ビット：SDRrL）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	送信データ設定															

SDRrL

(d)　シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1[注2]	CKOm0 0/1[注2]	0	0	0	0	0	0	SOm1 0/1[注2]	SOm0 0/1[注2]

（**注**と**備考**が次のページにあります。）

図 15－149　簡易 I²C（IIC00, IIC01, IIC10, IIC11）のデータ送信時の
レジスタ設定内容例（2/2）

(e)　シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

注 1. アドレス・フィールド送信で設定済みなので，設定不要です。

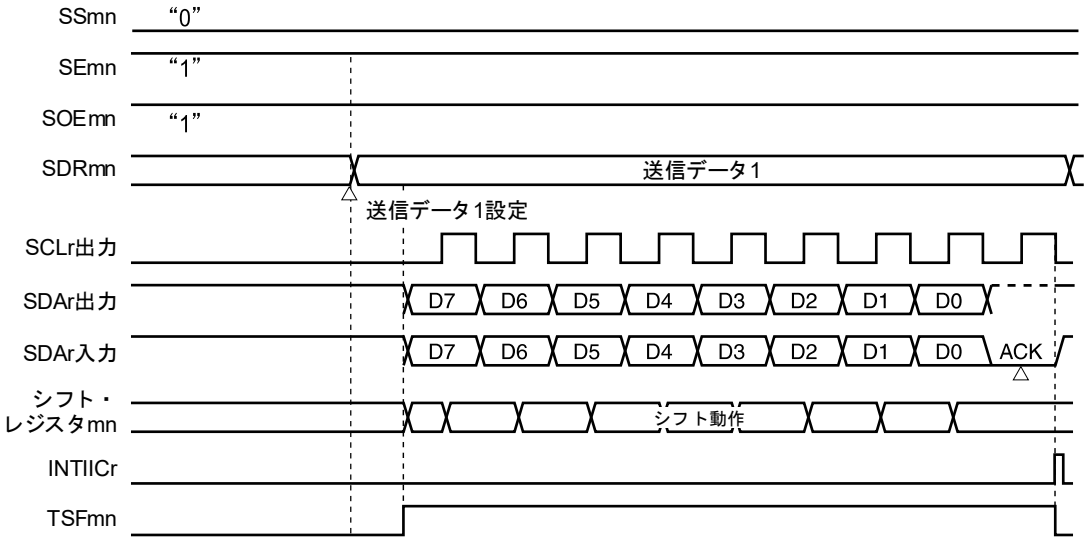
2. 通信動作中は通信データにより値が変わります。

備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11）
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定，
■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

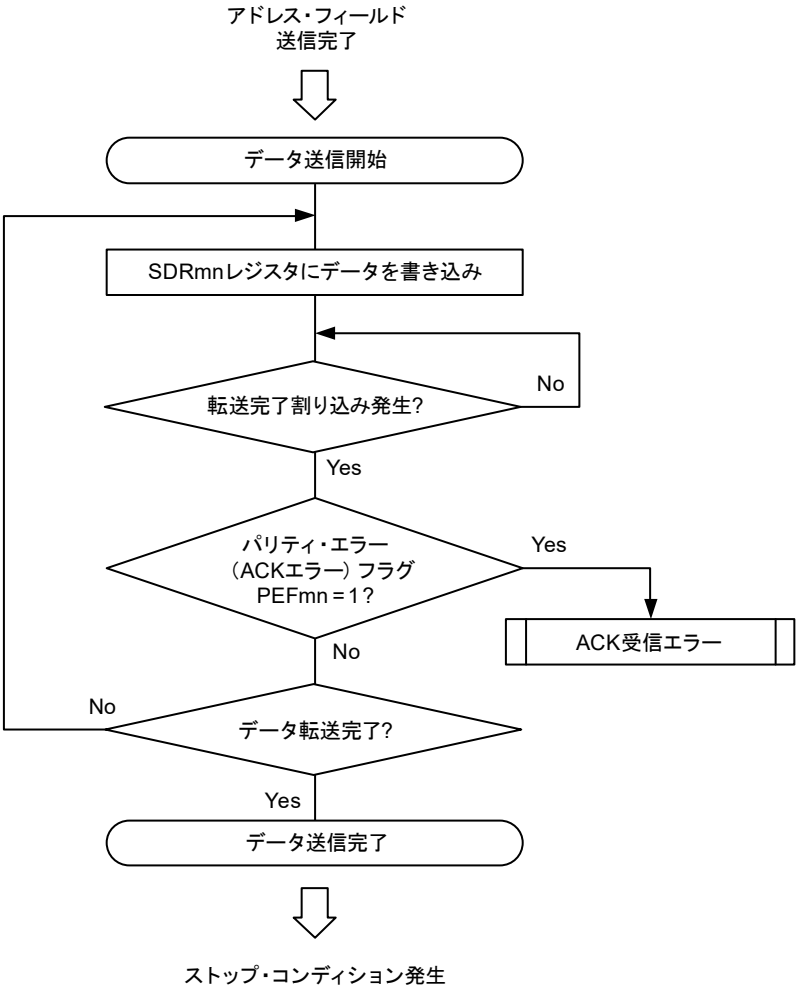
(2)　処理フロー

図 15－150　データ送信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－151　データ送信のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.9.3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00 注	SCL01, SDA01 注	SCL10, SDA10 注	SCL11, SDA11 注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	8ビット			
転送レート	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK送信）			
データ方向	MSBファースト			

注　簡易 I²C による通信を行う場合は，ポート出力モード・レジスタ（POMx）にて N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを設定（POMxx = 1）してください（詳細は「4.3　ポート機能を制御するレジスタ」を参照）。IIC00, IIC01, IIC10, IIC11 を異電位外部デバイスと通信する場合は，クロック出力端子（SCL00, SCL01, SCL10, SCL11）も同様に N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを設定（POMxx = 1）してください（詳細は「4.4.4　異電位（3 V 系）外部デバイスとの接続方法」を参照）。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

(1)　レジスタ設定

図 15－152　簡易 I²C（IIC00, IIC01, IIC10, IIC11）のデータ受信時の
レジスタ設定内容例（1/2）

(a)　シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR mn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b)　シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR mn	TXEmn 0	RXEmn 1	DAPmn 0	CKPmn 0	0	0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0	SLCmn0 1	DLSmn3 0	DLSmn2 1	DLSmn1 1	DLSmn0 1

(c)　シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定注1							0	0	0	0	0	0	0	0	0

②　動作中（SEmn = 1）（下位ビット：SDRrL）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ダミー送信データ設定（FFH）															

SDRrL

(d)　シリアル出力レジスタm（SOm）・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1注2	CKOm0 0/1注2	0	0	0	0	0	0	SOm1 0/1注2	SOm0 0/1注2

(e)　シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

注 1. アドレス・フィールド送信で設定済みなので，設定不要です。

2. 通信動作中は通信データにより値が変わります。

（**備考**が次のページにあります。）

図 15－152　簡易 I²C（IIC00, IIC01, IIC10, IIC11）のデータ受信時の
レジスタ設定内容例（2/2）

(f)　シリアル・チャネル開始レジスタm（SSm）・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

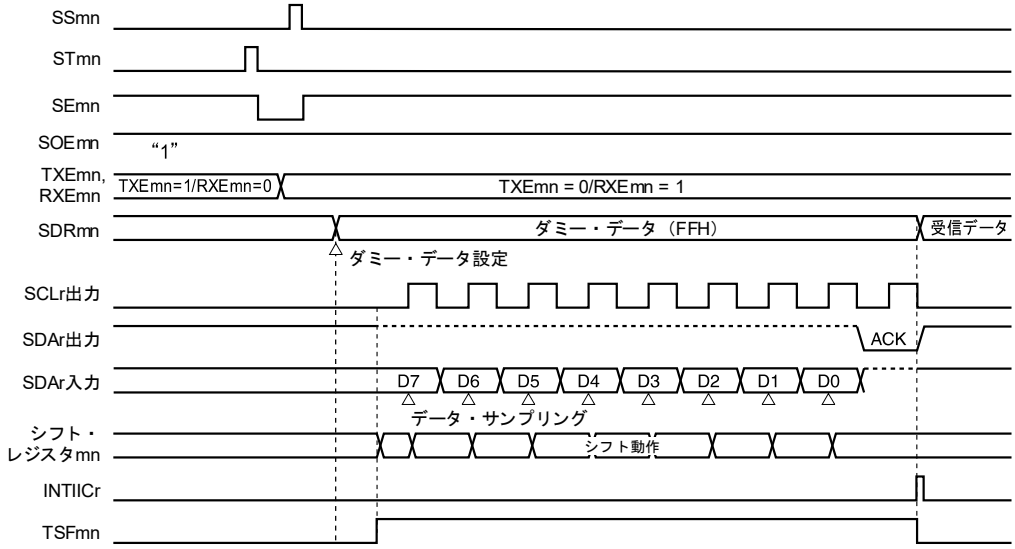
備考 1. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11）
mn = 00, 01, 10, 11

2. □：CSI マスタ送信モードでは設定固定,
■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて 0 または 1 に設定

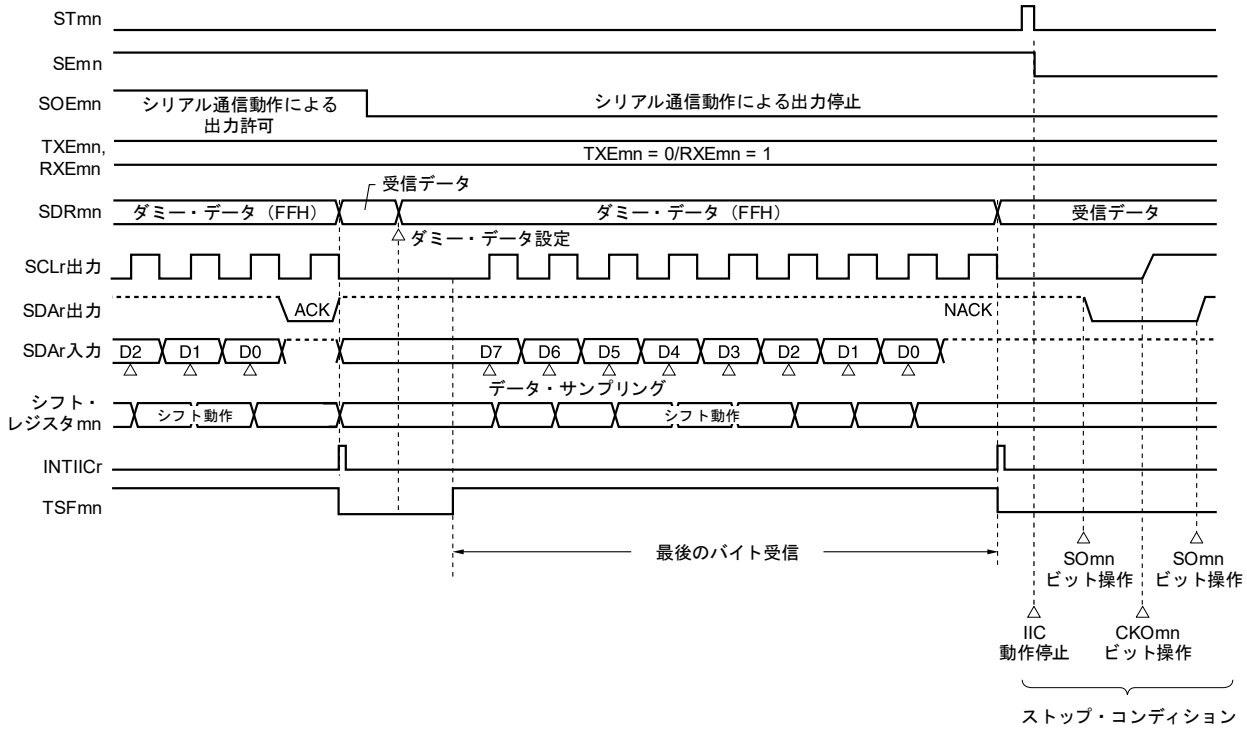
(2)　処理フロー

図 15－153　データ受信のタイミング・チャート

(a)　データ受信開始時

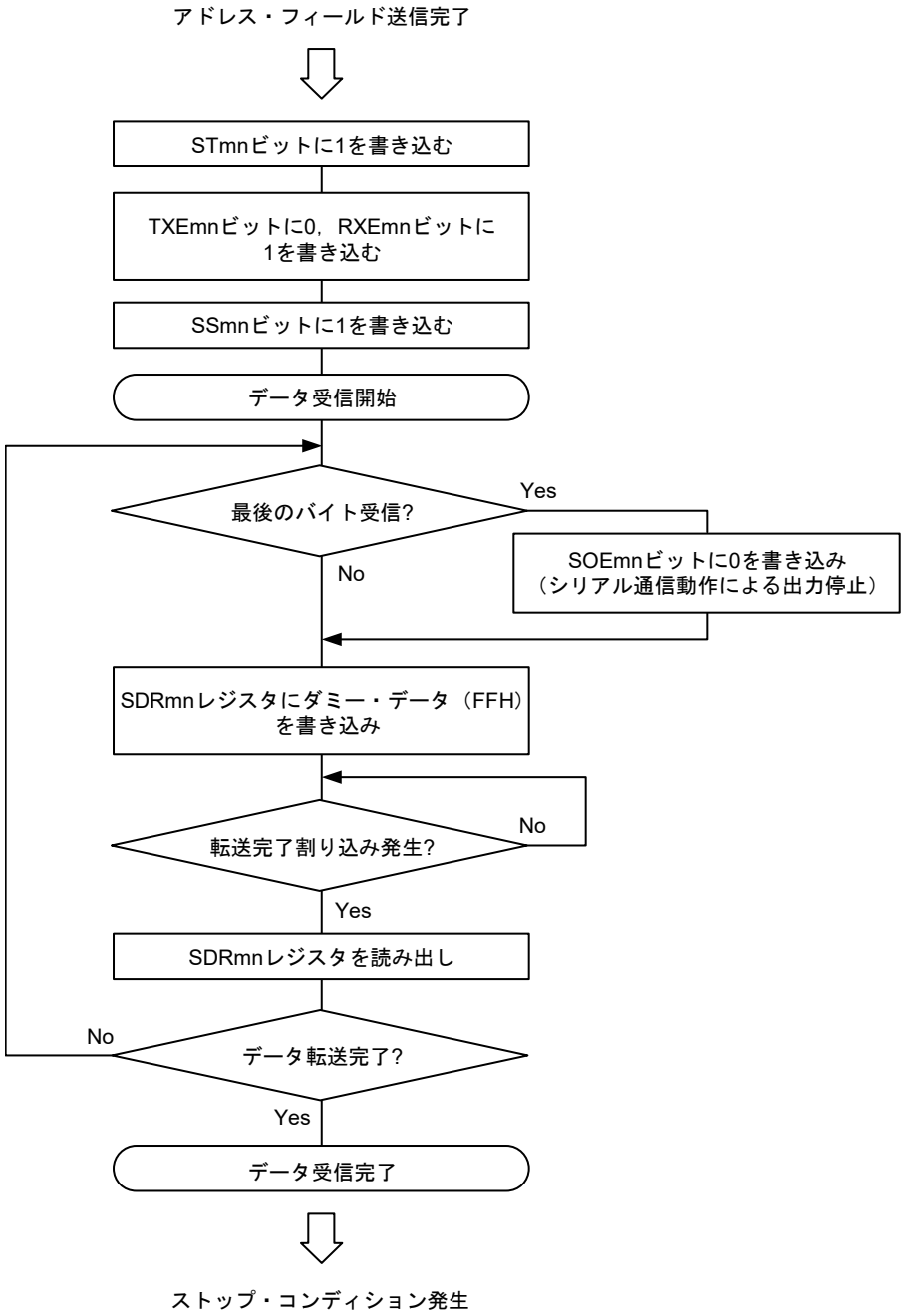


★　(b)　最終データ受信時



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－154　データ受信のフロー・チャート



注意　最終データの受信時は ACK を出力しません（NACK）。その後，シリアル・チャネル停止レジスタ m（STm）の STmn ビットに"1"を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

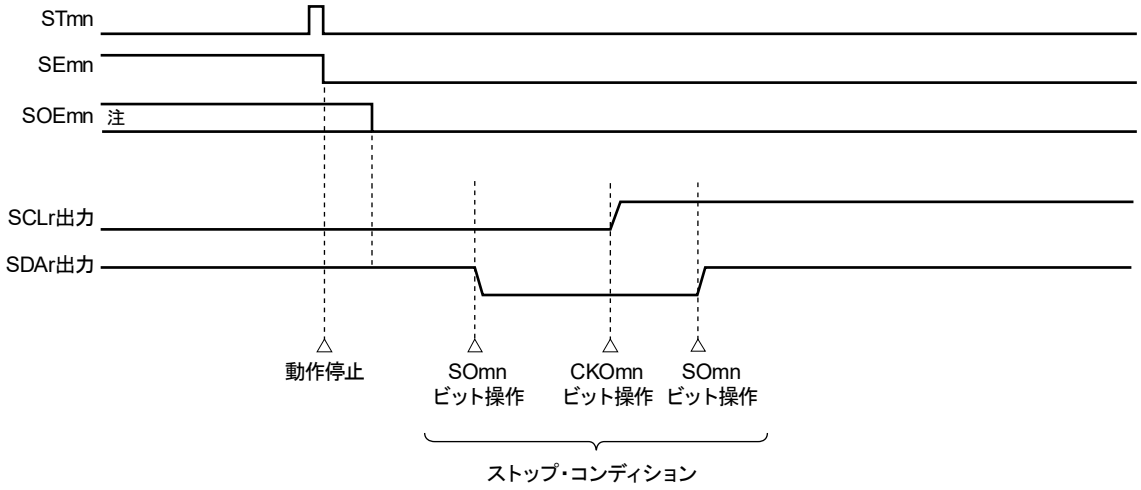
備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.9.4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

(1)　処理フロー

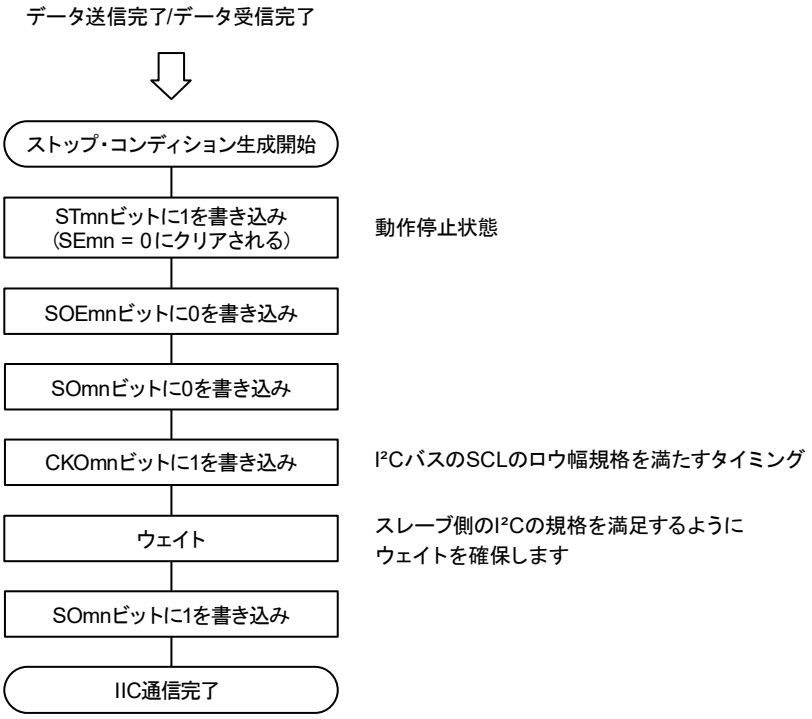
図 15－155　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に，シリアル出力許可レジスタ m（SOEm）の SOEmn ビットを"0"に設定しています。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11），mn = 00, 01, 10, 11

図 15－156　ストップ・コンディション発生のフロー・チャート



備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.9.5　転送レートの算出

簡易I²C（IIC00, IIC01, IIC10, IIC11）通信での転送レートは下記の計算式にて算出できます。

転送レート ＝ 対象チャネルの動作クロック（f_{MCK}）周波数 ÷（SDRmn[15:9] + 1）÷ 2

注意　SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。

備考 1. SDRmn[15:9] は，シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000001B-1111111B）なので，1-127 になります。

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表 15－6　簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注		
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時	f_{CLK} = 40 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz	40 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz	20 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz	10 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz	5 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz	625 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz	40 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz	20 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz	10 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz	5 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz	2.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz	1.25 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz	625 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz	312.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz	156.25 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz	78.125 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz	39.0625 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz	19.53125 kHz
上記以外										設定禁止	設定禁止

注　f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタ m（STm）= 0003H）させてから変更してください。

備考 1. X：Don't care

2. m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

f_{MCK} = f_{CLK} = 32 MHz, 40 MHzの場合のI²C転送レート設定例を示します。

I²C転送モード（希望転送レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}/2	79	100 kHz	0.0%
400 kHz	f_{CLK}	39	400 kHz	0.0%

I²C転送モード（希望転送レート）	f_{CLK} = 40 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}/2	99	100 kHz	0.0%
400 kHz	f_{CLK}	49	400 kHz	0.0%

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.9.6　簡易I²C（IIC00, IIC01, IIC10, IIC11）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00, IIC01, IIC10, IIC11）通信時にエラーが発生した場合の処理手順を図15－157，図15－158に示します。

図 15－157　オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図 15－158　簡易 I²C モード時のパリティ・エラー（ACK エラー）発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに"1"を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"0"となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。 そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに"1"を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"1"となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1），r：IIC 番号（r = 00, 01, 10, 11），mn = 00, 01, 10, 11

第16章　シリアル・インタフェース IICA

16.1　シリアル・インタフェース IICA の機能

シリアル・インタフェース IICA には，次の 3 種類のモードがあります。

(1)　動作 STOP モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2)　I^2C バス・モード（マルチマスタ対応）

シリアル・クロック（SCLA0）とシリアル・データ・バス（SDAA0）の 2 本のラインより，複数のデバイスと 8 ビット・データ転送を行うモードです。

I^2C バス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に"スタート・コンディション"，"アドレス"，"転送方向指定"，"データ"および"ストップ・コンディション"を生成できます。スレーブは，受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムの I^2C バス制御部分を簡単にすることができます。

シリアル・インタフェース IICA では，SCLA0 端子と SDAA0 端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3)　ウェイクアップ・モード

STOP モード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に割り込み要求信号（INTIICA0）を発生し，STOP モードを解除することができます。IICA コントロール・レジスタ 01（IICCTL01）の WUP0 ビットにより設定します。

図 16－1 に，シリアル・インタフェース IICA のブロック図を示します。

図 16－1　シリアル・インタフェース IICA のブロック図

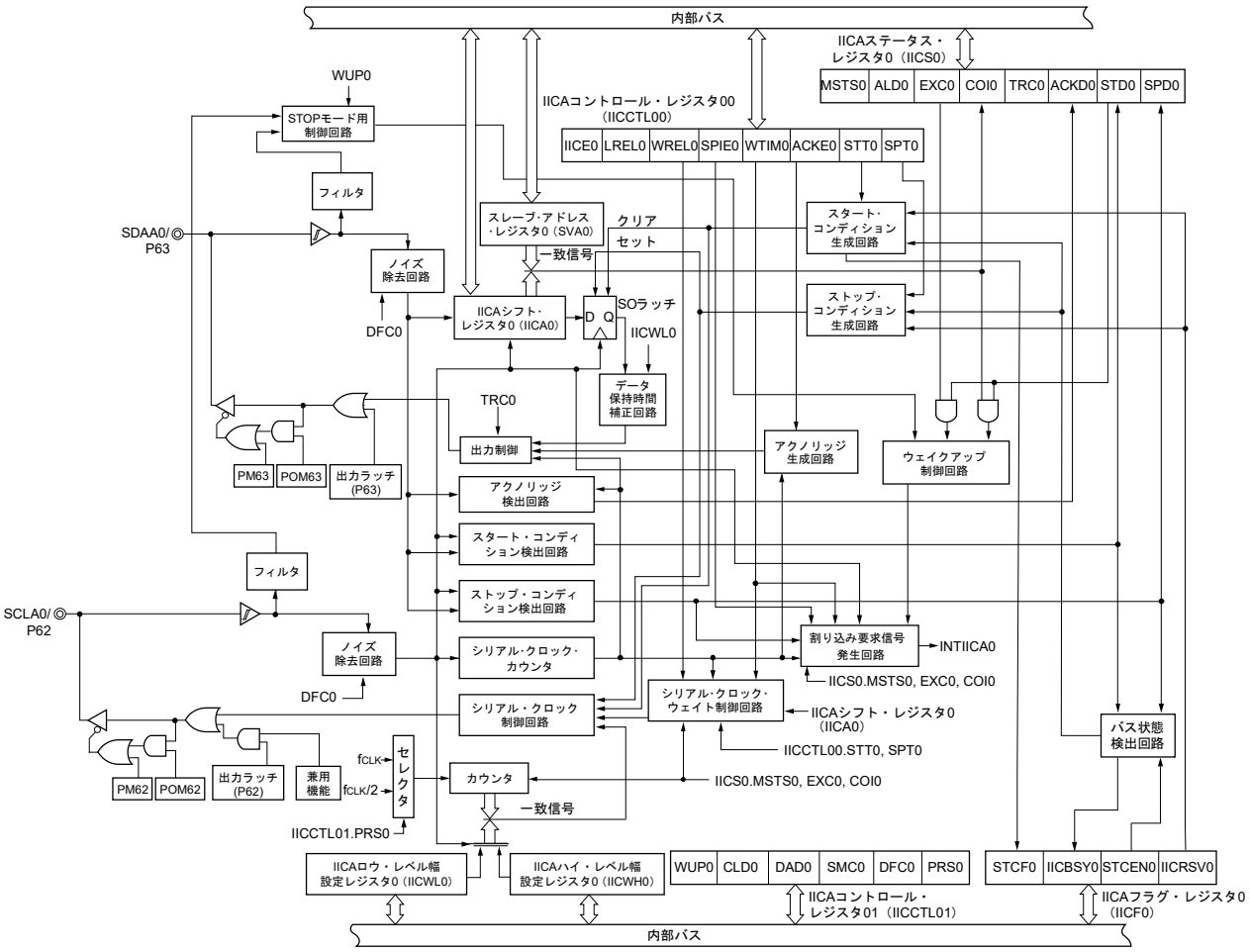
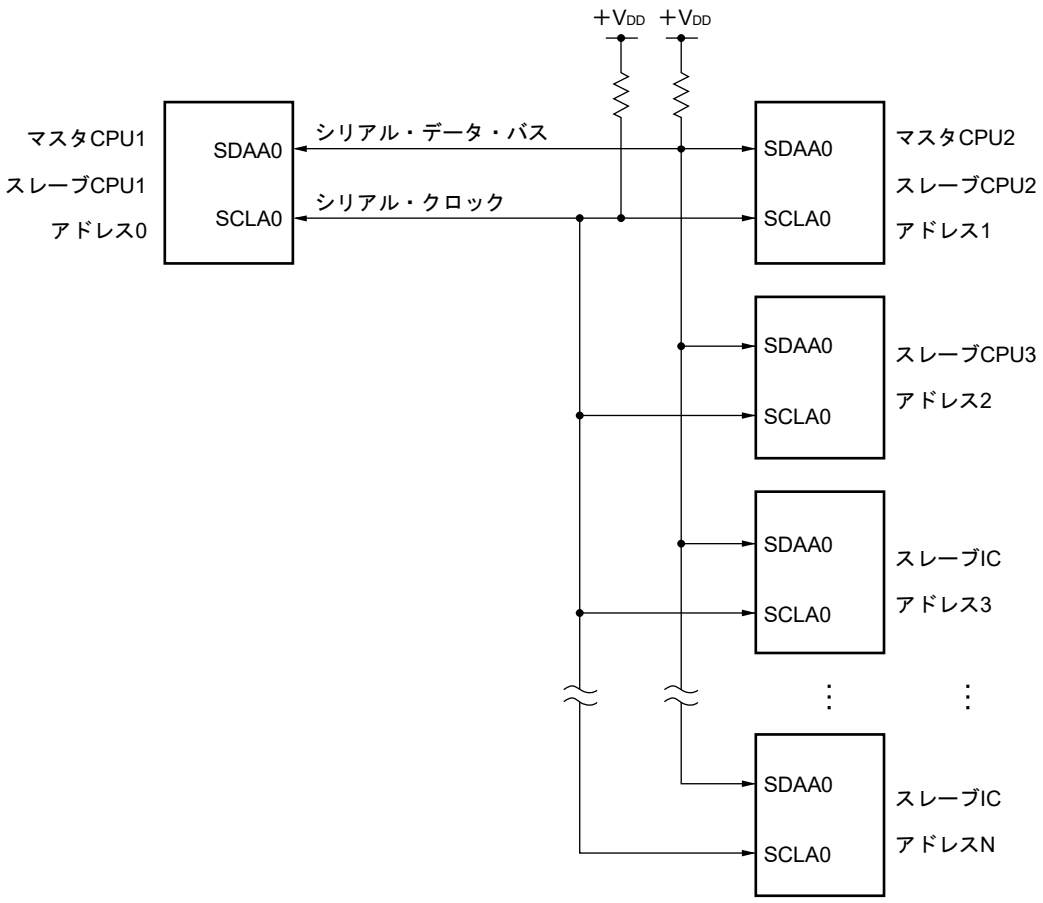


図 16－2 にシリアル・バス構成例を示します。

図 16－2　I²C バスによるシリアル・バス構成例



16.2　シリアル・インタフェース IICA の構成

シリアル・インタフェース IICA は，次のハードウェアで構成されています。

表 16－1　IICA のレジスタ構成

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F00F0H	周辺イネーブル・レジスタ 0	PER0	00H	1, 8
F0230H	IICA コントロール・レジスタ 00	IICCTL00	00H	1, 8
F0231H	IICA コントロール・レジスタ 01	IICCTL01	00H	1, 8
F0232H	IICA ロウ･レベル幅設定レジスタ 0	IICWL0	FFH	8
F0233H	IICA ハイ･レベル幅設定レジスタ 0	IICWH0	FFH	8
F0234H	スレーブ・アドレス・レジスタ 0	SVA0	00H	8
FFF50H	IICA シフト・レジスタ 0	IICA0	00H	8
FFF51H	IICA ステータス・レジスタ 0	IICS0	00H	1, 8
FFF52H	IICA フラグ・レジスタ 0	IICF0	00H	1, 8

備考　ポート・モード・レジスタ 6（PM6），ポート出力モード・レジスタ 6（POM6）については，「16.3.8　ポート・モード・レジスタ 6（PM6）」，「16.3.9　ポート出力モード・レジスタ 6（POM6）」を参照してください。

(1)　IICA シフト・レジスタ 0（IICA0）

IICA0 レジスタは，シリアル・クロックに同期して，8 ビットのシリアル・データを 8 ビットのパラレル・データに，8 ビットのパラレル・データを 8 ビットのシリアル・データに変換するレジスタです。IICA0 レジスタは送信および受信の両方に使用されます。

IICA0 レジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

ウェイト期間中の IICA0 レジスタへの書き込みにより，ウェイトを解除し，データ転送を開始します。

IICA0 レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図 16－3　IICA シフト・レジスタ 0（IICA0）のフォーマット

アドレス：FFF50H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICA0								

注意 1. データ転送中は IICA0 レジスタにデータを書き込まないでください。

2. IICA0 レジスタには，ウェイト期間中にだけ，書き込み／読み出しをしてください。ウェイト期間中を除く通信状態での IICA0 レジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STT0）をセット（1）したあと，1 回書き込みできます。

3. 通信予約時は，ストップ・コンディションによる割り込み検出のあとに IICA0 レジスタにデータを書き込んでください。

(2)　スレーブ・アドレス・レジスタ 0（SVA0）

スレーブとして使用する場合に，自局アドレスの 7 ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVA0 レジスタは，8 ビット・メモリ操作命令で設定します。

ただし，STD0 = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00H になります。

図 16－4　スレーブ・アドレス・レジスタ 0（SVA0）のフォーマット

アドレス：F0234H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0 注

注　ビット 0 は 0 固定です。

(3)　SO ラッチ

SO ラッチは，SDAA0 端子出力レベルを保持するラッチです。

(4)　ウェイクアップ制御回路

スレーブ・アドレス・レジスタ 0（SVA0）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICA0）を発生させる回路です。

(5)　シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8 ビット・データの送受信が行われたことを調べます。

(6)　割り込み要求信号発生回路

割り込み要求信号（INTIICA0）の発生を制御します。

I^2C 割り込み要求は，次の 2 つのトリガで発生します。

- シリアル・クロックの 8 クロック目または 9 クロック目の立ち下がり（WTIM0 ビットで設定）
- ストップ・コンディション検出による割り込み要求発生（SPIE0 ビットで設定）

備考　WTIM0 ビット：IICA コントロール・レジスタ 00（IICCTL00）のビット 3
SPIE0 ビット　：IICA コントロール・レジスタ 00（IICCTL00）のビット 4

(7)　シリアル・クロック制御回路

マスタ・モード時に，SCLA0 端子に出力するクロックをサンプリング・クロックから生成します。

(8)　シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(9) アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STT0 ビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSV0 ビット = 1）で，かつバスが解放されていない（IICBSY0 ビット = 1）場合には，スタート・コンディション要求は無視し，STCF0 ビットをセット（1）します。

(12) ストップ・コンディション生成回路

SPT0 ビットがセット（1）されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCEN0 ビットにより，バス状態検出回路の初期状態を設定してください。

備考　STT0 ビット　　：IICA コントロール・レジスタ 00（IICCTL00）のビット 1
SPT0 ビット　　：IICA コントロール・レジスタ 00（IICCTL00）のビット 0
IICRSV0 ビット：IICA フラグ・レジスタ 0（IICF0）のビット 0
IICBSY0 ビット：IICA フラグ・レジスタ 0（IICF0）のビット 6
STCF0 ビット　：IICA フラグ・レジスタ 0（IICF0）のビット 7
STCEN0 ビット：IICA フラグ・レジスタ 0（IICF0）のビット 1

16.3 シリアル・インタフェース IICA を制御するレジスタ

16.3.1 周辺イネーブル・レジスタ 0（PER0）

PER0 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICA0 を使用するときは，必ずビット 4（IICA0EN）を 1 に設定してください。

PER0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図 16－5　周辺イネーブル・レジスタ 0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

IICA0EN	シリアル・インタフェース IICA0 の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェース IICA0 で使用する SFR へのライト不可 ・シリアル・インタフェース IICA0 はリセット状態
1	入力クロック供給許可 ・シリアル・インタフェース IICA0 で使用する SFR へのリード／ライト可

注意 1. シリアル・インタフェース IICA0 の設定をする際には，必ず最初に IICA0EN = 1 の設定を行ってください。IICA0EN = 0 の場合は，シリアル・インタフェース IICA0 の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ 6（PM6），ポート・レジスタ 6（P6）は除く）。

2. ビット 6 には必ず 0 を設定してください。

16.3.2 IICA コントロール・レジスタ 00（IICCTL00）

I^2C の動作許可／停止，ウェイト・タイミングの設定，その他 I^2C の動作を設定するレジスタです。

IICCTL00 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし，SPIE0, WTIM0, ACKE0 ビットは，IICE0 = 0 のとき，またはウェイト期間中に設定してください。また IICE0 ビットを 0 から 1 に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00H になります。

図 16－6　IICA コントロール・レジスタ 00（IICCTL00）のフォーマット（1/4）

アドレス：F0230H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I^2C の動作許可
0	動作停止。IICA ステータス・レジスタ 0（IICS0）をリセット 注1。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ず SCLA0, SDAA0 ラインがハイ･レベルの状態で行ってください。	
クリアされる条件（IICE0 = 0）	セットされる条件（IICE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

LREL0 注2, 3	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0 ラインはハイ・インピーダンス状態になる。 IICA コントロール・レジスタ 00（IICCTL00），IICA ステータス・レジスタ 0（IICS0）のうち，次のフラグがクリア（0）される。 ・STT0・SPT0・MSTS0・EXC0・COI0・TRC0・ACKD0・STD0
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LREL0 = 0）	セットされる条件（LREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WREL0 注2, 3	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後，自動的にクリアされる。
送信状態（TRC0 = 1）で，9 クロック目のウェイト期間中に WREL0 ビットをセット（ウェイトを解除）した場合，SDAA0 ラインをハイ・インピーダンス（TRC0 = 0）にします。	
クリアされる条件（WREL0 = 0）	セットされる条件（WREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注 1. リセットされるのは，IICA ステータス・レジスタ 0（IICS0），IICA フラグ・レジスタ 0（IICF0）の STCF0，IICBSY0 ビット，IICA コントロール・レジスタ 01（IICCTL01）レジスタの CLD0，DAD0 ビットです。

2. IICE0 = 0 の状態では，このビットの信号は無効になります。

3. LREL0, WREL0 ビットの読み出し値は常に 0 になります。

注意　SCLA0 ラインがハイ･レベル，SDAA0 ラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTL01 レジスタの DFC0 = 1）のときに I^2C を動作許可（IICE0 = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I^2C を動作許可（IICE0 = 1）したあと，連続して 1 ビット・メモリ操作命令により，LREL0 ビットをセット（1）してください。

図 16－6　IICA コントロール・レジスタ 00（IICCTL00）のフォーマット（2/4）

SPIE0 注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICA コントロール・レジスタ 01（IICCTL01）の WUP0 = 1 の場合には，SPIE0 = 1 にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIE0 = 0）	セットされる条件（SPIE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIM0 注1	ウェイトおよび割り込み要求発生の制御
0	8 クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8 クロック出力後，クロック出力をロウ・レベルにしたままウェイト スレーブの場合：8 クロック入力後，クロックをロウ・レベルにしてマスタをウェイト
1	9 クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9 クロック出力後，クロック出力をロウ・レベルにしたままウェイト スレーブの場合：9 クロック入力後，クロックをロウ・レベルにしてマスタをウェイト
アドレス転送中はこのビットの設定にかかわらず，9 クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は 9 クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ（ACK）発生後の 9 クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは，8 クロック目の立ち下がりでウェイトに入ります。	
クリアされる条件（WTIM0 = 0）	セットされる条件（WTIM0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKE0 注1,2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9 クロック期間中に SDAA0 ラインをロウ・レベルにする。
クリアされる条件（ACKE0 = 0）	セットされる条件（ACKE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注 1. IICE0 = 0 の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2. アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

図 16－6　IICA コントロール・レジスタ 00（IICCTL00）のフォーマット（3/4）

STT0 注	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSY0 が 0 のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV0 = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0 = 1） セット（1）しても STT0 ビットはクリアされ，STT0 クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。 ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0 に設定し，受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9 クロック目出力後のウェイト期間中にセット（1）してください。

・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。

・STT0 ビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。

クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
・通信予約禁止状態での STT0 ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注　IICE0 = 0 の状態では，このビットの信号は無効になります。

備考 1. ビット 1（STT0）は，データ設定後に読み出すと 0 になっています。

2. IICRSV0　：IICA フラグ・レジスタ 0（IICF0）のビット 0

STCF0　　：IICA フラグ・レジスタ 0（IICF0）のビット 7

図 16－6　IICA コントロール・レジスタ 00（IICCTL00）のフォーマット（4/4）

<table>
<tr><th>SPT0</th><th>ストップ・コンディション・トリガ</th></tr>
<tr><td>0</td><td>ストップ・コンディションを生成しない。</td></tr>
<tr><td>1</td><td>ストップ・コンディションを生成する（マスタとしての転送終了）。</td></tr>
<tr><td colspan="2">セット・タイミングに関する注意
・マスタ受信の場合：転送中のセット（1）は禁止です。
ACKE0 = 0 に設定し，受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット（1）可能です。
・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。
9 クロック出力後のウェイト期間中にセットしてください。
・スタート・コンディション・トリガ（STT0）と同時にセット（1）することは禁止です。
・SPT0 ビットのセット（1）は，マスタのときのみ行ってください。
・WTIM0 = 0 設定時に，8 クロック出力後のウェイト期間中に SPT0 ビットをセット（1）すると，ウェイト解除後，9 クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8 クロック出力後のウェイト期間中に WTIM0 = 0→1 に設定し，9 クロック目出力後のウェイト期間中に SPT0 ビットをセット（1）してください。
・SPT0 ビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。</td></tr>
<tr><td>クリアされる条件（SPT0 = 0）</td><td>セットされる条件（SPT0 = 1）</td></tr>
<tr><td>・アービトレーションに負けたとき
・ストップ・コンディション検出後，自動的にクリア
・LREL0 = 1（通信退避）によるクリア
・IICE0 = 0（動作停止）のとき
・リセット時</td><td>・命令によるセット</td></tr>
</table>

注意　IICA ステータス・レジスタ 0（IICS0）のビット 3（TRC0）　= 1（送信状態）のとき，9 クロック目に IICCTL00 レジスタのビット 5（WREL0）をセット（1）してウェイト解除すると，TRC0 ビットをクリア（受信状態）して SDAA0 ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるウェイト解除は，IICA シフト・レジスタ 0 への書き込みで行ってください。

備考　ビット 0（SPT0）は，データ設定後に読み出すと 0 になっています。

16.3.3　IICA ステータス・レジスタ 0（IICS0）

I²C のステータスを表すレジスタです。

IICS0 レジスタは，STT0 = 1 およびウェイト期間中のみ，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00H になります。

注意　STOP モード状態時のアドレス一致ウェイクアップ機能動作許可（WUP0=1）状態での IICS0 レジスタの読み出しは禁止です。WUP0 = 1 の状態から，INTIICA0 割り込み要求と関係なく WUP0 ビットを 1→0（ウェイクアップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウェイクアップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIE0 = 1）して割り込み検出後に IICS0 レジスタを読み出してください。

備考　STT0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 1
WUP0：IICA コントロール・レジスタ 01（IICCTL01）のビット 7

図 16－7　IICA ステータス・レジスタ 0（IICS0）のフォーマット（1/3）

アドレス：FFF51H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTS0 = 0）	セットされる条件（MSTS0 = 1）
・ストップ・コンディション検出時 ・ALD0 = 1（アービトレーション負け）のとき ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0 ビットがクリアされる。

クリアされる条件（ALD0 = 0）	セットされる条件（ALD0 = 1）
・IICS0 レジスタ読み出し後，自動的にクリア 注 ・IICE0 = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

注　IICS0 レジスタのほかのビットに対し 1 ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALD0 ビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考　LREL0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 6
IICE0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 7

図 16－7　IICA ステータス・レジスタ 0（IICS0）のフォーマット（2/3）

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXC0 = 0）	セットされる条件（EXC0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位 4 ビットが 0000 または 1111 のとき（8 クロック目の立ち上がりでセット）

COI0	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COI0 = 0）	セットされる条件（COI0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタ 0（SVA0））と一致したとき（8 クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDAA0 ラインをハイ・インピーダンスにする。
1	送信状態。SDAA0 ラインに SO0 ラッチの値が出力できるようにする（1 バイト目の 9 クロック目の立ち下がり以降有効）。

クリアされる条件（TRC0 = 0）	セットされる条件（TRC0 = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・WREL0 = 1（ウェイト解除）によるクリア 注 ・ALD0 = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTS0, EXC0, COI0 = 0） ＜マスタの場合＞ ・1 バイト目の LSB（転送方向指定ビット）に 1 を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1 バイト目の LSB（転送方向指定ビット）に 0 を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1 バイト目（アドレス転送時）の LSB（転送方向指定ビット）に 0（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの 1 バイト目（アドレス転送時）の LSB（転送方向指定ビット）に 1（スレーブ送信）が入力されたとき

注　IICA ステータス・レジスタ 0（IICS0）のビット 3（TRC0）= 1（送信状態）のとき，9 クロック目に IICA コントロール・レジスタ 00（IICCTL00）のビット 5（WREL0）をセット（1）してウェイトを解除すると，TRC0 ビットをクリア（受信状態）して SDAA0 ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるウェイト解除は，IICA シフト・レジスタ 0 への書き込みで行ってください。

備考　LREL0 ：IICA コントロール・レジスタ 00（IICCTL00）のビット 6
　　IICE0 ：IICA コントロール・レジスタ 00（IICCTL00）のビット 7

図 16－7　IICA ステータス・レジスタ 0（IICS0）のフォーマット（3/3）

ACKD0	アクノリッジ（ACK）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKD0 = 0）	セットされる条件（ACKD0 = 1）
・ストップ・コンディション検出時 ・次のバイトの 1 クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・SCLA0 ラインの 9 クロック目の立ち上がり時に SDAA0 ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STD0 = 0）	セットされる条件（STD0 = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの 1 クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPD0 = 0）	セットされる条件（SPD0 = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの 1 クロック目の立ち上がり時 ・WUP0 = 1→0 のとき ・IICE0 = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考　LREL0 ：IICA コントロール・レジスタ 00（IICCTL00）のビット 6
　　IICE0 ：IICA コントロール・レジスタ 00（IICCTL00）のビット 7

16.3.4　IICA フラグ・レジスタ 0（IICF0）

I²C の動作モードの設定と，I²C バスの状態を表すレジスタです。

IICF0 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし，STT0 クリア・フラグ（STCF0），I²C バス状態フラグ（IICBSY0）は読み出しのみ可能です。

IICRSV0 ビットにより，通信予約機能の禁止／許可を設定します。

また STCEN0 ビットにより，IICBSY0 ビットの初期値を設定します。

IICRSV0，STCEN0 ビットは I²C が動作禁止（IICA コントロール・レジスタ 00（IICCTL00）のビット 7（IICE0）= 0）のときのみ書き込み可能です。動作許可後，IICF0 レジスタは読み出しのみ可能となります。

リセット信号の発生により，00H になります。

図 16－8　IICA フラグ・レジスタ 0（IICF0）のフォーマット

アドレス：FFF52H　リセット時：00H　R/W 注

略号	7	6	5	4	3	2	1	0
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0 クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0 フラグ・クリア。

クリアされる条件（STCF0 = 0）	セットされる条件（STCF0 = 1）
・STT0 = 1 によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSV0 = 1）設定時にスタート・コンディション発行できず，STT0 ビットがクリア（0）されたとき

IICBSY0	I^2C バス状態フラグ
0	バス解放状態（STCEN0 = 1 時の通信初期状態）。
1	バス通信状態（STCEN0 = 0 時の通信初期状態）。

クリアされる条件（IICBSY0 = 0）	セットされる条件（IICBSY0 = 1）
・ストップ・コンディション検出時 ・IICE0 = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCEN0 = 0 時の IICE0 ビットのセット

STCEN0	初期スタート許可トリガ
0	動作許可（IICE0 = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICE0 = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCEN0 = 0）	セットされる条件（STCEN0 = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSV0	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSV0 = 0）	セットされる条件（IICRSV0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット 6, 7 はリード・オンリです。

注意 1. STCEN0 ビットへの書き込みは動作停止（IICE0 = 0）時のみ行ってください。

2. STCEN0 = 1 とした場合，実際のバス状態にかかわらずバス解放状態（IICBSY0 = 0）と認識しますので，1 回目のスタート・コンディションを発行（STT0 = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSV0 への書き込みは動作停止（IICE0 = 0）時のみ行ってください。

備考　STT0 ：IICA コントロール・レジスタ 00（IICCTL00）のビット 1

IICE0 ：IICA コントロール・レジスタ 00（IICCTL00）のビット 7

16.3.5　IICA コントロール・レジスタ 01（IICCTL01）

I²C の動作モードの設定や SCLA0, SDAA0 端子状態を検出するためのレジスタです。

IICCTL01 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし，CLD0，DAD0 ビットは読み出しのみ可能です。

IICCTL01 レジスタは，WUP0 ビットを除き I²C が動作禁止（IICA コントロール・レジスタ 00（IICCTL00）のビット 7（IICE0）　= 0）のときに設定してください。

リセット信号の発生により，00H になります。

図 16－9　IICA コントロール・レジスタ 01（IICCTL01）のフォーマット（1/2）

アドレス：F0231H　リセット時：00H　R/W 注 1

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	アドレス一致ウェイクアップの制御
0	STOP モード状態時のアドレス一致ウェイクアップ機能動作停止
1	STOP モード状態時のアドレス一致ウェイクアップ機能動作許可

WUP0 = 1 で STOP モードに移行する場合は，WUP0 ビットをセット（1）して f_{MCK} の 3 クロック以上経過後に STOP 命令を実行してください（「図 16－23　WUP0 = 1 を設定する場合のフロー」を参照）。
アドレス一致，または拡張コード受信後は WUP0 ビットをクリア（0）してください。WUP0 ビットをクリア（0）することで，その後の通信に参加する事ができます（ウェイト解除および送信データ書き込みは，WUP0 ビットをクリア（0）したあとに行う必要があります）。
WUP0 = 1 の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUP0 = 0 の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUP0 = 1 の場合には，SPIE0 = 1 にしてもストップ・コンディション割り込みは発生しません。

クリアされる条件（WUP0 = 0）	セットされる条件（WUP0 = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTS0, EXC0, COI0 = 0 であり，STD0 = 0（通信に不参加である事）のとき）注 2

注 1. ビット 4, 5 は Read Only です。

2. 次に示す期間に，IICA ステータス・レジスタ 0（IICS0）の状態を確認しセットする必要があります。

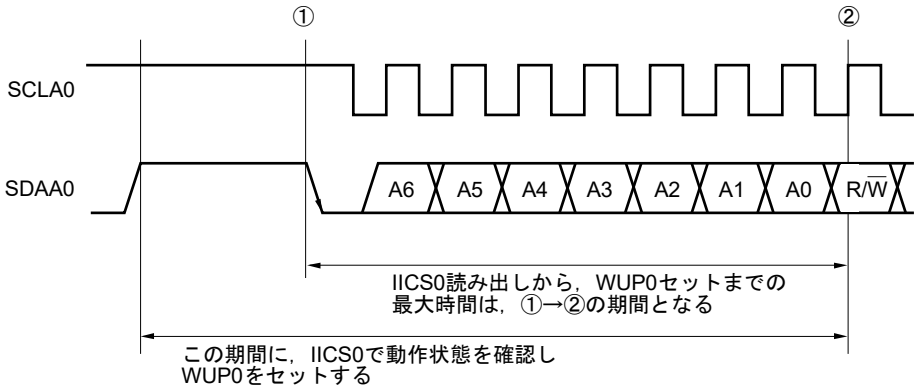


図 16－9　IICA コントロール・レジスタ 01（IICCTL01）のフォーマット（2/2）

CLD0	SCLA0 端子のレベル検出（IICE0 = 1 のときのみ有効）
0	SCLA0 端子がロウ・レベルであることを検出
1	SCLA0 端子がハイ・レベルであることを検出

クリアされる条件（CLD0 = 0）	セットされる条件（CLD0 = 1）
・SCLA0 端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SCLA0 端子がハイ・レベルのとき

DAD0	SDAA0 端子のレベル検出（IICE0 = 1 のときのみ有効）
0	SDAA0 端子がロウ・レベルであることを検出
1	SDAA0 端子がハイ・レベルであることを検出

クリアされる条件（DAD0 = 0）	セットされる条件（DAD0 = 1）
・SDAA0 端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SDAA0 端子がハイ・レベルのとき

SMC0	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

デジタル・フィルタは，ファースト・モード時にのみ使用できます。
ファースト・モードおよびファースト・モード・プラス時は DFCn ビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。
デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時にノイズ除去のために使用します。

PRS0	IICA 動作クロック（f_{MCK}）の制御
0	f_{CLK} を選択（1MHz≦f_{CLK}≦20MHz）
1	f_{CLK}/2 を選択（20MHz＜f_{CLK}）

注意 1.　IICA 動作クロック（f_{MCK}）の最高動作周波数は 20MHz（Max.）です。f_{CLK} が 20MHz を超える場合のみ，IICA コントロール・レジスタ 01（IICCTL01）のビット 0（PRS0）に"1"を設定してください。

2.　転送クロックを設定する場合は，f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時　　：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時　：f_{CLK} = 10 MHz（Min.）
標準モード時　　：f_{CLK} = 1 MHz（Min.）

備考　IICE0：IICA コントロール・レジスタ 00（IICCTL00）のビット 7

16.3.6　IICA ロウ・レベル幅設定レジスタ 0（IICWL0）

シリアル・インタフェース IICA が，出力する SCLA0 端子信号のロウ・レベル幅（t_{LOW}）を設定するレジスタです。

IICWL0 レジスタは，8 ビット・メモリ操作命令で設定します。

IICWL0 レジスタは，I^2C が動作禁止（IICA コントロール・レジスタ 00（IICCTL00）のビット 7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFH になります。

IICWL0 の設定方法については「16.4.2　IICWL0, IICWH0 レジスタによる転送クロック設定方法」を参照してください。

データ・ホールド時間は，IICWL0 レジスタによる設定時間の 1/4 です。

図 16－10　IICA ロウ･レベル幅設定レジスタ 0（IICWL0）のフォーマット

アドレス：F0232H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWL0								

16.3.7　IICA ハイ・レベル幅設定レジスタ 0（IICWH0）

シリアル・インタフェース IICA が，出力する SCLA0 端子信号のハイ・レベル幅を設定するレジスタです。

IICWH0 レジスタは，8 ビット・メモリ操作命令で設定します。

IICWH0 レジスタは，I^2C が動作禁止（IICA コントロール・レジスタ 00（IICCTL00）のビット 7（IICE0）= 0）のときに設定してください。

★　IICWH0 の設定方法については，「16.4.2　IICWL0, IICWH0 レジスタによる転送クロック設定方法」を参照してください。

リセット信号の発生により，FFH になります。

図 16－11　IICA ハイ･レベル幅設定レジスタ 0（IICWH0）のフォーマット

アドレス：F0233H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWH0								

★　**備考**　シリアル・クロックの最小周期は，(IICWL0 + 1) + (IICWH0 + 1) になります。

16.3.8　ポート・モード・レジスタ 6（PM6）

ポート 6 の入力／出力を 1 ビット単位で設定するレジスタです。

P62/SCLA0 端子をクロック入出力，P63/SDAA0 端子をシリアル・データ入出力として使用するとき，PM62, PM63 および P62, P63 の出力ラッチに 0 を設定してください。

IICE0（IICA コントロール・レジスタ 00（IICCTL00）のビット 7）が 0 の場合，P62/SCLA0 端子および P63/SDAA0 端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0 ビットに 1 を設定してから，行ってください。

PM6 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFH になります。

図 16－12　ポート・モード・レジスタ 6（PM6）のフォーマット（100 ピン製品）

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	P6n 端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　シリアル・インタフェース IICA では，PM62, PM63 を使用します。

16.3.9　ポート出力モード・レジスタ 6（POM6）

P60-P63 の出力モードを 1 ビット単位で設定するレジスタです。

I^2C 通信時の SCLA0, SDAA0 端子に N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モードを選択できます。

P62/SCLA0 端子をクロック入出力，P63/SDAA0 端子をシリアル・データ入出力として使用するとき，POM62, POM63 に 1 を設定してください。

IICE0（IICA コントロール・レジスタ 00（IICCTL00）のビット 7）が 0 の場合，P62/SCLA0 端子および P63/SDAA0 端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0 ビットに 1 を設定してから，行ってください。

POM6 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 16－13　ポート出力モード・レジスタ 6（POM6）のフォーマット

アドレス：F0056H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	POM63	POM62	POM61	POM60

POMmn	P6n 端子の出力モードの選択（n = 0-3）
0	通常出力モード
1	N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード

注意　シリアル・インタフェース IICA では，POM62, POM63 を使用します。

16.4 I²C バス・モードの機能

16.4.1 端子構成

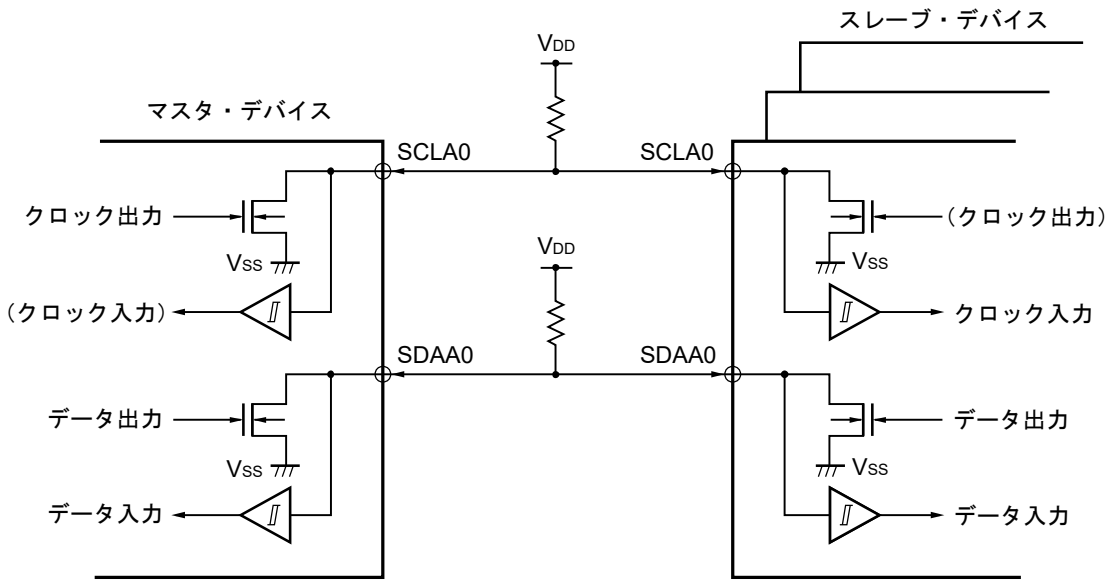
シリアル・クロック端子（SCLA0）と，シリアル・データ・バス端子（SDAA0）の構成は，次のようになっています。

(1) SCLA0……シリアル・クロックを入出力するための端子。
マスタ，スレーブともに，出力は N-ch オープン・ドレイン。入力はシュミット入力。

(2) SDAA0……シリアル・データの入出力兼用端子。
マスタ，スレーブともに，出力は N-ch オープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力が N-ch オープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図 16－14　端子構成図



16.4.2　IICWL0, IICWH0 レジスタによる転送クロック設定方法

(1)　マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL0 + IICWH0 + f_{MCK}(t_R + t_F)}$$

このとき，最適な IICWL0 レジスタと IICWH0 レジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

- ファースト･モード時

$$IICWL0 = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- 標準モード時

$$IICWL0 = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- ファースト･モード･プラス時

$$IICWL0 = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

(2)　スレーブ側の IICWL0, IICWH0 レジスタ設定方法（設定値はすべて小数点以下切り上げ）

- ファースト･モード時

  $IICWL0 = 1.3\ \mu s \times f_{MCK}$

  $IICWH0 = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$

- 標準モード時

  $IICWL0 = 4.7\ \mu s \times f_{MCK}$

  $IICWH0 = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$

- ファースト･モード･プラス時

  $IICWL0 = 0.50\ \mu s \times f_{MCK}$

  $IICWH0 = (0.50\ \mu s - t_R - t_F) \times f_{MCK}$

注意 1. IICA 動作クロック（f_{MCK}）の最高動作周波数は 20MHz（Max.）です。f_{CLK} が 20MHz を超える場合のみ，IICA コントロール・レジスタ 01（IICCTL01）のビット 0（PRS0）に"1"を設定してください。

2. 転送クロックを設定する場合は，f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェース IICA はモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時　：f_{CLK} = 10 MHz（Min.）
標準モード時　：f_{CLK} = 1 MHz（Min.）

★ **3. シリアル・クロックの最小周期は，(IICWL0 + 1) + (IICWH0 + 1) になります。SDAA0, SCLA0 信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）を考慮し，IICWL0, IICWH0 レジスタに設定する値を決めてください。**

（**備考**が次のページにあります。）

備考 1. SDAA0, SCLA0 信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

2. IICWL0 ：IICA ロウ・レベル幅設定レジスタ 0

IICWH0 ：IICA ハイ・レベル幅設定レジスタ 0

t_F ：SDAA0, SCLA0 信号の立ち下がり時間

t_R ：SDAA0, SCLA0 信号の立ち上がり時間

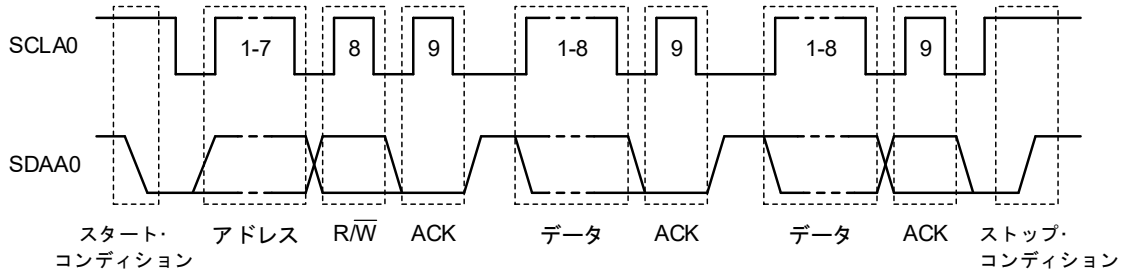
f_{MCK} ：IICA 動作クロック周波数

16.5 I²C バスの定義および制御方法

I²C バスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²C バスのシリアル・データ・バス上に生成されている"スタート・コンディション"，"アドレス"，"データ"および"ストップ・コンディション"の各転送タイミングを図 16－15 に示します。

図 16－15　I²C バスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

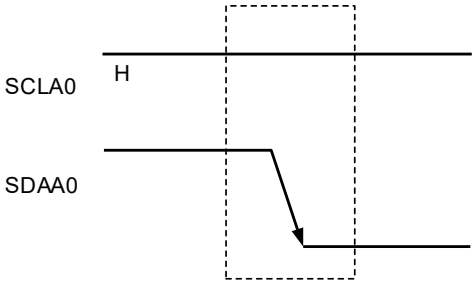
アクノリッジ（ACK）は，マスタ，スレーブのどちらでも生成できます（通常，8 ビット・データの受信側が出力します）。

シリアル・クロック（SCLA0）は，マスタが出力し続けます。ただし，スレーブは SCLA0 端子のロウ・レベル期間を延長し，ウェイトを挿入できます。

16.5.1　スタート・コンディション

SCLA0 端子がハイ・レベルのときに，SDAA0 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0 端子，SDAA0 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図 16－16　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0：IICA ステータス・レジスタ 0（IICS0）のビット 0 = 1）のときに IICA コントロール・レジスタ 00（IICCTL00）のビット 1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0 レジスタのビット 1（STD0）がセット（1）されます。

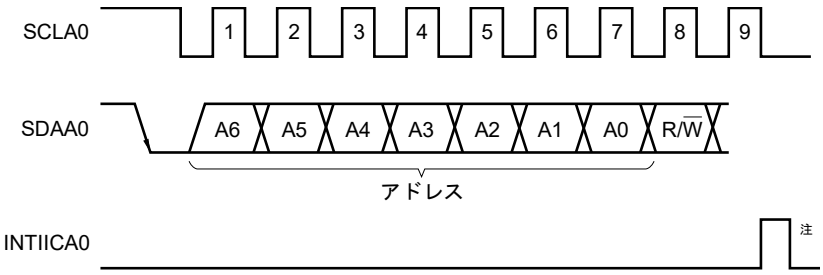
16.5.2　アドレス

スタート・コンディションに続く 7 ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する 7 ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウェアでこの条件を検出し，さらに，7 ビット・データがスレーブ・アドレス・レジスタ 0（SVA0）と一致しているかを調べます。このとき，7 ビット・データと SVA0 レジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図 16－17　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0 は発生しません。

アドレスは，スレーブのアドレスと「16.5.3　転送方向指定」に説明する転送方向を合わせて 8 ビットとして IICA シフト・レジスタ 0（IICA0）に書き込むと出力します。また，受信したアドレスは IICA0 レジスタに書き込まれます。

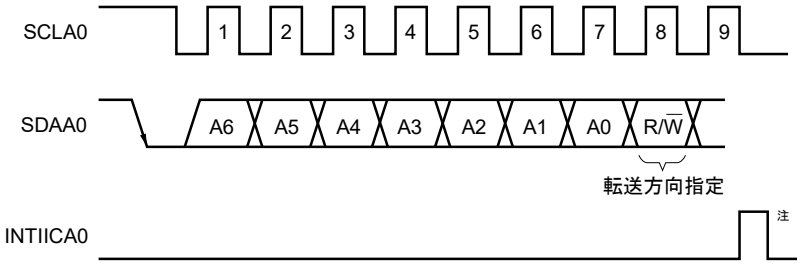
なお，スレーブのアドレスは，IICA0 レジスタの上位 7 ビットに割り当てられます。

16.5.3　転送方向指定

マスタは，7 ビットのアドレスに続いて，転送方向を指定するための 1 ビット・データを送信します。

この転送方向指定ビットが 0 のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが 1 のとき，マスタがスレーブからデータを受信することを示します。

図 16－18　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0 は発生しません。

16.5.4　アクノリッジ（ACK）

アクノリッジ（ACK）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8 ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICA ステータス・レジスタ 0（IICS0）のビット 2（ACKD0）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

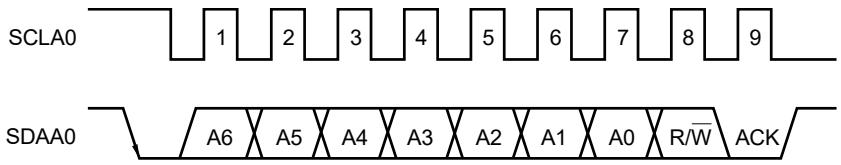
アクノリッジ生成は，受信側が 9 クロック目に SDAA0 ラインをロウ・レベルにすることによって行われます（正常受信）。

IICA コントロール・レジスタ 00（IICCTL00）のビット 2（ACKE0）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7 ビットのアドレス情報に続く 8 ビット目のデータにより IICS0 レジスタのビット 3（TRC0）が設定されます。受信（TRC0 = 0）の場合は，通常，ACKE0 ビットをセット（1）してください。

スレーブ受信動作時（TRC0 = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKE0 ビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0 = 0）に，次のデータを必要としない場合，アクノリッジを生成しないように ACKE0 ビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図 16－19　アクノリッジ



自局アドレス受信時は，ACKE0 ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめ ACKE0 ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，ウェイト・タイミングの設定により次のように異なります。

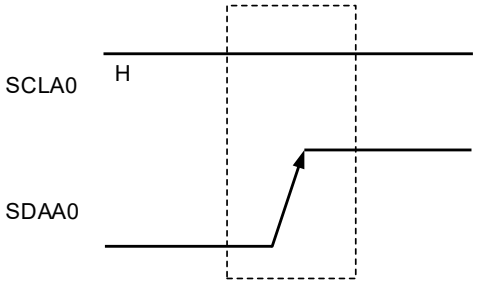
- 8 クロック・ウェイト選択時（IICCTL00 レジスタのビット 3（WTIM0）　= 0）：
  ウェイト解除を行う前に ACKE0 ビットをセット（1）することによって，SCLA0 端子の 8 クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9 クロック・ウェイト選択時（IICCTL00 レジスタのビット 3（WTIM0）　= 1）：
  あらかじめ ACKE0 ビットをセット（1）することによって，アクノリッジを生成します。

16.5.5　ストップ・コンディション

SCLA0 端子がハイ・レベルのときに，SDAA0 端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図 16－20　ストップ・コンディション



ストップ・コンディションは，IICA コントロール・レジスタ 00（IICCTL00）のビット 0（SPT0）をセット（1）すると発生します。また，ストップ・コンディションを検出すると IICA ステータス・レジスタ 0（IICS0）のビット 0（SPD0）がセット（1）され，IICCTL00 レジスタのビット 4（SPIE0）がセット（1）されている場合には INTIICA0 が発生します。

16.5.6　ウェイト

ウェイトによっては，マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCLA0 端子をロウ・レベルにすることにより，相手にウェイト状態を知らせます。マスタ，スレーブ両方のウェイト状態が解除されると，次の転送を開始できます。

図 16－21　ウェイト（1/2）

(1)　マスタは 9 クロック・ウェイト，スレーブは 8 クロック・ウェイト時

（マスタ：送信，スレーブ：受信，ACKE0 = 1）

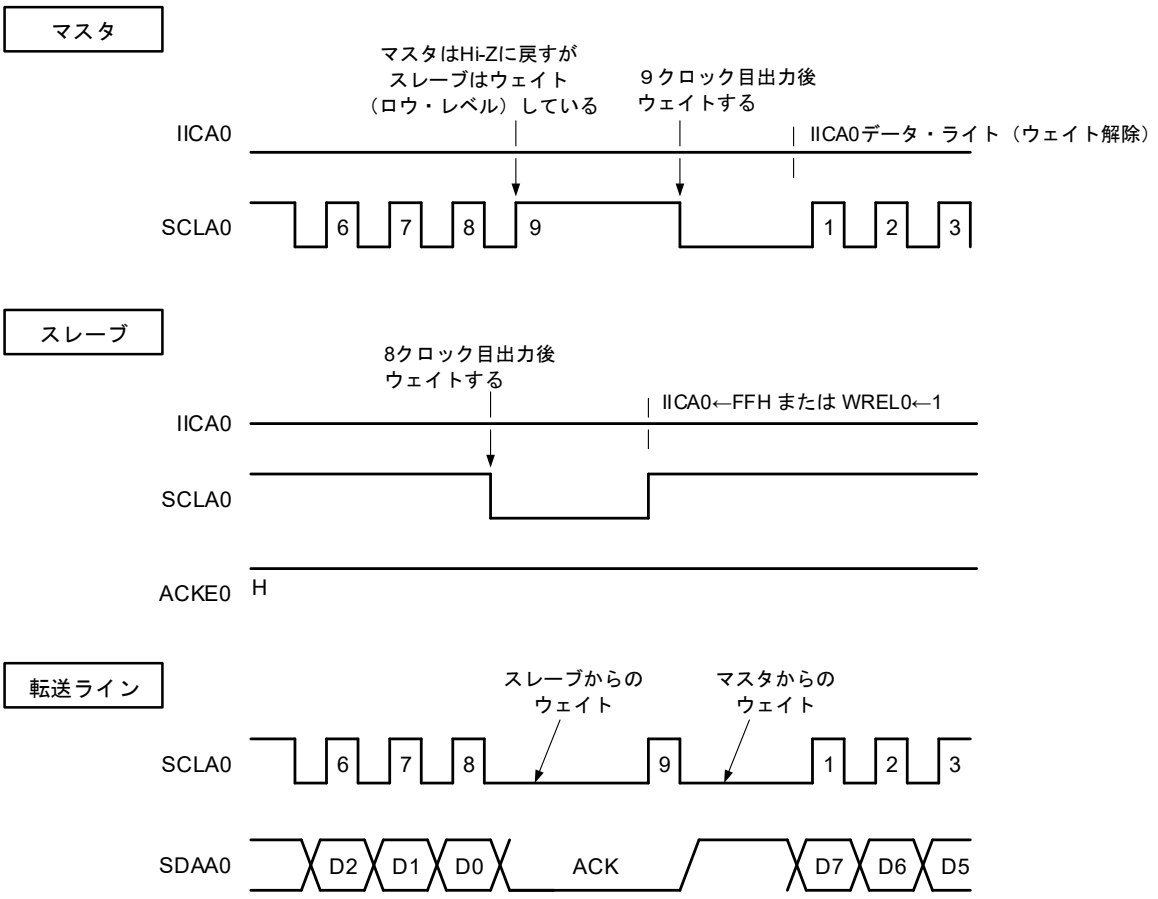
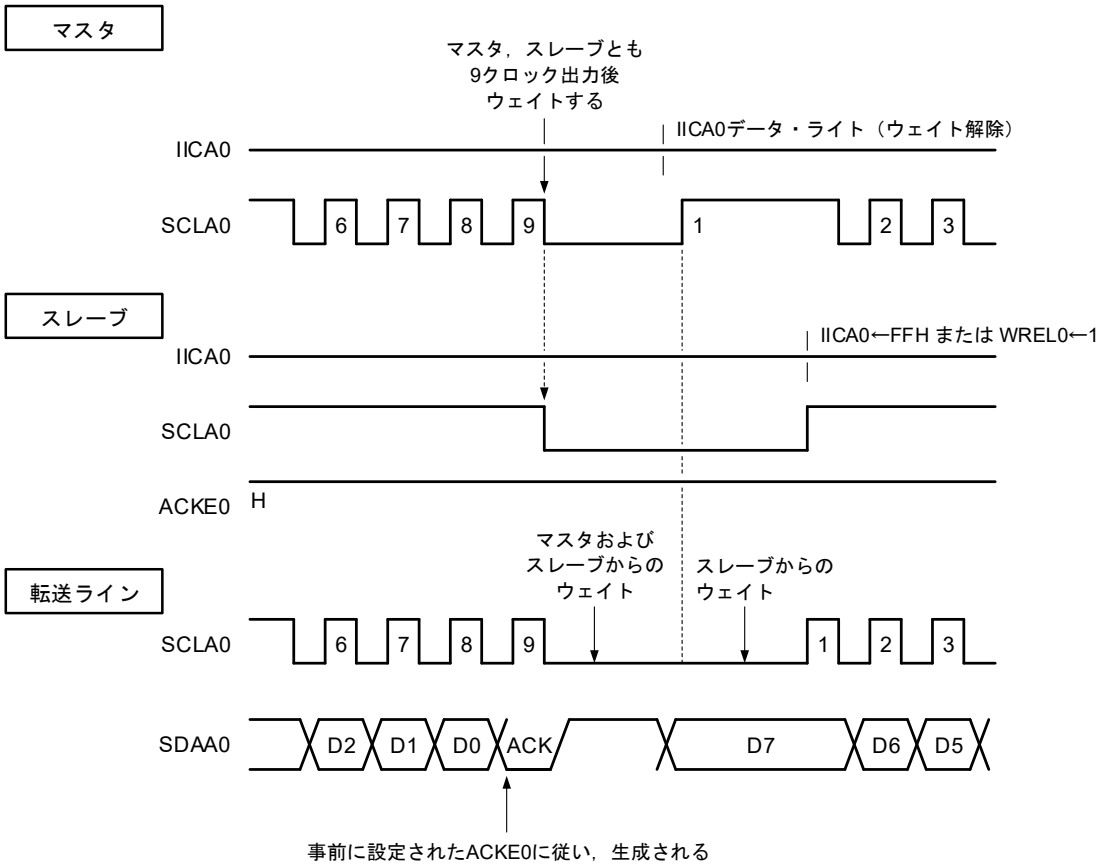


図 16－21　ウェイト（2/2）

(2)　マスタ，スレーブとも 9 クロック・ウェイト時

（マスタ：送信，スレーブ：受信，ACKE0 = 1）



備考　ACKE0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 2

WREL0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 5

ウェイトは，IICA コントロール・レジスタ 00（IICCTL00）のビット 3（WTIM0）の設定により自動的に発生します。

通常，受信側は IICCTL00 レジスタのビット 5（WREL0 ビット）= 1 または IICA シフト・レジスタ 0（IICA0）に FFH を書き込むとウェイトを解除し，送信側は IICA0 レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は，次の方法でもウェイトを解除できます。

- IICCTL00 レジスタのビット 1（STT0）　= 1
- IICCTL00 レジスタのビット 0（SPT0）　= 1

16.5.7　ウェイト解除方法

I²C では，通常，次のような処理でウェイトを解除できます。

- IICA シフト・レジスタ 0（IICA0）へのデータ書き込み
- IICA コントロール・レジスタ 00（IICCTL00）のビット 5（WREL0）のセット（ウェイト解除）
- IICCTL00 レジスタのビット 1（STT0）のセット（スタート・コンディションの生成）注
- IICCTL00 レジスタのビット 0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

これらのウェイト解除処理を実行した場合，I2C はウェイトを解除し，通信が再開されます。

ウェイトを解除してデータ（アドレスを含む）を送信する場合には，IICA0 レジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTL00 レジスタのビット 5（WREL0）をセット（1）してください。

ウェイト解除後にリスタート・コンディションを生成する場合には，IICCTL00 レジスタのビット 1（STT0）をセット（1）してください。

ウェイト解除後にストップ・コンディションを生成する場合には，IICCTL00 レジスタのビット 0（SPT0）をセット（1）してください。

1 回のウェイト状態に対して 1 回だけ解除処理を実行してください。

たとえば，WREL0 ビットにセット（1）によるウェイト解除後，IICA0 レジスタへのデータ書き込みを実施した場合には，SDAA0 ラインの変化タイミングと IICA0 レジスタへの書き込みタイミングの競合により，SDAA0 ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICE0 ビットをクリア（0）すると通信を停止するので，ウェイトを解除できます。

I²C バスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTL00 レジスタのビット 6（LREL0）をセット（1）すると通信から退避するので，ウェイトを解除できます。

注意　WUP0 = 1 のときにウェイト解除処理を実行した場合，ウェイトは解除されません。

16.5.8　割り込み要求（INTIICA0）発生タイミングおよびウェイト制御

IICA コントロール・レジスタ 00（IICCTL00）のビット 3（WTIM0）の設定で，表 16－2 に示すタイミングで INTIICA0 が発生し，また，ウェイト制御を行います。

表 16－2　INTIICA0 発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 注1, 2	8 注2	8 注2	9	8	8
1	9 注1, 2	9 注2	9 注2	9	9	9

注 1. スレーブの INTIICA0 信号およびウェイトは，スレーブ・アドレス・レジスタ 0（SVA0）に設定しているアドレスと一致したときにのみ，9 クロック目の立ち下がりで発生します。
また，このとき，IICCTL00 レジスタのビット 2（ACKE0）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは 8 クロック目の立ち下がりで INTIICA0 を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9 クロック目の立ち下がりで INTIICA0 を発生しますが，ウェイトは発生しません。

2. スレーブ・アドレス・レジスタ 0（SVA0）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICA0 もウェイトも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1)　アドレス送受信時

- スレーブ動作時　：WTIM0 ビットにかかわらず，上記の注 1, 2 の条件により，割り込みおよびウェイト・タイミングが決まります。
- マスタ動作時　　：WTIM0 ビットにかかわらず，割り込みおよびウェイト・タイミングは，9 クロック目の立ち下がりで発生します。

(2)　データ受信時

- マスタ／スレーブ動作時：WTIM0 ビットにより，割り込みおよびウェイト・タイミングが決まります。

(3)　データ送信時

- マスタ／スレーブ動作時：WTIM0 ビットにより，割り込みおよびウェイト・タイミングが決まります。

(4)　ウェイト解除方法

ウェイトの解除方法には次の 4 つがあります。

- IICA シフト・レジスタ 0（IICA0）へのデータ書き込み
- IICA コントロール・レジスタ 00（IICCTL00）のビット 5（WREL0）のセット（ウェイト解除）
- IICCTL00 レジスタのビット 1（STT0）のセット（スタート・コンディションの生成）注
- IICCTL00 レジスタのビット 0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

8 クロック・ウェイト選択（WTIM0 = 0）時は，ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5)　ストップ・コンディション検出

INTIICA0 は，ストップ・コンディションを検出すると発生します（SPIE0 = 1 のときのみ）。

16.5.9　アドレスの一致検出方法

I^2C バス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ 0（SVA0）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICA0 割り込み要求が発生します。

16.5.10　エラーの検出

I^2C バス・モードでは，送信中のシリアル・バス（SDAA0）の状態が，送信しているデバイスの IICA シフト・レジスタ 0（IICA0）にも取り込まれるため，送信開始前と送信終了後の IICA データを比較することにより，送信エラーを検出できます。この場合，2 つのデータが異なっていれば送信エラーが発生したものと判断します。

16.5.11　拡張コード

(1) 受信アドレスの上位 4 ビットが 0000 と 1111 のときを拡張コード受信として，拡張コード受信フラグ（EXC0）をセット（1）し，8 クロック目の立ち下がりで割り込み要求（INTIICA0）を発生します。
スレーブ・アドレス・レジスタ 0（SVA0）に格納された自局アドレスは影響しません。

(2) SVA0 レジスタに 11110xx0 を設定されているときに，10 ビット・アドレス転送でマスタから 11110xx0 が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICA0）は，8 クロック目の立ち下がりで発生します。

- 上位 4 ビット・データの一致　：EXC0 = 1
- 7 ビット・データの一致　　：COI0 = 1

備考 EXC0　：IICA ステータス・レジスタ 0（IICS0）のビット 5
COI0　：IICA ステータス・レジスタ 0（IICS0）のビット 4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウェアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICA コントロール・レジスタ 00（IICCTL00）のビット 6（LREL0）　= 1 に設定してください。次の通信待機状態にします。

表 16－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/W ビット	説明
0 0 0 0　0 0 0	0	ジェネラル・コール・アドレス
1 1 1 1　0 x x	0	10 ビット・スレーブ・アドレス指定（アドレス認証時）
1 1 1 1　0 x x	1	10 ビット・スレーブ・アドレス指定 （アドレス一致後，リード・コマンド発行時）

備考　上記以外の拡張コードについては，NXP 社発行の I²C バスの仕様書を参照してください。

16.5.12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STD0 = 1 になる前に STT0 = 1 にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICA ステータス・レジスタ 0（IICS0）のアービトレーション負けフラグ（ALD0）をセット（1）し，SCLA0, SDAA0 ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8 または 9 クロック目，ストップ・コンディション検出など）で，ソフトウェアで ALD0 = 1 になっていることで検出します。

割り込み要求発生タイミングについては「16.5.8　割り込み要求（INTIICA0）発生タイミングおよびウェイト制御」を参照してください。

備考　STD0：IICA ステータス・レジスタ 0（IICS0）のビット 1
STT0：IICA コントロール・レジスタ 00（IICCTL00）のビット 1

図 16－22　アービトレーション・タイミング例

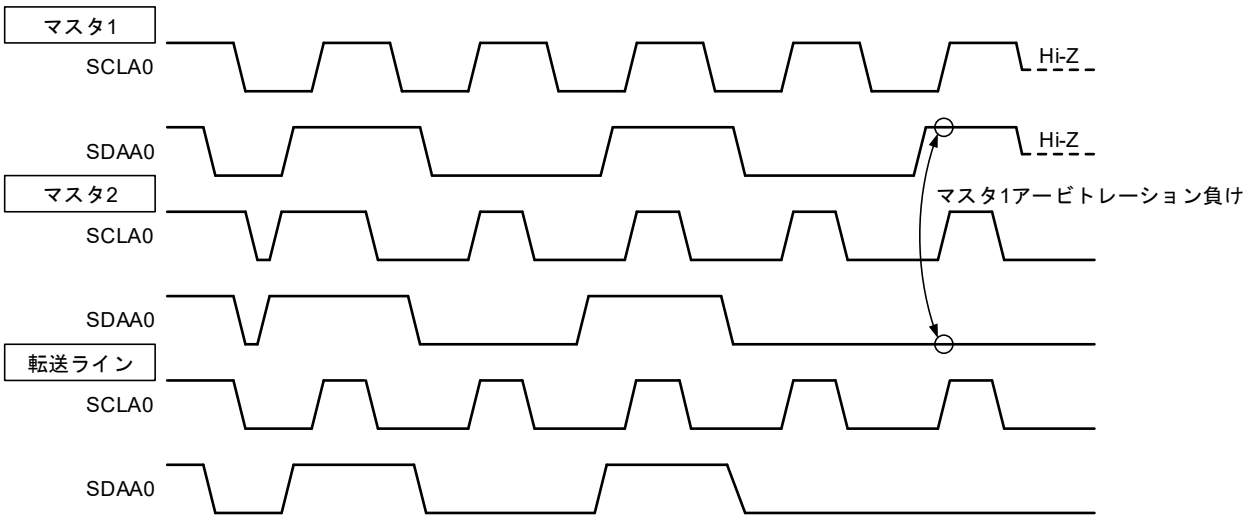


表 16－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後 8 または 9 クロック目の立ち下がり 注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1 時）注2
リスタート・コンディションを生成しようとしたが，データがロウ・レベル	バイト転送後 8 または 9 クロック目の立ち下がり 注1
リスタート・コンディションを生成しようとしたが，ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1 時）注2
ストップ・コンディションを生成しようとしたが，データがロウ・レベル	バイト転送後 8 または 9 クロック目の立ち下がり 注1
リスタート・コンディションを生成しようとしたが，SCLA0 がロウ・レベル	

注 1. WTIM0 ビット（IICA コントロール・レジスタ 00（IICCTL00）のビット 3）= 1 の場合には，9 クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0 および拡張コードのスレーブ・アドレス受信時には，8 クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合，マスタ動作では SPIE0 = 1 に設定してください。

備考　SPIE0：IICA コントロール・レジスタ 00（IICCTL00）のビット 4

16.5.13　ウェイクアップ機能

I²C のスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生する機能です。

アドレスが一致しないときは不要な INTIICA0 信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウェイクアップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウェイクアップ待機状態になります。

STOP モード状態時にウェイクアップ機能を使用する場合には，WUP0 = 1 に設定してください。動作クロックに関係なくアドレス受信を行うことができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生します。この割り込み発生後に命令で WUP0 ビットをクリア（0）することで通常動作に戻ります。

WUP0 = 1 に設定する場合のフローを図 16－23 に，アドレス一致により WUP0 = 0 に設定する場合のフローを図 16－24 に示します。

図 16－23　WUP0 = 1 を設定する場合のフロー

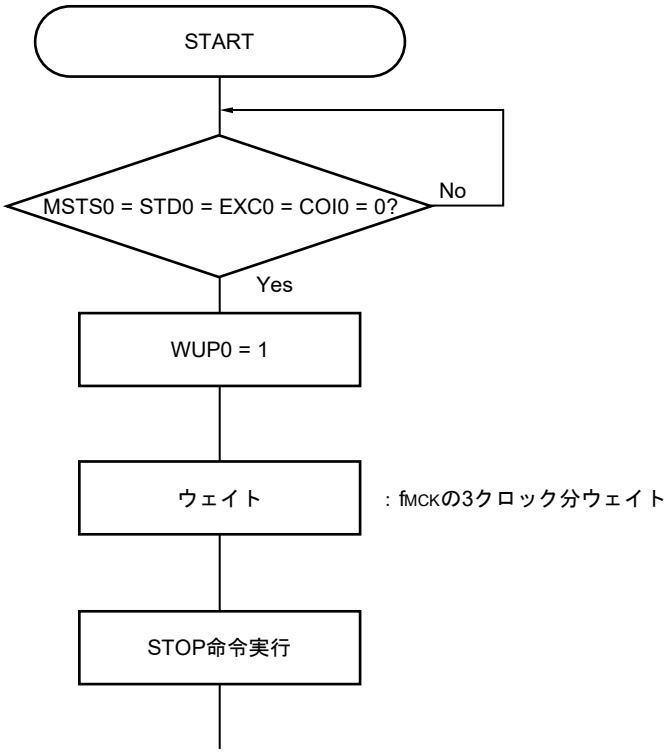
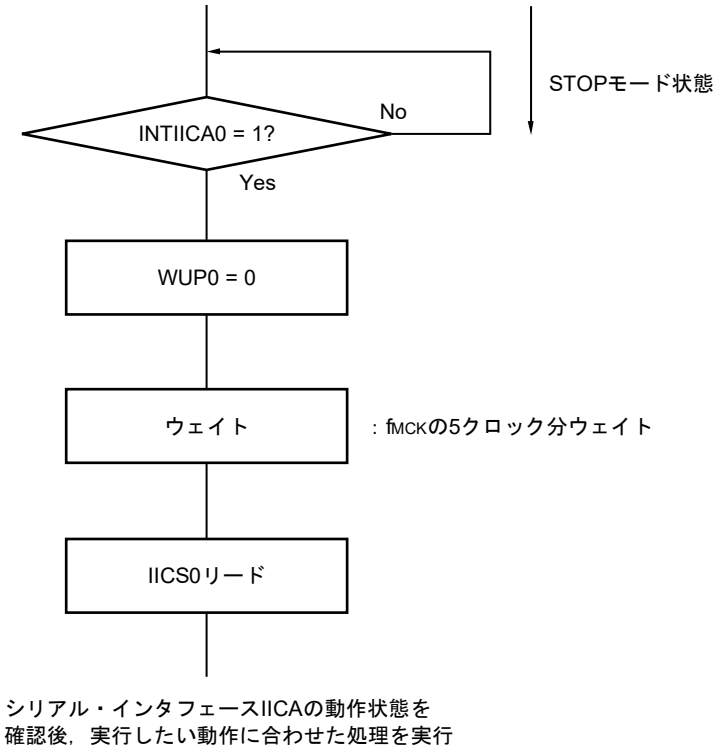


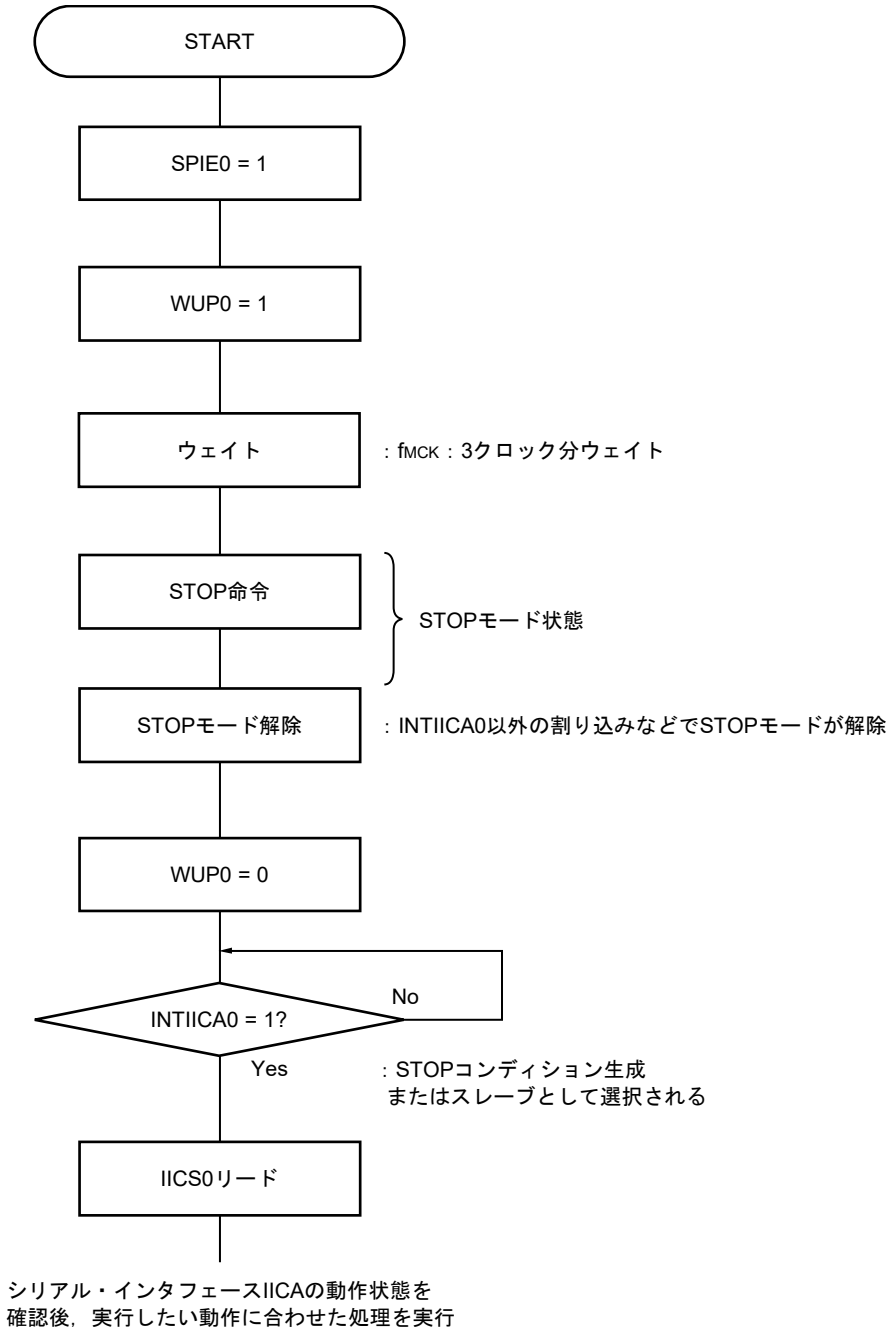
図 16－24　アドレス一致により WUP0 = 0 に設定する場合のフロー（拡張コード受信含む）



また，シリアル・インタフェース IICA からの割り込み要求（INTIICA0）以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- マスタとして動作させる場合：図 16－25 のフロー
- スレーブとして動作させる場合：図 16－24 のフロー。INTIICA0 が 1 になるまで WUP0＝1 としてください。

図 16－25　INTIICA0 以外で STOP モードが解除後にマスタとして動作させる場合



16.5.14　通信予約

(1)　通信予約機能許可の場合（IICA フラグ・レジスタ 0（IICF0）のビット 0（IICRSV0）　= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の 2 つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICA コントロール・レジスタ 00（IICCTL00）のビット 6（LREL0）　= 1 で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTL00 レジスタのビット 1（STT0）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウェイト状態になります。

IICCTL00 レジスタのビット 4（SPIE0）をセット（1）し，割り込み要求信号（INTIICA0）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICA シフト・レジスタ 0（IICA0）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICA0 レジスタに書き込まれたデータは，無効です。

STT0 ビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき……スタート・コンディション生成
- バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STT0 ビットをセット（1）し，ウェイト時間をとったあと，MSTS0 ビット（IICA ステータス・レジスタ 0（IICS0）のビット 7）で確認します。

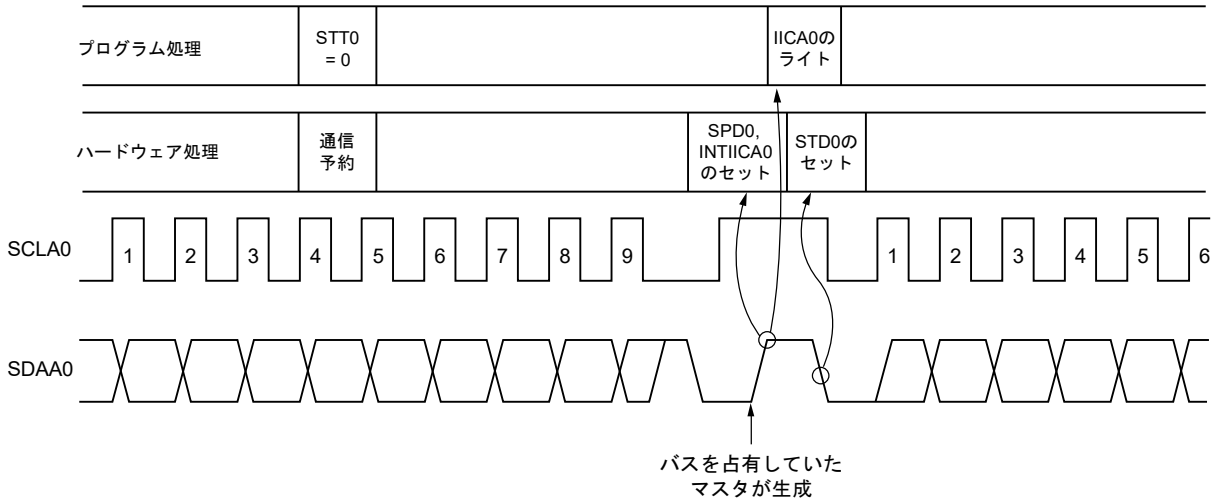
ウェイト時間は，次の式から算出した時間をソフトウェアにより確保してください。

STT0 = 1 から MSTS0 フラグ確認までのウェイト時間：
（IICWL0 の設定値 + IICWH0 の設定値 + 4）/ f_{MCK} + t_F × 2

備考　IICWL0　：IICA ロウ・レベル幅設定レジスタ 0
IICWH0　：IICA ハイ・レベル幅設定レジスタ 0
t_F　：SDAA0, SCLA0 信号の立ち下がり時間
f_{MCK}　：IICA 動作クロック周波数

通信予約のタイミングを図 16－26 に示します。

図 16－26　通信予約のタイミング



備考　IICA0　：IICA シフト・レジスタ 0

STT0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 1

STD0　：IICA ステータス・レジスタ 0（IICS0）のビット 1

SPD0　：IICA ステータス・レジスタ 0（IICS0）のビット 0

通信予約は図 16－27 に示すタイミングで受け付けられます。IICA ステータス・レジスタ 0（IICS0）のビット 1（STD0）　= 1 になったあと，ストップ・コンディション検出までに IICA コントロール・レジスタ 00（IICCTL00）のビット 1（STT0）　= 1 で通信予約をします。

図 16－27　通信予約受け付けタイミング

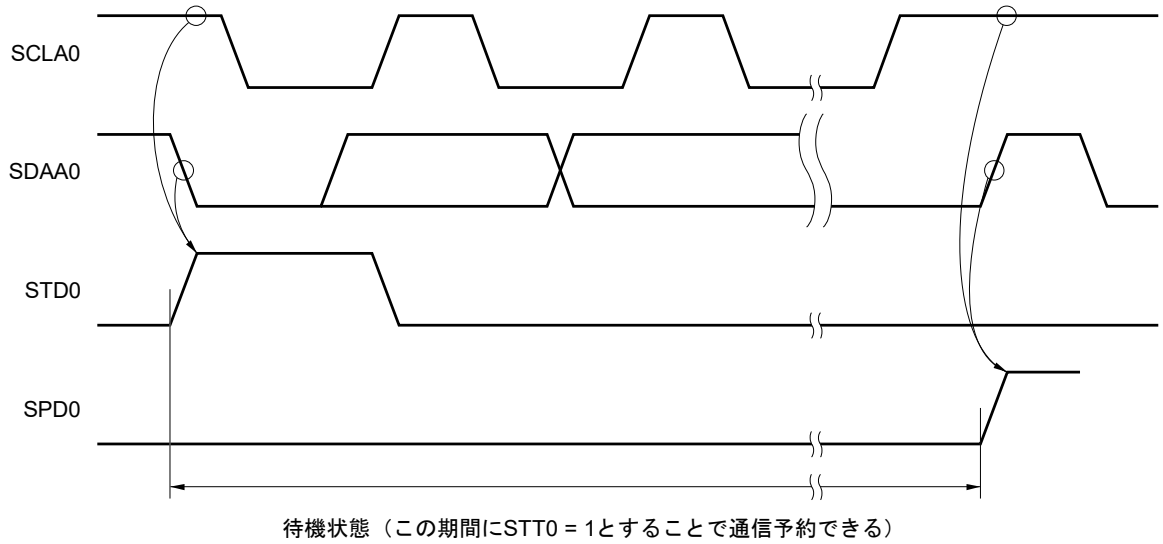
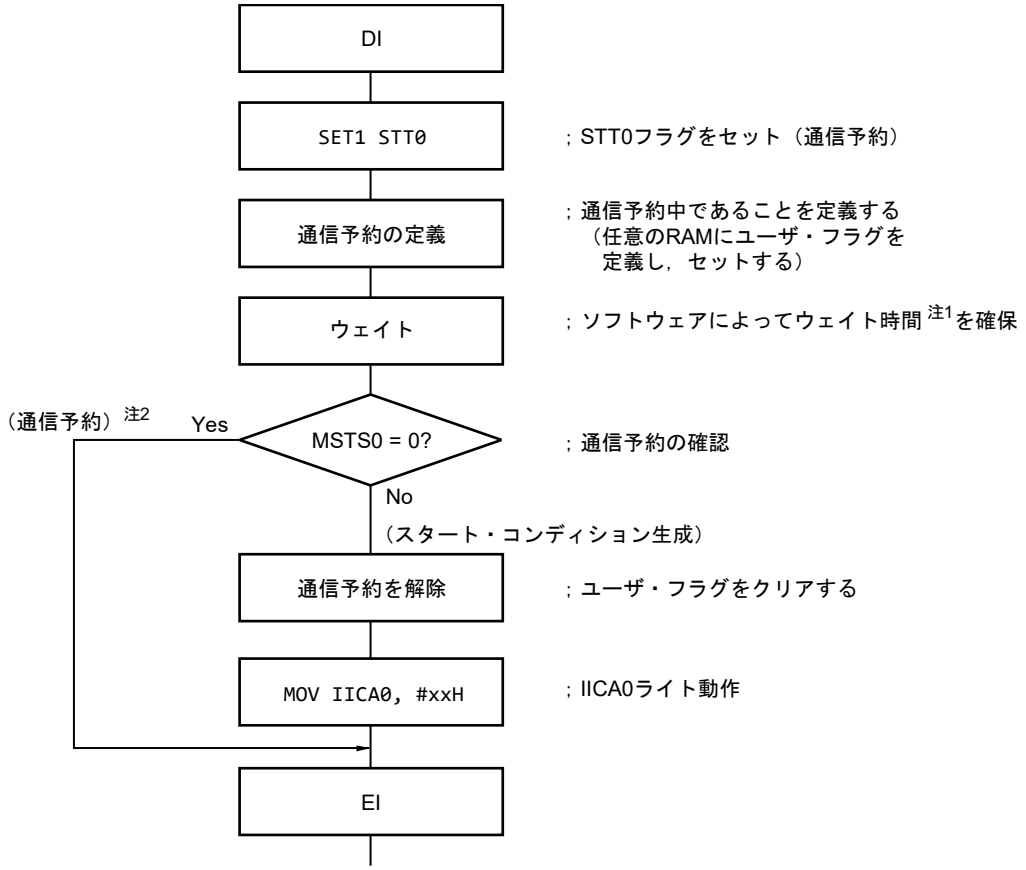


図 16－28 に通信予約の手順を示します。

図 16－28　通信予約の手順



注 1. ウェイト時間は次のようになります。

（IICWL0 の設定値 ＋ IICWH0 の設定値 ＋ 4）/ f_{MCK} + t_F × 2

2. 通信予約動作時は，ストップ・コンディション割り込み要求で IICA シフト・レジスタ 0（IICA0）への書き込みを実行します。

備考　STT0　：IICA コントロール・レジスタ 00（IICCTL00）のビット 1

MSTS0　：IICA ステータス・レジスタ 0（IICS0）のビット 7

IICA0　：IICA シフト・レジスタ 0

IICWL0　：IICA ロウ・レベル幅設定レジスタ 0

IICWH0　：IICA ハイ・レベル幅設定レジスタ 0

t_F　：SDAA0, SCLA0 信号の立ち下がり時間

f_{MCK}　：IICA 動作クロック周波数

(2)　通信予約機能禁止の場合（IICA フラグ・レジスタ 0（IICF0）のビット 0（IICRSV0）　= 1）

バスが通信中で，この通信に不参加の状態で IICA コントロール・レジスタ 00（IICCTL00）のビット 1（STT0）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の 2 つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTL00 レジスタのビット 6（LREL0）= 1 で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCF0（IICF0 レジスタのビット 7）で確認できます。STT0 = 1 としてから STCF0 がセット（1）されるまで f_{MCK} の 5 クロックの時間がかかりますので，ソフトウェアによりこの時間を確保してください。

16.5.15　その他の注意事項

(1)　STCEN0 = 0 の場合

I²C 動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず通信状態（IICBSY0 = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。
マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。
ストップ・コンディションの生成は次の順番で行ってください。

① IICA コントロール・レジスタ 01（IICCTL01）を設定する
② IICA コントロール・レジスタ 00（IICCTL00）のビット 7（IICE0）をセット（1）する
③ IICCTL00 レジスタのビット 0（SPT0）をセット（1）する

(2)　STCEN0 = 1 の場合

I²C 動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず解放状態（IICBSY0 = 0）と認識しますので，1 回目のスタート・コンディションを生成（STT0 = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3)　すでに他者との間で I²C 通信が行われている場合

SDAA0 端子がロウ・レベルで，かつ SCLA0 端子がハイ・レベルのときに，I²C 動作を許可して通信に途中参加すると，I²C のマクロは SDAA0 端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間の I²C 通信を妨害してしまいます。これを回避するために，次の順番で I²C を起動してください。

① IICCTL00 レジスタのビット 4（SPIE0）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICA0）発生を禁止する
② IICCTL00 レジスタのビット 7（IICE0）をセット（1）し，I²C の動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICE0 ビットをセット（1）してから，f_{MCK} の 4～80 クロック中）に，IICCTL00 レジスタのビット 6（LREL0）をセット（1）にし，強制的に検出を無効とする

(4)　STT0, SPT0 ビット（IICCTL00 レジスタのビット 1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

(5)　送信予約をした場合には，SPIE0 ビット（IICCTL00 レジスタのビット 4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICA シフト・レジスタ 0（IICA0）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウェイト状態で停止します。ただし，ソフトウェアで MSTS0 ビット（IICA ステータス・レジスタ 0（IICS0）のビット 7）を検出する場合には，SPIE0 ビットをセット（1）する必要はありません。

16.5.16　通信動作

ここでは，次の 3 つの動作手順をフローとして示します。

(1)　シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，RL78/F23, F24 をマスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2)　マルチマスタ・システムでのマスタ動作

I^2C バスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I^2C バスの仕様だけでは判断できません。ここでは，一定（1 フレーム）期間，データとクロックがハイ・レベルであれば，RL78/F23, F24 はバスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで RL78/F23, F24 が負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3)　スレーブ動作

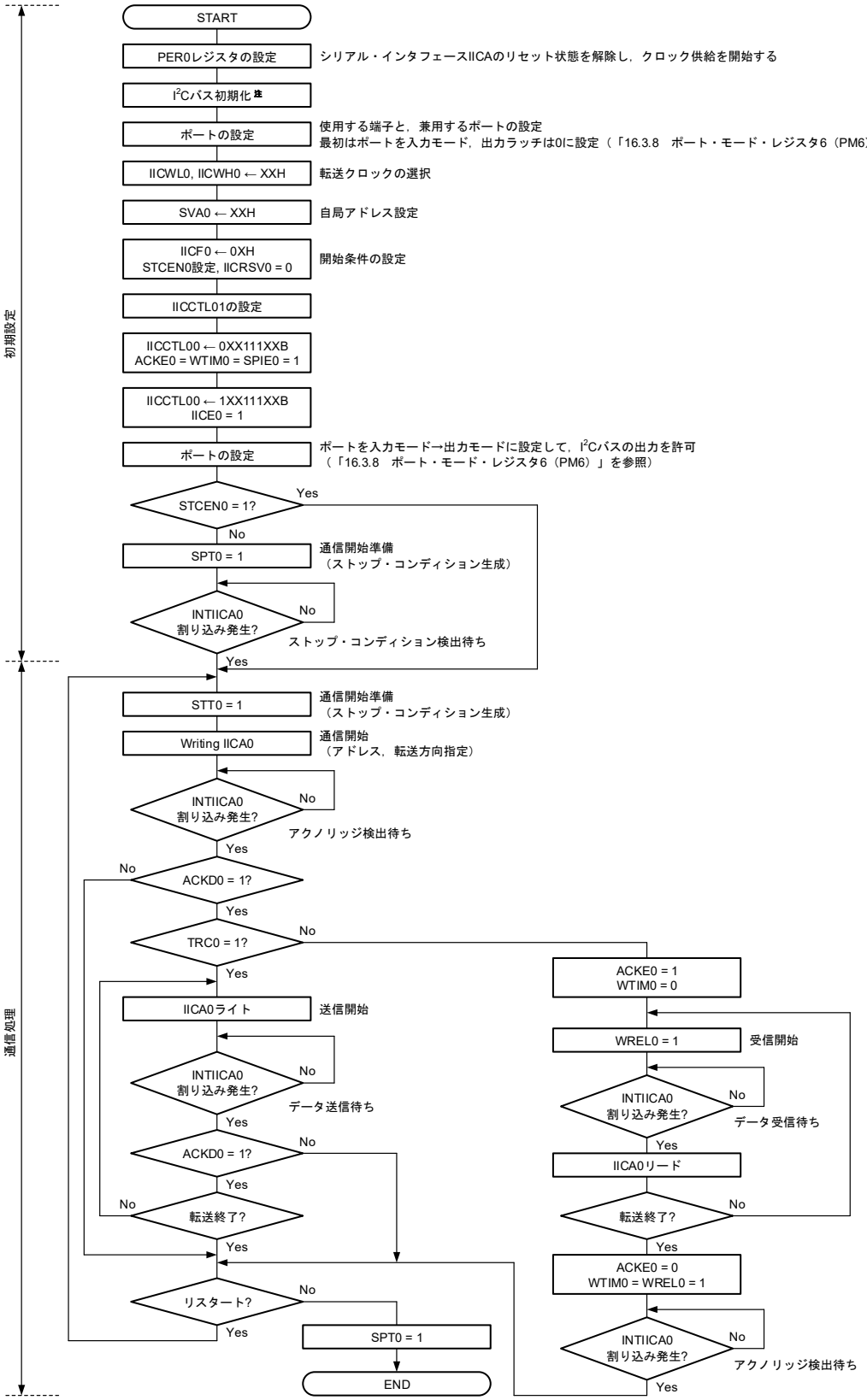
RL78/F23, F24 を I^2C バスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちで INTIICA0 割り込みの発生を待ちます。INTIICA0 割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

(1)　シングルマスタ・システムでのマスタ動作

図 16－29　シングルマスタ・システムでのマスタ動作

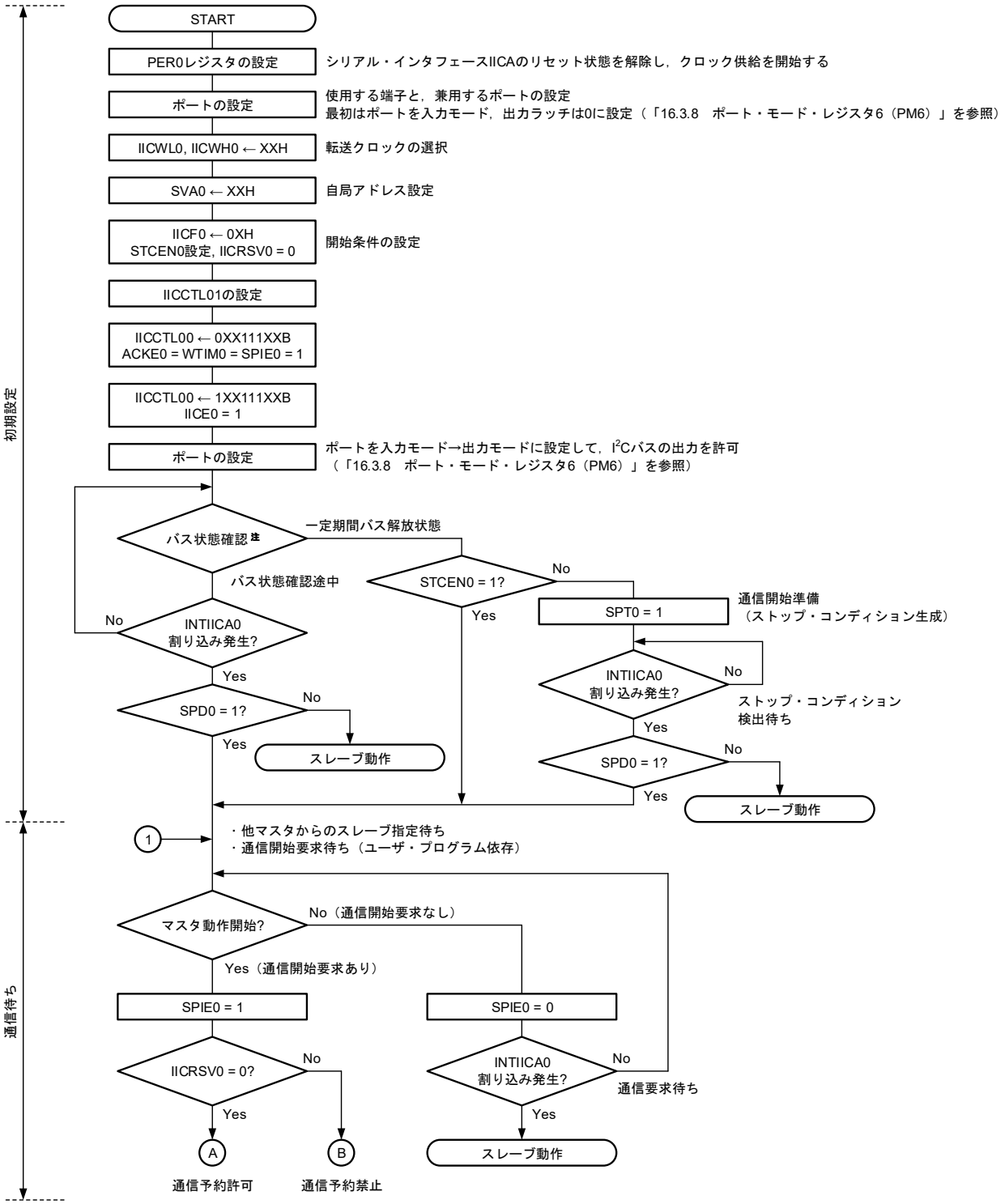


注　通信している製品の仕様に準拠し，I²C バスを解放（SCLA0, SDAA0 端子 = ハイ・レベル）してください。たとえば，EEPROM が SDAA0 端子にロウ・レベルを出力した状態であれば，SCLA0 端子を出力ポートに設定し，SDAA0 端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考　送信および受信フォーマットは，通信している製品の仕様に準拠してください。

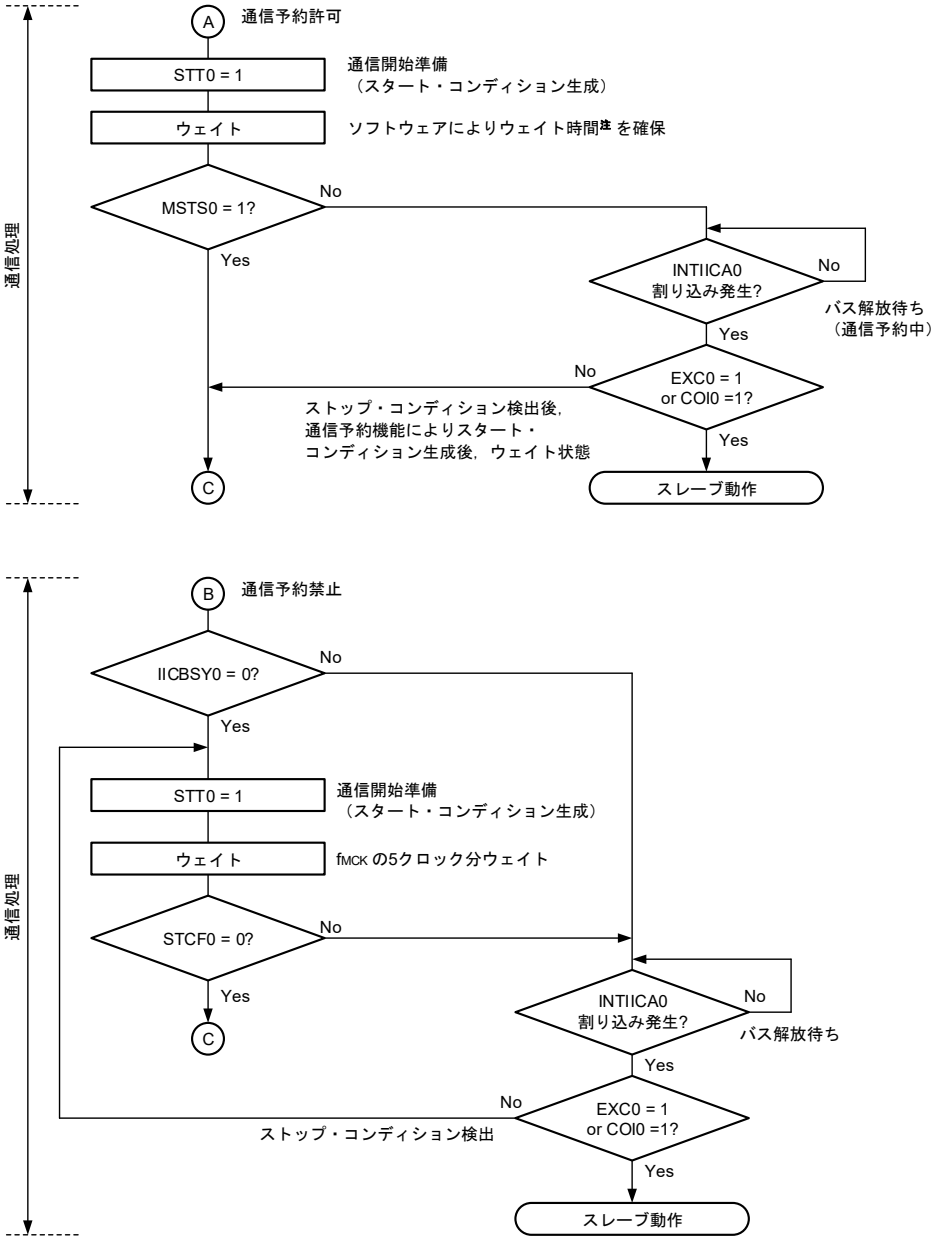
(2)　マルチマスタ・システムでのマスタ動作

図 16－30　マルチマスタ・システムでのマスタ動作（1/3）



注　一定期間（たとえば 1 フレーム分），バス解放状態（CLD0 ビット = 1, DAD0 ビット = 1）であることを確認してください。定常的に SDAA0 端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I²C バスを解放（SCLA0, SDAA0 端子 = ハイ・レベル）するか判断してください。

図 16－30　マルチマスタ・システムでのマスタ動作（2/3）



注　ウェイト時間は次のようになります。

（IICWL0 の設定値＋IICWH0 の設定値＋4）/ f_{MCK} + t_F × 2

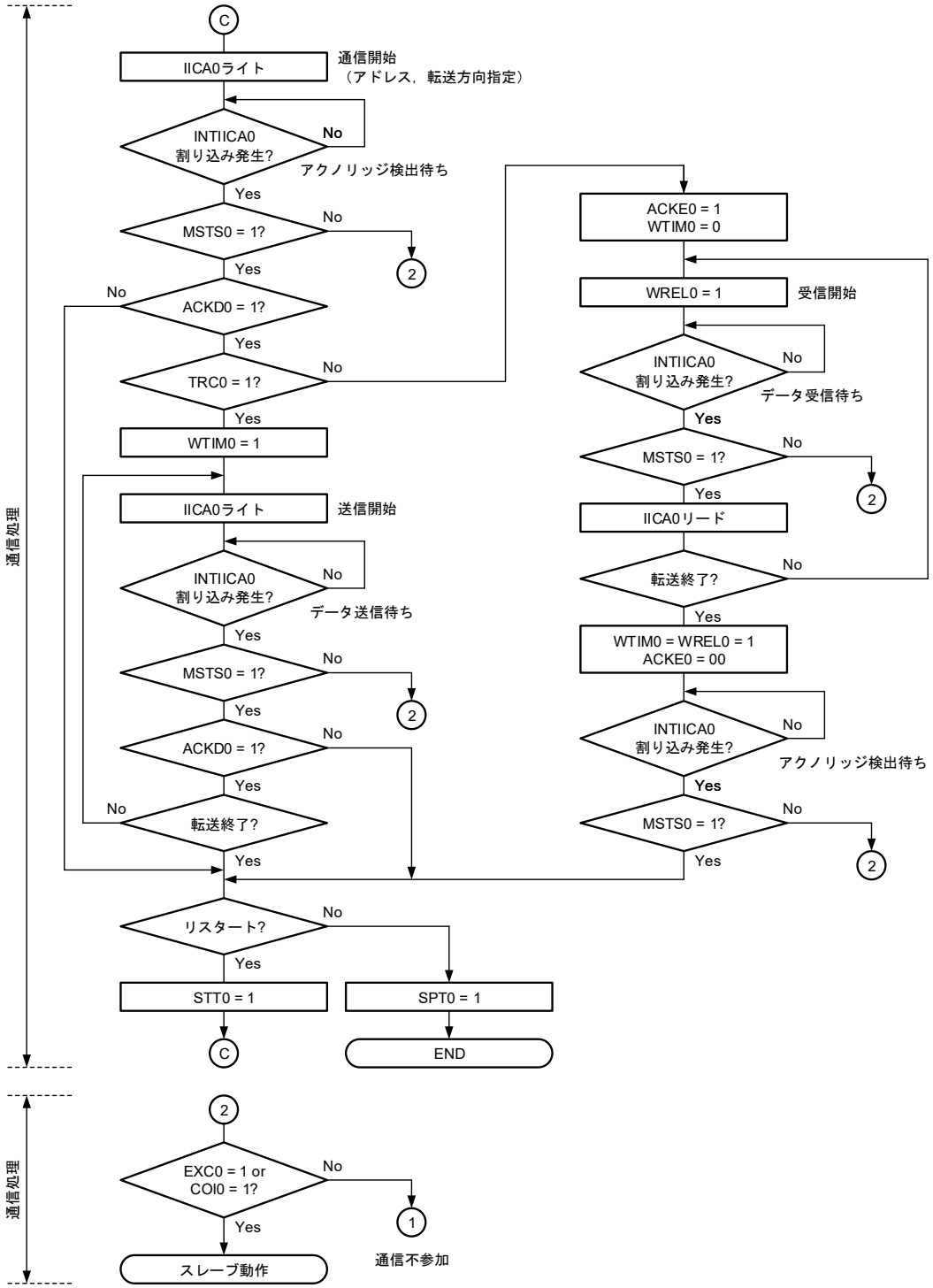
備考　IICWL0　：IICA ロウ・レベル幅設定レジスタ 0

IICWH0　：IICA ハイ・レベル幅設定レジスタ 0

t_F　：SDAA0, SCLA0 信号の立ち下がり時間

f_{MCK}　：IICA 動作クロック周波数

図 16－30　マルチマスタ・システムでのマスタ動作（3/3）



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は，INTIICA0 割り込み発生ごとに MSTS0 ビットをリードし，アービトレーション結果を確認してください。

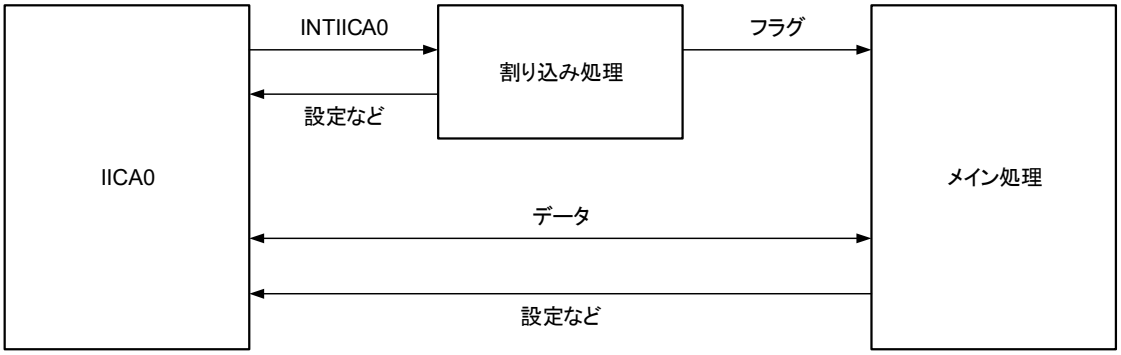
3. マルチマスタ・システムでスレーブとして使用する場合は，INTIICA0 割り込み発生ごとに IICA ステータス・レジスタ 0（IICS0），IICA フラグ・レジスタ 0（IICF0）でステータスを確認して次に行う処理を決定してください。

(3)　スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このため INTIICA0 割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。また INTIICA0 割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の 3 つのフラグを準備し，これを INTIICA0 の代わりにメイン処理に渡すという方法で，データ通信処理を行います。

①　通信モード・フラグ

次の 2 つの通信状態を示します。

- クリア・モード　：データ通信を行っていない状態
- 通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

②　レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信では INTIICA0 割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③　通信方向フラグ

通信の方向を示します。TRC0 ビットの値と同じです。

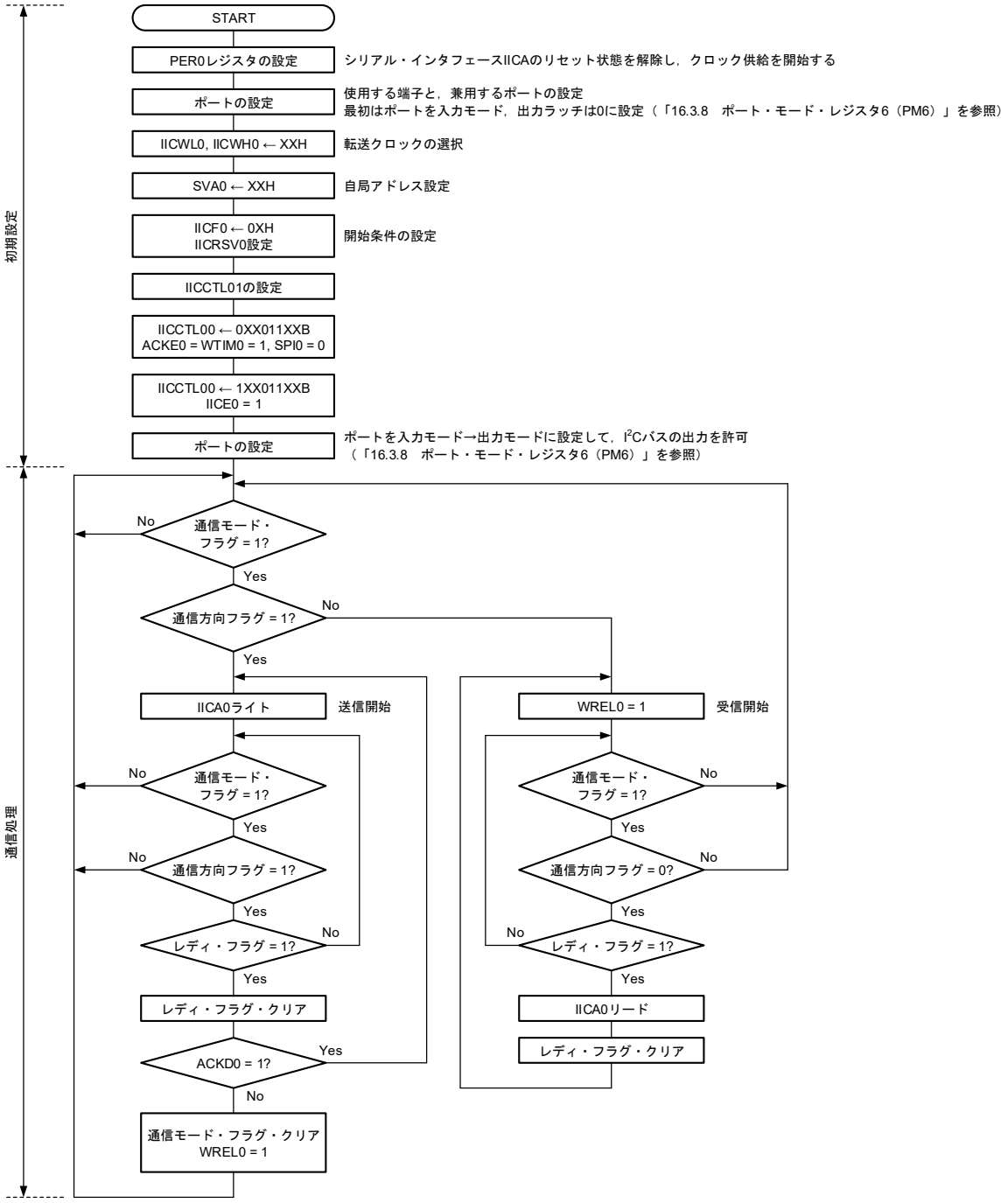
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図 16－31　スレーブ動作手順（1）



備考　送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブの INTIICA0 割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0 割り込みではステータスを確認して，次のように行います。

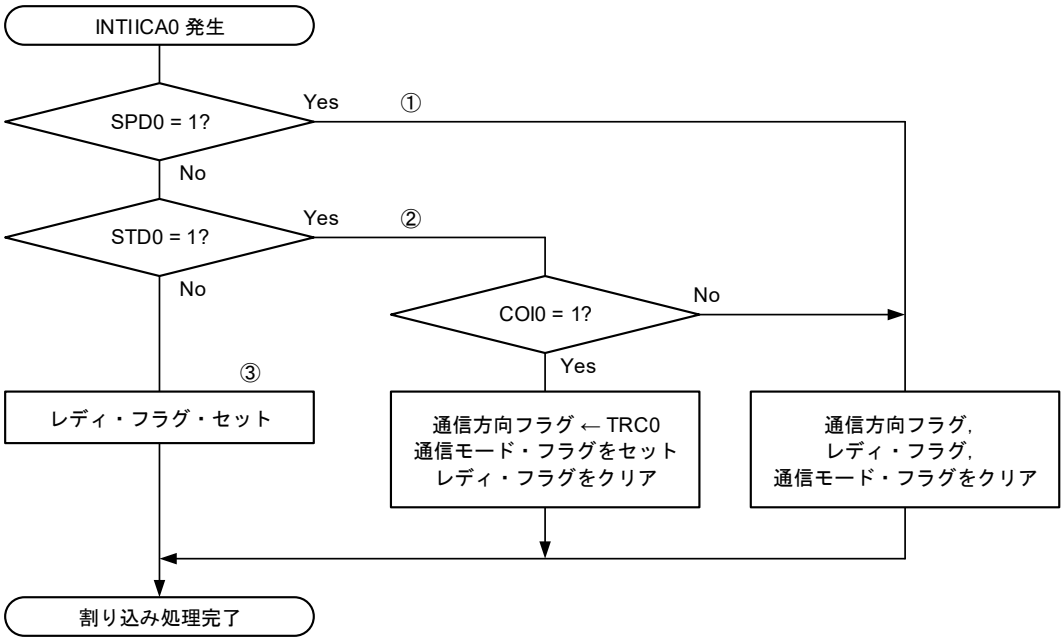
① ストップ・コンディションの場合，通信を終了します。

② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。
アドレスが一致していれば，モードを通信モードに設定し，ウェイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。

③ データ送受信の場合，レディ・フラグをセットするだけで，I2C バスはウェイト状態のまま，割り込みから戻ります。

備考　上記の①～③は，図 16－31　スレーブ動作手順（2）の①～③と対応しています。

図 16－31　スレーブ動作手順（2）



16.5.17　I²C割り込み要求（INTIICA0）の発生タイミング

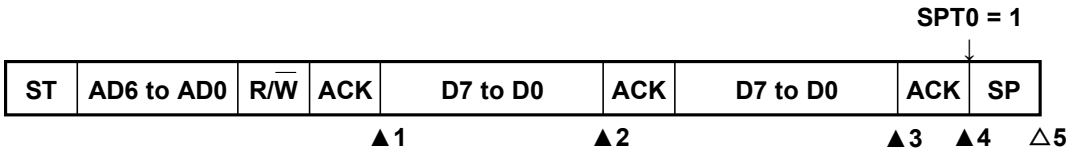
次に，データの送受信，INTIICA0割り込み要求信号発生タイミングと，INTIICA0信号タイミングでのIICAステータス・レジスタ0（IICS0）の値を示します。

備考　ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
ACK　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

(1)　マスタ動作

(a)　Start～Address～Data～Data～Stop（送受信）

（i）WTIM0 = 0 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B

▲3：IICS0 = 1000×000B（WTIM0ビットをセット（1））注

▲4：IICS0 = 1000××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

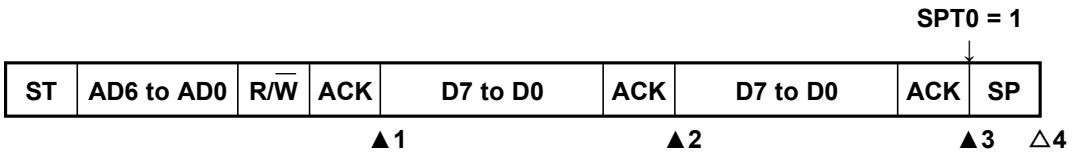
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B

▲3：IICS0 = 1000××00B（SPT0ビットをセット（1））

△4：IICS0 = 00000001B

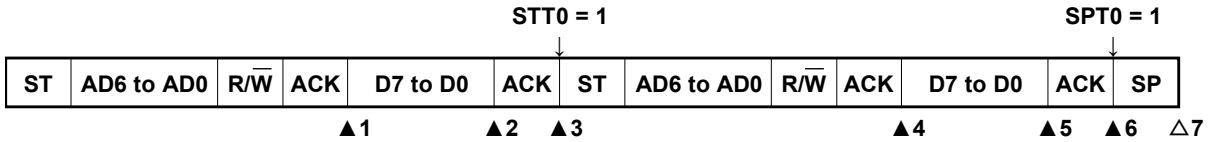
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(b)　Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIM0 = 0 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1）注1 ）

▲3：IICS0 = 1000××00B（WTIM0ビットをクリア（0）注2 ，STT0ビットをセット（1））

▲4：IICS0 = 1000×110B

▲5：IICS0 = 1000×000B（WTIM0ビットをセット（1）注3 ）

▲6：IICS0 = 1000××00B（SPT0ビットをセット（1））

△7：IICS0 = 00000001B

注1. スタート・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために，WTIM0ビットをクリア（0）してください。

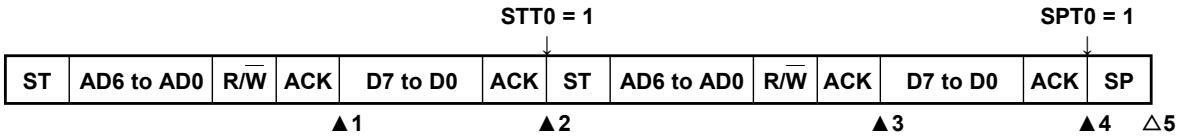
3. ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000××00B（STT0ビットをセット（1））

▲3：IICS0 = 1000×110B

▲4：IICS0 = 1000××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

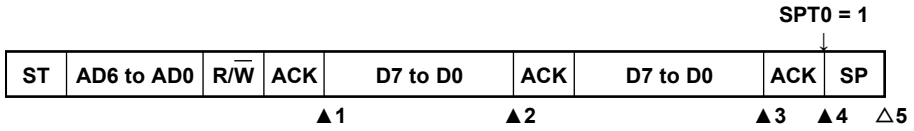
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(c)　Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIM0 = 0 のとき



▲1：IICS0 = 1010×110B

▲2：IICS0 = 1010×000B

▲3：IICS0 = 1010×000B（WTIM0ビットをセット（1）注）

▲4：IICS0 = 1010××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

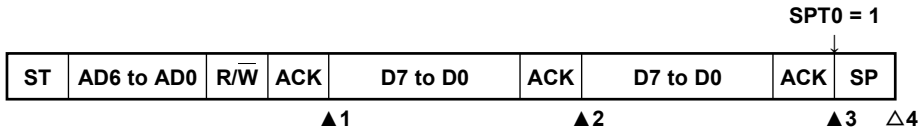
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1 のとき



▲1：IICS0 = 1010×110B

▲2：IICS0 = 1010×100B

▲3：IICS0 = 1010××00B（SPT0ビットをセット（1））

△4：IICS0 = 00001001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(2)　スレーブ動作（スレーブ・アドレス受信時）

(a)　Start～Address～Data～Data～Stop

（i）WTIM0 = 0 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
				▲1	▲2		▲3	△4

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×000B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
				▲1		▲2	▲3	△4

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×100B

▲3：IICS0 = 0001××00B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(b)　Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0 のとき（リスタート後，SVA0 一致）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1	▲2					▲3	▲4	△5

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき（リスタート後，SVA0 一致）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1		▲2				▲3	▲4	△5

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001××00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(c)　Start～Address～Data～Start～Code～Data～Stop

(i) WTIM0 = 0 のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1	▲2				▲3		▲4	△5

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき（リスタート後，アドレス不一致（拡張コード））

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1		▲2			▲3	▲4	▲5	△6

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×110B

▲5：IICS0 = 0010××00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(d)　Start～Address～Data～Start～Address～Data～Stop

(i) WTIM0 = 0 のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1	▲2					▲3		△4

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 00000×10B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1		▲2				▲3		△4

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 00000×10B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

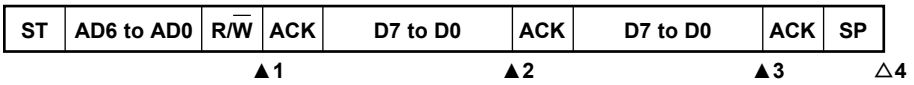
×　任意

(3)　スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています。

(a)　Start～Code～Data～Data～Stop

（i）WTIM0 = 0 のとき



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×000B

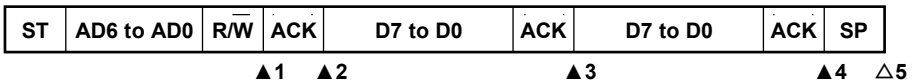
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1 のとき



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010×100B

▲4：IICS0 = 0010××00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(b)　Start～Code～Data～Start～Address～Data～Stop

(i) WTIM0 = 0 のとき（リスタート後，SVA0 一致）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
			▲1		▲2					▲3	▲4	△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき（リスタート後，SVA0 一致）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
			▲1	▲2		▲3				▲4	▲5	△6

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 0001×110B

▲5：IICS0 = 0001××00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(c)　Start～Code～Data～Start～Code～Data～Stop

(i) WTIM0 = 0 のとき（リスタート後，拡張コード受信）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき（リスタート後，拡張コード受信）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
			▲1	▲2		▲3			▲4	▲5	▲6	△7

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 0010×010B

▲5：IICS0 = 0010×110B

▲6：IICS0 = 0010××00B

△7：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(d)　Start～Code～Data～Start～Address～Data～Stop

(i) WTIM0 = 0 のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
			▲1		▲2					▲3		△4

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 00000×10B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
			▲1	▲2		▲3				▲4		△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 00000×10B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(4)　通信不参加の動作

(a)　Start～Code～Data～Data～Stop

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
								△1

△1：IICS0 = 00000001B

備考　△　SPIE0 = 1のときだけ発生

(5)　アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

(a)　スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
				▲1	▲2		▲3	△4

▲1：IICS0 = 0101×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×000B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
				▲1		▲2	▲3	△4

▲1：IICS0 = 0101×110B

▲2：IICS0 = 0001×100B

▲3：IICS0 = 0001××00B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(b)　拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICS0 = 0110×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×000B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1	▲2		▲3	▲4	△5

▲1：IICS0 = 0110×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010×100B

▲4：IICS0 = 0010××00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(6)　アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

(a)　スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1のとき）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1					△2

▲1：IICS0 = 01000110B

△2：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

(b)　拡張コード送信中にアービトレーションに負けた場合

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1					△2

▲1：IICS0 = 0110×010B

ソフトウェアでLREL0 = 1を設定

△2：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(c)　データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1		▲2			△3

▲1：IICS0 = 10001110B

▲2：IICS0 = 01000000B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

(ii) WTIM0 = 1 のとき

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	D7 to D0	ACK	SP
			▲1		▲2			△3

▲1：IICS0 = 10001110B

▲2：IICS0 = 01000100B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

(d)　データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外（例　SVA0 不一致）

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to Dn	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1					▲2		△3

▲1：IICS0 = 1000×110B

▲2：IICS0 = 01000110B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

(ii) 拡張コード

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to Dn	ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to D0	ACK	SP
				▲1					▲2		△3

▲1：IICS0 = 1000×110B

▲2：IICS0 = 01100010B

ソフトウェアでLREL0 = 1を設定

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

(e)　データ転送時にストップ・コンディションで負けた場合

ST	AD6 to AD0	R/$\overline{W}$	ACK	D7 to Dn	SP
				▲1	△2

▲1：IICS0 = 10000110B

△2：IICS0 = 01000001B

備考　▲　必ず発生

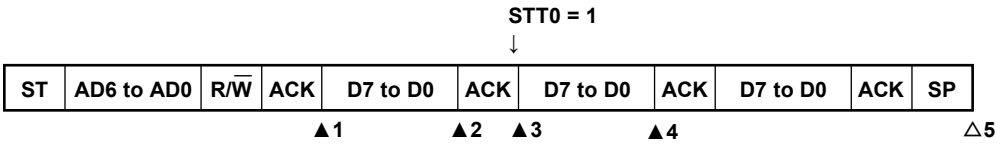
△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

(f)　リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000×100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000000B

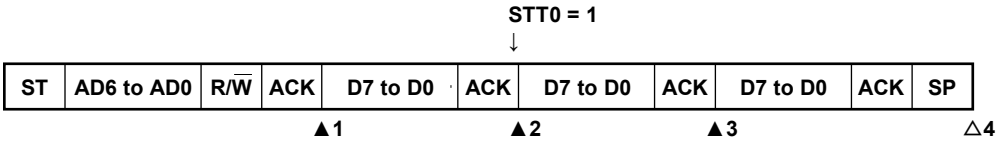
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B（STT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

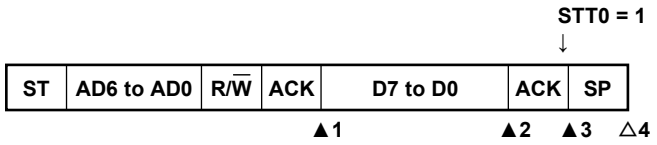
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(g)　リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000××00B（STT0ビットをセット（1））

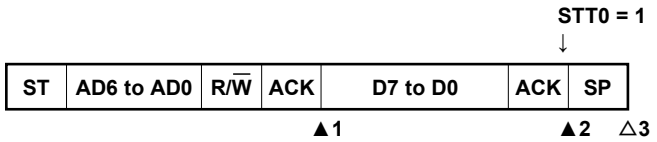
△4：IICS0 = 01000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(ii) WTIM0 = 1 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000××00B（STT0ビットをセット（1））

△3：IICS0 = 01000001B

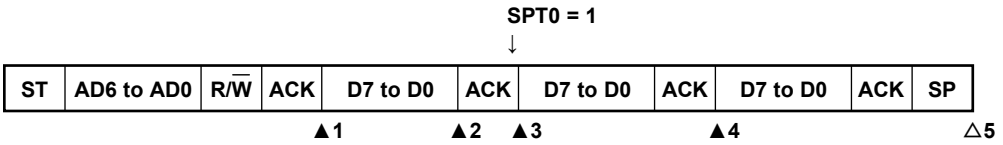
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

(h)　ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000×100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000100B

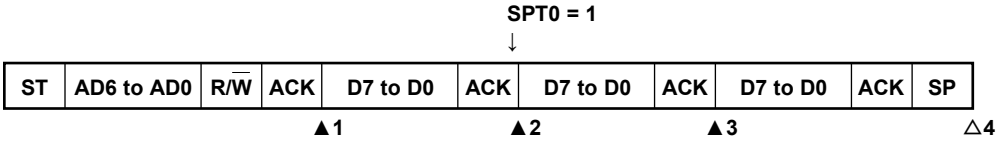
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1 のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B（SPT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

16.6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICS0）のビット3）を送信し，スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図16－32，図16－33に示します。

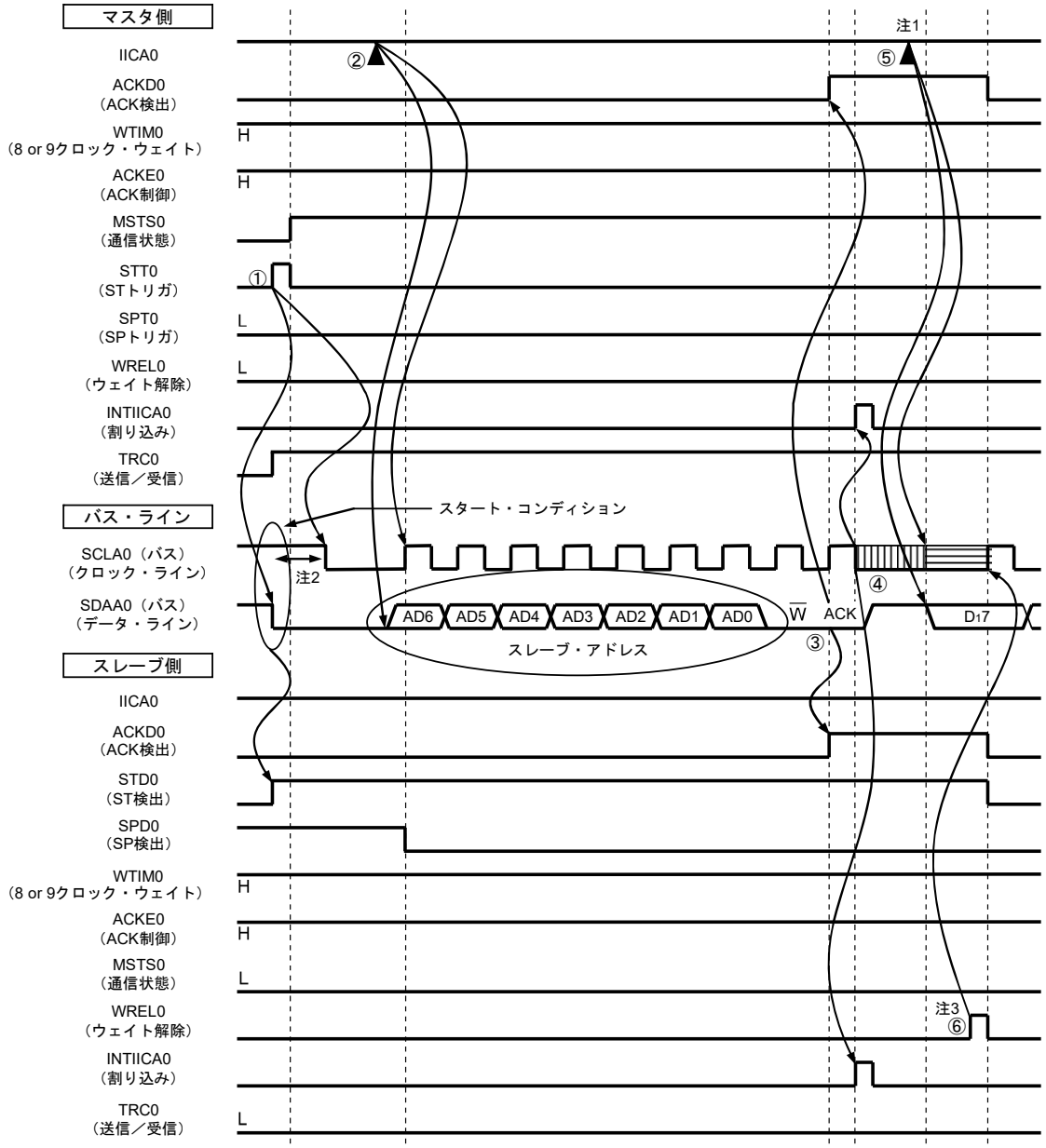
シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ0（IICA0）のシフト動作が行われ，送信データがSOラッチに転送され，SDAA0端子からMSBファーストで出力されます。

また，SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

16.6.1　マスタ→スレーブ通信のタイミング・チャート例

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウェイト選択）（1/4）

(1)　スタート・コンディション～アドレス～データ



注 1. マスタ側での送信時のウェイト解除は，WREL0 ビットのセットではなく，IICA0 へのデータ書き込みで行ってください。

2. SDAA0 端子信号が立ち下がってから SCLA0 端子信号が立ち下がるまでの時間は，標準モード設定時は 4.0 μs 以上，ファースト・モード設定時は 0.6 μs 以上です。

3. スレーブ側での受信時のウェイト解除は，IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

図16－32（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0）が立ち下がり，スタート・コンディション（SCLA0 = 1 で SDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側で IICA シフト・レジスタ 0（IICA0）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVA0 の値）が一致した場合 注，ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

④ 9 クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，ウェイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します 注。

⑤ マスタ側が IICA0 レジスタに送信データを書き込み，マスタ側によるウェイトを解除します。

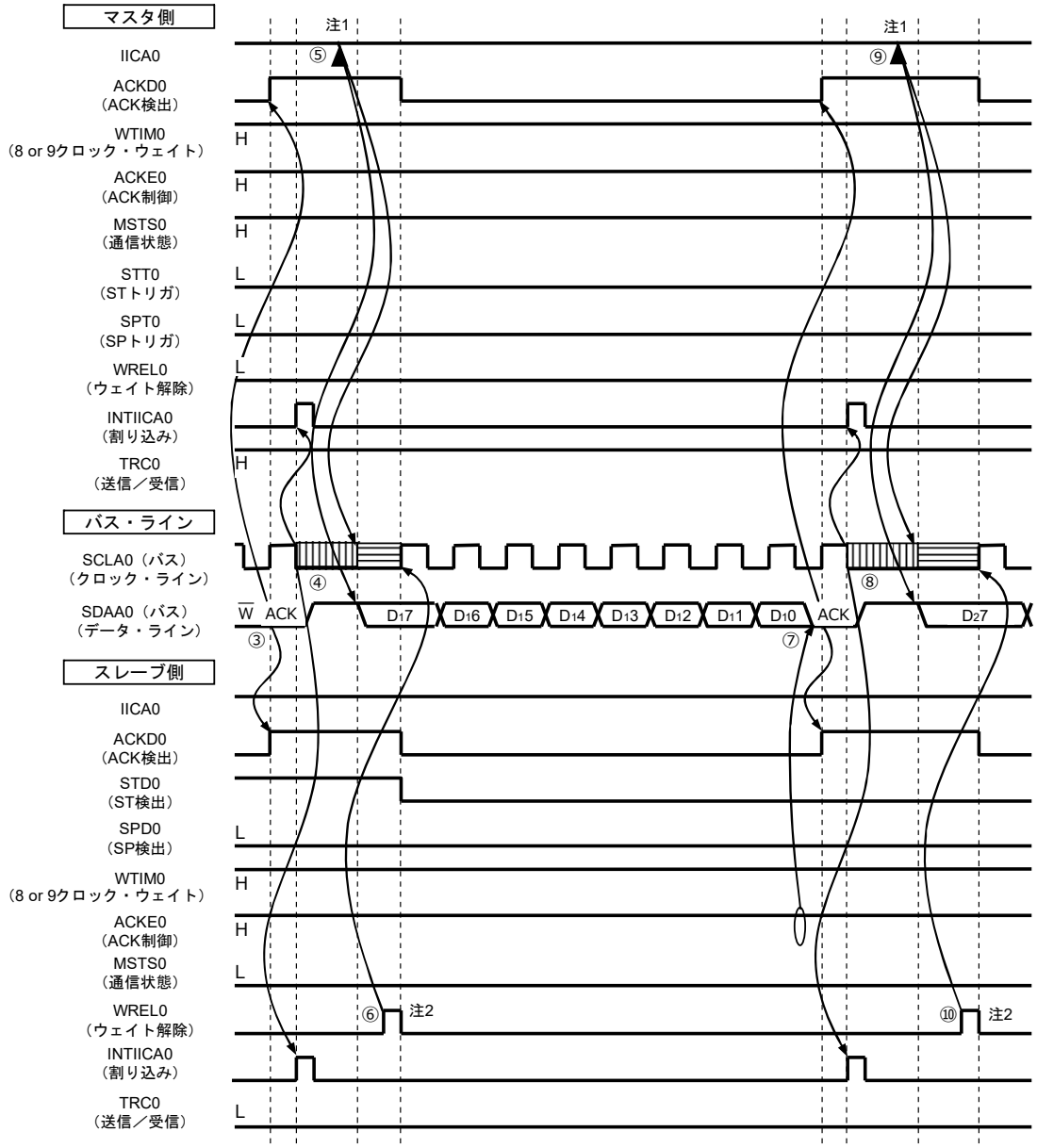
⑥ スレーブ側がウェイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側は ACK をマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側の INTIICA0 割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウェイトもかかりません。
ただし，マスタ側は ACK, NACK の両方に対して，INTIICA0 割り込み（アドレス送信完了割り込み）が発生します。

備考　図 16－32 の①～⑮は，I²C バスによるデータ通信の一連の操作手順です。
図 16－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図 16－32（2）アドレス～データ～データでは手順③～⑩
図 16－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウェイト選択）（2/4）

(2)　アドレス～データ～データ



：スレーブによるウェイト

：マスタ，スレーブによるウェイト

注 1. マスタ側での送信時のウェイト解除は，WREL0 ビットのセットではなく，IICA0 へのデータ書き込みで行ってください。

2. スレーブ側での受信時のウェイト解除は，IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

図16－32（2）アドレス～データ～データの③～⑩の説明を次に示します。

③　スレーブ側では，受信したアドレスと自局のアドレス（SVA0 の値）が一致した場合 注，ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

④　9 クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウェイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します 注。

⑤　マスタ側が IICA シフト・レジスタ 0（IICA0）に送信データを書き込み，マスタ側によるウェイトを解除します。

⑥　スレーブ側がウェイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦　データ転送完了後，スレーブ側は ACKE0 = 1 なのでハードウェアにより ACK がマスタ側へ送信され，9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

⑧　9 クロック目の立ち下がりで，マスタ側とスレーブ側によるウェイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨　マスタ側が IICA0 レジスタに送信データを書き込み，マスタ側によるウェイトを解除します。

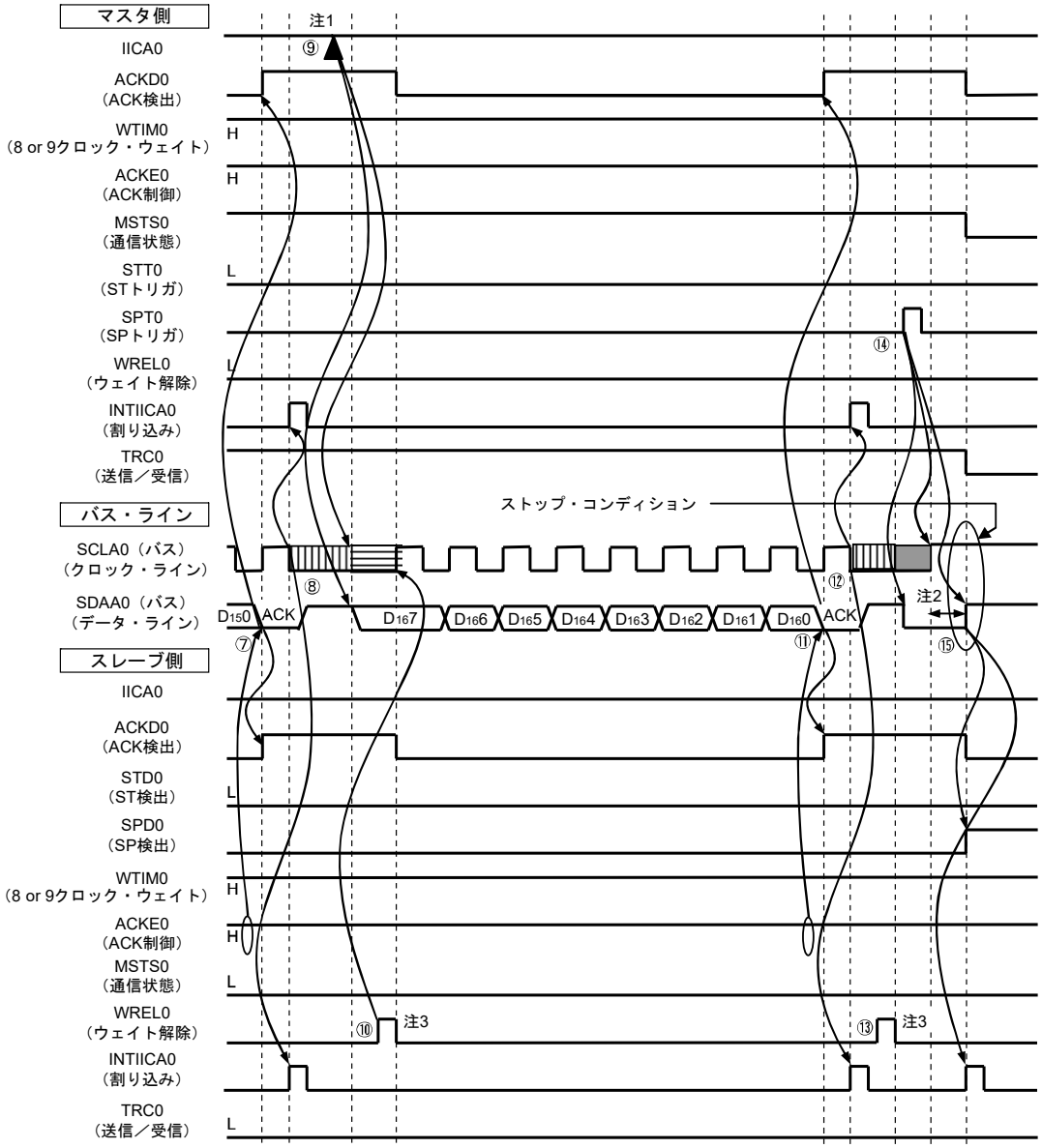
⑩　スレーブ側が受信データを読み出して，ウェイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側は ACK をマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側の INTIICA0 割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウェイトもかかりません。
ただし，マスタ側は ACK, NACK の両方に対して，INTIICA0 割り込み（アドレス送信完了割り込み）が発生します。

備考　図 16－32 の①～⑮は，I^2C バスによるデータ通信の一連の操作手順です。
図 16－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図 16－32（2）アドレス～データ～データでは手順③～⑩
図 16－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮について説明しています。

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウェイト選択）（3/4）

(3)　データ～データ～ストップ・コンディション



：マスタによるウェイト

：スレーブによるウェイト

：マスタ，スレーブによるウェイト

注 1. マスタ側での送信時のウェイト解除は，WREL0 ビットのセットではなく，IICA0 へのデータ書き込みで行ってください。

2. ストップ・コンディションの発行後，SCLA0 端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は 4.0 μs 以上，ファースト・モード設定時は 0.6 μs 以上です。

3. スレーブ側での受信時のウェイト解除は，IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

図16－32（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦　データ転送完了後，スレーブ側は ACKE0 = 1 なのでハードウェアにより ACK がマスタ側へ送信され，9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

⑧　9 クロック目の立ち下がりで，マスタ側とスレーブ側によるウェイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨　マスタ側が IICA シフト・レジスタ 0（IICA0）に送信データを書き込み，マスタ側によるウェイトを解除します。

⑩　スレーブ側が受信データを読み出して，ウェイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪　データ転送完了後，スレーブ側（ACKE0 = 1）のハードウェアにより ACK がマスタ側へ送信され，9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

⑫　9 クロック目の立ち下がりで，マスタ側とスレーブ側によるウェイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑬　スレーブ側が受信データを読み出し，ウェイトを解除（WREL0 = 1）します。

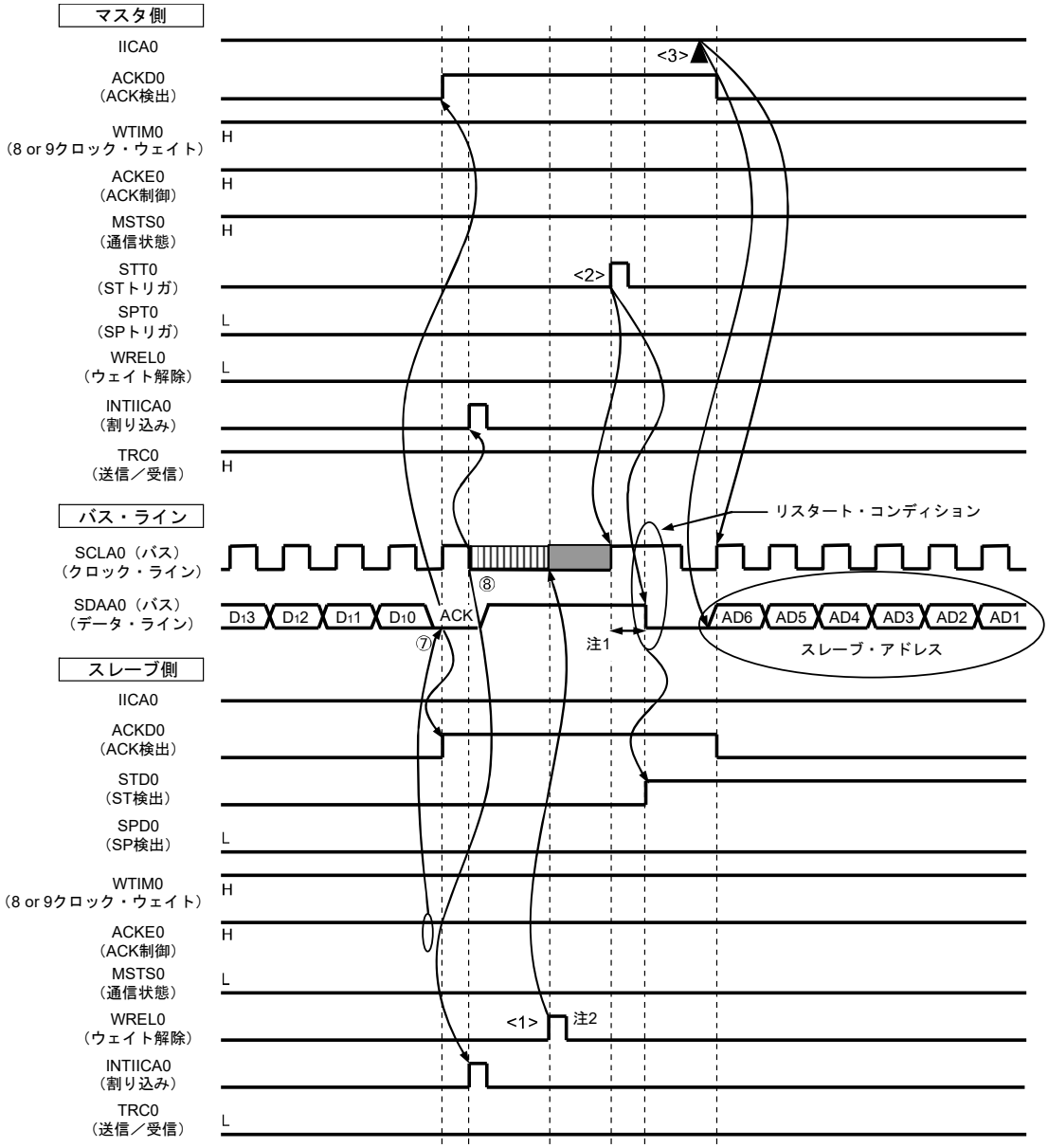
⑭　マスタ側でストップ・コンディション・トリガをセット（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，バス・クロック・ラインがセット（SCLA0 = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAA0 = 1）されることでストップ・コンディション（SCLA0 = 1 で SDAA0 = 0→1）が生成されます。

⑮　ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図 16－32 の①～⑮は，I^2C バスによるデータ通信の一連の操作手順です。
図 16－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図 16－32（2）アドレス～データ～データでは手順③～⑩
図 16－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウェイト選択）（4/4）

(4)　データ～リスタート・コンディション～アドレス



：マスタによるウェイト

：スレーブによるウェイト

：マスタ，スレーブによるウェイト

注 1. リスタート・コンディションの発行後，SCLA0 端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は 4.7 μs 以上，ファースト・モード設定時は 0.6 μs 以上です。

2. スレーブ側での受信時のウェイト解除は，IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

図16－32（4）データ～リスタート・コンディション～アドレスの動作説明を次に示します。

手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側は ACKE0 = 1 なのでハードウェアにより ACK がマスタ側へ送信され，9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

⑧　9 クロック目の立ち下がりで，マスタ側とスレーブ側によるウェイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

<1>　スレーブ側が受信データを読み出して，ウェイトを解除（WREL0 = 1）します。

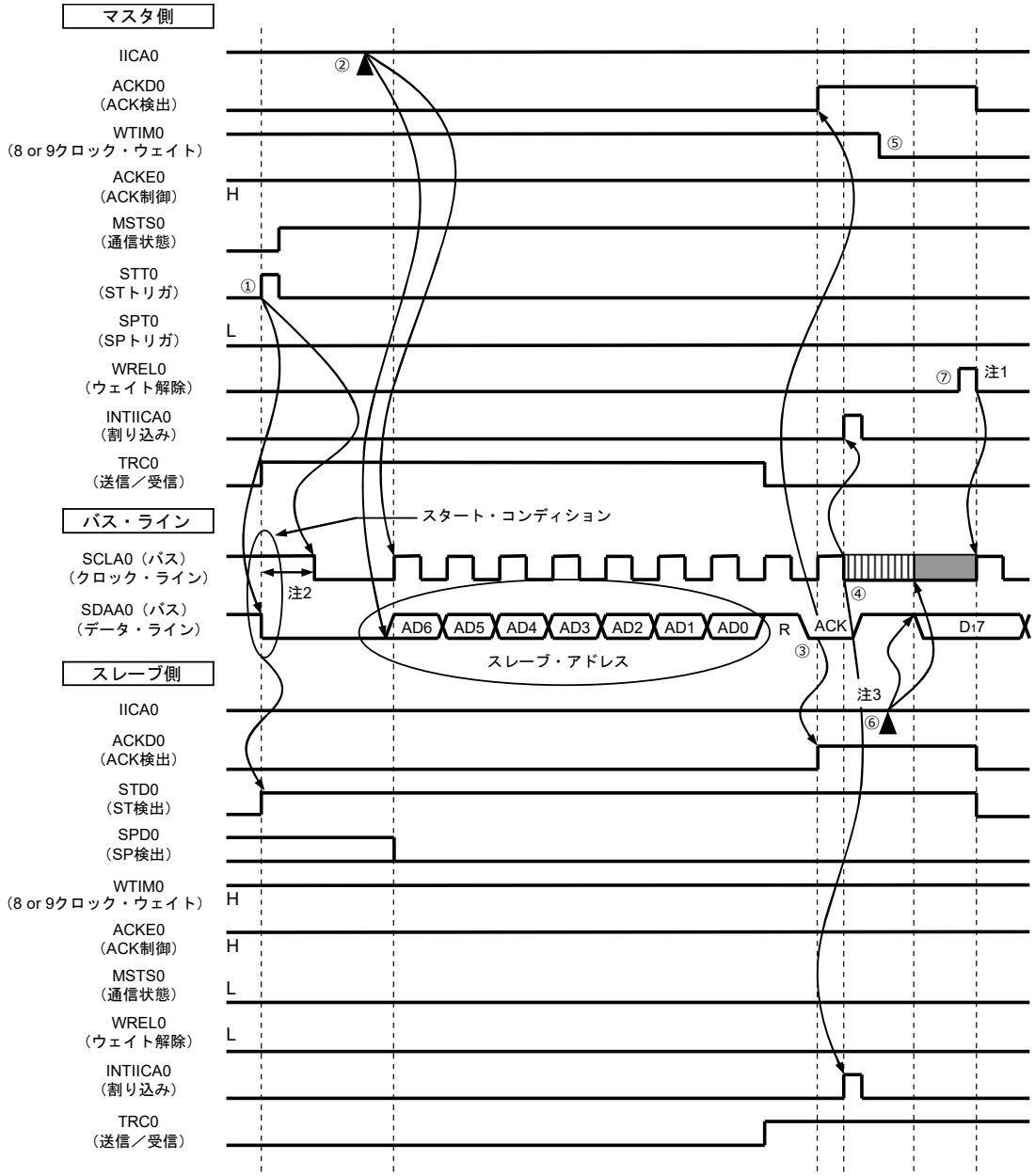
<2>　マスタ側で再度スタート・コンディション・トリガがセット（STT0 = 1）されると，バス・クロック・ラインが立ち上がり（SCLA0 = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SCLA0 = 1で SDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

<3>　マスタ側がIICAシフト・レジスタ0（IICA0）にアドレス＋R/W（送信）を書き込むと，スレーブ・アドレスが送信されます。

16.6.2　スレーブ→マスタ通信のタイミング・チャート例

図16－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウェイト選択）（1/3）

(1)　スタート・コンディション～アドレス～データ



：マスタによるウェイト

：スレーブによるウェイト

：マスタ，スレーブによるウェイト

注 1. マスタ側での受信時のウェイト解除は，IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

2. SDAA0 端子信号が立ち下がってから SCLA0 端子信号が立ち下がるまでの時間は，標準モード設定時は 4.0 μs 以上，ファースト・モード設定時は 0.6 μs 以上です。

3. スレーブ側での送信時のウェイト解除は，WREL0 ビットのセットではなく，IICA0 へのデータ書き込みで行ってください。

図16－33（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0）が立ち下がり，スタート・コンディション（SCLA0 = 1 で SDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側で IICA シフト・レジスタ 0（IICA0）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0 の値）が一致した場合 注，ハードウェアにより ACK がマスタ側へ送信され，9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

④ 9 クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウェイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します 注。

⑤ マスタ側のウェイト・タイミングを 8 クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側が IICA0 レジスタに送信データを書き込み，スレーブ側によるウェイトを解除します。

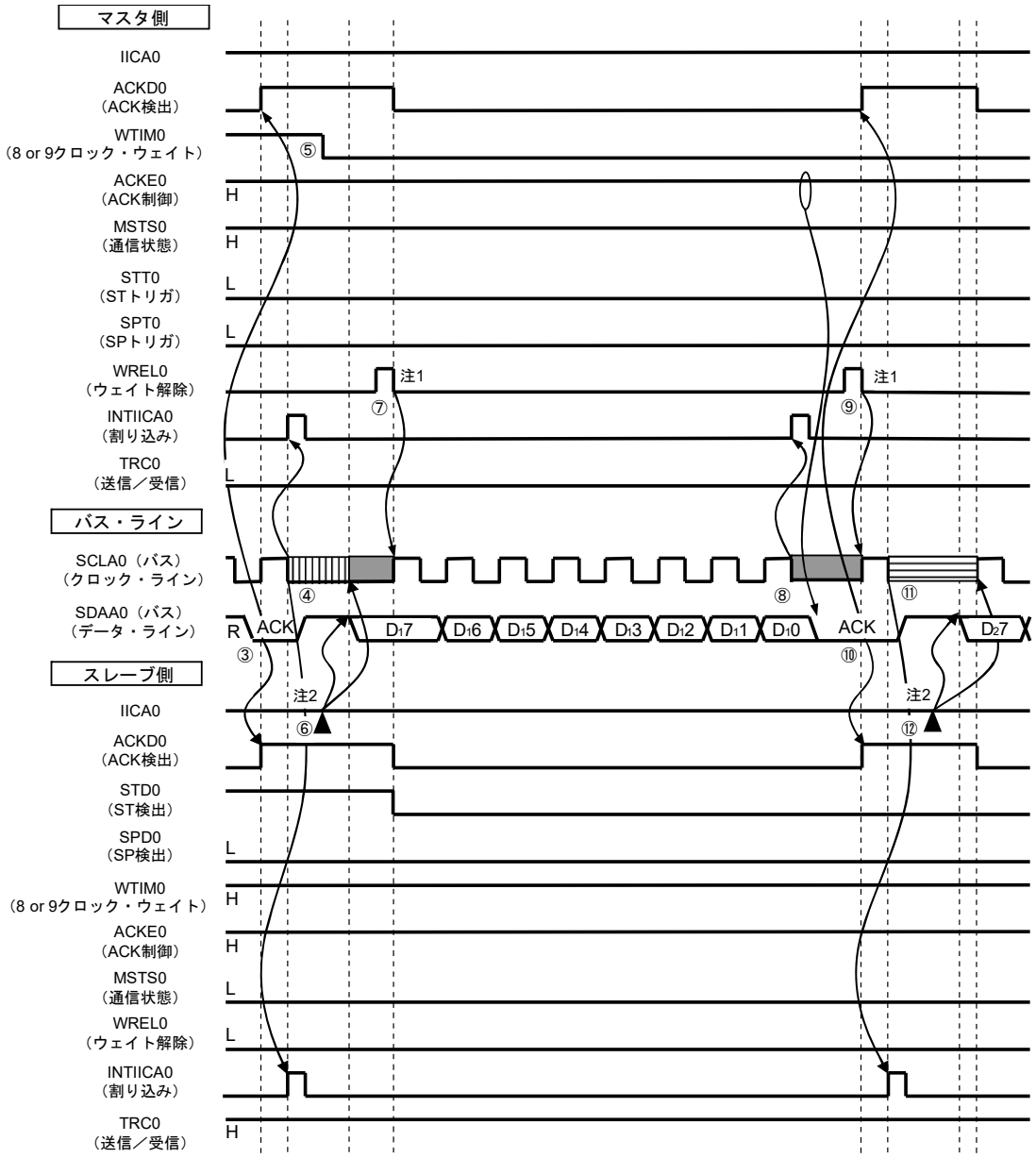
⑦ マスタ側がウェイトを解除（WREL0 = 1）して，スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側は ACK をマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側の INTIICA0 割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウェイトもかかりません。
ただし，マスタ側は ACK, NACK の両方に対して，INTIICA0 割り込み（アドレス送信完了割り込み）が発生します。

備考 図 16－33 の①～⑲は，I²C バスによるデータ通信の一連の操作手順です。
図 16－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図 16－33（2）アドレス～データ～データでは手順③～⑫
図 16－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図16－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウェイト選択）（2/3）

(2)　アドレス～データ～データ



：マスタによるウェイト

：スレーブによるウェイト

：マスタ，スレーブによるウェイト

注 1. マスタ側での受信時のウェイト解除は，IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

2. スレーブ側での送信時のウェイト解除は，WREL0 ビットのセットではなく，IICA0 へのデータ書き込みで行ってください。

図16－33（2）アドレス～データ～データの③～⑫の説明を次に示します。

③　スレーブ側で，受信したアドレスと自局のアドレス（SVA0 の値）が一致した場合 注，ハードウェアにより ACK がマスタ側へ送信され，9 クロック目の立ち上がり時に，マスタ側で ACK が検出（ACKD0 = 1）されます。

④　9 クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウェイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します 注。

⑤　マスタ側はウェイト・タイミングを 8 クロック目に（WTIM0 = 0）に変更します。

⑥　スレーブ側が IICA シフト・レジスタ 0（IICA0）に送信データを書き込み，スレーブ側によるウェイトを解除します。

⑦　マスタ側がウェイトを解除（WREL0 = 1）して，スレーブからのデータ転送を開始します。

⑧　8 クロック目の立ち下がりで，マスタ側によるウェイト（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側 ACKE0 = 1 なのでハードウェアにより ACK がスレーブ側へ送信されます。

⑨　マスタ側は受信したデータを読み出して，ウェイトを解除（WREL0 = 1）します。

⑩　9 クロック目の立ち上がり時に，スレーブ側で ACK が検出（ACKD0 = 1）されます。

⑪　9 クロック目の立ち下がりで，スレーブ側によるウェイト（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

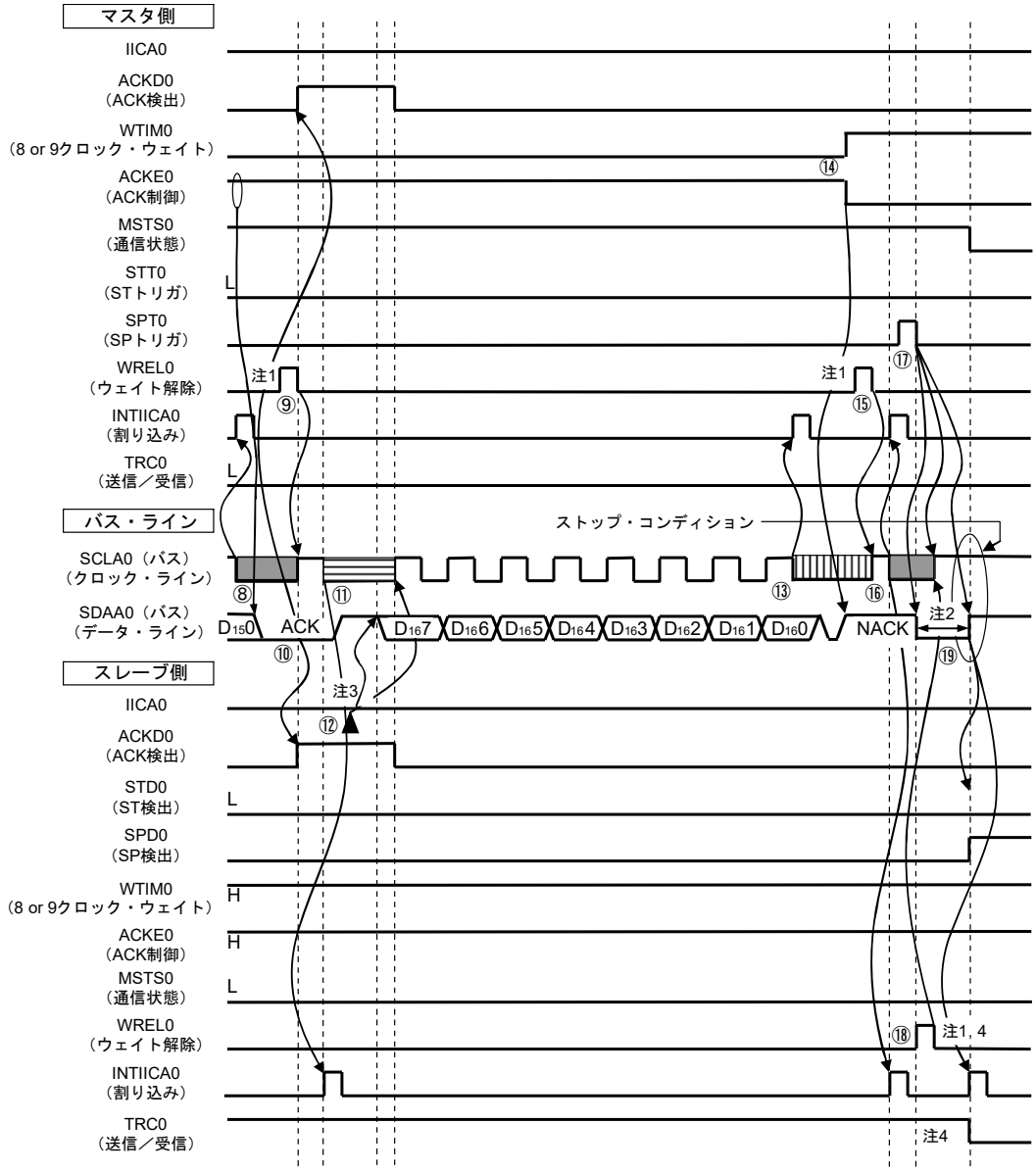
⑫　スレーブ側が IICA0 レジスタに送信データを書き込むと，スレーブ側によるウェイトが解除され，スレーブ→マスタにデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側は ACK をマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側の INTIICA0 割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウェイトもかかりません。
ただし，マスタ側は ACK, NACK の両方に対して，INTIICA0 割り込み（アドレス送信完了割り込み）が発生します。

備考　図 16－33 の①～⑲は，I^2C バスによるデータ通信の一連の操作手順です。
図 16－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図 16－33（2）アドレス～データ～データでは手順③～⑫
図 16－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図16－33　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウェイト選択）（3/3）

(3)　データ～データ～ストップ・コンディション



：マスタによるウェイト

：スレーブによるウェイト

：マスタ，スレーブによるウェイト

注 1. ウェイト解除は，IICA0←FFH または WREL0 ビットのセットのどちらかで行ってください。

2. ストップ・コンディションの発行後，SCLA0 端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は 4.0 μs 以上，ファースト・モード設定時は 0.6 μs 以上です。

3. スレーブ側での送信時のウェイト解除は，WREL0 ビットのセットではなく，IICA0 へのデータ書き込みで行ってください。

4. スレーブ側での送信時のウェイトを WREL0 ビットのセットで解除すると，TRC0 ビットはクリアされます。

図16－33（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧　8 クロック目の立ち下がりで，マスタ側によるウェイト（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側は ACKE0 = 1 なので，ハードウェアにより ACK がスレーブ側へ送信されます。

⑨　マスタ側は受信したデータを読み出して，ウェイトを解除（WREL0 = 1）します。

⑩　9 クロック目の立ち上がり時に，スレーブ側で ACK が検出（ACKD0 = 1）されます。

⑪　9 クロック目の立ち下がりで，スレーブ側によるウェイト（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

⑫　スレーブ側が IICA シフト・レジスタ 0（IICA0）に送信データを書き込むと，スレーブ側によるウェイトが解除され，スレーブ→マスタにデータ転送を開始します。

⑬　8 クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側によるウェイト（SCLA0 = 0）がかかります。ACK 制御（ACKE0 = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAA0 = 0）となります。

⑭　マスタ側は NACK 応答に設定（ACKE0 = 0）し，ウェイト・タイミングを 9 クロック目ウェイト（WTIM0 = 1）に変更します。

⑮　マスタ側がウェイトを解除（WREL0 = 1）すると，スレーブ側は 9 クロック目の立ち上がりで NACK を検出（ACKD0 = 0）します。

⑯　9 クロック目の立ち下がりで，マスタ側とスレーブ側によるウェイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑰　マスタ側でストップ・コンディション発行（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，マスタ側のウェイトが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されるまで待機します。

⑱　スレーブ側は NACK を確認して，送信を止めて通信を完了するためにウェイトを解除（WREL0 = 1）します。スレーブによるウェイトが解除されると，バス・クロック・ラインがセット（SCLA0 = 1）されます。

⑲　マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）してストップ・コンディション（SCLA0 = 1 で SDAA0 = 0→1）を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図 16－33 の①～⑲は，I^2C バスによるデータ通信の一連の操作手順です。
図 16－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図 16－33（2）アドレス～データ～データでは手順③～⑫
図 16－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

第17章　LIN/UART モジュール（RLIN3）

17.1　概要

LIN/UART モジュールは LIN Specification Package Revision 1.3, 2.0, 2.1, 2.2, SAE J2602 に対応したハードウェア LIN 通信コントローラで，フレーム通信とエラー判定を自動で行います。

また，UART モードを持っており，UART として使用することもできます。

表 17－1 に LIN/UART モジュールの仕様，図 17－1，図 17－2 に LIN/UART モジュールのブロック図を示します。

備考　本章では，次の変数を使用します。

n：チャネル番号（RL78/F23：n = 0 のみ，RL78/F24：n = 0, 1）

表 17－1　LIN/UART モジュールの仕様（1/3）

項目		仕様	
チャネル数		RL78/F23：1 チャネル RL78/F24：2 チャネル	
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3, 2.0, 2.1, 2.2, SAE J2602	
	フレーム構成可変	マスタ	• 送信ブレーク幅：13～28 Tbit • 送信ブレーク・デリミタ幅：1～4 Tbit • インタバイト・スペース（ヘッダ）：0～7 Tbit（シンク・フィールドと ID フィールド間のスペース）注1 • レスポンス・スペース：0～7 Tbit 注1 • インタバイト・スペース：0～3 Tbit（レスポンス領域内のデータ・バイト間のスペース） • ウェイクアップ：1～16 Tbit
		スレーブ	• 受信ブレーク幅　：9.5 または 10.5 Tbit［固定ボー・レートの場合］ ：10 または 11 Tbit［オート・ボー・レートの場合］ • レスポンス・スペース：0～7 Tbit • インタバイト・スペース：0～3 Tbit（レスポンス領域内のデータ・バイト間のスペース） • ウェイクアップ：1～16 Tbit
	チェックサム	• 送受信ともに自動演算 • クラシックまたはエンハンス選択可能（フレームごとに変更可能）	
	レスポンス・フィールド・データ・バイト数	0～8 バイト可変 多バイト（9 バイト以上）レスポンス送受信にも対応	
	フレーム通信方法	マスタ	• ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード • ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレーム・セパレート・モード）
		スレーブ	• 固定ボー・レートで自動的にヘッダを受信するモード • ブレーク・フィールドとシンク・フィールドを検出し，そのシンク・フィールドの計測結果からボー・レートの設定を行い，自動でヘッダを受信するモード

（**注**は，表17－1（3/3）の下にあります。）

表 17－1　LIN/UART モジュールの仕様（2/3）

項目		仕様	
LIN 通信機能	ウェイクアップ送受信	LIN ウェイクアップ・モードで使用可能 • ウェイクアップ送信機能（1～16 Tbit） • ウェイクアップ受信 入力信号 Low 幅カウント機能	
	ステータス	マスタ	• フレーム／ウェイクアップ送信完了 • ヘッダ送信完了 • フレーム／ウェイクアップ受信完了 注2 • データ 1 受信完了 • エラー検出 • 動作モード （LIN リセット・モード，LIN ウェイクアップ・モード，LIN 動作モード，LIN セルフテスト・モード）
		スレーブ	• フレーム／ウェイクアップ送信完了 • フレーム／ウェイクアップ受信完了 注2 • ヘッダ受信完了 • データ 1 受信完了 • エラー検出 • 動作モード （LIN リセット・モード，LIN ウェイクアップ・モード，LIN 動作モード，LIN セルフテスト・モード） • レスポンス・スペースで 0.5 Tbit 以上のドミナントを検出 • ブレーク・フィールドおよびシンク・フィールドの受信を検出
	エラー・ステータス	マスタ	• ビット・エラー • チェックサム・エラー • フレーム・タイムアウト・エラー／レスポンス・タイムアウト・エラー • フィジカル・バス・エラー • フレーミング・エラー • レスポンス準備エラー
		スレーブ	• ビット・エラー • チェックサム・エラー • フレーム・タイムアウト・エラー／レスポンス・タイムアウト・エラー • シンク・フィールド・エラー • ID パリティ・エラー • フレーミング・エラー • レスポンス準備エラー
	ボー・レート選択	ボー・レート・ジェネレータにより LIN 仕様のボー・レートを生成可能	
	テスト・モード	ユーザ評価用セルフテスト・モード	
	割り込み機能	マスタ	• ヘッダ／フレーム／ウェイクアップ送信完了 • フレーム／ウェイクアップ受信完了 注2 • エラー検出
		スレーブ	• フレーム／ウェイクアップ送信完了 • ヘッダ／フレーム／ウェイクアップ受信完了 注2 • エラー検出

（注は，次のページにあります。）

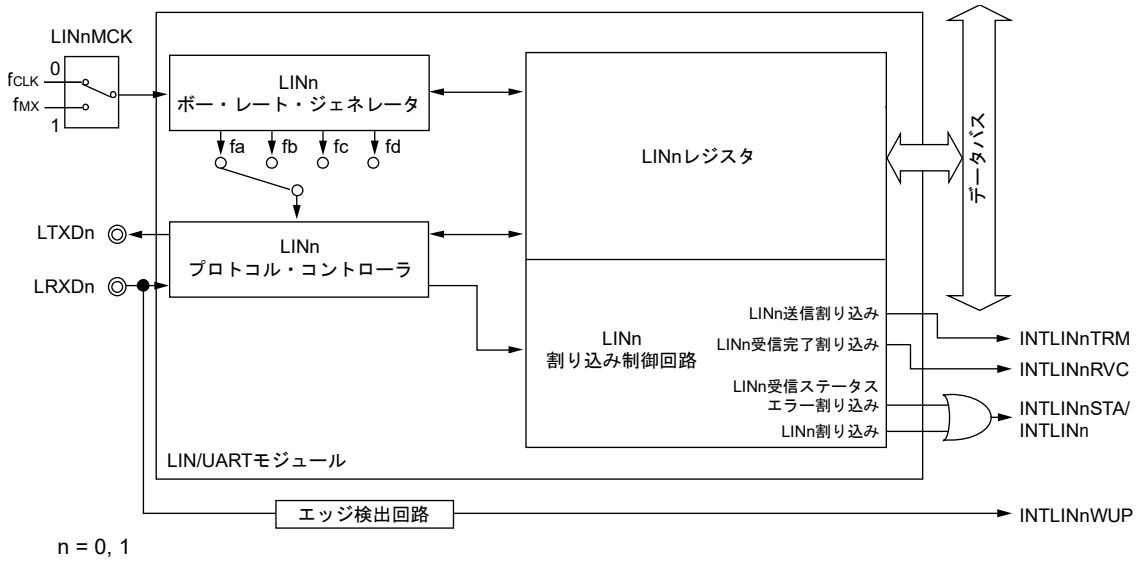
表 17－1　LIN/UART モジュールの仕様（3/3）

項目		仕様
UART 通信機能	データ・バッファ	• 送信データ・バッファ／ウェイト用送信データ・バッファ （送信専用。データ長は 1。7, 8, 9 ビット長に対応） • UART バッファ （送信専用。1～9 の可変データ長。7, 8 ビット長に対応） • 受信データ・バッファ （受信専用。データ長は 1。7, 8, 9 ビット長に対応）
	データ・フォーマット	• キャラクタ長：7, 8 ビット 拡張ビットにより 9 ビット対応可能 • 送信ストップ・ビット：1, 2 ビット • パリティ機能：奇数，偶数，0，なし • LSB または MSB ファースト転送選択可能 • 送受信データの反転入出力が可能
	ステータス	• 送信ステータス • 受信ステータス • UART バッファ送信完了 • エラー・サム • 拡張ビット検出 • ID 一致 • リセット・モード・ステータス
	エラー・ステータス	• ビット・エラー • フレーミング・エラー • パリティ・エラー • オーバラン・エラー
	ボー・レート選択	ボー・レート・ジェネレータ内蔵により任意のボー・レートを設定可能
	• 任意の拡張ビットが期待するレベルであった場合，受信データをあらかじめ設定したレジスタ内のデータと 8 ビット比較が可能。 • ストップ・ビット受信を保証（送信開始時にストップ・ビット受信中だった場合，送信開始を遅らせることが可能）。	
	割り込み機能	• 送信開始／完了 • 受信完了 • ステータス検出

注 1. 同一レジスタで設定するため，インタバイト・スペース（ヘッダ）= レスポンス・スペースとなります。

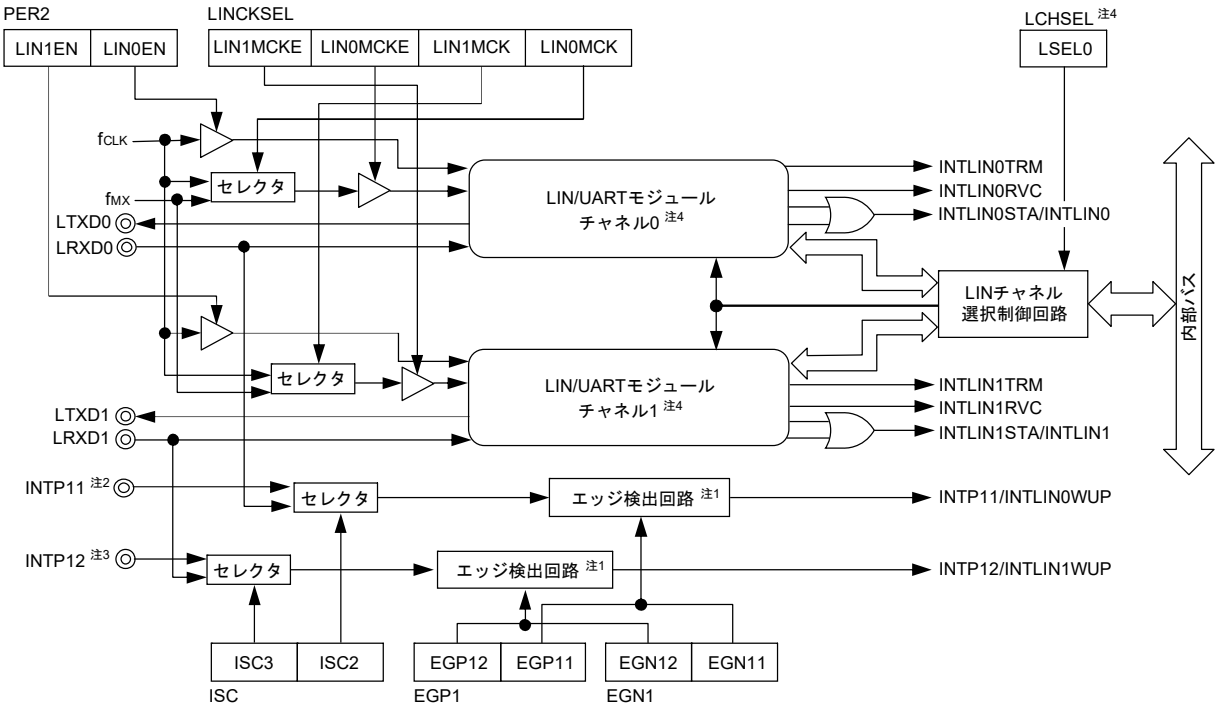
2. ウェイクアップ受信は，入力信号Low幅カウントを示します。

図 17－1　LIN/UART モジュール・ブロック図（1）



- LTXDn，LRXDn　　：LIN/UART モジュールの入出力端子です。
- LINn ボー・レート・ジェネレータ　：LIN/UART モジュールの通信クロックを生成します。
- LINn レジスタ　　：LIN/UART モジュールのレジスタです。
- LINn 割り込み制御回路　　：LIN/UART モジュールによって生成される割り込み要求を制御します。

図 17－2　LIN/UART モジュール・ブロック図（2）



注 1. 詳細は「第21章　割り込み機能」を参照してください。
2. INTP11は，RL78/F23の64, 80ピン製品，およびRL78/F24の64, 80, 100ピン製品のみ搭載。
3. INTP12は，RL78/F23の64, 80ピン製品，およびRL78/F24の64, 80, 100ピン製品のみ搭載。
4. LCHSELレジスタで選択したチャネルのみCPU命令およびDTCによるレジスタへのアクセスが可能です。1チャネル搭載製品の場合は，LCHSELレジスタのLSEL0ビットの値を0に設定してください。

表 17－2 に LIN/UART モジュールで使用する入出力端子を示します。

表 17－2　LIN/UART モジュールの入出力端子

モジュール・シンボル	端子名	入出力	機能
LINn	LRXDn	入力	LIN 通信機能 UART 通信機能の入力端子
	LTXDn	出力	LIN 通信機能 UART 通信機能の出力端子

備考　n = 0, 1

LIN マスタ，LIN スレーブ，UART の用途に応じて，LIN/UART モジュールの以下のモードを使用します。

LIN マスタ

- LIN リセット・モード
- LIN モード（LIN マスタ・モード）
  - LIN ウェイクアップ・モード
  - LIN 動作モード
- LIN セルフテスト・モード

LIN スレーブ

- LIN リセット・モード
- LIN モード（LIN スレーブ・モード［オート・ボー・レート］，または LIN スレーブ・モード［固定ボー・レート］）
  - LIN ウェイクアップ・モード
  - LIN 動作モード
- LIN セルフテスト・モード

UART

- LIN リセット・モード
- UART モード

17.2　レジスタの説明

表 17－3 に LIN/UART モジュールに関連するレジスター覧を示します。

表 17－3　LIN/UART モジュール関連レジスター覧（1/2）

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ	LIN マスタ	LIN スレーブ	UART
F02C1H	周辺イネーブル・レジスタ 2	PER2	00H	1, 8	○	○	○
F0073H	入力切り替え制御レジスタ	ISC	00H	1, 8	○	○	○
F007BH	LIN チャネル選択レジスタ	LCHSEL	00H	8	○	○	○
F02C3H	LIN クロック選択レジスタ	LINCKSEL	00H	1, 8	○	○	○
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ 0	EGP0	00H	1, 8	○	○	○
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ 0	EGN0	00H	1, 8	○	○	○
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ 1	EGP1	00H	1, 8	○	○	○
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ 1	EGN1	00H	1, 8	○	○	○
F06C1H	LIN ウェイクアップ・ボー・レート選択レジスタ	LWBR0/LWBR1	00H	8	○	○	○
F06C2H	LIN/UART ボー・レート・プリスケーラ・レジスタ	LBRP0/LBRP1	0000H	8, 16	—	○	○
	LIN/UART ボー・レート・プリスケーラ 0 レジスタ	LBRP00/LBRP10			○	○	○
F06C3H	LIN/UART ボー・レート・プリスケーラ 1 レジスタ	LBRP01/LBRP11			○	○	○
F06C4H	LIN セルフテスト・コントロール・レジスタ	LSTC0/LSTC1	00H	8	○	○	—
F06C5H	UART スタンバイ・コントロール・レジスタ	LUSC0/LUSC1	00H	8	—	—	○
F06C8H	LIN/UART モード・レジスタ	LMD0/LMD1	00H	8	○	○	○
F06C9H	LIN ブレーク・フィールド・コンフィグレーション・レジスタ／UART コンフィグレーション・レジスタ	LBFC0/LBFC1	00H	8	○	○	○
F06CAH	LIN/UART スペース・コンフィグレーション・レジスタ	LSC0/LSC1	00H	8	○	○	○
F06CBH	LIN ウェイクアップ・コンフィグレーション・レジスタ	LWUP0/LWUP1	00H	8	○	○	—
F06CCH	LIN 割り込み許可レジスタ	LIE0/LIE1	00H	8	○	○	—
F06CDH	LIN/UART エラー検出許可レジスタ	LEDE0/LEDE1	00H	8	○	○	○
F06CEH	LIN/UART コントロール・レジスタ	LCUC0/LCUC1	00H	8	○	○	○
F06D0H	LIN/UART 送信コントロール・レジスタ	LTRC0/LTRC1	00H	8	○	○	○
F06D1H	LIN/UART モード・ステータス・レジスタ	LMST0/LMST1	00H	8	○	○	○
F06D2H	LIN/UART ステータス・レジスタ	LST0/LST1	00H	8	○	○	○
F06D3H	LIN/UART エラー・ステータス・レジスタ	LEST0/LEST1	00H	8	○	○	○
F06D4H	LIN/UART データ・フィールド・コンフィグレーション・レジスタ	LDFC0/LDFC1	00H	8	○	○	○
F06D5H	LIN/UART ID バッファ・レジスタ	LIDB0/LIDB1	00H	8	○	○	○
F06D6H	LIN チェックサム・バッファ・レジスタ	LCBR0/LCBR1	00H	8	○	○	—
F06D7H	UART データ・バッファ 0 レジスタ	LUDB00/LUDB10	00H	8	—	—	○
F06D8H	LIN/UART データ・バッファ 1 レジスタ	LDB01/LDB11	00H	8	○	○	○
F06D9H	LIN/UART データ・バッファ 2 レジスタ	LDB02/LDB12	00H	8	○	○	○
F06DAH	LIN/UART データ・バッファ 3 レジスタ	LDB03/LDB13	00H	8	○	○	○
F06DBH	LIN/UART データ・バッファ 4 レジスタ	LDB04/LDB14	00H	8	○	○	○
F06DCH	LIN/UART データ・バッファ 5 レジスタ	LDB05/LDB15	00H	8	○	○	○
F06DDH	LIN/UART データ・バッファ 6 レジスタ	LDB06/LDB16	00H	8	○	○	○
F06DEH	LIN/UART データ・バッファ 7 レジスタ	LDB07/LDB17	00H	8	○	○	○
F06DFH	LIN/UART データ・バッファ 8 レジスタ	LDB08/LDB18	00H	8	○	○	○

○：使用，－：未使用（未使用のレジスタに書き込みを行う場合は，00Hを書いてください。）

（**注意**と**備考**が次のページにあります。）

表 17－3　LIN/UART モジュール関連レジスター覧（2/2）

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ	LIN マスタ	LIN スレーブ	UART
F06E0H	UART オペレーション許可レジスタ	LUOER0/LUOER1	00H	8	—	—	○
F06E1H	UART オプション・レジスタ 1	LUOR01/LUOR11	00H	8	—	—	○
F06E4H	UART 送信データ・レジスタ	LUTDR0/LUTDR1	0000H	8, 16	—	—	○
		LUTDR0L/LUTDR1L			—	—	○
F06E5H		LUTDR0H/LUTDR1H			—	—	○
F06E6H	UART 受信データ・レジスタ	LURDR0/LURDR1	0000H	8, 16	—	—	○
		LURDR0L/LURDR1L			—	—	○
F06E7H		LURDR0H/LURDR1H			—	—	○
F06E8H	UART ウェイト用送信データ・レジスタ	LUWTDR0/LUWTDR1	0000H	8, 16	—	—	○
		LUWTDR0L/LUWTDR1L			—	—	○
F06E9H		LUWTDR0H/LUWTDR1H			—	—	○
F06ECH	LIN0 ブレーク／シンク・フィールド検出ステータス・レジスタ	LBSS0/LBSS1	00H	8	—	○	—
F06EEH	LIN レスポンス・スペース・ドミナント検出ステータス・レジスタ	LRSS0/LRSS1	00H	8	—	○	—

○：使用，－：未使用（未使用のレジスタに書き込みを行う場合は，00Hを書いてください。）

注意　F06C1H-F06EEHの領域のレジスタは，LCHSELレジスタのLSEL0ビットで指定します。チャネル1レジスタは，RL78/F24製品にのみ存在します。

17.2.1　LIN マスタ関連レジスタ

(1)　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC2, ISC3 ビットは，LIN/UART モジュール（RLIN3）で使用します。

ビット 2, 3 をそれぞれ 1 に設定すると，LIN/UART モジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，ISC レジスタは 00H になります。

アドレス：F0073H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	ISC3	ISC2	0	ISC0

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12 端子の入力信号を外部割り込みに選択
1	LRXD1 端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11 端子の入力信号を外部割り込みに選択
1	LRXD0 端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0 端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0 端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注意 1.　ビット7-4およびビット1は，常に0を設定してください。

2.　RL78/F23製品では，ISC3ビットに必ず0を設定してください。

(2)　LIN チャネル選択レジスタ（LCHSEL）

アドレス：F007BH

略号	7	6	5	4	3	2	1	0
LCHSEL	0	0	0	0	0	0	0	LSEL0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	LSEL0	LIN チャネル選択ビット	0：LIN0 選択（LIN0 のレジスタ・アクセス可能） 1：LIN1 選択（LIN1 のレジスタ・アクセス可能）	R/W

- LSEL0 ビット（LIN チャネル選択ビット）

LIN/UART モジュールのレジスタは，CPU のメモリ・マップ上に直接マッピングされていないため，レジスタ・ウィンドウを通してアクセスします。レジスタ・ウィンドウは，F06C1H - F06EEH 番地にマッピングされています。

このビットに値を設定すると，対応するチャネルのレジスタが一括してレジスタ・ウィンドウにマッピングされます。

0 の場合，LIN0 のレジスタがマッピングされます。

1 の場合，LIN1 のレジスタがマッピングされます。

RL78/F23 製品では，このビットの値を 0 に設定してください。

RL78/F24 製品では，レジスタ・アクセス前に使用したいチャネルの該当する値に変更してください。

(3)　周辺イネーブル・レジスタ 2（PER2）

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

PER2 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00H になります。

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	AAUEN	0	0	LIN1EN 注	LIN0EN	0	CAN0EN 注

AAUEN	AAU の入力クロック供給の制御
0	入力クロック供給停止 • AAU で使用する SFR へのライト不可 • AAU はリセット状態
1	入力クロック供給 • AAU で使用する SFR へのリード／ライト可

LIN1EN 注	LIN1 の入力クロック供給の制御
0	入力クロック供給停止 • LIN1 で使用する SFR へのライト不可 • LIN1 はリセット状態
1	入力クロック供給 • LIN1 で使用する SFR へのリード／ライト可

LIN0EN	LIN0 の入力クロック供給の制御
0	入力クロック供給停止 • LIN0 で使用する SFR へのライト不可 • LIN0 はリセット状態
1	入力クロック供給 • LIN0 で使用する SFR へのリード／ライト可

CAN0EN 注	CAN0 の入力クロック供給の制御
0	入力クロック供給停止 • CAN で使用する SFR へのライト不可 • CAN はリセット状態 CAN0 ウェイクアップ割り込みを禁止
1	入力クロック供給 • CAN で使用する SFR へのリード／ライト可 CAN0 ウェイクアップ割り込みを許可

注　RL78/F24 製品のみ。

注意　次のビットには必ず0を設定してください。

- **RL78/F23：ビット0, 1, 3, 4, 5, 7**
- **RL78/F24：ビット1, 4, 5, 7**

(4)　LIN クロック選択レジスタ（LINCKSEL）

LIN への通信クロック源を制御するレジスタです。

アドレス：F02C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	0	LIN1MCKE 注	LIN0MCKE	0	0	LIN1MCK 注	LIN0MCK

LIN1MCKE 注	LIN1 の通信クロック源の供給または停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN0MCKE	LIN0 の通信クロック源の供給または停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN1MCK 注	LIN1 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

LIN0MCK	LIN0 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

注　RL78/F24 製品のみ。

注意 1.　LINnMCKE（n = 0, 1）を1（通信クロック源を供給）にする前に，LINnMCKでLINnの通信クロック源を選択してください。

2.　SNOOZE時にLINnを動作させる場合，LINnMCK = 0に設定してください。

3.　LINnMCKを1（f_{MX}クロックを選択）で使用する場合，タイムアウト・エラーを使用しないでください。その場合，f_{CLK}クロックはLIN通信クロック源の1.2倍以上の周波数でご使用ください。

(5)　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

詳細は「21.3.4　外部割り込み立ち上がり／立ち下がりエッジ許可レジスタ（EGP0, EGP1, EGN0, EGN1）」を参照してください。

(6)　LIN ウェイクアップ・ボー・レート選択レジスタ（LWBRn）

アドレス：F06C1H

略号	7	6	5	4	3	2	1	0
LWBRn	NSPB[3:0]				LPRS[2:0]			LWBR0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	NSPB[3:0]	ビット・サンプリング数選択ビット	0000B：16 サンプリング 1111B：16 サンプリング 上記 以外は設定しないでください。	R/W
3-1	LPRS[2:0]	プリスケーラ・クロック選択ビット	000B：1/1 001B：1/2 010B：1/4 011B：1/8 100B：1/16 101B：1/32 110B：1/64 111B：1/128	R/W
0	LWBR0	ウェイクアップ・ボー・レート選択ビット	0：LIN1.3 使用時 1：LIN2.x 使用時	R/W

LWBRn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- NSPB ビット（ビット・サンプリング数選択ビット）

1 Tbit（ボー・レートの逆数）のサンプリング数を選択するビットです。
LIN マスタ・モード（LIN/UART モード・レジスタの LIN/UART モード選択ビットが 00B）で使用するときは，これらのビットを 0000B または 1111B（16 サンプリング）に設定してください。

- LPRS ビット（プリスケーラ・クロック選択ビット）

プリスケーラの分周比を選択するビットです。
このプリスケーラにより，LIN 通信クロック源を分周します。

- LWBR0 ビット（ウェイクアップ・ボー・レート選択ビット）

LIN Specification Package Revision 1.3 使用時は，LWBRn レジスタの LWBR0 ビットを 0 にしてください。これにより，入力信号 Low 幅をビットタイムで 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.x 使用時は 1 にしてください。1 にすることで LIN ウェイクアップ・モード中は LMDn レジスタの LCKS ビットの設定にかかわらず，LIN システム・クロック（f_{LIN}）は fa が選択されます（LCKS ビットは変化しません）。入力信号 Low レベル幅を 2.5 Tbit 以上で計測することができます。
fa 選択時のボー・レートを 19200 bps に設定することにより，LMDn レジスタの LCKS ビットの設定にかかわらず，LIN ウェイクアップ・モード時に 130 μs 以上の入力信号 Low レベル幅を検出することができます。

(7)　LIN/UART ボー・レート・プリスケーラ 0 レジスタ（LBRPn0）

アドレス：F06C2H

略号	7	6	5	4	3	2	1	0
LBRPn0								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	設定値を N（0-255）とすると，ボー・レート・プリスケーラはプリスケーラ・クロックを N+1 分周します。	00H - FFH	R/W

LBRPn0 レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

このレジスタの設定値が，ボー・レート・クロック・ソース fa，fb，fc の周波数制御に使用されます。

このレジスタの設定値を N とすると，ボー・レート・プリスケーラ 0 は LWBRn レジスタの LPRS ビット（プリスケーラ・クロック選択ビット）で分周したクロックを N+1 分周します。

(8) LIN/UART ボー・レート・プリスケーラ 1 レジスタ（LBRPn1）

アドレス：F06C3H

略号	7	6	5	4	3	2	1	0
LBRPn1								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	設定値を M（0-255）とすると，ボー・レート・プリスケーラはプリスケーラ・クロックを M+1 分周します。	00H - FFH	R/W

LBRPn1 レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

このレジスタの設定値が，ボー・レート・クロック・ソース fd の周波数制御に使用されます。

このレジスタの設定値を M とすると，ボー・レート・プリスケーラ 1 は LWBRn レジスタの LPRS ビット（プリスケーラ・クロック選択ビット）で分周したクロックを M+1 分周します。

(9)　LIN セルフテスト・コントロール・レジスタ（LSTCn）

アドレス：F06C4H

略号	7	6	5	4	3	2	1	0
LSTCn								LSTM
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-0	A7H→58H→01H の連続書き込みにより，LIN セルフテスト・モードにエントリします。			R/W
0	LSTM	LIN セルフテスト・モード・ビット	0：LIN セルフテスト・モードではない 1：LIN セルフテスト・モード	R/W

LSTCn レジスタは，LIN セルフテスト・モードのプロテクトを解除するために使用するレジスタです。

LSTCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

A7H→58H→01H の連続書き込みにより，LIN セルフテスト・モードへエントリします。

連続書き込みが成功し，LIN セルフテスト・モードにした場合は，LSTM ビットが 1 になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテスト・モードへの移行方法は，「17.6　LIN セルフテスト・モード」を参照してください。

ビット 6-1 を読み出すと 000000B が，ビット 7 を読み出すと不定値が読めます。

- LSTM ビット（LIN セルフテスト・モード・ビット）

LIN セルフテスト・モードに移行したとき，このビットは 1 になります。

LIN セルフテスト・モードの終了方法は，「17.6　LIN セルフテスト・モード」を参照してください。

LSTCn レジスタへの A7H→58H→01H の連続書き込み以外で，このビットに 1 を書いても値は変化しません。

(10) LIN/UART モード・レジスタ（LMDn）

アドレス：F06C8H

略号	7	6	5	4	3	2	1	0
LMDn	0	0	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5	LRDNFS	LIN 受信データ・ノイズ・フィルタ禁止ビット	0：ノイズ・フィルタを使用する 1：ノイズ・フィルタを使用しない	R/W
4	LIOS	LIN 割り込み出力選択ビット	0：LIN 割り込みを使用 1：送信割り込み，受信完了割り込み，受信ステータス割り込みを使用	R/W
3, 2	LCKS[1:0]	LIN システム・クロック選択ビット	00B：fa（ボー・レート・プリスケーラ 0 生成クロック） 01B：fb（ボー・レート・プリスケーラ 0 生成クロック/2） 10B：fc（ボー・レート・プリスケーラ 0 生成クロック/8） 11B：fd（ボー・レート・プリスケーラ 1 生成クロック/2）	R/W
1, 0	LMD[1:0]	LIN/UART モード選択ビット	00B：LIN マスタ・モード	R/W

LMDn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- LRDNFS ビット（LIN 受信データ・ノイズ・フィルタ禁止ビット）

データ受信時のノイズ・フィルタの有効／無効を選択するビットです。
0 の場合，データ受信時のノイズ・フィルタは有効です。
1 の場合，データ受信時のノイズ・フィルタは無効です。

- LIOS ビット（LIN 割り込み出力選択ビット）

LIN/UART モジュールからの割り込み出力本数を選択するビットです。
0 の場合，LIN/UART モジュールから LIN 割り込みを出力します。
1 の場合, LIN/UART モジュールから送信割り込み, 受信完了割り込み, 受信ステータス割り込みを出力します。
各割り込みの要因は「17.9　割り込み」を参照してください。

- LCKS[1:0]ビット（LIN システム・クロック選択ビット）

プロトコル・コントローラに入力するクロックを選択するビットです。
00B の場合，プロトコル・コントローラには fa（ボー・レート・プリスケーラ 0 生成クロック）が入力されます。
01B の場合，プロトコル・コントローラには fb（ボー・レート・プリスケーラ 0 生成クロック/2）が入力されます。
10B の場合，プロトコル・コントローラには fc（ボー・レート・プリスケーラ 0 生成クロック/8）が入力されます。
11B の場合，プロトコル・コントローラには fd（ボー・レート・プリスケーラ 1 生成クロック/2）が入力されます。
LWBRn レジスタの LWBR0 ビットが 1（LIN2.x 使用時）かつ LMSTn レジスタが 01H（LIN ウェイクアップ・モード）の場合，このビットの設定にかかわらず，プロトコル・コントローラには fa が入力されます（LCKS ビットは変化しません）。

- LMD[1:0]ビット（LIN/UART モード選択ビット）

  LIN/UART モジュールのモードを選択するビットです。

  LIN マスタとして使用する場合は，これらのビットを 00B に設定してください。

  00B の場合，LIN/UART モジュールは LIN マスタ・モードとして動作します。

(11) LIN ブレーク・フィールド・コンフィグレーション・レジスタ／UART コンフィグレーション・レジスタ（LBFCn）

アドレス：F06C9H

略号	7	6	5	4	3	2	1	0
LBFCn	0	0	BDT[1:0]		BLT[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5, 4	BDT[1:0]	送信ブレーク・デリミタ（High）幅設定ビット	00B：1 Tbit 01B：2 Tbits 10B：3 Tbits 11B：4 Tbits	R/W
3-0	BLT[3:0]	送信ブレーク（Low）幅設定ビット	0000B：13 Tbits 0001B：14 Tbits 0010B：15 Tbits ： 1110B：27 Tbits 1111B：28 Tbits	R/W

LBFCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

設定値の組み合わせによっては，1 フレームの長さがフレーム・タイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

- BDT[1:0] ビット（送信ブレーク・デリミタ（High）幅設定ビット）

  送信フレーム・ヘッダ部のブレーク・デリミタ（High）幅の設定をします。

  1 Tbit～4 Tbits を設定できます。

- BLT[3:0] ビット（送信ブレーク（Low）幅設定ビット）

  送信フレーム・ヘッダ部のブレーク（Low）幅の設定をします。

  13 Tbits～28 Tbits を設定できます。

(12) LIN/UART スペース・コンフィグレーション・レジスタ（LSCn）

アドレス：F06CAH

略号	7	6	5	4	3	2	1	0
LSCn	0	0	IBS[1:0]		0	IBSH[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5-4	IBS[1:0]	インタバイト・スペース設定ビット	00B：0 Tbit 01B：1 Tbit 10B：2 Tbits 11B：3 Tbits	R/W
3	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
2-0	IBSH[2:0]	インタバイト・スペース（ヘッダ）／レスポンス・スペース設定ビット	000B：0 Tbit 001B：1 Tbit 010B：2 Tbits 011B：3 Tbits 100B：4 Tbits 101B：5 Tbits 110B：6 Tbits 111B：7 Tbits	R/W

LSCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。設定値の組み合わせによっては，1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定してください。

- IBS[1:0] ビット（インタバイト・スペース設定ビット）

  送信フレーム・レスポンス部のインタバイト・スペースの幅を設定します。
  0 Tbit～3 Tbits を設定できます。
  レスポンス送信時のみ有効です。レスポンス受信時は，無効になります。

- IBSH[2:0] ビット（インタバイト・スペース（ヘッダ）／レスポンス・スペース設定ビット）

  送信フレーム・ヘッダ部のインタバイト・スペース（ヘッダ）とレスポンス・スペースの幅を設定します。
  0 Tbit～7 Tbits を設定できます。
  レスポンス・スペースの設定は，レスポンス送信時のみ有効です。レスポンス受信時は，無効になります。
  インタバイト・スペース（ヘッダ）とレスポンス・スペースの値は，同じになります。

(13) LIN ウェイクアップ・コンフィグレーション・レジスタ（LWUPn）

アドレス：F06CBH

略号	7	6	5	4	3	2	1	0
LWUPn	WUTL[3:0]				0	0	0	0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	WUTL[3:0]	ウェイクアップ送信 Low 幅設定ビット	0000B：1 Tbit 0001B：2 Tbits 0010B：3 Tbits 0011B：4 Tbits ： 1100B：13 Tbits 1101B：14 Tbits 1110B：15 Tbits 1111B：16 Tbits	R/W
3-0	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W

LWUPn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- WUTL[3:0] ビット（ウェイクアップ送信 Low 幅設定ビット）

  ウェイクアップ・シグナル送信時の Low 幅を設定します。

  1 Tbit～16 Tbits を設定できます。

  LWBRn レジスタの LWBR0 ビットが 1（LIN2.x 使用時）の場合，LMDn レジスタの LCKS ビットにかかわらず，LIN システム・クロック（f_{LIN}）は fa が選択されます（LCKS ビットは変化しません）。

(14) LIN 割り込み許可レジスタ（LIEn）

アドレス：F06CCH

略号	7	6	5	4	3	2	1	0
LIEn	0	0	0	0	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3	SHIE	ヘッダ送信完了割り込み許可ビット	0：ヘッダ送信完了割り込み禁止 1：ヘッダ送信完了割り込み許可	R/W
2	ERRIE	エラー検出割り込み許可ビット	0：エラー検出割り込み禁止 1：エラー検出割り込み許可	R/W
1	FRCIE	フレーム／ウェイクアップ受信完了割り込み許可ビット	0：フレーム／ウェイクアップ受信完了割り込み禁止 1：フレーム／ウェイクアップ受信完了割り込み許可	R/W
0	FTCIE	フレーム／ウェイクアップ送信完了割り込み許可ビット	0：フレーム／ウェイクアップ送信完了割り込み禁止 1：フレーム／ウェイクアップ送信完了割り込み許可	R/W

LIEn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- SHIE ビット（ヘッダ送信完了割り込み許可ビット）

  ヘッダ送信完了時の割り込み許可／禁止を設定します。

  0 の場合，LSTn レジスタの HTRC フラグが 1 になった際に割り込みは発生しません。

  1 の場合，LSTn レジスタの HTRC フラグが 1 になった際に割り込みが発生します。

- ERRIE ビット（エラー検出割り込み許可ビット）

  エラーを検出したときの割り込み許可／禁止を設定します。

  0 の場合，LSTn レジスタの ERR フラグが 1 になった際に割り込みは発生しません。

  1 の場合，LSTn レジスタの ERR フラグが 1 になった際に割り込みが発生します。

  発生要因となるエラーは，ビット・エラー，フィジカル・バス・エラー，フレーム／レスポンス・タイムアウト・エラー，フレーミング・エラー，チェックサム・エラー，レスポンス準備エラーです。

  ビット・エラー，フィジカル・バス・エラー，フレーム／レスポンス・タイムアウト・エラー，フレーミング・エラーは，LEDEn レジスタで検出許可／禁止の設定ができます。

- FRCIE ビット（フレーム／ウェイクアップ受信完了割り込み許可ビット）

  フレーム受信完了またはウェイクアップ・シグナル受信（入力信号 Low 幅カウント）完了時の割り込み許可／禁止を設定します。

  0 の場合，LSTn レジスタの FRC フラグが 1 になった際に割り込みは発生しません。

  1 の場合，LSTn レジスタの FRC フラグが 1 になった際に割り込みが発生します。

- FTCIE ビット（フレーム／ウェイクアップ送信完了割り込み許可ビット）

  フレーム送信完了またはウェイクアップ・シグナル送信完了時の割り込み許可／禁止を設定します。

  0 の場合，LSTn レジスタの FTC フラグが 1 になった際に割り込みは発生しません。

  1 の場合，LSTn レジスタの FTC フラグが 1 になった際に割り込みが発生します。

(15) LIN/UART エラー検出許可レジスタ（LEDEn）

アドレス：F06CDH

略号	7	6	5	4	3	2	1	0
LEDEn	LTES	0	0	0	FERE	FTERE	PBERE	BERE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	LTES	タイムアウト・エラー選択ビット	0：フレーム・タイムアウト・エラー 1：レスポンス・タイムアウト・エラー	R/W
6-4	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3	FERE	フレーミング・エラー検出許可ビット	0：フレーミング・エラー検出禁止 1：フレーミング・エラー検出許可	R/W
2	FTERE	タイムアウト・エラー検出許可ビット	0：フレーム／レスポンス・タイムアウト・エラー検出禁止 1：フレーム／レスポンス・タイムアウト・エラー検出許可	R/W
1	PBERE	フィジカル・バス・エラー検出許可ビット	0：フィジカル・バス・エラー検出禁止 1：フィジカル・バス・エラー検出許可	R/W
0	BERE	ビット・エラー検出許可ビット	0：ビット・エラー検出禁止 1：ビット・エラー検出許可	R/W

LEDEn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- LTES ビット（タイムアウト・エラー選択ビット）

LTES ビットは，使用するタイムアウト機能を選択します。
0 の場合，タイムアウト機能はフレーム・タイムアウトとして動作します。
1 の場合，タイムアウト機能はレスポンス・タイムアウトとして動作します。
タイムアウト・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- FERE ビット（フレーミング・エラー検出許可ビット）

フレーミング・エラー検出の許可／禁止を設定します。
LIN マスタ・モード時は，このビットを 1（フレーミング・エラー検出許可）にしてください。
フレーミング・エラーの検出結果は，LESTn レジスタの FER フラグに反映されます。
フレーミング・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- FTERE ビット（タイムアウト・エラー検出許可ビット）

フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラー検出の許可／禁止を設定します。
0 の場合，フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラーを検出しません。
1 の場合，フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラーを検出します。
このビットが 1 の場合の検出結果は，LESTn レジスタの FTER フラグに反映されます。
LTES ビットで，フレーム・タイムアウト・エラー，レスポンス・タイムアウト・エラーの選択ができます。
タイムアウト・エラーは，レスポンスを 9 バイト以上で送信または受信する場合には使用しないでください。
タイムアウト・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- PBERE ビット（フィジカル・バス・エラー検出許可ビット）

  フィジカル・バス・エラー検出の許可／禁止を設定します。

  0 の場合，フィジカル・バス・エラーを検出しません。

  1 の場合，フィジカル・バス・エラーを検出します。

  このビットが 1 の場合の検出結果は，LESTn レジスタの PBER フラグに反映されます。

  フィジカル・バス・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- BERE ビット（ビット・エラー検出許可ビット）

  ビット・エラー検出の許可／禁止を設定します。

  LIN マスタ・モード時は，このビットを 1（ビット・エラー検出許可）にしてください。

  ビット・エラーの検出結果は，LESTn レジスタの BER フラグに反映されます。

  ビット・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

(16) LIN/UART コントロール・レジスタ（LCUCn）

アドレス：F06CEH

略号	7	6	5	4	3	2	1	0
LCUCn	0	0	0	0	0	0	OM1	OM0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	OM1	LIN モード選択ビット	0：LIN ウェイクアップ・モード 1：LIN 動作モード	R/W
0	OM0	LIN リセット・ビット	0：LIN リセット・モード 1：LIN リセット・モードでない	R/W

LIN リセット・モードを解除するときに，LIN ウェイクアップ・モードに移行させる場合は，LCUCn レジスタに 01H を，LIN 動作モードに移行させる場合は，LCUCn レジスタに 03H を設定してください。
LIN セルフテスト・モードでは，LIN セルフテスト・モード移行後に LCUCn レジスタを 03H にしてください。
このレジスタに書き込みをした後は，書き込んだ値が LMSTn レジスタに反映されることを確認してから，次の値の書き込みを行ってください。

- OM1 ビット（LIN モード選択ビット）

LIN リセット・モード解除時の動作モード（LIN ウェイクアップ・モード，LIN 動作モード）選択をするビットです。
0 にすると，LIN ウェイクアップ・モードになります。
1 にすると，LIN 動作モードになります。
このレジスタは，LMSTn レジスタの OMM0 ビットが 1 のときのみ有効です。
このビットは，LTRCn レジスタの FTS ビットが 1（フレーム送信／ウェイクアップ送受信開始）の間は書けません。

- OM0 ビット（LIN リセット・ビット）

LIN リセット・モードへの移行／LIN リセット・モードの解除を選択するビットです。
0 にすると，LIN リセット・モードになります。
1 にすると，LIN リセット・モードは解除されます。

注意　タイムアウト・エラー検出を許可（LEDEnレジスタのFTEREビットを1）している状態で，LINモードからLINリセット・モードに遷移し，再度LINモードに移行する場合は，「17.3.1　LINリセット・モード」に示す手順でエラー・フラグのクリアを行ってください。

(17) LIN/UART 送信コントロール・レジスタ（LTRCn）

アドレス：F06D0H

略号	7	6	5	4	3	2	1	0
LTRCn	0	0	0	0	0	0	RTS	FTS
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	RTS	レスポンス送信／受信開始ビット	0：フレーム・セパレート・モードにおいて，レスポンス送受信停止 1：フレーム・セパレート・モードにおいて，レスポンス送受信開始	R/W
0	FTS	フレーム送信／ウェイクアップ送受信開始ビット	0：フレーム送信／ウェイクアップ送受信停止 1：フレーム送信／ウェイクアップ送受信開始	R/W

- RTS ビット（レスポンス送信／受信開始ビット）

フレーム・セパレート・モードで，ヘッダを送信開始（FTS ビットが 1）し，レスポンス送信データ準備完了した後に，1 にしてください。設定後，このビットはフレーム通信終了および LIN リセット・モード移行時に自動的に 0 になります。
このビットは 1 のみ書けます。0 は書けません。
このビットに 1 を書く場合は，8 ビット・データ転送命令で 02H を書き込んでください。
このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときは書けません。
このビットは，FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）のときは書けません。

9 バイト以上のレスポンス・データの送受信を行う場合は，データ・グループ（0-8 バイトで可変）の送受信毎に 1 に設定してください。設定後，データ・グループの通信終了時または LIN リセット・モード移行時に自動的に 0 になります。

- FTS ビット（フレーム送信／ウェイクアップ送受信開始ビット）

フレーム／ウェイクアップ送信開始時，1 にしてください。
また，ウェイクアップ受信（入力信号 Low 幅カウント）を行う場合にも，このビットを 1 にしてください。
このビットは 1 のみ書けます。0 は書けません。
このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときは書けません。
このビットは，フレームまたはウェイクアップ通信の完了時に 0 になます。また，LIN リセット・モード移行時に 0 になります。

(18) LIN/UART モード・ステータス・レジスタ（LMSTn）

アドレス：F06D1H

略号	7	6	5	4	3	2	1	0
LMSTn	0	0	0	0	0	0	OMM1	OMM0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	OMM1	LIN モード・ステータス・モニタ	0：LIN ウェイクアップ・モード 1：LIN 動作モード	R
0	OMM0	LIN リセット・ステータス・モニタ	0：LIN リセット・モード 1：LIN リセット・モードでない	R

- OMM0 ビット（LIN リセット・ステータス・モニタ）
- OMM1 ビット（LIN モード・ステータス・モニタ）

OMM0 ビットと OMM1 ビットは，現在の動作モードを示します。

(19) LIN/UART ステータス・レジスタ（LSTn）

アドレス：F06D2H

略号	7	6	5	4	3	2	1	0
LSTn	HTRC	D1RC	0	0	ERR	0	FRC	FTC
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	HTRC	ヘッダ送信完了フラグ	0：ヘッダ送信未完了 1：ヘッダ送信完了	R/W
6	D1RC	データ 1 受信完了フラグ	0：データ 1 受信未完了 1：データ 1 受信完了	R/W
4, 5	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3	ERR	エラー検出フラグ	0：エラー未検出 1：エラー検出	R
2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	FRC	フレーム／ウェイクアップ受信完了フラグ	0：フレームまたはウェイクアップ受信未完了 1：フレームまたはウェイクアップ受信完了	R/W
0	FTC	フレーム／ウェイクアップ送信完了フラグ	0：フレームまたはウェイクアップ送信未完了 1：フレームまたはウェイクアップ送信完了	R/W

LSTn レジスタは，LIN リセット・モード移行時および次の通信開始（LTRCn レジスタの FTS ビットが 1）時，自動的に 00H になります。

LIN リセット・モード中（LMSTn レジスタの OMM0 ビットが 0）は，このレジスタへは書くことができません。LIN リセット・モード中は，00H を保持します。

レジスタ内の特定ビットをクリアする場合は，クリアするビットには 0 を，クリアしないビットには 1 を 8 ビット・データ転送命令で書き込んでください。

- HTRC フラグ（ヘッダ送信完了フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

ヘッダ送信完了時，1 となります。このとき LIEn レジスタの SHIE ビットが 1（割り込み許可）の場合，割り込みが発生します。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モード内で 0 を書いてください。

- D1RC フラグ（データ 1 受信完了フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

データ 1 受信完了時，1 となりますが割り込みは発生しません。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モード内で 0 を書いてください。

9 バイト以上のレスポンス・データ受信を行う場合は，データ・グループ（0-8 バイトで可変）毎でデータ 1 受信完了時，1 となります。次のデータ・グループ受信開始前に 0 を書いてください。

- ERR フラグ（エラー検出フラグ）

エラー検出（LESTn レジスタのフラグのうち 1 つでも 1）時，1 となります。このとき LIEn レジスタの ERRIE ビットが 1（割り込み許可）の場合，割り込みが発生します。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モードまたは LIN ウェイクアップ・モード内で LESTn レジスタの RPER フラグ，CSER フラグ，FER フラグ，FTER フラグ，PBER フラグ，BER フラグに 0 を書いてください。ERR フラグが 0 となります。

- FRC フラグ（フレーム／ウェイクアップ受信完了フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  レスポンス受信完了またはウェイクアップ受信完了時，1 となります。このとき LIEn レジスタの FRCIE ビットが 1（割り込み許可）の場合，割り込みが発生します。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モードまたは LIN ウェイクアップ・モード内で 0 を書いてください。

  9 バイト以上のレスポンス・データ受信を行う場合は，データ・グループ（0-8 バイトで可変）の受信完了毎に 1 となります。次のデータ・グループ受信開始前に 0 を書いてください。

- FTC フラグ（フレーム／ウェイクアップ送信完了フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  レスポンス送信完了またはウェイクアップ送信完了時，1 となります。このとき LIEn レジスタの FTCIE ビットが 1（割り込み許可）の場合，割り込みが発生します。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モードまたは LIN ウェイクアップ・モード内で 0 を書いてください。

  9 バイト以上のレスポンス・データ送信を行う場合は，データ・グループ（0-8 バイトで可変）の送信完了毎に 1 となります。次のデータ・グループ送信開始前に 0 を書いてください。

(20) LIN/UART エラー・ステータス・レジスタ（LESTn）

アドレス：F06D3H

略号	7	6	5	4	3	2	1	0
LESTn	RPER	0	CSER	0	FER	FTER	PBER	BER
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	RPER	レスポンス準備エラー・フラグ	0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出	R/W
6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5	CSER	チェックサム・エラー・フラグ	0：チェックサム・エラー未検出 1：チェックサム・エラー検出	R/W
4	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3	FER	フレーミング・エラー・フラグ	0：フレーミング・エラー未検出 1：フレーミング・エラー検出	R/W
2	FTER	タイムアウト・エラー・フラグ	0：フレーム／レスポンス・タイムアウト・エラー未検出 1：フレーム／レスポンス・タイムアウト・エラー検出	R/W
1	PBER	フィジカル・バス・エラー・フラグ	0：フィジカル・バス・エラー未検出 1：フィジカル・バス・エラー検出	R/W
0	BER	ビット・エラー・フラグ	0：ビット・エラー未検出 1：ビット・エラー検出	R/W

LESTn レジスタは，LIN リセット・モード移行時，および次の通信開始（LTRCn レジスタの FTS ビットが 1）時，自動的に 00H になります。

LIN リセット・モード中（LMSTn レジスタの OMM0 ビットが 0）は，このレジスタへは書くことができません。LIN リセット・モード中は 00H を保持します。

LTRCn レジスタの FTS ビットが 1（フレーム送信／ウェイクアップ送受信開始）の間は，このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は，クリアするビットには 0 を，クリアしないビットには 1 を 8 ビット・データ転送命令で書き込んでください。

- RPER フラグ（レスポンス準備エラー・フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時，1 となります。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モード内で 0 を書いてください。

- CSER フラグ（チェックサム・エラー・フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

チェックサム・エラー検出時，1 となります。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モード内で 0 を書いてください。

- FER フラグ（フレーミング・エラー・フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

LEDEn レジスタの FERE ビットが 1（フレーミング・エラー検出許可）で，フレーミング・エラー検出時，1 となります。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モード内で 0 を書いてください。

- FTER フラグ（タイムアウト・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。
  LEDEn レジスタの FTERE ビットが 1（フレーム／レスポンス・タイムアウト・エラー検出許可）で，フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラー検出時，1 となります。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モード内で 0 を書いてください。

- PBER フラグ（フィジカル・バス・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。
  LEDEn レジスタの PBERE ビットが 1（フィジカル・バス・エラー検出許可）で，フィジカル・バス・エラー検出時，1 となります。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モードまたは LIN ウェイクアップ・モード内で 0 を書いてください。

- BER フラグ（ビット・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。
  LEDEn レジスタの BERE ビットが 1（ビット・エラー検出許可）で，ビット・エラー検出時，1 となります。次の通信が始まる（LTRCn レジスタの FTS ビットが 1）前に 0 にしたい場合は，LIN 動作モードまたは LIN ウェイクアップ・モード内で 0 を書いてください。

(21) LIN/UART データ・フィールド・コンフィグレーション・レジスタ（LDFCn）

アドレス：F06D4H

略号	7	6	5	4	3	2	1	0
LDFCn	LSS	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	LSS	継続選択ビット	0：次に送受信するデータ・グループは最終である 1：次に送受信するデータ・グループは最終ではない（チェックサムなし）	R/W
6	FSM	フレーム・セパレート・モード選択ビット	0：フレーム・セパレート・モードではない 1：フレーム・セパレート・モード	R/W
5	CSM	チェックサム選択ビット	0：クラシック・チェックサム・モード 1：エンハンス・チェックサム・モード	R/W
4	RFT	レスポンス・フィールド通信方向選択ビット	0：受信 1：送信	R/W
3-0	RFDL[3:0]	レスポンス・フィールド長設定ビット	0000B：0 バイト（＋チェックサム） 0001B：1 バイト（＋チェックサム） 0010B：2 バイト（＋チェックサム） ： 0111B：7 バイト（＋チェックサム） 1000B：8 バイト（＋チェックサム） 上記以外は設定しないでください。	R/W

- LSS ビット（送受信継続選択ビット）

9 バイト以上のレスポンス・データ送信またはレスポンス・データ受信を行う場合に，次に送受信するデータ・グループが最後でないことを示すためのビットです。

0 の場合，次に送信または受信するデータ・グループが最後として，データとチェックサムの送信または受信を行います。

1 の場合，次に送信または受信するデータ・グループが最後でないため，データのみの送信または受信を行い，チェックサムは含みません。

このビットは，FSM ビットが 1（フレーム・セパレート・モード）で，かつ 9 バイト以上のレスポンス・データ送信，またはレスポンス・データ受信を行う場合にのみ設定してください。

また，このビットは LTRCn レジスタの RTS ビットが 0（レスポンス送受信停止）のときに設定してください。

- FSM ビット（フレーム・セパレート・モード選択ビット）

レスポンス通信の方式を設定します。

0 の場合，フレーム・セパレート・モードになりません。ヘッダ送信開始（LTRCn レジスタの FTS ビットが 1）後，LTRCn レジスタの RTS ビットのセットなしに，レスポンスの送受信を行います。

1 の場合，フレーム・セパレート・モードになります。ヘッダ送信中に LTRCn レジスタの RTS ビットを 1 にした場合，ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFT ビットが 0）時は，このビットを 0 に設定してください。

LIN セルフテスト・モードに移行する場合は，移行前にこのビットを 0 に設定してください。

フレーム・セパレート・モードの詳細は「17.4.3 (1)　(a) フレーム・セパレート・モード」を参照してください。

このビットは，LTRCn レジスタの FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンス・データ送信またはレスポンス受信を行う場合は，このビットを 1 にしてください。

- CSM ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。
0 の場合，チェックサムの方式はクラシックとなります。
1 の場合，チェックサムの方式はエンハンスとなります。
タイムアウト・エラーを使用する（LEDEn レジスタの FTERE ビットが 1）場合は，このビット設定によりタイムアウト時間が異なります。詳細は「17.4.6　エラー・ステータス」を参照してください。
このビットは，LTRCn レジスタの FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンス送信またはレスポンス受信を行う場合は，最初のデータ・グループ以降，最後のデータ・グループまで，このビットの設定を変えないでください。
9 バイト以上のレスポンス通信を行う場合は，最後のデータ・グループ（LSS ビットが 0）のみチェックサムを含み，それ以外のデータ・グループ（LSS ビットが 1）はチェックサムを含みません。

- RFT ビット（レスポンス・フィールド通信方向選択ビット）

レスポンス・フィールド／ウェイクアップ・シグナルの通信方向を設定します。
0 の場合，レスポンス・フィールドで受信を行います。また，LIN ウェイクアップ・モードでは，ウェイクアップ受信（入力信号 Low 幅カウント）を行います。
1 の場合，レスポンス・フィールドで送信を行います。また，LIN ウェイクアップ・モードでは，ウェイクアップ送信を行います。
このビットは，LTRCn レジスタの FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。
9 バイト以上のレスポンス・データ送信またはレスポンス受信を行う場合は，最初のデータ・グループ以降，最後のデータ・グループまで，このビットの設定を変えないでください。

- RFDL[3:0]ビット（レスポンス・フィールド長設定ビット）

レスポンス・フィールドのデータ長を設定します。
データ長はチェックサムのサイズを除き，0-8 バイトを設定できます。
FSM ビットが 0（フレーム・セパレート・モードではない）で，レスポンス送信を行う場合は，ヘッダ送信前（LTRCn レジスタの FTS ビットが 0）に，これらのビットを設定してください。
FSM ビットが 1（フレーム・セパレート・モード）で，レスポンス送信を行う場合は，レスポンス送信前（LTRCn レジスタの RTS ビットが 0）に，これらのビットを設定してください。
レスポンスの受信を行う場合は，ヘッダ送信前（LTRCn レジスタの FTS ビットが 0）に，これらのビットを設定してください。
9 バイト以上のレスポンスの送受信を行う場合は，データ・グループの送受信前（LTRCn レジスタの RTS ビットが 0）に，これらのビットを設定してください。
9 バイト以上のレスポンス通信を行う場合は，最後のデータ・グループ（LSS ビットが 0）のみチェックサムを含み，それ以外のデータ・グループ（LSS ビットが 1）はチェックサムを含みません。

(22) LIN/UART ID バッファ・レジスタ（LIDBn）

アドレス：F06D5H

略号	7	6	5	4	3	2	1	0
LIDBn	IDP[1:0]		ID[5:0]					
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	IDP[1:0]	パリティ設定ビット	ID フィールドで送信するパリティ（P）ビットを設定	R/W
5-0	ID[5:0]	ID 設定ビット	ID フィールドで送信する 6 ビットの ID 値を設定	R/W

このレジスタは，LTRCn レジスタの FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

LIN セルフテスト・モード時は，以下の通りとなります。
通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後），受信した値の反転値を読むことができます。
LIN セルフテスト・モードの詳細は，「17.6　LIN セルフテスト・モード」を参照してください。

- IDP[1:0] ビット（パリティ設定ビット）

  LIN フレームの ID フィールドで送信するパリティ（P0，P1）ビットを設定します。
  IDP0 ビットが P0，IDP1 ビットが P1 です。
  パリティは自動演算されないため，演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

- ID[5:0] ビット（ID 設定ビット）

  LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

(23) LIN チェックサム・バッファ・レジスタ（LCBRn）

アドレス：F06D6H

略号	7	6	5	4	3	2	1	0
LCBRn								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	R/W
7-0	チェックサムの送受信データを格納します。	R/W

LIN モード時は，以下の通りとなります。

- LDFCn レジスタの RFT ビットが 1（送信）の場合
  送信した値を読むことができます。読み出す場合は，送信完了後に行ってください。
  書き込みは無効になります。
- LDFCn レジスタの RFT ビットが 0（受信）の場合
  受信した値を読むことができます。読み出す場合は，受信完了後に行ってください。
  書き込みは無効になります。

LIN セルフテスト・モード時は，以下の通りとなります。

- LDFCn レジスタの RFT ビットが 1（送信）の場合
  フレーム送信完了後（ループバック後），受信した値の反転値を読むことができます。
- LDFCn レジスタの RFT ビットが 0（受信）の場合

通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後），受信した値の反転値を読むことができます。

LIN セルフテスト・モードの詳細は，「17.6　LIN セルフテスト・モード」を参照してください。

このレジスタは LTRCn レジスタの FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

9 バイト以上のレスポンス・データ送信またはレスポンス・データ受信を行う場合は，最後のデータ・グループにのみチェックサムが付加されるため，それ以外のデータ・グループではこのレジスタは更新されません。

(24) LIN/UART データ・バッファ m・レジスタ（LDBnm）（m = 1-8）

アドレス：LDBn1 F06D8H，LDBn2 F06D9H，LDBn3 F06DAH，LDBn4 F06DBH，LDBn5 F06DCH，LDBn6 F06DDH，LDBn7 F06DEH，LDBn8 F06DFH

略号	7	6	5	4	3	2	1	0
LDBnm								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定または受信データを読み出し。	00H - FFH	R/W

レスポンス送信の場合：

レスポンス・フィールドで送信するデータを設定します。

これらのレジスタは以下の状態で設定してください。

- LDFCn レジスタの RFT ビットが 1（送信）
- LDFCn レジスタの FSM ビットが 0（フレーム・セパレート・モードではない）
- LTRCn レジスタの FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）

または，

- LDFCn レジスタの RFT ビットが 1（送信）
- LDFCn レジスタの FSM ビットが 1（フレーム・セパレート・モード）
- LTRCn レジスタの RTS ビットが 0（レスポンス送受信停止）

レスポンス受信の場合：

レスポンス・フィールドで受信したデータが格納されます。

受信データは上書きされます。また，エラー検出時，エラーを検出した受信データ（バイト）までレジスタに格納されます。

これらのレジスタは，FTS ビットが 1（フレーム送信／ウェイクアップ送受信開始）のときに読み出さないでください。

9 バイト以上のレスポンス送信の場合：

これらのレジスタは以下の状態で設定してください

- LDFCn レジスタの RFT ビットが 1（送信）
- LDFCn レジスタの FSM ビットが 1（フレーム・セパレート・モード）
- LTRCn レジスタの RTS ビットが 0（レスポンス送受信停止）

9 バイト以上のレスポンス受信の場合：

これらのレジスタは，RTS ビットが 1（レスポンス送受信開始）のときに読み出さないでください。

LIN セルフテスト・モードの場合：

通信前に送信する値を書きます。

フレーム送受信完了後（ループバック後），受信した値の反転値を読むことができます。

LIN セルフテスト・モードの詳細は，「17.6　LIN セルフテスト・モード」を参照してください。

17.2.2　LIN スレーブ関連レジスタ

(1)　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC2, ISC3 ビットは，LIN/UART モジュール（RLIN3）で使用します。

ビット 2，3 をそれぞれ 1 に設定すると，LIN/UART モジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，ISC レジスタは 00H になります。

アドレス：F0073H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	ISC3	ISC2	0	ISC0

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12 端子の入力信号を外部割り込みに選択
1	LRXD1 端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11 端子の入力信号を外部割り込みに選択
1	LRXD0 端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0 端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0 端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注意 1.　ビット7-4およびビット1は常に0に設定してください。

2.　RL78/F23製品では，ISC3ビットを必ず0に設定してください。

(2)　LIN チャネル選択レジスタ（LCHSEL）

アドレス：F007BH

略号	7	6	5	4	3	2	1	0
LCHSEL	0	0	0	0	0	0	0	LSEL0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	LSEL0	LIN チャネル選択ビット	0：LIN0 選択（LIN0 のレジスタ・アクセス可能） 1：LIN1 選択（LIN1 のレジスタ・アクセス可能）	R/W

- LSEL0 ビット（LIN チャネル選択ビット）

LIN/UART モジュールのレジスタは，CPU のメモリ・マップ上に直接マッピングされていないため，レジスタ・ウィンドウを通してアクセスします。レジスタ・ウィンドウは，F06C1H - F06EEH 番地にマッピングされています。

このビットに値を設定すると，対応するチャネルのレジスタが一括してレジスタ・ウィンドウにマッピングされます。

0 の場合，LIN0 のレジスタがマッピングされます。

1 の場合，LIN1 のレジスタがマッピングされます。

RL78/F23 製品では，このビットの値を 0 に設定してください。

RL78/F24 製品では，レジスタ・アクセス前に使用したいチャネルの該当する値に変更してください。

(3)　周辺イネーブル・レジスタ 2（PER2）

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

PER2 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00H になります。

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	AAUEN	0	0	LIN1EN 注	LIN0EN	0	CAN0EN 注

AAUEN	AAU の入力クロック供給の制御
0	入力クロック供給停止 • AAU で使用する SFR へのライト不可 • AAU はリセット状態
1	入力クロック供給 • AAU で使用する SFR へのリード／ライト可

LIN1EN 注	LIN1 の入力クロック供給の制御
0	入力クロック供給停止 • LIN1 で使用する SFR へのライト不可 • LIN1 はリセット状態
1	入力クロック供給 • LIN1 で使用する SFR へのリード／ライト可

LIN0EN	LIN0 の入力クロック供給の制御
0	入力クロック供給停止 • LIN0 で使用する SFR へのライト不可 • LIN0 はリセット状態
1	入力クロック供給 • LIN0 で使用する SFR へのリード／ライト可

CAN0EN 注	CAN の入力クロック供給の制御
0	入力クロック供給停止 • CAN で使用する SFR へのライト不可 • CAN はリセット状態 CAN0 ウェイクアップ割り込みを禁止
1	入力クロック供給 • CAN で使用する SFR へのリード／ライト可 CAN0 ウェイクアップ割り込みを許可

注　RL78/F24 製品のみ。

注意　次のビットには必ず0を設定してください。

- **RL78/F23：ビット0, 1, 3, 4, 5, 7**
- **RL78/F24：ビット1, 4, 5, 7**

(4)　LIN クロック選択レジスタ（LINCKSEL）

LIN への通信クロック源を制御するレジスタです。

アドレス：F02C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	0	LIN1MCKE 注	LIN0MCKE	0	0	LIN1MCK 注	LIN0MCK

LIN1MCKE 注	LIN1 の通信クロック源の供給/停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN0MCKE	LIN0 の通信クロック源の供給/停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN1MCK 注	LIN1 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

LIN0MCK	LIN0 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

注　RL78/F24 製品のみ。

注意 1.　LINnMCKE（n = 0, 1）を1（通信クロック源を供給）にする前に，LINnMCKでLINnの通信クロック源を選択してください。

2.　SNOOZE時にLINnを動作させる場合，LINnMCK = 0に設定してください。

3.　LINnMCKを1（f_{MX}クロックを選択）で使用する場合，タイムアウト・エラーを使用しないでください。その場合，f_{CLK}クロックはLIN通信クロック源の1.2倍以上の周波数でご使用ください。

(5)　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

詳細は「21.3.4　外部割り込み立ち上がり／立ち下がりエッジ許可レジスタ（EGP0, EGP1, EGN0, EGN1）」を参照してください。

(6)　LIN ウェイクアップ・ボー・レート選択レジスタ（LWBRn）

アドレス：F06C1H

略号	7	6	5	4	3	2	1	0
LWBRn	NSPB[3:0]				LPRS[2:0]			0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	NSPB[3:0]	ビット・サンプリング数選択ビット	0000B：16 サンプリング 0011B：4 サンプリング 0111B：8 サンプリング 1111B：16 サンプリング 上記以外は設定しないでください。	R/W
3-1	LPRS[2:0]	プリスケーラ・クロック選択ビット	000B：1/1 001B：1/2 010B：1/4 011B：1/8 100B：1/16 101B：1/32 110B：1/64 111B：1/128	R/W
0	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W

LWBRn レジスタは LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- NSPB[3:0]ビット（ビット・サンプリング数選択ビット）

1 Tbit（ボー・レートの逆数）のサンプリング数を選択するビットです。
LIN スレーブ・モード［オート・ボー・レート］（LIN/UART モード・レジスタの LIN/UART モード選択ビットが 10B）で使用する時は，これらのビットを 0011B（4 サンプリング）または 0111B（8 サンプリング）に設定してください。
LIN スレーブ・モード［固定ボー・レート］（LIN/UART モード・レジスタの LIN/UART モード選択ビットが 11B）で使用する時は，これらのビットを 0000B または 1111B（16 サンプリング）に設定してください。

- LPRS[2:0]ビット（プリスケーラ・クロック選択ビット）

プリスケーラの分周比を選択するビットです。
このプリスケーラにより LIN 通信クロック源を分周します。
LIN スレーブ・モード［オート・ボー・レート］（LIN/UART モード・レジスタの LIN/UART モード選択ビットが 10B）で使用するときは，ターゲットとなるボー・レートに応じて，これらのビットをプリスケーラ・クロックが下記となるように設定してください。

［ターゲットとなるボー・レート］　　［プリスケーラ・クロック］
1 kbps - 20 kbps　：4 MHz 注
1 kbps - 2.4 kbps 未満　：4 MHz
2.4 kbps - 20 kbps　：8 MHz - 12 MHz

注　NSPBビットは0011B（4サンプリング）で使用してください。

(7)　LIN/UART ボー・レート・プリスケーラ・レジスタ（LBRPn）

アドレス：F06C3H, F06C2H

略号	LBRPn1								LBRPn0							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
15-0	設定値をL（0 - 65535）とすると，ボー・レート・プリスケーラは，プリスケーラ・クロックをL+1分周します。	0000H - FFFFH	R/W

LBRPn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

このレジスタの設定値を L とすると，ボー・レート・プリスケーラは LWBRn レジスタの LPRS ビット（プリスケーラ・クロック選択ビット）で選択されたクロックを L+1 分周します。
LBRPn レジスタは，以下のレジスタを使って 8 ビット単位でアクセスできます。

- 下位 8 ビット：LIN/UART ボー・レート・プリスケーラ 0 レジスタ（LBRPn0）；アドレス F06C2H
- 上位 8 ビット：LIN/UART ボー・レート・プリスケーラ 1 レジスタ（LBRPn1）；アドレス F06C3H

備考　LINスレーブ・モード［オート・ボー・レート］でシンク・フィールド受信に成功すると，ボー・レート補正結果が自動的にLBRPnレジスタに設定されます。

(8)　LIN セルフテスト・コントロール・レジスタ（LSTCn）

アドレス：F06C4H

略号	7	6	5	4	3	2	1	0
LSTCn								LSTM
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-0	A7H→58H→01H の連続書き込みにより，LIN セルフテスト・モードにエントリします			R/W
0	LSTM	LIN セルフテスト・モード・ビット	0：LIN セルフテスト・モードではない 1：LIN セルフテスト・モード	R/W

LSTCn レジスタは，LIN セルフテスト・モードのプロテクトを解除するために使用するレジスタです。

LSTCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

A7H→58H→01H の連続書き込みにより，LIN セルフテスト・モードへエントリします。

連続書き込みが成功し，LIN セルフテスト・モードにした場合は，LSTM ビットが 1 になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテスト・モードへの移行方法は，「17.6　LIN セルフテスト・モード」を参照してください。

ビット 6～1 を読み出すと 000000B が，ビット 7 を読み出すと不定値が読めます。

- LSTM ビット（LIN セルフテスト・モード・ビット）

LIN セルフテスト・モードに移行したとき，このビットは 1 になります。

LIN セルフテスト・モードの終了方法は，「17.6　LIN セルフテスト・モード」を参照してください。

LSTCn レジスタへの A7H→58H→01H の連続書き込み以外で，このビットに 1 を書いても値は変化しません。

(9)　LIN/UART モード・レジスタ（LMDn）

アドレス：F06C8H

略号	7	6	5	4	3	2	1	0
LMDn	0	0	LRDNFS	LIOS	0	0	LMD[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5	LRDNFS	LIN 受信データ・ノイズ・フィルタ禁止ビット	0：ノイズ・フィルタを使用する 1：ノイズ・フィルタを使用しない	R/W
4	LIOS	LIN 割り込み出力選択ビット	0：LIN 割り込みを使用する 1：送信割り込み，受信完了割り込み，受信ステータス割り込みを使用	R/W
3, 2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1, 0	LMD[1:0]	LIN/UART モード選択ビット	10B：LIN スレーブ・モード［オート・ボー・レート］ 11B：LIN スレーブ・モード［固定ボー・レート］	R/W

LMDn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- LRDNFS ビット（LIN 受信データ・ノイズ・フィルタ禁止ビット）

データ受信時のノイズ・フィルタの有効／無効を選択するビットです。

0 の場合，データ受信時のノイズ・フィルタは有効です。

1 の場合，データ受信時のノイズ・フィルタは無効です。

- LIOS ビット（LIN 割り込み出力選択ビット）

LIN/UART モジュールからの割り込み出力本数を選択するビットです。

0 の場合，LIN/UART モジュールから LIN 割り込みを出力します。

1 の場合，LIN/UART モジュールから送信割り込み，受信完了割り込み，受信ステータス割り込みを出力します。

各割り込みの要因は「17.9　割り込み」を参照してください。

- LMD[1:0]ビット（LIN/UART モード選択ビット）

LIN/UART モジュールのモードを選択するビットです。

LIN スレーブとして使用する場合は，これらのビットを 10B または 11B に設定してください。

10B の場合，LIN/UART モジュールは LIN スレーブ・モード［オート・ボー・レート］として動作します。

11B の場合，LIN/UART モジュールは LIN スレーブ・モード［固定ボー・レート］として動作します。

(10) LIN ブレーク・フィールド・コンフィグレーション・レジスタ／UART コンフィグレーション・レジスタ（LBFCn）

アドレス：F06C9H

略号	7	6	5	4	3	2	1	0
LBFCn	0	0	0	0	0	0	0	BLT
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	BLT	受信ブレーク（Low）幅選択ビット	0：9.5 または 10 Tbits 以上の受信ブレーク（Low 幅）を検出 1：10.5 または 11 Tbits 以上の受信ブレーク（Low 幅）を検出	R/W

LBFCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- BLT ビット（受信ブレーク（Low）幅選択ビット）

受信データの Low 幅をブレークと判定する境界値を設定します。

LIN スレーブ・モード［オート・ボー・レート］（LMDn レジスタの LMD ビットが 10B）のとき，
0 を設定した場合，10 Tbits 以上の Low 幅を検出
1 を設定した場合，11 Tbits 以上の Low 幅を検出

LIN スレーブ・モード［固定ボー・レート］（LMDn レジスタの LMD ビットが 11B）のとき，
0 を設定した場合，9.5 Tbits 以上の Low 幅を検出
1 を設定した場合，10.5 Tbits 以上の Low 幅を検出

(11) LIN/UART スペース・コンフィグレーション・レジスタ（LSCn）

アドレス：F06CAH

略号	7	6	5	4	3	2	1	0
LSCn	0	0	IBS[1:0]		0	RS[2:0]		
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5, 4	IBS[1:0]	インタバイト・スペース設定ビット	00B：0 Tbit 01B：1 Tbit 10B：2 Tbits 11B：3 Tbits	R/W
3	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
2-0	RS[2:0]	レスポンス・スペース設定ビット	000B：0 Tbit 001B：1 Tbit 010B：2 Tbits 011B：3 Tbits 100B：4 Tbits 101B：5 Tbits 110B：6 Tbits 111B：7 Tbits	R/W

LSCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。
レスポンス送信時のみ有効です。レスポンス受信時は無効になります。
設定値の組み合わせによっては，1 フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

- IBS[1:0] ビット（インタバイト・スペース設定ビット）

  レスポンス送信のインタバイト・スペースの幅を設定します。
  0 Tbit - 3 Tbits を設定できます。

- RS[2:0] ビット（レスポンス・スペース設定ビット）

  レスポンス送信のレスポンス・スペースの幅を設定します。
  0 Tbit - 7 Tbits を設定できます。

(12) LIN ウェイクアップ・コンフィグレーション・レジスタ（LWUPn）

アドレス：F06CBH

略号	7	6	5	4	3	2	1	0
LWUPn	WUTL[3:0]				0	0	0	0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	WUTL[3:0]	ウェイクアップ送信 Low 幅設定ビット	0000B：1 Tbit 0001B：2 Tbits 0010B：3 Tbits 0011B：4 Tbits ： 1100B：13 Tbits 1101B：14 Tbits 1110B：15 Tbits 1111B：16 Tbits	R/W
3-0	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W

LWUPn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- WUTL[3:0] ビット（ウェイクアップ送信 Low 幅設定ビット）

  ウェイクアップ・フレーム送信時の Low 幅を設定します。

  1 Tbit～16 Tbits を設定できます。

(13) LIN 割り込み許可レジスタ（LIEn）

アドレス：F06CCH

略号	7	6	5	4	3	2	1	0
LIEn	0	0	0	0	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3	SHIE	ヘッダ受信完了割り込み許可ビット	0：ヘッダ受信完了割り込み禁止 1：ヘッダ受信完了割り込み許可	R/W
2	ERRIE	エラー検出割り込み許可ビット	0：エラー検出割り込み禁止 1：エラー検出割り込み許可	R/W
1	FRCIE	フレーム／ウェイクアップ受信完了割り込み許可ビット	0：レスポンス／ウェイクアップ受信完了割り込み禁止 1：レスポンス／ウェイクアップ受信完了割り込み許可	R/W
0	FTCIE	フレーム／ウェイクアップ送信完了割り込み許可ビット	0：レスポンス／ウェイクアップ送信完了割り込み禁止 1：レスポンス／ウェイクアップ送信完了割り込み許可	R/W

LIEn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- SHIE ビット（ヘッダ受信完了割り込み許可ビット）

ヘッダ受信完了時の割り込み許可／禁止を設定します。
0 の場合，LSTn レジスタの HTRC フラグが 1 になった際に割り込みは発生しません。
1 の場合，LSTn レジスタの HTRC フラグが 1 になった際に割り込みが発生します。

- ERRIE ビット（エラー検出割り込み許可ビット）

エラーを検出したときの割り込み許可／禁止を設定します。
0 の場合，LSTn レジスタの ERR フラグが 1 になった際に割り込みは発生しません。
1 の場合，LSTn レジスタの ERR フラグが 1 になった際に割り込みが発生します。
発生要因となるエラーは，ビット・エラー，フレーム／レスポンス・タイムアウト・エラー，フレーミング・エラー，シンク・フィールド・エラー，チェックサム・エラー，ID パリティ・エラー，レスポンス準備エラーです。
ビット・エラー，フレーム／レスポンス・タイムアウト・エラー，フレーミング・エラー，シンク・フィールド・エラー，ID パリティ・エラーは，LEDEn レジスタで検出許可／禁止の設定ができます。

- FRCIE ビット（フレーム／ウェイクアップ受信完了割り込み許可ビット）

レスポンス受信完了またはウェイクアップ・フレーム受信（入力信号 Low 幅カウント）完了時の割り込み許可／禁止を設定します。
0 の場合，LSTn レジスタの FRC フラグが 1 になった際に割り込みは発生しません。
1 の場合，LSTn レジスタの FRC フラグが 1 になった際に割り込みが発生します。

- FTCIE ビット（フレーム／ウェイクアップ送信完了割り込み許可ビット）

  レスポンス送信完了またはウェイクアップ・フレーム送信完了時の割り込み許可／禁止を設定します。

  0 の場合，LSTn レジスタの FTC フラグが 1 になった際に割り込みは発生しません。

  1 の場合，LSTn レジスタの FTC フラグが 1 になった際に割り込みが発生します。

(14) LIN/UART エラー検出許可レジスタ（LEDEn）

アドレス：F06CDH

略号	7	6	5	4	3	2	1	0
LEDEn	LTES	IPERE	0	SFERE	FERE	TERE	0	BERE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	LTES	タイムアウト・エラー選択ビット	0：フレーム・タイムアウト・エラー 1：レスポンス・タイムアウト・エラー	R/W
6	IPERE	ID パリティ・エラー検出許可ビット	0：ID パリティ・エラー検出禁止 1：ID パリティ・エラー検出許可	R/W
5	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
4	SFERE	シンク・フィールド・エラー検出許可ビット	0：シンク・フィールド・エラー検出禁止 1：シンク・フィールド・エラー検出許可	R/W
3	FERE	フレーミング・エラー検出許可ビット	0：フレーミング・エラー検出禁止 1：フレーミング・エラー検出許可	R/W
2	TERE	タイムアウト・エラー検出許可ビット	0：フレーム／レスポンス・タイムアウト・エラー検出禁止 1：フレーム／レスポンス・タイムアウト・エラー検出許可	R/W
1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	BERE	ビット・エラー検出許可ビット	0：ビット・エラー検出禁止 1：ビット・エラー検出許可	R/W

LEDEn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- LTES ビット（タイムアウト・エラー選択ビット）

タイムアウトを選択するビットです。
0 の場合，タイムアウト機能はフレーム・タイムアウトとして動作します。
1 の場合，タイムアウト機能はレスポンス・タイムアウトとして動作します。
タイムアウト・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- IPERE ビット（ID パリティ・エラー検出許可ビット）

ID パリティ・エラー検出の許可／禁止を設定します。
0 の場合，ID パリティ・エラーを検出しません。
1 の場合，ID パリティ・エラーを検出します。
このビットが 1 の場合の検出結果は，LESTn レジスタの IPER フラグに反映されます。
ID パリティ・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- SFERE ビット（シンク・フィールド・エラー検出許可ビット）

シンク・フィールド・エラー検出の許可／禁止を設定します。
0 の場合，シンク・フィールド・エラーを検出しません。
1 の場合，シンク・フィールド・エラーを検出します。
このビットの設定にかかわらず，シンク・フィールド・エラー検出時は次のヘッダ待ち状態になります。
このビットが 1 の場合の検出結果は，LESTn レジスタの SFER フラグに反映されます。
シンク・フィールド・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- FERE ビット（フレーミング・エラー検出許可ビット）

  フレーミング・エラー検出の許可／禁止を設定します。
  LIN スレーブ・モードでは，このビットを 1（フレーミング・エラー検出許可）にしてください。
  フレーミング・エラーの検出結果は，LESTn レジスタの FER フラグに反映されます。
  フレーミング・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- TERE ビット（タイムアウト・エラー検出許可ビット）

  フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラー検出の許可／禁止を設定します。
  0 の場合，フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラーを検出しません。
  1 の場合，フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラーを検出します。
  このビットが 1 の場合の検出結果は，LESTn レジスタの TER フラグに反映されます。
  LTES ビットで，フレーム・タイムアウト・エラー，レスポンス・タイムアウト・エラーの選択ができます。
  タイムアウト・エラーは，LIN スレーブ・モード［オート・ボー・レート］（LIN/UART モード・レジスタの LIN/UART モード選択ビットが 10B）では使用しないでください。
  タイムアウト・エラーは，レスポンスを 9 バイト以上で送信または受信する場合には使用しないでください。
  タイムアウト・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

- BERE ビット（ビット・エラー検出許可ビット）

  ビット・エラー検出の許可／禁止を設定します。
  LIN スレーブ・モードでは，このビットを 1（ビット・エラー検出許可）にしてください。
  ビット・エラーの検出結果は，LESTn レジスタの BER フラグに反映されます。
  ビット・エラーの詳細は，「17.4.6　エラー・ステータス」を参照してください。

(15) LIN/UART コントロール・レジスタ（LCUCn）

アドレス：F06CEH

略号	7	6	5	4	3	2	1	0
LCUCn	0	0	0	0	0	0	OM1	OM0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	OM1	LIN モード選択ビット	0：LIN ウェイクアップ・モード 1：LIN 動作モード	R/W
0	OM0	LIN リセット・ビット	0：LIN リセット・モード 1：LIN リセット・モードでない	R/W

LIN リセット・モードを解除するときに，LIN ウェイクアップ・モードに移行させる場合は LCUCn レジスタに 01H を，LIN 動作モードに移行させる場合は LCUCn レジスタに 03H を設定してください。
LIN セルフテスト・モードでは，LIN セルフテスト・モード移行後に LCUCn レジスタを 03H にしてください。
LIN スレーブ・モード［固定ボー・レート］で LIN 動作モードから LIN リセット・モードに遷移する場合は，続けて PER2 レジスタの LIN0EN（LIN1EN）ビットを 0 にした後で 1 にしてください。
このレジスタに書き込みをした後は，書き込んだ値が LMSTn レジスタに反映されることを確認してから，次の値の書き込みを行ってください。

- OM1 ビット（LIN モード選択ビット）

LIN リセット・モード解除時の動作モード（LIN ウェイクアップ・モード，LIN 動作モード）を選択するビットです。
0 にすると，LIN ウェイクアップ・モードになります。
1 にすると，LIN 動作モードになります。
このレジスタは，LMSTn レジスタの OMM0 ビットが 1 のときのみ有効です。
このビットは，LTRCn レジスタの FTS ビットが 1（ヘッダ受信／ウェイクアップ送受信開始）の間は書けません。

- OM0 ビット（LIN リセット・ビット）

LIN リセット・モードへの移行／LIN リセット・モードの解除を選択するビットです。
0 にすると，LIN リセット・モードになります。
1 にすると，LIN リセット・モードは解除されます。

注意　タイムアウト・エラー検出を許可（LEDEnレジスタのTEREビットを1）している状態で，LINモードからLINリセット・モードに遷移し，再度LINモードに移行する場合は，「17.3.1　LINリセット・モード」に示す手順でエラー・フラグのクリアを行ってください。

(16) LIN/UART 送信コントロール・レジスタ（LTRCn）

アドレス：F06D0H

略号	7	6	5	4	3	2	1	0
LTRCn	0	0	0	0	0	LNRR	RTS	FTS
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-3	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
2	LNRR	レスポンスなし要求ビット	0：受信 ID に対するレスポンスあり 1：受信 ID に対するレスポンスなし	R/W
1	RTS	レスポンス送信／受信開始ビット	0：レスポンス送信／受信停止 1：レスポンス送信／受信開始	R/W
0	FTS	LIN 通信開始ビット	0：ヘッダ受信／ウェイクアップ送受信停止 1：ヘッダ受信／ウェイクアップ送受信開始	R/W

- LNRR ビット（レスポンスなし要求ビット）

ヘッダを受信し，受信 ID を確認後，レスポンス送信もレスポンス受信も行わない場合に 1 にしてください。設定後，このビットは新たなシンク・フィールド検出および LIN リセット・モード移行時に自動的に 0 になります。

このビットは 1 のみ書けます。0 は書けません。
このビットに 1 を書く場合は，8 ビット・データ転送命令で 04H を書き込んでください。
このビットは，RTS と同時に 1 にしないでください。
このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときは書けません。
このビットは，FTS が 0（ヘッダ受信／ウェイクアップ送受信停止）のときは書けません。

9 バイト以上のレスポンス・データの送受信を行う場合は，ヘッダ完了後以外でこのビットを使用しないでください（2 つ目以降のデータ・グループには使用しないでください）。

- RTS ビット（レスポンス送信／受信開始ビット）

ヘッダを受信し，受信 ID を確認後，レスポンス送信またはレスポンス受信を開始する時に 1 にしてください。設定後，このビットはレスポンス完了および LIN リセット・モード移行時に自動的に 0 になります。
このビットは 1 のみ書けます。0 は書けません。
このビットに 1 を書く場合は，8 ビット・データ転送命令で 02H を書き込んでください。
このビットは，LNRR と同時に 1 にしないでください。
このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときは書けません。
このビットは，FTS が 0（ヘッダ受信／ウェイクアップ送受信停止）のときは書けません。

9 バイト以上のレスポンス・データの送受信を行う場合は，データ・グループ（0-8 バイトで可変）の送受信毎に 1 に設定してください。設定後，データ・グループの送受信完了または LIN リセット・モード移行時に自動的に 0 になります。

- FTS ビット（LIN 通信開始ビット）

  ヘッダ受信／ウェイクアップ受信（入力信号 Low 幅カウント）を行う場合，1 にしてください。

  また，ウェイクアップ送信を行う場合にも，このビットを 1 にしてください。

  このビットは 1 のみ書けます。0 は書けません。

  このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときは書けません。

  ウェイクアップ送信／受信完了および LIN リセット・モード移行時に 0 になります。

(17) LIN/UART モード・ステータス・レジスタ（LMSTn）

アドレス：F06D1H

略号	7	6	5	4	3	2	1	0
LMSTn	0	0	0	0	0	0	OMM1	OMM0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	OMM1	LIN モード・ステータス・モニタ	0：LIN ウェイクアップ・モード 1：LIN 動作モード	R
0	OMM0	LIN リセット・ステータス・モニタ	0：LIN リセット・モード 1：LIN リセット・モードでない	R

- OMM0 ビット（LIN リセット・ステータス・モニタ）
- OMM1 ビット（LIN モード・ステータス・モニタ）

OMM0 ビットと OMM1 ビットは，現在の動作モードを示します。

(18) LIN/UART ステータス・レジスタ（LSTn）

アドレス：F06D2H

略号	7	6	5	4	3	2	1	0
LSTn	HTRC	D1RC	0	0	ERR	0	FRC	FTC
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	HTRC	ヘッダ受信完了フラグ	0：ヘッダ受信未完了 1：ヘッダ受信完了	R/W
6	D1RC	データ 1 受信完了フラグ	0：データ 1 受信未完了 1：データ 1 受信完了	R/W
5, 4	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3	ERR	エラー検出フラグ	0：エラー未検出 1：エラー検出	R
2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	FRC	フレーム／ウェイクアップ受信完了フラグ	0：レスポンスまたはウェイクアップ受信未完了 1：レスポンスまたはウェイクアップ受信完了	R/W
0	FTC	フレーム／ウェイクアップ送信完了フラグ	0：レスポンスまたはウェイクアップ送信未完了 1：レスポンスまたはウェイクアップ送信完了	R/W

LSTn レジスタは，LIN リセット・モード移行時，自動的に 00H になります。

LIN リセット・モード中は，このレジスタへは書くことができません。LIN リセット・モード中は 00H を保持します。

レジスタ内の特定ビットをクリアする場合は，クリアするビットには 0 を，クリアしないビットには 1 を，8 ビット・データ転送命令で書き込んでください。

- HTRC フラグ（ヘッダ受信完了フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

ヘッダ受信完了時，1 となります。このとき LIEn レジスタの SHIE ビットが 1（割り込み許可）の場合，割り込みが発生します。ただし，このビットが 1 の状態でヘッダ受信完了した場合は，割り込みは発生しません。クリアする場合は，0 を書いてください。

ヘッダ受信完了後 レスポンス・フィールドで新規ヘッダを検出したい場合は，このビットが 1 となった後，クリアしてください。

- D1RC フラグ（データ 1 受信完了フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

データ 1 受信完了時，1 となりますが割り込みは発生しません。クリアする場合は，0 を書いてください。

9 バイト以上のレスポンス・データ受信を行う場合は，データ・グループ（0-8 バイトで可変）毎でデータ 1 受信完了時，1 となります。次のデータ・グループ受信開始前に 0 を書いてください。

- ERR フラグ（エラー検出フラグ）

エラー検出（LESTn レジスタのフラグのうち 1 つでも 1）時，1 となります。このとき LIEn レジスタの ERRIE ビットが 1（割り込み許可）の場合，割り込みが発生します。ただし，このビットが 1 の状態でエラー検出した場合は，割り込みは発生しません。クリアする場合は，LESTn レジスタの RPER フラグ，IPER フラグ，CSER フラグ，SFER フラグ，FER フラグ，TER フラグ，BER フラグに 0 を書いてください。ERR フラグが 0 となります。

- FRC フラグ（フレーム／ウェイクアップ受信完了フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  レスポンス受信完了またはウェイクアップ受信完了時，1 となります。このとき LIEn レジスタの FRCIE ビットが 1（割り込み許可）の場合，割り込みが発生します。ただし，このビットが 1 の状態でレスポンス受信完了またはウェイクアップ受信完了した場合は，割り込みは発生しません。クリアする場合は，0 を書いてください。

  9 バイト以上のレスポンス・データ受信を行う場合は，データ・グループ（0-8 バイトで可変）の受信完了毎に 1 となります。次のデータ・グループ受信開始前に 0 を書いてください。

- FTC フラグ（フレーム／ウェイクアップ送信完了フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  レスポンス送信完了またはウェイクアップ送信完了時，1 となります。このとき LIEn レジスタの FTCIE ビットが 1（割り込み許可）の場合，割り込みが発生します。ただし，このビットが 1 の状態で，レスポンス送信完了またはウェイクアップ送信完了した場合は，割り込みは発生しません。クリアする場合は，0 を書いてください。

  9 バイト以上のレスポンス・データ送信を行う場合は，データ・グループ（0-8 バイトで可変）の送信完了毎に 1 となります。次のデータ・グループ送信開始前に 0 を書いてください。

(19) LIN/UART エラー・ステータス・レジスタ（LESTn）

アドレス：F06D3H

略号	7	6	5	4	3	2	1	0
LESTn	RPER	IPER	CSER	SFER	FER	TER	0	BER
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	RPER	レスポンス準備エラー・フラグ	0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出	R/W
6	IPER	ID パリティ・エラー・フラグ	0：ID パリティ・エラー未検出 1：ID パリティ・エラー検出	R/W
5	CSER	チェックサム・エラー・フラグ	0：チェックサム・エラー未検出 1：チェックサム・エラー検出	R/W
4	SFER	シンク・フィールド・エラー・フラグ	0：シンク・フィールド・エラー未検出 1：シンク・フィールド・エラー検出	R/W
3	FER	フレーミング・エラー・フラグ	0：フレーミング・エラー未検出 1：フレーミング・エラー検出	R/W
2	TER	タイムアウト・エラー・フラグ	0：フレーム／レスポンス・タイムアウト・エラー未検出 1：フレーム／レスポンス・タイムアウト・エラー検出	R/W
1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	BER	ビット・エラー・フラグ	0：ビット・エラー未検出 1：ビット・エラー検出	R/W

LESTn レジスタは，LIN リセット・モード移行時，自動的に 00H になります。

LIN リセット・モード中は，このレジスタへは書くことができません。LIN リセット・モード中は 00H を保持します。

レジスタ内の特定ビットをクリアする場合は，クリアするビットには 0 を，クリアしないビットには 1 を 8 ビット・データ転送命令で書き込んでください。

- RPER フラグ（レスポンス準備エラー・フラグ）

0 のみ書けます。1 を書いた場合は，書く前の値を保持します。

レスポンス準備エラー検出時，1 となります。クリアする場合は 0 を書いてください。

- IPER フラグ（ID パリティ・エラー・フラグ）

0 のみ書けます。1 を書いた場合は，書く前の値を保持します。

LEDEn レジスタの IPERE ビットが 1（ID パリティ・エラー検出許可）で，ID パリティ・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

- CSER フラグ（チェックサム・エラー・フラグ）

0 のみ書けます。1 を書いた場合は，書く前の値を保持します。

チェックサム・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

- SFER フラグ（シンク・フィールド・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は，書く前の値を保持します。
  LEDEn レジスタの SFERE ビットが 1（シンク・フィールド・エラー検出許可）で，シンク・フィールド・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

- FER フラグ（フレーミング・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は，書く前の値を保持します。
  LEDEn レジスタの FERE ビットが 1（フレーミング・エラー検出許可）で，フレーミング・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

- TER フラグ（タイムアウト・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は，書く前の値を保持します。
  LEDEn レジスタの TERE ビットが 1（フレーム／レスポンス・タイムアウト・エラー検出許可）で，フレーム・タイムアウト・エラーまたはレスポンス・タイムアウト・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

- BER フラグ（ビット・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は，書く前の値を保持します。
  LEDEn レジスタの BERE ビットが 1（ビット・エラー検出許可）で，ビット・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

(20) LIN/UART データ・フィールド・コンフィグレーション・レジスタ（LDFCn）

アドレス：F06D4H

略号	7	6	5	4	3	2	1	0
LDFCn	LSS	0	LCS	RCDS	RFDL[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	LSS	継続選択ビット	0：次に送受信するデータ・グループは最終である 1：次に送受信するデータ・グループは最終ではない （次のヘッダ受信を待たずにデータ送受信を継続）	R/W
6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5	LCS	チェックサム選択ビット	0：クラシック・チェックサム・モード 1：エンハンス・チェックサム・モード	R/W
4	RCDS	レスポンス・フィールド通信方向選択ビット	0：受信 1：送信	R/W
3-0	RFDL[3:0]	レスポンス・フィールド長設定ビット	0000B：0 バイト＋チェックサム 0001B：1 バイト＋チェックサム 0010B：2 バイト＋チェックサム ： 0111B：7 バイト＋チェックサム 1000B：8 バイト＋チェックサム 上記以外は設定しないでください。	R/W

- LSS ビット（継続選択ビット）

9 バイト以上のレスポンス・データ送信またはレスポンス・データ受信を行う場合に，次に送受信するデータ・グループが最後でないことを示すためのビットです。

0 の場合，次に送信または受信するデータ・グループが最後として，データとチェックサムの送信または受信を行います。

1 の場合，次に送信または受信するデータ・グループが最後でないため，データのみの送信または受信を行い，チェックサムは含みません。

LIN 通信時は，このビットに 1 を設定しないでください。

このビットは，LTRCn レジスタの RTS ビットが 0（レスポンス送信／受信停止）のときに設定してください。

- LCS ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。

0 の場合，チェックサムの方式はクラシックとなります。

1 の場合，チェックサムの方式はエンハンスとなります。

タイムアウト・エラーを使用する（LEDEn レジスタの TERE ビットが 1）場合は，このビット設定によりタイムアウト時間が異なります。詳細は「17.4.6　エラー・ステータス」を参照してください。

レスポンス・フィールド長が 0 バイト（RFDL ビットが 0）のとき，このビットを 1（エンハンス）にしないでください。

9 バイト以上のレスポンス送信またはレスポンス受信を行う場合は，最初のデータ・グループ以降，最後のデータ・グループまで，このビットの設定を変えないでください。

9 バイト以上のレスポンス・データ通信を行う場合は，最後のデータ・グループ（LSS ビットが 0）のみチェックサムを含み，それ以外のデータ・グループ（LSS ビットが 1）はチェックサムを含みません。

このビットは，LTRCn レジスタの RTS ビットが 0（レスポンス送信／受信停止）のときに設定してください。

- RCDS ビット（レスポンス・フィールド通信方向選択ビット）

  レスポンス・フィールド／ウェイクアップ・シグナルの通信方向を設定します。

  0 の場合，レスポンス・フィールドで受信を行います。また，LIN ウェイクアップ・モードでは，ウェイクアップ受信（入力信号 Low 幅カウント）を行います。

  1 の場合，レスポンス・フィールドで送信を行います。また，LIN ウェイクアップ・モードでは，ウェイクアップ送信を行います。

  このビットは，LIN 動作モードでは LTRCn レジスタの RTS ビットが 0（レスポンス送信／受信停止）のときに，LIN ウェイクアップ・モードでは LTRCn レジスタの FTS ビットが 0（ヘッダ受信／ウェイクアップ送受信停止）のときに設定してください。

  9 バイト以上のレスポンス・データ送信またはレスポンス受信を行う場合は，最初のデータ・グループ以降，最後のデータ・グループまで，このビットの設定を変えないでください。

- RFDL[3:0]ビット（レスポンス・フィールド長設定ビット）

  レスポンス・フィールドのデータ長を設定します。

  データ長はチェックサムのサイズを除き，0-8 バイトを設定できます。

  これらのビットは，RTS が 0（レスポンス送信／受信停止）のときに設定してください。

  9 バイト以上のレスポンス・データ送受信を行う場合は，最後のデータ・グループ（LSS ビットが 0）のみチェックサムを含み，それ以外のデータ・グループ（LSS ビットが 1）はチェックサムを含みません。

(21) LIN/UART ID バッファ・レジスタ（LIDBn）

アドレス：F06D5H

略号	7	6	5	4	3	2	1	0
LIDBn	IDP[1:0]		ID[5:0]					
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	IDP[1:0]	パリティ・ビット	ID フィールドで受信したパリティ（P）ビットを格納	R/W
5-0	ID[5:0]	ID ビット	ID フィールドで受信した 6 ビットの ID 値を格納	R/W

LIDBn レジスタの値は，ヘッダ受信完了した時に有効です。

LIN モード（LIN 動作モード，LIN ウェイクアップ・モード）では，書き込みできません。

LIN セルフテスト・モード時は，以下の通りになります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後），受信した値の反転値を読むことができます。

LIN セルフテスト・モードの詳細は，「17.6　LIN セルフテスト・モード」を参照してください。

- IDP[1:0] ビット（パリティ・ビット）

LIN フレームの ID フィールドで受信したパリティ（P0，P1）ビットが格納されます。

IDP0 ビットが P0，IDP1 ビットが P1 です。

LEDEn レジスタの IPERE ビットが 1（ID パリティ検出許可）の場合，受信した値と内部で算出した値の確認を行い，一致しない場合は，IPER（ID パリティ・エラー・フラグ）がセットされます。

- ID[5:0] ビット（ID ビット）

LIN フレームの ID フィールドで受信した 6 ビットの ID が格納されます。

(22) LIN チェックサム・バッファ・レジスタ（LCBRn）

アドレス：F06D6H

略号	7	6	5	4	3	2	1	0
LCBRn								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	R/W
7-0	チェックサムの送受信データを格納します。	R/W

LIN モード時は，以下の通りとなります。

- LDFCn レジスタの RCDS ビットが 1（送信）の場合
  送信した値を読むことができます。書き込みは無効になります。
- LDFCn レジスタの RCDS ビットが 0（受信）の場合
  受信した値を読むことができます。書き込みは無効になります。

9 バイト以上のレスポンス・データ送信またはレスポンス・データ受信を行う場合は，最後のデータ・グループにのみチェックサムが付加されるため，それ以外のデータ・グループではこのレジスタは更新されません。

LIN セルフテスト・モード時は，以下の通りとなります。

- LDFCn レジスタの RCDS ビットが 1（送信）の場合
  フレーム送信完了後（ループバック後），受信した値の反転値を読むことができます。
- LDFCn レジスタの RCDS ビットが 0（受信）の場合
  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後），受信した値の反転値を読むことができます。

LIN セルフテスト・モードの詳細は，「17.6　LIN セルフテスト・モード」を参照してください。

このレジスタは，LTRCn レジスタの FTS ビットが 0（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

(23) LIN/UART データ・バッファ m・レジスタ（LDBnm）（m = 1-8）

アドレス：LDBn1 F06D8H，LDBn2 F06D9H，LDBn3 F06DAH，LDBn4 F06DBH，LDBn5 F06DCH，LDBn6 F06DDH，LDBn7 F06DEH，LDBn8 F06DFH

略号	7	6	5	4	3	2	1	0
LDBnm								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定または受信データを読み出し。	00H - FFH	R/W

レスポンス送信の場合：

レスポンス・フィールドで送信するデータを設定します。

これらのレジスタは，LTRCn レジスタの RTS ビットが 0（レスポンス送信／受信停止）のときに設定してください。

レスポンス受信の場合：

レスポンス・フィールドで受信したデータが格納されます。

受信データは上書きされます。

また，エラー検出時，エラーを検出した受信データ（バイト）までレジスタに格納されます。

これらのレジスタは，RTS ビットが 1（レスポンス送信／受信開始）のときに読み出さないでください。

LIN セルフテスト・モードの場合：

通信前に送信する値を書いてください。

フレーム送受信完了後（ループバック後），受信した値の反転値を読むことができます。

LIN セルフテスト・モードの詳細は，「17.6　LIN セルフテスト・モード」を参照してください。

(24) LIN ブレーク／シンク・フィールド検出ステータス・レジスタ（LBSSn）

アドレス：F06ECH

略号	7	6	5	4	3	2	1	0
LBSSn	0	0	0	0	0	0	SYCC	BRKC
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	SYCC	シンク・フィールド検出フラグ	0：シンク・フィールド信号を未検出 1：シンク・フィールド信号を検出	R/W
0	BRKC	ブレーク・フィールド検出フラグ	0：ブレーク・フィールド信号を未検出 1：ブレーク・フィールド信号を検出	R/W

- SYCC ビット（シンク・フィールド検出フラグ）

  LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）の場合，このビットに書き込むことができません。

  このビットは，0 を書き込むことでクリアされます。

  SYCC ビットは，LIN/UART モジュールがリセット・モードに移行するときにクリアされます。

  このビットは，LIN スレーブ・モード時にシンク・フィールド信号を検出した時に 1 になります。

- BRKC ビット（ブレーク・フィールド検出フラグ）

  LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）の場合，このビットに書き込むことはできません。

  このビットは，0 を書き込むことでクリアされます。

  LIN リセット・モードへ移行すると，BRKC ビットはクリアされます。

  このビットは，LIN スレーブ・モード時にブレーク・フィールド信号を検出した時に 1 になります。

(25) LIN レスポンス・スペース・ドミナント検出ステータス・レジスタ（LRSSn）

アドレス：F06EEH

略号	7	6	5	4	3	2	1	0
LRSSn	0	0	0	0	0	0	0	RSDD
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	RSDD	レスポンス・スペース・ドミナント検出フラグ	0：レスポンス・スペースでドミナント・レベルは未検出 1：レスポンス・スペースでドミナント・レベルを検出	R

- RSDD ビット（レスポンス・スペース・ドミナント検出フラグ）

  このビットは書き込みできません。

  このビットは，LIN スレーブ・モードのレスポンス送信時のみ有効です。

  レスポンス・スペースでビット・エラーを検出した場合，このビットは無効です。

  シンク・フィールドを受信するとこのビットはクリアされます。

  このビットは，リセット・モードに移行するときにクリアされます。

  LIN スレーブ・モード時にヘッダ受信完了（ID フィールドのストップ・ビット）から送信を開始[注] するまでの間で 0.5 Tbit 以上のドミナント・レベルを検出した時に，このビットは 1 になります。

注　LSCnレジスタのRSビットが000B（レスポンス・スペースは0 Tbit）の場合，1バイト目のレスポンス・データのスタート・ビットを送信するまでの期間。

RSビットが001B - 111B（レスポンス・スペースは1-7 Tbits）の場合，レスポンス・スペースを送信するまでの期間。

17.2.3　UART 関連レジスタ

(1)　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC2, ISC3 ビットは，LIN/UART モジュール（RLIN3）で使用します。

ビット 2，3 をそれぞれ 1 に設定すると，LIN/UART モジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，ISC レジスタは 00H になります。

アドレス：F0073H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	ISC3	ISC2	0	ISC0

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12 端子の入力信号を外部割り込みに選択
1	LRXD1 端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11 端子の入力信号を外部割り込みに選択
1	LRXD0 端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0 端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0 端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注意 1.　ビット7-4およびビット1は，常に0を設定してください。

2.　RL78/F23製品では，ISC3ビットに必ず0を設定してください。

(2)　LIN チャネル選択レジスタ（LCHSEL）

アドレス：F007BH

略号	7	6	5	4	3	2	1	0
LCHSEL	0	0	0	0	0	0	0	LSEL0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	LSEL0	LIN チャネル選択ビット	0：LIN0 選択（LIN0 のレジスタ・アクセス可能） 1：LIN1 選択（LIN1 のレジスタ・アクセス可能）	R/W

- LSEL0 ビット（LIN チャネル選択ビット）

LIN/UART モジュールのレジスタは，CPU のメモリ・マップ上に直接マッピングされていないため，レジスタ・ウィンドウを通してアクセスします。レジスタ・ウィンドウは，F06C1H - F06EEH 番地にマッピングされています。

このビットに値を設定すると，対応するチャネルのレジスタが一括してレジスタ・ウィンドウにマッピングされます。

0 の場合，LIN0 のレジスタがマッピングされます。

1 の場合，LIN1 のレジスタがマッピングされます。

RL78/F23 製品では，このビットの値を 0 に設定してください。

RL78/F24 製品では，レジスタ・アクセス前に使用したいチャネルの該当する値に変更してください。

(3)　周辺イネーブル・レジスタ 2（PER2）

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

PER2 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00H になります。

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	AAUEN	0	0	LIN1EN 注	LIN0EN	0	CAN0EN 注

AAUEN	AAU の入力クロック供給の制御
0	入力クロック供給停止 • AAU で使用する SFR へのライト不可 • AAU はリセット状態
1	入力クロック供給 • AAU で使用する SFR へのリード／ライト可

LIN1EN 注	LIN1 の入力クロック供給の制御
0	入力クロック供給停止 • LIN1 で使用する SFR へのライト不可 • LIN1 はリセット状態
1	入力クロック供給 • LIN1 で使用する SFR へのリード／ライト可

LIN0EN	LIN0 の入力クロック供給の制御
0	入力クロック供給停止 • LIN0 で使用する SFR へのライト不可 • LIN0 はリセット状態
1	入力クロック供給 • LIN0 で使用する SFR へのリード／ライト可

CAN0EN 注	CAN の入力クロック供給の制御
0	入力クロック供給停止 • CAN で使用する SFR へのライト不可 • CAN はリセット状態 CAN0 ウェイクアップ割り込みを禁止
1	入力クロック供給 • CAN で使用する SFR へのリード／ライト可 CAN0 ウェイクアップ割り込みを許可

注　RL78/F24 製品のみ。

注意　次のビットには必ず0を設定してください。

・RL78/F23：ビット0, 1, 3, 4, 5, 7

・RL78/F24：ビット1, 4, 5, 7

(4)　LIN クロック選択レジスタ（LINCKSEL）

LIN への通信クロック源を制御するレジスタです。

アドレス：F02C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	0	LIN1MCKE 注	LIN0MCKE	0	0	LIN1MCK 注	LIN0MCK

LIN1MCKE 注	LIN1 の通信クロック源の供給/停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN0MCKE	LIN0 の通信クロック源の供給/停止制御
0	LIN 通信クロック源を停止
1	LIN 通信クロック源を供給

LIN1MCK 注	LIN1 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

LIN0MCK	LIN0 の通信クロック源の選択制御
0	f_{CLK} クロックを選択
1	f_{MX} クロックを選択

注　RL78/F24 製品のみ。

注意 1.　LINnMCKE（n = 0, 1）を1（通信クロック源を供給）にする前に，LINnMCKでLINnの通信クロック源を選択してください。

2.　SNOOZE時にLINnを動作させる場合，LINnMCK = 0に設定してください。

3.　LINnMCKを1（f_{MX}クロックを選択）で使用する場合，タイムアウト・エラーを使用しないでください。その場合，f_{CLK}クロックはLIN通信クロック源の1.2倍以上の周波数でご使用ください。

(5)　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

詳細は「21.3.4　外部割り込み立ち上がり／立ち下がりエッジ許可レジスタ（EGP0, EGP1, EGN0, EGN1）」を参照してください。

(6)　LIN ウェイクアップ・ボー・レート選択レジスタ（LWBRn）

アドレス：F06C1H

略号	7	6	5	4	3	2	1	0
LWBRn	NSPB[3:0]				LPRS[2:0]			0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	NSPB[3:0]	ビット・サンプリング数選択ビット	0000B：16 サンプリング 0101B：6 サンプリング 0110B：7 サンプリング 0111B：8 サンプリング 1000B：9 サンプリング 1001B：10 サンプリング 1010B：11 サンプリング 1011B：12 サンプリング 1100B：13 サンプリング 1101B：14 サンプリング 1110B：15 サンプリング 1111B：16 サンプリング 上記以外は設定しないでください。	R/W
3-1	LPRS[2:0]	プリスケーラ・クロック選択ビット	000B：1/1 001B：1/2 010B：1/4 011B：1/8 100B：1/16 101B：1/32 110B：1/64 111B：1/128	R/W
0	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W

LWBRn レジスタは LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- NSPB[3:0]ビット（ビット・サンプリング数選択ビット）

  1 Tbit（ボー・レートの逆数）のサンプリング数を選択するビットです。

  UART モード（LIN/UART モード・レジスタの LIN/UART モード選択ビットが 01B）で使用するとき，これらのビットで 6-16 サンプリングに設定できます。

- LPRS[2:0]ビット（プリスケーラ・クロック選択ビット）

  プリスケーラの分周比を選択するビットです。

  このプリスケーラにより LIN 通信クロック源を分周します。

(7)　LIN/UART ボー・レート・プリスケーラ・レジスタ（LBRPn）

アドレス：F06C3H, F06C2H

略号	LBRPn1								LBRPn0							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
15-0	設定値をL（0 - 65535）とすると，ボー・レート・プリスケーラは，プリスケーラ・クロックをL+1分周します。	0000H - FFFFH	R/W

LBRPn レジスタは LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。このレジスタの設定値を L とすると，ボー・レート・プリスケーラは LWBRn レジスタの LPRS ビット（プリスケーラ・クロック選択ビット）で分周したクロックを L+1 分周します。

LBRPn レジスタは，下記レジスタで 8 ビット・アクセスが可能です。

- 下位 8 ビット：LIN/UART ボー・レート・プリスケーラ 0 レジスタ（LBRPn0）；アドレス F06C2H
- 上位 8 ビット：LIN/UART ボー・レート・プリスケーラ 1 レジスタ（LBRPn1）；アドレス F06C3H

(8)　UART スタンバイ・コントロール・レジスタ（LUSCn）

アドレス：F06C5H

略号	7	6	5	4	3	2	1	0
LUSCn	0	0	0	0	0	URDCC	USEC	UWC
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-3	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
2	URDCC	UART スタンバイ受信データ比較制御ビット	0：SNOOZE モード時，受信データと LIDBn レジスタの比較禁止 1：SNOOZE モード時，受信データと LIDBn レジスタの比較許可	R/W
1	USEC	UART スタンバイ・エラー制御ビット	0：エラー検出割り込み発生許可 1：エラー検出割り込み発生停止	R/W
0	UWC	UART スタンバイ・ウェイクアップ制御ビット	0：STOP モードからの受信動作起動停止 1：STOP モードからの受信動作起動許可	R/W

LUSCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- URDCC ビット（UART スタンバイ受信データ比較制御ビット）

SNOOZE モード中に受信したデータと LIDBn レジスタの値の比較の許可／禁止を設定します。
0 の場合，SNOOZE モード中に受信したデータと LIDBn レジスタの値の比較を行わず，該当する割り込みが発生します。
1 の場合，SNOOZE モード中に受信したデータと LIDBn レジスタの値の比較を行い，一致すると受信完了割り込みが発生します。一致しないときは，割り込みは発生せず，STOP モードに遷移します。
UWC ビットが 0（STOP モードからの受信動作起動停止）のとき，このビットを 1（SNOOZE モード時，受信データと LIDBn レジスタの比較許可）に設定しないでください。
このビットを 1（SNOOZE モード時，受信データと LIDBn レジスタの比較許可）にする場合は，ビット長を 8 ビット（LBFCn レジスタの UBLS ビットが 0（UART 8 ビット通信），かつ LUORn1 レジスタの UEBE ビットが 0（拡張ビット動作禁止））でのみ使用してください。
このビットは UWC ビットが 1（STOP モードからの受信動作起動許可）の場合に有効です。

- USEC ビット（UART スタンバイ・エラー制御ビット）

SNOOZE モード中のエラー検出およびステータス変化による割り込み発生の許可／禁止を設定します。
0 の場合，SNOOZE モード中にエラー（フレーミング・エラー，パリティ・エラー）またはステータス（拡張ビット検出）変化を検出すると該当フラグが 1 となり，エラー検出割り込みが発生します。
1 の場合，SNOOZE モード中にエラー（フレーミング・エラー，パリティ・エラー）またはステータス（拡張ビット検出）変化を検出しても，該当フラグが変化せず，エラー検出割り込みは発生せず，STOP モードに遷移します。
UWC ビットが 0（STOP モードからの受信動作起動停止）のとき，このビットを 1（エラー検出割り込み発生停止）に設定しないでください。
このビットは UWC ビットが 1（STOP モードからの受信動作起動許可）の場合に有効です。

- UWC ビット（UART スタンバイ・ウェイクアップ制御ビット）

  STOP モード中に，受信端子の立ち下がり検出による SNOOZE モードへの遷移の許可／禁止を設定します。

  0 の場合，STOP モード中に受信端子の立ち下がりを検出しても SNOOZE モードに遷移せず，受信動作を開始しません。

  1 の場合，STOP モード中に受信端子の立ち下がりの検出により SNOOZE モードへ遷移し，受信動作を開始します。

(9)　LIN/UART モード・レジスタ（LMDn）

アドレス：F06C8H

略号	7	6	5	4	3	2	1	0
LMDn	0	0	LRDNFS	0	0	0	LMD[1:0]	
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5	LRDNFS	LIN 受信データ・ノイズ・フィルタ禁止ビット	0：ノイズ・フィルタを使用する 1：ノイズ・フィルタを使用しない	R/W
4-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1, 0	LMD[1:0]	LIN/UART モード選択ビット	01B：UART モード	R/W

LMDn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- LRDNFS ビット（LIN 受信データ・ノイズ・フィルタ禁止ビット）

  データ受信時のノイズ・フィルタの有効／無効を選択するビットです。

  0 の場合，データ受信時のノイズ・フィルタは有効です。

  1 の場合，データ受信時のノイズ・フィルタは無効です。

- LMD[1:0]ビット（LIN/UART モード選択ビット）

  LIN/UART モジュールのモードを選択するビットです。

  UART として使用する場合は，これらのビットを 01B に設定してください。

  01B の場合，LIN/UART モジュールは UART として動作します。

(10) LIN ブレーク・フィールド・コンフィグレーション・レジスタ／UART コンフィグレーション・レジスタ（LBFCn）

アドレス：F06C9H

略号	7	6	5	4	3	2	1	0
LBFCn	0	UTPS	URPS	UPS[1:0]		USBLS	UBOS	UBLS
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
6	UTPS	UART 出力極性切り替えビット	0：送信データ通常出力 1：送信データ反転出力	R/W
5	URPS	UART 入力極性切り替えビット	0：受信データ通常入力 1：受信データ反転入力	R/W
4, 3	UPS[1:0]	UART パリティ選択ビット	00B：パリティなし 01B：偶数パリティ 10B：0 パリティ 11B：奇数パリティ	R/W
2	USBLS	UART ストップ・ビット長選択ビット	0：ストップ・ビット 1 ビット 1：ストップ・ビット 2 ビット	R/W
1	UBOS	UART 転送フォーマット選択ビット	0：LSB ファースト 1：MSB ファースト	R/W
0	UBLS	UART キャラクタ長選択ビット	0：UART 8 ビット通信 1：UART 7 ビット通信	R/W

LBFCn レジスタは LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- UTPS ビット（UART 出力極性切り替えビット）

UART 通信の出力極性を設定します。

0 の場合，送信データをそのまま出力します。

1 の場合，送信データを反転して出力します。

このビットの設定は，UART フレームのすべてのビットで有効です。

半二重通信では，このビットと URPS ビットを同じ値に設定してください。

- URPS ビット（UART 入力極性切り替えビット）

UART 通信の入力極性を設定します。

0 の場合，受信データをそのまま取り込みます。

1 の場合，受信データを反転して取り込みます。

このビットの設定は，UART フレームのすべてのビットで有効です。

半二重通信では，このビットと UTPS ビットと同じ値に設定してください。

- UPS[1:0] ビット（UART パリティ選択ビット）

UART 通信のパリティを設定します。

00B の場合，パリティなしで通信します。

  - 送信
    送信データにパリティ・ビットを付加しません。
  - 受信
    パリティ処理なしで受信します。そのため，パリティ・エラーは発生しません。

01B の場合，偶数パリティで通信します。

- 送信
  送信データ内の 1 の個数が奇数の場合，パリティ・ビットに 1 を付加し，送信データ内の 1 の個数が偶数の場合，パリティ・ビットに 0 を付加します。
- 受信
  パリティ・ビットを含めた受信データ内の 1 の個数が，奇数の場合にパリティ・エラーを発生します。

10B の場合，0 パリティで通信します。

- 送信
  送信データ内の 1 の個数にかかわらず，パリティ・ビットに 0 を付加します。
- 受信
  パリティ・ビットの値の判定を実施しません。そのため，パリティ・エラーは発生しません。

11B の場合，奇数パリティで通信します。

- 送信
  送信データ内の 1 の個数が奇数の場合，パリティ・ビットに 0 を付加し，送信データ内の 1 の個数が偶数の場合，パリティ・ビットに 1 を付加します。
- 受信
  パリティ・ビットを含めた受信データ内の 1 の個数が，偶数の場合にパリティ・エラーを発生します。

- USBLS ビット（UART ストップ・ビット長選択ビット）

UART 通信のストップ・ビット長を設定します。
0 の場合，1 ビットのストップ・ビット長で送信します。
1 の場合，2 ビットのストップ・ビット長で送信します。

- UBOS ビット（UART 転送フォーマット選択ビット）

UART 通信データのビット・オーダを設定します。
0 の場合，LSB ファーストで通信します。
1 の場合，MSB ファーストで通信します。

- UBLS ビット（UART キャラクタ長選択ビット）

UART 通信 1 フレームのキャラクタ長を設定します。
0 の場合，1 フレームのキャラクタ長は 8 ビットで通信します。
1 の場合，1 フレームのキャラクタ長は 7 ビットで通信します。
1 フレームのキャラクタ長を 9 ビットで使用する場合（LUORn1 レジスタの UEBE ビットが 1）は，このビットの設定は無効です。

(11) LIN/UART スペース・コンフィグレーション・レジスタ（LSCn）

アドレス：F06CAH

略号	7	6	5	4	3	2	1	0
LSCn	0	0	IBS[1:0]		0	0	0	0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5, 4	IBS[1:0]	インタバイト・スペース設定ビット	00B：0 Tbit 01B：1 Tbit 10B：2 Tbits 11B：3 Tbits	R/W
3-0	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W

LSCn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- IBS[1:0] ビット（インタバイト・スペース設定ビット）

  UART バッファによる送信時，UART フレーム間のスペース幅を設定します。

  0-3 Tbits を設定できます。

  送信データ・バッファ（LUTDRn レジスタ）から送信を行う場合，IBS[1:0] ビットは 00B を設定してください。

(12) LIN/UART エラー検出許可レジスタ（LEDEn）

アドレス：F06CDH

略号	7	6	5	4	3	2	1	0
LEDEn	0	0	0	0	FERE	OERE	0	BERE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3	FERE	フレーミング・エラー検出許可ビット	0：フレーミング・エラー検出禁止 1：フレーミング・エラー検出許可	R/W
2	OERE	オーバラン・エラー検出許可ビット	0：オーバラン・エラー検出禁止 1：オーバラン・エラー検出許可	R/W
1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	BERE	ビット・エラー検出許可ビット	0：ビット・エラー検出禁止 1：ビット・エラー検出許可	R/W

LEDEn レジスタは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

- FERE ビット（フレーミング・エラー検出許可ビット）

フレーミング・エラー検出の許可／禁止を設定します。
0 の場合，フレーミング・エラーを検出しません。
1 の場合，フレーミング・エラーを検出します。
このビットが 1 の場合の検出結果は，LESTn レジスタの FER フラグに反映されます。
フレーミング・エラーの詳細は，「17.5.5　エラー・ステータス」を参照してください。

- OERE ビット（オーバラン・エラー検出許可ビット）

オーバラン・エラー検出の許可／禁止を設定します。
0 の場合，オーバラン・エラーを検出しません。
1 の場合，オーバラン・エラーを検出します。
このビットが 1 の場合の検出結果は，LESTn レジスタの OER フラグに反映されます。
オーバラン・エラーの詳細は，「17.5.5　エラー・ステータス」を参照してください。

- BERE ビット（ビット・エラー検出許可ビット）

ビット・エラー検出の許可／禁止を設定します。
0 の場合，ビット・エラーを検出しません。
1 の場合，ビット・エラーを検出します。
このビットが 1 の場合，ビット・エラーの検出結果は，LESTn レジスタの BER フラグに反映されます。
LIN/UART モジュールが全二重モードで使用されている場合は，このビットを 1 に設定しないでください。
ビット・エラーの詳細は，「17.5.5　エラー・ステータス」を参照してください。
LWBRn レジスタの NSPB ビットが 0101B（6 サンプリング）で，LMDn レジスタの LRDNFS ビットが 0（ノイズ・フィルタ使用）の場合は，このビットを設定しないでください。

(13) LIN/UART コントロール・レジスタ（LCUCn）

アドレス：F06CEH

略号	7	6	5	4	3	2	1	0
LCUCn	0	0	0	0	0	0	0	OM0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	OM0	LIN リセット・ビット	0：LIN リセット・モード 1：LIN リセット・モードでない	R/W

このレジスタに書き込みを行った後は，書き込んだ値が LMSTn レジスタに反映されることを確認してから，次の値の書き込みを行ってください。

- OM0 ビット（LIN リセット・ビット）

LIN リセット・モードへの移行／LIN リセット・モードの解除を選択するビットです。
0 にすると，LIN リセット・モードになります。
1 にすると，LIN リセット・モードは解除されます。

(14) LIN/UART 送信コントロール・レジスタ（LTRCn）

アドレス：F06D0H

略号	7	6	5	4	3	2	1	0
LTRCn	0	0	0	0	0	0	RTS	0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	RTS	UART バッファ送信開始ビット	0：UART バッファ送信停止 1：UART バッファ送信開始	R/W
0	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W

- RTS ビット（UART バッファ送信開始ビット）

UART バッファからデータ送信を行う場合に 1 にしてください。

このビットは 1 のみ書けます。0 は書けません。

このビットは，LUOERn レジスタの UTOE ビットが 1（送信動作許可）かつ LSTn レジスタの UTS ビットが 0（送信動作中でない）のときに書いてください。

設定後，エラーの有無にかかわらず，LDFCn レジスタの MDL ビットで設定したデータ数のデータを送信完了したとき，自動的に 0 になります。

LIN リセット・モードに移行したとき，自動的に 0 になります。

このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときは書けません。

LDFCn レジスタの UTSW ビットが 1（UART バッファ送信要求時，受信のストップ・ビット完了まで送信開始を遅らせる）のときに，このビットに 1 を書き込む場合は，ストップ・ビット受信後に書き込んでください。

(15) LIN/UART モード・ステータス・レジスタ（LMSTn）

アドレス：F06D1H

略号	7	6	5	4	3	2	1	0
LMSTn	0	0	0	0	0	0	0	OMM0
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	OMM0	LIN リセット・ステータス・モニタ	0：LIN リセット・モード 1：LIN リセット・モードでない	R

- OMM0 ビット（LIN リセット・ステータス・モニタ）

  OMM0 ビットは，LIN リセット・モードかどうかを示します。

  0 の場合，LIN/UART モジュールは LIN リセット・モードです。

  1 の場合，LIN/UART モジュールは LIN リセット・モードではありません。

(16) LIN/UART ステータス・レジスタ（LSTn）

アドレス：F06D2H

略号	7	6	5	4	3	2	1	0
LSTn	0	0	URS	UTS	ERR	0	0	FTC
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5	URS	受信ステータス・フラグ	0：受信動作中ではない 1：受信動作中	R
4	UTS	送信ステータス・フラグ	0：送信動作中ではない 1：送信動作中	R
3	ERR	エラー検出フラグ	0：エラー未検出 1：エラー検出	R
2, 1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	FTC	バッファ送信完了フラグ	0：UART バッファ送信未完了 1：UART バッファ送信完了	R/W

LSTn レジスタは，LIN リセット・モード移行時，自動的に 00H になります。

LIN リセット・モード中は，このレジスタへは書くことができません。LIN リセット・モード中は 00H を保持します。

レジスタ内の特定ビットをクリアする場合は，クリアするビットには 0 を，クリアしないビットには 1 を 8 ビット・データ転送命令で書き込んでください。

- URS フラグ（受信ステータス・フラグ）

受信動作開始時に 1 となります。受信動作中は 1 を保持します。

受信動作開始となるのは以下の場合です。

- スタート・ビットを検出したとき

受信動作終了時に 0 となります。受信動作停止中は 0 を保持します。

受信動作終了となるのは，以下の場合です。

- ストップ・ビット（1 ビット目）のサンプリング・ポイント

- UTS フラグ（送信ステータス・フラグ）

送信動作開始時に 1 となります。送信動作中は 1 を保持します。

送信動作開始となるのは以下の条件です。

- LUTDRn レジスタ，または LUWTDRn レジスタに送信データがセットされたとき
- LTRCn レジスタの RTS ビットに 1 がセットされたとき

UTS フラグは，送信動作終了時に 0 となります。送信動作停止中は 0 を保持します。

送信動作終了となるのは以下の場合です。

- LUTDRn レジスタ，または LUWTDRn レジスタにセットされたデータの送信完了し，かつ次の送信データがセットされていないとき
- UART バッファからの送信が完了したとき（LTRCn レジスタの RTS ビットが 0 になったとき）

- ERR フラグ（エラー検出フラグ）

  エラー検出（LESTn レジスタのフラグのうち 1 つでも 1）したときに 1 になります。このとき，割り込みが発生します。ただし，このビットが 1 の状態で，エラー検出，拡張ビット検出，および ID 一致した場合，割り込みは発生しません。クリアする場合は，LESTn レジスタの UPER，IDMT，EXBT，FER，OER，BER フラグに 0 を書いてください。これにより ERR フラグが 0 となります。

- FTC フラグ（バッファ送信完了フラグ）

  0 のみ書けます。1 を書いた場合は，書く前の値を保持します。
  エラーの有無にかかわらず，UART バッファから LDFCn レジスタの MDL ビットで設定したデータ数のデータの送信が完了したとき，このビットは 1 に設定されます。このとき割り込みが発生します。クリアする場合は 0 を書いてください。

(17) LIN/UART エラー・ステータス・レジスタ（LESTn）

アドレス：F06D3H

略号	7	6	5	4	3	2	1	0
LESTn	0	UPER	IDMT	EXBT	FER	OER	0	BER
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
6	UPER	パリティ・エラー・フラグ	0：パリティ・エラー未検出 1：パリティ・エラー検出	R/W
5	IDMT	ID 一致フラグ	0：受信データと ID 値不一致 1：受信データと ID 値一致	R/W
4	EXBT	拡張ビット検出フラグ	0：拡張ビット未検出 1：拡張ビット検出	R/W
3	FER	フレーミング・エラー・フラグ	0：フレーミング・エラー未検出 1：フレーミング・エラー検出	R/W
2	OER	オーバラン・エラー・フラグ	0：オーバラン・エラー未検出 1：オーバラン・エラー検出	R/W
1	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
0	BER	ビット・エラー・フラグ	0：ビット・エラー未検出 1：ビット・エラー検出。	R/W

LESTn レジスタは，LIN リセット・モード移行時，自動的に 00H になります。

LIN リセット・モード中は，このレジスタへは書くことができません。LIN リセット・モード中は 00H を保持します。

レジスタ内の特定ビットをクリアする場合は，クリアするビットには 0 を，クリアしないビットには 1 を 8 ビット・データ転送命令で書き込んでください。

- UPER フラグ（パリティ・エラー・フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

パリティ・エラー検出時，1 となります。

SNOOZE モードで使用する場合は下記条件が必要です。

- LUSCn レジスタの UWC ビットが 1（STOP モードからの受信動作起動許可）
- LUSCn レジスタの USEC ビットが 0（エラー検出割り込み発生許可）

クリアする場合は 0 を書いてください。

- IDMT フラグ（ID 一致フラグ）

0 のみ書けます。1 を書いた場合は書く前の値を保持します。

以下のすべての条件が成立したときに 1 となります。

- LUORn1 レジスタの UEBE ビットが 1（拡張ビット動作許可）
- LUORn1 レジスタの UECD ビットが 0（拡張ビット比較許可）
- LUORn1 レジスタの UEBDCE ビットが 1（拡張ビット検出後のデータ比較をする）
- 受信した拡張ビットが LUORn1 レジスタの UEBDL ビットの値と一致
- 受信データのうち拡張ビットを除く 8 ビットの値が LIDBn レジスタの値と一致

クリアする場合は 0 を書いてください。

- EXBT フラグ（拡張ビット検出フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  LUORn1 レジスタの UEBE ビットが 1（拡張ビット動作許可）で，受信した拡張ビットが LUORn1 レジスタの UEBDL ビットの値と一致した時，1 となります。

  SNOOZE モードで使用する場合は下記条件が必要です。

  - LUSCn レジスタの UWC ビットが 1（STOP モードからの受信動作起動許可）
  - LUSCn レジスタの USEC ビットが 0（エラー検出割り込み発生許可）
  - LUORn1 レジスタの UECD ビットが 0（拡張ビット比較許可）

  クリアする場合は 0 を書いてください。

- FER フラグ（フレーミング・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  LEDEn レジスタの FERE ビットが 1（フレーミング・エラー検出許可）で，フレーミング・エラー検出時，1 となります。

  SNOOZE モードで使用する場合は下記条件が必要です。

  - LUSCn レジスタの UWC ビットが 1（STOP モードからの受信動作起動許可）
  - LUSCn レジスタの USEC ビットが 0（エラー検出割り込み発生許可）

  クリアする場合は 0 を書いてください。

- OER フラグ（オーバラン・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  LEDEn レジスタの OERE ビットが 1（オーバラン・エラー検出許可）で，オーバラン・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

- BER フラグ（ビット・エラー・フラグ）

  0 のみ書けます。1 を書いた場合は書く前の値を保持します。

  LEDEn レジスタの BERE ビットが 1（ビット・エラー検出許可）で，ビット・エラー検出時，1 となります。クリアする場合は 0 を書いてください。

(18) LIN/UART データ・フィールド・コンフィグレーション・レジスタ（LDFCn）

アドレス：F06D4H

略号	7	6	5	4	3	2	1	0
LDFCn	0	0	UTSW	0	MDL[3:0]			
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7, 6	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
5	UTSW	送信開始ウェイト設定ビット	0：UART バッファ送信を要求時，すぐに送信を開始 1：UART バッファ送信要求時，受信のストップ・ビット完了まで送信開始を遅らせる	
4	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
3-0	MDL[3:0]	UART バッファ・データ長設定ビット	0000B：9 データ 0001B：1 データ 0010B：2 データ 0011B：3 データ 0100B：4 データ 0101B：5 データ 0110B：6 データ 0111B：7 データ 1000B：8 データ 1001B：9 データ 上記以外は設定しないでください。	R/W

- UTSW ビット（送信開始ウェイト・ビット）

UTSW ビットは，UART バッファ送信の開始タイミングを制御します。

0 を設定すると，UART バッファ送信が要求されると，すぐに送信が開始されます。

1 を設定すると，UART バッファ送信が要求された場合，ストップ・ビットの受信が完了するのを待ってから送信を開始します。

LBFCn レジスタの USBLS ビットで，ストップ・ビット長が 2 ビットに設定されていても，1 ビット分しか待ちません。

このビットは，LTRCn レジスタの RTS ビットに 1 が設定されると有効になります。

RTS ビットが 1（UART バッファ送信が有効）の場合，このビットへの書き込みは無効になります。

半二重通信で受信から送信に切り替える以外の目的で，このビットを 1 に設定しないでください。

- MDL[3:0]ビット（UART バッファ・データ長設定ビット）

UART バッファのデータ長を設定します。

これらのビットは，RTS ビットが 1（UART バッファ送信許可）のときは書けません。

(19) LIN/UART ID バッファ・レジスタ（LIDBn）

アドレス：F06D5H

略号	7	6	5	4	3	2	1	0
LIDBn								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	R/W
7-0	拡張ビット・データ比較および SNOOZE モード時データ比較で参照する ID 値を設定。	R/W

LUORn1 レジスタの UEBE ビットが 1（拡張ビット動作許可）かつ UEBDCE ビットが 1（拡張ビット検出後のデータ比較をする）で使用する際に，受信データと比較する値を設定してください。
LUSCn レジスタの UWC ビットが 1（STOP モードからの受信動作起動許可），かつ URDCC ビットが 1（SNOOZE モード時，受信データと LIDBn レジスタの比較許可）で使用する際に，受信データと比較する値を設定してください。

LIDBn レジスタは，LSTn レジスタの URS ビットが 0（受信動作中でない）のときに書いてください。

(20) UART データ・バッファ 0 レジスタ（LUDBn0）

アドレス：F06D7H

略号	7	6	5	4	3	2	1	0
LUDBn0								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定。	00H - FFH	R/W

UART バッファからデータ長が 9（LDFCn レジスタの MDL ビットが 0000B または 1001B）の送信を行う際に，始めに送信するデータを設定します。

LUDBn0 レジスタは，LTRCn レジスタの RTS ビットが 0（UART バッファ送信停止）のときに書いてください。

UART バッファの詳細は，「17.5.3　送信データのバッファ処理」を参照してください。

(21) LIN/UART データ・バッファ m レジスタ（LDBnm）（m = 1-8）

アドレス： LDBn1 F06D8H，LDBn2 F06D9H，LDBn3 F06DAH，LDBn4 F06DBH，LDBn5 F06DCH，LDBn6 F06DDH，LDBn7 F06DEH，LDBn8 F06DFH

略号	7	6	5	4	3	2	1	0
LDBnm								
リセット後の値：	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定	00H - FFH	R/W

UART バッファから送信するデータを設定します。

これらのレジスタは，LTRCn レジスタの RTS ビットが 0（UART バッファ送信停止）のときに書いてください。

UART バッファの詳細は，「17.5.3　送信データのバッファ処理」を参照してください。

(22) UART オペレーション許可レジスタ（LUOERn）

アドレス：F06E0H

略号	7	6	5	4	3	2	1	0
LUOERn	0	0	0	0	0	0	UROE	UTOE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
1	UROE	受信動作許可ビット	0：受信動作禁止 1：受信動作許可	R/W
0	UTOE	送信動作許可ビット	0：送信動作禁止 1：送信動作許可	R/W

LUOERn レジスタは，LIN リセット・モード移行時，自動的に 00H になります。

LIN リセット・モード中は，このレジスタへは書くことができません。LIN リセット・モード中は 00H を保持します。

- UROE ビット（受信動作許可ビット）

受信動作の許可／禁止を設定します。

0 の場合，受信動作を禁止します。

1 の場合，受信動作を許可します。

受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は，LCUCn レジスタの OM0 ビットに 0 を設定し，LIN リセット・モードに遷移させてください。ただし，この操作により送信動作も中断されます。

UART バッファからのデータ送信中は，このビットを 1 にしないでください。

- UTOE ビット（送信動作許可ビット）

送信動作の許可／禁止を設定します。

0 の場合，送信動作を禁止します。

1 の場合，送信動作を許可します。

送信中にこのビットをクリアしないでください。送信中に通信を中断する場合は，LCUCn レジスタの OM0 ビットに 0 を設定し，LIN リセット・モードに遷移させてください。ただし，この操作により受信動作も中断されます。

(23) UART オプション・レジスタ 1（LUORn1）

アドレス：F06E1H

略号	7	6	5	4	3	2	1	0
LUORn1	0	0	0	UECD	UTIGTS	UEBDCE	UEBDL	UEBE
リセット後の値：	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-5	－	予約ビット	読むと 0 が読めます。書く場合は 0 としてください。	R/W
4	UECD	拡張ビット比較禁止ビット	0：拡張ビット比較許可 1：拡張ビット比較禁止	R/W
3	UTIGTS	送信割り込み発生タイミング選択ビット	0：送信開始時に送信割り込み発生 1：送信完了時に送信割り込み発生	R/W
2	UEBDCE	拡張ビット・データ比較許可ビット	0：拡張ビット検出後のデータ比較をしない 1：拡張ビット検出後のデータ比較をする	R/W
1	UEBDL	拡張ビット検出レベル選択ビット	0：拡張ビット値 0 を拡張ビット検出レベルに選択 1：拡張ビット値 1 を拡張ビット検出レベルに選択	R/W
0	UEBE	拡張ビット許可ビット	0：拡張ビット動作禁止 1：拡張ビット動作許可	R/W

- UECD ビット（拡張ビット比較禁止ビット）

  UEBE ビットが 1（拡張ビット動作許可）のときに，受信した拡張ビットの値と UEBDL ビットの値との比較の禁止／許可を設定します。

  0 の場合，拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を許可します。

  1 の場合，拡張ビット受信時に受信した拡張ビットと UEBDL ビットの値の比較を禁止します。

  このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。

  UART バッファを使用する場合は，このビットに 1 をセットしないでください。

  UEBDCE ビットを 1（拡張ビット検出後のデータ比較をする）で使用する場合は，このビットに 1 をセットしないでください。

- UTIGTS ビット（送信割り込み発生タイミング選択ビット）

  送信割り込み発生タイミングを設定します。

  0 の場合，送信開始時に送信割り込みが発生します。

  1 の場合，送信完了時に送信割り込みが発生します。

  0 の状態で UART バッファからの送信を行う場合は，LDFCn レジスタの MDL ビットで設定したデータ長の最終データの送信開始時にのみ送信割り込みが発生します。

  1 の状態で UART バッファからの送信を行う場合は，LDFCn レジスタの MDL ビットで設定したデータ長の最終データの送信完了時にのみ送信割り込みが発生します。

- UEBDCE（拡張ビット・データ比較許可ビット）

  拡張ビット検出後，拡張ビットを除く 8 ビット受信データと LIDBn レジスタの値比較の許可／禁止を設定します。

  0 の場合，UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに，LURDRn レジスタに受信した値と LIDBn レジスタの値の比較動作を禁止します。

  1 の場合，UEBDL ビットで選択したレベルが拡張ビットとして検出されたときに，LURDRn レジスタに受信した値と LIDBn レジスタの値の比較動作を許可します。

このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。
UEBE ビットを 0（拡張ビット動作禁止）で使用する場合は，このビットに 1 をセットしないでください。
UECD ビットを 1（拡張ビット比較禁止）で使用する場合は，このビットに 1 をセットしないでください。
UART バッファを使用する場合は，このビットに 1 をセットしないでください。
LUSCn レジスタの UWC ビットを 1（STOP モードからの受信動作起動許可）で使用する場合は，このビットに 1 をセットしないでください。

- UEBDL ビット（拡張ビット検出レベル選択ビット）

UEBE ビットが 1（拡張ビット動作許可）かつ UECD ビットが 0（拡張ビット比較許可）のときに，拡張ビットとして検出するレベルを設定します。
0 の場合，拡張ビット値 0 を拡張ビット検出レベルとします。
1 の場合，拡張ビット値 1 を拡張ビット検出レベルとします。
このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。
UART バッファを使用する場合は，このビットに 1 をセットしないでください。

- UEBE ビット（拡張ビット許可ビット）

拡張ビットの動作の許可／禁止を設定します。
0 の場合，拡張ビット動作を禁止します。
1 の場合，拡張ビット動作を許可します。
このビットは，LMSTn レジスタの OMM0 ビットが 0（LIN リセット・モード）のときに設定してください。
UART バッファを使用する場合は，このビットに 1 をセットしないでください。

(24) UART 送信データ・レジスタ（LUTDRn）

アドレス：F06E5H, F06E4H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LUTDRn	0	0	0	0	0	0	0	[8:0]								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
15-9	予約ビット 読むと 0 が読めます。書く場合は 0 としてください。	－	R/W
8-0	送信バッファから送信するデータを設定します。	000H - 1FFH	R/W

送信するデータを LUTDRn レジスタに設定してください。

LUOERn レジスタの UTOE ビットが 1（送信動作許可）のときに，このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは，8 ビット・アクセス可能です。

9 ビット通信の場合は 8 ビット・アクセスしないでください。

UART バッファからデータを送信しているときに，このレジスタにデータを書き込まないでください。

また，LUWTDRn レジスタへの書き込みアクセスにより送信要求が発生しているときは，このレジスタにデータを書き込まないでください。

連続して送信する場合，送信割り込み発生前に次のデータをこのレジスタに書き込まないでください。

以下に通信フォーマットの設定によるビット配置を示します。

項目	LUTDRn								
	8	7	6	5	4	3	2	1	0
7 ビット LSB ファースト	－	－	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
7 ビット MSB ファースト	－	－	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6
8 ビット LSB ファースト	－	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
8 ビット MSB ファースト	－	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6	ビット 7
9 ビット LSB ファースト	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
9 ビット MSB ファースト	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6	ビット 7	ビット 8

(25) UART 受信データ・レジスタ（LURDRn）

アドレス：F06E7H，F06E6H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LURDRn	0	0	0	0	0	0	0	[8:0]								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
15-9	予約ビット 読むと 0 が読めます。書く場合は 0 としてください。	－	R/W
8-0	受信バッファから受信データを読み出すことができます	000H-1FFH	R

受信データ・レジスタから受信データを読み出すことができます。

LUOERn レジスタの UROE ビットが 1 のときに，受信データがこのレジスタに格納され，読み出すことができます。

このレジスタは，受信データのストップ・ビットで更新されます。

このレジスタは，パリティやストップ・ビットでエラーが発生したときも値は更新されます。

しかし，LEDEn レジスタの OERE ビットが 1（オーバラン・エラー検出許可）で，オーバラン・エラー発生時は値が更新されません。OERE ビットが 0（オーバラン・エラー検出禁止）で，オーバラン・エラー発生時は値が更新されます。

LEDEn レジスタの OERE ビットが 1（オーバラン・エラー検出許可）で，受信エラー（オーバラン・エラー，フレーミング・エラー，パリティ・エラー）が発生した場合は，このレジスタを読み出してください。このレジスタを読み出さないままで次のデータを受信すると，オーバラン・エラーが発生します。

このレジスタは 8 ビット・アクセス可能です。ただし，拡張ビット使用時（LUORn1 レジスタの UEBE ビットが 1（拡張ビット動作許可））は，8 ビット・アクセスしないでください。

以下に通信フォーマットの設定によるビット配置を示します。

項目	LURDRn								
	8	7	6	5	4	3	2	1	0
7 ビット LSB ファースト	－	－	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
7 ビット MSB ファースト	－	－	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6
8 ビット LSB ファースト	－	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
8 ビット MSB ファースト	－	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6	ビット 7
9 ビット LSB ファースト	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
9 ビット MSB ファースト	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6	ビット 7	ビット 8

(26) UART ウェイト用送信データ・レジスタ（LUWTDRn）

アドレス：F06E9H, F06E8H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LUWTDRn	0	0	0	0	0	0	0	[8:0]								
リセット後の値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
15-9	予約ビット 読むと 0 が読めます。書く場合は 0 としてください。	―	R/W
8-0	ストップ・ビットの受信が完了するのを待った後に，UART ウェイト用送信データ・レジスタから送信するデータを設定します。	000H - 1FFH	R/W

UART ウェイト用送信データ・レジスタから送信するデータを設定します。

LUOERn レジスタの UTOE ビットが 1 のときに，このレジスタにデータを書き込むと，送信が開始します。

このレジスタは，半二重通信で受信から送信に切り替え時にのみ使用してください。

ストップ・ビット受信中にこのレジスタに書き込むと，ストップ・ビット受信後に送信を開始します。

LBFCn レジスタの USBLS ビットによってストップ・ビット長を 2 ビットにしていても，1 ビット分しか待ちません。

このレジスタを読み出したときは，LUTDRn レジスタの値が読めます。

9 ビット通信の場合は，8 ビット・アクセスしないでください。

UART バッファからデータを送信しているときは，このレジスタにデータの書き込みをしないでください。

以下に，通信フォーマットの設定によるビット配置を示します。

項目	LUWTDRn								
	8	7	6	5	4	3	2	1	0
7 ビット LSB ファースト	―	―	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
7 ビット MSB ファースト	―	―	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6
8 ビット LSB ファースト	―	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
8 ビット MSB ファースト	―	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6	ビット 7
9 ビット LSB ファースト	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
9 ビット MSB ファースト	ビット 0	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6	ビット 7	ビット 8

17.3　モード

LIN/UART モジュールには，機能に応じた次の 4 つのモードがあります。

- LIN リセット・モード
- LIN モード（LIN マスタ・モード／LIN スレーブ・モード［オート・ボー・レート］／LIN スレーブ・モード［固定ボー・レート］）
- UART モード
- LIN セルフテスト・モード

LIN リセット・モードの場合，LIN/UART モジュールへのクロック供給が停止されるため，消費電力を低減することができます。

図 17－3 にモードの移行，表 17－4 にモード移行条件，表 17－5 に各モードで可能な動作を示します。

図 17－3　モードの移行

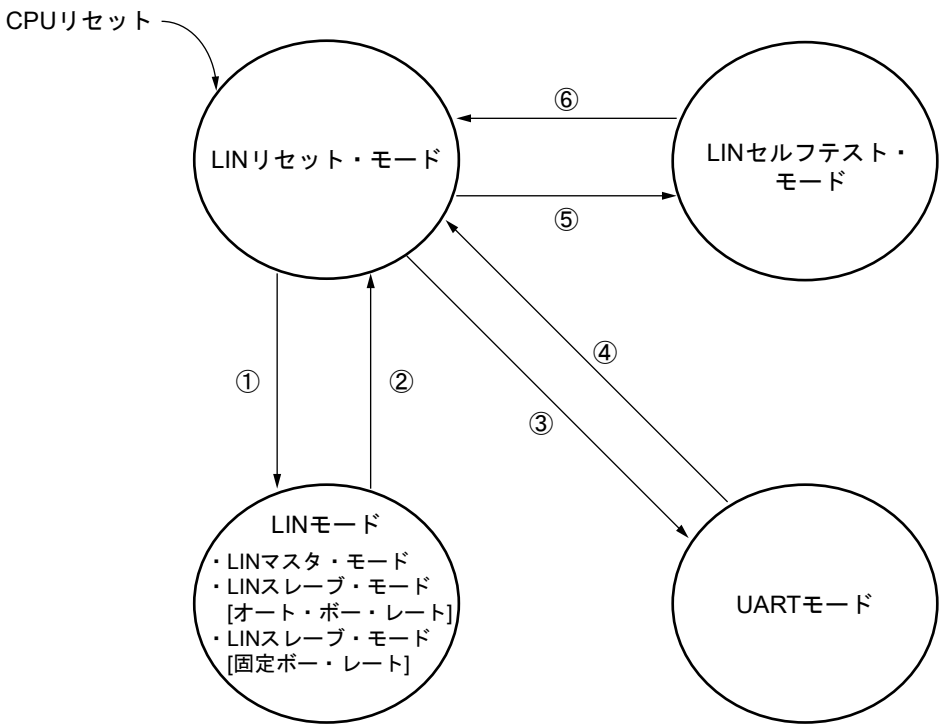


表 17－4　モード移行条件

No.	移行モード			移行条件
①	LIN リセット・モード	→	LIN モード （LIN マスタ・モード）	LMDn レジスタの LMD ビット= 00B かつ LCUCn レジスタの OM1, OM0 ビット= 01B または 11B
	LIN リセット・モード	→	LIN モード （LIN スレーブ・モード ［オート・ボー・レート］）	LMDn レジスタの LMD ビット= 10B かつ LCUCn レジスタの OM1, OM0 ビット= 01B または 11B
	LIN リセット・モード	→	LIN モード （LIN スレーブ・モード ［固定ボー・レート］）	LMDn レジスタの LMD ビット= 11B かつ LCUCn レジスタの OM1, OM0 ビット= 01B または 11B
②	LIN モード	→	LIN リセット・モード	LCUCn レジスタの OM0 ビット= 0
③	LIN リセット・モード	→	UART モード	LMDn レジスタの LMD ビット= 01B かつ LCUCn レジスタの OM0 ビット= 1
④	UART モード	→	LIN リセット・モード	LCUCn レジスタの OM0 ビット= 0
⑤	LIN リセット・モード	→	LIN セルフテスト・モード	「17.6　LIN セルフテスト・モード」を参照してください。
⑥	LIN セルフテスト・モード	→	LIN リセット・モード	「17.6　LIN セルフテスト・モード」を参照してください。

表 17－5　各モードで可能な動作

LIN モード		UART モード	LIN セルフテスト・モード
LIN マスタ・モード	LIN スレーブ・モード［オート・ボー・レート］／ LIN スレーブ・モード［固定ボー・レート］		
ヘッダ送信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	ヘッダ受信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	UART 送信 UART 受信 エラー検出	セルフテスト

LMDn レジスタの LMD ビットおよび LMSTn レジスタの OMM0 ビットを読むことで，LIN リセット・モード，LIN モード，UART モードへ移行したことを確認できます。

モード移行の最大時間（LCUCn レジスタに設定してから，LMSTn レジスタに反映されるまでの最大時間）は，CPU クロック（f_{CLK}）3 周期と LIN 通信クロック源（LIN/UART モジュールへの入力クロック：LINnMCK で選択したクロック）4 周期を加算した時間です。

LIN セルフテスト・モードについては，「17.6　LIN セルフテスト・モード」を参照してください。

17.3.1　LIN リセット・モード

LCUCn レジスタの OM0 ビットを 0（LIN リセット・モード）にすると，LIN リセット・モードに移行します。LMSTn.OMM0 ビットが 0（LIN リセット・モード）になることで，LIN リセット・モードに移行したことが確認できます。このモードのとき，LIN 通信機能，UART 通信はすべて停止しており，f_{LIN} も停止しています。

LIN リセット・モードからは，LIN モード，UART モード，LIN セルフテスト・モードに移行できます。

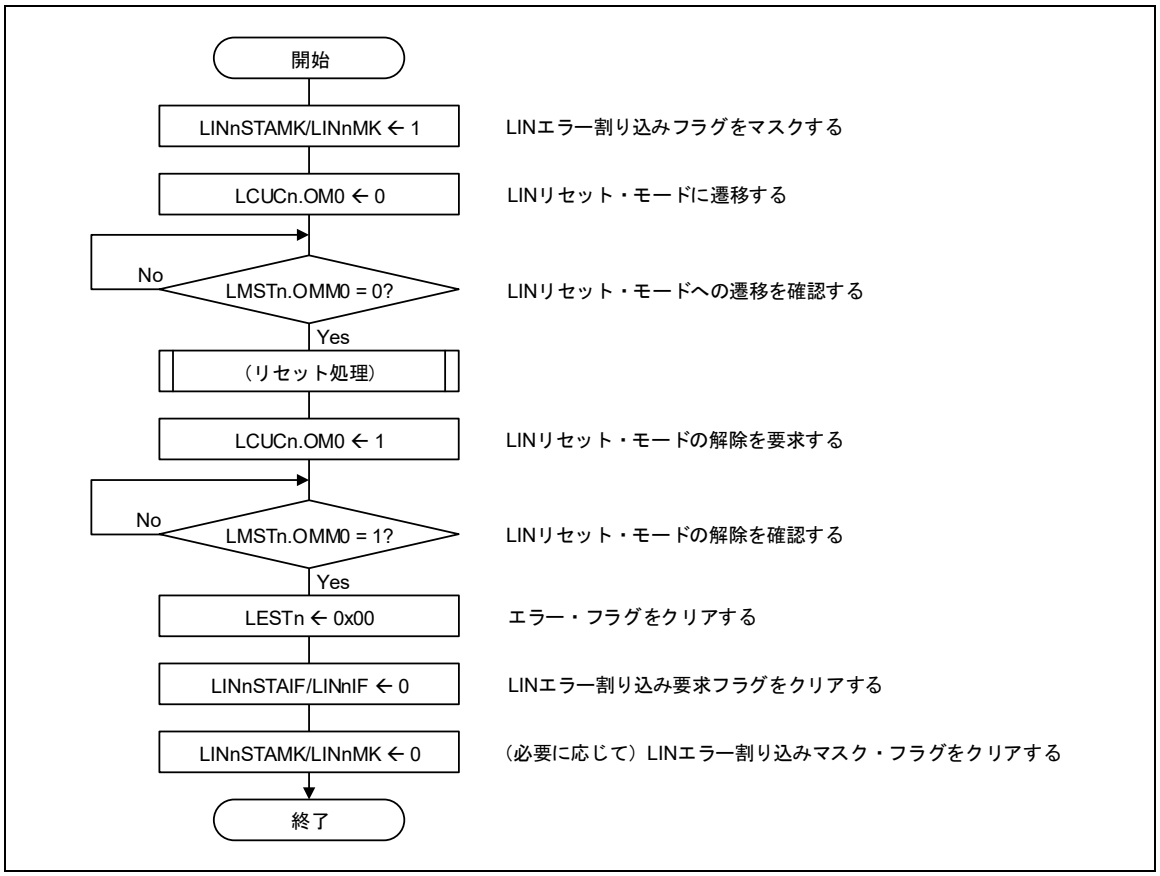
■ 以下のレジスタは，LIN リセット・モードに移行した後，それぞれのリセット後の値に初期化され，LIN リセット・モード中は初期値を保持します。

- LTRCnレジスタ
- LSTnレジスタ
- LESTnレジスタ
- LUOERnレジスタ
- LBSSnレジスタ
- LRSSnレジスタ

■ 以下のレジスタは，LIN リセット・モードに移行した後も，以前の値を保持します。

- LCHSELレジスタ
- LWBRnレジスタ
- LBRPn0レジスタ
- LBRPn1レジスタ
- LUSCnレジスタ
- LMDnレジスタ
- LBFCnレジスタ
- LSCnレジスタ
- LWUPnレジスタ
- LIEnレジスタ
- LEDEnレジスタ
- LDFCnレジスタ
- LIDBnレジスタ
- LCBRnレジスタ
- LUDBn0レジスタ
- LDBnmレジスタ
- LUORn1レジスタ
- LUTDRnレジスタ
- LURDRnレジスタ
- LUWTDRnレジスタ

注意　タイムアウト・エラー検出を許可（LEDEnレジスタのFTEREまたはTEREビットを1）している状態で，LINモードからLINリセット・モードに遷移し，再度LINモードに移行する場合は，下図で示す手順でエラー・フラグのクリアを行ってください。PER2レジスタのLINnENビットを0として再度LINモードに移行する場合は，エラー・フラグのクリアは不要です。



17.3.2　LIN モード

LIN モードには，LIN マスタ・モード，LIN スレーブ・モード［オート・ボー・レート］，LIN スレーブ・モード［固定ボー・レート］があります。

LIN マスタ・モードでは，ヘッダ送信，レスポンス送信，レスポンス受信，ウェイクアップ送信，ウェイクアップ受信，エラー検出が可能です。LIN リセット・モードで，LMDn レジスタの LMD ビットを 00B（LIN マスタ・モード）に設定し，LCUCn レジスタの OM1 ビット，OM0 ビットを 01B または 11B にすると LIN マスタ・モードになり，LMSTn レジスタの OMM1 ビット，OMM0 ビットが 01B または 11B になります。

LIN スレーブ・モード［オート・ボー・レート］および LIN スレーブ・モード［固定ボー・レート］では，ヘッダ受信，レスポンス送信，レスポンス受信，ウェイクアップ送信，ウェイクアップ受信，エラー検出が可能です。

LIN スレーブ・モード［オート・ボー・レート］は，自動的にブレーク・フィールドとシンク・フィールドを検出し，シンク・フィールドの測定結果からボー・レートを設定します。ボー・レートは 1 kbps～20 kbps で動作可能です。ターゲットとなるボー・レートに応じて，LIN 通信クロック源の周波数からプリスケーラで分周したクロック（プリスケーラ・クロック）が，下記となるように LWBRn レジスタの LPRS[2:0]ビットを設定してください。

［ターゲットとなるボー・レート］	［プリスケーラ・クロック］
1 kbps～20 kbps	: 4 MHz 注
1 kbps～2.4 kbps 未満	: 4 MHz
2.4 kbps～20 kbps	: 8 MHz～12 MHz

注　LWBRn レジスタの NSPB[3:0]ビットは，0011B（4 サンプリング）で使用してください。

LIN スレーブ・モード［固定ボー・レート］は，あらかじめボー・レート・ジェネレータで設定されたボー・レートで，自動的にブレーク・フィールド，シンク・フィールド，ID フィールドを検出します。

LIN リセット・モードで，LMDn レジスタの LMD ビットを 10B（LIN スレーブ・モード［オート・ボー・レート］）に設定し，LCUCn レジスタの OM1 ビット，OM0 ビットを 01B または 11B にすると LIN スレーブ・モード［オート・ボー・レート］に，LMDn レジスタの LMD ビットを 11B（LIN スレーブ・モード［固定ボー・レート］）に設定し，LCUCn レジスタの OM1 ビット，OM0 ビットを 01B または 11B にすると LIN スレーブ・モード［固定ボー・レート］になり，LMSTn レジスタの OMM1 ビット，OMM0 ビットが 01B または 11B になります。

LIN モード内の別のモードに変更する場合は，1 度 LIN リセット・モードに移行し，LMDn レジスタの LMD ビットの設定を変更する必要があります。

LIN モードには，次の 2 つの動作モードがあります。

- LIN 動作モード
- LIN ウェイクアップ・モード

図 17－4 に動作モードの移行，表 17－6 に動作モード移行条件を示します。

図 17－4　動作モードの移行

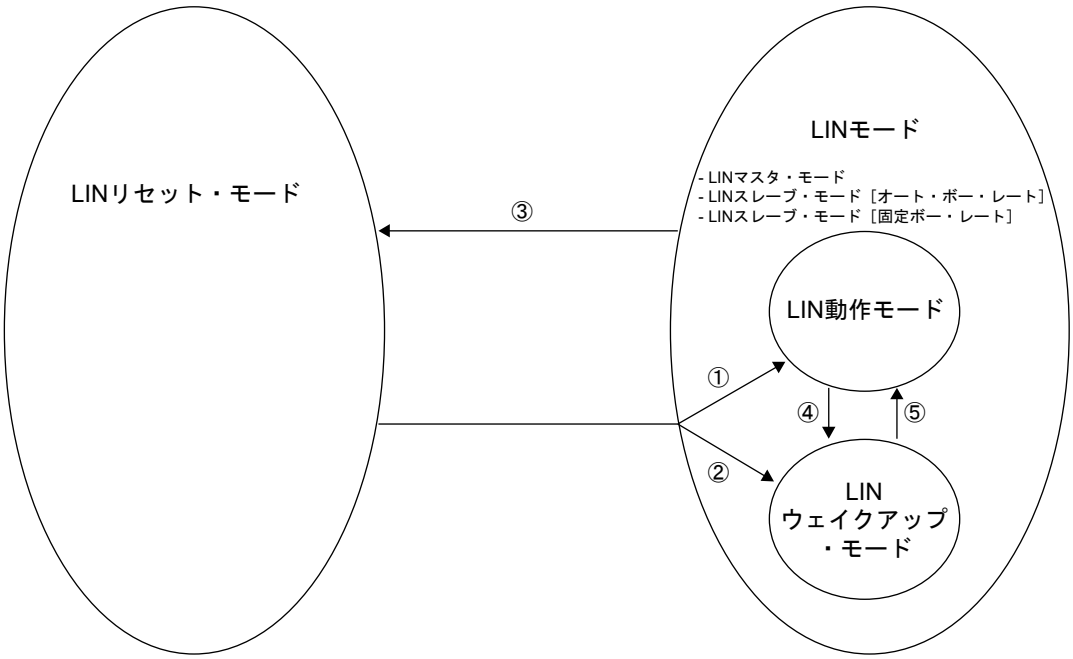


表 17－6　動作モード移行条件

No.	移行動作モード	移行条件
①	LIN リセット・モード　→　LIN モード - LIN 動作モード	LMDn レジスタの LMD ビット= 00B, 10B または 11B かつ LCUCn レジスタの OM1, OM0 ビット= 11B
②	LIN リセット・モード　→　LIN モード - LIN ウェイクアップ・モード	LMDn レジスタの LMD ビット= 00B, 10B または 11B かつ LCUCn レジスタの OM1, OM0 ビット= 01B
③ 注1	LIN モード　→　LIN リセット・モード - LIN 動作モード - LIN ウェイクアップ・モード	LCUCn レジスタの OM0 ビット= 0
④ 注2	LIN モード　→　LIN モード - LIN 動作モード　- LIN ウェイクアップ・モード	LCUCn レジスタの OM1, OM0 ビット= 01B
⑤ 注2	LIN モード　→　LIN モード - LIN ウェイクアップ・モード　- LIN 動作モード	LCUCn レジスタの OM1, OM0 ビット= 11B

注 1. LINスレーブ・モード（固定ボー・レート）でLIN動作モードからLINリセット・モードに遷移する場合は，続けてPER2レジスタのLIN0EN（LIN1EN）ビットを0にした後で1にしてください。

2. LIN動作モード ⇔ LINウェイクアップ・モードの移行は，通信中（LTRCnレジスタのFTSビットが1）の間はできません。

(1)　LIN 動作モード

LIN 動作モードでは，フレーム処理（ヘッダ送信，ヘッダ受信，レスポンス送信，レスポンス受信，エラー検出）をします。

LIN リセット・モードから LIN モードに移行する際に，LCUCn レジスタの OM1 ビット，OM0 ビットを 11B にすると LIN 動作モードになり，LMSTn レジスタの OMM1 ビット，OMM0 ビットが 11B になります。LMSTn レジスタが 11B になるのを待ってから，通信設定を行ってください。

(2)　LIN ウェイクアップ・モード

LIN ウェイクアップ・モードでは，ウェイクアップ・シグナル処理（ウェイクアップ送信，ウェイクアップ受信，エラー検出）をします。

LIN リセット・モードから LIN モードに移行する際に，LCUCn レジスタの OM1 ビット，OM0 ビットを 01B にすると LIN ウェイクアップ・モードになり，LMSTn レジスタの OMM1 ビット，OMM0 ビットが 01B になります。LMSTn レジスタが 01B になるのを待ってから，通信設定を行ってください。

17.3.3　UART モード

LIN リセット・モードで，LMDn レジスタの LMD ビットを 01B（UART モード）に設定し，LCUCn レジスタの OM0 ビットを 1 にすると UART モードになり，LMSTn レジスタの OMM0 ビットが 1 になります。LMSTn レジスタが 01B になるのを待ってから，通信設定を行ってください。

17.3.4　LIN セルフテスト・モード

LSTCn レジスタへの書き込みにより，LIN セルテストモードになります。LSTCn レジスタの LSTM ビットが 1 になると，LIN セルフテスト・モードに移行したことが確認できます。

動作の詳細は，「17.6　LIN セルフテスト・モード」を参照してください。

17.4 LIN モード

17.4.1 動作概要

(1) LIN マスタ・モード

(a) ヘッダ送信

図 17－5 に，LIN/UART モジュール（LIN マスタ・モード）のヘッダ送信時の動作，表 17－7 にヘッダ送信時の処理を示します。

図 17－5　ヘッダ送信時の動作

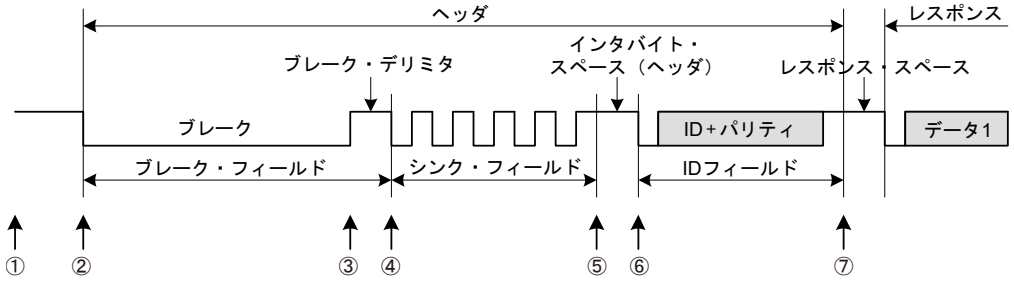


表 17－7　ヘッダ送信時の処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• ボー・レートを設定 • ノイズ・フィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN/UART モジュールを LIN マスタ・モード： LIN 動作モードに移行 • 送信するフレーム情報（ID，パリティ，データ長，レスポンス方向，チェックサム方式，送信データ）を設定	ソフトウェアによる LTRCn レジスタの FTS ビット設定待ち（アイドル）
②	LTRCn レジスタの FTS ビットを 1（フレーム送信／ウェイクアップ送受信開始）にする	ブレーク送信
③	割り込み要求待ち	ブレーク・デリミタ送信
④		シンク・フィールド（55H）送信
⑤		インタバイト・スペース（ヘッダ）送信
⑥		ID フィールド送信
⑦		ヘッダ送信完了フラグ設定

エラー検出については，「17.4.6　エラー・ステータス」を参照してください。

(b)　レスポンス送信

図 17－6 に LIN/UART モジュール（LIN マスタ・モード）のレスポンス送信時の動作，表 17－8 にレスポンス送信時の処理を示します。

図 17－6　レスポンス送信時の動作

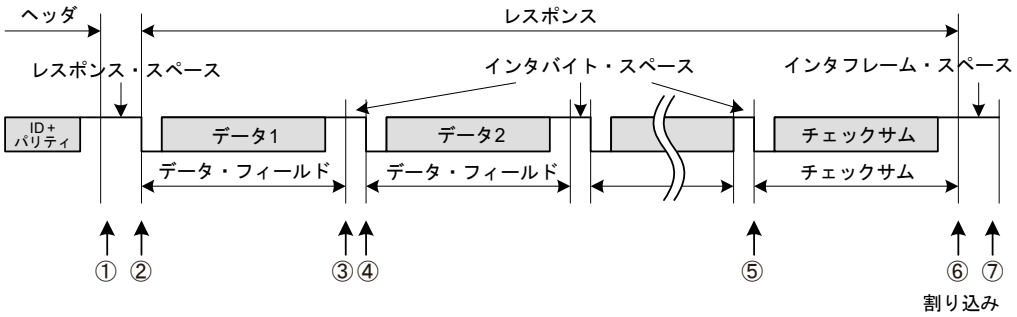


表 17－8　レスポンス送信時の処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	（フレーム・セパレート・モード時） • LTRCn レジスタの RTS ビットに 1 を設定（レスポンス送受信開始） （フレーム・セパレート・モードでないとき） • 割り込み要求発生待ち	（フレーム・セパレート・モード時） • ソフトウェア処理による LTRCn レジスタの RTS ビットの 1 設定待ち • 1 に設定されたあと，レスポンス・スペースを送信 （フレーム・セパレート・モードでないとき） • レスポンス・スペースを送信
②	割り込み要求発生待ち	データ 1 送信
③		インタバイト・スペース送信
④		• データ 2 送信 • インタバイト・スペース送信 • データ 3 送信 • インタバイト・スペース送信 （LDFCn レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返し。LESTn レジスタの BER フラグが 1（ビット・エラー検出）なら中断。エラー発生時には，⑤のチェックサム送信は実行しません。） ：
⑤		チェックサム送信
⑥		• フレーム／ウェイクアップ送信完了フラグ設定 • LTRCn レジスタの FTS ビットを 0（フレーム送信／ウェイクアップ送受信停止）にする （フレーム・セパレート・モード時） • LTRCn レジスタの RTS ビットを 0（レスポンス送受信停止）にする
⑦	（通信後の処理） • LSTn レジスタのチェック，フラグのクリア	アイドル

エラー検出については，「17.4.6　エラー・ステータス」を参照してください。

(c)　レスポンス受信

図 17－7 に LIN/UART モジュール（LIN マスタ・モード）のレスポンス受信時の動作，表 17－9 にレスポンス受信時の処理を示します。

図 17－7　レスポンス受信時の動作

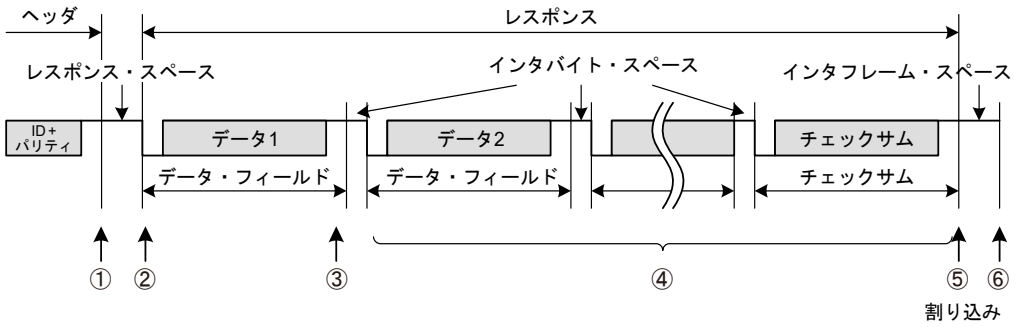


表 17－9　レスポンス受信時の処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	割り込み要求発生待ち（処理はなし）	スタート・ビット検出待ち
②		スタート・ビット検出によりデータ 1 受信
③		データ 1 受信完了フラグ設定
④		• スタート・ビット検出によりデータ 2 受信 • スタート・ビット検出によりデータ 3 受信 （LDFCn レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返し。LESTn レジスタのいずれかのビットが 1（何らかのエラー検出）なら中断。エラー発生時には，⑤のチェックサム判定は実施しません。） ： • スタート・ビット検出によりチェックサム受信
⑤		• チェックサム判定 • フレーム／ウェイクアップ受信完了フラグ設定 • LTRCn レジスタの FTS ビットを 0（フレーム送信／ウェイクアップ送受信停止）にする
⑥	（通信後の処理） • 受信データの読み出し • LSTn レジスタのチェック，フラグのクリア	アイドル

エラー検出については，「17.4.6　エラー・ステータス」を参照してください。

(2)　LIN スレーブ・モード

(a)　ヘッダ受信

図 17－8 に LIN/UART モジュールのヘッダ受信時の動作，表 17－10 にヘッダ受信時の処理を示します。

図 17－8　ヘッダ受信時の動作

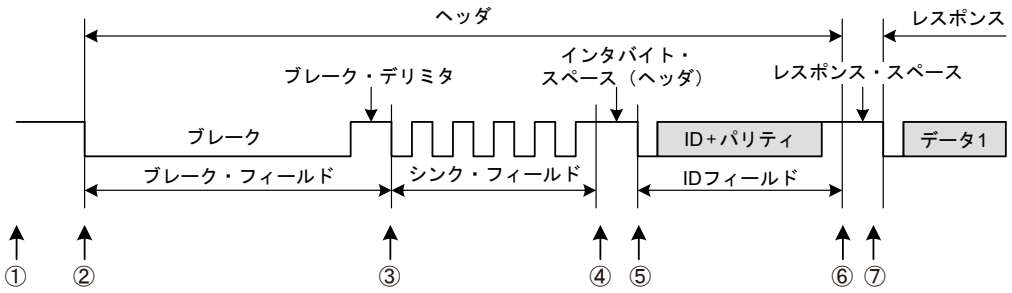


表 17－10　ヘッダ受信時の処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• ボー・レートを設定 • ノイズ・フィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN/UART モジュールを LIN スレーブ・モード： LIN 動作モードに移行 • LTRCn レジスタの FTS ビットを 1（ヘッダ受信／ウェイクアップ送受信開始）にする	ソフトウェアによる LTRCn レジスタの FTS ビット設定待ち
②	割り込み要求発生待ち	ブレーク・フィールド検出待ち
③		ブレーク・フィールド検出（LIN スレーブ・モード［固定ボー・レート］の場合。LIN スレーブ・モード［オート・ボー・レート］の場合のブレーク・フィールド検出タイミングの詳細は，次ページの「オート・ボー・レート補正機能」参照）
④		• シンク・フィールド（55H）検出 • ボー・レート・ジェネレータ設定（LIN スレーブ・モード［オート・ボー・レート］の場合） • レスポンスなし要求ビット（LNRR ビット）クリア
⑤		• ID フィールド受信 • ID パリティ・ビットのチェック
⑥		ヘッダ受信完了フラグを設定
⑦	• LSTn レジスタのチェック，フラグのクリア • LIDBn レジスタの確認，レスポンスの準備	• ヘッダ受信プロセス完了 • レスポンス要求待ち

LIN/UART モジュールは，フレーム送受信中にブレーク・フィールドを受信できます。この場合，ブレーク・フィールド受信前のフレームのストップ・ビットの位置になると，フレーミング・エラー，ビット・エラーなどを検出して受信ステータス割り込みが発生することがあります。

エラー検出については「17.4.6　エラー・ステータス」を参照してください。

オート・ボー・レート補正機能：

LIN スレーブ・モード［オート・ボー・レート］では，常に受信した Low レベル幅を計測しています。そして 1 回目の Low 幅がシンク・フィールドの始めの 2 ビット（シンク・フィールドの始めの連続する立ち下がりエッジの期間）の平均から計算された 1 ビット幅の 10 倍（LBFCn レジスタの BLT ビットが 0 のとき）または 11 倍（LBFCn レジスタの BLT ビットが 1 のとき）以上の場合はブレーク・フィールド検出に成功したと判断し，シンク・フィールドのデータが 55H であることを確認します。データが 55H であることを確認し，シンク・フィールドの受信が成功したと判断できた場合，ボー・レート補正結果を自動で LBRPn1 レジスタ，LBRPn0 レジスタに設定します。

エラーなく ID フィールドまで受信すると，ストップ・ビットの位置でヘッダ受信完了割り込みが発生します。

一方，シンク・フィールドのデータが 55H ではなかった場合は，シンク・フィールド検出に失敗したと判断し，シンク・フィールド・エラー・フラグをセットしてエラー割り込みが発生します。

この場合，ボー・レート補正は行われず，LIN/UART モジュールは次のブレーク・フィールド（Low）の検出待ちになります。

図 17－9　LIN スレーブ・モード［オート・ボー・レート］ヘッダ受信（正常動作時）

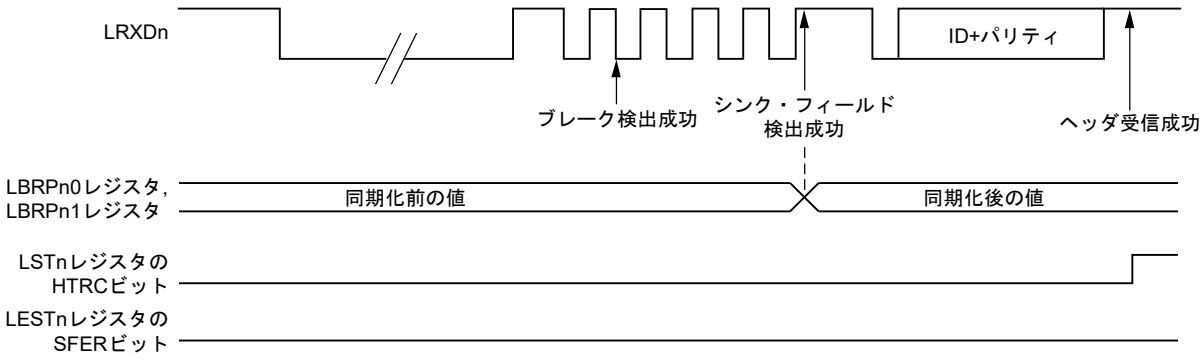
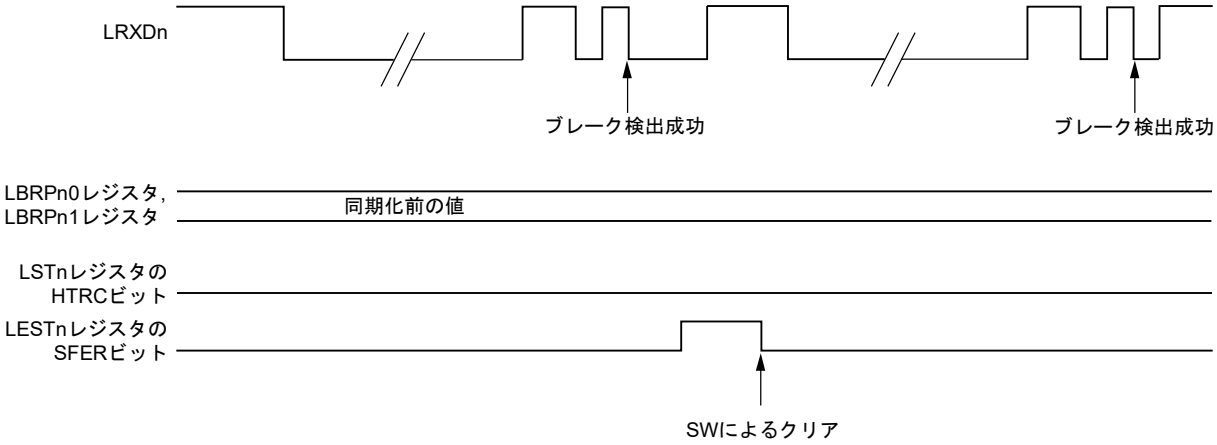


図 17－10　LIN スレーブ・モード［オート・ボー・レート］ヘッダ受信（シンク・フィールド・エラー）



(b)　レスポンス送信

図 17－11 に LIN/UART モジュール（LIN スレーブ・モード）のレスポンス送信時の動作，表 17－11 にレスポンス送信時の処理を示します。

図 17－11　レスポンス送信時の動作

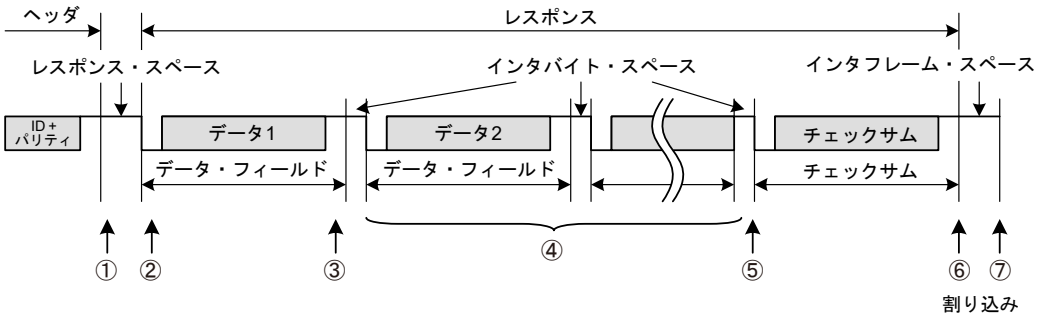


表 17－11　レスポンス送信時の処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• LDFCn レジスタの設定 • LDBnm レジスタの設定 • LTRCn レジスタの RTS ビットを 1（レスポンス送受信開始）にする	• ソフトウェアによる LTRCn レジスタの RTS ビットまたは LNRR ビット設定待ち • LTRCn レジスタの RTS ビットが 1 に設定された後，レスポンス・スペースを送信
②	割り込み要求発生待ち	• データ 1 送信 • レスポンス・スペースで 0.5 Tbit 以上のドミナントを検出した場合，LRSSn レジスタの RSDD ビットは 1 になります。
③		インタバイト・スペース送信
④		• データ 2 送信 • インタバイト・スペース送信 • データ 3 送信 • インタバイト・スペース送信 （LDFCn レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返し。LESTn レジスタの BER ビット=1（ビット・エラー検出）なら中断。エラー発生時には，⑤のチェックサム送信は実行しません。） ：
⑤		チェックサム送信
⑥		• フレーム／ウェイクアップ送信完了フラグ設定，またはエラー・フラグ設定 • LTRCn レジスタの RTS ビットを 0（レスポンス送信／受信停止）にする
⑦	（通信後の処理） • LSTn レジスタのチェック，フラグのクリア	• レスポンス送信プロセス完了 • 新規ブレーク待ち

LIN/UART モジュールは，フレーム送受信中にブレーク・フィールドを受信できます。この場合，ブレーク・フィールド受信前のフレームのストップ・ビットの位置になると，フレーミング・エラー，ビット・エラーなどを検出して受信ステータス割り込みが発生することがあります。

エラー検出については「17.4.6　エラー・ステータス」を参照してください。

(c)　レスポンス受信

図 17－12 に LIN/UART モジュール（LIN スレーブ・モード）のレスポンス受信時の動作，表 17－12 にレスポンス受信時の処理を示します。

図 17－12　レスポンス受信時の動作

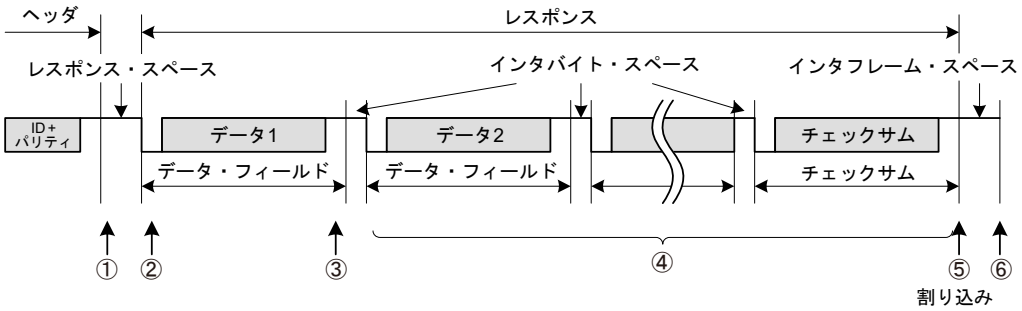


表 17－12　レスポンス受信時の処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• LDFCn レジスタの設定 • LTRCn レジスタの RTS ビットを 1（レスポンス送受信開始）にする	• ソフトウェアによる LTRCn レジスタの RTS ビットまたは LNRR ビット設定待ち • スタート・ビット検出待ち
②	割り込み要求発生待ち	スタート・ビット検出によりデータ 1 受信
③		データ 1 受信完了フラグ設定
④		• スタート・ビット検出によりデータ 2 受信 • スタート・ビット検出によりデータ 3 受信 （LDFCn レジスタの RFDL[3:0]ビットで指定したデータ長分繰り返し。LESTn レジスタのいずれかのビットが 1（何らかのエラー検出）なら中断。エラー発生時には，⑤のチェックサム判定は実施しません。） ： • スタート・ビット検出によりチェックサム受信
⑤		• チェックサム判定 • フレーム／ウェイクアップ受信完了フラグ設定，またはエラー・フラグ設定 • LTRCn レジスタの RTS ビットを 0（レスポンス送信／受信停止）にする
⑥	（通信後の処理） • 受信データの読み出し • LSTn レジスタのチェック，フラグのクリア	• レスポンス・プロセス完了 • 新規ブレーク待ち

LIN/UART モジュールは，フレーム送受信中にブレーク・フィールドを受信できます。この場合，ブレーク・フィールド受信前のフレームのストップ・ビットの位置になると，フレーミング・エラー，ビット・エラーなどを検出して受信ステータス割り込みが発生することがあります。

エラー検出については「17.4.6　エラー・ステータス」を参照してください。

(d)　レスポンス要求なし

図 17－13 に LIN/UART モジュール（LIN スレーブ・モード）のレスポンス要求なし時の動作，表 17－13 にレスポンス要求なし時の処理を示します。

図 17－13　レスポンス要求なし時の動作

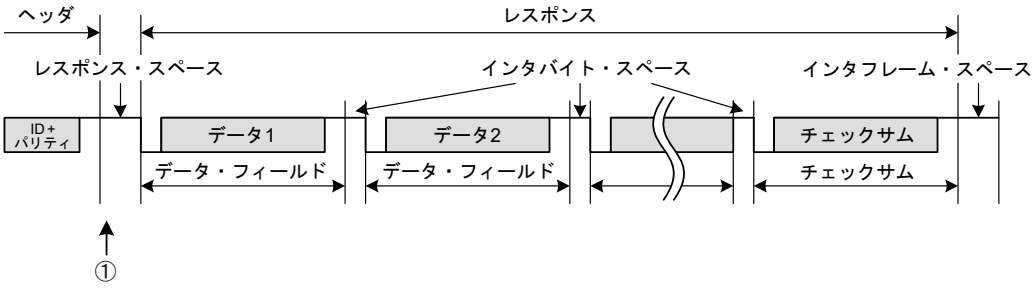


表 17－13　レスポンス要求なし時の処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• レスポンス要求なしビット（LNRR ビット）を 1 に設定	• ソフトウェアによるレスポンス要求なしビット（LNRR ビット）設定待ち • フレーム受信プロセス完了 • 新規ブレーク待ち

17.4.2　データ送信／受信

(1)　データ送信

データ送信は，1 Tbit に 1 ビットずつ行われます。

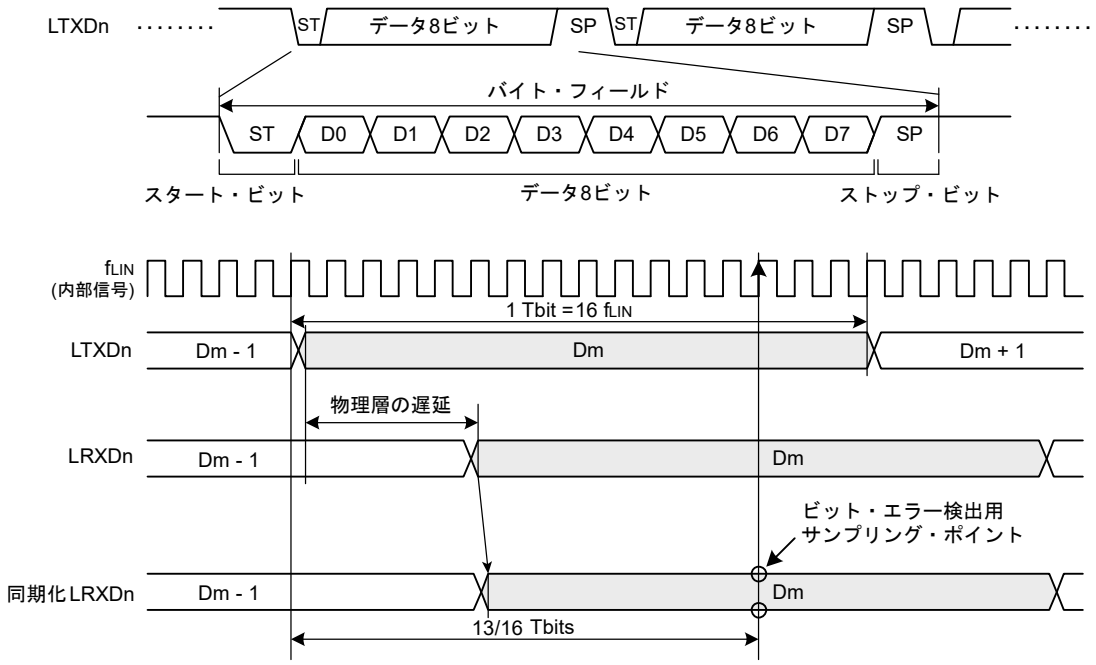
送信したデータは，LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ，結果は LESTn レジスタの BER フラグに格納されます（「17.4.6　エラー・ステータス」参照）。

LIN マスタ・モード，LIN スレーブ・モード［固定ボー・レート］では，1 Tbit = 16 f_{LIN} で生成され，受信データのサンプリング・ポイントは 13 クロック目（81.25 %位置）になります。

LIN スレーブ・モード［オート・ボー・レート］では，1 Tbit = 4 f_{LIN} で生成される場合は，受信データのサンプリング・ポイントは 3 クロック目（75 %位置），1 Tbit = 8 f_{LIN} で生成される場合は，受信データのサンプリング・ポイントは 7 クロック目（87.5 %位置）になります。

図 17－14 にデータ送信タイミングの例を示します。

図 17－14　データ送信タイミング例（LIN マスタ・モード，LIN スレーブ・モード［固定ボー・レート］）



(2)　データ受信

データ受信は，LRXDn 端子からの入力をプリスケーラ・クロックに同期させた同期化 LRXDn（内部信号）を使用して行います。

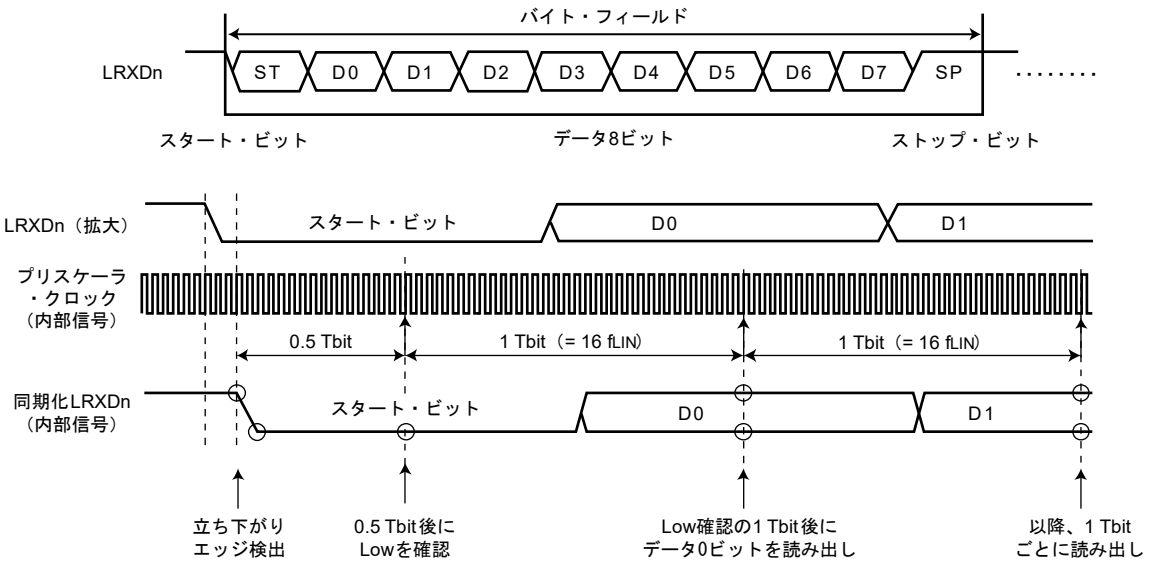
この同期化 LRXDn 信号のスタート・ビットの立ち下がりエッジでバイト・フィールドの同期を合わせます。立ち下がりエッジ検出後，0.5 Tbit 後に再度サンプリングを行い，同期化 LRXDn 信号が Low であった場合にスタート・ビットと認識します。リセット解除後から LRXDn 信号が Low 固定の場合や，再サンプリング時に High を検出した場合はスタート・ビットとは認識しません。

スタート・ビット検出後は，1 Tbit ごとにビットのサンプリングを行います。

LIN/UART モジュールは，受信データに対するノイズ・フィルタ機能をもっています。LMDn レジスタの LRDNFS ビットが 0 の場合は，ノイズ・フィルタ使用となり，サンプリングの値はプリスケーラ・クロックで 3 サンプリング多数決により決定した値を使用します。LMDn レジスタの LRDNFS ビットが 1 の場合は，ノイズ・フィルタ未使用となり，サンプリングの値はサンプリング位置での同期化 LRXDn 値の値をそのまま使用します。

図 17－15 にデータ受信タイミングの例を示します。

図 17－15　データ受信タイミング例（LIN マスタ・モード，LIN スレーブ・モード［固定ボー・レート］）



17.4.3　送信／受信データのバッファ処理

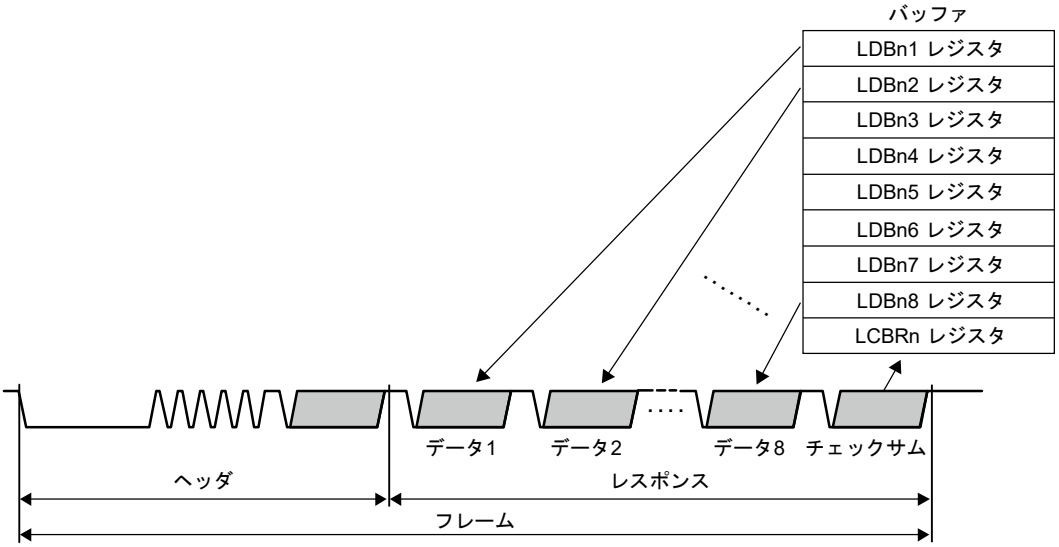
LIN/UART モジュールの連続データ送受信時のバッファ処理について説明します。

(1)　LIN フレームの送信

8 バイト送信の場合，LDBn1～LDBn8 レジスタに格納されている内容が，順番に LIN フレームのデータ 1～8 領域に送信されます。4 バイト送信の場合は，LDBn1 レジスタ～LDBn4 レジスタに格納されている内容が LIN フレームのデータ 1～4 領域に送信され，LDBn5 レジスタ～LDBn8 レジスタの内容は送信されません。また，LCBRn レジスタには送信したチェックサム・データが格納されます。

図 17－16 に LIN 送信処理とバッファを示します。

図 17－16　LIN 送信処理とバッファ



(a)　フレーム・セパレート・モード

LDFCn レジスタの FSM ビットを 1 にすることにより，フレーム・セパレート・モードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると LSTn レジスタの HTRC フラグが 1（ヘッダ送信完了）になります。

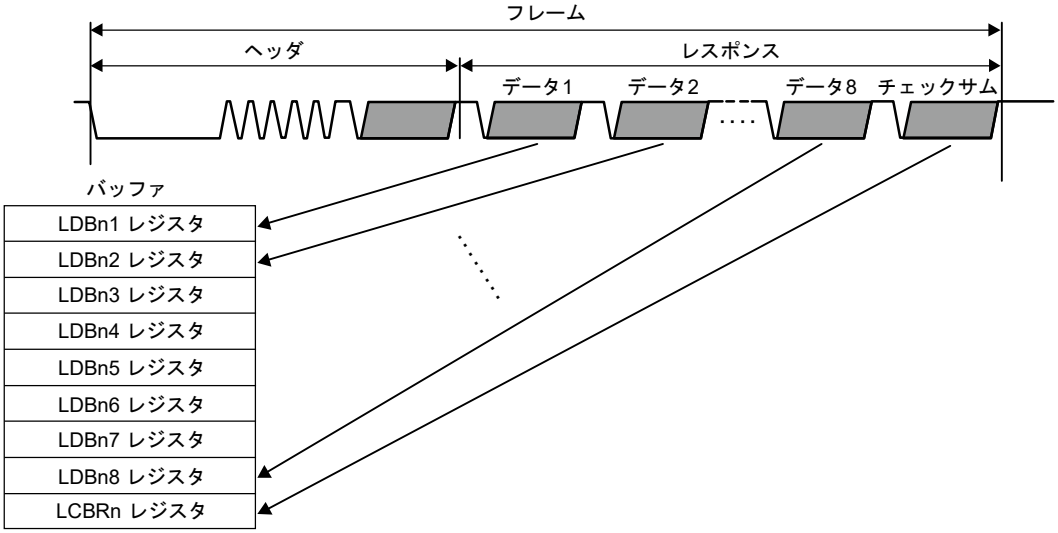
LIN マスタ・モードで 9 バイト以上のレスポンス・データ送信またはレスポンス・データ受信を行う場合は，フレーム・セパレート・モードを使用してください。

(2)　LIN フレームの受信

8 バイト受信の場合，LIN フレームのデータ 1～8 領域の内容が，ストップ・ビットを受信するごとにそれぞれの LDBn1 レジスタ～LDBn8 レジスタに格納されます。4 バイト受信の場合は，LIN フレームのデータ 1～4 領域の内容が，それぞれ LDBn1 レジスタ～LDBn4 レジスタに格納され，LDBn5 レジスタ～LDBn8 レジスタには何も格納されません。また，LCBRn レジスタには受信したチェックサム・データが格納されます。

図 17－17 に LIN 受信処理とバッファを示します。

図 17－17　LIN 受信処理とバッファ



(a)　データ1受信

1 バイト目のデータ受信が完了すると，LSTn レジスタの D1RC フラグが 1（データ 1 受信完了）になります。

(3)　多バイト・レスポンス送受信機能

通常 LIN 通信において，レスポンスは 9 バイト以下ですが（チェックサム・フィールドを含む），10 バイト以上のレスポンスを送受信することが可能です。

このとき，ビット・エラー，フレーミング・エラー，レスポンス準備エラー検出機能および自動チェックサム機能は有効です。

データ長が 8 バイトより多い場合は，最初のデータ・グループ（0～8 バイトで可変）で LSS ビットを 1（次に送受信するデータ・グループは最終ではない）に設定し，送信または受信します。送信または受信後に，次のデータ・グループが最後か判定を行い，最後のデータ・グループの場合は LSS ビットを 0（次に送受信するデータ・グループは最終である）に設定し，送信または受信を行います。

RTS ビットが 0 のときに RFDL ビットの設定を変更することにより，データ・グループ毎にデータ長を変更することができます。

LIN マスタ・モードで多バイト・レスポンス送受信をする場合は，LDFCn レジスタの FSM ビットを 1（フレーム・セパレート・モード）に設定して行ってください。

注意　LINスレーブ・モードのとき，LIN/UARTモジュールは，レスポンス送信または受信中に新たなブレーク・フィールドを検出することができます。

17.4.4　ウェイクアップ送信／受信

ウェイクアップの送受信はLINウェイクアップ・モードで使用できます。

(1)　ウェイクアップ送信動作

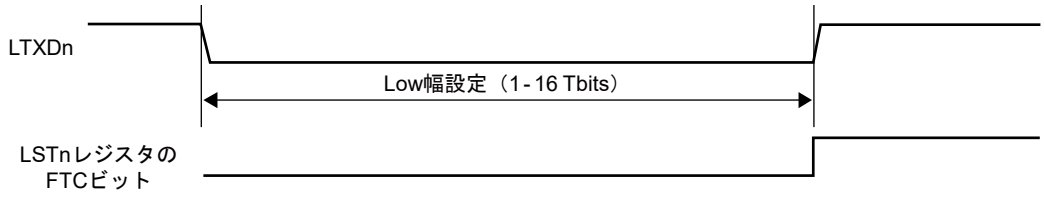
LINウェイクアップ・モード時，LDFCnレジスタのRCDSビットを1（送信），LTRCnレジスタのFTSビットを1（ヘッダ受信／ウェイクアップ送受信開始）にすると，出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のLow幅はLWUPnレジスタのWUTL[3:0]ビットで設定します。ただし，LINマスタ・モードでLWBRnレジスタのLWBR0ビットが1の場合は，LMDnレジスタのLCKSビットの設定にかかわらず，LINシステム・クロック（f_{LIN}）がfaでのLow幅になります。fa選択時のボー・レートを19200 bpsに，LWUPnレジスタのWUTL[3:0]ビットを0100B（5 Tbits）に設定することにより，LMDnレジスタのLCKSビットの設定にかかわらず，LINウェイクアップ・モード時に260 μsのLow幅を出力することができます。

ビット・エラーなくウェイクアップのLowが出力された場合，LSTnレジスタのFTCフラグが1（レスポンスまたはウェイクアップ送信完了）になり，LIEnレジスタのFTCIEビットが1（レスポンス／ウェイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

ビット・エラーを検出した場合は，ウェイクアップ送信を中断しLESTnレジスタのBERフラグを1（ビット・エラー検出）にします。

図17－18にウェイクアップ送信タイミングを示します。

図17－18　ウェイクアップ送信タイミング



(2)　ウェイクアップ受信動作

ウェイクアップ・シグナルを検出するには，入力信号 Low 幅カウント機能を使用します。

入力信号 Low 幅カウント機能は，データ受信と同じサンプリング・ポイントで LRXDn 端子への入力信号の Low 幅を計測する機能です。入力信号の Low 幅を f_{LIN} の 2.5 Tbits 以上で計測することができます。

LIN マスタ・モード時は，LWBRn レジスタの LWBR0 ビットの設定により，LIN 動作モードと LIN ウェイクアップ・モードの切り替え時に，ボー・レート・ジェネレータの設定を変更することなく，動作させることが可能です。

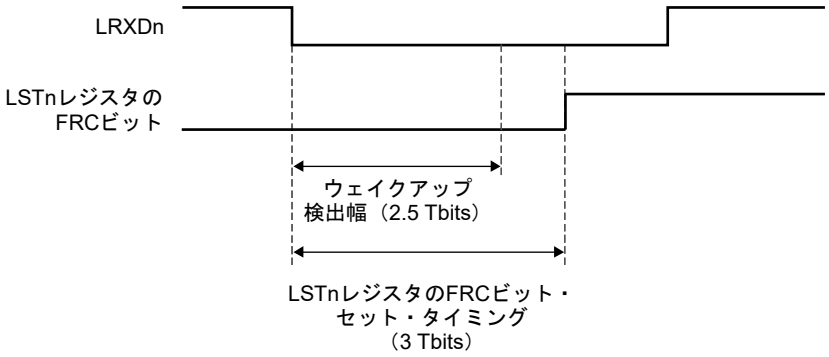
LIN Specification Package Revision 1.3 使用時は, LWBRn レジスタの LWBR0 ビットを 0 に, LIN Specification Package Revision 2.x 使用時は 1 に設定してください。LWBR0 ビットを 1 にすると LMDn レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（f_{LIN}）が fa になります（LCKS ビットは変化しません）。

fa 選択時のボー・レートを 19200 bps に設定することにより，LMDn レジスタの LCKS ビットの設定にかかわらず，LIN ウェイクアップ・モード時に 130 μs 以上の入力信号 Low 幅を検出することができます。

この機能を使用する場合，LIN ウェイクアップ・モードにて，LDFCn レジスタの RFT ビットを 0（LIN マスタ・モード：受信），または RCDS ビットを 0（LIN スレーブ・モード：受信）に，LTRCn レジスタの FTS ビットを 1（LIN マスタ・モード：フレーム送信／ウェイクアップ送受信開始，LIN スレーブ・モード：ヘッダ受信／ウェイクアップ送受信開始）にしてください。

計測する Low 幅に達すると LSTn レジスタの FRC フラグが 1（レスポンスまたはウェイクアップ受信完了）になり，LIEn レジスタの FRCIE ビットが 1（レスポンス／ウェイクアップ受信完了割り込み許可）の場合，割り込み要求が発生します。

図 17－19　入力信号 Low カウント機能



17.4.5　ステータス

LIN/UART モジュールは LIN モード動作時に，7 種類のステータスを検出します。

フレーム／ウェイクアップ送信完了，フレーム／ウェイクアップ受信完了，エラー検出，ヘッダ送信完了／ヘッダ受信完了の 4 つのステータスは割り込み要求を発生することができます。

表 17－14 に LIN マスタ・モードでのステータスの種類を，表 17－15 に LIN スレーブ・モード［オート・ボー・レート］および LIN スレーブ・モード［固定ボー・レート］のステータスの種類を示します。

表 17－14　LIN マスタ・モード ステータスの種類

ステータス	ステータス・セット条件	ステータス・クリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	LCUCn レジスタの OM0 ビットを 1（LIN リセット・モードでない）に設定後，実際に LIN リセット・モードが解除されたとき	OM0 ビットを 0（LIN リセット・モード）に設定後，実際に LIN リセット・モードに移行したとき	すべてのモード	LMSTn レジスタの OMM0 ビット	使用不可
動作モード	LCUCn レジスタの OM1 ビットを 1（LIN 動作モード）に設定後，実際に LIN 動作モードに移行したとき	OM1 ビットを 0（LIN ウェイクアップ・モード）に設定後，実際に LIN ウェイクアップ・モードに移行したとき	• LIN 動作モード • LIN ウェイクアップ・モード	LMSTn レジスタの OMM1 ビット	使用不可
フレーム／ウェイクアップ送信完了	フレーム（ヘッダ送信＋レスポンス送信），ウェイクアップ信号またはデータ・グループを正常に送信完了したとき	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセット・モード移行時	• LIN 動作モード • LIN ウェイクアップ・モード	LSTn レジスタの FTC フラグ	使用可
フレーム／ウェイクアップ受信完了	フレーム（ヘッダ送信＋レスポンス受信），ウェイクアップ信号またはデータ・グループを正常に受信完了したとき	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセット・モード移行時	• LIN 動作モード • LIN ウェイクアップ・モード	LSTn レジスタの FRC フラグ	使用可
エラー検出	LESTn レジスタの PRER フラグ，CSER フラグ，FER フラグ，FTER フラグ，PBER フラグ，BER フラグのいずれかが 1（エラー検出）になったとき	• 次の通信開始時 • ソフトウェアによるクリア 注1 • LIN リセット・モード移行時	• LIN 動作モード • LIN ウェイクアップ・モード	LSTn レジスタの ERR フラグ	使用可
データ 1 受信完了	LDFCn レジスタの RFT ビットが 0（受信）で，レスポンス・フィールドの最初の 1 バイトを受信完了したとき 注2	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセット・モード移行時	LIN 動作モード	LSTn レジスタの D1RC フラグ	使用不可
ヘッダ受信完了	ヘッダ・フィールドを正常に受信完了した場合	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセット・モード移行時	LIN 動作モード	LSTn レジスタの HTRC フラグ	使用可

注 1. LINウェイクアップ・モードおよびLIN動作モード内でLESTnレジスタのPRERフラグ，CSERフラグ，FERフラグ，FTERフラグ，PBERフラグ，BERフラグに0を書くことにより，LSTnレジスタのERRフラグは0になります。

2. LDFCnレジスタのRFDL[3:0]ビットが0000B（0バイト＋チェックサム）のときは検出されません。

表 17－15　LIN スレーブ・モード ステータスの種類

ステータス	ステータス・セット条件	ステータス・クリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	LCUCn レジスタの OM0 ビットを 1（LIN リセット・モードでない）に設定後，実際に LIN リセット・モードが解除されたとき	OM0 ビットを 0（LIN リセット・モード）に設定後，実際に LIN リセット・モードに移行したとき	すべてのモード	LMSTn レジスタのOMM0ビット	使用不可
動作モード	LCUCn レジスタの OM1 ビットを 1（LIN 動作モード）に設定後，実際に LIN 動作モードに移行したときとき	OM1 ビットを 0（LIN ウェイクアップ・モード）に設定後，実際に LIN ウェイクアップ・モードに移行したとき	• LIN 動作モード • LIN ウェイクアップ・モード	LMSTn レジスタのOMM1ビット	使用不可
フレーム／ウェイクアップ送信完了	レスポンス・フィールド，ウェイクアップ信号またはデータ・グループを正常に送信完了したとき	• ソフトウェアによるクリア • LIN リセット・モード移行時	• LIN 動作モード • LIN ウェイクアップ・モード	LSTn レジスタの FTC フラグ	使用可
フレーム／ウェイクアップ受信完了	レスポンス・フィールド，ウェイクアップ信号またはデータ・グループを正常に受信完了したとき	• ソフトウェアによるクリア • LIN リセット・モード移行時	• LIN 動作モード • LIN ウェイクアップ・モード	LSTn レジスタの FRC フラグ	使用可
エラー検出	LESTn レジスタの PRER フラグ，IPER フラグ，CSER フラグ，SFER フラグ，FER フラグ，TER フラグ，BER フラグのいずれかが 1（エラー検出）になったとき	• ソフトウェアによるクリア 注1 • LIN リセット・モード移行時	• LIN 動作モード • LIN ウェイクアップ・モード	LSTn レジスタの ERR フラグ	使用可
データ 1 受信完了	LDFCn レジスタの RCDS ビットが 0（受信）で，レスポンス・フレームの最初の 1 バイトを受信完了したとき 注2	• ソフトウェアによるクリア • LIN リセット・モード移行時	LIN 動作モード	LSTn レジスタの D1RC フラグ	使用不可
ヘッダ受信完了	ヘッダ・フィールドを正常に受信完了した場合	• ソフトウェアによるクリア • LIN リセット・モード移行時	LIN 動作モード	LSTn レジスタの HTRC フラグ	使用可

注 1. LINウェイクアップ・モードおよびLIN動作モード内でLESTnレジスタのPRERフラグ，IPERフラグ，CSERフラグ，SFERフラグ，FERフラグ，TERフラグ，BERフラグに0を書くことにより，LSTnレジスタのERRフラグは0になります。

2. LDFCnレジスタのRFDL[3:0] ビットが0000B（0バイト＋チェックサム）のときは検出されません。

17.4.6　エラー・ステータス

(1)　LIN マスタ・モード

(a)　エラー・ステータスの種類

LIN/UART モジュールは LIN マスタ・モードで 6 種類のエラー・ステータスを検出します。これらのエラーの状態は LESTn レジスタの各ビットで確認できます。すべてのエラー・ステータスは割り込み要因となります。表 17－16 にエラー・ステータスの種類を示します。

表 17－16　エラー・ステータスの種類（LIN マスタ・モード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビット・エラー	送信したデータと，受信端子でモニタしているLINバス上のデータが一致しなかったとき 注1, 2	• LIN 動作モード • LIN ウェイクアップ・モード	中断	○	LESTn レジスタのBERフラグ
フィジカル・バス・エラー	• ブレーク送信時に LIN バスが High を検出した場合 • ブレーク・デリミタ送信時に LIN バスが Low を検出した場合 • ウェイクアップ送信時に LIN バスが High を検出した場合	• LIN 動作モード • LIN ウェイクアップ・モード	中断	○	LESTn レジスタのPBERフラグ
タイムアウト・エラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき 注3	LIN動作モード	中断	○	LESTn レジスタのFTERフラグ
フレーミング・エラー	レスポンス・フィールド受信処理において，各データ・バイトのストップ・ビットがLowであったとき	LIN動作モード	中断	○	LESTn レジスタのFERフラグ
チェックサム・エラー	レスポンス・フィールド受信処理において，チェックサム判定の結果がエラーのとき	LIN動作モード	－	×	LESTn レジスタのCSERフラグ
レスポンス準備エラー	フレーム・セパレート・モードで多バイト・レスポンス受信において以下の場合 • ヘッダ送信完了後，レスポンス送受信要求設定前に1バイト目のデータを受信したとき • 前のデータ・グループ受信完了後，次のデータ・グループの送受信要求設定前に1バイト目のデータを受信したとき	LIN動作モード	中断	×	LESTn レジスタのRPERフラグ

注 1. ビット・エラーを検出した場合は，ストップ・ビット送信後に中断します。インタバイト・スペースなどの非データ領域でビット・エラーを検出したときは，エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビット・エラーを検出したときは，エラーになったビットを送信した直後にウェイクアップ送信を中断します。

2. 多バイト・レスポンス送信においては，データ・グループとデータ・グループの間でもビット・エラーを検出します。

3. タイムアウト時間は，レスポンス・フィールド・データ長（LDFCnレジスタのRFDL[3:0]ビット），およびチェックサム選択（LDFCnレジスタのCSMビット）に依存し，下記の式により計算できます。フレーム・セパレート・モード選択時（LDFCnレジスタのFSMビットが1），LTRCnレジスタのRTSビットを設定するまでは，データ・バイト数8バイトのタイムアウト時間になります。

［フレーム・タイムアウト］

・クラシック選択時（LDFCnレジスタのCSMビットが0の場合）：タイムアウト時間 = 49 + (データ・バイト数 + 1) × 14 [Tbit]

・エンハンス選択時（LDFCnレジスタのCSMビットが1の場合）：タイムアウト時間 = 48 + (データ・バイト数 + 1) × 14 [Tbit]

上記タイムアウト時間は，クラシック選択時にLIN Specification Package Revision 1.3のTFRAME_MAXを，エンハンス選択時にLIN Specification Package Revision 2.xのTFRAME_MAXを超える時間となります。

［レスポンス・タイムアウト］

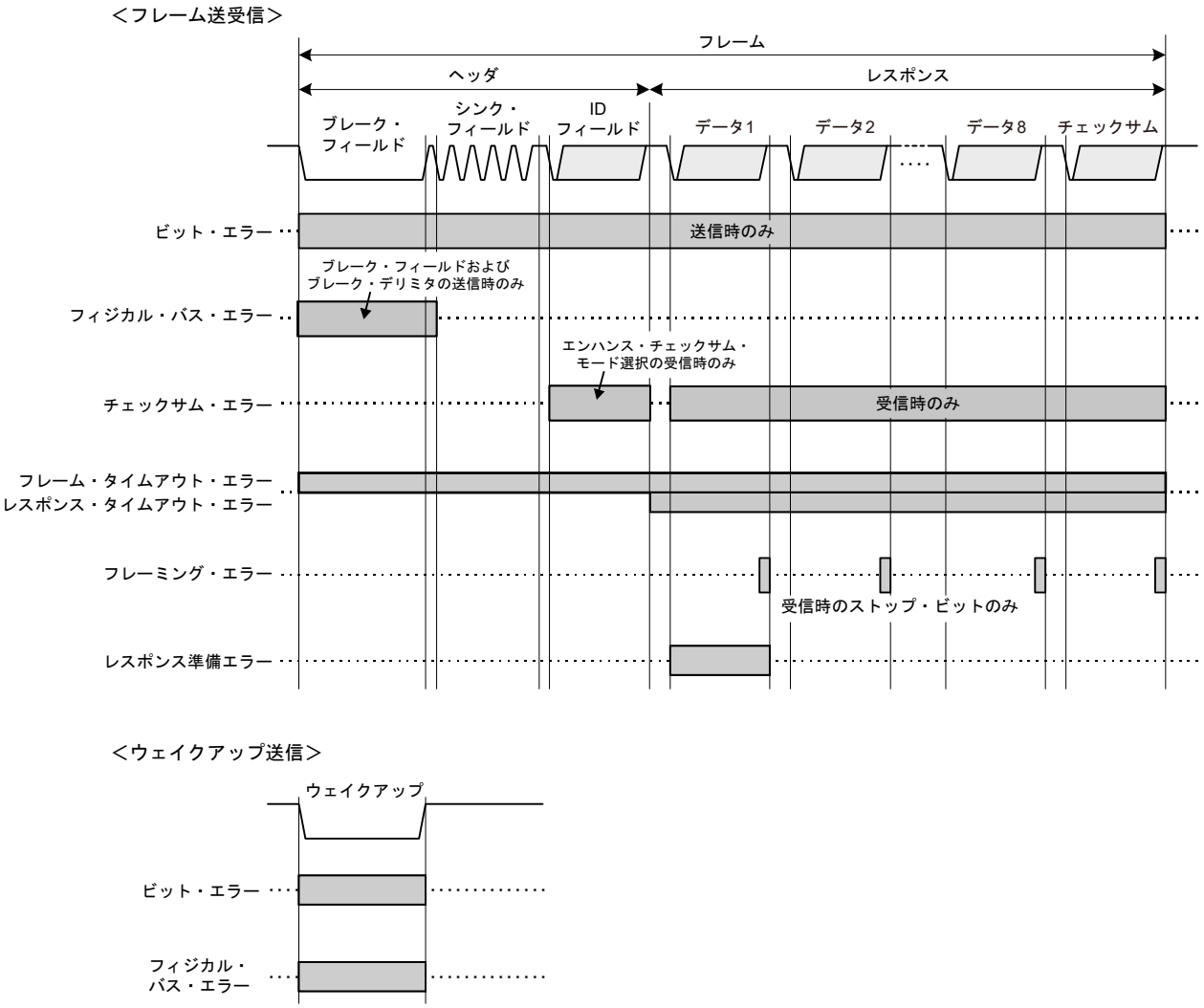
タイムアウト時間 = (データ・バイト数 + 1) × 14 [Tbit]

注意　エラー・ステータスのクリア条件は，次の通信開始時，ソフトウェアによるクリア，LINリセット・モード移行時です。

(b)　LINエラー検出の対象時間領域

図 17－20 にエラーを検出するために LIN/UART モジュールが LIN マスタ・モード時に監視する時間領域を示します。

図 17－20　LIN エラー検出の対象時間領域（LIN マスタ・モード）



(2)　LIN スレーブ・モード

(a)　エラー・ステータスの種類

LIN/UART モジュールは，LIN スレーブ・モード［オート・ボー・レート］または LIN スレーブ・モード［固定ボー・レート］で，7 種類のエラー・ステータスを検出します。これらのエラーの状態は LESTn レジスタの各ビットで確認できます。表 17－17 にエラー・ステータスの種類を示します。

表 17－17　エラー・ステータスの種類（LIN スレーブ・モード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビット・エラー	送信したデータと，受信端子でモニタしている LIN バス上のデータが一致しなかったとき 注1, 2	• LIN 動作モード • LIN ウェイクアップ・モード	中断	○	LESTn レジスタの BER フラグ
タイムアウト・エラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき 注3	LIN 動作モード	中断	○	LESTn レジスタの TER フラグ
フレーミング・エラー	フレーム受信処理において，各データ・バイトのストップ・ビットが Low であったとき	LIN 動作モード	中断	○	LESTn レジスタの FER フラグ
シンク・フィールド・エラー	ブレーク Low の幅が LBFCn レジスタの BLT ビットで設定した幅よりも長く，シンク・フィールドが 55H でないとき	LIN 動作モード	中断	○ 注4	LESTn レジスタの SFER フラグ
チェックサム・エラー	レスポンス・フレーム受信処理において，チェックサム判定の結果がエラーのとき	LIN 動作モード	― 注5	×	LESTn レジスタの CSER フラグ
ID パリティ・エラー	受信した ID パリティ・ビットが，LIN/UART モジュールが自動で計算した値と一致しなかったとき	LIN 動作モード	中断	○	LESTn レジスタの IPER フラグ
レスポンス準備エラー	• ヘッダ受信後，1 バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかったとき • 多バイト・レスポンス送受信で，次のデータ・グループの 1 バイト目の受信データを受信完了前に次のデータ・グループの準備が間に合わなかったとき	LIN 動作モード	中断	×	LESTn レジスタの RPER フラグ

注 1.　ビット・エラーを検出した場合は，ストップ・ビット送信後に中断します。インタバイト・スペースなどの非データ領域でビット・エラーを検出したときは，エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビット・エラーを検出したときは，エラーになったビットを送信した直後にウェイクアップ送信を中断します。

2.　多バイト・レスポンス送信においては，データ・グループとデータ・グループの間でもビット・エラーを検出します。

3.　タイムアウト時間は，レスポンス・フィールド・データ長（LDFCnレジスタのRFDL[3:0]ビット）およびチェックサム選択（LDFCnレジスタのLCSビット）に依存し，下記の式により計算できます。
LTRCnレジスタのRTSビットまたはLNRRビットを設定するまでは，データ・バイト数8バイトのタイムアウト時間となります。RTSビットが設定されると，タイムアウト時間はレスポンス・フィールド・データ長（LDFCnレジスタのRFDL[3:0]ビット）を元にした時間に再設定されます。LNRRビットが設定されるとタイムアウト機能は停止します。
［フレーム・タイムアウト］
・クラシック選択時（LDFCnレジスタのCSMビットが0の場合）：タイムアウト時間 = 49 + (データ・バイト数 + 1) × 14 [Tbit]
・エンハンス選択時（LDFCnレジスタのCSMビットが1の場合）：タイムアウト時間 = 48 + (データ・バイト数 + 1) × 14 [Tbit]
上記タイムアウト時間は，クラシック選択時にLIN Specification Package Revision 1.3のTFRAME_MAXを，エンハンス選択時にLIN Specification Package Revision 2.xのTFRAME_MAXを超える時間となります。
［レスポンス・タイムアウト］
タイムアウト時間 =（データ・バイト数＋1）×14 [Tbit]

4.　SFERフラグへの反映の許可／禁止であり，エラー検出の許可／禁止ではありません。

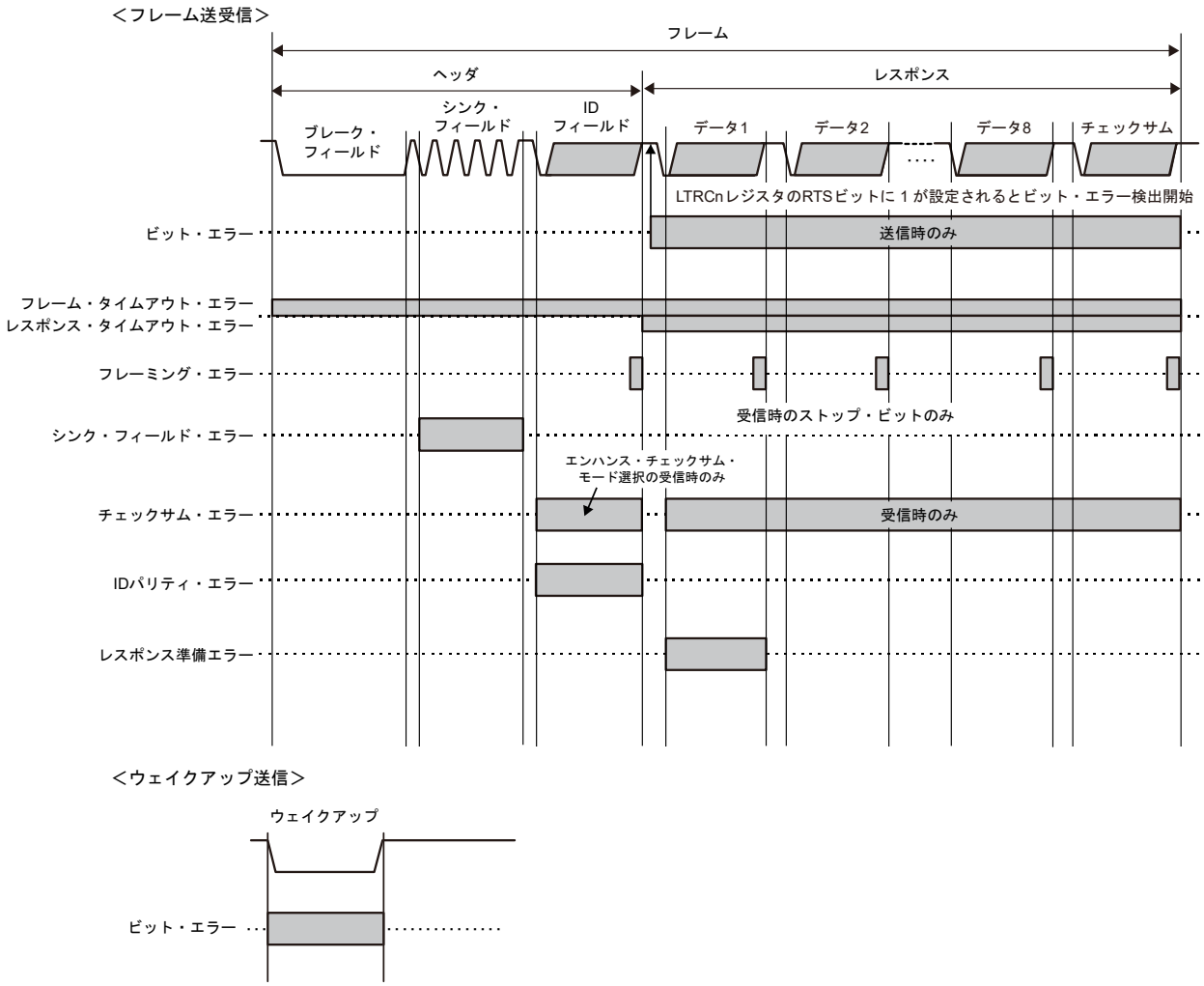
5.　レスポンス・フレーム受信完了後にチェックサム判定を行います。エラーの場合，受信完了フラグは1になりません。

注意　エラー・ステータスのクリア条件は，ソフトウェアによるクリア，LINリセット・モード移行時です。

(b)　LINエラー検出の対象時間領域

図 17－21 にエラーを検出するために LIN/UART モジュールがスレーブ・モード時に監視する時間領域を示します。

図 17－21　LIN エラー検出の対象時間領域（LIN スレーブ・モード）



17.5 UART モード

17.5.1 動作概要

(1) 送信

図 17－22 に LIN/UART モジュール（UART モード）の送信動作，表 17－18 に LIN/UART モジュール（UART モード）の送信処理を示します。

図 17－22　LIN/UART モジュール（UART モード）の送信動作

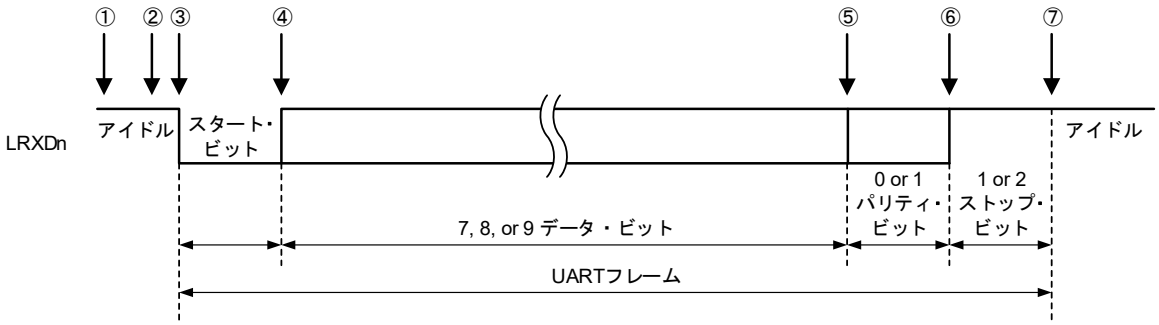


表 17－18　LIN/UART モジュール（UART モード）の送信処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• ボー・レートを設定 • ノイズ・フィルタ ON/OFF を設定 • エラー検出許可を設定 • データ・フォーマットを設定 • 割り込み発生タイミングを設定 • LIN/UART モジュールを LIN リセット・モードから解除 • 送信動作許可ビット（UTOE ビット）を 1 に設定	• ソフトウェアによる送信トリガ（LUTDRn）待ち
②	• UART 送信データ・レジスタ（LUTDRn）または UART ウェイト用送信データ・レジスタ（LUWTDRn）に送信データを設定	• 送信ステータス・フラグを設定
③	• 割り込み要求発生待ち [UTIGTS ビットが 0（送信開始時に送信割り込み要求を出力）のとき] • 連続してデータの送信を行う場合は，UART 送信データ・レジスタ（LUTDRn）に次の送信データを設定。割り込み要求発生待ち	• スタート・ビット送信（半二重通信で送信と受信を切り替える場合は，1 ストップ・ビットを受信した後にスタート・ビットを送信します。この機能については，17.5.1 (4)　送信開始ウェイト機能を参照してください。） [UTIGTS ビットが 0（送信開始時に送信割り込み要求を出力）のとき] • 送信割り込み出力
④		UART（ウェイト用）送信データ・レジスタに設定したデータを送信
⑤		パリティ使用時，パリティ・ビットを送信
⑥		1 または 2 ストップ・ビットを送信
⑦	[UTIGTS ビットが 0（送信開始時に送信割り込み要求を出力）のとき] • 次の送信データがセットされている場合は，③へ [UTIGTS ビットが 1（送信完了時に送信割り込み要求を出力）のとき] • 連続してデータの送信を行う場合は，②へ	[UTIGTS ビットが 0（送信開始時に送信割り込み要求を出力）のとき] • 次の送信データがセットされている場合は，③へ • 次の送信データがセットされていない場合は，送信ステータス・フラグをクリア [UTIGTS ビットが 1（送信完了時に送信割り込み要求を出力）のとき] • 送信割り込み出力 • 送信ステータス・フラグをクリア

(a)　連続送信

LIN/UART モジュール（UART モード）では，LUTDRn レジスタを使用して複数のデータを連続送信することができます。送信割り込み発生タイミングが送信開始の場合の動作例を図 17－23 に，送信割り込み発生タイミングが送信完了の場合の動作例を図 17－24 に示します。

図 17－23　LIN/UART モジュール（UART モード）連続送信動作（LUORn1 レジスタの UTIGTS ビットが 0 のとき）

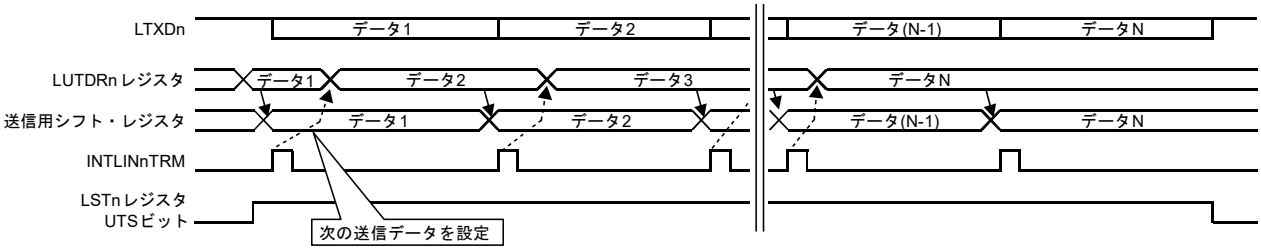
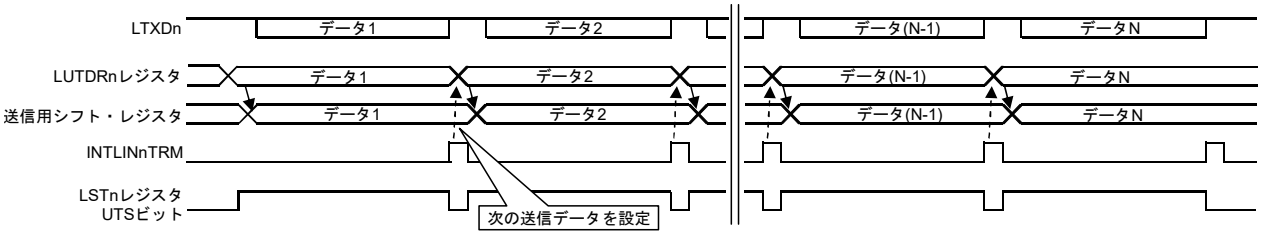


図 17－24　LIN/UART モジュール（UART モード）連続送信動作（LUORn1 レジスタの UTIGTS ビットが 1 のとき）



送信割り込み発生タイミングが送信開始で最終データの送信完了を知る必要がある場合のみ，最終データの送信開始後に LUORn1 レジスタの UTIGTS ビットを 0 から 1 に変更することにより，送信完了で割り込みを発生させることができます。

(b)　UARTバッファ送信

LIN/UART モジュール（UART モード）は最大 9 段の UART バッファを持っており，UART バッファを使用した連続送信が可能です。

図 17－25 に LIN/UART モジュール（UART モード）の UART バッファ送信動作，表 17－19 に UART バッファ送信処理を示します。

図 17－25　LIN/UART モジュール（UART モード）の UART バッファ送信動作

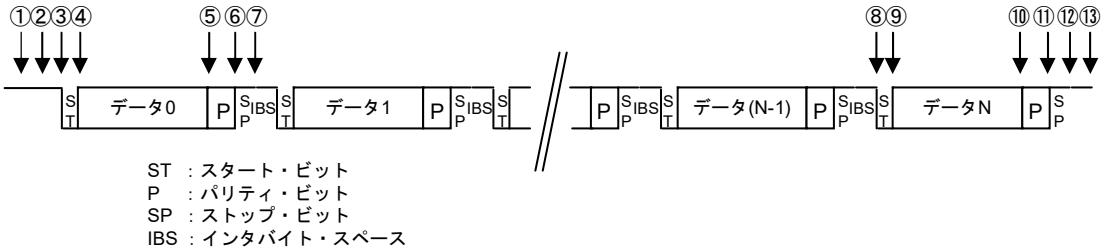


表 17－19　LIN/UART モジュール（UART モード）UART バッファ送信処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• ボー・レートを設定 • ノイズ・フィルタ ON/OFF を設定 • エラー検出許可を設定 • データ・フォーマットを設定 • 割り込み発生タイミングを送信完了時に設定 • LIN/UART モジュールを LIN リセット・モードから解除 • 送信動作許可ビット（UTOE ビット）を 1 に設定	• ソフトウェアによる送信トリガ（RTS ビット）待ち
②	• UART バッファ・データ長および送信開始ウェイト有無の設定 • UART データ・バッファ 0 レジスタ（LUDBn0），LIN/UART データ・バッファ m・レジスタ（LDBnm）に送信データを設定 • UART バッファ送信開始ビット（RTS）を設定	• 送信ステータス・フラグをセット
③	• 割り込み要求発生待ち	• スタート・ビット送信（半二重通信で送信と受信を切り替える場合は，1 ストップ・ビットを受信した後にスタート・ビットを送信します。この機能については，17.5.1 (4)　送信開始ウェイト機能を参照してください。）
④		UART データ・バッファ 0 レジスタ（LUDBn0）または LIN/UART データ・バッファ m・レジスタ（LDBnm）に設定したデータを送信
⑤		パリティ使用時，パリティ・ビットを送信
⑥		1 または 2 ストップ・ビットを送信
⑦		インタバイト・スペース（アイドル）を送信
－		UART バッファ・データ長設定ビットで設定したフレーム数-1 まで，③～⑦を繰り返す
⑧		スタート・ビット送信
⑨		LIN/UART データ・バッファ m・レジスタ（LDBnm）に設定したデータを送信
⑩		パリティ使用時，パリティ・ビットを送信
⑪		1 または 2 ストップ・ビットを送信
⑫		• バッファ送信完了フラグをセット • UART バッファ送信開始ビット（RTS）をクリア • 送信割り込み出力 • 送信ステータス・フラグをクリア
⑬	• LSTn レジスタのチェック，フラグのクリア • 連続してデータの送信を行う場合は，②へ	

(2)　受信

図 17－26 に LIN/UART モジュール（UART モード）の受信動作，表 17－20 に LIN/UART モジュール（UART モード）の受信処理を示します。

図 17－26　LIN/UART モジュール（UART モード）の受信動作

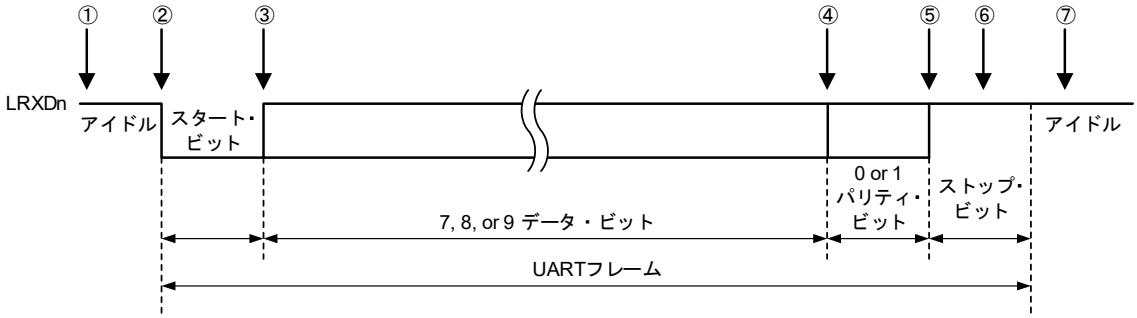


表 17－20　LIN/UART モジュール（UART モード）の受信処理

No.	ソフトウェア処理	LIN/UART モジュール処理
①	• ボー・レートを設定 • ノイズ・フィルタ ON/OFF を設定 • エラー検出許可を設定 • データ・フォーマットを設定 • LIN/UART モジュールを LIN リセット・モードから解除 • 受信動作許可ビット（UROE ビット）を 1 に設定	• ソフトウェアによる受信許可状態切り換え待ち • スタート・ビット検出待ち
②	• 割り込み要求発生待ち	• 受信端子からの立ち下がりエッジを待ち，スタート・ビットを検出 • 受信ステータス・フラグをセット
③		データを受信
④		パリティ使用時，パリティ・ビットを受信
⑤		1 ストップ・ビットのみ受信
⑥		• 受信完了割り込み出力 • 受信ステータス・フラグをクリア
⑦	LSTn レジスタのチェック，フラグのクリア	受信端子からの立ち下がりエッジ待ち

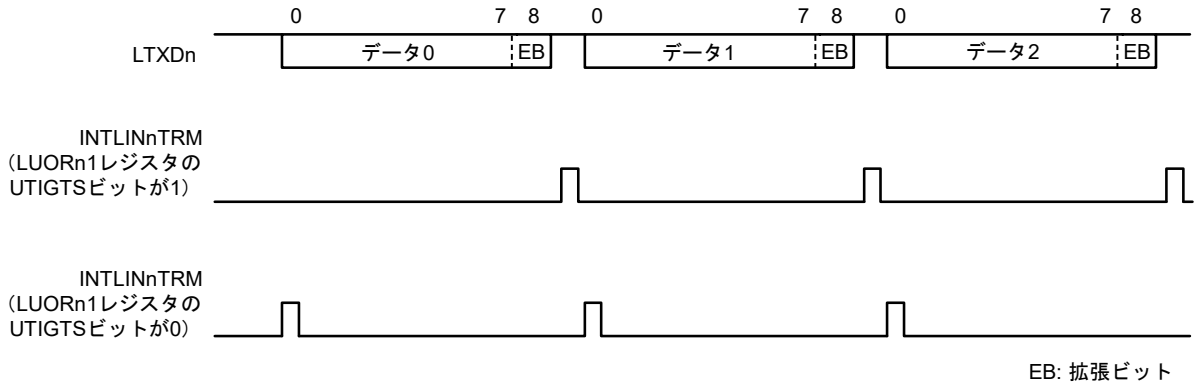
(3)　拡張ビット

LIN/UART モジュール（UART モード）で LUORn1 レジスタの UEBE ビットを 1 に設定することにより，9 ビット長のデータを送受信することが可能です。

(a)　拡張ビット送信

LIN/UART モジュール（UART モード）で，UART オプション・レジスタ 1（LUORn1）の拡張ビット許可ビット（UEBE）が 1 で，UART 送信データ・レジスタ（LUTDRn）または UART ウェイト用送信データ・レジスタ（LUWTDRn）に 9 ビットのデータを書き込むと，9 ビット長のデータが送信されます。

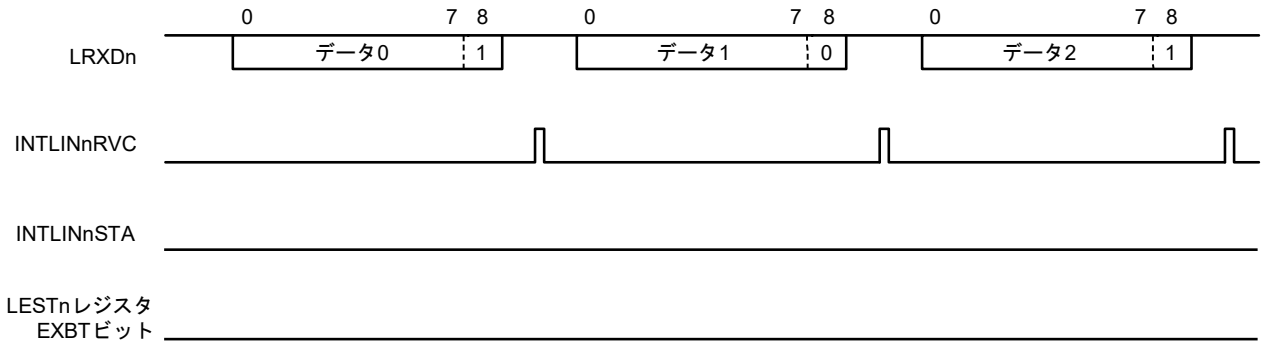
図 17－27　拡張ビット許可時送信例（LSB ファースト）



(b)　拡張ビット受信

LIN/UART モジュール（UART モード）で，UART オプション・レジスタ 1（LUORn1）の拡張ビット許可ビット（UEBE）が 1 かつ，拡張ビット比較禁止ビット（UECD）が 1 かつ拡張ビット・データ比較許可ビット（UEBDCE）が 0 のとき，拡張ビットの比較なしで常に 9 ビット長の受信が可能です。UART オプション・レジスタ 1（LUORn1）の拡張ビット検出レベル選択ビット（UEBDL）の設定にかかわらず，9 ビット長のデータを受信すると LINn の受信完了割り込みが発生します。

図 17－28　拡張ビット受信の例（LSB ファースト）



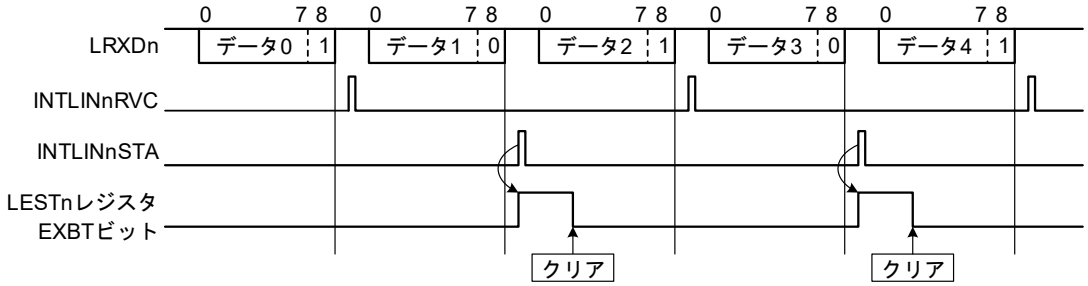
(c)　拡張ビット受信（拡張ビット比較あり）

LIN/UART モジュール（UART モード）で，UART オプション・レジスタ 1（LUORn1）の拡張ビット許可ビット（UEBE）が 1 かつ拡張ビット比較禁止ビット（UECD）が 0 かつ拡張ビット・データ比較許可ビット（UEBDCE）が 0 のとき，受信した拡張ビットと UEBDL ビットの比較が可能です。

拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出した場合は，データ受信完了時に LINn の受信ステータス割り込みが発生し，LIN/UART エラー・ステータス・レジスタ（LESTn）の拡張ビット検出フラグ（EXBT）がセットされます。拡張ビット検出レベルの反転値が検出された場合は，LINn の受信完了割り込みが発生します。どちらの場合も，オーバラン・エラーでなければ受信データを UART 受信データ・レジスタ（LURDRn）へ格納します。

拡張ビット検出レベル選択ビット（UEBDL）を 0 に設定した場合の例を図 17－29 に示します。

図 17－29　拡張ビット受信（拡張ビット比較あり）の例（LSB ファースト，UEBDL = 0）



注意 1.　受信データ0, 2, 4（拡張ビット検出レベルの反転値が検出された場合）で受信エラー（パリティ・エラー／フレーミング・エラー／オーバラン・エラー）が発生すると，LINnの受信ステータス割り込みが発生し，エラー・フラグが更新されます。このとき，LINnの受信完了割り込みは発生しません。

2.　受信データ1, 3（拡張ビット検出レベルが検出された場合）で受信エラー（パリティ・エラー／フレーミング・エラー／オーバラン・エラー）が発生すると，LINnの受信ステータス割り込みが発生し，エラー・フラグが更新されます。オーバラン・エラー発生時は，拡張ビット検出フラグ（EXBT）もセットされます。

(d)　拡張ビット受信（データ比較あり）

LIN/UART モジュール（UART モード）で，UART オプション・レジスタ 1（LUORn1）の拡張ビット許可ビット（UEBE）が 1 かつ拡張ビット比較禁止ビット（UECD）が 0 かつ拡張ビット・データ比較許可ビット（UEBDCE）が 1 のとき，拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出すると，受信データの拡張ビットを除く 8 ビットを，あらかじめ設定した LIDBn レジスタ値と比較します。比較結果が一致の場合は，以下の動作を実行します。

- LINn の受信ステータス割り込みを発生（n = 0, 1）
- 拡張ビット検出フラグ（EXBT）をセット
- ID 一致フラグ（IDMT）をセット
- 受信データを UART 受信データ・レジスタ（LURDRn）に格納

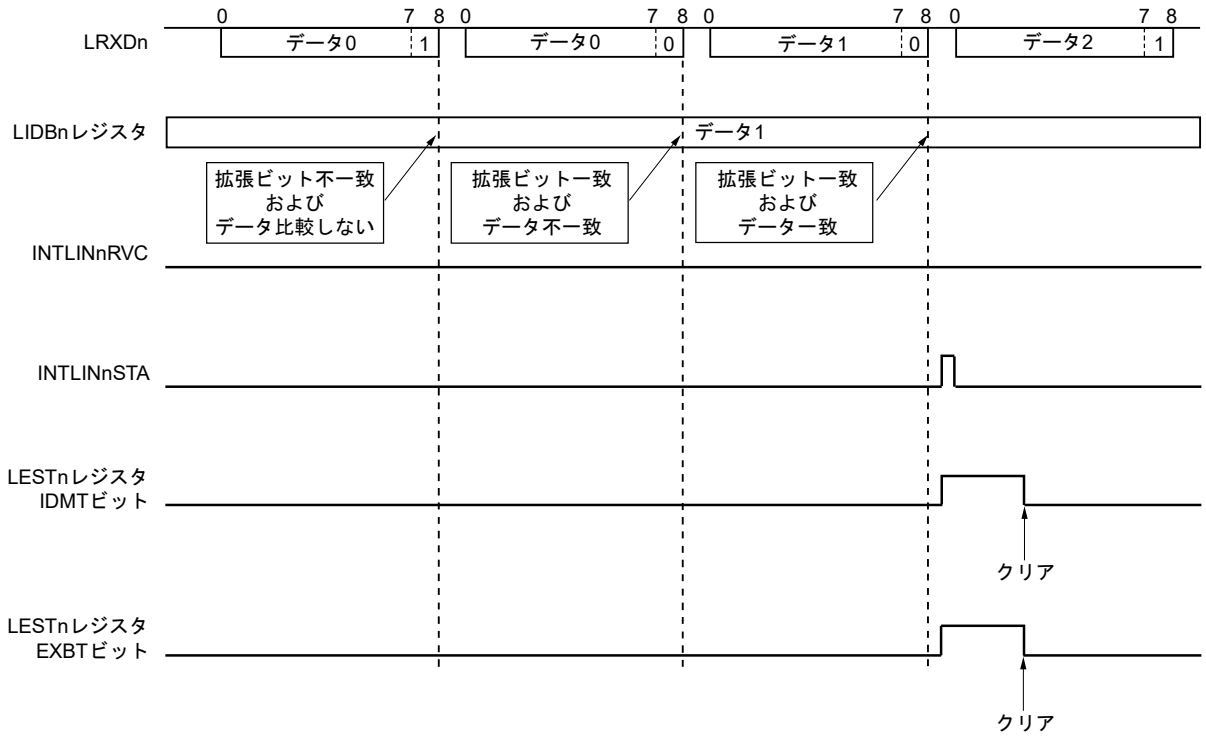
比較結果が一致の場合においても，LINn の受信完了割り込みは発生しません。

比較結果が一致しない場合は，LINn の受信完了割り込みおよび LINn の受信ステータス割り込みは発生せず，EXBT フラグおよび IDMT フラグは 1 にセットされません。受信データは UART 受信データ・レジスタ（LURDRn）に格納されません。

UEBDCE ビットを 0 に変更する場合は，次の受信データ完了後までに行ってください。

拡張ビット検出レベル選択ビット（UEBDL）を 0 に設定した場合の例を図 17－30 に示します。

図 17－30　拡張ビット受信（データ比較あり）の例（LSB ファースト，UEBDL = 0）



注意　受信エラー（パリティ・エラー／フレーミング・エラー／オーバラン・エラー）が発生すると，LINnの受信ステータス割り込みが発生し，エラー・フラグが更新されます。オーバラン・エラー発生かつ比較結果が一致した場合は，EXBTフラグおよびIDMTフラグも1になります。

(4)　送信開始ウェイト機能

半二重通信を行うために，LIN/UART モジュール（UART モード）は，受信から送信に切り替えるときに受信ストップ・ビットを確保する機能を備えています。

受信のストップ・ビットが完了するまで送信開始を遅らせたい場合は，送信開始要求として LUTDRn レジスタに送信データを設定するのではなく，ウェイト専用レジスタの LUWTDRn レジスタにデータを設定してください。

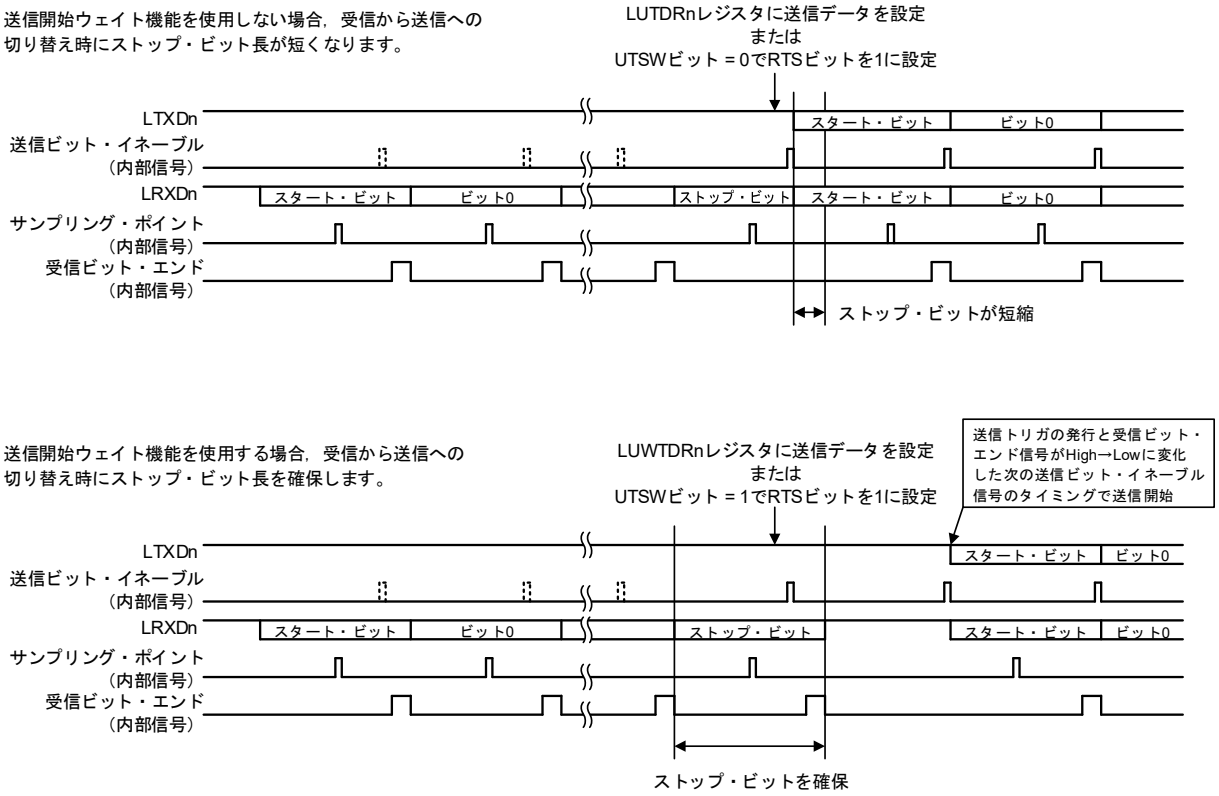
UART バッファから送信する場合は，LTRCn レジスタの UTSW ビットを 1 に設定した状態で，LTRCn レジスタの RST ビットに 1（UART バッファ送信許可）を設定してください。

この場合，LIN/UART モジュールは，受信データのストップ・ビットが完了するまで，送信の開始を遅らせます。

UART ストップ・ビット長選択ビット（USBLS）が 1（ストップ・ビット ＝2 ビット）であっても，遅延は 1 ビット分のみのウェイトとなります。

図 17－31 に送信開始ウェイト機能の動作を示します。

図 17－31　送信開始ウェイト機能の動作（ストップ・ビット受信中に送信データを設定した場合）



(5)　SNOOZE モード機能

LIN/UART モジュール（UART モード）は，受信動作時に SNOOZE モードに対応しています。SNOOZE モードとは，STOP モード状態で LRXDn 端子入力を検出すると，CPU 動作を必要とせずにデータ受信を行う機能です。

LIN/UART モジュール（UART モード）を SNOOZE モードで使用する場合は，STOP モードに移行する前に次の設定を行います。

- SNOOZE モード時は，UART 受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。SNOOZE モード時の UART 受信ボー・レート設定の表 17－21 および表 17－22 を参照して，LBRPn レジスタ，LWBRn レジスタの LPRS[2:0] ビットと NSPB[3:0] ビットを設定してください。
- UART スタンバイ・コントロール・レジスタ（LUSCn）の UWC ビットをセットしてください。また，LUSCn レジスタの USEC ビット，URDCC ビットを設定することにより，通信エラーが発生した場合にエラー割り込みの発生許可／停止，受信データと LIDBn レジスタとの比較許可／禁止を設定することができます。
- STOP モードに移行する直前に UART オペレーション許可レジスタ（LUOERn）の UROE ビットをセット（1）してください。

STOP モードに移行後，LRXDn のエッジを検出（スタート・ビット入力）すると，UART 受信を開始します。

注意 1. SNOOZEモードは，LINCKSELレジスタのLINnMCKビット = 0（f_{CLK}を選択）かつf_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）を選択している場合のみ使用できます。

2. SNOOZEモードの転送レートは，9600 bps以下で使用してください。

3. UWC = 1の設定では，STOPモード中に受信開始したときのみUARTを使用できます。
他のSNOOZE機能や割り込みと同時に使用して，次のようなSTOPモード以外の状態で受信開始した場合は正しくデータ受信できず，フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- **UWC = 1 に設定後，STOP モードに移行する前に受信開始した場合**
- **他の SNOOZE モード中に受信開始した場合**
- **STOP モードから割り込みなどで通常動作に復帰後，UWC = 0 に戻す前に受信開始した場合**

4. USEC = 1の設定では，SNOOZE中にエラー（パリティ・エラー，フレーミング・エラー）またはステータス（拡張ビット検出）変化を検出してもフラグはセットされず，エラー割り込みも発生しません。

5. LRXDn端子の立ち下がりエッジを検出するとSTOPモードからSNOOZEモードに遷移します。ただし，LRXDn端子への入力パルスが短くスタート・ビットと判定できない場合，LIN/UARTモジュールはUARTの受信を開始せず，CPUはSNOOZEモードを継続します。この場合，次のUART受信で正しくデータが受信できず，受信エラーが発生する可能性があります。

表 17－21　SNOOZE モード時の UART 受信ボー・レート設定（LIN 通信クロック源 = 40 MHz ± 2.0%）

UART ボー・レート（目標ボー・レート）	プリスケーラ LPRS[2:0]	ボー・レート・ジェネレータ 0, 1 LBRP0, LBRP1	最大許容値 [%]	最小許容値 [%]
1200 bps	1/2	1038	2.66	−2.53
2400 bps	1/2	517	2.50	−2.36
4800 bps	1/2	256	1.97	−2.23
9600 bps	1/2	126	1.30	−1.58

表 17－22　SNOOZE モード時の UART 受信ボー・レート設定（LIN 通信クロック源 = 32 MHz ± 2.0%）

UART ボー・レート（目標ボー・レート）	プリスケーラ LPRS[2:0]	ボー・レート・ジェネレータ 0, 1 LBRP0, LBRP1	最大許容値 [%]	最小許容値 [%]
1200 bps	1/2	830	2.64	−2.55
2400 bps	1/2	413	2.40	−2.46
4800 bps	1/2	205	2.16	−2.04
9600 bps	1/2	101	1.68	−1.19

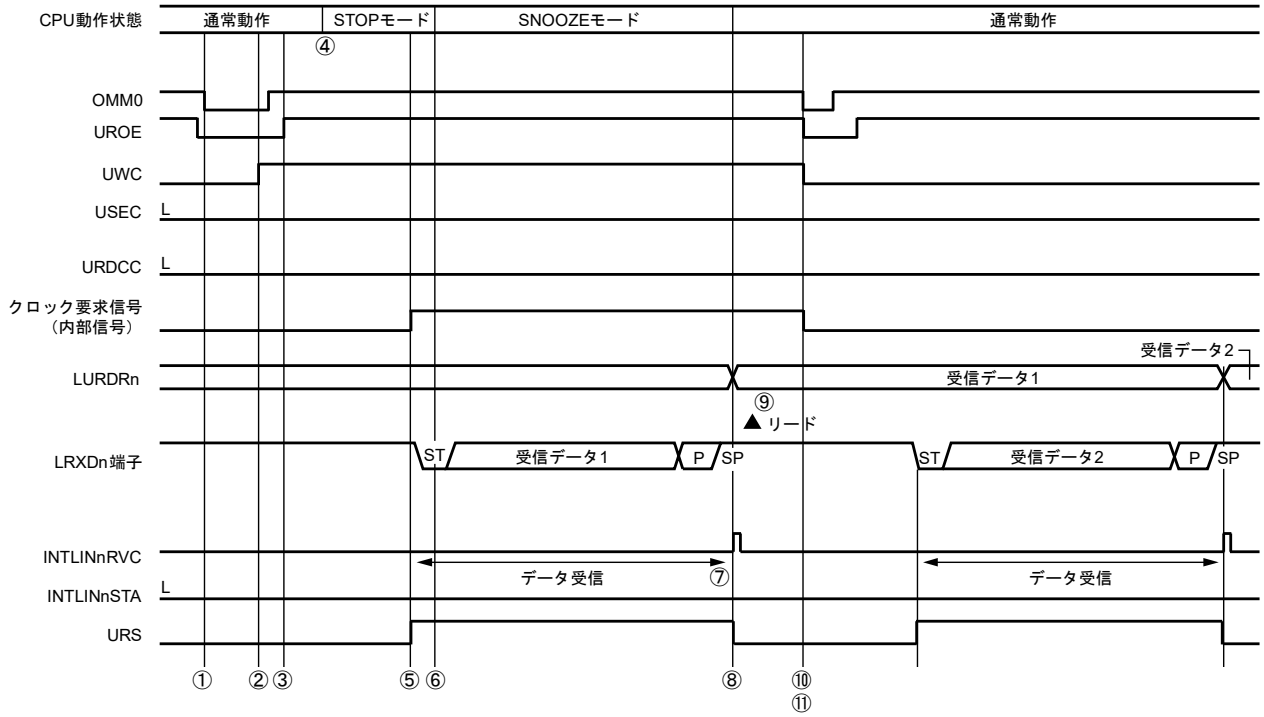
備考 1. 最大許容値，最小許容値は，UART受信時のボー・レート許容値です。この範囲に送信側のボー・レートが収まるように設定してください。

2. 受信データ長は8ビット＋パリティ・ビットです。

3. ビット・サンプリング数は16サンプリング（NSPB[3:0] = 0000Bまたは1111Bのとき）です。

(a)　SNOOZEモード動作（正常受信による復帰：UWCビット= 1，URDCCビット= 0）

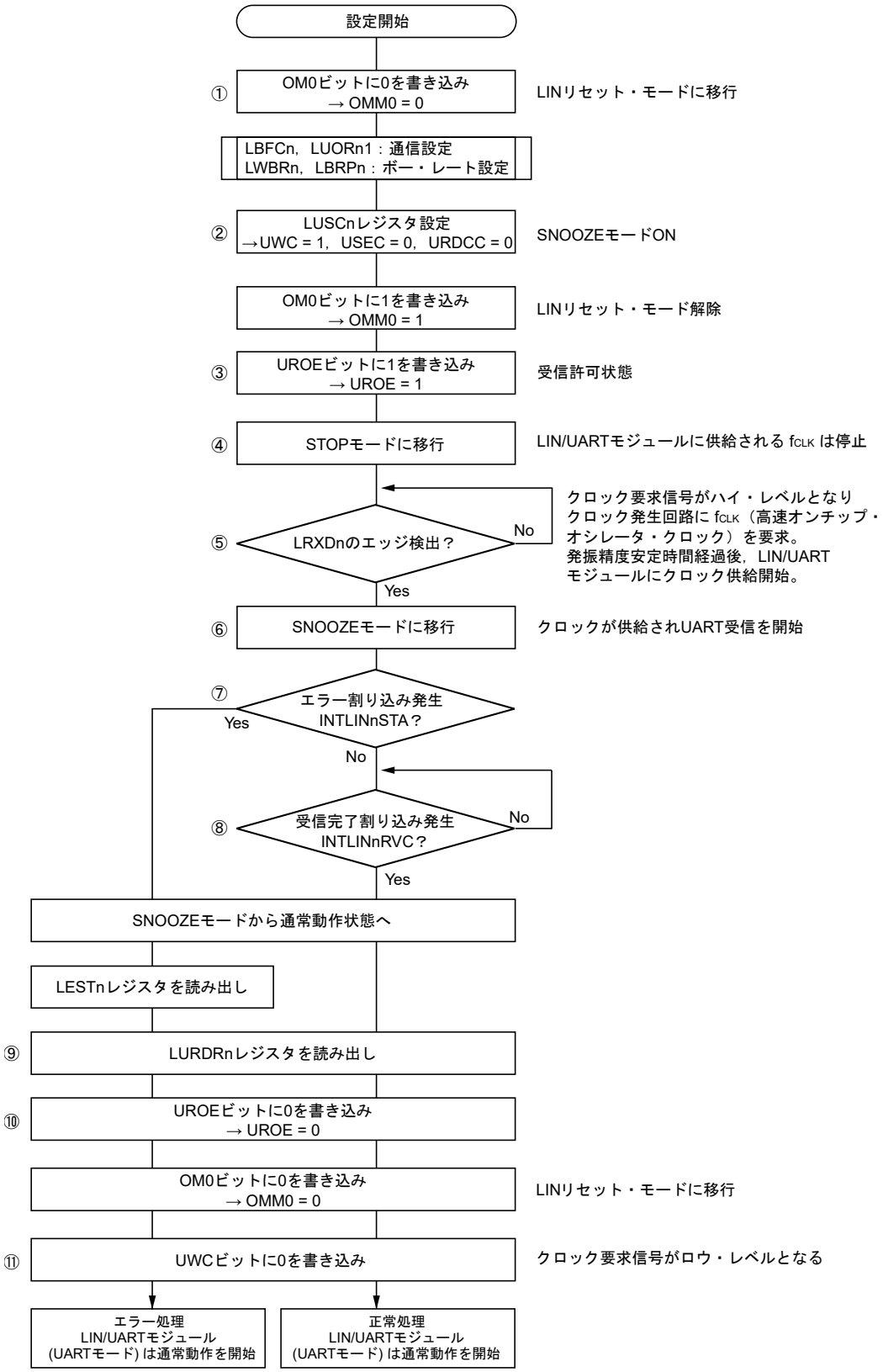
図 17－32　SNOOZE モード動作のタイミング・チャート
（正常受信による復帰：UWC ビット= 1，URDCC ビット= 0）



備考　図17－32の①～⑪は，次ページ図17－33の①～⑪に対応しています。

図 17－33　SNOOZE モード動作のフローチャート

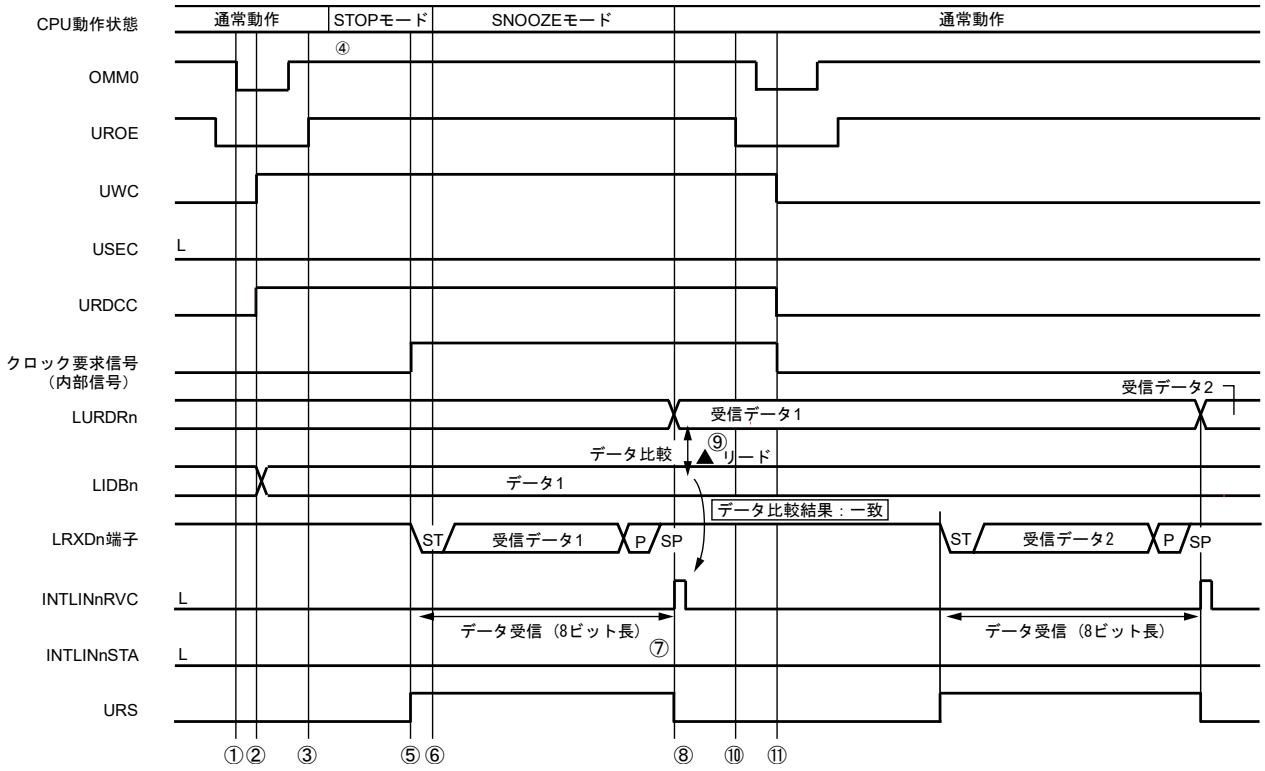
（正常受信による復帰：UWC ビット= 1，URDCC ビット = 0）



備考　図17－33の①～⑪は，図17－32の①～⑪に対応しています。

(b)　SNOOZEモード動作（受信データ比較結果一致による復帰：UWCビット=1，URDCCビット=1）

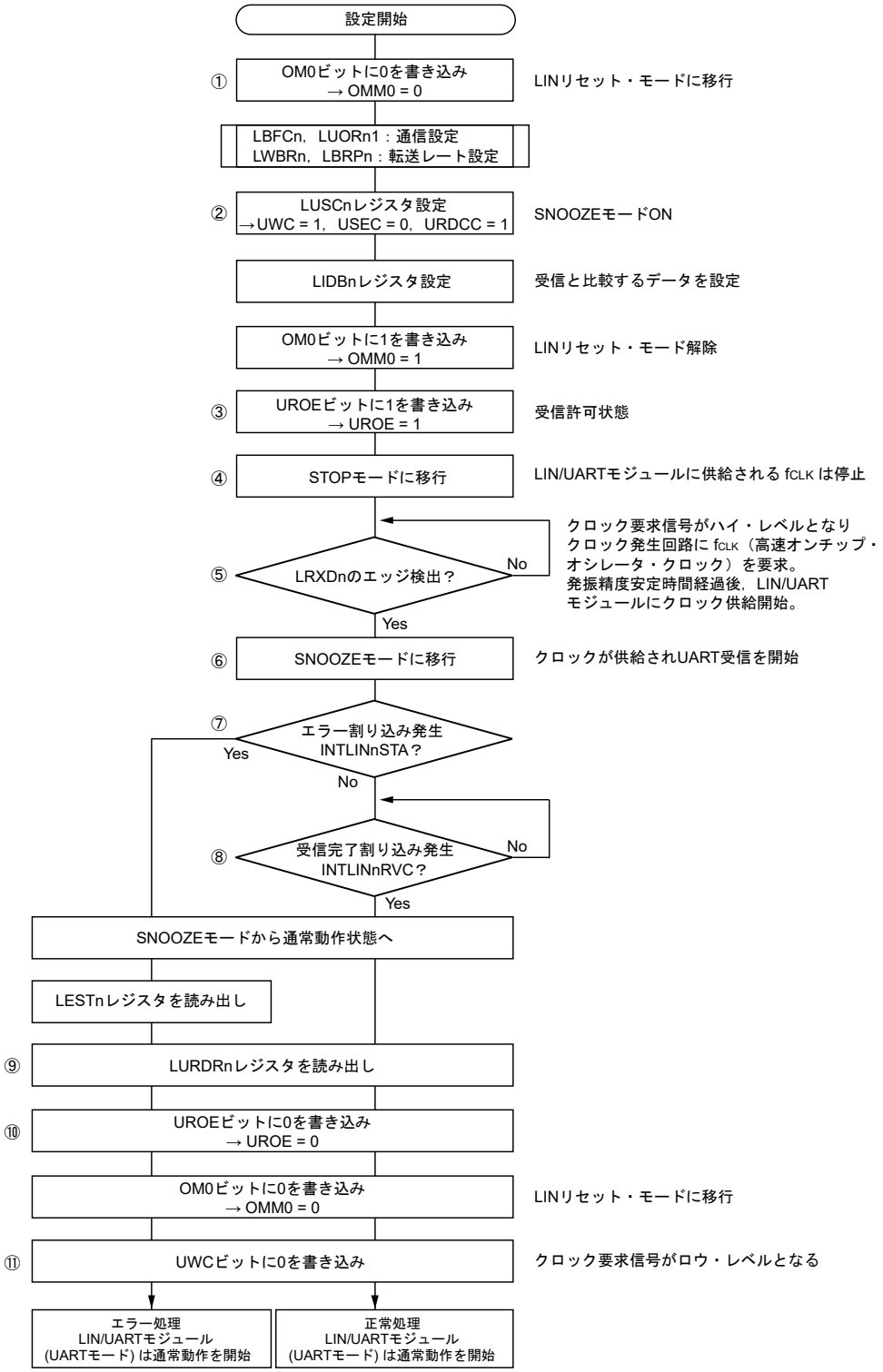
図 17－34　SNOOZE モード動作のタイミング・チャート
（受信データ比較結果一致による復帰：UWC ビット= 1，URDCC ビット= 1）



備考　図17－34の①～⑪は，図17－35の①～⑪に対応しています。

図 17－35　SNOOZE モード動作のフローチャート

（受信データ比較結果一致による復帰：UWC ビット= 1，URDCC ビット= 1）



備考　図 17－35 の①～⑪は，図 17－34 の①～⑪に対応しています。

LUSCn レジスタの URDCC ビットを 1（SNOOZE モード時，受信データと LIDBn レジスタの比較許可）にする場合は，ビット長を 8 ビット（LBFCn レジスタの UBLS ビットが 0（UART 8 ビット通信）かつ LUORn1 レジスタの UEBE ビットが 0（拡張ビット動作禁止））でのみ使用してください。

17.5.2　データ送信／受信

(1)　データ送信

データ送信は，1 Tbit に 1 ビットずつ行われます。

半二重通信では，LEDEn レジスタの BERE ビットが 1（ビット・エラー検出が有効）の場合，データ送信時に送信データと入力端子レベルがビットごとに比較され，その結果が LESTn レジスタの BER フラグに格納されます。（17.5.5　エラー・ステータスを参照）

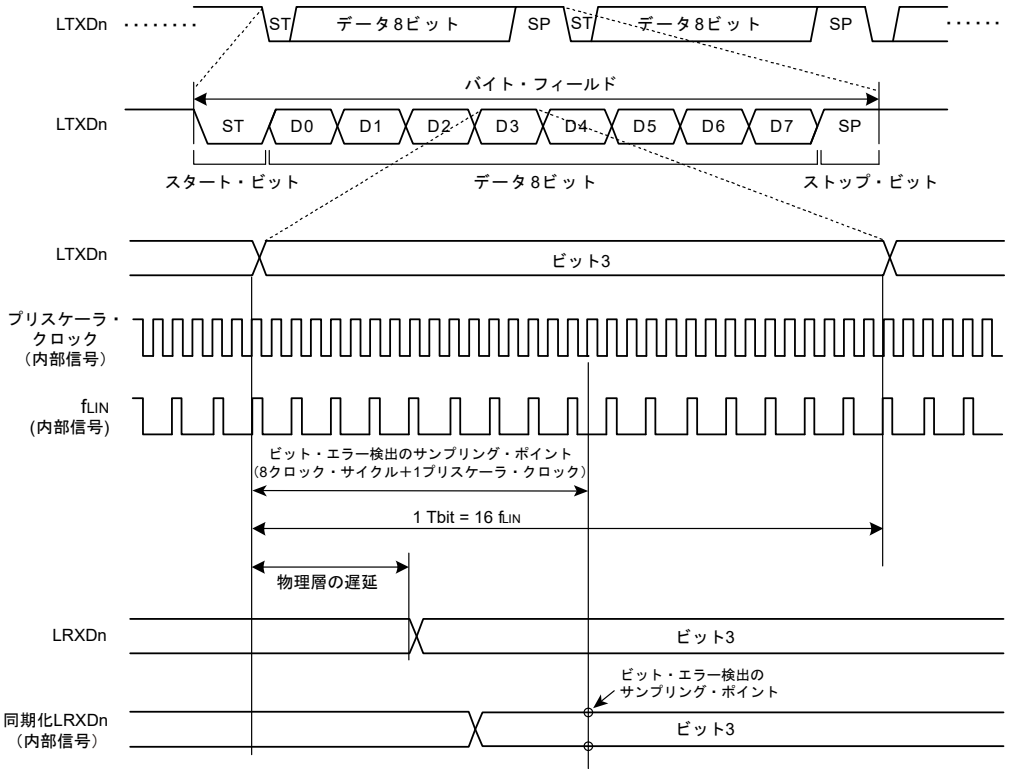
データ送信中に入力端子をサンプリングするタイミングは, LWBRn レジスタの LPRS[2:0] および NSPB[3:0] ビットの設定によって異なります。

UART モードでのビット・エラー検出タイミングを表 17－23 に示します。

表 17－23　UART モードのエラー検出タイミング

ビットあたりのサンプリング数	ビット・エラー検出タイミング
6 サンプル	3 クロック・サイクル ＋1 プリスケーラ・クロック
7 サンプル	4 クロック・サイクル ＋1 プリスケーラ・クロック
8 サンプル	4 クロック・サイクル ＋1 プリスケーラ・クロック
9 サンプル	5 クロック・サイクル ＋1 プリスケーラ・クロック
10 サンプル	5 クロック・サイクル ＋1 プリスケーラ・クロック
11 サンプル	6 クロック・サイクル ＋1 プリスケーラ・クロック
12 サンプル	6 クロック・サイクル ＋1 プリスケーラ・クロック
13 サンプル	7 クロック・サイクル ＋1 プリスケーラ・クロック
14 サンプル	7 クロック・サイクル ＋1 プリスケーラ・クロック
15 サンプル	8 クロック・サイクル ＋1 プリスケーラ・クロック
16 サンプル	8 クロック・サイクル ＋1 プリスケーラ・クロック

図 17－36　データ送信タイミング例（1 Tbit が 16 サンプリングの場合）



(2)　データ受信

データ受信は，LRXDn 端子からの入力をプリスケーラ・クロックに同期させた同期化 LRXDn（内部信号）を使用して行います。

この同期化 LRXDn 信号のスタート・ビットの立ち下がりエッジでバイト・フィールドの同期を合わせます。立ち下がりエッジ検出後，1 Tbit あたりのサンプリング数が偶数の場合は 0.5 Tbit 後に，奇数の場合は{ (サンプリング数＋1) /2} / (サンプリング数) Tbit 後に再度サンプリングを行い，同期化 LRXDn 信号が Low であった場合にスタート・ビットと認識します。リセット解除後から LRXDn 信号が Low 固定の場合や，再サンプリング時に High を検出した場合はスタート・ビットとは認識しません。

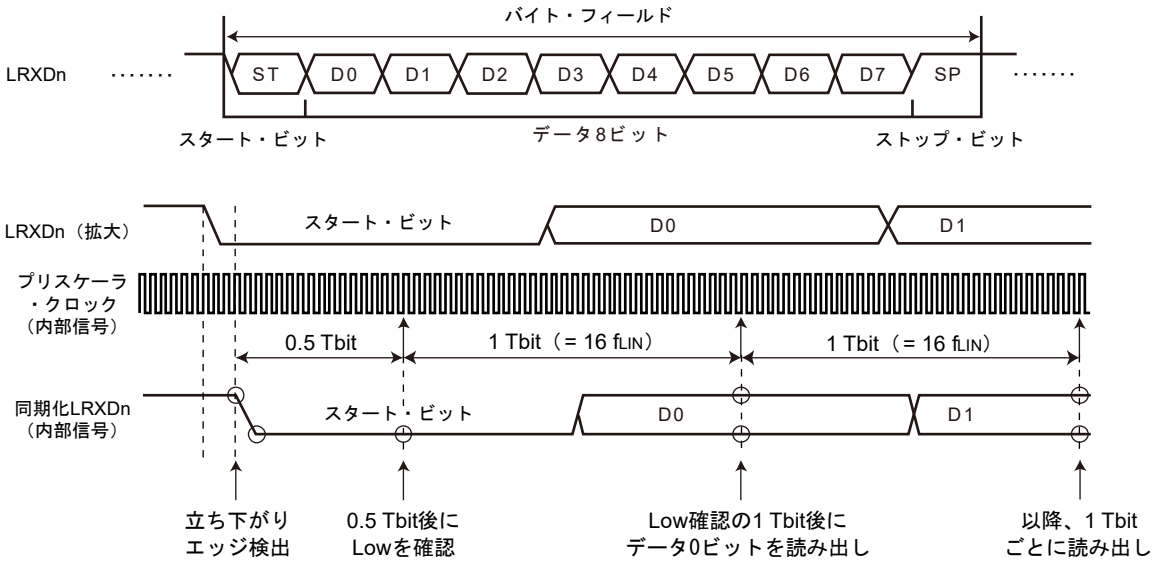
スタート・ビット検出後は，1 Tbit ごとにビットのサンプリングを行います。

ただし，LEDEn レジスタの BERE ビットが 1 の場合，サンプリング位置はビット・エラー検出タイミングと同じになります。

LIN/UART モジュールは，受信データに対するノイズ・フィルタ機能をもっています。LMDn レジスタの LRDNFS ビットが 0 の場合は，ノイズ・フィルタ使用となり，サンプリングの値はプリスケーラ・クロックで 3 サンプリング多数決により決定した値を使用します。LMDn レジスタの LRDNFS ビットが 1 の場合は，ノイズ・フィルタ未使用となり，サンプリングの値はサンプリング位置での同期化 LRXDn 値の値をそのまま使用します。

図 17－37 にデータ受信タイミングの例を示します。

図 17－37　データ受信タイミング例（1 Tbit が 16 サンプリングの場合）



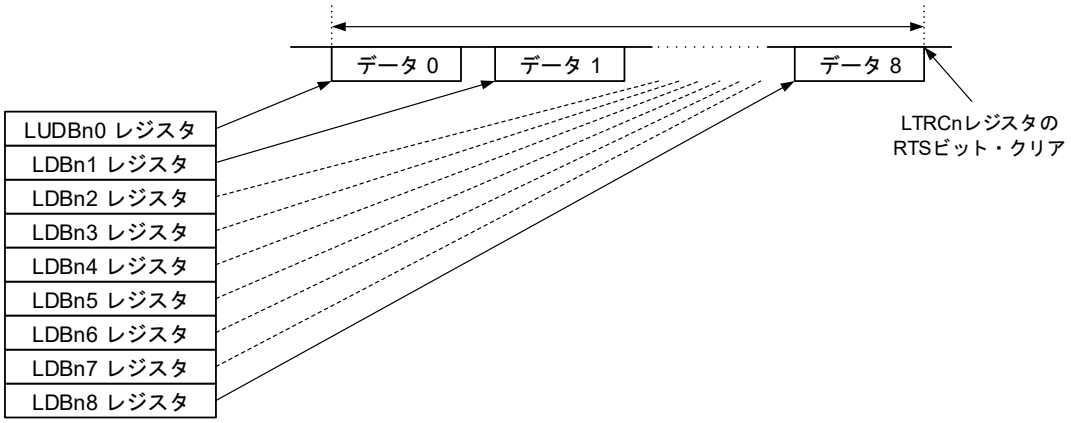
17.5.3　送信データのバッファ処理

(1)　UART バッファの送信

9 バイト送信の場合，LUDBn0 レジスタ，LDBn1～LDBn8 レジスタに格納されている内容が，データ 0～8 領域に送信されます。9 バイトの送信設定のときのみ，LUDBn0 レジスタは使われます。その他の場合，データ長により，LDBn1～LDBn8 レジスタが選択されます。4 バイト送信の場合は，LDBn1～LDBn4 レジスタに格納されている内容がデータ 1～4 領域に送信されます，LDBn5～LDBn8 レジスタの内容は送信されません。LDFCn レジスタの MDL[3:0]ビットに設定したデータ数送信後，LINn の送信割り込みが発生します。各送信データ間スペースは，LSCn レジスタの IBS ビットで設定できます。

図 17－38 に 9 バイトの UART バッファと送信処理を示します。

図 17－38　UART バッファと送信処理（9 バイトの場合）



17.5.4　ステータス

LIN/UART モジュールは UART モード動作時に 5 種類のステータスを検出します。

UART バッファ送信完了，エラー検出の 2 つのステータスは割り込み要求を発生することができます。

表 17－24 に UART モードでのステータスの種類を示します。

表 17－24　UART モードでのステータスの種類

ステータス	ステータス・セット条件	ステータス・クリア条件	対応ビット	割り込み
リセット	LCUCn レジスタの OM0 ビットを 1（LIN リセット・モードでない）に設定後，実際に LIN リセット・モードが解除されたとき	OM0 ビットを 0（LIN リセット・モード）に設定後，実際に LIN リセット・モードに移行したとき	LMSTn レジスタの OMM0 ビット	使用不可
UART バッファ送信完了	• LUORn1 レジスタの UTIGTS ビットが 0（送信開始時に送信割り込み発生）の場合，LDFCn レジスタの MDL ビットに設定したデータ長の最終データを送信開始したとき • LUORn1 レジスタの UTIGTS ビットが 1（送信完了時に送信割り込み発生）の場合，LDFCn レジスタの MDL ビットに設定したデータ長を送信完了したとき	• ソフトウェアによるクリア • LIN リセット・モード移行時	LSTn レジスタの FTC フラグ	使用可
エラー検出	LESTn レジスタの UPER フラグ，IDMT フラグ，EXBT フラグ，FER フラグ，OER フラグ，BER フラグのいずれかが 1（検出）になったとき	• ソフトウェアによるクリア注 • LIN リセット・モード移行時	LSTn レジスタの ERR フラグ	使用可
送信ステータス	• LUTDRn レジスタまたは LUWTDRn レジスタにデータを書き込んだとき • LTRCn レジスタの RTS ビットに 1 を書き込んだとき	• LUTDRn レジスタまたは LUWTDRn レジスタにセットされたデータが送信完了して，次の送信データがセットされていないとき • UART バッファのデータの送信が完了して，LTRCn レジスタの RTS ビットがクリアされたとき • LIN リセット・モード移行時	LSTn レジスタの UTS フラグ	使用不可
受信ステータス	• スタート・ビットを検出したとき	• ストップ・ビットのサンプルリング・ポイントを検出したとき • LIN リセット・モード移行時	LSTn レジスタの URS フラグ	使用不可

注　LINリセット・モード解除中にLESTnレジスタのUPERフラグ，IDMTフラグ，EXBTフラグ，FERフラグ，OERフラグ，BERフラグに0を書くことにより，LSTnレジスタのERRフラグは0になります。

17.5.5　エラー・ステータス

LIN/UART モジュールは UART モードで，4 種類のエラーと 2 種類のステータスを検出します。これらのエラー・ステータスの状態は LESTn レジスタの各ビットで確認できます。

表 17－25 にエラー・ステータスの種類を示します。

表 17－25　エラー・ステータスの種類（UART モード）

ステータス	エラー検出条件	通信処理	検出許可／禁止選択	対応ビット
ビット・エラー	送信したデータと，受信端子でモニタしているデータが一致しなかったとき 注1	設定した送信データの送信が終了するまで継続	○	LESTn レジスタの BER フラグ
オーバラン・エラー	LURDRn レジスタに受信データ格納後，データの読み出し前に，次のデータを受信したとき（このとき，LURDRn レジスタには格納されない）	－（検出時はすでに受信完了）	○	LESTn レジスタの OER フラグ
フレーミング・エラー	受信処理において，1 ビット目のストップ・ビットが Low であったとき	－（検出時はすでに受信完了）	○	LESTn レジスタの FER フラグ
パリティ・エラー	受信したパリティ値が，受信データから算出したパリティ値と一致しなかったとき	受信完了まで継続	× 注2	LESTn レジスタの UPER フラグ
拡張ビット検出	受信した拡張ビットの値が，LUORn1 レジスタの UEBDL ビットの値と一致したとき	－	○	LESTn レジスタの EXBT フラグ
ID 一致	受信した拡張ビットの値が，LUORn1 レジスタの UEBDL ビットの値と一致かつ拡張ビットを除く受信した 8 ビット・データが LIDBn レジスタの値と一致したとき	－	○	LESTn レジスタの IDMT フラグ

注 1. UARTバッファから送信する場合は，UARTフレーム間のスペース（インタバイト・スペース）でもビット・エラーを検出します。

2. LBFCnレジスタのUPS[1:0] ビットを10B（0パリティ）に設定すると，パリティ・ビットの値の判定を実施しません。そのため，パリティ・エラーは発生しません。

注意　エラー・ステータスのクリア条件は，ソフトウェアによるクリア，LINリセット・モード移行時です。

17.6 LIN セルフテスト・モード

LIN/UART モジュールは，LIN セルフテスト・モードを持ちます。一度，LIN/UART モジュールが LIN セルフテスト･モードになると，LTXDn と LRXDn は外部端子から切断され，LIN/UART モジュール内部で LTXDn と LRXDn が接続されます。したがって，LTXDn から送信するフレームは LRXDn にループバックします。LIN セルフテスト・モードは，LIN モードのみのテストが可能です。

セルフテストは，以下の 4 種類行うことができます。

- LIN マスタ・セルフテスト・モード（送信）：ヘッダ送信およびレスポンス送信
- LIN マスタ・セルフテスト・モード（受信）：ヘッダ送信およびレスポンス受信
- LIN スレーブ・セルフテスト・モード（送信）：ヘッダ受信およびレスポンス送信
- LIN スレーブ・セルフテスト・モード（受信）：ヘッダ受信およびレスポンス受信

LIN セルフテスト・モードでは，ボー・レート・ジェネレータの設定にかかわらず，最速ボー・レートで動作します。

ボー・レートは，ボー・レート関連レジスタの設定にかかわらず，LIN 通信クロック源/16 [bps]で動作します（LWBRn レジスタの NSPB ビットは，必ず 0000B または 1111B で使用してください）。

このとき，必ずプリスケーラ・クロック選択ビット（LWBRn レジスタの LPRS ビット）を 000B に設定してください。

LIN セルフテスト・モードでは，以下の機能をサポートしません。これらの機能は使用しないでください。

- LIN ウェイクアップ・モード
- フレーム・セパレート・モード
- 多バイト・レスポンス送受信機能
- LIN スレーブ・モード ［オート・ボー・レート］
- フレーム／レスポンス・タイムアウト・エラー

図 17－39　LIN リセット・モード，LIN モード，および UART モード接続

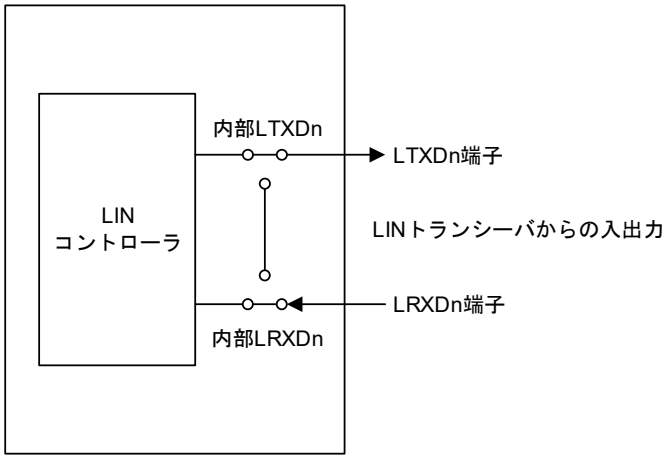
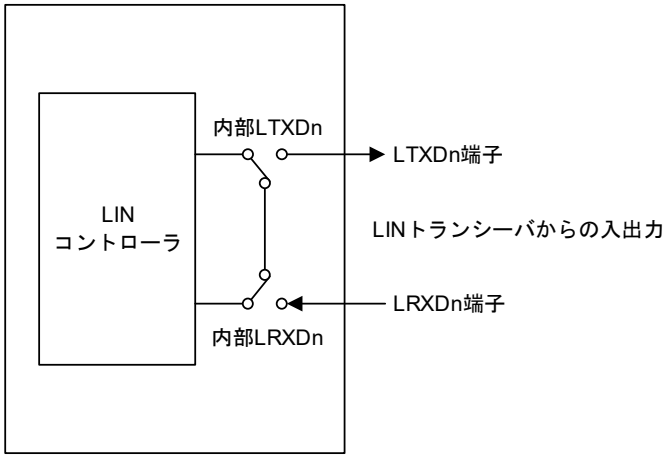


図 17－40　LIN セルフテスト・モード接続



17.6.1　LIN セルフテスト・モードへの移行

LSTCn レジスタへの書き込みにより，LIN セルフテスト・モードになります。

LSTCn レジスタの LSTM ビットが 1 になると，LIN セルフテスト・モードに移行したことが確認できます。

LIN セルフテスト・モードに移行するには，特定のシーケンスを必ず実行してください。このシーケンスでは，次の通り LIN セルフテスト・コントロール・レジスタに 3 回連続書き込みを行う必要があります。

- LIN リセット・モードへ移行
  LCUCn レジスタの OM0 ビットを 0（LIN リセット・モード）にする。
  LMSTn レジスタの OMM0 ビットを読み出し，0（LIN リセット・モード）であることを確認する
- LIN モードの選択
  LMDn レジスタの LMD ビット= 00B（LIN マスタ・モード）または 11B（LIN スレーブ［固定ボー・レート］）
- 1 回目書き込み：LSTCn レジスタ= 1010 0111B（A7H）
- 2 回目書き込み：LSTCn レジスタ= 0101 1000B（58H）
- 3 回目書き込み：LSTCn レジスタ= 0000 0001B（01H）
- LIN セルフテスト・モードへの移行を確認する。
  LSTCn レジスタの LSTM ビットを読み出し，1（LIN セルフテスト・モード）であることを確認する。

1 回目のキー（A7H）を誤って 2 回書き込みした場合，LIN セルフテスト・モードへの移行は中断します。再度 1 回目の書き込みから実施してください。また，LIN セルフテスト・モードへの移行（LSTCn レジスタへの 3 回連続書き込み）中に他の LIN 関連レジスタに書き込みを行った場合も移行は中断します。

17.6.2　LIN マスタ セルフテスト・モードにおける送信

LIN マスタの送信に関するセルフテストを実行するには，次の手順を行ってください。

- ボー・レート，ノイズ・フィルタ，割り込み出力関連レジスタを設定する。
  LWBRn レジスタ = 0000000xB
  LBRPn0 レジスタ = xxxxxxxxB 注1
  LBRPn1 レジスタ = xxxxxxxxB 注1
  LMDn レジスタ = 00xxxx00B 注1, 3
- 割り込み許可，エラー許可関連レジスタを設定する。
  LIEn レジスタ = 0000xxxxB 注2, 3
  LEDEn レジスタ = x000x0xxB
- ブレーク・フィールド，スペース関連レジスタを設定する。
  LBFCn レジスタ = 00xxxxxxB
  LSCn レジスタ = 00xx0xxxB
- リセット解除する。
  LCUCn レジスタの OM1，OM0 ビットに 11B を書き込み，LMSTn レジスタの OMM1，OMM0 ビットが 11B になることを確認する。
- 送信フレーム関連レジスタを設定する。
  LDFCn レジスタ = 00x1xxxxB
  LIDBn レジスタ = xxxxxxxxB
  LDBn1～LDBn8 レジスタ = xxxxxxxxB
- ヘッダ送信 → レスポンス送信開始
  LTRCn レジスタの FTS ビットを 1（フレーム送信／ウェイクアップ送受信開始）にする。

LIN マスタ・セルフテスト・モード（送信）が実行され，割り込み発生，ステータス，エラー・ステータス更新も合わせて実行されます。チェックサムは LIN/UART モジュールが自動演算します。

LIN マスタ・セルフテスト・モード（送信）実行中に処理を中断したい場合は，LCUCn レジスタの OM0 ビットに 0 を書き込み，LIN リセット・モードへ移行してください。

- 送信完了の場合，ループバックしたフレーム・データの反転値が LIDBn レジスタ，LDBnm レジスタ（m = 1-8），LCBRn レジスタに格納され（送信した値とループバックした値を比較するため，反転値として格納されます），LTRCn レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合，該当するエラー・フラグが設定され，LTRCn レジスタの FTS ビットがクリアされる。

注 1. 以下のレジスタ設定はLINセルフテスト・モードの動作には反映されません。そのため，設定は必須ではありません。
LBRPn0レジスタ，LBRPn1レジスタ，LMDnレジスタのLCKSビット

2. 必要に応じて，「第21章　割り込み機能」の関連レジスタを設定してください。

3. ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合，ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は，LIEnレジスタのSHIEビットを1（ヘッダ送信完了割り込み許可）にしないでください。

ヘッダ送信完了フラグのセットからフレーム／ウェイクアップ送信完了フラグのセットまでに時間は，

10 ×（データ・バイト数＋1）[Tbit]

1 Tbit = LIN通信クロック源 ×16

かかります。

備考　x：任意

17.6.3　LIN マスタ セルフテスト・モードにおける受信

LIN マスタの受信に関するセルフテストを実行するには，次の手順を行ってください。

- ボー・レート，ノイズ・フィルタ，割り込み出力関連レジスタを設定する。
  LWBRn レジスタ = 0000000xB
  LBRPn0 レジスタ = xxxxxxxxB 注1
  LBRPn1 レジスタ = xxxxxxxxB 注1
  LMDn レジスタ = 00xxxx00B 注1, 3
- 割り込み許可，エラー許可関連レジスタを設定する。
  LIEn レジスタ = 0000xxxxB 注2, 3
  LEDEn レジスタ = x000x0xxB
- ブレーク・フィールド，スペース関連レジスタを設定する。
  LBFCn レジスタ = 00xxxxxxB
  LSCn レジスタ = 00xx0xxxB 注1
- リセット解除する。
  LCUCn レジスタの OM1，OM0 ビットに 11B を書き込み，LMSTn レジスタの OMM1，OMM0 ビットが 11B になることを確認する。
- 受信フレーム関連レジスタを設定する。
  LDFCn レジスタ = 00x0xxxxB
  LIDBn レジスタ = xxxxxxxxB
  LDBn1～LDBn8 レジスタ = xxxxxxxxB
  LCBRn レジスタ = xxxxxxxxB

チェックサムは自動演算されないため，演算値を設定します。このとき，誤ったチェックサム値を設定することによって，チェックサム・エラーをテストすることが可能です。

- ヘッダ送信→レスポンス受信開始
  LTRCn レジスタの FTS ビットを 1（フレーム送信／ウェイクアップ送受信開始）にする。

LLIN マスタ・セルフテスト・モード（受信）が実行され，割り込み発生，ステータス，エラー・ステータス更新も合わせて実行されます。LIN マスタ・セルフテスト・モード（受信）実行中に処理を中断したい場合は，LCUCn レジスタの OM0 ビットに 0 を書き込み，LIN リセット・モードへ移行してください。

- 受信完了の場合，ループバックしたフレーム・データの反転値が LIDBn レジスタ，LDBnm レジスタ（m = 1-8），LCBRn レジスタに格納され（設定した値とループバックした値を比較するため，反転値として格納されます），LTRCn レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合，該当するエラー・フラグが設定され，LTRCn レジスタの FTS ビットがクリアされる。

注 1. 以下のレジスタ設定はLINセルフテスト・モードの動作には反映されません。そのため，設定は必須ではありません。

LBRPn0レジスタ，LBRPn1レジスタ，LMDnレジスタのLCKSビット，LSCnレジスタのIBSビット

2. 必要に応じて，「第21章　割り込み機能」の関連レジスタを設定してください。

3. ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合，ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は，LIEnレジスタのSHIEビットを1（ヘッダ送信完了割り込み許可）にしないでください。

ヘッダ送信完了フラグのセットからフレーム／ウェイクアップ受信完了フラグのセットまでに時間は，

10×（データ・バイト数＋1）[Tbit]

1 Tbit = LIN通信クロック源 ×16

かかります。

備考　x：任意

17.6.4　LIN スレーブ セルフテスト・モードにおける送信

LIN スレーブの送信に関するセルフテストを実行するには，次の手順を行ってください。

- ボー・レート，ノイズ・フィルタ，割り込み出力関連レジスタを設定する。

  LWBRn レジスタ = 00000000B

  LBRPn0 レジスタ = xxxxxxxxB 注1

  LBRPn1 レジスタ = xxxxxxxxB 注1

  LMDn レジスタ = 00xx0011B 注4

- 割り込み許可，エラー許可関連レジスタを設定する。

  LIEn レジスタ = 0000xxxxB 注2, 4

  LEDEn レジスタ = xx0xx00xb

- ブレーク・フィールド，スペース関連レジスタを設定する。

  LBFCn レジスタ = 0000000xB 注3

  LSCn レジスタ = 00xx0001B

- リセット解除する。

  LCUCn レジスタの OM1，OM0 ビットに 11B を書き込み，LMSTn レジスタの OMM1，OMM0 ビットが 11B になることを確認する。

- 送信フレーム関連レジスタを設定する。

  LDFCn レジスタ = 00x1xxxxB

  LIDBn レジスタ = xxxxxxxxB

  LDBn1～LDBn8 レジスタ = xxxxxxxxB

- ヘッダ受信→レスポンス送信開始

  LTRCn レジスタの FTS ビットを 1（ヘッダ受信／ウェイクアップ送受信開始）にする。

  （LTRCn レジスタの RTS ビットの操作なしで，ヘッダ受信，レスポンス送信の順で実行）

LIN スレーブ・セルフテスト・モード（送信）が実行され，割り込み発生，ステータス，エラー・ステータス更新も合わせて実行されます。チェックサムは LIN/UART モジュールが自動演算します。

LIN スレーブ・セルフテスト・モード（送信）実行中に処理を中断したい場合は，LCUCn レジスタの OM0 ビットに 0 を書き込み，LIN リセット・モードへ移行してください。

- 送信完了の場合，ループバックしたフレーム・データの反転値が LIDBn レジスタ，LDBnm レジスタ（m = 1-8），LCBRn レジスタに格納され（送信した値とループバックした値を比較するため，反転値として格納されます），LTRCn レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合，該当するエラー・フラグが設定され，LTRCn レジスタの FTS ビットがクリアされる。

注 1. 以下のレジスタ設定はLINセルフテスト・モードの動作には反映されません。そのため，設定は必須ではありません。
LBRPn0レジスタ，LBRPn1レジスタ

2. 必要に応じて，「第21章　割り込み機能」の関連レジスタを設定してください。

3. このレジスタの設定によって，9.5 Tbitsまたは10.5 Tbits幅のブレークを内部LTXDnより出力します。

4. ヘッダ受信完了割り込みとレスポンス送信完了割り込みを同じ割り込みで使用する場合，ヘッダ受信完了割り込みのソフトウェア処理がレスポンス送信完了割り込み発生までに完了しない場合は，LIEnレジスタのSHIEビットを1（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウェイクアップ送信完了フラグのセットまでに時間は，
10 ×（データ・バイト数＋1）[Tbit]
1 Tbit = LIN通信クロック源 ×16
かかります。

備考　x：任意

17.6.5　LIN スレーブ セルフテスト・モードにおける受信

LIN スレーブの受信に関するセルフテストを実行するには，次の手順を行ってください。

- ボー・レート，ノイズ・フィルタ，割り込み出力関連レジスタを設定する。
  LWBRn レジスタ = 00000000B
  LBRPn0 レジスタ = xxxxxxxxB 注1
  LBRPn1 レジスタ = xxxxxxxxB 注1
  LMDn レジスタ = 00xx0011B 注4
- 割り込み許可，エラー許可関連レジスタを設定する。
  LIEn レジスタ = 0000xxxxB 注2, 4
  LEDEn レジスタ = xx0xx00xB
- ブレーク・フィールド，スペース関連レジスタを設定する。
  LBFCn レジスタ = 0000000xB 注3
  LSCn レジスタ = 00xx0001B 注1
- リセット解除する。
  LCUCn レジスタの OM1，OM0 ビットに 11B を書き込み，LMSTn レジスタの OMM1，OMM0 ビットが 11B になることを確認する。
- 受信フレーム関連レジスタを設定する。
  LDFCn レジスタ = 00x0xxxxB
  LIDBn レジスタ = xxxxxxxxB
  LDBn1～LDBn8 レジスタ = xxxxxxxxB
  LCBRn レジスタ = xxxxxxxxB

チェックサムは自動演算されないため，演算値を設定します。このとき，誤ったチェックサム値を設定することによって，チェックサム・エラーをテストすることが可能です。

- ヘッダ受信→レスポンス受信開始

LTRCn レジスタの FTS ビットを 1（ヘッダ受信／ウェイクアップ送受信開始）にする。
（LTRC レジスタの RTS ビットの操作なしで，ヘッダ受信，レスポンス受信の順で実行）

LIN スレーブ・セルフテスト・モード（受信）が実行され，割り込み発生，ステータス，エラー・ステータス更新も合わせて実行されます。LIN スレーブ・セルフテスト・モード（受信）実行中に処理を中断したい場合は，LCUCn レジスタの OM0 ビットに 0 を書き込み，LIN リセット・モードへ移行してください。

- 受信完了の場合，ループバックしたフレーム・データの反転値が LIDBn レジスタ，LDBnm レジスタ（m = 1-8），LCBRn レジスタに格納され（設定した値とループバックした値を比較するため，反転値として格納されます），LTRCn レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合，該当するエラー・フラグが設定され，LTRCn レジスタの FTS ビットがクリアされる。

注 1. 以下のレジスタ設定はLINセルフテスト・モードの動作には反映されません。そのため，設定は必須ではありません。
LBRPn0レジスタ，LBRPn1レジスタ，LSCnレジスタのIBSビット

2. 必要に応じて，「第21章　割り込み機能」の関連レジスタを設定してください。

3. このレジスタの設定によって，9.5 Tbitsまたは10.5 Tbits幅のブレークを内部LTXDnより出力します。

4. ヘッダ受信完了割り込みとレスポンス受信完了割り込みを同じ割り込みで使用する場合，ヘッダ受信完了割り込みのソフトウェア処理がレスポンス受信完了割り込み発生までに完了しない場合は，LIEnレジスタのSHIEビットを1（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウェイクアップ受信完了フラグのセットまでに時間は，
10 ×（データ・バイト数 + 1）[Tbit]
1 Tbit = LIN通信クロック源 ×16
かかります。

備考　x：任意

17.6.6　LIN セルフテスト・モード終了

LIN セルフテスト・モードを終了するには，次の手順を行ってください。

- LCUCn レジスタの OM0 ビットに 0（LIN リセット・モード）を書く
  LMSTn レジスタの OMM1，OMM0 ビットが 11B でない場合は，LCUCn レジスタの OM1，OM0 ビットに 11B を書き，LMSTn レジスタ OMM1，OMM0 ビットが 11B になることを確認した後に LIN リセット・モードに移行してください。
- LIN セルフテスト・モードの解除を確認する
  LSTCn レジスタの LSTM ビットを読み，0（LIN セルフテストではない）を確認。
- LIN リセット・モードへの移行を確認する
  LMSTn レジスタの OMM0 ビットを読み，0（LIN リセット・モード）を確認。

17.7　ボー・レート・ジェネレータ

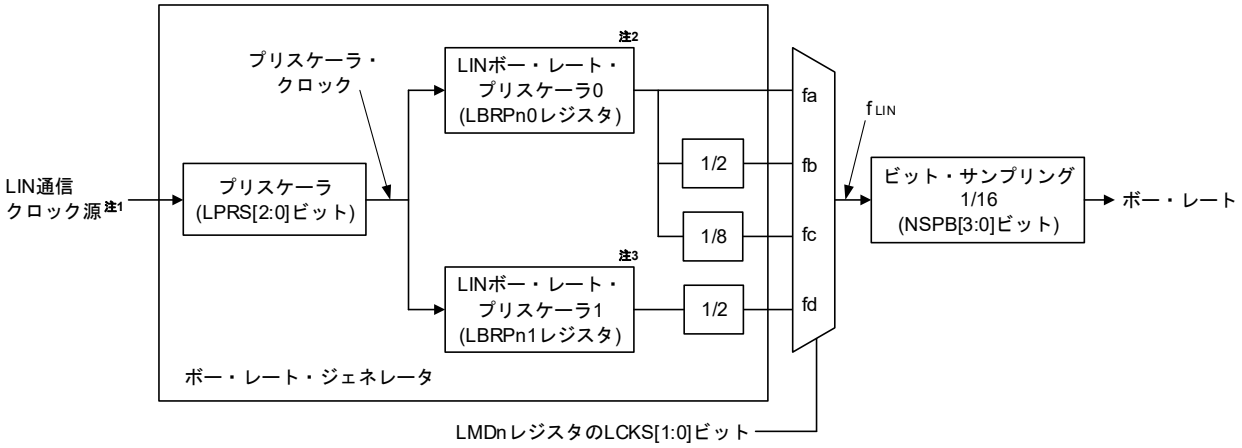
LIN 通信クロック源をプリスケーラで分周したクロックがプリスケーラ・クロックとなり，プリスケーラ・クロックをボー・レート・ジェネレータで分周したクロックが LIN システム・クロック（f_{LIN}）となり，これをサンプリング数で分周したクロックがボー・レートになります。このボー・レートの逆数をビット・タイム（Tbit）といいます。

LIN/UART モジュールは，2 種類のボー・レート・ジェネレータを持ち，モードにより使用するボー・レート・ジェネレータが切り替わります。

17.7.1　LIN マスタ・モード

図 17－41 に LIN マスタ・モード時のボー・レート生成ブロック図を示します。

図 17－41　LIN マスタ・モード ボー・レート生成ブロック図



注 1. LIN通信クロック源については「第5章　クロック発生回路」を参照してください。
2. LBRPn0レジスタにより，N＋1分周（N = 0～255）を設定します。
3. LBRPn1レジスタにより，M＋1分周（M = 0～255）を設定します。

LIN 通信クロック源は，以下の条件に設定してください。

- LIN 通信クロック源 = f_{CLK} 注
- 設定範囲：4 MHz～40 MHz

注　タイムアウト・エラー検出機能を使用しない場合，LIN 通信クロック源 = f_{MX} を選択可能です。その場合，CPU／周辺ハードウェア・クロック（f_{CLK}）は LIN 通信クロック源の 1.2 倍以上の周波数を使用してください。

fa が 307200 Hz（=19200×16）となるように LBRPn0 レジスタを設定すれば，fa = 19200×16，fb = 9600×16，fc = 2400×16 となり，ビット・タイミング生成部で 16 分周するため，19200 bps，9600 bps，2400 bps が生成できます。また，fd が 166672 Hz（= 10417×16）となるように LBRPn1 レジスタを設定すれば，fd = 10417×16 となり，ビット・タイミング生成部で 16 分周するため，10417 bps が生成できます。

表 17－26 に LIN 通信クロック源の周波数ごとのボー・レート（19200，10417，9600，2400 bps）生成例とその誤差を示します。

表 17－26　LIN マスタ・モード ボー・レート生成例（19200 bps，10417 bps，9600 bps，2400 bps）

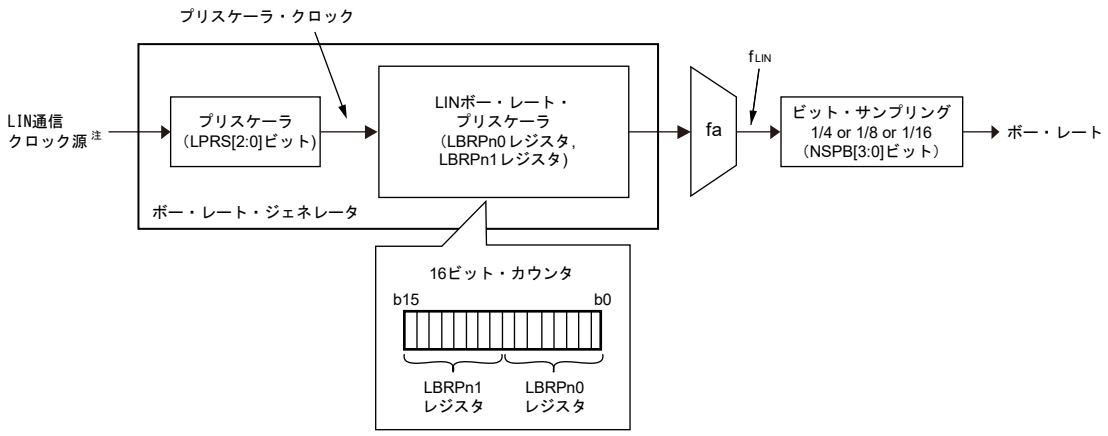
LIN 通信クロック源	プリスケーラ	ボー・レート・ジェネレータ 0（N＋1）分周	ボー・レート・ジェネレータ 1（M＋1）分周	LIN システム・クロック	ボー・レート	誤差
40 MHz	1/1	130	—	fa	19230.77	+0.16%
		—	120	fd	10416.67	−0.003%
		130	—	fb	9615.38	+0.16%
		130	—	fc	2403.85	+0.16%
32 MHz	1/1	104	—	fa	19230.77	+0.16%
		—	96	fd	10416.67	−0.003%
		104	—	fb	9615.38	+0.16%
		104	—	fc	2403.85	+0.16%
24 MHz	1/1	78	—	fa	19230.77	+0.16%
		—	72	fd	10416.67	−0.003%
		78	—	fb	9615.38	+0.16%
		78	—	fc	2403.85	+0.16%
16 MHz	1/1	52	—	fa	19230.77	+0.16%
		—	48	fd	10416.67	−0.003%
		52	—	fb	9615.38	+0.16%
		52	—	fc	2403.85	+0.16%
12 MHz	1/1	39	—	fa	19230.77	+0.16%
		—	36	fd	10416.67	−0.003%
		39	—	fb	9615.38	+0.16%
		39	—	fc	2403.85	+0.16%
8 MHz	1/1	26	—	fa	19230.77	+0.16%
		—	24	fd	10416.67	−0.003%
		26	—	fb	9615.38	+0.16%
		26	—	fc	2403.85	+0.16%

備考　ビット・サンプリング数は，16サンプリング（NSPB[3:0] = 0000Bまたは1111B）です。

17.7.2　LIN スレーブ・モード

図 17－42 に LIN スレーブ・モード時のボー・レート生成ブロック図を示します。

図 17－42　LIN スレーブ・モード ボー・レート生成ブロック図



注　LIN 通信クロック源については，「第 5 章　クロック発生回路」を参照してください。

LIN 通信クロック源は，以下の条件に設定してください。

- LIN 通信クロック源 = f_{CLK} 注
- 設定範囲：4 MHz～40 MHz

注　タイムアウト・エラー検出機能を使用しない場合，LIN 通信クロック源 = f_{MX} を選択可能です。その場合，CPU／周辺ハードウェア・クロック（f_{CLK}）は LIN 通信クロック源の 1.2 倍以上の周波数を使用してください。

LIN スレーブ・モード［オート・ボー・レート］では，ボー・レートは 1 kbps～20 kbps で動作可能です。ターゲットとなるボー・レートに応じて，プリスケーラ・クロックを下記となるように設定してください。

［ターゲットとなるボー・レート］	［プリスケーラ・クロック］
1 kbps～20 kbps	：4 MHz 注
1 kbps～2.4 kbps 未満	：4 MHz
2.4 kbps～20 kbps	：8 MHz～12 MHz

注　LWBRn レジスタの NSPB[3:0]ビットは 0011B（4 サンプリング）で使用してください。

表 17－27 に LIN スレーブ・モード［固定ボー・レート］での，LIN 通信クロック源の周波数ごとのボー・レート（19200，10417，9600，2400 bps）生成例とその誤差を示します。

表 17－27　LIN スレーブ・モード［固定ボー・レート］ボー・レート生成例

（19200 bps，10417 bps，9600 bps，2400 bps）

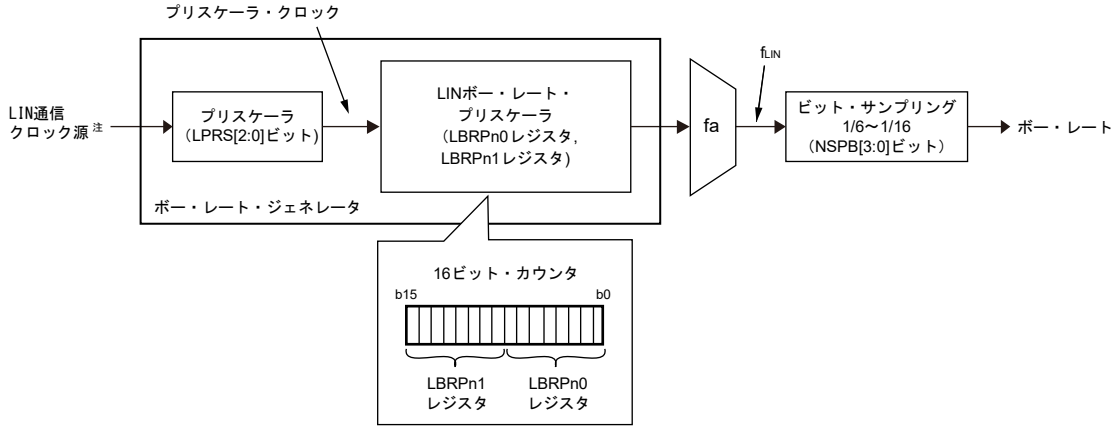
LIN 通信クロック源	プリスケーラ	ボー・レート・ジェネレータ 0-1（N＋1）分周	ボー・レート	誤差
40 MHz	1/1	130	19230.77	+0.16%
		240	10416.67	−0.003%
		260	9615.38	+0.16%
		1041	2401.54	+0.06%
32 MHz	1/1	104	19230.77	+0.16%
		192	10416.67	−0.003%
		208	9615.38	+0.16%
		833	2400.96	+0.04%
24 MHz	1/1	78	19230.77	+0.16%
		144	10416.67	−0.003%
		156	9615.38	+0.16%
		625	2400	0%
16 MHz	1/1	52	19230.77	+0.16%
		96	10416.67	−0.003%
		104	9615.38	+0.16%
		417	2398.08	−0.08%
12 MHz	1/1	39	19230.77	+0.16%
		72	10416.67	-0.003%
		78	9615.38	+0.16%
		313	2396.17	−0.16%
8 MHz	1/1	26	19230.77	+0.16%
		48	10416.67	−0.003%
		52	9615.38	+0.16%
		208	2403.85	+0.16%

備考　ビット・サンプリング数は16サンプリング（NSPB[3:0] = 0000Bまたは1111B）です。

17.7.3　UART モード

図 17－43 に UART モード時のボー・レート生成ブロック図を示します。

図 17－43　UART ボー・レート生成ブロック図



注　LIN 通信クロック源については，「第 5 章　クロック発生回路」を参照してください。

LIN 通信クロック源は，以下の条件に設定してください。

- LIN 通信クロック源 = f_{CLK} 注
- 設定範囲：4 MHz～40 MHz

注　LIN 通信クロック源 = f_{MX} を選択可能です。その場合，CPU／周辺ハードウェア・クロック（f_{CLK}）は LIN 通信クロック源の 1.2 倍以上の周波数を使用してください。

表 17－28　UART ボー・レート設定例（LIN 通信クロック源 = 40 MHz，32 MHz の場合）

LIN 通信クロック源	UART ボー・レート（目標ボー・レート）	プリスケーラ	ボー・レート・ジェネレータ 0-1 N＋1 分周	ボー・レート	誤差
40 MHz	1200 bps	1/2	1041	1200.77	+0.06%
	2400 bps	1/2	521	2399.23	−0.03%
	4800 bps	1/2	260	4807.69	+0.16%
	9600 bps	1/2	130	9615.38	+0.16%
	19200 bps	1/2	65	19230.77	+0.16%
	31250 bps	1/2	40	31250.00	0.00%
	38400 bps	1/1	65	38461.54	+0.16%
32 MHz	1200 bps	1/2	833	1200.48	+0.04%
	2400 bps	1/2	417	2398.08	−0.08%
	4800 bps	1/2	208	4807.69	+0.16%
	9600 bps	1/2	104	9615.38	+0.16%
	19200 bps	1/2	52	19230.77	+0.16%
	31250 bps	1/2	32	31250.00	0.00%
	38400 bps	1/2	26	38461.54	+0.16%

備考 1. ビット・サンプリング数が16サンプリング（NSPB[3:0] = 0000Bまたは1111B）の設定例です。

2. ボー・レートの計算式は以下のとおりです。

ボー・レート =（LIN通信クロック源（f_{CLK}またはf_{MX}：LINnMCKで設定）周波数）
× [LPRS[2:0] 選択クロック ÷ {LBRPn0 + (100H × LBRPn1) + 1}]
÷ NSPB[3:0] 選択数 [bps]

17.8　ノイズ・フィルタ

LIN/UART モジュールは，ノイズによるデータの誤受信を低減するためにノイズ・フィルタを持ちます。LMDn レジスタの LRDNFS ビットを 0（ノイズ・フィルタを使用する）にすることによりノイズ・フィルタが有効になります。ノイズ・フィルタは，同期化 LRXDn（n = 0, 1）のレベルをプリスケーラ・クロックでサンプリングし，サンプリング 3 回分の多数決の結果を出力します。受信データの各ビットの値はノイズ・フィルタ出力で決定されます。

図 17－44 にノイズ・フィルタの構成，図 17－45 にノイズ・フィルタ回路例，図 17－46 にノイズ・フィルタ使用時の受信データの決定を示します。

図 17－44　ノイズ・フィルタの構成

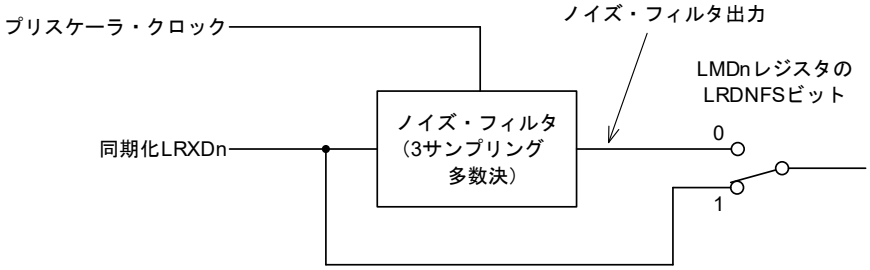
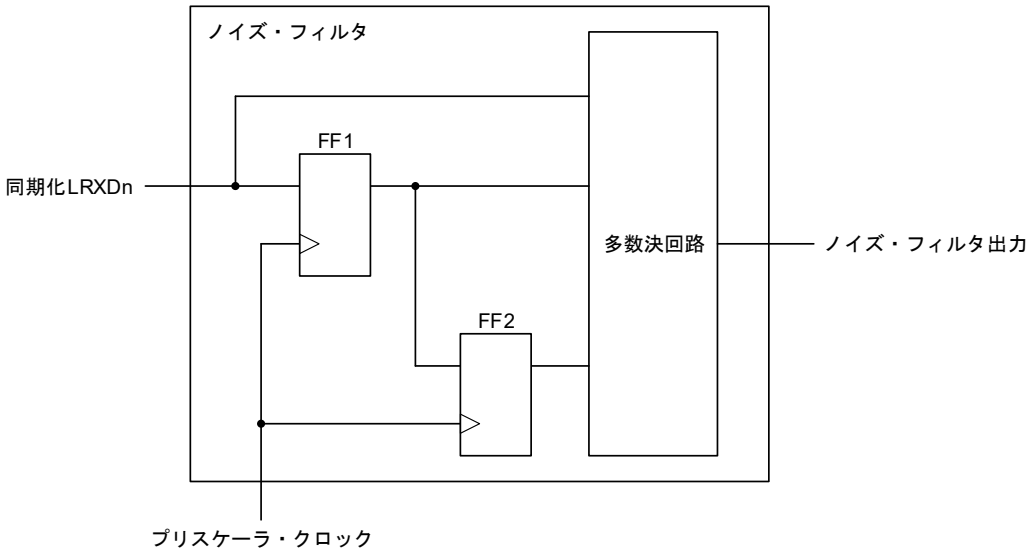
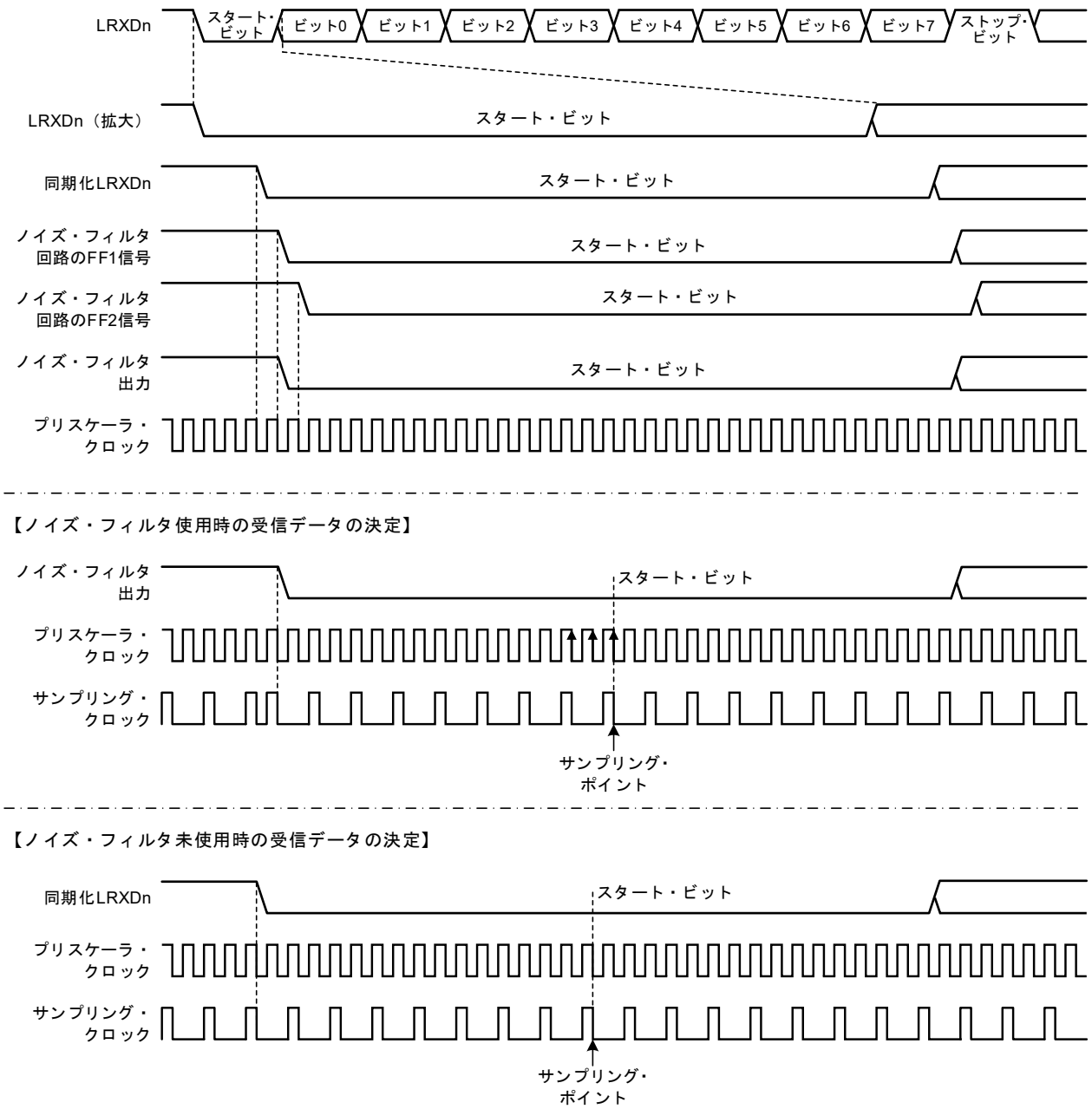


図 17－45　ノイズ・フィルタ回路例



★ 図 17－46　ノイズ・フィルタ使用時の受信データの決定



17.9 割り込み

LIN/UART モジュールは 4 種類の割り込み要求を生成します。

- LINn 送信割り込み
- LINn 受信完了割り込み
- LINn 受信ステータス割り込み
- LINn 割り込み

LMDn レジスタの LIOS ビットを 0 にすると，すべての割り込み要因の論理和をとって，LINn 割り込みから割り込み要求を出力します。

LMDn レジスタの LIOS ビットを 1 にすると，要因に応じて LINn 送信割り込み，LINn 受信完了割り込み，LINn 受信ステータス割り込みの要求を出力します。

表 17－29 に各割り込みの要因を示します。

表 17－29　割り込み要因

名称		LMDn レジスタの LIOS ビットが 0	LMDn レジスタの LIOS ビットが 1 注		
		LINn 割り込み	LINn 送信割り込み	LINn 受信完了割り込み	LINn 受信ステータス割り込み
LIN モード	LIN マスタ・モード	• フレーム送信完了 • フレーム受信完了 • ウェイクアップ送信完了 • ウェイクアップ受信完了 • ヘッダ送信完了 • ビット・エラー • フィジカル・バス・エラー • フレーム／レスポンス・タイムアウト・エラー • フレーミング・エラー • チェックサム・エラー • レスポンス準備エラー	• フレーム送信完了 • ウェイクアップ送信完了 • ヘッダ送信完了	• フレーム受信完了 • ウェイクアップ受信完了	• ビット・エラー • フィジカル・バス・エラー • フレーム／レスポンス・タイムアウト・エラー • フレーミング・エラー • チェックサム・エラー • レスポンス準備エラー
	LIN スレーブ・モード	• レスポンス送信完了 • レスポンス受信完了 • ウェイクアップ送信完了 • ウェイクアップ受信完了 • ヘッダ受信完了 • ビット・エラー • フレーム／レスポンス・タイムアウト・エラー • フレーミング・エラー • シンク・フィールド・エラー • チェックサム・エラー • ID パリティ・エラー • レスポンス準備エラー	• レスポンス送信完了 • ウェイクアップ送信完了	• レスポンス受信完了 • ウェイクアップ受信完了 • ヘッダ受信完了	• ビット・エラー • フレーム／レスポンス・タイムアウト・エラー • フレーミング・エラー • シンク・フィールド・エラー • チェックサム・エラー • ID パリティ・エラー • レスポンス準備エラー
UART モード		—	• 送信開始／送信完了	• 受信完了 • 拡張ビット不一致	• ビット・エラー • オーバラン・エラー • フレーミング・エラー • 拡張ビット検出 • ID 一致 • パリティ・エラー

注　LIOSビットの設定はLINモードで有効です。UARTモードではLIOSビットの設定は不要です。

それぞれの割り込み要求は，LIEn レジスタの対応するビットが 1（割り込み許可）のときに，LSTn レジスタの対応するフラグが 1 になると出力されます。

RL78/F23, F24 では，LINn 受信ステータス割り込みと LINn 割り込みは，同じ割り込みベクタに配置しています。

第18章　CANインタフェース（RS-CANFD lite）（RL78/F24のみ）

CAN モジュールのチャネル数は製品によって異なります。

製品	RL78/F23	RL78/F24
チャネル数	—	1

RS-CANFD lite モジュールは，必ず「$f_{MP}/2 = f_{CLK} \geqq f_{CAN}$」のクロック条件で使用してください。

備考　f_{MP}　：メイン／PLL 選択クロック周波数（最大 80 MHz）

f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

f_{CAN}　：CAN 通信クロック

18.1　概要

RL78/F24 は，ISO11898-1（2015）仕様に準拠した CANFD（Controller Area Network with Flexible Data Rate）モジュールを 1 チャネル内蔵しています。表 18－1 に CAN モジュールの仕様を，図 18－1 に CAN モジュールのブロック図を示します。

本章では次の変数を使用してチャネルやレジスタなどの数を表しています。

- i　[i = 0-15]　：CAN 受信ルール（AFL：アクセプタンス･フィルタ･リスト）レジスタ番号
- j　[j = 0, 1]　：PNF 受信ルール（PNF：プリテンディッド･ネットワーク･フィルタ･リスト）レジスタ番号
- k　[k = 0, 1]　：受信 FIFO バッファ番号
- m [m = 0-3]　：送信バッファ番号
- n　[n = 0-15]　：受信バッファ番号
- p　[p = 0-15]　：データ・フィールド・レジスタ番号
- r　[r = 0-63]　：CAN 用 RAM テスト・レジスタ（RPGACCr）番号

表 18－1　RS-CANFD lite モジュール仕様（1/2）

項目	仕様
チャネル数	1
プロトコル	ISO11898-1(2015) 準拠
通信速度	• Classical-CAN オンリ・モード 最大 1 Mbps $\text{通信速度 (CAN ビット・タイム・クロック)} = \frac{1}{\text{(CAN ビット・タイム)}}$ CAN ビット・タイム = CAN Tq×1 ビット分の Tq 数 $\text{CANTq} = \frac{\text{(C0NCFG.NBRP[9:0] + 1)}}{f_{CAN}}$ • CAN-FD モード，CAN-FD オンリ・モード データ・ビット・レート：最大 5 Mbps ノミナル・ビット・レート：最大 1 Mbps 注 注：f_{CAN} 最大値 = 40 MHz 送信レート（ノミナル・ビット）= 1 /（ノミナル・ビット・タイム） 送信レート（データ・ビット）= 1 /（データ・ビット・タイム） CAN ノミナル・ビット・タイム = CAN0Tq (N) × 1 ノミナル・ビット分の Tq 数 CAN データ・ビット・タイム = CAN0Tq (D) × 1 データ・ビット分の Tq 数 CAN Tq (N) = (C0NCFG.NBRP[9:0] + 1) / f_{CAN} CAN Tq (D) = (C0DCFG.DBRP[7:0] + 1) / f_{CAN} Tq：Time quantum f_{CAN}：CAN 通信クロック（GCFGL.DCS ビットで選択したクロック）。最大 40 MHz。
バッファ	合計 20 バッファ • 各チャネル専用バッファ　：4 バッファ 送信バッファ　：4 バッファ/チャネル • チャネル間共用バッファ　：16 バッファ 受信バッファ　：0～16 バッファ 受信 FIFO バッファ　：2×FIFO バッファ（最大 16 バッファ割り当て可能） 送受信 FIFO バッファ　：1×FIFO バッファ（最大 16 バッファ割り当て可能） • CAN RAM に ECC 機能あり
受信機能	• データ・フレームとリモート・フレームを受信可能 • ID フォーマット（標準 ID，拡張 ID，両方）を選択可能 • FIFO ごとに割り込み許可／禁止設定可能 • ミラー機能（自ノードから送信するメッセージを受信可能） • タイム・スタンプ機能（メッセージの受信タイムを 16 ビット・タイマ値で記録）
受信フィルタ機能	• 16 個の受信ルールにより受信メッセージを選別可能 • チャネルごとに 0～16 個の受信ルールを設定可能 • 受信ルールごとに ID，マスク設定可能 • 受信ルールごとに DLC フィルタ設定可能
受信メッセージ転送機能	• ルーティング機能 受信メッセージを任意のバッファへ転送可能（転送可能バッファ：2） 転送先：受信バッファ，受信 FIFO バッファ，送受信 FIFO バッファ • ラベル付加機能 受信バッファおよび FIFO バッファにメッセージを格納するときにラベル情報の付加可能
送信機能	• データ・フレームとリモート・フレームを送信可能 • ID フォーマット（標準 ID，拡張 ID，両方）を選択可能 • 送信バッファ，送受信 FIFO バッファごとに割り込み許可／禁止設定可能 • ID 優先送信または送信バッファ番号優先送信を選択可能 • 送信アボート機能（アボート完了を確認可能） • ワンショット送信機能
インターバル送信機能	• メッセージの送信間隔を設定可能（送受信 FIFO バッファ（送信モード））
送信履歴機能	• 送信完了したメッセージの履歴情報を格納可能

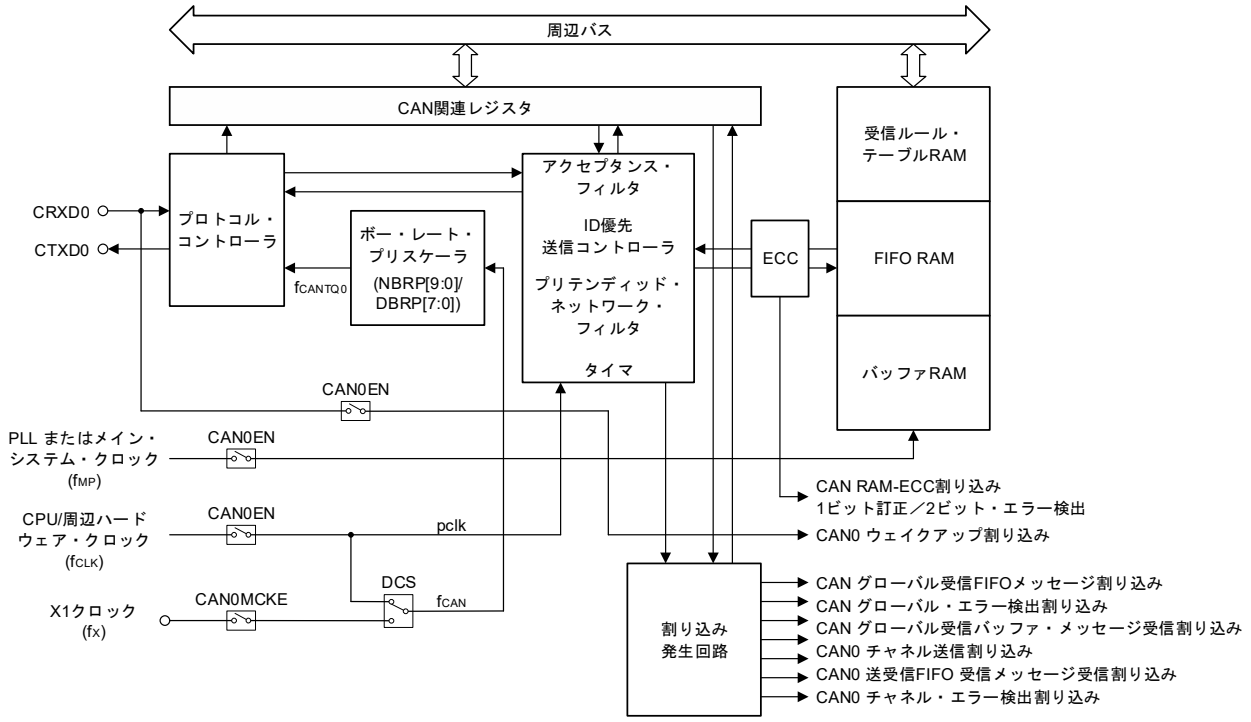
表 18－1　RS-CANFD lite モジュール仕様（2/2）

項目	仕様
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 • ISO11898-1 仕様準拠 • バスオフ開始でチャネル HALT モードに自動遷移 • バスオフ終了でチャネル HALT モードに自動遷移 • プログラムによるチャネル HALT モードへの遷移 • プログラムによるエラー・アクティブ状態への遷移（バスオフ強制復帰機能）
エラー状態の監視	• CAN プロトコル・エラー（スタッフ・エラー，フォーム・エラー，ACK エラー，CRC エラー，ビット・エラー，ACK デリミタ・エラー，バス・ドミナント・ロック）を監視 • エラー状態の遷移を検出（エラー・ワーニング，エラー・パッシブ，バスオフ開始，バスオフ復帰） • エラー・カウンタを読み出し可能 • DLC エラーを監視
割り込み要因	合計 8 要因 • グローバル（3 要因） - CAN グローバル受信 FIFO 割り込み - CAN グローバル・エラー割り込み - CAN グローバル受信バッファ割り込み • チャネル（3 要因／チャネル） - CANi 注2 チャネル送信割り込み （CANi 送信完了割り込み，CANi 送信アボート割り込み，CANi 送受信 FIFO 送信完了割り込み，CANi 送信履歴割り込み） - CANi 送受信 FIFO 受信割り込み - CANi チャネル・エラー割り込み • その他（2 要因） - CANi ウェイクアップ割り込み - CAN RAM-ECC 割り込み
CAN ストップ・モード	CAN モジュールに供給するクロックを停止することで消費電流を低減可能
CAN クロック源 注1	周辺ハードウェア・クロック（f_{CLK}）か X1 クロック（f_X）から選択可能
テスト機能	ユーザ評価用テスト機能 • 標準テスト・モード • リッスン・オンリ・モード • セルフ・テスト・モード 0（外部ループバック） • セルフ・テスト・モード 1（内部ループバック） • チャネル制限動作モード • RAM テスト（読み書きテスト） • ビット・フリップ・テスト（CRC エラー・テスト可能）

注 1. 高速オンチップ・オシレータ・クロック（f_{IH}）を CAN クロック源として選択しないでください。

2. ここでの添え字の i は，CAN のチャネル番号（RL78/F24 の場合は，i = 0）を示します。

図 18－1　CAN モジュール・ブロック図



備考　NBRP[9:0]　：C0NCFG レジスタのビット（ノミナル・プリスケーラ分周比設定ビット）

DBRP[7:0]　：C0DCFG レジスタのビット（データ・ビット・プリスケーラ分周比設定ビット）

DCS　：GCFG レジスタのビット（DLC クロック源選択ビット）

f_{CANTQ0}　：CAN0 Tq クロック

f_{CAN}　：CAN 通信クロック

CAN0EN　：PER2 レジスタのビット（「第 5 章　クロック発生回路」を参照）

CAN0MCKE　：CANCKSEL レジスタのビット（「第 5 章　クロック発生回路」を参照）

注意　周波数の関係は，$f_{MP}/2 = f_{CLK} \geqq f_{CAN}$ に設定する必要があります。

例：f_{MP} = 80 MHz，f_{CLK} = 40 MHz，X1 = 20 MHz

18.2　入出力端子

表 18－2 に CAN モジュールの入出力端子を示します。

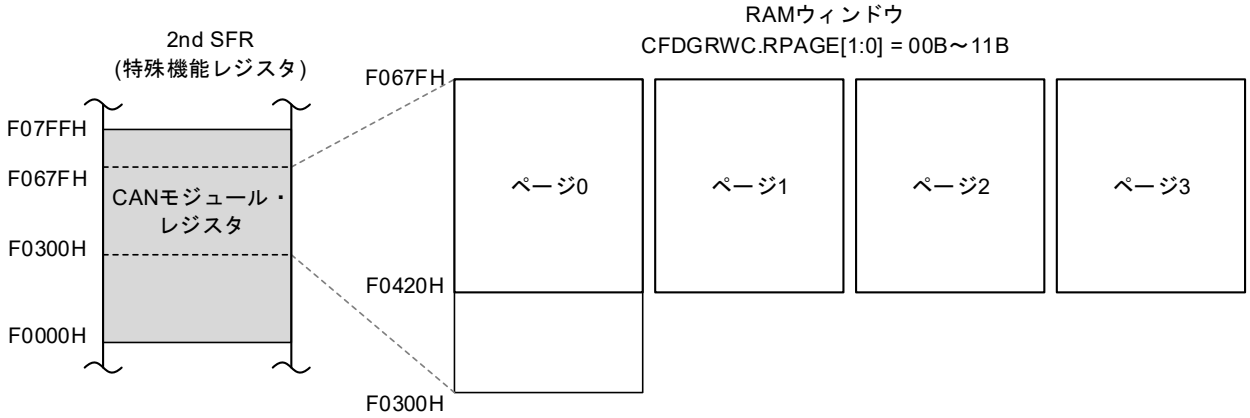
表 18－2　CAN モジュールの入出力端子

端子名	入出力	説明
CRXD0	入力	CAN 通信機能の受信データ入力端子
CTXD0	出力	CAN 通信機能の送信データ出力端子

18.3　レジスタの説明

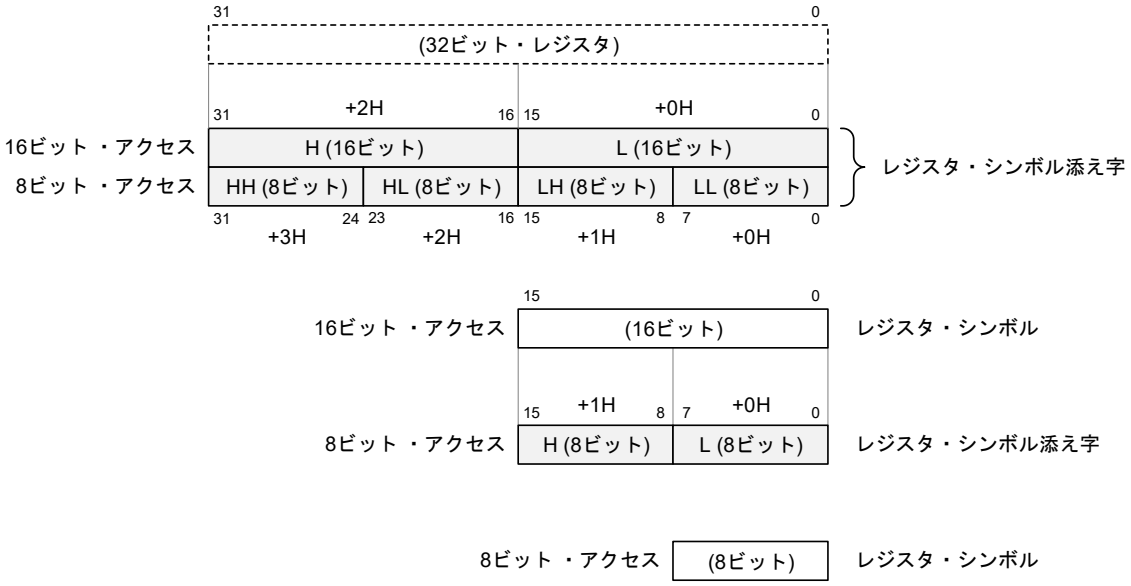
RS-CANFD lite モジュールのレジスタは，2nd SFR 領域にあります。アドレス F0420H から F067FH までの領域は，CFDGRWC レジスタの設定により，ページ 0 からページ 3 に切り替わります。

図 18－2　RS-CANFD lite モジュール・レジスタ・アドレス・マップ



RS-CANFD lite モジュールには 32 ビット長のレジスタがあります。CPU から 32 ビット長レジスタにアクセスする場合は 16 ビット長レジスタ（レジスタ H，レジスタ L）または 8 ビット長レジスタ（レジスタ HH / HL，レジスタ LH / LL）としてアクセスしてください。

図 18－3　レジスタ配置とアドレス



CAN RAM 領域（F0420H～F067FH）に配置されたレジスタのリセット後の値は，CAN RAM が初期化された後の値です。CAN RAM 領域の初期化については，「18.15.2　リセット後の CAN モジュール初期設定」を参照してください。

また，RAM 領域においては，8 ビットまたは 16 ビット幅の書き込みアクセスが実行されると，RS-CANFD lite モジュールは，RAM に対してリード・モディファイ・ライト・アクセスを実行します。

単一ビット・エラーが発生した場合，正しいデータが書き戻されます。
複数ビット・エラーが発生した場合，不明なデータが書き戻されます。

ECC の詳細については，「28.3.4　CAN RAM-ECC 機能」を参照してください。

レジスタが割り当てられていない領域へのアクセスは禁止です。
レジスタが割り当てられていない領域から読み出されたデータは不定です。
次ページ以降の表 18－3～表 18－7 に，CAN モジュールのレジスター覧を示します。

表 18－3　CAN モジュール・レジスター覧（1/3）

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後注
F02C1H	周辺イネーブル・レジスタ 2	PER2		R/W	1, 8	00H
F02C2H	CAN クロック選択レジスタ	CANCKSEL		R/W	1, 8	00H
F0300H	CAN0 ノミナル・ビット・コンフィグレーション・レジスタ L	C0NCFGLL	C0NCFGL	R/W	8, 16	0000H
F0301H		C0NCFGLH				
F0302H	CAN0 ノミナル・ビット・コンフィグレーション・レジスタ H	C0NCFGHL	C0NCFGH	R/W	8, 16	0000H
F0303H		C0NCFGHH				
F0304H	CAN0 制御レジスタ L	C0CTRLL	C0CTRL	R/W	8, 16	0005H
F0305H		C0CTRLH				
F0306H	CAN0 制御レジスタ H	C0CTRHL	C0CTRH	R/W	8, 16	0000H
F0307H		C0CTRHH				
F0308H	CAN0 ステータス・レジスタ L	C0STSLL	C0STSL	R/W	8, 16	0005H
F0309H		C0STSLH				
F030AH	CAN0 ステータス・レジスタ H	C0STSHL	C0STSH	R/W	8, 16	0000H
F030BH		C0STSHH				
F030CH	CAN0 エラー・フラグ・レジスタ L	C0ERFLLL	C0ERFLL	R/W	8, 16	0000H
F030DH		C0ERFLLH				
F030EH	CAN0 エラー・フラグ・レジスタ H	C0ERFLHL	C0ERFLH	R	8, 16	0000H
F030FH		C0ERFLHH				
F0310H	CAN バージョン・レジスタ L	GIPVLL	GIPVL	R	8, 16	8143H
F0311H		GIPVLH				
F0312H	CAN バージョン・レジスタ H	GIPVHL	GIPVH	R	8, 16	3C8BH
F0313H		GIPVHH				
F0314H	CAN コンフィグレーション・レジスタ L	GCFGLL	GCFGL	R/W	8, 16	0000H
F0315H		GCFGLH				
F0316H	CAN コンフィグレーション・レジスタ H	GCFGHL	GCFGH	R/W	8, 16	0000H
F0317H		GCFGHH				
F0318H	CAN 制御レジスタ L	GCTRLL	GCTRL	R/W	8, 16	0000H
F0319H		GCTRLH				
F031AH	CAN 制御レジスタ H	GCTRHL	GCTRH	R/W	8, 16	0000H
F031BH		—				
F031CH	CAN ステータス・レジスタ	GSTSL	GSTS	R	8, 16	000DH
F031DH		—				
F0320H	CAN エラー・フラグ・レジスタ L	GERFLLL	GERFLL	R/W	8, 16	0000H
F0321H		—				
F0322H	CAN エラー・フラグ・レジスタ H	GERFLHL	GERFLH	R/W	8, 16	0000H
F0323H		—				
F0324H	CAN タイム・スタンプ・レジスタ	GTSC		R	16	0000H
F0328H	CAN 受信ルール登録制御レジスタ	—	GAFLECTR	R/W	8, 16	0000H
F0329H		GAFLECTRH				
F032EH	CAN 受信ルール・コンフィグレーション・レジスタ	GAFLCFGL	GAFLCFG	R/W	8, 16	0000H
F032FH		—				
F0330H	CAN 受信バッファ数設定レジスタ	RMNBL	RMNB	R/W	8, 16	0000H
F0331H		RMNBH				
F0334H	CAN 受信バッファ受信完了フラグ・レジスタ	RMNDL	RMND	R/W	8, 16	0000H
F0335H		RMNDH				
F0338H	CAN 受信バッファ割り込み許可レジスタ	RMIECL	RMIEC	R/W	8, 16	0000H
F0339H		RMIECH				

注　PER2 レジスタの CAN0EN ビットが 0 の場合，読み出し値は不定です。CAN0EN ビットが 1 の場合，F0300H から F0413H までのアドレスからの読み出し値は上記の初期値です。

表 18－3　CAN モジュール・レジスター覧（2/3）

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後注
F033CH + (4 × k)	CAN 受信 FIFO 制御レジスタ k [k = 0, 1]	RFCCkL	RFCCk	R/W	8, 16	0000H
		RFCCkH				
F0344H + (4 × k)	CAN 受信 FIFO ステータス・レジスタ k [k = 0, 1]	RFSTSkL	RFSTSk	R/W	8, 16	0000H
		RFSTSkH				
F034CH + (4 × k)	CAN 受信 FIFO ポインタ制御レジスタ k [k = 0, 1]	RFPCTRkL	RFPCTRk	W	8, 16	0000H
		—				
F0354H	CAN 送受信 FIFO 制御レジスタ L	CFCCLL	CFCCL	R/W	8, 16	0000H
F0355H		CFCCLH				
F0356H	CAN 送受信 FIFO 制御レジスタ H	CFCCHL	CFCCH	R/W	8, 16	0000H
F0357H		CFCCHH				
F0358H	CAN 送受信 FIFO ステータス・レジスタ	CFSTSL	CFSTS	R/W	8, 16	0000H
F0359H		CFSTSH				
F035CH	CAN 送受信 FIFO ポインタ制御レジスタ	CFPCTRL	CFPCTR	W	8, 16	0000H
F035DH		—				
F0360H	CAN FIFO バッファ・エンプティ・ステータス・レジスタ	FESTSL	FESTS	R	8, 16	0103H
F0361H		FESTSH				
F0364H	CAN FIFO バッファ・フル・ステータス・レジスタ	FFSTSL	FFSTS	R	8, 16	0000H
F0365H		FFSTSH				
F0368H	CAN FIFO バッファ・メッセージ・ロスト・ステータス・レジスタ	FMSTSL	FMSTS	R	8, 16	0000H
F0369H		FMSTSH				
F036CH	CAN 受信 FIFO 割り込みフラグ・ステータス・レジスタ	RFISTSL	RFISTS	R	8, 16	0000H
F036DH		—				
F0370H + m	CAN0 送信バッファ制御レジスタ m [m = 0-3]	TMCm		R/W	8	00H
F0374H + m	CAN0 送信バッファ・ステータス・レジスタ m [m = 0-3]	TMSTSm		R/W	8	00H
F0378H	CAN0 送信バッファ送信要求ステータス・レジスタ	TMTRSTSL	TMTRSTS	R	8, 16	0000H
F0379H		—				
F037CH	CAN0 送信バッファ・アボート要求ステータス・レジスタ	TMTARSTSL	TMTARSTS	R	8, 16	0000H
F037DH		—				
F0380H	CAN0 送信バッファ送信完了ステータス・レジスタ	TMTCSTSL	TMTCSTS	R	8, 16	0000H
F0381H		—				
F0384H	CAN0 送信バッファ・アボート・ステータス・レジスタ	TMTASTSL	TMTASTS	R	8, 16	0000H
F0385H		—				
F0388H	CAN0 送信バッファ割り込み許可レジスタ	TMIECL	TMIEC	R/W	8, 16	0000H
F0389H		—				
F0398H	CAN0 送信履歴制御レジスタ	THLCCL	THLCC	R/W	8, 16	0000H
F0399H		THLCCH				
F039CH	CAN0 送信履歴ステータス・レジスタ	THLSTSL	THLSTS	R/W	8, 16	0001H
F039DH		THLSTSH				
F03A0H	CAN0 送信履歴ポインタ制御レジスタ	THLPCTRL	THLPCTR	W	8, 16	0000H
F03A1H		—				
F03A4H	CAN 送信割り込みステータス・レジスタ	GTINTSTSL	GTINTSTS	R	8, 16	0000H
F03A5H		—				
F03AAH	CAN テスト・コンフィグレーション・レジスタ	GTSTCFGL	GTSTCFG	R/W	8, 16	0000H
F03ABH		—				
F03ACH	CAN テスト制御レジスタ	GTSTCTRL	GTSTCTR	R/W	8, 16	0000H
F03ADH		—				

注　PER2 レジスタの CAN0EN ビットが 0 の場合，読み出し値は不定です。CAN0EN ビットが 1 の場合，F0300H から F0413H までのアドレスからの読み出し値は上記の初期値です。

表 18－3　CAN モジュール・レジスター覧（3/3）

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後注
F03B0H	CAN-FD コンフィグレーション・レジスタ	GFDCFGL	GFDCFG	R/W	8, 16	0000H
F03B1H		GFDCFGH				
F03B8H	CAN テスト・プロテクト解除レジスタ	GLOCKK		W	16	0000H
F03C0H	CAN 無効ルール設定レジスタ	GAFLIGNENTL	GAFLIGNENT	R/W	8, 16	0000H
F03C1H		—				
F03C4H	CAN 無効ルール制御レジスタ	GAFLIGNCTR		R/W	16	0000H
F03D0H	CAN PNF 受信ルール登録制御レジスタ	—	GPFLECTR	R/W	8, 16	0000H
F03D1H		GPFLECTRH				
F03D6H	CAN PNF 受信ルール・コンフィグレーション・レジスタ	—	GPFLCFG	R/W	8, 16	0000H
F03D7H		GPFLCFGH				
F03D8H	CAN リセット制御レジスタ	GRSTC		R/W	16	0000H
F03DCH	CAN アクセス・ウィンドウ制御レジスタ	CFDGRWC		R/W	16	0000H
F0400H	CAN0 データ・ビット・コンフィグレーション・レジスタ L	C0DCFGLL	C0DCFGL	R/W	8, 16	0000H
F0401H		C0DCFGLH				
F0402H	CAN0 データ・ビット・コンフィグレーション・レジスタ H	C0DCFGHL	C0DCFGH	R/W	8, 16	0000H
F0403H		C0DCFGHH				
F0404H	CAN0 CAN-FD コンフィグレーション・レジスタ L	C0FDCFGLL	C0FDCFGL	R/W	8, 16	0000H
F0405H		C0FDCFGLH				
F0406H	CAN0 CAN-FD コンフィグレーション・レジスタ H	C0FDCFGHL	C0FDCFGH	R/W	8, 16	0000H
F0407H		C0FDCFGHH				
F0408H	CAN0 CAN-FD 制御レジスタ L	C0FDCTRLL	C0FDCTRL	R/W	8, 16	0000H
F0409H		—				
F040AH	CAN0 CAN-FD 制御レジスタ H	C0FDCTRH		W	16	0000H
F040CH	CAN0 CAN-FD ステータス・レジスタ L	C0FDSTSLL	C0FDSTSL	R/W	8, 16	0000H
F040DH		C0FDSTSLH				
F040EH	CAN0 CAN-FD ステータス・レジスタ H	C0FDSTSHL	C0FDSTSH	R	8, 16	0000H
F040FH		C0FDSTSHH				
F0410H	CAN0 CAN-FD CRC データ・レジスタ L	C0FDCRCL		R	16	0000H
F0412H	CAN0 CAN-FD CRC データ・レジスタ H	C0FDCRCH		R	16	0000H

注　PER2 レジスタの CAN0EN ビットが 0 の場合，読み出し値は不定です。CAN0EN ビットが 1 の場合，F0300H から F0413H までのアドレスからの読み出し値は上記の初期値です。

表 18－4　CAN モジュール・レジスター覧／ページ 0 注1, 2（1/2）

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後
F0420H + (10H × i)	CAN 受信ルール ID レジスタ iL [i = 0-15]	GAFLIDiLL GAFLIDiLH	GAFLIDiL	R/W	8, 16	0000H
F0422H + (10H × i)	CAN 受信ルール ID レジスタ iH [i = 0-15]	GAFLIDiHL GAFLIDiHH	GAFLIDiH	R/W	8, 16	0000H
F0424H + (10H × i)	CAN 受信ルール・マスク・レジスタ iL [i = 0-15]	GAFLMiLL GAFLMiLH	GAFLMiL	R/W	8, 16	0000H
F0426H + (10H × i)	CAN 受信ルール・マスク・レジスタ iH [i = 0-15]	GAFLMiHL GAFLMiHH	GAFLMiH	R/W	8, 16	0000H
F0428H + (10H × i)	CAN 受信ルール・ポインタ 0・レジスタ iL [i = 0-15]	GAFLP0iLL GAFLP0iLH	GAFLP0iL	R/W	8, 16	0000H
F042AH + (10H × i)	CAN 受信ルール・ポインタ 0・レジスタ iH [i = 0-15]	GAFLP0iHL GAFLP0iHH	GAFLP0iH	R/W	8, 16	0000H
F042CH + (10H × i)	CAN 受信ルール・ポインタ 1・レジスタ iL [i = 0-15]	GAFLP1iLL GAFLP1iLH	GAFLP1iL	R/W	8, 16	0000H
F0520H + (24H × j)	PNF 受信ルール ID レジスタ jL [j = 0, 1]	GPFLIDjLL GPFLIDjLH	GPFLIDjL	R/W	8, 16	0000H
F0522H + (24H × j)	PNF 受信ルール ID レジスタ jH [j = 0, 1]	GPFLIDjHL GPFLIDjHH	GPFLIDjH	R/W	8, 16	0000H
F0524H + (24H × j)	PNF 受信ルール・マスク・レジスタ jL [j = 0, 1]	GPFLMjLL GPFLMjLH	GPFLMjL	R/W	8, 16	0000H
F0526H + (24H × j)	PNF 受信ルール・マスク・レジスタ jH [j = 0, 1]	GPFLMjHL GPFLMjHH	GPFLMjH	R/W	8, 16	0000H
F0528H + (24H × j)	PNF 受信ルール・ポインタ 0・レジスタ jL [j = 0, 1]	GPFLP0jLL GPFLP0jLH	GPFLP0jL	R/W	8, 16	0000H
F052AH + (24H × j)	PNF 受信ルール・ポインタ 0・レジスタ jH [j = 0, 1]	GPFLP0jHL GPFLP0jHH	GPFLP0jH	R/W	8, 16	0000H
F052CH + (24H × j)	PNF 受信ルール・ポインタ 1・レジスタ jL [j = 0, 1]	GPFLP1jLL GPFLP1jLH	GPFLP1jL	R/W	8, 16	0000H
F0530H + (24H × j)	PNF 受信ルール・ペイロード・タイプ・レジスタ jL [j = 0, 1]	GPFLPTjLL GPFLPTjLH	GPFLPTjL	R/W	8, 16	0000H
F0532H + (24H × j)	PNF 受信ルール・ペイロード・タイプ・レジスタ jH [j = 0, 1]	GPFLPTjHL GPFLPTjHH	GPFLPTjH	R/W	8, 16	0000H
F0534H + (24H × j)	PNF 受信ルール・ペイロード・データ 0・レジスタ jL [j = 0, 1]	GPFLPD0jLL GPFLPD0jLH	GPFLPD0jL	R/W	8, 16	0000H
F0536H + (24H × j)	PNF 受信ルール・ペイロード・データ 0・レジスタ jH [j = 0, 1]	GPFLPD0jHL GPFLPD0jHH	GPFLPD0jH	R/W	8, 16	0000H

（注は次のページにあります。）

表 18－4　CAN モジュール・レジスター覧／ページ 0 注 1, 2（2/2）

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後
F0538H + (24H × j)	PNF 受信ルール・ペイロード・マスク 0・レジスタ jL [j = 0, 1]	GPFLPM0jLL GPFLPM0jLH	GPFLPM0jL	R/W	8, 16	0000H
F053AH + (24H × j)	PNF 受信ルール・ペイロード・マスク 0・レジスタ jH [j = 0, 1]	GPFLPM0jHL GPFLPM0jHH	GPFLPM0jH	R/W	8, 16	0000H
F053CH + (24H × j)	PNF 受信ルール・ペイロード・データ 1・レジスタ jL [j = 0, 1]	GPFLPD1jLL GPFLPD1jLH	GPFLPD1jL	R/W	8, 16	0000H
F053EH + (24H × j)	PNF 受信ルール・ペイロード・データ 1・レジスタ jH [j = 0, 1]	GPFLPD1jHL GPFLPD1jHH	GPFLPD1jH	R/W	8, 16	0000H
F0540H + (24H × j)	PNF 受信ルール・ペイロード・マスク 1・レジスタ jL [j = 0, 1]	GPFLPM1jLL GPFLPM1jLH	GPFLPM1jL	R/W	8, 16	0000H
F0542H + (24H × j)	PNF 受信ルール・ペイロード・マスク 1・レジスタ jH [j = 0, 1]	GPFLPM1jHL GPFLPM1jHH	GPFLPM1jH	R/W	8, 16	0000H
F0580H + (4 × r)	CAN 用 RAM テスト・レジスタ rL [r = 0-63]	RPGACCrLL RPGACCrLH	RPGACCrL	R/W	8, 16	0000H
F0582H + (4 × r)	CAN 用 RAM テスト・レジスタ rH [r = 0-63]	RPGACCrHL RPGACCrHH	RPGACCrH	R/W	8, 16	0000H

注 1. CFDGRWC.RPAGE[1:0] ビットに 00B を設定してください。

2. PER2 レジスタの CAN0EN ビットが 0，または，CAN RAM の初期化が実行されていない場合，読み出し値は不定です。CAN0EN ビットが 1，かつ，CAN RAM 領域の初期化が完了した場合，読み出し値は上記の初期値になります。

表 18－5　CAN モジュール・レジスター覧／ページ 1 注1, 2 (1/2)

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後
F0420H + (4CH × k)	CAN 受信 FIFO アクセス ID レジスタ kL [k = 0, 1]	RFIDkLL	RFIDkL	R	8, 16	0000H
		RFIDkLH				
F0422H + (4CH × k)	CAN 受信 FIFO アクセス ID レジスタ kH [k = 0, 1]	RFIDkHL	RFIDkH	R	8, 16	0000H
		RFIDkHH				
F0424H + (4CH × k)	CAN 受信 FIFO アクセス・ポインタ・レジスタ kL [k = 0, 1]	RFPTRkLL	RFPTRkL	R	8, 16	0000H
		RFPTRkLH				
F0426H + (4CH × k)	CAN 受信 FIFO アクセス・ポインタ・レジスタ kH [k = 0, 1]	—	RFPTRkH	R	8, 16	0000H
		RFPTRkHH				
F0428H + (4CH × k)	CAN 受信 FIFO アクセス CAN-FD ステータス・レジスタ kL [k = 0, 1]	RFFDSTSkLL	RFFDSTSkL	R	8, 16	0000H
		RFFDSTSkLH				
F042AH + (4CH × k)	CAN 受信 FIFO アクセス CAN-FD ステータス・レジスタ kH [k = 0, 1]	RFFDSTSkHL	RFFDSTSkH	R	8, 16	0000H
		RFFDSTSkHH				
F042CH + (4CH × k) + (4 × p)	CAN 受信 FIFO アクセス・データ・フィールド p・レジスタ kL [k = 0, 1, p = 0-15]	RFDFk_pLL	RFDFk_pL	R	8, 16	0000H
		RFDFk_pLH				
F042EH + (4CH × k) + (4 × p)	CAN 受信 FIFO アクセス・データ・フィールド p・レジスタ kH [k = 0, 1, p = 0-15]	RFDFk_pHL	RFDFk_pH	R	8, 16	0000H
		RFDFk_pHH				
F04B8H	CAN 送受信 FIFO アクセス ID レジスタ L	CFIDLL	CFIDL	R/W	8, 16	0000H
F04B9H		CFIDLH				
F04BAH	CAN 送受信 FIFO アクセス ID レジスタ H	CFIDHL	CFIDH	R/W	8, 16	0000H
F04BBH		CFIDHH				
F04BCH	CAN 送受信 FIFO アクセス・ポインタ・レジスタ L	CFPTRLL	CFPTRL	R/W	8, 16	0000H
F04BDH		CFPTRLH				
F04BEH	CAN 送受信 FIFO アクセス・ポインタ・レジスタ H	—	CFPTRH	R/W	8, 16	0000H
F04BFH		CFPTRHH				
F04C0H	CAN 送受信 FIFO アクセス CAN-FD 制御／ステータス・レジスタ L	CFFDCSTSLL	CFFDCSTSL	R/W	8, 16	0000H
F04C1H		CFFDCSTSLH				
F04C2H	CAN 送受信 FIFO アクセス CAN-FD 制御／ステータス・レジスタ H	CFFDCSTSHL	CFFDCSTSH	R/W	8, 16	0000H
F04C3H		CFFDCSTSHH				
F04C4H + (4 × p)	CAN 送受信 FIFO アクセス・データ・フィールド p・レジスタ L [p = 0-15]	CFDFpLL	CFDFpL	R/W	8, 16	0000H
		CFDFpLH				
F04C6H + (4 × p)	CAN 送受信 FIFO アクセス・データ・フィールド p・レジスタ H [p = 0-15]	CFDFpHL	CFDFpH	R/W	8, 16	0000H
		CFDFpHH				
F0504H + (4CH × m)	CAN0 送信バッファ ID レジスタ mL [m = 0-3]	TMIDmLL	TMIDmL	R/W	8, 16	0000H
		TMIDmLH				
F0506H + (4CH × m)	CAN0 送信バッファ ID レジスタ mH [m = 0-3]	TMIDmHL	TMIDmH	R/W	8, 16	0000H
		TMIDmHH				

（注は次のページにあります。）

表 18－5　CAN モジュール・レジスター覧／ページ 1 注 1, 2（2/2）

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後
F050AH + (4CH × m)	CAN0 送信バッファ・ポインタ・レジスタ mH [m = 0-3]	—	TMPTRmH	R/W	8, 16	0000H
		TMPTRmHH				
F050CH + (4CH × m)	CAN0 送信バッファ CAN-FD 制御レジスタ mL [m = 0-3]	TMFDCTRmLL	TMFDCTRmL	R/W	8, 16	0000H
		TMFDCTRmLH				
F050EH + (4CH × m)	CAN0 送信バッファ CAN-FD 制御レジスタ mH [m = 0-3]	TMFDCTRmHL	TMFDCTRmH	R/W	8, 16	0000H
		TMFDCTRmHH				
F0510H + (4CH × m) + (4 × p)	CAN0 送信バッファ・データ・フィールド p・レジスタ mL [m = 0-3, p = 0-15]	TMDFm_pLL	TMDFm_pL	R/W	8, 16	0000H
		TMDFm_pLH				
F0512H + (4CH × m) + (4 × p)	CAN0 送信バッファ・データ・フィールド p・レジスタ mH [m = 0-3, p = 0-15]	TMDFm_pHL	TMDFm_pH	R/W	8, 16	0000H
		TMDFm_pHH				
F0640H	CAN0 送信履歴アクセス・レジスタ 0L	THLACC0LL	THLACC0L	R	8, 16	0000H
F0641H		—				
F0642H	CAN0 送信履歴アクセス・レジスタ 0H	THLACC0HL	THLACC0H	R	8, 16	0000H
F0643H		THLACC0HH				
F0644H	CAN0 送信履歴アクセス・レジスタ 1L	THLACC1LL	THLACC1L	R	8, 16	0000H
F0645H		THLACC1LH				
F0646H	CAN0 送信履歴アクセス・レジスタ 1H	THLACC1HL	THLACC1H	R	8, 16	0000H
F0647H		—				

注 1. CFDGRWC.RPAGE[1:0] ビットに 01B を設定してください。

2. PER2 レジスタの CAN0EN ビットが 0，または，CAN RAM の初期化が実行されていない場合，読み出し値は不定です。CAN0EN ビットが 1，かつ，CAN RAM 領域の初期化が完了した場合，読み出し値は上記の初期値になります

表 18－6　CAN モジュール・レジスター覧／ページ 2 注 1, 2

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後
F0420H + (4CH × n)	CAN 受信バッファ ID レジスタ nL [n = 0-7]	RMIDnLL RMIDnLH	RMIDnL	R	8, 16	0000H
F0422H + (4CH × n)	CAN 受信バッファ ID レジスタ nH [n = 0-7]	RMIDnHL RMIDnHH	RMIDnH	R	8, 16	0000H
F0424H + (4CH × n)	CAN 受信バッファ・ポインタ・レジスタ nL [n = 0-7]	RMPTRnLL RMPTRnLH	RMPTRnL	R	8, 16	0000H
F0426H + (4CH × n)	CAN 受信バッファ・ポインタ・レジスタ nH [n = 0-7]	— RMPTRnHH	RMPTRnH	R	8, 16	0000H
F0428H + (4CH × n)	CAN 受信バッファ CAN-FD ステータス・レジスタ nL [n = 0-7]	RMFDSTSnLL RMFDSTSnLH	RMFDSTSnL	R	8, 16	0000H
F042AH + (4CH × n)	CAN 受信バッファ CAN-FD ステータス・レジスタ nH [n = 0-7]	RMFDSTSnHL RMFDSTSnHH	RMFDSTSnH	R	8, 16	0000H
F042CH + (4CH × n) + (p × 4)	CAN 受信バッファ・データ・フィールド p・レジスタ nL [n = 0-7, p = 0-15]	RMDFn_pLL RMDFn_pLH	RMDFn_pL	R	8, 16	0000H
F042EH + (4CH × n) + (p × 4)	CAN 受信バッファ・データ・フィールド p・レジスタ nH [n = 0-7, p = 0-15]	RMDFn_pHL RMDFn_pHH	RMDFn_pH	R	8, 16	0000H

注 1. CFDGRWC.RPAGE[1:0] ビットに 10B を設定してください。

2. PER2 レジスタの CAN0EN ビットが 0，または，CAN RAM の初期化が実行されていない場合，読み出し値は不定です。CAN0EN ビットが 1，かつ，CAN RAM 領域の初期化が完了した場合，読み出し値は上記の初期値になります

表 18－7　CAN モジュール・レジスター覧／ページ 3 注 1, 2

アドレス	レジスタ名	シンボル		R/W	アクセス・サイズ	リセット後
F0420H + (4CH × (n-8))	CAN 受信バッファ ID レジスタ nL [n = 8-15]	RMIDnLL RMIDnLH	RMIDnL	R	8, 16	0000H
F0422H + (4CH × (n-8))	CAN 受信バッファ ID レジスタ nH [n = 8-15]	RMIDnHL RMIDnHH	RMIDnH	R	8, 16	0000H
F0424H + (4CH × (n-8))	CAN 受信バッファ・ポインタ・レジスタ nL [n = 8-15]	RMPTRnLL RMPTRnLH	RMPTRnL	R	8, 16	0000H
F0426H + (4CH × (n-8))	CAN 受信バッファ・ポインタ・レジスタ nH [n = 8-15]	— RMPTRnHH	RMPTRnH	R	8, 16	0000H
F0428H + (4CH × (n-8))	CAN 受信バッファ CAN-FD ステータス・レジスタ nL [n = 8-15]	RMFDSTSnLL RMFDSTSnLH	RMFDSTSnL	R	8, 16	0000H
F042AH + (4CH × (n-8))	CAN 受信バッファ CAN-FD ステータス・レジスタ nH [n = 8-15]	RMFDSTSnHL RMFDSTSnHH	RMFDSTSnH	R	8, 16	0000H
F042CH + (4CH × (n-8)) + (p×4)	CAN 受信バッファ・データ・フィールド p・レジスタ nL [n = 8-15, p = 0-15]	RMDFn_pLL RMDFn_pLH	RMDFn_pL	R	8, 16	0000H
F042EH + (4CH × (n-8)) + (p×4)	CAN 受信バッファ・データ・フィールド p・レジスタ nH [n = 8-15, p = 0-15]	RMDFn_pHL RMDFn_pHH	RMDFn_pH	R	8, 16	0000H

注 1. CFDGRWC.RPAGE[1:0] ビットに 11B を設定してください。

2. PER2 レジスタの CAN0EN ビットが 0，または，CAN RAM の初期化が実行されていない場合，読み出し値は不定です。CAN0EN ビットが 1，かつ，CAN RAM 領域の初期化が完了した場合，読み出し値は上記の初期値になります

18.3.1　CAN0 ノミナル・ビット・コンフィグレーション・レジスタ（C0NCFGH, C0NCFGL）

アドレス：C0NCFGL: F0300H,　C0NCFGH: F0302H
C0NCFGLL: F0300H,　C0NCFGLH: F0301H,　C0NCFGHL: F0302H,　C0NCFGHH: F0303H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0NCFGH	NTSEG2[6:0]							NTSEG1[7:0]								NSJW[6]
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0NCFGL	NSJW[5:0]						NBRP[9:0]									
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-25	NTSEG2[6:0]	タイム・セグメント 2 制御ビット	0000000B：予約（設定しないでください） 0000001B：2 Tq ： 1111110B：127 Tq 1111111B：128 Tq	R/W
24-17	NTSEG1[7:0]	タイム・セグメント 1 制御ビット	00000000B：予約（設定しないでください） 00000001B：2 Tq ： 11111110B：255 Tq 11111111B：256 Tq	R/W
16-10	NSJW[6:0]	ビット再同期ジャンプ幅制御ビット	0000000B：1 Tq 0000001B：2 Tq ： 1111110B：127 Tq 1111111B：128 Tq	R/W
9-0	NBRP[9:0]	ノミナル・プリスケーラ分周比設定ビット	ノミナル・ボー・レート・プリスケーラの分周比を設定	R/W

このレジスタで，ノミナル・ビットのボー・レートを設定します。

- NTSEG2[6:0]

  TSEG2 の Tq 数を設定します。
  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。
  チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

- NTSEG1[7:0]

  TSEG1 の Tq 数を設定します。

  本設定は，プロパゲーション・タイム・セグメントも含みます。

  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

  詳細については，「18.15.1.2　CAN ビット・タイミング」を参照してください。

- NSJW[6:0]

  再同期ジャンプ幅の Tq 数を設定します。

  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

- NBRP[9:0]

  設定値を P（0～1023）とすると，プリスケーラは f_{CAN} を P+1 で分周します。

  CAN 通信クロック（f_{CAN}）を NBRP[9:0]ビットで分周したクロックが CAN0Tq クロック（f_{CANTQ0}）になり，CAN0Tq クロックの 1 クロックが 1 Time Quantum（Tq）になります。

  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

18.3.2　CAN0 制御レジスタ（C0CTRH, C0CTRL）

アドレス：C0CTRL: F0304H,　C0CTRH: F0306H
C0CTRLL: F0304H,　C0CTRLH: F0305H,　C0CTRHL: F0306H,　C0CTRHH: F0307H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0CTRH	ROM	BFT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCVFIE	SOCOIE	EOCOIE	TAIE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0CTRL	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
31	ROM	チャネル制限動作モード許可ビット	0：チャネル制限動作モード禁止 1：チャネル制限動作モード許可	R/W
30	BFT	ビット・フリップ・テスト選択ビット	0：最初の受信データ・ビットを反転しない 1：最初の受信データ・ビットを反転する	R/W
29-27	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
26, 25	CTMS[1:0]	通信テスト・モード選択	00B：標準テスト・モード 01B：リッスン・オンリ・モード 10B：セルフ・テスト・モード 0（外部ループバック・モード） 11B：セルフ・テスト・モード 1（内部ループバック・モード）	R/W
24	CTME	通信テスト・モード許可ビット	0：通信テスト・モード禁止 1：通信テスト・モード許可	R/W
23	ERRD	エラー表示モード選択ビット	0：最初に発生したエラー情報のみ表示 1：発生したエラー情報を表示	R/W
22, 21	BOM[1:0]	バスオフ復帰モード選択ビット	00B：ISO 11898-1 仕様準拠 01B：バスオフ開始で HALT モードに遷移 10B：バスオフ終了で HALT モードに遷移 11B：バスオフ中にソフトウェアの要求で HALT モードへ遷移	R/W
20	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
19	TDCVFIE	トランシーバ遅延補償割り込み許可ビット	0：トランシーバ遅延補償割り込み禁止 1：トランシーバ遅延補償割り込み許可	R/W
18	SOCOIE	通信完了カウンタ・オーバフロー割り込み許可ビット	0：通信完了カウンタ・オーバフロー割り込み禁止 1：通信完了カウンタ・オーバフロー割り込み許可	R/W
17	EOCOIE	通信エラー・カウンタ・オーバフロー割り込み許可ビット	0：通信エラー・カウンタ・オーバフロー割り込み禁止 1：通信エラー・カウンタ・オーバフロー割り込み許可	R/W
16	TAIE	送信アボート割り込み許可ビット	0：送信アボート割り込み禁止 1：送信アボート割り込み許可	R/W

ビット	シンボル	ビット名	機能	R/W
15	ALIE	アービトレーション・ロスト割り込み許可ビット	0：アービトレーション・ロスト割り込み禁止 1：アービトレーション・ロスト割り込み許可	R/W
14	BLIE	バス・ロック割り込み許可ビット	0：バス・ロック割り込み禁止 1：バス・ロック割り込み許可	R/W
13	OLIE	オーバロード・フレーム送信割り込み許可ビット	0：オーバロード・フレーム送信割り込み禁止 1：オーバロード・フレーム送信割り込み許可	R/W
12	BORIE	バスオフ復帰割り込み許可ビット	0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可	R/W
11	BOEIE	バスオフ開始割り込み許可ビット	0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可	R/W
10	EPIE	エラー・パッシブ割り込み許可ビット	0：エラー・パッシブ割り込み禁止 1：エラー・パッシブ割り込み許可	R/W
9	EWIE	エラー・ワーニング割り込み許可ビット	0：エラー・ワーニング割り込み禁止 1：エラー・ワーニング割り込み許可	R/W
8	BEIE	バス・エラー割り込み許可ビット	0：バス・エラー割り込み禁止 1：バス・エラー割り込み許可	R/W
7-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	RTBO	バスオフ強制復帰ビット	0：バスオフから強制復帰しない 1：バスオフから強制復帰する	R/W
2	CSLPR	チャネル･スリープ･モード制御ビット	0：チャネル・スリープ・モードではない 1：チャネル・スリープ・モード	R/W
1,0	CHMDC[1:0]	チャネル・モード選択ビット	00B：チャネル動作モード 01B：チャネル・リセット・モード 10B：チャネル HALT モード 11B：設定禁止（現在のチャネル・モードを継続します）	R/W

CAN0 制御レジスタは，チャネル・モードを制御するために使用します。また，CAN バスのエラー検出時の割り込み制御やテスト・モードの設定にも使用します。

- ROM

  C0CTR.ROM ビットおよび C0CTR.CTME ビットが共に 1 の場合，チャネル制限動作モードが有効になります。

  このビットは，チャネル・スリープ・モードでは書き込むことができません。チャネル HALT モード時に設定してください。

  チャネル制限動作モードは，標準テスト・モード（C0CTR.CTMS = 00B）の時のみ使用してください。

  このビットは，チャネル・リセット・モード中は，自動的にクリアされます。

  Classical-CAN オンリ・モードの場合は，このビットを設定しないでください。

- BFT

  CAN プロトコル・コントローラ内部の CRC 生成論理回路を検査するために使用します。
  本機能は受信する CAN メッセージ・データ・ストリームの先頭ビット（ID ビット）を反転します。したがって，内部で生成された CRC 結果は受信フレーム内の CRC 値とは一致しません。CRC エラーではなくスタッフ・エラー（反転による）を検出する可能性があるため，ビット・スタッフ・ルールを参照してください。
  内部で生成された CRC 値は，以下のレジスタでモニタできます。

  - C0ERFL.CRCREG（Classical-CAN フレーム）
  - C0FDCRC.CRCREG（CAN-FD フレーム）

  このビットを使用する場合，いくつかの制限事項があります。
  他の CAN ノードが送信したメッセージに対し，受信ノードはビット・ストリーム内の 1 ビットを反転することができます。
  送信と受信は同じ CRC 生成回路を使用するため，ビット・フリップ・テストを行うときに，送信と受信個別に設定する必要はありません。
  C0CTR.BFT ビットおよび C0CTR.CTME ビットがともに 1 で，C0CTR.CTMS[1:0]ビットが 00B の場合，ビット・フリップ・テスト・モードが有効になります。
  この機能を送信ノードで使用すると，ビット・エラーやアービトレーション・ロストが発生します。
  このビットはチャネル・スリープ・モードでは設定できません。
  セルフ・テスト・モード 1（内部ループバック・モード）では，この機能を使用しないでください。
  このビットは，チャネル HALT モード時に設定してください。チャネル・リセット・モード中は，自動的にクリアされます。

- CTMS[1:0]

  C0CTR.CTMS ビットは，通信テスト・モードの選択に使用します。
  このビットはチャネル・スリープ・モードおよびチャネル・リセット・モードでは書き込むことができません。チャネル HALT モード時に設定してください。
  チャネル・リセット・モードに遷移すると，このビットは自動的にクリアされます。

- CTME

  通信テスト・モードを許可するときに使用します。
  このビットは，チャネル HALT モード時に設定してください。チャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードに遷移すると，自動的にクリアされます。

- ERRD

  このビットは，CAN0 エラー・フラグ・レジスタ C0ERFL のエラー・フラグ（ビット 14-8）の表示モードを制御します。
  C0CTR.ERRD ビットが 0 の場合，最初に発生したエラーに対応するエラー・フラグのみセットします。同時に複数のエラーが発生した場合は，発生したすべてのエラーに対応するエラー・フラグをセットします。
  ERRD ビットが 1 の場合，発生順にかかわらず発生したエラーに対応するエラー・フラグをセットします。
  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

- BOM[1:0]

  バスオフ復帰タイミングを選択します。

  このビットは，チャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- TDCVFIE

  C0CTR.TDCVFIE ビットが 1 で，C0FDSTS.TDCVF ビットが 1（トランシーバ遅延補償エラー検出あり）の場合，エラー検出割り込みが発生します。

  このビットは，チャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

  Classical-CAN オンリ・モードの場合は，このビットを設定しないでください。

- SOCOIE

  C0CTR.SOCOIE ビットが 1 で，C0FDSTS.SOCO ビットが 1（通信完了カウンタ・オーバフロー発生）の場合，エラー検出割り込みが発生します。

  このビットは，チャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- EOCOIE

  C0CTR.EOCOIE ビットが 1 で，C0FDSTS.EOCO ビットが 1（通信エラー・カウンタ・オーバフロー発生）の場合，エラー検出割り込みが発生します。

  このビットは，チャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- TAIE

  C0CTR.TAIE ビットが 1 で，送信バッファの送信アボートが完了した場合，割り込みが発生します。

  このビットは，チャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- ALIE

  C0CTR.ALIE ビットが 1 で，C0ERFL.ALF ビットが 1（アービトレーション・ロスト検出）の場合，エラー割り込みが発生します。

  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- BLIE

  C0CTR.BLIE ビットが 1 で，C0ERFL.BLF ビットが 1（バス・ロック検出）の場合，エラー割り込みが発生します。

  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- OLIE

  C0CTR.OLIE ビットが 1 で，C0ERFL.OVLF ビットが 1（オーバロード検出）の場合，エラー割り込みが発生します。
  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- BORIE

  C0CTR.BORIE ビットが 1 で，C0ERFL.BORF ビットが 1（バスオフ復帰検出）の場合，エラー割り込みが発生します。
  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- BOEIE

  C0CTR.BOEIE ビットが 1 で，C0ERFL.BOEF ビットが 1（バスオフ開始検出）の場合，エラー割り込みが発生します。
  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- EPIE

  C0CTR.EPIE ビットが 1 で，C0ERFL.EPF ビットが 1（エラー・パッシブ検出）の場合，エラー割り込みが発生します。
  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- EWIE

  C0CTR.EWIE ビットが 1 で，C0ERFL.EWF ビットが 1（エラー・ワーニング検出）の場合，エラー割り込みが発生します。
  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- BEIE

  C0CTR.BEIE ビットが 1 で，C0ERFL.BEF ビットが 1（バス・エラー検出）の場合，エラー割り込みが発生します。
  このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- RTBO

  CAN プロトコル・コントローラがバスオフ状態のときに，C0CTR.RTBO ビットを 1 に設定すると強制的にバスオフ状態からエラー・アクティブ状態になります。
  ★ このビットは，C0CTR.BOM[1:0]ビットが 00B（バスオフから復帰は ISO 11898-1 仕様準拠）のときに使用してください。
  バスオフ状態からエラー・アクティブ状態への遷移は，最大 1CAN ビット・タイム遅延します。
  このビットを 1 にすると，C0STS.REC および C0STS.TEC ビットは 00H に初期化され，C0STS.BOSTS は 0（バスオフ状態ではない）になります。

他のレジスタは変化しません。

C0CTR.BORIE に 1 が設定されていても，RTBO ビットの書き込みによるバスオフ復帰割り込み要求は発生しません。

このビットはバスオフ状態以外で 1 を設定しても何も変化せず，0 にクリアされます。

このビットはプログラムで設定しても自動的に 0 にクリアされ，読み出した場合，常に 0 が読まれます。

このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル動作モード時に設定してください。

- CSLPR

C0CTR.CSLPR ビットを 1 にすると，チャネル・スリープ・モードへの遷移を要求し，CSLPR ビットを 0 にすると，チャネル・スリープ・モードの解除を要求します。

このビットはチャネル・リセット・モードまたはチャネル・スリープ・モード時に設定してください。

- CHMDC[1:0]

C0CTR.CHMDC ビットでチャネルのモードを選択します。

CAN チャネル・モードの遷移については「18.6.2　チャネル・モード」を参照してください。

このビットに 11B を設定することは禁止（無効）です。

C0CTR.BOM ビットの設定によりチャネル HALT モードへ遷移した場合，CHMDC ビットは自動的に 10B になります。CPU の CHMDC ビットの書き込みと CAN チャネルの HALT モードへの遷移が同時に発生した場合，CPU の書き込みが優先されます。

このビットはチャネル・スリープ・モードでは書き込むことができません。チャネル動作モード時にチャネル HALT モードに遷移する時に設定します。また，グローバル HALT モード時に，チャネル動作モードまたはチャネル・リセット・モードに遷移する時に設定します。

18.3.3　CAN0 ステータス・レジスタ（C0STSH, C0STSL）

アドレス：C0STSL: F0308H,　C0STSH: F030AH
C0STSLL: F0308H,　C0STSLH: F0309H,　C0STSHL: F030AH,　C0STSHH: F030BH

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0STSH	TEC[7:0]								REC[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0STSL	—	—	—	—	—	—	—	ESIF	COM STS	REC STS	TRM STS	BO STS	EP STS	CSLP STS	CHLT STS	CRST STS
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
31-24	TEC[7:0]	送信エラー・カウンタ	送信エラー・カウンタの値を示します。カウンタは送信チャネルのエラー・ステータスにより増減します。	R/W
23-16	REC[7:0]	受信エラー・カウンタ	受信エラー・カウンタの値を示します。カウンタは受信チャネルのエラー・ステータスにより増減します。	R
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	ESIF	ESI ステータス・フラグ	0：ESI フラグが設定された CAN-FD メッセージを受信していない。 1：ESI フラグが設定された CAN-FD メッセージを受信した。	R/W
7	COMSTS	通信ステータス・フラグ	0：通信可能ではない 1：通信可能	R
6	RECSTS	受信ステータス・フラグ	0：受信中ではない 1：受信中	R
5	TRMSTS	送信ステータス・フラグ	0：送信中ではない 1：送信中	R
4	BOSTS	バスオフ・ステータス・フラグ	0：バスオフ状態ではない 1：バスオフ状態	R
3	EPSTS	エラー・パッシブ・ステータス・フラグ	0：エラー・パッシブ状態ではない 1：エラー・パッシブ状態	R
2	CSLPSTS	チャネル・スリープ・ステータス・フラグ	0：チャネル・スリープ・モードではない 1：チャネル・スリープ・モード	R
1	CHLTSTS	チャネル HALT ステータス・フラグ	0：チャネル HALT モードではない 1：チャネル HALT モード	R
0	CRSTSTS	チャネル・リセット・ステータス・フラグ	0：チャネル・リセット・モードではない 1：チャネル・リセット・モード	R

CAN0 ステータス・レジスタには，関連するチャネルのモード，エラー，送信／受信ステータス，および，送信／受信エラー・カウント値を読み出すことができます。

- TEC[7:0]

  送信エラー・カウンタの値を示します。

  TEC ビットへの書き込みは，チャネル HALT モードまたはテスト・モードで行ってください。

グローバル・リセット・モードに遷移した時，およびチャネル・リセット・モードの時に自動的に 0 にクリアされます。

- REC[7:0]

受信エラー・カウンタの値を示します。
バスオフ状態では本ビットは不定となります。
REC ビットは，グローバル・リセット・モードに遷移した時，およびチャネル・リセット・モードの時に自動的に 0 にクリアされます。

- ESIF

受信した CAN メッセージ（エラーなし）の ESI がレセシブの場合，ESIF は 1 になります。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。このビットは，CPU の 0 書き込みと CAN チャネルの 1 セットが同時に発生した場合，1 セットが優先されます。
自ノードが送信するデータをループバックまたはミラー・モードで受信する場合，受信メッセージと判断するため注意ください。

- COMSTS

CAN チャネルが通信可能かを示します。
チャネル・リセット・モードまたはチャネル HALT モードからチャネル動作モードに遷移後，11 ビットの連続したレセシブを検出すると 1 になります。
このビットはチャネル・リセット・モードまたはチャネル HALT モード時に自動的に 0 にクリアされます。

注意　このビットは，バスオフ状態の間は 1 になります。

- RECSTS

受信を開始すると 1 になります。
バス・アイドル状態になる，または送信を開始すると 0 になります。

- TRMSTS

送信を開始する，またはバスオフ状態で 1 になります。
バス・アイドル状態になる，または受信を開始すると 0 になります。

- BOSTS

バスオフ状態かを示します。
バスオフ状態（C0STSH.TEC > 255）になると 1 になります。バスオフ状態以外では 0 になります。

- EPSTS

エラー・パッシブ状態かを示します。
エラー・パッシブ状態（128 ≤ C0STSH.TEC < 255，または C0STSH.REC ≥ 128）になると 1 になります。
エラー・パッシブ状態以外およびチャネル・リセット・モードに遷移すると 0 になります。

- CSLPSTS

  チャネル・スリープ・モードかを示します。

  チャネル・スリープ・モードに遷移すると 1 になります。チャネル・スリープ・モードを解除すると 0 になります。

- CHLTSTS

  チャネル HALT モードかを示します。

  チャネル HALT モードに遷移すると 1 になります。チャネル HALT モード以外に遷移すると 0 になります。

- CRSTSTS

  チャネル・リセット・モードかを示します。

  チャネル・リセット・モードに遷移すると 1 になります。チャネル・リセット・モードからチャネル動作モードまたはチャネル HALT モードに遷移すると 0 になります。チャネル・リセット・モードからチャネル・スリープ・モードに遷移する場合，1 を継続します。

18.3.4　CAN0 エラー・フラグ・レジスタ（C0ERFLH, C0ERFLL）

アドレス：C0ERFLL: F030CH,　C0ERFLH: F030EH
C0ERFLLL: F030CH,　C0ERFLLH: F030DH,　C0ERFLHL: F030EH,　C0ERFLHH: F030FH

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0ERFLH	—	CRCREG[14:0]														
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0ERFLL	—	AD ERR	B0 ERR	B1 ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
30-16	CRCREG[14:0]	CRC 演算データ	CAN メッセージより計算した CRC 演算データを示します。	R
15	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
14	ADERR	ACK デリミタ・エラー・フラグ	0：ACK デリミタ・エラー検出なし 1：ACK デリミタ・エラー検出	R/W
13	B0ERR	ビット 0 エラー・フラグ	0：ビット 0 エラー（ドミナント・ビット・エラー）検出なし 1：ビット 0 エラー検出	R/W
12	B1ERR	ビット 1 エラー・フラグ	0：ビット 1 エラー（レセシブ・ビット・エラー）検出なし 1：ビット 1 エラー検出	R/W
11	CERR	CRC エラー・フラグ	0：CRC エラー検出なし 1：CRC エラー検出	R/W
10	AERR	ACK エラー・フラグ	0：ACK エラー検出なし 1：ACK エラー検出	R/W
9	FERR	フォーム・エラー・フラグ	0：フォーム・エラー検出なし 1：フォーム・エラー検出	R/W
8	SERR	スタッフ・エラー・フラグ	0：スタッフ・エラー検出なし 1：スタッフ・エラー検出	R/W
7	ALF	アービトレーション・ロスト・フラグ	0：アービトレーション・ロスト検出なし 1：アービトレーション・ロスト検出	R/W
6	BLF	バス・ロック・フラグ	0：バス・ロック検出なし 1：バス・ロック検出	R/W
5	OVLF	オーバロード・フラグ	0：オーバロード検出なし 1：オーバロード検出	R/W
4	BORF	バスオフ復帰フラグ	0：バスオフ復帰検出なし 1：バスオフ復帰検出	R/W
3	BOEF	バスオフ開始フラグ	0：バスオフ開始検出なし 1：バスオフ開始検出	R/W
2	EPF	エラー・パッシブ・フラグ	0：エラー・パッシブ検出なし 1：エラー・パッシブ検出	R/W
1	EWF	エラー・ワーニング・フラグ	0：エラー・ワーニング検出なし 1：エラー・ワーニング検出	R/W
0	BEF	バス・エラー・フラグ	0：バス・エラー検出なし 1：バス・エラー検出	R/W

CAN0 エラー・フラグ・レジスタは，関連する CAN0 制御レジスタのエラー割り込み許可ビットの設定にかかわらず，検出可能な各種エラー条件の状態を示します。また，CAN チャネルで検出可能な各種バス・エラーの状態も表示します。各エラー条件の発生タイミングは，CAN 仕様（ISO 11898-1）を参照してください。

このレジスタに対して，1 ビットのみ 0 クリアする場合，ビット・クリア命令を使用しないでください。MOV 命令を使用して，指定されたビットのみが 0 クリアされるようにしてください。他のビットは 1 に設定されたままにします。

（例）C0ERFL.BEF ビットをクリアするためのアセンブラ言語：

```
MOV C0ERFLLL, #0xFE
```

ADERR，B0ERR，B1ERR，CERR，AERR，FERR，SERR ビットは，1 になるタイミングとプログラムで 0 にクリアするタイミングが同じ場合，1 になります。また，C0CTR.ERRD ビットおよび C0ERFL.CRCREG[14:8]ビットの状態により，クリアされる条件が変わります。

これらのビットをクリアするには，次の手順で実施してください。

（1）クリアしたいビットに 0，その他のビットに 1 を設定し，対応するビットをクリアする

（2）クリアしたいビットが 0 にクリアされたか読み出して確認する

（3）クリアされなかった場合，（1）の処理に戻る

- CRCREG[14:0]

  C0CTR.CTME ビットが 1（通信テスト・モード許可）の場合，送信または受信メッセージを基に計算した CRC 値を読み出すことができます。

  CTME ビットが 0（通信テスト・モード禁止）の場合，常に 0 が読み出されます。

  C0ERFL.CRCREG の値は，CAN フレームの CRC フィールドの先頭ビットのタイミングで更新されます（送信，受信ともに同じ）。

  このビットはチャネル・リセット・モード時に 0 にクリアされます。

- ADERR

  ACK デリミタでフォーム・エラーを検出すると 1 になります。

  このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。

  チャネル・リセット・モード時はこのビットは 0 になります。

  チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

  注意　C0CTR.ERRD が 0（最初に発生したエラー情報のみ表示）で，このビットの 0 クリアと 1 セットが同時に発生した場合，C0ERFL.CRCREG[14:8]が 0000000B 以外のときは 0 にクリアされます。また，CRCREG[14:8]が 0000000B のときは 1 にセットされます。

- B0ERR

  ドミナントを送信したにもかかわらずレセシブを検出すると 1 になります。

  このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。

  チャネル・リセット・モード時は，このビットは 0 になります。

  チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

注意　C0CTR.ERRD が 0（最初に発生したエラー情報のみ表示）で，このビットの 0 クリアと 1 セットが同時に発生した場合，C0ERFL.CRCREG[14:8]が 0000000B 以外のときは 0 にクリアされます。また，CRCREG[14:8]が 0000000B のときは 1 にセットされます。

- B1ERR

レセシブを送信したにもかかわらずドミナントを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時はこのビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

注意　C0CTR.ERRD が 0（最初に発生したエラー情報のみ表示）で，このビットの 0 クリアと 1 セットが同時に発生した場合，C0ERFL.CRCREG[14:8]が 0000000B 以外のときは 0 にクリアされます。また，CRCREG[14:8] が 0000000B のときは，1 にセットされます。

- CERR

CRC エラーを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時はこのビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

注意　C0CTR.ERRD が 0（最初に発生したエラー情報のみ表示）で，このビットの 0 クリアと 1 セットが同時に発生した場合，C0ERFL.CRCREG[14:8]が 0000000B 以外のときは 0 にクリアされます。また，CRCREG[14:8] が 0000000B のときは，1 にセットされます。

- AERR

ACK エラーを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

注意　C0CTR.ERRD が 0（最初に発生したエラー情報のみ表示）で，このビットの 0 クリアと 1 セットが同時に発生した場合，C0ERFL.CRCREG[14:8]が 0000000B 以外のときは 0 にクリアされます。また，CRCREG[14:8] が 0000000B のときは 1 にセットされます。

- FERR

フォーム・エラーを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

注意　C0CTR.ERRD が 0（最初に発生したエラー情報のみ表示）で，このビットの 0 クリアと 1 セットが同時に発生した場合，C0ERFL.CRCREG[14:8]が 0000000B 以外のときは 0 にクリアされます。また，CRCREG[14:8] が 0000000B のときは 1 にセットされます。

- SERR

スタッフ・エラーを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

注意　C0CTR.ERRD が 0（最初に発生したエラー情報のみ表示）で，このビットの 0 クリアと 1 セットが同時に発生した場合，C0ERFL.CRCREG[14:8]が 0000000B 以外のときは 0 にクリアされます。また，CRCREG[14:8] が 0000000B のときは 1 にセットされます。

- ALF

アービトレーション・ロストを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

- BLF

チャネル動作モード時に CAN バス上に 32 ビットの連続するドミナントを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

- OVLF

受信または送信を行う場合にオーバロード・フレームの送信条件が検出されると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時はこのビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

- BORF

C0CTR.BOM ビットが 00B, 10B, 11B のときに，11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると 1 になります。ただし，以下の条件でバスオフ状態から復帰してもこのビットは 1 になりません。

- C0CTR.RTBO ビットを 1（バスオフから強制復帰）にした場合
- C0CTR.BOM ビットを 01B（バスオフ開始でチャネル HALT モードへ遷移）にした場合

- C0CTR.BOM ビットが 11B（バスオフ中にソフトウェアの要求でチャネル HALT モードへ遷移）のときにバスオフ復帰する前に C0CTR.CHMDC ビットを 10B（チャネル HALT モードに遷移）に設定した場合

このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

- BOEF

バスオフ状態（C0STS.TEC > 255）を検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

- EPF

エラー・パッシブ状態（C0STS.TEC または C0STS.REC > 127）を検出すると 1 になります。
このビットは，TEC または REC が最初に 127 を超えたときのみ 1 になります。したがって，TEC または REC が 127 を超えた状態で，プログラムでこのビットを 0 クリアしても，TEC または REC の両方が 127 以下になり，再び 127 を超えるまで 1 になりません。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

- EWF

エラー・ワーニング（C0STS.TEC または C0STS.REC の値が 95 を超える）を検出すると 1 になります。
このビットは，TEC または REC が最初に 95 を超えたときのみ 1 になります。したがって，TEC または REC が 95 を超えた状態で，プログラムでこのビットを 0 クリアしても，TEC または REC の両方が 95 以下になり，再び 95 を超えるまで 1 になりません。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時はこのビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

- BEF

バス・エラー（C0ERFL レジスタの ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR ビットのいずれか 1 つでも 1）を検出するとこのビットは 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時は，このビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

18.3.5　CAN0 データ・ビット・レート・コンフィグレーション・レジスタ（C0DCFGH, C0DCFGL）

アドレス：C0DCFGL: F0400H,　C0DCFGH: F0402H
C0DCFGLL: F0400H,　C0DCFGLH: F0401H,　C0DCFGHL: F0402H,　C0DCFGHH: F0403H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0DCFGH	—	—	—	—	DSJW[3:0]				—	—	—	—	DTSEG2[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0DCFGL	—	—	—	DTSEG1[4:0]					DBRP[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-28	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
27-24	DSJW[3:0]	データ・ビット再同期ジャンプ幅制御ビット	0000B：1 Tq 0001B：2 Tq ： 1111B：16 Tq	R/W
23-20	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
19-16	DTSEG2[3:0]	データ・ビット・タイム・セグメント 2 制御ビット	0000B：予約（設定しないでください） 0001B：2 Tq ： 1110B：15 Tq 1111B：16 Tq	R/W
15-13	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
12-8	DTSEG1[4:0]	データ・ビット・タイム・セグメント 1 制御ビット	00000B：予約（設定しないでください） 00001B：2Tq 00010B：3Tq 00011B：4Tq ： 11110B：31 Tq 11111B：32 Tq	R/W
7-0	DBRP[7:0]	データ・ビット・プリスケーラ分周比設定ビット	データ・ビット・ボー・レート・プリスケーラの分周比を設定	R/W

このレジスタで，データ・ビットのボー・レートを設定します。
Classical-CAN オンリ・モードのチャネルは，このレジスタを設定する必要はありません。

- DSJW[3:0]

  再同期ジャンプ幅の Tq 数を設定します。
  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

- DTSEG2[3:0]

  TSEG2 の Tq 数を設定します。

  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

- DTSEG1[4:0]

  TSEG1 の Tq 数を設定します。

  本設定は，プロパゲーション・タイム・セグメントも含みます。

  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

  詳細は，「18.15.1.2　CAN ビット・タイミング」を参照してください。。

- DBRP[7:0]

  設定値を P（0～255）とすると，プリスケーラは f_{CAN} を P+1 で分周します。

  CAN 通信クロック（f_{CAN}）を DBRP[7:0]ビットで分周したクロックが CAN0Tq クロック（f_{CANTQ0}）になり，CAN0Tq クロックの 1 クロックが 1 Time Quantum（Tq）になります。

  このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。

18.3.6　CAN0 CAN-FD コンフィグレーション・レジスタ（C0FDCFGH, C0FDCFGL）

アドレス：C0FDCFGL: F0404H,　C0FDCFGH: F0406H
C0FDCFGLL: F0404H,　C0FDCFGLH: F0405H,　C0FDCFGHL: F0406H,　C0FDCFGHH: F0407H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0FDCFGH	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0FDCFGL	—	—	RPNMD[1:0]		—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
30	CLOE	Classical-CAN オンリ・モード許可	0：Classical-CAN オンリ・モード禁止 1：Classical-CAN オンリ・モード許可	R/W
29	REFE	受信フィルタ許可ビット	0：受信フィルタ禁止 1：受信フィルタ許可	R/W
28	FDOE	CAN-FDオンリ・モード許可ビット	0：CAN-FD オンリ・モード禁止 1：CAN-FD オンリ・モード許可	R/W
27-24	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
23-16	TDCO[7:0]	トランシーバ遅延補償オフセット	トランシーバ遅延補償オフセット値を設定	R/W
15, 14	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
13, 12	RPNMD[1:0]	PNF 復帰モード選択ビット	00B：通常受信（受信ルール）に遷移 01B：通常受信と PNF 受信（ID のみ）に遷移 10B：通常受信と PNF 受信（PNF 受信ルール）に遷移 11B：PNF 受信（PNF 受信ルール）を継続	R/W
11	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
10	ESIC	ESI ステータス制御ビット	0：CAN-FD フレームの ESI フラグは，ノードのエラー状態を示します。 1：ノードがエラー・パッシブ状態でない場合，ESI フラグは CAN-FD メッセージのエラー状態を示します。ノードがエラー・パッシブ状態の場合，ESI フラグはノードの状態を示します。	R/W
9	TDCE	トランシーバ遅延補償許可ビット	0：トランシーバ遅延補償禁止 1：トランシーバ遅延補償許可	R/W
8	TDCOC	トランシーバ遅延補償オフセット制御ビット	0：測定値＋オフセット値を使用 1：オフセット値を使用	R/W
7-3	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
2-0	EOCCFG[2:0]	通信エラー・カウンタ制御ビット	000B：送受信すべての CAN フレームを対象 001B：送信 CAN フレームを対象 010B：受信 CAN フレームを対象 011B：予約（設定しないでください） 100B：送受信すべての CAN-FD データ・ビットを対象 101B：送信 CAN-FD データ・ビットを対象 110B：受信 CAN-FD データ・ビットを対象 111B：予約（設定しないでください）	R/W

CAN-FD コンフィグレーション・レジスタは，CAN-FD モードに関する各設定に使用します。

- CLOE

このビットに 1 を設定すると Classical-CAN オンリ・モードになります。このビットが 1 の場合，Classical-CAN フレームのみ送信できます。FD フレームのフォーム・エラー，CRC エラーには応答します。
C0FDCFG.CLOE と C0FDCFG.FDOE を同時に 1 設定しないでください。

CLOE	FDOE	チャネル・モード
0	0	CAN-FD モード
0	1	CAN-FD オンリ・モード
1	0	Classical-CAN オンリ・モード
1	1	設定禁止

このビットは，チャネル動作モード，チャネル HALT モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- REFE

このビットに 1 を書くと，バス・アイドル状態中の受信フィルタを有効にします。有効時，2Tq 分のドミナントを検出すると同期エッジとして検出します。
このビットは，チャネル動作モード，チャネル HALT モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。
Classical-CAN オンリ・モード時は，このビットに 1 を設定しないでください。

- FDOE

このビットに 1 を設定すると CAN-FD オンリ・モードになります。
CAN-FD フレームの送受信のみ有効となります。有効時，FDF ビット（CFFDCSTS.CFFDF ビット，TMFDCTR.TMFDF ビット）の設定は無効となり，Classical-CAN フレームの通信はできません。
CAN-FD オンリ・モードで Classical-CAN フレームのメッセージを受信した場合，無効フレームと判断しエラー・フレームを返信します。Classical-CAN フレームを送信設定している場合，FDF ビットはレセシブとして送信されるため，CAN-FD フレームとして送信されます。データ長コード（DLC）が 9 バイト以上に設定されている場合，残りのデータ・バイトは CCH でパディングされます。
C0FDCFG.FDOE と C0FDCFG.CLOE を同時に 1 に設定しないでください。
このビットは，チャネル動作モード，チャネル HALT モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル・リセット・モード時に設定してください。

- TDCO[7:0]

セカンダリ・サンプル・ポイントのオフセットを設定します。
この値の使用方法は C0FDCFG.TDCOC ビットの設定に依存します。
TDCOC ビットが 0 の場合，トランシーバ遅延補償の結果は，Trv_Delay（測定された遅延）+ TDCO の値（Tq の最も近い整数に切り捨て）になります。TDCOC ビットが 1 の場合，結果は TDCO の値となります。
C0FDCFG.TDCO の使用方法の詳細は，「18.15.1.5　トランスミッタ遅延補償」を参照してください。
実際のオフセット値は TDCO+1 と判断されます。例えば TDCO に 4 が設定されている場合，オフセットは 5 クロック・サイクル（DLL クロックの 1 サイクル）になります。

このビットは，チャネル動作モードおよびチャネル・スリープ・モードのときに書き込むことができません。
チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。
Classical-CAN オンリ・モードの場合，このビットに値を設定しないでください。

- RPNMD[1:0]

PNF 受信モード（C0FDSTS.PNSTS = 11B）から復帰するモードを選択します。
PNF 受信モード時に受信したフレームが PN フィルタ（ID，ペイロード）を通過し，フレーム受信が完了すると，PNF 受信モードからこのビットで選択したモードに遷移します。
このビットはチャネル動作モードまたはチャネル・スリープ・モードで書き込むことはできません。チャネル HALT モードまたはチャネル・リセット・モード時に設定してください。

- ESIC

ESI に送信する状態を選択します。
ESIC が 0 の場合，自ノードのエラー状態を送信します。ESIC が 1 の場合，自ノードがエラー・パッシブ状態でないときは自ノードのエラー状態を送信します。自ノードがエラー・パッシブ状態のときは自ノードの ESI フラグの状態（CFFDCSTS.CFESI，TMFDCTR.TMESI）を送信します。
このビットは，チャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル HALT モードまたはチャネル・リセット・モード時に設定してください。
Classical-CAN オンリ・モードの場合，このビットに 1 を設定しないでください。

- TDCE

TDCE ビットを 1 にするとトランシーバ遅延補償を有効にします。
このビットはチャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル HALT モードまたはチャネル・リセット・モード時に設定してください。
Classical-CAN オンリ・モードの場合，このビットに 1 を設定しないでください。

- TDCOC

TDCOC ビットはセカンダリ・サンプル・ポイント（SSP）のオフセットを選択します。
TDCOC ビットが 0 の場合，SSP は Trv_Delay（測定された遅延）+ TDCO の値になります。TDCOC ビットが 1 の場合，SSP は固定オフセット（TDCO の値）となります。
このビットは，チャネル動作モードおよびチャネル・スリープ・モードのときに書き込むことができません。
チャネル・リセット・モードまたはチャネル HALT モード時に設定してください。
Classical-CAN オンリ・モードの場合，このビットに 1 を設定しないでください。

- EOCCFG[2:0]

通信エラー・カウンタ（C0FDSTS.EOC）をカウントする CAN フレームおよび送受信方向を選択します。
このビットはチャネル動作モードおよびチャネル・スリープ・モードでは書き込むことができません。チャネル HALT モードまたはチャネル・リセット・モードで設定してください。

18.3.7　CAN0 CAN-FD 制御レジスタ（C0FDCTRH, C0FDCTRL）

アドレス：C0FDCTRL: F0408H,　C0FDCTRH: F040AH
C0FDCTRLL: F0408H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0FDCTRH	KEY[7:0]								—	—	—	—	—	—	PNMDC[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0FDCTRL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOC CLR	EOC CLR
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-24	KEY[7:0]	PNMDC ビット書き込みキー・コード	PNMDC ビットに書き込むときに C4H を設定します	W
23-18	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
17, 16	PNMDC[1:0]	PNF モード制御ビット	00B：通常受信（PNF 受信しない） 01B：通常受信（受信ルール）と PNF 受信（ID のみ） 10B：通常受信と PNF 受信（PNF 受信ルール） 11B：PNF 受信（PNF 受信ルール）	R/W
15-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1	SOCCLR	通信完了カウンタ・クリア・ビット	0：通信完了カウンタをクリアしない 1：通信完了カウンタをクリアする	R/W
0	EOCCLR	通信エラー・カウンタ・クリア・ビット	0：通信エラー・カウンタをクリアしない 1：通信エラー・カウンタをクリアする	R/W

CAN-FD 制御レジスタは，PNF モードの許可，および通信完了，通信エラー・カウンタ制御に使用します。

- KEY[7:0]

  C4H を書き込むと C0FDCTR.PNMDC ビットへの書き込みが許可されます。
  このビットを読んだ場合，常に 00H になります。
  C0FDCTR.PNMDC に書き込む場合，必ず C0FDCTR.KEY と C0FDCTR.PNMDC に同時に書いてください。

- PNMDC[1:0]

  受信フィルタ（通常受信と PNF 受信）のモードを選択します。
  PNF 受信モードの場合，PNF の受信フィルタを通過したフレームを受信すると，C0FDCFG.RPNMD（PNF 復帰モード選択ビット）で設定した値が PNMDC ビットに設定されます。
  プログラムによるセットと受信フィルタ通過によるセットが同時の場合，受信フィルタ通過によるセットが優先されます。
  このビットはチャネル・リセット・モード時に 00B にクリアされます。
  C0FDCTR.PNMDC に書き込む場合，必ず C0FDCTR.KEY と C0FDCTR.PNMDC に同時に書いてください。

- SOCCLR

  SOCCLR ビットに 1 を書き込むと通信完了カウンタをクリアします。

  このビットを読むと常に 0 が読み出されます。

  このビットは，チャネル・スリープ・モードおよびチャネル・リセット・モードでは設定しないでください。

  チャネル・リセット・モード時は 0 にクリアされます。

- EOCCLR

  EOCCLR ビットに 1 を書き込むと通信エラー・カウンタをクリアします。

  このビットを読むと常に 0 が読み出されます。

  このビットは，チャネル・スリープ・モードおよびチャネル・リセット・モードでは設定しないでください。

  チャネル・リセット・モード時は 0 にクリアされます。

18.3.8　CAN0 CAN-FD ステータス・レジスタ（C0FDSTSH, C0FDSTSL）

アドレス：C0FDSTSL: F040CH,　C0FDSTSH: F040EH
C0FDSTSLL: F040CH,　C0FDSTSLH: F040DH,　C0FDSTSHL: F040EH,　C0FDSTSHH: F040FH

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0FDSTSH	SOC[7:0]								EOC[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0FDSTSL	TD CVF	—	PNSTS[1:0]		—	—	SOCO	EOCO	TDCR[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-24	SOC[7:0]	通信完了カウンタ	通信完了カウンタの値を示します。	R
23-16	EOC[7:0]	通信エラー・カウンタ	通信エラー・カウンタの値を示します。	R
15	TDCVF	トランシーバ遅延補償ステータス・フラグ	0：トランシーバ遅延補償検出なし 1：トランシーバ遅延補償検出	R/W
14	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
13, 12	PNSTS[1:0]	PNF モード・ステータス・フラグ	00B：通常受信（PNF 受信しない） 01B：通常受信（受信ルール）と PNF 受信（ID のみ） 10B：通常受信と PNF 受信（PNF 受信ルール） 11B：PNF 受信（PNF 受信ルール）	R
11, 10	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
9	SOCO	通信完了カウンタ・オーバフロー・ステータス・フラグ	0：通信完了カウンタ・オーバフロー発生なし 1：通信完了カウンタ・オーバフロー発生	R/W
8	EOCO	通信エラー・カウンタ・オーバフロー・ステータス・フラグ	0：通信エラー・カウンタ・オーバフロー発生なし 1：通信エラー・カウンタ・オーバフロー発生	R/W
7-0	TDCR[7:0]	トランシーバ遅延補償測定データ	トランシーバ遅延補償測定データの値を示します。	R

CAN-FD ステータス・レジスタは，トランシーバ遅延補償測定結果，および通信完了，通信エラー・カウンタの状態を示します。

- SOC[7:0]

  フレーム送受信時にバス上にエラーのないメッセージを検出すると更新（インクリメント）します。カウンタが FFH に到達すると更新を停止します。
  ループバック・モードの場合，カウンタは 2 回更新されます。
  C0FDCTR.SOCCLR ビットに 1 を書き込むと，SOC は 00H にクリアされます。
  このビットは，チャネル・リセット・モード時は 00H にクリアされます。

- EOC[7:0]

  C0FDSTS.EOC は，C0FDCFG.EOCCFG ビットの CAN フレームおよび送受信方向で選択されたメッセージ通信時にエラーを検出すると更新（インクリメント）します。カウンタが FFH に到達すると，更新を停止します。

  C0FDCTR.EOCCLR ビットに 1 を書き込むと，EOC は 00H にクリアされます。

  このビットは，チャネル・リセット・モード時は 00H にクリアされます。

- TDCVF

  RS-CANFD lite モジュールは，送信したデータをビットごとに内部でキャプチャします。このデータはトランシーバ・ループ分遅延して受信レベルと比較します。

  トランシーバ遅延は温度などの物理的パラメータにより変動します。

  トランシーバ遅延補償測定データは C0FDSTS.TDCR にメッセージごとに更新されます。しかしながら，一時的な最大遅延値を超える違反は見逃す可能性があります。TDCVF ビットは本違反（最大遅延補償（6 データ・ビット時間 - 2DLL クロック）よりも大きく，内部ビットがオーバフローしたとき）を検出すると 1 になります。

  このビットは，1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。

  チャネル・リセット・モード時はこのビットは 0 になります。

  チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

  このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

- PNSTS[1:0]

  受信モード（通常受信と PNF 受信）の状態を示します。

  メッセージ受信中の場合，受信後に C0FDCTR.PNMDC に設定された値を PNSTS に反映します。受信中でない場合，PNMDC に書き込み後すぐに PNSTS に反映します。

  このビットは，チャネル・リセット・モード時は 00B になります。

- SOCO

  通信完了カウンタがオーバフロー（カウンタ値が FFH のときにメッセージの受信または送信が正常終了）すると 1 になります。

  このビットは，1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。

  チャネル・リセット・モード時はこのビットは 0 になります。

  チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。

  このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

- EOCO

  通信エラー・カウンタがオーバフロー（カウンタ値が FFH のときに C0FDCFG.EOCCFG で選択したフレームでエラーを検出）すると 1 になります。

このビットは，1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
チャネル・リセット・モード時はこのビットは 0 になります。
チャネル動作モードまたはチャネル HALT モードの時のみこのビットに書き込みしてください。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

- TDCR[7:0]

トランシーバ遅延の測定結果を示します。
測定結果は DLL クロックの倍数になります。
測定結果（C0FDSTS.TDCR）は，C0FDCFG.TDCOC の設定と C0FDCFG.TDCO のオフセット値に依存します。詳細は，「18.15.1.5　トランスミッタ遅延補償」を参照してください。
C0FDSTS.TDCR は，C0FDCFG.TDCE ビットが 1（トランシーバ遅延補償が許可）で C0FDCFG.TDCOC ビットが 0（測定値＋オフセット値を使用）の場合，FDF と res 間の立ち下がりエッジで更新します。
このビットは，チャネル・リセット・モード時は 00H になります。

18.3.9　CAN0 CAN-FD CRC レジスタ（C0FDCRCH, C0FDCRCL）

アドレス： C0FDCRCL: F0410H,　C0FDCRCH: F0412H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
C0FDCRCH	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:16]				
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
C0FDCRCL	CRCREG[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-28	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
27-24	SCNT[3:0]	CAN-FD フレーム・スタッフ・カウンタ	CAN-FD フレームのスタッフ・カウンタを示します	R
23-21	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
20-0	CRCREG[20:0]	CAN-FD フレーム・CRC 演算データ	CAN-FD フレームの CRC 計算値を示します。	R

CAN-FD CRC レジスタは，CAN-FD フレームに対して計算した CRC 値を示します。

- SCNT[3:0]

  CAN-FD フレームのスタッフ・カウンタ値を示します。

  C0CTR.CTME が 1（通信テスト・モード許可）の場合，SCNT[3:1] ビットには CAN-FD フレームに挿入されたスタッフ・ビット数を示します。SCNT[0] はパリティ・ビットになります。

  C0CTR.CTME が 0（通信テスト・モード禁止）の場合，SCNT[3:0]を読むと 0000B が読み出されます。

  SCNT[3:0] は CAN-FD フレーム（送受信）の CRC フィールドの最初のビットのタイミングで更新します。

  このビットは，チャネル・リセット・モード時は 0000B になります。

- CRCREG[20:0]

  C0CTR.CTME ビットが 1（通信テスト・モード許可）の場合，計算した CRC 値を示します。

★　C0CTR.CTME が 0（通信テスト・モード禁止）の場合，CRCREG を読むと 000000H が読み出されます。

  CRC フィールドの 17 ビット目が使用されると，CRCREG[20:17] ビットは 0000B が読み出されます。

  CRCREG[20:0] は CAN-FD フレーム（送受信）の CRC フィールドの最初のビットのタイミングで更新します。

★　このビットは，チャネル・リセット・モード時は 000000H になります。

18.3.10　CAN バージョン・レジスタ（GIPVH, GIPVL）

アドレス：GIPVL: F0310H,　GIPVH: F0312H
GIPVLL: F0310H,　GIPVLH: F0311H,　GIPVHL: F0312H,　GIPVHH: F0313H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GIPVH	PSI[15:0]															
リセット後の値:	0	0	1	1	1	1	0	0	1	0	0	0	1	0	1	1

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GIPVL	CPU BUS	—	—	—	—	—	IPT[1:0]		IPV[7:0]							
リセット後の値:	1	0	0	0	0	0	0	1	0	1	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
31-16	PSI[15:0]	パラメータ・ステータス	パラメータ・ステータスを示します。	R
15	CPUBUS	CPU バス・タイプ	CPU バス・タイプを示します。	R
14-10	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
9, 8	IPT[1:0]	IP タイプ	IP タイプを示します。	R
7-0	IPV[7:0]	IP バージョン	IP バージョンを示します。	R

CAN バージョン・レジスタには，RS-CANFD lite IP のリリース・バージョンが表示されます。

- PSI[15:0]

  IP のパラメータ・ステータスを示します。3C8BH が読み出されます。

- CPUBUS

  CPU バス・タイプを示します。読むと 1 が読み出されます。

- IPT[1:0]

  IP タイプを示します。読むと 01B が読み出されます。

- IPV[7:0]

  IP バージョンを示します。読むと 43H が読み出されます。

18.3.11　CAN コンフィグレーション・レジスタ（GCFGH, GCFGL）

アドレス：GCFGL: F0314H,　GCFGH: F0316H
GCFGLL: F0314H,　GCFGLH: F0315H,　GCFGHL: F0316H,　GCFGHH: F0317H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GCFGH	ITRCP[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GCFGL	—	—	—	TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	ITRCP[15:0]	インターバル・タイマ・プリスケーラ設定ビット	インターバル・タイマのプリスケーラ分周比を設定します。	R/W
15-13	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
12	TSSS	タイム・スタンプ・クロック源選択ビット	0：タイム・スタンプ・カウンタのソース・クロックは，周辺クロック 1：タイム・スタンプ・カウンタのソース・クロックは，ビット・タイム・クロック	R/W
11-8	TSP[3:0]	タイム・スタンプ・クロック源分周ビット	0000B：プリスケーラ = 分周なし 0001B：プリスケーラ = 2 分周 0010B：プリスケーラ = 4 分周 0011B：プリスケーラ = 8 分周 ： 1101B：プリスケーラ = 8192 分周 1110B：プリスケーラ = 16384 分周 1111B：プリスケーラ = 32768 分周	R/W
7, 6	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
5	CMPOC	CAN-FD ペイロード・オーバフロー制御ビット	0：メッセージは破棄します。 1：設定されたメッセージ・サイズに合わせます。	R/W
4	DCS	CAN クロック源選択ビット	0：内部クロック（f_{CLK}） 1：X1 クロック（f_X）	R/W
3	MME	ミラー機能許可ビット	0：ミラー機能禁止 1：ミラー機能許可	R/W
2	DRE	DLC 置換許可ビット	0：DLC 置換禁止 1：DLC 置換許可	R/W
1	DCE	DLC チェック許可ビット	0：DLC チェック禁止 1：DLC チェック許可	R/W
0	TPRI	送信優先順位選択ビット	0：ID 優先 1：送信バッファ番号優先	R/W

CAN コンフィグレーション・レジスタは，送信メッセージの送信優先度と CAN プロトコル・エンジンのクロック・ソースを選択するために使用します。また，タイム・スタンプやインターバル・タイマの基準クロックを選択するためにも使用します。

- ITRCP[15:0]

  インターバル・タイマのプリスケーラ分周値を設定します。
  GCFG.ITRCP が 0000H の場合，タイマは無効です。
  このビットは，グローバル・スリープ・モードのときは書き込むことができません。グローバル・リセット・モード時に設定してください。

- TSSS

  タイム・スタンプ・カウンタのクロック・ソースを選択します。
  グローバル・スリープ・モードのときは書き込むことができません。グローバル・リセット・モード時に設定してください。
  CAN-FD 通信を使用する場合，このビットに 1 を設定しないでください。

  注意　ビット・タイム・クロックは，ノミナルおよびデータ・ビットのボー・レート設定により異なります。

- TSP[3:0]

  タイム・スタンプ・カウンタに使用するクロック・ソースの分周値を設定します。
  グローバル・スリープ・モードのときは書き込むことができません。グローバル・リセット・モード時に設定してください。

- CMPOC

  ペイロード・サイズ（RMNB.RMPLS, RFCCk.RFPLS, CFCC.CFPLS）で指定したサイズを超えるメッセージを受信したときのメッセージ格納方法を選択します。
  GCFG.CMPOC が 1 の場合，ペイロード・オーバフローが発生すると DLC 値は変更されずに受信メッセージ・バッファまたは FIFO バッファに格納されます。
  このビットは，グローバル・スリープ・モードまたはグローバル動作モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。

- DCS

  CAN 通信クロック源を選択します。
  このビットは，グローバル・スリープ・モードおよびグローバル動作モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。
  CAN 通信クロック源に f_{IH}（高速オンチップ・オシレータ・クロック）を選択しないでください。

- MME

  ミラー機能の許可／禁止を設定します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。

- DRE

  DLC 置換機能の許可／禁止を設定します。

  GCFG.DRE が 1（DLC 置換機能許可）で，GCFG.DCE が 1（DLC チェック許可）の場合，受信メッセージが DLC フィルタを通過すると受信ルールの DLC 値（GAFLP0i.GAFLDLC）を受信バッファまたは FIFO バッファに格納します。DRE と DCE が上記以外の場合は DLC 値の置換は行いません。

  このビットは，グローバル・スリープ・モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。

- DCE

  DLC チェックの許可／禁止を設定します。

  このビットは，グローバル・スリープ・モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。

- TPRI

  送信優先順位を設定します。

  このビットは，グローバル・スリープ・モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。

18.3.12　CAN 制御レジスタ（GCTRH, GCTRL）

アドレス：GCTRL: F0318H,　GCTRH: F031AH
GCTRLL: F0318H,　GCTRLH: F0319H,　GCTRHL: F031AH

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GCTRH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TS RST
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GCTRL	—	—	—	—	CMP OFIE	THL EIE	MEIE	DEIE	—	—	—	—	—	GSL PR	GMDC[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
31-17	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
16	TSRST	タイム・スタンプ・カウンタ・リセット・ビット	0：タイム・スタンプ・カウンタをリセットしない 1：タイム・スタンプ・カウンタをリセットする	R/W
15-12	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
11	CMPOFIE	CAN-FD ペイロード・オーバフロー割り込み許可ビット	0：CAN-FD ペイロード・オーバフロー割り込み禁止 1：CAN-FD ペイロード・オーバフロー割り込み許可	R/W
10	THLEIE	送信履歴オーバフロー割り込み許可ビット	0：送信履歴オーバフロー割り込み禁止 1：送信履歴オーバフロー割り込み許可	R/W
9	MEIE	FIFO メッセージ・ロスト割り込み許可ビット	0：FIFO メッセージ・ロスト割り込み禁止 1：FIFO メッセージ・ロスト割り込み許可	R/W
8	DEIE	DLC エラー割り込み許可ビット	0：DLC エラー割り込み禁止 1：DLC エラー割り込み許可	R/W
7-3	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
2	GSLPR	グローバル・スリープ・モード・ビット	0：グローバル・スリープ・モードに遷移しない 1：グローバル・スリープ・モード要求	R/W
1, 0	GMDC[1:0]	グローバル・モード選択ビット	00B：グローバル動作モード 01B：グローバル・リセット・モード 10B：グローバル HALT モード 11B：モード遷移しない（設定しないでください）	R/W

CAN 制御レジスタは，RS-CANFD lite モジュールのグローバル・モードと，タイム・スタンプ機能を制御するために使用します。また，グローバル・エラー割り込みの許可／禁止の設定にも使用します。

- TSRST

★　GCTR.TSRST を 1 にすると，CAN タイム・スタンプ・レジスタ（GTSC）は 0000H にリセットされます。
このビットは，グローバル・スリープ・モードのときに書き込むことができません。

★　また，グローバル・リセット・モード時は，このビットに書き込まないでください。
このビットを読むと，常に 0 が読み出されます。

- CMPOFIE

  GCTR.CMPOFIE に 1 を設定すると，CAN-FD メッセージのペイロード・オーバフロー検出時に割り込み発生を許可します。
  このビットはグローバル・スリープ・モードでは書き込むことができません。他のグローバル・モードで設定してください。

- THLEIE

  GCTR.THLEIE に 1 を設定すると，送信履歴オーバフロー検出時に割り込み発生を許可します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。他のグローバル・モードで設定してください。

- MEIE

  GCTR.MEIE に 1 を設定すると，FIFO メッセージ・ロスト検出時に割り込み発生を許可します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。他のグローバル・モードで設定してください。

- DEIE

  GCTR.DEIE に 1 を設定すると，受信したフレームの DLC エラー検出時に割り込み発生を許可します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。他のグローバル・モードで設定してください。

- GSLPR

  GCTR.GSLPR を 1 にすると，グローバル・スリープ・モードへの遷移を要求します。0 にするとグローバル・スリープ・モードの解除を要求します。
  このビットは，グローバル・スリープ・モードまたはグローバル・リセット・モード時に設定してください。

- GMDC[1:0]

  グローバル・モード（グローバル動作モード，グローバル・リセット・モード，グローバル HALT モード）を選択します。
  グローバル・リセット・モード時に GCTR.GSLPR を 1 にすると，グローバル・スリープ・モードに遷移します。
  グローバル・モードの遷移については，「18.6.1　グローバル・モード」を参照ください。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。

18.3.13　CAN ステータス・レジスタ（GSTS）

アドレス： GSTS: F031CH
GSTSL: F031CH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GSTS	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	GRAMINIT	CAN 用 RAM ステータス・フラグ	0：CAN 用 RAM 初期化完了 1：CAN 用 RAM 初期化中	R
2	GSLPSTS	グローバル・スリープ・ステータス・フラグ	0：グローバル・スリープ・モードではない 1：グローバル・スリープ・モード	R
1	GHLTSTS	グローバル HALT モード・ステータス・フラグ	0：グローバル HALT モードではない 1：グローバル HALT モード	R
0	GRSTSTS	グローバル・リセット・ステータス・フラグ	0：グローバル・リセット・モードではない 1：グローバル・リセット・モード	R

CAN ステータス・レジスタは，RS-CANFD lite モジュールのグローバル・ステータスを示します。

- GRAMINIT

  CAN 用 RAM の初期化状態を示します。
  マイコンのリセット後に RS-CANFD lite モジュールをイネーブル（PER2.CAN0EN を 1）にして CAN 用 RAM の初期化が完了すると 0 になります。

- GSLPSTS

  グローバル・スリープ・モードかどうかを示します。
  グローバル・スリープ・モードに遷移すると 1 になります。グローバル・スリープ・モードを解除すると 0 になります。

- GHLTSTS

  グローバル HALT モードかどうかを示します。
  グローバル HALT モードに遷移すると 1 になります。グローバル HALT モード以外のモードに遷移すると 0 になります。

- GRSTSTS

  グローバル・リセット・モードかどうかを示します。
  グローバル・リセット・モードに遷移すると 1 になります。グローバル・リセット・モード以外のモードに遷移すると 0 になります。ただし，グローバル・リセット・モードからグローバル・スリープ・モードに遷移しても 1 を保持します。

18.3.14　CAN エラー・フラグ・レジスタ（GERFLH, GERFLL）

アドレス：GERFLL: F0320H,　GERFLH: F0322H
GERFLLL: F0320H,　GERFLHL: F0322H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GERFLH	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEF
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GERFLL	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-17	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
16	EEF	CAN 用 RAM　ECC エラー・フラグ	0：送信スキャン時に ECC エラー検出なし 1：送信スキャン時に ECC エラー検出	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	CMPOF	CAN-FD ペイロード・オーバフロー・ステータス・フラグ	0：CAN-FD ペイロード・オーバフロー検出なし 1：CAN-FD ペイロード・オーバフロー検出	R/W
2	THLES	送信履歴エントリ・ロスト・エラー・ステータス・フラグ	0：送信履歴エントリ・ロスト検出なし 1：送信履歴エントリ・ロスト検出	R
1	MES	FIFO メッセージ・ロスト・ステータス・フラグ	0：FIFO メッセージ・ロスト検出なし 1：FIFO メッセージ・ロスト検出	R
0	DEF	DLC エラー・フラグ	0：DLC エラー検出なし 1：DLC エラー検出	R/W

CAN エラー・フラグ・レジスタは，グローバル・エラーのステータスを示します。

- EEF

エラー検出を許可されているときに，CAN RAM で ECC 2 ビット・エラーを検出したときに 1 になります。
エラー検出を有効にするには「28.3.4　CAN-RAM ECC 機能（RL78/F24 のみ）」を参照してください。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
このビットはグローバル・スリープ・モードおよびグローバル・リセット・モードでは書き込むことができません。また，グローバル・リセット・モードでは 0 になります。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

- CMPOF

CAN-FD ペイロード・オーバフローを検出すると 1 になります。

このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
このビットはグローバル・スリープ・モードおよびグローバル・リセット・モードでは書き込むことができません。また，グローバル・リセット・モードでは 0 になります。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

- THLES

送信履歴オーバフローを検出すると 1 になります。
送信履歴エントリ・ロスト・ステータス・フラグ（THLSTS.THLELT）を 0 にクリアすると，GERFL.THLES は 0 になります。
このビットは，グローバル・リセット・モードでは 0 になります。

- MES

FIFO メッセージ・ロストを検出すると 1 になります。
すべてのメッセージ・ロスト・ステータス・フラグ（RFSTSk.RFMLT, CFSTS.CFMLT）を 0 にクリアすると，GERFL.MES は 0 になります。
このビットは，グローバル・リセット・モードでは 0 になります。

- DEF

DLC エラーを検出すると 1 になります。
このビットは 1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
このビットはグローバル・スリープ・モードおよびグローバル・リセット・モードでは書き込むことができません。また，グローバル・リセット・モードでは 0 になります。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

18.3.15　CAN 送信割り込みステータス・レジスタ（GTINTSTS）

アドレス：GTINTSTS: F03A4H
GTINTSTSL: F03A4H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GTINTSTS	—	—	—	—	—	—	—	—	—	—	—	THIF	CFTIF	—	TAIF	TSIF
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-5	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
4	THIF	送信履歴割り込みステータス・フラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R
3	CFTIF	送受信 FIFO 送信モード割り込みステータス・フラグ	0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり	R
2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1	TAIF	送信バッファ・アボート割り込みステータス・フラグ	0：送信バッファ・アボート割り込み要求なし 1：送信バッファ・アボート割り込み要求あり	R
0	TSIF	送信バッファ送信完了割り込みステータス・フラグ	0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり	R

- THIF

  THLCC.THLIE が 1（送信履歴割り込み許可）で THLSTS.THLIF が 1（送信履歴割り込み要求あり）になると 1 になります。THLSTS.THLIF を 0 にすると THIF は 0 になります。また，THLCC.THLIE を 0 にすることでも THIF は 0 になります。

  このビットはグローバル・リセット・モードまたはチャネル・リセット・モード時に 0 になります。

- CFTIF

  CFCC.CFTXIE が 1（送受信 FIFO 送信割り込み許可）で CFSTS.CFTXIF が 1（送受信 FIFO 送信割り込み要求あり）になると 1 になります。CFSTS.CFTXIF を 0 にすると CFTIF は 0 になります。また，CFCC.CFTXIE を 0 にすることでも 0 になります。

  このビットはグローバル・リセット・モードまたはチャネル・リセット・モード時に 0 になります。

- TAIF

  C0CTR.TAIE が 1（送信アボート割り込み許可）で TMSTSm.TMTRF が 01B（送信アボート完了）になると 1 になります。送信アボート完了した TMSTSm.TMTRF を 00B にすると TAIF は 0 になります。また，C0CTR.TAIE を 0 にすることでも 0 になります。

  このビットは，グローバル・リセット・モードまたはチャネル・リセット・モード時に 0 になります。

- TSIF

  TMIEC.TMIEm が 1（送信バッファ m 割り込み許可）で TMSTSm.TMTRF が 10B（送信完了（送信アボート要求なし））または 11B（送信完了（送信アボート要求あり））になると 1 になります。送信完了した TMSTSm.TMTRF を 00B にすると TAIF は 0 になります。また，TMIEC.TMIEm を 0 にすることでも 0 になります。

  このビットは，グローバル・リセット・モードまたはチャネル・リセット・モード時に 0 になります。

18.3.16　CAN タイム・スタンプ・レジスタ（GTSC）

アドレス： GTSC: F0324H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GTSC	TS[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	TS[15:0]	タイム・スタンプ・カウンタ	タイム・スタンプ・カウンタの値を示します。	R

- TS[15:0]

  タイム・スタンプ・カウンタの値を読み出すことができます。

  GCFG.TSSS でクロック源を選択し，GCFG.TSP で選択されたクロック源を分周したクロックを使用してタイム・スタンプ・カウンタはフリーラン・カウント動作を行います。

  動作モードからグローバル HALT モードまたはチャネル HALT モードに遷移する場合，GTSC.TS の値は保証されません。

★　このビットは，グローバル・リセット・モードまたはグローバル・スリープ・モードのときに書き込むことができません。

  グローバル・リセット・モード時に 0000H になります。

18.3.17　CAN 受信ルール登録制御レジスタ（GAFLECTR）

アドレス： GAFLECTR: F0328H
GAFLECTRH: F0329H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLECTR	—	—	—	—	—	—	—	AFL DAE	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	AFLDAE	受信ルール書き込み許可ビット	0：受信ルール書き込み禁止 1：受信ルール書き込み許可	R/W
7-0	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W

- AFLDAE

  1 にすると受信ルールの書き込みを許可します。

  受信ルールは，GAFLECTR.AFLDAE の設定にかかわらず読み出すことができます。

★　このビットは，グローバル・スリープ・モードでは書き込むことができません。他のモードで設定してください。

18.3.18　CAN 受信ルール・コンフィグレーション・レジスタ（GAFLCFG）

アドレス： GAFLCFG: F032EH
GAFLCFGL: F032EH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLCFG	—	—	—	—	—	—	—	—	—	—	—	RNC[4:0]				
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-5	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
4-0	RNC[4:0]	受信ルール数設定ビット	受信ルール数を設定します。	R/W

- RNC[4:0]

  受信ルール・テーブルに登録する受信ルール数を設定します。
  このビットはグローバル・リセット・モードでのみ書き換えてください。
  00000B から 10000B（受信ルール数：0～16）の範囲で設定してください。それ以外の値は設定しないでください。

18.3.19　CAN 受信ルール ID レジスタ i（GAFLIDiH, GAFLIDiL）[i = 0-15]

アドレス：　GAFLIDiL: F0420H + (10H×i),　GAFLIDiH: F0422H + (10H×i)
GAFLIDiLL: F0420H + (10H×i),　GAFLIDiLH: F0421H + (10H×i),
GAFLIDiHL: F0422H + (10H×i),　GAFLIDiHH: F0423H + (10H×i)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GAFLIDiH	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLIDiL	GAFLID[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	GAFLIDE	受信ルール IDE 選択ビット	0：標準 ID 1：拡張 ID	R/W
30	GAFLRTR	受信ルール RTR 選択ビット	0：データ・フレーム 1：リモート・フレーム	R/W
29	GAFLLB	受信ルール対象メッセージ選択ビット	0：メッセージ受信時 1：自ノードが送信するメッセージ受信時	R/W
28-0	GAFLID[28:0]	受信ルール ID 設定ビット	受信ルールの ID データを設定します。	R/W

CAN 受信ルール ID レジスタは ID フィールドの受信ルール（AFL）を設定します。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GAFLIDE

  受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。AFL フィルタ処理ではこのビットと受信メッセージの IDE を比較します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLRTR

  受信ルールのフレーム・フォーマット（データ・フレームまたはリモート・フレーム）を選択します。AFL フィルタ処理ではこのビットと受信メッセージの RTR を比較します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLLB

  0 の場合，他の CAN ノードが送信したメッセージを受信する時に受信ルールを用いたデータ処理を行います。

ミラー・モード，ループバック・テスト・モードのときに 1 にすると，自ノードが送信したメッセージを受信する時に受信ルールを用いたデータ処理を行います。

GAFLIDi.GAFLLB はミラー・モード，ループバック・テスト・モード，送信／受信の設定により受信ルールの有効範囲が異なります。詳細については，表 18－16 を参照してください。

このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLID[28:0]

受信ルールの ID フィールドを設定します。

AFL フィルタ処理では設定した値と受信メッセージの ID を比較します。

標準 ID および拡張 ID フォーマットの詳細については「18.4　ID フォーマット」を参照してください。

このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

18.3.20　CAN 受信ルール・マスク・レジスタ i（GAFLMiH, GAFLMiL）[i = 0-15]

アドレス：　GAFLMiL: F0424H + (10H×i),　GAFLMiH: F0426H + (10H×i)
GAFLMiLL: F0424H + (10H×i),　GAFLMiLH: F0425H + (10H×i),
GAFLMiHL: F0426H + (10H×i),　GAFLMiHH: F0427H + (10H×i)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GAFLMiH	GAFL IDEM	GAFL RTRM	GAFL IFL1	GAFLIDM[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLMiL	GAFLIDM[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	GAFLIDEM	受信ルール IDE マスク・ビット	0：IDE ビットを比較しない 1：IDE ビットを比較する	R/W
30	GAFLRTRM	受信ルール RTR マスク・ビット	0：RTR ビットを比較しない 1：RTR ビットを比較する	R/W
29	GAFLIFL1	受信ルール・ラベル・ビット 1	受信ルール・ラベル・ビット 1 を設定します。	R/W
28-0	GAFLIDM[28:0]	受信ルール ID マスク・ビット	0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する	R/W

CAN 受信ルール・マスク・レジスタは，受信ルール（AFL）の ID フィールド・マスク条件を設定します。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GAFLIDEM

  1 にすると GAFLIDi.GAFLIDE で選択した ID フォーマットの受信メッセージに対して AFL フィルタ処理を行います。

  0 にすると IDE の比較は行いません。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLRTRM

  1 にすると GAFLIDi.GAFLRTR で選択したフレーム・フォーマットの受信メッセージに対して AFL フィルタ処理を行います。

  0 にすると RTR の比較は行いません。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLIFL1

  AFL フィルタ処理を通過した受信メッセージに対してラベル・ビット 1 の値を設定します。
  この値は受信ステータス・レジスタのラベル・データ（RMFDSTSn.RMIFL[1]，RFFDSTSk.RFIFL[1]および CFFDCSTS.CFIFL[1]）に格納されます。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLIDM[28:0]

  対応する ID ビットを 1 にすると GAFLIDi.GAFLID で選択した ID ビットと比較します。
  0 にすると ID ビットの比較は行いません（一致と判断します）。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

18.3.21　CAN 受信ルール・ポインタ 0 レジスタ i（GAFLP0iH, GAFLP0iL）[i = 0-15]

アドレス：　GAFLP0iL: F0428H + (10H×i),　GAFLP0iH: F042AH + (10H×i)
GAFLP0iLL: F0428H + (10H×i),　GAFLP0iLH: F0429H + (10H×i),
GAFLP0iHL: F042AH + (10H×i),　GAFLP0iHH: F042BH + (10H×i)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GAFLP0iH	GAFLPTR[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLP0iL	GAFL RMV	—	—	GAFLRMDP[4:0]					GAFL IFL0	—	—	—	GAFLDLC[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	GAFLPTR[15:0]	受信ルール・ポインタ設定ビット	受信ルール・ポインタを設定します。	R/W
15	GAFLRMV	受信バッファ許可ビット	0：受信バッファに，受信ルールを通過したメッセージを格納しない 1：受信バッファに受信ルールを通過したメッセージを格納する	R/W
14, 13	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
12-8	GAFLRMDP[4:0]	受信バッファ番号選択ビット	受信メッセージを格納する受信バッファ番号を設定します。	R/W
7	GAFLIFL0	受信ルール・ラベル・ビット 0	受信ルール・ラベル・ビット 0 を設定します。	R/W
6-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3-0	GAFLDLC[3:0]	受信ルール DLC 設定ビット	メッセージ受信の最小データ長を設定します。	R/W

CAN 受信ルール・ポインタ 0 レジスタは，受信ルールの DLC，受信ルール・ポインタ，受信バッファ番号選択および受信バッファ許可の各設定を行います。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GAFLPTR[15:0]

  AFL フィルタ処理を通過した受信メッセージに対して 16 ビットのポインタ・データの値を設定します。
  この値は受信ステータス・レジスタのポインタ・データ（RMFDSTS.RMPTR，RFFDSTS.RFPTR および CFFDCSTS.CFPTR）に格納されます。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLRMV

  1 にすると GAFLP0i.GAFLRMDP で指定した受信バッファに，AFL フィルタ処理を通過した受信メッセージを格納します。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLRMDP[4:0]

  AFL フィルタ処理を通過した受信メッセージの格納先受信バッファ番号を設定します。

  設定する値は 00000B から RMNB.NRXMB に設定した値より小さい値（番号）の範囲にしてください。なお，NRXMB が 00000B の場合，GAFLRMDP は 00000B としてください。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLIFL0

  AFL フィルタ処理を通過した受信メッセージに対してラベル・ビット 0 の値を設定します。

  この値は受信ステータス・レジスタのラベル・データ（RMFDSTS.RMIFL[0]，RFFDSTS.RFIFL[0]および CFFDCSTS.CFIFL[0]）に格納されます。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

- GAFLDLC[3:0]

  AFL フィルタの DLC フィルタ処理で用いる最小 DLC（データ長コード）値を設定します。

  受信したメッセージの DLC 値が GAFLP0i.GAFLDLC に設定された値以上の場合，DLC フィルタを通過します。

  GAFLDLC に 0000B を設定した場合，DLC フィルタ機能は無効です。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

次の表に GAFLDLC[3:0]設定時の DLC フィルタ処理を示します。

フォーマット	DLC[3]	DLC[2]	DLC[1]	DLC[0]	説明
CAN および CAN-FD	0	0	0	0	受信メッセージの DLC = 0 以上（DLC フィルタは無効）
CAN および CAN-FD	0	0	0	1	受信メッセージの DLC = 1 以上
CAN および CAN-FD	0	0	1	0	受信メッセージの DLC = 2 以上
CAN および CAN-FD	0	0	1	1	受信メッセージの DLC = 3 以上
CAN および CAN-FD	0	1	0	0	受信メッセージの DLC = 4 以上
CAN および CAN-FD	0	1	0	1	受信メッセージの DLC = 5 以上
CAN および CAN-FD	0	1	1	0	受信メッセージの DLC = 6 以上
CAN および CAN-FD	0	1	1	1	受信メッセージの DLC = 7 以上
CAN	1	x	x	x	受信メッセージの DLC = 8 以上
CAN-FD	1	0	0	0	受信メッセージの DLC = 8 以上
CAN-FD	1	0	0	1	受信メッセージの DLC = 12 以上
CAN-FD	1	0	1	0	受信メッセージの DLC = 16 以上
CAN-FD	1	0	1	1	受信メッセージの DLC = 20 以上
CAN-FD	1	1	0	0	受信メッセージの DLC = 24 以上
CAN-FD	1	1	0	1	受信メッセージの DLC = 32 以上
CAN-FD	1	1	1	0	受信メッセージの DLC = 48 以上
CAN-FD	1	1	1	1	受信メッセージの DLC = 64

18.3.22　CAN 受信ルール・ポインタ 1 レジスタ i（GAFLP1iL）[i = 0-15]

アドレス：　GAFLP1iL: F042CH + (10H × i)

GAFLP1iLL: F042CH + (10H × i),　　GAFLP1iLH: F042DH + (10H × i),

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLP1iL	—	—	—	—	—	—	—	GAFLFDP[8]	—	—	—	—	—	—	GAFLFDP[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	GAFLFDP[8]	送受信 FIFO バッファ選択ビット	1 設定時は，送受信 FIFO バッファに受信メッセージを格納します。	R/W
7-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1, 0	GAFLFDP[1:0]	受信 FIFO バッファ選択ビット	1 設定時は，受信 FIFO バッファに受信メッセージを格納します。	R/W

CAN 受信ルール・ポインタ 1 レジスタは，受信ルールの送受信 FIFO バッファおよび受信 FIFO バッファを受信メッセージ格納用として使用するかを選択します。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GAFLFDP[8], [1], [0]

AFL フィルタ処理を通過した受信メッセージの格納先として，FIFO バッファを指定する時に使用します。

ビット	シンボル	値（2 進）	機能
8	GAFLFDP[8]	0	受信メッセージの格納先として送受信 FIFO を無効にする
		1	受信メッセージの格納先として送受信 FIFO を有効にする
1	GAFLFDP[1]	0	受信メッセージの格納先として受信 FIFO 1 を無効にする
		1	受信メッセージの格納先として受信 FIFO 1 を有効にする
0	GAFLFDP[0]	0	受信メッセージの格納先として受信 FIFO 0 を無効にする
		1	受信メッセージの格納先として受信 FIFO 0 を有効にする

最大 2 つの FIFO バッファを指定できます。ただし，GAFLP0i.GAFLRMV が 1（受信バッファにメッセージを格納）の場合，FIFO バッファの最大指定数は 1 になります。

このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

18.3.23　CAN 受信バッファ数設定レジスタ（RMNB）

アドレス： RMNB: F0330H

RMNBL: F0330H,　　RMNBH: F0331H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMNB	—	—	—	—	—	RMPLS[2:0]			—	—	—	NRXMB[4:0]				
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-11	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
10-8	RMPLS[2:0]	受信バッファ・ペイロード・サイズ設定ビット	000B：8 バイト 001B：12 バイト 010B：16 バイト 011B：20 バイト 100B：24 バイト 101B：32 バイト 110B：48 バイト 111B：64 バイト	R/W
7-5	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
4-0	NRXMB[4:0]	受信バッファ数設定ビット	受信バッファ数を設定します。	R/W

CAN 受信バッファ数設定レジスタは，受信バッファ数と受信バッファのペイロード・サイズを設定します。

- RMPLS[2:0]

  受信バッファのペイロード・サイズを設定します。

  このビットはグローバル・リセット・モード時に設定してください。

- NRXMB[4:0]

  受信バッファ数を設定します。

  00000B から 10000B（0～16）の範囲で設定してください。00000B を設定すると受信バッファは使用しません。

18.3.24　CAN 受信バッファ受信完了フラグ・レジスタ（RMND）

アドレス： RMND: F0334H
RMNDL: F0334H,　　RMNDH: F0335H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMND	RMNS[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RMNS[15:0]	受信バッファ受信完了フラグ	0：対応する受信バッファに新しいメッセージなし 1：対応する受信バッファに新しいメッセージあり	R/W

CAN 受信バッファ受信完了フラグ・レジスタは，受信バッファの新しいメッセージの格納状態を示します。

RMND レジスタのビット位置は，受信バッファのバッファ番号に対応します。たとえば，RMNS のビット 0 は，受信バッファ 0 の受信完了フラグです。

- RMNS[15:0]

  対応する受信バッファにメッセージの格納を開始すると 1 になります。

  このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

  メッセージ格納中は，0 にクリアすることができません。

  メッセージを格納する時間は RMNB.RMPLS が 000B（受信ペイロード・サイズ＝8）の場合，6 クロック（pclk = f_{CLK}）になります。RMNB.RMPLS が 000B より大きい場合，6 + [4 バイト毎に 1] になります（64 バイト・ペイロードの場合，6 + (64-8)/4 = 20 クロック）。

★　このビットは，グローバル・リセット・モードまたはグローバル・スリープ・モードでは書き込むことができません。

  グローバル・リセット・モード時は 0000H になります。

18.3.25　CAN 受信 FIFO 制御レジスタ k（RFCCk）[k = 0, 1]

アドレス： RFCCk: F033CH + (4H×k)
RFCCkL: F033CH + (4H×k),　RFCCkH: F033DH + (4H×k)

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFCCk	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-13	RFIGCV[2:0]	受信 FIFO 割り込み発生タイミング選択ビット	000B：FIFO バッファに 1/8 メッセージを格納したとき 001B：FIFO バッファに 2/8 メッセージを格納したとき 010B：FIFO バッファに 3/8 メッセージを格納したとき 011B：FIFO バッファに 4/8 メッセージを格納したとき 100B：FIFO バッファに 5/8 メッセージを格納したとき 101B：FIFO バッファに 6/8 メッセージを格納したとき 110B：FIFO バッファに 7/8 メッセージを格納したとき 111B：FIFO バッファ・フルになったとき	R/W
12	RFIM	受信 FIFO 割り込み要因選択ビット	0：受信 FIFO カウンタが RFIGCV ビットで設定した条件に達したとき 1：メッセージ受信完了毎に割り込み要求を生成	R/W
11	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
10-8	RFDC[2:0]	受信 FIFO バッファ数設定ビット	000B：FIFO バッファの段数 = 0 メッセージ 001B：FIFO バッファの段数 = 4 メッセージ 010B：FIFO バッファの段数 = 8 メッセージ 011B：FIFO バッファの段数 = 16 メッセージ 100B：予約（設定しないでください） 101B：予約（設定しないでください） 110B：予約（設定しないでください） 111B：予約（設定しないでください）	R/W
7	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
6-4	RFPLS[2:0]	受信 FIFO ペイロード・サイズ設定ビット	000B：8 バイト 001B：12 バイト 010B：16 バイト 011B：20 バイト 100B：24 バイト 101B：32 バイト 110B：48 バイト 111B：64 バイト	R/W
3, 2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1	RFIE	受信 FIFO 割り込み許可ビット	0：受信 FIFO 割り込み禁止 1：受信 FIFO 割り込み許可	R/W
0	RFE	受信 FIFO バッファ許可ビット	0：受信 FIFO バッファ無効 1：受信 FIFO バッファ有効	R/W

CAN 受信 FIFO 制御レジスタは，2 つの受信 FIFO バッファの制御を設定します。

- RFIGCV[2:0]

  RFCCk.RFIM が 0 の場合，受信 FIFO 割り込み要求を発生させる受信メッセージ格納数を設定します。
  RFCCk.RFDC に設定したバッファ数に対する分数で指定します。RFCCk.RFDC が 001B（4 メッセージ）の場合，RFCCk.RFIGCV は 001B（1/4 メッセージ格納），011B（2/4 メッセージ格納），101B（3/4 メッセージ格納）または 111B（バッファ・フル）から選択してください。詳細は，「18.8.2.1.5　FIFO 割り込みの設定」を参照してください。
  このビットは，グローバル・リセット・モード時に設定してください。

- RFIM

  受信 FIFO 割り込み要因を選択します。
  このビットは，グローバル・スリープ・モードのときは書き込むことができません。グローバル・リセット・モード時に設定してください。

- RFDC[2:0]

  受信 FIFO バッファのメッセージ格納数を選択します。
  RFCCk.RFDC が 000B（0 メッセージ）の場合，受信 FIFO k は使用しない設定となります。
  このビットは，グローバル・リセット・モード時に設定してください。

- RFPLS[2:0]

  受信 FIFO バッファのペイロード・サイズを設定します。
  詳細については「18.8.2.1.4　FIFO ペイロード・サイズの設定」を参照してください。
  このビットは，グローバル・リセット・モード時に設定してください。

- RFIE

  1 にすると受信 FIFO 割り込みを許可します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。

- RFE

  1 にすると受信 FIFO バッファが有効となります。0 にすると受信 FIFO バッファは無効となり，RFSTSk.RFEMP が 1（バッファ空）になります。
  RFCCk.RFE を 1 にする場合，RFCCk.RFDC が “000B < RFDC ≤ 011B”（4，8 または 16 バッファ数）を設定しているときに設定してください。
  このビットは，グローバル動作モードまたはグローバル HALT モード時に設定してください。グローバル・リセット・モードでは 0 になります。

18.3.26　CAN 受信 FIFO ステータス・レジスタ k（RFSTSk）[k = 0, 1]

アドレス： RFSTSk: F0344H + (4H×k)

RFSTSkL: F0344H + (4H×k),　　RFSTSkH: F0345H + (4H×k)

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFSTSk	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
15,14	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
13-8	RFMC[5:0]	受信 FIFO メッセージ・カウンタ	受信 FIFO に格納されたメッセージ数を示します。	R
7-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	RFIF	受信 FIFO 割り込み要求フラグ	0：受信 FIFO 割り込み要求なし 1：受信 FIFO 割り込み要求あり	R/W
2	RFMLT	受信 FIFO メッセージ・ロスト・ステータス・フラグ	0：受信 FIFO メッセージ・ロストなし 1：受信 FIFO メッセージ・ロスト	R/W
1	RFFLL	受信 FIFO バッファ・フル・ステータス・フラグ	0：受信 FIFO バッファ・フルではない 1：受信 FIFO バッファ・フル	R
0	RFEMP	受信 FIFO バッファ・エンプティ・ステータス・フラグ	0：受信 FIFO バッファ・エンプティではない（メッセージあり） 1：受信 FIFO バッファ・エンプティ（メッセージなし）	R

CAN 受信 FIFO ステータス・レジスタは，FIFO バッファに保存されているメッセージの状態を示します。

- RFMC[5:0]

  受信 FIFO バッファの未読メッセージ数を示します。

  このビットは，RFCCk.RFE を 0（受信 FIFO バッファ無効）にすると 000000B になります。また，グローバル・リセット・モード時も 000000B にクリアされます。

- RFIF

  受信 FIFO 割り込み要求の発生条件が成立したときに 1 になります。

  このビットは，1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。

  このビットは，グローバル動作モードまたはグローバル HALT モード時に書き込んでください。

  グローバル・リセット・モードでは 0 になります。

  このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

- RFMLT

  受信 FIFO バッファ・フルの状態で新たなメッセージを格納しようとしたときに 1 になります。この場合，新しいメッセージは破棄します。

このビットは，1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
このビットは，グローバル動作モードまたはグローバル HALT モード時に書き込んでください。
グローバル・リセット・モードでは 0 になります。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。

- RFFLL

受信 FIFO バッファに格納されたメッセージ数が，RFCCk.RFDC で設定したメッセージ数と一致したときに 1 になり，RFDC で設定したメッセージ数より少なくなると 0 になります。また，RFCCk.RFE を 0（受信 FIFO バッファ無効）にすると 0 になります。
このビットは，グローバル・リセット・モードでは 0 になります。

- RFEMP

RFSTSk.RFMC が 000000B（格納メッセージなし）になると 1 になります。また，RFCCk.RFE が 0（受信 FIFO バッファ無効）のときに 1 になります。
RFSTSk.RFMC が 000000B 以外（受信メッセージが受信 FIFO バッファに格納されている状態）になると 0 になります。
このビットはグローバル・リセット・モードでは 1 になります。

18.3.27　CAN 受信 FIFO ポインタ制御レジスタ k（RFPCTRk）[k = 0, 1]

アドレス：RFPCTRk: F034CH + (4H×k)
RFPCTRkL: F034CH + (4H×k)

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFPCTRk	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
7-0	RFPC[7:0]	受信 FIFO ポインタ制御ビット	受信 FIFO バッファのリード・ポインタを更新します。	W

CAN 受信 FIFO ポインタ制御レジスタを使用して，受信 FIFO バッファの次の未読メッセージにリード・ポインタを更新します。

- RFPC[7:0]

  RFPCTRk.RFPC に FFH を書き込むと，受信 FIFO バッファの次の未読メッセージにリード・ポインタを更新します。
  FFH を書き込む場合，RFCCk.RFE が 1（受信 FIFO バッファ有効）で RFSTSk.RFEMP が 0（受信 FIFO バッファにメッセージあり）のときに行ってください。
  このビットを読んだ場合，常に 00H が読み出されます。
  このビットは，グローバル動作モードまたはグローバル HALT モード時に書き込んでください。

18.3.28　CAN 送受信 FIFO 制御レジスタ（CFCC）

アドレス：CFCCL: F0354H,　CFCCH: F0356H
CFCCLL: F0354H,　CFCCLH: F0355H,　CFCCHL: F0356H,　CFCCHH: F0357H

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CFCCH	CFITT[7:0]								CFDC[2:0]			—	—	—	CFTML[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFCCL	CFIGCV[2:0]			CFIM	CF ITR	CF ITSS	—	CFM	—	CFPLS[2:0]			—	CF TXIE	CF RXIE	CFE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-24	CFITT[7:0]	送受信 FIFO 送信間隔設定ビット	送信 FIFO モードの場合，インターバル・タイマのクロック源を用いた送信間隔を設定します	R/W
23-21	CFDC[2:0]	送受信 FIFO バッファ数設定ビット	000B：FIFO バッファの段数 = 0 メッセージ 001B：FIFO バッファの段数 = 4 メッセージ 010B：FIFO バッファの段数 = 8 メッセージ 011B：FIFO バッファの段数 = 16 メッセージ 100B：予約（設定しないでください） 101B：予約（設定しないでください） 110B：予約（設定しないでください） 111B：予約（設定しないでください）	R/W
20-18	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
17, 16	CFTML[1:0]	送受信 FIFO 送信バッファ・リンク設定ビット	送受信 FIFO バッファにリンクさせる送信バッファ番号を設定します。	R/W
15-13	CFIGCV[2:0]	送受信 FIFO 受信割り込み発生タイミング選択ビット	000B：送受信 FIFO に 1/8 メッセージを格納したとき 001B：送受信 FIFO に 2/8 メッセージを格納したとき 010B：送受信 FIFO に 3/8 メッセージを格納したとき 011B：送受信 FIFO に 4/8 メッセージを格納したとき 100B：送受信 FIFO に 5/8 メッセージを格納したとき 101B：送受信 FIFO に 6/8 メッセージを格納したとき 110B：送受信 FIFO に 7/8 メッセージを格納したとき 111B：送受信 FIFO が一杯になったとき	R/W
12	CFIM	送受信 FIFO 割り込み要因選択ビット	0: • 受信 FIFO モード時：送受信 FIFO カウンタが CFIGCV ビットで設定した条件に達した時に，FIFO 受信割り込み要求を生成します。 • 送信 FIFO モード時：送受信 FIFO バッファに設定したメッセージの送信がすべて完了した時に，FIFO 送信割り込み要求を生成します。 1: • 受信 FIFO モード時：メッセージ受信毎に FIFO 受信割り込み要求を生成します。 • 送信 FIFO モード時：メッセージ送信が完了する毎に FIFO 送信割り込み要求を生成します。	R/W

ビット	シンボル	ビット名	機能	R/W
11	CFITR	送受信 FIFO インターバル・タイマ分解能選択ビット	0：インターバル・タイマ基準クロック×1 1：インターバル・タイマ基準クロック×10	R/W
10	CFITSS	送受信 FIFO インターバル・タイマ・ソース選択ビット	0：インターバル・タイマ基準クロック（×1 または×10） 1：送受信 FIFO バッファにリンクしたチャネルのビット・タイム・クロック	R/W
9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	CFM	送受信 FIFO モード選択ビット	0：受信 FIFO モードで使用 1：送信 FIFO モードで使用	R/W
7	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
6-4	CFPLS[2:0]	送受信 FIFO ペイロード・サイズ設定ビット	000B：8 バイト 001B：12 バイト 010B：16 バイト 011B：20 バイト 100B：24 バイト 101B：32 バイト 110B：48 バイト 111B：64 バイト	R/W
3	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット	0：送受信 FIFO 送信割り込み禁止 1：送受信 FIFO 送信割り込み許可	R/W
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット	0：送受信 FIFO 受信割り込み禁止 1：送受信 FIFO 受信割り込み許可	R/W
0	CFE	送受信 FIFO 許可ビット	0：送受信 FIFO 禁止 1：送受信 FIFO 許可	R/W

- CFITT[7:0]

  CFCC.CFM が 1（送信 FIFO モードで使用）の場合，送受信 FIFO バッファから連続してメッセージを送信するときのメッセージ送信間隔を設定します。インターバル・タイマのクロック・ソースは，基準クロック×1，基準クロック×10 または CAN のビット・タイム・クロックから選択されたクロックになります。

  このビットは，グローバル・スリープ・モードでは書き込むことができません。他のグローバル・モードで CFCC.CFE が 0（送受信 FIFO 禁止）のときに設定してください。

  GCFG.ITRCP が 0000H（インターバル・タイマ動作禁止）の場合，CFCC.CFITT は 00H（送受信 FIFO インターバル・タイマ動作禁止）にしてください。

- CFDC[2:0]

  送受信 FIFO バッファのメッセージ数を設定します。

  CFCC.CFDC が 000B の場合，送受信 FIFO バッファは使用することができません。

  このビットはグローバル・リセット・モード時に設定してください。

- CFTML[1:0]

  CFCC.CFM が 1（送信 FIFO モードで使用）のときに，送受信 FIFO バッファにリンクさせる送信バッファ番号を設定します。

  このビットは，グローバル動作モードおよびグローバル・スリープ・モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。

- CFIGCV[2:0]

  CFCC.CFM が 0（受信 FIFO モードで使用）で CFCC.CFIM が 0 の場合，送受信 FIFO 受信割り込み要求を発生させる受信メッセージ格納数を設定します。

  CFCC.CFDC に設定したバッファ数に対する分数で指定します。CFCC.CFDC が 001B（4 メッセージ）の場合，CFCC.CFIGCV は 001B（1/4 メッセージ格納），011B（2/4 メッセージ格納），101B（3/4 メッセージ格納）または 111B（バッファ・フル）から選択してください。詳細は，「18.8.2.1.5　FIFO 割り込みの設定」を参照してください。

★　このビットは，グローバル・スリープ・モードでは書き込むことができません。

  グローバル・リセット・モード時に設定してください。

- CFIM

  送受信 FIFO 割り込み要因を選択します。

  このビットはグローバル・スリープ・モードでは書き込むことができません。グローバル・リセット・モード時に設定してください。

- CFITR

  送受信 FIFO 送信モード時のインターバル・タイマの基準クロックを選択します。

  0 のとき，f_{CLK} を GCFG.ITRCP で分周したクロックになります。

  1 のときは，f_{CLK} を GCFG.ITRCP の設定値 × 10 で分周したクロックになります。

★　このビットは，グローバル・スリープ・モードでは書き込むことができません。CFCC.CFE が 0（送受信 FIFO 禁止）のときに書き換えてください。

- CFITSS

  送受信 FIFO インターバル・タイマのクロック・スースを選択します。

  0 のとき，CFCC.CFITR で選択したクロックがインターバル・タイマのクロック・ソースになります。

  1 のときは，設定されたビット・タイム・クロックがクロック・ソースになります。ビット・タイム・クロックは，ノミナルおよびデータのビット・レート設定の影響を受けます。

  このビットは，グローバル・スリープ・モードでは書き込むことができません。CFCC.CFE が 0（送受信 FIFO 禁止）の状態で設定してください。

  CAN-FD 通信を使用する場合は，CFCC.CFITSS は 0 にしてください。

- CFM

  送受信 FIFO の動作モードを選択します。

  このビットは，グローバル動作モードおよびグローバル・スリープ・モードでは書き込むことができません。

  グローバル・リセット・モード時に設定してください。

- CFPLS[2:0]

  送受信 FIFO バッファのペイロード・サイズを設定します。

  このビットはグローバル・リセット・モード時に設定してください。

  詳細については「18.8　FIFO バッファとメッセージ・バッファの設定」を参照してください。

- CFTXIE

  このビットが 1（送受信 FIFO 送信割り込み許可）のときに，CFSTS.CFTXIF が 1（送受信 FIFO 送信割り込み要求あり）になると送受信 FIFO 送信割り込み要求が発生します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。

- CFRXIE

  このビットが 1（送受信 FIFO 受信割り込み許可）のときに，CFSTS.CFRXIF が 1（送受信 FIFO 受信割り込み要求あり）になると送受信 FIFO 受信割り込み要求が発生します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。

- CFE

  1 にすると，送受信 FIFO バッファを使用できます。
  0 にすると，送受信 FIFO バッファの機能を禁止にします。
  このビットに 0 を書くと，送受信 FIFO バッファを送信モードで使用している場合，送信をアボートし，受信モードで使用している場合，受信を停止します。また，バッファ空になります。
  送受信 FIFO バッファ数が有効範囲（000B<CFCC.CFDC≤011B）のときに 1 にしてください。
  このビットはグローバル・リセット・モードでは 0 になります。グローバル動作モードまたはグローバル HALT モード時に設定してください。なお，送受信 FIFO 送信モードを選択されているときは，チャネル・リセット・モードでは 0 になります。
  このビットを 1 にする場合，CFE を 0 にして他のビットを設定した後で，このビットに 1 を書いてください。

18.3.29　CAN 送受信 FIFO ステータス・レジスタ（CFSTS）

アドレス： CFSTS: F0358H

CFSTSL: F0358H,　　CFSTSH: F0359H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFSTS	—	—	CFMC[5:0]						—	—	—	CF TXIF	CF RXIF	CF MLT	CF FLL	CF EMP
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
15, 14	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
13-8	CFMC[5:0]	送受信 FIFO メッセージ・カウンタ	送受信 FIFO バッファに格納されたメッセージ数を示します。	R
7-5	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ	0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり	R/W
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ	0：送受信 FIFO 受信割り込み要求なし 1：送受信 FIFO 受信割り込み要求あり	R/W
2	CFMLT	送受信 FIFO メッセージ・ロスト・ステータス・フラグ	0：送受信 FIFO メッセージ・ロストなし 1：送受信 FIFO メッセージ・ロスト	R/W
1	CFFLL	送受信 FIFO フル	0：送受信 FIFO バッファ・フルではない 1：送受信 FIFO バッファ・フル	R
0	CFEMP	送受信 FIFO エンプティ	0：送受信 FIFO バッファ・エンプティではない（メッセージあり） 1：送受信 FIFO バッファ・エンプティ（メッセージなし）	R

- CFMC[5:0]

  CFSTS.CFMC は，CFCC.CFM の設定（送信モードまたは受信モードを選択）により次の状態を示します。

  - 送信モード：バッファに格納した未送信メッセージ数
  - 受信モード：バッファに格納された未読メッセージ数

  このビットは，次の条件で 0 になります。

  - CFCC.CFE が 0（送受信 FIFO 禁止）の場合
  - グローバル・リセット・モードのとき
  - 送信モード：未送信メッセージがないとき，およびチャネル・リセット・モードのとき
  - 受信モード：未読メッセージがないとき

- CFTXIF

  送受信 FIFO 送信モード時に CFCC.CFIM で選択した割り込み要因が発生すると 1 になります。

  このビットは，以下の条件で 0 になります。

  - このビットに 0 を書き込んだとき
  - グローバル・リセット・モードのとき
  - 送信モードでチャネル・リセット・モードのとき

このビットは，グローバル動作モードまたはグローバル HALT モード時に書いてください。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。このビットは，CPU の 0 書き込みと CAN チャネルの 1 セットが同時に発生した場合，1 セットが優先されます。

- CFRXIF

送受信 FIFO 受信モード時に CFCC.CFIM で選択した割り込み要因が発生すると 1 になります。
このビットは，以下の条件で 0 になります。

- このビットに 0 を書き込んだとき
- グローバル・リセット・モードのとき
- 送信モードでチャネル・リセット・モードのとき

このビットは，グローバル動作モードまたはグローバル HALT モード時に書いてください。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。このビットは，CPU の 0 書き込みと CAN チャネルの 1 セットが同時に発生した場合，1 セットが優先されます。

- CFMLT

送受信 FIFO 受信モード時でバッファ・フルのときに，さらに新しいメッセージを格納しようとしたときに 1 になります。この場合，新しいメッセージは破棄されます。
このビットは，以下の条件で 0 になります。

- このビットに 0 を書き込んだとき
- グローバル・リセット・モードのとき
- 送信モードでチャネル・リセット・モードのとき

このビットは，グローバル動作モードまたはグローバル HALT モード時に書いてください。
このビットをクリアしたい場合，クリアするビットに 0 を，クリアしないビットには 1 の値を設定し，MOV 命令を使用して書き込んでください。このビットは，CPU の 0 書き込みと CAN チャネルの 1 セットが同時に発生した場合，1 セットが優先されます。

- CFFLL

送受信 FIFO バッファに格納されたメッセージ数が CFCC.CFDC で設定した段数と一致したときに 1 になります。
このビットは，以下の条件で 0 になります。

- CFCC.CFDC で設定した段数より少ないとき
- グローバル・リセット・モードのとき
- 送信モードでチャネル・リセット・モードのとき

- CFEMP

受信モード（CFCC.CFM = 0）の場合，送受信 FIFO バッファに格納されたすべての受信メッセージを読み出したときに 1（バッファ・エンプティ）になります。未読メッセージが格納されていると 0（バッファ・エンプティではない）になります。

送信モード（CFCC.CFM = 1）の場合，すべてのメッセージを送信したとき，およびチャネル・リセット・モードのときに 1 になります。

未送信メッセージが格納されていると 0 になります。

また，以下の場合，このビットは 1 になります。

- 送受信 FIFO が無効のとき（CFCC.CFE が 0）
- グローバル・リセット・モードのとき

18.3.30　CAN 送受信 FIFO ポインタ制御レジスタ（CFPCTR）

アドレス： CFPCTR: F035CH
CFPCTRL: F035CH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFPCTR	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
7-0	CFPC[7:0]	送受信 FIFO ポインタ制御ビット	送受信 FIFO バッファのリード／ライト・ポインタを更新します。	W

このレジスタを使用して，対応する送受信 FIFO バッファのリード／ライト・ポインタを更新します。

- CFPC[7:0]

  FFH を書くと送受信 FIFO バッファのリード／ライト・ポインタを更新します。
  受信モード（CFCC.CFM = 0）の場合，送受信 FIFO バッファの次の未読メッセージにリード・ポインタを更新します。CFCC.CFE が 1（送受信 FIFO バッファ許可）で，CFSTS.CFEMP が 0（送受信 FIFO にメッセージあり）のときに CFPCTR.CFPC に FFH を書き込んでください。
  送信モード（CFCC.CFM = 1）の場合，送受信 FIFO バッファの次の段にライト・ポインタを更新します。CFCC.CFE が 1（送受信 FIFO バッファ許可）で，CFSTS.CFFLL が 0（バッファ・フルではない）のときに CFPCTR.CFPC に FFH を書き込んでください。
  このビットを読み出すと，常に 00H の値です。
  このビットは，グローバル動作モードまたはグローバル HALT モード時に書き込んでください。

18.3.31　CAN FIFO バッファ・エンプティ・ステータス・レジスタ（FESTS）

アドレス： FESTS: F0360H

FESTSL: F0360H,　　FESTSH: F0361H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FESTS	—	—	—	—	—	—	—	CF EMP	—	—	—	—	—	—	RF1 EMP	RF0 EMP
リセット後の値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	CFEMP	送受信 FIFO エンプティ・ステータス	0：対応する送受信 FIFO バッファはエンプティではない 1：対応する送受信 FIFO バッファがエンプティ	R
7-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1	RF1EMP	受信 FIFO 1 バッファ・エンプティ・ステータス・フラグ	0：受信 FIFO 1 バッファ・エンプティではない 1：受信 FIFO 1 バッファ・エンプティ	R
0	RF0EMP	受信 FIFO 0 バッファ・エンプティ・ステータス・フラグ	0：受信 FIFO 0 バッファ・エンプティではない 1：受信 FIFO 0 バッファ・エンプティ	R

CAN FIFO バッファ・エンプティ・ステータス・レジスタは，FIFO バッファ（受信 FIFO バッファ，送受信 FIFO バッファ）のエンプティ・フラグの状態を示します。

- CFEMP

  このビットは，CFSTS.CFEMP（送受信 FIFO エンプティ・フラグ）の情報を示します。

  グローバル・リセット・モードでは 1 になります。

- RF1EMP，RF0EMP

  このビットは，RFSTSk.RFEMP（受信 FIFO エンプティ・フラグ）の情報を示します。

  グローバル・リセット・モードでは 1 になります。

18.3.32　CAN FIFO バッファ・フル・ステータス・レジスタ（FFSTS）

アドレス： FFSTS: F0364H

FFSTSL: F0364H,　　FFSTSH: F0365H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FFSTS	—	—	—	—	—	—	—	CF FLL	—	—	—	—	—	—	RF1 FLL	RF0 FLL
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	CFFLL	送受信 FIFO フル・ステータス	0：送受信 FIFO バッファ・フルではない 1：送受信 FIFO バッファ・フル	R
7-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1	RF1FLL	受信 FIFO 1 バッファ・フル・ステータス・フラグ	0：受信 FIFO 1 バッファ・フルではない 1：受信 FIFO 1 バッファ・フル	R
0	RF0FLL	受信 FIFO 0 バッファ・フル・ステータス・フラグ	0：受信 FIFO 0 バッファ・フルではない 1：受信 FIFO 0 バッファ・フル	R

CAN FIFO バッファ・フル・ステータス・レジスタは，FIFO バッファ（受信 FIFO バッファ，送受信 FIFO バッファ）のバッファ・フル・フラグの状態を示します。

- CFFLL

  このビットは，CFSTS.CFFLL（送受信 FIFO バッファ・フル・フラグ）の情報を示します。

  グローバル・リセット・モードでは 0 になります。

- RF1FLL，RF0FLL

  このビットは，RFSTSk.RFFLL（受信 FIFO バッファ・フル・フラグ）の情報を示します。

  グローバル・リセット・モードでは 0 になります。

18.3.33　CAN FIFO バッファ・メッセージ・ロスト・ステータス・レジスタ（FMSTS）

アドレス： FMSTS: F0368H

FMSTSL: F0368H,　　FMSTSH: F0369H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
FMSTS	—	—	—	—	—	—	—	CF MLT	—	—	—	—	—	—	RF1 MLT	RF0 MLT
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	CFMLT	送受信 FIFO メッセージ・ロスト・ステータス・フラグ	0：送受信 FIFO メッセージ・ロストではない 1：送受信 FIFO メッセージ・ロスト	R
7-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1	RF1MLT	受信 FIFO 1 メッセージ・ロスト・ステータス・フラグ	0：受信 FIFO 1 メッセージ・ロストではない 1：受信 FIFO 1 メッセージ・ロスト	R
0	RF0MLT	受信 FIFO 0 メッセージ・ロスト・ステータス・フラグ	0：受信 FIFO 0 メッセージ・ロストではない 1：受信 FIFO 0 メッセージ・ロスト	R

CAN FIFO バッファ・メッセージ・ロスト・ステータス・レジスタは，FIFO バッファ（受信 FIFO バッファ，送受信 FIFO バッファ）のメッセージ・ロスト・フラグの状態を示します。

- CFMLT

  このビットは，CFSTS.CFMLT（送受信 FIFO メッセージ・ロスト・フラグ）の情報を示します。

  グローバル・リセット・モードでは 0 になります。

- RF1MLT，RF0MLT

  このビットは，RFSTSk.RFMLT（受信 FIFO メッセージ・ロスト・フラグ）の情報を示します。

  グローバル・リセット・モードでは 0 になります。

18.3.34　CAN 受信 FIFO 割り込みフラグ・ステータス・レジスタ（RFISTS）

アドレス： RFISTS: F036CH
RFISTSL: F036CH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFISTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RF1IF	RF0IF
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1	RF1IF	受信 FIFO 1 割り込み要求ステータス・フラグ	0：受信 FIFO 1 割り込み要求なし 1：受信 FIFO 1 割り込み要求あり	R
0	RF0IF	受信 FIFO 0 割り込み要求ステータス・フラグ	0：受信 FIFO 0 割り込み要求なし 1：受信 FIFO 0 割り込み要求あり	R

CAN 受信 FIFO 割り込みフラグ・ステータス・レジスタは，受信 FIFO 割り込み要求フラグの状態を示します。

- RF1IF，RF0IF

  このビットは，RFSTSk.RFIF（受信 FIFO 割り込み要求フラグ）の情報を示します。
  グローバル・リセット・モードでは 0 になります。

18.3.35　CAN0 送信バッファ制御レジスタ m（TMCm）[m = 0-3]

アドレス： TMCm: F0370H + m

略号	b7	b6	b5	b4	b3	b2	b1	b0
TMCm	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-3	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
2	TMOM	送信バッファ・ワンショット送信許可ビット	0：ワンショット送信禁止 1：ワンショット送信許可	R/W
1	TMTAR	送信バッファ・アボート要求ビット	0：送信アボートを要求しない 1：送信アボートを要求する	R/W
0	TMTR	送信バッファ送信要求ビット	0：送信を要求しない 1：送信を要求する	R/W

CAN0 送信バッファ制御レジスタは，送信バッファの機能を設定します。

- TMOM

  1 にするとワンショット送信を要求します。

  TMSTSm.TMTRM が 0（送信要求なし）のときに，TMCm.TMTR の 1 書き込み（送信を要求する）と同時に 1 を書いてください。

  送信が成功すると，TMSTSm.TMTRF は 10B（送信完了。送信アボートなし）または 11B（送信完了。送信アボートあり）になります。バス・エラーまたはアービトレーション・ロストにより送信が成功しなかった場合，TMSTSm.TMTRF は 01B（送信アボート完了）になります。送信失敗による再送信は行いません。

  TMCm.TMOM は送信の成功・失敗にかかわらず 1 を保持しています。

  このビットは，グローバル・リセット・モードおよびチャネル・リセット・モードで 0 になります。チャネル動作モードまたはチャネル HALT モード時に設定してください。

- TMTAR

  1 にすると送信バッファに格納されたメッセージの送信アボートを要求します。ただし，送信中または次の送信が開始されるメッセージはアボートできません。

  TMCm.TMTR が 1（送信を要求）のときに TMCm.TMTAR を 1 にすることができます。

  このビットは，以下の条件で 0 になります。

  - 送信が完了したとき
  - 送信アボートが完了したとき
  - バス・エラーまたはアービトレーション・ロストを検出したとき
  - グローバル・リセット・モードまたはチャネル・リセット・モードのとき

  このビットは，CPU の 1 書き込みと CAN チャネルの 0 クリアが同時に発生した場合，0 クリアが優先されます。

- TMTR

  1 にすると送信バッファに格納されたメッセージの送信を行います。

  このビットは，以下の条件で 0 になります。

  - 送信が成功したとき
  - TMCm.TMTAR を 1（送信アボート要求）にして送信アボートが完了したとき
  - TMCm.TMOM が 1（ワンショット送信要求）の状態でバス・エラーまたはアービトレーション・ロストを検出したとき
  - グローバル・リセット・モードまたはチャネル・リセット・モードのとき

  このビットは，チャネル動作モードまたはチャネル HALT モードで TMSTSm.TMTRF が 00B（送信要求なし）のときに 1 を書いてください。

  対応する送信バッファが送受信 FIFO 送信モードのバッファにリンクされている場合，TMCm.TMTR に 1 を書かないでください。

18.3.36　CAN0 送信バッファ・ステータス・レジスタ m（TMSTSm）[m = 0-3]

アドレス： TMSTSm: F0374H + m

略号	b7	b6	b5	b4	b3	b2	b1	b0
TMSTSm	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値:	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-5	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
4	TMTARM	送信バッファ・アボート要求ステータス・フラグ	0：送信アボート要求なし 1：送信アボート要求あり	R
3	TMTRM	送信バッファ送信要求ステータス・フラグ	0：送信要求なし 1：送信要求あり	R
2, 1	TMTRF[1:0]	送信バッファ送信完了ステータス・フラグ	00B：送信要求なし（または送信中） 01B：送信アボート完了 10B：送信完了（送信アボート要求なし） 11B：送信完了（送信アボート要求あり）	R/W
0	TMTSTS	送信バッファ送信ステータス・フラグ	0：送信中ではない 1：送信中	R

CAN0 送信バッファ・ステータス・レジスタは，送信バッファの送信および送信アボートの状態を表示します。

- TMTARM

  このビットは，TMCm.TMTAR（送信アボート要求フラグ）の情報を示します。

- TMTRM

  このビットは，TMCm.TMTR（送信要求フラグ）の情報を示します。

- TMTRF[1:0]

  対応する送信バッファの送信結果を示します。

  ステータスは次のとおりです。

  00B：送信中または送信要求なし

  01B：送信バッファからの送信がアボートされた

  10B：TMCm.TMTAR が 0（送信アボートを要求しない）で送信が完了した

  11B：TMCm.TMTAR が 1（送信アボート要求）で送信が完了した

  このビットはグローバル・リセット・モードおよびチャネル・リセット・モードでは 00B になります。チャネル動作モードまたはチャネル HALT モード時に書いてください。

  このビットは，CPU の 00B 書き込みと CAN チャネルのセットが同時に発生した場合，セットが優先されます。

- TMTSTS

  送信バッファからの送信が開始すると 1 になります。

  以下の条件で 0 になります。

  - 送信が完了したとき
  - バス・エラーやアービトレーション・ロストにより送信を中断したとき
  - グローバル・リセット・モードまたはチャネル・リセット・モードのとき

18.3.37　CAN0 送信バッファ送信要求ステータス・レジスタ（TMTRSTS）

アドレス： TMTRSTS: F0378H
TMTRSTSL: F0378H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMTRSTS	—	—	—	—	—	—	—	—	—	—	—	—	TMTRSTS[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	TMTRSTS3	送信バッファ 3 送信要求ステータス・フラグ	0：送信バッファ 3 送信要求なし 1：送信バッファ 3 送信要求あり	R
2	TMTRSTS2	送信バッファ 2 送信要求ステータス・フラグ	0：送信バッファ 2 送信要求なし 1：送信バッファ 2 送信要求あり	R
1	TMTRSTS1	送信バッファ 1 送信要求ステータス・フラグ	0：送信バッファ 1 送信要求なし 1：送信バッファ 1 送信要求あり	R
0	TMTRSTS0	送信バッファ 0 送信要求ステータス・フラグ	0：送信バッファ 0 送信要求なし 1：送信バッファ 0 送信要求あり	R

このレジスタは，送信バッファの送信要求ステータスを示します。TMTRSTS[3:0] は送信バッファのバッファ番号に対応しており，TMTRSTS[0] は送信バッファ 0 に対応しています。

- TMTRSTS[3:0]

  このビットは，対応する送信バッファの TMCm.TMTR（送信要求フラグ）の情報を示します。

  このビットはグローバル・リセット・モードおよびチャネル・リセット・モードでは 0 になります。

18.3.38　CAN0 送信バッファ・アボート要求ステータス・レジスタ（TMTARSTS）

アドレス： TMTARSTS: F037CH
TMTARSTSL: F037CH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMTARSTS	—	—	—	—	—	—	—	—	—	—	—	—	TMTARSTS[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	TMTARSTS3	送信バッファ 3 アボート要求ステータス・フラグ	0：送信バッファ 3 アボート要求なし 1：送信バッファ 3 アボート要求あり	R
2	TMTARSTS2	送信バッファ 2 アボート要求ステータス・フラグ	0：送信バッファ 2 アボート要求なし 1：送信バッファ 2 アボート要求あり	R
1	TMTARSTS1	送信バッファ 1 アボート要求ステータス・フラグ	0：送信バッファ 1 アボート要求なし 1：送信バッファ 1 アボート要求あり	R
0	TMTARSTS0	送信バッファ 0 アボート要求ステータス・フラグ	0：送信バッファ 0 アボート要求なし 1：送信バッファ 0 アボート要求あり	R

このレジスタは，送信バッファの送信アボート要求ステータスを示します。TMTARSTS[3:0]は送信バッファのバッファ番号に対応しており，TMTARSTS[0]は送信バッファ 0 に対応しています。

- TMTARSTS[3:0]

  このビットは，対応する送信バッファの TMCm.TMTAR（送信アボート要求フラグ）の情報を示します。
  このビットは，グローバル・リセット・モードおよびチャネル・リセット・モードでは 0 になります。

18.3.39　CAN0 送信バッファ送信完了ステータス・レジスタ（TMTCSTS）

アドレス： TMTCSTS: F0380H
TMTCSTSL: F0380H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMTCSTS	—	—	—	—	—	—	—	—	—	—	—	—	TMTCSTS[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	TMTCSTS3	送信バッファ 3 送信完了ステータス・フラグ	0：送信バッファ 3 送信完了なし 1：送信バッファ 3 送信完了	R
2	TMTCSTS2	送信バッファ 2 送信完了ステータス・フラグ	0：送信バッファ 2 送信完了なし 1：送信バッファ 2 送信完了	R
1	TMTCSTS1	送信バッファ 1 送信完了ステータス・フラグ	0：送信バッファ 1 送信完了なし 1：送信バッファ 1 送信完了	R
0	TMTCSTS0	送信バッファ 0 送信完了ステータス・フラグ	0：送信バッファ 0 送信完了なし 1：送信バッファ 0 送信完了	R

このレジスタは，送信バッファの送信完了ステータスを示します。TMTCSTS[3:0]は送信バッファのバッファ番号に対応しており，TMTCSTS[0]は送信バッファ 0 に対応しています。

- TMTCSTS[3:0]

  このビットは，対応する送信バッファの TMSTSm.TMTRF[1]（送信完了ステータス・フラグ）の情報を示します。

  このビットは，グローバル・リセット・モードおよびチャネル・リセット・モードでは 0 になります。

18.3.40　CAN0 送信バッファ・アボート・ステータス・レジスタ（TMTASTS）

アドレス： TMTASTS: F0384H
TMTASTSL: F0384H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMTASTS	—	—	—	—	—	—	—	—	—	—	—	—	TMTASTS[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	TMTASTS3	送信バッファ 3 アボート・ステータス・フラグ	0：送信バッファ 3 送信アボートなし 1：送信バッファ 3 送信アボートあり	R
2	TMTASTS2	送信バッファ 2 アボート・ステータス・フラグ	0：送信バッファ 2 送信アボートなし 1：送信バッファ 2 送信アボートあり	R
1	TMTASTS1	送信バッファ 1 アボート・ステータス・フラグ	0：送信バッファ 1 送信アボートなし 1：送信バッファ 1 送信アボートあり	R
0	TMTASTS0	送信バッファ 0 アボート・ステータス・フラグ	0：送信バッファ 0 送信アボートなし 1：送信バッファ 0 送信アボートあり	R

このレジスタは，送信バッファの送信アボート・ステータスを示します。TMTASTS[3:0] は送信バッファのバッファ番号に対応しており，TMTASTS[0] は送信バッファ 0 に対応しています。

- TMTASTS[3:0]

  このビットは，対応する送信バッファの TMSTSm.TMTRF が 01B（送信アボート完了）のときに 1 になります。TMSTSm.TMTRF が 00B（送信要求なし）のときに 0 になります。

  このビットは，グローバル・リセット・モードおよびチャネル・リセット・モードでは 0 になります。

18.3.41　CAN0 送信バッファ割り込み許可レジスタ（TMIEC）

アドレス： TMIEC: F0388H
TMIECL: F0388H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMIEC	—	—	—	—	—	—	—	—	—	—	—	—	TMIE[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	TMIE3	送信バッファ 3 割り込み許可ビット	0：送信バッファ 3 割り込み禁止 1：送信バッファ 3 割り込み許可	R/W
2	TMIE2	送信バッファ 2 割り込み許可ビット	0：送信バッファ 2 割り込み禁止 1：送信バッファ 2 割り込み許可	R/W
1	TMIE1	送信バッファ 1 割り込み許可ビット	0：送信バッファ 1 割り込み禁止 1：送信バッファ 1 割り込み許可	R/W
0	TMIE0	送信バッファ 0 割り込み許可ビット	0：送信バッファ 0 割り込み禁止 1：送信バッファ 0 割り込み許可	R/W

このレジスタは，送信バッファの送信割り込み許可ビットの状態を示します。TMIE[3:0] は送信バッファのバッファ番号に対応しており，TMIE[0] は送信バッファ 0 に対応しています。

- TMIE[3:0]

  このビットに 1 を書くと，対応する送信バッファの送信が完了すると割り込み要求を生成します。
  送信バッファ割り込みの仕様については「18.12　割り込み」を参照してください。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。また，チャネル・スリープ・
★ モード時に書き込まないでください。
  CFCC.CFTML ビットで送信バッファが送受信 FIFO バッファにリンク設定している場合は，対応するビットに 1 を書き込まないでください。

18.3.42　CAN0 送信履歴制御レジスタ（THLCC）

アドレス： THLCC: F0398H
THLCCL: F0398H,　　THLCCH: F0399H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
THLCC	—	—	—	—	—	THL DTE	THL IM	THL IE	—	—	—	—	—	—	—	THLE
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-11	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
10	THLDTE	送信履歴対象バッファ選択ビット	0：送受信 FIFO バッファ（送信モード） 1：送信バッファ，送受信 FIFO バッファ（送信モード）	R/W
9	THLIM	送信履歴割り込み要因選択ビット	0：送信履歴バッファに 6/8 メッセージが格納された時に割り込み要求を生成 1：送信履歴バッファにデータが格納される毎に割り込み要求を生成	R/W
8	THLIE	送信履歴割り込み許可ビット	0：送信履歴割り込み禁止 1：送信履歴割り込み許可	R/W
7-1	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
0	THLE	送信履歴許可ビット	0：送信履歴禁止 1：送信履歴許可	R/W

CAN0 送信履歴制御レジスタは，送信履歴機能の各設定を行います。

- THLDTE

  0 にすると，送受信 FIFO バッファからのみ送信したメッセージの送信履歴データを送信履歴バッファに格納します。
  1 にすると，送信バッファおよび送受信 FIFO バッファから送信したメッセージの送信履歴データを送信履歴バッファに格納します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。また，グローバル動作モードおよびグローバル HALT モードでは書き込まないでください。チャネル・リセット・モード時に設定してください。

- THLIM

  送信履歴割り込み要因を選択します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。また，グローバル動作モードおよびグローバル HALT モードでは書き込まないでください。チャネル・リセット・モード時に設定してください。

- THLIE

  THLCC.THLIE を 1 に設定し，THLCC.THLIM で選択した割り込み要因が発生すると，送信履歴割り込み要求を生成します。
  このビットは，グローバル・スリープ・モードでは書き込むことができません。

- THLE

  1 にすると送信履歴バッファを使用することができます。

  このビットは，チャネル・スリープ・モードおよびチャネル・リセット・モードでは書き込むことができません。また，チャネル・リセット・モードでは 0 になります。チャネル動作モードまたはチャネル HALT モード時に設定してください。

18.3.43　CAN0 送信履歴ステータス・レジスタ（THLSTS）

アドレス： THLSTS: F039CH
THLSTSL: F039CH,　THLSTSH: F039DH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
THLSTS	—	—	—	—	THLMC[3:0]				—	—	—	—	THLIF	THL ELT	THL FLL	THL EMP
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
15-12	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
11-8	THLMC[3:0]	送信履歴メッセージ・カウンタ	送信履歴バッファに格納されたメッセージ数を示します。	R
7-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3	THLIF	送信履歴割り込みステータス・フラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R/W
2	THLELT	送信履歴エントリ・ロスト・ステータス・フラグ	0：送信履歴エントリ・ロストなし 1：送信履歴エントリ・ロスト	R/W
1	THLFLL	送信履歴バッファ・フル・ステータス・フラグ	0：送信履歴バッファ・フルではない 1：送信履歴バッファ・フル	R
0	THLEMP	送信履歴バッファ・エンプティ・ステータス・フラグ	0：送信履歴バッファ・エンプティではない（データあり） 1：送信履歴バッファ・エンプティ（データなし）	R

CAN0 送信履歴ステータス・レジスタは，送信履歴バッファに格納されているデータの状態を示します。

- THLMC[3:0]

  送信履歴バッファに格納されているメッセージ数（未読メッセージ数）を示します。
  このビットは，チャネル・リセット・モードのときは 0 になります。

- THLIF

  THLCC.THLIM で選択した送信履歴割り込み要因が発生すると 1 になります。
  このビットは，1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
  ★ このビットは，チャネル動作モードまたはチャネル HALT モード時に書いてください。チャネル・リセット・モードのときは 0 になります。

- THLELT

  送信履歴バッファ・フルの状態で，さらに新しい送信履歴データを格納しようとしたときに 1 になります。
  この場合，新しいデータは破棄します。
  このビットは，1 のときに 0 を書き込むことでクリアすることができます。1 を書いても変化しません。プログラムによる 0 クリアと検出による 1 セットが同時の場合，このビットは 1 になります。
  ★ このビットは，チャネル動作モードまたはチャネル HALT モード時に書いてください。チャネル・リセット・モードのときは 0 になります。

- THLFLL

  送信履歴バッファに 8 個のデータを格納すると 1 になります。

  このビットは，以下の条件で 0 になります。

  - 送信履歴バッファのデータ格納数が 8 個より少ないとき
  - THLCC.THLE が 0（送信履歴禁止）のとき
  - チャネル・リセット・モードのとき

- THLEMP

  送信履歴バッファに未読のデータが格納されると 0 になります。

  このビットは，以下の条件で 1（バッファ・エンプティ）になります。

  - 送信履歴バッファからすべてのデータを読み出したとき
  - THLCC.THLE が 0（送信履歴禁止）のとき
  - チャネル・リセット・モードのとき

18.3.44　CAN0 送信履歴アクセス・レジスタ 0（THLACC0H, THLACC0L）

アドレス：THLACC0L: F0640H,　THLACC0H: F0642H
THLACC0LL: F0640H, THLACC0HL: F0642H, THLACC0HH: F0643H
条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
THLACC0H	TMTS[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
THLACC0L	—	—	—	—	—	—	—	—	—	—	—	BN[1:0]		—	BT[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	TMTS[15:0]	送信タイム・スタンプ・データ	タイム・スタンプ値	R
15-5	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
4, 3	BN[1:0]	バッファ番号データ	送信バッファ／送受信 FIFO バッファ（送信モード）番号を示します。	R
2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1, 0	BT[1:0]	バッファ・タイプ・データ	01B：送信バッファ 10B：送受信 FIFO バッファ（送信モード）	R

CAN0 送信履歴アクセス・レジスタ 0 は，CFDGRWC.RPAGE が 01B のときにアクセスすることができます。

- TMTS[15:0]

  送信履歴バッファに格納された送信履歴データのタイム・スタンプ値を表示します。

- BN[1:0]

  送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。送受信 FIFO バッファから送信した場合，送受信 FIFO バッファにリンクしている送信バッファ番号を表示します。

- BT[1:0]

  送信履歴バッファに格納された送信元バッファの情報を示します。

18.3.45　CAN0 送信履歴アクセス・レジスタ 1（THLACC1H, THLACC1L）

アドレス：　THLACC1L: F0644H　　THLACC1H: F0646H
　　THLACC1LL: F0644H,　THLACC1LH: F0645H,　THLACC1HL: F0646H
条件：　　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
THLACC1H	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIFL[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
THLACC1L	TID[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-18	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
17, 16	TIFL[1:0]	送信ラベル・データ	ラベル・データ	R
15-0	TID[15:0]	送信 ID データ	ID データ	R

CAN0 送信履歴アクセス・レジスタ 1 は，CFDGRWC.RPAGE が 01B のときにアクセスすることができます。

- TIFL[1:0]

  送信履歴バッファに格納された送信履歴データの送信ラベル・データ（TMFDCTRm.TMIFL または CFFDCSTS.CFIFL に設定された値）を表示します。

- TID[15:0]

  送信履歴バッファに格納された送信履歴データの送信ポインタ・データ（TMFDCTRm.TMPTR または CFFDCSTS.CFPTR に設定された値）を表示します。

18.3.46　CAN0 送信履歴ポインタ制御レジスタ（THLPCTR）

アドレス： THLPCTR: F03A0H
THLPCTRL: F03A0H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
THLPCTR	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
7-0	THLPC[7:0]	送信履歴ポインタ制御ビット	送信履歴バッファのリード・ポインタを更新します。	W

CAN0 送信履歴ポインタ制御レジスタを使用して，送信履歴バッファのリード・ポインタを更新します。

- THLPC[7:0]

  FFH の値を書き込むと，送信履歴バッファの次のデータにリード・ポインタを更新します。
  このビットは，チャネル動作モードまたはチャネル HALT モード時に書き込みしてください。読んだ場合，常に 00H です。
  このビットは，THLCC.THLE が 1（送信履歴許可）で THLSTS.THLEMP が 0（送信履歴データあり）のときに書いてください。

18.3.47　CAN リセット制御レジスタ（GRSTC）

アドレス： GRSTC: F03D8H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GRSTC	KEY[7:0]								—	—	—	—	—	—	—	SRST
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	KEY[7:0]	SRST ビット書き込みキー・コード	SRST ビットに書き込むときに C4H を設定します。	W
7-1	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
0	SRST	SW リセット・ビット	0：SW リセットを要求しない 1：SW リセット要求	R/W

- KEY[7:0]

  GRSTC.SRST に書き込むときに GRSTC.KEY に C4H を設定します。

  このビットを読み出すと，常に 00H です。

  GRSTC.KEY と GRSTC.SRST は，必ず同時に書いてください。

- SRST

  RS-CANFD lite モジュールをリセット状態にすることができます。

  GRSTC.SRST に 1 を書き込み，次に 0 を書き込むことでリセットします。

  このビットを 1 から 0 にクリアすることで，グローバル・スリープ・モードに遷移します。ただし，CAN RAM 初期化は実行しません。RAM 初期化はユーザ・ソフトウェアで実行してください。

  なお，CAN モジュールによる CAN RAM 初期化中に SW リセットを行った場合，RAM 初期化は中断します。ユーザ・ソフトウェアで RAM 初期化を実行してください。

  本章では SRST に 1 を書き込む処理を，SW リセットと称します。

  GRSTC.KEY と GRSTC.SRST は，必ず同時に書いてください。

18.3.48　CAN テスト・コンフィグレーション・レジスタ（GTSTCFG）

アドレス：GTSTCFG: F03AAH
GTSTCFGL: F03AAH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GTSTCFG	—	—	—	—	—	—	—	—	—	—	—	—	RTMPS[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3-0	RTMPS[3:0]	RAM テスト・ページ選択ビット	RAM テスト・ページ番号を指定します。	R/W

CAN テスト・コンフィグレーション・レジスタは，RAM テスト・ページ番号を指定するために使用します。

- RTMPS[3:0]

  RAM テスト・モードのときに RAM テストの対象となるページ番号を指定します。詳細については「18.11.2.1 RAM テスト・モード」を参照してください。
  このビットには，0000B から 1000B（0 から 8）以外の値を設定しないでください。
  このビットは，グローバル・リセット・モードおよびグローバル・スリープ・モードでは書き込むことができません。グローバル HALT モードで RAM テスト・モードに遷移した後で設定してください。
  グローバル・リセット・モードのときは 0000B になります。

18.3.49　CAN テスト制御レジスタ（GTSTCTR）

アドレス： GTSTCTR: F03ACH
GTSTCTRL: F03ACH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GTSTCTR	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-3	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
2	RTME	RAM テスト許可ビット	0：RAM テスト禁止 1：RAM テスト許可	R/W
1, 0	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W

CAN テスト制御レジスタは，RS-CANFD lite モジュールの CAN テスト・モードを制御するために使用します。

- RTME

  グローバル HALT モードでこのビットを 1 にすると RAM テストを許可します。詳細については「18.11.2.1 RAM テスト・モード」を参照してください。
  このビットはグローバル HALT モード時に設定してください。グローバル・リセット・モードでは 0 になります。

18.3.50　CAN-FD コンフィグレーション・レジスタ（GFDCFG）

アドレス：GFDCFG: F03B0H
GFDCFGL: F03B0H,　GFDCFGH: F03B1H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GFDCFG	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-10	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
9, 8	TSCCFG[1:0]	タイム・スタンプ取得タイミング選択ビット	00B：SOF のタイミングでタイム・スタンプの値を取得します。 01B：有効フレーム判定時にタイム・スタンプの値を取得します。 10B：res ビットのタイミングでタイム・スタンプの値を取得します。 11B：予約（設定しないでください）	R/W
7-1	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
0	RPED	res ビット・プロトコル例外禁止ビット	0：res ビット・プロトコル例外検出許可 1：res ビット・プロトコル例外検出禁止	R/W

- TSCCFG[1:0]

  送信と受信のタイム・スタンプ値の取得タイミングを設定します。
  GFDCFG.TSCCFG が 10B の場合，CAN-FD フレームの res ビットのタイミング，および Classical-CAN フレームのフレーム開始時に実行します。
  このビットは，グローバル・リセット・モード時に設定してください。

- RPED

  プロトコル例外検出処理の許可／禁止を設定します。
  GFDCFG.RPED を 1 にすると，プロトコル例外検出は禁止となり，res ビット・プロトコル例外を検出するとエラー・フレームを送信します。
  このビットは，グローバル・リセット・モード時に設定してください。

18.3.51　CAN テスト・プロテクト解除レジスタ（GLOCKK）

アドレス： GLOCKK: F03B8H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GLOCKK	LOCK[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	LOCK[15:0]	プロテクト解除データ	テスト機能にエントリする時にプロテクト解除データを設定します。	W

CAN テスト・プロテクト解除レジスタは，テスト機能にエントリする時に使用します。
プロテクト解除データの仕様については，「18.11.2　グローバル・テスト・モード」を参照してください。

- LOCK[15:0]

  テスト機能にエントリするときにプロテクト解除データを設定します。詳細は，「18.11.2　グローバル・テスト・モード」を参照してください。
  このビットは，グローバル・スリープ・モードおよびグローバル・リセット・モードでは書き込むことができません。グローバル HALT モード時に設定してください。
  このビットを読み出すと常に 0000H です。

18.3.52　CAN 用 RAM テスト・レジスタ r（RPGACCrH, RPGACCrL）[r = 0-63]

アドレス：　RPGACCrL: F0580H + (4H×r),　RPGACCrH: F0582H + (4H×r)
RPGACCrLL: F0580H + (4H×r),　RPGACCrLH: F0581H + (4H×r),
RPGACCrHL: F0582H + (4H×r),　RPGACCrHH: F0583H + (4H×r)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RPGACCrH	RDTA[31:16]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RPGACCrL	RDTA[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-0	RDTA[31:0]	RAM テスト・アクセス・データ	CAN 用 RAM の読み書きテストを行います。	R/W

CAN 用 RAM テスト・レジスタは，CFDGRWC.RPAGE が 00B のときにアクセスしてください。

- RDTA[31:0]

  グローバル HALT モードで GTSTCTR.RTME が 1（RAM テスト・モード許可）のときに読み書きすることができます。

  RAM テスト・モードが許可されていない場合，このビットを読むと常に 00000000H です。

18.3.53　CAN PNF 受信ルール登録制御レジスタ（GPFLECTR）

アドレス： GPFLECTR: F03D0H
GPFLECTRH: F03D1H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLECTR	—	—	—	—	—	—	—	PFL DAE	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	PFLDAE	PNF 受信ルール・データ・アクセス許可ビット	0：PNF 受信ルール・データ・アクセス禁止 1：PNF 受信ルール・データ・アクセス許可	R/W
7-0	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W

- PFLDAE

  1 にすると PNF 受信ルールの書き込みを許可します。

  PNF 受信ルールは，GPFLECTR.PFLDAE の設定にかかわらず読み出すことができます。

  このビットは，グローバル・スリープ・モードでは書き込むことができません。他のモードで設定してください。

18.3.54　CAN PNF 受信ルール・コンフィグレーション・レジスタ（GPFLCFG）

アドレス：GPFLCFG: F03D6H
GPFLCFGH: F03D7H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLCFG	—	—	—	—	—	—	RNC[1:0]		—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-10	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
9, 8	RNC[1,0]	PNF 受信ルール数設定ビット	PNF 受信ルール数を設定します。	R/W
7-0	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W

PNF 受信ルール数を設定するために使用します。。
PNF 受信ルールの最大数は 2 です。

- RNC[1:0]

  PNF 受信ルール・テーブルに登録する受信ルール数を設定します。
  このビットは，グローバル・リセット・モードでのみ書き換えてください。
  00B から 10B（受信ルール数：0～2）の範囲で設定してください。それ以外の値は設定しないでください。

18.3.55　PNF 受信ルール ID レジスタ j（GPFLIDjH, GPFLIDjL）[j = 0, 1]

アドレス：　GPFLIDjL: F0520H + (24H×j),　GPFLIDjH: F0522H + (24H×j)
GPFLIDjLL: F0520H + (24H×j),　GPFLIDjLH: F0521H + (24H×j),
GPFLIDjHL: F0522H + (24H×j),　GPFLIDjHH: F0523H + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLIDjH	GPFL IDE	GPFL RTR	GPFL LB	GPFLID[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLIDjL	GPFLID[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	GPFLIDE	PNF 受信ルール IDE 選択ビット	0：標準 ID 1：拡張 ID	R/W
30	GPFLRTR	PNF 受信ルール RTR 選択ビット	0：データ・フレーム 1：リモート・フレーム	R/W
29	GPFLLB	PNF 受信ルール対象メッセージ選択ビット	0：メッセージ受信時 1：自ノードが送信するメッセージ受信時	R/W
28-0	GPFLID[28:0]	PNF 受信ルール ID 設定ビット	PNF 受信ルールの ID データを設定します。	R/W

PNF 受信ルール ID レジスタは ID フィールドの受信ルールを設定します。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GPFLIDE

  PNF 受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。PNF フィルタ処理ではこのビットと受信メッセージの IDE を比較します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLRTR

  PNF 受信ルールのフレーム・フォーマット（データ・フレームまたはリモート・フレーム）を選択します。PNF フィルタ処理ではこのビットと受信メッセージの RTR を比較します。
  このビットはチャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLLB

  0 の場合，他の CAN ノードが送信したメッセージを受信する時に PNF 受信ルールを用いたデータ処理を行います。

ミラー・モード，ループバック・テスト・モードのときに 1 にすると，自ノードが送信したメッセージを受信する時に PNF 受信ルールを用いたデータ処理を行います。詳細については表 18－32 を参照してください。
このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLID[28:0]

PNF 受信ルールの ID フィールドを設定します。
PNF フィルタ処理では設定した値と受信メッセージの ID を比較します。
標準 ID および拡張 ID フォーマットの詳細については「18.4　ID フォーマット」を参照してください。
このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

18.3.56　PNF 受信ルール・マスク・レジスタ j（GPFLMjH, GPFLMjL）[j = 0, 1]

アドレス：　GPFLMjL: F0524H + (24H×j)　　GPFLMjH: F0526H + (24H×j)
GPFLMjLL: F0524H + (24H×j),　　GPFLMjLH: F0525H + (24H×j),
GPFLMjHL: F0526H + (24H×j),　　GPFLMjHH: F0527H + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLMjH	GPFL IDEM	GPFL RTRM	GPFL IFL1	GPFLIDM[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLMjL	GPFLIDM[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	GPFLIDEM	PNF 受信ルール IDE マスク・ビット	0：IDE ビットを比較しない 1：IDE ビットを比較する	R/W
30	GPFLRTRM	PNF 受信ルール RTR マスク・ビット	0：RTR ビットを比較しない 1：RTR ビットを比較する	R/W
29	GPFLIFL1	PNF 受信ルール・ラベル・ビット 1	PNF 受信ルール・ラベル・ビット 1 を設定します。	R/W
28-0	GPFLIDM[28:0]	PNF 受信ルール ID マスク・ビット	0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する	R/W

PNF 受信ルール・マスク・レジスタは，PNF 受信ルールの ID フィールド・マスク条件を設定します。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GPFLIDEM

  1 にすると GPFLIDj.GPFLIDE で選択した ID フォーマットの受信メッセージに対して PNF フィルタ処理を行います。

  0 にすると IDE の比較は行いません。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLRTRM

  1 にすると GPFLIDj.GPFLRTR で選択したフレーム・フォーマットの受信メッセージに対して PNF フィルタ処理を行います。

  0 にすると RTR の比較は行いません。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLIFL1

  PNF フィルタ処理を通過した受信メッセージに対してラベル・ビット 1 の値を設定します。
  この値は受信ステータス・レジスタのラベル・データ（RMFDSTS.RMIFL[1]，RFFDSTS.RFIFL[1]および CFFDCSTS.CFIFL[1]）に格納されます。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLIDM[28:0]

  対応する ID ビットを 1 にすると GPFLIDj.GPFLID で選択した ID ビットと比較します。
  0 にすると ID ビットの比較は行いません（一致と判断します）。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

18.3.57　PNF 受信ルール・ポインタ 0 レジスタ j（GPFLP0jH, GPFLP0jL）[j = 0, 1]

アドレス：　GPFLP0jL: F0528H + (24H×j),　GPFLP0jH: F052AH + (24H×j)
GPFLP0jLL: F0528H + (24H×j),　GPFLP0jLH: F0529H + (24H×j),
GPFLP0jHL: F052AH +(24H×j),　GPFLP0jHH: F052BH + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLP0jH	GPFLPTR[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLP0jL	GPFL RMV	—	—	GPFLRMDP[4:0]					GPFL IFL0	—	—	—	GPFLDLC[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	GPFLPTR[15:0]	PNF 受信ルール・ポインタ設定ビット	受信ルール・ポインタ	R/W
15	GPFLRMV	PNF 受信バッファ許可ビット	0：受信バッファに受信ルールを通過したメッセージを格納しない 1：受信バッファに受信ルールを通過したメッセージを格納する	R/W
14, 13	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
12-8	GPFLRMDP[4:0]	PNF 受信バッファ番号選択ビット	受信メッセージを格納する受信バッファ番号を示します。	R/W
7	GPFLIFL0	PNF 受信ルール・ラベル・ビット 0	受信ルール・ラベル・ビット 0 を設定します。	R/W
6-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3-0	GPFLDLC[3:0]	PNF 受信ルール DLC 設定ビット	メッセージ受信の最小データ長を設定します。	R/W

PNF 受信ルール・ポインタ 0 レジスタは，受信ルールの DLC，受信ルール・ポインタ，受信バッファ番号選択および受信バッファ許可の各設定を行います。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GPFLPTR[15:0]

  PNF フィルタ処理を通過した受信メッセージに対して，16 ビットのポインタ・データの値を設定します。この値は受信ステータス・レジスタのポインタ・データ（RMFDSTS.RMPTR，RFFDSTS.RFPTR および CFFDCSTS.CFPTR）に格納されます。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLRMV

  1 にすると GPFLP0j.GPFLRMDP で指定した受信バッファに PNF フィルタ処理を通過した受信メッセージを格納します。

このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLRMDP[4:0]

PNF フィルタ処理を通過した受信メッセージの格納先受信バッファ番号を設定します。
設定する値は 00000B から RMNB.NRXMB に設定した値より小さい値（番号）の範囲にしてください。なお，NRXMB が 00000B の場合，GPFLP0j.GPFLRMV は 0（受信したメッセージは格納しない）にしてください。
このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLIFL0

PNF フィルタ処理を通過した受信メッセージに対してラベル・ビット 0 の値を設定します。
この値は受信ステータス・レジスタのラベル・データ（RMFDSTS.RMIFL[0]，RFFDSTS.RFIFL[0]および CFFDCSTS.CFIFL[0]）に格納されます。
このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLDLC[3:0]

PNF フィルタの DLC フィルタ処理で用いる最小 DLC（データ長コード）値を設定します。
受信したメッセージの DLC 値が GPFLP0j.GPFLDLC に設定された値以上の場合，DLC フィルタを通過します。
GPFLDLC に 0000B を設定した場合，DLC フィルタ機能は無効です。
このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。
次の表に GPFLDLC[3:0]設定時の DLC フィルタ処理を示します。

フォーマット	DLC[3]	DLC[2]	DLC[1]	DLC[0]	説明
CAN および CAN-FD	0	0	0	0	受信メッセージの DLC = 0 以上（DLC フィルタは無効）
CAN および CAN-FD	0	0	0	1	受信メッセージの DLC = 1 以上
CAN および CAN-FD	0	0	1	0	受信メッセージの DLC = 2 以上
CAN および CAN-FD	0	0	1	1	受信メッセージの DLC = 3 以上
CAN および CAN-FD	0	1	0	0	受信メッセージの DLC = 4 以上
CAN および CAN-FD	0	1	0	1	受信メッセージの DLC = 5 以上
CAN および CAN-FD	0	1	1	0	受信メッセージの DLC = 6 以上
CAN および CAN-FD	0	1	1	1	受信メッセージの DLC = 7 以上
CAN	1	x	x	x	受信メッセージの DLC = 8 以上
CAN-FD	1	0	0	0	受信メッセージの DLC = 8 以上
CAN-FD	1	0	0	1	受信メッセージの DLC = 12 以上
CAN-FD	1	0	1	0	受信メッセージの DLC = 16 以上
CAN-FD	1	0	1	1	受信メッセージの DLC = 20 以上
CAN-FD	1	1	0	0	受信メッセージの DLC = 24 以上
CAN-FD	1	1	0	1	受信メッセージの DLC = 32 以上
CAN-FD	1	1	1	0	受信メッセージの DLC = 48 以上
CAN-FD	1	1	1	1	受信メッセージの DLC = 64

PNF 受信ルール・データ・アクセス許可ビット GPFLECTR.PFLDAE が 0 の場合，これらのビットを書き込むことはできません。

18.3.58　PNF 受信ルール・ポインタ 1 レジスタ j（GPFLP1jL）[j = 0, 1]

アドレス：　GPFLP1jL: F052CH + (24H×j)
　　GPFLP1jLL: F052CH + (24H×j),　GPFLP1jLH: F052DH + (24H×j)
条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLP1jL	—	—	—	—	—	—	—	GPFLFDP[8]	—	—	—	—	—	—	GPFLFDP[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-9	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
8	GPFLFDP[8]	PNF 送受信 FIFO バッファ選択ビット	1 を設定すると送受信 FIFO バッファに受信メッセージを格納します。	R/W
7-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1, 0	GPFLFDP[1:0]	PNF 受信 FIFO バッファ選択ビット	1 を設定すると受信 FIFO バッファに受信メッセージを格納します。	R/W

PNF 受信ルール・ポインタ 1 レジスタは，PNF 受信ルールの送受信 FIFO バッファおよび受信 FIFO バッファを受信メッセージ格納用として使用するかを選択します。CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GPFLFDP[8], [1], [0]

PNF フィルタ処理を通過した受信メッセージの格納先として FIFO バッファを指定する時に使用します。

ビット	シンボル	値（2 進）	機能
0	GPFLFDP[0]	0	受信メッセージの格納先として受信 FIFO 0 を無効にする
		1	受信メッセージの格納先として受信 FIFO 0 を有効にする
1	GPFLFDP[1]	0	受信メッセージの格納先として受信 FIFO 1 を無効にする
		1	受信メッセージの格納先として受信 FIFO 1 を有効にする
8	GPFLFDP[8]	0	受信メッセージの格納先として送受信 FIFO を無効にする
		1	受信メッセージの格納先として送受信 FIFO を有効にする

最大 2 つの FIFO バッファを指定できます。ただし，GPFLP0j.GPFLRMV が 1（PNF 受信バッファにメッセージを格納）の場合，FIFO バッファの最大指定数は 1 になります。
このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（受信ルール書き込み許可）にしてから設定してください。

18.3.59　PNF 受信ルール・ペイロード・タイプ・レジスタ j（GPFLPTjH, GPFLPTjL）[j = 0, 1]

アドレス：　GPFLPTjL: F0530H + (24H×j),　GPFLPTjH: F0532H + (24H×j)
GPFLPTjLL: F0530H + (24H×j),　GPFLPTjLH: F0531H + (24H×j),
GPFLPTjHL: F0532H + (24H×j),　GPFLPTjHH: F0533H + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLPTjH	GPFLANDOR	GPFLRANG0	GPFLOUT0	—	—	—	—	—	—	—	—	—	GPFLOFFSET0[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLPTjL	—	GPFLRANG1	GPFLOUT1	—	—	—	—	—	—	—	—	—	GPFLOFFSET1[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	GPFLANDOR	PNF 受信ルール・フィルタ 0, 1 動作選択ビット	0：受信ルール・フィルタ 0 および 1 の両方を通過 1：受信ルール・フィルタ 0 または 1 のいずれかを通過	R/W
30	GPFLRANG0	PNF 受信ルール・フィルタ 0 制御ビット	0：受信データの一致フィルタ 1：受信データの上下限フィルタ	R/W
29	GPFLOUT0	PNF 受信ルール・フィルタ 0 上下限フィルタ制御ビット	0：フィルタの内側を指定 1：フィルタの外側を指定	R/W
28-20	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
19-16	GPFLOFFSET0[3:0]	PNF 受信ルール・フィルタ 0 オフセット設定ビット	受信ルール・フィルタ 0 のオフセット値を設定します。	R/W
15	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
14	GPFLRANG1	PNF 受信ルール・フィルタ 1 制御ビット	0：受信データの一致フィルタ 1：受信データの上下限フィルタ	R/W
13	GPFLOUT1	PNF 受信ルール・フィルタ 1 上下限フィルタ制御ビット	0：フィルタの内側を指定 1：フィルタの外側を指定	R/W
12-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3-0	GPFLOFFSET1[3:0]	PNF 受信ルール・フィルタ 1 オフセット設定ビット	受信ルール・フィルタ 1 のオフセット値を設定します。	R/W

CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- GPFLANDOR

  2 つの PNF フィルタの比較条件を設定します。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLRANG0

  PNF 受信フィルタ 0 の比較条件を設定します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLOUT0

  PNF 受信フィルタ 0 の上下限を選択します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLOFFSET0[3:0]

  PNF 受信フィルタ 0 のオフセット値を設定します。オフセット値は 4 バイト単位で指定します。
  このビットはチャネル・リセット・モードまたはチャネル HALT モード時に，GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLRANG1

  PNF 受信フィルタ 1 の比較条件を設定します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLOUT1

  PNF 受信フィルタ 1 の上下限を選択します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

- GPFLOFFSET1[3:0]

  PNF 受信フィルタ 1 のオフセット値を設定します。オフセット値は 4 バイト単位で指定します。
  このビットはチャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

18.3.60　PNF 受信ルール･ペイロード･データ 0 レジスタ j（GPFLPD0jH, GPFLPD0jL）[j = 0, 1]

アドレス：　GPFLPD0jL: F0534H + (24H×j),　GPFLPD0jH: F0536H + (24H×j)
GPFLPD0jLL: F0534H + (24H×j),　GPFLPD0jLH: F0535H + (24H×j),
GPFLPD0jHL: F0536H + (24H×j),　GPFLPD0jHH: F0537H + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLPD0jH	FDATA0[31:16]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLPD0jL	FDATA0[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-0	FDATA0[31:0]	PNF 受信ルール・フィルタ・データ 0	フィルタ 0 のデータを設定します。	R/W

CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- FDATA0[31:0]

  PNF 受信フィルタのペイロード・フィルタ 0 の値を設定します。

  GPFLPTj.GPFLRANG0 が 0（受信データの一致）の場合，ペイロード一致データを設定します。

  GPFLPTj.GPFLRANG0 が 1（受信データの上下限フィルタ）の場合，ペイロード・データの上限比較データを設定します。

  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に，GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

18.3.61　PNF 受信ルール・ペイロード・データ 1 レジスタ j（GPFLPD1jH, GPFLPD1jL）[j = 0, 1]

アドレス：　GPFLPD1jL: F053CH + (24H×j),　GPFLPD1jH: F053EH + (24H×j)
GPFLPD1jLL: F053CH + (24H×j),　GPFLPD1jLH: F053DH + (24H×j),
GPFLPD1jHL: F053EH + (24H×j),　GPFLPD1jHH: F053FH + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLPD1jH	FDATA1[31:16]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLPD1jL	FDATA1[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-0	FDATA1[31:0]	PNF 受信ルール・フィルタ・データ 1	フィルタ 1 のデータを設定します。	R/W

CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- FDATA1[31:0]

  PNF 受信フィルタのペイロード・フィルタ 1 の値を設定します。
  GPFLPTj.GPFLRANG1 が 0（受信データの一致）の場合，ペイロード一致データを設定します。
  GPFLPTj.GPFLRANG1 が 1（受信データの上下限フィルタ）の場合，ペイロード・データの上限比較データを設定します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

18.3.62　PNF 受信ルール・ペイロード・マスク 0 レジスタ j（GPFLPM0jH, GPFLPM0jL）[j = 0, 1]

アドレス：　GPFLPM0jL: F0538H + (24H×j),　GPFLPM0jH: F053AH + (24H×j)
GPFLPM0jLL: F0538H + (24H×j),　GPFLPM0jLH: F0539H + (24H×j),
GPFLPM0jHL: F053AH + (24H×j),　GPFLPM0jHH: F053BH + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLPM0jH	FMASK0[31:24]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLPM0jL	FMASK0[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-0	FMASK0[31:0]	PNF 受信ルール・フィルタ・マスク・データ 0	フィルタ 0 のデータ・マスクの値を設定します。	R/W

CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- FMASK0[31:0]

  PNF 受信フィルタのペイロード・フィルタ 0 のデータ・マスク値を設定します。
  GPFLPTj.GPFLRANG0 が 0（受信データの一致）の場合，ペイロード・データのマスク値を設定します。
  GPFLPTj.GPFLRANG0 が 1（受信データの上下限フィルタ）の場合，ペイロード・データの下限比較データを設定します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

18.3.63　PNF 受信ルール・ペイロード・マスク 1 レジスタ j（GPFLPM1jH, GPFLPM1jL）[j = 0, 1]

アドレス：　GPFLPM1jL: F0540H + (24H×j),　GPFLPM1jH: F0542H + (24H×j)
GPFLPM1jLL: F0540H + (24H×j),　GPFLPM1jLH: F0541H + (24H×j),
GPFLPM1jHL: F0542H + (24H×j),　GPFLPM1jHH: F0543H + (24H×j)

条件：　CFDGRWC.RPAGE[1:0] = 00B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
GPFLPM1jH	FMASK1[31:16]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GPFLPM1jL	FMASK1[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-0	FMASK1[31:0]	PNF 受信ルール・フィルタ・マスク・データ 1	フィルタ 1 のデータ・マスクの値を設定します。	R/W

CFDGRWC.RPAGE が 00B のときに，このレジスタにアクセスすることができます。

- FMASK1[31:0]

  PNF 受信フィルタのペイロード・フィルタ 1 のデータ・マスク値を設定します。
  GPFLPTj.GPFLRANG1 が 0（受信データの一致）の場合，ペイロード・データのマスク値を設定します。
  GPFLPTj.GPFLRANG1 が 1（受信データの上下限フィルタ）の場合，ペイロード・データの下限比較データを設定します。
  このビットは，チャネル・リセット・モードまたはチャネル HALT モード時に GPFLECTR.PFLDAE を 1（PNF 受信ルール書き込み許可）にしてから設定してください。

18.3.64　CAN 無効ルール設定レジスタ（GAFLIGNENT）

アドレス： GAFLIGNENT: F03C0H
GAFLIGNENTL: F03C0H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLIGNENT	—	—	—	—	—	—	—	—	—	—	—	—	IRN[3:0]			
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-4	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
3-0	IRN[3:0]	無効ルール番号設定ビット	無効ルール番号を設定します。	R/W

- IRN[3:0]

  通信中に受信ルール（AFL）を更新するときに，無効とする受信ルール番号を設定します。
  受信ルールは，最大 16 設定できます。
  このビットは，グローバル・スリープ・モードのときは書き込むことができません。他のモードで GAFLIGNCTR.IREN が 0（無効ルール禁止）のときに設定してください。

18.3.65　CAN 無効ルール制御レジスタ（GAFLIGNCTR）

アドレス： GAFLIGNCTR: F03C4H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GAFLIGNCTR	KEY[7:0]								—	—	—	—	—	—	—	IREN
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	KEY[7:0]	IREN ビット書き込みキー・コード	IREN ビットに書き込むときに C4H を設定します。	W
7-1	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
0	IREN	無効ルール許可ビット	0：無効ルール禁止 1：無効ルール許可	R/W

- KEY[7:0]

  C4H を設定すると GAFLIGNCTR.IREN を書き込むことができます。

  このビットを読むと常に 00H です。

  GAFLIGNCTR.IREN と KEY は同時に書いてください。

- IREN

  GAFLIGNENT.IRN で設定した受信ルール番号を無効にします。

  このビットは，グローバル・リセット・モードでは 0 になります。

  GAFLIGNCTR.IREN と KEY は同時に書いてください。

18.3.66　CAN 受信バッファ割り込み許可レジスタ（RMIEC）

アドレス： RMIEC: F0338H
RMIECL: F0338H,　　RMIECH: F0339H

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMIEC	RMIE[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RMIE[15:0]	受信バッファ割り込み許可ビット	0：対応する受信バッファ割り込み禁止 1：対応する受信バッファ割り込み許可	R/W

CAN 受信バッファ割り込み許可レジスタは，対応する受信バッファの受信バッファ割り込み許可状態を示します。

RMIEC レジスタのビット位置は，受信バッファのバッファ番号に対応します。たとえば，RMIE[0]は，受信バッファ 0 の受信バッファ割り込み許可ビットになります。

- RMIE[15:0]

  1 にすると，対応する受信バッファ割り込みを許可します。
  受信バッファ割り込みの詳細は，「18.12　割り込み」を参照してください。
  このビットは，グローバル・スリープ・モード時は書き込むことができません。

18.3.67　CAN アクセス・ウィンドウ制御レジスタ（CFDGRWC）

アドレス： CFDGRWC: F03DCH

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFDGRWC	KEY[7:0]								—	—	—	—	—	—	RPAGE[1:0]	
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	KEY[7:0]	RPAGE ビット書き込みキー・コード	RPAGE ビットに書き込むときは C4H を設定します。	W
7-2	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
1, 0	RPAGE[1:0]	アクセス・ウィンドウ選択ビット	00B：ページ 0 アクセス選択 01B：ページ 1 アクセス選択 10B：ページ 2 アクセス選択 11B：ページ 3 アクセス選択	R/W

CAN アクセス・ウィンドウ制御レジスタは，CAN RAM のアクセス・ウィンドウを選択します。

- KEY[7:0]

  C4H を書き込むと，CFDGRWC.RPAGE に書き込むことができます。

  このビットは読むと常に 00H です。

  CFDGRWC.RPAGE と KEY は同時に設定してください。

- RPAGE[1:0]

  CAN RAM ウィンドウを選択します。CAN RAM は，F0420H から F067FH の領域に割り当てられています。

  ページ 0：CAN 受信ルール，PNF 受信ルールおよび CAN 用 RAM テスト・レジスタ

  ページ 1：FIFO アクセス・レジスタ，送信バッファ・アクセス・レジスタおよび送信履歴アクセス・レジスタ

  ページ 2：受信バッファ・アクセス・レジスタ 0～7

  ページ 3：受信バッファ・アクセス・レジスタ 8～15

  このビットは，グローバル・スリープ・モードでは書き込むことができません。

  CFDGRWC.KEY と RPAGE は同時に設定してください。

18.4　ID フォーマット

標準 ID フォーマット（11 ビット）：ID28～ID18 の領域に割り当てられます。

拡張 ID フォーマット（29 ビット）：ID28～ID0 の領域

標準 ID フォーマットの場合，図 18－4 の b28-b11（ID17～ID0 の領域）は必ず 0 にしてください。

図 18－4　標準および拡張 ID フォーマットのビット配置

標準 ID フォーマット

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE =0	RTR	—	0	0	0	0	0	0	0	0	0	0	0	0	0
略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	0	0	0	0	0	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18

拡張 ID フォーマット

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE =1	RTR	—	ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

18.5　メッセージ・バッファ・コンポーネント構造

メッセージ・バッファの構成は，次の 4 種類のメッセージ・バッファ・コンポーネントで構成されます。

(1) CAN 受信バッファ・コンポーネント（RMBCP）

(2) CAN 受信 FIFO アクセス・メッセージ・バッファ・コンポーネント（RFMBCP）

(3) CAN 送受信 FIFO アクセス・メッセージ・バッファ・コンポーネント（CFMBCP）

(4) CAN0 送信バッファ・コンポーネント（TMBCP）

表 18－8　メッセージ・バッファ・コンポーネント構造

MB コンポーネント	MB コンポーネント構造	レジスタ名（p = 0～15）
RMBCPn (n = 0-15)	RMBCP0	RMID0
		RMPTR0
		RMFDSTS0
		RMDF0_p
	:	:
	RMBCP15	RMID15
		RMPTR15
		RMFDSTS15
		RMDF15_p
RFMBCPk (k = 0, 1)	RFMBCP0	RFID0
		RFPTR0
		RFFDSTS0
		RFDF0_p
	RFMBCP1	RFID1
		RFPTR1
		RFFDSTS1
		RFDF1_p
CFMBCP	CFMBCP	CFID
		CFPTR
		CFFDCSTS
		CFDFp
TMBCPm (m = 0-3)	TMBCP0	TMID0
		TMPTR0
		TMFDCTR0
		TMDF0_p
	:	:
	TMBCP3	TMID3
		TMPTR3
		TMFDCTR3
		TMDF3_p

18.5.1　CAN 受信バッファ ID レジスタ n（RMIDnH, RMIDnL）[n = 0-15]

アドレス：RMIDnL: F0420H + (4CH×n),　RMIDnH: F0422H + (4CH×n)
RMIDnLL: F0420H + (4CH×n),　RMIDnLH: F0421H + (4CH×n),
RMIDnHL: F0422H + (4CH×n),　RMIDnHH: F0423H + (4CH×n)
条件：n = 0-7, CFDGRWC.RPAGE[1:0] = 10B

アドレス：RMIDnL: F0420H + (4CH×(n-8)),　RMIDnH: F0422H + (4CH×(n-8))
RMIDnLL: F0420H + (4CH×(n-8)),　RMIDnLH: F0421H + (4CH×(n-8)),
RMIDnHL: F0422H + (4CH×(n-8)),　RMIDnHH: F0423H + (4CH×(n-8))
条件：n = 8-15, CFDGRWC.RPAGE[1:0] = 11B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RMIDnH	RM IDE	RM RTR	—	RMID[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMIDnL	RMID[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	RMIDE	受信バッファ IDE ビット	0：標準 ID 1：拡張 ID	R
30	RMRTR	受信バッファ RTR ビット	0：データ・フレーム 1：リモート・フレーム	R
29	—	（予約ビット）	読むと 0 が読み出されます。	R
28-0	RMID[28:0]	受信バッファ ID データ	ID データ	R

CAN 受信バッファ ID レジスタは，受信バッファに格納されたメッセージの ID，IDE ビットおよび RTR ビットの情報を示します。CFDGRWC.RPAGE が 10B または 11B のときに，このレジスタをアクセスすることができます。

- RMIDE

  受信バッファに格納されたメッセージの ID フォーマットを示します。

- RMRTR

  受信バッファに格納されたメッセージのフレーム・フォーマットを示します。

  注意　CAN-FD にはリモート・フレームはありません。CAN-FD フレームを受信した場合，RRS の情報を示します。

- RMID[28:0]

  受信バッファに格納されたメッセージの ID を示します。ビット配置については「18.4　ID フォーマット」を参照してください。

18.5.2　CAN 受信バッファ・ポインタ・レジスタ n（RMPTRnH, RMPTRnL）[n = 0-15]

アドレス：RMPTRnL: F0424H + (4CH×n),　RMPTRnH: F0426H + (4CH×n)
RMPTRnLL: F0424H + (4CH×n),　RMPTRnLH: F0425H + (4CH×n),
RMPTRnHL: F0426H + (4CH×n),　RMPTRnHH: F0427H + (4CH×n)
条件：n = 0-7, CFDGRWC.RPAGE[1:0] = 10B

アドレス：RMPTRnL: F0424H + (4CH×(n-8)),　RMPTRnH: F0426H + (4CH×(n-8))
RMPTRnLL: F0424H + (4CH×(n-8)),　RMPTRnLH: F0425H + (4CH×(n-8)),
RMPTRnHH: F0427H + (4CH×(n-8))
条件：n = 8-15, CFDGRWC.RPAGE[1:0] = 11B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RMPTRnH	RMDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMPTRnL	RMTS[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-28	RMDLC[3:0]	受信バッファ・データ長コード	データ長コード（DLC）	R
27-16	—	（予約ビット）	読むと 0 が読み出されます。	R
15-0	RMTS[15:0]	受信バッファ・タイム・スタンプ・データ	タイム・スタンプ値	R

CAN 受信バッファ・ポインタ・レジスタは，受信バッファに格納されたメッセージの DLC とタイム・スタンプの情報を示します。CFDGRWC.RPAGE が 10B または 11B のときに，このレジスタをアクセスすることができます。

- RMDLC[3:0]

  受信バッファに格納された DLC（データ・バイト数）を示します。

  注意　最大データ・バイト数は，RMNB.RMPLS（受信バッファ・ペイロード・サイズ設定ビット）で設定したバイト数です。

- RMTS[15:0]

  受信バッファに格納されたメッセージのタイム・スタンプ値を示します。タイム・スタンプ値は GFDCFG.TSCCFG で選択したタイミングで取得します。

18.5.3　CAN 受信バッファ CAN-FD ステータス・レジスタ n（RMFDSTSnH, RMFDSTSnL）[n = 0-15]

アドレス：RMFDSTSnL: F0428H + (4CH×n),　RMFDSTSnH: F042AH + (4CH×n)
RMFDSTSnLL: F0428H + (4CH×n),　RMFDSTSnLH: F0429H + (4CH×n),
RMFDSTSnHL: F042AH + (4CH×n),　RMFDSTSnHH: F042BH + (4CH×n)
条件：n = 0-7, CFDGRWC.RPAGE[1:0] = 10B

アドレス：RMFDSTSnL: F0428H + (4CH×(n-8)),　RMFDSTSnH: F042AH + (4CH×(n-8))
RMFDSTSnLL: F0428H + (4CH×(n-8)),　RMFDSTSnLH: F0429H + (4CH×(n-8)),
RMFDSTSnHL: F042AH + (4CH×(n-8)),　RMFDSTSnHH: F042BH + (4CH×(n-8))
条件：n = 8-15, CFDGRWC.RPAGE[1:0] = 11B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RMFDSTSnH	RMPTR[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMFDSTSnL	—	—	—	—	—	—	RMIFL[1:0]		—	—	—	—	—	RM FDF	RM BRS	RM ESI
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	RMPTR[15:0]	受信バッファ・ポインタ・データ	ポインタ・データ	R
15-10	—	（予約ビット）	読むと 0 が読み出されます。	R
9, 8	RMIFL[1:0]	受信バッファ・ラベル・データ	ラベル・データ	R
7-3	—	（予約ビット）	読むと 0 が読み出されます。	R
2	RMFDF	受信バッファ FDF ビット	0：CAN-FD フレームではない 1：CAN-FD フレーム	R
1	RMBRS	受信バッファ BRS ビット	0：高速ビット・レートに切り替えない 1：高速ビット・レートに切り替え	R
0	RMESI	受信バッファ ESI ビット	0：エラー・アクティブ・ノード 1：エラー・パッシブ・ノード	R

CAN 受信バッファ CAN-FD ステータス・レジスタは，受信バッファに格納されたメッセージの FDF，BRS，ESI ビット，およびポインタ・データの情報を示します。CFDGRWC.RPAGE が 10B または 11B のときに，このレジスタをアクセスすることができます。

- RMPTR[15:0]

  受信ルールに設定した受信ルール・ポインタが格納されます。

- RMIFL[1:0]

  受信ルールに設定したラベル・データが格納されます。

- RMFDF

  受信バッファに格納されたメッセージの FDF を示します。

- RMBRS

  受信バッファに格納されたメッセージの BRS を示します。
  受信した FDF が 0（CAN-FD フレームではない）の場合，CAN 2.0 フレームが受信されたことを意味し，このビットは 0 になります。

- RMESI

  受信バッファに格納されたメッセージの ESI を示します。
  受信した FDF が 0（CAN-FD フレームではない）の場合，CAN 2.0 フレームが受信されたことを意味し，このビットは 0 になります。

18.5.4　CAN 受信バッファ・データ・フィールド p レジスタ n（RMDFn_pH, RMDFn_pL）[n = 0-15], [p = 0-15]

アドレス：RMDFn_pL: F042CH + (4CH×n) + (4×p),　RMDFn_pH: F042EH + (4CH×n) + (4×p)
RMDFn_pLL: F042CH + (4CH×n) + (4×p),　RMDFn_pLH: F042DH + (4CH×n) + (4×p),
RMDFn_pHL: F042EH + (4CH×n) + (4×p),　RMDFn_pHH: F042FH + (4CH×n) + (4×p)
条件：n = 0-7, CFDGRWC.RPAGE[1:0] = 10B

アドレス：RMDFn_pL: F042CH + (4CH×(n-8)) + (4×p),　RMDFn_pH: F042EH + (4CH×(n-8)) + (4×p)
RMDFn_pLL: F042CH + (4CH×(n-8)) + (4×p),　RMDFn_pLH: F042DH + (4CH×(n-8)) + (4×p),
RMDFn_pHL: F042EH + (4CH×(n-8)) + (4×p),　RMDFn_pHH: F042FH + (4CH×(n-8)) + (4×p)
条件：n = 8-15, CFDGRWC.RPAGE[1:0] = 11B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RMDFn_pH	RMDBq[7:0]								RMDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMDFn_pL	RMDBq[7:0]								RMDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	R/W
31-24	RMDBq[7:0]	受信バッファ・データ・バイト q	R
23-16	RMDBq[7:0]	受信バッファ・データ・バイト q	R
15-8	RMDBq[7:0]	受信バッファ・データ・バイト q	R
7-0	RMDBq[7:0]	受信バッファ・データ・バイト q	R

RMDFn_p	p							
	0	1	2	3	4	5	6	7
RMDFn_pLL	q = 0	q = 4	q = 8	q = 12	q = 16	q = 20	q = 24	q = 28
RMDFn_pLH	q = 1	q = 5	q = 9	q = 13	q = 17	q = 21	q = 25	q = 29
RMDFn_pHL	q = 2	q = 6	q = 10	q = 14	q = 18	q = 22	q = 26	q = 30
RMDFn_pHH	q = 3	q = 7	q = 11	q = 15	q = 19	q = 23	q = 27	q = 31

RMDFn_p	p							
	8	9	10	11	12	13	14	15
RMDFn_pLL	q = 32	q = 36	q = 40	q = 44	q = 48	q = 52	q = 56	q = 60
RMDFn_pLH	q = 33	q = 37	q = 41	q = 45	q = 49	q = 53	q = 57	q = 61
RMDFn_pHL	q = 34	q = 38	q = 42	q = 46	q = 50	q = 54	q = 58	q = 62
RMDFn_pHH	q = 35	q = 39	q = 43	q = 47	q = 51	q = 55	q = 59	q = 63

CAN 受信バッファ・データ・フィールド・レジスタは，受信バッファに格納されたメッセージのデータを示します。CFDGRWC.RPAGE が 10B または 11B のときに，このレジスタをアクセスすることができます。

- RMDBq[7:0]

  受信バッファに格納されたメッセージ（データ・バイト q）を示します。RMNB.RMPLS で設定したペイロード・サイズに合わせて未使用のデータ・バイトは 00H でパディングされます。

18.5.5　CAN 受信 FIFO アクセス ID レジスタ k（RFIDkH, RFIDkL）[k = 0, 1]

アドレス：　RFIDkL: F0420H + (4CH×k),　RFIDkH: F0422H + (4CH×k)
RFIDkLL: F0420H + (4CH×k),　RFIDkLH: F0421H + (4CH×k),
RFIDkHL: F0422H + (4CH×k),　RFIDkHH: F0423H + (4CH×k)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RFIDkH	RF IDE	RF RTR	—	RFID[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFIDkL	RFID[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	RFIDE	受信 FIFO バッファ IDE ビット	0：標準 ID 1：拡張 ID	R
30	RFRTR	受信 FIFO バッファ RTR ビット	0：データ・フレーム 1：リモート・フレーム	R
29	—	（予約ビット）	読むと 0 が読み出されます。	R
28-0	RFID[28:0]	受信 FIFO バッファ ID データ	ID データ	R

CAN 受信 FIFO アクセス ID レジスタは，受信 FIFO バッファに格納されたメッセージの ID，IDE ビットおよび RTR ビットの情報を示します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- RFIDE

  受信 FIFO バッファに格納されたメッセージの ID フォーマットを示します。

- RFRTR

  受信 FIFO バッファに格納されたメッセージのフレーム・フォーマットを示します。

  注意　CAN-FD にはリモート・フレームはありません。CAN-FD フレームを受信した場合，RRS の情報を示します。

- RFID[28:0]

  受信 FIFO バッファに格納されたメッセージの ID を示します。ビット配置については，「18.4　ID フォーマット」を参照してください。

18.5.6　CAN 受信 FIFO アクセス・ポインタ・レジスタ k（RFPTRkH, RFPTRkL）[k = 0, 1]

アドレス：　RFPTRkL: F0424H + (4CH×k),　RFPTRkH: F0426H + (4CH×k)
RFPTRkLL: F0424H + (4CH×k),　RFPTRkLH: F0425H + (4CH×k),
RFPTRkHH: F0427H + (4CH×k)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RFPTRkH	RFDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFPTRkL	RFTS[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-28	RFDLC[3:0]	受信 FIFO バッファ・データ長コード	データ長コード（DLC）	R
27-16	—	（予約ビット）	読むと 0 が読み出されます。	R
15-0	RFTS[15:0]	受信 FIFO バッファ・タイム・スタンプ・データ	タイム・スタンプ値	R

CAN 受信 FIFO アクセス・ポインタ・レジスタは，受信 FIFO バッファに格納されたメッセージの DLC とタイム・スタンプの情報を示します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- RFDLC[3:0]

  受信 FIFO バッファに格納された DLC（データ・バイト数）を示します。

- RFTS[15:0]

  受信 FIFO バッファに格納されたメッセージのタイム・スタンプ値を示します。タイム・スタンプ値は，GFDCFG.TSCCFG で選択したタイミングで取得します。

18.5.7　CAN 受信 FIFO アクセス CAN-FD ステータス・レジスタ k（RFFDSTSkH, RFFDSTSkL）[k = 0, 1]

アドレス：　RFFDSTSkL: F0428H + (4CH×k),　RFFDSTSkH: F042AH + (4CH×k)
RFFDSTSkLL: F0428H + (4CH×k),　RFFDSTSkLH: F0429H + (4CH×k),
RFFDSTSkHL: F042AH + (4CH×k),　RFFDSTSkHH: F042BH + (4CH×k)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RFFDSTSkH	RFPTR[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFFDSTSkL	—	—	—	—	—	—	RFIFL[1:0]		—	—	—	—	—	RF FDF	RF BRS	RF ESI
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	RFPTR[15:0]	受信 FIFO バッファ・ポインタ・データ	ポインタ・データ	R
15-10	—	（予約ビット）	読むと 0 が読み出されます。	R
9, 8	RFIFL[1:0]	受信 FIFO バッファ・ラベル・データ	ラベル・データ	R
7-3	—	（予約ビット）	読むと 0 が読み出されます。	R
2	RFFDF	受信 FIFO バッファ FDF ビット	0：CAN-FD フレームではない 1：CAN-FD フレーム	R
1	RFBRS	受信 FIFO バッファ BRS ビット	0：高速ビット・レートに切り替えない 1：高速ビット・レートに切り替え	R
0	RFESI	受信 FIFO バッファ ESI ビット	0：エラー・アクティブ・ノード 1：エラー・パッシブ・ノード	R

CAN 受信 FIFO アクセス CAN-FD ステータス・レジスタは，受信 FIFO バッファに格納された FDF，BRS，ESI ビット，およびポインタ・データの情報を示します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- RFPTR[15:0]

  受信ルールに設定した受信ルール・ポインタが格納されます。

- RFIFL[1:0]

  受信ルールに設定したラベル・データが格納されます。

- RFFDF

  受信 FIFO バッファに格納されたメッセージの FDF を示します。

- RFBRS

  受信 FIFO バッファに格納されたメッセージの BRS を示します。

  受信した FDF が 0（CAN-FD フレームではない）の場合，CAN 2.0 フレームが受信されたことを意味し，このビットは 0 になります。

- RFESI

  受信 FIFO バッファに格納されたメッセージの ESI を示します。

  受信した FDF が 0（CAN-FD フレームではない）の場合，CAN 2.0 フレームが受信されたことを意味し，このビットは 0 になります。

18.5.8　CAN 受信 FIFO アクセス・データ・フィールド p レジスタ k（RFDFk_pH, RFDFk_pL）[k = 0, 1], [p = 0-15]

アドレス：　RFDFk_pL: F042CH + (4CH×k) + (4×p),　RFDFk_pH: F042EH + (4CH×k) + (4×p)
RFDFk_pLL: F042CH + (4CH×k) + (4×p),　RFDFk_pLH: F042DH + (4CH×k) + (4×p),
RFDFk_pHL: F042EH + (4CH×k) + (4×p),　RFDFk_pHH: F042FH + (4CH×k) + (4×p)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
RFDFk_pH	RFDBq[7:0]								RFDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RFDFk_pL	RFDBq[7:0]								RFDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31-24	RFDBq[7:0]	受信 FIFO バッファ・データ・バイト q	R
23-16	RFDBq[7:0]	受信 FIFO バッファ・データ・バイト q	R
15-8	RFDBq[7:0]	受信 FIFO バッファ・データ・バイト q	R
7-0	RFDBq[7:0]	受信 FIFO バッファ・データ・バイト q	R

RFDFk_p	p							
	0	1	2	3	4	5	6	7
RFDFk_pLL	q = 0	q = 4	q = 8	q = 12	q = 16	q = 20	q = 24	q = 28
RFDFk_pLH	q = 1	q = 5	q = 9	q = 13	q = 17	q = 21	q = 25	q = 29
RFDFk_pHL	q = 2	q = 6	q = 10	q = 14	q = 18	q = 22	q = 26	q = 30
RFDFk_pHH	q = 3	q = 7	q = 11	q = 15	q = 19	q = 23	q = 27	q = 31

RFDFk_p	p							
	8	9	10	11	12	13	14	15
RFDFk_pLL	q = 32	q = 36	q = 40	q = 44	q = 48	q = 52	q = 56	q = 60
RFDFk_pLH	q = 33	q = 37	q = 41	q = 45	q = 49	q = 53	q = 57	q = 61
RFDFk_pHL	q = 34	q = 38	q = 42	q = 46	q = 50	q = 54	q = 58	q = 62
RFDFk_pHH	q = 35	q = 39	q = 43	q = 47	q = 51	q = 55	q = 59	q = 63

CAN 受信 FIFO アクセス・データ・フィールド・レジスタは，受信 FIFO バッファに格納されたメッセージのデータを示します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- RFDBq[7:0]

  受信 FIFO バッファに格納されたメッセージ（データ・バイト q）を示します。RFCCk.RFPLS で設定したペイロード・サイズに合わせて未使用のデータ・バイトは 00H でパディングされます。

18.5.9　CAN 送受信 FIFO アクセス ID レジスタ（CFIDH, CFIDL）

アドレス：　CFIDL: F04B8H,　　CFIDH: F04BAH
　　CFIDLL: F04B8H,　　CFIDLH: F04B9H,　　CFIDHL: F04BAH,　　CFIDHH: F04BBH
条件：　　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CFIDH	CF IDE	CF RTR	THL EN	CFID[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFIDL	CFID[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	CFIDE	送受信 FIFO バッファ IDE ビット	0：標準 ID 1：拡張 ID	R/W
30	CFRTR	送受信 FIFO バッファ RTR ビット	0：データ・フレーム 1：リモート・フレーム	R/W
29	THLEN	送受信 FIFO 送信履歴許可ビット	送信 FIFO 時： 0：送信履歴に格納しない 1：送信履歴に格納する	R/W
			受信 FIFO 時： 予約（このビットを読むと 0）	
28-0	CFID[28:0]	送受信 FIFO バッファ ID データ	ID データ	R/W

CAN 送受信 FIFO アクセス ID レジスタは，受信モードで使用する場合，受信したメッセージの ID，IDE ビットおよび RTR ビットの情報を示します。送信モードで使用する場合，送信するメッセージの ID，IDE ビット，RTR ビットの情報，および送信履歴バッファに格納するかを設定します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- CFIDE

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納された受信メッセージの ID，IDE ビットおよび RTR ビットの情報を示します。
  CFCC.CFM が 1（送信モード）の場合，送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

- CFRTR

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納された受信メッセージのフレーム・フ
★ ォーマットを示します。CFCC.CFM が 1（送信モード）の場合，送受信 FIFO バッファから送信するメッセージのデータ・フォーマットを設定します。

★ **注意 1. CAN-FD にはリモート・フレームはありません。CAN-FD フレームを受信した場合，RRS の情報を示します。**

★ **2. CFFDCSTS.CFFDF が 1（CAN-FD フレーム）の場合，ドミナント（データ・フレーム）を送信します。**

- THLEN

  CFCC.CFM が 1（送信モード）の場合，このビットを 1 にすると送受信 FIFO バッファからメッセージの送信が完了すると，送信履歴バッファに送信履歴データを格納します。

- CFID[28:0]

★ CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納されたメッセージの ID を示します。
CFCC.CFM が 1（送信モード）の場合，送受信 FIFO バッファから送信するメッセージの ID を設定します。
ビット配置については，「18.4　ID フォーマット」を参照してください。

18.5.10　CAN 送受信 FIFO アクセス・ポインタ・レジスタ（CFPTRH, CFPTRL）

アドレス：　CFPTRL: F04BCH,　　CFPTRH: F04BEH
　　CFPTRLL: F04BCH,　CFPTRLH: F04BDH,　CFPTRHH: F04BFH
条件：　　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CFPTRH	CFDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFPTRL	CFTS[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-28	CFDLC[3:0]	送受信 FIFO バッファ・データ長コード	データ長コード（DLC）	R/W
27-16	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
15-0	CFTS[15:0]	送受信 FIFO バッファ・タイム・スタンプ・データ	受信 FIFO：タイム・スタンプ値	R/W

CAN 送受信 FIFO アクセス・ポインタ・レジスタは，受信モードで使用する場合，受信したメッセージの DLC とタイム・スタンプの情報を示します。送信モードで使用する場合，送信するメッセージのデータ長（DLC）を設定します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- CFDLC[3:0]

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納された受信メッセージの DLC（データ・バイト数）を示します。
  CFCC.CFM が 1（送信モード）の場合，送受信 FIFO バッファから送信するメッセージのデータ長（DLC）を設定します。

- CFTS[15:0]

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納されたメッセージのタイム・スタンプ値を示します。タイム・スタンプ値は，GFDCFG.TSCCFG で選択したタイミングで取得します。
  CFCC.CFM が 1（送信モード）の場合，このビットは使用しません。

18.5.11 CAN 送受信 FIFO アクセス CAN-FD 制御／ステータス・レジスタ（CFFDCSTSH, CFFDCSTSL）

アドレス： CFFDCSTSL: F04C0H,　CFFDCSTSH: F04C2H
CFFDCSTSLL: F04C0H,　CFFDCSTSLH: F04C1H,　CFFDCSTSHL: F04C2H,
CFFDCSTSHH: F04C3H

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CFFDCSTSH	CFPTR[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFFDCSTSL	—	—	—	—	—	—	CFIFL[1:0]		—	—	—	—	—	CF FDF	CF BRS	CF ESI
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	CFPTR[15:0]	送受信 FIFO バッファ・ポインタ・データ	ポインタ・データ	R/W
15-10	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
9, 8	CFIFL[1:0]	送受信 FIFO バッファ・ラベル・データ	ラベル・データ	R/W
7-3	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
2	CFFDF	送受信 FIFO バッファ FDF ビット	0：CAN-FD フレームではない 1：CAN-FD フレーム	R/W
1	CFBRS	送受信 FIFO バッファ BRS ビット	0：高速ビット・レートに切り替えない 1：高速ビット・レートに切り替え	R/W
0	CFESI	送受信 FIFO バッファ ESI ビット	0：エラー・アクティブ・ノード 1：エラー・パッシブ・ノード	R/W

CAN 送受信 FIFO アクセス CAN-FD 制御／ステータス・レジスタは，受信モードで使用する場合，受信したメッセージの FDF，BRS，ESI ビット，およびポインタ・データの情報を示します。送信モードで使用する場合，送信するメッセージの FDF，BRS，ESI ビットの情報を設定します。また，送信履歴バッファに書き込むポインタ・データを設定します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- CFPTR[15:0]

  CFCC.CFM が 0（受信モード）の場合，受信ルールに設定した受信ルール・ポインタが格納されます。
  CFCC.CFM が 1（送信モード）の場合，メッセージ送信完了後，設定したポインタ・データを送信履歴バッファに格納します。

- CFIFL[1:0]

  CFCC.CFM が 0（受信モード）の場合，受信ルールに設定したラベル・データが格納されます。
  CFCC.CFM が 1（送信モード）の場合，メッセージ送信完了後，設定したラベル・データを送信履歴バッファに格納します。

- CFFDF

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納されたメッセージの FDF を示します。
  CFCC.CFM が 1（送信モード）の場合，送信するメッセージが CAN-FD フレームのときは 1 を，Classical-CAN フレームのときは 0 を設定してください。

- CFBRS

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納されたメッセージの BRS を示します。
  受信した FDF が 0（CAN-FD フレームではない）の場合，CAN 2.0 フレームが受信されたことを意味し，このビットは 0 になります。
  CFCC.CFM が 1（送信モード）の場合，CAN-FD フレームを送信するときの BRS 情報を設定します。Classical-CAN フレームを送信するときは 0 にしてください。

- CFESI

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納されたメッセージの ESI を示します。
  受信した FDF が 0（CAN-FD フレームではない）の場合，CAN 2.0 フレームが受信されたことを意味し，このビットは 0 になります。
  CFCC.CFM が 1（送信モード）の場合，エラー・パッシブ状態（128≦C0STS.TEC≦255，128≦C0STS.REC≦255）では，1 が送信されます。エラー・パッシブ状態以外では，このビットに設定した値が送信されます。

18.5.12　CAN 送受信 FIFO アクセス・データ・フィールド p レジスタ（CFDFpH, CFDFpL）[p = 0-15]

アドレス：　CFDFpL: F04C4H + (4×p),　　CFDFpH: F04C6H + (4×p)
　　CFDFpLL: F04C4H + (4×p),　　CFDFpLH: F04C5H + (4×p),
　　CFDFpHL: F04C6H + (4×p),　　CFDFpHH: F04C7H + (4×p)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
CFDFpH	CFDBq[7:0]								CFDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
CFDFpL	CFDBq[7:0]								CFDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31-24	CFDBq[7:0]	送受信 FIFO バッファ・データ・バイト q	R/W
23-16	CFDBq[7:0]	送受信 FIFO バッファ・データ・バイト q	R/W
15-8	CFDBq[7:0]	送受信 FIFO バッファ・データ・バイト q	R/W
7-0	CFDBq[7:0]	送受信 FIFO バッファ・データ・バイト q	R/W

CFDFp	p							
	0	1	2	3	4	5	6	7
CFDFpLL	q = 0	q = 4	q = 8	q = 12	q = 16	q = 20	q = 24	q = 28
CFDFpLH	q = 1	q = 5	q = 9	q = 13	q = 17	q = 21	q = 25	q = 29
CFDFpHL	q = 2	q = 6	q = 10	q = 14	q = 18	q = 22	q = 26	q = 30
CFDFpHH	q = 3	q = 7	q = 11	q = 15	q = 19	q = 23	q = 27	q = 31

CFDFp	p							
	8	9	10	11	12	13	14	15
CFDFpLL	q = 32	q = 36	q = 40	q = 44	q = 48	q = 52	q = 56	q = 60
CFDFpLH	q = 33	q = 37	q = 41	q = 45	q = 49	q = 53	q = 57	q = 61
CFDFpHL	q = 34	q = 38	q = 42	q = 46	q = 50	q = 54	q = 58	q = 62
CFDFpHH	q = 35	q = 39	q = 43	q = 47	q = 51	q = 55	q = 59	q = 63

CAN 送受信 FIFO アクセス・データ・フィールド・レジスタは，受信モードで使用する場合，受信したメッセージ・データを示します。送信モードで使用する場合，送信するメッセージ・データを設定します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- CFDBq[7:0]

  CFCC.CFM が 0（受信モード）の場合，送受信 FIFO バッファに格納されたメッセージ（データ・バイト q）を示します。CFCC.CFPLS で設定したペイロード・サイズに合わせて未使用のデータ・バイトは 00H でパディングされます。

  CFCC.CFM が 1（送信モード）の場合，送受信 FIFO バッファから送信するメッセージ（データ・バイト q）を設定します。

18.5.13　CAN0 送信バッファ ID レジスタ m（TMIDmH, TMIDmL）[m = 0-3]

アドレス：　TMIDmL: F0504H + (4CH×m),　TMIDmH: F0506H + (4CH×m)
TMIDmLL: F0504H + (4CH×m),　TMIDmLH: F0505H + (4CH×m),
TMIDmHL: F0506H + (4CH×m),　TMIDmHH: F0507H + (4CH×m)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TMIDmH	TM IDE	TM RTR	TH LEN	TMID[28:16]												
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMIDmL	TMID[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31	TMIDE	送信バッファ IDE ビット	0：標準 ID 1：拡張 ID	R/W
30	TMRTR	送信バッファ RTR ビット	0：データ・フレーム 1：リモート・フレーム	R/W
29	THLEN	送信バッファ送信履歴許可ビット	0：送信履歴に格納しない 1：送信履歴に格納する	R/W
28-0	TMID[28:0]	送信バッファ ID データ	ID データ	R/W

CAN0 送信バッファ ID レジスタは，送信するメッセージの ID，IDE ビット，RTR ビットの情報，および送信履歴バッファに格納するかを設定します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- TMIDE

  送信バッファから送信するメッセージの ID フォーマットを設定します。
  このビットは，チャネル・スリープ・モードでは書き込まないでください。

- TMRTR

  送信バッファから送信するメッセージのデータ・フォーマットを設定します。
  このビットは，チャネル・スリープ・モードでは書き込まないでください。

  注意　CAN-FD にはリモート・フレームはありません。TMFDCTRm.TMFDF が 1（CAN-FD フレーム）の場合，ドミナント（データ・フレーム）を送信します。

- THLEN

  このビットを 1 にすると，送信バッファからのメッセージ送信完了時に送信履歴バッファに送信履歴データを格納します。
  このビットは，チャネル・スリープ・モードでは書き込まないでください。

- TMID[28:0]

  送信バッファから送信するメッセージの ID を設定します。

  ビット配置については「18.4　ID フォーマット」を参照してください。

  このビットは，チャネル・スリープ・モードでは書き込まないでください。

18.5.14　CAN0 送信バッファ・ポインタ・レジスタ m（TMPTRmH）[m = 0-3]

アドレス：　TMPTRmH: F050AH + (4CH×m)
　　TMPTRmHH: F050BH + (4CH×m)
条件：　　CFDGRWC.RPAGE[1:0] = 01B

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMPTRmH	TMDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	TMDLC[3:0]	送信バッファ・データ長コード	データ長コード（DLC）	R/W
11-0	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W

CAN0 送信バッファ・ポインタ・レジスタは，送信するメッセージのデータ長（DLC）を設定します。
CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- TMDLC[3:0]

  TMIDm.TMRTR が 0（データ・フレーム送信）の場合，送信バッファから送信するメッセージのデータ長（DLC）を設定します。
  このビットは，チャネル・スリープ・モードでは書き込まないでください。

18.5.15　CAN0 送信バッファ CAN-FD 制御レジスタ m（TMFDCTRmH, TMFDCTRmL）[m = 0-3]

アドレス：　TMFDCTRmL: F050CH + (4CH×m),　TMFDCTRmH: F050EH + (4CH×m)
TMFDCTRmLL: F050CH + (4CH×m),　TMFDCTRmLH: F050DH + (4CH×m),
TMFDCTRmHL: F050EH + (4CH×m),　TMFDCTRmHH: F050FH + (4CH×m)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TMFDCTRmH	TMPTR[15:0]															
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMFDCTRmL	—	—	—	—	—	—	TMIFL[1:0]		—	—	—	—	—	TM FDF	TM BRS	TM ESI
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
31-16	TMPTR[15:0]	送信バッファ・ポインタ・データ	ポインタ・データ	R/W
15-10	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
9, 8	TMIFL[1:0]	送信バッファ・ラベル・データ	ラベル・データ	R/W
7-3	—	（予約ビット）	読むと 0 が読み出されます。書き込みは 0 としてください。	R/W
2	TMFDF	送信バッファ FDF ビット	0：CAN-FD フレームではない 1：CAN-FD フレーム	R/W
1	TMBRS	送信バッファ BRS ビット	0：高速ビット・レートに切り替えない 1：高速ビット・レートに切り替え	R/W
0	TMESI	送信バッファ ESI ビット	0：エラー・アクティブ・ノード 1：エラー・パッシブ・ノード	R/W

CAN0 送信バッファ CAN-FD 制御レジスタは，送信するメッセージの FDF，BRS，ESI ビットの情報を設定します。また，送信履歴バッファに書き込むポインタ・データを設定します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- TMPTR[15:0]

  メッセージ送信完了後，設定したポインタ・データを送信履歴バッファに格納します。
  このビットは，チャネル・スリープ・モードでは書き込まないでください。

- TMIFL[1:0]

  メッセージ送信完了後，設定したラベル・データを送信履歴バッファに格納します。
  このビットは，チャネル・スリープ・モードでは書き込まないでください。

- TMFDF

  送信するメッセージが CAN-FD フレームのときは 1 を，Classical-CAN フレームのときは 0 を設定してください。

  このビットは，チャネル・スリープ・モードでは書き込まないでください。

- TMBRS

  CAN-FD フレームを送信するときの BRS 情報を設定します。Classical-CAN フレームを送信するときは 0 にしてください。

  このビットは，チャネル・スリープ・モードでは書き込まないでください。

- TMESI

  エラー・パッシブ状態（128≦C0STS.TEC≦255，128≦C0STS.REC≦255）では 1 が送信されます。エラー・パッシブ状態以外では，このビットに設定した値が送信されます。

  このビットは，チャネル・スリープ・モードでは書き込まないでください。

18.5.16　CAN0 送信バッファ・データ・フィールド p レジスタ m（TMDFm_pH, TMDFm_pL）[m = 0-3], [p = 0-15]

アドレス：　TMDFm_pL: F0510H + (4CH×m) + (4×p),　TMDFm_pH: F0512H + (4CH×m) + (4×p)
TMDFm_pLL: F0510H + (4CH×m) + (4×p),　TMDFm_pLH: F0511H + (4CH×m) + (4×p),
TMDFm_pHL: F0512H + (4CH×m) + (4×p),　TMDFm_pHH: F0513H + (4CH×m) + (4×p)

条件：　CFDGRWC.RPAGE[1:0] = 01B

略号	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
TMDFm_pH	TMDBq[7:0]								TMDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

略号	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMDFm_pL	TMDBq[7:0]								TMDBq[7:0]							
リセット後の値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	R/W
31-24	TMDBq[7:0]	送信バッファ・データ・バイト q	R/W
23-16	TMDBq[7:0]	送信バッファ・データ・バイト q	R/W
15-8	TMDBq[7:0]	送信バッファ・データ・バイト q	R/W
7-0	TMDBq[7:0]	送信バッファ・データ・バイト q	R/W

TMDFm_p	p							
	0	1	2	3	4	5	6	7
TMDFm_pLL	q = 0	q = 4	q = 8	q = 12	q = 16	q = 20	q = 24	q = 28
TMDFm_pLH	q = 1	q = 5	q = 9	q = 13	q = 17	q = 21	q = 25	q = 29
TMDFm_pHL	q = 2	q = 6	q = 10	q = 14	q = 18	q = 22	q = 26	q = 30
TMDFm_pHH	q = 3	q = 7	q = 11	q = 15	q = 19	q = 23	q = 27	q = 31

TMDFm_p	p							
	8	9	10	11	12	13	14	15
TMDFm_pLL	q = 32	q = 36	q = 40	q = 44	q = 48	q = 52	q = 56	q = 60
TMDFm_pLH	q = 33	q = 37	q = 41	q = 45	q = 49	q = 53	q = 57	q = 61
TMDFm_pHL	q = 34	q = 38	q = 42	q = 46	q = 50	q = 54	q = 58	q = 62
TMDFm_pHH	q = 35	q = 39	q = 43	q = 47	q = 51	q = 55	q = 59	q = 63

CAN0 送信バッファ・データ・フィールド・レジスタは，送信するメッセージ・データを設定します。CFDGRWC.RPAGE が 01B のときに，このレジスタをアクセスすることができます。

- TMDBq[7:0]

  送信バッファから送信するメッセージ（データ・バイト q）を設定します。
  このビットは，チャネル・スリープ・モードでは書き込まないでください。

18.6　CAN モード

CAN モジュールには，CAN モジュール全体のステータスを制御するためのグローバル・モードが 4 種類，個々のチャネル状態を制御するためのチャネル・モードが 4 種類あります。

グローバル・モードの詳細は，「18.6.1　グローバル・モード」を，チャネル・モードの詳細は，「18.6.2　チャネル・モード」を参照してください。

＜グローバル・モード＞

- グローバル・スリープ・モード　：モジュール全体のクロックを停止し，低消費電力を実現する
- グローバル・リセット・モード　：モジュール全体の初期設定を行う
- グローバル HALT モード　：ステータスおよびフラグ・レジスタを更新せずに，すべての通信を一時停止する
- グローバル動作モード　：モジュール全体を動作可能にする

＜チャネル・モード＞

- チャネル・スリープ・モード　：チャネルのクロックが停止する
- チャネル・リセット・モード　：チャネルの初期設定を行う
- チャネル HALT モード　：CAN 通信を停止するとともに，チャネルのテストを許可する
- チャネル動作モード　：CAN 通信を行う

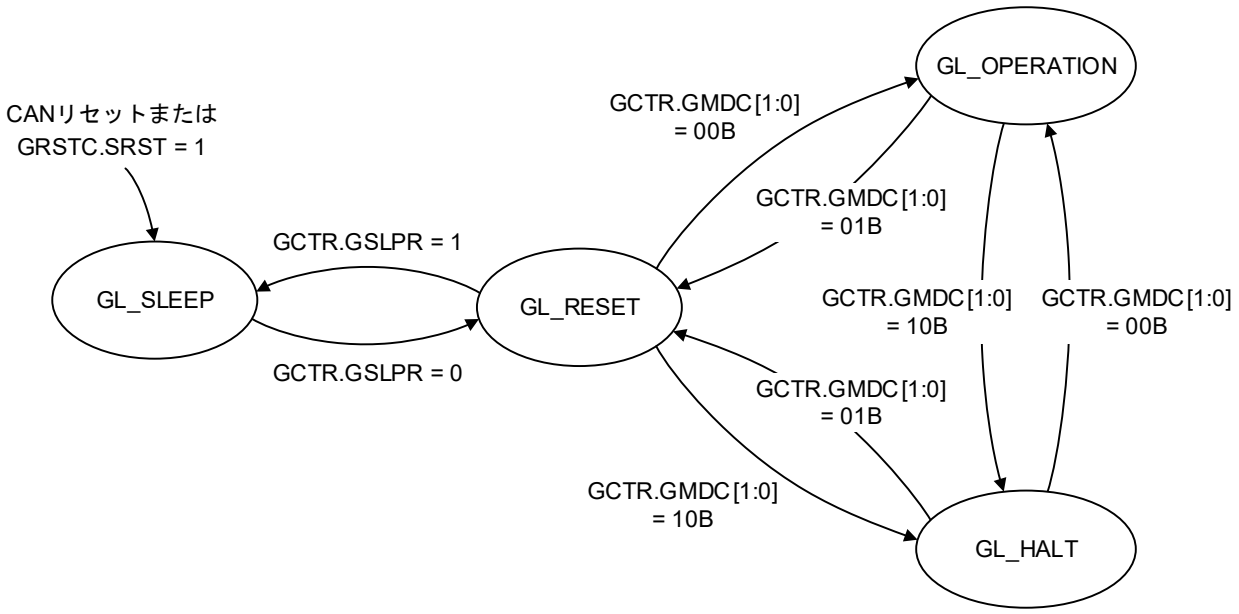
18.6.1　グローバル・モード

グローバル・モードは，RS-CANFD lite モジュール全体の状態を制御します。RS-CANFD lite モジュールのグローバル・モードは次のとおりです。

- グローバル・スリープ・モード　：GL_SLEEP
- グローバル・リセット・モード　：GL_RESET
- グローバル HALT モード　：GL_HALT
- グローバル動作モード　：GL_OPERATION

図 18－5 に，グローバル・モードの遷移図を示します。

図 18－5　グローバル・モードの状態遷移



備考　CAN リセット：PER2.CAN0EN ビットを 0 から 1 に設定した状態

グローバル・モードの遷移により，チャネル・モードが変化する場合があります。表 18－9 に，グローバル・モード遷移によるチャネル・モードの変化を示します。

表 18－9　グローバル・モード設定によるチャネル・モードの変化

現在のグローバル・モード ＼ 遷移後のグローバル・モード	GL_SLEEP	GL_RESET	GL_HALT	GL_OPERATION
GL_SLEEP		CH_SLEEP：そのまま CH_RESET：– CH_HALT：– CH_OPERATOPN：–		
GL_RESET	CH_SLEEP：そのまま CH_RESET → CH_SLEEP CH_HALT：– CH_OPERATOPN：–		CH_SLEEP：そのまま CH_RESET：そのまま CH_HALT：– CH_OPERATOPN：–	CH_SLEEP：そのまま CH_RESET：そのまま CH_HALT：– CH_OPERATOPN：–
GL_HALT		CH_SLEEP：そのまま CH_RESET：そのまま CH_HALT → CH_RESET CH_OPERATOPN：–		CH_SLEEP：そのまま CH_RESET：そのまま CH_HALT：そのまま CH_OPERATOPN：–
GL_OPERATION		CH_SLEEP：そのまま CH_RESET：そのまま CH_HALT → CH_RESET CH_OPERATOPN → CH_RESET	CH_SLEEP：そのまま CH_RESET：そのまま CH_HALT：そのまま CH_OPERATOPN → CH_HALT	

18.6.1.1　グローバル・スリープ・モード

グローバル・スリープ・モードへは次の方法で遷移します。

- CAN リセット（PER2.CAN0EN ビットを 0 から 1 に設定）または，GRSTC.SRST に 1 書き込み後，0 を書いた後，RS-CANFD lite モジュールはグローバル・スリープ・モードに遷移します。
- グローバル・リセット・モード時に GCTR.GSLPR に 1 を書くと，グローバル・スリープ・モードになります。

グローバル HALT モードおよびグローバル動作モードでは，GCTR.GSLPR を 1（グローバル・スリープ・モード遷移要求）にしないでください。

グローバル・リセット・モードで GCTR.GSLPR に 1 を書いてグローバル・スリープ・モードに遷移すると，C0CTR.CSLPR が 1（チャネル・スリープ・モード）になり，すべてのチャネルがチャネル・スリープ・モードになります。

グローバル・スリープ・モードは，消費電力を低減することができます。GCTR.GSLPR ビットの書き込みのみ有効であり，他のクロックはすべて停止します。CAN 関連レジスタを読み出すことはできますが，書き込みは行わないでください。なお，レジスタの値は保持されます。

GCTR.GSLPR ビットに 1 を書いた後，グローバル・リセット・モードへの遷移が正しく行われたことを確認してください。GSTS.GSLPSTS が 1（グローバル・スリープ・モードに遷移完了）を確認します。

図 18－6　グローバル・スリープ・モード遷移手順

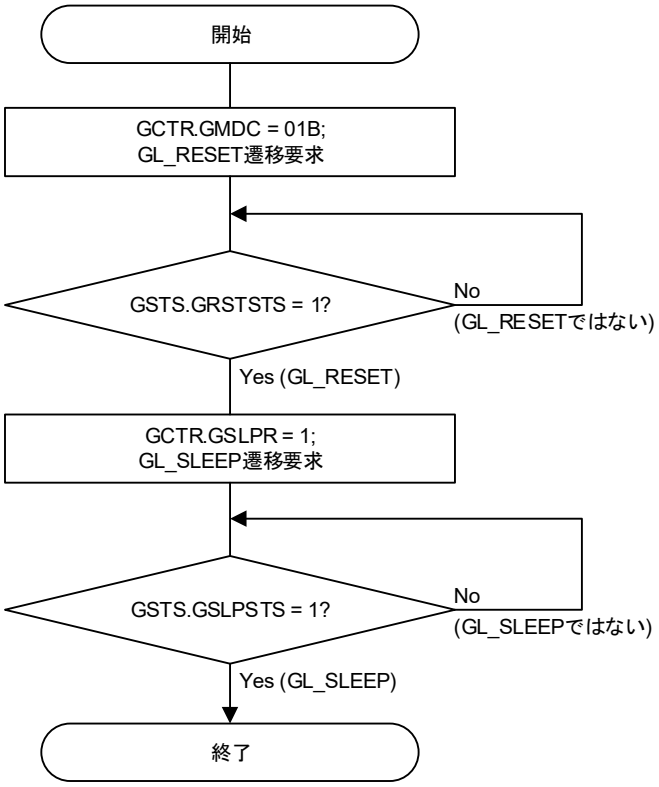
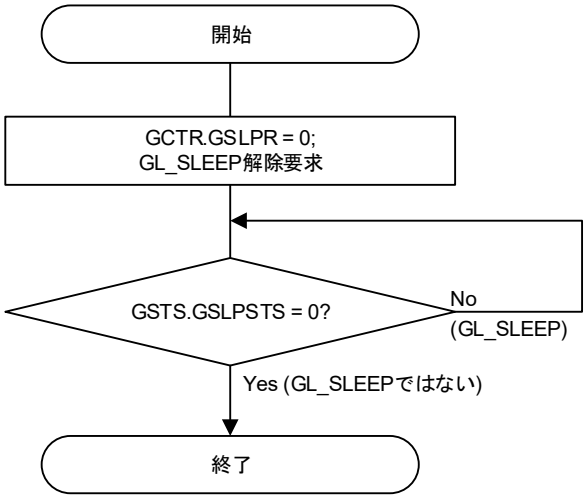


図 18－7　グローバル・スリープ・モード解除手順



18.6.1.2　グローバル・リセット・モード

グローバル・リセット・モードへは，次の方法で遷移します。

- グローバル動作モードおよびグローバル HALT モード時は，GCTR.GMDC に 01B を設定しグローバル・リセット・モード遷移を要求します。
- グローバル・スリープ・モード時は，GCTR.GSLPR に 0 を書き込み，グローバル・リセット・モード遷移を要求します。

グローバル・リセット・モードでは，各ステータス・レジスタとフラグ・レジスタを初期化します。また，すべての FIFO バッファが無効となり，送信制御ビット（送信要求，送信アボート要求，ワンショット送信要求）は 0 にクリアされます。

このモードでは，コンフィグレーション・レジスタ（テスト・モード関連レジスタを除く）は，リセット値に初期化されないため，ソフトウェアでの再構成を容易に行うことができます。

グローバル・リセット・モード遷移時のレジスタについては「18.6.3.3　グローバル／チャネル・モード遷移時のレジスタ」を参照してください。

GCTR.GMDC に 01B を設定して，グローバル・リセット・モードに遷移すると，C0CTR.CHMDC は 01B（チャネル・リセット・モード）になります。

すでにチャネル・リセット・モードまたはチャネル・スリープ・モードの場合，チャネル・モードの自動遷移は行いません（C0CTR.CHMDC がすでに 01B に設定されている場合）。

GCTR.GMDC に 01B を書いた後，グローバル・リセット・モードへの遷移が正しく行われたことを確認してください。GSTS.GRSTSTS が 1（グローバル・リセット・モードに遷移完了）を確認します。

図 18－8　グローバル・リセット・モード遷移手順

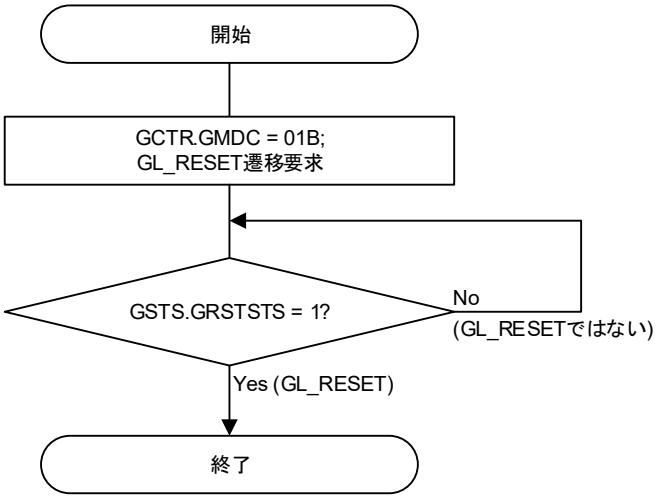
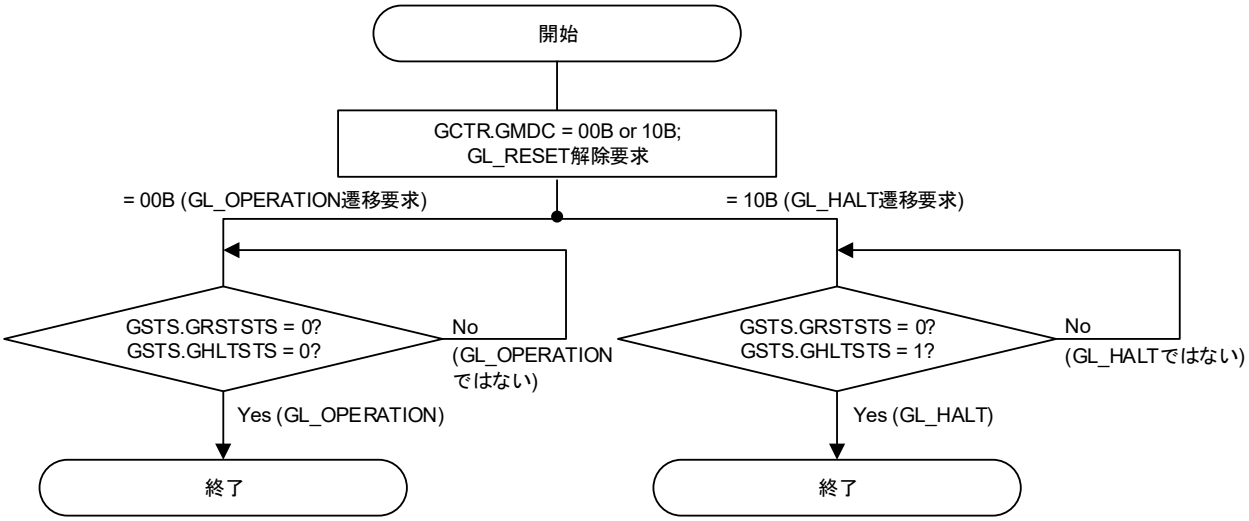


図 18－9　グローバル・リセット・モード解除手順



18.6.1.3　グローバル HALT モード

グローバル HALT モードへは，次の方法で遷移します。

- グローバル・リセット・モードのときに，GCTR.GMDC に 10B を設定します。
  - チャネルはチャネル・リセット・モードまたはチャネル・スリープ・モード。そのモードを保持します。
- グローバル動作モードのときに，GCTR.GMDC に 10B を設定します。
  - チャネルはチャネル・リセット・モード，チャネル HALT モード，またはチャネル・スリープ・モードの場合，そのモードを保持します。
  - チャネル動作モードのときは，チャネル HALT モードに遷移します。
  - チャネル動作モードからチャネル HALT モードに遷移すると，GSTS.GHLSTS が 1（グローバル HALT モード）になります。

チャネルが送信または受信中の場合，通信が完了するまでチャネル HALT モードへの遷移は遅延します。
同様にチャネルがバスオフ状態の場合，バスオフ復帰処理が遅延することがあります。

グローバル HALT モードでは，CAN 通信はサスペンド状態になり，各ステータス・レジスタやフラグ・レジスタは変更しません（チャネルがバスオフ状態のときは，C0CTR.REC および C0CTR.TEC は 00H にクリアされます）。
また，このモードではテスト・モード関連レジスタは初期化しません。
グローバル HALT モードは，各テスト・モードを行うときに遷移します。
グローバル HALT モード遷移時のレジスタについては，「18.6.3.3　グローバル／チャネル・モード遷移時のレジスタ」を参照してください。

チャネル動作モード時に，GCTR.GMDC に 10B を設定すると，通信が完了していると C0CTR.CHMDC が 10B になり，自動でチャネル HALT モードに遷移します。
したがって，グローバル HALT モードへの遷移要求は，メッセージ・ロストや CAN バスに影響を与えることなく通信を遮断することができます。

GCTR.GMDC に 10B を書いた後，グローバル HALT モードへの遷移が正しく行われたことを確認してください。GSTS.GHLTSTS が 1（グローバル HALT モードに遷移完了）を確認します。

図 18－10　グローバル HALT モード遷移手順

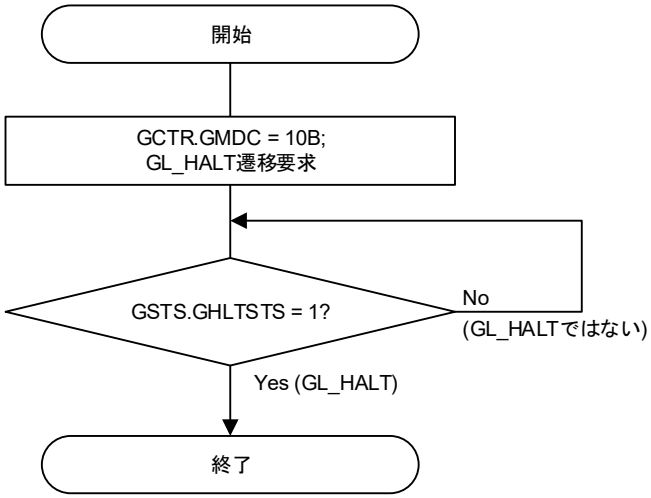
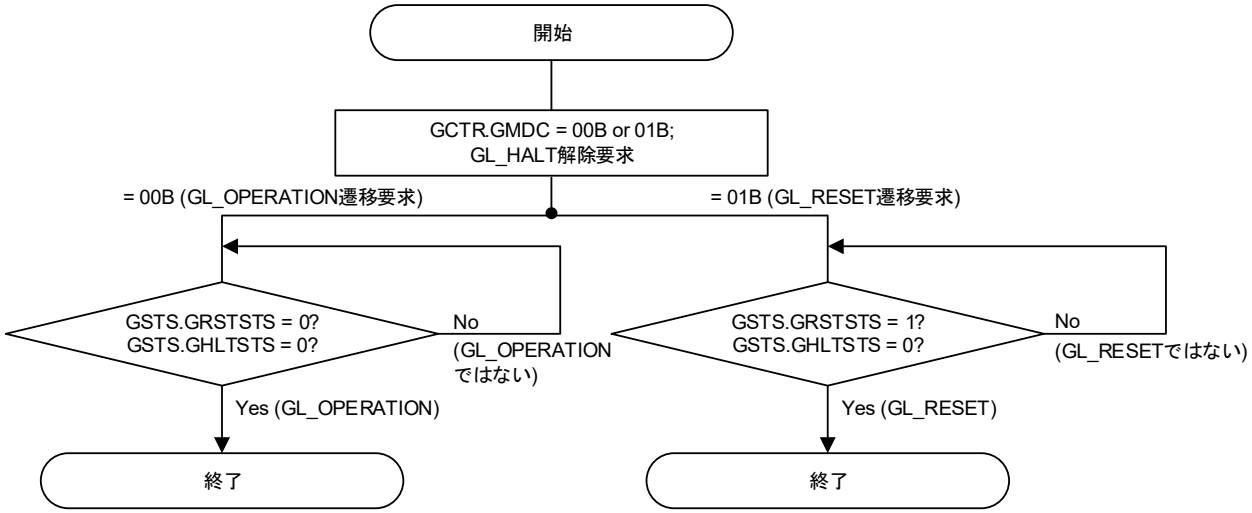


図 18－11　グローバル HALT モード解除手順



18.6.1.4　グローバル動作モード

グローバル動作モードへは，次の方法で遷移します。

- グローバル・リセット・モードまたはグローバル HALT モードのときに，GCTR.GMDC に 00B を設定します。

CAN チャネルは，グローバル動作モードのときのみチャネル動作モードに遷移して CAN 通信を開始することができます。

GCTR.GMDC に 00B を書いた後，グローバル動作モードへの遷移が正しく行われたことを確認してください。GSTS.GRSTSTS が 0（グローバル・リセット・モードではない）および GSTS.GHLTSTS が 0（グローバル HALT モードではない）を確認します。

図 18－12　グローバル動作モード遷移手順

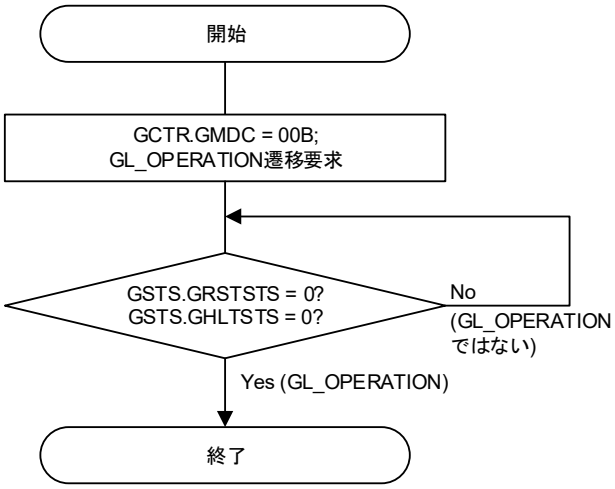
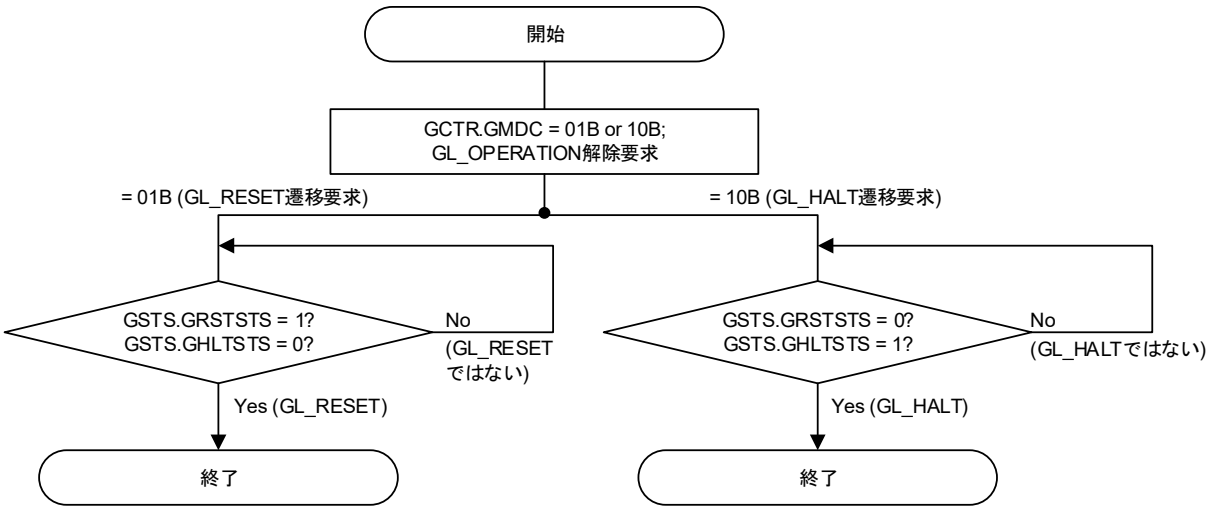


図 18－13　グローバル動作モード解除手順



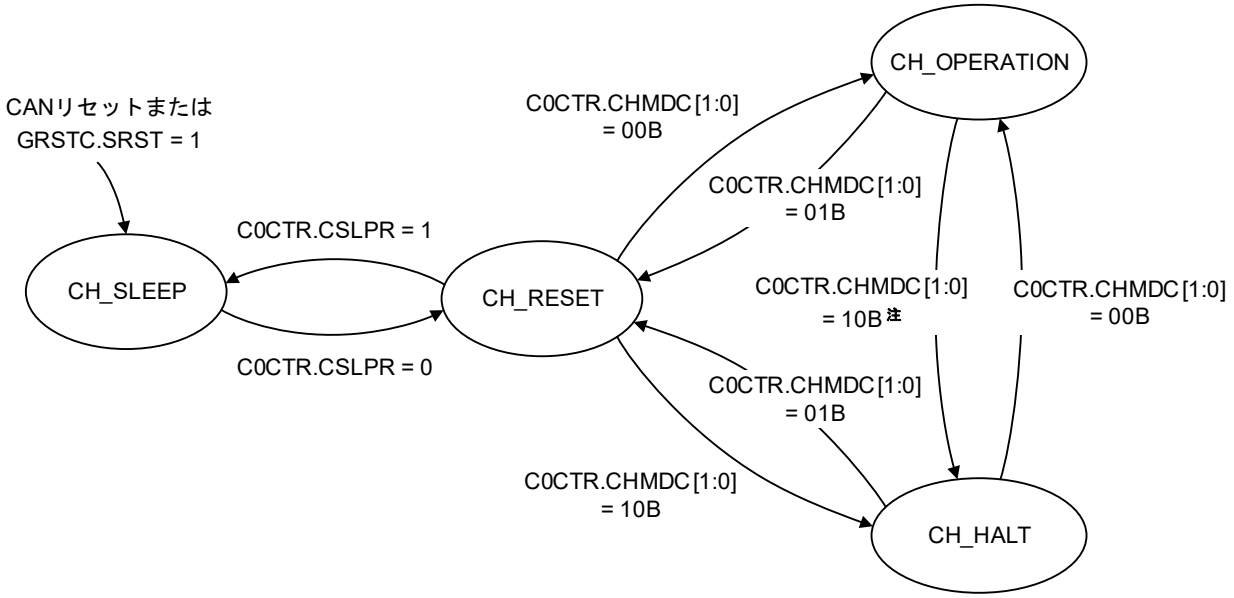
18.6.2　チャネル・モード

RS-CANFD lite モジュールのチャネル・モードは，次のとおりです。

- チャネル・リセット・モード　：CH_RESET
- チャネル HALT モード　：CH_HALT
- チャネル動作モード　：CH_OPERATION
- チャネル・スリープ・モード　：CH_SLEEP

図 18－14 に，チャネル・モードの状態遷移チャートを示します。

図 18－14　チャネル・モード状態遷移図



注　C0CTR.BOM（バスオフ復帰モード選択ビット）の設定により遷移タイミングは異なります。

BOM = 01B：バスオフ開始時

BOM = 10B：バスオフ終了時

BOM = 11B：C0CTR.CHMDC に 10B（チャネル HALT モード遷移要求）を設定したとき

備考　CAN リセット：PER2.CAN0EN ビットを 0 から 1 に設定した状態

18.6.2.1　チャネル・スリープ・モード

チャネル・スリープ・モードへは，次の方法で遷移します。

- CAN リセット（PER2.CAN0EN ビットを 0 から 1 に設定）または，GRSTC.SRST に 1 書き込み後，0 を書いた後，RS-CANFD lite モジュールの CAN チャネルはチャネル・スリープ・モードに遷移します。
- チャネル・リセット・モード時に C0CTR.CSLPR を 1 にするとチャネル・スリープ・モードに遷移します。
- グローバル・リセット・モードからグローバル・スリープ・モードに遷移すると，CAN チャネルはチャネル・リセット・モードからチャネル・スリープ・モードに遷移します。

C0CTR.CSLPR は，チャネル動作モードおよびチャネル HALT モードでは設定しないでください。

チャネル・スリープ・モードでは，CAN チャネルへ供給するクロックが停止するため消費電力を低減させることができます。

C0CTR.CSLPR に 1 を書いた後，チャネル・スリープ・モードへの遷移が正しく行われたことを確認してください。C0STS.CSLPSTS が 1（チャネル・スリープ・モードに遷移完了）を確認します。

チャネル・スリープ・モードでは，チャネル関連レジスタに書き込みを行わないでください。読み出しは可能です。

18.6.2.2　チャネル・リセット・モード

チャネル・リセット・モードへは，次の方法で遷移します。

- チャネル動作モードまたはチャネル HALT モード時に，C0CTR.CHMDC に 01B を設定します。
- チャネル・スリープ・モード時は，C0CTR.CSLPR を 0（チャネル・スリープ・モード解除）にします。
- グローバル動作モードまたはグローバル HALT モードからグローバル・リセット・モードに遷移すると，CAN チャネルはチャネル・リセット・モードに遷移します。

チャネル・リセット・モードに遷移すると，各ステータス・レジスタとフラグ・レジスタが初期化されます。また，チャネル関連の通信制御ビットがクリアされます。

このモードでは，コンフィグレーション・レジスタ（テスト・モード関連レジスタを除く）は，リセット値に初期化されないため，ソフトウェアでの再構成を容易に行うことができます。

チャネル・リセット・モード遷移時のレジスタについては，「18.6.3.3　グローバル／チャネル・モード遷移時のレジスタ」を参照してください。

C0CTR.CHMDC に 01B を書いた後，チャネル・リセット・モードへの遷移が正しく行われたことを確認してください。C0STS.CRSTSTS が 1（チャネル・リセット・モードに遷移完了）を確認します。

通信中のチャネル・リセット・モードへの遷移の影響については，表 18－10 を参照してください。

18.6.2.3　チャネル HALT モード

チャネル・リセット・モードへは，次の方法で遷移します。

- チャネル・リセット・モードおよびチャネル動作モードのときに，C0CTR.CHMDC に 10B を設定するとチャネル HALT モードに遷移します。
- グローバル動作モードからグローバル HALT モードに遷移すると，CAN チャネルはチャネル HALT モードに遷移します。

チャネル HALT モードに遷移すると，すべてのチャネルの CAN 通信が停止します。また，各ステータス・レジスタ，フラグ・レジスタは，チャネル HALT モード遷移時に変化しません（バスオフ状態に遷移する場合の C0STS.TEC，C0STS.REC を除く）。

また，GTSTCFG（CAN テスト・コンフィグレーション・レジスタ）と GTSTCTR（CAN テスト制御レジスタ）は初期化されません。

チャネル HALT モードで，チャネル・テストを行います。

チャネル HALT モード遷移時のレジスタについては，「18.6.3.3　グローバル／チャネル・モード遷移時のレジスタ」を参照してください。

C0CTR.CHMDC に 10B を書いた後，チャネル HALT モードへの遷移が正しく行われたことを確認してください。C0STS.CHLTSTS が 1（チャネル HALT モードに遷移完了）を確認します。

通信中のチャネル HALT モードへの遷移の影響については，表 18－10 を参照してください。

表 18－10　チャネル・リセット・モード／チャネル HALT モード遷移時の動作

モード	受信	送信	バスオフ
チャネル・リセット・モード (C0CTR.CHMDC = 01B)	受信の終了を待たずにチャネル・リセット・モードに遷移注 1	送信の終了を待たずにチャネル・リセット・モードに遷移注 1	バスオフ復帰の終了を待たずにチャネル・リセット・モードに遷移
チャネル HALT モード (C0CTR.CHMDC = 10B)	受信の終了を待って，およびエラー発生時にチャネル HALT モードに遷移注 2	送信の終了を待ってチャネル HALT モードに遷移	• C0CTR.BOM = 00B の場合 バスオフ復帰後のみチャネル HALT モードへの遷移が実行される • C0CTR.BOM = 10B の場合 バスオフ復帰時に自動的にチャネル HALT モードに遷移 • C0CTR.BOM = 01B の場合 バスオフ開始時に自動的にチャネル HALT モードに遷移 • C0CTR.BOM = 11B の場合 C0CTR.CHMDC に 10B を設定するとすぐにチャネル HALT モードに遷移（バスオフ復帰の終了を待たない）

注 1. 通信が終了した後にチャネル・リセット・モードに遷移したい場合，チャネル HALT モードを要求し，チャネル HALT モードへの遷移完了を確認してからチャネル・リセット・モードへの遷移を要求してください。

2. CAN バスがドミナント・レベルでロックしている間は，チャネル HALT モードに遷移しません。C0ERFL.BLF が 1（バス・ロック検出）のときは，チャネル・リセット・モードに遷移してください。

18.6.2.4　チャネル動作モード

チャネル動作モードへは，次の方法で遷移します。

- チャネル・リセット・モードまたはチャネル HALT モード時に C0CTR.CHMDC に 00B を設定します。

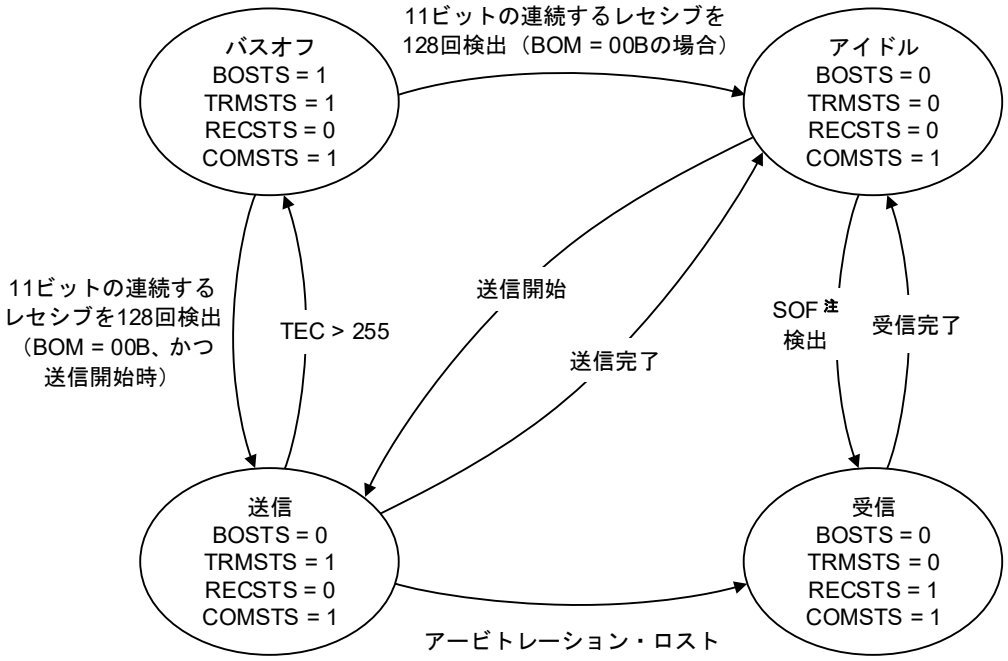
チャネル動作モード遷移後，11 ビットの連続するレセシブを検出すると，C0STS.COMSTS が 1（通信可能状態）となり，CAN ネットワーク上でアクティブ・ノードとして送受信が許可されます。この時点で，CAN メッセージの送受信を開始することができます。

チャネル動作モードは，さらに 4 つのサブモードに分けることができます（図 18－15 を参照）。

- チャネル・アイドル：受信も送信も行っていない状態
- チャネル受信：CAN メッセージを受信している状態
- チャネル送信：CAN メッセージを送信している状態
- バスオフ状態：CAN チャネルがバスオフ状態

C0CTR.CHMDC に 00B を書いた後，チャネル動作モードへの遷移が正しく行われたことを確認してください。C0STS.CRSTSTS が 0（チャネル・リセット・モードではない），および C0STS.CHLTSTS が 0（チャネル HALT モードではない）を確認します。

図 18－15　チャネル動作モードのサブモード（BOM = 00B の場合）



注　SOF：Start of Frame

備考　状態を表すビット記号：

BOSTS	：C0STS.BOSTS（バスオフ・ステータス・フラグ）
TRMSTS	：C0STS.TRMSTS（送信ステータス・フラグ）
RECSTS	：C0STS.RECSTS（受信ステータス・フラグ）
COMSTS	：C0STS.COMSTS（通信ステータス・フラグ）
BOM	：C0CTR.BOM[1:0]（バスオフ復帰モード選択ビット）

18.6.2.5　チャネル・バスオフ状態

CAN 仕様の送信エラー・カウンタ，受信エラー・カウンタの増減に従ってバスオフ状態に遷移します。
バスオフ状態復帰条件は，C0CTR.BOM で設定します。

- **C0CTR.BOM = 00B のとき**

  ISO11898-1 に準拠し，11 ビットの連続するレセシブを 128 回検出後，バスオフ状態から CAN 通信可能な状態（エラー・アクティブ状態）に復帰します。このとき，C0STS.TEC および C0STS.REC は 00H に初期化され，C0ERFL.BORF が 1（バスオフ復帰検出）になります。

- **C0CTR.BOM = 01B のとき**

  バスオフ状態になると，C0CTR.CHMDC が 10B になり，チャネル HALT モードに遷移します。このとき，C0STS.TEC および C0STS.REC は 00H に初期化されます。C0ERFL.BORF は 1（バスオフ復帰検出）になりません。

- **C0CTR.BOM = 10B のとき**

  バスオフ状態になると，C0CTR.CHMDC が 10B になり，バスオフ復帰完了（11 ビットの連続するレセシブを 128 回検出）すると，チャネル HALT モードに遷移します。このとき，C0STS.TEC および C0STS.REC は 00H に初期化されます。C0ERFL.BORF は 1（バスオフ復帰検出）になります。

- **C0CTR.BOM = 11B のとき**

  バスオフ復帰処理を開始します。ただし，バスオフ状態で C0CTR.CHMDC に 10B を設定すると，バスオフ復帰を待たずチャネル HALT モードに遷移します。このとき，C0STS.TEC および C0STS.REC は 00H に初期化されます。C0ERFL.BORF は 1（バスオフ復帰検出）になりません。
  なお，C0CTR.CHMDC に 10B を設定する前に，11 ビットの連続するレセシブを 128 回検出した場合，C0CTR.BOM = 00B と同様，C0STS.TEC および C0STS.REC は 00H に初期化され，C0ERFL.BORF は 1（バスオフ復帰検出）になります。

CAN チャネルによるチャネル HALT モードの遷移と，ソフトウェアによる C0CTR.CHMDC へのチャネル・モード書き込みが同時に発生した場合，ソフトウェアによる書き込みが優先されます。CAN チャネルのチャネル HALT モードへの自動的な遷移は，C0CTR.CHMDC が 00B（チャネル動作モード）のときのみ行います。

また，C0CTR.RTBO に 1 を書き込むとバスオフ状態から強制的に復帰することができます。最大 1 CAN ビットの遅延時間後，エラー・アクティブ状態に遷移します。このとき，11 ビットの連続するレセシブを検出すると，CAN チャネルは通信可能な状態になります。この場合，C0STS.TEC および C0STS.REC は 00H に初期化されます。C0ERFL.BORF は 1（バスオフ復帰検出）になりません。
C0CTR.RTBO に 1 を書き込む前に，送信バッファおよび送受信 FIFO バッファ（送信モード）に待機している送信メッセージを無効にしてください。

C0CTR.RTBO は，C0CTR.BOM が 00B（チャネル動作モード）のときに，バスオフ復帰するために使用します。
このビットは，バスオフ以外の状態で 1 を書いても無効です。RTBO はすぐに 0 にクリアされます。

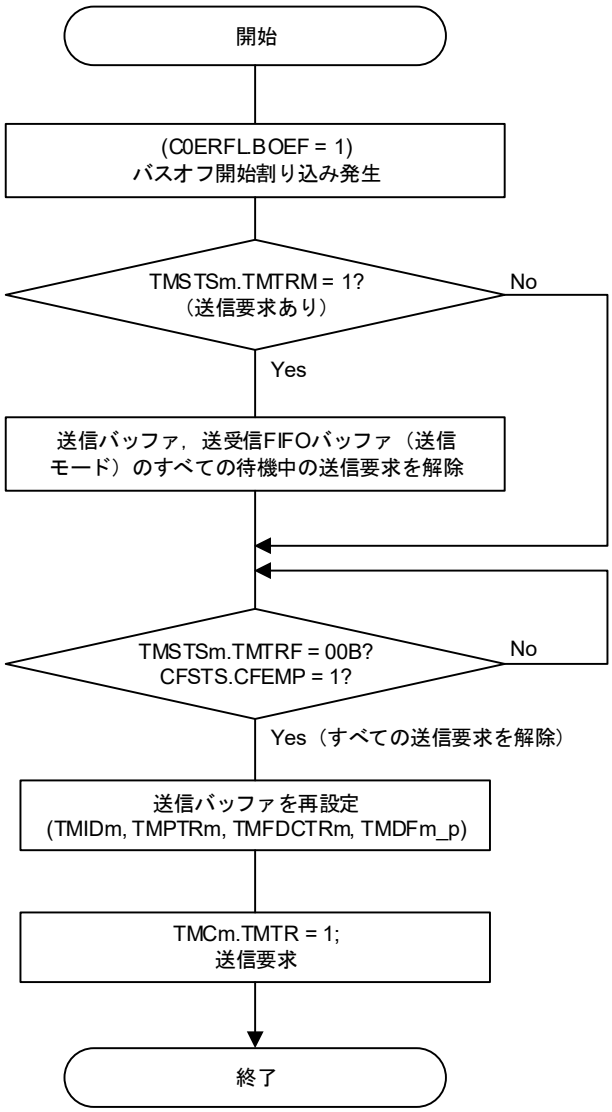
表 18－11 に，C0CTR.BOM の各設定時の C0ERFL.BOEF（バスオフ開始フラグ）と C0ERFL.BORF（バスオフ復帰フラグ）の状態を示します。

表 18－11　バスオフ開始／バスオフ復帰フラグの動作

BOM[1:0]	BOEF セット条件	BORF セット条件
00B	常にセット（バスオフ開始時）	常にセット（バスオフ終了時）
00B C0CTR.RTBO を 1 にセット	常にセット（バスオフ開始時）	ソフトウェアによって C0CTR.RTBO が 1 にセットされる前に通常のバスオフ復帰が発生した場合のみ
01B	常にセット（バスオフ開始時）	セットされない
10B	常にセット（バスオフ開始時）	常にセット（バスオフ終了時）
11B	常にセット（バスオフ開始時）	ソフトウェアが HALT 要求を発行する前に通常のバスオフ復帰が発生した場合のみ

バスオフ復帰処理の終了を待たず，バスオフ復帰中に送信の再初期化を行うことができます。処理フローは，図 18－16 を参照してください。

図 18－16　バスオフ中の送信再初期化



18.6.3　グローバル・モード遷移とチャネル・モード遷移の関係

グローバル・モード遷移とチャネル・モード遷移の間には以下の関係があります。

C0CTR.CHMDC でチャネル・モードを変更しても，グローバル・モード（GCTR.GMDC）は変化しません。

GCTR.GMDC でグローバル･モードを変更すると，表 18－12 に示すようにチャネル･モード（C0CTR.CHMDC）が変化します。

表 18－12　グローバル・モード遷移とチャネル・モード遷移の関係

グローバル・モードの変化	チャネル・モード	チャネル・モード遷移動作
GL_SLEEP → GL_RESET	CH_SLEEP	CH_SLEEP を保持
GL_SLEEP → GL_HALT	–（グローバル・モードの変更不可）	
GL_SLEEP → GL_OPERATION	–（グローバル・モードの変更不可）	
GL_RESET → GL_SLEEP	CH_SLEEP	CH_SLEEP を保持
	CH_RESET	C0CTR.CSLPR = 1（チャネル・スリープ・モード）になり，CH_SLEEP に遷移
GL_RESET → GL_HALT	CH_SLEEP	CH_SLEEP を保持
	CH_RESET	CH_RESET を保持
GL_RESET → GL_OPERATION	CH_SLEEP	CH_SLEEP を保持
	CH_RESET	CH_RESET を保持
GL_HALT → GL_SLEEP	–（グローバル・モードの変更不可）	
GL_HALT → GL_RESET	CH_SLEEP	CH_SLEEP を保持
	CH_RESET	CH_RESET を保持
	CH_HALT	C0CTR.CHMDC = 01B（チャネル・リセット・モード）になり，CH_RESET に遷移
GL_HALT → GL_OPERATION	CH_SLEEP	CH_SLEEP を保持
	CH_RESET	CH_RESET を保持
	CH_HALT	CH_HALT を保持
GL_OPERATION → GL_SLEEP	–（グローバル・モードの変更不可）	
GL_OPERATION → GL_RESET	CH_SLEEP	CH_SLEEP を保持
	CH_RESET	CH_RESET を保持
	CH_HALT	C0CTR.CHMDC = 01B（チャネル・リセット・モード）になり，CH_RESET に遷移
	CH_OPERATION	C0CTR.CHMDC = 01B（チャネル・リセット・モード）になり，CH_RESET に遷移
GL_OPERATION → GL_HALT	CH_SLEEP	CH_SLEEP を保持
	CH_RESET	CH_RESET を保持
	CH_HALT	CH_HALT を保持
	CH_OPERATION	C0CTR.CHMDC = 10B（チャネル HALT モード）になり，CH_HALT に遷移

18.6.3.1　グローバル・モード遷移時間

グローバル・モード変更時の遷移時間は以下のとおりです。

表 18－13　グローバル・モードの遷移時間

変更前	変更後	最大遷移時間
GL_SLEEP	GL_RESET	3 周辺クロック・サイクル 注 2
GL_RESET	GL_SLEEP	3 周辺クロック・サイクル
GL_RESET	GL_HALT	10 周辺クロック・サイクル
GL_RESET	GL_OPERATION	10 周辺クロック・サイクル
GL_HALT	GL_RESET	2 CAN ビット時間 注 3
GL_HALT	GL_OPERATION	3 周辺クロック・サイクル
GL_OPERATION	GL_RESET	2 CAN ビット時間 注 3
GL_OPERATION	GL_HALT	3 CAN フレーム 注 1,3

注 1. CAN バス上でエラーが発生していないときの値です。エラーやバス・ロックが発生している場合，本値より大きくなる場合があります。

2. グローバル・スリープ・モードから遷移する場合，GSTS.GRAMINIT が 0（CAN 用 RAM 初期化完了）の状態で行ってください。

3. CAN ビット時間，CAN フレームは CAN チャネルの通信速度設定に依存します。

18.6.3.2　チャネル・モード遷移時間

チャネル・モード変更時の遷移時間は以下のとおりです。

表 18－14　チャネル・モードの遷移時間

変更前	変更後	最大遷移時間
CH_SLEEP	CH_RESET	3 周辺クロック・サイクル
CH_RESET	CH_SLEEP	3 周辺クロック・サイクル
CH_RESET	CH_HALT	3 CAN ビット時間
CH_RESET	CH_OPERATION	4 CAN ビット時間
CH_HALT	CH_RESET	2 CAN ビット時間
CH_HALT	CH_OPERATION	4 CAN ビット時間 注 3
CH_OPERATION	CH_RESET	2 CAN ビット時間
CH_OPERATION	CH_HALT	2 CAN フレーム 注 1,2

注 1. CAN チャネルがバスオフ遷移した状態を除きます。バスオフ復帰は，C0CTR.BOM の設定により異なります。

2. CAN バス上でエラーが発生していないときの値です。エラーやバス・ロックが発生している場合，本値より大きくなる場合があります。

3. チャネル HALT モード時に C0NCFG.NBRP（ノミナル・プリスケーラ分周比）を変更した場合，遷移時間は上記値と異なる場合があります。内部プリスケーラは Tq クロックを生成するフリーラン・カウンタです。カウンタ値が 0 になるときに設定したボー・レート・プリスケーラ値が反映されます。

18.6.3.3　グローバル／チャネル・モード遷移時のレジスタ

次の表は，RS-CANFD lite モジュールのモードが変更された時のレジスタ・ビット値の変化を示します。

注　表の略号：

unch：un-changed（変化しない）

und：undefined（未定義）

MCU_RESET ：CAN リセット（PER2.CAN0EN ビットを 0 から 1 に設定した状態）

SW_RESET：SW リセット（GRSTC.SRST に 1 書き込み後，0 を書く）

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（1/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
C0NCFG	NBRP[9:0]	all “0”	all “0”	unch	unch	unch	unch	unch	unch
	NSJW[6:0]	all “0”	all “0”	unch	unch	unch	unch	unch	unch
	NTSEG1[7:0]	all “0”	all “0”	unch	unch	unch	unch	unch	unch
	NTSEG2[6:0]	all “0”	all “0”	unch	unch	unch	unch	unch	unch
C0CTR	CHMDC[1:0]	01B	01B	unch	01B	CH_SLEEP, CH_RESET, CH_HALT：unch, それ以外：10B	unch	01B	10B
	CSLPR	1	1	1	unch	unch	unch	unch	unch
	RTBO	0	0	unch	unch	unch	unch	unch	unch
	BEIE	0	0	unch	unch	unch	unch	unch	unch
	EWIE	0	0	unch	unch	unch	unch	unch	unch
	EPIE	0	0	unch	unch	unch	unch	unch	unch
	BOEIE	0	0	unch	unch	unch	unch	unch	unch
	BORIE	0	0	unch	unch	unch	unch	unch	unch
	OLIE	0	0	unch	unch	unch	unch	unch	unch
	BLIE	0	0	unch	unch	unch	unch	unch	unch
	ALIE	0	0	unch	unch	unch	unch	unch	unch
	TAIE	0	0	unch	unch	unch	unch	unch	unch
	EOCOIE	0	0	unch	unch	unch	unch	unch	unch
	SOCOIE	0	0	unch	unch	unch	unch	unch	unch
	TDCVFIE	0	0	unch	unch	unch	unch	unch	unch
	BOM[1:0]	00B	00B	unch	unch	unch	unch	unch	unch
	ERRD	0	0	unch	unch	unch	unch	unch	unch
	CTME	0	0	unch	0	unch	unch	0	unch
	CTMS[1:0]	00B	00B	unch	00B	unch	unch	00B	unch
	BFT	0	0	unch	0	unch	unch	0	unch
	ROM	0	0	unch	0	unch	unch	0	unch

（**注**は表の最後に示します）　　unch：変化しない，und：未定義

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（2/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
C0STS	CRSTSTS	1	1	unch	1	unch	unch	1	0
	CHLTSTS	0	0	unch	0	CH_SLEEP, CH_RESET, CH_HALT：unch, それ以外：1	unch	0	1
	CSLPSTS	1	1	1	unch	unch	1	unch	unch
	EPSTS	0	0	unch	0	unch	unch	0	unch
	BOSTS	0	0	unch	0	0	unch	0	0
	TRMSTS	0	0	unch	0	0	unch	0	0
	RECSTS	0	0	unch	0	0	unch	0	0
	COMSTS	0	0	unch	0	0	unch	0	0
	ESIF	0	0	unch	0	unch	unch	0	unch
	REC[7:0]	00H	00H	unch	00H	unch	unch	00H	unch
	TEC[7:0]	00H	00H	unch	00H	unch	unch	00H	unch
C0ERFL	BEF	0	0	unch	0	unch	unch	0	unch
	EWF	0	0	unch	0	unch	unch	0	unch
	EPF	0	0	unch	0	unch	unch	0	unch
	BOEF	0	0	unch	0	unch	unch	0	unch
	BORF	0	0	unch	0	unch	unch	0	unch
	OVLF	0	0	unch	0	unch	unch	0	unch
	BLF	0	0	unch	0	unch	unch	0	unch
	ALF	0	0	unch	0	unch	unch	0	unch
	SERR	0	0	unch	0	unch	unch	0	unch
	FERR	0	0	unch	0	unch	unch	0	unch
	AERR	0	0	unch	0	unch	unch	0	unch
	CERR	0	0	unch	0	unch	unch	0	unch
	B1ERR	0	0	unch	0	unch	unch	0	unch
	B0ERR	0	0	unch	0	unch	unch	0	unch
	ADERR	0	0	unch	0	unch	unch	0	unch
	CRCREG[14:0]	all “0”	all “0”	unch	all “0”	unch	unch	all “0”	unch
GIPV	IPV[7:0]	43H	43H	43H	43H	43H	-	-	-
	IPT[1:0]	01B	01B	01B	01B	01B	-	-	-
	CPUBUS	1	1	1	1	1	-	-	-
	PSI[15:0]	3C8BH	3C8BH	3C8BH	3C8BH	3C8BH	-	-	-
GCFG	TPRI	0	0	unch	unch	unch	-	-	-
	DCE	0	0	unch	unch	unch	-	-	-
	DRE	0	0	unch	unch	unch	-	-	-
	MME	0	0	unch	unch	unch	-	-	-
	DCS	0	0	unch	unch	unch	-	-	-
	CMPOC	0	0	unch	unch	unch	-	-	-
	TSP[3:0]	0000B	0000B	unch	unch	unch	-	-	-
	TSSS	0	0	unch	unch	unch	-	-	-
	ITRCP[15:0]	0000H	0000H	unch	unch	unch	-	-	-

（注は表の最後に示します）　　unch：変化しない，und：未定義

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（3/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
GCTR	GMDC[1:0]	01B	01B	unch	unch	unch	-	-	-
	GSLPR	1	1	unch	unch	unch	unch	unch	unch
	DEIE	0	0	unch	unch	unch	-	-	-
	MEIE	0	0	unch	unch	unch	-	-	-
	THLEIE	0	0	unch	unch	unch	-	-	-
	CMPOFIE	0	0	unch	unch	unch	-	-	-
	TSRST	0	0	unch	unch	unch	-	-	-
GSTS	GRSTSTS	1	1	unch	1	0	-	-	-
	GHLTSTS	0	0	unch	0	1	-	-	-
	GSLPSTS	1	1	1	unch	unch	-	-	-
	GRAMINIT	1	1	1→0 注	0	0	-	-	-
GERFL	DEF	0	0	unch	0	unch	-	-	-
	MES	0	0	unch	0	unch	-	-	-
	THLES	0	0	unch	0	unch	-	-	-
	CMPOF	0	0	unch	0	unch	-	-	-
	EEF	0	0	unch	0	unch	-	-	-
GTSC	TS[15:0]	0000H	0000H	unch	0000H	unch	-	-	-
GAFLECTR	AFLDAE	0	0	unch	unch	unch	-	-	-
GAFLCFG	RNC[4:0]	all “0”	all “0”	unch	unch	unch	-	-	-
RMNB	NRXMB[4:0]	all “0”	all “0”	unch	unch	unch	-	-	-
	RMPLS[2:0]	000B	000B	unch	unch	unch	-	-	-
RMND	RMNS[15:0]	0000H	0000H	unch	0000H	unch	-	-	-
RMIEC	RMIE[15:0]	0000H	0000H	unch	unch	unch	-	-	-
RFCCk	RFE	0	0	unch	0	unch	-	-	-
	RFIE	0	0	unch	unch	unch	-	-	-
	RFPLS[2:0]	000B	000B	unch	unch	unch	-	-	-
	RFDC[2:0]	000B	000B	unch	unch	unch	-	-	-
	RFIM	0	0	unch	unch	unch	-	-	-
	RFIGCV[2:0]	000B	000B	unch	unch	unch	-	-	-
RFSTSk	RFEMP	1	1	unch	1	unch	-	-	-
	RFFLL	0	0	unch	0	unch	-	-	-
	RFMLT	0	0	unch	0	unch	-	-	-
	RFIF	0	0	unch	0	unch	-	-	-
	RFMC[5:0]	all “0”	all “0”	unch	all “0”	unch	-	-	-
RFPCTRk	RFPC[7:0]	-	-	-	-	-	-	-	-

（注は表の最後に示します）　　unch：変化しない，und：未定義

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（4/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
CFCC	CFE	0	0	unch	0	unch	unch	TX FIFO: 0, RX FIFO: unch	unch
	CFRXIE	0	0	unch	unch	unch	unch	unch	unch
	CFTXIE	0	0	unch	unch	unch	unch	unch	unch
	CFPLS[2:0]	000B	000B	unch	unch	unch	-	-	-
	CFM	0	0	unch	unch	unch	unch	unch	unch
	CFITSS	0	0	unch	unch	unch	unch	unch	unch
	CFITR	0	0	unch	unch	unch	unch	unch	unch
	CFIM	0	0	unch	unch	unch	unch	unch	unch
	CFIGCV[2:0]	000B	000B	unch	unch	unch	unch	unch	unch
	CFTML[1:0]	00B	00B	unch	unch	unch	unch	unch	unch
	CFDC[2:0]	000B	000B	unch	unch	unch	unch	unch	unch
	CFITT[7:0]	00H	00H	unch	unch	unch	unch	unch	unch
CFSTS	CFEMP	1	1	unch	1	unch	-	TX FIFO: 1, RX FIFO: unch	-
	CFFLL	0	0	unch	0	unch	-	TX FIFO: 0, RX FIFO: unch	-
	CFMLT	0	0	unch	0	unch	-		-
	CFRXIF	0	0	unch	0	unch	-		-
	CFTXIF	0	0	unch	0	unch	-		-
	CFMC[5:0]	all “0”	all “0”	unch	all “0”	unch	-	TX FIFO: all “0”, RX FIFO: unch	-
CFPCTR	CFPC[7:0]	-	-	-	-	-	-	-	-
FESTS	RF0EMP	1	1	unch	1	unch	-	-	-
	RF1EMP	1	1	unch	1	unch	-	-	-
	CFEMP	1	1	unch	1	unch	-	Mirror of C FIFO status	-
FFSTS	RF0FLL	0	0	unch	0	unch	-	-	-
	RF1FLL	0	0	unch	0	unch	-	-	-
	CFFLL	0	0	unch	0	unch	-	Mirror of C FIFO status	-
FMSTS	RF0MLT	0	0	unch	0	unch	-	-	-
	RF1MLT	0	0	unch	0	unch	-	-	-
	CFMLT	0	0	unch	0	unch	-	-	-
RFISTS	RF0IF	0	0	unch	0	unch	-	-	-
	RF1IF	0	0	unch	0	unch	-	-	-
TMCm	TMTR	0	0	unch	0	unch	unch	0	unch
	TMTAR	0	0	unch	0	unch	unch	0	unch
	TMOM	0	0	unch	0	unch	unch	0	unch
TMSTSm	TMTSTS	0	0	unch	0	0	unch	0	0
	TMTRF[1:0]	00B	00B	unch	00B	unch	unch	00B	unch
	TMTRM	0	0	unch	0	unch	unch	0	unch
	TMTARM	0	0	unch	0	unch	unch	0	unch

（注は表の最後に示します）　　unch：変化しない，und：未定義

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（5/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
TMTRSTS	TMTRSTS[3:0]	0000B	0000B	unch	0000B	unch	unch	部分的にクリア	unch
TMTARSTS	TMTARSTS[3:0]	0000B	0000B	unch	0000B	unch	unch		unch
TMTCSTS	TMTCSTS[3:0]	0000B	0000B	unch	0000B	unch	unch		unch
TMTASTS	TMTASTS[3:0]	0000B	0000B	unch	0000B	unch	unch		unch
TMIEC	TMIE[3:0]	0000B	0000B	unch	unch	unch	unch	unch	unch
THLCC	THLE	0	0	unch	0	unch	unch	0	unch
	THLIE	0	0	unch	unch	unch	unch	unch	unch
	THLIM	0	0	unch	unch	unch	unch	unch	unch
	THLDTE	0	0	unch	unch	unch	unch	unch	unch
THLSTS	THLEMP	1	1	unch	1	unch	unch	1	unch
	THLFLL	0	0	unch	0	unch	unch	0	unch
	THLELT	0	0	unch	0	unch	unch	0	unch
	THLIF	0	0	unch	0	unch	unch	0	unch
	THLMC[3:0]	0000B	0000B	unch	0000B	unch	-	0000B	-
THLPCTR	THLPC[7:0]	-	-	-	-	-	-	-	-
GTINTSTS	TSIF	0	0	unch	0	unch	unch	0	unch
	TAIF	0	0	unch	0	unch	unch	0	unch
	CFTIF	0	0	unch	0	unch	unch	0	unch
	THIF	0	0	unch	0	unch	unch	0	unch
GTSTCFG	RTMPS[3:0]	0000B	0000B	unch	0000B	unch	-	-	-
GTSTCTR	RTME	0	0	unch	0	unch	-	-	-
GFDCFG	RPED	0	0	unch	unch	unch	-	-	-
	TSCCFG[1:0]	00B	00B	unch	unch	unch	-	-	-
GLOCKK	LOCK[15:0]	-	-	-	-	-	-	-	-
GAFLIGNENT	IRN[3:0]	0000B	0000B	unch	unch	unch	-	-	-
GAFLIGNCTR	IREN	0	0	unch	unch	unch	-	-	-
	KEY[7:0]	-	-	-	-	-	-	-	-
GPFLECTR	PFLDAE	0	0	unch	unch	unch	-	-	-
GPFLCFG	RNC[1:0]	00B	00B	unch	unch	unch	-	-	-
GRSTC	SRST	0	unch	unch	unch	unch	-	-	-
	KEY[7:0]	-	-	-	-	-	-	-	-
CFDGRWC	RPAGE[1:0]	00B	00B	unch	unch	unch	-	-	-
	KEY[7:0]	-	-	-	-	-	-	-	-
C0DCFG	DBRP[7:0]	00H	00H	unch	unch	unch	unch	unch	unch
	DTSEG1[4:0]	all “0”	all “0”	unch	unch	unch	unch	unch	unch
	DTSEG2[3:0]	0000B	0000B	unch	unch	unch	unch	unch	unch
	DSJW[3:0]	0000B	0000B	unch	unch	unch	unch	unch	unch
C0FDCFG	EOCCFG[2:0]	000B	000B	unch	unch	unch	unch	unch	unch
	TDCOC	0	0	unch	unch	unch	unch	unch	unch
	TDCE	0	0	unch	unch	unch	unch	unch	unch
	ESIC	0	0	unch	unch	unch	unch	unch	unch
	RPNMD[1:0]	00B	00B	unch	unch	unch	unch	unch	unch
	TDCO[7:0]	00H	00H	unch	unch	unch	unch	unch	unch
	FDOE	0	0	unch	unch	unch	unch	unch	unch
	REFE	0	0	unch	unch	unch	unch	unch	unch
	CLOE	0	0	unch	unch	unch	unch	unch	unch

（注は表の最後に示します）　　unch：変化しない，und：未定義

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（6/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
C0FDCTR	EOCCLR	0	0	unch	0	unch	unch	0	unch
	SOCCLR	0	0	unch	0	unch	unch	0	unch
	PNMDC[1:0]	00B	00B	unch	00B	unch	unch	00B	unch
	KEY[7:0]	-	-	-	-	-	-	-	-
C0FDSTS	TDCR[7:0]	00H	00H	unch	00H	unch	unch	00H	unch
	EOCO	0	0	unch	0	unch	unch	0	unch
	SOCO	0	0	unch	0	unch	unch	0	unch
	PNSTS[1:0]	00B	00B	unch	00B	unch	unch	00B	unch
	TDCVF	0	0	unch	0	unch	unch	0	unch
	EOC[7:0]	00H	00H	unch	00H	unch	unch	00H	unch
	SOC[7:0]	00H	00H	unch	00H	unch	unch	00H	unch
C0FDCRC	CRCREG[20:0]	all “0”	all “0”	unch	all “0”	unch	unch	all “0”	unch
	SCNT[3:0]	0000B	0000B	unch	0000B	unch	unch	0000B	unch
GAFLIDi	GAFLID[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	GAFLLB	und	unch	unch	unch	unch	unch	unch	unch
	GAFLRTR	und	unch	unch	unch	unch	unch	unch	unch
	GAFLIDE	und	unch	unch	unch	unch	unch	unch	unch
GAFLMi	GAFLIDM[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	GAFLIFL1	und	unch	unch	unch	unch	unch	unch	unch
	GAFLRTRM	und	unch	unch	unch	unch	unch	unch	unch
	GAFLIDEM	und	unch	unch	unch	unch	unch	unch	unch
GAFLP0i	GAFLDLC[3:0]	und	unch	unch	unch	unch	unch	unch	unch
	GAFLIFL0	und	unch	unch	unch	unch	unch	unch	unch
	GAFLRMDP[4:0]	und	unch	unch	unch	unch	unch	unch	unch
	GAFLRMV	und	unch	unch	unch	unch	unch	unch	unch
	GAFLPTR[15:0]	und	unch	unch	unch	unch	unch	unch	unch
GAFLP1i	GAFLFDP0	und	unch	unch	unch	unch	unch	unch	unch
	GAFLFDP1	und	unch	unch	unch	unch	unch	unch	unch
	GAFLFDP8	und	unch	unch	unch	unch	unch	unch	unch
GPFLIDj	GPFLID[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	GPFLLB	und	unch	unch	unch	unch	unch	unch	unch
	GPFLRTR	und	unch	unch	unch	unch	unch	unch	unch
	GPFLIDE	und	unch	unch	unch	unch	unch	unch	unch
GPFLMj	GPFLIDM[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	GPFLIFL1	und	unch	unch	unch	unch	unch	unch	unch
	GPFLRTRM	und	unch	unch	unch	unch	unch	unch	unch
	GPFLIDEM	und	unch	unch	unch	unch	unch	unch	unch
GPFLP0j	GPFLDLC[3:0]	und	unch	unch	unch	unch	unch	unch	unch
	GPFLIFL0	und	unch	unch	unch	unch	unch	unch	unch
	GPFLRMDP[4:0]	und	unch	unch	unch	unch	unch	unch	unch
	GPFLRMV	und	unch	unch	unch	unch	unch	unch	unch
	GPFLPTR[15:0]	und	unch	unch	unch	unch	unch	unch	unch
GPFLP1j	GPFLFDP0	und	unch	unch	unch	unch	unch	unch	unch
	GPFLFDP1	und	unch	unch	unch	unch	unch	unch	unch
	GPFLFDP8	und	unch	unch	unch	unch	unch	unch	unch

（注は表の最後に示します）　　unch：変化しない，und：未定義

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（7/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
GPFLPTj	GPFLOFFSET1[3:0]	und	unch	unch	unch	unch	unch	unch	unch
	GPFLOUT1	und	unch	unch	unch	unch	unch	unch	unch
	GPFLRANG1	und	unch	unch	unch	unch	unch	unch	unch
	GPFLOFFSET0[3:0]	und	unch	unch	unch	unch	unch	unch	unch
	GPFLOUT0	und	unch	unch	unch	unch	unch	unch	unch
	GPFLRANG0	und	unch	unch	unch	unch	unch	unch	unch
	GPFLANDOR	und	unch	unch	unch	unch	unch	unch	unch
GPFLPD0j	FDATA0[31:0]	und	unch	unch	unch	unch	unch	unch	unch
GPFLPM0j	FMASK0[31:0]	und	unch	unch	unch	unch	unch	unch	unch
GPFLPD1j	FDATA1[31:0]	und	unch	unch	unch	unch	unch	unch	unch
GPFLPM1j	FMASK1[31:0]	und	unch	unch	unch	unch	unch	unch	unch
RPGACCr	RDTA[31:0]	und	unch	unch	unch	unch	unch	unch	unch
RMIDn	RMID[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	RMRTR	und	unch	unch	unch	unch	unch	unch	unch
	RMIDE	und	unch	unch	unch	unch	unch	unch	unch
RMPTRn	RMTS[15:0]	und	unch	unch	unch	unch	unch	unch	unch
	RMDLC[3:0]	und	unch	unch	unch	unch	unch	unch	unch
RMFDSTSn	RMESI	und	unch	unch	unch	unch	unch	unch	unch
	RMBRS	und	unch	unch	unch	unch	unch	unch	unch
	RMFDF	und	unch	unch	unch	unch	unch	unch	unch
	RMIFL[1:0]	und	unch	unch	unch	unch	unch	unch	unch
	RMPTR[15:0]	und	unch	unch	unch	unch	unch	unch	unch
RMDFn_p	RMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	RMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	RMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	RMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
RFIDk	RFID[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	RFRTR	und	unch	unch	unch	unch	unch	unch	unch
	RFIDE	und	unch	unch	unch	unch	unch	unch	unch
RFPTRk	RFTS[15:0]	und	unch	unch	unch	unch	unch	unch	unch
	RFDLC[3:0]	und	unch	unch	unch	unch	unch	unch	unch
RFFDSTSk	RFESI	und	unch	unch	unch	unch	unch	unch	unch
	RFBRS	und	unch	unch	unch	unch	unch	unch	unch
	RFFDF	und	unch	unch	unch	unch	unch	unch	unch
	RFIFL[1:0]	und	unch	unch	unch	unch	unch	unch	unch
	RFPTR[15:0]	und	unch	unch	unch	unch	unch	unch	unch
RFDFk_p	RFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	RFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	RFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	RFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
CFID	CFID[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	THLEN	und	unch	unch	unch	unch	unch	unch	unch
	CFRTR	und	unch	unch	unch	unch	unch	unch	unch
	CFIDE	und	unch	unch	unch	unch	unch	unch	unch
CFPTR	CFTS[15:0]	und	unch	unch	unch	unch	unch	unch	unch
	CFDLC[3:0]	und	unch	unch	unch	unch	unch	unch	unch

（注は表の最後に示します）　　unch：変化しない，und：未定義

表 18－15　グローバル／チャネル・モード遷移時のレジスタの状態（8/8）

レジスタ略号	ビット・シンボル	初期値（遷移後，ステート内で初期値は保持されます）							
		MCU_RESET	SW_RESET	GL_SLEEP	GL_RESET	GL_HALT	CH_SLEEP	CH_RESET	CH_HALT
CFFDCSTS	CFESI	und	unch	unch	unch	unch	unch	unch	unch
	CFBRS	und	unch	unch	unch	unch	unch	unch	unch
	CFFDF	und	unch	unch	unch	unch	unch	unch	unch
	CFIFL[1:0]	und	unch	unch	unch	unch	unch	unch	unch
	CFPTR[15:0]	und	unch	unch	unch	unch	unch	unch	unch
CFDFp	CFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	CFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	CFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	CFDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
TMIDm	TMID[28:0]	und	unch	unch	unch	unch	unch	unch	unch
	THLEN	und	unch	unch	unch	unch	unch	unch	unch
	TMRTR	und	unch	unch	unch	unch	unch	unch	unch
	TMIDE	und	unch	unch	unch	unch	unch	unch	unch
TMPTRm	TMDLC[3:0]	und	unch	unch	unch	unch	unch	unch	unch
TMFDCTRm	TMESI	und	unch	unch	unch	unch	unch	unch	unch
	TMBRS	und	unch	unch	unch	unch	unch	unch	unch
	TMFDF	und	unch	unch	unch	unch	unch	unch	unch
	TMIFL[1:0]	und	unch	unch	unch	unch	unch	unch	unch
	TMPTR[15:0]	und	unch	unch	unch	unch	unch	unch	unch
TMDFm_p	TMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	TMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	TMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
	TMDBq[7:0]	und	unch	unch	unch	unch	unch	unch	unch
THLACC0	BT[1:0]	und	unch	unch	unch	unch	unch	unch	unch
	BN[1:0]	und	unch	unch	unch	unch	unch	unch	unch
	TMTS[15:0]	und	unch	unch	unch	unch	unch	unch	unch
THLACC1	TID[15:0]	und	unch	unch	unch	unch	unch	unch	unch
	TIFL[1:0]	und	unch	unch	unch	unch	unch	unch	unch

unch：変化しない，und：未定義

注　CAN リセット後，GSTS.GRAMINIT は 1 になり，CAN 用 RAM が初期化中になります。このビットは，RAM 初期化が完了すると 0 になります。

18.7　CAN 受信ルール（AFL）

18.7.1　概要

RS-CANFD lite モジュールは，CAN 受信ルール（AFL：グローバル・アクセプタンス・フィルタ・リスト）を使用して，すべてのチャネルに対してメッセージの受信フィルタ処理を行うことができます。

受信ルール・テーブルでは以下の処理を行うことができます。

- アクセプタンス・フィルタ処理（ID 受信ルール）
- DLC フィルタ処理
- GCFG.CMPOC でペイロード・オーバフロー時のメッセージ格納を選択可
- 受信ルールで指定したメッセージ・バッファに格納可能
- 受信ルールで指定したポインタ・データを格納するメッセージ・バッファに付加
- 受信ルールで指定したラベル・データを格納するメッセージ・バッファに付加

RS-CANFD lite モジュールは最大 16 個の受信ルールを設定可能です。

- アクセプタンス・フィルタ処理

アクセプタンス・フィルタ処理では，受信したメッセージの ID，IDE，RTR を比較します。すべての条件が成立するとフィルタ処理を通過します。

一番小さい番号の受信ルールからチェックを開始し，フィルタを通過するとフィルタ処理は停止します。フィルタを通過しないメッセージは，メッセージ・バッファに格納しません。また，受信の通知も行いません。

- DLC フィルタ処理

GCFG.DCE が 1（DLC チェック許可）の場合，アクセプタンス・フィルタ処理を通過したメッセージに対して DLC フィルタ処理を行います。受信したメッセージの DLC 値が受信ルールに設定した DLC 値以上の場合，DLC フィルタ処理を通過します。

GCFG.DRE が 1（DLC 置換許可）の場合，DLC フィルタを通過したメッセージの DLC 値の代わりに受信ルールに設定した DLC 値がメッセージ・バッファに格納されます。受信ルールに設定した DLC 値を超えるデータ・バイトには 00H の値が格納されます。

GCFG.DRE が 1（DLC 置換許可）で，受信ルールに設定した DLC 値が 0H の場合は，受信したメッセージの DLC 値をメッセージ・バッファに格納します。

受信ルールに設定した DLC 値より受信した DLC 値が大きい場合，受信ルールの DLC 値を超えて受信したデータ・バイトはメッセージ・バッファに格納されます。

受信フィルタを通過したメッセージの DLC 値が受信ルールの DLC 値より小さい場合，DLC フィルタは通過しません。また，受信したメッセージはメッセージ・バッファに格納されず，GERFL.DEF が 1（DLC エラー検出）になります。GCTR.DEIE が 1（DCL エラー割り込み許可）の場合，割り込みが発生します。

- ルーティング処理

アクセプタンス・フィルタ処理と DLC フィルタ処理を通過したメッセージは，受信バッファ，受信 FIFO バッファ，または受信モードに選択した送受信 FIFO バッファに格納されます。受信メッセージの格納先は，受信ルールで設定します（設定方法は，「18.9　受信機能」を参照ください）。未使用の受信ルールに格納先を設定しないでください。

フィルタを通過したメッセージは，最大 2 つのバッファ（受信メッセージ・バッファと FIFO バッファ）に格納することができます。2 つより多くの格納先を指定しないでください。

また，RS-CANFD lite モジュールは，受信メッセージのペイロード・サイズを比較することができます。

GCFG.CMPOC が 0（ペイロード・オーバフロー時メッセージ破棄）にすると，受信メッセージの格納先バッファに設定されたペイロード・サイズ（RMNB.RMPLS，RFCCk.RFPLS，CFCC.CFPLS）より多いペイロード・データ・バイトを受信した場合，受信メッセージを破棄し，メッセージ・バッファに格納しません。
受信 FIFO バッファまたは送受信 FIFO バッファ（受信モード）がバッファ・フルの状態，かつ，設定されたペイロード・サイズより多いデータ・バイトを受信した場合は，メッセージ・ロスト・ステータス・フラグ（FMSTS のビット，または RFSTSk,RFMLT，CFSTS.CFMLT）は 1（メッセージ・ロスト検出）になりません。

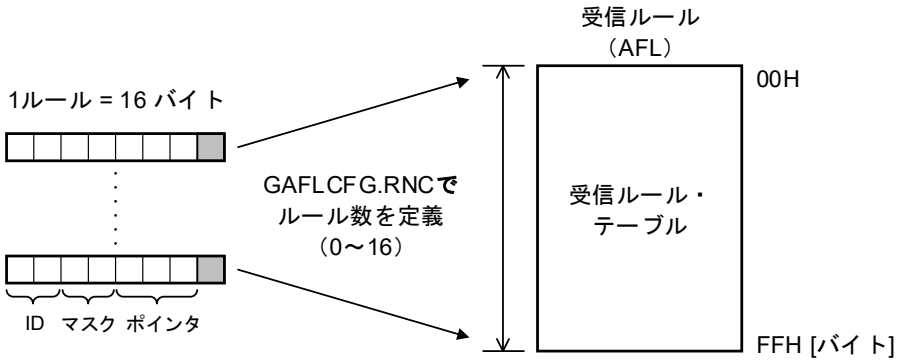
GCFG.CMPOC が 1（ペイロード・オーバフロー時メッセージ・サイズに合わせる）にすると，受信メッセージの格納先バッファに設定されたペイロード・サイズ（RMNB.RMPLS，RFCCk.RFPLS，CFCC.CFPLS）より多いペイロード・データ・バイトを受信した場合，設定したペイロード・サイズ分のデータのみメッセージ・バッファに格納し，ペイロード・サイズを超えるデータ・バイトは破棄します。
受信 FIFO バッファまたは送受信 FIFO バッファ（受信モード）がバッファ・フルの状態，かつ，設定されたペイロード・サイズより多いデータ・バイトを受信した場合は，メッセージ・ロスト・ステータス・フラグ（FMSTS のビット，または RFSTSk.RFMLT，CFSTS.CFMLT）は 1（メッセージ・ロスト検出）になります。

DLC 置換許可ビット GCFG.DRE の設定に応じて，受信した DLC または受信ルール・エントリに設定された DLC 値が格納されます。
CAN-FD ペイロード・オーバフロー制御ビット GCFG.CMPOC の設定に関係なく，ペイロード・オーバフローを検出すると，CAN-FD ペイロード・オーバフロー・ステータス・フラグ GERFL.CMPOF が 1 セットされます。
DLC フィルタ処理は，ペイロード・オーバフロー検出の前に実行されます。したがって，1 つの受信フレームに対して，DLC エラー・フラグ GERFL.DEF または CAN-FD ペイロード・オーバフロー・ステータス・フラグ GERFL.CMPOF で，同時に 1 セットされるのは 1 つのフラグだけです。

18.7.2　CAN 受信ルール（AFL）の配置

受信ルール数は，GAFLCFG.RNC で設定します（図 18－17 を参照ください）

図 18－17　受信ルール（AFL）の構成



CAN受信ルールIDレジスタi（GAFLIDi）
CAN受信ルール・マスク・レジスタi（GAFLMi）
CAN受信ルール・ポインタ0レジスタi（GAFLP0i）
CAN受信ルール・ポインタ1レジスタi（GAFLP1iL）

[i = 0-15]

受信ルール数は，0（受信ルール登録なし）から最大 16 まで登録できます。

18.7.3　受信ルールの内容

各受信ルールは 16 バイトで構成されます。アクセプタンス・フィルタ処理と DLC フィルタ処理で使用する以下の情報を含みます。

- GAFLIDi.GAFLID[28:0]（受信ルール ID 設定）：

  アクセプタンス・フィルタ処理では，受信したメッセージの ID フィールド（標準 ID 11 ビット，拡張 ID 29 ビット）を各受信ルールに設定した ID と照合します。

- GAFLIDi.GAFLIDE（受信ルール IDE 選択）：

  アクセプタンス・フィルタ処理では，受信したメッセージの IDE（標準 ID または拡張 ID）を各受信ルールに設定した IDE と照合します。

- GAFLIDi.GAFLRTR（受信ルール RTR 選択）：

  アクセプタンス・フィルタ処理では，受信したメッセージの RTR（データ・フレームまたはリモート・フレーム）を各受信ルールに設定した RTR と照合します。

- GAFLIDi.GAFLLB（受信ルール対象メッセージ選択）：

  アクセプタンス・フィルタ処理では，自ノードから送信したメッセージのループバックおよびミラー・モードの受信において，受信ルールを無効にすることができます。

- GAFLIDi.GAFLIDM[28:0]（受信ルール ID マスク設定）：

  アクセプタンス・フィルタ処理では，受信したメッセージの ID をマスクして照合することができます（図 18－18 を参照ください）。

- GAFLIDi.GAFLIDEM（受信ルール IDE マスク設定）：

  アクセプタンス・フィルタ処理では，受信したメッセージの IDE をマスクして照合することができます。IDE をマスクすると，標準 ID を受信した場合，受信ルールで設定した標準 ID 部と比較し，拡張 ID の場合，受信ルールで設定した拡張 ID 部と比較します。

- GAFLIDi.GAFLRTRM（受信ルール RTR マスク設定）：

  アクセプタンス・フィルタ処理では，受信したメッセージの RTR をマスクして照合することができます。RTR をマスクすると，データ・フレームとリモート・フレームの両方を受信ルールで比較します。

- GAFLP0i.GAFLPTR[15:0]（受信ルール・ポインタ設定）：

  受信ルールを通過したメッセージと合わせて，このビットに設定したポインタ・データをメッセージ・バッファに格納します。

- GAFLP0i.GAFLIFL0，GAFLMi.GAFLIFL1（受信ルール・ラベル設定）：

  受信ルールを通過したメッセージと合わせて，このビットに設定したラベル・データをメッセージ・バッファに格納します。

- GAFLP0i.GAFLDLC（受信ルール DLC 設定）：

  DLC フィルタ処理では，設定した DLC 値と受信したメッセージの DLC 値を比較します。受信した DLC 値が設定値以上の場合，DLC フィルタを通過します。このビットに 0000B を設定した場合，DLC フィルタ処理は無効です（全てのメッセージは DLC フィルタ処理を通過します）。

受信ルールは，受信メッセージの格納先メッセージ・バッファを指定することができます。格納先を指定する場合，以下を設定します。

- GAFLP0i.GAFLRMV（受信バッファ格納許可）：

  受信ルールを通過したメッセージを受信バッファに格納するか，しないかを設定します。

- GAFLP0i.GAFLRMDP[4:0]（受信バッファ番号選択）：

  受信メッセージを格納する受信バッファ番号を設定します。

受信メッセージの格納先として FIFO バッファを指定する場合は，以下を設定します。

- GAFLP1i.GAFLFDP[8]（送受信 FIFO バッファ格納許可）：

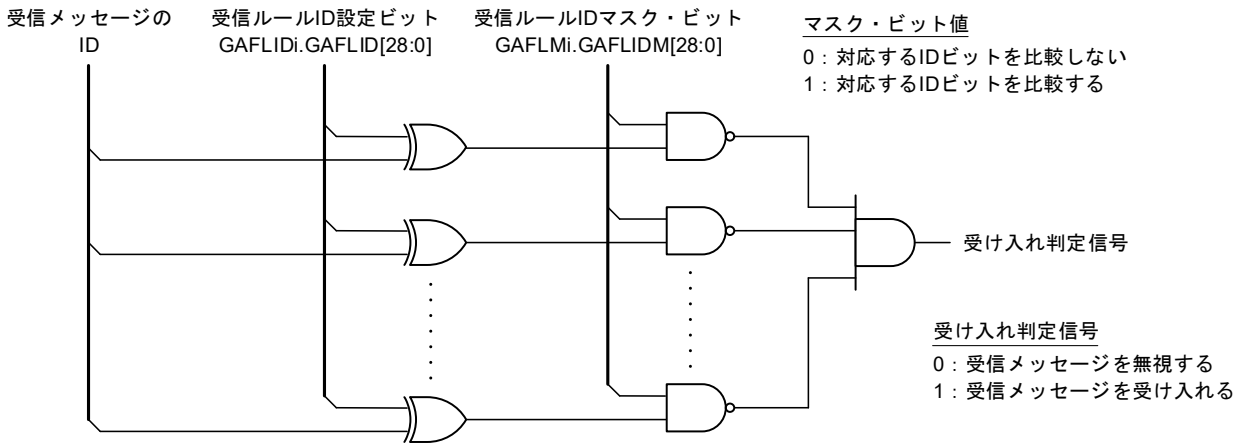
  1 にすると，受信メッセージの格納先として，送受信 FIFO バッファを選択します。

- GAFLP1i.GAFLFDP[1:0]（受信 FIFO バッファ格納許可）：

  1 にすると，受信メッセージの格納先として，受信 FIFO バッファを選択します。GAFLFDP[1] は受信 FIFO バッファ 1，GAFLFDP[0] は受信 FIFO バッファ 0 に対応しています。

受信メッセージの格納先バッファは，正しく設定してください。

図 18－18　アクセプタンス・フィルタ処理



18.7.4　受信ルールの登録

以下のレジスタを使用して，受信ルールを登録します。

- CAN 受信ルール ID レジスタ
- CAN 受信ルール・マスク・レジスタ
- CAN 受信ルール・ポインタ 0・レジスタ
- CAN 受信ルール・ポインタ 1・レジスタ

このレジスタ 16 組で 1 つの受信ルール・テーブルを構成しています。受信ルールの登録はチャネル・リセット・モードまたはチャネル HALT モードで行ってください。

受信ルールを登録する場合，GAFLECTR レジスタを使用して，受信ルール書き込み許可を設定します。

- GAFLECTR.AFLDAE（受信ルール書き込み許可）：

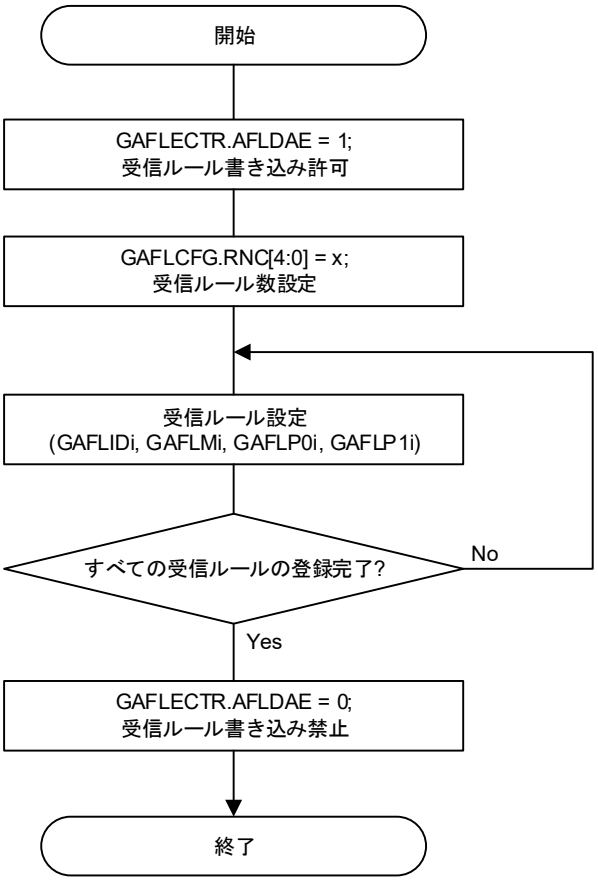
  1 にすると，受信ルールの書き込みを許可します。0 の場合，書き込み禁止。受信ルールの誤書き込みを抑止することができます。

受信ルールの登録は，図 18－19 で示すフローのとおり行ってください。

初期設定ですべての受信ルールを登録後，受信ルールの誤書き込みを抑止するため，受信ルール書き込み禁止に設定してください。

受信ルール書き込み禁止の場合，すべてのグローバル・モードで受信ルールの書き込みを禁止することができます。なお，書き込み禁止時に受信ルールを読み出すことはできます。

図 18－19　受信ルールの登録フロー



18.7.5　ループバック・モード

GAFLIDi.GAFLLB を 1 にすると，自ノードから送信するメッセージを受信することができます。C0CTR.CTMS が 10B（セルフ・テスト・モード 0）または 11B（セルフ・テスト・モード 1）の場合，および，GCFG.MME が 1（ミラー機能許可）のときに，有効になります。

GAFLIDi.GAFLLB を 1（受信ルールの対象は自ノードが送信するメッセージ）にすることで，他ノードが送信したメッセージに対して，受信ルールを無効にすることができます。

GAFLLB が 0 の場合，受信ルールは以下のときに有効となります。

- セルフ・テスト・モード以外，またはミラー機能有効時に他ノードが送信したメッセージを受信するとき
- セルフ・テスト・モード時に，他ノードまたは自ノードが送信したメッセージを受信するとき

GAFLIDi.GAFLLB が 1（受信ルールの対象は自ノードが送信するメッセージ），および，GCFG.MME が 1（ミラー機能許可）の場合，自ノードから送信したメッセージが受信ルールを通過すると，そのメッセージをメッセージ・バッファに格納します。

ミラー機能とセルフ・テスト・モードを同時に許可した場合，セルフ・テスト・モードの設定を優先します。

表 18－16 にミラー機能とセルフ・テスト・モードの設定による受信フィルタの処理を示します。

表 18－16　ループバック・モード時の受信フィルタの処理

GCFG.MME（ミラー機能許可）	C0CTR.CTMS（セルフ・テスト・モード選択）	チャネル動作	GAFLIDi.GAFLLB（受信ルール対象メッセージ）	受信ルール 注
0	≠ 10B, 11B	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	= 10B, 11B	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	≠ 10B, 11B	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	= 10B, 11B	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注　受信ルールの有効，無効は，登録した受信ルールと照合するかを示しています。

18.7.6　IDE マスク機能

GAFLMi.GAFLIDEM が 0（IDE を比較しない）の場合，GAFLIDi.GAFLIDE の設定にかかわらず，受信したメッセージの IDE に基づき標準 ID（11 ビット）または拡張 ID（29 ビット）の ID 照合を行います。

以下に受信ルールの登録例として，GAFLIDx と GAFLMx レジスタ設定時の受信フィルタ処理を示します。

ID　　：GAFLIDx = C055_3A20H → IDE = 1, RTR = 1, LB = 0, ID[10:0] = 220H／ID[28:0] = 0055_3A20H

マスク：GAFLMx = 0000_FFFFH → IDEM = 0, RTRM = 0, IDM[10:0] = 7FFH／IDM[28:0] = 0000_FFFFH

受信 ID の照合結果を以下に示します。

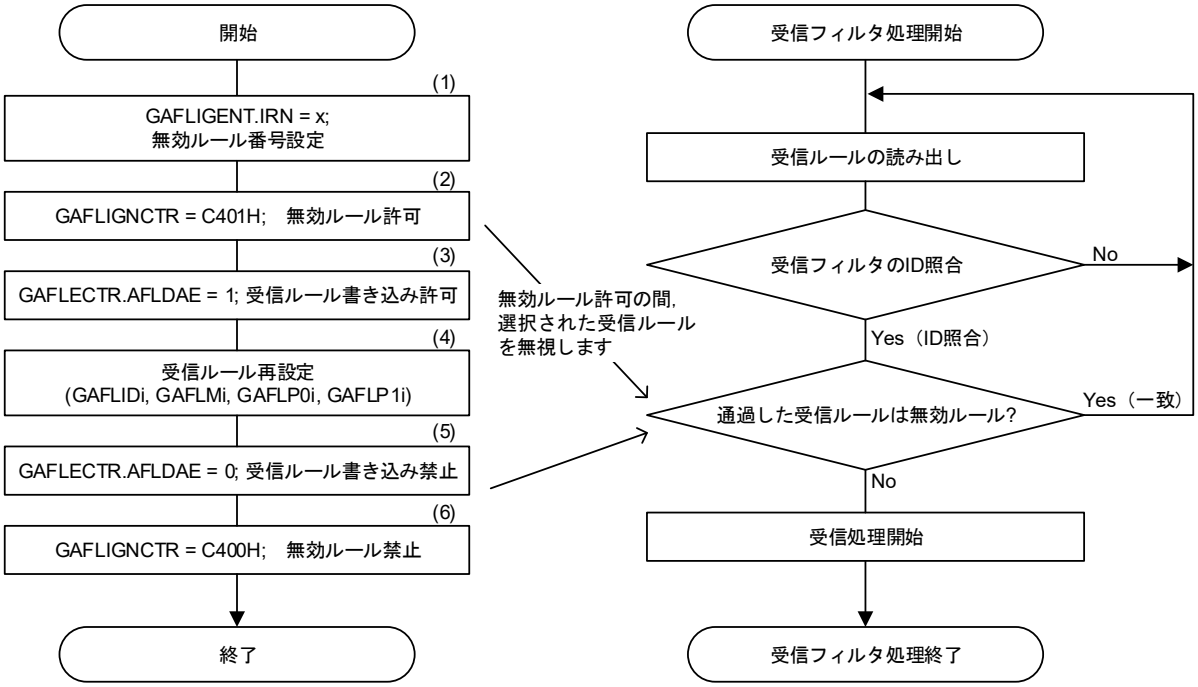
- ［IDE = 0 ＆ ID = 220H］のフレームを受信した場合，一致と判定
- ［IDE = 0 ＆ ID = 320H］のフレームを受信した場合，不一致と判定
- ［IDE = 1 ＆ ID = 1FFF_3A20H］のフレームを受信した場合，一致と判定
- ［IDE = 1 ＆ ID = 0880_3220H］のフレームを受信した場合，不一致と判定

18.7.7　通信中の受信ルールの更新

受信ルールは通信中も更新することができます。

下図に，受信ルールの更新フローを示します。

図 18－20　受信ルールの更新フロー



AFL エントリの更新手順を以下に示します。

(1)　更新するルール番号[注] を GAFLIGNENT.IRN に設定

(2)　GAFLIGNCTR に C401H を書き込む

GAFLIGNCTR.KEY = C4H（IREN 書き込み許可）

IREN = 1（無効ルール許可）

(3)　GAFLECTR.AFLDAE を 1（受信ルール書き込み許可）にする

(4)　新しいルールを GAFLIDi, GAFLMi, GAFLP0i および GAFLP1i に設定

(5)　GAFLECTR.AFLDAE を 0（受信ルール書き込み禁止）にする

(6)　AFLIGNCTR に C400H を書き込む

GAFLIGNCTR.KEY = C4H（IREN 書き込み許可）

IREN = 0（無効ルール禁止）

注　指定した受信ルール番号が，(2) から(5) の期間中，受信フィルタ処理で無視されます。

受信ルール数は GAFLCFG.RNC で設定された範囲（0～16）です。

例 1：受信ルールの削除

以下の状態から，受信ルール 3 を削除する。

		受信ルール番号		
登録ルール数 = 6	受信ルール0	0	ID = 050H	
有効ルール数 = 6	受信ルール1	1	ID = 051H	
	受信ルール2	2	ID = 052H	
	受信ルール3	3	ID = 053H	← 削除したいルール
	受信ルール4	4	ID = 054H	
	受信ルール5	5	ID = 055H	

受信ルールの登録削除手順：

(1) GAFLIGNENT に 0003H を書き込む（無効ルール番号 = 3）

(2) GAFLIGNCTR に C401H を書き込む（無効ルール許可）

(3) GAFLECTR に 0100H を書き込む（受信ルール書き込み許可）

(4) GAFLID3, GAFLM3, GAFLP03, GAFLP13 の受信ルールに 1 つ前（受信ルール 2）と同じ値を書き込む

(5) GAFLECTR に 0000H を書き込む（受信ルール書き込み禁止）

(6) GAFLIGNCTR に C400H を書き込む（無効ルール禁止）

受信ルール 3 を無効にします。更新後の受信ルール・テーブルは以下のとおりです。

		受信ルール番号		
登録ルール数 = 6	受信ルール0	0	ID = 050H	
有効ルール数 = 5	受信ルール1	1	ID = 051H	
	受信ルール2	2	ID = 052H	
	受信ルール3	3	ID = 052H	← 受信ルール2と同じ設定
	受信ルール4	4	ID = 054H	
	受信ルール5	5	ID = 055H	

例 2：受信ルールの追加

以下の状態から、受信ルール 3 に新しいルールを登録する。

		受信ルール番号		
登録ルール数 = 6	受信ルール0	0	ID = 050H	
有効ルール数 = 5 （ルール2 = ルール3）	受信ルール1	1	ID = 051H	
	受信ルール2	2	ID = 052H	
	受信ルール3	3	ID = 052H	← 新しいルールを追加
	受信ルール4	4	ID = 054H	
	受信ルール5	5	ID = 055H	

受信ルールの登録追加手順：

(1) GAFLIGNENT に 0003H を書き込む（無効ルール番号 = 3）

(2) GAFLIGNCTR に C401H を書き込む（無効ルール許可）

(3) GAFLECTR に 0100H を書き込む（受信ルール書き込み許可）

(4) GAFLID3, GAFLM3, GAFLP03, GAFLP13 の受信ルール 3 に新しいルールを設定

(5) GAFLECTR に 0000H を書き込む（受信ルール書き込み禁止）

(6) GAFLIGNCTR に C400H を書き込む（無効ルール禁止）

受信ルール 3 の登録が完了します。更新後の受信ルール・テーブルは以下のとおりです。

		受信ルール番号		
登録ルール数 = 6	受信ルール0	0	ID = 050H	
有効ルール数 = 6	受信ルール1	1	ID = 051H	
	受信ルール2	2	ID = 052H	
	受信ルール3	3	ID = 056H	← 追加したルール
	受信ルール4	4	ID = 054H	
	受信ルール5	5	ID = 055H	

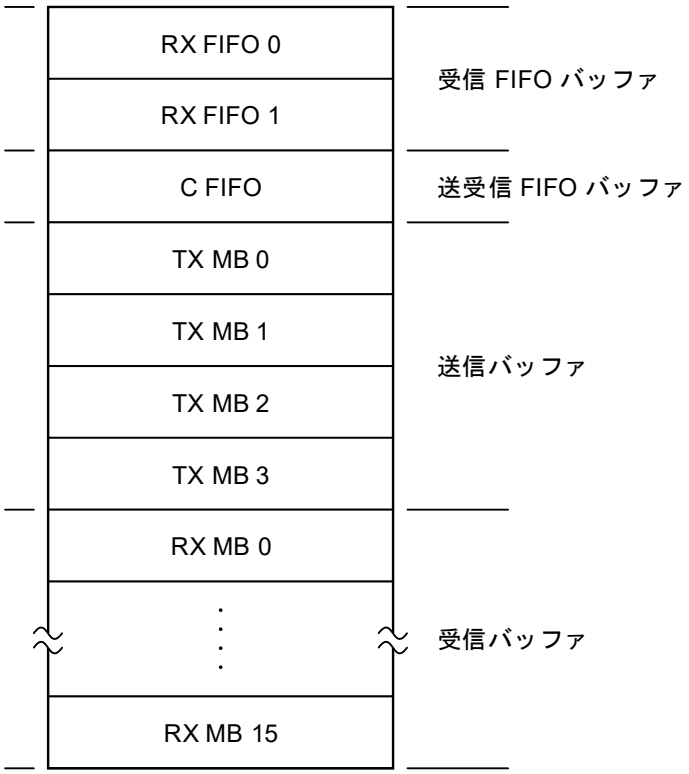
18.8　FIFO バッファとメッセージ・バッファの設定

RS-CANFD lite モジュールの各メッセージ・バッファは，図 18－21 の構成で配置されます。

送信バッファの数は 4 バッファ固定です。受信バッファ，受信 FIFO バッファ，および送受信 FIFO バッファは，総数で 16 バッファになります。各メッセージ・バッファの設定で最大総数を超えないように設定してください。

未使用のメッセージ・バッファ位置を読み出した場合，その値は不定です。

図 18－21　メッセージ・バッファ構成



18.8.1　受信バッファ

RS-CANFD lite モジュールでは，受信メッセージを受信ルールで指定した受信バッファに格納することができます。また，使用する受信バッファの数を選択することができます。

18.8.1.1　受信バッファ設定

受信バッファの数は，RMNB.NRXMB で設定します。

最小値 = 00H（受信バッファを使用しない）
最大値 = 10H（16）

RMNB.NRXMB には，00H から 10H（0～16）以外の値を設定しないでください。
また，受信ルールのメッセージ格納先受信バッファは，RMNB.NRXMB で指定した範囲を超えない値を設定してください。

受信バッファのペイロード・サイズは RMNB.RMPLS で設定します。最大ペイロード・サイズは 64 バイトです。
受信フレームのペイロード・サイズが RMNB.RMPLS で設定したサイズを超える場合，メッセージを破棄するか，有効分を格納するかは，GCFG.CMPOC で選択することができます。

18.8.2　FIFO バッファ

RS-CANFD lite モジュールは，2 つの受信 FIFO バッファと 1 つの送受信 FIFO バッファを持ちます。
これらの FIFO バッファは，FIFO バッファごとに有効／無効を設定できます。また，FIFO バッファ数，ペイロード・サイズ，割り込み設定等バッファごとに設定することができます。
受信フレームのペイロード・サイズが設定したサイズを超える場合，メッセージを破棄するか，有効分を格納するかは，GCFG.CMPOC で選択することができます。

18.8.2.1　FIFO バッファの設定

図 18－22 に FIFO バッファの設定フローを示します。

図 18－22　FIFO バッファの設定フロー

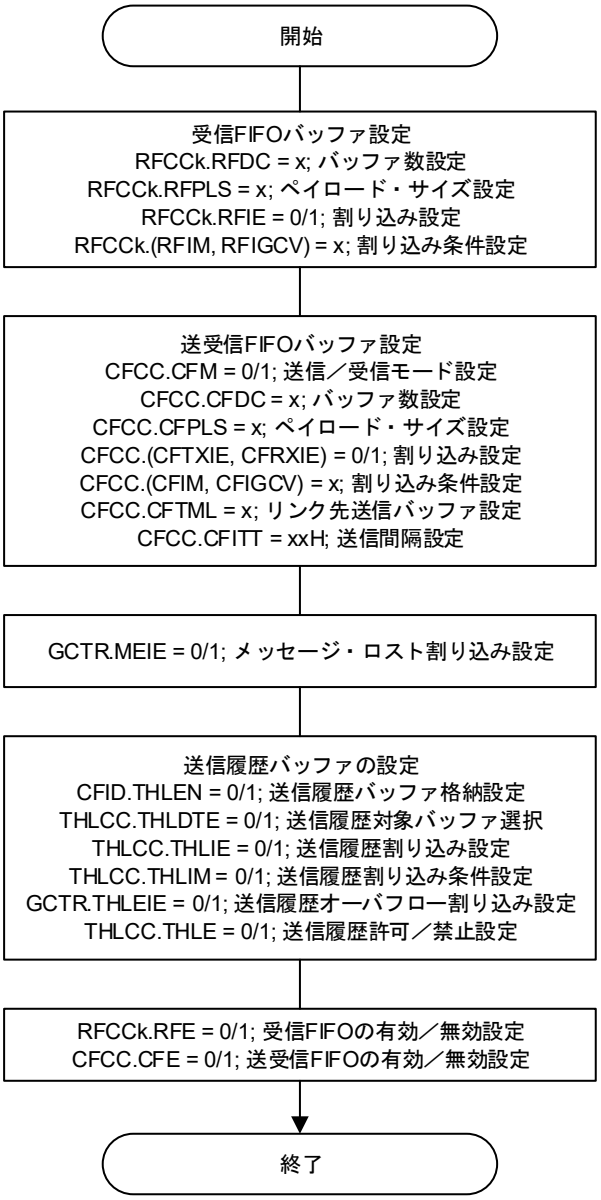


図 18－22 に示すとおり，RFCCk および CFCC レジスタで各 FIFO バッファを設定します。

18.8.2.1.1　送受信 FIFO バッファの FIFO モード設定

送受信 FIFO バッファは，CFCC.CFM で送信／受信モードを選択します。

送受信 FIFO（受信モード）の場合，送受信 FIFO バッファはメッセージの読み出しのみ可能です。

送受信 FIFO（送信モード）の場合，送受信 FIFO バッファはメッセージの読み出しおよび書き込みが可能です。送信モードでは，ポインタは新しいメッセージが FIFO バッファに格納されるとインクリメントされ，メッセージの送信が完了するとデクリメントされます。

18.8.2.1.2　送受信 FIFO バッファと送信バッファのリンク

送受信 FIFO バッファを送信モードで使用する場合，送信バッファにリンク設定する必要があります。

リンク先に設定された送信バッファへはデータを書き込まないでください。

リンク先バッファは，CFCC.CFTML で設定します。

00B：送信バッファ 0
01B：送信バッファ 1
10B：送信バッファ 2
11B：送信バッファ 3

18.8.2.1.3　FIFO バッファ数の設定

各 FIFO バッファのバッファ数は，RFCCk.RFDC，および CFCC.CFDC で選択します。

000B：0 メッセージ（FIFO バッファ無効）
001B：4 メッセージ
010B：8 メッセージ
011B：16 メッセージ
100B～111B：設定禁止

受信バッファ，受信 FIFO バッファ，および送受信 FIFO バッファは，総数で 16 バッファになります。各メッセージ・バッファの設定で最大総数を超えないように設定してください。

注意　送受信 FIFO バッファのバッファ段数を CFCC.CFDC で 4 メッセージ以上に設定すると，CFCC.CFE（送受信 FIFO 許可／禁止）の設定にかかわらず，送受信 FIFO バッファは有効になります。また，CFCC.CFDC でバッファ数を 0 とした場合，送受信 FIFO バッファは無効になります。

18.8.2.1.4　FIFO ペイロード・サイズの設定

各 FIFO バッファのペイロード・サイズは，RFCCk.RFPLS，および CFCC.CFPLS で選択します。

000B：8 バイト
001B：12 バイト
010B：16 バイト
011B：20 バイト
100B：24 バイト
101B：32 バイト
110B：48 バイト
111B：64 バイト

18.8.2.1.5　FIFO 割り込みの設定

FIFO バッファの受信 FIFO 割り込み要因は，RFCCk.RFIM，および CFCC.CFIM で設定します。

0：受信時，FIFO カウンタがインクリメントされた値が，RFCCk.RFIGCV，または CFCC.CFIGCV に設定された条件と一致したときに割り込み要求を生成します。
送信時, FIFO バッファに設定したすべてのメッセージ送信が完了したときに割り込み要求を生成します。

1：受信時，受信メッセージを格納する毎に割り込み要求を生成します。送信時，メッセージ送信が完了する毎に割り込み要求を生成します。

RFCCk.RFIM，CFCC.CFIM が 0 の場合，RFCCk.RFIGCV，CFCC.CFIGCV の条件に従い，割り込み要求を生成します。

000B：FIFO バッファに 1/8 メッセージを格納したときに割り込み要求を生成
001B：FIFO バッファに 1/4 メッセージを格納したときに割り込み要求を生成
010B：FIFO バッファに 3/8 メッセージを格納したときに割り込み要求を生成
011B：FIFO バッファに 1/2 メッセージを格納したときに割り込み要求を生成
100B：FIFO バッファに 5/8 メッセージを格納したときに割り込み要求を生成
101B：FIFO バッファに 3/4 メッセージを格納したときに割り込み要求を生成
110B：FIFO バッファに 7/8 メッセージを格納したときに割り込み要求を生成
111B：FIFO がフルになると割り込みを生成します。

FIFO カウンタが RFCCk.RFIFCV，CFCC.CFIGCV に設定された条件になると，割り込み要求を生成します。表 18－17 に FIFO バッファ数の設定と，割り込み要求発生条件の設定について，その関係を示します。

表 18－17　FIFO 割り込み発生要因と FIFO バッファ数の設定

RFCCk.RFDC[2:0], CFCC.CFDC[2:0]	RFCCk.RFIGCV[2:0]，CFCC.CFIGCV[2:0]							
	111B（8/8）	110B（7/8）	101B（3/4）	100B（5/8）	011B（1/2）	010B（3/8）	001B（1/4）	000B（1/8）
000B（0 メッセージ）	無視される（FIFO は有効にできない）							
001B（4 メッセージ）	許可	禁止	許可	禁止	許可	禁止	許可	禁止
010B（8 メッセージ）	許可							
011B（16 メッセージ）	許可							

18.8.2.2　FIFO バッファ制御

FIFO 割り込みは，RFCCk.RFIE，CFCC.CFRXIE，CFCC.CFTXIE で設定します。

FIFO バッファの構成が終了したら，RFCCk.RFE，CFCC.CFE で各 FIFO バッファを有効に設定します。

18.9　受信機能

受信したメッセージは，受信ルールに指定した以下のメッセージ・バッファに格納します。

- 受信バッファ
- 受信 FIFO バッファ
- 送受信 FIFO バッファ（受信モード）

受信バッファ，受信 FIFO バッファ，および送受信 FIFO バッファは，総数で 16 バッファになります。各メッセージ・バッファの設定で最大総数を超えないように設定してください。

18.9.1　受信バッファへのメッセージの格納

受信バッファにメッセージが格納されると，対応する受信バッファ受信完了フラグ（RMND.RMNS）が 1（受信バッファに新しいメッセージあり）になります。

受信したメッセージは，対応する受信バッファから読み出すことができます。

格納されたメッセージを読み出す前に，新しいデータを受信すると，受信ルールの条件によっては，この受信バッファに格納（上書き）されます。メッセージ・ロストを許容できない場合は，受信 FIFO を使用してください。

注意　1. 割り込みを使用する場合，図 18－23 のフローを参照ください。

2. 未使用のデータ・バイトは，設定された DLC 値に応じて 00H がパディングされます。

図 18－23　受信バッファのメッセージ・アクセス・フロー（ポーリング）

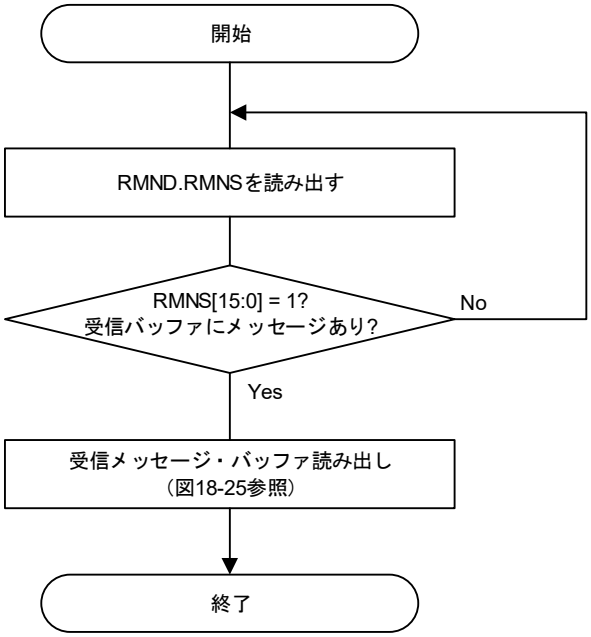


図 18－24　受信バッファのメッセージ・アクセス・フロー（割り込み）

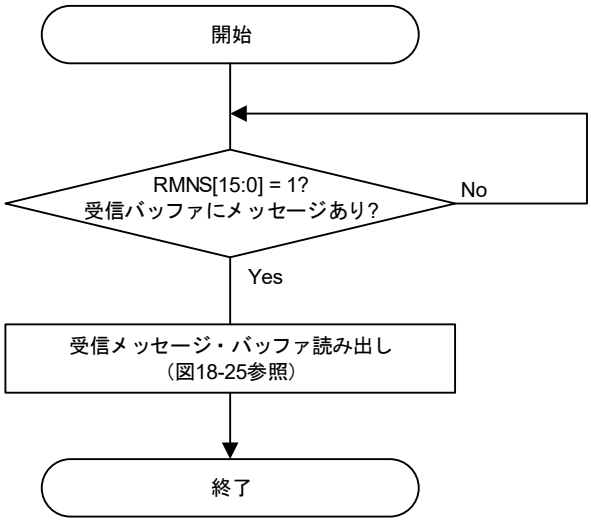
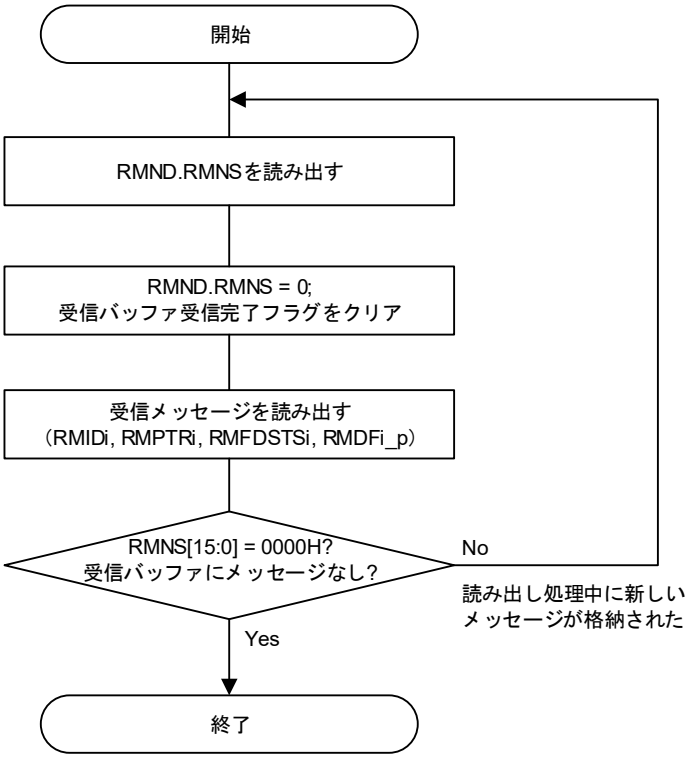


図 18－25　受信メッセージ・バッファの読み出しフロー



18.9.2　FIFO バッファへのメッセージの格納

受信したメッセージを受信 FIFO バッファ，送受信 FIFO バッファ（受信モード）に格納することができます。

受信ルールの GAFLP1i.GAFLFDP[8, 1, 0]で，格納する FIFO バッファを選択します。

FIFO バッファにメッセージを格納すると，FIFO メッセージ・カウンタ（RFSTS.RFMC, CFSTS.CFMC）が更新されます。

受信したメッセージは，対応する FIFO アクセス・レジスタから読み出すことができます。

注意　FIFO バッファに複数のメッセージが格納されている場合，最新のメッセージを読み出すには，すべてのメッセージを読み出す必要があります。

FIFO バッファのアクセス・ポインタ（RFPCTRk.RFPC, CFPCTR.CFPC）に FFH を書き込むと，アクセス・ポインタを更新します。アクセス・ポインタを更新する場合は，対応する FIFO バッファからすべてのメッセージを読み出した後で行ってください。

FIFO バッファに格納されたメッセージをすべて読み出すと，バッファ・エンプティ（RFSTSk.RFEMP，CFSTS.CFEMP が 1）になります。

また，FIFO メッセージ・カウンタ（RFSTS.RFMC, CFSTS.CFMC）の値が FIFO バッファの段数と一致したときに，バッファ・フル（RFSTSk.RFFLL，CFSTS.CFFLL が 1）になります。バッファ・フルの状態で，新しいメッセージを FIFO バッファに格納しようとすると，メッセージ・ロスト（RFSTSk.RFMLT，CFSTS.CFMLT が 1）になります。この場合，新しいメッセージを破棄します（メッセージは上書きされません）。メッセージ・ロストを回避するために, 受信割り込み発生タイミングを RFCCk.RFIGCV, CFCC.CFIGCV で設定することができます。

注意　メッセージ・ロストは RS-CANFD lite モジュールがバッファ・フルの状態で FIFO バッファに格納しようとするときに 1 になります。プログラムで FIFO バッファにデータを書き込んでも，バッファ・フルを判定しません。

RFCCk.RFE，CFCC.CFE を 0 にクリアすると，FIFO バッファは無効になります。（FIFO ポインタが初期化されるため，メッセージの読み出し，書き込みはできなくなります）。

注意　RFCCk.RFE，CFCC.CFE を 0 にクリアしても関連する割り込みフラグは 0 にクリアされません。FIFO バッファを無効にする前に，割り込みフラグをプログラムで 0 にクリアしてください。

図 18－26　FIFO バッファ・メッセージ・アクセス・フロー（ポーリング）

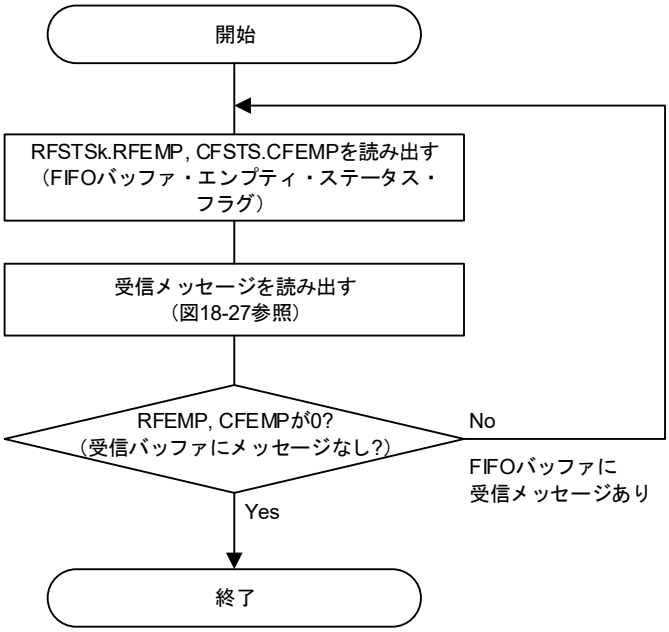
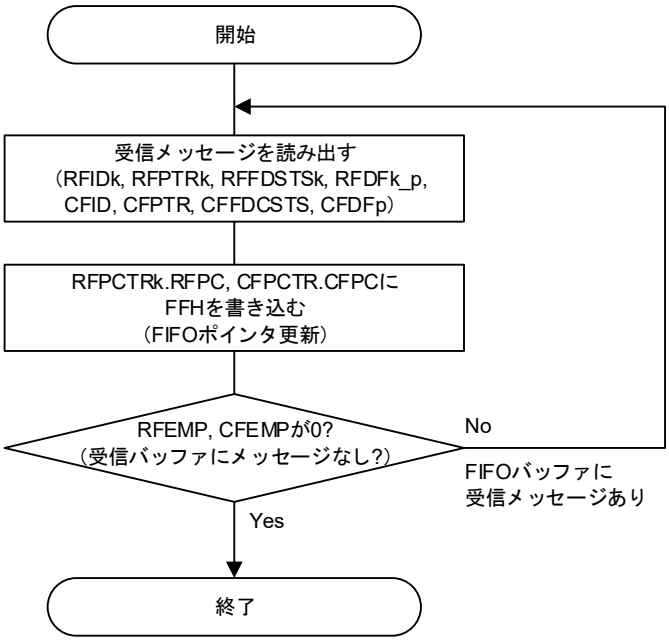


図 18－27　受信 FIFO バッファ読み出しフロー（ポーリング）



注意　FIFO 受信割り込みフラグ（RFSTSk.RFIF, CFSTS.CFRXIF）を 0（割り込み要求なし）にクリアする前に次のフレームを受信した場合，FIFO 受信割り込みフラグは再度 1 になりません。図 18－27 で示すフローのとおり，処理内で確認してください。

受信処理完了後に，割り込み要求フラグを 0（割り込み要求なし）にしてください。

割り込み要求フラグをクリアしないと，次の割り込みが発生しません。

ポーリング処理の場合においても，受信 FIFO バッファが空であることを確認した後，割り込み要求フラグをクリアし，再度受信 FIFO バッファが空であることを確認してください。

18.9.3　タイム・スタンプ

タイム・スタンプ・カウンタは，受信メッセージの受信時間または正常に送信したメッセージの送信時間を記録するために使用するフリーラン・カウンタです。

タイム・スタンプ・カウンタの取得タイミングは，GFDCFG.TSCCFG で SOF のタイミング，有効フレーム判定時，または res のタイミングのいずれかを選択することができます。

受信時，タイム・スタンプ値は，メッセージ ID やデータとともに格納先メッセージ・バッファに格納されます。

送信時は，THLACC0.TMTS に送信履歴用タイム・スタンプ値として格納されます。

タイム・スタンプ・カウンタのクロック源は，GCFG.TSSS で選択します。0 の場合，周辺クロック（f_{CLK}），1 の場合，CAN ビット・タイム・クロックがクロック源になります。

CAN ビット・タイム・クロックをクロック源として使用する場合，チャネル HALT モードまたはチャネル・リセット・モードに遷移すると，タイム・スタンプ・カウンタは停止します。

周辺クロックをタイム・スタンプ・カウンタのクロック源として使用する場合は，チャネル・モードはタイム・スタンプ・カウンタ機能に影響を与えません。

タイム・スタンプ・カウンタのクロック源は，GCFG.TSP で分周することができます。

また，タイム・スタンプ・カウンタは，GCTR.TSRST に 1 を書き込むと，カウント値を 0000H に初期化することができます。

18.10　送信機能

送信は，次の 2 つがあります。

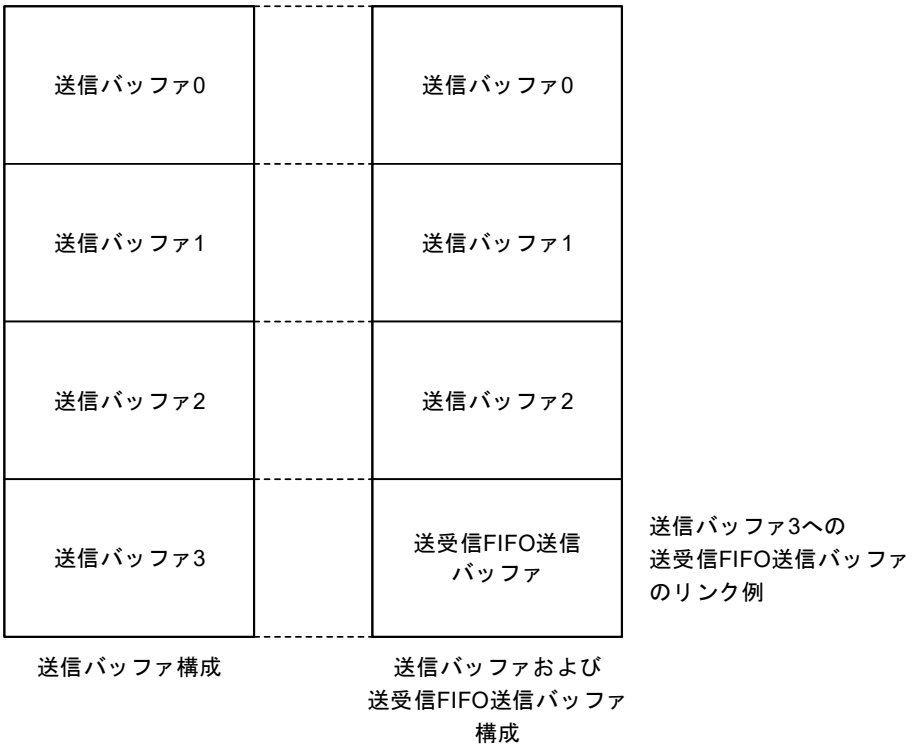
- 送信バッファによる送信
- 送受信 FIFO バッファ（送信モード）による送信

送受信 FIFO バッファ（送信モード）は，送信バッファ 0～3 のいずれかにリンクさせて使用します。

送受信 FIFO バッファのリンク先に設定された送信バッファは，関連するレジスタを使用しないでください。

図 18－28 に，送受信 FIFO バッファ（送信モード）を送信バッファ 3 にリンクさせて使用するときのバッファ構成を示します。

図 18－28　送信時のメッセージ・バッファ構成



18.10.1　送信の優先順位

1 つのチャネルで複数の送信要求が発生した場合，送信の優先度は，GCFG.TPRI で設定した送信優先順位に従います。

- CAN ID 優先（GCFG.TPRI = 0）
- 送信バッファ番号優先（GCFG.TPRI = 1）

送信優先順位の設定は，すべてのメッセージ・バッファで共通です。

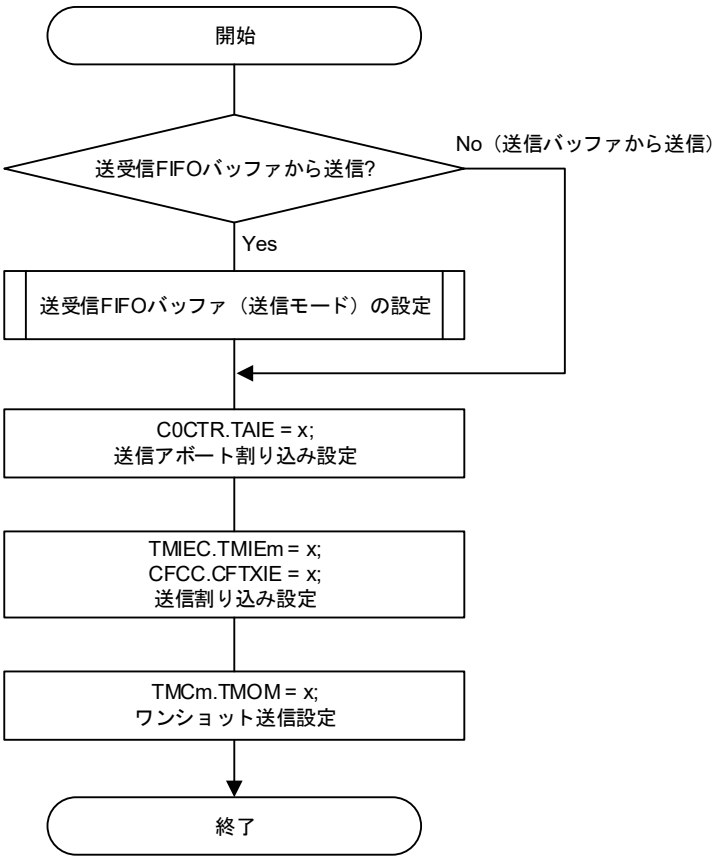
送信バッファ番号優先の場合，送信要求があるバッファの中で，最も小さい番号の送信バッファのメッセージから送信を開始します。送受信 FIFO バッファは，リンク先の送信バッファ番号で判定します。

CAN ID 優先の場合，CAN バス・アービトレーション規格（ISO 11898-1 で定義）に準拠します。送信バッファ，送受信 FIFO バッファに格納されたメッセージの ID が対象となります。同じ ID の場合，送信バッファ番号の小さいメッセージ・バッファを優先します。

注意　送受信 FIFO バッファ（送信モード）の場合，現在の FIFO ポインタが示すメッセージが対象となります。

図 18－29 に，送信時のフローを示します。

図 18－29　送信設定フロー



18.10.2　送信バッファを用いた送信

送信バッファには，2 つのメッセージ送信モードがあります。

(1)　通常の送信モード

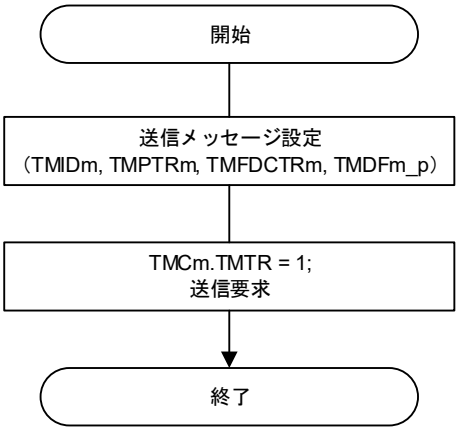
通常の送信モードでは，メッセージ・バッファに設定されているデータ・フレームまたはリモート・フレームを送信します。

送信完了は，TMSTSm.TMTRF で確認できます。送信が完了すると，10B（送信完了，送信アボート要求なし）または 11B（送信完了，送信アボート要求あり）になります。

アービトレーション・ロスト，またはエラーが発生した場合，TMCm.TMTAR が 0（送信アボートを要求しない）のときは，メッセージを再送します。

送信要求手順を，図 18－30 に示します。

図 18－30　送信要求手順（送信バッファから送信）



(2)　ワンショット送信モード

TMCm.TMOM を 1（ワンショット送信許可）にすると，メッセージ送信を 1 回だけ行います。

送信が完了すると，TMSTSm.TMTRF は，10B（送信完了，送信アボート要求なし）または 11B（送信完了，送信アボート要求あり）になります。

アービトレーション・ロスト，またはエラーが発生した場合，TMSTSm.TMTRF は 01B（送信アボート完了）になります。メッセージの再送は行いません。

18.10.2.1　送信バッファ制御レジスタの設定

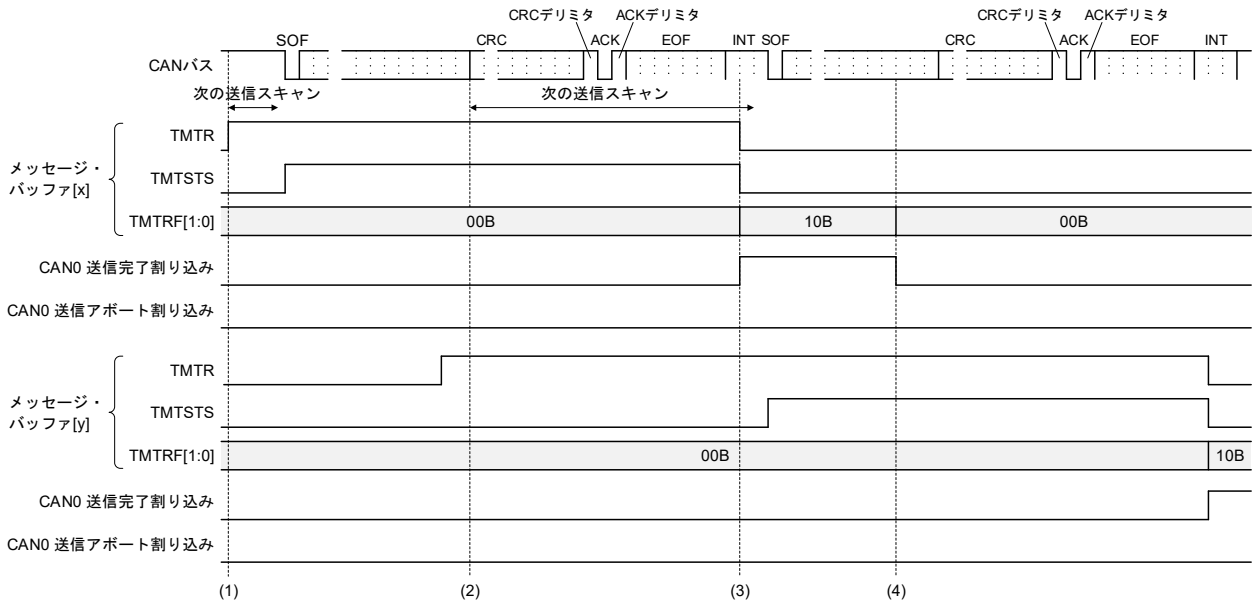
TMCm レジスタを使用して，送信バッファからの送信を設定します。表 18－18 に，送信バッファ制御レジスタの設定時の動作を示します。

表 18－18　送信バッファ制御レジスタの構成

送信要求 TMCm.TMTR	送信アボート要求 TMCm.TMTAR	ワンショット許可 TMCm.TMOM	通信動作
0	0	0	メッセージ・バッファ無効
0	0	1	メッセージ・バッファ無効
1	0	0	データ・フレームまたはリモート・フレームの送信バッファとして構成
1	0	1	データ・フレームまたはリモート・フレームのワンショット送信バッファとして構成
1	1	0	送信アボートを要求
1	1	1	ワンショット送信アボートを要求

図 18－31 は，2 つのメッセージ・バッファから送信するタイミングを示します。

図 18－31　送信バッファの送信タイミング（正常に送信完了時）



上図の (1) から (4) の説明：

(1) CAN バスがアイドル状態のときに TMCm.TMTR を 1（送信要求）にすると，送信スキャン処理を開始し，優先順位が高いメッセージ・バッファから送信を開始します。送信を開始すると TMSTSm.TMTSTS は 1（送信中）になります[注1]。

(2) CRC デリミタで，待機中の送信要求があれば，次の送信スキャン処理を開始します。

(3) 送信が成功すると，対応する TMSTSm.TMTRF が 10B（送信完了，送信アボート要求なし）になります。また，TMSTSm.TMTSTS が 0（送信中ではない），および TMCm.TMTR が 0（送信要求なし）になります。このとき，TMIEC.TMIEm が 1（送信バッファ割り込み許可）に設定されていると，CAN 送信完了割り込み要求が発生します。

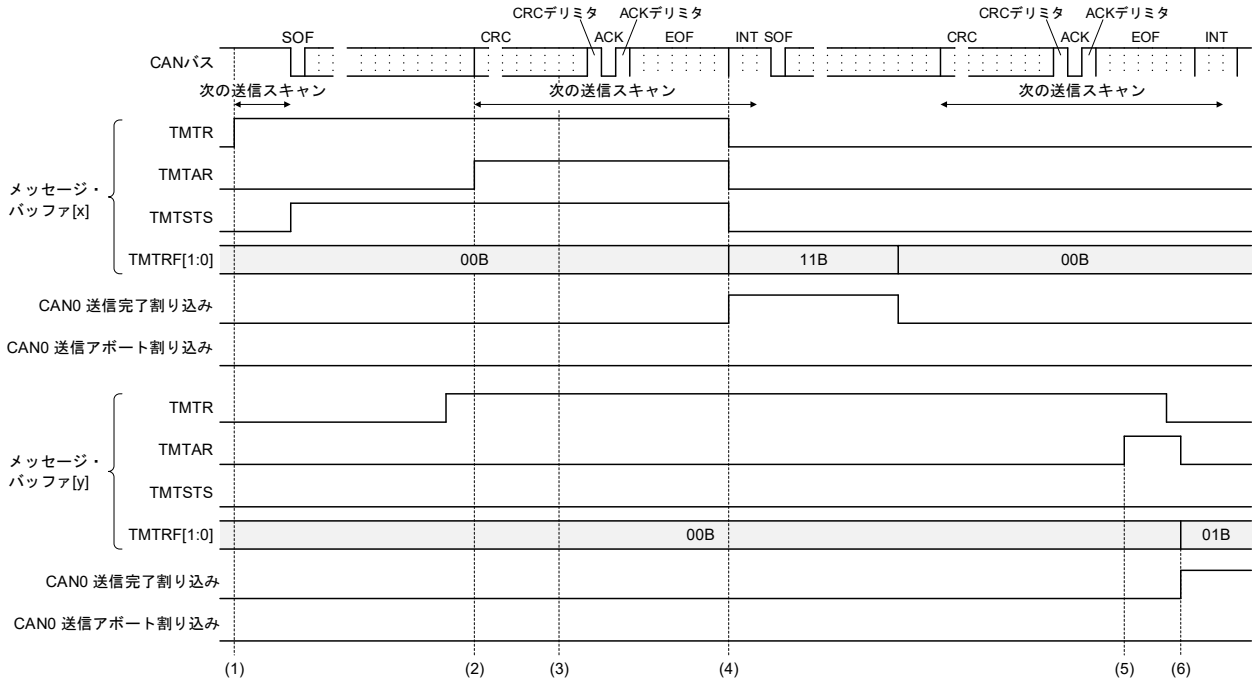
(4) 次の送信を開始する前に，TMSTSm.TMTRF に 00B（送信要求なし）を書き込んでください。TMSTSm.TMTRF が 00B のときのみ，TMCm.TMTR を 1 にすることができます。

注 1. 送信開始後にアービトレーション・ロストが発生した場合，TMSTSm.TMTSTS は 0（送信中ではない）になります。
CRC デリミタ開始時に，送信スキャン処理を再び行い，優先順位の高いメッセージを検索します。
送信中またはアービトレーション・ロスト後にエラーが発生した場合，エラー・フレーム送信中に再び送信スキャン処理を行います。

注意　TMSTSm.TMTSTS は，SOF の先頭でセットされるとは限りません。CAN クロック源の設定（X1 ダイレクト）によっては，最大で ID フレームの開始まで遅延する場合があります。

図 18－32 は，2 つのメッセージ・バッファの送信アボートのタイミングを示しています。

図 18－32　送信バッファの送信タイミング（送信アボート完了時）



上図の (1) から (6) の説明：

(1)　CAN バスがアイドル状態のときに TMCm.TMTR を 1（送信要求）にすると，送信スキャン処理を開始し，優先順位が高いメッセージ・バッファから送信を開始します。送信を開始すると TMSTSm.TMTSTS は 1（送信中）になります[注1]。

(2)　送信バッファが次の送信に決まっているとき，または現在送信中のときに TMCm.TMTAR を 1（送信アボートを要求）にしても，アービトレーション・ロストまたはエラーが発生しない限り，メッセージ送信はアボートされません。

(3)　CRC デリミタで，次の送信スキャン処理を開始します。この図では，メッセージ・バッファ[y]は次の送信バッファとして選択されていません。

(4)　送信が成功すると，対応する TMSTSm.TMTRF が 11B（送信完了，送信アボート要求あり）になります。また，TMSTSm.TMTSTS が 0（送信中ではない），および TMCm.TMTR が 0（送信要求なし）になります。このとき，TMIEC.TMIEm が 1（送信バッファ割り込み許可）に設定されていると，CAN 送信完了割り込み要求が発生します。割り込み要求をクリアするには，TMSTSm.TMTRF に 00B（送信要求なし）を書いてください。

(5)　CAN バス上に他の CAN ノードが送信中の場合（TMSTSm.TMTSTS は 0（送信中ではない）の状態），送信スキャン中に TMCm.TMTAR を 1（送信アボート要求）にすると，TMCm.TMTR は 0（送信要求なし）にすることができません。

(6)　内部処理時間経過後，送信はアボートされ，TMSTSm.TMTRF は 01B（送信アボート完了）になります。送信バッファが送信中でなく，次の送信にも選択されておらず，かつ，送信スキャン中でない場合，アボート要求はすぐに受け付けられ，TMTRF は 01B になります。また，TMCm.TMTR，TMCm.TMTAR は 0 になります。このとき，C0CTR.TAIE を 1（送信アボート割り込み許可）に設定していると，送信アボート割り込

みが発生します。割り込み要求をクリアするには，TMSTSm.TMTRF に 00B（送信要求なし）を書いてください。

注 1. 送信開始後にアービトレーション・ロストが発生した場合，TMSTSm.TMTSTS は 0（送信中ではない）になります。
CRC デリミタ開始時に，送信スキャン処理を再び行い，優先順位の高いメッセージを検索します。
送信中またはアービトレーション・ロスト後にエラーが発生した場合，エラー・フレーム送信中に再び送信スキャン処理を行います。

18.10.3　送受信 FIFO バッファを用いた送信

送受信 FIFO バッファ（送信モード）を使用する場合，CFCC.CFTML で任意の送信バッファにリンクさせる必要があります。

リンクした送受信 FIFO バッファが有効な場合，送受信 FIFO バッファ内のメッセージが送信スキャンの対象となります。

送受信 FIFO バッファのリンク先として設定した送信バッファに対して，設定を行わないでください。

18.10.3.1　送受信 FIFO バッファ（送信モード）の動作

送信メッセージを設定するには，CFDFp レジスタに送信メッセージを書き込みます。

CFPCTR.CFPC に FFH を書き込むと，FIFO メッセージ・カウンタを更新（インクリメント）します。CFPCTR.CFPC に FFH を書き込む場合，CFDFp レジスタに送信メッセージをすべて設定した後で行ってください。

FIFO メッセージ・カウンタが，CFCC.CFDC で設定した送受信 FIFO バッファのバッファ数と一致すると，CFSTS.CFFLL が 1（送受信 FIFO バッファ・フル）になります。

送受信 FIFO バッファの中の初めに設定したメッセージが送信スキャンの対象になります。

送信完了後，FIFO メッセージ・カウンタはデクリメントされます。すべての送信が完了すると，FESTS.CFEMP が 1（バッファ・エンプティ）になります。

送受信 FIFO バッファの割り込み発生条件は，CFCC.CFIM で選択します。

- CFCC.CFIM が 0 の場合，すべてのメッセージ送信が完了したとき
- CFCC.CFIM が 1 の場合，メッセージの送信が完了するごと

送受信 FIFO バッファは，CFCC.CFE を 0（送受信 FIFO 禁止）にすることで無効にすることができます。このビットを 0 にクリアすると，以下のタイミングで CFSTS.CFEMP が 1（バッファ・エンプティ）になります。

- 送信中ではない。また，次の送信に予定されていない場合，すぐに CFEMP は 1 になる
- 送信中。または，次の送信に予定されている場合，アービトレーション・ロスト，エラー検出，および動作モードをグローバル HALT モード，チャネル HALT モードに遷移すると，CFEMP は 1 になる

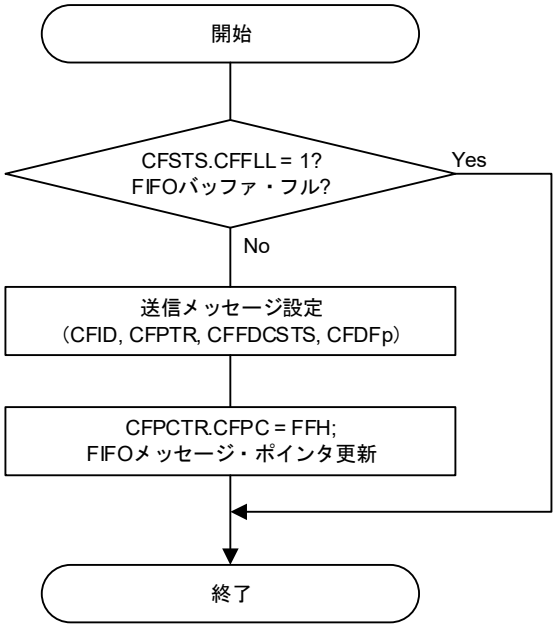
注意　CFCC.CFE を 0（送受信 FIFO 禁止）にしたときに，CFSTS.CFEMP が 1（バッファ・エンプティ）の状態の場合のみ送受信 FIFO バッファは無効となります。

CFCC.CFE を 0（送受信 FIFO 禁止）にするときに，送受信 FIFO バッファに送信保留中のメッセージがある場合は，そのメッセージは失われます。送受信 FIFO バッファからメッセージ送信を再開したい場合は，CFCC.CFE を 1（送受信 FIFO 許可）にする前に，CFSTS.CFEMP が 1（バッファ・エンプティ），また，送受信 FIFO バッファに送信アボート・メッセージがないことを確認してください。

CFCC.CFE を 0 にクリアすると，FIFO アクセス・ポインタは初期化され，無効になります。よって，送受信 FIFO バッファ内のすべてのメッセージは失われます。

図 18－33 に，送受信 FIFO バッファの送信要求手順を示します。

図 18－33　送信要求手順（送受信 FIFO バッファから送信）



18.10.3.2　FIFO 送信用インターバル・タイマ

送受信 FIFO バッファから続けてメッセージを送信する場合，メッセージ送信間のインターバル時間を設定することができます。CFCC.CFE を 1（送受信 FIFO バッファ許可）にした後，FIFO バッファから最初のメッセージを正常に送信した後（CAN プロトコルの EOF7 の後から）カウントを開始します。

以下の場合，インターバル・タイマはカウントを停止します。

- CFCC.CFE を 0（送受信 FIFO バッファ禁止）にしたとき
- チャネル・リセット・モードのとき

インターバル時間は，CFCC.CFITT で 00H から FFH（0～255）のカウント値を設定します。インターバル・タイマを使用しない場合は，CFITT に 00H を設定してください。

インターバル・タイマのクロック源は，CFCC.CFITSS で選択します。CFITSS が 0 の場合，CFCC.CFITR で選択されたインターバル・タイマ基準クロックを選択し，CFITSS が 1 の場合，CAN チャネルのビット・タイム・クロックになります。CFITSS が 1 のときに，CAN チャネルが，チャネル HALT モード，チャネル・リセット・モード，またはチャネル・スリープ・モードに遷移すると，インターバル・タイマはカウントを停止します。また，CFITSS が 0 のときに，CAN チャネルがチャネル・リセット・モードまたはチャネル・スリープ・モードに遷移すると，カウント動作を停止します。

GCFG.ITRCP でインターバル・タイマのプリスケーラ分周比を設定します。

表 18－19 に，GCFG.ITRCP 設定によるクロック／周期を示します。

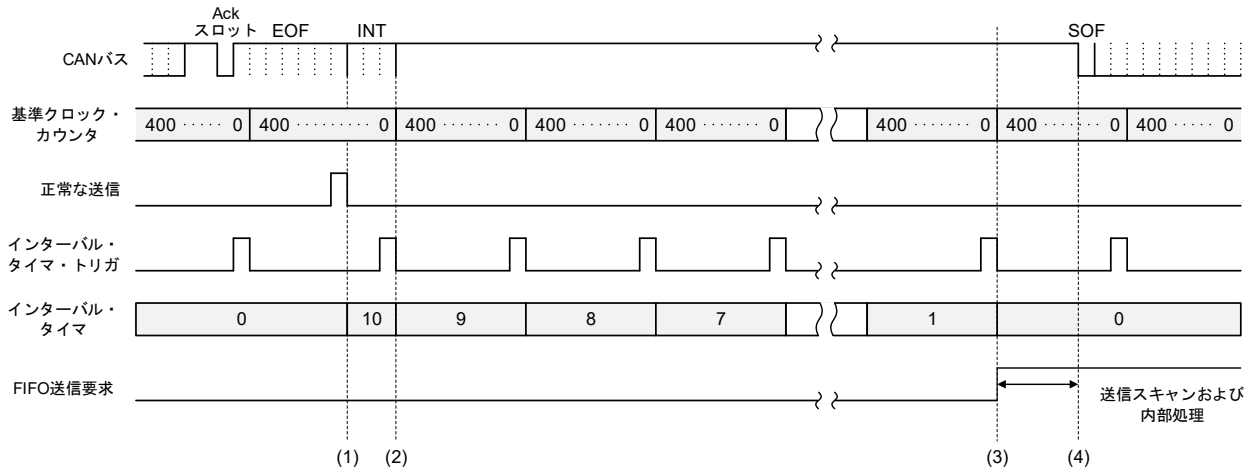
表 18－19　FIFO インターバル・タイマ基準クロックの設定例（**GCFG.ITRCP** 設定値）

基準クロック周期 ＼ 周辺クロックの周波数／周期	1 μs	100 μs	500 μs
16 MHz／62.5 ns	16	1600	8000
20 MHz／50 ns	20	2000	10000
32 MHz／31.25 ns	32	3200	16000
40 MHz／25 ns	40	4000	20000

インターバル・タイマのクロック源は，CFCC.CFITSS が 0（タイマ・ソースにインターバル・タイマ基準クロック選択）のときに，CFCC.CFITR で基準クロックの分解能を選択することができます。CFITR が 0 の場合，基準クロック×1 のクロック，CFITR が 1 の場合，基準クロック×10 の分解能になります。

図 18－34 に，インターバル・タイマのタイミング例を示します。

図 18－34　インターバル・タイマの動作例



- f_{CLK} = 40 MHz
- 基準クロック = 10 μs（GCFG.ITRCP = 400）
- CFCC.CFITSS = 0（インターバル・タイマ・ソースは基準クロック）
- CFCC.CFITR = 0（インターバル・タイマ分解能は基準クロック×1）
- インターバル時間 = 100 μs（CFCC.CFITT = 10（10 μs を 10 カウント））

(1) 送信が完了すると，インターバル・タイマがカウントを開始します。送信完了のタイミングでは，プリスケーラは初期化しないため，最初のインターバル時間は，最大インターバル・タイマの 1 カウント分の誤差が発生します。

(2) 次のインターバル・タイマ・トリガでインターバル・タイマはデクリメントします。

(3) インターバル・タイマが 0 になると，FIFO 送信要求を出力します。

(4) 送信スキャン処理で送受信 FIFO バッファからのメッセージ送信が選択されると，送信を開始します。(3) のタイミングから送信を開始するまで，最大 CAN ビット・タイム・クロックの 3 クロック分遅延して，送信を開始します。

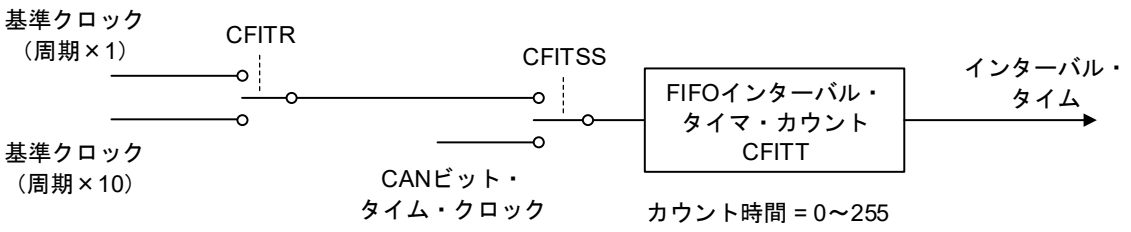
受信スキャン，メッセージ処理，送信スキャンなど複数の動作が同じタイミングで発生した場合，最大で 120×f_{CLK} の遅延が発生する場合があります。

図 18－34 に示すように，最小インターバル時間は，設定された時間と等しくならない場合があります。最小時間を定義される場合は，CFCC.CFITT の設定時間を+1 する等検討してください。

また，送受信 FIFO バッファ以外に送信バッファを使用して送信を行う場合，送信スキャン処理（優先順位）によっては，送信バッファからの送信を優先する場合があるため，インターバル時間は，設定値より大きくなる可能性があります。

図 18－35 に，FIFO インターバル・タイマ生成回路のブロック図を示します。

図 18－35　FIFO インターバル・タイマのブロック図



CFITR　：CFCC.CFITR（送受信 FIFO インターバル・タイマ分解能選択ビット）
CFITSS ：CFCC.CFITSS（送受信 FIFO インターバル・タイマ・ソース選択ビット）
CFITT　：CFCC.CFITT[7:0]（送受信 FIFO 送信間隔設定ビット）

18.10.4　送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納することができます。送信履歴バッファには最大 8 個の送信履歴データを格納できます。

THLCC.LHLDTE で送信元のメッセージ・バッファを選択します。LHLDTE を 0 にすると，送受信 FIFO バッファを選択し，LHLDTE を 1 にすると，送信バッファおよび送受信 FIFO バッファから送信したメッセージが対象となります。

メッセージごとに送信履歴バッファに格納するかを設定することができます。送受信 FIFO バッファから送信するメッセージを送信履歴バッファに格納したい場合，CFID.THLEN を 1（送信履歴に格納）にします。同様に送信バッファから送信するメッセージを対象とする場合，TMIDm.THLEN に 1（送信履歴に格納）を設定します。

送信が正常に終了した後，送信メッセージの情報を送信履歴バッファに格納します。

送信が完了（TMSTSm.TMTRF が 10B または 11B）してから送信履歴バッファにデータが格納されるまで，最大 70×f_{CLK} 遅延することがあります。送信履歴バッファにデータ格納完了かを判断するには，THLCC.THLIE が 1（送信履歴割り込み許可）の場合，THLSTS.THLIF が 1（送信履歴割り込み要求あり）になることで確認することができます。また，THLSTS.THLMC がインクリメントされたことで確認できます。

送信履歴バッファには，次に示す送信メッセージの情報を格納します。

- バッファ・タイプ・データ（THLACC0.BT）
  01B：送信バッファ
  10B：送受信 FIFO バッファ（送信モード）
- バッファ番号データ（THLACC0.BN）
  送信バッファ，または送受信 FIFO バッファ。格納される値については，表 18－20 を参照してください。
- 送信 ID データ（THLACC1.TID）
  各送信メッセージに設定された送信ポインタの値
- 送信タイム・スタンプ・データ（THLACC0.TMTS）
  GFDCFG.TSCCFG で選択されたタイミングで取得したタイム・スタンプ値
- 送信ラベル・データ（THLACC1.TIFL）
  各送信メッセージに設定された送信ラベル・データ

表 18－20　送信履歴のバッファ番号

バッファ・タイプ / バッファ番号	01B	10B
00B	送信バッファ 0	CFCC.CFTML ビットによって送受信 FIFO バッファにリンクされた送信バッファ番号
01B	送信バッファ 1	
10B	送信バッファ 2	
11B	送信バッファ 3	

図 18－36 に，送信履歴の準備フローを示します。

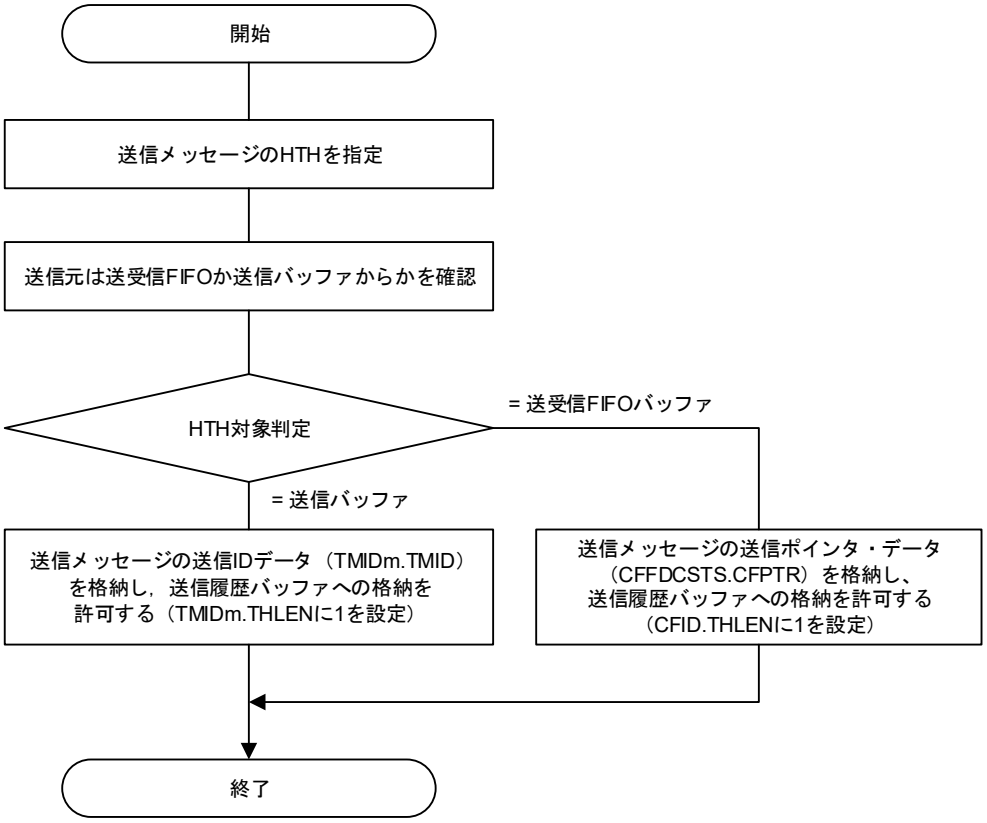
送信履歴バッファに格納された情報を読み出した後で，THLPCTR.THLPC に FFH を書き込むことで，次の情報を読み出すことができます。THLSTS.THLEMP が 1（送信履歴バッファ・エンプティ）になるまで，繰り返して読み出すことができます。

図 18－37 に，送信履歴の処理フロー例を示します。

送信履歴機能は，割り込みを使用することができます。割り込み要因を THLCC.THLIM で選択します。THLIM が 0 の場合，送信履歴バッファに格納された送信情報が 75%（6/8）になると割り込み要求を生成します。THLIM が 1 の場合，送信履歴バッファにデータが格納される毎に割り込み要求を生成します。THLCC.THLIE を 1 にすることで送信割り込みを許可します。

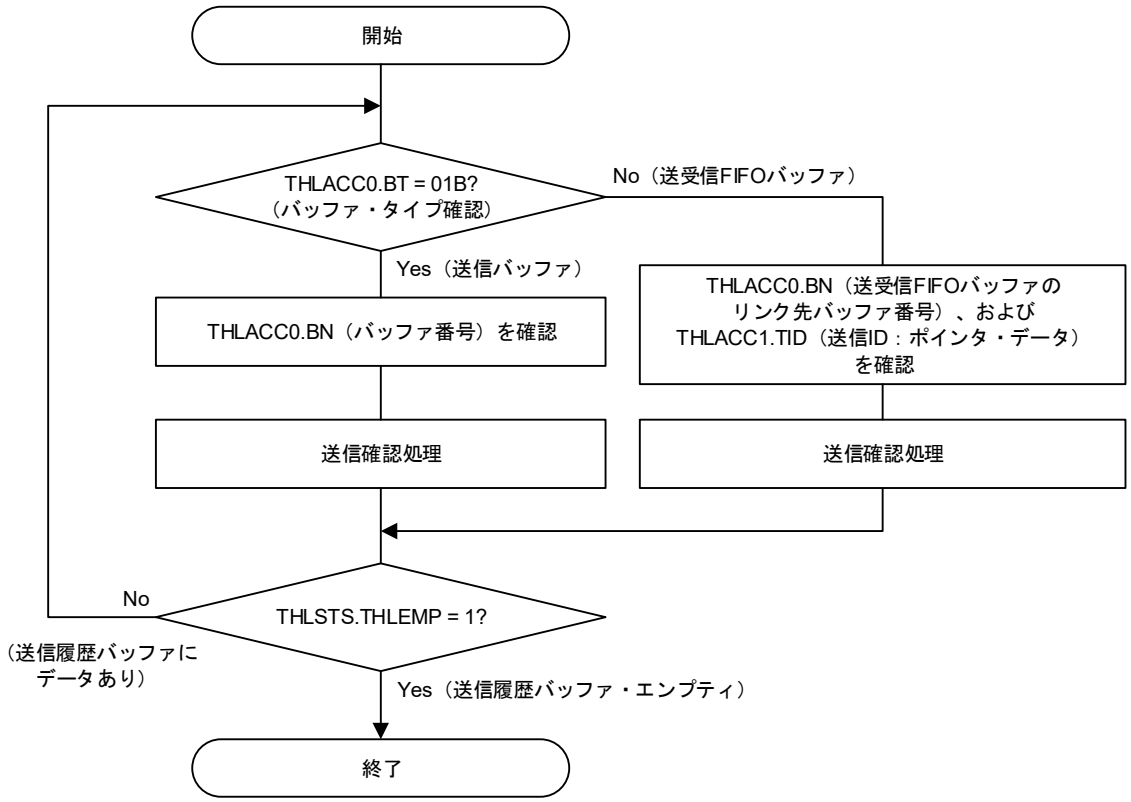
送信履歴バッファがフル状態になると，THLSTS.THLFLL が 1 になります。また，バッファ・フルの状態で，メッセージ格納を失敗すると，THLSTS.THLELT が 1（エントリ・ロスト）になります。エントリ・ロストの情報は，GERFL.THLES でも確認することができます。

図 18－36　送信履歴の準備フロー



備考　HTH：Hardware Transmission Handler

図 18－37　送信履歴の処理フロー



18.10.5　送信データ・パディング

送受信 FIFO バッファから送信するメッセージの DLC（データ長コード）が，CFCC.CFPLS で設定したバッファのペイロード・サイズより大きい場合，設定されたサイズを超えるデータ・バイトは，CCH にパディングします。

送信データ・パディングは，Classical-CAN フレームで DLC が 8 を超える場合や，CAN-FD オンリ・モードでも行います。

18.11　テスト機能

RS-CANFD lite モジュールは，特定の機能のテストを行うことができるテスト・モードを持っています。

各テスト・モードは単独で行ってください。テスト・モードを組み合わせての使用は禁止しています。

テスト・モードは，大きく 2 つのグループに分けることができます。

- チャネル固有のテスト・モード
- グローバル・テスト・モード

18.11.1　チャネル固有のテスト・モード

チャネル固有のテスト・モードとして，次のテスト・モードがあります。

- 標準テスト・モード
- リッスン・オンリ・モード
- セルフ・テスト・モード 0（外部ループバック・モード）
- セルフ・テスト・モード 1（内部ループバック・モード）
- 制限動作モード

18.11.1.1　標準テスト・モード

標準テスト・モードでは，CRC テストを行うことができます。送信または受信メッセージより計算した CRC 値をレジスタに格納します。

格納先は，メッセージが Classical-CAN フレーム（CRC 長=15 ビット）の場合は，C0ERFL.CRCREG[14:0]ビット，CAN-FD フレーム（CRC 長=17 ビットまたは 21 ビット）の場合は，C0FDCRC.CRCREG[20:0]ビットです。

CRC エラー・テスト（意図的な CRC エラーの発生）を行う場合は，ビット・フリップ・テストを使用します。詳細は，「18.11.2.2　ビット・フリップ・テスト」を参照してください。

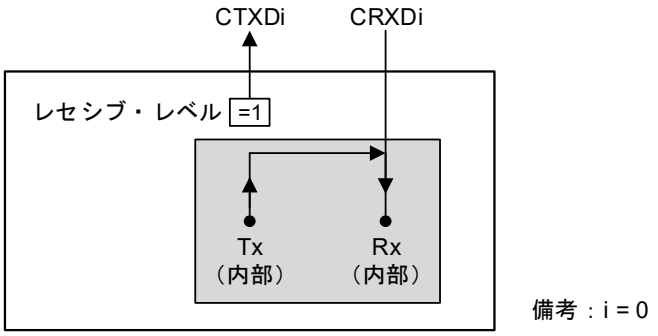
18.11.1.2　リッスン・オンリ・モード

リッスン・オンリ・モードは，ISO11898-1 のバス・モニタ・モードに対応します。このモードでは，データ・フレームおよびリモート・フレームを受信することができます。ただし，送信は行いません（常にレセシブを出力）。

リッスン・オンリ・モードは，通信ボー・レートの検出に使用することができます。

このモードでは，送信バッファまたは送受信 FIFO バッファからメッセージの送信を行うことはできません。

図 18－38　リッスン・オンリ・モード時の CTXDi 端子と CRXDi 端子

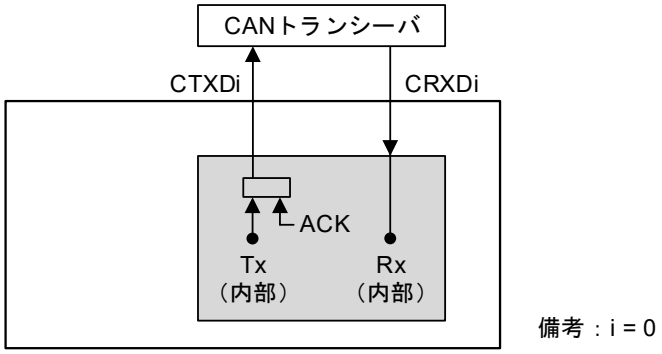


18.11.1.3　セルフ・テスト・モード 0（外部ループバック・モード）

セルフ・テスト・モード 0 は，送信したメッセージを CAN トランシーバを経由して受信メッセージ・バッファに格納します。自送信メッセージを受信するために，ACK を生成します。

このテストは，CAN トランシーバのテストに使用することができます。CTXDi と CRXDi 端子を CAN トランシーバに接続して，テストを行ってください。

図 18－39　セルフ・テスト・モード 0 時の CTXDi 端子と CRXDi 端子



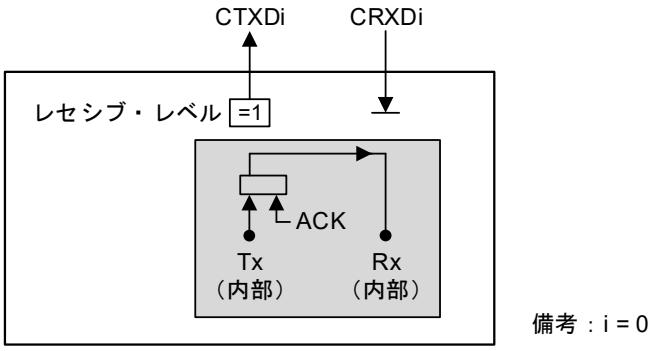
18.11.1.4　セルフ・テスト・モード 1（内部ループバック・モード）

セルフ・テスト・モード 1 は，送信したメッセージを受信したメッセージとして判断し，受信メッセージ・バッファに格納します。自送信メッセージを受信するために，ACK を生成します。

このテストは，内部 Tx から内部 Rx への内部フィードバックを行います。外部の CRXDi 端子の入力は無視します。また，外部 CTXDi 端子は常にレセシブを出力します。

注意　CTXDi，CRXDi 端子は，内部 CTXDi，CRXDi 信号と切断しているため，内部信号を外部端子でモニタすることはできません。

図 18－40　セルフ・テスト・モード 1 時の CTXDi 端子と CRXDi 端子



18.11.1.5　制限動作モード

制限動作モードでは，有効なデータ・フレームとリモート・フレームを受信して，ACK を生成することができます。

このモードでは，アクティブ・エラー・フレームおよびオーバロード・フレームは送信することができません。エラーまたはオーバロード条件が発生した場合，バス・アイドル状態になるまで待機します。また，エラーが発生しても，エラー・カウンタ（REC，TEC）の更新は行いません。任意の送信要求は実行することができます。

このモードの仕様は，ISO11898-1 に準拠しています。

18.11.2　グローバル・テスト・モード

グローバル・テスト・モードとして，次のテスト機能があります。

- RAM テスト・モード
- ビット・フリップ・テスト

RAM テスト・モードに遷移するためには，特定手順で実施する必要があります。GLOCKK レジスタにプロテクト解除データを設定し，RAM テスト機能を有効にします。

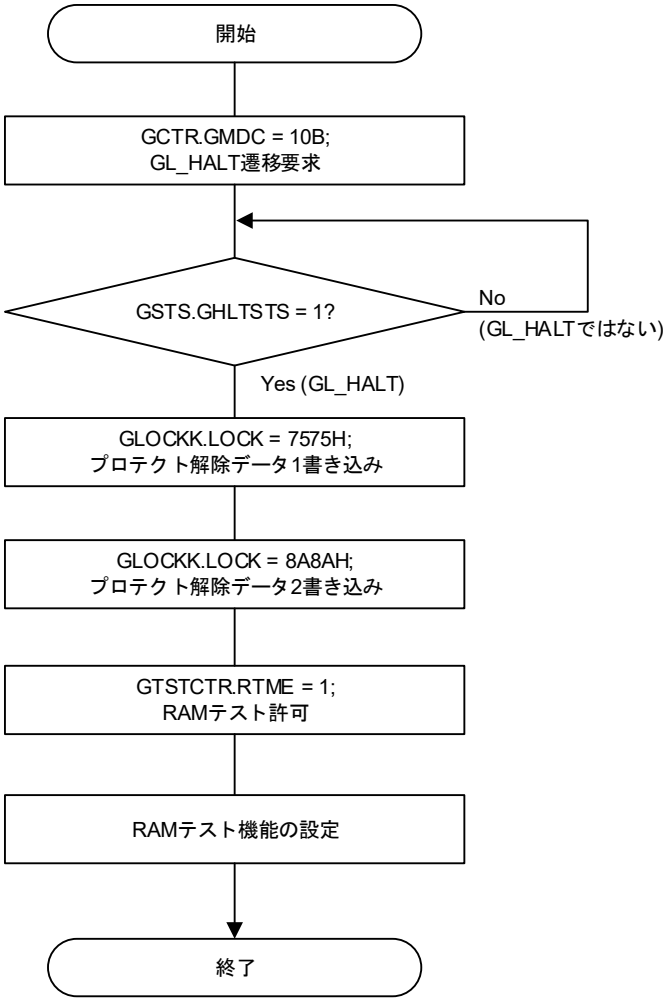
表 18－21　RAM テスト・モードのプロテクト解除データ

テスト・モード	GLOCKK.LOCK	
	プロテクト解除データ 1	プロテクト解除データ 2
RAM テスト・モード	7575H	8A8AH

2 つのプロテクト解除データを連続して書き込む必要があります。GLOCKK レジスタへの連続書き込みが，その他の書き込みにより中断された場合，または GLOCKK.LOCK に無効なデータが書き込まれた場合，テスト・モードには遷移しません。テスト・モードに遷移したい場合，特定シーケンスをはじめから行う必要があります。

また，プロテクト解除データの書き込み後，続けて GTSTCTR.RTME に 1（RAM テスト許可）を設定してください。連続した書き込みを行わない場合，RTME が 1 になりません。

図 18－41　プロテクト解除手順



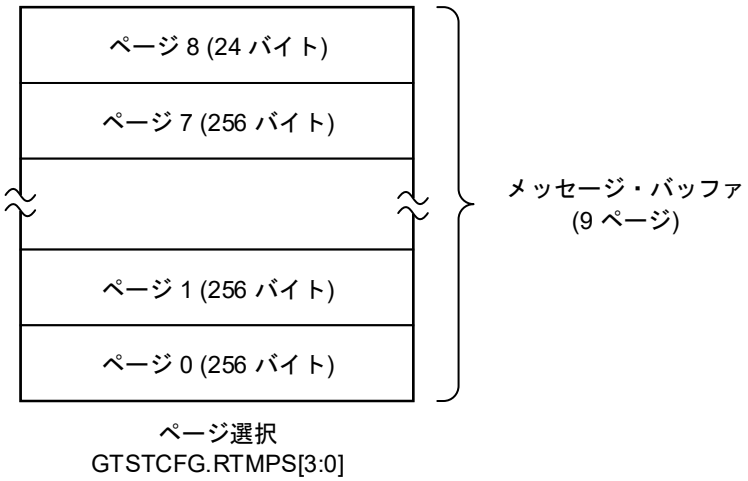
18.11.2.1　RAM テスト・モード

プロテクト解除シーケンス後，GTSTCTR.RTME に 1 を設定すると，RAM テスト・モードに遷移します。RAM テスト・モードでは，CAN RAM 領域全体をアクセスすることができます。

RAM テスト・モードでは，CAN RAM 領域を 256 バイト単位の複数のページに分割してアクセスします。GTSTCFG.RTMPS でページ番号を選択し，RPGACCr レジスタを使用してデータの読み書きをテストします。

図 18－42 に，RAM テスト・モード時の RAM ページの構成を示します。

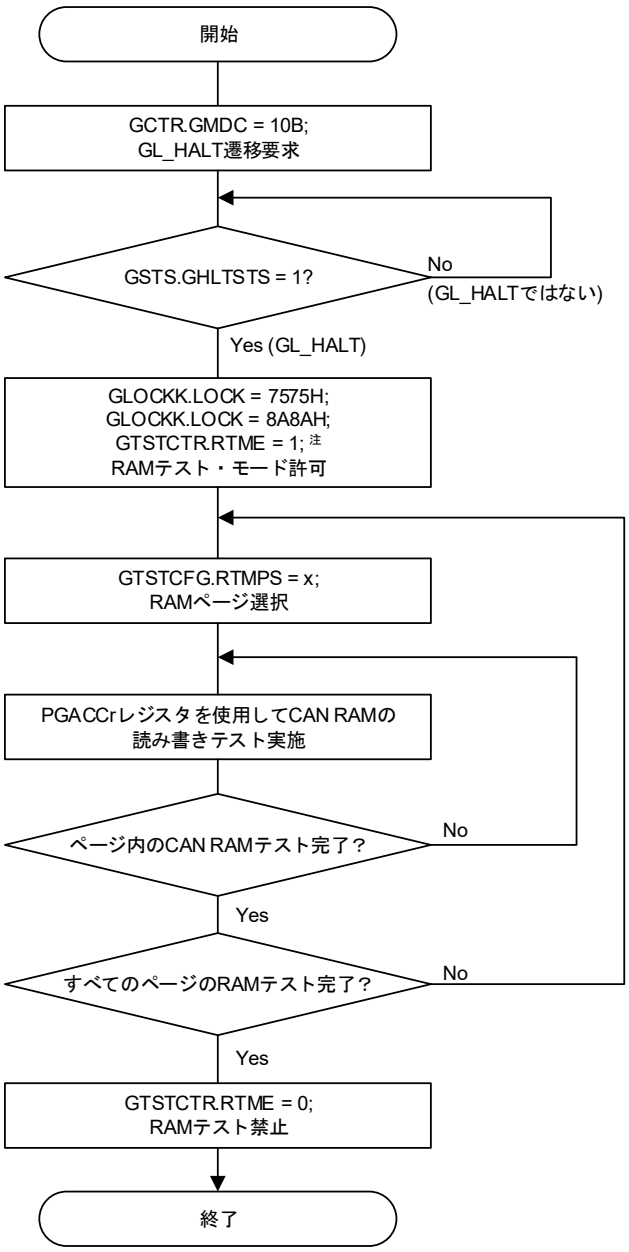
図 18－42　RAM ページの構成



RAM テスト・モードで使用する CAN RAM 領域は，メッセージ・バッファ RAM の合計 2072 バイトです。

以下の図 18－43 に，RAM テストの設定手順を示します。

図 18－43　RAM テスト・モードの設定手順



注　RAM テスト・モードに遷移する前に，次のステータスに変更してください。

- 送信要求を解除する
- すべての FIFO バッファを無効化する
- 受信バッファの受信フラグをクリアする

GTSTCTR.RTME に 0 を設定することで，RAM テスト・モードを終了します。また，グローバル・リセット・モードに遷移すると，RTME は 0（RAM テスト禁止）になります。

18.11.2.2　ビット・フリップ・テスト

ビット・フリップ・テストでは，受信するビット・ストリームの先頭ビット（ID の最初のビット）を反転することができます。

この機能を送信ノードで使用すると，ビット・エラーやアービトレーション・ロストが発生します。

この機能を受信ノードで使用すると，CRC エラーまたはスタッフ・エラーが発生します。

この機能を使用する場合，CRC エラーではなくスタッフ・エラー（反転による）を検出する可能性があるため，ビット・スタッフィング・ルールを参照してください。

CRC エラー・テストを行う場合，次の手順で実施してください。

(1) C0CTR.BFT を 1（最初の受信ビットを反転）にする
(2) 受信時，INTRCAN0ERR（CAN0 チャネル・エラー割り込み）の発生を待つ
(3) Classical-CAN フレームの場合，C0ERFL.CRCREG，CAN-FD フレームの場合，C0FDCRC.CRCREG を読み出す
(4) C0ERFL.CERR が 1（CRC エラー検出）になっていることを確認する

CRC 生成回路は，受信と送信で共通のため，送信 CRC エラー・テストを行う必要はありません。

18.12　割り込み

18.12.1　割り込みソース

RS-CANFD lite モジュールは，いくつかの割り込みを生成します。

割り込み出力は，割り込みコントローラ・ユニットに接続されており，対応する割り込み許可ビットによって制御できます。

RS-CANFD lite モジュールのステータス・フラグは，割り込みコントローラの割り込み許可ビットと関係せず，その状態を示します。

RS-CANFD lite モジュールの割り込みは，グローバル割り込みとチャネル割り込みの 2 つのグループに分類できます。

1. グローバル割り込み

RS-CANFD lite モジュールは，次の 3 種類のグローバル割り込みを生成できます。

(1) CAN グローバル受信 FIFO 割り込み（2 個の受信 FIFO への正常な受信完了）
(2) CAN グローバル受信バッファ割り込み（16 個の受信バッファへの正常な受信完了）
(3) CAN グローバル・エラー割り込み

2. チャネル割り込み

RS-CANFD lite モジュールの各チャネルは，3 種類のチャネル割り込みを生成できます。

(1) CAN0 チャネル送信割り込み
- CAN0 送信完了割り込み
- CAN0 送信アボート割り込み
- CAN0 送信履歴割り込み
- CAN0 送受信 FIFO 送信完了割り込み（送信モードの送受信 FIFO からの正常な送信完了）

(2) CAN0 チャネル・エラー割り込み
(3) CAN0 送受信 FIFO 受信割り込み（受信モードの送受信 FIFO への正常な受信完了）

3. その他の割り込み

(1) CAN0 ウェイクアップ割り込み
すべてのモードで，端子の立ち下がりエッジを検出すると，CAN0 ウェイクアップ割り込みを生成します。CAN0 ウェイクアップ割り込みを使用する場合は，端子機能を CRXD0 に設定してください。
CAN0 ウェイクアップ割り込みは，割り込みコントローラにより制御します。
(2) CAN RAM ECC　：1 ビット訂正／2 ビット・エラー検出 注

注　CAN-RAM ECC 機能の詳細については，「28.3.4　CAN-RAM ECC 機能」を参照してください。

RS-CANFD lite モジュールの割り込みフラグをクリアするか，割り込み許可ビットをクリアすると，割り込みフラグはクリアされます。

RS-CANFD lite モジュールの 1 セットとプログラムによる 0 クリアが同時の場合，1 セットを優先します。

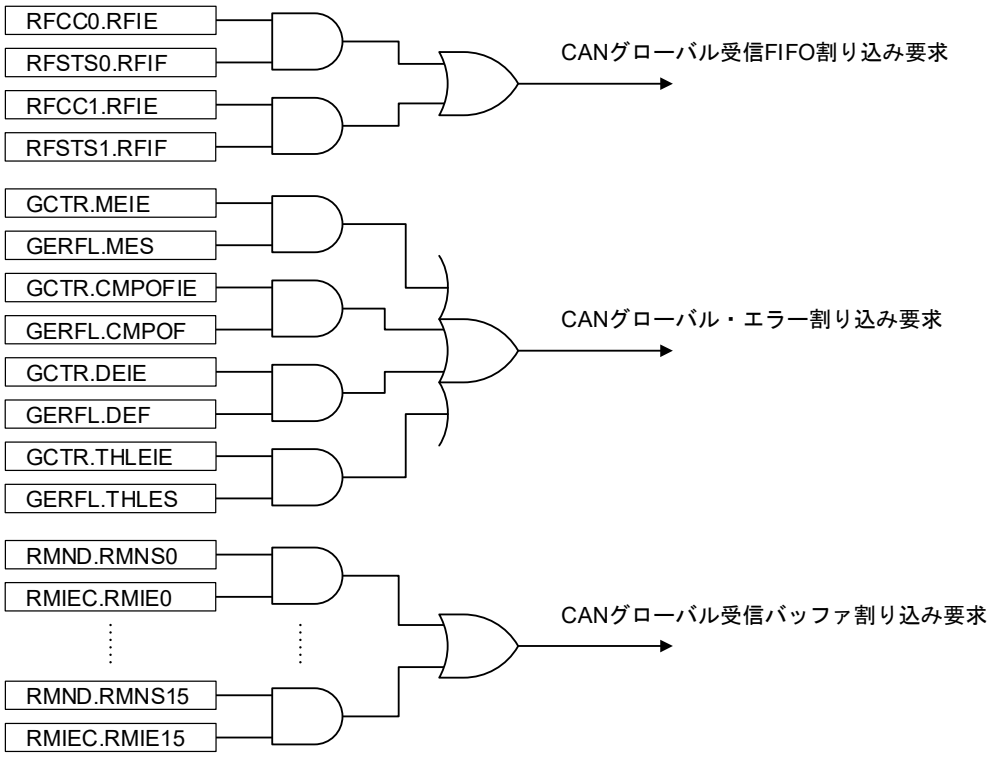
表 18－22　割り込み要因一覧

項目	割り込み名	割り込みソース		CAN の対応する割り込み要求フラグ 注1	CAN の関連する割り込み許可ビット 注1
グローバル割り込み	INTRCANGRFR	CAN グローバル受信FIFO	受信FIFO 0	RFSTS0.RFIF	RFCC0.RFIE
			受信FIFO 1	RFSTS1.RFIF	RFCC1.RFIE
	INTRCANGRVC	CANグローバル受信メッセージ・バッファ割り込み		RMND.RMNS[15:0]	RMIEC.RMIE[15:0]
	INTRCANGERR	CANグローバル・エラー	DLCエラー	GERFL.DEF	GCTR.DEIE
			メッセージ・ロスト・エラー	GERFL.MES	GCTR.MEIE
			送信履歴エントリ・ロスト・エラー	GERFL.THLES	GCTR.THLEIE
			CAN-FDメッセージ・ペイロード・オーバフロー	GERFL.CMPOF	GCTR.CMPOFIE
チャネル割り込み	INTRCAN0TRM	CAN0チャネル送信	CAN0送信完了	TMSTSm.TMTRF[1:0]	TMICE.TMIE[3:0]
			CAN0送信アボート	TMSTSm.TMTRF[1:0]	C0CTR.TAIE
			CAN0送受信FIFO送信完了	CFSTS.CFTXIF	CFCC.CFTXIE
			CAN0送信履歴	THLSTS.THLIF	THLCC.THLIE
	INTRCAN0CFR	CAN0送受信FIFO受信		CFSTS.CFRXIF	CFCC.CFRXIE
	INTRCAN0ERR	CAN0チャネル・エラー	バス・エラー	C0ERFL.BEF	C0CTR.BEIE
			エラー・ワーニング	C0ERFL.EWF	C0CTR.EWIE
			エラー・パッシブ	C0ERFL.EPF	C0CTR.EPIE
			バスオフ開始	C0ERFL.BOEF	C0CTR.BOEIE
			バスオフ復帰	C0ERFL.BORF	C0CTR.BORIE
			オーバロード	C0ERFL.OVLF	C0CTR.OLIE
			バス・ロック	C0ERFL.BLF	C0CTR.BLIE
			アービトレーション・ロスト	C0ERFL.ALF	C0CTR.ALIE
			通信エラー・カウンタ・オーバフロー	C0FDSTS.EOCO	C0CTR.EOCOIE
			通信完了カウンタ・オーバフロー	C0FDSTS.SOCO	C0CTR.SOCOIE
			トランシーバ遅延補償	C0FDSTS.TDCVF	C0CTR.TDCVFIE
その他の割り込み	INTRCAN0WUP	CAN0ウェイクアップ		なし	なし
	INTCRAM	CAN-RAM ECC 1ビット訂正／2ビット・エラー検出 注2		なし	なし

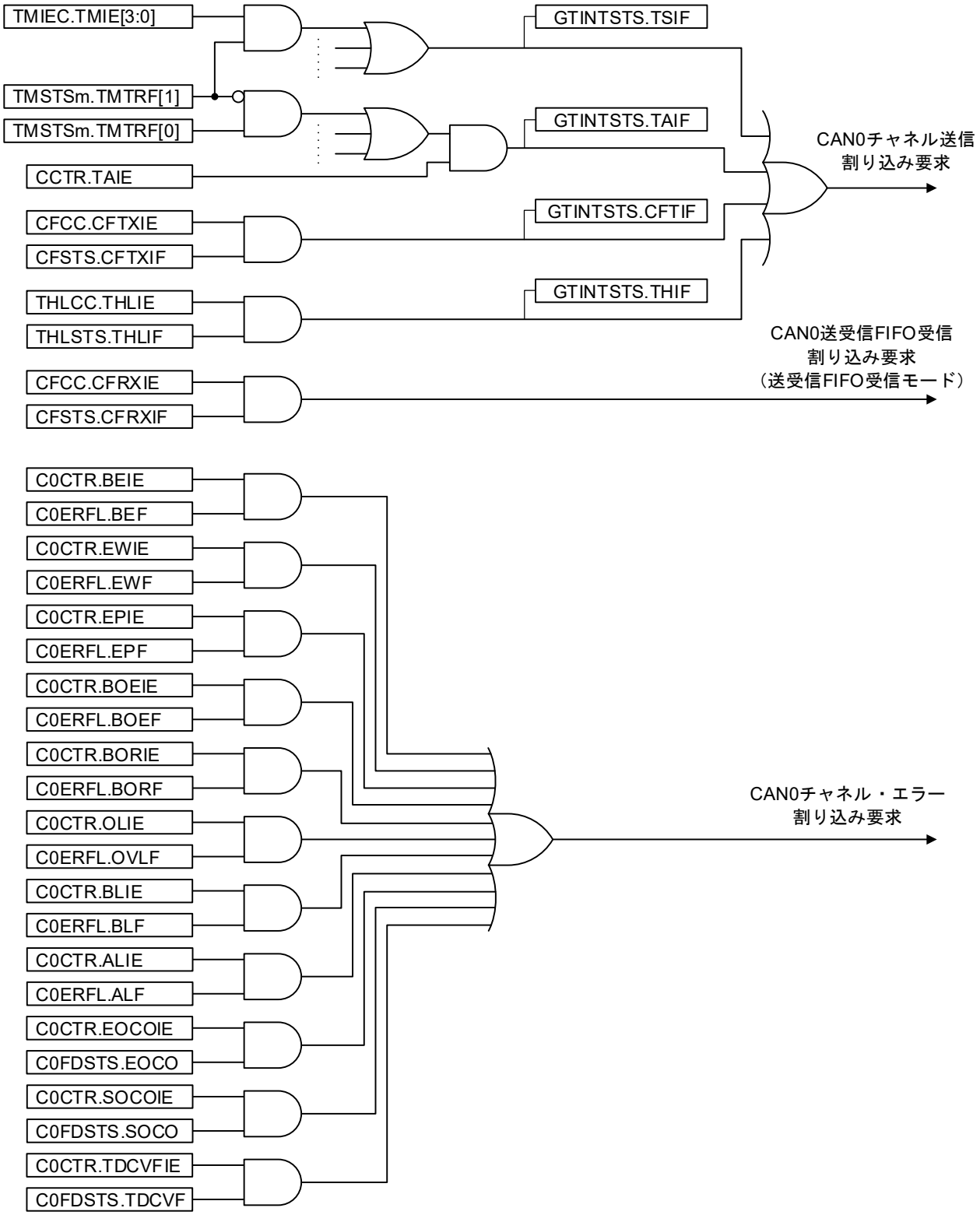
注 1. 割り込みコントローラの割り込み要求フラグ，割り込み許可ビットについては本表では記載していません。詳細は，「第 21 章　割り込み機能」を参照してください。

2. CAN-RAM ECC 機能の詳細については，「28.3.4　CAN-RAM ECC 機能」を参照してください。

図 18－44　グローバル割り込みブロック図



★ 図 18－45　チャネル割り込みブロック図



18.12.2　割り込み処理フロー

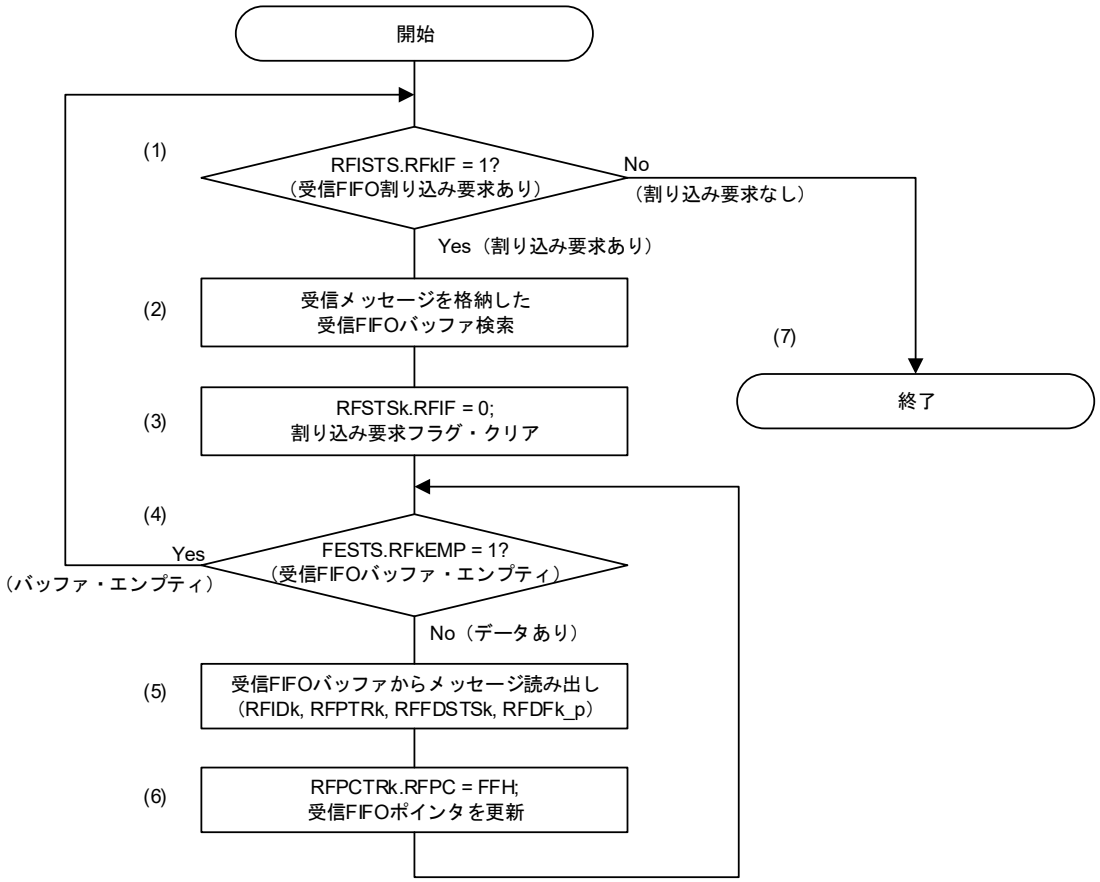
RS-CANFD lite の割り込みフラグ（割り込みコントローラの割り込み要求フラグではありません）は，割り込み発生時に自動でクリアされないため，割り込み処理内で対応する割り込みフラグをすべてクリアしてください。

グローバル割り込みはグローバル動作モード，またはグローバル HALT モード時に発生します。チャネル割り込みは，チャネル動作モード時に発生します。

図 18－46 に示すように，ソフトウェアで割り込みをクリアし，CAN モジュールの割り込みソースに対応するすべての割り込み要求フラグが 0 であることを確認してから，割り込み処理フローを終了してください。

このフローと同様に，他の CAN 割り込み処理では，割り込み処理を終了する前に，すべての CAN 割り込み要因がクリアされていることを確認してください。

図 18－46　割り込み処理フロー（例：受信 FIFO 割り込み）



(1)　割り込み要求フラグの状態を確認します。(4)からの分岐時にフラグ・クリアされた場合，(7) の終了に分岐します。

(2)　割り込みの対象となる受信 FIFO バッファを検索します。

(3)　対象の割り込みフラグをクリアします。

(4)　対象の受信 FIFO がバッファ・エンプティかを確認します。エンプティの場合，(1) に分岐します。

(5)　受信 FIFO バッファから受信したメッセージを読み出します。

(6)　受信 FIFO バッファのポインタを更新し，(4) に分岐します。

(7)　割り込み処理を終了します。

18.13　メッセージ・バッファ RAM 領域の構成

RS-CANFD lite で使用されるメッセージ・バッファ RAM 領域（MRAM）は，図 18－47 に示すように，次のグループより構成されます。

- CAN 受信ルール・テーブル領域（AFL）
- PNF 受信ルール・テーブル領域（PFL）
- メッセージ・バッファ領域
  受信バッファ（RXMB）＋受信 FIFO バッファ（RXFIFO）＋送受信 FIFO バッファ（CFIFO）
- OTB 領域（One Time Buffer の略：RS-CANFD lite モジュールが使用するテンポラリ領域）
- 送信履歴バッファ領域（THL）
- 送信バッファ領域（TXMB）

図 18－47　メッセージ・バッファ RAM 領域の構成

メッセージ・バッファRAM

MRAM は，相対アドレス 0000H の送信バッファ（TXMB）領域から始まります。送信バッファの直後に送信履歴バッファ（THL）領域が続き，その後にテンポラリ領域（OTB）が続きます。TXMB，THL および OTB のサイズは固定です。

OTB の後には，メッセージ・バッファ領域が続きます。メッセージ・バッファ領域のサイズは，受信バッファ（RXMB），受信 FIFO バッファ（RXFIFO），および送受信 FIFO バッファ（CFIFO）の構成によって異なります。すべてが設定される場合，RXMB の後に RXFIFO 領域が続き，その後に CFIFO 領域が続きます。

構成された MRAM 領域は，次のように計算できます。

- MRAM_cfg = AFL_MRAM_cfg
  + PFL_MRAM_cfg
  + RXMB_MRAM_cfg + RXFIFO_MRAM_cfg + CFIFO_MRAM_cfg
  + THL_MRAM_cfg
  + OTB_MRAM_cfg
  + TXMB_MRAM_cfg

(1) AFL_MRAM_cfg = 256 バイト

(2) PFL_MRAM_cfg = 72 バイト

(3) RXMB_MRAM_cfg = (12 バイト + RMND.RMPLS) × RMNB.NRXMB

(4) RXFIFO_MRAM_cfg = SUM ((12 バイト + RFCCk.RFPLS) × RFCCk.RFDC)

(5) CFIFO_MRAM_cfg = (12 バイト + CFCC.CFPLS) × CFCC.CFDC

(6) THL_MRAM_cfg = 64 バイト

(7) OTB_MRAM_cfg = 160 バイト

(8) TXMB_MRAM_cfg = 304 バイト

k は，RX FIFO インデックス = [0…“RX FIFO の数 – 1”]

注意　RFCCk.RFDC，CFCC.CFDC，RMNB.RMPLS，RNMB.NRXMB，RFCCk.RFPLS および CFCC.CFPLS は，使用するデータのバイト数になります。

表 18－23 に，AFL，PFL，受信バッファ，受信 FIFO バッファ，送受信 FIFO バッファ，OTB, THL，送信バッファで使用する各 RAM 領域の計算方法を示します。

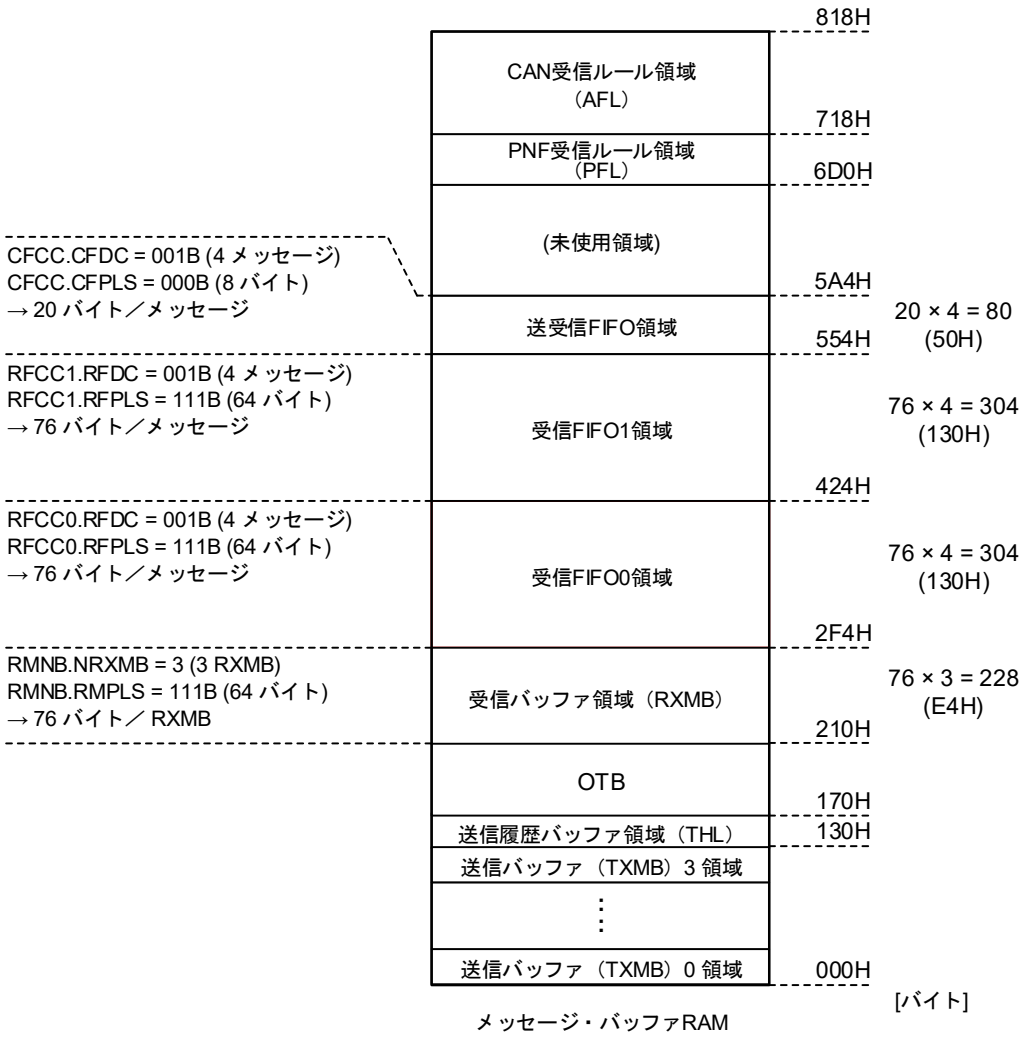
表 18－23　MRAM 領域の計算

RAM 名	RAM 属性	RAM 領域の計算方法	RAM 値
AFL	ルール数	—	16
	1 ルールあたりのバイト数	固定	16
	AFL 領域のバイト数	ルール数×バイト数	256
PFL	ルール数	—	2
	1 ルールあたりのバイト数	固定	36
	PFL 領域のバイト数	ルール数×バイト数	72
メッセージ・バッファ	受信バッファの数	固定	16
	受信 FIFO バッファの数	固定	2
	送受信 FIFO バッファの数	固定	1
	最大使用バッファ数	—	16
	各保存メッセージのバイト数	固定	—
	メッセージ・バッファのバイト数	—	76
	メッセージ・バッファ領域のバイト数	最大バッファ数×バイト数	1,216
THL（送信履歴バッファ）	THL バッファ数	固定	8
	1 データあたりのバイト数	固定	8
	THL 領域のバイト数	THL バッファ数×バイト数	64
OTB	OTB 領域のバイト数	固定	160
TXMB（送信バッファ）	TXMB のバッファ数	固定	4
	1 TXMB あたりのバイト数	固定	76
	TXMB 領域のバイト数	TXMB のバッファ数×バイト数。	304
メッセージ RAM の合計バイト数（バイト）		AFL 領域のバイト数（256）+ PFL 領域のバイト数（72）+ メッセージ・バッファ領域のバイト数（1216）+ THL 領域のバイト数（64）+ OTB 領域のバイト数（160）+ TXMB 領域のバイト数（304）	2,072

18.13.1　メッセージ・バッファの構成例

以下の図 18－48 に，可能な構成の 1 つを示します。

図 18－48　メッセージ・バッファ領域の設定例



18.13.2　RAM 初期化

RAM 初期化サイクル数と RAM ページ数を以下に示します。

表 18－24　MRAM 領域の初期化

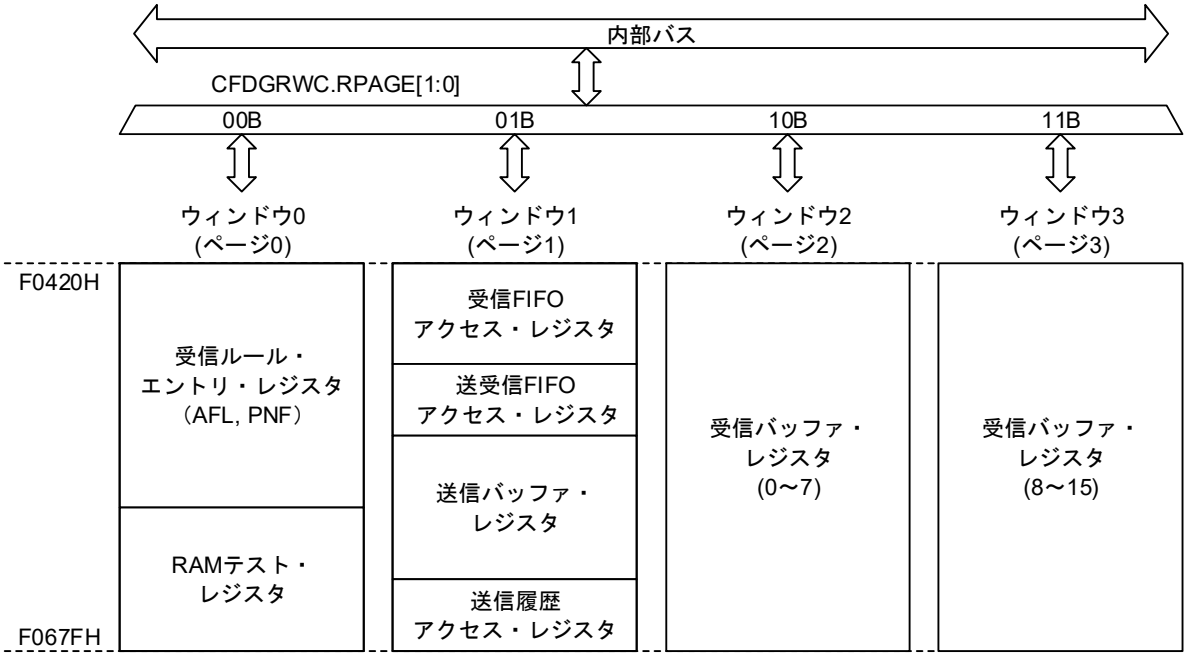
MRAM 領域サイズ [バイト]	RAM 初期化サイクル [PCLK：周辺機能クロック（f_{CLK}）]	RAM テスト・ページ番号 注 （GTSTCFG.RTMPS[3:0]）
2072	520	0H～8H

注　他の値は禁止です

18.14　RAM ウィンドウ

F0420H から F067FH の CAN RAM 領域は，4 つのウィンドウから構成されています。ウィンドウの切り替えは，CFDGRWC.RPAGE で選択します。

図 18－49　RAM ウィンドウ



18.15　初期設定

通信を開始する前に，以下設定が必要です。

- CAN クロック設定
- ビット・タイミング設定（ノミナルおよびデータ・ビット）
- ボー・レート設定（ノミナルおよびデータ・ビット）
- CAN-FD 設定
- AFL 設定
- FIFO バッファ設定
- CAN 動作モード設定

18.15.1　CAN クロック，ビット・タイミング，およびボー・レートの初期設定

18.15.1.1　ビット・タイミングの設定

以下では，各セグメントの構成と，セグメント設定に適用される制限について説明します。

(1)　各セグメント設定

- SS：1 Tq
- TSEG1：C0NCFG.NTSEG1（ノミナル・ビット），C0DCFG.DTSEG1（データ・ビット）で設定
- TSEG2：C0NCFG.NTSEG2（ノミナル・ビット），C0DCFG.DTSEG2（データ・ビット）で設定
- SJW：C0NCFG.NSJW（ノミナル・ビット），C0DCFG.DSJW（データ・ビット）で設定
  SS + TSEG1 + TSEG2 は，ノミナル・ビットの場合，8～385 Tq，データ・ビットの場合，5～49 Tq の範囲で設定します

(2)　TSEG1，TSEG2 および SJW の制限

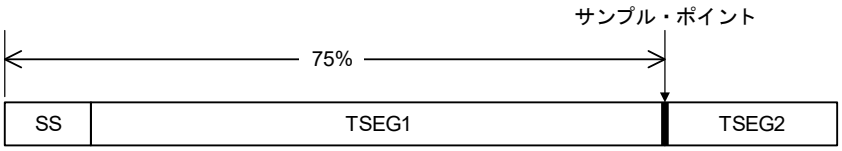
- TSEG1(N) ＞ TSEG2(N) ≧ SJW(N)
- TSEG1(D) ≧ TSEG2(D) ≧ SJW(D)
- Classical-CAN フレームのみを使用する場合，C0NCFG.NTSEG1，C0NCFG.NTSEG2 に有効な値を設定してください。

サンプル・ポイントは，TSEG1 と TSEG2 のセグメント設定により決まります。表 18－25 に，ビット・タイミングの設定例を示します。

表 18－25　ビット・タイミング設定例

1 bit	設定値（Tq）				サンプル・ポイント注 [%]
	SS	TSEG1	TSEG2	SJW	
5 Tq	1	2	2	1	60.00
8 Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10 Tq	1	6	3	1	70.00
	1	7	2	1	80.00
12 Tq	1	8	3	1	75.00
	1	9	2	1	83.33
15 Tq	1	10	4	1	73.33
	1	11	3	1	80.00
16 Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20 Tq	1	12	7	1	65.00
	1	13	6	1	70.00
24 Tq	1	15	8	1	66.66
	1	16	7	1	70.83
50 Tq	1	39	10	4	80.00

注　サンプル・ポイント（75%）のタイミングを以下に示します。



18.15.1.2　CAN ビット・タイミング

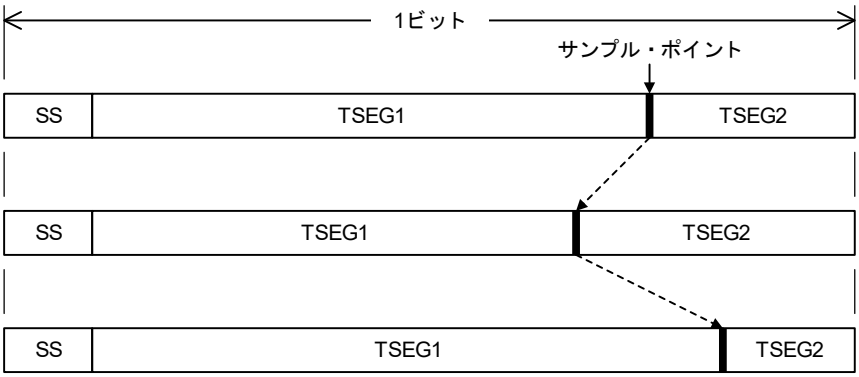
通信フレームの各ビットは 3 つのセグメント（SS + TSEG1 + TSEG2）で構成しています。各セグメントは，C0NCFG，C0DCFG レジスタを使用して設定します。

図 18－50 に，各ビットのセグメント構成とビット内のサンプル・ポイントを示します。

サンプル・ポイントは，TSEG1 と TSEG2 のセグメント設定により決まります。

また，各セグメントを構成するクロックの単位を Time Quantum（Tq）と呼びます。Tq クロックは，f_{CAN} をボー・レート・プリスケーラで分周したクロックです。

図 18－50　ビットのセグメント構成とサンプル・ポイント



TSEG1を増やしてTSEG2を減らすことで、
サンプル・ポイントを遅らせることができます。

- SS（シンクロナイゼーション・セグメント）：

  インターフレーム・スペース中のレセシブからドミナントへのエッジをモニタして，ビットを同期するセグメントです。インターフレーム・スペースは，インターミッション，サスペンド・トランスミッション，バス・アイドルで構成され，バス・アイドル中に全ノードが送信を開始することができます。

- TSEG1（タイム・セグメント 1）：

  CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は，バス上の遅延，入力コンパレータの遅延，出力ドライバの遅延の総和の 2 倍になります。SJW により延長することができます。

- TSEG2（タイム・セグメント 2）：

  再同期を実行してフェーズ・エラーを補償するセグメントです。SJW により短縮することができます。メッセージの送受信中，発振器の周波数ドリフトや伝送路の遅延により，一部ノード間の通信フレームの同期がずれる場合があります。これをフェーズ・エラーと呼びます。

- SJW（再同期ジャンプ幅）：

  フェーズ・エラーによる位相誤差を補償するために使用するタイム・セグメントの延長・短縮幅です。

上の図は代表的なサンプル・ポイントのみを示しています。

18.15.1.3　ボー・レートの設定

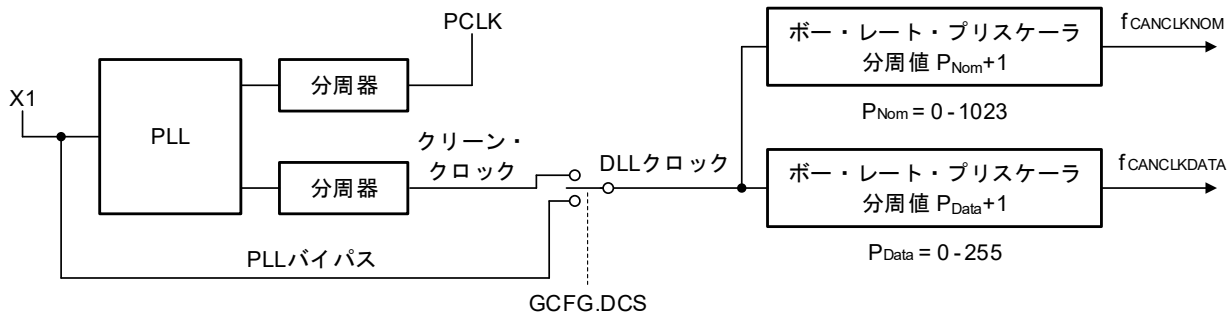
CAN 通信クロック源を周辺機能クロック（f_{CLK}）または X1 クロック（f_X）から選択します。

通信速度は，DLL クロック，ボー・レート・プリスケーラ，および Tq 数により決まります。

$$\text{ボー・レート} = \frac{\text{DLL クロック}}{(\text{1 ビット当たりの Tq 数}) \times (\text{BRP+1})}$$

CAN チャネル通信クロック生成回路のブロック図を図 18－51 に，ボー・レートの設定例を表 18－26，表 18－27 に示します。

図 18－51　CAN チャネル通信クロック生成回路のブロック図



X1：X1 クロック発振

クリーン・クロック：クロック・ジッタの少ないクロック

DLL クロック：Data Link Layer Clock。DLL クロック ≦ PCLK

PCLK：CAN モジュール・システム・クロック

P_{Nom}：C0NCFG.NBRP で設定するノミナル・ビット・プリスケーラ分周

P_{Data}：C0DCFG.DBRP で設定するデータ・ビット・プリスケーラ分周

$f_{CANCLKNOM}$：ノミナル・ビット・クロック。$f_{CANCLKNOM}$ = DLL クロック / (P_{Nom} + 1)

$f_{CANCLKDATA}$：データ・ビット・クロック。$f_{CANCLKDATA}$ = DLL クロック / (P_{Data} + 1)

表 18－26　ノミナル・ビットのボー・レート設定例

ボー・レート	DLL クロック （C0NCFG.NBRP + 1）×（1 ビットあたりの Tq 数）							
	40 MHz	32 MHz	30 MHz	24 MHz	20 MHz	16 MHz	10 MHz	8 MHz
1 Mbps	8 Tq (5) 20 Tq (2)	8 Tq (4) 16 Tq (2)	10 Tq (3) 15 Tq (2)	8 Tq (3) 12 Tq (2) 24 Tq (1)	10 Tq (2) 20 Tq (1)	8 Tq (2) 16 Tq (1)	10 Tq (1)	8 Tq (1)
500 Kbps	8 Tq (10) 20 Tq (4)	8 Tq (8) 16 Tq (4)	10 Tq (6) 15 Tq (4) 20 Tq (3)	8 Tq (6) 12 Tq (4) 24 Tq (2)	10 Tq (4) 20 Tq (2)	8 Tq (4) 16 Tq (2)	10 Tq (2) 20 Tq (1)	8 Tq (2) 16 Tq (1)
250 Kbps	8 Tq (20) 20 Tq (8)	8 Tq (16) 16 Tq (8)	10 Tq (12) 15 Tq (8) 20 Tq (6)	8 Tq (12) 12 Tq (8) 24 Tq (4)	10 Tq (8) 20 Tq (4)	8 Tq (8) 16 Tq (4)	10 Tq (4) 20 Tq (2)	8 Tq (4) 16 Tq (2)
125 Kbps	8 Tq (40) 20 Tq (16)	8 Tq (32) 16 Tq (16)	10 Tq (24) 15 Tq (16) 20 Tq (12)	8 Tq (24) 12 Tq (16) 24 Tq (8)	10 Tq (16) 20 Tq (8)	8 Tq (16) 16 Tq (8)	10 Tq (8) 20 Tq (4)	8 Tq (8) 16 Tq (4)
83.3 Kbps	8 Tq (60) 12 Tq (40) 16 Tq (30) 24 Tq (20)	8 Tq (48) 12 Tq (32) 16 Tq (24) 24 Tq (16)	8 Tq (45) 10 Tq (36) 12 Tq (30) 15 Tq (24) 20 Tq (18) 24 Tq (15)	8 Tq (36) 12 Tq (24) 16 Tq (18) 24 Tq (12)	8 Tq (30) 10 Tq (24) 12 Tq (20) 15 Tq (16) 16 Tq (15) 20 Tq (12) 24 Tq (10)	8 Tq (24) 12 Tq (16) 16 Tq (12) 24 Tq (8)	8 Tq (15) 10 Tq (12) 12 Tq (10) 15 Tq (8) 20 Tq (6) 24 Tq (5)	8 Tq (12)
33.3 Kbps	8 Tq (150) 12 Tq (100) 16 Tq (75) 20 Tq (60) 24 Tq (50)	8 Tq (120) 10 Tq (96) 12 Tq (80) 15 Tq (64) 16 Tq (60) 20 Tq (48) 24 Tq (40)	10 Tq (90) 12 Tq (75) 15 Tq (60) 20 Tq (45)	8 Tq (90) 10 Tq (72) 12 Tq (60) 15 Tq (48) 16 Tq (45) 20 Tq (36) 24 Tq (30)	8 Tq (75) 10 Tq (60) 12 Tq (50) 15 Tq (40) 20 Tq (30) 24 Tq (25)	8 Tq (60) 10 Tq (48) 12 Tq (40) 15 Tq (32) 16 Tq (30) 20 Tq (24) 24 Tq (20)	10 Tq (30) 12 Tq (25) 15 Tq (20) 20 Tq (15)	8 Tq (30)

表 18－27　ノミナルおよびデータ・ビットのボー・レート設定例

ボー・レート	DLL クロック （C0DCFG.DBRP + 1）×（1 ビットあたりの Tq 数）	
	40 MHz	20 MHz
ノミナル：1 Mbps データ：5 Mbps	40 Tq (1)	20 Tq (1)
	8 Tq (1)	設定不可
ノミナル：500 Kbps データ：2 Mbps	80 Tq (1)	40 Tq (1)
	20 Tq (1)	10 Tq (1)

注意　表 18－26，表 18－27 で示す（）内の値は，ボー・レート・プリスケーラ分周値です。ノミナル・ビットの場合，C0NCFG.NBRP の設定値 ＋1 の値，データ・ビットの場合，C0DCFG.DBRP の設定値 ＋1 の値を示しています。

CAN-FD フレームを使用する場合，ノミナル・ビットとデータ・ビットの Tq は同じ長さ（C0NCFG.NBRP の設定値 = C0DCFG.DBRP の設定値）にしてください。

また，トランシーバ遅延補償を使用する場合，C0DCFG.DBRP には必ず 00H（1）を設定してください。

18.15.1.4　CAN クロック，ビット・タイミング，およびボー・レートの設定手順

図 18－52 に，CAN チャネルのクロックとボー・レートを設定する手順を示します。

この設定は，CAN チャネルがチャネル・リセット・モードのときに行ってください。

ボー・レートの設定は，チャネル通信状態に遷移する前に行ってください。ボー・レートが設定されていない場合，モードの切り替えを正しく行うことができません。

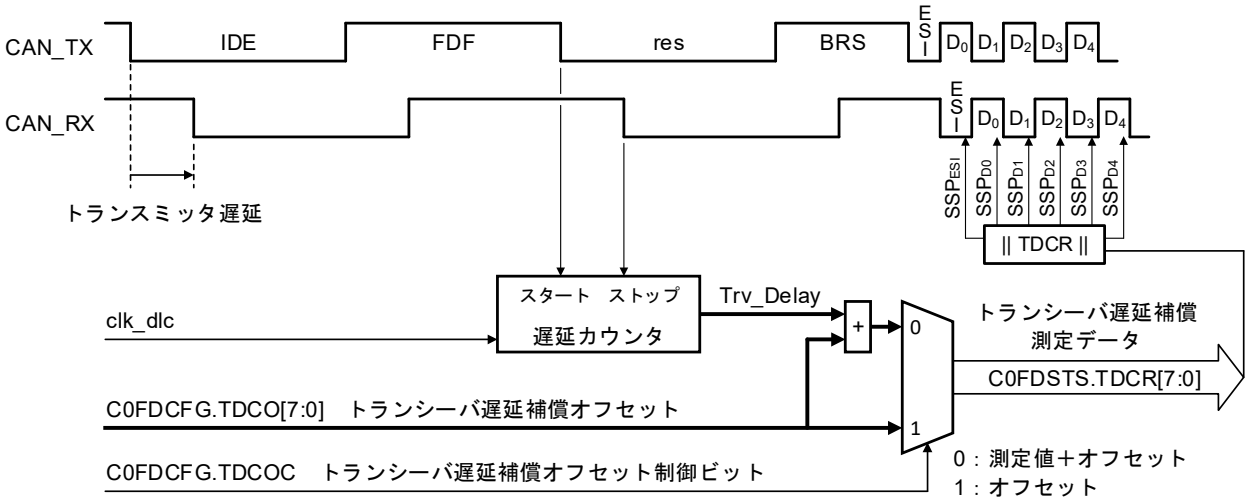
図 18－52　CAN クロック，ビット・タイミング，ボー・レート設定手順

18.15.1.5　トランスミッタ遅延補償

データ・フェーズに 5 Mbps のような高いボー・レートを使用した場合，トランスミッタ遅延が TSEG1 より大きくなることが考えられます。その場合，トランスミッタは CAN-FD フレームのデータ・フェーズでビット・エラーを常に検出することになります。TDC（Transmitter Delay Compensation）は，トランスミッタ自身が送信したビットを，そのビットのサンプル・ポイントで受信できない場合に使用します。

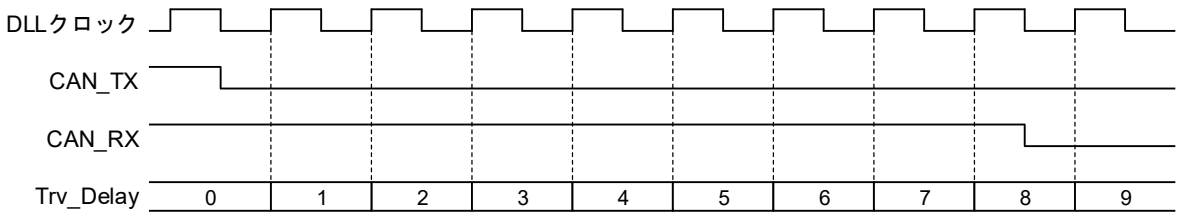
また，CAN-FD フレームのデータ・フェーズで使用する SSP（Secondary Sample Point）は，C0FDSTS.TDCR（トランシーバ遅延補償測定データ）を使用します。
測定値およびオフセット値は CAN チャネルの DLL クロックを使用します。

図 18－53　トランスミッタ遅延補償



測定した遅延時間（Trv_Delay）は，CAN_RX がドミナントになるまで遅延カウンタをインクリメントします。DLL クロックで最大 127 までカウントします。

図 18－54　Trv_Delay 測定例



測定した遅延カウント値を Tq の最も近い整数に切り捨て，C0FDSTS.TDCR に格納します。

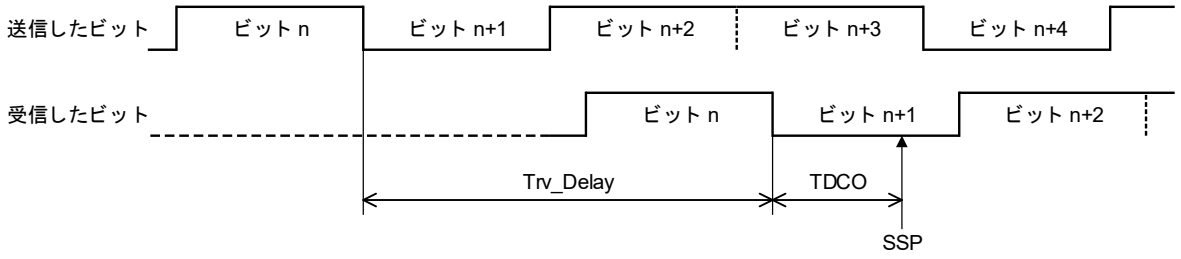
図 18－55 に，SSP によるサンプル・ポイントを説明します。

C0FDCFG.TDCOC が 0 の場合，SSP は，Trv_Delay（測定した遅延時間）+ C0FDCFG.TDCO の値（Tq の最も近い整数に切り捨て）になります。

C0FDCFG.TDCO の値は，SSP を理論上のサンプル・ポイントとすることより，「SyncSegment data + TSEG1 data」の大きさになります。

C0FDCFG.TDCOC が 1 の場合，C0FDCFG.TDCO の値で SSP は決まります。

図 18－55　SSP（Secondary Sample Point）の位置



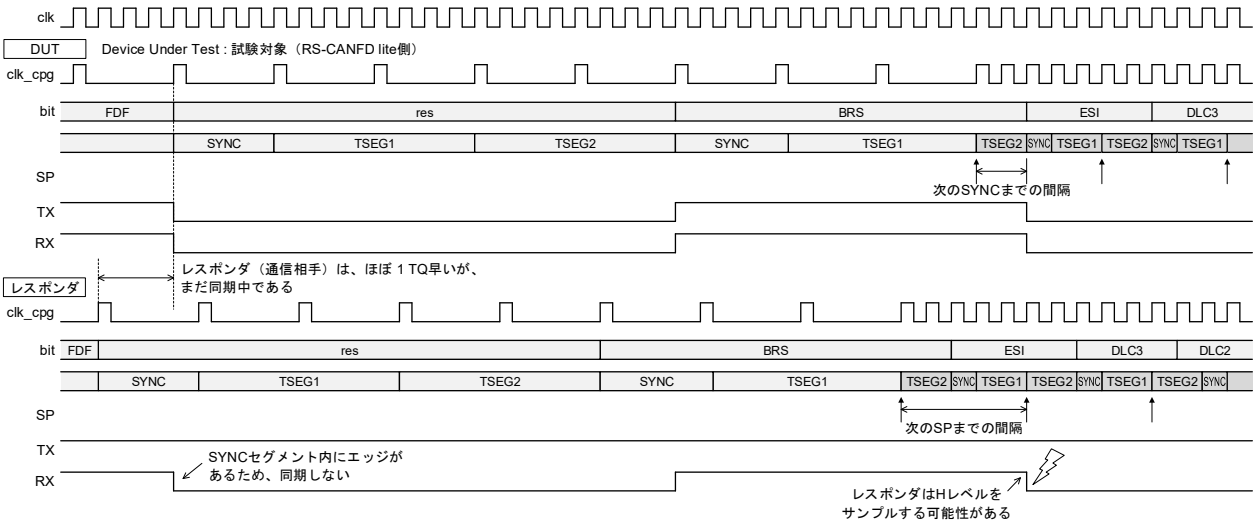
RS-CANFD lite モジュールで遅延補償可能な最大時間は，Trv_Delay + C0FDCFG.TDCO = “6 データ・ビット - 2・DLL クロック” になります。

ISO11898-1 では，データ・ビットの BRP とノミナル・ビットの BRP に異なる値を設定することが許容されています。しかし，データ・ビットとノミナル・ビットの BRP を異なる値で使用すると，BRS のサンプル・ポイントの後ろで，ボー・レートが切り替わったタイミングで，同期ずれが発生する可能性が考えられます（図 18－56 参照）。

同期ずれを回避するためには，ノミナル・ビットとデータ・ビットの BRP を同じにする必要があります（C0NCFG.NBRP = C0DCFG.DBRP）。

なお，タイム・セグメントの設定により，ノミナル・ビットとデータ・ビットは異なるボー・レートを設定することができます（ノミナル・ビット：8～385 Tq，データ・ビット：5～49 Tq から設定可能）。

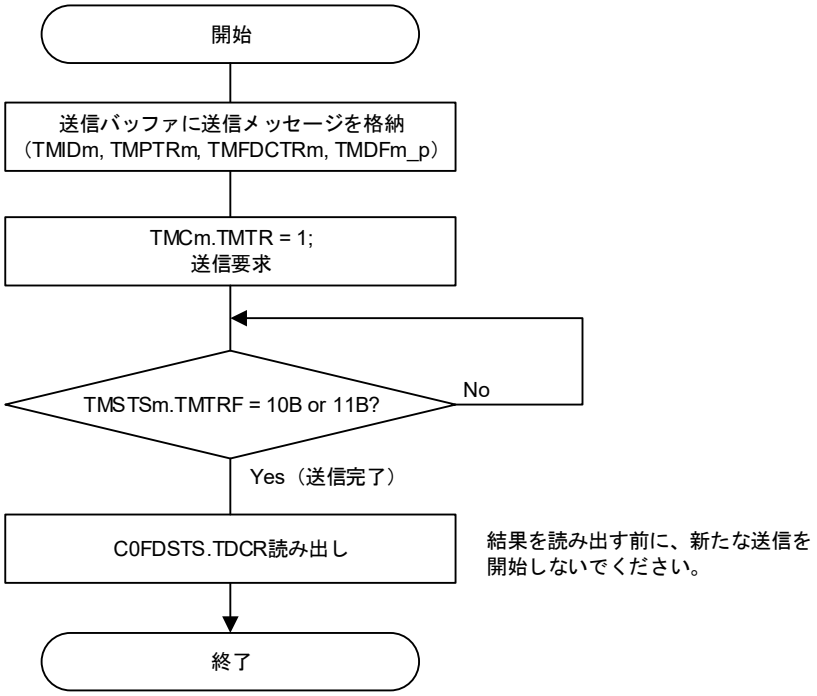
図 18－56　2 つの CAN ノード間の同期ずれ



C0FDCFG.TDCE が 1（トランシーバ遅延補償許可）で C0FDCFG.TDCOC が 0（測定値＋オフセット値）の場合，トランスミッタ遅延補償の測定結果は，FDF から res への立ち下がりエッジで更新します。

図 18－57 は，トランスミッタ遅延補償測定結果を取得するための読み出しフローを示しています。

図 18－57　TDC 結果読み出しフロー



18.15.2　リセット後の CAN モジュール初期設定

CAN リセット（PER2.CAN0EN ビットを 0 から 1 に設定した状態）または GRSTC.SRST に 1（ソフトウェア・リセット）を書いた後で 0 にすると，グローバル・スリープ・モードに遷移します。

CAN モジュールを初期化するには，GCTR.GSLPR に 0 を設定し，グローバル・スリープ・モードを解除する必要があります。

CAN リセット後，CAN RAM の初期化を開始します。RAM の初期化が完了すると GSTS.GRAMINIT が 0 になります。

GSTS.GRAMINIT が 0 になるまで，他の CAN 関連レジスタをアクセスしないでください。

通信を開始する前に，AFL（受信ルール）や FIFO バッファを初期化します。この初期化は，チャネル・リセット・モードで行ってください。

図 18－58 にリセット後の設定手順を示します。各処理の詳細については，「18.7　CAN 受信ルール（AFL）」，「18.8　FIFO バッファとメッセージ・バッファの設定」，「18.12　割り込み」，および「18.15.1.3　ボー・レートの設定」を参照してください。

GRSTC.SRST ビットの 1/0 書き込みによるソフトウェア・リセット時は，CAN RAM 初期化シーケンスを実行しません。SRST ビットによるソフトウェア・リセットを行う場合は注意してください。

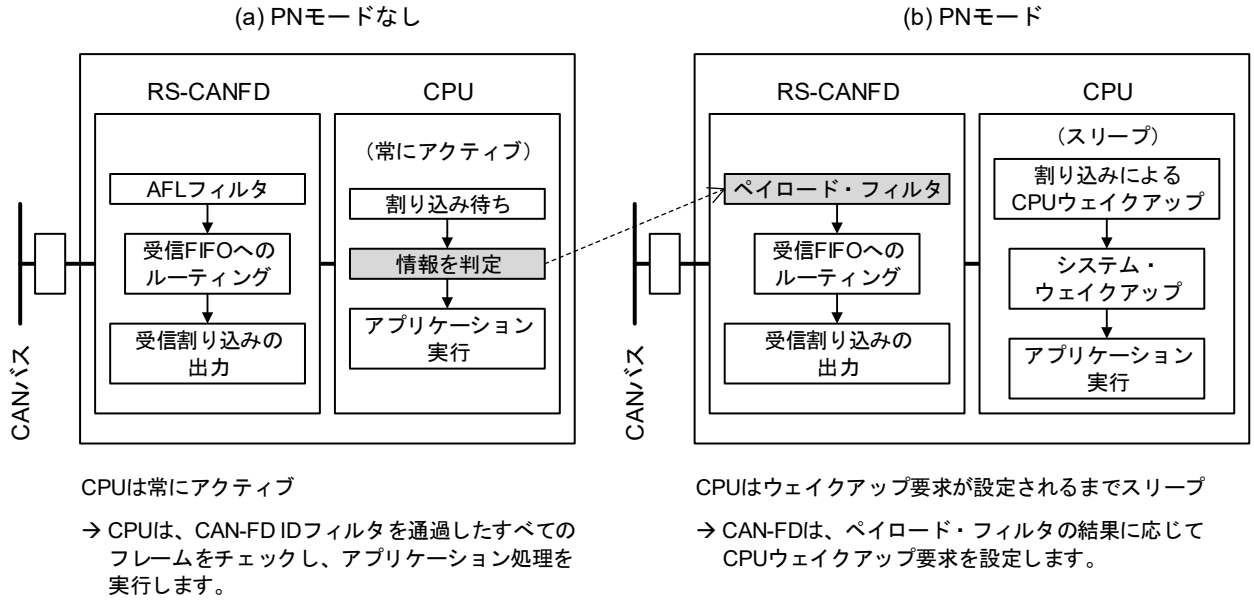
図 18－58　リセット後の初期化手順

18.16　PNF 受信ルール

PNF（プリテンディッド・ネットワーク・フィルタ）は，スタンバイ時の低消費電力の実現に向けた機能です。

PN モードは，ID フィルタに追加し，ペイロード・フィルタを用意しています。ID およびペイロード・フィルタを通過したときのみ，CPU をスタンバイ状態から復帰させることができます。

図 18－59　PN モードでの処理の概要



CPUは常にアクティブ

→ CPUは、CAN-FD IDフィルタを通過したすべてのフレームをチェックし、アプリケーション処理を実行します。

CPUはウェイクアップ要求が設定されるまでスリープ

→ CAN-FDは、ペイロード・フィルタの結果に応じてCPUウェイクアップ要求を設定します。

18.16.1　各モードの説明

PNF は，受信フレームの ID とペイロードを設定したフィルタで比較します。AFL と独立して動作します。

PNF と AFL の組み合わせは計 4 種類あり，C0FDCTR.PNMDC で選択します。

現在のフィルタ・モードは，C0FDSTS.PNSTS で確認することができます。

表 18－28　PN モードと通常モードの比較

フィルタ・モード ＼ フィルタ	PN モード	ノーマル・モード		
	PNF 受信（PNF 受信ルール）	通常受信（受信ルール）と PNF 受信（ID のみ）モード	通常受信（PNF 受信しない）モード	通常受信と PNF 受信（PNF 受信ルール）モード
AFL フィルタ	OFF	ON	ON	ON
PN ID フィルタ	ON	ON	OFF	ON
PN ペイロード・フィルタ	ON	OFF	OFF	ON
C0FDCTR.PNMDC[1:0]	11B	01B	00B	10B
C0FDSTS.PNSTS[1:0]				

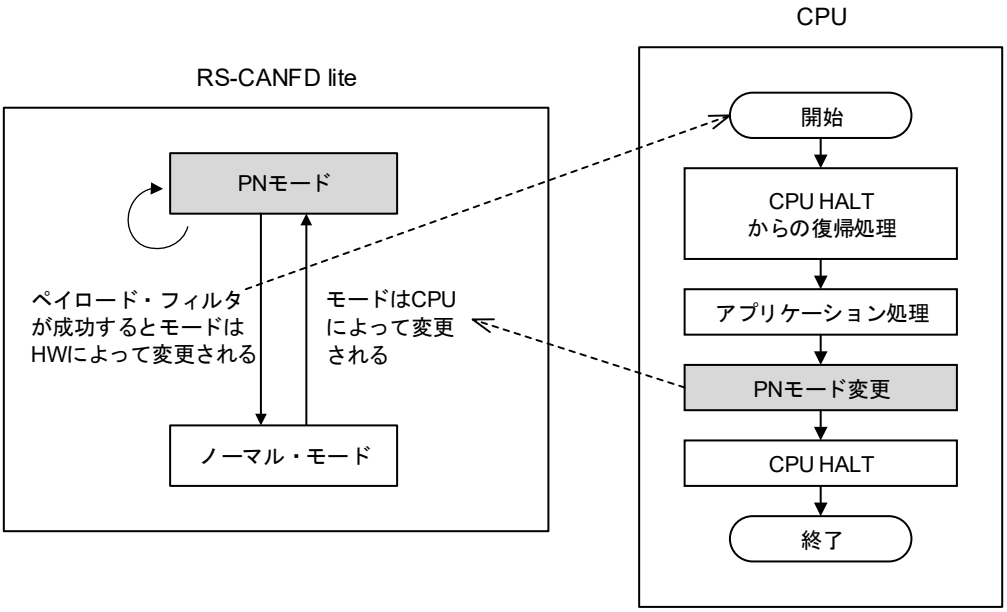
18.16.1.1　PN モード

PN モードは，受信メッセージの ID とペイロードを PN フィルタで比較します。PN モードでは，AFL は処理しません。

ID とペイロードが PN フィルタを通過すると，C0FDCFG.RPNMD で選択されたモードに遷移します。

CPU によるモード遷移要求と CAN チャネルによるモード遷移が同時に発生した場合，CAN チャネルのモード遷移が優先されます。

図 18－60　PN モードでの処理フロー



18.16.1.2　通常受信（受信ルール）と PNF 受信（ID のみ）モード

このモードでは，受信フレームの ID を AFL と PNF のフィルタを使用して判定します。ペイロードの比較は行いません。

受信 ID が，AFL と PNF の両方と一致する場合，PNF のルーティングのみ行います。AFL の処理は実行しません。

表 18－29　フィルタ処理（一致／不一致）
（通常受信（CAN 受信ルール）と PNF 受信（ID のみ）モード）

CAN 受信ルール（AFL）	PNF 受信ルール		ルーティング
ID フィルタ	ID フィルタ	ペイロード・フィルタ	
不一致	不一致	実行しない	受信メッセージは破棄される
実行しない	一致		PNF 受信ルール情報を使用
一致	不一致		CAN 受信ルール（AFL）情報を使用

18.16.1.3　通常受信モード

このモードでは，受信フレームの ID を AFL のフィルタを使用して判定します。PNF の処理は行いません。

表 18－30　フィルタ処理（一致／不一致）
（通常受信モード）

CAN 受信ルール（AFL）	PNF 受信ルール		ルーティング
ID フィルタ	ID フィルタ	ペイロード・フィルタ	
不一致	実行しない	実行しない	受信メッセージは破棄される
一致			CAN 受信ルール（AFL）情報を使用

18.16.1.4　通常受信と PNF 受信（PNF 受信ルール）モード

このモードでは，受信フレームの ID を AFL と PNF のフィルタを使用して判定します。PNF は，ペイロードも比較します。

受信 ID が，AFL と PNF の両方と一致する場合，PNF の ID フィルタを通過します。次に，ペイロードの比較を行い，ペイロードが一致した場合，PNF のルーティングを行います。

フィルタと一致しない場合，受信したメッセージを破棄します。

表 18－31　フィルタ処理（一致／不一致）
（通常受信と PNF 受信（PNF 受信ルール）モード）

CAN 受信ルール（AFL）	PNF 受信ルール		ルーティング
ID フィルタ	ID フィルタ	ペイロード・フィルタ	
不一致	不一致	実行しない	受信メッセージは破棄される
実行しない	一致	不一致	受信メッセージは破棄される
実行しない	一致	一致	PNF 受信ルール情報を使用
一致	不一致	実行しない	CAN 受信ルール（AFL）情報を使用

18.16.2　フィルタリング機能の詳細

18.16.2.1　PN ID フィルタ

PN ID フィルタは，CAN 受信ルール（AFL）の ID フィルタと同じ動作です。

ただし，PNF は通信中のルール更新機能には対応していません。

表 18－32 は，ループバック機能選択による PNF のフィルタ動作を示しています。

表 18－32　ループバック機能選択による PNF のフィルタ動作

ミラー機能許可ビット（GCFG.MME）	テスト・モード選択ビット（C0CTR.CTMS）	チャネル・モード	PNF 受信ルール 対称メッセージ選択ビット（GPFLIDj.GPFLLB）	PNF
0（ミラー機能禁止）	≠10B, 11B	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	＝10B, 11B（ループバック・モード）	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1（ミラー機能許可）	≠10B, 11B	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	＝10B, 11B（ループバック・モード）	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

18.16.2.2　PN ペイロード・フィルタ

PN モードのペイロード・フィルタは 2 つあり，1 フィルタに対して，32 ビット・データを 2 つ持っています。

ペイロードの比較は，GPFLPTj.GPFLOFFSET0 または GPFLOFFSET1 で指定された範囲で比較します（オフセット位置は 4 バイト境界です）。

受信フレームの DLC が 4 バイト未満の場合，受信フレームは破棄します。リモート・フレームの場合も破棄します。また，オフセットで指定された範囲が受信メッセージのペイロードを超えている場合も，受信フレームは破棄します。

ペイロード・フィルタは 2 つの比較方法があります。

一致フィルタは，ビットごとにペイロードと比較します。

上限および下限フィルタは，ペイロードの値が上限および下限の範囲内にあることを確認します。

または，上限と下限のフィルタは，ペイロードの値が上限と下限の範囲外であることを確認します。

フィルタ 0 とフィルタ 1 は，異なる比較方法を選択できます。

- フィルタ 0 とフィルタ 1 の両方の一致による通過判定
- フィルタ 0 またはフィルタ 1 のいずれかの一致による通過判定

フィルタは，これら 2 つのケースから選択できます。

上限フィルタと下限フィルタの範囲内の条件を以下に示します。

下限 ≦ ペイロード値 ≦ 上限

上限フィルタと下限フィルタの範囲外の条件を以下に示します。

ペイロード値 ＜ 下限 または 上限 ＜ ペイロード値

18.16.2.3　PNF ルールの登録

PNF は，AFL と異なる専用レジスタ（CAN RAM）に PNF ルールを登録します。

ルール数は 2 つです。

1 ルールにつき，9 レジスタを使用します。

図 18－61　各チャネルの PNF の構成

1エントリ = 9ロング・ワード = 36（24H）バイト

1	GPFLIDj		ID	IDフィルタ用（AFLと同じ）
2	GPFLMj		マスク	
3	GPFLP0j		ポインタ0	
4		GPFLP1j	ポインタ1	
5	GPFLPTj		フィルタ設定	ペイロード・フィルタ用
6	GPFLPD0j		データ0	
7	GPFLPM0j		マスク0	
8	GPFLPD1j		データ1	
9	GPFLPM1j		マスク1	

PNフィルタ用RAM

エントリ 0
エントリ 1

[j = 0, 1] ：グローバル PNF レジスタ番号

18.16.2.4　ペイロード・フィルタの設定

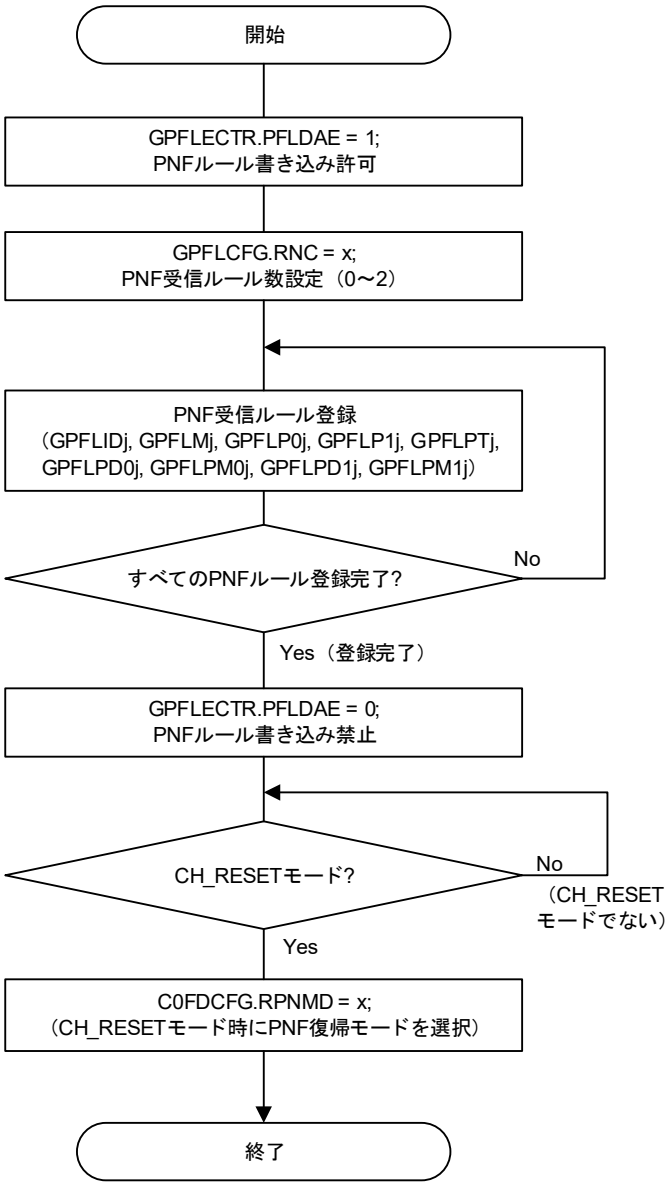
図 18－62 に PNF 設定手順を示します。

PNF 受信ルールを登録した後で，GPFLECTR.PFLDAE を 0（PNF 受信ルール・アクセス禁止）にすることで，不正な書き込みから保護することができます。

PFLDAE ビットは，すべてのグローバル・モード（GL_RESET，GL_HALT および GL_OPERATION）で有効です。

PFLDAE が 0 の場合でも，PNF 受信ルールのレジスタを読み出すことはできます。

図 18－62　PNF 設定フロー



次に，PN モードで動作する操作フローを以下に示します。

PN モードからの割り込みは，受信割り込みまたはグローバル・エラー割り込みになります。

受信フレームが PNF の ID フィルタとペイロード・フィルタに一致すると，FIFO バッファに格納し，受信割り込みが発生します。

ID フィルタとペイロード・フィルタに一致しても，DLC チェックやペイロード・オーバフローを検出すると，受信フレームは FIFO バッファに格納しません。

これらのエラーを検出すると，グローバル・エラー割り込みが発生します。

割り込み要求発生により，CPU は，HALT モードから復帰します。

図 18－63　PNF 操作フロー

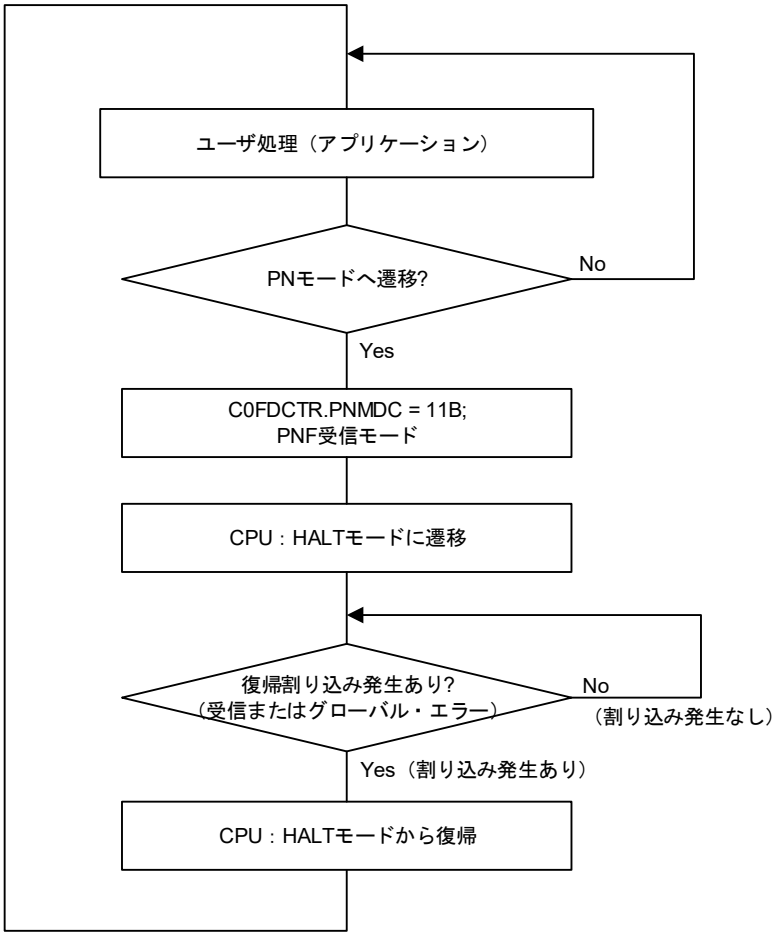
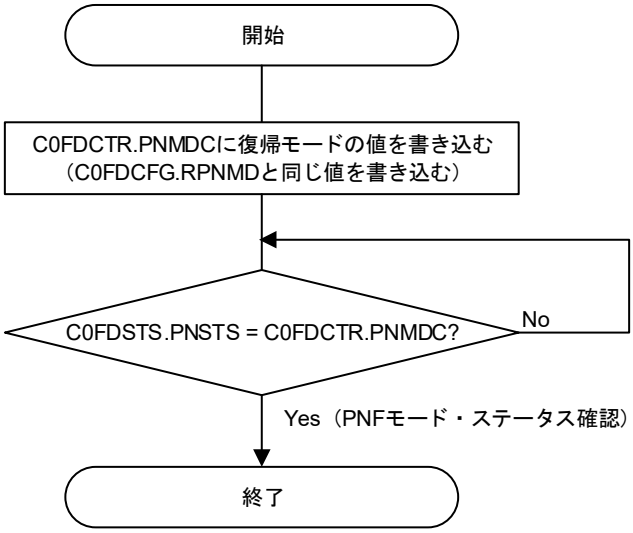


図 18－64 に，PN モードから復帰させる手順を示します。

C0FDCTR.PNMDC に C0FDCFG.RPNMD と同じ値を書き込むと，PNF モードを設定することができます。

PN モードから復帰しない場合，この手順で復帰させることができます。

図 18－64　PN モード復帰手順

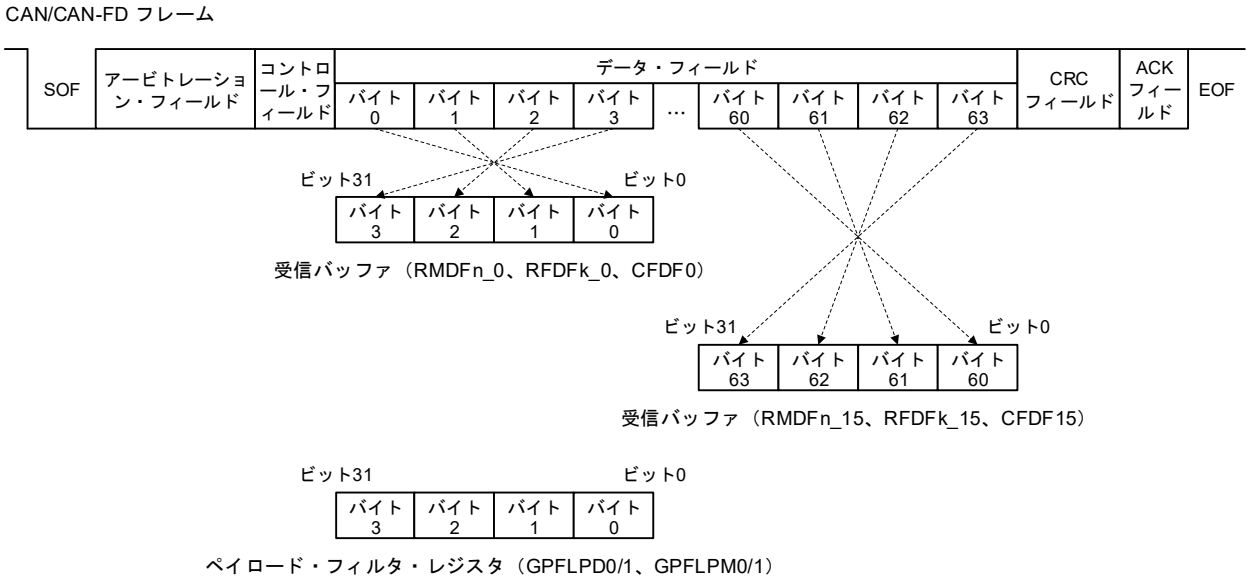


18.16.2.5　ペイロード・フィルタのバイト境界

上限フィルタと下限フィルタ（GPFLPD0/1，GPFLPM0/1）について説明します。

CAN 通信は，リトル・エンディアンで構成されています。RS-CANFD lite モジュールも同様にリトル・エンディアンの仕様です。したがって，32 ビット長のフィルタ・レジスタは，図 18－65 で示す動作となります。

図 18－65　CAN/CANFD フレーム・データとバイト・エンディアンに対するレジスタの関係



上限フィルタと下限フィルタは，この受信バッファのデータとペイロード・フィルタ・レジスタの内容を比較します。

18.17　CAN モジュールに関する注意事項

- 送受信 FIFO バッファ（送信モード）のリンク先に設定する送信バッファは，対応する TMCm を 00H（送信要求なし）から変更しないでください。また，TMSTSm レジスタの各ステータスは使用しないでください。対応する TMIEC.TMIEm についても 0（割り込み禁止）にしてください。

- CAN モジュールを使用する場合，以下のクロック条件で使用してください。
  - f_{MP} と f_{CLK} は同じクロック源にしてください。また，MDIV レジスタで $f_{MP}/2$ を選択し，$f_{CLK} = f_{MP}/2$ にしてください。
  - 高速オンチップ・オシレータは f_{MP} と f_{CLK} のクロック源として使用できますが，f_{CAN}（CAN 通信クロック）には使用しないでください。
  - GCFG.DCS に 1（CAN クロック源に X1 クロックを選択）を設定する場合，X1 クロックの周波数は，f_{CLK} 以下としてください。

★ - RS-CANFD lite の割り込み処理
  RS-CANFD lite の割り込みフラグ（RFSTSk レジスタの RFIF ビットなど）は，割り込み発生時に自動でクリアされないため，割り込み処理内で対応する割り込みフラグをすべてクリアする必要があります。詳細は「18.12.2　割り込み処理フロー」を参照ください。

第19章　DTC

DTC（データ・トランスファ・コントローラ）は，CPU を使わずにメモリとメモリの間でデータを転送する機能です。DTC は周辺機能割り込みによって起動し，データ転送します。DTC は CPU と同じデータバスを使用し，DTC のバス使用権は CPU よりも優先されます。

DTC のデータ転送を制御するコントロール・データ（転送元アドレス，転送先アドレス，動作モードなど）を DTC コントロール・データ領域上に配置します。DTC は起動するたびにコントロール・データを読み出し，データ転送します。DTC コントロール・データ領域は，DTCBAR レジスタで設定された RAM 空間に配置されます。

高速転送は専用のコントロール・データを持ち，RAM 領域ではなく SFR 領域に配置することによって実現します。

19.1　概要

表 19－1 に DTC の仕様を示します。

表 19－1　DTC の仕様（1/2）

項目		仕様
起動要因		RL78/F24：最大 44 要因，RL78/F23：最大 36 要因
配置可能なコントロール・データ		24 通り／高速転送は 2 通り
転送可能な アドレス空間	アドレス空間	64 K バイト空間（F0000H-FFFFFH）ただし，汎用レジスタを除く
	ソース 注2	SFR 領域，RAM 領域（汎用レジスタを除く），ミラー領域 注1，データ・フラッシュ・メモリ領域 注1，2nd SFR 領域
	デスティネーション	SFR 領域，RAM 領域（汎用レジスタを除く），2nd SFR 領域
最大転送回数	ノーマル・モード	256 回
	リピート・モード	255 回
最大転送 ブロックサイズ	ノーマル・モード （8 ビット転送）	256 バイト／高速転送は 1 バイト
	ノーマル・モード （16 ビット転送）	512 バイト／高速転送は 2 バイト
	リピート・モード	255 バイト／8 ビット転送時 1 バイト（高速転送）／16 ビット転送時 2 バイト（高速転送）
転送単位		8 ビット／16 ビット
転送モード	ノーマル・モード	DTCCTj レジスタ，HDTCCTm レジスタが 1 から 0 になる転送で終了する
	リピート・モード	DTCCTj レジスタ，HDTCCTm レジスタが 1 から 0 になる転送終了後，リピート・エリアのアドレスを初期化し，DTRLDj レジスタ，HDTRLDm レジスタの値が DTCCTj レジスタ，HDTCCTm レジスタへリロードされ，転送を継続する
アドレス制御	ノーマル・モード	固定または加算
	リピート・モード	リピート・エリアでないアドレスは固定または加算
起動要因優先度		「表 19－5　DTC 起動要因と DTC ベクタ・アドレス」を参照

（**注**，**備考**が次のページにあります。）

表 19－1　DTC の仕様（2/2）

項目		仕様
割り込み要求	ノーマル・モード	DTCCTj レジスタ，HDTCCTm レジスタが 1 から 0 になるデータ転送時に，CPU へ起動要因となった割り込み要求が発生し，データ転送終了後に割り込み処理を行う
	リピート・モード	DTCCRj レジスタの RPTINT ビット，HDTCCRm レジスタの HRPTINTm ビットが 1（割り込み発生許可）のとき，DTCCTj レジスタ，HDTCCTm レジスタが 1 から 0 になるデータ転送時に，CPU へ起動要因となった割り込み要求を発生し，データ転送終了後に割り込み処理を行う
転送開始		DTCENi レジスタの DTCENi0-DTCENi7 ビットを 1（起動許可）にすると，DTC 起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマル・モード	・DTCENi0-DTCENi7 ビットを 0（起動禁止）にする ・DTCCTj レジスタ，HDTCCTm レジスタが 1 から 0 になるデータ転送が終了したとき
	リピート・モード	・DTCENi0-DTCENi7 ビットを 0（起動禁止）にする ・RPTINT ビットが 1（割り込み発生許可）のとき，DTCCTj レジスタ，HDTCCTm レジスタが 1 から 0 になるデータ転送が終了したとき
スタンバイモード時の動作	HALT 状態	DTC 動作
	SNOOZE 状態	DTC 動作
	STOP 状態	DTC 停止

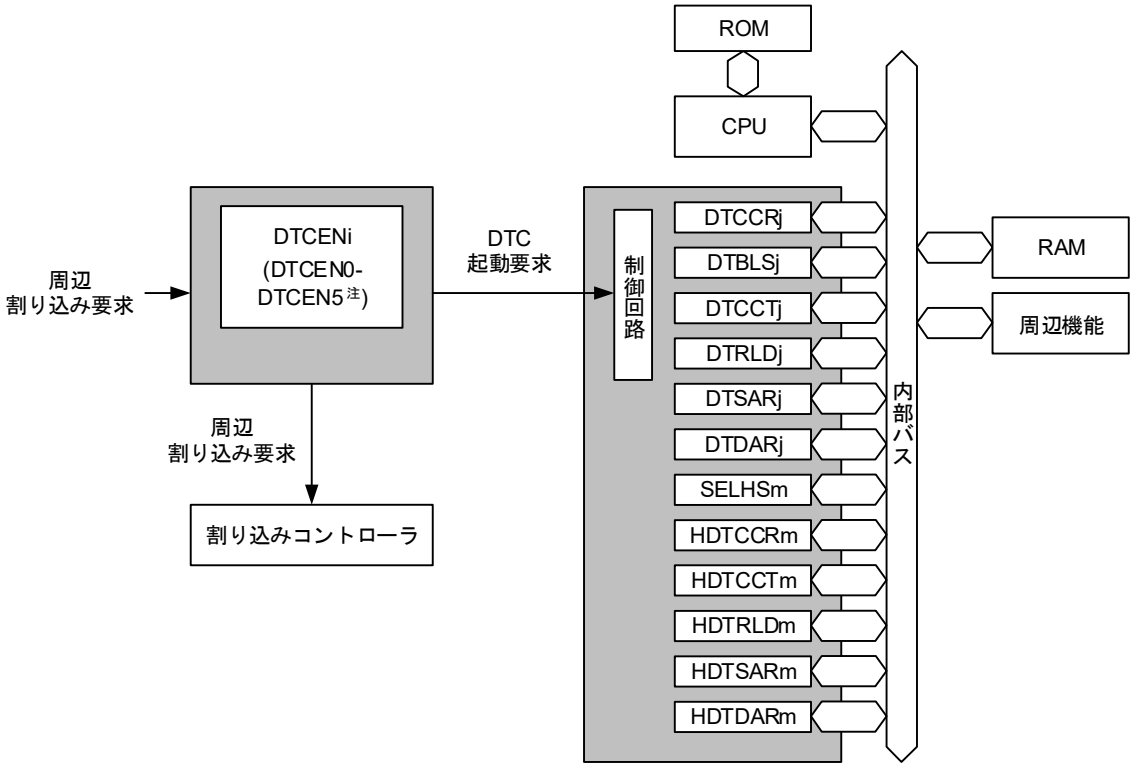
注 1. HALT，STOP および SNOOZE モードでは，フラッシュ・メモリが停止しているため，DTC 転送のソースにできません。

2. 高速転送は，SFR 領域と 2nd SFR 領域のみです。

備考　RL78/F23：i = 0-4，j = 0-23，m = 0, 1

RL78/F24：i = 0-5，j = 0-23，m = 0, 1

図 19－1　DTC のブロック図



DTCCRj　：DTC 制御レジスタ j
DTBLSj　：DTC ブロック・サイズ・レジスタ j
DTCCTj　：DTC 転送回数レジスタ j
DTRLDj　：DTC 転送回数リロード・レジスタ j
DTSARj　：DTC ソース・アドレス・レジスタ j
DTDARj　：DTC デスティネーション・アドレス・レジスタ j
DTCEN0-DTCEN5 注：　DTC 起動許可レジスタ 0-DTC 起動許可レジスタ 5 注
SELHSm　：高速 DTC チャネル選択レジスタ m
HDTCCRm：高速 DTC 制御レジスタ m
HDTCCTm：高速 DTC 転送回数レジスタ m
HDTRLDm：高速 DTC 転送回数リロード・レジスタ m
HDTSARm：高速 DTC ソース・アドレス・レジスタ m
HDTDARm：高速 DTC デスティネーション・アドレス・レジスタ m

注　RL78/F23 は，DTCEN5 レジスタを搭載していません。

備考　RL78/F23：i = 0-4，j = 0-23，m = 0, 1
RL78/F24：i = 0-5，j = 0-23，m = 0, 1

19.2 レジスタの説明

表 19－2，表 19－4 に DTC のレジスタ構成を示します。

表 19－2 DTC のレジスタ構成（1）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F02C0H	周辺イネーブル・レジスタ 1	PER1	00H	1, 8
F02E0H	DTC ベース・アドレス・レジスタ	DTCBAR	FDH	8
F02E8H	DTC 起動許可レジスタ 0	DTCEN0	00H	1, 8
F02E9H	DTC 起動許可レジスタ 1	DTCEN1	00H	1, 8
F02EAH	DTC 起動許可レジスタ 2	DTCEN2	00H	1, 8
F02EBH	DTC 起動許可レジスタ 3	DTCEN3	00H	1, 8
F02ECH	DTC 起動許可レジスタ 4	DTCEN4	00H	1, 8
F02EDH	DTC 起動許可レジスタ 5 注	DTCEN5	00H	1, 8

注 RL78/F24 のみ

表 19－3 に DTC のコントロール・データを示します。

DTC のコントロール・データは RAM の DTC コントロール・データ領域に配置されます。

DTCBAR レジスタで DTC コントロール・データ領域と，コントロール・データの先頭番地を格納する DTC ベクタ・テーブル領域を含めた 256 バイトの領域を設定します。

表 19－3 DTC のコントロール・データ

レジスタ名	シンボル
DTC 制御レジスタ j	DTCCRj
DTC ブロック・サイズ・レジスタ j	DTBLSj
DTC 転送回数レジスタ j	DTCCTj
DTC 転送回数リロード・レジスタ j	DTRLDj
DTC ソース・アドレス・レジスタ j	DTSARj
DTC デスティネーション・アドレス・レジスタ j	DTDARj

備考 j = 0-23

表 19－4　DTC のレジスタ構成（2）

アドレス	レジスタ名	シンボル	リセット後	アクセス・サイズ
F02D0H	高速 DTC 制御レジスタ 0	HDTCCR0	00H	1, 8
F02D2H	高速 DTC 転送回数レジスタ 0	HDTCCT0	00H	1, 8
F02D3H	高速 DTC 転送回数リロード・レジスタ 0	HDTRLD0	00H	1, 8
F02D4H	高速 DTC ソース・アドレス・レジスタ 0	HDTSAR0	0000H	16
F02D6H	高速 DTC デスティネーション・アドレス・レジスタ 0	HDTDAR0	0000H	16
F02D8H	高速 DTC 制御レジスタ 1	HDTCCR1	00H	1, 8
F02DAH	高速 DTC 転送回数レジスタ 1	HDTCCT1	00H	1, 8
F02DBH	高速 DTC 転送回数リロード・レジスタ 1	HDTRLD1	00H	1, 8
F02DCH	高速 DTC ソース・アドレス・レジスタ 1	HDTSAR1	0000H	16
F02DEH	高速 DTC デスティネーション・アドレス・レジスタ 1	HDTDAR1	0000H	16
F02E1H	高速 DTC チャネル選択レジスタ 0	SELHS0	3FH	1, 8
F02E2H	高速 DTC チャネル選択レジスタ 1	SELHS1	3FH	1, 8

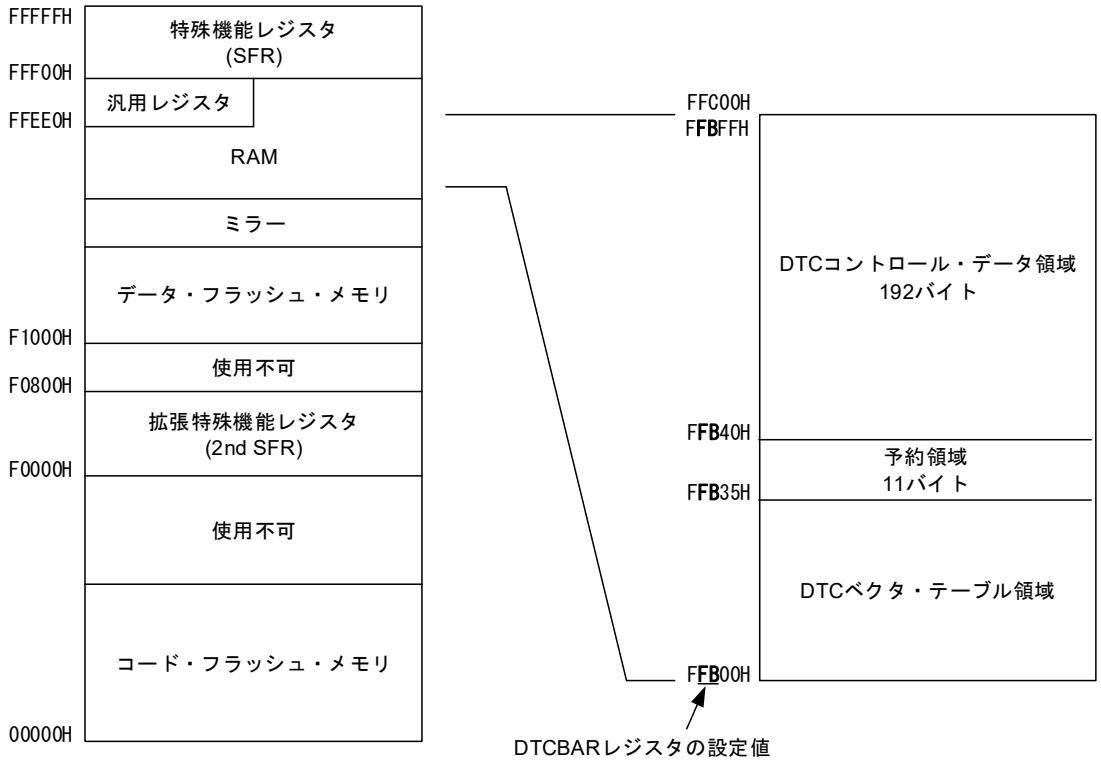
19.2.1 DTC コントロール・データ領域と DTC ベクタ・テーブル領域の配置

DTCBAR レジスタで，DTC のコントロール・データとベクタ・テーブルを配置する 256 バイトの領域を RAM 領域内に設定します。

図 19－2 に，DTCBAR レジスタに FBH を設定したときのメモリマップ例を示します。

DTC コントロール・データ領域 192 バイトのうち，DTC で使用しない空間は RAM として使用できます。

図 19－2 DTCBAR レジスタに FBH を設定したときのメモリ・マップ例



DTC コントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

注意 1. 汎用レジスタ（FFEE0H-FFEFFH）の空間は，DTC コントロール・データ領域および DTC ベクタ・テーブル領域としての使用を禁止します。

2. DTC ベクタ・テーブル領域と DTC コントロール・データ領域の間の 11 バイトは，DTC 起動要因数を拡張した場合に使用する予約領域です。

3. 次に示す製品の内部 RAM 領域は，オンチップ・デバッグのトレース機能使用時に，DTC コントロール・データ領域および DTC ベクタ・テーブル領域として使用できません。

RL78/F23：FD300H-FD4FFH

RL78/F24：FA300H-FA4FFH

4. 次に示す製品の内部 RAM 領域は，ホット・プラグイン機能または RRM/DMM 機能のための DTC 使用時に，スタック・メモリ領域として使用できません。

RL78/F23：FD500H-FD52FH

RL78/F24：FA500H-FA52FH

19.2.2　DTC コントロール・データの配置

コントロール・データは先頭アドレスから，DTCCRj，DTBLSj，DTCCTj，DTRLDj，DTSARj，DTDARj レジスタの順に配置します。

先頭アドレス 0-23 の上位 8 ビットは DTCBAR レジスタで設定し，下位 8 ビットは起動要因ごとに割り当てられているベクタ・テーブルでそれぞれ設定します。

図 19－3 に DTCBAR レジスタに FBH を設定したときの DTC コントロール・データ配置例を示します。

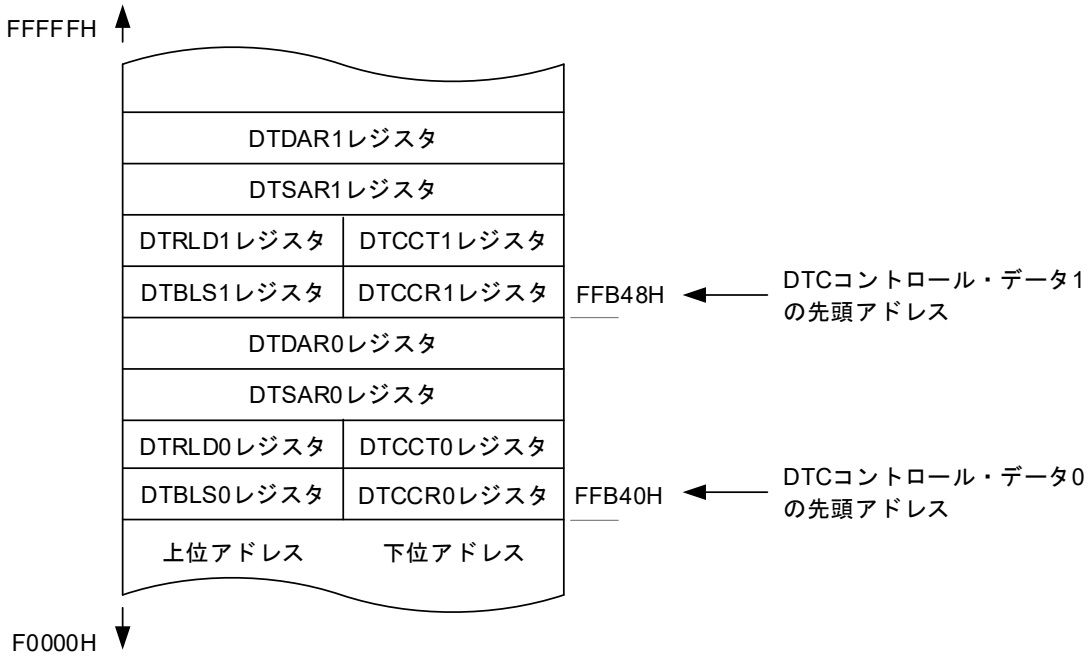
注意 1. DTCCRj，DTBLSj，DTCCTj，DTRLDj，DTSARj，DTDARj レジスタのデータは，対応する DTCENi の DTCENi0-DTCENi7 ビットが 0（DTC 起動禁止）のときに変更してください。

2. DTC 転送で DTCCRj，DTBLSj，DTCCTj，DTRLDj，DTSARj，DTDARj をアクセスしないでください。

備考　RL78/F23：i = 0-4，j = 0-23

RL78/F24：i = 0-5，j = 0-23

図 19－3　DTC コントロール・データの配置例



19.2.3　DTC ベクタ・テーブル

DTC が起動すると，起動要因ごとに割り当てられているベクタ・テーブルから読み出したデータによりコントロール・データを決定し，DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。

表 19－5 に DTC 起動要因と DTC ベクタ・アドレスを示します。起動要因ごとに DTC ベクタ・テーブルが 1 バイトあり，DTC コントロール・データの先頭アドレス下位 8 ビットを格納し，24 組から 1 つを選択します。DTC ベクタ・アドレスの上位 8 ビットは DTCBAR レジスタで設定し，下位 8 ビットは DTC 起動要因に対応して 00H から 34H までが割り当てられます。

注意　ベクタ・テーブルに設定する DTC コントロール・データ領域の先頭番地は，対応する DTCENi レジスタの DTCENi0-DTCENi7 ビットが 0（DTC 起動禁止）のときに変更してください。

備考　RL78/F23：i = 0-4
RL78/F24：i = 0-5

表 19－5　DTC 起動要因と DTC ベクタ・アドレス（1/2）

割り込み要因発生元	要因番号	DTC ベクタ・アドレス	優先順位
予約	0	DTCBAR レジスタの設定アドレス+00H	高
INTP0	1	DTCBAR レジスタの設定アドレス+01H	↑
INTP1	2	DTCBAR レジスタの設定アドレス+02H	
INTP2	3	DTCBAR レジスタの設定アドレス+03H	
INTP3	4	DTCBAR レジスタの設定アドレス+04H	
INTP4	5	DTCBAR レジスタの設定アドレス+05H	
INTP5	6	DTCBAR レジスタの設定アドレス+06H	
INTP6 注1	7	DTCBAR レジスタの設定アドレス+07H	
キー入力	8	DTCBAR レジスタの設定アドレス+08H	
A/D 変換終了	9	DTCBAR レジスタの設定アドレス+09H	
UART0 受信の転送完了/CSI01 の転送完了，または バッファ空き/IIC01 の転送完了	10	DTCBAR レジスタの設定アドレス+0AH	
UART0 送信の転送完了/CSI00 の転送完了，または バッファ空き/IIC00 の転送完了	11	DTCBAR レジスタの設定アドレス+0BH	
UART1 受信の転送完了/CSI11 の転送完了，または バッファ空き/IIC11 の転送完了 注2	12	DTCBAR レジスタの設定アドレス+0CH	
UART1 送信の転送完了/CSI10 の転送完了，または バッファ空き/IIC10 の転送完了	13	DTCBAR レジスタの設定アドレス+0DH	
LIN0 の受信完了	14	DTCBAR レジスタの設定アドレス+0EH	
LIN0 の送信開始または送信完了	15	DTCBAR レジスタの設定アドレス+0FH	
CAN の受信完了 注3	16	DTCBAR レジスタの設定アドレス+10H	
予約	17	DTCBAR レジスタの設定アドレス+11H	
タイマ・アレイ・ユニット 0 のチャネル 0 のカウント完了 またはキャプチャ完了	18	DTCBAR レジスタの設定アドレス+12H	
タイマ・アレイ・ユニット 0 のチャネル 1 のカウント完了 またはキャプチャ完了	19	DTCBAR レジスタの設定アドレス+13H	
タイマ・アレイ・ユニット 0 のチャネル 2 のカウント完了 またはキャプチャ完了	20	DTCBAR レジスタの設定アドレス+14H	

注 1. 32 ピンの製品は無し

2. RL78/F23 の 32 ピン製品および RL78/F24 の 32 ピン製品は，CSI11 の転送完了，バッファ空き割り込み／IIC11 転送完了割り込みはありません。

3. RL78/F24 のみ

表 19－5　DTC 起動要因と DTC ベクタ・アドレス（2/2）

割り込み要因発生元	要因番号	DTC ベクタ・アドレス	優先順位
タイマ・アレイ・ユニット 0 のチャネル 3 のカウント完了またはキャプチャ完了	21	DTCBAR レジスタの設定アドレス+15H	↓
タイマ・アレイ・ユニット 0 のチャネル 4 のカウント完了またはキャプチャ完了	22	DTCBAR レジスタの設定アドレス+16H	
タイマ・アレイ・ユニット 0 のチャネル 5 のカウント完了またはキャプチャ完了	23	DTCBAR レジスタの設定アドレス+17H	
タイマ・アレイ・ユニット 0 のチャネル 6 のカウント完了またはキャプチャ完了	24	DTCBAR レジスタの設定アドレス+18H	
タイマ・アレイ・ユニット 0 のチャネル 7 のカウント完了またはキャプチャ完了	25	DTCBAR レジスタの設定アドレス+19H	
タイマ RD コンペアー致 A0	26	DTCBAR レジスタの設定アドレス+1AH	
タイマ RD コンペアー致 B0	27	DTCBAR レジスタの設定アドレス+1BH	
タイマ RD コンペアー致 C0	28	DTCBAR レジスタの設定アドレス+1CH	
タイマ RD コンペアー致 D0	29	DTCBAR レジスタの設定アドレス+1DH	
タイマ RD コンペアー致 A1	30	DTCBAR レジスタの設定アドレス+1EH	
タイマ RD コンペアー致 B1	31	DTCBAR レジスタの設定アドレス+1FH	
タイマ RD コンペアー致 C1	32	DTCBAR レジスタの設定アドレス+20H	
タイマ RD コンペアー致 D1	33	DTCBAR レジスタの設定アドレス+21H	
タイマ RJ0	34	DTCBAR レジスタの設定アドレス+22H	
コンパレータ検出 0 注	35	DTCBAR レジスタの設定アドレス+23H	
タイマ・アレイ・ユニット 1 のチャネル 0 のカウント完了またはキャプチャ完了	36	DTCBAR レジスタの設定アドレス+24H	
タイマ・アレイ・ユニット 1 のチャネル 1 のカウント完了またはキャプチャ完了	37	DTCBAR レジスタの設定アドレス+25H	
タイマ・アレイ・ユニット 1 のチャネル 2 のカウント完了またはキャプチャ完了	38	DTCBAR レジスタの設定アドレス+26H	
タイマ・アレイ・ユニット 1 のチャネル 3 のカウント完了またはキャプチャ完了	39	DTCBAR レジスタの設定アドレス+27H	
LIN1 の受信完了 注	40	DTCBAR レジスタの設定アドレス+28H	
LIN1 の送信開始または送信完了 注	41	DTCBAR レジスタの設定アドレス+29H	
タイマ・アレイ・ユニット 1 のチャネル 4 のカウント完了またはキャプチャ完了 注	42	DTCBAR レジスタの設定アドレス+2AH	
タイマ・アレイ・ユニット 1 のチャネル 5 のカウント完了またはキャプチャ完了 注	43	DTCBAR レジスタの設定アドレス+2BH	
タイマ・アレイ・ユニット 1 のチャネル 6 のカウント完了またはキャプチャ完了 注	44	DTCBAR レジスタの設定アドレス+2CH	
タイマ・アレイ・ユニット 1 のチャネル 7 のカウント完了またはキャプチャ完了 注	45	DTCBAR レジスタの設定アドレス+2DH	
予約	46	DTCBAR レジスタの設定アドレス+2EH	
予約	47	DTCBAR レジスタの設定アドレス+2FH	
予約	48	DTCBAR レジスタの設定アドレス+30H	
予約	49	DTCBAR レジスタの設定アドレス+31H	
予約	50	DTCBAR レジスタの設定アドレス+32H	
予約	51	DTCBAR レジスタの設定アドレス+33H	
予約	52	DTCBAR レジスタの設定アドレス+34H	低

注　RL78/24 のみ

19.2.4　周辺イネーブル・レジスタ 1（PER1）

PER1 レジスタは，各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

DTC を使用する場合は，必ずビット 3（DTCEN）を 1 に設定してください。

PER1 レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00H になります。

図 19－4　周辺イネーブル・レジスタ 1（PER1）のフォーマット

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN 注1	0	CMPEN 注1	TRD0EN 注2	DTCEN	PWMOPEN	0	TRJ0EN

DTCEN	DTC の入力クロック供給の制御
0	入力クロック供給停止 ・DTC は動作不可
1	入力クロック供給 ・DTC は動作可

注 1. RL78/F24 のみ

2. ユーザ・オプション・バイト（000C2H/040C2H）の FRQSEL4 = 1 のときは，周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をセットする前に，f_{CLK} を f_{IH} に設定してください。f_{CLK} を f_{IH} 以外のクロックに変更するときは，変更前に周辺イネーブル・レジスタ 1（PER1）のビット 4（TRD0EN）をクリアしてください。

注意　次のビットには，必ず 0 を設定してください。

RL78/F23：ビット 1, 5, 6, 7

RL78/F24：ビット 1, 6

19.2.5 DTC 起動許可レジスタ i（DTCENi）

各割り込み要因による DTC 起動の許可または禁止を制御する 8 ビットレジスタです。表 19－6 に割り込み要因と DTCENi0-DTCENi7 ビットの対応を示します。

DTCENi レジスタは 8 ビット・メモリ操作命令，および 1 ビット・メモリ操作命令で設定してください。

注意 1. DTCENi0-DTCENi7 ビットは，そのビットに対応する起動要因が発生しない箇所で変更してください。

2. DTC 転送で DTCENi レジスタをアクセスしないでください。

備考 RL78/F23：i = 0-4

RL78/F24：i = 0-5

図 19－5 DTC 起動許可レジスタ i（DTCENi）のフォーマット

アドレス：F02E8H(DTCEN0), F02E9H(DTCEN1), F02EAH(DTCEN2), F02EBH(DTCEN3), F02ECH(DTCEN4), F02EDH(DTCEN5) 注　　リセット時：00H

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

注 RL78/F24 のみ

DTCENi7	DTC 起動許可 i7	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi7 ビットは 0（起動禁止）になります。		

DTCENi6	DTC 起動許可 i6	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi6 ビットは 0（起動禁止）になります。		

DTCENi5	DTC 起動許可 i5	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi5 ビットは 0（起動禁止）になります。		

DTCENi4	DTC 起動許可 i4	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi4 ビットは 0（起動禁止）になります。		

DTCENi3	DTC 起動許可 i3	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi3 ビットは 0（起動禁止）になります。		

DTCENi2	DTC 起動許可 i2	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi2 ビットは 0（起動禁止）になります。		

DTCENi1	DTC 起動許可 i1	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi1 ビットは 0（起動禁止）になります。		

DTCENi0	DTC 起動許可 i0	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件で DTCENi0 ビットは 0（起動禁止）になります。		

表 19－6　割り込み要因と DTCENi0-DTCENi7 ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	キー入力	A/D変換終了	UART0受信の転送完了/CSI01の転送完了またはバッファ空/IIC01の転送完了	UART0送信の転送完了/CSI00の転送完了またはバッファ空/IIC00の転送完了	UART1受信の転送完了/CSI11の転送完了またはバッファ空/IIC11の転送完了	UART1送信の転送完了/CSI10の転送完了またはバッファ空/IIC10の転送完了	LIN0の受信完了	LIN0の送信開始または送信完了
DTCEN2	CANの受信完了 注	予約	タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了
DTCEN3	タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了	タイマRDeコンペアー致A0	タイマRDeコンペアー致B0	タイマRDeコンペアー致C0	タイマRDeコンペアー致D0	タイマRDeコンペアー致A1	タイマRDeコンペアー致B1
DTCEN4	タイマRDeコンペアー致C1	タイマRDeコンペアー致D1	タイマRJ0	コンパレータ検出0 注	タイマ・アレイ・ユニット1のチャネル0のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル1のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル3のカウント完了またはキャプチャ完了
DTCEN5注	LIN1の受信完了	LIN1の送信開始または送信完了	タイマ・アレイ・ユニット1のチャネル4のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル5のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル6のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル7のカウント完了またはキャプチャ完了	予約	予約

注　RL78/F24 のみ

備考　RL78/F23：i = 0-4

RL78/F24：i = 0-5

注意　予約ビットは必ず 0 に設定してください。予約ビットはリード時に常に 0 を返します。

19.2.6　DTC ベース・アドレス・レジスタ（DTCBAR）

DTC コントロール・データ領域の先頭番地を格納するベクタ・アドレスと，DTC コントロール・データ領域のアドレスを設定する 8 ビットレジスタです。DTCBAR レジスタの値を上位 8 ビットとして 16 ビットのアドレスを生成します。

注意 1. DTCBAR レジスタは，すべての DTC 起動要因を起動禁止に設定した状態で変更してください。

2. DTCBAR レジスタを 2 回以上書き換えないでください。

3. DTC 転送で DTCBAR レジスタをアクセスしないでください。

4. DTC コントロール・データ領域と DTC ベクタ・テーブル領域の配置については，「19.2.1　DTC コントロール・データ領域と DTC ベクタ・テーブル領域の配置」を参照してください。

図 19－6　DTC ベース・アドレス・レジスタ（DTCBAR）のフォーマット

アドレス：F02E0H　　リセット時：FDH

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

19.2.7 DTC 制御レジスタ j（DTCCRj）（j = 0-23）

DTCCRj レジスタは，DTC の動作モードを制御します。

図 19－7 DTC 制御レジスタ j（DTCCRj）のフォーマット

アドレス：「19.2.2 DTC コントロール・データの配置」を参照　　リセット時：不定

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

ビット 7	予約ビット	R/W
0	0 にしてください	R/W

SZ	データ・サイズの選択	R/W
0	8 ビット	R/W
1	16 ビット	

RPTINT	リピート・モード割り込みの許可・禁止	R/W
0	割り込み発生禁止	R/W
1	割り込み発生許可	
MODE ビットが 0（ノーマル・モード）のとき RPTINT ビットの設定は無効です。		

CHNE	チェイン転送の許可・禁止	R/W
0	チェイン転送禁止	R/W
1	チェイン転送許可	
DTCCR23 レジスタの CHNE ビットは 0（チェイン転送禁止）にしてください。		

DAMOD	転送先アドレスの制御	R/W
0	固定	R/W
1	加算	
MODE ビットが 1（リピート・モード）で RPTSEL ビットが 0（転送先がリピート・エリア）のとき DAMOD ビットの設定は無効です。		

SAMOD	転送元アドレスの制御	R/W
0	固定	R/W
1	加算	
MODE ビットが 1（リピート・モード）で RPTSEL ビットが 1（転送元がリピート・エリア）のとき SAMOD ビットの設定は無効です。		

RPTSEL	リピート・エリアの選択	R/W
0	転送先がリピート・エリア	R/W
1	転送元がリピート・エリア	
MODE ビットが 0（ノーマル・モード）のとき RPTSEL ビットの設定は無効です。		

MODE	転送モードの選択	R/W
0	ノーマル・モード	R/W
1	リピート・モード	

注意　DTC 転送で DTCCRj レジスタをアクセスしないでください。

19.2.8 DTC ブロック・サイズ・レジスタ j（DTBLSj）（j = 0-23）

1 回の起動で転送されるデータのブロック・サイズを設定します。

図 19－8 DTC ブロック・サイズ・レジスタ j（DTBLSj）のフォーマット

アドレス：「19.2.2 DTC コントロール・データの配置」を参照　　リセット時：不定

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロック・サイズ		R/W
	8 ビット転送	16 ビット転送	
00H	256 バイト	512 バイト	R/W
01H	1 バイト	2 バイト	
02H	2 バイト	4 バイト	
03H	3 バイト	6 バイト	
・ ・ ・	・ ・ ・	・ ・ ・	
FDH	253 バイト	506 バイト	
FEH	254 バイト	508 バイト	
FFH	255 バイト	510 バイト	

注意　DTC 転送で DTBLSj レジスタをアクセスしないでください。

19.2.9 DTC 転送回数レジスタ j（DTCCTj）（j = 0-23）

DTC のデータ転送回数を設定します。DTC 転送が 1 回起動するたびに 1 減算されます。

図 19－9 DTC 転送回数レジスタ j（DTCCTj）のフォーマット

アドレス：「19.2.2 DTC コントロール・データの配置」を参照　　リセット時：不定

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数	R/W
00H	256回	R/W
01H	1回	
02H	2回	
03H	3回	
・ ・ ・	・ ・ ・	
FDH	253回	
FEH	254回	
FFH	255回	

注意　DTC 転送で DTCCTj レジスタをアクセスしないでください。

19.2.10　DTC 転送回数リロード・レジスタ j（DTRLDj）（j = 0-23）

リピート・モードで転送回数レジスタの初期値を設定します。リピート・モード時は，本レジスタの値が DTCCT レジスタにリロードされますので，DTCCT レジスタの初期値と同じ値を設定してください。

図 19－10　DTC 転送回数リロード・レジスタ j（DTRLDj）のフォーマット

アドレス：「19.2.2　DTC コントロール・データの配置」を参照　　リセット時：不定

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意　DTC 転送で DTRLDj レジスタをアクセスしないでください。

19.2.11　DTC ソース・アドレス・レジスタ j（DTSARj）（j = 0-23）

データ転送時の転送元アドレスを指定します。

DTCCRj レジスタの SZ ビットが 1（16 ビット転送）のとき，最下位ビットは無視され，偶数番地として扱われます。

図 19－11　DTC ソース・アドレス・レジスタ j（DTSARj）のフォーマット

アドレス：「19.2.2　DTC コントロール・データの配置」を参照　　リセット時：不定

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意 1.　転送元アドレスに汎用レジスタ（FFEE0H-FFEFFH）空間を設定しないでください。

2.　DTC 転送で DTSARj レジスタをアクセスしないでください。

19.2.12　DTC デスティネーション・アドレス・レジスタ j（DTDARj）（j = 0-23）

データ転送時の転送先アドレスを指定します。

DTCCRj レジスタの SZ ビットが 1（16 ビット転送）のとき，最下位ビットは無視され，偶数番地として扱われます。

図 19－12　DTC デスティネーション・アドレス・レジスタ j（DTDARj）のフォーマット

アドレス：「19.2.2　DTC コントロール・データの配置」を参照　　リセット時：不定

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意 1.　転送先アドレスに汎用レジスタ（FFEE0H-FFEFFH）空間を設定しないでください。

2.　DTC 転送で DTDARj レジスタをアクセスしないでください。

19.2.13　高速 DTC チャネル選択レジスタ 0（SELHS0）

高速 DTC のチャネルを選択する 8 ビットレジスタです。

図 19－13　高速 DTC チャネル選択レジスタ 0（SELHS0）のフォーマット

アドレス：F02E1H　　リセット値：3FH

略号	7	6	5	4	3	2	1	0
SELHS0	0	0	SELHS05	SELHS04	SELHS03	SELHS02	SELHS01	SELHS00

SELHS0 レジスタは，8 ビットまたは 1 ビット・メモリ操作命令で設定できますが，16 ビット・メモリ操作命令では設定しないでください。

下記に起動要因と SELHS05-SELHS00 ビットの対応を示します。

SELHS05-SELHS00						機能
0	0	0	0	0	0	起動要因の要因番号 0 を高速チャネル 0 に選択
0	0	0	0	0	1	起動要因の要因番号 1 を高速チャネル 0 に選択
0	0	0	0	1	0	起動要因の要因番号 2 を高速チャネル 0 に選択
・ ・ ・						・ ・ ・
1	0	1	0	1	1	起動要因の要因番号 43 を高速チャネル 0 に選択
1	0	1	1	0	0	起動要因の要因番号 44 を高速チャネル 0 に選択
1	0	1	1	0	1	起動要因の要因番号 45 を高速チャネル 0 に選択
1	1	1	1	1	1	高速チャネル 0 を使用しない
上記以外						設定禁止

注意 1. SELHS0 のデータは対応する DTCENi の DTCENi0-7 ビットが 0（DTC 起動禁止）のときに変更してください。

2. DTC 転送で SELHS0 をアクセスしないでください。

注　RL78/F23：i = 0-4

RL78/F24：i = 0-5

19.2.14　高速 DTC チャネル選択レジスタ 1（SELHS1）

高速 DTC のチャネルを選択する 8 ビットレジスタです。

図 19－14　高速 DTC チャネル選択レジスタ 1（SELHS1）のフォーマット

アドレス：F02E2H　　リセット値：3FH

略号	7	6	5	4	3	2	1	0
SELHS1	0	0	SELHS15	SELHS14	SELHS13	SELHS12	SELHS11	SELHS10

SELHS1 レジスタは，8 ビットまたは 1 ビット・メモリ操作命令で設定できますが，16 ビット・メモリ操作命令では設定しないでください。

下記に起動要因と SELHS15-SELHS10 ビットの対応を示します。

SELHS15-SELHS10						機能
0	0	0	0	0	0	起動要因の要因番号 0 を高速チャネル 1 に選択
0	0	0	0	0	1	起動要因の要因番号 1 を高速チャネル 1 に選択
0	0	0	0	1	0	起動要因の要因番号 2 を高速チャネル 1 に選択
・ ・ ・						・ ・ ・
1	0	1	0	1	1	起動要因の要因番号 43 を高速チャネル 1 に選択
1	0	1	1	0	0	起動要因の要因番号 44 を高速チャネル 1 に選択
1	0	1	1	0	1	起動要因の要因番号 45 を高速チャネル 1 に選択
1	1	1	1	1	1	高速チャネル 1 を使用しない
上記以外						設定禁止

注意 1. SELHS1 のデータは対応する DTCENi の DTCENi0-7 ビットが 0（DTC 起動禁止）のときに変更してください。

2. DTC 転送で SELHS1 をアクセスしないでください。

備考　RL78/F23：i = 0-4

RL78/F24：i = 0-5

19.2.15 高速 DTC 制御レジスタ m（HDTCCRm）（m = 0, 1）

HDTCCRm レジスタは，DTC の高速転送動作モードを制御します。

図 19－15 高速 DTC 制御レジスタ m（HDTCCRm）のフォーマット

アドレス：F02D0H (HDTCCR0), F02D8H (HDTCCR1)　　リセット時：00H

略号	7	6	5	4	3	2	1	0
HDTCCRm	0	HSZm	HRPTINTm	HCHNEm	HDAMODm	HSAMODm	HRPTSELm	HMODEm

ビット 7	予約ビット	R/W
0	0 にしてください	R/W

HSZm	データ・サイズの選択	R/W
0	8 ビット	R/W
1	16 ビット	

HRPTINTm	リピート・モード割り込みの許可・禁止	R/W
0	割り込み発生禁止	R/W
1	割り込み発生許可	
HMODEm ビットが 0（ノーマル・モード）のとき HRPTINTm ビットの設定は無効です		

HCHNEm	チェイン転送の許可・禁止	R/W
0	チェイン転送禁止	R/W
1	チェイン転送許可	
DTCCR23 レジスタの CHNE ビットは 0（チェイン転送禁止）にしてください。 SELHSm レジスタで起動要因の要因番号を最大にした場合，HCHNEm ビットは 0（チェイン転送禁止）にしてください。		

HDAMODm	転送先アドレスの制御	R/W
0	固定	R/W
1	加算	
HMODEm ビットが 1（リピート・モード）で HRPTSELm ビットが 0（転送先がリピート・エリア）のとき HDAMODm ビットの設定は無効です。		

HSAMODm	転送元アドレスの制御	R/W
0	固定	R/W
1	加算	
HMODEm ビットが 1（リピート・モード）で HRPTSELm ビットが 1（転送元がリピート・エリア）のとき HSAMODm ビットの設定は無効です		

HRPTSELm	リピート・エリアの選択	R/W
0	転送先がリピート・エリア	R/W
1	転送元がリピート・エリア	
HMODEm ビットが 0（ノーマル・モード）のとき HRPTSELm ビットの設定は無効です。		

HMODEm	転送モードの選択	R/W
0	ノーマル・モード	R/W
1	リピート・モード	

注意　高速 DTC 転送で HDTCCRm レジスタをアクセスしないでください。

19.2.16　高速 DTC 転送回数レジスタ m（HDTCCTm）（m = 0, 1）

DTC の高速データ転送回数を設定します。DTC 転送が 1 回起動するたびに 1 減算されます。

図 19－16　高速 DTC 転送回数レジスタ m（HDTCCTm）のフォーマット

アドレス：F02D2H (HDTCCT0), F02DAH (HDTCCT1)　　リセット時：00H

略号	7	6	5	4	3	2	1	0
HDTCCTm	HDTCCTm7	HDTCCTm6	HDTCCTm5	HDTCCTm4	HDTCCTm3	HDTCCTm2	HDTCCTm1	HDTCCTm0

HDTCCTm	転送回数	R/W
00H	256 回	R/W
01H	1 回	
02H	2 回	
03H	3 回	
・ ・ ・	・ ・ ・	
FDH	253 回	
FEH	254 回	
FFH	255 回	

注意　高速 DTC 転送で HDTCCTm レジスタをアクセスしないでください。

19.2.17　高速 DTC 転送回数リロード・レジスタ m（HDTRLDm）（m = 0, 1）

リピート・モードで転送回数レジスタの初期値を設定します。リピート・モード時は，本レジスタの値が HDTCCTm レジスタにリロードされますので，HDTCCTm レジスタの初期値と同じ値を設定してください。

図 19－17　高速 DTC 転送回数リロード・レジスタ m（HDTRLDm）のフォーマット

アドレス：F02D3H (HDTRLD0)，F02DBH (HDTRLD1)　　リセット時：00H

略号	7	6	5	4	3	2	1	0
HDTRLDm	HDTRLDm7	HDTRLDm6	HDTRLDm5	HDTRLDm4	HDTRLDm3	HDTRLDm2	HDTRLDm1	HDTRLDm0

注意　高速 DTC 転送で HDTRLDm レジスタをアクセスしないでください。

19.2.18　高速 DTC ソース・アドレス・レジスタ m（HDTSARm）（m = 0, 1）

高速転送のソース指定可能なアドレス空間は，SFR 領域，2nd SFR 領域のみです。

高速 DTC ソース・アドレス・レジスタ m (HDTSARm) は，下位 12 ビットのアドレスを設定してください。

上位 4 ビットをリード時は 0 となります。

図 19－18　高速 DTC ソース・アドレス・レジスタ m（HDTSARm）のフォーマット

アドレス：F02D4H，F02D5H (HDTSAR0)，F02DCH，F02DDH (HDTSAR1)　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HDTS ARm	0	0	0	0	HDTS ARm11	HDTS ARm10	HDTS ARm9	HDTS ARm8	HDTS ARm7	HDTS ARm6	HDTS ARm5	HDTS ARm4	HDTS ARm3	HDTS ARm2	HDTS ARm1	HDTS ARm0

注意 1. 転送元アドレスに汎用レジスタ（FFEE0H-FFEFFH）空間を設定しないでください。

2. 高速 DTC 転送で HDTSARm レジスタをアクセスしないでください。

19.2.19　高速 DTC デスティネーション・アドレス・レジスタ m（HDTDARm）（m = 0, 1）

データ転送時の転送先アドレスを指定します。

図 19－19　高速 DTC デスティネーション・アドレス・レジスタ m（HDTDARm）のフォーマット

アドレス：F02D6H，F02D7H (HDTDAR0)，F02DEH，F02DFH (HDTDAR1)　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HDTD ARm	HDTD ARm15	HDTD ARm14	HDTD ARm13	HDTD ARm12	HDTD ARm11	HDTD ARm10	HDTD ARm9	HDTD ARm8	HDTD ARm7	HDTD ARm6	HDTD ARm5	HDTD ARm4	HDTD ARm3	HDTD ARm2	HDTD ARm1	HDTD ARm0

注意 1. 転送先アドレスに汎用レジスタ（FFEE0H-FFEFFH）空間を設定しないでください。

2. 高速 DTC 転送で HDTDARm レジスタをアクセスしないでください。

19.3 動作説明

DTC が起動すると，DTC コントロール・データ領域からコントロール・データを読み出し，このコントロール・データに従ってデータ転送を行い，データ転送後のコントロール・データを DTC コントロール・データ領域へ書き戻します。24 組のコントロール・データを DTC コントロール領域へ格納でき，24 通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり，転送サイズは 8 ビット転送と 16 ビット転送があります。また，DTCCRj レジスタの CHNE ビットが 1（チェイン転送許可）のとき，1 つの起動要因に対して複数のコントロール・データを読み出し，連続してデータを転送します（チェイン転送）。

転送元アドレスは 16 ビット長の DTSARj レジスタ，転送先は 16 ビット長の DTDARj レジスタで指定します。DTSARj レジスタと DTDARj レジスタは，データ転送後，コントロール・データに従って加算されるか固定されます。

また，本製品では，高速転送動作が可能です。高速転送は，専用のコントロール・データを持ち，RAM 領域ではなく SFR 領域に配置することによって実現します。基本動作はベクタ読み出しとコントロール・データ読み出しで 5 サイクル必要でしたが，高速転送では 1 サイクルです。またコントロール・データの書き戻しは最大 3 サイクル必要でしたが，高速転送では 1 サイクルです。

備考 j = 0-23

19.3.1　起動要因

DTC は，周辺機能からの割り込み信号により起動します。DTC を起動する割り込み信号は，DTCENi レジスタで選択します。

DTC は，データ転送（チェイン転送の場合は連続して行う最初の転送）の設定が次のいずれかである場合，動作中に DTCENi レジスタのビット DTCENi0-DTCENi7 の対応するビットを 0（起動禁止）にします。

・ノーマル・モードで DTCCTj レジスタが 0 になる転送

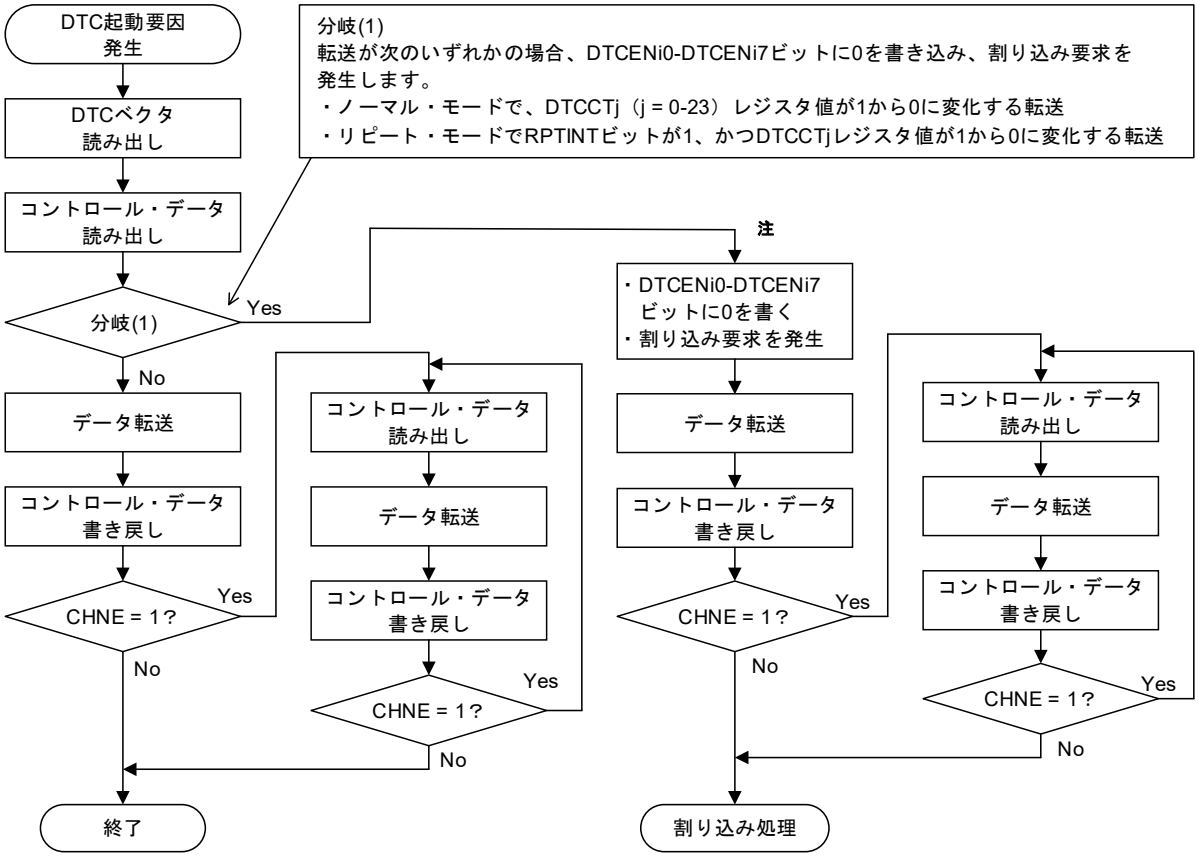
・リピート・モードで DTCCRj レジスタの RPTINT ビットが 1（割り込み発生許可）かつ DTCCTj レジスタが 0 になる転送

備考　RL78/F23：i = 0-4，j = 0-23

RL78/F24：i = 0-5，j = 0-23

図 19－20 に DTC 内部動作フロー・チャートを示します。

図 19－20　DTC 内部動作フロー・チャート



注　チェイン転送の許可（CHNE ビットが 1）の設定により起動されたデータ転送では，DTCENi0-DTCENi7 ビットに 0 を書きません。また，割り込み要求も発生しません。

備考　**1.**　DTCENi0-DTCENi7：DTCENi レジスタのビット

2.　RPTINT，CHNE：DTCCRj レジスタのビット

3.　RL78/F24：i = 0-4，j = 0-23

4.　RL78/F23：i = 0-5，j = 0-23

19.3.2　ノーマル・モード

1 回の起動で，8 ビット転送の場合 1～256 バイト，16 ビット転送の場合 2～512 バイトをデータ転送します。転送回数は 1～256 回です。DTCCTj レジスタが 0 になるデータ転送を行うとき，DTC は動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し，DTCENi レジスタの対応する DTCENi0-DTCENi7 ビットを 0（起動禁止）にします。

表 19－7 にノーマル・モードでのレジスタ機能を示します。図 19－21 にノーマル・モードでのデータ転送を示します。

備考　RL78/F23：i = 0-4，j = 0-23
　　RL78/F24：i = 0-5，j = 0-23

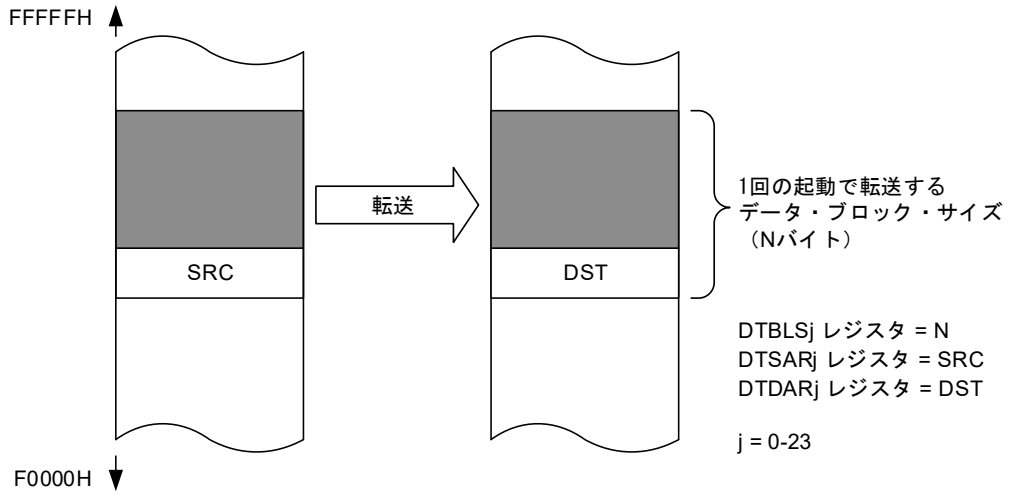
表 19－7　ノーマル・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTC ブロック・サイズ・レジスタ j	DTBLSj	1 回の起動で転送するデータ・ブロック・サイズ
DTC 転送回数レジスタ j	DTCCTj	データ転送回数
DTC 転送回数リロード・レジスタ j	DTRLDj	使用しません 注
DTC ソース・アドレス・レジスタ j	DTSARj	データの転送元アドレス
DTC デスティネーション・アドレス・レジスタ j	DTDARj	データの転送先アドレス

注　コントロール・データの読み出しを行うため，DTRLDj レジスタを任意の値で初期設定してください。

備考　j = 0-23

図 19－21　ノーマル・モードでのデータ転送



DTCCR レジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

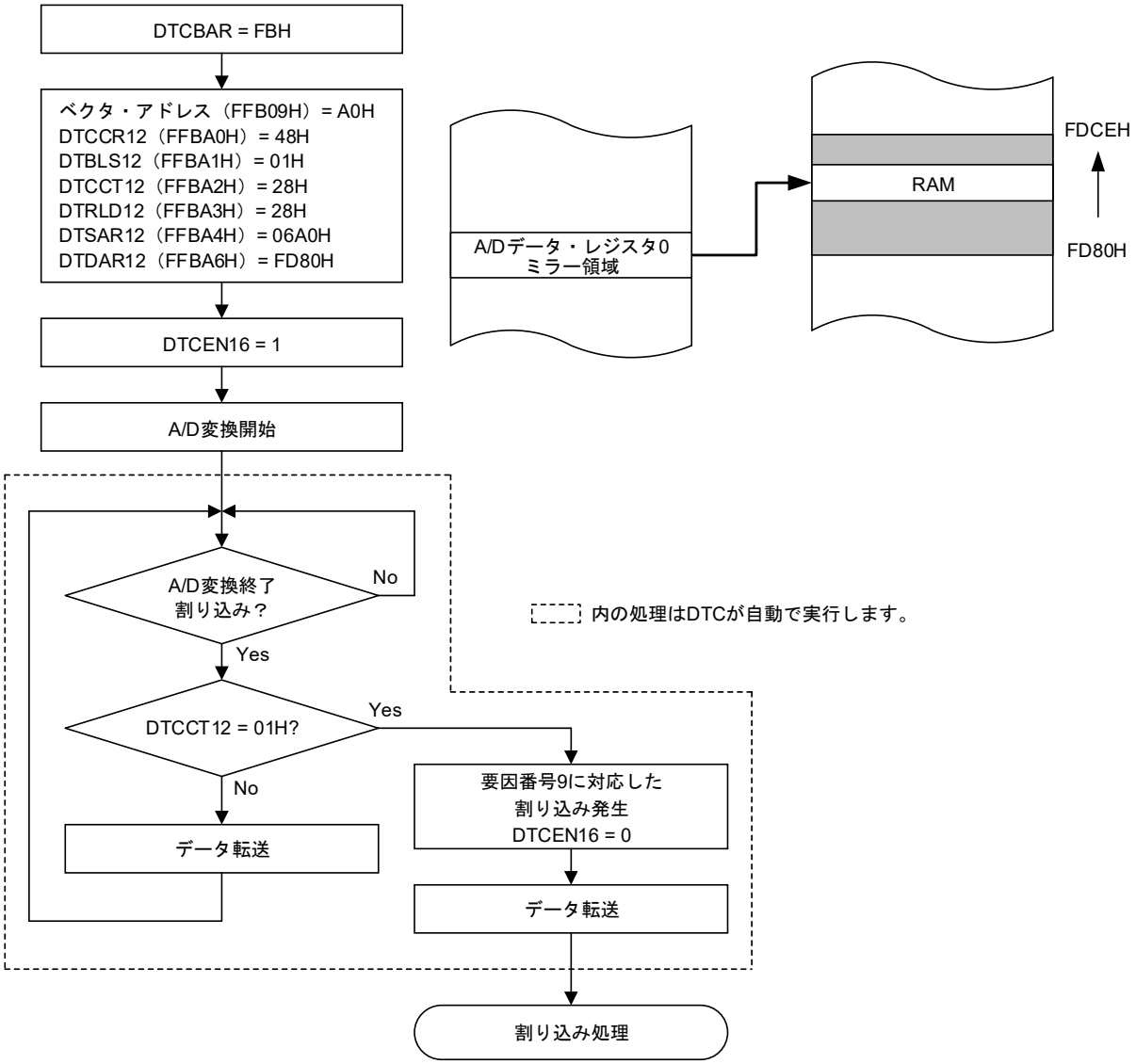
X：0 または 1

(1) ノーマル・モードの使用例：A/D 変換結果の連続取り込み

A/D 変換終了割り込みで DTC を起動し，A/D データ・レジスタ 0 の値を RAM に転送します。

- ベクタ・アドレスは FFB09H，コントロール・データは FFBA0H-FFBA7H に配置
- A/D 割り込みは要因番号 9 に割り当て
- A/D データ・レジスタ 0 ミラー領域（F06A1H, F06A0H）の 2 バイト・データを RAM の FFD80H-FFDCFH の 80 バイトへ 40 回転送

図 19－22 ノーマル・モードの使用例：A/D 変換結果の連続取り込み



ノーマル・モードのため、DTRLD12のデータはDTC転送動作に影響しません。

19.3.3　リピート・モード

1 回の起動で，1～255 バイトを転送します。転送元，転送先のいずれか一方をリピート・エリアに指定します。転送回数は 1～255 回です。指定回数の転送が終了すると，DTCCTj レジスタおよびリピート・エリアに指定したアドレスが初期化され，転送を繰り返します。DTCCRj レジスタの RPTINT ビットが 1（割り込み発生許可）で DTCCTj レジスタが 0 になるデータ転送を DTC が行うとき，DTC は動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し，DTCENi レジスタの対応する DTCENi0-DTCENi7 ビットを 0（起動禁止）にします。DTCCRj レジスタの RPTINT ビットが 0（割り込み発生禁止）の場合は，DTCCTj レジスタが 0 になるデータ転送を行っても，割り込み要求は発生しません。また，DTCENi0-DTCENi7 ビットは 0 になりません。

表 19－8 にリピート・モードでのレジスタ機能を示します。図 19－23 にリピート・モードでのデータ転送を示します。

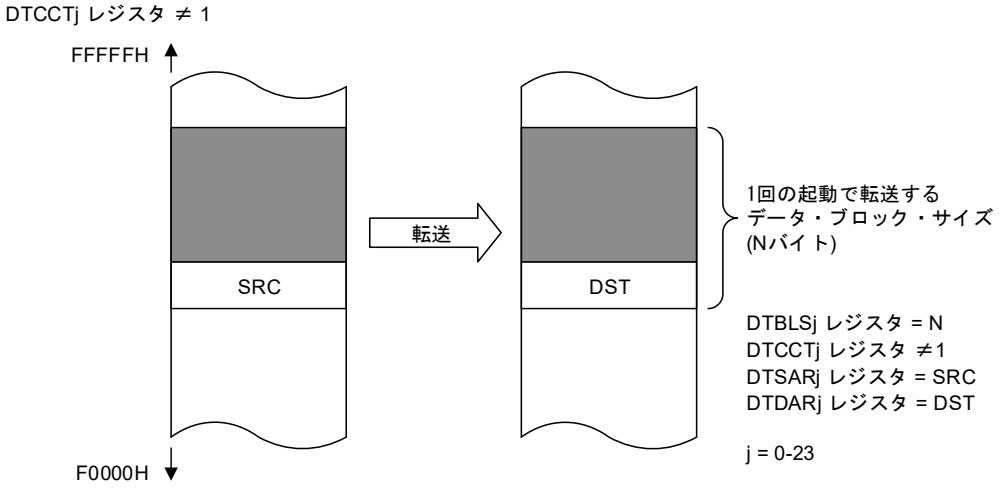
備考　RL78/F23：i = 0-4，j = 0-23
　　RL78/F24：i = 0-5，j = 0-23

表 19－8　リピート・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTC ブロック・サイズ・レジスタ j	DTBLSj	1 回の起動で転送するデータ・ブロック・サイズ
DTC 転送回数レジスタ j	DTCCTj	データ転送回数
DTC 転送回数リロード・レジスタ j	DTRLDj	このレジスタの値を DTCCT レジスタへリロード（データ転送回数を初期化）
DTC ソース・アドレス・レジスタ j	DTSARj	データの転送元アドレス
DTC デスティネーション・アドレス・レジスタ j	DTDARj	データの転送先アドレス

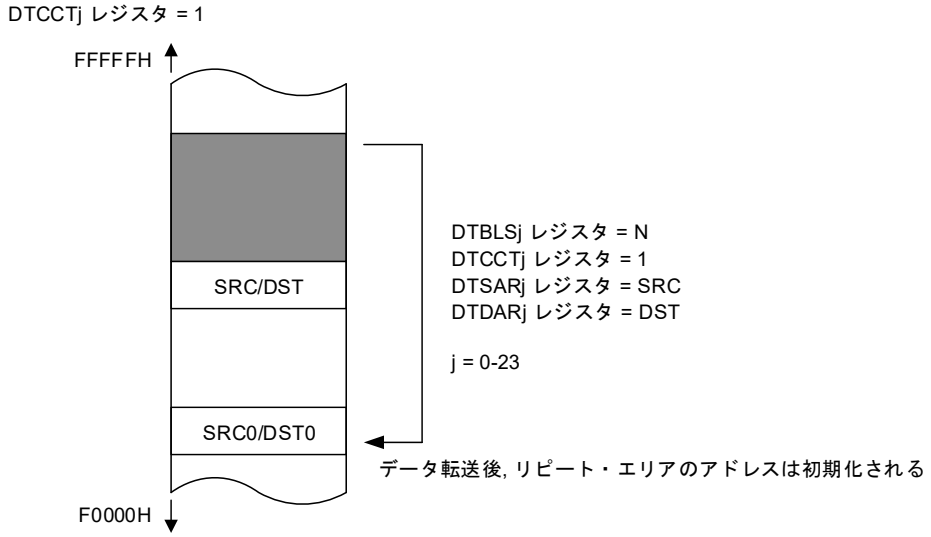
備考　j = 0-23

図 19－23 リピート・モードでのデータ転送



DTCCR レジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピート・エリア	固定	SRC + N	DST
1	X	1	1	リピート・エリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピート・エリア	SRC	DST + N
X	1	0	1	加算	リピート・エリア	SRC + N	DST + N

X：0 または 1



DTCCR レジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピート・エリア	固定	SRC0	DST
1	X	1	1	リピート・エリア	加算	SRC0	DST + N
X	0	0	1	固定	リピート・エリア	SRC	DST0
X	1	0	1	加算	リピート・エリア	SRC + N	DST0

SRC0：ソース・アドレス初期値
DST0：デスティネーション・アドレス初期値
X：0 または 1

注意 1. リピート・モード使用時は，リピート・エリアに指定したアドレスの初期値の下位 8 ビットを 00H にしてください。

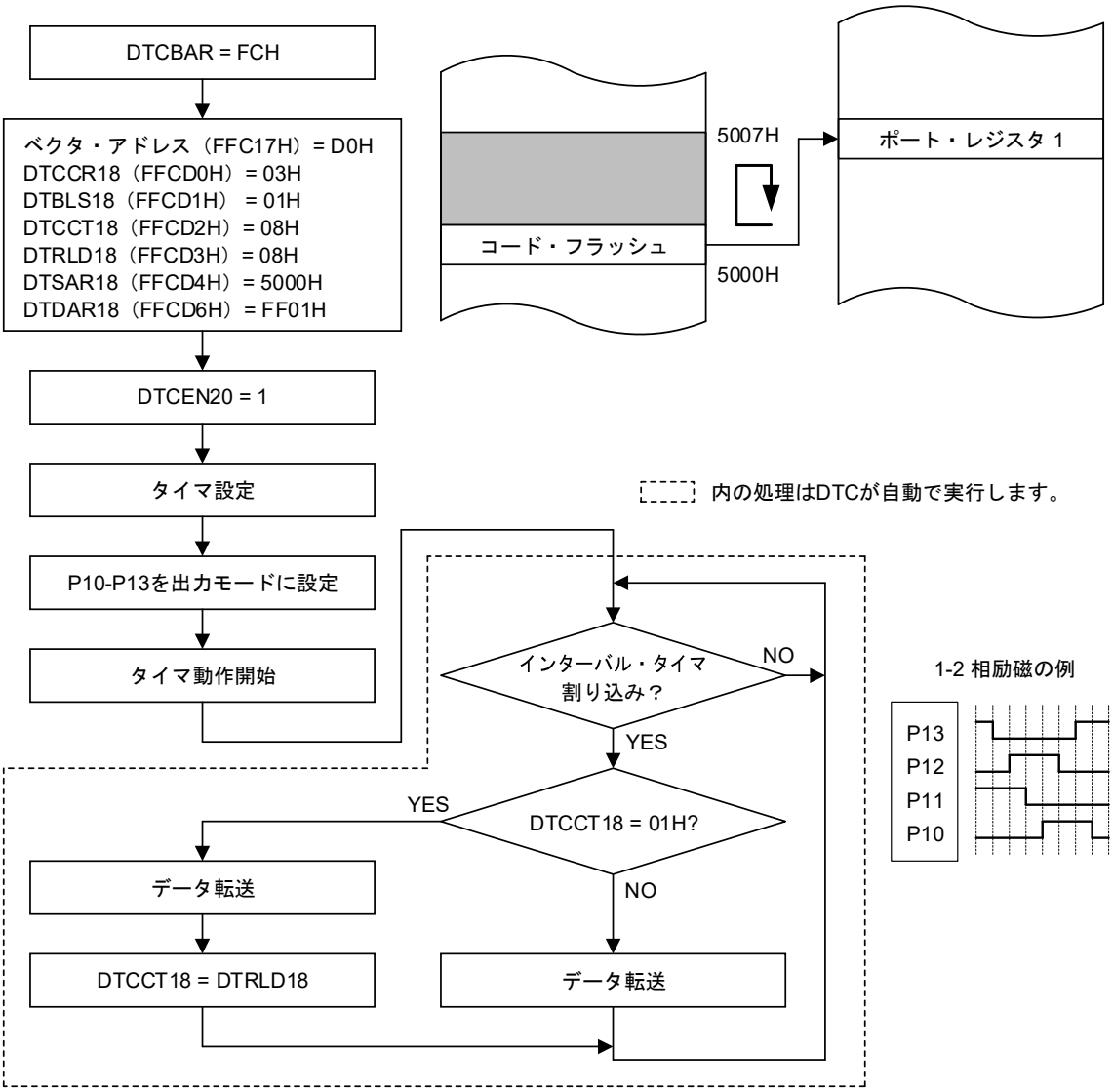
2. リピート・モード使用時は，リピート・エリアのデータ・サイズを 255 バイト以内にしてください。

(1) リピート・モードの使用例 1：ポートを使ったステッピング・モータ制御パルス出力

インターバル・タイマの割り込みで DTC を起動し，コード・フラッシュ・メモリに格納されたモータ制御パルスのパタンを汎用ポートに転送します。

- ベクタ・アドレスは FFC17H，コントロール・データは FFCD0H-FFCD7H に配置
- タイマ割り込みは要因番号 23 に割り当て
- コード・フラッシュ・メモリの 05000H-05007H の 8 バイト・データをミラー空間 F5000H-F5007H からポート・レジスタ 1（FFF01H）へ転送
- リピート・モード割り込みは禁止

図 19－24 リピート・モードの使用例 1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は、タイマを停止してからDTCEN20をクリアしてください。

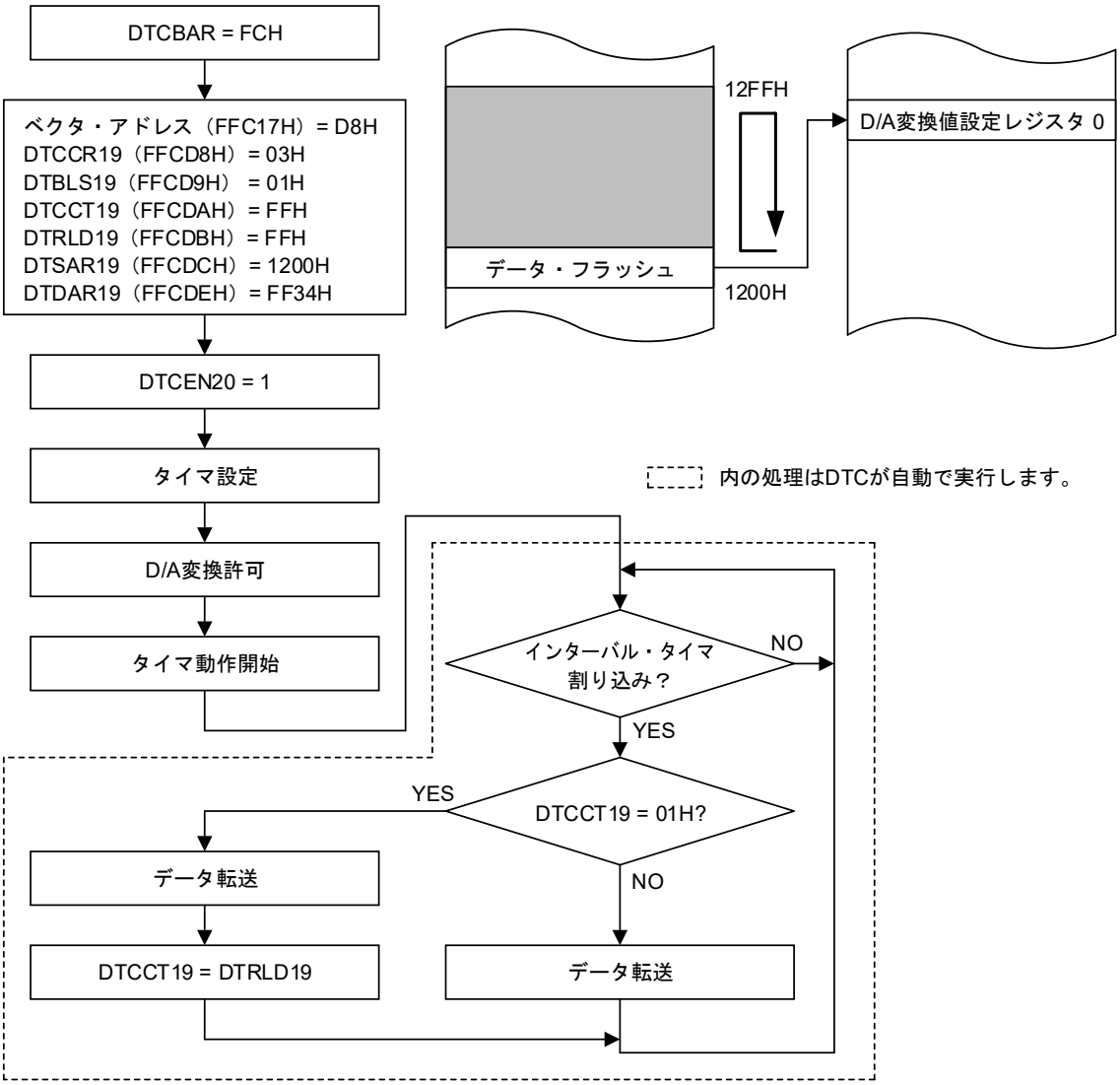
(2) リピート・モードの使用例 2：8 ビット D/A コンバータを使ったサイン波出力

インターバル・タイマの割り込みで DTC を起動し，データ・フラッシュ・メモリに格納されたサイン波のテーブルを 8 ビットの D/A 変換値設定レジスタ 0 に転送します。

タイマのインターバル時間は，D/A の出力セットアップ時間を設定します。

- ベクタ・アドレスは FFC17H，コントロール・データは FFCD8H-FFCDFH に配置
- タイマ割り込みは要因番号 23 に割り当て
- データ・フラッシュ・メモリの F1200H-F12FEH の 255 バイトデータを D/A 変換値設定レジスタ 0（FFF34H）へ転送
- リピート・モード割り込みは禁止

図 19－25 リピート・モードの使用例 2：8 ビット D/A コンバータを使ったサイン波出力



出力を停止する場合は、タイマを停止してからDTCEN20をクリアしてください。

注意 D/A コンバータは，RL78/F24 に搭載されます。

19.3.4　チェイン転送

DTCCRj（j = 0-22 注）レジスタの CHNE ビットが 1（チェイン転送許可）のとき，１つの起動要因で複数のデータ転送を連続してできます。

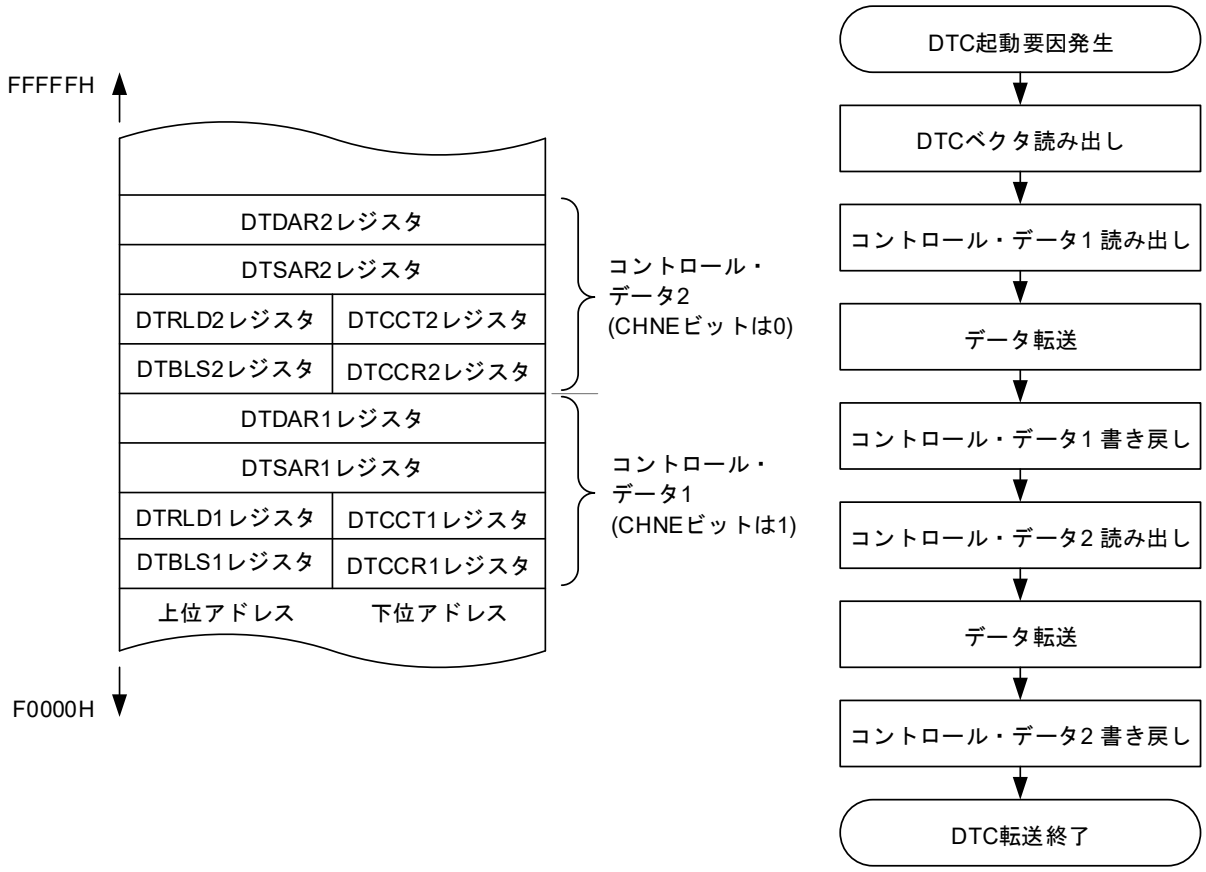
DTC が起動すると，起動要因に対応した DTC ベクタ・アドレスから読み出されたデータによりコントロール・データを選択し，DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データの CHNE ビットが 1（チェイン転送許可）であれば，転送終了後，連続して配置した次のコントロール・データを読み出して転送します。この動作を CHNE ビットが 0（チェイン転送禁止）のコントロール・データのデータ転送が終了するまで続けます。

★ 複数のコントロール・データを用いてチェイン転送を行う場合，2 番目以降のコントロール・データの設定がノーマル・モードの時は，1 番目の転送回数の設定が有効となり，2 番目以降の転送回数の設定は無効となります。また，2 番目以降のコントロール・データの設定がリピート・モードの時は，コントロール・データを書き戻すため，コントロール・データごとに転送回数を設定する必要があります。

注　DTCCR23 レジスタの CHNE ビットは 0（チェイン転送禁止）にしてください。

図 19－26 にチェイン転送でのデータ転送を示します。

図 19－26　チェイン転送でのデータ転送



19.3.5 高速転送動作

高速転送は 2 チャネルあり，高速 DTC チャネル選択レジスタ m で各々の DTC 起動要因を選択します。高速転送チャネルで選択された要因で起動した場合，DTC ベクタ・アドレスで指定されたコントロール・データではなく，高速専用のコントロール・データを読み出して転送します。

コントロール・データの読み出しを行うため，コントロール・データ領域を任意の値で初期設定してください。

ブロック転送は，常に，8 ビット転送の場合 1 バイト，16 ビット転送の場合 2 バイトの転送をします。

チェイン転送は，DTC ベクタ・アドレスで指定されたコントロール・データに連続して配置した次のコントロール・データを読み出して転送します。チェイン転送中に，別の高速転送チャネルで選択された要因のコントロール・データとなった場合，高速専用ではなく連続して配置したコントロール・データを読み出して転送します。

表 19－9 に高速転送動作でのレジスタ機能を示します。

表 19－9 高速転送動作でのレジスタ機能（m = 0, 1）

レジスタ名	シンボル	機能
高速 DTC チャネル選択レジスタ m	SELHSm	チャネル選択
高速 DTC 制御レジスタ m	HDTCCRm	動作モード制御
高速 DTC 転送回数レジスタ m	HDTCCTm	データ転送回数
高速 DTC 転送回数リロード・レジスタ m	HDTRLDm	初期値設定
高速 DTC ソース・アドレス・レジスタ m	HDTSARm	データの転送元アドレス
高速 DTC デスティネーション・アドレス・レジスタ m	HDTDARm	データの転送先アドレス

19.4 DTC 使用上の注意事項

19.4.1 DTC レジスタおよびベクタ・テーブルの設定

- DTC 転送で DTC の SFR および DTC コントロール・データ領域，DTC ベクタ・テーブル領域，汎用レジスタ（FFEE0H-FFEFFH）空間をアクセスしないでください。
- DTC ベース・アドレス・レジスタ（DTCBAR）は，すべての DTC 起動要因を起動禁止に設定した状態で変更してください。
- DTC ベース・アドレス・レジスタ（DTCBAR）を 2 回以上書き換えないでください。
- DTCCRj，DTBLSj，DTCCTj，DTRLDj，DTSARj，DTDARj レジスタのデータは，対応する DTCENi レジスタの DTCENi0-DTCENi7 ビットが 0（DTC 起動禁止）のときに変更してください。
- ベクタ・テーブルに設定する DTC コントロール・データ領域の先頭番地は，対応する DTCENi レジスタの DTCENi0-DTCENi7 ビットが 0（DTC 起動禁止）のときに変更してください。
- リピート・モードでは，リピート領域アドレスの下位 8 ビットの初期値は，00H である必要があります。また，転送データ・サイズにより転送回数とリロード転送回数は異なります。

  8 ビット転送：01H-FFH（1 から 255 回）

  16 ビット転送：01H-7FH（1 から 127 回）

備考 RL78/F23：i = 0-4，j = 0-23

RL78/F24：i = 0-5，j = 0-23

19.4.2 DTC コントロール・データ領域と DTC ベクタ・テーブル領域の配置

DTC コントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ（FFEE0H-FFEFFH）の空間は，DTC コントロール・データ領域および DTC ベクタ・テーブル領域としての使用を禁止します。
- DTC ベクタ・テーブル領域と DTC コントロール・データ領域の間の 11 バイトは，DTC 起動要因数を拡張した場合に使用する予約領域です。

19.4.3 DTC 保留命令

DTC から CPU へ転送要求があっても以下の命令直後では DTC は起動されず保留されます。また，PREFIX 命令コードと直後の 1 命令の間に DTC が起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSW へのビット操作命令とオペランドに ES レジスタを含んだ 8 ビット操作命令
- データ・フラッシュにアクセスする命令
- 乗除積和算命令（MULU 命令を除く）

注意 1. DTC 転送要求を受け付けると，DTC 転送が完了するまで，すべての割り込み要求が保留されます。

2. DTC 保留命令による DTC 保留中は，すべての割り込み要求が保留されます。

19.4.4 ウェイトが必要となる SFR レジスタにアクセスする命令実行時の動作

ウェイトが必要となる SFR レジスタ 注 にアクセスする命令を実行した場合，DTC 転送は保留されます。ウェイトが必要となる SFR レジスタをポーリングし続けた場合，DTC 転送は保留され続けます。

注 F0300H から F06FFH までの領域にあるレジスタ

19.4.5 データ・フラッシュ空間にアクセスする場合の動作

データ・フラッシュ空間にアクセスすると DTC のデータ転送が保留されるため，DTC 保留命令を追加してください。また DTC のデータ転送が起きた 1 命令後にデータ・フラッシュ空間にアクセスした場合，間の命令に 3 クロック分のウェイトが入ります。

命令 1
DTC データ転送
命令 2 ← 3 クロック分のウェイト発生
MOV A, ! Data Flash 空間

19.4.6 DTC 実行クロック数

表 19－10 に DTC 起動時の実行状況と必要なクロック数を示します。

表 19－10 DTC 起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注 1	注 2	注 2

注 1. コントロール・データの書き戻しに必要なクロック数は，「表 19－11 コントロール・データの書き戻しに必要なクロック数」を参照してください。

2. データの読み出し／書き込みに必要なクロック数は，「表 19－12 データの読み出し／書き込みに必要なクロック数」を参照してください。

表 19－11 コントロール・データの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート・エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート・エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0-23，X：0 または 1

表 19－12 データの読み出し／書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	SFR	2nd SFR	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1＋ ウェイト数 注
データ書き込み	1	－	－	1	1	1＋ ウェイト数 注

注 ウェイト数はアクセスする 2nd SFR に配置されたレジスタの仕様によって異なります。

19.4.7 高速 DTC 転送実行クロック数

表 19－13 に高速 DTC 起動時の実行状況と必要なクロック数を示します。

表 19－13 高速 DTC 起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1		1 注1	注2	注2

注 1. コントロール・データの書き戻しに必要なクロック数は，「表 19－14 コントロール・データの書き戻しに必要なクロック数」を参照してください。

2. データの読み出し／書き込みに必要なクロック数は，「表 19－15 データの読み出し／書き込みに必要なクロック数」を参照してください。

表 19－14 コントロール・データの書き戻しに必要なクロック数

HDTCCRmレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
HDAMODm	HSAMODm	HRPTSELm	HMODEm	ソース	デスティネーション	HDTCCTmレジスタ	HDTRLDmレジスタ	HDTSARmレジスタ	HDTDARmレジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻さない	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻さない	書き戻す	書き戻さない	1
1	0	X	0	固定	加算	書き戻す	書き戻さない	書き戻さない	書き戻す	1
1	1	X	0	加算	加算	書き戻す	書き戻さない	書き戻す	書き戻す	1
0	X	1	1	リピート・エリア	固定	書き戻す	書き戻さない	書き戻す	書き戻さない	1
1	X	1	1		加算	書き戻す	書き戻さない	書き戻す	書き戻す	1
X	0	0	1	固定	リピート・エリア	書き戻す	書き戻さない	書き戻さない	書き戻す	1
X	1	0	1	加算		書き戻す	書き戻さない	書き戻す	書き戻す	1

備考 m = 0, 1，X : 0 または 1

表 19－15 データの読み出し／書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	SFR	2nd SFR	
					ウェイトなし	ウェイトあり
データ読み出し	－	－	－	1	1	1＋ ウェイト数 注
データ書き込み	1	－	－	1	1	1＋ ウェイト数 注

注 ウェイト数はアクセスする 2nd SFR に配置されたレジスタの仕様によって異なります。

19.4.8 DTC 応答時間

表 19－16 に DTC における応答時間を示します。DTC 応答時間とは DTC 起動要因の検出から DTC 転送開始までの時間であり，DTC 実行クロック数は含まれません。

高速転送における応答時間も，通常転送と同じです。

表 19－16 DTC における応答時間

	最小時間	最大時間
応答時間	3 クロック	19 クロック

ただし，以下の場合は更に DTC の応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部 RAM からの命令実行の場合
  最大応答時間：20 クロック
- DTC 保留命令実行の場合（「19.4.3 DTC 保留命令」を参照）
  最大応答時間：各条件時の最大応答時間＋その条件での保留する命令の実行クロック
- ウェイトが発生する 2nd SFR 注レジスタをアクセスした場合
  最大応答時間：各条件時の最大応答時間＋1 クロック

注 F0300H から F06FFH までの領域にあるレジスタ

備考 1 クロック：1/f_{CLK}（f_{CLK}：CPU／周辺ハードウェア・クロック）

19.4.9 DTC 起動要因

- DTC 起動要因を入力してから DTC 転送が完了するまでは同一起動要因を入力しないでください
- DTC 起動要因が発生する箇所で，その起動要因に対応した DTC 起動許可ビットを操作しないでください。
- タイマ RJ0 が DTC 起動要因として選択され，DTC 転送を同じ要因によって起動された前の DTC 転送の完了後に再度続行する場合は，タイマ RJ0 の動作クロックの 1 サイクル後に対応する DTCEN4 レジスタの DTCEN45 ビットを 1（起動許可）に設定します。
- DTC 起動要因が競合した場合は，CPU が DTC 転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は「19.2.3 DTC ベクタ・テーブル」を参照してください。
- 以下のいずれかの条件で DTC 起動が許可された場合，DTC 転送が開始され，転送終了後に割り込み要求が発生します。したがって，必要に応じてコンパレータ出力モニタ・フラグ（CMPMON0）を確認してから DTC 起動許可にしてください。
  - コンパレータを割り込みによる STOP モード解除許可に設定（CSTEN = 1），かつコンパレータ出力正転に設定（CINV = 0），かつコンパレータ入力＞基準電圧の状態
  - コンパレータを割り込みによる STOP モード解除許可に設定（CSTEN = 1），かつコンパレータ出力反転に設定（CINV = 1），かつコンパレータ入力＜基準電圧の状態

19.4.10 スタンバイ・モード時の動作

表 19－17 スタンバイモードと DTC 動作

状態	DTC 動作
HALT モード	動作可能（低消費 RTC モード時は動作禁止）
STOP モード	DTC 起動要因受付可能 注1
SNOOZE モード	動作可能 注2

注 1. STOP モード時に DTC 起動要因の検出により SNOOZE モードに遷移して DTC 転送が可能です。また転送完了後は STOP モードに戻ります。ただし，SNOOZE モード中はコード･フラッシュ・メモリおよび，データ・フラッシュ・メモリが停止しているため，フラッシュ・メモリを転送元（ソース）にすることはできません。

2. SNOOZE モードは，f_{CLK} に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

19.4.11 RAM 領域を転送元とする場合の注意

RAM 領域を転送元とする場合，任意の値で初期設定してください。RAM ECC 割り込みが発生する場合があります。

19.4.12 高速転送のベクタ・アドレス

高速転送も，起動要因ごとに割り当てられた DTC ベクタ・アドレスの読み出しを行います。高速転送のチェイン転送は，DTC ベクタ・アドレスで指定されたコンロトール・データに連続して配置した次のコントロール・データを読み出します。高速転送のチェイン転送以外は，DTC ベクタ・アドレスを任意の値で初期設定してください。

第20章　イベント・リンク・コントローラ（ELC）（RL78/F24 のみ）

イベント・リンク・コントローラ（ELC）は，各周辺機能が出力するイベントを周辺機能間で相互に接続（リンク）します。イベント・リンクにより CPU を介さず直接，周辺機能間での連携動作が可能になります。

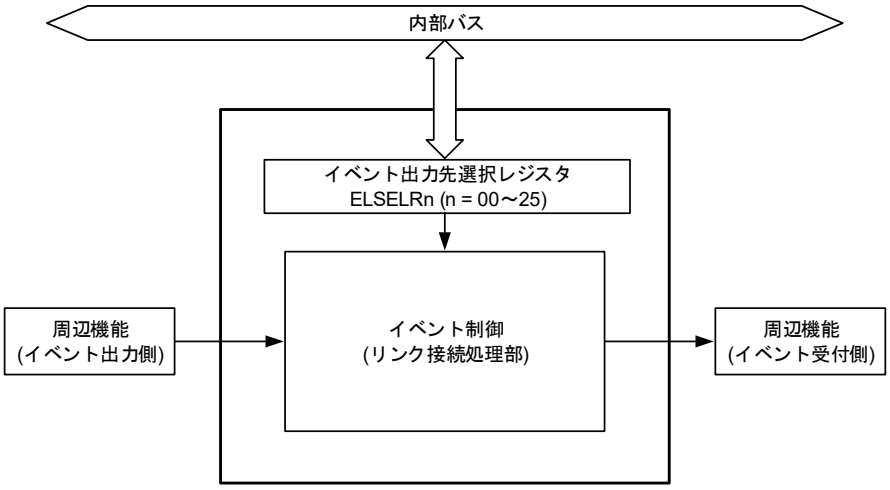
20.1　概要

ELC には次の機能があります。

- 26 種類の周辺機能からのイベント信号を指定した周辺機能へ直接リンク可能
- 10 種類の内の 1 つの周辺機能動作の起動要因としてイベント信号を使用可能

図 20－1 にイベント・リンク・コントローラのブロック図を示します。

図 20－1　イベント・リンク・コントローラのブロック図



20.2　レジスタの説明

表 20－1 に ELC のレジスタ構成を示します。

表 20－1　ELC のレジスタ構成

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F0780H	イベント出力先選択レジスタ 00	ELSELR00	00H	1, 8
F0781H	イベント出力先選択レジスタ 01	ELSELR01	00H	1, 8
F0782H	イベント出力先選択レジスタ 02	ELSELR02	00H	1, 8
F0783H	イベント出力先選択レジスタ 03	ELSELR03	00H	1, 8
F0784H	イベント出力先選択レジスタ 04	ELSELR04	00H	1, 8
F0785H	イベント出力先選択レジスタ 05	ELSELR05	00H	1, 8
F0786H	イベント出力先選択レジスタ 06	ELSELR06	00H	1, 8
F0787H	イベント出力先選択レジスタ 07	ELSELR07	00H	1, 8
F0788H	イベント出力先選択レジスタ 08	ELSELR08	00H	1, 8
F0789H	イベント出力先選択レジスタ 09	ELSELR09	00H	1, 8
F078AH	イベント出力先選択レジスタ 10	ELSELR10	00H	1, 8
F078BH	イベント出力先選択レジスタ 11	ELSELR11	00H	1, 8
F078CH	イベント出力先選択レジスタ 12	ELSELR12	00H	1, 8
F078DH	イベント出力先選択レジスタ 13	ELSELR13	00H	1, 8
F078EH	イベント出力先選択レジスタ 14	ELSELR14	00H	1, 8
F078FH	イベント出力先選択レジスタ 15	ELSELR15	00H	1, 8
F0790H	イベント出力先選択レジスタ 16	ELSELR16	00H	1, 8
F0791H	イベント出力先選択レジスタ 17	ELSELR17	00H	1, 8
F0792H	イベント出力先選択レジスタ 18	ELSELR18	00H	1, 8
F0793H	イベント出力先選択レジスタ 19	ELSELR19	00H	1, 8
F0794H	イベント出力先選択レジスタ 20	ELSELR20	00H	1, 8
F0795H	イベント出力先選択レジスタ 21	ELSELR21	00H	1, 8
F0796H	イベント出力先選択レジスタ 22	ELSELR22	00H	1, 8
F0797H	イベント出力先選択レジスタ 23	ELSELR23	00H	1, 8
F0798H	イベント出力先選択レジスタ 24	ELSELR24	00H	1, 8
F0799H	イベント出力先選択レジスタ 25	ELSELR25	00H	1, 8

20.2.1　イベント出力先選択レジスタ n（ELSELRn）（n = 00-25）

ELSELRn レジスタは各イベント信号を，イベント受付側周辺機能（リンク先周辺機能）の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を同一のイベント出力先（イベント受付側）にリンクさせる設定にしないでください。イベント受付側の周辺機能の動作が不定になる，イベント信号が正確に受け付けられないことがあります。また，イベント・リンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しておらず，イベント出力先（イベント受信側）の機能が停止している期間に，ELSELRn レジスタを設定してください。

表 20－2 に ELSELRn レジスタ（n = 00-25）と周辺機能の対応を，表 20－3 に ELSELRn レジスタ（n = 00-25）に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図 20－2　イベント出力先選択レジスタ n（ELSELRn）（n = 00-25）のフォーマット

アドレス：F0780H（ELSELR00）～ F0799H（ELSELR25）　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	ELSELRn3	ELSELRn2	ELSELRn1	ELSELRn0

ビット 7-4	予約ビット
－	読み出し値は 0

ELSELRn3	ELSELRn2	ELSELRn1	ELSELRn0	イベントリンクの選択
0	0	0	0	イベントリンク禁止
0	0	0	1	リンクする周辺機能の動作を選択 注
0	0	1	0	リンクする周辺機能の動作を選択 注
0	0	1	1	リンクする周辺機能の動作を選択 注
0	1	0	0	リンクする周辺機能の動作を選択 注
0	1	0	1	リンクする周辺機能の動作を選択 注
0	1	1	0	リンクする周辺機能の動作を選択 注
0	1	1	1	リンクする周辺機能の動作を選択 注
1	0	0	0	リンクする周辺機能の動作を選択 注
1	0	0	1	リンクする周辺機能の動作を選択 注
1	0	1	0	リンクする周辺機能の動作を選択 注
上記以外				設定禁止

注　「表 20－3　ELSELRn レジスタ（n = 00-25）に設定する値とリンク先周辺機能の受付時の動作の対応」を参照。

表 20－2　ELSELRn レジスタ（n = 00-25）と周辺機能の対応

レジスタ名	イベント発生元（イベント入力 n の出力元）	イベント内容
ELSELR00	外部割り込みエッジ検出 0	INTP0
ELSELR01	外部割り込みエッジ検出 1	INTP1
ELSELR02	外部割り込みエッジ検出 2	INTP2
ELSELR03	外部割り込みエッジ検出 3	INTP3
ELSELR04	外部割り込みエッジ検出 4	INTP4
ELSELR05	外部割り込みエッジ検出 5	INTP5
ELSELR06	キー・リターン信号検出	INTKR
ELSELR07	RTC 定周期信号／アラーム一致検出	INTRTC
ELSELR08	タイマ RD0 インプット・キャプチャ A／コンペアー致 A	INTTRD0
ELSELR09	タイマ RD0 インプット・キャプチャ B／コンペアー致 B	INTTRD0
ELSELR10	タイマ RD1 インプット・キャプチャ A／コンペアー致 A	INTTRD1
ELSELR11	タイマ RD1 インプット・キャプチャ B／コンペアー致 B	INTTRD1
ELSELR12	タイマ RD1 アンダフロー	TRD1 アンダフロー信号
ELSELR13	タイマ RJ0	INTTRJ0
ELSELR14	TAU0 チャネル 0 カウント完了／キャプチャ完了	INTTM00
ELSELR15	TAU0 チャネル 1 カウント完了／キャプチャ完了	INTTM01
ELSELR16	TAU0 チャネル 2 カウント完了／キャプチャ完了	INTTM02
ELSELR17	TAU0 チャネル 3 カウント完了／キャプチャ完了	INTTM03
ELSELR18	TAU0 チャネル 4 カウント完了／キャプチャ完了	INTTM04
ELSELR19	コンパレータ検出 0	INTCMP0
ELSELR20	TAU0 チャネル 5 カウント完了／キャプチャ完了	INTTM05
ELSELR21	TAU0 チャネル 6 カウント完了／キャプチャ完了	INTTM06
ELSELR22	TAU0 チャネル 7 カウント完了／キャプチャ完了	INTTM07
ELSELR23	TAU1 チャネル 0 カウント完了／キャプチャ完了	INTTM10
ELSELR24	TAU1 チャネル 1 カウント完了／キャプチャ完了	INTTM11
ELSELR25	TAU1 チャネル 2 カウント完了／キャプチャ完了	INTTM12

表 20－3　ELSELRn レジスタ（n = 00-25）に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELRn3 - ELSELRn0 ビット	リンク先周辺機能	イベント受付時の動作
0001B	A/D コンバータ	A/D 変換開始
0010B	タイマ・アレイ・ユニット 0 チャネル 0 のタイマ入力 注 1, 2	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
0011B	タイマ・アレイ・ユニット 0 チャネル 1 のタイマ入力 注 1, 2	
0100B	タイマ RJ0	カウントソース
0101B	タイマ RD0	TRDIOD0 のインプット・キャプチャ／パルス出力遮断
0110B	タイマ RD1	TRDIOD1 のインプット・キャプチャ／パルス出力遮断
0111B	DA0 注 3	リアルタイム出力
1000B	タイマ・アレイ・ユニット 0 チャネル 2 のタイマ入力 注 1, 2	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
1001B	タイマ・アレイ・ユニット 0 チャネル 3 のタイマ入力 注 1, 2	
1010B	PWMOPA	パルス出力強制遮断

注 1. リンク先周辺機能にタイマ・アレイ・ユニット 0 チャネル m のタイマ入力を選択する場合は，先にタイマ・クロック選択レジスタ 0（TPS0）でチャネル m の動作クロックを f_{CLK} に設定し，タイマ入力選択レジスタ 0（TIS0）で，チャネル m で使用するタイマ入力を ELC からのイベント入力信号に設定してください。

2. リンク先周辺機能にタイマ・アレイ・ユニット 0 チャネル m のタイマ入力を選択する場合，先にノイズ・フィルタ許可レジスタ 1（NFEN1）により，タイマ・アレイ・ユニット 0 の対応するリンク先チャネルのノイズ・フィルタを OFF（TNFEN0m = 0）に設定してください。

3. D/A 変換のリアルタイム出力モード有効時に STOP モードに入る場合は，STOP モードに入る前に ELC のイベントリンクを禁止にしてください。

備考　m = 0-3

20.2.2　タイマ入力選択レジスタ 0（TIS0）

TAU0 チャネル 0-3 は，ELC からのイベント入力を各チャネルのソースに切り替える機能があります。詳細は，「6.3.8　タイマ入力選択レジスタ 0（TIS0）」を参照してください。

20.2.3　A/D コンバータ・スタート・トリガ選択レジスタ（ADSTRGR）

このレジスタには，A/D 変換トリガを指定する機能があります。12 ビット A/D コンバータは，ELC からのイベント入力を開始トリガとして使用できます。詳細は，「12.2.10　A/D コンバータ・スタート・トリガ選択レジスタ（ADSTRGR）」を参照してください。

20.2.4　D/A コンバータ・モード・レジスタ（DAM）

ELC からのイベント入力を起動トリガとして D/A 変換を開始する，リアルタイム出力する機能があります。詳細は，「13.3.3　D/A コンバータ・モード・レジスタ（DAM）」を参照してください。

20.3　動作説明

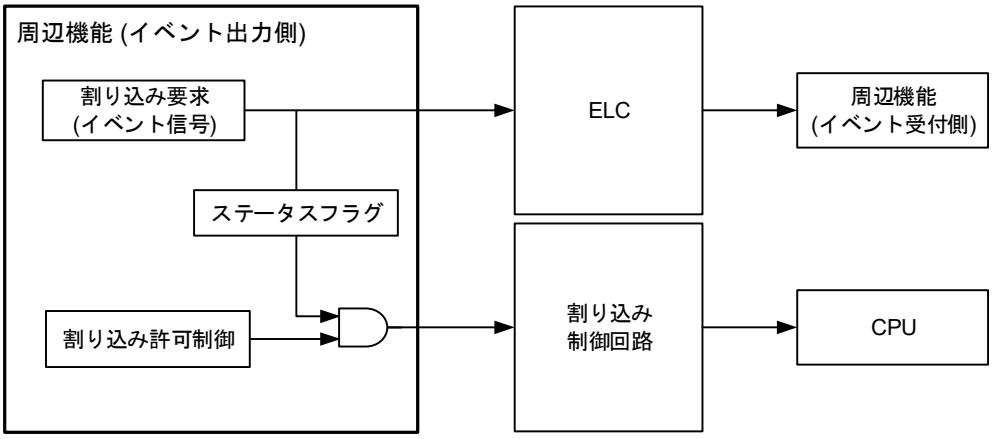
各周辺機能で発生するイベント信号を，割り込み制御回路への割り込み要求として使う経路と，ELC のイベントとして使う経路が独立しています。したがって，各イベント信号は割り込み制御に関係なく，イベント受付側周辺機能の動作のイベント信号として使用できます。

また，イベントリンク動作は CPU クロックの供給の有無に，影響されずに行うことができます。ただし，周辺機能の動作クロックが供給されて，動作できる状態にしてください。

図 20－3 に割り込み処理と ELC の関係を示します。この図は割り込み要求ステータス・フラグと，これらの割り込みの許可／禁止を制御する許可ビットを持つ周辺機能を例としています。

ELC によってイベントを受け付ける周辺機能は，受付側周辺機能に応じたイベント受付後の動作をします（「表 20－3　ELSELRn レジスタ（n = 00-25）に設定する値とリンク先周辺機能の受付時の動作の対応」を参照）。

図 20－3　割り込み処理と ELC の関係



第21章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

		RL78/F23				RL78/F24			
		32ピン	48ピン	64ピン	80ピン	32ピン	48ピン	64ピン	80, 100ピン
マスカブル割り込み	外部	8	12	14	15	10	14	15	16
	内部	38	38	38	38	53	53	53	53

21.1　割り込み機能の種類

割り込み機能には次の 2 種類があります。

(1)　マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表21－1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

(2)　ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

21.2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウェア割り込みがあります。また，それ以外にリセット要因が最大で合計 7 要因あります（表 21－1 参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各 2 バイトとしているため割り込みの飛び先アドレスは 00000H-0FFFFH の 64 KB アドレスとなります。

表 21－1　割り込み要因一覧（1/4）

割り込みの処理	デフォルト・プライオリティ 注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ 注2	100, 80ピン	64ピン	48ピン	32ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル 注3（オーバフロー時間の75% + 1/2 f_{WDT}）	内部	0004H	(A)	○	○	○	○
	1	INTLVI	電圧検出 注4		0006H		○	○	○	○
	2	INTP0	端子入力エッジ検出0	外部	0008H	(B)	○	○	○	○
	3	INTP1	端子入力エッジ検出1		000AH		○	○	○	○
	4	INTP2	端子入力エッジ検出2		000CH		○	○	○	○
	5	INTP3	端子入力エッジ検出3		000EH		○	○	○	○
	6	INTP4 注6	端子入力エッジ検出4		0010H		○	○	○	○
		INTSPM 注6	スタックポインタ・オーバフロー／アンダフロー	内部		(A)				
	7	INTP5 注7	端子入力エッジ検出5	外部	0012H	(B)	○	○	○	○
		INTCMP0 注7	コンパレータ検出0	内部		(A)	○注5	○注5	○注5	○注5
	8	INTP13 注8	端子入力エッジ検出13	外部	0014H	(B)	○	－	－	－
		INTCLM 注8	PLLクロックの停止	内部		(A)	○	○	○	○
	9	INTST0/INTCSI00/INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了		0016H		○	○	○	○
	10	INTSR0/INTCSI01/INTIIC01	UART0受信の転送完了／CSI01の転送完了，バッファ空き割り込み／IIC01の転送完了		0018H		○	○	○	○
	11	INTTRD0	タイマRD0インプットキャプチャ，コンペア一致，オーバフロー，アンダフロー割り込み		001AH		○	○	○	○
	12	INTTRD1	タイマRD1インプットキャプチャ，コンペア一致，オーバフロー，アンダフロー割り込み		001CH		○	○	○	○
	13	INTTRJ0	タイマRJ0アンダフロー，キャプチャ		001EH		○	○	○	○
	14	INTRAM	RAM 1 bit訂正／2 bitエラー検出		0020H		○	○	○	○
	15	INTLIN0TRM	LIN0の送信		0022H		○	○	○	○
	16	INTLIN0RVC	LIN0の受信完了		0024H		○	○	○	○

注 1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0 が最高順位，60 が最低順位です。

2. 基本構成タイプの (A) - (F) は，それぞれ図 21－1 の (A) - (F) に対応しています。

3. ユーザ・オプション・バイト（000C0H/040C0H）のビット 7（WDTINT）= 1 選択時。

4. 電圧検出レベル・レジスタ（LVIS）のビット 7（LVIMD）= 0 選択時。

5. RL78/F24 製品のみ。

6. INTP4 と INTSPM の割り込み要因を判別する場合，INTFLG0 レジスタの INTFLG00 ビットおよびスタック・ポインタを読み出して確認してください。

7. INTP5 と INTCMP0 の割り込み要因を判別する場合，INTFLG0 レジスタの INTFLG01 ビットおよび INTFLG06 ビットを確認してください。

8. INTP13 と INTCLM の割り込み要因を判別する場合，INTFLG0 レジスタの INTFLG07 ビットおよび PLLSTS レジスタの SELPLLS ビットを確認してください。

表 21－1　割り込み要因一覧（2/4）

割り込みの処理	デフォルト・プライオリティ 注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ 注2	100, 80ピン	64ピン	48ピン	32ピン
マスカブル	17	INTLIN0STA /INTLIN0	LIN0の受信ステータス／LIN0の割り込み	内部	0026H	(A)	○	○	○	○
	18	INTIICA0	IICA0通信完了		0028H		○	○	○	○
	19	INTP8 注4	端子入力エッジ検出8	外部	002AH	(B)	○	○	○	－
		INTRTC 注4	RTC定周期信号／アラーム一致検出	内部		(A)	○	○	○	○
	20	INTTM00	TAU0チャネル0のカウント完了／キャプチャ完了	内部	002CH		○	○	○	○
	21	INTTM01	TAU0チャネル1のカウント完了／キャプチャ完了		002EH		○	○	○	○
	22	INTTM02	TAU0チャネル2のカウント完了／キャプチャ完了		0030H		○	○	○	○
	23	INTTM03	TAU0チャネル3のカウント完了／キャプチャ完了		0032H		○	○	○	○
	24	INTAD	A/D変換終了		0034H		○	○	○	○
	25	INTP6 注3	端子入力エッジ検出6	外部	0036H	(B)	○	○	○	－
		INTTM11H	TAU1チャネル1の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○
	26	INTP7 注3	端子入力エッジ検出7	外部	0038H	(B)	○	○	○	－
		INTTM13H	TAU1チャネル3の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○
	27	INTP9 注3	端子入力エッジ検出9	外部	003AH	(B)	○	○	○	－
		INTTM01H	TAU0チャネル1の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○
	28	INTP10 注3	端子入力エッジ検出10	外部	003CH	(B)	○	○	－	－
		INTTM03H	TAU0チャネル3の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○
	29	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了，バッファ空き割り込み／CSI10の転送完了，バッファ空き割り込み／IIC10の転送完了		003EH		○	○	○	○

注 1. デフォルト・プライオリティは複数のマスカブル割り込みが発生している場合に，優先する順位です。
0 が最高順位，60 が最低順位です。

2. 基本構成タイプの (A) - (F) は，それぞれ図 21－1 の (A) - (F) に対応しています。

3. 端子入力エッジ検出と TAU のカウント完了割り込みは割り込み要因を判別できません。

4. INTP8 と INTRTC の割り込み要因を判別する場合，INTFLG0 レジスタの INTFLG02 ビットおよび RTCC1 レジスタの WAFG, RIFG ビットを確認してください。

表 21－1　割り込み要因一覧（3/4）

割り込みの処理	デフォルト・プライオリティ 注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ 注2	100, 80ピン	64ピン	48ピン	32ピン
マスカブル	30	INTSR1 /INTCSI11 /INTIIC11	UART1受信の転送完了／CSI11の転送完了，バッファ空き割り込み／IIC11の転送完了	内部	0040H	(A)	○	○	○	○注5
	31	INTTM04	TAU0チャネル4のカウント完了／キャプチャ完了		0042H		○	○	○	○
	32	INTTM05	TAU0チャネル5のカウント完了／キャプチャ完了		0044H		○	○	○	○
	33	INTTM06	TAU0チャネル6のカウント完了／キャプチャ完了		0046H		○	○	○	○
	34	INTTM07	TAU0チャネル7のカウント完了／キャプチャ完了		0048H		○	○	○	○
	35	INTP11 注4	端子入力エッジ検出11	外部	004AH	(B)	○	○	－	－
		INTLIN0WUP 注4	LIN0受信端子入力			(E)	○	○	○	○
	36	INTKR 注6	キー割り込み検出		004CH	(C)	○	○	○	○
		INTRCANGRVC 注6	CANグローバル受信バッファ・メッセージ受信	内部		(A)	○注3	○注3	○注3	○注3
	37	INTRCAN0ERR	CAN0チャネル・エラー検出	内部	004EH	(A)	○注3	○注3	○注3	○注3
	38	INTRCAN0WUP	CAN0ウェイクアップ受信端子入力	外部	0050H	(D)	○注3	○注3	○注3	○注3
	39	INTRCAN0CFR	CAN0送受信FIFOメッセージ受信	内部	0052H	(A)	○注3	○注3	○注3	○注3
	40	INTRCAN0TRM	CAN0チャネル送信		0054H		○注3	○注3	○注3	○注3
	41	INTRCANGRFR	CANグローバル受信FIFOメッセージ受信		0056H		○注3	○注3	○注3	○注3
	42	INTRCANGERR	CANグローバル・エラー検出		0058H		○注3	○注3	○注3	○注3
	43	INTTM10	TAU1チャネル0のカウント完了／キャプチャ完了		005AH		○	○	○	○
	44	INTTM11	TAU1チャネル1のカウント完了／キャプチャ完了		005CH		○	○	○	○
	45	INTTM12	TAU1チャネル2のカウント完了／キャプチャ完了		005EH		○	○	○	○
	46	INTTM13	TAU1チャネル3のカウント完了／キャプチャ完了		0060H		○	○	○	○
	47	予約	予約		0062H		－	－	－	－

注 1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0 が最高順位，60 が最低順位です。

2. 基本構成タイプの (A) - (F) は，それぞれ図 21－1 の (A) - (F) に対応しています。

3. RL78/F24 製品のみ。

4. INTP11 と INTLIN0WUP は，ISC レジスタの ISC2 ビットで選択してください。

5. INTSR1 のみ。

6. これらの機能を同時に使用した場合，割り込み要因を判別できません。

表 21－1　割り込み要因一覧（4/4）

割り込みの処理	デフォルト・プライオリティ 注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ 注2	100, 80ピン	64ピン	48ピン	32ピン
マスカブル	48	INTP12 注6	端子入力エッジ検出12	外部	0064H	(B)	○	○	－	－
		INTLIN1WUP 注6	LIN1受信端子入力			(E)	○注5	○注5	○注5	○注5
	49	INTLIN1TRM	LIN1の送信	内部	0066H	(A)	○注5	○注5	○注5	○注5
	50	INTLIN1RVC	LIN1の受信完了		0068H		○注5	○注5	○注5	○注5
	51	INTLIN1STA/ INTLIN1	LIN1の受信ステータス/ LIN1の割り込み		006AH		○注5	○注5	○注5	○注5
	52	INTTM14	TAU1チャネル4のカウント完了／キャプチャ完了		006CH		○注5	○注5	○注5	○注5
	53	INTTM15	TAU1チャネル5のカウント完了／キャプチャ完了		006EH		○注5	○注5	○注5	○注5
	54	INTTM16	TAU1チャネル6のカウント完了／キャプチャ完了		0070H		○注5	○注5	○注5	○注5
	55	INTTM17	TAU1チャネル7のカウント完了／キャプチャ完了		0072H		○注5	○注5	○注5	○注5
	56	予約	予約		0074H		○	○	○	○
	57	予約	予約		0076H		○	○	○	○
	58	INTADGB	A/D変換終了（グループB）		0078H		○	○	○	○
	59	INTCRAM	CAN-RAM ECC 1 bit訂正／2 bitエラー検出		007AH		○注5	○注5	○注5	○注5
	60	INTROM	コード・フラッシュECCエラー検出（BED/AED/OVF）		007CH		○	○	○	○
ソフトウェア	－	BRK	BRK命令の実行	－	007EH	(F)	○	○	○	○
リセット	－	RESET	RESET端子入力	－	0000H	－	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○
		LVD	電圧検出 注3				○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○
		TRAP	不正命令の実行 注4				○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○
		CLM	メインクロック発振停止				○	○	○	○

注 1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0 が最高順位，60 が最低順位です。

2. 基本構成タイプの (A) - (F) は，それぞれ図 21－1 の (A) - (F) に対応しています。

3. 電圧検出レベル・レジスタ（LVIS）のビット 7（LVIMD）= 1 選択時。

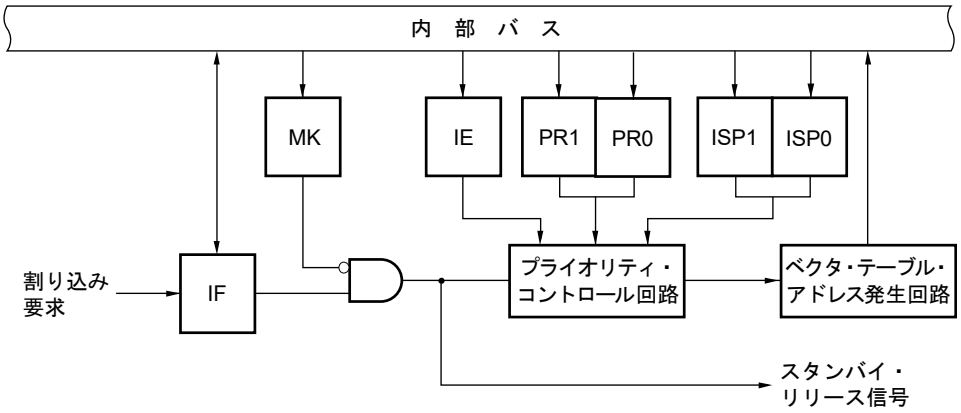
4. FFH の命令コードを実行したときに発生します。不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

5. RL78/F24 製品のみ。

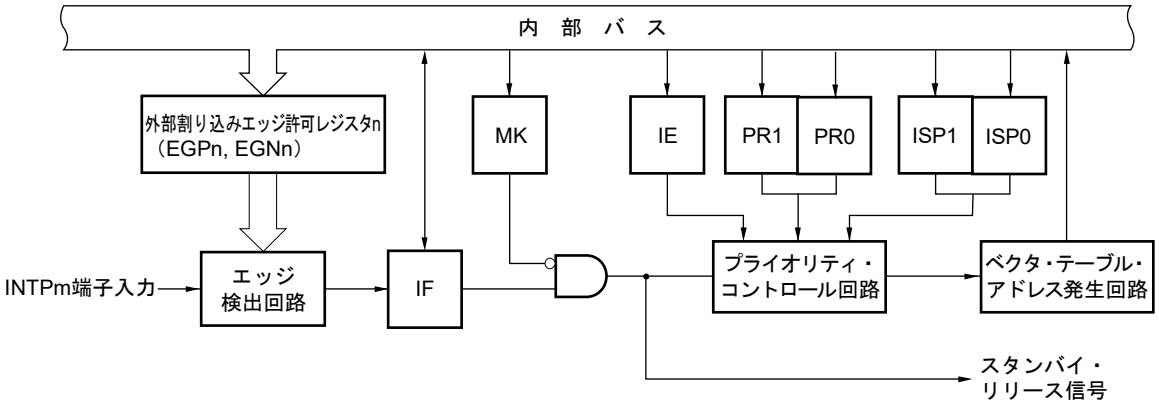
6. INTP12 と INTLIN1WUP は，ISC レジスタの ISC3 ビットで選択してください。

図 21－1　割り込み機能の基本構成（1/3）

(A)　内部マスカブル割り込み



(B)　外部マスカブル割り込み（INTPm）



IF　　：割り込み要求フラグ

IE　　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　　：割り込みマスク・フラグ

PR0　　：優先順位指定フラグ0

PR1　　：優先順位指定フラグ1

備考　n = 0, 1

32ピン　　：m = 0-5

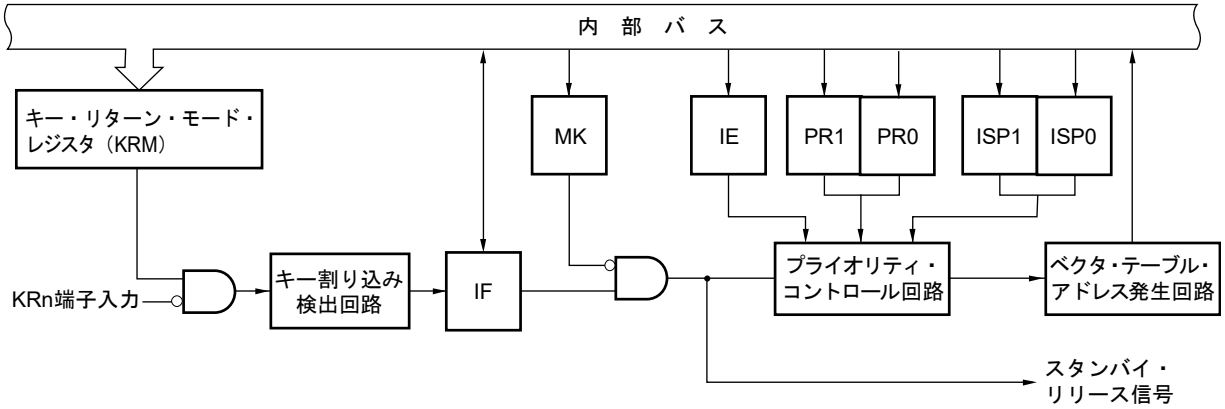
48ピン　　：m = 0-9

64ピン　　：m = 0-12

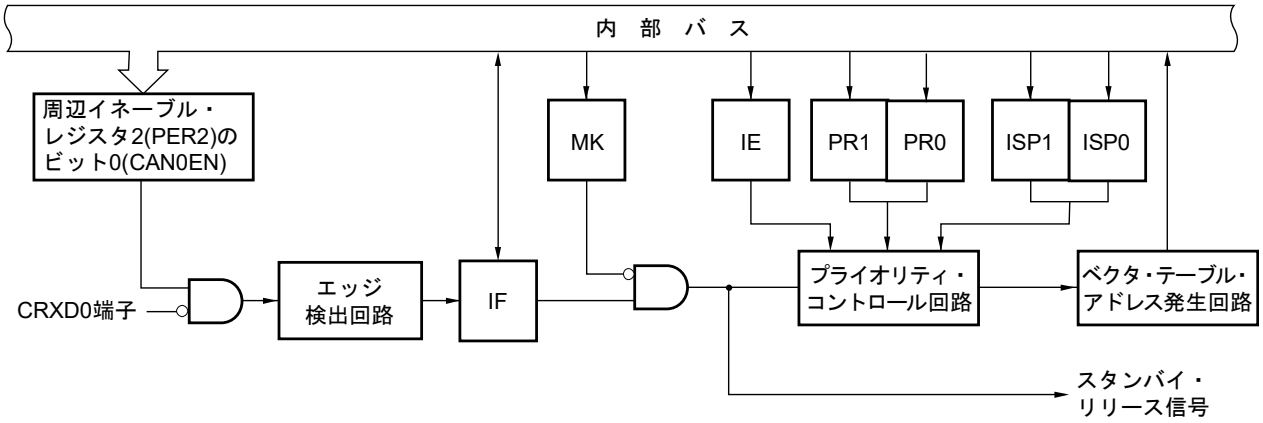
80, 100ピン　：m = 0-13

図21－1　割り込み機能の基本構成（2/3）

(C)　外部マスカブル割り込み（INTKR）



(D)　外部マスカブル割り込み（CAN ウェイクアップ）（RL78/F24 のみ）

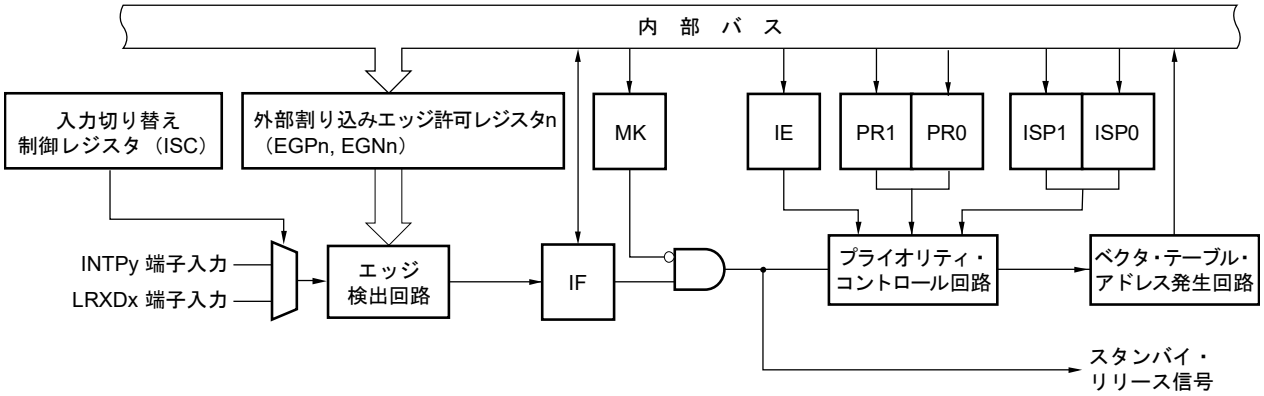


IF　　：割り込み要求フラグ
IE　　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　　：割り込みマスク・フラグ
PR0　　：優先順位指定フラグ0
PR1　　：優先順位指定フラグ1

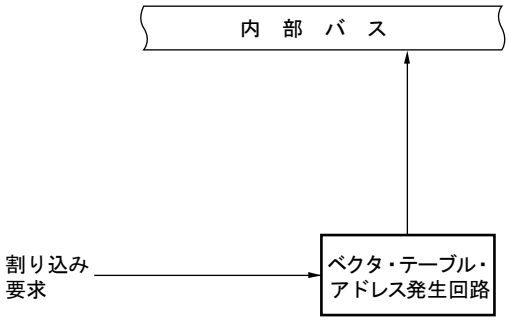
備考　32 ピン　　：n = 0-5
　　48, 64, 80, 100 ピン　　：n = 0-7

図21－1　割り込み機能の基本構成（3/3）

(E)　外部マスカブル割り込み（LINx ウェイクアップ）



(F)　ソフトウェア割り込み



IF　　：割り込み要求フラグ
IE　　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　　：割り込みマスク・フラグ
PR0　　：優先順位指定フラグ0
PR1　　：優先順位指定フラグ1

備考　n = 0, 1
x = 0, 1 注
64, 80, 100 ピン：y = 11, 12

注　RL78/F23 製品　：x = 0

21.3　割り込み機能を制御するレジスタ

表 21－2　割り込み機能レジスタの構成

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0	00H	1, 8
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0	00H	1, 8
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1	00H	1, 8
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1	00H	1, 8
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	00H	1, 8
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H	00H	1, 8
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	00H	1, 8
FFFD3H	割り込み要求フラグ・レジスタ3H	IF3H	00H	1, 8
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	FFH	1, 8
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H	FFH	1, 8
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	FFH	1, 8
FFFD7H	割り込みマスク・フラグ・レジスタ3H	MK3H	FFH	1, 8
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	FFH	1, 8
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H	FFH	1, 8
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	FFH	1, 8
FFFDBH	優先順位指定フラグ・レジスタ03H	PR03H	FFH	1, 8
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	FFH	1, 8
FFFDDH	優先順位指定フラグ・レジスタ12H	PR12H	FFH	1, 8
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	FFH	1, 8
FFFDFH	優先順位指定フラグ・レジスタ13H	PR13H	FFH	1, 8
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	00H	1, 8
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H	00H	1, 8
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	00H	1, 8
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H	00H	1, 8
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	FFH	1, 8
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H	FFH	1, 8
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	FFH	1, 8
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H	FFH	1, 8
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	FFH	1, 8
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H	FFH	1, 8
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	FFH	1, 8
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H	FFH	1, 8
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	FFH	1, 8
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H	FFH	1, 8
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	FFH	1, 8
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H	FFH	1, 8
F0073H	入力切り替え制御レジスタ	ISC	00H	1, 8
F0079H	割り込み要因判別フラグ・レジスタ0	INTFLG0	00H	8
F007CH	割り込みマスク・レジスタ	INTMSK	FFH	8

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表 21－3 に示します。

表21－3　割り込み要求ソースに対応する各種フラグ（1/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	100ピン	80ピン	64ピン	48ピン	32ピン
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○
INTSPM	SPMIF		SPMMK		SPMPR0, SPMPR1		○	○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○
INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10		○	○注	○注	○注	○注

注　RL78/F24 製品のみ。

表21－3　割り込み要求ソースに対応する各種フラグ（2/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	100ピン	80ピン	64ピン	48ピン	32ピン
INTP13	PIF13	IF0H	PMK13	MK0H	PPR013, PPR113	PR00H, PR10H	○	○	－	－	－
INTCLM	CLMIF		CLMMK		CLMPR0, CLMPR1		○	○	○	○	○
INTST0	STIF0		STMK0		STPR00, STPR10		○	○	○	○	○
INTCSI00	CSIIF00		CSIMK00		CSIPR000, CSIPR100		○	○	○	○	○
INTIIC00	IICIF00		IICMK00		IICPR000, IICPR100		○	○	○	○	○
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○	○	○	○
INTCSI01	CSIIF01		CSIMK01		CSIPR001, CSIPR101		○	○	○	○	○
INTIIC01	IICIF01		IICMK01		IICPR001, IICPR101		○	○	○	○	○
INTTRD0	TRDIF0		TRDMK0		TRDPR00, TRDPR10		○	○	○	○	○
INTTRD1	TRDIF1		TRDMK1		TRDPR01, TRDPR11		○	○	○	○	○
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10		○	○	○	○	○
INTRAM	RAMIF		RAMMK		RAMPR0, RAMPR1		○	○	○	○	○
INTLIN0TRM	LIN0TRMIF		LIN0TRMMK		LIN0TRMPR0, LIN0TRMPR1		○	○	○	○	○

注意 1. 割り込み要因 INTST0, INTCSI00, INTIIC00 のうち，いずれかが発生したら，IF0H レジスタのビット 1 はセット“1”されます。また，MK0H, PR00H, PR10H レジスタのビット 1 は，3 つすべての割り込み要因に対応しています。

2. 割り込み要因 INTSR0, INTCSI01, INTIIC01 のうち，いずれかが発生したら，IF0H レジスタのビット 2 はセット“1”されます。また，MK0H, PR00H, PR10H レジスタのビット 2 は，3 つすべての割り込み要因に対応しています。

表 21－3　割り込み要求ソースに対応する各種フラグ（3/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	100ピン	80ピン	64ピン	48ピン	32ピン
INTLIN0RVC	LIN0RVCIF	IF1L	LIN0RVCMK	MK1L	LIN0RVCPR0, LIN0RVCPR1	PR01L, PR11L	○	○	○	○	○
INTLIN0STA	LIN0STAIF		LIN0STAMK		LIN0STAPR0, LIN0STAPR1		○	○	○	○	○
INTLIN0	LIN0IF		LIN0MK		LIN0PR0, LIN0PR1		○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○
INTP8	PIF8		PMK8		PPR08, PPR18		○	○	○	○	－
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○	－
INTTM11H	TMIF11H		TMMK11H		TMPR011H, TMPR111H		○	○	○	○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	○	－
INTTM13H	TMIF13H		TMMK13H		TMPR013H, TMPR113H		○	○	○	○	○
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	○	○	－
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H		○	○	○	○	○
INTP10	PIF10		PMK10		PPR010, PPR110		○	○	○	－	－
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H		○	○	○	○	○
INTST1	STIF1		STMK1		STPR01, STPR11		○	○	○	○	○
INTCSI10	CSIIF10		CSIMK10		CSIPR010, CSIPR110		○	○	○	○	○
INTIIC10	IICIF10		IICMK10		IICPR010, IICPR110		○	○	○	○	○
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11		○	○	○	○	○
INTCSI11	CSIIF11		CSIMK11		CSIPR011, CSIPR111		○	○	○	○	－
INTIIC11	IICIF11		IICMK11		IICPR011, IICPR111		○	○	○	○	－
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○

（**注意**が次のページにあります。）

注意 1. INTP6, TAU1 のチャネル 1（8 ビット・タイマ動作時）は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。いずれかが発生したら，IF1H レジスタのビット 1 はセット“1”されます。また，MK1H，PR01H，PR11H レジスタのビット 1 は，2 つすべての割り込み要因に対応しています。

2. INTP7, TAU1 のチャネル 3（8 ビット・タイマ動作時）は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。いずれかが発生したら，IF1H レジスタのビット 2 はセット“1”されます。また，MK1H，PR01H，PR11H レジスタのビット 2 は，2 つすべての割り込み要因に対応しています。

3. INTP9, TAU0 のチャネル 1（8 ビット・タイマ動作時）は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。いずれかが発生したら，IF1H レジスタのビット 3 はセット“1”されます。また，MK1H，PR01H，PR11H レジスタのビット 3 は，2 つすべての割り込み要因に対応しています。

4. INTP10, TAU0 のチャネル 3（8 ビット・タイマ動作時）は，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。いずれかが発生したら，IF1H レジスタのビット 4 はセット“1”されます。また，MK1H，PR01H，PR11H レジスタのビット 4 は，2 つすべての割り込み要因に対応しています。

5. 割り込み要因 INTST1, INTCSI10, INTIIC10 のうち，いずれかが発生したら，IF1H レジスタのビット 5 はセット“1”されます。また，MK1H, PR01H, PR11H レジスタのビット 5 は，3 つすべての割り込み要因に対応しています。

6. 割り込み要因 INTSR1, INTCSI11, INTIIC11 のうち，いずれかが発生したら，IF1H レジスタのビット 6 はセット“1”されます。また，MK1H, PR01H, PR11H レジスタのビット 6 は，3 つすべての割り込み要因に対応しています。

表 21－3　割り込み要求ソースに対応する各種フラグ（4/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	100ピン	80ピン	64ピン	48ピン	32ピン
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○	○	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○	○
INTP11	PIF11		PMK11		PPR011, PPR111		○	○	○	－	－
INTLIN0WUP	LIN0WUPIF		LIN0WUPMK		LIN0WUPPR0, LIN0WUPPR1		○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○
INTRCANGRVC	RCANGRVCIF		RCANGRVCMK		RCANGRVCPR0, RCANGRVCPR1		○	○注	○注	○注	○注
INTRCAN0ERR	RCAN0ERRIF		RCAN0ERRMK		RCAN0ERRPR0, RCAN0ERRPR1		○	○注	○注	○注	○注
INTRCAN0WUP	RCAN0WUPIF		RCAN0WUPMK		RCAN0WUPPR0, RCAN0WUPPR1		○	○注	○注	○注	○注
INTRCAN0CFR	RCAN0CFRIF		RCAN0CFRMK		RCAN0CFRPR0, RCAN0CFRPR1		○	○注	○注	○注	○注
INTRCAN0TRM	RCAN0TRMIF	IF2H	RCAN0TRMMK	MK2H	RCAN0TRMPR0, RCAN0TRMPR1	PR02H, PR12H	○	○注	○注	○注	○注
INTRCANGRFR	RCANGRFRIF		RCANGRFRMK		RCANGRFRPR0, RCANGRFRPR1		○	○注	○注	○注	○注
INTRCANGERR	RCANGERRIF		RCANGERRMK		RCANGERRPR0, RCANGERRPR1		○	○注	○注	○注	○注
INTTM10	TMIF10		TMMK10		TMPR010, TMPR110		○	○	○	○	○
INTTM11	TMIF11		TMMK11		TMPR011, TMPR111		○	○	○	○	○
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112		○	○	○	○	○
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113		○	○	○	○	○

注　RL78/F24 製品のみ。

表 21－3　割り込み要求ソースに対応する各種フラグ（5/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	100ピン	80ピン	64ピン	48ピン	32ピン
INTP12	PIF12	IF3L	PMK12	MK3L	PPR012, PPR112	PR03L, PR13L	○	○	○	－	－
INTLIN1WUP	LIN1WUPIF		LIN1WUPMK		LIN1WUPPR0, LIN1WUPPR1		○	○注	○注	○注	○注
INTLIN1TRM	LIN1TRMIF		LIN1TRMMK		LIN1TRMPR0, LIN1TRMPR1		○	○注	○注	○注	○注
INTLIN1RVC	LIN1RVCIF		LIN1RVCMK		LIN1RVCPR0, LIN1RVCPR1		○	○注	○注	○注	○注
INTLIN1STA	LIN1STAIF		LIN1STAMK		LIN1STAPR0, LIN1STAPR1		○	○注	○注	○注	○注
INTLIN1	LIN1IF		LIN1MK		LIN1PR0, LIN1PR1		○	○注	○注	○注	○注
INTTM14	TMIF14		TMMK14		TMPR014, TMPR114		○	○注	○注	○注	○注
INTTM15	TMIF15		TMMK15		TMPR015, TMPR115		○	○注	○注	○注	○注
INTTM16	TMIF16		TMMK16		TMPR016, TMPR116		○	○注	○注	○注	○注
INTTM17	TMIF17		TMMK17		TMPR017, TMPR117		○	○注	○注	○注	○注
INTADGB	ADGBIF	IF3H	ADGBMK	MK3H	ADGBPR0, ADGBPR1	PR03H, PR13H	○	○	○	○	○
INTCRAM	CRAMIF		CRAMMK		CRAMPR0, CRAMPR1		○	○注	○注	○注	○注
INTROM	ROMIF		ROMMK		ROMPR0, ROMPR1		○	○	○	○	○

注　RL78/F24 製品のみ。

21.3.1　割り込み要求フラグ・レジスタ（IFxL, IFxH）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット“1”し，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア“0”します。

割り込みを受け付けた場合，割り込み要求フラグを自動的にクリアしてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また，IF0L レジスタと IF0H レジスタ, IF1L レジスタと IF1H レジスタ, IF2L レジスタと IF2H レジスタ, IF3L レジスタと IF3H レジスタをあわせて 16 ビット・レジスタ IF0, IF1, IF2, IF3 として使用するときは，16 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が 2 クロック長くなります。

図 21－2　割り込み要求フラグ・レジスタ（IFxL, IFxH）のフォーマット（1/2）

アドレス：FFFE0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5 CMPIF0	PIF4 SPMIF	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0H	LIN0TRMIF	RAMIF	TRJIF0	TRDIF1	TRDIF0	SRIF0 CSIIF01 IICIF01	STIF0 CSIIF00 IICIF00	CLMIF PIF13

アドレス：FFFE2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	PIF8 RTCIF	IICAIF0	LIN0STAIF LIN0IF	LIN0RVCIF

アドレス：FFFE3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	SRIF1 CSIIF11 IICIF11	STIF1 CSIIF10 IICIF10	PIF10 TMIF03H	PIF9 TMIF01H	PIF7 TMIF13H	PIF6 TMIF11H	ADIF

アドレス：FFFD0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2L	RCAN0CFRIF	RCAN0WUPIF	RCAN0ERRIF	KRIF RCANGRVCIF	PIF11 LIN0WUPIF	TMIF07	TMIF06	TMIF05

図 21－2　割り込み要求フラグ・レジスタ（IFxL, IFxH）のフォーマット（2/2）

アドレス：FFFD1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2H	0	TMIF13	TMIF12	TMIF11	TMIF10	RCANGERRIF	RCANGREFRIF	RCAN0TRMIF

アドレス：FFFD2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF3L	TMIF17	TMIF16	TMIF15	TMIF14	LIN1STAIF LIN1IF	LIN1RVCIF	LIN1TRMIF	PIF12 LIN1WUPIF

アドレス：FFFD3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF3H	0	0	0	ROMIF	CRAMIF	ADGBIF	0	0

IFxx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意 1. 上記は，100 ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表 21－3 を参照してください。また，搭載していないビットには必ず“0”を設定してください。

2. タイマ，シリアル・インタフェース，A/D コンバータなどをスタンバイ解除後に動作させる場合，いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

3. 割り込み要求フラグ・レジスタのフラグ操作には，1 ビット・メモリ操作命令（CLR1）を使用してください。C 言語での記述の場合は，コンパイルされたアセンブラが 1 ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。

なお，C 言語で「IF0L & = 0xfe;」のように 8 ビット・メモリ操作命令で記述した場合，コンパイルすると 3 命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット“1”されても，「mov IF0L, a」でクリア“0”されます。したがって，C 言語で 8 ビット・メモリ操作命令を使用する場合は注意が必要です。

21.3.2　割り込みマスク・フラグ・レジスタ（MKxL, MKxH）

割り込みマスク・フラグは，対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また，MK0L レジスタと MK0H レジスタ，MK1L レジスタと MK1H レジスタ，MK2L レジスタと MK2H レジスタ，MK3L レジスタと MK3H レジスタをあわせて 16 ビット・レジスタ MK0, MK1, MK2, MK3 として使用するときは，16 ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFH になります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が 2 クロック長くなります。

図 21－3　割り込みマスク・フラグ・レジスタ（MKxL, MKxH）のフォーマット（1/2）

アドレス：FFFE4H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5 CMPMK0	PMK4 SPMMK	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
MK0H	LIN0TRMMK	RAMMK	TRJMK0	TRDMK1	TRDMK0	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	CLMMK PMK13

アドレス：FFFE6H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	PMK8 RTCMK	IICAMK0	LIN0STAMK LIN0MK	LIN0RVCMK

アドレス：FFFE7H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10	PMK10 TMMK03H	PMK9 TMMK01H	PMK7 TMMK13H	PMK6 TMMK11H	ADMK

アドレス：FFFD4H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
MK2L	RCAN0CFRMK	RCAN0WUPMK	RCAN0ERRMK	KRMK RCANGRVCMK	PMK11 LIN0WUPMK	TMMK07	TMMK06	TMMK05

図 21－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）のフォーマット（2/2）

アドレス：FFFD5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2H	1	TMMK13	TMMK12	TMMK11	TMMK10	RCANGERRMK	RCANGRFRMK	RCAN0TRMMK

アドレス：FFFD6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK3L	TMMK17	TMMK16	TMMK15	TMMK14	LIN1STAMK LIN1MK	LIN1RVCMK	LIN1TRMMK	PMK12 LIN1WUPMK

アドレス：FFFD7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK3H	1	1	1	ROMMK	CRAMMK	ADGBMK	1	1

MKxx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　上記は，100 ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表 21－3 を参照してください。また，搭載していないビットには必ず“1”を設定してください。

21.3.3　優先順位指定フラグ・レジスタ（PRxxL, PRxxH）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H）。

PR00L，PR00H，PR01L，PR01H，PR02L，PR02H，PR03L，PR03H，PR10L，PR10H，PR11L，PR11H，PR12L,PR12H, PR13L, PR13H レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また，PR00L レジスタと PR00H レジスタ, PR01L レジスタと PR01H レジスタ, PR02L レジスタと PR02H レジスタ, PR03L レジスタと PR03H レジスタ, PR10L レジスタと PR10H レジスタ, PR11L レジスタと PR11H レジスタ, PR12L レジスタと PR12H レジスタ, PR13L レジスタと PR13H レジスタをあわせて 16 ビット・レジスタ PR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13 として使用するときは，16 ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFH になります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が 2 クロック長くなります。

図 21－4　優先順位指定フラグ・レジスタ（PRxxL, PRxxH）のフォーマット（1/3）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05 CMPPR00	PPR04 SPMPR0	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15 CMPPR10	PPR14 SPMPR1	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	LIN0TRMPR0	RAMPR0	TRJPR00	TRDPR01	TRDPR00	SRPR00 CSIPR001 IICPR001	STPR00 CSIPR000 IICPR000	CLMPR0 PPR013

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	LIN0TRMPR1	RAMPR1	TRJPR10	TRDPR11	TRDPR10	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100	CLMPR1 PPR113

アドレス：FFFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	PPR08 RTCPR0	IICAPR00	LIN0STAPR0 LIN0PR0	LIN0RVCPR0

図 21－4　優先順位指定フラグ・レジスタ（PRxxL, PRxxH）のフォーマット（2/3）

アドレス：FFFEEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	PPR18 RTCPR1	IICAPR10	LIN0STAPR1 LIN0PR1	LIN0RVCPR1

アドレス：FFFEBH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004	SRPR01 CSIPR011 IICPR011	STPR01 CSIPR010 IICPR010	PPR010 TMPR003H	PPR09 TMPR001H	PPR07 TMPR013H	PPR06 TMPR011H	ADPR0

アドレス：FFFEFH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110	PPR110 TMPR103H	PPR19 TMPR101H	PPR17 TMPR113H	PPR16 TMPR111H	ADPR1

アドレス：FFFD8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02L	RCAN0CFRPR0	RCAN0WUPPR0	RCAN0ERRPR0	KRPR0 RCANGRVCPR0	PPR011 LIN0WUPPR0	TMPR007	TMPR006	TMPR005

アドレス：FFFDCH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12L	RCAN0CFRPR1	RCAN0WUPPR1	RCAN0ERRPR1	KRPR1 RCANGRVCPR1	PPR111 LIN0WUPPR1	TMPR107	TMPR106	TMPR105

アドレス：FFFD9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02H	1	TMPR013	TMPR012	TMPR011	TMPR010	RCANGERRPR0	RCANGRFRPR0	RCAN0TRMPR0

アドレス：FFFDDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12H	1	TMPR113	TMPR112	TMPR111	TMPR110	RCANGERRPR1	RCANGRFRPR1	RCAN0TRMPR1

図 21－4　優先順位指定フラグ・レジスタ（PRxxL, PRxxH）のフォーマット（3/3）

アドレス：FFFDAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR03L	TMPR017	TMPR016	TMPR015	TMPR014	LIN1STAPR0 LIN1PR0	LIN1RVCPR0	LIN1TRMPR0	PPR012 LIN1WUPPR0

アドレス：FFFDEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR13L	TMPR117	TMPR116	TMPR115	TMPR114	LIN1STAPR1 LIN1PR1	LIN1RVCPR1	LIN1TRMPR1	PPR112 LIN1WUPPR1

アドレス：FFFDBH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR03H	1	1	1	ROMPR0	CRAMPR0	ADGBPR0	1	1

アドレス：FFFDFH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR13H	1	1	1	ROMPR1	CRAMPR1	ADGBPR1	1	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　上記は，100ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表21－3を参照してください。また，搭載していないビットには必ず1を設定してください。

21.3.4　外部割り込み立ち上がり／立ち下がりエッジ許可レジスタ（EGP0, EGP1, EGN0, EGN1）

INTP0-INTP13 の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1 レジスタは，それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図 21－5　外部割り込み立ち上がり／立ち下がりエッジ許可レジスタ（EGP0, EGP1, EGN0, EGN1）のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス：FFF3AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	EGP13	EGP12	EGP11	EGP10	EGP9	EGP8

アドレス：FFF3BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	EGN13	EGN12	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0-13）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPn ビットと EGNn ビットに対応するポートを表 21－4 に示します。

表 21－4　EGPn ビットと EGNn ビットに対応するポート

検出許可ビット		エッジ検出ポート	割り込み要求信号	100, 80, ピン	64ピン	48ピン	32ピン
EGP0	EGN0	P137	INTP0	○	○	○	○
EGP1	EGN1	P125	INTP1	○	○	○	○
EGP2	EGN2	P30（P31）	INTP2	○	○	○	○注3
EGP3	EGN3	P17（P50）	INTP3	○	○	○注3	○注3
EGP4	EGN4	P120	INTP4	○	○	○	○
EGP5	EGN5	P12	INTP5	○	○	○	○
EGP6	EGN6	P71	INTP6	○	○	○	×
EGP7	EGN7	P32	INTP7	○	○	○	×
EGP8	EGN8	P70	INTP8	○	○	○	×
EGP9	EGN9	P00	INTP9	○	○	○	×
EGP10	EGN10	P53	INTP10	○	○	×	×
EGP11	EGN11	P51	INTP11	○	○	×	×
			INTLIN0WUP 注1	○	○	○	○
EGP12	EGN12	P77	INTP12	○	○	×	×
			INTLIN1WUP 注1	○注2	○注2	○注2	○注2
EGP13	EGN13	P47	INTP13	○	×	×	×

注 1. INTLIN0WUP，INTLIN1WUP 割り込みが発生する前に，EGP1 レジスタと EGN1 レジスタを設定してください。

2. RL78/F24 製品のみ。

3. この製品には，( )内に示されている端子はありません。

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると，有効エッジを検出して INTPn 割り込みが発生する可能性があります。出力モードに切り替える場合は，エッジ検出禁止（EGPn ビットと EGNn ビットを“0”）にしてから該当する端子のポート・モード・レジスタ（PMxx）を“0”にしてください。

備考 1. エッジ検出ポートに関しては，「2.1　端子機能一覧」を参照してください。

2. n = 0-13

21.3.5　割り込み要因判別フラグ・レジスタ0（INTFLG0）

割り込み要因判別フラグ・レジスタ 0 は，外部割り込み要因（INTP4, 5, 8, 13）およびコンパレータ検出 0 割り込み要因と同じベクタ・テーブル・アドレスを兼用している他の要因のうち，どちらの要因で割り込みが発生したかを判別するための機能を持ちます。

本レジスタのフラグは，ソフトウェアでセットすることはできません。

フラグのクリアはソフトウェアでクリアします。

フラグをクリアする場合，クリアしたいビット以外に“1”を書いてください。

書き込み命令は，8 ビット・データ転送命令を使用してください。

図 21－6　割り込み要因判別フラグ・レジスタ 0（INTFLG0）のフォーマット

アドレス：F0079H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTFLG0	INTFLG07 注3, 5	INTFLG06 注2, 4	0	0	0	INTFLG02 注1, 5	INTFLG01 注5	INTFLG00 注5

INTFLG07 注3, 5	ベクタ・テーブル・アドレス0014Hの割り込み要因判別フラグ
0	INTP13割り込み未発生
1	INTP13割り込み発生

INTFLG06 注2, 4	ベクタ・テーブル・アドレス0012Hの割り込み要因判別フラグ
0	コンパレータ検出0割り込み未発生
1	コンパレータ検出0割り込み発生

INTFLG02 注1, 5	ベクタ・テーブル・アドレス002AHの割り込み要因判別フラグ
0	INTP8割り込み未発生
1	INTP8割り込み発生

INTFLG01 注5	ベクタ・テーブル・アドレス0012Hの割り込み要因判別フラグ
0	INTP5割り込み未発生
1	INTP5割り込み発生

INTFLG00 注5	ベクタ・テーブル・アドレス0010Hの割り込み要因判別フラグ
0	INTP4割り込み未発生
1	INTP4割り込み発生

注 1. RL78/F23 の 32 ピンの製品および RL78/F24 の 32 ピンの製品はなし。

2. RL78/F24 製品のみ。

3. 80 ピン製品および 100 ピン製品のみ。

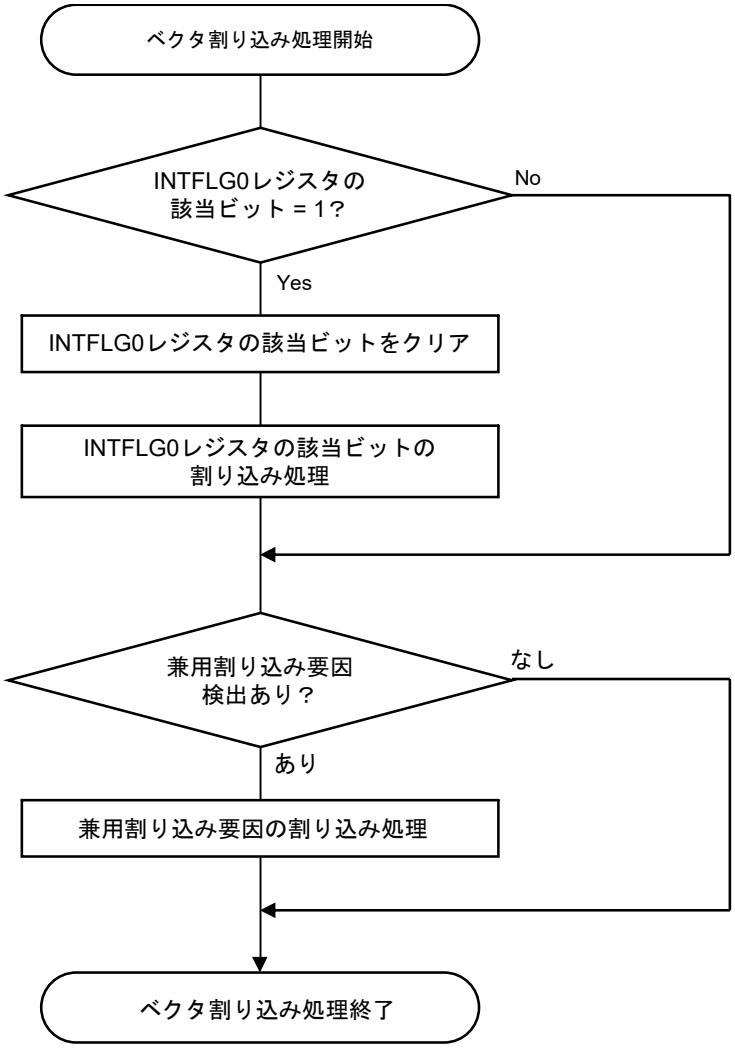
4. DTCCRj レジスタ（j = 0～23）の RPTINT ビットを“0”（DTC をリピート・モード時割り込み禁止）にしていても，コンパレータ検出 0 割り込み要因が発生すると，INTFLG06 ビットは“1”になります。

5. 割り込みマスク・フラグ・レジスタ（MKxx），割り込みマスク・レジスタ（INTMSK）のビットの設定にかかわらず，INTPn 割り込みが発生した場合には割り込み要因判別フラグ・レジスタ 0（INTFLG0）のビット m はセットされます。

m：ビット番号（m = 0, 1, 2, 7），n：INTP 割り込み番号（n = 4, 5, 8, 13）

割り込み要因 INTP4, 5, 8, 13は他の割り込み要因と兼用しています。どの割り込み要因で割り込みが発生したかを，INTFLG0レジスタおよび兼用割り込み要因のレジスタやフラグで判別できます。図21－7に割り込み要因判別フラグを使用した割り込み処理フロー・チャートを示します。

図 21－7　割り込み要因判別フラグを使用した割り込み処理フロー・チャート



21.3.6　割り込みマスク・レジスタ（INTMSK）

割り込みマスク・レジスタは，ELC へのイベント信号または DTC 起動要因と共通した INTPn 割り込みについて，割り込み制御回路への要因をマスク制御するレジスタです。

INTP4，INTP5，INTP6 信号を割り込み制御回路への割り込み要因として使用せず，ELC へのイベント信号または DTC への起動要因としてのみ使用したい場合に設定してください。

INTMSK レジスタは，8 ビット･メモリ操作命令で設定します。

リセット信号の発生により，FFH になります。

図 21－8　割り込みマスク・レジスタ（INTMSK）のフォーマット

アドレス：F007CH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
INTMSK	1	1	1	1	1	INTMSK2 注1	INTMSK1	INTMSK0

INTMSK2 注1	INTP6の割り込み制御回路への要因マスク制御
0	割り込み制御回路およびDTCへの要求を許可
1	割り込み制御回路への要求を禁止，DTCへの要求を許可

INTMSK1	INTP5の割り込み制御回路への要因マスク制御 注2
0	割り込み制御回路およびELC，DTCへの要求を許可
1	割り込み制御回路への要求を禁止，ELC，DTCへの要求を許可

INTMSK0	INTP4の割り込み制御回路への要因マスク制御 注2
0	割り込み制御回路およびELC，DTCへの要求を許可
1	割り込み制御回路への要求を禁止，ELC，DTCへの要求を許可

注 1. 32 ピン製品にはありません。

2. 割り込みマスク・レジスタのビットの設定に関わらず，INTPn 割り込みが発生した場合には割り込み要因判別フラグ・レジスタ 0（INTFLG0）のビット m はセットされます。

m：ビット番号（m = 0, 1），n：INTP 割り込み番号（n = 4, 5）

21.3.7　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC0 ビットは，UART0 で LIN-bus 通信動作を実現するときに使用します。また，ISC2, ISC3 ビットは，LIN/UART モジュール（RLIN3）で使用します。ISC0 ビットを“1”にする場合，TIS1 レジスタ（タイマ入力選択レジスタ 1）の TIS17,TIS16 ビットと共に設定してください。

ビット 0 に“1”を設定すると，シリアル・データ入力（RXD0）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウェイクアップ信号を INTP0 割り込みで検出できます。

ビット 2，3 をそれぞれ 1 に設定すると，LIN/UART モジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISC レジスタは 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

リセット信号の発生により，ISC レジスタは 00H になります。

図 21－9　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	ISC3	ISC2	0	ISC0

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12 端子の入力信号を外部割り込みに選択
1	LRXD1 端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11 端子の入力信号を外部割り込みに選択
1	LRXD0 端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0 端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0 端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注意 1.　ビット 7-4, 1 に必ず“0”を設定してください。

2.　RL78/F23 では必ず ISC3 ビットを“0”に設定してください。

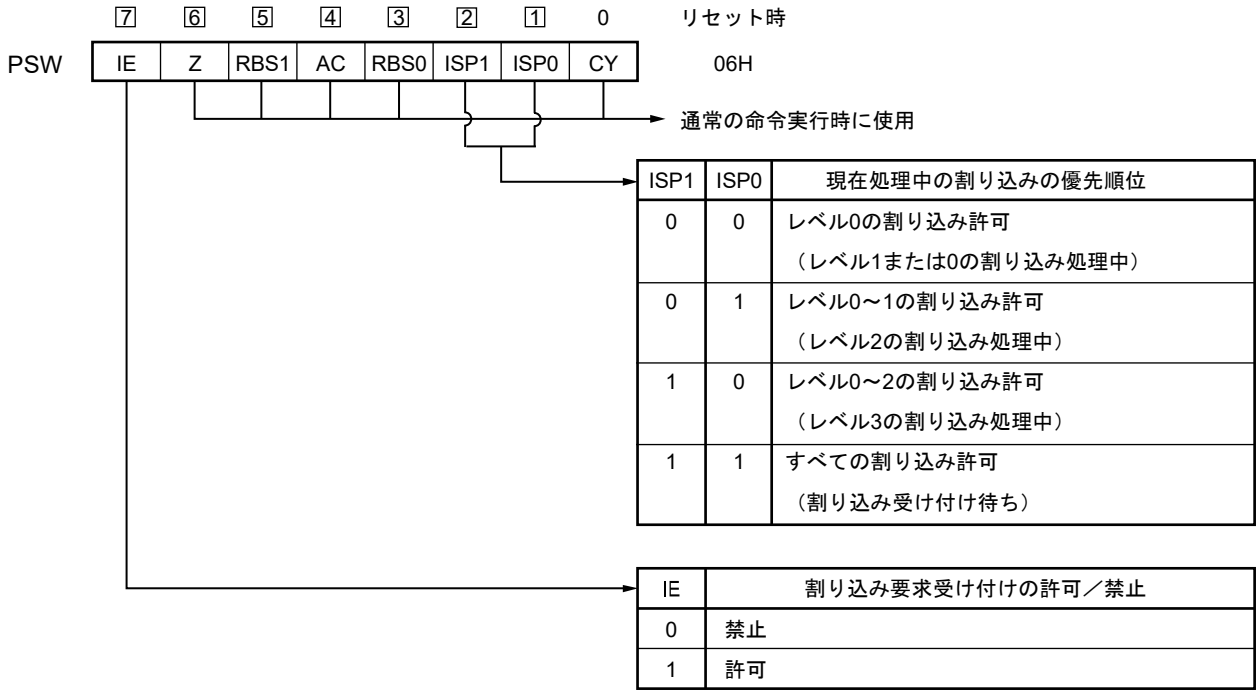
21.3.8　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP0, ISP1 フラグがマッピングされています。

8 ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK 命令実行時には，PSW の内容は自動的にスタックに退避され，IE フラグはリセット“0”されます。また，マスカブル割り込み要求受け付け時は，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が 00B 以外は，“-1”した値を ISP0, ISP1 フラグに転送します。PUSH PSW 命令によっても PSW の内容はスタックに退避されます。RETI, RETB, POP PSW 命令により，スタックから復帰します。

リセット信号の発生により，PSW は 06H となります。

図 21－10　プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

21.4　割り込み処理動作

21.4.1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット“1”され，その割り込み要求のマスク（MK）フラグがクリア“0”されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IE フラグがセット“1”されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表 21－5 のようになります。

割り込み要求の受け付けタイミングについては，図 21－12，図 21－13 を参照してください。

表 21－5　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 注
処理時間	9クロック	16クロック

注　内部 RAM 領域からの命令実行時は除きます。

備考　1 クロック：1/f_{CLK}（f_{CLK}：CPU クロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

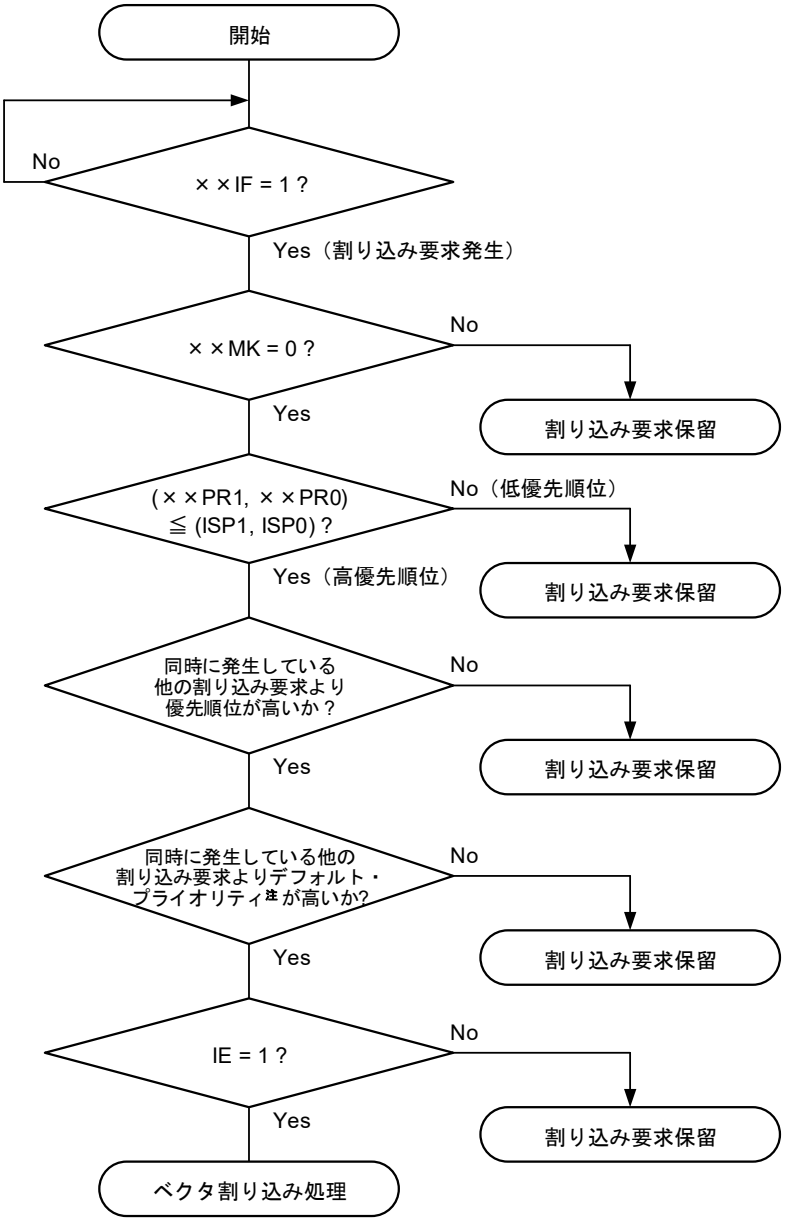
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図 21－11 に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IE フラグをリセット“0”し，受け付けた割り込みの優先順位指定フラグの内容を ISP1, ISP0 フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータを PC へロードし，分岐します。

RETI 命令によって，割り込みから復帰できます。

図 21－11　割り込み要求受け付け処理アルゴリズム



××IF　　：割り込み要求フラグ

××MK　　：割り込みマスク・フラグ

××PR0　：優先順位指定フラグ 0

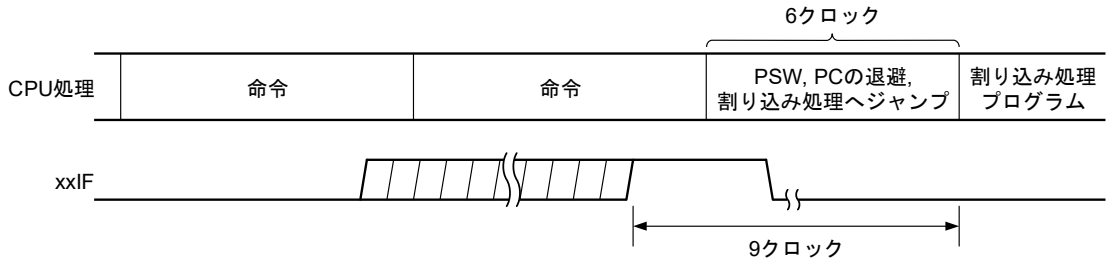
××PR1　：優先順位指定フラグ 1

IE　　：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）

ISP0, ISP1 ：現在処理中の割り込みの優先順位を示すフラグ

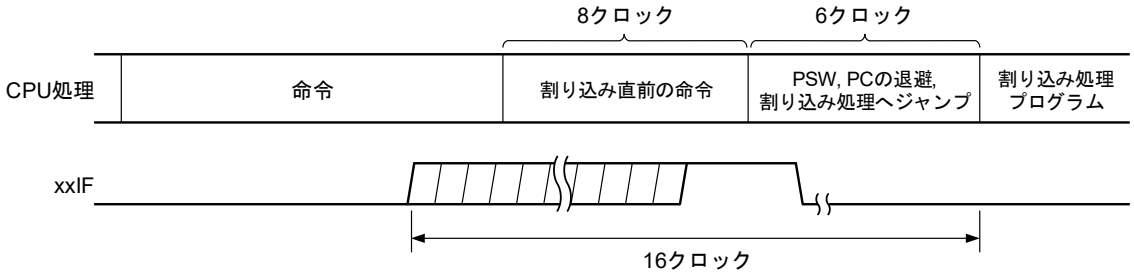
注　デフォルト・プライオリティは，「表 21－1　割り込み要因一覧」を参照してください。

図 21－12　割り込み要求の受け付けタイミング（最小時間）



備考 1 クロック：1/f_{CLK}（f_{CLK}：CPU クロック）

図 21－13　割り込み要求の受け付けタイミング（最大時間）



備考 1 クロック：1/f_{CLK}（f_{CLK}：CPU クロック）

21.4.2　ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求は BRK 命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IE フラグをリセット“0”し，ベクタ・テーブル（0007EH, 0007FH）の内容を PC にロードして分岐します。

RETB 命令によって，ソフトウェア割り込みから復帰できます。

注意　ソフトウェア割り込みからの復帰に RETI 命令は使用できません。

21.4.3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中に EI 命令によって IE フラグをセット“1”して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の 2 つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル 0 の割り込み中に IE フラグをセット“1”した場合には，レベル 0 の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも 1 命令実行後に受け付けられます。

表 21－6 に多重割り込み可能な割り込み要求の関係を，図 21－14 に多重割り込みの例を示します。

表 21－6　割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 ＼ 処理中の割り込み		マスカブル割り込み要求								ソフトウェア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考 1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP0, ISP1, IE は PSW に含まれるフラグです。

ISP1 = 0, ISP0 = 0　：レベル 0 の割り込み許可（レベル 1 またはレベル 0 の割り込み処理中）

ISP1 = 0, ISP0 = 1　：レベル 0, 1 の割り込み許可（レベル 2 の割り込み処理中）

ISP1 = 1, ISP0 = 0　：レベル 0～2 の割り込み許可（レベル 3 の割り込み処理中）

ISP1 = 1, ISP0 = 1　：すべての割り込み許可（割り込み受け付け待ち）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

4. PR は PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H レジスタに含まれるフラグです。

PR = 00：××PR1× = 0, ××PR0× = 0 でレベル 0 を指定（高優先順位）

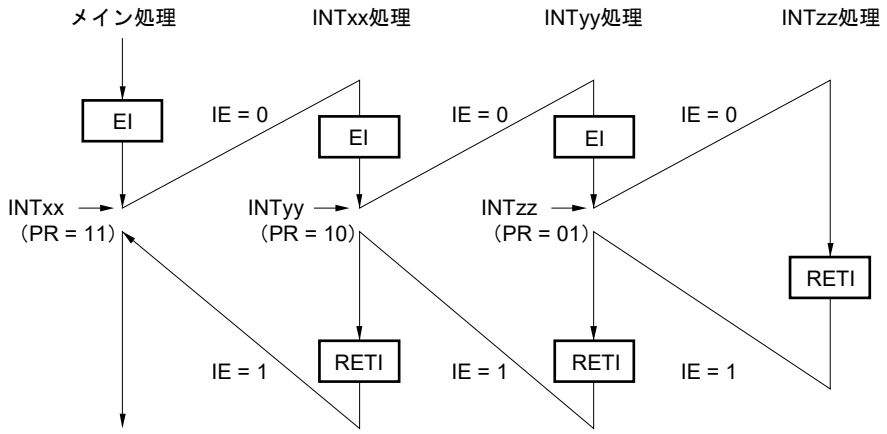
PR = 01：××PR1× = 0, ××PR0× = 1 でレベル 1 を指定

PR = 10：××PR1× = 1, ××PR0× = 0 でレベル 2 を指定

PR = 11：××PR1× = 1, ××PR0× = 1 でレベル 3 を指定（低優先順位）

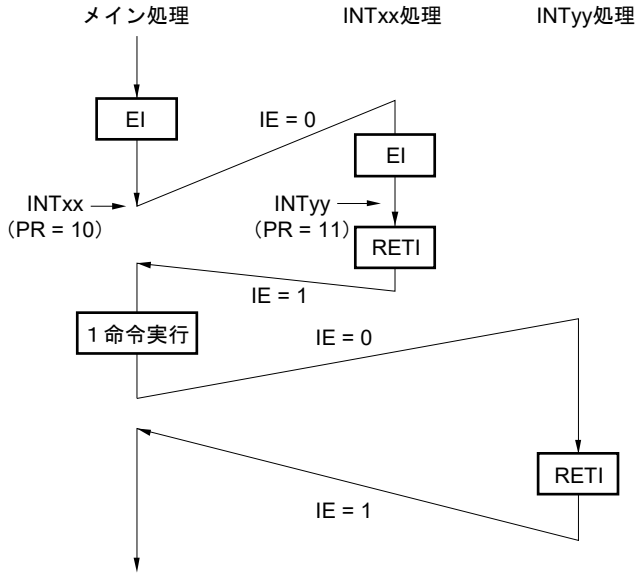
図 21－14　多重割り込みの例（1/2）

例 1.　多重割り込みが 2 回発生する例



割り込み INTxx 処理中に，2 つの割り込み要求 INTyy, INTzz が受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ず EI 命令を発行し，割り込み要求受け付け許可状態になっている。

例 2.　優先順位制御により，多重割り込みが発生しない例

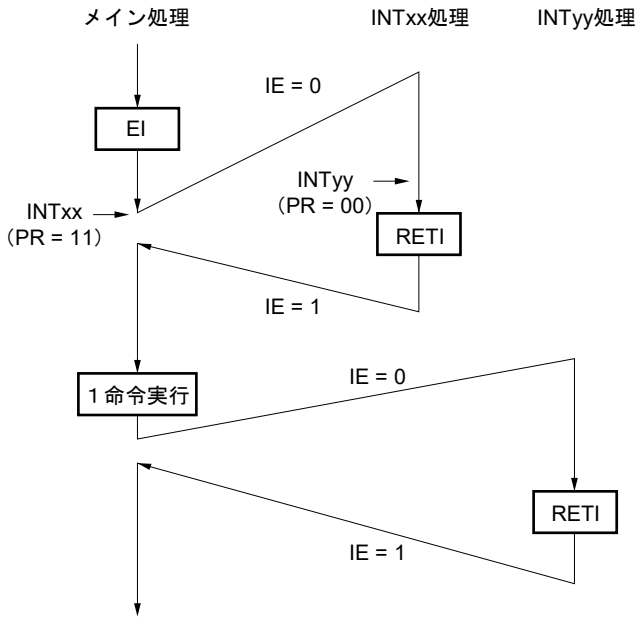


割り込み INTxx 処理中に発生した割り込み要求 INTyy は，割り込みの優先順位が INTxx より低いため受け付けられず，多重割り込みは発生しない。INTyy 要求は保留され，メイン処理 1 命令実行後に受け付けられる。

PR = 00　　：××PR1× = 0，××PR0× = 0 でレベル 0 を指定（高優先順位）
PR = 01　　：××PR1× = 0，××PR0× = 1 でレベル 1 を指定
PR = 10　　：××PR1× = 1，××PR0× = 0 でレベル 2 を指定
PR = 11　　：××PR1× = 1，××PR0× = 1 でレベル 3 を指定（低優先順位）
IE = 0　　：割り込み要求受け付け禁止
IE = 1　　：割り込み要求受け付け許可

図 21－14　多重割り込みの例（2/2）

例 3. 割り込みが許可されてないため，多重割り込みが発生しない例



割り込み INTxx 処理では割り込みが許可されていない（EI 命令が発行されていない）ので，割り込み要求 INTyy は受け付けられず，多重割り込みは発生しない。INTyy 要求は保留され，メイン処理 1 命令実行後に受け付けられる。

PR = 00　：××PR1× = 0，××PR0× = 0 でレベル 0 を指定（高優先順位）
PR = 01　：××PR1× = 0，××PR0× = 1 でレベル 1 を指定
PR = 10　：××PR1× = 1，××PR0× = 0 でレベル 2 を指定
PR = 11　：××PR1× = 1，××PR0× = 1 でレベル 3 を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

21.4.4　除算命令中の割り込み処理

RL78/F23, F24 は，除算命令実行時に割り込み応答性を向上させるため，DIVHU/DIVWU 命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は，DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために，PC-3をスタック･メモリに退避します。

表 21－7　通常時と除算命令中の割り込み処理

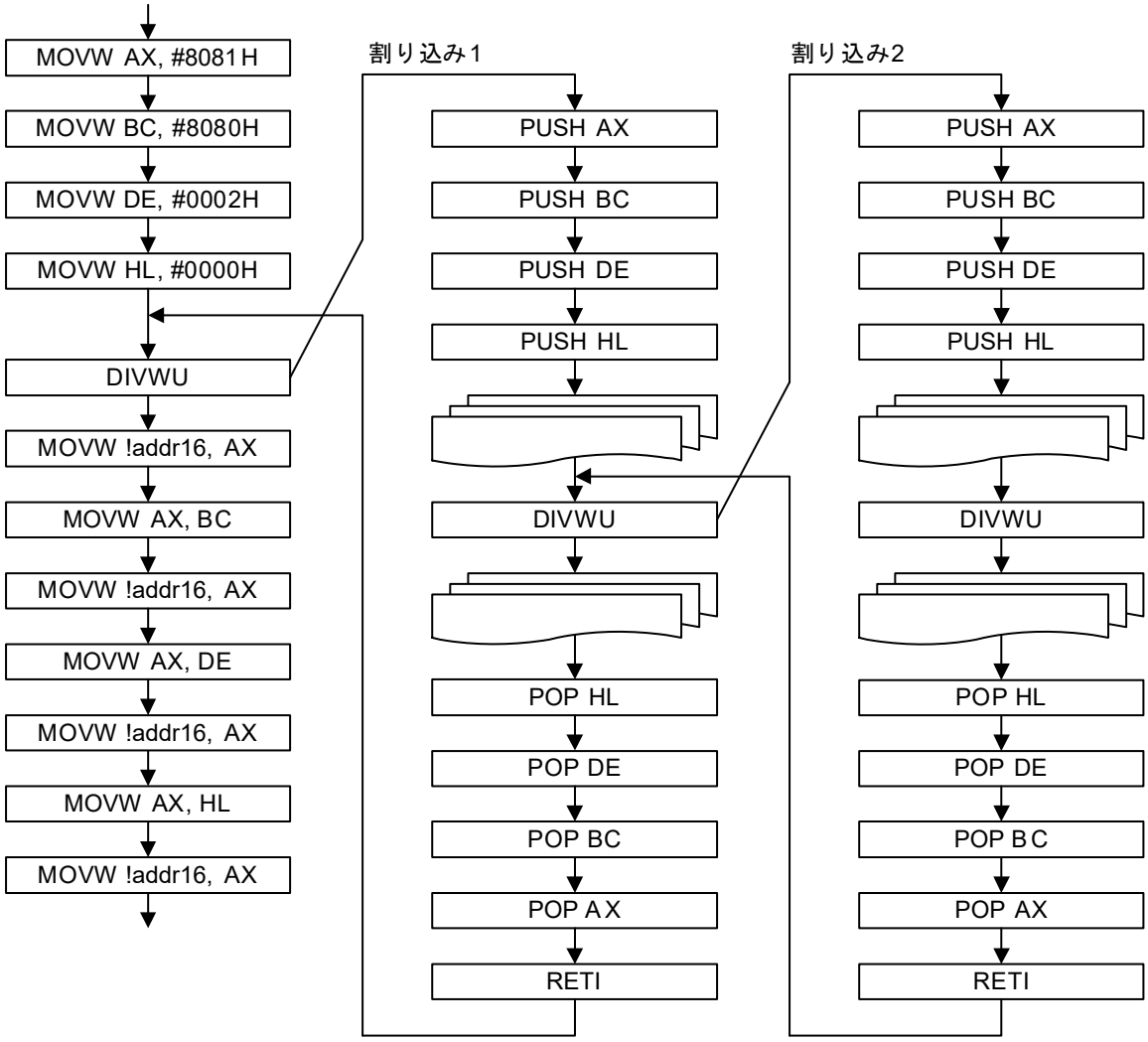
通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← $(PC)_S$	(SP-2) ← $(PC-3)_S$
(SP-3) ← $(PC)_H$	(SP-3) ← $(PC-3)_H$
(SP-4) ← $(PC)_L$	(SP-4) ← $(PC-3)_L$
PC_S ← 0000	PC_S ← 0000
PC_H ← (Vector)	PC_H ← (Vector)
PC_L ← (Vector)	PC_L ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

注意　割り込み処理中に DIVHU，DIVWU 命令を実行する場合，割り込み禁止状態(DI)で実行してください。ただし，RAM 領域での命令実行を除き，アセンブリ言語ソースにて DIVHU，DIVWU 命令の直後に NOP 命令を追加した場合は，割り込み許可状態でも DIVHU，DIVWU 命令を実行することができます。下記のコンパイラはビルド時に DIVHU，DIVWU 命令が出力される場合，その直後に自動で NOP 命令が挿入されます。

- **CA78K0R（ルネサスエレクトロニクス社 コンパイラ製品）V1.71 以降の C 言語ソースおよびアセンブリ言語ソース**
- **EWRL78（IAR 社 コンパイラ製品）Service pack 1.40.6 以降の C 言語ソース**
- **GNURL78（KPIT 社 コンパイラ）の C 言語ソース**

DIVHU/DIVWU では AX, BC, DE, HL レジスタを使用します。そのため割り込み処理では AX, BC, DE, HL レジスタをスタック･メモリに退避してください。

図 21－15　除算命令中の割り込み例



21.4.5　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW，#byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H の各レジスタに対する操作命令

注　割り込み要求保留命令が連続した場合は，割り込み要求の保留状態が継続します。

例 1）割り込み要求の保留が継続

EI ; Enable interrupt instruction　　**割り込み要求保留命令**

DI ; Disable interrupt instruction　　**割り込み要求保留命令**

例 2）割り込み要求は受け付けられる

EI ; Enable interrupt instruction　　**割り込み要求保留命令**

NOP ;

DI ; Disable interrupt instruction　　**割り込み要求保留命令**

注意　BRK 命令は，上述の割り込み要求の保留命令ではありません。しかし BRK 命令の実行により起動するソフトウェア割り込みでは，IE フラグが“0”にクリアされます。したがって，BRK 命令実行中にマスカブル割り込み要求が発生しても，割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図 21－16 に示します。

図 21－16　割り込み要求の保留

備考 1.　命令 N：割り込み要求の保留命令

2.　命令 M：割り込み要求の保留命令以外の命令

第22章　キー割り込み機能

キー割り込み入力チャネル数は，製品によって異なります。

	32 ピン	48, 64, 80, 100 ピン
キー割り込み入力チャネル	6 ch	8 ch

22.1　キー割り込みの機能

キー・リターン・モード・レジスタ（KRM）の設定により，キー割り込み入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表 22－1　キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM0	KR0 信号を 1 ビット単位で制御
KRM1	KR1 信号を 1 ビット単位で制御
KRM2	KR2 信号を 1 ビット単位で制御
KRM3	KR3 信号を 1 ビット単位で制御
KRM4	KR4 信号を 1 ビット単位で制御
KRM5	KR5 信号を 1 ビット単位で制御
KRM6	KR6 信号を 1 ビット単位で制御
KRM7	KR7 信号を 1 ビット単位で制御

注意　製品ごとに端子の割り当てが異なります。PIOR50 ビットで KRn 機能をどの I/O ポートに割り当てるかを選択することができます。PIOR50 ビットで割り当て可能な P80-P87，P90-P96，P70-74 は A/D 入力と兼用しており，初期状態はアナログ入力ポートになります。キー入力割り込みを使用する場合，PIOR50 ビットおよび PMC7 / PMC8 / PMC9 レジスタでデジタル入力ポートに切り替えてから，キー割り込み機能を使用してください。PIOR50 ビットと PMC7 / PMC8 / PMC9 レジスタの詳細は「4.3.13　周辺 I/O リダイレクション・レジスタ 5（PIOR5）」および「4.3.6　ポート・モード制御レジスタ（PMCm）」を参照してください。

備考 1. n = 0-7

2. 使用可能な割り込み数は PIOR50 の設定によって異なります。詳細については，「4.3.13　周辺 I/O リダイレクション・レジスタ 5（PIOR5）」を参照してください。

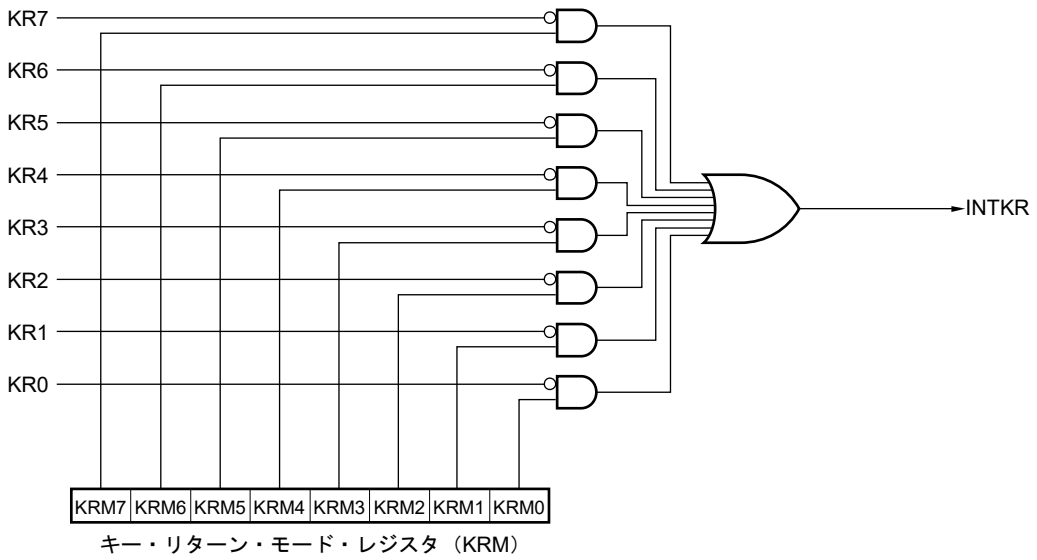
22.2　キー割り込みの構成

表 22－2 にキー割り込みの構成，図 22－1 にキー割り込みのブロック図を示します。

表 22－2　キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ（KRM）

図 22－1　キー割り込みのブロック図



22.3　キー割り込みを制御するレジスタ

次のレジスタは，キー割り込み機能を制御するために使用されます。

表 22－3　キー割り込み機能のレジスタ

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
FFF37H	キー・リターン・モード・レジスタ	KRM	00H	1, 8

22.3.1　キー・リターン・モード・レジスタ（KRM）

KRM0-KRM7 ビットは KR0-KR7 信号を制御します。

KRM レジスタは，1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図 22－2　キー・リターン・モード・レジスタ（KRM）のフォーマット

アドレス：FFF37H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意 1. KRn 端子が Low レベルのときに KRM レジスタの対象ビットを 1 にすると割り込み要求が発生します。この割り込みを無視したい場合，割り込みマスク・フラグで割り込み処理を禁止してから，KRM レジスタをセットしてください。その後，キー割り込み入力 Low レベル幅（t_{KR}）を待って，割り込み要求フラグをクリアしてください。

2. キー割り込みで使用していない端子は通常ポートとして使用可能です。

3. PIOR50 ビットでキー割り込み入力の端子割り当てを変更すると，割り込み要求が発生する場合があります。端子の割り当てを変更する場合は，KRM レジスタが 00H またはキー入力割り込み禁止の状態で設定してください。

4. キー割り込みが割り当てられていない端子は，KRM レジスタの対象ビットを 0 にしてください。

備考　n = 0-7

第23章　スタンバイ機能

23.1　スタンバイ機能と構成

23.1.1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

(1) HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック，高速オンチップ・オシレータ，サブシステム・クロック，低速オンチップ・オシレータが動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，このモードは割り込み要求によって解除できるため，間欠動作も可能です。

ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

また，STOPモード解除要因発生時にポートの出力を反転させることができます。

(3) SNOOZEモード

LIN/UARTモジュール（RLIN3）のUARTモードでのデータ受信信号，DTC起動要因によりSTOPモードを解除し，CPUを動作させることなくデータ受信，DTC動作を行います。CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

また，SNOOZEモードへの移行および解除に合わせて，SNOOZEモードの状態を選択した特定の端子に出力する機能があります。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

（**注意**が次のページにあります。）

注意 1. STOP モードは CPU がメイン・システム・クロックで動作しているときだけ使用します。CPU が PLL クロック，サブ／低速オンチップ・オシレータ選択クロックで動作しているときは，STOP モードに設定できません。HALT モードは CPU がメイン・システム・クロック，サブ／低速オンチップ・オシレータ選択クロックのいずれかの動作状態でも使用できます。

2. STOP モードに移行するとき，メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち，STOP 命令を実行してください（SNOOZE モード設定ユニットを除く）。

3. LIN/UART モジュールを SNOOZE モードで使用する場合は，UART スタンバイ・コントロール・レジスタ（LUSCn）を STOP モードに移行する前に設定してください。詳細は，「17.2　レジスタの説明」を参照してください。

4. ウォッチドッグ・タイマ専用低速オンチップ・オシレータを HALT または STOP モード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は「第 31 章　オプション・バイト」を参照してください。

23.2　スタンバイ機能を制御するレジスタ

以下のレジスタは，スタンバイ機能を制御するために使用されます。

表 23－1　スタンバイ機能レジスタ構成

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F02CAH	STOPステータス出力制御レジスタ	STPSTC	00H	1, 8
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	00H	1, 8
FFFA3H	発振安定時間選択レジスタ	OSTS	07H	8

STOPモード解除時の発振安定時間を制御するレジスタとして，次の2種類があります。

- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）

STOPモード解除要因発生時にポートの出力を反転させるレジスタとして，次のレジスタがあります。

- STOPステータス出力制御レジスタ（STPSTC）

備考 1. クロックの動作／停止，切り替えを制御するレジスタについては，「第 5 章　クロック発生回路」を参照してください。

2. SNOOZE ステータス出力制御レジスタ（PSNZCNT0，PSNZCNT1，PSNZCNT2，および PSNZCNT3）については，「第 4 章　ポート機能」を参照してください。

23.2.1　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブ／低速オンチップ・オシレータ選択クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生（RESET入力，POR，LVD，WDT，不正命令の実行によるリセット），STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

図23－1　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

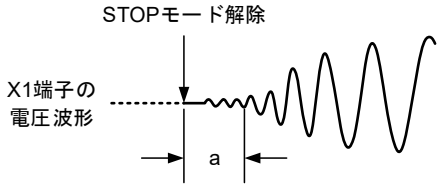
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.10 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.21 ms以上	13.10 ms以上

注意 1. 上記時間経過後，MOST8 ビットから順番に 1 となっていき，そのまま 1 を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。次のときには，OSTS レジスタの発振安定時間を，OSTC レジスタで確認したいカウント値より大きい値に設定してください。

- **CPU クロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1 クロックの発振を開始したい場合**
- **CPU クロックが高速オンチップ・オシレータ・クロックで，X1 クロックも発振している状態で STOP モードに移行し，その後，STOP モードを解除したい場合（したがって，STOP モード解除後の OSTC レジスタは，OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

3. X1 クロックの発振安定時間は，クロック発振を開始するまでの時間（下図 a）は含みません。



備考　fx：X1 クロック発振周波数

23.2.2　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合，OSTSレジスタで設定した時間を自動でウェイトします。

X1クロック発振開始後，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，07Hになります。

図 23－2　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	25.6 μs	12.8 μs
0	0	1	$2^9/f_X$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_X$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_X$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_X$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_X$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_X$	13.10 ms	6.55 ms
1	1	1	$2^{18}/f_X$	26.21 ms	13.10 ms

注意 1. CPU クロックが X1 クロック時に STOP モードへ移行する場合は，STOP 命令の実行よりも前に OSTS レジスタを設定しておいてください。

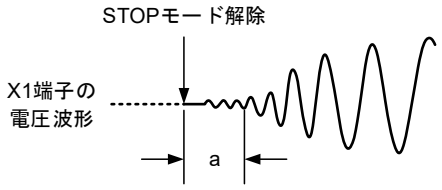
2. OSTS レジスタの設定を変更する場合は，変更前に OSTC レジスタのカウント動作が終了していることを確認してください。

3. X1 クロックの発振安定時間中は，OSTS レジスタを変更しないでください。

4. 発振安定時間カウンタは OSTS レジスタで設定した発振安定時間までしかカウントしません。
次のときには，OSTS レジスタの発振安定時間を，発振開始後に OSTC レジスタで確認したいカウント値より大きい値に設定してください。

- **CPU クロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1 クロックの発振を開始したい場合**
- **CPU クロックが高速オンチップ・オシレータ・クロックで，X1 クロックも発振している状態で STOP モードに移行し，その後，STOP モードを解除したい場合（したがって，STOP モード解除後の OSTC レジスタは，OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）**

5. X1 クロックの発振安定時間は，クロック発振を開始するまでの時間（下図 a）は含みません。



備考　fx：X1 クロック発振周波数

23.2.3　STOPステータス出力制御レジスタ（STPSTC）

STOPモード解除要因発生時またはSNOOZEモードから通常モードへの移行時に，P31もしくはP52のポート・ラッチを反転できます。

STPSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，00Hになります。

注意 1. 32 ピン版の製品には STOPST 機能がないため，STPSTC レジスタはありません。

2. STOP ステータス出力制御レジスタを使用する際は，あらかじめ対象ポートを出力モード，ポート・ラッチを 0 に設定しておいてください。

図 23－3　STOP ステータス出力制御レジスタ（STPSTC）のフォーマット

アドレス：F02CAH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
STPSTC	STPOEN	0	0	STPLV 注1	0	0	0	STPSEL 注2

STPOEN	STOPST出力許可制御
0	STOP解除時，何もしない。
1	STOP解除時，STPSELで選択した端子にSTPLVの値を出力する。

STPLV 注1	STOPST出力データ制御
0	Low出力
1	High出力

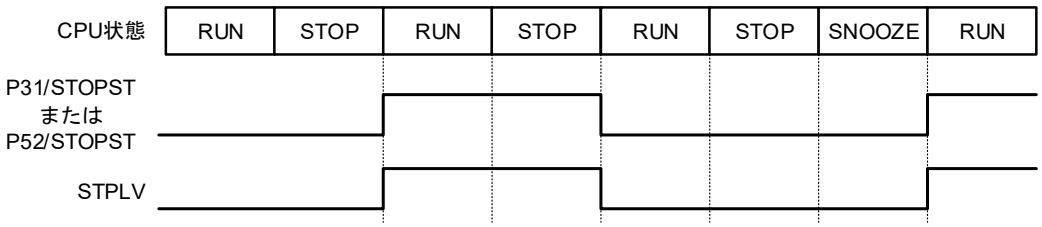
STPSEL 注2	STOPST端子選択制御
0	P31選択
1	P52選択

注 1. STPLV ビットは STOP モード解除時および SNOOZE モードから通常モード移行時に反転します。

2. 48 ピン版ではビット 0 は読み出しのみ可能な予約ビットになります。初期値の 0 を設定してください。

注意　STPSTC レジスタのビット 1-3, 5, 6 は必ず 0 に設定してください。

CPU動作状態におけるSTOPST端子，STPLVビットのタイミング図を以下に示します。



23.3　スタンバイ機能の動作

23.3.1　HALTモード

(1)　HALTモードの設定および動作状態

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，PLLクロック，低速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが"0"（割り込み処理許可）かつ割り込み要求フラグが"1"（割り込み要求信号が発生）の場合，HALT 命令を実行してもただちに HALT モードを解除します（HALT モードの解除に割り込み要求信号を用いるため）。

表 23－2　HALT モード時の動作状態（1/2）

項目 ＼ HALTモードの設定			メイン・システム・クロックでCPU動作中のHALT命令実行時			
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{IH}	動作継続（停止不可）	動作禁止		PLLのクロック・ソースのみ動作継続（停止不可）それ以外は動作不可
		f_X	動作禁止	動作継続（停止不可）	動作不可	
		f_{EX}		動作不可	動作継続（停止不可）	
		f_{PLL}	動作禁止	動作禁止	動作禁止	動作継続（停止不可）
	サブシステム・クロック	f_{XT}	HALTモード設定前の状態を継続			
		f_{EXS}				
	f_{IL}		オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）のビット1（HPIEN），CKSELレジスタのビット0（SELLOSC），およびOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0=1：発振 ・WUTMMCK0=0かつSELLOSC＝1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 0：停止			
f_{WDT}			ユーザ・オプション・バイト（000C0H/040C0H）のビット0（WDSTBYON），ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1かつWDSTBYON = 1：発振 ・WDTON = 1かつWDSTBYON = 0：停止			
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ						
RAM			動作停止（DTC実行時は動作可能）			
ポート（ラッチ）			HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット			動作可能			
リアルタイム・クロック（RTC）						
ウォッチドッグ・タイマ			「第11章　ウォッチドッグ・タイマ」を参照			
クロック・モニタ			動作可能（f_{IL}が動作）			
タイマRJ			動作可能			
タイマRDe						
クロック出力/ブザー出力						
A/Dコンバータ						
D/Aコンバータ						
コンパレータ						
AAU						
セキュリティ機能（AES, TRNG）						
シリアル・アレイ・ユニット（SAU）						
シリアル・インタフェース（IICA）						
DTC						
ELC			動作可能な機能ブロック間のリンクが可能			
LIN/UARTモジュール（RLIN3）			動作可能			
CANFDインタフェース（RS-CANFD lite）						
パワーオン・リセット機能						
電圧検出機能						
外部割り込み						
キー割り込み機能						
コード・フラッシュECC機能						
CRC演算機能	高速CRC					
	汎用CRC		動作停止（DTC実行時は動作可能）			
不正メモリ・アクセス検出機能						
内部RAM-ECC機能						
CAN RAM-ECC機能						
RAMガード機能						
SFRガード機能						
CPUスタック・ポインタ・モニタ機能			動作停止（ベクタ割り込み処理時は動作可能）			

（**備考**が次のページにあります。）

備考　動作停止：HALT モード移行時に自動的に動作停止

動作禁止：HALT モード移行前に動作を停止させる

動作不可：HALT モードへの移行に関わらず使用不可

f_{IH}　：高速オンチップ・オシレータ・クロック　　f_{IL}　：低速オンチップ・オシレータ・クロック

f_X　：X1 クロック　　f_{EX}　：外部メイン・システム・クロック

f_{XT}　：XT1 クロック　　f_{EXS}　：外部サブシステム・クロック

f_{PLL}　：PLL クロック　　f_{WDT}　：WDT 専用低速オンチップ・オシレータ・クロック

表23－2　HALTモード時の動作状態（2/2）

項目 ＼ HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時		低速オンチップ・オシレータ・クロック（f_{IL}）CPU動作中のHALT命令実行
			XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時	
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f_{IH}	動作禁止		
		f_X			
		f_{EX}			
		f_{PLL}			
	サブシステム・クロック	f_{XT}	動作継続（停止不可）	動作不可	動作不可
		f_{EXS}	動作不可	動作継続（停止不可）	動作不可
	f_{IL}		オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）のビット1（HPIEN），CKSELレジスタのビット0（SELLOSC），およびOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0=1：発振 ・WUTMMCK0=0かつSELLOSC＝1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 0：停止		
f_{WDT}			ユーザ・オプション・バイト（000C0H/040C0H）のビット0（WDSTBYON），ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1かつWDSTBYON = 1：発振 ・WDTON = 1かつWDSTBYON = 0：停止		
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM			動作停止（DTC実行時は動作可能）		
ポート（ラッチ）			HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット			動作可能（低消費RTCモード時は，動作禁止）		
リアルタイム・クロック（RTC）			動作可能		
ウォッチドッグ・タイマ			「第11章　ウォッチドッグ・タイマ」を参照		
クロック・モニタ			動作停止		
タイマRJ			動作可能（低消費RTCモード時は，動作禁止）		
タイマRDe					
クロック出力／ブザー出力					
A/Dコンバータ			動作禁止		
D/Aコンバータ					
コンパレータ					
AAU					
セキュリティ機能（AES, TRNG）					
シリアル・アレイ・ユニット（SAU）			動作可能（低消費RTCモード時は，動作禁止）		
シリアル・インタフェース（IICA）			動作禁止		
DTC			動作可能		
ELC			動作可能な機能ブロック間のリンクが可能		
LIN/UARTモジュール（RLIN3）			動作禁止		
CANFDインタフェース（RS-CANFD lite）					
パワーオン・リセット機能			動作可能		
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC		動作禁止		
	汎用CRC		動作停止（DTC実行時は動作可能）		
不正メモリ・アクセス検出機能					
内部RAM-ECC機能					
CAN RAM-ECC機能					
コード・フラッシュECC機能					
RAMガード機能					
SFRガード機能					
CPUスタック・ポインタ・モニタ機能			動作停止（ベクタ割り込み処理時は動作可能）		

（**備考**が次のページにあります。）

備考　動作停止：HALT モード移行時に自動的に動作停止

動作禁止：HALT モード移行前に動作を停止させる

動作不可：HALT モードへの移行に関わらず使用不可

f_{IH} ：高速オンチップ・オシレータ・クロック　f_{EX} ：外部メイン・システム・クロック

f_X ：X1 クロック　f_{EXS} ：外部サブシステム・クロック

f_{XT} ：XT1 クロック　f_{PLL} ：PLL クロック

f_{IL} ：低速オンチップ・オシレータ・クロック　f_{WDT} ：WDT 専用低速オンチップ・オシレータ・クロック

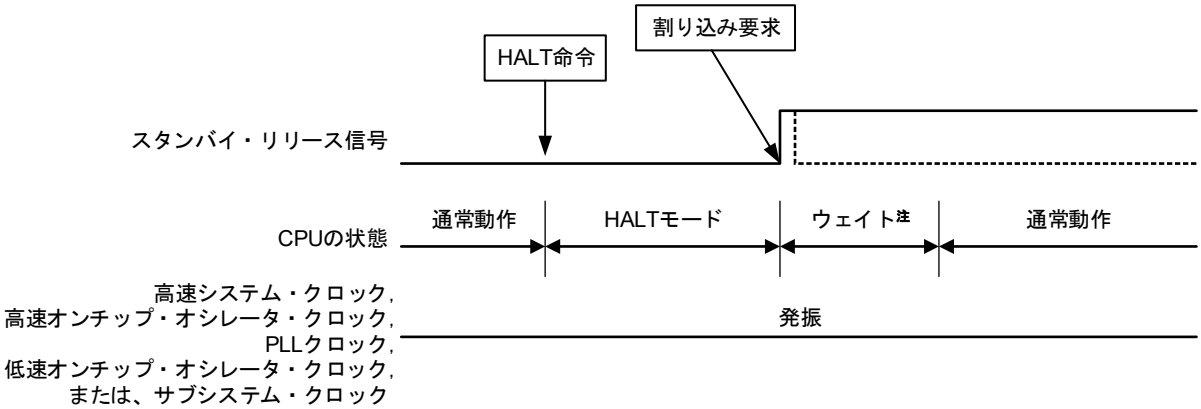
(2) HALTモードの解除

HALTモードは，割り込みおよびリセットの発生によって解除できます。

(a) マスクされていない割り込み要求による解除

割り込みマスク・フラグが"0"（割り込み処理許可）の割り込み要求が発生すると，HALTモードを解除します。割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，HALT命令の次のアドレスの命令が実行されます。

図 23－4　HALT モードの割り込み要求発生による解除



注　HALT モード解除のウェイト時間

- ベクタ割り込み処理を行う場合

メイン/PLL 選択クロック	：15～16 クロック
サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 0）	：10～11 クロック
サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 1）	：11～12 クロック

- ベクタ割り込み処理を行わない場合

メイン/PLL 選択クロック	：9～10 クロック
サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 0）	：4～5 クロック
サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 1）	：5～6 クロック

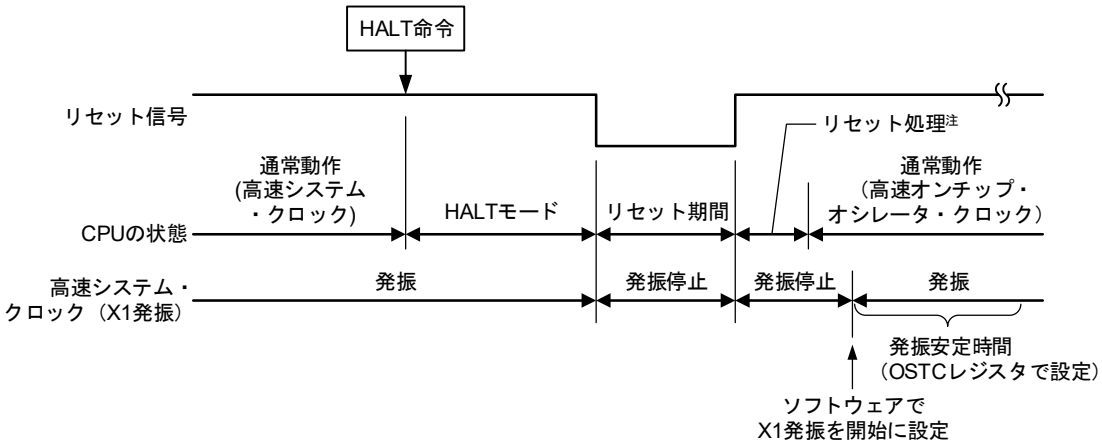
備考　破線はスタンバイを解除した割り込み要求が受け付けられた場合です。

(b)　リセット信号の発生による解除

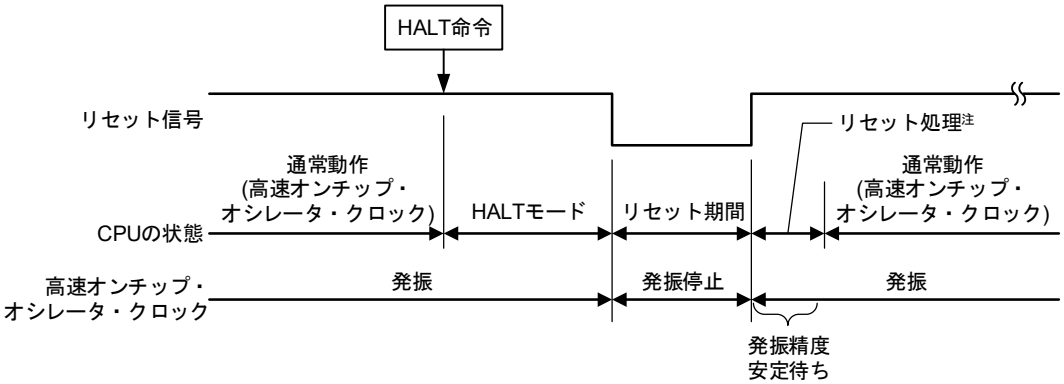
リセット信号の発生により，HALTモードは解除されます。通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐します。

図 23－5　HALT モードのリセットによる解除（1/2）

① CPUクロックが高速システム・クロックの場合



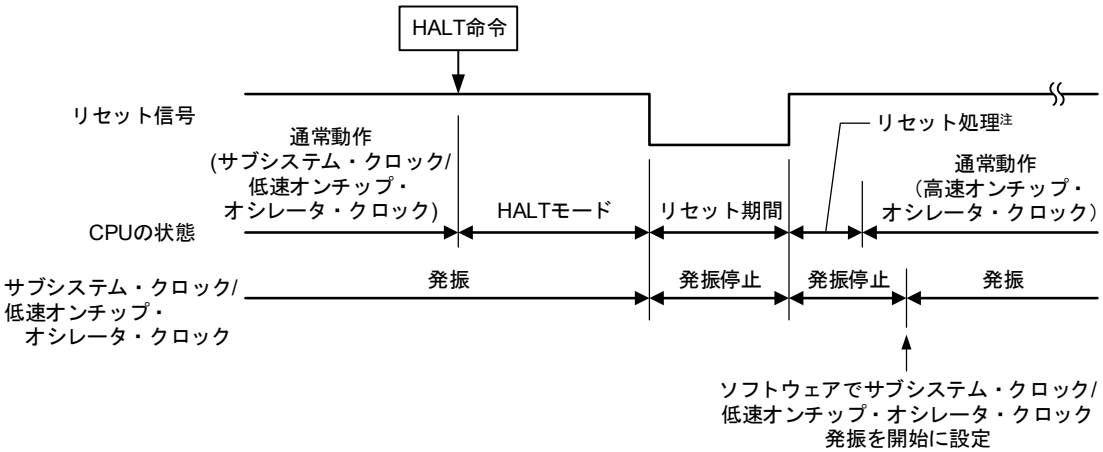
② CPUクロックが高速オンチップ・オシレータ・クロックの場合



注　リセット処理時間は「第 25 章　パワーオン・リセット回路」を参照してください。

図23－5　HALTモードのリセットによる解除（2/2）

③ CPUクロックがサブシステム・クロック／低速オンチップ・オシレータ・クロックの場合



注　リセット処理時間は「第 25 章　パワーオン・リセット回路」を参照してください。

23.3.2　STOPモード

(1)　STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

注意　割り込みマスク・フラグが"0"（割り込み処理許可）かつ割り込み要求フラグが"1"（割り込み要求信号が発生）の場合，STOP モードの解除に割り込み要求信号を用いるため，STOP 命令を実行してもただちに STOP モードを解除します。したがって，STOP 命令実行後，STOP モード解除時間を経過した後，動作モードに移行します。

次にSTOPモード時の動作状態を示します。

表 23－3　STOP モード時の動作状態

項目 ＼ STOPモードの設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時			
	高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
システム・クロック	CPUへのクロック供給は停止			
メイン・システム・クロック　f_{IH}	停止			
f_X				
f_{EX}				
f_{PLL}	動作禁止			
サブシステム・クロック　f_{XT}	STOPモード設定前の状態を継続			
f_{EXS}				
f_{IL}	CKSELレジスタのビット0（SELLOSC）とOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0 かつ SELLOSC = 1：発振 ・WUTMMCK0 = 0 かつ SELLOSC = 0：停止			
f_{WDT}	ユーザ・オプション・バイト（000C0H/040C0H）のビット0（WDSTBYON），ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1 かつ WDSTBYON = 1：発振 ・WDTON = 1 かつ WDSTBYON = 0：停止			
CPU	動作停止			
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート（ラッチ）	STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット	動作禁止			
リアルタイム・クロック（RTC）	動作可能（入力クロック（f_{RTC}）にサブシステム・クロック選択時）			
ウォッチドッグ・タイマ	「第11章　ウォッチドッグ・タイマ」を参照			
クロック・モニタ	動作停止			
タイマRJ	動作可能 ・TRJIO0入力フィルタなし選択時のイベント・カウンタ・モード時 ・カウント・ソースにサブ／低速オンチップ・オシレータ選択クロックかつOSMCレジスタのRTCLPC = 0設定時 ・カウント・ソースに低速オンチップ・オシレータ選択時			
タイマRDe	動作可能（サブ／低速オンチップ・オシレータ選択クロック選択時のみSNOOZEステータス出力のための動作が可能）			
クロック出力／ブザー出力	カウント・クロックにサブ／低速オンチップ・オシレータ選択クロック選択時のみ動作可能			
A/Dコンバータ	動作禁止			
D/Aコンバータ	動作可能（STOPモード設定前の状態を継続）			
コンパレータ	動作可能（STOPモード解除可能に設定，かつデジタル・フィルタ未使用時）			
AAU	動作禁止			
セキュリティ機能（AES, TRNG）	動作禁止			
シリアル・アレイ・ユニット（SAU）	動作禁止			
シリアル・インタフェース（IICA）	アドレス一致によるウェイク・アップ動作可能			
DTC	DTC起動要因受付動作可能（SNOOZEモードへ移行）			
ELC	動作可能な機能ブロック間のリンクが可能			
LIN/UARTモジュール（RLIN3）	UARTのみウェイクアップ動作可能（SNOOZEモードへ移行）			
CANFDインタフェース（RS-CANFD lite）	動作禁止			
パワーオン・リセット機能	動作可能			
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能　高速CRC	動作停止			
汎用CRC				
不正メモリ・アクセス検出機能				
内部RAM-ECC機能				
CAN RAM-ECC機能				
コード・フラッシュECC機能				
RAMガード機能				
SFRガード機能				
CPUスタック・ポインタ・モニタ機能	動作停止（ベクタ割り込み処理時は動作可能）			

（**備考**と**注意**が次のページにあります。）

備考　動作停止：STOP モード移行時に自動的に動作停止

動作禁止：STOP モード移行前に動作を停止させる

f_{IH} ：高速オンチップ・オシレータ・クロック　　f_{IL} ：低速オンチップ・オシレータ・クロック

f_X ：X1 クロック　　f_{EX} ：外部メイン・システム・クロック

f_{XT} ：XT1 クロック　　f_{EXS} ：外部サブシステム・クロック

f_{PLL} ：PLL クロック　　f_{WDT} ：WDT 専用低速オンチップ・オシレータ・クロック

注意 1. STOP モード中に動作停止する周辺ハードウェア，および発振停止するクロックを選択している周辺ハードウェアを STOP モード解除後に使用する場合は，周辺ハードウェアをリスタートしてください。

2. STOP モード中にウォッチドッグ・タイマ・クロックを停止したい場合は，あらかじめユーザ・オプション・バイト（000C0H/040C0H）のビット 0（WDSTBYON）を 0（HALT/STOP/SNOOZE モード時，カウンタ動作停止）に設定しておいてください。

3. 高速システム・クロック（X1 発振）で CPU 動作していて，STOP モード解除後の発振安定時間を短縮したい場合は，STOP 命令実行前に，CPU クロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。STOP モード解除後，CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロック（X1 発振）に切り替える場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから，行ってください。

(2) STOPモードの解除

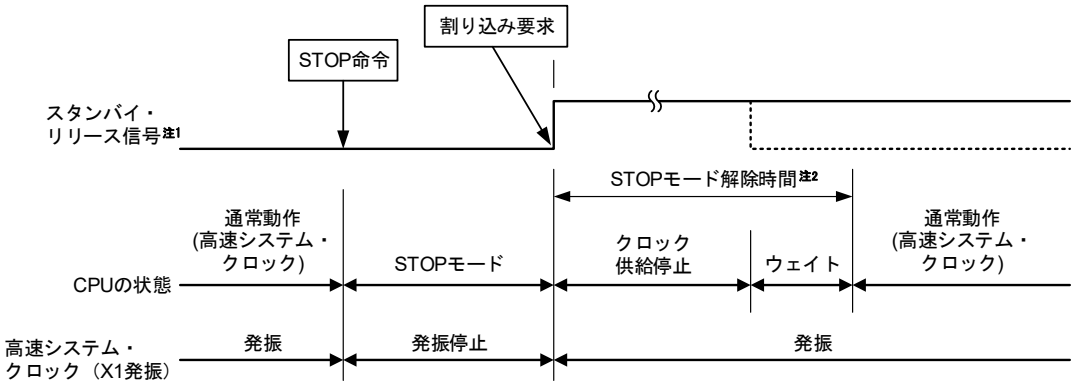
STOPモードは，割り込みおよびリセットの発生によって解除できます。

(a) マスクされていない割り込み要求による解除

割り込みマスク・フラグが"0"（割り込み処理許可）の割り込み要求が発生すると，STOPモードを解除します。割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，STOP命令の次のアドレスの命令が実行されます。

図 23－6　STOP モードの割り込み要求発生による解除（1/2）

① CPUクロックが高速システム・クロック（X1発振）の場合



注 1. スタンバイ・リリース信号に関しての詳細は「図 21－1　割り込み機能の基本構成」を参照してください。

2. STOP モード解除時間

クロック供給停止

・10 μs ～ 40 μs または発振安定時間（OSTS で設定）の長い方

ウェイト

・ベクタ割り込み処理を行う場合：10～11 クロック

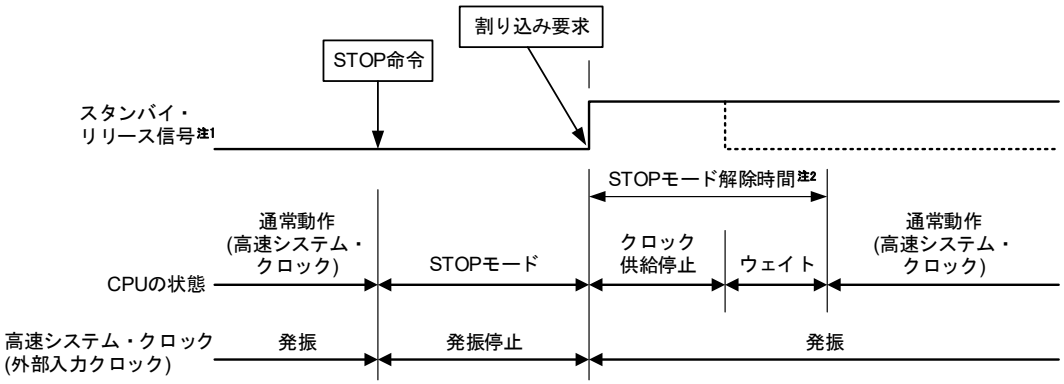
・ベクタ割り込み処理を行わない場合：4～5 クロック

備考 1. クロック供給停止時間は，温度条件と STOP モード期間によって変化します。

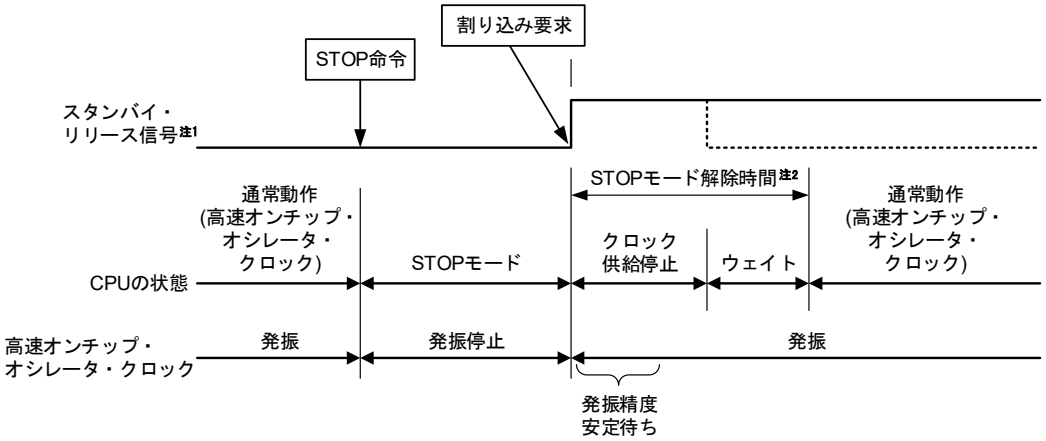
2. 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図23－6　STOPモードの割り込み要求発生による解除（2/2）

② CPUクロックが高速システム・クロック（外部クロック入力）の場合



③ CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 1. スタンバイ・リリース信号に関しての詳細は「図 21－1　割り込み機能の基本構成」を参照してください。

2. STOP モード解除時間

クロック供給停止

・10 μs ～ 40 μs

ウェイト

・ベクタ割り込み処理を行う場合：7 クロック

・ベクタ割り込み処理を行わない場合：1 クロック

備考 1. クロック供給停止時間は，温度条件と STOP モード期間によって変化します。

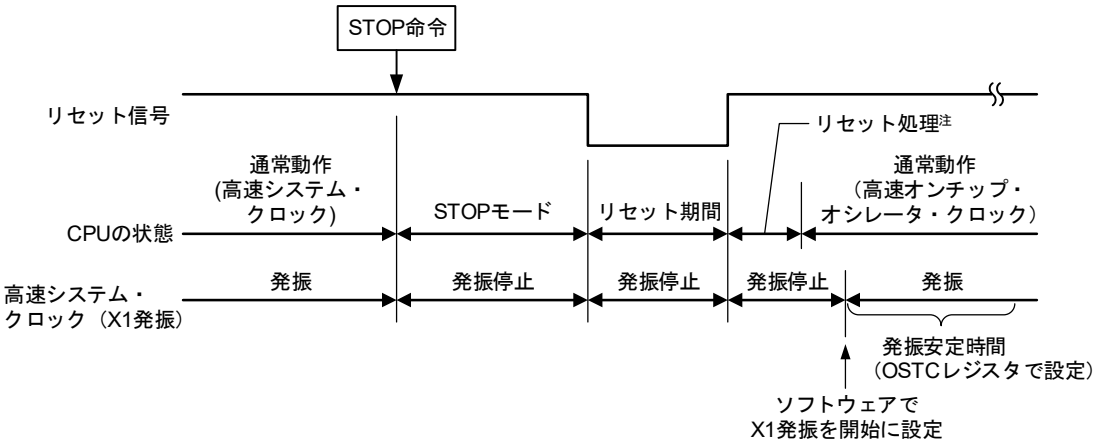
2. 破線はスタンバイを解除した割り込み要求が受け付けられた場合です。

(a) リセット信号の発生による解除

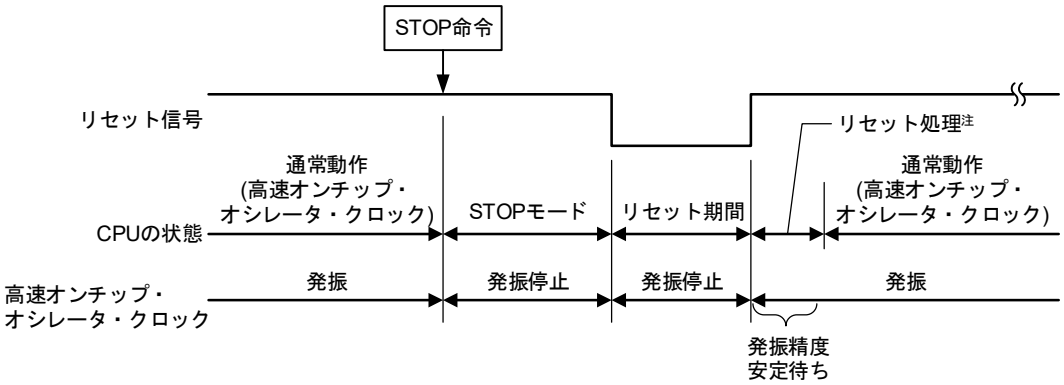
リセット信号の発生により，STOPモードは解除されます。通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐します。

図 23－7　STOP モードのリセットによる解除

① CPUクロックが高速システム・クロックの場合



② CPUクロックが高速オンチップ・オシレータ・クロックの場合



注　リセット処理時間は「第 25 章　パワーオン・リセット回路」を参照してください。

23.3.3　SNOOZEモード

(1)　SNOOZEモードの設定および動作状態

LIN/UARTモジュール, DTCのみ設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

LIN/UARTモジュールのUART機能をSNOOZEモードで使用する場合は，STOPモードに移行する前に，LUSCnレジスタを設定してください。

DTC転送をSNOOZEモードで使用する場合は，STOPモードに移行する前に，使用するDTC起動要因を許可してください。STOPモード中に，許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は「19.2　レジスタの説明」を参照してください。

SNOOZEモードの移行では，次の時間だけウェイト状態になります。

STOPモード → SNOOZEモードの遷移時間

・10 μs ～ 40 μs

備考　STOP モード → SNOOZE モードの遷移時間は，温度条件と STOP モード期間によって変化します。

SNOOZEモード → 通常動作の遷移時間

・ベクタ割り込み処理を行う場合：3.76 μs ～ 7.58 μs ＋ 7クロック

・ベクタ割り込み処理を行わない場合：3.76 μs ～ 7.58 μs ＋ 1クロック

次にSNOOZEモード時の動作状態を示します。

表 23－4　SNOOZE モード時の動作状態

項目 ＼ SNOOZEモードの設定			STOPモード中に LIN/UARTモジュールのUARTモードでのデータ受信信号，DTC起動要因発生時 高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作開始
		f_X	停止
		f_{EX}	
		f_{PLL}	動作禁止
	サブシステム・クロック	f_{XT}	STOPモード中の状態を継続
		f_{EXS}	
	f_{IL}		CKSELレジスタのビット0（SELLOSC）とOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつSELLOSC = 1：発振 ・WUTMMCK0 = 0かつSELLOSC = 0：停止
f_{WDT}			ユーザ・オプション・バイト（000C0H/040C0H）のビット0（WDSTBYON），ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1かつWDSTBYON = 1：発振 ・WDTON = 1かつWDSTBYON = 0：停止
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）			STOPモード中の状態を継続
タイマ・アレイ・ユニット			動作禁止
リアルタイム・クロック（RTC）			動作可能（入力クロック（f_{RTC}）にサブシステム・クロック選択時）
ウォッチドッグ・タイマ			「第11章　ウォッチドッグ・タイマ」を参照
クロック・モニタ			動作停止
タイマRJ			動作可能 ・TRJIO0入力フィルタなし選択時のイベント・カウンタ・モード時 ・カウント・ソースにサブ／低速オンチップ・オシレータ選択クロックかつOSMCレジスタのRTCLPC = 0設定時 ・カウント・ソースに低速オンチップ・オシレータ選択時
タイマRDe			動作可能（サブ／低速オンチップ・オシレータ選択クロック選択時のみSNOOZEステータス出力のための動作が可能）
クロック出力／ブザー出力			カウント・クロックにサブ／低速オンチップ・オシレータ選択クロック選択時のみ動作可能
A/Dコンバータ			動作禁止
D/Aコンバータ			動作可能（STOPモード設定前の状態を継続）
コンパレータ			動作可能（STOPモード解除可能に設定，かつデジタル・フィルタ未使用時）
AAU			動作停止
セキュリティ機能（AES, TRNG）			動作停止
シリアル・アレイ・ユニット（SAU）			動作禁止
シリアル・インタフェース（IICA）			
DTC			動作可能
ELC			動作可能な機能ブロック間のリンクが可能
LIN/UARTモジュール（RLIN3）			動作可能（UARTモードのみ）
CANFDインタフェース（RS-CANFD lite）			動作禁止
パワーオン・リセット機能			動作可能
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能	高速CRC		動作停止
	汎用CRC		
不正メモリ・アクセス検出機能			
内部RAM-ECC機能			
CAN RAM-ECC機能			
コード・フラッシュECC機能			
RAMガード機能			
SFRガード機能			
CPUスタック・ポインタ・モニタ機能			動作停止（ベクタ割り込み処理時は動作可能）

（**備考**が次のページにあります。）

備考　動作停止：STOP モード移行時に自動的に動作停止

動作禁止：STOP モード移行前に動作を停止させる

f_{IH} ：高速オンチップ・オシレータ・クロック　f_{IL} ：低速オンチップ・オシレータ・クロック

f_X ：X1 クロック　f_{EX} ：外部メイン・システム・クロック

f_{XT} ：XT1 クロック　f_{EXS} ：外部サブシステム・クロック

f_{PLL} ：PLL クロック　f_{WDT} ：WDT 専用低速オンチップ・オシレータ・クロック

(2) SNOOZEモード・ステータス出力

SNOOZE ステータス出力機能は，SNOOZE モード移行および解除に合わせて，SNOOZE モードの状態（SNOOZE モード以外，SNOOZE モード中）を選択した特定の端子に出力する機能です。

f_{SL}（サブ／低速オンチップ・オシレータ選択クロック），タイマ RDe0 およびポートを連動して実現します。

次に，A/D 変換を合成した SNOOZE モード・ステータスの出力例を示します。

- f_{SL} は，タイマ RDe0 のカウント・ソースとして使用します。
- タイマ RDe0 は，タイマ・モードの PWM 機能を使用し，TRDGRA0 レジスタで周期を設定します。
- またタイマ RDe0 は，TRDGRB0 レジスタおよび TRDGRC0 レジスタでコンペアー致信号を生成します。TRDGRB0 のコンペアー致信号は，STOP モード解除と CPU 動作開始の動作トリガとして使用します。
- STOP モード解除後の CPU 動作では，CPU からのソフトウェア・トリガによって A/D 変換を開始します。
- TRDGRC0 のコンペアー致信号を受けて，PSNZCNT0～3 レジスタで選択した SNZOUTn（n=0～7）端子から SNOOZE ステータスを出力します。

図23－8にSNOOZEモード・ステータス出力機能の回路構成を，図23－9にSNOOZEステータス出力にA/D変換を合成した場合のタイミング例を示します。

図 23－8　SNOOZE モード・ステータス出力機能と A/D コンバータを組み合わせた回路構成例

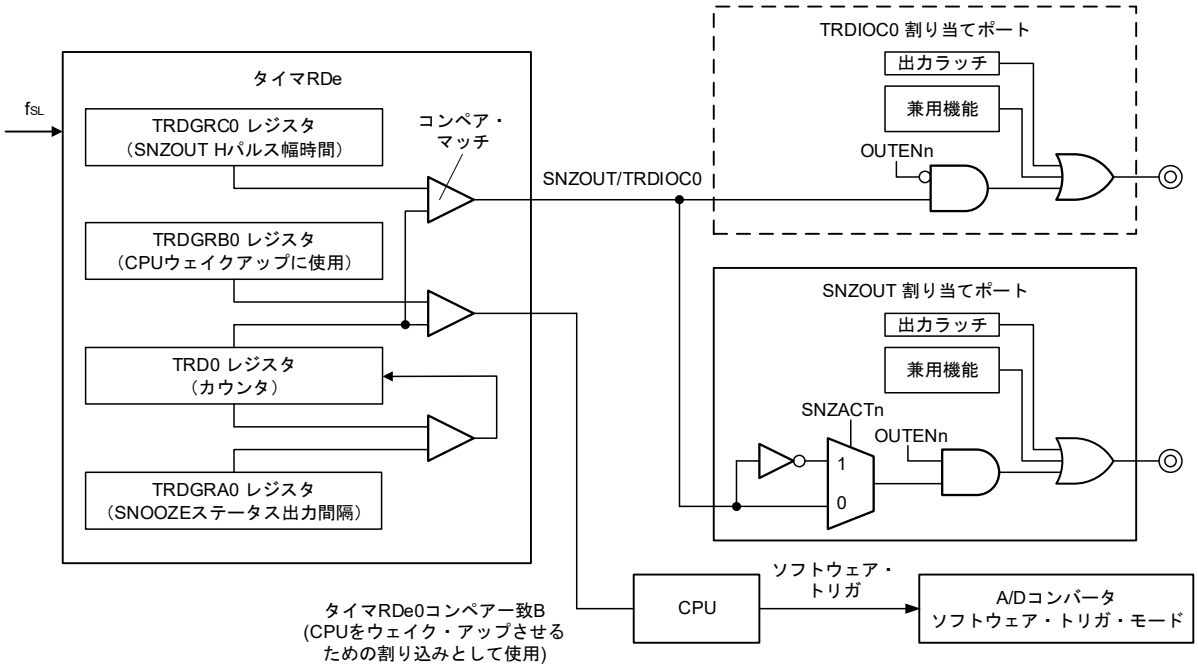
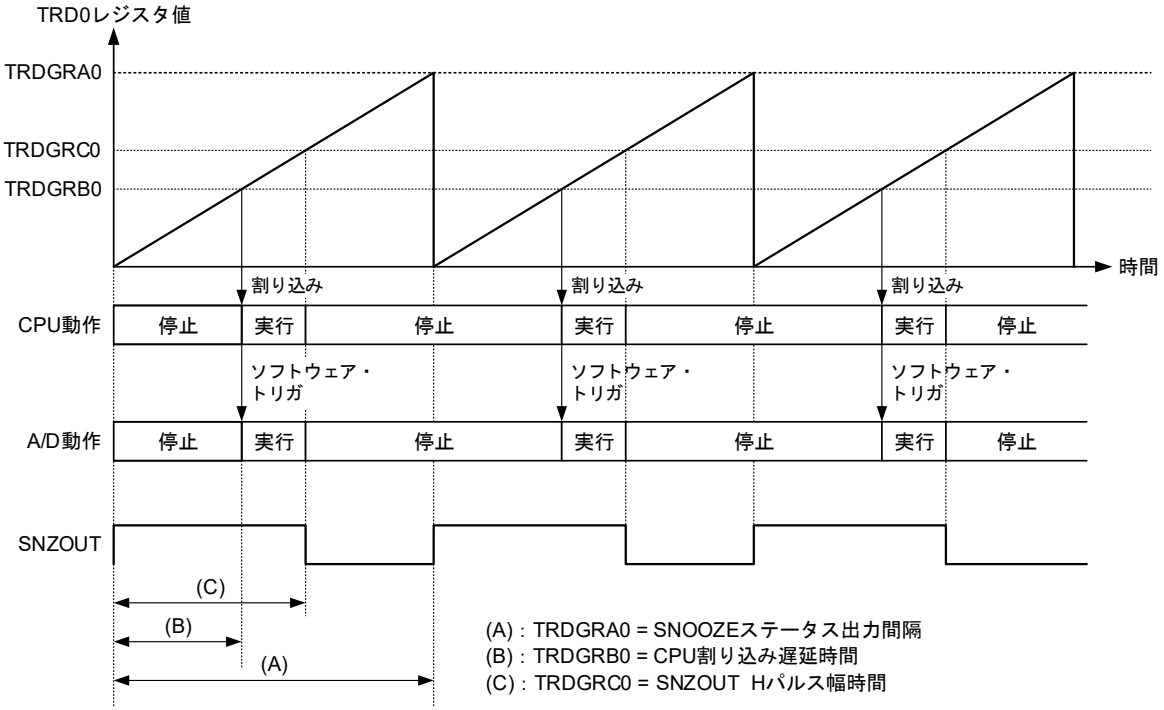
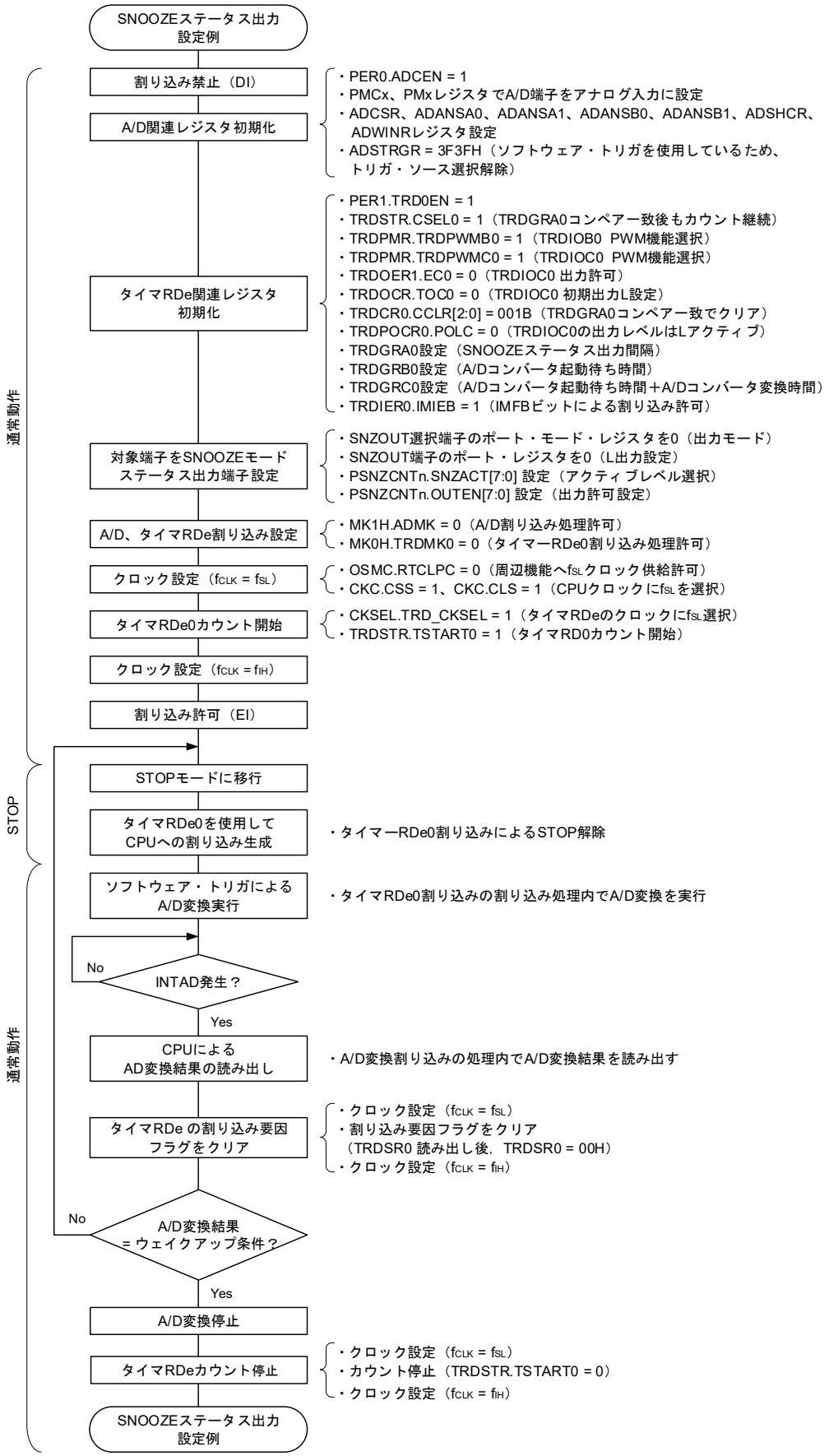


図 23－9　SNOOZE ステータス出力と A/D 変換のタイミング例



★ 図 23－10　SNOOZE ステータス出力設定例



注意　A/D コンバータ，タイマ RDe，ポート機能等の各レジスタ設定については，該当する章を参照ください。

第24章　リセット機能

リセット信号を発生させる方法には，次の 7 種類があります。

(1) RESET 端子による外部リセット入力
(2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3) パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
(4) 電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
(5) 不正命令の実行による内部リセット 注
(6) クロック・モニタによるメイン・クロック発振停止の検出による内部リセット
(7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，0000H，0001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

RESET 端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR 回路，LVD 回路の電圧検出，不正命令の実行 注，クロック・モニタによるメイン・クロック発振停止の検出，または不正メモリ・アクセスにより，リセットがかかり，各ハードウェアは表 24－1 に示すような状態になります。

RESET 端子にロウ･レベルが入力されるとリセットがかかります。RESET 端子にハイ・レベルが入力されるとリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します（図 24－2 から図 24－4 参照）。

POR 回路，LVD 回路の電圧検出によるリセットは，リセット後 $V_{DD} \geqq V_{POR}$ または $V_{DD} \geqq V_{LVD}$ になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します（「第 25 章　パワーオン・リセット回路」と「第 26 章　電圧検出回路」を参照）。

注　FFH の命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意 1. 外部リセットを行う場合，RESET 端子に 10 μs 以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合，動作電圧範囲外（V_{DD}＜2.7 V）の期間は 10 μs にカウントしません。ただしロウ・レベル入力は POR 解除前から継続されていてもかまいません。

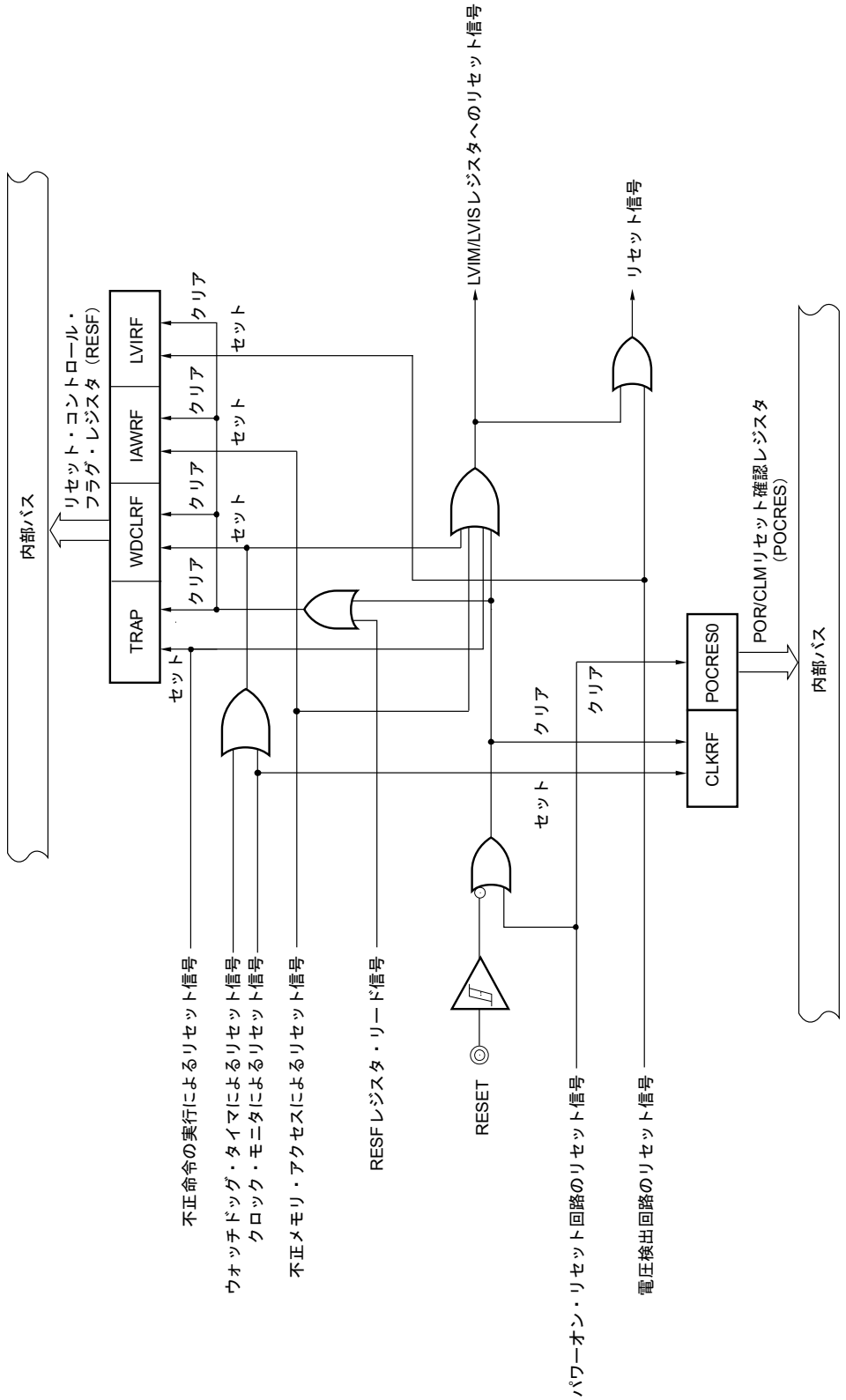
2. リセット信号発生中では，X1 クロック，XT1 クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック，外部サブシステム・クロックの入力は無効となります。

3. リセットがかかると各 SFR と 2nd SFR は初期化されるため，ポート端子は次の状態になります。

- **P40：外部リセットか POR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）。**
- **P130：リセット期間中およびリセット受け付け後はロウ・レベル出力。**
- **P40，P130 以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス。**

備考　V_{POR}：POR 電源立ち上がり検出電圧

図 24－1　リセット機能ブロック図



注　LVD 回路の内部リセットの場合，LVD 回路はリセットされません。

備考 1. LVIM：電圧検出レジスタ。

2. LVIS：電圧検出レベル・レジスタ。

図 24－2　RESET 入力によるリセット・タイミング

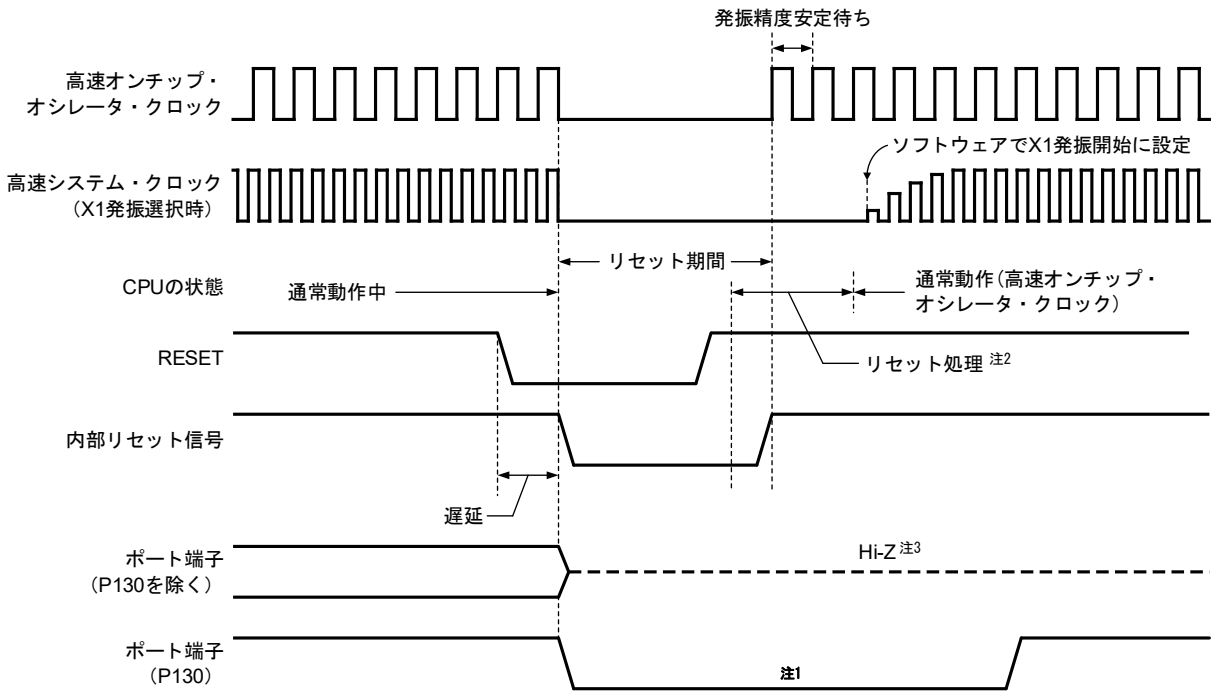
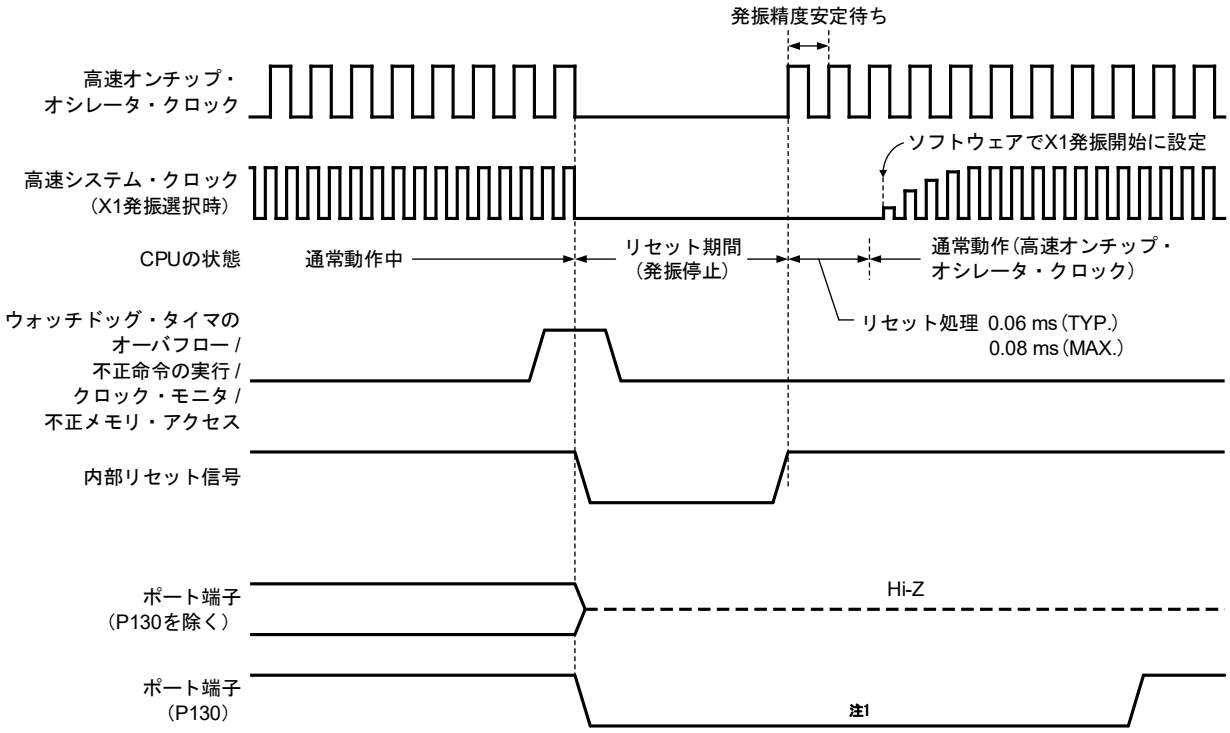
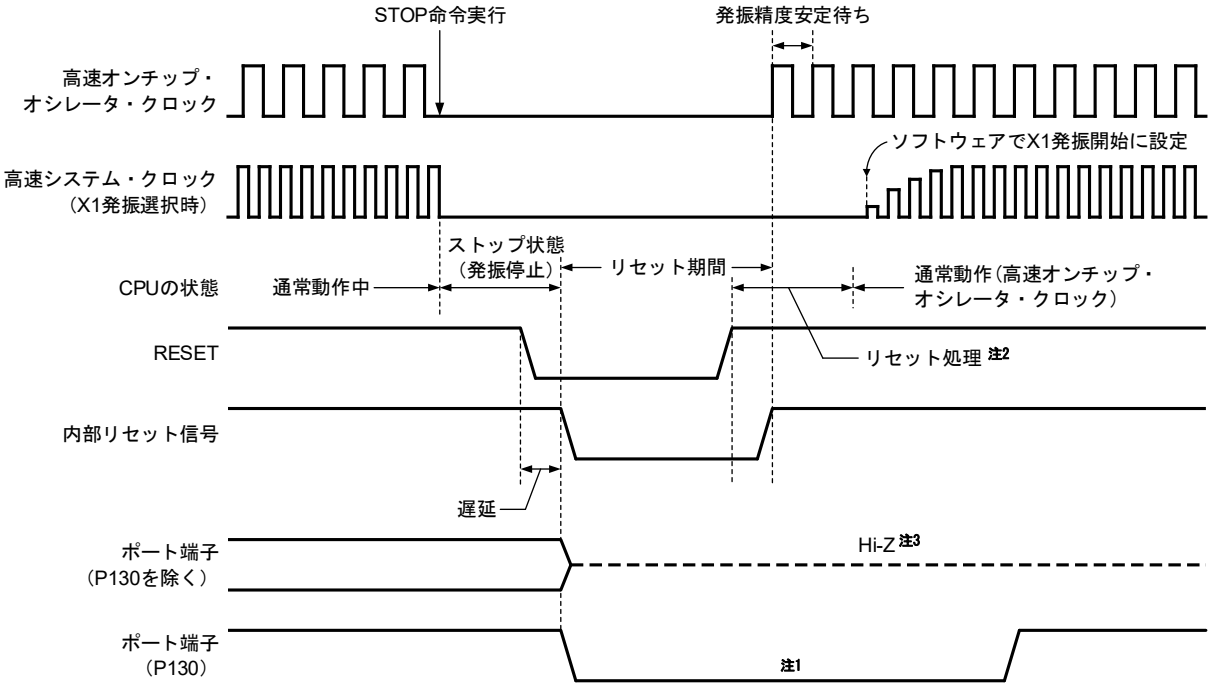


図 24－3　ウォッチドッグ・タイマのオーバフロー／不正命令の実行／クロック・モニタ／
不正メモリ・アクセスによるリセット・タイミング



（**注**と**備考**が次ページにあります。）

図 24－4　STOP モード中の RESET 入力によるリセット・タイミング



注 1. リセットがかかると P130 はロウ・レベルを出力するため，リセットがかかる前に P130 をハイ・レベル出力にした場合，P130 からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には，P130 をソフトウェアでハイ・レベル出力にしてください。

2. 外部リセット解除時のリセット処理時間：

POR 解除後 1 回目：　0.73 ms (TYP.)，1.13 ms (MAX.)（LVD 使用時）

0.46 ms (TYP.)，0.81 ms (MAX.)（LVD オフ時）

POR 解除後 2 回目以降：　0.74 ms (TYP.)，1.05 ms (MAX.)（LVD 使用時）

0.47 ms (TYP.)，0.73 ms (MAX.)（LVD オフ時）

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.)，2.30 ms (MAX.) がかかります。

3. P40 は次の状態になります。

- 外部リセットか POR によるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

備考　パワーオン・リセット回路と電圧検出回路のリセット・タイミングは，「第 25 章　パワーオン・リセット回路」と「第 26 章　電圧検出回路」を参照してください。

表 24－1　リセット期間中の動作状態

項目			リセット期間中
システム・クロック			CPU へのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_X	動作停止（X1，X2 端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	サブシステム・クロック	f_{XT}	動作停止（XT1，XT2 端子は入力ポート・モード）
		f_{EXS}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
	f_{PLL}		
	f_{WDT}		
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）	P130		ロウ・レベル出力
	P40		ハイ・インピーダンス（外部リセット，POR リセット）， プルアップ（外部リセット，POR リセット以外のリセット）
	P130，P40以外		ハイ・インピーダンス
タイマ・アレイ・ユニット			動作停止
タイマRJ			
タイマRDe			
リアルタイム・クロック（RTC）			
ウォッチドッグ・タイマ			
クロック・モニタ			
クロック出力／ブザー出力			
A/Dコンバータ			
D/Aコンバータ 注			
コンパレータ 注			
AAU			
シリアル・アレイ・ユニット（SAU）			
シリアル・インタフェース（IICA）			
LIN/UARTモジュール（RLIN3）			
CANFDインタフェース（RS-CANFD lite）注			
乗除・積和演算器			
DTC			
ELC 注			
パワーオン・リセット機能			検出動作可能
低電圧検出機能			動作停止
外部割り込み			
キー割り込み機能			
ROM-ECC機能			
CRC演算機能	高速CRC		
	汎用CRC		
不正メモリ・アクセス検出機能			
内部RAM-ECC機能			
CAN RAM-ECC機能			
RAMガード機能			
SFRガード機能			

（**注**と**備考**が次のページにあります。）

注 RL78/F24 のみ。

備考 f_{IH} ：高速オンチップ・オシレータ・クロック　f_X ：X1 発振クロック
f_{EX} ：外部メイン・システム・クロック　f_{XT} ：XT1 発振クロック
f_{EXS} ：外部サブシステム・クロック　f_{IL} ：低速オンチップ・オシレータ・クロック
f_{PLL} ：PLLクロック　f_{WDT} ：WDT専用低速オンチップ・オシレータ・クロック

表 24－2　各ハードウェアのリセット受け付け後の状態

ハードウェア		リセット受け付け後の状態 注1
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされます
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定
リセット・コントロール・フラグ・レジスタ（RESF）		不定 注2
電圧検出レジスタ（LVIM）		00H 注2
電圧検出レベル・レジスタ（LVIS）		00H/01H/81H 注3
ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）		1AH/9AH 注4
特殊機能レジスタ（SFR：Special Function Register）		本書の関連するレジスタをご覧ください
拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）		本書の関連するレジスタをご覧ください

注 1. リセット信号発生中および発振安定時間ウェイト中の各ハードウェアの状態は，PC の内容のみ不定となります。その他はリセット後の状態と変わりありません。
2. リセット要因により，表 24－3 のように異なります。
3. LVIS レジスタのリセット値は，リセット要因およびオプション・バイトの設定により変化します。
4. WDTE レジスタのリセット値は，オプション・バイトの設定で決定します。

表 24－3　リセット要求時の RESF/LVIM/LVIS の状態

レジスタ ＼ リセット要因		RESET 入力	POR によるリセット	不正命令の実行によるリセット	RESFのリード	WDT によるリセット	クロック・モニタによるリセット	不正メモリ・アクセスによるリセット	LVD によるリセット
RESF	TRAP	クリア(0)	クリア(0)	セット(1)	クリア(0)	保持	保持	保持	保持
	WDCLRF			保持		セット(1)	セット(1)	保持	保持
	IAWRF			保持		保持	保持	セット(1)	保持
	LVIRF			保持		保持	保持	保持	セット(1)
POCRES	POCRES0	保持	クリア(0)	保持	保持	保持	保持	保持	保持
	CLKRF	クリア(0)	クリア(0)	保持	保持	保持	セット(1)	保持	保持
LVIM	LVISEN	クリア(0)	クリア(0)	クリア(0)	保持	クリア(0)	クリア(0)	クリア(0)	保持
	LVIOMSK	保持	保持	保持	保持	保持	保持	保持	保持
	LVIF	保持	保持	保持	保持	保持	保持	保持	保持
LVIS		クリア（00H/01H/81H）	クリア（00H/01H/81H）	クリア（00H/01H/81H）	保持	クリア（00H/01H/81H）	クリア（00H/01H/81H）	クリア（00H/01H/81H）	保持

注意　LVD 以外のリセット時は，次のようになります。

・オプション・バイト LVIMDS1, LVIMDS0 = 1, 0 のとき：00H

・オプション・バイト LVIMDS1, LVIMDS0 = 1, 1 のとき：81H

・オプション・バイト LVIMDS1, LVIMDS0 = 0, 1 のとき：01H

24.1　リセット要因を確認するレジスタ

リセット機能のために以下のレジスタが使用されます。

表 24－4　リセット機能の制御レジスタ

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	00H 注1	8
F02C9H	POR/CLM リセット確認レジスタ	POCRES	00H 注2	1, 8

注 1. リセット後の値は，リセット要因によって異なります。

2. POR 以外のリセット要因発生時は，リセット直前のビット 0（POCRES0 ビット）の値が保持されます。

24.1.1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78/F23, F24 は，内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは，8 ビット・メモリ操作命令で，読み出すことができます。

RESET 入力，パワーオン・リセット（POR）回路によるリセットおよび RESF レジスタのデータを読み出すことにより，TRAP, WDCLRF, IAWRF, LVIRF フラグはクリアされます。

図 24－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　リセット時：00 注1　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDCLRF	0	0	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 注2
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDCLRF	ウォッチドッグ・タイマ（WDT）またはクロック・モニタによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	WDTまたはクロック・モニタによる内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

（**注**と**注意**が次のページにあります）

注 1. リセット要因により異なります。

2. FFH の命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意　1 ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時の RESF レジスタの状態を表 24－5 に示します。

表 24－5　リセット要求時の RESF レジスタの状態

クリア要因 ＼ フラグ	RESET入力	PORによるリセット	不正命令の実行によるリセット	RESFのリード	WDTによるリセット	クロック・モニタによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
TRAP	クリア(0)	クリア(0)	セット(1)	クリア(0)	保持	保持	保持	保持
WDCLRF			保持		セット(1)	セット(1)	保持	保持
IAWRF			保持		保持	保持	セット(1)	保持
LVIRF			保持		保持	保持	保持	セット(1)

24.1.2　POR/CLMリセット確認レジスタ（POCRES）

POR/CLM リセット確認レジスタ（POCRES）は，POR リセット，クロック・モニタによるリセットの発生を確認するレジスタです。

POCRES0 ビットは，1 書き込みのみ有効で，0 書き込みは無効になります。

CLKRF ビットは，0 書き込みのみ有効で，1 書き込みは無効になります。

POCRES レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定してください。

POCRES0 ビットは，パワーオン・リセット（POR）回路によるリセットでのみ 0 になります。

CLKRF ビットは，RESET 入力，パワーオン・リセット（POR）回路によるリセットにより，0 になります。

備考　パワーオン・リセット（POR）回路によるリセットを確認する場合，あらかじめ POCRES0 に 1 をセットしてください。

図 24－6　POR/CLM リセット確認レジスタ（POCRES）のフォーマット

アドレス：F02C9H　リセット時：00H 注　R/W

略号	7	6	5	4	3	2	1	0
POCRES	0	0	0	CLKRF	0	0	0	POCRES0

POCRES0	PORリセットによる内部リセット要求
0	PORリセットは発生した，または書き込みがされていない
1	PORリセットは発生していない

CLKRF	クロック・モニタによる内部リセット要求（RESCLM）
0	内部リセット要求（RESCLM）は発生していない，またはCLKRFビットをクリアした
1	内部リセット要求（RESCLM）は発生した

注　POR 以外のリセット要因発生時は，リセット直前の POCRES0 ビットの値が保持されます。

リセット要求時の POCRES の状態を表 24－6 に示します。

表 24－6　リセット要求時の POCRES の状態

クリア要因 ＼ フラグ	RESET 入力	POR による リセット	不正命令の 実行による リセット	RESFの リード	WDT による リセット	クロック・ モニタによる リセット	不正メモリ・ アクセスによる リセット	LVD による リセット
POCRES0	保持	クリア(0)	保持	保持	保持	保持	保持	保持
CLKRF	クリア(0)	クリア(0)	保持	保持	保持	セット(1)	保持	保持

第25章　パワーオン・リセット回路

25.1 パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

- 電源電圧（V_{DD}）が，V_{PDR}（1.56 V (Typ.) ）を越えた場合にリセットを解除します。
  ただし，36.4 章，37.4 章および 38.4 章の AC 特性に示す動作電圧範囲まで，電圧検出回路または外部リセットで，リセット状態を保ってください。
- 電源電圧（V_{DD}）と検出電圧（V_{PDR} = 1.55 V (Typ.) ）を比較し，V_{DD}＜V_{PDR} になったとき，内部リセット信号を発生します。
  ただし, 電源立ち下がり時は, 36.4 章, 37.4 章および 38.4 章の AC 特性に示す動作電圧範囲を下回る前に STOP モードにするか，電圧検出回路または外部リセットでリセット状態にしてください。

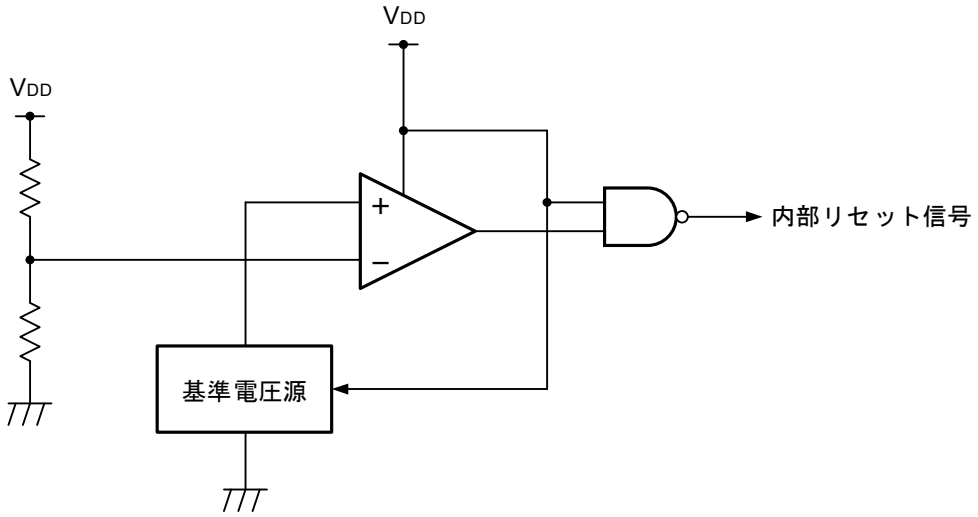
注意　POR 回路で内部リセット信号が発生した場合，POR/CLM リセット確認レジスタ（POCRES）の POCRES0，CLKRF，およびリセット・コントロール・フラグ・レジスタ（RESF）の TRAP，WDCLRF，IAWRF，LVIRF フラグがクリア（00H）されます。

備考　本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。パワーオン・リセット（POR）／ウォッチドッグ・タイマ（WDT）またはクロック・モニタ／電圧検出（LVD）回路／不正命令の実行／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグが RESF レジスタ，POCRES レジスタに配置されています。
RESF レジスタは WDT／LVD／不正命令の実行／クロック・モニタ／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。クロック・モニタにより内部リセット信号が発生した場合，POCRES レジスタの CLKRF フラグがセット（1）されます。POCRES レジスタに配置されている POCRES0 フラグは，事前に 1 に設定されている場合，POR 回路による内部リセット信号によりクリア（0）されます。
POCRES レジスタ，RESF レジスタの詳細については「第 24 章　リセット機能」を参照してください。

25.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を，図 25－1 に示します。

図 25－1　パワーオン・リセット回路のブロック図



25.3 パワーオン・リセット回路の動作

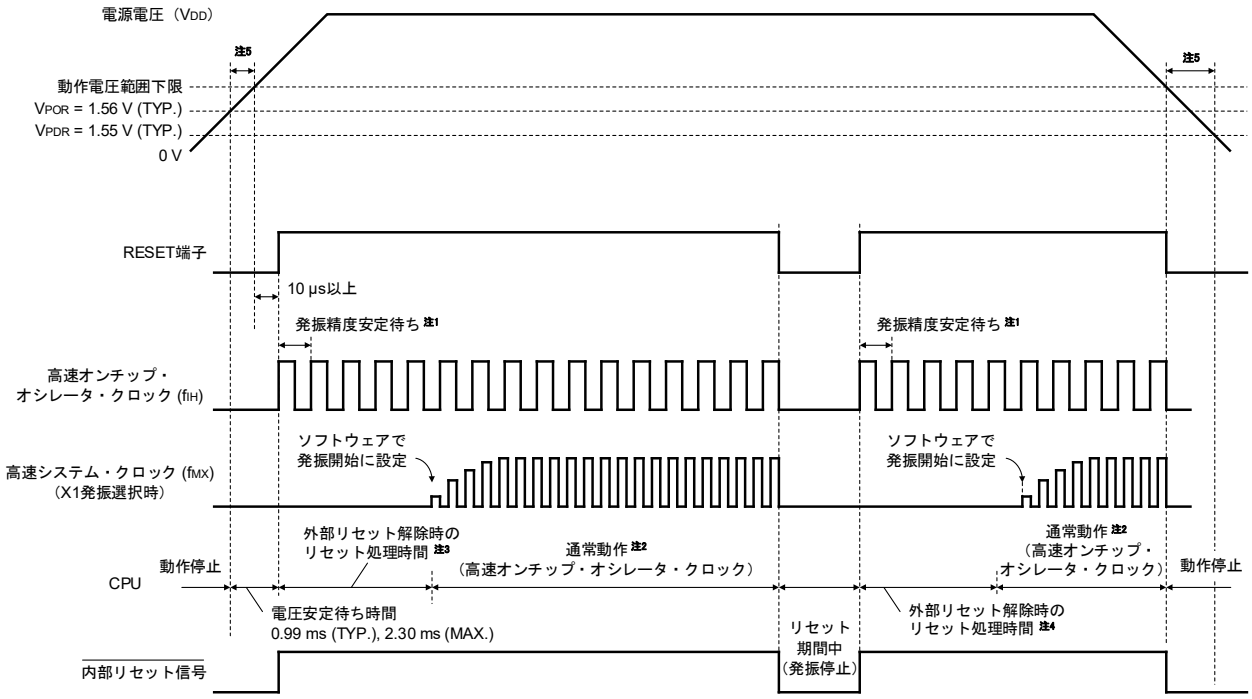
- 電源投入時に内部リセット信号を発生し，電源電圧（VDD）が検出電圧（VPOR = 1.56 V (Typ.) 注）を越えた場合，リセットを解除します。
- 電源電圧（VDD）と検出電圧（VPDR = 1.55 V (Typ.) 注）を比較し，VDD＜VPDR になったとき内部リセット信号を発生します。

注　ユーザ・オプション・バイトで，電圧検出回路をデフォルトで ON に設定した場合は，オプション・バイトで設定した値を越えるまでリセットは解除されません。

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図 25－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/2）

(1)　RESET 端子による外部リセット使用時



注 1. 高速オンチップ･オシレータ･クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2. CPU クロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1 クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1 クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。

3. 通常動作が開始されるまでの時間は，VPOR（1.56 V (TYP.) ）に達してからの電圧安定待ち時間に加えて，RESET 信号をハイ・レベル(1)にしてから次の外部リセット解除時のリセット処理時間（POR 状態後，最初の外部リセット解除）が掛かります。

POR 状態解除後の最初の外部リセット解除時のリセット処理時間を次に示します。

POR 解除後 1 回目：　0.73 ms (TYP.)，1.13 ms (MAX.)（LVD 使用時）

0.46 ms (TYP.)，0.81 ms (MAX.)（LVD オフ時）

4. 上記以外の外部リセットが解除された場合のリセット時間は以下のとおりです。

上記以外の外部リセットの場合は，リセット状態から解除となります。

POR 解除後 2 回目以降：0.74 ms (TYP.)，1.05 ms (MAX.)（LVD 使用時）

0.47 ms (TYP.)，0.73 ms (MAX.)（LVD オフ時）

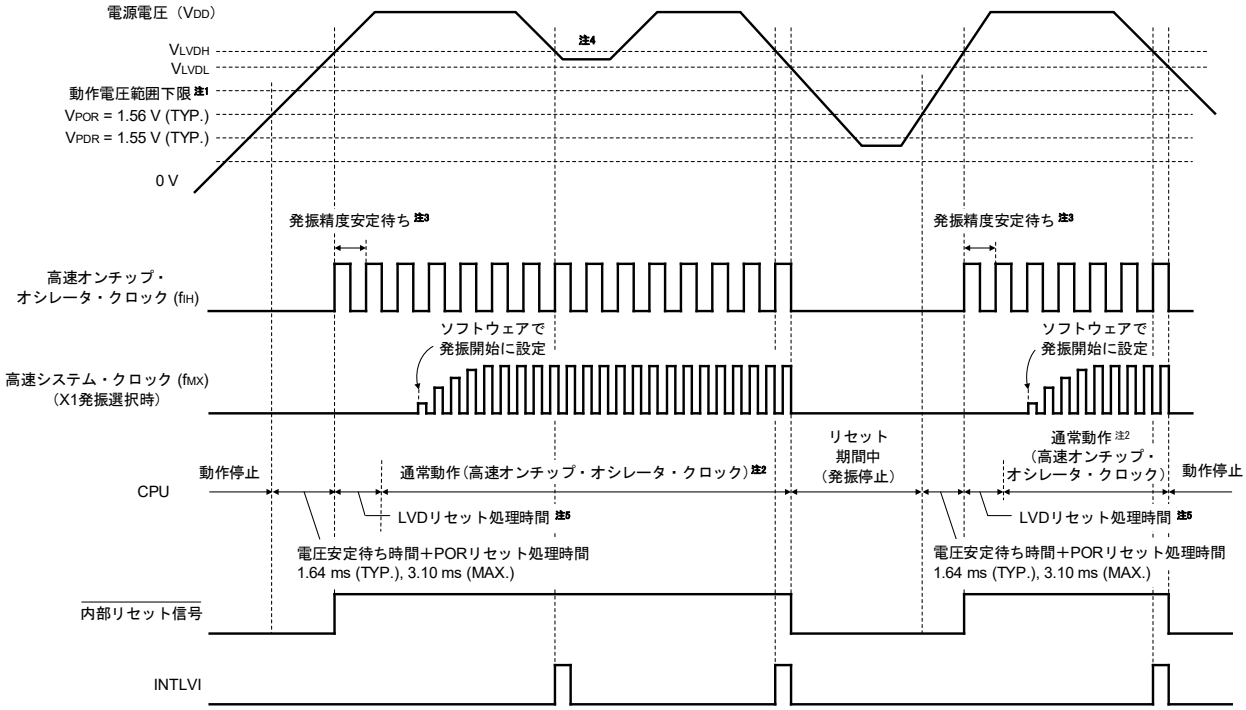
5. 電源立ち上がり時は，第 36 章から第 38 章の電気的特性の AC 特性に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOP モードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考　VPOR：POR 電源立ち上がり検出電圧

VPDR：POR 電源立ち下がり検出電圧

図 25－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/2）

(2)　LVD 割り込み＆リセット・モード時（オプション・バイト 000C1H/040C1H の LVIMDS1, LVIMDS0 = 1, 0）



注 1. 動作保証範囲は，2.7 V ≦ VDD ≦ 5.5 V です。必ず 2.7 V 以上になってから，通常動作を行ってください。電源投入時や電源立ち下り時に 2.7 V 未満で動作する可能性がある場合は，電圧検出回路のリセットを使用するか，RESET 端子にロウ・レベルを入力してください。

2. CPU クロックとして高速オンチップ・オシレータ・クロックと高速システム・クロックまたはサブシステム・クロックを選択可能です。X1 クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1 クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。

3. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

4. 割り込み要求信号（INTLVI）が発生した後，電圧検出レベル・レジスタ（LVIS）の LVILV, LVIMD ビットは自動的に 1 に設定されます。そのため，電源電圧が VLVDL を下回らずに VLVDH 以上に復帰する場合を考慮して，INTLVI 発生後は，「図 26－8　割り込み＆リセット・モードの初期設定」に従って設定をしてください。

5. LVD リセット処理時間：0 ms ～ 0.08 ms (MAX.)

備考　VLVDH, VLVDL：LVD 検出電圧

VPOR：POR 電源立ち上がり検出電圧

VPDR：POR 電源立ち下がり検出電圧

25.4 パワーオン・リセット回路の注意事項

電源電圧（V_{DD}）が POR 検出電圧（V_{POR}, V_{PDR}）付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

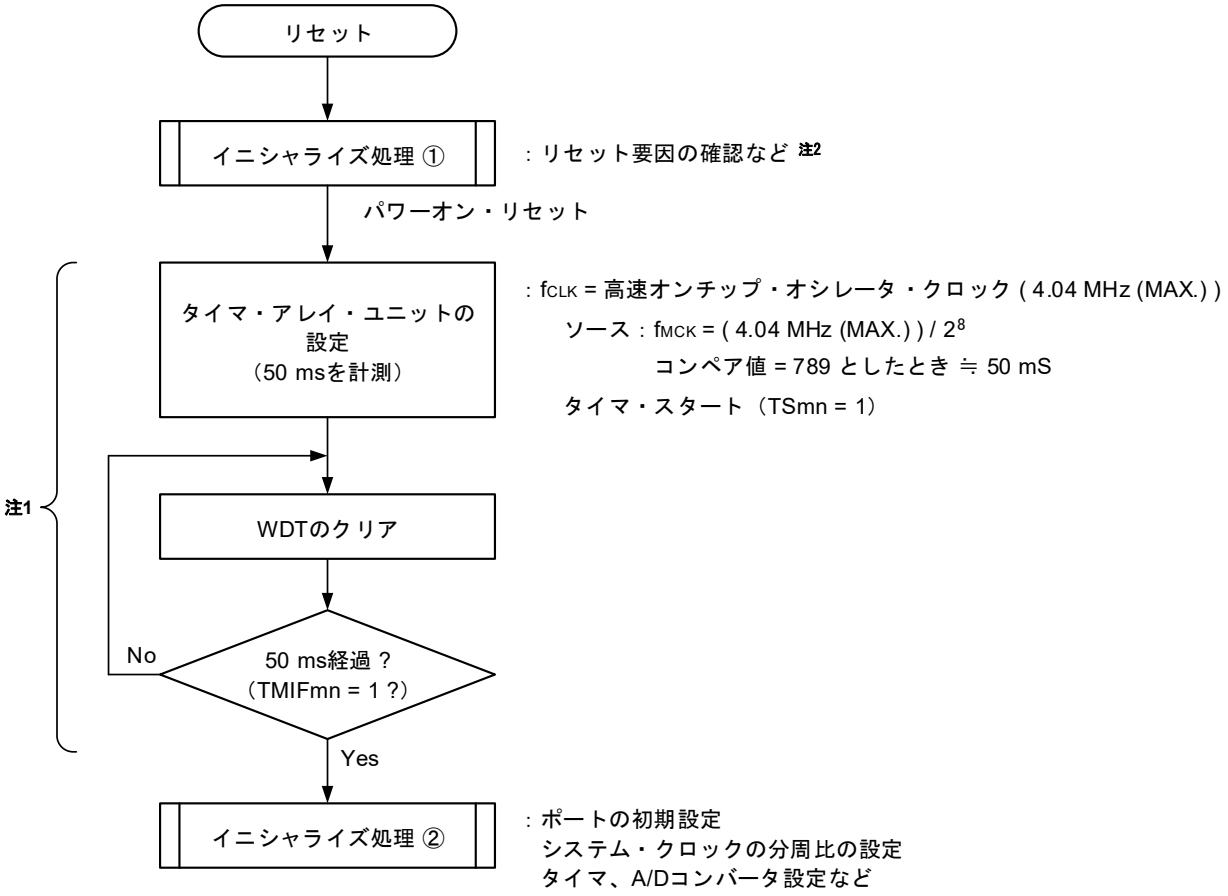
リセット回路を使用しない回路の場合は，電圧検出器（LVD 回路）を有効にしてください。

＜処置＞

リセット解除後，タイマなどを使用するソフトウェア・カウンタにて，システムごとに異なる電源電圧変動期間をウェイトしてから，ポートなどを初期設定してください。

図 25－3　リセット解除後のソフト処理例（1/2）

(1)　POR 検出電圧付近での電源電圧変動が 50ms 以下の場合



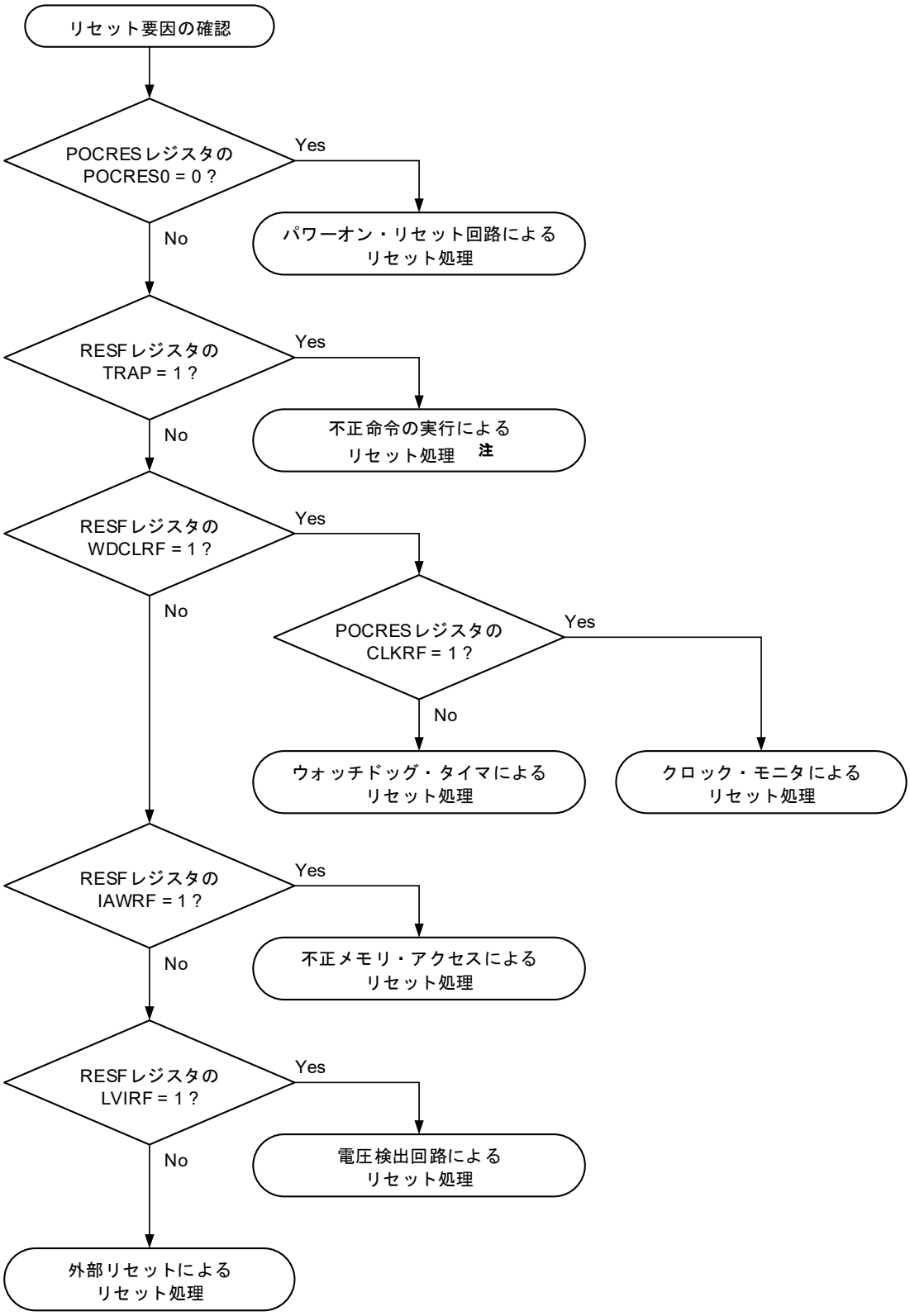
注 1. この間に再度リセットが発生した場合，イニシャライズ処理② には移行しません。

2. 次ページにフロー・チャートを示します。

備考　m = 0, 1，n = 0-7

図 25－3　リセット解除後のソフト処理例（2/2）

(2)　リセット要因の確認



注　FFH の命令コードを実行したときに発生します。

不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第26章　電圧検出回路

26.1　電圧検出回路の機能

電圧検出回路（LVD）は，次のような機能を持ちます。なお，LVD の動作モードと検出電圧（V_{LVDH}，V_{LVDL}，V_{LVD}）は，ユーザ・オプション・バイト（000C1H/040C1H）を使用して設定します。

- 電源電圧（V_{DD}）と検出電圧（V_{LVDH}, V_{LVDL}）を比較し，内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧（V_{LVDH}, V_{LVDL}）はオプション・バイトにより，検出レベルを 6 段階から選択できます（「第 31 章　オプション・バイト」を参照）。
- STOP モード時においても動作可能です。
- 電源立ち上がり時は，電気的特性で示す動作電圧範囲まで電源検出回路または外部リセットにより，リセット状態を維持してください。電源立ち下がり時は，動作電圧範囲を下回る前に STOP モードに移行するか，または，電源検出回路や外部リセットにより，リセット状態にしてください。

(a)　割り込み＆リセット・モード（オプション・バイト LVIMDS1, LVIMDS0 = 1, 0）
ユーザ・オプション・バイト（000C1H/040C1H）で選択する 2 つの検出電圧に対して，高電圧検出レベル（V_{LVDH}）を割り込み発生／リセット解除用，低電圧検出レベル（V_{LVDL}）をリセット発生用として使用します。

(b)　リセット・モード（オプション・バイト LVIMDS1, LVIMDS0 = 1, 1）
ユーザ・オプション・バイト（000C1H/040C1H）で選択する 1 つの検出電圧（V_{LVD}）をリセット発生／解除用として使用します。

(c)　割り込みモード（オプション・バイト LVIMDS1, LVIMDS0 = 0, 1）
ユーザ・オプション・バイト（000C1H/040C1H）で選択する 1 つの検出電圧（V_{LVD}）を割り込み発生／リセット解除用として使用します。

割り込み＆リセット・モードでは 2 つの検出電圧（V_{LVDH}, V_{LVDL}）を，リセット・モードおよび割り込みモードでは 1 つの検出電圧（V_{LVD}）を設定できます。

リセットと割り込み信号は，オプション・バイト（LVIMDS0, LVIMDS1）の選択により次のように発生します。

割り込み＆リセット・モード （LVIMDS1, LVIMDS0 = 1, 0）	リセット・モード （LVIMDS1, LVIMDS0 = 1, 1）	割り込みモード （LVIMDS1, LVIMDS0 = 0, 1）
V_{DD}＜V_{LVDH} になったときに内部割り込み信号を発生し，V_{DD}＜V_{LVDL} になったときに内部リセットを発生。 V_{DD}≧V_{LVDH} になったときに内部リセットを解除。	V_{DD}＜V_{LVD} になったときに内部リセットを発生し，V_{DD}≧V_{LVD} になったときに内部リセットを解除。	電源電圧降下時に V_{DD}＜V_{LVD} になったとき，または電源電圧上昇時に V_{DD}≧V_{LVD} になったときに内部割り込み信号を発生。 電源投入時に V_{DD}≧V_{LVD} になったときに内部リセット解除。

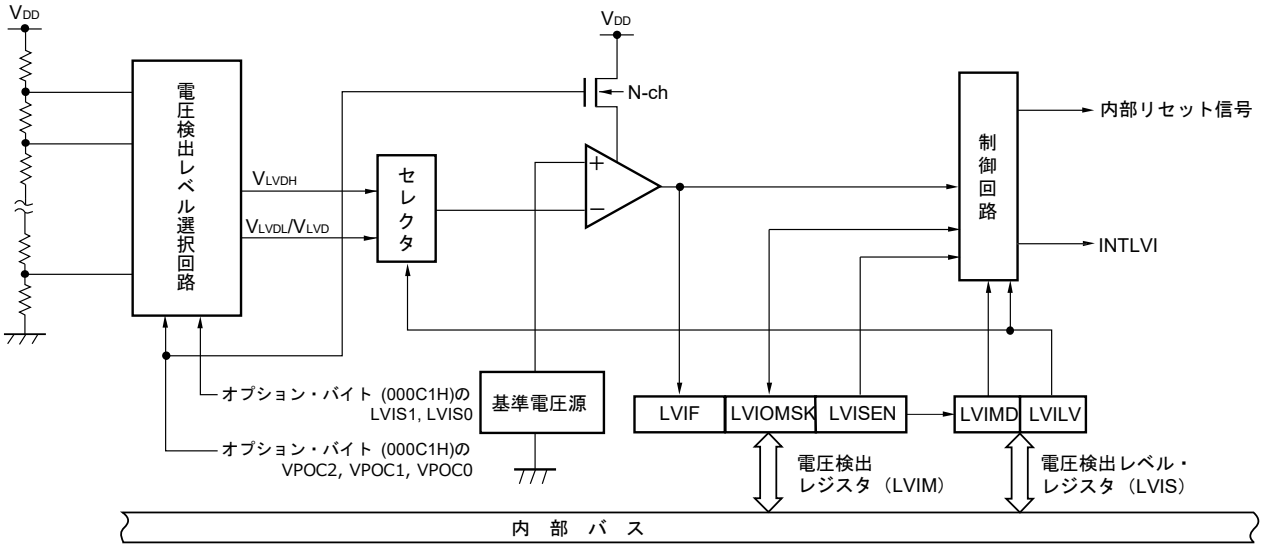
電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット 0）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット 0（LVIRF）がセット“1”されます。RESF レジスタについての詳細は「第 24 章　リセット機能」を参照してください。

26.2　電圧検出回路の構成

電圧検出回路のブロック図を図 26－1 に示します。

図 26－1　電圧検出回路のブロック図



26.3　電圧検出回路を制御するレジスタ

以下のレジスタが電圧検出回路の制御のために使われます。

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
FFFA9H	電圧検出レジスタ	LVIM	00H 注1	1, 8
FFFAAH	電圧検出レベル・レジスタ	LVIS	00H/01H/81H 注2	1, 8

注 1. リセット値は，リセット要因により変化します。

LVD によるリセットのときは，LVIS レジスタの値はリセットされず，そのままの値を保持します。

LVD 以外のリセットでは，LVISEN は“0”にクリアされます。

2. リセット値は，リセット要因およびオプション・バイトの設定により変化します。

LVD リセット時は，クリア“00H”されません。

LVD 以外のリセット時は，次のようになります。

- オプション・バイト LVIMDS1, LVIMDS0 = 1, 0 のとき：00H
- オプション・バイト LVIMDS1, LVIMDS0 = 1, 1 のとき：81H
- オプション・バイト LVIMDS1, LVIMDS0 = 0, 1 のとき：01H

26.3.1　電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD 出力のマスク状態を確認するレジスタです。

LVIM レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H 注1 になります。

図 26－2　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　リセット時：00H 注1　　R/W 注2

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	書き換え禁止
1	書き換え許可 注3

LVIOMSK	LVD 出力マスク状態フラグ
0	マスク無効
1	マスク有効 注4

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVD}），または LVD 動作禁止時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVD}）

注 1. リセット値は，リセット要因により変化します。

LVD によるリセットのときには，LVIM レジスタの値はリセットされず，そのままの値を保持します。

その他のリセットでは，LVISEN は“0”にクリアされます。

2. ビット 0, 1 は，Read Only です。

3. オプション・バイトで LVIMDS1, LVIMDS0 = 1, 0（割り込み＆リセット・モード）選択時のみ設定可能

4. LVIOMSK ビットは以下の期間に自動で“1”となり，LVD によるリセットまたは割り込み発生がマスクされます。

- LVISEN = 1 の期間
- LVD 割り込み発生から，LVD 検出電圧が安定するまでの待ち時間
- LVILV ビットの値変更から，LVD 検出電圧が安定するまでの待ち時間

26.3.2　電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVIS レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H/01H/81H 注1 になります。

図 26－3　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　　リセット時：00H/01H/81H 注1　　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD 注2	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV 注2	LVD 検出レベル
0	高電圧検出レベル（V_{LVDH}）
1	低電圧検出レベル（V_{LVDL} または V_{LVD}）

注 1. リセット値は，リセット要因およびオプション・バイトの設定により変化します。

LVD リセット時は，クリア（00H）されません。

LVD 以外のリセット時は，次のようになります。

- オプション・バイト LVIMDS1, LVIMDS0 = 1, 0 のとき：00H
- オプション・バイト LVIMDS1, LVIMDS0 = 1, 1 のとき：81H
- オプション・バイト LVIMDS1, LVIMDS0 = 0, 1 のとき：01H

2. オプション・バイトで LVIMDS1, LVIMDS0 = 1, 0（割り込み＆リセット・モード）選択時に“0”書き込みのみ可能です。その他の場合は書き込み禁止で，リセットまたは割り込み発生により自動で値が切り替わります。

注意 1. LVIS レジスタを書き換える場合は，LVISEN ビット（LVIM レジスタのビット 7）を必ず“1”にしてから行ってください。

2. LVD の動作モード，検出電圧（V_{LVDH}, V_{LVDL}）は，ユーザ・オプション・バイト（000C1H/040C1H）で設定します。オプション・バイトの設定を表 26－1 に示します。オプション・バイトの詳細は「第 31 章 オプション・バイト」を参照してください。

表 26－1　ユーザ・オプション・バイト（000C1H/040C1H）による LVD 動作モード・検出電圧設定

- 割り込み＆リセット・モード時の設定

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	立ち下がり							
4.42 V	4.32 V	2.75 V	1	0	0	0	1	0	0
4.62 V	4.52 V	2.75 V			0	1	0	0	0
3.22 V	3.15 V	2.75 V			0	1	1	0	1
4.74 V	4.64 V							0	0
上記以外			設定禁止						

- リセット・モード時の設定

検出電圧		オプション・バイト設定値						
V_{LVD}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
2.81 V	2.75 V	1	1	0	1	1	1	1
3.02 V	2.96 V			0	0	0	0	1
3.22 V	3.15 V			0	1	1	0	1
4.42 V	4.32 V			0	0	1	0	0
4.62 V	4.52 V			0	1	0	0	0
4.74 V	4.64 V			0	1	1	0	0
上記以外		設定禁止						

- 割り込みモード時の設定

検出電圧		オプション・バイト設定値						
V_{LVD}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
2.81 V	2.75 V	0	1	0	1	1	1	1
3.02 V	2.96 V			0	0	0	0	1
3.22 V	3.15 V			0	1	1	0	1
4.42 V	4.32 V			0	0	1	0	0
4.62 V	4.52 V			0	1	0	0	0
4.74 V	4.64 V			0	1	1	0	0
上記以外		設定禁止						

（**注意**は次ページにあります。）

- LVD オフ時の設定

検出電圧		オプション・バイト設定値						
V_{LVD}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
—	—	1	1	1	1	1	0	0
上記以外		設定禁止						

注意　LVD オフの場合は外部リセットを行う必要があります。外部リセットを行う場合，RESET 端子に 10 μs 以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，RESET 端子にロウ・レベルを入力してから電源を投入し，動作電圧範囲内の期間に 10 μs 以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。また，電源立ち上げ後は，動作電圧範囲外で RESET 端子にハイ・レベルを入力しないでください。

26.4 電圧検出回路の動作

26.4.1 リセット・モードとして使用時の設定

(1) 動作開始時

次の初期設定の状態でスタートします。

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（V_{LVD}）の設定は，ユーザ・オプション・バイト（000C1H/040C1H）で設定しておきます。

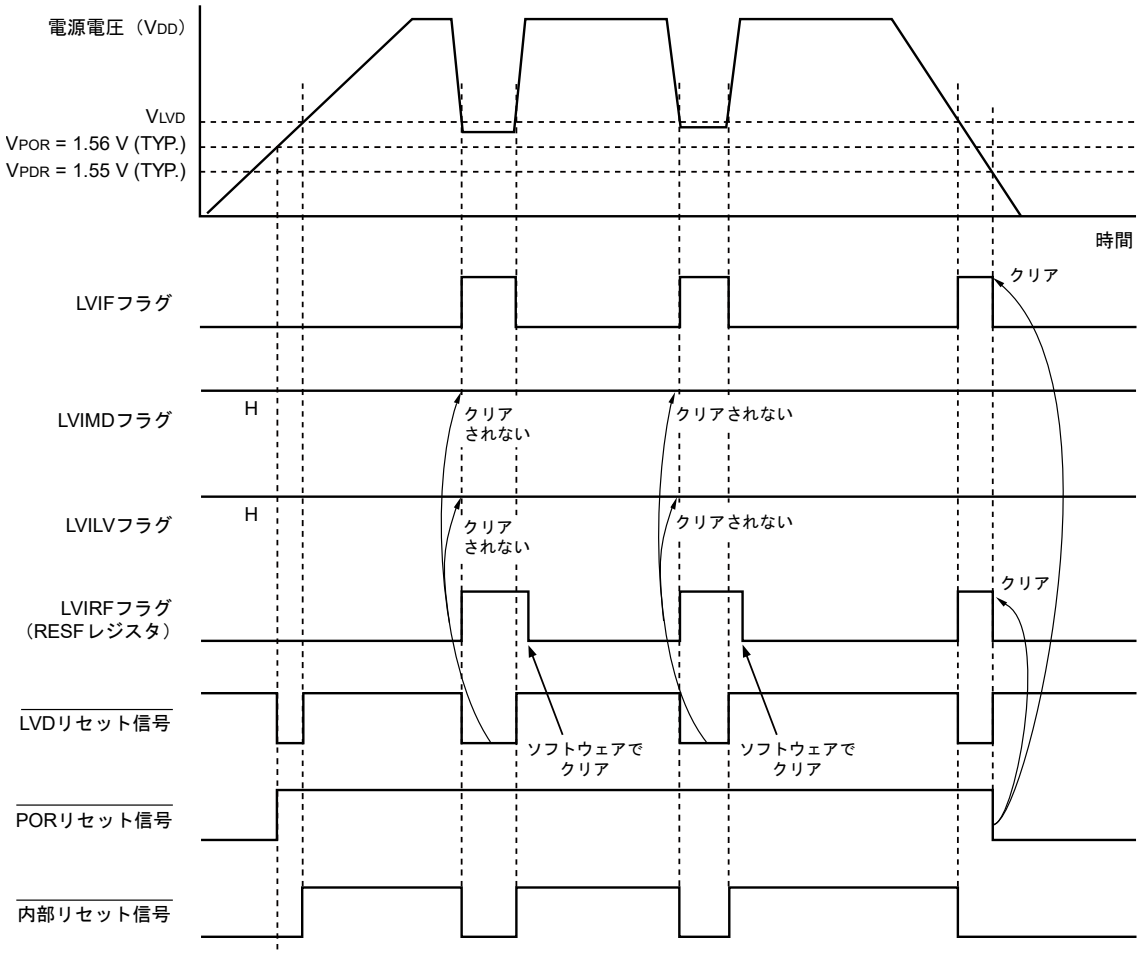
- 電圧検出レジスタ（LVIM）のビット 7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- オプション・バイト LVIMDS1, LVIMDS0 = 11B に設定すると，LVIS レジスタの初期値は，81H に設定されます。

  ビット 7（LVIMD）は“1”（リセット・モード）

  ビット 0（LVILV）は“1”（低電圧検出レベル：V_{LVD}）

図 26－4 に，電圧検出回路の内部リセット信号発生のタイミングを示します。

図 26－4　内部リセット信号発生のタイミング（オプション・バイト LVIMDS1, LVIMDS0 = 1, 1）



備考　VPOR：POR 電源立ち上がり検出電圧

VPDR：POR 電源立ち下がり検出電圧

26.4.2　割り込みモードとして使用時の設定

(1)　動作開始時

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（V_{LVD}）の設定は，ユーザ・オプション・バイト（000C1H/040C1H）で設定しておきます。

動作電圧範囲外で RESET 端子にハイ・レベルを入力しないでください。

次の初期設定の状態でスタートします。

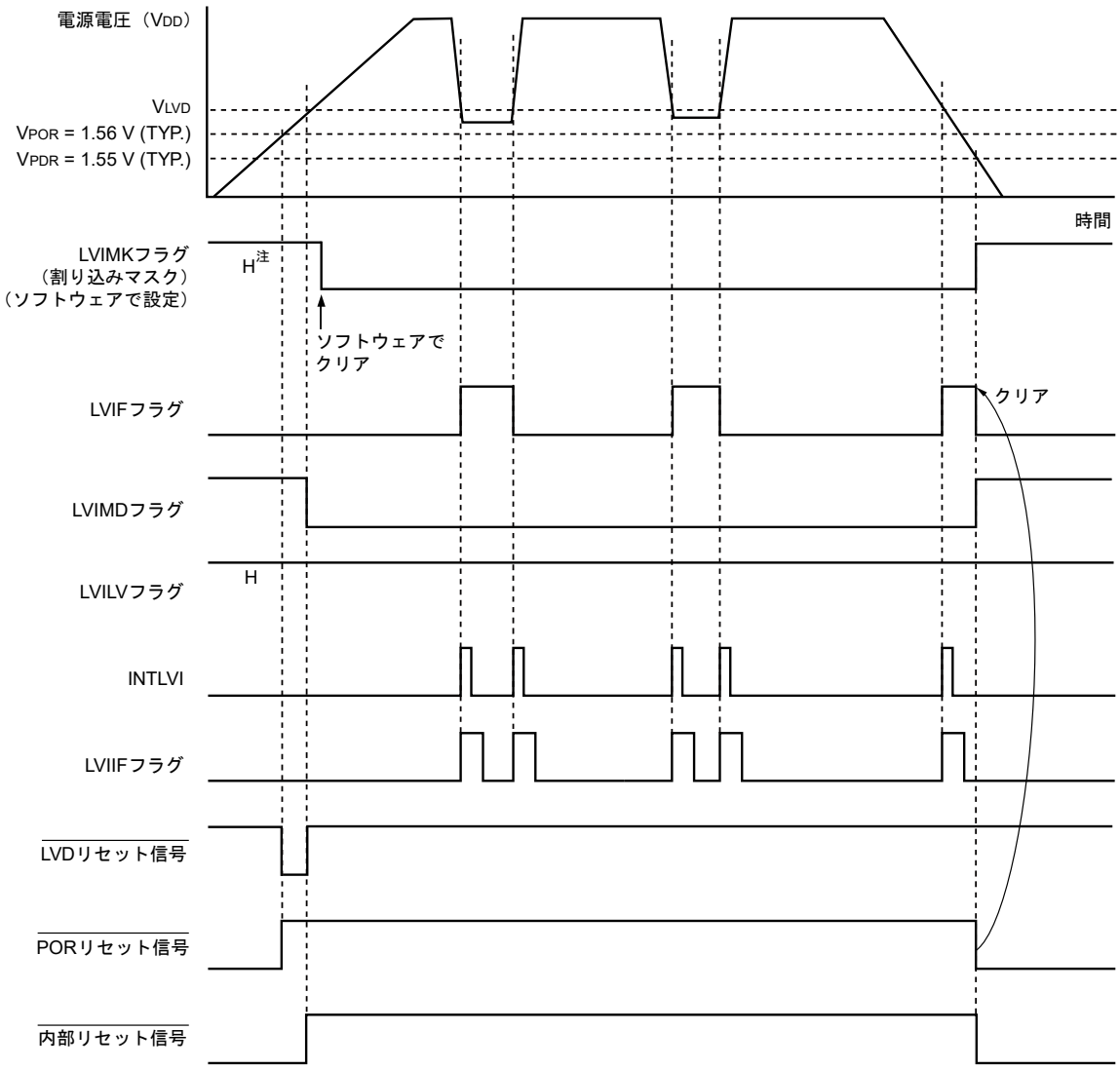
- 電圧検出レジスタ（LVIM）のビット 7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- オプション・バイト LVIMDS1 を“0”にクリアし，LVIMDS0 を“1”に設定すると，LVIS レジスタの初期値は 01H に設定されます。

  ビット 7（LVIMD）は“0”（割り込みモード）

  ビット 0（LVILV）は“1”（低電圧検出レベル：V_{LVDL}）

図 26－5 に，電圧検出回路の内部割り込み信号発生のタイミングを示します。

図 26－5　割り込み信号発生のタイミング（オプション・バイト LVIMDS1, LVIMDS0 = 0, 1）



注　LVIMK フラグはリセット信号の発生により，“1”になっています。

備考　V_{POR}：POR 電源立ち上がり検出電圧

V_{PDR}：POR 電源立ち下がり検出電圧

26.4.3　割り込み＆リセット・モードとして使用時の設定

(1)　動作開始時

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVDH}, V_{LVDL}）の設定は，ユーザ・オプション・バイト（000C1H/040C1H）で設定しておきます。

次の初期設定の状態でスタートします。

- 電圧検出レジスタ（LVIM）のビット 7（LVISEN）は“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）
- オプション・バイト LVIMDS1 を“1”に設定し，LVIMDS0 を“0”にクリアすると，LVIS レジスタの初期値は，00H に設定されます。

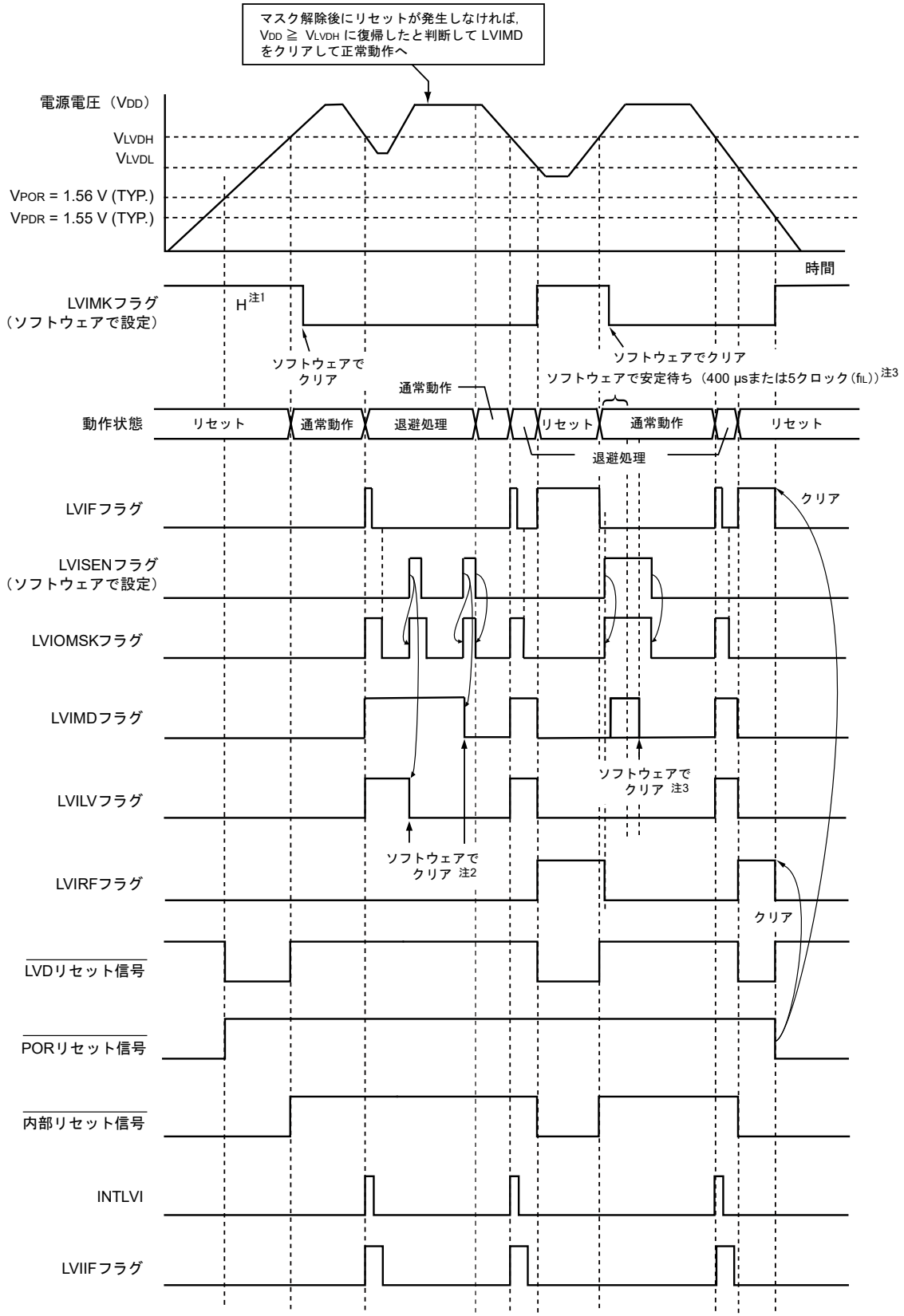
  ビット 7（LVIMD）は“0”（割り込みモード）

  ビット 0（LVILV）は“0”（高電圧検出レベル：V_{LVDH}）

図 26－6 に，電圧検出回路の内部リセット信号と割り込み信号発生のタイミングを示します。

図 26－7　割り込み発生後の処理手順，図 26－8　割り込み＆リセット・モードの初期設定に示すフローチャートの手順に従って実施してください。

図 26－6　割り込み＆リセット信号発生のタイミング（オプション・バイト LVIMDS1, LVIMDS0 = 1, 0）（1/2）



（**注**，**備考**は次ページにあります。）

注 1. LVIMK フラグはリセット信号の発生により，“1”になっています。

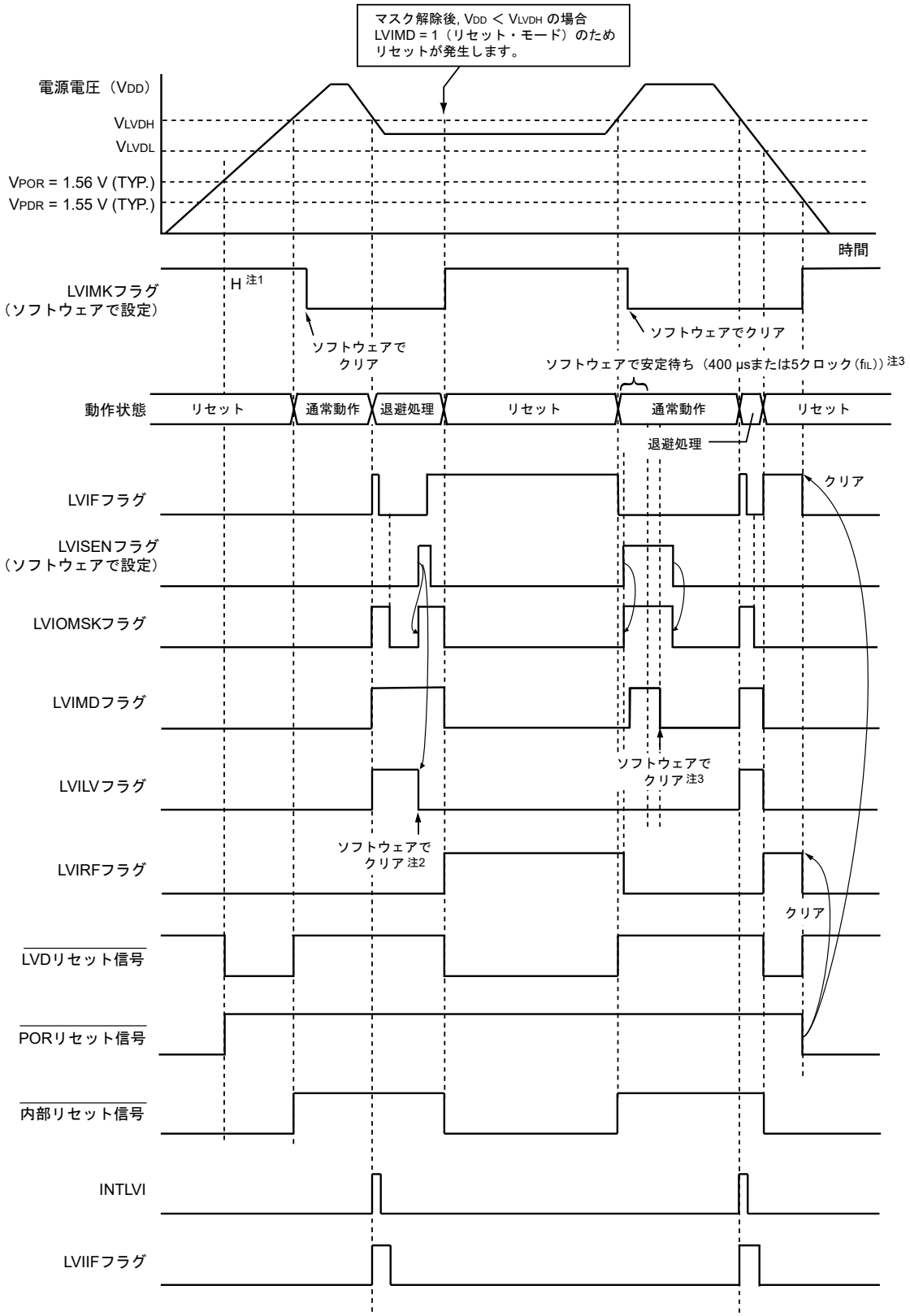
2. 割り込み＆リセット・モード使用時，割り込み発生後は，図 26－7　割り込み発生後の処理手順に従って実施してください。

3. 割り込み＆リセット・モード使用時，リセット解除後は，図 26－8　割り込み＆リセット・モードの初期設定の設定手順に従って実施してください。

備考　V_{POR}：POR 電源立ち上がり検出電圧

V_{PDR}：POR 電源立ち下がり検出電圧

図 26－6　割り込み＆リセット信号発生のタイミング（オプション・バイト LVIMDS1, LVIMDS0 = 1, 0）（2/2）



（**注**，**備考**は次ページにあります。）

注 1. LVIMK フラグはリセット信号の発生により，“1”になっています。

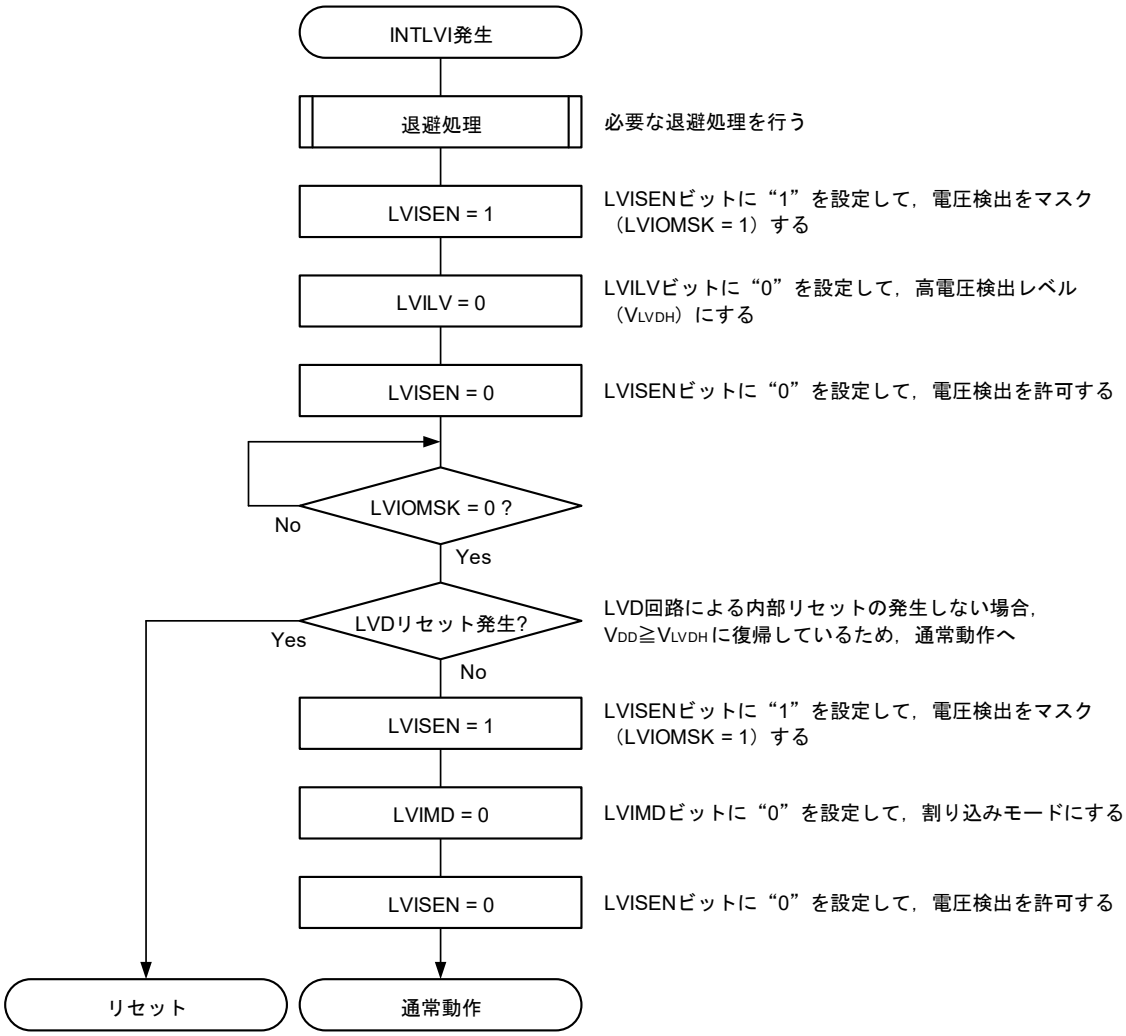
2. 割り込み＆リセット・モード使用時，割り込み発生後は，図 26－7　割り込み発生後の処理手順に従って実施してください。

3. 割り込み＆リセット・モード使用時，リセット解除後は，図 26－8　割り込み＆リセット・モードの初期設定の設定手順に従って実施してください。

備考　V_{POR}：POR 電源立ち上がり検出電圧

V_{PDR}：POR 電源立ち下がり検出電圧

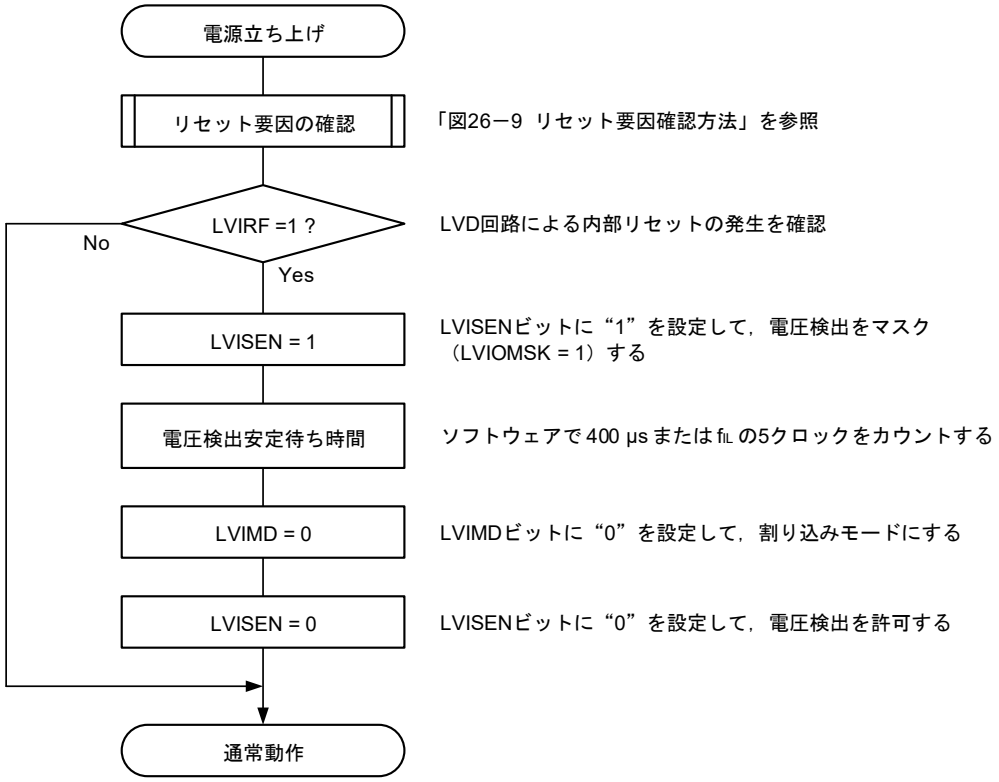
図 26－7　割り込み発生後の処理手順



割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）を設定した場合，LVD リセット解除後（LVIRF = 1）から 400 μs もしくは f_{IL} の 5 クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後，LVIMD ビットをクリア（0）して初期化してください。電圧検出安定待ち時間のカウント中および LVIMD ビットの書き換え時は，LVISEN = 1 に設定して LVD によるリセットまたは割り込み発生をマスクしてください。

図 26－8 に，割り込み＆リセット・モードの初期設定の手順を示します。

図 26－8　割り込み＆リセット・モードの初期設定



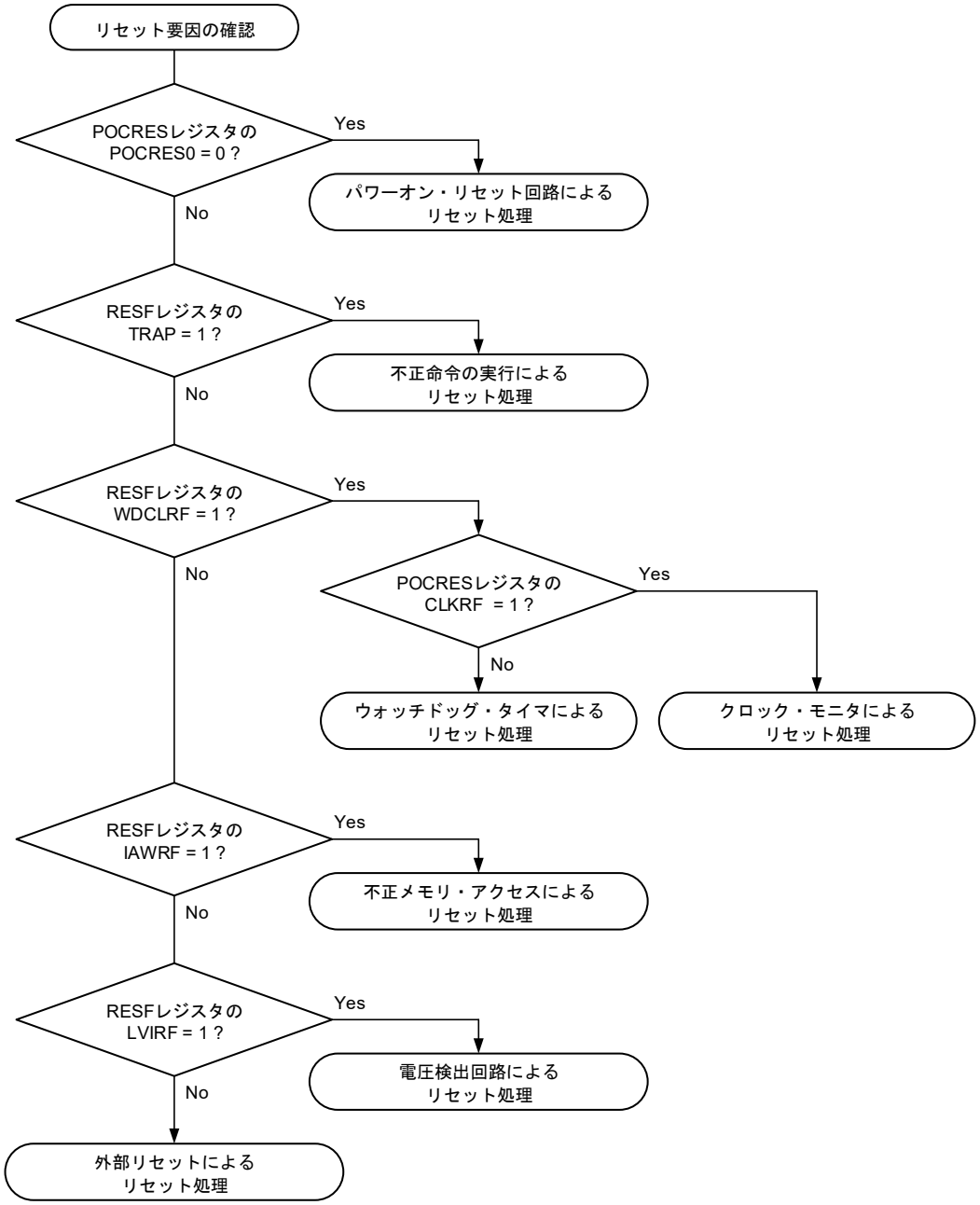
備考　　f_{IL}：低速オンチップ・オシレータ・クロック周波数

26.5　電圧検出回路の注意事項

26.5.1　リセット要因の確認方法

リセットが発生した場合は，次の方法でリセット要因を確認してください。

図 26－9　リセット要因確認方法

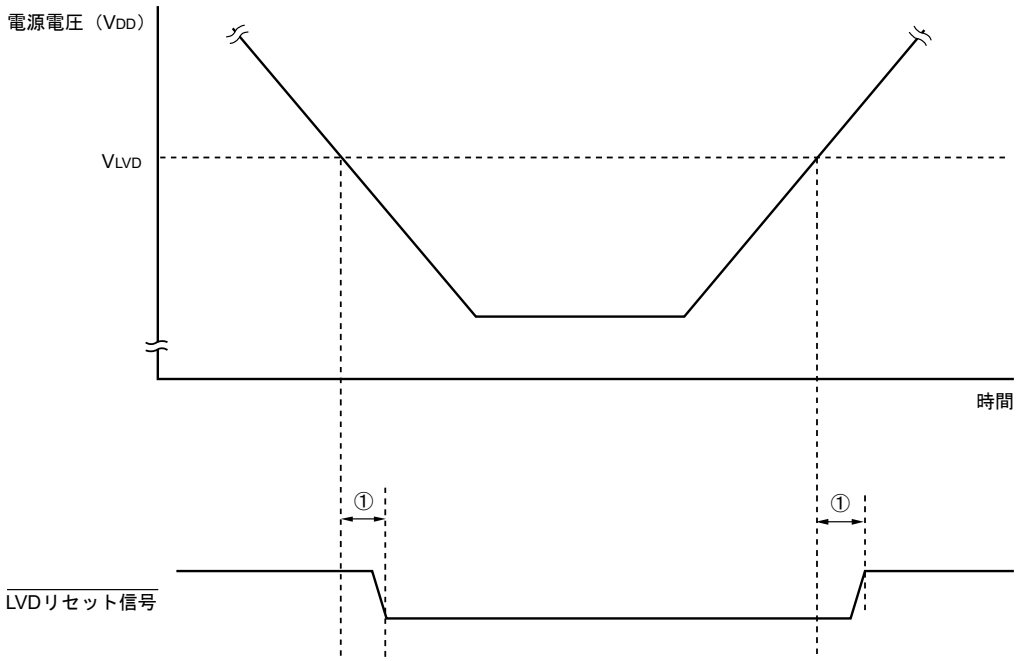


注　FFH の命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

26.5.2 LVD リセット要因発生から LVD リセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD 検出電圧（V_{LVD}）になってから，LVD リセットが発生するまでには遅延が生じます。同じように LVD 検出電圧（V_{LVD}）≦電源電圧（V_{DD}）になってから，LVD リセットが解除されるまでにも遅延が生じます（図 26－10 参照）。

図 26－10　LVD リセット要因発生から LVD リセット発生または解除までの遅延



①：検出遅延（300 μs（MAX.））

第27章　アプリケーション・アクセラレータ・ユニット

27.1　概要

BLDC モータ制御に使用する FOC（磁界方向制御）アルゴリズム処理や，DC/DC コンバータ制御に使用する PI（比例積分）アルゴリズム処理のソフトウェア負荷を軽減するために，専用の算術支援ハードウェアを搭載しています。

表 27－1 にアプリケーション・アクセラレータ・ユニット（AAU）で実行できるアルゴリズム・モードの演算を示します。

表 27－1　アプリケーション・アクセラレータ・ユニットの対応する演算リスト 注2

アルゴリズム・モード	データ長（入力／出力）	実行サイクル数
Sine 演算モード	16 ビット／16 ビット	1 クロック
Cosine 演算モード	16 ビット／16 ビット	1 クロック
クラーク-パーク変換モード 注1	16 ビット／16 ビット	7 クロック
逆パーク変換モード	16 ビット／16 ビット	6 クロック
逆クラーク変換モード 注1	16 ビット／16 ビット	5 クロック
ベクトル制御向け PI 演算モード	16 ビット／16 ビット	15 クロック
クラーク-パーク変換，PI 演算一括モード 注1	16 ビット／16 ビット	22 クロック
パーク-クラーク逆変換モード 注1	16 ビット／16 ビット	11 クロック
DC/DC 制御向け PI 演算モード（1 チャネル）	16 ビット／16 ビット	6 クロック
DC/DC 制御向け PI 演算モード（2 チャネル）	16 ビット／16 ビット	12 クロック
DC/DC 制御向け PI 演算モード（3 チャネル）	16 ビット／16 ビット	18 クロック
32 ビット乗算モード（32 ビット× 32 ビット= 64 ビット）	32 ビット／64 ビット	5 クロック

注 1. AAU は，絶対変換と相対変換の両方のアルゴリズムに対応します。

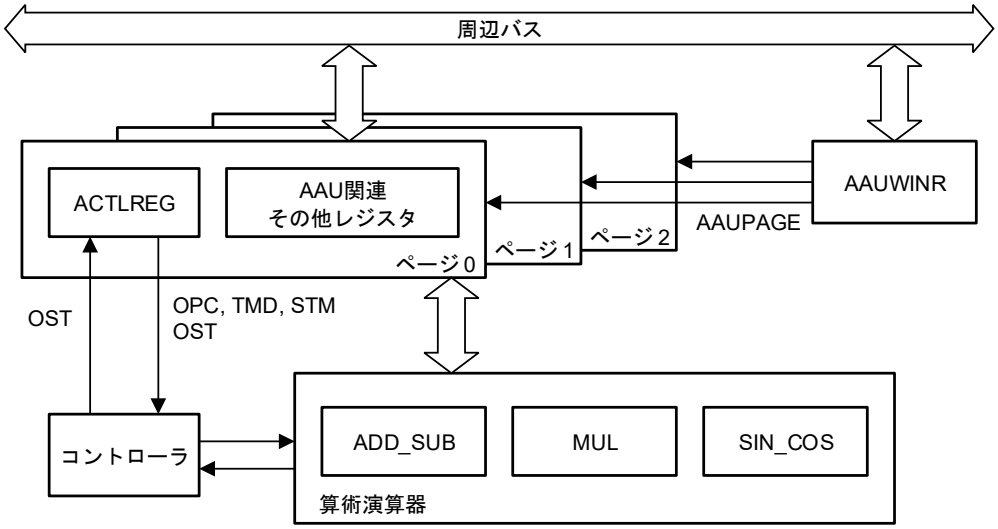
2. 各アルゴリズム・モードの演算の詳細については，「27.3.2 各アルゴリズム・モードにおける演算の説明」を参照してください。

図 27－1 にアプリケーション・アクセラレータ・ユニット（AAU）のブロック図を示します。

アプリケーション・アクセラレータ・ユニットは，32 ビット加減算器（ADD_SUB），16 ビット乗算器（MUL），サイン・コサイン演算器（SIN_COS）の 3 つの算術演算器で構成されています。

この章では，CPU／周辺ハードウェア・クロック（f_{CLK}）を PCLK と記載しています。

図 27－1　アプリケーション・アクセラレータ・ユニット（AAU）のブロック図



27.2　レジスタ

表 27－2　アプリケーション・アクセラレータ・ユニットのレジスタ構成

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F02C1H	周辺イネーブル・レジスタ 2	PER2	00H	1, 8
FFF32H	AAU アクセス・ウィンドウ選択レジスタ	AAUWINR	00H	8
F02B0H : F02BFH	AAU ウィンドウ・レジスタ 詳細は表 27－3 から表 27－5 を参照。	－	－	－

表 27－3　アプリケーション・アクセラレータ・ユニット・ウィンドウ・レジスタ（ページ 0 注）

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F02B0H	AAU データ・レジスタ 0	ADTREG0	0000H	16
F02B2H	AAU データ・レジスタ 1	ADTREG1	0000H	16
F02B4H	AAU データ・レジスタ 2	ADTREG2	0000H	16
F02B6H	AAU データ・レジスタ 3	ADTREG3	0000H	16
F02BAH	AAU 制御レジスタ	ACTLREG	00H	1, 8
F02BBH	PI 制御比例定数範囲設定レジスタ／ デューティ最大値設定レジスタ	AKRAG/ ADUTYMX	00H	8
F02BCH	D 軸電流基準設定レジスタ／ チャネル 1 基準電流設定レジスタ	AIDREF/ AL1REF	0000H	16
F02BEH	Q 軸基準電流設定レジスタ／ チャネル 2 基準電流設定レジスタ	AIQREF/ AL2REF	0000H	16

注　AAUWINR.AAUPAGE [1:0]ビットは，00B の条件（ページ 0 アクセスを選択）

表 27－4　アプリケーション・アクセラレータ・ユニット・ウィンドウ・レジスタ（ページ 1 注）

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F02B0H	D 軸比例定数設定レジスタ／ チャネル 3 基準値設定レジスタ	AKPD/ AL3REF	0000H	16
F02B2H	D 軸積分定数設定レジスタ／ チャネル 1 オフセット電流設定レジスタ	AKID/ AL1OFS	0000H	16
F02B4H	Q 軸比例定数設定レジスタ／ チャネル 2 オフセット電流設定レジスタ	AKPQ/ AL2OFS	0000H	16
F02B6H	Q 軸積分定数設定レジスタ／ チャネル 3 オフセット電流設定レジスタ	AKIQ/ AL3OFS	0000H	16
F02BCH	電流制限値設定レジスタ／ 比例定数 1 設定レジスタ	AILIM/ AKI1	0000H	16
F02BEH	PI 制御電流制限値設定レジスタ／ 比例定数 2 設定レジスタ	APILIM/ AKI2	0000H	16

注　AAUWINR.AAUPAGE [1:0]ビットは，01B の条件（ページ 1 アクセスを選択）

表 27－5　アプリケーション・アクセラレータ・ユニット・ウィンドウ・レジスタ（ページ 2 注）

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F02B0H	D 軸電流初期値レジスタ L／ チャネル 1 デューティ値（前回）レジスタ	AIDBFL/ ADUTYL1	0000H	16
F02B2H	D 軸電流初期値レジスタ H／ チャネル 2 デューティ値（前回）レジスタ	AIDBFH/ ADUTYL2	0000H	16
F02B4H	Q 軸電流初期値レジスタ L／ チャネル 3 デューティ値（前回）レジスタ	AIQBFL/ ADUTYL3	0000H	16
F02B6H	Q 軸電流初期値レジスタ H／ チャネル 1 電流値（前回）レジスタ	AIQBFH/ AIPL1	0000H	16
F02B8H	D 軸電流上限値設定レジスタ／ チャネル 2 電流値（前回）レジスタ	ADOVER/ AIPL2	0000H	16
F02BAH	Q 軸電流上限値設定レジスタ／ チャネル 3 電流値（前回）レジスタ	AQOVER/ AIPL3	0000H	16

注　AAUWINR.AAUPAGE [1:0]ビットは，10B の条件（ページ 2 アクセスを選択）

27.2.1　周辺イネーブル・レジスタ 2（PER2）

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

PER2 により制御される周辺機能を使用する場合は，周辺機能の初期設定を行う前に，各機能に対応するビットを“1”に設定してください。

1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H になります。

図 27－2　周辺イネーブル・レジスタ 2（PER2）のフォーマット

アドレス：F02C1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	AAUEN	0	0	LIN1EN 注	LIN0EN	0	CAN0EN 注

AAUEN	アプリケーション・アクセラレータ・ユニット（AAU）の入力クロック供給の制御
0	入力クロック供給停止 • AAU で使用する SFR へのライト不可 • AAU はリセット状態
1	入力クロック供給 • AAU で使用する SFR へのリード／ライト可

LIN1EN 注	LIN1 入力クロック供給の制御
0	入力クロック供給停止 • LIN1 で使用する SFR へのライト不可 • LIN1 はリセット状態
1	入力クロック供給 • LIN1 で使用する SFR へのリード／ライト可

LIN0EN	LIN0 入力クロック供給の制御
0	入力クロック供給停止 • LIN0 で使用する SFR へのライト不可 • LIN0 はリセット状態
1	入力クロック供給 • LIN0 で使用する SFR へのリード／ライト可

CAN0EN 注	CAN 入力クロック供給の制御
0	入力クロック供給停止 • CAN で使用する SFR へのライト不可 • CAN はリセット状態
1	入力クロック供給 • CAN で使用する SFR へのリード／ライト可

注　RL78/F24 製品のみ。

注意 1. アプリケーション・アクセラレータ・ユニットを設定する場合，最初に必ず AAUEN ビットを“1”セットしてください。AAUEN = 0 の場合，アプリケーション・アクセラレータ・ユニットの制御レジスタへの書き込みは無効となり，すべての読み出し値は初期値となります。

2. 次のビットには必ず“0”を設定してください。

RL78/F23 製品：ビット 0, 1, 3, 4, 5, 7

RL78/F24 製品：ビット 1, 4, 5, 7

27.2.2　アプリケーション・アクセラレータ・ユニット・アクセス・ウィンドウ・レジスタ（AAUWINR）

アドレス空間を選択するレジスタです。アドレス F02B0H から F02BFH は，3 ページに割付けられています。このレジスタは，8 ビット・メモリ操作命令で設定します。

図 27－3　アプリケーション・アクセラレータ・ユニット・アクセス・ウィンドウ・レジスタ（AAUWINR）のフォーマット

アドレス：FFF32H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
AAUWINR	0	0	0	0	0	0	AAUPAGE1	AAUPAGE0

AAUPAGE1	AAUPAGE0	AAU レジスタ・アクセス・ページの選択 注
0	0	ページ 0 が選択されます。
0	1	ページ 1 が選択されます。
1	0	ページ 2 が選択されます。
1	1	設定禁止

注　各ページの SFR は，表 27－3～表 27－5 に記載されています。

［ページ 0 選択時のレジスタ割り当て］

ADTREGi (i =0-3)，ACTLREG，AKRAG/ADUTYMX，AIDREF/AL1REF，AIQREF/AL2REF

［ページ 1 選択時のレジスタ割り当て］

AKPD/AL3REF，AKID/AL1OFS，AKPQ/AL2OFS，AKIQ/AL3OFS，AILIM/AKI1，APILIM/AKI2

［ページ 2 選択時のレジスタ割り当て］

AIDBFL/ADUTYL1，AIDBFH/ADUTYL2，AIQBFL/ADUTYL3，AIQBFH/AIPL1，ADOVER/AIPL2，AQOVER/AIPL3

27.2.3　AAU データ・レジスタ i (ADTREGi, i = 0～3)

アプリケーション・アクセラレータ・ユニットの入出力データ・レジスタです。16 ビット長です。

このレジスタは，16 ビット単位で読み出しおよび書き込み可能です。

演算完了後，算出結果は ADTREGi レジスタに上書きされます。

図 27－4　AAU データ・レジスタ i（ADTREGi, i = 0～3）のフォーマット

アドレス：　F02B0H 注 (ADTREG0)，　F02B2H 注 (ADTREG1)，　リセット時：0000H　R/W
F02B4H 注 (ADTREG2)，　F02B6H 注 (ADTREG3)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADTREGi																

注　このレジスタは，AAU ページ 0 に配置されています。このレジスタにアクセスする場合，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

ビット 15-0	AAU データ・レジスタ（ADTREGi）
ADTREG0	各アルゴリズム・モードで使用されます。詳細については，次の章を参照してください。 • 27.3.2.1～27.3.2.14
ADTREG1	各アルゴリズム・モードで使用されます。詳細については，次の章を参照してください。 • 27.3.2.3～27.3.2.14
ADTREG2	各アルゴリズム・モードで使用されます。詳細については，次の章を参照してください。 • 27.3.2.3～27.3.2.8，27.3.2.10～27.3.2.14
ADTREG3	各アルゴリズム・モードで使用されます。詳細については，次の章を参照してください。 • 27.3.2.3，27.3.2.10，27.3.2.11

27.2.4　AAU 制御レジスタ（ACTLREG）

アプリケーション・アクセラレータ・ユニットの機能および起動トリガを制御し，動作状態を表示します。

このレジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

図 27－5　AAU 制御レジスタ（ACTLREG）のフォーマット

アドレス：F02BAH 注　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ACTLREG	OPC4	OPC3	OPC2	OPC1	OPC0	TMD	STM	OST

OPC4-OPC0 ビット	AAU 演算モード選択
00000B	演算モード選択なし
00001B	32 ビット乗算モード
00010B	Sine 演算モード
00011B	Cosine 演算モード
01000B	クラーク-パーク変換モード
01001B	逆パーク変換モード
01010B	逆クラーク変換モード
01011B	ベクトル制御向け PI 演算モード
01100B	クラーク-パーク変換，PI 演算一括モード
01101B	パーク-クラーク逆変換モード
10000B	DC/DC 制御向け PI 演算モード（1 チャネル）
10001B	DC/DC 制御向け PI 演算モード（2 チャネル）
10010B	DC/DC 制御向け PI 演算モード（3 チャネル）
上記以外	設定禁止

TMD	AAU 変換モード選択 注 2
0	絶対変換モード
1	相対変換モード

STM	演算開始トリガ選択
0	最終オペランドトリガ・レジスタへの書き込み実行
1	ソフトウェア・トリガ（OST ビットへの書き込み）

OST	AAU ステータス／演算開始
0	演算完了
1	演算動作中。 STM ビットが“1”の場合，このビットに“1”を書き込むと演算を開始します。演算完了時に“0”になります。

注 1. このレジスタは，AAU ページ 0 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

2. このビットは，以下の演算モードのみ有効です。

OPC[4:0] = 01000B（クラーク-パーク変換モード），
01010B（逆クラーク変換モード），
01100B（クラーク-パーク変換，PI 演算一括モード），
01101B（パーク-クラーク逆変換モード）

27.2.5　PI 制御比例定数範囲設定レジスタ／デューティ最大値設定レジスタ（AKRAG/ADUTYMX）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

PI 制御の比例定数のレンジを選択します。この設定は，d 軸と q 軸の両方に適用されます。

このレジスタは，8 ビット・メモリ操作命令で設定します。

このレジスタは，モータのベクトル制御向け PI 制御で使用します。詳細については，27.3.2.9, 27.3.2.10, 27.3.2.11 を参照してください。

図 27－6　PI 制御定数レンジ設定レジスタのフォーマット（AKRAG）

アドレス：F02BBH 注　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
AKRAG								

AKRAG	定数範囲
00H	$1/2^4$
01H	$1/2^8$
02H	$1/2^{12}$
03H	$1/2^{16}$
上記以外	設定禁止

注　このレジスタは，AAU ページ 0 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

［DC/DC 制御］

PI 制御の電流デューティの最大リミット値を設定します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

図 27－7　デューティ最大値設定レジスタ（ADUTYMX）のフォーマット

アドレス：F02BBH 注　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADUTYMX								

7-0 ビット	デューティ最大値設定レジスタ（ADUTYMX）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 0 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

27.2.6　D 軸電流基準設定レジスタ／チャネル 1 基準電流設定レジスタ（AIDREF/AL1REF）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

d 軸電流のリファレンス入力（基準値）を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－8　D 軸電流基準設定レジスタ（AIDREF）のフォーマット

アドレス：F02BCH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIDREF																

15-0 ビット	D 軸電流リファレンス・レジスタ（AIDREF）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 0 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

［DC/DC 制御］

チャネル 1 電流のリファレンス入力（基準値）を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－9　チャネル 1 基準電流設定レジスタ（AL1REF）のフォーマット

アドレス：F02BCH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AL1REF																

15-0 ビット	チャネル 1 基準電流設定レジスタ（AL1REF）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 0 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

27.2.7　Q 軸基準電流設定レジスタ／チャネル 2 基準電流設定レジスタ（AIQREF/AL2REF）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

q 軸電流のリファレンス入力（基準値）を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－10　Q 軸基準電流設定レジスタ（AIQREF）のフォーマット

アドレス：F02BEH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIQREF																

15-0 ビット	Q 軸基準電流設定レジスタ（AIQREF）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 0 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

［DC/DC 制御］

チャネル 2 電流のリファレンス入力（基準値）を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－11　チャネル 2 基準電流設定レジスタ（AL2REF）のフォーマット

アドレス：F02BEH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AL2REF																

15-0 ビット	チャネル 2 基準電流設定レジスタ（AL2REF）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 0 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 00B に設定してください。

27.2.8　D 軸比例定数設定レジスタ／チャネル 3 基準値設定レジスタ（AKPD/AL3REF）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

PI 制御の d 軸に対する比例定数を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－12　D 軸比例定数設定レジスタ（AKPD）のフォーマット

アドレス：F02B0H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AKPD																

15-0 ビット	D 軸比例定数設定レジスタ（AKPD）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

［DC/DC 制御］

チャネル 3 電流のリファレンス入力（基準値）を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－13　チャネル 3 基準値設定レジスタ（AL3REF）のフォーマット

アドレス：F02B0H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AL3REF																

15-0 ビット	チャネル 3 基準値設定レジスタ（AL3REF）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

27.2.9　D 軸積分定数設定レジスタ／チャネル 1 オフセット電流設定レジスタ（AKID/AL1OFS）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

PI 制御の d 軸に対する積分定数を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－14　D 軸積分定数設定レジスタ（AKID）のフォーマット

アドレス：F02B2H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AKID																

15-0 ビット	D 軸積分定数設定レジスタ（AKID）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

［DC/DC 制御］

チャネル 1 オフセット電流を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－15　チャネル 1 オフセット電流設定レジスタ（AL1OFS）のフォーマット

アドレス：F02B2H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AL1OFS																

15-0 ビット	チャネル 1 オフセット電流設定レジスタ（AL1OFS）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

27.2.10　Q 軸比例定数設定レジスタ／チャネル 2 オフセット電流設定レジスタ（AKPQ/AL2OFS）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

PI 制御の q 軸に対する比例定数を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－16　Q 軸比例定数設定レジスタ（AKPQ）のフォーマット

アドレス：F02B4H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AKPQ																

15-0 ビット	Q 軸比例定数設定レジスタ（AKPQ）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

［DC/DC 制御］

チャネル 2 オフセット電流を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－17　チャネル 2 オフセット電流設定レジスタ（AL2OFS）のフォーマット

アドレス：F02B4H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AL2OFS																

15-0 ビット	チャネル 2 オフセット電流設定レジスタ（AL2OFS）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

27.2.11　Q 軸積分定数設定レジスタ／チャネル 3 オフセット電流設定レジスタ（AKIQ/AL3OFS）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

PI 制御の q 軸に対する積分定数を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－18　Q 軸積分定数設定レジスタ（AKIQ）のフォーマット

アドレス：F02B6H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AKIQ																

15-0 ビット	Q 軸積分定数設定レジスタ（AKIQ）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

［DC/DC 制御］

チャネル 3 オフセット電流を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－19　チャネル 3 オフセット電流設定レジスタ（AL3OFS）のフォーマット

アドレス：F02B6H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AL3OFS																

15-0 ビット	チャネル 3 オフセット電流設定レジスタ（AL3OFS）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

27.2.12　電流制限値設定レジスタ／比例定数 1 設定レジスタ（AILIM/AKI1）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

積分制御の電流リミット（制限値）を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－20　電流制限値設定レジスタ（AILIM）のフォーマット

アドレス：F02BCH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AILIM																

15-0 ビット	電流制限値設定レジスタ（AILIM）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

［DC/DC 制御］

DC/DC コンバータ制御における PI 制御の比例定数 1 を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－21　比例定数 1 設定レジスタ（AKI1）のフォーマット

アドレス：F02BCH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AKI1																

15-0 ビット	比例定数 1 設定レジスタ（AKI1）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

27.2.13　PI 制御電流制限値設定レジスタ／比例定数 2 設定レジスタ（APILIM/AKI2）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

FOC 制御における PI 制御の電流制限値を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－22　PI 制御電流制限値設定レジスタ（APILIM）のフォーマット

アドレス：F02BEH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
APILIM																

15-0 ビット	PI 制御電流制限値設定レジスタ（APILIM）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

［DC/DC 制御］

DC/DC コンバータ制御における PI 制御の比例定数 2 を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－23　比例定数 2 設定レジスタ（AKI2）のフォーマット

アドレス：F02BEH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AKI2																

15-0 ビット	比例定数 2 設定レジスタ（AKI2）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 1 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 01B に設定してください。

27.2.14　D 軸電流初期値レジスタ L／チャネル 1 デューティ値（前回）レジスタ（AIDBFL/ADUTYL1）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

d 軸電流バッファは 32 ビットです。AIDBFL レジスタには d 軸電流バッファの下位 16 ビットを設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－24　D 軸電流初期値レジスタ L（AIDBFL）のフォーマット

アドレス：F02B0H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIDBFL																

15-0 ビット	D 軸電流初期値レジスタ L（AIDBFL）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

［DC/DC 制御］

チャネル 1 の前回のデューティを設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－25　チャネル 1 デューティ値（前回）レジスタ（ADUTYL1）のフォーマット

アドレス：F02B0H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADUTYL1																

15-0 ビット	チャネル 1 デューティ値（前回）レジスタ（ADUTYL1）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

27.2.15　D 軸電流初期値レジスタ H／チャネル 2 デューティ値（前回）レジスタ（AIDBFH/ADUTYL2）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

d 軸電流バッファは 32 ビット長です。AIDBFH レジスタには d 軸電流バッファの上位 16 ビットを設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－26　D 軸電流初期値レジスタ H（AIDBFH）のフォーマット

アドレス：F02B2H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIDBFH																

15-0 ビット	D 軸電流初期値レジスタ H（AIDBFH）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

［DC/DC 制御動作］

チャネル 2 の前回のデューティを設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－27　チャネル 2 デューティ値（前回）レジスタ（ADUTYL2）のフォーマット

アドレス：F02B2H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADUTYL2																

15-0 ビット	チャネル 2 デューティ値（前回）レジスタ（ADUTYL2）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

27.2.16　Q 軸電流初期値レジスタ L／チャネル 3 デューティ値（前回）レジスタ（AIQBFL/ADUTYL3）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

q 軸電流バッファは 32 ビット長です。AIQBFL レジスタには q 軸電流バッファの下位 16 ビットを設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－28　Q 軸電流初期値レジスタ L（AIQBFL）のフォーマット

アドレス：F02B4H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIQBFL																

15-0 ビット	Q 軸電流初期値レジスタ L（AIQBFL）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

［DC/DC 制御］

チャネル 3 の前回のデューティを設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－29　チャネル 3 デューティ値（前回）レジスタ（ADUTYL3）のフォーマット

アドレス：F02B4H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADUTYL3																

15-0 ビット	チャネル 3 デューティ値（前回）レジスタ（ADUTYL3）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

27.2.17　Q 軸電流初期値レジスタ H／チャネル 1 電流値（前回）レジスタ（AIQBFH/AIPL1）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

q 軸電流バッファは 32 ビット長です。AIQBFH レジスタには q 軸電流バッファの上位 16 ビットを設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－30　Q 軸電流初期値レジスタ H（AIQBFH）のフォーマット

アドレス：F02B6H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIQBFH																

15-0 ビット	Q 軸電流初期値レジスタ H（AIQBFH）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

［DC/DC 制御］

チャネル 1 の前回の電流値を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－31　チャネル 1 電流値（前回）レジスタ（AIPL1）のフォーマット

アドレス：F02B6H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIPL1																

15-0 ビット	チャネル 1 電流値（前回）レジスタ（AIPL1）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

27.2.18　D 軸電流上限値設定レジスタ／チャネル 2 電流値（前回）レジスタ（ADOVER/AIPL2）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

d 軸の電流上限値を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－32　D 軸電流上限値設定レジスタ（ADOVER）のフォーマット

アドレス：F02B8H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADOVER																

15-0 ビット	D 軸電流上限値設定レジスタ（ADOVER）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

［DC/DC 制御］

チャネル 2 の前回の電流値を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－33　チャネル 2 電流値（前回）レジスタ（AIPL2）のフォーマット

アドレス：F02B8H 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIPL2																

15-0 ビット	チャネル 2 電流値（前回）レジスタ（AIPL2）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

27.2.19　Q 軸電流上限値設定レジスタ／チャネル 3 電流値（前回）レジスタ（AQOVER/AIPL3）

このレジスタは，FOC 制御と DC/DC 制御の 2 つの機能があります。

［FOC 制御］

q 軸の電流上限値を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－34　Q 軸電流上限値設定レジスタ（AQOVER）のフォーマット

アドレス：F02BAH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AQOVER																

15-0 ビット	Q 軸電流上限値設定レジスタ（AQOVER）
–	モータのベクトル制御向け PI 制御で使用されます。詳細については，27.3.2.9，27.3.2.10，27.3.2.11 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

［DC/DC 制御］

チャネル 3 の前回の電流値を設定します。

このレジスタは，16 ビット・メモリ操作命令で設定および読み出します。

図 27－35　チャネル 3 電流値（前回）レジスタ（AIPL3）のフォーマット

アドレス：F02BAH 注　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AIPL3																

15-0 ビット	チャネル 3 電流値（前回）レジスタ（AIPL3）
–	DC/DC コンバータ制御向け PI 制御で使用されます。詳細については，27.3.2.14 を参照してください。

注　このレジスタは，AAU ページ 2 に割り当てられます。このレジスタにアクセスする時は，AAUWINR レジスタの AAUPAGE ビットを 10B に設定してください。

27.3 動作説明

27.3.1 動作の概要

アプリケーション・アクセラレータ・ユニットは，算術演算器（32 ビット加減算器，16 ビット乗算器）と Sine-cosine 演算器で構成されています。単一の算術演算やシーケンス演算を，これらの算術演算器を使用して実行します。単一の算術演算は 1 つの算術演算器で実行され，シーケンス演算は算術演算器を組み合わせて実行されます。

演算の実行方法は 2 つです。1 つは，すべてのオペランド・データを設定することで実行します，もう 1 つは，ACTLREG レジスタの OST ビットを設定することで実行します。演算の実行方法は，ACTLREG レジスタの STM ビットで選択します。演算完了のステータスは，ACTLREG レジスタの OST ビットに設定されます。

アルゴリズム・モードは，ACTLREG レジスタの OPC4-0 ビットによって選択します。

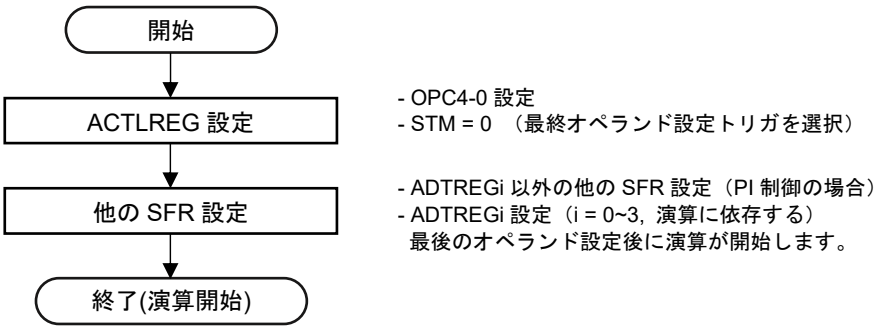
演算完了時の割り込みはありません。演算のステータスを知るには，ACTLREG レジスタの OST ビットを読み出す必要があります。

アプリケーション・アクセラレータ・ユニット（AAU）の制御は，ソフトウェアによって行います。AAU を使用する前に，PER2 レジスタの AAUEN ビットを“1”に設定して，リセット状態を解除し，動作クロックを供給する必要があります。

図 27－36 に演算開始の処理フロー，図 27－37 に演算結果の読み出し処理フローを示します。

図 27－36　演算開始の処理フロー

(a) 全てのオペランドデータ設定による演算の開始



(b) ACTLREG レジスタの OST ビット設定による演算の開始

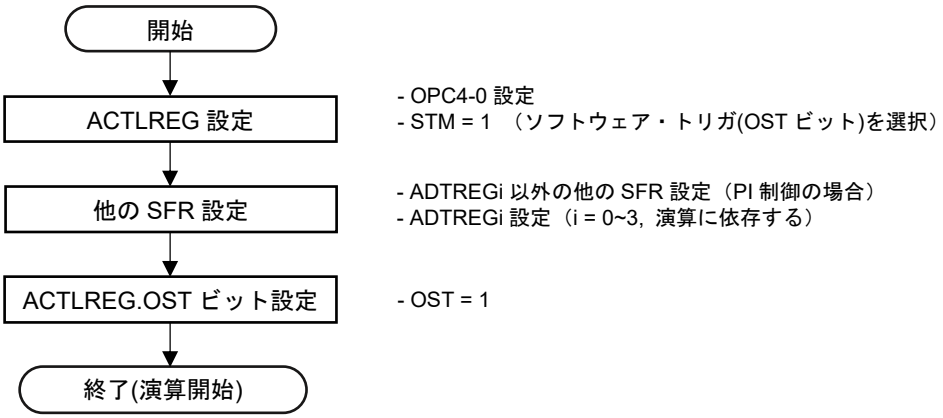
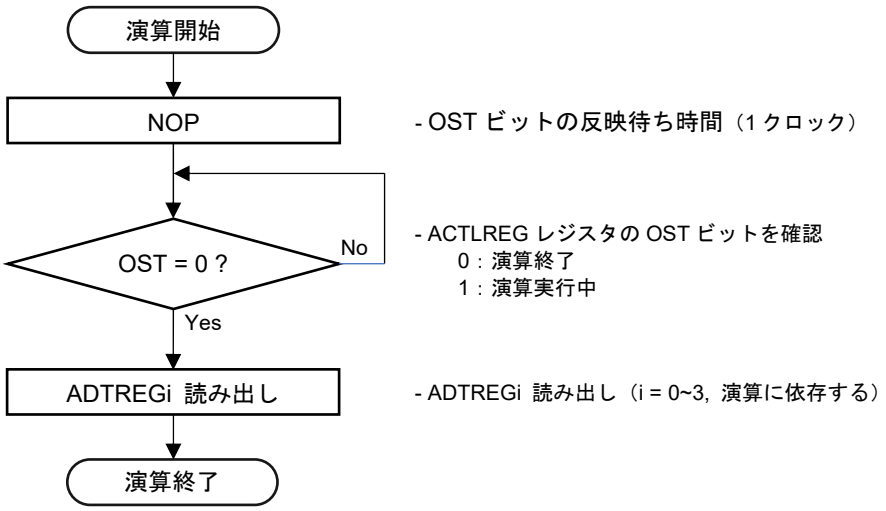
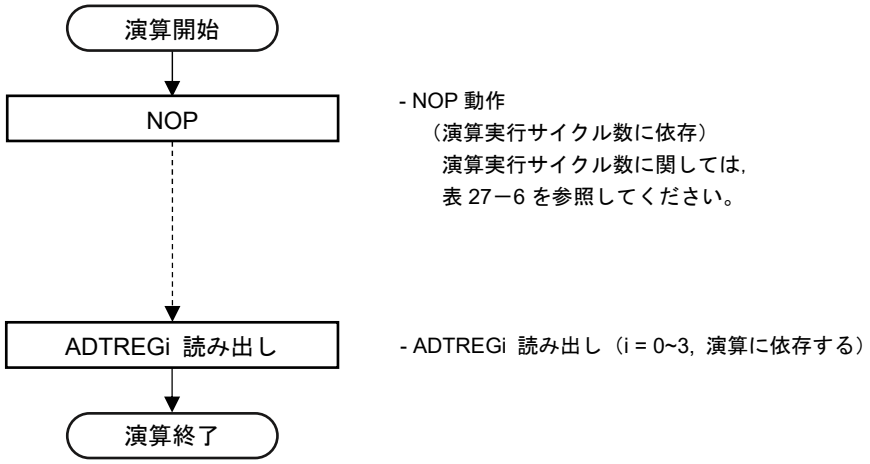


図 27－37　演算結果の読み出し処理フロー

(a) 演算ステータスの確認



(b) 演算実行中の NOP 動作

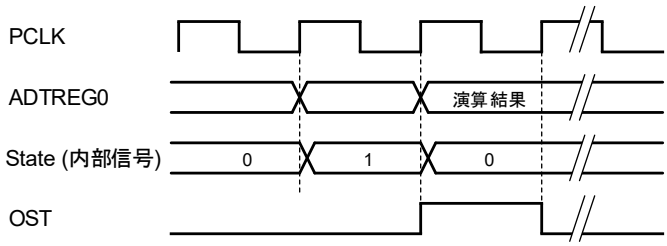


27.3.1.1　単一算術演算

単一算術演算には Sine 演算と Cosine 演算の 2 種類の演算があります。詳細は「27.3.2 各アルゴリズム・モードにおける演算の説明」を参照ください。

図 27－38 に単一算術演算のタイミング図を示します。

図 27－38　単一算術演算のタイミング図



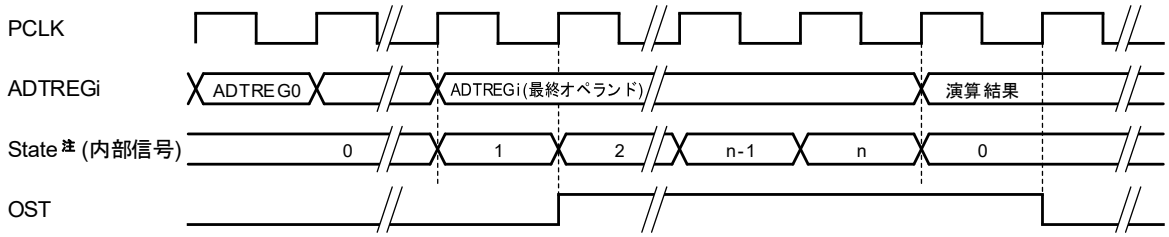
27.3.1.2　シーケンス演算

サイン演算とコサイン演算を除く他の演算はシーケンス演算です。詳細は「27.3.2　各アルゴリズム・モードにおける演算の説明」を参照ください。

図 27－39 にシーケンス演算のタイミング図を示します。

シーケンス演算を中止することはできません。演算動作は，リセットのアサートまたはアプリケーション・アクセラレータ・ユニットのイネーブル・ビットがクリアされた場合を除いて，完了するまで実行されます。各シーケンス動作の実行クロック・サイクル数を表 27－6 に示します。

図 27－39　シーケンス演算のタイミング図（ACTCLREG.STM = 0 の場合）



注　State は各演算の実行サイクル・カウントを示します。n = 実行サイクル数：1, 5-7, 11, 12, 15, 18, 22

備考　i = 0-3（演算に依存します）

27.3.1.3　演算別のスタート・トリガ

表 27－6 にそれぞれの演算におけるスタート・トリガを示します。スタート・トリガとなるレジスタを設定後，演算処理が開始します。

表 27－6　アプリケーション・アクセラレータ・ユニット演算のスタート・トリガ・レジスタ

アルゴリズム・モード	スタート・トリガとなるレジスタ		実行サイクル数 注1
	STM = 0	STM = 1	
Sine 演算モード	ADTREG0	OST ビット	1 クロック
Cosine 演算モード	ADTREG0	OST ビット	1 クロック
クラーク-パーク変換モード 注2	ADTREG2	OST ビット	7 クロック
逆パーク変換モード	ADTREG2	OST ビット	6 クロック
逆クラーク変換モード 注2	ADTREG1	OST ビット	5 クロック
ベクトル制御向け PI 演算モード	ADTREG1	OST ビット	15 クロック
クラーク-パーク変換，PI 演算一括モード 注2	ADTREG2	OST ビット	22 クロック
パーク-クラーク逆変換モード 注2	ADTREG2	OST ビット	11 クロック
DC/DC 制御向け PI 演算モード（1 チャネル）	ADTREG0	OST ビット	6 クロック
DC/DC 制御向け PI 演算モード（2 チャネル）	ADTREG1	OST ビット	12 クロック
DC/DC 制御向け PI 演算モード（3 チャネル）	ADTREG2	OST ビット	18 クロック
32 ビット乗算モード（32 ビット× 32 ビット= 64 ビット）	ADTREG3	OST ビット	5 クロック

注 1. ACTLREG レジスタの STM ビットが“1”の場合，実行サイクルは表に示されている値に 1 サイクル追加されます。

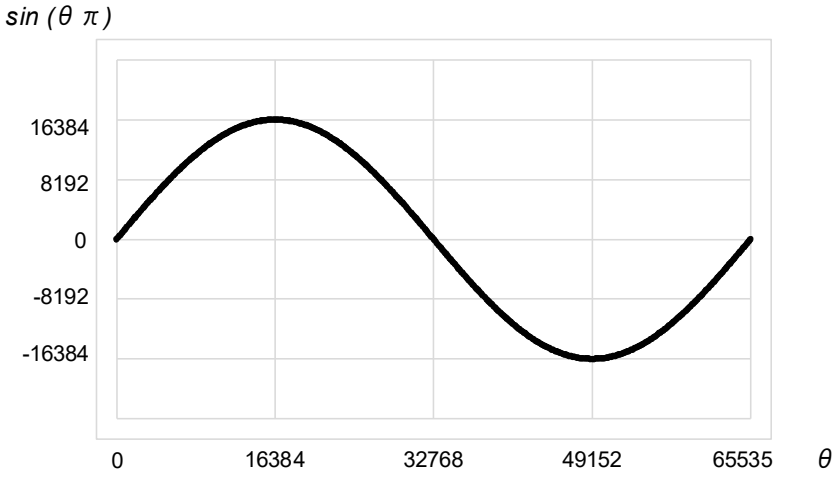
2. AAU は，絶対変換と相対変換の両方のアルゴリズムに対応します。

27.3.2　各アルゴリズム・モードにおける演算の説明

27.3.2.1　Sine 演算

Sine 値を算出します。

級数展開を使用した近似式で Sine 演算を実行します。



入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0 注	位相角 θ 範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
出力	ADTREG0	位相角 θ に対する Sine 値 出力値 = sin(θπ)	データ型：signed short

注　ADTREG0 レジスタの設定値：　(rad × 65536) ÷ 2 π

= (rad × 32768) ÷ π [rad：入力ラジアン角度]

操作例：

(1)　ACTLREG レジスタの設定します。（OPC[4:0] = 00010B（Sine 演算），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 10H;

(2)　変換するデータを ADTREG0 レジスタに設定し，演算を開始します。

ADTREG0 = 8000H; 入力ラジアン角度 = 3.14159

(3)　ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4)　変換結果を ADTREG0 レジスタから読み出します。

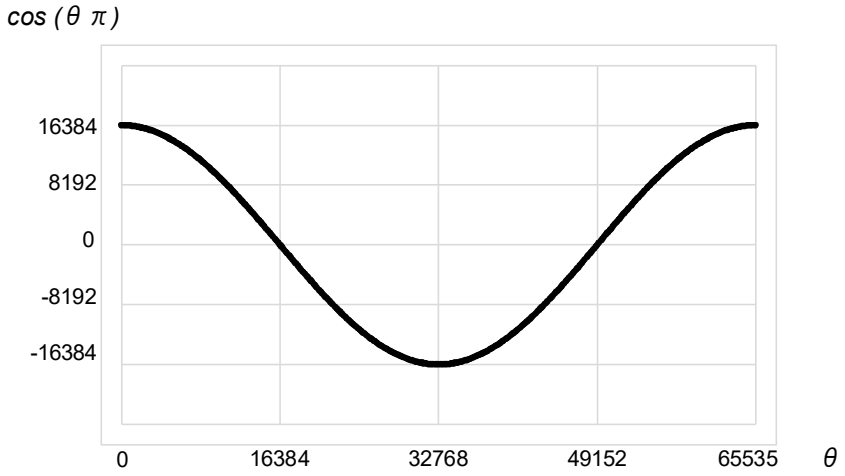
ADTREG0：0000H

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタの AAUPAGE1 ビットと AAUPAGE0 ビットを対応する値に設定してください。

27.3.2.2　Cosine 演算

Cosine 値を算出します。

級数展開を使用した近似式で Cosine 演算を実行します。



入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0 注	位相角 θ 範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
出力	ADTREG0	位相角 θ に対する Cosine 値 出力値 = cos(θπ)	データ型：signed short

注　ADTREG0 レジスタの設定値：　(rad × 65536) ÷ 2 π

= (rad × 32768) ÷ π [rad：入力ラジアン角度]

操作例：

(1)　ACTLREG レジスタの設定（OPC[4:0] = 00011B（Cosine 演算），STM = 1（ソフトウェア・トリガを選択））

ACTLREG = 1AH;

(2)　変換するデータを ADTREG0 レジスタに設定します。

ADTREG0 = 8000H; 入力ラジアン角度 = 3.14159

(3)　ACTLREG レジスタの OST ビットを設定して演算を開始します。

ACTLREG = ACTLREG | 01H;

(4)　ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

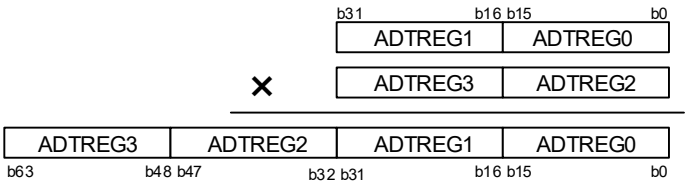
(5)　変換結果を ADTREG0 レジスタから読み出します。

ADTREG0：C000H

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタの AAUPAGE1 ビットと AAUPAGE0 ビットを対応する値に設定してください。

27.3.2.3　乗算

32 ビット乗算を行います。



入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	入力 32 ビットデータは，2 つのレジスタを連結し生成されます。 乗数（32 ビット）　= ADTREG1：ADTREG0 被乗数（32 ビット）= ADTREG3：ADTREG2	データ型：signed long
	ADTREG1		
	ADTREG2		データ型：signed long
	ADTREG3		
出力	ADTREG0	64 ビットの結果は，4 つのレジスタに格納されます。 結果（64 ビット）= ADTREG3：ADTREG2：ADTREG1：ADTREG0	データ型：signed long long
	ADTREG1		
	ADTREG2		
	ADTREG3		

操作例：

(1)　ACTLREG レジスタの設定（OPC[4:0] = 00001B（乗算演算），STM = 1（ソフトウェア・トリガを選択））

ACTLREG = 0AH;

(2)　乗数するデータ（01234567H×89ABCDEFH）を設定します。

[ADTREG1, ADTREG0] = 0123_4567H;

[ADTREG3, ADTREG2] = 89AB_CDEFH;

(3)　ACTLREG レジスタの OST ビットを“1”に設定して演算を開始します。

ACTLREG = ACTLREG | 01H;

(4)　ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(5)　変換結果を ADTREGi レジスタから読み出します。

[ADTREG3, ADTREG2, ADTREG1, ADTREG0] = FF79_5E36_C94E_4629H

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタの AAUPAGE1 ビットと AAUPAGE0 ビットを対応する値に設定してください。

27.3.2.4　クラーク-パーク変換（絶対変換）

3 相 2 相変換（クラーク変換）と座標軸変換（パーク変換）を順次実行します。

算出式は次のとおりです。

$$\mathrm{Id} = \left(\cos\theta\pi \times \sqrt{\frac{3}{2}} - \sin\theta\pi \times \frac{\sqrt{2}}{2}\right)\mathrm{Iu} - \left(\sin\theta\pi \times \sqrt{2}\right)\mathrm{Iw}$$

$$\mathrm{Iq} = \left(-\sin\theta\pi \times \sqrt{\frac{3}{2}} - \cos\theta\pi \times \frac{\sqrt{2}}{2}\right)\mathrm{Iu} - \left(\cos\theta\pi \times \sqrt{2}\right)\mathrm{Iw}$$

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	u 相電流（Iu）	データ型：signed short
	ADTREG1	w 相電流（Iw）	データ型：signed short
	ADTREG2	位相角 θ，範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
出力	ADTREG0	d 軸電流（Id）	データ型：signed short
	ADTREG1	q 軸電流（Iq）	データ型：signed short

クラーク-パーク変換（絶対変換）の計算：

```
// AAU: Clarke & Park transformation (Power invariant transformation)
signed short   sin_buf, cos_buf, temp16_0, temp16_1;
signed long    temp32_0, temp32_1, temp32_2, temp32_3;

sin_buf = AAU_SIN(ADTREG2);              /* -16384 to 16384: -1.0 to 1.0 << 14 */
cos_buf = AAU_COS(ADTREG2);              /* -16384 to 16384: -1.0 to 1.0 << 14 */
temp32_0 = (signed long)ADTREG0 * 20066; /* 20066: sqrt(3/2) << 14 */
temp16_0 = (signed short)(temp32_0 >> 14U);
temp32_0 = (signed long)temp16_0 * (signed long)cos_buf;
temp32_1 = ADTREG0 + ADTREG1;
temp32_1 = temp32_1 + ADTREG1;
temp32_1 = temp32_1 * 23170;             /* 23170: sqrt(2)/2 << 15 */
temp16_1 = (signed short)(temp32_1 >> 15U);
temp32_1 = (signed long)temp16_1 * (signed long)cos_buf;
temp32_1 = -temp32_1;
temp32_2 = (signed long)temp16_1 * (signed long)sin_buf;
ADTREG0 = (unsigned short)((temp32_0 - temp32_2) >> 14U);
temp32_3 = (signed long)temp16_0 * (signed long)sin_buf;
ADTREG1 = (unsigned short)((temp32_1 - temp32_3) >> 14U);
```

操作例：

(1) ACTLREG レジスタを設定（OPC[4:0] = 01000B（クラーク−パーク変換），TMD = 0（絶対変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 40H;

(2) 以下のレジスタにデータを設定します。

ADTREG0 = 0000H; u 相電流（Iu：0）

ADTREG1 = 5A82H; w 相電流（Iw：23,170）

ADTREG2 = 4000H; 位相角 θ：90 度

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG1，0 レジスタから変換結果を読み取ります。

ADTREG0（Id）：8002H（−32,766）

ADTREG1（Iq）：0000H（0）

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.5　クラーク-パーク変換（相対変換）

3 相 2 相変換（クラーク変換）と座標軸変換（パーク変換）を順次実行します。

算出式は次のとおりです。

$$\mathrm{Id} = \left(\cos\theta - \sin\theta \times \frac{\sqrt{3}}{3}\right)\mathrm{Iu} - \left(\sin\theta \times \frac{2\sqrt{3}}{3}\right)\mathrm{Iw}$$

$$\mathrm{Iq} = \left(-\sin\theta - \cos\theta \times \frac{\sqrt{3}}{3}\right)\mathrm{Iu} - \left(\cos\theta \times \frac{2\sqrt{3}}{3}\right)\mathrm{Iw}$$

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	u 相電流（Iu）	データ型：signed short
	ADTREG1	w 相電流（Iw）	データ型：signed short
	ADTREG2	位相 θ，範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
出力	ADTREG0	d 軸電流（Id）	データ型：signed short
	ADTREG1	q 軸電流（Iq）	データ型：signed short

クラーク-パーク変換（相対変換）の計算：

```
// AAU: Clarke & Park transformation (Amplitude invariant transformation)
signed short   sin_buf, cos_buf, temp16_0, temp16_1;
signed long    temp32_0, temp32_1, temp32_2, temp32_3;

sin_buf = AAU_SIN(ADTREG2);        /* -16384 to 16384: -1.0 to 1.0 << 14 */
cos_buf = AAU_COS(ADTREG2);        /* -16384 to 16384: -1.0 to 1.0 << 14 */
temp16_0 = ADTREG0;
temp32_0 = (signed long)temp16_0 * (signed long)cos_buf;
temp32_1 = ADTREG0 + ADTREG1;
temp32_1 = temp32_1 + ADTREG1;
temp32_1 = temp32_1 * 18919;       /* 18919: sqrt(3)/3 << 15 */
temp16_1 = (signed short)(temp32_1 >> 15U);
temp32_1 = (signed long)temp16_1 * (signed long)cos_buf;
temp32_1 = -temp32_1;
temp32_2 = (signed long)temp16_1 * (signed long)sin_buf;
ADTREG0 = (unsigned short)((temp32_0 - temp32_2) >> 14U);
temp32_3 = (signed long)temp16_0 * (signed long)sin_buf;
ADTREG1 = (unsigned short)((temp32_1 - temp32_3) >> 14U);
```

操作例：

(1) ACTLREG レジスタを設定（OPC[4:0] = 01000B（クラーク-パーク変換），TMD = 1（相対変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 44H;

(2) 以下のレジスタにデータを設定します。

ADTREG0 = 0000H; u 相電流（Iu：0）

ADTREG1 = 6ED9H; w 相電流（Iw：28,377）

ADTREG2 = 4000H; 位相 θ：90 度

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4)　ADTREG1，0 レジスタから変換結果を読み取ります。

ADTREG0（Id）：8001H（−32,767）

ADTREG1（Iq）：0000H（0）

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.6　逆パーク（I-パーク）変換

α 軸とβ 軸の電圧を，d 軸電圧，q 軸電圧，θ より算出します。

算出式は次のとおりです。

$$V\alpha = (Vd \times \cos\theta\pi - Vq \times \sin\theta\pi)$$
$$V\beta = (Vd \times \sin\theta\pi + Vq \times \cos\theta\pi)$$

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	d 軸電圧（Vd）	データ型：signed short
	ADTREG1	q 軸電圧（Vq）	データ型：signed short
	ADTREG2	位相角 θ，範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
出力	ADTREG0	α 軸電圧（Vα）	データ型：signed short
	ADTREG1	β 軸電圧（Vβ）	データ型：signed short

注意　算出結果 Vα，Vβ がオーバフローしない入力データを使用してください。

逆パーク変換の計算：

```
// AAU: I-Park transformation
signed short sin_buf, cos_buf;
signed long temp32_0, temp32_1, temp32_2, temp32_3;

sin_buf = AAU_SIN(ADTREG2);      /* -16384 to 16384: -1.0 to 1.0 << 14 */
cos_buf = AAU_COS(ADTREG2);      /* -16384 to 16384: -1.0 to 1.0 << 14 */
temp32_0 = (signed long)ADTREG0 * (signed long)cos_buf;
temp32_1 = (signed long)ADTREG1 * (signed long)sin_buf;
temp32_2 = (signed long)ADTREG0 * (signed long)sin_buf;
temp32_3 = (signed long)ADTREG1 * (signed long)cos_buf;
ADTREG0 = (usigned short)((temp32_0 - temp32_1) >> 14);
ADTREG1 = (usigned short)((temp32_2 - temp32_3) >> 14);
```

操作例：

(1) ACTLREG レジスタを設定（OPC[4:0] = 01001B（逆パーク変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 48H;

(2) 以下のレジスタにデータを設定します。

ADTREG0 = 0000H; d 軸電圧（Vd：0）

ADTREG1 = 7FFFH; q 軸電圧（Vq：32.767）

ADTREG2 = 4000H; 位相 θ：90 度

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG1，0 レジスタから変換結果を読み取ります。

ADTREG0（Vα）：8001H（−32,767）

ADTREG1（Vβ）：0000H（0）

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.7　逆クラーク（I-クラーク）変換（絶対変換）

u 相，v 相，w 相の電圧を，α 軸電圧，β 軸電圧より算出します。

算出式は次のとおりです。

$$Vu = \sqrt{\frac{2}{3}}V\alpha$$

$$Vv = \sqrt{\frac{2}{3}}\left(-V\alpha \times \frac{1}{2} + V\beta \times \frac{\sqrt{3}}{2}\right)$$

$$Vw = \sqrt{\frac{2}{3}}\left(-V\alpha \times \frac{1}{2} - V\beta \times \frac{\sqrt{3}}{2}\right)$$

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	α 軸電圧（Vα）	データ型：signed short
	ADTREG1	β 軸電圧（Vβ）	データ型：signed short
出力	ADTREG0	u 相電圧（Vu）	データ型：signed short
	ADTREG1	v 相電圧（Vv）	データ型：signed short
	ADTREG2	w 相電圧（Vw）	データ型：signed short

逆クラーク変換の計算（絶対変換）：

```
// AAU: I-Clarke transformation (Power invariant transformation)
signed long    temp32_0, temp32_1, temp32_2;

temp32_0 = 26755 * ADTREG0;      /* 26755: sqrt(2/3) << 15 */
temp32_1 = 23170 * ADTREG1;      /* 23170: sqrt(2)/2 << 15 */
temp32_2 = -temp32_0 / 2;
ADTREG0 = (unsigned short)(temp32_0 >> 15);
ADTREG1 = (unsigned short)((temp32_2 + temp32_1) >> 15);
ADTREG2 = (unsigned short)((temp32_2 - temp32_1) >> 15);
```

操作例：

(1) ACTLREG レジスタを設定（OPC[4:0] = 01010B（逆クラーク変換），TMD = 0（絶対変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 50H;

(2) 以下のレジスタにデータを設定します。

ADTREG0 = 7FFFH; α 軸電圧（Vα：32,767）

ADTREG1 = 0000H; β 軸電圧（Vβ：0）

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG2，1，0 レジスタから変換結果を読み取ります。

ADTREG0（Vu）：6882H（26,754）

ADTREG1（Vv）：CBBFH（−13,377）

ADTREG2（Vw）：CBBFH（−13,377）

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.8　逆クラーク（I-クラーク）変換（相対変換）

u 相，v 相，w 相の電圧を，α 軸電圧，β 軸電圧より算出します。

算出式は次のとおりです。

$$Vu = V\alpha$$
$$Vv = \left(-V\alpha \times \frac{1}{2} + V\beta \times \frac{\sqrt{3}}{2}\right)$$
$$Vw = \left(-V\alpha \times \frac{1}{2} - V\beta \times \frac{\sqrt{3}}{2}\right)$$

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	α 軸電圧（Vα）	データ型：signed short
	ADTREG1	β 軸電圧（Vβ）	データ型：signed short
出力	ADTREG0	u 相電圧（Vu）	データ型：signed short
	ADTREG1	v 相電圧（Vv）	データ型：signed short
	ADTREG2	w 相電圧（Vw）	データ型：signed short

逆クラーク変換の計算（相対変換）：

```
// AAU: I-Clarke transformation (Amplitude invariant transformation)
signed long    temp32_0, temp32_1, temp32_2;

temp32_0 = 21845 * ADTREG0;      /* 21845: 2/3       << 15 */
temp32_1 = 18919 * ADTREG1;      /* 18919: sqrt(3)/3 << 15 */
temp32_2 = -temp32_0 / 2;
ADTREG0 = (uint16)(temp32_0 >> 15);
ADTREG1 = (uint16)((temp32_2 + temp32_1) >> 15);
ADTREG2 = (uint16)((temp32_2 - temp32_1) >> 15);
```

操作例：

(1) ACTLREG レジスタを設定（OPC[4:0] = 01010B（逆クラーク変換），TMD = 1（相対変換，STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 54H;

(2) 以下のレジスタにデータを設定します。

ADTREG0 = 7FFFH; α 軸電圧（Vα：32,767）

ADTREG1 = 0000H; β 軸電圧（Vβ：0）

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG2，1，0 レジスタから変換結果を読み取ります。

ADTREG0（Vu）：7FFFH（32,767）

ADTREG1（Vv）：C001H（−16,383）

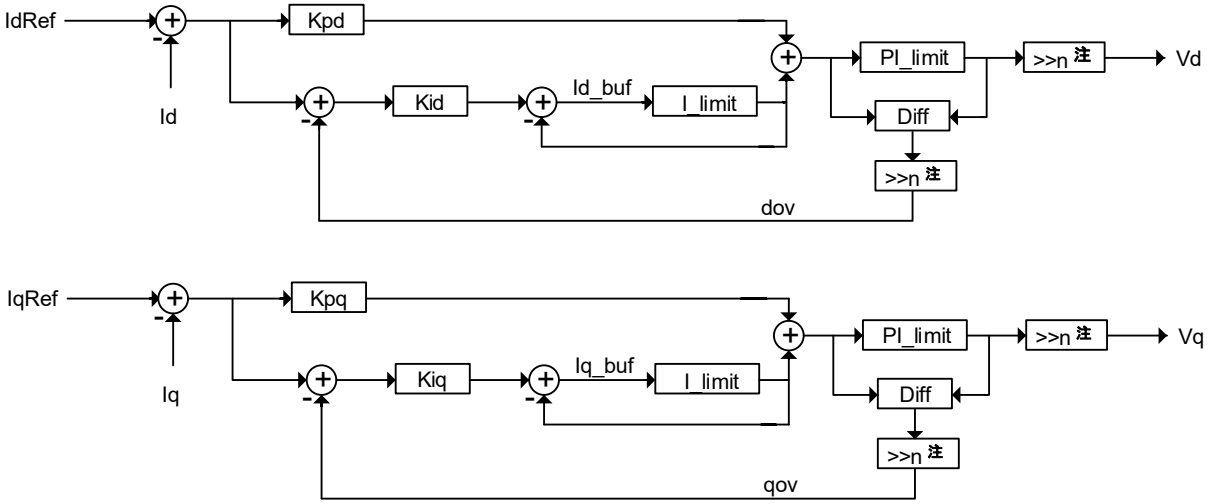
ADTREG2（Vw）：C001H（−16,383）

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.9　ベクトル制御向けPI制御

PI制御はd軸とq軸をそれぞれ独立して行います。また，リミット機能により出力を制御します。

制御フロー図は次の通りです。



注 nは，AKRAGレジスタの設定値に依存します。

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	d軸電流（Id）	データ型：signed short
	ADTREG1	q軸電流（Iq）	データ型：signed short
	AIDREF	d軸基準電流（IdRef）	データ型：signed short
	AIQREF	q軸基準電流（IqRef）	データ型：signed short
	AKPD	d軸比例定数（Kpd）	データ型：signed short
	AKID	d軸積分定数（Kid）	データ型：signed short
	AKPQ	q軸比例定数（Kpq）	データ型：signed short
	AKIQ	q軸積分定数（Kiq）	データ型：signed short
	AILIM	積分制御電流制限値（I_limit）	データ型：signed short
	APILIM	PI制御出力電圧制限値（PI_limit）	データ型：signed short
	AIDBFH: AIDBFL	d軸電流初期値（id_buf）	データ型：singed long
	AIQBFH: AIQBFL	q軸電流初期値（iq_buf）	データ型：singed long
	ADOVER	d軸過電流上限値（dov）	データ型：signed short
	AQOVER	q軸過電流上限値（qov）	データ型：signed short
	AKRAG	PI制御定数範囲設定	データ型：unsigned short
出力	ADTREG0	d軸電圧（Vd）	データ型：signed short
	ADTREG1	q軸電圧（Vq）	データ型：signed short

注意 1. 演算を実行する前に，以下のレジスタを設定してください。

AIDREF，AIQREF，AKPD，AKPQ，AKIQ，AILIM，APILIM

2. 以下のレジスタは，モータのベクトル制御演算のPI制御中に，内部的に使用されます。

AIDBFL，AIDBFH，AIQBFL，AIQBFH，ADOVER，AQOVER

3. 以下のレジスタは，次の値が内部的に使用されます。

[AIDBFH, AIDBFL]，[AIQBFH, AIQBFL]：制限値はAKRAG設定によって増幅されます。

（AKRAG = 00H：AILIM×16，= 01H：AILIM×256，= 02H：AILIM×4096，= 03H：AILIM×65536）

ベクトル制御向け PI 制御の計算：

```
// AAU: PI control for motor
signed short   err_buf, p_buf;
signed long    i_buf, pi_buf, i_limit, pi_limit;

err_buf = AIDREF - ADTREG0;
p_buf = (signed long)AKPD * (signed long)err_buf;
i_buf = (signed long)(err_buf - ADOVER) * (signed long)AKID;
i_buf = i_buf + ((signed long)AIDBFH << 16) + (signed long)AIDBFL;
// < integral limitation >
i_limit = (signed long)AILIM << (4 * (AKRAG+1));
if (i_limit < i_buf) {
    i_buf = i_limit;
}
else if (-i_limit > i_buf) {
    i_buf = -i_limit;
}
AIDBFH = (unsigned short)(i_buf >> 16);
AIDBFL = (unsigned short)i_buf;
pi_buf = i_buf + p_buf;
// < pi limitation >
pi_limit = (signed long)APILIM << (4 * (AKRAG+1));
if (pi_limit < pi_buf) {
    ADOVER = (unsigned short)((pi_buf - pi_limit) >> (4 * (AKRAG+1)));
    pi_buf = pi_limit;
}
else if (-pi_limit > pi_buf) {
    ADOVER = (unsigned short)((pi_buf + pi_limit) >> (4 * (AKRAG+1)));
    pi_buf = -pi_limit;
}
else {
    ADOVER = 0;
}
ADTREG0 = (unsigned short)(pi_buf >> (4 * (AKRAG+1)));
err_buf = AIQREF - ADTREG1;
p_buf   = (signed long)AKPQ * (signed long)err_buf;
i_buf   = (signed long)(err_buf - AQOVER) * (signed long)AKIQ;
i_buf   = i_buf + ((signed long)AIQBFH << 16) + (signed long)AIQBFL;
// < integral limitation >
if (i_limit < i_buf) {
    i_buf = i_limit;
}
else if (-i_limit > i_buf) {
    i_buf = -i_limit;
}
AIQBFH = (unsigned short)(i_buf >> 16);
AIQBFL = (unsigned short)i_buf;

// Continued on the next page
```

```
// AAU: PI control for motor (Continuation from the previous page)
pi_buf = i_buf + p_buf;
// < PI limitation >
if (pi_limit < pi_buf) {
    AQOVER = (unsigned short)((pi_buf - pi_limit) >> (4 * (AKRAG+1)));
    pi_buf = pi_limit;
}
else if (-pi_limit > pi_buf) {
    AQOVER = (unsigned short)((pi_buf + pi_limit) >> (4 * (AKRAG+1)));
    pi_buf = -pi_limit;
}
else {
    AQOVER = 0;
}
ADTREG1 = (unsigned short)(pi_buf >> (4 * (AKRAG+1)));
```

操作例：

最初の設定：

(1) ベクトル制御用 PI 制御のレジスタ設定をします。

AIDREF = 0000H; d 軸基準電流（IdRef：0）

AIQREF = 1000H; q 軸基準電流（IqRef：4096）

AKRAG =　02H; PI 制御定数範囲設定（定数範囲：$1/2^{12}$）

AKPD　= 1000H; d 軸比例定数（Kpd = 1.0，AKPD = Kpd × 2^{12}）

AKID　= 0800H; d 軸積分定数（Kid = 0.5，AKID = Kid × 2^{12}）

AKPQ　= 1333H; q 軸比例定数（Kpq = 1.2，AKPQ = Kpq × 2^{12}）

AKIQ　= 0999H; q 軸積分定数（Kiq = 0.6，AKIQ = Kiq × 2^{12}）

AILIM　= 4000H; 積分制御電流制限値（I_limit）

APILIM　= 6000H; PI 制御出力電圧制限値（PI_limit）

[AIDBFH，AIDBFL] = 00000000H; d 軸電流初期値（id_buf：ゼロ初期化）

[AIQBFH，AIQBFL] = 00000000H; q 軸電流初期値（iq_buf：ゼロ初期化）

ADOVER = 0000H; d 軸過電流上限値（dov：ゼロ初期化）

AQOVER = 0000H; q 軸過電流上限値（qov：ゼロ初期化）

(2) ACTLREG レジスタの設定（OPC[4:0] = 01011B（ベクトル制御用 PI 制御），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 58H;

(3) レジスタ ADTREG0 と ADTREG1 にモータ・フィードバック電流を設定します。

ADTREG0 = 0000H; d 軸電流（Id）

ADTREG1 = 0000H; q 軸電流（Iq）

(4) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(5) ADTREG1, 0 レジスタから変換結果を読み込みます。

ADTREG0：0000H（Vd：0）

ADTREG1：1CCCH（Vq：7,372）

2 回目以降の設定：（AAU 関連のレジスタが最初の設定から変更されていない場合）

(1) ACTLREG レジスタを設定します。

(2) レジスタ ADTREG0 と ADTREG1 にモータ・フィードバック電流を設定します。（演算の開始）

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG1, 0 レジスタから変換結果を読み込みます。

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.10 ベクトル制御向けクラーク−パーク変換と PI 制御（絶対変換）

クラーク−パーク変換（27.3.2.4 を参照）とベクトル制御向け PI 制御（27.3.2.9 を参照）を連続して実行します。

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	u 相電流（Iu）	データ型：signed short
	ADTREG1	w 相電流（Iw）	データ型：signed short
	ADTREG2	位相角 θ，範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
	AIDREF	d 軸基準電流（IdRef）	データ型：signed short
	AIQREF	q 軸基準電流（IqRef）	データ型：signed short
	AKPD	d 軸比例定数（Kpd）	データ型：signed short
	AKID	d 軸積分定数（Kid）	データ型：signed short
	AKPQ	q 軸比例定数（Kpq）	データ型：signed short
	AKIQ	q 軸積分定数（Kiq）	データ型：signed short
	AILIM	積分制御電流制限値（I_limit）	データ型：signed short
	APILIM	PI 制御出力電圧制限値（PI_limit）	データ型：signed short
	AIDBFH: AIDBFL	d 軸電流初期値（id_buf）	データ型：signed long
	AIQBFH: AIQBFL	q 軸電流初期値（iq_buf）	データ型：signed long
	ADOVER	d 軸過電流上限値（dov）	データ型：signed short
	AQOVER	q 軸過電流上限値（qov）	データ型：signed short
	AKRAG	PI 制御定数範囲設定	データ型：unsigned short
出力	ADTREG0	d 軸電圧（Vd）	データ型：signed short
	ADTREG1	q 軸電圧（Vq）	データ型：signed short
	ADTREG2	d 軸電流（Id）	データ型：signed short
	ADTREG3	q 軸電流（Iq）	データ型：signed short

注意 1. 演算を実行する前に，以下のレジスタを設定してください。

AIDREF，AIQREF，AKPD，AKPQ，AKIQ，AILIM，APILIM

2. 以下のレジスタは，モータのベクトル制御演算の PI 制御中に，内部的に使用されます。

AIDBFL，AIDBFH，AIQBFL，AIQBFH，ADOVER，AQOVER

3. 以下のレジスタは，次の値が内部的に使用されます。

[AIDBFH，AIDBFL]，[AIQBFH，AIQBFL]：制限値は AKRAG の設定によって増幅されます。

（AKRAG = 00H：AILIM×16，= 01H：AILIM×256，= 02H：AILIM×4096，= 03H：AILIM×65536）

クラーク−パーク変換の計算とベクトル制御向け PI 制御（絶対変換）：

計算の詳細については，「27.3.2.4　クラーク−パーク変換（絶対変換）」および「27.3.2.9　ベクトル制御向け PI 制御」を参照してください。

操作例：

最初の設定：

(1) ベクトル制御用 PI 制御のレジスタ設定をします。

AIDREF = 0000H; d 軸基準電流（IdRef：0）

AIQREF = 0000H; q 軸基準電流（IqRef：0）

AKRAG = 02H; PI 制御定数範囲設定（定数範囲：$1/2^{12}$）

AKPD = 0010H; d 軸比例定数（Kpd = 0.00391，AKPD = Kpd×2^{12}）

AKID = 0001H; d 軸積分定数（Kid = 0.00025，AKID = Kid×2^{12}）

AKPQ = 0020H; q 軸比例定数（Kpq = 0.00782，AKPQ = Kpq×2^{12}）

AKIQ = 0002H; q 軸積分定数（Kiq = 0.0005，AKIQ = Kiq×2^{12}）

AILIM = 4000H; 積分制御電流制限（I_limit）

APILIM = 6000H; PI 制御出力電圧制限（PI_limit）

[AIDBFH, AIDBFL] = 00000000H; d 軸電流バッファ（id_buf：ゼロ初期化）

[AIQBFH, AIQBFL] = 00000000H; q 軸電流バッファ（iq_buf：ゼロ初期化）

ADOVER = 0000H; d 軸制限電流オーバ（dov：ゼロ-初期化）

AQOVER = 0000H; q 軸制限電流オーバ（qov：ゼロ初期化）

(2) ACTLREG レジスタの設定（OPC[4:0] = 01100B（モータの PI 制御），TMD = 0（絶対変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 60H;

(3) モータ・フィードバック電流をレジスタ ADTREG0 および ADTREG1 に設定します。

ADTREG0 = FB3DH; u 相電流（Iu）

ADTREG1 = 11D8H; w 相電流（Iw）

ADTREG2 = D555H; 位相 θ：300 度

(4) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(5) ADTREG レジスタから変換結果を読み取ります。

ADTREG0：FFEEH（Vd：−18）

ADTREG1：0021H（Vq：33）

ADTREG2：1026H（Id：4,132）

ADTREG3：F025H（Iq：−4,059）

2 回目以降の設定：（AAU 関連のレジスタが最初の設定から変更されていない場合）

(1) ACTLREG レジスタを設定します。

(2) レジスタ ADTREG0，ADTREG1，ADTREG2 にモータ・フィードバック電流を設定します。（演算の開始）

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG レジスタから変換結果を読み取ります。

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.11　ベクトル制御向けクラーク−パーク変換と PI 制御（相対変換）

クラーク−パーク変換（27.3.2.5 を参照）とベクトル制御向け PI 制御（27.3.2.9 を参照）を連続して実行します。

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	u 相電流（Iu）	データ型：signed short
	ADTREG1	w 相電流（Iw）	データ型：signed short
	ADTREG2	位相角 θ，範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
	AIDREF	d 軸基準電流（IdRef）	データ型：signed short
	AIQREF	q 軸基準電流（IqRef）	データ型：signed short
	AKPD	d 軸比例定数（Kpd）	データ型：signed short
	AKID	d 軸積分定数（Kid）	データ型：signed short
	AKPQ	q 軸比例定数（Kpq）	データ型：signed short
	AKIQ	q 軸積分定数（Kiq）	データ型：signed short
	AILIM	積分制御電流制限値（I_limit）	データ型：signed short
	APILIM	PI 制御出力電圧制限値（PI_limit）	データ型：signed short
	AIDBFH: AIDBFL	d 軸電流初期値（id_buf）	データ型：signed long
	AIQBFH: AIQBFL	q 軸電流初期値（iq_buf）	データ型：signed long
	ADOVER	d 軸過電流上限値（dov）	データ型：signed short
	AQOVER	q 軸過電流上限値（qov）	データ型：signed short
	AKRAG	PI 制御定数範囲設定	データ型：unsigned short
出力	ADTREG0	d 軸電圧（Vd）	データ型：signed short
	ADTREG1	q 軸電圧（Vq）	データ型：signed short
	ADTREG2	d 軸電流（Id）	データ型：signed short
	ADTREG3	q 軸電流（Iq）	データ型：signed short

注意 1. 演算を実行する前に，以下のレジスタを設定してください。

AIDREF，AIQREF，AKPD，AKPQ，AKIQ，AILIM，APILIM

2. 以下のレジスタは，モータのベクトル制御演算の PI 制御中に，内部的に使用されます。

AIDBFL，AIDBFH，AIQBFL，AIQBFH，ADOVER，AQOVER

3. 以下のレジスタは，次の値が内部的に使用されます。

[AIDBFH, AIDBFL]，[AIQBFH, AIQBFL]：制限値は AKRAG の設定によって増幅されます。

（AKRAG = 00H：AILIM×16，= 01H：AILIM×256，= 02H：AILIM×4096，= 03H：AILIM×65536）

クラーク−パーク変換の計算とベクトル制御向け PI 制御（相対変換）：

計算の詳細については，「27.3.2.5　クラーク−パーク変換（相対変換）」および「27.3.2.9　ベクトル制御向け PI 制御」を参照してください。

操作例：

最初の設定：

(1) ベクトル制御用 PI 制御のレジスタ設定をします。

AIDREF = 0000H; d 軸基準電流（IdRef：0）

AIQREF = 0000H; q 軸基準電流（IqRef：0）

AKRAG = 00H; PI 制御定数範囲設定（定数範囲：$1/2^4$）

AKPD = 0018H; d 軸比例定数（Kpd = 1.5，AKPD = Kpd × 2^4）

AKID = 0003H; d 軸積分定数（Kid = 0.1875，AKID = Kid × 2^4）

AKPQ = 0028H; q 軸比例定数（Kpq = 2.5，AKPQ = Kpq × 2^4）

AKIQ = 0004H; q 軸積分定数（Kiq = 0.25，AKIQ = Kiq × 2^4）

AILIM = 4000H; I（積分）制御電流制限値（I_limit）

APILIM = 6000H; PI 制御出力電圧制限値（PI_limit）

[AIDBFH，AIDBFL] = 00000000H; d 軸電流初期値（id_buf：ゼロ-初期化）

[AIQBFH，AIQBFL] = 00000000H; q 軸電流初期値（iq_buf：ゼロ-初期化）

ADOVER = 0000H; d 軸過電流上限値（dov：ゼロ-初期化）

AQOVER = 0000H; q 軸過電流上限値（qov：ゼロ-初期化）

(2) ACTLREG レジスタの設定（OPC[4:0] = 01100B（モータの PI 制御），TMD = 1（相対変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 64H;

(3) レジスタ ADTREG0 と ADTREG1 にモータ・フィードバック電流を設定します。

ADTREG0 = 03E8H; u 相電流（Iu）

ADTREG1 = FAAAH; w 相電流（Iw）

ADTREG2 = 0000H; 位相 θ：0 度

(4) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(5) ADTREG レジスタから変換結果を読み取ります。

ADTREG0：F968H（Vd：−1,688）

ADTREG1：F542H（Vq：−2,750）

ADTREG2：03E8H（Id：1,000）

ADTREG3：03E8H（Iq：1,000）

2 回目以降の設定：（AAU 関連のレジスタが最初の設定から変更されていない場合）

(6) ACTLREG レジスタを設定します。

(7) レジスタ ADTREG0，ADTREG1，ADTREG2 にモータ・フィードバック電流を設定します。（演算の開始）

(8) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(9) ADTREG レジスタから変換結果を読み取ります。

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.12 パーク−クラーク逆変換（絶対変換）

逆パーク変換（27.3.2.6 を参照）と逆クラーク変換（27.3.2.7 を参照）は連続して実行されます。

入出力	レジスタ名	機能	データ・フォーマット
入力	ADTREG0	d 軸電圧（Vd）	データ型：signed short
	ADTREG1	q 軸電圧（Vq）	データ型：signed short
	ADTREG2	位相角 θ，範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
出力	ADTREG0	u 相電圧（Vu）	データ型：signed short
	ADTREG1	v 相電圧（Vv）	データ型：signed short
	ADTREG2	w 相電圧（Vw）	データ型：signed short

パーク−クラーク逆変換（絶対変換）の計算：

計算の詳細については，「27.3.2.6　逆パーク（I-パーク）変換」および「27.3.2.7　逆クラーク（I-クラーク）変換（絶対変換）」を参照してください。

操作例：

(1) ACTLREG レジスタの設定（OPC[4:0] = 01101B（パーク−クラーク逆変換），TMD = 0（絶対変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。
ACTLREG = 68H;

(2) 以下のレジスタにデータを設定してください。
ADTREG0 = 1000H; d 軸電圧（Vd：4,096）
ADTREG1 = 1000H; q 軸電圧（Vq：4,096）
ADTREG2 = 2000H; 位相 θ：45 度

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG2，1，0 レジスタから変換結果を読み取ります。
ADTREG0：0000H（Vu：0）
ADTREG1：0FFFH（Vv：4,095）
ADTREG2：F000H（Vw：−4,096）

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.13 パーク−クラーク逆変換（相対変換）

逆パーク変換（27.3.2.6 を参照）と逆クラーク変換（27.3.2.8 を参照）を連続して実行します。

入出力	レジスタ名	機能	データ・フォーマット
Input	ADTREG0	d 軸電圧（Vd）	データ型：signed short
	ADTREG1	q 軸電圧（Vq）	データ型：signed short
	ADTREG2	位相角 θ，範囲：0 ≦ θ ≦ 65535	データ型：unsigned short
Output	ADTREG0	u 相電圧（Vu）	データ型：signed short
	ADTREG1	v 相電圧（Vv）	データ型：signed short
	ADTREG2	w 相電圧（Vw）	データ型：signed short

パーク−クラーク逆変換（相対変換）の計算：

計算の詳細については，「27.3.2.6　逆パーク（I-パーク）変換」および「27.3.2.8　逆クラーク（I-クラーク）変換（相対変換）」を参照してください。

操作例：

(1) ACTLREG レジスタの設定（OPC[4:0] = 01101B（パーク−クラーク逆変換）），TMD = 1（相対変換），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。
ACTLREG = 6CH;

(2) 以下のレジスタにデータを設定してください。
ADTREG0 = 1000H; d 軸電圧（Vd：4,096）
ADTREG1 = 1000H; q 軸電圧（Vq：4,096）
ADTREG2 = C000H; 位相 θ：270 度

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG2，1，0 レジスタから変換結果を読み取ります。
ADTREG0：1000H（Vu：4,096）
ADTREG1：EA24H（Vv：−5,596）
ADTREG2：05DBH（Vw：1,499）

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.3.2.14 DC/DC 制御向け PI 制御

PI 制御はチャネル 1，チャネル 2，チャネル 3 をそれぞれ独立して行います。リミット機能により出力を制御します。

入力電流値のオフセット補正は，各チャネルを個別に設定することができます。

本演算の PI 制御アルゴリズムは次の通りです。

$$D(n) = D(n-1) + A_1 \times E(n) + A_2 \times E(n-1)$$

D (n)：　電流出力デューティ

D (n-1)：　前回の電流出力デューティ

E (n)：　誤差電流値 ＝ 基準電流値 –電流計測値

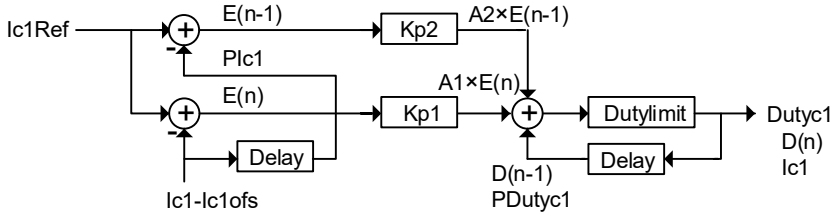
E (n-1)：　前回の誤差電流値 ＝ 基準電流値 – 前回の電流計測値

A_1, A_2：　定数

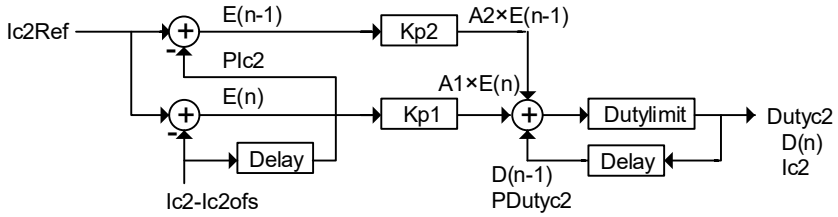
備考　n はサンプリング・カウント番号

制御フロー図は次の通りです。

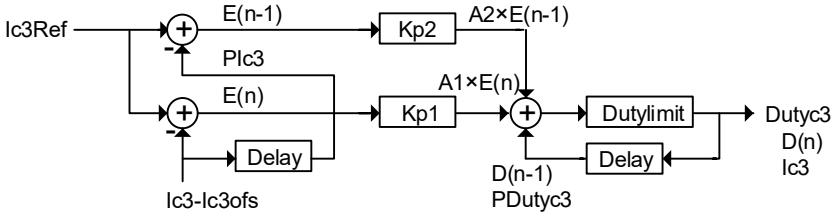
i) チャネル 1



ii) チャネル 2



iii) チャネル 3



チャネル 1 入出力レジスタ・テーブル

入出力	レジスタ名	機能	設定可能範囲	データ・フォーマット
入力	ADTREG0	チャネル 1 電流（Ic1）	0000H-FFFFH	データ型：unsigned short
	AL1REF	チャネル 1 基準電流（Ic1Ref）		
	AL1OFS	チャネル 1 電流オフセット（Ic1ofs）		
	ADUTYL1	チャネル 1 デューティ(前回)（PDutyc1）		
	AIPL1	チャネル 1 電流(前回)（PIc1）		
出力	ADTREG0	チャネル 1 ディーティ（Dutyc1）	0000H-FFFFH	データ型：unsigned short
入力（共通）	AKI1	比例定数 1（Kp1）	0000H-FFFFH	データ型：signed short
	AKI2	比例定数 2（Kp2)		
	ADUTYMX	電流デューティ制限値（Dutylimit）	00H-FFH	データ型：unsigned char

チャネル 2 入出力レジスタ・テーブル

入出力	レジスタ名	機能	設定可能範囲	データ・フォーマット
入力	ADTREG1	チャネル 2 電流（Ic2）	0000H-FFFFH	データ型：unsigned short
	AL2REF	チャネル 2 基準電流（Ic2Ref）		
	AL2OFS	チャネル 2 電流オフセット（Ic2ofs）		
	ADUTYL2	チャネル 2 デューティ(前回)（PDutyc2）		
	AIPL2	チャネル 2 電流(前回)（PIc2）		
出力	ADTREG1	チャネル 2 ディーティ（Dutyc2）	0000H-FFFFH	データ型：unsigned short
入力（共通）	AKI1	比例定数 1（Kp1）	0000H FFFFH	データ型：signed short
	AKI2	比例定数 2（Kp2)		
	ADUTYMX	電流デューティ制限値（Dutylimit）	00H-FFH	データ型：unsigned char

チャネル 3 入出力レジスタ・テーブル

入出力	レジスタ名	機能	設定可能範囲	データ・フォーマット
入力	ADTREG2	チャネル 3 電流（Ic3）	0000H-FFFFH	データ型：unsigned short
	AL3REF	チャネル 3 基準電流（Ic3Ref）		
	AL3OFS	チャネル 3 電流オフセット（Ic3ofs）		
	ADUTYL3	チャネル 3 デューティ(前回)（PDutyc3）		
	AIPL3	チャネル 3 電流(前回)（PIc3）		
出力	ADTREG2	チャネル 3 ディーティ（Dutyc3）	0000H-FFFFH	データ型：unsigned short
入力（共通）	AKI1	比例定数 1（Kp1）	0000H-FFFFH	データ型：signed short
	AKI2	比例定数 2（Kp2)		
	ADUTYMX	電流デューティ制限値（Dutylimit）	00H-FFH	データ型：unsigned char

注意 1. レジスタ AKI1，AKI2，および ADUTYMX は，チャネル 1～3 で共通に使用されます。

2. ADUTYMX レジスタは，内部比較のために 256 を掛けた値として使用されます。

3. 内部で計算された値がオーバフローした場合，結果として ADUTYMX レジスタに設定された値が出力されます（ビット 15～8：ADUTYMX レジスタの値，ビット 7～0：00H）。

4. 前回レジスタ（ADUTYLx，AIPLx [x = 1, 2, 3]）は，2 回目の計算から設定する必要はありません。計算が完了するとデータが自動的に設定されます。

DC/DC 制御向け PI 制御の計算：

```
// AAU: PI control for DC/DC converter (Channel.1)
signed long    temp32_0, temp32_1;

temp32_0 = (signed long)(AL1REF – AIPL1) * (signed long)AKI2;
temp32_1 = (signed long)(ADTREG0 – AL1OFS);
temp32_0 = temp32_0 + ((signed long)AL1REF – temp32_1) * (signed long)AKI1;
temp32_0 = temp32_0 + (signed long)ADUTYL1;
// < Overflow/underflow check >
if (temp32_0 > (signed long)(ADUTYMX * 256)) {
    temp32_0 = (signed long)(ADUTYMX * 256);
}
else if (temp32_0 < 0) {
    temp32_0 = 0;
}
AIPL1 = (unsigned short)temp32_1;
ADTREG0 = (unsigned short)temp32_0;
```

操作例（チャネル 1 計算）：

最初の設定：

(1) ACTLREG レジスタの設定（OPC[4:0] = 10000B（DC/DC 制御向け PI 制御 1 チャネル 1），STM = 0（最終オペランド書き込みを演算開始トリガに選択））します。

ACTLREG = 80H;

(2) 各レジスタにデータを設定します（AL1REF / AL1OFS / AKI1 / AKI2 / ADUTYMX / AIPL1）

AL1REF = チャネル 1 の電流基準値

AL1OFS = チャネル 1 の電流オフセット値

AKI1/AKI2 = 比例定数（Kp1，Kp2）値;

ADUTYMX = 電流デューティ制限値;

AIPL1 = チャネル 1 の前回の電流値（例：電流の最新 A/D 変換値－電流オフセット値（AL1OFS））;

(3) ADTREG0 レジスタを設定します（演算開始）

ADTREG0 =チャネル 1 の電流データ。

(4) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(5) ADTREG0 レジスタから結果を読み取ります

[ADTREG0 レジスタのビット 15～8：次の PWM デューティ値]

[ADTREG0 レジスタのビット 7～4：小数点以下の値（例：PWM ディザリング・カウンタ値として使用）]

次の演算の前に AAU 関連のレジスタが変更された場合，AIPL1 レジスタの値が格納されます。

2 回目以降の設定：（AAU 関連のレジスタが最初の設定から変更されていない場合）

(1) ACTLREG レジスタの設定

(2) ADTREG0 レジスタの設定（演算開始）

(3) ACTLREG レジスタの OST ビットが“0”になるまで待ちます。

(4) ADTREG0 レジスタから結果を読み取ります

[ADTREG0 レジスタのビット 15～8：次の PWM デューティ値]

[ADTREG0 レジスタのビット 7～4：小数点以下の値]

注意　AAU 関連のレジスタにアクセスする前に，必ず AAUWINR レジスタのビット AAUPAGE1 と AAUPAGE0 を対応する値に設定してください。

27.4 アプリケーション・アクセラレータ・ユニットの注意事項

(1) アプリケーション・アクセラレータ・ユニットの動作中（ACTLREG レジスタの OST ビット= 1 の期間）は，ADTREGi（i = 0～3）の書き換えは禁止です。書き換えた場合，演算結果は保証されません。

(2) アプリケーション・アクセラレータ・ユニットの動作中（ACTLREG レジスタの OST ビット= 1 の期間）は，ACTLREG の書き換えは禁止です。書き換えた場合，演算結果は保証されません。

(3) STOP 命令を実行する前に，アプリケーション・アクセラレータ・ユニットの演算を完了する必要があります。アプリケーション・アクセラレータ・ユニットの動作中に STOP 命令を実行した場合，演算結果は保証されません。

第28章　機能安全

28.1　機能安全の概要

安全規格 IEC60730，ISO26262（ASIL B）に対応するため，RL78/F23, F24 では以下の安全機構を搭載しています。この機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

(1)　フラッシュ・メモリ CRC 演算機能（高速 CRC，汎用 CRC）

CRC 演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて，以下の 2 つの CRC を使い分けることができます。

- 「高速 CRC」：初期設定ルーチンの中で，CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用 CRC」：CPU 動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

(2)　内部 RAM ECC 機能

2 ビットのエラー検出および 1 ビットの訂正が可能です。

(3)　CAN RAM-ECC 機能（RL78/F24 のみ）

2 ビットのエラー検出および 1 ビットの訂正が可能です。

(4)　コード・フラッシュ・メモリ ECC 機能

1 ビットのエラー訂正，累積エラー検出（AED），新規エラー検出（BED），新規エラー・アドレスとシンドローム・コードのキャプチャ，エラー・アドレス・オーバフロー（OVF），マスク可能割り込み（INTROM）が可能です。

(5)　CPU スタック・ポインタ・モニタ機能

スタック・ポインタのオーバフロー，アンダフローを検出します。

(6)　クロック・モニタ機能

システム・クロック（f_{MAIN}）およびメイン／PLL 選択クロック（f_{MP}）の発振をモニタすることにより，発振停止を検出します。

(7)　不正メモリ・アクセス検出機能

不正メモリ領域（メモリが存在しない，アクセスが制限されている領域）への不正なアクセスを検出します。

(8)　周波数検出機能

TAU を使用して，発振周波数を検出することができます。

(9)　A/D テスト機能

基準電圧を A/D 変換することにより，A/D 変換の自己チェックができ，アナログ入力端子のオープン・モード障害を検出できます。

- 12 ビット A/D コンバータ自己診断

  アナログ変換レベルは，ゼロ・コード・テスト（AV_{REFM}，または V_{SS}），フル・コード・テスト（AV_{REFP}，または V_{DD}），または 1/2 コード・テスト（AV_{REFP} × 1/2，または V_{DD} × 1/2）から選択できます。

- 断線検出アシスト機能（プリチャージまたはディスチャージ）

  本 A/D コンバータには、アナログ入力に接続した配線の断線検出をアシストするプリチャージ機能とディスチャージ機能が組み込まれています。

(10) ウォッチドッグ・タイマ機能

ウォッチドッグ・タイマ機能は，意図しないプログラム・ループまたはスタックを検出するために使用します。異常を検出すると，内部リセット信号を発生させます。

28.2　機能安全で使用するレジスタ

機能安全では，各機能で次のレジスタを使用します。

表 28－1　機能安全で使用するレジスタ

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ	機能安全における各機能
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	00H	1, 8	フラッシュ・メモリCRC演算機能（高速CRC）
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	0000H	16	
FFFACH	CRC入力レジスタ	CRCIN	00H	8	CRC演算機能（汎用CRC）
F02F9H	CRC演算モード制御レジスタ	CRCMD	00H	8	
F02FAH	CRCデータ・レジスタ	CRCD	0000H	16	
F0200H	エラー・アドレス格納レジスタ	ERADR	0000H	16	内部RAM ECC機能
F0202H	1ビット・エラー検出割り込み許可レジスタ	ECCIER	00H	8	
F0203H	ビット・エラー検出レジスタ	ECCER	00H	8	
F0204H	ECCテスト・プロテクト・レジスタ	ECCTPR	00H	8	
F0205H	ECCテスト・モード・レジスタ	ECCTMDR	00H	8	
F0206H	ライト・データ反転レジスタ	ECCDWRVR	0000H	16	
F07C0H	CAN RAM-ECC制御レジスタ	CFDECCTL	0010H	8, 16	CAN RAM-ECC機能
		CFDECCTLL			
F07C1H		CFDECCTLH			
F07C4H	CAN RAM-ECCテスト・モード制御レジスタ	CFDECTMC	0000H	8, 16	
		CFDECTMCL			
F07C5H		CFDECTMCH			
F07C8H	CAN RAM-ECCデコーダ入力ECCビット置換テスト・レジスタ	CFDECERDB	00H	8	
F07CAH	CAN RAM-ECC冗長ビット・テスト・レジスタ	CFDECHORD	00H	8	
F07CBH	CAN RAM-ECCシンドローム・テスト・レジスタ	CFDECSYND	00H	8	
F07CCH	CAN RAM-ECCデコーダ入力データ置換テスト・レジスタL	CFDECTEDL	0000H	16	
F07CEH	CAN RAM-ECCデコーダ入力データ置換テスト・レジスタH	CFDECTEDH	0000H	16	
F07D0H	CAN RAM-ECCエラー・アドレス・レジスタ	CFDECEAD	0000H	16	
F00B8H	コード・フラッシュ・ビット・エラー検出機能制御レジスタ	CFERRCTLR	00H	8	コード・フラッシュECC機能
F00B9H	コード・フラッシュ・ビット・エラー検出機能ステータス・レジスタ	CFERRSTR	00H	8	
F00BAH	コード・フラッシュ・ビット・エラー検出アドレス・レジスタL/ コード・フラッシュ・ビット・エラー検出アドレス・レジスタnL	ERRADRL/ ERRADRnL	FFFCH	16	
F00BCH	コード・フラッシュ・ビット・エラー検出アドレス・レジスタH/ コード・フラッシュ・ビット・エラー検出アドレス・レジスタnH	ERRADRH/ ERRADRnH	3F0FH	16	
F00CCH	フラッシュ・ライト・バッファ・レジスタL	FLWL	0000H	16	
F00CEH	フラッシュ・ライト・バッファ・レジスタH	FLWH	0000H	16	
FFFC6H	フラッシュECCライト・バッファ・レジスタ	FLWE	00H	8	
F00D8H	SPMコントロール・レジスタ	SPMCTRL	00H	8	スタック・ポインタ・モニタ機能
F00DAH	SPオーバフロー・アドレス設定レジスタ	SPOFR	FFFEH	16	
F00DCH	SPアンダフロー・アドレス設定レジスタ	SPUFR	0000H	16	
F02CCH	クロック・モニタ・テスト・レジスタ	CLMTES	00H	1, 8	クロック・モニタ機能
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	00H	8	不正メモリ・アクセス検出機能
F0074H	タイマ入力選択レジスタ0	TIS0	00H	8	周波数検出機能
FFFA4H	システム・クロック制御レジスタ	CKC	00H	1, 8	
F06BEH	A/D拡張コントロール・レジスタ [Page.0]	ADCER	0000H	16	A/Dテスト機能
F06BEH	A/D自己診断データ・レジスタ [Page.1]	ADRD	0000H	16	
F06BAH	A/D断線検出コントロール・レジスタ [Page.7]	ADDISCR	00H	8	
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	1AH/ 9AH 注	8	ウォッチドッグ・タイマ機能

注　WDTE レジスタのリセット値は，ユーザ・オプション・バイト（000C0H/040C0H）の WDTON ビット設定値によって異なります。

備考　n = 1-3

28.3 機能安全の動作

28.3.1 フラッシュ・メモリ CRC 演算機能（高速 CRC）

IEC60730 ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段として CRC が推奨されています。RL78/F23, F24 が備える高速 CRC では，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM 上のプログラムによるメイン・システム・クロックでの HALT モードでのみ動作可能です。

高速 CRC は，CPU を停止させて，フラッシュ・メモリから 1 クロックで 32 ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です（例：動作クロック 40 MHz 時，フラッシュ・メモリ 64 KB を 410 μs でチェック）。

CRC 生成多項式は CRC-16-CCITT の「$X^{16} + X^{12} + X^{5} + 1$」に対応しています。

高速 CRC は，ビット 31→ビット 0 の MSB ファーストで演算します。

注意　オンチップ・デバッグでは，モニタ・プログラムの配置のために CRC 演算結果が異なります。

備考　汎用 CRC は LSB ファーストのため，高速 CRC と汎用 CRC では演算結果が異なります。

【制御レジスタ】

(1)　フラッシュ・メモリ CRC 制御レジスタ（CRC0CTL）

高速 CRC 演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTL レジスタは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 28－1　フラッシュ・メモリ CRC 制御レジスタ（CRC0CTL）のフォーマット

アドレス：F02F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速 CRC 演算器の動作制御
0	動作停止
1	HALT 命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速 CRC 演算範囲
0	0	0	0	0	0	00000H-3FFBH（16 K バイト-4 バイト）
0	0	0	0	0	1	00000H-7FFBH（32 K バイト-4 バイト）
0	0	0	0	1	0	00000H-BFFBH（48 K バイト-4 バイト）
0	0	0	0	1	1	00000H-FFFBH（64 K バイト-4 バイト）
0	0	0	1	0	0	00000H-13FFBH（80 K バイト-4 バイト）
0	0	0	1	0	1	00000H-17FFBH（96 K バイト-4 バイト）
0	0	0	1	1	0	00000H-1BFFBH（112 K バイト-4 バイト）
0	0	0	1	1	1	00000H-1FFFBH（128 K バイト-4 バイト）
0	0	1	0	0	0	00000H-23FFBH（144 K バイト-4 バイト）
0	0	1	0	0	1	00000H-27FFBH（160 K バイト-4 バイト）
0	0	1	0	1	0	00000H-2BFFBH（176 K バイト-4 バイト）
0	0	1	0	1	1	00000H-2FFFBH（192 K バイト-4 バイト）
0	0	1	1	0	0	00000H-33FFBH（208 K バイト-4 バイト）
0	0	1	1	0	1	00000H-37FFBH（224 K バイト-4 バイト）
0	0	1	1	1	0	00000H-3BFFBH（240 K バイト-4 バイト）
0	0	1	1	1	1	00000H-3FFFBH（256 K バイト-4 バイト）
上記以外						設定禁止

備考　フラッシュ・メモリの最後の 4 バイトには，あらかじめ比較用の CRC 演算結果期待値を入れてください。そのため，演算範囲は 4 バイトを除いた範囲になっています。

16 K バイトの最後の 4 バイトには期待値を格納するため，演算対象外とします。

(2)　フラッシュ・メモリ CRC 演算結果レジスタ（PGCRCL）

高速 CRC 演算結果を格納するレジスタです。

PGCRCL レジスタは，16 ビット・メモリ操作命令で設定します。

リセット信号の発生により 0000H になります。

図 28－2　フラッシュ・メモリ CRC 演算結果レジスタ（PGCRCL）のフォーマット

アドレス：F02F2H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8

7	6	5	4	3	2	1	0
PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

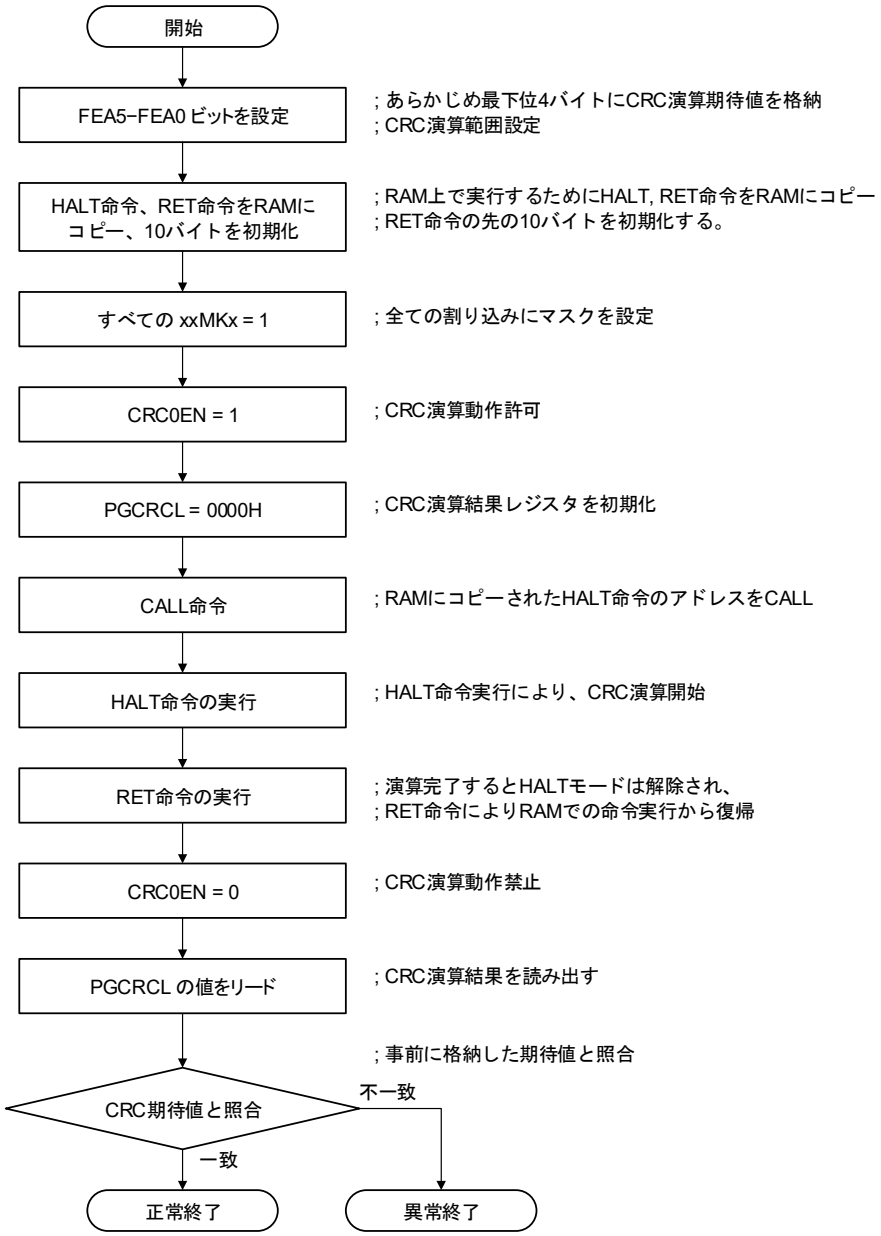
PGCRC15-0	高速 CRC 演算結果
0000H−FFFFH	高速 CRC 演算結果を格納

注意　PGCRCL レジスタは，CRC0EN（CRC0CTL レジスタのビット 7）= 1 の場合のみ，書き込み可能です。

図 28－3 にフラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャートを示します。

【動作フロー】

図 28－3　フラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャート



注意 1. CRC 演算の対象は，コード・フラッシュ・メモリのみです。

2. CRC 演算の期待値は，コード・フラッシュ・メモリ内の演算範囲の後に格納してください。

3. CRC 演算時は，ブート・スワップされません。

4. RAM 領域にて，HALT 命令を実行することで，CRC 演算が有効になります。
必ず RAM 領域で HALT 命令を実行してください。

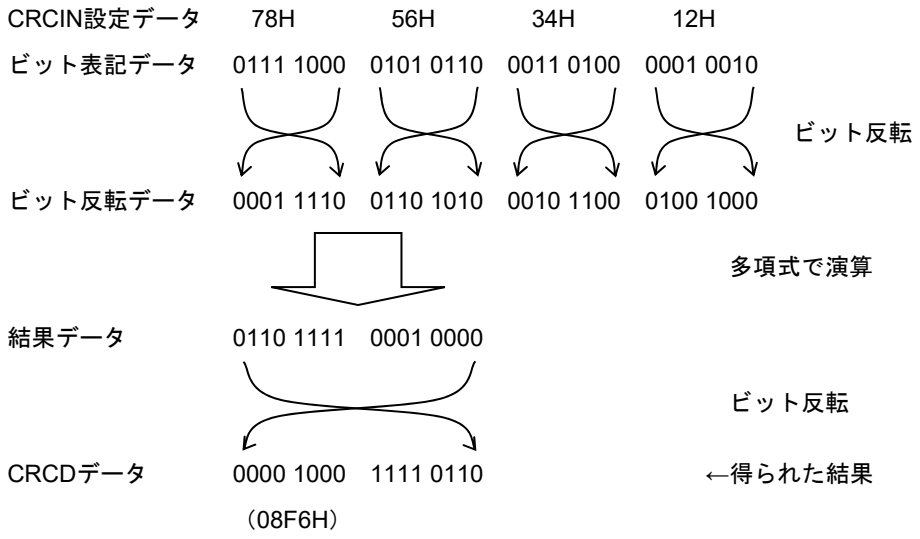
CRC の期待値は，CS+統合開発環境などのツールを使用して計算できます（詳細については，CS+ユーザーズ・マニュアル：CC-RL ビルド・ツールの操作を参照してください）。

28.3.2　CRC 演算機能（汎用 CRC）

RL78/F23 および RL78/F24 の場合，この汎用 CRC で CPU 動作中に周辺機能として CRC 演算を実行できます。汎用 CRC は，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウェア（ユーザ・プログラム）で指定します。HALT モード時の CRC 演算機能は，DTC 転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC 生成多項式は CRC-16-CCITT の「$X^{16}+X^{12}+X^{5}+1$」を使用します。入力するデータは LSB ファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ 12345678H を LSB から送信する場合には 78H，56H，34H，12H の順で CRCIN レジスタに値を書き込むことで，CRCD レジスタから 08F6H の値が得られます。これは，データ 12345678H のビットの並びを反転した以下のビット列に対して CRC 演算を行った結果です。



注意　プログラム実行中，デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため，CRC 演算の対象領域にソフトウェア・ブレークを設定すると，CRC 演算結果が異なります。

【制御レジスタ】

(1)　CRC 入力レジスタ（CRCIN）

汎用 CRC の CRC 計算するデータを設定する 8 ビットのレジスタです。

設定可能範囲は，00H-FFH です。

CRCIN レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 28－4　CRC 入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CRCIN	CRCIN7	CRCIN6	CRCIN5	CRCIN4	CRCIN3	CRCIN2	CRCIN1	CRCIN0

CRCIN7-0	汎用 CRC で CRC 計算するデータを設定
00H-FFH	CRC-CCITT 対応時のデータ入力
00H-0FH	SENT 準拠対応時のデータ入力 注

注　SENT 準拠対応時での CRCIN レジスタへの書き込みの場合は，下位 4 ビット（ビット 3-0）に有効なデータを書き込んでください。上記以外のビットには 0 を書き込んでください（0 以外を書き込んだ場合，下位 4 ビット以外の処理は行わないので，リード時は書き込んだ値となります）。

(2)　CRC 演算モード制御レジスタ（CRCMD）

汎用 CRC 演算モードを選択するレジスタです。

CRCMD レジスタは，8 ビット・メモリ操作命令で設定します。

図 28－5　CRC 演算モード制御レジスタ（CRCMD）のフォーマット

アドレス：F02F9H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CRCMD	0	0	0	0	0	0	0	POLYSEL

POLYSEL	CRC コード生成回路選択ビット
0	CRC-CCITT（$X^{16} + X^{12} + X^5 + 1$）
1	SENT 準拠（$X^4 + X^3 + X^2 + 1$）

注意 1.　SENT 準拠の CRC コードを生成する場合，CRCMD レジスタの POLYSEL ビットをセットしてください。

2.　ビット 7-1 は，読むと 0 が読めます。書く場合，必ず 0 を書いてください。

(3)　CRC データ・レジスタ（CRCD）

汎用 CRC 演算結果を格納するレジスタです。

設定可能範囲は 0000H-FFFFH です。

CRCIN レジスタ書き込みから，CPU／周辺ハードウェア・クロック（f_{CLK}）の 1 クロック経過後に，CRC 演算結果が CRCD レジスタに格納されます。

CRCD レジスタは，16 ビット・メモリ操作命令で設定します。

リセット信号の発生により 0000H になります。

図 28－6　CRC データ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD	CRCD[15:0]															

CRCD[15:0]	汎用 CRC で CRC 演算結果を格納 注1, 2
0000H-FFFFH	CRC-CCITT 対応時の CRC 演算結果
0000H-000FH	SENT 準拠対応時の CRC 演算結果 注3

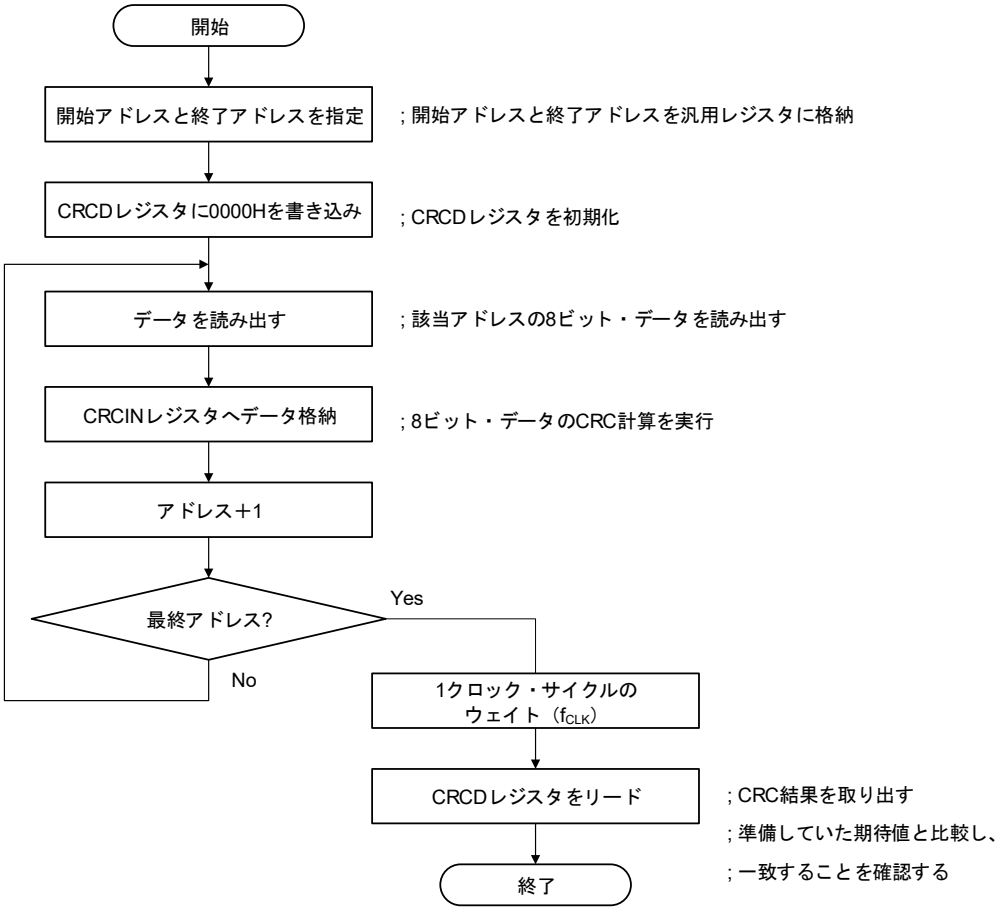
注 1. CRCD レジスタに書き込まれた値を読み出す場合は，CRCIN への書き込みを行う前に読み出してください。

2. CRCD レジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。

3. SENT 準拠対応時での CRCD レジスタへの書き込みは，下位 4 ビット（ビット 3-0）に有効データを書き込んでください。それ以外のビットには 0 を書き込んでください。

【動作フロー】

図 28－7　CRC 演算機能（汎用 CRC）のフロー・チャート



28.3.3　内部 RAM-ECC 機能

RL78/F23, F24 には，内部 RAM-ECC 機能が搭載されています。データ化け（ビット・エラー）を検出し，割り込み要求の発生とビット・エラーの発生したアドレスを保持します。ビット・エラーが 1 ビットの場合，データの訂正を行います。

注意　オンチップ・デバッグ中は，内部 RAM-ECC 機能が動作しません。このため，ECC テスト・モードはオンチップ・デバッグで動作確認を行わないでください。ECC テスト・モードを使用しても，ビット・エラーの検出やエラー・アドレスの格納は行われず，割り込みも発生しません。また，ビット・エラーが 1 ビットの場合でもデータの訂正は行われません。

【制御レジスタ】

シンボル	レジスタ名	アクセス・サイズ
ERADR	エラー・アドレス格納レジスタ	16 ビット
ECCIER	1 ビット・エラー検出割り込み許可レジスタ	8 ビット
ECCER	ビット・エラー検出レジスタ	8 ビット
ECCTPR	ECC テスト・プロテクト・レジスタ	8 ビット
ECCTMDR	ECC テスト・モード・レジスタ	8 ビット
ECCDWRVR	ライト・データ反転レジスタ	16 ビット

(1)　エラー・アドレス格納レジスタ（ERADR）

図 28－8　エラー・アドレス格納レジスタ（ERADR）のフォーマット

アドレス：F0200H　　リセット時：0000H　　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERADR	ERAD															

ERAD	ビット・エラー・アドレス
0000H-FFFFH	ビット・エラー割り込み要求発生時のアドレス

注意 1.　ERADR レジスタは，必ず 16 ビット・メモリ操作命令で読み出してください。

2.　ビット・エラー割り込み要求が発生するごとにレジスタ値が更新されます。

(2)　1 ビット・エラー検出割り込み許可レジスタ（ECCIER）

図 28－9　1 ビット・エラー検出割り込み許可レジスタ（ECCIER）のフォーマット

アドレス：F0202H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ECCIER	0	0	0	0	0	0	0	IEN

IEN	1 ビット・エラー検出割り込み許可ビット
0	割り込み禁止
1	割り込み許可

注意 1.　ECCIER レジスタのビット 1-7 は，読むと 0 が読めます。書く場合，必ず 0 を書いてください。

2.　ビット・エラーが 2 ビットの場合，ECCIER の値にかかわらず INTRAM 割り込み要求が発生します。

(3)　ビット・エラー検出レジスタ（ECCER）

図 28－10　ビット・エラー検出レジスタ（ECCER）のフォーマット

アドレス：F0203H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ECCER	0	0	0	0	0	0	0	DBERR

DBERR	ビット・エラー検出フラグ
0	1 ビット・エラーあり
1	2 ビット・エラーあり

注意 1.　DBERR は 0 を書き込むとクリアされます。

2.　ビット・エラー検出による 1 セットと CPU による 0 クリアが重なった場合は，ビット・エラー検出による 1 セットが優先されます。

3.　ビット・エラー検出割り込み要求（INTRAM）が発生していないときは，DBERR の値は無効です。

(4)　ECC テスト・プロテクト･レジスタ（ECCTPR）

ECCTMDR レジスタの誤った書き換えで ECC テスト・モードに入ってしまうことを防ぐレジスタです。

07H 以外の値をセットすることで ECCTMDR レジスタが書き換わることを防ぐことができます。

図 28－11　ECC テスト・プロテクト・レジスタ（ECCTPR）のフォーマット

アドレス：F0204H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ECCTPR	0	0	0	0	0	TPR2	TPR1	TPR0

TPR2	TPR1	TPR0	ECC テスト・プロテクト・ビット
1	1	1	ECCTMDR レジスタへのアクセス許可
上記以外			ECCTMDR レジスタへのアクセス禁止

(5)　ECC テスト・モード･レジスタ（ECCTMDR）

図 28－12　ECC テスト・モード・レジスタ（ECCTMDR）のフォーマット

アドレス：F0205H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ECCTMDR	0	0	0	0	0	TMD2	TMD1	TMD0

TMD2	TMD1	TMD0	ECC テスト・モード・ビット
0	0	0	通常動作モード
0	0	1	ECC テスト・モード
上記以外			設定禁止

注意 1.　ECCTPR レジスタを 07H に設定してからアクセスしてください。

2.　ECCTMDR レジスタのビット 3-7 は，読むと 0 が読めます。書く場合，必ず 0 を書いてください。

(6)　ライト・データ反転レジスタ（ECCDWRVR）

ECC が正常に動作しているか，書き込みデータのパリティ・ビット，ECC コードを反転させ確認するレジスタです。

図 28－13　ライト・データ反転レジスタ（ECCDWRVR）のフォーマット

アドレス：F0206H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8
ECCDWRVR	0	0	0	PRTYRV	ECCRV3	ECCRV2	ECCRV1	ECCRV0

7	6	5	4	3	2	1	0
DWRV7	DWRV6	DWRV5	DWRV4	DWRV3	DWRV2	DWRV1	DWRV0

PRTYRV	パリティ反転ビット
0	パリティ・ビットを反転しない
1	パリティ・ビットを反転する

ECCRV3	ECC コード反転ビット 3
0	ECC コードのビット 3 を反転しない
1	ECC コードのビット 3 を反転する

ECCRV2	ECC コード反転ビット 2
0	ECC コードのビット 2 を反転しない
1	ECC コードのビット 2 を反転する

ECCRV1	ECC コード反転ビット 1
0	ECC コードのビット 1 を反転しない
1	ECC コードのビット 1 を反転する

ECCRV0	ECC コード反転ビット 0
0	ECC コードのビット 0 を反転しない
1	ECC コードのビット 0 を反転する

DWRV7	ライト・データ反転ビット 7
0	ライト・データのビット 7 を反転しない
1	ライト・データのビット 7 を反転する

DWRV6	ライト・データ反転ビット 6
0	ライト・データのビット 6 を反転しない
1	ライト・データのビット 6 を反転する

DWRV5	ライト・データ反転ビット 5
0	ライト・データのビット 5 を反転しない
1	ライト・データのビット 5 を反転する

（**注意**が次のページにあります。）

DWRV4	ライト・データ反転ビット 4
0	ライト・データのビット 4 を反転しない
1	ライト・データのビット 4 を反転する

DWRV3	ライト・データ反転ビット 3
0	ライト・データのビット 3 を反転しない
1	ライト・データのビット 3 を反転する

DWRV2	ライト・データ反転ビット 2
0	ライト・データのビット 2 を反転しない
1	ライト・データのビット 2 を反転する

DWRV1	ライト・データ反転ビット 1
0	ライト・データのビット 1 を反転しない
1	ライト・データのビット 1 を反転する

DWRV0	ライト・データ反転ビット 0
0	ライト・データのビット 0 を反転しない
1	ライト・データのビット 0 を反転する

注意 1. ECCDWRVR レジスタは，16 ビット・メモリ操作命令で設定します。

2. ECCDWRVR レジスタのビット 13-15 は，読むと 0 が読めます。書く場合は，必ず 0 を書いてください。

3. スタック領域への書き込み等を含むすべての RAM への書き込みが反転しますので，ライト・データ反転ビットをセットする前に，必ず RAM を書き換える可能性のある周辺機能はすべて停止してからライト・データ反転ビットをセットしてください。また，オンチップ・デバッグ・モードでは，ライト・データ反転ビットをセットすることは禁止です。

【ビット・エラー検出割り込み】

ビット・エラーを検出すると割り込み要求信号（INTRAM）を発生し，ビット・エラーを起こしたアドレスをエラー・アドレス格納レジスタ（ERADR）に保持します。また，ビット・エラーが 2 ビットの場合，ビット・エラー検出レジスタ（ECCER）のビット・エラー検出フラグ（DBERR）が 1 にセットされます。

1 ビット・エラー検出割り込み許可レジスタ（ECCIER）により，ビット・エラーが 1 ビットの場合の割り込み要求信号を出力するかしないかを選択できます。

RL78 の CPU は，命令コードを先読みするため，RAM フェッチを行うときには RAM フェッチ空間+10 バイトを初期化して使用してください。

RAM フェッチ領域が初期化されていない場合，命令コードを先読みして ECC エラーが発生する可能性があります。

RAM を初期化せずに使用すると，ユーザ・プログラムで使用していない領域でも先読みによって ECC エラーが発生する場合があります。

【ECC テスト機能】

ECC テスト・モード･レジスタ（ECCTMDR）により，次の 2 つのモードを選択することができます。

- 通常動作モード
- テスト・モード（ビット・エラー訂正機能のテスト）

ECC テスト・モード･レジスタへのアクセスは，ECC テスト・プロテクト･レジスタ（ECCTPR）によるプロテクトを解除した後に行ってください。

ビットを反転させた場合，スタック領域など動作に大きく影響する場合がありますので，電源投入時などのアプリケーションに影響が出ないタイミングで実施してください。

また，RAM からデータを読み出す時に，リード・データ（8 ビット）と ECC コード（4 ビット）及びパリティ・ビット（1 ビット）から，ビット・エラーの有無を検出します。

ビット・エラーがある場合は割り込み要求を出力するとともに，ビット・エラーが発生したアドレスをレジスタに格納します。ビット・エラーが 1 ビットの時はリード・データを正しいデータに訂正します。

(a)　通常動作モード

- データ・ライト時は，ライト・データ（8 ビット）から ECC コード（4 ビット）を生成し，また，ライト・データと ECC コードからパリティ・ビット（1 ビット）を生成します。そして 13 ビットのデータとして RAM に書き込みます。
- データ・リード時は，リード・データ（8 ビット）と ECC コード（4 ビット）およびパリティ・ビット（1 ビット）から，ビット・エラーの有無を検出し，ビット・エラーが 1 ビットの場合は正しいデータに訂正して読み出します。

(b)　テスト・モード（ビット・エラー訂正機能のテスト）

- データ・ライト時は，ライト・データから ECC コードを生成し，また，ライト・データと ECC コードからパリティ・ビットを生成します。ライト・データ反転レジスタ（ECCDWRVR）によりライト・データ（13 ビット）の任意のビットの値を反転させた後，RAM に書き込みます。
- データ・リード時は，リード・データと ECC コードおよびパリティ・ビットから，ビット・エラーの有無を検出し，ビット・エラーが 1 ビットの場合は正しいデータに訂正して読み出します。

28.3.4　CAN RAM-ECC 機能（RL78/F24 のみ）

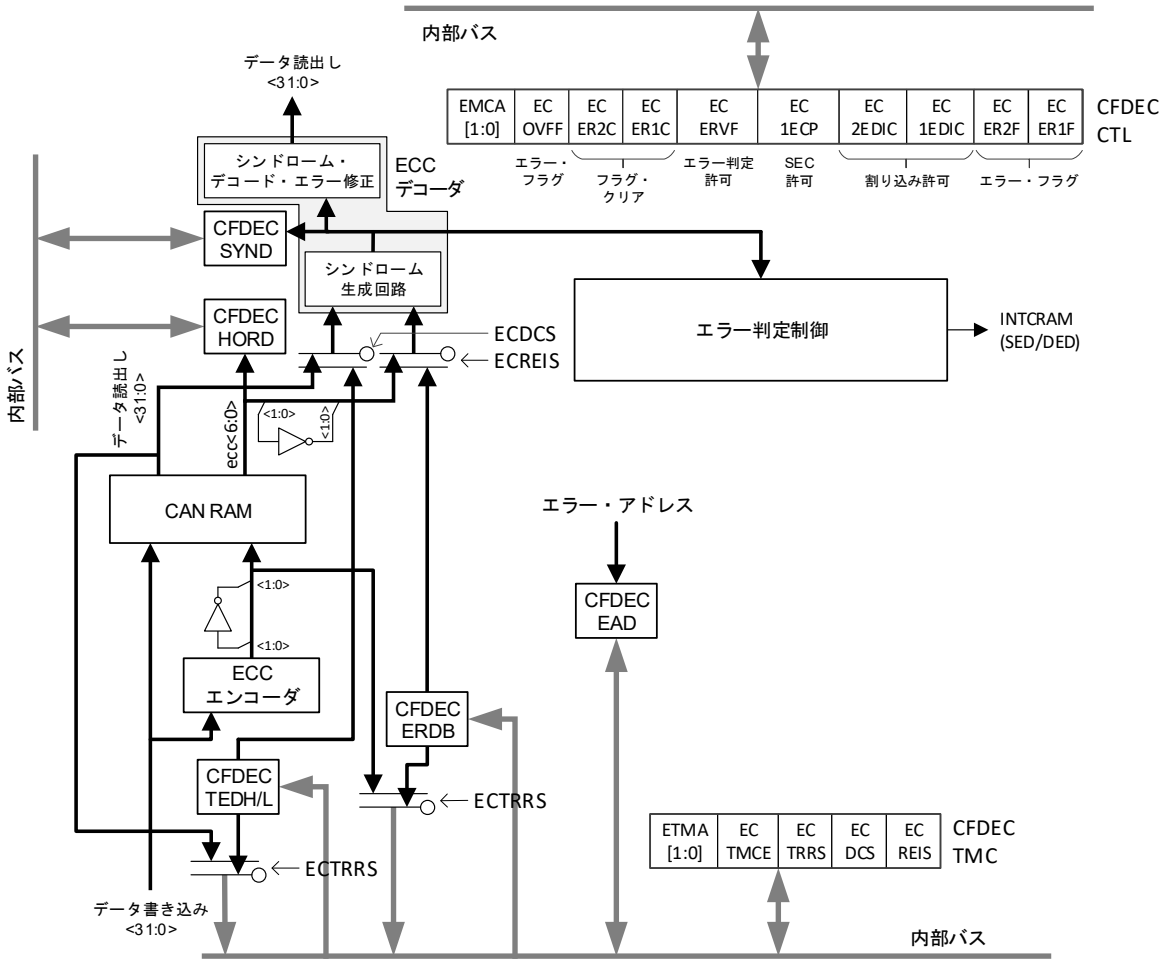
RL78/F24 には，以下の CAN RAM-ECC 機能が搭載されています。SEC，SED，DED，および SED と DED の割り込みに関しては，禁止または許可を選択できます。これらの機能は，ECC テスト・モードを使用してテストできます。

- シングル・ビット訂正（SEC）
- シングル・ビット検出（SED）
- ダブル・ビット検出（DED）
- エラー・アドレス・キャプチャ（CFDECEAD レジスタ）
- エラー・アドレス・オーバフロー（OVF）
- マスク可能割り込み（INTCRAM）

【構成】

図 28－14 に，CAN RAM-ECC 機能のブロック図を示します。

図 28－14　CAN RAM-ECC 機能のブロック図



【制御レジスタ】

シンボル		レジスタ名	アクセス・サイズ
8 ビット	16 ビット		
CFDECCTLL	CFDECCTL	CAN RAM-ECC 制御レジスタ	8 ビット／16 ビット 注
CFDECCTLH			
CFDECTMCL	CFDECTMC	CAN RAM-ECC テスト・モード制御レジスタ	8 ビット／16 ビット 注
CFDECTMCH			
–	CFDECTEDH/ CFDECTEDL	CAN RAM-ECC デコーダ入力データ置換テスト・レジスタ	16 ビット
CFDECSYND	–	CAN RAM-ECC シンドローム・テスト・レジスタ	8 ビット
CFDECHORD	–	CAN RAM-ECC 冗長ビット・テスト・レジスタ	8 ビット
CFDECERDB	–	CAN RAM-ECC デコーダ入力 ECC ビット置換テスト・レジスタ	8 ビット
–	CFDECEAD	CAN RAM-ECC エラー・アドレス・レジスタ	16 ビット

注　CFDECCTL のビット 6 と CFDECTMC のビット 7 は，16 ビット・メモリ操作命令で設定してください。

(1)　CAN RAM-ECC 制御レジスタ（CFDECCTL）

このレジスタは，CAN RAM-ECC 機能を制御するために使用し，16 ビットまたは 8 ビットの操作命令で読み出し／書き込みできます。

図 28－15　CAN RAM-ECC 制御レジスタ（CFDECCTL）のフォーマット

アドレス：CFDECCTL：F07C0H
CFDECCTLL：F07C0H，CFDECCTLH：F07C1H
リセット時：0010H　R/W

略号	15	14	13 注1	12 注1	11 注1	10	9	8 注1
CFDECCTLH	EMCA1	EMCA0	0	0	ECOVFF	ECER2C	ECER1C	0

略号	7	6	5	4	3	2 注1	1 注1	0 注1
CFDECCTLL	0	ECERVF	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	0

EMCA1	EMCA0	ECERVF アクセス制御ビット
0	1	アクセス許可
上記以外		アクセス禁止
これらのビットは，ビット 6 への書き込みを許可または禁止します。読み出し値は常に 00B です。		

ECOVFF	オーバフロー検出フラグ・ビット
0	オーバフロー未発生
1	エラー・アドレス・キャプチャ・バッファ・オーバフロー検出
このフラグが設定されるのは，エラー・アドレスがすでに CFDECEAD にキャプチャされている状態で，1 ビットまたは 2 ビットのエラーが検出され，かつエラー・アドレスがキャプチャされたアドレスと異なる，またはキャプチャされたアドレスと同じだがエラー・タイプが異なる場合です。 次のいずれかにより，このフラグはクリアされます。 ・内部または外部リセット ・ECER2C，ECER1C，ECERVF に 1 を書き込み	

（**注**と**注意**がビット説明の最後にあります。）

ECER2C	2 ビット・エラー検出フラグ・クリア・ビット
0	動作なし
1	2 ビット・エラー検出フラグ（ECER2F）クリア
このビットでビット 2（ECER2F）ステータス・フラグをクリアします。 読み出し値は常に 0 で，ECER2C に 0 を書き込んでも状態は変更されません。 ECER2C への 1 の書き込みがビット 2 の設定条件と矛盾する場合は，前者が優先されます。	

ECER1C	1 ビット・エラー検出フラグ・クリア・ビット
0	動作なし
1	1 ビット・エラー検出フラグ（ECER1F）クリア
このビットでビット 1（ECER1F）ステータス・フラグをクリアします。 読み出し値は常に 0 で，ECER1C に 0 を書き込んでも内部状態は変更されません。 ECER1C への 1 の書き込みがビット 1 の設定条件と矛盾する場合は，前者が優先されます。	

ビット 7	使用不可
0	書き込み値は必ず 0 としてください。読み出し値は 0 です。

ECERVF	ECC エラー判定許可ビット 注4
0	エラー判定禁止
1	エラー判定許可
ECERVF は ECC エラー判定を許可または禁止します。 ECERVF への書き込みアクセスは，ビット 15, 14 の値が 01B の場合に許可されます。	

EC1ECP	1 ビット・エラー訂正制御ビット 注5
0	エラー訂正許可
1	エラー訂正禁止

EC2EDIC	2 ビット・エラー検出割り込み許可ビット
0	割り込み禁止
1	割り込み許可

EC1EDIC	1 ビット・エラー検出割り込み許可ビット
0	割り込み禁止
1	割り込み許可

ECER2F	2 ビット・エラー検出フラグ・ビット 注2
0	エラー検出なし
1	2 ビット・エラー検出
このビットは，エラー検出許可時に CAN RAM から読み出したデータのビット 0-38 で 2 ビット・エラーが検出されたことを示します。このビットは読み出し専用のフラグです。 クリア条件： (1) リセット時 (2) ECER2C または ECERVF に 1 を書き込んだ時	

（注と注意が次のページにあります。）

ECER1F	1 ビット・エラー検出フラグ・ビット注3
0	エラー検出なし
1	1 ビット・エラー検出
このビットは，エラー検出許可時に CAN RAM から読み出したデータのビット 0-38 で 1 ビット・エラーが検出されたことを示します。このビットは読み出し専用のフラグです。 クリア条件： (1) リセット時 (2) ECER1C または ECERVF に 1 を書き込んだ時	

注 1. ビット 0-2, 8, 11-13 は読み出し専用です。

2. CAN RAM の初期化後，このビットをクリアすることが推奨されます。ECER2F と同じ状態が GERFL.EEF でも示されます。GERFL.EEF の詳細は「第 18 章　CAN インタフェース（RS-CANFD lite）」の 18.3.14 章を参照してください。

3. CAN RAM の初期化後，このビットをクリアすることが推奨されます。

4. このビットへの書き込みは，16 ビット・メモリ操作命令でのみ有効です。

5. このビットは GERFL.EEF には影響しません。GERFL.EEF の詳細は「第 18 章　CAN インタフェース（RS-CANFD lite）」の 18.3.14 章を参照してください。

注意　CAN RAM が初期状態になっている場合はエラー判定を行わないでください。ECERVF ビットを 1 に設定して，CAN RAM を初期化してからエラー判定を許可することを推奨します。

(2)　CAN RAM-ECC テスト・モード制御レジスタ（CFDECTMC）

このレジスタは，CAN RAM-ECC テスト機能を制御するために使用します。このレジスタは，16 ビットまたは 8 ビットの操作命令で読み出し／書き込みできます。

図 28－16　CAN RAM-ECC テスト・モード制御レジスタ（CFDECTMC）のフォーマット

アドレス：CFDECTMC：F07C4H
CFDECTMCL：F07C4H，　CFDECTMCH：F07C5H
リセット時：0000H　　R/W

略号	15	14	13 注1	12 注1	11 注1	10 注1	9 注1	8 注1
CFDECTMCH	ETMA1	ETMA0	0	0	0	0	0	0

略号	7	6 注1	5 注1	4	3	2	1	0
CFDECTMCL	ECTMCE	0	0	ECTRRS	0	0	ECDCS	ECREIS

ETMA1	ETMA0	ECTMCE アクセス制御ビット
1	0	アクセス許可
上記以外		アクセス禁止
これらのビットは，ビット 7 への書き込みを許可または禁止します。読み出し値は常に 00B です。		

（注が次のページにあります。）

ECTMCE	ECC テスト・モード制御許可ビット 注2
0	ECC テスト・レジスタ／ビットのアクセス禁止
1	ECC テスト・レジスタ／ビットのアクセス許可
ECTMCE は，テスト・レジスタとテスト制御ビットへのアクセスを許可または禁止します。 ETCMCE への書き込みアクセスは，ビット 15, 14 の値が 10B の場合に許可されます。	

ECTRRS	テスト・レジスタ読み出しデータ選択ビット
0	CFDECTEDH / CFDECTEDL，CFDECERDB レジスタの値を読み出す。
1	CFDECTEDH / CFDECTEDL レジスタを読むと CAN RAM の出力データが読み出されます。 CFDECERDB レジスタを読むと CAN RAM への ECC 入力が読み出されます。
ECTRRS ビットの設定により，CFDECTEDH / CFDECTEDL および CFDECERDB レジスタのソース・データの読み出しを選択できます。 ECTRRS への書き込みアクセスは，ECTMCE が 1 の場合にのみ許可されます（同時設定可能）。 ECTRRS は，ECTMCE に 0 を書き込むことでクリアされます（同期クリア可能）。	

ビット 3, 2	使用不可
0	書き込み値は必ず 0 としてください。読み出し値は 0 です。

ECDCS	ECC デコーダ入力データ切り替えビット
0	CAN RAM からの出力データ（32 ビット長）をデコーダに入力
1	CFDECTEDH / CFDECTEDL レジスタに設定されたデータ（32 ビット長）をデコーダに入力
ECDCS は，デコードする入力信号の下位 32 ビット・データとして，CAN RAM または内部テスト・レジスタ（CFDECTEDH / CFDECTEDL）に設定された値から選択します。 ECDCS への書き込みアクセスは，ECTMCE が 1 の場合にのみ許可されます（同時設定可能）。 ECDCS は，ECTMCE に 0 を書き込むことでクリアされます（同期クリア可能）。	

ECREIS	ECC 冗長ビット・デコーダ入力切り替えビット
0	CAN RAM からの出力データ（7 ビット長）をデコーダに入力
1	CFDECERDB レジスタに設定されたデータ（7 ビット長）をデコーダに入力
ECREIS は，CAN RAM の上位 7 ビット（リダンダント・ビット領域）または内部テスト・レジスタ（CFDECERDB）に設定された値からデコードする入力信号を選択します。 ECREIS への書き込みアクセスは，ECTMCE が 1 の場合にのみ許可されます（同時設定可能）。 ECREIS は，ECTMCE に 0 を書き込むことでクリアされます（同期クリア可能）。	

注 1. ビット 5, 6, 8-13 は読み出し専用です。

2. このビットへの書き込みは，16 ビット・メモリ操作命令でのみ有効です。

(3)　CAN RAM-ECC デコーダ入力データ置換テスト・レジスタ（CFDECTEDH/CFDECTEDL）

このレジスタは ECC 機能テストに使用します。テスト・モード（CFDECTMC.ECTMCE = 1）では，このレジスタのデータを ECC デコーダ入力として選択します。CFDECTMC.ECTMCE = 0 の場合，このレジスタを常に 0 として読み出します。

このレジスタは，16 ビットの操作命令で読み出し／書き込みできます。

図 28－17　CAN RAM-ECC デコーダ入力データ置換テスト・レジスタ（CFDECTEDH/CFDECTEDL）のフォーマット

アドレス：F07CEH　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8
CFDECTEDH	ECEDBH[15:8]							
	7	6	5	4	3	2	1	0
	ECEDBH[7:0]							

アドレス：F07CCH　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8
CFDECTEDL	ECEDBL[15:8]							
	7	6	5	4	3	2	1	0
	ECEDBL[7:0]							

ECEDBH[15:0] / ECEDBL[15:0]	ECC テスト・モード用デコーダ入力データ
0000H-FFFFH	ECDCS ビットが 1 の場合，ECEDBH[15:0] および ECEDBL[15:0]ビットの値が ECC デコーダに入力されます。 ECTRRS ビットが 1 の場合，ECEDBH[15:0] および ECEDBL[15:0]ビットを読み出すと，ECEDBH[15:0] および ECEDBL[15:0]ビットに書き込まれた値ではなく，CAN RAM から出力されるデータが読み出されます。

備考　CFDECTMC.ECTMCE を 1 から 0 に変更すると，CFDECTEDH/CFDECTEDL が同期してリセットされます。

(4)　CAN RAM-ECC シンドローム・テスト・レジスタ（CFDECSYND）

このレジスタは，CFDECTMC.ECTMCE を 1 に設定して ECC テスト・モードを許可した場合にデコード回路で生成されるシンドローム・コードを確認するための読み出し専用レジスタです。このレジスタは，8 ビット操作命令で読み出します。

図 28－18　CAN RAM-ECC シンドローム・テスト・レジスタ（CFDECSYND）のフォーマット

アドレス：F07CBH　　リセット時：00H　　R

略号	7 注	6	5	4	3	2	1	0
CFDECSYND	0	SYND[6:0]						

SYND[6:0]	ECC テスト・モード用 ECC デコード・シンドローム・データ
00H-7FH	ECTMCE ビットが 1（ECC テスト・モード許可）の場合，デコーダへの入力データにより生成されるシンドローム・コードを示します。入力データが変わるとこのデータも変化します。 ECTMCE ビットが 0 の場合，このレジスタを読んでも 00H が読み出されます。

注　ビット 7 は使用不可です。読み出し時は，リセット時の値を返します。

備考　CFDECTMC.ECTMCE を 1 から 0 に変更すると，CFDECSYND が同期してリセットされます。

(5)　CAN RAM-ECC 冗長ビット・テスト・レジスタ（CFDECHORD）

このレジスタは，CFDECTMC.ECTMCE を 1 に設定して ECC テスト・モードを許可した場合に，ECC 冗長 7 ビット・データ（CAN RAM データの上位 7 ビット）を保持します。このレジスタは，8 ビット操作命令で読み出します。

図 28－19　CAN RAM-ECC 冗長ビット・テスト・レジスタ（CFDECHORD）のフォーマット

アドレス：F07CAH　　リセット時：00H　　R

略号	7 注	6	5	4	3	2	1	0
CFDECHORD	0	HORD[6:0]						

HORD[6:0]	ECC テスト・モード用 ECC 冗長ビット・データ
00H-7FH	以下の時に CAN RAM から出力される ECC 冗長ビット（上位 7 ビット）が格納されます。 - テスト・モード許可（CFDECTMC.ECTMCE = 1）時に CAN RAM を読み出した場合 - CFDECTMC.ECTMCE = 1，およびテスト・レジスタ読み出しモード（CFDECTMC.ECTRRS = 1）の時に，CFDECTEDL レジスタを読み出した場合 CFDECHORD レジスタは，ECTMCE = 1 の時のみ有効です。ECTMCE ビットが 0 の場合，このレジスタを読んでも 00H が読み出されます。

注　ビット 7 は使用不可です。読み出し時は，リセット時の値を返します。

備考　CFDECTMC.ECTMCE を 1 から 0 に変更すると，CFDECHORD が同期してリセットされます。

(6)　CAN RAM-ECC デコーダ入力 ECC ビット置換テスト・レジスタ（CFDECERDB）

このレジスタは，ECC デコーダへの ECC エラー注入を可能にする代替バッファ・レジスタです。ECC テスト・モード（CFDECTMC.ECTRRS = 1）時に，ECC 冗長 7 ビット・データをこのレジスタに設定できます。このレジスタは，ECC テスト・モードでのみ読み出し／書き込みできます。

このレジスタは，8 ビットの操作命令で読み出し／書き込みできます。

図 28－20　CAN RAM-ECC デコーダ入力 ECC ビット置換テスト・レジスタ（CFDECERDB）のフォーマット

アドレス：F07C8H　　リセット時：00H　　R/W

略号	7 注	6	5	4	3	2	1	0
CFDECERDB	0	ERDB[6:0]						

ERDB[6:0]	ECC テスト・モード用 ECC 冗長ビット・エラー注入データ
00H-7FH	CFDECTMC レジスタの ECREIS ビットが 1 の場合，デコード回路に入力される上位 7 ビットに代わりに，ERDB[6:0] ビットの値がデコーダ回路で処理されます。 CFDECTMC レジスタの ECTRRS ビットが 1 の場合，CFDECERDB レジスタを読むと，CFDECERDB レジスタに書き込まれたデータの代わりに，CAN-RAM に入力する ECC 冗長ビットが読めます。

注　ビット 7 は使用不可です。読み出し時，リセット時の値を返します。書き込み時，リセット時の値を書き込んでください。

備考　CFDECTMC.ECTMCE を 1 から 0 に変更すると，CFDECERDB が同期してリセットされます。

(7)　CAN RAM-ECC エラー・アドレス・レジスタ（CFDECEAD）

このレジスタは，ECC エラーが発生したアドレスを保持するために使用する読み出し専用レジスタです。

ECC エラー検出許可時に ECC エラーが検出された場合，CAN RAM アドレスが検出信号をトリガにしてラッチされ，ECC エラーが発生したアドレスとして CFDECEAD に格納されます。ただし，エラー・アドレスとエラー・タイプ（SED または DED）がキャプチャされたものと同じ場合は，エラー再発生時にエラー・アドレスがキャプチャされません。

このアドレスは，エラー・ステータスが設定されていない状態で最初の ECC エラーを検出すると保存されます。しかしながら，1 ビット・エラー検出後に 2 ビット・エラーが検出された場合のみ，アドレスが同じかどうかに関係なく，2 つ目の 2 ビット・エラーのアドレスがこのレジスタに上書きされます。

このレジスタに保持できるアドレスは 1 つだけです。

このレジスタは，16 ビットの操作命令で読み出し／書き込みできます。

図 28－21　CAN RAM-ECC エラー・アドレス・レジスタ（CFDECEAD）のフォーマット

アドレス：F07D0H　　リセット時：0000H　　R

略号	15	14	13	12	11	10	9	8
CFDECEAD	0	0	0	0	0	0	ECEAD[9:8]	

7	6	5	4	3	2	1	0
ECEAD[7:0]							

ECEAD[9:0]	ECC エラー・アドレス
0000H-03FFH	ECEAD[9:0] は，CAN RAM-ECC 制御レジスタ（CFDECCTL）の ECER1F ビットまたは ECER2F ビットの設定によりクリアされます。

【ビット・エラー検出割り込み】

ECC 1 ビット・エラー検出割り込み制御ビット（CFDECCTL.EC1EDIC）を使用し，ビット・エラーが 1 ビットの場合に割り込み要求信号を出力するかどうかを指定できます。ECC 2 ビット・エラー検出割り込み制御ビット（CFDECCTL.EC2EDIC）を使用し，ビット・エラーが 2 ビットの場合に割り込み要求信号を出力するかどうかを指定できます。ビット・エラーを検出すると，割り込み要求信号（INTCRAM）を生成し，ビット・エラー・アドレスを ECC エラー・アドレス・レジスタ（CFDECEAD）に保持します。ビット・エラーが 1 ビットの場合は，ビット・エラー検出フラグ（CFDECCTL.ECER1F）が 1 に設定されます。ビット・エラーが 2 ビットの場合は，ビット・エラー検出フラグ（CFDECCTL.ECER2F）が 1 に設定されます。2 ビット・エラーを検出した場合は，アプリケーションを安全な状態に移行しなければなりません。

【CPU 書き込み動作時のビット・エラー検出】

CAN RAM は ECC モジュール経由の 32 ビット幅アクセスであるため，CPU で 8 ビットまたは 16 ビット幅で CAN RAM に書き込みを行う場合，RS-CANFD lite モジュールは CAN RAM に対してリード・モディファイ・ライトを実行します。よって，8 ビットまたは 16 ビット幅で CAN RAM に書き込みを行うことにより，32 ビット・リード・データにビット・エラーがあった場合，RS-CANFD lite モジュールのリード・モディファイ・ライトにおけるリード時に ECC エラーが発生します。

【CAN RAM 初期化時のビット・エラー検出】

CAN RAM の初期値は不定です。したがって，CAN RAM の初期化終了前に RS-CANFD lite から CAN -RAM へのリード・モディファイ・ライトなどの読み出しアクセスを行うと，ECC ビット・エラーが発生する場合があります。そのため，CAN RAM の初期化が終了するまではエラー判定を許可しない（CFDECCTL.ECERVF = 0）ことが推奨されます。

【エラー・アドレス】

エラー・アドレスは，エラー・ステータスが設定されていない状態で最初の ECC エラーを検出すると保存されます。1 ビット・エラーでエラー・アドレスがキャプチャされた状態で別のアドレスの 2 ビット・エラーを検出すると，2 ビット・エラー・アドレスがエラー・アドレス・レジスタに保持され，ECER2F ビットと ECOVFF ビットが設定されます。1 ビット・エラーでエラー・アドレスがキャプチャされた状態で同じアドレスの 2 ビット・エラーを検出すると，ECER2F ビットと ECOVFF ビットが設定され，同じアドレスが上書きされます。

エラー・アドレス・レジスタは，ECER2F または ECER1F のクリア処理によってクリアされるまで，直前のアドレスを維持します。

注 CAN RAM アクセスのエラー・アドレスは，（RS-CANFD lite モジュールではなく）ECC モジュールの一部であるキャプチャ・レジスタで保持されます。キャプチャ・レジスタが内部アドレスを保持しているため，キャプチャされた CAN RAM アドレスは SFR アドレスと一致しません。

RAM アドレスの構成と CAN RAM テスト・パラメータ（Pn, r）の計算

CPU が CAN 受信バッファ ID レジスタ（RMID3）を読み出しているときに ECC エラーが発生すると，RMID3 の SFR アドレス（CFDGRWC.RPAGE = 10B）は，F0504H になります。ただし，この場合，CAN RAM アドレスは 270H（RMNB.RMPLS = 011B の場合）になります。「第 18 章　CAN インタフェース（RS-CANFD lite）」の 18.13.1 章を参照してください。ECC エラー発生時に ECC モジュールによって与えられた CAN RAM アドレスに基づき，18.13.1 章に記載されている情報を使用して，関連するバッファを特定できます。

例として，図 18－48 の構成について検討します。各 RAM のデータが 32 ビットであることから，RAM アドレスは 4 バイト境界のアドレスになります。したがって，ECC エラーのアドレスについては，4 バイト境界のアドレスが示されます。ECC モジュールがアドレス 17CH（380）を ECC エラー発生アドレスとして返した場合，エラーは送受信 FIFO で発生しています。

CAN RAM テスト・モードで ECC エラーRAM アドレスにアクセスするため，GTSTCFG.RTMPS[3:0] および RPGACCr レジスタ・インデックス（r）で定義される関連ページ番号（Pn）を次のように計算できます。

- Pn = floor (address / (256/4)) = floor (380 / (256/4)) = 5
- r = mod (address / (256/4)) = mod (380 / (256/4)) = 60

CAN RAM テスト・モード，GTSTCFG レジスタ，RPGACCr の詳細は，「第 18 章　CAN インタフェース（RS-CANFD lite）」の 18.3.48，18.3.52，18.11.2.1 章を参照してください。

CAN RAM アドレス，Pn，r，SFR アドレスの関係は次のとおりです。

図 28－22　CAN RAM アドレス，Pn，r，SFR アドレスの関係

GTSTCFG.RTMPS[3:0] ：Pn	RAMテスト ページ・アクセス レジスタ・ インデックス：r	バイト・ アドレス	ワード・ アドレス		SFR アドレス
8	0-5			AFL	
7	6-63	718H	1C6H		F0420H
7	0-5			PFL	
6	52-63	6D0H	1B4H		F0520H
6	0-51			C FIFO RX FIFO RX MB	F04B8H F046CH F0420H
5	0-63				
4	0-63				
3	0-63				
2	4-63	210H	084H		
2	0-3			OTB	－
1	28-63	170H	05CH		
1	12-27	130H	04CH	THL	F0640H
1	0-11			TX MB	
0	0-63	000H	000H		F0504H

【ECC テスト・フロー】

次に，CAN RAM-ECC モジュール診断の主なテスト方法について説明します。

(1) CFDECCTL レジスタの ECERVF ビットを 1 に設定して ECC エラー判定を有効にします。
(2) CFDECTMC レジスタの ECTMCE ビットを 1 に設定して，CAN RAM-ECC テスト・モードを有効にします。
(3) CFDECTMC レジスタの ECDCS ビットと ECREIS ビットを 1 に設定します。
(4) CFDECCTL レジスタの EC2EDIC ビットと EC1EDIC ビットを 1 に，CFDECCTL レジスタの EC1ECP ビットを 0 に設定します。
(5) テスト・データ・ワード（32 ビット）を CFDECTEDH/CFDECTEDL レジスタに書き込み，テスト ECC コード（7 ビット）を CFDECERDB レジスタに書き込みます。
(6) RPGACCrH/L レジスタを読み出して，CAN RAM からデータを読み取ります。
(7) CFDECCTL および CFDECEAD レジスタを読み出して，予想されるエラー・ステータスとエラー・アドレスを確認します。
(8) テスト・データとして 1 ビット・エラーを注入したときに，1 ビット・エラーが修正されているかどうか，CAN RAM の読み出しデータを確認します。
(9) CFDECCTL レジスタのエラー・フラグ ECER2F ビットまたは ECER1F ビットをクリアします。
(10) CFDECTMC レジスタの ECTMCE ビットを 0 に設定して，ノーマル・モードを設定します。

28.3.5　コード・フラッシュ・メモリ ECC 機能

RL78/F23, F24 には，32 ビット・データ用の 6 ビット ECC コードを備えたコード・フラッシュ・メモリ ECC 機能が搭載されています。そのため，1 ビット・エラーは常に訂正されます。しかし，汎用 ECC とは異なり，ECC ビット数の制限から 2 ビット・エラーを直接検出することはできません。

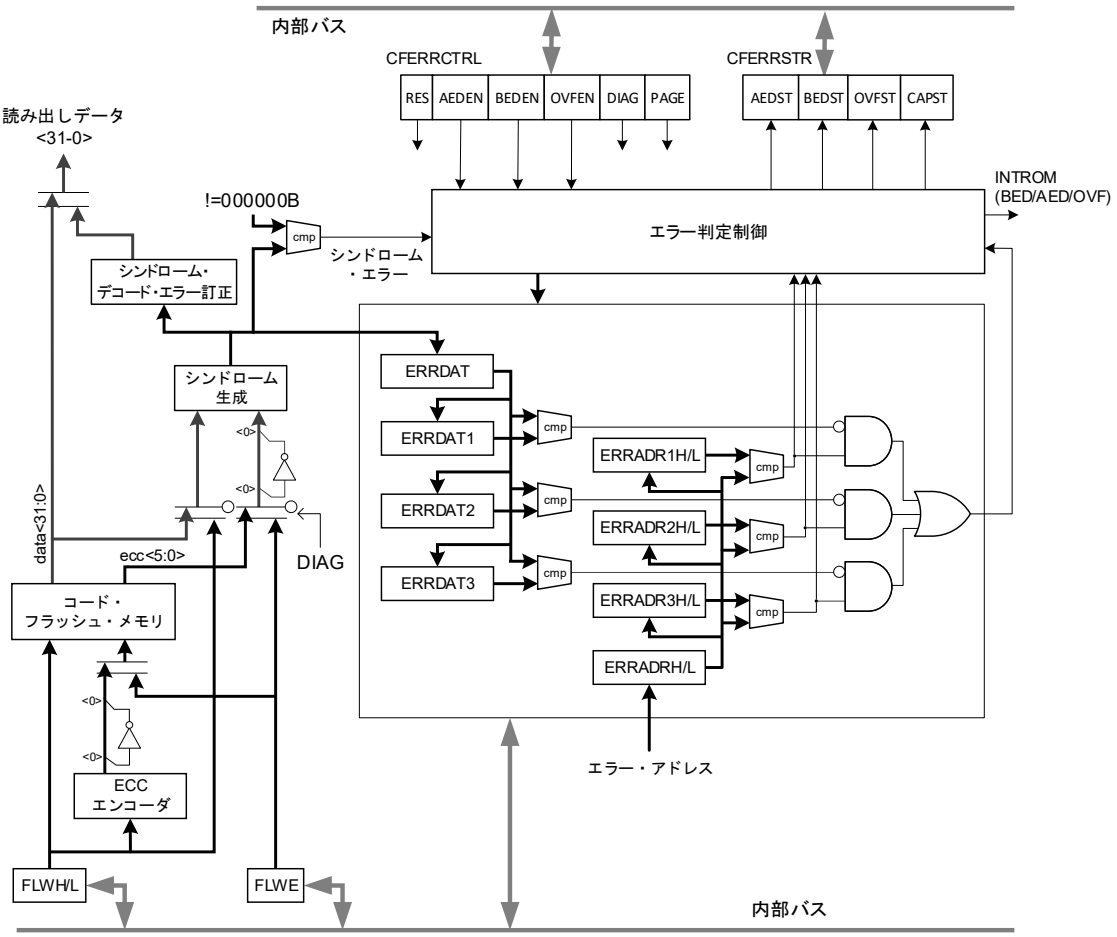
その代わりに，次の機能が実装されています。これらの機能とソフトウェア処理を使用することにより，ユーザはエラーが 1 ビット，2 ビット，または多ビットのいずれであるかを識別できます。機能安全の観点から，CPU を高負荷で使用することなくエラー・タイプを分類して安全な状態で動作させる必要があります。詳細は【ECC 機能】を参照してください。

- シングル・ビット訂正（SEC）
- 累積エラー検出（AED）
- 新規エラー検出（BED）
- 新規エラー・アドレスとシンドローム・コードのキャプチャ
- エラー・アドレス・オーバフロー（OVF）
- コード・フラッシュ ECC に対するマスク可能割り込み（INTROM）

【構成】

図 28－23 に，コード・フラッシュ・メモリ ECC 機能のブロック図を示します。

図 28－23　コード・フラッシュ・メモリ ECC 機能のブロック図



動作の説明：

1. シンドローム・エラー（シンドローム・コードが 000000B でない）が検出され，かつエラー・アドレスがまだキャプチャされていない場合，エラー・アドレスとシンドローム・コードを別々にキャプチャするため，1 つのテンポラリ・バッファ注 と，3 つのパーマネント・バッファ注 が用意されています。キャプチャ・アクションは，INTROM により，BED（新規エラー検出）としてユーザ・ソフトウェアに通知されます。割り込み（INTROM）の発生要因を識別するために，CFERRCTRL.BEDST をユーザ・ソフトウェアで確認してください。

   注　下表にバッファの情報を示します。

バッファ	アドレス	シンドローム・コード
テンポラリ・キャプチャ・バッファ （コード・フラッシュ・ビット・エラー検出アドレス・レジスタ H，コード・フラッシュ・ビット・エラー検出アドレス・レジスタ L）	ERRADRH.ERRADR[19:16], ERRADRL.ERRADR[15:2]	ERRADRH.ERRDAT[5:0]
パーマネント・キャプチャ・バッファ （コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nH，コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nL） （n = 1-3）	ERRADRnH.ERRADRn[19:16], ERRADRnL.ERRADRn[15:2]	ERRADRnH.ERRDATn[5:0]

2. シンドローム・エラーは，そのエラー・アドレスがまだキャプチャされていない場合にのみ BED として通知されます。エラー・アドレスがすでにキャプチャされていて，エラー・シンドロームとキャプチャしたものが同じ場合は，すでにアプリケーションがエラーを認識しており，ECC ロジックで訂正されることになるので，シンドローム・エラーは通知されません。したがって，そのエラー・アドレスに繰り返しアクセスしても同じエラーによってユーザ SW が中断されることはありません。
3. 3 つのパーマネント・キャプチャ・バッファがすべて埋まっている状態で，新規アドレスのシンドローム・エラーが検出されると，エラー・アドレス・オーバフローとして割り込み（INTROM）が発生し，OVFST がセットされます。
4. ★ シンドローム・エラーが検出され，そのエラー・アドレスとパーマネント・キャプチャ・バッファのアドレスが同じ，かつシンドローム・コードがパーマネント・キャプチャ・バッファに保存されたシンドローム・コードと異なる場合，AEDST ビットが "1"（累積エラー検出あり）になり，割り込み（INTROM）が発生します。
5. テンポラリ・キャプチャ・バッファとパーマネント・キャプチャ・バッファは，どちらも通常動作中に読み出すことができ，かつ診断セルフテスト・モード中は読み出し／書き込み可能です。
6. AED（累積エラー検出），BED（新規エラー検出），OVF（エラー・アドレス・オーバフロー）は，RESET シーケンス直後に，CFERRCTLR レジスタの AEDEN，BEDEN，OVFEN ビットの設定により許可します。
7. 次のシンドローム・エラーを検出するためには，AEDST と OVFST はクリアされていなければなりません。
   一方 BED の場合，BEDST がクリアされていなくても，パーマネント・キャプチャ・バッファがいっぱいでなければ，次の BED アドレスはキャプチャされます。BEDST は上書きされますが，この場合，割り込み（INTROM）は発生しません。
8. ECC コードの下位1ビットは ECC エンコーダの後，シンドローム・ジェネレータの前で反転され，スタック all_0 の故障をシンドローム・エラーとして検出します。したがって，コード・フラッシュ・メモリの32ビット・データが FFFF FFFFH と期待される場合，ユーザは消去後に FFFF FFFFH を空白セルに書き込む必要があります。この場合，コード・フラッシュ・メモリに書き込まれる実際の ECC コードは3FH ではなく3EH となります。
9. FLWH/L および FLWE レジスタは，診断セルフテスト・モード時に ECC エラー注入レジスタとして使用できます。

【制御レジスタ】

略号	レジスタ名	アクセス
CFERRCTLR	コード・フラッシュ・ビット・エラー検出機能制御レジスタ	8 ビット
CFERRSTR	コード・フラッシュ・ビット・エラー検出機能ステータス・レジスタ	8 ビット
ERRADRH	コード・フラッシュ・ビット・エラー検出アドレス・レジスタ H	16 ビット
ERRADRL	コード・フラッシュ・ビット・エラー検出アドレス・レジスタ L	16 ビット
ERRADRnH	コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nH	16 ビット
ERRADRnL	コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nL	16 ビット
FLWH/L	フラッシュ・ライト・バッファ・レジスタ	16 ビット
FLWE	フラッシュ ECC ライト・バッファ・レジスタ	8 ビット

備考　n = 0-3

(1)　コード・フラッシュ・ビット・エラー検出機能制御レジスタ（CFERRCTLR）

このレジスタは，コード・フラッシュ・メモリ ECC 機能を制御するために使用します。CFERRCTLR レジスタは，8 ビット操作命令で読み出し／書き込みできます。

図 28－24　コード・フラッシュ・ビット・エラー検出機能制御レジスタ（CFERRCTLR）のフォーマット

アドレス：F00B8H　　リセット時：00H　　R/W

★

略号	7	6	5	4	3	2 注	1	0
CFERRCTLR	RES	AEDEN	BEDEB	OVFEN	DIAG	使用不可	PAGE[1:0]	

RES	コード・フラッシュ・メモリ・エラー検出機能リセット・ビット
0	リセット要求なし
1	リセット要求
リセット・ビットは，CFERRCTLR，CFERRSTR，ERRADRL/H，ERRADRnL/H（n = 1-3）レジスタに対して有効です。	

AEDEN	AED 検出機能許可ビット
0	AED 検出時の割込み発生と AED 検出ステータス・フラグが無効
1	AED 検出時の割込み発生と AED 検出ステータス・フラグが有効

BEDEN	BED 検出機能許可ビット
0	BED 検出時の割込み発生と BED 検出ステータス・フラグが無効
1	BED 検出時の割込み発生と BED 検出ステータス・フラグが有効

OVFEN	OVF 検出機能許可ビット
0	OVF 検出時の割込み発生と OVF 検出ステータス・フラグが無効
1	OVF 検出時の割込み発生と OVF 検出ステータス・フラグが有効

DIAG	コード・フラッシュ・ビット・エラー検出機能自己診断許可ビット
0	自己診断禁止
1	自己診断許可

ビット 2	使用不可
0	書き込み値は必ず 0 としてください。読み出し値は 0 です。

PAGE[1:0]	キャプチャ・レジスタ・アクセス選択ビット
00B	ERRADRL, ERRADRH レジスタのアクセス選択
01B	ERRADR1L, ERRADR1H レジスタのアクセス選択
10B	ERRADR2L, ERRADR2H レジスタのアクセス選択
11B	ERRADR3L, ERRADR3H レジスタのアクセス選択

★ **注**　ビット 2 は書く場合は 0 を書いてください。読んだ場合，動作モードにより読み出し値は異なります。

通常動作モード時　　：0 が読み出されます。

オンチップ・デバッグ・モード時　：不定値が読み出されます。

注意　フラッシュ・メモリ・プログラミング中に DIAG = 1 に設定するのは禁止です。

(2)　コード・フラッシュ・ビット・エラー検出機能ステータス・レジスタ（CFERRSTR）

このレジスタは，コード・フラッシュ・メモリ ECC エラー・ステータスを示します。CFERRSTR レジスタは，8 ビット操作命令で読み出し／書き込みできます。

図 28－25　コード・フラッシュ・ビット・エラー検出機能ステータス・レジスタ（CFERRSTR）のフォーマット

アドレス：F00B9H　　リセット時：00H　　R/W

略号	7 注	6	5	4	3 注	2 注	1	0
CFERRSTR	0	AEDST	BEDST	OVFST	0	0	CAPST[1:0]	

AEDST	AED 検出ステータス・フラグ
0	エラー発生なし
1	AED 検出あり。1 を書くと AEDST ビットは 0 にクリアされます。

BEDST	BED 検出ステータス・フラグ
0	エラー発生なし
1	BED 検出あり。1 を書くと BEDST ビットは 0 にクリアされます。

OVFST	OVF 検出ステータス・フラグ
0	エラー発生なし
1	OVF 検出あり。1 を書くと OVFST ビットは 0 にクリアされます。

CAPST[1:0]	キャプチャ・レジスタ・ステータス・フラグ
00B	AED 検出なし
01B	AED 検出あり（ERRADR1H/L のアドレスで検出）
10B	AED 検出あり（ERRADR2H/L のアドレスで検出）
11B	AED 検出あり（ERRADR3H/L のアドレスで検出）
読み出し専用ビットです。書き込み時は 0 を書き込んでください。	

注　ビット 7, 3 および 2 は読み出し専用です。読み出し値は 0 に固定されています。これらのビットへの書き込みは無視されます。

(3)　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ L（ERRADRL）

このレジスタは，ECC シンドローム・エラー検出時にエラー・アドレス（ビット 15-2）を一時的に保持するために使用されます。エラー・アドレスがこのレジスタにキャプチャされ，その後，次のシンドローム・エラーが検出されると，新しいエラー・アドレスがこのレジスタに上書きされます。このレジスタは，通常モード（CFERRCTLR.DIAG = 0）時は読み出し専用ですが，診断セルフテスト・モード（CFERRCTLR.DIAG = 1）時は 16 ビットの操作命令で読み出し／書き込みできます。

図 28－26　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ L（ERRADRL）のフォーマット

アドレス：F00BAH（CFERRCTLR.PAGE[1:0] = 00B）　リセット時：FFFCH　R (DIAG = 0)，R/W (DIAG = 1)

略号	15	14	13	12	11	10	9	8
ERRADRL	ERRADR[15:8]							

7	6	5	4	3	2	1 注	0 注
ERRADR[7:2]						0	0

ERRADR[15:2]	最新のエラー検出アドレス
0000H-FFFCH	最新のエラー検出アドレス（ビット 15-2）が格納されます。

注　ビット 1, 0 は読み出し専用です。読み出し値は 0 に固定されています。これらのビットへの書き込みは無視されます。

注意　CFERRCTLR レジスタの AEDEN，BEDEN，および OVFEN ビットが無効に設定されている場合，各ステータス・フラグと割り込みは機能しません。ただし，シンドローム・エラーが検出された場合，エラー・アドレスは ERRADRL レジスタに取り込まれます。

(4)　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ H（ERRADRH）

このレジスタは，ECC シンドローム・エラー検出時にエラー・アドレス（ビット 19-16）を一時的に保持するために使用されます。エラー・アドレスがこのレジスタにキャプチャされ，その後，次のシンドローム・エラーが検出されると，新しいエラー・アドレスがこのレジスタに上書きされます。

また，このレジスタは，ECC シンドローム・エラー検出時にエラー・シンドローム・コードを一時的に保持するために使用されます。エラー・シンドローム・コードがこのレジスタにキャプチャされ，その後，次のシンドローム・エラーが検出されると，新しいエラー・シンドローム・コードがこのレジスタに上書きされます。

このレジスタは，通常モード（CFERRCTLR.DIAG = 0）時は読み出し専用ですが，診断セルフテスト・モード（CFERRCTLR.DIAG = 1）時は 16 ビット操作命令で読み出し／書き込みできます。

図 28－27　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ H（ERRADRH）のフォーマット

アドレス：F00BCH（CFERRCTLR.PAGE[1:0] = 00B）　　リセット時：3F0FH　　R (DIAG = 0)，R/W (DIAG = 1)

略号	15 注	14 注	13	12	11	10	9	8
ERRADRH	0	0	ERRDAT[5:0]					

7 注	6 注	5 注	4 注	3	2	1	0
0	0	0	0	ERRADR[19:16]			

ERRDAT[5:0]	最新のエラー検出シンドローム・コード
000000B-111111B	最新のエラー検出シンドローム・コードが格納されます。

ERRADR[19:16]	最新のエラー検出アドレス
0000B-1111B	最新のエラー検出アドレス（ビット 19-16）が格納されます。

注　ビット 15, 14, 7-4 は読み出し専用です。読み出し値は 0 に固定されています。これらのビットへの書き込みは無視されます。

注意　CFERRCTLR レジスタの AEDEN，BEDEN および OVFEN ビットが無効に設定されている場合，各ステータス・フラグと割り込みは機能しません。ただし，シンドローム・エラーが検出された場合，エラー・アドレスとシンドローム・コードは ERRADRL レジスタに取り込まれます。

(5)　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nL（ERRADRnL）（n = 1-3）

エラー・アドレス（ビット 15-2）は，ECC シンドローム・エラーが検出され，エラー・アドレス（ERRADR[19:2]）が ERRADRn[19:2]と一致せず，かつ 3 つのパーマネント・キャプチャ・バッファである本レジスタがすべて埋まっていない場合，本レジスタにキャプチャされます。エラー・アドレスがこのレジスタにキャプチャされると，リセットがアサートされるまでアドレスは保持されます。

このレジスタは，通常モード（CFERRCTLR.DIAG = 0）時は読み出し専用ですが，診断セルフテスト・モード（CFERRCTLR.DIAG = 1）時は 16 ビット操作命令で読み出し／書き込みできます。

注意　起動診断テスト以外の期間に DIAG = 1 に設定して，このレジスタへ書き込み動作を行うことは禁止です。

図 28－28　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nL（ERRADRnL）のフォーマット

アドレス：F00BAH（CFERRCTLR.PAGE[1:0] = 01B, 10B または 11B）　リセット時：FFFCH　R (DIAG = 0)，R/W (DIAG = 1)

略号	15	14	13	12	11	10	9	8
ERRADRnL	ERRADRn[15:8]							

7	6	5	4	3	2	1 注	0 注
ERRADRn[7:2]						0	0

ERRADRn[15:2]	エラー検出アドレス
0000H-FFFCH	エラー検出アドレス（ビット 15-2）が格納されます。

注　ビット 1, 0 は読み出し専用です。読み出し値は 0 に固定されています。これらのビットへの書き込みは無視されます。

注意　CFERRCTLR レジスタの AEDEN，BEDEN および OVFEN ビットが無効に設定されている場合，各ステータス・フラグと割り込みは機能しません。ただし，シンドローム・エラーが検出された場合，エラー・アドレスは ERRADRnL レジスタに取り込まれます。

(6)　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nH（ERRADRnH）（n = 1-3）

エラー・アドレス（ビット 19-16）とエラー・シンドローム・コード（ビット 13-8）は，ECC シンドローム・エラーが検出され，エラー・アドレス（ERRADR[19:2]）が ERRADRn[19:2]と一致せず，かつ 3 つのパーマネント・キャプチャ・バッファである本レジスタがすべて埋まっていない場合，本レジスタにキャプチャされます。エラー・アドレスがこのレジスタにキャプチャされると，リセットがアサートされるまでアドレスが保持されます。このレジスタは，通常モード（CFERRCTLR.DIAG = 0）時は読み出し専用ですが，診断セルフテスト・モード（CFERRCTLR.DIAG = 1）時は 16 ビット操作命令で読み出し／書き込みできます。

注意　起動診断テスト以外の期間に DIAG = 1 に設定して，このレジスタへ書き込み動作を行うことは禁止です。

図 28－29　コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nH（ERRADRnH）のフォーマット

アドレス：F00BCH（CFERRCTLR.PAGE[1:0] = 01B, 10B，または 11B）　リセット時：3F0FH　R (DIAG = 0)，R/W (DIAG = 1)

略号	15 注	14 注	13	12	11	10	9	8
ERRADRnH	0	0	ERRDATn[5:0]					

7 注	6 注	5 注	4 注	3	2	1	0
0	0	0	0	ERRADRn[19:16]			

ERRDATn[5:0]	エラー検出シンドローム・コード
000000B-111111B	エラー検出シンドローム・コードが格納されます。

ERRADRn[19:16]	エラー検出アドレス
0000B-1111B	エラー検出アドレス（ビット 19-16）が格納されます。

注　ビット 15, 14, 7-4 は読み出し専用です。読み出し値は 0 に固定されています。これらのビットへの書き込みは無視されます。

注意　CFERRCTLR レジスタの AEDEN，BEDEN および OVFEN ビットが無効に設定されている場合，各ステータス・フラグと割り込みは機能しません。ただし，シンドローム・エラーが検出された場合，エラー・アドレスとシンドローム・コードは ERRADRnH レジスタに取り込まれます。

(7)　フラッシュ・ライト・バッファ・レジスタ（FLWH/FLWL）

このレジスタには 2 つの機能があります。1 つはフラッシュ・メモリ・プログラミング用のフラッシュ・メモリ書き込みデータ・レジスタ，もう 1 つは意図的に ECC エラー注入を実行するコード・フラッシュ・メモリ ECC 診断セルフテスト用のフラッシュ・メモリ・データ・レジスタです。CFERRCTLR.DIAG を 1 に設定すると，コード・フラッシュ・メモリ ECC セルフテスト用のフラッシュ・メモリ・データ・レジスタとして使用できます。このレジスタは，16 ビット操作命令で読み出し／書き込みできます。

図 28－30　フラッシュ・ライト・バッファ・レジスタ（FLWH/FLWL）のフォーマット

アドレス：F00CEH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW[31:24]							
	7	6	5	4	3	2	1	0
	FLW[23:16]							

アドレス：F00CCH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW[15:8]							
	7	6	5	4	3	2	1	0
	FLW[7:0]							

FLW[31:16]	コード・フラッシュ・メモリ・ライト・データ
0000H-FFFFH	CFERRCTLR レジスタの DIAG ビットが 1 に設定されている場合，ECC セルフテスト・データ（ビット 31～16）として，意図的な ECC エラーを注入します。

FLW[15:0]	コード・フラッシュ・メモリ・ライト・データ
0000H-FFFFH	CFERRCTLR レジスタの DIAG ビットが 1 に設定されている場合，ECC セルフテスト・データ（ビット 15～0）として，意図的な ECC エラーを注入します。

注意 1.　このレジスタは，リセット信号生成時またはフラッシュ初期化レジスタ（FLRST）の FLRST ビットでクリアされます。

2.　データ・フラッシュ・メモリ用の書き込みデータを FLWL の下位 8 ビットに設定してください。

3.　FLWH と FLWL レジスタの詳細については，「第 32 章　フラッシュ・メモリ」を参照してください。

★ (8)　フラッシュ ECC ライト・バッファ・レジスタ（FLWE）

FLWH/L レジスタと同じく，このレジスタには 2 つの機能があります。1 つはフラッシュ・メモリ・プログラミング用のフラッシュ・メモリ書き込み ECC コード・レジスタ，もう 1 つは意図的に ECC エラー注入を実行するコード・フラッシュ・メモリ ECC 診断セルフテスト用のフラッシュ・メモリ ECC コード・レジスタです。CFERRCTLR.DIAG を 1 に設定すると，コード・フラッシュ・メモリ ECC セルフテスト用のフラッシュ・メモリ・データ・レジスタとして使用できます。このレジスタは，8 ビット操作命令で読み出し／書き込みできます。

図 28－31　フラッシュ ECC ライト・バッファ・レジスタ（FLWE）のフォーマット

アドレス：FFFC6H　　リセット後：00H　　R/W

略号	7 注	6 注	5	4	3	2	1	0
FLWE	0	0	FLWE[5:0]					

FLWE[5:0]	フラッシュ・メモリ ECC ライト・データ
000000B-111111B	CFERRCTLR レジスタの DIAG ビットが 1 に設定されている場合，ECC セルフテスト・データとして意図的な ECC エラーを注入します。

注　ビット 7, 6 は読み出し専用です。読み出し値は 0 に固定されています。これらのビットへの書き込みは無視されます。

注意 1.　このレジスタは，リセット信号生成時にクリアされます。

★ **2.　（FSSQ）の DCLR ビットが 0 の場合，FLWE レジスタはフラッシュ・メモリの ECC 領域シーケンサにより ECC データを格納します。DCLR ビットが 1（ECC 領域シーケンサ停止）のときに，FLWE レジスタを診断セルフテストとして使用することができます。**

3.　FLWE レジスタの詳細については，「第 32 章　フラッシュ・メモリ」を参照してください。

【ECC 機能】

- 1 ビット・エラー検出と訂正

1 ビット・エラーは，欠落することなく ECC シンドローム・エラーとして検出することができ，32 ビット・データは常に訂正されます。ただし，汎用の ECC エンコーダとデコーダのロジックの特性により，シンドローム・エラーが 2 ビット・エラーあるいは多ビット・エラーとして検出される場合があります。この場合，その発生割合は非常に低いものですが，32 ビット・データが誤って訂正されます。したがって，機能安全を考慮した場合，BED 検出後に 1 ビット・エラーが真の 1 ビット・エラーであることを確認するためのソフトウェア・テストを適切に追加することが必要です。

SEC 機能は，メモリ・マトリクス上で，アドレスの異なる複数のワード（32 ビット・データ）に 1 ビット・エラーが存在する場合でも，それぞれの 1 ビット・エラーを訂正可能です。しかし，機能安全の観点から，マトリクス内に多数の 1 ビット・エラーが存在する状態は好ましくないため，パーマネント・キャプチャ・バッファが 3 つともいっぱいになり，さらにシンドローム・エラーが検出された場合，OVF（エラー・アドレス・オーバフロー）となります。

- 2 ビット・エラー検出

2 ビット・エラーは，一つの論理ワード（ECC ビットを含む 38 ビット）データ上に 2 ビットのエラーが存在する場合のエラーです。

2 ビット・エラーは，欠落することなくシンドローム・エラーとして検出できますが，DED 機能が実装されていないため，エラーが 2 ビットか 1 ビットかをハードウェアで判別することはできません。その代わり，2 ビット・エラーは 1 ビット・エラーが累積して発生するため，累積エラー検出（AED）機能によって検出できます。

- 多ビット・エラー検出

多ビット・エラーは，ユーザ・ソフトウェア・テスト（例 : BED 発生後に実施するスタートアップ時の CRC テスト，あるいはランタイム中の CRC テストなど）や AED または OVF によって検出できます。

- BED 機能

CFERRCTRL.BEDEN が 1 に設定されると，エラー・アドレスがまだキャプチャされていない状態でシンドローム・エラーが検出された場合，INTROM によって BED が通知され，CFERRSTR.BEDST が 1 に設定されます。この場合，エラー・アドレスとそのシンドローム・コードがキャプチャされます。BED 検出後，次の BED 検出を確認できるようにするため，ユーザ・ソフトウェアで BEDST ビットをクリアしてください。次の BED は，BEDST がクリアされていないと，割り込み（INTROM）は発生しません。ただし，直前の BEDST ビットをクリアする前に次の BED が検出された場合でも，キャプチャ・バッファがいっぱいでなければキャプチャ動作は実行されます。

- AED 機能

CFERRCTRL.AEDEN が 1 に設定されると，同じエラー・アドレスが既にキャプチャされている状態でシンドローム・エラーが検出され，パーマネント・キャプチャ・バッファがいっぱいになっておらず，かつシンドローム・コードがキャプチャしたものと異なる場合，INTROM によって AED が通知され，CFERRSTR.AEDST が 1 に設定されます。シンドローム・コードが異なるということは，別ビットの故障により，38 ビットのフラッシュ・メモリ出力データが以前のデータと異なることを意味しています。つまり AED は，38 ビットのワード・データで 2 ビット以上のエラーが発生したことを示します。AED 検出後，次のシンドローム・エラーを検出できるようにするため，ユーザ・ソフトウェアで AEDST ビットをクリアしてください。AEDST がクリアされていないと，次の BED，AED，OVF が検出されても割り込み（INTROM）は発生しません。ただし，機能安全の観点から，AED 検出時は，ユーザ・ソフトウェアによって直ちに動作を安全な状態に移行させるものとします。その場合は，AEDST ビットを必ずしもクリアする必要はありません。

- OVF 機能

CFERRCTRL.OVFEN が 1 に設定されると，すべてのパーマネント・キャプチャ・バッファ（ERRADRnH/L，n：1-3）がいっぱいの状態でシンドローム・エラーが検出された場合，INTROM によって OVF が通知され，CFERRSTR.OVFST が 1 に設定されます。この場合，次のシンドローム・エラー検出までの間であれば，OVF の原因であるエラー・アドレスを ERRADRH/L レジスタから読み出すことができます。OVF 検出後，次のシンドローム・エラーを検出できるようにするため，ユーザ・ソフトウェアで OVFST ビットをクリアしてください。OVFST がクリアされていないと，次の BED，AED，OVF が検出されても割込み（INTROM）は発生しません。ただし，機能安全の観点から OVF 検出時は，ユーザ・ソフトウェアによって直ちに動作を安全な状態に移行させるものとします。その場合は，OVFST ビットを必ずしもクリアする必要はありません。

- コード・フラッシュ・メモリ ECC 機能を使うための前提条件

ランタイム中に AED 機能と OVF 機能を効果的に使用するには，スタートアップ時に高速 CRC テストを実行する必要があります。スタートアップ時の高速 CRC には 3 つの目的があります。1 つ目は，CRC の結果を確認し，コード・フラッシュ・メモリ・ユーザ領域に 2 ビット・エラーあるいは多ビット・エラーがないことを確認することです。2 つ目は，高速 CRC テスト中に ECC 機能で BED や OVF を検出することです。3 つ目は，BED のアドレスとシンドローム・コードをキャプチャし，あらかじめランタイム中の AED と OVF の検出準備を行うことです。高速 CRC テストについては，「28.3.1　フラッシュ・メモリ CRC 演算機能（高速 CRC）」を参照してください。

- ランタイム・エラー検出のまとめ

起動 CRC 実行後，ハードウェア・エラー検出の概要は下表のようになります。

表 28－2　ランタイム・エラー検出の概要

キャプチャ・バッファ・ステータス	キャプチャしたアドレスの一致	キャプチャしたシンドローム・コードの一致	動作
空きあり	なし	－	新しいアドレスのキャプチャ，BED
	あり	あり	－
		なし	AED
空きなし	なし	－	OVF
	あり	あり	－
		なし	AED

【診断セルフテスト】

図 28－32 に示すように，3 つの診断テスト項目が考えられます。1 つ目がレジスタ・ライト／リード・テスト，2 つ目がコード・フラッシュ ECC 回路テスト，3 つ目がキャプチャ・コンパレータ・テストになります。CFERRCTLR.DIAG を 1 に設定することにより，コード・フラッシュ・メモリ ECC 機能診断セルフテストが実行可能になり，次の機能を利用できるようになります。

- 上記の 2 つ目の項目をテストするため，シンドローム・ジェネレータ入力がフラッシュ・メモリ出力（6 ビット ECC と 32 ビット・データ）から FLWE，FLWH/L レジスタ出力に変更されます。これにより，ECC エラー注入が可能になります。FLWE および FLWH/L を設定後は，RAM フェッチのコード・フラッシュ・メモリ読み出し動作を実行することで，通常どおり ECC エラー検出を行うことができます。その結果，エラー訂正，エラー検出，割り込み，フラグをテストできます。

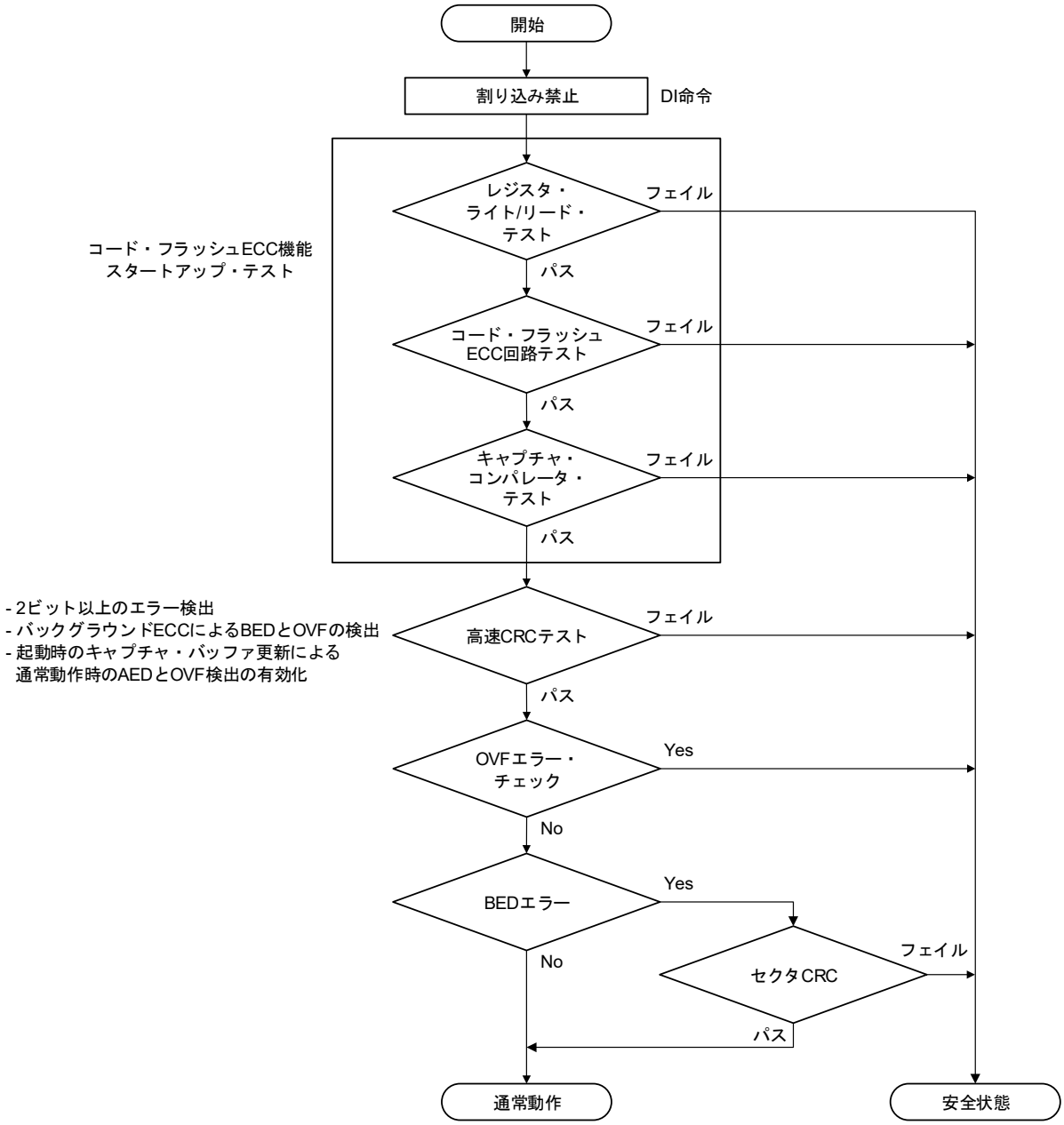
- すべてのキャプチャ・バッファ（ERRADRH/L，ERRADRnH/L）の書き込み動作が許可されます。これは，コンパレータの診断セルフテストを行うためです。図 28－23 のブロック図に示すように，キャプチャ・バッファのコンパレータが 6 つ実装されています。これらのコンパレータをテストし，テスト・カバレッジを十分に達成するには，バッファ・レジスタをキャプチャするのに最適なテスト・パターンを設定する必要があります。キャプチャ・バッファ設定後，AED 検出有無をチェックすることでコンパレータをテストできます。ERRADRL レジスタへの書き込みが AED 検出のトリガになります。したがって，キャプチャ・バッファ書き込み動作使用時は，FLWE，FLWH/L を使用する ECC エラー注入は不要なので禁止されています。そのため，キャプチャ・レジスタを設定する場合は，最後に ERRADRL を書き込むものとします。これにより，キャプチャ・レジスタの設定値が INTROM，AEDST に反映されます。ERRADRL は，データが直前のものと同じであっても，パターンを設定するたびに書き込む必要があります。

注意　上記の 2 つ目のテスト項目では，FLWE および FLWH/L 書き込み動作を使用します。このテスト中は，キャプチャ・バッファの書き込み動作は禁止です。上記の 3 つ目のテスト項目では，キャプチャ・バッファ書き込み動作を使用します。このテスト中は，FLWE および FLWH/L の書き込み動作は禁止です。

【スタートアップ・テスト・フロー】

図 28－32 にスタートアップ・テスト・フローの例を示します。

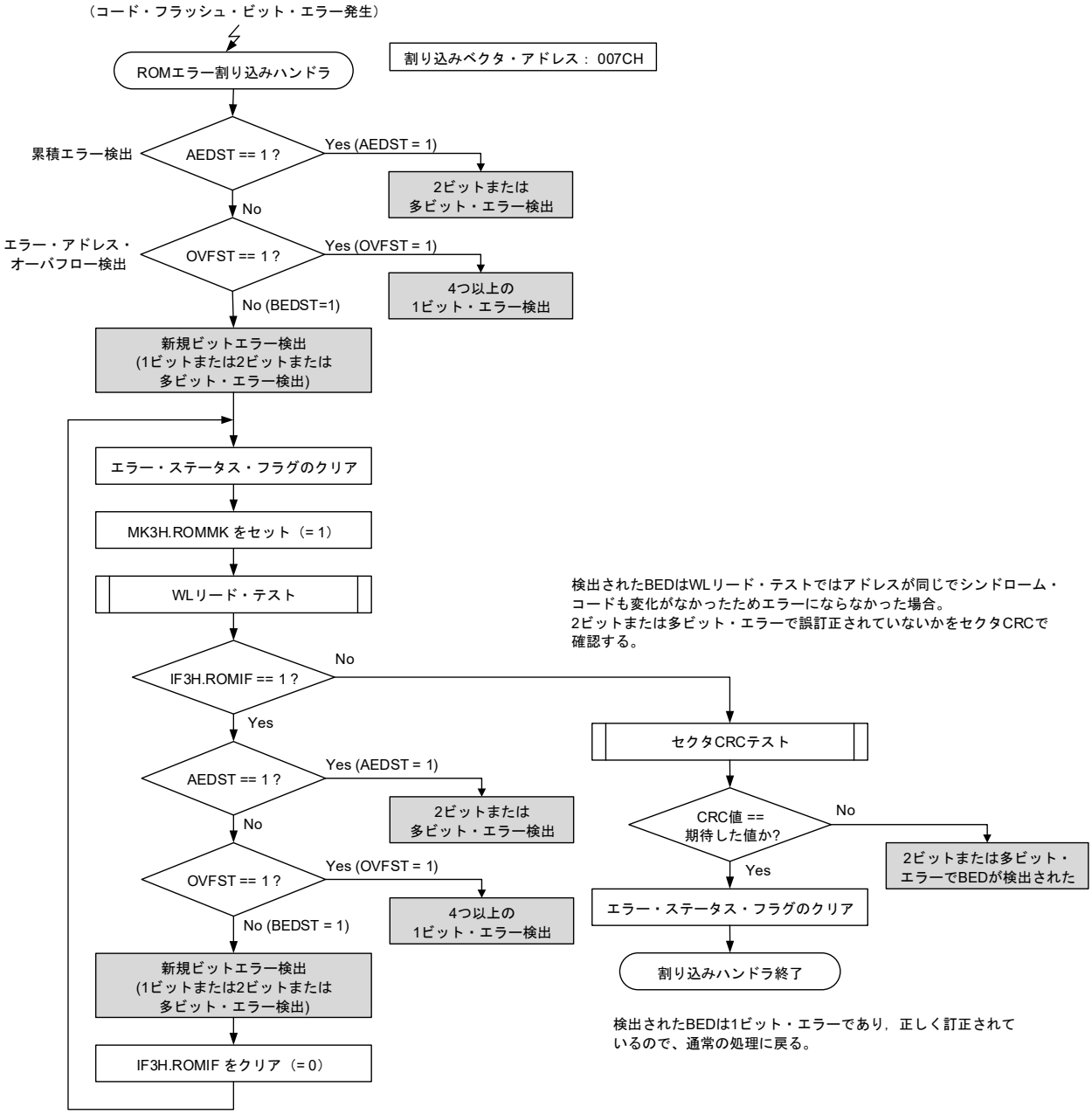
図 28－32　スタートアップ・テスト・フローの例



【ECC エラー処理フロー】

図 28－33 にランタイムにおける ECC エラー検出後の処理フロー例を示します。

図 28－33　ECC エラー処理フローの例



【セクタ CRC】

図 28－32 及び図 28－33 に示したセクタ CRC とは，BED として検出されたエラーが 1 ビット・エラーかどうかを判別するために実行するテストです。BED でエラーとなったアドレスを含むセクタを汎用 CRC でテストすることで，2 ビット・エラーあるいは多ビット・エラーによる ECC での誤訂正を検出できます。図 28－32 のスタートアップ診断テストにおいては，あらかじめ高速 CRC でフラッシュ・メモリの全領域をテストしていたとしても，256K Byte のテストのようにデータ長が長い場合，16 ビット CRC 多項式では 2 ビット・エラーを完全に検出することができない可能性があるため，その不良率が許容できない場合必要になります。

【WL 読み出しテスト】

図 28－33 に示す WL（フィジカル・ワード・ライン）読み出しテストとは，BED 検出時にエラー・タイプを識別するテストです。たとえば，アドレス関連の不良に起因する多ビット・エラーによって BED が検出された場合，そのエラーの多くは，フィジカル・ワード・ライン（メモリ・マトリクスの実際のレイアウト設計に対応するワード・ライン）を読み出すことで判別できます。したがって，エラー・タイプを明確にするため，WL 上のワード・データをすべての読み出すことが推奨されます。WL アドレスは，以下に示すように BED エラー・アドレスから変換できます。各製品の換算式を下表に示します。

RL78/F23	RL78/F24
アドレス[14:7], [1:0] = BED アドレス[14:7], [1:0] アドレス[6:2] = 00H-1FH	アドレス[15:8], [1:0] = BED アドレス[15:8], [1:0] アドレス[7:2] = 00H-3FH

28.3.6　CPU スタック・ポインタ・モニタ機能

本機能により，スタック・ポインタのオーバフローかアンダフローを検出し，割り込みを発生させることができます。

注意　オンチップ・デバッグ・モードでは，この機能を使用しないでください。モニタ・プログラムは RAM を使用するためです。

【構成】

本機能は，以下の機能を有しています。

- SP オーバフロー／アンダフロー検出機能
- SP オーバフロー／アンダフロー割り込み出力機能

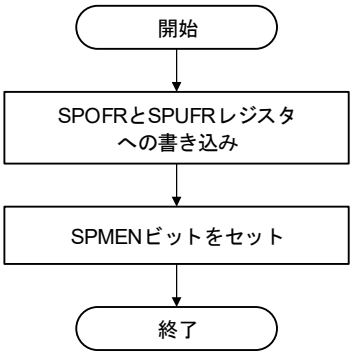
SPM 許可ビット（SPMEN）が 1 のとき，スタック・ポインタを監視してスタック・ポインタの値が設定した SFR 値より大きく（SPOFR より）または小さく（SPUFR より）なると割り込み信号（INTSPM）を生成します。

また，SPM 許可ビット（SPMEN）が 1 のとき，SPOFR，SPUFR レジスタへの書き込みは無効です。

【レジスタ設定方法】

図 28－34 に，この機能のレジスタ設定方法を示します。

図 28－34　レジスタ設定のフロー・チャート



［標準的な使用方法］

1. SPOFR と SPUFR レジスタに初期値を書き込む。
2. SPMCTRL レジスタの SPMEN ビットをセットする。

【制御レジスタ】

シンボル	レジスタ名	アクセス・サイズ
SPMCTRL	SPM コントロール・レジスタ	8 ビット
SPOFR	SP オーバフロー・アドレス設定レジスタ	16 ビット
SPUFR	SP アンダフロー・アドレス設定レジスタ	16 ビット

備考 1. オーバフローまたはアンダフロー状態のまま，新たなオーバフローまたはアンダフローが発生しても検出しません。オーバフローやアンダフローを検出後は，スタック・ポインタを監視範囲内に設定し直してください。

2. オーバフローやアンダフロー割り込みを受け付けた場合，割り込み退避処理のため，必ず「スタック・ポインタ －4」となります。

(1)　SPM コントロール・レジスタ（SPMCTRL）

図 28－35　SPM コントロール・レジスタ（SPMCTRL）のフォーマット

アドレス：F00D8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
SPMCTRL	SPMEN	0	0	0	0	0	0	0

SPMEN	スタック・ポインタ・モニタの SFR ライト許可／禁止
0	スタック・ポインタ・モニタ禁止
1	スタック・ポインタ・モニタ許可

注意　SPMEN ビットは 1 書き込みのみが有効で，SPMEN = 1 とした後の 0 書き込みは無効です。

(2)　SP オーバフロー・アドレス設定レジスタ（SPOFR）

図 28－36　SP オーバフロー・アドレス設定レジスタ（SPOFR）のフォーマット

アドレス：F00DAH　　リセット時：FFFEH　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPOFR	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	0

ビット 15-1	スタック・ポインタのオーバフロー・アドレス設定
0000H-FFFEH	スタック・ポインタのオーバフロー・アドレス

注意　1. 最下位ビットは 0 固定です。

2. スタック・ポインタのビット 15-1 が SPOFR レジスタのビット 15-1 に設定した値よりも大きくなった場合，割り込み信号（INTSPM）を生成します。

スタック・ポインタ ＞ SPOFR レジスタ →INTSPM 割り込み信号生成

3. SPMEN = 1 の場合，SPOFR レジスタへの書き込みは無効です。

(3)　SP アンダフロー・アドレス設定レジスタ（SPUFR）

図 28－37　SP アンダフロー・アドレス設定レジスタ（SPUFR）のフォーマット

アドレス：F00DCH　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPUFR	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	0

ビット 15-1	スタック・ポインタのアンダフロー・アドレス設定
0000H-FFFEH	スタック・ポインタのアンダフロー・アドレス

注意　1. 最下位ビットは 0 固定です。

2. スタック・ポインタのビット 15-1 が SPUFR レジスタのビット 15-1 に設定した値よりも小さくなった場合，割り込み信号（INTSPM）を生成します。

スタック・ポインタ ＜ SPUFR レジスタ →INTSPM 割り込み信号生成

3. SPMEN = 1 の場合，SPUFR レジスタへの書き込みは無効です。

28.3.7　クロック・モニタ機能

クロック・モニタは，低速オンチップ・オシレータを使用してメイン・システム・クロック（f_{MAIN}）およびメイン・システム／PLL 選択クロック（f_{MP}）をサンプリングします。メイン・システム・クロックの発振が停止した場合，リセット要求信号（RESCLM）を生成します。メイン・システム／PLL 選択クロック（f_{MP}）が停止した場合は，強制的にクロック・スルー・モードが選択され，SELPLLS がクリアされます（SELPLL はクリアされません）。同時に割り込み要求信号（INTCLM）を発生します。

クロック・モニタ・モジュールには，クロック・モニタ・セルフテスト・モードが搭載されています。クロック・モニタ・セルフテスト機能は，クロック・モニタが正常に動作しているかどうかを確認するために使用します。

IAWCTL レジスタの GCSC ビットが 1 の場合は，CLMTES レジスタへの書き込みが無効になります。

【制御レジスタ】

シンボル	レジスタ名	アクセス・サイズ
CLMTES	クロック・モニタ・テスト・レジスタ	1 ビット／8 ビット

(1)　構成

クロック・モニタのブロック図を図 28－38 に示します。

図 28－38　クロック・モニタのブロック図

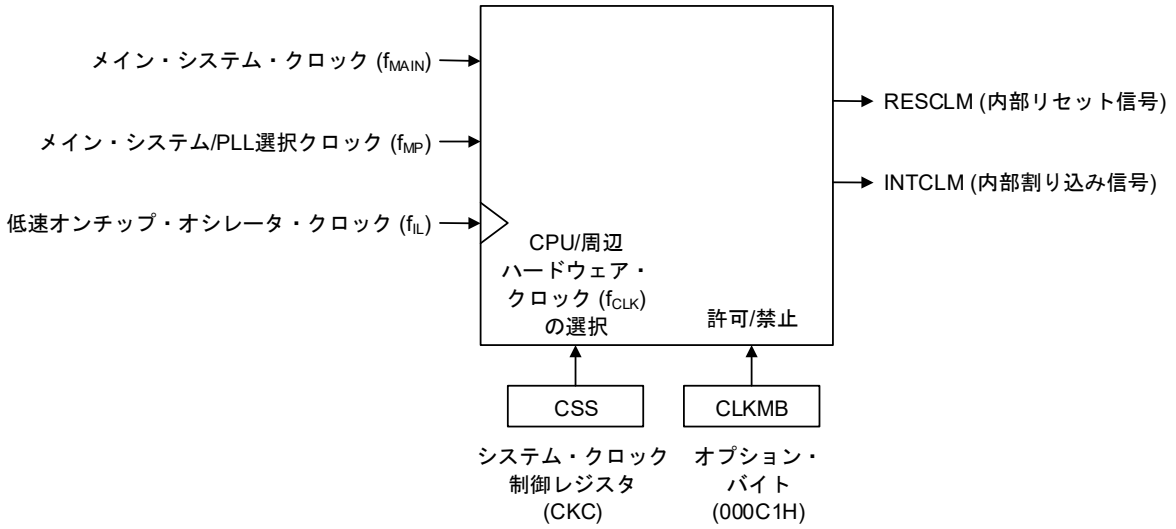


表 28－3　クロック・モニタの動作状態

クロック・モニタ動作状態		クロック・モニタの状態
f_{CLK} = f_{SUB} または f_{IL}		停止
f_{CLK} = $f_{MP}/2^N$	STOP モード	停止
	SNOOZE モード	停止
	MCM0 設定後，発振安定期間	停止
	CLKMB = 1	停止
	CLKMB = 0	動作

(2)　動作開始と停止

クロック・モニタの動作を許可するには，ユーザ・オプション・バイト（000C1H/040C1H）のビット 4（CLKMB）を 0 にします。

低速オンチップ・オシレータの発振動作設定後，クロック・モニタは動作を開始します。

クロック・モニタは次の条件下で自動的に停止します。

- STOP モード中
- SNOOZE モード中
- STOP モード解除後の発振安定時間のカウント中
- CPU/周辺ハードウェア・クロック周波数（f_{CLK}）= サブシステム・クロック（f_{SUB}）または低速オンチップ・オシレータ・クロック（f_{IL}）の場合
- サンプリング・クロックが停止した場合（低速オンチップ・オシレータの停止）
- ユーザ・オプション・バイト（000C1H/040C1H）のビット 4（CLKMB）が 1 の場合

(3)　使用上の注意

クロック・モニタ動作中に PLL を停止して STOP モードに遷移する場合は，PLL 制御レジスタ（PLLCTL）のビット 0（PLLON）を 0（PLL 停止）に設定してから STOP 命令を実行してください。オンチップ・デバッグ中は，クロック・モニタ機能を使用しないでください。

(4)　クロック・モニタ・テスト・レジスタ（CLMTES）

1 ビットまたは 8 ビット・メモリ操作命令で CLMTES レジスタを設定します。

IAWCTL レジスタの GCSC ビットが 1 の場合，CLMTES レジスタへの書き込みは無効です。

図 28－39　クロック・モニタ・テスト・レジスタ（CLMTES）のフォーマット

アドレス：F02CCH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CLMTES	TESEN	0	0	0	CLMTEN	0	CK2MSK	CK1MSK

TESEN	クロック・モニタ・テスト機能許可ビット
0	テスト機能設定禁止
1	テスト機能設定許可

CLMTEN	クロック・モニタ・テスト許可ビット
0	クロック・モニタ・テスト禁止
1	クロック・モニタ・テスト許可

CK2MSK	モニタ・クロック（f_{MP}）テスト・ビット
0	モニタ・クロック停止（Low レベル）
1	モニタ・クロック停止しない

CK1MSK	モニタリング・クロック（f_{MAIN} または f_{MP}）テスト・ビット
0	モニタ・クロック停止（Low レベル）
1	モニタ・クロック停止しない

（**注意**と**備考**が次のページにあります。）

注意 1. 必ず CLMTES レジスタのビット 2，4-6 を 0 に設定してください。

2. TESEN ビットが 0 の場合は，CLMTES レジスタへの書き込みが無効になります。

3. TESEN ビットに 1 を書き込む場合は，ビット 0, 1, 3 をすべて 1 に設定した状態で書き込んでください。

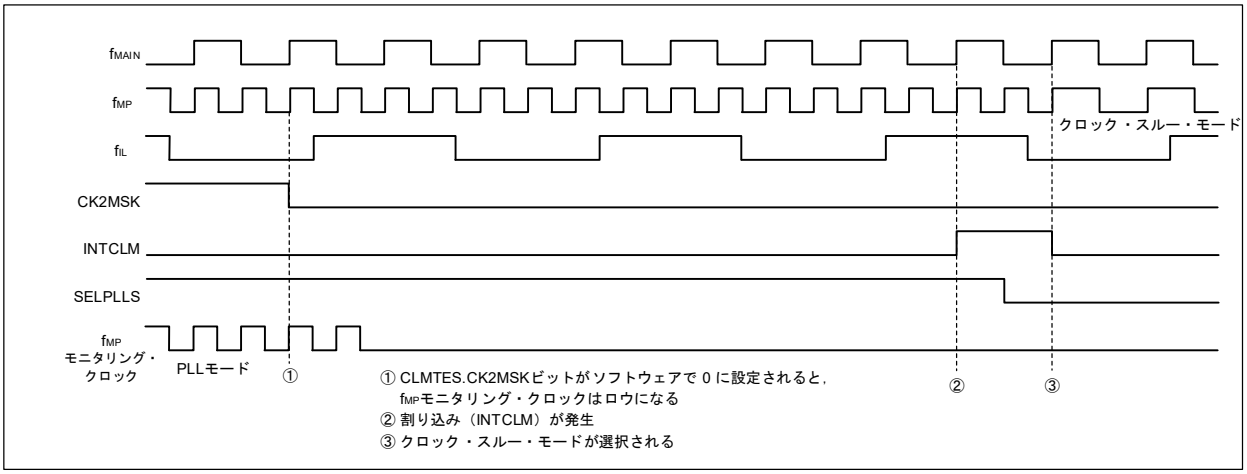
4. デバイスが CK2MSK ビットの設定によりクロック・スルー・モードに入ると，クロック・スルー・モードを解除する方法はリセットだけです。

備考　CLMTES レジスタは，IAWCTL.GCSC ビットによってライト・プロテクトがかかっています。このレジスタは，GCSC ビットが 0 の場合にのみ書き込むことができます。

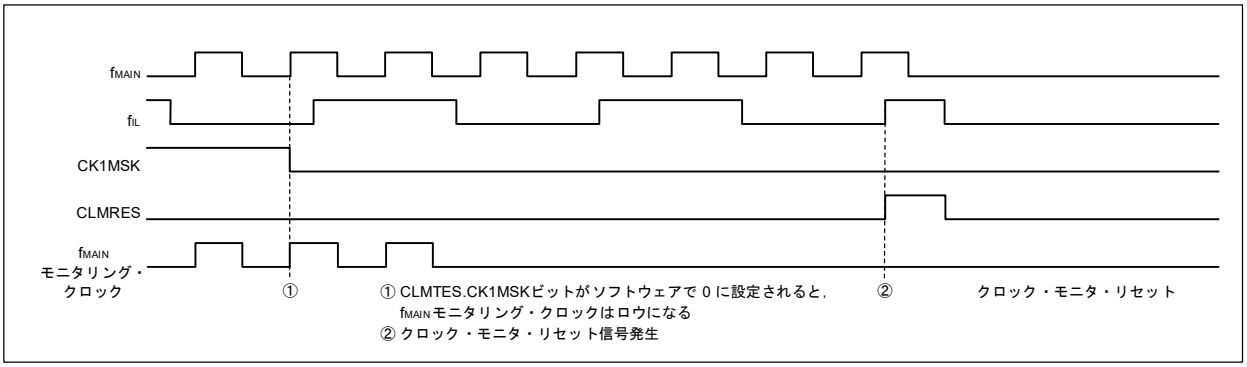
図 28－40 に，クロック・モニタのセルフテスト動作を示します。

★　図 28－40　クロック・モニタ・セルフテスト時の動作

(a) クロック・モニタ・セルフテスト機能（CK2MSK = 0）



(b) クロック・モニタ・セルフテスト機能（CK1MSK = 0）



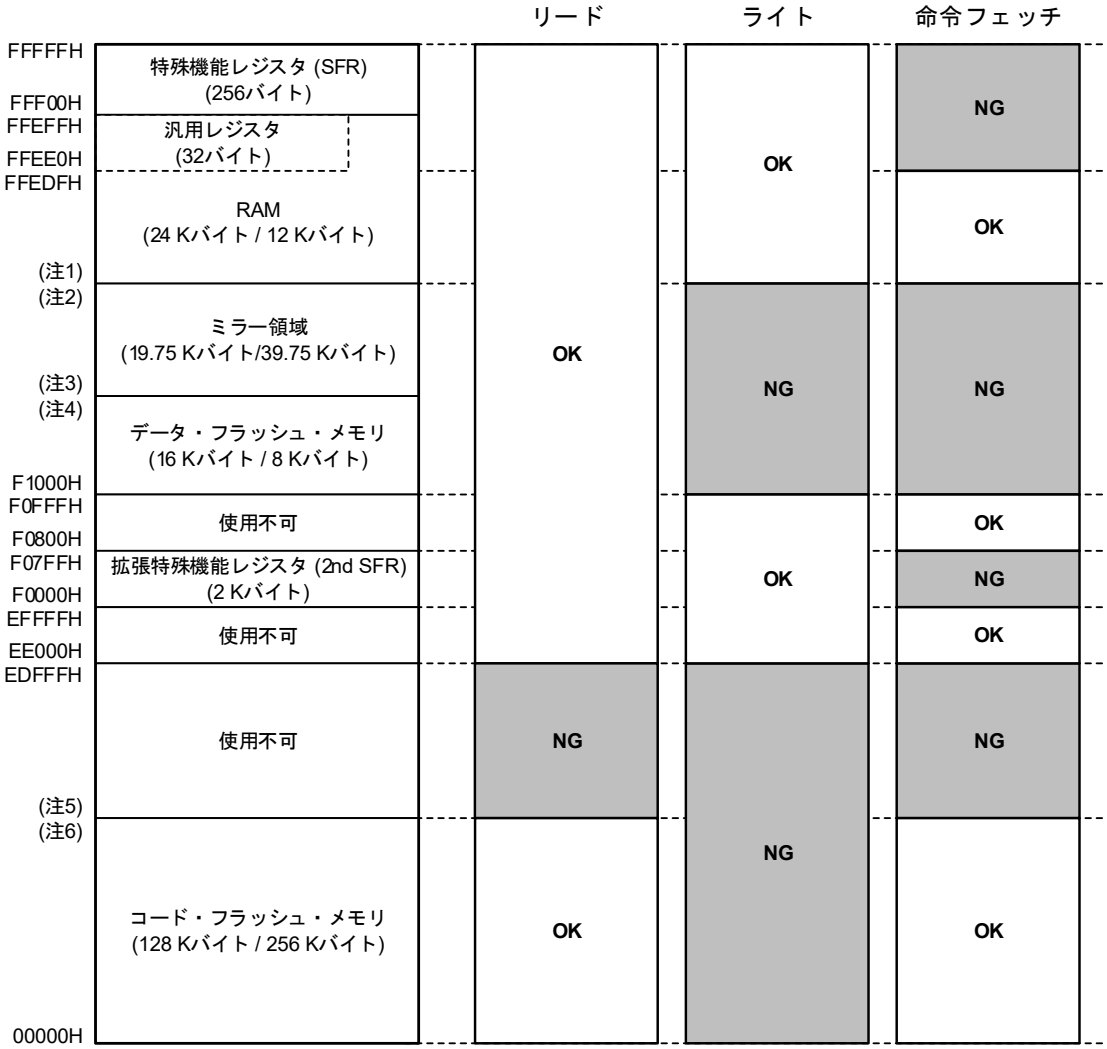
28.3.8　不正メモリ・アクセス検出機能

IEC60730 では CPU と割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，図 28－41 で「NG」と記載した範囲に適用されます。

図 28－41　不正アクセス検出空間



注のアドレスを下表に示します。

注	対応するアドレス	RL78/F24	RL78/F23
注 1	RAM 領域の開始アドレス	F9F00H	FCF00H
注 2	ミラー領域のボトム・アドレス	F9EFFH	FCEFFH
注 3	ミラー領域の開始アドレス	F5000H	F3000H
注 4	データ・フラッシュ領域のボトム・アドレス	F4FFFH	F2FFFH
注 5	コード・フラッシュ領域のボトム・アドレス ＋1	40000H	20000H
注 6	コード・フラッシュ領域のボトム・アドレス	3FFFFH	1FFFFH

備考　内部 RAM サイズは，RAMSAR レジスタの設定によって決まります。詳細は「第 3 章　CPU アーキテクチャ」を参照してください。

【制御レジスタ】

(1)　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFR ガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWEN ビットを使用します。

IAWCTL レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 28－42　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN 注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

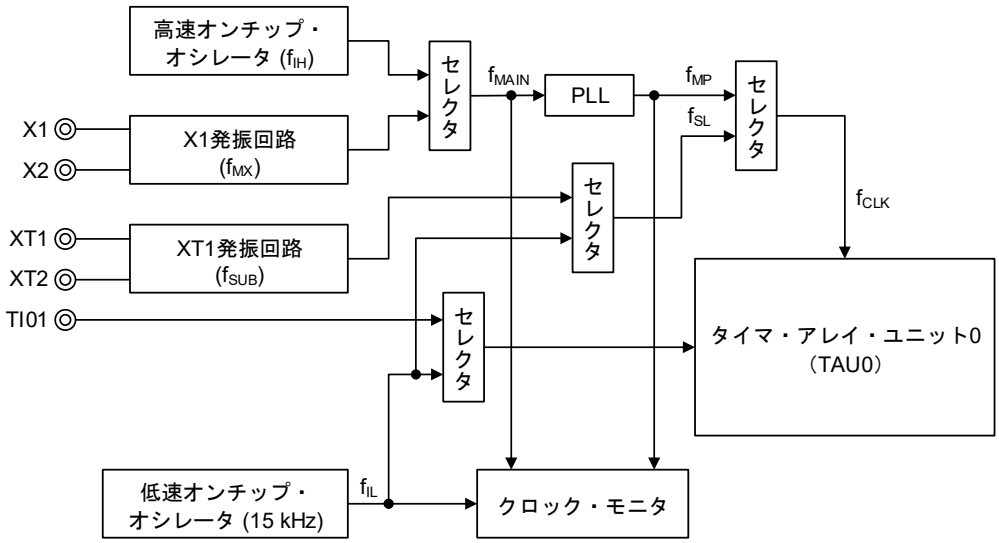
注　IAWEN ビットは 1 の書き込みのみを有効とし，IAWEN = 1 とした後の 0 の書き込みは無効です。

備考　オプション・バイト WDTON = 1 の設定により，IAWEN ビットの設定にかかわらず，不正メモリ・アクセス機能は常に有効となります（「第 31 章　オプション・バイト」を参照してください）。

28.3.9　周波数検出機能

周波数検出機能では，高速オンチップ・オシレータ・クロック，外付けの X1 発振クロック，および PLL クロックのいずれかと，低速オンチップ・オシレータ・クロック（15 kHz）を比較することで，クロックが異常な周波数で動作していることを検出することができます。

図 28－43　周波数検出機能の構成



【動作概要】

以下の条件でパルス幅を測定した結果で，クロック周波数が正常かどうかの判定をします。

- CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロック（f_{IH}），外付けの X1 発振クロック（f_{MX}），および PLL クロック（f_{PLL}）のいずれかを選択
- タイマ・アレイ・ユニット 0（TAU0）のチャネル 1 のタイマ入力に低速オンチップ・オシレータ・クロック（f_{IL}：15 kHz）を選択

パルス幅の測定結果が異常な値になった場合は，クロック周波数に異常があると判定できます。

パルス幅測定の方法については，「6.7.4　入力パルス間隔測定としての動作」を参照してください。

【制御レジスタ】

(1)　タイマ入力選択レジスタ 0（TIS0）

チャネル 1 のタイマ入力を選択するレジスタです。

タイマ入力に低速オンチップ・オシレータ・クロックを選択することにより，そのパルス間隔を測定することで低速オンチップ・オシレータ・クロックとタイマ動作クロックとの比率関係が正しいか判定することができます。

TIS0 レジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号の発生により 00H になります。

図 28－44　タイマ入力選択レジスタ 0（TIS0）のフォーマット

アドレス：F0074H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07 注1	TIS06 注1	0	TIS04 注1	0	TIS02	TIS01	TIS00

TIS07 注1	タイマ・アレイ・ユニット 0 チャネル 3 で使用するタイマ入力の選択
0	タイマ入力端子（TI03）の入力信号
1	ELC からのイベント入力信号 注2

TIS06 注1	タイマ・アレイ・ユニット 0 チャネル 2 で使用するタイマ入力の選択
0	タイマ入力端子（TI02）の入力信号
1	ELC からのイベント入力信号 注2

TIS04 注1	タイマ・アレイ・ユニット 0 チャネル 0 で使用するタイマ入力の選択
0	タイマ入力端子（TI00）の入力信号
1	ELC からのイベント入力信号 注2

TIS02	TIS01	TIS00	タイマ・アレイ・ユニット 0 チャネル 1 で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI01）の入力信号
0	0	1	ELC からのイベント入力信号 注2
0	1	0	タイマ入力端子（TI01）の入力信号
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）
上記以外			設定禁止

注　1. RL78/F24 製品のみあります。RL78/F23 製品のタイマ入力選択レジスタ 0（TIS0）に書き込む場合は 0 を書き込んでください。

2. RL78/F24 製品のみあります。RL78/F23 製品では設定しないでください。

注意 1. タイマ入力選択レジスタ 0（TIS0）で，ELC からのイベント入力信号を選択する場合，タイマ・クロック選択レジスタ 0（TPS0）は f_{CLK} を選択してください。

2. TImn 端子（m = 0, 1，n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

3. 選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，1/f_{MCK} + 10 ns 以上必要となります。そのため，f_{CLK} に f_{SL} を選択時（CKC レジスタの CSS = 1）は，TIS02 ビットに 1 を設定できません。

28.3.10　A/D テスト機能

12ビットA/Dコンバータは，以下の2種類の診断機能に対応します。

- 12 ビット A/D コンバータの自己診断

  12 ビット A/D コンバータの自己診断は，低電位基準電圧，高電位基準電圧/2，高電位基準電圧の内部電圧を A/D 変換することにより，A/D コンバータが正常に動作しているかどうかを確認するために使用します。

- 断線検出アシスト機能

  本 A/D コンバータは，A/D 変換を開始する前にサンプリング容量の電荷をプリチャージあるいはディスチャージする機能を内蔵しています。この機能によりアナログ配線の断線検出が可能になります。

【制御レジスタ】

A/D テスト機能で使用するレジスタは以下になります。

- A/D 制御拡張レジスタ（ADCER）
- A/D 自己診断データ・レジスタ（ADRD）
- A/D 断線検出コントロール・レジスタ（ADDISCR）

A/D テスト機能の詳細は，「第 12 章　12 ビット A/D コンバータ」を参照してください。

28.3.11　ウォッチドッグ・タイマ機能

詳細は，「第 11 章　ウォッチドッグ・タイマ」を参照してください。

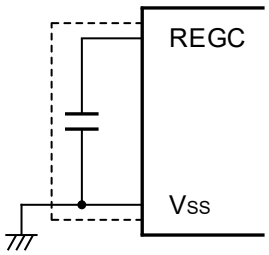
第29章　セキュリティ機能

セキュリティ機能については、別冊を参照してください。

第30章　レギュレータ

30.1　レギュレータの概要

RL78/F23, F24 は，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC 端子にはレギュレータ安定としてコンデンサ（0.47～1 μF）を介し，Vss に接続してください。また，内部電圧の安定化を図るため，特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は，表 30－1 のようになります。

表 30－1　レギュレータ出力電圧条件

モード	出力電圧	条件
高速メイン・モード	1.86 V	STOP モード時
		サブ/低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき
		サブ/低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作設定時の HALT モード中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき
	2.1 V	上記以外（オンチップ・デバッグ中を含む）注

注　オンチップ・デバッグ中にサブ／低速オンチップ・オシレータ・クロック選択クロック動作や STOP モードに移行する場合は，レギュレータ出力電圧は 2.1 V を継続します（1.86 V にはなりません）。

第31章　オプション・バイト

31.1 オプション・バイトの機能

RL78/F23, F24 のフラッシュ・メモリの 000C0H-000C4H は，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H），オンチップ・デバッグ・オプション・バイト（000C3H），およびセキュリティ・オプション・バイト（000C4H）で構成されています。

電源投入時またはリセットからの起動時には自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトで次に示す機能の設定を行ってください。

また，セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C0H-000C4H と 040C0H-040C4H が切り替わるので，040C0H-040C4H にも 000C0H-000C4H と同じ値を設定してください。

31.1.1 ユーザ・オプション・バイト（000C0H/040C0H - 000C2H/040C2H）

(1) ユーザ・オプション・バイト（000C0H/040C0H）

- ウォッチドッグ・タイマの動作
  - HALT/STOP/SNOOZE モード時の動作停止／可能
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマの動作
  - 動作停止／可能
- ウォッチドッグ・タイマのウィンドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込み
  - 使用する／使用しない

注意　ブート・スワップ時は，000C0H と 040C0H が切り替わるので，040C0H にも 000C0H と同じ値を設定してください。

(2) ユーザ・オプション・バイト（000C1H/040C1H）

- LVD の動作モード設定
  - 割り込み＆リセット・モード
  - リセット・モード
  - 割り込みモード
- LVD 検出レベル（V_{LVDH}, V_{LVDL}, V_{LVD}）の設定
- クロック・モニタの動作
  - 動作停止/可能

注意　ブート・スワップ時は，000C1H と 040C1H が切り替わるので，040C1H にも 000C1H と同じ値を設定してください。

(3) ユーザ・オプション・バイト（000C2H/040C2H）

- RESOUTB 出力機能の設定
- 高速オンチップ・オシレータの周波数設定
  - 2 MHz, 4 MHz, 8 MHz, 16 MHz, 20 MHz, 32 MHz, 40 MHz, 64 MHz, 80 MHz から選択

注意　ブート・スワップ時は，000C2H と 040C2H が切り替わるので，040C2H にも 000C2H と同じ値を設定してください。

31.1.2　オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）

- オンチップ・デバッグ動作制御
  - オンチップ・デバッグ動作禁止／許可
- フラッシュ・シリアル・プログラミング動作制御
  - フラッシュ・シリアル・プログラミング動作禁止／許可
- ホット・プラグイン制御
  - ホット・プラグイン動作禁止／許可
- セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理
  - オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は，000C3H と 040C3H が切り替わるので，040C3H にも 000C3H と同じ値を設定してください。

31.1.3　セキュリティ・オプション・バイト（000C4H/040C4H）

- オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング・セキュリティ ID 読み取り制御
  - オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング・セキュリティ ID 読み取り動作禁止／許可

注意 1. ブート・スワップ時は，000C4H と 040C4H が切り替わるので，040C4H にも 000C4H と同じ値を設定してください。

2. セキュリティ・オプション・バイト（000C4H/040C4H）で IDRDEN を 0 に設定する場合は，必ずブート・クラスタ 0 の書き換え禁止を有効にしてください。ブート・クラスタ 0 設定の書き換えを禁止にする方法の詳細については，「32.8　セキュリティ設定」を参照してください。

31.2 ユーザ・オプション・バイトのフォーマット

ユーザ・オプション・バイトのフォーマットを次に示します。

図 31－1　ユーザ・オプション・バイト（000C0H/040C0H）のフォーマット

アドレス：000C0H/040C0H 注1　　リセット時：－（ユーザの設定値 注2）

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の 75% + 1/2 f_{WDT} 到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間 注4
0	0	設定禁止
0	1	50%
1	0	75% 注3
1	1	100%

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{WDT} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{WDT}$（3.71 ms）
0	0	1	$2^7/f_{WDT}$（7.42 ms）
0	1	0	$2^8/f_{WDT}$（14.84 ms）
0	1	1	$2^9/f_{WDT}$（29.68 ms）
1	0	0	$2^{11}/f_{WDT}$（118.72 ms）
1	0	1	$2^{13}/f_{WDT}$（474.89 ms）
1	1	0	$2^{14}/f_{WDT}$（949.79 ms）
1	1	1	$2^{16}/f_{WDT}$（3799.18 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP/SNOOZE モード時）
0	HALT/STOP/SNOOZE モード時，カウンタ動作停止 注4
1	HALT/STOP/SNOOZE モード時，カウンタ動作許可

注 1. ブート・スワップ時は，000C0H と 040C0H が切り替わるので，040C0H にも 000C0H と同じ値を設定してください。

2. 出荷時，ユーザ・オプション・バイトは FFH です。

3. ウィンドウ・オープン期間 75%設定とした場合，ウォッチドッグ・タイマ・カウンタ・クリア禁止期間があります。詳しくは「11.4.3　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定」をご覧ください。

4. WDSTBYON = 0 のときは，WINDOW1, WINDOW0 ビットの値に関係なく，ウィンドウ・オープン期間 100% となります。

★ **注意　フラッシュ・メモリの書き換え時でも，ウォッチドッグ・タイマの動作は継続します。ウォッチドッグ・タイマのカウンタ・クリアの遅延を考慮してオーバフロー時間およびウィンドウ・オープン期間を設定してください。**

備考 1. f_{WDT}：WDT 専用低速オンチップ・オシレータ・クロック周波数

2. WDTON = 1 の設定により，不正メモリ・アクセス機能は IAWEN ビットの設定にかかわらず常に有効となります。（「28.3.8　不正メモリ・アクセス検出機能」を参照してください。）

図 31－2　ユーザ・オプション・バイト（000C1H/040C1H）のフォーマット（1/2）

アドレス：000C1H/040C1H 注1　　リセット時：－（ユーザの設定値 注2）

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

● LVD の設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値							
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0
立ち上がり	立ち下がり	立ち下がり								
4.42 V	4.32 V	2.75 V	0	0	1	× 注3	0	0	1	0
4.62 V	4.52 V	2.75 V	0	1	0	× 注3	0	0		
3.22 V	3.15 V	2.75 V	0	1	1	× 注3	0	1		
4.74 V	4.64 V					× 注3	0	0		
上記以外			設定禁止							

● LVD の設定（リセット・モード）

検出電圧		オプション・バイト設定値							
V_{LVD}		VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0
立ち上がり	立ち下がり								
2.81 V	2.75 V	0	1	1	× 注3	1	1	1	1
3.02 V	2.96 V	0	0	0	× 注3	0	1		
3.22 V	3.15 V	0	1	1	× 注3	0	1		
4.42 V	4.32 V	0	0	1	× 注3	0	0		
4.62 V	4.52 V	0	1	0	× 注3	0	0		
4.74 V	4.64 V	0	1	1	× 注3	0	0		
上記以外		設定禁止							

注 1. ブート・スワップ時は，000C1H と 040C1H が切り替わるので，040C1H にも 000C1H と同じ値を設定してください。

2. 出荷時，ユーザ・オプション・バイトは FFH です。

3. クロック・モニタ・ビット（CLKMB）の設定値を書いてください。

★　**備考**　LVD の詳細は「26.1　電圧検出回路の機能」を参照してください。

図 31－2　ユーザ・オプション・バイト（000C1H/040C1H）のフォーマット（2/2）

アドレス：000C1H/040C1H 注1　　リセット時：－（ユーザの設定値 注2）

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

● LVD の設定（割り込みモード）

検出電圧		オプション・バイト設定値							
V_{LVD}		VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0
立ち上がり	立ち下がり								
2.81 V	2.75 V	0	1	1	× 注3	1	1	0	1
3.02 V	2.96 V	0	0	0	× 注3	0	1		
3.22 V	3.15 V	0	1	1	× 注3	0	1		
4.42 V	4.32 V	0	0	1	× 注3	0	0		
4.62 V	4.52 V	0	1	0	× 注3	0	0		
4.74 V	4.64 V	0	1	1	× 注3	0	0		
上記以外		設定禁止							

● LVD の設定（LVD オフ）

検出電圧		オプション・バイト設定値							
V_{LVD}		VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり							LVIMDS1	LVIMDS0
－	－	1	1	1	× 注3	0	0	1	1
上記以外		設定禁止							

● クロック・モニタの動作設定

CLKMB	クロック・モニタの動作制御
0	クロック・モニタ動作
1	クロック・モニタ停止

注 1. ブート・スワップ時は，000C1H と 040C1H が切り替わるので，040C1H にも 000C1H と同じ値を設定してください。

2. 出荷時，ユーザ・オプション・バイトは FFH です。

3. クロック・モニタ・ビット（CLKMB）の設定値を書いてください。

★　**備考**　LVD の詳細は「26.1　電圧検出回路の機能」を参照してください。

図 31－3　ユーザ・オプション・バイト（000C2H/040C2H）のフォーマット

アドレス：000C2H/040C2H 注1　　リセット時：－（ユーザの設定値 注2）

7	6	5	4	3	2	1	0
1	1	RESOUTB	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

RESOUTB	RESOUTB 出力機能
0	P130 を RESOUT 端子として使用。 ・RESET 中は"L"出力 ・RESET 解除時，自動的に"H"出力 ・出力ラッチの値は出力に影響しない
1	P130 を通常ポート（出力専用）として使用。 ・RESET 中は"L"出力 ・RESET 解除時は出力ラッチの値を出力

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	1	0	0	0	80 MHz
1	0	0	0	0	64 MHz
0	1	0	0	0	40 MHz
0	0	0	0	0	32 MHz
0	1	0	0	1	20 MHz
0	0	0	0	1	16 MHz
0	0	0	1	0	8 MHz
0	0	0	1	1	4 MHz
0	0	1	0	0	2 MHz
上記以外					設定禁止

注 1. ブート・スワップ時は，000C2H と 040C2H が切り替わるので，040C2H にも 000C2H と同じ値を設定してください。

2. 出荷時，ユーザ・オプション・バイトは FFH です。

31.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図 31－4　オンチップ・デバッグ・オプション・バイト（000C3H/040C3H）のフォーマット

アドレス：000C3H/040C3H 注1　リセット時：－（ユーザの設定値 注3）

7	6	5	4	3	2	1	0
OCDENSET	0	FLPEN	0	0	1	HPIEN 注2	OCDERSD

FLPEN	OCDENSET	HPIEN 注2	OCDERSD	オンチップ・デバッグ動作制御
0	X	X	X	フラッシュ・シリアル・プログラミング機能およびオンチップ・デバッグ機能の動作禁止
1	0	0	0	オンチップ・デバッグ動作禁止
1	1	0	0	• オンチップ・デバッグ動作許可 • ホット・プラグイン動作禁止 • オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する。
1	1	0	1	• オンチップ・デバッグ動作許可 • ホット・プラグイン動作禁止 • オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない。
1	1	1	1	• オンチップ・デバッグ動作許可 • ホット・プラグイン動作許可 • オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない。
1	上記以外			設定禁止

FLPEN	フラッシュ・シリアル・プログラミングおよびオンチップ・デバッグ動作の制御
0	フラッシュ・シリアル・プログラミングおよびオンチップ・デバッグ動作禁止
1	フラッシュ・シリアル・プログラミング動作許可 注4

注 1. ブート・スワップ時は 000C3H と 040C3H が切り替わるので，040C3H にも 000C3H と同じ値を設定してください。

2. HPIEN ビットを“1”にすると低速オンチップ・オシレータが動作し，ユーザ・プログラムによる停止ができなくなります。ただし，スタンバイ・モード中のみ，レジスタの設定により低速オンチップ・オシレータを停止できます。低速オンチップ・オシレータでホット・プラグインの検出を行うためこのような動作となります。

3. 出荷時，オンチップ・デバッグ・オプション・バイトは FFH です。

4. OCDENSET，HPIEN，および OCDERSD ビットといっしょに，オンチップ・デバッグ機能の有効／無効を設定してください。

注意　ビット 7, 5, 1, 0（OCDENSET, FLPEN, HPIEN, OCDERSD）のみ値を指定できます。
ビット 6 には“0”を，ビット 4-2 には 001B を必ず書き込んでください。

備考　ビット 3-1 は，オンチップ・デバッグ機能使用時に値が書き変わるので，設定後は不定となります。ただし，設定時にはビット 3, 2 にも，必ず初期値（0, 1）を設定してください。

31.4 セキュリティ・オプション・バイトのフォーマット

セキュリティ・オプション・バイトのフォーマットを次に示します。

図 31－5　セキュリティ・オプション・バイト (000C4H/040C4H) のフォーマット

アドレス：000C4H/040C4H 注1　リセット時：－（ユーザの設定値 注2）

7	6	5	4	3	2	1	0
1	1	1	1	1	IDRDEN	1	0

IDRDEN	オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング・セキュリティIDの読み出し制御
0	オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング・セキュリティ ID の読み出しを禁止します。 オンチップ・デバッグ・セキュリティ ID（000C6H-000D5H）およびフラッシュ・シリアル・プログラミング・セキュリティ ID（000D6H-000E5H）の領域を読み出すと，この領域のすべてのビットは“0”が読み出されます。
1	オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング・セキュリティ ID の読み出しを許可します。

注 1. ブート・スワップ時は 000C4H と 040C4H が切り替わるので，040C4H にも 000C4H と同じ値を設定してください。

2. 出荷時，セキュリティ・オプション・バイトは FFH です。

注意 1. ビット 2（IDRDEN）のみ，値を設定できます。必ずビット 7-3 は 11111B に設定し，ビット 1-0 は 10B に設定してください。

2. IDRDEN は，オンチップ・デバッグ・セキュリティ ID（040C6H-040D5H），およびフラッシュ・シリアル・プログラミング・セキュリティ ID（040D6H-040E5H）には適用されません。

3. IDRDEN を 0 に設定する場合は，必ずブート・クラスタ 0 の書き換え禁止を有効にしてください。ブート・クラスタ 0 設定の書き換えを禁止にする方法の詳細については，「32.8　セキュリティ設定」を参照してください。

備考　オンチップ・デバッグ機能を使用している間，IDRDEN は 1 に設定されます。

31.5 オプション・バイトの設定

★ ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にアセンブラのリンク・オプションでも設定することができます。その場合，下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

★
```
        .CSEG     OPT_BYTE
        .DB       0x36      ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                            ; ウォッチドッグ・タイマ動作許可，
                            ; ウォッチドッグ・タイマのウィンドウ・オープン期間 50%，
                            ; ウォッチドッグ・タイマのオーバフロー時間 2^9/fWDT，
                            ; HALT/STOP/SNOOZE モード時，ウォッチドッグ・タイマの動作停止
        .DB       0x22      ; VLVDL に 2.75 V を選択
                            ; VLVDH に立ち上がり 4.42 V，立ち下がり 4.32 V を選択
                            ; LVD の動作モードに割り込み＆リセット・モードを選択
                            ; クロック・モニタ動作
        .DB       0xE4      ; RESOUTB 出力機能の設定
                            ; 高速オンチップ・オシレータ・クロック周波数 2 MHz を選択
        .DB       0xA5      ; オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング動作の許可，
                            ; ホット・プラグイン動作禁止
                            ; セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない。
        .DB       0xFA      ; オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング・
                            ; セキュリティ ID の読み出し禁止。
```

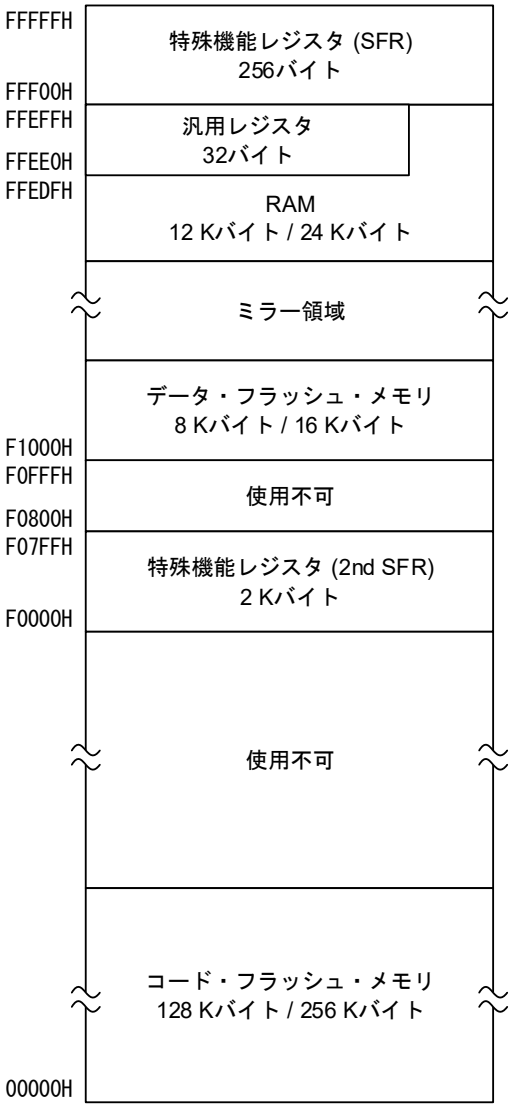
セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C4H は 040C0H-040C4H と切り替わります。そのため 040C0H-040C4H にも，000C0H-000C4H と同じ値を次のように記述してください。

★
```
OPT2    .CSEG     AT  0x40C0
        .DB       0x36      ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                            ; ウォッチドッグ・タイマ動作許可，
                            ; ウォッチドッグ・タイマのウィンドウ・オープン期間 50%，
                            ; ウォッチドッグ・タイマのオーバフロー時間 2^9/fWDT，
                            ; HALT/STOP/SNOOZE モード時，ウォッチドッグ・タイマの動作停止
        .DB       0x22      ; VLVDL に 2.75 V を選択
                            ; VLVDH に立ち上がり 4.42 V，立ち下がり 4.32 V を選択
                            ; LVD の動作モードに割り込み＆リセット・モードを選択
                            ; クロック・モニタ動作
        .DB       0xE4      ; RESOUTB 出力機能の設定
                            ; 高速オンチップ・オシレータ・クロック周波数 2 MHz を選択
        .DB       0xA5      ; オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング動作の許可，
                            ; ホット・プラグイン動作禁止
                            ; セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない。
        .DB       0xFA      ; オンチップ・デバッグおよびフラッシュ・シリアル・プログラミング・
                            ; セキュリティ ID の読み出し禁止。
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG 疑似命令の再配置属性名は OPT_BYTE を使用してください。なお，ブート・スワップ機能を使用するために 040C0H-040C4H にオプション・バイトを指定する場合は，再配置属性 AT を使用して絶対番地を指定してください。

第32章　フラッシュ・メモリ

RL78/F23, F24 は，プログラムの書き込み，消去，再書き換え可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能なコード・フラッシュと，データ格納領域のデータ・フラッシュがあります。



備考　コード・フラッシュ・メモリ，データ・フラッシュ・メモリ，RAM のメモリ・サイズとアドレスは次のとおりです。

・RL78/F23：「 / 」の左側の値

・RL78/F24：「 / 」の右側の値

フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス（UART 通信）によるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング
  専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。詳細は「32.5　シリアル・プログラミング方法」を参照してください。

- 外部デバイス（UART 通信）によるシリアル・プログラミング
  外部デバイス（マイコンや ASIC）との UART 通信を使用してオンボード上で書き込みができます。詳細は「32.2　外部デバイス（UART 内蔵）によるシリアル・プログラミング」を参照してください。

- セルフ・プログラミング
  フラッシュ・セルフ・プログラミング・コードを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。詳細は「32.7　セルフ・プログラミング」を参照してください。

★　**注意　コード・フラッシュ・メモリ領域のすべての未使用領域には，書き込みを行ってください。消去されたフラッシュ・メモリ領域を CPU が読み出すと，コード・フラッシュ ECC エラー検出割り込みが発生します。未使用領域に書き込むデータは，FFH を推奨します。CPU が FFH コードをフェッチすると，不正命令の実行による内部リセットが発生します。**
以下に未使用領域の書き込み手法を示します。

- **書き込みファイル（HEX，MOT）生成時に，未使用領域にデータ（例えば FFH）を埋める**
- **フラッシュ・プログラマで書き込む時に，未使用領域にデータ（例えば FFH）を埋めて書き込む**

また，オンチップ・デバッグ機能を使用する場合は，CS+や e²studio などの統合開発環境の接続用設定で，「フラッシュ書き換え時に未使用領域を初期化する」を［はい］に設定してください。詳しくは，統合開発環境のユーザーズ・マニュアルを参照してください。

★　データ・フラッシュ・メモリは，専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングを使用して書き込むことができます。また，ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては，「32.7　セルフ・プログラミング」および「32.9　データ・フラッシュ」を参照してください。

32.1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78/F23, F24 の内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E2 または E2 Lite オンチップ・デバッギング・エミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

(1)　オンボード・プログラミング

ターゲット・システムに RL78/F23, F24 を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用のフラッシュ・メモリ・プログラマを接続するためのコネクタを実装しておかなければなりません。

(2)　オフボード・プログラミング

ターゲット・システムに RL78/F23, F24 を実装する前に，専用プログラム・アダプタでデータをフラッシュ・メモリに書き込むことができます。

表 32－1　RL78/F23, F24 と専用フラッシュ・メモリ・プログラマの配線

★

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
					32 ピン	48 ピン	64 ピン	80 ピン	100 ピン
信号名		入出力	端子機能		QFN (5×5)	QFP (7×7)	QFP (10×10)	QFP (12×12)	QFP (14×14)
PG-FP6	E2，E2 Lite オンチップ・デバッギング・エミュレータ								
－	TOOL0	入出力	送受信信号	TOOL0/ P40	3	3	5	9	12
SI/RXD	－	入出力	送受信信号						
－	$\overline{\text{RESET}}$	出力	リセット信号	RESET	4	4	6	10	13
/RESET	－	出力							
V_{CC}	V_{DD}	入出力	V_{DD} 電圧生成/電源監視	V_{DD}	10	12	15	19	22
GND		－	グランド	V_{SS}	9	11	13	17	20
				EV_{SS}	－	－	14	18	21, 43
				REGC 注	8	10	12	16	19
FLMD1	EMV_{DD}	－	TOOL0 端子駆動電源	V_{DD}	10	12	－	－	－
				EV_{DD}	－	－	16	20	23, 53

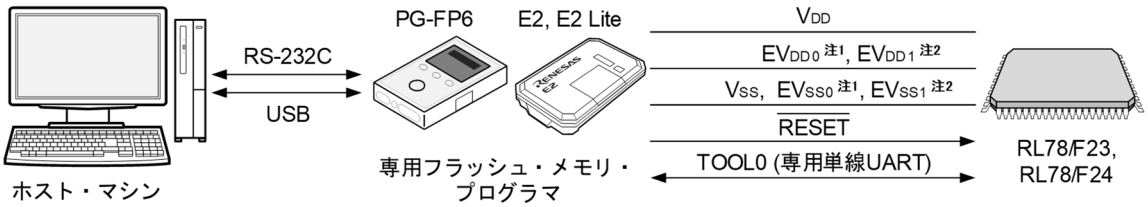
注　REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによる，フラッシュ・メモリ・プログラミング時にはオープンで構いません。

32.1.1　プログラミング環境

RL78/F23, F24 のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図 32－1　フラッシュ・メモリにプログラムを書き込むための環境



注 1. 64, 80, 100 ピン製品のみ。

2. 100 ピン製品のみ。

専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

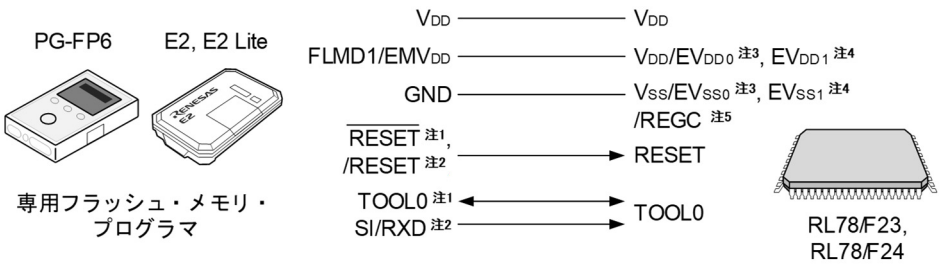
また，専用フラッシュ・メモリ・プログラマと RL78/F23, F24 とのインタフェースは TOOL0 端子を使用して，専用の単線 UART で書き込み／消去の操作を行います。

32.1.2　通信方式

専用フラッシュ・メモリ・プログラマと RL78/F23, F24 との通信は，RL78/F23, F24 の TOOL0 端子を使用して，専用の単線 UART によるシリアル通信で行います。

転送レート：　1 M, 500 k, 250 k, 115.2 kbps

図 32－2　専用フラッシュ・メモリ・プログラマとの通信



注 1. E2，E2 Lite オンチップ・デバッギング・エミュレータ使用時。

2. PG-FP6 使用時。

3. 64, 80, 100 ピン製品のみ。

4. 100 ピン製品のみ。

5. REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマは RL78/F23, F24 に対して次の信号を生成します。詳細は PG-FP6 または E2，E2 Lite オンチップ・デバッギング・エミュレータのマニュアルを参照してください。

表 32－2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78/F23, F24
信号名		入出力	端子機能	端子名
PG-FP6	E2，E2 Lite オンチップ・デバッギング・エミュレータ			
V_{CC}	V_{DD}	入出力	V_{DD} 電圧生成／電圧監視	V_{DD}
GND		－	グランド	V_{SS}, EV_{SS0} 注1, EV_{SS0} 注2, REGC 注3
FLMD1	EMVDD	－	TOOL0 端子駆動電源	V_{DD}, EV_{DD0} 注1, EV_{DD1} 注2
/RESET	－	出力	リセット信号	RESET
－	$\overline{\text{RESET}}$	出力		
－	TOOL0	入出力	送受信信号	TOOL0
SI/RXD	－	入出力	送受信信号	

注 1. 64, 80, 100 ピン製品のみ。

2. 100 ピン製品のみ。

3. REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

注意　接続先端子は製品によって異なります。詳細は，表 32－1 を参照してください。

32.1.3　使用上の注意

- 専用フラッシュ・メモリ・プログラマでデータ・フラッシュ・メモリを消去するときは，セキュリティ・オプション・バイト（000C4H/040C4H）のビット 0 に 0 を設定してください。
- 専用フラッシュ・メモリ・プログラマのブロック設定でコード・フラッシュ・メモリとデータ・フラッシュ・メモリの両方を選択した状態で，消去コマンドを実行しないでください。もし，専用フラッシュ・メモリ・プログラマでコード・フラッシュ・メモリとデータ・フラッシュ・メモリ全体を消去する場合は，先にセキュリティ・オプション・バイト（000C4H/040C4H）のビット 0 に 0 を設定してデータ・フラッシュ・メモリを消去してから，コード・フラッシュ・メモリを消去してください。

32.2 外部デバイス（UART 内蔵）によるシリアル・プログラミング

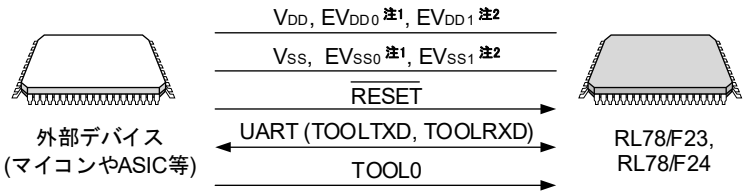
オンボード上で RL78/F23, F24 と UART 接続されている外部デバイス（マイコンや ASIC）を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

ユーザでのフラッシュ・メモリ・プログラマの開発については，アプリケーション・ノート「RL78 マイクロコントローラ（RL78 プロトコル D）シリアルプログラミング編（R01AN6278）」を参照してください。

32.2.1 プログラミング環境

RL78/F23, F24 のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図 32－3　フラッシュ・メモリにプログラムを書き込むための環境



注 1. 64, 80, 100 ピン製品のみ。

2. 100 ピン製品のみ。

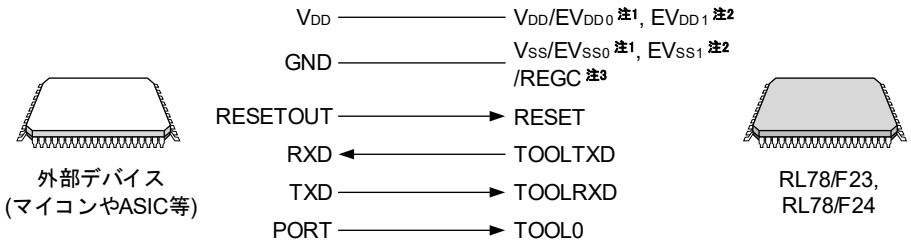
外部デバイスを用いて RL78/F23, F24 の書き込み／消去を行う場合はオンボードで行います。オフボードでの書き込みはできません。

32.2.2　通信方式

外部デバイスと RL78/F23, F24 との通信は，RL78/F23, F24 の TOOLTXD, TOOLRXD 端子を使用して，専用の UART によるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図 32－4　外部デバイスとの通信



注 1. 64, 80, 100 ピン製品のみ。

2. 100 ピン製品のみ。

3. REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスは RL78/F23, F24 に対して次の信号を生成します。

表 32－3　端子接続一覧

外部デバイス			RL78/F23, F24
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成／電圧監視	VDD, EVDD0 注1, EVDD1 注2
GND	－	グランド	VSS, EVSS0 注1, EVSS1 注2, REGC 注3
RESETOUT	出力	リセット信号出力	RESET
RXD	入力	受信信号	TOOLTXD
TXD	出力	送信信号	TOOLRXD
PORT	出力	モード信号	TOOL0

注 1. 64, 80, 100 ピン製品のみ。

2. 100 ピン製品のみ。

3. REGC 端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

32.3　ボードの端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，ボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては「32.5.2　フラッシュ・メモリ・プログラミング・モード」を参照してください。

32.3.1　P40/TOOL0 端子

フラッシュ・メモリ・プログラミング・モード時は，外部で 1 kΩ の抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：端子リセット解除時から 1 ms の期間はロウ・レベルを入力しないでください。ただし，プルダウンで使用する場合は，500 kΩ 以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ 以上の抵抗を使用してください。

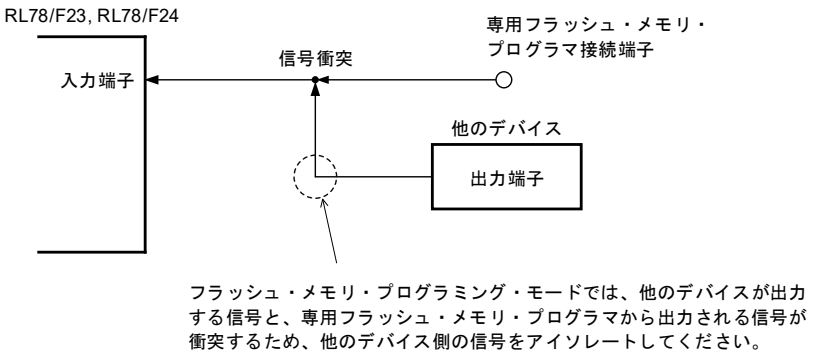
備考　RL78/F23, F24 と専用フラッシュ・メモリ・プログラマとの通信には，単線 UART（TOOL0 端子）を使用するので，SAU や IICA の端子は使用しません。

32.3.2　RESET 端子

ボード上で，リセット信号生成回路と接続している RESET 端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるため，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図 32－5　信号の衝突（RESET 端子）



32.3.3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介して V_{DD} または EV_{DD0} 注1, EV_{DD1} 注2 に接続するか，もしくは抵抗を介して V_{SS} または EV_{SS0} 注1, EV_{SS1} 注2 に接続するなどの端子処理が必要です。

注 1. 64, 80, 100 ピン製品のみ。
2. 100 ピン製品のみ。

32.3.4　REGC 端子

REGC 端子は，通常動作時と同様に，コンデンサ（0.47～1 μF）を介し，GND に接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

32.3.5　X1, X2 端子

X1, X2 は，通常動作モード時と同じ状態に接続してください。

備考　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

32.3.6　電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD} 端子はフラッシュ・メモリ・プログラマの V_{DD} に，V_{SS} 端子はフラッシュ・メモリ・プログラマの GND に，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

ただし，フラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}，V_{SS} 端子はフラッシュ・メモリ・プログラマの V_{DD} 注，GND と必ず接続してください。

注　PG-FP6 の信号名は V_{CC} です。

32.4　フラッシュ・シリアル・プログラミング・セキュリティ ID

RL78/F23 と RL78/F24 には，000C3H のフラッシュ・メモリにフラッシュ・シリアル・プログラミング動作制御ビット（「第 31 章　オプション・バイト」を参照），および 000D6H-000E5H にフラッシュ・シリアル・プログラミング・セキュリティ ID 設定領域があり，第三者によるフラッシュ・メモリのプログラミングを防止しています。

ブート・スワップ機能を使用する場合は，000C3H，000D6H-000E5H と，040C3H，040D5H-040E6H が切り替わるため，事前に 040C3H，040D6H-040E5H と同じ値を設定してください。

表 32－4　フラッシュ・シリアル・プログラミング・セキュリティ ID

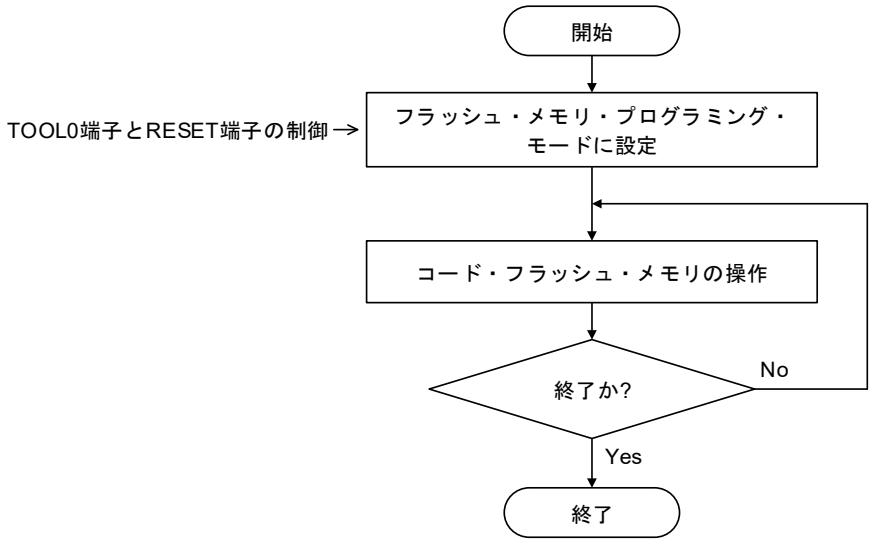
アドレス	フラッシュ・シリアル・プログラミング・セキュリティID
000D6H-000E5H	16バイトの任意のIDコード（すべてFFHは除く）
040D6H-040E5H	

32.5　シリアル・プログラミング方法

32.5.1　シリアル・プログラミング手順

フラッシュ・メモリを操作する手順を次に示します。

図 32－6　コード・フラッシュ・メモリの操作手順



32.5.2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78/F23, F24 を専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

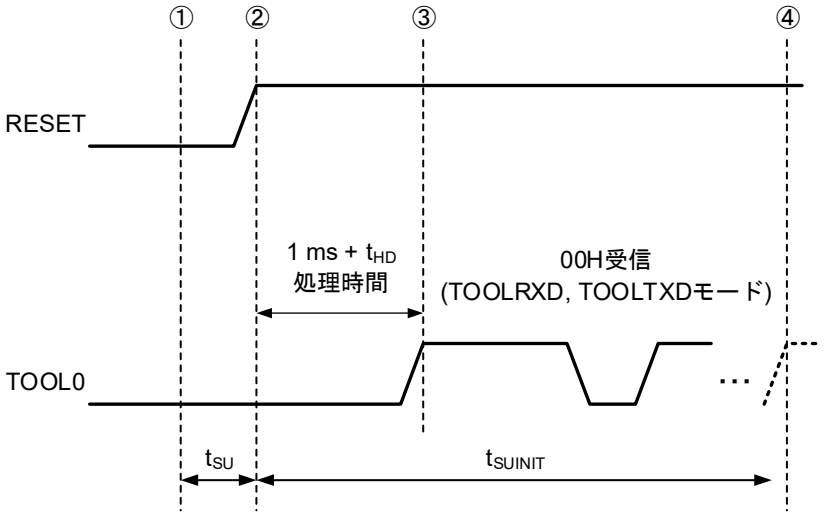
＜外部デバイス（UART 通信）を使用してシリアル・プログラミングする場合＞

TOOL0 端子をロウ・レベルに設定後，リセットを解除します（表 32－5 を参照）。その後，図 32－7 に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は，アプリケーション・ノート「RL78 マイクロコントローラ（RL78 プロトコル D）シリアルプログラミング編（R01AN6278）」を参照してください。

表 32－5　リセット解除時の TOOL0 端子の動作モードとの関係

TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図 32－7　フラッシュ・メモリ・プログラミング・モードの設定



① TOOL0 端子にロウ・レベルを入力
② 外部リセットを解除（その前に POR または LVD リセットが解除されていること）
③ TOOL0 端子にハイ・レベルを入力
④ UART 受信に基づくビット・レート設定完了

備考　t_{SUINIT}：この区間では，リセット解除から 100 ms 以内に初期設定通信を完了してください。

t_{SU}：　外部リセット解除以前に TOOL0 端子をロウ・レベルに保持する時間

t_{HD}：　外部，内部リセット解除から TOOL0 端子をロウ・レベルに保持する時間（フラッシュ・ファームウェアの処理時間を除く）。

フラッシュ・メモリ・プログラミング・モードの書き込み／消去／ベリファイの実行可能電圧範囲を表 32－6 に示します。

表 32－6　書き込み／消去／ベリファイ実行可能電圧

書き込み／消去／ベリファイ実行可能電圧	動作周波数
2.7 V ≦ V_{DD} ≦ 5.5 V	2 MHz-40 MHz

備考　通信コマンドの詳細は「32.5.4　通信コマンド」を参照してください。

32.5.3　通信方式

RL78/F23, F24 の通信方式は以下の通りです。

表 32－7　通信方式

通信方式	標準設定 注1				使用端子
	ポート	通信速度 注2	周波数	Multiply Rate	
単線 UART （フラッシュ・メモリ・プログラマ使用時または外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOL0
UART0 （外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOLTXD, TOOLRXD

注 1. フラッシュ・メモリ・プログラマの GUI 上の標準設定における設定項目です。

2. UART 通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価の上，使用してください。

32.5.4　通信コマンド

RL78/F23, F24 は，表 32－8 に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスから RL78/F23, F24 へ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，アプリケーション・ノート「RL78 マイクロコントローラ（RL78 プロトコル D）シリアルプログラミング編（R01AN6278）」を参照してください。

表 32－8　フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。注
	Secure Programming	フラッシュ・メモリの指定された領域にデータを書き込み，同時にセキュア・データの登録も行います。注
情報取得	Silicon Signature	RL78/F23, F24 情報（品名，フラッシュ・メモリ構成，プログラミング用ファームウェア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART 選択時のボー・レートを設定します。

注　書き込み領域に，データが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

「Silicon Signature」コマンドを実行することで，製品情報（品名，ファームウェア・バージョンなど）を取得することができます。

表 32－9 にシグネチャ・データ一覧，表 32－10 にシグネチャ・データの例を示します。

表 32－9　シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3 バイト
デバイス名	デバイス名（ASCII コード）	10 バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．00000H-1FFFFH (128 KB) → FFH, FFH, 01H）	3 バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．F1000H-F2FFFH (8 KB) → FFH, 2FH, 0FH）	3 バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 （バージョンの上位から送信されます。 例．Ver. 1. 23 → 01H, 02H, 03H）	3 バイト

表 32－10　シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16 進数）
デバイス・コード	RL78/F23, F24	3 バイト	10 00 0B
デバイス名	R7F123FM	10 バイト	52 = "R" 37 = "7" 46 = "F" 31 = "1" 32 = "2" 33 = "3" 46 = "F" 4D = "M" 20 = "　" 20 = "　"
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-1FFFFH（128 KB）	3 バイト	FF FF 01
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F2FFFH（8 KB）	3 バイト	FF 2F 0F
ファームウェア・バージョン	Ver.1.23	3 バイト	01 02 03

32.6 PG-FP6 使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間（参考値）を次に示します。

表 32－11　PG-FP6 使用時の各コマンド処理時間（参考値）

PG-FP6 コマンド	コード・フラッシュ	
	128 KB（RL78/F23）	256 KB（RL78/F24）
消去	1.1 s	1.8 s
書き込み	2.9 s	5.5 s
ベリファイ	2.0 s	3.6 s
消去後，書き込み	3.5 s	6.6 s

備考　コマンド処理時間（参考値）は TYP.値です。次に条件を示します。

ポート：TOOL0（単線 UART）

通信速度：1,000,000 bps

32.7　セルフ・プログラミング

RL78/F23 および RL78/F24 は，ユーザ・プログラムを介してコード・フラッシュ・メモリを書き換えるためのセ
★ ルフ・プログラミング機能をサポートしています。この機能を使用すると，ユーザ・アプリケーションでコード・フラッシュ・メモリを書き換えることができるため，フィールドでプログラムを更新することができます。

注意 1. CPU がサブ・システム／低速オンチップ・オシレータ選択クロックで動作している場合，セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI 命令により
★ **IE フラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミングを実行してください。**

3. セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止している場合は，HIOSTOP を 0 に設定して，高速オンチップ・オシレータ・クロック動作させ，その後，30 μs 経過後にフラッシュ・セルフ・プログラミングを実行してください。

★ **4. コード・フラッシュ・メモリまたはエクストラ領域を書き換えるには，セルフ・プログラミングを行うユーザ・プログラムを RAM に配置します。コード・フラッシュ・メモリ・プログラミング・モードでは，コード・フラッシュ・メモリを参照することはできません。したがって，コード・フラッシュ・メモリ・プログラミング・モードでは，ROM（コード・フラッシュ・メモリ）から実行するユーザ・プログラムとそのデータをあらかじめ RAM にコピーして，RAM からプログラムの実行とデータの参照ができるようにしてください。**

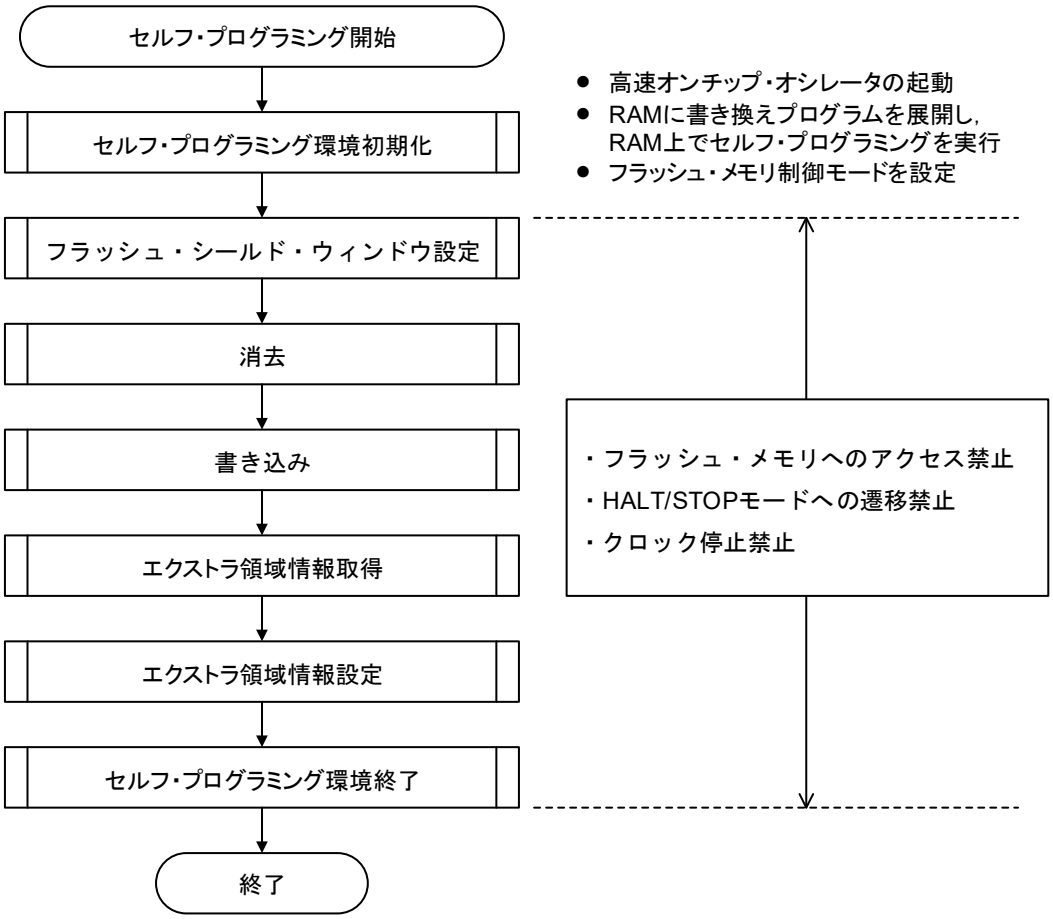
★ **5. セルフ・プログラミング中は，割り込みを禁止（DI 状態）してください。セルフ・プログラミングを中断して，割り込みを使用したい場合は，非プログラマブル・モードに遷移して，コード・フラッシュ・メモリ ECC 機能の割り込みをマスクした後で，割り込みを許可（EI 状態）してください。**
消去されたフラッシュ・メモリ領域を CPU が読み出すと，コード・フラッシュ ECC エラー検出割り込
★ **みが発生します。コード・フラッシュ・メモリ領域のすべての未使用領域には，書き込みを行ってください。未使用領域に書き込むデータは，FFH を推奨します。CPU が FFH コードをフェッチすると，不正命令の実行による内部リセットが発生します。**

6. コード・フラッシュ・メモリ ECC 回路は，コード・フラッシュ・メモリに正常に書き込みが行われた後，初期化する必要があります。コード・フラッシュ・メモリ ECC 回路を初期化するために，リセット（外部または内部リセット）を行ってください。

32.7.1　セルフ・プログラミング手順

★　セルフ・プログラミングを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

★　図 32－8　セルフ・プログラミング（フラッシュ・メモリの書き換え）のフロー



32.7.2　フラッシュ・メモリを制御するレジスタ

表 32－12 にフラッシュ・メモリ・プログラミングを制御するフラッシュ・メモリ・レジスタを示します。

表 32－12　フラッシュ・メモリ・レジスタの構成

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F0090H	データ・フラッシュ制御レジスタ	DFLCTL	00H	1, 8
F00C0H	フラッシュ・プログラミング・モード制御レジスタ	FLPMC	08H	8
F00C1H	フラッシュ・エリア選択レジスタ	FLARS	00H	1, 8
F00C2H	フラッシュ・アドレス・ポインタ L	FLAPL	0000H	16
F00C4H	フラッシュ・アドレス・ポインタ H	FLAPH	00H	8
F00C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ	00H	1, 8
F00C6H	フラッシュ終了アドレス・ポインタ L	FLSEDL	0000H	16
F00C8H	フラッシュ終了アドレス・ポインタ H	FLSEDH	00H	8
F00C9H	フラッシュ・レジスタ初期化レジスタ	FLRST	00H	1, 8
F00CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタ L	FSASTL	不定	1, 8
F00CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H	FSASTH	00H	1, 8
F00CCH	フラッシュ・ライト・バッファ・レジスタ L	FLWL	0000H	16
F00CEH	フラッシュ・ライト・バッファ・レジスタ H	FLWH	0000H	16
FFFB0H	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ	FLSEC	不定	16
FFFB2H	フラッシュ FSW モニタ・レジスタ S	FLFSWS	不定	16
FFFB4H	フラッシュ FSW モニタ・レジスタ E	FLFSWE	不定	16
FFFB6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET	00H	8
FFFB7H	エクストラ領域シーケンサ制御レジスタ	FSSE	00H	1, 8
FFFC0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD	不定	8
FFFC1H	フラッシュ・ステータス・レジスタ	PFS	00H	1, 8
FFFC6H	フラッシュ ECC ライト・バッファ・レジスタ	FLWE	00H	8

32.7.2.1　データ・フラッシュ制御レジスタ（DFLCTL）

このレジスタは，データ・フラッシュ・メモリ領域へのアクセスを許可または禁止するために使用します。

DFLCTL レジスタは，1 ビットまたは 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により，このレジスタは 00H になります。

図 32－9　データ・フラッシュ制御レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュ・メモリ領域アクセス制御
0	データ・フラッシュ・メモリ領域へのアクセス禁止
1	データ・フラッシュ・メモリ領域へのアクセス許可

注意　データ・フラッシュ・メモリ領域の書き換え中は，DFLCTL レジスタを操作できません。

32.7.2.2　フラッシュ・プログラミング・モード制御レジスタ（FLPMC）

FLPMC レジスタ制御は，コードおよびデータ・フラッシュ・メモリのプログラミングを許可または禁止します。

このレジスタは，8 ビット・メモリ操作命令で設定します。

FLPMC レジスタは，PFCMD レジスタを使用して特定シーケンスで設定する必要があります（「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」を参照）。

図 32－10　フラッシュ・プログラミング・モード制御レジスタ（FLPMC）のフォーマット

アドレス：F00C0H　　リセット時：08H　　R/W

略号	7	6	5	4	3	2	1	0
FLPMC	FLPMC[7:0]							

コードおよびデータ・フラッシュ・モード	FLPMC レジスタの設定
非プログラマブル・モード （読み出しモード）	この状態は，リセット後の状態です。 コード・フラッシュ・メモリ・プログラミング・モードとデータ・フラッシュ・メモリ・プログラミング・モードから移行する場合は，特定シーケンスを実行してください。（「32.7.3.4　非書き換えモード移行手順」を参照してください。）
コード・フラッシュ・メモリ・プログラミングモード	このモードは，読み出しモードからのみ移行できます。 FLPMC レジスタを特定シーケンスで設定します。（「32.7.3.2　コード・フラッシュ・メモリ・プログラミング・モード移行手順」を参照してください。）
データ・フラッシュ・メモリ・プログラミングモード	このモードは，読み出しモードからのみ移行できます。 FLPMC レジスタを特定シーケンスで設定します（「32.7.3.3　データ・フラッシュ・メモリ・プログラミング・モード移行手順」を参照してください。）

32.7.2.3　フラッシュ領域選択レジスタ（FLARS）

FLARS レジスタは，プログラミングするフラッシュ・メモリ領域を選択します。

このレジスタは，1 ビットまたは 8 ビット・メモリ操作命令で設定します。

FLARS レジスタの値は，次のいずれかの条件で 00H になります。

- リセット時
- FLRST レジスタの FLRST ビットの値が 1 のとき

図 32－11　フラッシュ領域選択レジスタ（FLARS）のフォーマット

アドレス：F00C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FLARS	0	0	0	0	0	0	0	EXA

EXA	セルフ・プログラミング用フラッシュ・メモリ領域の選択
0	ユーザ領域
1	エクストラ領域

注意　ビット 1-7 は読み出しのみで 0 に固定されています。これらのビットへの書き込みは無視されます。

32.7.2.4　フラッシュ・アドレス・ポインタ H, L（FLAPH, FLAPL）

FLAPH および FLAPL レジスタは，フラッシュ・メモリ・プログラミングの先頭アドレスを指定します。

FLAPH レジスタは 8 ビット・メモリ操作命令で，FLAPL レジスタは 16 ビット・メモリ操作命令で設定します。

FLAPH レジスタと FLAPL レジスタの値は，次のいずれかの条件で，それぞれ 00H と 0000H になります。

- リセット時
- FLRST レジスタの FLRST ビットの値が 1 のとき

データ・フラッシュ・メモリ・プログラミングの場合，アドレスは以下のアドレス領域内に設定する必要があります。

RL78/F23：F1000H-F2FFFH

RL78/F24：F1000H-F4FFFH

図 32－12　フラッシュ・アドレス・ポインタ（FLAPH, FLAPL）のフォーマット

アドレス：F00C4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス：F00C2H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLAPL	FLAP15, FLAP14, ……, FLAP0															

注意 1. エクストラ領域シーケンサのコマンド実行中，読み出し値は不定です。

2. コード・フラッシュ・メモリのプログラミングでは，FLAP1 ビットと FLAP0 ビットの設定は無効です。

3. フラッシュ・メモリ・シーケンサ動作中は，これらのレジスタに新しい値を書き込むことはできません。

4. FLAPH レジスタのビット 4-7 は読み出し専用ビットで，0 に固定されています。これらのビットへの書き込みは無視されます。

32.7.2.5　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）

FSSQ レジスタは，フラッシュ・メモリ・プログラミング・シーケンサを制御します。

このレジスタは，1 ビットまたは 8 ビット・メモリ操作命令で設定できます。

FSSQ レジスタの値は，次のいずれかの条件で 00H になります。

- リセット時
- FLRST レジスタの FLRST ビットの値が 1 のとき

図 32－13　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット

アドレス：F00C5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FSSQ	SQST	FSSTP	DCLR	0	MDCH	SQMD2	SQMD1	SQMD0

SQST	コード/データ・フラッシュ・メモリ領域シーケンサの動作制御
0	コード/データ・フラッシュ・メモリ領域シーケンサ停止
1	コード/データ・フラッシュ・メモリ領域シーケンサ起動

FSSTP	コード/データ・フラッシュ・メモリ領域シーケンサの強制停止制御
0	コード/データ・フラッシュ・メモリ領域シーケンサを強制停止しない
1	コード/データ・フラッシュ・メモリ領域シーケンサを強制停止する

DCLR	ECC 領域シーケンサの停止制御
0	ECC 領域シーケンサ動作
1	ECC 領域シーケンサ停止

★

MDCH	SQMD2	SQMD1	SQMD0	コード／データ・フラッシュ・メモリ領域シーケンサの制御
0	0	0	0	操作なし
0	0	0	1	コード/データ・フラッシュ・メモリ書き込み
0	0	1	0	コード・フラッシュ・メモリの内部ベリファイ 注
1	0	1	0	データ・フラッシュ・メモリの内部ベリファイ 注
0	0	1	1	コード・フラッシュ・メモリのブランク・チェック
1	0	1	1	データ・フラッシュ・メモリのブランク・チェック
0	1	0	0	コード/データ・フラッシュ・メモリ・ブロック消去
上記以外				設定禁止

注　内部ベリファイ・コマンドは，書き込まれた値ではなく，フラッシュ・メモリの書き込みレベルを決定します。

注意　FSSQ レジスタのビット 4 は，必ず 0 に設定してください。

32.7.2.6　フラッシュ・エンド・アドレス・ポインタ H, L（FLSEDH, FLSEDL）

FLSEDH および FLSEDL レジスタは，フラッシュ・メモリ・プログラミングの最終アドレスを指定します。

FLSEDH レジスタは 8 ビット・メモリ操作命令で，FLSEDL レジスタは 16 ビット・メモリ操作命令で設定します。

FLSEDH レジスタと FLSEDL レジスタの値は，次のいずれかの条件で，それぞれ 00H と 0000H となります。

- リセット時
- FLRST レジスタの FLRST ビットの値が 1 のとき

データ・フラッシュ・メモリのプログラミングの場合，アドレスは以下のアドレス領域内に設定する必要があります。

RL78/F23：F1000H-F2FFFH

RL78/F24：F1000H-F4FFFH

図 32－14　フラッシュ終了アドレス・ポインタ H, L（FLSEDH, FLSEDL）のフォーマット

アドレス：F00C8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス：F00C6H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLSEDL	EWA15, EWA14, ……, EWA0															

注意 1. エクストラ領域シーケンサのコマンド実行中，読み出し値は不定です。

2. コード・フラッシュ・メモリのプログラミングでは，EWA1 ビットと EWA0 ビットの設定は無効です。

3. フラッシュ・メモリ・シーケンサの動作中は，これらのレジスタに新しい値を書き込むことはできません。

4. FLSEDH レジスタのビット 4-7 は読み出し専用ビットであり，0 に固定されています。これらのビットへの書き込みは無視されます。

32.7.2.7　フラッシュ・レジスタ初期化レジスタ（FLRST）

FLRST レジスタは，フラッシュ・メモリ・レジスタの初期化を制御します。

このレジスタは，1 ビットまたは 8 ビット・メモリ操作命令で設定します。FLRST ビットが 1 の場合，レジスタへの書き込み動作は無視されます。

リセット信号の発生により，このレジスタは 00H になります。

図 32－15　フラッシュ・レジスタ初期化レジスタ（FLRST）のフォーマット

アドレス：F00C9H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST

FLRST	フラッシュ・メモリ・レジスタの初期化制御 注
0	レジスタを初期化しない
1	レジスタを初期化する

★　**注**　FLRST レジスタの処理方法の詳細については，「32.7.4　フラッシュ・メモリ・シーケンサで使用するためのレジスタ初期化」を参照してください。

注意 1.　このレジスタを使うことで，次のレジスタが初期化されます。

FLAPH，FLAPL，FLSEDH，FLSEDL，FLWH，FLWL，FLARS，FSSQ，FSSE

2.　ビット 1-7 は読み出しのみで 0 に固定されています。これらのビットへの書き込みは無視されます。

32.7.2.8　フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L（FSASTH, FSASTL）

FSASTH および FSASTL レジスタは，プログラミングおよび消去操作のステータスを指定します。

FSASTH および FSASTL レジスタは，1 ビットまたは 8 ビット・メモリ操作命令で読み出すことができます。

リセット信号生成により，これらのレジスタは 00H に設定されます。

★　図 32－16　フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L（FSASTH, FSASTL）のフォーマット

アドレス：F00CBH　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	0 注1	0 注1	0

アドレス：F00CAH　　リセット時：x000_0000B 注2　　R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	0	ESEQER	SEQER	BLER	IVER	WRER	ERER

ESQEND	エクストラ領域シーケンサの動作終了ステータス・フラグ
0	エクストラ領域シーケンサ動作中。動作終了後に FSSE レジスタの ESQST ビットが 0 にクリアされた場合。
1	エクストラ領域シーケンサ動作終了

SQEND	コード/データ・フラッシュ・メモリ領域シーケンサの動作終了ステータス・フラグ
0	コード/データ・フラッシュ・メモリ領域シーケンサ動作中。動作終了後に FSSQ レジスタの SQST ビットが 0 にクリアされた場合。
1	コード/データ・フラッシュ・メモリ領域シーケンサ動作終了

MBTSEL	ブート・フラグのモニタ・ビット
0	FLSEC.BTFLG = 1（ブート・プログラム領域スワップしない）
1	FLSEC.BTFLG = 0（ブート・スワップする）

ESEQER	エクストラ領域シーケンサのエラー・フラグ
0	エラー発生なし
1	エラー発生あり
クリア条件：次のエクストラ領域シーケンサの起動	

SEQER	フラッシュ・メモリ・シーケンサのエラー・フラグ
0	エラー発生なし
1	エラー発生あり
クリア条件：次のフラッシュ・メモリ・シーケンサの起動	

BLER	ブランク・チェック・コマンドのエラー・フラグ
0	エラー発生なし
1	エラー発生あり
クリア条件：次のコマンド操作のアクティブ化	

（注が次のページにあります）

IVER	内部ベリファイ・コマンドのエラー・フラグ
0	エラー発生なし
1	エラー発生あり
クリア条件：次のコマンド操作のアクティブ化	

WRER	書き込みコマンドのエラー・フラグ
0	エラー発生なし
1	エラー発生あり
クリア条件：次のコマンド操作のアクティブ化	

ERER	ブロック消去コマンドのエラー・フラグ
0	エラー発生なし
1	エラー発生あり
クリア条件：次のフラッシュ・メモリ・シーケンサの起動。 ブロック消去中にコマンドを強制的に終了すると，読み出し値は不定になります。	

注 1. 読み出し時の値は不定です。

2. MBTSEL ビットの初期値は，エクストラ領域に格納されている BTFLG ビット（ブート領域切り替えフラグ）の値に依存するため不定です。

32.7.2.9　フラッシュ・ライト・バッファ・レジスタ H, L（FLWH, FLWL）

FLWH および FLWL レジスタは，フラッシュ・メモリのプログラミング中に書き込まれるデータを保持します。

FLWH および FLWL レジスタは，16 ビット・メモリ操作命令で設定します。

FLWH および FLWL レジスタのそれぞれの値は，次のいずれかの条件下で 0000H になります。

- リセット時
- FLRST レジスタの FLRST ビットの値が 1 のとき
- フラッシュ・メモリ・シーケンサの動作が終了したとき

FLRST ビットの値が 1 の間は，これらのレジスタへの書き込みはできません。

データ・フラッシュ・メモリに書き込むデータは，FLWL レジスタの下位 8 ビットに設定します。

図 32－17　フラッシュ・ライト・バッファ・レジスタ H, L（FLWH, FLWL）のフォーマット

アドレス：F00CEH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLWH	FLW31, FLW30, ……, FLW16															

アドレス：F00CCH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLWL	FLW15, FLW14, ……, FLW0															

備考　FLWH および FLWL レジスタは，意図的な ECC エラーを挿入するためのコード・フラッシュ ECC 診断セルフテストのフラッシュ・データ・レジスタとして使用できます。詳細については，「28.3.5　コード・フラッシュ・メモリ ECC 機能」を参照してください。

32.7.2.10 フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）

PFCMD レジスタは，プロテクトされたレジスタ内のデータをフラッシュ・メモリ・プログラミング操作から保護するために使用されます。

このレジスタは，8 ビット・メモリ操作命令で設定します。

図 32－18　フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）のフォーマット

アドレス：FFFC0H　　リセット時：不定　　W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

プロテクトされているレジスタに書き込むには，次のシーケンスを実行する必要があります。シーケンスが間違っていると，書き込みアクセスが実行されず，PFS レジスタの FPRERR ビットが 1 に設定されます。

- ステップ① PFCMD レジスタに A5H の値を書き込みます。
- ステップ② プロテクトされているレジスタに設定したいデータを書き込みます。
- ステップ③ プロテクトされているレジスタに設定したいデータの反転値を書き込みます。
- ステップ④ プロテクトされているレジスタに設定したいデータを書き込みます。

備考　プロテクトされているレジスタ：

- フラッシュ・プログラミング・モード制御レジスタ（FLPMC）

32.7.2.11 フラッシュ・ステータス・レジスタ（PFS）

PFS レジスタは，プロテクション・レジスタ・アクセスのステータスを示します。

このレジスタは，1 ビットまたは 8 ビット・メモリ操作命令で読み出します。

★　リセット信号の発生により，このレジスタは 00H になります。FPRERR フラグは，次の特定シーケンス再開時にクリアされます。

図 32－19　フラッシュ・ステータス・レジスタ（PFS）のフォーマット

アドレス：FFFC1H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERR	プロテクション・エラー・フラグ
0	エラー発生なし
1	エラー発生あり

備考　プロテクトされているレジスタ：

フラッシュ・プログラミング・モード制御レジスタ（FLPMC）

32.7.2.12 フラッシュ ECC ライト・バッファ・レジスタ（FLWE）

FSSQ レジスタの DCLR ビットが 0 のとき，FLWE レジスタは，フラッシュ・メモリ・プログラミングで使用される ECC データを格納します。DCLR ビットが 1 のときは，ECC 診断用として任意の ECC データを書き込むことができます。

下位 6 ビットのデータは，コード・フラッシュ・メモリ・プログラミングで使用され，下位 4 ビット・データは，データ・フラッシュ・メモリ・プログラミングで使用されます。

このレジスタは，8 ビット・メモリ操作命令で設定します。

リセット信号生成により，このレジスタは 00H に設定されます。

図 32－20　フラッシュ ECC ライト・バッファ・レジスタ（FLWE）のフォーマット

アドレス：FFFC6H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FLWE	0	0	FLWE5	FLWE4	FLWE3	FLWE2	FLWE1	FLWE0

注意　ビット 6 と 7 は読み出しのみで，0 に固定されています。これらのビットへの書き込みは無視されます。

備考　このレジスタは，意図的な ECC エラーを挿入するためのコード・フラッシュ ECC 診断セルフテストのフラッシュ・データ・レジスタとして使用できます。詳細については，「28.3.5　コード・フラッシュ・メモリ ECC 機能」をしてください。

32.7.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）

FLSEC レジスタは，エクストラ領域のモニタ・フラグ・データを表示します。

このレジスタは，16 ビット・メモリ操作命令で読み出します。

図 32－21　フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）のフォーマット

アドレス：FFFB0H　　リセット時：不定 注　　R

略号	15	14	13	12	11	10	9	8
FLSEC	TEPR	1	1	WRPR	1	SEPR	BTPR	BTFLG

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

TEPR	テスト・モード・エントリ・フラグ
0	テスト・モード禁止
1	テスト・モード許可

WRPR	書き込み禁止フラグ
0	書き込み禁止
1	書き込み許可

SEPR	ブロック消去禁止フラグ
0	ブロック消去禁止
1	ブロック消去許可

BTPR	ブート領域書き換え禁止フラグ
0	ブート領域の書き換えを禁止
1	ブート領域の書き換えを許可

BTFLG	ブート領域切り替えフラグ
0	ブート領域はブート・クラスタ 1
1	ブート領域はブート・クラスタ 0

注　リセット後のビット 8-15 の値は，エクストラ領域シーケンサ制御レジスタ（FSSE）を使用したセキュリティ・フラグ設定の初期値によって異なります。

注意 1. リセット後のビット 8-15 の値は，FSSE レジスタを使用したセキュリティ・フラグ設定の初期値によって異なります。

2. ビット 11, 13 および 14 を読み出した場合，読み出し値は不定です。

32.7.2.14 フラッシュ FSW モニタ・レジスタ S（FLFSWS）

FLFSWS レジスタは，エクストラ領域の FSWS データを表示します。

このレジスタは，16 ビットのメモリ操作命令で読み出します。

図 32－22　フラッシュ FSW モニタ・レジスタ S（FLFSWS）のフォーマット

アドレス：FFFB2H　　リセット時：不定 注1　　R

略号	15	14	13	12	11	10	9	8
FLFSWS	0	0	0	0	0	0	FSWS9	FSWS8

7	6	5	4	3	2	1	0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

FSWS[9:0]	フラッシュ・メモリ・シールド領域のスタート・ブロック番号
－	スタート・ブロック番号（ウィンドウ範囲内の先頭ブロック番号）注2

注 1. リセット後のビット 0-9 の値は，エクストラ領域シーケンサ制御レジスタ（FSSE）を使用したフラッシュ・シールド・ウィンドウ設定の初期値によって異なります。

2. 詳細については，「表 32－13　フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係」を参照してください。

32.7.2.15 フラッシュ FSW モニタ・レジスタ E（FLFSWE）

FLFSWE レジスタは，エクストラ領域の FSWE データを表示します。

このレジスタは，16 ビットのメモリ操作命令で読み出すことができます。

図 32－23　フラッシュ FSW モニタ・レジスタ E（FLFSWE）のフォーマット

アドレス：FFFB4H　　リセット時：不定 注1　　R

略号	15	14	13	12	11	10	9	8
FLFSWE	0	0	0	0	0	0	FSES9	FSWE8

略号	7	6	5	4	3	2	1	0
FLFSWE	FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

FSWE[9:0]	フラッシュ・メモリ・シールド領域のエンド・ブロック番号
－	エンド・ブロック番号（ウィンドウ範囲内の終了ブロック番号＋1）注2

注 1. リセット後のビット 0-9 の値は，エクストラ領域シーケンサ制御レジスタ（FSSE）を使用したフラッシュ・シールド・ウィンドウ設定の初期値によって異なります。

2. シリアル・プログラミング時の設定はこれとは異なります。詳細については，「表 32－13　フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係」を参照してください。

32.7.2.16 フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）

FSSET レジスタは，フラッシュ・メモリ・プログラミング・シーケンサを制御するために使用されます。

このレジスタは，8 ビット・メモリ操作命令で設定できます。

リセット信号生成により，このレジスタは 00H に設定されます。

図 32－24　フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）のフォーマット

アドレス：FFFB6H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	0	FSET4	FSET3	FSET2	FSET1	FSET0

TMSPMD	ブート・スワッピングの仕様 注1
0	エクストラ領域の情報に従う
1	TMBTSEL ビットの設定に従う

TMBTSEL	テンポラリ・ブート・スワッピングの設定 注1
0	ブート領域としてブート・クラスタ 0 を指定します（ブート・スワッピングを行わない）
1	ブート領域としてブート・クラスタ 1 を指定します（ブート・スワッピングを行う）

FSET[4:0]	フラッシュ・メモリ・シーケンサの動作周波数の設定
－	フラッシュ・メモリ・シーケンサの動作周波数を設定します。 フラッシュ・メモリ・シーケンサの動作周波数と FSET [4:0]ビットの設定の対応については，以下の表を参照ください。

フラッシュ・メモリ・シーケンサの動作周波数と FSET[4:0] ビットの設定

FSET[4:0]	周波数	FSET[4:0]	周波数	FSET[4:0]	周波数	FSET[4:0]	周波数
00000B	（注2）	01000B	9 MHz	10000B	17 MHz	11000B	26 MHz
00001B	2 MHz	01001B	10 MHz	10001B	18 MHz	11001B	28 MHz
00010B	3 MHz	01010B	11 MHz	10010B	19 MHz	11010B	30 MHz
00011B	4 MHz	01011B	12 MHz	10011B	20 MHz	11011B	32 MHz
00100B	5 MHz	01100B	13 MHz	10100B	21 MHz	11100B	34 MHz
00101B	6 MHz	01101B	14 MHz	10101B	22 MHz	11101B	36 MHz
00110B	7 MHz	01110B	15 MHz	10110B	23 MHz	11110B	38 MHz
00111B	8 MHz	01111B	16 MHz	10111B	24 MHz	11111B	40 MHz

注 1. FLSEC レジスタの BTPR ビットが 0（ブート領域の書き換えを禁止）の場合，TMSPMD および TMBTSEL ビットは設定できません。

2. フラッシュ・メモリ制御モードを設定するときは，f_{CLK} と同じ周波数を設定してください。これらのビットに 00000B を設定しないでください。

注意　CPU の動作周波数を FSET[4:0] ビットで最も近い整数に切り上げて得られる値に対応する値を設定してください。たとえば，CPU の動作周波数が 9.7 MHz の場合，ビットを 10MHz に設定します。
FSET[4:0] ビットの値が 00001B（2 MHz），000010B（3 MHz），および 00011B（4 MHz）の場合は，必ず同じ動作周波数（f_{CLK}）を使用してください。

備考　f_{CLK}：CPU/周辺ハードウェアのクロック周波数

32.7.2.17 エクストラ領域シーケンサ制御レジスタ（FSSE）

FSSE レジスタは，フラッシュ・メモリのエクストラ領域プログラミング・シーケンサを制御します。

このレジスタは，1 ビットまたは 8 ビット・メモリ操作命令で設定します。

FSSE レジスタの値は，次のいずれかの条件で 00H になります。

- リセット時
- ★ FLRST レジスタの FLRST ビットの値が 1 のとき

図 32－25　エクストラ領域シーケンサ制御レジスタ（FSSE）のフォーマット

アドレス：FFFB7H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
FSSE	ESQST	0	0	0	0	ESQMD2	ESQMD1	ESQMD0

ESQST	エクストラ領域シーケンサの動作制御
0	エクストラ領域シーケンサ動作停止
1	エクストラ領域シーケンサを起動

ESQMD2	ESQMD1	ESQMD0	Control of the extra area sequencer
0	0	0	操作なし
0	0	1	セキュリティ・フラグ設定
0	1	0	フラッシュ・シールド・ウィンドウ設定
上記以外			設定禁止

注意 1. FLRST ビットを 1 に設定することによる初期化は，フラッシュ・メモリ・シーケンサが停止しているとき（FSAST レジスタの SQEND ビットと ESQEND ビットが両方 0 の時）にのみ有効になります。

2. エクストラ領域を書き込むには，FLARS レジスタの EXA ビットを 1 に設定し，FLWH および FLWL レジスタに書き込むデータを設定してから，エクストラ領域シーケンサを起動します。

3. FLAPL，FLWH，FLWL，および FSSQ レジスタの読み出し値は，エクストラ領域シーケンサ起動後は不定です。

4. ビット 3-6 は読み出し専用ビットであり，0 に固定されています。これらのビットへの書き込みは無視されます。

32.7.3　フラッシュ・メモリ制御モードの設定

フラッシュ・メモリ・シーケンサで使用する特定のシーケンスを実行することにより，フラッシュ・メモリ制御モードを，コードまたはデータ・フラッシュ・メモリ領域を書き換えることができる状態，あるいは，いずれも書き換えることができない状態に設定できます。

- コード・フラッシュ・メモリ（およびエクストラ領域）を書き換えることができる状態：
  コード・フラッシュ・メモリ・プログラミング・モード
- データ・フラッシュ・メモリを書き換えることができる状態：
  データ・フラッシュ・メモリ・プログラミング・モード
- フラッシュ・メモリ（およびエクストラ領域）を書き換えることができない状態：
  非書き換えモード

注意 1. データ・フラッシュ・メモリ領域の取り扱いは，データ・フラッシュ・メモリへのアクセスが有効な状態（DFLCTL レジスタの DFLEN ビットの値が 1）で行ってください。
2. 高速オンチップ・オシレータは，セルフ・プログラミング中も動作し続ける必要があります。
3. フラッシュ・メモリ・シーケンサの動作周波数を FSSET レジスタに設定します。

32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順

以下の手順 1～4 でフラッシュ・プログラミング・モード制御レジスタ（FLPMC レジスタ）に必要な値を書き込むと，各フラッシュ・メモリ制御モードに移行できます。

① A5H を PFCMD レジスタに書き込みます。
② FLPMC レジスタに設定する値を書き込みます。
③ FLPMC レジスタに設定する値の反転値を書き込みます。
④ FLPMC レジスタに設定する値を書き込みます。

- 特定シーケンスは，FLRST レジスタの FLRST ビットの値が 0 で，フラッシュ・メモリ・シーケンサが停止している場合にのみ実行できます。
- 特定シーケンスの実行中，手順①～④の間で他のメモリ領域またはレジスタへの書き込みを行った場合，指定されたレジスタへの書き込みは行われず，プロテクション・エラーが発生して，フラッシュ・ステータス・レジスタ（PFS）の FPRERR フラグが 1 に設定されます。FPRERR フラグは，リセットまたは特定シーケンスの実行が再開されたときにクリアされます。

32.7.3.2　コード・フラッシュ・メモリ・プログラミング・モード移行手順

コード・フラッシュ・メモリ・プログラミング・モードに移行する手順を以下に示します。

① FLPMC レジスタに 12H を書き込みます。注

② 設定待ち（3 μs）。

③ FLPMC レジスタに 92H を書き込みます。注

④ FLPMC レジスタに 82H を書き込みます。注

⑤ モード設定時間（10 μs）を待機します。

［コード・フラッシュ・メモリ・プログラミング（消去/ブランク・チェック/書き込み/内部ベリファイ）］

注　FLPMC レジスタの設定手順に従ってください。「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」を参照してください。

たとえば，12H を FLPMC に設定する場合：

① A5H を PFCMD レジスタに書き込みます。

② FLPMC レジスタに 12H を書き込みます。

③ FLPMC レジスタに EDH（12H の反転値）を書き込みます。

④ FLPMC レジスタに 12H を書き込みます。

⑤ シーケンシャル・エラーがないか確認します（PFS レジスタの FPRERR ビットが 0）。

32.7.3.3　データ・フラッシュ・メモリ・プログラミング・モード移行手順

データ・フラッシュ・メモリ・プログラミング・モードに移行する手順を以下に示します。

① FLPMC レジスタに 10H を書き込みます。注

② モード設定時間（10 μs）を待機しています。

［データ・フラッシュ・メモリ・プログラミング（消去/ブランク・チェック/書き込み/内部ベリファイ）］

注　FLPMC レジスタの設定手順に従ってください。「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」を参照してください。

32.7.3.4　非書き換えモード移行手順

非書き換えモードに移行する手順を以下に示します。

(1) コード・フラッシュ・メモリ・プログラミング・モードから非書き換えモードへの移行

① FLPMC レジスタに 92H を書き込みます。注
② 設定待ち（3 μs）。
③ FLPMC レジスタに 12H を書き込みます。注
④ FLPMC レジスタに 08H を書き込みます。注
⑤ モード設定時間（10 μs）を待機します。
［コード・フラッシュ・メモリは読み出しアクセス可能］

注　FLPMC レジスタの設定手順に従ってください。「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」を参照してください。

(2) データ・フラッシュ・メモリ・プログラミング・モードから非書き換えモードへの移行

① FLPMC レジスタに 08H を書き込みます。注
② モード設定時間（10 μs）を待機します。
［データ・フラッシュ・メモリは読み出しアクセス可能です。］

注　FLPMC レジスタの設定手順に従ってください。「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」を参照してください。

32.7.4　フラッシュ・メモリ・シーケンサで使用するためのレジスタ初期化

以下のレジスタは，フラッシュレジスタ初期化レジスタ（FLRST）の FLRST ビットを 1 に設定することで初期化できます。

ターゲットレジスタ：FLAPH，FLAPL，FLSEDH，FLSEDL，FLWH，FLWL，FLARS，FSSQ，FSSE

ターゲットレジスタを初期化する手順を以下に示します。

① FLRST ビットを設定します。

② ソフトウェア・コードを使用して，CPU 動作クロックの少なくとも 1 サイクルを待機します。

③ FLRST ビットをクリアします。

32.7.5　フラッシュ・メモリ・シーケンサの動作周波数の設定

フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）の FSET[4:0] ビットに CPU の動作周波数（2 MHz～40 MHz）に対応する値を設定してください。設定の際は，CPU 動作周波数の値を最も近い整数に切り上げてください。

（例：CPU 動作周波数が 9.7 MHz の場合，ビットを 10 MHz に設定します。）

フラッシュ・メモリ・シーケンサの動作周波数の設定方法は以下のとおりです。

① コード・フラッシュ・メモリ・プログラミング・モード，またはデータ・フラッシュ・メモリ・プログラミング・モードに入ります。これらの各フラッシュ・メモリ・プログラミング・モードに入る手順については，「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」，「32.7.3.2　コード・フラッシュ・メモリ・プログラミング・モード移行手順」，および「32.7.3.3　データ・フラッシュ・メモリ・プログラミング・モード移行手順」を参照してください。

② フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）から読み出した後，TMSPMD および TMBTSEL ビットを FSSET レジスタから読み出した値と同じ値に設定し，FSET[4:0] ビットを CPU 動作周波数に対応する値にそれぞれ設定します。

注意　フラッシュ・メモリ・シーケンサを使用してコードやデータ・フラッシュ・メモリ，またはエクストラ領域を書き換える場合は，操作を始める前に FSSET レジスタの FSET[4:0] ビットに CPU 動作周波数に対応する値を設定してください。
CPU の動作周波数に対応する値が正しくない状態でこれらの領域のいずれかを書き換えようとすると，動作が不定になり，書き込みデータは保証されないことに注意してください。フラッシュ・メモリの値が書き換え直後は期待どおりであっても，その値に対して所定の保持期間は保証されません。

32.7.6　フラッシュ・メモリの書き換え

32.7.6.1　概要

フラッシュ・メモリ・シーケンサは，コード/データ・フラッシュ・メモリ領域シーケンサ，またはエクストラ領域シーケンサとして機能します。前者の役割では，コード・フラッシュ・メモリ領域またはデータ・フラッシュ・メモリ領域を書き換えるために使用され，後者の役割では，エクストラ領域を書き換えるために使用されます。特定の領域を書き換えるには，フラッシュ・メモリ・シーケンサで対応するコマンドを実行します。

32.7.6.2　書き換え領域の選択

コード/データ・フラッシュ・メモリ領域またはエクストラ領域を書き換えるには，フラッシュ領域選択レジスタ（FLARS）を使用して，それぞれに対応したユーザ領域またはエクストラ領域を選択します。

32.7.6.3　コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンド

コード/データ・フラッシュ・メモリ領域シーケンサ専用のコマンドを使用して，コードまたはデータ・フラッシュ・メモリ領域を書き換えてください。コマンドを発行するには，フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のビット SQMD[2:0] と MDCH にターゲット・コマンド番号を入力し，その後または同時に SQST ビットを設定してください。SQMD[2:0] および MDCH ビットを設定する前に SQST ビットを設定しないでください。

コード/データ・フラッシュ・メモリ領域シーケンサ専用のコマンドについては，「32.7.2.5　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）」を参照してください。

32.7.6.4　コード・フラッシュ・メモリ領域の書き換え操作

コード・フラッシュ・メモリ領域を書き換えるには，コード・フラッシュ・メモリ・プログラミング・モードに入り，コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから，コマンドを開始します。コード・フラッシュ・メモリ領域のコード・フラッシュ・メモリ書き換えソフトウェアは RAM 領域に割り当て，RAM から実行します。

コード・フラッシュ領域書き換え時の消去ブロック単位/書き込み単位：

- 消去ブロック単位：1 KB
- 書き込み単位：1 ワード（4 バイト）

＜コマンドの操作方法＞

対象コマンドは，コード・フラッシュ・メモリ領域のブロック消去，内部ベリファイ，書き込み，ブランク・チェックです。

- コード・フラッシュ・プログラミング・モードに移行します。移行手順は「32.7.3.1 特定のフラッシュ・メモリ・シーケンスの実行手順」，および「32.7.3.2　コード・フラッシュ・メモリ・プログラミング・モード移行手順」を参照してください。
- FLARS レジスタ ＝ 00H（EXA ビット ＝ 0：コード/データ・フラッシュ・メモリ領域）を設定します。
- 各コマンド実行前に，対象レジスタへ指定データを設定します。

(1)　ブロック消去：

FLAPH と FLAPL レジスタ：コード・フラッシュ・メモリのブロック先頭アドレス（例：0x002000）

FLSEDH と FLSEDL レジスタ：コード・フラッシュ・メモリのブロック終了アドレス（例：0x0023FF）

(2)　書き込み：書き込みは，1 ワード（4 バイト）単位のため，FLAPL レジスタの下位 2 ビットを 00B に設定します。

FLAPH と FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス（例：0x002000）

FLSEDH と FLSEDL レジスタ：すべて“0”，または未設定（例：0x000000）

★　FLWH と FLWL レジスタ：1 ワード（4 バイト）の書き込むデータを設定してください。

(3)　ブランク・チェック：ブランク・チェックは，1 ワード（4 バイト）単位のため，FLAPL レジスタの下位 2 ビットを 00B に設定します。また，FLSEDL レジスタの下位 2 ビットを 11B に設定します。

FLAPH と FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス（例：0x002000）

FLSEDH と FLSEDL レジスタ：対象のフラッシュ・メモリの終了アドレス（例：0x0023FF）

★　**注**　1 ワード（4 バイト）のみブランク・チェックする場合は，FLSEDH と FLSEDL レジスタには，FLAPH と FLAPL レジスタと同じ値を設定します。

(4)　内部ベリファイ：内部ベリファイは，1 ワード（4 バイト）単位のため，FLAPL レジスタの下位 2 ビットを 00B に設定します。また，FLSEDL レジスタの下位 2 ビットを 11B に設定します。

FLAPH と FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス（例：0x002000）

FLSEDH と FLSEDL レジスタ：対象のフラッシュ・メモリの終了アドレス（例：0x0023FF）

注　1 バイトのみ内部ベリファイする場合は，FLSEDH と FLSEDL レジスタには，FLAPH と FLAPL レジスタと同じ値を設定します。

注意　書き込まれたアドレスに対して，内部ベリファイ・コマンドは 1 回だけ実行します。2 回以上は実行しないでください。

- コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンドを発行した後は，実行が完了するまで待ちます。コマンド実行完了待ちの手順については，「32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順」を参照してください。
- コマンド実行後の処理

  コマンド処理を継続する場合：

  コード・フラッシュ・メモリ・プログラミング・モードのままで，対象レジスタのデータを更新して，同じコマンドの実行や，他のコード・フラッシュ・メモリ領域書き換えコマンドを実行できます。

  コマンド処理を完了する場合：

  非書き換えモードに移行します。移行手順は「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」，および「32.7.3.4　非書き換えモード移行手順」を参照してください。

32.7.6.5　データ・フラッシュ・メモリ領域の書き換え操作

データ・フラッシュ・メモリ領域を書き換えるには，データ・フラッシュ・メモリ・プログラミング・モードに入り，コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから，コマンドを開始します。

データ・フラッシュ・メモリ領域の消去ブロック単位/書き込み単位：

- 消去ブロックの単位：1 KB
- 書き込み単位：1 ワード（1 バイト）

＜コマンドの操作方法＞

★ 対象コマンドは，データ・フラッシュ・メモリ領域のブロック消去，内部ベリファイ，書き込み，ブランク・チェックです。

- データ・フラッシュ・プログラミング・モードに移行します。移行手順は「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」，および「32.7.3.3　データ・フラッシュ・メモリ・プログラミング・モード移行手順」を参照してください。
- FLARS レジスタ = 00H（EXA ビット = 0：コード/データ・フラッシュ・メモリ領域）を設定します。
- 各コマンド実行前に，対象レジスタへ指定データを設定します。

(1)　ブロック消去：
FLAPH と FLAPL レジスタ：データ・フラッシュ・メモリのブロック先頭アドレス（例：0x0F1000)）
FLSEDH と FLSEDL レジスタ：データ・フラッシュ・メモリのブロック終了アドレス（例：0x0F13FF）

(2)　書き込み：1 バイト
FLAPH と FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス（例：0x0F1101）
FLSEDH と FLSEDL レジスタ：すべて“0”，または未設定（例：0x000000）
FLWH と FLWL レジスタ：FLW7-FLW0 ビットのみが有効であるため，0x00000000-0x000000FF の範囲で書き込む値を設定してください。

(3)　ブランク・チェック：
FLAPH と FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス（例：0x0F1000）
FLSEDH と FLSEDL レジスタ：対象のフラッシュ・メモリの終了アドレス（例：0x0F13FF）

注　1 バイトのみブランク・チェックする場合は，FLSEDH と FLSEDL レジスタには，FLAPH と FLAPL レジスタと同じ値を設定します。

(4)　内部ベリファイ：
FLAPH と FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス（例：0x0F1000）
FLSEDH と FLSEDL レジスタ：対象のフラッシュ・メモリの終了アドレス（例：0x0F13FF）

注　1 バイトのみ内部ベリファイする場合は，FLSEDH と FLSEDL レジスタには，FLAPH と FLAPL レジスタと同じ値を設定します。

注意　書き込まれたアドレスに対して，内部ベリファイ・コマンドは 1 回だけ実行します。2 回以上は実行しないでください。

- コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンドを発行した後は，実行が完了するまで待ちます。コマンド実行完了待ちの手順については，「32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順」を参照してください。
- コマンド実行後の処理

  コマンド処理を継続する場合：

  データ・フラッシュ・メモリ・プログラミング・モードのままで，対象レジスタのデータを更新して，同じコマンドの実行や，他のデータ・フラッシュ・メモリ領域書き換えコマンドを実行できます。

  コマンド処理を完了する場合：

  非書き換えモードに移行します。移行手順は「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」，および「32.7.3.4　非書き換えモード移行手順」を参照してください。

32.7.6.6　エクストラ領域を使用するためのコマンド

エクストラ領域を書き換えるには，コード・フラッシュ・メモリ・プログラミング・モードに移行し，エクストラ領域シーケンサ専用のコマンドを使用します。コマンドを発行するには，エクストラ領域シーケンサ制御レジスタ（FSSE）の ESQMD[2:0] ビットにターゲット・コマンド番号を入力し，その後または同時に ESQST ビットを設定してください。 ESQMD[2:0] ビットを設定る前に ESQST ビットを設定しないでください。

コード・フラッシュ・メモリ領域のエクストラ領域シーケンサ・コマンド処理ソフトウェアは RAM 領域に割り当て，RAM から実行します。

32.7.6.7　エクストラ領域の書き換え操作

エクストラ領域を書き換えるには，コード・フラッシュ・メモリ・プログラミング・モードに入り，エクストラ領域シーケンサで使用するコマンドを実行します。コマンドの実行を開始する前に，実行に必要なデータを対応するレジスタに設定してください。

エクストラ領域の書き込み単位：

- 書き込み単位：1 ワード（4 バイト）

＜コマンドの操作方法＞

対象コマンドは，エクストラ領域へのデータ書き込みです。

- コード・フラッシュ・プログラミング・モードに移行します。移行手順は「32.7.3.1 特定のフラッシュ・メモリ・シーケンスの実行手順」，および「32.7.3.2　コード・フラッシュ・メモリ・プログラミング・モード移行手順」を参照してください。
- FLARS レジスタ = 00H（EXA ビット = 1：エクストラ領域）を設定します。
- コマンドを実行する前に，FLWH および FLWL レジスタに 1 ワード（4 バイト）の値を設定してください。具体的には，FLWH と FLWL レジスタの FLW[31:0] ビットが，対象のエクストラ領域に書き込むデータの EX ビット 31-0 に対応します。
- コマンドを指定すると，データを書き込む領域が決まります。FSSE レジスタの ESQMD[2:0] ビットに，ターゲット・コマンド番号を入力し，同じレジスタの ESQST ビットも 1 に設定します。

(1)　セキュリティ・フラグとブート領域切り替えフラグ：81H

(2)　FSW 関連データのプログラミング：82H

- エクストラ領域シーケンサで使用するコマンドを発行した後は，実行が完了するまで待ちます。コマンド実行完了待ちの手順については，「32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順」を参照してください。
- コマンド実行後の処理

  コマンド処理を継続する場合：

  コード・フラッシュ・メモリ・プログラミング・モードのままで，対象レジスタのデータを更新して，同じコマンドの実行や，他のエクストラ領域書き換えコマンドを実行できます。

  コマンド処理を完了する場合：

  非書き換えモードに移行します。移行手順は「32.7.3.1　特定のフラッシュ・メモリ・シーケンスの実行手順」，および「32.7.3.4　非書き換えモード移行手順」を参照してください。

32.7.6.8　エクストラ領域シーケンサで使用するコマンドに設定するデータ

エクストラ領域の書き込みは，変更しないデータも含めて 1 ワード（4 バイト）単位で行います。

対象コマンドごとに示すエクストラ領域データの EX ビット 31-0 を，FLWH と FLWL レジスタの FLW[31:0] ビットに設定してからコマンドを実行します。

(1)　セキュリティ・フラグとブート領域切り替えフラグのプログラミング

エクストラ領域データの EX ビット 31-0 を FLWH と FLWL レジスタの FLW[31:0] に設定します。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
1	1	1	1	1	1	1	1

EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
1	1	1	1	1	1	1	1

EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
TEPR	1	1	WRPR	1	SEPR	BTPR	BTFLG

EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
1	1	1	1	1	1	1	1

- TEPR ビット（ビット 15）に設定する値はテスト・モード・エントリを制御します
  TEPR = 0：テスト・モード・エントリを禁止
  TEPR = 1：テスト・モード・エントリを許可
- WRPR ビット（ビット 12）に設定する値は，シリアル・プログラミング・モードでの書き込み禁止を制御します。
  WRPR = 0/1（出荷時）：シリアル・プログラミング・モードでの書き込み禁止/シリアル・プログラミング・モードでの書き込み許可
- SEPR ビット（ビット 10）に設定する値は，シリアル・プログラミング・モードでのブロック消去の禁止を制御します。
  SEPR = 0/1（出荷時）：シリアル・プログラミング・モードでのブロック消去禁止/シリアル・プログラミング・モードでのブロック消去許可
- BTPR ビット（ビット 9）に設定する値は，シリアル・プログラミングとセルフ・プログラミングにおけるブート領域の書き換え禁止を制御します。
  BTPR = 0/1（出荷時）：ブート領域の書き換え禁止/ブート領域の書き換え許可
- BTFLG ビット（ビット 8）に設定される値は，TMSPMD = 0 の場合にブート領域として設定されるブートクラスタの制御用です。ブート・スワッピングは，追加領域（BTFLG 設定）の情報に従います。
  BTFLG = 0/1（出荷時）：ブート領域はブート・クラスタ 1/ブート領域はブート・クラスタ 0

注意 1. BTFLG ビットの値を変更するときは，他のすべてのビットを 1 に設定します。

2. BTFLG ビット以外のセキュリティ・フラグの値を 0 に変更する場合，最初にレジスタを読み出し，BTFLG ビットには読み出した値と同じ値を設定し，他のビットに 1 を設定します。

3. WRPR ビットを 0 に設定する場合，WRPR ビットはシリアル・プログラミング・モードでチップ消

去コマンドを実行した場合のみ，1 に設定できます。

なお，以下のいずれかの禁止設定を行った場合，シリアル・プログラミング・モードでチップ消去コマンドを実行することはできません。

・ SEPR = 0（ブロック消去禁止）

・ BTPR = 0（ブート領域書き換え禁止）

(2)　フラッシュ・シールド・ウィンドウ・データのプログラミング

以下に示すエクストラ領域データ EX ビット 31-0 を FLWH と FLWL レジスタの FLW31-FLW0 ビットに設定します。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
0	0	0	0	0	0	FSWE9	FSWE8

EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
0	0	0	0	0	0	FSWS9	FSWS8

EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

- FSWE9-FSWE0 ビット（ビット 25-16）に設定する値は，終了ブロック番号（ウィンドウ範囲の終了ブロック番号 + 1）です。
- FSWS9-FSWS0 ビット（ビット 9-0）で設定する値は，先頭ブロック番号（ウィンドウ範囲内の先頭ブロック番号）です。

32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順

フラッシュ・メモリ・シーケンサで起動したコマンドを完了するには，以下に示す特定の完了確認手順を実行する必要があります。

- コード/データ・フラッシュ・メモリ領域シーケンサのコマンド完了確認手順：

＜完了確認の手順＞

(1) コード/データ・フラッシュ・メモリ領域で使用するコマンドを起動後，FSASTH レジスタの SQEND フラグが設定されるまで待ちます。

(2) SQEND フラグの値が 1 であることを確認した後，FSSQ レジスタを 00H に設定します。

★ (3) SQEND フラグがクリアされるまで待ち，クリアされたら終了します。SQEND フラグがクリアされるまでの時間は，数クロック（2×CPU クロック）です。

- エクストラ領域シーケンサのコマンド完了確認手順：

＜完了確認の手順＞

(1) エクストラ領域シーケンサで使用するコマンドを起動後，FSAST レジスタの ESQEND フラグが設定されるまで待ちます。

(2) ESQEND フラグの値が 1 であることを確認した後，FSSE レジスタを 00H に設定します。

★ (3) ESQEND フラグがクリアされるまで待ち，クリアされたら終了します。ESQEND フラグがクリアされるまでの時間は，数クロック（2×CPU クロック）です。

32.7.6.10　コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンドを強制終了する手順

コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンドの実行中に異常な状態が発生した場合，コマンドを強制終了することができます。

一方，エクストラ領域シーケンサで使用するコマンドは，実行中に強制終了することはできません。

＜強制終了の手順＞

(1) 前章「32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順」の「・コード/データ・フラッシュ・メモリ領域シーケンサのコマンド完了確認手順」に示す手順 (1) でコマンドを開始した後，手順 (2) で FSSQ レジスタの SQST ビットをクリアするまでの間に，FSSQ レジスタの FSSTP ビットに 1 を設定します。これにより，起動したコード/データ・フラッシュ・メモリ領域シーケンサのコマンドが強制終了します。

(2) FSASTH レジスタの SQEND フラグの値が 1 であることを確認した後，FSSQ レジスタの SQST ビットと
★ FSSTP ビットを 0 にクリアします。FSSTP ビットに 1 を設定してから，SQEND フラグが 1 になるまでの時間は，最大 28.0 μs です。

(3) SQEND フラグが自動的にクリアされるまで待ちます。SQEND フラグがクリアされると，強制終了が完了
★ します。SQEND フラグがクリアされるまでの時間は，数クロック（2×CPU クロック）です。

32.7.7　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，書き換えができなくなります。

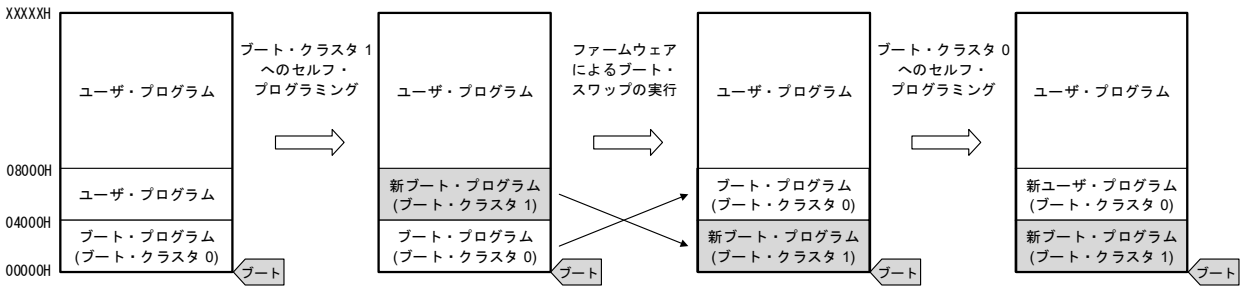
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ 0[注] の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ 1 に書き込んでおきます。ブート・クラスタ 1 への書き込みが正
★ 常終了したら，セルフ・プログラミングでブート領域をブート・クラスタ 0 からブート・クラスタ 1 に変更します。このあと，本来の領域であるブート・クラスタ 0 へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ 1 からブートを行うため，正常にプログラムが動作します。

注　ブート・クラスタは 16 KB の領域で，ブート・スワップによりブート・クラスタ 0 とブート・クラスタ 1 を置換します。

図 32－26　ブート・スワップ機能

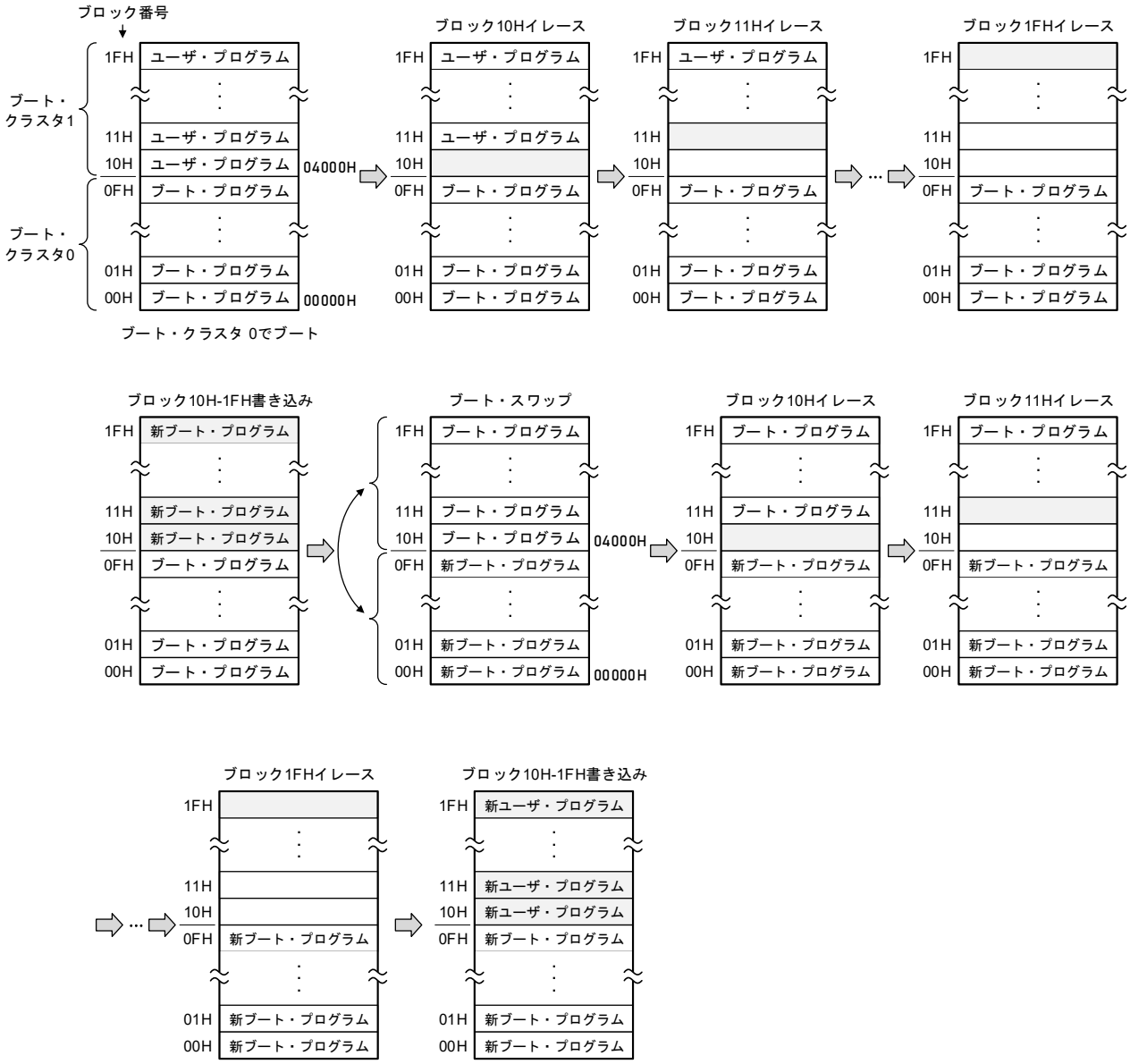


この図の例では，次のようになっています。

ブート・クラスタ 0：ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ 1：ブート・スワップ後のブート・プログラム領域です。

図 32－27　ブート・スワップの実行例



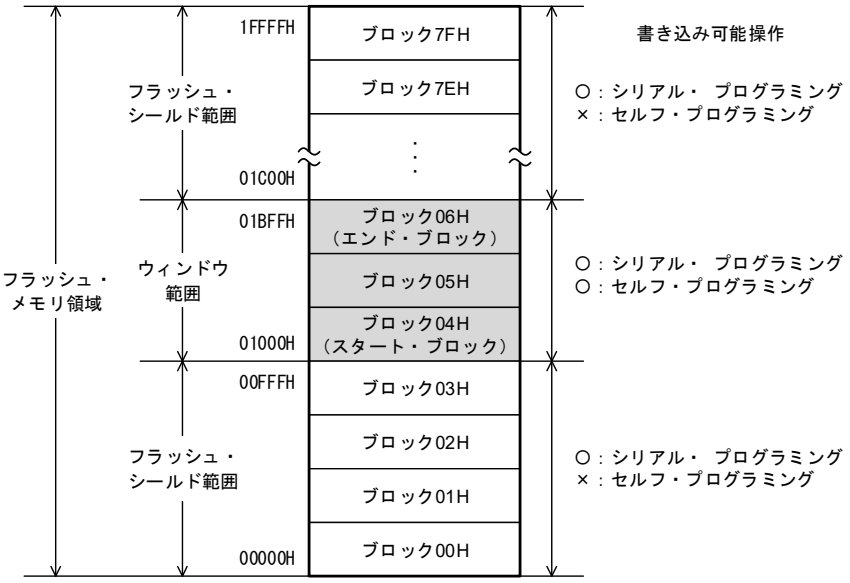
32.7.8　フラッシュ・シールド・ウィンドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウィンドウ機能があります。フラッシュ・シールド・ウィンドウ機能は，指定したウィンドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウィンドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウィンドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウィンドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウィンドウとして指定した範囲外にも書き込み／消去可能です。

図 32－28　フラッシュ・シールド・ウィンドウの設定例
（スタート・ブロック：04H，エンド・ブロック：06H の場合）



注意 1. フラッシュ・シールド・ウィンドウのウィンドウ範囲内にブート・クラスタ 0 の書き換え禁止領域が重なる場合は，ブート・クラスタ 0 の書き換え禁止が優先されます。

2. フラッシュ・シールド・ウィンドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表 32－13　フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウィンドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
★ セルフ・プログラミング時	フラッシュ・セルフ・プログラミングで，ウィンドウの先頭ブロック，最終ブロックを指定する	ウィンドウ範囲内のみブロック消去できる	ウィンドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマの GUI 上などで，ウィンドウの先頭ブロック，最終ブロックを指定する	ウィンドウ範囲外もブロック消去可能	ウィンドウ範囲外も書き込み可能

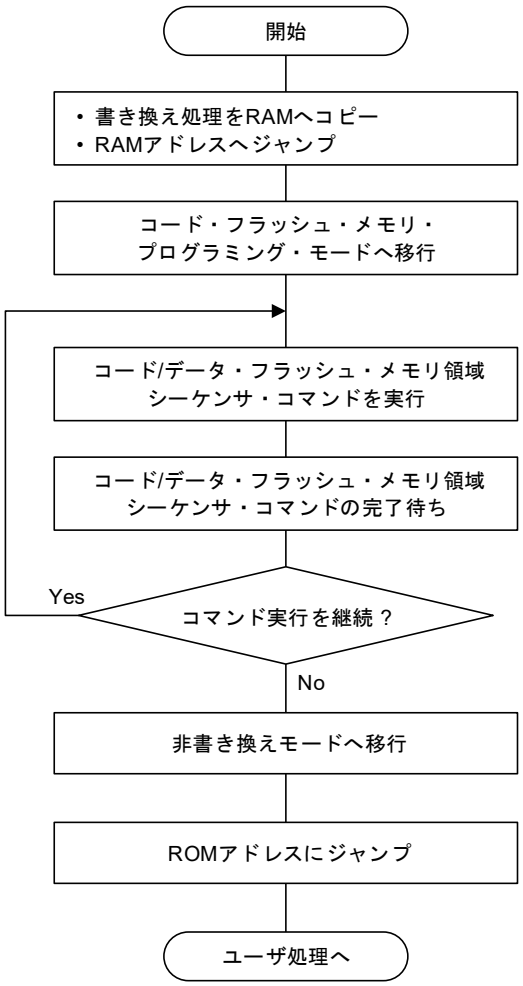
備考　シリアル・プログラミング時の書き込み／消去を禁止したい場合は，「32.8　セキュリティ設定」を参照してください。

32.7.9　フラッシュ・メモリ領域を書き換えるコマンドの実行例

(1) コード・フラッシュ・メモリ領域を書き換えるコマンドの実行例

図 32－29 にコード・フラッシュ・メモリ領域を書き換えるコマンドの実行フローを示します。

図 32－29　コード・フラッシュ・メモリ領域書き換えコマンド実行フロー



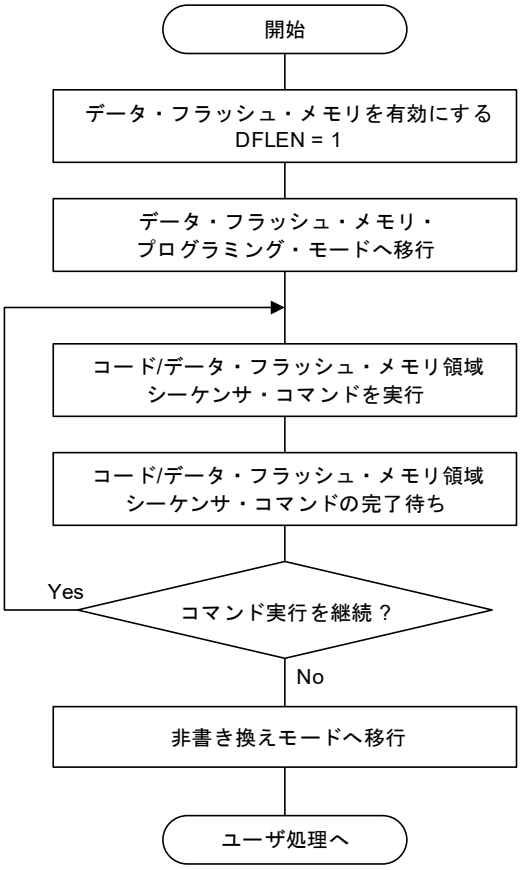
参照章

- 32.7.3.2　コード・フラッシュ・メモリ・プログラミング・モード移行手順
- 32.7.5　フラッシュ・メモリ・シーケンサの動作周波数の設定
- 32.7.6.4　コード・フラッシュ・メモリ領域の書き換え操作
- 32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順
- 32.7.3.4　非書き換えモード移行手順

(2) データ・フラッシュ・メモリ領域を書き換えるコマンドの実行例

図 32－30 にデータ・フラッシュ・メモリ領域を書き換えるコマンドの実行フローを示します。

図 32－30　データ・フラッシュ・メモリ領域書き換えコマンド実行フロー



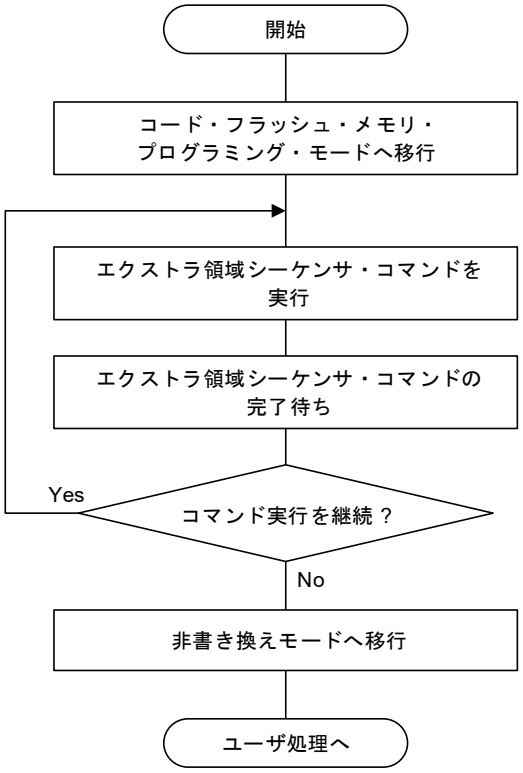
参照章

- 32.7.3.3　データ・フラッシュ・メモリ・プログラミング・モード移行手順
- 32.7.5　フラッシュ・メモリ・シーケンサの動作周波数の設定
- 32.7.6.5　データ・フラッシュ・メモリ領域の書き換え操作
- 32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順
- 32.7.3.4　非書き換えモード移行手順

(3) エクストラ領域を書き換えるコマンドの実行例

図 32－31 にエクストラ領域を書き換えるコマンドの実行フローを示します。

図 32－31　エクストラ領域書き換えコマンド実行フロー



参照章

- 32.7.3.2　コード・フラッシュ・メモリ・プログラミング・モード移行手順
- 32.7.5　フラッシュ・メモリ・シーケンサの動作周波数の設定
- 32.7.6.7　エクストラ領域の書き換え操作
- 32.7.6.9　各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順
- 32.7.3.4　非書き換えモード移行手順

32.7.10　セルフ・プログラミングの注意事項

(1)　コード・フラッシュ・メモリまたはエクストラ領域の書き換え

★　コード・フラッシュ・メモリまたはエクストラ領域を書き換えるには，RAM に書き換えプログラミングを配置します。

(2)　コード・フラッシュ・メモリ領域の消去

★　セルフ・プログラミング中は，割り込みを禁止（DI 状態）してください。セルフ・プログラミングを中断して，割り込みを使用したい場合は，非プログラマブル・モードに遷移して，コード・フラッシュ・メモリ ECC 機能の割り込みをマスクした後で，割り込みを許可（EI 状態）してください。

消去されたフラッシュ・メモリ領域を CPU が読み出すと，コード・フラッシュ ECC エラー検出割り込み

★　が発生します。コード・フラッシュ・メモリ領域のすべての未使用領域には，書き込みを行ってください。未使用領域に書き込むデータは，FFH を推奨します。CPU が FFH コードをフェッチすると，不正命令の実行による内部リセットが発生します。

★　(3)　データ・フラッシュ・メモリ領域を操作するための前提条件

★　データ・フラッシュ・メモリ領域を操作する前に，データ・フラッシュ制御レジスタ（DFLCTL）の DFLEN ビットを 1（データ・フラッシュ・メモリへのアクセスを有効）に設定してください。

(4)　フラッシュ・メモリの書き換え時のプログラム実行

フラッシュ・メモリ・シーケンサは，セルフ・プログラミング中のフラッシュ・メモリの書き換えを制御するために使用されます。

フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは，操作対象のフラッシュ・メモリを参照することはできません。

- コード・フラッシュ・メモリ・プログラミング・モードでは，コード・フラッシュ・メモリを参照することはできません。したがって，コード・フラッシュ・メモリ・プログラミング・モードでは，実行するユーザ・プログラムと参照データを，事前にコード・フラッシュ・メモリから RAM にコピーしてください。その後，RAM にコピーされたユーザ・プログラムを実行し，RAM にコピーされたデータを参照します。
- データ・フラッシュ・メモリ・プログラミング・モードでは，データ・フラッシュ・メモリへの参照はできません。したがって，データ・フラッシュ・メモリ・プログラミング・モードで参照されるデータ・フラッシュ・メモリ内のデータについては，事前に RAM にコピーして参照してください。

(5)　コード・フラッシュ・メモリ ECC 回路は，コード・フラッシュ・メモリに正常に書き込みが行われた後，初期化する必要があります。コード・フラッシュ・メモリ ECC 回路を初期化するために，リセット（外部または内部リセット）を行ってください。

(6)　オンチップ・デバッガを使用する場合の注意事項

★　オンチップ・デバッガを使用してフラッシュ・セルフ・プログラミング中にブレークする場合は，CS+や e²studio などの統合開発環境のデバッグ設定で，「Flash のセルフ・プログラミングを行う」を［はい］に設定してください。詳しくは，統合開発環境のユーザーズ・マニュアルを参照してください。

32.8 セキュリティ設定

RL78/F23, F24 は，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラム改ざん防止などに対応しています。

★ シリアル・プログラミングまたはセルフ・プログラミングで，次の操作をすることができます。

- ブロック消去の禁止

  シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。
  ただし，セルフ・プログラミング時のブロック消去は可能です。

- 書き込みの禁止

  シリアル・プログラミング時に，フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時の書き込みは可能です。
  書き込み禁止に設定後，「Security Release」コマンドによる解除はリセットで有効になります。

- ブート・クラスタ 0 の書き換え禁止

  コード・フラッシュ・メモリ内のブート・クラスタ 0（00000H-3FFFH）に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

- テスト・モードの禁止

  テスト・モードへの移行を禁止できます。テスト・モードが禁止になっている場合，ルネサスエレクトロニクスはテスタ装置を使ったフラッシュ・メモリの解析ができません。禁止状態は，フラッシュ・メモリ・プログラマまたはエクストラ領域のセルフ・プログラミングにより解除できます。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ 0 の書き換えはすべて許可になっています。セキュリティは，シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78/F23, F24 のセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表 32－14 に示します。

注意　専用フラッシュ・プログラマのセキュリティ機能は，セルフ・プログラミングには対応していません。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウィンドウ機能を使用してください。（詳しくは，「32.7.8　フラッシュ・シールド・ウィンドウ機能」を参照。）

表 32－14　セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング中

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去の禁止	ブロック消去できない	書き込み可能 注
書き込みの禁止	ブロック消去可能	書き込みできない
ブート・クラスタ 0 の書き換え禁止	ブート・クラスタ 0 は消去できない	ブート・クラスタ 0 は書き込みできない
テスト・モードの禁止	ブロック消去可能	書き込み可能

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

(2) セルフ・プログラミング中

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去の禁止	ブロック消去可能	書き込み可能
書き込みの禁止		
ブート・クラスタ 0 の書き換え禁止	ブート・クラスタ 0 は消去できない	ブート・クラスタ 0 は書き込みできない
テスト・モードの禁止	ブロック消去可能	書き込み可能

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合は，フラッシュ・シールド・ウィンドウ機能を使用してください。（詳しくは，「32.7.8　フラッシュ・シールド・ウィンドウ機能」を参照してください。）

表 32－15　各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去の禁止	専用フラッシュ・メモリ・プログラマの GUI 上などで設定	設定後は無効にできない
書き込みの禁止		専用フラッシュ・メモリ・プログラマの GUI 上などで設定
ブート・クラスタ 0 の書き換え禁止		設定後は無効にできない
テスト・モードの禁止		専用フラッシュ・メモリ・プログラマの GUI 上などで設定

注意　「書き込み禁止」設定の解除は，「ブロック消去禁止」，「ブート・クラスタ 0 の書き換え禁止」に設定されていない状態で，かつコード・フラッシュ領域，データ・フラッシュ領域がブランクでのみ可能です。

(2) セルフ・プログラミング

★

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去の禁止	セルフ・プログラミングで設定	設定後は無効にできない
書き込みの禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に，専用フラッシュ・メモリ・プログラマの GUI 上などで設定する）
ブート・クラスタ 0 の書き換え禁止		設定後は無効にできない
テスト・モードの禁止		セルフ・プログラミングを使用して無効にする

32.9 データ・フラッシュ

32.9.1 データ・フラッシュの概要

データ・フラッシュの概要を以下に示します。

★
- セルフ・プログラミングにより，ユーザ・プログラムでデータ・フラッシュ･メモリの書き換えが可能です。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングによる書き換えも可能です。
- データ・フラッシュのブロックは，1 KB 単位で消去可能です。
- データ・フラッシュは，8 ビット単位でのみアクセス可能です。
- データ・フラッシュは，CPU 命令で直接読み出し可能です。
- データ・フラッシュ書き換え中も，コード・フラッシュからの命令実行が可能です（バックグランド・オペレーション（BGO）対応）。
- データ・フラッシュはデータ専用領域のため，データ・フラッシュからの命令実行は禁止です。
- コード・フラッシュ書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止です。
- データ・フラッシュの書き換え中に，DFLCTL レジスタを操作することは禁止です。
- データ・フラッシュの書き換え中に，HALT/STOP モード状態に遷移することは禁止です。
- データ・フラッシュは，他のプログラムが動作中にプログラム可能です。

注意 1. リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30 μs 経過後にデータ・フラッシュ・メモリの書き換えを実行してください。 ★

備考 ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては，「32.7　セルフ・プログラミング」を参照してください。

32.9.2　データ・フラッシュへのアクセス手順

リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには，以下の手順で初期設定を行う必要があります。

★ 初期設定後は，CPU 命令による読み出し，またはセルフ・プログラミングを使用したユーザ・プログラムによる読み出し／書き換えが可能です。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット 0（DFLEN）に 1 を設定する。

② ソフトウェア・タイマなどでセットアップ時間をウェイトする。
セットアップ時間：4 μs

③ セットアップ時間のウェイト完了後，データ・フラッシュへのアクセスが可能となります。

注意 1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中に STOP モードに移行することは禁止です。セットアップ時間中に STOP モードに移行する場合は，DFLEN = 0 に設定してから，STOP 命令を実行してください。

3. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作
★ **（HIOSTOP = 0）させ，30 μs 経過後にデータ・フラッシュ・メモリの書き換えを実行してください。**

第33章　オンチップ・デバッグ機能

33.1　オンチップ・デバッグ機能の概要

RL78/F23, F24 は，従来の RL78 ファミリのマイコンよりもオンチップ・デバッグ機能を強化しています。

強化されたオンチップ・デバッグ機能は RL78/F13, F14 と同じです。

強化している機能は次の 3 機能です。この 3 機能の概要を説明します。各機能の注意事項は「E2 エミュレータ・ユーザーズ・マニュアル（R20UT3538）」，および「E2 エミュレータ Lite ユーザーズ・マニュアル（R20UT3240）」を参照してください。

- ホット・プラグイン
- DTC 方式リアルタイム RAM モニタ（RRM）／動的メモリ変更（DMM：Dynamic Memory Modification）
- オンチップ・トレース

33.1.1　ホット・プラグイン

ユーザ・プログラム実行中の MCU に対して，実行停止，リセットをすることなくエミュレータと接続する機能です。この機能では RAM を使用します。

33.1.2　DTC 方式リアルタイム RAM モニタ（RRM）／動的メモリ変更（DMM）

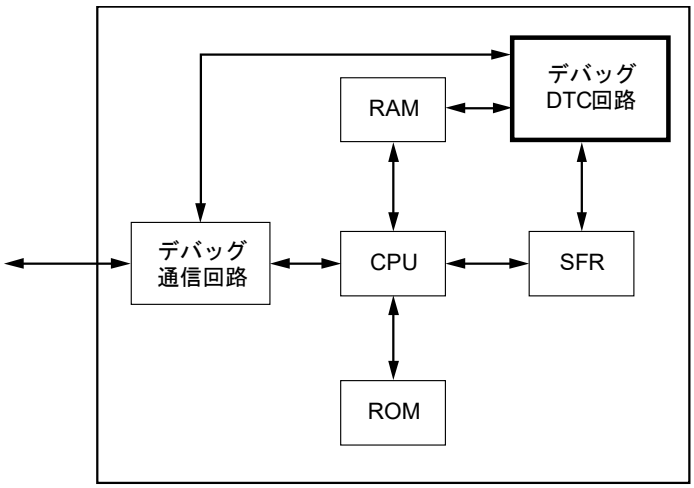
ホット・プラグインで接続後，ユーザ・プログラムを実行中に MCU のメモリにアクセスする機能です。

従来の RL78 ファミリのマイコンでは，CPU を使用してメモリにアクセスしていました。RL78/F23, F24 では，デバッグ用の DTC 回路を搭載しているため，CPU を使用せずにメモリにアクセスすることが可能です。

なお，この機能では RAM を使用します。

図 33－1 に DTC 方式 RRM/DMM の構成図を示します。

図 33－1　DTC 方式 RRM/DMM の構成図



33.1.3　オンチップ・トレース

分岐が発生した場合に分岐元のプログラム・カウンタ値を保存する機能です。

分岐命令実行による分岐，割り込み発生による分岐，リセット発生による分岐を保存できます。なお，この機能では RAM を使用してトレースを保持します。

表 33－1 にオンチップ・トレースで使用する RAM 領域と保存できる分岐数を示します。

表 33－1　オンチップ・トレースで使用する RAM 領域と保存できる分岐数

シリーズ名	RAM	使用 RAM 領域	分岐数
RL78/F23 注1	12 KB	• FD500H-FD52FH （ホット・プラグイン／DTC 方式による RRM と DDM） • FD300H-FD4FFH （オンチップ・トレース）	128
RL78/F24 注2	24 KB	• FA500H-FA52FH （ホット・プラグイン／DTC 方式による RRM と DDM） • FA300H-FA4FFH （オンチップ・トレース）	

注 1. ホット・プラグイン機能，RRM，DMM 機能，またはオンチップ・デバッガ・トレース機能を使用する場合は，必ず RAMSAR レジスタに CFH を設定してください。

2. ホット・プラグイン機能，RRM，DMM 機能，またはオンチップ・デバッガ・トレース機能を使用する場合は，必ず RAMSAR レジスタに 9FH を設定してください。

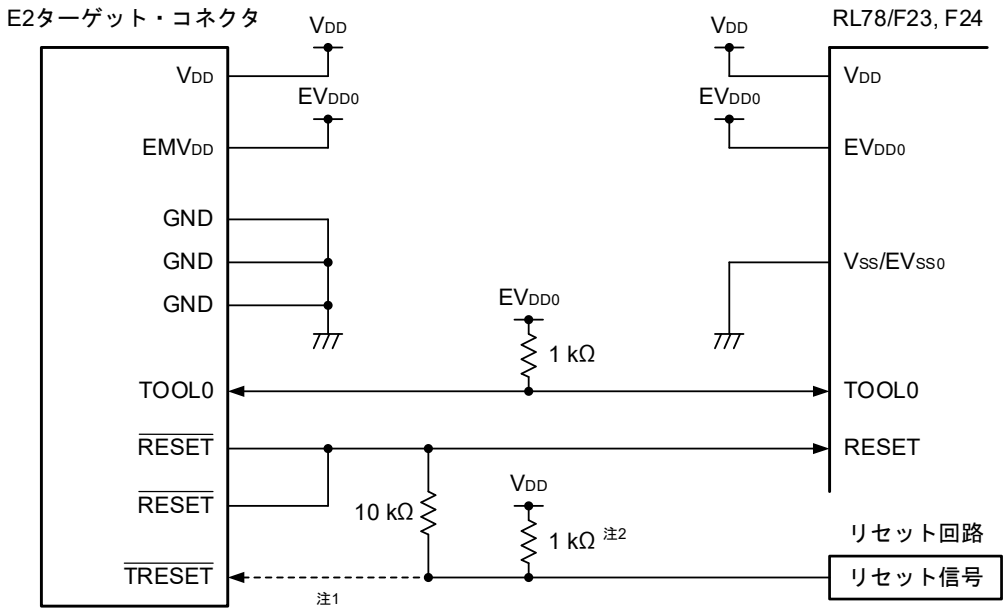
33.2 E2 / E2 Lite オンチップ・デバッギング・エミュレータと RL78/F23, F24 の接続

RL78/F23, F24 は，オンチップ・デバッグ対応の E2 / E2 Lite オンチップ・デバッギング・エミュレータを介してホスト・マシンとの通信を行う場合，V_{DD}, EV_{DD0}, RESET, TOOL0, V_{SS} 端子を使用します。シリアル通信としては，TOOL0 端子を使用した単線 UART を使用します。

また，RL78/F23, F24 は，ホット・プラグイン検出機能が搭載されています。

注意　RL78/F23, F24 には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

図 33－2　E2 オンチップ・デバッギング・エミュレータと RL78/F23, F24 の接続例



注 1. フラッシュ・プログラミング時，点線部の接続は必要ありません。

2. ターゲット・システム上のリセット回路にバッファがなく，抵抗やコンデンサのみでリセット信号を生成する場合，このプルアップは必要ありません。

注意　リセット信号の出力が N-ch オープン・ドレインのバッファ（出力抵抗が 100 Ω 以下）を想定した回路例です。

33.3 オンチップ・デバッグ・セキュリティ ID

RL78/F23, F24 は，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの 000C3H にオンチップ・デバッグ動作制御ビット（「第 31 章　オプション・バイト」を参照）を，000C6H-000D5H にオンチップ・デバッグ・セキュリティ ID 設定領域を設けています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C3H，000C6H-000D5H と 040C3H，040C6H-040D5H が切り替わるため，あらかじめ 040C3H，040C6H-040D5H にも同じ値を設定してください。

表 33－2　オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ ID コード
000C6H-000D5H	16 バイトの任意の ID コード（オール FFH を除く）
040C6H-040D5H	

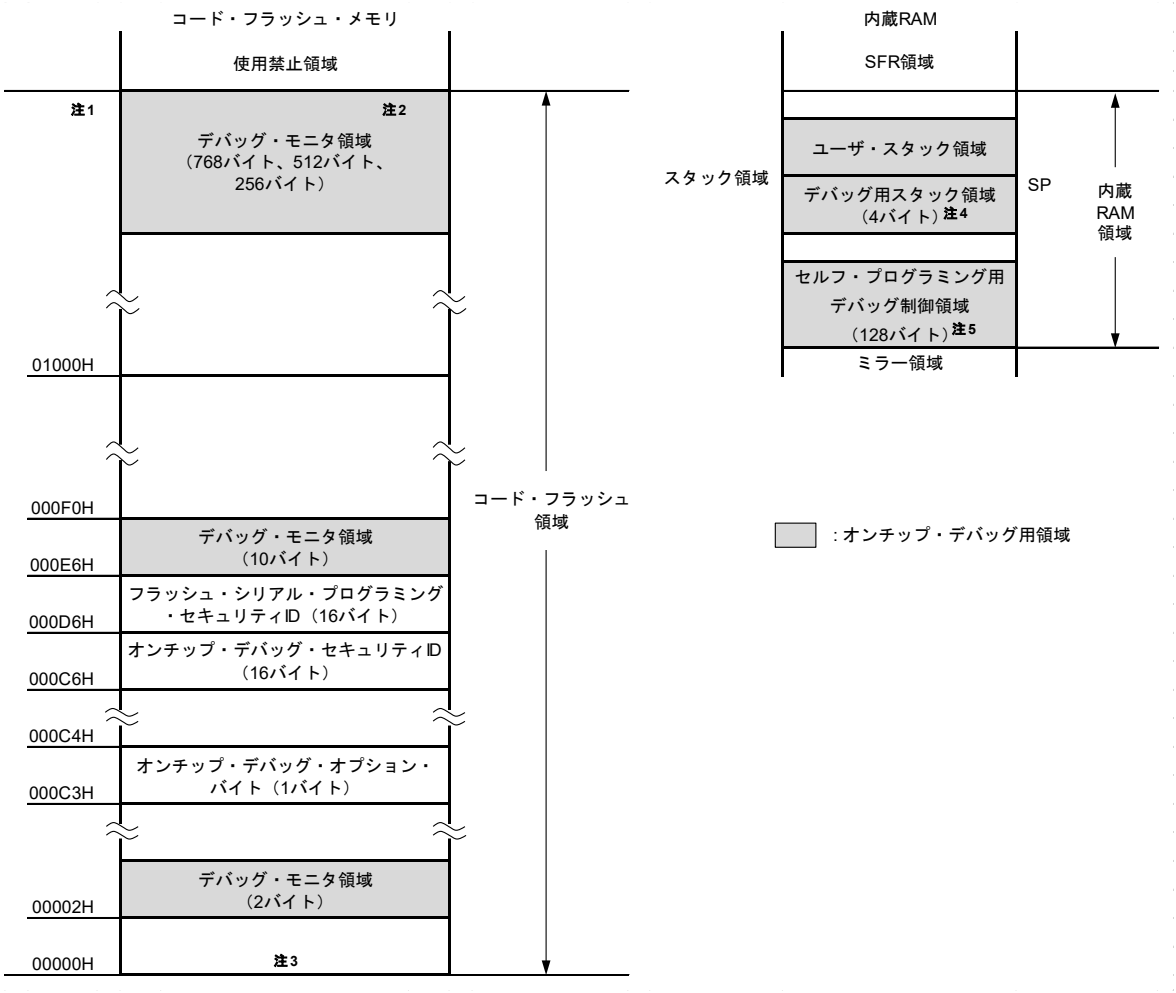
33.4 ユーザ資源の確保

RL78/F23, F24 と E2 / E2 Lite オンチップ・デバッギング・エミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンカ・オプションで設定することもできます。

33.4.1 メモリ空間の確保

図 33－3 のグレーで示す領域はデバッグ用モニタ・プログラムを配置するための予約領域であり，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図 33－3　デバッグ用モニタ・プログラムが配置されるメモリ空間



注 1. 製品によって，次のようにアドレスが異なります。

製品名（コード・フラッシュ・メモリ容量）	**注 1** のアドレス
RL78/F23（128 KB）	1FFFFH
RL78/F24（256 KB）	3FFFFH

2. リアルタイム RAM モニタ（RRM）機能，Dynamic Memory Modification（DMM）機能，Start/Stop 関数（E2 / E2 Lite のみサポート），通過ポイント（E2 の拡張機能で E2 のみサポート）の使用状況により，領域が異なります。

256 バイト：RRM/DMM 機能，Start/Stop 関数，通過ポイントのいずれも未使用

512 バイト：RRM/DMM 機能，Start/Stop 関数，通過ポイントのいずれか 1 つを使用

768 バイト：RRM/DMM 機能と Start/Stop 関数の両方を使用

（RRM/DMM 機能または Start/Stop 関数と，通過ポイントは併用できません。）

3. デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

4. この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，4 バイト余分に消費します。

5. オンチップ・デバッグ時にセルフ・プログラミングを行う場合，オンチップ・デバッガは以下の RAM 領域を使用します。

RL78/F23：FCF00H から FCF7FH（128 バイト）

RL78/F24：F9F00H から F9F7FH（128 バイト）

第34章　10進補正（BCD）回路

34.1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコードの加減算結果を，BCDコードで求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

34.2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

表34－1　10進補正回路（BCD）レジスタ

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
F00FEH	BCD 補正結果レジスタ	BCDADJ	不定	8

(1)　BCD 補正結果レジスタ（BCDADJ）

BCDADJ レジスタには，A レジスタをオペランドにもつ加減算命令によって，BCD コードで加減算結果を求めるための補正値が格納されます。

また，BCDADJ レジスタの読み出し値は，読み出し時の A レジスタと CY フラグおよび AC フラグの値によって変わります。

BCDADJ レジスタは，8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図34－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　　リセット時：不定　　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

34.3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1)　加算：BCD コード値と BCD コード値の加算結果を BCD コード値で求める

①　加算したい BCD コード値（被加算値）を A レジスタに格納する。

②　A レジスタと第 2 オペランドの値（もう 1 つの加算したい BCD コード値，加算値）をそのまま 2 進数で加算することにより，2 進数での演算結果が A レジスタに格納され，補正値が BCD 補正結果レジスタ（BCDADJ）に格納される。

③　A レジスタ（2 進数での加算結果）と BCDADJ レジスタの値（補正値）を 2 進数で加算することにより 10 進補正演算を行い，A レジスタと CY フラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1：99＋89 = 188

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV　A，#99H　　；①	99H	－	－	－
ADD　A，#89H　　；②	22H	1	1	66H
ADD　A，!BCDADJ　　；③	88H	1	0	－

例2：85＋15 = 100

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV　A，#85H　　；①	85H	－	－	－
ADD　A，#15H　　；②	9AH	0	0	66H
ADD　A，!BCDADJ　　；③	00H	1	1	－

例3：80＋80 = 160

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV　A，#80H　　；①	80H	－	－	－
ADD　A，#80H　　；②	00H	1	0	60H
ADD　A，!BCDADJ　　；③	60H	1	0	－

(2)　減算：BCD コード値から BCD コード値の減算結果を BCD コード値で求める

①　減算される BCD コード値（被減算値）を A レジスタに格納する。

②　A レジスタから第 2 オペランドの値（減算する BCD コード値，減算値）をそのまま 2 進数で減算することにより，2 進数での演算結果が A レジスタに格納され，補正値が BCD 補正結果レジスタ（BCDADJ）に格納される。

③　A レジスタ（2 進数での減算結果）から BCDADJ レジスタの値（補正値）を 2 進数で減算することにより 10 進補正演算を行い，A レジスタと CY フラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例：91－52 = 39

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
`MOV　A，#91H　　；①`	91H	－	－	－
`SUB　A，#52H　　；②`	3FH	0	1	06H
`SUB　A，!BCDADJ　　；③`	39H	0	0	－

第35章　命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については「RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編」を参照してください。

35.1　凡例

35.1.1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の 1 つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16 ビット絶対アドレス指定
- !!　　：20 ビット絶対アドレス指定
- $　　：8 ビット相対アドレス指定
- $!　　：16 ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式 r，rp には，機能名称（X，A，C など），絶対名称（表 35－1 の中のカッコ内の名称，R0，R1，R2 など）のいずれの形式でも記述可能です。

表 35－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR 略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16 ビット操作可能な SFR 略号。偶数アドレスのみ 注）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ 注）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル（16 ビット・データ時は偶数アドレスのみ 注）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16 ビット・イミーディエト・データまたはラベル
byte	8 ビット・イミーディエト・データまたはラベル
bit	3 ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合は，ビット 0 が“0”になります。

備考　特殊機能レジスタは，オペランド sfr に略号で記述することができます。拡張特殊機能レジスタは，オペランド !addr16 に略号で記述することができます。SFR および 2nd SFR のシンボル詳細については，各機能の章を参照してください。

35.1.2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表 35－2　オペレーション欄の記号

記号	機能
A	A レジスタ：8 ビット・アキュムレータ
X	X レジスタ
B	B レジスタ
C	C レジスタ
D	D レジスタ
E	E レジスタ
H	H レジスタ
L	L レジスタ
ES	ES レジスタ
CS	CS レジスタ
AX	AX レジスタ・ペア：16 ビット・アキュムレータ
BC	BC レジスタ・ペア
DE	DE レジスタ・ペア
HL	HL レジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L X_S，X_H，X_L	16 ビット・レジスタの場合は X_H = 上位 8 ビット，X_L = 下位 8 ビット 20 ビット・レジスタの場合は X_S (ビット 19-16)，X_H (ビット 15-8)，X_L (ビット 7-0)
∧	論理積（AND）
∨	論理和（OR）
∀	排他的論理和（exclusive OR）
￣	反転データ
addr5	16 ビット・イミーディエト・データ（0080H-00BFH の偶数アドレスのみ）
addr16	16 ビット・イミーディエト・データ
addr20	20 ビット・イミーディエト・データ
jdisp8	符号付き 8 ビット・データ（ディスプレースメント値）
jdisp16	符号付き 16 ビット・データ（ディスプレースメント値）

35.1.3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表 35－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0 にクリアされる
1	1 にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

35.1.4　PREFIX 命令

ES:で示される命令は，PREFIX 命令コードを頭に付けることで，アクセスできるデータ領域を F0000H-FFFFFH の 64 K バイト空間から，ES レジスタの値を付加した 00000H-FFFFFH の 1 M バイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで，PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお，PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表 35－4　PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ES レジスタの値は，PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

35.1.5　積和演算命令

この製品は積和演算命令に対応します。MACHU（符号なし積和）または MACH（符号付き積和）の命令で実行できます。表 35－5 に，積和演算命令で使用されるレジスタを示します。

表 35－5　積和命令で使用されるレジスタ

アドレス	レジスタ名	シンボル	リセット時	アクセス・サイズ
FFFF0H FFFF1H	積和レジスタ（L）	MACRL	0000H	16
FFFF2H FFFF3H	積和レジスタ（H）	MACRH	0000H	16

(1) 積和レジスタ（MACRH, MACRL）

MACRH レジスタと MACRL レジスタは，連結することで 32 ビット長レジスタ（MACR）として使用されます。MACR レジスタは MACHU 命令または MACH 命令で使用されます。

アドレス：FFFF2H（MACRH）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACRH																

アドレス：FFFF0H（MACRL）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MACRL																

MACR (MACRH, MACRL)	積和レジスタ
00000000H-FFFFFFFFH	• 符号なし積和演算 MACHU 命令を使用して演算します。 MACR ← MACR + AX × BC (符号なし) • 符号付き積和演算 MACH 命令を使用して演算します。 MACR ← MACR + AX × BC (符号付き)

35.2 オペレーション一覧

表 35－6　オペレーション一覧（1/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte			
		PSW, #byte	3	3	－	PSW ← byte	×	×	×
		CS, #byte	3	1	－	CS ← byte			
		ES, #byte	2	1	－	ES ← byte			
		!addr16, #byte	4	1	－	(addr16) ← byte			
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte			
		saddr, #byte	3	1	－	(saddr) ← byte			
		sfr, #byte	3	1	－	sfr ← byte			
		[DE+byte], #byte	3	1	－	(DE + byte) ← byte			
		ES:[DE+byte],#byte	4	2	－	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	－	(HL + byte) ← byte			
		ES:[HL+byte],#byte	4	2	－	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	－	(SP + byte) ← byte			
		word[B], #byte	4	1	－	(B + word) ← byte			
		ES:word[B], #byte	5	2	－	((ES, B) + word) ← byte			
		word[C], #byte	4	1	－	(C + word) ← byte			
		ES:word[C], #byte	5	2	－	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	－	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	－	((ES, BC) + word) ← byte			
		A, r 注3	1	1	－	A ← r			
		r, A 注3	1	1	－	r ← A			
		A, PSW	2	1	－	A ← PSW			
		PSW, A	2	3	－	PSW ← A	×	×	×
		A, CS	2	1	－	A ← CS			
		CS, A	2	1	－	CS ← A			
		A, ES	2	1	－	A ← ES			
		ES, A	2	1	－	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	－	(addr16) ← A			
		ES:!addr16, A	4	2	－	(ES, addr16) ← A			
		A, saddr	2	1	－	A ← (saddr)			
		saddr, A	2	1	－	(saddr) ← A			

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスがないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. r = A を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（2/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr			
		sfr, A	2	1	－	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	－	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	－	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	－	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	－	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE + byte)			
		[DE+byte], A	2	1	－	(DE + byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	－	((ES, DE) + byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL + byte)			
		[HL+byte], A	2	1	－	(HL + byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	－	((ES, HL) + byte) ← A			
		A, [SP+byte]	2	1	－	A ← (SP + byte)			
		[SP+byte], A	2	1	－	(SP + byte) ← A			
		A, word[B]	3	1	4	A ← (B + word)			
		word[B], A	3	1	－	(B + word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B) + word)			
		ES:word[B], A	4	2	－	((ES, B) + word) ← A			
		A, word[C]	3	1	4	A ← (C + word)			
		word[C], A	3	1	－	(C + word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C) + word)			
		ES:word[C], A	4	2	－	((ES, C) + word) ← A			
		A, word[BC]	3	1	4	A ← (BC + word)			
		word[BC], A	3	1	－	(BC + word) ← A			
		A, ES:word[BC]	4	2	5	A ← ((ES, BC) + word)			
		ES:word[BC], A	4	2	－	((ES, BC) + word) ← A			

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスがないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（3/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL + B)			
		[HL+B], A	2	1	－	(HL + B) ← A			
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL) + B)			
		ES:[HL+B], A	3	2	－	((ES, HL) + B) ← A			
		A, [HL+C]	2	1	4	A ← (HL + C)			
		[HL+C], A	2	1	－	(HL + C) ← A			
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL) + C)			
		ES:[HL+C], A	3	2	－	((ES, HL) + C) ← A			
		X, !addr16	3	1	4	X ← (addr16)			
		X, ES:!addr16	4	2	5	X ← (ES, addr16)			
		X, saddr	2	1	－	X ← (saddr)			
		B, !addr16	3	1	4	B ← (addr16)			
		B, ES:!addr16	4	2	5	B ← (ES, addr16)			
		B, saddr	2	1	－	B ← (saddr)			
		C, !addr16	3	1	4	C ← (addr16)			
		C, ES:!addr16	4	2	5	C ← (ES, addr16)			
		C, saddr	2	1	－	C ← (saddr)			
		ES, saddr	3	1	－	ES ← (saddr)			
	XCH	A, r 注3	1(r = X) 2(r = X 以外)	1	－	A ↔ r			
		A, !addr16	4	2	－	A ↔ (addr16)			
		A, ES:!addr16	5	3	－	A ↔ (ES, addr16)			
		A, saddr	3	2	－	A ↔ (saddr)			
		A, sfr	3	2	－	A ↔ sfr			
		A, [DE]	2	2	－	A ↔ (DE)			
		A, ES:[DE]	3	3	－	A ↔ (ES, DE)			
		A, [HL]	2	2	－	A ↔ (HL)			
		A, ES:[HL]	3	3	－	A ↔ (ES, HL)			
		A, [DE+byte]	3	2	－	A ↔ (DE + byte)			
		A, ES:[DE+byte]	4	3	－	A ↔ ((ES, DE) + byte)			
		A, [HL+byte]	3	2	－	A ↔ (HL + byte)			
		A, ES:[HL+byte]	4	3	－	A ↔ ((ES, HL) + byte)			

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスがないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. r = A を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（4/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ↔ (HL + B)			
		A, ES:[HL+B]	3	3	－	A ↔ ((ES, HL) + B)			
		A, [HL+C]	2	2	－	A ↔ (HL + C)			
		A, ES:[HL+C]	3	3	－	A ↔ ((ES, HL) + C)			
	ONEB	A	1	1	－	A ← 01H			
		X	1	1	－	X ← 01H			
		B	1	1	－	B ← 01H			
		C	1	1	－	C ← 01H			
		!addr16	3	1	－	(addr16) ← 01H			
		ES:!addr16	4	2	－	(ES, addr16) ← 01H			
		saddr	2	1	－	(saddr) ← 01H			
	CLRB	A	1	1	－	A ← 00H			
		X	1	1	－	X ← 00H			
		B	1	1	－	B ← 00H			
		C	1	1	－	C ← 00H			
		!addr16	3	1	－	(addr16) ← 00H			
		ES:!addr16	4	2	－	(ES, addr16) ← 00H			
		saddr	2	1	－	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	－	(HL + byte) ← X	×		×
		ES:[HL+byte], X	4	2	－	(ES, HL + byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	－	rp ← word			
		saddrp, #word	4	1	－	(saddrp) ← word			
		sfrp, #word	4	1	－	sfrp ← word			
		AX, rp 注3	1	1	－	AX ← rp			
		rp, AX 注3	1	1	－	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	－	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	－	(ES, addr16) ← AX			
		AX, saddrp	2	1	－	AX ← (saddrp)			
		saddrp, AX	2	1	－	(saddrp) ← AX			
		AX, sfrp	2	1	－	AX ← sfrp			
		sfrp, AX	2	1	－	sfrp ← AX			

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスがないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. rp = AX を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（5/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	－	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	－	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	－	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	－	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	－	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	－	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	－	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	－	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	－	AX ← (SP + byte)			
		[SP+byte], AX	2	1	－	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	－	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	－	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	－	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	－	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	－	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	－	((ES, BC) + word) ← AX			

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスがないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（6/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	－	BC ← (saddrp)			
		DE, saddrp	2	1	－	DE ← (saddrp)			
		HL, saddrp	2	1	－	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	－	AX ↔ rp			
	ONEW	AX	1	1	－	AX ← 0001H			
		BC	1	1	－	BC ← 0001H			
	CLRW	AX	1	1	－	AX ← 0000H			
		BC	1	1	－	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	－	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) + byte	×	×	×
		A, r 注4	2	1	－	A, CY ← A + r	×	×	×
		r, A	2	1	－	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A + ((ES, HL) + C)	×	×	×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. rp = AX を除く。

4. r = A を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（7/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A + byte + CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) + byte + CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A + r + CY	×	×	×
		r, A	2	1	－	r, CY ← r + A + CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16) + CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16) + CY	×	×	×
		A, saddr	2	1	－	A, CY ← A + (saddr) + CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL) + CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A + (ES, HL) + CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte) + CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A + ((ES, HL) + byte) + CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B) + CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A + ((ES, HL) + B) + CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C) + CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A + ((ES, HL) + C) + CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A − byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) − byte	×	×	×
		A, r 注3	2	1	－	A, CY ← A − r	×	×	×
		r, A	2	1	－	r, CY ← r − A	×	×	×
		A, !addr16	3	1	4	A, CY ← A − (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A − (ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A − (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A − (HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A − (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A − (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A − ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A − (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A − ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A − (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A − ((ES, HL) + C)	×	×	×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. r = A を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（8/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A − byte − CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) − byte − CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A − r − CY	×	×	×
		r, A	2	1	－	r, CY ← r − A − CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A − (addr16) − CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A − (ES, addr16) − CY	×	×	×
		A, saddr	2	1	－	A, CY ← A − (saddr) − CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A − (HL) − CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A − (ES, HL) − CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A − (HL + byte) − CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A − ((ES, HL) + byte) − CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A − (HL + B) − CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A − ((ES, HL) + B) − CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A − (HL + C) − CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A − ((ES:HL) + C) − CY	×	×	×
	AND	A, #byte	2	1	－	A ← A ∧ byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr) ∧ byte	×		
		A, r 注3	2	1	－	A ← A ∧ r	×		
		r, A	2	1	－	r ← r ∧ A	×		
		A, !addr16	3	1	4	A ← A ∧ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∧ (ES:addr16)	×		
		A, saddr	2	1	－	A ← A ∧ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∧ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∧ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∧ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∧ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∧ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	×		

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. r = A を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（9/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	OR	A, #byte	2	1	－	A ← A ∨ byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr) ∨ byte	×		
		A, r 注3	2	1	－	A ← A ∨ r	×		
		r, A	2	1	－	r ← r ∨ A	×		
		A, !addr16	3	1	4	A ← A ∨ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∨ (ES:addr16)	×		
		A, saddr	2	1	－	A ← A ∨ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∨ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∨ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∨ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∨ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∨ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∨ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∨ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∨ ((ES:HL) + C)	×		
	XOR	A, #byte	2	1	－	A ← A ⊻ byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr) ⊻ byte	×		
		A, r 注3	2	1	－	A ← A ⊻ r	×		
		r, A	2	1	－	r ← r ⊻ A	×		
		A, !addr16	3	1	4	A ← A ⊻ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ⊻ (ES:addr16)	×		
		A, saddr	2	1	－	A ← A ⊻ (saddr)	×		
		A, [HL]	1	1	4	A ← A ⊻ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ⊻ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ⊻ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ⊻ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ⊻ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ⊻ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ⊻ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ⊻ ((ES:HL) + C)	×		

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. r = A を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（10/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A − byte	×	×	×
		!addr16, #byte	4	1	4	(addr16) − byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) − byte	×	×	×
		saddr, #byte	3	1	—	(saddr) − byte	×	×	×
		A, r 注 3	2	1	—	A − r	×	×	×
		r, A	2	1	—	r − A	×	×	×
		A, !addr16	3	1	4	A − (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A − (ES:addr16)	×	×	×
		A, saddr	2	1	—	A − (saddr)	×	×	×
		A, [HL]	1	1	4	A − (HL)	×	×	×
		A, ES:[HL]	2	2	5	A − (ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A − (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A − ((ES:HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A − (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A − ((ES:HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A − (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A − ((ES:HL) + C)	×	×	×
	CMP0	A	1	1	—	A − 00H	×	0	0
		X	1	1	—	X − 00H	×	0	0
		B	1	1	—	B − 00H	×	0	0
		C	1	1	—	C − 00H	×	0	0
		!addr16	3	1	4	(addr16) − 00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16) − 00H	×	0	0
		saddr	2	1	—	(saddr) − 00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X − (HL + byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X − ((ES:HL) + byte)	×	×	×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. r = A を除く。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（11/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX − word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX − BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX − DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX − HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX − (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX − (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX − (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX − (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX − ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX − word	×	×	×
		AX, BC	1	1	—	AX − BC	×	×	×
		AX, DE	1	1	—	AX − DE	×	×	×
		AX, HL	1	1	—	AX − HL	×	×	×
		AX, !addr16	3	1	4	AX − (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX − (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX − (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX − (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX − ((ES:HL) + byte)	×	×	×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（12/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
乗除・積和算	MULU	X	1	1	－	AX ← A × X			
	MULHU		3	2	－	BCAX ← AX × BC（符号なし）			
	MULH		3	2	－	BCAX ← AX × BC（符号付き）			
	DIVHU		3	9	－	AX（商）, DE（余り）← AX ÷ DE（符号なし）			
	DIVWU		3	17	－	BCAX（商）, HLDE（余り）← BCAX ÷ HLDE（符号なし）			
	MACHU		3	3	－	MACR ← MACR + AX × BC（符号なし）		×	×
	MACH		3	3	－	MACR ← MACR + AX × BC（符号付き）		×	×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

注意　割り込み処理中に DIVHU，DIVWU 命令を実行する場合，割り込み禁止状態(DI)で実行してください。
ただし，RAM 領域での命令実行を除き，アセンブリ言語ソースにて DIVHU，DIVWU 命令の直後に NOP 命令を追加した場合は，割り込み許可状態でも DIVHU，DIVWU 命令を実行することができます。
C 言語ソースの場合，C コンパイラによっては，ビルド時に DIVHU 命令または DIVWU 命令が出力されると直後に NOP 命令が自動的に追加されます。使用される C コンパイラの仕様を確認ください。

備考 1. クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

2. MACR：積和演算累計レジスタ（MACRH, MACRL）

表 35－6　オペレーション一覧（13/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	クロック	フラグ Z	フラグ AC	フラグ CY
増減	INC	r	1	1	－	r ← r + 1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16) + 1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) + 1	×	×	
		saddr	2	2	－	(saddr) ← (saddr) + 1	×	×	
		[HL+byte]	3	2	－	(HL + byte) ← (HL + byte) + 1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL) + byte) ← ((ES:HL) + byte) + 1	×	×	
	DEC	r	1	1	－	r ← r − 1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16) − 1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) − 1	×	×	
		saddr	2	2	－	(saddr) ← (saddr) − 1	×	×	
		[HL+byte]	3	2	－	(HL + byte) ← (HL + byte) − 1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL) + byte) ← ((ES:HL) + byte) − 1	×	×	
	INCW	rp	1	1	－	rp ← rp + 1			
		!addr16	3	2	－	(addr16) ← (addr16) + 1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) + 1			
		saddrp	2	2	－	(saddrp) ← (saddrp) + 1			
		[HL+byte]	3	2	－	(HL + byte) ← (HL + byte) + 1			
		ES: [HL+byte]	4	3	－	((ES:HL) + byte) ← ((ES:HL) + byte) + 1			
	DECW	rp	1	1	－	rp ← rp − 1			
		!addr16	3	2	－	(addr16) ← (addr16) − 1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) − 1			
		saddrp	2	2	－	(saddrp) ← (saddrp) − 1			
		[HL+byte]	3	2	－	(HL + byte) ← (HL + byte) − 1			
		ES: [HL+byte]	4	3	－	((ES:HL) + byte) ← ((ES:HL) + byte) − 1			
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) × cnt			×
	SHRW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) × cnt			×
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) × cnt			×
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) × cnt			×
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) × cnt			×
	SHLW	AX, cnt	2	1	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) × cnt			×
		BC, cnt	2	1	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) × cnt			×
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) × cnt			×
	SARW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) × cnt			×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

備考 1. クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

2. cnt はビット・シフト数です。

表 35－6　オペレーション一覧（14/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ローテート	ROR	A, 1	2	1	－	(CY, $A_7 \leftarrow A_0$, $A_{m-1} \leftarrow A_m$) × 1			×
	ROL	A, 1	2	1	－	(CY, $A_0 \leftarrow A_7$, $A_{m+1} \leftarrow A_m$) × 1			×
	RORC	A, 1	2	1	－	(CY $\leftarrow A_0$, $A_7 \leftarrow$ CY, $A_{m-1} \leftarrow A_m$) × 1			×
	ROLC	A, 1	2	1	－	(CY $\leftarrow A_7$, $A_0 \leftarrow$ CY, $A_{m+1} \leftarrow A_m$) × 1			×
	ROLWC	AX,1	2	1	－	(CY $\leftarrow AX_{15}$, $AX_0 \leftarrow$ CY, $AX_{m+1} \leftarrow AX_m$) × 1			×
		BC,1	2	1	－	(CY $\leftarrow BC_{15}$, $BC_0 \leftarrow$ CY, $BC_{m+1} \leftarrow BC_m$) × 1			×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit			×
		A.bit, CY	2	1	－	A.bit ← CY			
		CY, PSW.bit	3	1	－	CY ← PSW.bit			×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	－	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY			
		CY, sfr.bit	3	1	－	CY ← sfr.bit			×
		sfr.bit, CY	3	2	－	sfr.bit ← CY			
		CY,[HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	－	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	－	CY ← CY ∧ A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY ∧ PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY ∧ (saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY ∧ sfr.bit			×
		CY,[HL].bit	2	1	4	CY ← CY ∧ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∧ (ES, HL).bit			×
	OR1	CY, A.bit	2	1	－	CY ← CY ∨ A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY ∨ PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY ∨ (saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY ∨ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∨ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∨ (ES, HL).bit			×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（15/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY ⊻ A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY ⊻ PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY ⊻ (saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY ⊻ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ⊻ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ⊻ (ES, HL).bit			×
	SET1	A.bit	2	1	－	A.bit ← 1			
		PSW.bit	3	4	－	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1			
		saddr.bit	3	2	－	(saddr).bit ← 1			
		sfr.bit	3	2	－	sfr.bit ← 1			
		[HL].bit	2	2	－	(HL).bit ← 1			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	－	A.bit ← 0			
		PSW.bit	3	4	－	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0			
		saddr.bit	3	2	－	(saddr.bit) ← 0			
		sfr.bit	3	2	－	sfr.bit ← 0			
		[HL].bit	2	2	－	(HL).bit ← 0			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0			
	SET1	CY	2	1	－	CY ← 1			1
	CLR1	CY	2	1	－	CY ← 0			0
	NOT1	CY	2	1	－	CY ← $\overline{CY}$			×

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（16/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
コール・リターン	CALL	rp	2	3	－	(SP − 2) ← (PC + 2)S, (SP − 3) ← (PC + 2)H, (SP − 4) ← (PC + 2)L, PC ← CS,rp, SP ← SP − 4			
		$!addr20	3	3	－	(SP − 2) ← (PC + 3)S, (SP − 3) ← (PC + 3)H, (SP − 4) ← (PC + 3)L, PC ← PC + 3 + jdisp16, SP ← SP − 4			
		!addr16	3	3	－	(SP − 2) ← (PC + 3)S, (SP − 3) ← (PC + 3)H, (SP − 4) ← (PC + 3)L, PC ← 0000, addr16, SP ← SP − 4			
		!!addr20	4	3	－	(SP − 2) ← (PC + 4)S, (SP − 3) ← (PC + 4)H, (SP − 4) ← (PC + 4)L, PC ← addr20, SP ← SP − 4			
	CALLT	[addr5]	2	5	－	(SP − 2) ← (PC + 2)S, (SP − 3) ← (PC + 2)H, (SP − 4) ← (PC + 2)L, PCS ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP − 4			
	BRK	－	2	5	－	(SP − 1) ← PSW, (SP − 2) ← (PC + 2)S, (SP − 3) ← (PC + 2)H, (SP − 4) ← (PC + 2)L, PCS ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP − 4, IE ← 0			
	RET	－	1	6	－	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), SP ← SP + 4			
	RETI	－	2	6	－	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	－	2	6	－	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（17/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	－	(SP – 1) ← PSW, (SP – 2) ← 00H, SP ← SP–2			
		rp	1	1	－	(SP – 1) ← rp_H, (SP – 2) ← rp_L, SP ← SP – 2			
	POP	PSW	2	3	－	PSW ← (SP+1), SP ← SP + 2	R	R	R
		rp	1	1	－	rp_L ←(SP), rp_H ← (SP+1), SP ← SP + 2			
	MOVW	SP, #word	4	1	－	SP ← word			
		SP, AX	2	1	－	SP ← AX			
		AX, SP	2	1	－	AX ← SP			
		HL, SP	3	1	－	HL ← SP			
		BC, SP	3	1	－	BC ← SP			
		DE, SP	3	1	－	DE ← SP			
	ADDW	SP, #byte	2	1	－	SP ← SP + byte			
	SUBW	SP, #byte	2	1	－	SP ← SP－byte			
無条件分岐	BR	AX	2	3	－	PC ← CS, AX			
		$addr20	2	3	－	PC ← PC + 2 + jdisp8			
		$!addr20	3	3	－	PC ← PC + 3 + jdisp16			
		!addr16	3	3	－	PC ← 0000, addr16			
		!!addr20	4	3	－	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4 注3	－	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	$addr20	2	2/4 注3	－	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	$addr20	2	2/4 注3	－	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4 注3	－	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	$addr20	3	2/4 注3	－	PC ← PC + 3 + jdisp8 if (Z ∨ CY)=0			
	BNH	$addr20	3	2/4 注3	－	PC ← PC + 3 + jdisp8 if (Z ∨ CY)=1			
	BT	saddr.bit, $addr20	4	3/5 注3	－	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5 注3	－	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5 注3	－	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5 注3	－	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5 注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6 注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL). bit = 1			

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

表 35－6　オペレーション一覧（18/18）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, $addr20	3	3/5 注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, $addr20	3	3/5 注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, $addr20	4	4/6 注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr20	3	3/5 注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5 注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6 注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きステップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL 注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注 1. 内部 RAM 領域，SFR 領域，または拡張 SFR 領域をアクセスしたとき，またはデータ・アクセスをしないときの CPU クロック（f_{CLK}）数。

2. コード・フラッシュ・メモリ領域をアクセスしたとき，またはデータ・フラッシュ・メモリ領域を 8 ビット命令でアクセスしたときの CPU クロック（f_{CLK}）数。

3. クロック数は“条件不成立時／条件成立時”を表しています。

4. n はレジスタ・バンク番号です（n = 0-3）。

備考　クロック数は内部 ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部 RAM 領域から命令フェッチする場合，最大 2 倍 + 3 クロックになります。

第36章　電気的特性（グレード 3）

注意 1. RL78/F23, F24 には，開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1} 端子がない製品は，EV_{DD0} と EV_{DD1} を V_{DD} に，EV_{SS0} と EV_{SS1} を V_{SS} に置き換えてください。

3. 製品により搭載している端子が異なります。詳細は，「1.5　端子接続図」および「2.1　端子機能一覧」を参照してください。

36.1　絶対最大定格

（1/3）

項目	略号	条件	定格	単位
電源電圧	V_{DD}		−0.5～＋6.5	V
	EV_{DD0}, EV_{DD1}	$EV_{DD0} = EV_{DD1} = V_{DD}$	−0.5～＋6.5	V
	V_{SS}		−0.5～＋0.3	V
	EV_{SS0}, EV_{SS1}	$EV_{SS0} = EV_{SS1}$	−0.5～＋0.3	V
REGC 端子入力電圧	V_{IREGC}	REGC	−0.3～＋2.8 かつ，−0.3～V_{DD}＋0.3 注1	V
入力電圧	V_{I1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	−0.3～EV_{DD0}＋0.3 かつ，−0.3～V_{DD}＋0.3 注2	V
	V_{I2}	P33, P34, P80-P87, P90-P97, P100-P105, P121-P124, P137, RESET	−0.3～V_{DD}＋0.3 注2	V
出力電圧	V_{O1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	−0.3～EV_{DD0}＋0.3 かつ，−0.3～V_{DD}＋0.3 注2	V
	V_{O2}	P33, P34, P80-P87, P90-P97, P100-P105	−0.3～V_{DD}＋0.3	V
アナログ入力電圧	V_{AI1}	ANI24-ANI30	−0.3～EV_{DD0}＋0.3 かつ，−0.3～$AV_{REF(+)}$＋0.3 注2, 3	V
	V_{AI2}	ANI0-ANI23	−0.3～V_{DD}＋0.3 かつ，−0.3～$AV_{REF(+)}$＋0.3 注2, 3	V

注 1. REGC 端子にはコンデンサ（0.47～1 μF）を介して V_{SS} に接続してください。この値は，REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V 以下であること。

3. A/D 変換対象の端子は，$AV_{REF(+)}$＋0.3 V を超えないでください。

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

備考　特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

（2/3）

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I_{OH1}	1 端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	−40	mA
		端子合計 −170 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	−70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	−100	mA
	I_{OH2}	1 端子	P33, P34, P80-P87, P90-P97, P100-P105	−0.5	mA
		端子合計		−2	mA
ロウ・レベル出力電流	I_{OL1}	1 端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	40	mA
		端子合計 170 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	100	mA
	I_{OL2}	1 端子	P33, P34, P80-P87, P90-P97, P100-P105	1	mA
		端子合計		5	mA

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

備考　特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

（3/3）

項目	略号	条件		定格	単位
正注入電流 ($V_I > V_{DD}$) 注	I_{INJP}	1 端子	P00-P03, P10-P17, P30-P32, P41 to P47, P50-P57, P60-P67, P75 to P77, P106, P107, P126, P127, P140, P150-P157	5	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	2	mA
負注入電流 ($V_I < V_{SS}$) 注	I_{INJN}	1 端子	P00-P03, P10-P17, P30-P32, P41 to P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	−5	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	−0.5	mA
正注入電流合計 注	ΣI_{INJP}	端子合計	P00-P03, P10-P17, P30-P32, P41 to P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	10	mA
負注入電流合計 注	ΣI_{INJN}	端子合計	P00-P03, P10-P17, P30-P32, P41 to P47, P50-P57, P60-P67, P75 to P77, P106, P107, P126, P127, P140, P150-P157	−40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	−2	mA
全注入電流合計 注	$\Sigma\|I_{INJP}\|$ $+ \Sigma\|I_{INJN}\|$	端子合計	P00-P03, P10-P17, P30-P32, P41 to P47, P50-P57, P60-P67, P75 to P77, P106, P107, P126, P127, P140, P150-P157	40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	10	mA
動作周囲温度	T_A	通常動作時		−40～+105	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			−65～+150	℃

注　条件：2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

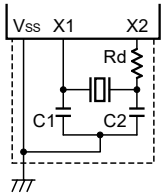
備考 1. 特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

2. VI：ポート端子への入力電圧レベルです。

36.2　発振回路特性

36.2.1　メイン・システム・クロック発振回路特性

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／水晶振動子		X1 クロック発振周波数（fx）	2.7 V≦V_{DD}≦5.5 V	2.0		20.0	MHz

注意 1. X1 発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- **配線は極力短くする。**
- **他の信号線と交差させない。**
- **変化する大電流が流れる線に接近させない。**
- **発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。**
- **大電流が流れるグランド・パターンに接地しない。**
- **発振回路から信号を取り出さない。**

2. 発振子の選択および発振回路定数については，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。また，お客様のシステムにて十分な発振評価をしてください。X1 クロックの発振安定時間は，使用する発振子で発振安定時間を十分に評価してから，発振安定時間カウンタ状態レジスタ（OSTC）と発振安定時間選択レジスタ（OSTS）で発振安定時間を決定してください。

36.2.2　オンチップ・オシレータ特性

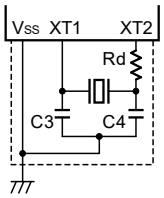
（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ発振周波数 注	f_{IH}		2		80	MHz
高速オンチップ・オシレータ発振周波数精度	－		−2.0		+2.0	%
低速オンチップ・オシレータ発振周波数	f_{IL}, f_{WDT}			15		kHz
低速オンチップ・オシレータ発振周波数精度	－		−15		+15	%

注　高速オンチップ・オシレータの周波数は，オプション･バイト（000C2H/040C2H）のビット 0～4，および HOCODIV レジスタのビット 0～2 によって選択します。

36.2.3　サブシステム・クロック発振回路特性

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周波数（f_{XT}）	2.7 V≦V_{DD}≦5.5 V	29.0	32.768	35.0	kHz

注意 1. XT1 発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- **配線は極力短くする。**
- **他の信号線と交差させない。**
- **変化する大電流が流れる線に接近させない。**
- **発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。**
- **大電流が流れるグランド・パターンに接地しない。**
- **発振回路から信号を取り出さない。**

2. XT1 発振回路は，低消費電力にするために増幅度の低い回路になっていますので，システムにて十分な発振評価をしてください。発振子の選択および発振回路定数は，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。

36.2.4　PLL 回路特性

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL 入力可能クロック周波数 注1	f_{PLLI}	f_{MAIN}: 4.0 MHz	FMAINDIV[1:0] = 00B	3.92	4.0	4.08	MHz
		f_{MAIN}: 8.0 MHz	FMAINDIV[1:0] = 00B	7.84	8.0	8.16	MHz
		f_{MAIN}: 16.0 MHz	FMAINDIV[1:0] = 10B	7.84	8.0	8.16	MHz
		f_{MAIN}: 20.0 MHz	FMAINDIV[1:0] = 11B	4.90	5.0	5.10	MHz
PLL 出力周波数（中央値）	f_{PLL}	f_{MAIN}: 20 MHz, PLLMULA = 0, PLLMUL = 1	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 16/2			MHz
			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1 = 1	f_{PLLI} × 16			MHz
		f_{MAIN}: 4 MHz, PLLMULA = 1, PLLMUL = 1	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 20/2			MHz
			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1 = 1	f_{PLLI} × 20			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 0, PLLMUL = 0	PLLDIV0 = 1, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 12/4			MHz
			PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 1	f_{PLLI} × 12/2			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 0, PLLMUL = 1	PLLDIV0 = 1, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 16/4			MHz
			PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 1	f_{PLLI} × 16/2			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 1, PLLMUL = 0	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 10/2			MHz
★			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1 = 1	f_{PLLI} × 10			MHz
ロングターム・ジッタ 注2	t_{LJ}	term = 1 μs		−1		+1	ns
		term = 10 μs		−1		+1	ns
		term = 20 μs		−2		+2	ns

注 1. PLL 入力クロックが高速オンチップ・オシレータ・クロックの場合，MIN, MAX 値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり，出荷時のテストは行いません。

備考　f_{MAIN}：メイン・システム・クロック周波数

36.3　DC 特性

36.3.1　端子特性

各項目の対応するポートについては「第 4 章　ポート機能」を参照してください。

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 注1	I_{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157 1 端子	4.0 V≦EV_{DD0}≦5.5 V			−5.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−3.0	mA
		P10, P12, P14, P30, P120, P140 1 端子（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V			−0.6	mA
			2.7 V≦EV_{DD0}＜4.0 V			−0.2	mA
		P01, P02, P40-P47, P120, P125-P127, P150-P153 合計（デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−10.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計（デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−30.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−19.0	mA
		全端子合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−50.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−29.0	mA
	I_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105 1 端子	2.7 V≦V_{DD}≦5.5 V			−0.1	mA
		端子合計 （デューティ≦70%時 注2）	2.7 V≦V_{DD}≦5.5 V			−2.0	mA

注 1. EV_{DD0}，EV_{DD1}，V_{DD} 端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2. デューティ≦70%の条件での電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比を n%に変更する場合）。

・端子合計の出力電流 = (I_{OH}×0.7)/(n×0.01)

＜計算例＞ I_{OH} = −10.0 mA，n = 80%の場合

端子合計の出力電流 = (−10.0×0.7)/(80×0.01) ≒ −8.7 mA

ただし，1 端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 注1	I_{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157 1 端子	4.0 V≦EV_{DD0}≦5.5 V			8.5	mA
			2.7 V≦EV_{DD0}＜4.0 V			4.0	mA
		P10, P12, P14, P30, P120, P140 1 端子 （特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V			0.59	mA
			2.7 V≦EV_{DD0}＜4.0 V			0.07	mA
		P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			45.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			35.0	mA
		全端子合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			65.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			50.0	mA
	I_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105 1 端子	2.7 V≦V_{DD}≦5.5 V			0.4	mA
		端子合計 （デューティ≦70%時 注2）	2.7 V≦V_{DD}≦5.5 V			5.0	mA

注 1. 出力端子から EV_{SS0}，EV_{SS1}，V_{SS} 端子に流れ込んでも，デバイスの動作を保証する電流値です。

2. デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比を n%に変更する場合）。

・端子合計の出力電流 = (I_{OL}×0.7)/(n×0.01)

＜計算例＞ I_{OL} = 10.0 mA，n = 80%の場合

端子合計の出力電流 = (10.0×0.7)/(80×0.01) ≒ 8.7 mA

ただし，1 端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（3/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157（Schmitt 1 モード）	4.0 V≦EV_{DD0}≦5.5 V	0.65 EV_{DD0}		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.7 EV_{DD0}		EV_{DD0} 注	V
	V_{IH2}	P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P120, P125, P150, P152, P153（Schmitt 3 モード）	4.0 V≦EV_{DD0}≦5.5 V	0.8 EV_{DD0}		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.85 EV_{DD0}		EV_{DD0} 注	V
	V_{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTL モード）	4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0} 注	V
	V_{IH4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.85 V_{DD}		V_{DD}	V
	V_{IH5}	RESET（Schmitt 1 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.65 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.7 V_{DD}		V_{DD}	V
	V_{IH6}	P121-P124, EXCLK, EXCLKS（Schmitt 2 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.8 V_{DD}		V_{DD}	V

注　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時でも V_{IH} の最大値は EV_{DD0} です。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（4/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157（Schmitt 1 モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.35 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.3 EV_{DD0}	V
	V_{IL2}	P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P120, P125, P150, P152, P153（Schmitt 3 モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.5 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.4 EV_{DD0}	V
	V_{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTL モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.5	V
	V_{IL4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.5 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.4 V_{DD}	V
	V_{IL5}	RESET（Schmitt 1 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.35 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.3 V_{DD}	V
	V_{IL6}	P121-P124, EXCLK, EXCLKS（Schmitt 2 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.2 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.2 V_{DD}	V

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（5/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V_{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = −5.0 mA	EV_{DD0} − 0.9			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −3.0 mA	EV_{DD0} − 0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −1.0 mA	EV_{DD0} − 0.5			V
	V_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OH2} = −100 μA	V_{DD} − 0.5			V
	V_{OH3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.6 mA	EV_{DD0} − 0.8			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.2 mA	EV_{DD0} − 0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
	V_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.6 mA			0.8	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.07 mA			0.5	V

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（6/6）

項目	略号	条件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{DD0}				1	μA
	I_{LIH2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, RESET	V_I = V_{DD}				1	μA
	I_{LIH3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，または外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{SS0}				−1	μA
	I_{LIL2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, RESET	V_I = V_{SS}				−1	μA
	I_{LIL3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，または外部クロック入力時			−1	μA
				発振子接続時			−10	μA
正注入電流 注1, 注4	$I_{INJPRMS}$	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	1 端子，V_I＞EV_{DD0}				0.4	mA
			端子合計，V_I＞EV_{DD0}				4	mA
		P70-P74, P80, P83-P87 注2, P90-P97, P100-P105, P120, P125	1 端子，V_I＞V_{DD}				0.15	mA
			端子合計，V_I＞V_{DD}				1	mA
		P81-P84 注3	端子合計，V_I＞V_{DD}				0.15	mA
内蔵プルアップ抵抗	R_U	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{SS0}，入力ポート時		10	20	100	kΩ

注 1. 本特性は設計保証であり，出荷時のテストは行いません。

2. RL78/F24：P80, P86, P87

3. RL78/F23：P81, P82

4. RL78/F24 製品の場合，P85 / ANI07 / IVREF0 は，上記の仕様の範囲内であっても，正の注入電流が生成された場合の電気的特性を保証しません。

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考 1. 特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

2. V_I：ポート端子への入力電圧レベルです。

36.3.2　電源電流特性

(1)　RL78/F24

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（1/2）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 注1	I_{DD1}	動作モード	通常動作 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注3, 4		10.8	20.0	mA
					f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注3, 4		10.1	18.3	mA
					f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注3, 4		1.7	3.1	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注3, 5		5.6	10.3	mA
					f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注3, 5		1.5	2.8	mA
				発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		10.6	20.0	mA
					f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		10.2	18.3	mA
					f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注3, 6		9.9	17.8	mA
				サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注7		7.6	250	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注8		4.2	250	μA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU 全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD 回路，A/D コンバータ，D/A コンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

8. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{PLL}　：PLL クロック周波数

4. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注1, 3	I_{DD2}	HALT モード 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注5		3.4	12.0	mA
				f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注5		2.8	10.5	mA
				f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注5		0.5	1.8	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注6		1.5	6.5	mA
				f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注6		0.3	1.8	mA
			発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		3.2	12.0	mA
				f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		2.9	10.5	mA
				f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注7		2.6	10.0	mA
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注8		0.8	140	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注9		0.8	140	μA
	I_{DD3}	STOP モード 注4	T_A = +25℃				0.6		μA
			T_A = +50℃					10	
			T_A = +70℃					25	
			T_A = +105℃					115	
	I_{SNOZ}	SNOOZE モード	DTC 動作				7.0		mA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし，I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中に HALT モードに遷移した場合です。

3. MAX.値には周辺動作電流，STOP リーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD 回路，A/D コンバータ，D/A コンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

9. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{PLL}　：PLL クロック周波数

4. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2	f_{WDT} = 15 kHz			0.3		μA
A/D コンバータ動作電流	I_{ADC} 注3	最高速変換時	AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時 注5			75.0		μA
AV_{REFP} 電流	I_{ADREF} 注7	AV_{REFP} = 5.0 V			65.0		μA
サンプル＆ホールド回路動作電流	I_{ADSH} 注8				0.8	1.2	mA
LVD 動作電流	I_{LVD} 注4				0.08		μA
D/A コンバータ動作電流	I_{DAC}				0.8	1.5	mA
コンパレータ動作電流	I_{CMP}				50.0		μA
BGO 動作電流	I_{BGO} 注6				2.5	12.2	mA

注 1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHz オンチップ・オシレータの動作電流を含みます）。STOP モード時にウォッチドッグ・タイマが動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。

3. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モード時に A/D コンバータが動作中の場合，I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。

4. LVD 回路にのみ流れる電流です。動作モードまたは HALT モードまたは STOP モード時に LVD 回路が動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGO の動作電流です。動作モードまたは HALT モード時に BGO が動作中の場合，I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

7. AV_{REFP} 選択時，この動作電流は増加します。この電流は，変換停止時でも流れます。

8. サンプル＆ホールド回路を使用した際に増加する動作電流です。この電流は、アナログ入力チャネルごとに流れます。

(2)　RL78/F23

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 注1	I_{DD1}	動作モード	通常動作 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注3, 4		9.7	17.0	mA
					f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注3, 4		9.0	15.5	mA
					f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注3, 4		1.6	2.8	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注3, 5		5.0	9.0	mA
					f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注3, 5		1.4	2.6	mA
				発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		9.2	17.0	mA
					f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		9.0	15.5	mA
					f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注3, 6		8.6	15.0	mA
				サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注7		6.5	100	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注8		3.3	100	μA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU 全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD 回路および A/D コンバータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

8. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{PLL}　：PLL クロック周波数

4. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注1, 3	I_{DD2}	HALT モード 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注5		3.4	11.0	mA
				f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注5		2.8	9.5	mA
				f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注5		0.5	1.5	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注6		1.5	5.5	mA
				f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注6		0.3	1.5	mA
			発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		3.1	11.0	mA
				f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		2.8	9.5	mA
				f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注7		2.5	9.0	mA
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注8		0.7	66	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注9		0.7	66	μA
	I_{DD3}	STOP モード 注4	T_A = +25℃				0.5		μA
			T_A = +50℃					4.5	
			T_A = +70℃					9.0	
			T_A = +105℃					51	
	I_{SNOZ}	SNOOZE モード	DTC 動作				6.0		mA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし，I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中に HALT モードに遷移した場合です。

3. MAX.値には周辺動作電流，STOP リーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD 回路および A/D コンバータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

9. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{PLL}　：PLL クロック周波数

4. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2	f_{WDT} = 15 kHz			0.3		μA
A/D コンバータ動作電流	I_{ADC} 注3	最高速変換時	AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時 注5			75.0		μA
AV_{REFP} 電流	I_{ADREF} 注7	AV_{REFP} = 5.0 V			65.0		μA
サンプル＆ホールド回路動作電流	I_{ADSH} 注8				0.8	1.2	mA
LVD 動作電流	I_{LVD} 注4				0.08		μA
BGO 動作電流	I_{BGO} 注6				2.5	12.2	mA

注 1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHz オンチップ・オシレータの動作電流を含みます）。STOP モード時にウォッチドッグ・タイマが動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。

3. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モード時に A/D コンバータが動作中の場合，I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。

4. LVD 回路にのみ流れる電流です。動作モードまたは HALT モードまたは STOP モード時に LVD 回路が動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGO の動作電流です。動作モードまたは HALT モード時に BGO が動作中の場合，I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

7. AV_{REFP} 選択時，この動作電流は増加します。この電流は，変換停止時でも流れます。

8. サンプル＆ホールド回路を使用した際に増加する動作電流です。この電流は、アナログ入力チャネルごとに流れます。

36.4　AC 特性

36.4.1　基本動作

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	T_{CY}	高速オンチップ・オシレータ・クロック動作		0.025		0.5	μs
		高速システム・クロック動作		0.05		0.5	μs
		PLL クロック動作		0.025		0.5	μs
		サブシステム・クロック動作		28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作			66.6		μs
		セルフ・プログラミング時		0.025		0.5	μs
CPU／周辺ハードウェア・クロック周波数	f_{CLK}			0.025		66.6	μs
外部システム・クロック周波数	f_{EX}			2.0		20.0	MHz
	f_{EXS}			29		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}			24			ns
	t_{EXHS}, t_{EXLS}			13.7			μs
TI00-TI07, TI10-TI17 入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}			1/f_{MCK} + 10			ns
TO00-TO07, TO10-TO17, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRJIO0, TRJO0 出力周波数	f_{TO}	通常スルー・レート C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			16	MHz
			2.7 V≦EV_{DD0}＜4.0 V			8	MHz
		TO01, TO06, TO07, TO11, TO13, TRDIOC0, TRDIOD0, TRDIOD1, TRJO0 のみ，特殊スルー・レート，C = 30 pF				2	MHz
PCLBUZ0 出力周波数	f_{PCL}	通常スルー・レート，C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			16	MHz
			2.7 V≦EV_{DD0}＜4.0 V			8	MHz
		特殊スルー・レート，C = 30 pF				2	MHz
タイマ RJ 入力サイクル	t_C	TRJIO0		100			ns
タイマ RJ 入力ハイ・レベル幅，ロウ・レベル幅	t_{TJIH}, t_{TJIL}	TRJIO0		40			ns
タイマ RDe 入力ハイ・レベル幅，ロウ・レベル幅	t_{TDIH}, t_{TDIL}	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRDCLK0, TRD0RES, TRD1RES		3/f_{TRD}			ns
タイマ RDe パルス出力強制カット・オフ信号ロウ・レベル幅	t_{TDSIL}	P137/INTP0	2 MHz＜f_{CLK}≦40 MHz	1			μs
			f_{CLK}≦2 MHz	1/f_{CLK}+1			μs

注意　発振周波数精度誤差を除きます。

備考 1. f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数

2. f_{TRD}：タイマ RDe の動作クロック周波数

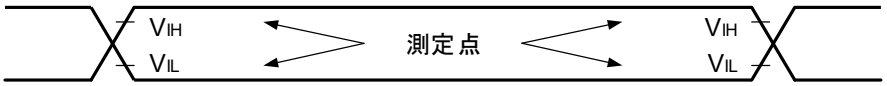
（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（2/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP13 注1		1			μs
KR0-KR7 キー割り込み入力ロウ・レベル幅	t_{KR}			250			ns
RESET ロウ・レベル幅	t_{RSL}	注1		10			μs
ポート出力立ち上がり時間，立ち下がり時間	t_{RO}, t_{FO}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			25	ns
			2.7 V≦EV_{DD0}＜4.0 V			55	ns
		P10, P12, P14, P30, P120, P140（特殊スルー・レート）C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V		25 注2	60	ns
			2.7 V≦EV_{DD0}＜4.0 V			100	ns

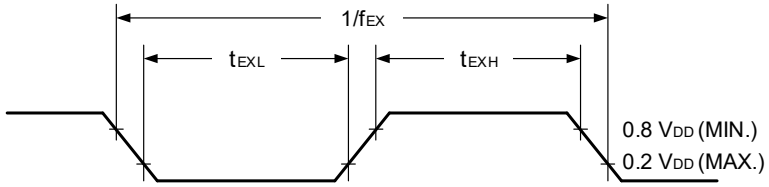
注 1. RESET, INTP0-INTP3, INTP12, INTP13 は，100 ns 未満の過渡レベルに対応するノイズ・フィルタを持ちます。

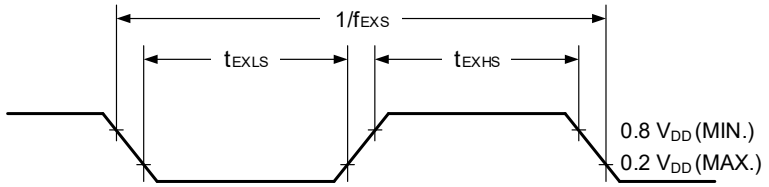
2. T_A = +25℃, EV_{DD0} = 5.0 V 時

AC タイミング測定点



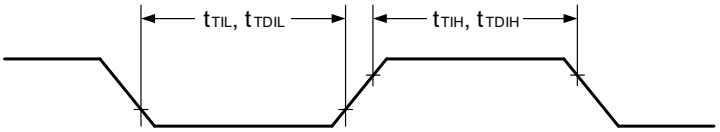
● 外部システム・クロック・タイミング



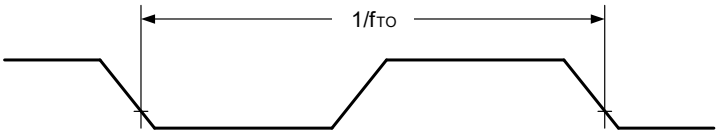


● TI/TO タイミング

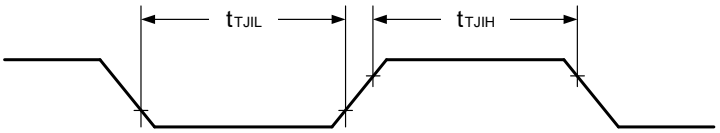
TI00-TI07, TI10-TI17,
TRDIOA0, TRDIOA1, TRDIOB0,
TRDIOB1, TRDIOC0, TRDIOC1,
TRDIOD0, TRDIOD1, TRDCLK0,
TRD0RES, TRD1RES



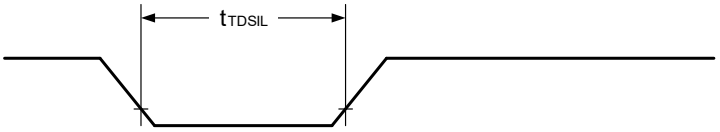
TO00-TO07, TO10-TO17,
TRDIOA0, TRDIOA1, TRDIOB0,
TRDIOB1, TRDIOC0, TRDIOC1,
TRDIOD0, TRDIOD1, TRJIO0,
TRJO0



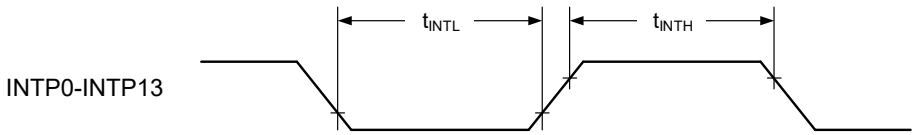
TRJIO0



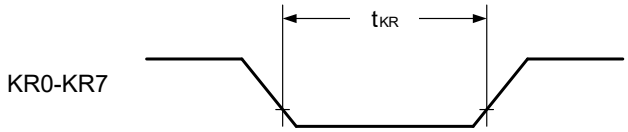
P137/INTP0



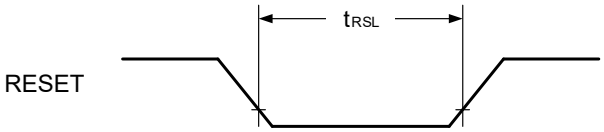
● 割り込み要求入力タイミング



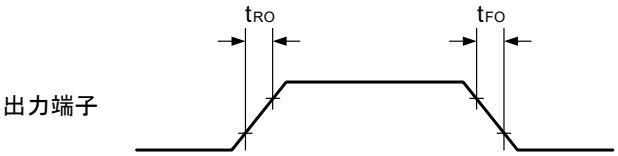
● キー割り込み入力タイミング



● RESET 入力タイミング



● 出力立ち上がり，立ち下がりタイミング



36.5　周辺機能特性

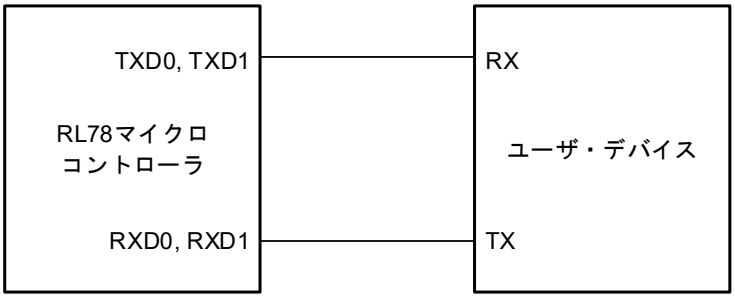
36.5.1　シリアル・アレイ・ユニット

(1)　同電位通信時（UART モード）（専用ボー・レート・ジェネレータ出力）

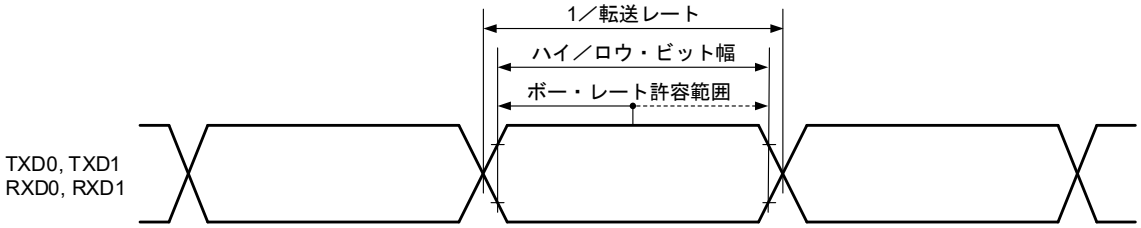
（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－					f_{MCK}/6	bps
		f_{CLK} = 40 MHz, f_{MCK} = f_{CLK}	通常スルー・レート			6.6	Mbps
			特殊スルー・レート			2	Mbps

UART モード接続図（同電位通信時）



UART モードのビット幅（同電位通信時）（参考）



注意　RXD0, RXD1 端子は通常入力バッファ，TXD0, TXD1 端子は通常出力モードを選択。

備考　f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(2)　同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}		100 注5			ns
SCKp ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V	t_{KCY1}/2 − 12			ns
		2.7 V≦EV_{DD0}＜4.0 V	t_{KCY1}/2 − 18			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V	33			ns
		2.7 V≦EV_{DD0}＜4.0 V	44			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI1}		30			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO1}	C = 30 pF 注4			30	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

★ **5.** t_{KCY1}≧4/f_{MCK} も満たす必要があります。

注意　SIp 端子は通常入力バッファ，SOp, SCKp 端子は通常出力モードを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(3)　同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，特殊スルー・レート）

（T_A = −40～+105℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}		500 注5			ns
SCKp ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}		t_{KCY1}/2 − 60			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}		120			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI1}		80			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO1}	C = 30 pF 注4			90	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

★ **5.** t_{KCY1}≧4/f_{MCK} も満たす必要があります。

注意　SIp 端子は通常入力バッファ，SOp, SCKp 端子は通常出力モードかつ特殊スルー・レートを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(4)　同電位通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，通常スルー・レート）

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	32 MHz＜f_{MCK}		10/f_{MCK}			ns
		f_{MCK}≦32 MHz		8/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}			t_{KCY2}/2			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}			1/f_{MCK} + 20			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}			1/f_{MCK} + 31			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	C = 30 pF 注4	4.0 V≦V_{DD} = EV_{DD0} = EV_{DD1}≦5.5 V			2/f_{MCK} + 44	ns
			2.7 V≦V_{DD} = EV_{DD0} = EV_{DD1}＜4.0 V			2/f_{MCK} + 57	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0		120			ns
		DAP = 1		1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0		1/f_{MCK} + 120			ns
		DAP = 1		120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

注意　SIp, SCKp 端子および SSIp 端子は通常入力バッファ，SOp 端子は通常出力モードを選択。

備考 1. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(5)　同電位通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，特殊スルー・レート）

（T_A = −40～+105℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	20 MHz＜f_{MCK}	10/f_{MCK}			ns
		10 MHz＜f_{MCK}≦20 MHz	8/f_{MCK}			ns
		f_{MCK}≦10 MHz	6/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}		t_{KCY2}/2			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}		1/f_{MCK} + 50			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}		1/f_{MCK} + 50			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	C = 30 pF 注4			2/f_{MCK} + 80	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0	120			ns
		DAP = 1	1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0	1/f_{MCK} + 120			ns
		DAP = 1	120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

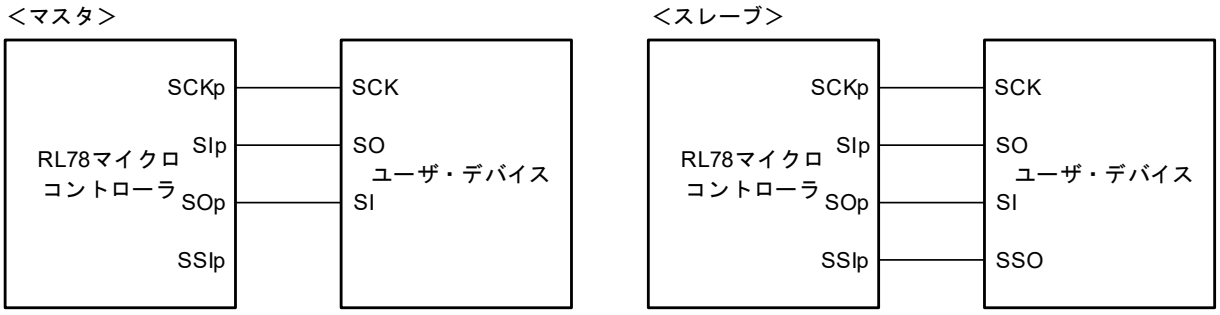
4. C は，SCKp, SOp 出力ラインの負荷容量です。

注意　SIp, SCKp 端子および SSIp 端子は通常入力バッファ，SOp 端子は通常出力モードかつ特殊スルー・レートを選択。

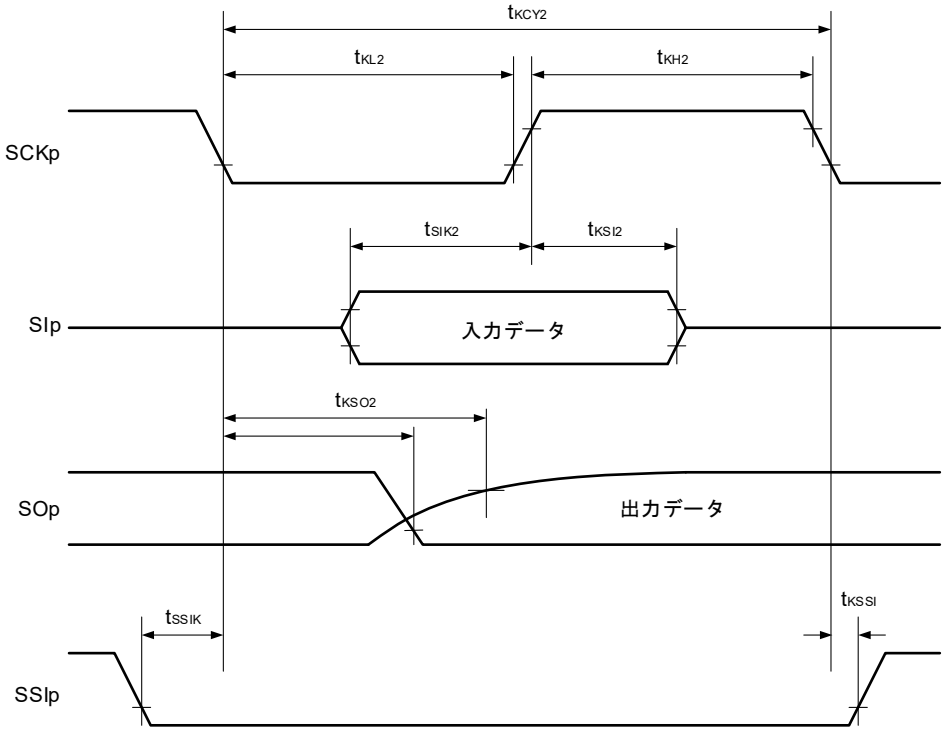
備考 1. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

CSI モード接続図（同電位通信時）

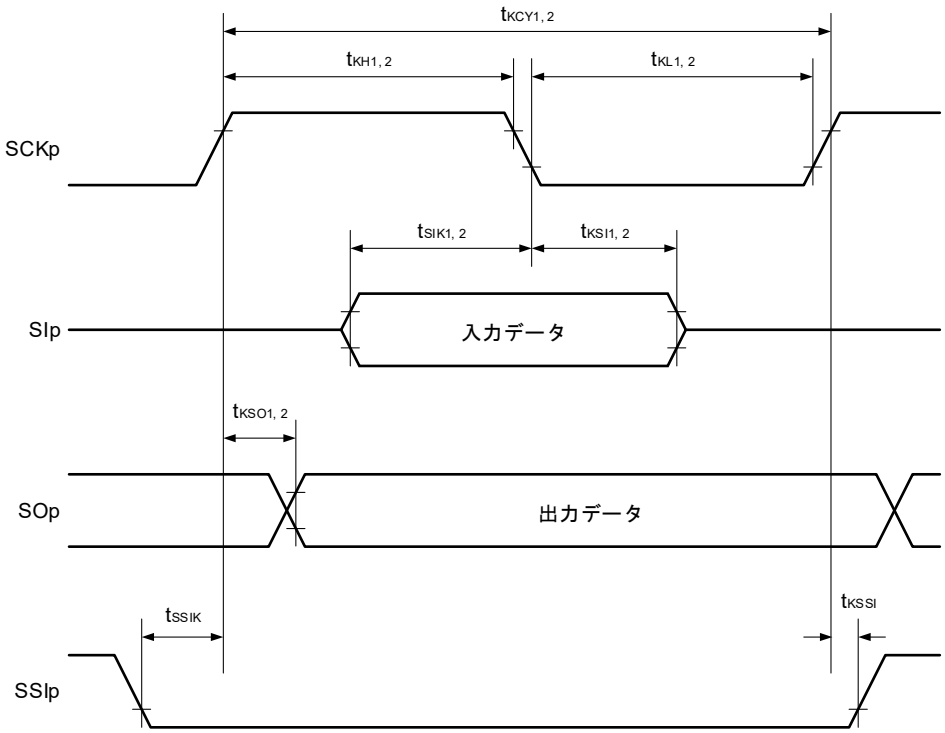


CSI モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

CSI モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(6)　同電位通信時（簡易 I²C モード）

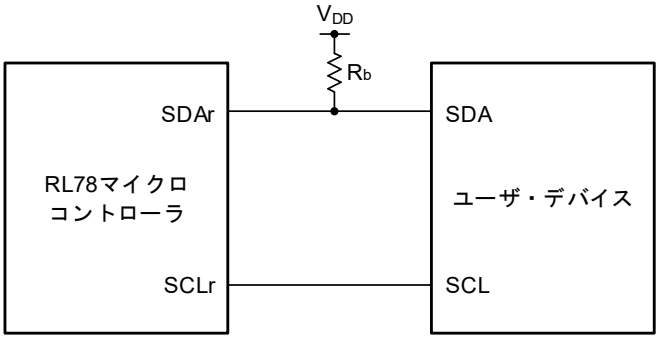
（SDAr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード，SCLr は通常出力モード）

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

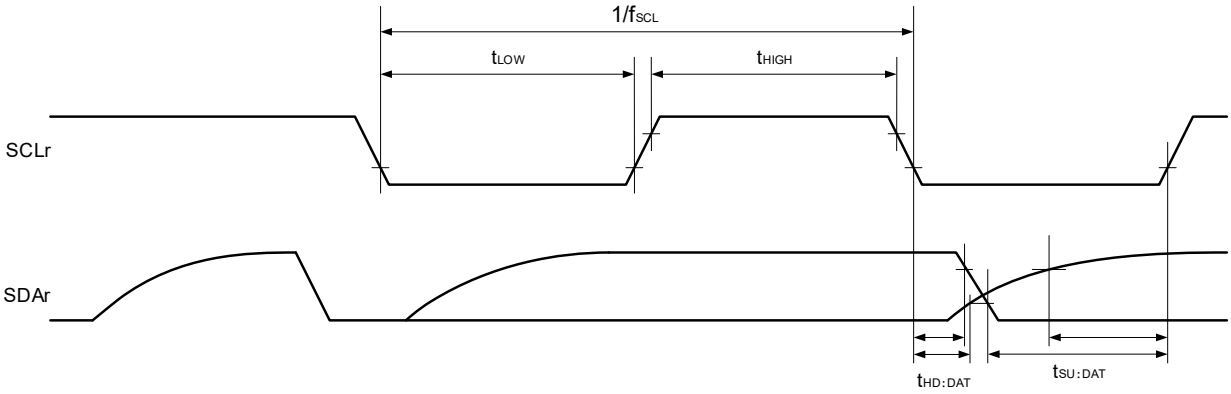
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLr クロック周波数	f_{SCL}				1000 注	kHz
SCLr = “L” のホールド・タイム	t_{LOW}		475			ns
SCLr = “H” のホールド・タイム	t_{HIGH}		475			ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		1/f_{MCK} + 85			ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	C_b = 50 pF, R_b = 2.7 kΩ	0		305	ns

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（同電位通信時）



簡易 I²C モード・シリアル転送タイミング（同電位通信時）



注意　SDAr 端子は通常入力バッファかつ N-ch オープン・ドレイン出力モード，SCLr 端子は通常出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

2. r：IICr（r = 00, 01, 10, 11）

3. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(7)　同電位通信時（簡易 I²C モード）

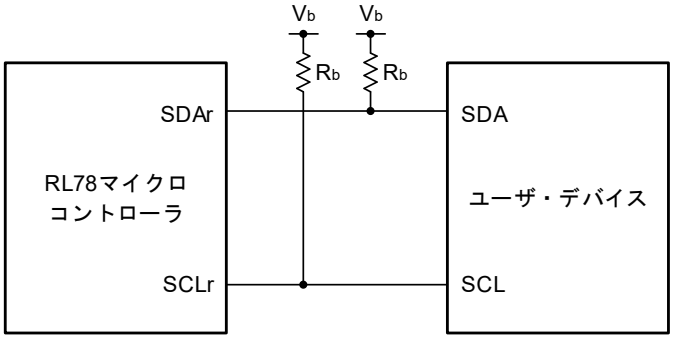
（SDAr，SCLr は，N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード）

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f_{SCL}			400 注	kHz
SCLr = "L" のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1300		ns
		2.7 V≦V_{DD}<4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
SCLr = "H" のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	600		ns
		2.7 V≦V_{DD}<4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1/f_{MCK} + 120		ns
		2.7 V≦V_{DD}<4.0 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK} + 270		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	0	300	ns
		2.7 V≦V_{DD}<4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（同電位通信時）



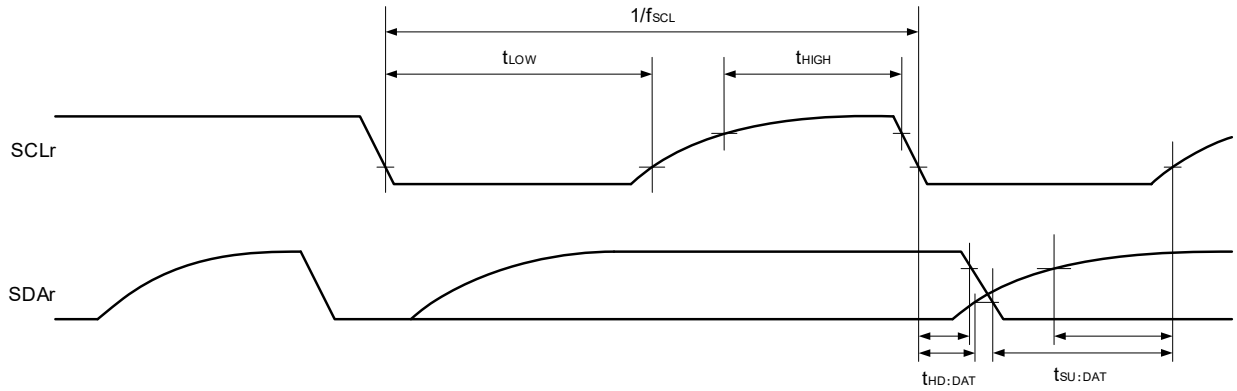
注意　SDAr, SCLr 端子は通常入力バッファかつ N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，V_b [V]：通信ライン電圧

2. r：IICr（r = 00, 01, 10, 11）

3. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

簡易 I²C モード・シリアル転送タイミング（同電位通信時）



備考　r：IICr（r = 00, 01, 10, 11）

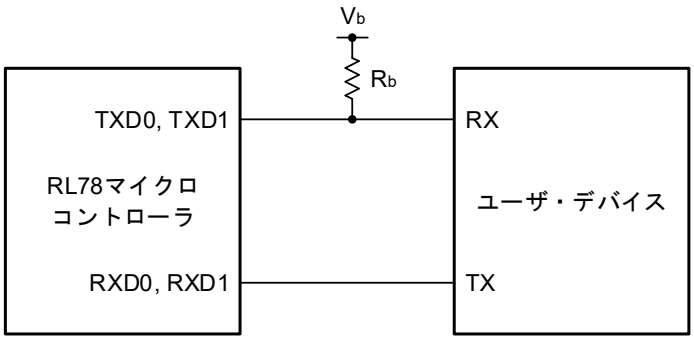
(8)　異電位通信時（UART モード）（TXD 出力バッファ＝N-ch オープン・ドレイン，RXD 入力バッファ＝TTL）

（T_A = −40～+105℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

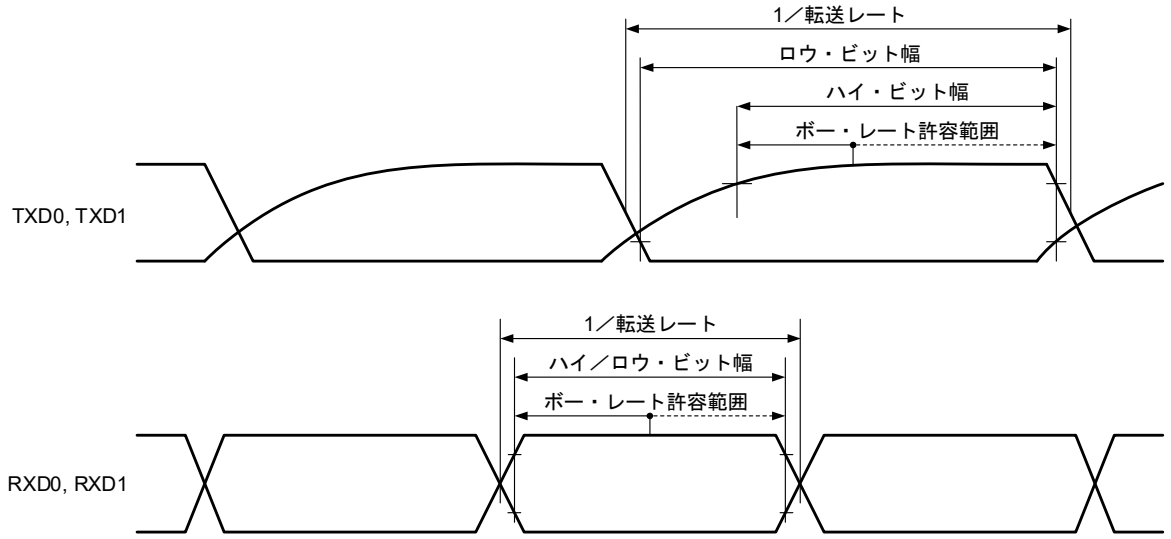
項目	略号	条件			MIN.	TYP.	MAX.	単位
転送レート	－	受信	2.7 V≦V_b≦EV_{DD0}, V_{IH} = 2.2 V, V_{IL} = 0.8 V				f_{MCK}/6	bps
				最大転送レート理論値 注 （C_b = 30 pF）			5.3	Mbps
		送信	2.7 V≦V_b≦EV_{DD0}, V_{OH} = 2.2 V, V_{OL} = 0.8 V				f_{MCK}/6 と (式 1) の 小さい方	bps
				最大転送レート理論値 注 （C_b = 30 pF） 通常スルー・レート			5.3	Mbps

注　(式 1) 最大転送レート = 1 / [{−C_b × R_b × ln (1 − 2.2/V_b)} × 3]

UART モード接続図（異電位通信時）



UART モードのビット幅（異電位通信時）（参考）



注意　RXD0, RXD1 端子は TTL 入力バッファ，TXD0, TXD1 端子は N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（TXD）プルアップ抵抗値，C_b [F]：通信ライン（TXD）負荷容量値，
V_b [V]：通信ライン電圧

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

(9)　異電位（3 V 系）通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）

（T_A = −40～+105℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

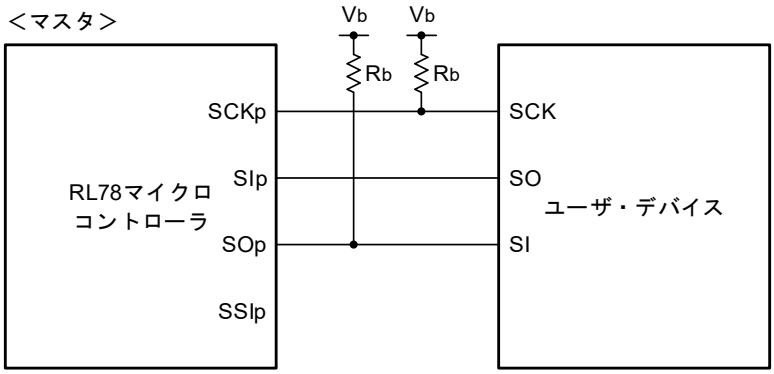
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	400 注3			ns
SCKp ハイ・レベル幅	t_{KH1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2 − 75			ns
SCKp ロウ・レベル幅	t_{KL1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2 − 20			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	150			ns
SIp セットアップ時間（対 SCKp↓）注2	t_{SIK1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	70			ns
SIp ホールド時間（対 SCKp↑）注1	t_{KSI1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	30			ns
SIp ホールド時間（対 SCKp↓）注2	t_{KSI1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	30			ns
SCKp↓→SOp 出力遅延時間 注1	t_{KSO1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ			120	ns
SCKp↑→SOp 出力遅延時間 注2	t_{KSO1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ			40	ns

注 1.　DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

2.　DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

★ **3.**　t_{KCY1}≧4/f_{MCK} も満たす必要があります。

CSI モード接続図（異電位通信時）



注意　SIp 端子は TTL 入力バッファ，SOp, SCKp 端子は N-ch オープン・ドレイン出力モードを選択。

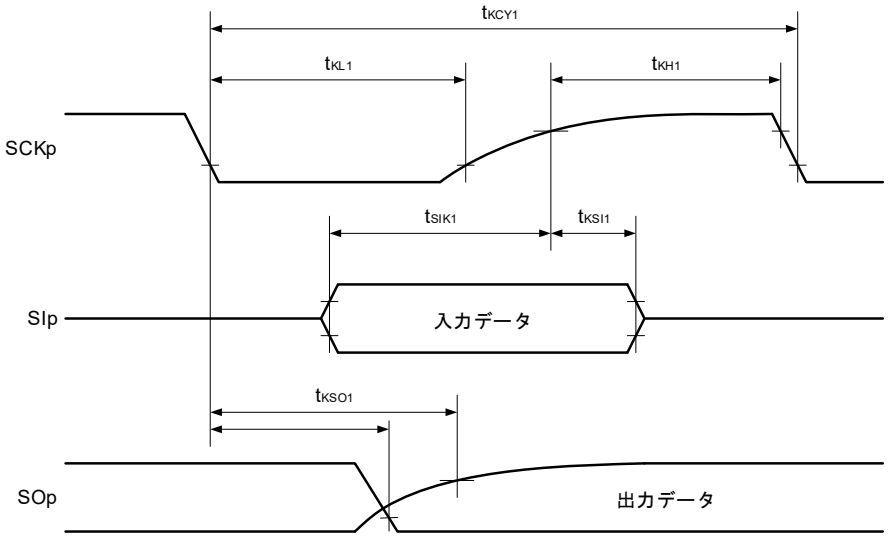
備考 1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp, SCKp）負荷容量値，V_b [V]：通信ライン電圧

2.　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

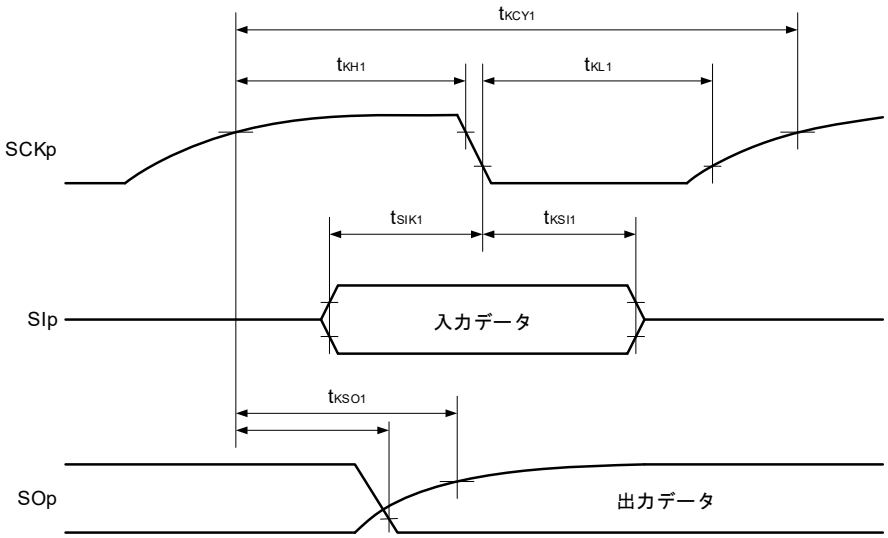
3.　シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V≦EV_{DD0}≦5.5 V，2.7 V≦V_b≦4.0 V のとき：V_{IH} = 2.2 V，V_{IL} = 0.8 V

CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(10) 異電位（3V 系）通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，通常スルー・レート）

（T_A = −40～+105℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

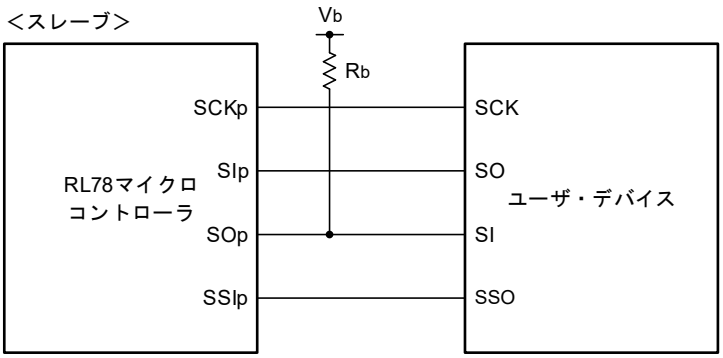
項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	2.7 V≦V_b≦V_{DD}	32 MHz＜f_{MCK}	18/f_{MCK}			ns
			24 MHz＜f_{MCK}≦32 MHz	14/f_{MCK}			ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}			ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}			ns
			f_{MCK}≦4 MHz	6/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	2.7 V≦V_b≦V_{DD}		t_{KCY2}/2 − 20			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}			90			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}			1/f_{MCK} + 50			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	2.7 V≦V_b≦V_{DD}, C_b = 30 pF, R_b = 1.4 kΩ				2/f_{MCK} + 120	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0		120			ns
		DAP = 1		1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0		1/f_{MCK} + 120			ns
		DAP = 1		120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは ”対 SCKp↑” となります。

CSI モード接続図（異電位通信時）



注意　SIp, SCKp 端子および SSIp 端子は TTL 入力バッファ，SOp 端子は N-ch オープン・ドレイン出力モードを選択。

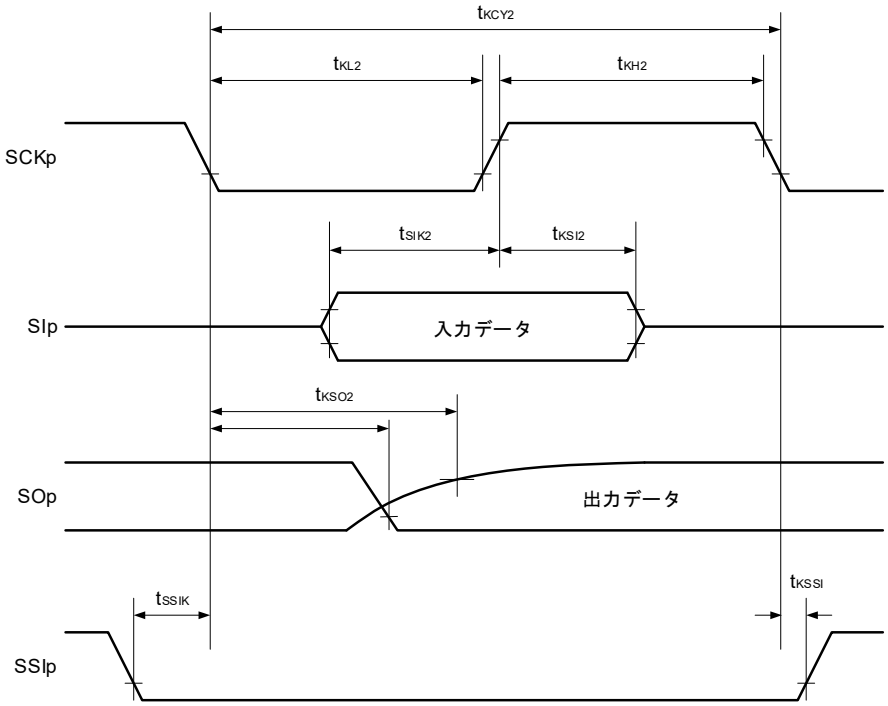
備考 1. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，V_b [V]：通信ライン電圧

2. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

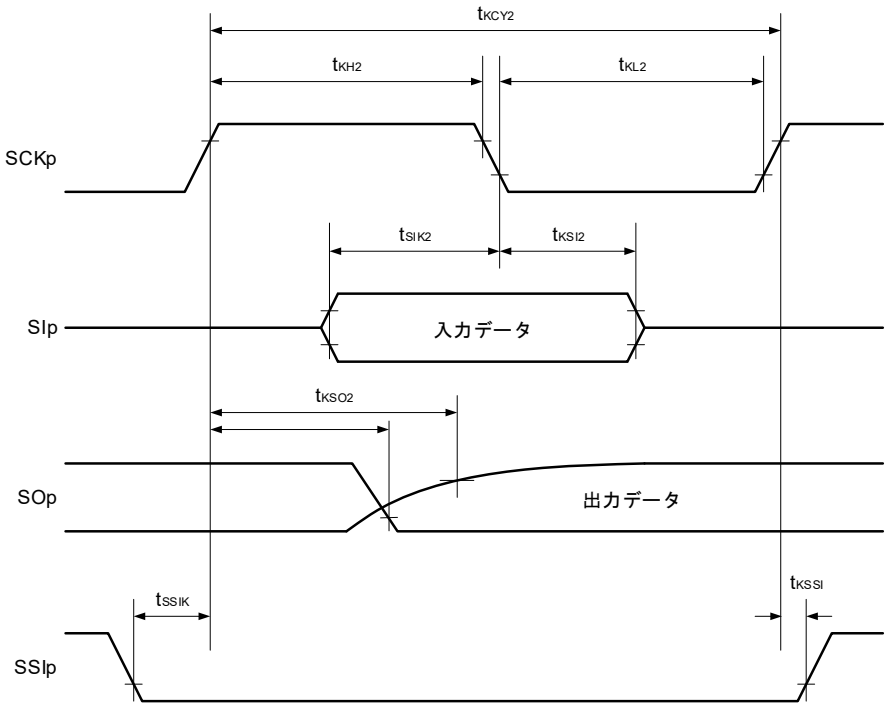
3. シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は，下記の V_{IH} と V_{IL} を観測点としています。

4.0 V≦EV_{DD0}≦5.5 V，2.7 V≦V_b≦4.0 V のとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p: CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(11) 異電位（3 V 系）通信時（簡易 I²C モード）

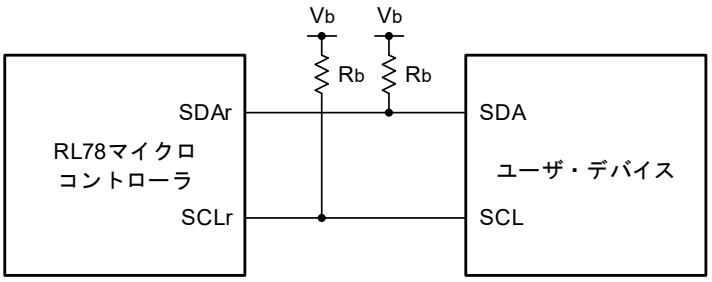
（SDAr は TTL 入力バッファ・モード，N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード，SCLr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード）

（T_A = −40～+105℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

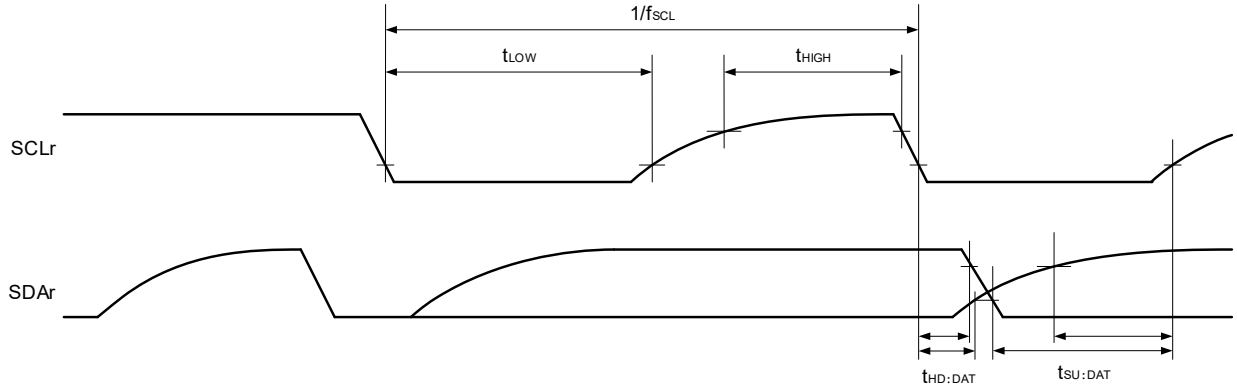
項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f_{SCL}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ		400 注	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	1200		ns
SCLr = “H”のホールド・タイム	t_{HIGH}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	600		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	135 + 1/f_{MCK}		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	0	140	ns

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（異電位通信時）



簡易 I²C モード・シリアル転送タイミング（異電位通信時）



注意　SDAr 端子は TTL 入力バッファかつ N-ch オープン・ドレイン出力モード，SCLr 端子は N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，V_b [V]：通信ライン電圧

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

36.5.2　シリアル・インタフェース IICA

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f_{SCL}	ファースト・モード・プラス：10 MHz ≦ f_{MCK}					0	1000	kHz
		ファースト・モード：3.5 MHz ≦ f_{MCK}			0	400			kHz
		標準モード：1 MHz ≦ f_{MCK}	0	100					kHz
リスタート・コンディションのセットアップ時間 注1	$t_{SU:STA}$		4.7		0.6		0.26		μs
ホールド時間	$t_{HD:STA}$		4.0		0.6		0.26		μs
SCLA0 = “L” のホールド・タイム	t_{LOW}		4.7		1.3		0.5		μs
SCLA0 = “H” のホールド・タイム	t_{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		50		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$		0	3.45	0	0.9	0		μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		0.26		μs
バス・フリー時間	t_{BUF}		4.7		1.3		0.5		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスを生成します。

2. $t_{HD:DAT}$ の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングではウェイトがかかります。

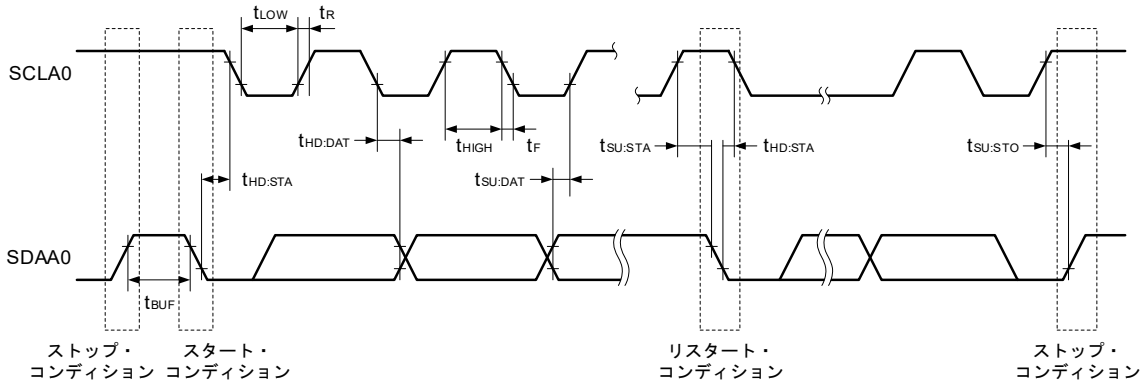
備考　各モードにおける C_b（通信ライン容量）の MAX.値と，そのときの R_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　：C_b = 400 pF, R_b = 2.7 kΩ

ファースト・モード　：C_b = 320 pF, R_b = 1.1 kΩ

ファースト・モード・プラス　：C_b = 120 pF, R_b = 1.1 kΩ

IICA シリアル転送タイミング



36.5.3　オンチップ・デバッグ（UART）

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	−		115.2 k		1 M	bps

36.5.4　LIN/UART モジュール（RLIN3）UART モード

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	−	動作モード，HALT モード	LIN 通信クロック源（f_{CLK} または f_{MX}）4 MHz～40 MHz			4000	kbps
		SNOOZE モード	LIN 通信クロック源（f_{CLK}）2 MHz～40 MHz			9.6	

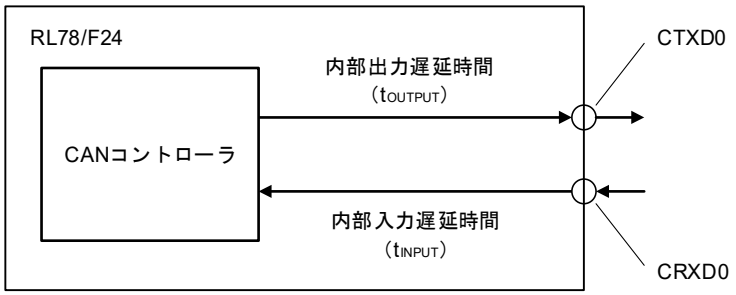
36.5.5　CAN-FD 通信インターフェース（RS-CANFD lite）タイミング

(TA = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	−	クラシカル CAN モード				1	Mbps
		CAN-FD モード	データ・ビット・レート			5	Mbps
		CAN-FD モード	標準ビット・レート			1	Mbps
内部遅延時間 注	t_{NODE}					50	ns

注　t_{NODE} = 内部入力遅延時間（t_{INPUT}）＋内部出力遅延時間（t_{OUTPUT}）

内部遅延の概念図



36.6　アナログ特性

36.6.1　A/D コンバータ特性

A/D コンバータ特性の分類

基準電圧 / 入力チャンネル	基準電圧(+) = AV_{REFP} 基準電圧(−) = AV_{REFM}	基準電圧(+) = V_{DD} 基準電圧(−) = V_{SS}
AN0-ANI5, ANI8-ANI30	36.6.1 (1)	36.6.1 (2)
ANI6, ANI7	−	36.6.1 (2)
内部基準電圧（+）	36.6.1 (1)	36.6.1 (2)

(1)　基準電圧(+) = AV_{REFP}，基準電圧(−) = AV_{REFM} = 0 V 選択時

対象 ANI 端子：ANI0-ANI05, ANI08-ANI30，内部基準電圧(+)

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧(+) = AV_{REFP}，
基準電圧(−) = AV_{REFM} = 0 V）　(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 注1	ABS	ANI0-ANI5, ANI8-ANI23 注2, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V]			±5.0	LSB
		ANI0-ANI5, ANI8-ANI23 注2, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V]			±5.0	LSB
		ANI1, ANI2 注3, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V] [0.25 V≦V_{AIN}≦V_{DD} – 0.25 V]			±6.0	LSB
		ANI1, ANI2 注3, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V] [0.25 V≦V_{AIN}≦V_{DD} – 0.25 V]			±8.0	LSB
		ANI24-ANI30, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V]			±11	LSB
		ANI24-ANI30, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V]			±13	LSB
積分直線性誤差 注1	INL	ANI0-ANI5, ANI8-ANI23, [AV_{REFP} = V_{DD}]			±3.0	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±7.0	LSB
微分直線性誤差 注1	DNL	ANI0-ANI5, ANI8-ANI23, [AV_{REFP} = V_{DD}]			±1.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±3.5	LSB
ゼロスケール誤差 注1	ZSE	ANI0-ANI5, ANI8-ANI23 注2, [AV_{REFP} = V_{DD}]			±4.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±8.5	LSB
フルスケール誤差 注1	FSE	ANI0-ANI5, ANI8-ANI23 注2, [AV_{REFP} = V_{DD}]			±4.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±8.5	LSB

（注は，次のページにあります。）

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
基準電圧(+)	AV_{REFP}			2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}	ANI0-ANI5, ANI8-ANI30		0		AV_{REFP}	V
内部基準電圧(+)	V_{BGR}	2.7 V≦V_{DD}≦5.5 V		1.38	1.45	1.5	V
アナログ入力スルー・レート	SR					0.4	V/μs
動作周波数	f_{AD}			2		40	MHz
変換時間 注4 （1 チャンネル）	t_{CONV}	ADCLK = 40 MHz, 入力インピーダンス≦0.5 kΩ					
			ANI0-ANI5, ANI8-ANI15 注2	1.125			μs
			ANI16-ANI30	1.8			μs
			ANI1, ANI2 注3	2.1			μs

注 1. 量子化誤差（±1/2 LSB）は含みません。

2. 専用サンプル＆ホールド回路を使用しない場合。

3. 専用サンプル＆ホールド回路を使用する場合。

4. A/D 変換処理時間（t_{CONV}）は，サンプリング時間と逐次変換時間を合わせた時間となります。

(2)　基準電圧(+) = V_{DD}，基準電圧(−) = V_{SS} 選択時，対象 ANI 端子：ANI0-ANI30，内部基準電圧(＋)

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧(+) = V_{DD}，基準電圧(−) = V_{SS}）

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 注1	ABS	ANI0-ANI23 注2, [4.5 V≦V_{DD}≦5.5 V]			±13.0	LSB
		ANI0-ANI23 注2, [2.7 V≦V_{DD}＜4.5 V]			±15.0	LSB
		ANI1, ANI2 注3, [4.5 V≦V_{DD}≦5.5 V], [0.25 V≦V_{AIN}≦V_{DD} – 0.25 V]			±14.0	LSB
		ANI1, ANI2 注3, [2.7 V≦V_{DD}＜4.5 V], [0.25 V≦V_{AIN}≦V_{DD} – 0.25 V]			±16.0	LSB
		ANI24-ANI30, [4.5 V≦V_{DD}≦5.5 V]			±19.0	LSB
		ANI24-ANI30, [2.7 V≦V_{DD}＜4.5 V]			±21.0	LSB
積分直線性誤差 注1	INL	ANI0-ANI23			±7.0	LSB
		ANI24-ANI30			±9.0	LSB
微分直線性誤差 注1	DNL	ANI0-ANI23			±3.5	LSB
		ANI24-ANI30			±5.5	LSB
ゼロスケール誤差 注1	ZSE	ANI0-ANI23 注2			±14.5	LSB
		ANI24-ANI30			±18.5	LSB
フルスケール誤差 注1	FSE	ANI0-ANI23 注2			±14.5	LSB
		ANI24-ANI30			±18.5	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI30	0		V_{DD}	V
内部基準電圧(＋)	V_{BGR}	2.7 V≦V_{DD}≦5.5 V	1.38	1.45	1.5	V
アナログ入力スルー・レート	SR				0.4	V/μs
動作周波数	f_{AD}		2		40	MHz
変換時間 注4 （1 チャンネル）	t_{CONV}	ADCLK = 40 MHz, 入力インピーダンス≦0.5 kΩ				
		ANI0-ANI15 注2	1.125			μs
		ANI16-ANI30	1.8			μs
		ANI1, ANI2 注3	2.1			μs

注 1. 量子化誤差（±1/2 LSB）は含みません。

2. 専用サンプル＆ホールド回路を使用しない場合。

3. 専用サンプル＆ホールド回路を使用する場合。

4. A/D 変換処理時間（t_{CONV}）は，サンプリング時間と逐次変換時間を合わせた時間となります。

36.6.2　D/A コンバータ特性

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					8	bit
総合誤差	AINL	Rload = 4 MΩ	2.7 V≦V_{DD}≦5.5 V			±2.5	LSB
		Rload = 8 MΩ	2.7 V≦V_{DD}≦5.5 V			±2.5	LSB
セトリング・タイム	t_{SET}	Cload = 20 pF	2.7 V≦V_{DD}≦5.5 V			3	μs

36.6.3　コンパレータ特性

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOCMP}			±5	±40	mV
入力電圧範囲	V_{ICMP}		0		V_{DD}	V
応答時間	t_{CR}, t_{CF}	入力振幅 ±100 mV		70	200	ns
入力チャネル切り替え時の安定待ち時間 注1	t_{WAIT}	入力振幅 ±100 mV	300			ns
動作安定待ち時間 注2	t_{CMP}	3.3 V≦V_{DD}≦5.5 V	1			μs
		2.7 V≦V_{DD}＜3.3 V	3			μs

注 1. コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2. コンパレータの動作許可（CMPCTL レジスタの HCMPON ビット = 1）からコンパレータが DC/AC 特性を満足できる状態になるまでの時間。

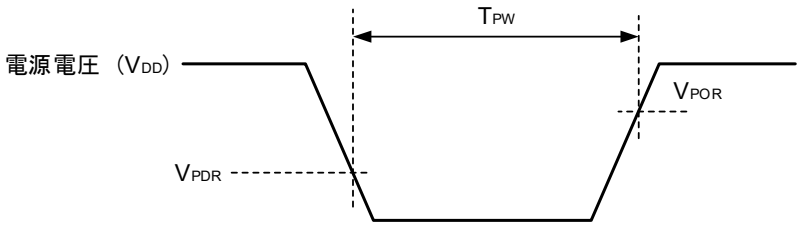
36.6.4　POR 回路特性

（T_A = −40～+105℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 注1	V_{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅 注2	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注 1. POR 回路の特性を示すものであり，下限動作電圧（2.7 V）未満で通常動作を保証するものではありません。

2. V_{DD} が V_{PDR} を下回った場合の POR リセットに必要な最小時間。



36.6.5　LVD 回路特性

(1)　リセット・モード，割り込みモードの LVD 検出電圧

（T_A = −40～+105℃，V_{PDR}≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	4.62	4.74	4.84	V
			電源立ち下がり時	4.52	4.64	4.74	V
		V_{LVD1}	電源立ち上がり時	4.50	4.62	4.72	V
			電源立ち下がり時	4.40	4.52	4.62	V
		V_{LVD2}	電源立ち上がり時	4.30	4.42	4.51	V
			電源立ち下がり時	4.21	4.32	4.41	V
		V_{LVD3}	電源立ち上がり時	3.13	3.22	3.29	V
			電源立ち下がり時	3.07	3.15	3.22	V
		V_{LVD4}	電源立ち上がり時	2.95	3.02	3.09	V
			電源立ち下がり時	2.89	2.96	3.02	V
		V_{LVD5}	電源立ち上がり時	2.74	2.81	2.87	V
			電源立ち下がり時	2.68 注	2.75	2.81	V
最小パルス幅		t_{LW}		300			μs
検出遅延		t_{LD}				300	μs

注　最小値は下限動作電圧（2.7 V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7 V 時と同等の動作）が可能です。

(2)　割り込み＆リセット・モードの LVD 検出電圧

（T_A = −40～+105℃，V_{PDR}≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件			MIN.	TYP.	MAX.	単位
割り込み＆ リセット・モード	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	2.81	V
	V_{LVD2}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.51	V
				立ち下がり割り込み電圧	4.21	4.32	4.41	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	2.81	V
	V_{LVD1}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.72	V
				立ち下がり割り込み電圧	4.40	4.52	4.62	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	2.81	V
	V_{LVD3}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.29	V
				立ち下がり割り込み電圧	3.07	3.15	3.22	V
	V_{LVD0}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.84	V
				立ち下がり割り込み電圧	4.52	4.64	4.74	V

注 1.　これらの値はオプション・バイトの設定値を示しています。

2.　最小値は下限動作電圧（2.7 V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7 V 時と同等の動作）が可能です。

36.7　電源立ち上げ時間

（T_A = −40～+105℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{vrmax}	0 V → V_{DD}（VPOC2 = 0 または 1 注2）			50 注3	V/ms
最小電源電圧立ち上げ傾き 注1	S_{vrmin}	0 V → 2.7 V	6.5			V/ms

注 1. 最小電源電圧立ち上げ傾きは，以下の条件の場合にのみ適用対象になります。
電圧検出（LVD）回路が未使用（VPOC2 = 1）かつ外部リセット回路未使用もしくは V_{DD} = 2.7 V までリセットがかからない場合。

2. オプション・バイトの設定値を示しています。

3. 電源が V_{PDR} 以下に下降し，POR リセットが発生した場合は，0 V まで下降せずに復帰する場合も本仕様の適用対象になります。

36.8　レギュレータ出力電圧特性

（T_A = −40～+105℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGC 出力電圧	V_{OREGC}	注，C = 0.47～1 μF	2.0	2.1	2.2	V

注　下記の場合を除きます。

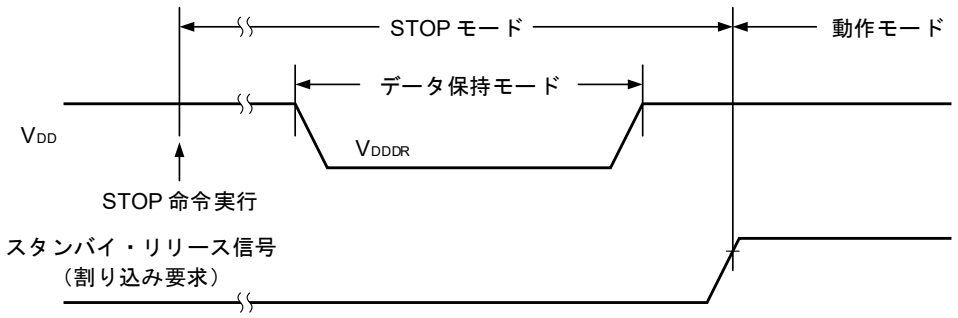
- STOP モード時
- サブ／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき。
- サブ／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作設定時の HALT モード中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき。

36.9　RAM データ保持特性

（T_A = −40～+105℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47 注		5.5	V

注　POR 検出電圧に依存します。電圧降下時，POR リセットがかかるまでは RAM 内のデータを保持しますが，POR リセットがかかった場合のデータは保持しません。



36.10 フラッシュ・メモリ・プログラミング特性

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}		2		40	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cerwr	保持 20 年 T_A = +85℃ 注4	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持 20 年 T_A = +85℃ 注4	10,000			
		保持 5 年 T_A = +85℃ 注4	100,000			
消去時間	Terasa	ブロック消去	5			ms
書き込み時間	Twrwa	1 ワード書き込み	10			μs

注 1. 消去 1 回＋消去後の書き込み 1 回を書き換え回数 1 回とします。保持年数の開始点は消去後です。

2. フラッシュ・メモリ・プログラマ使用時，および当社提供のセルフ・プログラミング・コードを使用したときです。

3. この特性はフラッシュ･メモリの特性を示すものであり，弊社の信頼性試験から得られた結果です。

4. 保持の平均温度です。

(1) コード・フラッシュ・メモリ処理時間

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		f_{CLK} = 2 MHz		f_{CLK} = 4 MHz		f_{CLK} = 8 MHz		f_{CLK} = 16 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	4 バイト	74.0	690.0	61.0	580.0	56.0	530.0	54.0	510.0	μs
イレース時間	1 K バイト	6.9	245.0	6.1	230.0	5.8	225.0	5.6	220.0	ms
ブランクチェック時間	4 バイト	–	29.0	–	22.0	–	19.0	–	17.0	μs
	1 K バイト	–	800.0	–	405.0	–	245.0	–	145.0	μs
内部ベリファイ時間	4 バイト	–	350.0	–	175.0	–	90.0	–	45.0	μs
	1 K バイト	–	19.0	–	9.5	–	5.0	–	2.5	ms

項目		f_{CLK} = 20 MHz		f_{CLK} = 32 MHz		f_{CLK} = 40 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	4 バイト	54.0	510.0	53.0	500.0	53.0	500.0	μs
イレース時間	1 K バイト	5.6	220.0	5.5	220.0	5.5	220.0	ms
ブランクチェック時間	4 バイト	–	17.0	–	16.0	–	16.0	μs
	1 K バイト	–	145.0	–	135.0	–	135.0	μs
内部ベリファイ時間	4 バイト	–	35.0	–	22.0	–	18.0	μs
	1 K バイト	–	2.0	–	1.2	–	1.0	ms

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。

(2)　データ・フラッシュ・メモリ処理時間

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		f_{CLK} = 2 MHz		f_{CLK} = 4 MHz		f_{CLK} = 8 MHz		f_{CLK} = 16 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	1 バイト	60.0	550.0	49.0	450.0	44.0	410.0	42.0	390.0	μs
イレース時間	1 K バイト	11.5	340.0	8.4	275.0	7.1	250.0	6.3	235.0	ms
ブランクチェック時間	1 バイト	–	29.0	–	22.0	–	19.0	–	17.0	μs
	1 K バイト	–	3.1	–	1.6	–	0.95	–	0.55	ms
内部ベリファイ時間	1 バイト	–	350.0	–	175.0	–	90.0	–	45.0	μs
	1 K バイト	–	76.0	–	38.0	–	19.0	–	9.5	ms

項目		f_{CLK} = 20 MHz		f_{CLK} = 32 MHz		f_{CLK} = 40 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	1 バイト	42.0	390.0	41.0	380.0	41.0	380.0	μs
イレース時間	1 K バイト	6.3	235.0	6.2	235.0	6.2	235.0	ms
ブランクチェック時間	1 バイト	–	17.0	–	16.0	–	16.0	μs
	1 K バイト	–	0.55	–	0.5	–	0.5	ms
内部ベリファイ時間	1 バイト	–	35.0	–	22.0	–	18.0	μs
	1 K バイト	–	7.5	–	4.7	–	3.8	ms

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。

36.11　専用フラッシュ・メモリ・プログラマ通信（UART）

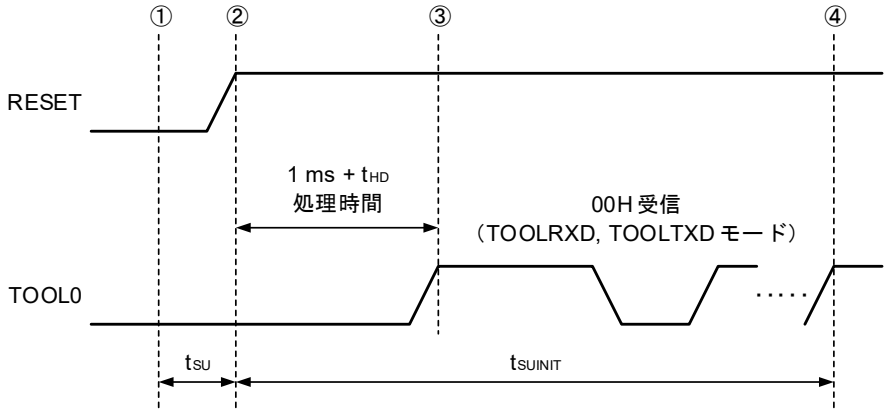
（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	－	シリアル・プログラミング期間	115.2 k		1 M	bps

36.12 フラッシュ・メモリ・プログラミング・モード・エントリ・タイミング

（T_A = −40～+105℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除後，初期設定通信が完了するまでの時間	t_{SUINIT}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。			100	ms
TOOL0 端子がロウ・レベルに設定された後，外部リセットを解除する時間	t_{SU}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。	10			μs
外部リセットが解除された後，TOOL0 端子をロウ・レベルに保持する時間（フラッシュ・メモリ制御ファームウェアの処理時間を除く）	t_{HD}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。	1			ms



① ロウ・レベルが TOOL0 端子に入力されます。

② 外部リセットが解除されます（外部リセット前に POR および LVD リセットを解除する必要があります。

③ TOOL0 端子がハイ・レベルに設定されています。

④ UART 受信によるフラッシュ・メモリ・プログラミング・モードの設定と，ボー・レート設定の完了。

備考　t_{SUINIT}　：外部リセットを解除してから 100ms 以内に初期設定通信を完了する必要があります。

t_{SU}　：TOOL0 端子がロウ・レベルに設定された後，外部リセットを解除する時間

t_{HD}　：外部リセット解除後，TOOL0 端子をロウ・レベルに保持する時間（フラッシュ・メモリ制御ファームウェアの処理時間を除く）

第37章　電気的特性（グレード 4）

注意 1. RL78/F23, F24 には，開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1} 端子がない製品は，EV_{DD0} と EV_{DD1} を V_{DD} に，EV_{SS0} と EV_{SS1} を V_{SS} に置き換えてください。

3. 製品により搭載している端子が異なります。詳細は，「1.5　端子接続図」および「2.1　端子機能一覧」を参照してください。

37.1　絶対最大定格

（1/3）

項目	略号	条件	定格	単位
電源電圧	V_{DD}		−0.5～＋6.5	V
	EV_{DD0}, EV_{DD1}	$EV_{DD0} = EV_{DD1} = V_{DD}$	−0.5～＋6.5	V
	V_{SS}		−0.5～＋0.3	V
	EV_{SS0}, EV_{SS1}	$EV_{SS0} = EV_{SS1}$	−0.5～＋0.3	V
REGC 端子入力電圧	V_{IREGC}	REGC	−0.3～＋2.8 かつ，−0.3～V_{DD}＋0.3 注1	V
入力電圧	V_{I1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	−0.3～EV_{DD0}＋0.3 かつ，−0.3～V_{DD}＋0.3 注2	V
	V_{I2}	P33, P34, P80-P87, P90-P97, P100-P105, P121-P124, P137, RESET	−0.3～V_{DD}＋0.3 注2	V
出力電圧	V_{O1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	−0.3～EV_{DD0}＋0.3 かつ，−0.3～V_{DD}＋0.3 注2	V
	V_{O2}	P33, P34, P80-P87, P90-P97, P100-P105	−0.3～V_{DD}＋0.3	V
アナログ入力電圧	V_{AI1}	ANI24-ANI30	−0.3～EV_{DD0}＋0.3 かつ，−0.3～$AV_{REF(+)}$＋0.3 注2, 3	V
	V_{AI2}	ANI0-ANI23	−0.3～V_{DD}＋0.3 かつ，−0.3～$AV_{REF(+)}$＋0.3 注2, 3	V

注 1. REGC 端子にはコンデンサ（0.47～1 μF）を介して V_{SS} に接続してください。この値は，REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V 以下であること。

3. A/D 変換対象の端子は，$AV_{REF(+)}$＋0.3 V を超えないでください。

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

備考　特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

（2/3）

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I_{OH1}	1 端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	−40	mA
		端子合計 −170 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	−70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	−100	mA
	I_{OH2}	1 端子	P33, P34, P80-P87, P90-P97, P100-P105	−0.5	mA
		端子合計		−2	mA
ロウ・レベル出力電流	I_{OL1}	1 端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	40	mA
		端子合計 170 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	100	mA
	I_{OL2}	1 端子	P33, P34, P80-P87, P90-P97, P100-P105	1	mA
		端子合計		5	mA

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

備考　特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

（3/3）

項目	略号	条件		定格	単位
正注入電流 (V_I＞V_{DD}) 注	I_{INJP}	1 端子	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	5	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	2	mA
負注入電流 (V_I＜V_{SS}) 注	I_{INJN}	1 端子	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	−5	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	−0.5	mA
正注入電流合計 注	ΣI_{INJP}	端子合計	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	10	mA
負注入電流合計 注	ΣI_{INJN}	端子合計	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	−40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	−2	mA
全注入電流合計 注	$\Sigma\lvert I_{INJP}\rvert + \Sigma\lvert I_{INJN}\rvert$	端子合計	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	10	mA
動作周囲温度	T_A	通常動作時		−40～+125	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			−65～+150	℃

注　条件：2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

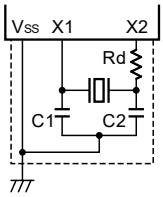
備考 1. 特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

2. V_I：ポート端子への入力電圧レベルです。

37.2　発振回路特性

37.2.1　メイン・システム・クロック発振回路特性

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，VSS = EV_{SS0} = EV_{SS1} = 0 V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／水晶振動子		X1 クロック発振周波数（fx）	2.7 V≦V_{DD}≦5.5 V	2.0		20.0	MHz

注意 1. X1 発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- **配線は極力短くする。**
- **他の信号線と交差させない。**
- **変化する大電流が流れる線に接近させない。**
- **発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。**
- **大電流が流れるグランド・パターンに接地しない。**
- **発振回路から信号を取り出さない。**

2. 発振子の選択および発振回路定数については，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。また，お客様のシステムにて十分な発振評価をしてください。X1 クロックの発振安定時間は，使用する発振子で発振安定時間を十分に評価してから，発振安定時間カウンタ状態レジスタ（OSTC）と発振安定時間選択レジスタ（OSTS）で発振安定時間を決定してください。

37.2.2　オンチップ・オシレータ特性

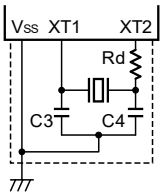
（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ発振周波数 注	f_{IH}		2		80	MHz
高速オンチップ・オシレータ発振周波数精度	－		−2.0		+2.0	%
低速オンチップ・オシレータ発振周波数	f_{IL}, f_{WDT}			15		kHz
低速オンチップ・オシレータ発振周波数精度	－		−15		+15	%

注　高速オンチップ・オシレータの周波数は，オプション･バイト（000C2H/040C2H）のビット 0～4，および HOCODIV レジスタのビット 0～2 によって選択します。

37.2.3　サブシステム・クロック発振回路特性

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1 クロック発振周波数 （f_{XT}）	2.7 V≦V_{DD}≦5.5 V	29.0	32.768	35.0	kHz

注意 1. XT1 発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- **配線は極力短くする。**
- **他の信号線と交差させない。**
- **変化する大電流が流れる線に接近させない。**
- **発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。**
- **大電流が流れるグランド・パターンに接地しない。**
- **発振回路から信号を取り出さない。**

2. XT1 発振回路は，低消費電力にするために増幅度の低い回路になっていますので，システムにて十分な発振評価をしてください。発振子の選択および発振回路定数は，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。

37.2.4　PLL 回路特性

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL 入力可能クロック周波数 注1	f_{PLLI}	f_{MAIN}: 4.0 MHz	FMAINDIV[1:0] = 00B	3.92	4.0	4.08	MHz
		f_{MAIN}: 8.0 MHz	FMAINDIV[1:0] = 00B	7.84	8.0	8.16	MHz
		f_{MAIN}: 16.0 MHz	FMAINDIV[1:0] = 10B	7.84	8.0	8.16	MHz
		f_{MAIN}: 20.0 MHz	FMAINDIV[1:0] = 11B	4.90	5.0	5.10	MHz
PLL 出力周波数（中央値）	f_{PLL}	f_{MAIN}: 20 MHz, PLLMULA = 0, PLLMUL = 1	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 16/2			MHz
			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1 = 1	f_{PLLI} × 16			MHz
		f_{MAIN}: 4 MHz, PLLMULA = 1, PLLMUL = 1	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 20/2			MHz
			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1 = 1	f_{PLLI} × 20			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 0, PLLMUL = 0	PLLDIV0 = 1, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 12/4			MHz
			PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 1	f_{PLLI} × 12/2			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 0, PLLMUL = 1	PLLDIV0 = 1, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 16/4			MHz
			PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 1	f_{PLLI} × 16/2			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 1, PLLMUL = 0	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 10/2			MHz
★			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1= 1	f_{PLLI} × 10			MHz
ロングターム・ジッタ 注2	t_{LJ}	term = 1 μs		−1		+1	ns
		term = 10 μs		−1		+1	ns
		term = 20 μs		−2		+2	ns

注 1. PLL 入力クロックが高速オンチップ・オシレータ・クロックの場合，MIN, MAX 値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり，出荷時のテストは行いません。

備考　f_{MAIN}：メイン・システム・クロック周波数

37.3　DC 特性

37.3.1　端子特性

各項目の対応するポートについては「第４章　ポート機能」を参照してください。

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 注1	I_{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157 1 端子	4.0 V≦EV_{DD0}≦5.5 V			−5.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−3.0	mA
		P10, P12, P14, P30, P120, P140 1 端子 （特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V			−0.6	mA
			2.7 V≦EV_{DD0}＜4.0 V			−0.2	mA
		P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−10.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−30.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−19.0	mA
		全端子合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−42.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−29.0	mA
	I_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105 1 端子	2.7 V≦V_{DD}≦5.5 V			−0.1	mA
		端子合計 （デューティ≦70%時 注2）	2.7 V≦V_{DD}≦5.5 V			−2.0	mA

注 1. EV_{DD0}，EV_{DD1}，V_{DD} 端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2. デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比を n%に変更する場合）。

・端子合計の出力電流 = (I_{OH}×0.7)/(n×0.01)

＜計算例＞ I_{OH} = −10.0 mA，n = 80%の場合

端子合計の出力電流 = (−10.0×0.7)/(80×0.01)≒−8.7 mA

ただし，1 端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 注1	I_{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157 1 端子	4.0 V≦EV_{DD0}≦5.5 V			8.5	mA
			2.7 V≦EV_{DD0}＜4.0 V			4.0	mA
		P10, P12, P14, P30, P120, P140 1 端子 （特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V			0.59	mA
			2.7 V≦EV_{DD0}＜4.0 V			0.07	mA
		P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			45.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			35.0	mA
		全端子合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			65.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			50.0	mA
	I_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105 1 端子	2.7 V≦V_{DD}≦5.5 V			0.4	mA
		端子合計 （デューティ≦70%時 注2）	2.7 V≦V_{DD}≦5.5 V			5.0	mA

注 1. 出力端子から EV_{SS0}，EV_{SS1}，V_{SS} 端子に流れ込んでも，デバイスの動作を保証する電流値です。

2. デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比を n%に変更する場合）。

・端子合計の出力電流 = (I_{OL}×0.7)/(n×0.01)

＜計算例＞ I_{OL} = 10.0 mA，n = 80%の場合

端子合計の出力電流 = (10.0×0.7)/(80×0.01)≒8.7 mA

ただし，1 端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（3/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157（Schmitt 1 モード）	4.0 V≦EV_{DD0}≦5.5 V	0.65 EV_{DD0}		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.7 EV_{DD0}		EV_{DD0} 注	V
	V_{IH2}	P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P120, P125, P150, P152, P153（Schmitt 3 モード）	4.0 V≦EV_{DD0}≦5.5 V	0.8 EV_{DD0}		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.85 EV_{DD0}		EV_{DD0} 注	V
	V_{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTL モード）	4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0} 注	V
	V_{IH4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.85 V_{DD}		V_{DD}	V
	V_{IH5}	RESET（Schmitt 1 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.65 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.7 V_{DD}		V_{DD}	V
	V_{IH6}	P121-P124, EXCLK, EXCLKS（Schmitt 2 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.8 V_{DD}		V_{DD}	V

注　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時でも V_{IH} の最大値は EV_{DD0} です。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（4/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157（Schmitt 1 モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.35 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.3 EV_{DD0}	V
	V_{IL2}	P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P120, P125, P150, P152, P153（Schmitt 3 モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.5 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.4 EV_{DD0}	V
	V_{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTL モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.5	V
	V_{IL4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.5 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.4 V_{DD}	V
	V_{IL5}	RESET（Schmitt 1 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.35 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.3 V_{DD}	V
	V_{IL6}	P121-P124, EXCLK, EXCLKS（Schmitt 2 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.2 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.2 V_{DD}	V

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（5/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V_{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = −5.0 mA	EV_{DD0} − 0.9			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −3.0 mA	EV_{DD0} − 0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −1.0 mA	EV_{DD0} − 0.5			V
	V_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OH2} = −100 μA	V_{DD} − 0.5			V
	V_{OH3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.6 mA	EV_{DD0} − 0.8			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.2 mA	EV_{DD0} − 0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
	V_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.6 mA			0.8	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.07 mA			0.5	V

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（6/6）

項目	略号	条件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{DD0}				1	μA
	I_{LIH2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, RESET	V_I = V_{DD}				1	μA
	I_{LIH3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，または外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{SS0}				−1	μA
	I_{LIL2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, RESET	V_I = V_{SS}				−1	μA
	I_{LIL3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，または外部クロック入力時			−1	μA
				発振子接続時			−10	μA
正注入電流 注1, 注4	$I_{INJPRMS}$	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	1 端子，V_I＞EV_{DD0}				0.4	mA
			端子合計，V_I＞EV_{DD0}				4	mA
		P70-P74, P80, P83-P87 注2, P90-P97, P100-P105, P120, P125	1 端子，V_I＞V_{DD}				0.15	mA
			端子合計，V_I＞V_{DD}				1	mA
		P81-P84 注3	端子合計，V_I＞V_{DD}				0.15	mA
内蔵プルアップ抵抗	R_U	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{SS0}，入力ポート時		10	20	100	kΩ

注 1. 本特性は設計保証であり，出荷時のテストは行いません。

2. RL78/F24：P80, P86, P87

3. RL78/F23：P81, P82

4. RL78/F24 製品の場合，P85 / ANI07 / IVREF0 は，上記の仕様の範囲内であっても，正の注入電流が生成された場合の電気的特性を保証しません。

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考 1. 特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

2. V_I：ポート端子への入力電圧レベルです。

37.3.2　電源電流特性

(1)　RL78/F24

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（1/2）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 注1	I_{DD1}	動作モード	通常動作 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注3, 4		10.8	20.0	mA
					f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注3, 4		10.1	18.3	mA
					f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注3, 4		1.7	3.4	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注3, 5		5.6	10.3	mA
					f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注3, 5		1.5	3.1	mA
				発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		10.6	20.0	mA
					f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		10.2	18.3	mA
					f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注3, 6		9.9	17.8	mA
				サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注7		7.6	500	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注8		4.2	500	μA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU 全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD 回路，A/D コンバータ，D/A コンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

8. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{PLL}　：PLL クロック周波数

4. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注1, 3	I_{DD2}	HALT モード 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注5		3.4	12.0	mA
				f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注5		2.8	10.5	mA
				f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注5		0.5	2.0	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注6		1.5	6.5	mA
				f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注6		0.3	2.0	mA
			発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		3.2	12.0	mA
				f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		2.9	10.5	mA
				f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注7		2.6	10.0	mA
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注8		0.8	300	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注9		0.8	300	μA
	I_{DD3}	STOP モード 注4	T_A = +25℃				0.6		μA
			T_A = +50℃					10	
			T_A = +70℃					25	
			T_A = +105℃					115	
			T_A = +125℃					270	
	I_{SNOZ}	SNOOZE モード	DTC 動作				7.0		mA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中に HALT モードに遷移した場合です。

3. MAX.値には周辺動作電流，STOP リーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD 回路，A/D コンバータ，D/A コンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

9. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX} ：高速システム・クロック周波数

2. f_{SUB} ：サブシステム・クロック周波数

3. f_{PLL} ：PLL クロック周波数

4. f_{IH} ：高速オンチップ・オシレータ・クロック周波数

5. f_{IL} ：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK} ：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2	f_{WDT} = 15 kHz			0.3		μA
A/D コンバータ動作電流	I_{ADC} 注3	最高速変換時	AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時 注5			75.0		μA
AV_{REFP} 電流	I_{ADREF} 注7	AV_{REFP} = 5.0 V			65.0		μA
サンプル＆ホールド回路動作電流	I_{ADSH} 注8				0.8	1.2	mA
LVD 動作電流	I_{LVD} 注4				0.08		μA
D/A コンバータ動作電流	I_{DAC}				0.8	1.5	mA
コンパレータ動作電流	I_{CMP}				50.0		μA
BGO 動作電流	I_{BGO} 注6				2.5	12.2	mA

注 1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHz オンチップ・オシレータの動作電流を含みます）。STOP モード時にウォッチドッグ・タイマが動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。

3. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モード時に A/D コンバータが動作中の場合，I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。

4. LVD 回路にのみ流れる電流です。動作モードまたは HALT モードまたは STOP モード時に LVD 回路が動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGO の動作電流です。動作モードまたは HALT モード時に BGO が動作中の場合，I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

7. AV_{REFP} 選択時，この動作電流は増加します。この電流は，変換停止時でも流れます。

8. サンプル＆ホールド回路を使用した際に増加する動作電流です。この電流は、アナログ入力チャネルごとに流れます。

(2)　RL78/F23

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 注1	I_{DD1}	動作モード	通常動作 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注3, 4		9.7	17.0	mA
					f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注3, 4		9.0	15.5	mA
					f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注3, 4		1.6	3.0	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注3, 5		5.0	9.0	mA
					f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注3, 5		1.4	2.8	mA
				発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		9.2	17.0	mA
					f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		9.0	15.5	mA
					f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注3, 6		8.6	15.0	mA
				サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注7		6.5	200	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注8		3.3	200	μA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU 全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD 回路および A/D コンバータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

8. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{PLL}　：PLL クロック周波数

4. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注1, 3	I_{DD2}	HALT モード 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注5		3.4	11.0	mA
				f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注5		2.8	9.5	mA
				f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注5		0.5	1.6	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注6		1.5	5.5	mA
				f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注6		0.3	1.6	mA
			発振子動作（PLL動作）（PLL入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		3.1	11.0	mA
				f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		2.8	9.5	mA
				f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注7		2.5	9.0	mA
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注8		0.7	125	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注9		0.7	125	μA
	I_{DD3}	STOP モード 注4	T_A = +25℃				0.5		μA
			T_A = +50℃					4.5	
			T_A = +70℃					9.0	
			T_A = +105℃					51	
			T_A = +125℃					110	
	I_{SNOZ}	SNOOZE モード	DTC 動作				6.0		mA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中に HALT モードに遷移した場合です。

3. MAX.値には周辺動作電流，STOP リーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD 回路および A/D コンバータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

9. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{PLL}　：PLL クロック周波数

4. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2	f_{WDT} = 15 kHz			0.3		μA
A/D コンバータ動作電流	I_{ADC} 注3	最高速変換時	AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時 注5			75.0		μA
AV_{REFP} 電流	I_{ADREF} 注7	AV_{REFP} = 5.0 V			65.0		μA
サンプル＆ホールド回路動作電流	I_{ADSH} 注8				0.8	1.2	mA
LVD 動作電流	I_{LVD} 注4				0.08		μA
BGO 動作電流	I_{BGO} 注6				2.5	12.2	mA

注 1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHz オンチップ・オシレータの動作電流を含みます）。STOP モード時にウォッチドッグ・タイマが動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。

3. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モード時に A/D コンバータが動作中の場合，I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。

4. LVD 回路にのみ流れる電流です。動作モードまたは HALT モードまたは STOP モード時に LVD 回路が動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGO の動作電流です。動作モードまたは HALT モード時に BGO が動作中の場合，I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

7. AV_{REFP} 選択時，この動作電流は増加します。この電流は，変換停止時でも流れます。

8. サンプル＆ホールド回路を使用した際に増加する動作電流です。この電流は、アナログ入力チャネルごとに流れます。

37.4　AC 特性

37.4.1　基本動作

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	T_{CY}	高速オンチップ・オシレータ・クロック動作		0.025		0.5	μs
		高速システム・クロック動作		0.05		0.5	μs
		PLL クロック動作		0.025		0.5	μs
		サブシステム・クロック動作		28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作			66.6		μs
		セルフ・プログラミング時		0.025		0.5	μs
CPU／周辺ハードウェア・クロック周波数	f_{CLK}			0.025		66.6	μs
外部システム・クロック周波数	f_{EX}			2.0		20.0	MHz
	f_{EXS}			29		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}			24			ns
	t_{EXHS}, t_{EXLS}			13.7			μs
TI00-TI07, TI10-TI17 入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}			1/f_{MCK}+10			ns
TO00-TO07, TO10-TO17, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRJIO0, TRJO0 出力周波数	f_{TO}	通常スルー・レート C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			16	MHz
			2.7 V≦EV_{DD0}＜4.0 V			8	MHz
		TO01, TO06, TO07, TO11, TO13, TRDIOC0, TRDIOD0, TRDIOD1, TRJO0 のみ，特殊スルー・レート，C = 30 pF				2	MHz
PCLBUZ0 出力周波数	f_{PCL}	通常スルー・レート，C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			16	MHz
			2.7 V≦EV_{DD0}＜4.0 V			8	MHz
		特殊スルー・レート，C = 30 pF				2	MHz
タイマ RJ 入力サイクル	t_C	TRJIO0		100			ns
タイマ RJ 入力ハイ・レベル幅，ロウ・レベル幅	t_{TJIH}, t_{TJIL}	TRJIO0		40			ns
タイマ RDe 入力ハイ・レベル幅，ロウ・レベル幅	t_{TDIH}, t_{TDIL}	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRDCLK0, TRD0RES, TRD1RES		3/f_{TRD}			ns
タイマ RDe パルス出力強制カット・オフ信号ロウ・レベル幅	t_{TDSIL}	P137/INTP0	2 MHz＜f_{CLK}≦40 MHz	1			μs
			f_{CLK}≦2 MHz	1/f_{CLK}+1			μs

注意　発振周波数精度誤差を除きます。

備考 1. f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数

2. f_{TRD}：タイマ RDe の動作クロック周波数

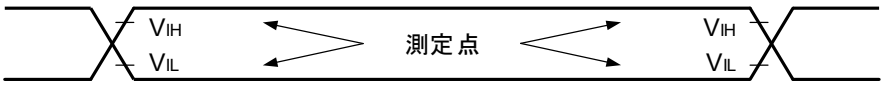
（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP13 注1		1			μs
KR0-KR7 キー割り込み入力ロウ・レベル幅	t_{KR}			250			ns
RESET ロウ・レベル幅	t_{RSL}	注1		10			μs
ポート出力立ち上がり時間，立ち下がり時間	t_{RO}, t_{FO}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			25	ns
			2.7 V≦EV_{DD0}＜4.0 V			55	ns
		P10, P12, P14, P30, P120, P140（特殊スルー・レート）C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V		25 注2	60	ns
			2.7 V≦EV_{DD0}＜4.0 V			100	ns

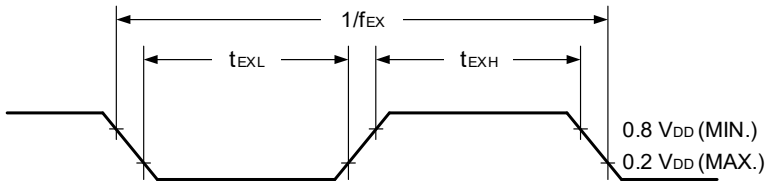
注 1. RESET，INTP0-INTP3，INTP12，INTP13 は 100 ns 未満の過渡レベルに対応するノイズ・フィルタを持ちます。

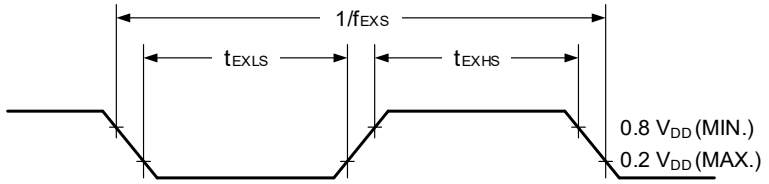
2. T_A = +25℃, EV_{DD0} = 5.0 V 時

AC タイミング測定点



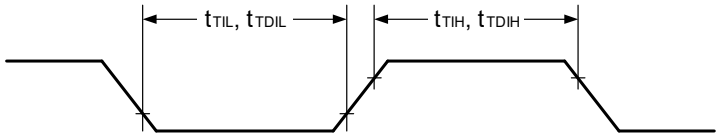
● 外部システム・クロック・タイミング



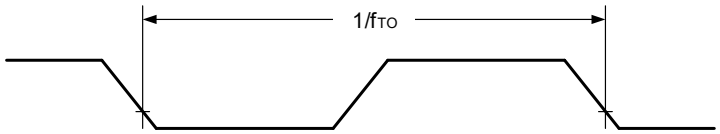


● TI/TO タイミング

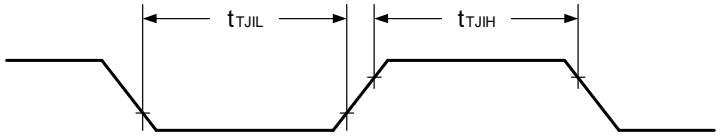
TI00-TI07, TI10-TI17,
TRDIOA0, TRDIOA1, TRDIOB0,
TRDIOB1, TRDIOC0, TRDIOC1,
TRDIOD0, TRDIOD1, TRDCLK0,
TRD0RES, TRD1RES



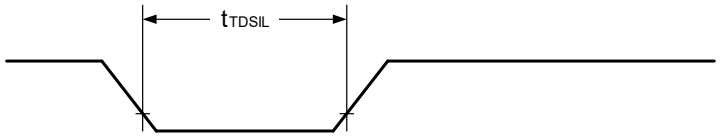
TO00-TO07, TO10-TO17,
TRDIOA0, TRDIOA1, TRDIOB0,
TRDIOB1, TRDIOC0, TRDIOC1,
TRDIOD0, TRDIOD1, TRJIO0,
TRJO0



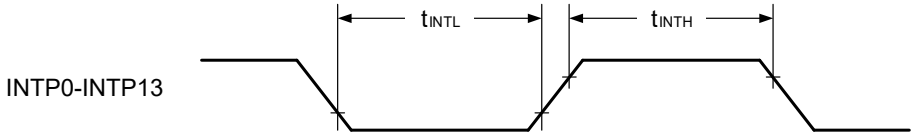
TRJIO0



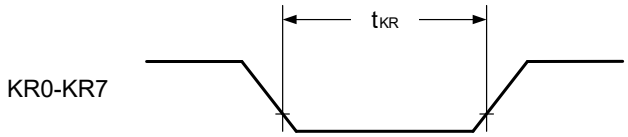
P137/INTP0



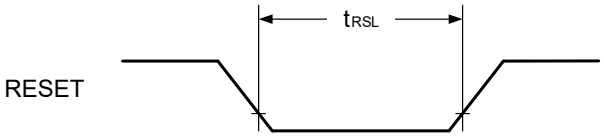
● 割り込み要求入力タイミング



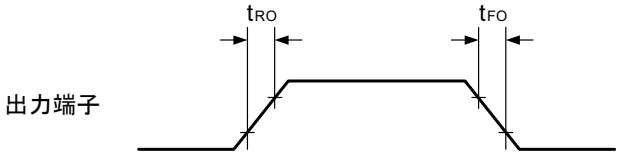
● キー割り込み入力タイミング



● RESET 入力タイミング



● 出力立ち上がり，立ち下がりタイミング



37.5　周辺機能特性

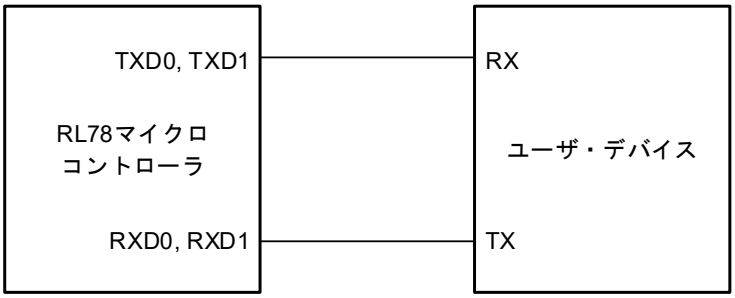
37.5.1　シリアル・アレイ・ユニット

(1)　同電位通信時（UART モード）（専用ボー・レート・ジェネレータ出力）

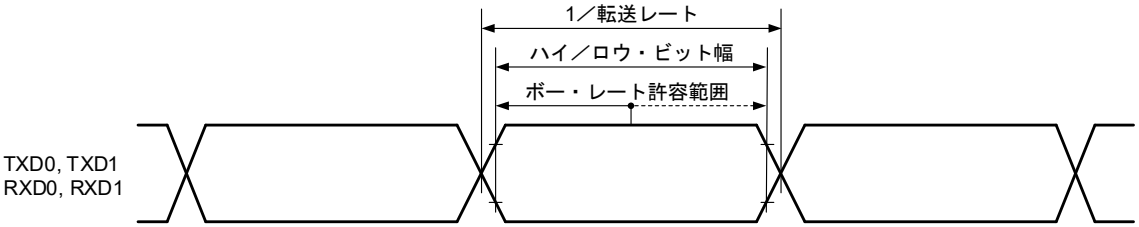
（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－					f_{MCK}/6	bps
		f_{CLK} = 40 MHz, f_{MCK} = f_{CLK}	通常スルー・レート			6.6	Mbps
			特殊スルー・レート			2	Mbps

UART モード接続図（同電位通信時）



UART モードのビット幅（同電位通信時）（参考）



注意　RXD0, RXD1 端子は通常入力バッファ，TXD0, TXD1 端子は通常出力モードを選択。

備考　f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(2)　同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}		150 注5			ns
SCKp ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V	t_{KCY1}/2 − 12			ns
		2.7 V≦EV_{DD0}＜4.0 V	t_{KCY1}/2 − 18			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V	44			ns
		2.7 V≦EV_{DD0}＜4.0 V	55			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI1}		30			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO1}	C = 30 pF 注4			30	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

★ **5.** t_{KCY1}≧4/f_{MCK} も満たす必要があります。

注意　SIp 端子は通常入力バッファ，SOp, SCKp 端子は通常出力モードを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(3)　同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，特殊スルー・レート）

（T_A = −40～+125℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY1}		500 注5			ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}		t_{KCY1}/2 − 60			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}		120			ns
SIpホールド時間（対SCKp↑）注2	t_{KSI1}		80			ns
SCKp↓→SOp出力遅延時間 注3	t_{KSO1}	C = 30 pF 注4			90	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

★ **5.** t_{KCY1}≧4/f_{MCK} も満たす必要があります。

注意　SIp 端子は通常入力バッファ，SOp, SCKp 端子は通常出力モードかつ特殊スルー・レートを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(4)　同電位通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，通常スルー・レート）

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	32 MHz＜f_{MCK}		10/f_{MCK}			ns
		f_{MCK}≦32 MHz		8/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}			t_{KCY2}/2			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}			1/f_{MCK} + 20			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}			1/f_{MCK} + 31			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	C = 30 pF 注4	4.0 V≦V_{DD} = EV_{DD0} = EV_{DD1}≦5.5 V			2/f_{MCK} + 44	ns
			2.7 V≦V_{DD} = EV_{DD0} = EV_{DD1}＜4.0 V			2/f_{MCK} + 57	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0		120			ns
		DAP = 1		1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0		1/f_{MCK} + 120			ns
		DAP = 1		120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

注意　SIp, SCKp 端子および SSIp 端子は通常入力バッファ，SOp 端子は通常出力モードを選択。

備考 1. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(5)　同電位通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，特殊スルー・レート）

（T_A = −40～+125℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	20 MHz＜f_{MCK}	10/f_{MCK}			ns
		10 MHz＜f_{MCK}≦20 MHz	8/f_{MCK}			ns
		f_{MCK}≦10 MHz	6/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}		t_{KCY2}/2			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}		1/f_{MCK}+50			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}		1/f_{MCK}+50			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	C = 30 pF 注4			2/f_{MCK} + 80	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0	120			ns
		DAP = 1	1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0	1/f_{MCK} + 120			ns
		DAP = 1	120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

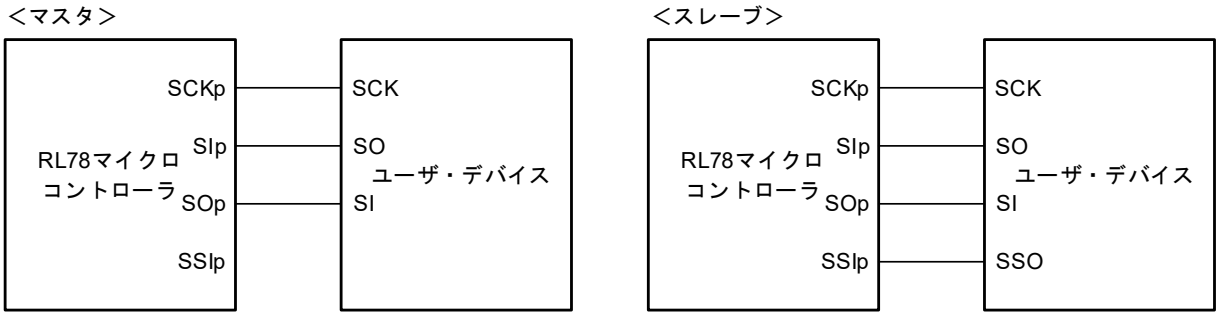
4. C は，SCKp, SOp 出力ラインの負荷容量です。

注意　SIp, SCKp 端子および SSIp 端子は通常入力バッファ，SOp 端子は通常出力モードかつ特殊スルー・レートを選択。

備考 1. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

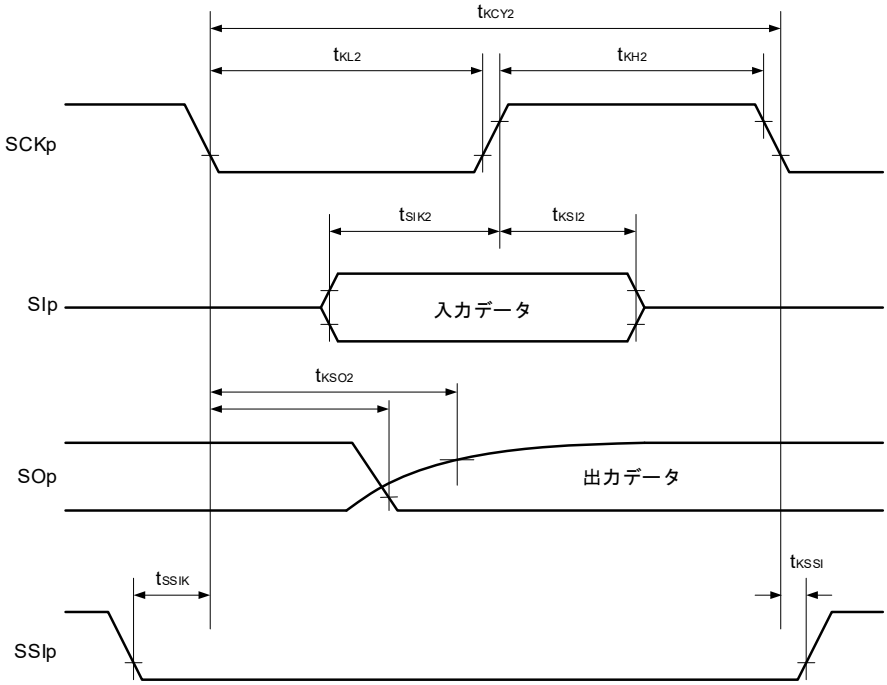
2. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

CSI モード接続図（同電位通信時）



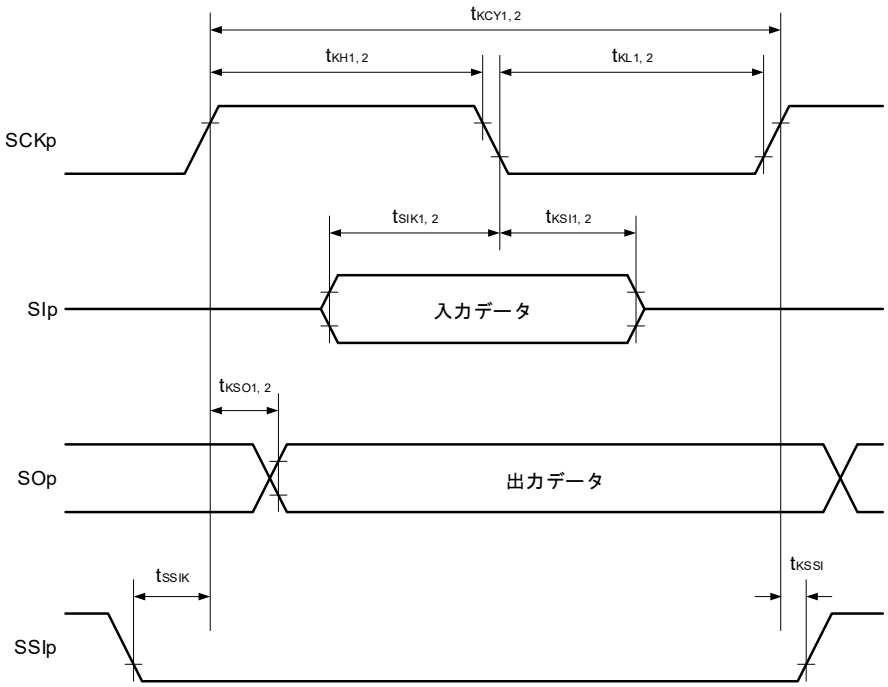
CSI モード・シリアル転送タイミング（同電位通信時）

（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

CSI モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(6)　同電位通信時（簡易 I²C モード）

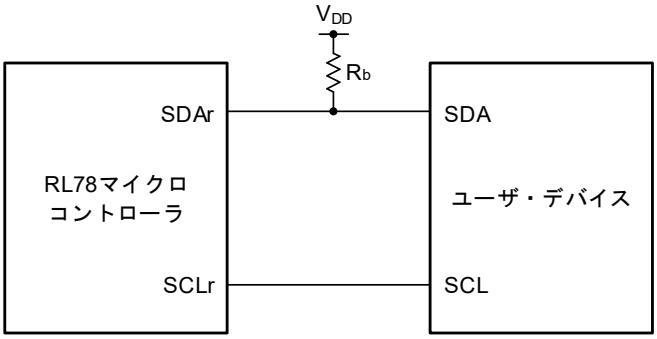
（SDAr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード，SCLr は通常出力モード）

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

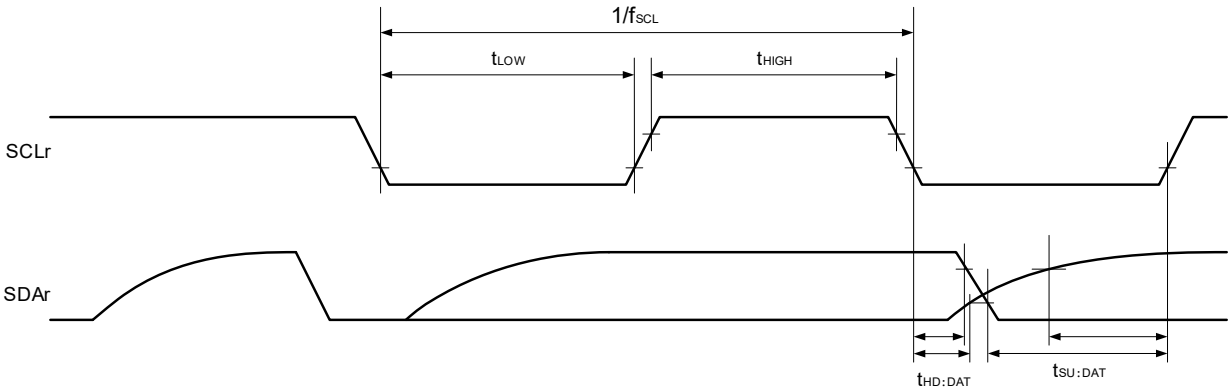
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLr クロック周波数	f_{SCL}				1000 注	kHz
SCLr = “L”のホールド・タイム	t_{LOW}		475			ns
SCLr = “H”のホールド・タイム	t_{HIGH}		475			ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		1/f_{MCK} + 85			ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	C_b = 50 pF, R_b = 2.7 kΩ	0		305	ns

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（同電位通信時）



簡易 I²C モード・シリアル転送タイミング（同電位通信時）



注意　SDAr 端子は通常入力バッファかつ N-ch オープン・ドレイン出力モード，SCLr 端子は通常出力モードを選択。

備考 1.　R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

2.　r：IICr（r = 00, 01, 10, 11）

3.　f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(7)　同電位通信時（簡易 I²C モード）

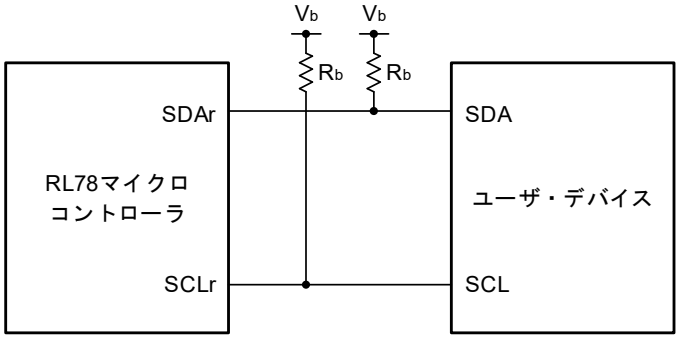
（SDAr，SCLr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード）

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f_{SCL}			400 注	kHz
SCLr = “L” のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1300		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
SCLr = “H” のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	600		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1/f_{MCK} + 120		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK} + 270		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	0	300	ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（同電位通信時）



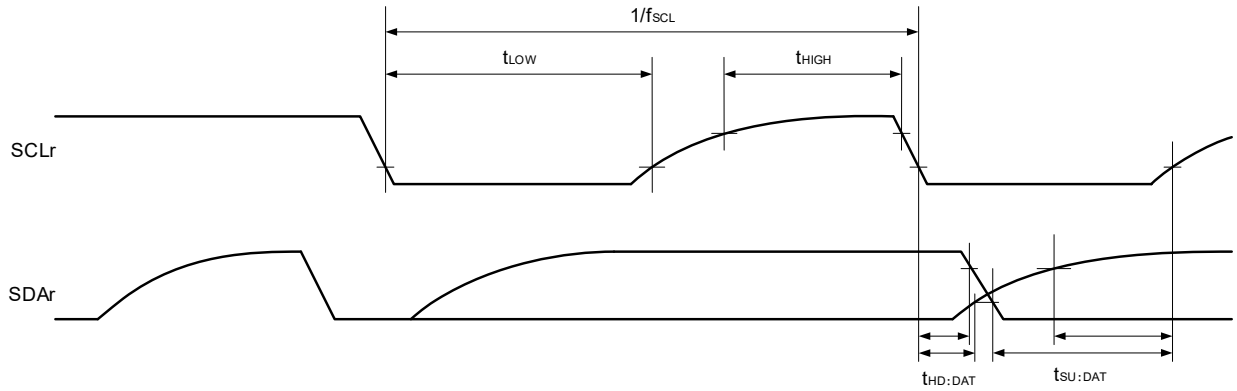
注意　SDAr, SCLr 端子は通常入力バッファかつ N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，V_b [V]：通信ライン電圧

2. r：IICr（r = 00, 01, 10, 11）

3. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

簡易 I²C モード・シリアル転送タイミング（同電位通信時）



備考　r：IICr（r = 00, 01, 10, 11）

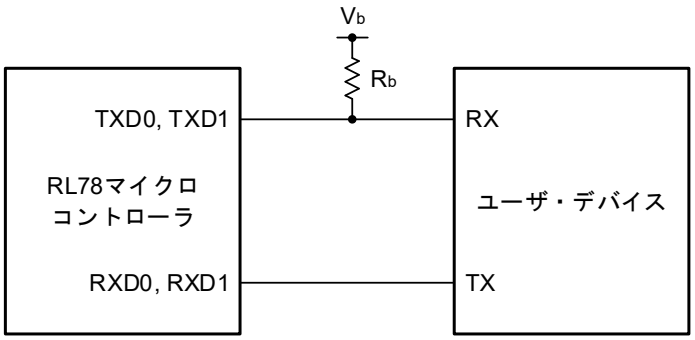
(8)　異電位通信時（UART モード）（TXD 出力バッファ＝N-ch オープン・ドレイン，RXD 入力バッファ＝TTL）

（T_A = −40～+125℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

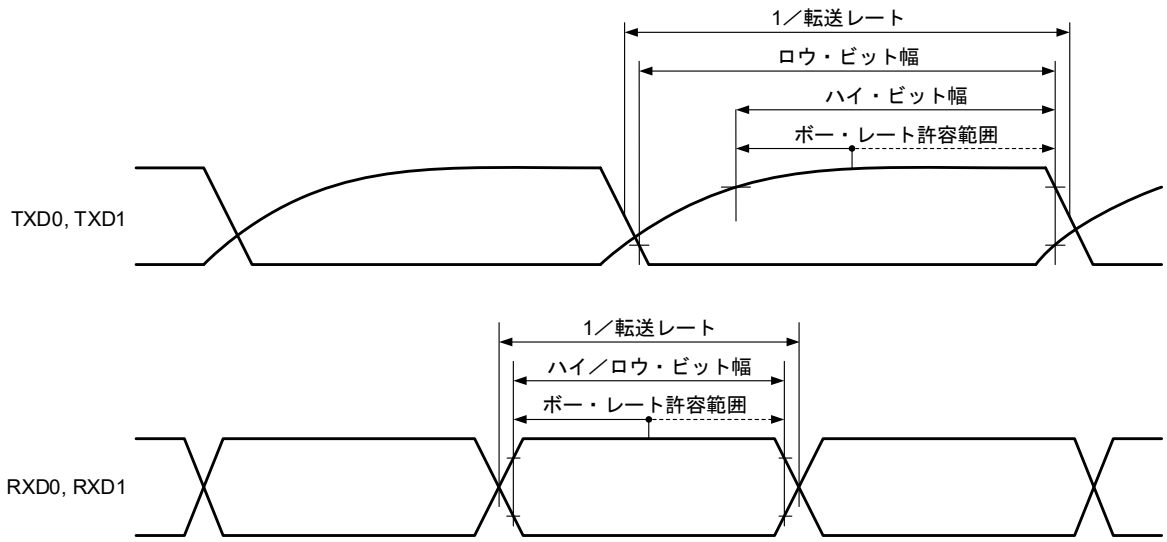
項目	略号	条件			MIN.	TYP.	MAX.	単位
転送レート	－	受信	2.7 V≦V_b≦EV_{DD0}, V_{IH} = 2.2 V, V_{IL} = 0.8 V				f_{MCK}/6	bps
				最大転送レート理論値 注（C_b = 30 pF）			4.0	Mbps
		送信	2.7 V≦V_b≦EV_{DD0}, V_{OH} = 2.2 V, V_{OL} = 0.8 V				f_{MCK}/6 と (式 1) の小さい方	bps
				最大転送レート理論値 注（C_b = 30 pF）通常スルー・レート			4.0	Mbps

注　(式 1) 最大転送レート = 1 / [{−C_b × R_b × ln (1 − 2.2/V_b)} × 3]

UART モード接続図（異電位通信時）



UART モードのビット幅（異電位通信時）（参考）



注意　RXD0, RXD1 端子は TTL 入力バッファ，TXD0, TXD1 端子は N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（TXD）プルアップ抵抗値，C_b [F]：通信ライン（TXD）負荷容量値，
V_b [V]：通信ライン電圧

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

(9)　異電位（3 V 系）通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）

（T_A = −40～+125℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

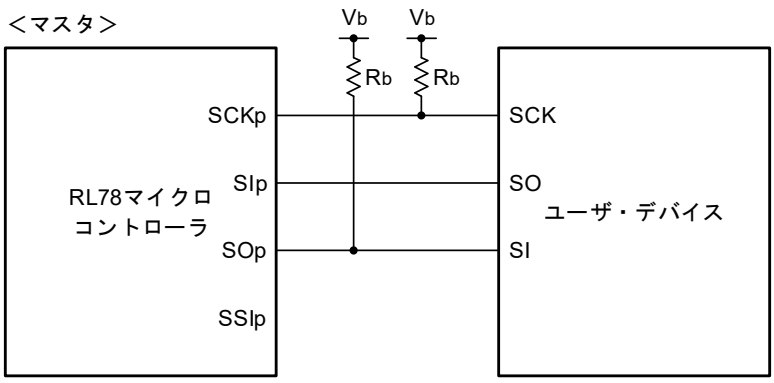
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	400 注3			ns
SCKp ハイ・レベル幅	t_{KH1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2 − 75			ns
SCKp ロウ・レベル幅	t_{KL1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2 − 20			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	150			ns
SIp セットアップ時間（対 SCKp↓）注2	t_{SIK1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	70			ns
SIp ホールド時間（対 SCKp↑）注1	t_{KSI1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	30			ns
SIp ホールド時間（対 SCKp↓）注2	t_{KSI1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	30			ns
SCKp↓→SOp 出力遅延時間 注1	t_{KSO1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ			120	ns
SCKp↑→SOp 出力遅延時間 注2	t_{KSO1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ			40	ns

注 1.　DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

2.　DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

★　**3.**　t_{KCY1}≧4/f_{MCK} も満たす必要があります。

CSI モード接続図（異電位通信時）



注意　SIp 端子は TTL 入力バッファ，SOp, SCKp 端子は N-ch オープン・ドレイン出力モードを選択。

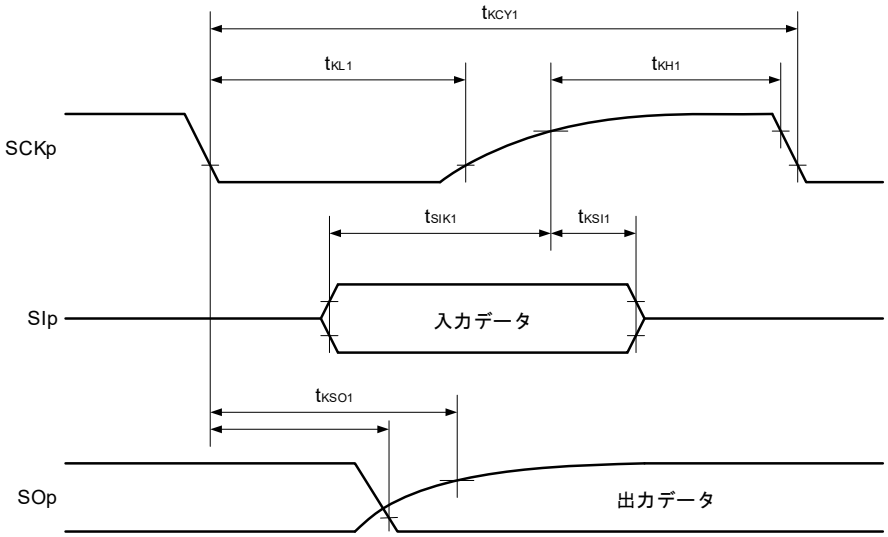
備考 1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp, SCKp）負荷容量値，V_b [V]：通信ライン電圧

2.　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

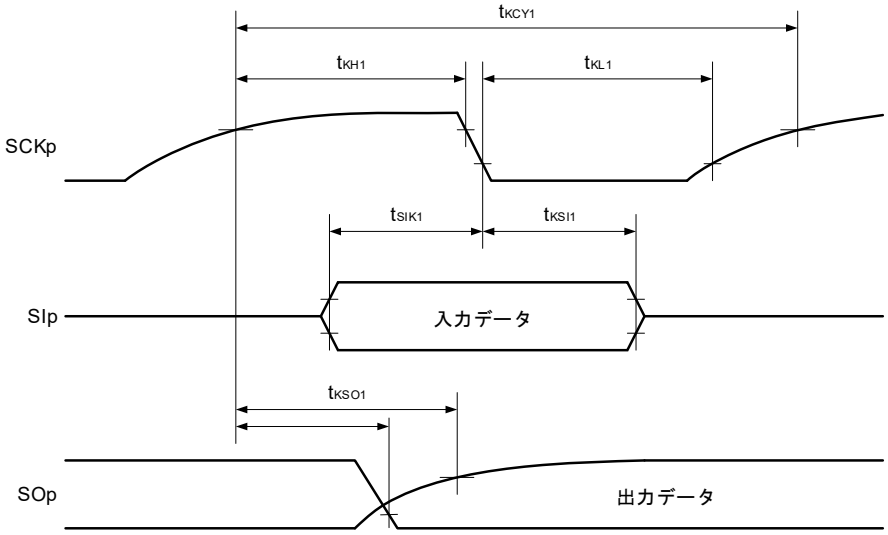
3.　シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V≦EV_{DD0}≦5.5 V，2.7 V≦V_b≦4.0 V のとき：V_{IH} = 2.2 V，V_{IL} = 0.8 V

CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(10) 異電位（3V 系）通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，通常スルー・レート）

（T_A = −40～+125℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

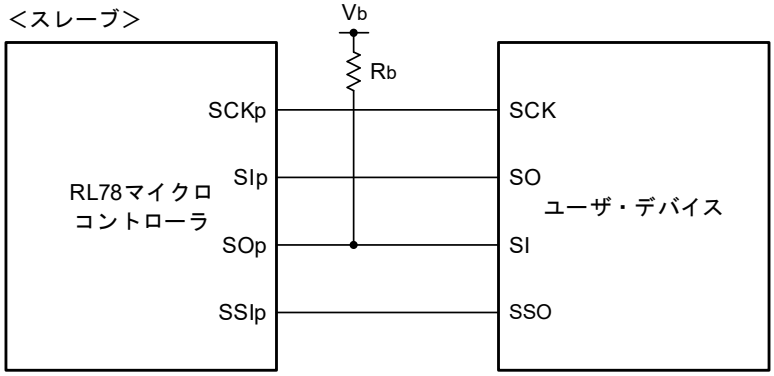
項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	2.7 V≦V_b≦V_{DD}	32 MHz＜f_{MCK}	20/f_{MCK}			ns
			24 MHz＜f_{MCK}≦32 MHz	16/f_{MCK}			ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}			ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}			ns
			f_{MCK}≦4 MHz	6/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	2.7 V≦V_b≦V_{DD}		t_{KCY2}/2 − 20			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}			90			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}			1/f_{MCK} + 50			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	2.7 V≦V_b≦V_{DD}, C_b = 30 pF, R_b = 1.4 kΩ				2/f_{MCK} + 120	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0		120			ns
		DAP = 1		1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0		1/f_{MCK} + 120			ns
		DAP = 1		120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき，”対 SCKp↑”となります。

CSI モード接続図（異電位通信時）



注意　SIp, SCKp 端子および SSIp 端子は TTL 入力バッファ，SOp 端子は N-ch オープン・ドレイン出力モードを選択。

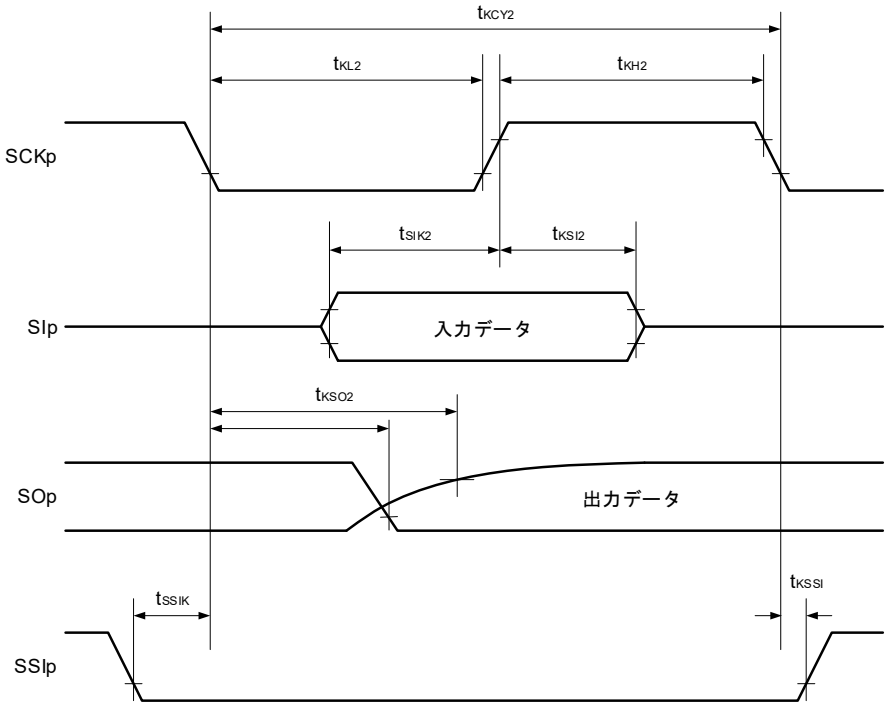
備考 1. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，V_b [V]：通信ライン電圧

2. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

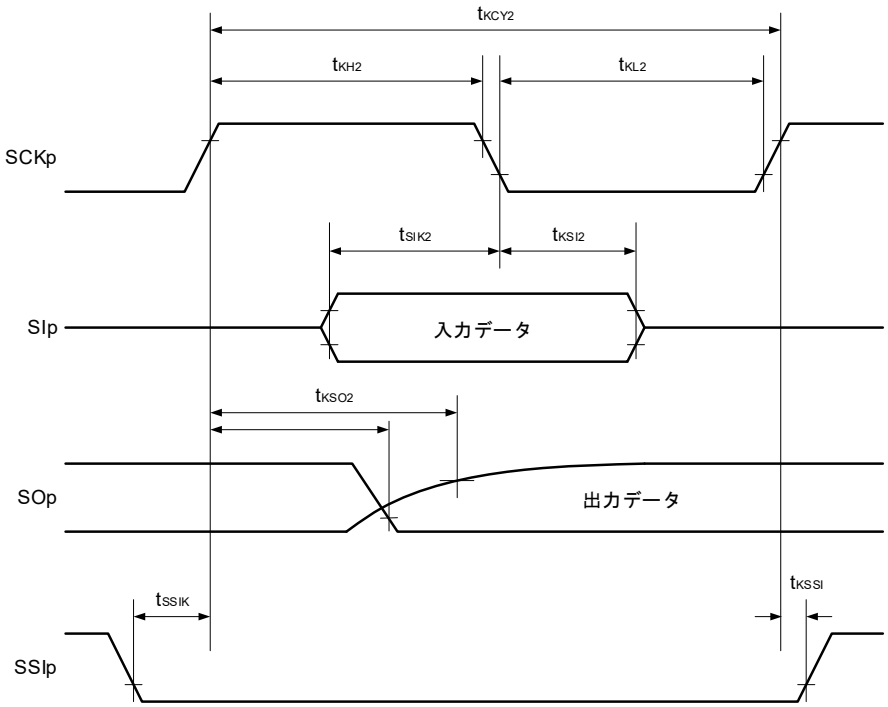
3. シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V≦EV_{DD0}≦5.5 V，2.7 V≦V_b≦4.0 V のとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(11) 異電位（3 V 系）通信時（簡易 I²C モード）

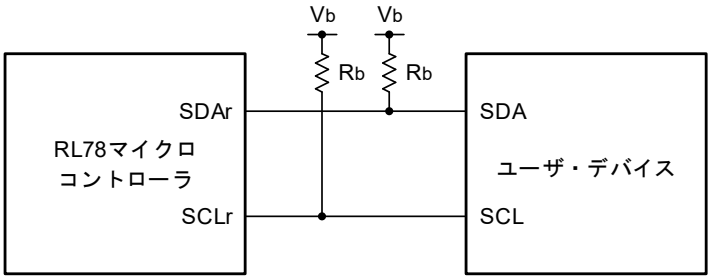
（SDAr は TTL 入力バッファ・モード，N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード，SCLr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード）

（T_A = −40～+125℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

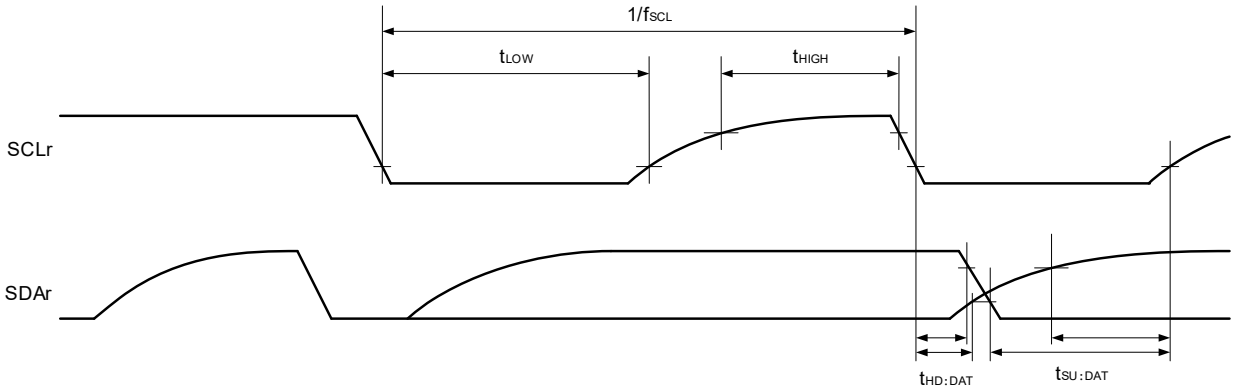
項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f_{SCL}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ		400 注	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	1200		ns
SCLr = “H”のホールド・タイム	t_{HIGH}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	600		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	135 + 1/f_{MCK}		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	0	140	ns

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（異電位通信時）



簡易 I²C モード・シリアル転送タイミング（異電位通信時）



注意　SDAr 端子は TTL 入力バッファかつ N-ch オープン・ドレイン出力モード，SCLr 端子は N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，V_b [V]：通信ライン電圧

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

37.5.2　シリアル・インタフェース IICA

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f_{SCL}	ファースト・モード・プラス：10 MHz ≦ f_{MCK}					0	1000	kHz
		ファースト・モード：3.5 MHz ≦ f_{MCK}			0	400			kHz
		標準モード：1 MHz ≦ f_{MCK}	0	100					kHz
リスタート・コンディションのセットアップ時間 注1	$t_{SU:STA}$		4.7		0.6		0.26		μs
ホールド時間	$t_{HD:STA}$		4.0		0.6		0.26		μs
SCLA0 = “L” のホールド・タイム	t_{LOW}		4.7		1.3		0.5		μs
SCLA0 = “H” のホールド・タイム	t_{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		50		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$		0	3.45	0	0.9	0		μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		0.26		μs
バス・フリー時間	t_{BUF}		4.7		1.3		0.5		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスを生成します。

2. $t_{HD:DAT}$ の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングではウェイトがかかります。

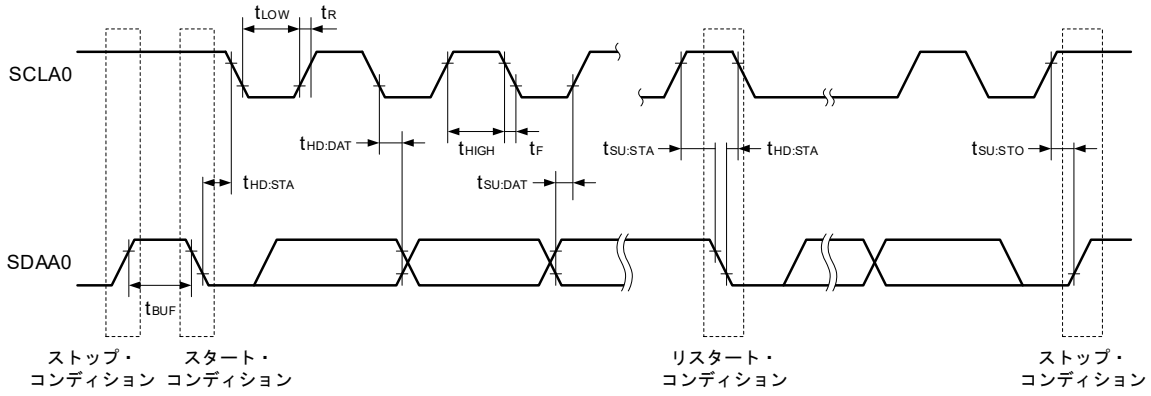
備考　各モードにおける C_b（通信ライン容量）の MAX.値と，そのときの R_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　：C_b = 400 pF, R_b = 2.7 kΩ

ファースト・モード　：C_b = 320 pF, R_b = 1.1 kΩ

ファースト・モード・プラス　：C_b = 120 pF, R_b = 1.1 kΩ

IICA シリアル転送タイミング



37.5.3　オンチップ・デバッグ（UART）

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	－		115.2 k		1 M	bps

37.5.4　LIN/UART モジュール（RLIN3）UART モード

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－	動作モード，HALT モード	LIN 通信クロック源（f_{CLK} または f_{MX}）4 MHz～40 MHz			4000	kbps
		SNOOZE モード	LIN 通信クロック源（f_{CLK}）2 MHz～40 MHz			9.6	

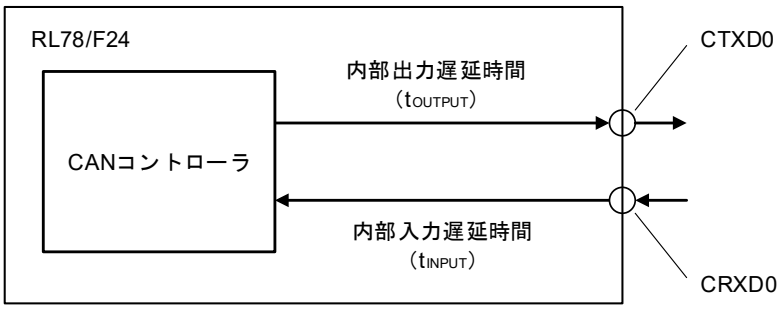
37.5.5　CAN-FD 通信インターフェース（RS-CANFD lite）タイミング

(TA = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－	クラシカル CAN モード				1	Mbps
		CAN-FD モード	データ・ビット・レート			5	Mbps
		CAN-FD モード	標準ビット・レート			1	Mbps
内部遅延時間 注	t_{NODE}					50	ns

注　t_{NODE} = 内部入力遅延時間（t_{INPUT}）＋内部出力遅延時間（t_{OUTPUT}）

内部遅延の概念図



37.6　アナログ特性

37.6.1　A/D コンバータ特性

A/D コンバータ特性の分類

基準電圧 / 入力チャンネル	基準電圧(+) = AV_{REFP} 基準電圧(−) = AV_{REFM}	基準電圧(+) = V_{DD} 基準電圧(−) = V_{SS}
AN0-ANI5, ANI8-ANI30	37.6.1 (1)	37.6.1 (2)
ANI6, ANI7	−	37.6.1 (2)
内部基準電圧（+）	37.6.1 (1)	37.6.1 (2)

(1)　基準電圧(+) = AV_{REFP}，基準電圧(−) = AV_{REFM} = 0 V 選択時

対象 ANI 端子：ANI0-ANI05, ANI08-ANI30，内部基準電圧(+)

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧(+) = AV_{REFP}，
基準電圧(−) = AV_{REFM} = 0 V）　(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 注1	ABS	ANI0-ANI5, ANI8-ANI23 注2, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V]			±5.0	LSB
		ANI0-ANI5, ANI8-ANI23 注2, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V]			±5.0	LSB
		ANI1, ANI2 注3, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V], [0.25 V≦V_{AIN}≦V_{DD} − 0.25 V]			±6.0	LSB
		ANI1, ANI2 注3, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V], [0.25 V≦V_{AIN}≦V_{DD} − 0.25 V]			±8.0	LSB
		ANI24-ANI30, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V]			±11	LSB
		ANI24-ANI30, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V]			±13	LSB
積分直線性誤差 注1	INL	ANI0-ANI5, ANI8-ANI23, [AV_{REFP} = V_{DD}]			±3.0	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±7.0	LSB
微分直線性誤差 注1	DNL	ANI0-ANI5, ANI8-ANI23, [AV_{REFP} = V_{DD}]			±1.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±3.5	LSB
ゼロスケール誤差 注1	ZSE	ANI0-ANI5, ANI8-ANI23 注2, [AV_{REFP} = V_{DD}]			±4.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±8.5	LSB
フルスケール誤差 注1	FSE	ANI0-ANI5, ANI8-ANI23 注2, [AV_{REFP} = V_{DD}]			±4.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±8.5	LSB

（注は，次のページにあります。）

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
基準電圧(+)	AV_{REFP}			2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}	ANI0-ANI5, ANI8-ANI30		0		AV_{REFP}	V
内部基準電圧(+)	V_{BGR}	2.7 V≦V_{DD}≦5.5 V		1.38	1.45	1.5	V
アナログ入力スルー・レート	SR					0.4	V/μs
動作周波数	f_{AD}			2		40	MHz
変換時間 注4 （1 チャンネル）	t_{CONV}	ADCLK = 40 MHz，入力インピーダンス≦0.5 kΩ					
			ANI0-ANI5, ANI8-ANI15 注2	1.125			μs
			ANI16-ANI30	1.8			μs
			ANI1, ANI2 注3	2.1			μs

注 1. 量子化誤差（±1/2 LSB）は含みません。

2. 専用サンプル＆ホールド回路を使用しない場合。

3. 専用サンプル＆ホールド回路を使用する場合。

4. A/D 変換処理時間（t_{CONV}）は，サンプリング時間と逐次変換時間を合わせた時間となります。

(2)　基準電圧(+) = V_{DD}，基準電圧(−) = V_{SS} 選択時，対象 ANI 端子：ANI0-ANI30，内部基準電圧(＋)

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧(+) = V_{DD}，基準電圧(−) = V_{SS}）

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 注1	ABS	ANI0-ANI23 注2, [4.5 V≦V_{DD}≦5.5 V]			±13.0	LSB
		ANI0-ANI23 注2, [2.7 V≦V_{DD}＜4.5 V]			±15.0	LSB
		ANI1, ANI2 注3, [4.5 V≦V_{DD}≦5.5 V] [0.25 V≦V_{AIN}≦V_{DD} − 0.25 V]			±14.0	LSB
		ANI1, ANI2 注3, [2.7 V≦V_{DD}＜4.5 V], [0.25 V≦V_{AIN}≦V_{DD} − 0.25 V]			±16.0	LSB
		ANI24-ANI30, [4.5 V≦V_{DD}≦5.5 V]			±19.0	LSB
		ANI24-ANI30, [2.7 V≦V_{DD}＜4.5 V]			±21.0	LSB
積分直線性誤差 注1	INL	ANI0-ANI23			±7.0	LSB
		ANI24-ANI30			±9.0	LSB
微分直線性誤差 注1	DNL	ANI0-ANI23			±3.5	LSB
		ANI24-ANI30			±5.5	LSB
ゼロスケール誤差 注1	ZSE	ANI0-ANI23 注2			±14.5	LSB
		ANI24-ANI30			±18.5	LSB
フルスケール誤差 注1	FSE	ANI0-ANI23 注2			±14.5	LSB
		ANI24-ANI30			±18.5	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI30	0		V_{DD}	V
内部基準電圧(＋)	V_{BGR}	2.7 V≦V_{DD}≦5.5 V	1.38	1.45	1.5	V
アナログ入力スルー・レート	SR				0.4	V/μs
動作周波数	f_{AD}		2		40	MHz
変換時間 注4 （1 チャンネル）	t_{CONV}	ADCLK = 40 MHz, 入力インピーダンス≦0.5 kΩ				
		ANI0-ANI15 注2	1.125			μs
		ANI16-ANI30	1.8			μs
		ANI1, ANI2 注3	2.1			μs

注 1. 量子化誤差（±1/2 LSB）は含みません。

2. 専用サンプル＆ホールド回路を使用しない場合。

3. 専用サンプル＆ホールド回路を使用する場合。

4. A/D 変換処理時間（t_{CONV}）は，サンプリング時間と逐次変換時間を合わせた時間となります。

37.6.2　D/A コンバータ特性

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					8	bit
総合誤差	AINL	Rload = 4 MΩ	2.7 V≦V_{DD}≦5.5 V			±2.5	LSB
		Rload = 8 MΩ	2.7 V≦V_{DD}≦5.5 V			±2.5	LSB
セトリング・タイム	t_{SET}	Cload = 20 pF	2.7 V≦V_{DD}≦5.5 V			3	μs

37.6.3　コンパレータ特性

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOCMP}			±5	±40	mV
入力電圧範囲	V_{ICMP}		0		V_{DD}	V
応答時間	t_{CR}, t_{CF}	入力振幅 ±100 mV		70	200	ns
入力チャネル切り替え時の安定待ち時間 注1	t_{WAIT}	入力振幅 ±100 mV	300			ns
動作安定待ち時間 注2	t_{CMP}	3.3 V≦V_{DD}≦5.5 V	1			μs
		2.7 V≦V_{DD}＜3.3 V	3			μs

注 1. コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2. コンパレータの動作許可（CMPCTL レジスタの HCMPON ビット = 1）からコンパレータが DC/AC 特性を満足できる状態になるまでの時間。

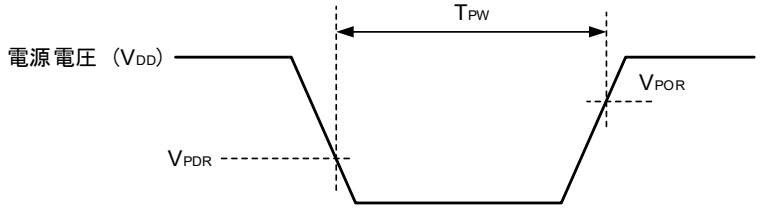
37.6.4　POR 回路特性

（T_A = −40～+125℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 注1	V_{POR}	電源立ち上がり時	1.48	1.56	1.67	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.66	V
最小パルス幅 注2	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注 1. POR 回路の特性を示すものであり，下限動作電圧（2.7 V）未満での通常動作を保証するものではありません。

2. V_{DD} が V_{PDR} を下回った場合の POR リセットに必要な最小時間。



37.6.5　LVD 回路特性

(1)　リセット・モード，割り込みモードの LVD 検出電圧

（T_A = −40～+125℃，V_{PDR}≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	4.62	4.74	4.94	V
			電源立ち下がり時	4.52	4.64	4.84	V
		V_{LVD1}	電源立ち上がり時	4.50	4.62	4.82	V
			電源立ち下がり時	4.40	4.52	4.71	V
		V_{LVD2}	電源立ち上がり時	4.30	4.42	4.61	V
			電源立ち下がり時	4.21	4.32	4.51	V
		V_{LVD3}	電源立ち上がり時	3.13	3.22	3.39	V
			電源立ち下がり時	3.07	3.15	3.31	V
		V_{LVD4}	電源立ち上がり時	2.95	3.02	3.17	V
			電源立ち下がり時	2.89	2.96	3.09	V
		V_{LVD5}	電源立ち上がり時	2.74	2.81	2.95	V
			電源立ち下がり時	2.68 注	2.75	2.88	V
最小パルス幅		t_{LW}		300			μs
検出遅延		t_{LD}				300	μs

注　最小値は下限動作電圧（2.7 V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7 V 時と同等の動作）が可能です。

(2)　割り込み＆リセット・モードの LVD 検出電圧

（T_A = −40～+125℃，V_{PDR}≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件			MIN.	TYP.	MAX.	単位
割り込み＆リセット・モード	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	2.88	V
	V_{LVD2}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.61	V
				立ち下がり割り込み電圧	4.21	4.32	4.51	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	2.88	V
	V_{LVD1}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.82	V
				立ち下がり割り込み電圧	4.40	4.52	4.71	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	2.88	V
	V_{LVD3}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.39	V
				立ち下がり割り込み電圧	3.07	3.15	3.31	V
	V_{LVD0}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.94	V
				立ち下がり割り込み電圧	4.52	4.64	4.84	V

注 1.　これらの値はオプション・バイトの設定値を示しています。

2.　最小値は下限動作電圧（2.7 V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7 V 時と同等の動作）が可能です。

37.7　電源立ち上げ時間

（T_A = −40～+125℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{vrmax}	0 V → V_{DD}（VPOC2 = 0 または 1 注2）			50 注3	V/ms
最小電源電圧立ち上げ傾き 注1	S_{vrmin}	0 V → 2.7 V	6.5			V/ms

注 1. 最小電源電圧立ち上げ傾きは，以下の条件の場合にのみ適用対象になります。
電圧検出（LVD）回路が未使用（VPOC2 = 1）かつ外部リセット回路未使用もしくは V_{DD} = 2.7 V までリセットがかからない場合。

2. オプション・バイトの設定値を示しています。

3. 電源が V_{PDR} 以下に下降し，POR リセットが発生した場合は，0 V まで下降せずに復帰する場合も本仕様の適用対象になります。

37.8　レギュレータ出力電圧特性

（T_A = −40～+125℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGC 出力電圧	V_{OREGC}	注，C = 0.47～1 μF	2.0	2.1	2.2	V

注　下記の場合を除きます。

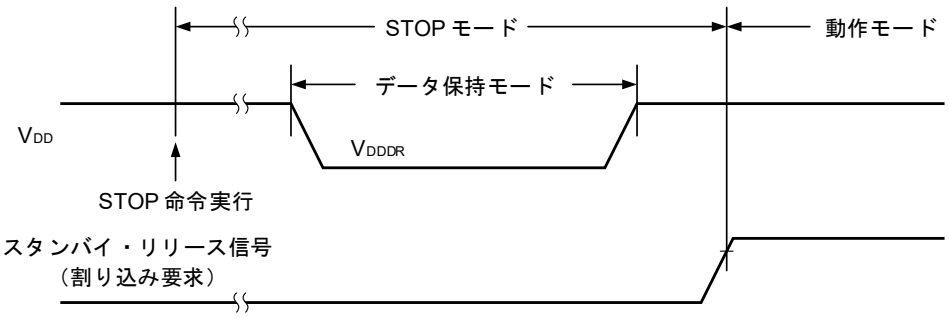
- STOP モード時
- サブ／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき。
- サブ／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作設定時の HALT モード中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき。

37.9　RAM データ保持特性

（T_A = −40～+125℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47 注		5.5	V

注　POR 検出電圧に依存します。電圧降下時，POR リセットがかかるまでは RAM 内のデータを保持しますが，POR リセットがかかった場合のデータは保持しません。



37.10 フラッシュ・メモリ・プログラミング特性

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}		2		40	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cerwr	保持 20 年 T_A = +85℃ 注4	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持 20 年 T_A = +85℃ 注4	10,000			
		保持 5 年 T_A = +85℃ 注4	100,000			
消去時間	Terasa	ブロック消去	5			ms
書き込み時間	Twrwa	1 ワード書き込み	10			μs

注 1. 消去 1 回＋消去後の書き込み 1 回を書き換え回数 1 回とします。保持年数の開始点は消去後です。

2. フラッシュ・メモリ・プログラマ使用時，および当社提供のセルフ・プログラミング・コードを使用したときです。

3. この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

4. 保持の平均温度です。

(1) コード・フラッシュ・メモリ処理時間

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		f_{CLK} = 2 MHz		f_{CLK} = 4 MHz		f_{CLK} = 8 MHz		f_{CLK} = 16 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	4 バイト	74.0	690.0	61.0	580.0	56.0	530.0	54.0	510.0	μs
イレース時間	1 K バイト	6.9	245.0	6.1	230.0	5.8	225.0	5.6	220.0	ms
ブランクチェック時間	4 バイト	–	29.0	–	22.0	–	19.0	–	17.0	μs
	1 K バイト	–	800.0	–	405.0	–	245.0	–	145.0	μs
内部ベリファイ時間	4 バイト	–	350.0	–	175.0	–	90.0	–	45.0	μs
	1 K バイト	–	19.0	–	9.5	–	5.0	–	2.5	ms

項目		f_{CLK} = 20 MHz		f_{CLK} = 32 MHz		f_{CLK} = 40 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	4 バイト	54.0	510.0	53.0	500.0	53.0	500.0	μs
イレース時間	1 K バイト	5.6	220.0	5.5	220.0	5.5	220.0	ms
ブランクチェック時間	4 バイト	–	17.0	–	16.0	–	16.0	μs
	1 K バイト	–	145.0	–	135.0	–	135.0	μs
内部ベリファイ時間	4 バイト	–	35.0	–	22.0	–	18.0	μs
	1 K バイト	–	2.0	–	1.2	–	1.0	ms

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。

(2)　データ・フラッシュ・メモリ処理時間

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		f_{CLK} = 2 MHz		f_{CLK} = 4 MHz		f_{CLK} = 8 MHz		f_{CLK} = 16 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	1 バイト	60.0	550.0	49.0	450.0	44.0	410.0	42.0	390.0	μs
イレース時間	1 K バイト	11.5	340.0	8.4	275.0	7.1	250.0	6.3	235.0	ms
ブランクチェック時間	1 バイト	–	29.0	–	22.0	–	19.0	–	17.0	μs
	1 K バイト	–	3.1	–	1.6	–	0.95	–	0.55	ms
内部ベリファイ時間	1 バイト	–	350.0	–	175.0	–	90.0	–	45.0	μs
	1 K バイト	–	76.0	–	38.0	–	19.0	–	9.5	ms

項目		f_{CLK} = 20 MHz		f_{CLK} = 32 MHz		f_{CLK} = 40 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	1 バイト	42.0	390.0	41.0	380.0	41.0	380.0	μs
イレース時間	1 K バイト	6.3	235.0	6.2	235.0	6.2	235.0	ms
ブランクチェック時間	1 バイト	–	17.0	–	16.0	–	16.0	μs
	1 K バイト	–	0.55	–	0.5	–	0.5	ms
内部ベリファイ時間	1 バイト	–	35.0	–	22.0	–	18.0	μs
	1 K バイト	–	7.5	–	4.7	–	3.8	ms

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。

37.11　専用フラッシュ・メモリ・プログラマ通信（UART）

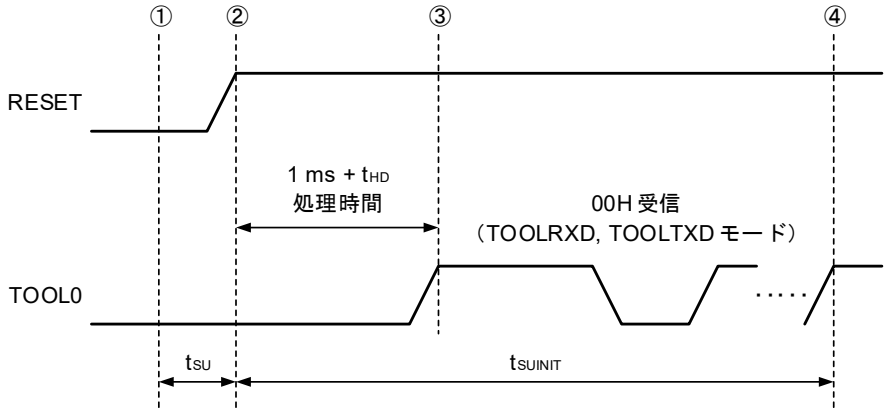
（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	－	シリアル・プログラミング期間	115.2 k		1 M	bps

37.12 フラッシュ・メモリ・プログラミング・モード・エントリ・タイミング

（T_A = −40～+125℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除後，初期設定通信が完了するまでの時間	t_{SUINIT}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。			100	ms
TOOL0 端子がロウ・レベルに設定された後，外部リセットを解除する時間	t_{SU}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。	10			μs
外部リセットが解除された後，TOOL0 端子をロウ・レベルに保持する時間（フラッシュ・メモリ制御ファームウェアの処理時間を除く）	t_{HD}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。	1			ms



① ロウ・レベルが TOOL0 端子に入力されます。

② 外部リセットが解除されます（外部リセット前に POR および LVD リセットを解除する必要があります。

③ TOOL0 端子がハイ・レベルに設定されています。

④ UART 受信によるフラッシュ・メモリ・プログラミング・モードの設定と，ボー・レート設定の完了。

備考　t_{SUINIT}　：外部リセットを解除してから 100ms 以内に初期設定通信を完了する必要があります。

t_{SU}　：TOOL0 端子がロウ・レベルに設定された後，外部リセットを解除する時間

t_{HD}　：外部リセット解除後，TOOL0 端子をロウ・レベルに保持する時間（フラッシュ・メモリ制御ファームウェアの処理時間を除く）

第38章　電気的特性（グレード 5）

注意 1. RL78/F23, F24 には，開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1} 端子がない製品は，EV_{DD0} と EV_{DD1} を V_{DD} に，EV_{SS0} と EV_{SS1} を V_{SS} に置き換えてください。

3. 製品により搭載している端子が異なります。詳細は，「1.5　端子接続図」および「2.1　端子機能一覧」を参照してください。

38.1　絶対最大定格

（1/3）

項目	略号	条件	定格	単位
電源電圧	V_{DD}		−0.5～＋6.5	V
	EV_{DD0}, EV_{DD1}	$EV_{DD0} = EV_{DD1} = V_{DD}$	−0.5～＋6.5	V
	V_{SS}		−0.5～＋0.3	V
	EV_{SS0}, EV_{SS1}	$EV_{SS0} = EV_{SS1}$	−0.5～＋0.3	V
REGC 端子入力電圧	V_{IREGC}	REGC	−0.3～＋2.8 かつ，−0.3～V_{DD}＋0.3 注1	V
入力電圧	V_{I1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	−0.3～EV_{DD0}＋0.3 かつ，−0.3～V_{DD}＋0.3 注2	V
	V_{I2}	P33, P34, P80-P87, P90-P97, P100-P105, P121-P124, P137, RESET	−0.3～V_{DD}＋0.3 注2	V
出力電圧	V_{O1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	−0.3～EV_{DD0}＋0.3 かつ，−0.3～V_{DD}＋0.3 注2	V
	V_{O2}	P33, P34, P80-P87, P90-P97, P100-P105	−0.3～V_{DD}＋0.3	V
アナログ入力電圧	V_{AI1}	ANI24-ANI30	−0.3～EV_{DD0}＋0.3 かつ，−0.3～$AV_{REF(+)}$＋0.3 注2, 3	V
	V_{AI2}	ANI0-ANI23	−0.3～V_{DD}＋0.3 かつ，−0.3～$AV_{REF(+)}$＋0.3 注2, 3	V

注 1. REGC 端子にはコンデンサ（0.47～1 μF）を介して V_{SS} に接続してください。この値は，REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V 以下であること。

3. A/D 変換対象の端子は，$AV_{REF(+)}$＋0.3 V を超えないでください。

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

備考　特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

（2/3）

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I_{OH1}	1 端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	−40	mA
		端子合計 −170 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	−70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	−100	mA
	I_{OH2}	1 端子	P33, P34, P80-P87, P90-P97, P100-P105	−0.5	mA
		端子合計		−2	mA
ロウ・レベル出力電流	I_{OL1}	1 端子	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157	40	mA
		端子合計 170 mA	P01, P02, P40-P47, P120, P125-P127, P150-P153	70	mA
			P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157	100	mA
	I_{OL2}	1 端子	P33, P34, P80-P87, P90-P97, P100-P105	1	mA
		端子合計		5	mA

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

備考　特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

（3/3）

項目	略号	条件		定格	単位
正注入電流 (V_I＞V_{DD}) 注	I_{INJP}	1 端子	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	5	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	2	mA
負注入電流 (V_I＜V_{SS}) 注	I_{INJN}	1 端子	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	−5	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	−0.5	mA
正注入電流合計 注	ΣI_{INJP}	端子合計	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	10	mA
負注入電流合計 注	ΣI_{INJN}	端子合計	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	−40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	−2	mA
全注入電流合計 注	$\Sigma\|I_{INJP}\|$ $+ \Sigma\|I_{INJN}\|$	端子合計	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	40	mA
			P70-P74, P80-P87, P90-P97, P100-P105, P120, P125	10	mA
動作周囲温度	T_A	通常動作時		−40～+150	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			−65～+150	℃

注　条件：2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V

注意　各項目のうち 1 項目でも，また一瞬でも絶対最大定格を超えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で，製品をご使用ください。

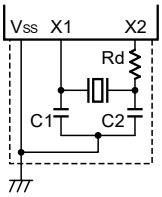
備考 1. 特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

2. V_I：ポート端子への入力電圧レベルです。

38.2　発振回路特性

38.2.1　メイン・システム・クロック発振回路特性

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，VSS = EV_{SS0} = EV_{SS1} = 0 V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／水晶振動子		X1 クロック発振周波数（f_X）	2.7 V≦V_{DD}≦5.5 V	2.0		20.0	MHz

注意 1. X1 発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- **配線は極力短くする。**
- **他の信号線と交差させない。**
- **変化する大電流が流れる線に接近させない。**
- **発振回路のコンデンサの接地点は，常に V_{SS} と同電位になるようにする。**
- **大電流が流れるグランド・パターンに接地しない。**
- **発振回路から信号を取り出さない。**

2. 発振子の選択および発振回路定数については，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。また，お客様のシステムにて十分な発振評価をしてください。X1 クロックの発振安定時間は，使用する発振子で発振安定時間を十分に評価してから，発振安定時間カウンタ状態レジスタ（OSTC）と発振安定時間選択レジスタ（OSTS）で発振安定時間を決定してください。

38.2.2　オンチップ・オシレータ特性

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ発振周波数 注	f_{IH}		2		80	MHz
高速オンチップ・オシレータ発振周波数精度	－		−2.2		+2.2	%
低速オンチップ・オシレータ発振周波数	f_{IL}, f_{WDT}			15		kHz
低速オンチップ・オシレータ発振周波数精度	－		−15		+15	%

注　高速オンチップ・オシレータの周波数は，オプション･バイト（000C2H/040C2H）のビット 0～4，および HOCODIV レジスタのビット 0～2 によって選択します。

38.2.3　サブシステム・クロック発振回路特性

XT1 発振回路は使用しないでください。

38.2.4　PLL 回路特性

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL 入力可能クロック周波数 注1	f_{PLLI}	f_{MAIN}: 4.0 MHz	FMAINDIV[1:0] = 00B	3.92	4.0	4.08	MHz
		f_{MAIN}: 8.0 MHz	FMAINDIV[1:0] = 00B	7.84	8.0	8.16	MHz
		f_{MAIN}: 16.0 MHz	FMAINDIV[1:0] = 10B	7.84	8.0	8.16	MHz
		f_{MAIN}: 20.0 MHz	FMAINDIV[1:0] = 11B	4.90	5.0	5.10	MHz
PLL 出力周波数（中央値）	f_{PLL}	f_{MAIN}: 20 MHz, PLLMULA = 0, PLLMUL = 1	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 16/2			MHz
			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1 = 1	f_{PLLI} × 16			MHz
		f_{MAIN}: 4 MHz, PLLMULA = 1, PLLMUL = 1	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 20/2			MHz
			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1 = 1	f_{PLLI} × 20			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 0, PLLMUL = 0	PLLDIV0 = 1, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 12/4			MHz
			PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 1	f_{PLLI} × 12/2			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 0, PLLMUL = 1	PLLDIV0 = 1, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 16/4			MHz
			PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 1	f_{PLLI} × 16/2			MHz
		f_{MAIN}: 8 MHz または 16 MHz, PLLMULA = 1, PLLMUL = 0	PLLDIV0 = 0, FPLLDIV = 0, PLLDIV1 = 0	f_{PLLI} × 10/2			MHz
★			PLLDIV0 = 0, FPLLDIV = 1, PLLDIV1= 1	f_{PLLI} × 10			MHz
ロングターム・ジッタ 注2	t_{LJ}	term = 1 μs		−1		+1	ns
		term = 10 μs		−1		+1	ns
		term = 20 μs		−2		+2	ns

注 1. PLL 入力クロックが高速オンチップ・オシレータ・クロックの場合，MIN, MAX 値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり，出荷時のテストは行いません。

備考　f_{MAIN}：メイン・システム・クロック周波数

38.3　DC 特性

38.3.1　端子特性

各項目の対応するポートについては「第４章　ポート機能」を参照してください。

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 注1	I_{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157 1 端子	4.0 V≦EV_{DD0}≦5.5 V			−5.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−3.0	mA
		P10, P12, P14, P30, P120, P140 1 端子 （特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V			−0.6	mA
			2.7 V≦EV_{DD0}＜4.0 V			−0.2	mA
		P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−10.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−30.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−19.0	mA
		全端子合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			−32.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			−29.0	mA
	I_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105 1 端子	2.7 V≦V_{DD}≦5.5 V			−0.1	mA
		端子合計 （デューティ≦70%時 注2）	2.7 V≦V_{DD}≦5.5 V			−2.0	mA

注 1. EV_{DD0}, EV_{DD1}, V_{DD} 端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2. デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比を n%に変更する場合）。

・端子合計の出力電流 = (I_{OH} × 0.7)/(n × 0.01)

＜計算例＞ I_{OH} = −10.0 mA，n = 80%の場合

端子合計の出力電流 = (−10.0 × 0.7)/(80 × 0.01)≒−8.7 mA

ただし，1 端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 注1	I_{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157 1 端子	4.0 V≦EV_{DD0}≦5.5 V			8.5	mA
			2.7 V≦EV_{DD0}＜4.0 V			4.0	mA
		P10, P12, P14, P30, P120, P140 1 端子 （特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V			0.59	mA
			2.7 V≦EV_{DD0}＜4.0 V			0.07	mA
		P01, P02, P40-P47, P120, P125-P127, P150-P153 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
		P00, P03, P10-P17, P30-P32, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140, P154-P157 合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			35.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			30.0	mA
		全端子合計 （デューティ≦70%時 注2）	4.0 V≦EV_{DD0}≦5.5 V			55.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			45.0	mA
	I_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105 1 端子	2.7 V≦V_{DD}≦5.5 V			0.4	mA
		端子合計 （デューティ≦70%時 注2）	2.7 V≦V_{DD}≦5.5 V			5.0	mA

注 1. 出力端子から EV_{SS0}, EV_{SS1}, V_{SS} 端子に流れ込んでも，デバイスの動作を保証する電流値です。

2. デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比を n%に変更する場合）。

・端子合計の出力電流 = (I_{OL}×0.7)/(n×0.01)

＜計算例＞ I_{OL} = 10.0 mA，n = 80%の場合

端子合計の出力電流 = (10.0×0.7)/(80×0.01)≒8.7 mA

ただし，1 端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（3/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157（Schmitt 1 モード）	4.0 V≦EV_{DD0}≦5.5 V	0.65 EV_{DD0}		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.7 EV_{DD0}		EV_{DD0} 注	V
	V_{IH2}	P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P120, P125, P150, P152, P153（Schmitt 3 モード）	4.0 V≦EV_{DD0}≦5.5 V	0.8 EV_{DD0}		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.85 EV_{DD0}		EV_{DD0} 注	V
	V_{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTL モード）	4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0} 注	V
			2.7 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0} 注	V
	V_{IH4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.85 V_{DD}		V_{DD}	V
	V_{IH5}	RESET（Schmitt 1 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.65 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.7 V_{DD}		V_{DD}	V
	V_{IH6}	P121-P124, EXCLK, EXCLKS（Schmitt 2 モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.8 V_{DD}		V_{DD}	V

注　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時でも V_{IH} の最大値は EV_{DD0} です。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（4/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157（Schmitt 1 モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.35 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.3 EV_{DD0}	V
	V_{IL2}	P10, P11, P13, P14, P16, P17, P30, P41, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P120, P125, P150, P152, P153（Schmitt 3 モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.5 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.4 EV_{DD0}	V
	V_{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTL モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.5	V
	V_{IL4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.5 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.4 V_{DD}	V
	V_{IL5}	RESET（Schmitt 1 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.35 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.3 V_{DD}	V
	V_{IL6}	P121-P124, EXCLK, EXCLKS（Schmitt 2 モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.2 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.2 V_{DD}	V

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（5/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V_{OH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = −5.0 mA	EV_{DD0} − 0.9			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −3.0 mA	EV_{DD0} − 0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −1.0 mA	EV_{DD0} − 0.5			V
	V_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OH2} = −100 μA	V_{DD} − 0.5			V
	V_{OH3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.6 mA	EV_{DD0} − 0.8			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.2 mA	EV_{DD0} − 0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
	V_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.6 mA			0.8	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.07 mA			0.5	V

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考　特に指定のない限り，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（6/6）

項目	略号	条件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{DD0}				1	μA
	I_{LIH2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, RESET	V_I = V_{DD}				1	μA
	I_{LIH3}	P121-P124（X1, X2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，または外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{SS0}				−1	μA
	I_{LIL2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, RESET	V_I = V_{SS}				−1	μA
	I_{LIL3}	P121-P124（X1, X2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，または外部クロック入力時			−1	μA
				発振子接続時			−10	μA
正注入電流 注1, 注4	$I_{INJPRMS}$	P00-P03, P10-P17, P30-P32, P41-P47, P50-P57, P60-P67, P75-P77, P106, P107, P126, P127, P140, P150-P157	1 端子，V_I＞EV_{DD0}				0.4	mA
			端子合計，V_I＞EV_{DD0}				4	mA
		P70-P74, P80, P83-P87 注2, P90-P97, P100-P105, P120, P125	1 端子，V_I＞V_{DD}				0.15	mA
			端子合計，V_I＞V_{DD}				1	mA
		P81-P84 注3	端子合計，V_I＞V_{DD}				0.15	mA
内蔵プルアップ抵抗	R_U	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P140, P150-P157	V_I = EV_{SS0}，入力ポート時		10	20	100	kΩ

注 1. 本特性は設計保証であり，出荷時のテストは行いません。

2. RL78/F24：P80, P86, P87

3. RL78/F23：P81, P82

4. RL78/F24 製品の場合，P85 / ANI07 / IVREF0 は，上記の仕様の範囲内であっても，正の注入電流が生成された場合の電気的特性を保証しません。

注意　P10-P17, P32, P60-P63, P70-P72, P120 は，N-ch オープン・ドレイン・モード時にはハイ・レベルを出力しません。

備考 1. 特に指定がない限り，兼用端子の特性はポート端子の特性と同じです。

2. V_I：ポート端子への入力電圧レベルです。

38.3.2　電源電流特性

(1)　RL78/F24

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 注1	I_{DD1}	動作モード	通常動作 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注3, 4		10.8	21.0	mA
					f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注3, 4		10.1	19.3	mA
					f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注3, 4		1.7	4.2	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注3, 5		5.6	11.3	mA
					f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注3, 5		1.5	3.9	mA
				発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		10.6	21.0	mA
					f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		10.2	19.3	mA
					f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注3, 6		9.9	18.8	mA
				サブシステム・クロック動作（f_{SUB} = f_{EXS}）	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注7		7.6	1200	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注8		4.2	1200	μA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし，I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU 全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD 回路，A/D コンバータ，D/A コンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

8. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{EXS}　：外部サブシステム・クロック周波数

4. f_{PLL}　：PLL クロック周波数

5. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

6. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

7. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注1, 3	I_{DD2}	HALT モード 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注5		3.4	13.0	mA
				f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注5		2.8	11.5	mA
				f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注5		0.5	2.5	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注6		1.5	7.0	mA
				f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注6		0.3	2.5	mA
			発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		3.2	13.0	mA
				f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		2.9	11.5	mA
				f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注7		2.6	11.0	mA
			サブシステム・クロック動作（f_{SUB} = f_{EXS}）	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注8		0.8	730	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注9		0.8	730	μA
	I_{DD3}	STOP モード注4	T_A = +25℃				0.6		μA
			T_A = +50℃					10	
			T_A = +70℃					25	
			T_A = +105℃					115	
			T_A = +125℃					270	
			T_A = +150℃					700	
	I_{SNOZ}	SNOOZE モード	DTC 動作				7.0		mA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし，I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中に HALT モードに遷移した場合です。

3. MAX.値には周辺動作電流，STOP リーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD 回路，A/D コンバータ，D/A コンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

9. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{EXS}　：外部サブシステム・クロック周波数

4. f_{PLL}　：PLL クロック周波数

5. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

6. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

7. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2	f_{WDT} = 15 kHz			0.3		μA
A/D コンバータ動作電流	I_{ADC} 注3	最高速変換時	AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時 注5			75.0		μA
AV_{REFP} 電流	I_{ADREF} 注7	AV_{REFP} = 5.0 V			65.0		μA
サンプル＆ホールド回路動作電流	I_{ADSH} 注8				0.8	1.2	mA
LVD 動作電流	I_{LVD} 注4				0.08		μA
D/A コンバータ動作電流	I_{DAC}				0.8	1.5	mA
コンパレータ動作電流	I_{CMP}				50.0		μA
BGO 動作電流	I_{BGO} 注6				2.5	12.2	mA

注 1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHz オンチップ・オシレータの動作電流を含みます）。STOP モード時にウォッチドッグ・タイマが動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。

3. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モード時に A/D コンバータが動作中の場合，I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。

4. LVD 回路にのみ流れる電流です。動作モードまたは HALT モードまたは STOP モード時に LVD 回路が動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGO の動作電流です。動作モードまたは HALT モード時に BGO が動作中の場合，I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

7. AV_{REFP} 選択時，この動作電流は増加します。この電流は，変換停止時でも流れます。

8. サンプル＆ホールド回路を使用した際に増加する動作電流です。この電流は、アナログ入力チャネルごとに流れます。

(2)　RL78/F23

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流 注1	I_{DD1}	動作モード	通常動作 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注3, 4		9.7	18.0	mA
					f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注3, 4		9.0	16.5	mA
					f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注3, 4		1.6	3.2	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注3, 5		5.0	9.5	mA
					f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注3, 5		1.4	3.0	mA
				発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		9.2	18.0	mA
					f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注3, 6		9.0	16.5	mA
					f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注3, 6		8.6	16.0	mA
				サブシステム・クロック動作（f_{SUB} = f_{EXS}）	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注7		6.5	600	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注8		3.3	600	μA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし，I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU 全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD 回路および A/D コンバータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

8. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{EXS}　：外部サブシステム・クロック周波数

4. f_{PLL}　：PLL クロック周波数

5. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

6. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

7. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 注1, 3	I_{DD2}	HALT モード 注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 80 MHz	f_{CLK} = 40 MHz 注5		3.4	12.0	mA
				f_{IH} = 40 MHz	f_{CLK} = f_{IH} 注5		2.8	10.5	mA
				f_{IH} = 2 MHz	f_{CLK} = f_{IH} 注5		0.5	1.9	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX} 注6		1.5	6.0	mA
				f_{MX} = 2 MHz	f_{CLK} = f_{MX} 注6		0.3	1.9	mA
			発振子動作（PLL 動作）（PLL 入力クロック = f_{MX}）	f_{PLL} = 80 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		3.1	12.0	mA
				f_{PLL} = 40 MHz, f_{MX} = 20 MHz	f_{CLK} = 40 MHz 注7		2.8	10.5	mA
				f_{PLL} = 40 MHz, f_{MX} = 4 MHz	f_{CLK} = 40 MHz 注7		2.5	10.0	mA
			サブシステム・クロック動作（f_{SUB} = f_{EXS}）	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB} 注8		0.7	320	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL} 注9		0.7	320	μA
	I_{DD3}	STOP モード注4	T_A = +25℃				0.5		μA
			T_A = +50℃					4.5	
			T_A = +70℃					9.0	
			T_A = +105℃					51	
			T_A = +125℃					110	
			T_A = +150℃					300	
	I_{SNOZ}	SNOOZE モード	DTC 動作				6.0		mA

注 1. V_{DD}, EV_{DD0} に流れるトータル電流です。入力端子を V_{DD}, EV_{DD0} または V_{SS}, EV_{SS0} に固定した状態での入力リーク電流を含みます。ただし，I/O バッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中に HALT モードに遷移した場合です。

3. MAX.値には周辺動作電流，STOP リーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD 回路および A/D コンバータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLL クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

9. 高速システム・クロック，サブシステム・クロック，PLL クロックおよび高速オンチップ・オシレータ・クロック停止時，かつ ADSLP ビットを“1”に設定したとき。

備考 1. f_{MX}　：高速システム・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数

3. f_{EXS}　：外部サブシステム・クロック周波数

4. f_{PLL}　：PLL クロック周波数

5. f_{IH}　：高速オンチップ・オシレータ・クロック周波数

6. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

7. f_{CLK}　：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2	f_{WDT} = 15 kHz			0.3		μA
A/D コンバータ動作電流	I_{ADC} 注3	最高速変換時	AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時 注5			75.0		μA
AV_{REFP} 電流	I_{ADREF} 注7	AV_{REFP} = 5.0 V			65.0		μA
サンプル＆ホールド回路動作電流	I_{ADSH} 注8				0.8	1.2	mA
LVD 動作電流	I_{LVD} 注4				0.08		μA
BGO 動作電流	I_{BGO} 注6				2.5	12.2	mA

注 1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHz オンチップ・オシレータの動作電流を含みます）。STOP モード時にウォッチドッグ・タイマが動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が電流値となります。

3. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モード時に A/D コンバータが動作中の場合，I_{DD1} または I_{DD2} に I_{ADC} を加算した値が電流値となります。

4. LVD 回路にのみ流れる電流です。動作モードまたは HALT モードまたは STOP モード時に LVD 回路が動作中の場合，I_{DD1} または I_{DD2} または I_{DD3} に I_{LVD} を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGO の動作電流です。動作モードまたは HALT モード時に BGO が動作中の場合，I_{DD1} または I_{DD2} に I_{BGO} を加算した値が電流値となります。

7. AV_{REFP} 選択時，この動作電流は増加します。この電流は，変換停止時でも流れます。

8. サンプル＆ホールド回路を使用した際に増加する動作電流です。この電流は、アナログ入力チャネルごとに流れます。

38.4　AC 特性

38.4.1　基本動作

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　（1/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	T_{CY}	高速オンチップ・オシレータ・クロック動作		0.025		0.5	μs
		高速システム・クロック動作		0.05		0.5	μs
		PLL クロック動作		0.025		0.5	μs
		サブシステム・クロック動作		28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作			66.6		μs
		セルフ・プログラミング時		0.025		0.5	μs
CPU／周辺ハードウェア・クロック周波数	f_{CLK}			0.025		66.6	μs
外部システム・クロック周波数	f_{EX}			2.0		20.0	MHz
	f_{EXS}			29		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}			24			ns
	t_{EXHS}, t_{EXLS}			13.7			μs
TI00-TI07, TI10-TI17 入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}			1/f_{MCK}+10			ns
TO00-TO07, TO10-TO17, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRJIO0, TRJO0 出力周波数	f_{TO}	通常スルー・レート C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			16	MHz
			2.7 V≦EV_{DD0}＜4.0 V			8	MHz
		TO01, TO06, TO07, TO11, TO13, TRDIOC0, TRDIOD0, TRDIOD1, TRJO0 のみ，特殊スルー・レート，C = 30 pF				2	MHz
PCLBUZ0 出力周波数	f_{PCL}	通常スルー・レート，C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			16	MHz
			2.7 V≦EV_{DD0}＜4.0 V			8	MHz
		特殊スルー・レート，C = 30 pF				2	MHz
タイマ RJ 入力サイクル	t_C	TRJIO0		100			ns
タイマ RJ 入力ハイ・レベル幅，ロウ・レベル幅	t_{TJIH}, t_{TJIL}	TRJIO0		40			ns
タイマ RDe 入力ハイ・レベル幅，ロウ・レベル幅	t_{TDIH}, t_{TDIL}	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRDCLK0, TRD0RES, TRD1RES		3/f_{TRD}			ns
タイマ RDe パルス出力強制カット・オフ信号ロウ・レベル幅	t_{TDSIL}	P137/INTP0	2 MHz＜f_{CLK}≦40 MHz	1			μs
			f_{CLK}≦2 MHz	1/f_{CLK}+1			μs

注意　発振周波数精度誤差を除きます。

備考 1. f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数

2. f_{TRD}：タイマ RDe の動作クロック周波数

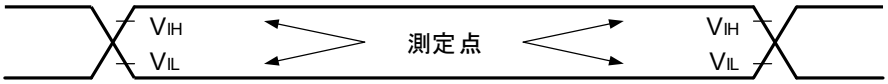
（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）　　（2/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP13 注1		1			μs
KR0-KR7 キー割り込み入力ロウ・レベル幅	t_{KR}			250			ns
RESET ロウ・レベル幅	t_{RSL}	注1		10			μs
ポート出力立ち上がり時間，立ち下がり時間	t_{RO}, t_{FO}	P00-P03, P10-P17, P30-P32, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P120, P125-P127, P130, P140, P150-P157（通常スルー・レート）C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V			25	ns
			2.7 V≦EV_{DD0}＜4.0 V			55	ns
		P10, P12, P14, P30, P120, P140（特殊スルー・レート）C = 30 pF	4.0 V≦EV_{DD0}≦5.5 V		25 注2	60	ns
			2.7 V≦EV_{DD0}＜4.0 V			100	ns

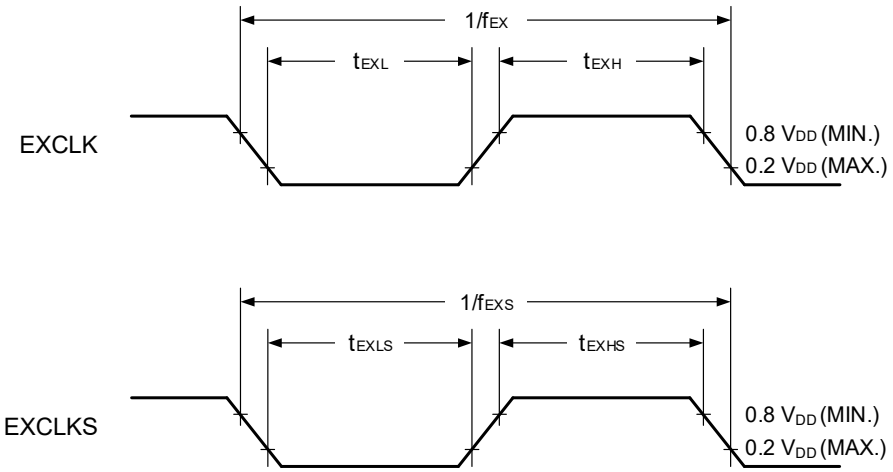
注 1. RESET，INTP0-INTP3，INTP12，INTP13 は 100 ns 未満の過渡レベルに対応するノイズ・フィルタを持ちます。

2. T_A = +25℃, EV_{DD0} = 5.0 V 時

AC タイミング測定点

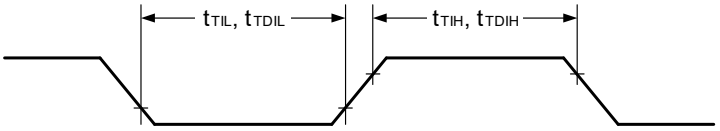


● 外部システム・クロック・タイミング

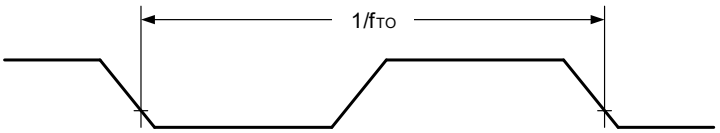


● TI/TO タイミング

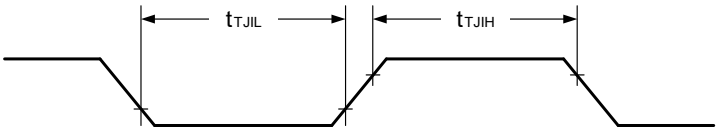
TI00-TI07, TI10-TI17,
TRDIOA0, TRDIOA1, TRDIOB0,
TRDIOB1, TRDIOC0, TRDIOC1,
TRDIOD0, TRDIOD1, TRDCLK0,
TRD0RES, TRD1RES



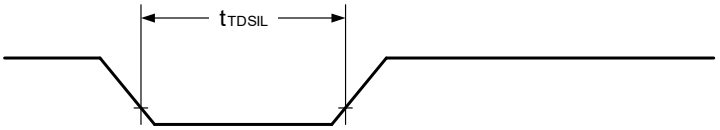
TO00-TO07, TO10-TO17,
TRDIOA0, TRDIOA1, TRDIOB0,
TRDIOB1, TRDIOC0, TRDIOC1,
TRDIOD0, TRDIOD1, TRJIO0,
TRJO0



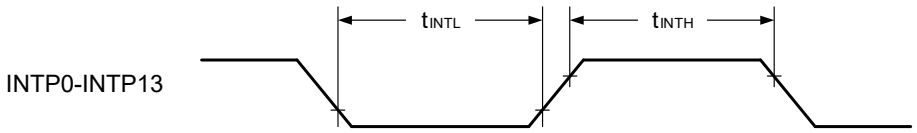
TRJIO0



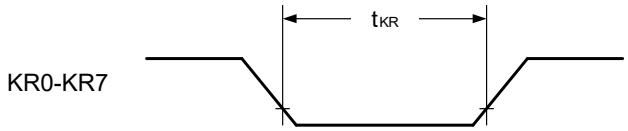
P137/INTP0



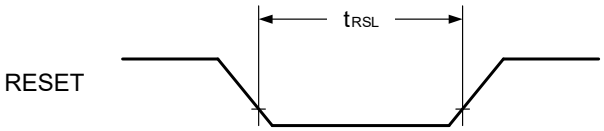
● 割り込み要求入力タイミング



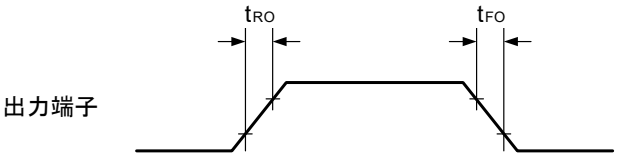
● キー割り込み入力タイミング



● RESET 入力タイミング



● 出力立ち上がり，立ち下がりタイミング



38.5　周辺機能特性

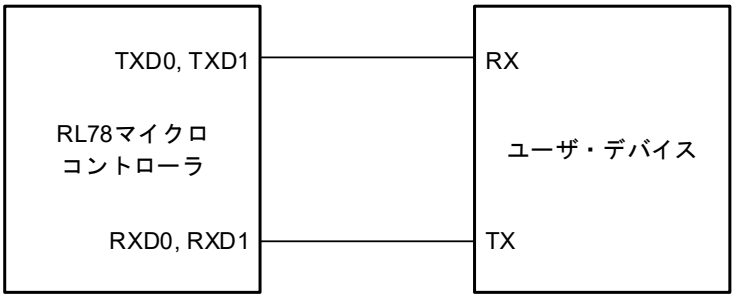
38.5.1　シリアル・アレイ・ユニット

(1)　同電位通信時（UART モード）（専用ボー・レート・ジェネレータ出力）

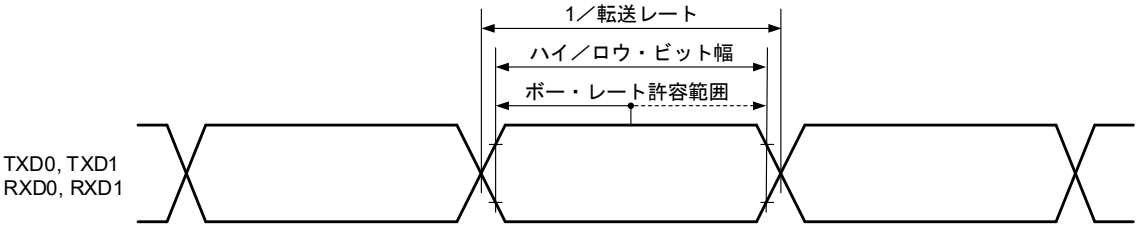
（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－					f_{MCK}/6	bps
		f_{CLK} = 40 MHz, f_{MCK} = f_{CLK}	通常スルー・レート			6.6	Mbps
			特殊スルー・レート			2	Mbps

UART モード接続図（同電位通信時）



UART モードのビット幅（同電位通信時）（参考）



注意　RXD0, RXD1 端子は通常入力バッファ，TXD0, TXD1 端子は通常出力モードを選択。

備考　f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(2)　同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}		150 注5			ns
SCKp ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦EV_{DD0}≦5.5 V	t_{KCY1}/2 − 12			ns
		2.7 V≦EV_{DD0}＜4.0 V	t_{KCY1}/2 − 18			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}	4.0 V≦EV_{DD0}≦5.5 V	44			ns
		2.7 V≦EV_{DD0}＜4.0 V	55			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI1}		30			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO1}	C = 30 pF 注4			30	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↑”となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

★ **5.** t_{KCY1}≧4/f_{MCK} も満たす必要があります。

注意　SIp 端子は通常入力バッファ，SOp, SCKp 端子は通常出力モードを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(3)　同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，特殊スルー・レート）

（T_A = −40～+150℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}		500 注5			ns
SCKp ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}		t_{KCY1}/2 − 60			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}		120			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI1}		80			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO1}	C = 30 pF 注4			90	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対”SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

★ **5.** t_{KCY1}≧4/f_{MCK} も満たす必要があります。

注意　SIp 端子は通常入力バッファ，SOp, SCKp 端子は通常出力モードかつ特殊スルー・レートを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(4)　同電位通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，通常スルー・レート）

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	32 MHz＜f_{MCK}		10/f_{MCK}			ns
		f_{MCK}≦32 MHz		8/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}			t_{KCY2}/2			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}			1/f_{MCK}+20			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}			1/f_{MCK}+31			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	C = 30 pF 注4	4.0 V≦V_{DD} = EV_{DD0} = EV_{DD1}≦5.5 V			2/f_{MCK} + 44	ns
			2.7 V≦V_{DD} = EV_{DD0} = EV_{DD1}＜4.0 V			2/f_{MCK} + 60	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0		120			ns
		DAP = 1		1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0		1/f_{MCK} + 120			ns
		DAP = 1		120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↓” となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対 SCKp↑” となります。

4. C は，SCKp, SOp 出力ラインの負荷容量です。

注意　SIp, SCKp 端子および SSIp 端子は通常入力バッファ，SOp 端子は通常出力モードを選択。

備考 1. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(5)　同電位通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，特殊スルー・レート）

（T_A = −40～+150℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	20 MHz＜f_{MCK}	10/f_{MCK}			ns
		10 MHz＜f_{MCK}≦20 MHz	8/f_{MCK}			ns
		f_{MCK}≦10 MHz	6/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}		t_{KCY2}/2			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}		1/f_{MCK} + 50			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}		1/f_{MCK} + 50			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	C = 30 pF 注4			2/f_{MCK} + 80	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0	120			ns
		DAP = 1	1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0	1/f_{MCK} + 120			ns
		DAP = 1	120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↑”となります。

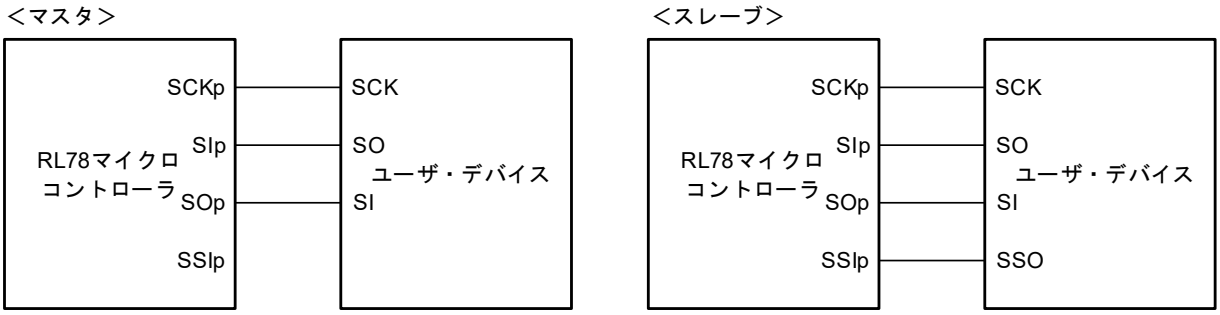
4. C は，SCKp, SOp 出力ラインの負荷容量です。

注意　SIp, SCKp 端子および SSIp 端子は通常入力バッファ，SOp 端子は通常出力モードかつ特殊スルー・レートを選択。

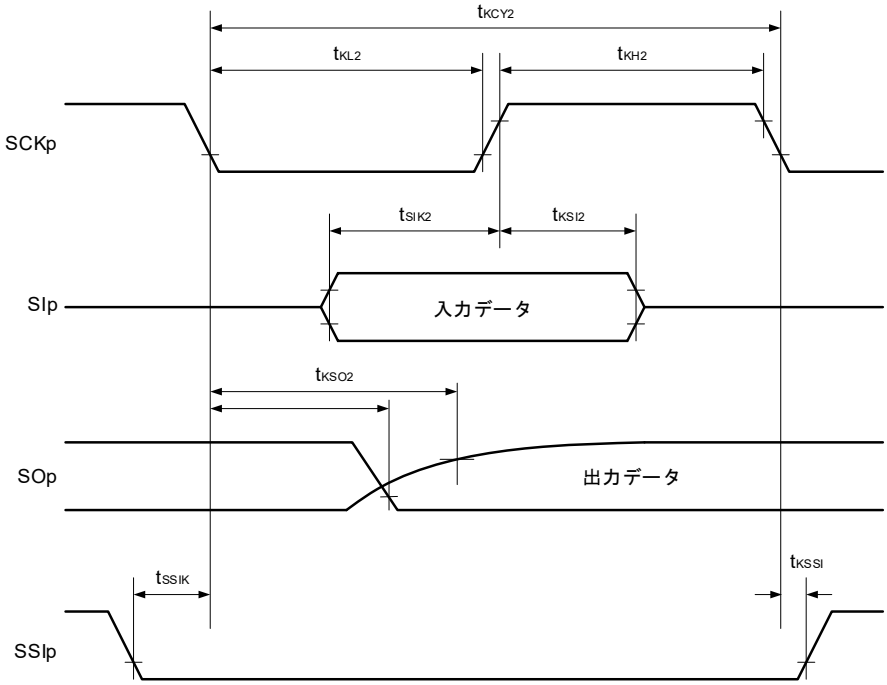
備考 1. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

CSI モード接続図（同電位通信時）

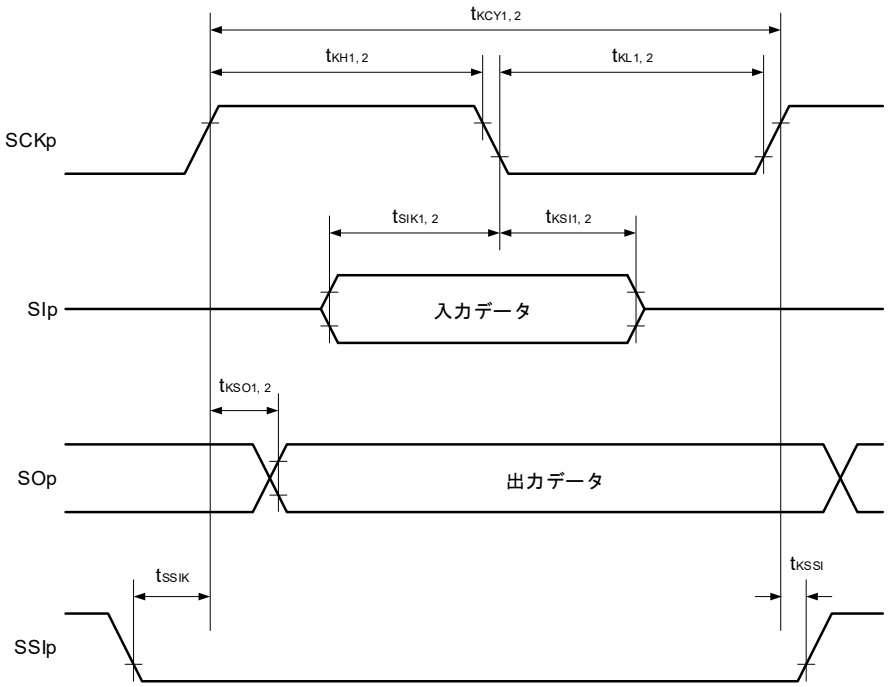


CSI モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

CSI モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

(6)　同電位通信時（簡易 I²C モード）

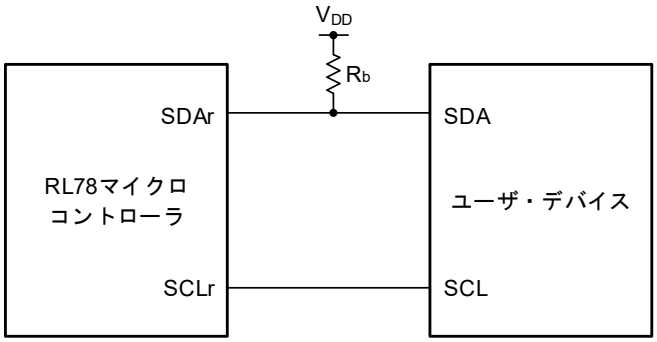
（SDAr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード，SCLr は通常出力モード）

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

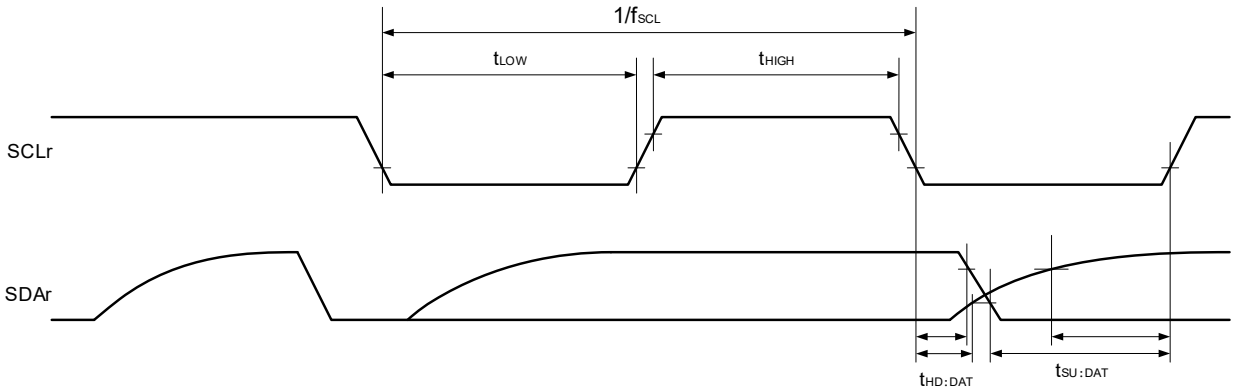
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLr クロック周波数	f_{SCL}				1000 注	kHz
SCLr = “L” のホールド・タイム	t_{LOW}		475			ns
SCLr = “H” のホールド・タイム	t_{HIGH}		475			ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		1/f_{MCK} + 85			ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	C_b = 50 pF，R_b = 2.7 kΩ	0		305	ns

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（同電位通信時）



簡易 I²C モード・シリアル転送タイミング（同電位通信時）



注意　SDAr 端子は通常入力バッファかつ N-ch オープン・ドレイン出力モード，SCLr 端子は通常出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

2. r：IICr（r = 00, 01, 10, 11）

3. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

(7)　同電位通信時（簡易 I²C モード）

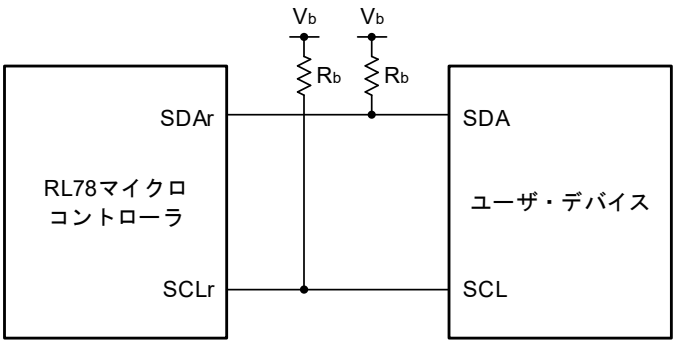
（SDAr，SCLr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード）

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f_{SCL}			400 注	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1300		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
SCLr = “H”のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	600		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1/f_{MCK} + 120		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK} + 270		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	0	300	ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（同電位通信時）



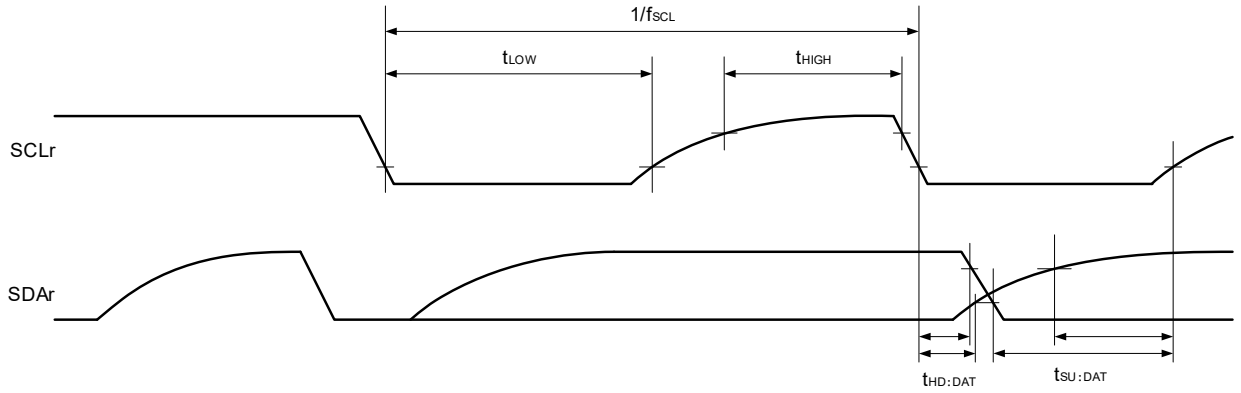
注意　SDAr, SCLr 端子は通常入力バッファかつ N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，V_b [V]：通信ライン電圧

2. r：IICr（r = 00, 01, 10, 11）

3. f_{MCK}：シリアル・アレイ・ユニット動作クロック周波数

簡易 I²C モード・シリアル転送タイミング（同電位通信時）



備考　r：IICr（r = 00, 01, 10, 11）

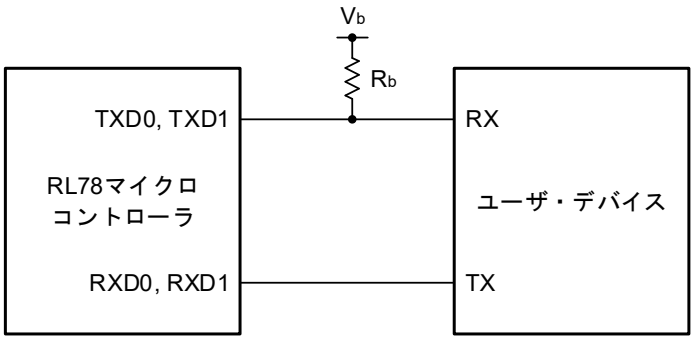
(8)　異電位通信時（UART モード）（TXD 出力バッファ＝N-ch オープン・ドレイン，RXD 入力バッファ＝TTL）

（T_A = −40～+150℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

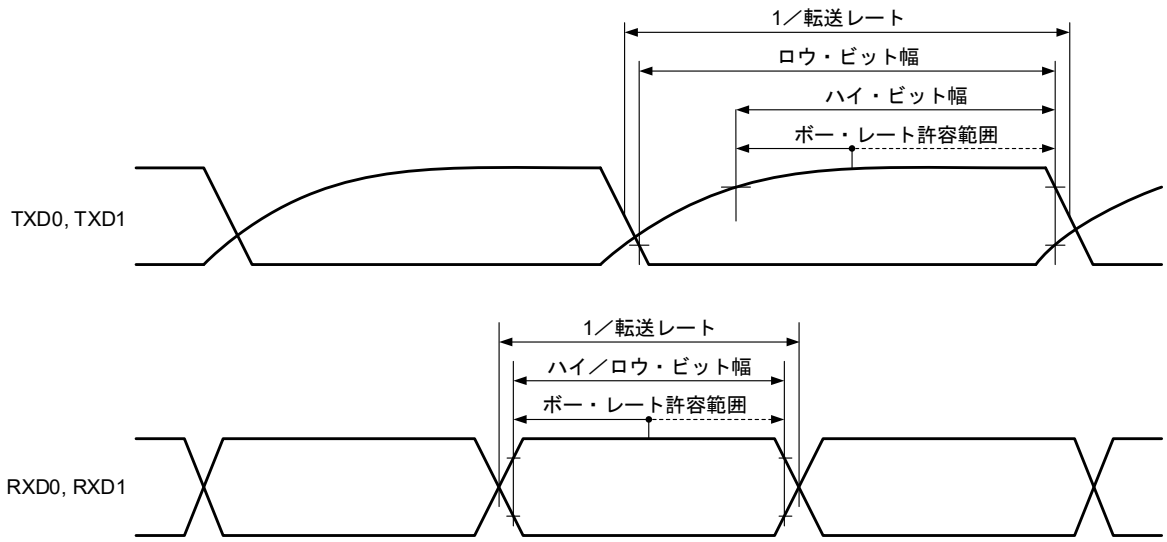
項目	略号	条件			MIN.	TYP.	MAX.	単位
転送レート	－	受信	2.7 V≦V_b≦EV_{DD0}, V_{IH} = 2.2 V, V_{IL} = 0.8 V				f_{MCK}/6	bps
				最大転送レート理論値 注 （C_b = 30 pF）			4.0	Mbps
		送信	2.7 V≦V_b≦EV_{DD0}, V_{OH} = 2.2 V, V_{OL} = 0.8 V				f_{MCK}/6 と (式 1) の 小さい方	bps
				最大転送レート理論値 注 （C_b = 30 pF） 通常スルー・レート			4.0	Mbps

注　(式 1) 最大転送レート = 1 / [{−C_b × R_b × ln (1 − 2.2/V_b)} × 3]

UART モード接続図（異電位通信時）



UART モードのビット幅（異電位通信時）（参考）



注意　RXD0, RXD1 端子は TTL 入力バッファ，TXD0, TXD1 端子は N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（TXD）プルアップ抵抗値，C_b [F]：通信ライン（TXD）負荷容量値，
V_b [V]：通信ライン電圧

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

(9)　異電位（3 V 系）通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）

（T_A = −40～+150℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

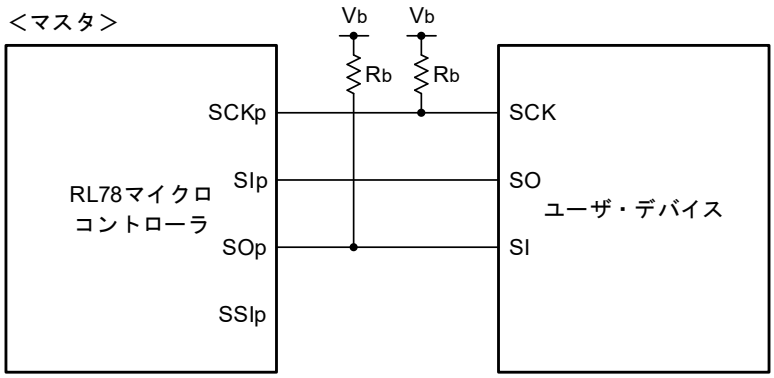
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	400 注3			ns
SCKp ハイ・レベル幅	t_{KH1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2 − 75			ns
SCKp ロウ・レベル幅	t_{KL1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	t_{KCY1}/2 − 20			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	150			ns
SIp セットアップ時間（対 SCKp↓）注2	t_{SIK1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	70			ns
SIp ホールド時間（対 SCKp↑）注1	t_{KSI1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	30			ns
SIp ホールド時間（対 SCKp↓）注2	t_{KSI1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ	30			ns
SCKp↓→SOp 出力遅延時間 注1	t_{KSO1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ			120	ns
SCKp↑→SOp 出力遅延時間 注2	t_{KSO1}	2.7 V≦V_b≦EV_{DD0}, C_b = 30 pF, R_b = 1.4 kΩ			40	ns

注 1.　DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

2.　DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

★ **3.**　t_{KCY1}≧4/f_{MCK} も満たす必要があります。

CSI モード接続図（異電位通信時）



注意　SIp 端子は TTL 入力バッファ，SOp, SCKp 端子は N-ch オープン・ドレイン出力モードを選択。

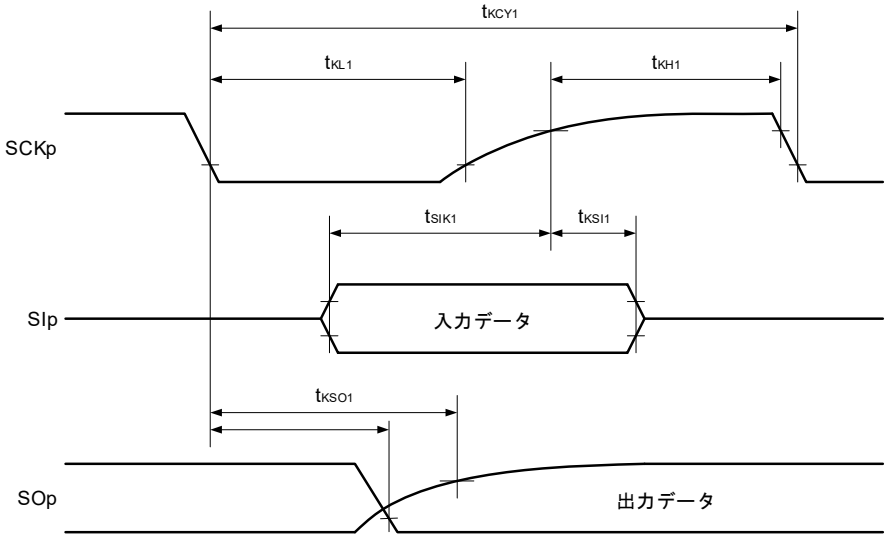
備考 1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp, SCKp）負荷容量値，V_b [V]：通信ライン電圧

2.　p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

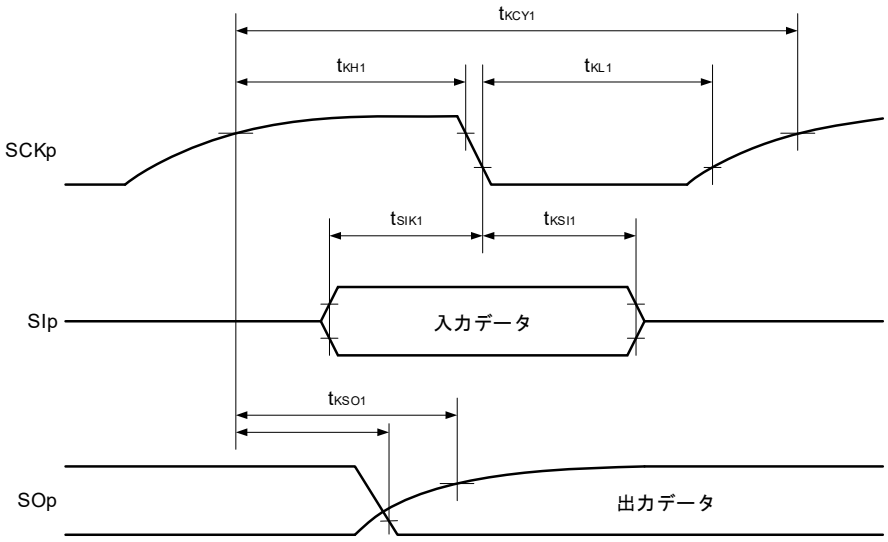
3.　シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V≦EV_{DD0}≦5.5 V，2.7 V≦V_b≦4.0 V のとき：V_{IH} = 2.2 V，V_{IL} = 0.8 V

CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p：CSIp (p = 00, 01, 10, 11)，m：ユニット m (m = 0, 1)，n：チャネル n (n = 0, 1)

(10) 異電位（3V 系）通信時（CSI モード）（スレーブ・モード，SCKp…外部クロック入力，通常スルー・レート）

（T_A = −40～+150℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

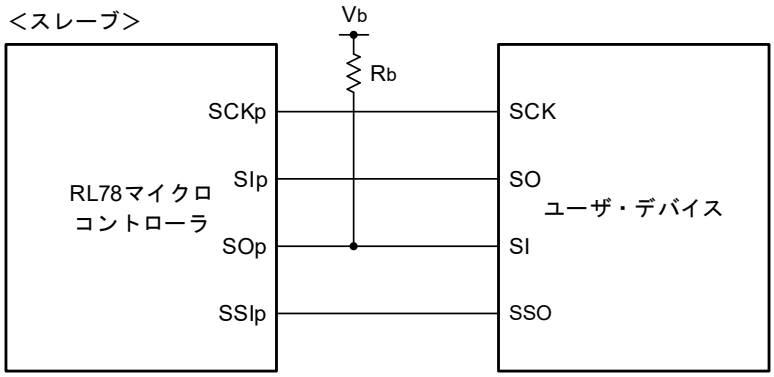
項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKp サイクル・タイム	t_{KCY2}	2.7 V≦V_b≦V_{DD}	32 MHz＜f_{MCK}	20/f_{MCK}			ns
			24 MHz＜f_{MCK}≦32 MHz	16/f_{MCK}			ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}			ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}			ns
			f_{MCK}≦4 MHz	6/f_{MCK}			ns
SCKp ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	2.7 V≦V_b≦V_{DD}		t_{KCY2}/2 − 20			ns
SIp セットアップ時間（対 SCKp↑）注1	t_{SIK2}			90			ns
SIp ホールド時間（対 SCKp↑）注2	t_{KSI2}			1/f_{MCK} + 50			ns
SCKp↓→SOp 出力遅延時間 注3	t_{KSO2}	2.7 V≦V_b≦V_{DD}, C_b = 30 pF, R_b = 1.4 kΩ				2/f_{MCK} + 120	ns
SSIp セットアップ時間	t_{SSIK}	DAP = 0		120			ns
		DAP = 1		1/f_{MCK} + 120			ns
SSIp ホールド時間	t_{KSSI}	DAP = 0		1/f_{MCK} + 120			ns
		DAP = 1		120			ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp↓”となります。

3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。
DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき，”対 SCKp↑”となります。

CSI モード接続図（異電位通信時）



注意　SIp, SCKp 端子および SSIp 端子は TTL 入力バッファ，SOp 端子は N-ch オープン・ドレイン出力モードを選択。

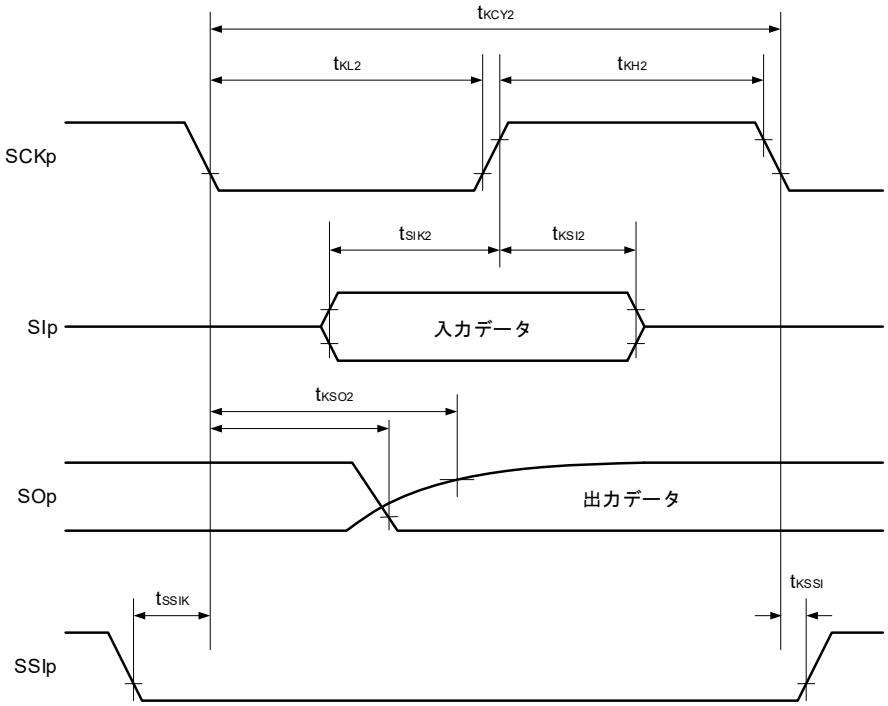
備考 1. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，V_b [V]：通信ライン電圧

2. p：CSIp（p = 00, 01, 10, 11），m：ユニット m（m = 0, 1），n：チャネル n（n = 0, 1）

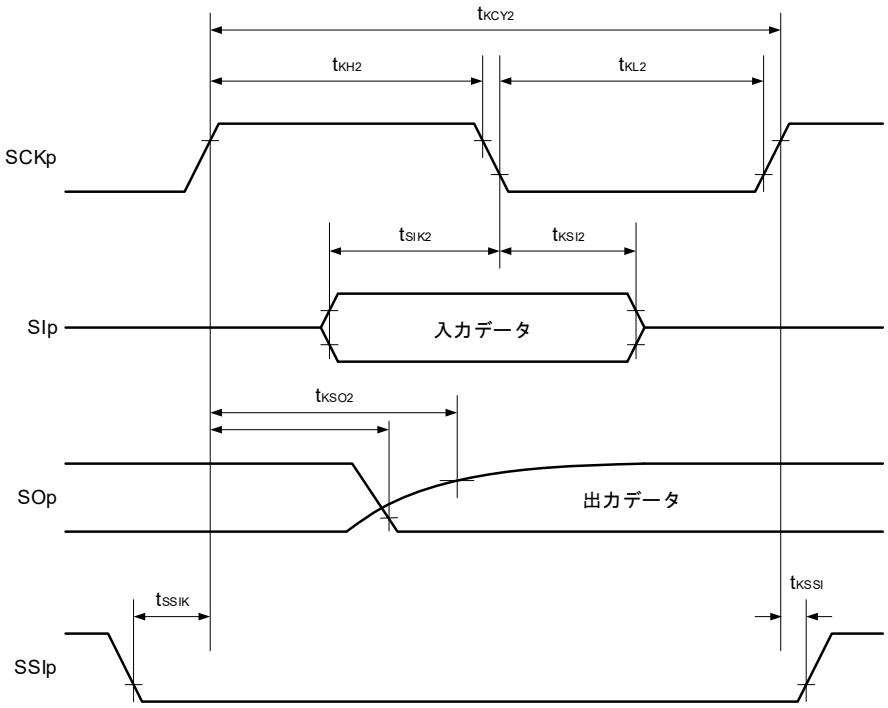
3. シリアル・アレイ・ユニットの CSI モードの異電位通信時の AC 特性は，下記の V_{IH} と V_{IL} を観測点としています。

4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 V のとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき）



CSI モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき）



備考　p: CSIp (p = 00, 01, 10, 11)，m：ユニット m (m = 0, 1)，n：チャネル n (n = 0, 1)

(11) 異電位（3 V 系）通信時（簡易 I²C モード）

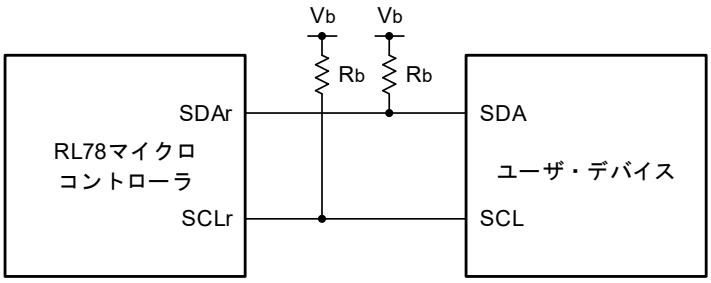
（SDAr は TTL 入力バッファ・モード，N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード，SCLr は N-ch オープン・ドレイン出力（EV_{DD} 耐圧）モード）

（T_A = −40～+150℃，4.0 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

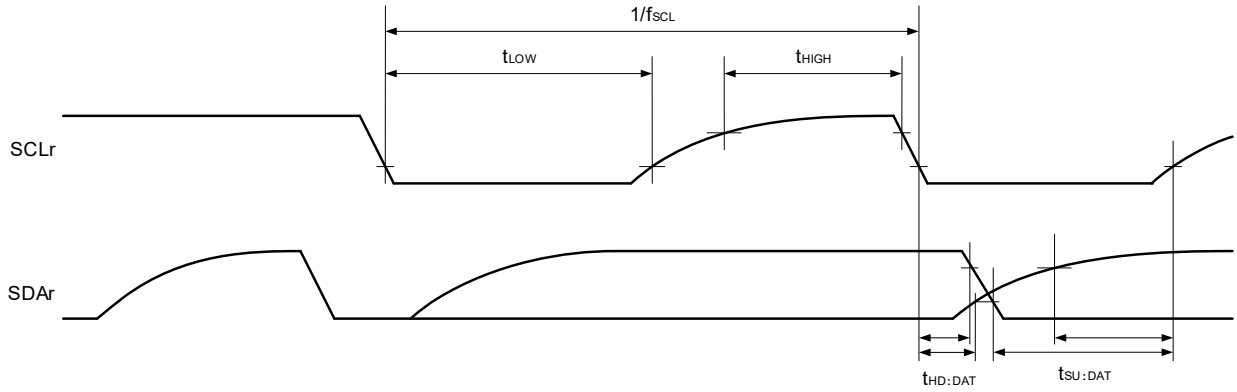
項目	略号	条件	MIN.	MAX.	単位
SCLr クロック周波数	f_{SCL}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ		400 注	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	1200		ns
SCLr = “H”のホールド・タイム	t_{HIGH}	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	600		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	135 + 1/f_{MCK}		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 1.4 kΩ	0	140	ns

注　f_{SCL}≦f_{MCK}/4 も満たす必要があります。

簡易 I²C モード接続図（異電位通信時）



簡易 I²C モード・シリアル転送タイミング（異電位通信時）



注意　SDAr 端子は TTL 入力バッファかつ N-ch オープン・ドレイン出力モード，SCLr 端子は N-ch オープン・ドレイン出力モードを選択。

備考 1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，V_b [V]：通信ライン電圧

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

38.5.2　シリアル・インタフェース IICA

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f_{SCL}	★ ファースト・モード・プラス：10 MHz ≦ f_{MCK}					0	1000	kHz
		★ ファースト・モード：3.5 MHz ≦ f_{MCK}			0	400			kHz
		★ 標準モード：1 MHz ≦ f_{MCK}	0	100					kHz
リスタート・コンディションのセットアップ時間 注1	$t_{SU:STA}$		4.7		0.6		0.26		μs
ホールド時間	$t_{HD:STA}$		4.0		0.6		0.26		μs
SCLA0 = “L” のホールド・タイム	t_{LOW}		4.7		1.3		0.5		μs
SCLA0 = “H” のホールド・タイム	t_{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		50		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$		0	3.45	0	0.9	0		μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		0.26		μs
バス・フリー時間	t_{BUF}		4.7		1.3		0.5		μs

注 1. スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスを生成します。

2. $t_{HD:DAT}$ の最大値（MAX.）は，通常転送時の数値であり，ACK（アクノリッジ）タイミングではウェイトがかかります。

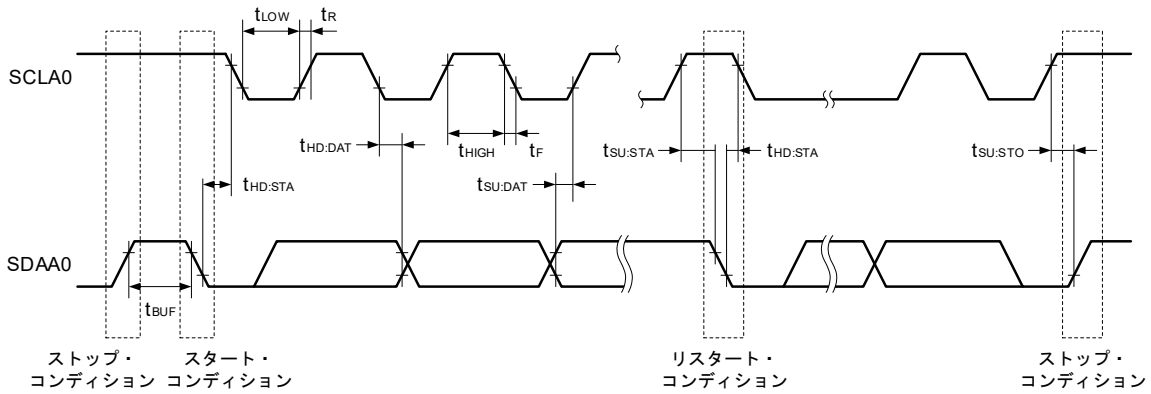
備考　各モードにおける C_b（通信ライン容量）の MAX.値と，そのときの R_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　：C_b = 400 pF, R_b = 2.7 kΩ

ファースト・モード　：C_b = 320 pF, R_b = 1.1 kΩ

ファースト・モード・プラス　：C_b = 120 pF, R_b = 1.1 kΩ

IICA シリアル転送タイミング



38.5.3　オンチップ・デバッグ（UART）

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	－		115.2 k		1 M	bps

38.5.4　LIN/UART モジュール（RLIN3）UART モード

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－	動作モード，HALT モード	LIN 通信クロック源（f_{CLK} または f_{MX}） 4 MHz～40 MHz			4000	kbps
		SNOOZE モード	LIN 通信クロック源（f_{CLK}） 2 MHz～40 MHz			9.6	

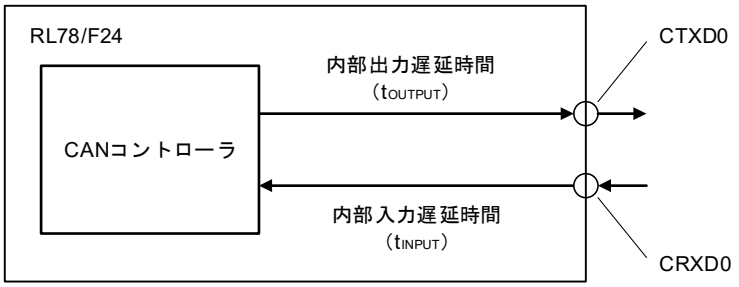
38.5.5　CAN-FD 通信インターフェース（RS-CANFD lite）タイミング

(T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	－	クラシカル CAN モード				1	Mbps
		CAN-FD モード	データ・ビット・レート			5	Mbps
		CAN-FD モード	標準ビット・レート			1	Mbps
内部遅延時間 注	t_{NODE}					50	ns

注　t_{NODE} = 内部入力遅延時間（t_{INPUT}）＋内部出力遅延時間（t_{OUTPUT}）

内部遅延の概念図



38.6　アナログ特性

38.6.1　A/D コンバータ特性

A/D コンバータ特性の分類

基準電圧 / 入力チャンネル	基準電圧(+) = AV_{REFP} 基準電圧(−) = AV_{REFM}	基準電圧(+) = V_{DD} 基準電圧(−) = V_{SS}
AN0-ANI5, ANI8-ANI30	38.6.1 (1)	38.6.1 (2)
ANI6, ANI7	−	38.6.1 (2)
内部基準電圧（+）	38.6.1 (1)	38.6.1 (2)

(1)　基準電圧(+) = AV_{REFP}，基準電圧(−) = AV_{REFM} = 0 V 選択時

対象 ANI 端子：ANI0-ANI05, ANI08-ANI30，内部基準電圧(+)

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧(+) = AV_{REFP}，
基準電圧(−) = AV_{REFM} = 0 V）　(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 注1	ABS	ANI0-ANI5, ANI8-ANI23 注2, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V]			±5.0	LSB
		ANI0-ANI5, ANI8-ANI23 注2, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V]			±5.0	LSB
		ANI1, ANI2 注3, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V] [0.25 V≦V_{AIN}≦V_{DD} − 0.25 V]			±6.0	LSB
		ANI1, ANI2 注3, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V] [0.25 V≦V_{AIN}≦V_{DD} − 0.25 V]			±8.0	LSB
		ANI24-ANI30, [4.5 V≦AV_{REFP} = V_{DD}≦5.5 V]			±11.0	LSB
		ANI24-ANI30, [2.7 V≦AV_{REFP} = V_{DD}＜4.5 V]			±13.0	LSB
積分直線性誤差 注1	INL	ANI0-ANI5, ANI8-ANI23, [AV_{REFP} = V_{DD}]			±3.0	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±7.0	LSB
微分直線性誤差 注1	DNL	ANI0-ANI5, ANI8-ANI23, [AV_{REFP} = V_{DD}]			±1.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±3.5	LSB
ゼロスケール誤差 注1	ZSE	ANI0-ANI5, ANI8-ANI23 注2, [AV_{REFP} = V_{DD}]			±4.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±8.5	LSB
フルスケール誤差 注1	FSE	ANI0-ANI5, ANI8-ANI23 注2, [AV_{REFP} = V_{DD}]			±4.5	LSB
		ANI24-ANI30, [AV_{REFP} = V_{DD}]			±8.5	LSB

（注は，次のページにあります。）

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
基準電圧(+)	AV_{REFP}			2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}	ANI0-ANI5, ANI8-ANI30		0		AV_{REFP}	V
内部基準電圧(+)	V_{BGR}	2.7 V≦V_{DD}≦5.5 V		1.38	1.45	1.5	V
アナログ入力スルー・レート	SR					0.4	V/μs
動作周波数	f_{AD}			2		40	MHz
変換時間 注4 （1 チャンネル）	t_{CONV}	ADCLK = 40 MHz，入力インピーダンス≦0.5 kΩ					
			ANI0-ANI5, ANI8-ANI15 注2	1.125			μs
			ANI16-ANI30	1.8			μs
			ANI1, ANI2 注3	2.1			μs

注 1. 量子化誤差（±1/2 LSB）は含みません。

2. 専用サンプル＆ホールド回路を使用しない場合。

3. 専用サンプル＆ホールド回路を使用する場合。

4. A/D 変換処理時間（t_{CONV}）は，サンプリング時間と逐次変換時間を合わせた時間となります。

(2)　基準電圧(+) = V_{DD}，基準電圧(−) = V_{SS} 選択時，対象 ANI 端子：ANI0-ANI30，内部基準電圧(＋)

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V，基準電圧(+) = V_{DD}，基準電圧(−) = V_{SS}）

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 注1	ABS	ANI0-ANI23 注2, [4.5 V≦V_{DD}≦5.5 V]			±13.0	LSB
		ANI0-ANI23 注2, [2.7 V≦V_{DD}＜4.5 V]			±15.0	LSB
		ANI1, ANI2 注3, [4.5 V≦V_{DD}＜5.5 V], [0.25 V ≤ V_{AIN} ≤ V_{DD} - 0.25 V]			±14.0	LSB
		ANI1, ANI2 注3, [2.7 V≦V_{DD}＜4.5 V], [0.25 V ≤ V_{AIN} ≤ V_{DD} - 0.25 V]			±16.0	LSB
		ANI24-ANI30, [4.5 V≦V_{DD}≦5.5 V]			±19.0	LSB
		ANI24-ANI30, [2.7 V≦V_{DD}＜4.5 V]			±21.0	LSB
積分直線性誤差 注1	INL	ANI0-ANI23			±7.0	LSB
		ANI24-ANI30			±9.0	LSB
微分直線性誤差 注1	DNL	ANI0-ANI23			±3.5	LSB
		ANI24-ANI30			±5.5	LSB
ゼロスケール誤差 注1	ZSE	ANI0-ANI23 注2			±14.5	LSB
		ANI24-ANI30			±18.5	LSB
フルスケール誤差 注1	FSE	ANI0-ANI23 注2			±14.5	LSB
		ANI24-ANI30			±18.5	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI30	0		V_{DD}	V
内部基準電圧(＋)	V_{BGR}	2.7 V≦V_{DD}≦5.5 V	1.38	1.45	1.5	V
アナログ入力スルー・レート	SR				0.4	V/μs
動作周波数	f_{AD}		2		40	MHz
変換時間 注4 （1 チャンネル）	t_{CONV}	ADCLK = 40 MHz, 入力インピーダンス≦0.5 kΩ				
		ANI0-ANI15 注2	1.125			μs
		ANI16-ANI30	1.8			μs
		ANI1, ANI2 注3	2.1			μs

注 1. 量子化誤差（±1/2 LSB）は含みません。

2. 専用サンプル＆ホールド回路を使用しない場合。

3. 専用サンプル＆ホールド回路を使用する場合。

4. A/D 変換処理時間（t_{CONV}）は，サンプリング時間と逐次変換時間を合わせた時間となります。

38.6.2　D/A コンバータ特性

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					8	bit
総合誤差	AINL	Rload = 4 MΩ	2.7 V≦V_{DD}≦5.5 V			−2.5/+3.0	LSB
		Rload = 8 MΩ	2.7 V≦V_{DD}≦5.5 V			−2.5/+3.0	LSB
セトリング・タイム	t_{SET}	Cload = 20 pF	2.7 V≦V_{DD}≦5.5 V			3	μs

38.6.3　コンパレータ特性

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOCMP}			±5	±90	mV
入力電圧範囲	V_{ICMP}		0		V_{DD}	V
応答時間	t_{CR}, t_{CF}	入力振幅±100 mV		70	700	ns
入力チャネル切り替え時の安定待ち時間 注1	t_{WAIT}	入力振幅±100 mV	800			ns
動作安定待ち時間 注2	t_{CMP}	3.3 V≦V_{DD}≦5.5 V	1			μs
		2.7 V≦V_{DD}＜3.3 V	3			μs

注 1. コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2. コンパレータの動作許可（CMPCTL レジスタの HCMPON ビット = 1）からコンパレータが DC/AC 特性を満足できる状態になるまでの時間。

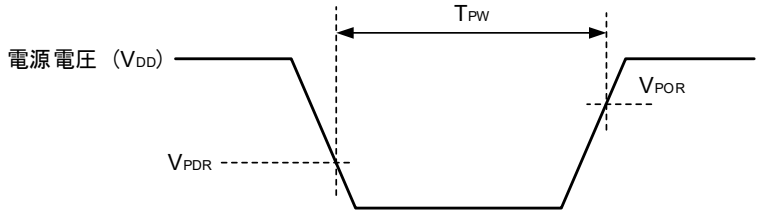
38.6.4　POR 回路特性

（T_A = −40～+150℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧 注1	V_{POR}	電源立ち上がり時	1.48	1.56	1.73	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.71	V
最小パルス幅 注2	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注 1. POR 回路の特性を示すものであり，下限動作電圧（2.7 V）未満での通常動作を保証するものではありません。

2. V_{DD} が V_{PDR} を下回った場合の POR リセットに必要な最小時間。



38.6.5　LVD 回路特性

(1)　リセット・モード，割り込みモードの LVD 検出電圧

（T_A = −40～+150℃，V_{PDR}≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	4.62	4.74	5.25	V
			電源立ち下がり時	4.52	4.64	5.11	V
		V_{LVD1}	電源立ち上がり時	4.50	4.62	5.12	V
			電源立ち下がり時	4.40	4.52	4.98	V
		V_{LVD2}	電源立ち上がり時	4.30	4.42	4.92	V
			電源立ち下がり時	4.21	4.32	4.76	V
		V_{LVD3}	電源立ち上がり時	3.13	3.22	3.66	V
			電源立ち下がり時	3.07	3.15	3.52	V
		V_{LVD4}	電源立ち上がり時	2.95	3.02	3.44	V
			電源立ち下がり時	2.89	2.96	3.31	V
		V_{LVD5}	電源立ち上がり時	2.74	2.81	3.22	V
			電源立ち下がり時	2.68 注	2.75	3.06	V
最小パルス幅		t_{LW}		300			μs
検出遅延		t_{LD}				300	μs

注　最小値は下限動作電圧（2.7 V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7 V 時と同等の動作）が可能です。

(2)　割り込み＆リセット・モードの LVD 検出電圧

（T_A = −40～+150℃，V_{PDR}≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件			MIN.	TYP.	MAX.	単位
割り込み＆ リセット・モード	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	3.06	V
	V_{LVD2}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.92	V
				立ち下がり割り込み電圧	4.21	4.32	4.76	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	3.06	V
	V_{LVD1}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	5.12	V
				立ち下がり割り込み電圧	4.40	4.52	4.98	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1 注1, 立ち下がりリセット電圧：2.75 V			2.68 注2	2.75	3.06	V
	V_{LVD3}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.66	V
				立ち下がり割り込み電圧	3.07	3.15	3.52	V
	V_{LVD0}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	5.25	V
				立ち下がり割り込み電圧	4.52	4.64	5.11	V

注 1.　これらの値はオプション・バイトの設定値を示しています。

2.　最小値は下限動作電圧（2.7 V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7 V 時と同等の動作）が可能です。

38.7　電源立ち上げ時間

（T_A = −40～+150℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{vrmax}	0 V → V_{DD}（VPOC2 = 0 または 1 注2）			50 注3	V/ms
最小電源電圧立ち上げ傾き 注1	S_{vrmin}	0 V → 2.7 V	6.5			V/ms

注 1. 最小電源電圧立ち上げ傾きは，以下の条件の場合にのみ適用対象になります。
電圧検出（LVD）回路が未使用（VPOC2 = 1）かつ外部リセット回路未使用もしくは V_{DD} = 2.7 V までリセットがかからない場合。

2. オプション・バイトの設定値を示しています。

3. 電源が V_{PDR} 以下に下降し，POR リセットが発生した場合は，0 V まで下降せずに復帰する場合も本仕様の適用対象になります。

38.8　レギュレータ出力電圧特性

（T_A = -40～+150℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
REGC出力電圧	V_{OREGC}	注，C = 0.47～1 μF	2.0	2.1	2.2	V

注　下記の場合を除きます。

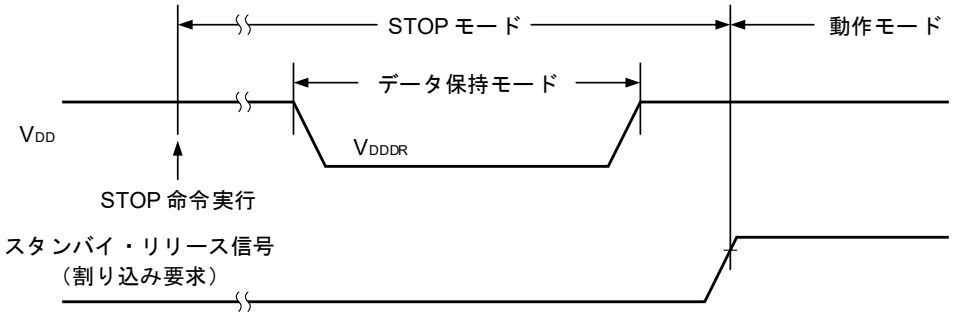
- STOP モード時
- サブ／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき。
- サブ／低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）で CPU 動作設定時の HALT モード中，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）および PLL クロック（f_{PLL}）がすべて停止したとき。

38.9　RAM データ保持特性

（T_A = −40～+150℃，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47 注		5.5	V

注　POR 検出電圧に依存します。電圧降下時，POR リセットがかかるまでは RAM 内のデータを保持しますが，POR リセットがかかった場合のデータは保持しません。



38.10 フラッシュ・メモリ・プログラミング特性

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}		2		40	MHz
コード・フラッシュの書き換え回数 注1, 2, 3	Cerwr	保持 20 年 T_A = +85℃ 注4	1,000			回
データ・フラッシュの書き換え回数 注1, 2, 3		保持 20 年 T_A = +85℃ 注4	10,000			
		保持 5 年 T_A = +85℃ 注4	100,000			
消去時間	Terasa	ブロック消去	5			ms
書き込み時間	Twrwa	1 ワード書き込み	10			μs

注 1. 消去 1 回＋消去後の書き込み 1 回を書き換え回数 1 回とします。保持年数の開始点は消去後です。

2. フラッシュ・メモリ・プログラマ使用時，および当社提供のセルフ・プログラミング・コードを使用したときです。

3. この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

4. 保持の平均温度です。

(1) コード・フラッシュ・メモリ処理時間

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		f_{CLK} = 2 MHz		f_{CLK} = 4 MHz		f_{CLK} = 8 MHz		f_{CLK} = 16 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	4 バイト	74.0	690.0	61.0	580.0	56.0	530.0	54.0	510.0	μs
イレース時間	1 K バイト	6.9	245.0	6.1	230.0	5.8	225.0	5.6	220.0	ms
ブランクチェック時間	4 バイト	–	29.0	–	22.0	–	19.0	–	17.0	μs
	1 K バイト	–	800.0	–	405.0	–	245.0	–	145.0	μs
内部ベリファイ時間	4 バイト	–	350.0	–	175.0	–	90.0	–	45.0	μs
	1 K バイト	–	19.0	–	9.5	–	5.0	–	2.5	ms

項目		f_{CLK} = 20 MHz		f_{CLK} = 32 MHz		f_{CLK} = 40 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	4 バイト	54.0	510.0	53.0	500.0	53.0	500.0	μs
イレース時間	1 K バイト	5.6	220.0	5.5	220.0	5.5	220.0	ms
ブランクチェック時間	4 バイト	–	17.0	–	16.0	–	16.0	μs
	1 K バイト	–	145.0	–	135.0	–	135.0	μs
内部ベリファイ時間	4 バイト	–	35.0	–	22.0	–	18.0	μs
	1 K バイト	–	2.0	–	1.2	–	1.0	ms

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。

(2)　データ・フラッシュ・メモリ処理時間

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目		f_{CLK} = 2 MHz		f_{CLK} = 4 MHz		f_{CLK} = 8 MHz		f_{CLK} = 16 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	1バイト	60.0	550.0	49.0	450.0	44.0	410.0	42.0	390.0	μs
イレース時間	1 Kバイト	11.5	340.0	8.4	275.0	7.1	250.0	6.3	235.0	ms
ブランクチェック時間	1バイト	–	29.0	–	22.0	–	19.0	–	17.0	μs
	1 Kバイト	–	3.1	–	1.6	–	0.95	–	0.55	ms
内部ベリファイ時間	1バイト	–	350.0	–	175.0	–	90.0	–	45.0	μs
	1 Kバイト	–	76.0	–	38.0	–	19.0	–	9.5	ms

項目		f_{CLK} = 20 MHz		f_{CLK} = 32 MHz		f_{CLK} = 40 MHz		単位
	条件	TYP.	MAX.	TYP.	MAX.	TYP.	MAX.	
プログラム時間	1 バイト	42.0	390.0	41.0	380.0	41.0	380.0	μs
イレース時間	1 K バイト	6.3	235.0	6.2	235.0	6.2	235.0	ms
ブランクチェック時間	1 バイト	–	17.0	–	16.0	–	16.0	μs
	1 K バイト	–	0.55	–	0.5	–	0.5	ms
内部ベリファイ時間	1 バイト	–	35.0	–	22.0	–	18.0	μs
	1 K バイト	–	7.5	–	4.7	–	3.8	ms

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。

38.11　専用フラッシュ・メモリ・プログラマ通信（UART）

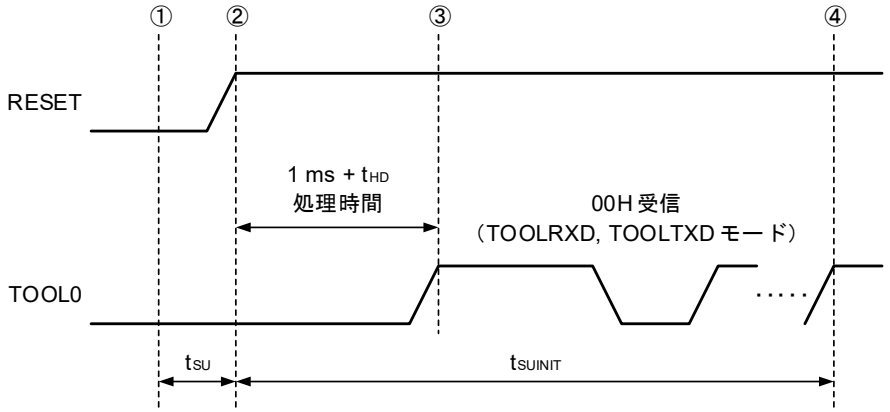
（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	－	シリアル・プログラミング期間	115.2 k		1 M	bps

38.12 フラッシュ・メモリ・プログラミング・モード・エントリ・タイミング

（T_A = −40～+150℃，2.7 V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V，V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除後，初期設定通信が完了するまでの時間	t_{SUINIT}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。			100	ms
TOOL0 端子がロウ・レベルに設定された後，外部リセットを解除する時間	t_{SU}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。	10			μs
外部リセットが解除された後，TOOL0 端子をロウ・レベルに保持する時間（フラッシュ・メモリ制御ファームウェアの処理時間を除く）	t_{HD}	外部リセット解除前に，POR および LVD リセットを解除する必要があります。	1			ms



① ロウ・レベルが TOOL0 端子に入力されます。

② 外部リセットが解除されます（外部リセット前に POR および LVD リセットを解除する必要があります。

③ TOOL0 端子がハイ・レベルに設定されています。

④ UART 受信によるフラッシュ・メモリ・プログラミング・モードの設定と，ボー・レート設定の完了。

備考　t_{SUINIT}　：外部リセットを解除してから 100ms 以内に初期設定通信を完了する必要があります。

t_{SU}　：TOOL0 端子がロウ・レベルに設定された後，外部リセットを解除する時間

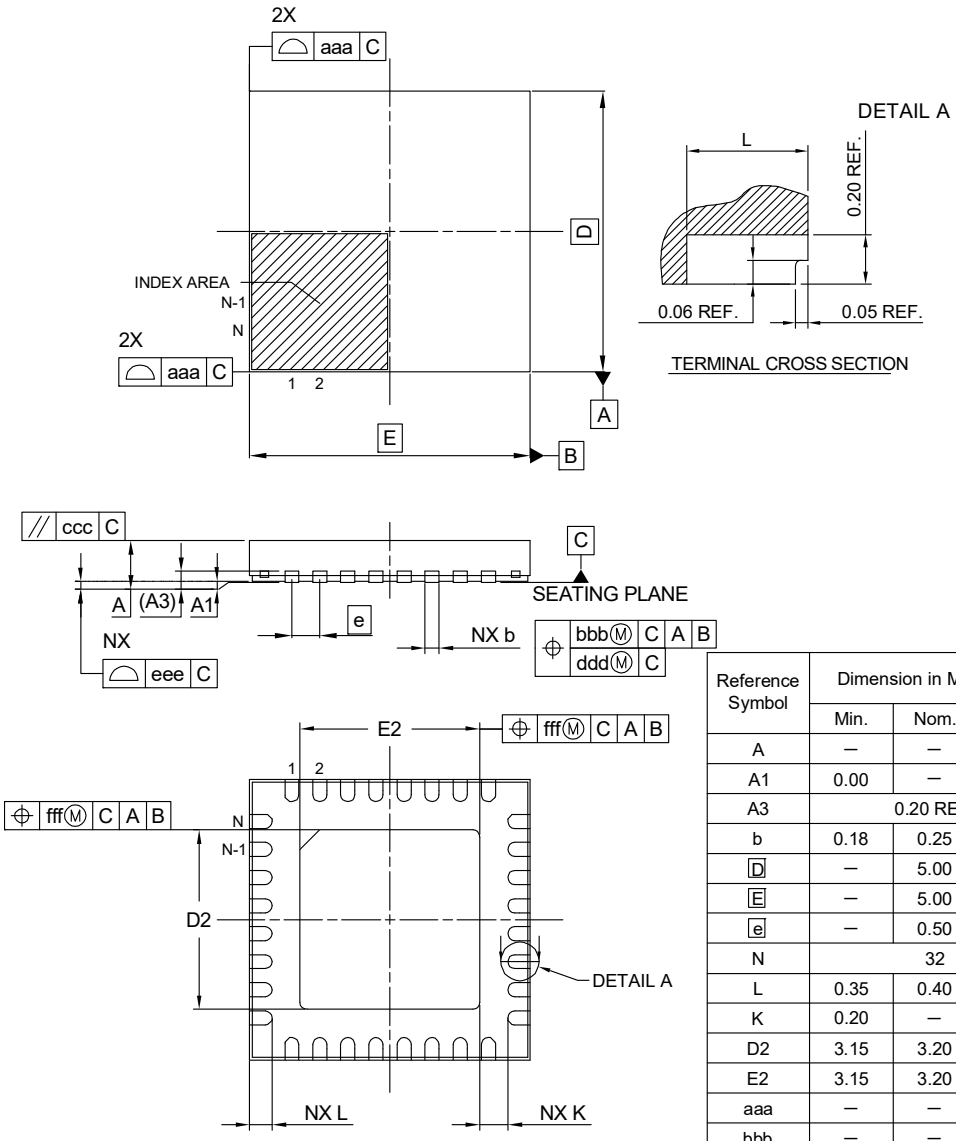
t_{HD}　：外部リセット解除後，TOOL0 端子をロウ・レベルに保持する時間（フラッシュ・メモリ制御ファームウェアの処理時間を除く）

第39章　外形図

39.1　32 ピン製品

★　外形図は2種類あります。どちらの外形図を使用しているかは，製品捺印で確認できます。
詳細については，当社Webサイトの製品パッケージ情報を参照ください。

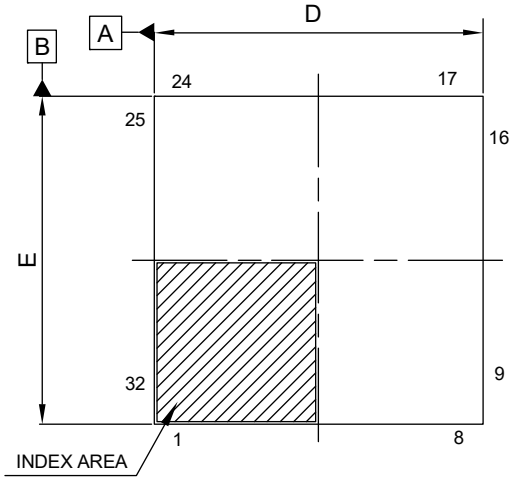
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KF-B	0.06

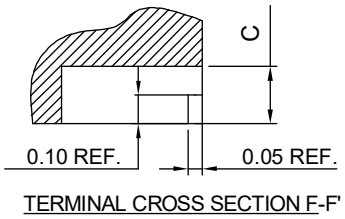


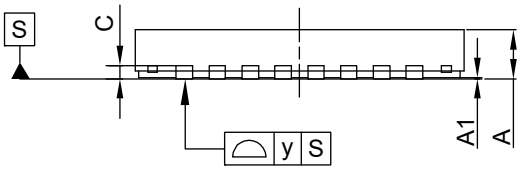
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A1	0.00	—	0.05
A3	0.20 REF.		
b	0.18	0.25	0.30
D	—	5.00	—
E	—	5.00	—
e	—	0.50	—
N	32		
L	0.35	0.40	0.45
K	0.20	—	—
D2	3.15	3.20	3.25
E2	3.15	3.20	3.25
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08
fff	—	—	0.10

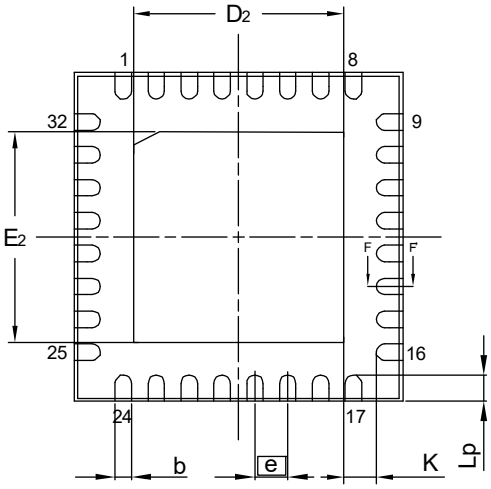
★

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN32-5x5-0.50	PWQN0032KH-A	0.06









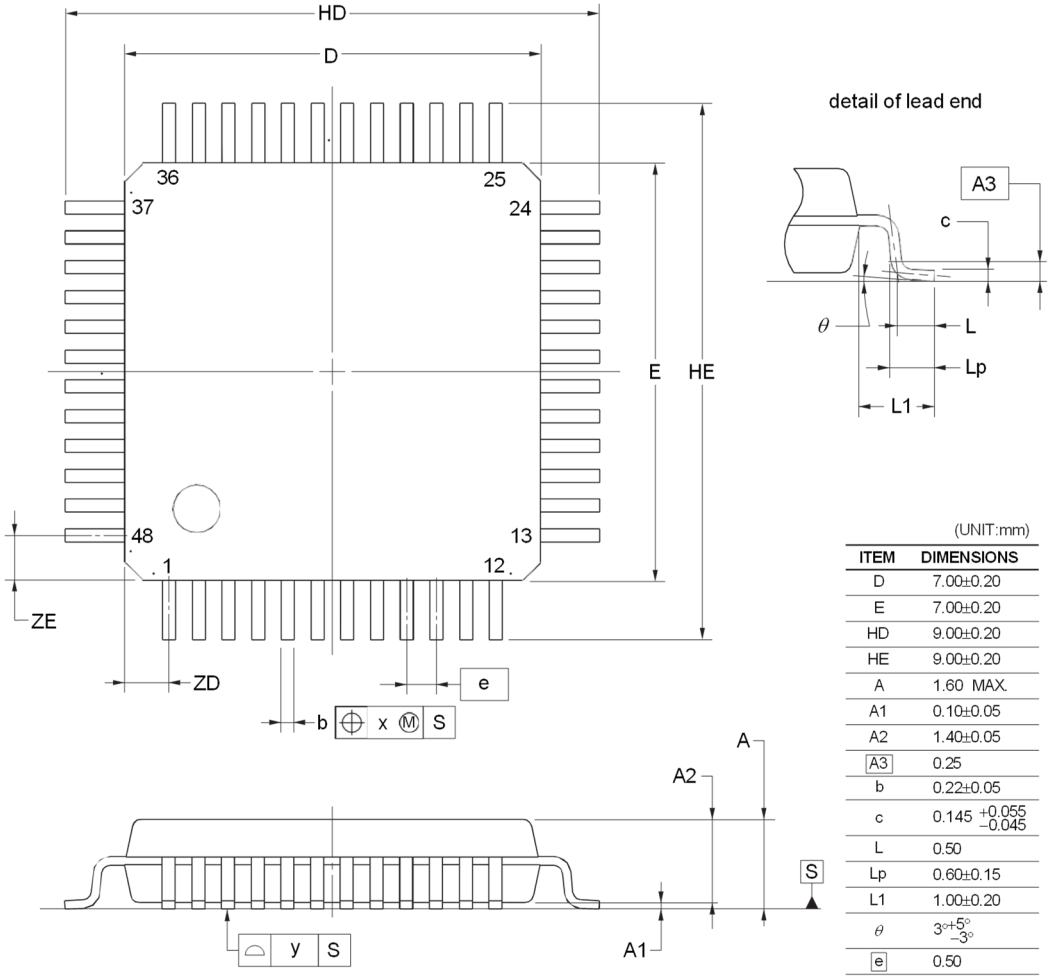
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	4.85	5.00	5.15
E	4.85	5.00	5.15
A	—	—	0.80
A_1	0.00	—	0.05
b	0.18	0.25	0.30
e	0.50 BSC		
Lp	0.35	0.40	0.45
y	—	—	0.08
c	—	0.20	—
K	0.20	—	—
D_2	—	3.20	—
E_2	—	3.20	—

39.2　48 ピン製品

外形図は 2 種類あります。どちらの外形図を使用しているかは，製品捺印で確認できます。

詳細については，当社 Web サイトの製品パッケージ情報を参照ください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-A	P48GA-50-8EU-1	0.16

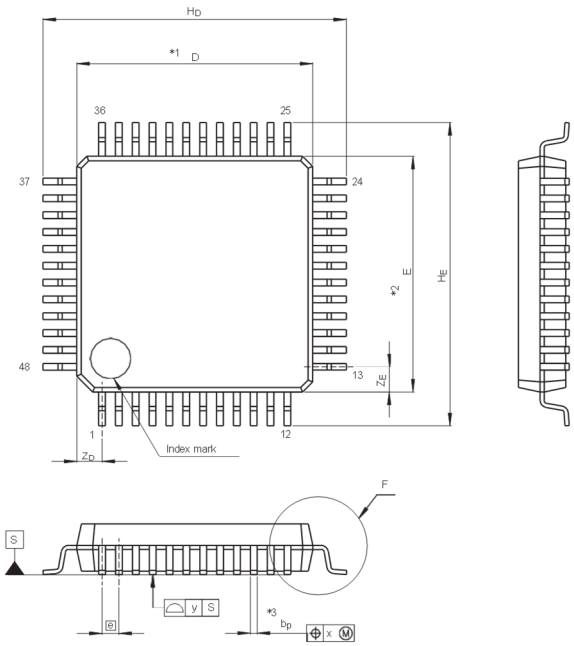


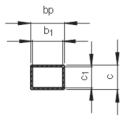
(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

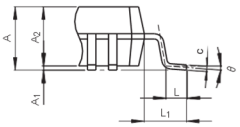
NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-A	48P6Q-A	0.2g





Terminal cross section



Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

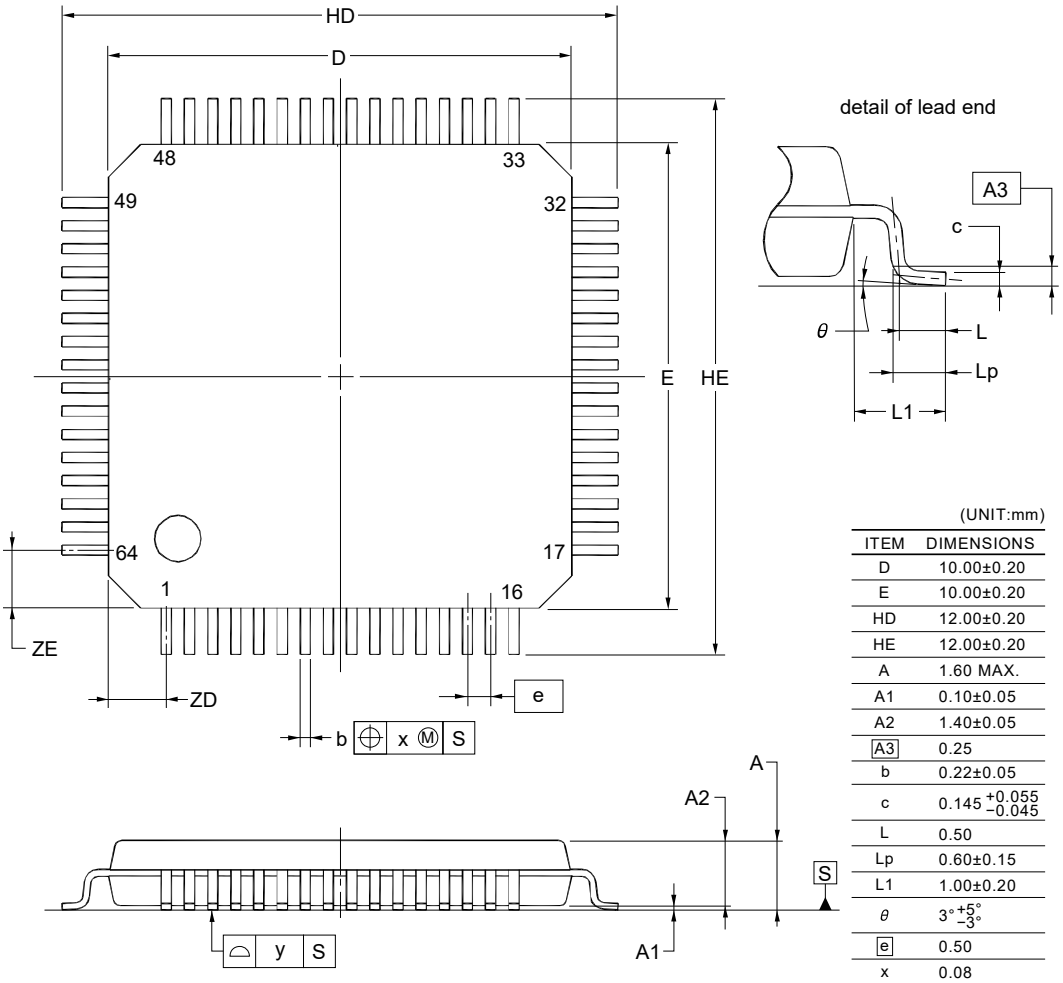
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0	0.1	0.2
b_p	0.17	0.22	0.27
b_1	—	0.20	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	0.75	—
Z_E	—	0.75	—
L	0.35	0.5	0.65
L_1	—	1.0	—

39.3　64 ピン製品

外形図は 2 種類あります。どちらの外形図を使用しているかは，製品捺印で確認できます。

詳細については，当社 Web サイトの製品パッケージ情報を参照ください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP64-10x10-0.50	PLQP0064KF-A	P64GB-50-UEU-2	0.35

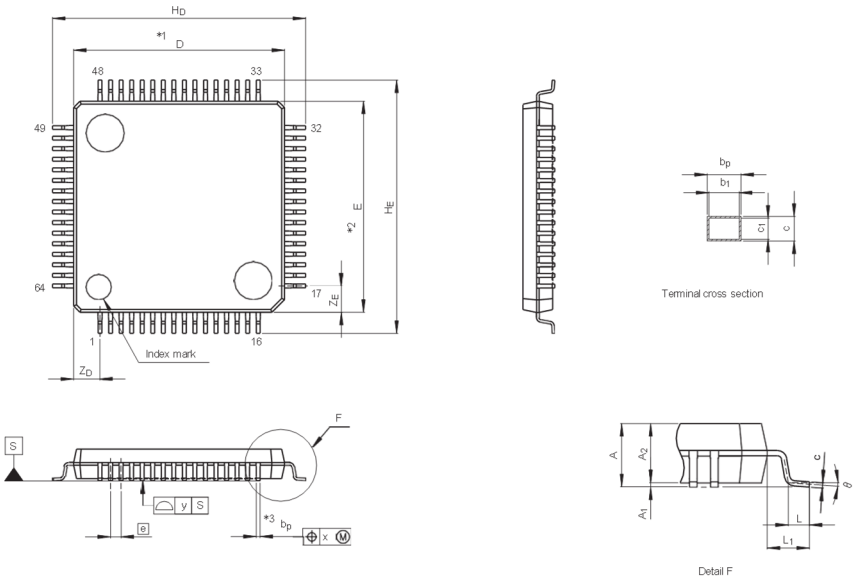


(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP64-10x10-0.50	PLQP0064KB-A	64P6Q-A / FP-64K / FP-64KV	0.3g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

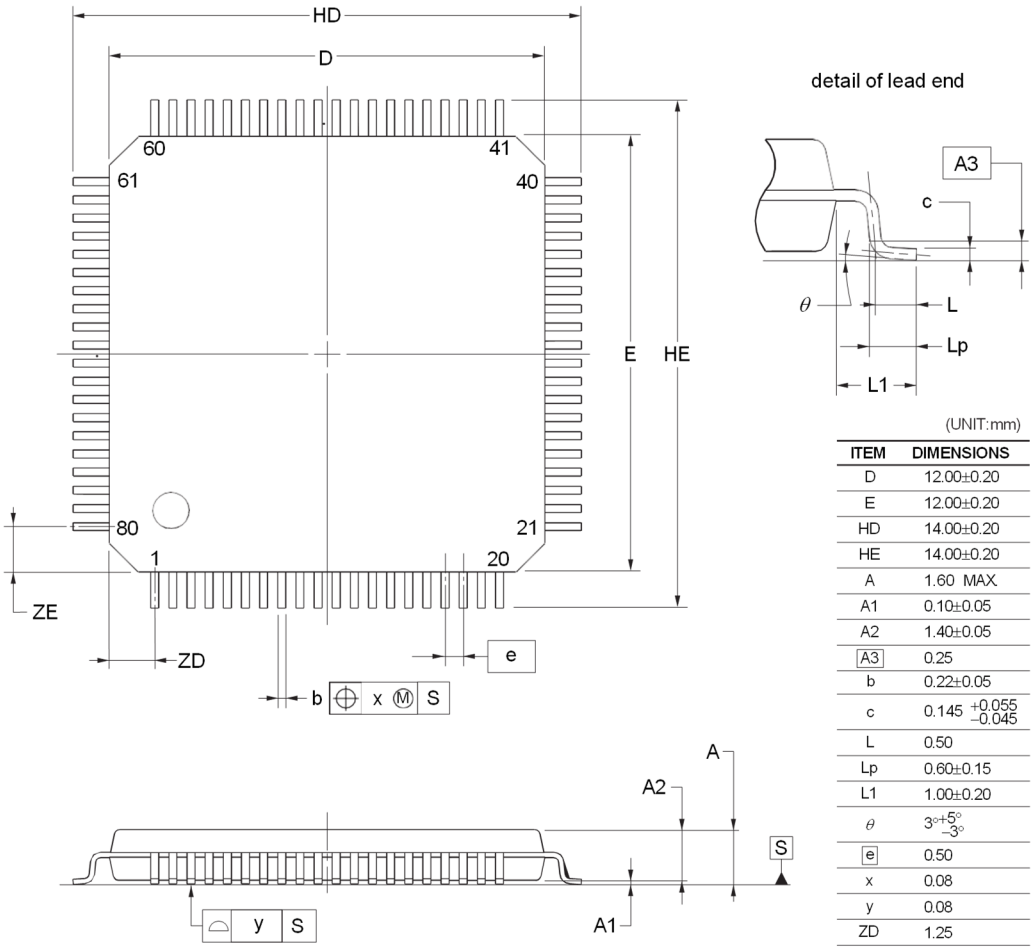
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

39.4　80 ピン製品

外形図は 2 種類あります。どちらの外形図を使用しているかは，製品捺印で確認できます。

詳細については，当社 Web サイトの製品パッケージ情報を参照ください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP80-12x12-0.50	PLQP0080KE-A	P80GK-50-8EU-2	0.53



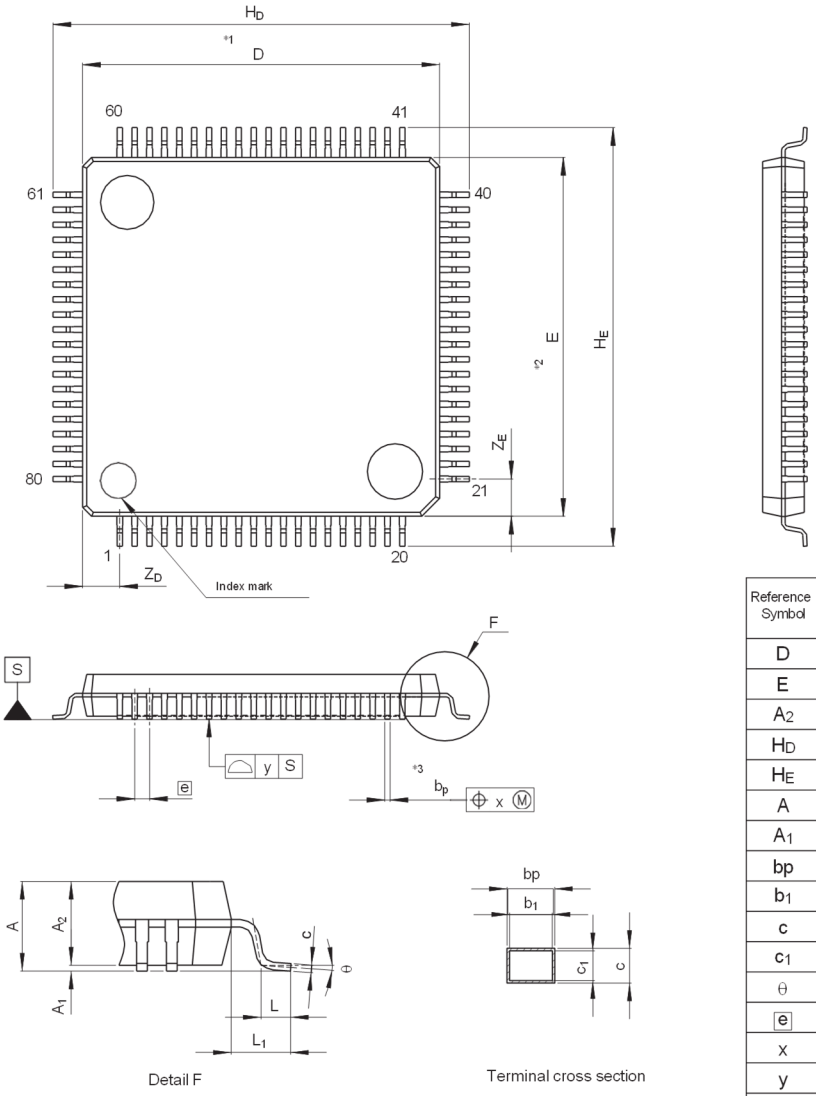
(UNIT:mm)

ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KG-A	—	0.50

Unit: mm



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.9	12.0	12.1
E	11.9	12.0	12.1
A_2	—	1.4	—
H_D	13.8	14.0	14.2
H_E	13.8	14.0	14.2
A	—	—	1.7
A_1	0.05	0.10	0.15
bp	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

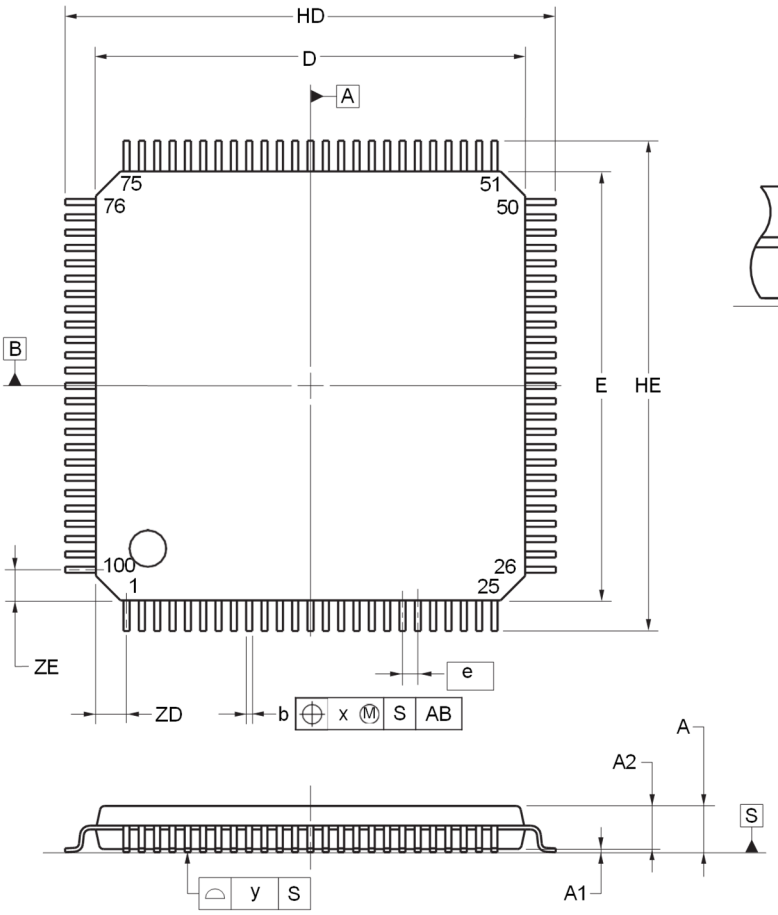
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

39.5　100 ピン製品

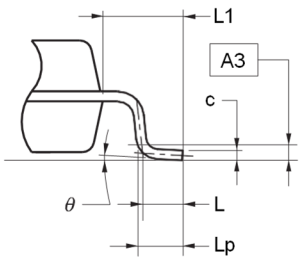
外形図は 2 種類あります。どちらの外形図を使用しているかは，製品捺印で確認できます。

詳細については，当社 Web サイトの製品パッケージ情報を参照ください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP100-14x14-0.50	PLQP0100KE-A	P100GC-50-GBR-1	0.69



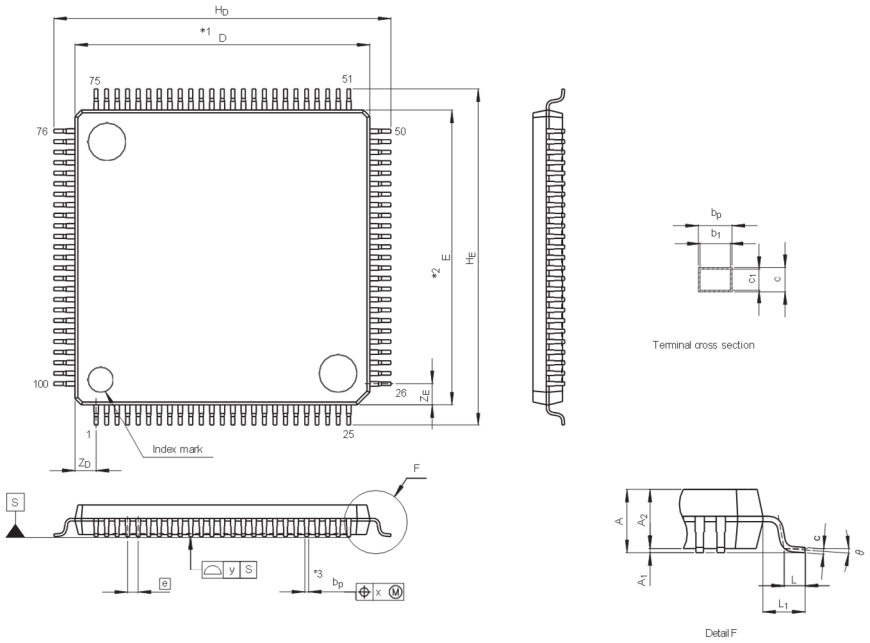
detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22 ±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP100-14x14-0.50	PLQP0100KB-A	100P6Q-A / FP-100U / FP-100UV	0.6g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.0	—
Z_E	—	1.0	—
L	0.35	0.5	0.65
L_1	—	1.0	—

付録 A　改訂履歴

A.1　主な変更点（Rev.1.10 → Rev.1.20）

(1/4)

変更箇所	内容	分類
第1章 概説		
p.3	表 1－1 RL78/F23, F24 ラインアップ（グレード 3）を変更	(d)
p.3	表 1－2 RL78/F23, F24 ラインアップ（グレード 4）を変更	(d)
p.3	表 1－3 RL78/F23, F24 ラインアップ（グレード 5）を変更	(d)
p.17	図 1－10 RL78/F24 の 100 ピン版の端子接続図を変更	(d)
p.18	図 1－11 RL78/F24 の 80 ピン版の端子接続図を変更	(d)
p.19	図 1－12 RL78/F23 の 80 ピン版の端子接続図を変更	(d)
p.20	図 1－13 RL78/F24 の 64 ピン版の端子接続図を変更	(d)
p.21	図 1－14 RL78/F23 の 64 ピン版の端子接続図を変更	(d)
p.22	図 1－15 RL78/F24 の 48 ピン版の端子接続図を変更	(d)
p.23	図 1－16 RL78/F23 の 48 ピン版の端子接続図を変更	(d)
p.24	図 1－17 RL78/F24 の 32 ピン版の端子接続図を変更	(d)
p.25	図 1－18 RL78/F23 の 32 ピン版の端子接続図を変更	(d)
第2章 端子機能		
p.66	表 2－6 各端子の未使用端子処理（RL78/F23 の 80 ピン版）（1/3）を変更	(c)
第3章 CPUアーキテクチャ		
p.113	図 3－40 不正メモリ・アクセス検出制御レジスタ（IAWCTL）構成を変更	(c)
第4章 ポート機能		
p.166	表 4－9 ポート 6 使用時のレジスタ設定（1/2）を変更	(a)
p.256	図 4－89 周辺 I/O リダイレクション・レジスタ 8（PIOR8）のフォーマットの注意 1 を注意に変更	(c)
p.256	図 4－89 周辺 I/O リダイレクション・レジスタ 8（PIOR8）のフォーマットの注意 2 削除	(c)
第5章 クロック発生回路		
p.323	5.6.3 XT1 発振回路の設定例 ⑦の bit[3:0]の"0"の記載位置を下段に変更	(a)
第8章 タイマRDe		
p.549	表 8－13 タイマ RD1 TRDIOj1 の PWM 出力遅延時間制御、表 8－14 タイマ RD0 TRDIOj0 の PWM 出力遅延時間制御に注意 7 を追加	(c)
p.653	8.6.3.8 注意事項 (8), (9)を追加	(c)
第14章 コンパレータ（RL78/F24のみ）		
p.797	14.3.2 コンパレータ割り込みを変更	(a)
第15章 シリアル・アレイ・ユニット		
p.805	図 15－1 シリアル・アレイ・ユニット 0 のブロック図を変更	(a)
p.806	図 15－2 シリアル・アレイ・ユニット 1 のブロック図を変更	(a)
p.815	15.3.4 シリアル通信動作設定レジスタ mn（SCRmn）を変更	(c)
p.1004	図 15－153 データ受信のタイミング・チャート(b)を変更	(a)

備考　表中の「分類」により，改訂内容を次のように区分しています。
(a)：誤記訂正，(b)：仕様の追加／変更，(c)：説明，注意事項の追加／変更，(d)：パッケージ，オーダ名称，管理区分の追加／変更，(e)：関連資料の追加／変更

(2/4)

変更箇所	内容	分類
第16章 シリアル・インタフェースIICA		
p.1029	16.3.7 IICA ハイ・レベル幅設定レジスタ 0（IICWH0）を変更	(c)
p.1029	16.3.7 IICA ハイ・レベル幅設定レジスタ 0（IICWH0）の備考を変更	(c)
p.1033	16.4.2 IICWL0, IICWH0 レジスタによる転送クロック設定方法に注意 3 を追加	(c)
第17章 LIN/UARTモジュール（RLIN3）		
p.1255	図 17－46 ノイズ・フィルタ使用時の受信データの決定を変更	(a)
第18章 CANインタフェース（RS-CANFD lite）（RL78/F24のみ）		
p.1278	18.3.2 CAN0 制御レジスタ（C0CTRH, C0CTRL）の RTBO を変更	(c)
p.1298	18.3.9 CAN0 CAN-FD CRC レジスタ（C0FDCRCH, C0FDCRCL）の CRCREG[20:0]を変更	(a)
p.1303	18.3.12 CAN 制御レジスタ（GCTRH, GCTRL）の TSRST を変更	(a)
p.1310	18.3.16 CAN タイム・スタンプ・レジスタ（GTSC）の TS[15:0]を変更	(c)
p.1311	18.3.17 CAN 受信ルール登録制御レジスタ（GAFLECTR）の AFLDAE を変更	(a)
p.1322	18.3.24 CAN 受信バッファ受信完了フラグ・レジスタ（RMND）の RMNS[15:0]を変更	(c)
p.1330	18.3.28 CAN 送受信 FIFO 制御レジスタ（CFCC）の CFIGCV[2:0]を変更	(c)
p.1330	18.3.28 CAN 送受信 FIFO 制御レジスタ（CFCC）の CFITR を変更	(c)
p.1348	18.3.41 CAN0 送信バッファ割り込み許可レジスタ（TMIEC）の TMIE[3:0]を変更	(c)
p.1351	18.3.43 CAN0 送信履歴ステータス・レジスタ（THLSTS）の THLIF を変更	(a)
p.1351	18.3.43 CAN0 送信履歴ステータス・レジスタ（THLSTS）の THLELT を変更	(a)
p.1394	18.5.9 CAN 送受信 FIFO アクセス ID レジスタ（CFIDH, CFIDL）の CFRTR を変更	(c)
p.1394, 1395	18.5.9 CAN 送受信 FIFO アクセス ID レジスタ（CFIDH, CFIDL） CFRTR の注意 1, 2 を変更	(c)
p.1395	18.5.9 CAN 送受信 FIFO アクセス ID レジスタ（CFIDH, CFIDL）の CFID[28:0]を変更	(a)
p.1476	図 18－45 チャネル割り込みブロック図を変更	(a)
p.1501	18.17 CAN モジュールに関する注意事項の RS-CANFD lite の割り込み処理を追加	(c)
第19章 DTC		
p.1524	19.3 動作説明を変更	(a)
p.1532	19.3.4 チェイン転送を変更	(c)
第 23 章 スタンバイ機能		
p. 1613	図 23－10 SNOOZE ステータス出力設定例を変更	(c)
第28章 機能安全		
p.1729	28.3.5 コード・フラッシュ・メモリ ECC 機能の動作の説明 4 を変更	(c)
p.1731	図 28－24 コード・フラッシュ・ビット・エラー検出機能制御レジスタ（CFERRCTLR）のフォーマットに注を追加	(c)
p.1738	28.3.5 コード・フラッシュ・メモリ ECC 機能の(8) フラッシュ ECC ライト・バッファ・レジスタ（FLWE）を変更	(a)
p.1738	図 28－31 フラッシュ ECC ライト・バッファ・レジスタ（FLWE）のフォーマットの注意 2 を変更	(c)
p.1749	図 28－40 クロック・モニタ・セルフテスト時の動作 (a)を変更	(c)
第31章 オプション・バイト		
p.1759	図 31－1 ユーザ・オプション・バイト（000C0H/040C0H）のフォーマットの注意を変更	(c)
p.1760, 1761	図 31－2 ユーザ・オプション・バイト（000C1H/040C1H）のフォーマットの備考を変更	(c)
p.1765	31.5 オプション・バイトの設定を変更	(c)

備考　表中の「分類」により，改訂内容を次のように区分しています。
(a)：誤記訂正，(b)：仕様の追加／変更，(c)：説明，注意事項の追加／変更，(d)：パッケージ，オーダ名称，管理区分の追加／変更，(e)：関連資料の追加／変更

(3/4)

変更箇所	内容	分類
第32章 フラッシュ・メモリ		
p.1767	第 32 章 フラッシュ・メモリの注意を追加	(c)
p.1767	第 32 章 フラッシュ・メモリ	(c)
p.1768	表 32－1 RL78/F23, F24 と専用フラッシュ・メモリ・プログラマの配線を変更	(d)
p.1781	32.7 セルフ・プログラミングを変更	(a)
p.1781	32.7 セルフ・プログラミングの注意 2,4 を変更	(a)
p.1781	32.7 セルフ・プログラミングの注意 5 を変更	(c)
p.1782	32.7.1 セルフ・プログラミング手順を変更	(c)
p.1782	図 32－8 セルフ・プログラミング（フラッシュ・メモリの書き換え）のフローを変更	(c)
p.1788	図 32－13 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット	(c)
p.1790	図 32－15 フラッシュ・レジスタ初期化レジスタ（FLRST）のフォーマットの注を変更	(a)
p.1791	図 32－16 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L（FSASTH, FSASTL）のフォーマットを変更	(c)
p.1794	32.7.2.11 フラッシュ・ステータス・レジスタ（PFS）を変更	(c)
p.1799	32.7.2.17 エクストラ領域シーケンサ制御レジスタ（FSSE）を変更	(a)
p.1805	32.7.6.4 コード・フラッシュ・メモリ領域の書き換え操作 (2)を変更	(c)
p.1805	32.7.6.4 コード・フラッシュ・メモリ領域の書き換え操作 (3)の注を変更	(c)
p.1806	32.7.6.5 データ・フラッシュ・メモリ領域の書き換え操作のコマンドの操作方法を変更	(c)
p.1811	32.7.6.9 各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順のコード/データ・フラッシュ・メモリ領域シーケンサのコマンド完了確認手順 (3)を変更	(c)
p.1811	32.7.6.9 各領域のフラッシュ・メモリ・シーケンサ・コマンドの完了確認手順のエクストラ領域シーケンサのコマンド完了確認手順 (3)を変更	(c)
p.1811	32.7.6.10 コード/データ・フラッシュ・メモリ領域シーケンサで使用するコマンドを強制終了する手順の強制終了の手順 (2), (3)を変更	(c)
p.1812	32.7.7 ブート・スワップ機能を変更	(c)
p.1814	表 32－13 フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係を変更	(c)
p.1818	32.7.10 セルフ・プログラミングの注意事項 (1), (3), (6)を変更	(a)
p.1818	32.7.10 セルフ・プログラミングの注意事項 (2)を変更	(c)
p.1819	32.8 セキュリティ設定を変更	(a)
p.1820	表 32－15 各プログラミング・モード時のセキュリティ設定方法 (2)を変更	(a)
p.1821	32.9.1 データ・フラッシュの概要を変更	(c)
p.1821	32.9.1 データ・フラッシュの概要の注意 2 を変更	(c)
p.1822	32.9.2 データ・フラッシュへのアクセス手順の概要を変更	(c)
p.1822	32.9.2 データ・フラッシュへのアクセス手順の概要の注意 3 を変更	(c)
第36章 電気的特性（グレード3）		
p.1861	36.2.4 PLL 回路特性を変更	(a)
p.1879	(2) 同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）の注 5 を変更	(a)
p.1880	(3) 同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，特殊スルー・レート）の注 5 を変更	(a)
p.1890	(9) 異電位（3 V 系）通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）の注 3 を変更	(a)
p.1896	36.5.2 シリアル・インタフェース IICA を変更	(a)

備考　表中の「分類」により，改訂内容を次のように区分しています。
(a)：誤記訂正，(b)：仕様の追加／変更，(c)：説明，注意事項の追加／変更，(d)：パッケージ，オーダ名称，管理区分の追加／変更，(e)：関連資料の追加／変更

(4/4)

変更箇所	内容	分類
第37章 電気的特性（グレード4）		
p.1914	37.2.4 PLL 回路特性を変更	(a)
p.1932	(2) 同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）の注 5 を変更	(a)
p.1933	(3) 同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，特殊スルー・レート）の注 5 を変更	(a)
p.1943	(9) 異電位（3 V 系）通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）の注 3 を変更	(a)
p.1949	37.5.2 シリアル・インタフェース IICA を変更	(a)
第38章 電気的特性（グレード5）		
p.1966	38.2.4 PLL 回路特性を変更	(a)
p.1984	(2) 同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）の注 5 を変更	(a)
p.1985	(3) 同電位通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，特殊スルー・レート）の注 5 を変更	(a)
p.1995	(9) 異電位（3 V 系）通信時（CSI モード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）の注 3 を変更	(a)
p.2001	38.5.2 シリアル・インタフェース IICA を変更	(a)
第39章 外形図		
p.2012	39.1 32 ピン製品に本文を追加	(c)
p.2013	39.1 32 ピン製品に外形図 PWQN0032KH-A を追加	(d)

備考　表中の「分類」により，改訂内容を次のように区分しています。
(a)：誤記訂正，(b)：仕様の追加／変更，(c)：説明，注意事項の追加／変更，(d)：パッケージ，オーダ名称，管理区分の追加／変更，(e)：関連資料の追加／変更

A.2　前版までの改訂履歴

(1/3)

版数	内容	適用箇所
Rev. 1.10	図 3－1，図 3－2　メモリ・マップの注記の誤りを修正 オンチップ・デバッグ・セキュリティ ID およびフラッシュ・シリアル・プログラミング・セキュリティ ID の注 7 を注 8 に修正	第 3 章　CPU
	表 4－5　P32 端子の入力/出力の備考欄の記載を修正	第 4 章　ポート機能
	図 4－96　PMS0 ビットの予約語定義の誤記（0）を修正	
	表 4－26　POMm，PIMm および PITHLm レジスタの対応ビットの誤記を修正	
	章「4.6.4　周辺 I/O リダイレクション・レジスタ設定時の注意事項」を新規に追加	
	図 6－54　動作再開の開始位置を「動作停止」に変更	第 6 章　タイマ・アレイ・ユニット
	図 6－66　動作再開の開始位置を「動作停止」に変更	
	図 6－71　図内の「動作中；ソフトウェア操作」の不要な説明（NFEN1, NFEN2 レジスタ設定）を削除	
	図 6－80　図内のレジスタ・シンボル名（TOEm, TOLm, TOMm）の誤記を修正	
	図 9－8（2/2）　RWAIT ビットの説明を変更	第 9 章　リアルタイム・クロック
	図 9－23　図下部の「注意」の記載を変更	
	図 9－24　図下部の「注意 1」の記載を変更	
	図 12－14　ADSSTRn レジスタのリセット時の値の誤記修正	第 12 章　12 ビット A/D コンバータ
	図 12－16　ADNDIS[4]ビットに注 1 を，ADNDIS[3:0]ビットに注 2 を付加し，注記をそれぞれ分けて記載	
	表 12－20 下の本文の「動作例 1～3，動作例 4，動作例 5」の参照先の誤記を修正	
	表 14－4　表題の端子および端子機能名称の誤りを修正	第 14 章　コンパレータ（RL78/F24 のみ）
	15.1.2　割り込み機能に「受信の転送完了割り込み」を追加	第 15 章　シリアル・アレイ・ユニット
	図 15－7　SCRmn レジスタのビット配置図の誤記修正（SLCmn01→SLCmn0 ビット）	
	図 15－8　図下部の備考 1 のレジスタ・シンボルの誤記修正（SDTmn→SDRmn）	
	図 15－9　図下部の注意 2 のレジスタ・シンボルの誤記修正（SSRn→SSRmn）	
	図 15－10　図下部の注意のビット・シンボルの誤記修正（OVEmn→OVFmn）	
	図 15－15　SOm レジスタのビット配置図の誤記修正（SOE1n→SO1n）	
	15.3.19　本文の記載に「シリアル・データ入出力（SDAmn）」の記載を追加。また，設定例に SDAmn 機能使用時の設定を追加	
	図 15－26 (d) のレジスタ・シンボル，ビット・シンボルの誤記修正（SOEm→SOm，SOEm1, SOEm0→SOm1, SOm0）	
	図 15－35 (e)　SOm レジスタの設定を削除（(d)と重複につき）	
	図 15－75　SOmn の出力の誤記を修正（SSImn のタイミングで “Hi-Z”）	
	図 15－80　マスタ送信につき，図内の SSIp 端子をスレーブ選択信号出力端子に変更	
	図 15－82　マスタ送信につき，図内の SSIp 端子をスレーブ選択信号出力端子に変更	
	図 15－85　図を修正	
	図 15－88　マスタ受信につき，図内にスレーブ選択信号出力端子を追加	
	図 15－90　マスタ受信につき，図内にスレーブ選択信号出力端子を追加	
	図 15－96　マスタ送受信につき，図内にスレーブ選択信号出力端子を追加	
	図 15－98　図を修正	
	図 15－100　スレーブ送信の初期設定手順（図 15－101）と合わせ，SSEm レジスタの設定を SOEm レジスタの設定後に移動	

(2/3)

版数	内容	適用箇所
Rev. 1.10	図 15－35 (e)　SOm レジスタの設定を削除（(d)と重複につき）	第 15 章　シリアル・アレイ・ユニット
	図 15－75　SOmn の出力の誤記を修正（SSImn のタイミングで “Hi-Z”）	
	図 15－80　マスタ送信につき，図内の SSIp 端子をスレーブ選択信号出力端子に変更	
	図 15－82　マスタ送信につき，図内の SSIp 端子をスレーブ選択信号出力端子に変更	
	図 15－85　図を修正	
	図 15－88　マスタ受信につき，図内にスレーブ選択信号出力端子を追加	
	図 15－90　マスタ受信につき，図内にスレーブ選択信号出力端子を追加	
	図 15－96　マスタ送受信につき，図内にスレーブ選択信号出力端子を追加	
	図 15－98　図を修正	
	図 15－100　スレーブ送信の初期設定手順（図 15－101）と合わせ，SSEm レジスタの設定を SOEm レジスタの設定後に移動	
	図 15－102　図下部の備考 1 の説明を修正	
	図 15－104　SPI 機能付クロック同期シリアル通信（スレーブ送信）につき SSIp 端子を図内に追加，および SSIp 端子の入力により SOp 端子の出力が “Hi-Z” になることを記載	
	図 15－106　スレーブ送信につき，図内に SSIp 端子を追加。および SSIp 端子の入力により SOp 端子の出力が “Hi-Z” になることを記載	
	図 15－108　スレーブ受信の初期設定手順（図 15－109）と合わせ，SSm レジスタの設定を SSEm レジスタの設定後に移動	
	図 15－112　スレーブ受信につき，図内に SSIp 端子を追加	
	図 15－114　スレーブ送受信の初期設定手順（図 15－115）と合わせ，SSm レジスタの設定を SSEm レジスタの設定後に移動	
	図 15－118　スレーブ送受信につき，図内に SSIp 端子を追加。および SSIp 端子の入力により SOp 端子の出力が “Hi-Z” になることを記載	
	図 15－120　スレーブ送受信につき，図内に SSIp 端子を追加。および SSIp 端子の入力により SOp 端子の出力が “Hi-Z” になることを記載	
	15.7　割り込み機能に「受信完了割り込み」を追加	
	図 15－123　SCRmn レジスタの DLSmn[3:0]ビット設定時の誤記修正（1111B：10 ビット・データ長→16 ビット・データ長）	
	図 15－131　SCRmn レジスタの DLSmn[3:0]ビット設定時の誤記修正（1111B：10 ビット・データ長→16 ビット・データ長）	
	図 15－156　図内の CKOmn ビット設定部にコメントを追加	
	17.2.1 (16)　LIN リセット・モード遷移に関する注記を追加	第 17 章　LIN/UART モジュール（RLIN3）
	17.2.2 (3)　ビット説明表下部の注意の誤記修正	
	17.2.2 (15)　LIN リセット・モード遷移に関する注記を追加	
	17.2.3 (3)　ビット説明表下部の注意の誤記修正	
	17.3.1　タイムアウト・エラー検出許可時に LIN リセット・モードに遷移する際の注意記載を追加	
	18.3.5　DBRP[7:0]ビットの設定値の誤記修正	第 18 章　CAN インタフェース（RS-CANFD lite）（RL78/F24 のみ）
	表 19－1　転送モード／リピート・モード時の仕様説明に高速 DTC の記載を追加	第 19 章　DTC
	19.3.4　DTCCR23 レジスタの注記を追加	
	19.4.2　汎用レジスタのアドレス誤記を修正	
	図 21－9　ISC0, ISC2, ISC3 ビットの予約語定義の誤記（0, 2, 3）を修正	第 21 章　割り込み機能
	21.4.5　割り込み要求保留命令が連続した場合の状態説明の例を追加	
	表 24－4　注 2 の文章を修正（ビット・シンボルの誤記訂正）	第 24 章　リセット機能
	図 24－6：注の POCRES ビットを POCRES0 ビットに修正	
	26.1　箇条書きの 4 つ目の説明文を修正	第 26 章　電圧検出回路

(3/3)

版数	内容	適用箇所
Rev. 1.10	図 27－37 (a) の処理に「OST ビット反映待ち (NOP)」を追加	第 27 章　アプリケーション・アクセラレータ・ユニット
	27.3.2.4　内部計算式の誤記を修正	
	27.3.2.5　内部計算式の誤記を修正	
	27.3.2.14　内部計算式の誤記を修正	
	図 28－3　フローの判定部の誤記を修正	第 28 章　機能安全
	説明 1 の表のシンドローム・コードのレジスタ・シンボルの誤記を修正	
	図 28－24　AEDST, BEDST，および OVFST の説明を修正	
	図 28－30　FLWH, FLWL レジスタのアドレス誤りを修正	
	図 28－43　端子名の誤記を修正（XI01 → TI01）	
	図 31－4　オンチップ・デバッグ動作のビット説明表に FLPEN ビットを追加。および図下部の注 1 のアドレス誤記を修正	第 31 章　オプション・バイト
	注意 3 の (T.B.D.) を削除	第 32 章　フラッシュ・メモリ
	図 32－8　フローの注釈部に HALT モードへの遷移禁止を記載	
	図 32－13　DCLR ビットの説明を修正	
	32.7.2.12　FSSQ レジスタの DCLR ビットの条件記載の誤記を修正	
	32.7.6.2　フラッシュ領域選択レジスタのレジスタ・シンボルの誤記を修正	
	32.9.1　箇条書きのモード遷移の記載に HALT モードへの遷移禁止を記載	
	ハイ・レベル入力電圧の略号欄の「V_{IH4}」に付加された注を削除	第 36 章　電気的特性（グレード 3）
	36.10　表下部の注 4 の記載を 38.10 の記載と合わせ修正	
	コード・フラッシュ・メモリ，およびデータ・フラッシュ・メモリの処理時間を追加	
	ハイ・レベル入力電圧の略号欄の「V_{IH4}」に付加された注を削除	第 37 章　電気的特性（グレード 4）
	37.10　表下部の注 4 の記載を 38.10 の記載と合わせ修正	
	コード・フラッシュ・メモリ，およびデータ・フラッシュ・メモリの処理時間を追加	
	ハイ・レベル入力電圧の略号欄の「V_{IH4}」に付加された注を削除	第 38 章　電気的特性（グレード 5）
	コード・フラッシュ・メモリ，およびデータ・フラッシュ・メモリの処理時間を追加	
	39.1　32 ピン製品の端子断面図の値を修正	第 39 章　外形図

RL78/F23, F24 ユーザーズマニュアル ハードウェア編

発行年月日　2025 年 12 月 31 日 Rev.1.20

発行　ルネサス エレクトロニクス株式会社
〒135-0061　東京都江東区豊洲 3-2-24（豊洲フォレシア）

RL78/F23, F24

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0944JJ0120