User's Manual

16

RL78/F15

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.20　2026.9

凡　例　データ表記の重み　：左が上位桁，右が下位桁

アクティブ・ロウの表記　：$\overline{\times\times\times}$（端子，信号名称に上線）

注　：本文中につけた注の説明

注意　：気をつけて読んでいただきたい内容

備考　：本文の補足説明

数の表記　：2進数…××××または××××B

10進数…××××

16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　　文	英　　文
RL78/F15　ユーザーズ・マニュアル　ハードウエア編	このマニュアル	R01UH0559E
RL78ファミリ ユーザーズ・マニュアル ソフトウエア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資　料　名	資料番号	
	和　　文	英　　文
★ PG-FP6 フラッシュ・メモリ・プログラマ・ユーザーズ・マニュアル	R20UT4469J	R20UT4469E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

	資　料　名	資料番号	
		和　　文	英　　文
	ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
★	半導体パッケージ　実装マニュアル	R50ZZ0003J	R50ZZ0003E
	信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。
Windows，Windows NTおよびWindows XPは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。
PC/ATは，米国IBM社の商標です。
SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2026 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対 象 者　このマニュアルはRL78/F15の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/F15のマニュアルは，このマニュアルとソフトウエア編（RL78ファミリ共通）の2冊に分かれています。

RL78/F15 ユーザーズ・マニュアル ハードウエア編	RL78ファミリ ユーザーズ・マニュアル ソフトウエア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/F15マイクロコントローラの命令機能の詳細を知りたいとき

→別冊の「RL78ファミリ ユーザーズ・マニュアル ソフトウエア編（R01US0015J）」を参照してください。

目次

第1章 概説 1

1.1 特徴 1
1.1.1 用途 2
1.2 製品一覧 3
1.3 機能概要 4
1.3.1 RL78/F15機能一覧 4
1.4 ブロック図 6
1.4.1 RL78/F15　R5F113TL　144ピン版のブロック図 6
1.4.2 RL78/F15　R5F113PL　100ピン版のブロック図 7
1.4.3 RL78/F15　R5F113ML　80ピン版のブロック図 8
1.4.4 RL78/F15　R5F113LL　64ピン版のブロック図 9
1.4.5 RL78/F15　R5F113GL　48ピン版のブロック図 10
1.5 端子接続図 11
1.5.1 RL78/F15　144ピン版の端子接続図 11
1.5.2 RL78/F15　100ピン版の端子接続図 12
1.5.3 RL78/F15　80ピン版の端子接続図 13
1.5.4 RL78/F15　64ピン版の端子接続図 14
1.5.5 RL78/F15　48ピン版の端子接続図 15
1.6 オーダ情報 16

第2章 端子機能 17

2.1 端子機能一覧 17
2.1.1 RL78/F15 144ピン版 18
2.1.2 RL78/F15 100ピン版 21
2.1.3 RL78/F15 80ピン版 24
2.1.4 RL78/F15 64ピン版 26
2.1.5 RL78/F15 48ピン版 28
2.1.6 製品別搭載端子（ポート以外の端子） 30
2.2 端子機能の説明 36
2.2.1 P00-P07（ポート0） 36
2.2.2 P10-P17（ポート1） 37
2.2.3 P20-P27（ポート2） 39
2.2.4 P30-P37（ポート3） 40
2.2.5 P40-P47（ポート4） 42
2.2.6 P50-P57（ポート5） 44
2.2.7 P60-P67（ポート6） 46
2.2.8 P70-P77（ポート7） 48
2.2.9 P80-P87（ポート8） 50
2.2.10 P90-P97（ポート9） 51
2.2.11 P100-P107（ポート10） 52
2.2.12 P110-P117（ポート11） 53
2.2.13 P120-P127（ポート12） 54
2.2.14 P130-P137（ポート13） 56
2.2.15 P140-P147（ポート14） 57
2.2.16 P150-P157（ポート15） 58
2.2.17 P160-P167（ポート16） 59

2.2.18 V_{DD}、EV_{DD0}、EV_{DD1}、V_{SS}、EV_{SS0}、EV_{SS1} 60
2.2.19 $\overline{\text{RESET}}$ 60
2.2.20 REGC 60
2.3 未使用端子の処理 61

第3章 CPUアーキテクチャ 65

3.1 メモリ空間 65
3.1.1 内部プログラム・メモリ空間 76
3.1.2 ミラー領域 80
3.1.3 内部データ・メモリ空間 82
3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域 83
3.1.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 83
3.1.6 データ・メモリ・アドレッシング 83
3.2 プロセッサ・レジスタ 89
3.2.1 制御レジスタ 89
3.2.2 汎用レジスタ 93
3.2.3 ES, CSレジスタ 94
3.2.4 特殊機能レジスタ（SFR：Special Function Register） 95
3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 101
3.3 命令アドレスのアドレッシング 152
3.3.1 レラティブ・アドレッシング 152
3.3.2 イミーディエト・アドレッシング 152
3.3.3 テーブル・インダイレクト・アドレッシング 153
3.3.4 レジスタ・ダイレクト・アドレッシング 154
3.4 処理データ・アドレスに対するアドレッシング 155
3.4.1 インプライド・アドレッシング 155
3.4.2 レジスタ・アドレッシング 155
3.4.3 ダイレクト・アドレッシング 156
3.4.4 ショート・ダイレクト・アドレッシング 157
3.4.5 SFRアドレッシング 158
3.4.6 レジスタ・インダイレクト・アドレッシング 159
3.4.7 ベースト・アドレッシング 160
3.4.8 ベースト・インデクスト・アドレッシング 163
3.4.9 スタック・アドレッシング 164

第4章 ポート機能 167

4.1 ポートの機能 167
4.2 ポートの構成 168
4.2.1 ポート0 169
4.2.2 ポート1 176
4.2.3 ポート2 187
4.2.4 ポート3 195
4.2.5 ポート4 205
4.2.6 ポート5 214
4.2.7 ポート6 224
4.2.8 ポート7 234
4.2.9 ポート8 245
4.2.10 ポート9 255
4.2.11 ポート10 258
4.2.12 ポート11 264

4.2.13 ポート12 266
4.2.14 ポート13 273
4.2.15 ポート14 278
4.2.16 ポート15 281
4.2.17 ポート16 288
4.3 ポート機能を制御するレジスタ 290
4.3.1 ポート・モード・レジスタ（PMxx） 299
4.3.2 ポート・レジスタ（Pxx） 300
4.3.3 プルアップ抵抗オプション・レジスタ（PUxx） 302
4.3.4 ポート入力モード・レジスタ（PIM1, PIM3, PIM5-PIM7, PIM12） 303
4.3.5 ポート出力モード・レジスタ（POM1, POM6, POM7, POM12） 304
4.3.6 ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12） 305
4.3.7 A/Dポート・コンフィギュレーション・レジスタ（ADPC） 306
4.3.8 ポート入力閾値制御レジスタ（PITHL0-PITHL7, PITHL10, PITHL12, PITHL15） 307
4.3.9 周辺I/Oリダイレクション・レジスタ0（PIOR0） 309
4.3.10 周辺I/Oリダイレクション・レジスタ1（PIOR1） 310
4.3.11 周辺I/Oリダイレクション・レジスタ2（PIOR2） 311
4.3.12 周辺I/Oリダイレクション・レジスタ3（PIOR3） 312
4.3.13 周辺I/Oリダイレクション・レジスタ4（PIOR4） 313
4.3.14 周辺I/Oリダイレクション・レジスタ5（PIOR5） 315
4.3.15 周辺I/Oリダイレクション・レジスタ6（PIOR6） 316
4.3.16 周辺I/Oリダイレクション・レジスタ7（PIOR7） 317
4.3.17 周辺I/Oリダイレクション・レジスタ8（PIOR8） 318
4.3.18 周辺I/Oリダイレクション・レジスタ9（PIOR9） 319
4.3.19 周辺I/Oリダイレクション・レジスタ10（PIOR10） 320
4.3.20 周辺I/Oリダイレクション・レジスタ11（PIOR11） 321
4.3.21 ポート出力スルー・レート選択レジスタ（PSRSEL） 322
4.3.22 SNOOZEステータス出力制御レジスタ0（PSNZCNT0） 323
4.3.23 SNOOZEステータス出力制御レジスタ1（PSNZCNT1） 324
4.3.24 SNOOZEステータス出力制御レジスタ2（PSNZCNT2） 325
4.3.25 SNOOZEステータス出力制御レジスタ3（PSNZCNT3） 326
4.3.26 ポート・モード選択レジスタ（PMS） 327
4.4 ポート機能の動作 328
4.4.1 入出力ポートへの書き込み 328
4.4.2 入出力ポートからの読み出し 328
4.4.3 入出力ポートでの演算 329
4.4.4 異電位（3 V系）外部デバイスとの接続方法 330
4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 332
4.6 ポート機能使用時の注意事項 341
4.6.1 ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 341
4.6.2 端子設定に関する注意事項 342

第5章 クロック発生回路 343

5.1 クロック発生回路の機能 343
5.2 クロック発生回路の構成 346
5.3 クロック発生回路を制御するレジスタ 349
5.3.1 クロック動作モード制御レジスタ（CMC） 349
5.3.2 システム・クロック制御レジスタ（CKC） 352
5.3.3 クロック動作ステータス制御レジスタ（CSC） 353
5.3.4 発振安定時間カウンタ状態レジスタ（OSTC） 354
5.3.5 発振安定時間選択レジスタ（OSTS） 356

5.3.6 周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）.....357
5.3.7 動作スピード・モード制御レジスタ（OSMC）.....363
5.3.8 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）.....364
5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）.....365
5.3.10 CANクロック選択レジスタ（CANCKSEL）.....366
5.3.11 LINクロック選択レジスタ（LINCKSEL）.....367
5.3.12 クロック選択レジスタ（CKSEL）.....368
5.3.13 PLL制御レジスタ（PLLCTL）.....369
5.3.14 PLL状態レジスタ（PLLSTS）.....371
5.3.15 f_{MP}クロック分周レジスタ（MDIV）.....372
5.4 システム・クロック発振回路.....373
5.4.1 X1発振回路.....373
5.4.2 XT1発振回路.....373
5.4.3 高速オンチップ・オシレータ.....377
5.4.4 PLL回路.....377
5.4.5 低速オンチップ・オシレータ.....377
5.4.6 WDT専用低速オンチップ・オシレータ.....377
5.5 クロック発生回路の動作.....378
5.6 クロックの制御.....380
5.6.1 高速オンチップ・オシレータの設定例.....380
5.6.2 X1発振回路の設定例.....382
5.6.3 XT1発振回路の設定例.....383
5.6.4 PLL設定例.....384
5.6.5 低速オンチップ・オシレータ設定例.....386
5.6.6 CPUクロック状態移行図.....387
5.6.7 CPUクロックの移行前の条件と移行後の処理.....391
5.6.8 CPUクロック、メイン／PLL選択クロック、
メイン・クロックの切り替えに要する時間.....394
5.6.9 クロック発振停止前の条件.....396
5.7 注意事項.....397
5.7.1 CPU／周辺ハードウェア・クロックについて.....397
5.7.2 高速オンチップ・オシレータについて.....397

第6章 タイマ・アレイ・ユニット.....398

6.1 タイマ・アレイ・ユニットの機能.....399
6.1.1 単独チャネル動作機能.....399
6.1.2 複数チャネル連動動作機能.....400
6.1.3 8ビット・タイマ動作機能（TAU0，TAU1のチャネル1, 3のみ）.....401
6.1.4 LIN-bus対応機能（ユニット0のチャネル7のみ）.....402
6.2 タイマ・アレイ・ユニットの構成.....403
6.2.1 タイマ・カウンタ・レジスタmn（TCRmn）.....410
6.2.2 タイマ・データ・レジスタmn（TDRmn）.....412
6.3 タイマ・アレイ・ユニットを制御するレジスタ.....414
6.3.1 周辺イネーブル・レジスタ0（PER0）.....415
6.3.2 周辺イネーブル・レジスタ1（PER1）.....416
6.3.3 タイマ・クロック選択レジスタm（TPSm）.....417
6.3.4 タイマ・モード・レジスタmn（TMRmn）.....419
6.3.5 タイマ・ステータス・レジスタmn（TSRmn）.....424
6.3.6 タイマ・チャネル許可ステータス・レジスタm（TEm）.....425
6.3.7 タイマ・チャネル開始レジスタm（TSm）.....426
6.3.8 タイマ・チャネル停止レジスタm（TTm）.....428

6.3.9 タイマ入力選択レジスタ0（TIS0）....429
6.3.10 タイマ入力選択レジスタ1（TIS1）....430
6.3.11 タイマ入力選択レジスタ2（TIS2）....431
6.3.12 タイマ出力許可レジスタm（TOEm）....432
6.3.13 タイマ出力レジスタm（TOm）....433
6.3.14 タイマ出力レベル・レジスタm（TOLm）....434
6.3.15 タイマ出力モード・レジスタm（TOMm）....435
6.3.16 ノイズ・フィルタ許可レジスタ1, 2, 3（NFEN1, NFEN2, NFEN3）....436
6.3.17 ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 11, 12, 14
（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14）....440
6.3.18 PWM出力遅延制御レジスタ1（PWMDLY1）....442
6.3.19 PWM出力遅延制御レジスタ2（PWMDLY2）....443
6.3.20 PWM出力遅延制御レジスタ3（PWMDLY3：144ピンのみ）....444
6.3.21 ユニット選択レジスタ（UTSEL：144ピンのみ）....445
6.4 タイマ・アレイ・ユニットの基本ルール....446
6.4.1 複数チャネル連動動作機能の基本ルール....446
6.4.2 8ビット・タイマ動作機能の基本ルール（ユニット0, 1のチャネル1, 3のみ）....448
6.5 カウンタの動作タイミング....449
6.5.1 カウント・クロック（f_{TCLK}）....449
6.5.2 カウンタのスタート・タイミング....451
6.5.3 カウンタの動作....452
6.6 チャネル出力（TOmn端子）の制御....457
6.6.1 TOmn端子の出力回路の構成....457
6.6.2 TOmn端子の出力設定....458
6.6.3 チャネル出力操作時の注意事項....459
6.6.4 TOmnビットの一括操作....464
6.6.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について....465
6.7 タイマ・アレイ・ユニットの単独チャネル動作機能....466
6.7.1 インターバル・タイマ／方形波出力としての動作....466
6.7.2 外部イベント・カウンタとしての動作....472
6.7.3 分周器としての動作....476
6.7.4 入力パルス間隔測定としての動作....480
6.7.5 入力信号のハイ／ロウ・レベル幅測定としての動作....485
6.7.6 ディレイ・カウンタとしての動作....489
6.8 タイマ・アレイ・ユニットの複数チャネル連動動作機能....493
6.8.1 ワンショット・パルス出力機能としての動作....493
6.8.2 PWM機能としての動作....500
6.8.3 多重PWM出力機能としての動作....507
6.9 タイマ・アレイ・ユニット使用時の注意事項....514
6.9.1 タイマ出力使用時の注意事項....514
6.9.2 レジスタアクセス時の注意事項....514

第7章 タイマRJ....515

7.1 概要....515
7.2 入出力端子....517
7.3 レジスタの説明....517
7.3.1 周辺イネーブル・レジスタ1（PER1）....518
7.3.2 動作スピード・モード制御レジスタ（OSMC）....519
7.3.3 クロック選択レジスタ（CKSEL）....520
7.3.4 タイマRJカウンタ・レジスタ0（TRJ0），タイマRJリロード・レジスタ....521
7.3.5 タイマRJ制御レジスタ0（TRJCR0）....522

7.3.6 タイマRJ I/O制御レジスタ0（TRJIOC0） 524
7.3.7 タイマRJモード・レジスタ0（TRJMR0） 526
7.3.8 タイマRJイベント端子選択レジスタ0（TRJISR0） 527
7.3.9 ポート・モード・レジスタ1, 4（PM1, PM4） 528
7.4 動作説明 529
7.4.1 リロード・レジスタとカウンタの書き換え動作 529
7.4.2 タイマ・モード 530
7.4.3 パルス出力モード 531
7.4.4 イベント・カウンタ・モード 532
7.4.5 パルス幅測定モード 534
7.4.6 パルス周期測定モード 535
7.4.7 イベントリンクコントローラ（ELC）との連携による動作 536
7.4.8 各モード出力設定 536
7.5 タイマRJ使用上の注意事項 537
7.5.1 カウント動作開始, 停止制御 537
7.5.2 フラグへのアクセス（TRJCR0レジスタのTEDGF, TUNDFビット） 537
7.5.3 カウンタ・レジスタへのアクセス 537
7.5.4 モード変更時 538
7.5.5 TRJO0, TRJIO0端子の設定手順 538
7.5.6 タイマRJ未使用時 538
7.5.7 タイマRJ動作クロック停止時 538
7.5.8 STOPモード（イベント・カウンタ・モード）の設定手順 539
7.5.9 STOPモード（イベント・カウンタ・モードのみ）での機能制限 539
7.5.10 TSTOPビットによる強制カウント停止時 539
7.5.11 デジタル・フィルタ 539
7.5.12 カウント・ソースにf_{IL}を選択する場合 539

第8章 タイマRD 540

8.1 概要 540
8.2 レジスタの説明 542
8.2.1 周辺イネーブル・レジスタ1（PER1） 544
8.2.2 クロック選択レジスタ（CKSEL） 545
8.2.3 タイマRD ELCレジスタ（TRDELC） 546
8.2.4 タイマRDスタート・レジスタ（TRDSTR） 547
8.2.5 タイマRDモード・レジスタ（TRDMR） 548
8.2.6 タイマRD PWM機能選択レジスタ（TRDPMR） 549
8.2.7 タイマRD機能制御レジスタ（TRDFCR） 550
8.2.8 タイマRD出力マスタ許可レジスタ1（TRDOER1） 551
8.2.9 タイマRD出力マスタ許可レジスタ2（TRDOER2） 552
8.2.10 タイマRD出力制御レジスタ（TRDOCR） 553
8.2.11 タイマRDデジタル・フィルタ機能選択レジスタi（TRDDFi）（i = 0, 1） 556
8.2.12 タイマRD制御レジスタi（TRDCRi）（i = 0, 1） 558
8.2.13 タイマRD I/O制御レジスタAi（TRDIORAi）（i = 0, 1） 563
8.2.14 タイマRD I/O制御レジスタCi（TRDIORCi）（i = 0, 1） 565
8.2.15 タイマRDステータス・レジスタi（TRDSRi）（i = 0, 1） 567
8.2.16 タイマRD割り込み許可レジスタi（TRDIERi）（i = 0, 1） 570
8.2.17 タイマRD PWM機能出力レベル制御レジスタi（TRDPOCRi）（i = 0, 1） 571
8.2.18 タイマRDカウンタi（TRDi）（i = 0, 1） 572
8.2.19 タイマRDジェネラル・レジスタAi, Bi, Ci, Di
（TRDGRAi, TRDGRBi, TRDGRCi,TRDGRDi）（i = 0, 1） 574
8.2.20 PWM出力遅延制御レジスタ0（PWMDLY0） 583

8.2.21 ポート・モード・レジスタ（PM1, PM3, PM12） 584
8.3 動作説明 585
8.3.1 複数モードに関わる共通事項 585
8.3.2 インプットキャプチャ機能 594
8.3.3 アウトプットコンペア機能 598
8.3.4 PWM機能 603
8.3.5 リセット同期PWMモード 607
8.3.6 相補PWMモード 610
8.3.7 PWM3モード 614
8.4 タイマRD割り込み 617
8.5 タイマRD使用上の注意 619
8.5.1 SFRリード/ライトアクセス 619
8.5.2 モードの切り替え 620
8.5.3 カウント・ソース 620
8.5.4 インプットキャプチャ機能 620
8.5.5 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順（i = 0, 1） 621
8.5.6 外部クロック　TRDCLK0 621
8.5.7 リセット同期PWMモード 621
8.5.8 相補PWMモード 622
8.5.9 タイマRD割り込み使用時の注意事項 626

第9章 リアルタイム・クロック 627

9.1 リアルタイム・クロックの機能 627
9.2 リアルタイム・クロックの構成 627
9.3 リアルタイム・クロックを制御するレジスタ 629
9.3.1 周辺イネーブル・レジスタ0（PER0） 630
9.3.2 動作スピード・モード制御レジスタ（OSMC） 631
9.3.3 タイマ入力選択レジスタ1（TIS1） 632
9.3.4 タイマ入力選択レジスタ2（TIS2） 633
9.3.5 RTCクロック選択レジスタ（RTCCL） 634
9.3.6 リアルタイム・クロック・コントロール・レジスタ0（RTCC0） 635
9.3.7 リアルタイム・クロック・コントロール・レジスタ1（RTCC1） 636
9.3.8 秒カウント・レジスタ（SEC） 638
9.3.9 分カウント・レジスタ（MIN） 638
9.3.10 時カウント・レジスタ（HOUR） 639
9.3.11 日カウント・レジスタ（DAY） 641
9.3.12 曜日カウント・レジスタ（WEEK） 642
9.3.13 月カウント・レジスタ（MONTH） 643
9.3.14 年カウント・レジスタ（YEAR） 643
9.3.15 時計誤差補正レジスタ（SUBCUD） 644
9.3.16 16ビット時計誤差補正レジスタ（SUBCUDW） 645
9.3.17 アラーム分レジスタ（ALARMWM） 646
9.3.18 アラーム時レジスタ（ALARMWH） 646
9.3.19 アラーム曜日レジスタ（ALARMWW） 646
9.4 リアルタイム・クロックの動作 648
9.4.1 リアルタイム・クロックの動作開始 648
9.4.2 動作開始後のHALT/STOPモードへの移行 649
9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み 650
9.4.4 リアルタイム・クロックのアラーム設定 652
9.4.5 リアルタイム・クロックの1Hz出力 653
9.4.6 リアルタイム・クロックの時計誤差補正例 654

第10章 クロック出力／ブザー出力制御回路.....657

10.1 クロック出力／ブザー出力制御回路の機能.....657
10.2 クロック出力／ブザー出力制御回路の構成.....659
10.3 クロック出力／ブザー出力制御回路を制御するレジスタ.....659
10.3.1 クロック出力選択レジスタ0（CKS0）.....659
10.3.2 クロック選択レジスタ（CKSEL）.....661
10.3.3 ポート・モード・レジスタ14（PM14）.....662
10.4 クロック出力／ブザー出力制御回路の動作.....663
10.4.1 出力端子の動作.....663
10.5 クロック出力／ブザー出力制御回路の注意事項.....663

第11章 ウォッチドッグ・タイマ.....664

11.1 ウォッチドッグ・タイマの機能.....664
11.2 ウォッチドッグ・タイマの構成.....665
11.3 ウォッチドッグ・タイマを制御するレジスタ.....666
11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）.....666
11.4 ウォッチドッグ・タイマの動作.....667
11.4.1 ウォッチドッグ・タイマの動作制御.....667
11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定.....668
11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定.....669
11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定.....670

第12章 A/Dコンバータ.....671

12.1 A/Dコンバータの機能.....672
12.2 A/Dコンバータの構成.....674
12.3 A/Dコンバータで使用するレジスタ.....676
12.3.1 周辺イネーブル・レジスタ0（PER0）.....677
12.3.2 A/Dコンバータ・モード・レジスタ0（ADM0）.....678
12.3.3 A/Dコンバータ・モード・レジスタ1（ADM1）.....687
12.3.4 A/Dコンバータ・モード・レジスタ2（ADM2）.....688
12.3.5 10ビットA/D変換結果レジスタ（ADCR）.....690
12.3.6 8ビットA/D変換結果レジスタ（ADCRH）.....690
12.3.7 アナログ入力チャネル指定レジスタ（ADS）.....691
12.3.8 変換結果比較上限値設定レジスタ（ADUL）.....693
12.3.9 変換結果比較下限値設定レジスタ（ADLL）.....693
12.3.10 A/Dテスト・レジスタ（ADTES）.....694
12.3.11 A/Dポート・コンフィギュレーション・レジスタ（ADPC）.....695
12.3.12 ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）.....696
12.3.13 ポート・モード・レジスタ3,7-10,12（PM3, PM7-PM10, PM12）.....697
12.4 A/Dコンバータの変換動作.....700
12.5 入力電圧と変換結果.....702
12.6 A/Dコンバータの動作モード.....703
12.6.1 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）.....703
12.6.2 ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）.704
12.6.3 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）.....705
12.6.4 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）.706
12.6.5 ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，連続変換モード）.....707

12.6.6 ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，ワンショット変換モード）.....708
12.6.7 ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，連続変換モード）.....709
12.6.8 ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，ワンショット変換モード）.....710
12.6.9 ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，連続変換モード）.....711
12.6.10 ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，ワンショット変換モード）.....712
12.6.11 ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，連続変換モード）.....713
12.6.12 ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，ワンショット変換モード）.....714
12.7 A/Dコンバータの設定フロー・チャート.....715
12.7.1 ソフトウエア・トリガ・モード設定.....716
12.7.2 ハードウエア・トリガ・ノーウエイト・モード設定.....717
12.7.3 ハードウエア・トリガ・ウエイト・モード設定.....718
12.7.4 温度センサ使用時の設定
（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）.....719
12.7.5 テスト・モード設定.....720
12.8 SNOOZEモード機能.....721
12.8.1 A/D変換終了後に割り込みが発生する場合.....722
12.8.2 A/D変換終了後に割り込みが発生しない場合.....723
12.9 A/Dコンバータ特性表の読み方.....724
12.10 A/Dコンバータの注意事項.....727

第13章 D/Aコンバータ.....731

13.1 D/Aコンバータの機能.....731
13.2 D/Aコンバータの構成.....732
13.3 D/Aコンバータで使用するレジスタ.....733
13.3.1 A/Dポート・コンフィギュレーション・レジスタ（ADPC）.....734
13.3.2 周辺イネーブル・レジスタ1（PER1）.....735
13.3.3 D/Aコンバータ・モード・レジスタ（DAM）.....736
13.3.4 D/Aコンバータ・モード・レジスタ2（DAM2）.....737
13.3.5 D/A変換値設定レジスタ0（DACS0）.....738
13.3.6 ポート・モード・レジスタ8（PM8）.....739
13.4 D/Aコンバータの動作.....740
13.4.1 通常モード時の動作.....740
13.4.2 リアルタイム出力モード時の動作.....741
13.5 D/Aコンバータ使用上の注意事項.....742

第14章 コンパレータ.....743

14.1 概要.....743
14.2 コンパレータを制御するレジスタ.....744
14.2.1 周辺イネーブル・レジスタ1（PER1）.....745
14.2.2 コンパレータ制御レジスタ（CMPCTL）.....746
14.2.3 コンパレータ入出力切替レジスタ（CMPSEL）.....748
14.2.4 コンパレータ出力モニタ・レジスタ（CMPMON）.....749
14.2.5 A/Dポート・コンフィギュレーション・レジスタ（ADPC）.....750

14.2.6 D/Aコンバータ・モード・レジスタ2（DAM2） 751
14.2.7 ポート・モード・レジスタ4（PM4） 752
14.2.8 ポート・モード・レジスタ8（PM8） 753
14.3 動作説明 754
14.3.1 ノイズ・フィルタ 755
14.3.2 コンパレータ割り込み 756
14.3.3 コンパレータELCイベント出力 756
14.3.4 コンパレータの端子出力 756
14.3.5 コンパレータ・クロック停止／供給 756
14.3.6 コンパレータの設定フロー・チャート 757

第15章 シリアル・アレイ・ユニット 759

15.1 シリアル・アレイ・ユニットの機能 760
15.1.1 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21） 760
15.1.2 UART（UART0, UART1, UART2） 761
15.1.3 簡易I^2C（IIC00, IIC01, IIC10, IIC11） 762
15.2 シリアル・アレイ・ユニットの構成 763
15.3 シリアル・アレイ・ユニットを制御するレジスタ 770
15.3.1 周辺イネーブル・レジスタ0（PER0） 771
15.3.2 周辺イネーブル・レジスタ1（PER1） 772
15.3.3 シリアル・クロック選択レジスタm（SPSm） 773
15.3.4 シリアル・モード・レジスタmn（SMRmn） 774
15.3.5 シリアル通信動作設定レジスタmn（SCRmn） 776
15.3.6 シリアル・データ・レジスタmn（SDRmn）の上位7ビット 779
15.3.7 シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn） 780
15.3.8 シリアル・ステータス・レジスタmn（SSRmn） 781
15.3.9 シリアル・チャネル開始レジスタm（SSm） 783
15.3.10 シリアル・チャネル停止レジスタm（STm） 784
15.3.11 シリアル・チャネル許可ステータス・レジスタm（SEm） 785
15.3.12 シリアル出力許可レジスタm（SOEm） 786
15.3.13 シリアル出力レジスタm（SOm） 787
15.3.14 シリアル出力レベル・レジスタm（SOLm） 788
15.3.15 シリアル・スレーブ選択許可レジスタm（SSEm） 789
15.3.16 シリアル・スタンバイ・コントロール・レジスタm（SSCm） 790
15.3.17 入力切り替え制御レジスタ（ISC） 791
15.3.18 ノイズ・フィルタ許可レジスタ0（NFEN0） 792
15.3.19 ユニット選択レジスタ（UTSEL） 793
15.3.20 ポート入力モード・レジスタ1, 3, 5-7, 12（PIM1, PIM3, PIM5-7, PIM12） 794
15.3.21 ポート出力モード・レジスタ1, 6, 7, 12（POM1, POM6, POM7, POM12） 795
15.3.22 ポート・モード・レジスタ 0-7, 12, 15（PM0-PM7, PM12, PM15） 796
15.4 動作停止モード 798
15.4.1 ユニット単位で動作停止とする場合 799
15.4.2 チャネルごとに動作停止とする場合 800
15.5 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信の動作 802
15.5.1 マスタ送信 804
15.5.2 マスタ受信 817
15.5.3 マスタ送受信 830
15.5.4 スレーブ送信 843
15.5.5 スレーブ受信 857
15.5.6 スレーブ送受信 867
15.5.7 SNOOZEモード機能 881

15.5.8 転送クロック周波数の算出 885
15.5.9 3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）
通信時におけるエラー発生時の処理手順 887
15.6 SPI機能付クロック同期シリアル通信の動作 888
15.6.1 マスタ送信 892
15.6.2 マスタ受信 901
15.6.3 マスタ送受信 910
15.6.4 スレーブ送信 919
15.6.5 スレーブ受信 928
15.6.6 スレーブ送受信 935
15.6.7 転送クロック周波数の算出 944
15.6.8 SPI機能付クロック同期シリアル通信時におけるエラー発生時の処理手順 946
15.7 UART（UART0, UART1, UART2）通信の動作 947
15.7.1 UART送信 949
15.7.2 UART受信 962
15.7.3 ボー・レートの算出 972
15.7.4 UART（UART0, UART1, UART2）通信時におけるエラー発生時の処理手順 976
15.8 LIN通信の動作 977
15.8.1 LIN送信 977
15.8.2 LIN受信 980
15.9 簡易I²C（IIC00, IIC01, IIC10, IIC11）通信の動作 985
15.9.1 アドレス・フィールド送信 987
15.9.2 データ送信 993
15.9.3 データ受信 997
15.9.4 ストップ・コンディション発生 1002
15.9.5 転送レートの算出 1003
15.9.6 簡易I²C（IIC00, IIC01, IIC10, IIC11）通信時におけるエラー発生時の処理手順 1006

第16章 シリアル・インタフェースIICA 1007

16.1 シリアル・インタフェースIICAの機能 1007
16.2 シリアル・インタフェースIICAの構成 1010
16.3 シリアル・インタフェースIICAを制御するレジスタ 1013
16.3.1 周辺イネーブル・レジスタ0（PER0） 1013
16.3.2 IICAコントロール・レジスタ00（IICCTL00） 1014
16.3.3 IICAステータス・レジスタ0（IICS0） 1019
16.3.4 IICAフラグ・レジスタ0（IICF0） 1021
16.3.5 IICAコントロール・レジスタ01（IICCTL01） 1023
16.3.6 IICAロウ・レベル幅設定レジスタ0（IICWL0） 1025
16.3.7 IICAハイ・レベル幅設定レジスタ0（IICWH0） 1025
16.3.8 ポート・モード・レジスタ6（PM6） 1026
16.3.9 ポート出力モード・レジスタ6（POM6） 1027
16.4 I²Cバス・モードの機能 1028
16.4.1 端子構成 1028
16.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法 1029
16.5 I²Cバスの定義および制御方法 1031
16.5.1 スタート・コンディション 1031
16.5.2 アドレス 1032
16.5.3 転送方向指定 1032
16.5.4 アクノリッジ（ACK） 1033
16.5.5 ストップ・コンディション 1034
16.5.6 ウエイト 1035

16.5.7 ウエイト解除方法 1037
16.5.8 割り込み要求（INTIICA0）発生タイミングおよびウエイト制御 1038
16.5.9 アドレスの一致検出方法 1039
16.5.10 エラーの検出 1039
16.5.11 拡張コード 1040
16.5.12 アービトレーション 1041
16.5.13 ウエイク・アップ機能 1043
16.5.14 通信予約 1046
16.5.15 その他の注意事項 1050
16.5.16 通信動作 1051
16.5.17 I^2C割り込み要求（INTIICA0）の発生タイミング 1059
16.6 タイミング・チャート 1080

第17章 LIN/UARTモジュール（RLIN3） 1095

17.1 概要 1095
17.2 レジスタの説明 1100
17.2.1 LINマスタ関連レジスタ 1102
17.2.2 LINスレーブ関連レジスタ 1132
17.2.3 UART関連レジスタ 1160
17.3 モード 1191
17.3.1 LINリセットモード 1193
17.3.2 LINモード 1194
17.3.3 UARTモード 1196
17.3.4 LINセルフテストモード 1196
17.4 LINモード 1197
17.4.1 動作概要 1197
17.4.2 データ送信／受信 1206
17.4.3 送信／受信データのバッファ処理 1208
17.4.4 ウェイクアップ送信／受信 1211
17.4.5 ステータス 1213
17.4.6 エラーステータス 1215
17.5 UARTモード 1219
17.5.1 動作概要 1219
17.5.2 データ送信/受信 1233
17.5.3 送信データのバッファ処理 1235
17.5.4 ステータス 1236
17.5.5 エラーステータス 1237
17.6 LINセルフテストモード 1238
17.6.1 LINセルフテストモードへの移行 1239
17.6.2 LINマスタ セルフテストモードにおける送信 1239
17.6.3 LINマスタ セルフテストモードにおける受信 1240
17.6.4 LINスレーブ セルフテストモードにおける送信 1241
17.6.5 LINスレーブ セルフテストモードにおける受信 1243
17.6.6 LINセルフテストモード終了 1244
17.7 ボー・レート・ジェネレータ 1245
17.7.1 LINマスタモード 1245
17.7.2 LINスレーブモード 1247
17.7.3 UARTモード 1249
17.8 ノイズフィルタ 1250
17.9 割り込み 1252

第18章 CANインタフェース（RS-CAN lite） 1253

18.1 概要 1253
18.2 入出力端子 1255
18.3 レジスタの説明 1256
18.3.1 CANiビット・コンフィグレーション・レジスタL（CiCFGL）（i = 0, 1） 1294
18.3.2 CANiビット・コンフィグレーション・レジスタH（CiCFGH）（i = 0, 1） 1295
18.3.3 CANi制御レジスタL（CiCTRL）（i = 0, 1） 1297
18.3.4 CANi制御レジスタH（CiCTRH）（i = 0, 1） 1299
18.3.5 CANiステータス・レジスタL（CiSTSL）（i = 0, 1） 1301
18.3.6 CANiステータス・レジスタH（CiSTSH）（i = 0, 1） 1303
18.3.7 CANiエラー・フラグ・レジスタL（CiERFLL）（i = 0, 1） 1304
18.3.8 CANiエラー・フラグ・レジスタH（CiERFLH）（i = 0, 1） 1307
18.3.9 CANグローバル設定レジスタL（GCFGL） 1308
18.3.10 CANグローバル設定レジスタH（GCFGH） 1310
18.3.11 CANグローバル制御レジスタL（GCTRL） 1311
18.3.12 CANグローバル制御レジスタH（GCTRH） 1312
18.3.13 CANグローバル・ステータス・レジスタ（GSTS） 1313
18.3.14 CANグローバル・エラー・フラグ・レジスタ（GERFLL） 1314
18.3.15 CANグローバル送信割り込みステータス・レジスタ（GTINTSTS） 1315
18.3.16 CANタイムスタンプ・レジスタ（GTSC） 1317
18.3.17 CAN受信ルール数設定レジスタ（GAFLCFG） 1318
18.3.18 CAN受信ルール登録レジスタjAL（GAFLIDLj）（j = 0〜39） 1319
18.3.19 CAN受信ルール登録レジスタjAH（GAFLIDHj）（j = 0〜39） 1320
18.3.20 CAN受信ルール登録レジスタjBL（GAFLMLj）（j = 0〜39） 1321
18.3.21 CAN受信ルール登録レジスタjBH（GAFLMHj）（j = 0〜39） 1322
18.3.22 CAN受信ルール登録レジスタjCL（GAFLPLj）（j = 0〜39） 1323
18.3.23 CAN受信ルール登録レジスタjCH（GAFLPHj）（j = 0〜39） 1325
18.3.24 CAN受信バッファ数設定レジスタ（RMNB） 1326
18.3.25 CAN受信バッファ受信完了フラグ・レジスタ0, 1（RMND0, 1） 1327
18.3.26 CAN受信バッファ・レジスタnAL（RMIDLn）（n = 0〜31） 1328
18.3.27 CAN受信バッファ・レジスタnAH（RMIDHn）（n = 0〜31） 1329
18.3.28 CAN受信バッファ・レジスタnBL（RMTSn）（n = 0〜31） 1330
18.3.29 CAN受信バッファ・レジスタnBH（RMPTRn）（n = 0〜31） 1331
18.3.30 CAN受信バッファ・レジスタnCL（RMDF0n）（n = 0〜31） 1332
18.3.31 CAN受信バッファ・レジスタnCH（RMDF1n）（n = 0〜31） 1333
18.3.32 CAN受信バッファ・レジスタnDL（RMDF2n）（n = 0〜31） 1334
18.3.33 CAN受信バッファ・レジスタnDH（RMDF3n）（n = 0〜31） 1335
18.3.34 CAN受信FIFO制御レジスタm（RFCCm）（m = 0〜3） 1336
18.3.35 CAN受信FIFOステータス・レジスタm（RFSTSm）（m = 0〜3） 1338
18.3.36 CAN受信FIFOポインタ制御レジスタm（RFPCTRm）（m = 0〜3） 1340
18.3.37 CAN受信FIFOアクセス・レジスタmAL（RFIDLm）（m = 0〜3） 1341
18.3.38 CAN受信FIFOアクセス・レジスタmAH（RFIDHm）（m = 0〜3） 1342
18.3.39 CAN受信FIFOアクセス・レジスタmBL（RFTSm）（m = 0〜3） 1343
18.3.40 CAN受信FIFOアクセス・レジスタmBH（RFPTRm）（m = 0〜3） 1344
18.3.41 CAN受信FIFOアクセス・レジスタmCL（RFDF0m）（m = 0〜3） 1345
18.3.42 CAN受信FIFOアクセス・レジスタmCH（RFDF1m）（m = 0〜3） 1346
18.3.43 CAN受信FIFOアクセス・レジスタmDL（RFDF2m）（m = 0〜3） 1347
18.3.44 CAN受信FIFOアクセス・レジスタmDH（RFDF3m）（m = 0〜3） 1348
18.3.45 CANi送受信FIFO制御レジスタkL（CFCCLk）（i = 0, 1、k = 0, 1） 1349
18.3.46 CANi送受信FIFO制御レジスタkH（CFCCHk）（i = 0, 1、k = 0, 1） 1351
18.3.47 CANi送受信FIFOステータス・レジスタk（CFSTSk）（i = 0, 1、k = 0, 1） 1353

18.3.48 CANi送受信FIFOポインタ制御レジスタk（CFPCTRk）（i = 0, 1、k = 0, 1） 1355
18.3.49 CANi送受信FIFOアクセス・レジスタkAL（CFIDLk）（i = 0, 1、k = 0, 1）.....1356
18.3.50 CANi送受信FIFOアクセス・レジスタkAH（CFIDHk）（i = 0, 1、k = 0, 1） 1357
18.3.51 CANi送受信FIFOアクセス・レジスタkBL（CFTSk）（i = 0, 1、k = 0, 1）.....1358
18.3.52 CANi送受信FIFOアクセス・レジスタkBH（CFPTRk）（i = 0, 1、k = 0, 1） 1359
18.3.53 CANi送受信FIFOアクセス・レジスタkCL（CFDF0k）（i = 0, 1、k = 0, 1） 1360
18.3.54 CANi送受信FIFOアクセス・レジスタkCH（CFDF1k）（i = 0, 1、k = 0, 1） 1361
18.3.55 CANi送受信FIFOアクセス・レジスタkDL（CFDF2k）（i = 0, 1、k = 0, 1） 1362
18.3.56 CANi送受信FIFOアクセス・レジスタkDH（CFDF3k）（i = 0, 1、k = 0, 1） 1363
18.3.57 受信FIFOメッセージ・ロスト・ステータス・レジスタ（RFMSTS） 1364
18.3.58 CAN送受信FIFOメッセージ・ロスト・ステータス・レジスタ（CFMSTS） 1365
18.3.59 CAN受信FIFO割り込みステータス・レジスタ（RFISTS） 1366
18.3.60 CAN送受信FIFO受信割り込みステータス・レジスタ（CFISTS） 1367
18.3.61 CANi送信バッファ制御レジスタp（TMCp）（i = 0, 1、p = 0～7） 1368
18.3.62 CANi送信バッファ・ステータス・レジスタp（TMSTSp）（i = 0, 1、p = 0～7） ..1370
18.3.63 CAN送信バッファ送信要求ステータス・レジスタ（TMTRSTS） 1371
18.3.64 CAN送信バッファ送信完了ステータス・レジスタ（TMTCSTS） 1372
18.3.65 CAN送信バッファ送信アボート・ステータス・レジスタ（TMTASTS） 1373
18.3.66 CAN送信バッファ割り込み許可レジスタ（TMIEC） 1374
18.3.67 CANi送信バッファ・レジスタpAL（TMIDLp）（i = 0, 1、p = 0～7） 1375
18.3.68 CANi送信バッファ・レジスタpAH（TMIDHp）（i = 0, 1、p = 0～7） 1376
18.3.69 CANi送信バッファ・レジスタpBH（TMPTRp）（i = 0, 1、p = 0～7） 1377
18.3.70 CANi送信バッファ・レジスタpCL（TMDF0p）（i = 0, 1、p = 0～7） 1378
18.3.71 CANi送信バッファ・レジスタpCH（TMDF1p）（i = 0, 1、p = 0～7） 1379
18.3.72 CANi送信バッファ・レジスタpDL（TMDF2p）（i = 0, 1、p = 0～7） 1380
18.3.73 CANi送信バッファ・レジスタpDH（TMDF3p）（i = 0, 1、p = 0～7） 1381
18.3.74 CANi送信履歴バッファ制御レジスタ（THLCCi）（i = 0, 1） 1382
18.3.75 CANi送信履歴バッファ・ステータス・レジスタ（THLSTSi）（i = 0, 1） 1383
18.3.76 CANi送信履歴バッファ・アクセス・レジスタ（THLACCi）（i = 0, 1） 1384
18.3.77 CANi送信履歴バッファ・ポインタ制御レジスタ（THLPCTRi）（i = 0, 1） 1385
18.3.78 CANグローバルRAMウィンドウ制御レジスタ（GRWCR） 1386
18.3.79 CANグローバル・テスト設定レジスタ（GTSTCFG） 1387
18.3.80 CANグローバル・テスト制御レジスタ（GTSTCTRL） 1388
18.3.81 CANグローバル・テスト・プロテクト解除レジスタ（GLOCKK） 1389
18.3.82 CAN用RAMテスト・レジスタr（RPGACCr）（r = 0～127） 1390
18.4 CANモード 1391
18.4.1 グローバル・モード 1391
18.4.2 チャネル・モード 1393
18.5 受信機能 1397
18.5.1 受信ルール・テーブルを用いたデータ処理 1397
18.5.2 タイムスタンプ 1400
18.6 送信機能 1401
18.6.1 送信の優先順位判定 1402
18.6.2 送信バッファを用いた送信 1402
18.6.3 FIFOバッファによる送信 1403
18.6.4 送信履歴機能 1405
18.7 ゲートウェイ機能 1406
18.8 テスト機能 1407
18.8.1 標準テスト・モード 1407
18.8.2 リッスン・オンリ・モード 1407
18.8.3 セルフ・テスト・モード（ループ・バック・モード） 1408
18.8.4 RAMテスト 1409

18.8.5 チャネル間通信テスト 1409
18.9 割り込み 1410
18.10 RAMウィンドウ 1414
18.11 初期設定 1415
18.11.1 クロックの設定 1417
18.11.2 ビット・タイミングの設定 1417
18.11.3 通信速度の設定 1418
18.11.4 受信ルールの設定 1419
18.11.5 バッファの設定 1420
18.12 受信手順 1422
18.12.1 受信バッファの読み出し手順 1422
18.12.2 FIFOバッファの読み出し手順 1424
18.13 送信手順 1427
18.13.1 送信バッファからの送信手順 1427
18.13.2 送受信FIFOバッファからの送信手順 1431
18.13.3 送信履歴バッファの読み出し手順 1434
18.14 テスト設定 1435
18.14.1 セルフ・テスト・モードの設定手順 1435
18.14.2 プロテクト解除手順 1436
18.14.3 RAMテストの設定手順 1437
18.14.4 チャネル間通信テストの設定手順 1438
18.15 CANモジュールの注意事項 1439

第19章 IEBusコントローラ（IEBB） 1441

19.1 IEBBの特徴 1441
19.2 IEBBの構成 1442
19.2.1 IEBBの機能概要 1442
19.2.2 IEBBのブロック図 1443
19.3 IEBBのレジスタ 1444
19.3.1 周辺イネーブル・レジスタ2（PER2） 1445
19.3.2 IEBB0バス・コントロール・レジスタ（IEBB0BCR） 1446
19.3.3 IEBB0パワー・セーブ・レジスタ（IEBB0PSR） 1450
19.3.4 IEBB0ユニット・アドレス・レジスタ（IEBB0UAR） 1451
19.3.5 IEBB0スレーブ・アドレス・レジスタ（IEBB0SAR） 1451
19.3.6 IEBB0パートナー・アドレス・レジスタ（IEBB0PAR） 1452
19.3.7 IEBB0受信スレーブ・アドレス・レジスタ（IEBB0RSA） 1452
19.3.8 IEBB0コントロール・データ・レジスタ（IEBB0CDR） 1453
19.3.9 IEBB0電文長レジスタ（IEBB0DLR） 1453
19.3.10 IEBB0送信コントロール・データ・レジスタ（IEBB0TCD） 1454
19.3.11 IEBB0受信コントロール・データ・レジスタ（IEBB0RCD） 1455
19.3.12 IEBB0送信電文長レジスタ（IEBB0TDL） 1456
19.3.13 IEBB0受信電文長レジスタ（IEBB0RDL） 1457
19.3.14 IEBB0クロック選択レジスタ（IEBB0CKS） 1458
19.3.15 IEBB0スレーブ・ステータス・レジスタ（IEBB0SSR） 1459
19.3.16 IEBB0ユニット・ステータス・レジスタ（IEBB0USR） 1461
19.3.17 IEBB0インタラプト・ステータス・レジスタ（IEBB0ISR） 1464
19.3.18 IEBB0エラー・ステータス・レジスタ（IEBB0ESR） 1467
19.3.19 IEBB0フィールド・ステータス・レジスタ（IEBB0FSR） 1471
19.3.20 IEBB0サクセス・カウント・レジスタ（IEBB0SCR） 1473
19.3.21 IEBB0コミュニケーション・カウント・レジスタ（IEBB0CCR） 1474
19.3.22 IEBB0ステータス・クリア・レジスタ0（IEBB0STC0） 1475

19.3.23 IEBB0データ・レジスタ（IEBB0DR） 1476
19.3.24 IEBB0データ極性選択レジスタ（IEBB0DPS） 1477
19.4 IEBBの割り込み動作 1478
19.4.1 IEBBの割り込み要因 1478
19.4.2 IEBBの割り込み判定例 1479
19.5 IEBBの動作 1481
19.5.1 初期設定 1481
19.5.2 マスタ送信時の動作 1481
19.5.3 マスタ受信時の動作 1483
19.5.4 スレーブ送信時の動作 1485
19.5.5 スレーブ受信時の動作 1488
19.6 IEBBの設定手順 1490
19.6.1 マスタ送信時の設定手順 1490
19.6.2 マスタ受信時の設定手順 1491
19.6.3 スレーブ送信時の設定手順 1492
19.6.4 スレーブ受信時の設定手順 1495
19.7 IEBBの機能 1496
19.7.1 IEBusの通信プロトコル 1496
19.7.2 バス占有権の決定（アービトレーション） 1497
19.7.3 通信モード 1497
19.7.4 通信アドレス 1497
19.7.5 同報通信 1498
19.7.6 IEBusの伝送フォーマット 1498
19.7.7 伝送データ 1503
19.7.8 ビット・フォーマット 1505
19.8 IEBB使用上の注意 1505
19.8.1 IEBB0の動作クロック 1505

第20章 DTC 1506

20.1 概要 1506
20.2 レジスタの説明 1508
20.2.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 1510
20.2.2 DTCコントロール・データの配置 1511
20.2.3 DTCベクタ・テーブル 1512
20.2.4 周辺イネーブル・レジスタ1（PER1） 1514
20.2.5 DTC起動許可レジスタi（DTCENi）（i = 0〜6） 1516
20.2.6 DTCベース・アドレス・レジスタ（DTCBAR） 1519
20.2.7 DTC制御レジスタj（DTCCRj）（j = 0〜23） 1520
20.2.8 DTCブロック・サイズ・レジスタj（DTBLSj）（j = 0〜23） 1521
20.2.9 DTC転送回数レジスタj（DTCCTj）（j = 0〜23） 1521
20.2.10 DTC転送回数リロード・レジスタj（DTRLDj）（j = 0〜23） 1522
20.2.11 DTCソース・アドレス・レジスタj（DTSARj）（j = 0〜23） 1522
20.2.12 DTCデスティネーション・アドレス・レジスタj（DTDARj）（j = 0〜23） 1522
20.2.13 高速DTCチャネル選択レジスタ0（SELHS0） 1523
20.2.14 高速DTCチャネル選択レジスタ1（SELHS1） 1524
20.2.15 高速DTC制御レジスタm（HDTCCR0/1）（m = 0, 1） 1525
20.2.16 高速DTC転送回数レジスタm（HDTCCT0/1）（m = 0, 1） 1526
20.2.17 高速DTC転送回数リロード・レジスタm（HDTRLD0/1）（m = 0, 1） 1527
20.2.18 高速DTCソース・アドレス・レジスタm（HDTSAR0/1）（m = 0, 1） 1527
20.2.19 高速DTCデスティネーション・アドレス・レジスタm
（HDTDAR0/1） （m = 0, 1） 1527

20.3 動作説明 1528
20.3.1 起動要因 1529
20.3.2 ノーマル・モード 1530
20.3.3 リピート・モード 1532
20.3.4 チェイン転送 1536
20.3.5 高速転送動作 1538
20.4 DTC使用上の注意事項 1539
20.4.1 DTCレジスタおよびベクタ・テーブルの設定 1539
20.4.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 1539
20.4.3 DTC保留命令 1539
20.4.4 ウェイトが必要となるSFRレジスタにアクセスする命令実行時の動作 1539
20.4.5 データ・フラッシュ空間にアクセスする場合の動作 1540
20.4.6 DTC実行クロック数 1540
20.4.7 高速DTC転送実行クロック数 1541
20.4.8 DTC応答時間 1542
20.4.9 DTC起動要因 1542
20.4.10 スタンバイ・モード時の動作 1543
20.4.11 RAM領域を転送元とする場合の注意 1543
20.4.12 高速転送のベクタ・アドレス 1543

第21章 イベントリンクコントローラ（ELC） 1544

21.1 概要 1544
21.2 レジスタの説明 1545
21.2.1 イベント出力先選択レジスタn（ELSELRn）（n = 00～25） 1546
21.2.2 タイマ入力選択レジスタ0（TIS0） 1548
21.2.3 A/Dコンバータ・モード・レジスタ1（ADM1） 1548
21.2.4 D/Aコンバータ・モード・レジスタ（DAM） 1548
21.3 動作説明 1549

第22章 割り込み機能 1550

22.1 割り込み機能の種類 1550
22.2 割り込み要因と構成 1551
22.3 割り込み機能を制御するレジスタ 1562
22.3.1 割り込み要求フラグ・レジスタ
（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H） 1568
22.3.2 割り込みマスク・フラグ・レジスタ
（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H） 1570
22.3.3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L,
PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H,
PR13L, PR13H） 1572
22.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），
外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1） 1575
22.3.5 割り込み要因判別フラグ・レジスタ0（INTFLG0） 1577
22.3.6 割り込み要因判別フラグ・レジスタ1-4（INTFLG1-4） 1579
22.3.7 割り込みマスク・レジスタ（INTMSK） 1583
22.3.8 入力切り替え制御レジスタ（ISC） 1584
22.3.9 プログラム・ステータス・ワード（PSW） 1585
22.4 割り込み処理動作 1586
22.4.1 マスカブル割り込み要求の受け付け動作 1586
22.4.2 ソフトウエア割り込み要求の受け付け動作 1589

22.4.3 多重割り込み処理....1589
22.4.4 除算命令中の割り込み処理....1593
22.4.5 割り込み要求の保留....1595

第23章 キー割り込み機能....1596

23.1 キー割り込みの機能....1596
23.2 キー割り込みの構成....1597
23.3 キー割り込みを制御するレジスタ....1598
23.3.1 キー・リターン・モード・レジスタ（KRM）....1598

第24章 スタンバイ機能....1599

24.1 スタンバイ機能と構成....1599
24.1.1 スタンバイ機能....1599
24.2 スタンバイ機能を制御するレジスタ....1600
24.2.1 発振安定時間カウンタ状態レジスタ（OSTC）....1601
24.2.2 発振安定時間選択レジスタ（OSTS）....1602
24.2.3 STOPステータス出力制御レジスタ（STPSTC）....1603
24.3 スタンバイ機能の動作....1604
24.3.1 HALTモード....1604
24.3.2 STOPモード....1609
24.3.3 SNOOZEモード....1615

第25章 リセット機能....1620

25.1 リセット要因を確認するレジスタ....1626
25.1.1 リセット・コントロール・フラグ・レジスタ（RESF）....1626
25.1.2 POR/CLMリセット確認レジスタ（POCRES）....1628

第26章 パワーオン・リセット回路....1629

26.1 パワーオン・リセット回路の機能....1629
26.2 パワーオン・リセット回路の構成....1630
26.3 パワーオン・リセット回路の動作....1630
26.4 パワーオン・リセット回路の注意事項....1633

第27章 電圧検出回路....1635

27.1 電圧検出回路の機能....1635
27.2 電圧検出回路の構成....1636
27.3 電圧検出回路を制御するレジスタ....1636
27.3.1 電圧検出レジスタ（LVIM）....1637
27.3.2 電圧検出レベル・レジスタ（LVIS）....1638
27.4 電圧検出回路の動作....1641
27.4.1 リセット・モードとして使用時の設定....1641
27.4.2 割り込みモードとして使用時の設定....1643
27.4.3 割り込み＆リセット・モードとして使用時の設定....1645
27.5 電圧検出回路の注意事項....1651
27.5.1 リセット要因の確認方法....1651

27.5.2 LVDリセット要因発生からLVDリセットが発生または解除されるまでの
遅延について 1652

第28章 安全機能 1653

28.1 安全機能の概要 1653
28.2 安全機能で使用するレジスタ 1654
28.3 安全機能の動作 1655
28.3.1 フラッシュ・メモリCRC演算機能（高速CRC） 1655
28.3.2 CRC演算機能（汎用CRC） 1659
28.3.3 RAM-ECC機能 1663
28.3.4 CPUスタック・ポインタ・モニタ機能 1668
28.3.5 クロック・モニタ 1670
28.3.6 RAMガード機能 1672
28.3.7 SFRガード機能 1673
28.3.8 不正メモリ・アクセス検出機能 1674
28.3.9 周波数検出機能 1677
28.3.10 A/Dテスト機能 1679
28.3.11 入出力ポートのデジタル出力信号レベル検出機能 1683

第29章 レギュレータ 1684

29.1 レギュレータの概要 1684

第30章 オプション・バイト 1685

30.1 オプション・バイトの機能 1685
30.1.1 ユーザ・オプション・バイト（000C0H-000C2H/020C0H-020C2H） 1685
30.1.2 オンチップ・デバッグ・オプション・バイト（000C3H/020C3H） 1686
30.2 ユーザ・オプション・バイトのフォーマット 1687
30.3 オンチップ・デバッグ・オプション・バイトのフォーマット 1691
30.4 オプション・バイトの設定 1692

第31章 フラッシュ・メモリ 1693

31.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 1695
31.1.1 プログラミング環境 1697
31.1.2 通信方式 1697
31.2 外部デバイス（UART内蔵）によるシリアル・プログラミング 1698
31.2.1 プログラミング環境 1698
31.2.2 通信方式 1699
31.3 オンボード上の端子処理 1700
31.3.1 P40/TOOL0端子 1700
31.3.2 $\overline{\text{RESET}}$端子 1700
31.3.3 ポート端子 1701
31.3.4 REGC端子 1701
31.3.5 X1, X2端子 1701
31.3.6 電源 1701
31.4 シリアル・プログラミング方法 1702
31.4.1 シリアル・プログラミング手順 1702
31.4.2 フラッシュ・メモリ・プログラミング・モード 1703

31.4.3 通信方式 1704
31.4.4 通信コマンド 1705
31.5 PG-FP5使用時の各コマンド処理時間（参考値） 1707
31.6 セルフ・プログラミング 1708
31.6.1 セルフ・プログラミング手順 1709
31.6.2 ブート・スワップ機能 1710
31.6.3 フラッシュ・シールド・ウインドウ機能 1712
31.7 セキュリティ設定 1713
31.8 データ・フラッシュ 1715
31.8.1 データ・フラッシュの概要 1715
31.8.2 データ・フラッシュを制御するレジスタ 1716
31.8.3 データ・フラッシュへのアクセス手順 1717

第32章 オンチップ・デバッグ機能 1718

32.1 オンチップ・デバッグ機能の概要 1718
32.1.1 ホット・プラグイン 1718
32.1.2 DTC方式リアルタイムRAMモニタ（RRM）／Dynamic Memory Modification（DMM） 1718
32.1.3 オンチップ・トレース 1719
32.2 E1オンチップ・デバッギング・エミュレータとRL78/F15の接続 1720
32.3 オンチップ・デバッグ・セキュリティID 1721
32.4 ユーザ資源の確保 1721
32.4.1 メモリ空間の確保 1721

第33章 10進補正（BCD）回路 1723

33.1 10進補正回路の機能 1723
33.2 10進補正回路で使用するレジスタ 1723
33.2.1 BCD補正結果レジスタ（BCDADJ） 1723
33.3 10進補正回路の動作 1724

第34章 命令セットの概要 1726

34.1 凡　　例 1727
34.1.1 オペランドの表現形式と記述方法 1727
34.1.2 オペレーション欄の説明 1728
34.1.3 フラグ動作欄の説明 1729
34.1.4 PREFIX命令 1729
34.2 オペレーション一覧 1730

第35章 電気的特性（Lグレード） 1748

35.1 絶対最大定格 1749
35.2 発振回路特性 1751
35.2.1 メイン・システム・クロック発振回路特性 1751
35.2.2 オンチップ・オシレータ特性 1752
35.2.3 サブシステム・クロック発振回路特性 1753
35.2.4 PLL回路特性 1754
35.3 DC特性 1755
35.3.1 端子特性 1755
35.3.2 電源電流特性 1761

35.4 AC特性 1765
35.4.1 基本動作 1765
35.5 周辺機能特性 1768
35.5.1 シリアル・アレイ・ユニット 1768
35.5.2 シリアル・インタフェースIICA 1784
35.5.3 オンチップ・デバッグ（UART） 1785
35.5.4 LIN/UARTモジュール（RLIN3）UARTモード 1785
35.6 アナログ特性 1786
35.6.1 A/Dコンバータ特性 1786
35.6.2 温度センサ特性 1790
35.6.3 D/Aコンバータ特性 1790
35.6.4 コンパレータ特性 1790
35.6.5 POR回路特性 1791
35.6.6 LVD回路特性 1792
35.7 電源立ち上げ時間 1793
35.8 RAMデータ保持特性 1794
35.9 フラッシュ・メモリ・プログラミング特性 1795
35.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング 1796

第36章 電気的特性（Kグレード） 1797

36.1 絶対最大定格 1798
36.2 発振回路特性 1800
36.2.1 メイン・システム・クロック発振回路特性 1800
36.2.2 オンチップ・オシレータ特性 1801
36.2.3 サブシステム・クロック発振回路特性 1802
36.2.4 PLL回路特性 1803
36.3 DC特性 1804
36.3.1 端子特性 1804
36.3.2 電源電流特性 1810
36.4 AC特性 1814
36.4.1 基本動作 1814
36.5 周辺機能特性 1817
36.5.1 シリアル・アレイ・ユニット 1817
36.5.2 シリアル・インタフェースIICA 1833
36.5.3 オンチップ・デバッグ（UART） 1834
36.5.4 LIN/UARTモジュール（RLIN3）UARTモード 1834
36.6 アナログ特性 1835
36.6.1 A/Dコンバータ特性 1835
36.6.2 温度センサ特性 1839
36.6.3 D/Aコンバータ特性 1839
36.6.4 コンパレータ特性 1839
36.6.5 POR回路特性 1840
36.6.6 LVD回路特性 1841
36.7 電源立ち上げ時間 1842
36.8 RAMデータ保持特性 1843
36.9 フラッシュ・メモリ・プログラミング特性 1844
36.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング 1845

第37章 外形図 1846

37.1 48ピン製品 1846

37.1.1 48ピン LFQFP....1846
37.1.2 48ピン HWQFN/HVQFN....1847
37.2 64ピン製品....1849
37.3 80ピン製品....1850
37.4 100ピン製品....1851
37.5 144ピン製品....1852

付録A 関連製品....1853

A.1 アナログ&パワーデバイス一覧....1853

付録B 改版履歴....1855

B.1 本版で改訂された主な箇所....1855
B.2 前版までの改訂履歴....1856

第1章　概説

1.1　特徴

- 高速（0.03125 μs：高速オンチップ・オシレータ・クロックおよびPLLクロック32 MHz動作時）から
  超低速（66.6 μs：低速オンチップ・オシレータ・クロック15 kHz動作時）まで最小命令実行時間を変更可能
- 汎用レジスタ：8ビット×32レジスタ（8ビット×8レジスタ×4バンク）
- ROM：128K～512KB
- RAM：10K～32KB
- データ・フラッシュ：8KB/16KB
- 高速オンチップ・オシレータ・クロック内蔵
  32 MHz (Typ.)、24 MHz (Typ.)、16 MHz (Typ.)、12 MHz (Typ.)、8 MHz (Typ.)、4 MHz (Typ.)、1 MHz (Typ.)
  から選択可能（タイマRDでは64 MHz (Typ.)および48 MHz (Typ.)も選択可能）
- 低速オンチップ・オシレータ・クロック内蔵：15kHz×2チャネル（WWDT専用、CPU/WWDT以外の周辺機能用）
- PLL回路内蔵（×3、×4、×6、×8）
- 単電源のフラッシュ・メモリ内蔵（ブロック消去/書き込み禁止機能あり）
- セルフプログラミング機能対応（ブート・スワップ/フラッシュ・シールド・ウインドウ機能あり）
- オンチップ・デバッグ機能内蔵
- パワーオン・リセット（POR）回路、低電圧検出（LVD）回路内蔵
- ウォッチドッグ・タイマ内蔵（専用の低速オンチップ・オシレータ・クロックで動作可能）
- 乗除・積和演算命令対応
  16ビット×16ビット = 32ビット（符号付／符号なし）
  32ビット÷32ビット = 32ビット（符号なし）
  16ビット×16ビット＋32ビット = 32ビット（符号付／符号なし）
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵
- 10進補正（BCD）回路内蔵
- I/Oポート：44～136本（入力専用端子：1本含む）
- タイマ
  16ビット・タイマ・アレイ・ユニット：16～24チャネル
  16ビット・タイマRD：2チャネル（三相波形出力（6本）鋸波変調/三角波変調）
  16ビット・タイマRJ：1チャネル
  ウォッチドッグ・タイマ：1チャネル
  リアルタイム・クロック：1チャネル
- シリアル・インタフェース
  CSI
  UART/UART（LIN-bus対応）
  I^2C／簡易I^2C
  LINモジュール（マスタ/スレーブ対応）
  CANインタフェース（RS-CAN lite）
  IEBusコントローラ
- 8/10ビット分解能A/Dコンバータ（V_{DD} = 2.7～5.5 V）：18～31チャネル

- DTC（最大52要因）
- ELC（リンク元：最大26チャネル、リンク先：最大9チャネル）
- 安全機能（CRC演算機能/クロック・モニタ機能/ADテスト機能/SFRガード機能など）
- 8ビットD/Aコンバータ
- コンパレータ：1チャネル（入力端子：4チャネル）
- 電源電圧：V_{DD} = 2.7～5.5 V
- 動作周囲温度：T_A = -40～+105℃（Lグレード）/T_A = -40～+125℃（Kグレード）

1.1.1 用途

自動車電装一般（モータ制御、ドア制御、フロントライト制御など）、2輪エンジン制御

1.2 製品一覧

表1－1 RL78/F15のメモリ・ラインナップ

Code Flash	Data Flash	RAM	端子数					
			144ピン	100ピン	80ピン	64ピン	48ピン (HVQFN/HWQFN)	48ピン （LFQFP）
128 KB	8 KB	10 KB	R5F113TG	R5F113PG	－	－	－	－
192 KB		16 KB	R5F113TH	R5F113PH	－	－	－	－
256 KB		20 KB	R5F113TJ	R5F113PJ	－	－	－	－
384 KB	16 KB	26 KB	R5F113TK	R5F113PK	R5F113MK	R5F113LK	R5F113GK	R5F113GK
512 KB		32 KB	R5F113TL	R5F113PL	R5F113ML	R5F113LL	R5F113GL	R5F113GL

★

1.3 機能概要

1.3.1 RL78/F15機能一覧

表1－2 RL78/F15機能一覧表（1/2）

シリーズ名			R5F113T	R5F113P	R5F113M	R5F113L	R5F113G
		端子数	144ピン	100ピン	80ピン	64ピン	48ピン
Code Flash			128K～512KB		384K/512KB		
Data Flash			8/16KB		16KB		
RAM			10K～32KB		26/32KB		
電源電圧範囲			2.7V～5.5V				
最高動作周波数			32MHz（Lグレード）, 24MHz（Kグレード）				
システム・クロック	メイン発振回路	水晶/セラミック/方形波	1～20MHz（2.7V～5.5V動作時）				
	高速オンチップ・オシレータ	常用高精度	32MHz（Typ.）				
	低速オンチップ・オシレータ	低速動作用	15kHz（Typ.）				
	サブ発振回路		32.768kHz				
	PLL		PLL逓倍比は×3/×4/×6/×8				
周辺専用クロック	低速オンチップ・オシレータ	WDT以外の周辺機能用	15kHz（Typ.）				
		WDT専用	15kHz（Typ.）				
POR		電源立ち上がり時	1.56V（Typ.）				
		電源立ち下がり時	1.55V（Typ.）				
LVD	V_{DD}電圧検出	電源立ち上がり時	2.81 V（Typ.）～4.74 V（Typ.）（6段階）				
		電源立ち下がり時	2.75 V（Typ.）～4.64 V（Typ.）（6段階）				
セーフティ機能	WDT（ウィンドウ・ウォッチドッグ・タイマ）		対応				
	不正命令実行検出機能		対応				
	フラッシュ・メモリCRC演算機能		対応				
	RAM1ビットエラー訂正機能		対応				
	RAM2ビットエラー検出機能		対応				
	不正アクセス検出機能		対応				
	周波数検出機能		対応				
	クロック・モニタ機能		対応				
	スタック・ポインタ・モニタ機能		対応				
	入出力ポート出力信号レベル検出機能		対応				
	A/Dテスト機能		対応				
I/Oポート	入出力	CMOS	130ch	86ch	68ch	52ch	38ch
	出力	CMOS	1ch				
	入力	発振端子兼用	4ch				
		入力端子専用	1ch				
電源端子	内部用		V_{DD}, V_{SS}, REGC				
	I/Oポート専用		EV_{DD0}, EV_{SS0},EV_{DD1}, EV_{SS1}		EV_{DD0}, EV_{SS0}		なし
	アナログ回路用（AD, DA, COMP）		V_{DD}, V_{SS}（AV_{REFP}, AV_{REFM}：AD用）				
乗除算・積和演算機能	乗算		16ビット×16ビット（符号付き）				
			16ビット×16ビット（符号なし）				
	除算		32ビット÷32ビット（符号なし）				
	積和演算		16ビット×16ビット＋32ビット（符号付き）				
			16ビット×16ビット＋32ビット（符号なし）				
	演算命令（拡張命令セット）		対応				
ベクタ割り込み要因	外部[注1, 2]		22ch	20ch	19ch	18ch	15ch
	内部[注1]		51ch				
キー・リターン検出			8ch				
DTC			52要因	50要因	46要因		
タイマ	TAU		16-bit (8ch×3)	16-bit (8ch×2)			
	RTC		1ch				
	タイマRJ		16ビット×1				
	タイマRD		16ビット×2				
シリアルI/F	CSI/簡易I^2C/UART		6ch/4ch/3ch		4ch/4ch/2ch		
		SPI	対応				
	マルチマスタI^2C		1ch				
	IEBusコントローラ		1ch				
	LIN/UARTモジュール（RLIN3）		3ch		2ch		
	CANインタフェース（RS-CAN lite）		2ch				

（注と注意は次ページにあります。）

表1－2 RL78/F15機能一覧表（2/2）

シリーズ名		R5F113T	R5F113P	R5F113M	R5F113L	R5F113G
	端子数	144ピン	100ピン	80ピン	64ピン	48ピン
A/Dコンバータ 10ビット 逐次変換型	V_{DD}	24ch		18ch	17ch	13ch
	EV_{DD}	7ch			3ch	5ch
	内部	2ch				
D/Aコンバータ	8ビット	1ch				
コンパレータ		1ch				
ELC		リンク元26ch リンク先9ch				
PCLBUZ		1ch				
セルフプログラミング		対応				
オンチップ・デバッグ	トレース	対応				
	ホット・プラグイン	対応				
オプション・バイト		対応				

注1. INTPnとLINのウェイクアップ割り込みは同時には使用できないため、それぞれ両方で1要因としてカウントしています。

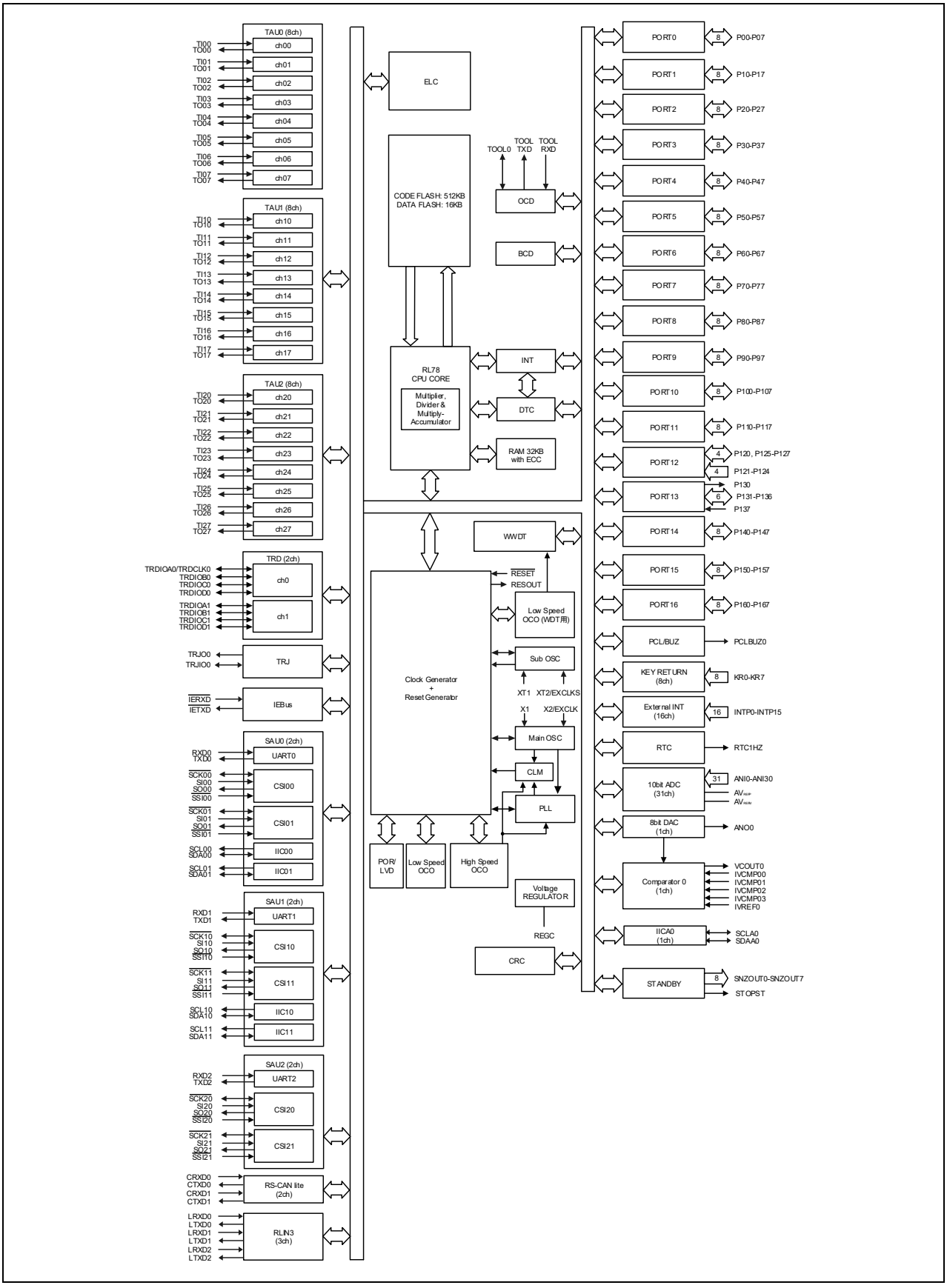
2. INTPnと内部割込みを共用している割り込み要因は、それぞれ内部と外部の両方で1要因ずつカウントしています。

注意 詳細は「1.5 端子接続図」を参照してください。

1.4 ブロック図

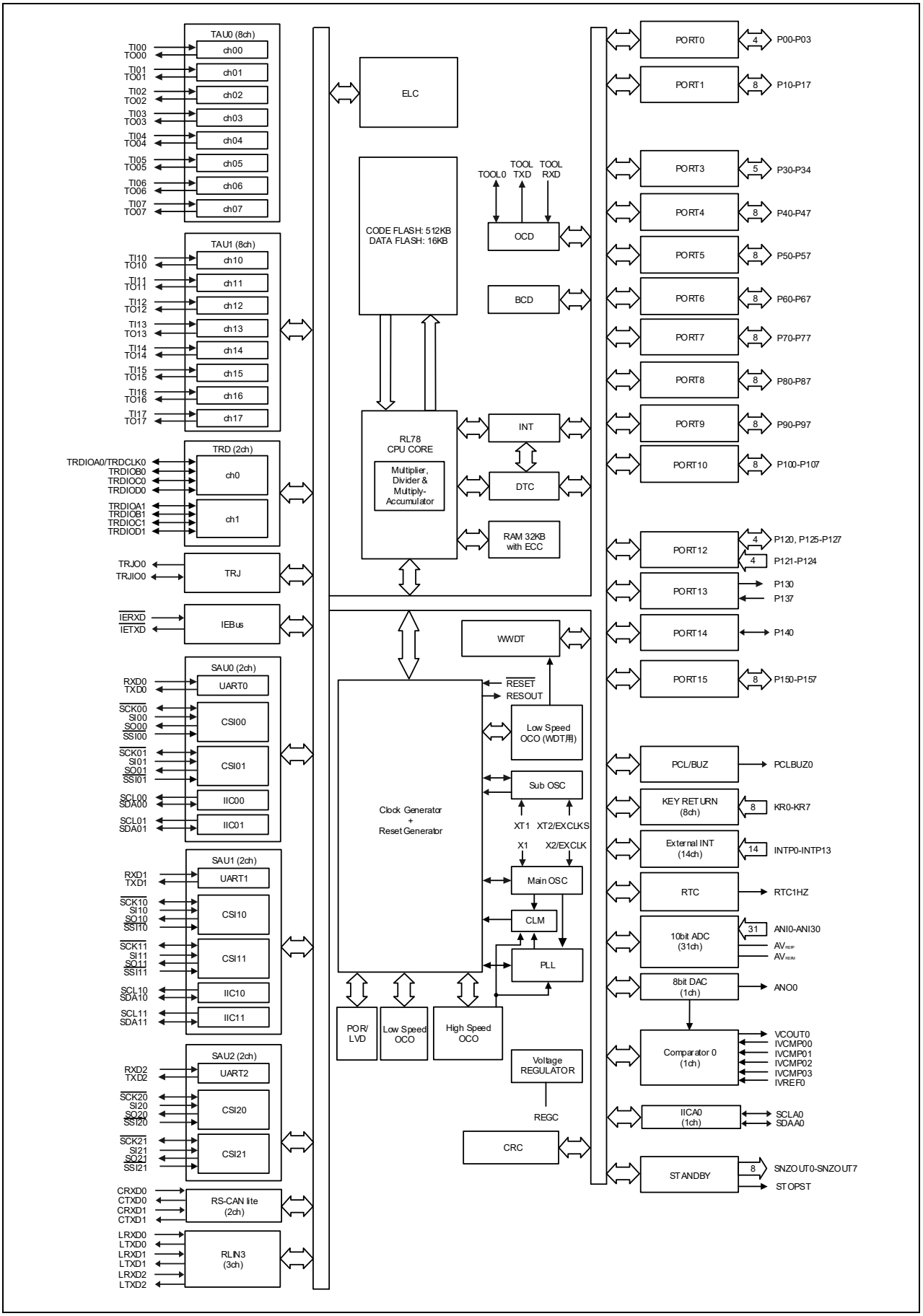
1.4.1 RL78/F15 R5F113TL 144ピン版のブロック図

図1－1 機能ブロック図



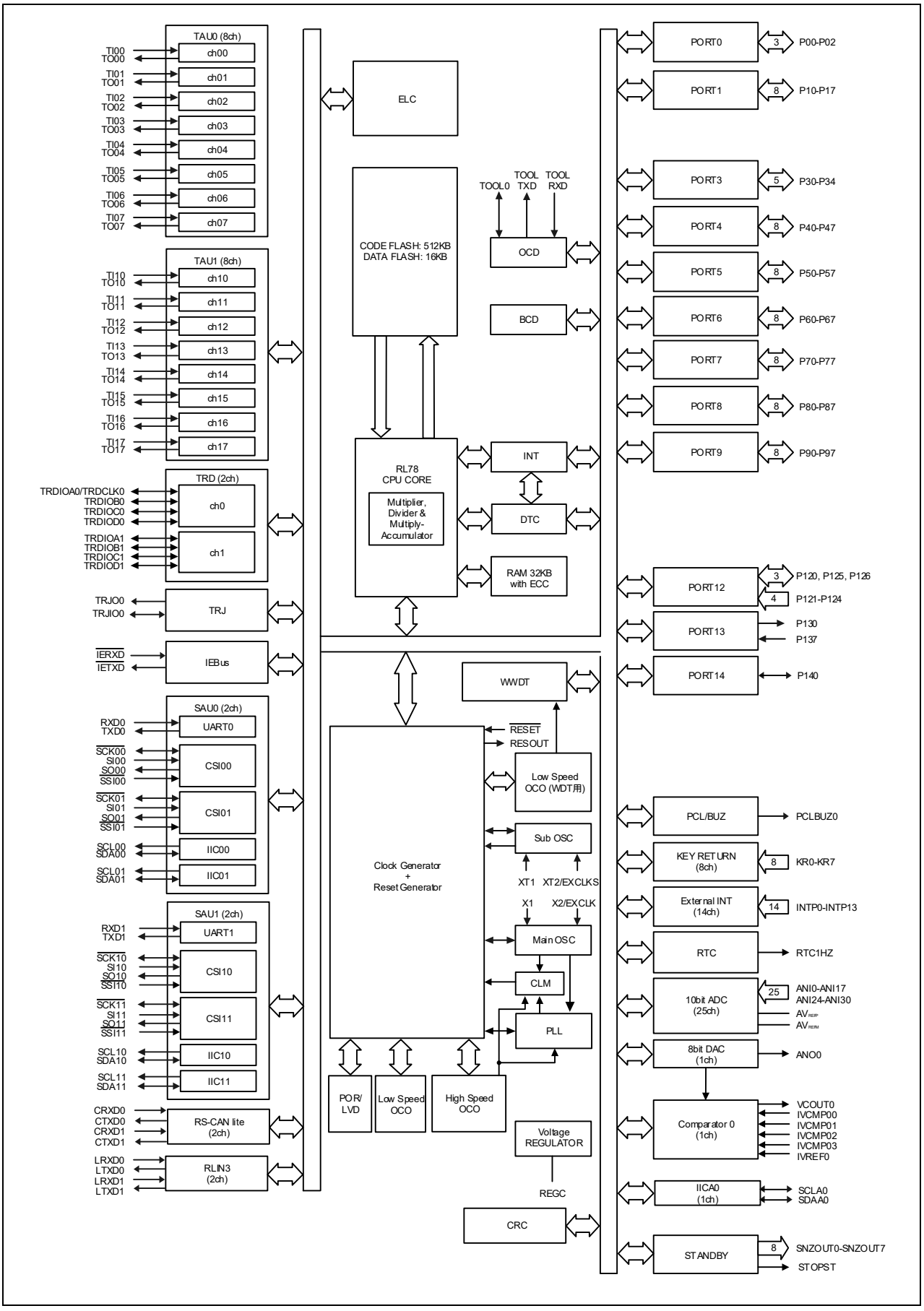
1.4.2 RL78/F15 R5F113PL 100ピン版のブロック図

図1－2 機能ブロック図



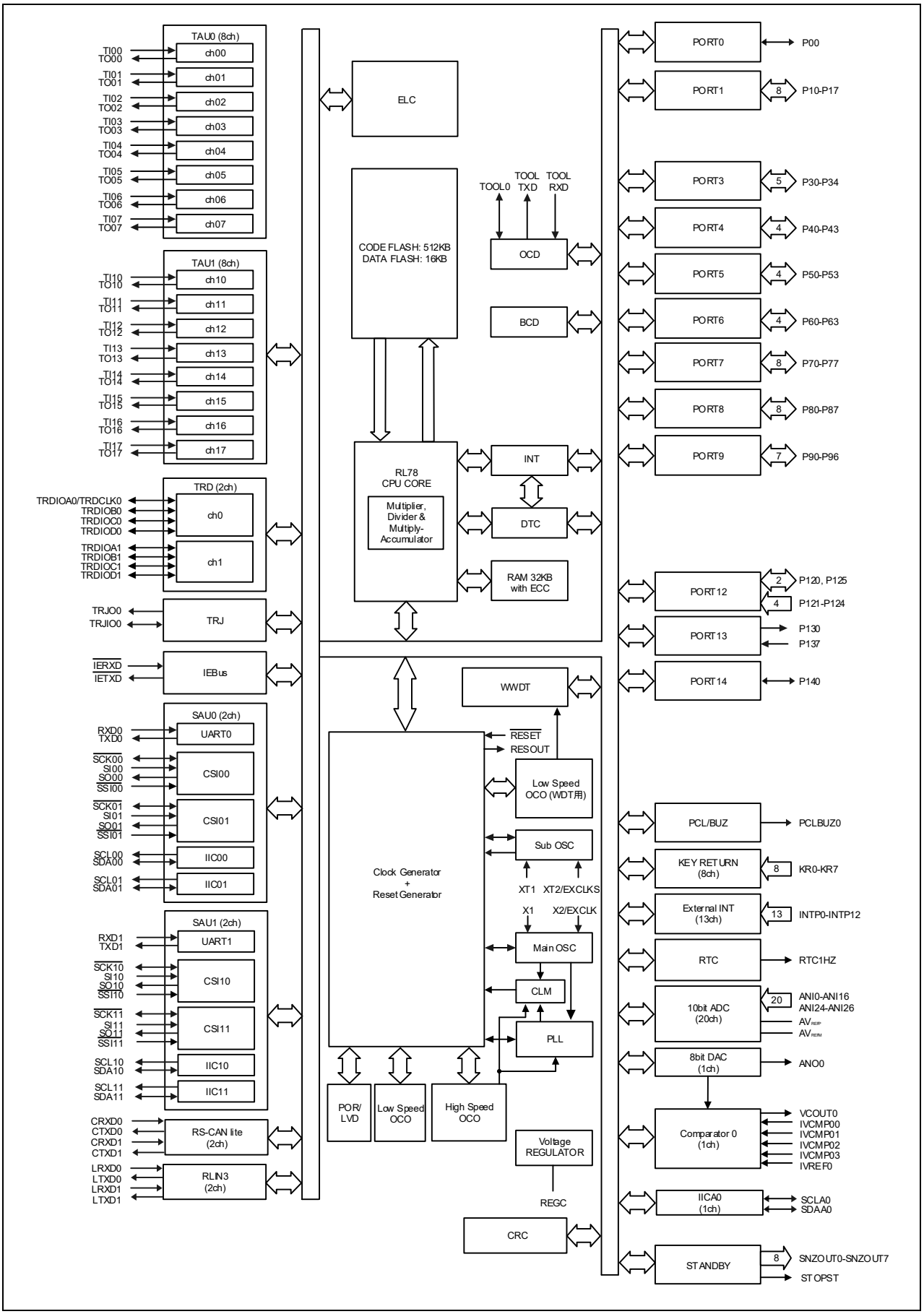
1.4.3 RL78/F15 R5F113ML 80ピン版のブロック図

図1－3 機能ブロック図



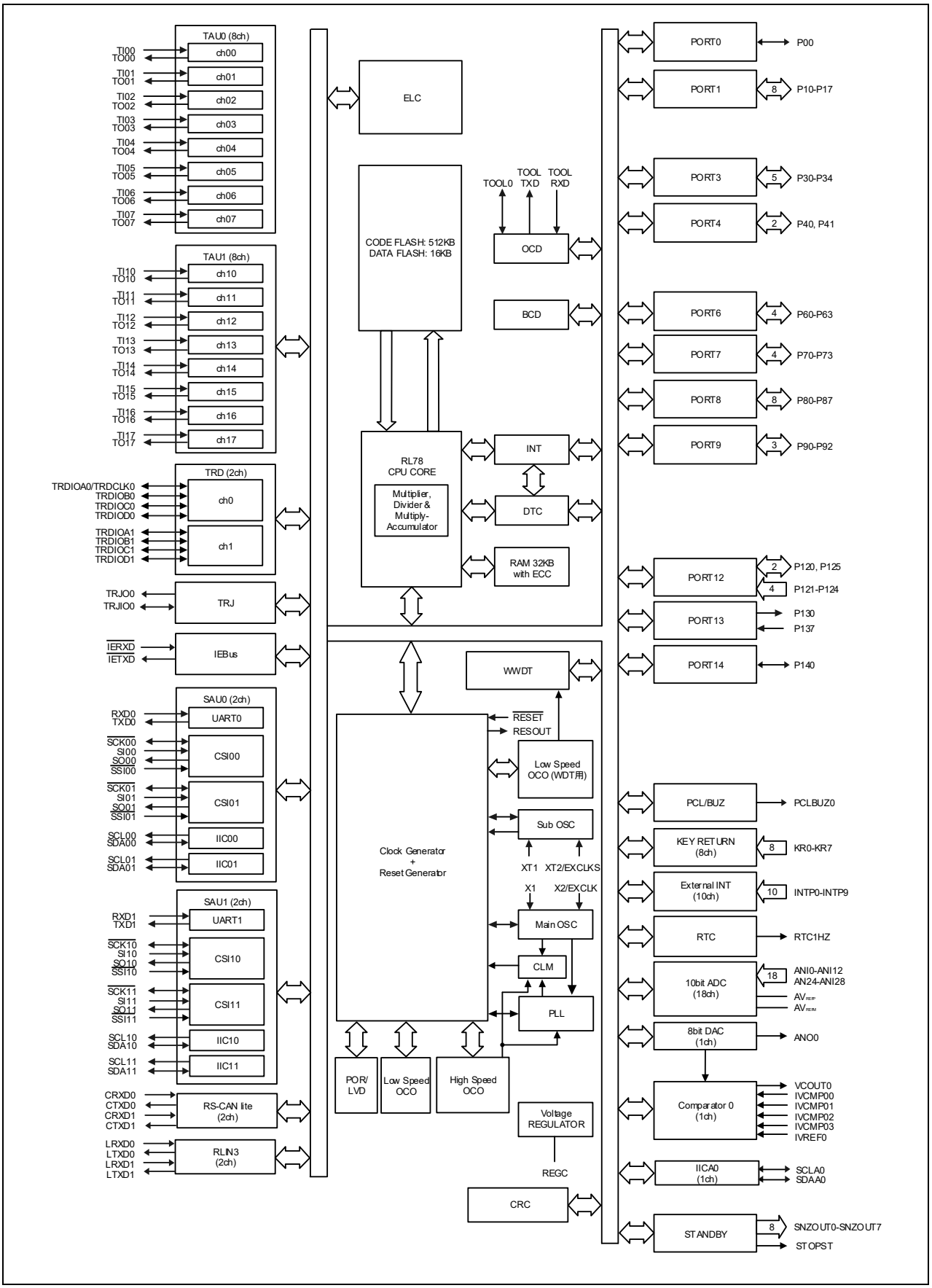
1.4.4 RL78/F15 R5F113LL 64ピン版のブロック図

図1－4 機能ブロック図



1.4.5 RL78/F15 R5F113GL 48ピン版のブロック図

図1－5 機能ブロック図

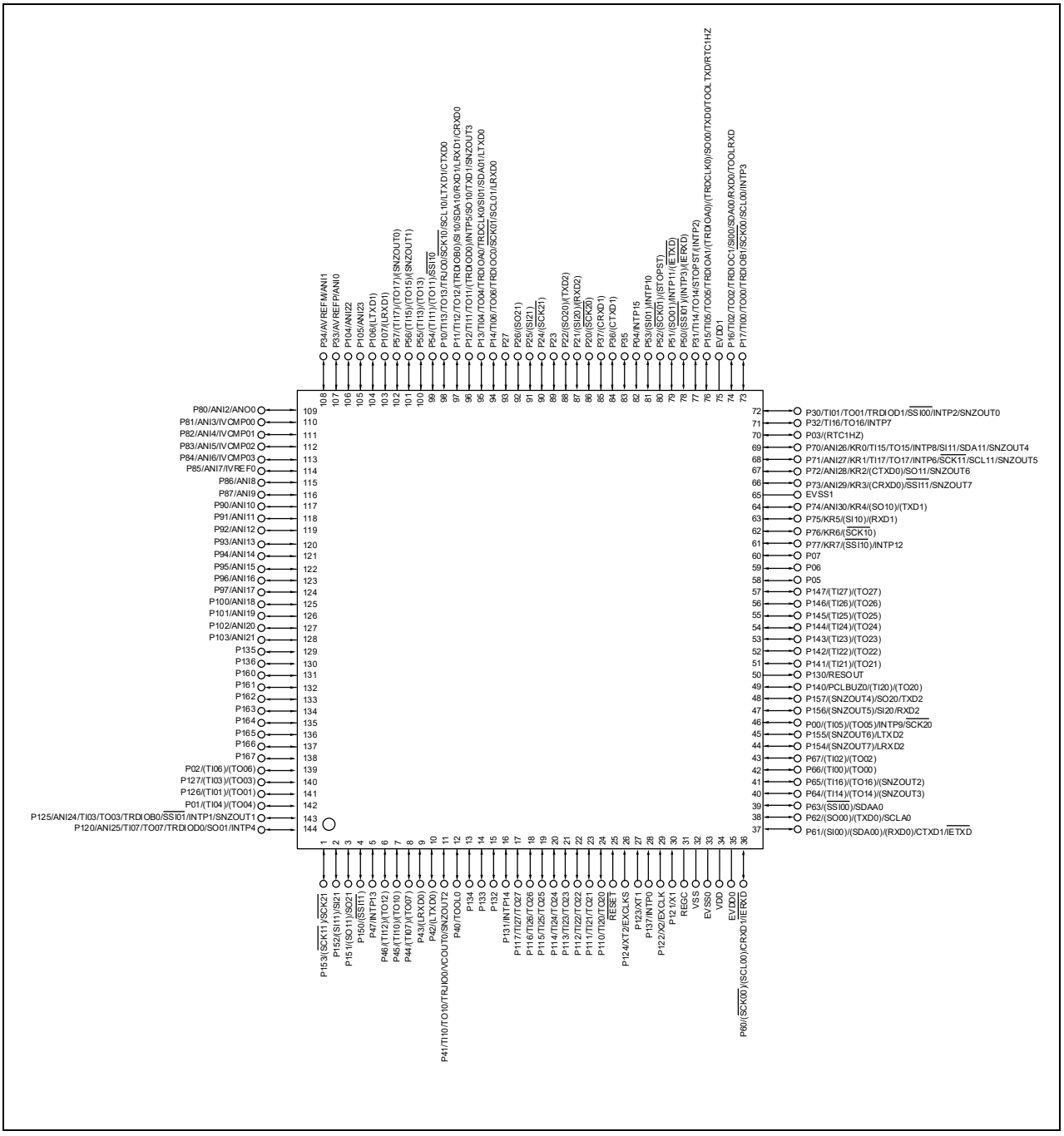


1.5 端子接続図

1.5.1 RL78/F15 144ピン版の端子接続図

- RL78/F15：144ピン・プラスチックLFQFP（ファインピッチ）（20×20）

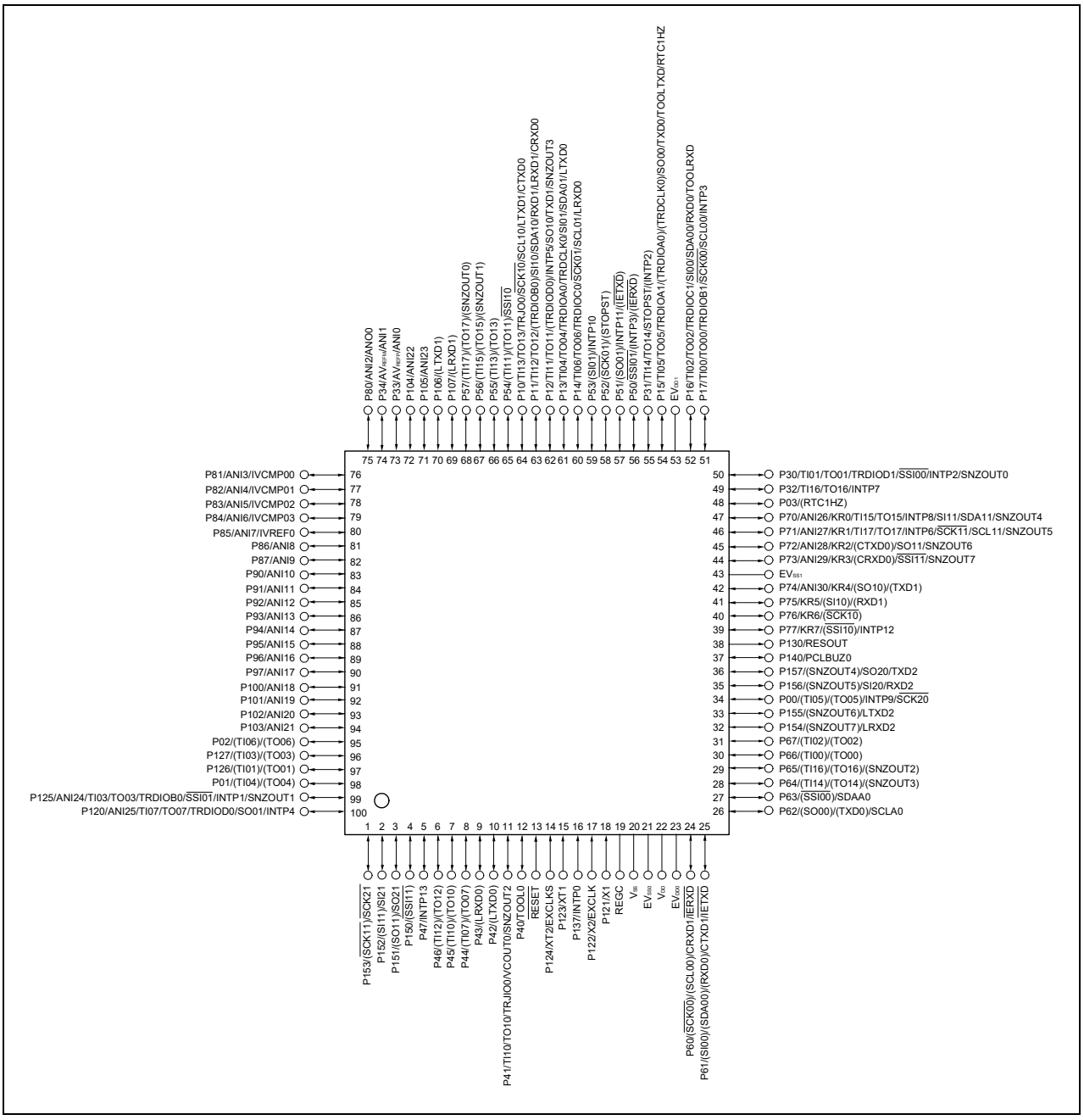
図1－6 RL78/F15の144ピン版の端子接続図



1.5.2 RL78/F15 100ピン版の端子接続図

- RL78/F15：100ピン・プラスチックLFQFP（ファインピッチ）（14×14）

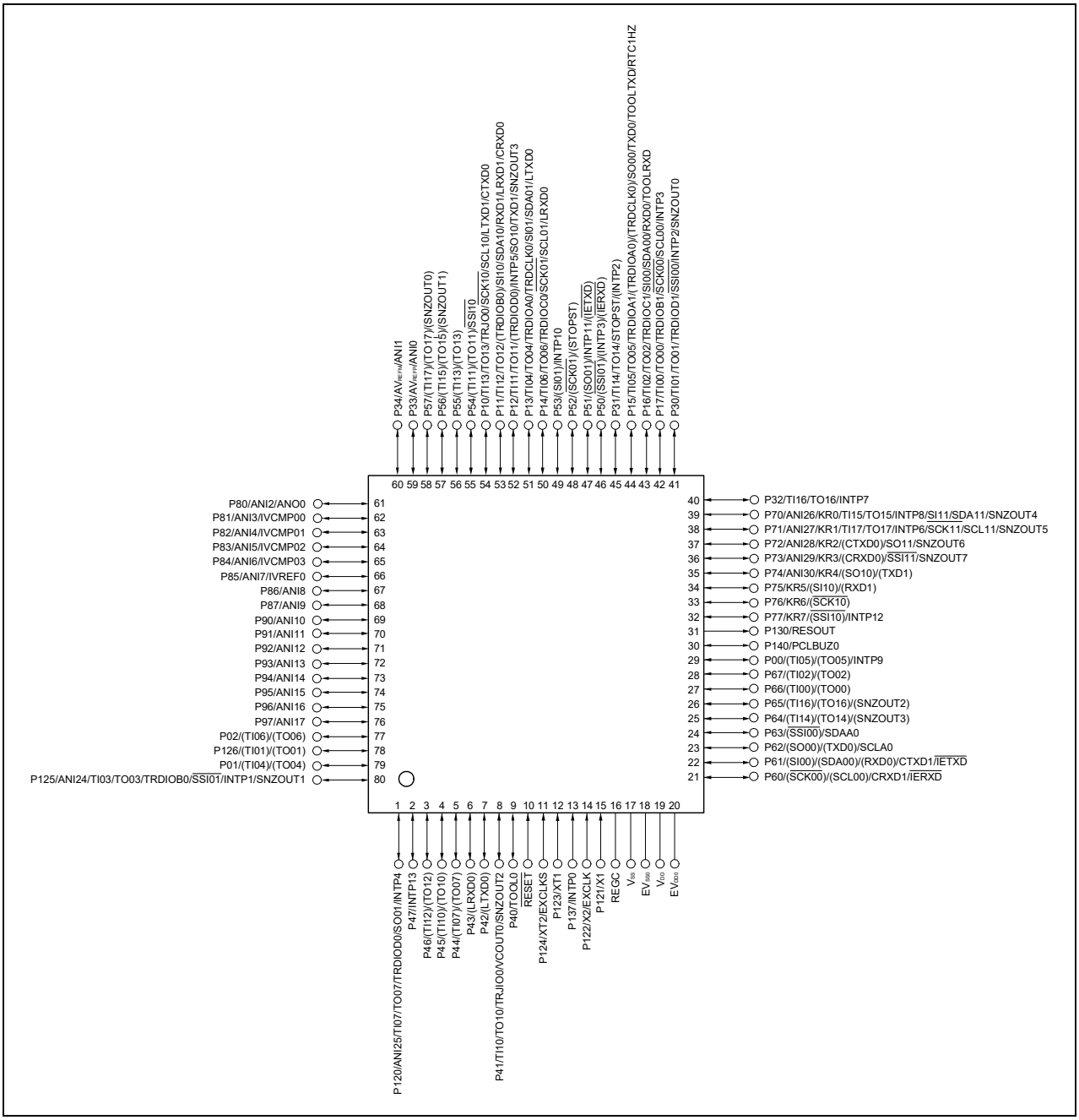
図1－7 RL78/F15の100ピン版の端子接続図



1.5.3　RL78/F15　80ピン版の端子接続図

- RL78/F15：80ピン・プラスチックLFQFP（ファインピッチ）（12×12）

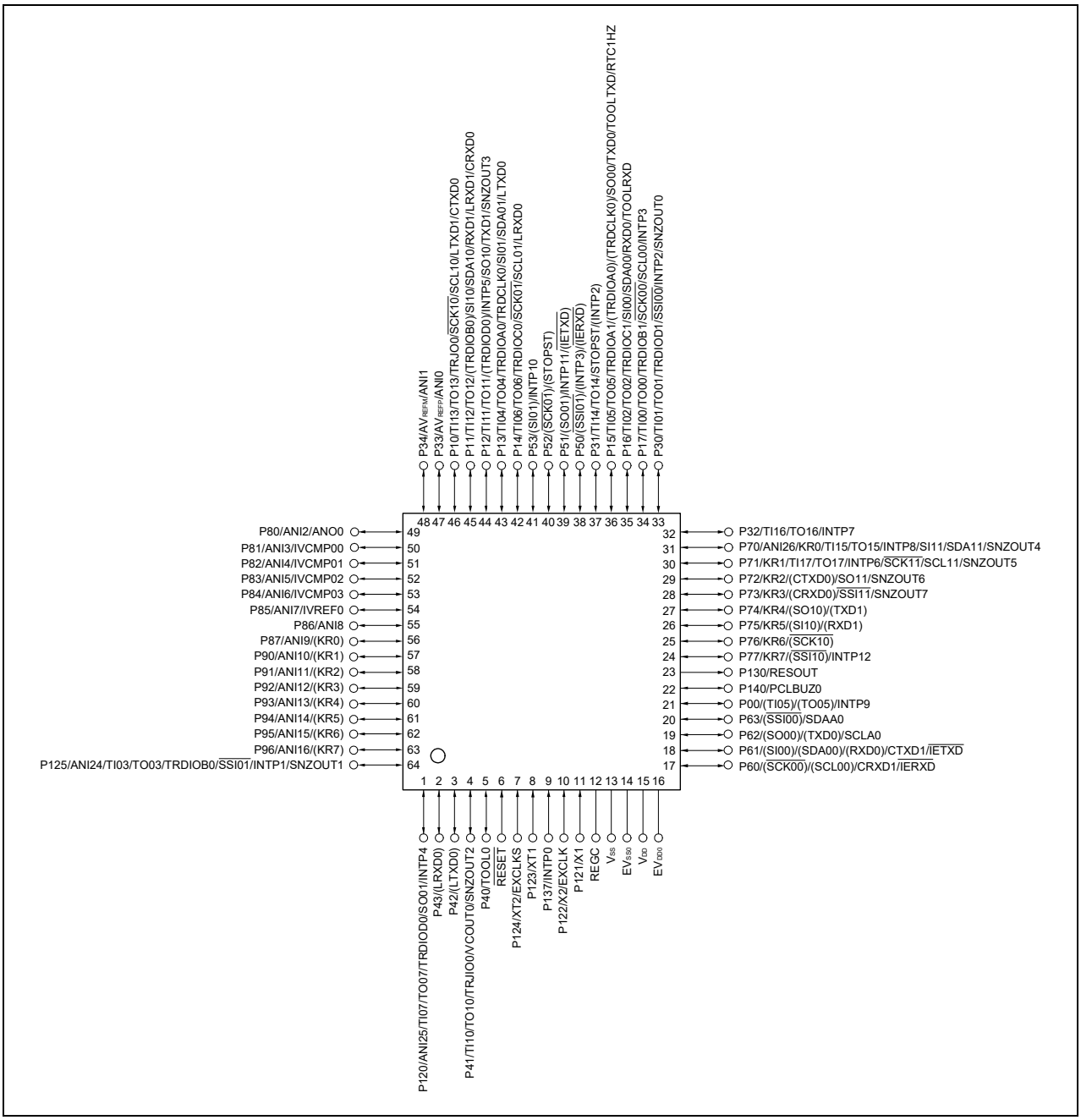
図1－8　RL78/F15の80ピン版の端子接続図



1.5.4 RL78/F15 64ピン版の端子接続図

- RL78/F15：64ピン・プラスチックLFQFP（ファインピッチ）（10×10）

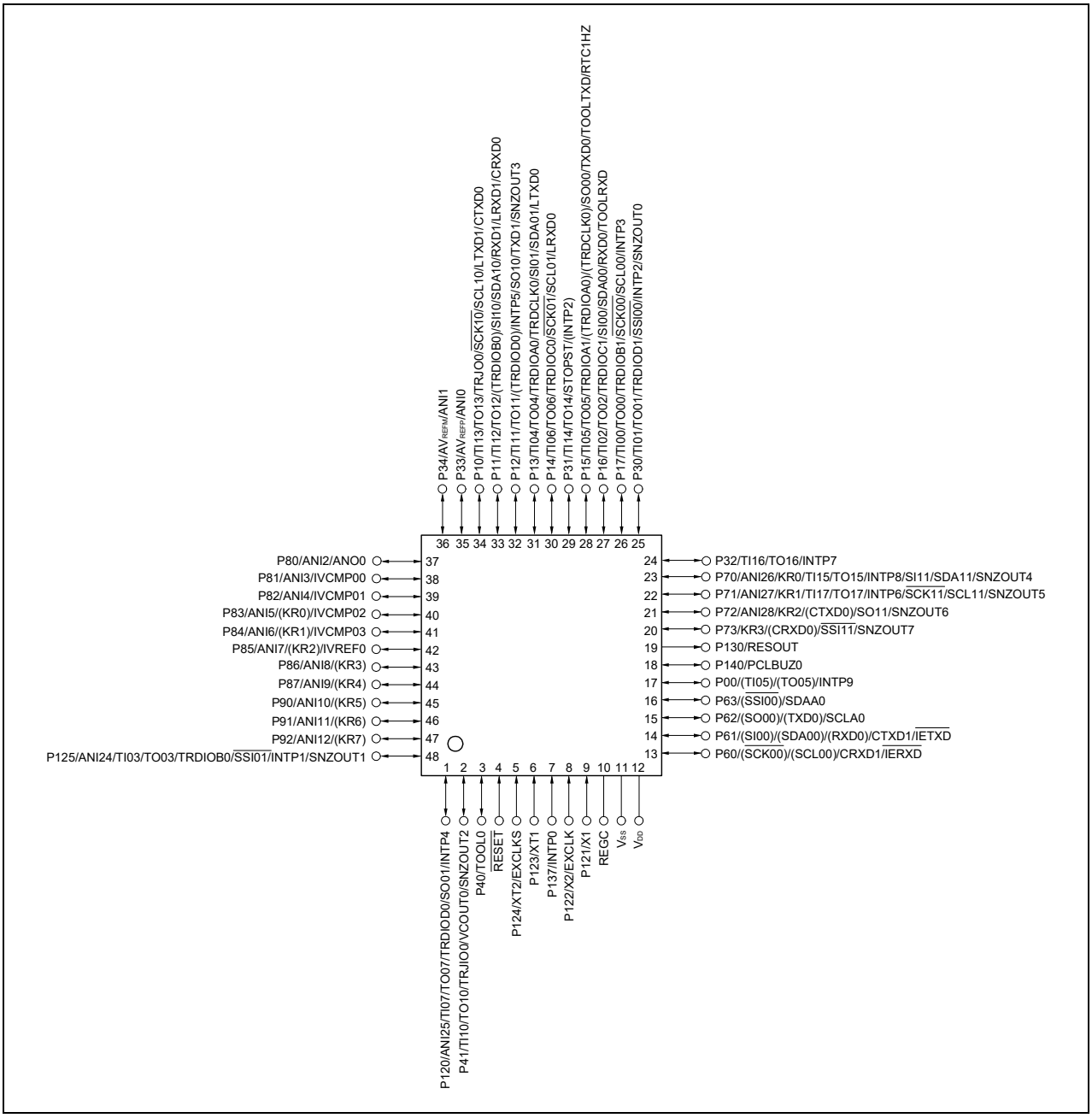
図1－9 RL78/F15の64ピン版の端子接続図



1.5.5 RL78/F15 48ピン版の端子接続図

★ • RL78/F15：48ピン・プラスチックLFQFP（7×7），HWQFN/HVQFN（7×7）

図1－10 RL78/F15の48ピン版の端子接続図



1.6 オーダ情報

表1－3にRL78/F15のオーダ情報を示します。

表1－3 RL78/F15オーダ情報

パッケージ	デバイス	オーダ名称
48ピン・プラスチックLFQFP	Lグレード	R5F113GKCLFB, R5F113GLCLFB
	Kグレード	R5F113GKCKFB, R5F113GLCKFB
★ 48ピン・プラスチックHWQFN	Lグレード	R5F113GKCLNA, R5F113GLCLNA
	Kグレード	R5F113GKCKNA, R5F113GLCKNA
48ピン・プラスチックHVQFN	Lグレード	R5F113GKLNA, R5F113GLLNA
	Kグレード	R5F113GKKNA, R5F113GLKNA
64ピン・プラスチックLFQFP	Lグレード	R5F113LKCLFB, R5F113LLCLFB
	Kグレード	R5F113LKCKFB, R5F113LLCKFB
80ピン・プラスチックLFQFP	Lグレード	R5F113MKCLFB, R5F113MLCLFB
	Kグレード	R5F113MKCKFB, R5F113MLCKFB
100ピン・プラスチックLFQFP	Lグレード	R5F113PGCLFB, R5F113PHCLFB, R5F113PJCLFB, R5F113PKCLFB, R5F113PLCLFB
	Kグレード	R5F113PGCKFB, R5F113PHCKFB, R5F113PJCKFB, R5F113PKCKFB, R5F113PLCKFB
144ピン・プラスチックLFQFP	Lグレード	R5F113TGLFB, R5F113THLFB, R5F113TJLFB, R5F113TKLFB, R5F113TLLFB
	Kグレード	R5F113TGKFB, R5F113THKFB, R5F113TJKFB, R5F113TKKFB, R5F113TLKFB

第2章　端子機能

2.1　端子機能一覧

端子の入出力バッファ電源は、製品によって異なります。表2－1に各電源と端子の関係を示します。

EV_{DD}は、EV_{DD0}/EV_{DD1}を表します。

表2－1　各端子の入出力バッファ電源

（1）48ピン製品

電源	対応する端子
V_{DD}	すべての端子

（2）64ピン製品

電源	対応する端子
EV_{DD0}	・P33、P34、P80-P87、P90-P96、P121-P124、P137以外のポート端子
V_{DD}	・P33、P34、P80-P87、P90-P96、P121-P124、P137 ・ポート以外の端子

（3）80ピン製品

電源	対応する端子
EV_{DD0}	・P33、P34、P80-P87、P90-P97、P121-P124、P137以外のポート端子
V_{DD}	・P33、P34、P80-P87、P90-P97、P121-P124、P137 ・ポート以外の端子

（4）100ピン、144ピン製品

電源	対応する端子
EV_{DD0}、EV_{DD1}	・P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137以外のポート端子
V_{DD}	・P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137 ・ポート以外の端子

ここでは、RL78/F15の144ピン版の製品を例に説明をします。

2.1.1 RL78/F15 144ピン版

（1/3）

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P00の入力は閾値レベルの切り替え可能。	入力ポート	(TI05)/(TO05)/INTP9/SCK20
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P03				(RTC1HZ)
P04				INTP15
P05				
P06				
P07				
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレーン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJO0/SCK10/SCL10/ LTXD1/CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/ SDA10/RXD1/LRXD1/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/ SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/ SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/SCK01/ SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/ (TRDCLK0)/SO00/TXD0/ TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/ SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/SCK00/ SCL00/INTP3
P20	入出力	ポート2 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P20, P21, P24, P25の入力は閾値レベルの切り替え可能。	入力ポート	(SCK20)
P21				(SI20)/(RXD2)
P22				(SO20)/(TXD2)
P23				
P24				(SCK21)
P25				(SI21)
P26				(SO21)
P27				
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30-P32, P35-P37の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P30, P37の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/SSI00/ INTP2/SNZOUT0
P31				TI14/TO14/STOPST/(INTP2)
P32				TI16/TO16/INTP7
P33			アナログ 入力ポート	AVREFP/ANI0
P34				AVREFM/ANI1
P35			入力ポート	
P36				(CTXD1)
P37				(CRXD1)
P40	入出力	ポート4 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P43の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/VCOUT0/ SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				INTP13

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

（2/3）

機能名称	入出力	機能	リセット時	兼用機能
P50	入出力	ポート5 P54の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P52, P53, P54の入力は閾値レベルの切り替え可能。	入力ポート	(SSI01)/(INTP3)/(IERXD)
P51				(SO01)/INTP11/(IETXD)
P52				(SCK01)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/SSI10
P55				(TI13)/(TO13)
P56				(TI15)/(TO15)/(SNZOUT1)
P57				(TI17)/(TO17)/(SNZOUT0)
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレーン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	(SCK00)/(SCL00)/CRXD1/IERXD
P61				(SI00)/(SDA00)/(RXD0)/ CTXD1/IETXD
P62				(SO00)/(TXD0)/SCLA0
P63				(SSI00)/SDAA0
P64				(TI14)/(TO14)/(SNZOUT3)
P65				(TI16)/(TO16)/(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 P70～P74はアナログ入力に設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレーン出力に設定可能。 P70, P71, P73, P75～P77の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI26/KR0/TI15/TO15/INTP8/ SI11/SDA11/SNZOUT4
P71				ANI27/KR1/TI17/TO17/INTP6/ SCK11/SCL11/SNZOUT5
P72				ANI28/KR2/(CTXD0)/SO11/ SNZOUT6
P73				ANI29/KR3/(CRXD0)/SSI11/ SNZOUT7
P74				ANI30/KR4/(SO10)/(TXD1)
P75			入力ポート	KR5/(SI10)/(RXD1)
P76				KR6/(SCK10)
P77				KR7/(SSI10)/INTP12
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ 入力ポート	ANI2/ANO0
P81				ANI3/IVCMP00
P82				ANI4/IVCMP01
P83				ANI5/IVCMP02
P84				ANI6/IVCMP03
P85				ANI7/IVREF0
P86				ANI8
P87				ANI9
P90	入出力	ポート9 P90～P97はアナログ入力に設定可能。	アナログ 入力ポート	ANI10
P91				ANI11
P92				ANI12
P93				ANI13
P94				ANI14
P95				ANI15
P96				ANI16
P97				ANI17
P100	入出力	ポート10 P100～P105はアナログ入力に設定可能。 P106, P107はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P107の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI18
P101				ANI19
P102				ANI20
P103				ANI21
P104				ANI22
P105				ANI23
P106			入力ポート	(LTXD1)
P107				(LRXD1)

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。
P52のSTOPST機能のみSTOPステータス出力制御レジスタ（STPSTC）の設定で割り当てることができます。

（3/3）

機能名称	入出力	機能	リセット時	兼用機能
P110	入出力	ポート11 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI20/TO20
P111				TI21/TO21
P112				TI22/TO22
P113				TI23/TO23
P114				TI24/TO24
P115				TI25/TO25
P116				TI26/TO26
P117				TI27/TO27
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。 P120, P125はアナログ入力に設定可能。 P120, P125～P127の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレーン出力に設定可能。 P125の入力は閾値レベルの切り替え可能。	アナログ入力ポート	ANI25/TI07/TO07/TRDIOD0/SO01/INTP4
P121	入力		入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力		アナログ入力ポート	ANI24/TI03/TO03/TRDIOB0/$\overline{\text{SSI01}}$/INTP1/SNZOUT1
P126			入力ポート	(TI01)/(TO01)
P127				(TI03)/(TO03)
P130	出力	ポート13	出力ポート	RESOUT
P131	入出力	P131-P136の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP14
P132				
P133				
P134				
P135				
P136				
P137	入力		入力ポート	INTP0
P140	入出力	ポート14 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0/(TI20)/(TO20)
P141				(TI21)/(TO21)
P142				(TI22)/(TO22)
P143				(TI23)/(TO23)
P144				(TI24)/(TO24)
P145				(TI25)/(TO25)
P146				(TI26)/(TO26)
P147				(TI27)/(TO27)
P150	入出力	ポート15 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P150, P152-P154, P156の入力は閾値レベルの切り替え可能。	入力ポート	($\overline{\text{SSI11}}$)
P151				(SO11)/SO21
P152				(SI11)/SI21
P153				($\overline{\text{SCK11}}$) /$\overline{\text{SCK21}}$
P154				(SNZOUT7) /LRXD2
P155				(SNZOUT6) /LTXD2
P156				(SNZOUT5)/SI20/RXD2
P157				(SNZOUT4)/SO20/TXD2
P160	入出力	ポート16 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	
P161				
P162				
P163				
P164				
P165				
P166				
P167				

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

2.1.2 RL78/F15 100ピン版

（1/3）

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P00の入力は閾値レベルの切り替え可能。	入力ポート	(TI05)/(TO05)/INTP9/SCK20
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P03				(RTC1HZ)
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレーン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJO0/SCK10/SCL10/ LTXD1/CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/ SDA10/RXD1/LRXD1/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/ SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/ SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/SCK01/ SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/ (TRDCLK0)/SO00/TXD0/ TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/ SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/SCK00/ SCL00/INTP3
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30, P31, P32の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/SSI00/ INTP2/SNZOUT0
P31				TI14/TO14/STOPST/(INTP2)
P32				TI16/TO16/INTP7
P33			アナログ 入力ポート	AV_{REFP}/ANI0
P34				AV_{REFM}/ANI1
P40	入出力	ポート4 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P43の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/VCOUT0/ SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				INTP13
P50	入出力	ポート5 P54の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P52, P53, P54の入力は閾値レベルの切り替え可能。	入力ポート	(SSI01)/(INTP3)/(IERXD)
P51				(SO01)/INTP11/(IETXD)
P52				(SCK01)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/SSI10
P55				(TI13)/(TO13)
P56				(TI15)/(TO15)/(SNZOUT1)
P57				(TI17)/(TO17)/(SNZOUT0)

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。
P52のSTOPST機能のみSTOPステータス出力制御レジスタ（STPSTC）の設定で割り当てることができます。

（2/3）

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレーン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	(SCK00)/(SCL00)/CRXD1/IERXD
P61				(SI00)/(SDA00)/(RXD0)/ CTXD1/IETXD
P62				(SO00)/(TXD0)/SCLA0
P63				(SSI00)/SDAA0
P64				(TI14)/(TO14)/(SNZOUT3)
P65				(TI16)/(TO16)/(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 P70～P74はアナログ入力に設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレーン出力に設定可能。 P70, P71, P73, P75～P77の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI26/KR0/TI15/TO15/INTP8/ SI11/SDA11/SNZOUT4
P71				ANI27/KR1/TI17/TO17/INTP6/ SCK11/SCL11/SNZOUT5
P72				ANI28/KR2/(CTXD0)/SO11/ SNZOUT6
P73				ANI29/KR3/(CRXD0)/SSI11/ SNZOUT7
P74				ANI30/KR4/(SO10)/(TXD1)
P75			入力ポート	KR5/(SI10)/(RXD1)
P76				KR6/(SCK10)
P77				KR7/(SSI10)/INTP12
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ 入力ポート	ANI2/ANO0
P81				ANI3/IVCMP00
P82				ANI4/IVCMP01
P83				ANI5/IVCMP02
P84				ANI6/IVCMP03
P85				ANI7/IVREF0
P86				ANI8
P87				ANI9
P90	入出力	ポート9 P90～P97はアナログ入力に設定可能。	アナログ 入力ポート	ANI10
P91				ANI11
P92				ANI12
P93				ANI13
P94				ANI14
P95				ANI15
P96				ANI16
P97				ANI17
P100	入出力	ポート10 P100～P105はアナログ入力に設定可能。 P106, P107はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P107の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI18
P101				ANI19
P102				ANI20
P103				ANI21
P104				ANI22
P105				ANI23
P106			入力ポート	(LTXD1)
P107				(LRXD1)
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。 P120, P125はアナログ入力に設定可能。 P120, P125～P127の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレーン出力に設定可能。 P125の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI25/TI07/TO07/TRDIOD0/ SO01/INTP4
P121	入力		入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力		アナログ 入力ポート	ANI24/TI03/TO03/TRDIOB0/ SSI01/INTP1/SNZOUT1
P126			入力ポート	(TI01)/(TO01)
P127				(TI03)/(TO03)

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

（3/3）

機能名称	入出力	機能	リセット時	兼用機能
P130	出力	ポート13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート14 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0
P150	入出力	ポート15 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P150, P152-P154, P156の入力は閾値レベルの切り替え可能。	入力ポート	(SSI11)
P151				(SO11)/SO21
P152				(SI11)/SI21
P153				(SCK11) /SCK21
P154				(SNZOUT7) /LRXD2
P155				(SNZOUT6) /LTXD2
P156				(SNZOUT5)/SI20/RXD2
P157				(SNZOUT4)/SO20/TXD2

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

2.1.3 RL78/F15 80ピン版

（1/2）

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P01				(TI04)/(TO04)
P02				(TI06)/(TO06)
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレーン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJO0/$\overline{\text{SCK10}}$/SCL10/ LTXD1/CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/ SDA10/RXD1/LRXD1/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/ SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/ SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/$\overline{\text{SCK01}}$/ SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/ (TRDCLK0)/SO00/TXD0/ TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/ SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/$\overline{\text{SCK00}}$/ SCL00/INTP3
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30, P31, P32の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/$\overline{\text{SSI00}}$/ INTP2/SNZOUT0
P31				TI14/TO14/STOPST/(INTP2)
P32				TI16/TO16/INTP7
P33			アナログ 入力ポート	AV_{REFP}/ANI0
P34				AV_{REFM}/ANI1
P40	入出力	ポート4 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P43の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/VCOUT0/ SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P44				(TI07)/(TO07)
P45				(TI10)/(TO10)
P46				(TI12)/(TO12)
P47				INTP13
P50	入出力	ポート5 P54の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P52, P53, P54の入力は閾値レベルの切り替え可能。	入力ポート	($\overline{\text{SSI01}}$)/(INTP3)/($\overline{\text{IERXD}}$)
P51				(SO01)/INTP11/($\overline{\text{IETXD}}$)
P52				($\overline{\text{SCK01}}$)/(STOPST)
P53				(SI01)/INTP10
P54				(TI11)/(TO11)/$\overline{\text{SSI10}}$
P55				(TI13)/(TO13)
P56				(TI15)/(TO15)/(SNZOUT1)
P57				(TI17)/(TO17)/(SNZOUT0)

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。
P52のSTOPST機能のみSTOPステータス出力制御レジスタ（STPSTC）の設定で割り当てることができます。

（2/2）

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレーン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	(SCK00)/(SCL00)/CRXD1/IERXD
P61				(SI00)/(SDA00)/(RXD0)/ CTXD1/IETXD
P62				(SO00)/(TXD0)/SCLA0
P63				(SSI00)/SDAA0
P64				(TI14)/(TO14)/(SNZOUT3)
P65				(TI16)/(TO16)/(SNZOUT2)
P66				(TI00)/(TO00)
P67				(TI02)/(TO02)
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 P70～P74はアナログ入力に設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレーン出力に設定可能。 P70, P71, P73, P75～P77の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI26/KR0/TI15/TO15/INTP8/ SI11/SDA11/SNZOUT4
P71				ANI27/KR1/TI17/TO17/INTP6/ SCK11/SCL11/SNZOUT5
P72				ANI28/KR2/(CTXD0)/SO11/ SNZOUT6
P73				ANI29/KR3/(CRXD0)/SSI11/ SNZOUT7
P74				ANI30/KR4/(SO10)/(TXD1)
P75			入力ポート	KR5/(SI10)/(RXD1)
P76				KR6/(SCK10)
P77				KR7/(SSI10)/INTP12
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ 入力ポート	ANI2/ANO0
P81				ANI3/IVCMP00
P82				ANI4/IVCMP01
P83				ANI5/IVCMP02
P84				ANI6/IVCMP03
P85				ANI7/IVREF0
P86				ANI8
P87				ANI9
P90	入出力	ポート9 P90～P97はアナログ入力に設定可能。	アナログ 入力ポート	ANI10
P91				ANI11
P92				ANI12
P93				ANI13
P94				ANI14
P95				ANI15
P96				ANI16
P97				ANI17
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。 P120, P125はアナログ入力に設定可能。 P120, P125～P126入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレーン出力に設定可能。 P125の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI25/TI07/TO07/TRDIOD0/ SO01/INTP4
P121	入力		入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力		アナログ 入力ポート	ANI24/TI03/TO03/TRDIOB0/ SSI01/INTP1/SNZOUT1
P126			入力ポート	(TI01)/(TO01)
P130	出力	ポート13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート14 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

2.1.4 RL78/F15 64ピン版

（1/2）

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレーン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJO0/$\overline{\text{SCK10}}$/SCL10/ LTXD1/CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/ SDA10/RXD1/LRXD1/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/ SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/ SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/$\overline{\text{SCK01}}$/ SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/ (TRDCLK0)/SO00/TXD0/ TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/ SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/$\overline{\text{SCK00}}$/ SCL00/INTP3
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30, P31, P32の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/$\overline{\text{SSI00}}$/ INTP2/SNZOUT0
P31				TI14/TO14/STOPST/(INTP2)
P32				TI16/TO16/INTP7
P33			アナログ 入力ポート	AV_{REFP}/ANI0
P34				AV_{REFM}/ANI1
P40	入出力	ポート4 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P43の入力は閾値レベルの切り替え可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/VCOUT0/ SNZOUT2
P42				(LTXD0)
P43				(LRXD0)
P50	入出力	ポート5 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P50, P52, P53の入力は閾値レベルの切り替え可能。	入力ポート	($\overline{\text{SSI01}}$)/(INTP3)/($\overline{\text{IERXD}}$)
P51				(SO01)/INTP11/($\overline{\text{IETXD}}$)
P52				($\overline{\text{SCK01}}$)/(STOPST)
P53				(SI01)/INTP10
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレーン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	($\overline{\text{SCK00}}$)/(SCL00)/CRXD1/$\overline{\text{IERXD}}$
P61				(SI00)/(SDA00)/(RXD0)/ CTXD1/$\overline{\text{IETXD}}$
P62				(SO00)/(TXD0)/SCLA0
P63				($\overline{\text{SSI00}}$)/SDAA0
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 P70はアナログ入力に設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレーン出力に設定可能。 P70, P71, P73, P75～P77の入力は閾値レベルの切り替え可能。	アナログ 入力ポート	ANI26/KR0/TI15/TO15/INTP8/ SI11/SDA11/SNZOUT4
P71				KR1/TI17/TO17/INTP6/ $\overline{\text{SCK11}}$/SCL11/SNZOUT5
P72				KR2/(CTXD0)/SO11/ SNZOUT6
P73				KR3/(CRXD0)/$\overline{\text{SSI11}}$/ SNZOUT7
P74				KR4/(SO10)/(TXD1)
P75			入力ポート	KR5/(SI10)/(RXD1)
P76				KR6/($\overline{\text{SCK10}}$)
P77				KR7/($\overline{\text{SSI10}}$)/INTP12

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。
P52のSTOPST機能のみSTOPステータス出力制御レジスタ（STPSTC）の設定で割り当てることができます。

（2/2）

機能名称	入出力	機能	リセット時	兼用機能
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ 入力ポート	ANI2/ANO0
P81				ANI3/IVCMP00
P82				ANI4/IVCMP01
P83				ANI5/IVCMP02
P84				ANI6/IVCMP03
P85				ANI7/IVREF0
P86				ANI8
P87				ANI9/(KR0)
P90	入出力	ポート9 P90～P96はアナログ入力に設定可能。	アナログ 入力ポート	ANI10/(KR1)
P91				ANI11/(KR2)
P92				ANI12/(KR3)
P93				ANI13/(KR4)
P94				ANI14/(KR5)
P95				ANI15/(KR6)
P96				ANI16/(KR7)
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。	アナログ 入力ポート	ANI25/TI07/TO07/TRDIOD0/ SO01/INTP4
P121	入力	P120, P125はアナログ入力に設定可能。 P120, P125の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレーン出力に設定可能。 P125の入力は閾値レベルの切り替え可能。	入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力		アナログ 入力ポート	ANI24/TI03/TO03/TRDIOB0/ $\overline{\text{SSI01}}$/INTP1/SNZOUT1
P130	出力	ポート13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート14 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

2.1.5 RL78/F15 48ピン版

（1/2）

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	(TI05)/(TO05)/INTP9
P10	入出力	ポート1 P10, P11, P13, P14, P16, P17の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P10～P17の出力はN-chオープン・ドレーン出力に設定可能。 P10, P11, P13, P14, P16, P17の入力は閾値レベルの切り替え可能。	入力ポート	TI13/TO13/TRJO0/$\overline{\text{SCK10}}$/SCL10/LTXD1/CTXD0
P11				TI12/TO12/(TRDIOB0)/SI10/SDA10/RXD1/LRXD1/CRXD0
P12				TI11/TO11/(TRDIOD0)/INTP5/SO10/TXD1/SNZOUT3
P13				TI04/TO04/TRDIOA0/TRDCLK0/SI01/SDA01/LTXD0
P14				TI06/TO06/TRDIOC0/$\overline{\text{SCK01}}$/SCL01/LRXD0
P15				TI05/TO05/TRDIOA1/(TRDIOA0)/(TRDCLK0)/SO00/TXD0/TOOLTXD/RTC1HZ
P16				TI02/TO02/TRDIOC1/SI00/SDA00/RXD0/TOOLRXD
P17				TI00/TO00/TRDIOB1/$\overline{\text{SCK00}}$/SCL00/INTP3
P30	入出力	ポート3 P30の入力はTTL入力バッファに設定可能。 P33およびP34はアナログ入力に設定可能。 P30, P31, P32の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力は閾値レベルの切り替え可能。	入力ポート	TI01/TO01/TRDIOD1/$\overline{\text{SSI00}}$/INTP2/SNZOUT0
P31				TI14/TO14/STOPST/(INTP2)
P32				TI16/TO16/INTP7
P33			アナログ入力ポート	AV_{REFP}/ANI0
P34				AV_{REFM}/ANI1
P40	入出力	ポート4 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TI10/TO10/TRJIO0/VCOUT0/SNZOUT2
P60	入出力	ポート6 P62, P63の入力はTTL入力バッファに設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P60～P63の出力はN-chオープン・ドレーン出力に設定可能。 P60～P63の入力は閾値レベルの切り替え可能。	入力ポート	($\overline{\text{SCK00}}$)/(SCL00)/CRXD1/$\overline{\text{IERXD}}$
P61				(SI00)/(SDA00)/(RXD0)/CTXD1/$\overline{\text{IETXD}}$
P62				(SO00)/(TXD0)/SCLA0
P63				($\overline{\text{SSI00}}$)/SDAA0
P70	入出力	ポート7 P70, P71, P73の入力はTTL入力バッファに設定可能。 P70～P72はアナログ入力に設定可能。 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P70～P72の出力はN-chオープン・ドレーン出力に設定可能。 P70, P71, P73の入力は閾値レベルの切り替え可能。	アナログ入力ポート	ANI26/KR0/TI15/TO15/INTP8/SI11/SDA11/SNZOUT4
P71				ANI27/KR1/TI17/TO17/INTP6/$\overline{\text{SCK11}}$/SCL11/SNZOUT5
P72				ANI28/KR2/(CTXD0)/SO11/SNZOUT6
P73				KR3/(CRXD0)/$\overline{\text{SSI11}}$/SNZOUT7
P80	入出力	ポート8 P80～P87はアナログ入力に設定可能。	アナログ入力ポート	ANI2/ANO0
P81				ANI3/IVCMP00
P82				ANI4/IVCMP01
P83				ANI5/(KR0)/IVCMP02
P84				ANI6/(KR1)/IVCMP03
P85				ANI7/(KR2)/IVREF0
P86				ANI8/(KR3)
P87				ANI9/(KR4)
P90	入出力	ポート9 P90～P92アナログ入力に設定可能。	アナログ入力ポート	ANI10/(KR5)
P91				ANI11/(KR6)
P92				ANI12/(KR7)

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

（2/2）

機能名称	入出力	機能	リセット時	兼用機能
P120	入出力	ポート12 P125の入力はTTL入力バッファに設定可能。	アナログ 入力ポート	ANI25/TI07/TO07/TRDIOD0/ SO01/INTP4
P121	入力	P120, P125はアナログ入力に設定可能。 P120, P125の入力はソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレーン出力に設定可能。 P125の入力は閾値レベルの切り替え可能。	入力ポート	X1
P122				X2/EXCLK
P123				XT1
P124				XT2/EXCLKS
P125	入出力		アナログ 入力ポート	ANI24/TI03/TO03/TRDIOB0/ $\overline{\text{SSI01}}$/INTP1/SNZOUT1
P130	出力	ポート13	出力ポート	RESOUT
P137	入力		入力ポート	INTP0
P140	入出力	ポート14 ソフトウエアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

2.1.6 製品別搭載端子（ポート以外の端子）

表2－2に搭載しているポート以外の端子を示します。

「○」は搭載、「—」は非搭載の端子を表しています。

表2－2 RL78/F15のポート以外端子機能一覧（1/6）

端子機能	入出力	機能	端子数				
			144ピン	100ピン	80ピン	64ピン	48ピン
ANI0	入力	A/Dコンバータのアナログ入力（V_{DD}接続）	○	○	○	○	○
ANI1	入力		○	○	○	○	○
ANI2	入力		○	○	○	○	○
ANI3	入力		○	○	○	○	○
ANI4	入力		○	○	○	○	○
ANI5	入力		○	○	○	○	○
ANI6	入力		○	○	○	○	○
ANI7	入力		○	○	○	○	○
ANI8	入力		○	○	○	○	○
ANI9	入力		○	○	○	○	○
ANI10	入力		○	○	○	○	○
ANI11	入力		○	○	○	○	○
ANI12	入力		○	○	○	○	○
ANI13	入力		○	○	○	○	−
ANI14	入力		○	○	○	○	−
ANI15	入力		○	○	○	○	−
ANI16	入力		○	○	○	○	−
ANI17	入力		○	○	○	−	−
ANI18	入力		○	○	−	−	−
ANI19	入力		○	○	−	−	−
ANI20	入力		○	○	−	−	−
ANI21	入力		○	○	−	−	−
ANI22	入力		○	○	−	−	−
ANI23	入力		○	○	−	−	−
ANI24	入力	A/Dコンバータのアナログ入力（EV_{DD}接続）	○	○	○	○	○
ANI25	入力		○	○	○	○	○
ANI26	入力		○	○	○	○	○
ANI27	入力		○	○	○	−	○
ANI28	入力		○	○	○	−	○
ANI29	入力		○	○	○	−	−
ANI30	入力		○	○	○	−	−
IVCMP00	入力	コンパレータのアナログ電圧入力	○	○	○	○	○
IVCMP01	入力		○	○	○	○	○
IVCMP02	入力		○	○	○	○	○
IVCMP03	入力		○	○	○	○	○
IVREF0	入力	コンパレータの基準電圧入力	○	○	○	○	○

表2－2 RL78/F15のポート以外の端子機能一覧（2/6）

端子機能	入出力	機能	端子数				
			144ピン	100ピン	80ピン	64ピン	48ピン
KR0	入力	キー割り込み入力	○	○	○	○	○
KR1	入力		○	○	○	○	○
KR2	入力		○	○	○	○	○
KR3	入力		○	○	○	○	○
KR4	入力		○	○	○	○	○
KR5	入力		○	○	○	○	○
KR6	入力		○	○	○	○	○
KR7	入力		○	○	○	○	○
ANO0	出力	D/Aコンバータ出力	○	○	○	○	○
VCOUT0	出力	コンパレータ出力	○	○	○	○	○
TI00	入力	16ビット・タイマ00入力	○	○	○	○	○
TI01	入力	16ビット・タイマ01入力（8ビット・モード可）	○	○	○	○	○
TI02	入力	16ビット・タイマ02入力	○	○	○	○	○
TI03	入力	16ビット・タイマ03入力（8ビット・モード可）	○	○	○	○	○
TI04	入力	16ビット・タイマ04入力	○	○	○	○	○
TI05	入力	16ビット・タイマ05入力	○	○	○	○	○
TI06	入力	16ビット・タイマ06入力	○	○	○	○	○
TI07	入力	16ビット・タイマ07入力	○	○	○	○	○
TI10	入力	16ビット・タイマ10入力	○	○	○	○	○
TI11	入力	16ビット・タイマ11入力（8ビット・モード可）	○	○	○	○	○
TI12	入力	16ビット・タイマ12入力	○	○	○	○	○
TI13	入力	16ビット・タイマ13入力（8ビット・モード可）	○	○	○	○	○
TI14	入力	16ビット・タイマ14入力	○	○	○	○	○
TI15	入力	16ビット・タイマ15入力	○	○	○	○	○
TI16	入力	16ビット・タイマ16入力	○	○	○	○	○
TI17	入力	16ビット・タイマ17入力	○	○	○	○	○
TI20	入力	16ビット・タイマ20入力	○	－	－	－	－
TI21	入力	16ビット・タイマ21入力	○	－	－	－	－
TI22	入力	16ビット・タイマ22入力	○	－	－	－	－
TI23	入力	16ビット・タイマ23入力	○	－	－	－	－
TI24	入力	16ビット・タイマ24入力	○	－	－	－	－
TI25	入力	16ビット・タイマ25入力	○	－	－	－	－
TI26	入力	16ビット・タイマ26入力	○	－	－	－	－
TI27	入力	16ビット・タイマ27入力	○	－	－	－	－
TO00	出力	16ビット・タイマ00出力	○	○	○	○	○
TO01	出力	16ビット・タイマ01出力（8ビット・モード可）	○	○	○	○	○
TO02	出力	16ビット・タイマ02出力	○	○	○	○	○
TO03	出力	16ビット・タイマ03出力（8ビット・モード可）	○	○	○	○	○
TO04	出力	16ビット・タイマ04出力	○	○	○	○	○
TO05	出力	16ビット・タイマ05出力	○	○	○	○	○
TO06	出力	16ビット・タイマ06出力	○	○	○	○	○
TO07	出力	16ビット・タイマ07出力	○	○	○	○	○
TO10	出力	16ビット・タイマ10出力	○	○	○	○	○

表2－2 RL78/F15のポート以外の端子機能一覧（3/6）

端子機能	入出力	機能	端子数				
			144ピン	100ピン	80ピン	64ピン	48ピン
TO11	出力	16ビット・タイマ11出力（8ビット・モード可）	○	○	○	○	○
TO12	出力	16ビット・タイマ12出力	○	○	○	○	○
TO13	出力	16ビット・タイマ13出力（8ビット・モード可）	○	○	○	○	○
TO14	出力	16ビット・タイマ14出力	○	○	○	○	○
TO15	出力	16ビット・タイマ15出力	○	○	○	○	○
TO16	出力	16ビット・タイマ16出力	○	○	○	○	○
TO17	出力	16ビット・タイマ17出力	○	○	○	○	○
TO20	出力	16ビット・タイマ20出力	○	－	－	－	－
TO21	出力	16ビット・タイマ21出力	○	－	－	－	－
TO22	出力	16ビット・タイマ22出力	○	－	－	－	－
TO23	出力	16ビット・タイマ23出力	○	－	－	－	－
TO24	出力	16ビット・タイマ24出力	○	－	－	－	－
TO25	出力	16ビット・タイマ25出力	○	－	－	－	－
TO26	出力	16ビット・タイマ26出力	○	－	－	－	－
TO27	出力	16ビット・タイマ27出力	○	－	－	－	－
TRJIO0	入出力	タイマRJ入出力	○	○	○	○	○
TRJO0	出力	タイマRJ出力	○	○	○	○	○
TRDCLK0	入力	タイマRD外部クロック入力	○	○	○	○	○
TRDIOA0	入出力	タイマRD0入出力	○	○	○	○	○
TRDIOB0	入出力		○	○	○	○	○
TRDIOC0	入出力		○	○	○	○	○
TRDIOD0	入出力		○	○	○	○	○
TRDIOA1	入出力	タイマRD1入出力	○	○	○	○	○
TRDIOB1	入出力		○	○	○	○	○
TRDIOC1	入出力		○	○	○	○	○
TRDIOD1	入出力		○	○	○	○	○
RXD0	入力	UART0のシリアル・データ入力	○	○	○	○	○
RXD1	入力	UART1のシリアル・データ入力	○	○	○	○	○
RXD2	入力	UART2のシリアル・データ入力	○	○	－	－	－
TXD0	出力	UART0のシリアル・データ出力	○	○	○	○	○
TXD1	出力	UART1のシリアル・データ出力	○	○	○	○	○
TXD2	出力	UART2のシリアル・データ出力	○	○	－	－	－
SCLA0	入出力	IICA0のクロック入出力	○	○	○	○	○
SCL00	出力	簡易I^2Cのクロック出力	○	○	○	○	○
SCL01	出力		○	○	○	○	○
SCL10	出力		○	○	○	○	○
SCL11	出力		○	○	○	○	○
SDAA0	入出力	IICA0のシリアル・データ入出力	○	○	○	○	○
SDA00	入出力	簡易I^2Cのシリアル・データ入出力	○	○	○	○	○
SDA01	入出力		○	○	○	○	○
SDA10	入出力		○	○	○	○	○
SDA11	入出力		○	○	○	○	○
$\overline{SCK00}$	入出力	CSI00のクロック入出力	○	○	○	○	○

表2－2 RL78/F15のポート以外の端子機能一覧（4/6）

端子機能	入出力	機能	端子数				
			144ピン	100ピン	80ピン	64ピン	48ピン
$\overline{SCK01}$	入出力	CSI01のクロック入出力	○	○	○	○	○
$\overline{SCK10}$	入出力	CSI10のクロック入出力	○	○	○	○	○
$\overline{SCK11}$	入出力	CSI11のクロック入出力	○	○	○	○	○
$\overline{SCK20}$	入出力	CSI20のクロック入出力	○	○	－	－	－
$\overline{SCK21}$	入出力	CSI21のクロック入出力	○	○	－	－	－
SI00	入力	CSI00のシリアル・データ入力	○	○	○	○	○
SI01	入力	CSI01のシリアル・データ入力	○	○	○	○	○
SI10	入力	CSI10のシリアル・データ入力	○	○	○	○	○
SI11	入力	CSI11のシリアル・データ入力	○	○	○	○	○
SI20	入力	CSI20のシリアル・データ入力	○	○	－	－	－
SI21	入力	CSI21のシリアル・データ入力	○	○	－	－	－
SO00	出力	CSI00のシリアル・データ出力	○	○	○	○	○
SO01	出力	CSI01のシリアル・データ出力	○	○	○	○	○
SO10	出力	CSI10のシリアル・データ出力	○	○	○	○	○
SO11	出力	CSI11のシリアル・データ出力	○	○	○	○	○
SO20	出力	CSI20のシリアル・データ出力	○	○	－	－	－
SO21	出力	CSI20のシリアル・データ出力	○	○	－	－	－
$\overline{SSI00}$	入力	CSI00（SPI00）のスレーブ・セレクト入力	○	○	○	○	○
$\overline{SSI01}$	入力	CSI01（SPI01）のスレーブ・セレクト入力	○	○	○	○	○
$\overline{SSI10}$	入力	CSI10（SPI10）のスレーブ・セレクト入力	○	○	○	○	－
$\overline{SSI11}$	入力	CSI11（SPI11）のスレーブ・セレクト入力	○	○	○	○	○
CRXD0	入力	CANのシリアル・データ入力	○	○	○	○	○
CRXD1	入力		○	○	○	○	○
CTXD0	出力	CANのシリアル・データ出力	○	○	○	○	○
CTXD1	出力		○	○	○	○	○
LRXD0	入力	LINのシリアル・データ入力	○	○	○	○	○
LRXD1	入力		○	○	○	○	○
LRXD2	入力		○	○	－	－	－
LTXD0	出力	LINのシリアル・データ出力	○	○	○	○	○
LTXD1	出力		○	○	○	○	○
LTXD2	出力		○	○	－	－	－
$\overline{IERXD}$	入力	IEBusのシリアル・データ入力	○	○	○	○	○
$\overline{IETXD}$	出力	IEBusのシリアル・データ出力	○	○	○	○	○

表2－2 RL78/F15のポート以外の端子機能一覧（5/6）

端子機能	入出力	機能	端子数				
			144ピン	100ピン	80ピン	64ピン	48ピン
INTP0	入力	外部割り込み入力	○	○	○	○	○
INTP1	入力		○	○	○	○	○
INTP2	入力		○	○	○	○	○
INTP3	入力		○	○	○	○	○
INTP4	入力		○	○	○	○	○
INTP5	入力		○	○	○	○	○
INTP6	入力		○	○	○	○	○
INTP7	入力		○	○	○	○	○
INTP8	入力		○	○	○	○	○
INTP9	入力		○	○	○	○	○
INTP10	入力		○	○	○	○	－
INTP11	入力		○	○	○	○	－
INTP12	入力		○	○	○	○	－
INTP13	入力		○	○	○	－	－
INTP14	入力		○	－	－	－	－
INTP15	入力		○	－	－	－	－
PCLBUZ0	出力	クロック出力／ブザー出力0	○	○	○	○	○
RESOUT	出力	リセット出力	○	○	○	○	○
STOPST	出力	STOPステータス出力	○	○	○	○	○
SNZOUT0	出力	SNOOZEステータス出力	○	○	○	○	○
SNZOUT1	出力		○	○	○	○	○
SNZOUT2	出力		○	○	○	○	○
SNZOUT3	出力		○	○	○	○	○
SNZOUT4	出力		○	○	○	○	○
SNZOUT5	出力		○	○	○	○	○
SNZOUT6	出力		○	○	○	○	○
SNZOUT7	出力		○	○	○	○	○
RTC1HZ	出力	リアルタイム・クロック補正クロック（1Hz）出力	○	○	○	○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○	○	○	○
EXCLKS	入力	サブ・クロック用外部クロック入力	○	○	○	○	○
X1	－	メイン・システム・クロック用発振子接続	○	○	○	○	○
X2	－		○	○	○	○	○
XT1	－	サブシステム・クロック用発振子接続	○	○	○	○	○
XT2	－		○	○	○	○	○
$\overline{\text{RESET}}$	入力	外部リセット入力	○	○	○	○	○
REGC	－	内部動作用レギュレータ出力安定容量接続。コンデンサ（0.47～1μF）を介してVssに接続してください。	○	○	○	○	○
V_{DD}	－	P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137、$\overline{\text{RESET}}$端子の正電源	○	○	○	○	○
EV_{DD0}	－	V_{DD}接続端子以外の正電源	○	○	○	○	－
EV_{DD1}	－		○	○	－	－	－
AV_{REFP}	入力	A/Dコンバータの基準電位（+側）入力	○	○	○	○	○
AV_{REFM}	入力	A/Dコンバータの基準電位（-側）入力	○	○	○	○	○

表2－2 RL78/F15のポート以外の端子機能一覧（6/6）

端子機能	入出力	機能	端子数				
			144ピン	100ピン	80ピン	64ピン	48ピン
V_{SS}	－	P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137、$\overline{\text{RESET}}$端子のグランド電源	○	○	○	○	○
EV_{SS0}	－	V_{SS}接続端子以外のグランド電位	○	○	○	○	－
EV_{SS1}	－		○	○	－	－	－
TOOLRXD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子	○	○	○	○	○
TOOLTXD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子	○	○	○	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力	○	○	○	○	○

2.2　端子機能の説明

搭載している端子は各製品により異なります。詳細は「1.5　端子接続図」を参照してください。ここでは、RL78/F15の144ピン版の製品仕様を例に、端子機能を説明します。

2.2.1　P00-P07（ポート0）

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのクロック入出力、タイマ入出力、リアルタイムクロックの補正クロック出力機能があります。P01, P02は、144, 100, 80ピン版、P03は、144, 100ピン版、P04-P07は、144ピン版のみにあります。

プルアップ抵抗オプション・レジスタ0（PU0）の設定により、内蔵プルアップ抵抗を使用できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ0（PM0）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

外部割り込み要求入力、シリアル・インタフェースのクロック入出力、リアルタイムクロックの補正クロック出力、タイマ入出力として機能します。

（a）INTP9, INTP15

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（b）$\overline{\text{SCK20}}$

シリアル・インタフェースCSI20のシリアル・クロック入出力端子です。

（c）RTC1HZ

リアルタイム・クロックの補正クロック（1Hz）出力端子です。

（d）TI04-TI06

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（e）TO04-TO06

16ビット・タイマのタイマ出力端子です。

2.2.2 P10-P17（ポート1）

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、リアルタイムクロックの補正クロック出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、プログラミングUART入出力、SNOOZEステータス出力、LINのシリアル・データ入出力、CANのシリアル・データ入出力機能があります。

プルアップ抵抗オプション・レジスタ1（PU1）の設定により、内蔵プルアップ抵抗を使用できます。

P10、P11、P13、P14、P16、P17端子は、ポート入力モード・レジスタ1（PIM1）の設定でCMOS入力バッファかTTL入力バッファを選択できます。

ポート出力モード・レジスタ1（POM1）の設定でCMOS出力かN-chオープン・ドレーン出力を選択できます。

P10、P11、P13、P14、P16、P17端子は、ポート入力閾値制御レジスタ1（PITHL1）の設定で入力閾値レベルを選択できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ1（PM1）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

外部割り込み要求入力、リアルタイムクロックの補正クロック出力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマ入出力、プログラミングUART入出力、SNOOZEステータス出力、LINのシリアル・データ入出力、CANのシリアル・データ入出力として機能します。

（a）INTP3、INTP5

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（b）RTC1HZ

リアルタイム・クロックの補正クロック（1Hz）出力端子です。

（c）TXD0、TXD1

シリアル・インタフェースUART0とUART1のシリアル・データ出力端子です。

（d）RXD0、RXD1

シリアル・インタフェースUART0とUART1のシリアル・データ入力端子です。

（e）$\overline{\text{SCK00}}$、$\overline{\text{SCK01}}$、$\overline{\text{SCK10}}$

シリアル・インタフェースCSI00、CSI01、CSI10のシリアルクロック入出力端子です。

（f）SI00、SI01、SI10

シリアル・インタフェースCSI00、CSI01、CSI10のシリアル・データ入力端子です。

（g）SO00、SO10

シリアル・インタフェースCSI00、CSI10のシリアル・データ出力端子です。

（h）TI00、TI02、TI04-TI06、TI11-TI13

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（i）TO00、TO02、TO04-TO06、TO11-TO13

16ビット・タイマのタイマ出力端子です。

（j）SDA00、SDA01、SDA10

シリアル・インタフェース簡易I^2Cのシリアル・データ入出力端子です。

（k）SCL00、SCL01、SCL10

シリアル・インタフェース簡易I^2Cのシリアルクロック入出力端子です。

（l）TRDIOA0、TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1、TRDIOB1、TRDIOC1

タイマRDのタイマ入出力端子です。

（m）TRDCLK0

タイマRDへの外部クロック入力端子です。

（n）TRJO0

タイマRJのタイマ出力端子です。

（o）LTXD0、LTXD1

LINのシリアル・データ出力端子です。

（p）LRXD0、LRXD1

LINのシリアル・データ入力端子です。

（q）CTXD0

CANのシリアル・データ出力端子です。

（r）CRXD0

CANのシリアル・データ入力端子です。

（s）TOOLTXD

フラッシュ・メモリ・プログラミング時に使用する、外部デバイス接続用のUARTシリアル・データ出力端子です。

（t）TOOLRXD

フラッシュ・メモリ・プログラミング時に使用する、外部デバイス接続用のUARTシリアル・データ入力端子です。

（u）SNZOUT3

SNOOZEステータス出力端子です。

2.2.3　P20-P27（ポート2）

入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。144ピン版のみにあります。

プルアップ抵抗オプション・レジスタ1（PU1）の設定により、内蔵プルアップ抵抗を使用できます。

P20、P21、P24、P25端子は、ポート入力閾値制御レジスタ2（PITHL2）の設定で入力閾値レベルを選択できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ2（PM2）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

（a）$\overline{\text{SCK20}}$、$\overline{\text{SCK21}}$

シリアル・インタフェースCSI20、CSI21のシリアル・クロック入出力端子です。

（b）SI20、SI21

シリアル・インタフェースCSI20、CSI21のシリアル・データ入力端子です。

（c）SO20、SO21

シリアル・インタフェースCSI20、CSI21のシリアル・データ出力端子です。

（d）TXD2

シリアル・インタフェースUART2のシリアル・データ出力端子です。

（e）RXD2

シリアル・インタフェースUART2のシリアル・データ入力端子です。

2.2.4 P30-P37（ポート3）

入出力ポートです。入出力ポートのほかに、A/Dコンバータのアナログ入力、A/Dコンバータの基準電位入力、外部割り込み要求入力、シリアル・インタフェースのスレーブ・セレクト入力、タイマ入出力、SNOOZEステータス出力、STOPステータス出力、CANのシリアル・データ入出力機能があります。P35-P37は、144ピン版のみにあります。

P30-P32, P35-P37端子は、プルアップ抵抗オプション・レジスタ3（PU3）の設定により、内蔵プルアップ抵抗を使用できます。

P30端子は、ポート入力モード・レジスタ3（PIM3）の設定でCMOS入力バッファかTTL入力バッファを選択できます。

P30, P37端子は、ポート入力閾値制御レジスタ3（PITHL3）の設定で入力閾値レベルを選択できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ3（PM3）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

A/Dコンバータのアナログ入力、A/Dコンバータの基準電位入力、外部割り込み要求入力、シリアル・インタフェースのスレーブ・セレクト入力、タイマ入出力、SNOOZEステータス出力、STOPステータス出力、CANのシリアル・データ入出力として機能します。

（a）ANI0、ANI1

A/Dコンバータのアナログ入力端子として機能します。詳細は「12.10（5）アナログ入力（ANIn）端子」を参照してください。

（b）AVREFP

A/Dコンバータの基準電位（＋側）入力端子です。

（c）AVREFM

A/Dコンバータの基準電位（－側）入力端子です。

（d）INTP2、INTP7

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（e）$\overline{\text{SSI00}}$

シリアル・インタフェースCSI00（SPI00）のスレーブ・セレクト入力端子です。

（f）TI01、TI14、TI16

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（g）TO01、TO14、TO16

16ビット・タイマのタイマ出力端子です。

（h）SNZOUT0

SNOOZEステータス出力端子です。

（i）TRDIOD1

タイマRDのタイマ出力端子です。

（j）STOPST

STOPステータス出力端子です。

（k）CTXD1

CANのシリアル・データ出力端子です。

（l）CRXD1

CANのシリアル・データ入力端子です。

2.2.5 P40-P47（ポート4）

入出力ポートです。入出力ポートのほかに、フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力、タイマ入出力、コンパレータ出力、外部割り込み要求入力、SNOOZEステータス出力、LINのシリアル・データ入出力機能があります。P44-P47は、144, 100, 80ピン版、P42, P43は、144, 100, 80, 64ピン版のみにあります。

プルアップ抵抗オプション・レジスタ4（PU4）の設定により、内蔵プルアップ抵抗を使用できます。

P43端子は、ポート入力閾値制御レジスタ4（PITHL4）の設定で入力閾値レベルを選択できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ4（PM4）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力、タイマ入出力、コンパレータ出力、外部割り込み要求入力、SNOOZEステータス出力、LINのシリアル・データ入出力として機能します。

（a）TOOL0

フラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力端子です。

オンチップデバッグ許可の場合は必ず外部でプルアップしてください（プルダウン禁止）。

（b）TI07、TI10、TI12

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（c）TO07、TO10、TO12

16ビット・タイマのタイマ出力端子です。

（d）TRJIO0

タイマRJのタイマ入出力端子です。

（e）VCOUT0

コンパレータ出力端子です。

（f）INTP13

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（g）SNZOUT2

SNOOZEステータス出力端子です。

（h）LTXD0

LINのシリアル・データ出力端子です。

（i）LRXD0

LINのシリアル・データ入力端子です。

注意　リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2－3　リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は「31.4　シリアル・プログラミング方法」を参照してください。

2.2.6 P50-P57（ポート5）

入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのスレーブ・セレクト入力、シリアル・インタフェースのデータ入出力、クロック入出力、IEBusのシリアルデータ入出力、タイマ入出力、SNOOZEステータス出力、STOPステータス出力機能があります。P50-P53は、144,100,80,64ピン版のみにあります。P54-P57は、144, 100, 80ピン版のみにあります。

プルアップ抵抗オプション・レジスタ5（PU5）の設定により、内蔵プルアップ抵抗を使用できます。

P54端子は、ポート入力モード・レジスタ5（PIM5）の設定でCMOS入力バッファかTTL入力バッファを選択できます。

P50、P52-P54端子は、ポート入力閾値制御レジスタ5（PITHL5）の設定で入力閾値レベルを選択できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ5（PM5）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

外部割り込み要求入力、シリアル・インタフェースのスレーブ・セレクト入力、シリアル・インタフェースのデータ入出力、クロック入出力、IEBusのシリアルデータ入出力、タイマ入出力、SNOOZEステータス出力、STOPステータス出力として機能します。

（a）INTP3、INTP10、INTP11

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（b）$\overline{\text{SSI01}}$, $\overline{\text{SSI10}}$

シリアル・インタフェースCSI01（SPI01）、シリアル・インタフェースCSI10（SPI10）のスレーブ・セレクト入力端子です。

（c）$\overline{\text{SCK01}}$

シリアル・インタフェースCSI01のシリアルクロック入出力端子です。

（d）SI01

シリアル・インタフェースCSI01のシリアル・データ入力端子です。

（e）SO01

シリアル・インタフェースCSI01のシリアル・データ出力端子です。

（f）$\overline{\text{IETXD}}$

IEBusのシリアル・データ出力端子です。

（g）$\overline{\text{IERXD}}$

IEBusのシリアル・データ入力端子です。

（h）TI11、TI13、TI15、TI17

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（i）TO11、TO13、TO15、TO17

16ビット・タイマのタイマ出力端子です。

（j）SNZOUT0、SNZOUT1

SNOOZEステータス出力端子です。

（k）STOPST

STOPステータス出力端子です。

2.2.7　P60-P67（ポート6）

入出力ポートです。入出力ポートのほかに、シリアル・インタフェースのデータ入出力、クロック入出力、スレーブ・セレクト入力、CANのシリアルデータ入出力、IEBusのシリアルデータ入出力、タイマ入出力、SNOOZEステータス出力機能があります。P64-P67は、144, 100, 80ピン版のみにあります。

プルアップ抵抗オプション・レジスタ6（PU6）の設定により、内蔵プルアップ抵抗を使用できます。

P62、P63端子は、ポート入力モード・レジスタ6（PIM6）の設定でCMOS入力バッファかTTL入力バッファを選択できます。

P60-P63端子は、ポート出力モード・レジスタ6（POM6）の設定でCMOS出力かN-chオープン・ドレーン出力を選択できます。

P60-P63端子は、ポート入力閾値制御レジスタ6（PITHL6）の設定で入力閾値レベルを選択できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ6（PM6）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

シリアル・インタフェースのデータ入出力、クロック入出力、スレーブ・セレクト入力、CANのシリアルデータ入出力、IEBusのシリアルデータ入出力、タイマ入出力、SNOOZEステータス出力として機能します。

（a）SCLA0

シリアル・インタフェースIICA0のシリアルクロック入出力端子です。

（b）SDAA0

シリアル・インタフェースIICA0のシリアル・データ入出力端子です。

（c）$\overline{\text{SSI00}}$

シリアル・インタフェースCSI00（SPI00）のスレーブ・セレクト入力端子です。

（d）$\overline{\text{SCK00}}$

シリアル・インタフェースCSI00のシリアルクロック入出力端子です。

（e）SI00

シリアル・インタフェースCSI00のシリアル・データ入力端子です。

（f）SO00

シリアル・インタフェースCSI00のシリアル・データ出力端子です。

（g）TXD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

（h）RXD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

（i）SCL00

シリアル・インタフェース簡易I^2Cのシリアルクロック入出力端子です。

（j）SDA00

シリアル・インタフェース簡易I^2Cのシリアル・データ入出力端子です。

（k）CTXD1

CANのシリアル・データ出力端子です。

（l）CRXD1

CANのシリアル・データ入力端子です。

（m）$\overline{\text{IETXD}}$

IEBusのシリアル・データ出力端子です。

（n）$\overline{\text{IERXD}}$

IEBusのシリアル・データ入力端子です。

（o）TI00、TI02、TI14、TI16

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（p）TO00、TO02、TO14、TO16

16ビット・タイマのタイマ出力端子です。

（q）SNZOUT2、SNZOUT3

SNOOZEステータス出力端子です。

2.2.8 P70-P77（ポート7）

入出力ポートです。入出力ポートのほかに、A/Dコンバータのアナログ入力、外部割り込み要求入力、キー割り込み入力、シリアル・インタフェースのスレーブ・セレクト入力、データ入出力、クロック入出力、タイマ入出力、SNOOZEステータス出力、CANのシリアル・データ入出力機能があります。P74-P77は、144, 100, 80, 64ピン版のみにあります。

プルアップ抵抗オプション・レジスタ7（PU7）の設定により、内蔵プルアップ抵抗を使用できます。

P70、P71、P73端子は、ポート入力モード・レジスタ7（PIM7）の設定でCMOS入力バッファかTTL入力バッファを選択できます。

P70-P72端子は、ポート出力モード・レジスタ7（POM7）の設定でCMOS出力かN-chオープン・ドレーン出力を選択できます。

P70、P71、P73、P75-P77端子は、ポート入力閾値制御レジスタ7（PITHL7）の設定で入力閾値レベルを選択できます。

P70-P74端子の入力は、ポート・モード・コントロール・レジスタ7（PMC7）の設定により、1ビット単位でデジタル／アナログ入力の設定が必要です。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ7（PM7）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

A/Dコンバータのアナログ入力、外部割り込み要求入力、キー割り込み入力、シリアル・インタフェースのスレーブ・セレクト入力、データ入出力、クロック入出力、タイマ入出力、SNOOZEステータス出力、CANのシリアル・データ入出力として機能します。

（a）ANI26-ANI30

A/Dコンバータのアナログ入力端子として機能します。144, 100ピン版のみにあります。詳細は「12.10（5）アナログ入力（ANIn）端子」を参照してください。

（b）INTP6、INTP8、INTP12

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。INTP12は、144, 100, 80, 64ピン版のみにあります。

（c）KR0-KR7

キー割り込み入力端子です。

（d）$\overline{\text{SSI10}}$、$\overline{\text{SSI11}}$

シリアル・インタフェースCSI10（SPI10）、CSI11（SPI11）のスレーブ・セレクト入力端子です。

（e）SI10、SI11

シリアル・インタフェースCSI10、CSI11のシリアル・データ入力端子です。

（f）SO10、SO11

シリアル・インタフェースCSI10、CSI11のシリアル・データ出力端子です。

（g）TXD1

シリアル・インタフェースUART1のシリアル・データ出力端子です。

（h）RXD1

シリアル・インタフェースUART1のシリアル・データ入力端子です。

（i）$\overline{\text{SCK10}}$、$\overline{\text{SCK11}}$

シリアル・インタフェースCSI10、CSI11のシリアルクロック入出力端子です。

（j）SCL11

シリアル・インタフェース簡易I^2Cのシリアルクロック入出力端子です。

（k）SDA11

シリアル・インタフェース簡易I^2Cのシリアル・データ入出力端子です。

（l）TI15、TI17

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（m）TO15、TO17

16ビット・タイマのタイマ出力端子です。

（n）CTXD0

CANのシリアル・データ出力端子です。

（o）CRXD0

CANのシリアル・データ入力端子です。

（p）SNZOUT4-SNZOUT7

SNOOZEステータス出力端子です。

2.2.9　P80-P87（ポート8）

入出力ポートです。入出力ポートのほかに、A/Dコンバータのアナログ入力、D/Aコンバータ出力、コンパレータの基準電圧入力、コンパレータのアナログ電圧入力として機能します。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ8（PM8）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

A/Dコンバータのアナログ入力、D/Aコンバータ出力、コンパレータの基準電圧入力、コンパレータのアナログ電圧入力として機能します。

（a）ANI2-ANI9

A/Dコンバータのアナログ入力端子として機能します。詳細は「12.10（5）アナログ入力（ANIn）端子」を参照してください。

（b）ANO0

D/Aコンバータ出力端子です。

（c）IVCMP00-IVCMP03

コンパレータのアナログ電圧入力端子です。

（d）IVREF0

コンパレータの基準電圧入力端子です。

（e）KR0（64ピン版の場合）

キー割り込み入力端子です。

（f）KR0-KR4（48ピン版の場合）

キー割り込み入力端子です。

2.2.10　P90-P97（ポート9）

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力、キー割り込み入力機能があります。

1ビット単位で次のような動作モードを指定できます。

P97は144, 100, 80ピン版のみ、P93-P96は144, 100, 80, 64ピン版のみにあります。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ9（PM9）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

A/Dコンバータのアナログ入力、キー割り込み入力として機能します。

（a）ANI10-ANI17

A/Dコンバータのアナログ入力端子として機能します。詳細は「12.10（5）アナログ入力（ANIn）端子」を参照してください。

（b）KR1-KR7（64ピン版の場合）

キー割り込み入力端子です。

（c）KR5-KR7（48ピン版の場合）

キー割り込み入力端子です。

2.2.11　P100-P107（ポート10）

入出力ポートです。144, 100ピン版のみにあります。入出力ポートのほかにA/Dコンバータのアナログ入力、LINのシリアル・データ入出力機能があります。

P106、P107端子は、プルアップ抵抗オプション・レジスタ10（PU10）の設定により、内蔵プルアップ抵抗を使用できます。

P107端子は、ポート入力閾値制御レジスタ10（PITHL10）の設定で入力閾値レベルを選択できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ10（PM10）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

A/Dコンバータのアナログ入力、LINのシリアル・データ入出力として機能します。

（a）ANI18-ANI23

A/Dコンバータのアナログ入力端子として機能します。詳細は「12.10（5）アナログ入力（ANIn）端子」を参照してください。

（b）LTXD1

LINのシリアル・データ出力端子です。

（c）LRXD1

LINのシリアル・データ入力端子です。

2.2.12　P 110-P117（ポート11）

入出力ポートです。入出力ポートのほかに、タイマ入出力機能があります。144ピン版のみにあります。

プルアップ抵抗オプション・レジスタ11（PU11）の設定により、内蔵プルアップ抵抗を使用できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ11（PM11）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

タイマ入出力として機能します。

（a）TI20、TI21、TI22、TI23、TI24、TI25、TI26、TI27

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（b）TO20、TO21、TO22、TO23、TO24、TO25、TO26、TO27

16ビット・タイマのタイマ出力端子です。

2.2.13 P120-P127（ポート12）

P120、P125-P127は入出力ポート、P121-P124は入力ポートです。P126は144, 100, 80ピン版、P127は144, 100ピン版のみにあります。入出力ポートのほかに、A/Dコンバータのアナログ入力、外部割り込み要求入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、シリアル・インタフェースのスレーブ・セレクト入力、シリアル・インタフェースのデータ出力、タイマ入出力、SNOOZEステータス出力機能があります。

P120、P125-P127端子は、プルアップ抵抗オプション・レジスタ12（PU12）の設定により、内蔵プルアップ抵抗を使用できます。

P125端子は、ポート入力モード・レジスタ12（PIM12）の設定でCMOS入力バッファかTTL入力バッファを選択できます。

P120端子は、ポート出力モード・レジスタ12（POM12）の設定でCMOS出力かN-chオープン・ドレーン出力を選択できます。

P125端子は、ポート入力閾値制御レジスタ12（PITHL12）の設定で入力閾値レベルを選択できます。

P120、P125端子の入力は、ポート・モード・コントロール・レジスタ12（PMC12）の設定により、1ビット単位でデジタル入出力／アナログ入力の設定が必要です。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

P120、P125-P127は入出力ポートとして機能します。ポート・モード・レジスタ12（PM12）の設定により、入力ポートまたは出力ポートに指定できます。

P121-P124は入力ポートとして機能します。

（2）コントロール・モード

A/Dコンバータのアナログ入力、外部割り込み要求入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、シリアル・インタフェースのスレーブ・セレクト入力、シリアル・インタフェースのデータ出力、タイマ入出力、SNOOZEステータス出力として機能します。

（a）ANI24、ANI25

A/Dコンバータのアナログ入力端子として機能します。詳細は「12.10（5）アナログ入力（ANIn）端子」を参照してください。

（b）INTP1、INTP4

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（c）X1、X2

メイン・システム・クロック用発振子接続端子です。

（d）EXCLK

メイン・システム・クロック用外部クロック入力端子です。

（e）XT1、XT2

サブシステム・クロック用発振子接続端子です。

（f）EXCLKS

サブシステム・クロック用外部クロック入力端子です。

（g）$\overline{\text{SSI01}}$

シリアル・インタフェースCSI01（SPI01）のスレーブ・セレクト入力端子です。

（h）SO01

シリアル・インタフェースCSI01のシリアル・データ出力端子です。

（i）TI01、TI03、TI07

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（j）TO01、TO03、TO07

16ビット・タイマのタイマ出力端子です。

（k）SNZOUT1

SNOOZEステータス出力端子です。

（l）TRDIOB0、TRDIOD0

タイマRDのタイマ入出力端子です。

2.2.14　P130-P137（ポート13）

P130は出力ポートです。P137は入力ポートです。P131-P136は入出力ポートです。そのほかに、外部割り込み要求入力、リセット出力機能があります。P131-P136は、144ピン版のみにあります。

P131-P136端子は、プルアップ抵抗オプション・レジスタ13（PU13）の設定により、内蔵プルアップ抵抗を使用できます。

（1）ポートモード

P130は出力ポートとして機能します。P137は入力ポートとして機能します。

P131-P136は入出力ポートとして機能します。ポート・モード・レジスタ13（PM13）の設定により、入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

外部割り込み要求入力、リセット出力として機能します。

（a）INTP0, INTP14

有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

（b）RESOUT

リセット出力端子です。

2.2.15　P140-P147（ポート14）

入出力ポートです。入出力ポートのほかにクロック／ブザー出力機能、タイマ入出力機能があります。

P141-P147は、144ピン版のみにあります。

プルアップ抵抗オプション・レジスタ14（PU14）の設定により、内蔵プルアップ抵抗を使用できます。

1ビット単位で次のような動作モードを指定できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ14（PM14）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

クロック／ブザー出力、タイマ入出力として機能します。

（a）PCLBUZ0

クロック／ブザー出力端子です。

（b）TI20、TI21、TI22、TI23、TI24、TI25、TI26、TI27

16ビット・タイマへの外部カウント・クロック／キャプチャ・トリガ入力端子です。

（c）TO20、TO21、TO22、TO23、TO24、TO25、TO26、TO27

16ビット・タイマのタイマ出力端子です。

2.2.16 P150-P157（ポート15）

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、スレーブ・セレクト入力、SNOOZEステータス出力、LINのシリアル・データ入出力機能があります。144, 100ピン版のみにあります。

プルアップ抵抗オプション・レジスタ15（PU15）の設定により、内蔵プルアップ抵抗を使用できます。

P150, P152, P153, P154, P156端子は、ポート入力閾値制御レジスタ15（PITHL15）の設定で入力閾値レベルを選択できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ15（PM15）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

（2）コントロールモード

シリアル・インタフェースのスレーブ・セレクト入力、データ入出力、クロック入出力、SNOOZEステータス出力、LINのシリアルデータ入出力として機能します。

（a）$\overline{\text{SSI11}}$

シリアル・インタフェースCSI11（SPI11）のスレーブ・セレクト入力端子です。

（b）SI11, SI21

シリアル・インタフェースCSI11, CSI21のシリアル・データ入力端子です。

（c）SO11, SO21

シリアル・インタフェースCSI11, CSI21のシリアル・データ出力端子です。

（d）$\overline{\text{SCK11}}$, $\overline{\text{SCK21}}$

シリアル・インタフェースCSI11, CSI21のシリアルクロック入出力端子です。

（e）SNZOUT4-SNZOUT7

SNOOZEステータス出力端子です。

（f）LTXD2

LINのシリアル・データ出力端子です。

（g）LRXD2

LINのシリアル・データ入力端子です。

（h）TXD2

シリアル・インタフェースUART2のシリアル・データ出力端子です。

（i）RXD2

シリアル・インタフェースUART2のシリアル・データ入力端子です。

2.2.17　P160-P167（ポート16）

入出力ポートです。144ピン版のみにあります。

プルアップ抵抗オプション・レジスタ16（PU16）の設定により、内蔵プルアップ抵抗を使用できます。

（1）ポートモード

入出力ポートとして機能します。ポート・モード・レジスタ16（PM16）の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

2.2.18 V_{DD}、EV_{DD0}、EV_{DD1}、V_{SS}、EV_{SS0}、EV_{SS1}

（1）V_{DD}、EV_{DD0}、EV_{DD1}

V_{DD}は、正電源供給端子です。P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137の正電源、およびポート部以外の正電源供給端子です。

EV_{DD0}、EV_{DD1}は、P33、P34、P80-P87、P100-P105、P121-P124、P137以外のポート端子の正電源供給端子です。EV_{DD1}は、144, 100ピン版のみにあります。

（2）V_{SS}、EV_{SS0}、EV_{SS1}

V_{SS}は、グランド電位端子です。P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137のグランド電位、およびポート部以外のグランド電位端子です。

EV_{SS0}、EV_{SS1}は、P33、P34、P80-P87、P100-P105、P121-P124、P137以外のポート端子のグランド電位端子です。EV_{SS1}は、144, 100ピン版のみにあります。

備考 ノイズおよびラッチアップ対策として、V_{DD}-V_{SS}、EV_{DD0}-EV_{SS0}、EV_{DD1}-EV_{SS1}ライン間へのバイパス・コンデンサ（0.1 μF程度）を最短距離でかつ、比較的太い配線を使って接続してください。

2.2.19 $\overline{\text{RESET}}$

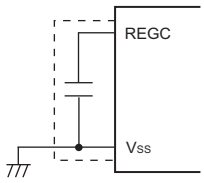
ローレベル・アクティブのシステム・リセット入力端子です。

外部リセット端子を使用しない場合は、直接または抵抗を介してV_{DD}に接続してください。

外部リセット端子を使用する場合は、V_{DD}を基準に設計してください。

2.2.20 REGC

内部動作用レギュレータ出力安定容量接続端子です。コンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.3 未使用端子の処理

表2－4に各端子の未使用端子の処理を示します。ここでは、RL78/F15の144ピン版の製品仕様を例に、未使用端子の処理を説明します。

表2－4 各端子の未使用端子処理（144ピン版）（1/4）

端子名称	入出力	未使用時の推奨接続方法
P00/(TI05)/(TO05)/INTP9/$\overline{\text{SCK20}}$/	入出力	入力時：個別に抵抗を介して、EV_{DD0}、EV_{DD1}またはEV_{SS0}、EV_{SS1}に接続してください。 出力時：オープンにしてください。
P01/(TI04)/(TO04)		
P02/(TI06)/(TO06)		
P03/(RTC1HZ)		
P04/INTP15		
P05		
P06		
P07		
P10/TI13/TO13/TRJO0/$\overline{\text{SCK10}}$/SCL10/LTXD1/CTXD0		
P11/TI12/TO12/(TRDIOB0)/SI10/SDA10/RXD1/LRXD1/CRXD0		
P12/TI11/TO11/(TRDIOD0)/INTP5/SO10/TXD1/SNZOUT3		
P13/TI04/TO04/TRDIOA0/TRDCLK0/SI01/SDA01/LTXD0		
P14/TI06/TO06/TRDIOC0/$\overline{\text{SCK01}}$/SCL01/LRXD0		
P15/TI05/TO05/TRDIOA1/(TRDIOA0)/(TRDCLK0)/SO00/TXD0/TOOLTXD/RTC1HZ		
P16/TI02/TO02/TRDIOC1/SI00/SDA00/RXD0/TOOLRXD		
P17/TI00/TO00/TRDIOB1/$\overline{\text{SCK00}}$/SCL00/INTP3		
P20/($\overline{\text{SCK20}}$)		
P21/(SI20)/(RXD2)		
P22/(SO20)/(TXD2)		
P23		
P24/($\overline{\text{SCK21}}$)		
P25/(SI21)		
P26/(SO21)		
P27		
P30/TI01/TO01/TRDIOD1/$\overline{\text{SSI00}}$/INTP2/SNZOUT0		
P31/TI14/TO14/STOPST/(INTP2)		
P32/TI16/TO16/INTP7		
P33/AV_{REFP}/ANI0		入力時：個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P34/AV_{REFM}/ANI1		
P35		入力時：個別に抵抗を介して、EV_{DD0}、EV_{DD1}またはEV_{SS0}、EV_{SS1}に接続してください。 出力時：オープンにしてください。
P36/(CTXD1)		
P37/(CRXD1)		

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

表2－4 各端子の未使用端子処理（144ピン版）（2/4）

端子名称	入出力	未使用時の推奨接続方法
P40/TOOL0	入出力	入力時：個別に抵抗を介して、EV_{DD0}、EV_{DD1}に接続するかオープンにしてください。（注：OPENの場合、条件PU40 = 1。） 出力時：オープンにしてください。
P41/TI10/TO10/TRJIO0/VCOUT0/SNZOUT2		入力時：個別に抵抗を介して、EV_{DD0}、EV_{DD1}またはEV_{SS0}、EV_{SS1}に接続してください。 出力時：オープンにしてください。
P42/(LTXD0)		
P43/(LRXD0)		
P44/(TI07)/(TO07)		
P45/(TI10)/(TO10)		
P46/(TI12)/(TO12)		
P47/INTP13		
P50/($\overline{\text{SSI01}}$)/(INTP3)/($\overline{\text{IERXD}}$)		
P51/(SO01)/INTP11/($\overline{\text{IETXD}}$)		
P52/($\overline{\text{SCK01}}$)/(STOPST)		
P53/(SI01)/INTP10		
P54/(TI11)/(TO11)/$\overline{\text{SSI10}}$		
P55/(TI13)/(TO13)		
P56/(TI15)/(TO15)/(SNZOUT1)		
P57/(TI17)/(TO17)/(SNZOUT0)		
P60/($\overline{\text{SCK00}}$)/(SCL00)/CRXD1/$\overline{\text{IERXD}}$		
P61/(SI00)/(SDA00)/(RXD0)/CTXD1/$\overline{\text{IETXD}}$		
P62/(SO00)/(TXD0)/SCLA0		
P63/($\overline{\text{SSI00}}$)/SDAA0		
P64/(TI14)/(TO14)/(SNZOUT3)		
P65/(TI16)/(TO16)/(SNZOUT2)		
P66/(TI00)/(TO00)		
P67/(TI02)/(TO02)		
P70/ANI26/KR0/TI15/TO15/INTP8/SI11/SDA11/SNZOUT4		
P71/ANI27/KR1/TI17/TO17/INTP6/$\overline{\text{SCK11}}$/SCL11/SNZOUT5		
P72/ANI28/KR2/(CTXD0)/SO11/SNZOUT6		
P73/ANI29/KR3/(CRXD0)/$\overline{\text{SSI11}}$/SNZOUT7		
P74/ANI30/KR4/(SO10)/(TXD1)		
P75/KR5/(SI10)/(RXD1)		
P76/KR6/($\overline{\text{SCK10}}$)		
P77/KR7/($\overline{\text{SSI10}}$)/INTP12		

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

表2－4 各端子の未使用端子処理（144ピン版）（3/4）

端子名称	入出力	未使用時の推奨接続方法
P80/ANI2/ANO0	入出力	入力時：個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P81/ANI3/IVCMP00		
P82/ANI4/IVCMP01		
P83/ANI5/IVCMP02		
P84/ANI6/IVCMP03		
P85/ANI7/IVREF0		
P86/ANI8		
P87/ANI9		
P90/ANI10		
P91/ANI11		
P92/ANI12		
P93/ANI13		
P94/ANI14		
P95/ANI15		
P96/ANI16		
P97/ANI17		
P100/ANI18	入出力	入力時：個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。 出力時：オープンにしてください。
P101/ANI19		
P102/ANI20		
P103/ANI21		
P104/ANI22		
P105/ANI23		
P106/(LTXD1)		入力時：個別に抵抗を介して、EV_{DD0}、EV_{DD1}またはEV_{SS0}、EV_{SS1}に接続してください。 出力時：オープンにしてください。
P107/(LRXD1)		
P110/TI20/TO20		
P111/TI21/TO21		
P112/TI22/TO22		
P113/TI23/TO23		
P114/TI24/TO24		
P115/TI25/TO25		
P116/TI26/TO26		
P117/TI27/TO27		
P120/ANI25/TI07/TO07/TRDIOD0/SO01/INTP4		
P121/X1	入力	個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。
P122/X2/EXCLK		
P123/XT1		
P124/XT2/EXCLKS		
P125/ANI24/TI03/TO03/TRDIOB0/$\overline{SSI01}$/INTP1/SNZOUT1	入出力	入力時：個別に抵抗を介して、EV_{DD0}、EV_{DD1}またはEV_{SS0}、EV_{SS1}に接続してください。 出力時：オープンにしてください。
P126/(TI01)/(TO01)		
P127/(TI03)/(TO03)		
P130/RESOUT	出力	オープンにしてください。
P131/INTP14	入出力	入力時：個別に抵抗を介して、EVDD0、EVDD1またはEVSS0、EVSS1に接続してください。 出力時：オープンにしてください。
P132		
P133		
P134		
P135		
P136		

備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

表2－4 各端子の未使用端子処理（144ピン版）（4/4）

端子名称	入出力	未使用時の推奨接続方法
P137/INTP0	入力	個別に抵抗を介して、V_{DD}またはV_{SS}に接続してください。
P140/PCLBUZ0/(TI20)/(TO20)	入出力	入力時：個別に抵抗を介して、EV_{DD0}、EV_{DD1}またはEV_{SS0}、EV_{SS1}に接続してください。 出力時：オープンにしてください。
P141/(TI21)/(TO21)		
P142/(TI22)/(TO22)		
P143/(TI23)/(TO23)		
P144/(TI24)/(TO24)		
P145/(TI25)/(TO25)		
P146/(TI26)/(TO26)		
P147/(TI27)/(TO27)		
P150/($\overline{\text{SSI11}}$)		
P151/(SO11)/SO21		
P152/(SI11)/SI21		
P153/($\overline{\text{SCK11}}$)/$\overline{\text{SCK21}}$		
P154/(SNZOUT7)/LRXD2		
P155/(SNZOUT6)/LTXD2		
P156/(SNZOUT5)/SI20/RXD2		
P157/(SNZOUT4)/SO20/TXD2		
P160		
P161		
P162		
P163		
P164		
P165		
P166		
P167		
$\overline{\text{RESET}}$	入力	V_{DD}に直接接続または抵抗を介して接続してください。
REGC	－	コンデンサ（0.47～1μF）を介し、V_{SS}に接続してください。

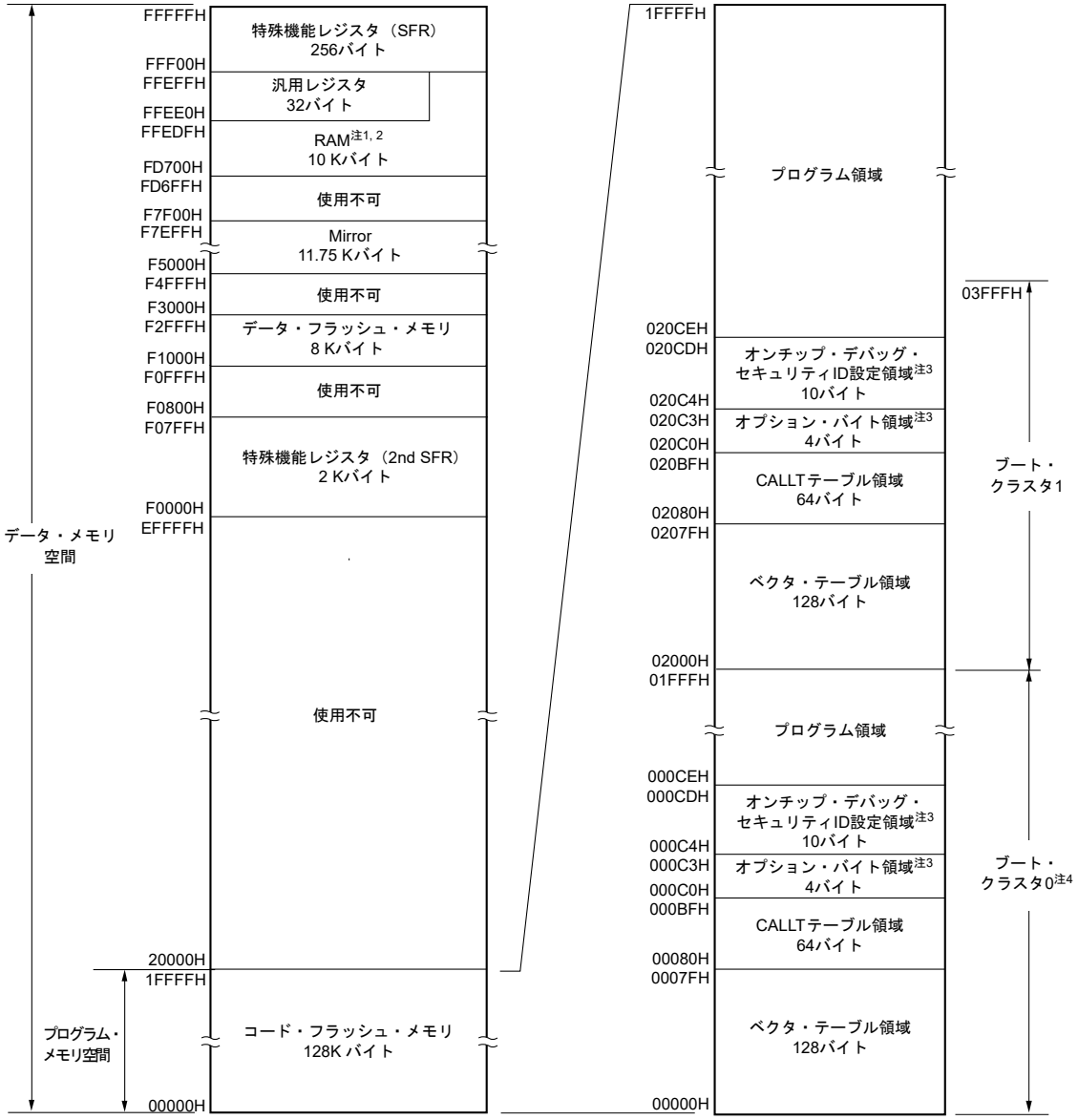
備考 （ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定で割り当てることができます。

第3章　CPUアーキテクチャ

3.1　メモリ空間

RL78/F15は、1 Mバイトのメモリ空間をアクセスできます。図3－1～図3－5にメモリ・マップを示します。

図3—1 メモリ・マップ（R5F113mG（m = P, T））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、各ライブラリで使用するスタック、データ・バッファ、さらにベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

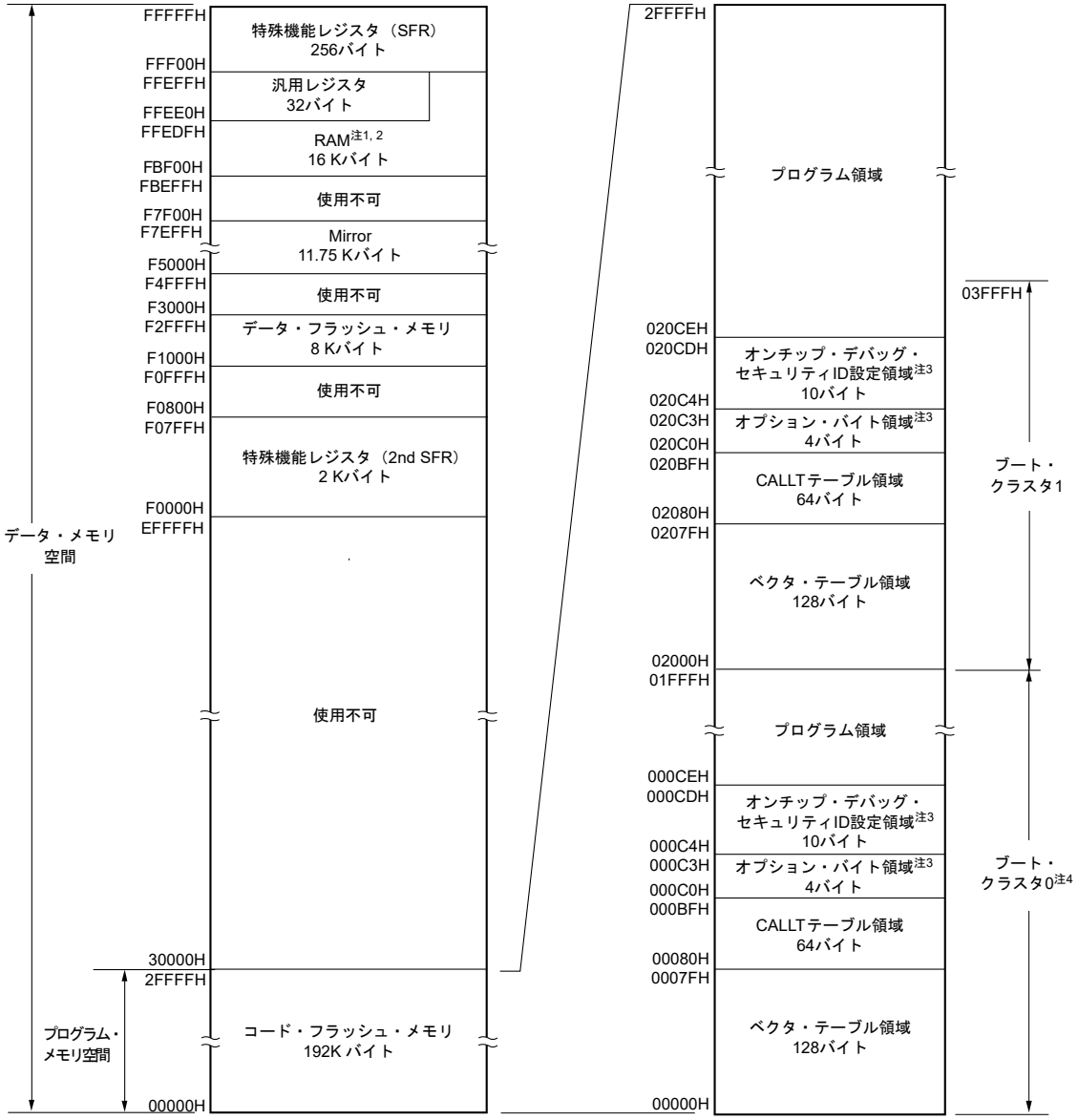
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H，020C0H-020C3Hにオプション・バイト、000C4H-000CDH，020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます（「31.7 セキュリティ設定」を参照）。

注意 RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3—2 メモリ・マップ（R5F113mH（m = P, T））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、各ライブラリで使用するスタック、データ・バッファ、さらにベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

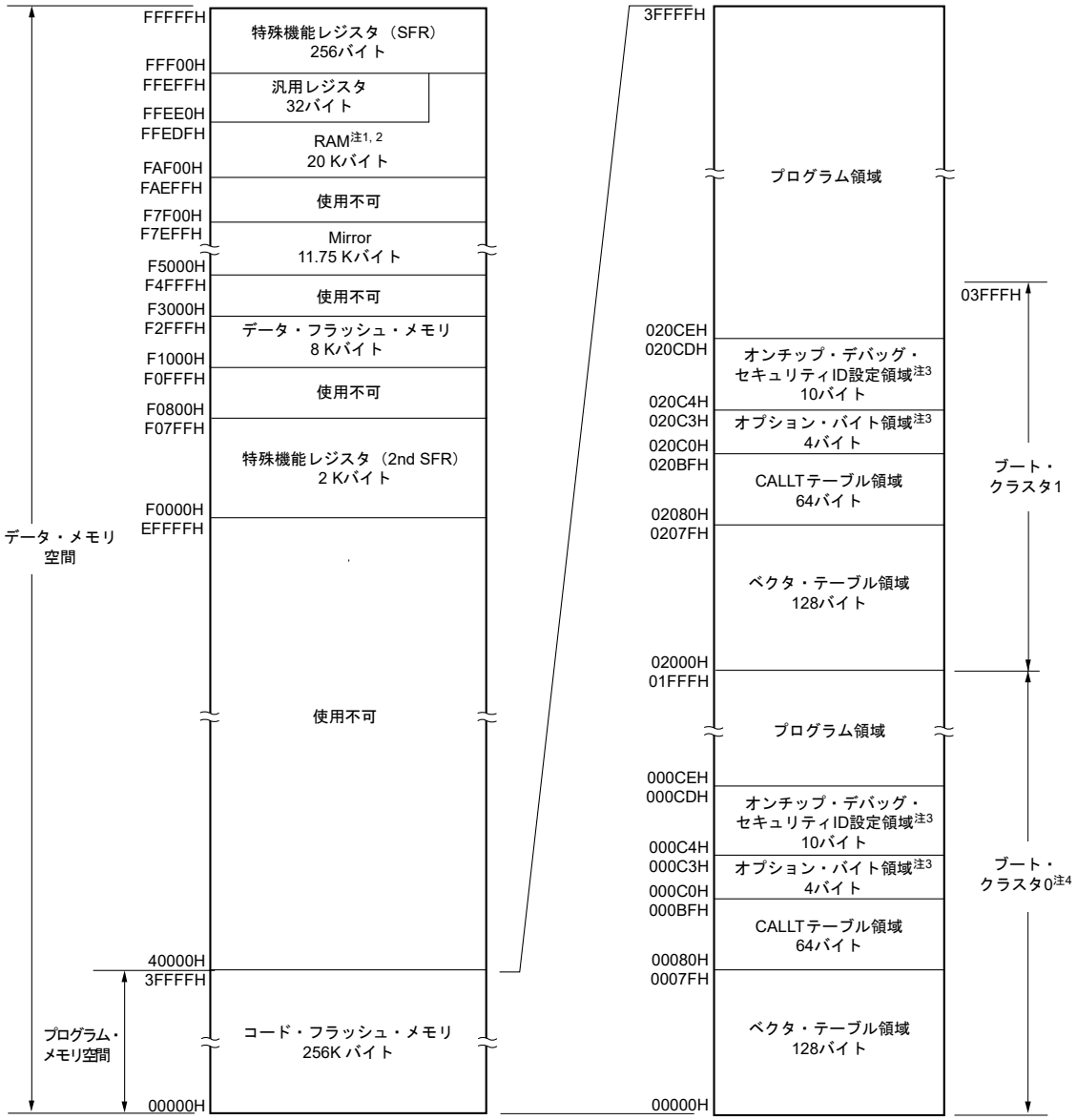
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H，020C0H-020C3Hにオプション・バイト、000C4H-000CDH，020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます（「31.7 セキュリティ設定」を参照）。

注意 RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3—3 メモリ・マップ（R5F113mJ（m = P, T））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、各ライブラリで使用するスタック、データ・バッファ、さらにベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

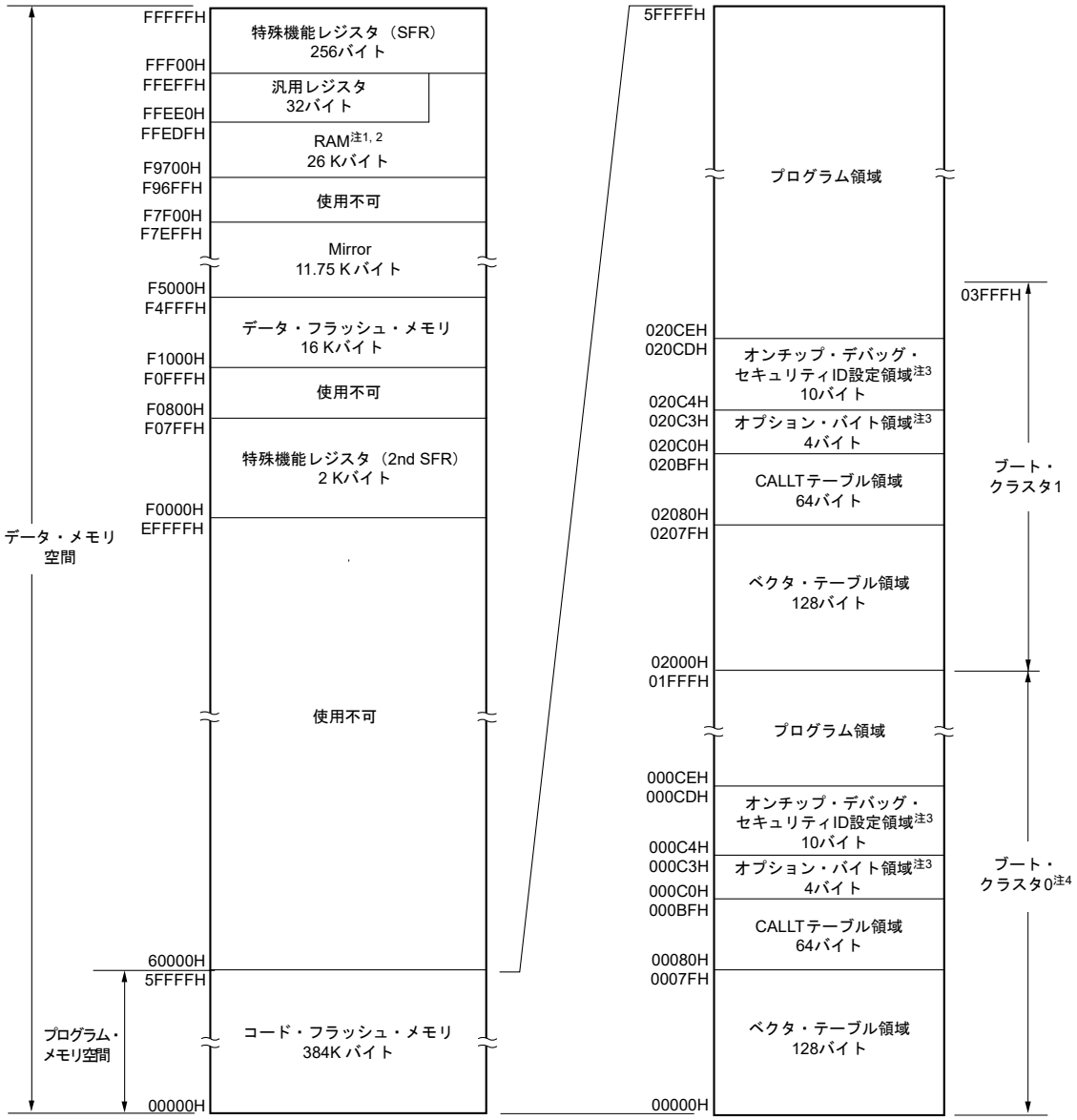
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H, 020C0H-020C3Hにオプション・バイト、000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます（「31.7 セキュリティ設定」を参照）。

注意 RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3—4 メモリ・マップ（R5F113mK（m = G, L, M, P, T））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、各ライブラリで使用するスタック、データ・バッファ、さらにベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

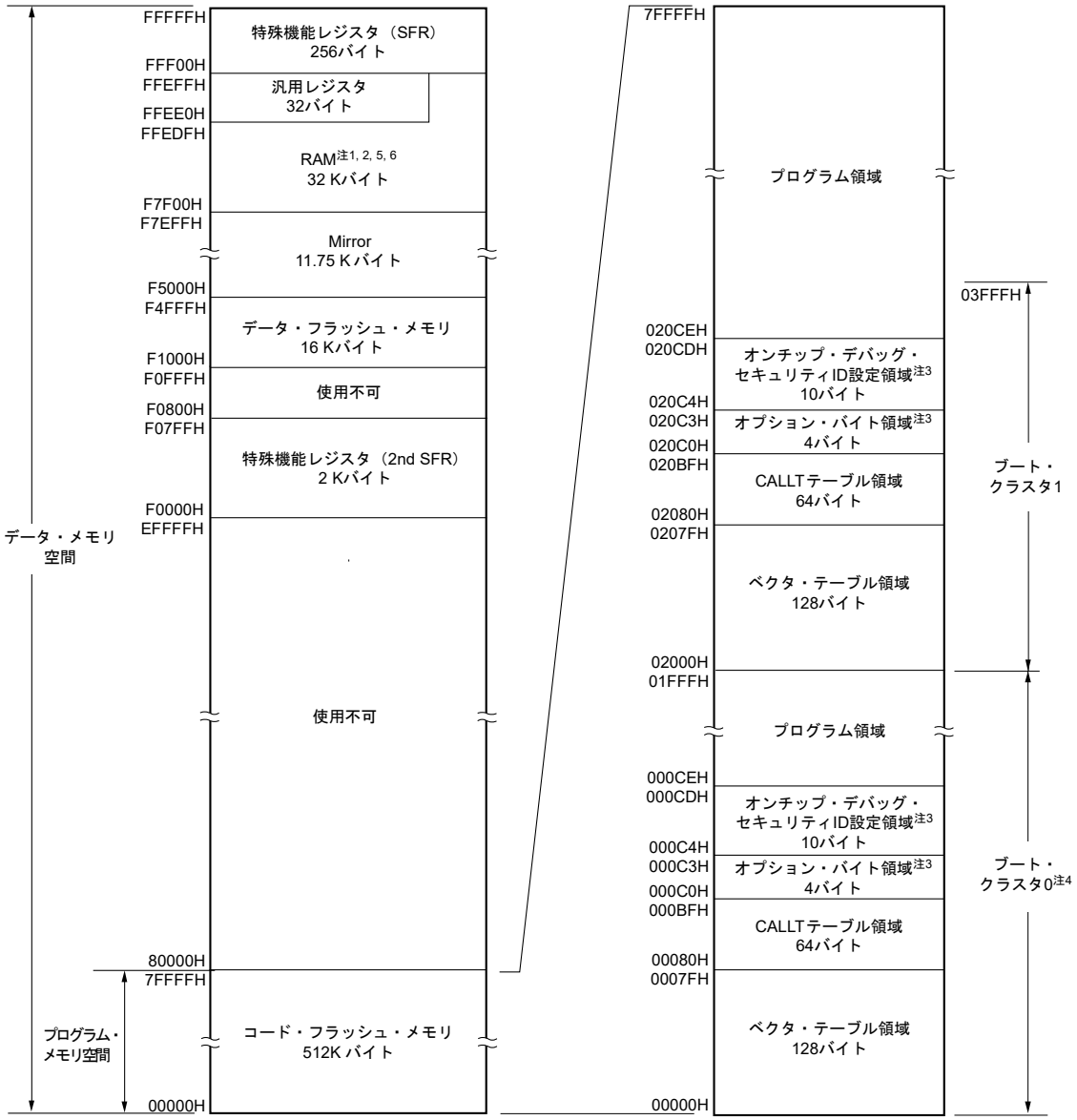
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H, 020C0H-020C3Hにオプション・バイト、000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます（「31.7 セキュリティ設定」を参照）。

注意 RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3—5 メモリ・マップ（R5F113mL（m = G, L, M, P, T））



注1. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、各ライブラリで使用するスタック、データ・バッファ、さらにベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、F7F00H-F82FFHの領域は各ライブラリで使用するため使用禁止になります（ライブラリのバージョンにより使用禁止領域は異なります。詳細については各ライブラリのマニュアルをご参照ください）。

2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
   ブート・スワップ使用時：000C0H-000C3H, 020C0H-020C3Hにオプション・バイト、000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティID設定

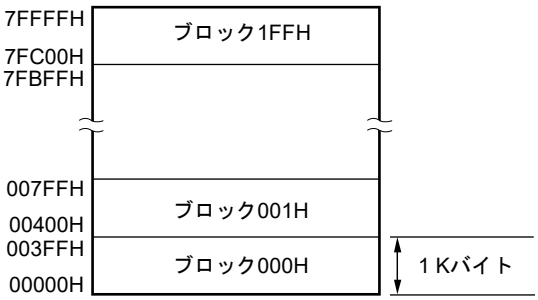
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます（「31.7 セキュリティ設定」を参照）。

5. オンチップ・トレース使用時、デバッガがトレース結果の保存領域としてF8300H-F84FFHの領域を使用します。オンチップ・トレースを使用する際はF8300H-F84FFHの領域を使用しないでください。

6. ホット・プラグインまたはDTC方式RRM/DMM使用時、デバッガがワーク・エリアとしてF8500H-F852FHの領域を使用します。ホット・プラグインまたはDTC方式RRM/DMMを使用する際はF8500H-F852FHの領域を使用しないでください。

注意 RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1 ブロック=1 K バイト）。アドレス値とブロック番号については「表 3−1 フラッシュ・メモリのアドレス値とブロック番号の対応」を参照してください。



(R5F113TLLの場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3−1 フラッシュ・メモリのアドレス値とブロック番号の対応（1/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	000H	08000H-083FFH	020H	10000H-103FFH	040H	18000H-183FFH	060H
00400H-007FFH	001H	08400H-087FFH	021H	10400H-107FFH	041H	18400H-187FFH	061H
00800H-00BFFH	002H	08800H-08BFFH	022H	10800H-10BFFH	042H	18800H-18BFFH	062H
00C00H-00FFFH	003H	08C00H-08FFFH	023H	10C00H-10FFFH	043H	18C00H-18FFFH	063H
01000H-013FFH	004H	09000H-093FFH	024H	11000H-113FFH	044H	19000H-193FFH	064H
01400H-017FFH	005H	09400H-097FFH	025H	11400H-117FFH	045H	19400H-197FFH	065H
01800H-01BFFH	006H	09800H-09BFFH	026H	11800H-11BFFH	046H	19800H-19BFFH	066H
01C00H-01FFFH	007H	09C00H-09FFFH	027H	11C00H-11FFFH	047H	19C00H-19FFFH	067H
02000H-023FFH	008H	0A000H-0A3FFH	028H	12000H-123FFH	048H	1A000H-1A3FFH	068H
02400H-027FFH	009H	0A400H-0A7FFH	029H	12400H-127FFH	049H	1A400H-1A7FFH	069H
02800H-02BFFH	00AH	0A800H-0ABFFH	02AH	12800H-12BFFH	04AH	1A800H-1ABFFH	06AH
02C00H-02FFFH	00BH	0AC00H-0AFFFH	02BH	12C00H-12FFFH	04BH	1AC00H-1AFFFH	06BH
03000H-033FFH	00CH	0B000H-0B3FFH	02CH	13000H-133FFH	04CH	1B000H-1B3FFH	06CH
03400H-037FFH	00DH	0B400H-0B7FFH	02DH	13400H-137FFH	04DH	1B400H-1B7FFH	06DH
03800H-03BFFH	00EH	0B800H-0BBFFH	02EH	13800H-13BFFH	04EH	1B800H-1BBFFH	06EH
03C00H-03FFFH	00FH	0BC00H-0BFFFH	02FH	13C00H-13FFFH	04FH	1BC00H-1BFFFH	06FH
04000H-043FFH	010H	0C000H-0C3FFH	030H	14000H-143FFH	050H	1C000H-1C3FFH	070H
04400H-047FFH	011H	0C400H-0C7FFH	031H	14400H-147FFH	051H	1C400H-1C7FFH	071H
04800H-04BFFH	012H	0C800H-0CBFFH	032H	14800H-14BFFH	052H	1C800H-1CBFFH	072H
04C00H-04FFFH	013H	0CC00H-0CFFFH	033H	14C00H-14FFFH	053H	1CC00H-1CFFFH	073H
05000H-053FFH	014H	0D000H-0D3FFH	034H	15000H-153FFH	054H	1D000H-1D3FFH	074H
05400H-057FFH	015H	0D400H-0D7FFH	035H	15400H-157FFH	055H	1D400H-1D7FFH	075H
05800H-05BFFH	016H	0D800H-0DBFFH	036H	15800H-15BFFH	056H	1D800H-1DBFFH	076H
05C00H-05FFFH	017H	0DC00H-0DFFFH	037H	15C00H-15FFFH	057H	1DC00H-1DFFFH	077H
06000H-063FFH	018H	0E000H-0E3FFH	038H	16000H-163FFH	058H	1E000H-1E3FFH	078H
06400H-067FFH	019H	0E400H-0E7FFH	039H	16400H-167FFH	059H	1E400H-1E7FFH	079H
06800H-06BFFH	01AH	0E800H-0EBFFH	03AH	16800H-16BFFH	05AH	1E800H-1EBFFH	07AH
06C00H-06FFFH	01BH	0EC00H-0EFFFH	03BH	16C00H-16FFFH	05BH	1EC00H-1EFFFH	07BH
07000H-073FFH	01CH	0F000H-0F3FFH	03CH	17000H-173FFH	05CH	1F000H-1F3FFH	07CH
07400H-077FFH	01DH	0F400H-0F7FFH	03DH	17400H-177FFH	05DH	1F400H-1F7FFH	07DH
07800H-07BFFH	01EH	0F800H-0FBFFH	03EH	17800H-17BFFH	05EH	1F800H-1FBFFH	07EH
07C00H-07FFFH	01FH	0FC00H-0FFFFH	03FH	17C00H-17FFFH	05FH	1FC00H-1FFFFH	07FH

表3−1 フラッシュ・メモリのアドレス値とブロック番号の対応（2/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
20000H-203FFH	080H	28000H-283FFH	0A0H	30000H-303FFH	0C0H	38000H-383FFH	0E0H
20400H-207FFH	081H	28400H-287FFH	0A1H	30400H-307FFH	0C1H	38400H-387FFH	0E1H
20800H-20BFFH	082H	28800H-28BFFH	0A2H	30800H-30BFFH	0C2H	38800H-38BFFH	0E2H
20C00H-20FFFH	083H	28C00H-28FFFH	0A3H	30C00H-30FFFH	0C3H	38C00H-38FFFH	0E3H
21000H-213FFH	084H	29000H-293FFH	0A4H	31000H-313FFH	0C4H	39000H-393FFH	0E4H
21400H-217FFH	085H	29400H-297FFH	0A5H	31400H-317FFH	0C5H	39400H-397FFH	0E5H
21800H-21BFFH	086H	29800H-29BFFH	0A6H	31800H-31BFFH	0C6H	39800H-39BFFH	0E6H
21C00H-21FFFH	087H	29C00H-29FFFH	0A7H	31C00H-31FFFH	0C7H	39C00H-39FFFH	0E7H
22000H-223FFH	088H	2A000H-2A3FFH	0A8H	32000H-323FFH	0C8H	3A000H-3A3FFH	0E8H
22400H-227FFH	089H	2A400H-2A7FFH	0A9H	32400H-327FFH	0C9H	3A400H-3A7FFH	0E9H
22800H-22BFFH	08AH	2A800H-2ABFFH	0AAH	32800H-32BFFH	0CAH	3A800H-3ABFFH	0EAH
22C00H-22FFFH	08BH	2AC00H-2AFFFH	0ABH	32C00H-32FFFH	0CBH	3AC00H-3AFFFH	0EBH
23000H-233FFH	08CH	2B000H-2B3FFH	0ACH	33000H-333FFH	0CCH	3B000H-3B3FFH	0ECH
23400H-237FFH	08DH	2B400H-2B7FFH	0ADH	33400H-337FFH	0CDH	3B400H-3B7FFH	0EDH
23800H-23BFFH	08EH	2B800H-2BBFFH	0AEH	33800H-33BFFH	0CEH	3B800H-3BBFFH	0EEH
23C00H-23FFFH	08FH	2BC00H-2BFFFH	0AFH	33C00H-33FFFH	0CFH	3BC00H-3BFFFH	0EFH
24000H-243FFH	090H	2C000H-2C3FFH	0B0H	34000H-343FFH	0D0H	3C000H-3C3FFH	0F0H
24400H-247FFH	091H	2C400H-2C7FFH	0B1H	34400H-347FFH	0D1H	3C400H-3C7FFH	0F1H
24800H-24BFFH	092H	2C800H-2CBFFH	0B2H	34800H-34BFFH	0D2H	3C800H-3CBFFH	0F2H
24C00H-24FFFH	093H	2CC00H-2CFFFH	0B3H	34C00H-34FFFH	0D3H	3CC00H-3CFFFH	0F3H
25000H-253FFH	094H	2D000H-2D3FFH	0B4H	35000H-353FFH	0D4H	3D000H-3D3FFH	0F4H
25400H-257FFH	095H	2D400H-2D7FFH	0B5H	35400H-357FFH	0D5H	3D400H-3D7FFH	0F5H
25800H-25BFFH	096H	2D800H-2DBFFH	0B6H	35800H-35BFFH	0D6H	3D800H-3DBFFH	0F6H
25C00H-25FFFH	097H	2DC00H-2DFFFH	0B7H	35C00H-35FFFH	0D7H	3DC00H-3DFFFH	0F7H
26000H-263FFH	098H	2E000H-2E3FFH	0B8H	36000H-363FFH	0D8H	3E000H-3E3FFH	0F8H
26400H-267FFH	099H	2E400H-2E7FFH	0B9H	36400H-367FFH	0D9H	3E400H-3E7FFH	0F9H
26800H-26BFFH	09AH	2E800H-2EBFFH	0BAH	36800H-36BFFH	0DAH	3E800H-3EBFFH	0FAH
26C00H-26FFFH	09BH	2EC00H-2EFFFH	0BBH	36C00H-36FFFH	0DBH	3EC00H-3EFFFH	0FBH
27000H-273FFH	09CH	2F000H-2F3FFH	0BCH	37000H-373FFH	0DCH	3F000H-3F3FFH	0FCH
27400H-277FFH	09DH	2F400H-2F7FFH	0BDH	37400H-377FFH	0DDH	3F400H-3F7FFH	0FDH
27800H-27BFFH	09EH	2F800H-2FBFFH	0BEH	37800H-37BFFH	0DEH	3F800H-3FBFFH	0FEH
27C00H-27FFFH	09FH	2FC00H-2FFFFH	0BFH	37C00H-37FFFH	0DFH	3FC00H-3FFFFH	0FFH

表3−1 フラッシュ・メモリのアドレス値とブロック番号の対応（3/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
40000H-403FFH	100H	48000H-483FFH	120H	50000H-503FFH	140H	58000H-583FFH	160H
40400H-407FFH	101H	48400H-487FFH	121H	50400H-507FFH	141H	58400H-587FFH	161H
40800H-40BFFH	102H	48800H-48BFFH	122H	50800H-50BFFH	142H	58800H-58BFFH	162H
40C00H-40FFFH	103H	48C00H-48FFFH	123H	50C00H-50FFFH	143H	58C00H-58FFFH	163H
41000H-413FFH	104H	49000H-493FFH	124H	51000H-513FFH	144H	59000H-593FFH	164H
41400H-417FFH	105H	49400H-497FFH	125H	51400H-517FFH	145H	59400H-597FFH	165H
41800H-41BFFH	106H	49800H-49BFFH	126H	51800H-51BFFH	146H	59800H-59BFFH	166H
41C00H-41FFFH	107H	49C00H-49FFFH	127H	51C00H-51FFFH	147H	59C00H-59FFFH	167H
42000H-423FFH	108H	4A000H-4A3FFH	128H	52000H-523FFH	148H	5A000H-5A3FFH	168H
42400H-427FFH	109H	4A400H-4A7FFH	129H	52400H-527FFH	149H	5A400H-5A7FFH	169H
42800H-42BFFH	10AH	4A800H-4ABFFH	12AH	52800H-52BFFH	14AH	5A800H-5ABFFH	16AH
42C00H-42FFFH	10BH	4AC00H-4AFFFH	12BH	52C00H-52FFFH	14BH	5AC00H-5AFFFH	16BH
43000H-433FFH	10CH	4B000H-4B3FFH	12CH	53000H-533FFH	14CH	5B000H-5B3FFH	16CH
43400H-437FFH	10DH	4B400H-4B7FFH	12DH	53400H-537FFH	14DH	5B400H-5B7FFH	16DH
43800H-43BFFH	10EH	4B800H-4BBFFH	12EH	53800H-53BFFH	14EH	5B800H-5BBFFH	16EH
43C00H-43FFFH	10FH	4BC00H-4BFFFH	12FH	53C00H-53FFFH	14FH	5BC00H-5BFFFH	16FH
44000H-443FFH	110H	4C000H-4C3FFH	130H	54000H-543FFH	150H	5C000H-5C3FFH	170H
44400H-447FFH	111H	4C400H-4C7FFH	131H	54400H-547FFH	151H	5C400H-5C7FFH	171H
44800H-44BFFH	112H	4C800H-4CBFFH	132H	54800H-54BFFH	152H	5C800H-5CBFFH	172H
44C00H-44FFFH	113H	4CC00H-4CFFFH	133H	54C00H-54FFFH	153H	5CC00H-5CFFFH	173H
45000H-453FFH	114H	4D000H-4D3FFH	134H	55000H-553FFH	154H	5D000H-5D3FFH	174H
45400H-457FFH	115H	4D400H-4D7FFH	135H	55400H-557FFH	155H	5D400H-5D7FFH	175H
45800H-45BFFH	116H	4D800H-4DBFFH	136H	55800H-55BFFH	156H	5D800H-5DBFFH	176H
45C00H-45FFFH	117H	4DC00H-4DFFFH	137H	55C00H-55FFFH	157H	5DC00H-5DFFFH	177H
46000H-463FFH	118H	4E000H-4E3FFH	138H	56000H-563FFH	158H	5E000H-5E3FFH	178H
46400H-467FFH	119H	4E400H-4E7FFH	139H	56400H-567FFH	159H	5E400H-5E7FFH	179H
46800H-46BFFH	11AH	4E800H-4EBFFH	13AH	56800H-56BFFH	15AH	5E800H-5EBFFH	17AH
46C00H-46FFFH	11BH	4EC00H-4EFFFH	13BH	56C00H-56FFFH	15BH	5EC00H-5EFFFH	17BH
47000H-473FFH	11CH	4F000H-4F3FFH	13CH	57000H-573FFH	15CH	5F000H-5F3FFH	17CH
47400H-477FFH	11DH	4F400H-4F7FFH	13DH	57400H-577FFH	15DH	5F400H-5F7FFH	17DH
47800H-47BFFH	11EH	4F800H-4FBFFH	13EH	57800H-57BFFH	15EH	5F800H-5FBFFH	17EH
47C00H-47FFFH	11FH	4FC00H-4FFFFH	13FH	57C00H-57FFFH	15FH	5FC00H-5FFFFH	17FH

表3−1 フラッシュ・メモリのアドレス値とブロック番号の対応（4/4）

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
60000H-603FFH	180H	68000H-683FFH	1A0H	70000H-703FFH	1C0H	78000H-783FFH	1E0H
60400H-607FFH	181H	68400H-687FFH	1A1H	70400H-707FFH	1C1H	78400H-787FFH	1E1H
60800H-60BFFH	182H	68800H-68BFFH	1A2H	70800H-70BFFH	1C2H	78800H-78BFFH	1E2H
60C00H-60FFFH	183H	68C00H-68FFFH	1A3H	70C00H-70FFFH	1C3H	78C00H-78FFFH	1E3H
61000H-613FFH	184H	69000H-693FFH	1A4H	71000H-713FFH	1C4H	79000H-793FFH	1E4H
61400H-617FFH	185H	69400H-697FFH	1A5H	71400H-717FFH	1C5H	79400H-797FFH	1E5H
61800H-61BFFH	186H	69800H-69BFFH	1A6H	71800H-71BFFH	1C6H	79800H-79BFFH	1E6H
61C00H-61FFFH	187H	69C00H-69FFFH	1A7H	71C00H-71FFFH	1C7H	79C00H-79FFFH	1E7H
62000H-623FFH	188H	6A000H-6A3FFH	1A8H	72000H-723FFH	1C8H	7A000H-7A3FFH	1E8H
62400H-627FFH	189H	6A400H-6A7FFH	1A9H	72400H-727FFH	1C9H	7A400H-7A7FFH	1E9H
62800H-62BFFH	18AH	6A800H-6ABFFH	1AAH	72800H-72BFFH	1CAH	7A800H-7ABFFH	1EAH
62C00H-62FFFH	18BH	6AC00H-6AFFFH	1ABH	72C00H-72FFFH	1CBH	7AC00H-7AFFFH	1EBH
63000H-633FFH	18CH	6B000H-6B3FFH	1ACH	73000H-733FFH	1CCH	7B000H-7B3FFH	1ECH
63400H-637FFH	18DH	6B400H-6B7FFH	1ADH	73400H-737FFH	1CDH	7B400H-7B7FFH	1EDH
63800H-63BFFH	18EH	6B800H-6BBFFH	1AEH	73800H-73BFFH	1CEH	7B800H-7BBFFH	1EEH
63C00H-63FFFH	18FH	6BC00H-6BFFFH	1AFH	73C00H-73FFFH	1CFH	7BC00H-7BFFFH	1EFH
64000H-643FFH	190H	6C000H-6C3FFH	1B0H	74000H-743FFH	1D0H	7C000H-7C3FFH	1F0H
64400H-647FFH	191H	6C400H-6C7FFH	1B1H	74400H-747FFH	1D1H	7C400H-7C7FFH	1F1H
64800H-64BFFH	192H	6C800H-6CBFFH	1B2H	74800H-74BFFH	1D2H	7C800H-7CBFFH	1F2H
64C00H-64FFFH	193H	6CC00H-6CFFFH	1B3H	74C00H-74FFFH	1D3H	7CC00H-7CFFFH	1F3H
65000H-653FFH	194H	6D000H-6D3FFH	1B4H	75000H-753FFH	1D4H	7D000H-7D3FFH	1F4H
65400H-657FFH	195H	6D400H-6D7FFH	1B5H	75400H-757FFH	1D5H	7D400H-7D7FFH	1F5H
65800H-65BFFH	196H	6D800H-6DBFFH	1B6H	75800H-75BFFH	1D6H	7D800H-7DBFFH	1F6H
65C00H-65FFFH	197H	6DC00H-6DFFFH	1B7H	75C00H-75FFFH	1D7H	7DC00H-7DFFFH	1F7H
66000H-663FFH	198H	6E000H-6E3FFH	1B8H	76000H-763FFH	1D8H	7E000H-7E3FFH	1F8H
66400H-667FFH	199H	6E400H-6E7FFH	1B9H	76400H-767FFH	1D9H	7E400H-7E7FFH	1F9H
66800H-66BFFH	19AH	6E800H-6EBFFH	1BAH	76800H-76BFFH	1DAH	7E800H-7EBFFH	1FAH
66C00H-66FFFH	19BH	6EC00H-6EFFFH	1BBH	76C00H-76FFFH	1DBH	7EC00H-7EFFFH	1FBH
67000H-673FFH	19CH	6F000H-6F3FFH	1BCH	77000H-773FFH	1DCH	7F000H-7F3FFH	1FCH
67400H-677FFH	19DH	6F400H-6F7FFH	1BDH	77400H-777FFH	1DDH	7F400H-7F7FFH	1FDH
67800H-67BFFH	19EH	6F800H-6FBFFH	1BEH	77800H-77BFFH	1DEH	7F800H-7FBFFH	1FEH
67C00H-67FFFH	19FH	6FC00H-6FFFFH	1BFH	77C00H-77FFFH	1DFH	7FC00H-7FFFFH	1FFH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/F15は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－2 内部ROM容量

製　品	内部ROM	
	構　造	容　量
R5F113mG (m = P, T)	フラッシュ・メモリ	128Kバイト (00000H-1FFFFH)
R5F113mH (m = P, T)		192Kバイト (00000H-2FFFFH)
R5F113mJ (m = P, T)		256Kバイト (00000H-3FFFFH)
R5F113mK (m = G, L, M, P, T)		384Kバイト (00000H-5FFFFH)
R5F113mL (m = G, L, M, P, T)		512Kバイト (00000H-7FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、02000H-0207FHにもベクタ・テーブルを設定してください。

表3－3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。－はサポートしない割り込み要因であることを示します。

表3−3 ベクタ・テーブル（1/2）

ベクタ・テーブル・アドレス	割り込み要因	144ピン	100ピン	80ピン	64ピン	48ピン
0000H	RESET, POR, LVD, WDT, TRAP, IAW, CLM	○	○	○	○	○
0004H	INTWDTI	○	○	○	○	○
0006H	INTLVI	○	○	○	○	○
0008H	INTP0	○	○	○	○	○
000AH	INTP1	○	○	○	○	○
000CH	INTP2	○	○	○	○	○
000EH	INTP3	○	○	○	○	○
0010H	INTP4/INTSPM	○	○	○	○	○
0012H	INTP5/INTCMP0	○	○	○	○	○
0014H	INTP13	○	○	○	−	−
	INTCLM	○	○	○	○	○
0016H	INTST0	○	○	○	○	○
	INTCSI00	○	○	○	○	○
	INTIIC00	○	○	○	○	○
0018H	INTSR0	○	○	○	○	○
	INTCSI01	○	○	○	○	○
	INTIIC01	○	○	○	○	○
001AH	INTTRD0	○	○	○	○	○
001CH	INTTRD1	○	○	○	○	○
001EH	INTTRJ0	○	○	○	○	○
0020H	INTRAM	○	○	○	○	○
0022H	INTLIN0TRM	○	○	○	○	○
0024H	INTLIN0RVC	○	○	○	○	○
0026H	INTLIN0STA/INTLIN0	○	○	○	○	○
0028H	INTIICA0	○	○	○	○	○
002AH	INTP8	○	○	○	○	○
	INTRTC	○	○	○	○	○
002CH	INTTM00	○	○	○	○	○
002EH	INTTM01	○	○	○	○	○
	INTLIN2TRM	○	○	−	−	−
0030H	INTTM02	○	○	○	○	○
	INTLIN2RVC	○	○	−	−	−
0032H	INTTM03	○	○	○	○	○
	INTLIN2STA	○	○	−	−	−
	INTLIN2	○	○	−	−	−
0034H	INTAD	○	○	○	○	○
0036H	INTP6	○	○	○	○	○
	INTTM11H	○	○	○	○	○
0038H	INTP7	○	○	○	○	○
	INTTM13H	○	○	○	○	○
003AH	INTP9	○	○	○	○	○
	INTTM01H	○	○	○	○	○
003CH	INTP10	○	○	○	○	−
	INTTM03H	○	○	○	○	○
003EH	INTST1	○	○	○	○	○
	INTCSI10	○	○	○	○	○
	INTIIC10	○	○	○	○	○
	INTIEBBTD	○	○	○	○	○
0040H	INTSR1	○	○	○	○	○
	INTCSI11	○	○	○	○	○
	INTIIC11	○	○	○	○	○
	INTIEBBTV	○	○	○	○	○

表3−3 ベクタ・テーブル（2/2）

ベクタ・テーブル・アドレス	割り込み要因	144ピン	100ピン	80ピン	64ピン	48ピン
0042H	INTTM04	○	○	○	○	○
	INTST2	○	○	−	−	−
	INTCSI20	○	○	−	−	−
0044H	INTTM05	○	○	○	○	○
	INTSR2	○	○	−	−	−
	INTCSI21	○	○	−	−	−
0046H	INTTM06	○	○	○	○	○
	INTSRE2	○	○	−	−	−
0048H	INTP15	○	−	−	−	−
	INTTM07	○	○	○	○	○
004AH	INTP11	○	○	○	○	−
	INTLIN0WUP	○	○	○	○	○
004CH	INTKR	○	○	○	○	○
004EH	INTCAN0ERR	○	○	○	○	○
0050H	INTCAN0WUP	○	○	○	○	○
0052H	INTCAN0CFR	○	○	○	○	○
0054H	INTCAN0TRM	○	○	○	○	○
0056H	INTCANGRFR	○	○	○	○	○
0058H	INTCANGERR	○	○	○	○	○
005AH	INTTM10	○	○	○	○	○
	INTTM20	○	−	−	−	−
005CH	INTTM11	○	○	○	○	○
	INTTM21	○	−	−	−	−
005EH	INTTM12	○	○	○	○	○
	INTTM22	○	−	−	−	−
0060H	INTTM13	○	○	○	○	○
	INTTM23	○	−	−	−	−
0062H	INTFL	○	○	○	○	○
0064H	INTP12	○	○	○	○	−
	INTLIN1WUP	○	○	○	○	○
0066H	INTLIN1TRM	○	○	○	○	○
0068H	INTLIN1RVC	○	○	○	○	○
006AH	INTLIN1STA/INTLIN1	○	○	○	○	○
006CH	INTTM14	○	○	○	○	○
	INTTM24	○	−	−	−	−
006EH	INTTM15	○	○	○	○	○
	INTTM25	○	−	−	−	−
0070H	INTTM16	○	○	○	○	○
	INTTM26	○	−	−	−	−
0072H	INTTM17	○	○	○	○	○
	INTTM27	○	−	−	−	−
0074H	INTCAN1ERR	○	○	○	○	○
0076H	INTCAN1WUP	○	○	○	○	○
0078H	INTCAN1CFR	○	○	○	○	○
007AH	INTCAN1TRM	○	○	○	○	○
007CH	INTP14	○	−	−	−	−
	INTLIN2WUP	○	○	−	−	−
007EH	BRK	○	○	○	○	○

（2）CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、02080H-020BFHにもCALLT命令テーブルを設定してください。

（3）オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には020C0H-020C3Hにもオプション・バイトを設定してください。詳細は「第30章　オプション・バイト」を参照してください。

（4）オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH、020C4H-020CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと020C4H-020CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は「第32章　オンチップ・デバッグ機能」を参照してください。

3.1.2　ミラー領域

RL78/F15では、00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H- FFFFFHへミラーさせています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

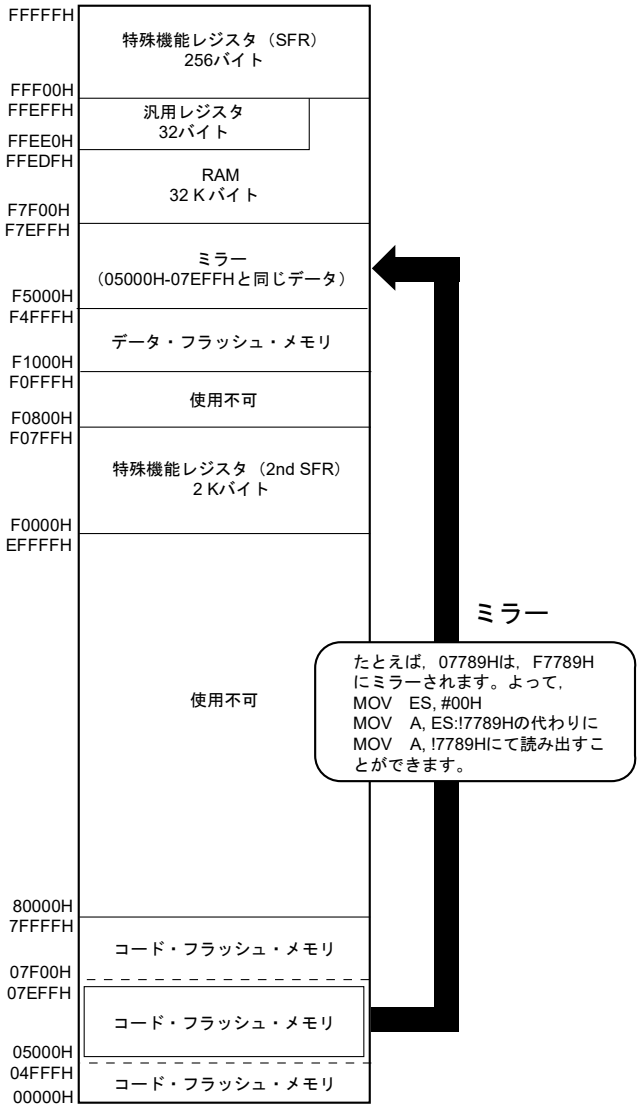
ミラー先のF0000H-FFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、「3.1　メモリ空間」を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例　R5F113mL（m = G, M, L, P, T）（フラッシュ・メモリ 512 Kバイト、RAM 32Kバイト）の場合



次に、PMCレジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ（PMC）

  F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

  PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

  リセット信号の発生により00Hになります。

図3−6　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFHへミラー

注意1.　PMCレジスタの設定は、DTC（データ トランスファコントローラ）を動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCレジスタの書き換えは禁止です。

2.　PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3　内部データ・メモリ空間

RL78/F15は、次に示すRAMを内蔵しています。

表3－4　内部RAM容量

製　　品	内部RAM
R5F113mG (m = P, T)	10Kバイト (FD700H-FFEFFH)
R5F113mH (m = P, T)	16Kバイト (FBF00H-FFEFFH)
R5F113mJ (m = P, T)	20Kバイト (FAF00H-FFEFFH)
R5F113mK (m = G, L, M, P, T)	26Kバイト (F9700H-FFEFFH)
R5F113mL (m = G, L, M, P, T)	32Kバイト (F7F00H-FFEFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

注意1. 汎用レジスタ（FFEE0H-FFEFFH）の空間は、命令フェッチやスタック領域としての使用を禁止します。

2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、各ライブラリで使用するスタック、データ・バッファ、さらにベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品のRAM領域は各ライブラリで使用するため使用禁止になります。また、ライブラリのバージョンにより使用禁止領域は異なります。詳細については各ライブラリのマニュアルをご参照ください。

R5F113mL (m = G, L, M, P, T)　　：F7F00H-F82FFH

3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（「3.2.4　特殊機能レジスタ（SFR：Special Function Register）」の「表3－5　SFR一覧」を参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（「3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）」の「表3－6　拡張SFR（2nd SFR）一覧」を参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意　拡張SFRが割り付けられていないアドレスにアクセスしないでください。

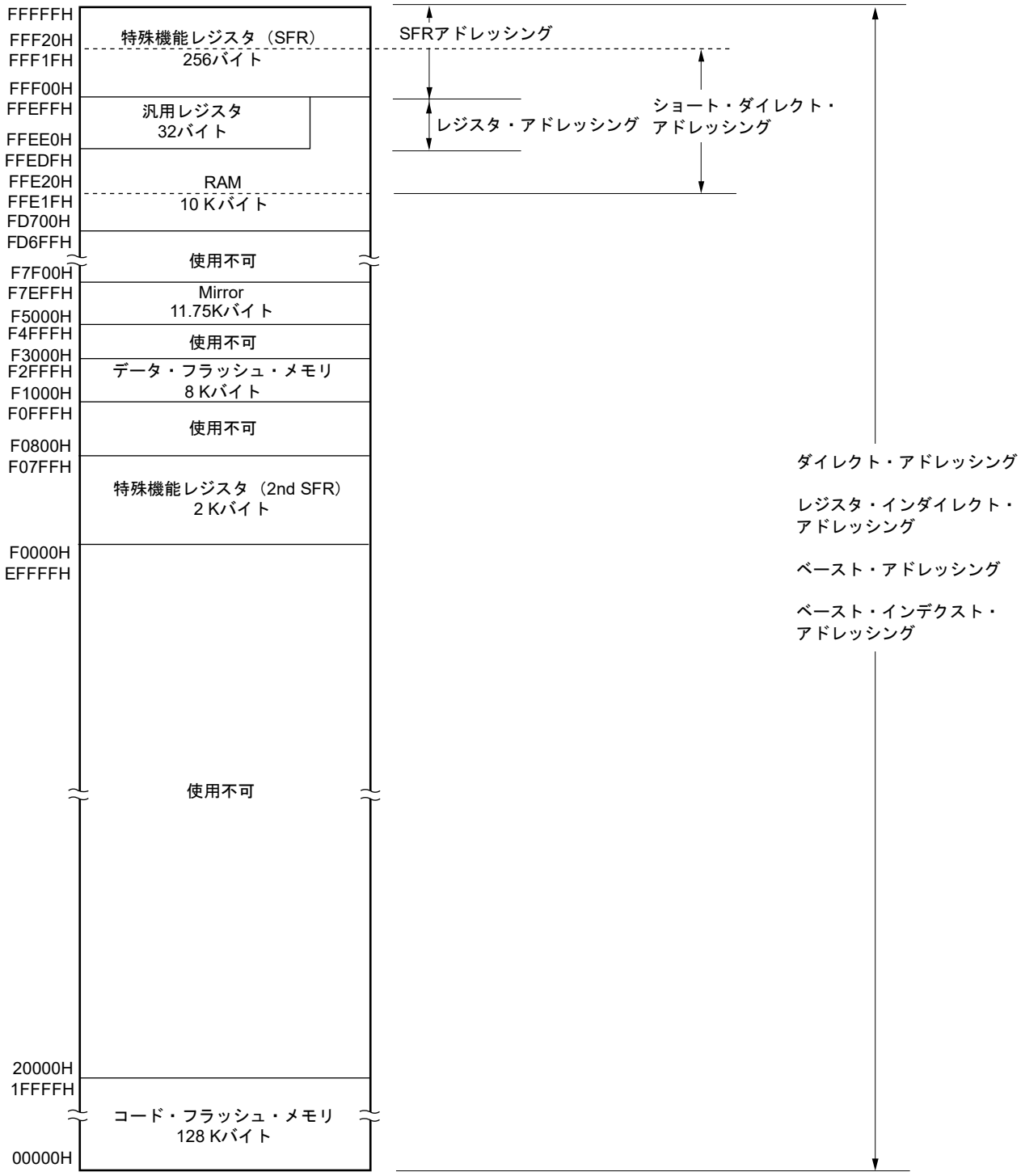
3.1.6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/F15では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（R）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3－7～3－11にデータ・メモリとアドレッシングの対応を示します。

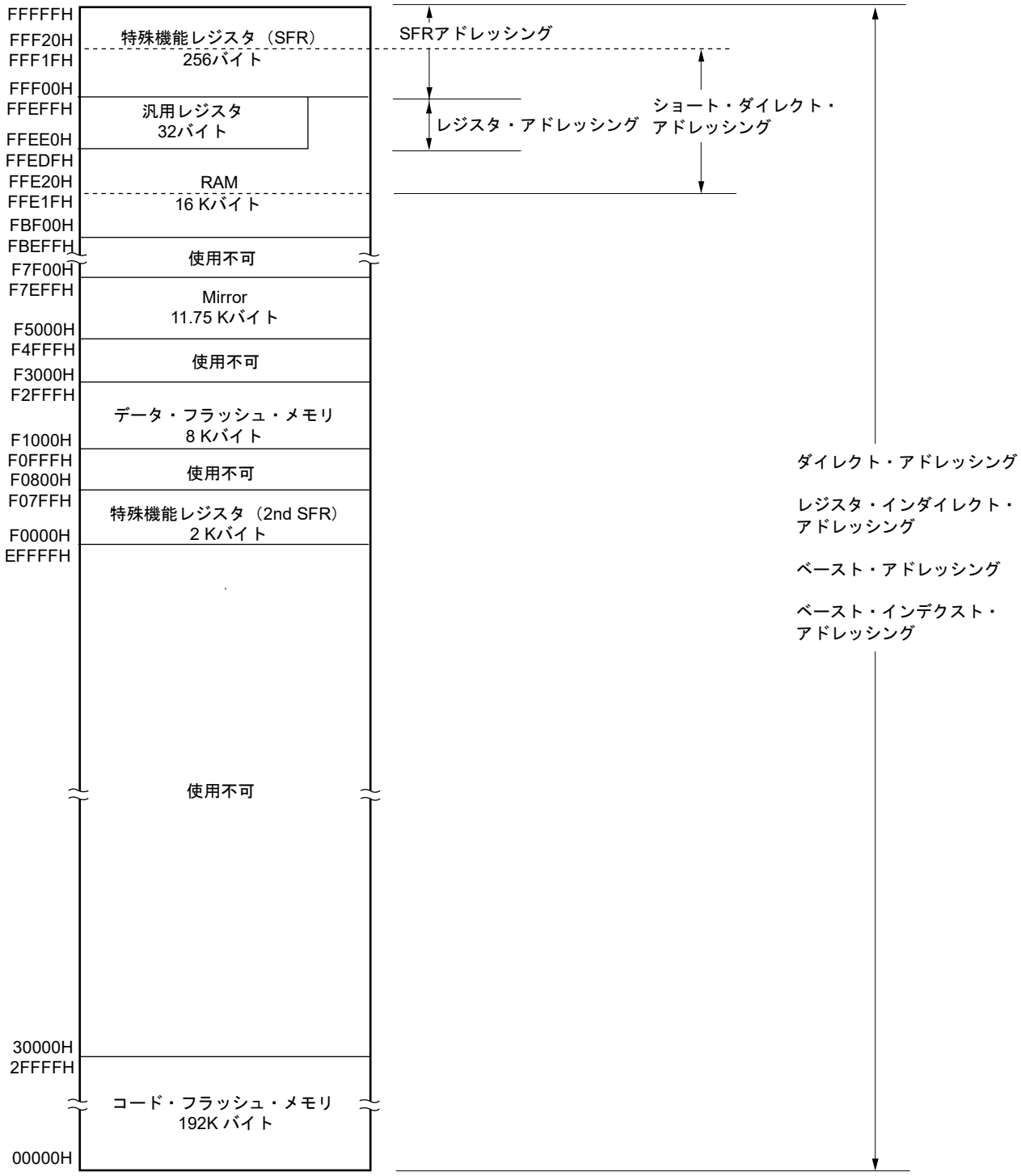
各アドレッシングの詳細については、「3.4　処理データ・アドレスに対するアドレッシング」を参照してください。

図3－7　データ・メモリとアドレッシングの対応（R5F113mG（m = P, T））



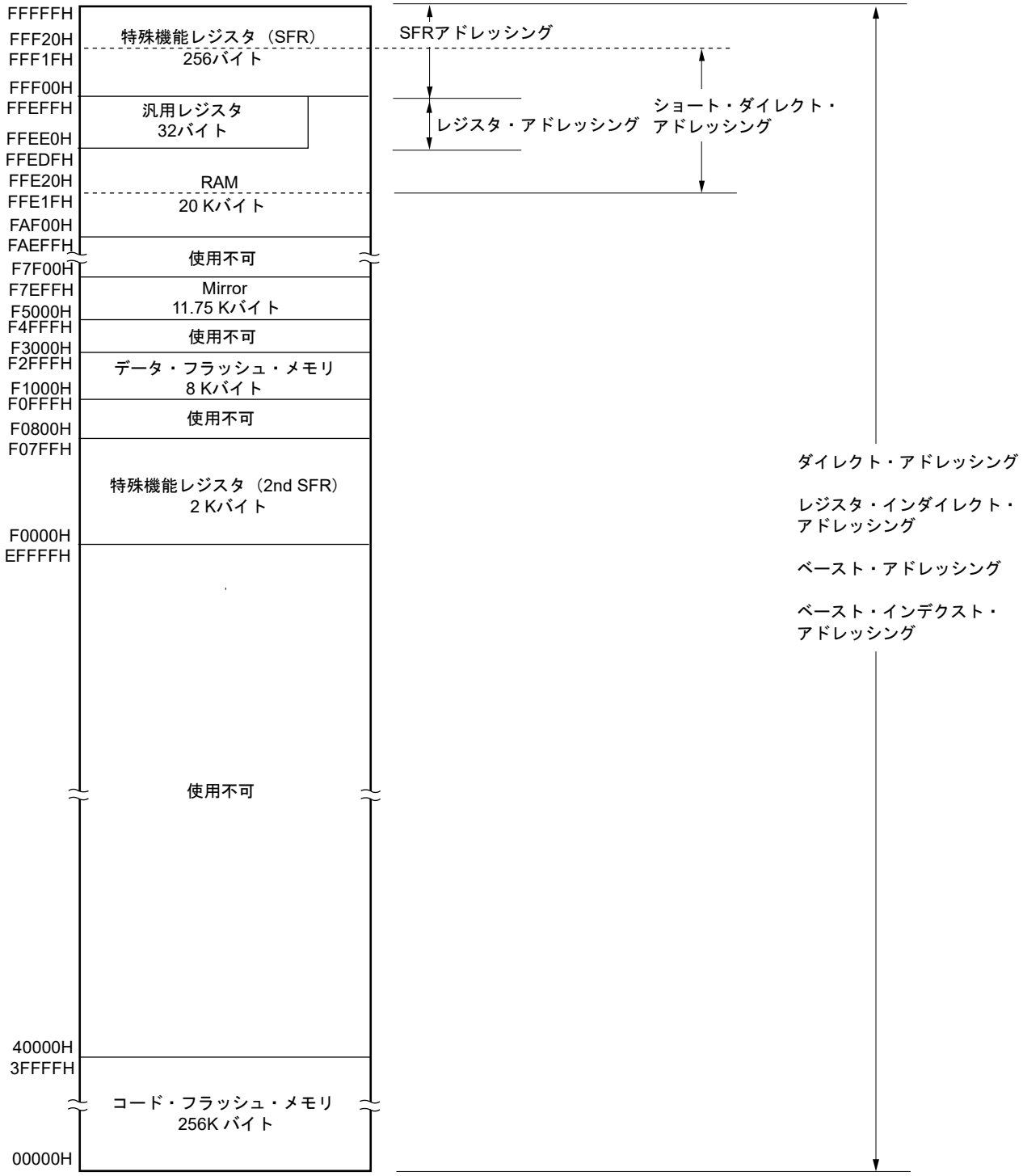
注意　RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3－8　データ・メモリとアドレッシングの対応（R5F113mH（m = P, T））



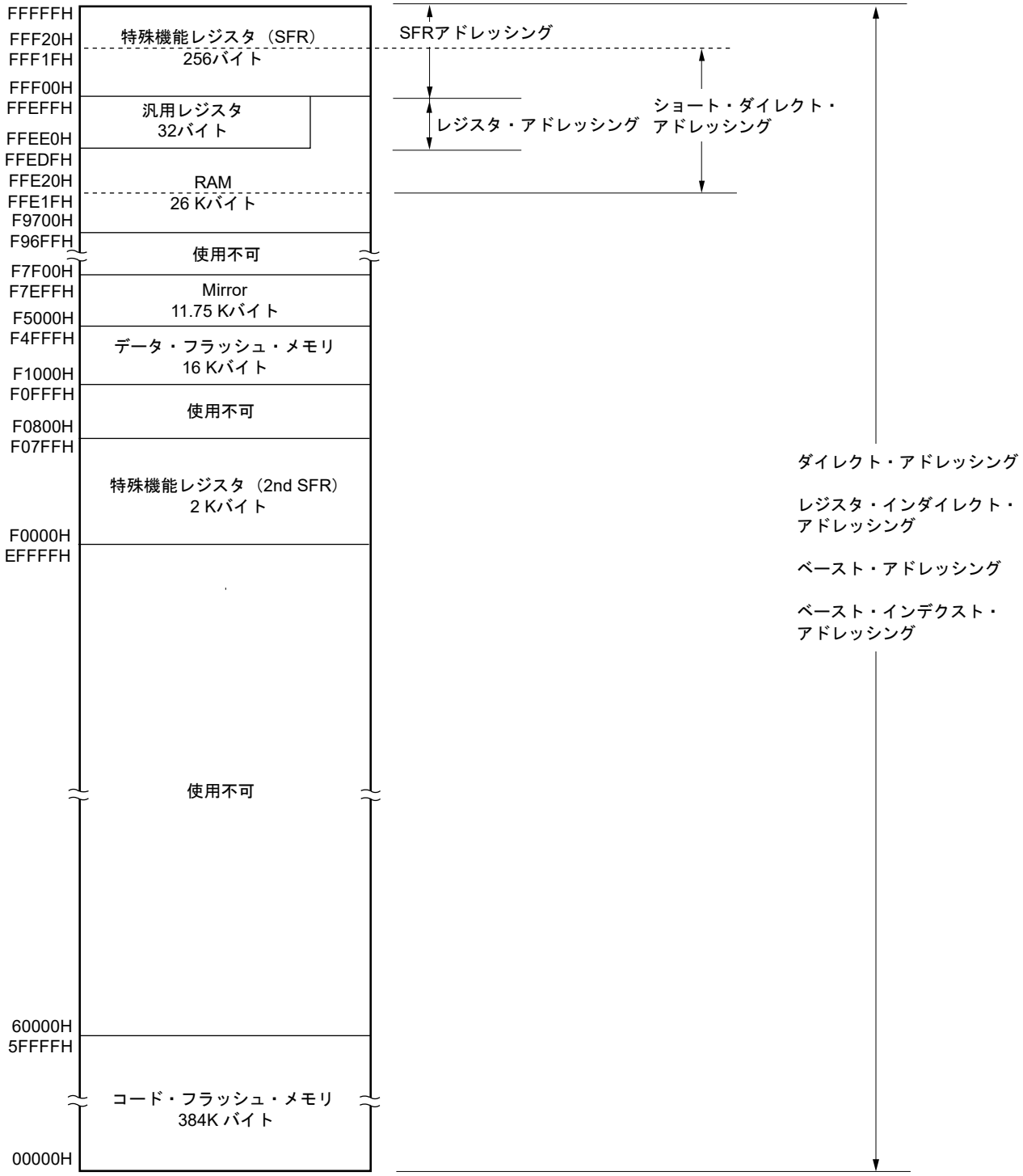
注意　RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3－9　データ・メモリとアドレッシングの対応（R5F113mJ（m = P, T））



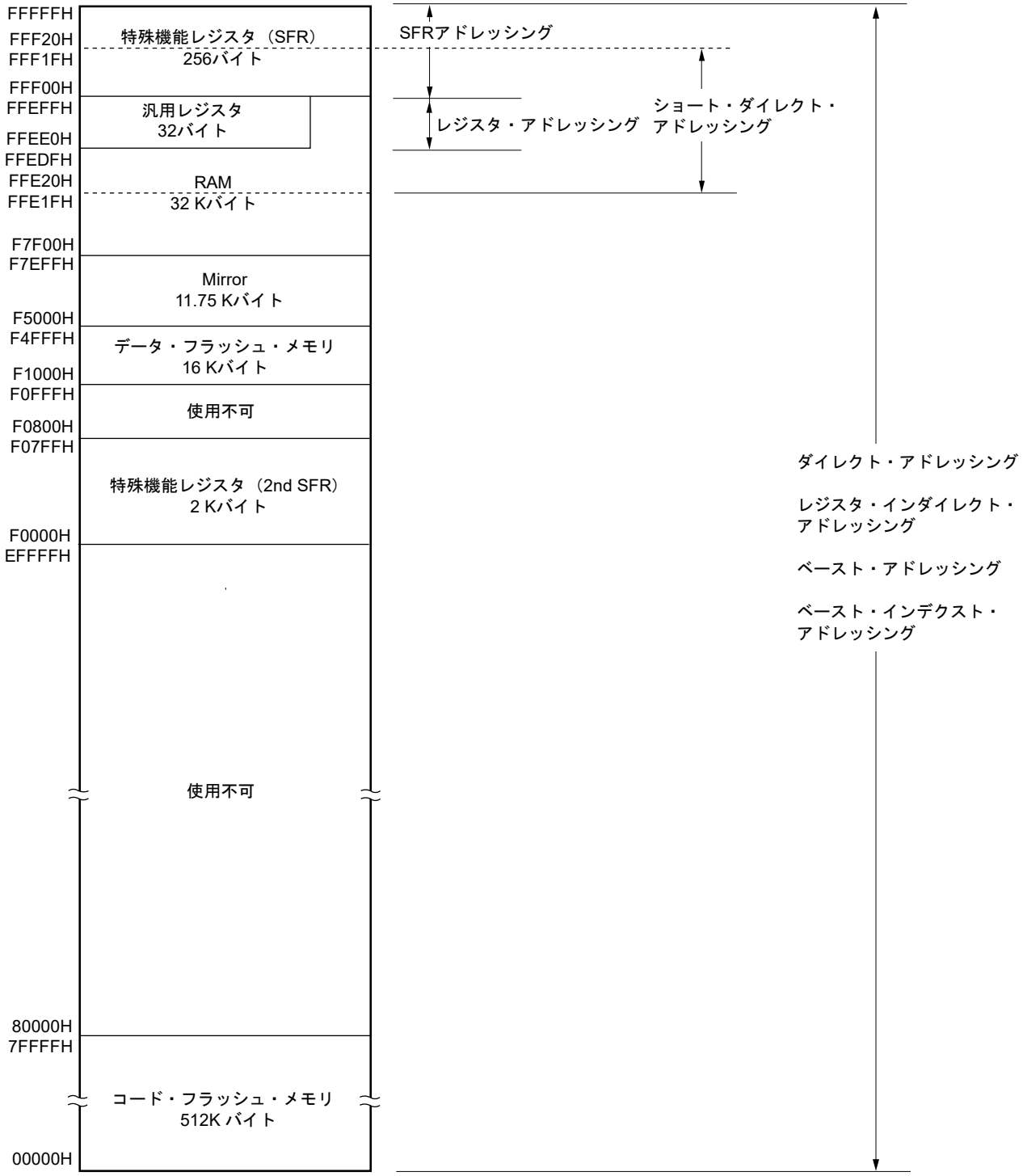
注意　RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3－10　データ・メモリとアドレッシングの対応（R5F113mK（m = G, L, M, P, T））



注意　RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

図3－11　データ・メモリとアドレッシングの対応（R5F113mL（m = G, L, M, P, T））



注意　RAM領域から命令を実行する場合、「使用するRAM領域＋10バイト」の領域を必ず任意の値で初期設定してください。

3.2 プロセッサ・レジスタ

RL78/F15は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

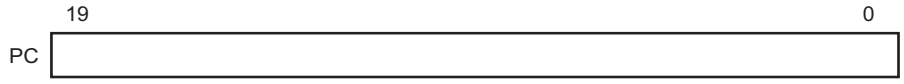
（1）プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐命令実行時には、イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3－12 プログラム・カウンタの構成



（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により06Hになります。

図3－13 プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

（a）割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1、ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

（b）ゼロ・フラグ（Z）

演算結果がゼロのときセット（1）され、それ以外のときにリセット（0）されるフラグです。

（c）レジスタ・バンク選択フラグ（RBS0、RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

（d）補助キャリー・フラグ（AC）

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット（1）され、それ以外のときリセット（0）されるフラグです。

（e）インサービス・プライオリティ・フラグ（ISP1、ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H）（「22.3.3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）」を参照）でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ（IE）の状態により制御されます。

備考　n = 0, 1

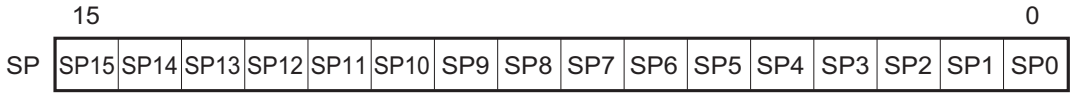
（f）キャリー・フラグ（CY）

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュームレータとして機能します。

（3）スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3－14　スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3－15のようになります。

注意1. SPの内容はリセット信号の発生により不定になりますので、必ずスタック使用前にイニシャライズしてください。

2. 汎用レジスタ（FFEE0H-FFEFFH）の空間は、スタック領域としての使用を禁止します。

3. 次に示す製品の内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にスタック・メモリとしては使用できません。(ライブラリのバージョンにより使用禁止領域は異なります。詳細については各ライブラリのマニュアルをご参照ください)。

   R5F113mL (m = G, L, M, P, T)　：F7F00H-F82FFH

4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

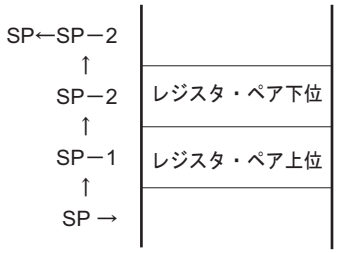
   R5F113mL (m = G, L, M, P, T)　：F8300H-F84FFH

5. 次に示す製品の内部RAM領域は、ホット・プラグインまたはDTC方式RRM/DMMを使用時にスタック・メモリとして使用できません。

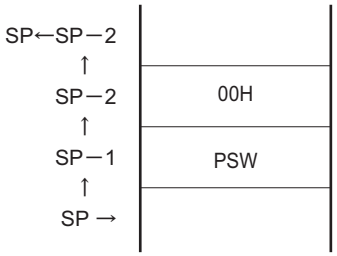
   R5F113mL (m = G, L, M, P, T)　：F8500H-F852FH

図3－15　スタック・メモリへ退避されるデータ

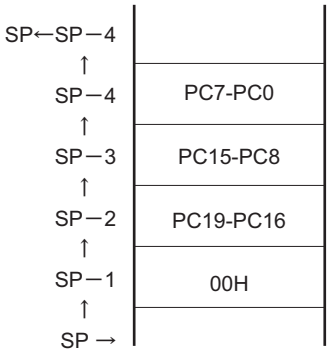
PUSH rp 命令



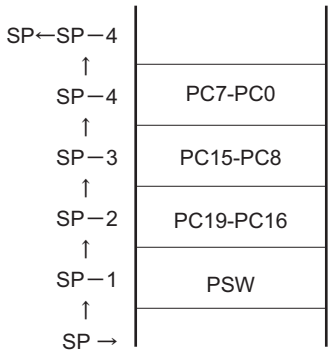
PUSH PSW 命令



CALL, CALLT命令
（4バイト・スタック）



割り込み，BRK命令
（4バイト・スタック）



3.2.2　汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

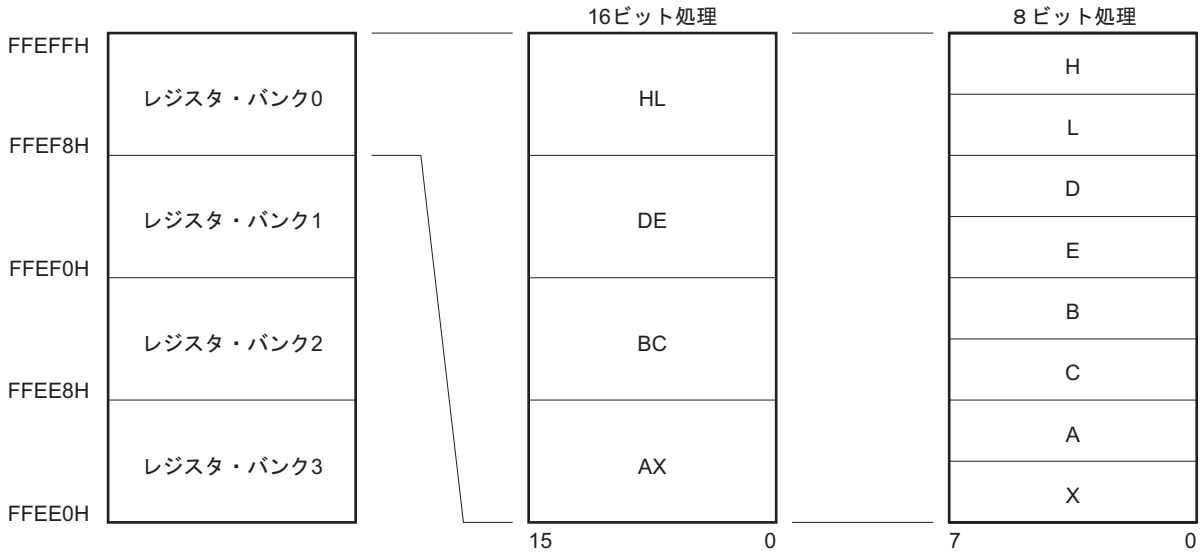
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）ででも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

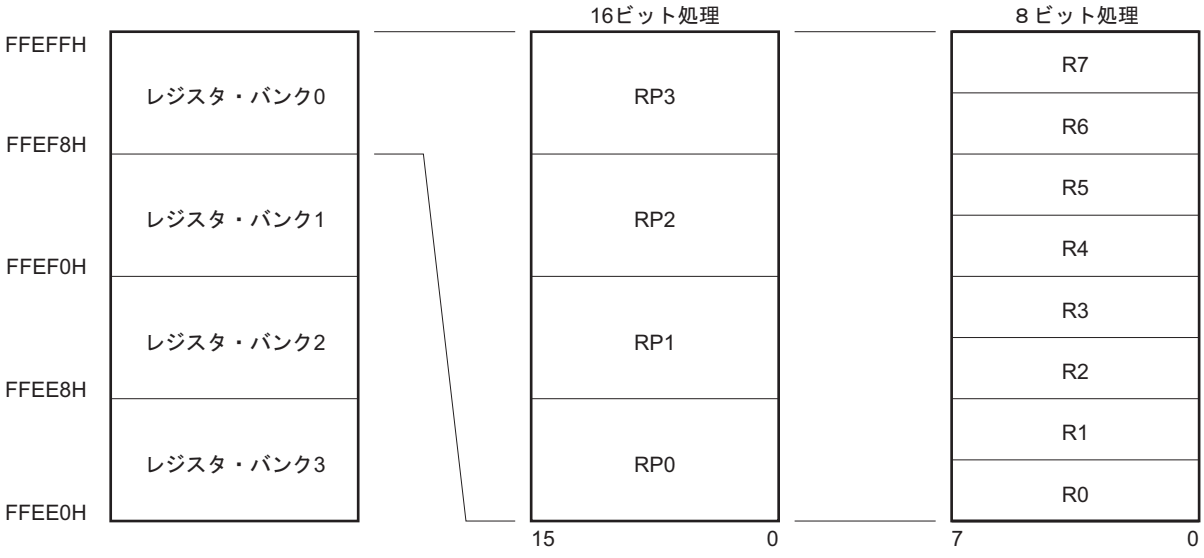
注意　汎用レジスタ（FFEE0H-FFEFFH）の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3－16　汎用レジスタの構成

（a）機能名称



（b）絶対名称



3.2.3　ES, CSレジスタ

ESレジスタにてデータ・アクセス、CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH、CSレジスタのリセット後の初期値は00Hです。

図3－17　ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

3.2.4　特殊機能レジスタ（SFR：Special Function Register）

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
  1ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 8ビット操作
  8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
  16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号
  特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。
  R/W ：読み出し／書き込みがともに可能
  R ：読み出しのみ可能
  W ：書き込みのみ可能
- 操作可能ビット単位
  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- リセット時
  リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　拡張SFR（2nd SFR）については、「3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）」を参照してください。

表3－5　SFR一覧（1/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	－	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	－	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	－	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	－	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	－	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	－	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	－	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	－	00H
FFF08H	ポート・レジスタ8	P8		R/W	○	○	－	00H
FFF09H	ポート・レジスタ9	P9		R/W	○	○	－	00H
FFF0AH	ポート・レジスタ10	P10		R/W	○	○	－	00H
FFF0BH	ポート・レジスタ11	P11		R/W	○	○	－	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	－	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	－	不定[注]
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	－	00H
FFF0FH	ポート・レジスタ15	P15		R/W	○	○	－	00H
FFF10H	シリアル・データ・レジスタ00	SDR00L	SDR00	R/W	－	○	○	0000H
FFF11H		－			－	－		
FFF12H	シリアル・データ・レジスタ01	SDR01L	SDR01	R/W	－	○	○	0000H
FFF13H		－			－	－		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	－	－	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	－	○	○	0000H
FFF1BH		TDR01H			－	○		
FFF1CH	ポート・レジスタ16	P16		R/W	○	○	－	00H
FFF1DH	ポート・モード・レジスタ16	PM16		R/W	○	○	－	FFH
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	－	－	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	－	○	－	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	－	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	－	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	－	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	－	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	－	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	－	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	－	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	－	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W	○	○	－	FFH
FFF29H	ポート・モード・レジスタ9	PM9		R/W	○	○	－	FFH
FFF2AH	ポート・モード・レジスタ10	PM10		R/W	○	○	－	FFH
FFF2BH	ポート・モード・レジスタ11	PM11		R/W	○	○	－	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	－	FFH
FFF2DH	ポート・モード・レジスタ13	PM13		R/W	○	○	－	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	－	FFH
FFF2FH	ポート・モード・レジスタ15	PM15		R/W	○	○	－	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	－	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	－	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	－	00H

注．P130ビットはユーザ・オプション・バイト（000C2H/020C2H）のビット5（RESOUTB）の設定に依存します。

表3－5 SFR一覧（2/5）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF34H	D/A変換値設定レジスタ0	DACS0		R/W	－	○	－	00H
FFF36H	D/Aコンバータ・モード・レジスタ	DAM		R/W	○	○	－	00H
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W	○	○	－	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	－	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	－	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	－	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	－	00H
FFF48H	シリアル・データ・レジスタ10[注2]	SDR10L	SDR10	R/W	－	○	○	0000H
FFF49H		－			－	－		
FFF48H	シリアル・データ・レジスタ20[注3]	SDR20L	SDR20	R/W	－	○	○	0000H
FFF49H		－			－	－		
FFF4AH	シリアル・データ・レジスタ11[注2]	SDR11L	SDR11	R/W	－	○	○	0000H
FFF4BH		－			－	－		
FFF4AH	シリアル・データ・レジスタ21[注3]	SDR21L	SDR21	R/W	－	○	○	0000H
FFF4BH		－			－	－		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	－	○	－	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	－	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	－	00H
FFF54H	16ビット時計誤差補正レジスタ	SUBCUDW		R/W	－	－	○	0000H
FFF55H								
FFF58H	タイマRDジェネラル・レジスタC0	TRDGRC0		R/W	－	－	○	FFFFH[注1]
FFF59H								
FFF5AH	タイマRDジェネラル・レジスタD0	TRDGRD0		R/W	－	－	○	FFFFH[注1]
FFF5BH								
FFF5CH	タイマRDジェネラル・レジスタC1	TRDGRC1		R/W	－	－	○	FFFFH[注1]
FFF5DH								
FFF5EH	タイマRDジェネラル・レジスタD1	TRDGRD1		R/W	－	－	○	FFFFH[注1]
FFF5FH								
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	－	－	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	－	○	○	0000H
FFF67H		TDR03H			－	○		
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	－	－	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	－	－	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	－	－	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	－	－	○	0000H
FFF6FH								

注 1. ユーザ・オプション・バイト（000C2H/020C2H）の FRQSEL4 = 1 かつ、PER1 レジスタの TRD0EN = 0 の場合、タイマ RD の SFR は不定となります。初期値を読み出す必要がある場合は、f_{CLK} を f_{IH} に設定し TRD0EN = 1 にセットしたあとに読み出してください。

2. UTSEL レジスタの SSEL0 ビットが 0 のとき、アクセス可能。

3. UTSEL レジスタの SSEL0 ビットが 1 のとき、アクセス可能。

表3－5 SFR一覧（3/5）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF70H	タイマ・データ・レジスタ10[注1]	TDR10		R/W	－	－	○	0000H
FFF71H								
FFF70H	タイマ・データ・レジスタ20[注2]	TDR20		R/W	－	－	○	0000H
FFF71H								
FFF72H	タイマ・データ・レジスタ11[注1]	TDR11L	TDR11	R/W	－	○	○	0000H
FFF73H		TDR11H			－	○		
FFF72H	タイマ・データ・レジスタ21[注2]	TDR21		R/W	－	－	○	0000H
FFF73H								
FFF74H	タイマ・データ・レジスタ12[注1]	TDR12		R/W	－	－	○	0000H
FFF75H								
FFF74H	タイマ・データ・レジスタ22[注2]	TDR22		R/W	－	－	○	0000H
FFF75H								
FFF76H	タイマ・データ・レジスタ13[注1]	TDR13L	TDR13	R/W	－	○	○	0000H
FFF77H		TDR13H			－	○		
FFF76H	タイマ・データ・レジスタ23[注2]	TDR23		R/W	－	－	○	0000H
FFF77H								
FFF78H	タイマ・データ・レジスタ14[注1]	TDR14		R/W	－	－	○	0000H
FFF79H								
FFF78H	タイマ・データ・レジスタ24[注2]	TDR24		R/W	－	－	○	0000H
FFF79H								
FFF7AH	タイマ・データ・レジスタ15[注1]	TDR15		R/W	－	－	○	0000H
FFF7BH								
FFF7AH	タイマ・データ・レジスタ25[注2]	TDR25		R/W	－	－	○	0000H
FFF7BH								
FFF7CH	タイマ・データ・レジスタ16[注1]	TDR16		R/W	－	－	○	0000H
FFF7DH								
FFF7CH	タイマ・データ・レジスタ26[注2]	TDR26		R/W	－	－	○	0000H
FFF7DH								
FFF7EH	タイマ・データ・レジスタ17[注1]	TDR17		R/W	－	－	○	0000H
FFF7FH								
FFF7EH	タイマ・データ・レジスタ27[注2]	TDR27		R/W	－	－	○	0000H
FFF7FH								
FFF92H	秒カウント・レジスタ	SEC		R/W	－	○	－	00H
FFF93H	分カウント・レジスタ	MIN		R/W	－	○	－	00H

注 1. UTSEL レジスタの TSEL0 ビットが 0 のとき、アクセス可能。

2. UTSEL レジスタの TSEL0 ビットが 1 のとき、アクセス可能。

表3－5 SFR一覧（4/5）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF94H	時カウント・レジスタ	HOUR		R/W	－	○	－	12H[注1]
FFF95H	曜日カウント・レジスタ	WEEK		R/W	－	○	－	00H
FFF96H	日カウント・レジスタ	DAY		R/W	－	○	－	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	－	○	－	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	－	○	－	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	－	○	－	00H
FFF9AH	アラーム分レジスタ	ALARMWM		R/W	－	○	－	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	－	○	－	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	－	○	－	00H
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	－	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	－	00H
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	－	○	－	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	－	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	－	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	－	○	－	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	－	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	－	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	－	○	－	不定[注2]
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	－	00H[注3]
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	－	00H/01H/81H[注4]
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	－	○	－	1AH/9AH[注5]
FFFACH	CRC入力レジスタ	CRCIN		R/W	－	○	－	00H
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W	○	○	○	0000H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W	○	○		
FFFD2H	割り込み要求フラグ・レジスタ3L	IF3L	IF3	R/W	○	○	○	0000H
FFFD3H	割り込み要求フラグ・レジスタ3H	IF3H		R/W	○	○		
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W	○	○	○	FFFFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W	○	○		
FFFD6H	割り込みマスク・フラグ・レジスタ3L	MK3L	MK3	R/W	○	○	○	FFFFH
FFFD7H	割り込みマスク・フラグ・レジスタ3H	MK3H		R/W	○	○		
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W	○	○	○	FFFFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W	○	○		
FFFDAH	優先順位指定フラグ・レジスタ03L	PR03L	PR03	R/W	○	○	○	FFFFH
FFFDBH	優先順位指定フラグ・レジスタ03H	PR03H		R/W	○	○		
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W	○	○	○	FFFFH
FFFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W	○	○		

注 1. リセット後に、AMPM ビット（リアルタイム・クロック・コントロール・レジスタ 0（RTCC0）のビット 3）に 1 をセットした場合は 00H となります。

2. RESF レジスタのリセット値は、リセット要因により変化します。

3. LVIM レジスタのリセット値は、リセット要因により変化します。

4. LVIS レジスタのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

5. WDTE レジスタのリセット値は、オプション・バイトの設定で決定します。

表3－5 SFR一覧（5/5）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFDEH	優先順位指定フラグ・レジスタ13L	PR13L	PR13	R/W	○	○	○	FFFFH
FFFDFH	優先順位指定フラグ・レジスタ13H	PR13H		R/W	○	○		
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	○	0000H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○		
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W	○	○	○	0000H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W	○	○		
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W	○	○	○	FFFFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W	○	○		
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W	○	○	○	FFFFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W	○	○		
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W	○	○	○	FFFFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W	○	○		
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W	○	○	○	FFFFH
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W	○	○		
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W	○	○	○	FFFFH
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W	○	○		
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W	○	○	○	FFFFH
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W	○	○		
FFFF0H	積和演算累計レジスタ（L）	MACRL		R/W	－	－	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ（H）	MACRH		R/W	－	－	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	－	00H

備考 拡張SFR（2nd SFR）については、「表3－6 拡張SFR（2nd SFR）一覧」を参照してください。

3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
  1ビット操作命令のオペランド（!addr16.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 8ビット操作
  8ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
  16ビット操作命令のオペランド（!addr16）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号
  拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
  該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。
  R/W　：読み出し／書き込みがともに可能
  R　：読み出しのみ可能
  W　：書き込みのみ可能
- 操作可能ビット単位
  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- リセット時
  リセット信号発生時の各レジスタの状態を示します。

注意　2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考　SFR領域のSFRについては、「3.2.4　特殊機能レジスタ（SFR：Special Function Register）」を参照してください。

表3－6 拡張SFR（2nd SFR）一覧（1/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	－	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	－	○	－	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	－	○	－	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	－	○	－	00H
F0014H	周辺I/Oリダイレクション・レジスタ10	PIOR10	R/W	－	○	－	00H
F0015H	周辺I/Oリダイレクション・レジスタ11	PIOR11	R/W	－	○	－	00H
F0016H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	－	○	－	00H
F0017H	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	－	○	－	00H
F0018H	周辺I/Oリダイレクション・レジスタ2	PIOR2	R/W	－	○	－	00H
F0019H	周辺I/Oリダイレクション・レジスタ3	PIOR3	R/W	－	○	－	00H
F001AH	周辺I/Oリダイレクション・レジスタ4	PIOR4	R/W	－	○	－	00H
F001BH	周辺I/Oリダイレクション・レジスタ5	PIOR5	R/W	－	○	－	00H
F001CH	周辺I/Oリダイレクション・レジスタ6	PIOR6	R/W	－	○	－	00H
F001DH	周辺I/Oリダイレクション・レジスタ7	PIOR7	R/W	－	○	－	00H
F001EH	周辺I/Oリダイレクション・レジスタ8	PIOR8	R/W	－	○	－	00H
F001FH	周辺I/Oリダイレクション・レジスタ9	PIOR9	R/W	－	○	－	00H
F0020H	ポート入力閾値制御レジスタ0	PITHL0	R/W	○	○	－	00H
F0021H	ポート入力閾値制御レジスタ1	PITHL1	R/W	○	○	－	00H
F0022H	ポート入力閾値制御レジスタ2	PITHL2	R/W	○	○	－	00H
F0023H	ポート入力閾値制御レジスタ3	PITHL3	R/W	○	○	－	00H
F0024H	ポート入力閾値制御レジスタ4	PITHL4	R/W	○	○	－	00H
F0025H	ポート入力閾値制御レジスタ5	PITHL5	R/W	○	○	－	00H
F0026H	ポート入力閾値制御レジスタ6	PITHL6	R/W	○	○	－	00H
F0027H	ポート入力閾値制御レジスタ7	PITHL7	R/W	○	○	－	00H
F002AH	ポート入力閾値制御レジスタ10	PITHL10	R/W	○	○	－	00H
F002CH	ポート入力閾値制御レジスタ12	PITHL12	R/W	○	○	－	00H
F002FH	ポート入力閾値制御レジスタ15	PITHL15	R/W	○	○	－	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	－	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	－	00H
F0032H	プルアップ抵抗オプション・レジスタ2	PU2	R/W	○	○	－	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	－	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	－	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	－	00H
F0036H	プルアップ抵抗オプション・レジスタ6	PU6	R/W	○	○	－	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	－	00H
F003AH	プルアップ抵抗オプション・レジスタ10	PU10	R/W	○	○	－	00H
F003BH	プルアップ抵抗オプション・レジスタ11	PU11	R/W	○	○	－	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	－	00H
F003DH	プルアップ抵抗オプション・レジスタ13	PU13	R/W	○	○	－	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	－	00H
F003FH	プルアップ抵抗オプション・レジスタ15	PU15	R/W	○	○	－	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	－	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	－	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	－	00H
F0046H	ポート入力モード・レジスタ6	PIM6	R/W	○	○	－	00H
F0047H	ポート入力モード・レジスタ7	PIM7	R/W	○	○	－	00H
F004CH	ポート入力モード・レジスタ12	PIM12	R/W	○	○	－	00H

表3−6 拡張SFR（2nd SFR）一覧（2/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0051H	ポート出力モード・レジスタ1	POM1		R/W	○	○	−	00H
F0056H	ポート出力モード・レジスタ6	POM6		R/W	○	○	−	00H
F0057H	ポート出力モード・レジスタ7	POM7		R/W	○	○	−	00H
F005CH	ポート出力モード・レジスタ12	POM12		R/W	○	○	−	00H
F0067H	ポート・モード・コントロール・レジスタ7	PMC7		R/W	○	○	−	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12		R/W	○	○	−	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0		R/W	○	○	−	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1		R/W	○	○	−	00H
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2		R/W	○	○	−	00H
F0073H	入力切り替え制御レジスタ	ISC		R/W	○	○	−	00H
F0074H	タイマ入力選択レジスタ0	TIS0		R/W	−	○	−	00H
F0075H	タイマ入力選択レジスタ1	TIS1		R/W	−	○	−	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC		R/W	−	○	−	00H
F0077H	ポート・モード選択レジスタ	PMS		R/W	○	○	−	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL		R/W	−	○	−	00H
F0079H	割り込み要因判別フラグ・レジスタ0	INTFLG0		R/W	−	○	−	00H
F007AH	タイマ入力選択レジスタ2	TIS2		R/W	−	○	−	00H
F007BH	LINチャネル選択レジスタ	LCHSEL		R/W	−	○	−	00H
F007CH	割り込みマスク・レジスタ	INTMSK		R/W	−	○	−	FFH
F007DH	割り込み要因判別フラグ・レジスタ1	INTFLG1		R/W	−	○	−	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL		R/W	○	○	−	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM		R/W	−	○	−	注
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV		R/W	−	○	−	不定
F00D8H	SPMコントロール・レジスタ	SPMCTRL		R/W	−	○	−	00H
F00DAH	SPオーバーフロー・アドレス設定レジスタ	SPOFR		R/W	−	−	○	FFFEH
F00DBH								
F00DCH	SPアンダーフロー・アドレス設定レジスタ	SPUFR		R/W	−	−	○	0000H
F00DDH								
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	−	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	−	○	−	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	−	○	−	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	−	○	○	0000H
F0101H		−			−	−		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	−	○	○	0000H
F0103H		−			−	−		
F0104H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	−	○	○	0000H
F0105H		−			−	−		
F0106H	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	−	○	○	0000H
F0107H		−			−	−		
F0108H	シリアル・モード・レジスタ00	SMR00		R/W	−	−	○	0020H
F0109H								
F010AH	シリアル・モード・レジスタ01	SMR01		R/W	−	−	○	0020H
F010BH								
F010CH	シリアル通信動作設定レジスタ00	SCR00		R/W	−	−	○	0087H
F010DH								

注 リセット値は一つ一つのチップで異なります。

表3－6 拡張SFR（2nd SFR）一覧（3/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F010EH	シリアル通信動作設定レジスタ01	SCR01		R/W	－	－	○	0087H
F010FH								
F0110H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0111H		－			－	－		
F0112H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0113H		－			－	－		
F0114H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0115H		－			－	－		
F0116H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	－	○	○	0000H
F0117H		－			－	－		
F0118H	シリアル出力レジスタ0	SO0		R/W	－	－	○	0303H
F0119H								
F011AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F011BH		－			－	－		
F0120H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	－	○	○	0000H
F0121H		－			－	－		
F0122H	シリアル・スレーブ選択許可レジスタ0	SSE0L	SSE0	R/W	－	○	○	0000H
F0123H		－			－	－		
F0140H	シリアル・ステータス・レジスタ10[注1]	SSR10L	SSR10	R	－	○	○	0000H
F0141H		－			－	－		
F0140H	シリアル・ステータス・レジスタ20[注2]	SSR20L	SSR20	R	－	○	○	0000H
F0141H		－			－	－		
F0142H	シリアル・ステータス・レジスタ11[注1]	SSR11L	SSR11	R	－	○	○	0000H
F0143H		－			－	－		
F0142H	シリアル・ステータス・レジスタ21[注2]	SSR21L	SSR21	R	－	○	○	0000H
F0143H		－			－	－		
F0144H	シリアル・フラグ・クリア・トリガ・レジスタ10[注1]	SIR10L	SIR10	R/W	－	○	○	0000H
F0145H		－			－	－		
F0146H	シリアル・フラグ・クリア・トリガ・レジスタ11[注1]	SIR11L	SIR11	R/W	－	○	○	0000H
F0147H		－			－	－		
F0148H	シリアル・モード・レジスタ10[注1]	SMR10		R/W	－	－	○	0020H
F0149H								
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ20[注2]	SIR20L	SIR20	R/W	－	○	○	0000H
F0149H		－			－	－		
F014AH	シリアル・モード・レジスタ11[注1]	SMR11		R/W	－	－	○	0020H
F014BH								
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ21[注2]	SIR21L	SIR21		－	○	○	0000H
F014BH		－			－	－		
F014CH	シリアル通信動作設定レジスタ10[注1]	SCR10		R/W	－	－	○	0087H
F014DH								
F014EH	シリアル通信動作設定レジスタ11[注1]	SCR11		R/W	－	－	○	0087H
F014FH								
F0150H	シリアル・チャネル許可ステータス・レジスタ1[注1]	SE1L	SE1	R	○	○	○	0000H
F0151H		－			－	－		
F0150H	シリアル・モード・レジスタ20[注2]	SMR20		R/W	－	－	○	0020H
F0151H								

注 1. UTSEL レジスタの SSEL0 ビットが 0 のとき、アクセス可能。

2. UTSEL レジスタの SSEL0 ビットが 1 のとき、アクセス可能。

表3－6　拡張SFR（2nd SFR）一覧（4/50）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0152H	シリアル・チャネル開始レジスタ1[注1]	SS1L	SS1	R/W	○	○	○	0000H
F0153H		－			－	－		
F0152H	シリアル・モード・レジスタ21[注2]	SMR21		R/W	－	－	○	0020H
F0153H								
F0154H	シリアル・チャネル停止レジスタ1[注1]	ST1L	ST1	R/W	○	○	○	0000H
F0155H		－			－	－		
F0156H	シリアル・クロック選択レジスタ1[注1]	SPS1L	SPS1	R/W	－	○	○	0000H
F0157H		－			－	－		
F0158H	シリアル出力レジスタ1[注1]	SO1		R/W	－	－	○	0303H
F0159H								
F0158H	シリアル通信動作設定レジスタ20[注2]	SCR20		R/W	－	－	○	0087H
F0159H								
F015AH	シリアル出力許可レジスタ1[注1]	SOE1L	SOE1	R/W	○	○	○	0000H
F015BH		－			－	－		
F015AH	シリアル通信動作設定レジスタ21[注2]	SCR21		R/W	－	－	○	0087H
F015BH								
F0160H	シリアル出力レベル・レジスタ1[注1]	SOL1L	SOL1	R/W	－	○	○	0000H
F0161H		－			－	－		
F0160H	シリアル・チャネル許可ステータス・レジスタ2[注2]	SE2L	SE2	R	○	○	○	0000H
F0161H		－			－	－		
F0162H	シリアル・スレーブ選択許可レジスタ1[注1]	SSE1L	SSE1	R/W	－	○	○	0000H
F0163H		－			－	－		
F0162H	シリアル・チャネル開始レジスタ2[注2]	SS2L	SS2	R/W	○	○	○	0000H
F0163H		－			－	－		
F0164H	シリアル・チャネル停止レジスタ2[注2]	ST2L	ST2	R/W	○	○	○	0000H
F0165H		－			－	－		
F0166H	シリアル・クロック選択レジスタ2[注2]	SPS2L	SPS2	R/W	－	○	○	0000H
F0167H		－			－	－		
F0168H	シリアル出力レジスタ2[注2]	SO2		R/W	－	－	○	0303H
F0169H								
F016AH	シリアル出力許可レジスタ2[注2]	SOE2L	SOE2	R/W	○	○	○	0000H
F016BH		－			－	－		
F0174H	シリアル出力レベル・レジスタ2[注2]	SOL2L	SOL2	R/W	－	○	○	0000H
F0175H		－			－	－		
F0178H	シリアル・スタンバイ・コントロール・レジスタ2[注2]	SSC2L	SSC2	R/W	－	○	○	0000H
F0179H		－			－	－		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	－	－	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	－	－	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	－	－	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	－	－	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	－	－	○	FFFFH
F0189H								

注 1.　UTSEL レジスタの SSEL0 ビットが 0 のとき、アクセス可能。

2.　UTSEL レジスタの SSEL0 ビットが 1 のとき、アクセス可能。

表3－6 拡張SFR（2nd SFR）一覧（5/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	－	－	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	－	－	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	－	－	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	－	－	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	－	－	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	－	－	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	－	－	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	－	－	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	－	－	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	－	－	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	－	－	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	－	○	○	0000H
F01A1H		－			－	－		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	－	○	○	0000H
F01A3H		－			－	－		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	－	○	○	0000H
F01A5H		－			－	－		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	－	○	○	0000H
F01A7H		－			－	－		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	－	○	○	0000H
F01A9H		－			－	－		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	－	○	○	0000H
F01ABH		－			－	－		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	－	○	○	0000H
F01ADH		－			－	－		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	－	○	○	0000H
F01AFH		－			－	－		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		－			－	－		
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		－			－	－		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		－			－	－		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	－	－	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	－	○	○	0000H
F01B9H		－			－	－		

表3－6 拡張SFR（2nd SFR）一覧（6/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		－			－	－		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	－	○	○	0000H
F01BDH		－			－	－		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	－	○	○	0000H
F01BFH		－			－	－		
F01C0H	タイマ・カウンタ・レジスタ10注1	TCR10		R	－	－	○	FFFFH
F01C1H								
F01C0H	タイマ・カウンタ・レジスタ20注2	TCR20		R	－	－	○	FFFFH
F01C1H								
F01C2H	タイマ・カウンタ・レジスタ11注1	TCR11		R	－	－	○	FFFFH
F01C3H								
F01C2H	タイマ・カウンタ・レジスタ21注2	TCR21		R	－	－	○	FFFFH
F01C3H								
F01C4H	タイマ・カウンタ・レジスタ12注1	TCR12		R	－	－	○	FFFFH
F01C5H								
F01C4H	タイマ・カウンタ・レジスタ22注2	TCR22		R	－	－	○	FFFFH
F01C5H								
F01C6H	タイマ・カウンタ・レジスタ13注1	TCR13		R	－	－	○	FFFFH
F01C7H								
F01C6H	タイマ・カウンタ・レジスタ23注2	TCR23		R	－	－	○	FFFFH
F01C7H								
F01C8H	タイマ・カウンタ・レジスタ14注1	TCR14		R	－	－	○	FFFFH
F01C9H								
F01C8H	タイマ・カウンタ・レジスタ24注2	TCR24		R	－	－	○	FFFFH
F01C9H								
F01CAH	タイマ・カウンタ・レジスタ15注1	TCR15		R	－	－	○	FFFFH
F01CBH								
F01CAH	タイマ・カウンタ・レジスタ25注2	TCR25		R	－	－	○	FFFFH
F01CBH								
F01CCH	タイマ・カウンタ・レジスタ16注1	TCR16		R	－	－	○	FFFFH
F01CDH								
F01CCH	タイマ・カウンタ・レジスタ26注2	TCR26		R	－	－	○	FFFFH
F01CDH								
F01CEH	タイマ・カウンタ・レジスタ17注1	TCR17		R	－	－	○	FFFFH
F01CFH								
F01CEH	タイマ・カウンタ・レジスタ27注2	TCR27		R	－	－	○	FFFFH
F01CFH								
F01D0H	タイマ・モード・レジスタ10注1	TMR10		R/W	－	－	○	0000H
F01D1H								
F01D0H	タイマ・モード・レジスタ20注2	TMR20		R/W	－	－	○	0000H
F01D1H								
F01D2H	タイマ・モード・レジスタ11注1	TMR11		R/W	－	－	○	0000H
F01D3H								
F01D2H	タイマ・モード・レジスタ21注2	TMR21		R/W	－	－	○	0000H
F01D3H								

注 1. UTSEL レジスタの TSEL0 ビットが 0 のとき、アクセス可能。

2. UTSEL レジスタの TSEL0 ビットが 1 のとき、アクセス可能。

表3－6 拡張SFR（2nd SFR）一覧（7/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F01D4H	タイマ・モード・レジスタ12[注1]	TMR12		R/W	－	－	○	0000H
F01D5H								
F01D4H	タイマ・モード・レジスタ22[注2]	TMR22		R/W	－	－	○	0000H
F01D5H								
F01D6H	タイマ・モード・レジスタ13[注1]	TMR13		R/W	－	－	○	0000H
F01D7H								
F01D6H	タイマ・モード・レジスタ23[注2]	TMR23		R/W	－	－	○	0000H
F01D7H								
F01D8H	タイマ・モード・レジスタ14[注1]	TMR14		R/W	－	－	○	0000H
F01D9H								
F01D8H	タイマ・モード・レジスタ24[注2]	TMR24		R/W	－	－	○	0000H
F01D9H								
F01DAH	タイマ・モード・レジスタ15[注1]	TMR15		R/W	－	－	○	0000H
F01DBH								
F01DAH	タイマ・モード・レジスタ25[注2]	TMR25		R/W	－	－	○	0000H
F01DBH								
F01DCH	タイマ・モード・レジスタ16[注1]	TMR16		R/W	－	－	○	0000H
F01DDH								
F01DCH	タイマ・モード・レジスタ26[注2]	TMR26		R/W	－	－	○	0000H
F01DDH								
F01DEH	タイマ・モード・レジスタ17[注1]	TMR17		R/W	－	－	○	0000H
F01DFH								
F01DEH	タイマ・モード・レジスタ27[注2]	TMR27		R/W	－	－	○	0000H
F01DFH								
F01E0H	タイマ・ステータス・レジスタ10[注1]	TSR10L	TSR10	R	－	○	○	0000H
F01E1H		－			－	－		
F01E0H	タイマ・ステータス・レジスタ20[注2]	TSR20L	TSR20	R	－	○	○	0000H
F01E1H		－			－	－		
F01E2H	タイマ・ステータス・レジスタ11[注1]	TSR11L	TSR11	R	－	○	○	0000H
F01E3H		－			－	－		
F01E2H	タイマ・ステータス・レジスタ21[注2]	TSR21L	TSR21	R	－	○	○	0000H
F01E3H		－			－	－		
F01E4H	タイマ・ステータス・レジスタ12[注1]	TSR12L	TSR12	R	－	○	○	0000H
F01E5H		－			－	－		
F01E4H	タイマ・ステータス・レジスタ22[注2]	TSR22L	TSR22	R	－	○	○	0000H
F01E5H		－			－	－		
F01E6H	タイマ・ステータス・レジスタ13[注1]	TSR13L	TSR13	R	－	○	○	0000H
F01E7H		－			－	－		
F01E6H	タイマ・ステータス・レジスタ23[注2]	TSR23L	TSR23	R	－	○	○	0000H
F01E7H		－			－	－		
F01E8H	タイマ・ステータス・レジスタ14[注1]	TSR14L	TSR14	R	－	○	○	0000H
F01E9H		－			－	－		
F01E8H	タイマ・ステータス・レジスタ24[注2]	TSR24L	TSR24	R	－	○	○	0000H
F01E9H					－	－		
F01EAH	タイマ・ステータス・レジスタ15[注1]	TSR15L	TSR15	R	－	○	○	0000H
F01EBH		－			－	－		

注 1. UTSEL レジスタの TSEL0 ビットが 0 のとき、アクセス可能。

2. UTSEL レジスタの TSEL0 ビットが 1 のとき、アクセス可能。

表3－6 拡張SFR（2nd SFR）一覧（8/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F01EAH	タイマ・ステータス・レジスタ25[注2]	TSR25L	TSR25	R	－	○	○	0000H
F01EBH		－			－	－		
F01ECH	タイマ・ステータス・レジスタ16[注1]	TSR16L	TSR16	R	－	○	○	0000H
F01EDH		－			－	－		
F01ECH	タイマ・ステータス・レジスタ26[注2]	TSR26L	TSR26	R	－	○	○	0000H
F01EDH		－			－	－		
F01EEH	タイマ・ステータス・レジスタ17[注1]	TSR17L	TSR17	R	－	○	○	0000H
F01EFH		－			－	－		
F01EEH	タイマ・ステータス・レジスタ27[注2]	TSR27L	TSR27	R	－	○	○	0000H
F01EFH		－			－	－		
F01F0H	タイマ・チャネル許可ステータス・レジスタ1[注1]	TE1L	TE1	R	○	○	○	0000H
F01F1H		－			－	－		
F01F0H	タイマ・チャネル許可ステータス・レジスタ2[注2]	TE2L	TE2	R	○	○	○	0000H
F01F1H					－	－		
F01F2H	タイマ・チャネル開始レジスタ1[注1]	TS1L	TS1	R/W	○	○	○	0000H
F01F3H		－			－	－		
F01F2H	タイマ・チャネル開始レジスタ2[注2]	TS2L	TS2	R/W	○	○	○	0000H
F01F3H		－			－	－		
F01F4H	タイマ・チャネル停止レジスタ1[注1]	TT1L	TT1	R/W	○	○	○	0000H
F01F5H		－			－	－		
F01F4H	タイマ・チャネル停止レジスタ2[注2]	TT2L	TT2	R/W	○	○	○	0000H
F01F5H		－			－	－		
F01F6H	タイマ・クロック選択レジスタ1[注1]	TPS1		R/W	－	－	○	0000H
F01F7H								
F01F6H	タイマ・クロック選択レジスタ2[注2]	TPS2		R/W	－	－	○	0000H
F01F7H								
F01F8H	タイマ出力レジスタ1[注1]	TO1L	TO1	R/W	－	○	○	0000H
F01F9H		－			－	－		
F01F8H	タイマ出力レジスタ2[注2]	TO2L	TO2	R/W	－	○	○	0000H
F01F9H		－			－	－		
F01FAH	タイマ出力許可レジスタ1[注1]	TOE1L	TOE1	R/W	○	○	○	0000H
F01FBH		－			－	－		
F01FAH	タイマ出力許可レジスタ2[注2]	TOE2L	TOE2	R/W	○	○	○	0000H
F01FBH		－			－	－		
F01FCH	タイマ出力レベル・レジスタ1[注1]	TOL1L	TOL1	R/W	－	○	○	0000H
F01FDH		－			－	－		
F01FCH	タイマ出力レベル・レジスタ2[注2]	TOL2L	TOL2	R/W	－	○	○	0000H
F01FDH		－			－	－		
F01FEH	タイマ出力モード・レジスタ1[注1]	TOM1L	TOM1	R/W	－	○	○	0000H
F01FFH		－			－	－		
F01FEH	タイマ出力モード・レジスタ2[注2]	TOM2L	TOM2	R/W	－	○	○	0000H
F01FFH		－			－	－		
F0200H	エラー・アドレス格納レジスタ	ERADR		R	－	－	○	0000H
F0201H								
F0202H	1ビットエラー検出割り込み許可レジスタ	ECCIER		R/W	－	○	－	00H
F0203H	ビットエラー検出レジスタ	ECCER		R/W	－	○	－	00H
F0204H	ECCテスト・プロテクト・レジスタ	ECCTPR		R/W	－	○	－	00H

注 1. UTSEL レジスタの TSEL0 ビットが 0 のとき、アクセス可能。
2. UTSEL レジスタの TSEL0 ビットが 1 のとき、アクセス可能。

表3－6　拡張SFR（2nd SFR）一覧（9/50）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0205H	ECCテスト・モード・レジスタ	ECCTMDR	R/W	－	○	－	00H
F0206H	ライトデータ反転レジスタ	ECCDWRVR	R/W	－	－	○	0000H
F0207H							
F0210H	ユニット選択レジスタ	UTSEL	R/W	○	○	－	00H
F0211H	ノイズ・フィルタ許可レジスタ3	NFEN3	R/W	○	○	－	00H
F0212H	割り込み要因判別フラグ・レジスタ2	INTFLG2	R/W	－	○	－	00H
F0213H	割り込み要因判別フラグ・レジスタ3	INTFLG3	R/W	－	○	－	00H
F0214H	割り込み要因判別フラグ・レジスタ4	INTFLG4	R/W	－	○	－	00H
F0220H	ポート出力スルー・レート選択レジスタ	PSRSEL	R/W	○	○	－	00H
F0222H	SNOOZEステータス出力制御レジスタ0	PSNZCNT0	R/W	○	○	－	00H
F0223H	SNOOZEステータス出力制御レジスタ1	PSNZCNT1	R/W	○	○	－	00H
F0224H	SNOOZEステータス出力制御レジスタ2	PSNZCNT2	R/W	○	○	－	00H
F0225H	SNOOZEステータス出力制御レジスタ3	PSNZCNT3	R/W	○	○	－	00H
F0227H	D/Aコンバータ・モード・レジスタ2	DAM2	R/W	○	○	－	00H
F0228H	PWM出力遅延制御レジスタ0	PWMDLY0	R/W	－	－	○	0000H
F0229H							
F022AH	PWM出力遅延制御レジスタ1	PWMDLY1	R/W	－	－	○	0000H
F022BH							
F022CH	PWM出力遅延制御レジスタ2	PWMDLY2	R/W	－	－	○	0000H
F022DH							
F022EH	PWM出力遅延制御レジスタ3	PWMDLY3	R/W	－	－	○	0000H
F022FH							
F0230H	IICAコントロール・レジスタ00	IICCTL00	R/W	○	○	－	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01	R/W	○	○	－	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	－	○	－	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	－	○	－	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	－	○	－	00H
F0240H	タイマRJ制御レジスタ0	TRJCR0	R/W	－	○	－	00H
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0	R/W	○	○	－	00H
F0242H	タイマRJモード・レジスタ0	TRJMR0	R/W	○	○	－	00H
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0	R/W	○	○	－	00H
F0260H	タイマRD ELCレジスタ	TRDELC	R/W	○	○	－	00H注
F0263H	タイマRDスタート・レジスタ	TRDSTR	R/W	－	○	－	0CH注
F0264H	タイマRDモード・レジスタ	TRDMR	R/W	○	○	－	00H注
F0265H	タイマRD PWM機能選択レジスタ	TRDPMR	R/W	○	○	－	00H注
F0266H	タイマRD機能制御レジスタ	TRDFCR	R/W	○	○	－	80H注
F0267H	タイマRD出力マスタ許可レジスタ1	TRDOER1	R/W	○	○	－	FFH注
F0268H	タイマRD出力マスタ許可レジスタ2	TRDOER2	R/W	○	○	－	00H注
F0269H	タイマRD出力制御レジスタ	TRDOCR	R/W	○	○	－	00H注
F026AH	タイマRDデジタル・フィルタ機能選択レジスタ0	TRDDF0	R/W	○	○	－	00H注
F026BH	タイマRDデジタル・フィルタ機能選択レジスタ1	TRDDF1	R/W	○	○	－	00H注
F0270H	タイマRD制御レジスタ0	TRDCR0	R/W	○	○	－	00H注
F0271H	タイマRD I/O制御レジスタA0	TRDIORA0	R/W	○	○	－	00H注
F0272H	タイマRD I/O制御レジスタC0	TRDIORC0	R/W	○	○	－	88H注
F0273H	タイマRDステータス・レジスタ0	TRDSR0	R/W	○	○	－	00H注
F0274H	タイマRD割り込み許可レジスタ0	TRDIER0	R/W	○	○	－	00H注
F0275H	タイマRD PWM機能出力レベル制御レジスタ0	TRDPOCR0	R/W	○	○	－	00H注

注　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表3－6 拡張SFR（2nd SFR）一覧（10/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0276H	タイマRDカウンタ0	TRD0	R/W	－	－	○	0000H[注1]
F0277H							
F0278H	タイマRDジェネラル・レジスタA0	TRDGRA0	R/W	－	－	○	FFFFH[注1]
F0279H							
F027AH	タイマRDジェネラル・レジスタB0	TRDGRB0	R/W	－	－	○	FFFFH[注1]
F027BH							
F0280H	タイマRD制御レジスタ1	TRDCR1	R/W	○	○	－	00H[注1]
F0281H	タイマRD I/O制御レジスタA1	TRDIORA1	R/W	○	○	－	00H[注1]
F0282H	タイマRD I/O制御レジスタC1	TRDIORC1	R/W	○	○	－	88H[注1]
F0283H	タイマRDステータス・レジスタ1	TRDSR1	R/W	○	○	－	00H[注1]
F0284H	タイマRD割り込み許可レジスタ1	TRDIER1	R/W	○	○	－	00H[注1]
F0285H	タイマRD PWM機能出力レベル制御レジスタ1	TRDPOCR1	R/W	○	○	－	00H[注1]
F0286H	タイマRDカウンタ1	TRD1	R/W	－	－	○	0000H[注1]
F0287H							
F0288H	タイマRDジェネラル・レジスタA1	TRDGRA1	R/W	－	－	○	FFFFH[注1]
F0289H							
F028AH	タイマRDジェネラル・レジスタB1	TRDGRB1	R/W	－	－	○	FFFFH[注1]
F028BH							
F02A0H	コンパレータ制御レジスタ	CMPCTL	R/W	○	○	－	00H
F02A1H	コンパレータ入出力切替レジスタ	CMPSEL	R/W	○	○	－	00H
F02A2H	コンパレータ出力モニタ・レジスタ	CMPMON	R	○	○	－	00H
F02C0H	周辺イネーブル・レジスタ1	PER1	R/W	○	○	－	00H
F02C1H	周辺イネーブル・レジスタ2	PER2	R/W	○	○	－	00H
F02C2H	CANクロック選択レジスタ	CANCKSEL	R/W	○	○	－	00H
F02C3H	LINクロック選択レジスタ	LINCKSEL	R/W	○	○	－	00H
F02C4H	クロック選択レジスタ	CKSEL	R/W	○	○	－	00H
F02C5H	PLL制御レジスタ	PLLCTL	R/W	○	○	－	00H
F02C6H	PLL状態レジスタ	PLLSTS	R	○	○	－	00H
F02C7H	f_{MP}クロック分周レジスタ	MDIV	R/W	－	○	－	00H[注3]
F02C8H	RTCクロック選択レジスタ	RTCCL	R/W	○	○	－	00H
F02C9H	POR/CLMリセット確認レジスタ	POCRES	R/W	○	○	－	[注2]
F02CAH	STOPステータス出力制御レジスタ	STPSTC	R/W	○	○	－	00H
F02D0H	高速DTC制御レジスタ0	HDTCCR0	R/W	○	○	－	00H
F02D2H	高速DTC転送回数レジスタ0	HDTCCT0	R/W	○	○	－	00H
F02D3H	高速DTC転送回数リロード・レジスタ0	HDTRLD0	R/W	○	○	－	00H
F02D4H	高速DTCソース・アドレス・レジスタ0	HDTSAR0	R/W	－	－	○	0000H
F02D5H							
F02D6H	高速DTCデスティネーション・アドレス・レジスタ0	HDTDAR0	R/W	－	－	○	0000H
F02D7H							
F02D8H	高速DTC制御レジスタ1	HDTCCR1	R/W	○	○	－	00H
F02DAH	高速DTC転送回数レジスタ1	HDTCCT1	R/W	○	○	－	00H
F02DBH	高速DTC転送回数リロード・レジスタ1	HDTRLD1	R/W	○	○	－	00H
F02DCH	高速DTCソース・アドレス・レジスタ1	HDTSAR1	R/W	－	－	○	0000H
F02DDH							

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. ビット0（POCRES0ビット）は、POR以外のリセット要因発生時はリセット直前の値を保持します。

3. MDIVレジスタのMDIV0ビットはユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4の値が初期値となります。

表3－6　拡張SFR（2nd SFR）一覧（11/50）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F02DEH	高速DTCデスティネーション・アドレス・レジスタ1	HDTDAR1		R/W	－	－	○	0000H
F02DFH								
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR		R/W	－	○	－	FDH
F02E1H	高速DTCチャネル選択レジスタ0	SELHS0		R/W	○	○	－	3FH
F02E2H	高速DTCチャネル選択レジスタ1	SELHS1		R/W	○	○	－	3FH
F02E8H	DTC起動許可レジスタ0	DTCEN0		R/W	○	○	－	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1		R/W	○	○	－	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2		R/W	○	○	－	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3		R/W	○	○	－	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4		R/W	○	○	－	00H
F02EDH	DTC起動許可レジスタ5	DTCEN5		R/W	○	○	－	00H
F02EEH	DTC起動許可レジスタ6	DTCEN6		R/W	○	○	－	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	－	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	－	－	○	0000H
F02F3H								
F02F9H	CRC演算モード制御レジスタ	CRCMD		R/W	－	○	－	00H
F02FAH	CRCデータ・レジスタ	CRCD		R/W	－	－	○	0000H
F02FBH								
F02FEH	プルアップ抵抗オプション・レジスタ16	PU16		R/W	○	○	－	00H
F0300H	CAN0ビット・コンフィグレーション・レジスタL	C0CFGLL	C0CFGL	R/W	－	○	○	0000H
F0301H		C0CFGLH			－	○		
F0302H	CAN0ビット・コンフィグレーション・レジスタH	C0CFGHL	C0CFGH	R/W	－	○	○	0000H
F0303H		C0CFGHH			－	○		
F0304H	CAN0制御レジスタL	C0CTRLL	C0CTRL	R/W	－	○	○	0005H[注]
F0305H		C0CTRLH			－	○		
F0306H	CAN0制御レジスタH	C0CTRHL	C0CTRH	R/W	－	○	○	0000H
F0307H		C0CTRHH			－	○		
F0308H	CAN0ステータス・レジスタL	C0STSLL	C0STSL	R	－	○	○	0005H[注]
F0309H		C0STSLH			－	○		
F030AH	CAN0ステータス・レジスタH	C0STSHL	C0STSH	R	－	○	○	0000H
F030BH		C0STSHH			－	○		
F030CH	CAN0エラー・フラグ・レジスタL	C0ERFLLL	C0ERFLL	R/W	－	○	○	0000H
F030DH		C0ERFLLH			－	○		
F030EH	CAN0エラー・フラグ・レジスタH	C0ERFLHL	C0ERFLH	R	－	○	○	0000H
F030FH		C0ERFLHH			－	○		
F0310H	CAN1ビット・コンフィグレーション・レジスタL	C1CFGLL	C1CFGL	R/W	－	○	○	0000H
F0311H		C1CFGLH			－	○		
F0312H	CAN1ビット・コンフィグレーション・レジスタH	C1CFGHL	C1CFGH	R/W	－	○	○	0000H
F0313H		C1CFGHH			－	○		
F0314H	CAN1制御レジスタL	C1CTRLL	C1CTRL	R/W	－	○	○	0005H[注]
F0315H		C1CTRLH			－	○		
F0316H	CAN1制御レジスタH	C1CTRHL	C1CTRH	R/W	－	○	○	0000H
F0317H		C1CTRHH			－	○		
F0318H	CAN1ステータス・レジスタL	C1STSLL	C1STSL	R	－	○	○	0005H[注]
F0319H		C1STSLH			－	○		

注　PER2レジスタのCAN0ENビットが0の場合，読み出した値は不定です。

PER2レジスタのCAN0ENビットが1の場合，読み出した値は記載初期値になります。

表3－6　拡張SFR（2nd SFR）一覧（12/50）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F031AH	CAN1ステータス・レジスタH	C1STSHL	C1STSH	R	－	○	○	0000H
F031BH		C1STSHH			－	○		
F031CH	CAN1エラー・フラグ・レジスタL	C1ERFLLL	C1ERFLL	R/W	－	○	○	0000H
F031DH		C1ERFLLH			－	○		
F031EH	CAN1エラー・フラグ・レジスタH	C1ERFLHL	C1ERFLH	R	－	○	○	0000H
F031FH		C1ERFLHH			－	○		
F0322H	CANグローバル設定レジスタL	GCFGLL	GCFGL	R/W	－	○	○	0000H
F0323H		GCFGLH			－	○		
F0324H	CANグローバル設定レジスタH	GCFGHL	GCFGH	R/W	－	○	○	0000H
F0325H		GCFGHH			－	○		
F0326H	CANグローバル制御レジスタL	GCTRLL	GCTRL	R/W	－	○	○	0005H[注]
F0327H		GCTRLH			－	○		
F0328H	CANグローバル制御レジスタH	GCTRHL	GCTRH	R/W	－	○	○	0000H
F0329H		GCTRHH			－	○		
F032AH	CANグローバル・ステータス・レジスタ	GSTSL	GSTS	R	－	○	○	000DH[注]
F032BH		GSTSH			－	○		
F032CH	CANグローバル・エラー・フラグ・レジスタ	GERFLL	GERFL	R/W	－	○	－	00H
F032EH	CANタイムスタンプ・レジスタ	GTSC		R	－	－	○	0000H
F032FH					－	－		
F0330H	CAN受信ルール数設定レジスタ	GAFLCFGL	GAFLCFG	R/W	－	○	○	0000H
F0331H		GAFLCFGH			－	○		
F0332H	CAN受信バッファ数設定レジスタ	RMNBL	RMNB	R/W	－	○	○	0000H
F0333H		－			－	－		
F0334H	CAN受信バッファ受信完了フラグ・レジスタ0	RMND0L	RMND0	R/W	－	○	○	0000H
F0335H		RMND0H			－	○		
F0336H	CAN受信バッファ受信完了フラグ・レジスタ1	RMND1L	RMND1	R/W	－	○	○	0000H
F0337H		RMND1H			－	○		
F0338H	CAN受信FIFO制御レジスタ0	RFCC0L	RFCC0	R/W	－	○	○	0000H
F0339H		RFCC0H			－	○		
F033AH	CAN受信FIFO制御レジスタ1	RFCC1L	RFCC1	R/W	－	○	○	0000H
F033BH		RFCC1H			－	○		
F033CH	CAN受信FIFO制御レジスタ2	RFCC2L	RFCC2	R/W	－	○	○	0000H
F033DH		RFCC2H			－	○		
F033EH	CAN受信FIFO制御レジスタ3	RFCC3L	RFCC3	R/W	－	○	○	0000H
F033FH		RFCC3H			－	○		
F0340H	CAN受信FIFOステータス・レジスタ0	RFSTS0L	RFSTS0	R/W	－	○	○	0001H[注]
F0341H		RFSTS0H		R	－	○		
F0342H	CAN受信FIFOステータス・レジスタ1	RFSTS1L	RFSTS1	R/W	－	○	○	0001H[注]
F0343H		RFSTS1H		R	－	○		
F0344H	CAN受信FIFOステータス・レジスタ2	RFSTS2L	RFSTS2	R/W	－	○	○	0001H[注]
F0345H		RFSTS2H		R	－	○		
F0346H	CAN受信FIFOステータス・レジスタ3	RFSTS3L	RFSTS3	R/W	－	○	○	0001H[注]
F0347H		RFSTS3H		R	－	○		
F0348H	CAN受信FIFOポインタ制御レジスタ0	RFPCTR0L	RFPCTR0	W	－	○	○	0000H
F0349H		RFPCTR0H			－	○		

注　PER2レジスタのCAN0ENビットが0の場合，読み出した値は不定です。

PER2レジスタのCAN0ENビットが1の場合，読み出した値は記載初期値になります。

表3－6　拡張SFR（2nd SFR）一覧（13/50）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F034AH	CAN受信FIFOポインタ制御レジスタ1	RFPCTR1L	RFPCTR1	W	－	○	○	0000H
F034BH		RFPCTR1H			－	○		
F034CH	CAN受信FIFOポインタ制御レジスタ2	RFPCTR2L	RFPCTR2	W	－	○	○	0000H
F034DH		RFPCTR2H			－	○		
F034EH	CAN受信FIFOポインタ制御レジスタ3	RFPCTR3L	RFPCTR3	W	－	○	○	0000H
F034FH		RFPCTR3H			－	○		
F0350H	CAN0送受信FIFO制御レジスタ0L	CFCCL0L	CFCCL0	R/W	－	○	○	0000H
F0351H		CFCCL0H			－	○		
F0352H	CAN0送受信FIFO制御レジスタ0H	CFCCH0L	CFCCH0	R/W	－	○	○	0000H
F0353H		CFCCH0H			－	○		
F0354H	CAN0送受信FIFO制御レジスタ1L	CFCCL1L	CFCCL1	R/W	－	○	○	0000H
F0355H		CFCCL1H			－	○		
F0356H	CAN0送受信FIFO制御レジスタ1H	CFCCH1L	CFCCH1	R/W	－	○	○	0000H
F0357H		CFCCH1H			－	○		
F0358H	CAN0送受信FIFOステータス・レジスタ0	CFSTS0L	CFSTS0	R/W	－	○	○	0001H[注]
F0359H		CFSTS0H		R	－	○		
F035AH	CAN0送受信FIFOステータス・レジスタ1	CFSTS1L	CFSTS1	R/W	－	○	○	0001H[注]
F035BH		CFSTS1H		R	－	○		
F035CH	CAN0送受信FIFOポインタ制御レジスタ0	CFPCTR0L	CFPCTR0	W	－	○	○	0000H
F035DH		－			－	－		
F035EH	CAN0送受信FIFOポインタ制御レジスタ1	CFPCTR1L	CFPCTR1	W	－	○	○	0000H
F035FH		－			－	－		
F0360H	受信FIFOメッセージ・ロスト・ステータス・レジスタ	RFMSTS		R	－	○	－	00H
F0361H	CAN0送受信FIFOメッセージ・ロスト・ステータス・レジスタ	CFMSTS		R	－	○	－	00H
F0362H	CAN受信FIFO割り込みステータス・レジスタ	RFISTS		R	－	○	－	00H
F0363H	CAN送受信FIFO受信割り込みステータス・レジスタ	CFISTS		R	－	○	－	00H
F0364H	CAN0送信バッファ制御レジスタ0	TMC0		R/W	－	○	－	00H
F0365H	CAN0送信バッファ制御レジスタ1	TMC1		R/W	－	○	－	00H
F0366H	CAN0送信バッファ制御レジスタ2	TMC2		R/W	－	○	－	00H
F0367H	CAN0送信バッファ制御レジスタ3	TMC3		R/W	－	○	－	00H
F0368H	CAN0送信バッファ制御レジスタ4	TMC4		R/W	－	○	－	00H
F0369H	CAN0送信バッファ制御レジスタ5	TMC5		R/W	－	○	－	00H
F036AH	CAN0送信バッファ制御レジスタ6	TMC6		R/W	－	○	－	00H
F036BH	CAN0送信バッファ制御レジスタ7	TMC7		R/W	－	○	－	00H
F036CH	CAN0送信バッファ・ステータス・レジスタ0	TMSTS0		R/W	－	○	－	00H
F036DH	CAN0送信バッファ・ステータス・レジスタ1	TMSTS1		R/W	－	○	－	00H
F036EH	CAN0送信バッファ・ステータス・レジスタ2	TMSTS2		R/W	－	○	－	00H
F036FH	CAN0送信バッファ・ステータス・レジスタ3	TMSTS3		R/W	－	○	－	00H
F0370H	CAN0送信バッファ・ステータス・レジスタ4	TMSTS4		R/W	－	○	－	00H
F0371H	CAN0送信バッファ・ステータス・レジスタ5	TMSTS5		R/W	－	○	－	00H
F0372H	CAN0送信バッファ・ステータス・レジスタ6	TMSTS6		R/W	－	○	－	00H
F0373H	CAN0送信バッファ・ステータス・レジスタ7	TMSTS7		R/W	－	○	－	00H

注　PER2レジスタのCAN0ENビットが0の場合，読み出した値は不定です。

PER2レジスタのCAN0ENビットが1の場合，読み出した値は記載初期値になります。

表3－6　拡張SFR（2nd SFR）一覧（14/50）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0374H	CAN0送信バッファ送信要求ステータス・レジスタ	TMTRSTSL	TMTRSTS	R	－	○	○	0000H
F0375H		TMTRSTSH			－	○		
F0376H	CAN0送信バッファ送信完了ステータス・レジスタ	TMTCSTSL	TMTCSTS	R	－	○	○	0000H
F0377H		TMTCSTSH			－	○		
F0378H	CAN0送信バッファ送信アボート・ステータス・レジスタ	TMTASTSL	TMTASTS	R	－	○	○	0000H
F0379H		TMTASTSH			－	○		
F037AH	CAN0送信バッファ割り込み許可レジスタ	TMIECL	TMIEC	R/W	－	○	○	0000H
F037BH		TMIECH			－	○		
F037CH	CAN0送信履歴バッファ制御レジスタ	THLCC0L	THLCC0	R/W	－	○	○	0000H
F037DH		THLCC0H			－	○		
F037EH	CAN1送信履歴バッファ制御レジスタ	THLCC1L	THLCC1	R/W	－	○	○	0000H
F037FH		THLCC1H			－	○		
F0380H	CAN0送信履歴バッファ・ステータス・レジスタ	THLSTS0L	THLSTS0	R/W	－	○	○	0001H[注1]
F0381H		THLSTS0H			－	○		
F0382H	CAN1送信履歴バッファ・ステータス・レジスタ	THLSTS1L	THLSTS1	R/W	－	○	○	0001H[注1]
F0383H		THLSTS1H			－	○		
F0384H	CAN0送信履歴バッファ・ポインタ制御レジスタ	THLPCTR0L	THLPCTR0	W	－	○	○	0000H
F0385H		THLPCTR0H			－	○		
F0386H	CAN1送信履歴バッファ・ポインタ制御レジスタ	THLPCTR1L	THLPCTR1	W	－	○	○	0000H
F0387H		THLPCTR1H			－	○		
F0388H	CANグローバル送信割り込みステータス・レジスタ	GTINTSTSL	GTINTSTS	R	－	○	○	0000H
F0389H		GTINTSTSH			－	○		
F038AH	CANグローバルRAMウィンドウ制御レジスタ	GRWCRL	GRWCR	R/W	－	○	○	0000H
F038BH		GRWCRH			－	○		
F038CH	CANグローバル・テスト設定レジスタ	GTSTCFGL	GTSTCFG	R/W	－	○	○	0000H
F038DH		GTSTCFGH			－	○		
F038EH	CANグローバル・テスト制御レジスタ	GTSTCTRL	GTSTCTR	R/W	－	○	－	00H
F0394H	CANグローバル・テスト・プロテクト解除レジスタ	GLOCKK		W	－	－	○	0000H
F0395H					－	－		
F03A0H	CAN受信ルール登録レジスタ0AL[注2]	GAFLIDL0L	GAFLIDL0	R/W	－	○	○	0000H
F03A1H		GAFLIDL0H			－	○		
F03A0H	CAN受信バッファ・レジスタ0AL[注3]	RMIDL0L	RMIDL0	R	－	○	○	0000H
F03A1H		RMIDL0H			－	○		
F03A2H	CAN受信ルール登録レジスタ0AH[注2]	GAFLIDH0L	GAFLIDH0	R/W	－	○	○	0000H
F03A3H		GAFLIDH0H			－	○		
F03A2H	CAN受信バッファ・レジスタ0AH[注3]	RMIDH0L	RMIDH0	R	－	○	○	0000H
F03A3H		RMIDH0H			－	○		
F03A4H	CAN受信ルール登録レジスタ0BL[注2]	GAFLML0L	GAFLML0	R/W	－	○	○	0000H
F03A5H		GAFLML0H			－	○		
F03A4H	CAN受信バッファ・レジスタ0BL[注3]	RMTS0L	RMTS0	R	－	○	○	0000H
F03A5H		RMTS0H			－	○		

注1.　PER2レジスタのCAN0ENビットが0の場合，読み出した値は不定です。

PER2レジスタのCAN0ENビットが1の場合，読み出した値は記載初期値になります。

2.　AN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

3.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（15/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F03A6H	CAN受信ルール登録レジスタ0BH注1	GAFLMH0L	GAFLMH0	R/W	－	○	○	0000H
F03A7H		GAFLMH0H			－	○		
F03A6H	CAN受信バッファ・レジスタ0BH注2	RMPTR0L	RMPTR0	R	－	○	○	0000H
F03A7H		RMPTR0H			－	○		
F03A8H	CAN受信ルール登録レジスタ0CL注1	GAFLPL0L	GAFLPL0	R/W	－	○	○	0000H
F03A9H		GAFLPL0H			－	○		
F03A8H	CAN受信バッファ・レジスタ0CL注2	RMDF00L	RMDF00	R	－	○	○	0000H
F03A9H		RMDF00H			－	○		
F03AAH	CAN受信ルール登録レジスタ0CH注1	GAFLPH0L	GAFLPH0	R/W	－	○	○	0000H
F03ABH		GAFLPH0H			－	○		
F03AAH	CAN受信バッファ・レジスタ0CH注2	RMDF10L	RMDF10	R	－	○	○	0000H
F03ABH		RMDF10H			－	○		
F03ACH	CAN受信ルール登録レジスタ1AL注1	GAFLIDL1L	GAFLIDL1	R/W	－	○	○	0000H
F03ADH		GAFLIDL1H			－	○		
F03ACH	CAN受信バッファ・レジスタ0DL注2	RMDF20L	RMDF20	R	－	○	○	0000H
F03ADH		RMDF20H			－	○		
F03AEH	CAN受信ルール登録レジスタ1AH注1	GAFLIDH1L	GAFLIDH1	R/W	－	○	○	0000H
F03AFH		GAFLIDH1H			－	○		
F03AEH	CAN受信バッファ・レジスタ0DH注2	RMDF30L	RMDF30	R	－	○	○	0000H
F03AFH		RMDF30H			－	○		
F03B0H	CAN受信ルール登録レジスタ1BL注1	GAFLML1L	GAFLML1	R/W	－	○	○	0000H
F03B1H		GAFLML1H			－	○		
F03B0H	CAN受信バッファ・レジスタ1AL注2	RMIDL1L	RMIDL1	R	－	○	○	0000H
F03B1H		RMIDL1H			－	○		
F03B2H	CAN受信ルール登録レジスタ1BH注1	GAFLMH1L	GAFLMH1	R/W	－	○	○	0000H
F03B3H		GAFLMH1H			－	○		
F03B2H	CAN受信バッファ・レジスタ1AH注2	RMIDH1L	RMIDH1	R	－	○	○	0000H
F03B3H		RMIDH1H			－	○		
F03B4H	CAN受信ルール登録レジスタ1CL注1	GAFLPL1L	GAFLPL1	R/W	－	○	○	0000H
F03B5H		GAFLPL1H			－	○		
F03B4H	CAN受信バッファ・レジスタ1BL注2	RMTS1L	RMTS1	R	－	○	○	0000H
F03B5H		RMTS1H			－	○		
F03B6H	CAN受信ルール登録レジスタ1CH注1	GAFLPH1L	GAFLPH1	R/W	－	○	○	0000H
F03B7H		GAFLPH1H			－	○		
F03B6H	CAN受信バッファ・レジスタ1BH注2	RMPTR1L	RMPTR1	R	－	○	○	0000H
F03B7H		RMPTR1H			－	○		
F03B8H	CAN受信ルール登録レジスタ2AL注1	GAFLIDL2L	GAFLIDL2	R/W	－	○	○	0000H
F03B9H		GAFLIDL2H			－	○		
F03B8H	CAN受信バッファ・レジスタ1CL注2	RMDF01L	RMDF01	R	－	○	○	0000H
F03B9H		RMDF01H			－	○		
F03BAH	CAN受信ルール登録レジスタ2AH注1	GAFLIDH2L	GAFLIDH2	R/W	－	○	○	0000H
F03BBH		GAFLIDH2H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（16/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F03BAH	CAN受信バッファ・レジスタ1CH注2	RMDF11L	RMDF11	R	－	○	○	0000H
F03BBH		RMDF11H			－	○		
F03BCH	CAN受信ルール登録レジスタ2BL注1	GAFLML2L	GAFLML2	R/W	－	○	○	0000H
F03BDH		GAFLML2H			－	○		
F03BCH	CAN受信バッファ・レジスタ1DL注2	RMDF21L	RMDF21	R	－	○	○	0000H
F03BDH		RMDF21H			－	○		
F03BEH	CAN受信ルール登録レジスタ2BH注1	GAFLMH2L	GAFLMH2	R/W	－	○	○	0000H
F03BFH		GAFLMH2H			－	○		
F03BEH	CAN受信バッファ・レジスタ1DH注2	RMDF31L	RMDF31	R	－	○	○	0000H
F03BFH		RMDF31H			－	○		
F03C0H	CAN受信ルール登録レジスタ2CL注1	GAFLPL2L	GAFLPL2	R/W	－	○	○	0000H
F03C1H		GAFLPL2H			－	○		
F03C0H	CAN受信バッファ・レジスタ2AL注2	RMIDL2L	RMIDL2	R	－	○	○	0000H
F03C1H		RMIDL2H			－	○		
F03C2H	CAN受信ルール登録レジスタ2CH注1	GAFLPH2L	GAFLPH2	R/W	－	○	○	0000H
F03C3H		GAFLPH2H			－	○		
F03C2H	CAN受信バッファ・レジスタ2AH注2	RMIDH2L	RMIDH2	R	－	○	○	0000H
F03C3H		RMIDH2H			－	○		
F03C4H	CAN受信ルール登録レジスタ3AL注1	GAFLIDL3L	GAFLIDL3	R/W	－	○	○	0000H
F03C5H		GAFLIDL3H			－	○		
F03C4H	CAN受信バッファ・レジスタ2BL注2	RMTS2L	RMTS2	R	－	○	○	0000H
F03C5H		RMTS2H			－	○		
F03C6H	CAN受信ルール登録レジスタ3AH注1	GAFLIDH3L	GAFLIDH3	R/W	－	○	○	0000H
F03C7H		GAFLIDH3H			－	○		
F03C6H	CAN受信バッファ・レジスタ2BH注2	RMPTR2L	RMPTR2	R	－	○	○	0000H
F03C7H		RMPTR2H			－	○		
F03C8H	CAN受信ルール登録レジスタ3BL注1	GAFLML3L	GAFLML3	R/W	－	○	○	0000H
F03C9H		GAFLML3H			－	○		
F03C8H	CAN受信バッファ・レジスタ2CL注2	RMDF02L	RMDF02	R	－	○	○	0000H
F03C9H		RMDF02H			－	○		
F03CAH	CAN受信ルール登録レジスタ3BH注1	GAFLMH3L	GAFLMH3	R/W	－	○	○	0000H
F03CBH		GAFLMH3H			－	○		
F03CAH	CAN受信バッファ・レジスタ2CH注2	RMDF12L	RMDF12	R	－	○	○	0000H
F03CBH		RMDF12H			－	○		
F03CCH	CAN受信ルール登録レジスタ3CL注1	GAFLPL3L	GAFLPL3	R/W	－	○	○	0000H
F03CDH		GAFLPL3H			－	○		
F03CCH	CAN受信バッファ・レジスタ2DL注2	RMDF22L	RMDF22	R	－	○	○	0000H
F03CDH		RMDF22H			－	○		
F03CEH	CAN受信ルール登録レジスタ3CH注1	GAFLPH3L	GAFLPH3	R/W	－	○	○	0000H
F03CFH		GAFLPH3H			－	○		
F03CEH	CAN受信バッファ・レジスタ2DH注2	RMDF32L	RMDF32	R	－	○	○	0000H
F03CFH		RMDF32H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（17/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F03D0H	CAN受信ルール登録レジスタ4AL注1	GAFLIDL4L	GAFLIDL4	R/W	－	○	○	0000H
F03D1H		GAFLIDL4H			－	○		
F03D0H	CAN受信バッファ・レジスタ3AL注2	RMIDL3L	RMIDL3	R	－	○	○	0000H
F03D1H		RMIDL3H			－	○		
F03D2H	CAN受信ルール登録レジスタ4AH注1	GAFLIDH4L	GAFLIDH4	R/W	－	○	○	0000H
F03D3H		GAFLIDH4H			－	○		
F03D2H	CAN受信バッファ・レジスタ3AH注2	RMIDH3L	RMIDH3	R	－	○	○	0000H
F03D3H		RMIDH3H			－	○		
F03D4H	CAN受信ルール登録レジスタ4BL注1	GAFLML4L	GAFLML4	R/W	－	○	○	0000H
F03D5H		GAFLML4H			－	○		
F03D4H	CAN受信バッファ・レジスタ3BL注2	RMTS3L	RMTS3	R	－	○	○	0000H
F03D5H		RMTS3H			－	○		
F03D6H	CAN受信ルール登録レジスタ4BH注1	GAFLMH4L	GAFLMH4	R/W	－	○	○	0000H
F03D7H		GAFLMH4H			－	○		
F03D6H	CAN受信バッファ・レジスタ3BH注2	RMPTR3L	RMPTR3	R	－	○	○	0000H
F03D7H		RMPTR3H			－	○		
F03D8H	CAN受信ルール登録レジスタ4CL注1	GAFLPL4L	GAFLPL4	R/W	－	○	○	0000H
F03D9H		GAFLPL4H			－	○		
F03D8H	CAN受信バッファ・レジスタ3CL注2	RMDF03L	RMDF03	R	－	○	○	0000H
F03D9H		RMDF03H			－	○		
F03DAH	CAN受信ルール登録レジスタ4CH注1	GAFLPH4L	GAFLPH4	R/W	－	○	○	0000H
F03DBH		GAFLPH4H			－	○		
F03DAH	CAN受信バッファ・レジスタ3CH注2	RMDF13L	RMDF13	R	－	○	○	0000H
F03DBH		RMDF13H			－	○		
F03DCH	CAN受信ルール登録レジスタ5AL注1	GAFLIDL5L	GAFLIDL5	R/W	－	○	○	0000H
F03DDH		GAFLIDL5H			－	○		
F03DCH	CAN受信バッファ・レジスタ3DL注2	RMDF23L	RMDF23	R	－	○	○	0000H
F03DDH		RMDF23H			－	○		
F03DEH	CAN受信ルール登録レジスタ5AH注1	GAFLIDH5L	GAFLIDH5	R/W	－	○	○	0000H
F03DFH		GAFLIDH5H			－	○		
F03DEH	CAN受信バッファ・レジスタ3DH注2	RMDF33L	RMDF33	R	－	○	○	0000H
F03DFH		RMDF33H			－	○		
F03E0H	CAN受信ルール登録レジスタ5BL注1	GAFLML5L	GAFLML5	R/W	－	○	○	0000H
F03E1H		GAFLML5H			－	○		
F03E0H	CAN受信バッファ・レジスタ4AL注2	RMIDL4L	RMIDL4	R	－	○	○	0000H
F03E1H		RMIDL4H			－	○		
F03E2H	CAN受信ルール登録レジスタ5BH注1	GAFLMH5L	GAFLMH5	R/W	－	○	○	0000H
F03E3H		GAFLMH5H			－	○		
F03E2H	CAN受信バッファ・レジスタ4AH注2	RMIDH4L	RMIDH4	R	－	○	○	0000H
F03E3H		RMIDH4H			－	○		
F03E4H	CAN受信ルール登録レジスタ5CL注1	GAFLPL5L	GAFLPL5	R/W	－	○	○	0000H
F03E5H		GAFLPL5H			－	○		
F03E4H	CAN受信バッファ・レジスタ4BL注2	RMTS4L	RMTS4	R	－	○	○	0000H
F03E5H		RMTS4H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（18/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F03E6H	CAN受信ルール登録レジスタ5CH注1	GAFLPH5L	GAFLPH5	R/W	－	○	○	0000H
F03E7H		GAFLPH5H			－	○		
F03E6H	CAN受信バッファ・レジスタ4BH注2	RMPTR4L	RMPTR4	R	－	○	○	0000H
F03E7H		RMPTR4H			－	○		
F03E8H	CAN受信ルール登録レジスタ6AL注1	GAFLIDL6L	GAFLIDL6	R/W	－	○	○	0000H
F03E9H		GAFLIDL6H			－	○		
F03E8H	CAN受信バッファ・レジスタ4CL注2	RMDF04L	RMDF04	R	－	○	○	0000H
F03E9H		RMDF04H			－	○		
F03EAH	CAN受信ルール登録レジスタ6AH注1	GAFLIDH6L	GAFLIDH6	R/W	－	○	○	0000H
F03EBH		GAFLIDH6H			－	○		
F03EAH	CAN受信バッファ・レジスタ4CH注2	RMDF14L	RMDF14	R	－	○	○	0000H
F03EBH		RMDF14H			－	○		
F03ECH	CAN受信ルール登録レジスタ6BL注1	GAFLML6L	GAFLML6	R/W	－	○	○	0000H
F03EDH		GAFLML6H			－	○		
F03ECH	CAN受信バッファ・レジスタ4DL注2	RMDF24L	RMDF24	R	－	○	○	0000H
F03EDH		RMDF24H			－	○		
F03EEH	CAN受信ルール登録レジスタ6BH注1	GAFLMH6L	GAFLMH6	R/W	－	○	○	0000H
F03EFH		GAFLMH6H			－	○		
F03EEH	CAN受信バッファ・レジスタ4DH注2	RMDF34L	RMDF34	R	－	○	○	0000H
F03EFH		RMDF34H			－	○		
F03F0H	CAN受信ルール登録レジスタ6CL注1	GAFLPL6L	GAFLPL6	R/W	－	○	○	0000H
F03F1H		GAFLPL6H			－	○		
F03F0H	CAN受信バッファ・レジスタ5AL注2	RMIDL5L	RMIDL5	R	－	○	○	0000H
F03F1H		RMIDL5H			－	○		
F03F2H	CAN受信ルール登録レジスタ6CH注1	GAFLPH6L	GAFLPH6	R/W	－	○	○	0000H
F03F3H		GAFLPH6H			－	○		
F03F2H	CAN受信バッファ・レジスタ5AH注2	RMIDH5L	RMIDH5	R	－	○	○	0000H
F03F3H		RMIDH5H			－	○		
F03F4H	CAN受信ルール登録レジスタ7AL注1	GAFLIDL7L	GAFLIDL7	R/W	－	○	○	0000H
F03F5H		GAFLIDL7H			－	○		
F03F4H	CAN受信バッファ・レジスタ5BL注2	RMTS5L	RMTS5	R	－	○	○	0000H
F03F5H		RMTS5H			－	○		
F03F6H	CAN受信ルール登録レジスタ7AH注1	GAFLIDH7L	GAFLIDH7	R/W	－	○	○	0000H
F03F7H		GAFLIDH7H			－	○		
F03F6H	CAN受信バッファ・レジスタ5BH注2	RMPTR5L	RMPTR5	R	－	○	○	0000H
F03F7H		RMPTR5H			－	○		
F03F8H	CAN受信ルール登録レジスタ7BL注1	GAFLML7L	GAFLML7	R/W	－	○	○	0000H
F03F9H		GAFLML7H			－	○		
F03F8H	CAN受信バッファ・レジスタ5CL注2	RMDF05L	RMDF05	R	－	○	○	0000H
F03F9H		RMDF05H			－	○		
F03FAH	CAN受信ルール登録レジスタ7BH注1	GAFLMH7L	GAFLMH7	R/W	－	○	○	0000H
F03FBH		GAFLMH7H			－	○		
F03FAH	CAN受信バッファ・レジスタ5CH注2	RMDF15L	RMDF15	R	－	○	○	0000H
F03FBH		RMDF15H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（19/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F03FCH	CAN受信ルール登録レジスタ7CL注1	GAFLPL7L	GAFLPL7	R/W	－	○	○	0000H
F03FDH		GAFLPL7H			－	○		
F03FCH	CAN受信バッファ・レジスタ5DL注2	RMDF25L	RMDF25	R	－	○	○	0000H
F03FDH		RMDF25H			－	○		
F03FEH	CAN受信ルール登録レジスタ7CH注1	GAFLPH7L	GAFLPH7	R/W	－	○	○	0000H
F03FFH		GAFLPH7H			－	○		
F03FEH	CAN受信バッファ・レジスタ5DH注2	RMDF35L	RMDF35	R	－	○	○	0000H
F03FFH		RMDF35H			－	○		
F0400H	CAN受信ルール登録レジスタ8AL注1	GAFLIDL8L	GAFLIDL8	R/W	－	○	○	0000H
F0401H		GAFLIDL8H			－	○		
F0400H	CAN受信バッファ・レジスタ6AL注2	RMIDL6L	RMIDL6	R	－	○	○	0000H
F0401H		RMIDL6H			－	○		
F0402H	CAN受信ルール登録レジスタ8AH注1	GAFLIDH8L	GAFLIDH8	R/W	－	○	○	0000H
F0403H		GAFLIDH8H			－	○		
F0402H	CAN受信バッファ・レジスタ6AH注2	RMIDH6L	RMIDH6	R	－	○	○	0000H
F0403H		RMIDH6H			－	○		
F0404H	CAN受信ルール登録レジスタ8BL注1	GAFLML8L	GAFLML8	R/W	－	○	○	0000H
F0405H		GAFLML8H			－	○		
F0404H	CAN受信バッファ・レジスタ6BL注2	RMTS6L	RMTS6	R	－	○	○	0000H
F0405H		RMTS6H			－	○		
F0406H	CAN受信ルール登録レジスタ8BH注1	GAFLMH8L	GAFLMH8	R/W	－	○	○	0000H
F0407H		GAFLMH8H			－	○		
F0406H	CAN受信バッファ・レジスタ6BH注2	RMPTR6L	RMPTR6	R	－	○	○	0000H
F0407H		RMPTR6H			－	○		
F0408H	CAN受信ルール登録レジスタ8CL注1	GAFLPL8L	GAFLPL8	R/W	－	○	○	0000H
F0409H		GAFLPL8H			－	○		
F0408H	CAN受信バッファ・レジスタ6CL注2	RMDF06L	RMDF06	R	－	○	○	0000H
F0409H		RMDF06H			－	○		
F040AH	CAN受信ルール登録レジスタ8CH注1	GAFLPH8L	GAFLPH8	R/W	－	○	○	0000H
F040BH		GAFLPH8H			－	○		
F040AH	CAN受信バッファ・レジスタ6CH注2	RMDF16L	RMDF16	R	－	○	○	0000H
F040BH		RMDF16H			－	○		
F040CH	CAN受信ルール登録レジスタ9AL注1	GAFLIDL9L	GAFLIDL9	R/W	－	○	○	0000H
F040DH		GAFLIDL9H			－	○		
F040CH	CAN受信バッファ・レジスタ6DL注2	RMDF26L	RMDF26	R	－	○	○	0000H
F040DH		RMDF26H			－	○		
F040EH	CAN受信ルール登録レジスタ9AH注1	GAFLIDH9L	GAFLIDH9	R/W	－	○	○	0000H
F040FH		GAFLIDH9H			－	○		
F040EH	CAN受信バッファ・レジスタ6DH注2	RMDF36L	RMDF36	R	－	○	○	0000H
F040FH		RMDF36H			－	○		
F0410H	CAN受信ルール登録レジスタ9BL注1	GAFLML9L	GAFLML9	R/W	－	○	○	0000H
F0411H		GAFLML9H			－	○		
F0410H	CAN受信バッファ・レジスタ7AL注2	RMIDL7L	RMIDL7	R	－	○	○	0000H
F0411H		RMIDL7H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（20/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0412H	CAN受信ルール登録レジスタ9BH注1	GAFLMH9L	GAFLMH9	R/W	－	○	○	0000H
F0413H		GAFLMH9H			－	○		
F0412H	CAN受信バッファ・レジスタ7AH注2	RMIDH7L	RMIDH7	R	－	○	○	0000H
F0413H		RMIDH7H			－	○		
F0414H	CAN受信ルール登録レジスタ9CL注1	GAFLPL9L	GAFLPL9	R/W	－	○	○	0000H
F0415H		GAFLPL9H			－	○		
F0414H	CAN受信バッファ・レジスタ7BL注2	RMTS7L	RMTS7	R	－	○	○	0000H
F0415H		RMTS7H			－	○		
F0416H	CAN受信ルール登録レジスタ9CH注1	GAFLPH9L	GAFLPH9	R/W	－	○	○	0000H
F0417H		GAFLPH9H			－	○		
F0416H	CAN受信バッファ・レジスタ7BH注2	RMPTR7L	RMPTR7	R	－	○	○	0000H
F0417H		RMPTR7H			－	○		
F0418H	CAN受信ルール登録レジスタ10AL注1	GAFLIDL10L	GAFLIDL10	R/W	－	○	○	0000H
F0419H		GAFLIDL10H			－	○		
F0418H	CAN受信バッファ・レジスタ7CL注2	RMDF07L	RMDF07	R	－	○	○	0000H
F0419H		RMDF07H			－	○		
F041AH	CAN受信ルール登録レジスタ10AH注1	GAFLIDH10L	GAFLIDH10	R/W	－	○	○	0000H
F041BH		GAFLIDH10H			－	○		
F041AH	CAN受信バッファ・レジスタ7CH注2	RMDF17L	RMDF17	R	－	○	○	0000H
F041BH		RMDF17H			－	○		
F041CH	CAN受信ルール登録レジスタ10BL注1	GAFLML10L	GAFLML10	R/W	－	○	○	0000H
F041DH		GAFLML10H			－	○		
F041CH	CAN受信バッファ・レジスタ7DL注2	RMDF27L	RMDF27	R	－	○	○	0000H
F041DH		RMDF27H			－	○		
F041EH	CAN受信ルール登録レジスタ10BH注1	GAFLMH10L	GAFLMH10	R/W	－	○	○	0000H
F041FH		GAFLMH10H			－	○		
F041EH	CAN受信バッファ・レジスタ7DH注2	RMDF37L	RMDF37	R	－	○	○	0000H
F041FH		RMDF37H			－	○		
F0420H	CAN受信ルール登録レジスタ10CL注1	GAFLPL10L	GAFLPL10	R/W	－	○	○	0000H
F0421H		GAFLPL10H			－	○		
F0420H	CAN受信バッファ・レジスタ8AL注2	RMIDL8L	RMIDL8	R	－	○	○	0000H
F0421H		RMIDL8H			－	○		
F0422H	CAN受信ルール登録レジスタ10CH注1	GAFLPH10L	GAFLPH10	R/W	－	○	○	0000H
F0423H		GAFLPH10H			－	○		
F0422H	CAN受信バッファ・レジスタ8AH注2	RMIDH8L	RMIDH8	R	－	○	○	0000H
F0423H		RMIDH8H			－	○		
F0424H	CAN受信ルール登録レジスタ11AL注1	GAFLIDL11L	GAFLIDL11	R/W	－	○	○	0000H
F0425H		GAFLIDL11H			－	○		
F0424H	CAN受信バッファ・レジスタ8BL注2	RMTS8L	RMTS8	R	－	○	○	0000H
F0425H		RMTS8H			－	○		
F0426H	CAN受信ルール登録レジスタ11AH注1	GAFLIDH11L	GAFLIDH11	R/W	－	○	○	0000H
F0427H		GAFLIDH11H			－	○		
F0426H	CAN受信バッファ・レジスタ8BH注2	RMPTR8L	RMPTR8	R	－	○	○	0000H
F0427H		RMPTR8H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（21/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0428H	CAN受信ルール登録レジスタ11BL注1	GAFLML11L	GAFLML11	R/W	－	○	○	0000H
F0429H		GAFLML11H			－	○		
F0428H	CAN受信バッファ・レジスタ8CL注2	RMDF08L	RMDF08	R	－	○	○	0000H
F0429H		RMDF08H			－	○		
F042AH	CAN受信ルール登録レジスタ11BH注1	GAFLMH11L	GAFLMH11	R/W	－	○	○	0000H
F042BH		GAFLMH11H			－	○		
F042AH	CAN受信バッファ・レジスタ8CH注2	RMDF18L	RMDF18	R	－	○	○	0000H
F042BH		RMDF18H			－	○		
F042CH	CAN受信ルール登録レジスタ11CL注1	GAFLPL11L	GAFLPL11	R/W	－	○	○	0000H
F042DH		GAFLPL11H			－	○		
F042CH	CAN受信バッファ・レジスタ8DL注2	RMDF28L	RMDF28	R	－	○	○	0000H
F042DH		RMDF28H			－	○		
F042EH	CAN受信ルール登録レジスタ11CH注1	GAFLPH11L	GAFLPH11	R/W	－	○	○	0000H
F042FH		GAFLPH11H			－	○		
F042EH	CAN受信バッファ・レジスタ8DH注2	RMDF38L	RMDF38	R	－	○	○	0000H
F042FH		RMDF38H			－	○		
F0430H	CAN受信ルール登録レジスタ12AL注1	GAFLIDL12L	GAFLIDL12	R/W	－	○	○	0000H
F0431H		GAFLIDL12H			－	○		
F0430H	CAN受信バッファ・レジスタ9AL注2	RMIDL9L	RMIDL9	R	－	○	○	0000H
F0431H		RMIDL9H			－	○		
F0432H	CAN受信ルール登録レジスタ12AH注1	GAFLIDH12L	GAFLIDH12	R/W	－	○	○	0000H
F0433H		GAFLIDH12H			－	○		
F0432H	CAN受信バッファ・レジスタ9AH注2	RMIDH9L	RMIDH9	R	－	○	○	0000H
F0433H		RMIDH9H			－	○		
F0434H	CAN受信ルール登録レジスタ12BL注1	GAFLML12L	GAFLML12	R/W	－	○	○	0000H
F0435H		GAFLML12H			－	○		
F0434H	CAN受信バッファ・レジスタ9BL注2	RMTS9L	RMTS9	R	－	○	○	0000H
F0435H		RMTS9H			－	○		
F0436H	CAN受信ルール登録レジスタ12BH注1	GAFLMH12L	GAFLMH12	R/W	－	○	○	0000H
F0437H		GAFLMH12H			－	○		
F0436H	CAN受信バッファ・レジスタ9BH注2	RMPTR9L	RMPTR9	R	－	○	○	0000H
F0437H		RMPTR9H			－	○		
F0438H	CAN受信ルール登録レジスタ12CL注1	GAFLPL12L	GAFLPL12	R/W	－	○	○	0000H
F0439H		GAFLPL12H			－	○		
F0438H	CAN受信バッファ・レジスタ9CL注2	RMDF09L	RMDF09	R	－	○	○	0000H
F0439H		RMDF09H			－	○		
F043AH	CAN受信ルール登録レジスタ12CH注1	GAFLPH12L	GAFLPH12	R/W	－	○	○	0000H
F043BH		GAFLPH12H			－	○		
F043AH	CAN受信バッファ・レジスタ9CH注2	RMDF19L	RMDF19	R	－	○	○	0000H
F043BH		RMDF19H			－	○		
F043CH	CAN受信ルール登録レジスタ13AL注1	GAFLIDL13L	GAFLIDL13	R/W	－	○	○	0000H
F043DH		GAFLIDL13H			－	○		
F043CH	CAN受信バッファ・レジスタ9DL注2	RMDF29L	RMDF29	R	－	○	○	0000H
F043DH		RMDF29H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（22/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F043EH	CAN受信ルール登録レジスタ13AH[注1]	GAFLIDH13L	GAFLIDH13	R/W	－	○	○	0000H
F043FH		GAFLIDH13H			－	○		
F043EH	CAN受信バッファ・レジスタ9DH[注2]	RMDF39L	RMDF39	R	－	○	○	0000H
F043FH		RMDF39H			－	○		
F0440H	CAN受信ルール登録レジスタ13BL[注1]	GAFLML13L	GAFLML13	R/W	－	○	○	0000H
F0441H		GAFLML13H			－	○		
F0440H	CAN受信バッファ・レジスタ10AL[注2]	RMIDL10L	RMIDL10	R	－	○	○	0000H
F0441H		RMIDL10H			－	○		
F0442H	CAN受信ルール登録レジスタ13BH[注1]	GAFLMH13L	GAFLMH13	R/W	－	○	○	0000H
F0443H		GAFLMH13H			－	○		
F0442H	CAN受信バッファ・レジスタ10AH[注2]	RMIDH10L	RMIDH10	R	－	○	○	0000H
F0443H		RMIDH10H			－	○		
F0444H	CAN受信ルール登録レジスタ13CL[注1]	GAFLPL13L	GAFLPL13	R/W	－	○	○	0000H
F0445H		GAFLPL13H			－	○		
F0444H	CAN受信バッファ・レジスタ10BL[注2]	RMTS10L	RMTS10	R	－	○	○	0000H
F0445H		RMTS10H			－	○		
F0446H	CAN受信ルール登録レジスタ13CH[注1]	GAFLPH13L	GAFLPH13	R/W	－	○	○	0000H
F0447H		GAFLPH13H			－	○		
F0446H	CAN受信バッファ・レジスタ10BH[注2]	RMPTR10L	RMPTR10	R	－	○	○	0000H
F0447H		RMPTR10H			－	○		
F0448H	CAN受信ルール登録レジスタ14AL[注1]	GAFLIDL14L	GAFLIDL14	R/W	－	○	○	0000H
F0449H		GAFLIDL14H			－	○		
F0448H	CAN受信バッファ・レジスタ10CL[注2]	RMDF010L	RMDF010	R	－	○	○	0000H
F0449H		RMDF010H			－	○		
F044AH	CAN受信ルール登録レジスタ14AH[注1]	GAFLIDH14L	GAFLIDH14	R/W	－	○	○	0000H
F044BH		GAFLIDH14H			－	○		
F044AH	CAN受信バッファ・レジスタ10CH[注2]	RMDF110L	RMDF110	R	－	○	○	0000H
F044BH		RMDF110H			－	○		
F044CH	CAN受信ルール登録レジスタ14BL[注1]	GAFLML14L	GAFLML14	R/W	－	○	○	0000H
F044DH		GAFLML14H			－	○		
F044CH	CAN受信バッファ・レジスタ10DL[注2]	RMDF210L	RMDF210	R	－	○	○	0000H
F044DH		RMDF210H			－	○		
F044EH	CAN受信ルール登録レジスタ14BH[注1]	GAFLMH14L	GAFLMH14	R/W	－	○	○	0000H
F044FH		GAFLMH14H			－	○		
F044EH	CAN受信バッファ・レジスタ10DH[注2]	RMDF310L	RMDF310	R	－	○	○	0000H
F044FH		RMDF310H			－	○		
F0450H	CAN受信ルール登録レジスタ14CL[注1]	GAFLPL14L	GAFLPL14	R/W	－	○	○	0000H
F0451H		GAFLPL14H			－	○		
F0450H	CAN受信バッファ・レジスタ11AL[注2]	RMIDL11L	RMIDL11	R	－	○	○	0000H
F0451H		RMIDL11H			－	○		
F0452H	CAN受信ルール登録レジスタ14CH[注1]	GAFLPH14L	GAFLPH14	R/W	－	○	○	0000H
F0453H		GAFLPH14H			－	○		
F0452H	CAN受信バッファ・レジスタ11AH[注2]	RMIDH11L	RMIDH11	R	－	○	○	0000H
F0453H		RMIDH11H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（23/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0454H	CAN受信ルール登録レジスタ15AL注1	GAFLIDL15L	GAFLIDL15	R/W	－	○	○	0000H
F0455H		GAFLIDL15H			－	○		
F0454H	CAN受信バッファ・レジスタ11BL注2	RMTS11L	RMTS11	R	－	○	○	0000H
F0455H		RMTS11H			－	○		
F0456H	CAN受信ルール登録レジスタ15AH注1	GAFLIDH15L	GAFLIDH15	R/W	－	○	○	0000H
F0457H		GAFLIDH15H			－	○		
F0456H	CAN受信バッファ・レジスタ11BH注2	RMPTR11L	RMPTR11	R	－	○	○	0000H
F0457H		RMPTR11H			－	○		
F0458H	CAN受信ルール登録レジスタ15BL注1	GAFLML15L	GAFLML15	R/W	－	○	○	0000H
F0459H		GAFLML15H			－	○		
F0458H	CAN受信バッファ・レジスタ11CL注2	RMDF011L	RMDF011	R	－	○	○	0000H
F0459H		RMDF011H			－	○		
F045AH	CAN受信ルール登録レジスタ15BH注1	GAFLMH15L	GAFLMH15	R/W	－	○	○	0000H
F045BH		GAFLMH15H			－	○		
F045AH	CAN受信バッファ・レジスタ11CH注2	RMDF111L	RMDF111	R	－	○	○	0000H
F045BH		RMDF111H			－	○		
F045CH	CAN受信ルール登録レジスタ15CL注1	GAFLPL15L	GAFLPL15	R/W	－	○	○	0000H
F045DH		GAFLPL15H			－	○		
F045CH	CAN受信バッファ・レジスタ11DL注2	RMDF211L	RMDF211	R	－	○	○	0000H
F045DH		RMDF211H			－	○		
F045EH	CAN受信ルール登録レジスタ15CH注1	GAFLPH15L	GAFLPH15	R/W	－	○	○	0000H
F045FH		GAFLPH15H			－	○		
F045EH	CAN受信バッファ・レジスタ11DH注2	RMDF311L	RMDF311	R	－	○	○	0000H
F045FH		RMDF311H			－	○		
F0460H	CAN受信ルール登録レジスタ16AL注1	GAFLIDL16L	GAFLIDL16	R/W	－	○	○	0000H
F0461H		GAFLIDL16H			－	○		
F0460H	CAN受信バッファ・レジスタ12AL注2	RMIDL12L	RMIDL12	R	－	○	○	0000H
F0461H		RMIDL12H			－	○		
F0462H	CAN受信ルール登録レジスタ16AH注1	GAFLIDH16L	GAFLIDH16	R/W	－	○	○	0000H
F0463H		GAFLIDH16H			－	○		
F0462H	CAN受信バッファ・レジスタ12AH注2	RMIDH12L	RMIDH12	R	－	○	○	0000H
F0463H		RMIDH12H			－	○		
F0464H	CAN受信ルール登録レジスタ16BL注1	GAFLML16L	GAFLML16	R/W	－	○	○	0000H
F0465H		GAFLML16H			－	○		
F0464H	CAN受信バッファ・レジスタ12BL注2	RMTS12L	RMTS12	R	－	○	○	0000H
F0465H		RMTS12H			－	○		
F0466H	CAN受信ルール登録レジスタ16BH注1	GAFLMH16L	GAFLMH16	R/W	－	○	○	0000H
F0467H		GAFLMH16H			－	○		
F0466H	CAN受信バッファ・レジスタ12BH注2	RMPTR12L	RMPTR12	R	－	○	○	0000H
F0467H		RMPTR12H			－	○		
F0468H	CAN受信ルール登録レジスタ16CL注1	GAFLPL16L	GAFLPL16	R/W	－	○	○	0000H
F0469H		GAFLPL16H			－	○		
F0468H	CAN受信バッファ・レジスタ12CL注2	RMDF012L	RMDF012	R	－	○	○	0000H
F0469H		RMDF012H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（24/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F046AH	CAN受信ルール登録レジスタ16CH[注1]	GAFLPH16L	GAFLPH16	R/W	－	○	○	0000H
F046BH		GAFLPH16H			－	○		
F046AH	CAN受信バッファ・レジスタ12CH[注2]	RMDF112L	RMDF112	R	－	○	○	0000H
F046BH		RMDF112H			－	○		
F046CH	CAN受信ルール登録レジスタ17AL[注1]	GAFLIDL17L	GAFLIDL17	R/W	－	○	○	0000H
F046DH		GAFLIDL17H			－	○		
F046CH	CAN受信バッファ・レジスタ12DL[注2]	RMDF212L	RMDF212	R	－	○	○	0000H
F046DH		RMDF212H			－	○		
F046EH	CAN受信ルール登録レジスタ17AH[注1]	GAFLIDH17L	GAFLIDH17	R/W	－	○	○	0000H
F046FH		GAFLIDH17H			－	○		
F046EH	CAN受信バッファ・レジスタ12DH[注2]	RMDF312L	RMDF312	R	－	○	○	0000H
F046FH		RMDF312H			－	○		
F0470H	CAN受信ルール登録レジスタ17BL[注1]	GAFLML17L	GAFLML17	R/W	－	○	○	0000H
F0471H		GAFLML17H			－	○		
F0470H	CAN受信バッファ・レジスタ13AL[注2]	RMIDL13L	RMIDL13	R	－	○	○	0000H
F0471H		RMIDL13H			－	○		
F0472H	CAN受信ルール登録レジスタ17BH[注1]	GAFLMH17L	GAFLMH17	R/W	－	○	○	0000H
F0473H		GAFLMH17H			－	○		
F0472H	CAN受信バッファ・レジスタ13AH[注2]	RMIDH13L	RMIDH13	R	－	○	○	0000H
F0473H		RMIDH13H			－	○		
F0474H	CAN受信ルール登録レジスタ17CL[注1]	GAFLPL17L	GAFLPL17	R/W	－	○	○	0000H
F0475H		GAFLPL17H			－	○		
F0474H	CAN受信バッファ・レジスタ13BL[注2]	RMTS13L	RMTS13	R	－	○	○	0000H
F0475H		RMTS13H			－	○		
F0476H	CAN受信ルール登録レジスタ17CH[注1]	GAFLPH17L	GAFLPH17	R/W	－	○	○	0000H
F0477H		GAFLPH17H			－	○		
F0476H	CAN受信バッファ・レジスタ13BH[注2]	RMPTR13L	RMPTR13	R	－	○	○	0000H
F0477H		RMPTR13H			－	○		
F0478H	CAN受信ルール登録レジスタ18AL[注1]	GAFLIDL18L	GAFLIDL18	R/W	－	○	○	0000H
F0479H		GAFLIDL18H			－	○		
F0478H	CAN受信バッファ・レジスタ13CL[注2]	RMDF013L	RMDF013	R	－	○	○	0000H
F0479H		RMDF013H			－	○		
F047AH	CAN受信ルール登録レジスタ18AH[注1]	GAFLIDH18L	GAFLIDH18	R/W	－	○	○	0000H
F047BH		GAFLIDH18H			－	○		
F047AH	CAN受信バッファ・レジスタ13CH[注2]	RMDF113L	RMDF113	R	－	○	○	0000H
F047BH		RMDF113H			－	○		
F047CH	CAN受信ルール登録レジスタ18BL[注1]	GAFLML18L	GAFLML18	R/W	－	○	○	0000H
F047DH		GAFLML18H			－	○		
F047CH	CAN受信バッファ・レジスタ13DL[注2]	RMDF213L	RMDF213	R	－	○	○	0000H
F047DH		RMDF213H			－	○		
F047EH	CAN受信ルール登録レジスタ18BH[注1]	GAFLMH18L	GAFLMH18	R/W	－	○	○	0000H
F047FH		GAFLMH18H			－	○		
F047EH	CAN受信バッファ・レジスタ13DH[注2]	RMDF313L	RMDF313	R	－	○	○	0000H
F047FH		RMDF313H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（25/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0480H	CAN受信ルール登録レジスタ18CL[注1]	GAFLPL18L	GAFLPL18	R/W	－	○	○	0000H
F0481H		GAFLPL18H			－	○		
F0480H	CAN受信バッファ・レジスタ14AL[注2]	RMIDL14L	RMIDL14	R	－	○	○	0000H
F0481H		RMIDL14H			－	○		
F0482H	CAN受信ルール登録レジスタ18CH[注1]	GAFLPH18L	GAFLPH18	R/W	－	○	○	0000H
F0483H		GAFLPH18H			－	○		
F0482H	CAN受信バッファ・レジスタ14AH[注2]	RMIDH14L	RMIDH14	R	－	○	○	0000H
F0483H		RMIDH14H			－	○		
F0484H	CAN受信ルール登録レジスタ19AL[注1]	GAFLIDL19L	GAFLIDL19	R/W	－	○	○	0000H
F0485H		GAFLIDL19H			－	○		
F0484H	CAN受信バッファ・レジスタ14BL[注2]	RMTS14L	RMTS14	R	－	○	○	0000H
F0485H		RMTS14H			－	○		
F0486H	CAN受信ルール登録レジスタ19AH[注1]	GAFLIDH19L	GAFLIDH19	R/W	－	○	○	0000H
F0487H		GAFLIDH19H			－	○		
F0486H	CAN受信バッファ・レジスタ14BH[注2]	RMPTR14L	RMPTR14	R	－	○	○	0000H
F0487H		RMPTR14H			－	○		
F0488H	CAN受信ルール登録レジスタ19BL[注1]	GAFLML19L	GAFLML19	R/W	－	○	○	0000H
F0489H		GAFLML19H			－	○		
F0488H	CAN受信バッファ・レジスタ14CL[注2]	RMDF014L	RMDF014	R	－	○	○	0000H
F0489H		RMDF014H			－	○		
F048AH	CAN受信ルール登録レジスタ19BH[注1]	GAFLMH19L	GAFLMH19	R/W	－	○	○	0000H
F048BH		GAFLMH19H			－	○		
F048AH	CAN受信バッファ・レジスタ14CH[注2]	RMDF114L	RMDF114	R	－	○	○	0000H
F048BH		RMDF114H			－	○		
F048CH	CAN受信ルール登録レジスタ19CL[注1]	GAFLPL19L	GAFLPL19	R/W	－	○	○	0000H
F048DH		GAFLPL19H			－	○		
F048CH	CAN受信バッファ・レジスタ14DL[注2]	RMDF214L	RMDF214	R	－	○	○	0000H
F048DH		RMDF214H			－	○		
F048EH	CAN受信ルール登録レジスタ19CH[注1]	GAFLPH19L	GAFLPH19	R/W	－	○	○	0000H
F048FH		GAFLPH19H			－	○		
F048EH	CAN受信バッファ・レジスタ14DH[注2]	RMDF314L	RMDF314	R	－	○	○	0000H
F048FH		RMDF314H			－	○		
F0490H	CAN受信ルール登録レジスタ20AL[注1]	GAFLIDL20L	GAFLIDL20	R/W	－	○	○	0000H
F0491H		GAFLIDL20H			－	○		
F0490H	CAN受信バッファ・レジスタ15AL[注2]	RMIDL15L	RMIDL15	R	－	○	○	0000H
F0491H		RMIDL15H			－	○		
F0492H	CAN受信ルール登録レジスタ20AH[注1]	GAFLIDH20L	GAFLIDH20	R/W	－	○	○	0000H
F0493H		GAFLIDH20H			－	○		
F0492H	CAN受信バッファ・レジスタ15AH[注2]	RMIDH15L	RMIDH15	R	－	○	○	0000H
F0493H		RMIDH15H			－	○		
F0494H	CAN受信ルール登録レジスタ20BL[注1]	GAFLML20L	GAFLML20	R/W	－	○	○	0000H
F0495H		GAFLML20H			－	○		
F0494H	CAN受信バッファ・レジスタ15BL[注2]	RMTS15L	RMTS15	R	－	○	○	0000H
F0495H		RMTS15H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（26/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0496H	CAN受信ルール登録レジスタ20BH注1	GAFLMH20L	GAFLMH20	R/W	－	○	○	0000H
F0497H		GAFLMH20H			－	○		
F0496H	CAN受信バッファ・レジスタ15BH注2	RMPTR15L	RMPTR15	R	－	○	○	0000H
F0497H		RMPTR15H			－	○		
F0498H	CAN受信ルール登録レジスタ20CL注1	GAFLPL20L	GAFLPL20	R/W	－	○	○	0000H
F0499H		GAFLPL20H			－	○		
F0498H	CAN受信バッファ・レジスタ15CL注2	RMDF015L	RMDF015	R	－	○	○	0000H
F0499H		RMDF015H			－	○		
F049AH	CAN受信ルール登録レジスタ20CH注1	GAFLPH20L	GAFLPH20	R/W	－	○	○	0000H
F049BH		GAFLPH20H			－	○		
F049AH	CAN受信バッファ・レジスタ15CH注2	RMDF115L	RMDF115	R	－	○	○	0000H
F049BH		RMDF115H			－	○		
F049CH	CAN受信ルール登録レジスタ21AL注1	GAFLIDL21L	GAFLIDL21	R/W	－	○	○	0000H
F049DH		GAFLIDL21H			－	○		
F049CH	CAN受信バッファ・レジスタ15DL注2	RMDF215L	RMDF215	R	－	○	○	0000H
F049DH		RMDF215H			－	○		
F049EH	CAN受信ルール登録レジスタ21AH注1	GAFLIDH21L	GAFLIDH21	R/W	－	○	○	0000H
F049FH		GAFLIDH21H			－	○		
F049EH	CAN受信バッファ・レジスタ15DH注2	RMDF315L	RMDF315	R	－	○	○	0000H
F049FH		RMDF315H			－	○		
F04A0H	CAN受信ルール登録レジスタ21BL注1	GAFLML21L	GAFLML21	R/W	－	○	○	0000H
F04A1H		GAFLML21H			－	○		
F04A0H	CAN受信バッファ・レジスタ16AL注2	RMIDL16L	RMIDL16	R	－	○	○	0000H
F04A1H		RMIDL16H			－	○		
F04A2H	CAN受信ルール登録レジスタ21BH注1	GAFLMH21L	GAFLMH21	R/W	－	○	○	0000H
F04A3H		GAFLMH21H			－	○		
F04A2H	CAN受信バッファ・レジスタ16AH注2	RMIDH16L	RMIDH16	R	－	○	○	0000H
F04A3H		RMIDH16H			－	○		
F04A4H	CAN受信ルール登録レジスタ21CL注1	GAFLPL21L	GAFLPL21	R/W	－	○	○	0000H
F04A5H		GAFLPL21H			－	○		
F04A4H	CAN受信バッファ・レジスタ16BL注2	RMTS16L	RMTS16	R	－	○	○	0000H
F04A5H		RMTS16H			－	○		
F04A6H	CAN受信ルール登録レジスタ21CH注1	GAFLPH21L	GAFLPH21	R/W	－	○	○	0000H
F04A7H		GAFLPH21H			－	○		
F04A6H	CAN受信バッファ・レジスタ16BH注2	RMPTR16L	RMPTR16	R	－	○	○	0000H
F04A7H		RMPTR16H			－	○		
F04A8H	CAN受信ルール登録レジスタ22AL注1	GAFLIDL22L	GAFLIDL22	R/W	－	○	○	0000H
F04A9H		GAFLIDL22H			－	○		
F04A8H	CAN受信バッファ・レジスタ16CL注2	RMDF016L	RMDF016	R	－	○	○	0000H
F04A9H		RMDF016H			－	○		
F04AAH	CAN受信ルール登録レジスタ22AH注1	GAFLIDH22L	GAFLIDH22	R/W	－	○	○	0000H
F04ABH		GAFLIDH22H			－	○		
F04AAH	CAN受信バッファ・レジスタ16CH注2	RMDF116L	RMDF116	R	－	○	○	0000H
F04ABH		RMDF116H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（27/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F04ACH	CAN受信ルール登録レジスタ22BL注1	GAFLML22L	GAFLML22	R/W	－	○	○	0000H
F04ADH		GAFLML22H			－	○		
F04ACH	CAN受信バッファ・レジスタ16DL注2	RMDF216L	RMDF216	R	－	○	○	0000H
F04ADH		RMDF216H			－	○		
F04AEH	CAN受信ルール登録レジスタ22BH注1	GAFLMH22L	GAFLMH22	R/W	－	○	○	0000H
F04AFH		GAFLMH22H			－	○		
F04AEH	CAN受信バッファ・レジスタ16DH注2	RMDF316L	RMDF316	R	－	○	○	0000H
F04AFH		RMDF316H			－	○		
F04B0H	CAN受信ルール登録レジスタ22CL注1	GAFLPL22L	GAFLPL22	R/W	－	○	○	0000H
F04B1H		GAFLPL22H			－	○		
F04B0H	CAN受信バッファ・レジスタ17AL注2	RMIDL17L	RMIDL17	R	－	○	○	0000H
F04B1H		RMIDL17H			－	○		
F04B2H	CAN受信ルール登録レジスタ22CH注1	GAFLPH22L	GAFLPH22	R/W	－	○	○	0000H
F04B3H		GAFLPH22H			－	○		
F04B2H	CAN受信バッファ・レジスタ17AH注2	RMIDH17L	RMIDH17	R	－	○	○	0000H
F04B3H		RMIDH17H			－	○		
F04B4H	CAN受信ルール登録レジスタ23AL注1	GAFLIDL23L	GAFLIDL23	R/W	－	○	○	0000H
F04B5H		GAFLIDL23H			－	○		
F04B4H	CAN受信バッファ・レジスタ17BL注2	RMTS17L	RMTS17	R	－	○	○	0000H
F04B5H		RMTS17H			－	○		
F04B6H	CAN受信ルール登録レジスタ23AH注1	GAFLIDH23L	GAFLIDH23	R/W	－	○	○	0000H
F04B7H		GAFLIDH23H			－	○		
F04B6H	CAN受信バッファ・レジスタ17BH注2	RMPTR17L	RMPTR17	R	－	○	○	0000H
F04B7H		RMPTR17H			－	○		
F04B8H	CAN受信ルール登録レジスタ23BL注1	GAFLML23L	GAFLML23	R/W	－	○	○	0000H
F04B9H		GAFLML23H			－	○		
F04B8H	CAN受信バッファ・レジスタ17CL注2	RMDF017L	RMDF017	R	－	○	○	0000H
F04B9H		RMDF017H			－	○		
F04BAH	CAN受信ルール登録レジスタ23BH注1	GAFLMH23L	GAFLMH23	R/W	－	○	○	0000H
F04BBH		GAFLMH23H			－	○		
F04BAH	CAN受信バッファ・レジスタ17CH注2	RMDF117L	RMDF117	R	－	○	○	0000H
F04BBH		RMDF117H			－	○		
F04BCH	CAN受信ルール登録レジスタ23CL注1	GAFLPL23L	GAFLPL23	R/W	－	○	○	0000H
F04BDH		GAFLPL23H			－	○		
F04BCH	CAN受信バッファ・レジスタ17DL注2	RMDF217L	RMDF217	R	－	○	○	0000H
F04BDH		RMDF217H			－	○		
F04BEH	CAN受信ルール登録レジスタ23CH注1	GAFLPH23L	GAFLPH23	R/W	－	○	○	0000H
F04BFH		GAFLPH23H			－	○		
F04BEH	CAN受信バッファ・レジスタ17DH注2	RMDF317L	RMDF317	R	－	○	○	0000H
F04BFH		RMDF317H			－	○		
F04C0H	CAN受信ルール登録レジスタ24AL注1	GAFLIDL24L	GAFLIDL24	R/W	－	○	○	0000H
F04C1H		GAFLIDL24H			－	○		
F04C0H	CAN受信バッファ・レジスタ18AL注2	RMIDL18L	RMIDL18	R	－	○	○	0000H
F04C1H		RMIDL18H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（28/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F04C2H	CAN受信ルール登録レジスタ24AH[注1]	GAFLIDH24L	GAFLIDH24	R/W	－	○	○	0000H
F04C3H		GAFLIDH24H			－	○		
F04C2H	CAN受信バッファ・レジスタ18AH[注2]	RMIDH18L	RMIDH18	R	－	○	○	0000H
F04C3H		RMIDH18H			－	○		
F04C4H	CAN受信ルール登録レジスタ24BL[注1]	GAFLML24L	GAFLML24	R/W	－	○	○	0000H
F04C5H		GAFLML24H			－	○		
F04C4H	CAN受信バッファ・レジスタ18BL[注2]	RMTS18L	RMTS18	R	－	○	○	0000H
F04C5H		RMTS18H			－	○		
F04C6H	CAN受信ルール登録レジスタ24BH[注1]	GAFLMH24L	GAFLMH24	R/W	－	○	○	0000H
F04C7H		GAFLMH24H			－	○		
F04C6H	CAN受信バッファ・レジスタ18BH[注2]	RMPTR18L	RMPTR18	R	－	○	○	0000H
F04C7H		RMPTR18H			－	○		
F04C8H	CAN受信ルール登録レジスタ24CL[注1]	GAFLPL24L	GAFLPL24	R/W	－	○	○	0000H
F04C9H		GAFLPL24H			－	○		
F04C8H	CAN受信バッファ・レジスタ18CL[注2]	RMDF018L	RMDF018	R	－	○	○	0000H
F04C9H		RMDF018H			－	○		
F04CAH	CAN受信ルール登録レジスタ24CH[注1]	GAFLPH24L	GAFLPH24	R/W	－	○	○	0000H
F04CBH		GAFLPH24H			－	○		
F04CAH	CAN受信バッファ・レジスタ18CH[注2]	RMDF118L	RMDF118	R	－	○	○	0000H
F04CBH		RMDF118H			－	○		
F04CCH	CAN受信ルール登録レジスタ25AL[注1]	GAFLIDL25L	GAFLIDL25	R/W	－	○	○	0000H
F04CDH		GAFLIDL25H			－	○		
F04CCH	CAN受信バッファ・レジスタ18DL[注2]	RMDF218L	RMDF218	R	－	○	○	0000H
F04CDH		RMDF218H			－	○		
F04CEH	CAN受信ルール登録レジスタ25AH[注1]	GAFLIDH25L	GAFLIDH25	R/W	－	○	○	0000H
F04CFH		GAFLIDH25H			－	○		
F04CEH	CAN受信バッファ・レジスタ18DH[注2]	RMDF318L	RMDF318	R	－	○	○	0000H
F04CFH		RMDF318H			－	○		
F04D0H	CAN受信ルール登録レジスタ25BL[注1]	GAFLML25L	GAFLML25	R/W	－	○	○	0000H
F04D1H		GAFLML25H			－	○		
F04D0H	CAN受信バッファ・レジスタ19AL[注2]	RMIDL19L	RMIDL19	R	－	○	○	0000H
F04D1H		RMIDL19H			－	○		
F04D2H	CAN受信ルール登録レジスタ25BH[注1]	GAFLMH25L	GAFLMH25	R/W	－	○	○	0000H
F04D3H		GAFLMH25H			－	○		
F04D2H	CAN受信バッファ・レジスタ19AH[注2]	RMIDH19L	RMIDH19	R	－	○	○	0000H
F04D3H		RMIDH19H			－	○		
F04D4H	CAN受信ルール登録レジスタ25CL[注1]	GAFLPL25L	GAFLPL25	R/W	－	○	○	0000H
F04D5H		GAFLPL25H			－	○		
F04D4H	CAN受信バッファ・レジスタ19BL[注2]	RMTS19L	RMTS19	R	－	○	○	0000H
F04D5H		RMTS19H			－	○		
F04D6H	CAN受信ルール登録レジスタ25CH[注1]	GAFLPH25L	GAFLPH25	R/W	－	○	○	0000H
F04D7H		GAFLPH25H			－	○		
F04D6H	CAN受信バッファ・レジスタ19BH[注2]	RMPTR19L	RMPTR19	R	－	○	○	0000H
F04D7H		RMPTR19H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（29/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F04D8H	CAN受信ルール登録レジスタ26AL[注1]	GAFLIDL26L	GAFLIDL26	R/W	－	○	○	0000H
F04D9H		GAFLIDL26H			－	○		
F04D8H	CAN受信バッファ・レジスタ19CL[注2]	RMDF019L	RMDF019	R	－	○	○	0000H
F04D9H		RMDF019H			－	○		
F04DAH	CAN受信ルール登録レジスタ26AH[注1]	GAFLIDH26L	GAFLIDH26	R/W	－	○	○	0000H
F04DBH		GAFLIDH26H			－	○		
F04DAH	CAN受信バッファ・レジスタ19CH[注2]	RMDF119L	RMDF119	R	－	○	○	0000H
F04DBH		RMDF119H			－	○		
F04DCH	CAN受信ルール登録レジスタ26BL[注1]	GAFLML26L	GAFLML26	R/W	－	○	○	0000H
F04DDH		GAFLML26H			－	○		
F04DCH	CAN受信バッファ・レジスタ19DL[注2]	RMDF219L	RMDF219	R	－	○	○	0000H
F04DDH		RMDF219H			－	○		
F04DEH	CAN受信ルール登録レジスタ26BH[注1]	GAFLMH26L	GAFLMH26	R/W	－	○	○	0000H
F04DFH		GAFLMH26H			－	○		
F04DEH	CAN受信バッファ・レジスタ19DH[注2]	RMDF319L	RMDF319	R	－	○	○	0000H
F04DFH		RMDF319H			－	○		
F04E0H	CAN受信ルール登録レジスタ26CL[注1]	GAFLPL26L	GAFLPL26	R/W	－	○	○	0000H
F04E1H		GAFLPL26H			－	○		
F04E0H	CAN受信バッファ・レジスタ20AL[注2]	RMIDL20L	RMIDL20	R	－	○	○	0000H
F04E1H		RMIDL20H			－	○		
F04E2H	CAN受信ルール登録レジスタ26CH[注1]	GAFLPH26L	GAFLPH26	R/W	－	○	○	0000H
F04E3H		GAFLPH26H			－	○		
F04E2H	CAN受信バッファ・レジスタ20AH[注2]	RMIDH20L	RMIDH20	R	－	○	○	0000H
F04E3H		RMIDH20H			－	○		
F04E4H	CAN受信ルール登録レジスタ27AL[注1]	GAFLIDL27L	GAFLIDL27	R/W	－	○	○	0000H
F04E5H		GAFLIDL27H			－	○		
F04E4H	CAN受信バッファ・レジスタ20BL[注2]	RMTS20L	RMTS20	R	－	○	○	0000H
F04E5H		RMTS20H			－	○		
F04E6H	CAN受信ルール登録レジスタ27AH[注1]	GAFLIDH27L	GAFLIDH27	R/W	－	○	○	0000H
F04E7H		GAFLIDH27H			－	○		
F04E6H	CAN受信バッファ・レジスタ20BH[注2]	RMPTR20L	RMPTR20	R	－	○	○	0000H
F04E7H		RMPTR20H			－	○		
F04E8H	CAN受信ルール登録レジスタ27BL[注1]	GAFLML27L	GAFLML27	R/W	－	○	○	0000H
F04E9H		GAFLML27H			－	○		
F04E8H	CAN受信バッファ・レジスタ20CL[注2]	RMDF020L	RMDF020	R	－	○	○	0000H
F04E9H		RMDF020H			－	○		
F04EAH	CAN受信ルール登録レジスタ27BH[注1]	GAFLMH27L	GAFLMH27	R/W	－	○	○	0000H
F04EBH		GAFLMH27H			－	○		
F04EAH	CAN受信バッファ・レジスタ20CH[注2]	RMDF120L	RMDF120	R	－	○	○	0000H
F04EBH		RMDF120H			－	○		
F04ECH	CAN受信ルール登録レジスタ27CL[注1]	GAFLPL27L	GAFLPL27	R/W	－	○	○	0000H
F04EDH		GAFLPL27H			－	○		
F04ECH	CAN受信バッファ・レジスタ20DL[注2]	RMDF220L	RMDF220	R	－	○	○	0000H
F04EDH		RMDF220H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（30/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F04EEH	CAN受信ルール登録レジスタ27CH[注1]	GAFLPH27L	GAFLPH27	R/W	－	○	○	0000H
F04EFH		GAFLPH27H			－	○		
F04EEH	CAN受信バッファ・レジスタ20DH[注2]	RMDF320L	RMDF320	R	－	○	○	0000H
F04EFH		RMDF320H			－	○		
F04F0H	CAN受信ルール登録レジスタ28AL[注1]	GAFLIDL28L	GAFLIDL28	R/W	－	○	○	0000H
F04F1H		GAFLIDL28H			－	○		
F04F0H	CAN受信バッファ・レジスタ21AL[注2]	RMIDL21L	RMIDL21	R	－	○	○	0000H
F04F1H		RMIDL21H			－	○		
F04F2H	CAN受信ルール登録レジスタ28AH[注1]	GAFLIDH28L	GAFLIDH28	R/W	－	○	○	0000H
F04F3H		GAFLIDH28H			－	○		
F04F2H	CAN受信バッファ・レジスタ21AH[注2]	RMIDH21L	RMIDH21	R	－	○	○	0000H
F04F3H		RMIDH21H			－	○		
F04F4H	CAN受信ルール登録レジスタ28BL[注1]	GAFLML28L	GAFLML28	R/W	－	○	○	0000H
F04F5H		GAFLML28H			－	○		
F04F4H	CAN受信バッファ・レジスタ21BL[注2]	RMTS21L	RMTS21	R	－	○	○	0000H
F04F5H		RMTS21H			－	○		
F04F6H	CAN受信ルール登録レジスタ28BH[注1]	GAFLMH28L	GAFLMH28	R/W	－	○	○	0000H
F04F7H		GAFLMH28H			－	○		
F04F6H	CAN受信バッファ・レジスタ21BH[注2]	RMPTR21L	RMPTR21	R	－	○	○	0000H
F04F7H		RMPTR21H			－	○		
F04F8H	CAN受信ルール登録レジスタ28CL[注1]	GAFLPL28L	GAFLPL28	R/W	－	○	○	0000H
F04F9H		GAFLPL28H			－	○		
F04F8H	CAN受信バッファ・レジスタ21CL[注2]	RMDF021L	RMDF021	R	－	○	○	0000H
F04F9H		RMDF021H			－	○		
F04FAH	CAN受信ルール登録レジスタ28CH[注1]	GAFLPH28L	GAFLPH28	R/W	－	○	○	0000H
F04FBH		GAFLPH28H			－	○		
F04FAH	CAN受信バッファ・レジスタ21CH[注2]	RMDF121L	RMDF121	R	－	○	○	0000H
F04FBH		RMDF121H			－	○		
F04FCH	CAN受信ルール登録レジスタ29AL[注1]	GAFLIDL29L	GAFLIDL29	R/W	－	○	○	0000H
F04FDH		GAFLIDL29H			－	○		
F04FCH	CAN受信バッファ・レジスタ21DL[注2]	RMDF221L	RMDF221	R	－	○	○	0000H
F04FDH		RMDF221H			－	○		
F04FEH	CAN受信ルール登録レジスタ29AH[注1]	GAFLIDH29L	GAFLIDH29	R/W	－	○	○	0000H
F04FFH		GAFLIDH29H			－	○		
F04FEH	CAN受信バッファ・レジスタ21DH[注2]	RMDF321L	RMDF321	R	－	○	○	0000H
F04FFH		RMDF321H			－	○		
F0500H	CAN受信ルール登録レジスタ29BL[注1]	GAFLML29L	GAFLML29	R/W	－	○	○	0000H
F0501H		GAFLML29H			－	○		
F0500H	CAN受信バッファ・レジスタ22AL[注2]	RMIDL22L	RMIDL22	R	－	○	○	0000H
F0501H		RMIDL22H			－	○		
F0502H	CAN受信ルール登録レジスタ29BH[注1]	GAFLMH29L	GAFLMH29	R/W	－	○	○	0000H
F0503H		GAFLMH29H			－	○		
F0502H	CAN受信バッファ・レジスタ22AH[注2]	RMIDH22L	RMIDH22	R	－	○	○	0000H
F0503H		RMIDH22H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（31/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0504H	CAN受信ルール登録レジスタ29CL[注1]	GAFLPL29L	GAFLPL29	R/W	－	○	○	0000H
F0505H		GAFLPL29H			－	○		
F0504H	CAN受信バッファ・レジスタ22BL[注2]	RMTS22L	RMTS22	R	－	○	○	0000H
F0505H		RMTS22H			－	○		
F0506H	CAN受信ルール登録レジスタ29CH[注1]	GAFLPH29L	GAFLPH29	R/W	－	○	○	0000H
F0507H		GAFLPH29H			－	○		
F0506H	CAN受信バッファ・レジスタ22BH[注2]	RMPTR22L	RMPTR22	R	－	○	○	0000H
F0507H		RMPTR22H			－	○		
F0508H	CAN受信ルール登録レジスタ30AL[注1]	GAFLIDL30L	GAFLIDL30	R/W	－	○	○	0000H
F0509H		GAFLIDL30H			－	○		
F0508H	CAN受信バッファ・レジスタ22CL[注2]	RMDF022L	RMDF022	R	－	○	○	0000H
F0509H		RMDF022H			－	○		
F050AH	CAN受信ルール登録レジスタ30AH[注1]	GAFLIDH30L	GAFLIDH30	R/W	－	○	○	0000H
F050BH		GAFLIDH30H			－	○		
F050AH	CAN受信バッファ・レジスタ22CH[注2]	RMDF122L	RMDF122	R	－	○	○	0000H
F050BH		RMDF122H			－	○		
F050CH	CAN受信ルール登録レジスタ30BL[注1]	GAFLML30L	GAFLML30	R/W	－	○	○	0000H
F050DH		GAFLML30H			－	○		
F050CH	CAN受信バッファ・レジスタ22DL[注2]	RMDF222L	RMDF222	R	－	○	○	0000H
F050DH		RMDF222H			－	○		
F050EH	CAN受信ルール登録レジスタ30BH[注1]	GAFLMH30L	GAFLMH30	R/W	－	○	○	0000H
F050FH		GAFLMH30H			－	○		
F050EH	CAN受信バッファ・レジスタ22DH[注2]	RMDF322L	RMDF322	R	－	○	○	0000H
F050FH		RMDF322H			－	○		
F0510H	CAN受信ルール登録レジスタ30CL[注1]	GAFLPL30L	GAFLPL30	R/W	－	○	○	0000H
F0511H		GAFLPL30H			－	○		
F0510H	CAN受信バッファ・レジスタ23AL[注2]	RMIDL23L	RMIDL23	R	－	○	○	0000H
F0511H		RMIDL23H			－	○		
F0512H	CAN受信ルール登録レジスタ30CH[注1]	GAFLPH30L	GAFLPH30	R/W	－	○	○	0000H
F0513H		GAFLPH30H			－	○		
F0512H	CAN受信バッファ・レジスタ23AH[注2]	RMIDH23L	RMIDH23	R	－	○	○	0000H
F0513H		RMIDH23H			－	○		
F0514H	CAN受信ルール登録レジスタ31AL[注1]	GAFLIDL31L	GAFLIDL31	R/W	－	○	○	0000H
F0515H		GAFLIDL31H			－	○		
F0514H	CAN受信バッファ・レジスタ23BL[注2]	RMTS23L	RMTS23	R	－	○	○	0000H
F0515H		RMTS23H			－	○		
F0516H	CAN受信ルール登録レジスタ31AH[注1]	GAFLIDH31L	GAFLIDH31	R/W	－	○	○	0000H
F0517H		GAFLIDH31H			－	○		
F0516H	CAN受信バッファ・レジスタ23BH[注2]	RMPTR23L	RMPTR23	R	－	○	○	0000H
F0517H		RMPTR23H			－	○		
F0518H	CAN受信ルール登録レジスタ31BL[注1]	GAFLML31L	GAFLML31	R/W	－	○	○	0000H
F0519H		GAFLML31H			－	○		
F0518H	CAN受信バッファ・レジスタ23CL[注2]	RMDF023L	RMDF023	R	－	○	○	0000H
F0519H		RMDF023H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（32/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F051AH	CAN受信ルール登録レジスタ31BH[注1]	GAFLMH31L	GAFLMH31	R/W	－	○	○	0000H
F051BH		GAFLMH31H			－	○		
F051AH	CAN受信バッファ・レジスタ23CH[注2]	RMDF123L	RMDF123	R	－	○	○	0000H
F051BH		RMDF123H			－	○		
F051CH	CAN受信ルール登録レジスタ31CL[注1]	GAFLPL31L	GAFLPL31	R/W	－	○	○	0000H
F051DH		GAFLPL31H			－	○		
F051CH	CAN受信バッファ・レジスタ23DL[注2]	RMDF223L	RMDF223	R	－	○	○	0000H
F051DH		RMDF223H			－	○		
F051EH	CAN受信ルール登録レジスタ31CH[注1]	GAFLPH31L	GAFLPH31	R/W	－	○	○	0000H
F051FH		GAFLPH31H			－	○		
F051EH	CAN受信バッファ・レジスタ23DH[注2]	RMDF323L	RMDF323	R	－	○	○	0000H
F051FH		RMDF323H			－	○		
F0520H	CAN受信ルール登録レジスタ32AL[注1]	GAFLIDL32L	GAFLIDL32	R/W	－	○	○	0000H
F0521H		GAFLIDL32H			－	○		
F0520H	CAN受信バッファ・レジスタ24AL[注2]	RMIDL24L	RMIDL24	R	－	○	○	0000H
F0521H		RMIDL24H			－	○		
F0522H	CAN受信ルール登録レジスタ32AH[注1]	GAFLIDH32L	GAFLIDH32	R/W	－	○	○	0000H
F0523H		GAFLIDH32H			－	○		
F0522H	CAN受信バッファ・レジスタ24AH[注2]	RMIDH24L	RMIDH24	R	－	○	○	0000H
F0523H		RMIDH24H			－	○		
F0524H	CAN受信ルール登録レジスタ32BL[注1]	GAFLML32L	GAFLML32	R/W	－	○	○	0000H
F0525H		GAFLML32H			－	○		
F0524H	CAN受信バッファ・レジスタ24BL[注2]	RMTS24L	RMTS24	R	－	○	○	0000H
F0525H		RMTS24H			－	○		
F0526H	CAN受信ルール登録レジスタ32BH[注1]	GAFLMH32L	GAFLMH32	R/W	－	○	○	0000H
F0527H		GAFLMH32H			－	○		
F0526H	CAN受信バッファ・レジスタ24BH[注2]	RMPTR24L	RMPTR24	R	－	○	○	0000H
F0527H		RMPTR24H			－	○		
F0528H	CAN受信ルール登録レジスタ32CL[注1]	GAFLPL32L	GAFLPL32	R/W	－	○	○	0000H
F0529H		GAFLPL32H			－	○		
F0528H	CAN受信バッファ・レジスタ24CL[注2]	RMDF024L	RMDF024	R	－	○	○	0000H
F0529H		RMDF024H			－	○		
F052AH	CAN受信ルール登録レジスタ32CH[注1]	GAFLPH32L	GAFLPH32	R/W	－	○	○	0000H
F052BH		GAFLPH32H			－	○		
F052AH	CAN受信バッファ・レジスタ24CH[注2]	RMDF124L	RMDF124	R	－	○	○	0000H
F052BH		RMDF124H			－	○		
F052CH	CAN受信ルール登録レジスタ33AL[注1]	GAFLIDL33L	GAFLIDL33	R/W	－	○	○	0000H
F052DH		GAFLIDL33H			－	○		
F052CH	CAN受信バッファ・レジスタ24DL[注2]	RMDF224L	RMDF224	R	－	○	○	0000H
F052DH		RMDF224H			－	○		
F052EH	CAN受信ルール登録レジスタ33AH[注1]	GAFLIDH33L	GAFLIDH33	R/W	－	○	○	0000H
F052FH		GAFLIDH33H			－	○		
F052EH	CAN受信バッファ・レジスタ24DH[注2]	RMDF324L	RMDF324	R	－	○	○	0000H
F052FH		RMDF324H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（33/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0530H	CAN受信ルール登録レジスタ33BL[注1]	GAFLML33L	GAFLML33	R/W	－	○	○	0000H
F0531H		GAFLML33H			－	○		
F0530H	CAN受信バッファ・レジスタ25AL[注2]	RMIDL25L	RMIDL25	R	－	○	○	0000H
F0531H		RMIDL25H			－	○		
F0532H	CAN受信ルール登録レジスタ33BH[注1]	GAFLMH33L	GAFLMH33	R/W	－	○	○	0000H
F0533H		GAFLMH33H			－	○		
F0532H	CAN受信バッファ・レジスタ25AH[注2]	RMIDH25L	RMIDH25	R	－	○	○	0000H
F0533H		RMIDH25H			－	○		
F0534H	CAN受信ルール登録レジスタ33CL[注1]	GAFLPL33L	GAFLPL33	R/W	－	○	○	0000H
F0535H		GAFLPL33H			－	○		
F0534H	CAN受信バッファ・レジスタ25BL[注2]	RMTS25L	RMTS25	R	－	○	○	0000H
F0535H		RMTS25H			－	○		
F0536H	CAN受信ルール登録レジスタ33CH[注1]	GAFLPH33L	GAFLPH33	R/W	－	○	○	0000H
F0537H		GAFLPH33H			－	○		
F0536H	CAN受信バッファ・レジスタ25BH[注2]	RMPTR25L	RMPTR25	R	－	○	○	0000H
F0537H		RMPTR25H			－	○		
F0538H	CAN受信ルール登録レジスタ34AL[注1]	GAFLIDL34L	GAFLIDL34	R/W	－	○	○	0000H
F0539H		GAFLIDL34H			－	○		
F0538H	CAN受信バッファ・レジスタ25CL[注2]	RMDF025L	RMDF025	R	－	○	○	0000H
F0539H		RMDF025H			－	○		
F053AH	CAN受信ルール登録レジスタ34AH[注1]	GAFLIDH34L	GAFLIDH34	R/W	－	○	○	0000H
F053BH		GAFLIDH34H			－	○		
F053AH	CAN受信バッファ・レジスタ25CH[注2]	RMDF125L	RMDF125	R	－	○	○	0000H
F053BH		RMDF125H			－	○		
F053CH	CAN受信ルール登録レジスタ34BL[注1]	GAFLML34L	GAFLML34	R/W	－	○	○	0000H
F053DH		GAFLML34H			－	○		
F053CH	CAN受信バッファ・レジスタ25DL[注2]	RMDF225L	RMDF225	R	－	○	○	0000H
F053DH		RMDF225H			－	○		
F053EH	CAN受信ルール登録レジスタ34BH[注1]	GAFLMH34L	GAFLMH34	R/W	－	○	○	0000H
F053FH		GAFLMH34H			－	○		
F053EH	CAN受信バッファ・レジスタ25DH[注2]	RMDF325L	RMDF325	R	－	○	○	0000H
F053FH		RMDF325H			－	○		
F0540H	CAN受信ルール登録レジスタ34CL[注1]	GAFLPL34L	GAFLPL34	R/W	－	○	○	0000H
F0541H		GAFLPL34H			－	○		
F0540H	CAN受信バッファ・レジスタ26AL[注2]	RMIDL26L	RMIDL26	R	－	○	○	0000H
F0541H		RMIDL26H			－	○		
F0542H	CAN受信ルール登録レジスタ34CH[注1]	GAFLPH34L	GAFLPH34	R/W	－	○	○	0000H
F0543H		GAFLPH34H			－	○		
F0542H	CAN受信バッファ・レジスタ26AH[注2]	RMIDH26L	RMIDH26	R	－	○	○	0000H
F0543H		RMIDH26H			－	○		
F0544H	CAN受信ルール登録レジスタ35AL[注1]	GAFLIDL35L	GAFLIDL35	R/W	－	○	○	0000H
F0545H		GAFLIDL35H			－	○		
F0544H	CAN受信バッファ・レジスタ26BL[注2]	RMTS26L	RMTS26	R	－	○	○	0000H
F0545H		RMTS26H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（34/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0546H	CAN受信ルール登録レジスタ35AH[注1]	GAFLIDH35L	GAFLIDH35	R/W	－	○	○	0000H
F0547H		GAFLIDH35H			－	○		
F0546H	CAN受信バッファ・レジスタ26BH[注2]	RMPTR26L	RMPTR26	R	－	○	○	0000H
F0547H		RMPTR26H			－	○		
F0548H	CAN受信ルール登録レジスタ35BL[注1]	GAFLML35L	GAFLML35	R/W	－	○	○	0000H
F0549H		GAFLML35H			－	○		
F0548H	CAN受信バッファ・レジスタ26CL[注2]	RMDF026L	RMDF026	R	－	○	○	0000H
F0549H		RMDF026H			－	○		
F054AH	CAN受信ルール登録レジスタ35BH[注1]	GAFLMH35L	GAFLMH35	R/W	－	○	○	0000H
F054BH		GAFLMH35H			－	○		
F054AH	CAN受信バッファ・レジスタ26CH[注2]	RMDF126L	RMDF126	R	－	○	○	0000H
F054BH		RMDF126H			－	○		
F054CH	CAN受信ルール登録レジスタ35CL[注1]	GAFLPL35L	GAFLPL35	R/W	－	○	○	0000H
F054DH		GAFLPL35H			－	○		
F054CH	CAN受信バッファ・レジスタ26DL[注2]	RMDF226L	RMDF226	R	－	○	○	0000H
F054DH		RMDF226H			－	○		
F054EH	CAN受信ルール登録レジスタ35CH[注1]	GAFLPH35L	GAFLPH35	R/W	－	○	○	0000H
F054FH		GAFLPH35H			－	○		
F054EH	CAN受信バッファ・レジスタ26DH[注2]	RMDF326L	RMDF326	R	－	○	○	0000H
F054FH		RMDF326H			－	○		
F0550H	CAN受信ルール登録レジスタ36AL[注1]	GAFLIDL36L	GAFLIDL36	R/W	－	○	○	0000H
F0551H		GAFLIDL36H			－	○		
F0550H	CAN受信バッファ・レジスタ27AL[注2]	RMIDL27L	RMIDL27	R	－	○	○	0000H
F0551H		RMIDL27H			－	○		
F0552H	CAN受信ルール登録レジスタ36AH[注1]	GAFLIDH36L	GAFLIDH36	R/W	－	○	○	0000H
F0553H		GAFLIDH36H			－	○		
F0552H	CAN受信バッファ・レジスタ27AH[注2]	RMIDH27L	RMIDH27	R	－	○	○	0000H
F0553H		RMIDH27H			－	○		
F0554H	CAN受信ルール登録レジスタ36BL[注1]	GAFLML36L	GAFLML36	R/W	－	○	○	0000H
F0555H		GAFLML36H			－	○		
F0554H	CAN受信バッファ・レジスタ27BL[注2]	RMTS27L	RMTS27	R	－	○	○	0000H
F0555H		RMTS27H			－	○		
F0556H	CAN受信ルール登録レジスタ36BH[注1]	GAFLMH36L	GAFLMH36	R/W	－	○	○	0000H
F0557H		GAFLMH36H			－	○		
F0556H	CAN受信バッファ・レジスタ27BH[注2]	RMPTR27L	RMPTR27	R	－	○	○	0000H
F0557H		RMPTR27H			－	○		
F0558H	CAN受信ルール登録レジスタ36CL[注1]	GAFLPL36L	GAFLPL36	R/W	－	○	○	0000H
F0559H		GAFLPL36H			－	○		
F0558H	CAN受信バッファ・レジスタ27CL[注2]	RMDF027L	RMDF027	R	－	○	○	0000H
F0559H		RMDF027H			－	○		
F055AH	CAN受信ルール登録レジスタ36CH[注1]	GAFLPH36L	GAFLPH36	R/W	－	○	○	0000H
F055BH		GAFLPH36H			－	○		
F055AH	CAN受信バッファ・レジスタ27CH[注2]	RMDF127L	RMDF127	R	－	○	○	0000H
F055BH		RMDF127H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（35/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F055CH	CAN受信ルール登録レジスタ37AL[注1]	GAFLIDL37L	GAFLIDL37	R/W	－	○	○	0000H
F055DH		GAFLIDL37H			－	○		
F055CH	CAN受信バッファ・レジスタ27DL[注2]	RMDF227L	RMDF227	R	－	○	○	0000H
F055DH		RMDF227H			－	○		
F055EH	CAN受信ルール登録レジスタ37AH[注1]	GAFLIDH37L	GAFLIDH37	R/W	－	○	○	0000H
F055FH		GAFLIDH37H			－	○		
F055EH	CAN受信バッファ・レジスタ27DH[注2]	RMDF327L	RMDF327	R	－	○	○	0000H
F055FH		RMDF327H			－	○		
F0560H	CAN受信ルール登録レジスタ37BL[注1]	GAFLML37L	GAFLML37	R/W	－	○	○	0000H
F0561H		GAFLML37H			－	○		
F0560H	CAN受信バッファ・レジスタ28AL[注2]	RMIDL28L	RMIDL28	R	－	○	○	0000H
F0561H		RMIDL28H			－	○		
F0562H	CAN受信ルール登録レジスタ37BH[注1]	GAFLMH37L	GAFLMH37	R/W	－	○	○	0000H
F0563H		GAFLMH37H			－	○		
F0562H	CAN受信バッファ・レジスタ28AH[注2]	RMIDH28L	RMIDH28	R	－	○	○	0000H
F0563H		RMIDH28H			－	○		
F0564H	CAN受信ルール登録レジスタ37CL[注1]	GAFLPL37L	GAFLPL37	R/W	－	○	○	0000H
F0565H		GAFLPL37H			－	○		
F0564H	CAN受信バッファ・レジスタ28BL[注2]	RMTS28L	RMTS28	R	－	○	○	0000H
F0565H		RMTS28H			－	○		
F0566H	CAN受信ルール登録レジスタ37CH[注1]	GAFLPH37L	GAFLPH37	R/W	－	○	○	0000H
F0567H		GAFLPH37H			－	○		
F0566H	CAN受信バッファ・レジスタ28BH[注2]	RMPTR28L	RMPTR28	R	－	○	○	0000H
F0567H		RMPTR28H			－	○		
F0568H	CAN受信ルール登録レジスタ38AL[注1]	GAFLIDL38L	GAFLIDL38	R/W	－	○	○	0000H
F0569H		GAFLIDL38H			－	○		
F0568H	CAN受信バッファ・レジスタ28CL[注2]	RMDF028L	RMDF028	R	－	○	○	0000H
F0569H		RMDF028H			－	○		
F056AH	CAN受信ルール登録レジスタ38AH[注1]	GAFLIDH38L	GAFLIDH38	R/W	－	○	○	0000H
F056BH		GAFLIDH38H			－	○		
F056AH	CAN受信バッファ・レジスタ28CH[注2]	RMDF128L	RMDF128	R	－	○	○	0000H
F056BH		RMDF128H			－	○		
F056CH	CAN受信ルール登録レジスタ38BL[注1]	GAFLML38L	GAFLML38	R/W	－	○	○	0000H
F056DH		GAFLML38H			－	○		
F056CH	CAN受信バッファ・レジスタ28DL[注2]	RMDF228L	RMDF228	R	－	○	○	0000H
F056DH		RMDF228H			－	○		
F056EH	CAN受信ルール登録レジスタ38BH[注1]	GAFLMH38L	GAFLMH38	R/W	－	○	○	0000H
F056FH		GAFLMH38H			－	○		
F056EH	CAN受信バッファ・レジスタ28DH[注2]	RMDF328L	RMDF328	R	－	○	○	0000H
F056FH		RMDF328H			－	○		
F0570H	CAN受信ルール登録レジスタ38CL[注1]	GAFLPL38L	GAFLPL38	R/W	－	○	○	0000H
F0571H		GAFLPL38H			－	○		
F0570H	CAN受信バッファ・レジスタ29AL[注2]	RMIDL29L	RMIDL29	R	－	○	○	0000H
F0571H		RMIDL29H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（36/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0572H	CAN受信ルール登録レジスタ38CH注1	GAFLPH38L	GAFLPH38	R/W	－	○	○	0000H
F0573H		GAFLPH38H			－	○		
F0572H	CAN受信バッファ・レジスタ29AH注2	RMIDH29L	RMIDH29	R	－	○	○	0000H
F0573H		RMIDH29H			－	○		
F0574H	CAN受信ルール登録レジスタ39AL注1	GAFLIDL39L	GAFLIDL39	R/W	－	○	○	0000H
F0575H		GAFLIDL39H			－	○		
F0574H	CAN受信バッファ・レジスタ29BL注2	RMTS29L	RMTS29	R	－	○	○	0000H
F0575H		RMTS29H			－	○		
F0576H	CAN受信ルール登録レジスタ39AH注1	GAFLIDH39L	GAFLIDH39	R/W	－	○	○	0000H
F0577H		GAFLIDH39H			－	○		
F0576H	CAN受信バッファ・レジスタ29BH注2	RMPTR29L	RMPTR29	R	－	○	○	0000H
F0577H		RMPTR29H			－	○		
F0578H	CAN受信ルール登録レジスタ39BL注1	GAFLML39L	GAFLML39	R/W	－	○	○	0000H
F0579H		GAFLML39H			－	○		
F0578H	CAN受信バッファ・レジスタ29CL注2	RMDF029L	RMDF029	R	－	○	○	0000H
F0579H		RMDF029H			－	○		
F057AH	CAN受信ルール登録レジスタ39BH注1	GAFLMH39L	GAFLMH39	R/W	－	○	○	0000H
F057BH		GAFLMH39H			－	○		
F057AH	CAN受信バッファ・レジスタ29CH注2	RMDF129L	RMDF129	R	－	○	○	0000H
F057BH		RMDF129H			－	○		
F057CH	CAN受信ルール登録レジスタ39CL注1	GAFLPL39L	GAFLPL39	R/W	－	○	○	0000H
F057DH		GAFLPL39H			－	○		
F057CH	CAN受信バッファ・レジスタ29DL注2	RMDF229L	RMDF229	R	－	○	○	0000H
F057DH		RMDF229H			－	○		
F057EH	CAN受信ルール登録レジスタ39CH注1	GAFLPH39L	GAFLPH39	R/W	－	○	○	0000H
F057FH		GAFLPH39H			－	○		
F057EH	CAN受信バッファ・レジスタ29DH注2	RMDF329L	RMDF329	R	－	○	○	0000H
F057FH		RMDF329H			－	○		
F0580H	CAN用RAMテスト・レジスタ0注1	RPGACC0L	RPGACC0	R/W	－	○	○	0000H
F0581H		RPGACC0H			－	○		
F0580H	CAN受信バッファ・レジスタ30AL注2	RMIDL30L	RMIDL30	R	－	○	○	0000H
F0581H		RMIDL30H			－	○		
F0582H	CAN用RAMテスト・レジスタ1注1	RPGACC1L	RPGACC1	R/W	－	○	○	0000H
F0583H		RPGACC1H			－	○		
F0582H	CAN受信バッファ・レジスタ30AH注2	RMIDH30L	RMIDH30	R	－	○	○	0000H
F0583H		RMIDH30H			－	○		
F0584H	CAN用RAMテスト・レジスタ2注1	RPGACC2L	RPGACC2	R/W	－	○	○	0000H
F0585H		RPGACC2H			－	○		
F0584H	CAN受信バッファ・レジスタ30BL注2	RMTS30L	RMTS30	R	－	○	○	0000H
F0585H		RMTS30H			－	○		
F0586H	CAN用RAMテスト・レジスタ3注1	RPGACC3L	RPGACC3	R/W	－	○	○	0000H
F0587H		RPGACC3H			－	○		
F0586H	CAN受信バッファ・レジスタ30BH注2	RMPTR30L	RMPTR30	R	－	○	○	0000H
F0587H		RMPTR30H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（37/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0588H	CAN用RAMテスト・レジスタ4[注1]	RPGACC4L	RPGACC4	R/W	－	○	○	0000H
F0589H		RPGACC4H			－	○		
F0588H	CAN受信バッファ・レジスタ30CL[注2]	RMDF030L	RMDF030	R	－	○	○	0000H
F0589H		RMDF030H			－	○		
F058AH	CAN用RAMテスト・レジスタ5[注1]	RPGACC5L	RPGACC5	R/W	－	○	○	0000H
F058BH		RPGACC5H			－	○		
F058AH	CAN受信バッファ・レジスタ30CH[注2]	RMDF130L	RMDF130	R	－	○	○	0000H
F058BH		RMDF130H			－	○		
F058CH	CAN用RAMテスト・レジスタ6[注1]	RPGACC6L	RPGACC6	R/W	－	○	○	0000H
F058DH		RPGACC6H			－	○		
F058CH	CAN受信バッファ・レジスタ30DL[注2]	RMDF230L	RMDF230	R	－	○	○	0000H
F058DH		RMDF230H			－	○		
F058EH	CAN用RAMテスト・レジスタ7[注1]	RPGACC7L	RPGACC7	R/W	－	○	○	0000H
F058FH		RPGACC7H			－	○		
F058EH	CAN受信バッファ・レジスタ30DH[注2]	RMDF330L	RMDF330	R	－	○	○	0000H
F058FH		RMDF330H			－	○		
F0590H	CAN用RAMテスト・レジスタ8[注1]	RPGACC8L	RPGACC8	R/W	－	○	○	0000H
F0591H		RPGACC8H			－	○		
F0590H	CAN受信バッファ・レジスタ31AL[注2]	RMIDL31L	RMIDL31	R	－	○	○	0000H
F0591H		RMIDL31H			－	○		
F0592H	CAN用RAMテスト・レジスタ9[注1]	RPGACC9L	RPGACC9	R/W	－	○	○	0000H
F0593H		RPGACC9H			－	○		
F0592H	CAN受信バッファ・レジスタ31AH[注2]	RMIDH31L	RMIDH31	R	－	○	○	0000H
F0593H		RMIDH31H			－	○		
F0594H	CAN用RAMテスト・レジスタ10[注1]	RPGACC10L	RPGACC10	R/W	－	○	○	0000H
F0595H		RPGACC10H			－	○		
F0594H	CAN受信バッファ・レジスタ31BL[注2]	RMTS31L	RMTS31	R	－	○	○	0000H
F0595H		RMTS31H			－	○		
F0596H	CAN用RAMテスト・レジスタ11[注1]	RPGACC11L	RPGACC11	R/W	－	○	○	0000H
F0597H		RPGACC11H			－	○		
F0596H	CAN受信バッファ・レジスタ31BH[注2]	RMPTR31L	RMPTR31	R	－	○	○	0000H
F0597H		RMPTR31H			－	○		
F0598H	CAN用RAMテスト・レジスタ12[注1]	RPGACC12L	RPGACC12	R/W	－	○	○	0000H
F0599H		RPGACC12H			－	○		
F0598H	CAN受信バッファ・レジスタ31CL[注2]	RMDF031L	RMDF031	R	－	○	○	0000H
F0599H		RMDF031H			－	○		
F059AH	CAN用RAMテスト・レジスタ13[注1]	RPGACC13L	RPGACC13	R/W	－	○	○	0000H
F059BH		RPGACC13H			－	○		
F059AH	CAN受信バッファ・レジスタ31CH[注2]	RMDF131L	RMDF131	R	－	○	○	0000H
F059BH		RMDF131H			－	○		
F059CH	CAN用RAMテスト・レジスタ14[注1]	RPGACC14L	RPGACC14	R/W	－	○	○	0000H
F059DH		RPGACC14H			－	○		
F059CH	CAN受信バッファ・レジスタ31DL[注2]	RMDF231L	RMDF231	R	－	○	○	0000H
F059DH		RMDF231H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（38/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F059EH	CAN用RAMテスト・レジスタ15[注1]	RPGACC15L	RPGACC15	R/W	－	○	○	0000H
F059FH		RPGACC15H			－	○		
F059EH	CAN受信バッファ・レジスタ31DH[注2]	RMDF331L	RMDF331	R	－	○	○	0000H
F059FH		RMDF331H			－	○		
F05A0H	CAN用RAMテスト・レジスタ16[注1]	RPGACC16L	RPGACC16	R/W	－	○	○	0000H
F05A1H		RPGACC16H			－	○		
F05A0H	CAN受信FIFOアクセス・レジスタ0AL[注2]	RFIDL0L	RFIDL0	R	－	○	○	0000H
F05A1H		RFIDL0H			－	○		
F05A2H	CAN用RAMテスト・レジスタ17[注1]	RPGACC17L	RPGACC17	R/W	－	○	○	0000H
F05A3H		RPGACC17H			－	○		
F05A2H	CAN受信FIFOアクセス・レジスタ0AH[注2]	RFIDH0L	RFIDH0	R	－	○	○	0000H
F05A3H		RFIDH0H			－	○		
F05A4H	CAN用RAMテスト・レジスタ18[注1]	RPGACC18L	RPGACC18	R/W	－	○	○	0000H
F05A5H		RPGACC18H			－	○		
F05A4H	CAN受信FIFOアクセス・レジスタ0BL[注2]	RFTS0L	RFTS0	R	－	○	○	0000H
F05A5H		RFTS0H			－	○		
F05A6H	CAN用RAMテスト・レジスタ19[注1]	RPGACC19L	RPGACC19	R/W	－	○	○	0000H
F05A7H		RPGACC19H			－	○		
F05A6H	CAN受信FIFOアクセス・レジスタ0BH[注2]	RFPTR0L	RFPTR0	R	－	○	○	0000H
F05A7H		RFPTR0H			－	○		
F05A8H	CAN用RAMテスト・レジスタ20[注1]	RPGACC20L	RPGACC20	R/W	－	○	○	0000H
F05A9H		RPGACC20H			－	○		
F05A8H	CAN受信FIFOアクセス・レジスタ0CL[注2]	RFDF00L	RFDF00	R	－	○	○	0000H
F05A9H		RFDF00H			－	○		
F05AAH	CAN用RAMテスト・レジスタ21[注1]	RPGACC21L	RPGACC21	R/W	－	○	○	0000H
F05ABH		RPGACC21H			－	○		
F05AAH	CAN受信FIFOアクセス・レジスタ0CH[注2]	RFDF10L	RFDF10	R	－	○	○	0000H
F05ABH		RFDF10H			－	○		
F05ACH	CAN用RAMテスト・レジスタ22[注1]	RPGACC22L	RPGACC22	R/W	－	○	○	0000H
F05ADH		RPGACC22H			－	○		
F05ACH	CAN受信FIFOアクセス・レジスタ0DL[注2]	RFDF20L	RFDF20	R	－	○	○	0000H
F05ADH		RFDF20H			－	○		
F05AEH	CAN用RAMテスト・レジスタ23[注1]	RPGACC23L	RPGACC23	R/W	－	○	○	0000H
F05AFH		RPGACC23H			－	○		
F05AEH	CAN受信FIFOアクセス・レジスタ0DH[注2]	RFDF30L	RFDF30	R	－	○	○	0000H
F05AFH		RFDF30H			－	○		
F05B0H	CAN用RAMテスト・レジスタ24[注1]	RPGACC24L	RPGACC24	R/W	－	○	○	0000H
F05B1H		RPGACC24H			－	○		
F05B0H	CAN受信FIFOアクセス・レジスタ1AL[注2]	RFIDL1L	RFIDL1	R	－	○	○	0000H
F05B1H		RFIDL1H			－	○		
F05B2H	CAN用RAMテスト・レジスタ25[注1]	RPGACC25L	RPGACC25	R/W	－	○	○	0000H
F05B3H		RPGACC25H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（39/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F05B2H	CAN受信FIFOアクセス・レジスタ1AH[注2]	RFIDH1L	RFIDH1	R	－	○	○	0000H
F05B3H		RFIDH1H			－	○		
F05B4H	CAN用RAMテスト・レジスタ26[注1]	RPGACC26L	RPGACC26	R/W	－	○	○	0000H
F05B5H		RPGACC26H			－	○		
F05B4H	CAN受信FIFOアクセス・レジスタ1BL[注2]	RFTS1L	RFTS1	R	－	○	○	0000H
F05B5H		RFTS1H			－	○		
F05B6H	CAN用RAMテスト・レジスタ27[注1]	RPGACC27L	RPGACC27	R/W	－	○	○	0000H
F05B7H		RPGACC27H			－	○		
F05B6H	CAN受信FIFOアクセス・レジスタ1BH[注2]	RFPTR1L	RFPTR1	R	－	○	○	0000H
F05B7H		RFPTR1H			－	○		
F05B8H	CAN用RAMテスト・レジスタ28[注1]	RPGACC28L	RPGACC28	R/W	－	○	○	0000H
F05B9H		RPGACC28H			－	○		
F05B8H	CAN受信FIFOアクセス・レジスタ1CL[注2]	RFDF01L	RFDF01	R	－	○	○	0000H
F05B9H		RFDF01H			－	○		
F05BAH	CAN用RAMテスト・レジスタ29[注1]	RPGACC29L	RPGACC29	R/W	－	○	○	0000H
F05BBH		RPGACC29H			－	○		
F05BAH	CAN受信FIFOアクセス・レジスタ1CH[注2]	RFDF11L	RFDF11	R	－	○	○	0000H
F05BBH		RFDF11H			－	○		
F05BCH	CAN用RAMテスト・レジスタ30[注1]	RPGACC30L	RPGACC30	R/W	－	○	○	0000H
F05BDH		RPGACC30H			－	○		
F05BCH	CAN受信FIFOアクセス・レジスタ1DL[注2]	RFDF21L	RFDF21	R	－	○	○	0000H
F05BDH		RFDF21H			－	○		
F05BEH	CAN用RAMテスト・レジスタ31[注1]	RPGACC31L	RPGACC31	R/W	－	○	○	0000H
F05BFH		RPGACC31H			－	○		
F05BEH	CAN受信FIFOアクセス・レジスタ1DH[注2]	RFDF31L	RFDF31	R	－	○	○	0000H
F05BFH		RFDF31H			－	○		
F05C0H	CAN用RAMテスト・レジスタ32[注1]	RPGACC32L	RPGACC32	R/W	－	○	○	0000H
F05C1H		RPGACC32H			－	○		
F05C0H	CAN受信FIFOアクセス・レジスタ2AL[注2]	RFIDL2L	RFIDL2	R	－	○	○	0000H
F05C1H		RFIDL2H			－	○		
F05C2H	CAN用RAMテスト・レジスタ33[注1]	RPGACC33L	RPGACC33	R/W	－	○	○	0000H
F05C3H		RPGACC33H			－	○		
F05C2H	CAN受信FIFOアクセス・レジスタ2AH[注2]	RFIDH2L	RFIDH2	R	－	○	○	0000H
F05C3H		RFIDH2H			－	○		
F05C4H	CAN用RAMテスト・レジスタ34[注1]	RPGACC34L	RPGACC34	R/W	－	○	○	0000H
F05C5H		RPGACC34H			－	○		
F05C4H	CAN受信FIFOアクセス・レジスタ2BL[注2]	RFTS2L	RFTS2	R	－	○	○	0000H
F05C5H		RFTS2H			－	○		
F05C6H	CAN用RAMテスト・レジスタ35[注1]	RPGACC35L	RPGACC35	R/W	－	○	○	0000H
F05C7H		RPGACC35H			－	○		
F05C6H	CAN受信FIFOアクセス・レジスタ2BH[注2]	RFPTR2L	RFPTR2	R	－	○	○	0000H
F05C7H		RFPTR2H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（40/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F05C8H	CAN用RAMテスト・レジスタ36[注1]	RPGACC36L	RPGACC36	R/W	－	○	○	0000H
F05C9H		RPGACC36H			－	○		
F05C8H	CAN受信FIFOアクセス・レジスタ2CL[注2]	RFDF02L	RFDF02	R	－	○	○	0000H
F05C9H		RFDF02H			－	○		
F05CAH	CAN用RAMテスト・レジスタ37[注1]	RPGACC37L	RPGACC37	R/W	－	○	○	0000H
F05CBH		RPGACC37H			－	○		
F05CAH	CAN受信FIFOアクセス・レジスタ2CH[注2]	RFDF12L	RFDF12	R	－	○	○	0000H
F05CBH		RFDF12H			－	○		
F05CCH	CAN用RAMテスト・レジスタ38[注1]	RPGACC38L	RPGACC38	R/W	－	○	○	0000H
F05CDH		RPGACC38H			－	○		
F05CCH	CAN受信FIFOアクセス・レジスタ2DL[注2]	RFDF22L	RFDF22	R	－	○	○	0000H
F05CDH		RFDF22H			－	○		
F05CEH	CAN用RAMテスト・レジスタ39[注1]	RPGACC39L	RPGACC39	R/W	－	○	○	0000H
F05CFH		RPGACC39H			－	○		
F05CEH	CAN受信FIFOアクセス・レジスタ3CH[注2]	RFDF32L	RFDF32	R	－	○	○	0000H
F05CFH		RFDF32H			－	○		
F05D0H	CAN用RAMテスト・レジスタ40[注1]	RPGACC40L	RPGACC40	R/W	－	○	○	0000H
F05D1H		RPGACC40H			－	○		
F05D0H	CAN受信FIFOアクセス・レジスタ3AL[注2]	RFIDL3L	RFIDL3	R	－	○	○	0000H
F05D1H		RFIDL3H			－	○		
F05D2H	CAN用RAMテスト・レジスタ41[注1]	RPGACC41L	RPGACC41	R/W	－	○	○	0000H
F05D3H		RPGACC41H			－	○		
F05D2H	CAN受信FIFOアクセス・レジスタ3AH[注2]	RFIDH3L	RFIDH3	R	－	○	○	0000H
F05D3H		RFIDH3H			－	○		
F05D4H	CAN用RAMテスト・レジスタ42[注1]	RPGACC42L	RPGACC42	R/W	－	○	○	0000H
F05D5H		RPGACC42H			－	○		
F05D4H	CAN受信FIFOアクセス・レジスタ3BL[注2]	RFTS3L	RFTS3	R	－	○	○	0000H
F05D5H		RFTS3H			－	○		
F05D6H	CAN用RAMテスト・レジスタ43[注1]	RPGACC43L	RPGACC43	R/W	－	○	○	0000H
F05D7H		RPGACC43H			－	○		
F05D6H	CAN受信FIFOアクセス・レジスタ3BH[注2]	RFPTR3L	RFPTR3	R	－	○	○	0000H
F05D7H		RFPTR3H			－	○		
F05D8H	CAN用RAMテスト・レジスタ44[注1]	RPGACC44L	RPGACC44	R/W	－	○	○	0000H
F05D9H		RPGACC44H			－	○		
F05D8H	CAN受信FIFOアクセス・レジスタ3CL[注2]	RFDF03L	RFDF03	R	－	○	○	0000H
F05D9H		RFDF03H			－	○		
F05DAH	CAN用RAMテスト・レジスタ45[注1]	RPGACC45L	RPGACC45	R/W	－	○	○	0000H
F05DBH		RPGACC45H			－	○		
F05DAH	CAN受信FIFOアクセス・レジスタ3CH[注2]	RFDF13L	RFDF13	R	－	○	○	0000H
F05DBH		RFDF13H			－	○		
F05DCH	CAN用RAMテスト・レジスタ46[注1]	RPGACC46L	RPGACC46	R/W	－	○	○	0000H
F05DDH		RPGACC46H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（41/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F05DCH	CAN受信FIFOアクセス・レジスタ3DL[注2]	RFDF23L	RFDF23	R	－	○	○	0000H
F05DDH		RFDF23H			－	○		
F05DEH	CAN用RAMテスト・レジスタ47[注1]	RPGACC47L	RPGACC47	R/W	－	○	○	0000H
F05DFH		RPGACC47H			－	○		
F05DEH	CAN受信FIFOアクセス・レジスタ3DH[注2]	RFDF33L	RFDF33	R	－	○	○	0000H
F05DFH		RFDF33H			－	○		
F05E0H	CAN用RAMテスト・レジスタ48[注1]	RPGACC48L	RPGACC48	R/W	－	○	○	0000H
F05E1H		RPGACC48H			－	○		
F05E0H	CAN0送受信FIFOアクセス・レジスタ0AL[注2]	CFIDL0L	CFIDL0	R/W	－	○	○	0000H
F05E1H		CFIDL0H			－	○		
F05E2H	CAN用RAMテスト・レジスタ49[注1]	RPGACC49L	RPGACC49	R/W	－	○	○	0000H
F05E3H		RPGACC49H			－	○		
F05E2H	CAN0送受信FIFOアクセス・レジスタ0AH[注2]	CFIDH0L	CFIDH0	R/W	－	○	○	0000H
F05E3H		CFIDH0H			－	○		
F05E4H	CAN用RAMテスト・レジスタ50[注1]	RPGACC50L	RPGACC50	R/W	－	○	○	0000H
F05E5H		RPGACC50H			－	○		
F05E4H	CAN0送受信FIFOアクセス・レジスタ0BL[注2]	CFTS0L	CFTS0	R	－	○	○	0000H
F05E5H		CFTS0H			－	○		
F05E6H	CAN用RAMテスト・レジスタ51[注1]	RPGACC51L	RPGACC51	R/W	－	○	○	0000H
F05E7H		RPGACC51H			－	○		
F05E6H	CAN0送受信FIFOアクセス・レジスタ0BH[注2]	CFPTR0L	CFPTR0	R/W	－	○	○	0000H
F05E7H		CFPTR0H			－	○		
F05E8H	CAN用RAMテスト・レジスタ52[注1]	RPGACC52L	RPGACC52	R/W	－	○	○	0000H
F05E9H		RPGACC52H			－	○		
F05E8H	CAN0送受信FIFOアクセス・レジスタ0CL[注2]	CFDF00L	CFDF00	R/W	－	○	○	0000H
F05E9H		CFDF00H			－	○		
F05EAH	CAN用RAMテスト・レジスタ53[注1]	RPGACC53L	RPGACC53	R/W	－	○	○	0000H
F05EBH		RPGACC53H			－	○		
F05EAH	CAN0送受信FIFOアクセス・レジスタ0CH[注2]	CFDF10L	CFDF10	R/W	－	○	○	0000H
F05EBH		CFDF10H			－	○		
F05ECH	CAN用RAMテスト・レジスタ54[注1]	RPGACC54L	RPGACC54	R/W	－	○	○	0000H
F05EDH		RPGACC54H			－	○		
F05ECH	CAN0送受信FIFOアクセス・レジスタ0DL[注2]	CFDF20L	CFDF20	R/W	－	○	○	0000H
F05EDH		CFDF20H			－	○		
F05EEH	CAN用RAMテスト・レジスタ55[注1]	RPGACC55L	RPGACC55	R/W	－	○	○	0000H
F05EFH		RPGACC55H			－	○		
F05EEH	CAN0送受信FIFOアクセス・レジスタ0DH[注2]	CFDF30L	CFDF30	R/W	－	○	○	0000H
F05EFH		CFDF30H			－	○		
F05F0H	CAN用RAMテスト・レジスタ56[注1]	RPGACC56L	RPGACC56	R/W	－	○	○	0000H
F05F1H		RPGACC56H			－	○		
F05F0H	CAN1送受信FIFOアクセス・レジスタ1AL[注2]	CFIDL1L	CFIDL1	R/W	－	○	○	0000H
F05F1H		CFIDL1H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（42/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F05F2H	CAN用RAMテスト・レジスタ57[注1]	RPGACC57L	RPGACC57	R/W	－	○	○	0000H
F05F3H		RPGACC57H			－	○		
F05F2H	CAN1送受信FIFOアクセス・レジスタ1AH[注2]	CFIDH1L	CFIDH1	R/W	－	○	○	0000H
F05F3H		CFIDH1H			－	○		
F05F4H	CAN用RAMテスト・レジスタ58[注1]	RPGACC58L	RPGACC58	R/W	－	○	○	0000H
F05F5H		RPGACC58H			－	○		
F05F4H	CAN1送受信FIFOアクセス・レジスタ1BL[注2]	CFTS1L	CFTS1	R	－	○	○	0000H
F05F5H		CFTS1H			－	○		
F05F6H	CAN用RAMテスト・レジスタ59[注1]	RPGACC59L	RPGACC59	R/W	－	○	○	0000H
F05F7H		RPGACC59H			－	○		
F05F6H	CAN1送受信FIFOアクセス・レジスタ1BH[注2]	CFPTR1L	CFPTR1	R/W	－	○	○	0000H
F05F7H		CFPTR1H			－	○		
F05F8H	CAN用RAMテスト・レジスタ60[注1]	RPGACC60L	RPGACC60	R/W	－	○	○	0000H
F05F9H		RPGACC60H			－	○		
F05F8H	CAN1送受信FIFOアクセス・レジスタ1CL[注2]	CFDF01L	CFDF01	R/W	－	○	○	0000H
F05F9H		CFDF01H			－	○		
F05FAH	CAN用RAMテスト・レジスタ61[注1]	RPGACC61L	RPGACC61	R/W	－	○	○	0000H
F05FBH		RPGACC61H			－	○		
F05FAH	CAN1送受信FIFOアクセス・レジスタ1CH[注2]	CFDF11L	CFDF11	R/W	－	○	○	0000H
F05FBH		CFDF11H			－	○		
F05FCH	CAN用RAMテスト・レジスタ62[注1]	RPGACC62L	RPGACC62	R/W	－	○	○	0000H
F05FDH		RPGACC62H			－	○		
F05FCH	CAN1送受信FIFOアクセス・レジスタ2DL[注2]	CFDF21L	CFDF21	R/W	－	○	○	0000H
F05FDH		CFDF21H			－	○		
F05FEH	CAN用RAMテスト・レジスタ63[注1]	RPGACC63L	RPGACC63	R/W	－	○	○	0000H
F05FFH		RPGACC63H			－	○		
F05FEH	CAN1送受信FIFOアクセス・レジスタ1DH[注2]	CFDF31L	CFDF31	R/W	－	○	○	0000H
F05FFH		CFDF31H			－	○		
F0600H	CAN用RAMテスト・レジスタ64[注1]	RPGACC64L	RPGACC64	R/W	－	○	○	0000H
F0601H		RPGACC64H			－	○		
F0600H	CAN0送信バッファ・レジスタ0AL[注2]	TMIDL0L	TMIDL0	R/W	－	○	○	0000H
F0601H		TMIDL0H			－	○		
F0602H	CAN用RAMテスト・レジスタ65[注1]	RPGACC65L	RPGACC65	R/W	－	○	○	0000H
F0603H		RPGACC65H			－	○		
F0602H	CAN0送信バッファ・レジスタ0AH[注2]	TMIDH0L	TMIDH0	R/W	－	○	○	0000H
F0603H		TMIDH0H			－	○		
F0604H	CAN用RAMテスト・レジスタ66[注1]	RPGACC66L	RPGACC66	R/W	－	○	○	0000H
F0605H		RPGACC66H			－	○		
F0606H	CAN用RAMテスト・レジスタ67[注1]	RPGACC67L	RPGACC67	R/W	－	○	○	0000H
F0607H		RPGACC67H			－	○		
F0606H	CAN0送信バッファ・レジスタ0BH[注2]	TMPTR0L	TMPTR0	R/W	－	○	○	0000H
F0607H		TMPTR0H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（43/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0608H	CAN用RAMテスト・レジスタ68[注1]	RPGACC68L	RPGACC68	R/W	－	○	○	0000H
F0609H		RPGACC68H			－	○		
F0608H	CAN0送信バッファ・レジスタ0CL[注2]	TMDF00L	TMDF00	R/W	－	○	○	0000H
F0609H		TMDF00H			－	○		
F060AH	CAN用RAMテスト・レジスタ69[注1]	RPGACC69L	RPGACC69	R/W	－	○	○	0000H
F060BH		RPGACC69H			－	○		
F060AH	CAN0送信バッファ・レジスタ0CH[注2]	TMDF10L	TMDF10	R/W	－	○	○	0000H
F060BH		TMDF10H			－	○		
F060CH	CAN用RAMテスト・レジスタ70[注1]	RPGACC70L	RPGACC70	R/W	－	○	○	0000H
F060DH		RPGACC70H			－	○		
F060CH	CAN0送信バッファ・レジスタ0DL[注2]	TMDF20L	TMDF20	R/W	－	○	○	0000H
F060DH		TMDF20H			－	○		
F060EH	CAN用RAMテスト・レジスタ71[注1]	RPGACC71L	RPGACC71	R/W	－	○	○	0000H
F060FH		RPGACC71H			－	○		
F060EH	CAN0送信バッファ・レジスタ0DH[注2]	TMDF30L	TMDF30	R/W	－	○	○	0000H
F060FH		TMDF30H			－	○		
F0610H	CAN用RAMテスト・レジスタ72[注1]	RPGACC72L	RPGACC72	R/W	－	○	○	0000H
F0611H		RPGACC72H			－	○		
F0610H	CAN0送信バッファ・レジスタ1AL[注2]	TMIDL1L	TMIDL1	R/W	－	○	○	0000H
F0611H		TMIDL1H			－	○		
F0612H	CAN用RAMテスト・レジスタ73[注1]	RPGACC73L	RPGACC73	R/W	－	○	○	0000H
F0613H		RPGACC73H			－	○		
F0612H	CAN0送信バッファ・レジスタ1AH[注2]	TMIDH1L	TMIDH1	R/W	－	○	○	0000H
F0613H		TMIDH1H			－	○		
F0614H	CAN用RAMテスト・レジスタ74[注1]	RPGACC74L	RPGACC74	R/W	－	○	○	0000H
F0615H		RPGACC74H			－	○		
F0616H	CAN用RAMテスト・レジスタ75[注1]	RPGACC75L	RPGACC75	R/W	－	○	○	0000H
F0617H		RPGACC75H			－	○		
F0616H	CAN0送信バッファ・レジスタ1BH[注2]	TMPTR1L	TMPTR1	R/W	－	○	○	0000H
F0617H		TMPTR1H			－	○		
F0618H	CAN用RAMテスト・レジスタ76[注1]	RPGACC76L	RPGACC76	R/W	－	○	○	0000H
F0619H		RPGACC76H			－	○		
F0618H	CAN0送信バッファ・レジスタ1CL[注2]	TMDF01L	TMDF01	R/W	－	○	○	0000H
F0619H		TMDF01H			－	○		
F061AH	CAN用RAMテスト・レジスタ77[注1]	RPGACC77L	RPGACC77	R/W	－	○	○	0000H
F061BH		RPGACC77H			－	○		
F061AH	CAN0送信バッファ・レジスタ1CH[注2]	TMDF11L	TMDF11	R/W	－	○	○	0000H
F061BH		TMDF11H			－	○		
F061CH	CAN用RAMテスト・レジスタ78[注1]	RPGACC78L	RPGACC78	R/W	－	○	○	0000H
F061DH		RPGACC78H			－	○		
F061CH	CAN0送信バッファ・レジスタ1DL[注2]	TMDF21L	TMDF21	R/W	－	○	○	0000H
F061DH		TMDF21H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（44/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F061EH	CAN用RAMテスト・レジスタ79[注1]	RPGACC79L	RPGACC79	R/W	－	○	○	0000H
F061FH		RPGACC79H			－	○		
F061EH	CAN0送信バッファ・レジスタ1DH[注2]	TMDF31L	TMDF31	R/W	－	○	○	0000H
F061FH		TMDF31H			－	○		
F0620H	CAN用RAMテスト・レジスタ80[注1]	RPGACC80L	RPGACC80	R/W	－	○	○	0000H
F0621H		RPGACC80H			－	○		
F0620H	CAN0送信バッファ・レジスタ2AL[注2]	TMIDL2L	TMIDL2	R/W	－	○	○	0000H
F0621H		TMIDL2H			－	○		
F0622H	CAN用RAMテスト・レジスタ81[注1]	RPGACC81L	RPGACC81	R/W	－	○	○	0000H
F0623H		RPGACC81H			－	○		
F0622H	CAN0送信バッファ・レジスタ2AH[注2]	TMIDH2L	TMIDH2	R/W	－	○	○	0000H
F0623H		TMIDH2H			－	○		
F0624H	CAN用RAMテスト・レジスタ82[注1]	RPGACC82L	RPGACC82	R/W	－	○	○	0000H
F0625H		RPGACC82H			－	○		
F0626H	CAN用RAMテスト・レジスタ83[注1]	RPGACC83L	RPGACC83	R/W	－	○	○	0000H
F0627H		RPGACC83H			－	○		
F0626H	CAN0送信バッファ・レジスタ2BH[注2]	TMPTR2L	TMPTR2	R/W	－	○	○	0000H
F0627H		TMPTR2H			－	○		
F0628H	CAN用RAMテスト・レジスタ84[注1]	RPGACC84L	RPGACC84	R/W	－	○	○	0000H
F0629H		RPGACC84H			－	○		
F0628H	CAN0送信バッファ・レジスタ2CL[注2]	TMDF02L	TMDF02	R/W	－	○	○	0000H
F0629H		TMDF02H			－	○		
F062AH	CAN用RAMテスト・レジスタ85[注1]	RPGACC85L	RPGACC85	R/W	－	○	○	0000H
F062BH		RPGACC85H			－	○		
F062AH	CAN0送信バッファ・レジスタ2CH[注2]	TMDF12L	TMDF12	R/W	－	○	○	0000H
F062BH		TMDF12H			－	○		
F062CH	CAN用RAMテスト・レジスタ86[注1]	RPGACC86L	RPGACC86	R/W	－	○	○	0000H
F062DH		RPGACC86H			－	○		
F062CH	CAN0送信バッファ・レジスタ2DL[注2]	TMDF22L	TMDF22	R/W	－	○	○	0000H
F062DH		TMDF22H			－	○		
F062EH	CAN用RAMテスト・レジスタ87[注1]	RPGACC87L	RPGACC87	R/W	－	○	○	0000H
F062FH		RPGACC87H			－	○		
F062EH	CAN0送信バッファ・レジスタ2DH[注2]	TMDF32L	TMDF32	R/W	－	○	○	0000H
F062FH		TMDF32H			－	○		
F0630H	CAN用RAMテスト・レジスタ88[注1]	RPGACC88L	RPGACC88	R/W	－	○	○	0000H
F0631H		RPGACC88H			－	○		
F0630H	CAN0送信バッファ・レジスタ3AL[注2]	TMIDL3L	TMIDL3	R/W	－	○	○	0000H
F0631H		TMIDL3H			－	○		
F0632H	CAN用RAMテスト・レジスタ89[注1]	RPGACC89L	RPGACC89	R/W	－	○	○	0000H
F0633H		RPGACC89H			－	○		
F0632H	CAN0送信バッファ・レジスタ3AH[注2]	TMIDH3L	TMIDH3	R/W	－	○	○	0000H
F0633H		TMIDH3H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（45/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0634H	CAN用RAMテスト・レジスタ90[注1]	RPGACC90L	RPGACC90	R/W	－	○	○	0000H
F0635H		RPGACC90H			－	○		
F0636H	CAN用RAMテスト・レジスタ91[注1]	RPGACC91L	RPGACC91	R/W	－	○	○	0000H
F0637H		RPGACC91H			－	○		
F0636H	CAN0送信バッファ・レジスタ3BH[注2]	TMPTR3L	TMPTR3	R/W	－	○	○	0000H
F0637H		TMPTR3H			－	○		
F0638H	CAN用RAMテスト・レジスタ92[注1]	RPGACC92L	RPGACC92	R/W	－	○	○	0000H
F0639H		RPGACC92H			－	○		
F0638H	CAN0送信バッファ・レジスタ3CL[注2]	TMDF03L	TMDF03	R/W	－	○	○	0000H
F0639H		TMDF03H			－	○		
F063AH	CAN用RAMテスト・レジスタ93[注1]	RPGACC93L	RPGACC93	R/W	－	○	○	0000H
F063BH		RPGACC93H			－	○		
F063AH	CAN0送信バッファ・レジスタ3CH[注2]	TMDF13L	TMDF13	R/W	－	○	○	0000H
F063BH		TMDF13H			－	○		
F063CH	CAN用RAMテスト・レジスタ94[注1]	RPGACC94L	RPGACC94	R/W	－	○	○	0000H
F063DH		RPGACC94H			－	○		
F063CH	CAN0送信バッファ・レジスタ3DL[注2]	TMDF23L	TMDF23	R/W	－	○	○	0000H
F063DH		TMDF23H			－	○		
F063EH	CAN用RAMテスト・レジスタ95[注1]	RPGACC95L	RPGACC95	R/W	－	○	○	0000H
F063FH		RPGACC95H			－	○		
F063EH	CAN0送信バッファ・レジスタ3DH[注2]	TMDF33L	TMDF33	R/W	－	○	○	0000H
F063FH		TMDF33H			－	○		
F0640H	CAN用RAMテスト・レジスタ96[注1]	RPGACC96L	RPGACC96	R/W	－	○	○	0000H
F0641H		RPGACC96H			－	○		
F0640H	CAN1送信バッファ・レジスタ4AL[注2]	TMIDL4L	TMIDL4	R/W	－	○	○	0000H
F0641H		TMIDL4H			－	○		
F0642H	CAN用RAMテスト・レジスタ97[注1]	RPGACC97L	RPGACC97	R/W	－	○	○	0000H
F0643H		RPGACC97H			－	○		
F0642H	CAN1送信バッファ・レジスタ4AH[注2]	TMIDH4L	TMIDH4	R/W	－	○	○	0000H
F0643H		TMIDH4H			－	○		
F0644H	CAN用RAMテスト・レジスタ98[注1]	RPGACC98L	RPGACC98	R/W	－	○	○	0000H
F0645H		RPGACC98H			－	○		
F0646H	CAN用RAMテスト・レジスタ99[注1]	RPGACC99L	RPGACC99	R/W	－	○	○	0000H
F0647H		RPGACC99H			－	○		
F0646H	CAN1送信バッファ・レジスタ4BH[注2]	TMPTR4L	TMPTR4	R/W	－	○	○	0000H
F0647H		TMPTR4H			－	○		
F0648H	CAN用RAMテスト・レジスタ100[注1]	RPGACC100L	RPGACC100	R/W	－	○	○	0000H
F0649H		RPGACC100H			－	○		
F0648H	CAN1送信バッファ・レジスタ4CL[注2]	TMDF04L	TMDF04	R/W	－	○	○	0000H
F0649H		TMDF04H			－	○		
F064AH	CAN用RAMテスト・レジスタ101[注1]	RPGACC101L	RPGACC101	R/W	－	○	○	0000H
F064BH		RPGACC101H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（46/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F064AH	CAN1送信バッファ・レジスタ4CH[注2]	TMDF14L	TMDF14	R/W	－	○	○	0000H
F064BH		TMDF14H			－	○		
F064CH	CAN用RAMテスト・レジスタ102[注1]	RPGACC102L	RPGACC102	R/W	－	○	○	0000H
F064DH		RPGACC102H			－	○		
F064CH	CAN1送信バッファ・レジスタ4DL[注2]	TMDF24L	TMDF24	R/W	－	○	○	0000H
F064DH		TMDF24H			－	○		
F064EH	CAN用RAMテスト・レジスタ103[注1]	RPGACC103L	RPGACC103	R/W	－	○	○	0000H
F064FH		RPGACC103H			－	○		
F064EH	CAN1送信バッファ・レジスタ4DH[注2]	TMDF34L	TMDF34	R/W	－	○	○	0000H
F064FH		TMDF34H			－	○		
F0650H	CAN用RAMテスト・レジスタ104[注1]	RPGACC104L	RPGACC104	R/W	－	○	○	0000H
F0651H		RPGACC104H			－	○		
F0650H	CAN1送信バッファ・レジスタ5AL[注2]	TMIDL5L	TMIDL5	R/W	－	○	○	0000H
F0651H		TMIDL5H			－	○		
F0652H	CAN用RAMテスト・レジスタ105[注1]	RPGACC105L	RPGACC105	R/W	－	○	○	0000H
F0653H		RPGACC105H			－	○		
F0652H	CAN1送信バッファ・レジスタ5AH[注2]	TMIDH5L	TMIDH5	R/W	－	○	○	0000H
F0653H		TMIDH5H			－	○		
F0654H	CAN用RAMテスト・レジスタ106[注1]	RPGACC106L	RPGACC106	R/W	－	○	○	0000H
F0655H		RPGACC106H			－	○		
F0656H	CAN用RAMテスト・レジスタ107[注1]	RPGACC107L	RPGACC107	R/W	－	○	○	0000H
F0657H		RPGACC107H			－	○		
F0656H	CAN1送信バッファ・レジスタ5BH[注2]	TMPTR5L	TMPTR5	R/W	－	○	○	0000H
F0657H		TMPTR5H			－	○		
F0658H	CAN用RAMテスト・レジスタ108[注1]	RPGACC108L	RPGACC108	R/W	－	○	○	0000H
F0659H		RPGACC108H			－	○		
F0658H	CAN1送信バッファ・レジスタ5CL[注2]	TMDF05L	TMDF05	R/W	－	○	○	0000H
F0659H		TMDF05H			－	○		
F065AH	CAN用RAMテスト・レジスタ109[注1]	RPGACC109L	RPGACC109	R/W	－	○	○	0000H
F065BH		RPGACC109H			－	○		
F065AH	CAN1送信バッファ・レジスタ5CH[注2]	TMDF15L	TMDF15	R/W	－	○	○	0000H
F065BH		TMDF15H			－	○		
F065CH	CAN用RAMテスト・レジスタ110[注1]	RPGACC110L	RPGACC110	R/W	－	○	○	0000H
F065DH		RPGACC110H			－	○		
F065CH	CAN1送信バッファ・レジスタ5DL[注2]	TMDF25L	TMDF25	R/W	－	○	○	0000H
F065DH		TMDF25H			－	○		
F065EH	CAN用RAMテスト・レジスタ111[注1]	RPGACC111L	RPGACC111	R/W	－	○	○	0000H
F065FH		RPGACC111H			－	○		
F065EH	CAN1送信バッファ・レジスタ5DH[注2]	TMDF35L	TMDF35	R/W	－	○	○	0000H
F065FH		TMDF35H			－	○		
F0660H	CAN用RAMテスト・レジスタ112[注1]	RPGACC112L	RPGACC112	R/W	－	○	○	0000H
F0661H		RPGACC112H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（47/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F0660H	CAN1送信バッファ・レジスタ6AL[注2]	TMIDL6L	TMIDL6	R/W	－	○	○	0000H
F0661H		TMIDL6H			－	○		
F0662H	CAN用RAMテスト・レジスタ113[注1]	RPGACC113L	RPGACC113	R/W	－	○	○	0000H
F0663H		RPGACC113H			－	○		
F0662H	CAN1送信バッファ・レジスタ6AH[注2]	TMIDH6L	TMIDH6	R/W	－	○	○	0000H
F0663H		TMIDH6H			－	○		
F0664H	CAN用RAMテスト・レジスタ114[注1]	RPGACC114L	RPGACC114	R/W	－	○	○	0000H
F0665H		RPGACC114H			－	○		
F0666H	CAN用RAMテスト・レジスタ115[注1]	RPGACC115L	RPGACC115	R/W	－	○	○	0000H
F0667H		RPGACC115H			－	○		
F0666H	CAN1送信バッファ・レジスタ6BH[注2]	TMPTR6L	TMPTR6	R/W	－	○	○	0000H
F0667H		TMPTR6H			－	○		
F0668H	CAN用RAMテスト・レジスタ116[注1]	RPGACC116L	RPGACC116	R/W	－	○	○	0000H
F0669H		RPGACC116H			－	○		
F0668H	CAN1送信バッファ・レジスタ6CL[注2]	TMDF06L	TMDF06	R/W	－	○	○	0000H
F0669H		TMDF06H			－	○		
F066AH	CAN用RAMテスト・レジスタ117[注1]	RPGACC117L	RPGACC117	R/W	－	○	○	0000H
F066BH		RPGACC117H			－	○		
F066AH	CAN1送信バッファ・レジスタ6CH[注2]	TMDF16L	TMDF16	R/W	－	○	○	0000H
F066BH		TMDF16H			－	○		
F066CH	CAN用RAMテスト・レジスタ118[注1]	RPGACC118L	RPGACC118	R/W	－	○	○	0000H
F066DH		RPGACC118H			－	○		
F066CH	CAN1送信バッファ・レジスタ6DL[注2]	TMDF26L	TMDF26	R/W	－	○	○	0000H
F066DH		TMDF26H			－	○		
F066EH	CAN用RAMテスト・レジスタ119[注1]	RPGACC119L	RPGACC119	R/W	－	○	○	0000H
F066FH		RPGACC119H			－	○		
F066EH	CAN1送信バッファ・レジスタ6DH[注2]	TMDF36L	TMDF36	R/W	－	○	○	0000H
F066FH		TMDF36H			－	○		
F0670H	CAN用RAMテスト・レジスタ120[注1]	RPGACC120L	RPGACC120	R/W	－	○	○	0000H
F0671H		RPGACC120H			－	○		
F0670H	CAN1送信バッファ・レジスタ7AL[注2]	TMIDL7L	TMIDL7	R/W	－	○	○	0000H
F0671H		TMIDL7H			－	○		
F0672H	CAN用RAMテスト・レジスタ121[注1]	RPGACC121L	RPGACC121	R/W	－	○	○	0000H
F0673H		RPGACC121H			－	○		
F0672H	CAN1送信バッファ・レジスタ7AH[注2]	TMIDH7L	TMIDH7	R/W	－	○	○	0000H
F0673H		TMIDH7H			－	○		
F0674H	CAN用RAMテスト・レジスタ122[注1]	RPGACC122L	RPGACC122	R/W	－	○	○	0000H
F0675H		RPGACC122H			－	○		
F0676H	CAN用RAMテスト・レジスタ123[注1]	RPGACC123L	RPGACC123	R/W	－	○	○	0000H
F0677H		RPGACC123H			－	○		
F0676H	CAN1送信バッファ・レジスタ7BH[注2]	TMPTR7L	TMPTR7	R/W	－	○	○	0000H
F0677H		TMPTR7H			－	○		

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3－6 拡張SFR（2nd SFR）一覧（48/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0678H	CAN用RAMテスト・レジスタ124[注1]	RPGACC124L	RPGACC124	R/W	－	○	○	0000H
F0679H		RPGACC124H			－	○		
F0678H	CAN1送信バッファ・レジスタ7CL[注2]	TMDF07L	TMDF07	R/W	－	○	○	0000H
F0679H		TMDF07H			－	○		
F067AH	CAN用RAMテスト・レジスタ125[注]	RPGACC125L	RPGACC125	R/W	－	○	○	0000H
F067BH		RPGACC125H			－	○		
F067AH	CAN1送信バッファ・レジスタ7CH[注2]	TMDF17L	TMDF17	R/W	－	○	○	0000H
F067BH		TMDF17H			－	○		
F067CH	CAN用RAMテスト・レジスタ126[注]	RPGACC126L	RPGACC126	R/W	－	○	○	0000H
F067DH		RPGACC126H			－	○		
F067CH	CAN1送信バッファ・レジスタ7DL[注2]	TMDF27L	TMDF27	R/W	－	○	○	0000H
F067DH		TMDF27H			－	○		
F067EH	CAN用RAMテスト・レジスタ127[注1]	RPGACC127L	RPGACC127	R/W	－	○	○	0000H
F067FH		RPGACC127H			－	○		
F067EH	CAN1送信バッファ・レジスタ7DH[注2]	TMDF37L	TMDF37	R/W	－	○	○	0000H
F067FH		TMDF37H			－	○		
F0680H	CAN0送信履歴バッファ・アクセス・レジスタ[注2]	THLACC0L	THLACC0	R	－	○	○	0000H
F0681H		THLACC0H			－	○		
F0684H	CAN1送信履歴バッファ・アクセス・レジスタ[注2]	THLACC1L	THLACC1	R	－	○	○	0000H
F0685H		THLACC1H			－	○		
F06C1H	LINウェイクアップ・ボー・レート選択レジスタ	LWBR0/LWBR1/LWBR2		R/W	－	○	－	00H
F06C2H	LIN/UARTボー・レート・プリスケーラ0レジスタ	LBRP00/LBRP10/LBRP20	LBRP0/LBRP1/LBRP2	R/W	－	○	○	00H
F06C3H	LIN/UARTボー・レート・プリスケーラ1レジスタ	LBRP01/LBRP11/LBRP21		R/W	－	○		00H
F06C4H	LINセルフテスト・コントロール・レジスタ	LSTC0/LSTC1/LSTC2		R/W	－	○	－	00H
F06C5H	UARTスタンバイ・コントロール・レジスタ	LUSC0/LUSC1/LUSC2		R/W	－	○	－	00H
F06C8H	LIN/UARTモード・レジスタ	LMD0/LMD1/LMD2		R/W	－	○	－	00H
F06C9H	LINブレーク・フィールド・コンフィギュレーション・レジスタ／UARTコンフィギュレーション・レジスタ	LBFC0/LBFC1/LBFC2		R/W	－	○	－	00H
F06CAH	LIN/UARTスペース・コンフィギュレーション・レジスタ	LSC0/LSC1/LSC2		R/W	－	○	－	00H
F06CBH	LINウェイクアップ・コンフィギュレーション・レジスタ	LWUP0/LWUP1/LWUP2		R/W	－	○	－	00H
F06CCH	LIN割り込み許可レジスタ	LIE0/LIE1/LIE2		R/W	－	○	－	00H
F06CDH	LIN/UARTエラー検出許可レジスタ	LEDE0/LEDE1/LEDE2		R/W	－	○	－	00H
F06CEH	LIN/UARTコントロール・レジスタ	LCUC0/LCUC1/LCUC2		R/W	－	○	－	00H
F06D0H	LIN/UART送信コントロール・レジスタ	LTRC0/LTRC1/LTRC2		R/W	－	○	－	00H
F06D1H	LIN/UARTモード・ステータス・レジスタ	LMST0/LMST1/LMST2		R	－	○	－	00H
F06D2H	LIN/UARTステータス・レジスタ	LST0/LST1/LST2		R/W	－	○	－	00H
F06D3H	LIN/UARTエラー・ステータス・レジスタ	LEST0/LEST1/LEST2		R/W	－	○	－	00H
F06D4H	LIN/UARTデータ・フィールド・コンフィギュレーション・レジスタ	LDFC0/LDFC1/LDFC2		R/W	－	○	－	00H
F06D5H	LIN/UART IDバッファ・レジスタ	LIDB0/LIDB1/LIDB2		R/W	－	○	－	00H

注1. CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2. CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表3−6 拡張SFR（2nd SFR）一覧（49/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号		R/W	操作可能ビット範囲			リセット時
					1 ビット	8 ビット	16 ビット	
F06D6H	LINチェックサム・バッファ・レジスタ	LCBR0/LCBR1/LCBR2		R/W	−	○	−	00H
F06D7H	UARTデータ・バッファ0レジスタ	LUDB00/LUDB10/LUDB20		R/W	−	○	−	00H
F06D8H	LIN/UARTデータ・バッファ1・レジスタ	LDB01/LDB11/LDB21		R/W	−	○	−	00H
F06D9H	LIN/UARTデータ・バッファ2・レジスタ	LDB02/LDB12/LDB22		R/W	−	○	−	00H
F06DAH	LIN/UARTデータ・バッファ3・レジスタ	LDB03/LDB13/LDB23		R/W	−	○	−	00H
F06DBH	LIN/UARTデータ・バッファ4・レジスタ	LDB04/LDB14/LDB24		R/W	−	○	−	00H
F06DCH	LIN/UARTデータ・バッファ5・レジスタ	LDB05/LDB15/LDB25		R/W	−	○	−	00H
F06DDH	LIN/UARTデータ・バッファ6・レジスタ	LDB06/LDB16/LDB26		R/W	−	○	−	00H
F06DEH	LIN/UARTデータ・バッファ7・レジスタ	LDB07/LDB17/LDB27		R/W	−	○	−	00H
F06DFH	LIN/UARTデータ・バッファ8・レジスタ	LDB08/LDB18/LDB28		R/W	−	○	−	00H
F06E0H	UARTオペレーション許可レジスタ	LUOER0/LUOER1/LUOER2		R/W	−	○	−	00H
F06E1H	UARTオプション・レジスタ1	LUOR01/LUOR11/LUOR21		R/W	−	○	−	00H
F06E4H	UART送信データ・レジスタ	LUTDR0L/ LUTDR1L/ LUTDR2L	LUTDR0/ LUTDR1/ LUTDR2	R/W	−	○	○	0000H
F06E5H		LUTDR0H/ LUTDR1H/ LUTDR2H			−	○		
F06E6H	UART受信データ・レジスタ	LURDR0L/ LURDR1L/ LURDR2L	LURDR0/ LURDR1/ LURDR2	R	−	○	○	0000H
F06E7H		LURDR0H/ LURDR1H/ LURDR2H			−	○		
F06E8H	UARTウェイト用送信データ・レジスタ	LUWTDR0L/ LUWTDR1L/ LUWTDR2L	LUWTDR0/ LUWTDR1/ LUWTDR2	R/W	−	○	○	0000H
F06E9H		LUWTDR0H/ LUWTDR1H/ LUWTDR2H			−	○		
F06F0H	タイマRJカウンタ・レジスタ0	TRJ0		R/W	−	−	○	FFFFH
F06F1H								
F0780H	イベント出力先選択レジスタ00	ELSELR00		R/W	○	○	−	00H
F0781H	イベント出力先選択レジスタ01	ELSELR01		R/W	○	○	−	00H
F0782H	イベント出力先選択レジスタ02	ELSELR02		R/W	○	○	−	00H
F0783H	イベント出力先選択レジスタ03	ELSELR03		R/W	○	○	−	00H
F0784H	イベント出力先選択レジスタ04	ELSELR04		R/W	○	○	−	00H
F0785H	イベント出力先選択レジスタ05	ELSELR05		R/W	○	○	−	00H
F0786H	イベント出力先選択レジスタ06	ELSELR06		R/W	○	○	−	00H
F0787H	イベント出力先選択レジスタ07	ELSELR07		R/W	○	○	−	00H
F0788H	イベント出力先選択レジスタ08	ELSELR08		R/W	○	○	−	00H
F0789H	イベント出力先選択レジスタ09	ELSELR09		R/W	○	○	−	00H
F078AH	イベント出力先選択レジスタ10	ELSELR10		R/W	○	○	−	00H
F078BH	イベント出力先選択レジスタ11	ELSELR11		R/W	○	○	−	00H
F078CH	イベント出力先選択レジスタ12	ELSELR12		R/W	○	○	−	00H
F078DH	イベント出力先選択レジスタ13	ELSELR13		R/W	○	○	−	00H
F078EH	イベント出力先選択レジスタ14	ELSELR14		R/W	○	○	−	00H
F078FH	イベント出力先選択レジスタ15	ELSELR15		R/W	○	○	−	00H

表3－6 拡張SFR（2nd SFR）一覧（50/50）

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット範囲			リセット時
				1 ビット	8 ビット	16 ビット	
F0790H	イベント出力先選択レジスタ16	ELSELR16	R/W	○	○	－	00H
F0791H	イベント出力先選択レジスタ17	ELSELR17	R/W	○	○	－	00H
F0792H	イベント出力先選択レジスタ18	ELSELR18	R/W	○	○	－	00H
F0793H	イベント出力先選択レジスタ19	ELSELR19	R/W	○	○	－	00H
F0794H	イベント出力先選択レジスタ20	ELSELR20	R/W	○	○	－	00H
F0795H	イベント出力先選択レジスタ21	ELSELR21	R/W	○	○	－	00H
F0796H	イベント出力先選択レジスタ22	ELSELR22	R/W	○	○	－	00H
F0797H	イベント出力先選択レジスタ23	ELSELR23	R/W	○	○	－	00H
F0798H	イベント出力先選択レジスタ24	ELSELR24	R/W	○	○	－	00H
F0799H	イベント出力先選択レジスタ25	ELSELR25	R/W	○	○	－	00H
F07C0H	IEBB0バス・コントロール・レジスタ	IEBB0BCR	R/W	○	○	－	00H
F07C1H	IEBB0パワー・セーブ・レジスタ	IEBB0PSR	R/W	○	○	－	00H
F07C2H	IEBB0ユニット・アドレス・レジスタ	IEBB0UAR	R/W	－	－	○	0000H
F07C3H							
F07C4H	IEBB0スレーブ・アドレス・レジスタ	IEBB0SAR	R/W	－	－	○	0000H
F07C5H							
F07C6H	IEBB0パートナー・アドレス・レジスタ	IEBB0PAR	R	－	－	○	0000H
F07C7H							
F07C8H	IEBB0受信スレーブ・アドレス・レジスタ	IEBB0RSA	R	－	－	○	0000H
F07C9H							
F07CAH	IEBB0コントロール・データ・レジスタ	IEBB0CDR	R/W	－	○	－	00H
F07CBH	IEBB0電文長レジスタ	IEBB0DLR	R/W	－	○	－	01H
F07CCH	IEBB0送信コントロール・データ・レジスタ	IEBB0TCD	R/W	－	○	－	00H
F07CDH	IEBB0受信コントロール・データ・レジスタ	IEBB0RCD	R	－	○	－	00H
F07CEH	IEBB0送信電文長レジスタ	IEBB0TDL	R/W	－	○	－	01H
F07CFH	IEBB0受信電文長レジスタ	IEBB0RDL	R	－	○	－	01H
F07D0H	IEBB0クロック選択レジスタ	IEBB0CKS	R/W	－	○	－	07H
F07D1H	IEBB0スレーブ・ステータス・レジスタ	IEBB0SSR	R	○	○	－	81H
F07D2H	IEBB0ユニット・ステータス・レジスタ	IEBB0USR	R	○	○	－	00H
F07D3H	IEBB0インタラプト・ステータス・レジスタ	IEBB0ISR	R/W	○	○	－	00H
F07D4H	IEBB0エラー・ステータス・レジスタ	IEBB0ESR	R	○	○	－	00H
F07D5H	IEBB0フィールド・ステータス・レジスタ	IEBB0FSR	R	－	○	－	00H
F07D6H	IEBB0サクセス・カウント・レジスタ	IEBB0SCR	R	－	○	－	01H
F07D7H	IEBB0コミュニケーション・カウント・レジスタ	IEBB0CCR	R	－	○	－	20H
F07D8H	IEBB0ステータス・クリア・レジスタ	IEBB0STC0	W	○	○	－	00H
F07D9H	IEBB0データ・レジスタ	IEBB0DR	R/W	－	○	－	00H
F07DAH	IEBB0データ極性選択レジスタ	IEBB0DPS	R/W	○	○	－	00H

備考 SFR領域のSFRの詳細は「表3－5 SFR一覧」を参照してください。

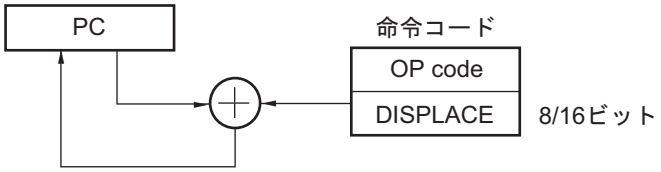
3.3　命令アドレスのアドレッシング

3.3.1　レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－18　レラティブ・アドレッシングの概略



3.3.2　イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－19　CALL !!addr20/BR !!addr20の例

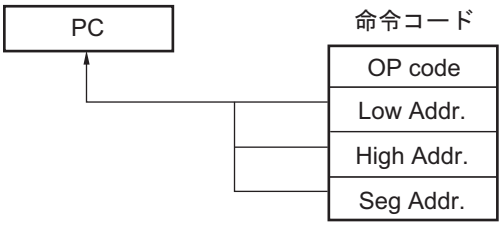
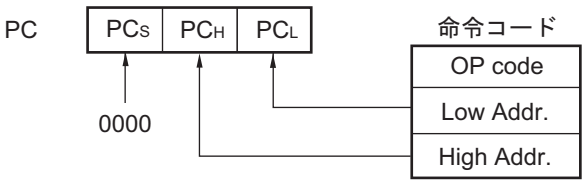


図3－20　CALL !addr16/BR !addr16の例



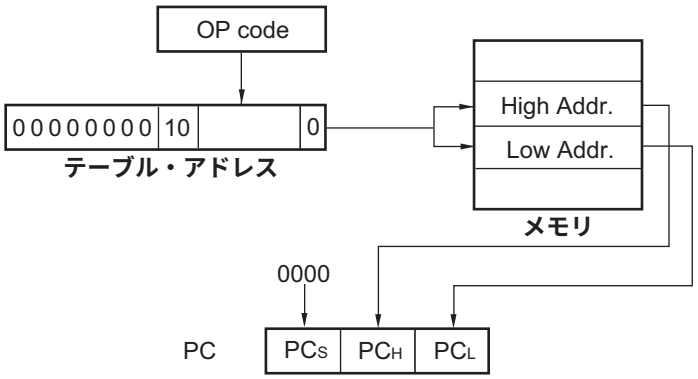
3.3.3　テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3－21　テーブル・インダイレクト・アドレッシングの概略

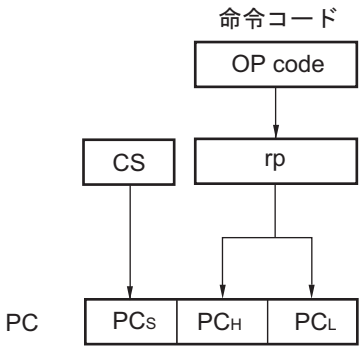


3.3.4　レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－22　レジスタ・ダイレクト・アドレッシングの概略



3.4　処理データ・アドレスに対するアドレッシング

3.4.1　インプライド・アドレッシング

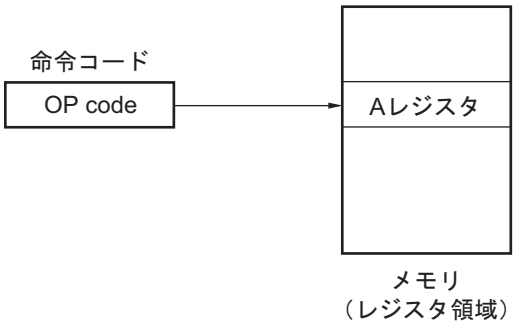
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－23　インプライド・アドレッシングの概略



3.4.2　レジスタ・アドレッシング

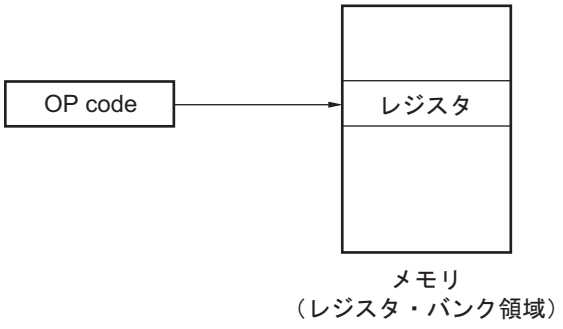
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3－24　レジスタ・アドレッシングの概略



3.4.3　ダイレクト・アドレッシング

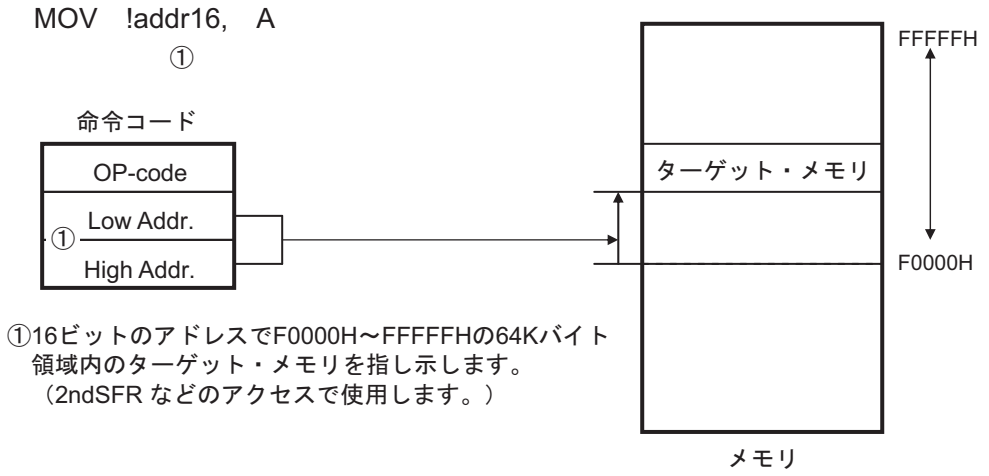
【機能】

命令語中のイミーディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

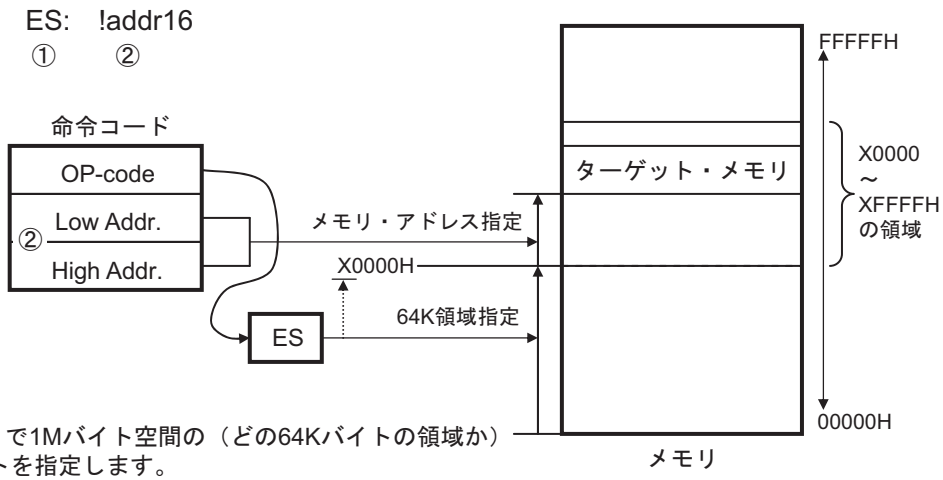
表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3－25　!addr16の例



①16ビットのアドレスでF0000H～FFFFFHの64Kバイト領域内のターゲット・メモリを指し示します。
（2ndSFR などのアクセスで使用します。）

図3－26　ES:!addr16の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②16ビットのアドレスで①で指定したX0000H～XFFFFHの領域のターゲット・メモリを指し示します。
（ミラー領域以外の固定データアクセスに使います。）

3.4.4 ショート・ダイレクト・アドレッシング

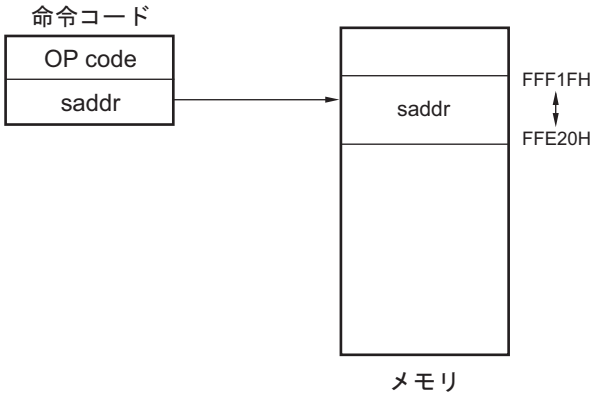
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（FFE20H-FFF1FH空間のみ指定可能）
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ）（FFE20H-FFF1FH空間のみ指定可能）

図3－27 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5　SFRアドレッシング

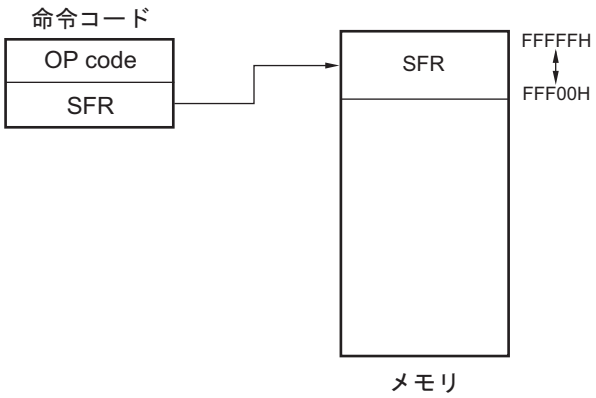
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3－28　SFRアドレッシングの概略



3.4.6　レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
−	[DE], [HL] （F0000H-FFFFFH空間のみ指定可能）
−	ES:[DE], ES:[HL] （ESレジスタにて上位4ビット・アドレス指定）

図 3−29　[DE], [HL]の例

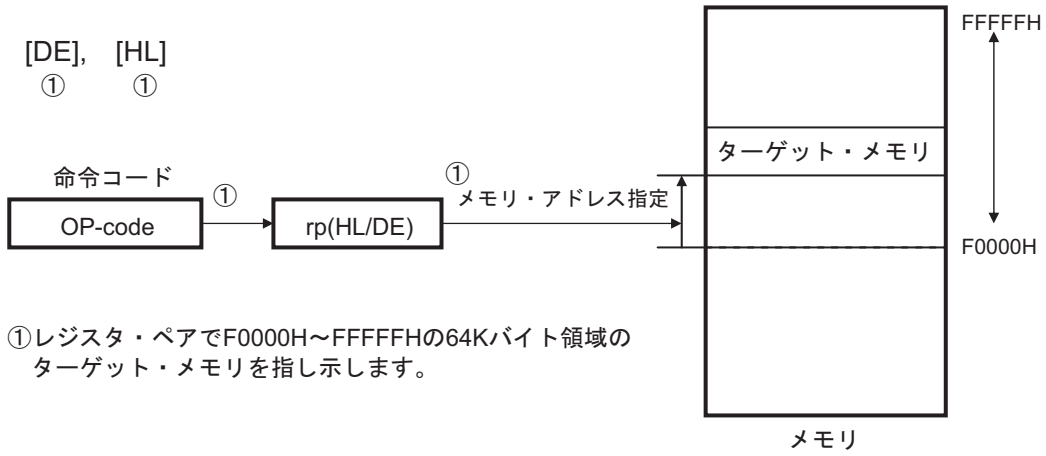
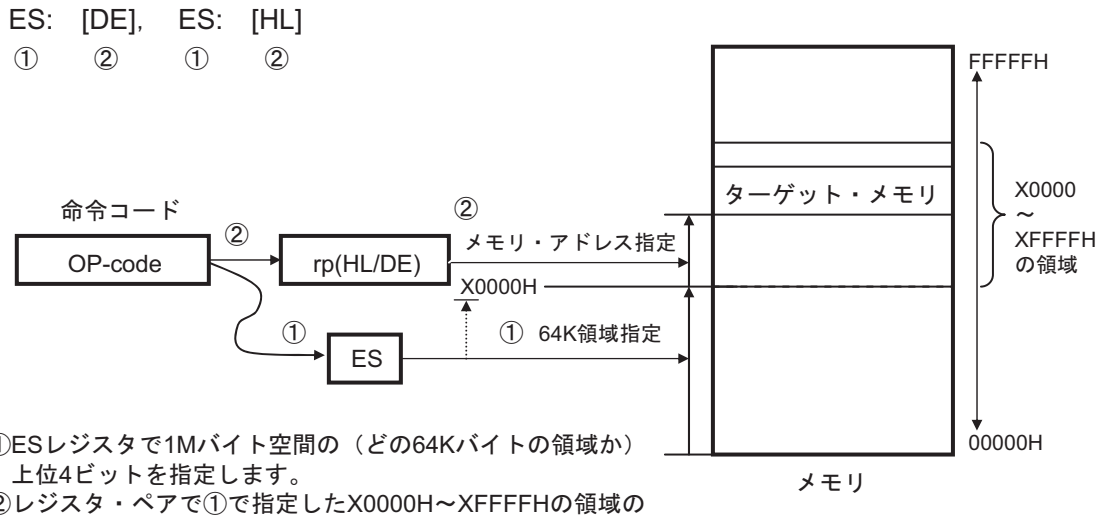


図 3−30　ES:[DE], ES:[HL]の例



3.4.7　ベースト・アドレッシング

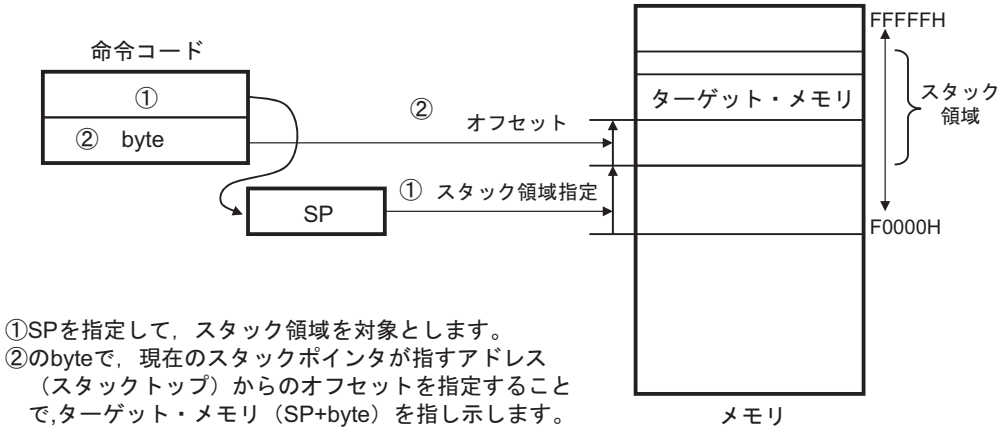
【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし、8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

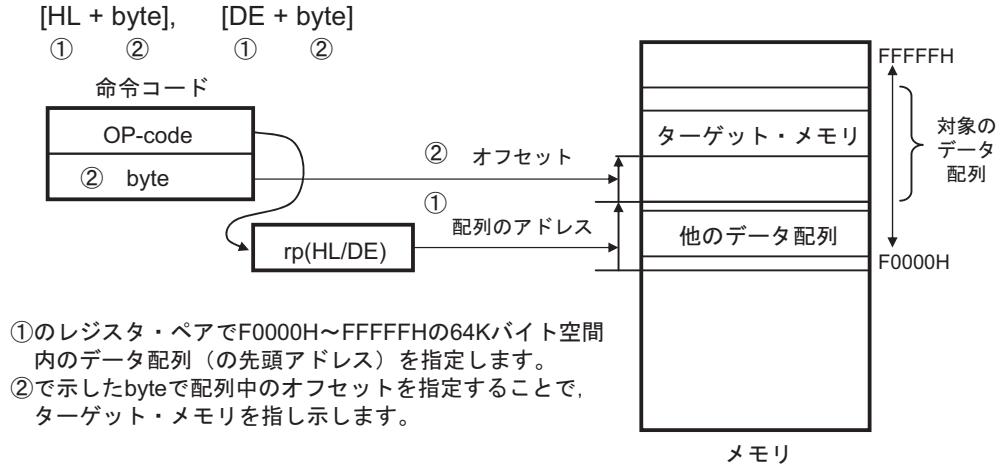
表現形式	記述方法
−	[HL＋byte], [DE + byte], [SP + byte] （F0000H-FFFFFH空間のみ指定可能）
−	word[B], word[C] （F0000H-FFFFFH空間のみ指定可能）
−	word[BC] （F0000H-FFFFFH空間のみ指定可能）
−	ES:[HL＋byte], ES:[DE + byte] （ESレジスタにて上位4ビット・アドレス指定）
−	ES:word[B], ES:word[C] （ESレジスタにて上位4ビット・アドレス指定）
−	ES:word[BC] （ESレジスタにて上位4ビット・アドレス指定）

図3－31　[SP+byte]の例



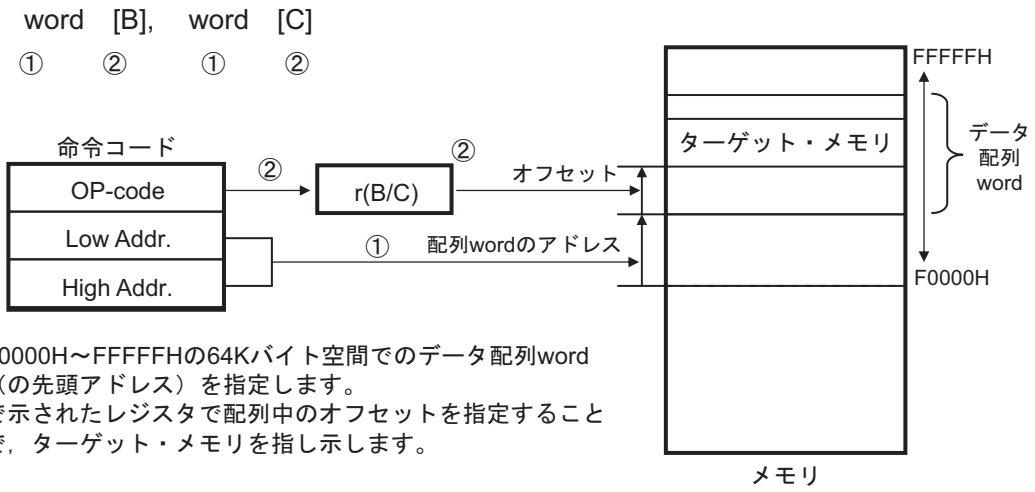
①SPを指定して，スタック領域を対象とします。
②のbyteで，現在のスタックポインタが指すアドレス（スタックトップ）からのオフセットを指定することで,ターゲット・メモリ（SP+byte）を指し示します。

図3－32　[HL+byte], [DE+byte]の例



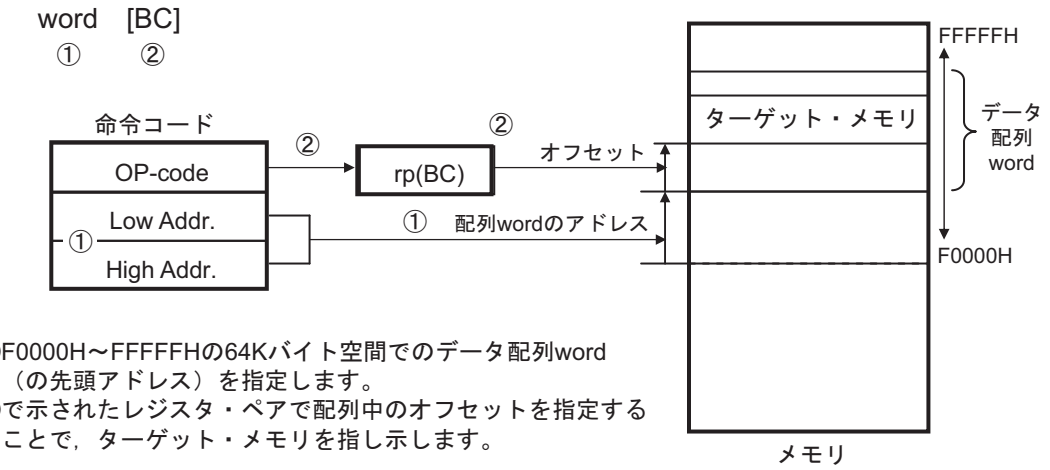
①のレジスタ・ペアでF0000H～FFFFFHの64Kバイト空間内のデータ配列（の先頭アドレス）を指定します。
②で示したbyteで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－33　word[B], word[C]の例



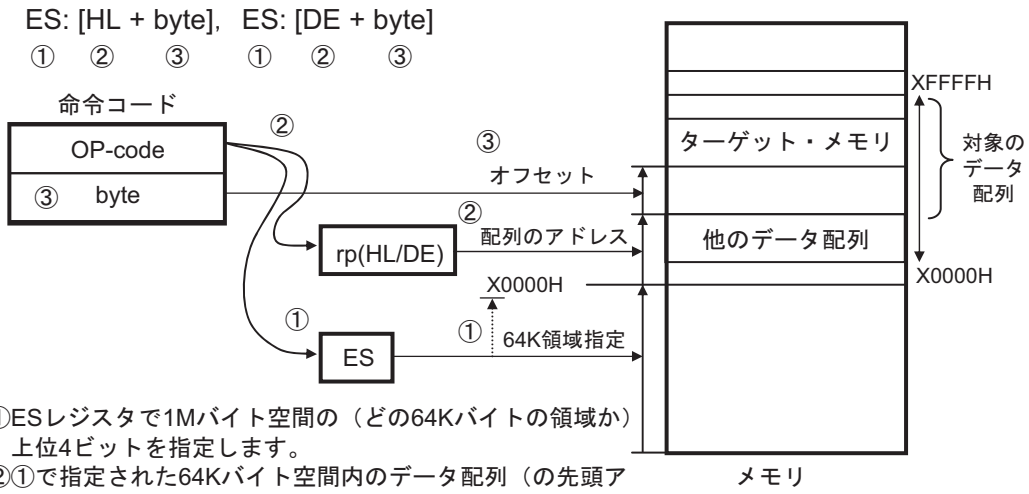
①F0000H～FFFFFHの64Kバイト空間でのデータ配列word
（の先頭アドレス）を指定します。
②で示されたレジスタで配列中のオフセットを指定すること
で，ターゲット・メモリを指し示します。

図3－34　word[BC]の例



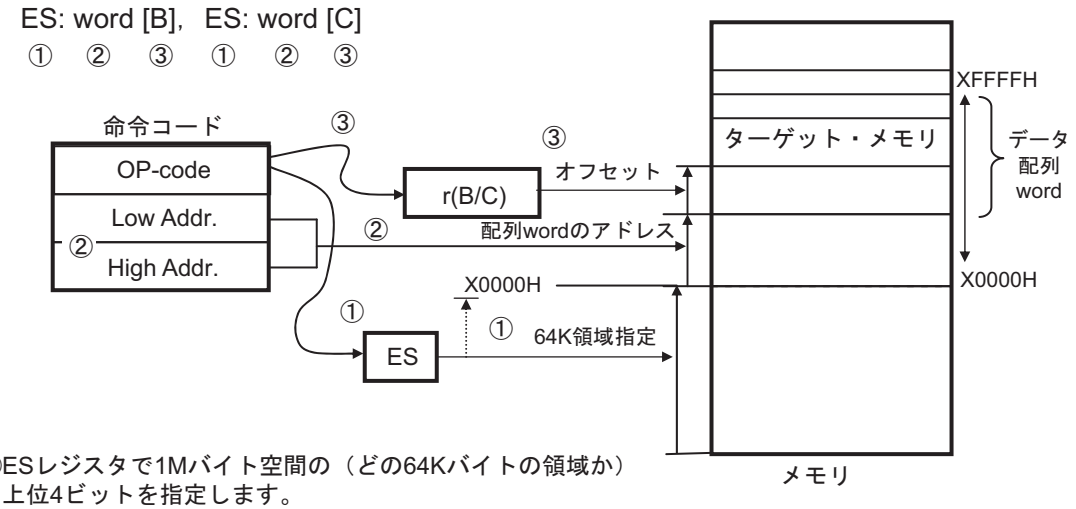
①F0000H～FFFFFHの64Kバイト空間でのデータ配列word
（の先頭アドレス）を指定します。
②で示されたレジスタ・ペアで配列中のオフセットを指定する
ことで，ターゲット・メモリを指し示します。

図3－35　ES:[HL+byte], ES:[DE+byte]の例



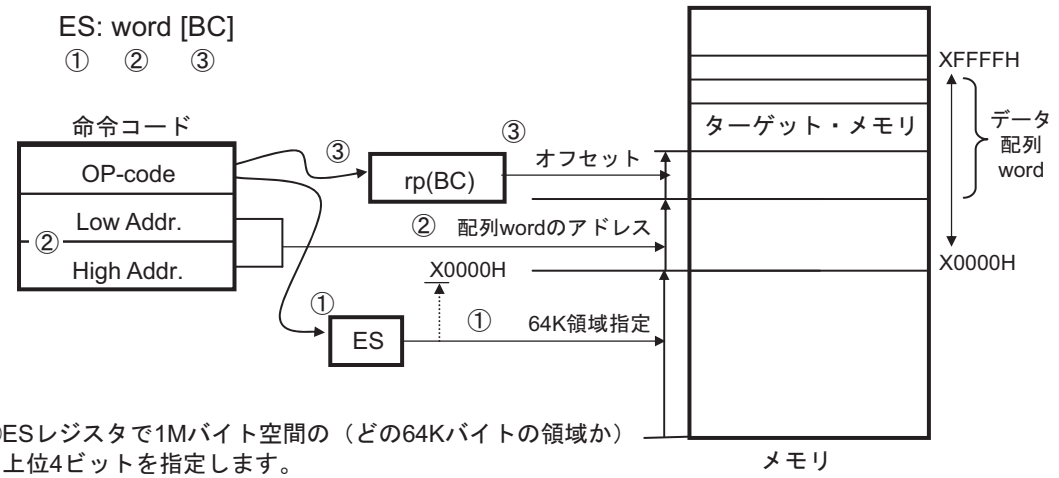
①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）
上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭ア
ドレス）をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで，
ターゲット・メモリを指し示します。

図3－36　ES:word[B], ES:word[C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－37　ES:word[BC]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3.4.8　ベースト・インデクスト・アドレッシング

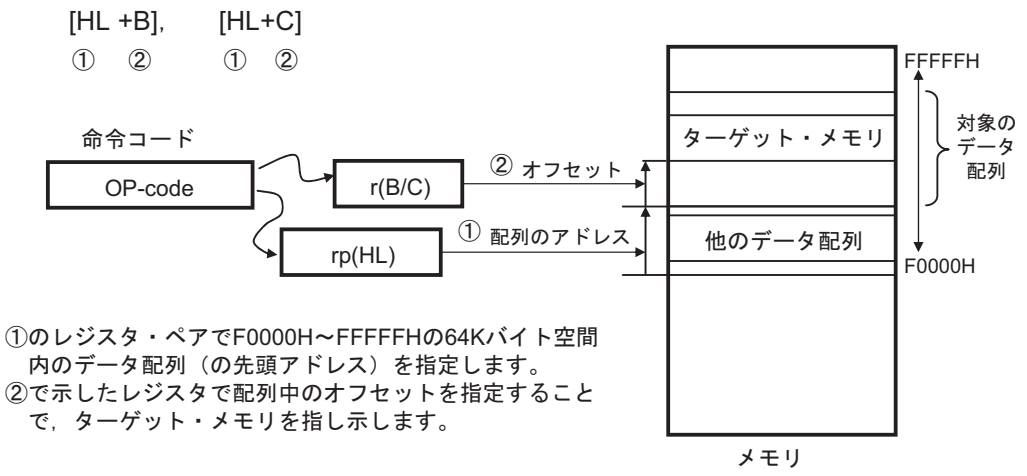
【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

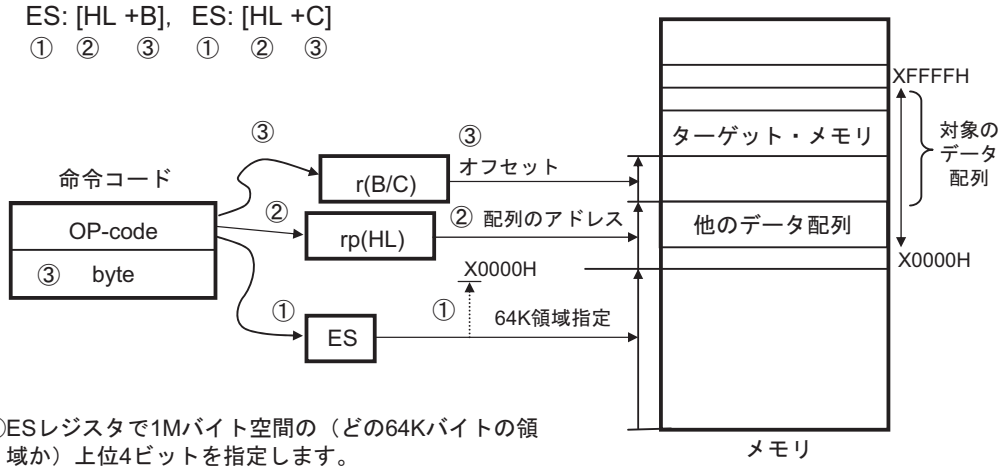
表現形式	記述方法
−	[HL＋B], [HL＋C] （F0000H-FFFFFH空間のみ指定可能）
−	ES:[HL＋B], ES:[HL＋C] （ESレジスタにて上位4ビット・アドレス指定）

図3－38　[HL+B], [HL+C]の例



①のレジスタ・ペアでF0000H～FFFFFHの64Kバイト空間内のデータ配列（の先頭アドレス）を指定します。
②で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－39　ES:[HL+B], ES:[HL+C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3.4.9　スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH、POP、サブルーチン・コール、リターン命令の実行時、および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

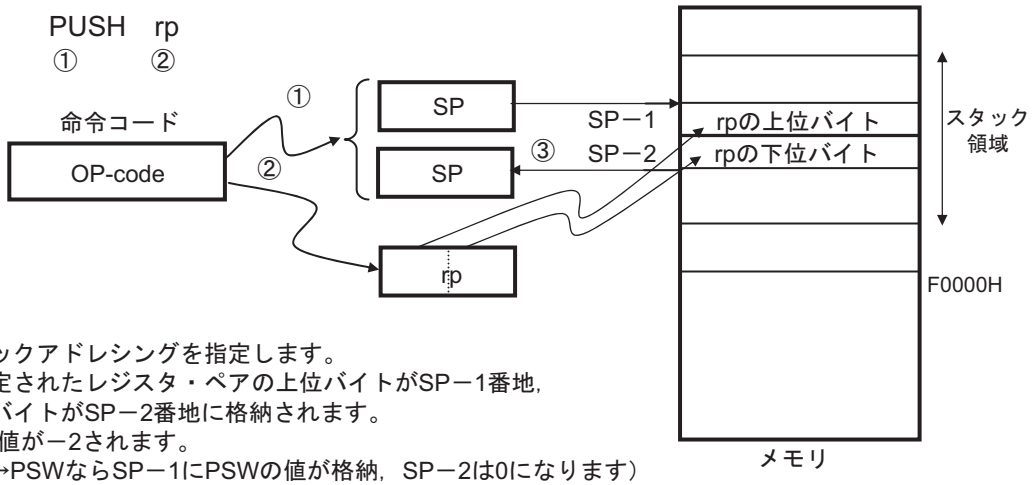
スタック領域は内部RAM上にだけ設定できます。

【オペランド形式】

表現形式	記述方法
－	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB （割り込み要求発生） RETI

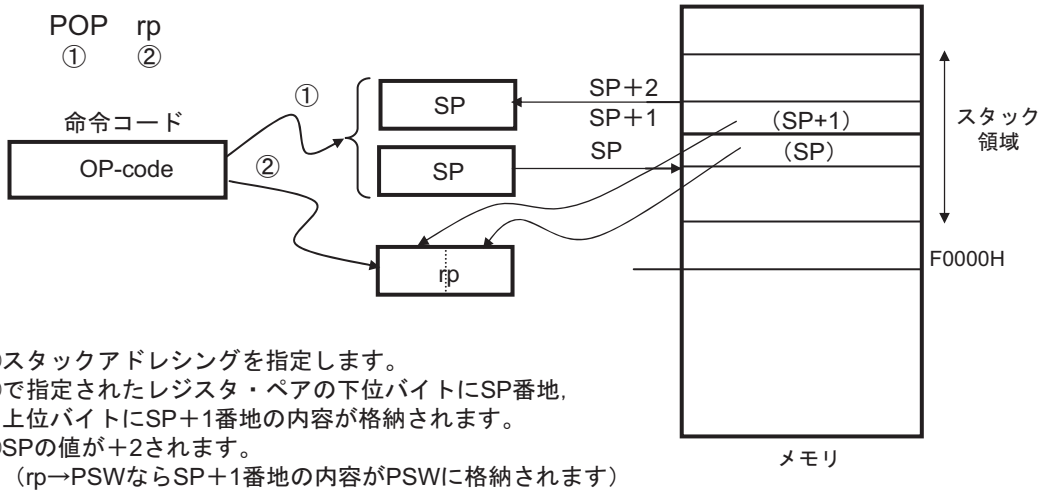
各スタック動作によって退避／復帰されるデータは図3－40～図3－45のようになります。

図3－40　PUSH rpの例



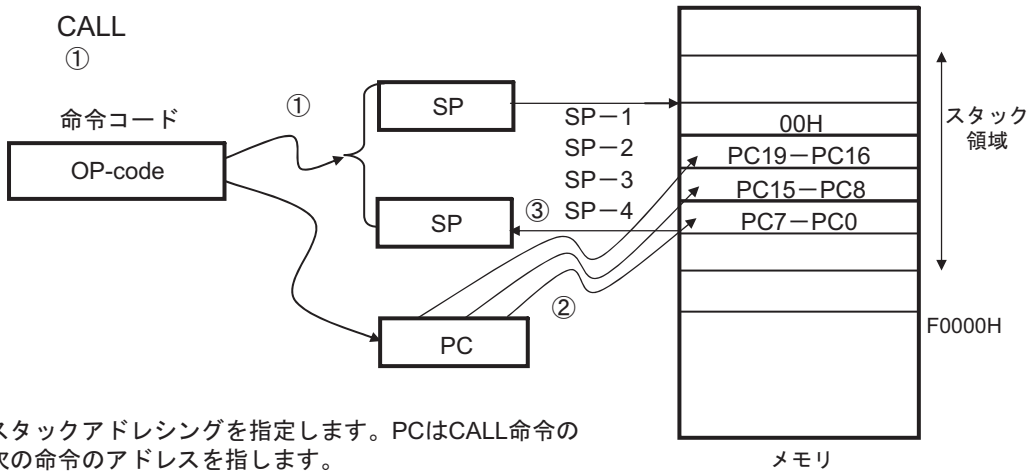
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP－1番地，
　下位バイトがSP－2番地に格納されます。
③SPの値が－2されます。
　（rp→PSWならSP－1にPSWの値が格納，SP－2は0になります）

図3－41 POPの例



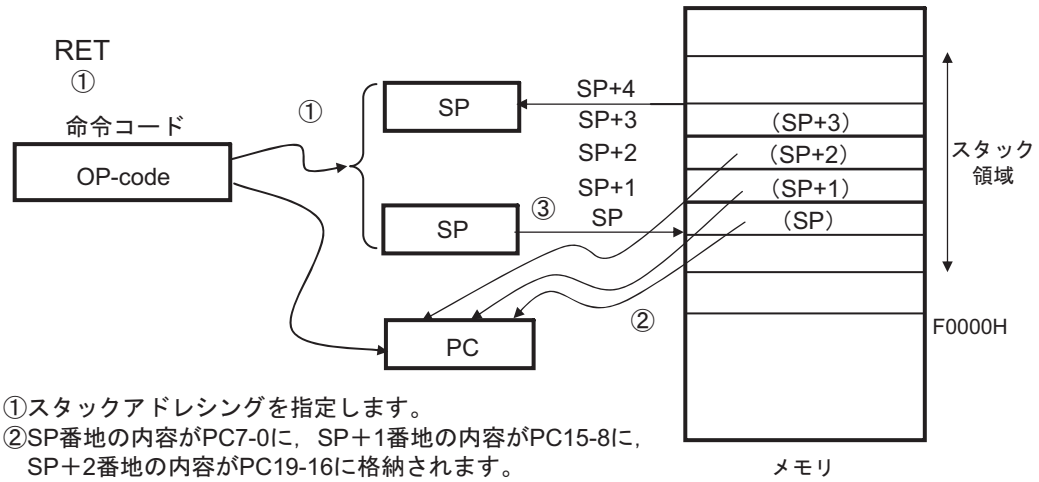
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
上位バイトにSP＋1番地の内容が格納されます。
③SPの値が＋2されます。
（rp→PSWならSP＋1番地の内容がPSWに格納されます）

図3－42 CALL, CALLTの例



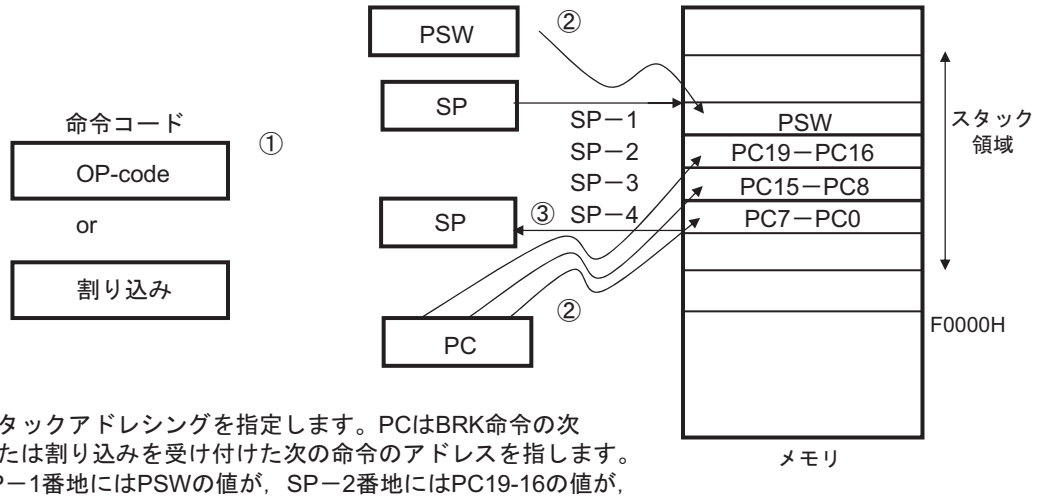
①スタックアドレシングを指定します。PCはCALL命令の
次の命令のアドレスを指します。
②SP－1番地には00Hが，SP－2番地にはPC19-16の値が，
SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の
値が格納されます。
③SPの値が－4されます。

図3－43 RETの例



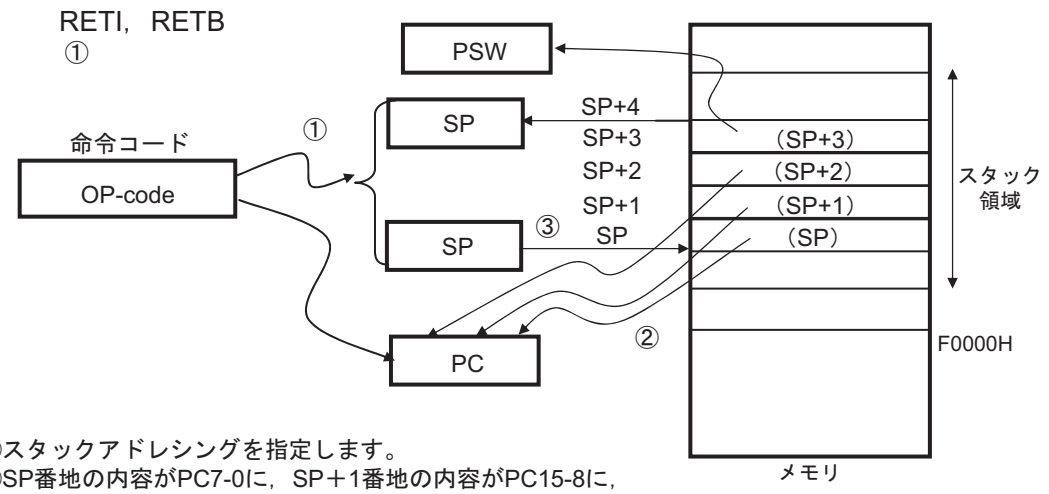
①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
SP＋2番地の内容がPC19-16に格納されます。
③SPの値が＋4されます。

図3－44 割り込み, BRKの例



①スタックアドレシングを指定します。PCはBRK命令の次
または割り込みを受け付けた次の命令のアドレスを指します。
②SP－1番地にはPSWの値が，SP－2番地にはPC19-16の値が，
SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の値が
格納されます。
③SPの値が－4されます。

図3－45 RETI, RETBの例



①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
SP＋2番地の内容がPC19-16に，SP＋3番地の内容がPSW
格納されます。
③SPの値が＋4されます。

第4章　ポート機能

4.1　ポートの機能

端子の入出力バッファ電源は，製品によって異なります。表4－1に各電源と端子の関係を示します。

EV_{DD}は，EV_{DD0}/EV_{DD1}を表します。

表4－1　各端子の入出力バッファ電源

（1）48ピン製品

電源	対応する端子
V_{DD}	すべての端子

（2）64ピン製品

電源	対応する端子
EV_{DD0}	・P33、P34、P80-P87、P90-P96、P121-P124、P137以外のポート端子
V_{DD}	・P33、P34、P80-P87、P90-P96、P121-P124、P137 ・ポート以外の端子

（3）80ピン製品

電源	対応する端子
EV_{DD0}	・P33、P34、P80-P87、P90-P97、P121-P124、P137以外のポート端子
V_{DD}	・P33、P34、P80-P87、P90-P97、P121-P124、P137 ・ポート以外の端子

（4）100ピン、144ピン製品

電源	対応する端子
EV_{DD0}、EV_{DD1}	・P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137以外のポート端子
V_{DD}	・P33、P34、P80-P87、P90-P97、P100-P105、P121-P124、P137 ・ポート以外の端子

RL78/F15は，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については「第2章　端子機能」を参照してください。

4.2 ポートの構成

ポートは，次のハードウエアで構成しています。

表4－2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ（PM0-PM16） ポート・レジスタ（P0-P16） プルアップ抵抗オプション・レジスタ（PU0 -PU7, PU10-PU16） ポート入力モード・レジスタ（PIM1, PIM3, PIM5-PIM7, PIM12） ポート出力モード・レジスタ（POM1, POM6, POM7, POM12） ポート・モード・コントロール・レジスタ（PMC7, PMC12） A/Dポート・コンフィギュレーション・レジスタ（ADPC） 周辺I/Oリダイレクション・レジスタ（PIOR0-PIOR11） ポート入力閾値制御レジスタ（PITHL0-PITHL7, PITHL10, PITHL12, PITHL15） ポート出力スルー・レート選択レジスタ（PSRSEL） SNOOZEステータス出力制御レジスタ0～3（PSNZCNT0-PSNZCNT3） ポート・モード選択レジスタ（PMS）
ポート	・48ピン製品： 合計：44本（CMOS入出力：38本，CMOS入力：5本，CMOS出力：1本） ・64ピン製品： 合計：58本（CMOS入出力：52本，CMOS入力：5本，CMOS出力：1本） ・80ピン製品： 合計：74本（CMOS入出力：68本，CMOS入力：5本，CMOS出力：1本） ・100ピン製品： 合計：92本（CMOS入出力：86本，CMOS入力：5本，CMOS出力：1本） ・144ピン製品： 合計：136本（CMOS入出力：130本，CMOS入力：5本，CMOS出力：1本）

注意 この章では，以降の主な説明を144ピン製品の場合で説明しています。

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P07端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00端子の入力は、ポート入力閾値制御レジスタ0（PITHL0）の設定により1ビット単位で入力バッファの閾値の指定ができます。

また，兼用機能としてシリアル・インタフェース（CSI）のクロック入出力、タイマの入出力，リアルタイム・クロックの補正クロック出力，外部割り込み要求入力があります。

リセット信号の発生により，入力モードになります。

表4－3 ポート0使用時のレジスタ設定

端子名称		PM0X	PITHL0X	兼用機能設定[注4]	備考
名称	入出力				
P00	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	$\overline{\text{SCK20}}$出力 = 1[注1] （TO05出力 = 0）[注2]	
P01	入力	1	–	×	
	出力	0	–	（TO04出力 = 0）[注2]	
P02	入力	1	_	×	
	出力	0	_	（TO06出力 = 0）[注2]	
P03	入力	1	_	×	
	出力	0	_	（RTC1HZ出力 = 0）[注3]	
P04	入力	1	_	×	
	出力	0	_	×	
P05	入力	1	_	×	
	出力	0	_	×	
P06	入力	1	_	×	
	出力	0	_	×	
P07	入力	1	_	×	
	出力	0	–	×	

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のCKOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください（m = 0, 1, 2, n = 0-7）

3. RTC1HZ端子の出力（1Hz）機能と兼用している端子を汎用ポートとして使用する場合、リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のRCLOE1ビットを初期値と同じ設定で使用してください。

4. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ1, 8（PIOR1, PIOR8）の設定により、割り当て可能です。

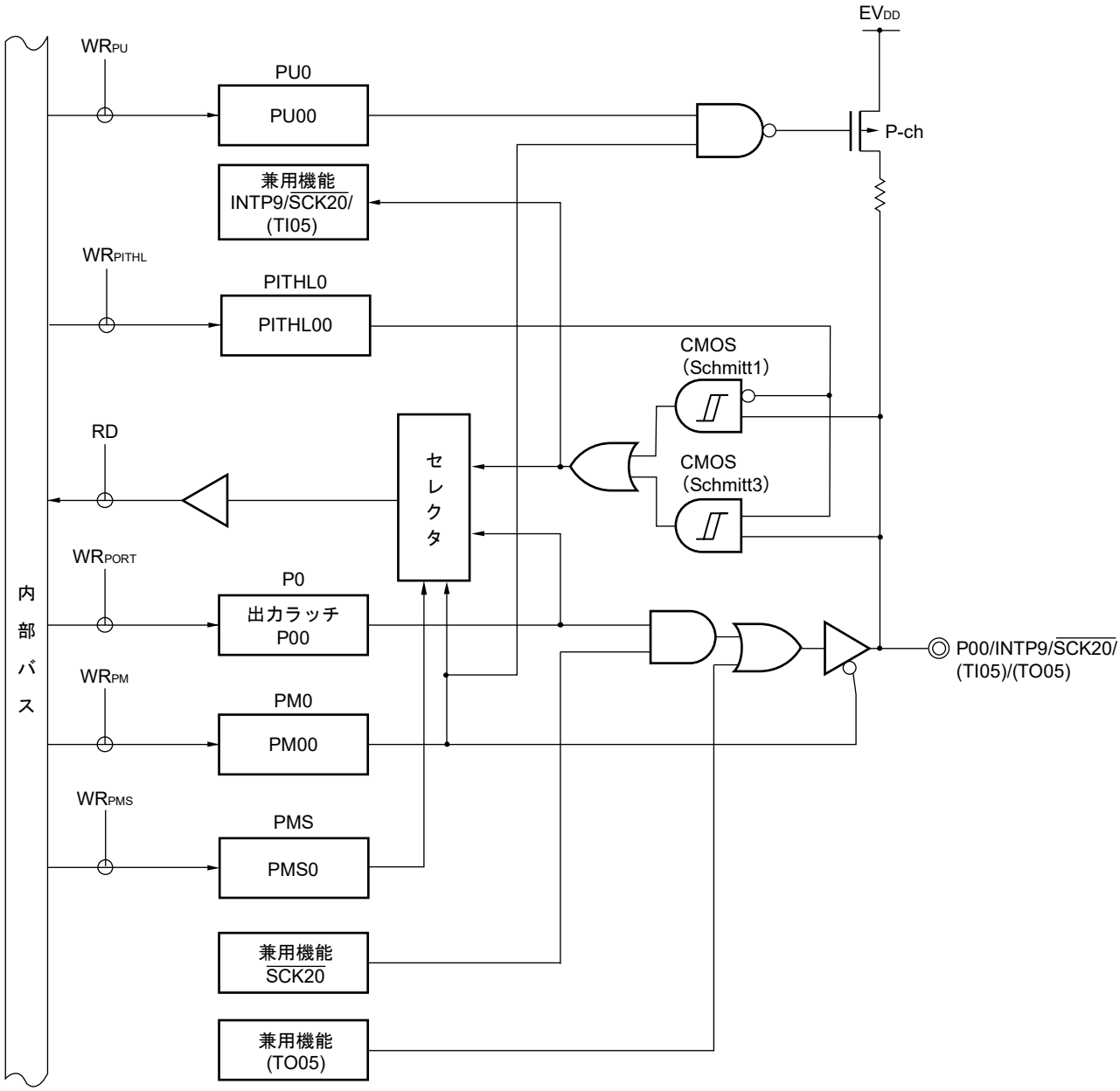
備考 × ：don't care

PM0X：ポート・モード・レジスタ0

PITHL0X：ポート入力閾値制御レジスタ0

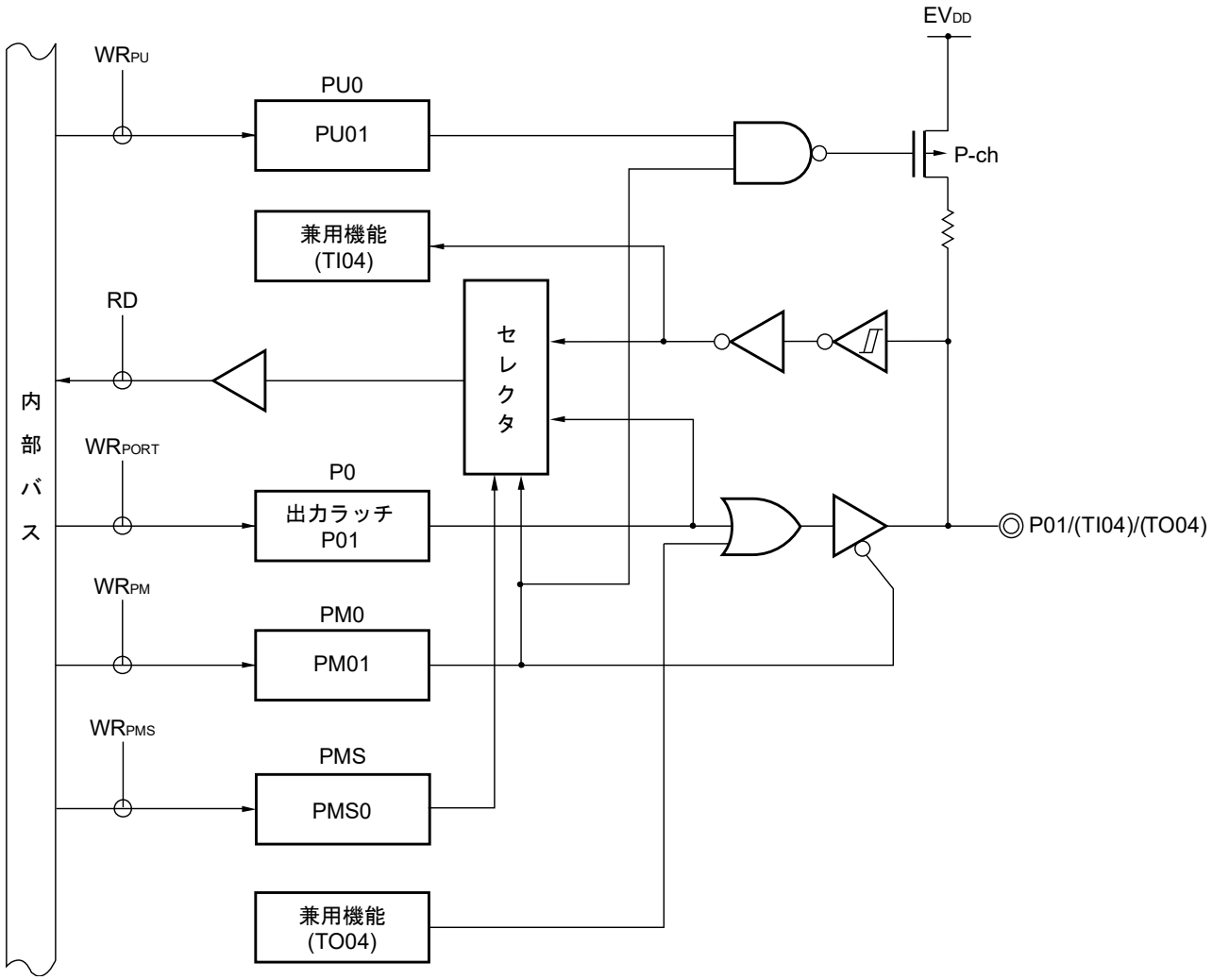
図4－1～図4－6に，144ピン製品の場合のポート0のブロック図を示します。

図4－1　P00のブロック図



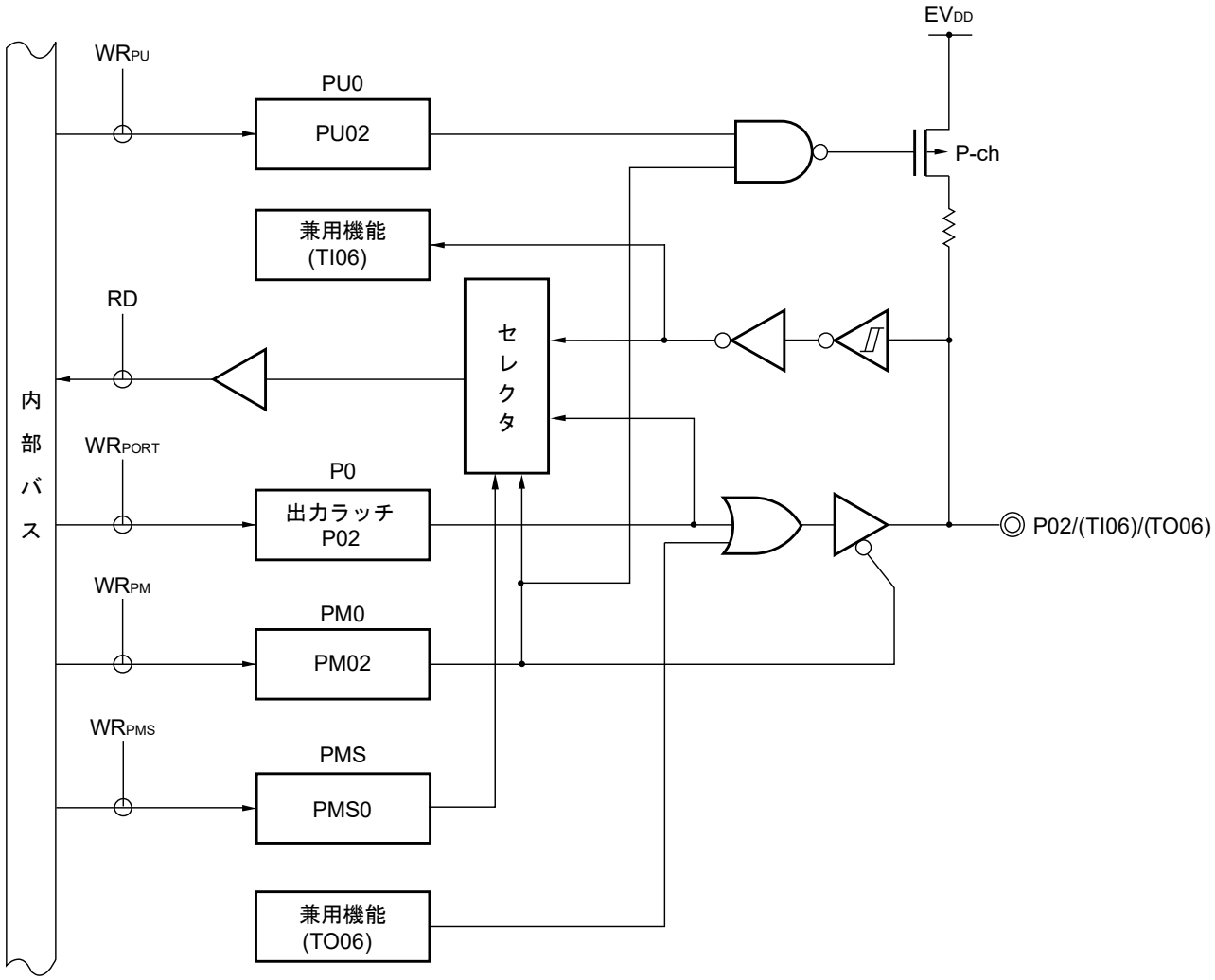
P0　　：ポート・レジスタ0
PU0　　：プルアップ抵抗オプション・レジスタ0
PM0　　：ポート・モード・レジスタ0
PMS　　：ポート・モード選択レジスタ
PITHL0　　：ポート入力閾値制御レジスタ0
RD　　：リード信号
WRxx　　：ライト信号

図4－2 P01のブロック図



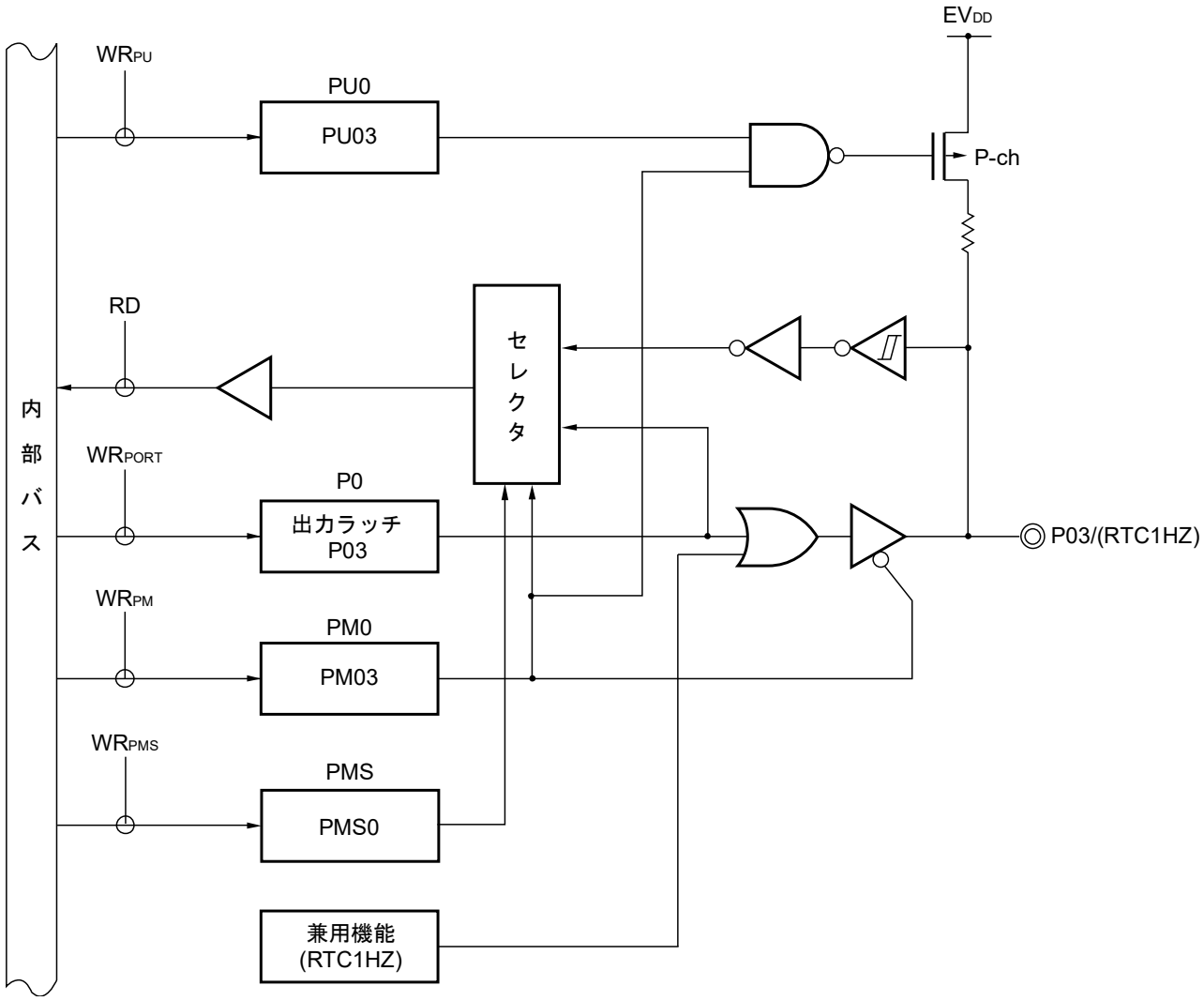
P0 ：ポート・レジスタ0
PU0 ：プルアップ抵抗オプション・レジスタ0
PM0 ：ポート・モード・レジスタ0
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－3　P02のブロック図



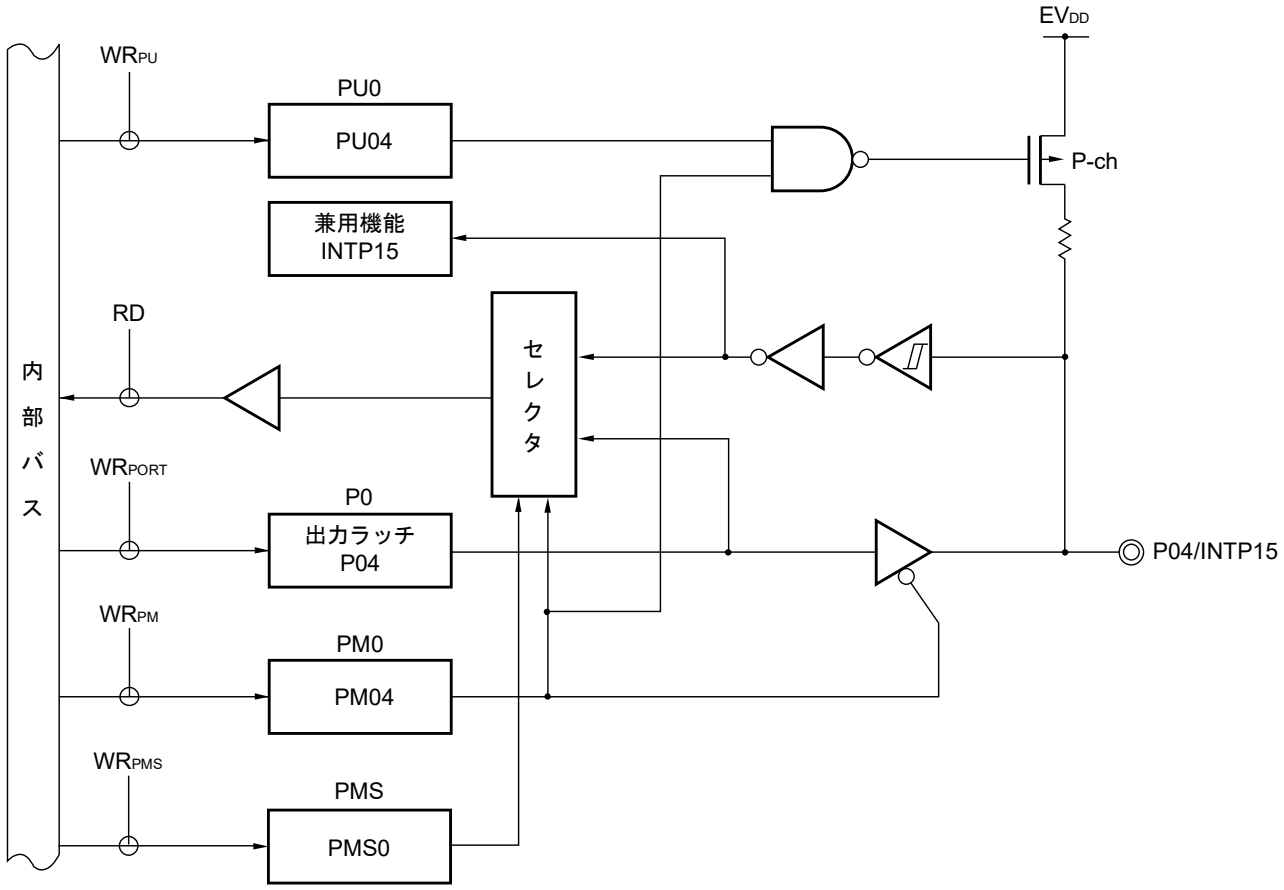
P0　　：ポート・レジスタ0
PU0　　：プルアップ抵抗オプション・レジスタ0
PM0　　：ポート・モード・レジスタ0
PMS　　：ポート・モード選択レジスタ
RD　　：リード信号
WRxx　　：ライト信号

図4－4 P03のブロック図



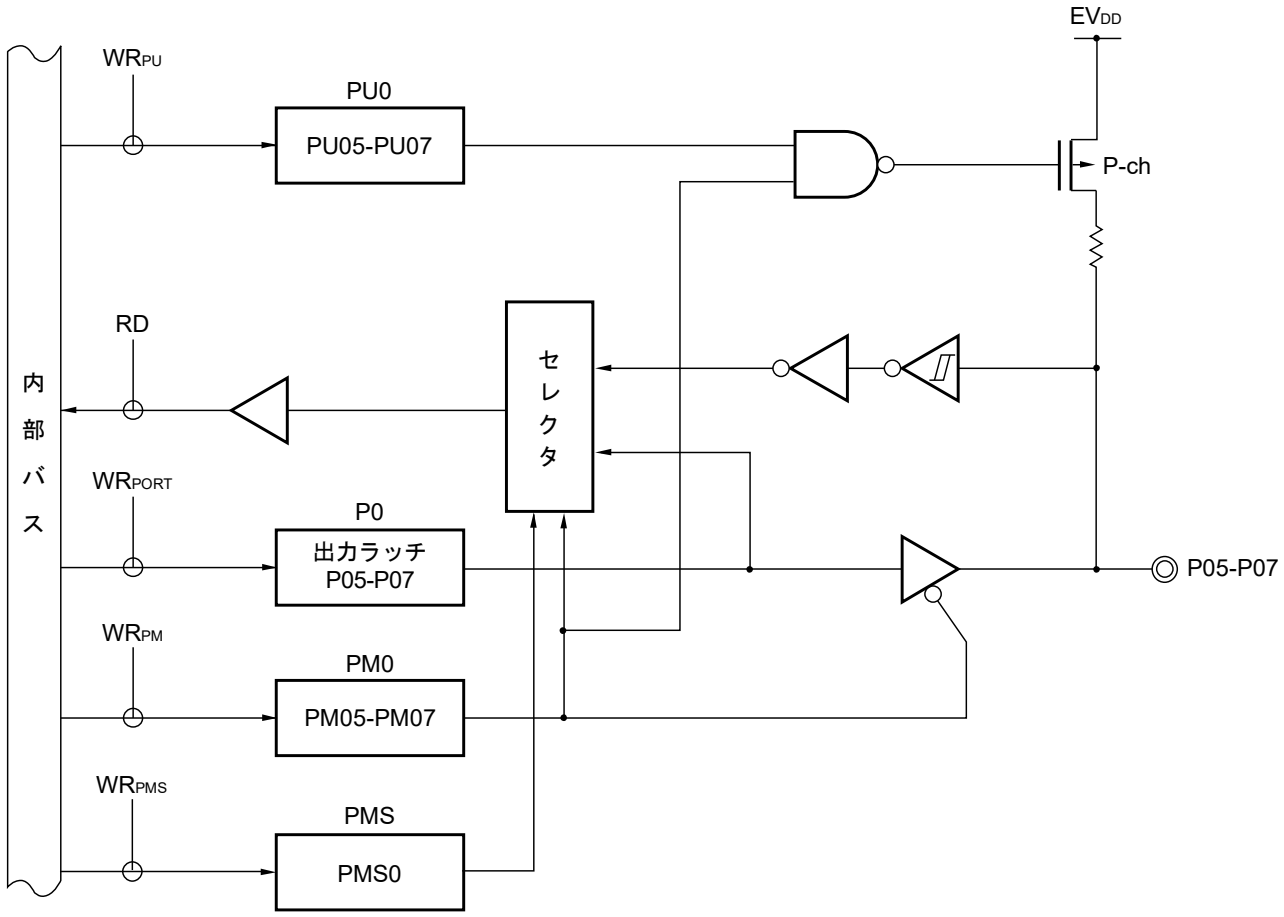
P0 ：ポート・レジスタ0
PU0 ：プルアップ抵抗オプション・レジスタ0
PM0 ：ポート・モード・レジスタ0
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－5 P04のブロック図



P0 ：ポート・レジスタ0
PU0 ：プルアップ抵抗オプション・レジスタ0
PM0 ：ポート・モード・レジスタ0
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－6　P05-P07のブロック図



P0　：ポート・レジスタ0
PU0　：プルアップ抵抗オプション・レジスタ0
PM0　：ポート・モード・レジスタ0
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13, P14, P16, P17端子の入力は、ポート入力モード・レジスタ1（PIM1）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。P10-P17端子の出力は、ポート出力モード・レジスタ1（POM1）により1ビット単位でN-chオープン・ドレーン出力（EV_{DD}耐圧）に設定可能です。

P10, P11, P13, P14, P16, P17端子の入力は、ポート入力閾値制御レジスタ1（PITHL1）の設定により1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能としてシリアル・インタフェース（簡易IIC、CSI、UART）のデータ入出力、クロック入出力、LINのシリアル・データ入出力、CANのシリアル・データ入出力、リアルタイム・クロックの補正クロック出力、プログラミングUARTの送受信、タイマの入出力、外部割り込み要求入力、SNOOZEステータス出力があります。

リセット信号の発生により入力モードになります。

表4－4 ポート1使用時のレジスタ設定（1/2）

端子名称		PM1X	PIM1X	POM1X	PITHL1X	兼用機能設定[注11]	備考
名称	入出力						
P10	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	$\overline{SCK10}$/SCL10出力 = 1[注1]	CMOS出力
			×	1	×	TO13出力 = 0[注2] TRJO0出力 = 0[注3] LTXD1出力 = 1[注8] CTXD0出力 = 1[注9]	N-ch O.D出力
P11	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SDA10出力 = 1[注4]	CMOS出力
			×	1	×	TO12出力 = 0[注2] (TRDIOB0出力 = 0)[注5]	N-ch O.D出力
P12	入力	1	–	×	–	×	
	出力	0	–	0	–	TO11出力 = 0[注2]	CMOS出力
			–	1	–	SO10/TXD1出力 = 1[注4] SNZOUT3出力 = 0[注7] (TRDIOD0出力 = 0) [注5]	N-ch O.D出力
P13	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	TRDIOA0出力 = 0[注5]	CMOS出力
			×	1	×	SDA01出力 = 1[注4] TO04出力 = 0[注2] LTXD0出力 = 1[注8]	N-ch O.D出力

表4－4 ポート1使用時のレジスタ設定（2/2）

端子名称		PM1X	PIM1X	POM1X	PITHL1X	兼用機能設定[注11]	備考
名称	入出力						
P14	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	TRDIOC0出力 = 0[注5, 10]	CMOS出力
			×	1	×	SCK01/SCL01出力 = 1[注1] TO06出力 = 0[注2]	N-ch O.D出力
P15	入力	1	–	×	–	×	
	出力	0	–	0	–	TRDIOA1出力 = 0[注5]	CMOS出力
			–	1	–	TO05出力 = 0[注2] SO00出力/TXD0出力 = 1[注4] RTC1HZ出力 = 0[注6] (TRDIOA0出力 = 0)[注5]	N-ch O.D出力
P16	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SDA00出力 = 1[注4]	CMOS出力
			×	1	×	TRDIOC1出力 = 0[注5] TO02出力 = 0[注2]	N-ch O.D出力
P17	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
		1	1	×	×	×	TTL入力
	出力	0	×	0	×	TRDIOB1出力 = 0[注5]	CMOS出力
			×	1	×	SCK00/SCL00出力 = 1[注1] TO00出力 = 0[注2]	N-ch O.D出力

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のCKOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください（m = 0, 1, 2, n = 0, 1）。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください（m = 0, 1, 2, n = 0-7）。

3. タイマRJのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、タイマRJ I/O制御レジスタ0（TRJIOC0）のビット2（TOENA）を初期値と同じ設定で使用してください。

4. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のSOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください（m = 0, 1, 2, n = 0, 1）。

5. タイマRD機能と兼用している端子を汎用ポートとして使用する場合、タイマRD出力マスタ許可レジスタ1（TRDOER1）で対象となるTRDIOij端子の出力制御ビットを初期値と同じ設定で使用してください（i= A, B, C, D, j = 0, 1）。

6. RTC1HZ端子の出力（1Hz）機能と兼用している端子を汎用ポートとして使用する場合、リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のRCLOE1ビットを初期値と同じ設定で使用してください。

7. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。

8. LINのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合、対応するLINを動作停止にしてください。

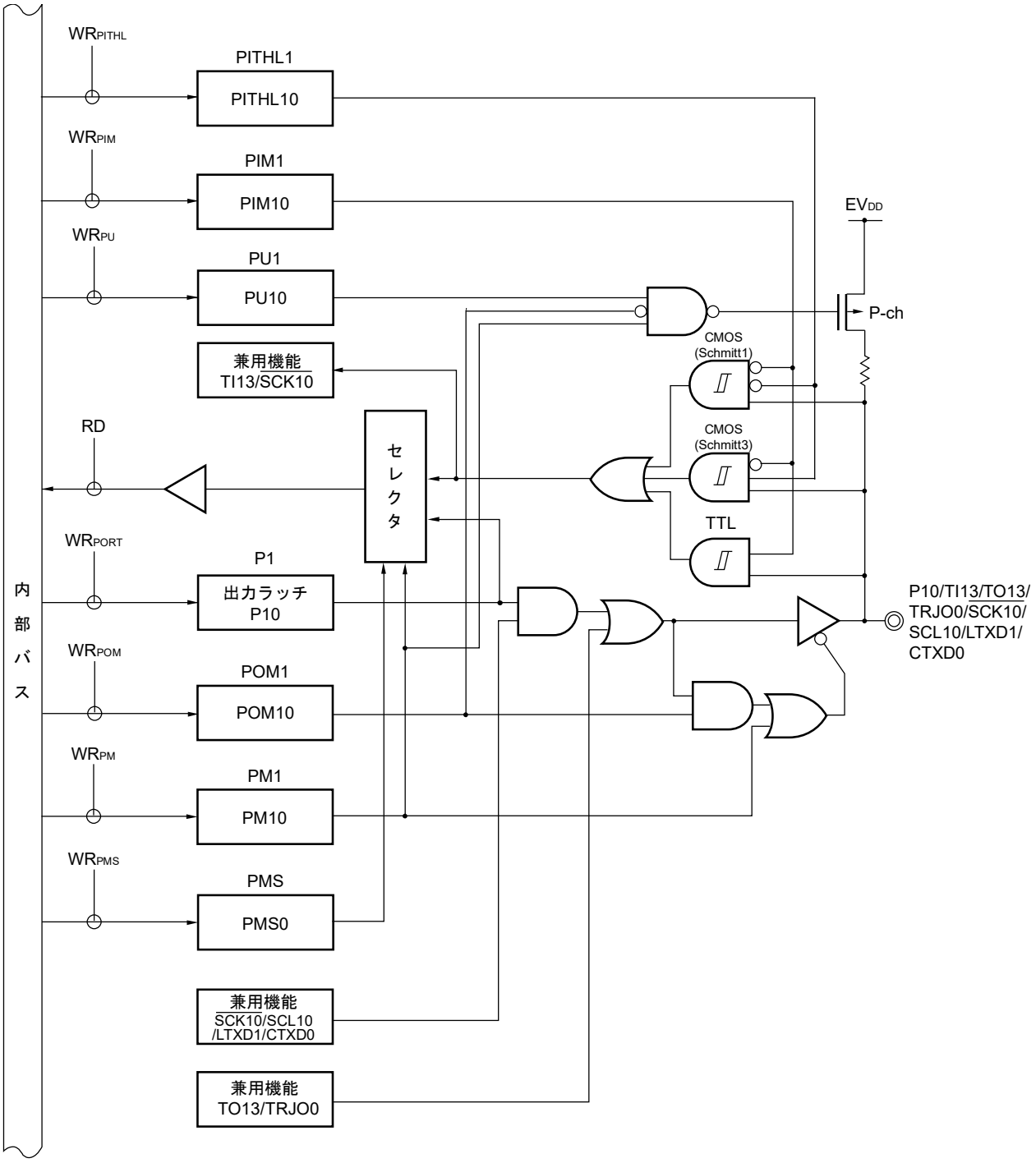
（注と備考は次ページに続きます。）

9. CANのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合、対応するCANを動作停止にしてください。
10. SNOOZEテータス出力を使用時は、TRDIOC0からの出力を停止します。
11. （　）内の機能は、周辺I/Oリダイレクション・レジスタ7（PIOR7）の設定により割り当て可能です。

備考　×　　：don't care
PM1X　　：ポート・モード・レジスタ1
PIM1X　　：ポート入力モード・レジスタ1
POM1X　　：ポート出力モード・レジスタ1
PITHL1X　　：ポート入力閾値制御レジスタ1

図4－7～図4－14に，144ピン製品の場合のポート1のブロック図を示します。

図4－7 P10のブロック図

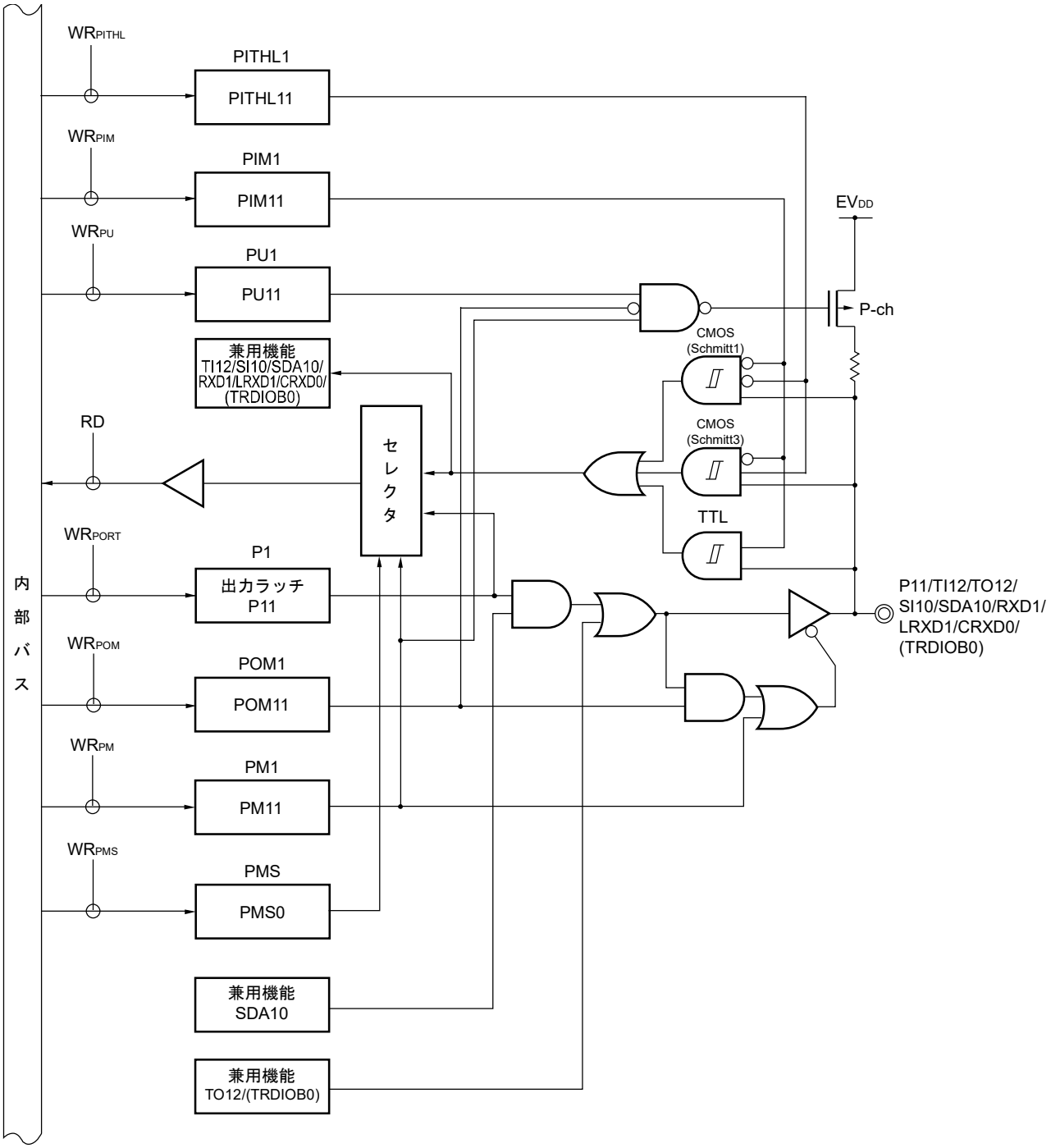


P1	：ポート・レジスタ1	PU1	：プルアップ抵抗オプション・レジスタ1	PM1	：ポート・モード・レジスタ1
PIM1	：ポート入力モード・レジスタ1	POM1	：ポート出力モード・レジスタ1	PMS	：ポート・モード選択レジスタ
PITHL1	：ポート入力閾値制御レジスタ1	RD	：リード信号	WRxx	：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－8 P11のブロック図



P1 ：ポート・レジスタ1　PU1 ：プルアップ抵抗オプション・レジスタ1　PM1 ：ポート・モード・レジスタ1

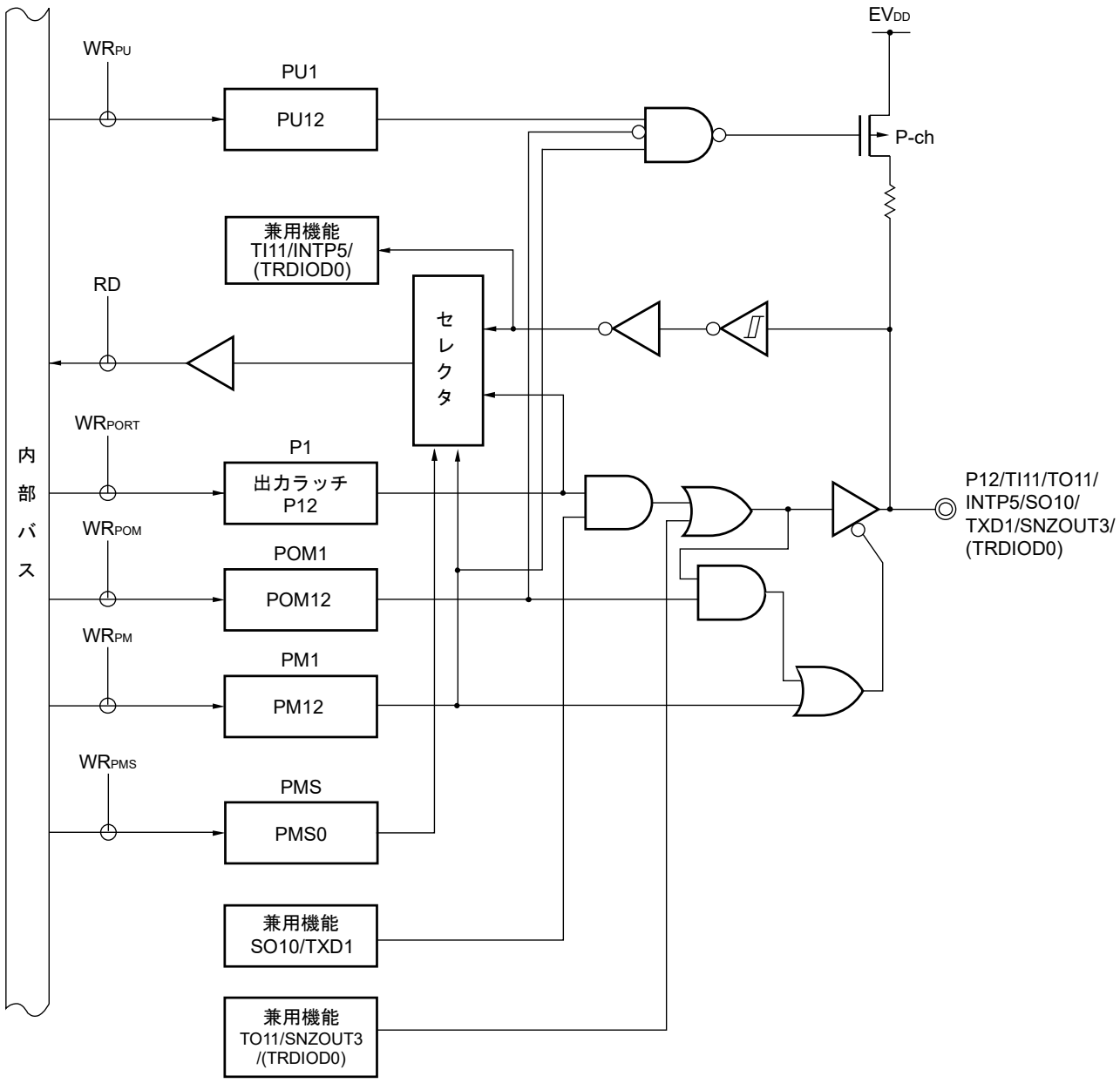
PIM1 ：ポート入力モード・レジスタ1　POM1 ：ポート出力モード・レジスタ1　PMS ：ポート・モード選択レジスタ

PITHL1 ：ポート入力閾値制御レジスタ1　RD ：リード信号　WRxx ：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－9 P12のブロック図



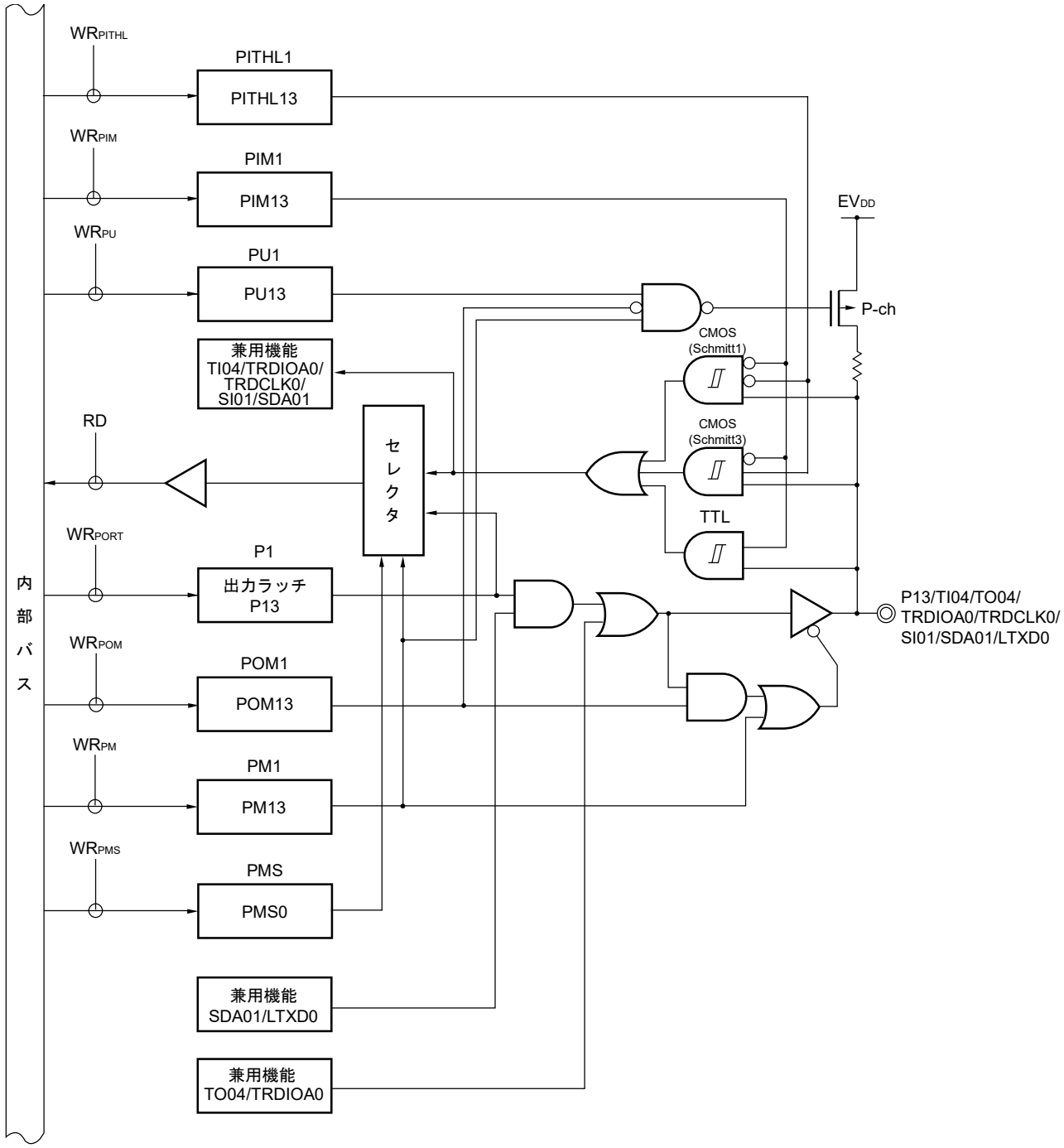
P1 ：ポート・レジスタ1　PU1 ：プルアップ抵抗オプション・レジスタ1　PM1 ：ポート・モード・レジスタ1

POM1 ：ポート出力モード・レジスタ1　PMS ：ポート・モード選択レジスタ　RD ：リード信号

WRxx ：ライト信号

注意. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

図4－10 P13のブロック図



P1 ：ポート・レジスタ1　PU1 ：プルアップ抵抗オプション・レジスタ1　PM1 ：ポート・モード・レジスタ1

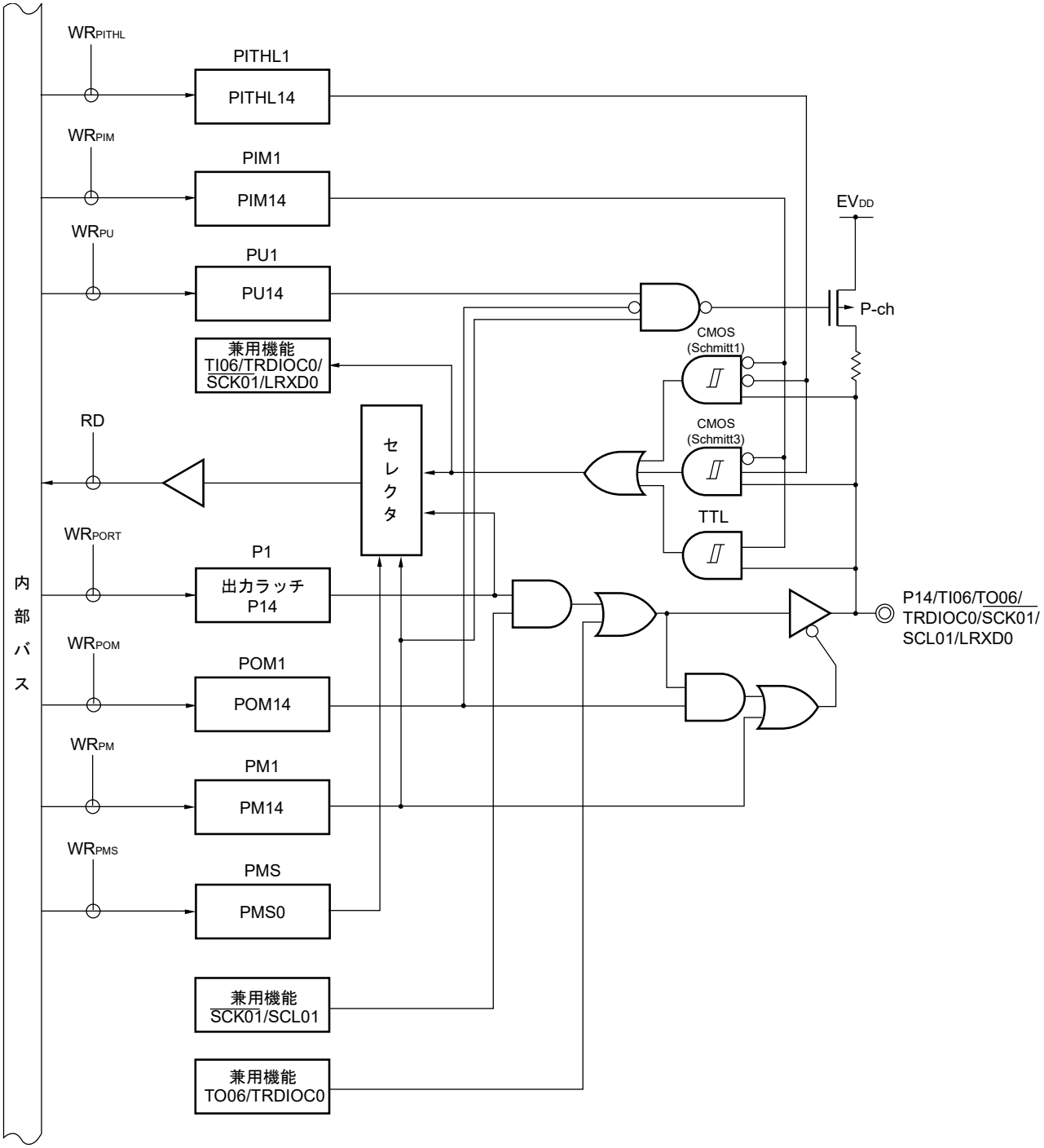
PIM1 ：ポート入力モード・レジスタ1　POM1 ：ポート出力モード・レジスタ1　PMS ：ポート・モード選択レジスタ

PITHL1 ：ポート入力閾値制御レジスタ1　RD ：リード信号　WRxx ：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－11　P14のブロック図



P1　：ポート・レジスタ1　　PU1　：プルアップ抵抗オプション・レジスタ1　　PM1　：ポート・モード・レジスタ1

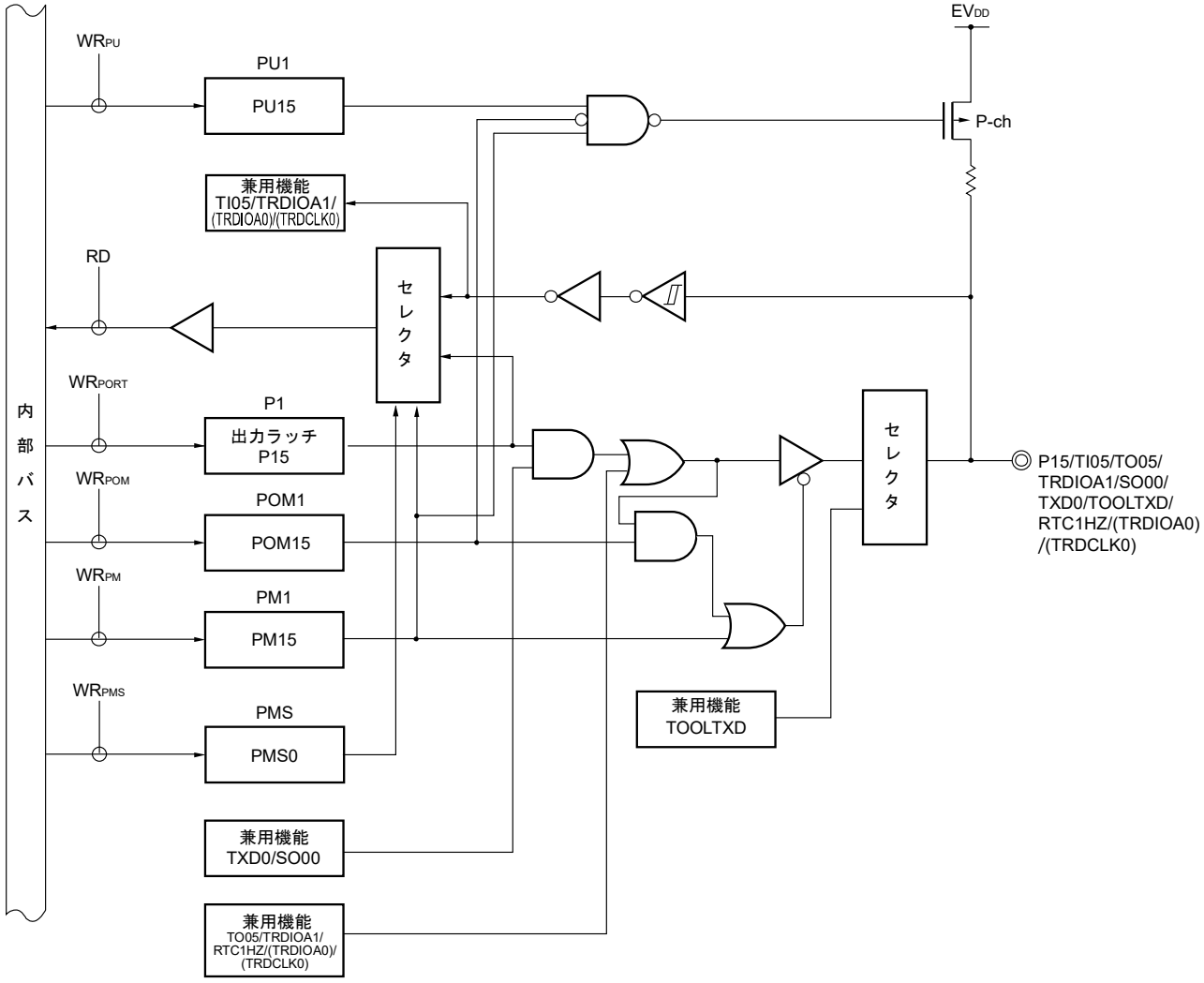
PIM1　：ポート入力モード・レジスタ1　　POM1　：ポート出力モード・レジスタ1　　PMS　：ポート・モード選択レジスタ

PITHL1　：ポート入力閾値制御レジスタ1　　RD　：リード信号　　WRxx　：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－12 P15のブロック図



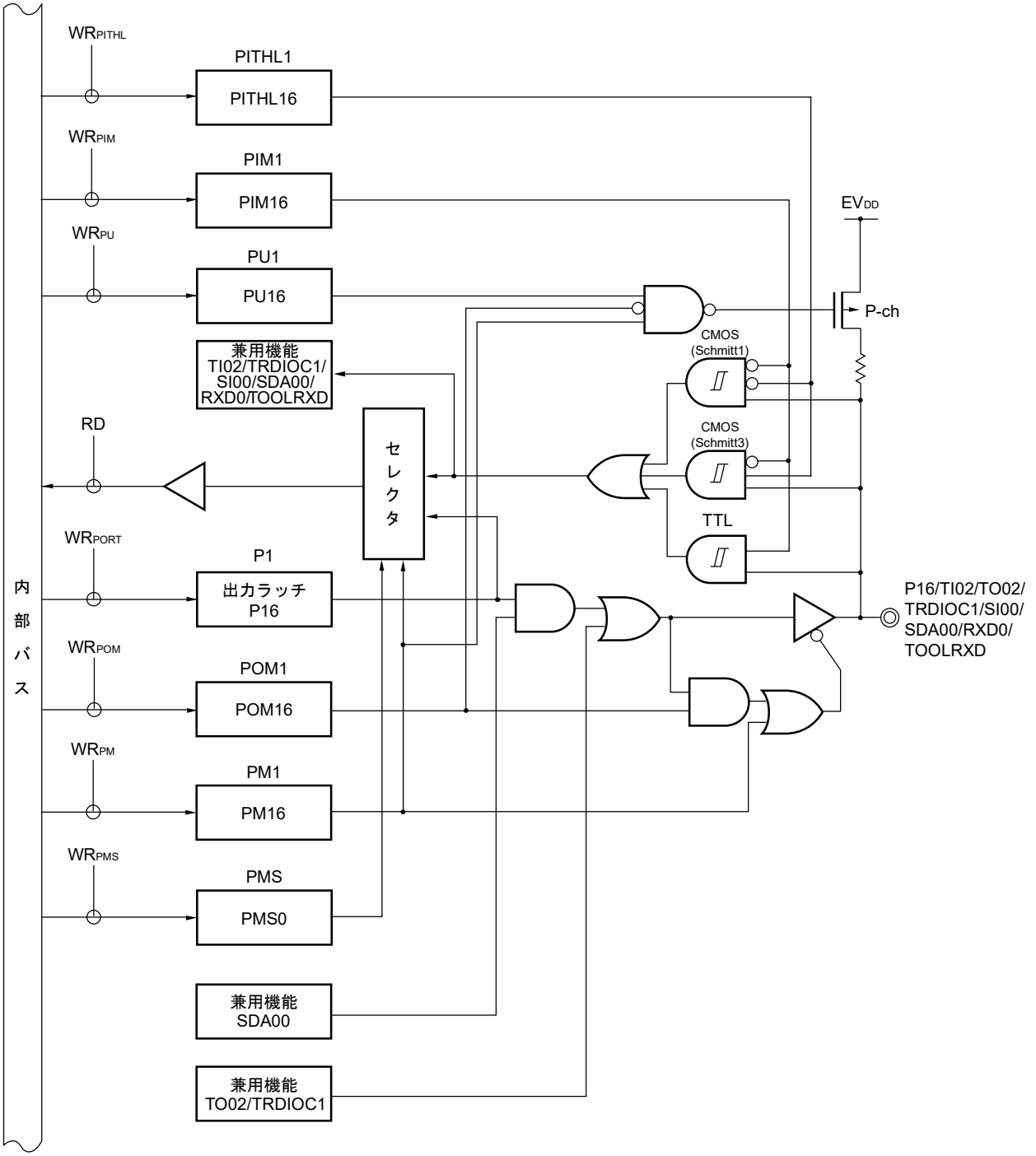
P1 ：ポート・レジスタ1　PU1 ：プルアップ抵抗オプション・レジスタ1　PM1 ：ポート・モード・レジスタ1

POM1 ：ポート出力モード・レジスタ1　PMS ：ポート・モード選択レジスタ　RD ：リード信号

WRxx ：ライト信号

注意. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

図4－13 P16のブロック図

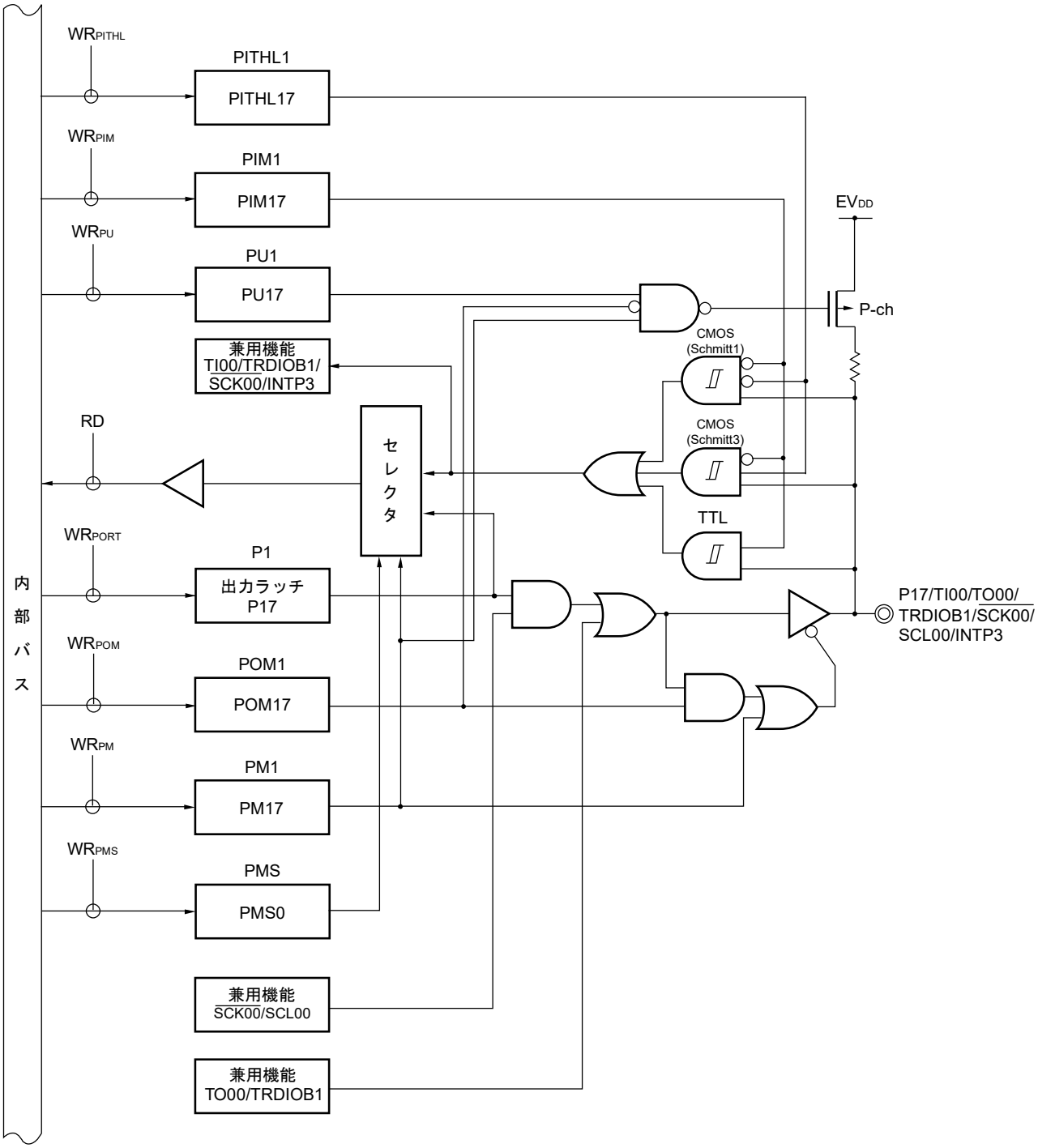


P1	：ポート・レジスタ1	PU1	：プルアップ抵抗オプション・レジスタ1	PM1	：ポート・モード・レジスタ1
PIM1	：ポート入力モード・レジスタ1	POM1	：ポート出力モード・レジスタ1	PMS	：ポート・モード選択レジスタ
PITHL1	：ポート入力閾値制御レジスタ1	RD	：リード信号	WRxx	：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－14 P17のブロック図



P1 ：ポート・レジスタ1
PU1 ：プルアップ抵抗オプション・レジスタ1
PM1 ：ポート・モード・レジスタ1
PIM1 ：ポート入力モード・レジスタ1
POM1 ：ポート出力モード・レジスタ1
PMS ：ポート・モード選択レジスタ
PITHL1：ポート入力閾値制御レジスタ1
RD ：リード信号
WRxx ：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。P20-P27端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ2（PU2）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P20, P21, P24, P25端子の入力は、ポート入力閾値制御レジスタ2（PITHL2）の設定により1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能としてシリアル・インタフェース（CSI, UART）のデータ入出力、クロック入出力があります。

リセット信号の発生により入力モードになります。

表4－5 ポート2使用時のレジスタ設定

端子名称		PM2X	PITHL2X	兼用機能設定[注3]	備考
名称	入出力				
P20	入力	1	0	×	CMOS入力（Schmitt1入力）
			1		CMOS入力（Schmitt3入力）
	出力	0	×	($\overline{SCK20}$出力 = 1) [注1]	
P21	入力	1	0	×	CMOS入力（Schmitt1入力）
			1		CMOS入力（Schmitt3入力）
	出力	0	×	×	
P22	入力	1	–	×	
	出力	0	–	(SO20)/(TXD2)出力 = 1[注2]	
P23	入力	1	–	×	
	出力	0	–	×	
P24	入力	1	0	×	CMOS入力（Schmitt1入力）
			1		CMOS入力（Schmitt3入力）
	出力	0	×	($\overline{SCK21}$出力 = 1)[注1]	
P25	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	×	
P26	入力	1	–	×	
	出力	0	–	(SO21出力 = 1)[注2]	
P27	入力	1	–	×	
	出力	0	–	×	

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のCKOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

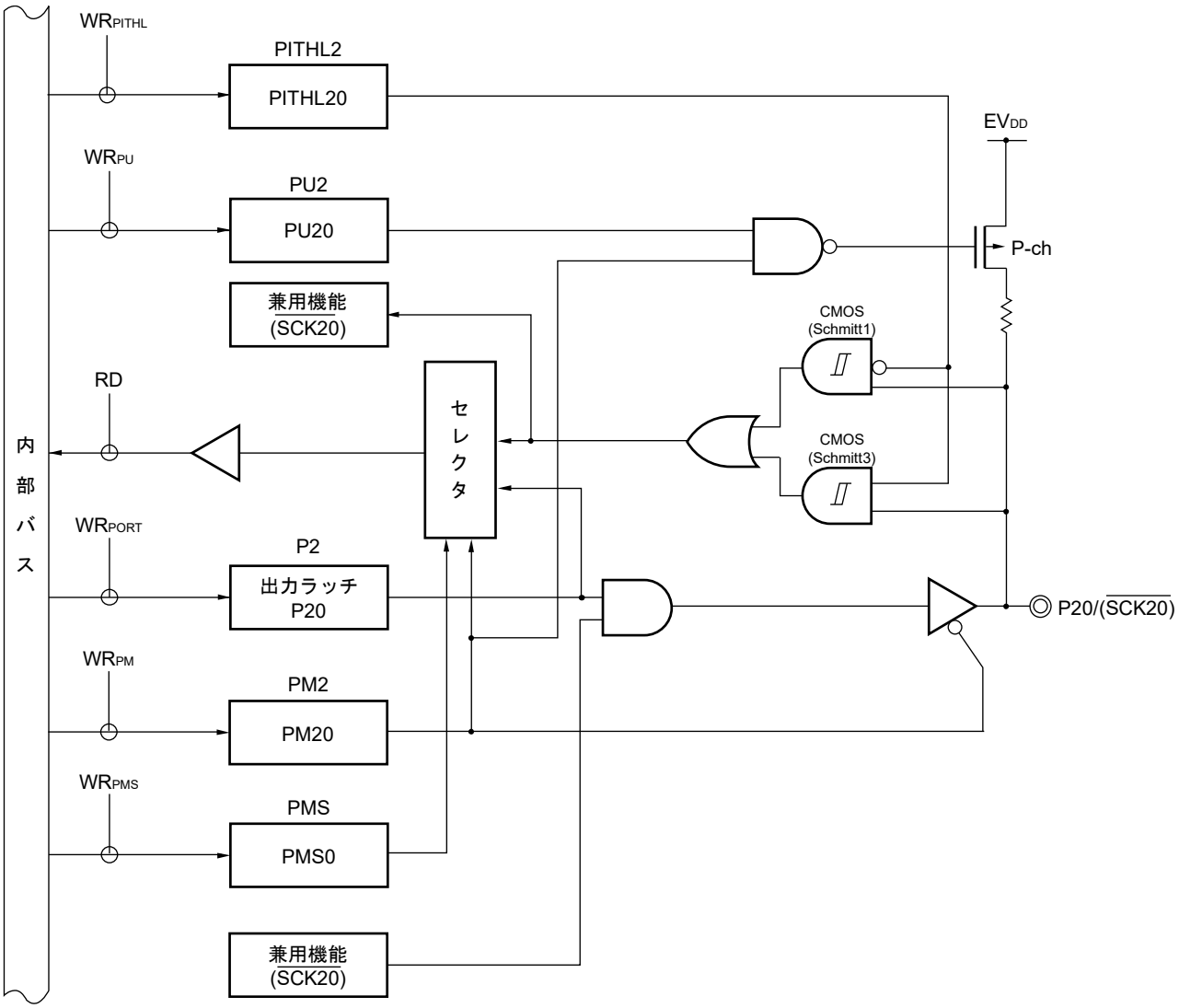
2. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のSOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

3. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ9（PIOR9）の設定により割り当て可能です。

備考 ×：don't care
PM2X：ポート・モード・レジスタ2
PITHL2X：ポート入力閾値制御レジスタ2

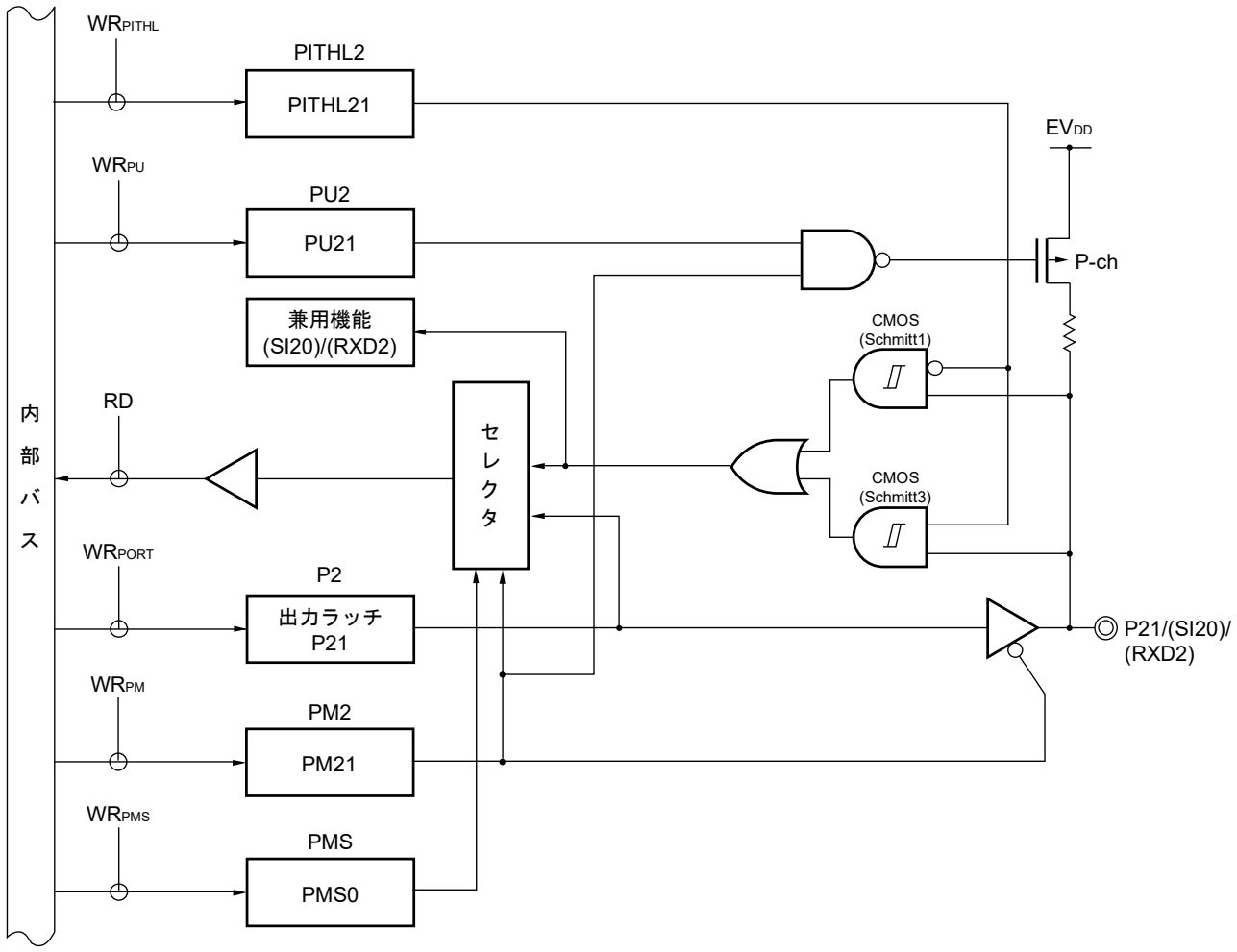
図4－15～図4－21に，144ピン製品の場合のポート2のブロック図を示します。

図4－15　P20のブロック図



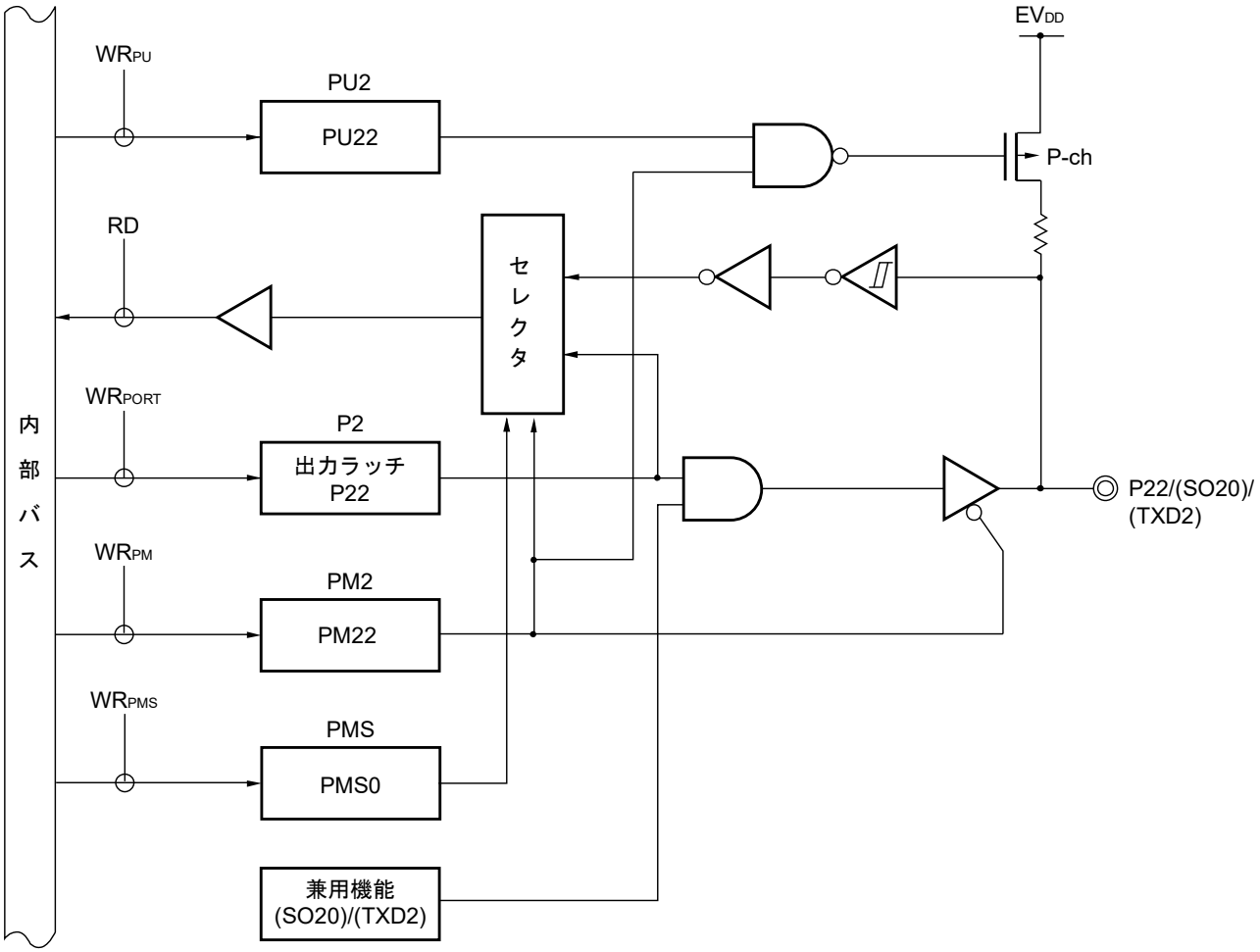
P2　：ポート・レジスタ2
PU2　：プルアップ抵抗オプション・レジスタ2
PM2　：ポート・モード・レジスタ2
PMS　：ポート・モード選択レジスタ
PITHL2　：ポート入力閾値制御レジスタ2
RD　：リード信号
WRxx　：ライト信号

図4－16 P21のブロック図



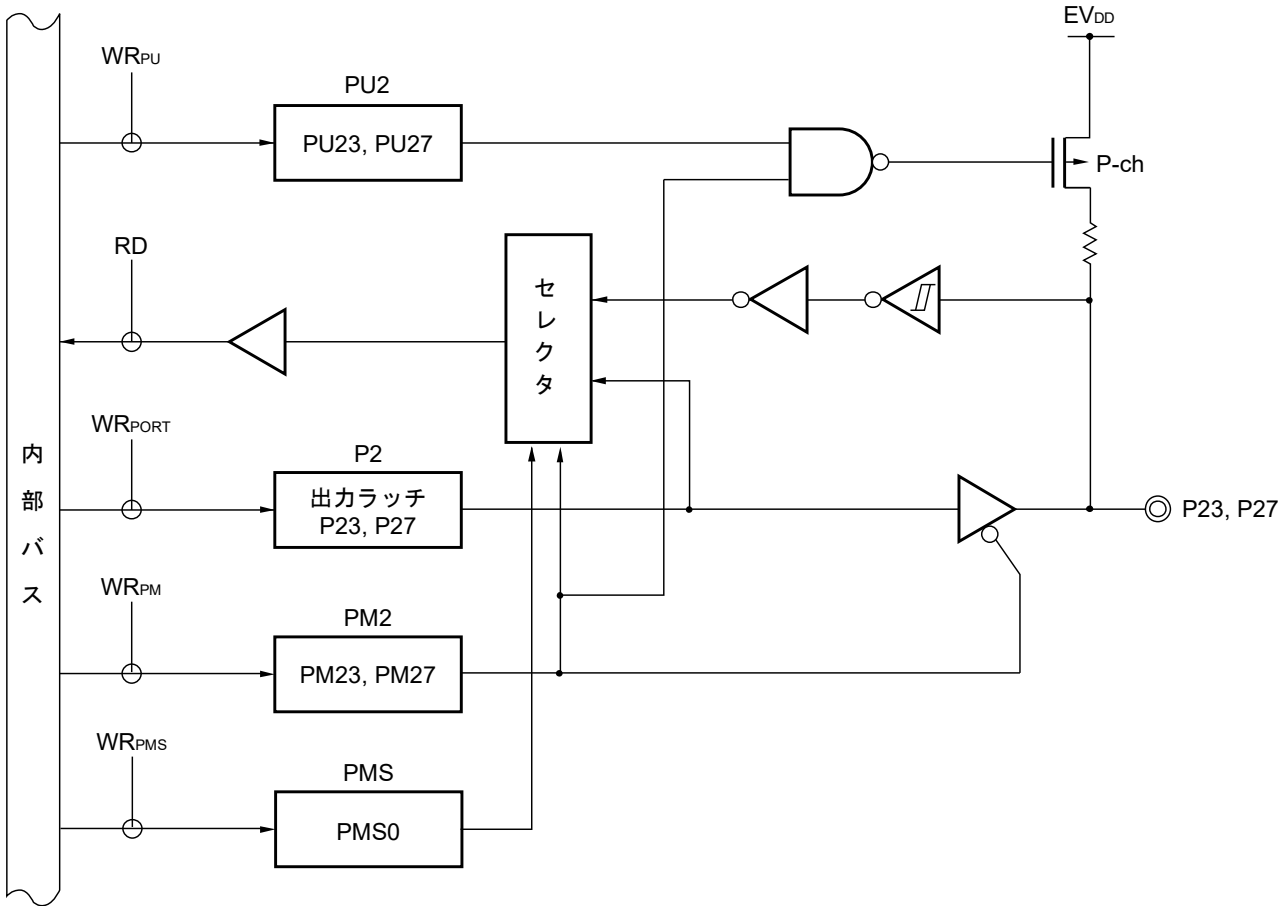
P2 ：ポート・レジスタ2
PU2 ：プルアップ抵抗オプション・レジスタ2
PM2 ：ポート・モード・レジスタ2
PMS ：ポート・モード選択レジスタ
PITHL2 ：ポート入力閾値制御レジスタ2
RD ：リード信号
WRxx ：ライト信号

図4－17 P22のブロック図



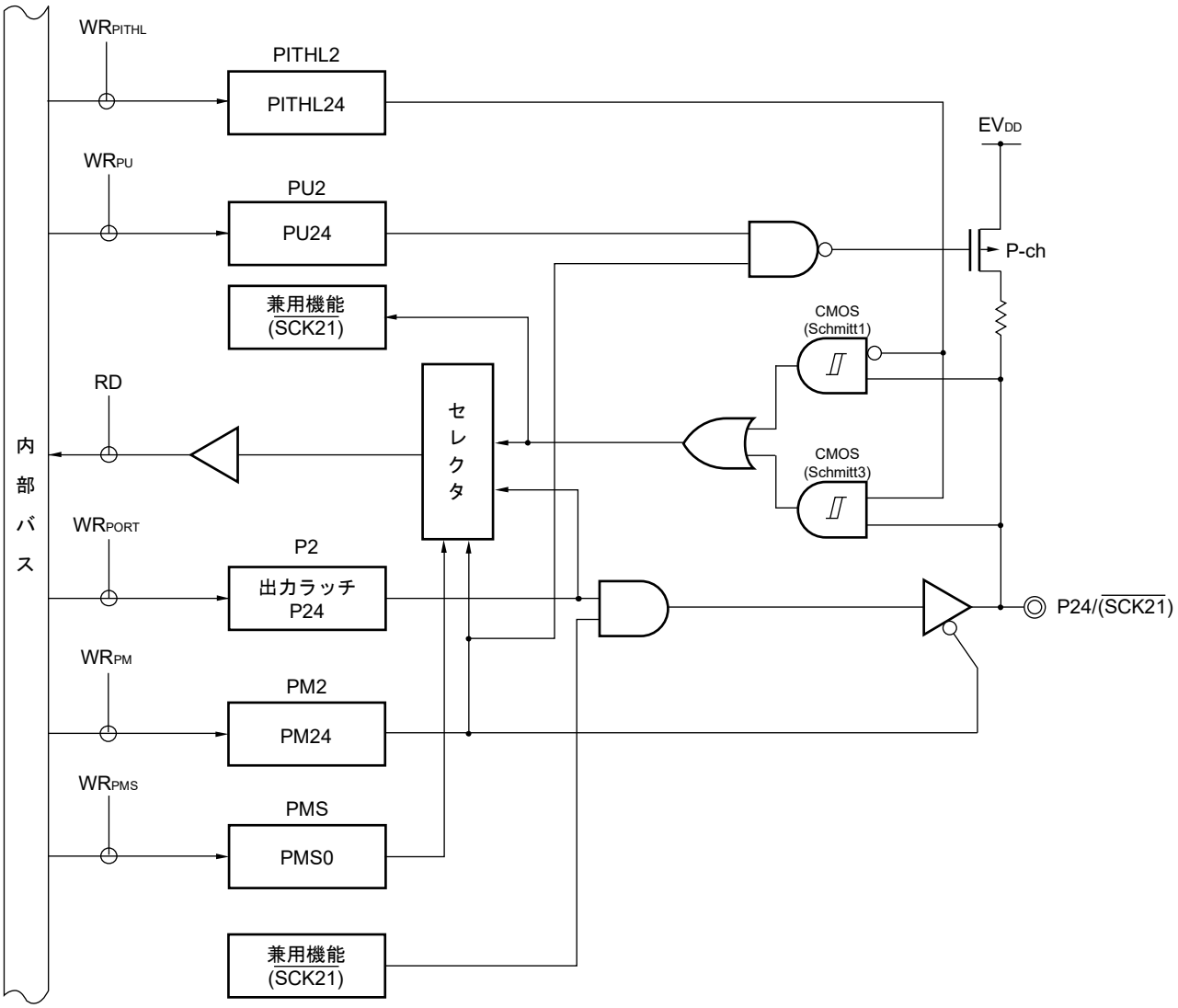
P2 ：ポート・レジスタ2
PU2 ：プルアップ抵抗オプション・レジスタ2
PM2 ：ポート・モード・レジスタ2
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－18 P23, P27のブロック図



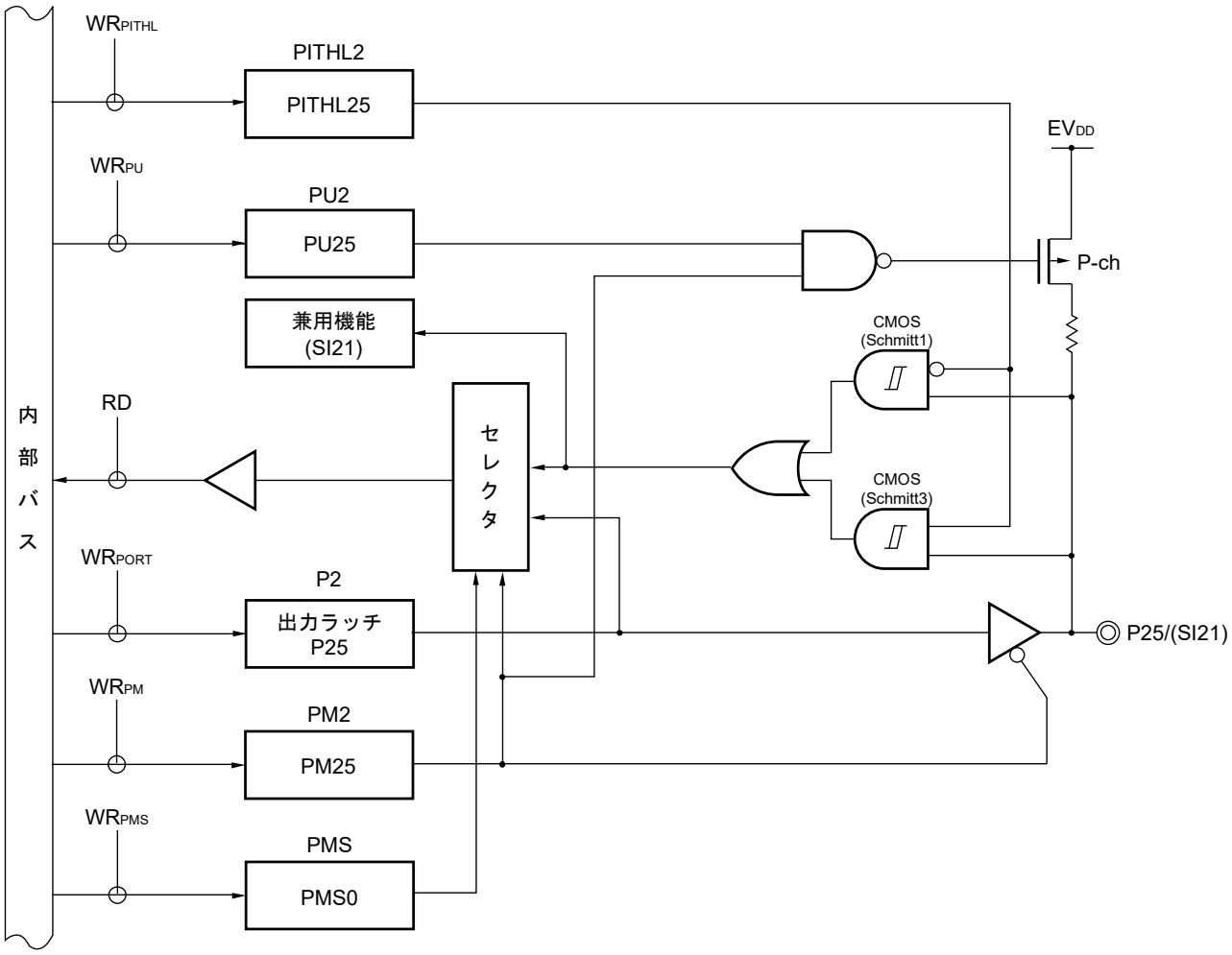
P2 ：ポート・レジスタ2
PU2 ：プルアップ抵抗オプション・レジスタ2
PM2 ：ポート・モード・レジスタ2
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－19 P24のブロック図



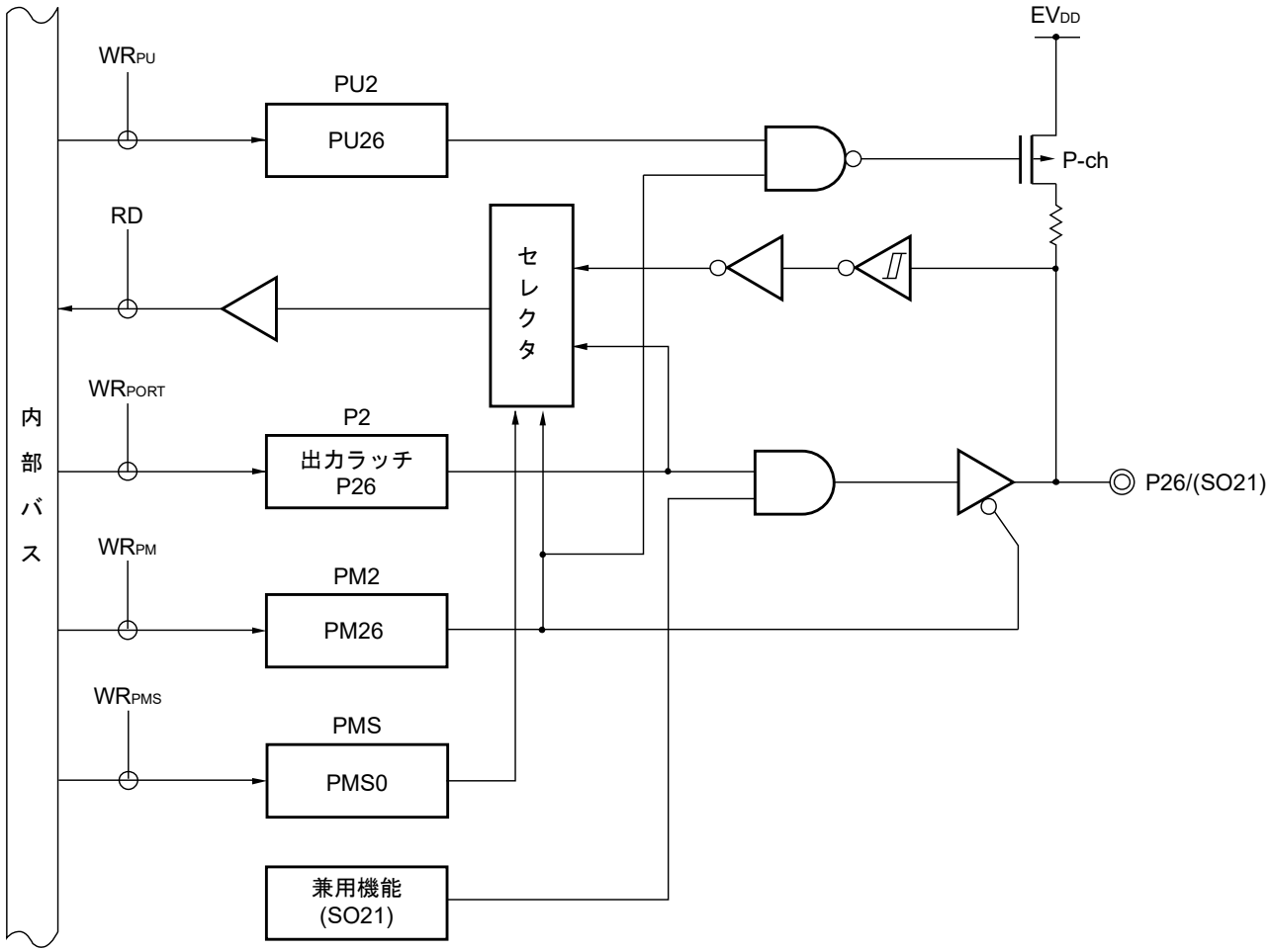
P2 ：ポート・レジスタ2
PU2 ：プルアップ抵抗オプション・レジスタ2
PM2 ：ポート・モード・レジスタ2
PMS ：ポート・モード選択レジスタ
PITHL2 ：ポート入力閾値制御レジスタ2
RD ：リード信号
WRxx ：ライト信号

図4－20 P25のブロック図



P2 ：ポート・レジスタ2
PU2 ：プルアップ抵抗オプション・レジスタ2
PM2 ：ポート・モード・レジスタ2
PMS ：ポート・モード選択レジスタ
PITHL2 ：ポート入力閾値制御レジスタ2
RD ：リード信号
WRxx ：ライト信号

図4－21 P26のブロック図



P2 ：ポート・レジスタ2
PU2 ：プルアップ抵抗オプション・レジスタ2
PM2 ：ポート・モード・レジスタ2
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.4 ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30-P32, P35-P37端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P30端子の入力は、ポート入力モード・レジスタ3（PIM30）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。P30, P37端子の入力は、ポート入力閾値制御レジスタ3（PITHL3）の設定により1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能として外部割り込み要求入力、タイマの入出力、シリアルインタフェースのスレーブセレクト入力、SNOOZEステータス出力、STOPステータス出力、CANのシリアル・データ入出力があります。

またP33とP34は、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの基準電位（+側）入力、A/Dコンバータの基準電位（–側）入力があります。

P33/ANI0, P34/ANI1をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力に、かつPM3レジスタで入力モードあるいは出力モードに設定して、上位ビットから使用してください。

P33/ANI0, P34/ANI1をアナログ入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入出力に、かつPM3レジスタで入力モードに設定して、下位ビットから使用してください。

リセット信号の発生により、P30-P32, P35-P37は入力モード、P33/ANI0, P34/ANI1はアナログ入力になります。

表4－6 ポート3使用時のレジスタ設定

端子名称		PM3X	PIM3X	PITHL3X	兼用機能設定[注6]	備考
名称	入出力					
P30	入力	1	0	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
			1	×	×	TTL入力
	出力	0	×	×	TRDIOD1出力 = 0[注1] TO01出力 = 0[注2] SNZOUT0出力 = 0[注3]	
P31	入力	1	–	–	×	
	出力	0	–	–	TO14出力 = 0[注2] STOPST出力 = 0[注4]	
P32	入力	1	–	–	×	
	出力	0	–	–	TO16出力 = 0[注2]	
P33	入力	1	–	–	×	
	出力	0	–	–	×	
P34	入力	1	–	–	×	
	出力	0	–	–	×	
P35	入力	1	–	–	×	
	出力	0	–	–	×	
P36	入力	1	–	–	×	
	出力	0	–	–	(CTXD1)出力 = 1[注5]	
P37	入力	1	–	0	×	CMOS入力（Schmitt1入力）
				1	×	CMOS入力（Schmitt3入力）
	出力	0	–	×	×	

（注と備考は次ページにあります。）

注1. タイマRD機能と兼用している端子を汎用ポートとして使用する場合、タイマRD出力マスタ許可レジスタ1（TRDOER1）で対象となるTRDIOij端子の出力制御ビットを初期値と同じ設定で使用してください (i= A, B, C, D, j = 0, 1)。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください (m = 0, 1, 2, n = 0-7)。

3. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。

4. STOPステータス出力機能と兼用している端子を汎用ポートとして使用する場合、STOPステータス出力制御レジスタ（STPSTC）のSTPOENビットを初期値と同じ設定で使用してください。

5. CANのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合、対応するCANを動作停止にしてください。

6. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ9（PIOR9）の設定により割り当て可能です。

備考 ×　：don't care
PM3X　：ポート・モード・レジスタ3
PIM3X　：ポート入力モード・レジスタ3
PITHL3X　：ポート入力閾値制御レジスタ3

表4－7　ポート3（P33, P34）使用時のレジスタ設定

端子名称		PM3X	ADPC	兼用機能設定	備考
名称	入出力				
P3n	入力	1	01～n-2H	－	ポートとして使用する場合は上位ビットから使用
	出力	0	01～n-2H		

備考1.　PM3X　：ポート・モード・レジスタ3

ADPC　：A/Dポート・コンフィギュレーション・レジスタ

2.　n = 3, 4

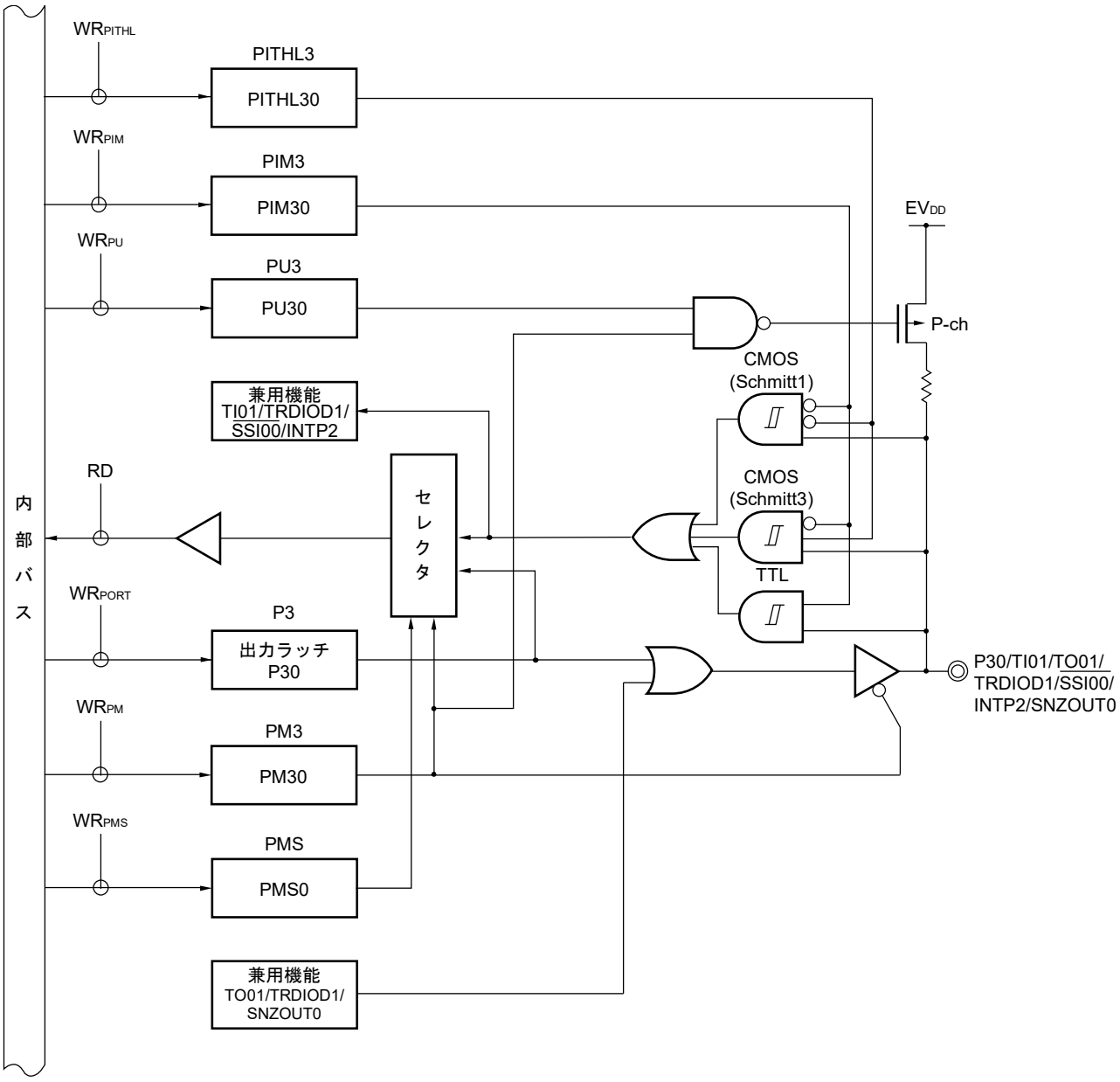
表4－8　P33/ANI0, P34/ANI1端子機能の設定

ADPCレジスタ	PM3レジスタ	ADSレジスタ	P33/ANI0, P34/ANI1端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P33/ANI0, P34/ANI1はアナログ入力になります。

図4－22～図4－28に，144ピン製品の場合のポート3のブロック図を示します。

図4－22　P30のブロック図



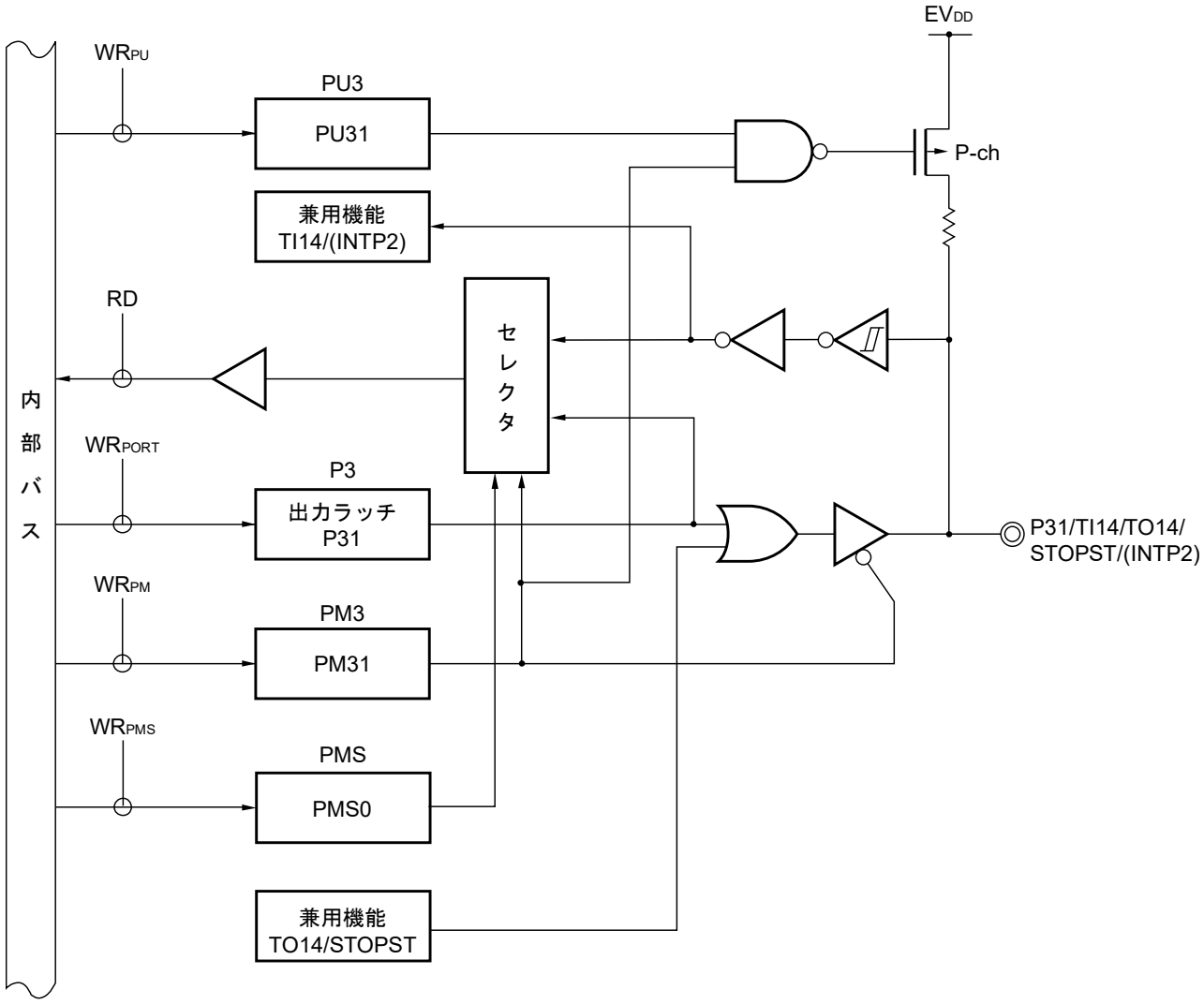
P3　：ポート・レジスタ3　　PU3　：プルアップ抵抗オプション・レジスタ3　　PM3　：ポート・モード・レジスタ3

PIM3：ポート入力モード・レジスタ3　　PMS　：ポート・モード選択レジスタ　　PITHL3　：ポート入力閾値制御レジスタ3

RD　：リード信号　　WRxx：ライト信号

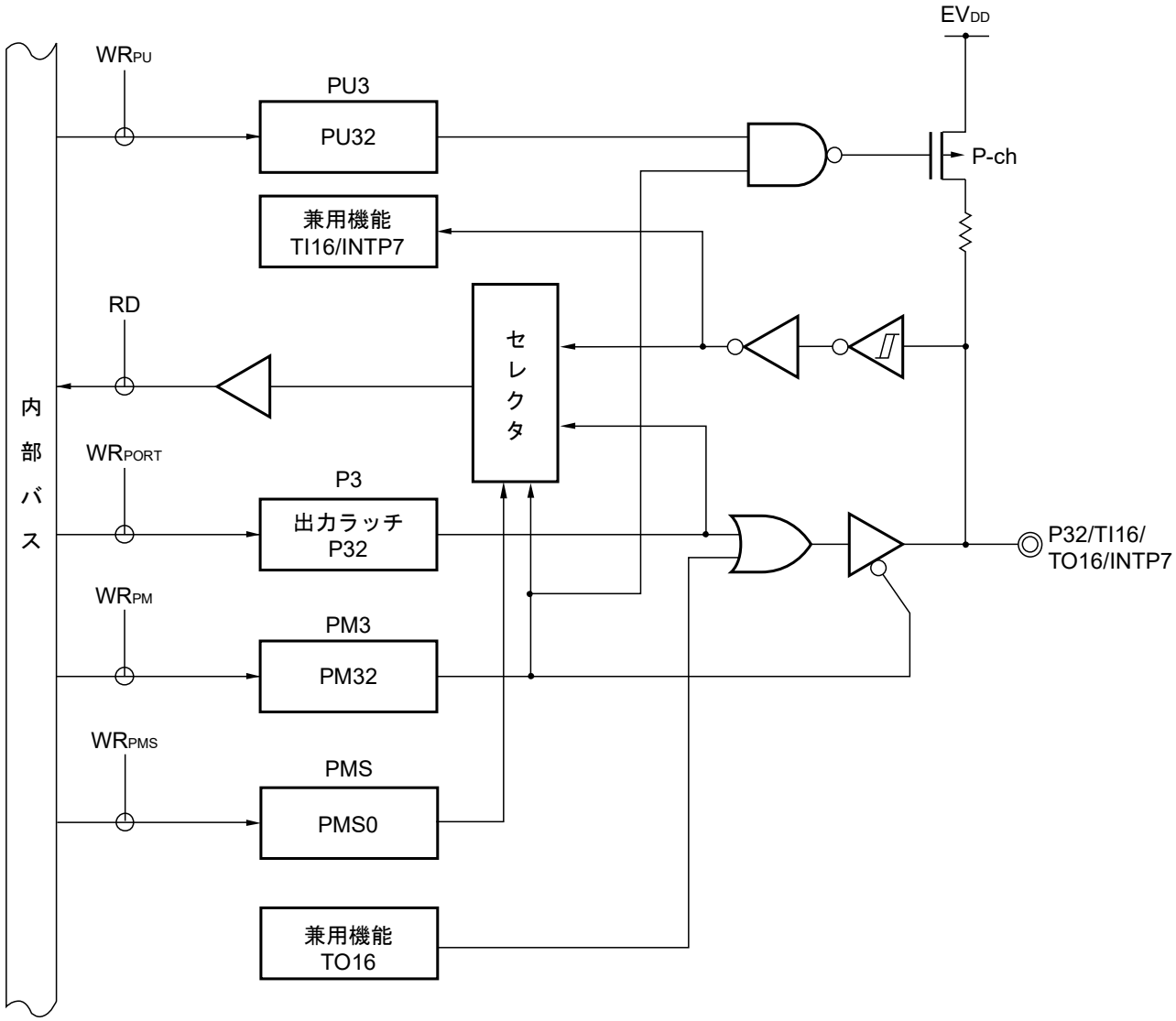
注意．この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－23 P31のブロック図



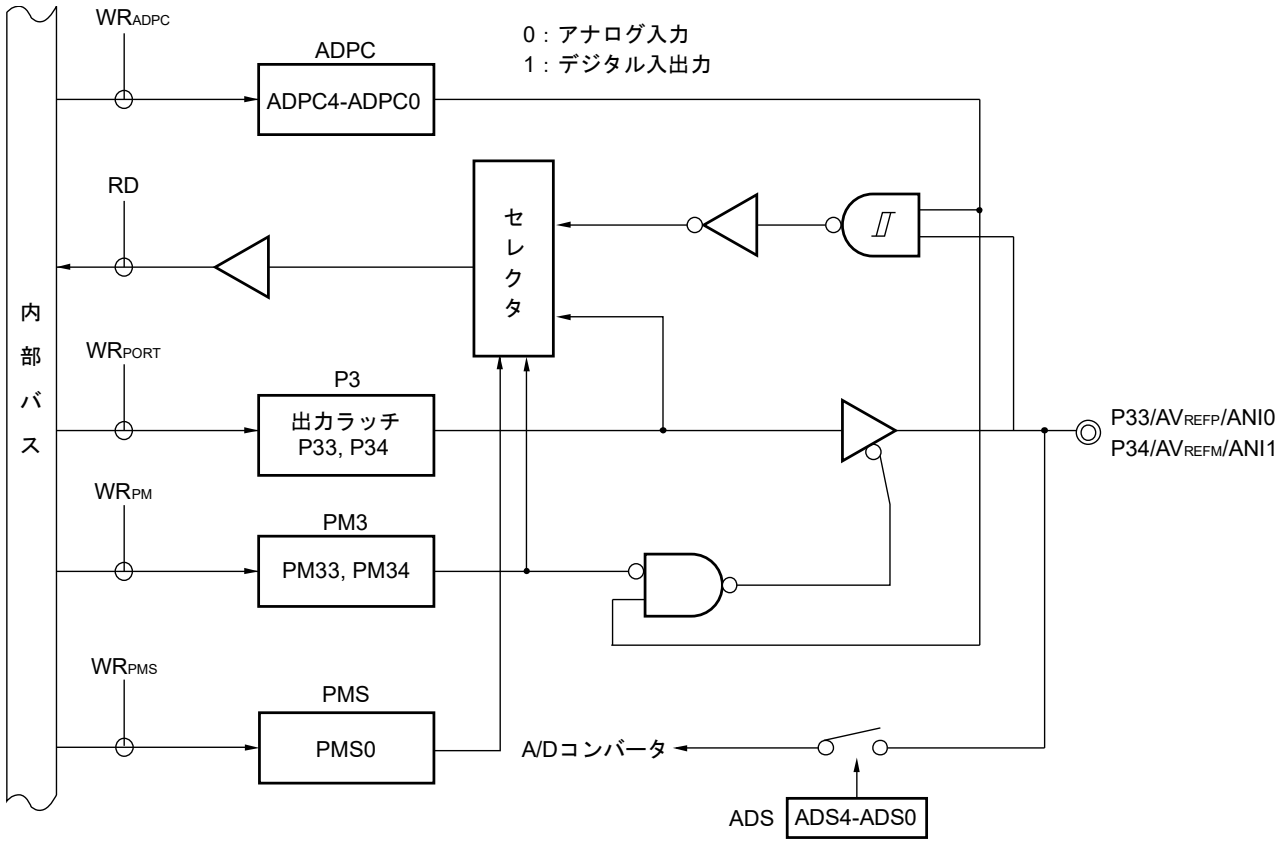
P3 ：ポート・レジスタ3
PU3 ：プルアップ抵抗オプション・レジスタ3
PM3 ：ポート・モード・レジスタ3
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－24 P32のブロック図



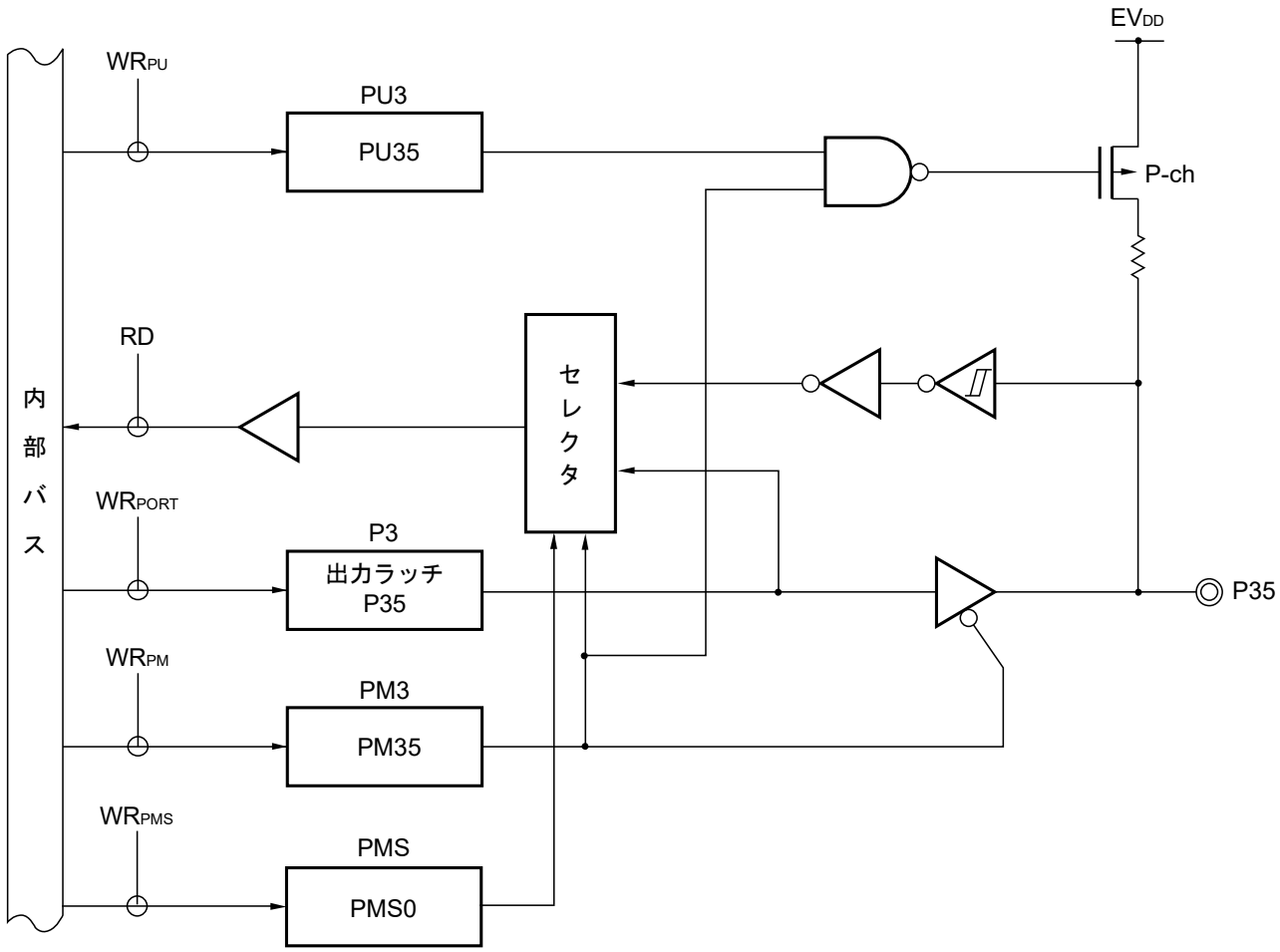
P3 ：ポート・レジスタ3
PU3 ：プルアップ抵抗オプション・レジスタ3
PM3 ：ポート・モード・レジスタ3
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－25 P33, P34のブロック図



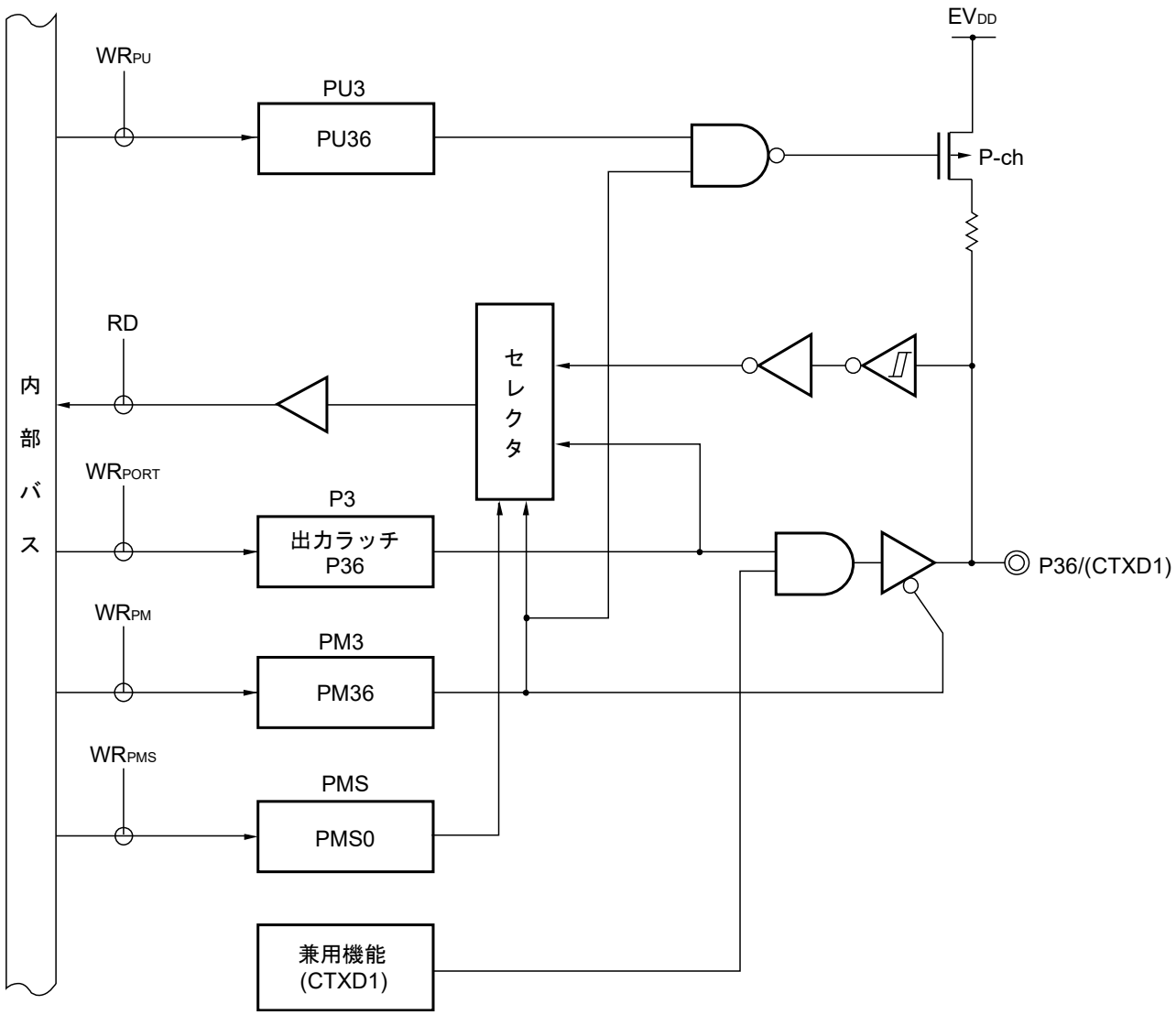
P3 ：ポート・レジスタ3
PM3 ：ポート・モード・レジスタ3
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－26 P35のブロック図



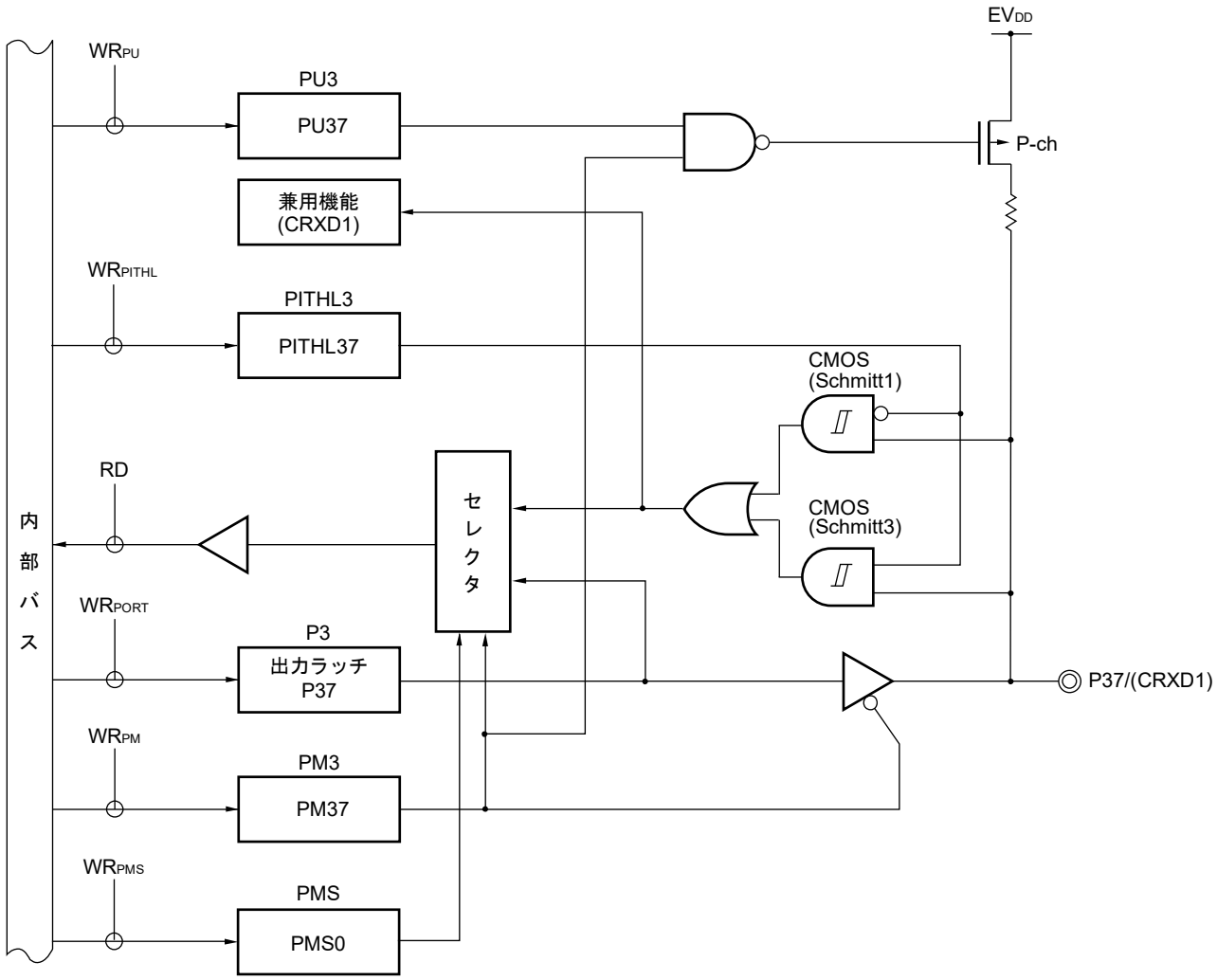
P3 ：ポート・レジスタ3
PU3 ：プルアップ抵抗オプション・レジスタ3
PM3 ：ポート・モード・レジスタ3
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－27 P36のブロック図



P3 ：ポート・レジスタ3
PU3 ：プルアップ抵抗オプション・レジスタ3
PM3 ：ポート・モード・レジスタ3
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－28 P37のブロック図



P3 ：ポート・レジスタ3
PU3 ：プルアップ抵抗オプション・レジスタ3
PM3 ：ポート・モード・レジスタ3
PMS ：ポート・モード選択レジスタ
PITHL3 ：ポート入力閾値制御レジスタ3
RD ：リード信号
WRxx ：ライト信号

4.2.5 ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P43端子の入力は、ポート入力閾値制御レジスタ4（PITHL4）の設定により、1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能として外部割り込み要求入力、タイマ入出力、コンパレータ出力、SNOOZEステータス出力、LINのシリアル・データ入出力、フラッシュ・メモリ・プログラマ/デバッガ用データ入出力があります。

リセット信号の発生により入力モードになります。

表4－9 ポート4使用時のレジスタ設定

端子名称		PM4X	PITHL4X	兼用機能設定[注6]	備考
名称	入出力				
P40	入力	1	–	×	
	出力	0	–	×	
P41	入力	1	–	×	
	出力	0	–	TRJIO0出力 = 0[注1] TO10出力 = 0[注2] VCOUT0出力 = 0[注3] SNZOUT2出力 = 0[注4]	
P42	入力	1	–	×	
	出力	0	–	(LTXD0出力= 1)[注5]	
P43	入力	1	0	×	CMOS入力 （Schmitt1入力）
			1	×	CMOS入力 （Schmitt3入力）
	出力	0	×	×	
P44	入力	1	–	×	
	出力	0	–	(TO07出力 = 0) [注2]	
P45	入力	1	–	×	
	出力	0	–	(TO10出力 = 0) [注2]	
P46	入力	1	–	×	
	出力	0	–	(TO12出力 = 0) [注2]	
P47	入力	1	–	×	
	出力	0	–	×	

注1. タイマRJのタイマ入出力機能と兼用している端子を汎用ポートとして使用する場合、タイマRJモード・レジスタ0（TRJMR0）のTMOD2-0ビットを初期値と同じ設定、または001B以外の設定で使用してください。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください（m = 0, 1, 2, n = 0-7）。

3. コンパレータ出力機能と兼用している端子を汎用ポートとして使用する場合、コンパレータ制御レジスタ（CMPCTL）のCOEビットを初期値と同じ設定で使用してください。

4. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。

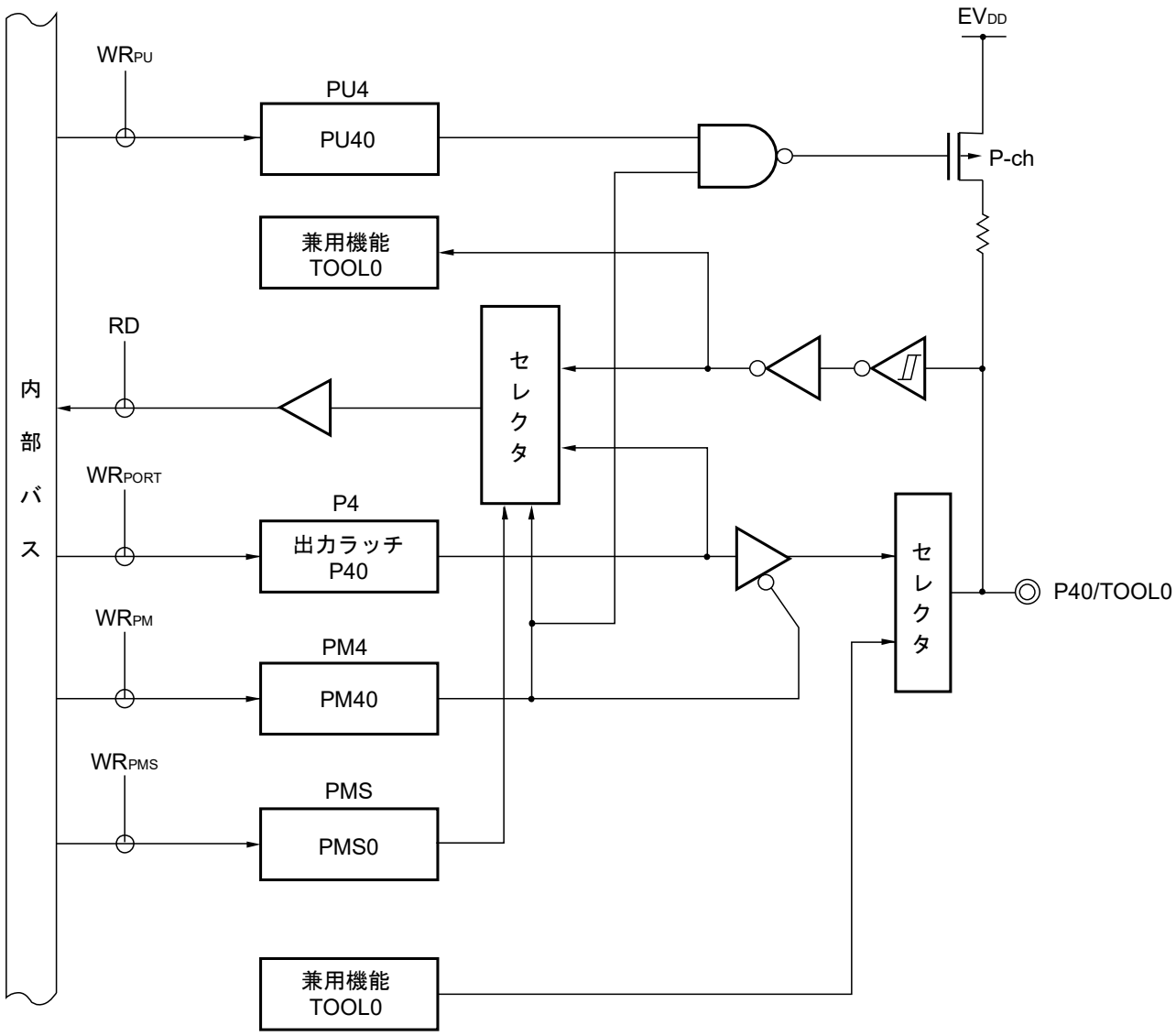
5. LINのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合、対応するLINを動作停止にしてください。

6. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ1, 3, 4（PIOR1, PIOR3, PIOR4）の設定により割り当て可能です。

備考 ×　　：don't care
PM4X　：ポート・モード・レジスタ4
PITHL4X　：ポート入力閾値制御レジスタ4

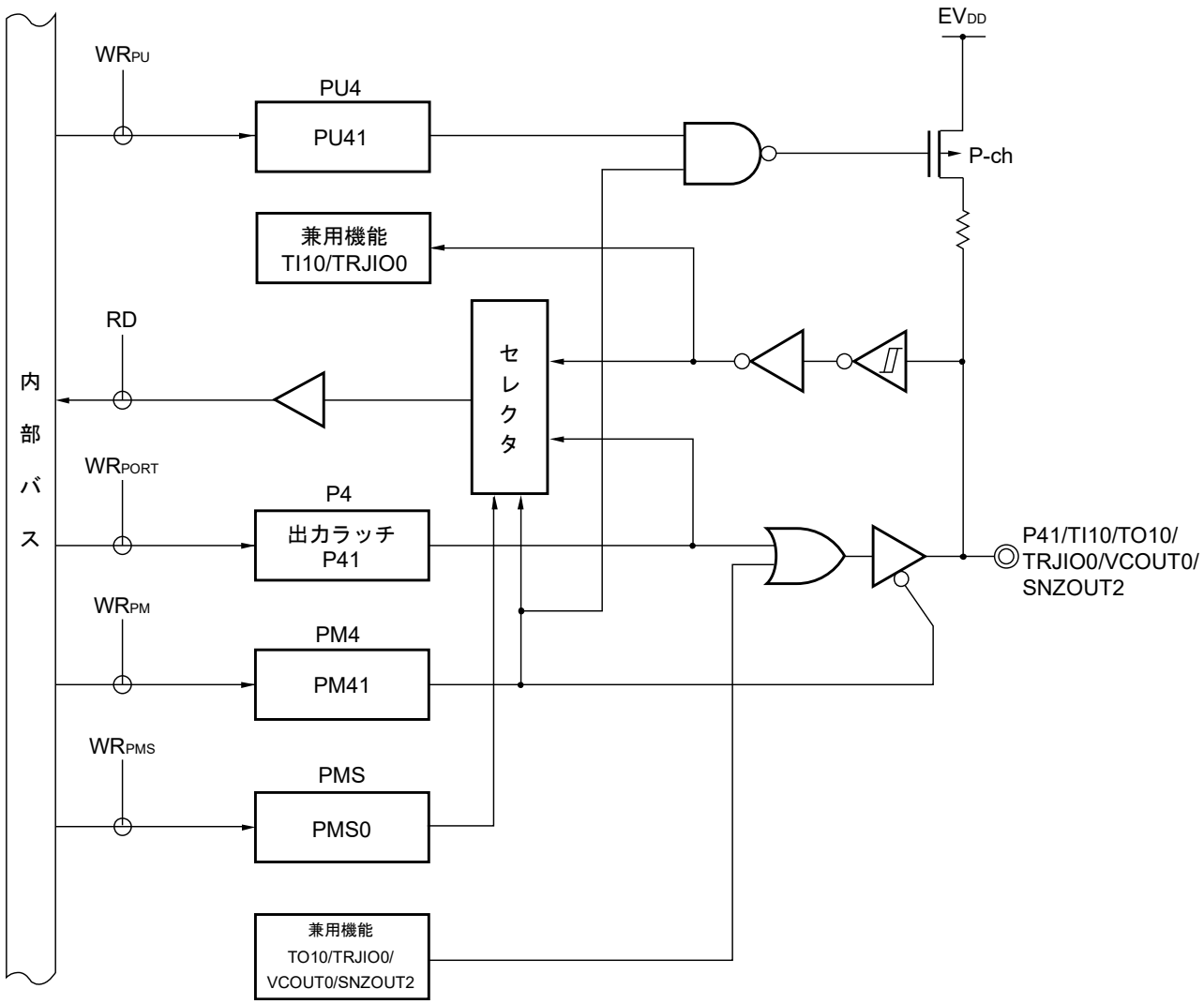
図4－29～図4－36に，144ピン製品の場合のポート4のブロック図を示します。

図4－29　P40のブロック図



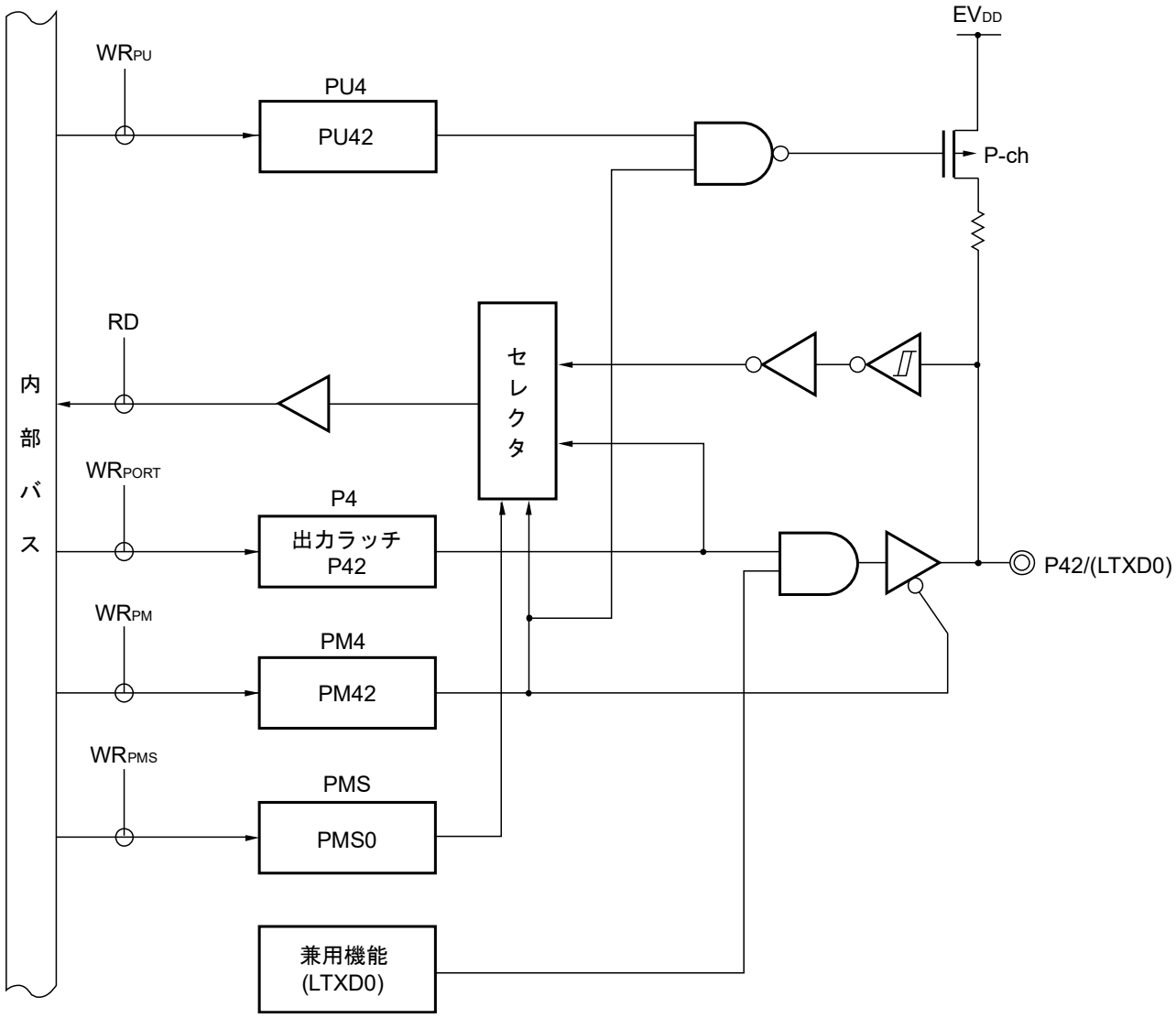
P4　：ポート・レジスタ4
PU4　：プルアップ抵抗オプション・レジスタ4
PM4　：ポート・モード・レジスタ4
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

図4－30 P41のブロック図



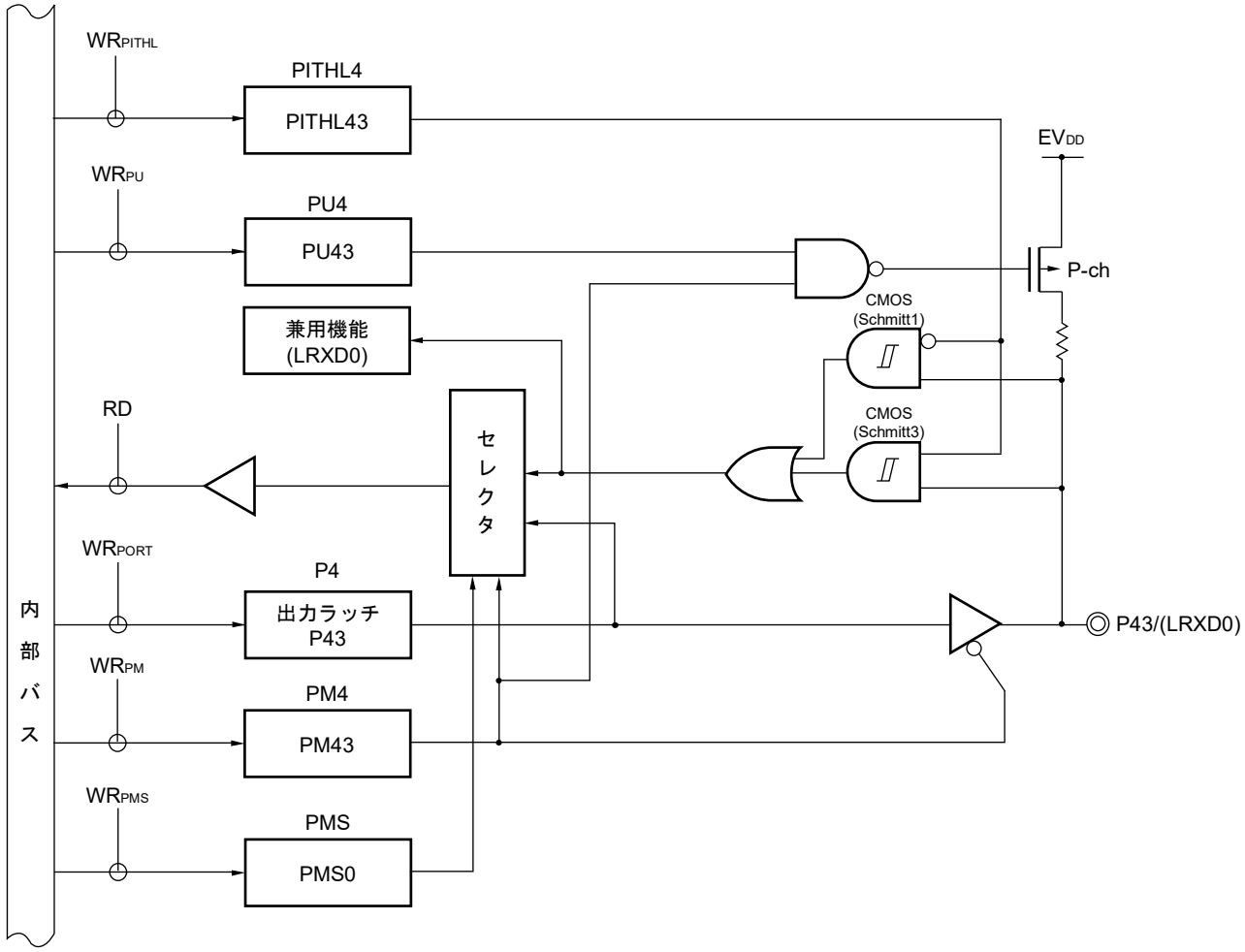
P4 ：ポート・レジスタ4
PU4 ：プルアップ抵抗オプション・レジスタ4
PM4 ：ポート・モード・レジスタ4
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－31 P42のブロック図



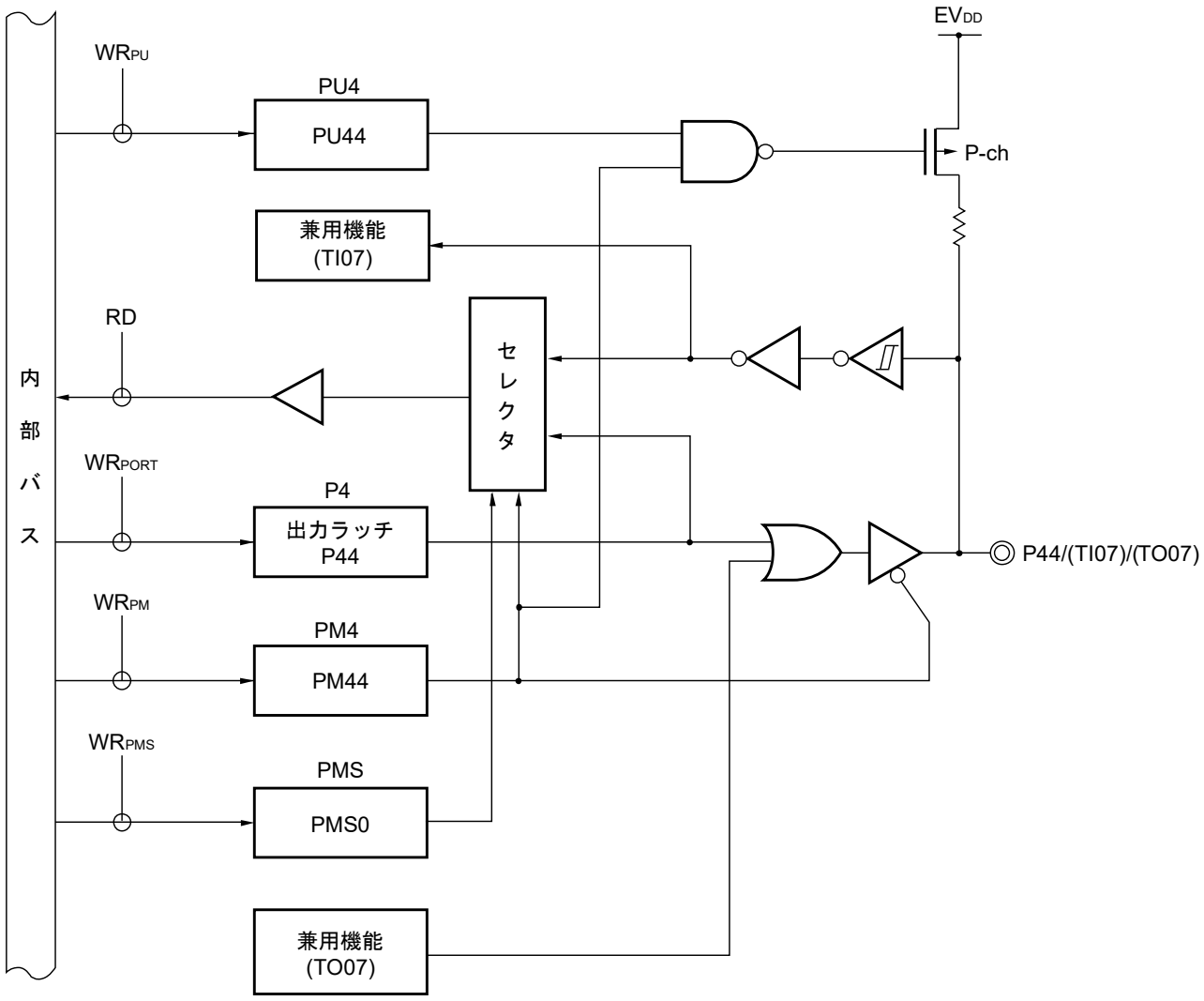
P4 ：ポート・レジスタ4
PU4 ：プルアップ抵抗オプション・レジスタ4
PM4 ：ポート・モード・レジスタ4
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－32 P43のブロック図



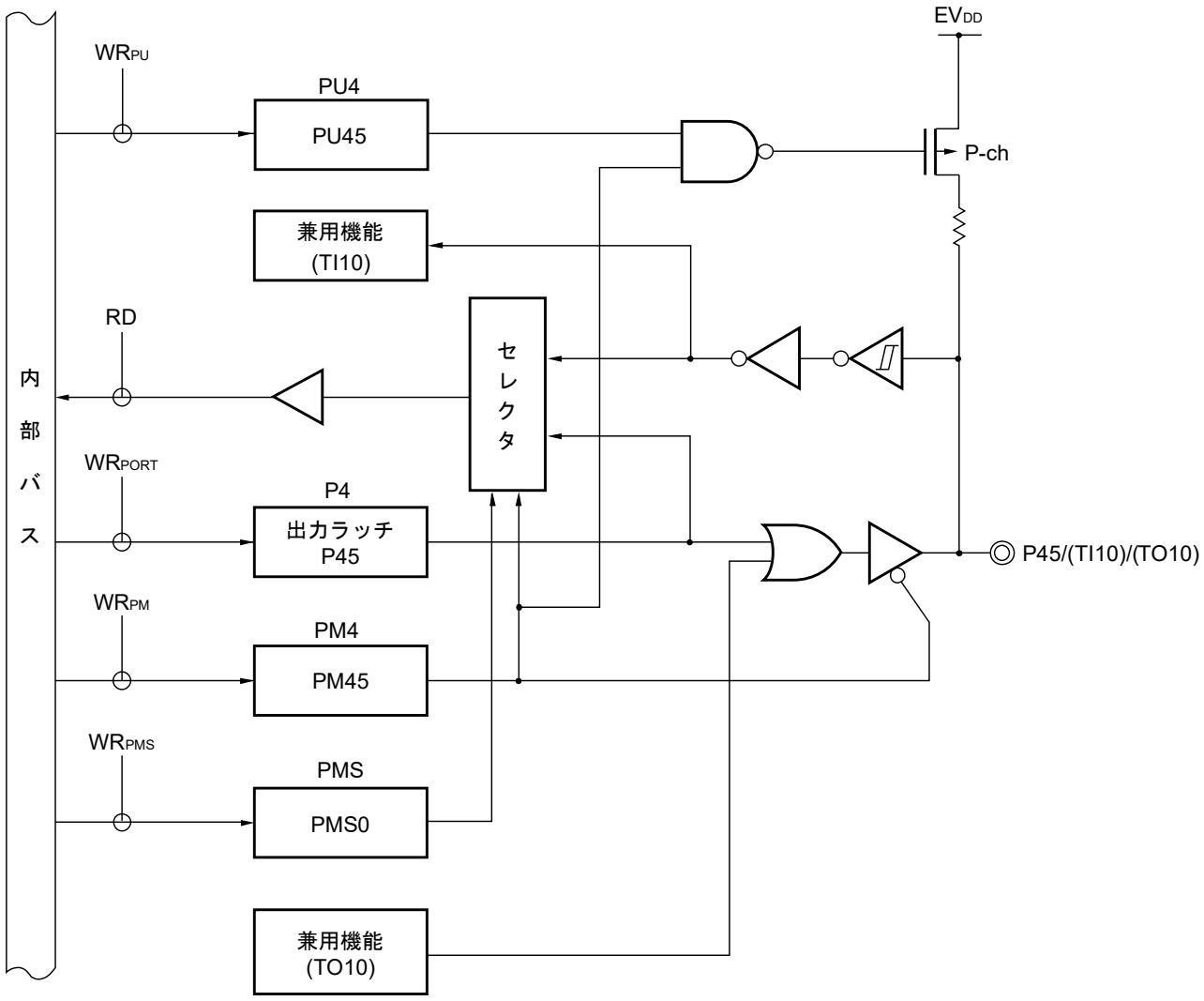
P4 ：ポート・レジスタ4
PU4 ：プルアップ抵抗オプション・レジスタ4
PM4 ：ポート・モード・レジスタ4
PMS ：ポート・モード選択レジスタ
PITHL4 ：ポート入力閾値制御レジスタ4
RD ：リード信号
WRxx ：ライト信号

図4－33 P44のブロック図



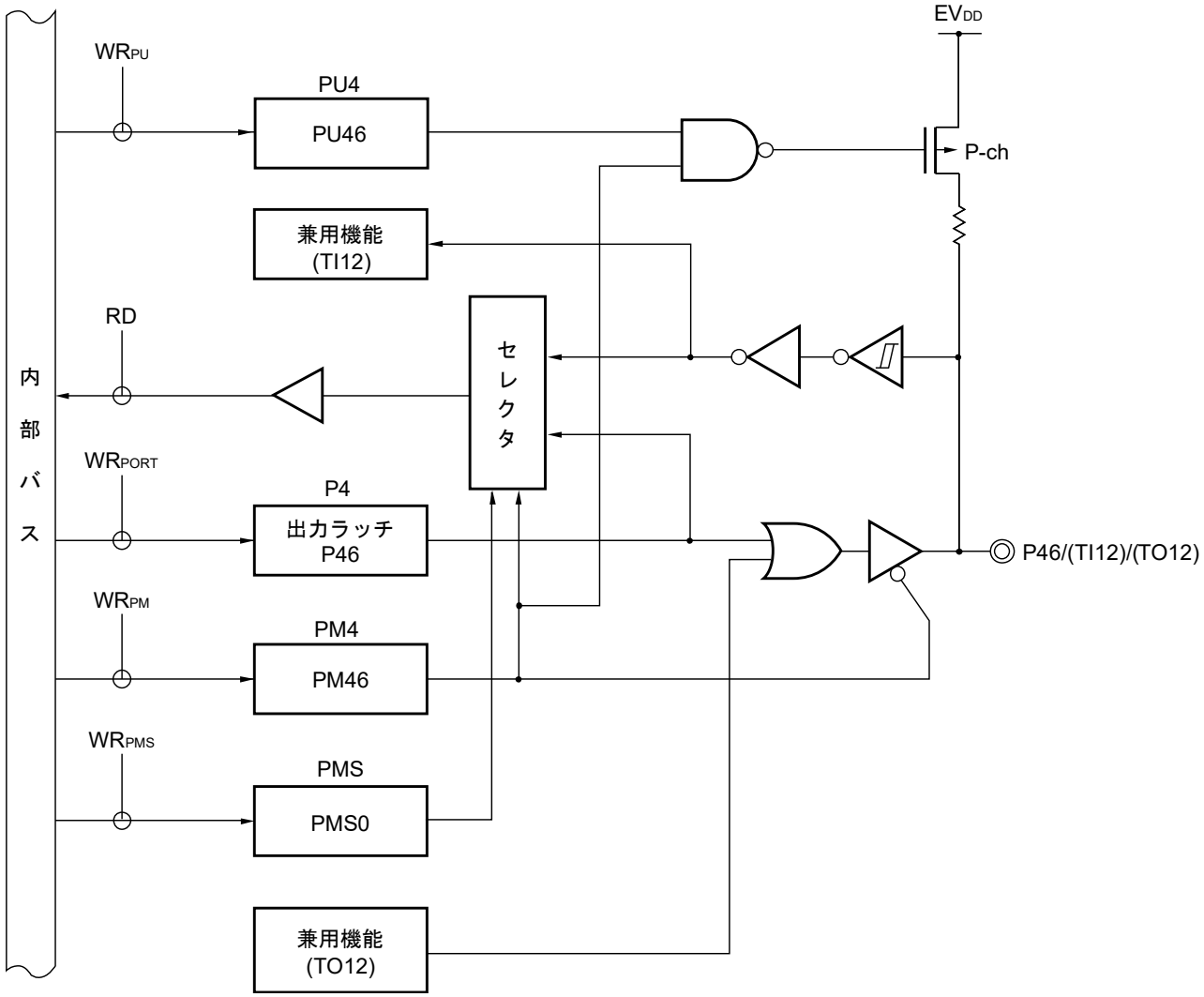
P4 ：ポート・レジスタ4
PU4 ：プルアップ抵抗オプション・レジスタ4
PM4 ：ポート・モード・レジスタ4
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－34 P45のブロック図



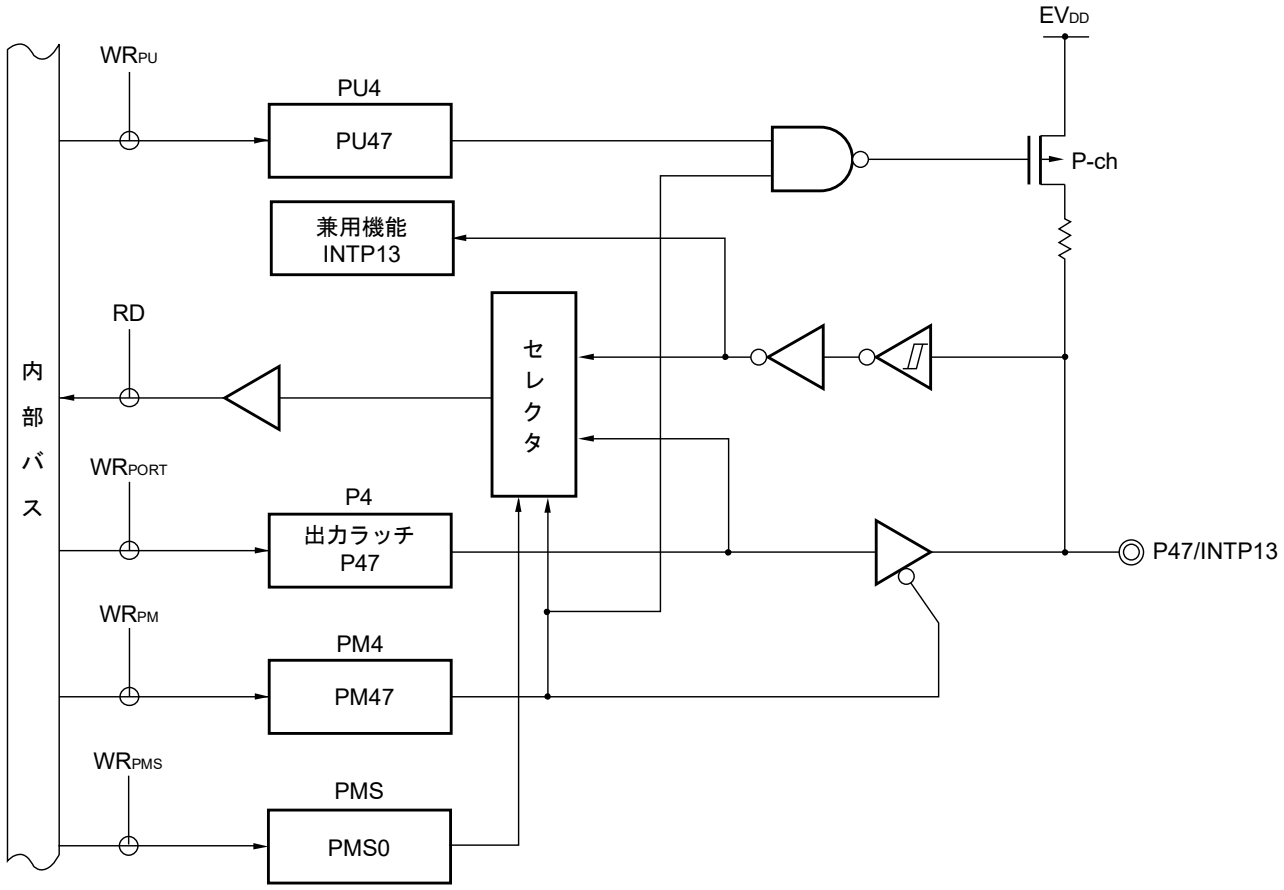
P4 ：ポート・レジスタ4
PU4 ：プルアップ抵抗オプション・レジスタ4
PM4 ：ポート・モード・レジスタ4
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－35 P46のブロック図



P4 ：ポート・レジスタ4
PU4 ：プルアップ抵抗オプション・レジスタ4
PM4 ：ポート・モード・レジスタ4
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－36　P47のブロック図



P4　：ポート・レジスタ4
PU4　：プルアップ抵抗オプション・レジスタ4
PM4　：ポート・モード・レジスタ4
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P54端子の入力は、ポート入力モード・レジスタ5（PIM5）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50, P52-P54端子の入力は、ポート入力閾値制御レジスタ5（PITHL5）の設定により、1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェース（CSI）のデータ入出力、クロック入出力、スレーブセレクト入力、タイマの入出力、STOPステータス出力、SNOOZEステータス出力、IEBusのシリアル・データ入出力があります。

リセット信号の発生により入力モードになります。

表4－10 ポート5使用時のレジスタ設定

端子名称		PM5X	PIM5X	PITHL5X	兼用機能設定[注7]	備考
名称	入出力					
P50	入力	1	–	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
	出力	0	–	×	×	
P51	入力	1	–	–	×	
	出力	0	–	–	(SO01出力 = 1)[注1] ($\overline{\text{IETXD}}$出力 = 0)[注2]	
P52	入力	1	–	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
	出力	0	–	×	($\overline{\text{SCK01}}$出力 = 1)[注3] (STOPST出力 = 0)[注6]	
P53	入力	1	–	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
	出力	0	–	×	×	
P54	入力	1	0	0	×	CMOS入力（Schmitt1入力）
				1		CMOS入力（Schmitt3入力）
			1	×	×	TTL入力
	出力	0	×	×	(TO11出力 = 0)[注4]	
P55	入力	1	–	–	×	
	出力	0	–	–	(TO13出力 = 0)[注4]	
P56	入力	1	–	–	×	
	出力	0	–	–	(TO15出力 = 0)[注4] (SNZOUT1出力 = 0)[注5]	
P57	入力	1	–	–	×	
	出力	0	–	–	(TO17出力 = 0)[注4] (SNZOUT0出力 = 0)[注5]	

（注と備考は次ページにあります。）

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のSOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

2. IEBusのシリアル･データ出力機能と兼用している端子を汎用ポートとして使用する場合､IEBusを動作停止にしてください。

3. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のCKOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

4. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください (m = 0, 1, 2, n = 0-7)。

5. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。

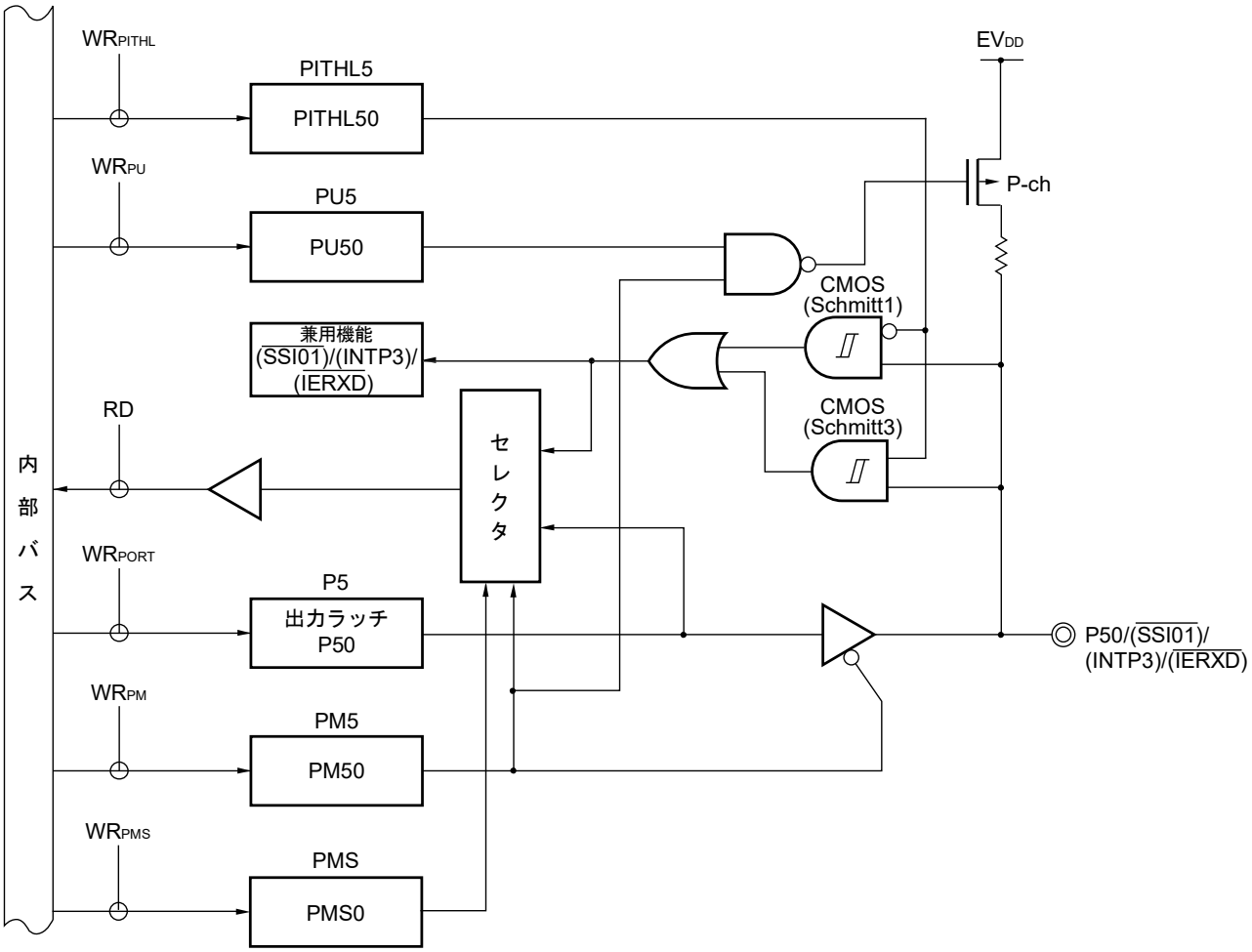
6. STOPステータス出力機能と兼用している端子を汎用ポートとして使用する場合、STOPステータス出力制御レジスタ（STPSTC）のSTPOENビットを初期値と同じ設定で使用してください。

7. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ3, 4, 6, 9（PIOR3, PIOR4, PIOR6, PIOR9）の設定により割り当て可能です。
   また、STOPST機能は、STOPステータス出力制御レジスタ（STPSTC）の設定により割り当て可能です。

備考 ×　　：don't care
PM5X　　：ポート・モード・レジスタ5
PIM5X　　：ポート入力モード・レジスタ5
PITHL5X　　：ポート入力閾値制御レジスタ5

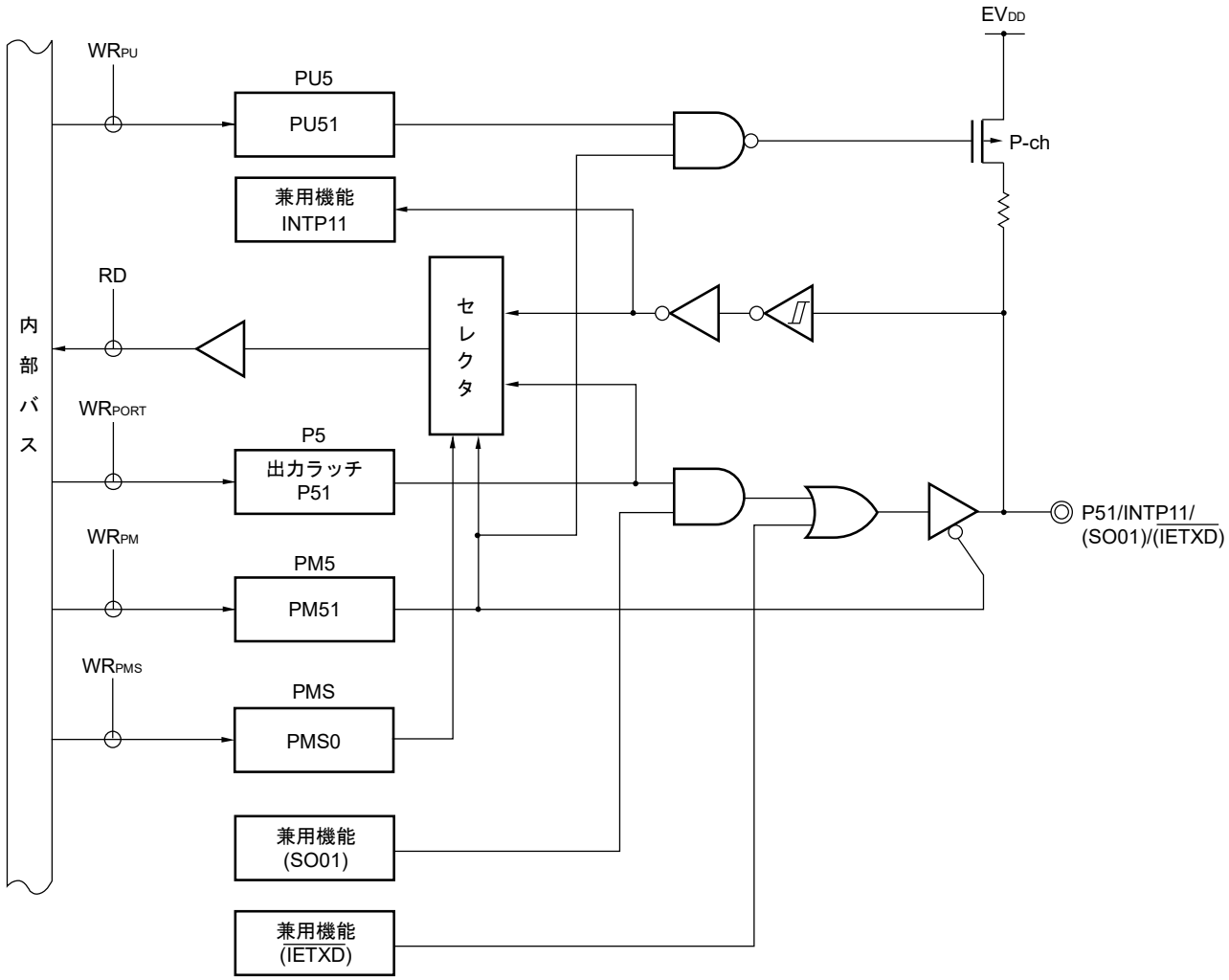
図4－37～図4－44に，144ピン製品の場合のポート5のブロック図を示します。

図4－37　P50のブロック図



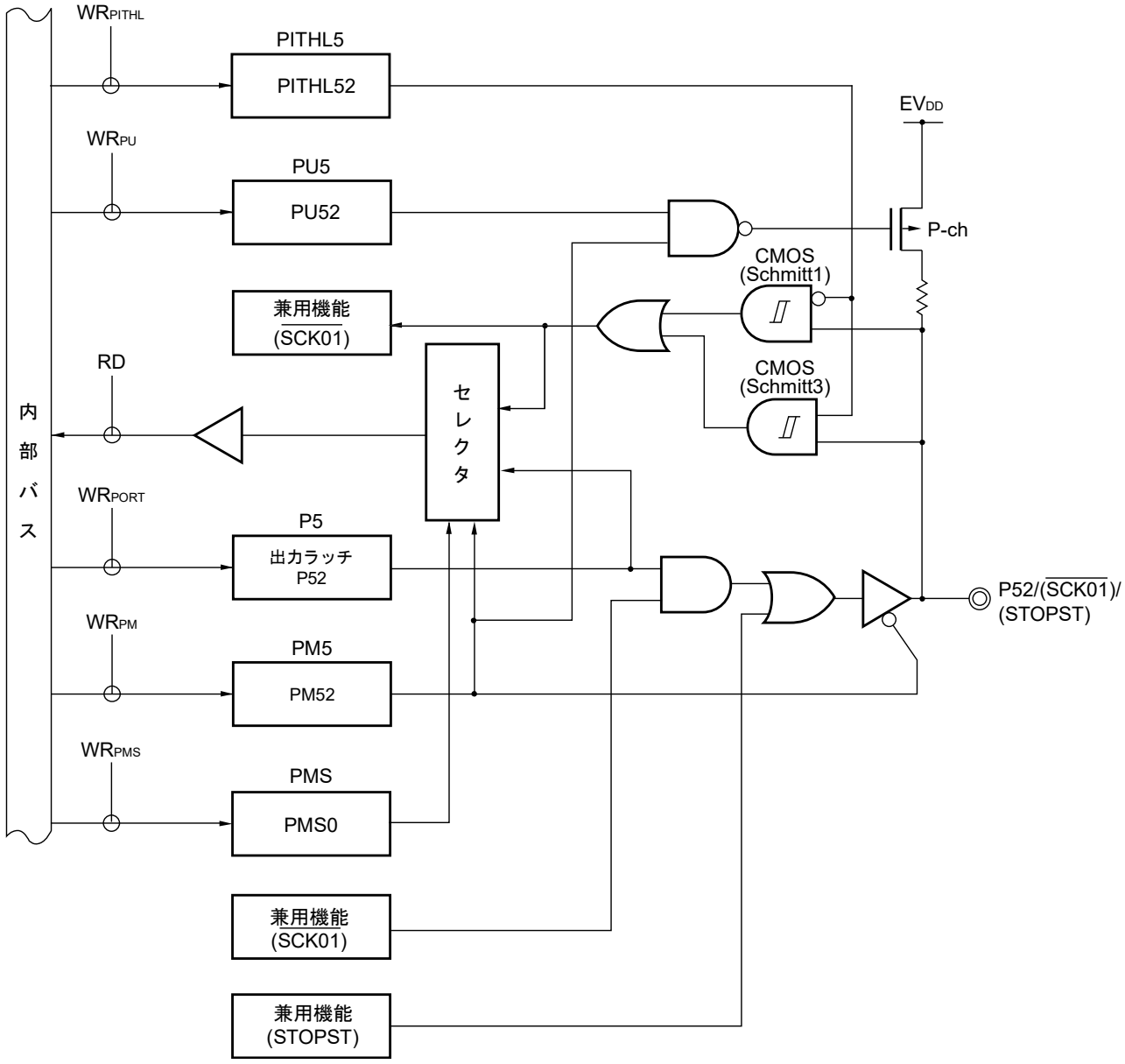
P5　：ポート・レジスタ5
PU5　：プルアップ抵抗オプション・レジスタ5
PM5　：ポート・モード・レジスタ5
PMS　：ポート・モード選択レジスタ
PITHL5　：ポート入力閾値制御レジスタ5
RD　：リード信号
WRxx　：ライト信号

図4－38 P51のブロック図



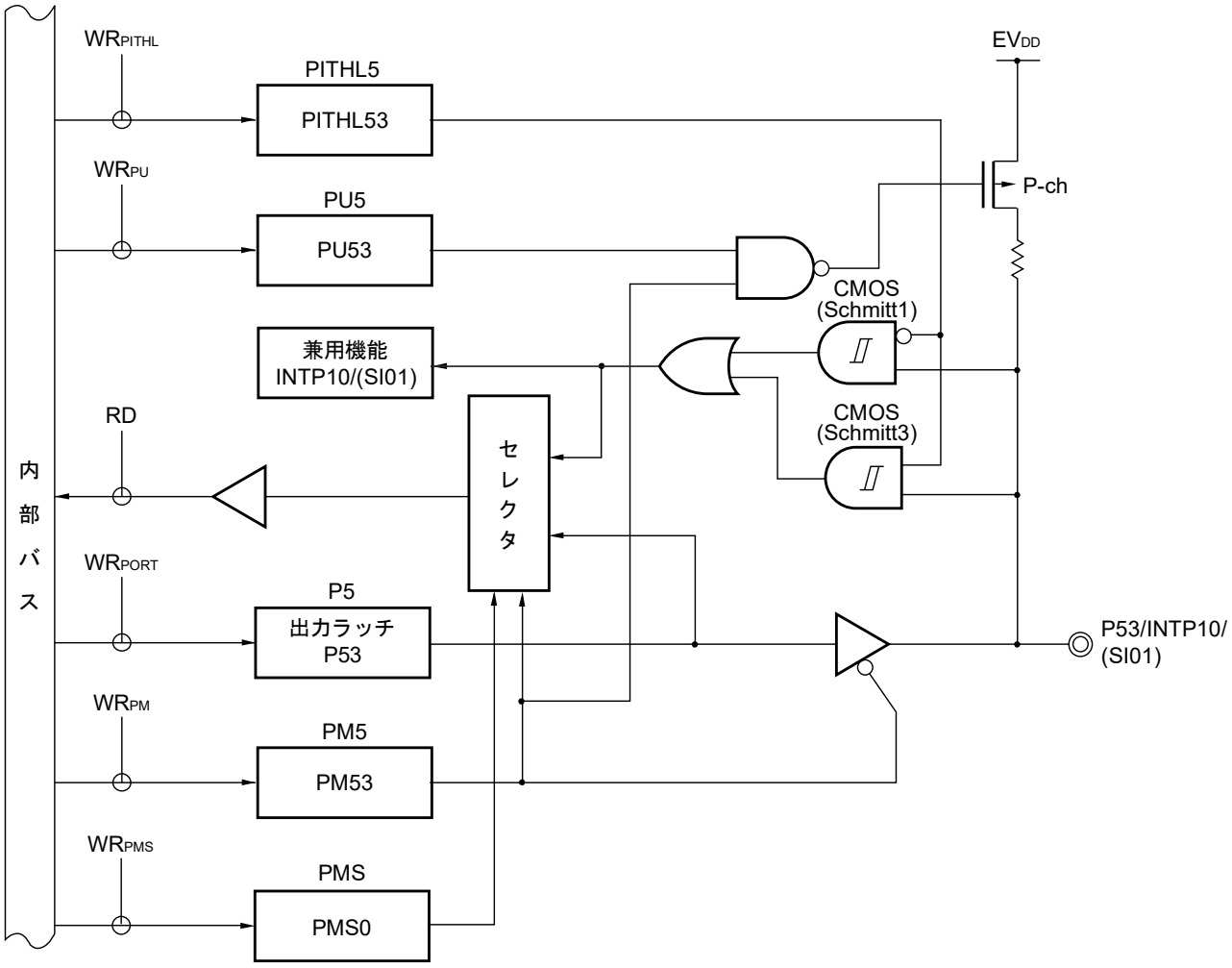
P5 ：ポート・レジスタ5
PU5 ：プルアップ抵抗オプション・レジスタ5
PM5 ：ポート・モード・レジスタ5
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－39 P52のブロック図



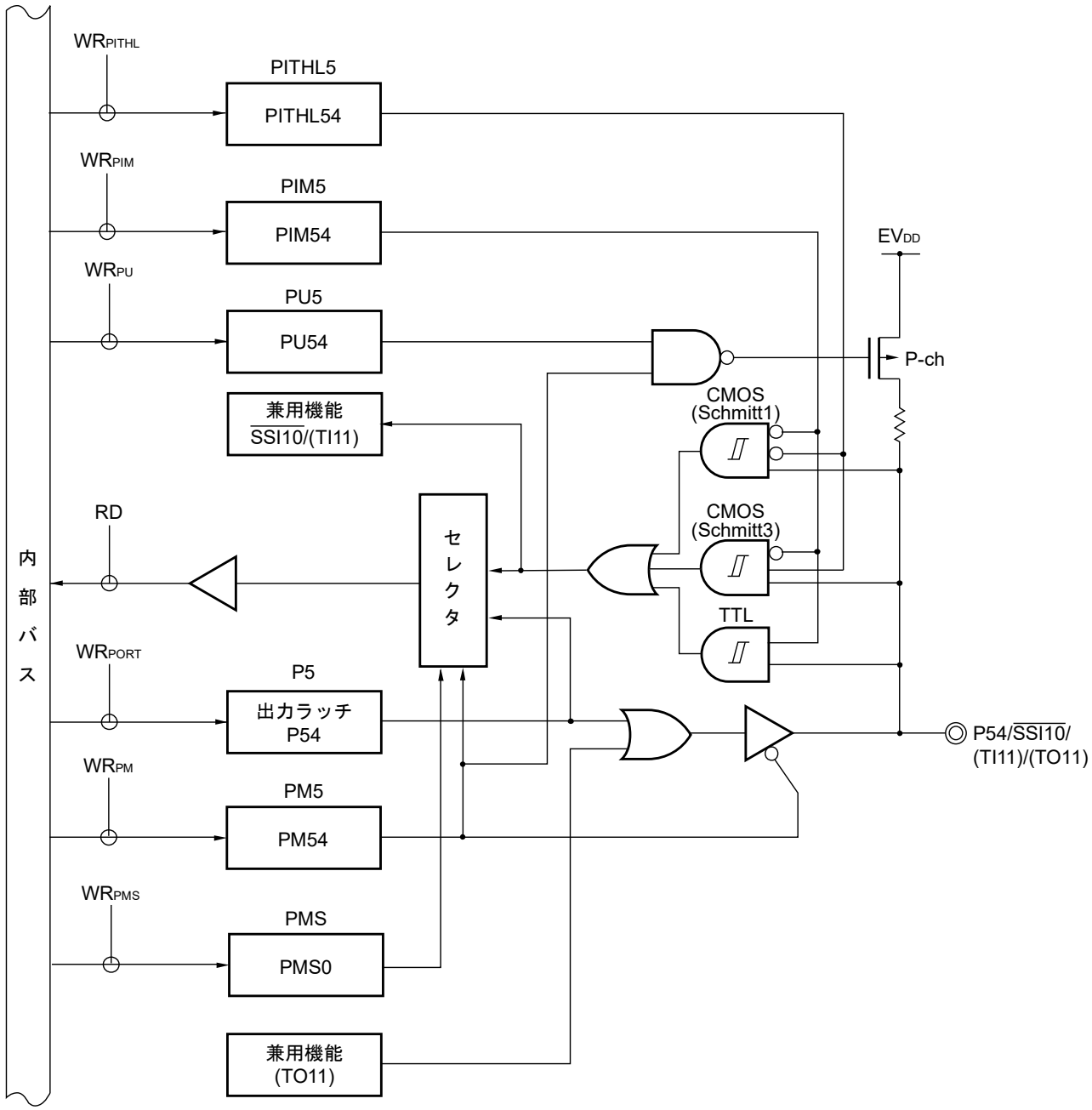
P5 ：ポート・レジスタ5
PU5 ：プルアップ抵抗オプション・レジスタ5
PM5 ：ポート・モード・レジスタ5
PMS ：ポート・モード選択レジスタ
PITHL5 ：ポート入力閾値制御レジスタ5
RD ：リード信号
WRxx ：ライト信号

図4－40 P53のブロック図



P5 ：ポート・レジスタ5
PU5 ：プルアップ抵抗オプション・レジスタ5
PM5 ：ポート・モード・レジスタ5
PMS ：ポート・モード選択レジスタ
PITHL5 ：ポート入力閾値制御レジスタ5
RD ：リード信号
WRxx ：ライト信号

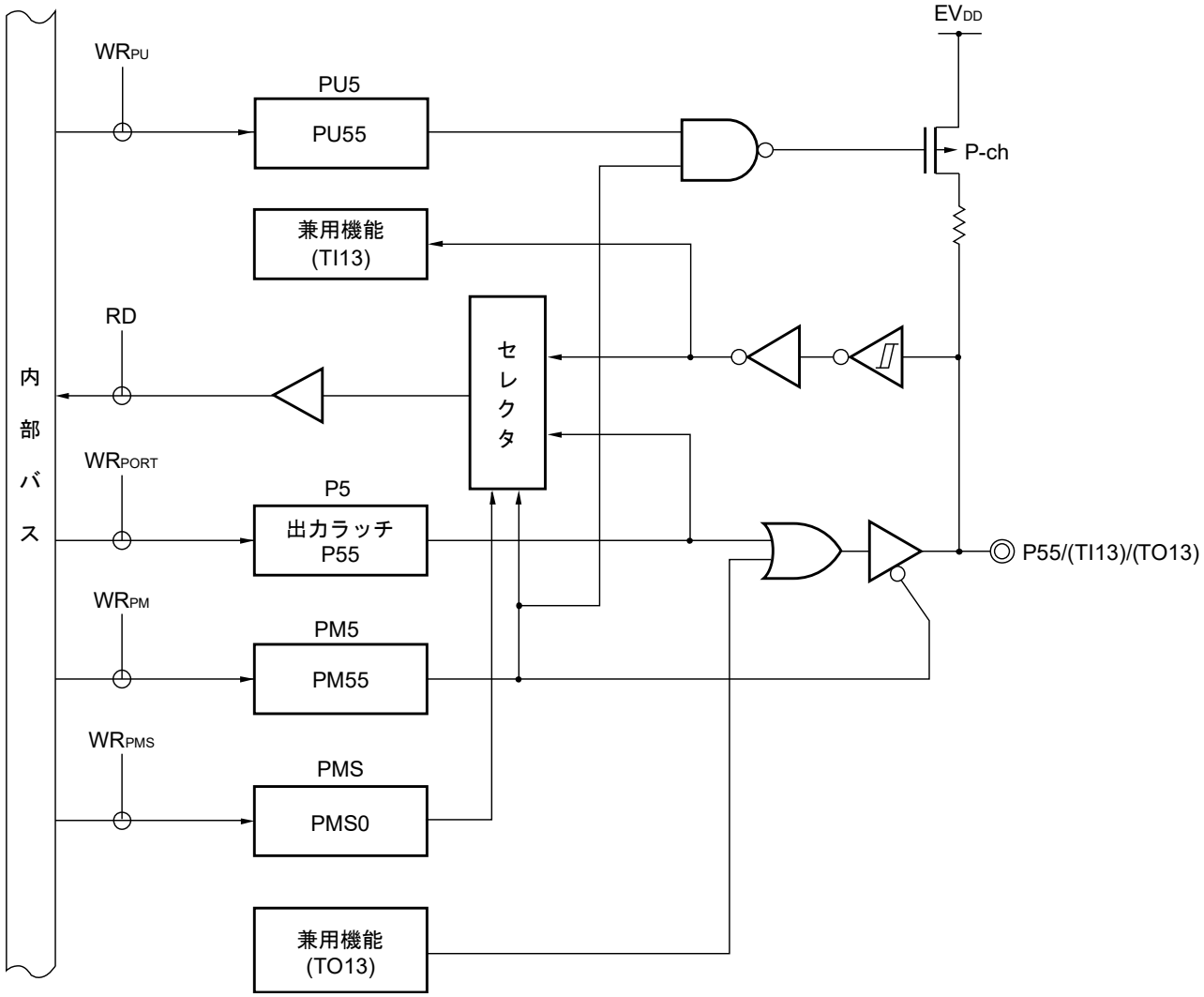
図4－41 P54のブロック図



P5 ：ポート・レジスタ5
PU5 ：プルアップ抵抗オプション・レジスタ5
PM5 ：ポート・モード・レジスタ5
PIM5 ：ポート入力モード・レジスタ5
PMS ：ポート・モード選択レジスタ
PITHL5 ：ポート入力閾値制御レジスタ5
RD ：リード信号
WRxx ：ライト信号

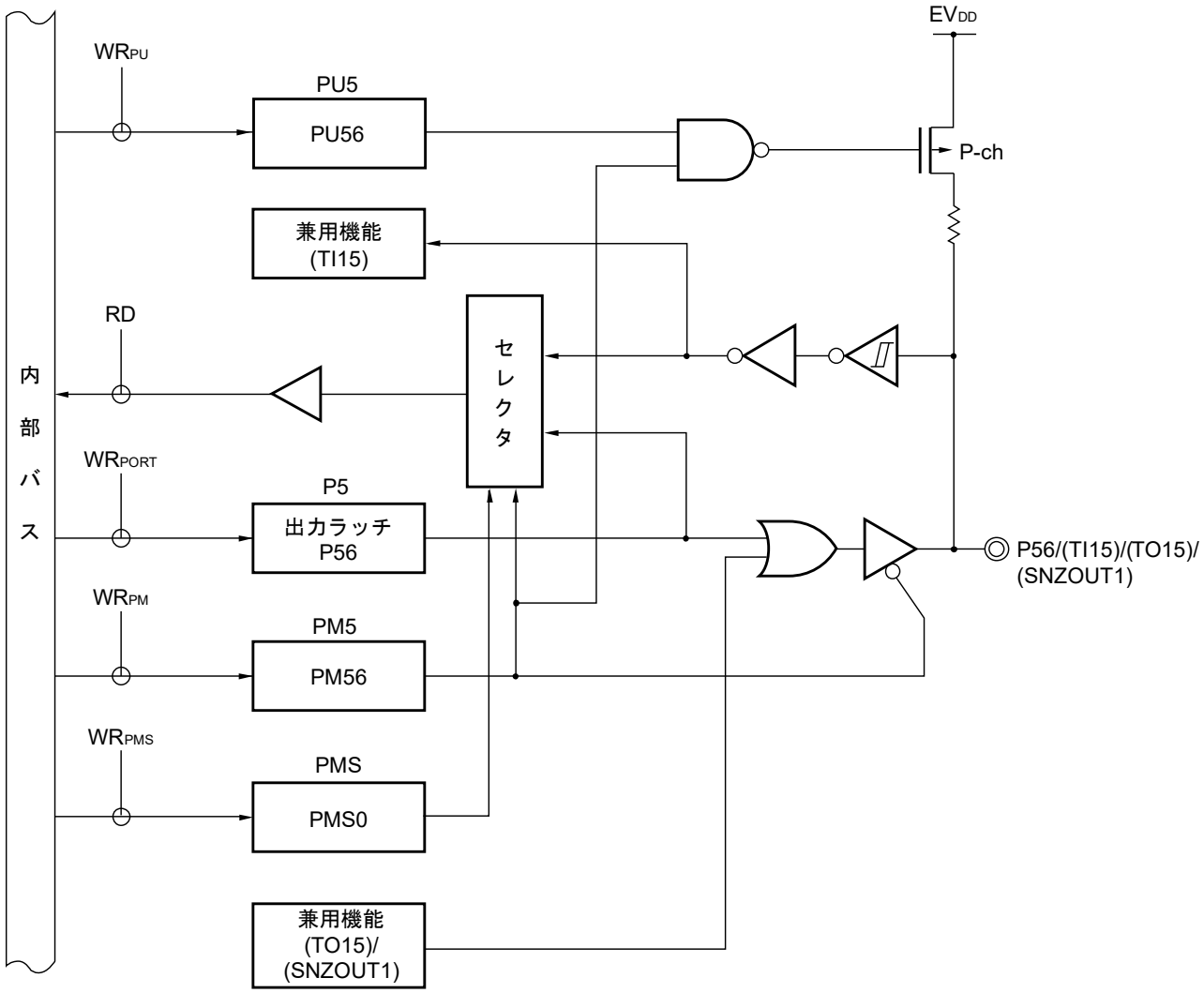
注意. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－42 P55のブロック図



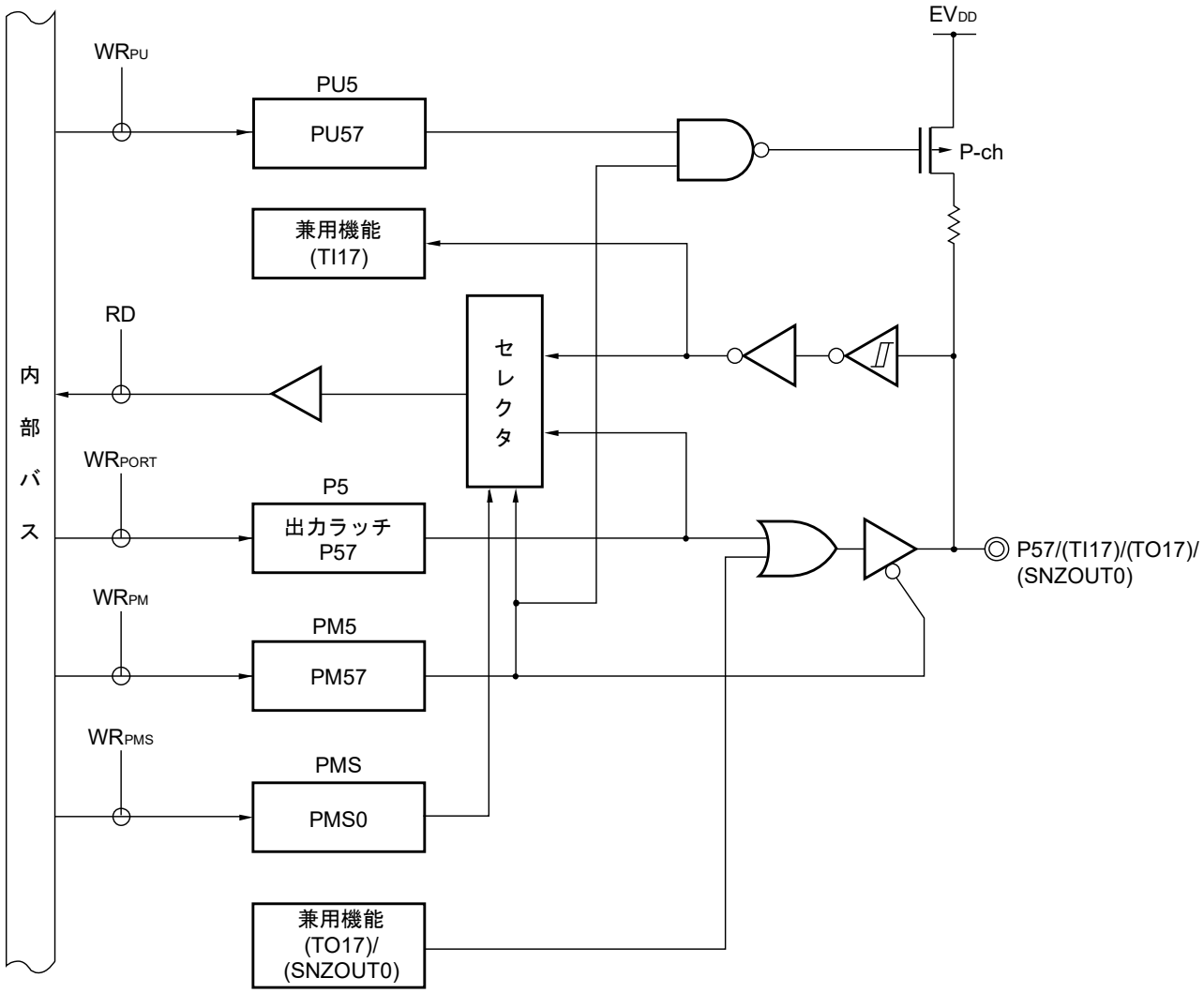
P5 ：ポート・レジスタ5
PU5 ：プルアップ抵抗オプション・レジスタ5
PM5 ：ポート・モード・レジスタ5
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－43 P56のブロック図



P5 ：ポート・レジスタ5
PU5 ：プルアップ抵抗オプション・レジスタ5
PM5 ：ポート・モード・レジスタ5
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－44 P57のブロック図



P5 ：ポート・レジスタ5
PU5 ：プルアップ抵抗オプション・レジスタ5
PM5 ：ポート・モード・レジスタ5
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。P62, P63端子の入力は、ポート入力モード・レジスタ6（PIM6）の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。P60-P67端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6（PU6）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63端子の出力は、ポート出力モード・レジスタ6（POM6）により1ビット単位でN-chオープン・ドレーン出力（EV_{DD}耐圧）に設定可能です。

P60-P63端子の入力は、ポート入力閾値制御レジスタ6（PITHL6）の設定により、1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能としてシリアル・インタフェース（IICA、簡易IIC, CSI, UART）のデータ入出力、クロック入出力、スレーブ・セレクト入力，タイマの入出力、SNOOZEステータス出力、CANのシリアル・データ入出力、IEBusのシリアル・データ入出力があります。

リセット信号の発生により、入力モードになります。

表4－11 ポート6使用時のレジスタ設定（1/2）

端子名称		PM6X	PIM6X	POM6X	PITHL6X	兼用機能設定[注8]	備考
名称	入出力						
P60	入力	1	–	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
	出力	0	–	0	×	($\overline{SCK00}$/SCL00出力 = 1)[注1]	CMOS出力
				1	×		N-ch O.D出力
P61	入力	1	–	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
	出力	0	–	0	×	SDA00出力 = 1[注2]	CMOS出力
				1	×	CTXD1出力 = 1[注3] $\overline{IETXD}$出力 = 0[注4]	N-ch O.D出力
P62	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SCLA0出力 = 0[注5]	CMOS出力
				1	×	(SO00/TXD0出力 = 1)[注2]	N-ch O.D出力
P63	入力	1	0	×	0	×	CMOS入力（Schmitt1入力）
					1		CMOS入力（Schmitt3入力）
			1	×	×	×	TTL入力
	出力	0	×	0	×	SDAA0出力 = 0[注5]	CMOS出力
				1	×		N-ch O.D出力
P64	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO14出力 = 0)[注6] (SNZOUT3出力 = 0)[注7]	
P65	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO16出力 = 0)[注6] (SNZOUT2出力 = 0)[注7]	

表4－11 ポート6使用時のレジスタ設定（2/2）

端子名称		PM6X	PIM6X	POM6X	PITHL6X	兼用機能設定[注8]	備考
名称	入出力						
P66	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO00出力 = 0)[注6]	
P67	入力	1	–	–	–	×	
	出力	0	–	–	–	(TO02出力 = 0)[注6]	

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のCKOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

2. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のSOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

3. CANのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合、対応するCANを動作停止にしてください。

4. IEBusのシリアル･データ出力機能と兼用している端子を汎用ポートとして使用する場合､IEBusを動作停止にしてください。

5. シリアルインタフェースIICA機能と兼用している端子を汎用ポートとして使用する場合、対応するシリアル・インタフェースIICAを動作停止にしてください。

6. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください (m = 0, 1, 2, n = 0-7)。

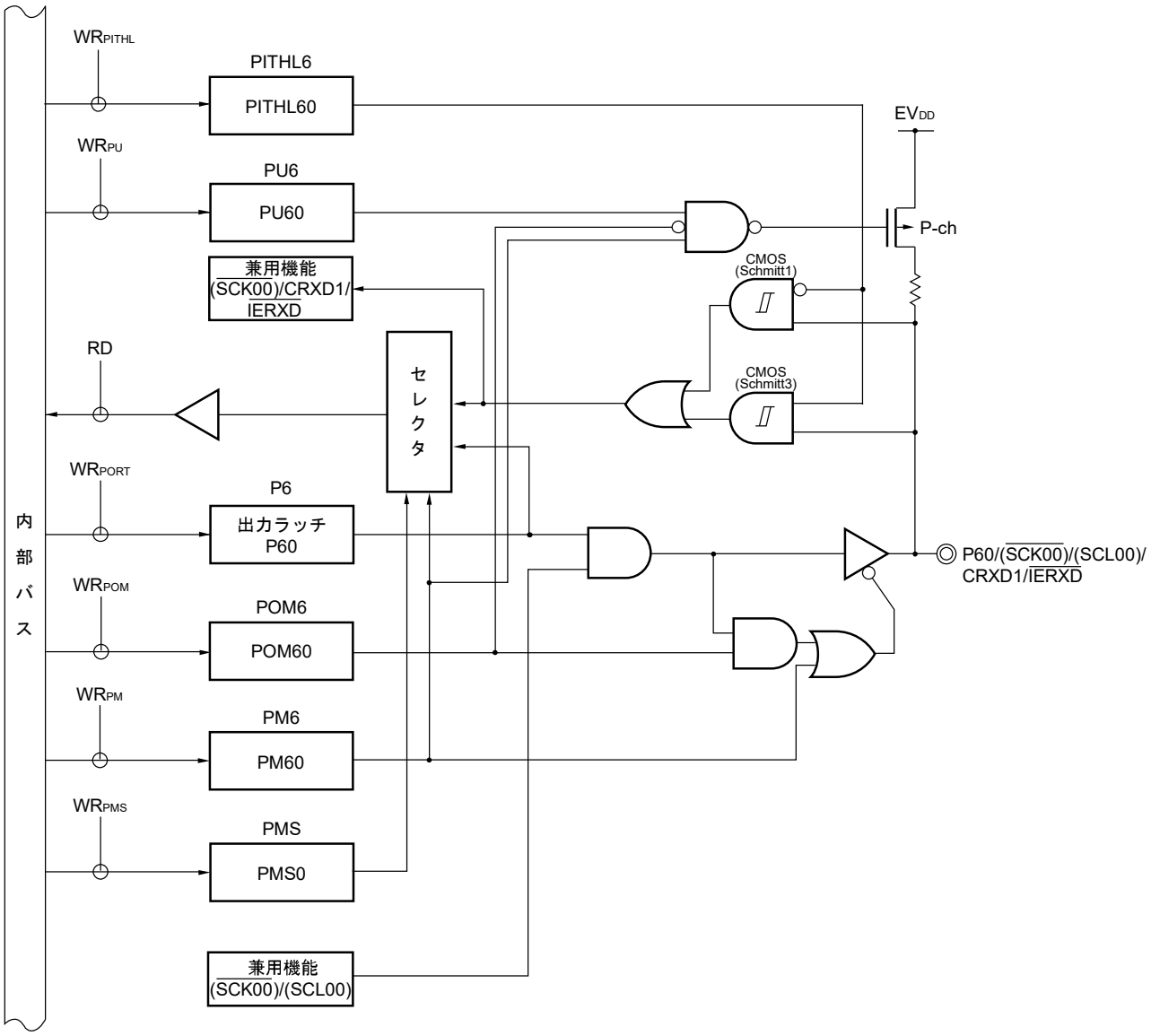
7. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。

8. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ1, 3, 4, 6（PIOR1, PIOR3, PIOR4, PIOR6）の設定により割り当て可能です。

備考 ×　　：don't care
PM6X　　：ポート・モード・レジスタ6
PIM6X　　：ポート入力モード・レジスタ6
POM6X　　：ポート出力モード・レジスタ6
PITHL6X　　：ポート入力閾値制御レジスタ6

図4－45～図4－52に，144ピン製品の場合のポート6のブロック図を示します。

図4－45　P60のブロック図



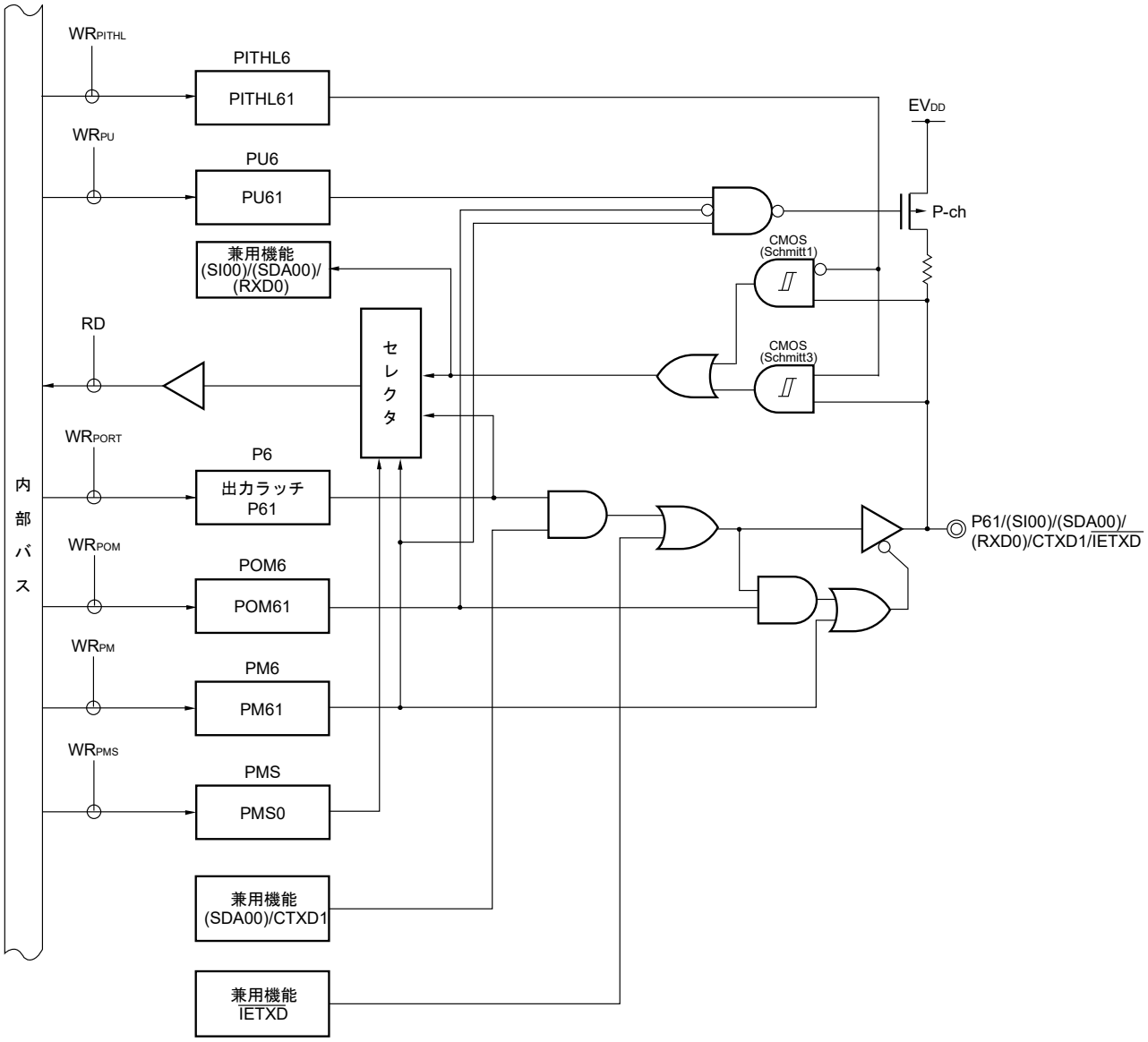
P6　：ポート・レジスタ6　　PU6　：プルアップ抵抗オプション・レジスタ6　　PM6　：ポート・モード・レジスタ6

POM6　：ポート出力モード・レジスタ6　　PMS　：ポート・モード選択レジスタ　　PITHL6：ポート入力閾値制御レジスタ6

RD　：リード信号　　WRxx　：ライト信号

注意．この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

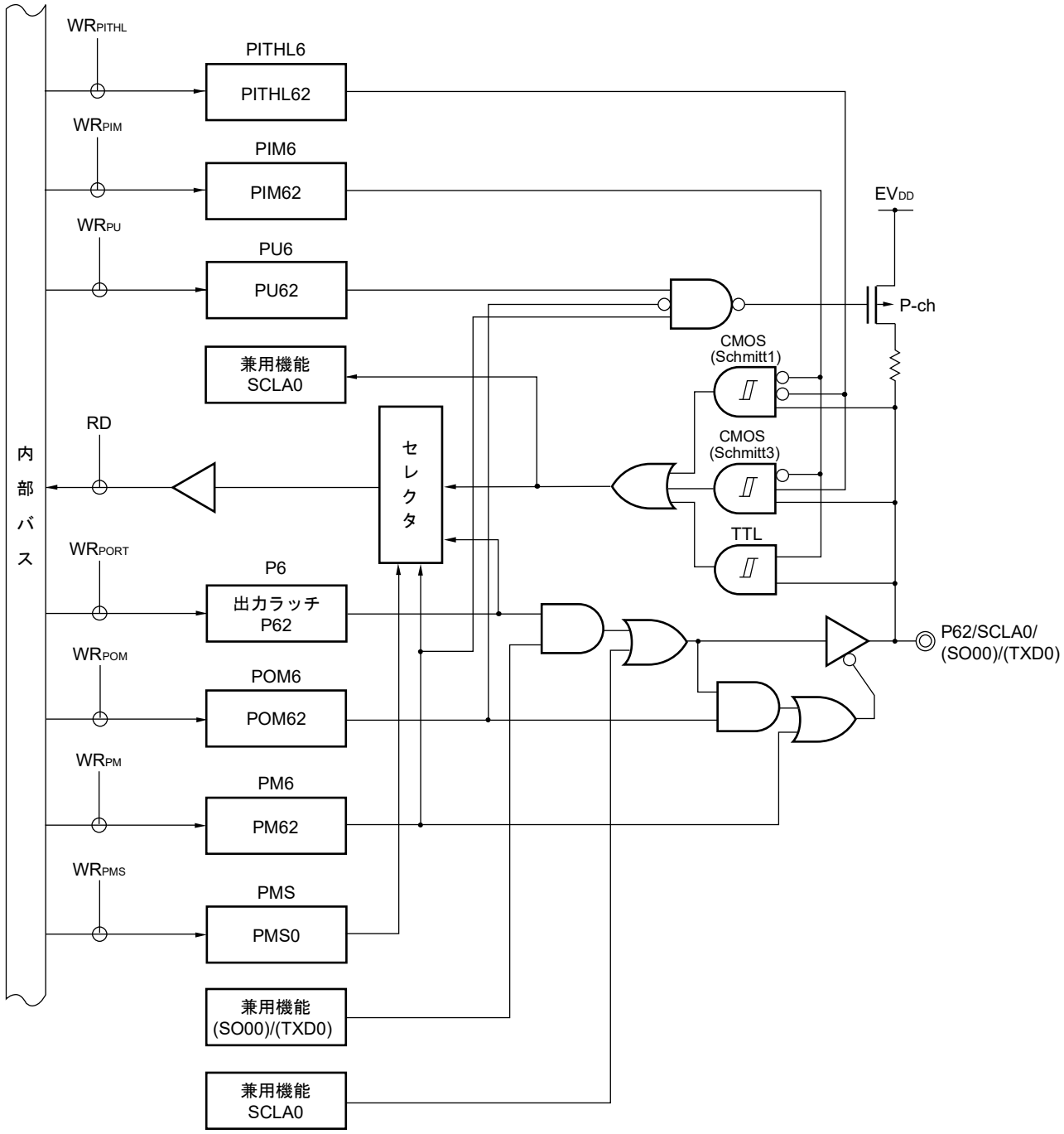
図4－46 P61のブロック図



P6 ：ポート・レジスタ6
PU6 ：プルアップ抵抗オプション・レジスタ6
PM6 ：ポート・モード・レジスタ6
POM6 ：ポート出力モード・レジスタ6
PMS ：ポート・モード選択レジスタ
PITHL6：ポート入力閾値制御レジスタ6
RD ：リード信号
WRxx ：ライト信号

注意. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

図4－47 P62のブロック図

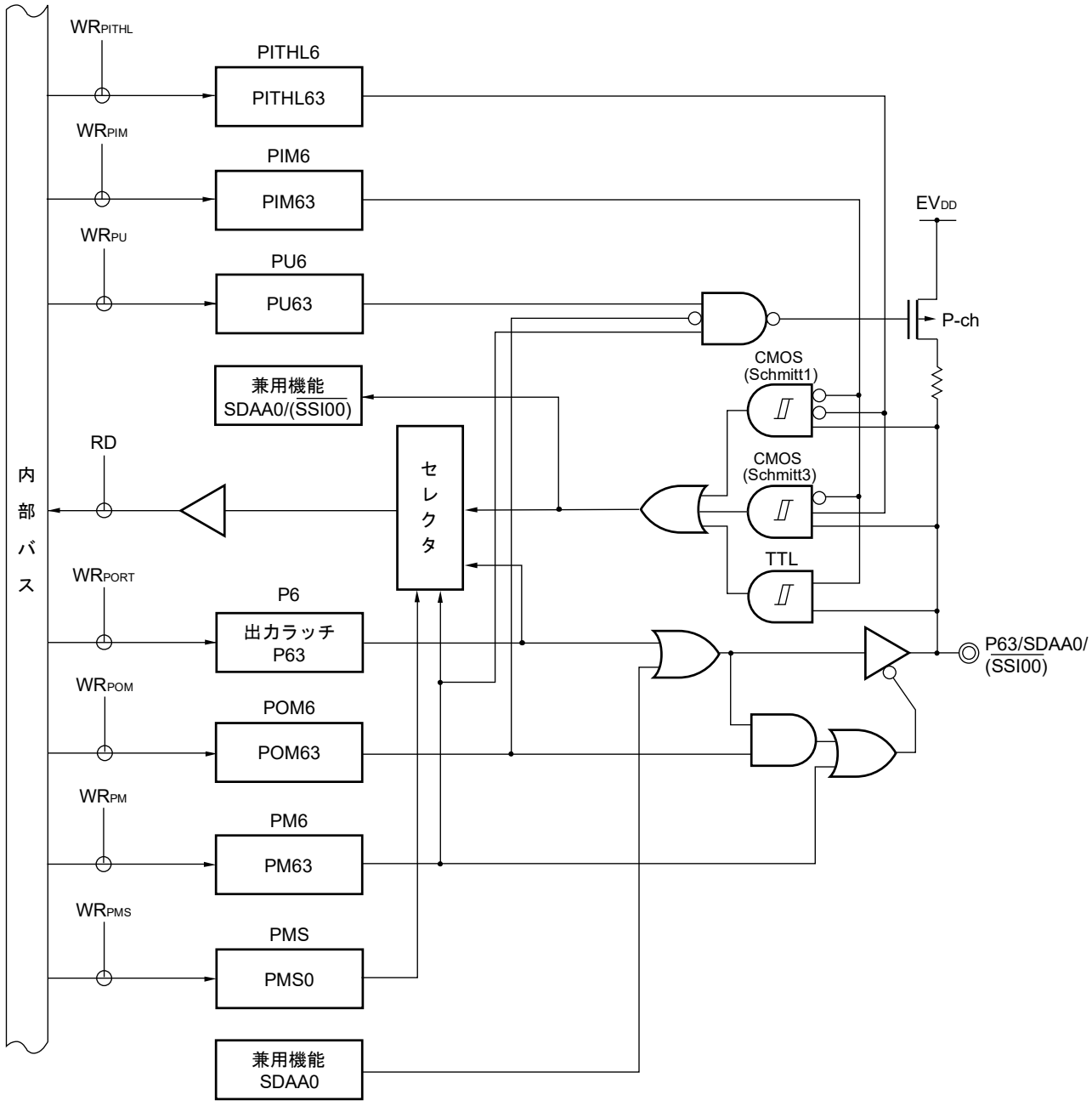


P6 ：ポート・レジスタ6
PU6 ：プルアップ抵抗オプション・レジスタ6
PM6 ：ポート・モード・レジスタ6
PIM6 ：ポート入力モード・レジスタ6
POM6 ：ポート出力モード・レジスタ6
PMS ：ポート・モード選択レジスタ
PITHL6：ポート入力閾値制御レジスタ6
RD ：リード信号
WRxx ：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－48 P63のブロック図

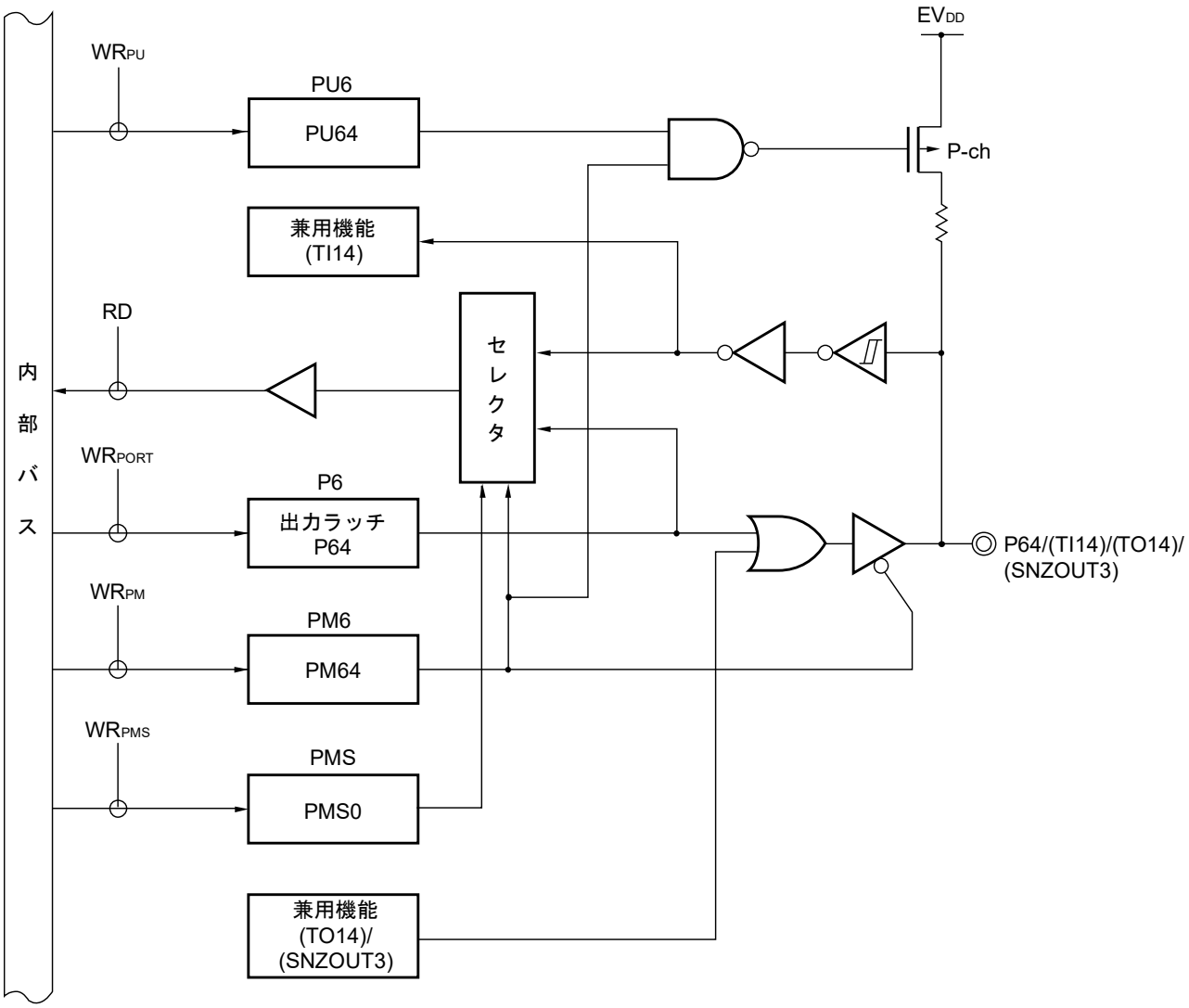


P6 ：ポート・レジスタ6
PU6 ：プルアップ抵抗オプション・レジスタ6
PM6 ：ポート・モード・レジスタ6
PIM6 ：ポート入力モード・レジスタ6
POM6 ：ポート出力モード・レジスタ6
PMS ：ポート・モード選択レジスタ
PITHL6：ポート入力閾値制御レジスタ6
RD ：リード信号
WRxx ：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

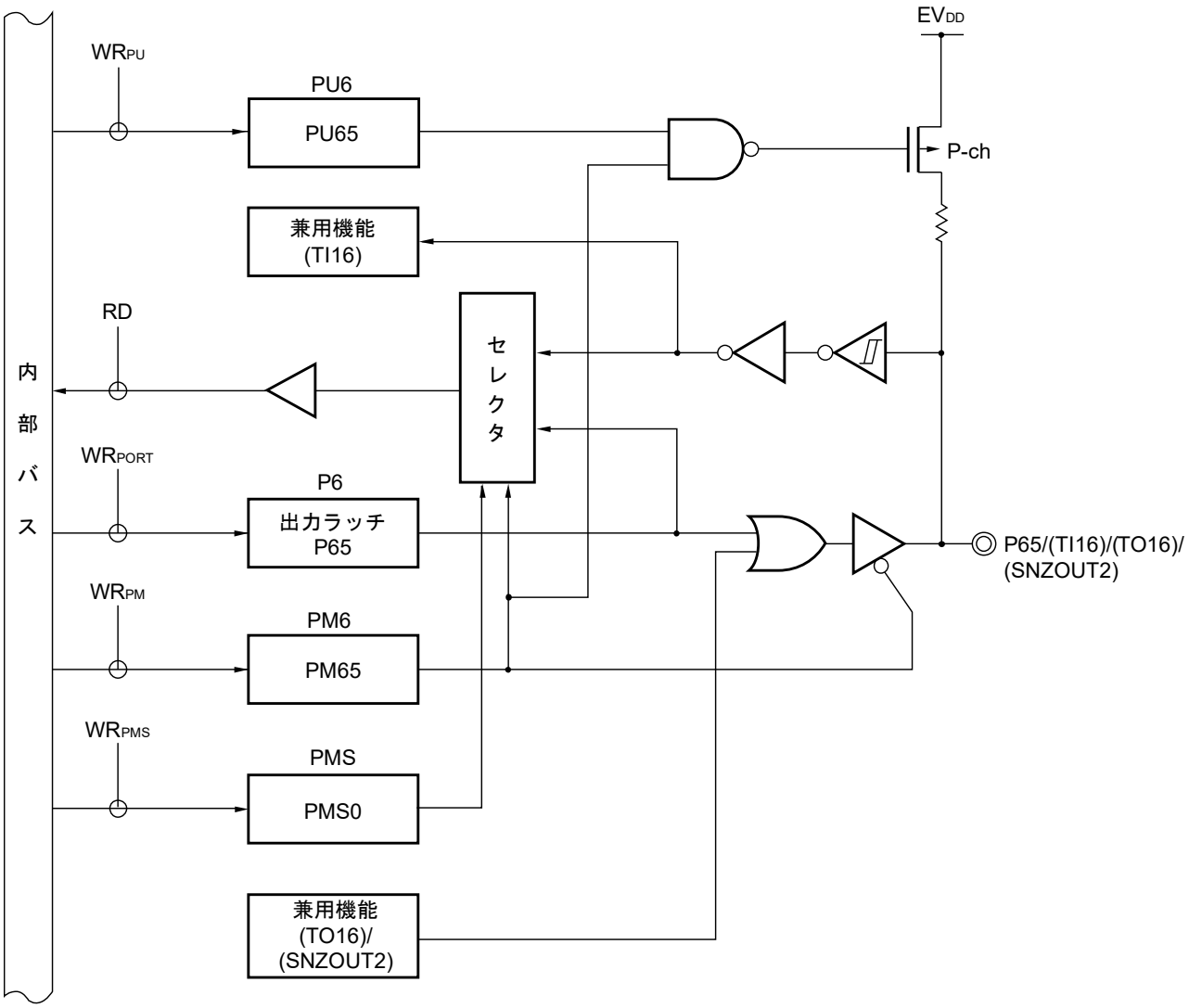
2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－49 P64のブロック図



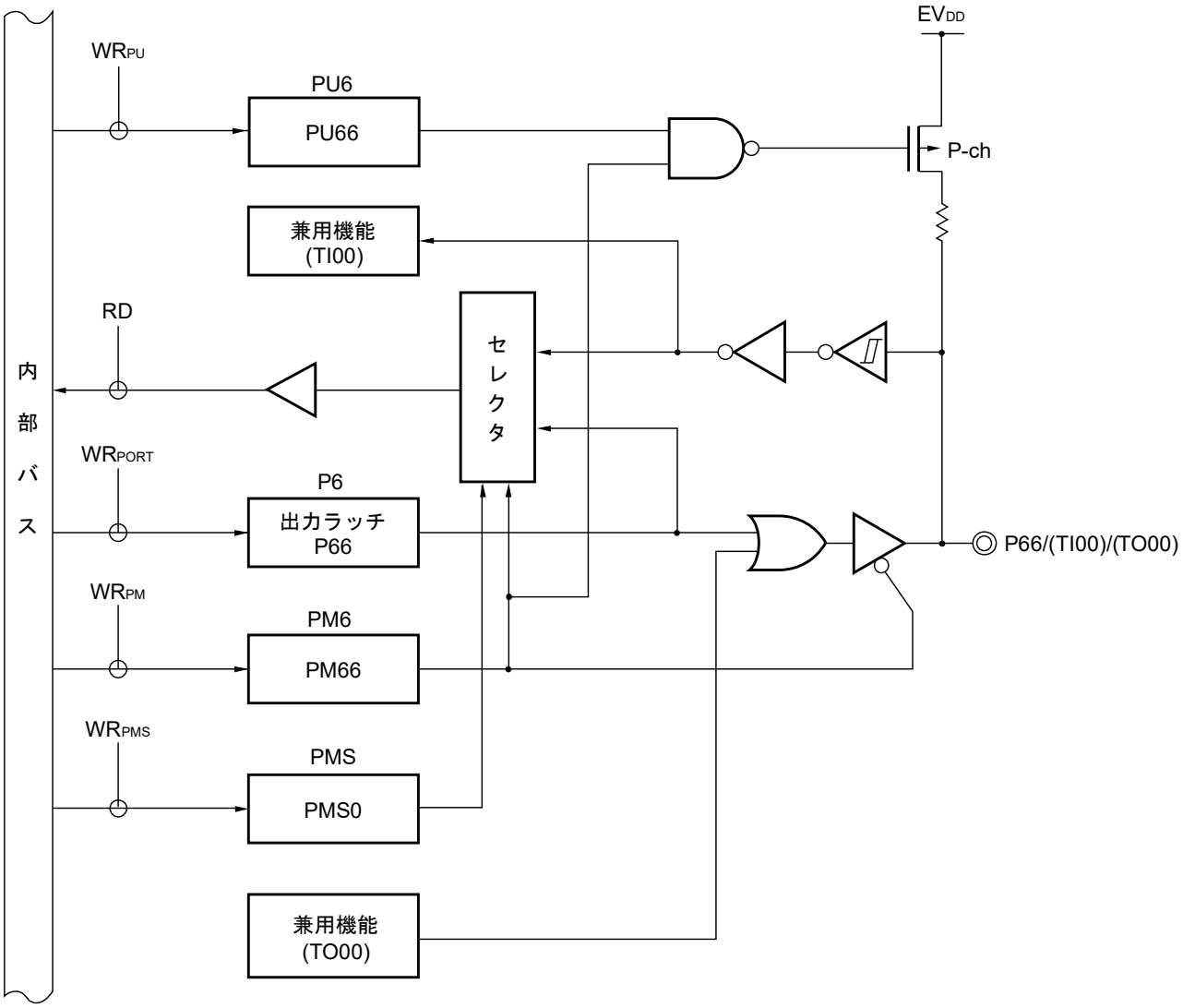
P6 ：ポート・レジスタ6
PU6 ：プルアップ抵抗オプション・レジスタ6
PM6 ：ポート・モード・レジスタ6
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－50 P65のブロック図



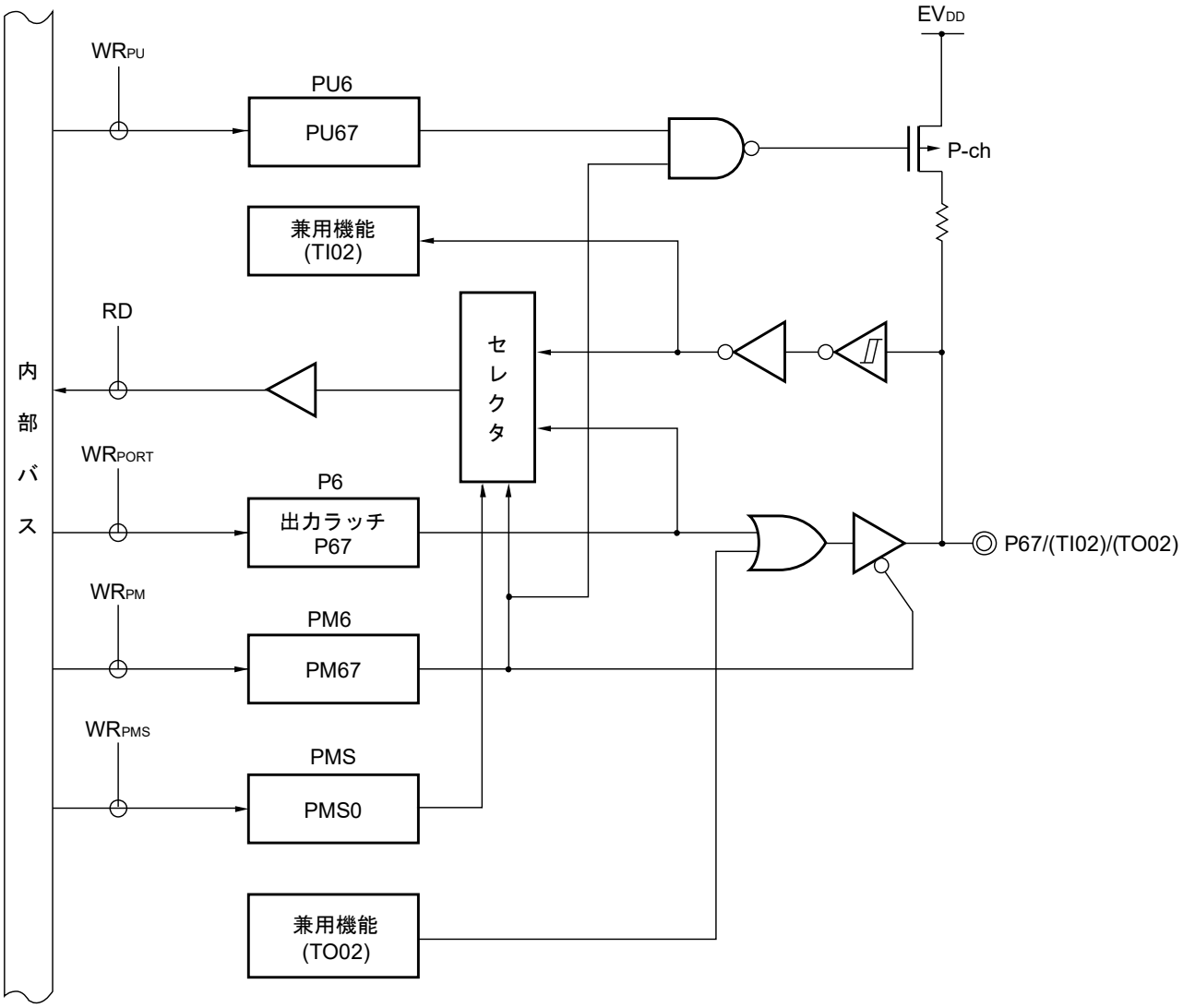
P6 ：ポート・レジスタ6
PU6 ：プルアップ抵抗オプション・レジスタ6
PM6 ：ポート・モード・レジスタ6
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－51 P66のブロック図



P6 ：ポート・レジスタ6
PU6 ：プルアップ抵抗オプション・レジスタ6
PM6 ：ポート・モード・レジスタ6
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－52 P67のブロック図



P6 ：ポート・レジスタ6
PU6 ：プルアップ抵抗オプション・レジスタ6
PM6 ：ポート・モード・レジスタ6
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.8　ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P70、P71、P73端子の入力は、ポート入力モード・レジスタ7（PIM7）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。P70、P71、P73、P75-P77端子の入力は、ポート入力閾値制御レジスタ7（PITHL7）の設定により、1ビット単位で入力バッファの閾値の指定ができます。P70-P72端子の出力は、ポート出力モード・レジスタ7（POM7）により1ビット単位でN-chオープン・ドレーン出力（EV_{DD}耐圧）に設定可能です。

また、兼用機能としてA/Dコンバータのアナログ入力，キー割り込み入力、シリアル・インタフェース（簡易IIC, CSI, UART）のデータ入出力、クロック入出力、スレーブ・セレクト入力、タイマ入出力、外部割り込み要求入力、SNOOZEステータス出力、CANのシリアル・データ入出力があります。

P70/ANI26-P74/ANI30をデジタル入出力として使用する場合は、ポート・モード・コントロール・レジスタ7（PMC7）でデジタル入出力に設定してください（1ビット単位で設定可能）。

P70/ANI26-P74/ANI30をアナログ入力として使用する場合は、ポート・モード・コントロール・レジスタ7（PMC7）でアナログ入力に、かつPM7レジスタで入力モードに設定してください（1ビット単位で設定可能）。

リセット信号の発生によりP70-P74はアナログ入力，P75-P77は入力モードになります。

表4－12 ポート7使用時のレジスタ設定

端子名称		PM7X	PIM7X	POM7X	PMC7	PITHL7X	兼用機能設定[注6]	備考
名称	入出力							
P70	入力	1	0	×	0	0	×	CMOS入力（Schmitt1入力）
						1		CMOS入力（Schmitt3入力）
			1	×	0	×	×	TTL入力
	出力	0	×	0	0	×	SDA11出力 = 1[注1]	CMOS出力
			×	1	0	×	TO15出力 = 0[注2] SNZOUT4出力 = 0[注3]	N-ch O.D出力
P71	入力	1	0	×	0	0	×	CMOS入力（Schmitt1入力）
						1		CMOS入力（Schmitt3入力）
			1	×	0	×	×	TTL入力
	出力	0	×	0	0	×	$\overline{\text{SCK11}}$出力 = 1[注4]	CMOS出力
			×	1	0	×	TO17出力 = 0[注2] SCL11出力 = 1[注4] SNZOUT5出力 = 0[注3]	N-ch O.D出力
P72	入力	1	–	×	0	–	×	
	出力	0	–	0	0	–	SO11出力 = 1[注1]	CMOS出力
			–	1	0	–	SNZOUT6出力 = 0[注3] (CTXD0出力 = 1[注5])	N-ch O.D出力
P73	入力	1	0	–	0	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
			1	–	0	×	×	TTL入力
	出力	0	×	–	0	×	SNZOUT7出力 = 0[注3]	CMOS出力
P74	入力	1	–	–	0	–	×	
	出力	0	–	–	0	–	(SO10出力 = 1)[注1] (TXD1出力 = 1)[注1]	
P75	入力	1	–	–	–	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
	出力	0	–	–	–	×	×	
P76	入力	1	–	–	–	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
	出力	0	–	–	–	×	($\overline{\text{SCK10}}$出力=1[注4])	
P77	入力	1	–	–	–	0	×	CMOS入力（Schmitt1入力）
						1	×	CMOS入力（Schmitt3入力）
	出力	0	–	–	–	×	×	

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のSOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください (m = 0, 1, 2, n = 0-7)。

3. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。
4. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のCKOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。
5. CANのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合，対応するCANを動作停止にしてください。
6. （　）内の機能は、周辺I/Oリダイレクション・レジスタ4（PIOR4）の設定により割り当て可能です。

備考　×：don't care

PM7X　：ポート・モード・レジスタ7

PIM7X　：ポート入力モード・レジスタ7

POM7X　：ポート出力モード・レジスタ7

PMC7X　：ポート・モード・コントロール・レジスタ7

PITHL7X　：ポート入力閾値制御レジスタ7

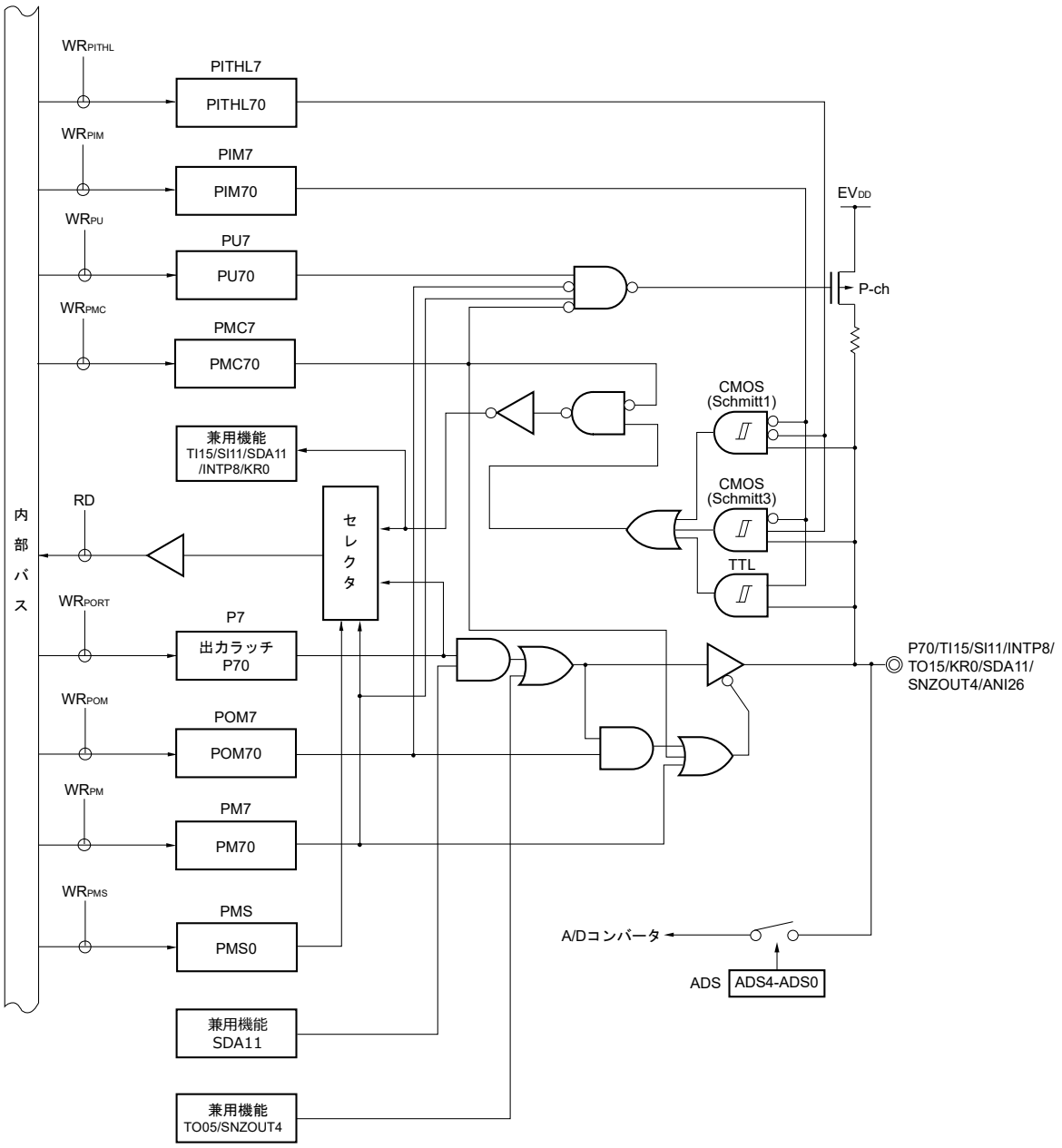
表4－13　P70/ANI26-P74/ANI30端子機能の設定

PMC7レジスタ	PM7レジスタ	ADSレジスタ	P70/ANI26-P74/ANI30端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P70/ANI26-P74/ANI30はすべてアナログ入力になります。

図4－53～図4－60に，144ピン製品の場合のポート7のブロック図を示します。

図4－53　P70のブロック図



P7　：ポート・レジスタ7　　PU7　：プルアップ抵抗オプション・レジスタ7　　PM7　：ポート・モード・レジスタ7

PIM7：ポート入力モード・レジスタ7　　POM7　：ポート出力モード・レジスタ7　　PMC7　：ポート・モード・コントロール・レジスタ7

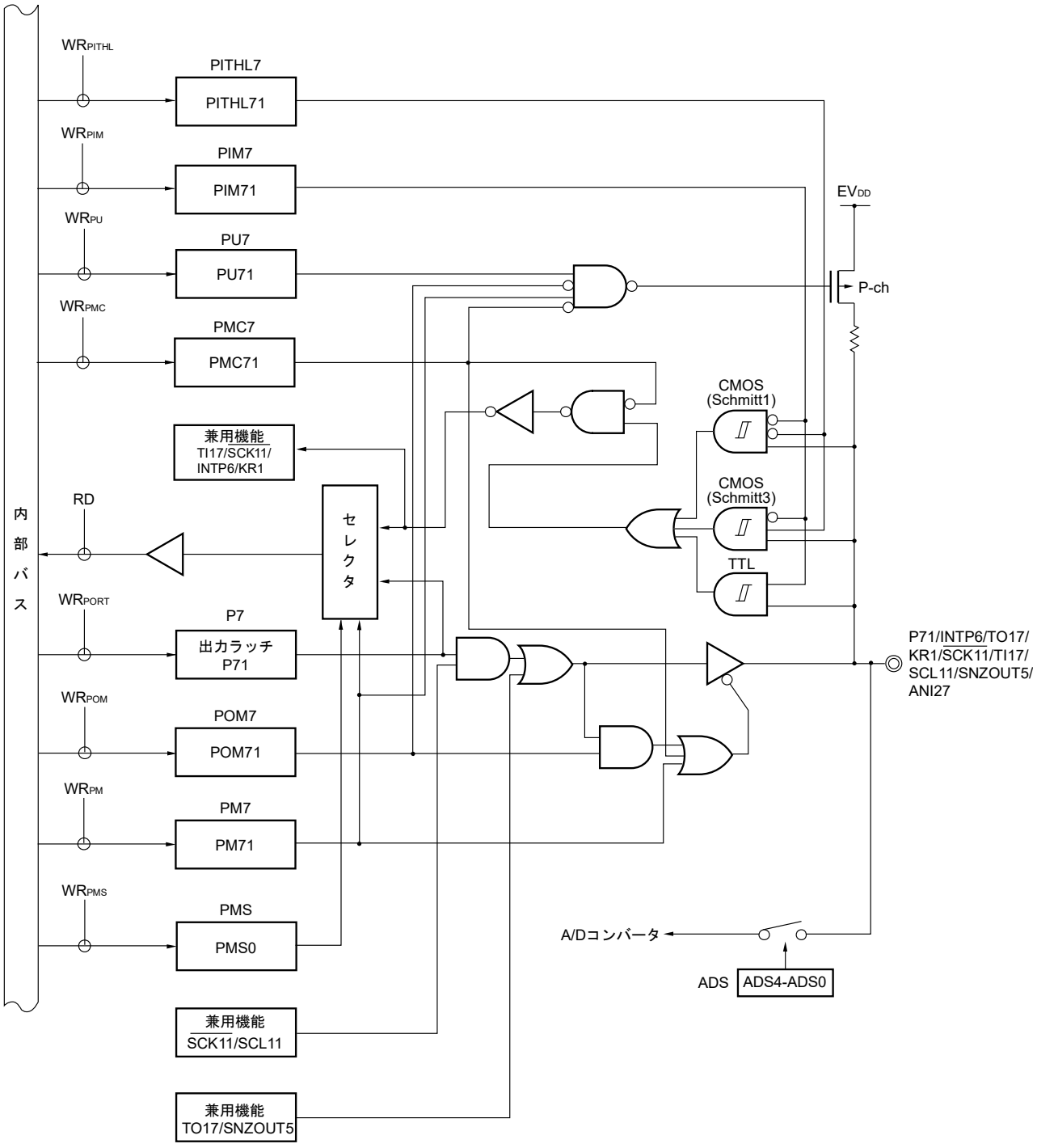
PMS：ポート・モード選択レジスタ　　PITHL7：ポート入力閾値制御レジスタ7　　ADS　：アナログ入力チャネル指定レジスタ

RD　：リード信号　　WRxx　：ライト信号

注意 1.　この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2.　この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－54 P71のブロック図

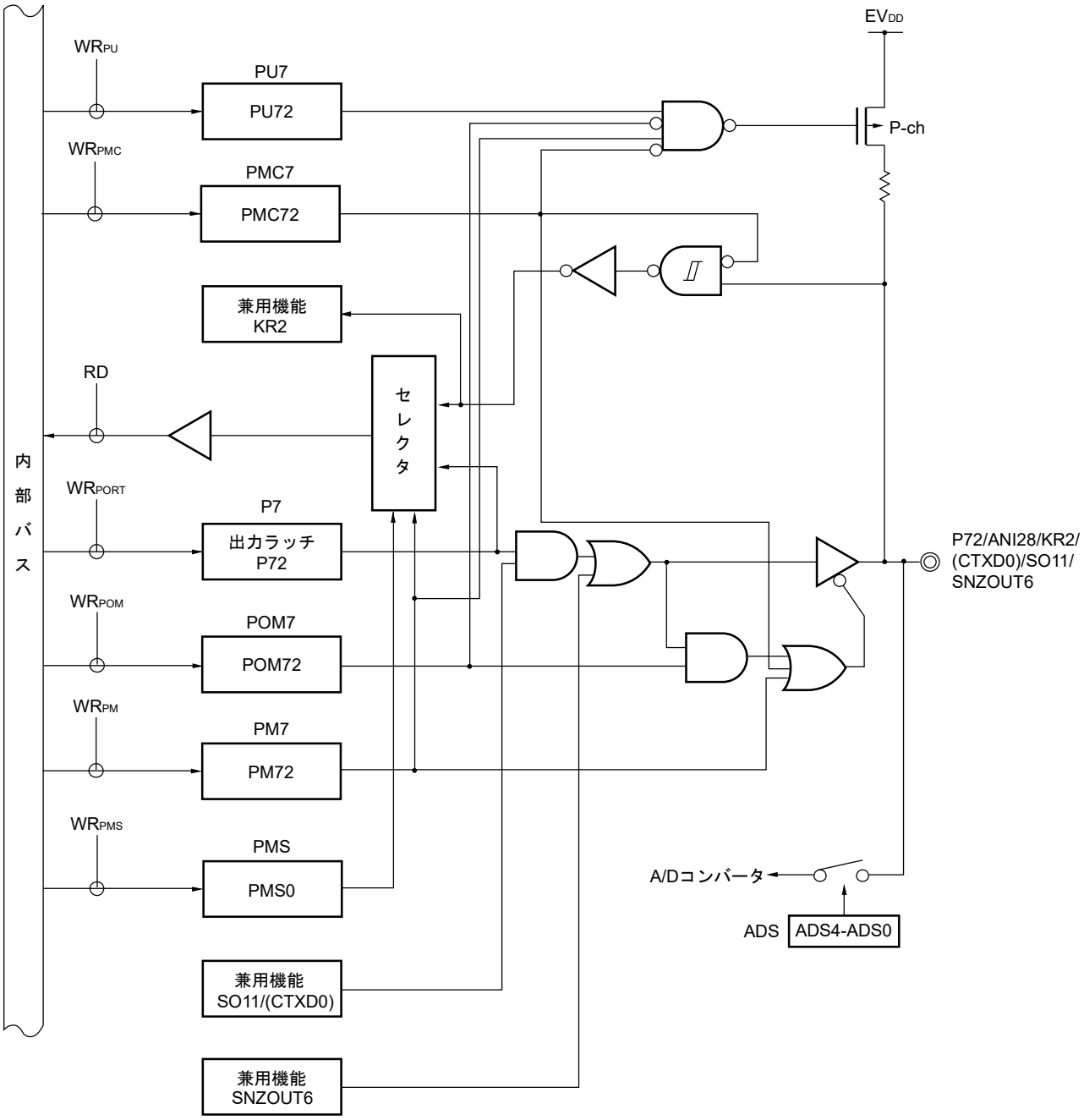


P7 ：ポート・レジスタ7　PU7 ：プルアップ抵抗オプション・レジスタ7　PM7 ：ポート・モード・レジスタ7
PIM7 ：ポート入力モード・レジスタ7　POM7 ：ポート出力モード・レジスタ7　PMC7 ：ポート・モード・コントロール・レジスタ7
PMS ：ポート・モード選択レジスタ　PITHL7 ：ポート入力閾値制御レジスタ7　ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号　WRxx ：ライト信号

注意 1. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

2. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

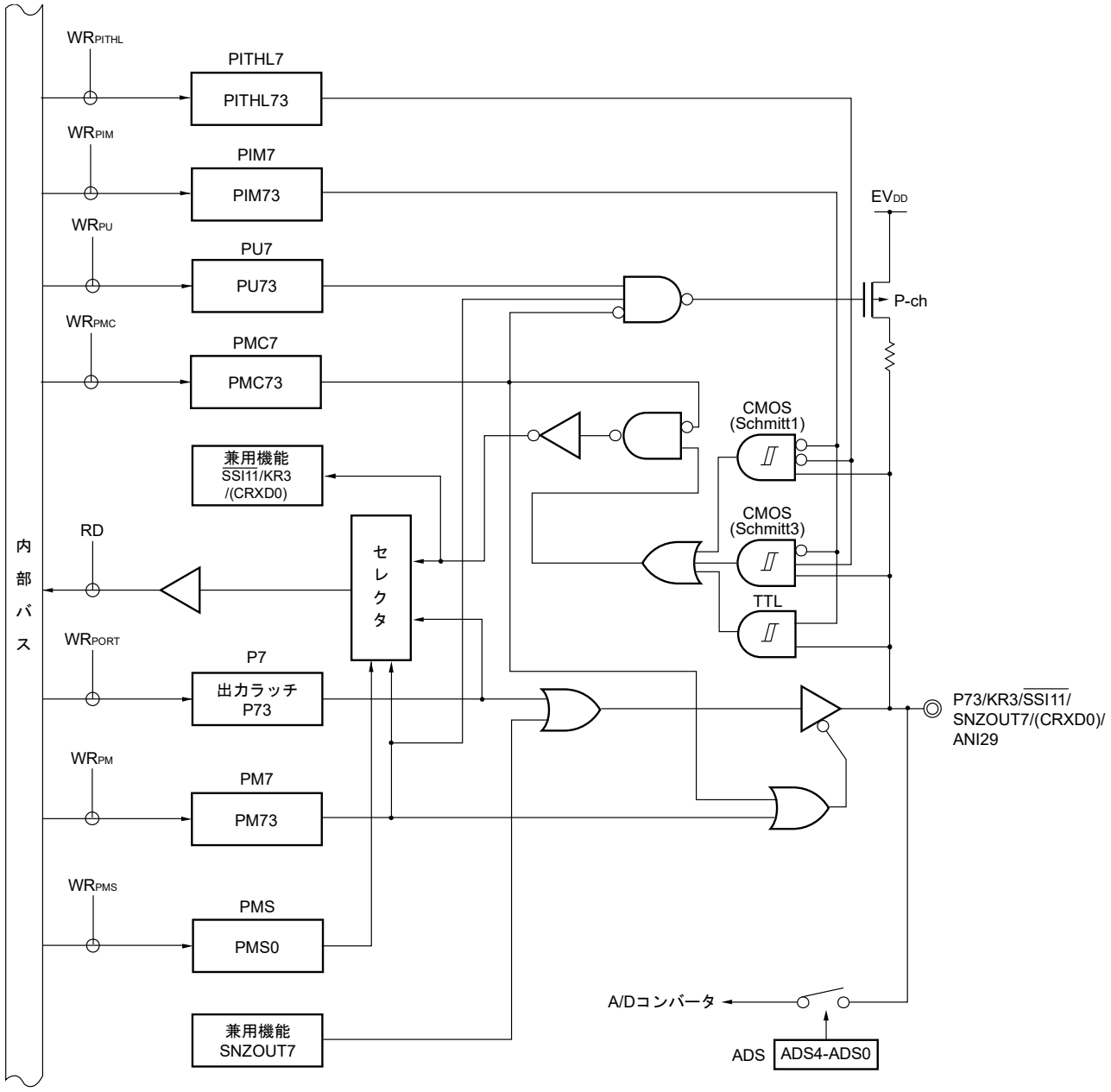
図4－55 P72のブロック図



P7 ：ポート・レジスタ7
PU7 ：プルアップ抵抗オプション・レジスタ7
PM7 ：ポート・モード・レジスタ7
POM7 ：ポート出力モード・レジスタ7
PMC7 ：ポート・モード・コントロール・レジスタ7
PMS ：ポート・モード選択レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

注意. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EV_{DD} レベル）が発生する場合があります。

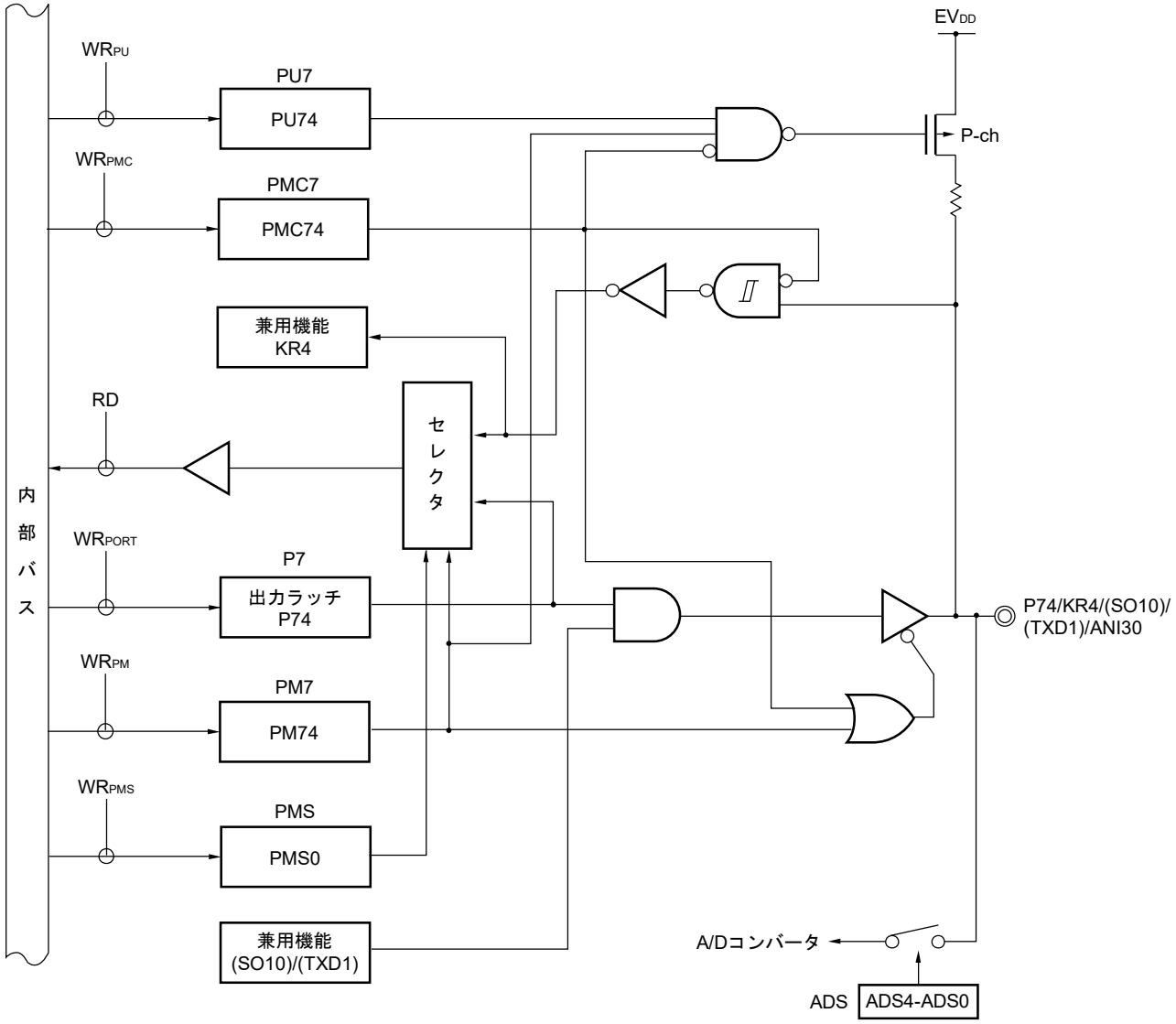
図4－56 P73のブロック図



P7 ：ポート・レジスタ7
PIM7 ：ポート入力モード・レジスタ7
PITHL7 ：ポート入力閾値制御レジスタ7
WRxx ：ライト信号
PU7 ：プルアップ抵抗オプション・レジスタ7
PMC7 ：ポート・モード・コントロール・レジスタ7
ADS ：アナログ入力チャネル指定レジスタ
PM7 ：ポート・モード・レジスタ7
PMS ：ポート・モード選択レジスタ
RD ：リード信号

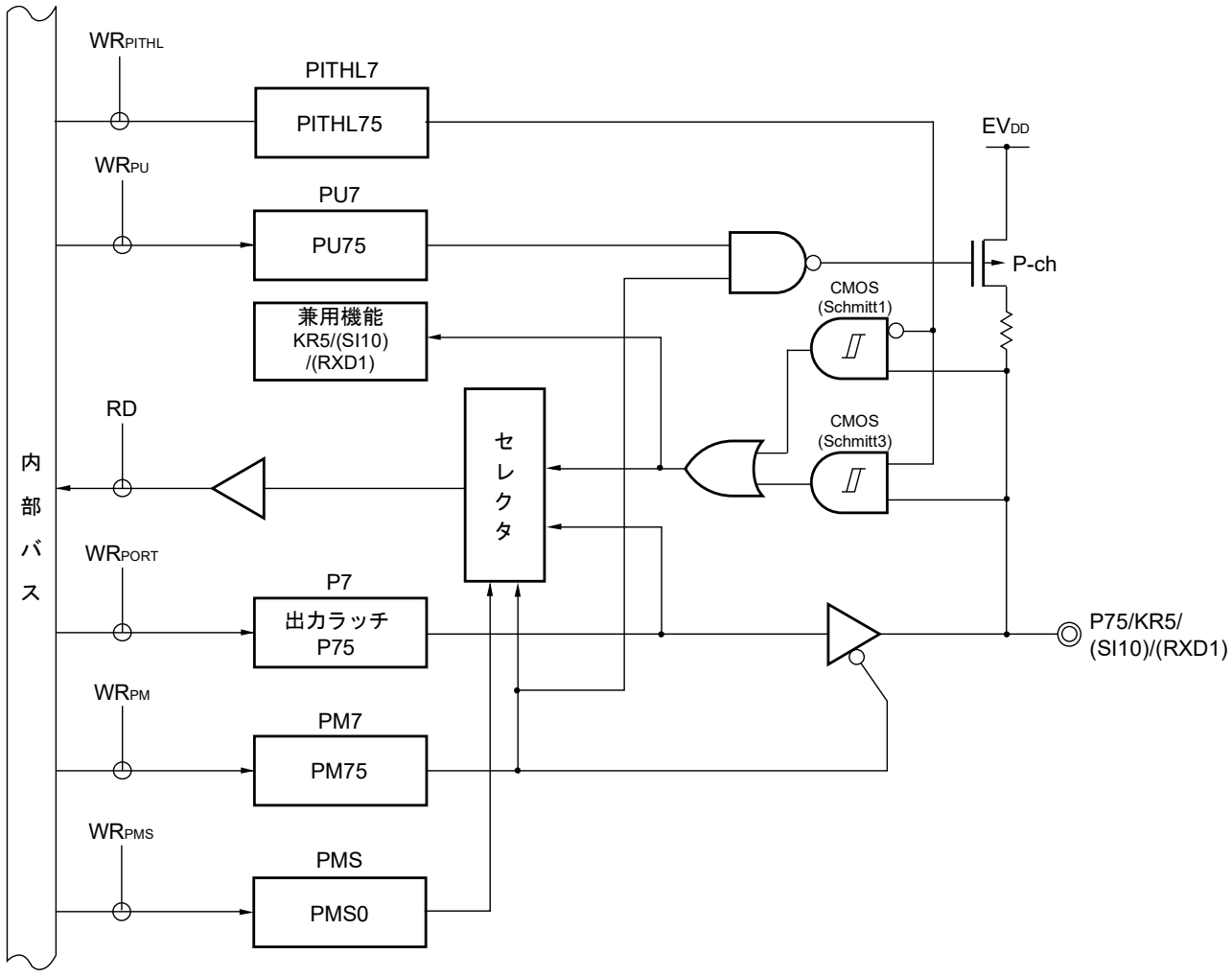
注意. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－57 P74のブロック図



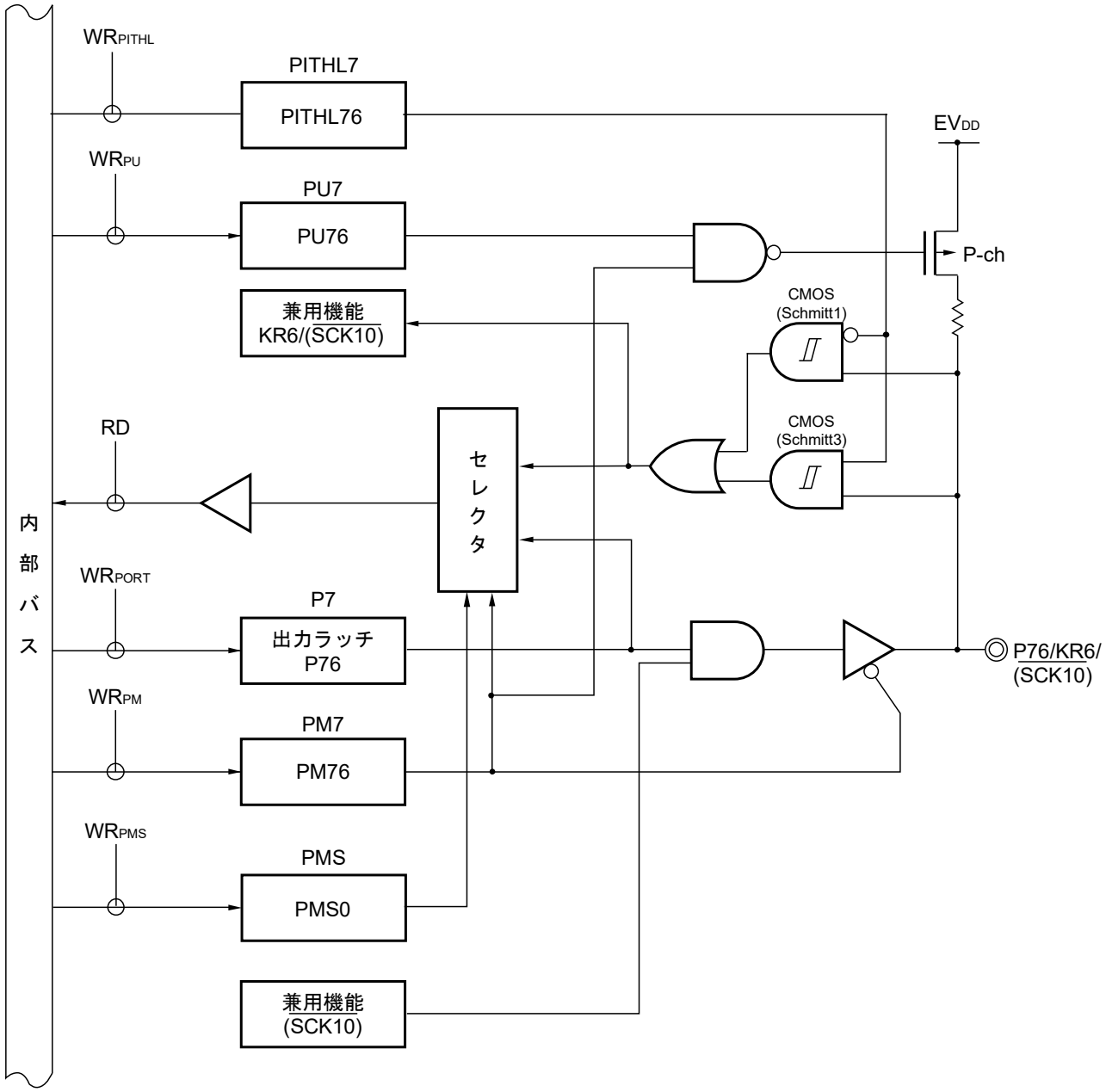
P7 ：ポート・レジスタ7
PU7 ：プルアップ抵抗オプション・レジスタ7
PM7 ：ポート・モード・レジスタ7
PMC7 ：ポート・モード・コントロール・レジスタ7
PMS ：ポート・モード選択レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－58 P75のブロック図



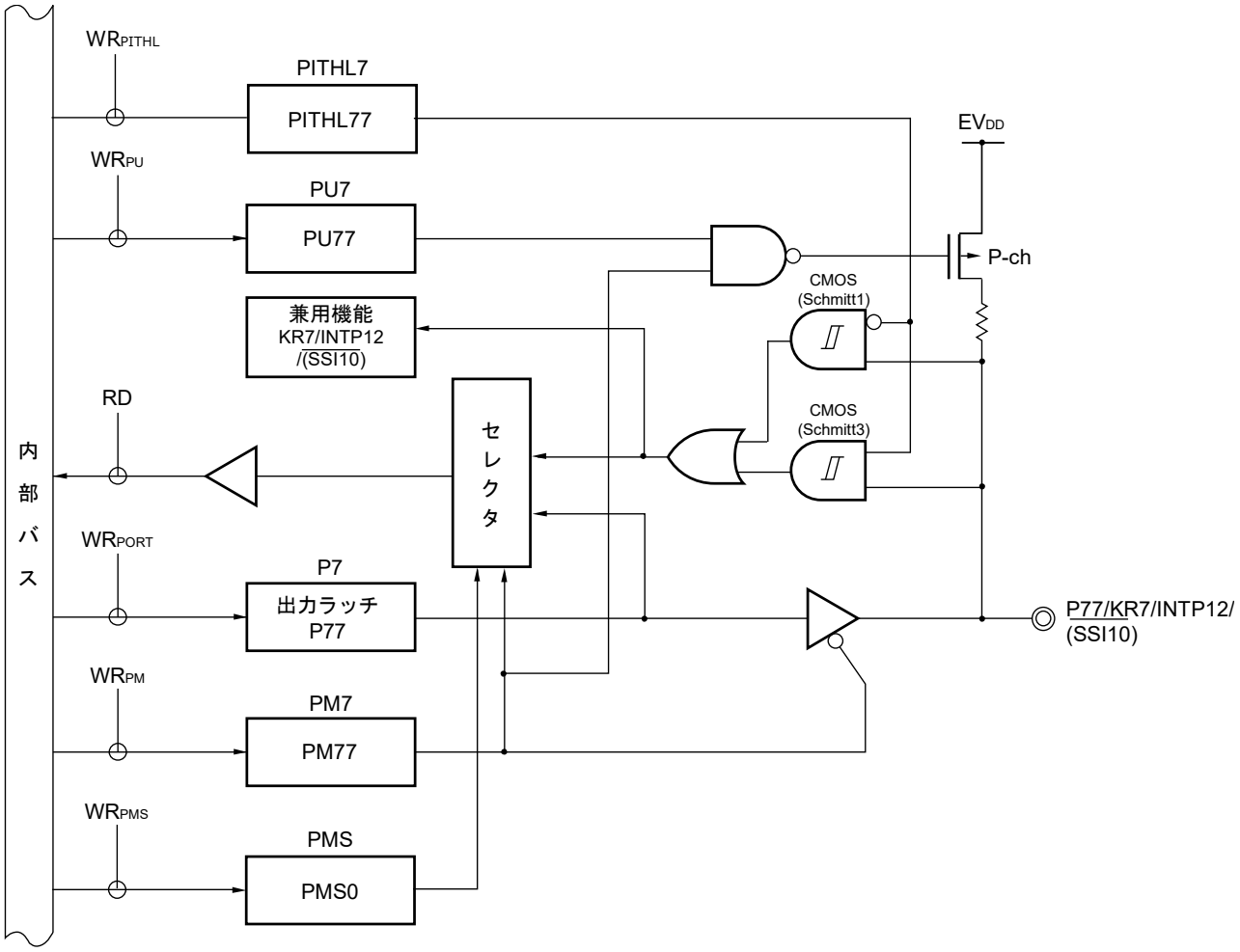
P7 ：ポート・レジスタ7
PU7 ：プルアップ抵抗オプション・レジスタ7
PM7 ：ポート・モード・レジスタ7
PMS ：ポート・モード選択レジスタ
PITHL7 ：ポート入力閾値制御レジスタ7
RD ：リード信号
WRxx ：ライト信号

図4－59 P76のブロック図



P7 ：ポート・レジスタ7
PU7 ：プルアップ抵抗オプション・レジスタ7
PM7 ：ポート・モード・レジスタ7
PMS ：ポート・モード選択レジスタ
PITHL7 ：ポート入力閾値制御レジスタ7
RD ：リード信号
WRxx ：ライト信号

図4－60 P77のブロック図



P7 ：ポート・レジスタ7
PU7 ：プルアップ抵抗オプション・レジスタ7
PM7 ：ポート・モード・レジスタ7
PMS ：ポート・モード選択レジスタ
PITHL7 ：ポート入力閾値制御レジスタ7
RD ：リード信号
WRxx ：ライト信号

4.2.9　ポート8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8（PM8）により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

また、P80-P85は、D/Aコンバータ出力、コンパレータのアナログ電圧入力、コンパレータの基準電圧入力があります。

P80/ANI2-P87/ANI9をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力に、かつPM8レジスタで入力モードあるいは出力モードに設定して、上位ビットから使用してください。

P80/ANI2-P87/ANI9をアナログ入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入出力に、かつPM8レジスタで入力モードに設定して、下位ビットから使用してください。

表4－14　ポート8使用時のレジスタ設定

端子名称		PM8X	ADPC	兼用機能設定	備考
名称	入出力				
P8n	入力	1	03～n＋3H	－	ポートとして使用する場合は上位ビットから使用
	出力	0	03～n＋3H		

備考1.　PM8X：ポート・モード・レジスタ8

ADPC：A/Dポート・コンフィギュレーション・レジスタ

2.　n = 0-7

表4－15 P80/ANI2/ANO0端子機能の設定

ADPCレジスタ	PM8レジスタ	DAMレジスタ	DAM2レジスタ	ADSレジスタ	ANO0/ANI2/ P80端子機能
デジタル入出力	入力モード	－	アナログ出力許可	－	設定禁止
			アナログ出力禁止		デジタル入力
	出力モード	－	アナログ出力許可	－	設定禁止
			アナログ出力禁止		デジタル出力
アナログ入出力	入力モード	D/A変換動作許可	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	アナログ出力（D/A出力）
			アナログ出力禁止	ANI選択	アナログ入力（A/D変換対象）
				ANI非選択	アナログ入力（A/D変換非対象）注
		D/A変換動作停止	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	設定禁止
			アナログ出力禁止	ANI選択	アナログ入力（A/D変換対象）
				ANI非選択	アナログ入力（A/D変換非対象）
	出力モード	－	－	－	設定禁止

注. コンパレータの内部基準電圧としてD/Aコンバータを使用する場合の設定です。この場合は，CMPSELレジスタCVRS1,CVRS0ビットを10b（内部基準電圧（D/Aコンバータ出力））としてください。

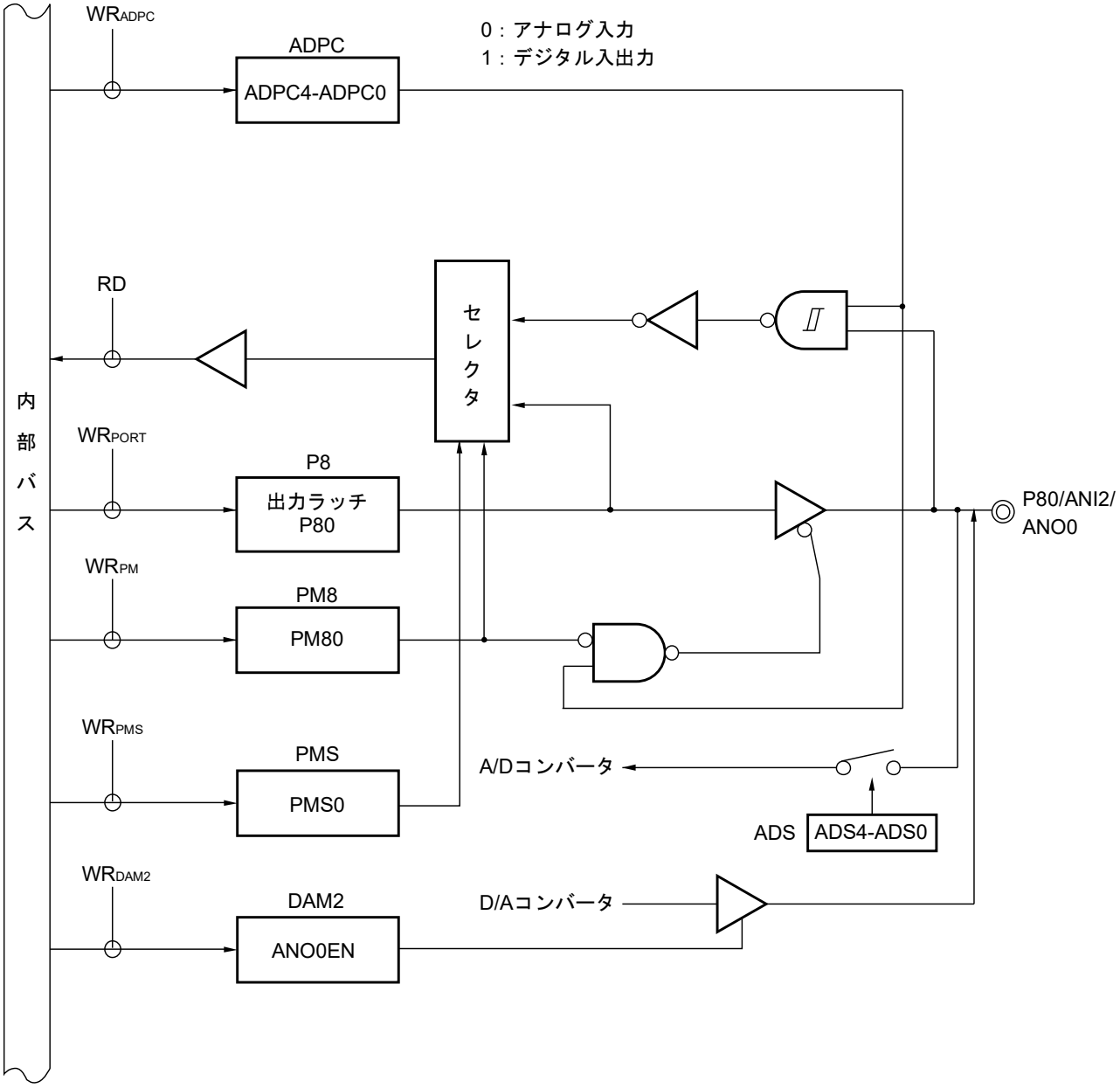
表4－16 P81/ANI3～P87/ANI9端子機能の設定

ADPCレジスタ	PM8レジスタ	ADSレジスタ	P81/ANI3～P87/ANI9端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P81/ANI3-P87/ANI9はすべてアナログ入力になります。

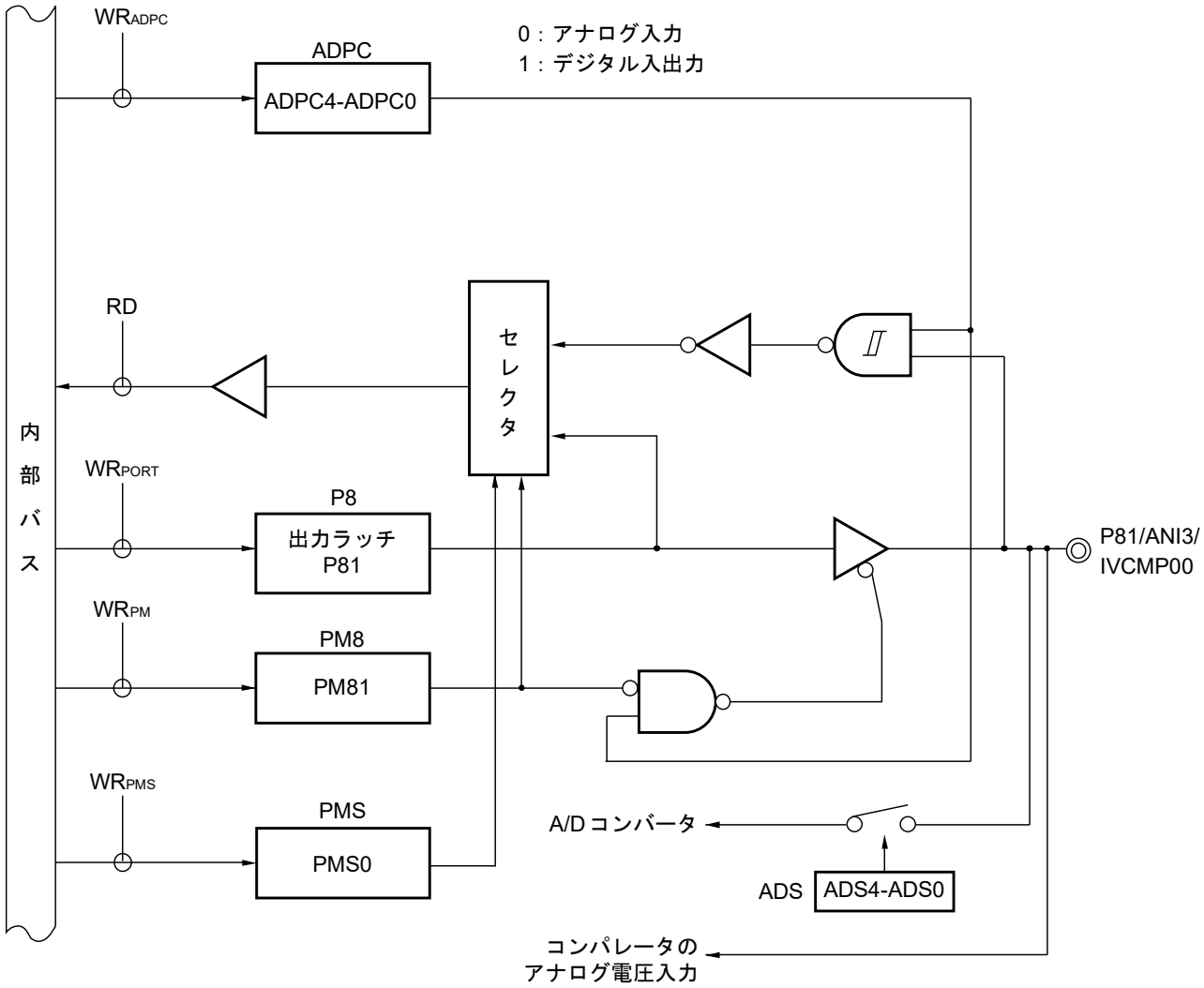
図4－61～図4－68に，144ピン製品の場合のポート8のブロック図を示します。

図4－61　P80のブロック図



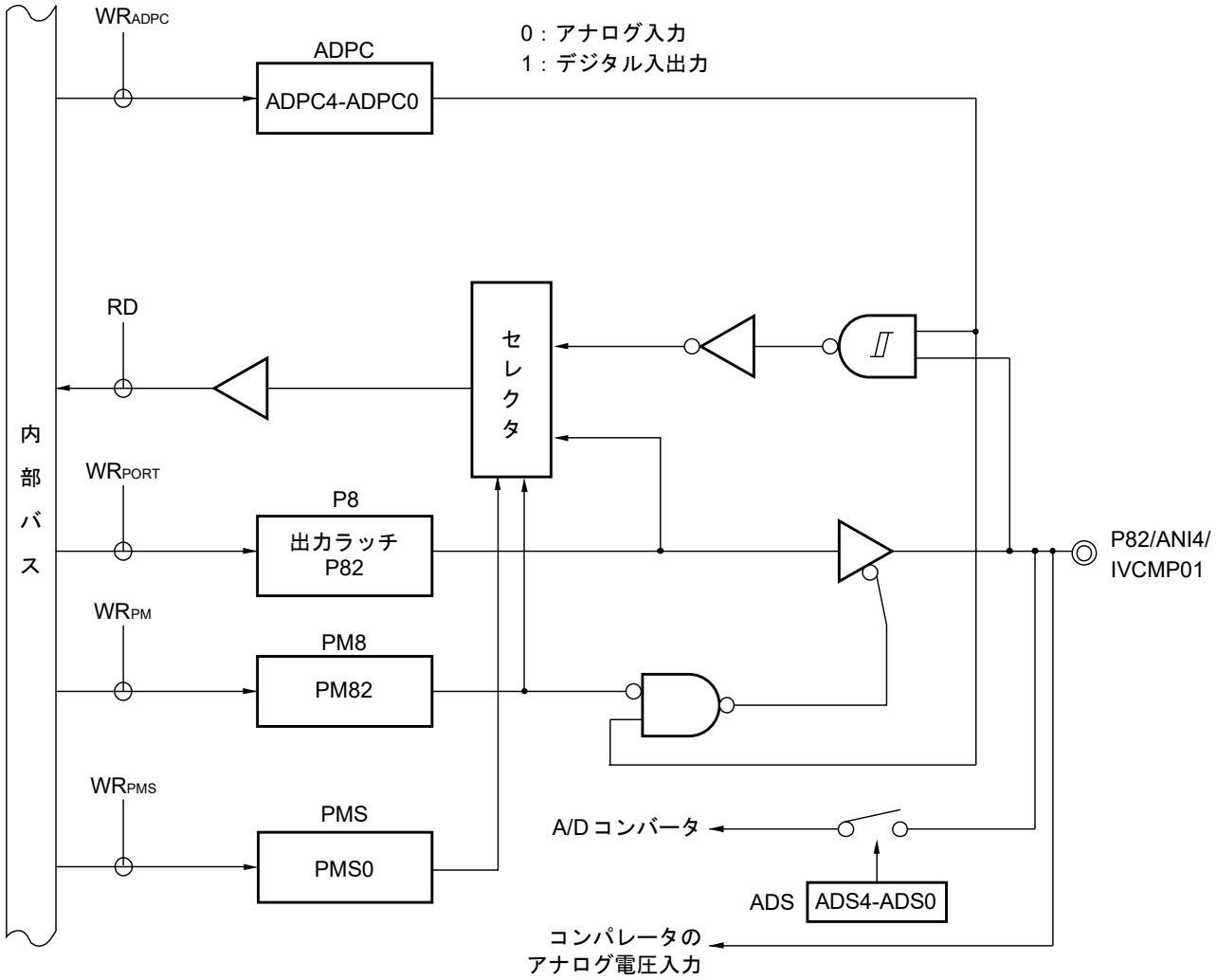
P8　：ポート・レジスタ8
PM8　：ポート・モード・レジスタ8
PMS　：ポート・モード選択レジスタ
ADPC　：A/Dポート・コンフィギュレーション・レジスタ
DAM2　：D/Aコンバータ・モード・レジスタ2
ADS　：アナログ入力チャネル指定レジスタ
RD　：リード信号
WRxx　：ライト信号

図4－62 P81のブロック図



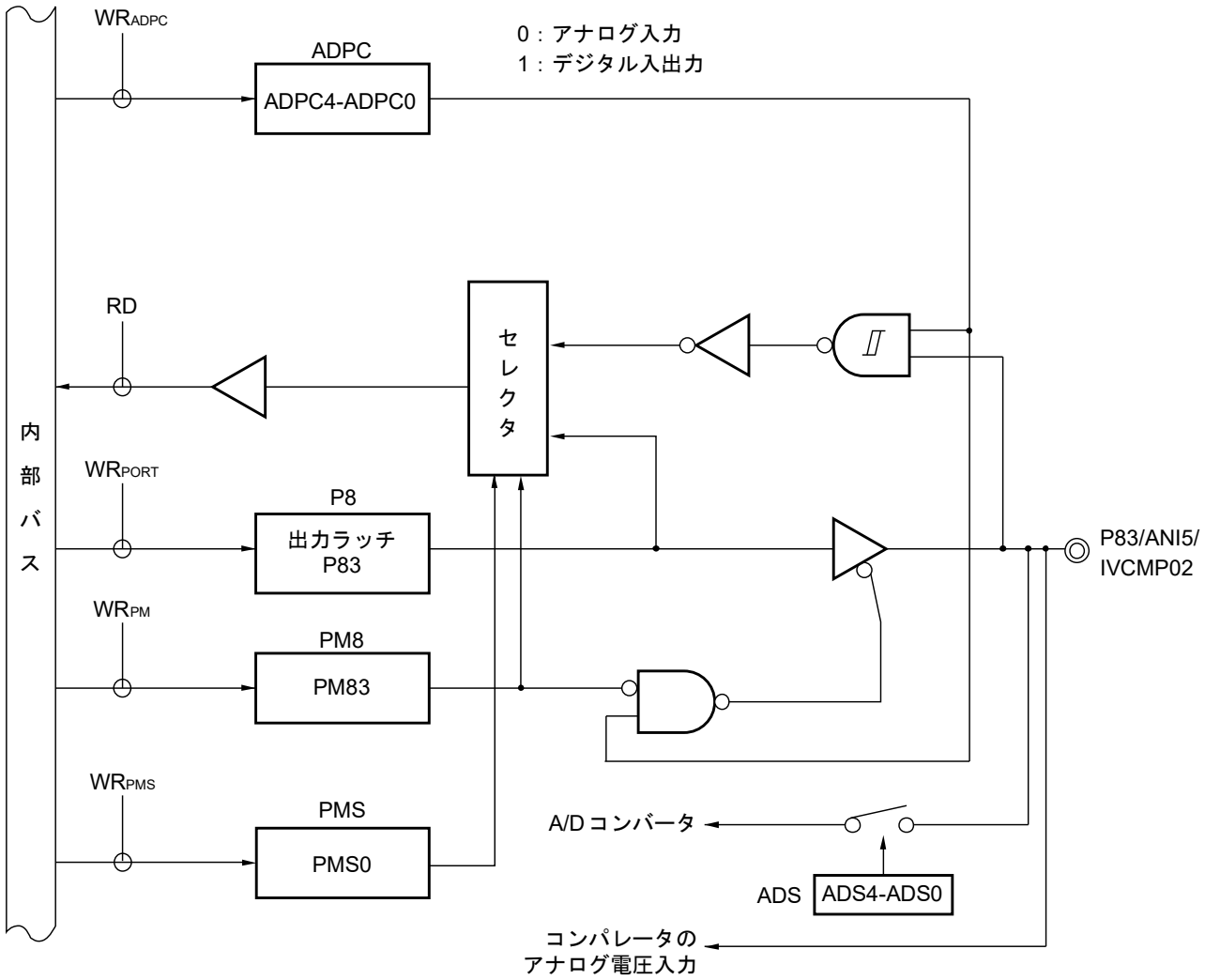
P8 ：ポート・レジスタ8
PM8 ：ポート・モード・レジスタ8
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－63 P82のブロック図



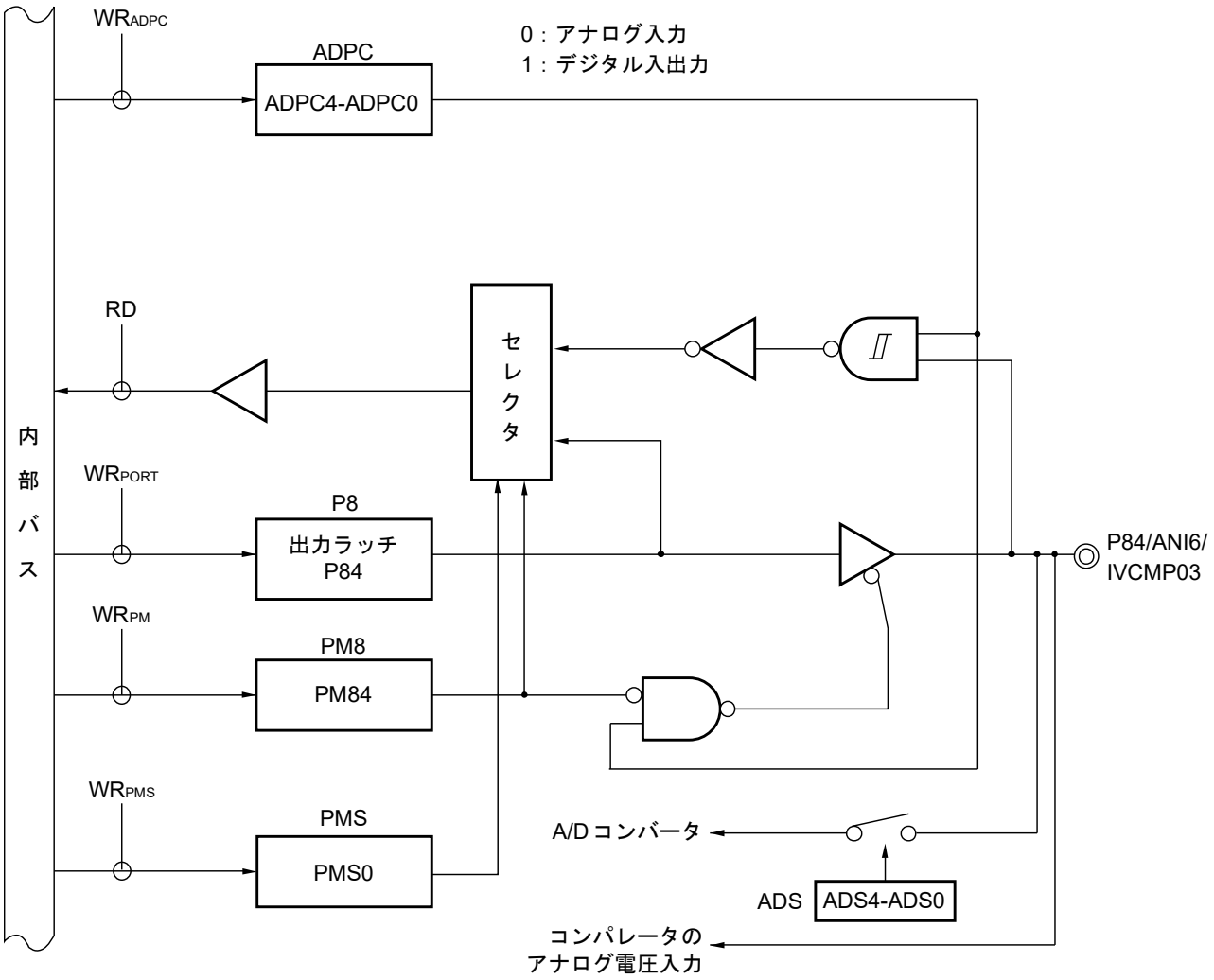
P8 ：ポート・レジスタ8
PM8 ：ポート・モード・レジスタ8
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－64 P83のブロック図



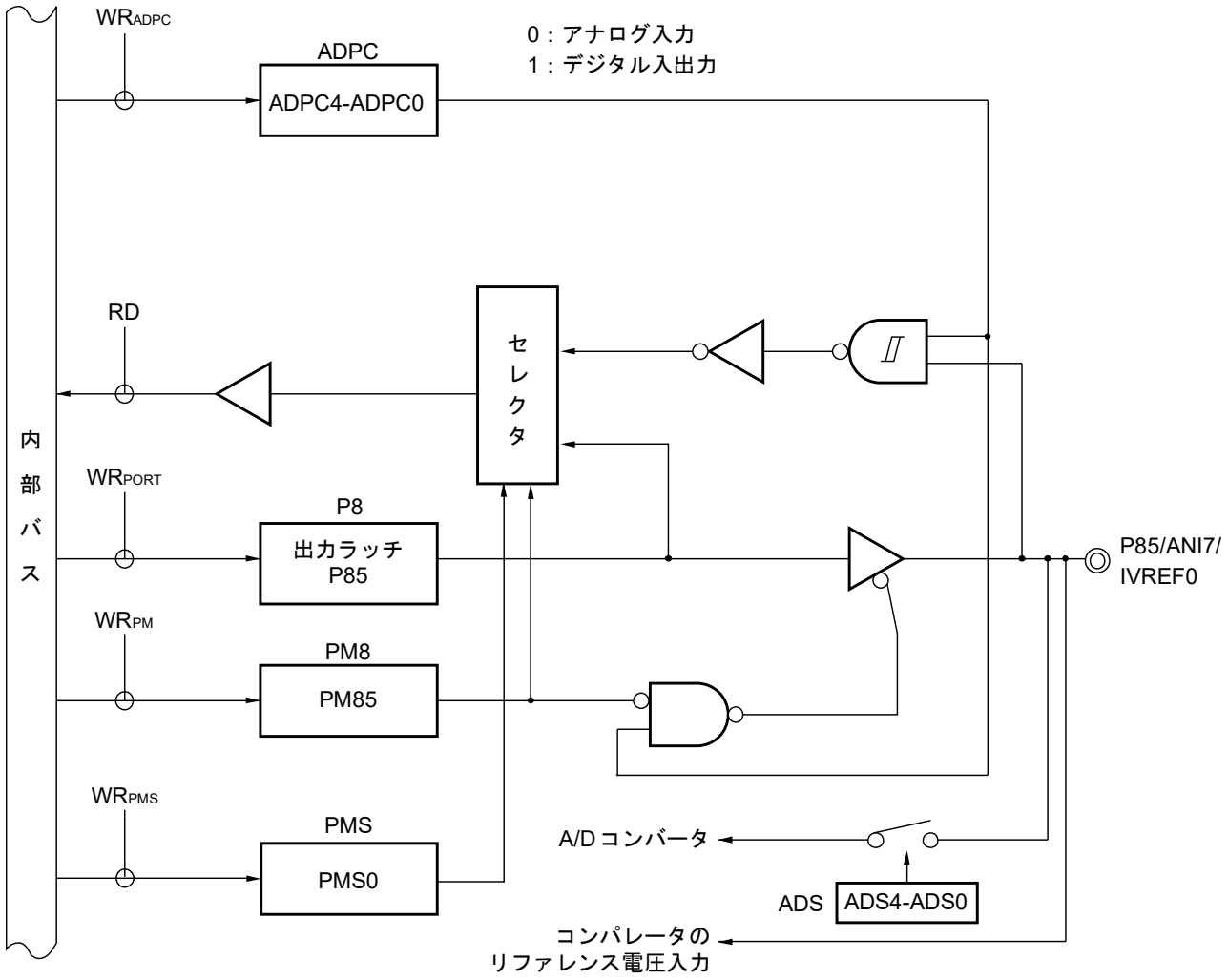
P8 ：ポート・レジスタ8
PM8 ：ポート・モード・レジスタ8
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－65 P84のブロック図



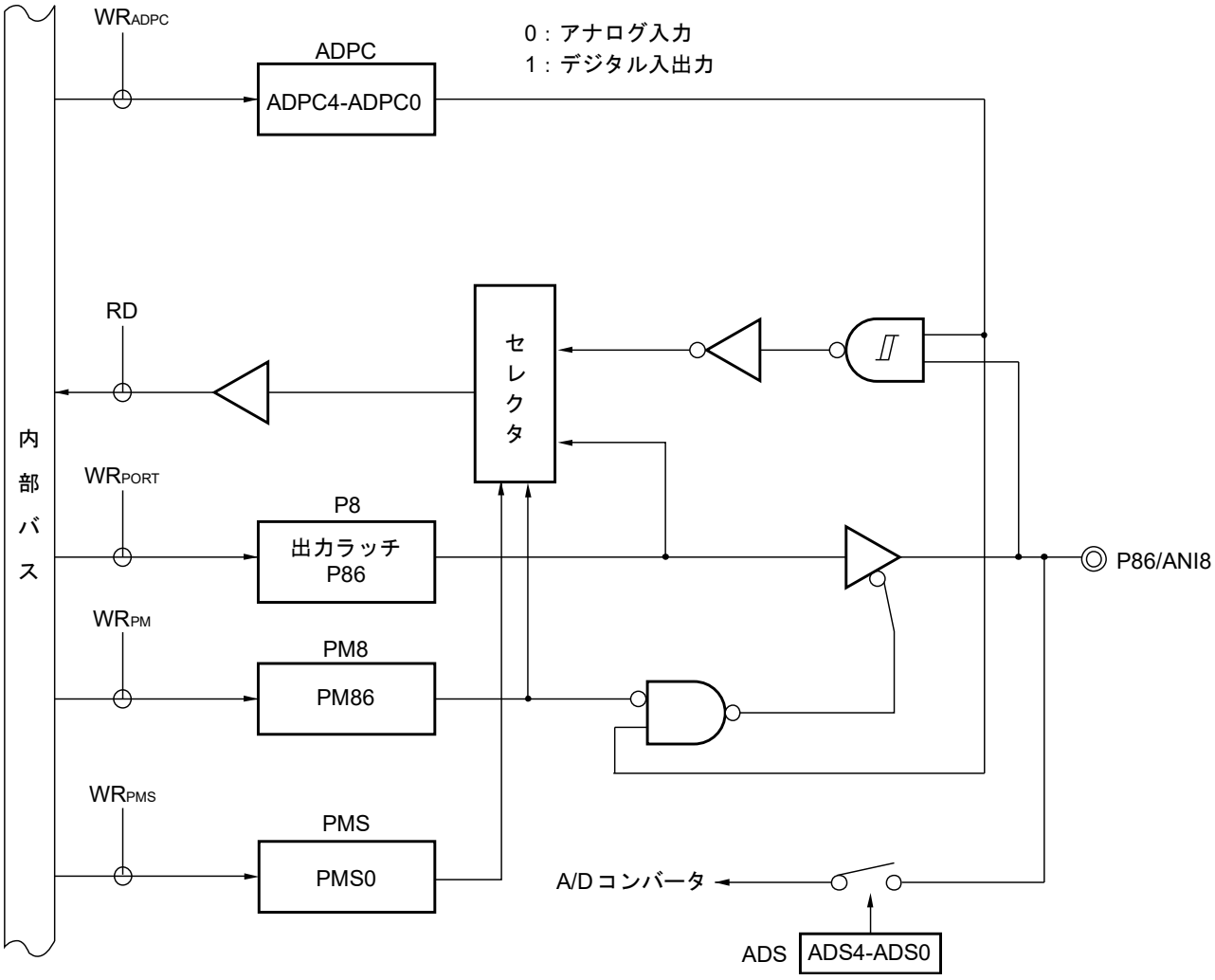
P8 ：ポート・レジスタ8
PM8 ：ポート・モード・レジスタ8
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－66 P85のブロック図



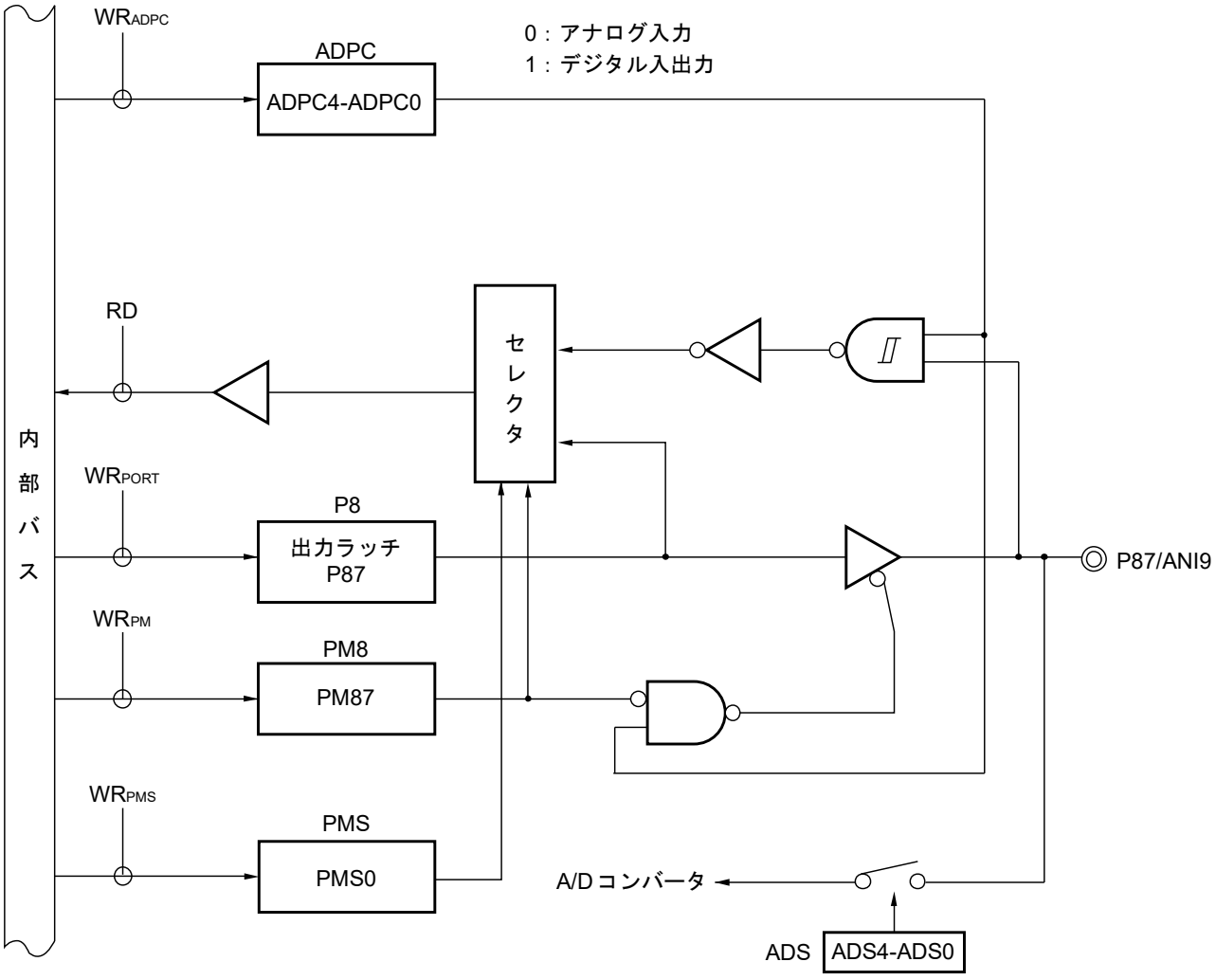
P8 ：ポート・レジスタ8
PM8 ：ポート・モード・レジスタ8
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－67 P86のブロック図



P8 ：ポート・レジスタ8
PM8 ：ポート・モード・レジスタ8
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－68 P87のブロック図



P8 ：ポート・レジスタ8
PM8 ：ポート・モード・レジスタ8
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.10 ポート9

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9（PM9）により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P90/ANI10-P97/ANI17をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力に、かつPM9レジスタで入力モードあるいは出力モードに設定して、上位ビットから使用してください。

P90/ANI10-P97/ANI17をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に、かつPM9レジスタで入力モードに設定して、下位ビットから使用してください。

リセット信号の発生によりアナログ入力になります。

表4－17 ポート9使用時のレジスタ設定

端子名称		PM9X	兼用機能設定	備考
名称	入出力			
P90	入力	1	×	
	出力	0	×	
P91	入力	1	×	
	出力	0	×	
P92	入力	1	×	
	出力	0	×	
P93	入力	1	×	
	出力	0	×	
P94	入力	1	×	
	出力	0	×	
P95	入力	1	×	
	出力	0	×	
P96	入力	1	×	
	出力	0	×	
P97	入力	1	×	
	出力	0	×	

備考 ×　　：don’t care

PM9X　　：ポート・モード・レジスタ9

表4－18 ポート9使用時のレジスタ設定

端子名称		PM9X	ADPC	兼用機能設定	備考
名称	入出力				
P9n	入力	1	0C～n+0CH	－	ポートとして使用する場合は上位ビットから使用
	出力	0	0C～n+0CH		

備考1. PM9X　　：ポート・モード・レジスタ9

ADPC　　：A/Dポート・コンフィギュレーション・レジスタ

2. n = 0-7

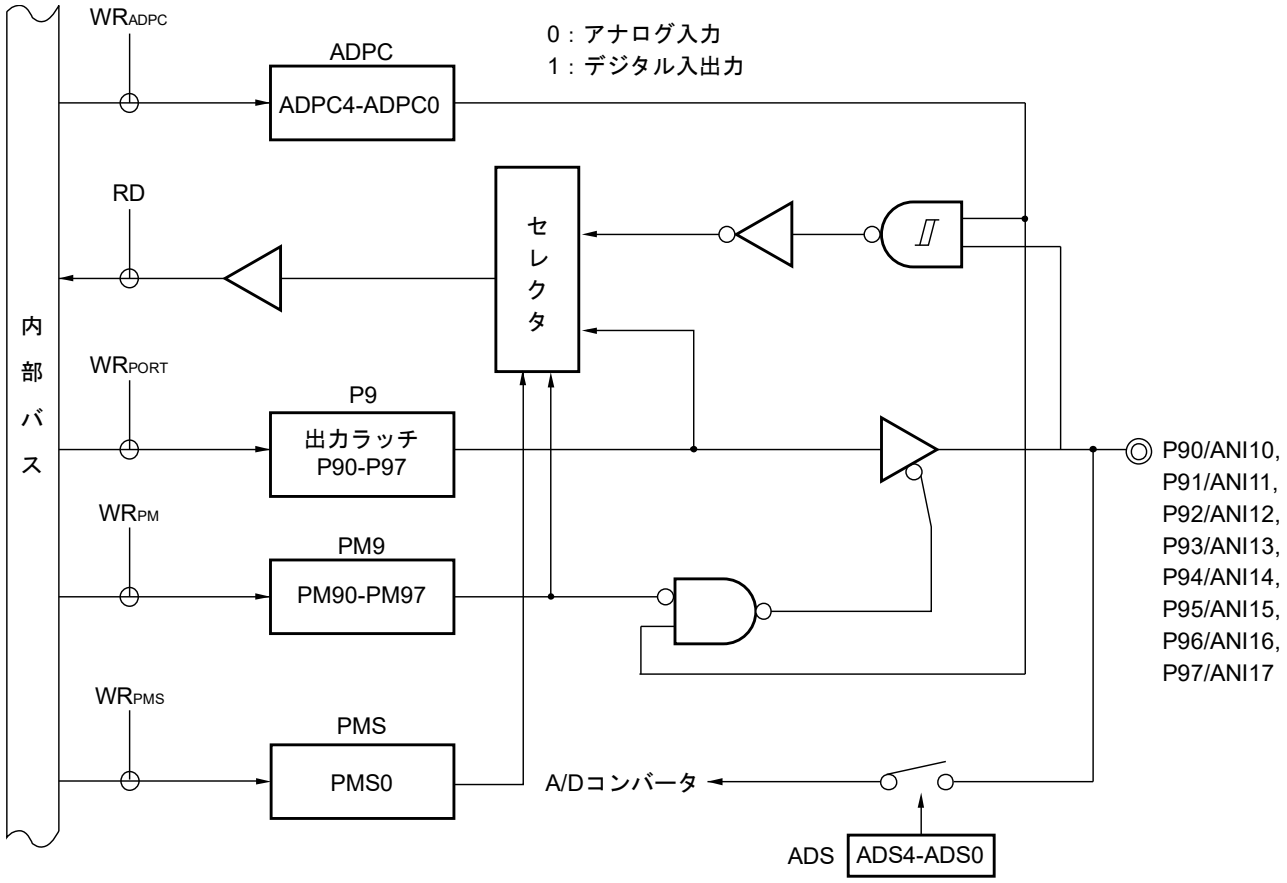
表4－19　P90/ANI10-P97/ANI17端子機能の設定

ADPCレジスタ	PM9レジスタ	ADSレジスタ	P90/ANI10-P97/ANI17端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P90/ANI10-P97/ANI17はすべてアナログ入力になります。

図4－69に，144ピン製品の場合のポート9のブロック図を示します。

図4－69 P90-P97のブロック図



P9 ：ポート・レジスタ9
PM9 ：ポート・モード・レジスタ9
PMS ：ポート・モード選択レジスタ
ADPC ：A/Dポート・コンフィギュレーション・レジスタ
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.11 ポート10

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ10（PM10）により1ビット単位で入力モード／出力モードの指定ができます。

P106、P107端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ10（PU10）により1ビット単位で内蔵プルアップ抵抗を使用できます。P107端子の入力は、ポート入力閾値制御レジスタ10（PITHL10）の設定により、1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、LINのシリアル・データ入出力があります。

P100/ANI18-P105/ANI23をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力に、かつPM10レジスタで入力モードあるいは出力モードに設定して上位ビットから使用してください。

P100/ANI18-P105/ANI23をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に、かつPM10レジスタで入力モードに設定して、下位ビットから使用してください。

リセット信号の発生によりP100-P105はアナログ入力、P106-P107はデジタル入力モードになります。

表4－20 ポート10使用時のレジスタ設定

端子名称		PM10X	PITHL10X	兼用機能設定[注2]	備考
名称	入出力				
P100[注3]	入力	1	－	×	
	出力	0	－	×	
P101[注3]	入力	1	－	×	
	出力	0	－	×	
P102[注3]	入力	1	－	×	
	出力	0	－	×	
P103[注3]	入力	1	－	×	
	出力	0	－	×	
P104[注3]	入力	1	－	×	
	出力	0	－	×	
P105[注3]	入力	1	－	×	
	出力	0	－	×	
P106	入力	1	－	×	
	出力	0	－	(LTXD1出力 = 1) [注1]	
P107	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	×	

注1. LINのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合、対応するLINを動作停止にしてください。

2. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ4（PIOR4）の設定により割り当て可能です。

3. A/Dポート・コンフィギュレーション・レジスタ（ADPC）で対象端子を"D"（デジタル入出力）に選択した場合のレジスタ設定です。アナログ入力として使用する場合、表4－21を参照してください。

備考 ×：don't care

PM10X：ポート・モード・レジスタ10

PITHL10X：ポート入力閾値制御レジスタ10

表4－21　ポート10をアナログ入力として使用する際のレジスタ設定

端子名称		PM10X	ADPC	兼用機能設定	備考
名称	入出力				
P10n	入力	1	14～n+14H（n = 0～4のとき）， 00H（n = 5のとき）	－	アナログ入力として使用する場合は下位ビットから使用してください。

備考1.　PM10X　：ポート・モード・レジスタ10

ADPC　：A/Dポート・コンフィギュレーション・レジスタ

2.　n = 0-5

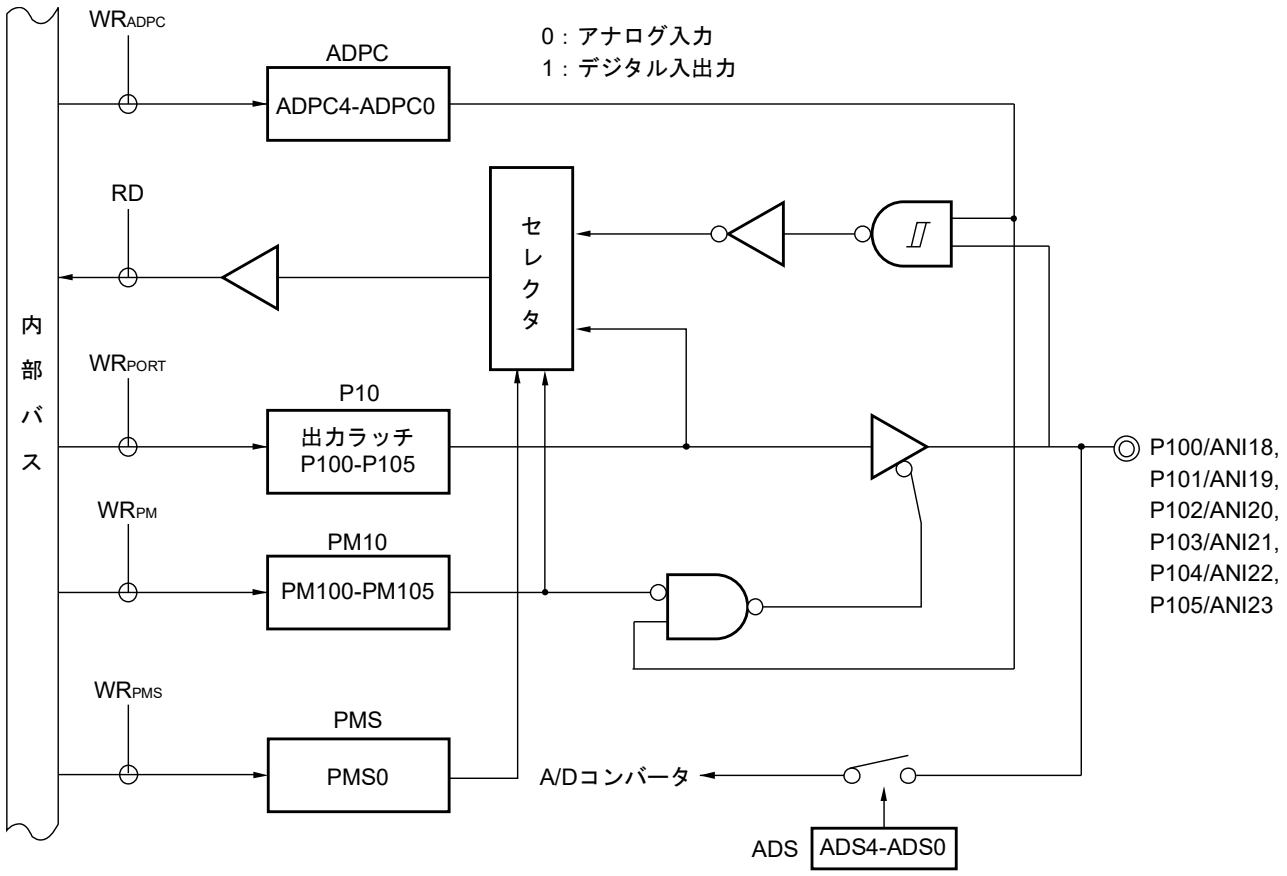
表4－22　P100/ANI18-P105/ANI23端子機能の設定

ADPCレジスタ	PM10レジスタ	ADSレジスタ	P100/ANI18-P105/ANI23端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P100/ANI18-P105/ANI23はすべてアナログ入力になります。

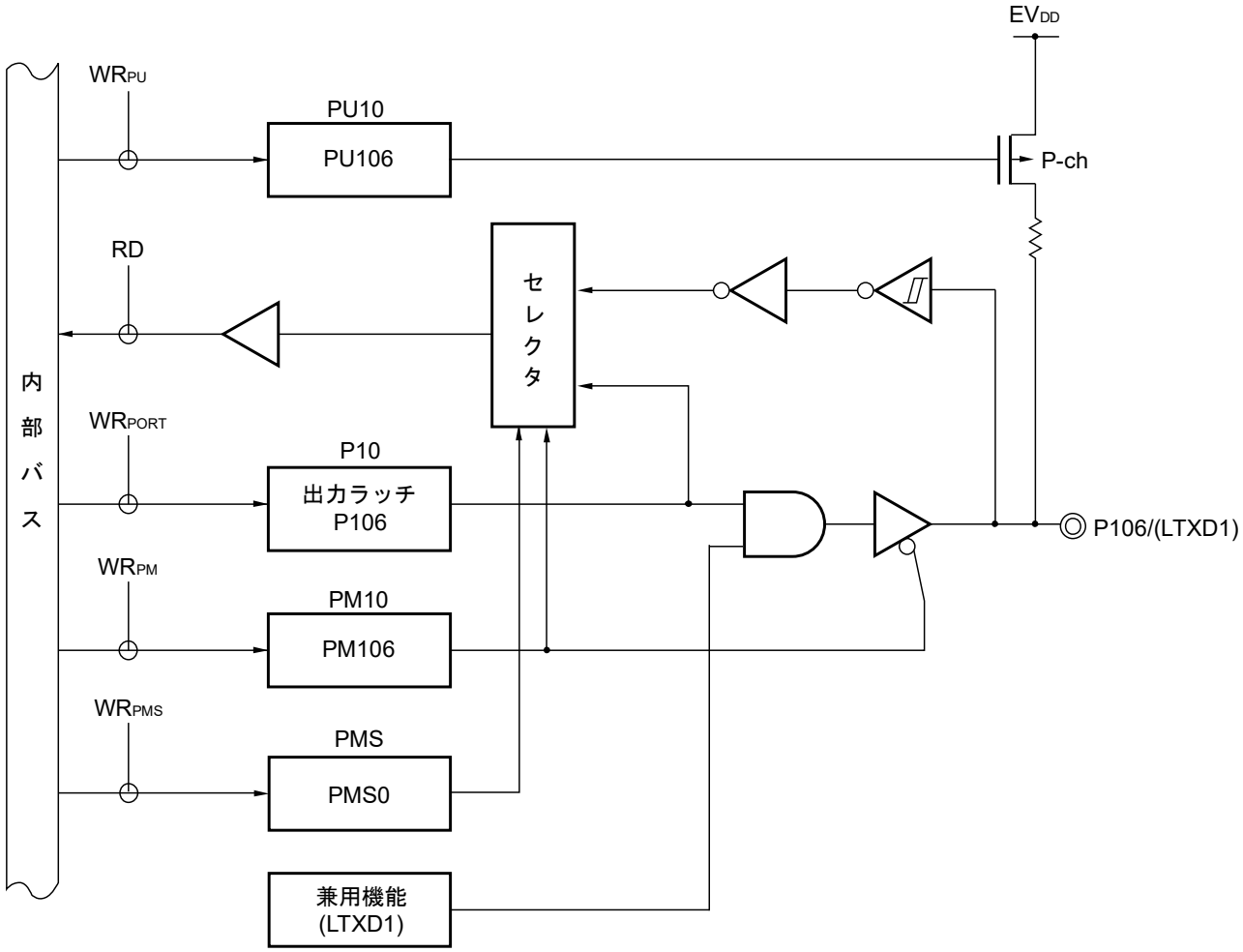
図4－70～図4－72に，144ピン製品の場合のポート10のブロック図を示します。

図4－70　P100-P105のブロック図



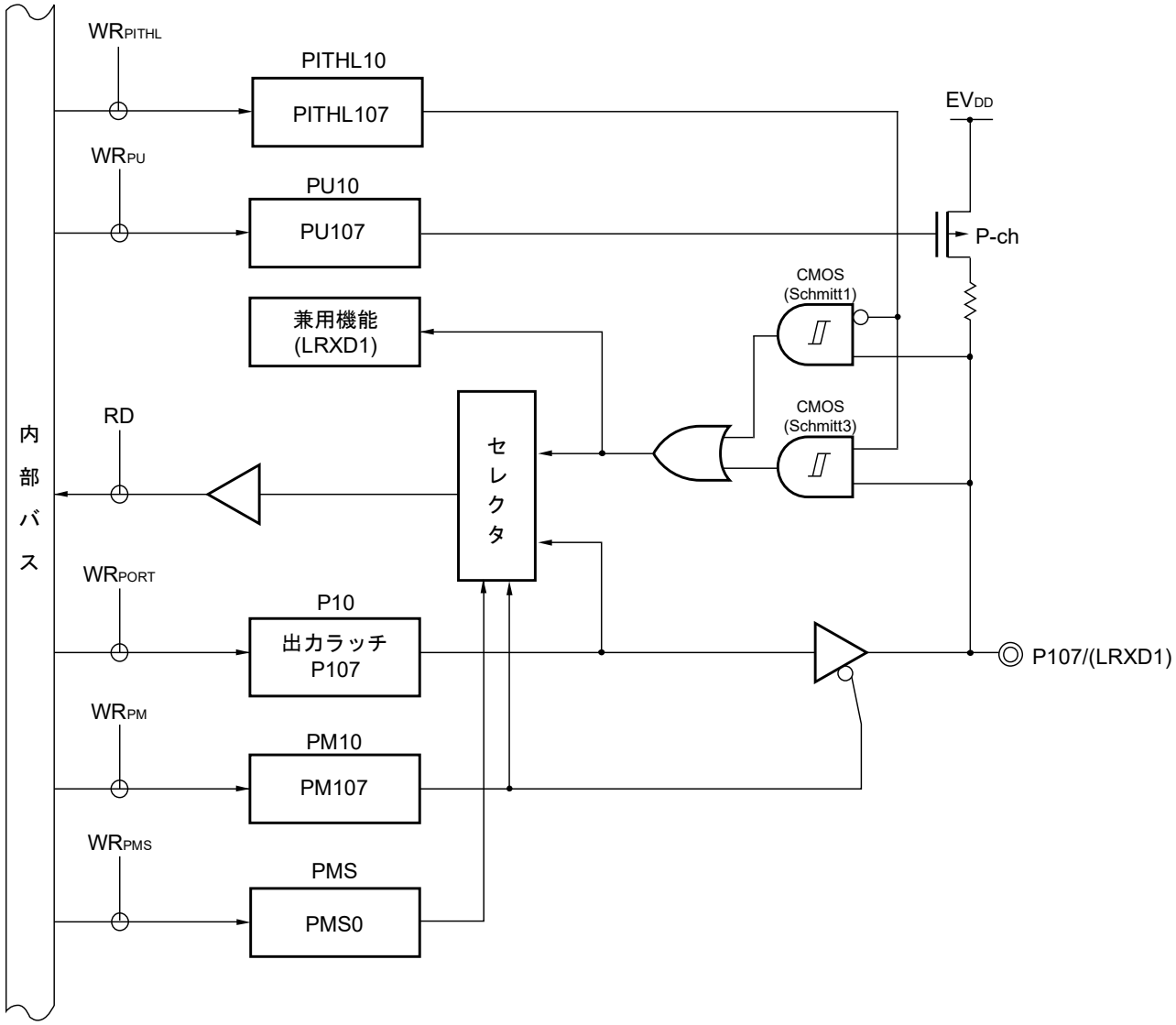
P10　：ポート・レジスタ10
PM10　：ポート・モード・レジスタ10
PMS　：ポート・モード選択レジスタ
ADPC　：A/Dポート・コンフィギュレーション・レジスタ
ADS　：アナログ入力チャネル指定レジスタ
RD　：リード信号
WRxx　：ライト信号

図4－71 P106のブロック図



P10 ：ポート・レジスタ10
PM10 ：ポート・モード・レジスタ10
PMS ：ポート・モード選択レジスタ
PU10 ：プルアップ抵抗オプション・レジスタ10
RD ：リード信号
WRxx ：ライト信号

図4－72 P107のブロック図



P10 ：ポート・レジスタ10
PM10 ：ポート・モード・レジスタ10
PMS ：ポート・モード選択レジスタ
PITHL10 ：ポート入力閾値制御レジスタ10
PU10 ：プルアップ抵抗オプション・レジスタ10
RD ：リード信号
WRxx ：ライト信号

4.2.12 ポート11

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ11（PM11）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ11（PU11）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力があります。

リセット信号の発生により，入力モードになります。

表4－23 ポート11使用時のレジスタ設定

端子名称		PM11X	兼用機能設定	備考
名称	入出力			
P110-P117	入力	1	×	
	出力	0	TO20-TO27出力 = 0注	

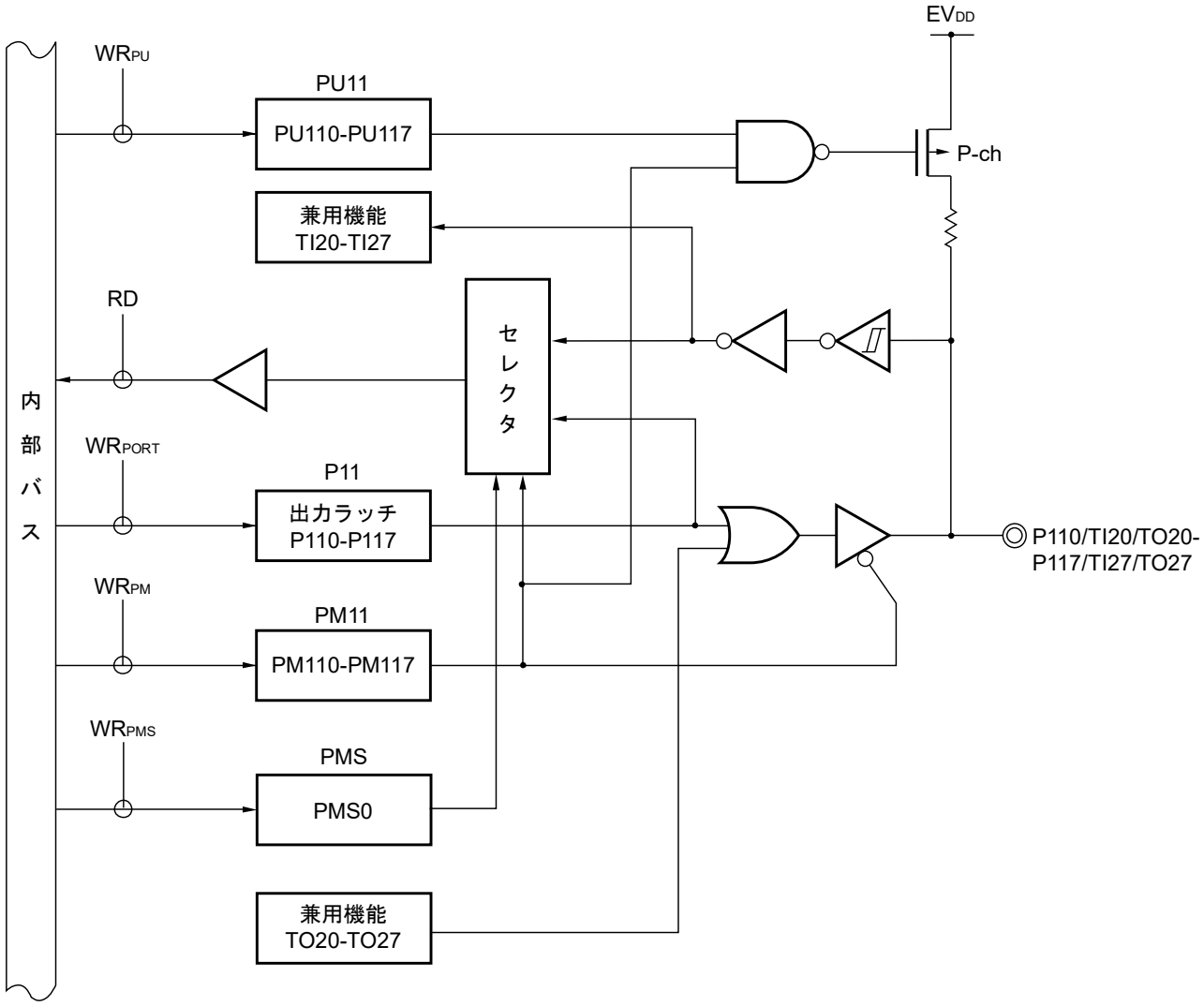
注 タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください (m = 0, 1, 2, n = 0-7)。

備考 × ：don't care

PM11X ：ポート・モード・レジスタ11

図4－73に，144ピン製品の場合のポート11のブロック図を示します。

図4－73　P110-P117のブロック図



P11　：ポート・レジスタ11
PU11　：プルアップ抵抗オプション・レジスタ11
PM11　：ポート・モード・レジスタ11
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

4.2.13 ポート12

P120、P125-P127は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12（PM12）により、1ビット単位で入力モード／出力モードの指定ができます。P120, P125-P127端子を入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

P125端子の入力は、ポート入力モード・レジスタ12（PIM12）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。P125端子の入力は、ポート入力閾値制御レジスタ12（PITHL12）の設定により1ビット単位で入力バッファの閾値の指定ができます。

P120端子の出力は、ポート出力モード・レジスタ12（POM12）により1ビット単位でN-chオープン・ドレーン出力（EV_{DD}耐圧）に設定可能です。

また兼用機能としてA/Dコンバータのアナログ入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、タイマの入出力、シリアル・インターフェース（CSI）のデータ出力、スレーブ・セレクト入力、外部割り込み要求入力、SNOOZEステータス出力があります。

P120/ANI25, P125/ANI24をデジタル入出力として使用する場合は、ポート・モード・コントロール・レジスタ12（PMC12）でデジタル入出力に設定してください（1ビット単位で設定可能）。

P120/ANI25, P125/ANI24をアナログ入力として使用する場合は、ポート・モード・コントロール・レジスタ12（PMC12）でアナログ入力に、かつPM12レジスタで入力モードに設定してください（1ビット単位で設定可能）。

リセット信号の発生によりP120, P125はアナログ入力、P121-P124, P126, P127は入力モードになります。

表4－24 ポート12使用時のレジスタ設定

端子名称		PM12X	PIM12X	POM12X	PMC12X	PITHL12X	兼用機能設定[注5]	備考
名称	入出力							
P120	入力	1	–	×	0	–	×	
	出力	0	–	0	0	–	TRDIOD0出力 = 0[注1] TO07出力 = 0[注2] SO01出力 = 1[注3]	CMOS出力
		0	–	1	0	–		N-ch O.D出力
P121	入力	–	–	–	–	–	CMCレジスタの OSCSELビット = 0 または，EXCLKビット = 1	
P122	入力	–	–	–	–	–	CMCレジスタの OSCSELビット = 0	
P123	入力	–	–	–	–	–	CMCレジスタの OSCSELSビット = 0 または，EXCLKSビット = 1 または，CKSELレジスタの SELLOSC = 1	
P124	入力	–	–	–	–	–	CMCレジスタの OSCSELSビット = 0 または，CKSELレジスタの SELLOSC = 1	
P125	入力	1	0	–	0	0	×	CMOS入力（Schmitt1入力）
						1		CMOS入力（Schmitt3入力）
		1	1	–	0	×	×	TTL入力
	出力	0	×	–	0	×	TRDIOB0出力 = 0[注1] TO03出力 = 0[注2] SNZOUT1出力 = 0[注4]	
P126	入力	1	–	–	–	–	×	
	出力	0	–	–	–	–	(TO01出力 = 0)[注2]	
P127	入力	1	–	–	–	–	×	
	出力	0	–	–	–	–	(TO03出力 = 0)[注2]	

（注と注意，備考は次のページにあります。）

注1. タイマRD機能と兼用している端子を汎用ポートとして使用する場合、タイマRD出力マスタ許可レジスタ1（TRDOER1）で対象となるTRDIOij端子の出力制御ビットを初期値と同じ設定で使用してください (i= A, B, C, D, j = 0, 1)。

2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください (m = 0, 1, 2, n = 0-7)。

3. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のSOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください (m = 0, 1, 2, n = 0, 1)。

4. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。

5. （　）内の機能は、周辺I/Oリダイレクション・レジスタ1（PIOR1）の設定により割り当て可能です。

注意　P121-P124の機能設定は，リセット解除後1回のみ可能です。一度，発振子／発振器接続用に設定したポートは，リセットしないかぎり入力ポートとして使用できません。

備考　×　：don't care

PM12X：ポート・モード・レジスタ12

PIM12X：ポート入力モード・レジスタ12

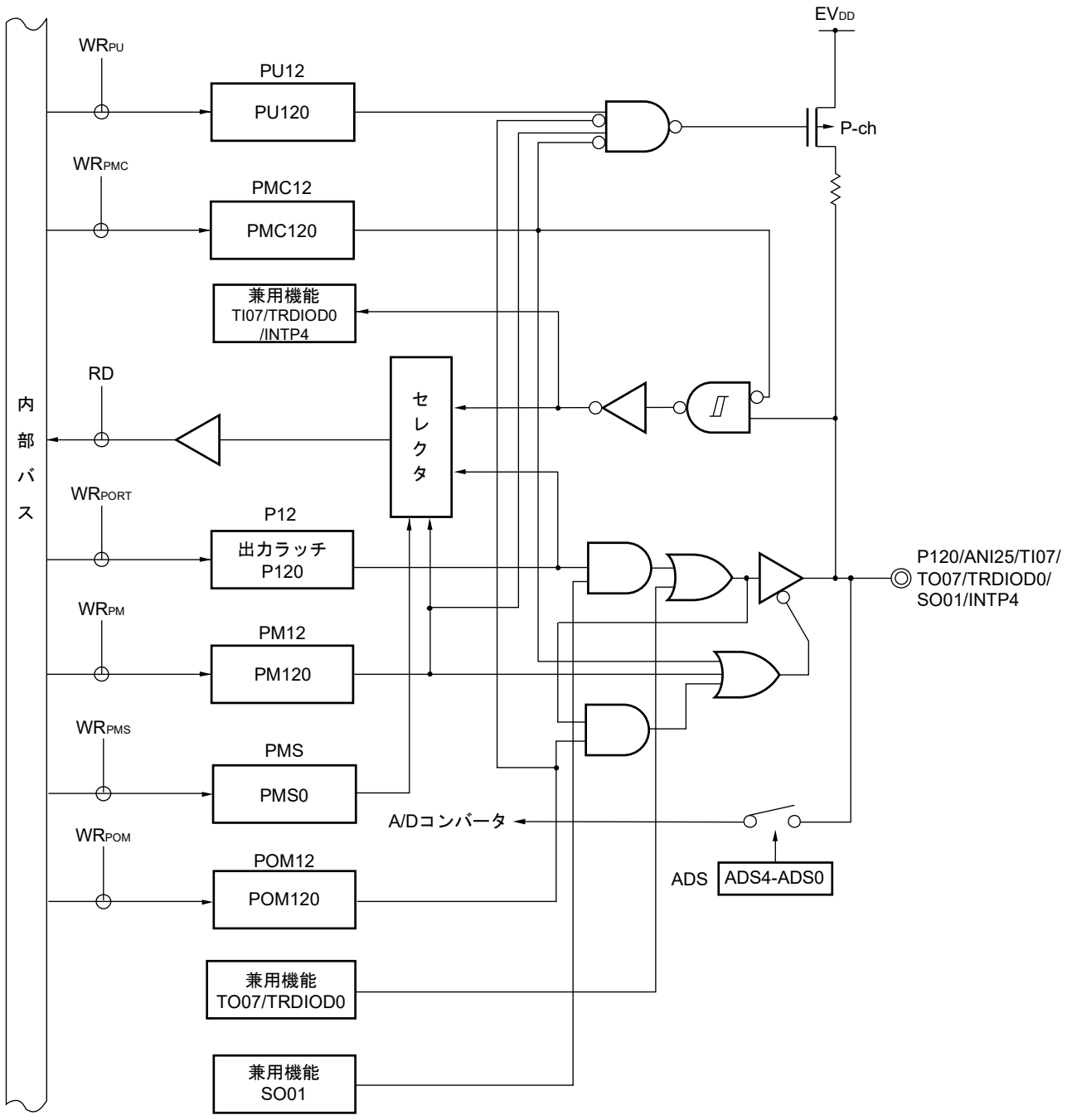
POM12X：ポート出力モード・レジスタ12

PMC12X：ポート・モード・コントロール・レジスタ12

PITHL12X：ポート入力閾値制御レジスタ12

図4－74～図4－78に，144ピン製品の場合のポート12のブロック図を示します。

図4－74 P120のブロック図



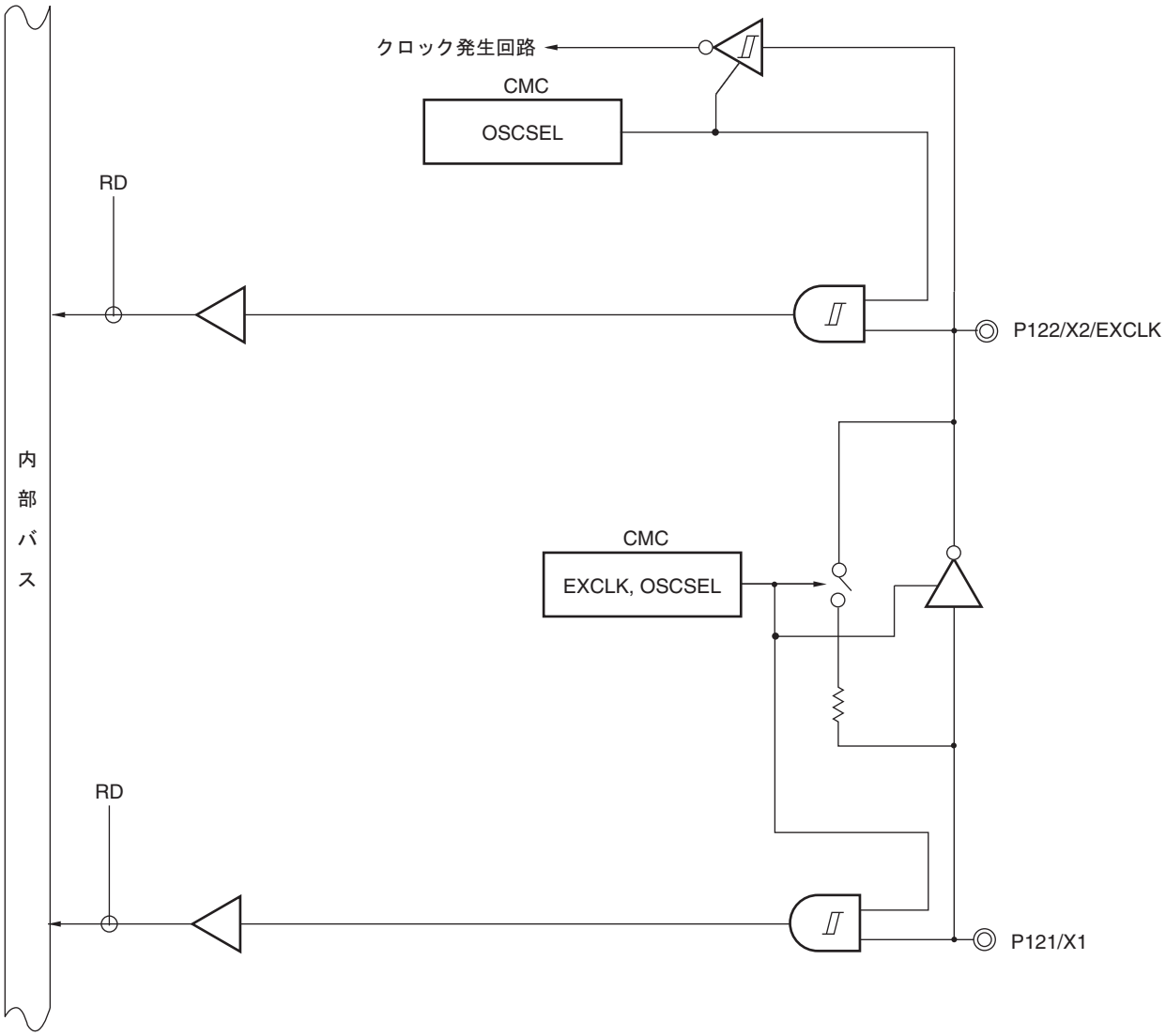
P12 ：ポート・レジスタ12　PU12：プルアップ抵抗オプション・レジスタ12　PM12 ：ポート・モード・レジスタ12

POM12：ポート出力モード・レジスタ12　PMC12 ：ポート・モード・コントロール・レジスタ12　PMS ：ポート・モード選択レジスタ

ADS ：アナログ入力チャネル指定レジスタ　RD ：リード信号　WRxx ：ライト信号

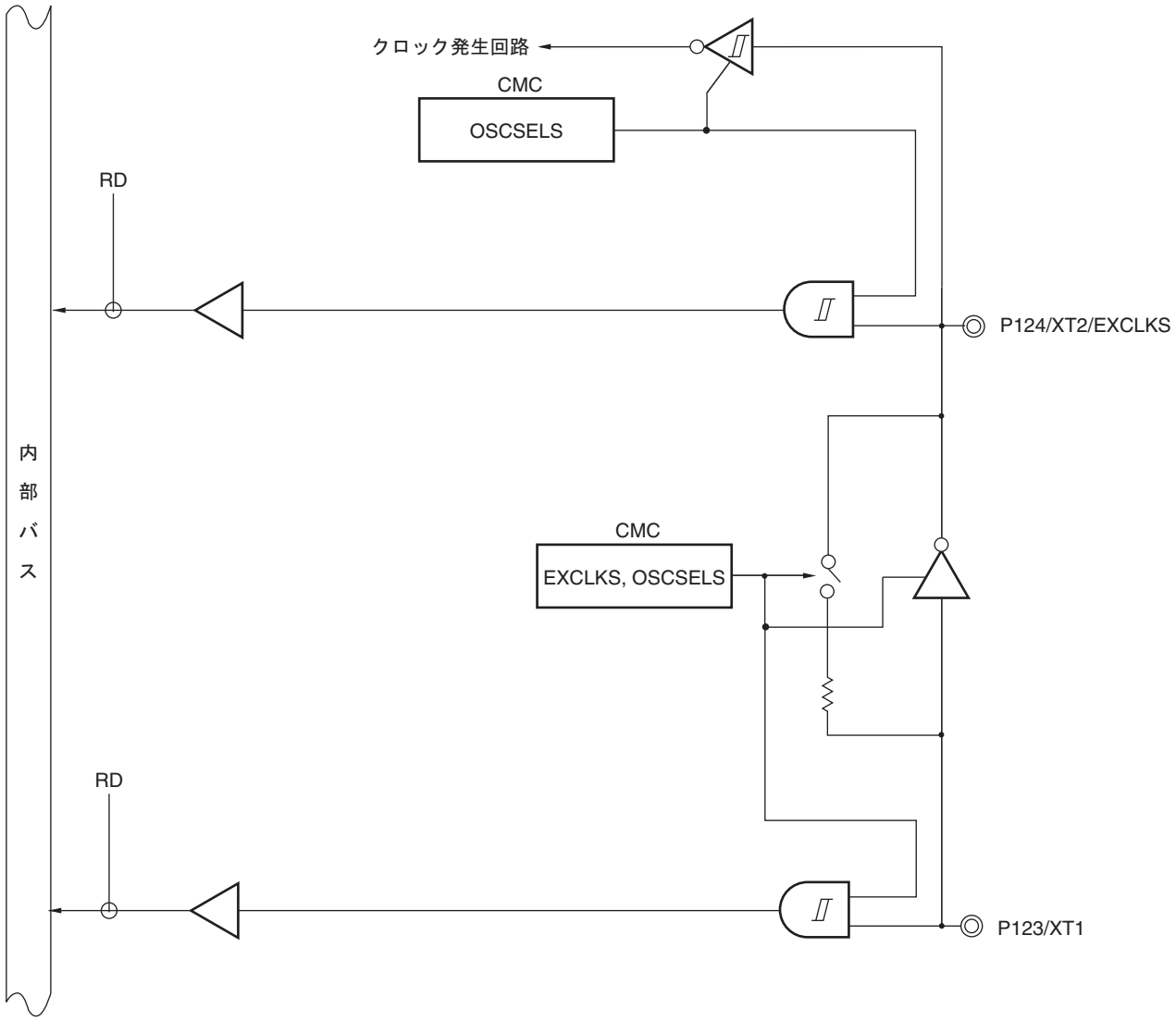
注意. この端子を，ポート出力モード・レジスタ（POMm）の対応ビットでNch オープン・ドレーン出力モードに選択し出力として動作させても，入力バッファは有効なままです。したがって，この端子の電圧レベルが中間電位になった場合，端子に貫通電流が流れる可能性があります。Nch オープン・ドレーン出力モード選択時に出力レベルを変更すると，グリッチ（EVDD レベル）が発生する場合があります。

図4－75 P121, P122のブロック図



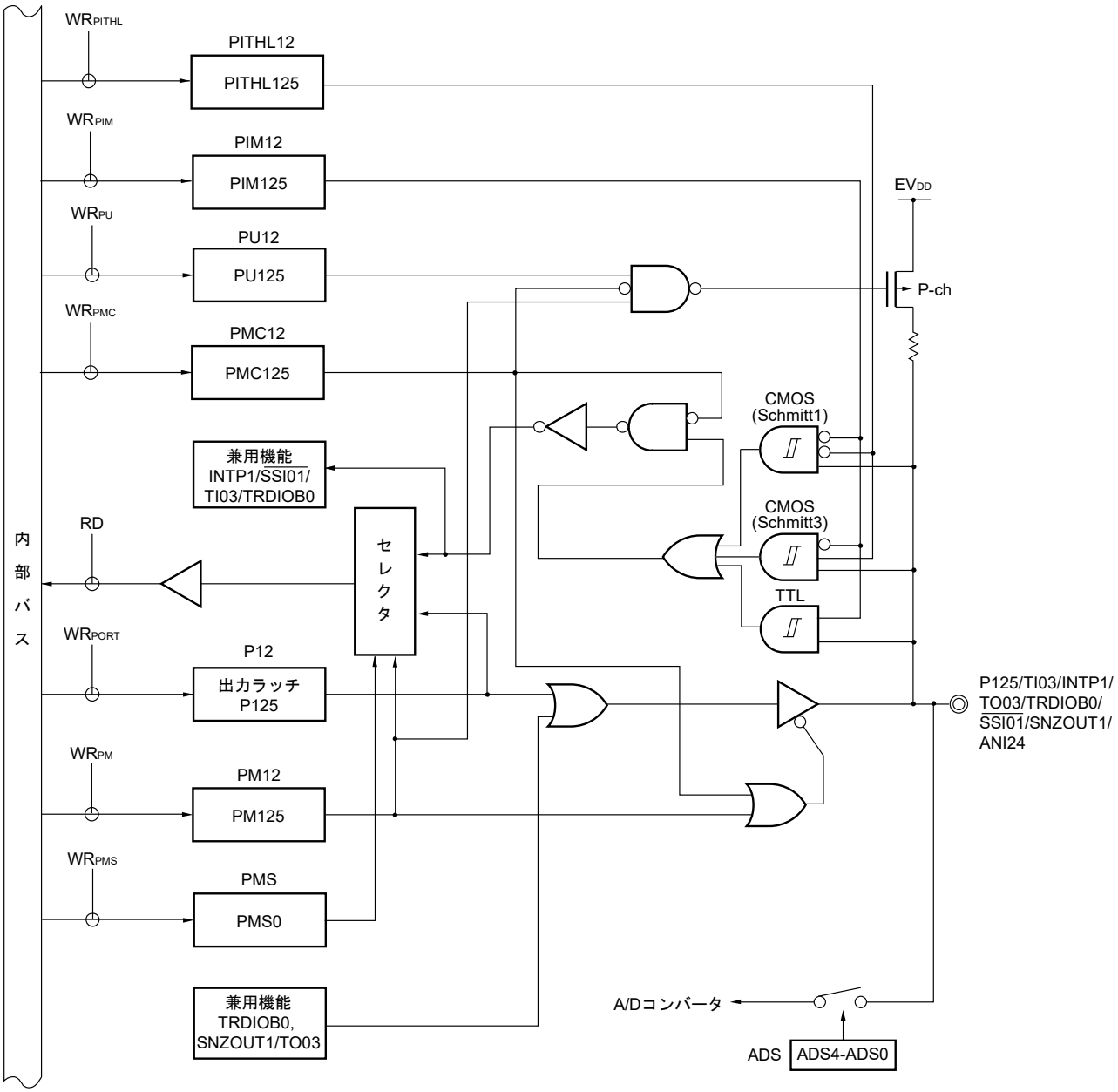
CMC : クロック動作モード制御レジスタ
RD : リード信号

図4－76　P123, P124のブロック図



CMC　：クロック動作モード制御レジスタ
RD　：リード信号

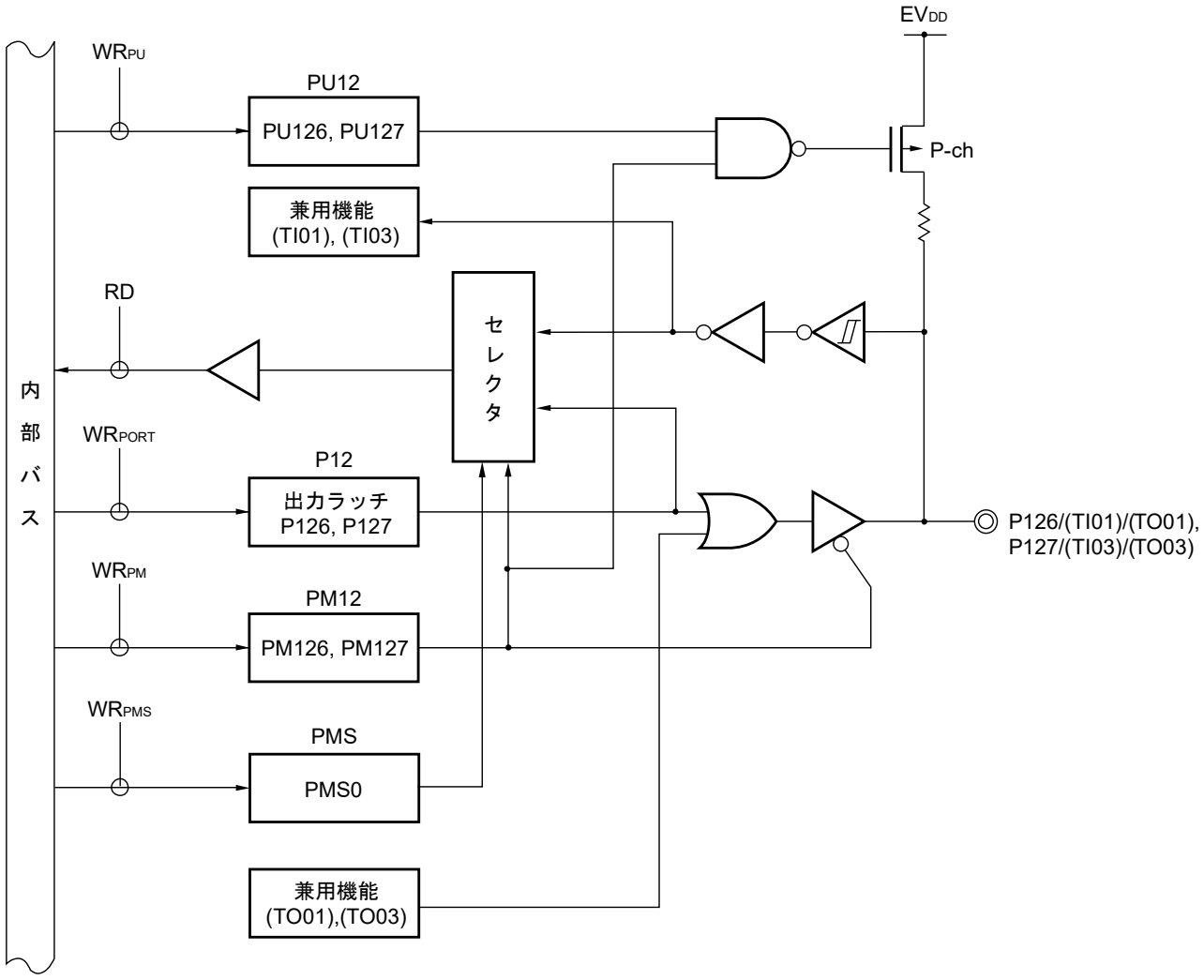
図4－77 P125のブロック図



P12 ：ポート・レジスタ12
PU12 ：プルアップ抵抗オプション・レジスタ12
PM12 ：ポート・モード・レジスタ12
PIM12：ポート入力モード・レジスタ12
PMC12 ：ポート・モード・コントロール・レジスタ12
PMS ：ポート・モード選択レジスタ
PITHL12：ポート入力閾値制御レジスタ12
ADS ：アナログ入力チャネル指定レジスタ
RD ：リード信号
WRxx ：ライト信号

注意. この端子が，ポート入力モード・レジスタ（PIMm）の対応ビットにより，TTL 入力バッファに設定されているとき，端子がH 電位に駆動されると，TTL 入力バッファの構成により，貫通電流が流れる場合があります。スタンバイ・モードに移行するときは，消費電流を減らすために端子をL 電位に設定してください。

図4－78 P126, P127のブロック図



P12 ：ポート・レジスタ12
PU12 ：プルアップ抵抗オプション・レジスタ12
PM12 ：ポート・モード・レジスタ12
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.14　ポート13

P131-P136は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ13（PM13）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ13（PU13）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード，P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力、リセット出力があります。

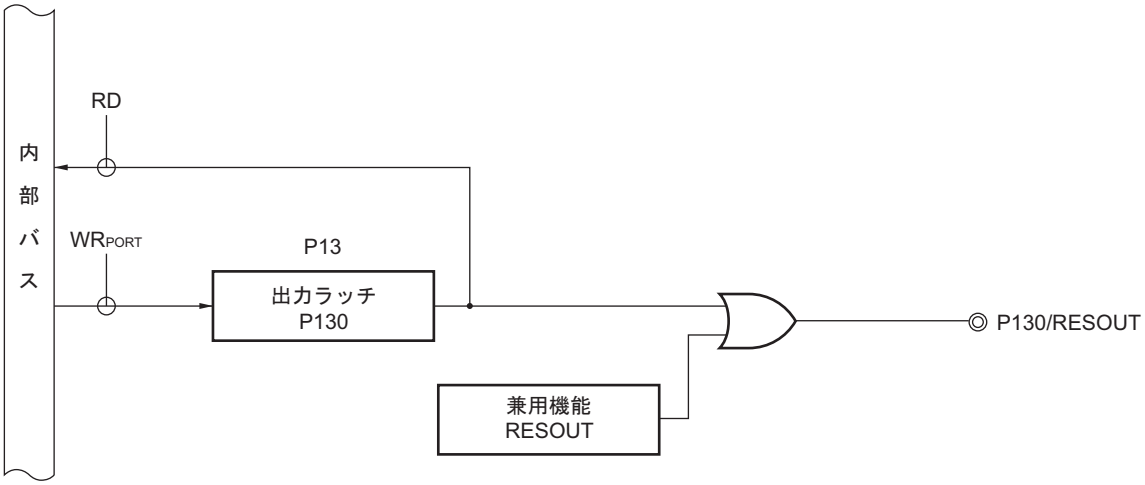
RESOUT出力はオプション・バイトで設定できます。

表4－25　ポート13使用時のレジスタ設定

端子名称		PM13X	兼用機能設定	備考
名称	入出力			
P130	出力	–	RESOUT	
P131-P136	入力	1	×	
	出力	0	×	
P137	入力	–	×	

図4－79～図4－82に，144ピン製品の場合のポート13のブロック図を示します。

図4－79　P130のブロック図



P13　　：ポート・レジスタ13
RD　　：リード信号
WRxx　　：ライト信号

備考　リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

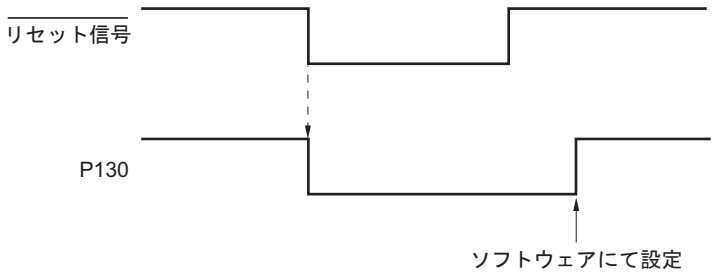
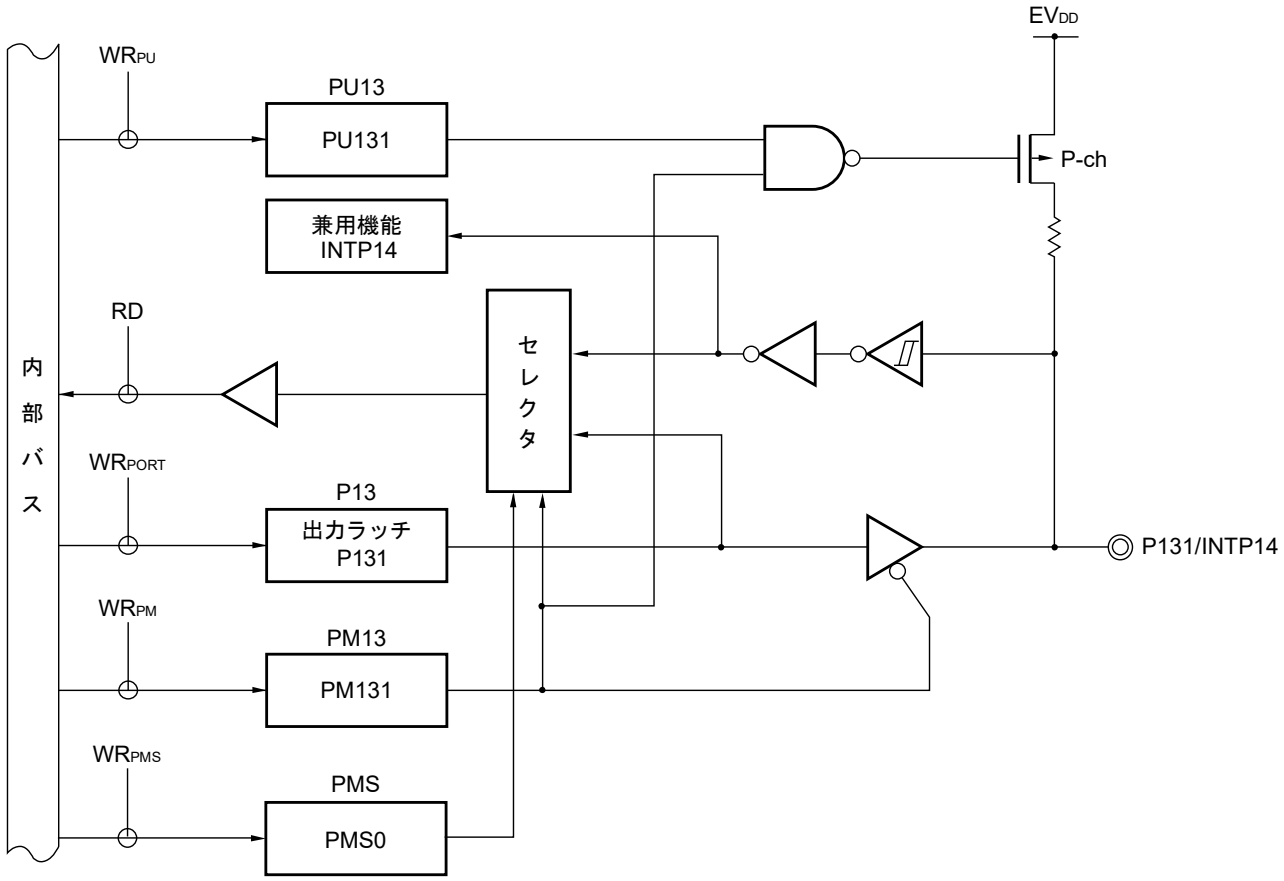
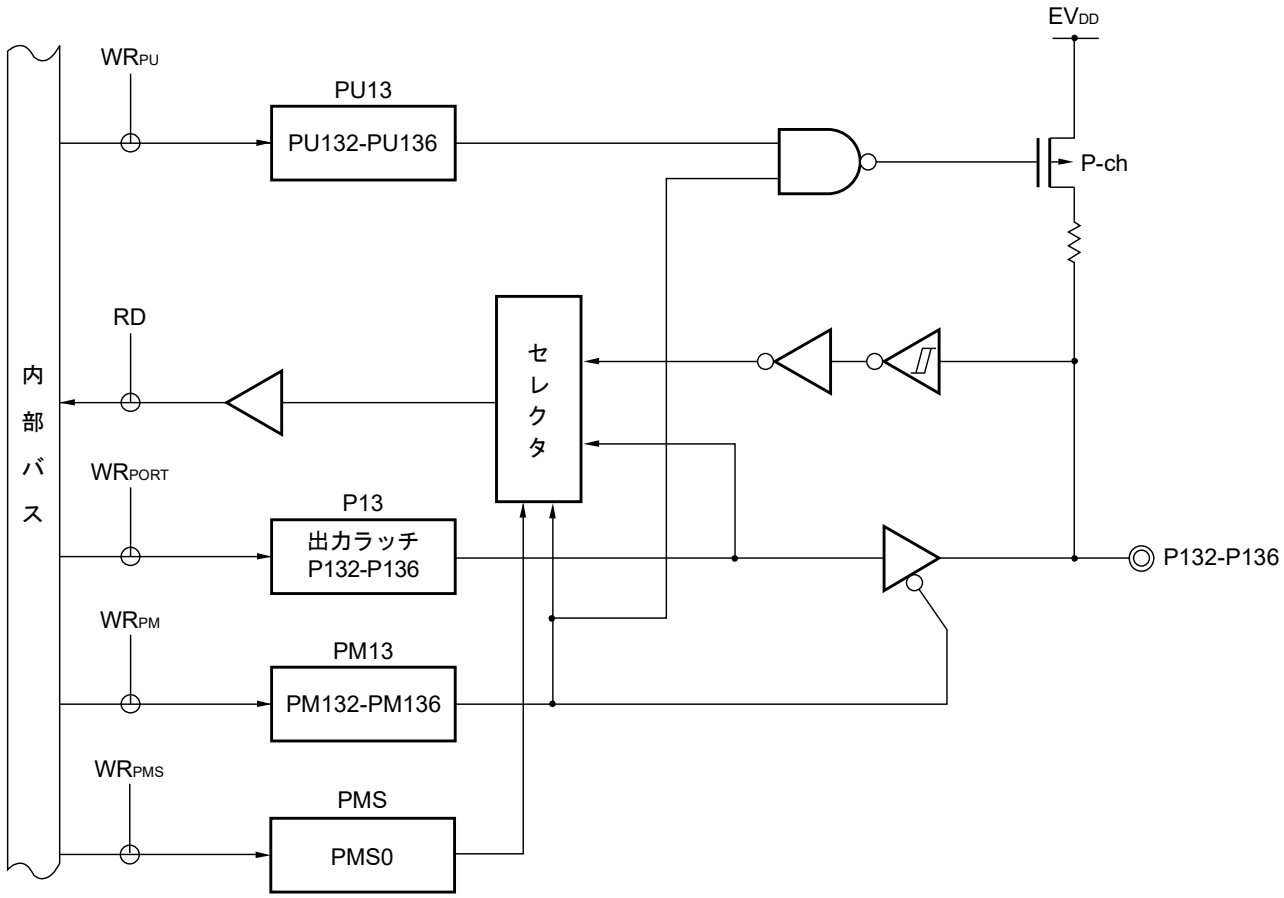


図4－80 P131のブロック図



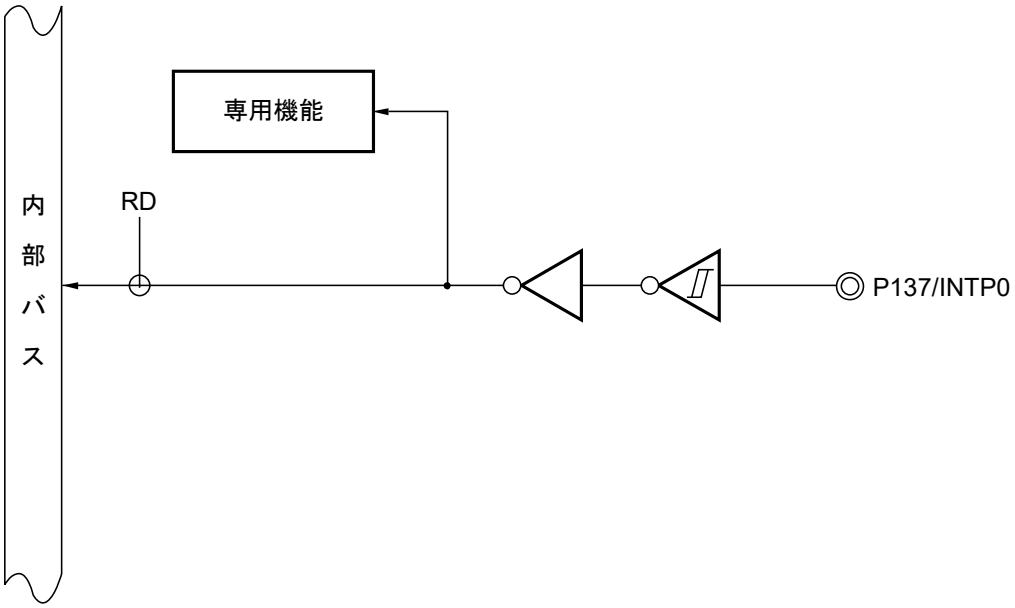
P13 ：ポート・レジスタ13
PU13 ：プルアップ抵抗オプション・レジスタ13
PM13 ：ポート・モード・レジスタ13
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－81 P132-P136のブロック図



P13 ：ポート・レジスタ13
PU13 ：プルアップ抵抗オプション・レジスタ13
PM13 ：ポート・モード・レジスタ13
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－82 P137のブロック図



RD : リード信号

4.2.15　ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14（PM14）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ14（PU14）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてクロック／ブザー出力、タイマの入出力があります。

リセット信号の発生により，入力モードになります。

表4－26　ポート14使用時のレジスタ設定

端子名称		PM14X	兼用機能設定	備考
名称	入出力			
P140	入力	1	×	
	出力	0	PCLBUZ0出力 = 0[注1] (TO20出力 = 0)[注2]	
P141-P147	入力	1	×	
	出力	0	(TO21-TO27出力 = 0)[注2]	

注1. クロック／ブザー出力機能と兼用している端子を汎用ポートとして使用する場合，クロック出力選択レジスタ0（CKS0）のPCLOE0ビットを初期状態と同じ設定で使用してください。

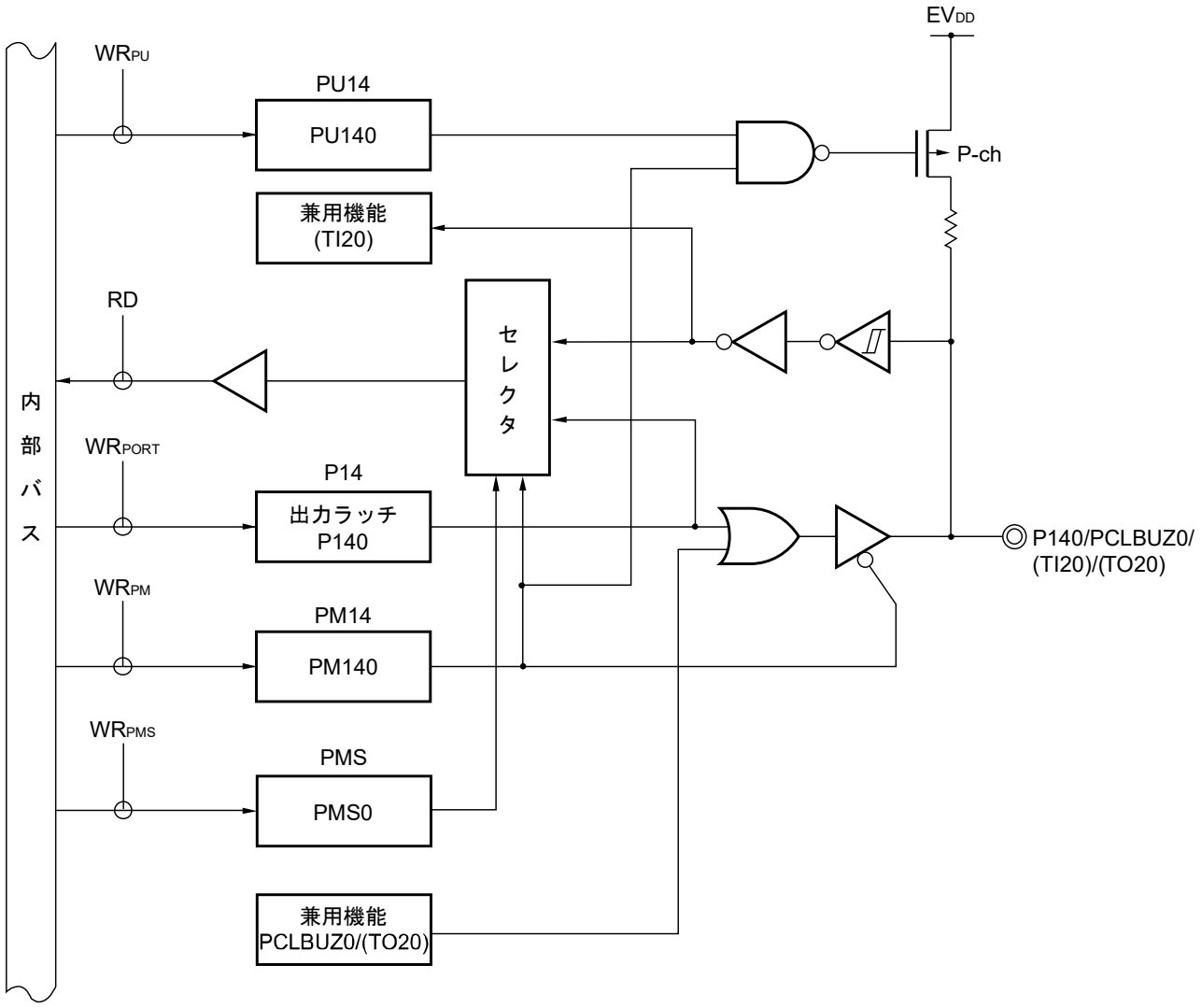
2. タイマ・アレイ・ユニットのタイマ出力機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するタイマ出力レジスタm（TOm）のTOmnビット、タイマ出力許可レジスタm（TOEm）のTOEmnビットを初期状態と同じ設定で使用してください (m = 0, 1, 2, n = 0-7)。

備考　×　　：don't care

PM14X　：ポート・モード・レジスタ14

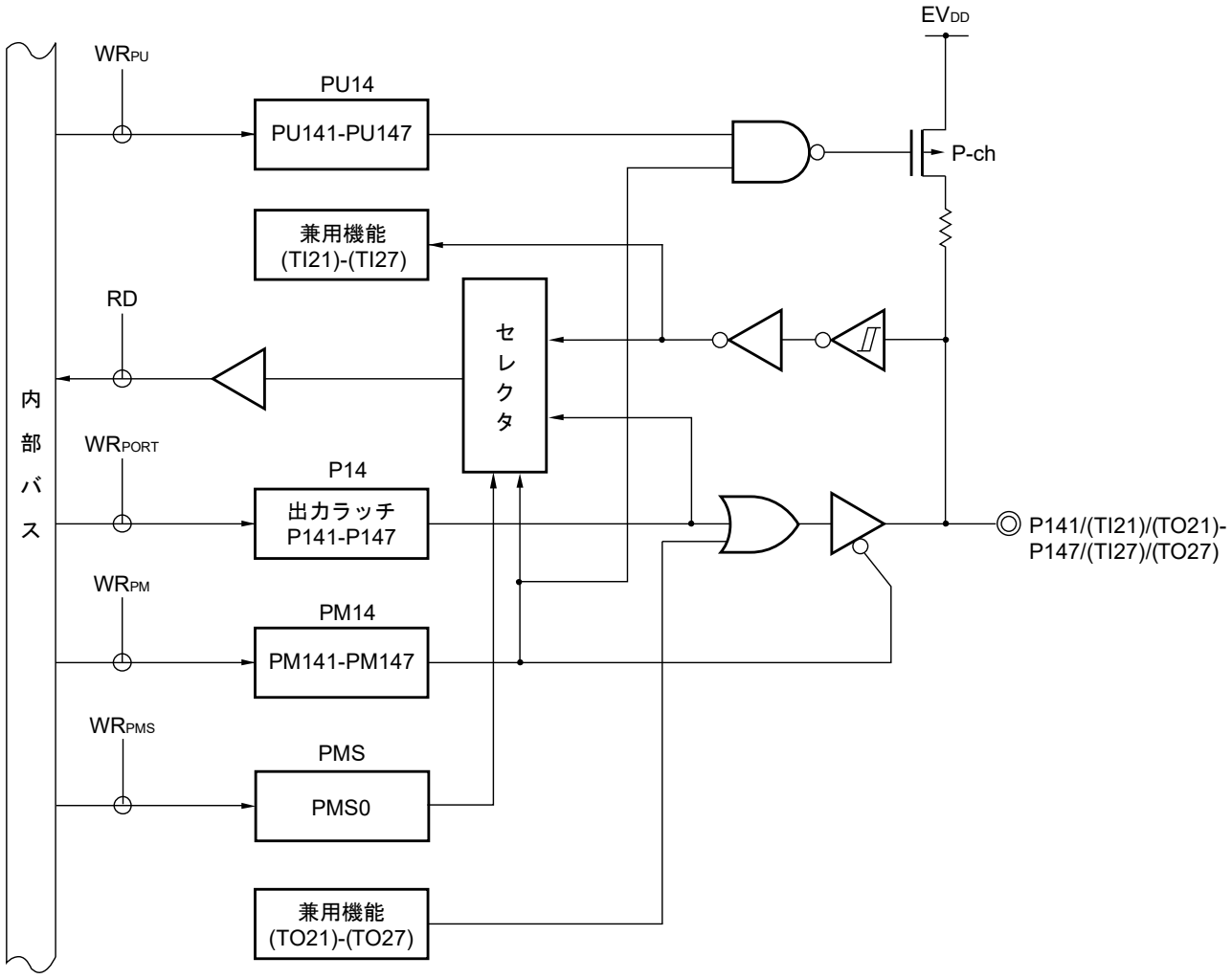
図4－83，図4－84に，144ピン製品の場合のポート14のブロック図を示します。

図4－83　P140のブロック図



P14　：ポート・レジスタ14
PU14　：プルアップ抵抗オプション・レジスタ14
PM14　：ポート・モード・レジスタ14
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

図4－84 P141-P147のブロック図



P14 ：ポート・レジスタ14
PU14 ：プルアップ抵抗オプション・レジスタ14
PM14 ：ポート・モード・レジスタ14
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.16 ポート15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15（PM15）により1ビット単位で入力モード／出力モードの指定ができます。P150-P157端子を入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ15（PU15）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P150, P152, P153, P154, P156端子の入力は，ポート入力閾値制御レジスタ15（PITHL15）の設定により1ビット単位で入力バッファの閾値の指定ができます。

また、兼用機能としてシリアル・インターフェース（CSI, UART）のデータ入出力およびクロック入出力、スレーブ・セレクト入力、LINのシリアル・データ入出力、SNOOZEステータス出力があります。

リセット信号の発生により入力モードになります。

表4－27 ポート15使用時のレジスタ設定

端子名称		PM15X	PITHL15X	兼用機能設定[注4]	備考
名称	入出力				
P150	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	×	
P151	入力	1	－	×	
	出力	0	－	SO21/(SO11)出力 = 1 [注1]	
P152	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	×	
P153	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	$\overline{\text{SCK21}}$/($\overline{\text{SCK11}}$)出力 = 1 [注3]	
P154	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	(SNZOUT7出力 = 0) [注2]	
P155	入力	1	－	×	
	出力	0	－	LTXD2出力 = 1 [注5] (SNZOUT6出力 = 0) [注2]	
P156	入力	1	0	×	CMOS入力（Schmitt1入力）
			1	×	CMOS入力（Schmitt3入力）
	出力	0	×	(SNZOUT5出力 = 0) [注2]	
P157	入力	1	－	×	
	出力	0	－	SO20/TXD2出力 = 1[注1] (SNZOUT4出力 = 0) [注2]	

注1. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニットチャネルに該当するシリアル出力レジスタm（SOm）のSOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアルチャネル許可ステータスレジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください（m = 0, 1, 2, n = 0, 1)。

2. SNOOZEステータス出力機能と兼用している端子を汎用ポートとして使用する場合、対象の機能に該当するSNOOZEステータス出力制御レジスタ0, 1, 2, 3（PSNZCNT0, 1, 2, 3）のOUTEN0-7ビットを初期値と同じ設定で使用してください。

3. シリアル・アレイ・ユニット機能と兼用している端子を汎用ポートとして使用する場合、対象ユニット・チャネル該当するシリアル出力レジスタm（SOm）のCKOmnビット、シリアル出力許可レジスタm（SOEm）のSOEmnビット、シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットを初期値と同じ設定で使用してください（m = 0, 1, 2, n = 0, 1）。

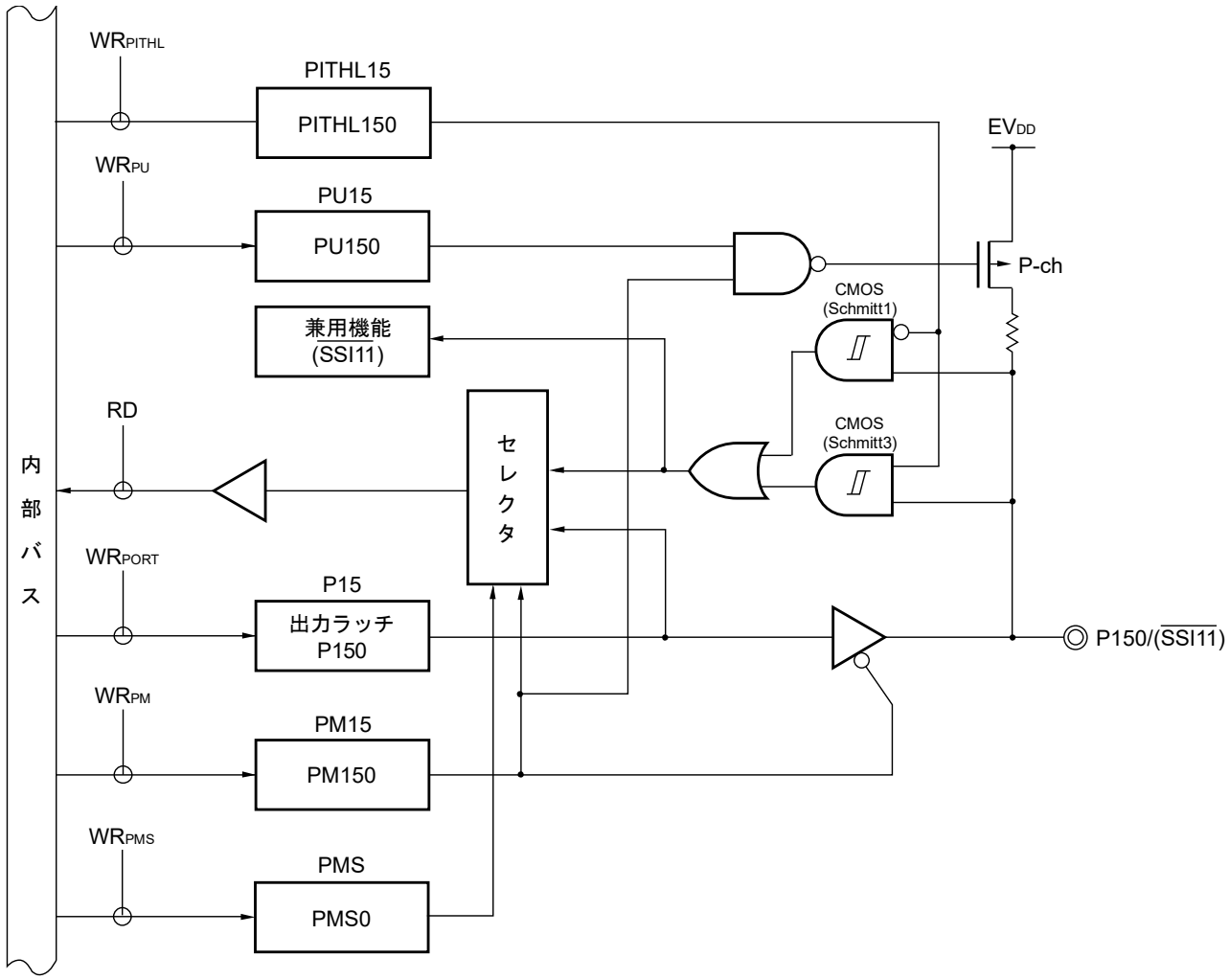
4. （ ）内の機能は、周辺I/Oリダイレクション・レジスタ4, 6（PIOR4, PIOR6）の設定により割り当て可能です。

5. LINのシリアル・データ出力機能と兼用している端子を汎用ポートとして使用する場合、対応するLINを動作停止にしてください。

備考 × ：don't care
PM15X：ポート・モード・レジスタ15
PITHL15X：ポート入力閾値制御レジスタ15

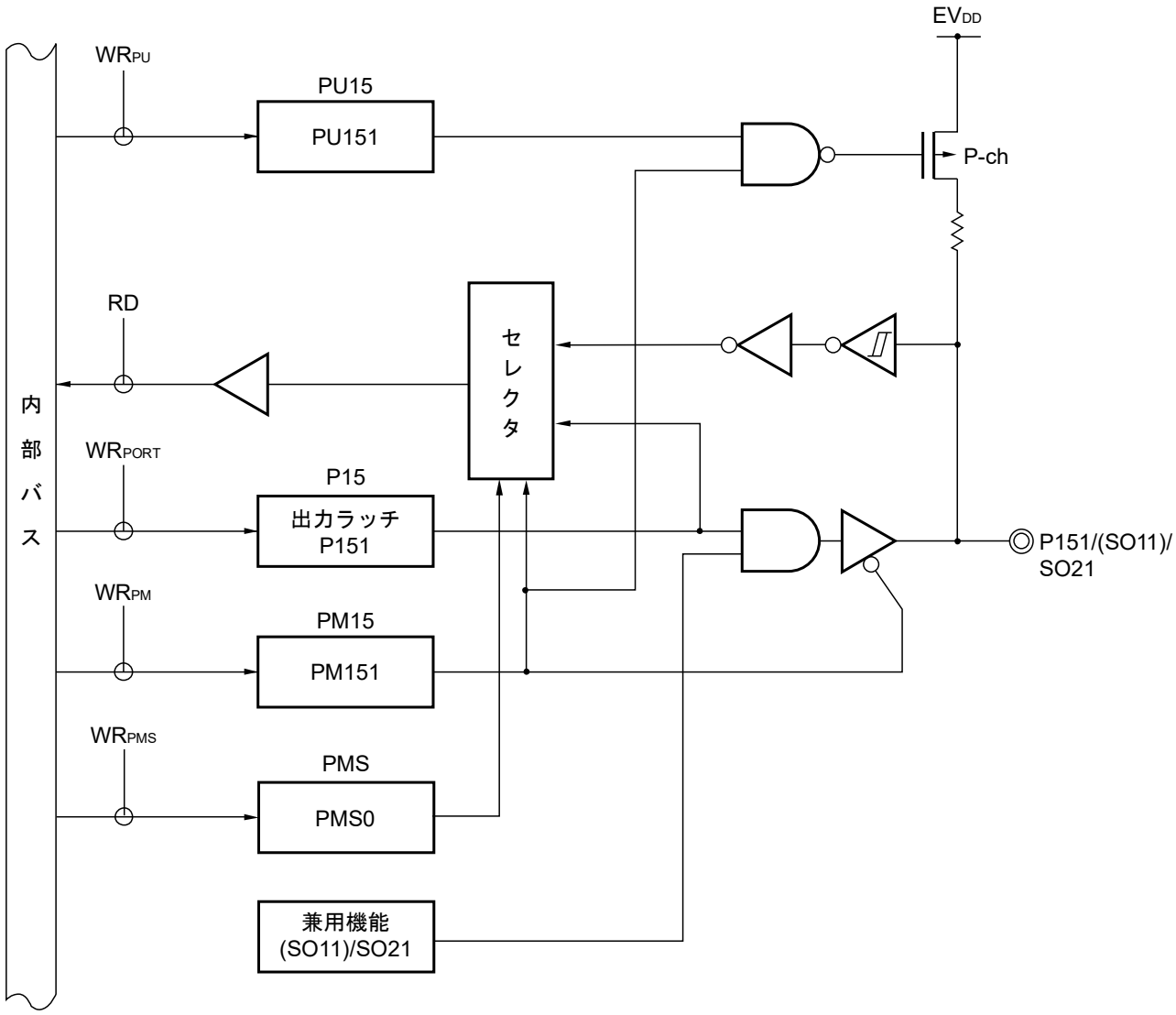
図4－85～図4－90に，144ピン製品の場合のポート15のブロック図を示します。

図4－85　P150のブロック図



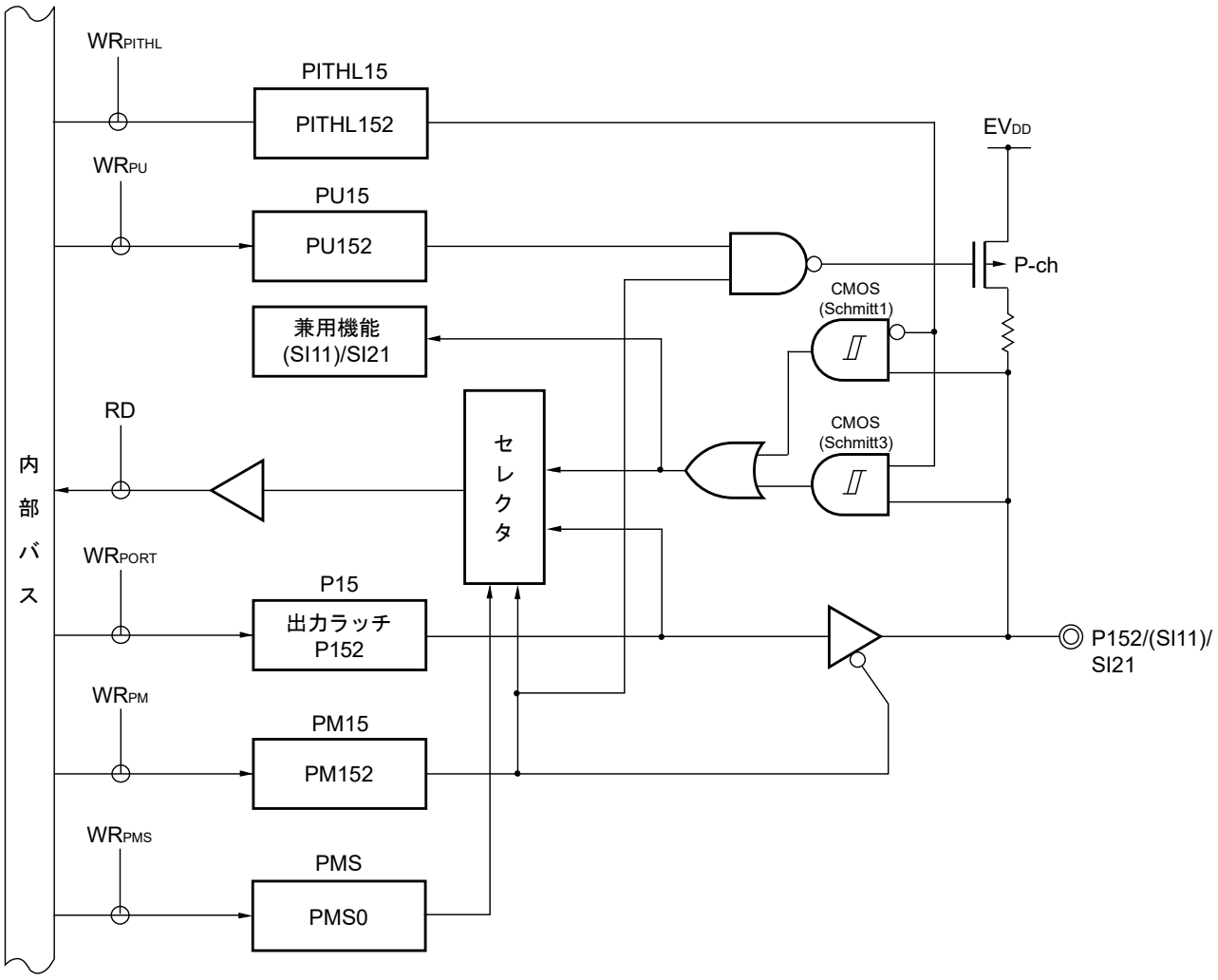
P15　：ポート・レジスタ15
PU15　：プルアップ抵抗オプション・レジスタ15
PM15　：ポート・モード・レジスタ15
PMS　：ポート・モード選択レジスタ
PITHL15　：ポート入力閾値制御レジスタ15
RD　：リード信号
WRxx　：ライト信号

図4－86 P151のブロック図



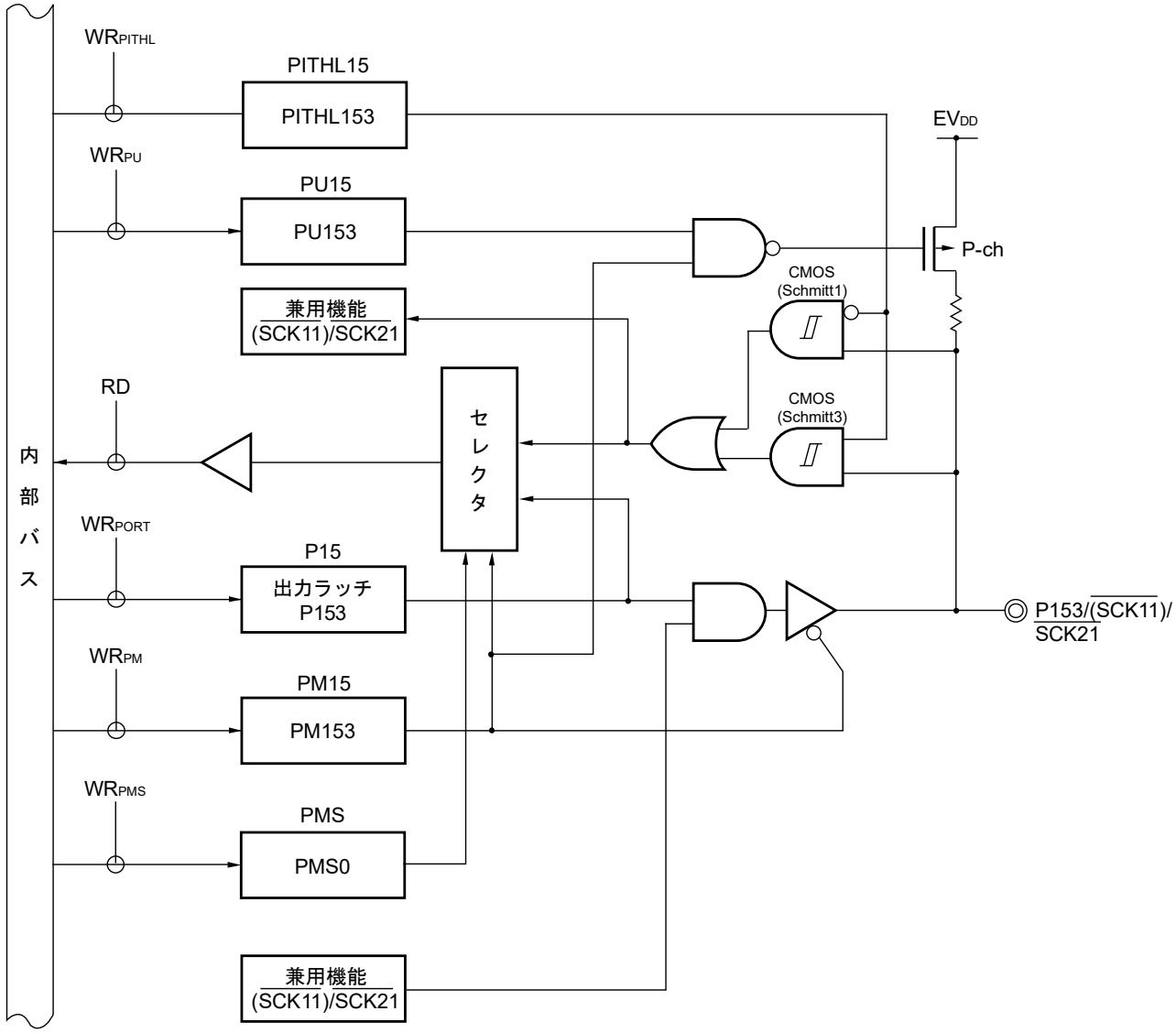
P15 ：ポート・レジスタ15
PU15 ：プルアップ抵抗オプション・レジスタ15
PM15 ：ポート・モード・レジスタ15
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

図4－87 P152のブロック図



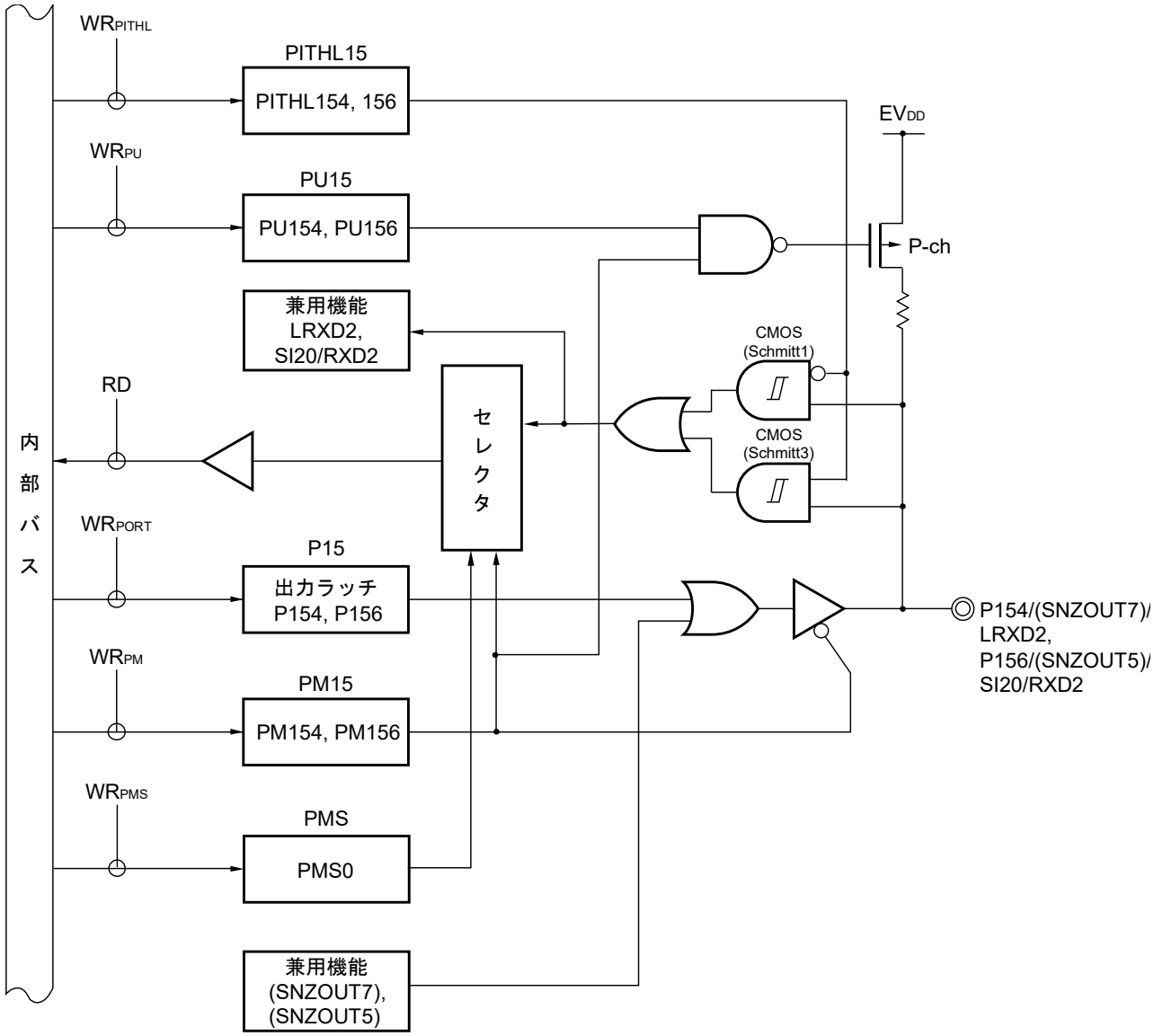
P15 ：ポート・レジスタ15
PU15 ：プルアップ抵抗オプション・レジスタ15
PM15 ：ポート・モード・レジスタ15
PMS ：ポート・モード選択レジスタ
PITHL15 ：ポート入力閾値制御レジスタ15
RD ：リード信号
WRxx ：ライト信号

図4－88 P153のブロック図



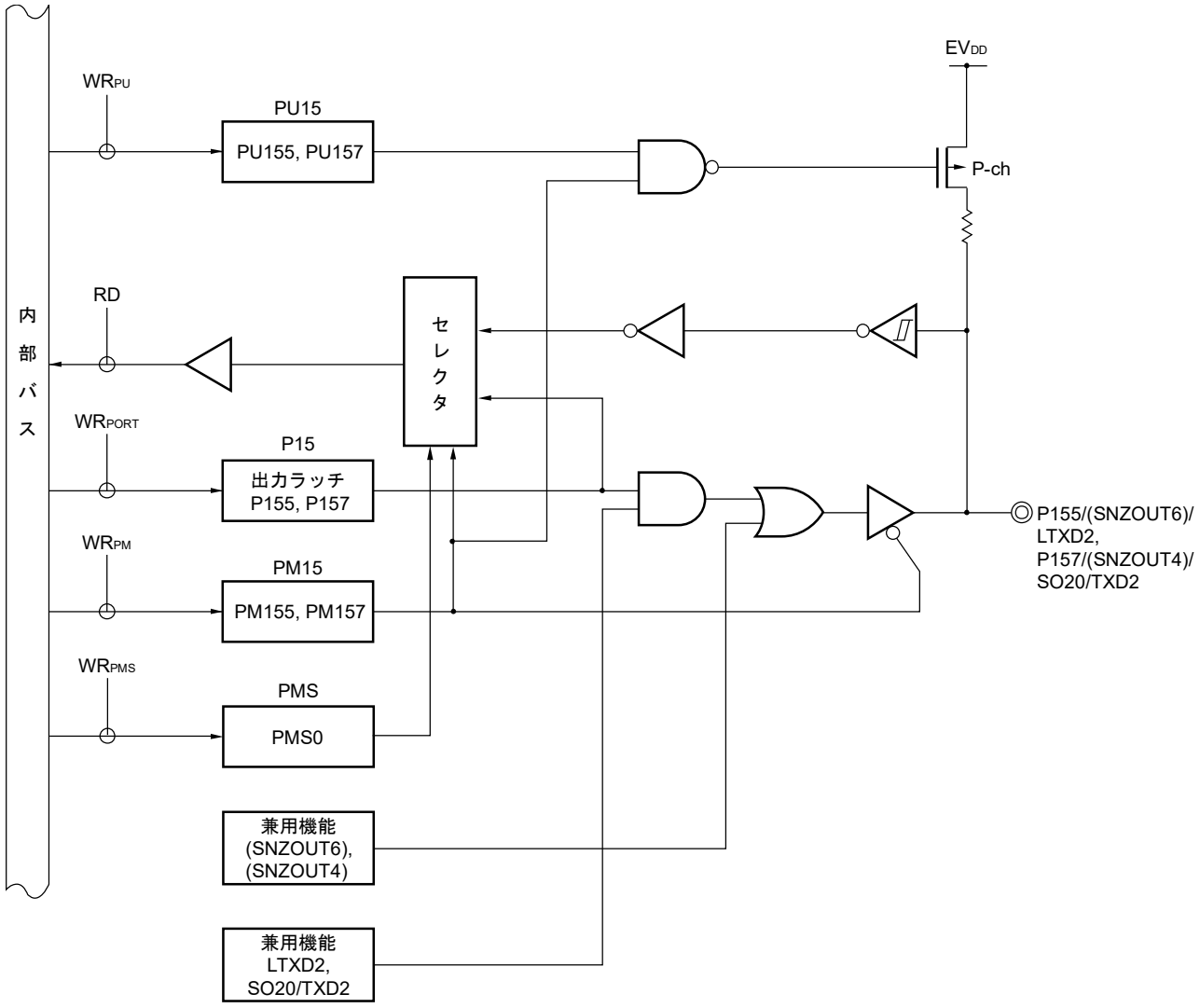
P15 ：ポート・レジスタ15
PU15 ：プルアップ抵抗オプション・レジスタ15
PM15 ：ポート・モード・レジスタ15
PMS ：ポート・モード選択レジスタ
PITHL15 ：ポート入力閾値制御レジスタ15
RD ：リード信号
WRxx ：ライト信号

図4－89 P154, P156のブロック図



P15 ：ポート・レジスタ15
PU15 ：プルアップ抵抗オプション・レジスタ15
PM15 ：ポート・モード・レジスタ15
PMS ：ポート・モード選択レジスタ
PITHL15 ：ポート入力閾値制御レジスタ15
RD ：リード信号
WRxx ：ライト信号

図4－90 P155, P157のブロック図



P15 ：ポート・レジスタ15
PU15 ：プルアップ抵抗オプション・レジスタ15
PM15 ：ポート・モード・レジスタ15
PMS ：ポート・モード選択レジスタ
RD ：リード信号
WRxx ：ライト信号

4.2.17　ポート16

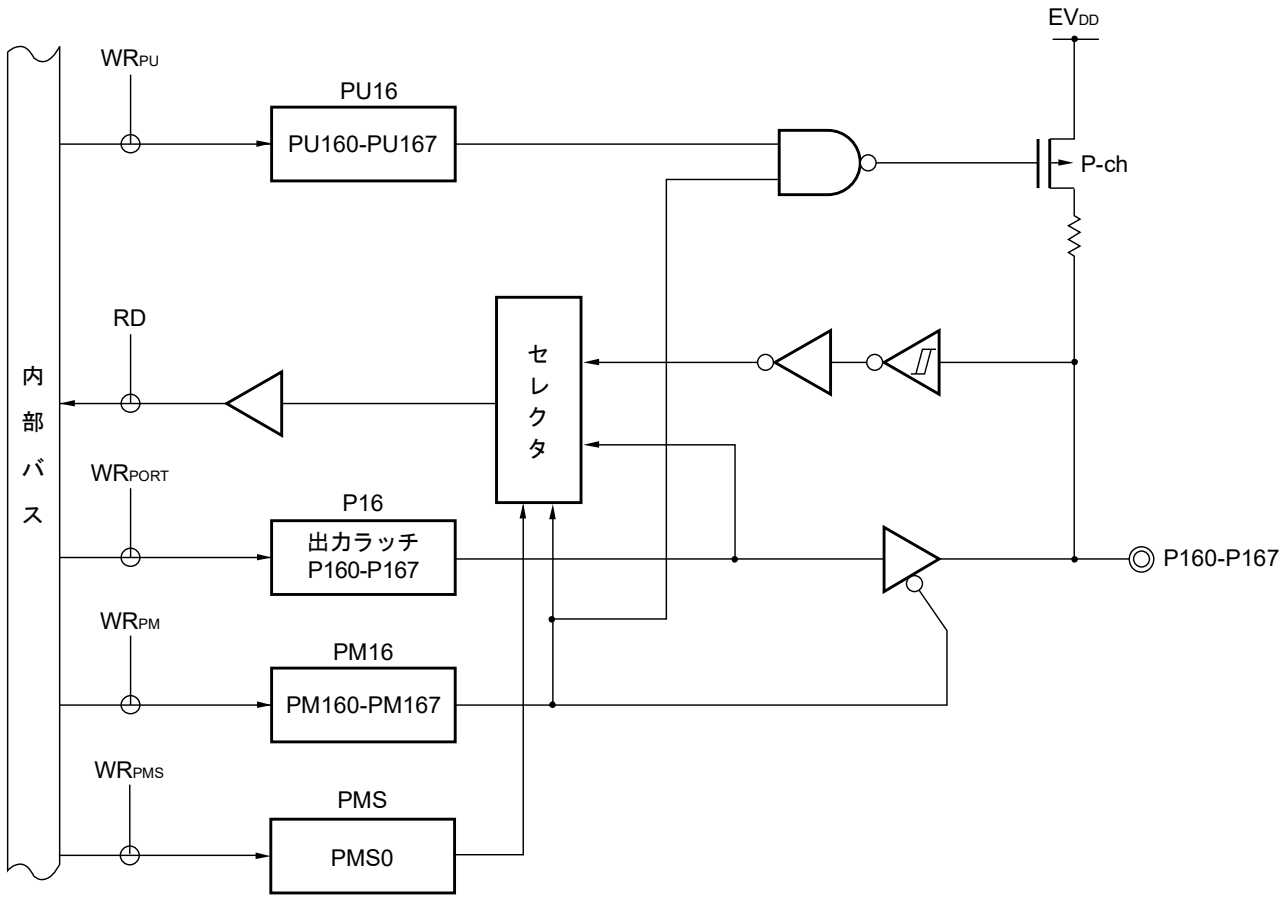
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ16（PM16）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ16（PU16）により1ビット単位で内蔵プルアップ抵抗を使用できます。

表4－28　ポート16使用時のレジスタ設定

端子名称		PM16X	兼用機能設定	備考
名称	入出力			
P160-P167	入力	1	×	
	出力	0	×	

図4－91に，144ピン製品の場合のポート16のブロック図を示します。

図4－91　P160-P167のブロック図



P16　：ポート・レジスタ16
PU16　：プルアップ抵抗オプション・レジスタ16
PM16　：ポート・モード・レジスタ16
PMS　：ポート・モード選択レジスタ
RD　：リード信号
WRxx　：ライト信号

4.3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- プルアップ抵抗オプション・レジスタ（PUxx）
- ポート入力モード・レジスタ（PIMx）
- ポート出力モード・レジスタ（POMx）
- ポート・モード・コントロール・レジスタ（PMCxx）
- A/Dポート・コンフィギュレーション・レジスタ（ADPC）
- 周辺I/Oリダイレクション・レジスタ（PIORx）
- ポート入力閾値制御レジスタ（PITHLxx）
- ポート出力スルー・レート選択レジスタ（PSRSEL）
- SNOOZEステータス出力制御レジスタ0～3（PSNZCNT0～PSNZCNT3）
- ポート・モード選択レジスタ（PMS）

表4－29 ポート構成の要素（48-100ピン）（1/4）

ポート名	ポートビット	出力ラッチ	入出力モード制御	プルアップ制御	入力タイプ制御	出力タイプ制御	動作モード制御	入力閾値制御
PORT0	0	P0.0	PM0.0	PU0.0	－	－	－	PITHL0.0
	1	P0.1	PM0.1	PU0.1	－	－	－	－
	2	P0.2	PM0.2	PU0.2	－	－	－	－
	3	P0.3	PM0.3	PU0.3	－	－	－	－
	4	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－
PORT1	0	P1.0	PM1.0	PU1.0	PIM1.0	POM1.0	－	PITHL1.0
	1	P1.1	PM1.1	PU1.1	PIM1.1	POM1.1	－	PITHL1.1
	2	P1.2	PM1.2	PU1.2	－	POM1.2	－	－
	3	P1.3	PM1.3	PU1.3	PIM1.3	POM1.3	－	PITHL1.3
	4	P1.4	PM1.4	PU1.4	PIM1.4	POM1.4	－	PITHL1.4
	5	P1.5	PM1.5	PU1.5	－	POM1.5	－	－
	6	P1.6	PM1.6	PU1.6	PIM1.6	POM1.6	－	PITHL1.6
	7	P1.7	PM1.7	PU1.7	PIM1.7	POM1.7	－	PITHL1.7
PORT2	0	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－
PORT3	0	P3.0	PM3.0	PU3.0	PIM3.0	－	－	PITHL3.0
	1	P3.1	PM3.1	PU3.1	－	－	－	－
	2	P3.2	PM3.2	PU3.2	－	－	－	－
	3	P3.3	PM3.3	－	－	－	－	－
	4	P3.4	PM3.4	－	－	－	－	－
	5	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－
PORT4	0	P4.0	PM4.0	PU4.0	－	－	－	－
	1	P4.1	PM4.1	PU4.1	－	－	－	－
	2	P4.2	PM4.2	PU4.2	－	－	－	－
	3	P4.3	PM4.3	PU4.3	－	－	－	PITHL4.3
	4	P4.4	PM4.4	PU4.4	－	－	－	－
	5	P4.5	PM4.5	PU4.5	－	－	－	－
	6	P4.6	PM4.6	PU4.6	－	－	－	－
	7	P4.7	PM4.7	PU4.7	－	－	－	

備考 －：非搭載

表4－29 ポート構成の要素（48-100ピン）（2/4）

ポート名	ポートビット	出力ラッチ	入出力モード制御	プルアップ制御	入力タイプ制御	出力タイプ制御	動作モード制御	入力閾値制御
PORT5	0	P5.0	PM5.0	PU5.0	－	－	－	PITHL5.0
	1	P5.1	PM5.1	PU5.1	－	－	－	－
	2	P5.2	PM5.2	PU5.2	－	－	－	PITHL5.2
	3	P5.3	PM5.3	PU5.3	－	－	－	PITHL5.3
	4	P5.4	PM5.4	PU5.4	PIM5.4	－	－	PITHL5.4
	5	P5.5	PM5.5	PU5.5	－	－	－	－
	6	P5.6	PM5.6	PU5.6	－	－	－	－
	7	P5.7	PM5.7	PU5.7	－	－	－	－
PORT6	0	P6.0	PM6.0	PU6.0	－	POM6.0	－	PITHL6.0
	1	P6.1	PM6.1	PU6.1	－	POM6.1	－	PITHL6.1
	2	P6.2	PM6.2	PU6.2	PIM6.2	POM6.2	－	PITHL6.2
	3	P6.3	PM6.3	PU6.3	PIM6.3	POM6.3	－	PITHL6.3
	4	P6.4	PM6.4	PU6.4	－	－	－	－
	5	P6.5	PM6.5	PU6.5	－	－	－	－
	6	P6.6	PM6.6	PU6.6	－	－	－	－
	7	P6.7	PM6.7	PU6.7	－	－	－	－
PORT7	0	P7.0	PM7.0	PU7.0	PIM7.0	POM7.0	PMC7.0	PITHL7.0
	1	P7.1	PM7.1	PU7.1	PIM7.1	POM7.1	PMC7.1	PITHL7.1
	2	P7.2	PM7.2	PU7.2	－	POM7.2	PMC7.2	－
	3	P7.3	PM7.3	PU7.3	PIM7.3	－	PMC7.3	PITHL7.3
	4	P7.4	PM7.4	PU7.4	－	－	PMC7.4	－
	5	P7.5	PM7.5	PU7.5	－	－	－	PITHL7.5
	6	P7.6	PM7.6	PU7.6	－	－	－	PITHL7.6
	7	P7.7	PM7.7	PU7.7	－	－	－	PITHL7.7
PORT8	0	P8.0	PM8.0	－	－	－	－	－
	1	P8.1	PM8.1	－	－	－	－	－
	2	P8.2	PM8.2	－	－	－	－	－
	3	P8.3	PM8.3	－	－	－	－	－
	4	P8.4	PM8.4	－	－	－	－	－
	5	P8.5	PM8.5	－	－	－	－	－
	6	P8.6	PM8.6	－	－	－	－	－
	7	P8.7	PM8.7	－	－	－	－	－
PORT9	0	P9.0	PM9.0	－	－	－	－	－
	1	P9.1	PM9.1	－	－	－	－	－
	2	P9.2	PM9.2	－	－	－	－	－
	3	P9.3	PM9.3	－	－	－	－	－
	4	P9.4	PM9.4	－	－	－	－	－
	5	P9.5	PM9.5	－	－	－	－	－
	6	P9.6	PM9.6	－	－	－	－	－
	7	P9.7	PM9.7	－	－	－	－	－

備考 －：非搭載

表4－29 ポート構成の要素（48-100ピン）（3/4）

ポート名	ポート ビット	出力 ラッチ	入出力モード 制御	プルアップ 制御	入力タイプ 制御	出力タイプ 制御	動作モード 制御	入力閾値 制御
PORT10	0	P10.0	PM10.0	－	－	－	－	－
	1	P10.1	PM10.1	－	－	－	－	－
	2	P10.2	PM10.2	－	－	－	－	－
	3	P10.3	PM10.3	－	－	－	－	－
	4	P10.4	PM10.4	－	－	－	－	－
	5	P10.5	PM10.5	－	－	－	－	－
	6	P10.6	PM10.6	PU10.6	－	－	－	－
	7	P10.7	PM10.7	PU10.7	－	－	－	PITHL10.7
PORT11	0	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－
PORT12	0	P12.0	PM12.0	PU12.0	－	POM12.0	PMC12.0	－
	1	P12.1	－	－	－	－	－	－
	2	P12.2	－	－	－	－	－	－
	3	P12.3	－	－	－	－	－	－
	4	P12.4	－	－	－	－	－	－
	5	P12.5	PM12.5	PU12.5	PIM12.5	－	PMC12.5	PITHL12.5
	6	P12.6	PM12.6	PU12.6	－	－	－	－
	7	P12.7	PM12.7	PU12.7	－	－	－	－
PORT13	0	P13.0	－	－	－	－	－	－
	1	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－
	7	P13.7	－	－	－	－	－	－
PORT14	0	P14.0	PM14.0	PU14.0	－	－	－	－
	1	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－

備考 －：非搭載

表4－29 ポート構成の要素（48-100ピン）（4/4）

ポート名	ポート ビット	出力 ラッチ	入出力モード 制御	プルアップ 制御	入力タイプ 制御	出力タイプ 制御	動作モード 制御	入力閾値 制御
PORT15	0	P15.0	PM15.0	PU15.0	－	－	－	PITHL15.0
	1	P15.1	PM15.1	PU15.1	－	－	－	－
	2	P15.2	PM15.2	PU15.2	－	－	－	PITHL15.2
	3	P15.3	PM15.3	PU15.3	－	－	－	PITHL15.3
	4	P15.4	PM15.4	PU15.4	－	－	－	PITHL15.4
	5	P15.5	PM15.5	PU15.5	－	－	－	－
	6	P15.6	PM15.6	PU15.6	－	－	－	PITHL15.6
	7	P15.7	PM15.7	PU15.7	－	－	－	－
PORT16	0	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－

備考 －：非搭載

表4－30 ポート構成の要素（144ピン）（1/4）

ポート名	ポート ビット	出力 ラッチ	入出力モード 制御	プルアップ 制御	入力タイプ 制御	出力タイプ 制御	動作モード 制御	入力閾値 制御
PORT0	0	P0.0	PM0.0	PU0.0	－	－	－	PITHL0.0
	1	P0.1	PM0.1	PU0.1	－	－	－	－
	2	P0.2	PM0.2	PU0.2	－	－	－	－
	3	P0.3	PM0.3	PU0.3	－	－	－	－
	4	P0.4	PM0.4	PU0.4	－	－	－	－
	5	P0.5	PM0.5	PU0.5	－	－	－	－
	6	P0.6	PM0.6	PU0.6	－	－	－	－
	7	P0.7	PM0.7	PU0.7	－	－	－	－
PORT1	0	P1.0	PM1.0	PU1.0	PIM1.0	POM1.0	－	PITHL1.0
	1	P1.1	PM1.1	PU1.1	PIM1.1	POM1.1	－	PITHL1.1
	2	P1.2	PM1.2	PU1.2	－	POM1.2	－	－
	3	P1.3	PM1.3	PU1.3	PIM1.3	POM1.3	－	PITHL1.3
	4	P1.4	PM1.4	PU1.4	PIM1.4	POM1.4	－	PITHL1.4
	5	P1.5	PM1.5	PU1.5	－	POM1.5	－	－
	6	P1.6	PM1.6	PU1.6	PIM1.6	POM1.6	－	PITHL1.6
	7	P1.7	PM1.7	PU1.7	PIM1.7	POM1.7	－	PITHL1.7
PORT2	0	P2.0	PM2.0	PU2.0	－	－	－	PITHL2.0
	1	P2.1	PM2.1	PU2.1	－	－	－	PITHL2.1
	2	P2.2	PM2.2	PU2.2	－	－	－	－
	3	P2.3	PM2.3	PU2.3	－	－	－	－
	4	P2.4	PM2.4	PU2.4	－	－	－	PITHL2.4
	5	P2.5	PM2.5	PU2.5	－	－	－	PITHL2.5
	6	P2.6	PM2.6	PU2.6	－	－	－	－
	7	P2.7	PM2.7	PU2.7	－	－	－	－
PORT3	0	P3.0	PM3.0	PU3.0	PIM3.0	－	－	PITHL3.0
	1	P3.1	PM3.1	PU3.1	－	－	－	－
	2	P3.2	PM3.2	PU3.2	－	－	－	－
	3	P3.3	PM3.3	－	－	－	－	－
	4	P3.4	PM3.4	－	－	－	－	－
	5	P3.5	PM3.5	PU3.5	－	－	－	－
	6	P3.6	PM3.6	PU3.6	－	－	－	－
	7	P3.7	PM3.7	PU3.7	－	－	－	PITHL3.7
PORT4	0	P4.0	PM4.0	PU4.0	－	－	－	－
	1	P4.1	PM4.1	PU4.1	－	－	－	－
	2	P4.2	PM4.2	PU4.2	－	－	－	－
	3	P4.3	PM4.3	PU4.3	－	－	－	PITHL4.3
	4	P4.4	PM4.4	PU4.4	－	－	－	－
	5	P4.5	PM4.5	PU4.5	－	－	－	－
	6	P4.6	PM4.6	PU4.6	－	－	－	－
	7	P4.7	PM4.7	PU4.7	－	－	－	－

備考 －：非搭載

表4－30 ポート構成の要素（144ピン）（2/4）

ポート名	ポート ビット	出力 ラッチ	入出力モード 制御	プルアップ 制御	入力タイプ 制御	出力タイプ 制御	動作モード 制御	入力閾値 制御
PORT5	0	P5.0	PM5.0	PU5.0	－	－	－	PITHL5.0
	1	P5.1	PM5.1	PU5.1	－	－	－	－
	2	P5.2	PM5.2	PU5.2	－	－	－	PITHL5.2
	3	P5.3	PM5.3	PU5.3	－	－	－	PITHL5.3
	4	P5.4	PM5.4	PU5.4	PIM5.4	－	－	PITHL5.4
	5	P5.5	PM5.5	PU5.5	－	－	－	－
	6	P5.6	PM5.6	PU5.6	－	－	－	－
	7	P5.7	PM5.7	PU5.7	－	－	－	－
PORT6	0	P6.0	PM6.0	PU6.0	－	POM6.0	－	PITHL6.0
	1	P6.1	PM6.1	PU6.1	－	POM6.1	－	PITHL6.1
	2	P6.2	PM6.2	PU6.2	PIM6.2	POM6.2	－	PITHL6.2
	3	P6.3	PM6.3	PU6.3	PIM6.3	POM6.3	－	PITHL6.3
	4	P6.4	PM6.4	PU6.4	－	－	－	－
	5	P6.5	PM6.5	PU6.5	－	－	－	－
	6	P6.6	PM6.6	PU6.6	－	－	－	－
	7	P6.7	PM6.7	PU6.7	－	－	－	－
PORT7	0	P7.0	PM7.0	PU7.0	PIM7.0	POM7.0	PMC7.0	PITHL7.0
	1	P7.1	PM7.1	PU7.1	PIM7.1	POM7.1	PMC7.1	PITHL7.1
	2	P7.2	PM7.2	PU7.2	－	POM7.2	PMC7.2	－
	3	P7.3	PM7.3	PU7.3	PIM7.3	－	PMC7.3	PITHL7.3
	4	P7.4	PM7.4	PU7.4	－	－	PMC7.4	－
	5	P7.5	PM7.5	PU7.5	－	－	－	PITHL7.5
	6	P7.6	PM7.6	PU7.6	－	－	－	PITHL7.6
	7	P7.7	PM7.7	PU7.7	－	－	－	PITHL7.7
PORT8	0	P8.0	PM8.0	－	－	－	－	－
	1	P8.1	PM8.1	－	－	－	－	－
	2	P8.2	PM8.2	－	－	－	－	－
	3	P8.3	PM8.3	－	－	－	－	－
	4	P8.4	PM8.4	－	－	－	－	－
	5	P8.5	PM8.5	－	－	－	－	－
	6	P8.6	PM8.6	－	－	－	－	－
	7	P8.7	PM8.7	－	－	－	－	－
PORT9	0	P9.0	PM9.0	－	－	－	－	－
	1	P9.1	PM9.1	－	－	－	－	－
	2	P9.2	PM9.2	－	－	－	－	－
	3	P9.3	PM9.3	－	－	－	－	－
	4	P9.4	PM9.4	－	－	－	－	－
	5	P9.5	PM9.5	－	－	－	－	－
	6	P9.6	PM9.6	－	－	－	－	－
	7	P9.7	PM9.7	－	－	－	－	－

備考 －：非搭載

表4－30 ポート構成の要素（144ピン）（3/4）

ポート名	ポート ビット	出力 ラッチ	入出力モード 制御	プルアップ 制御	入力タイプ 制御	出力タイプ 制御	動作モード 制御	入力閾値 制御
PORT10	0	P10.0	PM10.0	－	－	－	－	－
	1	P10.1	PM10.1	－	－	－	－	－
	2	P10.2	PM10.2	－	－	－	－	－
	3	P10.3	PM10.3	－	－	－	－	－
	4	P10.4	PM10.4	－	－	－	－	－
	5	P10.5	PM10.5	－	－	－	－	－
	6	P10.6	PM10.6	PU10.6	－	－	－	－
	7	P10.7	PM10.7	PU10.7	－	－	－	PITHL10.7
PORT11	0	P11.0	PM11.0	PU11.0	－	－	－	－
	1	P11.1	PM11.1	PU11.1	－	－	－	－
	2	P11.2	PM11.2	PU11.2	－	－	－	－
	3	P11.3	PM11.3	PU11.3	－	－	－	－
	4	P11.4	PM11.4	PU11.4	－	－	－	－
	5	P11.5	PM11.5	PU11.5	－	－	－	－
	6	P11.6	PM11.6	PU11.6	－	－	－	－
	7	P11.7	PM11.7	PU11.7	－	－	－	－
PORT12	0	P12.0	PM12.0	PU12.0	－	POM12.0	PMC12.0	－
	1	P12.1	－	－	－	－	－	－
	2	P12.2	－	－	－	－	－	－
	3	P12.3	－	－	－	－	－	－
	4	P12.4	－	－	－	－	－	－
	5	P12.5	PM12.5	PU12.5	PIM12.5	－	PMC12.5	PITHL12.5
	6	P12.6	PM12.6	PU12.6	－	－	－	－
	7	P12.7	PM12.7	PU12.7	－	－	－	－
PORT13	0	P13.0	－	－	－	－	－	－
	1	P13.1	PM13.1	PU13.1	－	－	－	－
	2	P13.2	PM13.2	PU13.2	－	－	－	－
	3	P13.3	PM13.3	PU13.3	－	－	－	－
	4	P13.4	PM13.4	PU13.4	－	－	－	－
	5	P13.5	PM13.5	PU13.5	－	－	－	－
	6	P13.6	PM13.6	PU13.6	－	－	－	－
	7	P13.7	－	－	－	－	－	－
PORT14	0	P14.0	PM14.0	PU14.0	－	－	－	－
	1	P14.1	PM14.1	PU14.1	－	－	－	－
	2	P14.2	PM14.2	PU14.2	－	－	－	－
	3	P14.3	PM14.3	PU14.3	－	－	－	－
	4	P14.4	PM14.4	PU14.4	－	－	－	－
	5	P14.5	PM14.5	PU14.5	－	－	－	－
	6	P14.6	PM14.6	PU14.6	－	－	－	－
	7	P14.7	PM14.7	PU14.7	－	－	－	－

備考 －：非搭載

表4－30 ポート構成の要素（144ピン）（4/4）

ポート名	ポート ビット	出力 ラッチ	入出力モード 制御	プルアップ 制御	入力タイプ 制御	出力タイプ 制御	動作モード 制御	入力閾値 制御
PORT15	0	P15.0	PM15.0	PU15.0	－	－	－	PITHL15.0
	1	P15.1	PM15.1	PU15.1	－	－	－	－
	2	P15.2	PM15.2	PU15.2	－	－	－	PITHL15.2
	3	P15.3	PM15.3	PU15.3	－	－	－	PITHL15.3
	4	P15.4	PM15.4	PU15.4	－	－	－	PITHL15.4
	5	P15.5	PM15.5	PU15.5	－	－	－	－
	6	P15.6	PM15.6	PU15.6	－	－	－	PITHL15.6
	7	P15.7	PM15.7	PU15.7	－	－	－	－
PORT16	0	P16.0	PM16.0	PU16.0	－	－	－	－
	1	P16.1	PM16.1	PU16.1	－	－	－	－
	2	P16.2	PM16.2	PU16.2	－	－	－	－
	3	P16.3	PM16.3	PU16.3	－	－	－	－
	4	P16.4	PM16.4	PU16.4	－	－	－	－
	5	P16.5	PM16.5	PU16.5	－	－	－	－
	6	P16.6	PM16.6	PU16.6	－	－	－	－
	7	P16.7	PM16.7	PU16.7	－	－	－	－

備考 －：非搭載

4.3.1　ポート・モード・レジスタ（PMxx）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合「4.5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定」を参照し，設定してください。

図4－92　ポート・モード・レジスタのフォーマット（144ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100	FFF2AH	FFH	R/W
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	FFF2BH	FFH	R/W
PM12	PM127	PM126	PM125	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM13	1	PM136	PM135	PM134	PM133	PM132	PM131	1	FFF2DH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W
PM16	PM167	PM166	PM165	PM164	PM163	PM162	PM161	PM160	FFF1DH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択（m = 0-16; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　搭載していないビットには必ず初期値を設定してください。

4.3.2　ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます注。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

PMxxを0（出力モード）にした場合でも、PMS.0（ポート・モード選択）を1にすることで、Pxxをリードすると端子レベルが読み出されます。

リセット信号の発生により00Hになります。

注　P33, P34, P70-P74, P80-87, P90-P97, P100-P105, P120, P125をA/Dコンバータのアナログ入力機能として設定した場合、P80をD/Aコンバータ出力機能として設定した場合または、P81～P85をコンパレータのアナログ入力機能として設定した場合に, ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4－93 ポート・レジスタのフォーマット（144ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	P07	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	P37	P36	P35	P34	P33	P32	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H（出力ラッチ）	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FFF09H	00H（出力ラッチ）	R/W
P10	P107	P106	P105	P104	P103	P102	P101	P100	FFF0AH	00H（出力ラッチ）	R/W
P11	P117	P116	P115	P114	P113	P112	P111	P110	FFF0BH	00H（出力ラッチ）	R/W
P12	P127	P126	P125	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注1
P13	P137	P136	P135	P134	P133	P132	P131	P130	FFF0DH	不定注2	R/W注1
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H（出力ラッチ）	R/W
P15	P157	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H（出力ラッチ）	R/W
P16	P167	P166	P165	P164	P163	P162	P161	P160	FFF1CH	00H（出力ラッチ）	R/W

Pmn	m = 0-16 ; n = 0-7	
	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124, P137はRead Onlyです。

注2. P130ビットはユーザ・オプション・バイト（000C2H/020C2H）のビット5（RESOUTB）の設定に依存します。

RESOUTB = 0：P130 = 1

RESOUTB = 1：P130 = 0

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，POMmn = 0で入力モード（PMmn = 1）に設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子またはアナログ端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00H（PU4のみ01H）になります。

図4－94 プルアップ抵抗オプション・レジスタのフォーマット（144ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20	F0032H	00H	R/W
PU3	PU37	PU36	PU35	0	0	PU32	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	PU63	PU62	PU61	PU60	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU10	PU107	PU106	0	0	0	0	0	0	F003AH	00H	R/W
PU11	PU117	PU116	PU115	PU114	PU113	PU112	PU111	PU110	F003BH	00H	R/W
PU12	PU127	PU126	PU125	0	0	0	0	PU120	F003CH	00H	R/W
PU13	0	PU136	PU135	PU134	PU133	PU132	PU131	0	F003DH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W
PU15	PU157	PU156	PU155	PU154	PU153	PU152	PU151	PU150	F003FH	00H	R/W
PU16	PU167	PU166	PU165	PU164	PU163	PU162	PU161	PU160	F02FEH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択（m = 0-7, 10-16 ; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ（PIM1, PIM3, PIM5-PIM7, PIM12）

P10, P11, P13-P14, P16-P17, P30, P54, P62-P63, P70-P71, P73, P125の入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

PIM1, PIM3, PIM5-PIM7, PIM12レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－95 ポート入力モード・レジスタのフォーマット（144ピン製品）

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	PIM17	PIM16	0	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	0	0	0	PIM30	F0043H	00H	R/W
PIM5	0	0	0	PIM54	0	0	0	0	F0045H	00H	R/W
PIM6	0	0	0	0	PIM63	PIM62	0	0	F0046H	00H	R/W
PIM7	0	0	0	0	PIM73	0	PIM71	PIM70	F0047H	00H	R/W
PIM12	0	0	PIM125	0	0	0	0	0	F004CH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択（m = 1, 3, 5-7, 12 ; n = 0-7）
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ（POM1, POM6, POM7, POM12）

P10-P17, P60-P63, P70-P72, P120の出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易IIC通信時のSDA00, SDA01, SDA10, SDA11端子, IIC通信時のSDAA0, SCLA0端子にN-chオープン・ドレーン出力（EV_{DD}耐圧）モードを選択できます。

POM1, POM6, POM7, POM12レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－96 ポート出力モード・レジスタのフォーマット（144ピン製品）

アドレス：F0051H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
POM1	POM17	POM16	POM15	POM14	POM13	POM12	POM11	POM10

アドレス：F0056H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	POM63	POM62	POM61	POM60

アドレス：F0057H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
POM7	0	0	0	0	0	POM72	POM71	POM70

アドレス：F005CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
POM12	0	0	0	0	0	0	0	POM120

POMmn	Pmn端子の出力モードの選択（m = 1, 6, 7, 12 n = 0-7）
0	通常出力モード
1	N-chオープン・ドレーン出力（EV_{DD}耐圧）モード

注意1. POMmn = 1設定時に、内蔵プルアップ抵抗を使用することはできません。

2. 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）

P70-P74, P120, P125のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

PMC7, PMC12レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図4－97 ポート・モード・コントロール・レジスタのフォーマット（144ピン製品）注

アドレス：F0067H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PMC7	1	1	1	PMC74	PMC73	PMC72	PMC71	PMC70

アドレス：F006CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PMC12	1	1	PMC125	1	1	1	1	PMC120

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択（m = 7, 12 ; n = 0-5）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

注意1. 搭載していないビットには必ず初期値を設定してください。

2. アナログ入力に設定したポートは、ポート・モード・レジスタx（PMx）で入力モードに選択してください。

4.3.7 A/Dポート・コンフィギュレーション・レジスタ（ADPC）

P33/ANI0/AVREFP、P34/ANI1/AVREFM、P80/ANI2/ANO0、P81/ANI3/IVCMP00-P84/ANI6/IVCMP03、P85/ANI7/IVREF0、P86/ANI8-P105/ANI23端子をA/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。また、P80/ANI2/ANO0端子をD/Aコンバータのアナログ出力／ポートのデジタル入出力に切り替えるレジスタです。また、P81/ANI3/IVCMP00-P84/ANI6/IVCMP03、P85/ANI7/IVREF0端子をコンパレータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－98 A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット（144ピン製品）

アドレス：F0076H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPC4-0					ANI23/P105	ANI22/P104	ANI21/P103	ANI20/P102	ANI19/P101	ANI18/P100	ANI17/P97	ANI16/P96	ANI15/P95	ANI14/P94	ANI13/P93	ANI12/P92	ANI11/P91	ANI10/P90	ANI9/P87	ANI8/P86	ANI7/P85	ANI6/P84	ANI5/P83	ANI4/P82	ANI3/P81	ANI2/P80	ANI1/P34	ANI0/P33
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	0	1	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A
0	0	1	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A
0	1	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
0	1	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A
0	1	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A
0	1	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
0	1	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	0	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	1	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	0	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	1	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	0	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	1	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	0	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	1	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	0	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	1	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	1	0	0	0	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
上記以外					設定禁止																							

注意1. A/D変換で使用するチャネルは，ポート・モード・レジスタ3, 8, 9, 10（PM3, PM8, PM9, PM10）で入力モードに選択してください。

2. D/A変換またはコンパレータで使用するチャネルは，ポート・モード・レジスタ8（PM8）で入力モードに選択してください。

3. ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

4. ADPCレジスタでデジタル入出力として設定する端子を，D/Aコンバータ・モード・レジスタ（DAM）でD/A変換動作許可に設定しないでください。

5. ADPCレジスタでデジタル入出力として設定する端子を、コンパレータ入出力切替レジスタ（CMPSEL）で設定しないでください。

4.3.8 ポート入力閾値制御レジスタ（PITHL0-PITHL7, PITHL10, PITHL12, PITHL15）

P00, P10, P11, P13, P14, P16, P17, P20, P21, P24, P25, P30, P37, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152, P153, P154, P156の入力バッファの閾値を1ビット単位で設定するレジスタです。

シリアル通信インタフェースおよび一部の外部割り込みに対しV_{IL} = 0.5 EV_{DD}に設定できます。PITHL0-PITHL7, PITHL10, PITHL12, PITHL15レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－99 ポート入力閾値制御レジスタのフォーマット（144ピン版の製品）

アドレス：F0020H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL0	0	0	0	0	0	0	0	PITHL00

アドレス：F0021H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL1	PITHL17	PITHL16	0	PITHL14	PITHL13	0	PITHL11	PITHL10

アドレス：F0022H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL2	0	0	PITHL25	PITHL24	0	0	PITHL21	PITHL20

アドレス：F0023H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL3	PITHL37	0	0	0	0	0	0	PITHL30

アドレス：F0024H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL4	0	0	0	0	PITHL43	0	0	0

アドレス：F0025H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL5	0	0	0	PITHL54	PITHL53	PITHL52	0	PITHL50

アドレス：F0026H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL6	0	0	0	0	PITHL63	PITHL62	PITHL61	PITHL60

アドレス：F0027H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL7	PITHL77	PITHL76	PITHL75	0	PITHL73	0	PITHL71	PITHL70

アドレス：F002AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL10	PITHL107	0	0	0	0	0	0	0

アドレス：F002CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PITHL12	0	0	PITHL125	0	0	0	0	0

アドレス：F002FH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PITHL15	0	PITHL156	0	PITHL154	PITHL153	PITHL152	0	PITHL150

PITHLmn	Pmn端子の入力バッファの閾値の選択（m = 0-7, 10, 12, 15, n = 0-7）
0	Schmitt1入力
1	Schmitt3入力

PIMmn	PITHLmn	Pmn端子の入力バッファの閾値の選択（m = 1, 3, 5-7, 12, n = 0-7）
0	0	Schmitt1入力
0	1	Schmitt3入力
1	0	TTL入力
1	1	設定禁止

注意　搭載していないビットには必ず初期値を設定してください。

4.3.9 周辺I/Oリダイレクション・レジスタ0（PIOR0）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR0は、タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで、タイマ・アレイ・ユニット0の入力端子をどのI/Oポートに割り当てるかを選択します。

PIOR0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－100 周辺I/Oリダイレクション・レジスタ0（PIOR0）のフォーマット

アドレス：F0016H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR0	PIOR07	PIOR06	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00

ビット	機能	144ピン		100ピン		80ピン		64ピン		48ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR07	TI07	P120	P44	P120	P44	P120	P44	P120	－	P120	－
PIOR06	TI06	P14	P02	P14	P02	P14	P02	P14	－	P14	－
PIOR05	TI05	P15	P00	P15	P00	P15	P00	P15	P00	P15	P00
PIOR04	TI04	P13	P01	P13	P01	P13	P01	P13	－	P13	－
PIOR03	TI03	P125	P127	P125	P127	P125	－	P125	－	P125	－
PIOR02	TI02	P16	P67	P16	P67	P16	P67	P16	－	P16	－
PIOR01	TI01	P30	P126	P30	P126	P30	P126	P30	－	P30	－
PIOR00	TI00	P17	P66	P17	P66	P17	P66	P17	－	P17	－

4.3.10 周辺I/Oリダイレクション・レジスタ1（PIOR1）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR1は、タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで、タイマ・アレイ・ユニット0の出力端子をどのI/Oポートに割り当てるかを選択します。

PIOR1レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－101 周辺I/Oリダイレクション・レジスタ1（PIOR1）のフォーマット

アドレス：F0017H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIOR1	PIOR17	PIOR16	PIOR15	PIOR14	PIOR13	PIOR12	PIOR11	PIOR10

ビット	機能	144ピン		100ピン		80ピン		64ピン		48ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR17	TO07	P120	P44	P120	P44	P120	P44	P120	－	P120	－
PIOR16	TO06	P14	P02	P14	P02	P14	P02	P14	－	P14	－
PIOR15	TO05	P15	P00	P15	P00	P15	P00	P15	P00	P15	P00
PIOR14	TO04	P13	P01	P13	P01	P13	P01	P13	－	P13	－
PIOR13	TO03	P125	P127	P125	P127	P125	－	P125	－	P125	－
PIOR12	TO02	P16	P67	P16	P67	P16	P67	P16	－	P16	－
PIOR11	TO01	P30	P126	P30	P126	P30	P126	P30	－	P30	－
PIOR10	TO00	P17	P66	P17	P66	P17	P66	P17	－	P17	－

4.3.11 周辺I/Oリダイレクション・レジスタ2（PIOR2）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR2は、タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで、タイマ・アレイ・ユニット1の入力端子をどのI/Oポートに割り当てるかを選択します。

PIOR2レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－102 周辺I/Oリダイレクション・レジスタ2（PIOR2）のフォーマット

アドレス：F0018H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIOR2	PIOR27	PIOR26	PIOR25	PIOR24	PIOR23	PIOR22	PIOR21	PIOR20

ビット	機能	144ピン		100ピン		80ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR27	TI17	P71	P57	P71	P57	P71	P57
PIOR26	TI16	P32	P65	P32	P65	P32	P65
PIOR25	TI15	P70	P56	P70	P56	P70	P56
PIOR24	TI14	P31	P64	P31	P64	P31	P64
PIOR23	TI13	P10	P55	P10	P55	P10	P55
PIOR22	TI12	P11	P46	P11	P46	P11	P46
PIOR21	TI11	P12	P54	P12	P54	P12	P54
PIOR20	TI10	P41	P45	P41	P45	P41	P45

注意　64, 48ピン製品では、PIOR2レジスタはありません。

4.3.12 周辺I/Oリダイレクション・レジスタ3（PIOR3）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR3は、タイマ・アレイ・ユニット機能のリダイレクト許可禁止を設定するレジスタで、タイマ・アレイ・ユニット1の出力端子をどのI/Oポートに割り当てるかを選択します。

PIOR3レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図4－103 周辺I/Oリダイレクション・レジスタ3（PIOR3）のフォーマット

アドレス：F0019H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIOR3	PIOR37	PIOR36	PIOR35	PIOR34	PIOR33	PIOR32	PIOR31	PIOR30

ビット	機能	144ピン		100ピン		80ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR37	TO17	P71	P57	P71	P57	P71	P57
PIOR36	TO16	P32	P65	P32	P65	P32	P65
PIOR35	TO15	P70	P56	P70	P56	P70	P56
PIOR34	TO14	P31	P64	P31	P64	P31	P64
PIOR33	TO13	P10	P55	P10	P55	P10	P55
PIOR32	TO12	P11	P46	P11	P46	P11	P46
PIOR31	TO11	P12	P54	P12	P54	P12	P54
PIOR30	TO10	P41	P45	P41	P45	P41	P45

注意　64, 48ピン製品では、PIOR3レジスタはありません。

4.3.13　周辺I/Oリダイレクション・レジスタ4（PIOR4）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR4は、シリアル通信機能のリダイレクト許可禁止を設定するレジスタで、CANのシリアル・データ入出力、LINのシリアル・データ入出力、シリアル・アレイ・ユニットのシリアル・データ入出力、クロック入出力、スレーブ・セレクト入力端子をどのI/Oポートに割り当てるかを選択します。

PIOR4レジスタは，8ビット・メモリ操作命令で設定します。ビット7は、リードのみになります。ビット7を除くすべてのビットは、リード/ライトが可能です。

リセット信号の発生により00Hになります。

図4－104 周辺I/Oリダイレクション・レジスタ4（PIOR4）のフォーマット

アドレス：F001AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR4	0	PIOR46	PIOR45	PIOR44	PIOR43	PIOR42	PIOR41	PIOR40

ビット	機能	144ピン		100ピン		80ピン		64ピン		48ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR46	CRXD0	P11	P73	P11	P73	P11	P73	P11	P73	P11	P73
	CTXD0	P10	P72	P10	P72	P10	P72	P10	P72	P10	P72
PIOR45	LRXD1	P11	P107	P11	P107	P11	－	P11	－	P11	－
	LTXD1	P10	P106	P10	P106	P10	－	P10	－	P10	－
PIOR44	LRXD0	P14	P43	P14	P43	P14	P43	P14	P43	P14	－
	LTXD0	P13	P42	P13	P42	P13	P42	P13	P42	P13	－
PIOR43	SI11/ SDA11	P70	P152注	P70	P152注	P70	－	P70	－	P70	－
	SO11	P72	P151	P72	P151	P72	－	P72	－	P72	－
	SCL11/ $\overline{\text{SCK11}}$	P71	P153注	P71	P153注	P71	－	P71	－	P71	－
	$\overline{\text{SSI11}}$	P73	P150	P73	P150	P73	－	P73	－	P73	－
PIOR42	SI10/ SDA10/ RXD1	P11	P75注	P11	P75注	P11	P75注	P11	P75注	P11	－
	SO10/ TXD1	P12	P74	P12	P74	P12	P74	P12	P74	P12	－
	SCL10/ $\overline{\text{SCK10}}$	P10	P76注	P10	P76注	P10注	P76注	P10	P76注	P10	－
	$\overline{\text{SSI10}}$	P54	P77	P54	P77	P54	P77	－	P77	－	－
PIOR41	SI01/ SDA01	P13	P53注	P13	P53注	P13	P53注	P13	P53注	P13	－
	SO01	P120	P51	P120	P51	P120	P51	P120	P51	P120	－
	SCL01/ $\overline{\text{SCK01}}$	P14	P52注	P14	P52注	P14	P52注	P14	P52注	P14	－
	$\overline{\text{SSI01}}$	P125	P50	P125	P50	P125	P50	P125	P50	P125	－
PIOR40	SI00/ SDA00/ RXD0	P16	P61	P16	P61	P16	P61	P16	P61	P16	P61
	SO00/ TXD0	P15	P62	P15	P62	P15	P62	P15	P62	P15	P62
	SCL00/ $\overline{\text{SCK00}}$	P17	P60	P17	P60	P17	P60	P17	P60	P17	P60
	$\overline{\text{SSI00}}$	P30	P63	P30	P63	P30	P63	P30	P63	P30	P63

注 PIOR = 1のとき，簡易IICの機能（SDA, SCL）は使用できません。

注意 ビット7を書く場合，0を書いてください。

4.3.14 周辺I/Oリダイレクション・レジスタ5（PIOR5）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR5は、外部割り込み入力、キー割り込み入力のリダイレクト許可禁止を設定するレジスタで、外部割り込み入力端子、キー割り込み入力端子をどのI/Oポートに割り当てるかを選択します。

PIOR5レジスタは，8ビット・メモリ操作命令で設定します。

ビット7-4,1は非搭載のため、リードのみです。ビット7-4,1を除くすべてのビットはリード/ライトが可能です。

すべてのリセット解除後、常にリード／ライト可能です。

すべてのリセット要因で00Hに初期化されます。

図4－105 周辺I/Oリダイレクション・レジスタ5（PIOR5）のフォーマット

アドレス：F001BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR5	0	0	0	0	PIOR53	PIOR52	0	PIOR50

ビット	機能	144ピン		100ピン		80ピン		64ピン		48ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR53	INTP3	P17	P50	P17	P50	P17	P50	P17	P50	P17	－
PIOR52	INTP2	P30	P31	P30	P31	P30	P31	P30	P31	P30	P31
PIOR50	KR7	P77	－	P77	－	P77	－	P77	P96	－	P92
	KR6	P76	－	P76	－	P76	－	P76	P95	－	P91
	KR5	P75	－	P75	－	P75	－	P75	P94	－	P90
	KR4	P74	－	P74	－	P74	－	P74	P93	－	P87
	KR3	P73	－	P73	－	P73	－	P73	P92	P73	P86
	KR2	P72	－	P72	－	P72	－	P72	P91	P72	P85
	KR1	P71	－	P71	－	P71	－	P71	P90	P71	P84
	KR0	P70	－	P70	－	P70	－	P70	P87	P70	P83

4.3.15 周辺I/Oリダイレクション・レジスタ6（PIOR6）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR6は、SNOOZEステータス出力機能のリダイレクト許可禁止を設定するレジスタで、SNOOZEステータス出力端子をどのI/Oポートに割り当てるかを選択します。

PIOR6レジスタは，8ビット・メモリ操作命令で設定します。

すべてのリセット解除後、常にリード／ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

図4－106 周辺I/Oリダイレクション・レジスタ6（PIOR6）のフォーマット

アドレス：F001CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR6	PIOR67	PIOR66	PIOR65	PIOR64	PIOR63	PIOR62	PIOR61	PIOR60

ビット	機能	144ピン		100ピン		80ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR67	SNZOUT7	P73	P154	P73	P154	P73	－
PIOR66	SNZOUT6	P72	P155	P72	P155	P72	－
PIOR65	SNZOUT5	P71	P156	P71	P156	P71	－
PIOR64	SNZOUT4	P70	P157	P70	P157	P70	－
PIOR63	SNZOUT3	P12	P64	P12	P64	P12	P64
PIOR62	SNZOUT2	P41	P65	P41	P65	P41	P65
PIOR61	SNZOUT1	P125	P56	P125	P56	P125	P56
PIOR60	SNZOUT0	P30	P57	P30	P57	P30	P57

注意 64, 48ピン製品では、PIOR6レジスタはありません。

4.3.16 周辺I/Oリダイレクション・レジスタ7（PIOR7）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR7は、タイマRD入出力機能のリダイレクト許可禁止を設定するレジスタで、タイマRD0の入出力端子をどのI/Oポートに割り当てるかを選択します。

PIOR7レジスタは，8ビット・メモリ操作命令で設定します。

ビット7-4,2は、リードのみになります。

ビット7-4,2を除くすべてのビットは、リード/ライトが可能です。

すべてのリセット解除後、常にリード／ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

図4－107 周辺I/Oリダイレクション・レジスタ7（PIOR7）のフォーマット

アドレス：F001DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR7	0	0	0	0	PIOR73	0	PIOR71	PIOR70

ビット	機能	144ピン		100ピン		80ピン		64ピン		48ピン	
		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1
PIOR73	TRDIOD0	P120	P12	P120	P12	P120	P12	P120	P12	P120	P12
PIOR71	TRDIOB0	P125	P11	P125	P11	P125	P11	P125	P11	P125	P11
PIOR70	TRDIOA0/ TRDCLK0	P13	P15	P13	P15	P13	P15	P13	P15	P13	P15

4.3.17 周辺I/Oリダイレクション・レジスタ8（PIOR8）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR8レジスタは，リアルタイム・クロックの補正クロック（1 Hz）出力機能のリダイレクト許可禁止を設定するレジスタで，リアルタイム・クロックの補正クロック（1 Hz）出力端子をどのI/Oポートに割り当てるかを選択します。

PIOR8レジスタは，8ビット・メモリ操作命令で設定します。

ビット7-1は，リードのみになります。ビット0は，リード／ライトが可能です。

すべてのリセット解除後，常にリード／ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

図4－108 周辺I/Oリダイレクション・レジスタ8（PIOR8）のフォーマット

アドレス：F001EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR8	0	0	0	0	0	0	0	PIOR80

ビット	機能	144ピン		100ピン	
		設定値		設定値	
		0	1	0	1
PIOR80	RTC1HZ	P15	P03	P15	P03

注意 80, 64, 48ピン製品では、PIOR8レジスタはありません。

4.3.18 周辺I/Oリダイレクション・レジスタ9（PIOR9）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR9レジスタは，シリアル通信機能のリダイレクト許可／禁止を設定するレジスタで，シリアル・アレイ・ユニットのシリアル・データ入出力，クロック入出力，CANのシリアル・データ入出力，IEBusのシリアル・データ入出力端子をどのI/Oポートに割り当てるかを選択します。

PIOR9レジスタは，8ビット・メモリ操作命令で設定します。

ビット5-2は，リードのみになります。ビット7, 6, 1, 0は，リード／ライトが可能です。

すべてのリセット解除後，常にリード／ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

図4－109 周辺I/Oリダイレクション・レジスタ9（PIOR9）のフォーマット

アドレス：F001FH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIOR9	PIOR97	PIOR96	0	0	0	0	PIOR91	PIOR90

ビット	機能	144ピン		100ピン		80ピン		64ピン	
		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1
PIOR97	$\overline{\text{IERXD}}$	P60	P50	P60	P50	P60	P50	P60	P50
	$\overline{\text{IETXD}}$	P61	P51	P61	P51	P61	P51	P61	P51
PIOR96	CRXD1	P60	P37	P60	－	P60	－	P60	－
	CTXD1	P61	P36	P61	－	P61	－	P61	－
PIOR91	$\overline{\text{SCK21}}$	P153	P24	P153	－	使用禁止			
	SI21	P152	P25	P152	－				
	SO21	P151	P26	P151	－				
PIOR90	$\overline{\text{SCK20}}$	P00	P20	P00	－				
	SI20/RXD2	P156	P21	P156	－				
	SO20/TXD2	P157	P22	P157	－				

注意1. 48ピン製品では、PIOR9レジスタはありません。

2. 使用禁止ビットには0（初期値）を設定してください。

4.3.19 周辺I/Oリダイレクション・レジスタ10（PIOR10）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR10レジスタは，タイマ・アレイ・ユニット機能のリダイレクト許可／禁止を設定するレジスタで，タイマ・アレイ・ユニット2 の入力端子をどのIOポートに割り当てるかを選択します。

PIOR10レジスタは，8ビット・メモリ操作命令で設定します。

すべてのリセット解除後，常にリード／ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

図4－110 周辺I/Oリダイレクション・レジスタ10（PIOR10）のフォーマット

アドレス：F0014H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR10	PIOR107	PIOR106	PIOR105	PIOR104	PIOR103	PIOR102	PIOR101	PIOR100

ビット	機能	144ピン	
		設定値	
		0	1
PIOR107	TI27	P117	P147
PIOR106	TI26	P116	P146
PIOR105	TI25	P115	P145
PIOR104	TI24	P114	P144
PIOR103	TI23	P113	P143
PIOR102	TI22	P112	P142
PIOR101	TI21	P111	P141
PIOR100	TI20	P110	P140

注意 100, 80, 64, 48ピン製品では、PIOR10レジスタはありません。

4.3.20 周辺I/Oリダイレクション・レジスタ11（PIOR11）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

PIOR11レジスタは，タイマ・アレイ・ユニット機能のリダイレクト許可／禁止を設定するレジスタで，タイマ・アレイ・ユニット2 の出力端子をどのIOポートに割り当てるかを選択します。

PIOR11レジスタは，8ビット・メモリ操作命令で設定します。

すべてのリセット解除後，常にリード／ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

図4－111 周辺I/Oリダイレクション・レジスタ11（PIOR11）のフォーマット

アドレス：F0015H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIOR11	PIOR117	PIOR116	PIOR115	PIOR114	PIOR113	PIOR112	PIOR111	PIOR110

ビット	機能	144ピン	
		設定値	
		0	1
PIOR117	TO27	P117	P147
PIOR116	TO26	P116	P146
PIOR115	TO25	P115	P145
PIOR114	TO24	P114	P144
PIOR113	TO23	P113	P143
PIOR112	TO22	P112	P142
PIOR111	TO21	P111	P141
PIOR110	TO20	P110	P140

注意 100, 80, 64, 48ピン製品では、PIOR11レジスタはありません。

4.3.21 ポート出力スルー・レート選択レジスタ（PSRSEL）

ポートの出力スルーレートを選択するレジスタです。

1ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定してください。

すべてのリセット要因で00Hに初期化されます。

注意 兼用機能を含め、対象端子のスルー・レートが変更されます。

図4－112 ポート出力スルー・レート選択レジスタ（PSRSEL）

アドレス：F0220H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSRSEL	0	0	PSR140	PSR14	PSR120	PSR30	PSR12	PSR10

PSR140	制御対象出力ポート：P140/PCLBUZ0/(TO20)
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR14	制御対象出力ポート：P14/$\overline{\text{SCK01}}$/SCL01/TO06/TRDIOC0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR120	制御対象出力ポート：P120/SO01/TO07/TRDIOD0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR30	制御対象出力ポート：P30/TO01/TRDIOD1/SNZOUT0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR12	制御対象出力ポート：P12/SO10/TO11/(TRDIOD0)/TXD1/SNZOUT3
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

PSR10	制御対象出力ポート：P10/$\overline{\text{SCK10}}$/TO13/TRJO0/SCL10/LTXD1/CTXD0
0	通常スルー・レート
1	特殊スルー・レート（通常より遅いレート）

4.3.22 SNOOZEステータス出力制御レジスタ0（PSNZCNT0）

SNOOZEモードに移行したことを外部端子に出力するレジスタです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

ビット7-6,3-2は未使用のため、リードのみになります。

ビット7-6,3-2を除くすべてのビットはリード/ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

注意1. SNOOZEステータス出力機能を使用する際は、あらかじめ対象ポートを出力モード、出力ラッチを0に設定しておいてください。

2. SNZOUTステータス出力時は、出力許可ポートに割り当てている周辺機能の出力を止めて、レジスタの設定をしてください。

3. SNZOUTステータス出力時はWUTMMCK0 = 1に設定してください。

図4－113 SNOOZEステータス出力制御レジスタ（PSNZCNT0）

アドレス：F0222H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT0	0	0	SNZACT1	OUTEN1	0	0	SNZACT0	OUTEN0

SNZACT1	SNZOUT1のアクティブレベル
0	PIOR61=0時：P125へのSNOOZEステータス出力のアクティブレベル"H" PIOR61=1時：P56へのSNOOZEステータス出力のアクティブレベル"H"（144/100/80ピン製品のみ）
1	PIOR61=0時：P125へのSNOOZEステータス出力のアクティブレベル"L" PIOR61=1時：P56へのSNOOZEステータス出力のアクティブレベル"L"（144/100/80ピン製品のみ）

OUTEN1	SNZOUT1の許可禁止
0	PIOR61=0時：P125へのSNOOZEステータス出力禁止 PIOR61=1時：P56へのSNOOZEステータス出力禁止（144/100/80ピン製品のみ）
1	PIOR61=0時：P125へのSNOOZEステータス出力許可 PIOR61=1時：P56へのSNOOZEステータス出力許可（144/100/80ピン製品のみ）

SNZACT0	SNZOUT0のアクティブレベル
0	PIOR60=0時：P30へのSNOOZEステータス出力のアクティブレベル"H" PIOR60=1時：P57へのSNOOZEステータス出力のアクティブレベル"H"（144/100/80ピン製品のみ）
1	PIOR60=0時：P30へのSNOOZEステータス出力のアクティブレベル"L" PIOR60=1時：P57へのSNOOZEステータス出力のアクティブレベル"L"（144/100/80ピン製品のみ）

OUTEN0	SNZOUT0の許可禁止
0	PIOR60=0時：P30へのSNOOZEステータス出力禁止 PIOR60=1時：P57へのSNOOZEステータス出力禁止（144/100/80ピン製品のみ）
1	PIOR60=0時：P30へのSNOOZEステータス出力許可 PIOR60=1時：P57へのSNOOZEステータス出力許可（144/100/80ピン製品のみ）

4.3.23 SNOOZEステータス出力制御レジスタ1（PSNZCNT1）

SNOOZEモードに移行したことを外部端子に出力するレジスタです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

ビット7-6,3-2は未使用のため、リードのみになります。

ビット7-6,3-2を除くすべてのビットはリード/ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

注意1. SNOOZEステータス出力制御レジスタを使用する際は、あらかじめ対象ポートを出力モード、出力ラッチを0に設定しておいてください。

2. SNZOUTステータス出力時は、出力許可ポートに割り当てている周辺機能の出力を止めて、レジスタの設定をしてください。

3. SNZOUTステータス出力時はWUTMMCK0 = 1に設定してください。

図4－114 SNOOZEステータス出力制御レジスタ1（PSNZCNT1）

アドレス：F0223H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT1	0	0	SNZACT3	OUTEN3	0	0	SNZACT2	OUTEN2

SNZACT3	SNZOUT3のアクティブレベル
0	PIOR63=0時：P12へのSNOOZEステータス出力のアクティブレベル"H" PIOR63=1時：P64へのSNOOZEステータス出力のアクティブレベル"H"（144/100/80ピン製品のみ）
1	PIOR63=0時：P12へのSNOOZEステータス出力のアクティブレベル"L" PIOR63=1時：P64へのSNOOZEステータス出力のアクティブレベル"L"（144/100/80ピン製品のみ）

OUTEN3	SNZOUT3の許可禁止
0	PIOR63=0時：P12へのSNOOZEステータス出力禁止 PIOR63=1時：P64へのSNOOZEステータス出力禁止（144/100/80ピン製品のみ）
1	PIOR63=0時：P12へのSNOOZEステータス出力許可 PIOR63=1時：P64へのSNOOZEステータス出力許可（144/100/80ピン製品のみ）

SNZACT2	SNZOUT2のアクティブレベル
0	PIOR62=0時：P41へのSNOOZEステータス出力のアクティブレベル"H" PIOR62=1時：P65へのSNOOZEステータス出力のアクティブレベル"H"（144/100/80ピン製品のみ）
1	PIOR62=0時：P41へのSNOOZEステータス出力のアクティブレベル"L" PIOR62=1時：P65へのSNOOZEステータス出力のアクティブレベル"L"（144/100/80ピン製品のみ）

OUTEN2	SNZOUT2の許可禁止
0	PIOR62=0時：P41へのSNOOZEステータス出力禁止 PIOR62=1時：P65へのSNOOZEステータス出力禁止（144/100/80ピン製品のみ）
1	PIOR62=0時：P41へのSNOOZEステータス出力許可 PIOR62=1時：P65へのSNOOZEステータス出力許可（144/100/80ピン製品のみ）

4.3.24 SNOOZEステータス出力制御レジスタ2（PSNZCNT2）

SNOOZEモードに移行したことを外部端子に出力するレジスタです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

ビット7-6,3-2は未使用のため、リードのみになります。

ビット7-6,3-2を除くすべてのビットはリード/ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

注意1. SNOOZEステータス出力制御レジスタを使用する際は、あらかじめ対象ポートを出力モード、出力ラッチを0に設定しておいてください。

2. SNZOUTステータス出力時は、出力許可ポートに割り当てている周辺機能の出力を止めて、レジスタの設定をしてください。

3. SNZOUTステータス出力時はWUTMMCK0 = 1に設定してください。

図4－115 SNOOZEステータス出力制御レジスタ2（PSNZCNT2）

アドレス：F0224H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT2	0	0	SNZACT5	OUTEN5	0	0	SNZACT4	OUTEN4

SNZACT5	SNZOUT5のアクティブレベル
0	PIOR65=0時：P71へのSNOOZEステータス出力のアクティブレベル"H" PIOR65=1時：P156へのSNOOZEステータス出力のアクティブレベル"H"（144/100ピン製品のみ）
1	PIOR65=0時：P71へのSNOOZEステータス出力のアクティブレベル"L" PIOR65=1時：P156へのSNOOZEステータス出力のアクティブレベル"L"（144/100ピン製品のみ）

OUTEN5	SNZOUT5の許可禁止
0	PIOR65=0時：P71へのSNOOZEステータス出力禁止 PIOR65=1時：P156へのSNOOZEステータス出力禁止（144/100ピン製品のみ）
1	PIOR65=0時：P71へのSNOOZEステータス出力許可 PIOR65=1時：P156へのSNOOZEステータス出力許可（144/100ピン製品のみ）

SNZACT4	SNZOUT4のアクティブレベル
0	PIOR64=0時：P70へのSNOOZEステータス出力のアクティブレベル"H" PIOR64=1時：P157へのSNOOZEステータス出力のアクティブレベル"H"（144/100ピン製品のみ）
1	PIOR64=0時：P70へのSNOOZEステータス出力のアクティブレベル"L" PIOR64=1時：P157へのSNOOZEステータス出力のアクティブレベル"L"（144/100ピン製品のみ）

OUTEN4	SNZOUT4の許可禁止
0	PIOR64=0時：P70へのSNOOZEステータス出力禁止 PIOR64=1時：P157へのSNOOZEステータス出力禁止（144/100ピン製品のみ）
1	PIOR64=0時：P70へのSNOOZEステータス出力許可 PIOR64=1時：P157へのSNOOZEステータス出力許可（144/100ピン製品のみ）

4.3.25 SNOOZEステータス出力制御レジスタ3（PSNZCNT3）

SNOOZEモードに移行したことを外部端子に出力するレジスタです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

ビット7-6,3-2は未使用のため、リードのみになります。

ビット7-6,3-2を除くすべてのビットはリード/ライトが可能です。

すべてのリセット要因で00Hに初期化されます。

注意1. SNOOZEステータス出力制御レジスタを使用する際は、あらかじめ対象ポートを出力モード、出力ラッチを0に設定しておいてください。

2. SNZOUTステータス出力時は、出力許可ポートに割り当てている周辺機能の出力を止めて、レジスタの設定をしてください。

3. SNZOUTステータス出力時はWUTMMCK0 = 1に設定してください。

図4－116 SNOOZEステータス出力制御レジスタ3（PSNZCNT3）

アドレス：F0225H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PSNZCNT3	0	0	SNZACT7	OUTEN7	0	0	SNZACT6	OUTEN6

SNZACT7	SNZOUT7のアクティブレベル
0	PIOR67=0時：P73へのSNOOZEステータス出力のアクティブレベル"H" PIOR67=1時：P154へのSNOOZEステータス出力のアクティブレベル"H"（144/100ピン製品のみ）
1	PIOR67=0時：P73へのSNOOZEステータス出力のアクティブレベル"L" PIOR67=1時：P154へのSNOOZEステータス出力のアクティブレベル"L"（144/100ピン製品のみ）

OUTEN7	SNZOUT7の許可禁止
0	PIOR67=0時：P73へのSNOOZEステータス出力禁止 PIOR67=1時：P154へのSNOOZEステータス出力禁止（144/100ピン製品のみ）
1	PIOR67=0時：P73へのSNOOZEステータス出力許可 PIOR67=1時：P154へのSNOOZEステータス出力許可（144/100ピン製品のみ）

SNZACT6	SNZOUT6のアクティブレベル
0	PIOR66=0時：P72へのSNOOZEステータス出力のアクティブレベル"H" PIOR66=1時：P155へのSNOOZEステータス出力のアクティブレベル"H"（144/100ピン製品のみ）
1	PIOR66=0時：P72へのSNOOZEステータス出力のアクティブレベル"L" PIOR66=1時：P155へのSNOOZEステータス出力のアクティブレベル"L"（144/100ピン製品のみ）

OUTEN6	SNZOUT6の許可禁止
0	PIOR66=0時：P72へのSNOOZEステータス出力禁止 PIOR66=1時：P155へのSNOOZEステータス出力禁止（144/100ピン製品のみ）
1	PIOR66=0時：P72へのSNOOZEステータス出力許可 PIOR66=1時：P155へのSNOOZEステータス出力許可（144/100ピン製品のみ）

4.3.26 ポート・モード選択レジスタ（PMS）

IEC60730対応の機能です。

ポートが出力モードのときに、出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するビットです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

すべてのリセット要因で00Hに初期化されます。

図4－117 ポート・モード選択レジスタ（PMS）

アドレス：F0077H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	PMmn=0の時に、Pmnのリードしたときのデータ選択（m = 0-16, n = 0-7）
0	初期設定。PMmn=0（出力モード）時は、Pmnの値（出力ラッチ）を読み出す
1	PMmn=0（出力モード）時は、端子レベルを読み出す

PMmn	PMS0	Pmnリードデータの選択
0	0	Pmnレジスタ（出力ラッチ）の値
0	1	端子の出力レベル
1	0	端子の入力レベル
1	1	端子の入力レベル

4.4 ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

（1）出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

（2）入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

（1）出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

また，ポート・モード選択レジスタPMS0のビットを1にすることで，Pxxをリードすると端子レベルが読み出せます。

（2）入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

（1）出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

（2）入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。このため，入力と出力が混在するポートでのバイト書き込みができます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.4 異電位（3 V系）外部デバイスとの接続方法

ポート入力モード・レジスタ（PIMx），ポート出力モード・レジスタ（POMx）で入出力バッファを切り換えることにより，V_{DD} = 4.0 V～5.5 Vで動作時に，異電位（3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタをビットごとに設定して、通常入力（CMOS）/TTLバッファを切り換えます。

異電位（3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタをビットごとに設定して、出力バッファをN-chオープン・ドレーンに切り換えることにより，異電位に対応可能になります。

（1）UART0-UART1, CSI00, CSI01, CSI10, CSI11機能の入出力端子を使用する場合の設定手順

（a）3 V系の入力ポートとして使用

① プルアップが必要な場合は，使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

UART0の場合 : P16
UART1の場合 : P11
CSI00の場合 : P16, P17
CSI01の場合 : P13, P14
CSI10の場合 : P11, P10
CSI11の場合 : P70, P71

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ PIM1, PIM7レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。
④ V_{IH}/V_{IL}が3 V系の動作電圧で動作します。

（b） 3 V系の出力ポートとして使用

① 使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

UART0の場合 : P15
UART1の場合 : P12
CSI00の場合 : P15, P17
CSI01の場合 : P14, P120
CSI10の場合 : P10, P12
CSI11の場合 : P71, P72

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM1, POM6, POM7, POM12レジスタの該当ビットを1に設定し，N-chオープン・ドレーン出力（EV_{DD}耐圧）モードに設定します。
⑤ PM1, PM6, PM7, PM12レジスタを操作して出力モードに設定します。
この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。
⑥ シリアル・アレイ・ユニットに設定を行うと通信を開始します。

（2）簡易IIC00, IIC01, IIC10, IIC11機能の入出力端子を使用する場合の設定手順

① 使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

簡易IIC00の場合：P16, P17
簡易IIC01の場合：P13, P14
簡易IIC10の場合：P10, P11
簡易IIC11の場合：P70, P71

② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM1, POM7レジスタの該当ビットを1に設定し，N-chオープン・ドレーン出力（EV_{DD}耐圧）モードに設定します。
⑤ PIM1, PIM7レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。
⑥ PM1, PM7レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。
⑦ シリアル・アレイ・ユニットを動作許可し，簡易IICモードに設定します。

（3）シリアル・インタフェースIICA0の入出力端子を使用する場合の設定手順

① 使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。
IICA0の場合 ：P62, P63
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに0を設定します。
④ POM6レジスタの該当ビットを1に設定し，N-chオープン・ドレーン出力（EV_{DD}耐圧）モードに設定します。
⑤ PIM6レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。
⑥ PM6レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。
⑦ シリアル・インタフェースIICA機能を動作許可します。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4－31のように設定してください。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（1/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P00	INTP9	入力	0	－	－	1	×	－	0/1
	$\overline{SCK20}$	入力	0	－	－	1	×	－	0/1
		出力	0	－	－	0	1	－	×
	(TI05)	入力	1	－	－	1	×	－	0/1
	(TO05)	出力	1	－	－	0	0	－	×
P01	(TI04)	入力	1	－	－	1	×	－	－
	(TO04)	出力	1	－	－	0	0	－	－
P02	(TI06)	入力	1	－	－	1	×	－	－
	(TO06)	出力	1	－	－	0	0	－	－
P03	(RTC1HZ)	出力	1	－	－	0	0	－	－
P04	INTP15	入力	－	－	－	1	×	－	－
P10	TI13	入力	0	×	－	1	×	0	0/1
	TO13	出力	0	0	－	0	0	×	×
	TRJO0	出力	－	0	－	0	0	×	×
	$\overline{SCK10}$	入力	0	×	－	1	×	0/1	0/1
		出力	0	0/1	－	0	1	×	×
	SCL10	出力	0	0/1	－	0	1	×	×
	LTXD1	出力	0	0	－	0	1	×	×
	CTXD0	出力	0	0	－	0	1	×	×
P11	TI12	入力	0	×	－	1	×	0	0/1
	SI10	入力	0	×	－	1	×	0/1	0/1
	TO12	出力	0	0	－	0	0	×	×
	SDA10	入出力	0	1	－	0	1	0/1	0/1
	RXD1	入力	0	×	－	1	×	0/1	0/1
	LRXD1	入力	0	×	－	1	×	0	0/1
	CRXD0	入力	0	×	－	1	×	0	0
	(TRDIOB0)	入力	1	×	－	1	×	0	0/1
		出力	1	0	－	0	0	×	×

備考 1. × ：don't care
PIORXX ：周辺 I/O リダイレクション・レジスタ
POMXX ：ポート出力モード・レジスタ
PMCXX ：ポート・モード・コントロール・レジスタ
PMXX ：ポート・モード・レジスタ
PXX ：ポートの出力ラッチ
PIMXX ：ポート入力モード・レジスタ
PITHLXX ：ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（2/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P12	TI11	入力	0	×	－	1	×	－	－
	INTP5	入力	－	×	－	1	×	－	－
	TO11	出力	0	0	－	0	0	－	－
	SO10	出力	0	0/1	－	0	1	－	－
	TXD1	出力	0	0/1	－	0	1	－	－
	SNZOUT3	出力	0	0	－	0	0	－	－
	(TRDIOD0)	入力	1	×	－	1	×	－	－
		出力	1	0	－	0	0	－	－
P13	TI04	入力	0	×	－	1	×	0	0/1
	SI01	入力	0	×	－	1	×	0/1	0/1
	TRDIOA0	入力	0	×	－	1	×	0	0/1
		出力	0	0	－	0	0	×	×
	TRDCLK0	入力	0	×	－	1	×	0	0/1
	TO04	出力	0	0	－	0	0	×	×
	SDA01	入出力	0	1	－	0	1	0/1	0/1
	LTXD0	出力	0	0	－	0	1	×	×
P14	TI06	入力	0	×	－	1	×	0	0/1
	TO06	出力	0	0	－	0	0	×	×
	TRDIOC0	入力	－	×	－	1	×	0	0/1
		出力	－	0	－	0	0	×	×
	$\overline{SCK01}$	入力	0	×	－	1	×	0/1	0/1
		出力	0	0/1	－	0	1	×	×
	SCL01	出力	0	0/1	－	0	1	×	×
	LRXD0	入力	0	×	－	1	×	0	0/1
P15	TI05	入力	0	×	－	1	×	－	－
	TO05	出力	0	0	－	0	0	－	－
	TRDIOA1	入力	－	×	－	1	×	－	－
		出力	－	0	－	0	0	－	－
	SO00	出力	0	0/1	－	0	1	－	－
	TXD0	出力	0	0/1	－	0	1	－	－
	RTC1HZ	出力	0	0	－	0	0	－	－
	(TRDIOA0)	入力	1	×	－	1	×	－	－
		出力	1	0	－	0	0	－	－
	(TRDCLK0)	入力	1	×	－	1	×	－	－

備考 1. × : don't care
PIORXX : 周辺 I/O リダイレクション・レジスタ
POMXX : ポート出力モード・レジスタ
PMCXX : ポート・モード・コントロール・レジスタ
PMXX : ポート・モード・レジスタ
PXX : ポートの出力ラッチ
PIMXX : ポート入力モード・レジスタ
PITHLXX : ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（3/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P16	TI02	入力	0	×	－	1	×	0	0/1
	SI00	入力	0	×	－	1	×	0/1	0/1
	TRDIOC1	入力	－	×	－	1	×	0	0/1
		出力	－	0	－	0	0	×	×
	TO02	出力	0	0	－	0	0	×	×
	SDA00	入出力	0	1	－	0	1	0/1	0/1
	RXD0	入力	0	×	－	1	×	0/1	0/1
P17	TI00	入力	0	×	－	1	×	0	0/1
	INTP3	入力	0	×	－	1	×	0	0/1
	TRDIOB1	入力	－	×	－	1	×	0	0/1
		出力	－	0	－	0	0	×	×
	$\overline{\text{SCK00}}$	入力	0	×	－	1	×	0/1	0/1
		出力	0	0/1	－	0	1	×	×
	SCL00	出力	0	0/1	－	0	1	×	×
	TO00	出力	0	0	－	0	0	×	×
P20	($\overline{\text{SCK20}}$)	入力	1	－	－	1	×	－	0/1
		出力	1	－	－	0	1	－	×
P21	(SI20)	入力	1	－	－	1	×	－	0/1
	(RXD2)	入力	1	－	－	1	×	－	0/1
P22	(SO20)	出力	1	－	－	0	1	－	－
	(TXD2)	出力	1	－	－	0	1	－	－
P24	($\overline{\text{SCK21}}$)	入力	1	－	－	1	×	－	0/1
		出力	1	－	－	0	1	－	×
P25	(SI21)	入力	1	－	－	1	×	－	0/1
P26	(SO21)	出力	1	－	－	0	1	－	－
P30	TI01	入力	0	－	－	1	×	0	0/1
	INTP2	入力	0	－	－	1	×	0	0/1
	TRDIOD1	入力	－	－	－	1	×	0	0/1
		出力	－	－	－	0	0	×	×
	$\overline{\text{SSI00}}$	入力	0	－	－	1	×	0/1	0/1
	TO01	出力	0	－	－	0	0	×	×
	SNZOUT0	出力	0	－	－	0	0	×	×
P31	TI14	入力	0	－	－	1	×	－	－
	TO14	出力	0	－	－	0	0	－	－
	STOPST	出力	－	－	－	0	0	－	－
	(INTP2)	入力	1	－	－	1	×	－	－

備考 1. × ：don't care
PIORXX ：周辺 I/O リダイレクション・レジスタ
POMXX ：ポート出力モード・レジスタ
PMCXX ：ポート・モード・コントロール・レジスタ
PMXX ：ポート・モード・レジスタ
PXX ：ポートの出力ラッチ
PIMXX ：ポート入力モード・レジスタ
PITHLXX ：ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（4/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P32	TI16	入力	0	－	－	1	×	－	－
	INTP7	入力	－	－	－	1	×	－	－
	TO16	出力	0	－	－	0	0	－	－
P33	ANI0[注1]	入力	－	－	－	1	×	－	－
	AV_{REFP}[注1]	入力	－	－	－	1	×	－	－
P34	ANI1[注1]	入力	－	－	－	1	×	－	－
	AV_{REFM}[注1]	入力	－	－	－	1	×	－	－
P36	(CTXD1)	出力	1	－	－	0	1	－	－
P37	(CRXD1)	入力	1	－	－	1	×	－	0
P40	TOOL0	入出力	－	－	－	×	×	－	－
P41	TI10	入力	0	－	－	1	×	－	－
	TO10	出力	0	－	－	0	0	－	－
	TRJIO0	入力	－	－	－	1	×	－	－
		出力	－	－	－	0	0	－	－
	VCOUT0	出力	－	－	－	0	0	－	－
	SNZOUT2	出力	0	－	－	0	0	－	－
P42	(LTXD0)	出力	1	－	－	0	1	－	－
P43	(LRXD0)	入力	1	－	－	1	×	－	0/1
P44	(TI07)	入力	1	－	－	1	×	－	－
	(TO07)	出力	1	－	－	0	0	－	－
P45	(TI10)	入力	1	－	－	1	×	－	－
	(TO10)	出力	1	－	－	0	0	－	－
P46	(TI12)	入力	1	－	－	1	×	－	－
	(TO12)	出力	1	－	－	0	0	－	－
P47	INTP13	入力	－	－	－	1	×	－	－
P50	($\overline{SSI01}$)	入力	1	－	－	1	×	－	0/1
	(INTP3)	入力	1	－	－	1	×	－	0/1
	($\overline{IERXD}$)	入力	1	－	－	1	×	－	0/1
P51	INTP11	入力	－	－	－	1	×	－	－
	(SO01)	出力	1	－	－	0	1	－	－
	($\overline{IETXD}$)	出力	1	－	－	0	0	－	－
P52	($\overline{SCK01}$)	入力	1	－	－	1	×	－	0/1
		出力	1	－	－	0	1	－	×
	(STOPST)[注2]	出力	－	－	－	0	0	－	×

注 1 A/D ポート・コンフィグレーション・レジスタ（ADPC）の設定によりアナログ入力に割り当ててください。

注 2 STOPST の割り当ては STOP ステータス出力制御レジスタ（STPSTC）の設定により割り当て可能です。

備考 1. × : don't care
PIORXX : 周辺 I/O リダイレクション・レジスタ
POMXX : ポート出力モード・レジスタ
PMCXX : ポート・モード・コントロール・レジスタ
PMXX : ポート・モード・レジスタ
PXX : ポートの出力ラッチ
PIMXX : ポート入力モード・レジスタ
PITHLXX : ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（5/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P53	INTP10	入力	－	－	－	1	×	－	0/1
	(SI01)	入力	1	－	－	1	×	－	0/1
P54	$\overline{\text{SSI10}}$	入力	0	－	－	1	×	0/1	0/1
	(TI11)	入力	1	－	－	1	×	0	0/1
	(TO11)	出力	1	－	－	0	0	×	×
P55	(TI13)	入力	1	－	－	1	×	－	－
	(TO13)	出力	1	－	－	0	0	－	－
P56	(TI15)	入力	1	－	－	1	×	－	－
	(TO15)	出力	1	－	－	0	0	－	－
	(SNZOUT1)	出力	1	－	－	0	0	－	－
P57	(TI17)	入力	1	－	－	1	×	－	－
	(TO17)	出力	1	－	－	0	0	－	－
	(SNZOUT0)	出力	1	－	－	0	0	－	－
P60	CRXD1	入力	0	×	－	1	×	－	0
	$\overline{\text{IERXD}}$	入力	0	×	－	1	×	－	0/1
	($\overline{\text{SCK00}}$)	入力	1	×	－	1	×	－	0/1
		出力	1	0	－	0	1	－	×
	(SCL00)	出力	1	0/1	－	0	1	－	×
P61	CTXD1	出力	0	0	－	0	1	－	×
	$\overline{\text{IETXD}}$	出力	0	0	－	0	0	－	×
	(SI00)	入力	1	×	－	1	×	－	0/1
	(SDA00)	入出力	1	1	－	0	1	－	0/1
	(RXD0)	入力	1	×	－	1	×	－	0/1
P62	SCLA0	入出力	－	1	－	0	0	0/1	0/1
	(SO00)	出力	1	0	－	0	1	×	×
	(TXD0)	出力	1	0	－	0	1	×	×
P63	SDAA0	入出力	－	1	－	0	0	0/1	0/1
	($\overline{\text{SSI00}}$)	入力	1	×	－	1	×	0	0/1
P64	(TI14)	入力	1	－	－	1	×	－	－
	(TO14)	出力	1	－	－	0	0	－	－
	(SNZOUT3)	出力	1	－	－	0	0	－	－
P65	(TI16)	入力	1	－	－	1	×	－	－
	(TO16)	出力	1	－	－	0	0	－	－
	(SNZOUT2)	出力	1	－	－	0	0	－	－
P66	(TI00)	入力	1	－	－	1	×	－	－
	(TO00)	出力	1	－	－	0	0	－	－

備考 1. × : don't care
PIORXX : 周辺 I/O リダイレクション・レジスタ
POMXX : ポート出力モード・レジスタ
PMCXX : ポート・モード・コントロール・レジスタ
PMXX : ポート・モード・レジスタ
PXX : ポートの出力ラッチ
PIMXX : ポート入力モード・レジスタ
PITHLXX : ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（6/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P67	(TI02)	入力	1	－	－	1	×	－	－
	(TO02)	出力	1	－	－	0	0	－	－
P70	ANI26	入力	－	×	1	1	×	×	×
	TI15	入力	0	×	0	1	×	0	0/1
	SI11	入力	0	×	0	1	×	0/1	0/1
	INTP8	入力	－	×	0	1	×	0	0/1
	TO15	出力	0	0	0	0	0	×	×
	KR0	入力	0	×	0	1	×	0	0/1
	SDA11	入出力	0	1	0	0	1	0/1	0/1
	SNZOUT4	出力	0	0	0	0	0	×	×
P71	ANI27	入力	－	×	1	1	×	×	×
	TI17	入力	0	×	0	1	×	0	0/1
	INTP6	入力	－	×	0	1	×	0	0/1
	TO17	出力	0	0	0	0	0	×	×
	KR1	入力	0	×	0	1	×	0	0/1
	$\overline{\text{SCK11}}$	入力	0	×	0	1	×	0/1	0/1
		出力	0	0/1	0	0	1	×	×
	SCL11	出力	0	0/1	0	0	1	×	×
	SNZOUT5	出力	0	0	0	0	0	×	×
P72	ANI28	入力	－	×	1	1	×	－	－
	KR2	入力	0	×	0	1	×	－	－
	SO11	出力	0	0/1	0	0	1	－	－
	SNZOUT6	出力	0	0	0	0	0	－	－
	(CTXD0)	出力	1	0	0	0	1	－	－
P73	ANI29	入力	－	－	1	1	×	×	×
	KR3	入力	0	－	0	1	×	0	0/1
	$\overline{\text{SSI11}}$	入力	0	－	0	1	×	0/1	0/1
	SNZOUT7	出力	0	－	0	0	0	×	×
	(CRXD0)	入力	1	－	0	1	×	0	0
P74	ANI30	入力	－	－	1	1	×	－	－
	KR4	入力	0	－	0	1	×	－	－
	(SO10)	出力	1	－	0	0	1	－	－
	(TXD1)	出力	1	－	0	0	1	－	－
P75	KR5	入力	0	－	－	1	×	－	0/1
	(SI10)	入力	1	－	－	1	×	－	0/1
	(RXD1)	入力	1	－	－	1	×	－	0/1

備考 1. × ：don't care
PIORXX ：周辺 I/O リダイレクション・レジスタ
POMXX ：ポート出力モード・レジスタ
PMCXX ：ポート・モード・コントロール・レジスタ
PMXX ：ポート・モード・レジスタ
PXX ：ポートの出力ラッチ
PIMXX ：ポート入力モード・レジスタ
PITHLXX ：ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（7/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P76	KR6	入力	0	－	－	1	×	－	0/1
	($\overline{\text{SCK10}}$)	入力	1	－	－	1	×	－	0/1
		出力	1	－	－	0	1	－	X
P77	INTP12	入力	－	－	－	1	×	－	0/1
	KR7	入力	0	－	－	1	×	－	0/1
	($\overline{\text{SSI10}}$)	入力	1	－	－	1	×	－	0/1
P80	ANI2注	入力	－	－	－	1	×	－	－
	ANO0注	出力	－	－	－	1	×	－	－
P81	ANI3注	入力	－	－	－	1	×	－	－
	IVCMP00注	入力	－	－	－	1	×	－	－
P82	ANI4注	入力	－	－	－	1	×	－	－
	IVCMP01注	入力	－	－	－	1	×	－	－
P83	ANI5注	入力	－	－	－	1	×	－	－
	IVCMP02注	入力	－	－	－	1	×	－	－
P84	ANI6注	入力	－	－	－	1	×	－	－
	IVCMP03注	入力	－	－	－	1	×	－	－
P85	ANI7注	入力	－	－	－	1	×	－	－
	IVREF0注	入力	－	－	－	1	×	－	－
P86-P87	ANI8-ANI9注	入力	－	－	－	1	×	－	－
P90-P97	ANI10-ANI17注	入力	－	－	－	1	×	－	－
P100-P105	ANI18-ANI23注	入力	－	－	－	1	×	－	－
P106	(LTXD1)	出力	1	－	－	0	1	－	－
P107	(LRXD1)	入力	1	－	－	1	×	－	0/1
P110	TI20	入力	0	－	－	1	×	－	－
	TO20	出力	0	－	－	0	0	－	－
P111	TI21	入力	0	－	－	1	×	－	－
	TO21	出力	0	－	－	0	0	－	－
P112	TI22	入力	0	－	－	1	×	－	－
	TO22	出力	0	－	－	0	0	－	－
P113	TI23	入力	0	－	－	1	×	－	－
	TO23	出力	0	－	－	0	0	－	－
P114	TI24	入力	0	－	－	1	×	－	－
	TO24	出力	0	－	－	0	0	－	－
P115	TI25	入力	0	－	－	1	×	－	－
	TO25	出力	0	－	－	0	0	－	－

注. A/D ポート・コンフィグレーション・レジスタ（ADPC）の設定によりアナログ入力に割り当ててください。

備考 1. × : don't care
PIORXX : 周辺 I/O リダイレクション・レジスタ
POMXX : ポート出力モード・レジスタ
PMCXX : ポート・モード・コントロール・レジスタ
PMXX : ポート・モード・レジスタ
PXX : ポートの出力ラッチ
PIMXX : ポート入力モード・レジスタ
PITHLXX : ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（8/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P116	TI26	入力	0	－	－	1	×	－	－
	TO26	出力	0	－	－	0	0	－	－
P117	TI27	入力	0	－	－	1	×	－	－
	TO27	出力	0	－	－	0	0	－	－
P120	ANI25	入力	－	×	1	1	×	－	－
	TI07	入力	0	×	0	1	×	－	－
	INTP4	入力	－	×	0	1	×	－	－
	TRDIOD0	入力	0	×	0	1	×	－	－
		出力	0	0	0	0	0	－	－
	SO01	出力	0	0/1	0	0	1	－	－
	TO07	出力	0	0	0	0	0	－	－
P125	ANI24	入力	－	－	1	1	×	×	×
	TI03	入力	0	－	0	1	×	0	0/1
	INTP1	入力	－	－	0	1	×	0	0/1
	TO03	出力	0	－	0	0	0	×	×
	TRDIOB0	入力	0	－	0	1	×	0	0/1
		出力	0	－	0	0	0	×	×
	$\overline{\text{SSI01}}$	入力	0	－	0	1	×	0/1	0/1
	SNZOUT1	出力	0	－	0	0	0	×	×
P126	(TI01)	入力	1	－	－	1	×	－	－
	(TO01)	出力	1	－	－	0	0	－	－
P127	(TI03)	入力	1	－	－	1	×	－	－
	(TO03)	出力	1	－	－	0	0	－	－
P130	RESOUT	出力	－	－	－	－	0	－	－
P131	INTP14	入力	－	－	－	1	×	－	－
P137	INTP0	入力	－	－	－	－	×	－	－
P140	PCLBUZ0	出力	－	－	－	0	0	－	－
	(TI20)	入力	1	－	－	1	×	－	－
	(TO20)	出力	1	－	－	0	0	－	－
P141	(TI21)	入力	1	－	－	1	×	－	－
	(TO21)	出力	1	－	－	0	0	－	－
P142	(TI22)	入力	1	－	－	1	×	－	－
	(TO22)	出力	1	－	－	0	0	－	－
P143	(TI23)	入力	1	－	－	1	×	－	－
	(TO23)	出力	1	－	－	0	0	－	－

備考 1. × ：don't care
PIORXX ：周辺 I/O リダイレクション・レジスタ
POMXX ：ポート出力モード・レジスタ
PMCXX ：ポート・モード・コントロール・レジスタ
PMXX ：ポート・モード・レジスタ
PXX ：ポートの出力ラッチ
PIMXX ：ポート入力モード・レジスタ
PITHLXX ：ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（9/9）

端子名称	兼用機能		PIORXX	POMXX	PMCXX	PMXX	PXX	PIMXX	PITHLXX
	名称	入出力							
P144	(TI24)	入力	1	－	－	1	×	－	－
	(TO24)	出力	1	－	－	0	0	－	－
P145	(TI25)	入力	1	－	－	1	×	－	－
	(TO25)	出力	1	－	－	0	0	－	－
P146	(TI26)	入力	1	－	－	1	×	－	－
	(TO26)	出力	1	－	－	0	0	－	－
P147	(TI27)	入力	1	－	－	1	×	－	－
	(TO27)	出力	1	－	－	0	0	－	－
P150	($\overline{\text{SSI11}}$)	入力	1	－	－	1	×	－	0/1
P151	SO21	出力	0	－	－	0	1	－	－
	(SO11)	出力	1	－	－	0	1	－	－
P152	SI21	入力	0	－	－	1	×	－	0/1
	(SI11)	入力	1	－	－	1	×	－	0/1
P153	$\overline{\text{SCK21}}$	入力	0	－	－	1	×	－	0/1
		出力	0	－	－	0	1	－	×
	($\overline{\text{SCK11}}$)	入力	1	－	－	1	×	－	0/1
		出力	1	－	－	0	1	－	×
P154	LRXD2	入力	－	－	－	1	×	－	0/1
	(SNZOUT7)	出力	1	－	－	0	0	－	×
P155	LTXD2	出力	－	－	－	0	1	－	－
	(SNZOUT6)	出力	1	－	－	0	0	－	－
P156	SI20	入力	0	－	－	1	×	－	0/1
	RXD2	入力	0	－	－	1	×	－	0/1
	(SNZOUT5)	出力	1	－	－	0	0	－	×
P157	SO20	出力	0	－	－	0	1	－	－
	TXD2	出力	0	－	－	0	1	－	－
	(SNZOUT4)	出力	1	－	－	0	0	－	－

備考 1. ×　　：don't care
PIORXX　：周辺 I/O リダイレクション・レジスタ
POMXX　：ポート出力モード・レジスタ
PMCXX　：ポート・モード・コントロール・レジスタ
PMXX　：ポート・モード・レジスタ
PXX　：ポートの出力ラッチ
PIMXX　：ポート入力モード・レジスタ
PITHLXX　：ポート入力閾値制御レジスタ

2. 各端子と兼用機能の関係は，144 ピン製品の場合を示しています。その他の製品で兼用機能を使用時は，異なる端子に割り当てられている場合がありますが，PIORXX，POMXX，PMCXX，PMXX，PXX, PIMXX, PITHLXX の設定は同様になります。
3. 上表の（ ）内の機能は，周辺 I/O リダイレクション・レジスタ（PIOR）の設定により割り当て可能です。

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P10は出力ポート，P11-P17は入力ポート（端子状態はすべてハイ・レベル）で，かつポート1の出力ラッチの値が00Hのとき，出力ポートP10の出力を1ビット・メモリ操作命令により"ロウ・レベル"→"ハイ・レベル"とすると，ポート1の出力ラッチの値はFFHになります。

説明： PMnmビット = 1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/F15内部で，次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

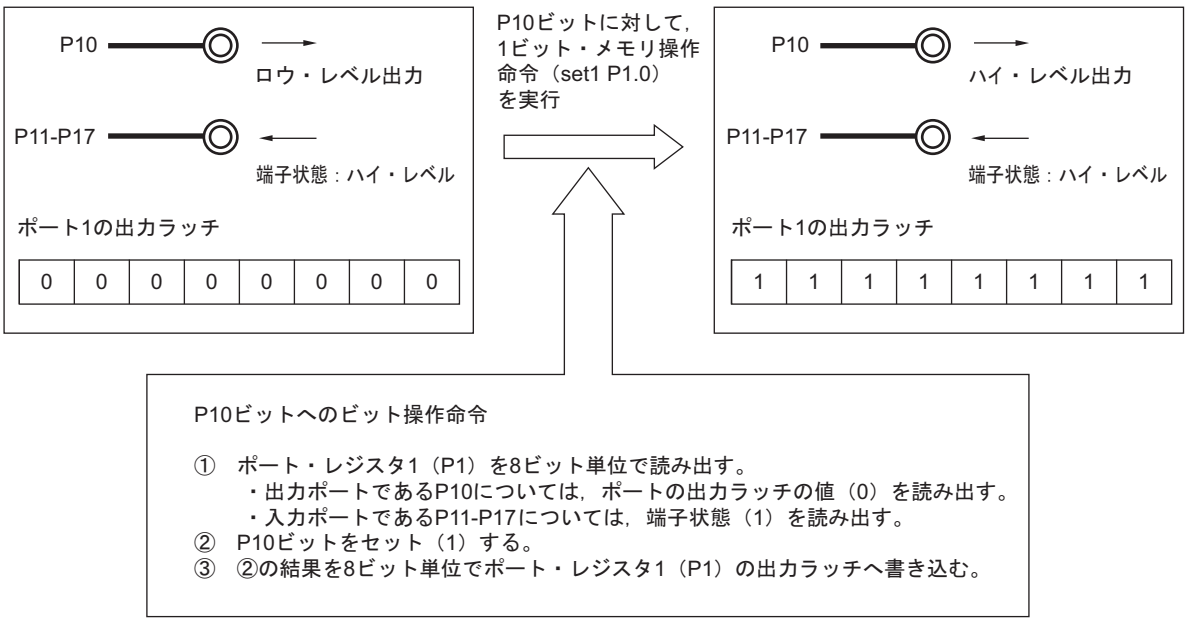
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP10は出力ラッチの値（0）を読み出し，入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が"ハイ・レベル"とすると，読み出し値はFEHとなります。

<2>の操作で，値はFFHとなります。

<3>の操作で，出力ラッチにFFHが書き込まれます。

図4－118 1ビット・メモリ操作命令（P10の場合）



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当てられた機能も同様です。兼用出力については，4.5 兼用機能使用時のレジスタ設定を参照してください。

また，PIORは，対応する機能を動作させる前に設定してください。

入力として使用する端子では，兼用機能の出力が無効（バッファ出力がHi-Z）となるので，処理不要です。

なお，入力だけや入出力のないブロックを含めて，低消費電力化のために，使用しない機能は停止させることをおすすめします。

第5章　クロック発生回路

第35章，第36章の電気的特性を満たす範囲で使用してください。

5.1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

（1）メイン・システム・クロック

① X1発振回路

X1, X2に発振子を接続することにより，f_X = 1～20 MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ（高速OCO）

ユーザ・オプション・バイト（000C2H/020C2H）により，f_{IH} = 64 MHz/48 MHz/32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/4 MHz /1 MHz（TYP.）から周波数を選択し，発振させることができます。f_{IH}に64 MHz/48 MHzを選択した場合，リセット解除後、f_{CLK}はそれぞれ32 MHz/24 MHzになります。CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します[注]。STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

ユーザ・オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は「図5－12　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット」を参照してください。

また，EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

高速システム・クロックは、OSCSELビット（クロック動作モード制御レジスタ（CMC）のビット6）とEXCLKビット（クロック動作モード制御レジスタ（CMC）のビット7）の設定により、X1クロックと外部メイン・システム・クロックを切り替えられます。

メイン・システム・クロックは，MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックを切り替えられます。

注　ただし64 MHz/48 MHz選択時は，タイマRDには64 MHz/48 MHzのクロック（f_{IH}）が供給されます。
タイマRDに64 MHz/48 MHzを供給する場合は，f_{CLK}をf_{IH}に設定してください。

（2）PLLクロック

メイン・システム・クロックを、4, 8MHzに発振させ3, 4, 6, 8逓倍に設定させることにより、f_{PLL} = 24, 32, 48, 64MHzのクロックを発振させることができます。f_{PLL}に64MHz/48MHzを設定する場合、f_{CLK}をMDIV2-0ビット（f_{MP}クロック分周レジスタ（MDIV）のビット2-0）により32MHz/24MHzに設定してください。PLLONビット（PLL制御レジスタ（PLLCTL）のビット0）の設定により、発振を停止することができます。STOPモードに移行する際は、PLLONビットを0（PLL停止）に設定してから移行してください。

備考1. PLLの入力クロック周波数は、4, 8MHzが入力可能です。高速オンチップ・オシレータ・クロックをPLLの入力クロックに設定する場合、高速オンチップ・オシレータ・クロックの発振周波数はユーザ・オプション・バイト（000C2H/020C2H）のビット4-0（FRQSEL4-0）の設定により4 MHzと8 MHzが選択可能です。
ユーザ・オプション・バイトの詳細は「第30章　オプション・バイト」を参照してください。

2. PLLクロックの逓倍数は、PLL制御レジスタ（PLLCTL）のビット1（PLLMUL）およびビット4（PLLDIV0）で設定してください。

（3）サブシステム・クロック

- XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより，f_{XT} = 32.768 kHzのクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により，発振を停止することができます。

また，EXCLKS/XT2/P124端子から外部サブシステム・クロック（f_{EXS} = 32.768 kHz）を供給することができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により，外部サブシステム・クロック入力を無効にすることができます。

サブシステム・クロックは、OSCSELSビット（クロック動作モード制御レジスタ（CMC）のビット4）とEXCLKSビット（クロック動作モード制御レジスタ（CMC）のビット5）とSELLOSCビット（クロック選択レジスタ（CKSEL）のビット0）の設定により、XT1クロックと外部サブシステム・クロックを切り替えられます。

（4）低速オンチップ・オシレータ（低速OCO）

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックは、CPU／周辺ハードウェア・クロックに使用できます。

低速オンチップ・オシレータ・クロックで動作するのは，次の周辺ハードウェアのみです。

・クロック・モニタ（f_{IL}）
・タイマRJ（f_{IL}およびf_{SL}）
・タイマRD（f_{SL}）
・クロック出力／ブザー出力制御回路（f_{SL}）
・タイマ・アレイ・ユニット0のチャネル1入力（f_{IL}）

動作スピード・モード制御レジスタ（OSMC）のビット4（WUTMMCK0）または，クロック選択レジスタ（CKSEL）のビット0（SELLOSC）のどちらか，または両方が1のときに動作します。STOPモード時に低速オンチップ・オシレータの発振を停止したい場合，WUTMMCK0 = 0かつSELLOSC = 0に設定してください。

メイン／PLL選択クロック（f_{MP}）は，SELPLLビット（PLL制御レジスタ（PLLCTL）のビット2）の設定により，メイン・システム・クロック（f_{MAIN}）とPLLクロック（f_{PLL}）を切り替えられます。

サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）は、SELLOSCビット（クロック選択レジスタ（CKSEL）のビット0）の設定により、サブシステム・クロック（f_{SUB}）と低速オンチップ・オシレータ（f_{IL}）を切り替えられます。

備考　f_X　：X1クロック発振周波数
f_{IH}　：高速オンチップ・オシレータ・クロック周波数（最大64 MHz）注1, 3
f_{EX}　：外部メイン・システム・クロック周波数
f_{MX}　：高速システム・クロック周波数
f_{MAIN}　：メイン・システム・クロック周波数
f_{XT}　：XT1クロック発振周波数
f_{EXS}　：外部サブシステム・クロック周波数
f_{SUB}　：サブシステム・クロック周波数
f_{CLK}　：CPU／周辺ハードウェア・クロック周波数
f_{IL}　：低速オンチップ・オシレータ・クロック周波数
f_{SL}　：サブ／低速オンチップ・オシレータ選択クロック周波数
f_{PLL}　：PLLクロック周波数（最大64 MHz）注2, 3
f_{MP}　：メイン／PLL選択クロック周波数（最大64 MHz）

注1. f_{IH}を64MHzまたは48MHzに設定した場合はリセット解除後、MDIVレジスタ=01H（f_{MP}/2を選択）となるようにハードウエアで制御されます。タイマRDにf_{IH}=64MHz/48MHzを供給する場合は、f_{CLK}をf_{IH}に設定してください。
2. f_{PLL}を64MHzまたは48MHzに設定する場合は、MDIV2-0（f_{MP}クロック分周レジスタ（MDIV）のビット2-0）により、1MHz～32MHz（Kグレード製品は1MHz～24MHz）に設定してください。タイマRDにf_{PLL}=64MHz/48MHzを供給する場合は、f_{CLK}をf_{PLL}に設定してください。
3. タイマRDに64MHz/48MHzを供給する場合は、MDIVレジスタ=01H（f_{MP}/2を選択）に設定してください。

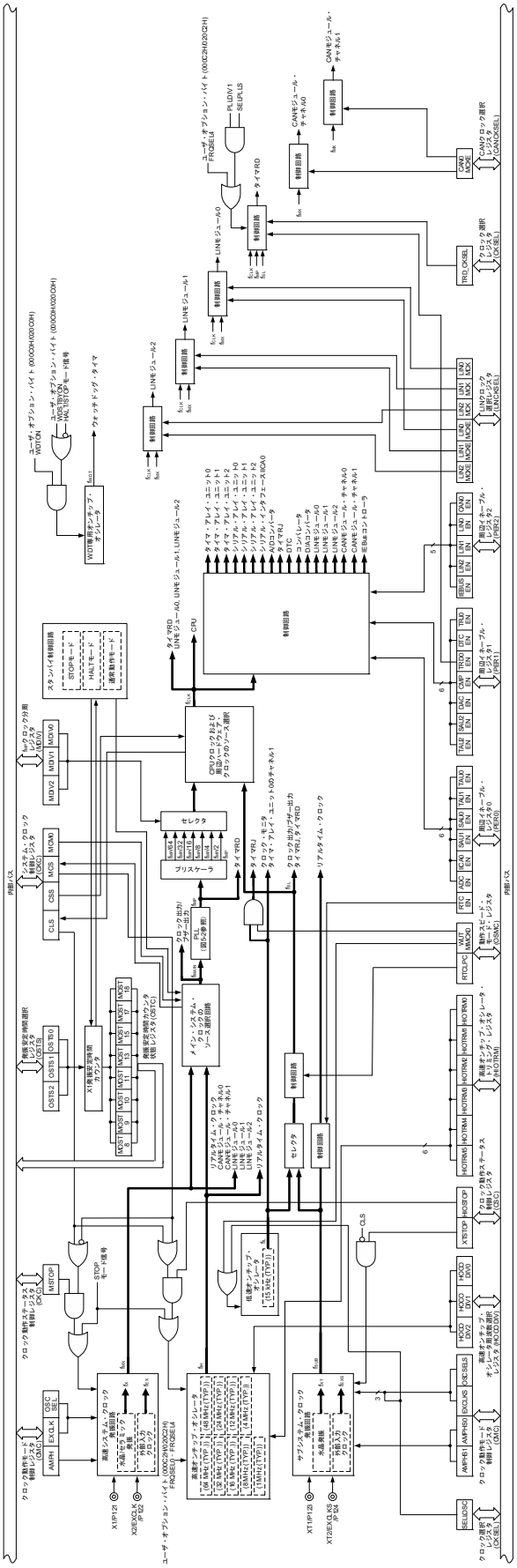
5.2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ（CMC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS） 周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2） 動作スピード・モード制御レジスタ（OSMC） 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） CANクロック選択レジスタ（CANCKSEL） LINクロック選択レジスタ（LINCKSEL） クロック選択レジスタ（CKSEL） PLL制御レジスタ（PLLCTL） PLL状態レジスタ（PLLSTS） f_{MP}クロック分周レジスタ（MDIV）
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ・クロック 低速オンチップ・オシレータ・クロック

図5－1　クロック発生回路のブロック図



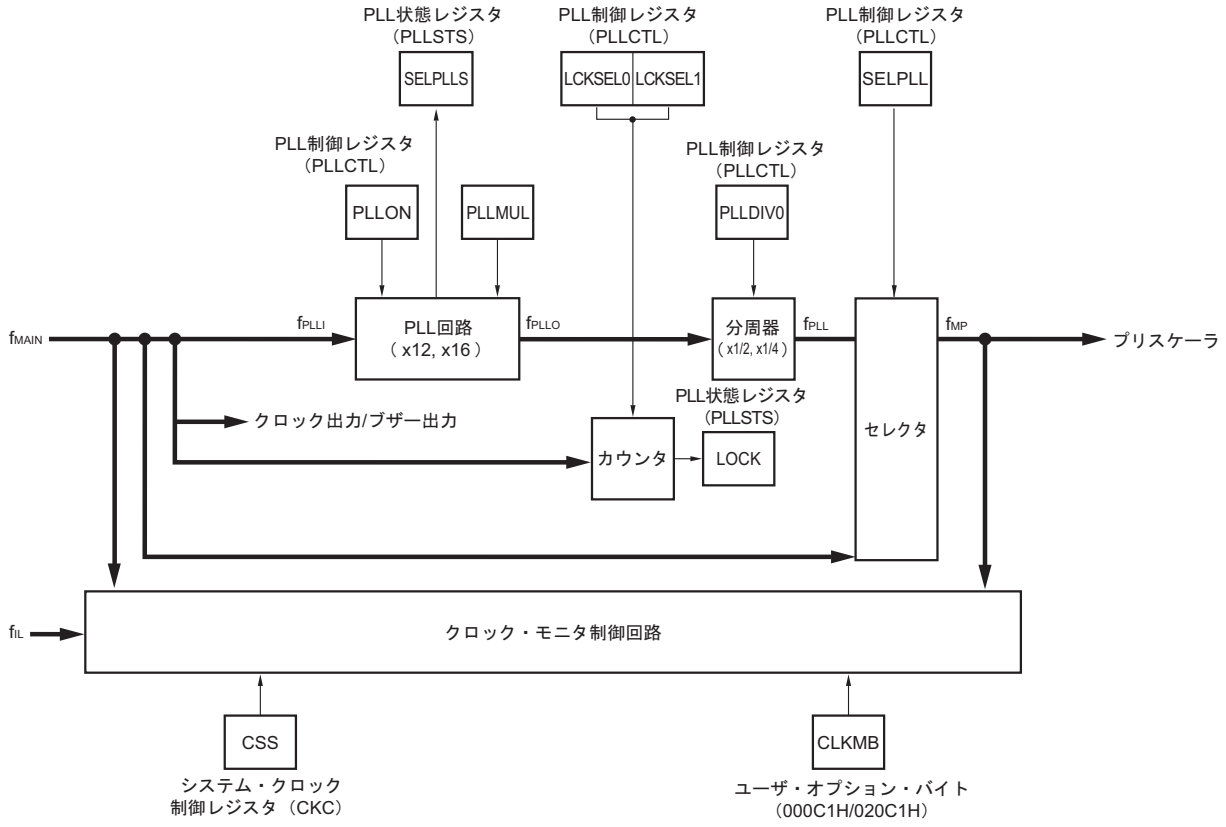
この図は144ピン版の製品を例としています。

(備考と注は次ページにあります。)

備考　f_X　：X1 クロック発振周波数
　　f_{IH}　：高速オンチップ・オシレータ・クロック周波数（最大64 MHz）注
　　f_{EX}　：外部メイン・システム・クロック周波数
　　f_{MX}　：高速システム・クロック周波数
　　f_{MAIN}　：メイン・システム・クロック周波数
　　f_{XT}　：XT1クロック発振周波数
　　f_{EXS}　：外部サブシステム・クロック周波数
　　f_{SUB}　：サブシステム・クロック周波数
　　f_{CLK}　：CPU／周辺ハードウェア・クロック周波数
　　f_{IL}　：低速オンチップ・オシレータ・クロック周波数
　　f_{SL}　：サブ／低速オンチップ・オシレータ選択クロック周波数
　　f_{MP}　：メイン／PLL選択クロック周波数
　　f_{PLL}　：PLLクロック周波数

注　f_{IH}を64 MHzまたは48 MHzに設定した場合はMDIVレジスタ=01H（f_{MP}＝2分周）となるようにハードウエアで制御されます。タイマRDに64 MHz/48 MHzを供給する場合は，f_{CLK}をf_{IH}に設定してください。

図5－2　PLL回路のブロック図



備考　f_{MAIN}　：メイン・システム・クロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック
　　f_{PLLI}　：PLL入力クロック
　　f_{PLLO}　：PLL出力クロック
　　f_{MP}　：メイン／PLL選択クロック
　　f_{PLL}　：PLLクロック

5.3　クロック発生回路を制御するレジスタ

クロック発生回路は，次のレジスタで制御します。

- クロック動作モード制御レジスタ（CMC）
- システム・クロック制御レジスタ（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- 周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）
- 動作スピード・モード制御レジスタ（OSMC）
- 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
- 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
- CANクロック選択レジスタ（CANCKSEL）
- LINクロック選択レジスタ（LINCKSEL）
- クロック選択レジスタ（CKSEL）
- PLL制御レジスタ（PLLCTL）
- PLL状態レジスタ（PLLSTS）
- f_{MP}クロック分周レジスタ（MDIV）

5.3.1　クロック動作モード制御レジスタ（CMC）

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

CMCレジスタは，IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，00Hになります。

図5－3　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

CKSEL レジスタ	CMC レジスタ		サブシステム・クロック端子の動作モード	XT1/P123 端子	XT2/EXCLKS/P124端子
SELLOSC[注1]	EXCLKS	OSCSELS			
x	0	0	入力ポート・モード	入力ポート	
0	0	1	XT1発振モード	水晶振動子接続	
1	0	1	入力ポート・モード（低速オンチップ･オシレータ動作モード）	入力ポート	
x	1	0	入力ポート・モード	入力ポート	
0	1	1	外部クロック入力モード	入力ポート	外部クロック入力
1	1	1	入力ポート・モード（低速オンチップ･オシレータ動作モード）	入力ポート	

AMPHS1	AMPHS0	XT1発振回路の発振モード選択[注2]
0	0	低消費発振（デフォルト）　発振余裕度：中
0	1	通常発振　発振余裕度：高
1	0	超低消費発振　発振余裕度：低
1	1	設定禁止

AMPH	X1クロック発振周波数の制御
0	1 MHz≦fx≦10 MHz
1	1 MHz≦fx≦20 MHz

注1.　SELLOSCビットが1の場合は、リアルタイム・クロックの入力クロック（f_{RTC}）にサブシステム・クロック（f_{SUB}）を供給できません。

2.　XT発振回路は，消費電力の低い発振モードになるにつれて，発振余裕度は厳しくなります。

注意1.　CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作を防止するためにリセット解除後は必ず00Hに設定してください。

2.　リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に，CMCレジスタを設定してください。

3.　X1クロック発振周波数が10 MHzを越える場合は，必ずAMPHビットに1を設定してください。
X1クロック周波数が1～10 MHzの場合は，AMPHビットを1に設定すると，発振余裕度が向上します。

（注意は次ページに続きます。）

注意4.　XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。

・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。

・XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。

・回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。

・XT1発振回路の周辺には，できるかぎりV_{SS}と同電位のグランド・パターンを配置してください。

・XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。

・高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。

・回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

5.3.2　システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，00Hになります。

図5－4　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU／周辺ハードウェア・クロック（f_{CLK}）のステータス
0	メイン／PLL選択クロック（f_{MP}）
1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）

CSS[注2]	CPU／周辺ハードウェア・クロック（f_{CLK}）の選択
0	メイン／PLL選択クロック（f_{MP}）を選択
1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）を選択

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	高速オンチップ・オシレータ・クロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0[注2, 3, 4]	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）に高速オンチップ・オシレータ・クロック（f_{IH}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

注1.　ビット7, 5は，Read Onlyです。

2.　CSS = 1を設定した状態で，MCM0ビットの値を変更することは禁止です。

3.　PLLON = 1を設定した状態でMCM0ビットの値を変更することは禁止です。

4.　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4=1のときに，MCM0ビットを0から1に変更する場合は、タイマRDカウント停止（TRDSTRレジスタのTSTART0およびTSTART1ビットを0），クロック出力/ブザー出力を禁止（CKS0レジスタのPCLOE0ビットを0）の状態で行ってください。

注意1.　ビット0-3には，必ず0を設定してください。

2.　CSSビットで設定したクロックは，CPUと周辺ハードウエアに供給されます。したがって，CPUクロックを変更すると，周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック，クロック出力／ブザー出力，およびウォッチドッグ・タイマは除く）。よって，CPU／周辺ハードウェア・クロックを変更する場合は，各周辺機能を停止してください。

3.　周辺ハードウェア・クロックとしてサブシステム・クロックおよび低速オンチップ・オシレータが使われている場合，A/Dコンバータ，IICAの動作は保証できません。周辺ハードウエアの動作特性については，各周辺ハードウエアの章および第35章～第36章の電気的特性を参照してください。

4.　タイマRDのカウントソースにf_{MP}を選択する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}をf_{MP}に設定してください。f_{CLK}をf_{MP}以外のクロックに変更するときは，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をクリアしたあとに変更してください。

備考　PLLクロックの設定については、「5.6.4　PLL設定例」を参照してください。

5.3.3　クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット=1のとき，ライト無効となります。

リセット信号の発生により，C0Hになります。

図5－5　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　　リセット時：C0H　　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1. リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

3. MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

4. XTSTOPビットの設定でXT1発振を開始する場合は，サブシステム・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。

5. CPU／周辺ハードウェア・クロック（f_{CLK}）に選択しているクロックは，CSCレジスタで停止させないでください。

6. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表5－2のようになります。クロックを発振停止する場合は，クロック発振停止前条件が成立した後に停止してください。

表5－2　クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU／周辺ハードウェア・クロックが高速システム・クロックまたはPLLクロック（ソースクロック = 高速システム・クロック）以外で動作（CLS（CKCレジスタのビット7）= 0かつMCS（CKCレジスタのビット5）= 0，またはCLS = 1）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CPU／周辺ハードウェア・クロックがサブシステム・クロック以外で動作（CLS = 0またはCLS = 1かつSELLOSC（CKSELレジスタのビット0）= 1）	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロックまたはPLLクロック（ソースクロック = 高速オンチップ・オシレータ・クロック）以外で動作 （CLS = 0かつMCS = 1，またはCLS = 1）	HIOSTOP = 1

5.3.4　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブ／低速オンチップ・オシレータ選択クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

備考　発振安定時間カウンタは，次の場合にカウントを開始します。

・X1クロック発振開始時（CMCレジスタのEXCLK = 0かつOSCSEL = 1のときにCSCレジスタのMSTOP = 0）

・STOPモードを解除したとき

図5－6　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

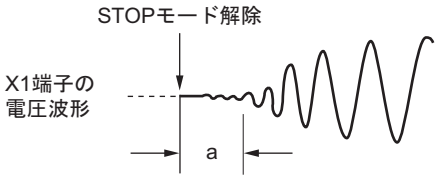
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	0	0	0	0	0	$2^8/f_X$未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	$2^8/f_X$以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	$2^9/f_X$以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	$2^{10}/f_X$以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	$2^{11}/f_X$以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	$2^{13}/f_X$以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	$2^{15}/f_X$以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_X$以上	13.10 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_X$以上	26.21 ms以上	13.10 ms以上

注意1.　上記時間経過後，MOST8ビットから順番に1となっていき，そのまま1を保持します。

2.　発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。
次のときには，OSTSレジスタの発振安定時間を，OSTCレジスタで確認したいカウント値以上に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合
（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



5.3.5　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合，OSTSレジスタで設定した時間を自動でウエイトします。

X1クロック発振開始後，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，07Hになります。

図5－7　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	25.6 μs	12.8 μs
0	0	1	$2^9/f_X$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_X$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_X$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_X$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_X$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_X$	13.10 ms	6.55 ms
1	1	1	$2^{18}/f_X$	26.21 ms	13.10 ms

注意1.　CPUクロックがX1クロック時にSTOPモードへ移行する場合は，STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

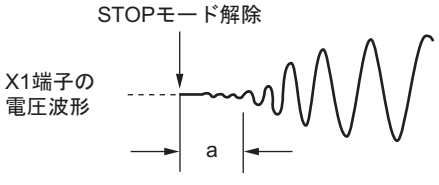
2.　OSTSレジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。

3.　X1クロックの発振安定時間中は，OSTSレジスタを変更しないでください。

4.　発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。
次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値以上に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合
（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

5.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



5.3.6　周辺イネーブル・レジスタ0, 1, 2（PER0, PER1, PER2）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- リアルタイム・クロック
- A/Dコンバータ
- シリアル・インタフェースIICA0
- シリアル・アレイ・ユニット2（144ピン、100ピン版の製品のみ）
- シリアル・アレイ・ユニット1
- シリアル・アレイ・ユニット0
- タイマ・アレイ・ユニット2（144ピン版の製品のみ）
- タイマ・アレイ・ユニット1
- タイマ・アレイ・ユニット0
- D/Aコンバータ
- コンパレータ
- タイマRD
- DTC
- タイマRJ
- LIN0
- LIN1
- LIN2（144ピン、100ピン版の製品のみ）
- CAN0
- CAN1
- IEBB

PER0, PER1, PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，00Hになります。

図5－8　周辺イネーブル・レジスタ0（PER0）のフォーマット（1/3）

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN[注1]	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN[注1]	リアルタイム・クロック（RTC）の入力クロック[注2]供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC）で使用するSFRへのライト不可 ・リアルタイム・クロック（RTC）はリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC）で使用するSFRへのリード／ライト可

注1.　RTCENビットを1に設定する前にRTCCLレジスタの設定をしてください。

2.　RTCENビットで制御可能な入力クロックは，CPUからリアルタイム・クロック（RTC）で使用するレジスタにアクセスする場合に使用されます。RTCENビットで，RTCの動作クロックの供給を制御することはできません。

注意　ビット6には必ず0を設定してください。

図5－8　周辺イネーブル・レジスタ0（PER0）のフォーマット（2/3）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

図5－8　周辺イネーブル・レジスタ0（PER0）のフォーマット（3/3）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAU1EN	タイマ・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

図5－9　周辺イネーブル・レジスタ1（PER1）のフォーマット（1/2）

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN注1	DTCEN	TAU2EN注2	SAU2EN注3	TRJ0EN

DACEN	D/Aコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入力クロック供給 ・D/Aコンバータで使用するSFRへのリード／ライト可

CMPEN	コンパレータの入力クロック供給の制御
0	入力クロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入力クロック供給 ・コンパレータで使用するSFRへのリード／ライト可

TRD0EN注1	タイマRDの入力クロック供給の制御
0	入力クロック供給停止 ・タイマRDで使用するSFRへのライト不可 ・タイマRDはリセット状態
1	入力クロック供給 ・タイマRDで使用するSFRへのリード／ライト可

注1.　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1のときは，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}をf_{IH}に設定してください。f_{CLK}をf_{IH}以外のクロックに変更するときは，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をクリアしたあとに変更してください。

2.　144ピン版の製品のみ。
144ピン版の製品以外は0を設定してください。

3.　144ピン、100ピン版の製品のみ。
144ピン、100ピン版の製品以外は0を設定してください。

注意　ビット6には必ず0を設定してください。

図5－9　周辺イネーブル・レジスタ1（PER1）のフォーマット（2/2）

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN注1	SAU2EN注2	TRJ0EN

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 ・DTCは動作不可
1	入力クロック供給 ・DTCは動作可

TAU2EN注1	タイマ・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット2で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット2はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット2で使用するSFRへのリード／ライト可

SAU2EN注2	シリアル・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット2で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット2はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット2で使用するSFRへのリード／ライト可

TRJ0EN	タイマRJ0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入力クロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可

注1.　144ピン版の製品のみ。

144ピン版の製品以外は0を設定してください。

2.　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

図5－10　周辺イネーブル・レジスタ2（PER2）のフォーマット

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	IEBUSEN	LIN2EN注	LIN1EN	LIN0EN	0	CAN0EN

IEBUSEN	IEBBの入力クロック供給の制御
0	入力クロック供給停止 ・IEBBで使用するSFRへのライト不可 ・IEBBはリセット状態
1	入力クロック供給 ・IEBBで使用するSFRへのリード／ライト可

LIN2EN注	LIN2の入力クロック供給の制御
0	入力クロック供給停止 ・LIN2で使用するSFRへのライト不可 ・LIN2はリセット状態
1	入力クロック供給 ・LIN2で使用するSFRへのリード／ライト可

LIN1EN	LIN1の入力クロック供給の制御
0	入力クロック供給停止 ・LIN1で使用するSFRへのライト不可 ・LIN1はリセット状態
1	入力クロック供給 ・LIN1で使用するSFRへのリード／ライト可

LIN0EN	LIN0の入力クロック供給の制御
0	入力クロック供給停止 ・LIN0で使用するSFRへのライト不可 ・LIN0はリセット状態
1	入力クロック供給 ・LIN0で使用するSFRへのリード／ライト可

CAN0EN	CANの入力クロック供給の制御／CANiウェイクアップ割り込みの制御
0	入力クロック供給停止 ・CANで使用するSFRへのライト不可 ・CANはリセット状態 CANiウェイクアップ割り込みを禁止
1	入力クロック供給 ・CANで使用するSFRへのリード／ライト可 CANiウェイクアップ割り込みを許可

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

注意　ビット1, 6, 7には必ず0を設定してください。

5.3.7　動作スピード・モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブ／低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモード時に，周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，00Hになります。

図5－11　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0[注]	0	0	0	0

RTCLPC	STOPモード時およびサブ／低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブ／低速オンチップ・オシレータ選択クロック供給許可 （動作許可となる周辺機能については，表24－1，表24－2および表24－3参照）
1	周辺機能へのサブ／低速オンチップ・オシレータ選択クロック供給停止

WUTMMCK0[注]	低速オンチップ・オシレータの動作制御
0	低速オンチップ・オシレータ停止
1	低速オンチップ・オシレータ動作

注　低速オンチップ・オシレータを停止する場合は，ビット4（WUTMMCK0）を0かつクロック選択レジスタ（CKSEL）のビット0（SELLOSC）を0に設定してください。

注意　RTCLPCビットを1に設定することで，STOPモード時およびサブ／低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモード時の消費電流を低減できます。ただし，サブ／低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモード時は，周辺機能へクロックを供給できなくなります。サブ／低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモードに設定する前に，周辺イネーブル・レジスタ0（PER0）のビット7（RTCEN）は1に，それ以外の0-6ビットは0にしてください。

5.3.8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

ユーザ・オプション・バイト（000C2H/020C2H）で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。ただし，ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4, FRQSEL3ビットの値によって，選択できる周波数が異なります。

HOCODIVは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，初期値（ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL2-0ビットで設定した値）になります。

図5－12　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　　リセット時：ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL2-0ビットで設定した値　　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			24MHzベース	32MHzベース	48MHzベース	64MHzベース
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	f_{IH} = 32 MHz	f_{IH} = 48 MHz	f_{IH} = 64 MHz
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz	f_{IH} = 24 MHz	f_{IH} = 32 MHz
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz	f_{IH} = 12 MHz	f_{IH} = 16 MHz
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz	f_{IH} = 6 MHz	f_{IH} = 8 MHz
1	0	0	設定禁止	f_{IH} = 2 MHz	設定禁止	f_{IH} = 4MHz
1	0	1	設定禁止	f_{IH} = 1 MHz	設定禁止	f_{IH} = 2 MHz
上記以外			設定禁止			

注意1.　システム・クロックに高速オンチップ・オシレータ・クロックを設定しているときは，HOCODIVレジスタで値を変更してから，3クロック間は設定前の周波数で動作します。

2.　システム・クロックにX1発振／外部発振入力／サブシステム・クロック／低速オンチップ・オシレータ・クロックを設定しているときに高速オンチップ・オシレータの周波数を変更する場合は，CSCレジスタのビット0（HIOSTOP）を1にセットし，高速オンチップ・オシレータを停止させてから周波数を変更してください。

3.　X1発振／外部発振入力をPLLクロックのクロック・ソースに設定かつPLLクロックをシステム・クロックに設定しているときに高速オンチップ・オシレータの周波数を変更する場合は，CSCレジスタのビット0（HIOSTOP）を1にセットし，高速オンチップ・オシレータを停止させてから周波数を変更してください。

4.　高速オンチップ・オシレータ・クロックをPLLクロックのクロック・ソースに設定かつPLLクロックをシステム・クロックに設定している場合，HOCODIVレジスタの設定を切り替えないでください。

5.3.9　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し，精度補正することができます。

HIOTRMは，8ビット・メモリ操作命令で設定します。

注意　精度補正後に温度，V_{DD}端子電圧に変化があった場合，周波数は変動します。
温度，V_{DD}電圧が変動する場合は，周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5－13　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス：F00A0H　　リセット時：注　　R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	▲
0	0	0	0	1	0	｜
0	0	0	0	1	1	｜
0	0	0	1	0	0	｜
・	・	・	・	・	・	｜
・	・	・	・	・	・	｜
・	・	・	・	・	・	｜
1	1	1	1	1	0	▼
1	1	1	1	1	1	最高速

注　リセット時の値は一つ一つのチップで異なります。

備考　高速オンチップ・オシレータ・クロック精度をHIOTRMレジスタ1ビットあたり約0.05%補正できます。

5.3.10　CANクロック選択レジスタ（CANCKSEL）

CANへのX1クロック（fx）を制御するレジスタです。

CANCKSELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図5－14　CANクロック選択レジスタ（CANCKSEL）のフォーマット

アドレス：F02C2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CANCKSEL	0	0	0	0	0	0	0	CAN0MCKE

CAN0MCKE	CANのX1クロック（fx）の供給/停止制御
0	CANのX1クロック（fx）を停止
1	CANのX1クロック（fx）を供給

注意　CAN0, CAN1ともにビット0で制御します。チャネルごとの制御はできません。

5.3.11　LINクロック選択レジスタ（LINCKSEL）

LINへの通信クロック源を制御するレジスタです。

LINCKSELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図5－15　LINクロック選択レジスタ（LINCKSEL）のフォーマット

アドレス：F02C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	LIN2MCKE注	LIN1MCKE	LIN0MCKE	0	LIN2MCK注	LIN1MCK	LIN0MCK

LIN2MCKE注	LIN2の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN1MCKE	LIN1の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN0MCKE	LIN0の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN2MCK注	LIN2の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN1MCK	LIN1の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN0MCK	LIN0の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

注意1.　LINnMCKE (n = 0-2) を1にする前に，LINnMCKでLINnの動作クロックを選択してください。

2.　SNOOZE時にLINnを動作させる場合，LINnMCK = 0に設定してください。

3.　LINnMCKを“1”（f_{MX}クロックを選択）で使用する場合，タイムアウトエラーを使用しないでください。

その場合，f_{CLK}クロックはLIN通信クロック源の1.2倍以上の周波数でご使用ください。

5.3.12　クロック選択レジスタ（CKSEL）

CPUクロック（f_{SUB}/f_{IL}）およびタイマRJ，タイマRD，クロック出力／ブザー出力のクロックを選択するレジスタです。SELLOSCビットは、CMCレジスタとの組み合わせによって、サブシステム・クロックの動作モードを設定します。詳細は「図5－3　クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図5－16　クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	0	0	0	0	0	TRD_CKSEL	0	SELLOSC注5, 6

TRD_CKSEL	TRDのクロック選択制御
0	f_{CLK}、f_{MP}注1を選択
1	f_{SL}注2を選択

SELLOSC注5, 6	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{SUB}注3を選択および低速オンチップ・オシレータ停止
1	f_{IL}注4を選択および低速オンチップ・オシレータ動作

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1の場合およびPLLCTLレジスタのPLLDIV1 = 1（f_{PLL}＞32MHz）の場合，TRD_CKSELビットを0にしてください。

ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1もしくは，PLLCTLレジスタのPLLDIV1 = 1（f_{PLL}＞32MHz）の場合，タイマRDクロックはf_{MP}となります。

2. タイマRDクロックにf_{SL}を選択する場合、周辺イネーブル・レジスタ1(PER1)のTRD0ENビットを1にする前に、CPUクロックはf_{SL}を選択（CKCレジスタのCSSビットを1）してください。
3. f_{SUB}をCPU／周辺ハードウェア・クロックにする場合は、あらかじめSELLOSCビットを0にした後、CKCレジスタのCSSビットを1にしてください。
4. f_{IL}をCPU／周辺ハードウェア・クロックにする場合は、あらかじめSELLOSCビットを1にした後、CKCレジスタのCSSビットを1にしてください。
5. SELLOSCビットを1にした場合，低速オンチップ・オシレータが動作します。低速オンチップ・オシレータを停止する場合は，OSMCレジスタのWUTMMCK0ビットを0かつSELLOSCビットを0にしてください。
6. SELLOSCビットが1の場合は，リアルタイム・クロックの入力クロック（f_{RTC}）にサブシステム・クロック（f_{SUB}）を供給できません。

5.3.13　PLL制御レジスタ（PLLCTL）

PLL機能を制御するレジスタです。CPUクロックおよび周辺ハードウェア・クロックとしてシステム・クロックを逓倍なしまたは3, 4, 6, 8逓倍したクロックを選択することができます。

PLLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図5－17　PLL制御レジスタ（PLLCTL）のフォーマット

アドレス：F02C5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0	0	SELPLL	PLLMUL	PLLON

LCKSEL1	LCKSEL0	ロックアップ待ちカウンタの設定制御
0	0	128/f_{MAIN}を選択
0	1	256/f_{MAIN}を選択
1	0	512/f_{MAIN}を選択
1	1	設定禁止

PLLDIV1	PLL出力クロック選択制御
0	f_{PLL}≦32MHzの場合
1	f_{PLL}＞32MHzの場合

PLLDIV0	PLL分周選択制御
0	2分周
1	4分周

SELPLL	クロック・モード選択制御
0	クロック・スルー・モード（f_{MAIN}）
1	PLLクロック選択モード（f_{PLL}）

PLLMUL	PLL逓倍選択制御
0	12逓倍
1	16逓倍
PLLMULビットを設定後、1μs以上経過してから，PLLONビットを1に設定してください。	

PLLON	PLL動作制御
0	PLL停止
1	PLL動作
PLL動作開始後、周波数安定のためにロックアップ待ち時間が必要となります。	

注意1.　PLL出力が安定していない状態（PLLSTSレジスタのLOCKビット= 0）のとき，SELPLLビットは書き込み禁止です。

2.　クロック・モニタ機能がメイン／PLL選択クロックの停止を検出したとき，SELPLLビットは自動的にクリアされません。

3.　クロック・モニタ機能がメイン／PLL選択クロックの停止を検出したとき，PLLSTSレジスタのSELPLLSビットは自動的にクリアされます。

（注意は次ページに続きます。）

4. クロック・モニタ機能がメイン／PLL選択クロックの停止を検出したとき，SELPLLビットをセット（SELPLL = 1）してもクロック・スルー・モードになります。
5. ロックアップ待ち時間のカウンタは，40μs以上の時間となる設定を選択してください。
6. PLL動作開始時は，PLLがロックするまで待ち時間が必要になります。
7. PLL使用時，PLLの入力クロックと逓倍数は以下に示す組み合わせのみ可能です。また，PLL未使用時（PLLON = 0またはSELPLL = 0）は，1～32MHzの任意の入力クロックを選択可能です。

PLLCTLレジスタ			入力可能周波数（f_{MAIN}）	逓倍	分周	出力可能周波数（f_{PLL}）
PLLMUL	PLLDIV1	PLLDIV0				
0	0	0	4MHz±2%	×12	1/2	24MHz±2%
0	0	1	8MHz±2%	×12	1/4	24MHz±2%
0	1	0	8MHz±2%	×12	1/2	48MHz±2%
1	0	0	4MHz±2%	×16	1/2	32MHz±2%
1	0	1	8MHz±2%	×16	1/4	32MHz±2%
1	1	0	8MHz±2%	×16	1/2	64MHz±2%
上記以外			設定禁止			

8. PLLON = 0のとき，PLLONビットとSELPLLビットへの8ビット・アクセスによる同時書き換えは禁止です。
9. PLLONビットをクリア（0）すると，SELPLLビットも自動的にクリアされます（クロック・スルー・モード）。
10. STOPモードに移行する際は，PLLON = 0にしてから移行してください。
11. PLLON = 1に設定した状態で，CKCレジスタのMCM0ビットの値を変更しないでください。
12. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1の場合，PLLDIV1 = 0（f_{PLL}≦32MHz）にしてください。
13. PLLDIV1=1（f_{PLL}＞32MHz）でSELPLLビットを1から0に切り替える際は、タイマRDカウント停止状態（TRDSTRレジスタのTSTART0ビット, TSTART1ビットを0）にしたのち、行ってください。
14. PLLON=1にした状態で、LCKSEL1, LCKSEL0, PLLDIV1, PLLDIV0, PLLMULビットの値を変更しないでください。

備考　PLLONとSELPLLを設定した場合，PLLSTSレジスタのLOCK，SELPLLSビットの状態によってf_{PLL}の選択クロックが決まります。PLLON，SELPLL，LOCK，SELPLLSの各状態によるf_{PLL}を次に示します。

PLLON	SELPLL	LOCK	SELPLLS	選択クロック（f_{PLL}）
0	0	0	0	メイン・システム・クロック（f_{MAIN}）
1	0	0	0	メイン・システム・クロック（f_{MAIN}）
1	0	1	0	メイン・システム・クロック（f_{MAIN}）
1	1	1	0	メイン・システム・クロック（f_{MAIN}） SELPLL=1に設定後、逓倍クロックに切り替わっていない状態
1	1	1	1	PLLクロック（f_{PLL}）
上記以外				設定禁止

5.3.14　PLL状態レジスタ（PLLSTS）

PLLクロックの動作状態を示すレジスタです。

PLLSTSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出してください。

リセット信号の発生により，00Hになります。

図5－18　PLL状態レジスタ（PLLSTS）のフォーマット

アドレス：F02C6H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
PLLSTS	LOCK	0	0	0	SELPLLS	0	0	0

LOCK	PLLロック状態
0	アンロック状態
1注	ロック状態
ロックアップ待ちカウンタのオーバフロー時にセット（1）されます。	

SELPLLS	クロック・モードの状態
0	クロック・スルー・モード（f_{MAIN}）
1	PLLクロック選択モード（f_{PLL}）

注　PLL動作開始時は、PLLがロック状態（LOCK = 1）になるまでの時間が必要になります。

5.3.15　f_{MP}クロック分周レジスタ（MDIV）

f_{MP}クロックを分周（1/2, 1/4, 1/8, 1/16, 1/32, 1/64）するレジスタです。

MDIVレジスタは，8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図5－19　f_{MP}クロック分周レジスタ（MDIV）のフォーマット

アドレス：F02C7H　　リセット時：00H/01H[注]　　R/W

略号	7	6	5	4	3	2	1	0
MDIV	0	0	0	0	0	MDIV2	MDIV1	MDIV0

MDIV2	MDIV1	MDIV0	f_{MP}クロック分周制御
0	0	0	f_{MP}を選択
0	0	1	f_{MP}/2を選択
0	1	0	f_{MP}/4を選択
0	1	1	f_{MP}/8を選択
1	0	0	f_{MP}/16を選択
1	0	1	f_{MP}/32を選択
1	1	0	f_{MP}/64を選択
上記以外			設定禁止

注　MDIVレジスタのMDIV0ビットはユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4の値が初期値となります。

注意1.　MDIVレジスタを設定する際は、f_{MP}分周後の周波数を1MHz～32MHz（Kグレード製品は1MHz～24MHz）にしてください。

2.　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1の場合、MDIV2～0 = 001（2分周）にしてください。ただし，PLL発振停止検出によるクロック・スルー・モード時は，MDIV2～0 = 001（2分周）にする必要はありません。

3.　PLLCTLレジスタのPLLDIV1 = 1（f_{PLL} > 32MHz）の場合、MDIV2～0 = 001（2分周）にしてください。ただし，PLL発振停止検出によるクロック・スルー・モード時は，MDIV2～0 = 001（2分周）にする必要はありません。

4.　f_{IH}に64MHz/48MHzを選択した場合、MDIVレジスタの初期設定が2分周となり、f_{CLK}はそれぞれ32MHz/24MHzとなります。

5.4　システム・クロック発振回路

5.4.1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また，外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

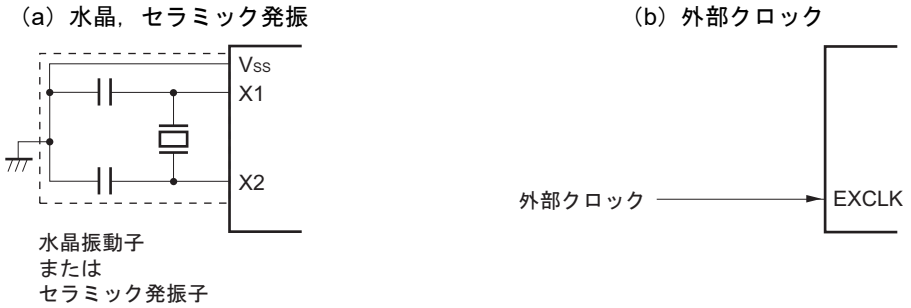
- 水晶，セラミック発振　　：EXCLK, OSCSEL = 0, 1
- 外部クロック入力　　：EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，「2.3　未使用端子の処理」を参照し，未使用端子処理を実施してください。

図5－20にX1発振回路の外付け回路例を示します。

図5－20　X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2　XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

また，外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。

XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット5, 4（EXCLKS, OSCSELS）を次のように設定してください。

- 水晶発振　　：EXCLKS, OSCSELS = 0, 1
- 外部クロック入力　　：EXCLKS, OSCSELS = 1, 1

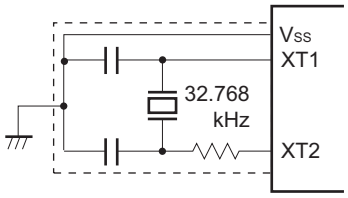
XT1発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，「2.3　未使用端子の処理」を参照し，未使用端子処理を実施してください。

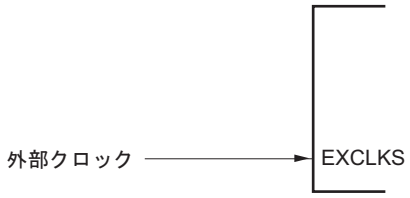
図5－21にXT1発振回路の外付け回路例を示します。

図5－21　XT1発振回路の外付け回路例

（a）水晶発振



（b）外部クロック



注意　X1発振回路およびXT1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－20，図5－21の破線の部分を次のように配線してください。

・配線は極力短くしてください。

・他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。

・発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。

・発振回路から信号を取り出さないでください。

特に，XT1発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。

・端子や回路基板には寄生容量が含まれています。したがって，実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。

・XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。

・回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。

・XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。

・XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。

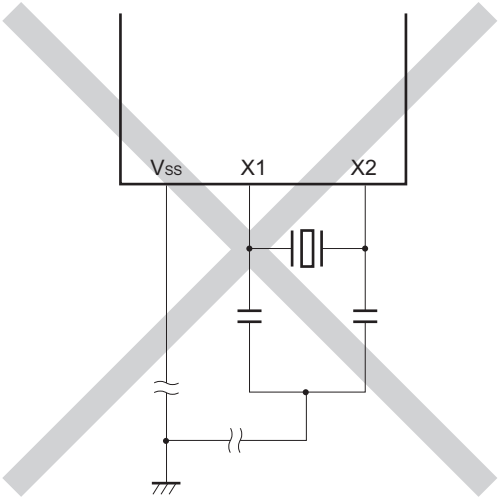
・高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。

・回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

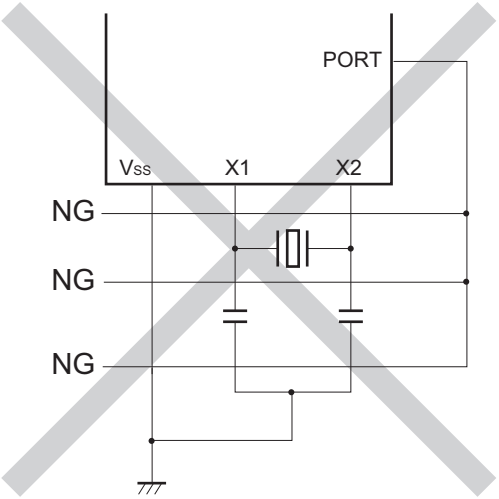
図5－22に発振子の接続の悪い例を示します。

図5－22　発振子の接続の悪い例（1/2）

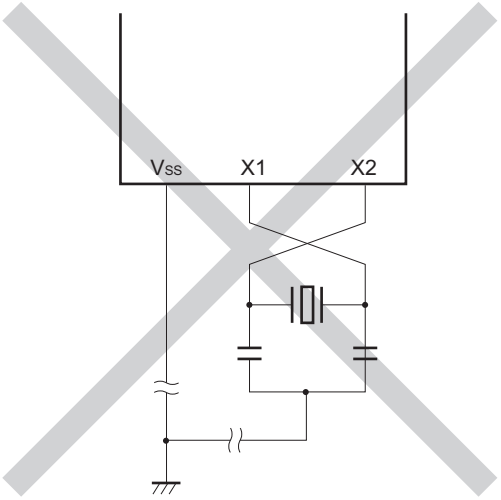
（a）接続回路の配線が長い



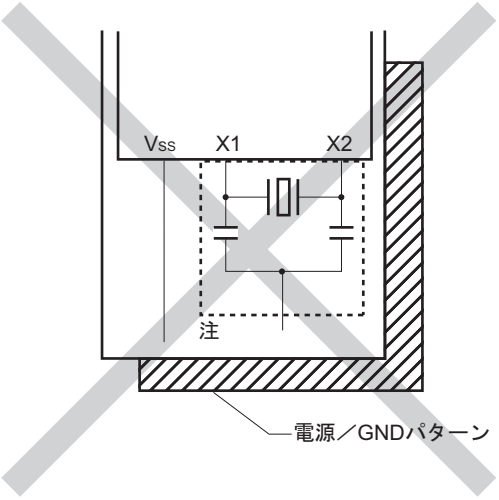
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



（d）X1, X2配線の下に電源／GNDパターンがある

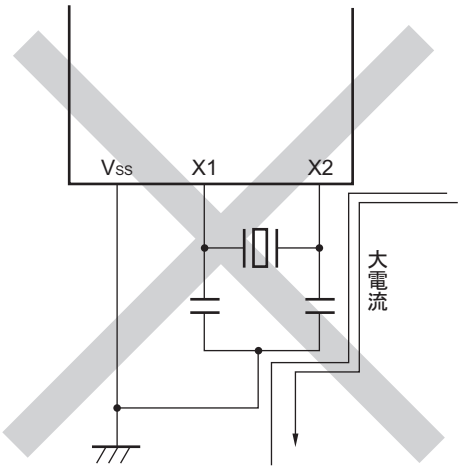


注　多層基板や両面基板において，X1, X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

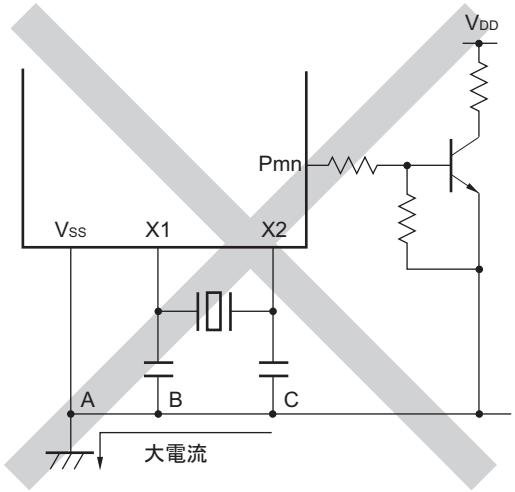
備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

図5－22　発振子の接続の悪い例（2/2）

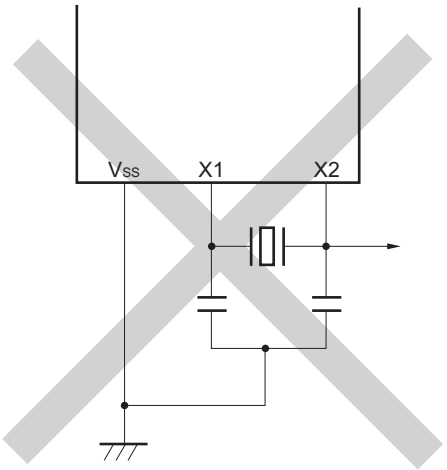
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（g）信号を取り出している



注意　X2とXT1が平行に配線されている場合，X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

5.4.3　高速オンチップ・オシレータ

RL78/F15は，高速オンチップ・オシレータを内蔵しています。ユーザ・オプション・バイト（000C2H/020C2H）により64 MHz，48 MHz，32 MHz，24 MHz，16 MHz，12 MHz，8 MHz，4 MHz，1 MHzから周波数を選択できます。64 MHz，48 MHzを選択した場合は，リセット解除後，CPUクロックはf_{MP}クロック分周レジスタ（MDIV）によって2分周した周波数になります。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）により発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4　PLL回路

RL78/F15は, PLL回路を内蔵しています。PLL制御レジスタ（PLLCTL）のビット0（PLLON）で動作を制御できます。

5.4.5　低速オンチップ・オシレータ

RL78/F15は, CPU／周辺ハードウェア・クロックに使用可能な低速オンチップ・オシレータを内蔵しています。

5.4.6　WDT専用低速オンチップ・オシレータ

RL78/F15は，WDT専用低速オンチップ・オシレータを内蔵しています。

WDT専用低速オンチップ・オシレータ・クロックはウォッチドッグ・タイマのクロックとして使用します。CPUクロックとしては使用できません。

ユーザ・オプション・バイト（000C0H/020C0H）のビット4（WDTON）が1のとき動作します。ウォッチドッグ・タイマ動作中は，WDT専用低速オンチップ・オシレータの発振は継続します。ウォッチドッグ・タイマ動作時にプログラムが暴走する場合においても，WDT専用低速オンチップ・オシレータ・クロックが停止することはありません。

5.5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

○メイン・システム・クロック　f_{MAIN}
- 高速システム・クロック　f_{MX}
  - X1クロック　f_X
  - 外部メイン・システム・クロック　f_{EX}
- 高速オンチップ・オシレータ・クロック　f_{IH}

○サブシステム・クロック　f_{SUB}
- XT1クロック　f_{XT}
- 外部サブシステム・クロック　f_{EXS}

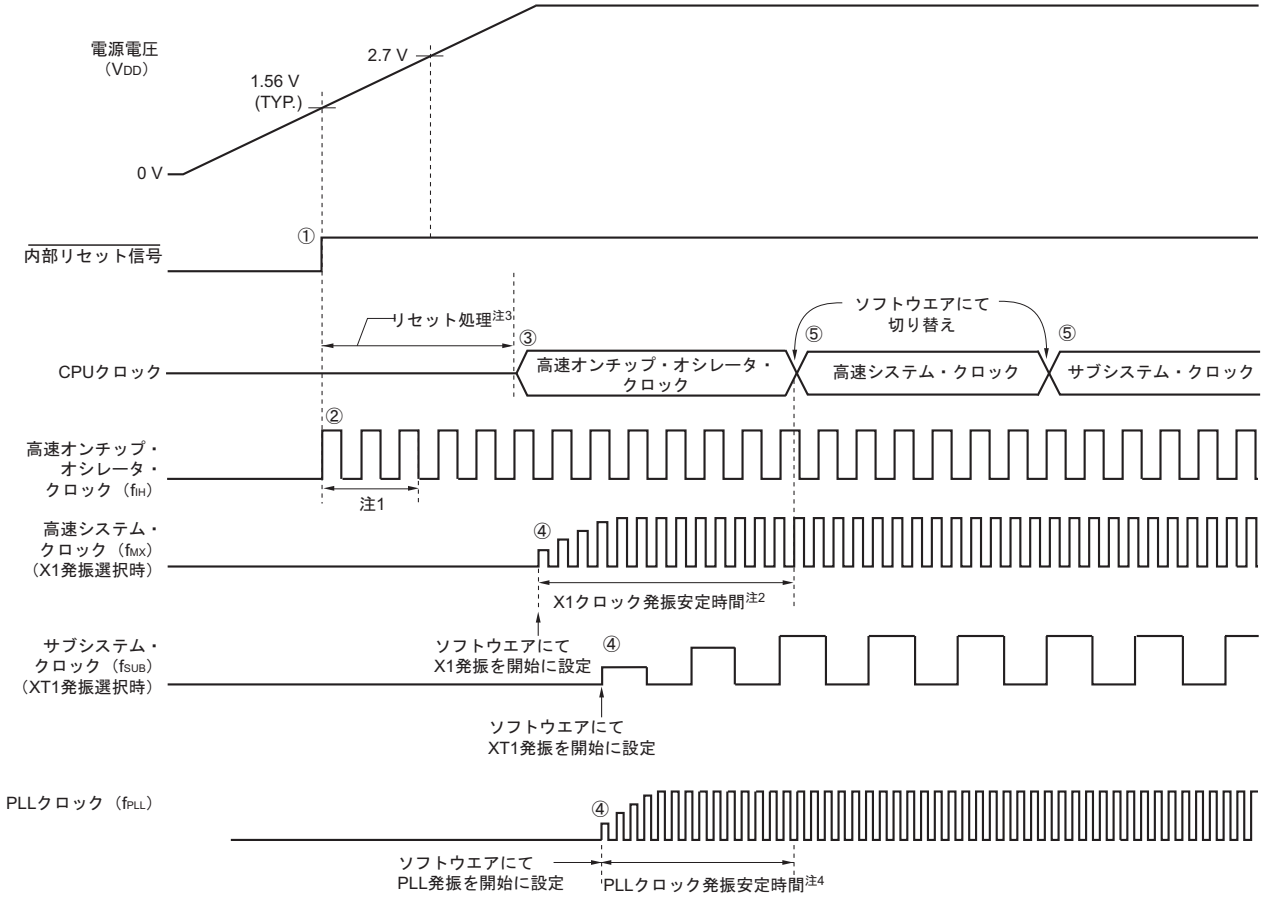
○PLLクロック　f_{PLL}

○低速オンチップ・オシレータ・クロック　f_{IL}

○CPU／周辺ハードウェア・クロック　f_{CLK}

RL78/F15では，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を，図5－23に示します。

図5－23　電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生されます。

② 電源電圧が1.56 V（TYP.）を越えると，リセットが解除され，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電源／レギュレータの電圧安定待ちなどのリセット処理が行われたのちに，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロック, XT1クロック，低速オンチップ・オシレータ, PLLクロックは，ソフトウエアにて発振開始を設定してください（「5.6.2　X1発振回路の設定例」，「5.6.3　XT1発振回路の設定例」，「5.6.4　PLL設定例」，「5.6.5　低速オンチップ・オシレータ設定例」を参照）。

⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください（「5.6.2　X1発振回路の設定例」，「5.6.3　XT1発振回路の設定例」を参照）。

注1.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

3.　リセット処理時間は「第26章　パワーオン・リセット回路」を参照してください。

4.　PLLが動作開始するときは, PLLがロック状態（LOCK = 1）になるまでの時間が必要になります。

注意　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

5.6　クロックの制御

5.6.1　高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL0-FRQSEL4により，64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 4 MHz, 1 MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により，周波数を変更することもできます。

【ユーザ・オプション・バイト設定】

アドレス：000C2H/020C2H　　リセット時：– (ユーザの設定値)

	7	6	5	4	3	2	1	0
オプション バイト	1	1	RESOUTB 0/1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
					f_{IH}
1	1	0	0	0	64 MHz
1	0	0	0	0	48 MHz
0	1	0	0	0	32 MHz
0	0	0	0	0	24 MHz
0	1	0	0	1	16 MHz
0	0	0	0	1	12 MHz
0	1	0	1	0	8 MHz
0	1	0	1	1	4 MHz
0	1	1	0	1	1 MHz
上記以外					設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			24MHzベース	32MHzベース	48MHzベース	64MHzベース
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	f_{IH} = 32 MHz	f_{IH} = 48 MHz	f_{IH} = 64 MHz
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz	f_{IH} = 24 MHz	f_{IH} = 32 MHz
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz	f_{IH} = 12 MHz	f_{IH} = 16 MHz
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz	f_{IH} = 6 MHz	f_{IH} = 8 MHz
1	0	0	設定禁止	f_{IH} = 2 MHz	設定禁止	f_{IH} = 4MHz
1	0	1	設定禁止	f_{IH} = 1 MHz	設定禁止	f_{IH} = 2 MHz
上記以外			設定禁止			

5.6.2　X1発振回路の設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1発振クロックに変更する場合，クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】以下の順に設定してください。

① CMCレジスタのOSCSELビットをセット（1），10 MHz以上の場合はAMPHビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	1

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
（例）10 MHzの発振子で102.4 μs以上までウエイトする場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
（例）10 MHzの発振子で102.4 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	0	1	0	0	0	0

⑥ CKCレジスタのMCSビットでCPU／周辺ハードウェア・クロックにf_{MX}（X1発振クロック）が選択されていることを確認します（MCS = 1）。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	0	1	1	0	0	0	0

5.6.3　XT1発振回路の設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，XT1発振クロックに変更する場合，動作スピード・モード制御レジスタ（OSMC），クロック選択レジスタ（CKSEL），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，システム・クロック制御レジスタ（CKC）でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】以下の順に設定してください。

① STOPモードおよびサブ／低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモード時にOSMCレジスタのRTCLPCビットで周辺機能へのクロック供給／停止を選択をします。
RTCLPC =0の場合，周辺機能へサブ／低速オンチップ・オシレータ選択クロックの供給を許可します。
RTCLPC =1 の場合，周辺機能へサブ／低速オンチップ・オシレータ選択クロックを停止します。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC			WUTMMCK0				
	0/1	0	0	0	0	0	0	0

② CKSELレジスタのSELLOSCビットでf_{SUB}を選択します。
SELLOSC=0にしてf_{SL}をXT1発振クロックに設定します。

	7	6	5	4	3	2	1	0
CKSEL						TRD_CKSEL		SELLOSC
	0	0	0	0	0	0	0	0

③ CMCレジスタのOSCSELSビットでサブシステム・クロックの動作モードを選択します。
OSCSELS=1にしてXT1発振モードまたは外部クロック入力モードに設定します。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	0	0	1	0	0/1	0/1	0

AMPHS0, AMPHS1ビット：XT1発振回路の発振モードを設定します。

④ CSCレジスタのXTSTOPビット=0にしてXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	0	0	0	0	0	0	0

⑤ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウエアでウエイトしてください。

⑥ CKCレジスタのCSSビットでCPU／周辺ハードウェア・クロックを選択します。CSS=1にしてCPUクロック＝f_{SL}（XT1発振クロック）に設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	1	0	0	0	0	0	0

⑦ CKCレジスタのCLSビットでCPU／周辺ハードウェア・クロックにf_{SL}（XT1発振クロック）が選択されていることを確認します（CLS = 1）。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	1	1	0	0	0	0	0	0

5.6.4 PLL設定例

次のPLL設定手順を以下に示します。

- PLLクロックを発振してCPUクロックに設定する場合
- PLLクロックを停止する場合

【レジスタ設定】以下の順に設定してください。

（1）PLLクロックを発振する場合の設定手順例

① PLLCTLレジスタのPLLDIV1ビットでPLL出力クロックの周波数を選択します。
PLLクロック≦32MHzの場合, PLLDIV1=0に設定してください。PLLクロック＞32MHzの場合, PLLDIV1=1に設定してください。

	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0		SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0	0	0/1	0

② PLLCTLレジスタのLCKSEL1-0ビットでPLLロックアップ待ちカウンタの設定を選択します。
PLLロックアップ待ち時間のカウンタは, 40 μs以上の時間となる設定を選択します。PLLのソースクロック（f_{MAIN}）=4MHzの場合, LCKSEL1-0=01またはLCKSEL1-0=10に設定してください。PLLのソースクロック（f_{MAIN}）=8MHzの場合, LCKSEL1-0=10に設定してください。

③ PLLCTLレジスタのPLLDIV0ビットでPLLの分周比を選択します。
PLLDIV0=0の場合, PLLの分周比は2分周となります。PLLDIV0=1の場合, PLLの分周比は4分周となります。

④ PLLCTLレジスタのPLLMULビットでPLLの逓倍を選択します。
PLLMUL=0の場合, PLLの逓倍は12逓倍となります。PLLMUL=1の場合, PLLの逓倍は16逓倍となります。

⑤ PLLの逓倍選択待ちを行います。PLLMULを設定後, 1 μs以上待ってください。

⑥ PLLCTLレジスタのPLLONビットを1に設定すると, PLLクロックは発振を開始します。

	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0		SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0	0	0/1	1

⑦　PLLSTSレジスタのLOCKビットでPLLがロック状態（LOCK=1）であることを確認します。

	7	6	5	4	3	2	1	0
PLLSTS	LOCK							
	1	0	0	0	0	0	0	0

⑧　MDIVレジスタのMDIVビットを設定して，PLLクロックを1MHz～32MHzに設定してください。

（例）f_{MP}/2を選択する場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
MDIV						MDIV2	MDIV1	MDIV0
	0	0	0	0	0	0	0	1

⑨　PLLCTLレジスタのSELPLLビットでPLLクロック・モードを選択します。

SELPLL=1にしてPLLクロック選択モード（f_{MP} = f_{PLL}）に設定します。

	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0		SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0	1	0/1	1

⑩　PLLSTSレジスタのSELPLLSビットでPLLクロック・モードが選択されていることを確認します。

（SELPLLS=1）

	7	6	5	4	3	2	1	0
PLLSTS	LOCK				SELPLLS			
	1	0	0	0	1	0	0	0

（2）PLLクロックを停止する場合の設定手順例

PLLクロックを停止するには、次の方法があります。

- PLLONを0に設定し、PLLクロックを停止する場合

①　PLLCTLレジスタのSELPLLビットでPLLクロック・モードを選択します。

SELPLL=0にし、クロック・スルー・モード（f_{PLL}=f_{MAIN}）に設定します。

	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0		SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0	0	0/1	1

②　PLLSTSレジスタのクロック・スルー・モードになっていること（SELPLLS=0）を確認します。

	7	6	5	4	3	2	1	0
PLLSTS	LOCK				SELPLLS			
	0/1	0	0	0	0	0	0	0

③　PLLCTLレジスタのPLLONビットを0に設定すると，PLLクロックは発振を停止します。

	7	6	5	4	3	2	1	0
PLLCTL	LCKSEL1	LCKSEL0	PLLDIV1	PLLDIV0		SELPLL	PLLMUL	PLLON
	0/1	0/1	0/1	0/1	0	0	0/1	0

（3）PLLクロックを停止後、再動作させる場合の注意点

PLLクロックを停止後、再動作させる場合はPLLを停止してから4 μs以上待ってから再動作させてください。

5.6.5　低速オンチップ・オシレータ設定例

低速オンチップ・オシレータをCPUクロックに設定する際の設定例を以下に示します。

① CKSELレジスタのSELLOSCビットでf_{IL}を選択します。

SELLOSC=1にしてf_{SL}を低速オンチップ・オシレータに設定します。

	7	6	5	4	3	2	1	0
CKSEL						TRD_CKSEL		SELLOSC
	0	0	0	0	0	0	0	1

② CMCレジスタのOSCSELSビットでサブシステム・クロックの動作モードを選択します。

OSCSELS=1にして入力ポート・モード（低速オンチップ・オシレータ動作モード）に設定します。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	0	0	1	0	0/1	0/1	0

③ CKCレジスタのCSSビットでCPU／周辺ハードウェア・クロックを選択します。

CSS=1にしてCPUクロック=f_{SL}（低速オンチップ・オシレータ）に設定します。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	0	1	0	1	0	0	0	0

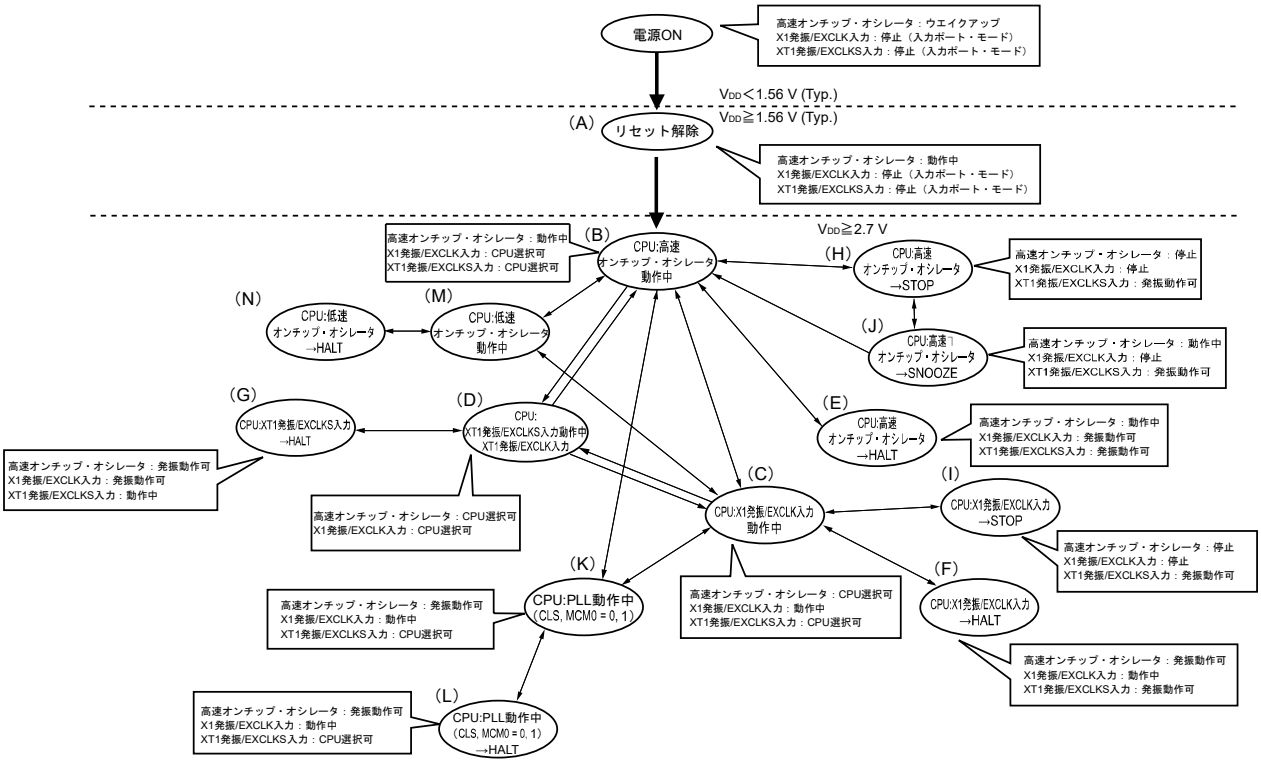
④ CKCレジスタのCLSビットでCPU／周辺ハードウェア・クロックにf_{SL}（低速オンチップ・オシレータ）が選択されていることを確認します（CLS = 1）。

	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0				
	1	1	0	1	0	0	0	0

5.6.6　CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5－24に示します。

図5－24　CPUクロック状態移行図



注意　(B)→(D)→(C), (C)→(D)→(B)の順での遷移は禁止です。

CPUクロックの移行とSFRレジスタの設定例を以下に示します。

（1）リセット解除後（A）にCPUを高速オンチップ・オシレータ・クロック動作（B）へ移行

（A）→（B）：SFRレジスタ設定不要（リセット解除後の初期状態）

（2）CPUを高速オンチップ・オシレータ・クロック（B）から高速システム・クロック（C）へ移行

- CMCレジスタ設定（EXCLK = 0, OSCSEL = 1, AMPH = x）注1
- OSTSレジスタの設定注2
- CSCレジスタのMSTOP = 0
- OSTCレジスタで発振安定時間を確認注2
- CKCレジスタのMCM0 = 1
- CKCレジスタのMCS = 1を確認

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き換え可能です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間は，次のように設定してください。
OSTSレジスタ設定値≧期待する発振安定時間カウンタ状態レジスタ（OSTC）

（3）CPUを高速オンチップ・オシレータ・クロック（B）もしくは高速システム・クロック（C）からサブシステム・クロック（D）へ移行

・OSMCレジスタのRTCLPCビットを設定
・CKSELレジスタのSELLOSC = 0
・CMCレジスタ設定（EXCLKS = x, OSCSELS = 1, AMPHS[1:0] = xx）注
・CSCレジスタのXTSTOP = 0
・発振安定待ち
・CKCレジスタのCSS = 1
・CKCレジスタのCLS = 1を確認

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き換え可能です。

（4）CPUを高速オンチップ・オシレータ・クロック動作（B）もしくは高速システム・クロック（C）から低速オンチップ・オシレータ・クロック動作（M）へ移行

・CKSELレジスタのSELLOSC = 1
・CMCレジスタ設定（EXCLKS = x, OSCSELS = 1）注
・CKCレジスタのCSS = 1
・CKCレジスタのCLS = 1を確認

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後、8ビット・メモリ操作命令で1回のみ書き換え可能です。

（5）CPUを高速オンチップ・オシレータ・クロック（B）もしくは高速システム・クロック（C）からPLLクロック（K）へ移行

・PLLCTLレジスタ設定（PLLDIV1 = x, LCKSEL[1:0] = xx, PLLDIV0 = x, PLLMUL = x）
・PLL逓倍選択待ち（PLLMULビット設定後，1 μs以上待ってください）
・PLLCTLレジスタのPLLON = 1
・PLLSTSレジスタのLOCK = 1を確認（PLLロック状態確認）
・MDIVレジスタのMDIV[2:0]ビットを設定
・PLLCTLレジスタのSELPLL = 1
・PLLSTSレジスタのSELPLLS = 1を確認

（6）CPUを高速システム・クロック（C）から高速オンチップ・オシレータ・クロック（B）へ移行

・CSCレジスタのHIOSTOP = 0注
・CKCレジスタのMCM0 = 0
・CKCレジスタのMCS = 0を確認

注　高速オンチップ・オシレータ・クロック停止（HIOSTOP = 1）の状態から発振を開始させた場合，以下の発振精度安定待ち時間をソフトウェアで待ってからクロックを切り替えてください。
ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0：18 μs～65 μs
ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1：18 μs～105 μs

（7）CPUをサブシステム・クロック（D）もしくは低速オンチップ・オシレータ・クロック（M）から高速オンチップ・オシレータ・クロック（B）へ移行

・CSCレジスタのHIOSTOP = 0[注]

・CKCレジスタのCSS = 0

・CKCレジスタのCLS = 0を確認

注　高速オンチップ・オシレータ・クロック停止（HIOSTOP = 1）の状態から発振を開始させた場合，以下の発振精度安定待ち時間をソフトウェアで待ってからクロックを切り替えてください。

ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0：18 μs～65 μs

ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1：18 μs～105 μs

（8）CPUをPLLクロック（K）から高速システム・クロック（C）もしくは高速オンチップ・オシレータ・クロック（B）へ移行

・PLLCTLレジスタのSELPLL = 0

・PLLSTSレジスタのSELPLLS = 0を確認

（9）CPUをサブシステム・クロック（D）もしくは低速オンチップ・オシレータ・クロック（M）から高速システム・クロック（C）へ移行

・CMCレジスタの設定（EXCLK = 0, OSCSEL = 1, AMPH = x）[注1]

・OSTSレジスタの設定[注2]

・OSTCレジスタで発振安定時間を確認[注2]

・CKCレジスタのCSS = 0

・CKCレジスタのCLS = 0を確認

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き換え可能です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間は次のように設定してください。

OSTSレジスタ設定値＞期待する発振安定時間カウンタ状態レジスタ（OSTC）

（10）各動作モードからHALTモードへの移行

・CPUが高速オンチップ・オシレータ・クロック（B）からHALTモード（E）へ移行

・CPUが高速システム・クロック（C）からHALTモード（F）へ移行

・CPUがサブシステム・クロック（D）からHALTモード（G）へ移行

・CPUがPLLクロック（K）からHALTモード（L）へ移行

・CPUが低速オンチップ・オシレータ・クロック（M）からHALTモード（N）へ移行

－HALT命令の実行

（11）CPUが高速オンチップ・オシレータ・クロック（B）からSTOPモード（H）へ移行

・STOPモード中に動作させない周辺機能を停止する

・STOP命令を実行する

（12）CPUが高速システム・クロック（C）からSTOPモード（I）へ移行

・STOPモード中に動作させない周辺機能を停止する

・OSTSレジスタの設定[注]

・STOP命令を実行する

注　発振安定時間選択レジスタ（OSTS）の発振安定時間は次のように設定してください。

OSTSレジスタ設定値＞期待する発振安定時間カウンタ状態レジスタ（OSTC）

（13）STOPモード（H）からSNOOZEモード（J）へ移行

SNOOZEモードへ移行する設定については，「24.3.3　SNOOZEモード」および使用される周辺機能を参照してください。

備考1.　各モード移行時のSFRレジスタ設定に記載している“x”は、任意（使用される設定）の値です。

2.　スタンバイ機能（HALTモード，STOPモード，SNOOZEモード）への遷移，復帰については，「第24章　スタンバイ機能」および使用される周辺機能を参照してください。

5.6.7　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について以下に示します。

表5－3　CPUクロックの移行について（1/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止（HIOSTOP = 1）すると動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・SELLOSC = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力が有効かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 ・SELLOSC = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが発振され、サブ／低速オンチップ・オシレータ選択クロックに低速オンチップ・オシレータ・クロックが選択されていること。 ・OSCSELS = 1, SELLOSC = 1	
	PLLクロック	PLL発振が安定していること。 ・LOCK = 1, PLLON = 1	高速オンチップ・オシレータがPLLの入力クロックとなっているので停止不可
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること。 ・HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能（MSTOP = 1）
	外部メイン・システム・クロック	移行不可 （変更したい場合は、いったんリセットしてから再設定してください）	－
	XT1クロック	XT1発振が安定かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・SELLOSC = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力が有効かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 ・SELLOSC = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが発振され、サブ／低速オンチップ・オシレータ選択クロックに低速オンチップ・オシレータ・クロックが選択されていること。 ・OSCSELS = 1, SELLOSC = 1	
	PLLクロック	PLL発振が安定していること。 ・LOCK = 1, PLLON = 1	X1クロックがPLLの入力クロックとなっているので停止不可

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表5－3　CPUクロックの移行について（2/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ･オシレータが発振されていること。 ・HIOSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能 （MSTOP = 1）
	X1クロック	移行不可 （変更したい場合は、いったんリセットしてから再設定してください）	－
	XT1クロック	XT1発振が安定かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・SELLOSC = 0 ・発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能 （MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力が有効かつサブ／低速オンチップ・オシレータ選択クロックにサブシステム・クロックが選択されていること。 ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0 ・SELLOSC = 0	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが発振され、サブ／低速オンチップ・オシレータ選択クロックに低速オンチップ・オシレータ・クロックが選択されていること。 ・OSCSELS = 1, SELLOSC = 1	
	PLLクロック	PLL発振が安定していること。 ・LOCK = 1, PLLON = 1	外部メイン・システム・クロックがPLLの入力クロックとなっているので停止不可
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	XT1発振停止可能 （XTSTOP = 1）
	X1クロック	X1発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 0, MCS = 1	
	外部サブシステム・クロック	移行不可 （変更したい場合は、いったんリセットしてから再設定してください）	－
	低速オンチップ・オシレータ・クロック	移行不可 （変更したい場合は、CPUクロックをいったんメイン／PLL選択クロックにしてから再設定してください）	

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

表5－3　CPUクロックの移行について（3/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	X1クロック	X1発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 0, MCS = 1	
	XT1クロック	移行不可 （変更したい場合は、いったんリセットしてから再設定してください）	－
	低速オンチップ・オシレータ・クロック	移行不可 （変更したい場合は、CPUクロックをいったんメイン／PLL選択クロックにしてから再設定してください）	
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	低速オンチップ･オシレータ停止可能（SELLOSC = 0, WUTMMCK0 = 0）
	X1クロック	X1発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 0, MCS = 1	
	XT1クロック	移行不可 （変更したい場合は、CPUクロックをいったんメイン／PLL選択クロックにしてから再設定してください）	－
	外部サブシステム・クロック	移行不可 （変更したい場合は、CPUクロックをいったんメイン／PLL選択クロックにしてから再設定してください）	
PLLクロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること。 ・HIOSTOP = 0, MCS = 0	PLLクロック停止可能（PLLON = 0）
	X1クロック	X1発振が安定かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力が有効かつメイン・システム・クロックに高速システム・クロックが選択されていること。 ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・SELLOSC = 0, MCS = 1	

備考　移行後の処理で対象クロックを停止する際のレジスタのフラグ設定と停止前の条件は「5.6.9　クロック発振停止前の条件」を参照してください。

5.6.8　CPUクロック、メイン／PLL選択クロック、メイン・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4，6（MCM0，CSS）とf_{MP}クロック分周レジスタ（MDIV）のビット（MDIV0-2）とクロック選択レジスタ（CKSEL）のビット0（SELLOSC）との設定により，CPUクロックの切り替え（メイン／PLL選択クロック⇔サブ／低速オンチップ・オシレータ選択クロック），メイン／PLL選択クロックの切り替え（メイン・クロック⇔PLLクロック），メイン・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔高速システム・クロック），サブ／低速オンチップ・オシレータ選択クロックの切り替え（サブクロック⇔低速オンチップ・オシレータ・クロック）およびメイン／PLL選択クロックの分周比を変更することができます。

実際の切り替え動作は，CKC，MDIVを書き換えた直後ではなく，CKC，MDIVを変更したのち、数クロックは切り替え前のクロックで動作します。サブ／低速オンチップ・オシレータ選択クロックはCKSELを書き換えた直後に切り替わります。

CPUクロックがメイン／PLL選択クロックで動作しているか，サブ／低速オンチップ・オシレータ選択クロックで動作しているかは、CKCのビット7（CLS）で判定できます。

メイン／PLL選択クロックがメイン・クロックで動作しているかPLLクロックで動作しているかは，PLL状態レジスタ（PLLSTS）のビット3（SELPLLS）で判定できます。

メイン・クロックが高速オンチップ・オシレータ・クロックで動作しているか，高速システム・クロックで動作しているかは，CKCのビット5（MCS）で判定できます。

CPUクロックを切り替えると，周辺ハードウェア・クロックも同時に切り替わります。

表5－4　クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	タイプ
f_{MP}	⟷（分周比変更）	f_{MP}	タイプ1（表5－5）
f_{IH}	⟷	f_{MX}	タイプ2（表5－6）
f_{MP}	⟷	f_{SL}	タイプ3（表5－7）
f_{MAIN}	⟷	f_{PLL}	タイプ4（表5－8）

表5－5　タイプ1で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		1＋f_A/f_Bクロック
クロックB	1＋f_B/f_Aクロック	

表5－6　タイプ2で要する最大クロック数（1）[注]

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0（$f_{MAIN} = f_{IH}$）	1（$f_{MAIN} = f_{MX}$）
0（$f_{MAIN} = f_{IH}$）	$f_{MX} \geqq f_{IH}$		3クロック
	$f_{MX} < f_{IH}$		3 f_{IH}/f_{MX}クロック
1（$f_{MAIN} = f_{MX}$）	$f_{MX} > f_{IH}$	3 f_{MX}/f_{IH}クロック	
	$f_{MX} \leqq f_{IH}$	3クロック	

注　f_{IH} ≦ 32MHz の場合。

表5－6　タイプ2で要する最大クロック数（2）[注]

切り替え前の設定値	切り替え後の設定値	
MCM0	MCM0	
	0 （$f_{MAIN} = f_{IH}$）	1 （$f_{MAIN} = f_{MX}$）
0 （$f_{MAIN} = f_{IH}$）		6 f_{IH}/f_{MX}クロック
1 （$f_{MAIN} = f_{MX}$）	3クロック	

注　f_{IH} ＞ 32MHz の場合。

表5－7　タイプ3で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 （$f_{CLK} = f_{MP}$）	1 （$f_{CLK} = f_{SL}$）
0 （$f_{CLK} = f_{MP}$）		1＋2 f_{MP}/f_{SL}クロック
1 （$f_{CLK} = f_{SL}$）	3クロック	

表5－8　タイプ4で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
SELPLL	SELPLL	
	0 （$f_{MP} = f_{MAIN}$）	1 （$f_{MP} = f_{PLL}$）
0 （$f_{MP} = f_{MAIN}$）		2クロック
1 （$f_{MP} = f_{PLL}$）	2 f_{PLL}/f_{MAIN}クロック	

備考1.　表5－5から表5－8のクロック数は，切り替え前のCPUクロックのクロック数です。

2.　表5－5から表5－8のクロック数は，小数点以下を切り上げてください。

例　メイン・クロックを高速オンチップ・オシレータ・クロック（16MHz選択時）から高速システム・クロックに切り替える場合

（f_{IH} = 16 MHz, f_{MX} = 10 MHz発振時）

3 f_{IH}/f_{MX} = 3×1.6 = 4.8 → 5クロック

5.6.9　クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを発振停止する場合は，クロック発振停止前条件を確認した後に停止してください。

表5－9　クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 （CPUクロックが高速オンチップ・オシレータ・クロック以外で動作）	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 （CPUクロックが高速システム・クロック以外で動作）	MSTOP = 1
PLLクロック	SELPLLS = 0 （CPUクロックがPLLクロック以外で動作）	PLLON = 0
XT1クロック 外部サブシステム・クロック	CLS = 0 （CPUクロックがサブ／低速オンチップ・オシレータ・クロック以外で動作）	XTSTOP = 1
低速オンチップ・オシレータ・クロック	CLS = 0 （CPUクロックがサブ／低速オンチップ・オシレータ・クロック以外で動作）	SELLOSC = 0 かつWUTMMCK0 = 0

備考　MCS：システム･クロック制御レジスタ（CKC）のビット5

CLS：システム・クロック制御レジスタ（CKC）のビット7

HIOSTOP：クロック動作ステータス制御レジスタ（CSC）のビット0

XTSTOP：クロック動作ステータス制御レジスタ（CSC）のビット6

MSTOP：クロック動作ステータス制御レジスタ（CSC）のビット7

SELPLLS：PLL状態レジスタ（PLLSTS）のビット3

PLLON：PLL制御レジスタ（PLLCTL）のビット0

SELLOSC：クロック選択レジスタ（CKSEL）のビット0

WUTMMCK0：動作スピード・モード制御レジスタ（OSMC）のビット4

5.7　注意事項

5.7.1　CPU／周辺ハードウェア・クロックについて

CSS, MCM0, SELPLL, MDIV2-0ビットで設定されたクロックは，CPUおよび周辺ハードウェアに供給されるため，CPUクロックを変更すると，周辺ハードウェアへのクロックも同時に変更されます。したがって，CPU／周辺ハードウェア・クロックを変更する場合は，各周辺機能を停止してから設定してください。

5.7.2　高速オンチップ・オシレータについて

FRQSEL3 = 0（高速オンチップ・オシレータ = 48/24/12/6/3 MHz）設定時，かつCPU／周辺ハードウェア・クロックをPLLクロックに選択する場合は，CPU／周辺ハードウェア・クロック周波数（f_{CLK}）を32 MHzに設定しないでください。

第6章　タイマ・アレイ・ユニット

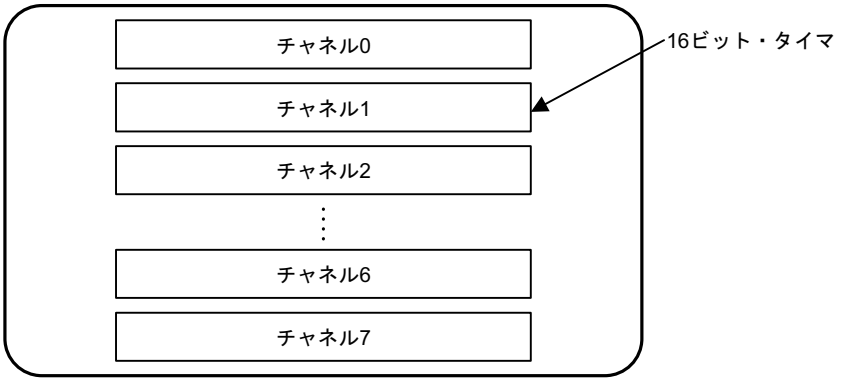
タイマ・アレイ・ユニットは8個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。

タイマ・アレイ・ユニットは，チャネル0～7の8チャネルで1つのユニットを構成しており，144ピン製品では3ユニット，100, 80, 64, 48ピン製品では2ユニットを実装しています。

144ピン製品は，TAU0, TAU1, TAU2の3つのユニットで構成されていますが，TAU1とTAU2は同じアドレスのレジスタを使用します。TAU1またはTAU2のレジスタにアクセスする場合は，ユニット選択レジスタ (UTSEL) のTSEL0ビットで，アクセス対象のユニットに切り替えてください。

タイマ・アレイ・ユニット



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ（→6.7.1参照） ・方形波出力（→6.7.1参照） ・外部イベント・カウンタ（→6.7.2参照） ・分周器機能（→6.7.3参照） ・入力パルス間隔測定（→6.7.4参照） ・入力信号のハイ／ロウ・レベル幅測定（→6.7.5参照） ・ディレイ・カウンタ（→6.7.6参照）	・ワンショット・パルス出力（→6.8.1参照） ・PWM出力（→6.8.2参照） ・多重PWM出力（→6.8.3参照）

ユニット0, 1のチャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能（下位8ビット・タイマのみ）
- ディレイ・カウント機能（下位8ビット・タイマのみ）

また，タイマ・アレイ・ユニット0のチャネル7は，シリアル・アレイ・ユニットのUART0と連携し，LIN-bus通信動作を実現することができます。

6.1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

6.1.1　単独チャネル動作機能

単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

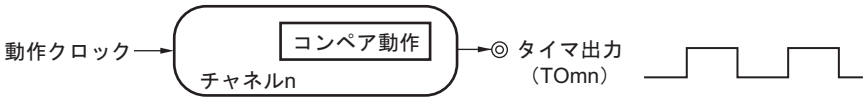
（1）インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。



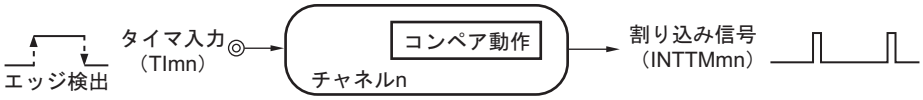
（2）方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TOmn）より出力します。



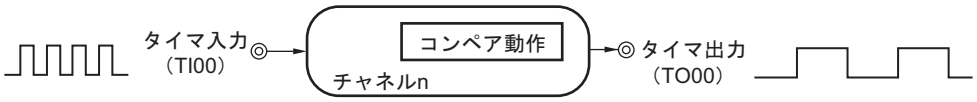
（3）外部イベント・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



（4）分周器機能

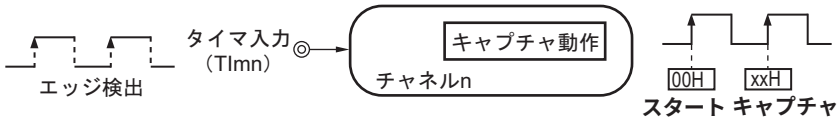
タイマ入力端子（TImn）から入力されたクロックを分周して出力端子（TOmn）より出力します。



周辺I/Oリダイレクション・レジスタ0, 1, 2, 3, 10, 11（PIOR0, 1, 2, 3, 10, 11）でTImnとTOmnは別端子に設定してください。

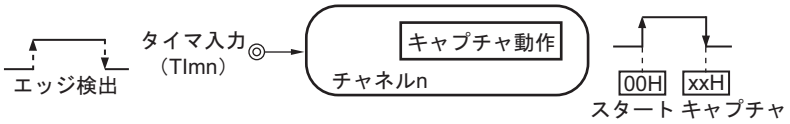
（5）入力パルス間隔測定

タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



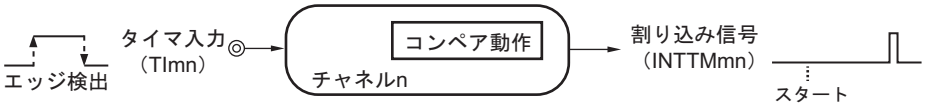
（6）入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



（7）ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考1. m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

2. チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は「表6－2　各製品に搭載しているタイマ入出力端子」を参照してください。

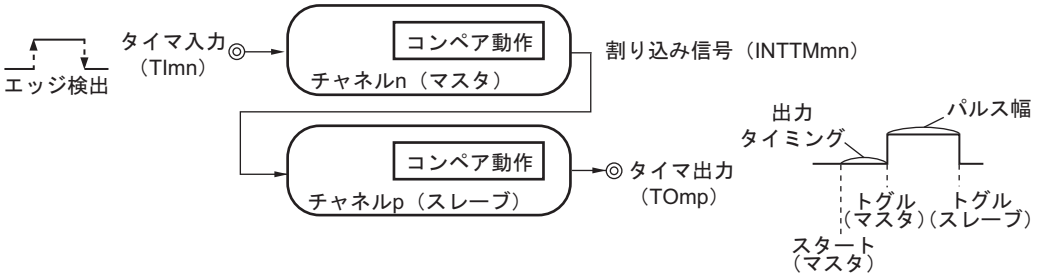
6.1.2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

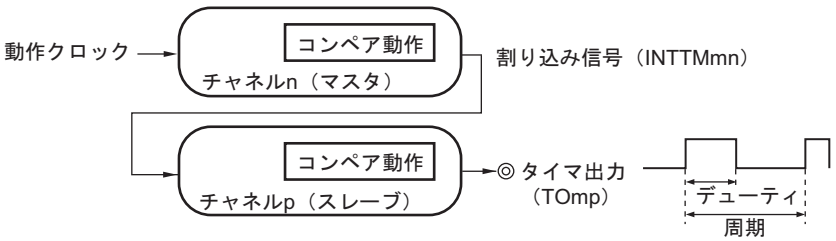
（1）ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



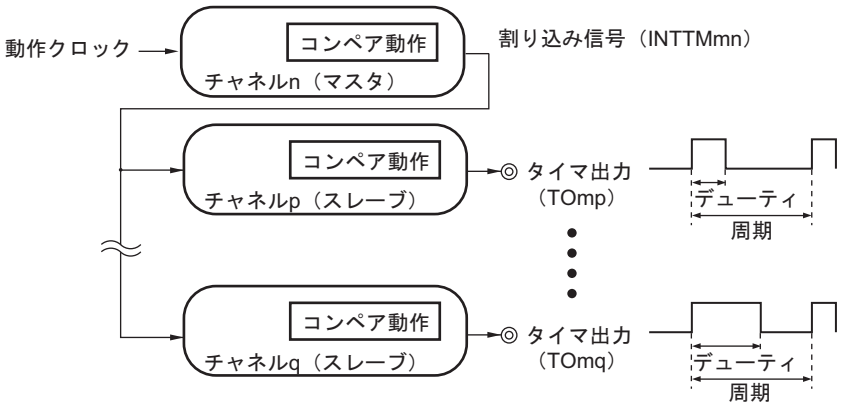
（2）PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大7種類生成することができます。



注意　複数チャネル連動動作機能の使用にあたっては，いくつかのルールがあります。
詳細は「6.4.1　複数チャネル連動動作機能の基本ルール」を参照してください。

備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7），
p, q：スレーブ・チャネル番号（n＜p＜q≦7）

6.1.3　8ビット・タイマ動作機能（TAU0，TAU1のチャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。TAU0，TAU1のチャネル1, 3のみが使用できます。

注意1.　8ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。
詳細は「6.4.2　8ビット・タイマ動作機能の基本ルール（TAU0，TAU1のチャネル1, 3のみ）」を参照してください。

2.　TAU2は、8ビット・タイマ動作機能に対応していません。

6.1.4　LIN-bus対応機能（ユニット0のチャネル7のみ）

LIN-bus通信機能において，受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

（1）ウエイクアップ信号の検出

UART0のシリアル・データ入力端子（RXD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，ウエイクアップ信号と認識します。

（2）シンク・ブレーク・フィールドの検出

ウエイクアップ信号検出後，UART0のシリアル・データ入力端子（RXD0）に入力される信号の立ち下がりエッジでカウントをスタートし，立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば，シンク・ブレーク・フィールドと認識します。

（3）シンク・フィールドのパルス幅測定

シンク・ブレーク・フィールド検出後，UART0のシリアル・データ入力端子（RXD0）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus対応機能の動作設定については「6.7.5　入力信号のハイ／ロウ・レベル幅測定としての動作」を参照してください。

6.2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表6－1　タイマ・アレイ・ユニットの構成

項目	構成
タイマ／カウンタ	タイマ・カウンタ・レジスタmn（TCRmn）
レジスタ	タイマ・データ・レジスタmn（TDRmn）
タイマ入力	TI00-TI07, TI10-TI17, TI20-TI27[注1]，RXD0端子（LIN-bus用）
タイマ出力	TO00-TO07, TO10-TO17, TO20-TO27[注1]，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・周辺イネーブル・レジスタ1（PER1） ・タイマ・クロック選択レジスタm（TPSm） ・タイマ・チャネル許可ステータス・レジスタm（TEm） ・タイマ・チャネル開始レジスタm（TSm） ・タイマ・チャネル停止レジスタm（TTm） ・タイマ入力選択レジスタ0（TIS0） ・タイマ入力選択レジスタ1（TIS1） ・タイマ入力選択レジスタ2（TIS2） ・タイマ出力許可レジスタm（TOEm） ・タイマ出力レジスタm（TOm） ・タイマ出力レベル・レジスタm（TOLm） ・タイマ出力モード・レジスタm（TOMm） ・PWM出力遅延制御レジスタ1（PWMDLY1） ・PWM出力遅延制御レジスタ2（PWMDLY2） ・PWM出力遅延制御レジスタ3（PWMDLY3）[注3] ・ユニット選択レジスタ（UTSEL）[注3]
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタmn（TMRmn） ・タイマ・ステータス・レジスタmn（TSRmn） ・ノイズ・フィルタ許可レジスタ1, 2, 3 (NFEN1, NFEN2, NFEN3) [注3] ・ポート・モード・レジスタ（PMxx）[注2] ・ポート・レジスタ（Pxx）[注2]

注1.　ユニットのチャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は「表6－2　各製品に搭載しているタイマ入出力端子」を参照してください。

2.　製品によって設定するポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）が異なります。詳細は「6.3.17 ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 11, 12, 14（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14）」を参照してください。

3.　PWM出力遅延制御レジスタ3 (PWMDLY3)、ユニット選択レジスタ (UTSEL)、ノイズ・フィルタ許可レジスタ3 (NFEN3) は、144ピン製品のみ対応しています。

備考　144ピン製品　m：ユニット番号 (m = 0-2)，n：チャネル番号 (n = 0-7)

100, 80, 64, 48ピン製品　m：ユニット番号 (m = 0, 1)，n：チャネル番号 (n = 0-7)

タイマ・アレイ・ユニットの各チャネルのタイマ入出力端子の有無は，製品によって異なります。

表6－2　各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニットチャネル		各製品の入出力端子の有無	
		144ピン	100/80/64/48ピン
ユニット0	チャネル0	TI00/TO00	
	チャネル1	TI01/TO01	
	チャネル2	TI02/TO02	
	チャネル3	TI03/TO03	
	チャネル4	TI04/TO04	
	チャネル5	TI05/TO05	
	チャネル6	TI06/TO06	
	チャネル7	TI07/TO07	
ユニット1	チャネル0	TI10/TO10	
	チャネル1	TI11/TO11	
	チャネル2	TI12/TO12	
	チャネル3	TI13/TO13	
	チャネル4	TI14/TO14	
	チャネル5	TI15/TO15	
	チャネル6	TI16/TO16	
	チャネル7	TI17/TO17	
ユニット2	チャネル0	TI20/TO20	×
	チャネル1	TI21/TO21	×
	チャネル2	TI22/TO22	×
	チャネル3	TI23/TO23	×
	チャネル4	TI24/TO24	×
	チャネル5	TI25/TO25	×
	チャネル6	TI26/TO26	×
	チャネル7	TI27/TO27	×

備考1.　タイマ入力とタイマ出力が同一端子で兼用されている場合は，タイマ入力かタイマ出力のどちらかのみ使用可能です。

2.　×：チャネル非搭載

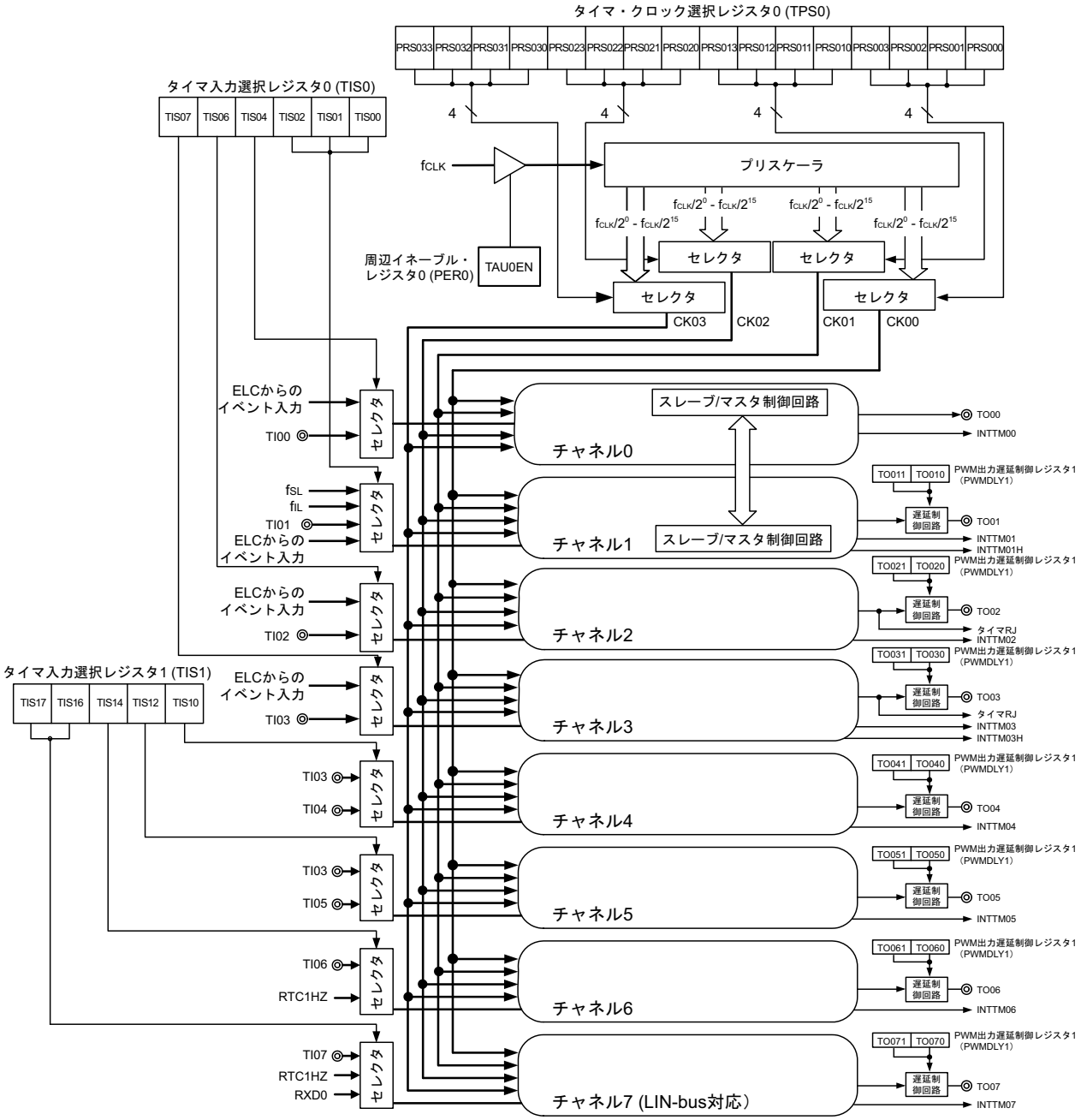
図6－1，図6－2，図6－3にタイマ・アレイ・ユニットのブロック図を示します。

また，図6-4，図6-5，図6-7にタイマ・アレイ・ユニット0の各チャネル毎の内部ブロック図を示します。

なお，タイマ・アレイ・ユニット1，タイマ・アレイ・ユニット2もタイマ・アレイ・ユニット0と同等の内部ブロック図になります。

ただし，タイマ・アレイ・ユニット2は8ビット・タイマ動作に対応していません。

図6－1　タイマ・アレイ・ユニット0の全体ブロック図（例：144ピン製品）



備考　f_{SL}　　：サブ／低速オンチップ・オシレータ・クロック

　　f_{IL}　　：低速オンチップ・オシレータ・クロック

図6−2 タイマ・アレイ・ユニット1の全体ブロック図

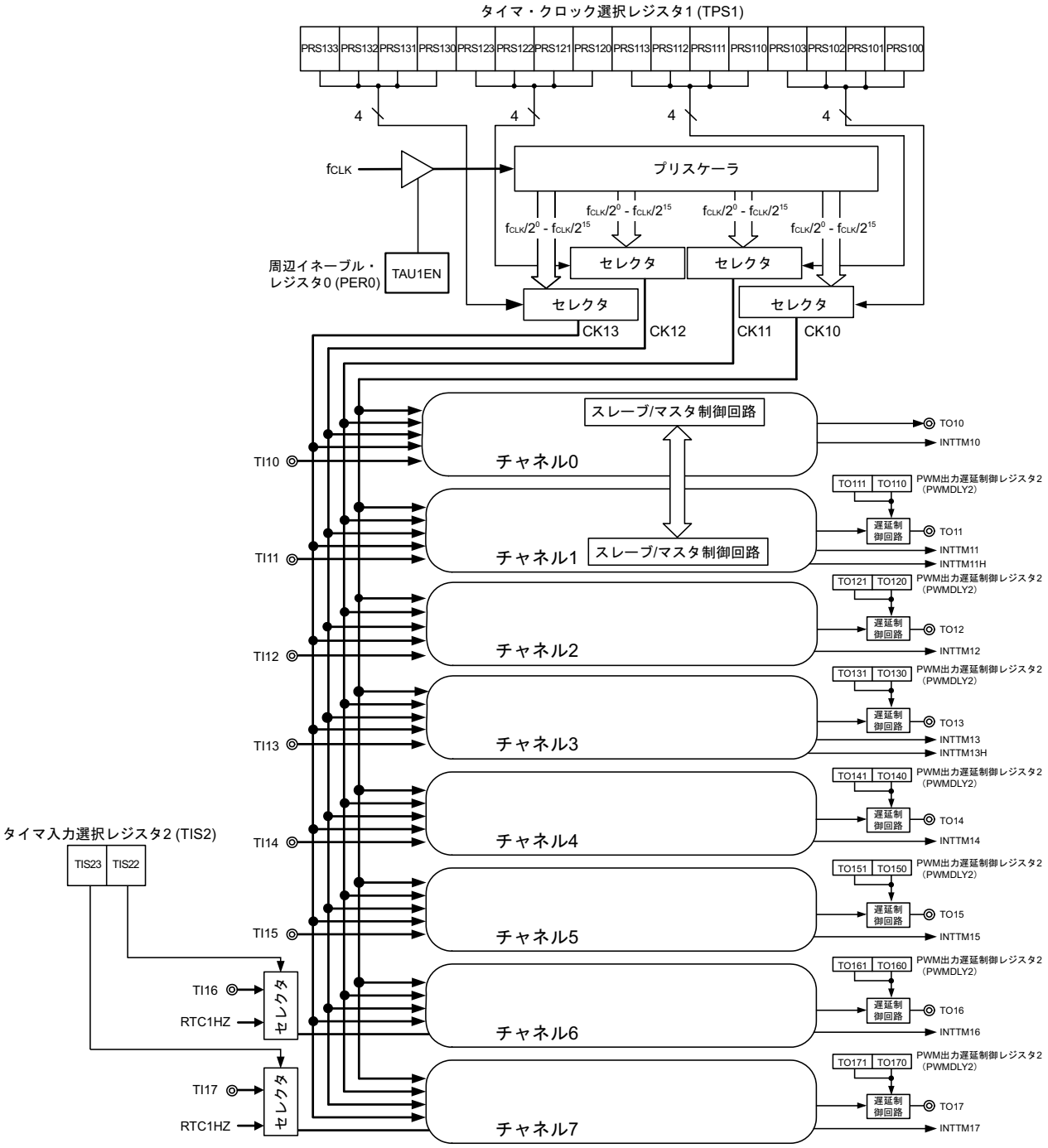
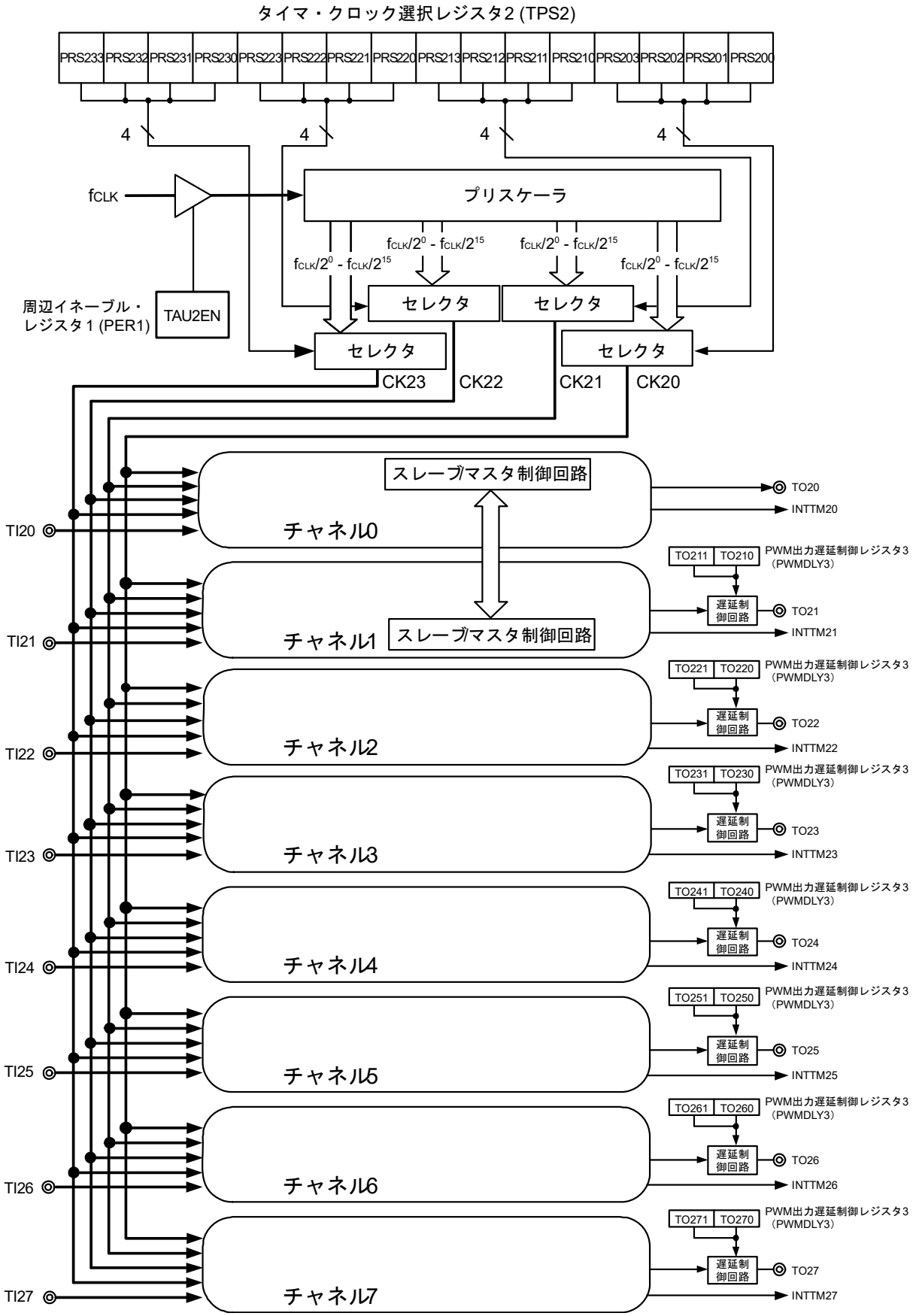
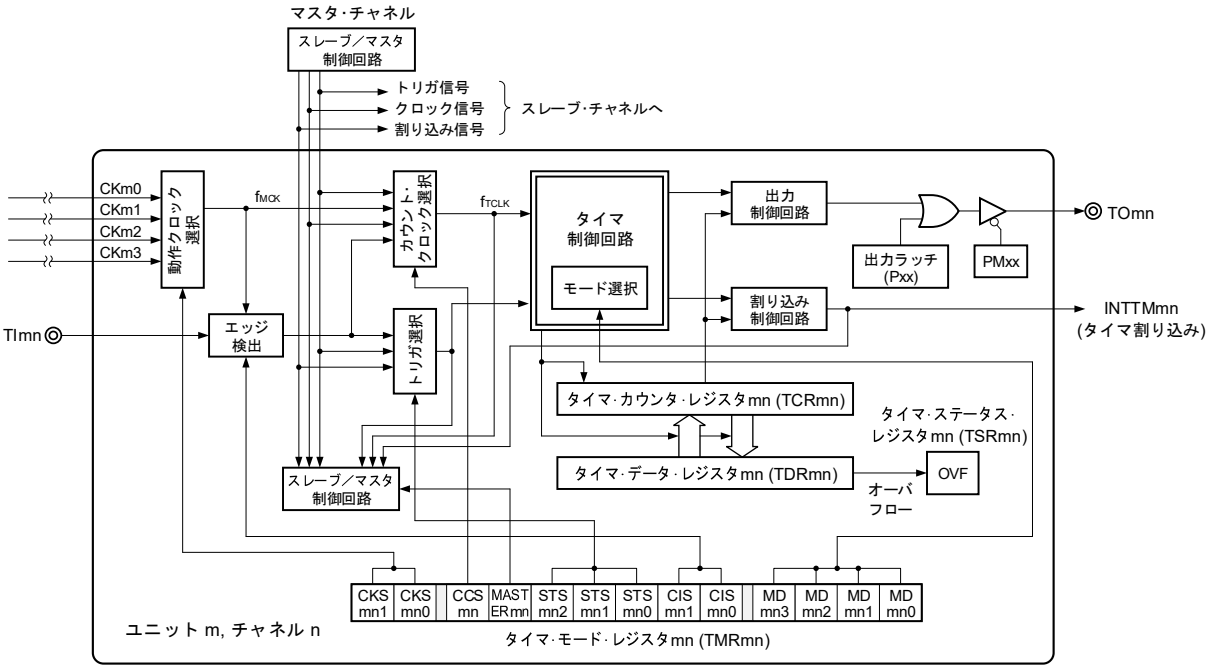


図6－3 タイマ・アレイ・ユニット2の全体ブロック図（144ピン製品）



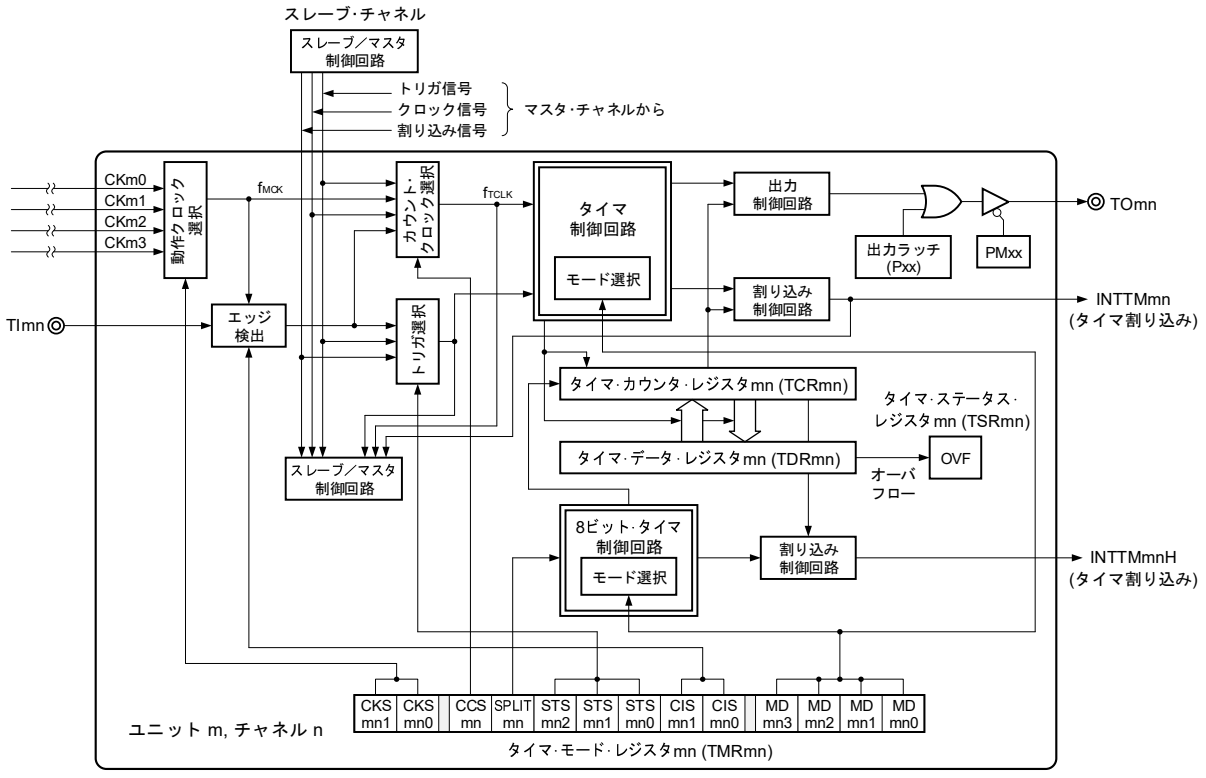
★ 図6－4 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 0, 2, 4, 6)



★ 備考 m = 0, 1, 2, n = 0, 2, 4, 6

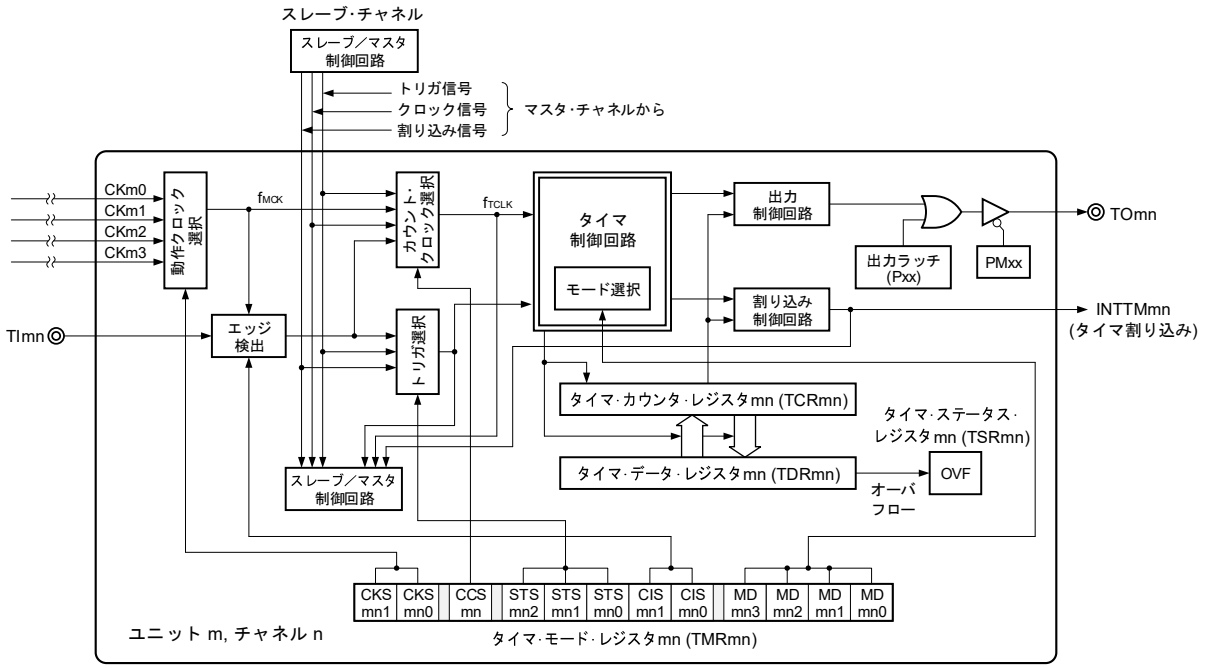
チャネル0には，MASTER0nビットはありません。

★ 図6－5 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 1, 3)



★ 備考 m = 0, 1, 2, n = 1, 3

★ 図6−6 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 5, 7)



★ 備考 m = 0, 1, 2, n = 5, 7

6.2.1　タイマ・カウンタ・レジスタmn（TCRmn）

TCRmnレジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

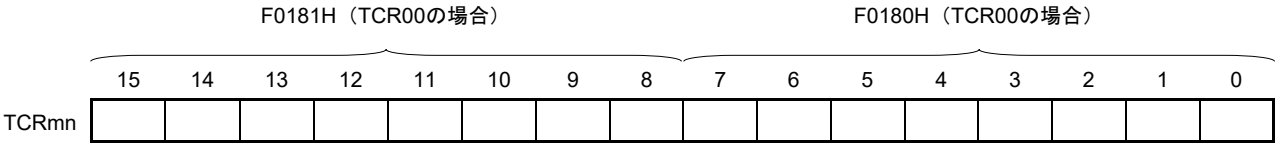
インクリメントかデクリメントかは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります（「6.3.4 タイマ・モード・レジスタmn（TMRmn）」を参照）。

図6－7　タイマ・カウンタ・レジスタmn（TCRmn）のフォーマット

アドレス：F0180H, F0181H（TCR00）- F018EH, F018FH（TCR07），リセット時：FFFFH　R

F01C0H, F01C1H（TCR10）- F01CEH, F01CFH（TCR17）

F01C0H, F01C1H（TCR20）- F01CEH, F01CFH（TCR27）



備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

注意　144ピン製品では，TCR10-TCR17レジスタにアクセスする前に，ユニット選択レジスタ(UTSEL)のTSEL0ビットを0に設定してください。また，TCR20-TCR27レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

タイマ・カウンタ・レジスタmn（TCRmn）をリードすることにより，カウント値をリードできます。

次の場合，カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺イネーブルレジスタ0 (PER0) のTAU0ENビットをクリアしたとき (TCR0nレジスタ対象)
- 周辺イネーブルレジスタ0 (PER0) のTAU1ENビットをクリアしたとき (TCR1nレジスタ対象)
- 周辺イネーブルレジスタ1 (PER1) のTAU2ENビットをクリアしたとき (TCR2nレジスタ対象)
- PWM出力モードで，スレーブ・チャネルのカウント完了時
- ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。

- キャプチャ・モード時に，スタート・トリガが入力されたとき
- キャプチャ・モード時で，キャプチャ完了時

注意　TCRmnレジスタをリードしても，タイマ・データ・レジスタmn（TDRmn）にはキャプチャしません。

TCRmnレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表6－3　各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCRmn）の読み出し値[注]			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）後，動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）後，動作再開した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	－
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	－
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	－
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDRmnレジスタのキャプチャ値＋1

注　チャネルnがタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の，TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考　144ピン製品　m：ユニット番号 (m = 0-2)，n：チャネル番号 (n = 0-7)

100, 80, 64, 48ピン製品　m：ユニット番号 (m = 0, 1)，n：チャネル番号 (n = 0-7)

6.2.2　タイマ・データ・レジスタmn（TDRmn）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

コンペア機能として使用した場合，TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また，TDRm1, TDRm3レジスタは，8ビット・タイマ・モード時（タイマ・モード・レジスタm1, m3（TMRm1, TMRm3）のSPLITm3，SPLITm1ビットが1）に，上位8ビットをTDRm1H, TDRm3H，下位8ビットをTDRm1L, TDRm3Lとして，8ビット単位での書き換えが可能になります。読み出しは，16ビット単位でのみ可能です。

注意　TAU2は8ビット・タイマ・モードに対応していません。

リセット信号の発生により，TDRmnレジスタは0000Hになります。

図6－8　タイマ・データ・レジスタmn（TDRmn）（n = 0, 2, 4-7）のフォーマット

アドレス：FFF18H, FFF19H（TDR00）, FFF64H, FFF65H（TDR02）　　リセット時：0000H　　R/W

FFF68H, FFF69H（TDR04）- FFF6EH, FFF6FH（TDR07）

FFF70H, FFF71H（TDR10）, FFF74H, FFF75H（TDR12）

FFF78H, FFF79H（TDR14）- FFF7EH, FFF7FH（TDR17）

FFF70H, FFF71H（TDR20）, FFF74H, FFF75H（TDR22）

FFF78H, FFF79H（TDR24）, FFF7EH, FFF7FH（TDR27）

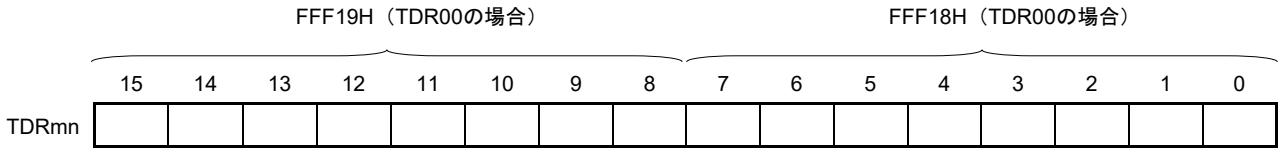
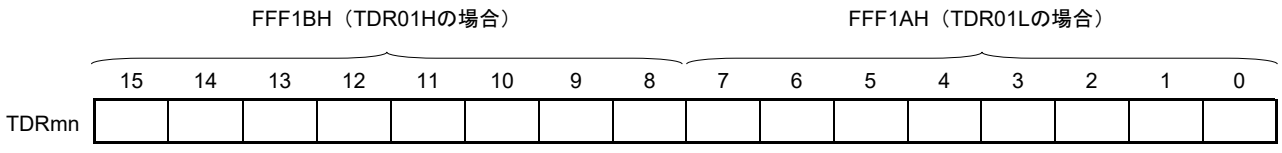


図6－9　タイマ・データ・レジスタmn（TDRmn）（n = 1, 3）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01）, FFF66H, FFF67H（TDR03）　　リセット時：0000H　　R/W

FFF72H, FFF73H（TDR11）, FFF76H, FFF77H（TDR13）

FFF72H, FFF73H（TDR21）, FFF76H, FFF77H（TDR23）



（ｉ）　タイマ・データ・レジスタmn（TDRmn）をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTMmn）を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ ii ）　タイマ・データ・レジスタmn（TDRmn）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタmn（TCRmn）のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして，TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタmn（TMRmn）で設定します。

備考　144ピン製品　m：ユニット番号 (m = 0-2)，n：チャネル番号 (n = 0-7)

100, 80, 64, 48ピン製品　m：ユニット番号 (m = 0, 1)，n：チャネル番号 (n = 0-7)

6.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺イネーブル・レジスタ1（PER1）
- タイマ・クロック選択レジスタm（TPSm）
- タイマ・モード・レジスタmn（TMRmn）
- タイマ・ステータス・レジスタmn（TSRmn）
- タイマ・チャネル許可ステータス・レジスタm（TEm）
- タイマ・チャネル開始レジスタm（TSm）
- タイマ・チャネル停止レジスタm（TTm）
- タイマ入力選択レジスタ0（TIS0）
- タイマ入力選択レジスタ1（TIS1）
- タイマ入力選択レジスタ2（TIS2）
- タイマ出力許可レジスタm（TOEm）
- タイマ出力レジスタm（TOm）
- タイマ出力レベル・レジスタm（TOLm）
- タイマ出力モード・レジスタm（TOMm）
- PWM出力遅延制御レジスタ1（PWMDLY1）
- PWM出力遅延制御レジスタ2（PWMDLY2）
- PWM出力遅延制御レジスタ3（PWMDLY3）[注2]
- ノイズ・フィルタ許可レジスタ1, 2, 3 (NFEN1, NFEN2, NFEN3) [注2]
- ポート・モード・レジスタ（PMxx）[注1]
- ポート・レジスタ（Pxx）[注1]
- ユニット選択レジスタ（UTSEL）[注2]

注1.　製品によって設定するポート・モード・レジスタ（PMxx）とポート・レジスタ（Pxx）が異なります。詳細は「6.3.17 ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 11, 12, 14（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14）」を参照してください。

2.　PWM出力遅延制御レジスタ3（PWMDLY3），ユニット選択レジスタ（UTSEL），ノイズ・フィルタ許可レジスタ3（NFEN3）は，144ピン製品のみ搭載しています。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

タイマ・アレイ・ユニット1を使用する場合は，必ずビット1（TAU1EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PER0レジスタは00Hになります。

図6－10　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAU1EN	タイマ・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意1.　タイマ・アレイ・ユニットの設定をする際には，必ず最初にTAUmEN = 1の設定を行ってください。TAUmEN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（タイマ入力選択レジスタ0, 1（TIS0, TIS1），ノイズ・フィルタ許可レジスタ1, 2（NFEN1, NFEN2），ポート・モード・レジスタ1, 3, 4, 7, 12（PM1, PM3, PM4, PM7, PM12），ポート・レジスタ1, 3, 4, 7, 12（P1, P3, P4, P7, P12），PWM出力遅延制御レジスタ1, 2（PWMDLY1, PWMDLY2）は除く）。

2.　ビット6には必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.2　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット2を使用する場合は，必ずビット2（TAU2EN）を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PER1レジスタは00Hになります。

図6－11　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN	SAU2EN	TRJ0EN

TAU2EN	タイマ・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット2で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット2はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット2で使用するSFRへのリード／ライト可

注意1.　タイマ・アレイ・ユニット2の設定をする際には，必ず最初にTAU2EN = 1の設定を行ってください。TAU2EN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（タイマ入力選択レジスタ2（TIS2），ノイズ・フィルタ許可レジスタ3（NFEN3），ポート・モード・レジスタ11, 14（PM11, PM14），ポート・レジスタ11, 14（P11, P14），PWM出力遅延制御レジスタ3（PWMDLY3）は除く）。

2.　ビット6には必ず0を設定してください。

6.3.3　タイマ・クロック選択レジスタm（TPSm）

TPSmレジスタは，外部プリスケーラから各チャネルに供給するCKm0, CKm1, CKm2, CKm3の動作クロックを選択する16ビット・レジスタです。

TPSmレジスタのビット3-0でCKm0，ビット7-4でCKm1，ビット11-8でCKm2，ビット15-12でCKm3のクロック周波数を選択します。

タイマ動作中のTPSmレジスタの書き換えは，次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm0を選択（CKSmn1, CKSmn0 = 0, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm10-PRSm13ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm1を選択（CKSmn1, CKSmn0 = 1, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm20-PRSm23ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm2を選択（CKSmn1, CKSmn0 = 0, 1）しているチャネルがすべて停止状態（TEmn = 0）

PRSm30-PRSm33ビットが書き換え可能な場合（n = 0-7）：

動作クロックにCKm3を選択（CKSmn1, CKSmn0 = 1, 1）しているチャネルがすべて停止状態（TEmn = 0）

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPSmレジスタは0000Hになります。

図6－12　タイマ・クロック選択レジスタm（TPSm）のフォーマット

アドレス：F01B6H, F01B7H（TPS0）, F01F6H, F01F7H（TPS1），　リセット時：0000H　R/W

F01F6H, F01F7H（TPS2）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	PRS m33	PRS m32	PRS m31	PRS m30	PRS m23	PRS m22	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注]（k = 0-3）					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	31.25 kHz
1	0	1	1	$f_{CLK}/2^{11}$	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz	15.63 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	976 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

注意1.　動作クロック（CKmK）にf_{CLK}（分周なし）を選択し、TDRnm = 0000H（n = 0-2、m = 0-7）を設定する場合、割り込みマスクフラグを割り込み処理禁止（TMMKnm = 1）に設定してください。

2.　144ピン製品では，TPS1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TPS2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPSmレジスタで選択するクロックの波形は，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります（m = 0-2）。詳しくは「6.5.1　カウント・クロック（f_{TCLK}）」を参照してください。

チャネル1, 3を8ビット・タイマ・モードで使用し，CKm2, CKm3を動作クロックとすることにより，インターバル・タイマ機能で，表6－4に示すインターバル時間を実現することが可能です。

表6－4　動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間（f_{CLK} = 32 MHz）注			
		10 μs	100 μs	1 ms	10 ms
CKm2	$f_{CLK}/2$	○	－	－	－
	$f_{CLK}/2^2$	○	－	－	－
	$f_{CLK}/2^4$	○	○	－	－
	$f_{CLK}/2^6$	○	○	－	－
CKm3	$f_{CLK}/2^8$	－	○	○	－
	$f_{CLK}/2^{10}$	－	○	○	－
	$f_{CLK}/2^{12}$	－	－	○	○
	$f_{CLK}/2^{14}$	－	－	○	○

注　○には5%以下の誤差が含まれます。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPSmレジスタで選択する$f_{CLK}/2^i$の波形の詳細は「6.5.1　カウント・クロック（f_{TCLK}）」を参照してください。

6.3.4　タイマ・モード・レジスタmn（TMRmn）

TMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMRmnレジスタは，動作中（TEmn = 1のとき）の書き換えは禁止です。ただし，ビット7, 6（CISmn1, CISmn0）は，一部の機能で動作中（TEmn = 1のとき）の書き換えが可能です（詳細は「6.7　タイマ・アレイ・ユニットの単独チャネル動作機能」，「6.8　タイマ・アレイ・ユニットの複数チャネル連動動作機能」を参照）。

TMRmnレジスタは，16ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TMRmnレジスタは0000Hになります。

注意　TMRmnレジスタのビット11は，チャネルによって搭載するビットが異なります。

TMRm2, TMRm4, TMRm6　：MASTERmnビット（n = 2, 4, 6）

TMRm1, TMRm3　：SPLITmnビット（n = 1, 3）

TMRm0, TMRm5, TMRm7　：0固定（n = 0, 5, 7）

図6－13　タイマ・モード・レジスタmn（TMRmn）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），リセット時：0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）
F01D0H, F01D1H（TMR20）-F01DEH, F01DFH（TMR27）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャネルnの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm3
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。		

CCS mn	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
1	TImn端子からの入力信号の有効エッジ ユニット0の場合： 　チャネル0, 1, 2, 3では、TIS0レジスタで選択した入力信号の有効エッジ 　チャネル4, 5, 6, 7では、TIS1レジスタで選択した入力信号の有効エッジ ユニット1の場合： 　チャネル6, 7では、TIS2レジスタで選択した入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，タイマ・カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注　ビット11はRead Onlyの0固定で，書き込みは無視されます。

注意1.　ビット13, 5, 4には，必ず0を設定してください。

2.　カウント・クロック（f_{TCLK}）にCKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}），TImn端子からの入力信号の有効エッジのどれを選択していても，f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm＝00FFH）させてください。

3.　144ピン製品では，TMR1nレジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TMR2nレジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－13　タイマ・モード・レジスタmn（TMRmn）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），リセット時：0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）
F01D0H, F01D1H（TMR20）-F01DEH, F01DFH（TMR27）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

（TMRmn（n = 2, 4, 6）のビット11）

MASTERmn	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル2, 4, 6のみマスタ・チャネル（MASTERmn = 1）に設定できます。 チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。 また，単独チャネル動作機能として使用するチャネルは，MASTERmn = 0にします。	

（TMRmn（n = 1, 3）のビット11）

SPLITmn	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

注　ビット11はRead Onlyの0固定で，書き込みは無視されます。なお、チャネル0はマスタとして動作します。

注意1.　144ピン製品では，TMR1nレジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TMR2nレジスタにアクセスする前に，TSEL0ビットを1に設定してください。
2.　TAU2は，8ビット・タイマ動作に対応していません。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－13　タイマ・モード・レジスタmn（TMRmn）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），リセット時：0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）
F01D0H, F01D1H（TMR20）-F01DEH, F01DFH（TMR27）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	TImn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット = 10Bに設定してください。		

注　ビット11はRead Onlyの0固定で，書き込みは無視されます。

注意　144ピン製品では，TMR1nレジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TMR2nレジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－13　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F019EH, F019FH（TMR07），リセット時：0000H　R/W
F01D0H, F01D1H（TMR10）-F01DEH, F01DFH（TMR17）
F01D0H, F01D1H（TMR20）-F01DEH, F01DFH（TMR27）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2, 4, 6)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0, 5, 7)	CKS mn1	CKS mn0	0	CCS mn	0[注1]	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン・カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は，MDmn0によって変わります（下表を参照）。					

動作モード (MDmn3-MDmn1で設定（上表参照）)	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・キャプチャ・モード（0, 1, 0）	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード[注2]（1, 0, 0）	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする[注3]。その際に割り込みは発生しない。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガは無効とする。その際に割り込みも発生しない。
上記以外		設定禁止

注1.　ビット11はRead Onlyの0固定で，書き込みは無視されます。
2.　ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTMmn），TOmn出力は制御しません。
3.　動作中にスタート・トリガ（TSmn = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求は発生せず）。

注意　144ピン製品では，TMR1nレジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TMR2nレジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.5　タイマ・ステータス・レジスタmn（TSRmn）

TSRmnレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは，キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードでのOVFビットの動作とセット／クリア条件は表6－5を参照してください。

TSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは，TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSRmnレジスタは0000Hになります。

図6－14　タイマ・ステータス・レジスタmn（TSRmn）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01AEH, F01AFH（TSR07）　　リセット時：0000H　R

F01E0H, F01E1H（TSR10）- F01EEH, F01EFH（TSR17）

F01E0H, F01E1H（TSR20）-F01EEH, F01EFH（TSR27）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

注意　144ピン製品では，TSR1nレジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TSR2nレジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

表6－5　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ＆ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

6.3.6 タイマ・チャネル許可ステータス・レジスタm（TEm）

TEmレジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは，タイマ・チャネル開始レジスタm（TSm）とタイマ・チャネル停止レジスタm（TTm）の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると，TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TEmレジスタは，16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは，TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TEmレジスタは0000Hになります。

図6－15 タイマ・チャネル許可ステータス・レジスタm（TEm）のフォーマット

アドレス：F01B0H, F01B1H（TE0）, F01F0H, F01F1H（TE1）, F01F0H, F01F1H（TE2） リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm3	0	TEHm1	0	TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1, 3が8ビット・タイマ・モード時は，TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

注意1. ビット15-12, 10, 8には必ず0を設定してください。

2. 144ピン製品では，TE1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TE2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

3. TAU2は8ビット・タイマ・モード非搭載です。

備考 144ピン製品 m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品 m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.7　タイマ・チャネル開始レジスタm（TSm）

TSmレジスタは，タイマ・カウンタ・レジスタmn（TCRmn）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので，動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは，16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは，TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TSmレジスタは0000Hになります。

図6－16　タイマ・チャネル開始レジスタm（TSm）のフォーマット

アドレス：F01B2H, F01B3H（TS0）, F01F2H, F01F3H（TS1）, F01F2H, F01F3H（TS2）　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし，カウント動作許可状態になる。
カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は，インターバル・タイマ・モードになります（「6.5.2　カウンタのスタート・タイミング」の表6－6参照）。	

TSHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし，カウント動作許可状態になる。
カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は，インターバル・タイマ・モードになります（「6.5.2　カウンタのスタート・タイミング」の表6－6参照）。	

TSmn	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし，カウント動作許可状態になる。
カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は，各動作モードにより異なります（「6.5.2　カウンタのスタート・タイミング」の表6－6参照）。 チャネル1, 3が8ビット・タイマ・モード時は，TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。	

（注意，備考は次ページにあります。）

注意1.　ビット15-12, 10, 8には必ず0を設定してください。

2.　TImn端子入力を使用しない機能から，TImn端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタmn（TMRmn）設定後，TSmn（TSHm1, TSHm3）ビットを1に設定するまでに，次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時（TNFENmn = 1）：動作クロック（f_{MCK}）の4クロック

TImn端子のノイズ・フィルタ無効時（TNFENmn = 0）：動作クロック（f_{MCK}）の2クロック

3.　144ピン製品では，TS1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TS2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

4.　TAU2は、8ビット・タイマ・モード非搭載です。

備考1.　TSmレジスタの読み出し値は常に0となります。

2.　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.8　タイマ・チャネル停止レジスタm（TTm）

TTmレジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので，動作停止状態（TEmn, TTHm1, TTHm3 = 0）になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは，16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは，TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TTmレジスタは0000Hになります。

図6－17　タイマ・チャネル停止レジスタm（TTm）のフォーマット

アドレス：F01B4H, F01B5H（TT0）, F01F4H, F01F5H（TT1）, F01F4H, F01F5H（TT2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャネル1, 3が8ビット・タイマ・モード時は，TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意1.　ビット15-12, 10, 8には必ず0を設定してください。

2.　144ピン製品では，TT1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TT2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

3.　TAU2は，8ビット・タイマ・モード非搭載です。

備考1.　TTmレジスタの読み出し値は常に0となります。

2.　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.9　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタはタイマ・アレイ・ユニット0の入力要因を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS0レジスタは00Hになります。

図6－18　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	0	TIS04	0	TIS02	TIS01	TIS00

TIS07	タイマ・アレイ・ユニット0 チャネル3で使用するタイマ入力の選択
0	タイマ入力端子（TI03）の入力信号
1	ELCからのイベント入力信号

TIS06	タイマ・アレイ・ユニット0 チャネル2で使用するタイマ入力の選択
0	タイマ入力端子（TI02）の入力信号
1	ELCからのイベント入力信号

TIS04	タイマ・アレイ・ユニット0 チャネル0で使用するタイマ入力の選択
0	タイマ入力端子（TI00）の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	タイマ・アレイ・ユニット0 チャネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI01）の入力信号
0	0	1	ELCからのイベント入力信号 タイマ入力端子（TI01）の入力信号（64KBマスタのみ）
0	1	0	タイマ入力端子（TI01）の入力信号
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）
上記以外			設定禁止

注意1.　タイマ入力選択レジスタ0（TIS0）で，ELCからのイベント入力信号を選択する場合，タイマ・クロック選択レジスタ0（TPS0）はf_{CLK}を選択してください。

2.　TI0n端子（n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

3.　選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，$1/f_{MCK}$ + 10 ns以上必要となります。そのため，f_{CLK}にf_{SL}を選択時（CKCレジスタのCSS = 1）は，TIS02ビットに1を設定できません。

6.3.10 タイマ入力選択レジスタ1（TIS1）

TIS1レジスタはタイマ・アレイ・ユニット0の入力要因を選択するレジスタです。

TIS1レジスタのTIS17, TIS16ビットは，チャネル7をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。TIS17, TIS16 = 1, 0に設定すると，シリアル・データ入力端子（RXD0）の入力信号がタイマ入力として選択されます。

ISCレジスタ（入力切り替え制御レジスタ）のISC0ビットとともに設定してください。

TIS1レジスタは8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS1レジスタは00Hになります。

図6－19 タイマ入力選択レジスタ1（TIS1）のフォーマット

アドレス：F0075H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TIS1	TIS17	TIS16	0	TIS14	0	TIS12	0	TIS10

TIS17	TIS16	タイマ・アレイ・ユニット0 チャネル7で使用するタイマ入力の選択
0	0	タイマ入力端子（TI07）の入力信号
0	1	RTC1HZ出力信号
1	0	RXD0端子（ウェイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）
1	1	設定禁止

TIS14	タイマ・アレイ・ユニット0 チャネル6で使用するタイマ入力の選択
0	タイマ入力端子（TI06）の入力信号
1	RTC1HZ出力信号

TIS12	タイマ・アレイ・ユニット0 チャネル5で使用するタイマ入力の選択
0	タイマ入力端子（TI05）の入力信号
1	タイマ入力端子（TI03）の入力信号

TIS10	タイマ・アレイ・ユニット0 チャネル4で使用するタイマ入力の選択
0	タイマ入力端子（TI04）の入力信号
1	タイマ入力端子（TI03）の入力信号

注意1. TI0n端子（n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2. TAUのチャネル7とチャネル6で使用するタイマ入力のクロック・ソースをRTC1HZ出力信号とする場合は，TIS17 = 0, TIS16 = 1, TIS14 = 1と設定して，チャネル7とチャネル6ともRTC1HZ出力信号を選択してください。

備考 LIN-bus通信を使用する場合は，TIS17, TIS16 = 1, 0に設定してRXD0端子の入力信号を選択しておいてください。

6.3.11　タイマ入力選択レジスタ2（TIS2）

TIS2レジスタはタイマ・アレイ・ユニット1の入力要因を選択するレジスタです。

TIS2レジスタは8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS2レジスタは00Hになります。

図6－20　タイマ入力選択レジスタ2（TIS2）のフォーマット

アドレス：F007AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS2	0	0	0	0	TIS23	TIS22	0	0

TIS22	タイマ・アレイ・ユニット1 チャネル6で使用するタイマ入力の選択
0	タイマ入力端子（TI16）の入力信号
1	RTC1HZ 出力信号

TIS23	タイマ・アレイ・ユニット1 チャネル7で使用するタイマ入力の選択
0	タイマ入力端子（TI17）の入力信号
1	RTC1HZ出力信号

注意1.　TI1n端子（n = 0-7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2.　TAUのチャネル7とチャネル6で使用するタイマ入力のクロック・ソースをRTC1HZ出力信号とする場合は，TIS23 = 1, TIS22 = 1と設定して，チャネル7とチャネル6ともRTC1HZ出力信号を選択してください。

6.3.12　タイマ出力許可レジスタm（TOEm）

TOEmレジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタm（TOm）のTOmnビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEmレジスタは，16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは，TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOEmレジスタは0000Hになります。

図6－21　タイマ出力許可レジスタm（TOEm）のフォーマット

アドレス：F01BAH, F01BBH（TOE0）, F01FAH, F01FBH（TOE1）, F01FAH, F01FBH（TOE2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず，出力を固定します。 TOmnビットへの書き込みが可能です。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し，出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意　144ピン製品では，TOE1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TOE2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.13　タイマ出力レジスタm（TOm）

TOmレジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタのTOmnビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

端子配置上，TImn, TOmnと兼用している端子をポート機能として使用する場合は，TOmnビットに0を設定してください。

TOmレジスタは，16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは，TOmLで8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOmレジスタは0000Hになります。

図6－22　タイマ出力レジスタm（TOm）のフォーマット

アドレス：F01B8H, F01B9H（TO0）, F01F8H, F01F9H（TO1）, F01F8H, F01F9H（TO2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が0
1	タイマ出力値が1

注意　144ピン製品では，TO1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TO2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.14　タイマ出力レベル・レジスタm（TOLm）

TOLmレジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOEmn = 1），複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には，このレジスタの設定は無効となります。

TOLmレジスタは，16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは，TOLmLで8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOLmレジスタは0000Hになります。

図6－23　タイマ出力レベル・レジスタm（TOLm）のフォーマット

アドレス：F01BCH, F01BDH（TOL0）, F01FCH, F01FDH（TOL1）, F01FCH, F01FDH（TOL2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネルnのタイマ出力レベルの制御
0	正転出力（アクティブ・ハイ）
1	反転出力（アクティブ・ロウ）

注意　144ピン製品では，TOL1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TOL2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考1.　タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

2.　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.3.15　タイマ出力モード・レジスタm（TOMm）

TOMmレジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOMmレジスタは，16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは，TOMmLで8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TOMmレジスタは0000Hになります。

図6－24　タイマ出力モード・レジスタm（TOMm）のフォーマット

アドレス：F01BEH, F01BFH（TOM0）, F01FEH, F01FFH（TOM1）, F01FEH, F01FFH（TOM2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意　144ピン製品では，TOM1レジスタにアクセスする前に，ユニット選択レジスタ（UTSEL）のTSEL0ビットを0に設定してください。また，TOM2レジスタにアクセスする前に，TSEL0ビットを1に設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

p：スレーブ・チャネル番号

n＜p≦7

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は「6.4.1　複数チャネル連動動作機能の基本ルール」を参照してください）

6.3.16　ノイズ・フィルタ許可レジスタ1, 2, 3（NFEN1, NFEN2, NFEN3）

NFEN1, NFEN2, NFEN3レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，CPU／周辺ハードウエア・クロック（f_{MCK}）で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，CPU／周辺ハードウエア・クロック（f_{MCK}）で同期化だけ行います[注]。

NFEN1, NFEN2, NFEN3レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，NFEN1, NFEN2, NFEN3レジスタは00Hになります。

注　詳細は「6.5.1（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）」，「6.5.2　カウンタのスタート・タイミング」を参照。

備考　NFEN3レジスタは，100, 80, 64, 48ピン製品で非搭載です。

図6－25　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット

アドレス：F0071H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN06	TI06端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN04	TI04端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注意　タイマ入力選択レジスタ1（TIS1）のTIS17, TIS16ビットを設定することにより、適用する端子を切り替えることができます。

TIS17, TIS16 = 0, 0に設定：TI07端子のノイズ・フィルタ使用可否選択が可能

TIS17, TIS16 = 1, 0に設定：RXD0端子のノイズ・フィルタ使用可否選択が可能

図6－26　ノイズ・フィルタ許可レジスタ2（NFEN2）のフォーマット

アドレス：F0072H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN2	TNFEN17	TNFEN16	TNFEN15	TNFEN14	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN17	TI17端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN16	TI16端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN15	TI15端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN14	TI14端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN13	TI13端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN12	TI12端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN11	TI11端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN10	TI10端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

図6－27　ノイズ・フィルタ許可レジスタ3（NFEN3）のフォーマット

アドレス：F0072H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN3	TNFEN27	TNFEN26	TNFEN25	TNFEN24	TNFEN23	TNFEN22	TNFEN21	TNFEN20

TNFEN27	TI27端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN26	TI26端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN25	TI25端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN24	TI24端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN23	TI23端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN22	TI22端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN21	TI21端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN20	TI20端子の入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

備考　100, 80, 64, 48ピン製品では非搭載のレジスタです。

6.3.17　ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 11, 12, 14（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14）

ポート0, 1, 3, 4, 5, 6, 7, 11, 12, 14の入力／出力を1ビット単位で設定するレジスタです。

タイマ入出力端子の有無は製品によって異なります。

タイマ出力端子を兼用するポート（P17/TO00/TI00, P16/TO02/TI02など）をタイマ出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P16/TO02/TI02をタイマ出力として使用する場合

ポート・モード・レジスタ1のPM16ビットを0に設定

ポート・レジスタ1のP16ビットを0に設定

タイマ出力端子を兼用するポート（P17/TO00/TI00, P16/TO02/TI02など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P16/TO02/TI02をタイマ入力として使用する場合

ポート・モード・レジスタ1のPM16ビットを1に設定

ポート・レジスタ1のP16ビットは0または1のどちらでもかまいません。

PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，FFHになります。

図6－28　ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 11, 12, 14（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14）のフォーマット（144ピン製品の場合）

アドレス：FFF20H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス：FFF25H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

アドレス：FFF27H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

アドレス：FFF2BH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110

アドレス：FFF2CH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	1	1	1	1	PM120

アドレス：FFF0EH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn端子の入出力モードの選択（m = 0, 1, 3, 4, 5, 6, 7, 11, 12, 14 ; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

備考　上記は，144ピン製品のポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 11, 12, 14のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては「第4章 ポート機能」を参照してください。

6.3.18　PWM出力遅延制御レジスタ1（PWMDLY1）

PWMDLY1レジスタは，TO0n端子から出力するPWM出力信号の出力遅延を制御するレジスタです。

PWMDLY1レジスタは16ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PWMDLY1レジスタは0000Hになります。

アドレス：F022BH　　リセット時：00H　　R/W

略号	15	14	13	12	11	10	9	8
PWMDLY1	TO071	TO070	TO061	TO060	TO051	TO050	TO041	TO040

アドレス：F022AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PWMDLY1	TO031注	TO030注	TO021注	TO020注	TO011	TO010	0	0

TO0n1	TO0n0	タイマ・アレイ・ユニット0 TO0n のPWM出力遅延制御
0	0	遅延なし
0	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の1サイクル分遅延
1	0	CPU／周辺ハードウェア・クロック（f_{CLK}）の2サイクル分遅延
1	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の3サイクル分遅延

備考　n：チャネル番号（n = 1-7）

注意1.　本レジスタは，PWM出力前に設定してください。（動作中に変更しないで下さい。）

2.　本レジスタは16ビット・メモリ操作命令で設定してください。1, 8ビット・メモリ操作命令で設定しないでください。

3.　PWM出力として使用しない場合は0に設定してください。

4.　PWM出力停止後に本レジスタを設定する場合は，CPU／周辺ハードウェア・クロック（f_{CLK}）の4サイクル後以降に設定してください。

5.　本レジスタを遅延ありに設定した場合でもTO0n以外の兼用機能は遅延しません(n = 1-7)。

6.3.19　PWM出力遅延制御レジスタ2（PWMDLY2）

PWMDLY2レジスタは，TO1n端子から出力するPWM出力信号の出力遅延を制御するレジスタです。

PWMDLY2レジスタは16ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PWMDLY2レジスタは0000Hになります。

アドレス：F022DH　　リセット時：00H　　R/W

略号	15	14	13	12	11	10	9	8
PWMDLY2	TO171	TO170	TO161	TO160	TO151	TO150	TO141	TO140

アドレス：F022CH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PWMDLY2	TO131	TO130	TO121	TO120	TO111	TO110	0	0

TO1n1	TO1n0	タイマ・アレイ・ユニット1 TO1n のPWM出力遅延制御
0	0	遅延なし
0	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の1サイクル分遅延
1	0	CPU／周辺ハードウェア・クロック（f_{CLK}）の2サイクル分遅延
1	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の3サイクル分遅延

備考　n：チャネル番号（n = 1-7）

注意1.　本レジスタは，PWM出力前に設定してください。（動作中に変更しないで下さい。）

2.　本レジスタは16ビット・メモリ操作命令で設定してください。1, 8ビット・メモリ操作命令で設定しないでください。

3.　PWM出力として使用しない場合は0に設定してください。

4.　PWM出力停止後に本レジスタを設定する場合は，CPU／周辺ハードウェア・クロック（f_{CLK}）の4サイクル後以降に設定してください。

5.　本レジスタを遅延ありに設定した場合でもTO1n以外の兼用機能は遅延しません(n = 1-7)。

6.3.20　PWM出力遅延制御レジスタ3（PWMDLY3：144ピンのみ）

PWMDLY3レジスタは，TO2n端子から出力するPWM出力信号の出力遅延を制御するレジスタです。

PWMDLY3レジスタは16ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PWMDLY3レジスタは0000Hになります。

アドレス：F022FH　　リセット時：00H　　R/W

略号	15	14	13	12	11	10	9	8
PWMDLY3	TO271	TO270	TO261	TO260	TO251	TO250	TO241	TO240

アドレス：F022EH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PWMDLY3	TO231	TO230	TO221	TO220	TO211	TO210	0	0

TO2n1	TO2n0	タイマ・アレイ・ユニット2 TO2nのPWM出力遅延制御
0	0	遅延なし
0	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の1サイクル分遅延
1	0	CPU／周辺ハードウェア・クロック（f_{CLK}）の2サイクル分遅延
1	1	CPU／周辺ハードウェア・クロック（f_{CLK}）の3サイクル分遅延

備考　n：チャネル番号（n = 1-7）

注意1.　本レジスタは，PWM出力前に設定してください。（動作中に変更しないで下さい。）

2.　本レジスタは16ビット・メモリ操作命令で設定してください。1, 8ビット・メモリ操作命令で設定しないでください。

3.　PWM出力として使用しない場合は0に設定してください。

4.　PWM出力停止後に本レジスタを設定する場合は，CPU／周辺ハードウェア・クロック（f_{CLK}）の4サイクル後以降に設定してください。

5.　本レジスタを遅延ありに設定した場合でもTO2n以外の兼用機能は遅延しません(n = 1-7)。

6.3.21　ユニット選択レジスタ（UTSEL：144ピンのみ）

ユニット選択レジスタは、レジスタ・アクセスを行う対象ユニットの切り替えをするレジスタです。

UTSELレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

TAU1とTAU2の一部のレジスタを，同じアドレスに割り当てています。TAU1，TAU2のレジスタにアクセスする場合，ユニット選択レジスタ（UTSEL）でアクセス対象のユニットを指定します。TAU1，TAU2のレジスタをアクセスする前にUTSELレジスタで，使用するユニットを設定してください。

アドレス：F0210H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
UTSEL	0	0	0	0	0	SSEL0	0	TSEL0

SSEL0	シリアル・アレイ・ユニット選択制御
0	SAU1選択（SAU1のレジスタ・アクセス可能）
1	SAU2選択（SAU2のレジスタ・アクセス可能）

TSEL0	タイマ・アレイ・ユニット選択制御
0	TAU1選択（TAU1のレジスタ・アクセス可能）
1	TAU2選択（TAU2のレジスタ・アクセス可能）

6.4　タイマ・アレイ・ユニットの基本ルール

6.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

（1）マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2，チャネル4，チャネル6）のみ設定できます。

（2）スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。

（3）スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。

例　チャネル2をマスタ・チャネルにした場合，チャネル3以降（チャネル3，チャネル4，チャネル5･･･）をスレーブ・チャネルに設定できます。

（4）1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。

（5）マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。

例　チャネル0，チャネル4をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1-3までをスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル5-7をスレーブ・チャネルとして設定できません。

（6）マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。

（7）マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。

（8）スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。

（9）マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。

（10）連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。

（11）カウント動作中のTSmビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmビットのみの設定では使用できません。

（12）連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。

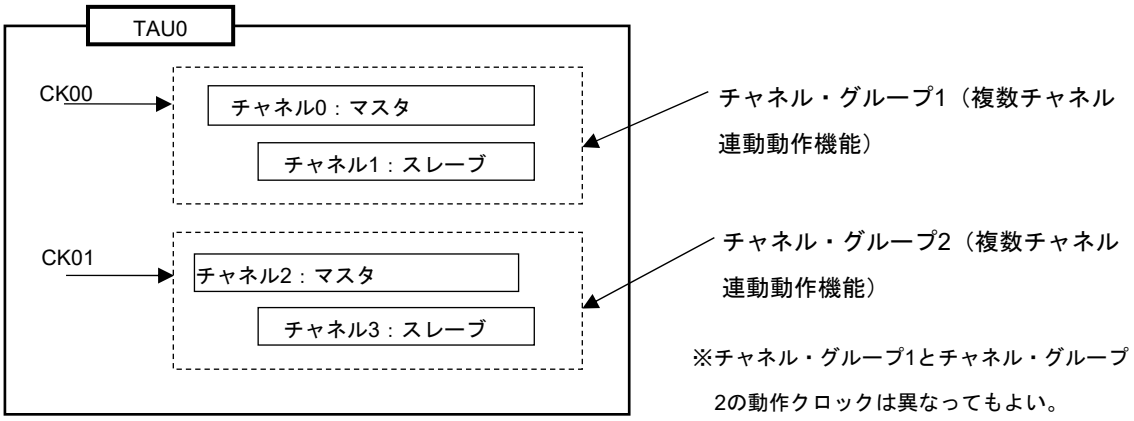
（13）タイマ・モード・レジスタm0（TMRm0）は，マスタ・ビットがなく0に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

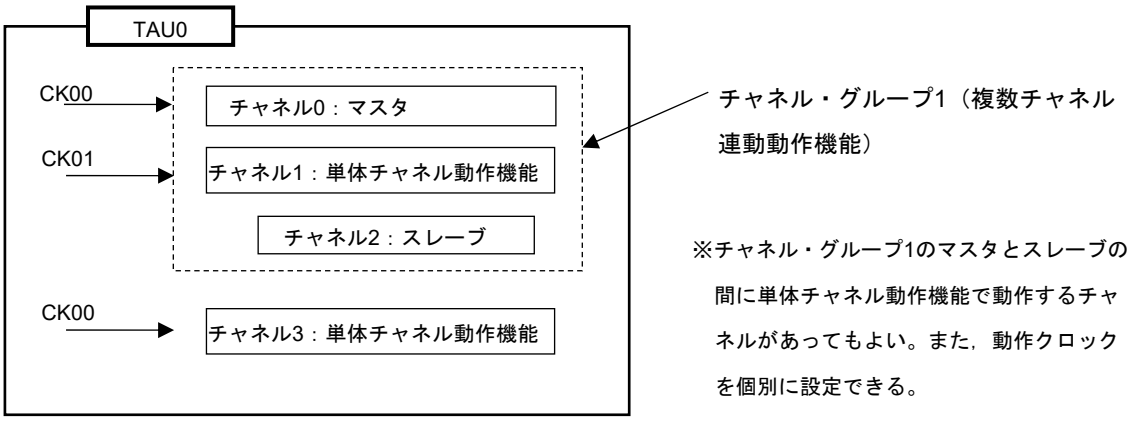
それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

例1



例2



6.4.2　8ビット・タイマ動作機能の基本ルール（ユニット0, 1のチャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

（1）8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。

（2）8ビット・タイマとして使用する場合には，タイマ・モード・レジスタmn（TMRmn）のSPLITmnビットを1に設定します。

（3）上位8ビットは，インターバル・タイマ機能として動作することができます。

（4）上位8ビットは，動作開始時にINTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。

（5）上位8ビットの動作クロック選択は，下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。

（6）上位8ビットは，TSHm1/TSHm3ビットを操作することでチャネル動作を開始し，TTHm1/TTHm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEHm1/TEHm3ビットで確認できます。

（7）下位8ビットは，TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は，以下の3機能です。

- インターバル・タイマ機能
- 外部イベント・カウンタ機能
- ディレイ・カウント機能

（8）下位8ビットは，TSm1/TSm3 ビットを操作することでチャネル動作を開始し，TTm1/TTm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEm1/TEm3ビットで確認できます。

（9）16ビットで動作させる場合には，TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。

（10）8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM）を使用することはできません。

備考　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 1, 3）

注意　144ピン製品でTAU1を設定する場合は，事前にユニット選択レジスタ（UTSEL）のTSEL0ビットに0を設定してください。

6.5　カウンタの動作タイミング

6.5.1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタmn（TMRmn）のCCSmnビットにより，以下のどちらかを選択することができます。

- CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
- TImn端子からの入力信号の有効エッジ

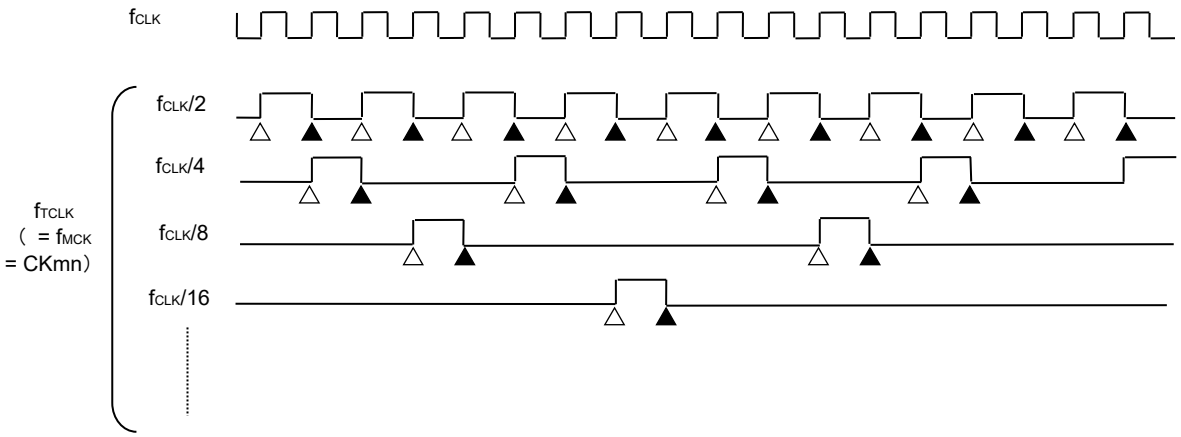
タイマ・アレイ・ユニットは，f_{CLK}との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

（1）CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSmn = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタm（TPSm）の設定により，f_{CLK} ～ $f_{CLK}/2^{15}$となります。ただし，f_{CLK}の分周を選んだ場合は，TPSmレジスタで選択するクロックは，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになる信号となります。f_{CLK}を選んだ場合は，ハイ・レベル固定となります。

タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるため，カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6－29　f_{CLK}とカウント・クロック（f_{TCLK}）のタイミング（CCSmn = 0時）



備考1.　△：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

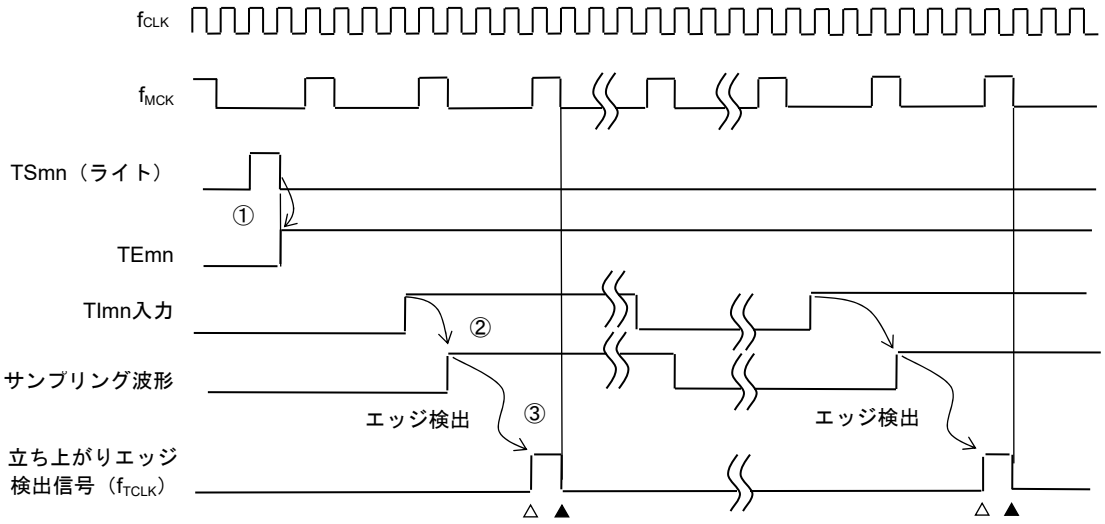
2.　f_{CLK}：CPU／周辺ハードウエア・クロック

（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（f_{TCLK}）は，TImn端子からの入力信号の有効エッジを検出し，次のf_{MCK}の立ち上がりに同期した信号になります。これは，実際のTImn端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK}の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上「TImn端子からの入力信号の有効エッジでカウントする」と表現します。

図6－30 カウント・クロック（f_{TCLK}）のタイミング（CCSmn = 1，ノイズ・フィルタ未使用時）



① TSmnビットをセットすることでタイマが動作を開始し，TImn入力の有効エッジ待ちになります。

② TImn入力の立ち上がりがf_{MCK}でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック）が出力されます。

備考1. △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2. f_{CLK}：CPU／周辺ハードウエア・クロック

f_{MCK}：チャネルnの動作クロック

3. 入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTImn入力も同様の波形になります。

6.5.2　カウンタのスタート・タイミング

タイマ・カウント・レジスタmn（TCRmn）は，タイマ・チャネル開始レジスタm（TSm）のTSmnビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作を，表6－6に示します。

表6－6　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（「6.5.3（1）インターバル・タイマ・モード時のスタート・タイミング」を参照）。
・イベント・カウンタ・モード	TSmnビットに1を書き込むことにより， TDRmnレジスタの値をTCRmnレジスタにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMRmnレジスタのSTSmn2-STSmn0ビットで選択した外部トリガ検出では，カウント動作を開始しません（「6.5.3（2）イベント・カウンタ・モード時のスタート・タイミング」を参照）。
・キャプチャ・モード	スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（「6.5.3（3）キャプチャ・モード時のスタート・タイミング」を参照）。
・ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（「6.5.3（4）ワンカウント・モード時のスタート・タイミング」を参照）。
・キャプチャ＆ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（「6.5.3（5）キャプチャ&ワンカウント・モード時のスタート・タイミング（ハイ・レベル幅測定時の動作）」を参照）。

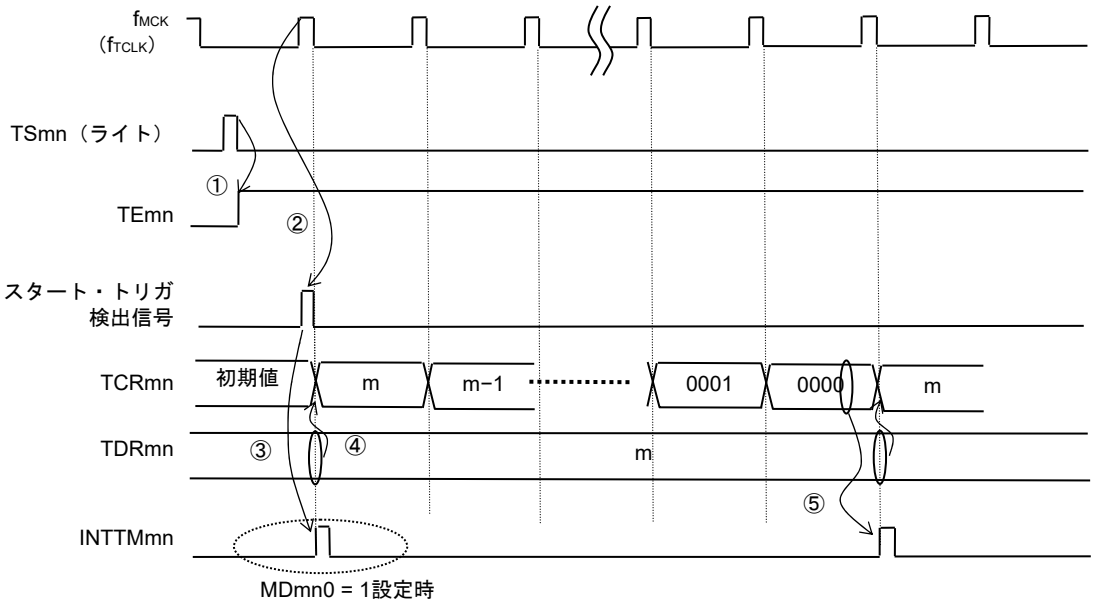
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

（1）インターバル・タイマ・モード時のカウンタ動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。
③ MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。
④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック（f_{MCK}）でINTTMmnを発生し，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードしてカウントを継続します。

図6－31 カウンタ動作タイミング（インターバル・タイマ・モード時）



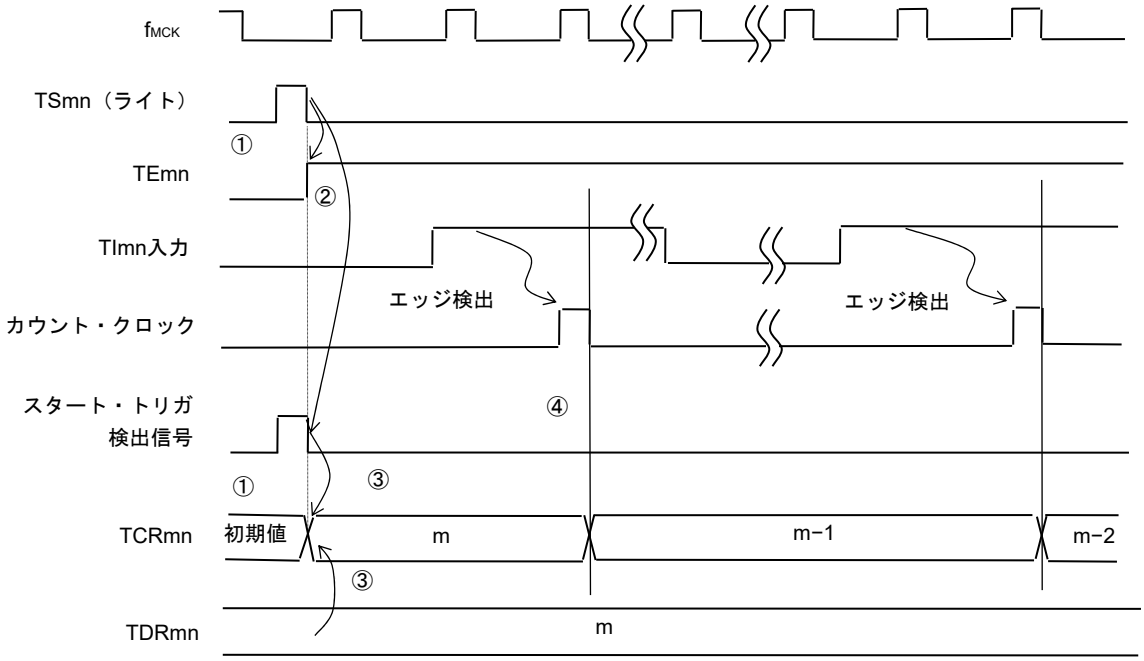
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考 f_{MCK}，スタート・トリガ検出信号，INTTMmnは，f_{CLK}に同期して１クロック間アクティブとなります。

（2）イベント・カウンタ・モード時のカウンタ動作

① 動作停止状態（TEmn = 0）の期間，タイマ・カウンタ・レジスタmn（TCRmn）は，初期値を保持します。
② TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
③ TSmn = 1→TEmn = 1と同時に，TCRmnレジスタにタイマ・データ・レジスタmn（TDRmn）の値をロードし，カウントを開始します。
④ 以降はTImn入力の有効エッジでのカウント・クロックに従い，TCRmnレジスタの値をダウン・カウントします。

図 6－32 カウンタ動作タイミング（イベント・カウンタ・モード時）

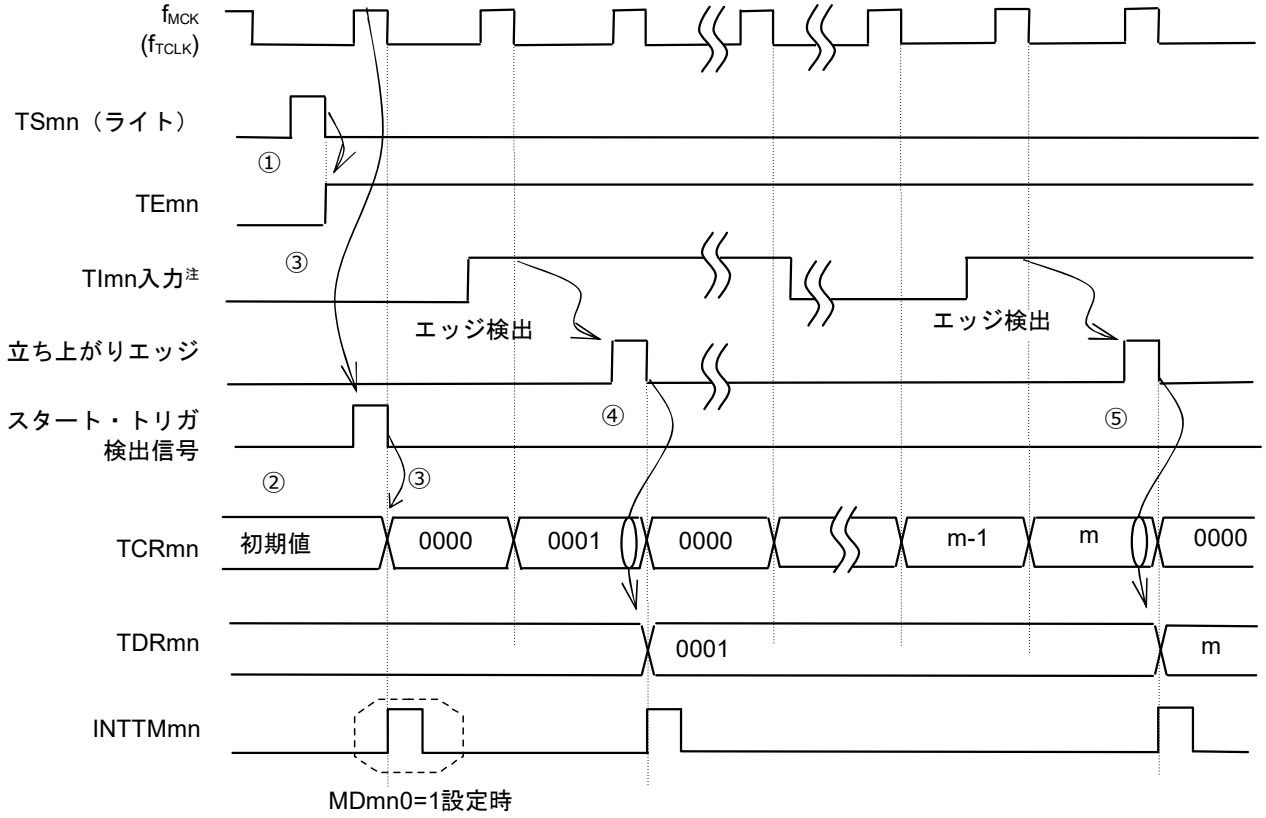


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。

（3）キャプチャ・モード時のカウンタ動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。
③ 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。）
④ TImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
⑤ 次のTImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－33 カウンタ動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注 スタート前からTImnにクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので，無視してください。

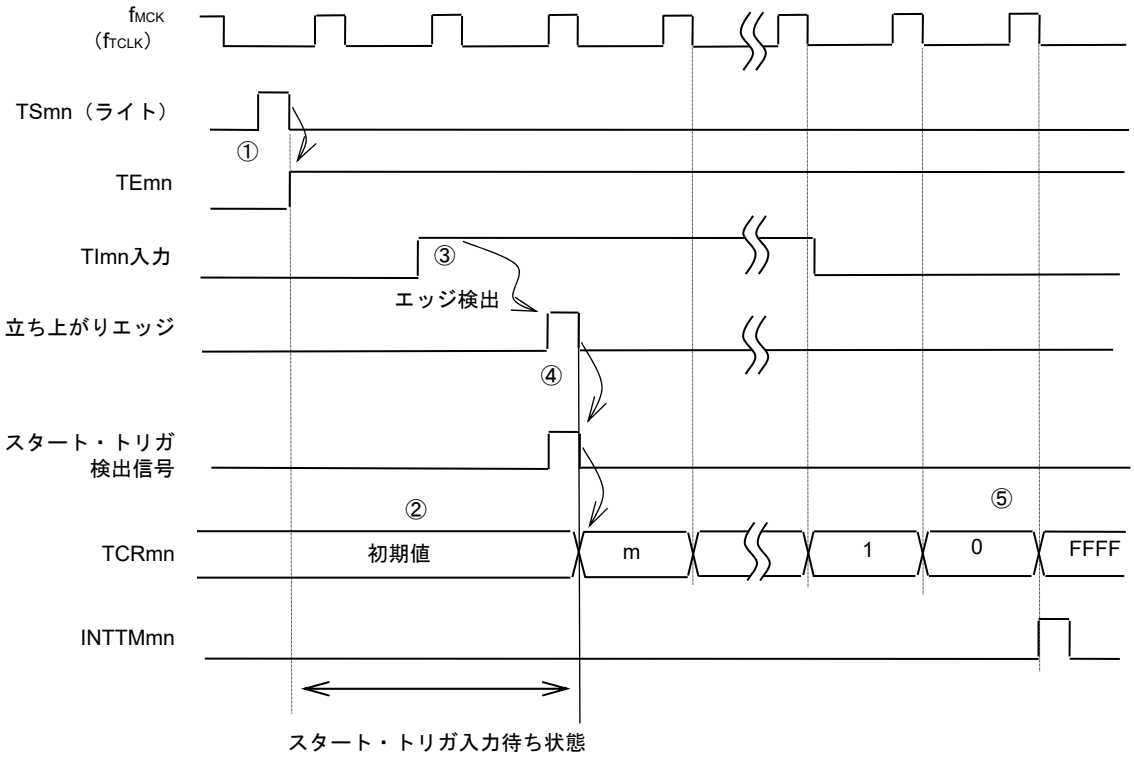
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。

（4）ワンカウント・モード時のカウンタ動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持しています。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TDRmnレジスタの値（m）をTCRmnレジスタにロードし，カウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，INTTMmn割り込みを発生し，TCRmnレジスタはFFFFHで停止します。

図6－34 カウンタ動作タイミング（ワンカウント・モード時）

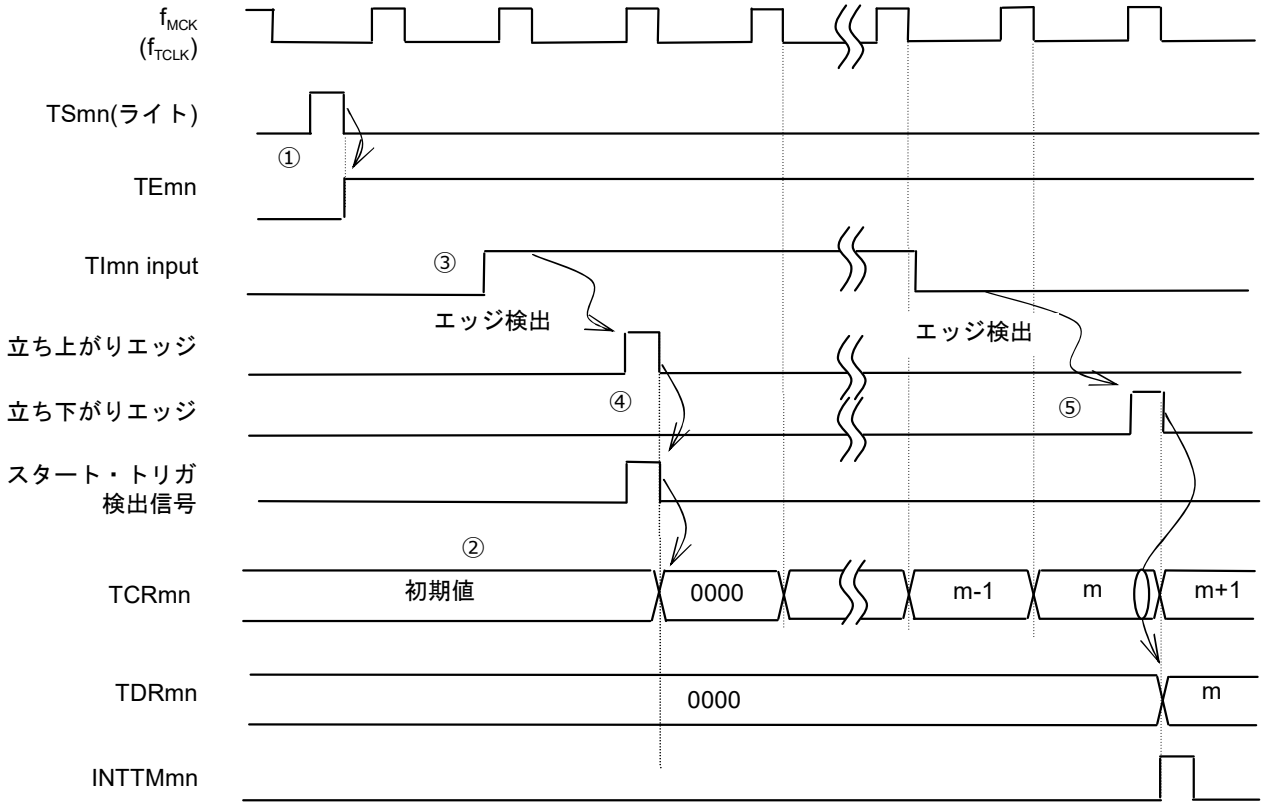


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

（5）キャプチャ&ワンカウント・モード時のカウンタ動作（ハイ・レベル幅測定時の動作）

① タイマ・チャネル開始レジスタm（TSm）のTSmnビットに1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持します。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，0000HをTCRmnレジスタにロードし，カウントを開始します。
⑤ TImn入力の立ち下がりエッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－35 カウンタ動作タイミング（キャプチャ&ワンカウント・モード時）

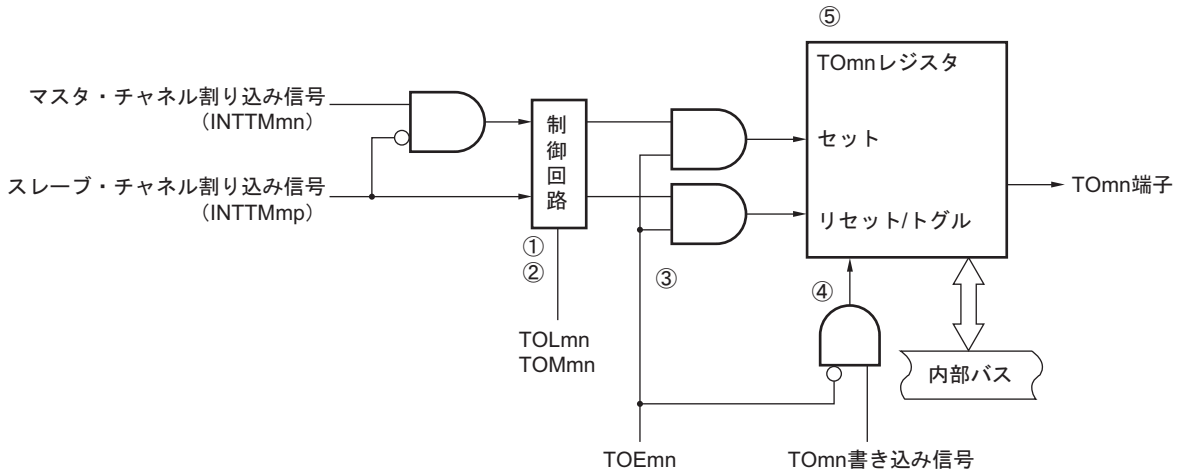


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

6.6　チャネル出力（TOmn端子）の制御

6.6.1　TOmn端子の出力回路の構成

図6－36　出力回路構成図



TOmn端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタm（TOLm）の設定値は無視され，INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタm（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。
このとき，TOLmレジスタが有効となり，次のように信号を制御します。

TOLmn = 0の場合　：正転動作（INTTMmn→セット，INTTMmp→リセット）
TOLmn = 1の場合　：反転動作（INTTMmn→リセット，INTTMmp→セット）

また，INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は，INTTMmp（リセット信号）が優先され，INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。TOmレジスタへの書き込み（TOmnライト信号）は無効となります。
また，TOEmn = 1のとき，割り込み信号以外でTOmn端子の出力が変化することはありません。TOmn端子の出力レベルを初期化する場合は，タイマ動作停止（TOEmn = 0）に設定しTOmレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で，対象チャネルのTOmnビットへの書き込み（TOmnライト信号）が有効となります。タイマ出力禁止状態（TOEmn = 0）のとき，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）はTOmレジスタに伝えられません。

⑤ TOmレジスタは常に読み出し可能であり，TOmn端子の出力レベルを確認することができます。

（備考は次ページにあります。）

備考　m：ユニット番号（m = 0-2）

n：チャネル番号

n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）

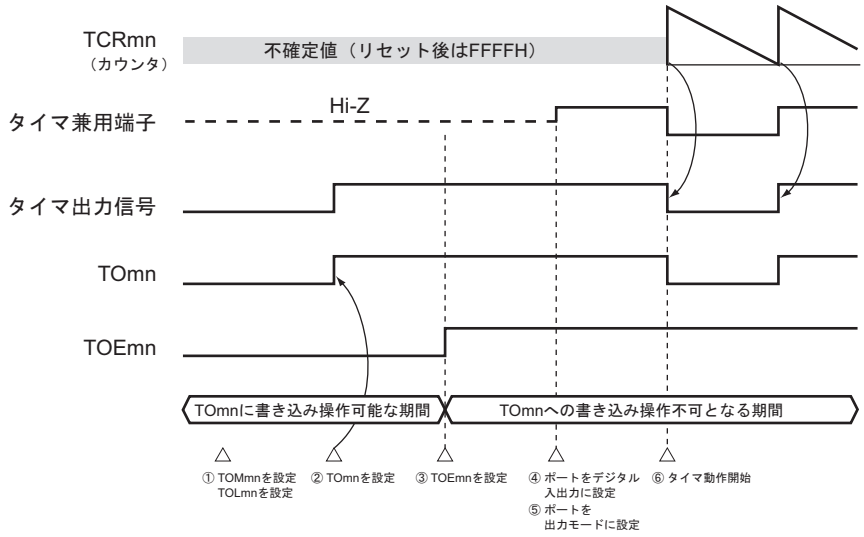
p：スレーブ・チャネル番号

n＜p≦7

6.6.2　TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6－37　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmnビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）
- TOLmnビット（0：正転出力，1：反転出力）

② タイマ出力レジスタm（TOm）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOEmnビットに1を書き込み，タイマ出力動作を許可します（TOmレジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール・レジスタ（PMCxx）でポートをデジタル入出力に設定します（「4.3.6 ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）」を参照）。

⑤ ポートの入出力設定を出力に設定します（「6.3.17　ポート・モード・レジスタ0, 1, 3, 4, 5, 6, 7, 11, 12, 14（PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM11, PM12, PM14）」を参照）。

⑥ タイマを動作許可にします（TSmn = 1）。

注意　144ピン製品で，TAU1，TAU2のTOMm，TOLm，TOm，TOEm，TSmレジスタを設定する場合は，事前にユニット選択レジスタ（UTSEL）のTSEL0ビットを設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.6.3　チャネル出力操作時の注意事項

（1）タイマ動作中のTOm,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn（TCRmn）,タイマ・データ・レジスタmn（TDRmn）の動作）は，TOmn出力回路とは独立しています。よって，タイマ出力レジスタm（TOm），タイマ出力許可レジスタm（TOEm），タイマ出力レベル・レジスタm（TOLm），タイマ出力モード・レジスタm（TOMm）の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形をTOmn端子から出力するためには, 6. 7, 6. 8節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTMmn）近辺で，TOmレジスタを除く TOEmレジスタ，TOLmレジスタ， TOMmレジスタの設定値変更を行うと，タイマ割り込み（INTTMmn）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（INTTMmn）信号発生タイミング直後に設定値変更が実施された場合とでは，TOmn端子に出力される波形が異なる場合があります。

備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

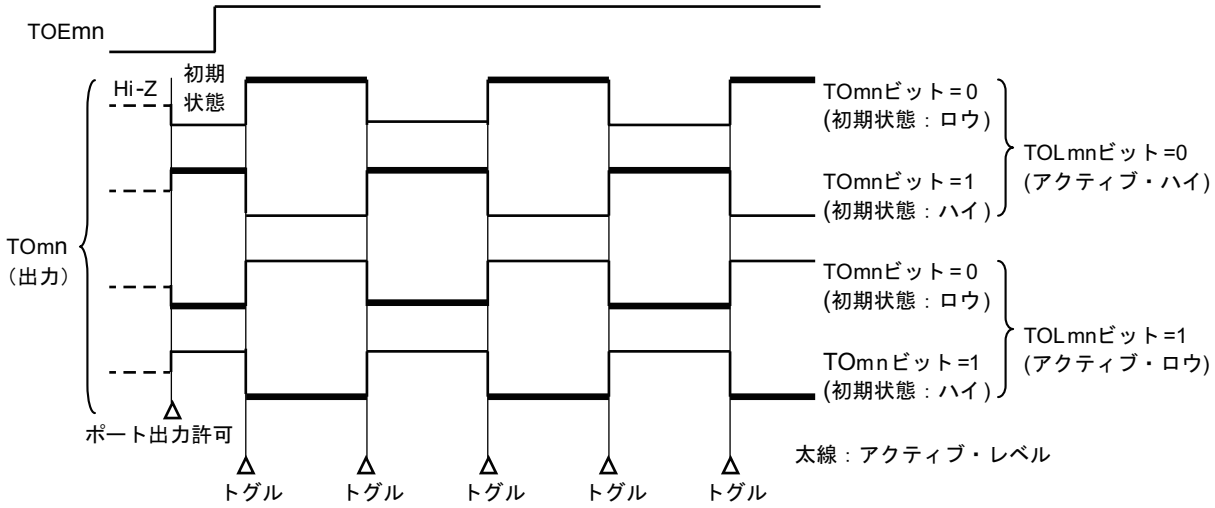
（2）TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタm（TOm）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOEmn = 1）に設定した場合のTOmn端子出力レベルの変化を次に示します。

（a）マスタ・チャネル出力モード（TOMmn= 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn= 0）の時，タイマ出力レベル・レジスタm（TOLm）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6－38　トグル出力時（TOMmn = 0）のTOmn端子出力状態



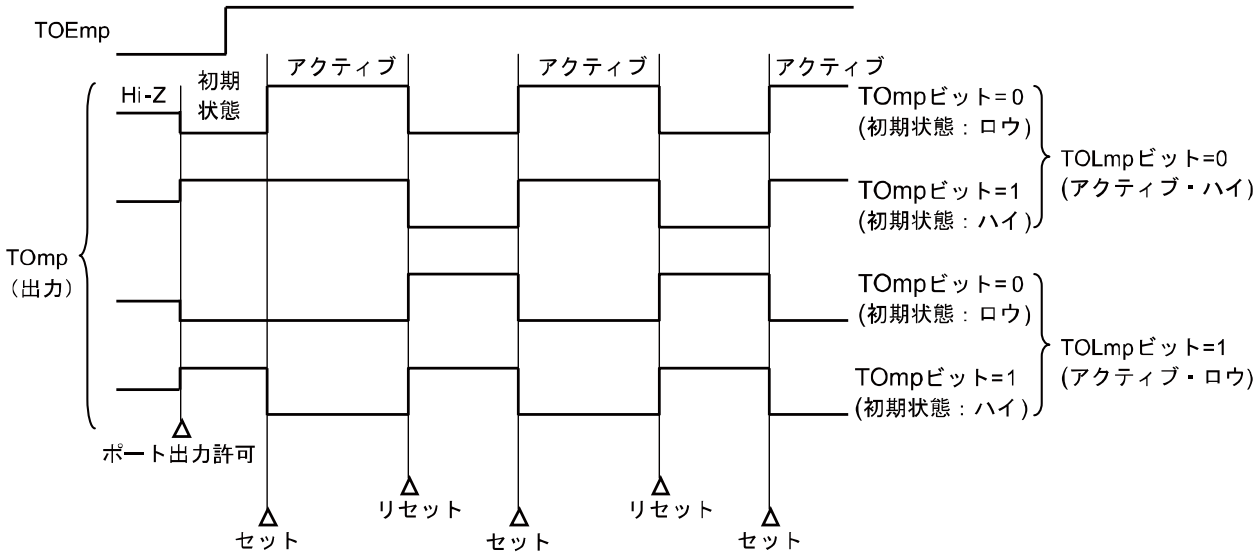
備考1.　トグル：TOmn端子の出力状態を反転

2.　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

（b）スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMmp = 1）の時，タイマ出力レベル・レジスタm（TOLm）の設定によりアクティブ・レベルを決定します。

図6－39　PWM出力時（TOMmp = 1）のTOmp端子出力状態



備考1.　セット　　：TOmp端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　　：TOmp端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　m：ユニット番号（m = 0-2），p：チャネル番号（p = 1-7）

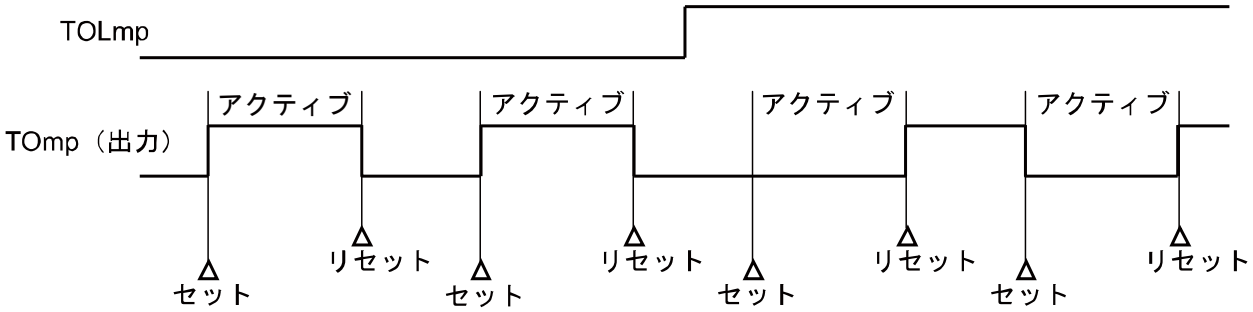
（3）TOmp端子のスレーブ・チャネル出力モード（TOMmp = 1）での動作について

（a）タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合，設定が有効となるのはTOmp端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは，TOmp端子の出力レベルは変化しません。

TOMmp = 1で，タイマ動作中（TEmp = 1）にTOLmレジスタの値を変更した場合の動作を次に示します。

図6－40　タイマ動作中にTOLmレジスタを変更した場合の動作



備考1.　セット　　：TOmp端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　　：TOmp端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　m：ユニット番号（m = 0-2），p：チャネル番号（p = 1-7）

（b）セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTMmn）発生時のTOmp端子/TOmpビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

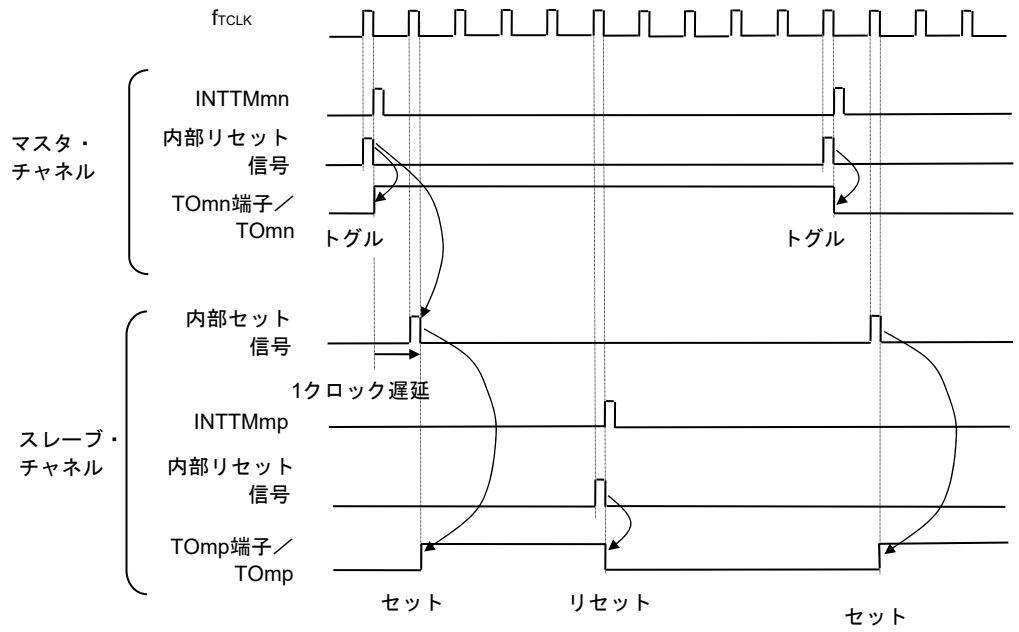
マスタ／スレーブ･チャネルを次のように設定した場合のセット／リセット動作状態を図6－41に示します。

マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0

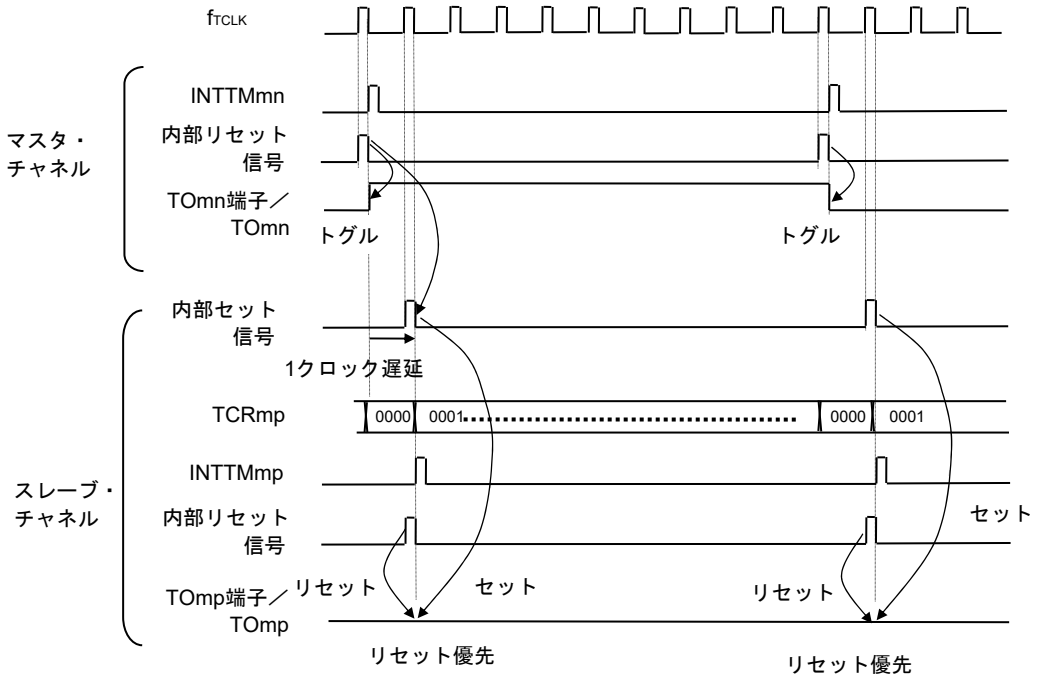
スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6－41　セット／リセット・タイミング動作状態

（1）基本動作タイミング



（2）0 %デューティ時の動作タイミング



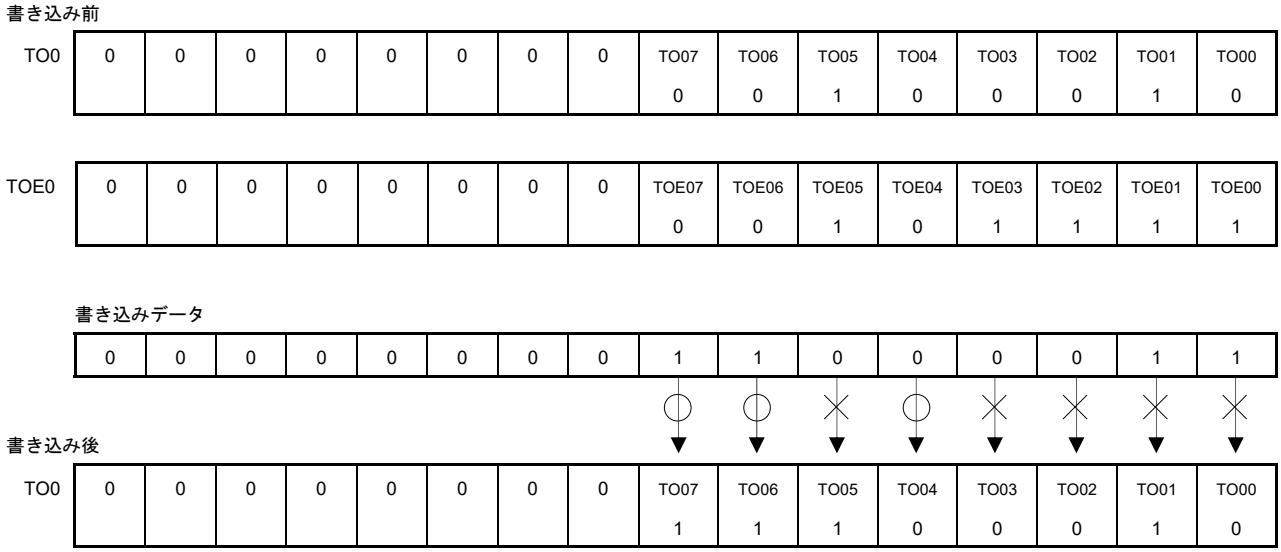
備考1.　内部リセット信号　　：TOmn端子のリセット／トグル信号
　　内部セット信号　　：TOmn端子のセット信号

2.　m：ユニット番号（m = 0-2）
　　n：チャネル番号
　　n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
　　p：スレーブ・チャネル番号
　　n＜p≦7

6.6.4　TOmnビットの一括操作

タイマ出力レジスタm（TOm）には，タイマ・チャネル開始レジスタm（TSm）と同様に，1レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって，全チャネルのTOmnビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TOmn）のみTOmnビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

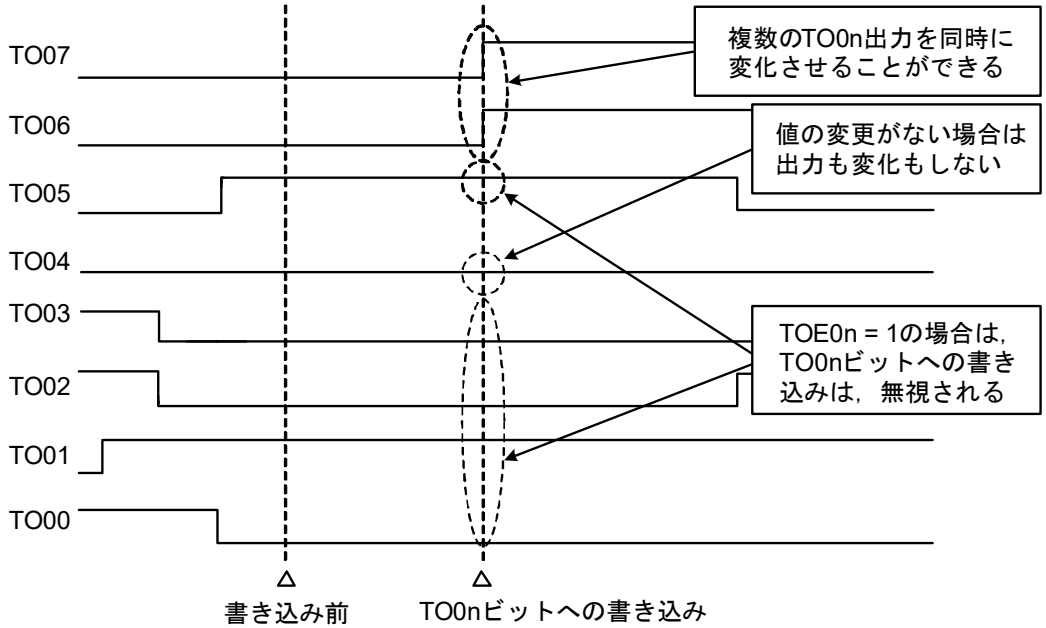
図6－42　TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn（チャネル出力）は，書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図6－43　TO0nビットの一括操作によるTO0nの端子状態



注意　タイマ出力許可状態（TOEmn = 1）において，各チャネルのタイマ割り込み（INTTMmn）による出力とTOmnビットへの書き込みが競合しても，TOmn端子は正常に出力動作が行われます。

備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

6.6.5　カウント動作開始時のタイマ割り込みとTOmn端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタmn（TMRmn）のMDmn0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

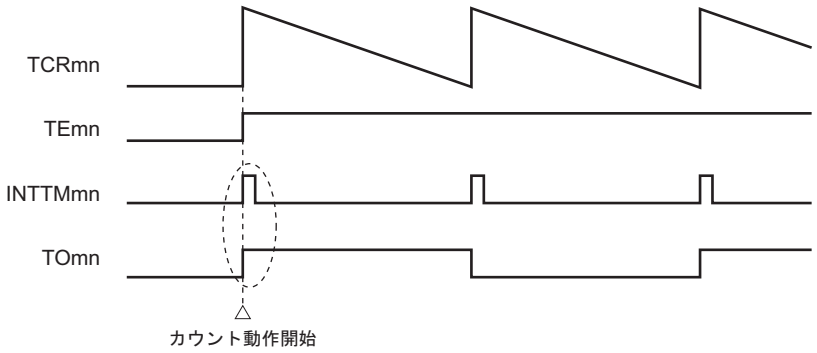
MDmn0 = 1に設定することで，タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOmn出力は制御しません。

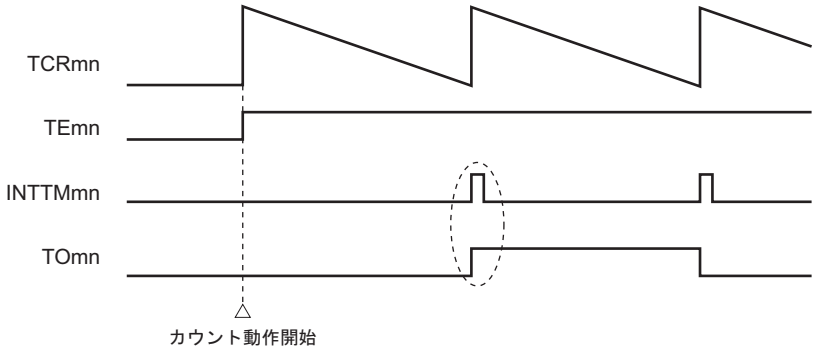
インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図6－44　カウント動作開始時のタイマ割り込み，TOmn出力の動作例

（a）MDmn0 = 1に設定した場合



（b）MDmn0 = 0に設定した場合



MDmn0 = 1に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）が出力され，TOmnがトグル動作します。

MDmn0 = 0に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmnも変化しません。1周期をカウント後，INTTMmnを出力し，TOmnがトグル動作します。

備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

6.7　タイマ・アレイ・ユニットの単独チャネル動作機能

6.7.1　インターバル・タイマ／方形波出力としての動作

（1）インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）

（2）方形波出力としての動作

TOmnは，INTTMmn発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TOmn出力波形の周期と周波数は，次の式で求めることができます。

・TOmnからの出力方形波の周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）×2
・TOmnからの出力方形波の周波数 ＝ カウント・クロックの周波数／｛（TDRmnの設定値＋1）×2｝

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定後，最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば，INTTMmnを出力せず，TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば，INTTMmnを出力して，TOmnをトグルします。

その後，　TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら，次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また，同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降，同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

図6－45　インターバル・タイマ／方形波出力としての動作のブロック図

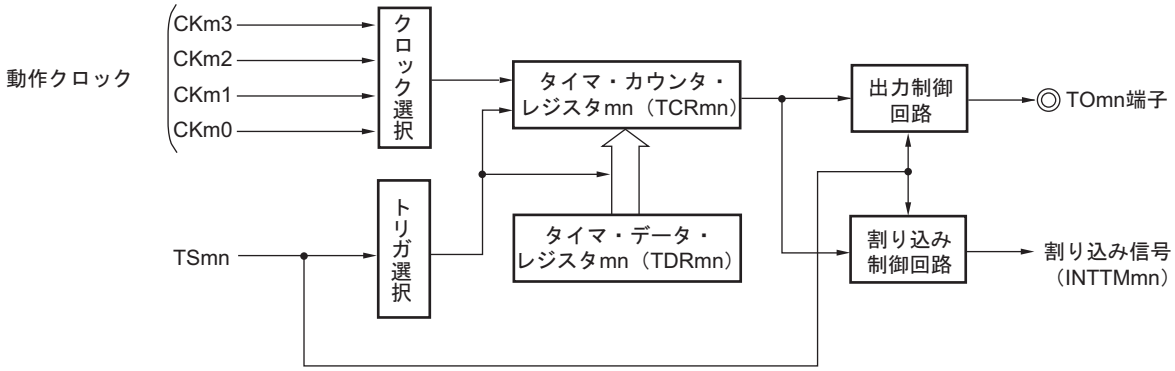
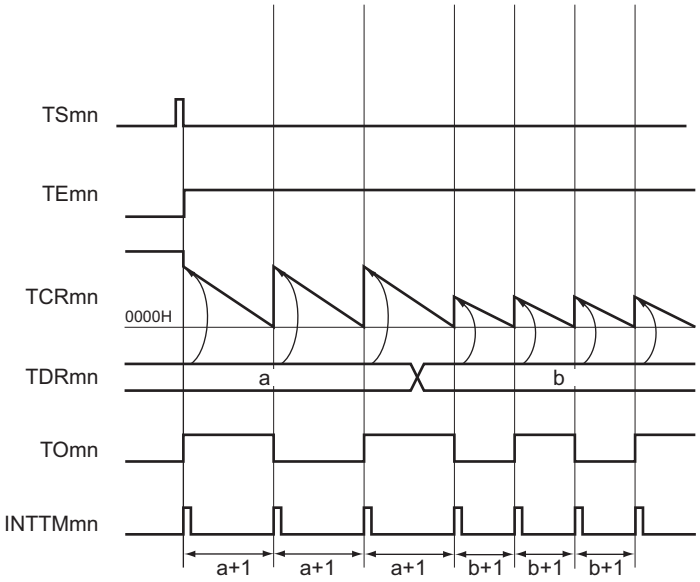


図6－46　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）



備考1.　m　　：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

2.　TSmn　　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

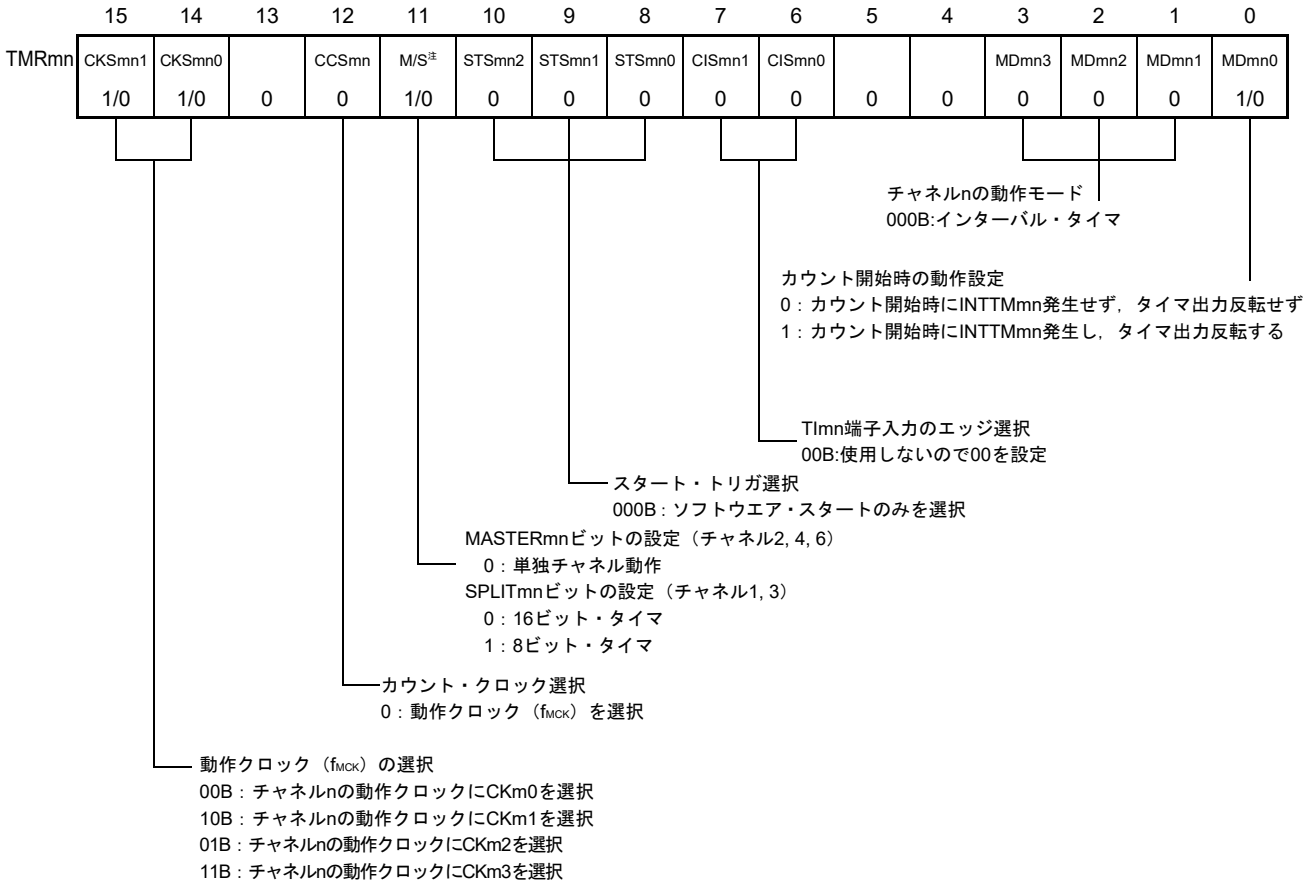
TCRmn　　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　　：タイマ・データ・レジスタmn（TDRmn）

TOmn　　：TOmn端子出力信号

図6－47　インターバル・タイマ／方形波出力時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



（b）タイマ出力レジスタm（TOm）

ビットn

	TOmn	
TOm	1/0	0：TOmnより0を出力する 1：TOmnより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

ビットn

	TOEmn	
TOEm	1/0	0：カウント動作によるTOmn出力動作停止 1：カウント動作によるTOmn出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

ビットn

	TOLmn	
TOLm	0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

ビットn

	TOMmn	
TOMm	0	0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　　：MASTERmnビット
　　TMRm1, TMRm3の場合　　：SPLITmnビット
　　TMRm0, TMRm5, TMRm7の場合　　：0固定

注意1.　TAU2は，8ビット・タイマ非搭載です。
　　2.　144ピン製品で，TAU1，TAU2のTMRmn，TOm，TOEm，TOLm，TOMmレジスタを設定する場合は，事前にユニット選択レジスタ（UTSEL）のTSEL0ビットを設定してください。

（備考は次ページにあります。）

備考　144ピン製品 m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品 m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－48　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0，1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は，ユニット選択レジスタ（UTSEL）レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は，TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル 初期設定	タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	TOmn出力を使用する場合， タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する TOLmnビットに0を設定する TOmnビットを設定し，TOmn出力の初期レベルを確定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	チャネルは動作停止状態なので，TOmnは変化しない TOmn端子はTOmn設定レベルを出力
動作開始	（TOmn出力を使用する場合で，かつ動作再開時のみTOEmnビットに1を設定する） TSmn（TSHm1, TSHm3）ビットに1を設定する → TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので，自動的に0に戻る	TEmn（TEHm1, TEHm3） = 1になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。 TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
動作中	TMRmnレジスタ，TOMmn，TOLmnビットは，設定値変更禁止 TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TOm，TOEmレジスタは，設定値変更可能	カウンタ（TCRmn）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。 以降，この動作を繰り返す。
動作停止	TTmn（TTHm1, TTHm3）ビットに1を設定する → TTmn（TTHm1, TTHm3）ビットはトリガ・ビットなので，自動的に0に戻る	TEmn（TEHm1，TEHmn） = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TOEmnビットに0を設定し，TOmnビットに値を設定する →	TOmn端子はTOmnビットに設定したレベルを出力

動作再開

（備考は次ページにあります。）

図6－48　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
TAU停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0, PER1レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmnビットが0になり，TOmn端子はポート機能となる）

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.7.2　外部イベント・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmnの設定値＋1

タイマ・カウンタ・レジスタmn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）の任意のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。

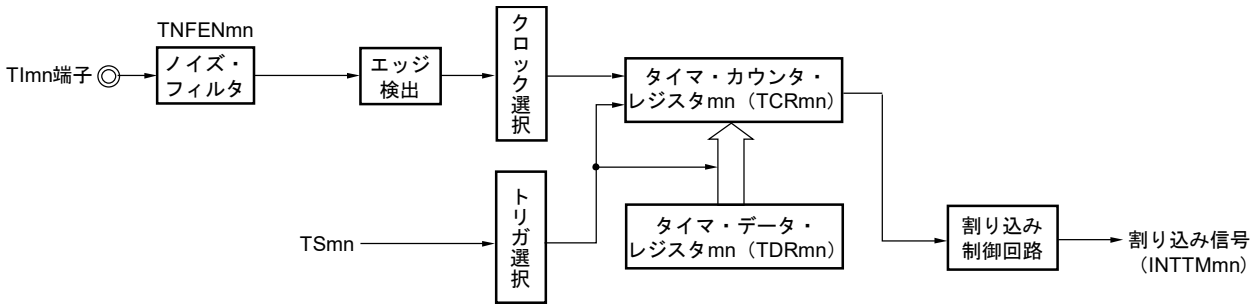
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い，TCRmn = 0000Hとなったら，再びTDRmnレジスタの値をロードして，INTTMmnを出力します。

以降，同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定して出力動作を停止するようにしてください。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図6－49　外部イベント・カウンタとしての動作のブロック図



注意1.　TAU2は，8ビット・タイマ非搭載です。

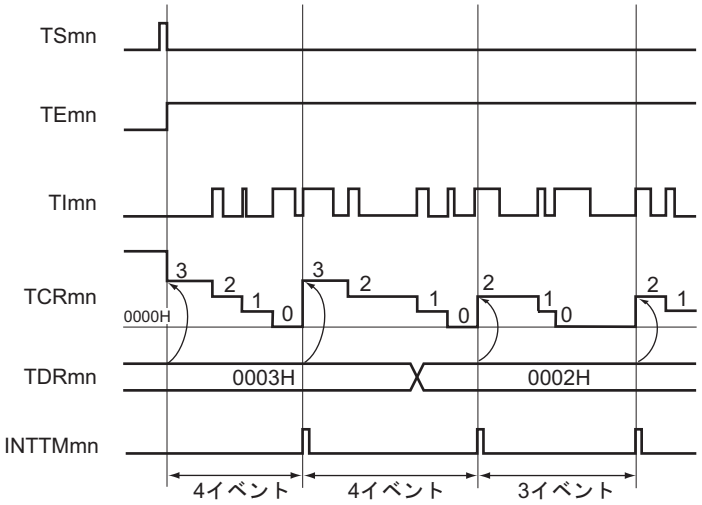
2.　144ピン製品で，TAU1，TAU2のTSm，TCRm，TDRm，TOEmレジスタを設定する場合は，事前にユニット選択レジスタ（UTSEL）のTSEL0ビットを設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

TNFENmn：NFEN1, 2, 3レジスタのビット

図6－50　外部イベント・カウンタとしての動作の基本タイミング例



備考1.　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図6－51　外部イベント・カウンタ・モード時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	1/0	0	0	0	1/0	1/0	0	0	0	1	1	0

チャネルnの動作モード
011B：イベント・カウンタ・モード

カウント開始時の動作設定
0：カウント開始時に
INTTMmn発生せず，タイマ出力反転せず

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作

SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
1：TImn端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

注意1.　TAU2は，8ビット・タイマ非搭載です。

2.　144ピン製品でTAU1，TAU2のTMRmn，TOm，TOEm，TOLm，TOMmレジスタを設定する場合は，事前にユニット選択レジスタ（UTSEL）のTSEL0ビットを設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－52　外部イベント・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0，1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は，ユニット選択レジスタ（UTSEL）レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は，TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2, 3（NFEN1, NFEN2, NFEN3）の対応するビットを設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にカウント数を設定する タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，TImn端子入力のエッジ検出待ち状態になる
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子入力のエッジが検出されるごとに，カウンタ（TCRmn）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0, PER1レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.7.3　分周器としての動作

TImn端子に入力されたクロックを分周し，TOmn端子から出力する分周器として利用することができます。

周辺I/Oリダイレクション・レジスタ0, 1, 2, 3, 10, 11（PIOR0, 1, 2, 3, 10, 11）でTImnとTOmnは別端子に設定してください。

TOmn出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：
  分周クロック周波数 = 入力クロック周波数／{（TDRmn の設定値＋1）×2}
- 両エッジ選択時：
  分周クロック周波数 ≒ 入力クロック周波数／（TDRmnの設定値＋1）

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定後，TImnの有効エッジ検出でTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば，INTTMmnを出力せず，TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば，INTTMmnを出力して，TOmnをトグルします。

その後，TImn端子入力の有効エッジに合わせてダウン・カウントを行い， TCRmn = 0000Hとなったら，TOmnをトグルします。同時にTCRmnレジスタはTDRmnレジスタの値をロードして，カウントを継続します。

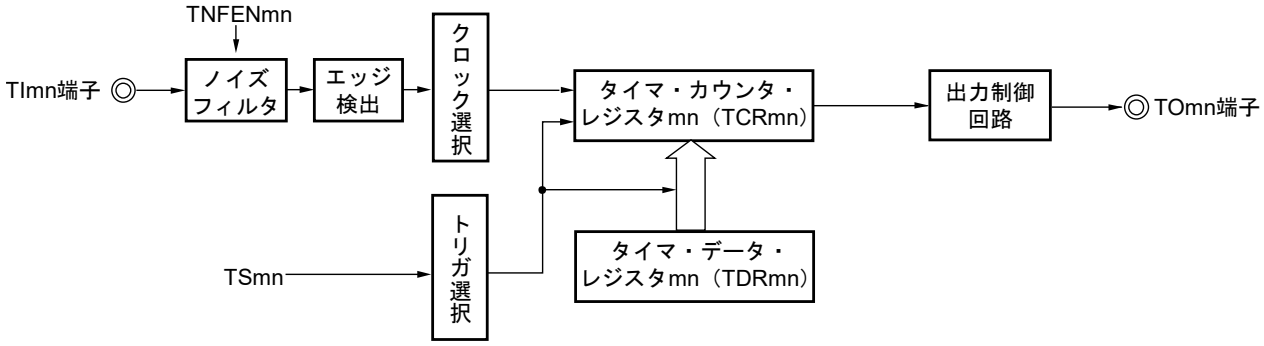
TImn端子入力の両エッジ検出を選択すると，入力クロックのデューティ誤差がTOmn出力の分周クロック周期に影響します。

TOmnの出力クロックの周期には，動作クロック1周期分のサンプリング誤差が含まれます。

TOmn出力のクロック周期 = 理想のTOmn出力クロック周期±動作クロック周期（誤差）

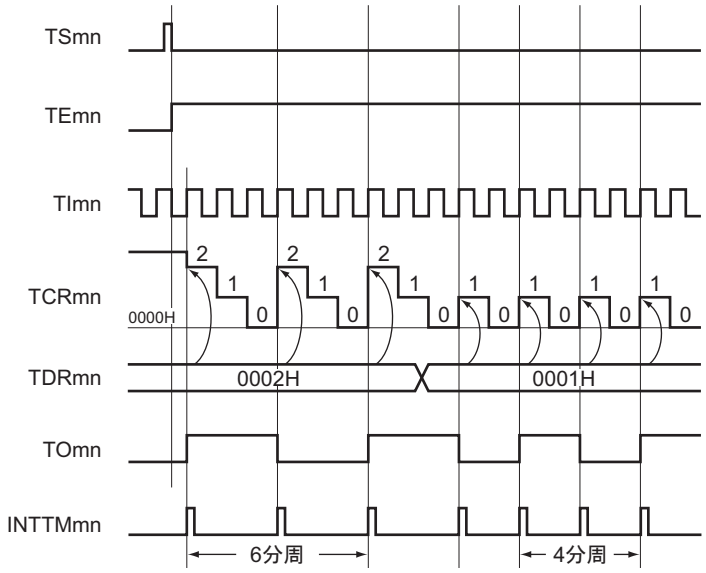
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効となります。

図6－53　分周器としての動作のブロック図



注意　144ピン製品でTAU1，TAU2のTMRmn，TCRmn，TOm，TSmレジスタを設定する場合は，事前にユニット選択レジスタ（UTSEL）のTSEL0ビットを設定してください。

図6－54　分周器としての動作の基本タイミング例（MDmn0 = 1）



備考　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

TOmn　：TOmn端子出力信号

MDmn0　：タイマ・モード・レジスタmn（TMRmn）のビット0

INTTMmn　：TAUmチャネルnのカウント完了またはキャプチャ完了割り込み要求

図6－55　分周器として動作時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	0	0	0	0	1/0	1/0	0	0	0	0	0	1/0

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず，タイマ出力反転せず
1：カウント開始時にINTTMmn発生し，タイマ出力反転する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

スレーブ／マスタの選択
0：単独チャネル動作機能

カウント・クロック選択
1：TImn端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネルnの動作クロックにCKm2を選択
11B：チャネルnの動作クロックにCKm3を選択

（b）タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn	0：TOmnより0を出力する
	1/0	1：TOmnより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn	0：カウント動作によるTOmn出力動作停止
	1/0	1：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定
	0	

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn	0：マスタ・チャネル出力モードを設定
	0	

注意　144ピン製品でTAU1，TAU2のTMRmn，TOm，TOEm，TOLm，TOMmレジスタを設定する場合は，事前にユニット選択レジスタ（UTSEL）のTSEL0ビットを設定してください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－56　分周器機能時の操作手順(1/2)

	ソフトウエア操作	ハードウエアの状態
TAU 初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0、1（PER0, PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は、ユニット選択レジスタ (UTSEL) レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は、TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル 初期設定	ノイズ・フィルタ許可レジスタ1，2，3（NFEN1，NFEN2，NFEN3）の対応するビットを設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定，検出エッジの選択） タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する TOLmnビットに0を設定する TOmnビットを設定し，TOmn出力の初期レベルを確定する	TOmn端子はHi-Z出力状態
	→	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可 →	チャネルは動作停止状態なので，TOmnは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はTOmn設定レベルを出力
動作開始	TOEmnビットに1を設定する（動作再開時のみ） TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。 TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TOm, TOEmレジスタは，設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは，設定値変更禁止	カウンタ（TCRmn）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TOEmnビットに0を設定し，TOmnビットに値を設定する →	TOmn端子はTOmn設定レベルを出力

動作再開

（備考は次ページにあります。）

図6－56　分周器機能時の操作手順(2/2)

	ソフトウエア操作	ハードウエアの状態
TAU停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0, PER1レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmnビットが0になり，TOmn端子はポート機能となる）

備考　144ピン製品　m：ユニット番号　（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号　（m = 0, 1），n：チャネル番号（n = 0-7）

6.7.4　入力パルス間隔測定としての動作

TImn有効エッジでカウント値をキャプチャし，TImn入力パルスの間隔を測定することができます。

パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 =
カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ·レジスタmn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TImn端子入力の有効エッジを検出すると，TCRmnレジスタのカウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）すると同時に，TCRmnレジスタを0000Hにクリアして，INTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

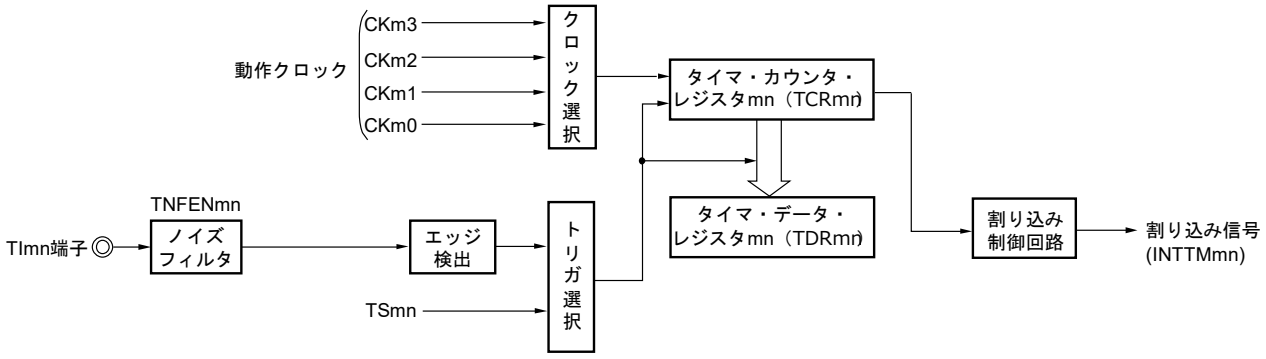
カウント値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて， TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して，TImn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TEmn = 1のときは，TImn端子入力を使用せずに，ソフトウエア操作（TSmn = 1）をキャプチャ・トリガにすることもできます。

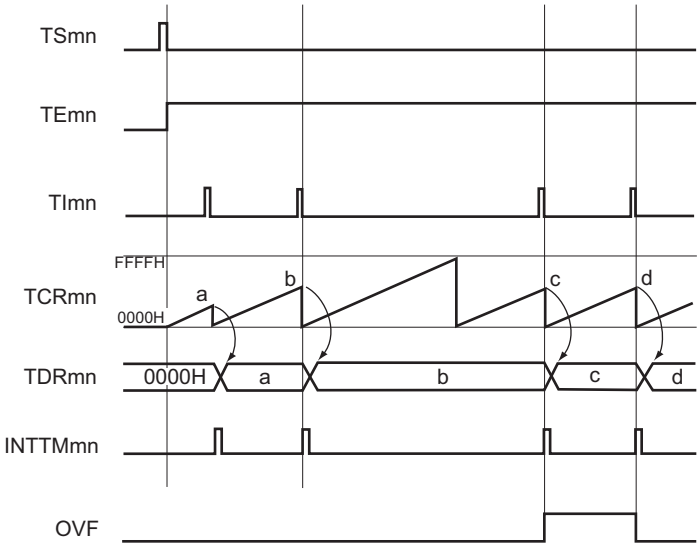
図6－57　入力パルス間隔測定としての動作のブロック図



備考　144ピン製品　m：ユニット番号（m = 0-2）,n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）,n：チャネル番号（n = 0-7）

図6－58　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）



備考1.　144ピン製品　m：ユニット番号（m = 0-2）,n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）,n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

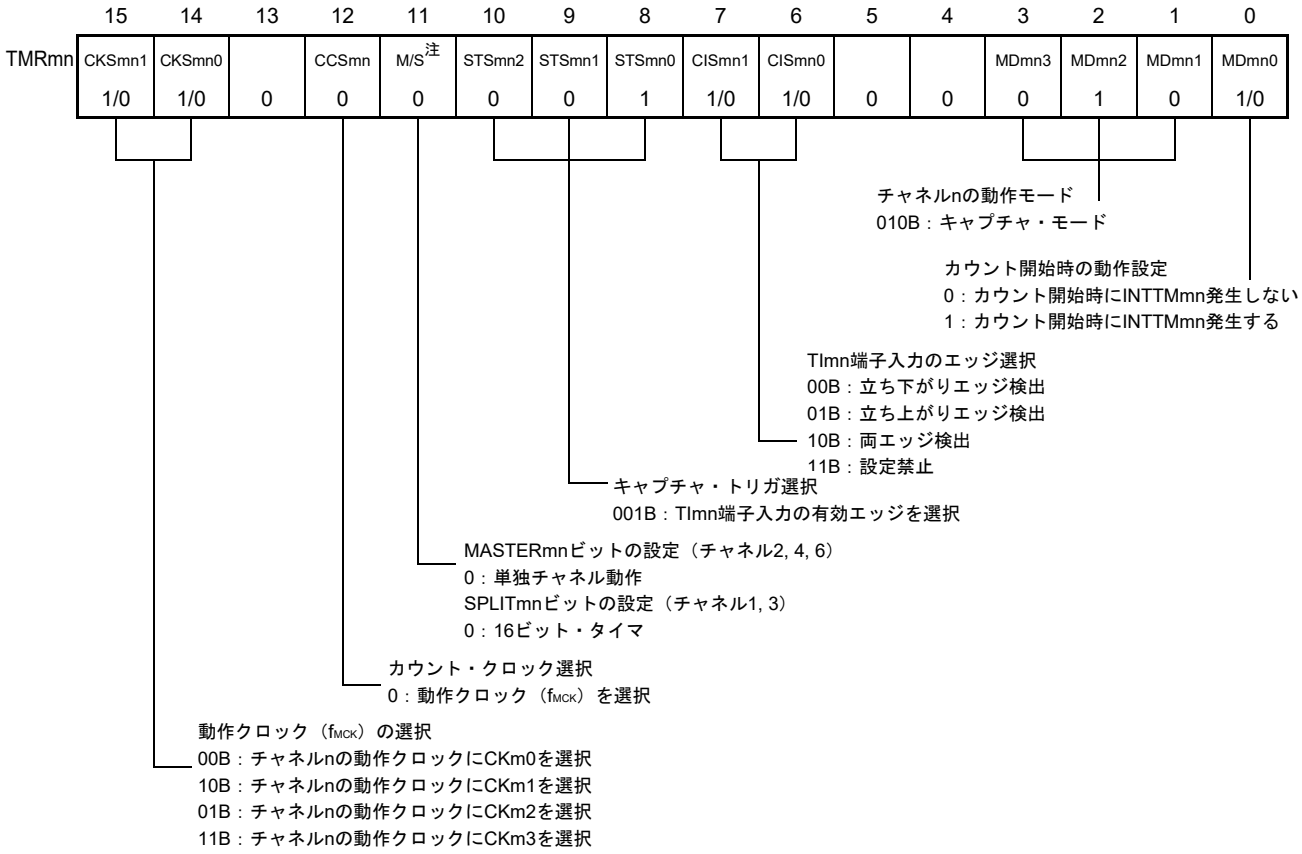
OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

MDmn0　：タイマ・モード・レジスタmn (TRMmn) のビット0

INTTMmn　：TAUmチャネルnのカウント完了またはキャプチャ完了割り込み要求

図6－59　入力パルス間隔測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



（b）タイマ出力レジスタm（TOm）

ビットn

TOm	TOmn	0：TOmnより0を出力する
	0	

（c）タイマ出力許可レジスタm（TOEm）

ビットn

TOEm	TOEmn	0：カウント動作によるTOmn出力動作停止
	0	

（d）タイマ出力レベル・レジスタm（TOLm）

ビットn

TOLm	TOLmn	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定
	0	

（e）タイマ出力モード・レジスタm（TOMm）

ビットn

TOMm	TOMmn	0：マスタ・チャネル出力モードを設定
	0	

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0, TMRm5, TMRm7の場合　：0固定

備考　144ピン製品　m：ユニット番号（m = 0-2）,n：チャネル番号（n = 0-7）
　　100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）,n：チャネル番号（n = 0-7）

図6－60　入力パルス間隔測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0、1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は、ユニット選択レジスタ (UTSEL)レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は、TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2, 3（NFEN1, NFEN2, NFEN3）の対応するビットを設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生する。
動作中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは，常に読み出し可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止	カウンタ（TCRmn）は0000Hからアップ・カウント動作を行い，TImn端子入力の有効エッジが検出されたら，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）する。同時に，TCRmnレジスタを0000Hにクリアし，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0, PER1レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.7.5 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は，タイマ入力選択レジスタ1（TIS1）のビット7（TIS17）を1に，ビット6（TIS16）を0に設定してください。また，以降の説明では「TImn」を「RXD0」と読み替えてください。

TImn端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TImnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TImnの信号幅は次の式で求めることができます。

TImn入力の信号幅 =
カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意 TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn（TCRmn）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタmn（TDRmn）に転送すると同時にINTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは，「TDRmnレジスタに転送した値＋1」の値で停止し，TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて， TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

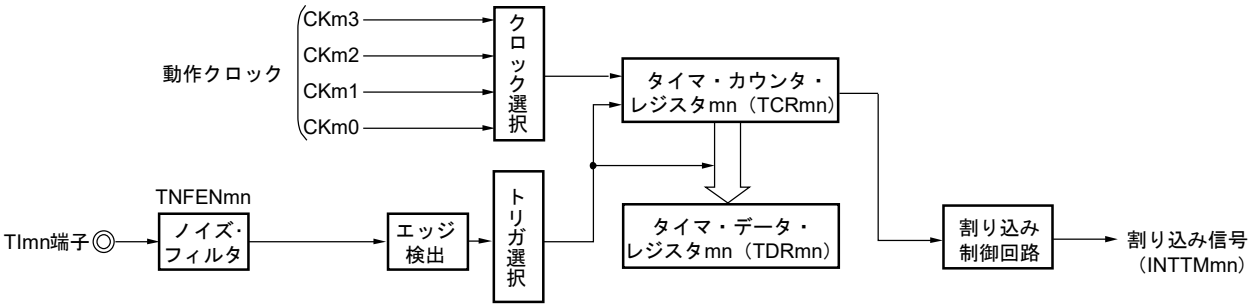
カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ， TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TImn端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは， TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は，TImn端子入力の信号幅測定を目的とするため，TEmn = 1期間中のTSmnビットのセット（1）は使用できません。

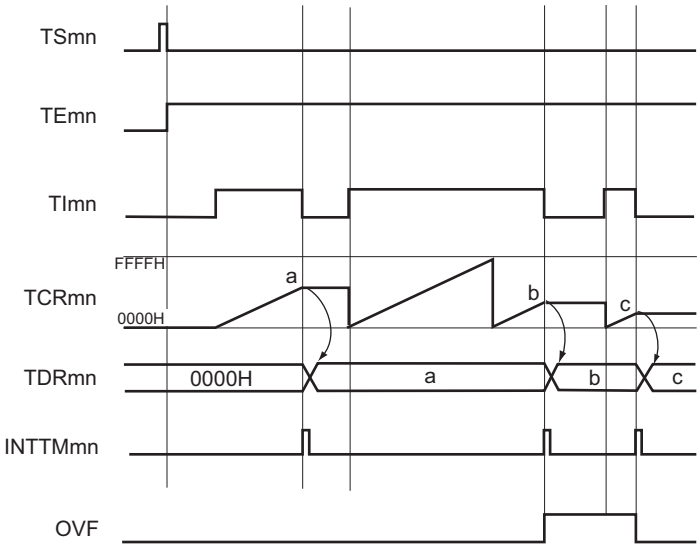
TMRmnレジスタのCISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する
TMRmnレジスタのCISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図6－61　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



備考　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

図6－62　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1.　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

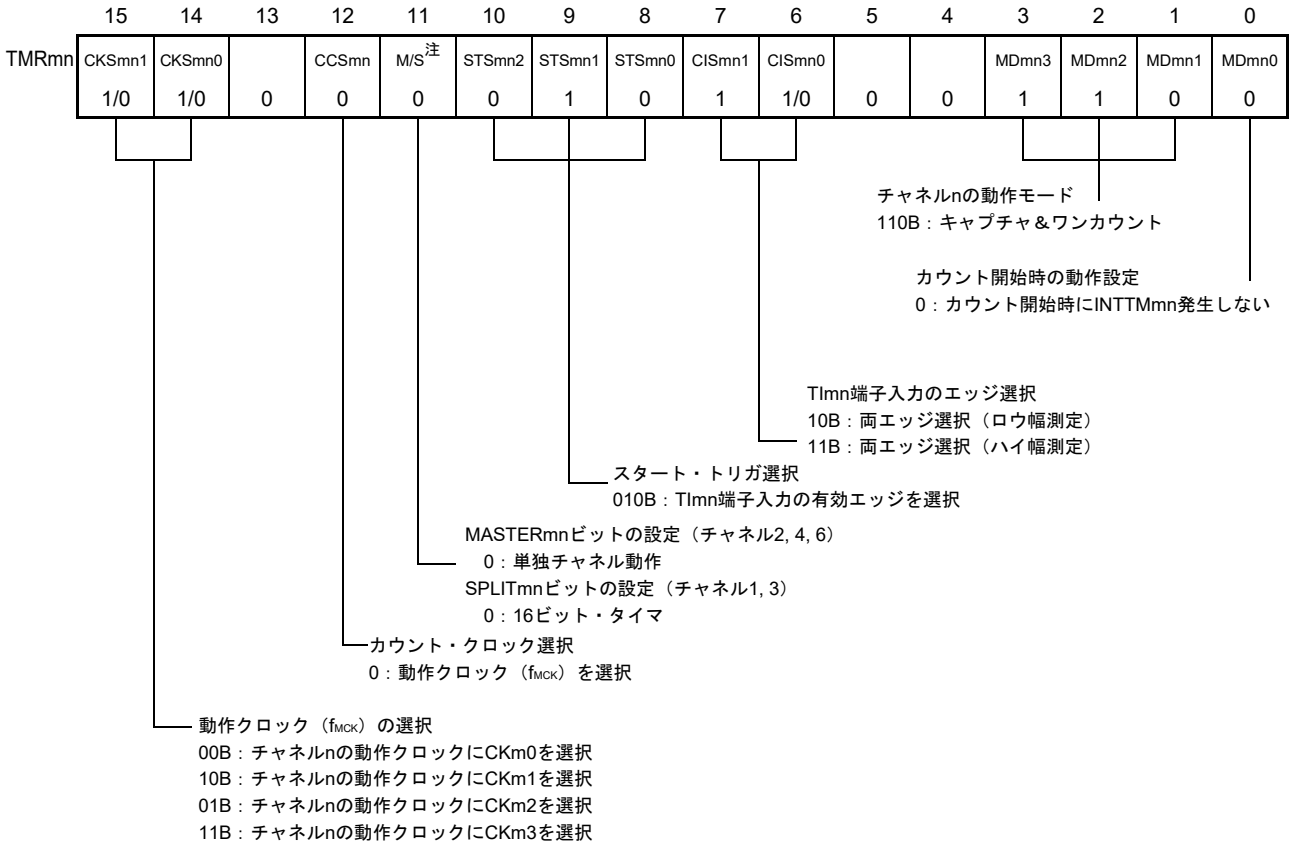
TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図6－63　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



（b）タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn	0：TOmnより0を出力する
	0	

（c）タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn	0：カウント動作によるTOmn出力動作停止
	0	

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定
	0	

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn	0：マスタ・チャネル出力モードを設定
	0	

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0, TMRm5, TMRm7の場合　：0固定

備考　144ピン製品　m：ユニット番号（m = 0-2）,n：チャネル番号（n = 0-7）
　　100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）,n：チャネル番号（n = 0-7）

図6－64　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0、1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は、ユニット選択レジスタ (UTSEL)レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は、TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2, 3（NFEN1, NFEN2, NFEN3）の対応するビットを設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，常に読み出し可能 TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子のスタート・エッジ検出後，カウンタ（TCRmn）は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送し，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは，次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0, PER1レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

6.7.6　ディレイ・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することができます。

また，TEmn = 1の期間中に，ソフトウエアでTSmn = 1に設定してダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期　＝　カウント・クロックの周期×（TDRmnの設定値＋1）

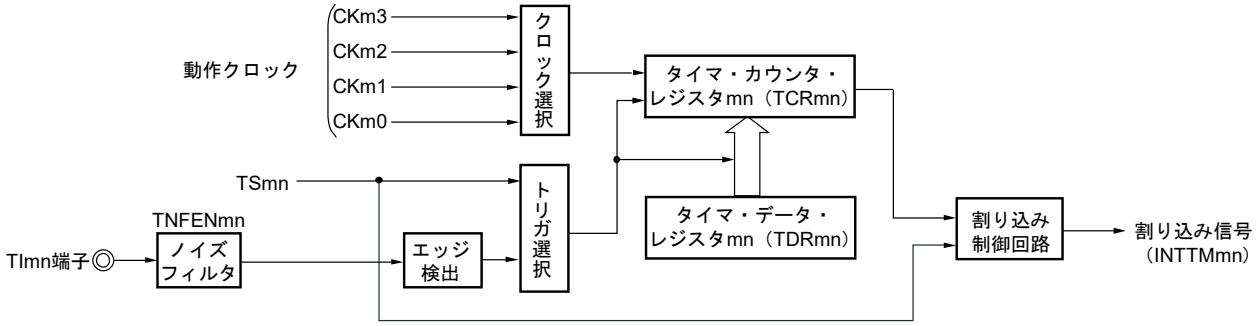
タイマ・カウンタ・レジスタmn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定すると，TEmn, TEHm1, TEHm3 = 1となりTImn端子の有効エッジ検出待ち状態となります。

TCRmnレジスタは，TImn端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000HとなったらINTTMmnを出力し，次のTImn端子入力の有効エッジがあるまで，カウントを停止します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

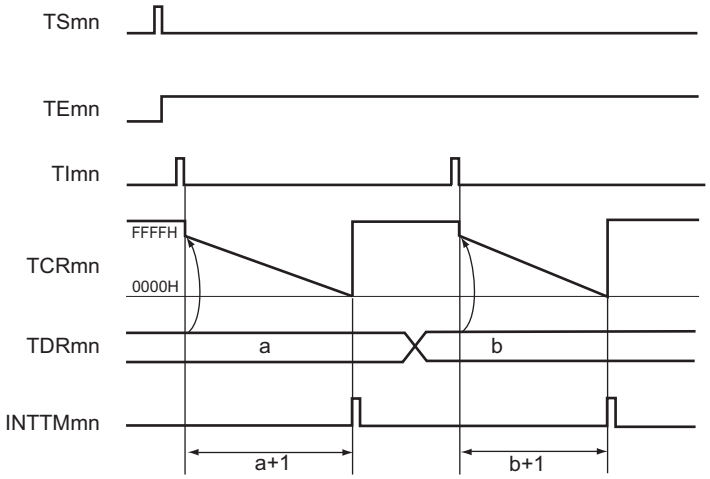
図6－65　ディレイ・カウンタとしての動作のブロック図



備考　144ピン製品　m：ユニット番号（m = 0-2），n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0-7）

図6－66　ディレイ・カウンタとしての動作の基本タイミング例



備考1.　144ピン製品　m：ユニット番号（m = 0-2）,n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）,n：チャネル番号（n = 0-7）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

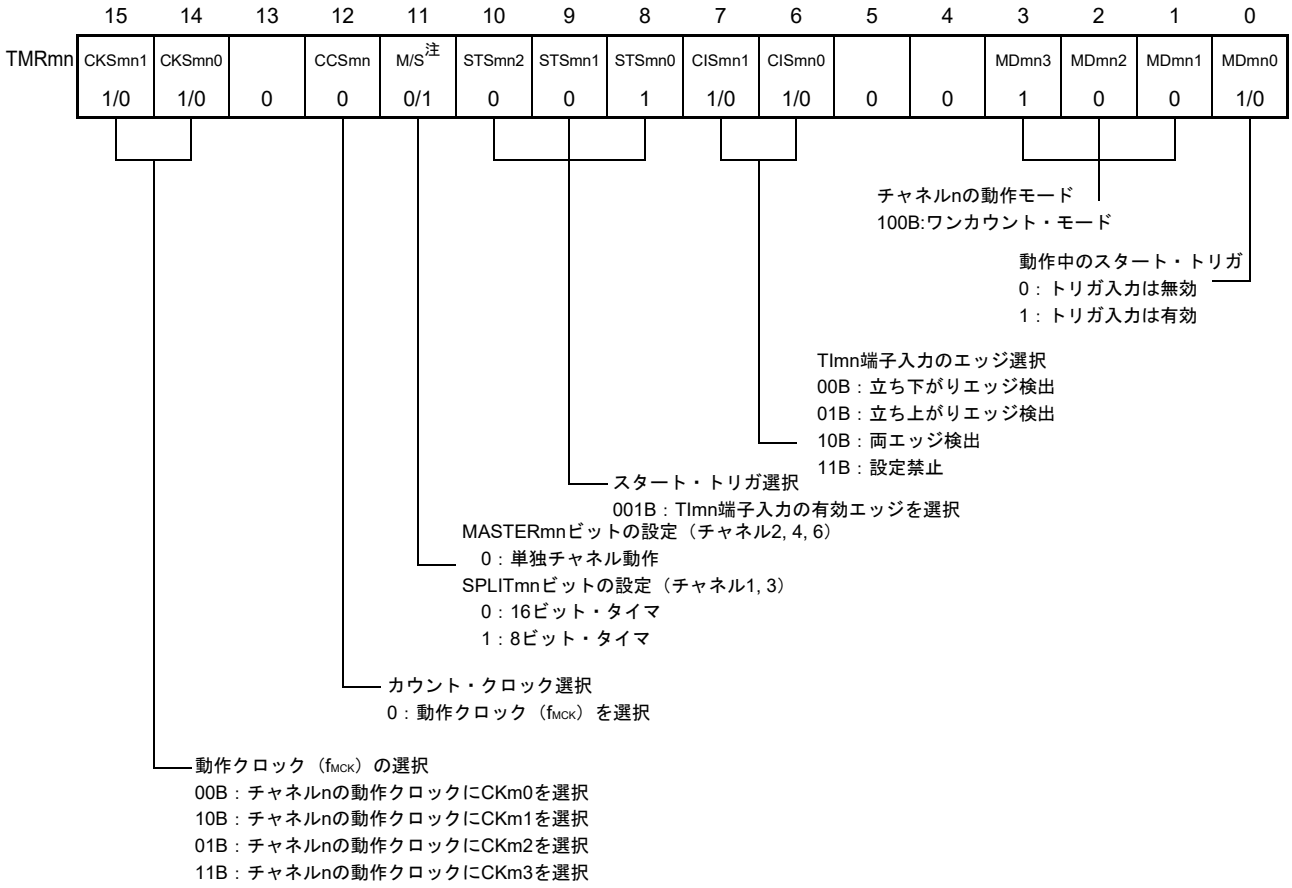
TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図6－67　ディレイ・カウンタ機能時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



（b）タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0, TMRm5, TMRm7の場合　：0固定

備考　144ピン製品　m：ユニット番号（m = 0-2）,n：チャネル番号（n = 0-7）
　　100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）,n：チャネル番号（n = 0-7）

図6－68　ディレイ・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0、1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は、ユニット選択レジスタ (UTSEL)レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は、TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2, 3（NFEN1, NFEN2, NFEN3）の対応するビットを設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルnの動作モード確定） タイマ・データ・レジスタmn（TDRmn）に遅延時間を設定する TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，TImn端子入力の有効エッジ検出待ち状態になる
	TImn端子入力の有効エッジ検出 →	タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない	カウンタ（TCRmn）はダウン・カウント動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し，次のTImn端子入力までTCRmn = 0000Hでカウント動作を停止する。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0, PER1レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　144ピン製品　m：ユニット番号（m = 0-2）,n：チャネル番号（n = 0-7）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1）,n：チャネル番号（n = 0-7）

6.8　タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.8.1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ ＝｛TDRmn（マスタ）の設定値＋2｝×カウント・クロック周期
パルス幅 ＝｛TDRmp（スレーブ）の設定値｝×カウント・クロック周期

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い，TCRmn = 0000HとなったらINTTMmnを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

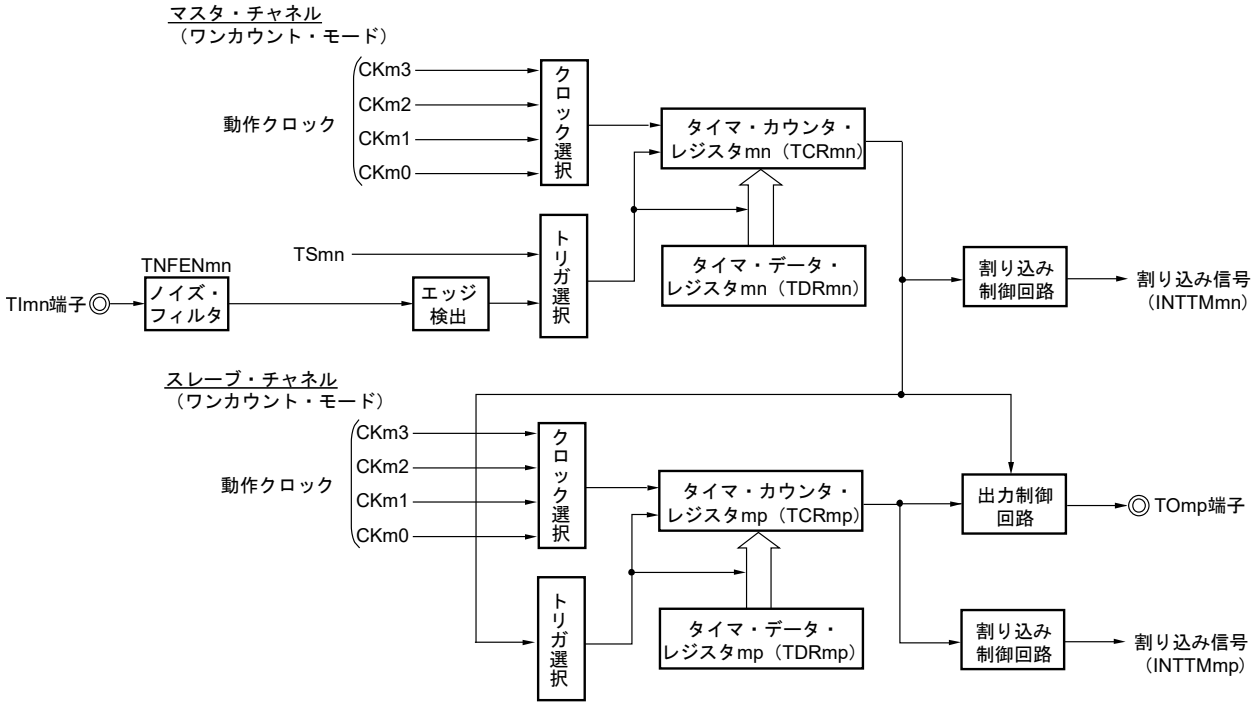
スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し，TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルのINTTMmn）検出があるまで，カウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は，TImn端子入力を使用せず，ソフトウエア操作（TSmn = 1）をスタート・トリガにすることもできます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタでは，ロード・タイミングが異なるため，動作中にTDRmnレジスタ，TDRmpレジスタを書き換えると不正波形が出力されます。TDRmnレジスタはINTTMmn発生後に，TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図6－69　ワンショット・パルス出力機能としての動作のブロック図

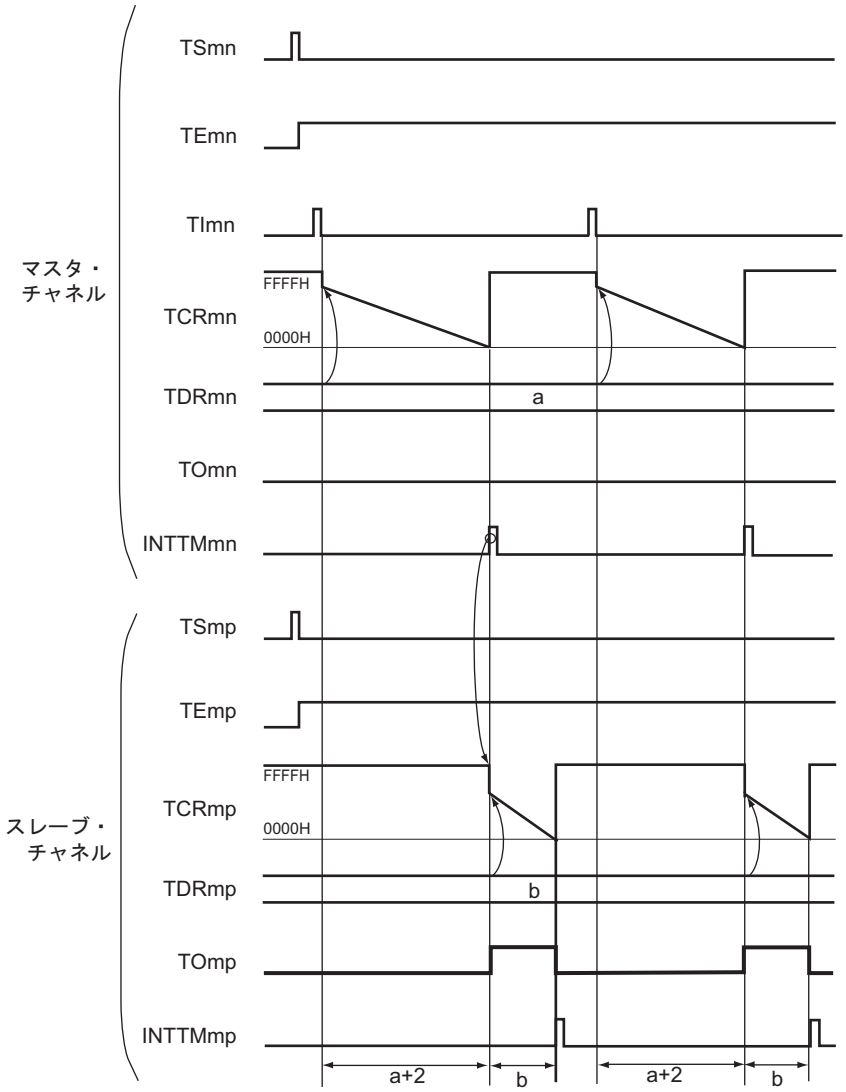


備考　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図6－70　ワンショット・パルス出力機能としての動作の基本タイミング例



備考1.　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

2.　TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p

TImn, TImp　：TImn, TImp端子入力信号

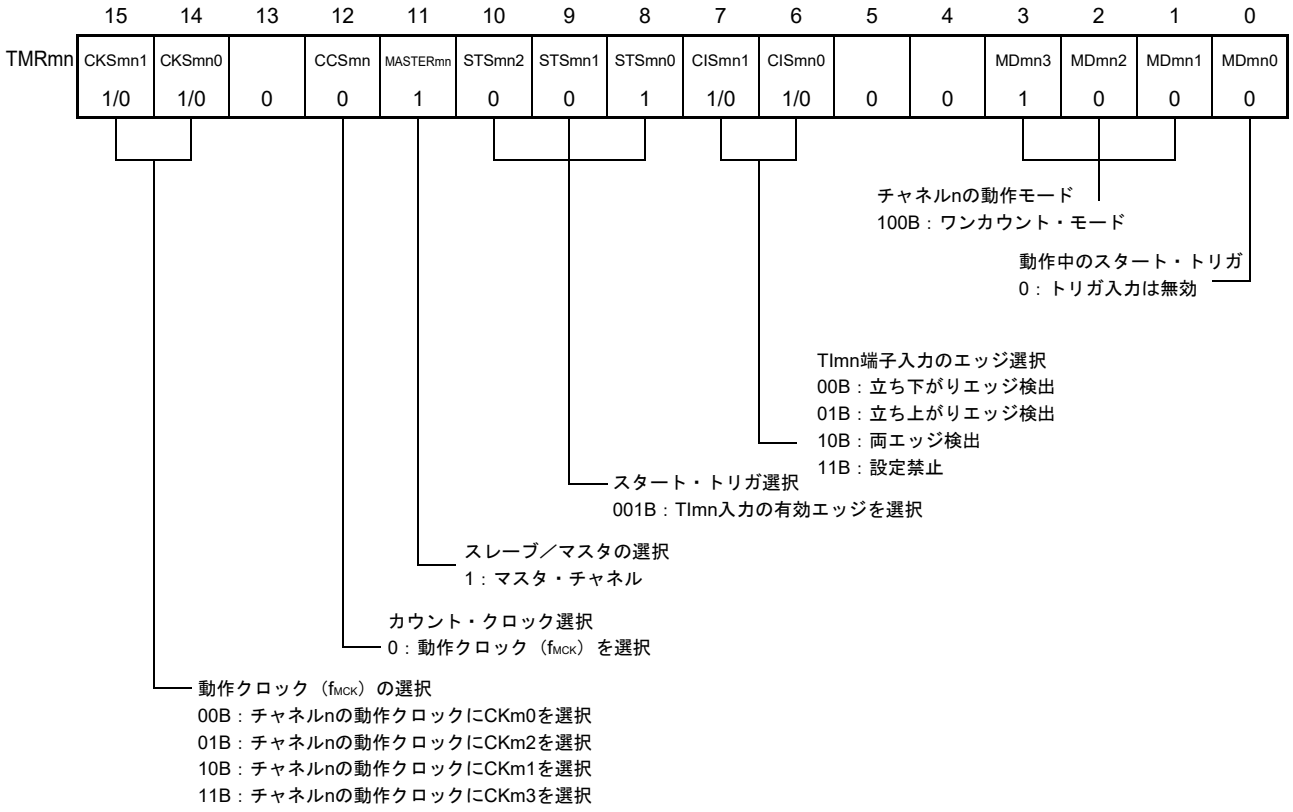
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）

TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）

TOmn, TOmp　：TOmn, TOmp端子出力信号

図6－71　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



（b）タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn	0：TOmnより0を出力する
	0	

（c）タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn	0：カウント動作によるTOmn出力動作停止
	0	

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定
	0	

（e）タイマ出力モード・レジスタm（TOMm）

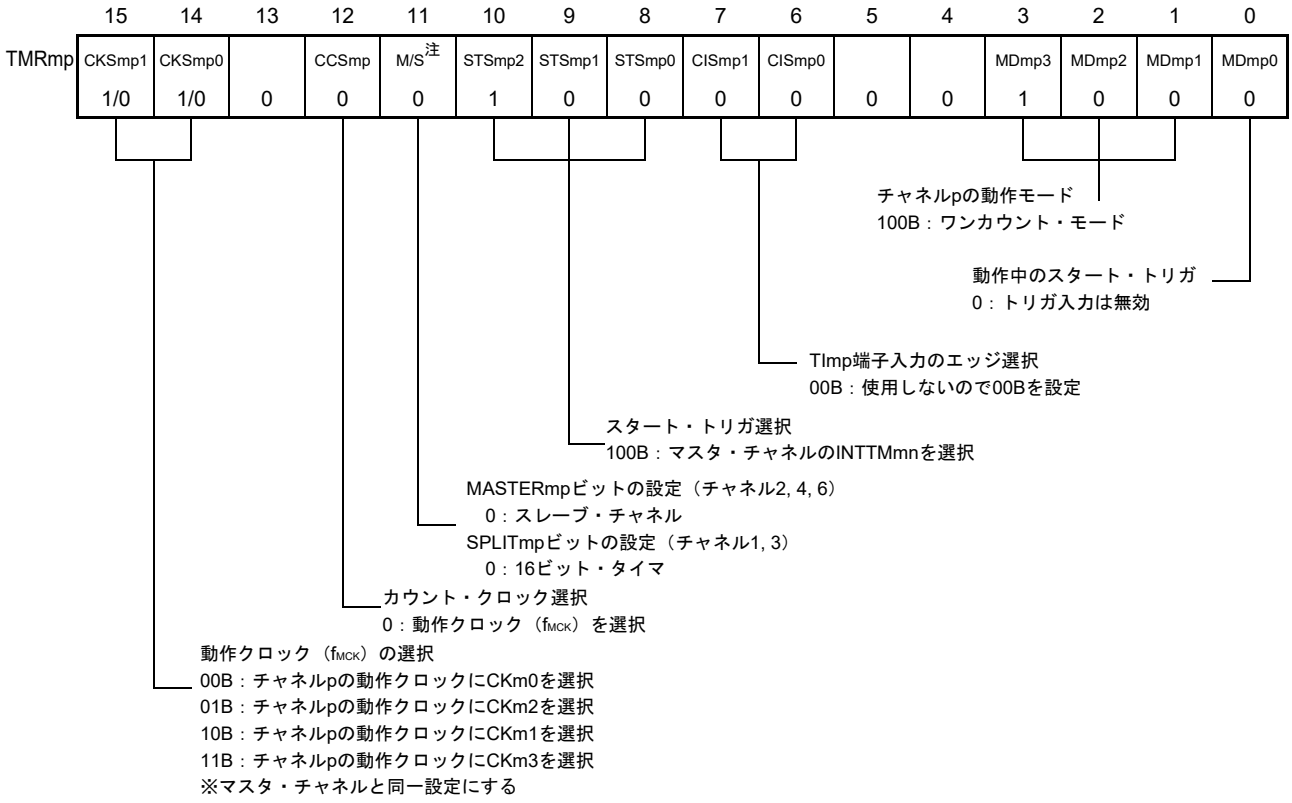
	ビットn	
TOMm	TOMmn	0：マスタ・チャネル出力モードを設定
	0	

備考　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図6－72　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）



（b）タイマ出力レジスタm（TOm）

ビットp

	TOmp	
TOm	1/0	0：TOmpより0を出力する 1：TOmpより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

ビットp

	TOEmp	
TOEm	1/0	0：カウント動作によるTOmp出力動作停止 1：カウント動作によるTOmp出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

ビットp

	TOLmp	
TOLm	1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

ビットp

	TOMmp	
TOMm	0	1：スレーブ・チャネル出力モードを設定

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmpビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7の場合　：0固定

備考　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）
p：スレーブ・チャネル番号（n＜p≦7）

図6－73　ワンショット・パルス出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0、1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は、ユニット選択レジスタ (UTSEL)レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は、TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1, 2, 3（NFEN1, NFEN2, NFEN3）の対応するビットを設定する 使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）に出力遅延時間，スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	チャネルは動作停止状態なので，TOmpは変化しない TOmp端子はTOmp設定レベルを出力

（注，備考は次ページにあります。）

図6－73　ワンショット・パルス出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となり，マスタ・チャネルはTImn入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャネルのTImn端子入力の有効エッジ検出	マスタ・チャネルがカウント動作開始
動作中	TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp，TDRmn，TDRmpレジスタ，TOMmn，TOMmp，TOLmn，TOLmpビットは，設定値変更禁止 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない スレーブ・チャネルのTOm，TOEmレジスタは，設定値変更可能	マスタ・チャネルでは，TImn端子入力の有効エッジが検出されたら，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら，INTTMmn出力を発生し，次のTImn端子入力までカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000Hまでカウントしたら，TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0, PER1レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

6.8.2 PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 ＝｛TDRmn（マスタ）の設定値＋1｝×カウント・クロック周期

デューティ [%] ＝｛TDRmp（スレーブ）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100

0 %出力 ：TDRmp（スレーブ）の設定値 ＝0000H

100 %出力 ：TDRmp（スレーブ）の設定値≧｛TDRmn（マスタ）の設定値＋1｝

備考 TDRmp（スレーブの設定値）＞｛TDRmn（マスタ）の設定値＋1｝の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，割り込み（INTTMmn）を出力して，タイマ・データ・レジスタmn（TDRmn）に設定した値をタイマ・カウンタ・レジスタmn（TCRmn）にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，INTTMmnを出力して，再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタm（TTm）のチャネル・ストップ・トリガ・ビット（TTmn）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTMmnをスタート・トリガとして，TDRmpレジスタからTCRmpレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTMmn）が来るまで待機します。

PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）のデューティとなります。

PWM出力（TOmp）は，マスタ・チャネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

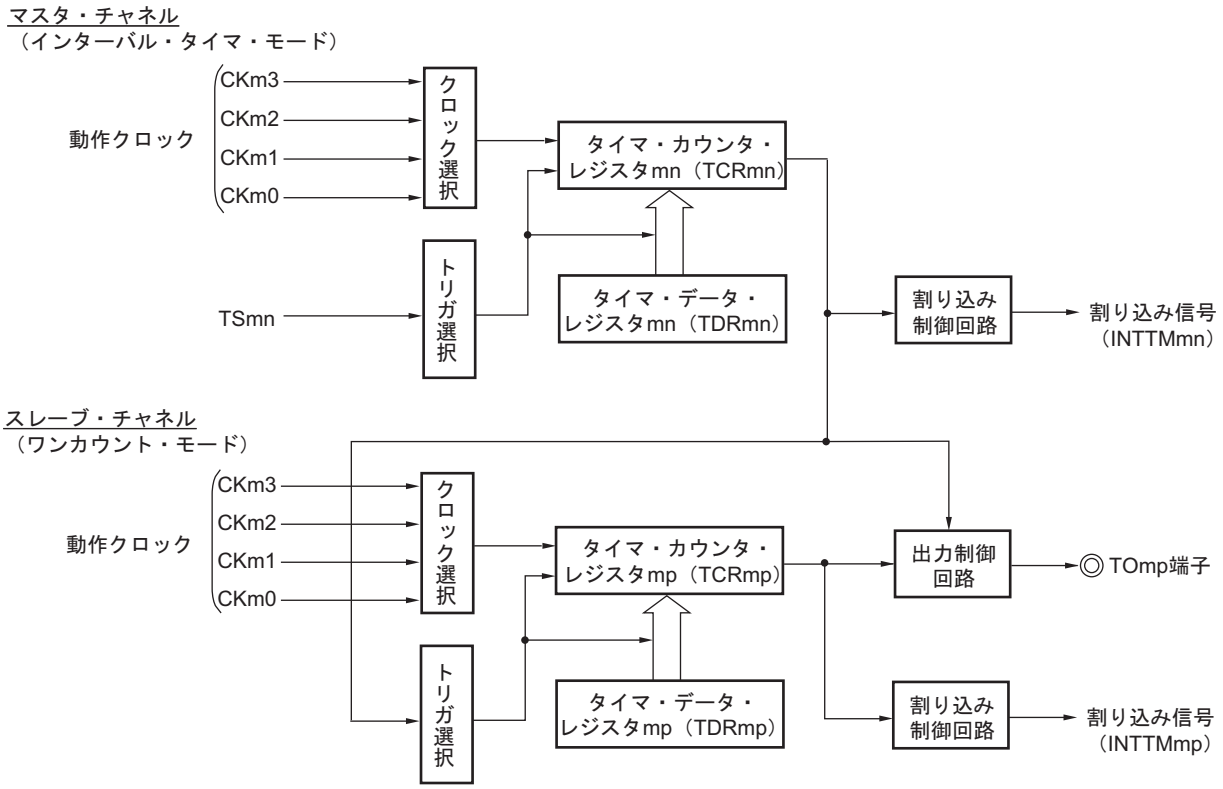
注意 マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは，マスタ・チャネルのINTTMmn発生時となります。そのため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は期待通りの波形を出力できません。したがって，マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 144ピン製品 m：ユニット番号（m = 0-2）， n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品 m：ユニット番号（m = 0, 1）， n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図6－74　PWM機能としての動作のブロック図

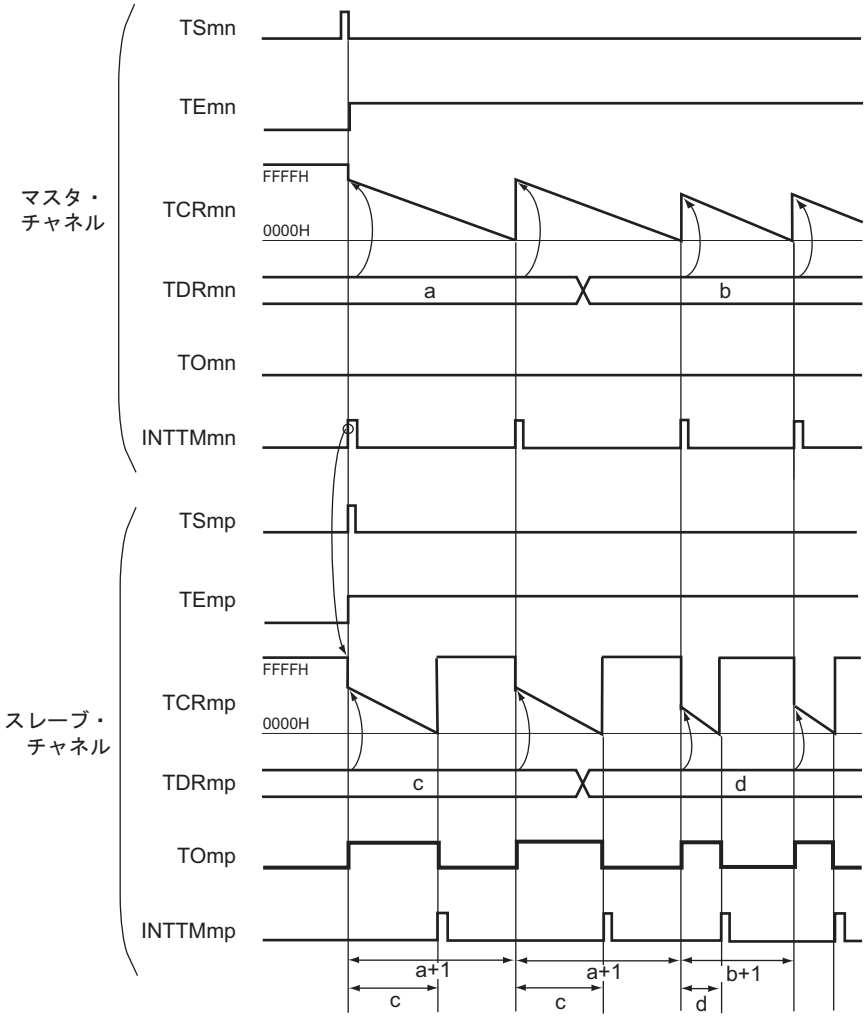


備考　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図6－75　PWM機能としての動作の基本タイミング例



備考1.　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

2.　TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p

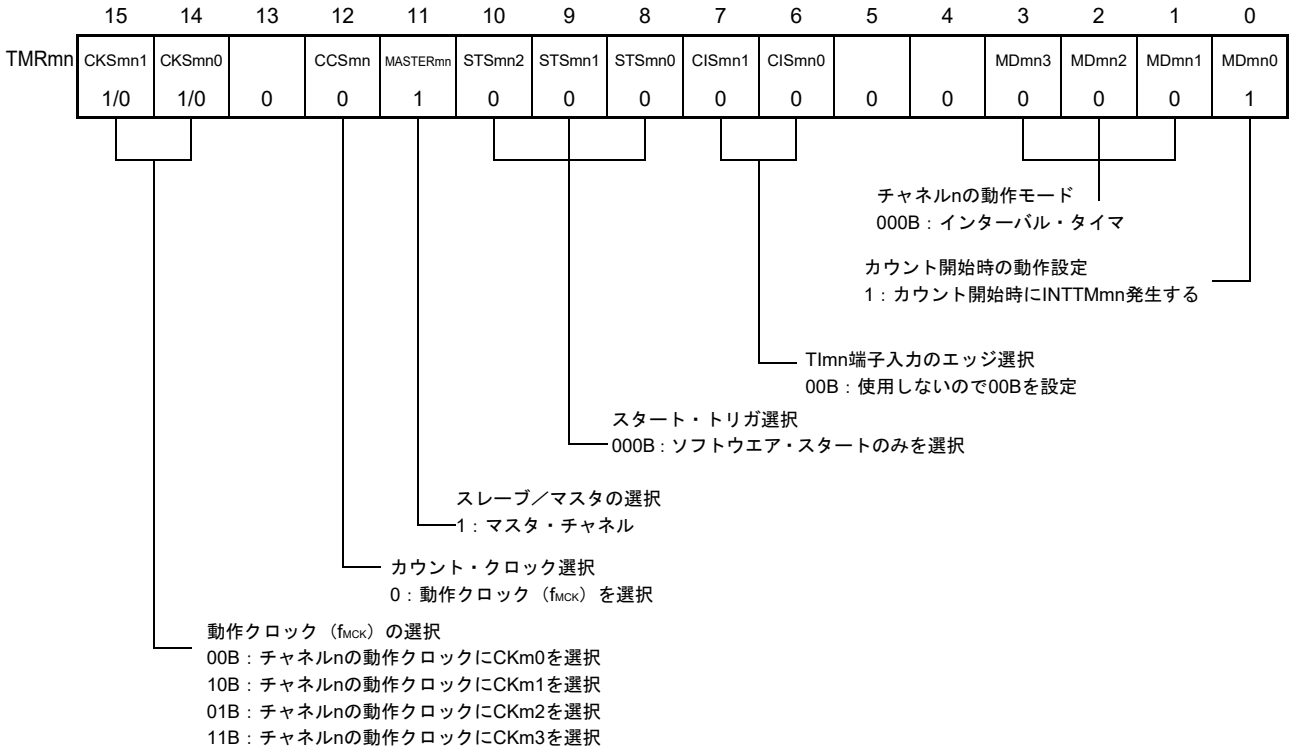
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）

TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）

TOmn, TOmp　：TOmn, TOmp端子出力信号

図6－76　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



（b）タイマ出力レジスタm（TOm）

ビットn

TOm	TOmn	0：TOmnより0を出力する
	0	

（c）タイマ出力許可レジスタm（TOEm）

ビットn

TOEm	TOEmn	0：カウント動作によるTOmn出力動作停止
	0	

（d）タイマ出力レベル・レジスタm（TOLm）

ビットn

TOLm	TOLmn	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定
	0	

（e）タイマ出力モード・レジスタm（TOMm）

ビットn

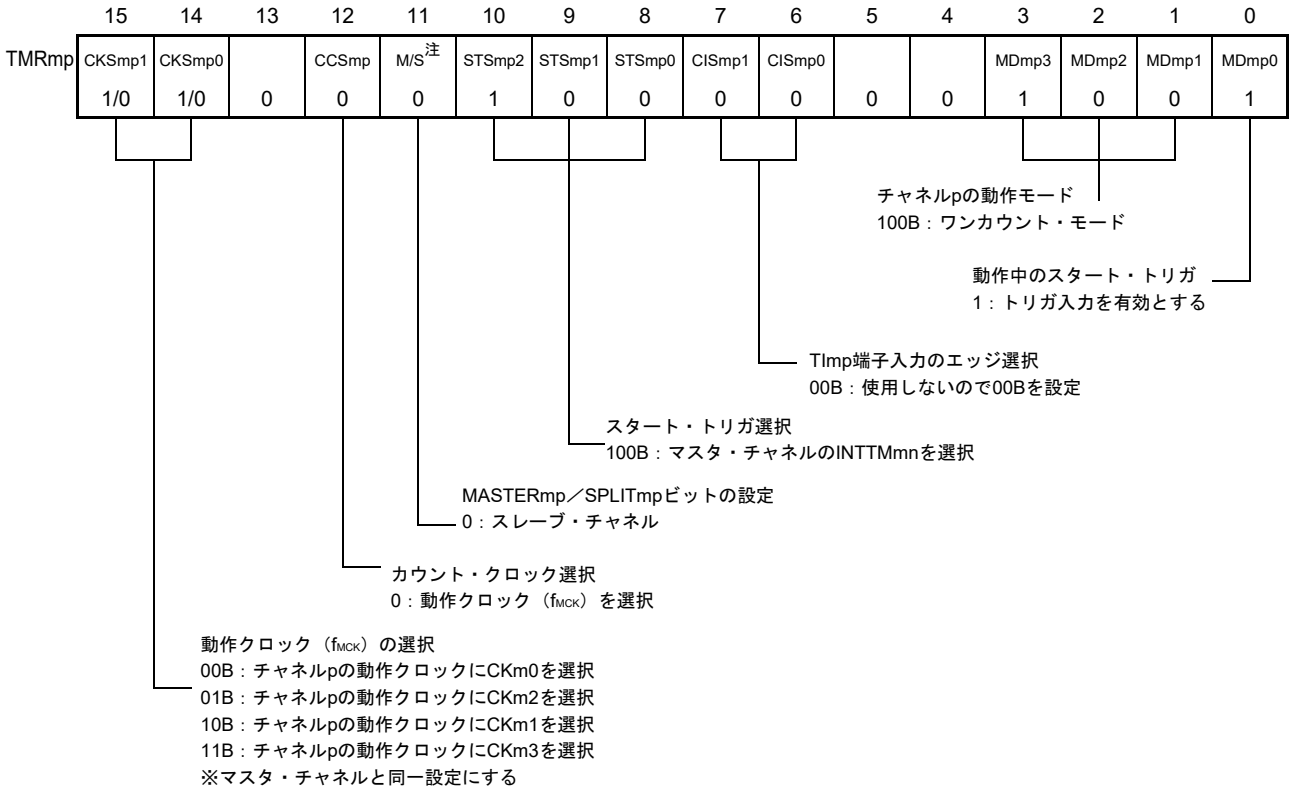
TOMm	TOMmn	0：マスタ・チャネル出力モードを設定
	0	

備考　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図6－77　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）



（b）タイマ出力レジスタm（TOm）

	ビットp		
TOm	TOmp	0：TOmpより0を出力する	
	1/0	1：TOmpより1を出力する	

（c）タイマ出力許可レジスタm（TOEm）

	ビットp	
TOEm	TOEmp	0：カウント動作によるTOmp出力動作停止
	1/0	1：カウント動作によるTOmp出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットp	
TOLm	TOLmp	0：正論理出力（アクティブ・ハイ）
	1/0	1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットp	
TOMm	TOMmp	1：スレーブ・チャネル出力モードを設定
	0	

注　TMRm5, TMRm7の場合：0固定

TMRm1, TMRm3の場合：SPLITmpビット

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

図6－78　PWM機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0、1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は、ユニット選択レジスタ (UTSEL)レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は、TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する	TOmp端子はHi-Z出力状態
	TOmpビットを設定し，TOmp出力の初期レベルを確定する →	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

（注，備考は次ページにあります。）

図6－78　PWM機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャネルがカウント動作開始し， INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn, TMRmpレジスタ，TOMmn, TOMmp, TOLmn, TOLmpビットは，設定値変更禁止 TDRmn, TDRmpレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0, PER1レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4, 6）

p：スレーブ・チャネル番号（n＜p≦7）

6.8.3　多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値＋1} ×カウント・クロック周期
デューティ1 [%] = {TDRmp（スレーブ1）の設定値} ／ {TDRmn（マスタ）の設定値＋1} ×100
デューティ2 [%] = {TDRmq（スレーブ2）の設定値} ／ {TDRmn（マスタ）の設定値＋1} ×100

備考　TDRmp（スレーブ1）の設定値＞ {TDRmn（マスタ）の設定値＋1} の場合
または TDRmq（スレーブ2）の設定値＞ {TDRmn（マスタ）の設定値＋1} の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTCRmpレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOmp端子よりPWM波形を出力します。TCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして，タイマ・データ・レジスタmp（TDRmp）の値をロードし，ダウン・カウントを行います。TCRmp = 0000Hとなったら，INTTMmpを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり， TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

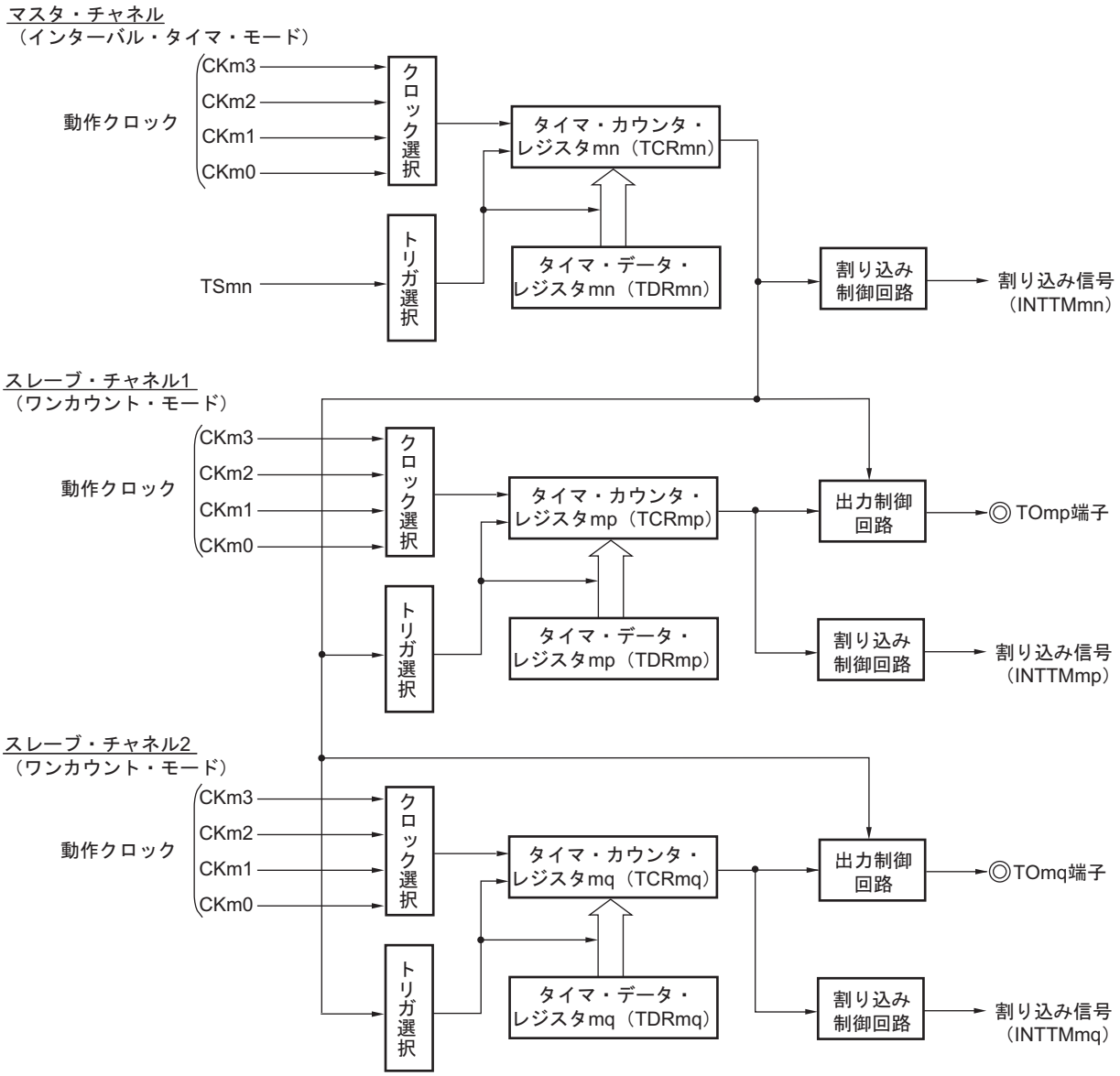
スレーブ・チャネル2のTCRmqレジスタも，スレーブ・チャネル1のTCRmpレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOmq端子よりPWM波形を出力します。TCRmqレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして， TDRmqレジスタの値をロードし，ダウン・カウントを行います。TCRmq = 0000Hとなったら，INTTMmqを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmqの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり， TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大7種のPWMを同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネル1のTDRmpレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは，マスタ・チャネルのINTTMmn発生後となるため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は，期待通りの波形を出力できません。したがって，TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル2のTDRmqレジスタの場合も同様です。）

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図6－79　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）



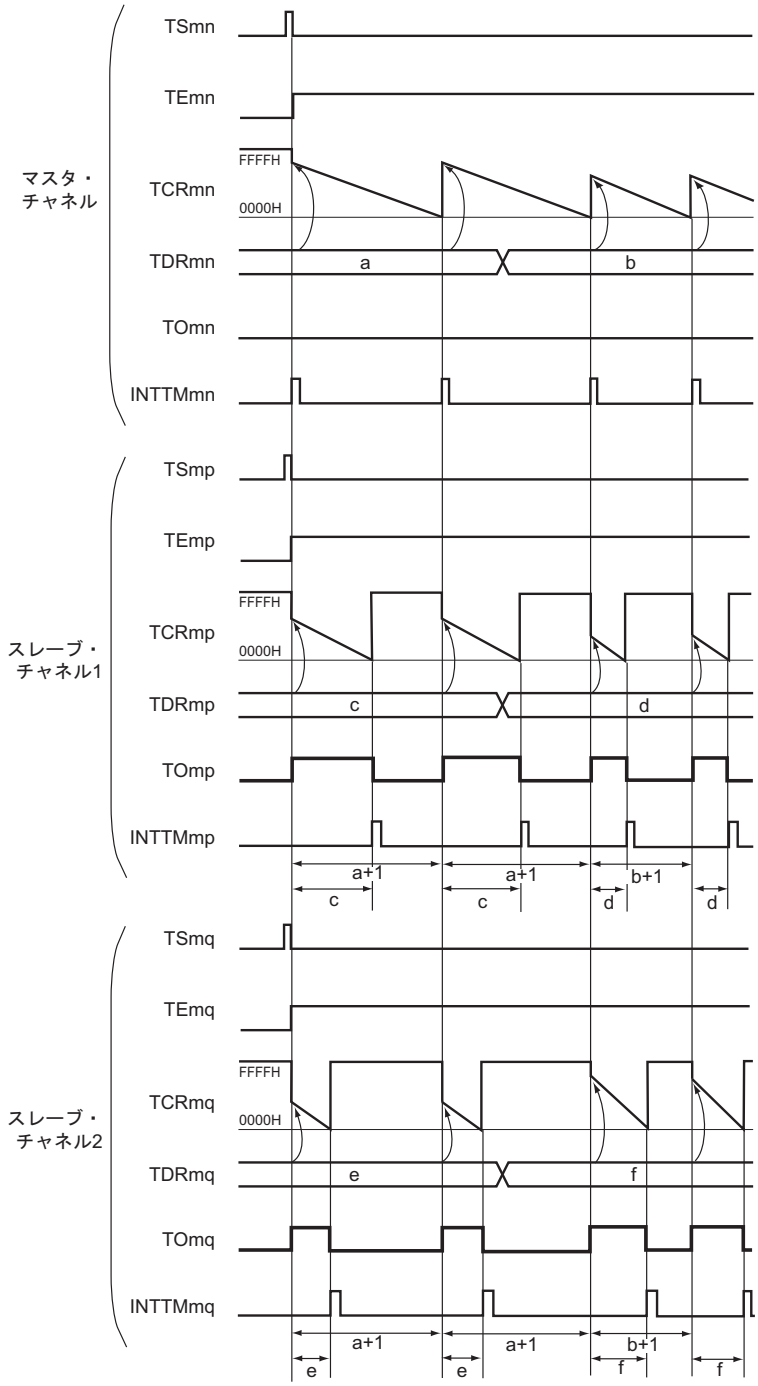
備考　144ピン製品　m：ユニット番号（m = 0-2），　n：マスタ・チャネル番号（n = 0, 2, 4）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），　n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n＜p＜q≦7（ただしp, qは，n以降の整数）

図6－80 多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）

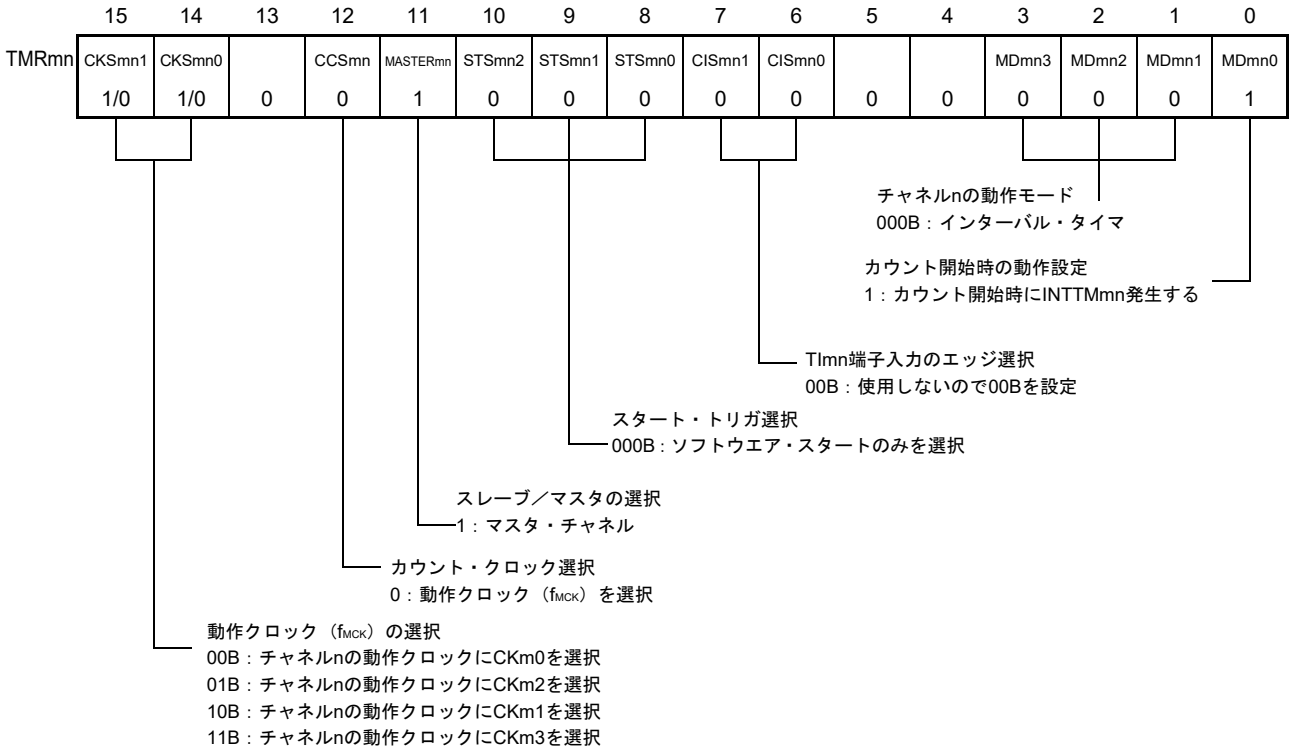


備考1. 144ピン製品 m：ユニット番号（m = 0-2）， n：マスタ・チャネル番号（n = 0, 2, 4）
100, 80, 64, 48ピン製品 m：ユニット番号（m = 0, 1）， n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

2. TSmn, TSmp, TSmq ：タイマ・チャネル開始レジスタm（TSm）のビットn, p, q
TEmn, TEmp, TEmq ：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p, q
TCRmn, TCRmp, TCRmq ：タイマ・カウンタ・レジスタmn, mp, mq（TCRmn, TCRmp, TCRmq）
TDRmn, TDRmp, TDRmq ：タイマ・データ・レジスタmn, mp, mq（TDRmn, TDRmp, TDRmq）
TOmn, TOmp, TOmq ：TOmn, TOmp, TOmq端子出力信号

図6－81　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



（b）タイマ出力レジスタm（TOm）

	ビットn		
TOm	TOmn		0：TOmnより0を出力する
	0		

（c）タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn	0：カウント動作によるTOmn出力動作停止
	0	

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定
	0	

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn	0：マスタ・チャネル出力モードを設定
	0	

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）

図6－82　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

（a）タイマ・モード・レジスタmp, mq（TMRmp, TMRmq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	1/0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
TMRmq	CKSmq1	CKSmq0		CCSmq	M/S注	STSmq2	STSmq1	STSmq0	CISmq1	CISmq0			MDmq3	MDmq2	MDmq1	MDmq0
	1/0	1/0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp，qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp，TImq端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTER0p, MASTER0qビットの設定の選択（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLIT0p, SPLIT0qビットの設定の選択（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルp，qの動作クロックにCKm0を選択
01B：チャネルp，qの動作クロックにCKm2を選択
10B：チャネルp，qの動作クロックにCKm1を選択
11B：チャネルp，qの動作クロックにCKm3を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタm（TOm）

	ビットq	ビットp	
TOm	TOmq	TOmp	0：TOmp, TOmqより0を出力する
	1/0	1/0	1：TOmp, TOmqより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットq	ビットp	
TOm	TOEmq	TOEmp	0：カウント動作によるTOmp, TOmq出力動作停止
	1/0	1/0	1：カウント動作によるTOmp, TOmq出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットq	ビットp	
TOm	TOLmq	TOLmp	0：正論理出力（アクティブ・ハイ）
	1/0	1/0	1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットq	ビットp	
TOm	TOMmq	TOMmp	1：スレーブ・チャネル出力モードを設定
	1	1	

注　TMRm5, TMRm7の場合：0固定
TMRm1, TMRm3の場合：SPLITmp, SPLITmqビット

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4）
100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦7（ただしp, qは，n以降の整数）

図6－83　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0、1（PER0，PER1）のTAUmENビットを1にする →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	144ピン製品でTAU1を使用する場合は、ユニット選択レジスタ (UTSEL)レジスタのTSEL0ビットを0に設定する TAU2を使用する場合は、TSEL0ビットを1に設定する CKm0～CKm3のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmp，TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmp, TOMmqビットに1（スレーブ・チャネル出力モード）を設定する TOLmp, TOLmqビットに0を設定する	TOmp, TOmq端子はHi-Z出力状態
	TOmp, TOmqビットを設定し，TOmp, TOmq出力の初期レベルを確定する →	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp，TOmq初期設定レベルが出力される。
	TOEmp, TOEmqビットに1を設定し，TOmp, TOmqの動作を許可 →	チャネルは動作停止状態なので，TOmp, TOmqは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作開始	（動作再開時のみTOEmp, TOEmq（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp，TSmq（スレーブ）ビットに同時に1を設定する → TSmn, TSmp, TSmqビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャネルがカウント動作開始し， INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

（注，備考は次ページにあります。）

動作再開（次ページへ）

図6－83　多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

	ソフトウエア操作	ハードウエアの状態
動作中	TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは, 設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは，常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル1では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmpレジスタ値をTCRmpレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル2では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmqレジスタ値をTCRmqレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmq出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp，TTmq（スレーブ）ビットに同時に1を設定する TTmn, TTmp, TTmqビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp, TEmq = 0になり，カウント動作停止 TCRmn，TCRmp，TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し，TOmp, TOmqビットに値を設定する	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmp, TOmqビットに0を設定する TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要	TOmp，TOmq端子出力レベルはポート機能により保持される。
	PER0, PER1レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmp, TOmqビットが0になり，TOmp, TOmq端子はポート機能となる）

動作再開（前ページへ）

備考　144ピン製品　m：ユニット番号（m = 0-2），n：マスタ・チャネル番号（n = 0, 2, 4）

100, 80, 64, 48ピン製品　m：ユニット番号（m = 0, 1），n：マスタ・チャネル番号（n = 0, 2, 4）

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n＜p＜q≦7（ただしp, qは，n以降の連続した整数）

6.9　タイマ・アレイ・ユニット使用時の注意事項

6.9.1　タイマ出力使用時の注意事項

（1）割り込み機能で、タイマ・アレイ・ユニットの動作クロックにf_{CLK}（分周なし）を選択し、かつTDRmn（m=0-2、n=0-7）に0000Hを設定した場合は、タイマ・アレイ・ユニットからの割り込み信号はH固定となり割り込み要求を検出することができません。
本設定を使用する場合は、割り込み機能をマスクしてください。

（2）TIS0, TIS1, TIS2レジスタで設定されるタイマへの入力要因はタイマ動作中に切り替えないでください。

6.9.2　レジスタアクセス時の注意事項

144ピンの製品でタイマ・アレイ・ユニット1、またはタイマ・アレイ・ユニット2のレジスタにアクセスする場合は、ユニット選択レジスタ (UTSEL)で使用するユニットを選択してからアクセスしてください。

第7章　タイマRJ

タイマRJはパルス出力，外部入力のパルス幅/周期測定，外部イベントをカウントできる16ビット・タイマです。

7.1　概要

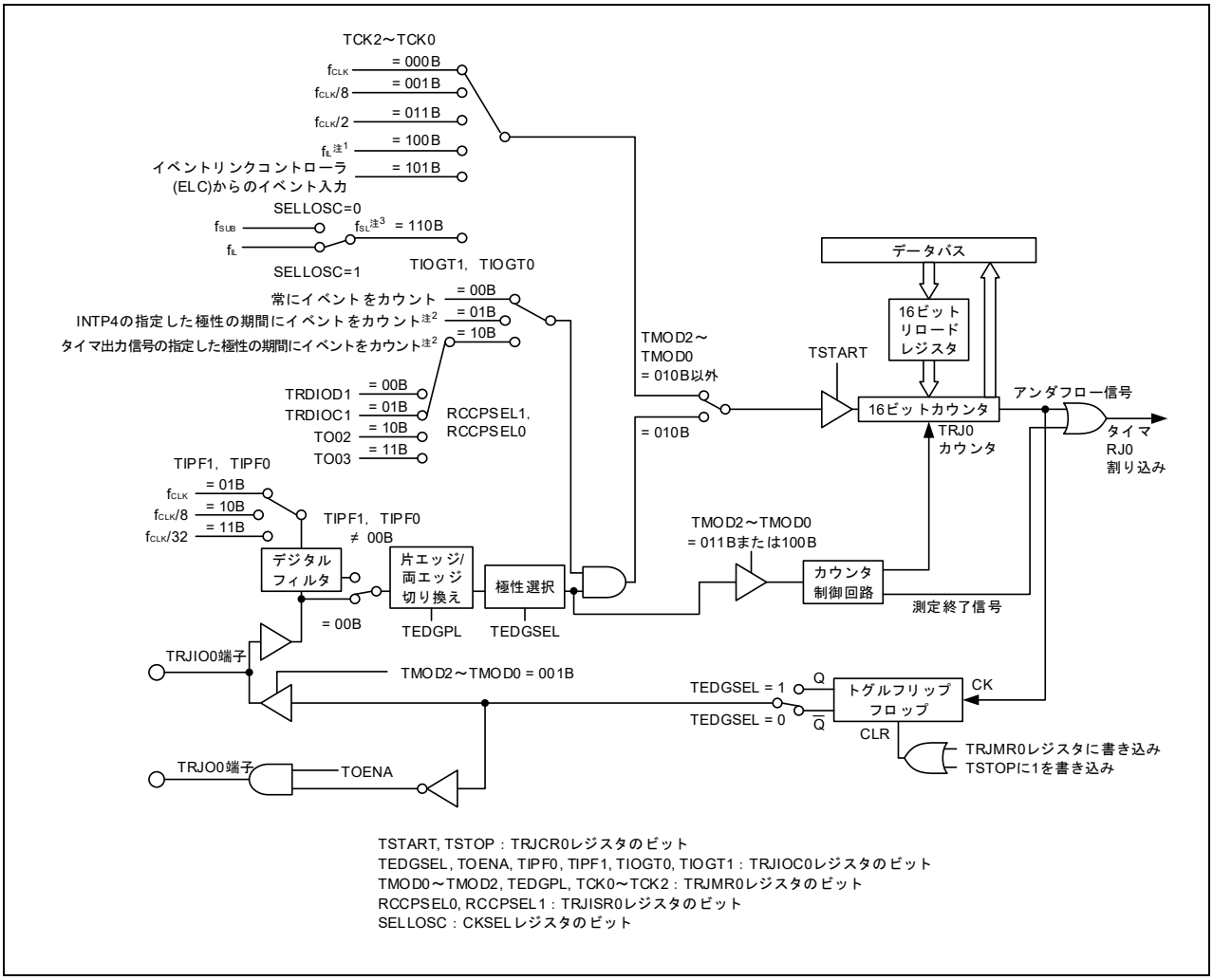
16ビット・タイマはリロード・レジスタとダウン・カウンタから構成されます。リロード・レジスタとダウン・カウンタは同じ番地に配置されており，TRJ0レジスタにアクセスすると，リロード・レジスタとカウンタにアクセスできます。

表7－1にタイマRJの仕様を，図7－1にタイマRJのブロック図を示します。

表7－1　タイマRJの仕様

項目	内容	
動作モード	タイマ・モード	カウント・ソースをカウントする
	パルス出力モード	カウント・ソースをカウントし，タイマのアンダフローで，極性を反転したパルスを出力する
	イベント・カウンタ・モード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウント・ソース（動作クロック）		f_{CLK}, $f_{CLK}/2$, $f_{CLK}/8$, f_{IL}, f_{SL}，イベントリンクコントローラ（ELC）からのイベント入力から選択可能
割り込み		・カウンタがアンダフローしたとき ・パルス幅測定モードで，外部入力（TRJIO0）の有効幅の測定を完了したとき ・パルス周期測定モードで，外部入力（TRJIO0）の設定エッジが入力されたとき
選択機能		・イベントリンクコントローラ（ELC）との連携 カウント・ソースにELCからのイベント入力を選択可能

★ 図7－1 タイマRJのブロック図



TSTART, TSTOP：TRJCR0レジスタのビット
TEDGSEL, TOENA, TIPF0, TIPF1, TIOGT0, TIOGT1：TRJIOC0レジスタのビット
TMOD0～TMOD2, TEDGPL, TCK0～TCK2：TRJMR0レジスタのビット
RCCPSEL0, RCCPSEL1：TRJISR0レジスタのビット
SELLOSC：CKSELレジスタのビット

注1. カウント・ソースにf_{IL}を選択する場合は，動作スピード・モード制御レジスタ（OSMC）のWUTMMCK0ビットを1にしてください。

2. TRJISR0レジスタのRCCPSEL2ビットで極性を選択できます。

3. タイマRDのカウント・ソースまたはクロック出力／ブザー出力の出力クロックにf_{SL}（f_{IL}）を選択している場合は、タイマRJのカウント・ソースにf_{SUB}を選択することができません。

7.2　入出力端子

表7－2にタイマRJの端子構成を示します。

表7－2　タイマRJの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJの外部入力
TRJIO0	入出力	タイマRJの外部イベント入力，パルス出力
TRJO0	出力	タイマRJのパルス出力

7.3　レジスタの説明

表7－3にタイマRJのレジスタ構成を示します。

表7－3　タイマRJのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺イネーブル・レジスタ1	PER1	00H	F02C0H	1, 8
動作スピード・モード制御レジスタ	OSMC	00H	F00F3H	8
クロック選択レジスタ	CKSEL	00H	F02C4H	1, 8
タイマRJカウンタ・レジスタ0注	TRJ0	FFFFH	F06F0H	16
タイマRJ制御レジスタ0	TRJCR0	00H	F0240H	8
タイマRJ I/O制御レジスタ0	TRJIOC0	00H	F0241H	1, 8
タイマRJモード・レジスタ0	TRJMR0	00H	F0242H	1, 8
タイマRJイベント端子選択レジスタ0	TRJISR0	00H	F0243H	1, 8
ポート・レジスタ1	P1	00H	FFF01H	8
ポート・レジスタ4	P4	00H	FFF04H	8
ポート・モード・レジスタ1	PM1	FFH	FFF21H	8
ポート・モード・レジスタ4	PM4	FFH	FFF24H	8

注　TRJ0レジスタ・アクセス時に，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタ・アクセス時のウエイト・クロック数は，リード，ライトともに1クロックです。

7.3.1　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマRJを使用する場合は，必ずビット0（TRJ0EN）を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00Hになります。

図7－2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN	SAU2EN	TRJ0EN

TRJ0EN	タイマRJ0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入力クロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可

注意1.　タイマRJの設定をする際には，必ず最初にTRJ0EN = 1の設定を行ってください。TRJ0EN = 0の場合は，タイマRJの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ1, 4（PM1, PM4），ポート・レジスタ1, 4（P1, P4は除く）。

2.　ビット6には必ず0を設定してください。

7.3.2　動作スピード・モード制御レジスタ（OSMC）

OSMCレジスタのWUTMMCK0ビットで低速オンチップ・オシレータを動作できます。

タイマRJのカウント・ソースに選択する場合は，タイマRJモード・レジスタ0（TRJMR0）のTCK2-TCK0ビットで選択してください。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については「第5章　クロック発生回路」を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－3　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	低速オンチップ・オシレータの動作制御
0	低速オンチップ・オシレータ停止
1	低速オンチップ・オシレータ動作

7.3.3　クロック選択レジスタ（CKSEL）

CPUクロック（f_{SUB}/f_{IL}）およびタイマRJ，タイマRD，クロック出力／ブザー出力のクロックを選択するレジスタです。SELLOSCビットは、CMCレジスタとの組み合わせによって、サブシステム・クロックの動作モードを設定します。詳細は「図5−3 クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図7−4　クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　リセット時：00H　R/W

略号	7	6	5	4	3	[2]	1	[0]
CKSEL	0	0	0	0	0	TRD_CKSEL	0	SELLOSC[注3]

SELLOSC[注3]	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{SUB}[注1]を選択
1	f_{IL}[注2]を選択

注1.　f_{SUB}をCPU/周辺ハードウエア・クロックにする場合は，あらかじめSELLOSCビットを0にした後，CKCレジスタのCSSビットを1にしてください。

2.　f_{IL}をCPU/周辺ハードウエア・クロックにする場合は，あらかじめSELLOSCビットを1にした後，CKCレジスタのCSSビットを1にしてください。

3.　SELLOSCビットを1にした場合，低速オンチップ・オシレータが動作します。

7.3.4　タイマRJカウンタ・レジスタ0（TRJ0），タイマRJリロード・レジスタ

16ビットのレジスタです。書くとリロード・レジスタに書き込まれ，読むとカウンタの値が読み出されます。

なお，TRJCR0レジスタのTSTARTビットの値により，リロード・レジスタとカウンタの状態が変わります。詳細は「7.4.1　リロード・レジスタとカウンタの書き換え動作」を参照してください。

図7－5　タイマRJカウンタ・レジスタ0（TRJ0），タイマRJリロード・レジスタのフォーマット

アドレス：F06F0H　リセット時：FFFFH

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJ0	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット15～0	16ビットのカウンタおよびリロード・レジスタです。注1, 2, 3	0000H～FFFFH	R/W

注1. TRJCR0レジスタのTSTOPビットに1を書くと，16ビットカウンタは強制停止し，FFFFHになります。

2. TRJ0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

3. TRJMR0レジスタのTCK2～TCK0ビットの設定が001B（f_{CLK}/8）または011B（f_{CLK}/2）以外では，TRJ0レジスタが0000Hの場合，データトランスファコントローラ（DTC）およびイベントリンクコントローラ（ELC）への要求信号はカウント開始直後の一回しか発生しません。ただし，TRJO0およびTRJIO0出力はトグル出力されます。

また，イベント・カウンタ・モード時はTCK2～TCK0ビットの値に関わらず，TRJ0レジスタが0000Hの場合，DTC，ELCおよび割り込みへの要求信号はカウント開始直後の1回しか発生しません。さらに，カウント指定期間外でもTRJO0がトグル出力されます。

TRJ0レジスタが0001H以上の場合はTRJがアンダフローするごとに要求信号が発生します。

注意　TRJ0レジスタ・アクセス時に，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタ・アクセス時のウエイト・クロック数は，リード，ライトともに1クロックです。

7.3.5 タイマRJ制御レジスタ0（TRJCR0）

TRJCR0レジスタは，タイマRJのカウント動作・停止の制御と，タイマRJステータスを示すレジスタです。

TRJCR0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TRJCR0レジスタは00Hになります。

図7－6 タイマRJ制御レジスタ0（TRJCR0）のフォーマット

アドレス：F0240H リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJCR0	－	－	TUNDF	TEDGF	－	TSTOP	TCSTF	TSTART

ビット7～6	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TUNDF	タイマRJアンダフロー・フラグ注1	R/W
0	アンダフローなし	R/W
1	アンダフローあり	
[0になる条件] ・ プログラムで0を書いたとき [1になる条件] ・ カウンタがアンダフローしたとき		

TEDGF	有効エッジ判定フラグ注1	R/W
0	有効エッジなし	R/W
1	有効エッジあり	
[0になる条件] ・ プログラムで0を書いたとき [1になる条件] ・ パルス幅測定モードで，外部入力（TRJIO0）の有効幅の測定を完了したとき ・ パルス周期測定モードで，外部入力（TRJIO0）の設定エッジが入力されたとき		

ビット3	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TSTOP	タイマRJカウント強制停止注2	R/W
1を書くと，カウント強制停止。読んだ場合，その値は0。		W

TCSTF	タイマRJカウント・ステータス・フラグ注3	R/W
0	カウント停止	R
1	カウント中	
[0になる条件] ・ TSTARTビットに0を書いたとき（カウント・ソースに同期して0になる） ・ TSTOPビットに1を書いたとき [1になる条件] ・ TSTARTビットに1を書いたとき（カウント・ソースに同期して1になる）		

（注は次ページにあります。）

TSTART	タイマRJカウント開始[注3]	R/W
0	カウント停止	R/W
1	カウント開始	
TSTARTビットに1を書くことによりカウントを開始し, 0を書くことによりカウントを停止します。TSTARTビットを1（カウント開始）にすると，カウント・ソースに同期してTCSTFビットが1（カウント中）になります。また, TSTARTビットに0を書き込み後，カウント・ソースに同期してTCSTFビットが0 （カウント停止）になります。詳細は「7.5.1 カウント動作開始，停止制御」を参照してください。		

注1. TRJCR0レジスタは, 8ビット・メモリ操作命令で設定してください。

2. TSTOPビットに1 （カウント強制停止）を書くと，同時にTSTART, TCSTFビットが初期化されます。また，パルス出力レベルも初期化されます。

3. TSTART, TCSTFビットの使用上の注意は「7.5.1　カウント動作開始，停止制御」を参照してください。

7.3.6 タイマRJ I/O制御レジスタ0（TRJIOC0）

TRJIOC0レジスタは，タイマRJの入出力を設定するレジスタです。

TRJIOC0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TRJIOC0レジスタは00Hになります。

図7－7 タイマRJ I/O制御レジスタ0（TRJIOC0）のフォーマット

アドレス：F0241H リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	－	TOENA	－	TEDGSEL

TIOGT1	TIOGT0	TRJIO0カウント制御[注1,2]	R/W
0	0	常にイベントをカウント	R/W
0	1	INTP4の指定した極性の期間イベントをカウント	
1	0	タイマ出力信号の指定した極性の期間イベントをカウント	
1	1	設定しないでください	

注1. INTP4またはタイマ出力信号使用時,TRJISR0レジスタのRCCPSEL2ビットでイベントをカウントする極性を選択できます。

2. TIOGT0, TIOGT1ビットはイベント・カウンタ・モードでのみ有効です。

TIPF1	TIPF0	TRJIO0入力フィルタ選択	R/W
0	0	フィルタなし	R/W
0	1	フィルタあり, f_{CLK}でサンプリング	
1	0	フィルタあり, f_{CLK}/8でサンプリング	
1	1	フィルタあり, f_{CLK}/32でサンプリング	
TRJIO0入力のフィルタのサンプリング周波数を指定します。TRJIO0端子からの入力をサンプリングして，その値が3回連続して一致したとき，入力が確定します。			

ビット3	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TOENA	TRJO0出力許可	R/W
0	TRJO0出力禁止（ポート）	R/W
1	TRJO0出力許可	

ビット1	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TEDGSEL	入出力極性切り替え	R/W
動作モードによって機能が異なります（表7－4，表7－5参照）。TEDGSELビットは, TRJO0出力極性とTRJIO0入出力のエッジおよび極性切り替えを設定します。パルス出力モードでは，トグル・フリップフロップの反転/正転出力のみ制御します。 トグル・フリップフロップは, TRJMR0レジスタに書いたとき，またはTRJCR0レジスタのTSTOPビットに1を書いたときに初期化されます。		R/W

表7－4　TRJIO0入出力のエッジおよび極性切り替え

動作モード	機能
タイマ・モード	使用しない（入出力ポート）
パルス出力モード	0：Hから出力開始（初期化レベル：H） 1：Lから出力開始（初期化レベル：L）
イベント・カウンタ・モード	0：立ち上がりエッジでカウント 1：立ち下がりエッジでカウント
パルス幅測定モード	0：Lレベル幅を測定 1：Hレベル幅を測定
パルス周期測定モード	0：測定パルスの立ち上がりから立ち上がり間測定 1：測定パルスの立ち下がりから立ち下がり間測定

表7－5　TRJO0出力極性切り替え

動作モード	機能
全モード	0：Lから出力開始（初期化レベル：L） 1：Hから出力開始（初期化レベル：H）

7.3.7 タイマRJモード・レジスタ0（TRJMR0）

TRJMR0レジスタは，タイマRJの動作モードを設定するレジスタです。

TRJMR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TRJMR0レジスタは00Hになります。

図7－8 タイマRJモード・レジスタ0（TRJMR0）のフォーマット

アドレス：F0242H リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJMR0	－	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0

ビット7	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TCK2	TCK1	TCK0	タイマRJカウント・ソース選択[注1, 2]	R/W
0	0	0	f_{CLK}	R/W
0	0	1	$f_{CLK}/8$	
0	1	1	$f_{CLK}/2$	
1	0	0	f_{IL}[注4]	
1	0	1	イベントリンクコントローラ（ELC）からのイベント入力	
1	1	0	f_{SL}	
上記以外			設定禁止	

TEDGPL	TRJIO0エッジ極性選択[注5]	R/W
0	片エッジ	R/W
1	両エッジ	

TMOD2	TMOD1	TMOD0	タイマRJ動作モード選択[注3]	R/W
0	0	0	タイマ・モード	R/W
0	0	1	パルス出力モード	
0	1	0	イベント・カウンタ・モード	
0	1	1	パルス幅測定モード	
1	0	0	パルス周期測定モード	
上記以外			設定禁止	

注1. イベント・カウンタ・モードを選択すると, TCK0～TCK2ビットの設定にかかわらず，カウント・ソースは外部入力（TRJIO0）が選択されます。

2. カウント中にカウント・ソースを切り替えないでください。カウント・ソースを切り替えるときはTRJCR0レジスタのTSTARTビットとTCSTFビットを0（カウント停止）に設定してください。

3. 動作モードの変更は，カウント停止時（TRJCR0レジスタのTSTARTビットとTCSTFビットが共に0（カウント停止））のみ可能です。カウント動作中には変更しないでください。

4. カウント・ソースにf_{IL}を選択する場合は，動作スピード・モード制御レジスタ（OSMC）のWUTMMCK0ビットを1にしてください。ただし，CKSELレジスタのSELLOSCビットを1に設定している場合は、タイマRJのカウント・ソースにf_{SUB}を選択することができません。

5. TEDGPLビットはイベント・カウンタ・モード時のみ有効です。

注意 TRJMR0レジスタへのライト・アクセスにて，タイマRJのTRJO0端子およびTRJIO0端子の出力は初期化されます。初期化時の出力レベルは「図7－7 タイマRJ I/O制御レジスタ0（TRJIOC0）のフォーマット」の説明を参照してください。

7.3.8　タイマRJイベント端子選択レジスタ0（TRJISR0）

TRJISR0 レジスタは，イベントカウンタモード時に，イベントカウント期間を制御するタイマを選択，および極性の設定をするレジスタです。

TRJISR0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TRJISR0レジスタは00Hになります。

図7－9　タイマRJイベント端子選択レジスタ0（TRJISR0）のフォーマット

アドレス：F0243H　リセット時：00H

略号	7	6	5	4	3	2	1	0
TRJISR0	－	－	－	－	－	RCCPSEL2注	RCCPSEL1注	RCCPSEL0注

ビット7～3	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

RCCPSEL2	タイマ出力信号およびINTP4極性選択	R/W
0	L期間にイベントをカウント	R/W
1	H期間にイベントをカウント	

RCCPSEL1	RCCPSEL0	タイマ出力信号選択	R/W
0	0	TRDIOD1	R/W
0	1	TRDIOC1	
1	0	TO02	
1	1	TO03	

注　RCCPSEL0～2ビットはイベント・カウンタ・モードでのみ有効です。

7.3.9　ポート・モード・レジスタ1, 4（PM1, PM4）

ポート1, 4の入力／出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート（P41/TRJIO0, P10/TRJO0など）をタイマ出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMXX）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P41/TRJIO0をタイマ出力として使用する場合

ポート・モード・レジスタ4のPM41ビットを0に設定

ポート・レジスタ4のP41ビットを0に設定

タイマ入力端子を兼用するポート（P41/TRJIO0など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMXX）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは, 0または1のどちらでもかまいません。

例）P41/TRJIO0をタイマ入力として使用する場合

ポート・モード・レジスタ4のPM41ビットを1に設定

ポート・レジスタ4のP41ビットを0または1に設定

PM1, PM4レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7－10　ポート・モード・レジスタ1, 4（PM1, PM4）のフォーマット

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PMmn	Pmn端子の入出力モードの選択（m = 1, 4, n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

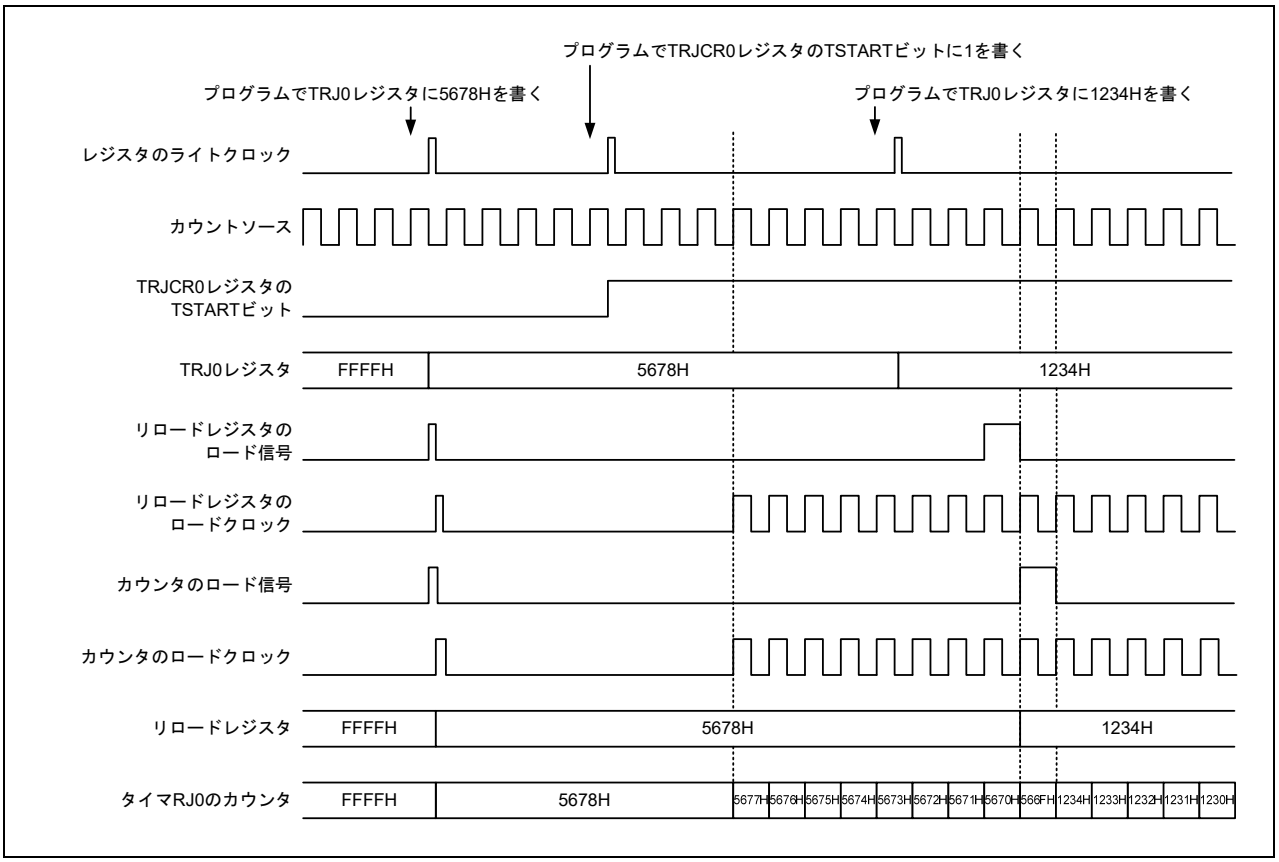
7.4　動作説明

7.4.1　リロード・レジスタとカウンタの書き換え動作

リロード・レジスタとカウンタへの書き換え動作は，動作モードにかかわらずTRJCR0レジスタのTSTARTビットの値によりタイミングが変わります。TSTARTビットが0（カウント停止）のときは，直接リロード・レジスタおよびカウンタに書き込まれます。TSTARTビットが1（カウント開始）のときは，カウント・ソースに同期してリロード・レジスタに書き込まれた後，次のカウント・ソースに同期してカウンタに書き込まれます。

図7－11にTSTARTビットの値による書き換え動作のタイミング図を示します。

図7－11　TSTARTビットの値による書き換え動作のタイミング図



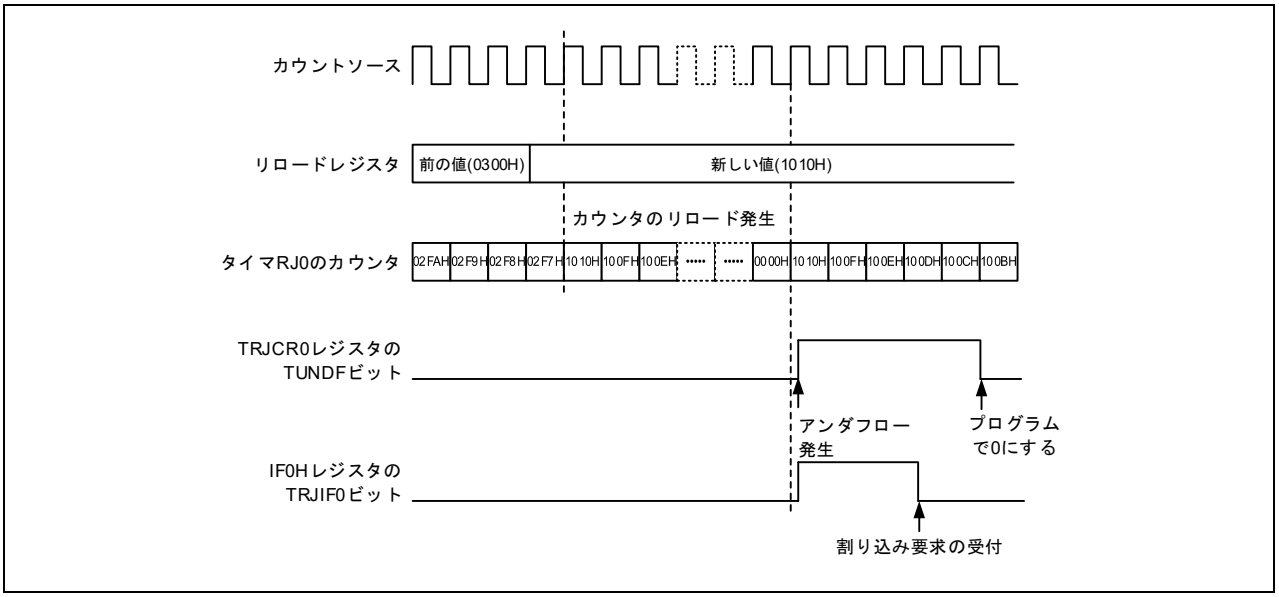
7.4.2　タイマ・モード

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウント・ソースで，ダウン・カウントするモードです。

タイマ・モードでは，カウント・ソースが入力されるごとにカウント値が1ずつ減少し,カウント値が0000Hになり，次のカウント・ソースが入力されるとアンダフローし，割り込み要求が発生します。

図7－12にタイマ・モードの動作例を示します。

図7－12　タイマ・モードの動作例



7.4.3 パルス出力モード

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウント・ソースでダウン・カウントし，アンダフローするごとに，TRJIO0端子およびTRJO0端子の出力レベルを反転出力させるモードです。

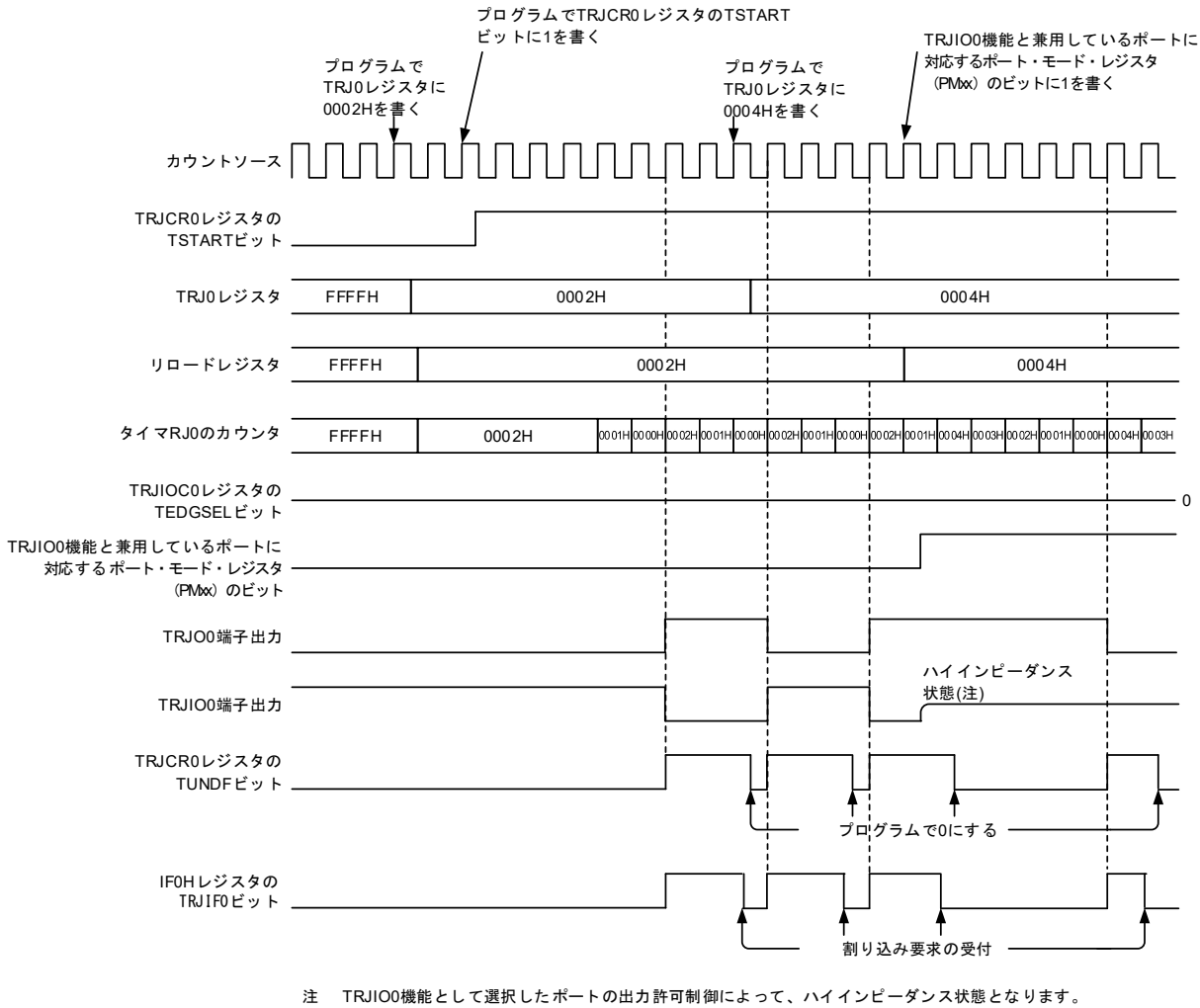
パルス出力モードでは，カウント・ソースが入力されるごとにカウント値が1ずつ減少し,カウント値が0000Hになり，次のカウント・ソースが入力されるとアンダフローし，割り込み要求が発生します。

また,TRJIO0端子とTRJO0端子の2端子からパルス出力が可能で,アンダフローするごとに出力レベルを反転します。TRJO0端子については,TRJIOC0レジスタのTOENAビットによりパルス出力を停止できます。

なお，出力レベルをTRJIOC0レジスタのTEDGSELビットにより選択できます。

図7－13にパルス出力モードの動作例を示します。

図7－13 パルス出力モードの動作例



注 TRJIO0機能として選択したポートの出力許可制御によって、ハイインピーダンス状態となります。

7.4.4　イベント・カウンタ・モード

TRJIO0端子から入力される外部イベント信号（カウント・ソース）でダウン・カウントするモードです。

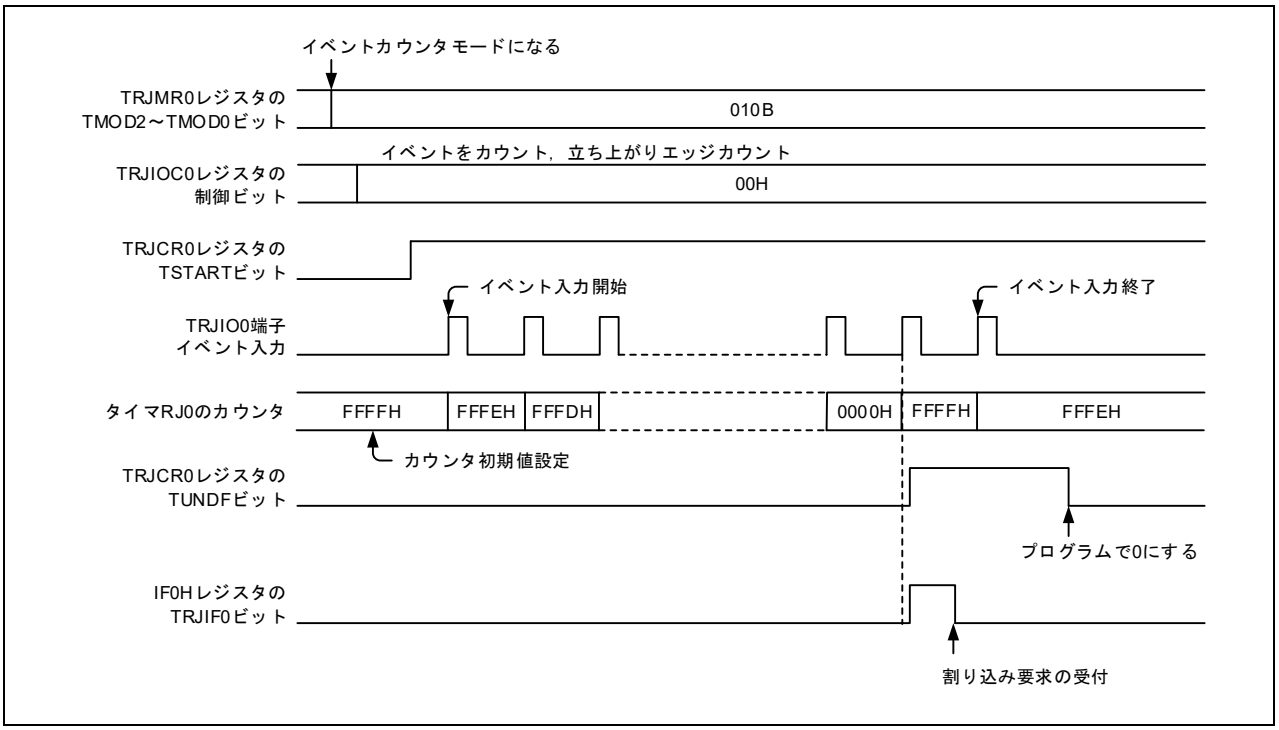
イベント・カウントする期間を, TRJIOC0レジスタのTIOGT0～TIOGT1ビットおよびTRJISR0レジスタにより各種設定ができます。また, TRJIO0入力のフィルタ機能をTRJIOC0レジスタのTIPF0～TIPF1ビットで指定できます。

なお, イベント・カウンタ・モードでもTRJO0端子からトグル出力ができます。

イベント・カウンタ・モードを使用する場合は「7.5.5　TRJO0, TRJIO0端子の設定手順」を参照してください。

図7－14にイベント・カウンタ・モードの動作例を示します。

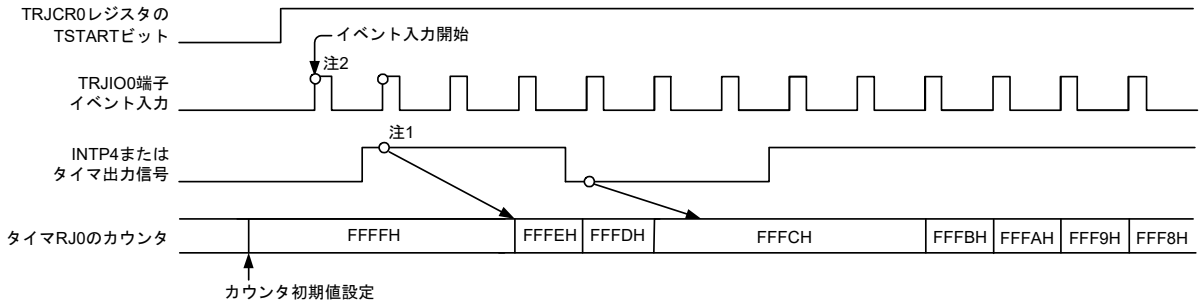
図7－14　イベント・カウンタ・モードの動作例1



イベント・カウンタ・モードで指定時間カウントする場合（TRJIOC0レジスタのTIOGT1,0ビットが01Bまたは10B）の動作例を図7－15に示します。

図7－15　イベント・カウンタ・モードの動作例2

■動作モード設定が下記の場合のタイミング例
TRJMR0レジスタ　：TMOD2,1,0 = 010B（イベントカウンタモード）
TRJIOC0レジスタ　：TIOGT1,0 = 01B（外部割り込み端子の指定した期間イベントカウント
TIPF1,0 = 00B（フィルタなし）
TEDGSEL = 0（立ち上がりエッジでカウント）
TRJISR0レジスタ　：RCCPSEL2 = 1（H期間をカウント）



下記注意事項は、イベントカウントモードの動作モード設定が、TRJIOC0レジスタのTIOGT1,0が01Bまたは10Bの場合に限ります。

注1．同期化制御のため、カウント動作に反映されるまで、カウントソースで2クロック分の遅延があります。
2. カウント開始直後のカウントソースで2クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
カウント開始直後の2クロック分のカウントを無効にするには、TRJCR0レジスタのTSTOPビットに”1”をライトし、内部回路を初期化し、
動作設定後カウント動作開始してください。

7.4.5　パルス幅測定モード

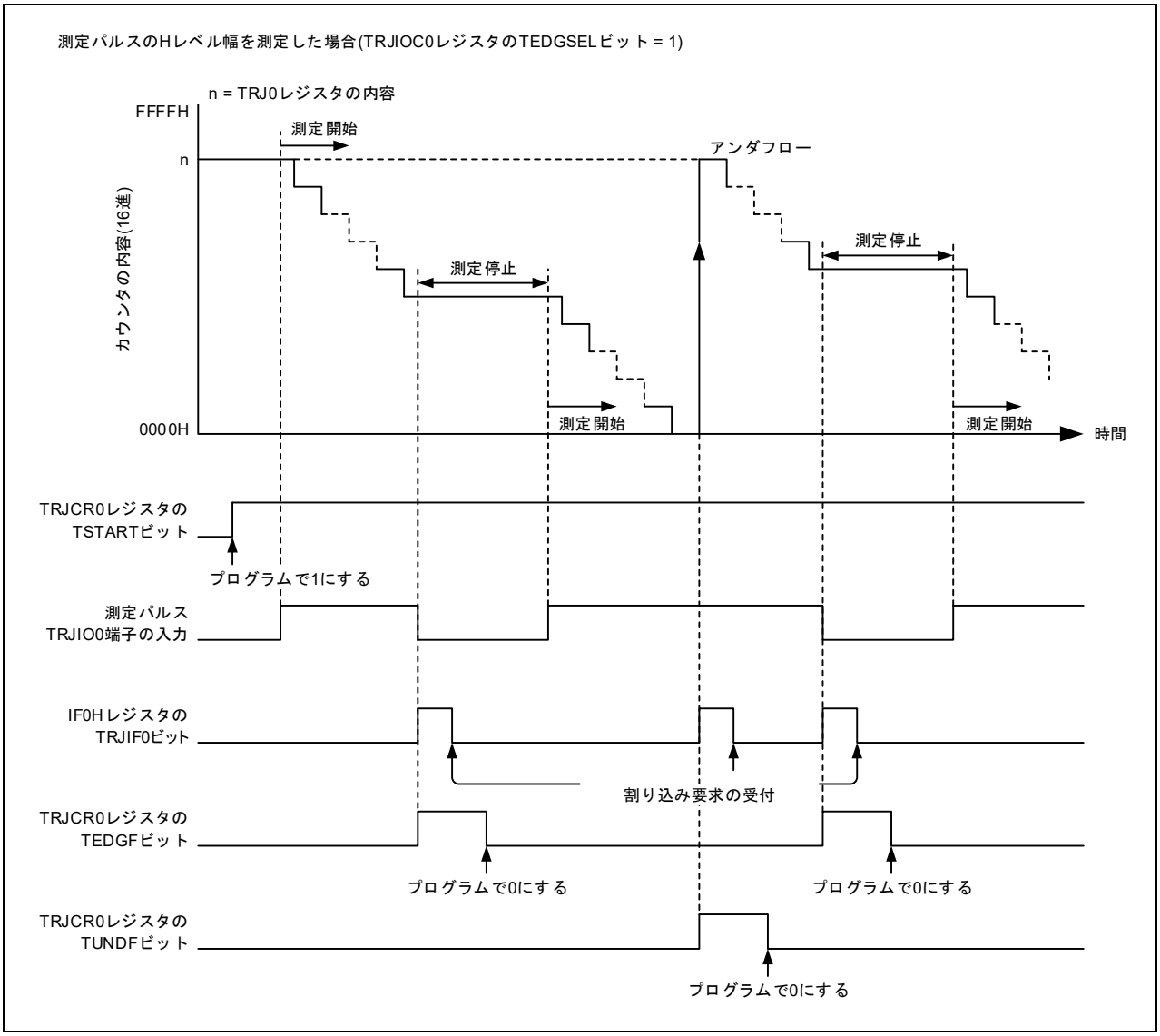
TRJIO0端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは, TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定したレベルが入力されると，選択したカウント・ソースでダウン・カウントを開始します。TRJIO0端子の指定したレベルが終了するとカウンタは停止し, TRJCR0レジスタのTEDGFビットが1（有効エッジあり）になり，割り込み要求が発生します。パルス幅データの測定は，カウンタが停止中にカウンタ値を読み出すことで行います。また，測定中にカウンタがアンダフローすると, TRJCR0レジスタのTUNDFビットが1（アンダフローあり）になり，割り込み要求が発生します。

図7－16にパルス幅測定モードの動作例を示します。

TRJCR0レジスタのTEDGF, TUNDFビットをアクセスする場合は「7.5.2　フラグへのアクセス（TRJCR0レジスタのTEDGF, TUNDFビット）」を参照してください。

図7－16　パルス幅測定モードの動作例



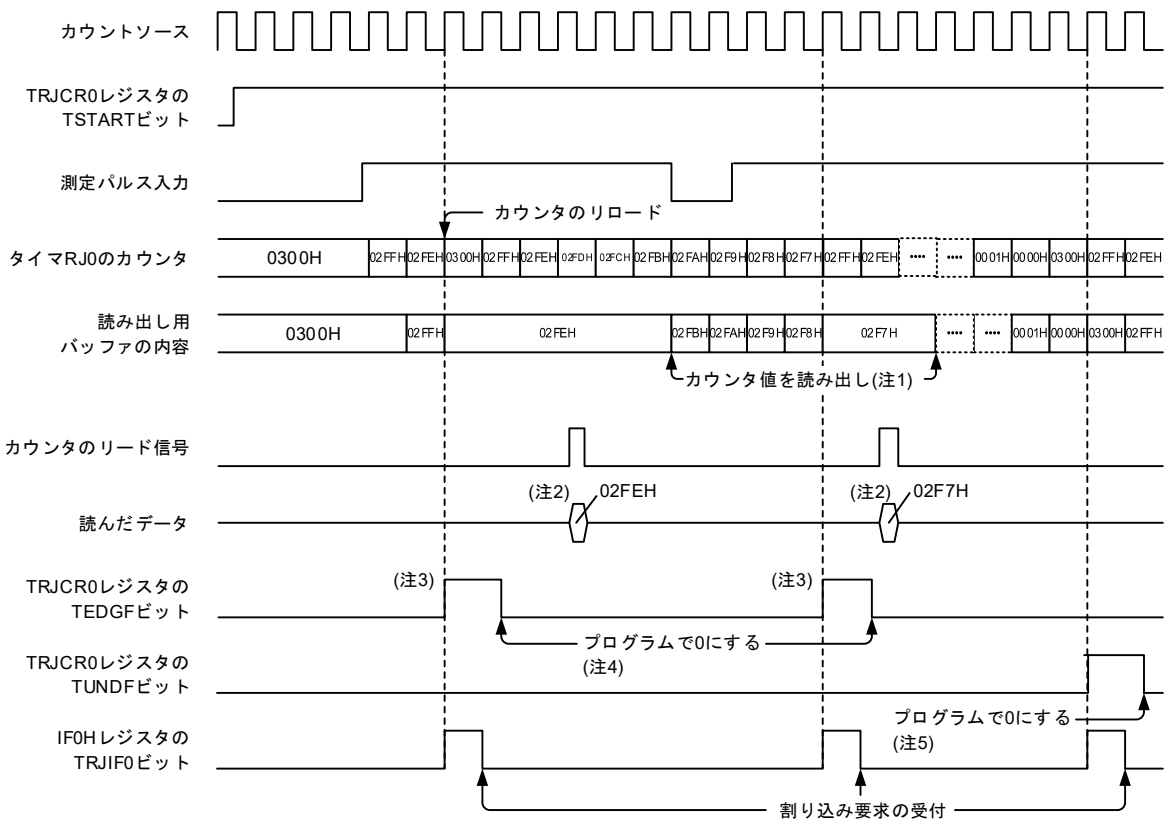
7.4.6 パルス周期測定モード

TRJIO0端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウント・ソースで，カウンタはダウン・カウントします。TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定した期間のパルスが入力されると，カウント・ソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウント・ソースの立ち上がりで，リロード・レジスタ値がカウンタにロードされます。同時にTRJCR0レジスタのTEDGFビットが1（有効エッジあり）になり，割り込み要求が発生します。このときに読み出し用バッファ（TRJ0レジスタ）を読み出し，リロード値との差が入力パルスの周期データとなります。なお，周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると，TRJCR0レジスタのTUNDFビットが1（アンダフローあり）になり，割り込み要求が発生します。図7－17にパルス周期測定モードの動作例を示します。

カウント・ソースより2倍長い周期のパルスを入力してください。また，L幅とH幅のそれぞれが，カウント・ソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合，その入力は無視されることがあります。

図7－17 パルス周期測定モードの動作例



TRJ0レジスタの初期値を0300Hとし，TRJIOC0レジスタのTEDGSELビットを0にし，測定パルスの立ち上がりまで測定した場合です。

注1. TRJ0レジスタの読み出しは，TEDGFビットが1 (有効エッジあり)になってから，次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は，TRJ0レジスタを読み出すまで保持されます。従って，有効エッジが入力されるまでに読み出さない場合は，前の周期の測定結果を保持します。
注2. パルス周期測定モードでTRJ0レジスタを読み出すと，読み出し用バッファの内容が読めます。
注3. 測定パルスの有効エッジ入力後に，外部パルス入力の設定エッジが入力されたとき，TRJCR0レジスタのTEDGFビットが1 (有効エッジあり)になります。
注4. プログラムで0にするときは，8ビット・メモリ操作命令を用いてTRJCR0レジスタのTEDGFビットに0を書いてください。
注5. プログラムで0にするときは，8ビット・メモリ操作命令を用いてTRJCR0レジスタのTUNDFビットに0を書いてください。

7.4.7 イベントリンクコントローラ（ELC）との連携による動作

ELCとの連携により，カウント・ソースにELCからのイベント入力を設定することができます。

TRJMR0レジスタのTCK0～TCK2ビットにて，ELCからのイベント入力の立ち上がりでカウントします。ただし，イベント・カウンタ・モードでは，ELC入力は機能しません。

ELC設定手順を以下に示します。

- 動作開始手順

（1）イベントリンクコントローラ（ELC）のイベント出力先選択レジスタ（ELSELRn）を設定する。

（2）イベント発生元の動作モードを設定する。

（3）タイマRJのモードを設定する。

（4）タイマRJのカウント動作を開始する。

（5）イベント発生元の動作を開始する。

- 動作停止手順

（1）イベント発生元の動作を停止させる。

（2）タイマRJのモードのカウンタ動作を停止させる。

（3）イベントリンクコントローラ（ELC）のイベント出力先選択レジスタ（ELSELRn）を0に設定する。

7.4.8 各モード出力設定

表7－6，表7－7に各モード時のTRJO0, TRJIO0端子状態を示します。

表7－6 TRJO0端子設定

動作モード	TRJIOC0レジスタ		TRJO0端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表7－7 TRJIO0端子設定

動作モード	PM4レジスタ	TRJIOC0レジスタ	TRJIO0端子入出力
	PM41ビット	TEDGSELビット	
タイマ・モード	0または1	0または1	入力（使用しない）
パルス出力モード	1	0または1	出力禁止（Hi-z出力）
	0	1	正転出力
		0	反転出力
イベント・カウンタ・モード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

7.5　タイマRJ使用上の注意事項

7.5.1　カウント動作開始，停止制御

- イベント・カウンタ・モードまたはカウント・ソースをELC以外に設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1（カウント開始）を書いた後は，カウント・ソースの3サイクルの間，TRJCR0レジスタのTCSTFビットは0（カウント停止）になっています。TCSTFビットが1（カウント中）になるまで，TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0（カウント停止）を書いた後は，カウント・ソースの3サイクルの間，TCSTFビットは1になっています。TCSTFビットが0になったとき，カウントを停止します。TCSTFビットが0になるまで，TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また，TSTARTビットを0から1へ変更する前に，割り込みレジスタのクリアを行ってください。詳細は「第22章 割り込み機能」を参照してください。

注　タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

- イベント・カウンタ・モードまたはカウント・ソースをELC設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1（カウント開始）を書いた後は，CPUクロックの2サイクルの間，TRJCR0レジスタのTCSTFビットは0（カウント停止）になっています。TCSTFビットが1（カウント中）になるまで，TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0（カウント停止）を書いた後は，CPUクロックの2サイクルの間，TCSTFビットは1になっています。TCSTFビットが0になったとき，カウントを停止します。TCSTFビットが0になるまで，TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また，TSTARTビットを0から1へ変更する前に，割り込みレジスタのクリアを行ってください。

詳細は「第22章 割り込み機能」を参照してください。

注　タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

7.5.2　フラグへのアクセス（TRJCR0レジスタのTEDGF, TUNDFビット）

TRJCR0レジスタのTEDGF, TUNDFビットは，プログラムで0を書くと0になりますが，1を書いても変化しません。TRJCR0レジスタにリード・モディファイ・ライト命令を使用した場合，命令実行中にTEDGFビットが1（有効エッジあり），TUNDFビットが1（アンダフローあり）になっても，タイミングによってTEDGF, TUNDFビットを誤って0にする場合があります。TRJCR0レジスタへのアクセスは，8ビット・メモリ操作命令を使用してください。

7.5.3　カウンタ・レジスタへのアクセス

TRJCR0レジスタのTSTARTビットとTCSTFビットが共に1（カウント動作中）の場合，TRJ0レジスタに連続して書くときは，それぞれの書き込み間隔をカウント・ソースクロックの3周期以上空けてください。

7.5.4　モード変更時

タイマRJの動作モード関連レジスタ（TRJIOC0，TRJMR0，TRJISR0）の変更は，カウント停止時（TRJCR0レジスタのTSTARTビットとTCSTFビットが共に0（カウント停止））のみ可能です。カウント動作中には変更しないでください。

タイマRJの動作モード関連レジスタを変更したとき，TEDGFビットとTUNDFビットは不定です。TEDGFビットに0（有効エッジなし），TUNDFビットに0（アンダフローなし）を書いてから，カウントを開始してください。

7.5.5　TRJO0, TRJIO0端子の設定手順

リセット後, TRJO0, TRJIO0端子と共用しているI/Oポートは入力ポートとして機能します。

TRJO0, TRJIO0端子から出力する場合は，以下の手順で設定してください。

変更手順

（1）モード設定をする

（2）初期値設定/出力許可設定をする。

（3）TRJO0, TRJIO0端子に対応するポート・レジスタのビットを0にする。

（4）TRJO0, TRJIO0端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
（TRJO0, TRJIO0端子から出力開始）

（5）カウントを開始する（TRJCR0レジスタのTSTART = 1）。

TRJIO0端子から入力する場合は，以下の手順で設定してください。

（1）モード設定をする

（2）初期値設定/エッジ選択設定をする。

（3）TRJIO0端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
（TRJIO0端子から入力開始）

（4）カウントを開始する（TRJCR0レジスタのTSTART = 1）。

（5）TRJCR0レジスタのTCSTFビットが1（カウント中）になるまで待つ。
（イベント・カウンタ・モード時のみ）

（6）TRJIO0端子から外部イベントを入力する。

（7）最初の測定完了による処理は無効としてください（2回目以降から測定値有効）。
（パルス幅測定モード，パルス周期測定モードのみ）

7.5.6　タイマRJ未使用時

タイマRJを使用しない場合, TRJMR0レジスタのTMOD2～TMOD0ビットを000B（タイマ・モード）, TRJIOC0レジスタのTOENAビットを0（TRJO出力禁止）にしてください。

7.5.7　タイマRJ動作クロック停止時

PER1レジスタのTRJ0ENビットでタイマRJのクロック供給/停止制御が可能です。ただし，タイマRJのクロック停止時は下記SFRへのアクセスができません。アクセスする場合にはタイマRJのクロックを供給した状態で行ってください。

TRJ0レジスタ, TRJCR0レジスタ, TRJMR0レジスタ, TRJIOC0レジスタ, TRJISR0レジスタ

7.5.8 STOPモード（イベント・カウンタ・モード）の設定手順

STOPモード中にイベント・カウンタ・モードの動作をさせる場合，タイマRJのクロックを供給した後，以下の手順でSTOPモードへ移行してください。

設定手順

（1）動作モード設定

（2）カウントを開始する（TSTART = 1, TCSTF = 1）

（3）タイマRJのクロック供給停止

また, STOPモード中にイベント・カウンタ・モードの動作を停止させる場合，以下の手順で動作停止処理を行ってください。

（1）タイマRJのクロック供給

（2）カウントを停止する（TSTART = 0, TCSTF = 0）

7.5.9 STOPモード（イベント・カウンタ・モードのみ）での機能制限

STOPモード中にイベント・カウンタ・モードの動作をさせる場合，デジタル・フィルタ機能は使用できません。

7.5.10 TSTOPビットによる強制カウント停止時

TRJCR0レジスタのTSTOPビットによるカウンタ強制停止後，カウント・ソースで1サイクルの間，下記SFRへのアクセスはしないでください。

TRJ0レジスタ, TRJCR0レジスタ, TRJMR0レジスタ

7.5.11 デジタル・フィルタ

★ デジタル・フィルタを使用する場合はTRJIOC0レジスタのTIPF1,0ビット設定後，デジタル・フィルタ・クロックで5サイクルの間，タイマ動作を開始しないでください。

また，デジタル・フィルタを使用している状態で，TRJIOC0レジスタのTEDGSELビットを変更した場合も同様にデジタル・フィルタ・クロックで5サイクルの間，タイマ動作を開始しないでください。

7.5.12 カウント・ソースにf_{IL}を選択する場合

カウント・ソースにf_{IL}を選択する場合は，動作スピード・モード制御レジスタ（OSMC）のWUTMMCK0ビットを1にしてください。ただし，タイマRDのカウント・ソースまたはクロック出力／ブザー出力の出力クロックにf_{SL}（f_{IL}）を選択している場合は、タイマRJのカウント・ソースにf_{SUB}を選択することができません。

第8章　タイマRD

タイマRDは, 16ビットタイマを2ユニット（タイマRD0，タイマRD1）持ちます。

8.1　概要

タイマRD0，タイマRD1は各4本の入出力端子を持ちます。
タイマRDの動作クロック（f_{TRD}）は、f_{CLK}, f_{MP}, f_{SL}のクロックです。

図8－1にタイマRDのブロック図を，表8－1にタイマRDの端子構成を示します。
タイマRDは4種類のモードを持ちます。

- タイマモード
  - インプットキャプチャ機能　外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
  - アウトプットコンペア機能　カウンタとレジスタの値の一致を検出する機能
    （検出時に端子出力変更可能）
  - PWM機能　任意の幅のパルスを連続して出力する機能

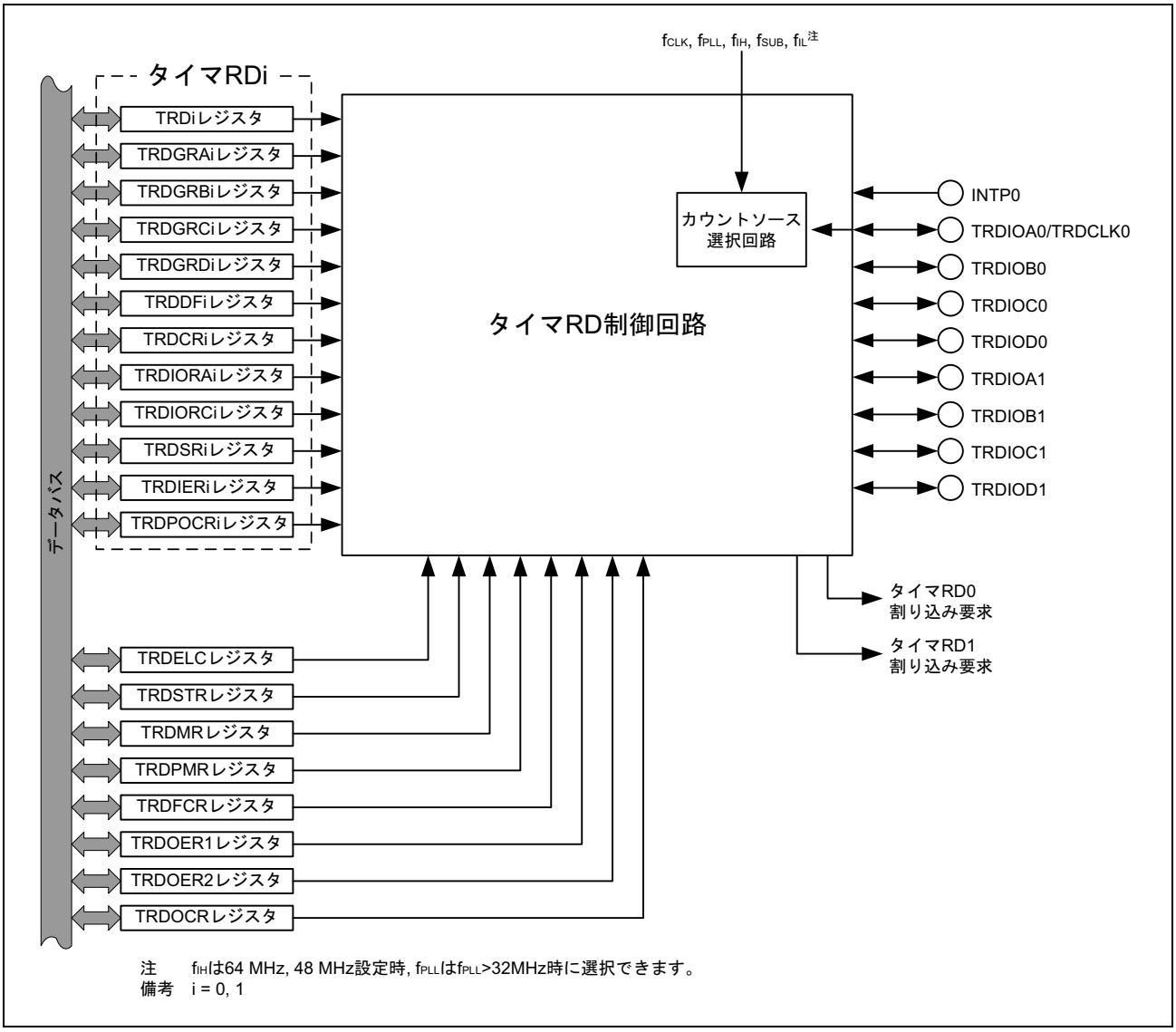
次の3つのモードは, PWM機能を用います。

- リセット同期PWMモード　鋸波変調，短絡防止時間なしの三相波形（6本）を出力するモード
- 相補PWMモード　三角波変調，短絡防止時間ありの三相波形（6本）を出力するモード
- PWM3モード　同一周期のPWM波形（2本）を出力するモード

タイマモードのインプットキャプチャ機能，アウトプットコンペア機能, PWM機能は，タイマRD0とタイマRD1で同等の機能を持ち, 1端子ごとに機能を選択できます。また，タイマRD0，タイマRD1の中でこれらの機能を組み合わせて使えます。

リセット同期PWMモード，相補PWMモード, PWM3モードは，タイマRD0とタイマRD1のカウンタやレジスタを組み合わせて波形を出力します。端子の機能はモードによって決まります。

図8－1 タイマRDのブロック図



注 fIHは64 MHz, 48 MHz設定時, fPLLはfPLL>32MHz時に選択できます。
備考 i = 0, 1

表8－1 タイマRDの端子構成

端子名	割り当てる端子	入出力	機能
TRDIOA0/TRDCLK0	P13 (P15)	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	P125 (P11)	入出力	
TRDIOC0	P14	入出力	
TRDIOD0	P120 (P12)	入出力	
TRDIOA1	P15	入出力	
TRDIOB1	P17	入出力	
TRDIOC1	P16	入出力	
TRDIOD1	P30	入出力	

8.2　レジスタの説明

表8－2にタイマRDのレジスタ構成を示します。

表8－2　タイマRDのレジスタ構成（1/2）

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺イネーブル・レジスタ1	PER1	00H	F02C0H	1, 8
クロック選択レジスタ	CKSEL	00H	F02C4H	1, 8
タイマRD ELCレジスタ	TRDELC	00H注	F0260H	1, 8
タイマRDスタート・レジスタ	TRDSTR	0CH注	F0263H	8
タイマRDモード・レジスタ	TRDMR	00H注	F0264H	1, 8
タイマRD PWM機能選択レジスタ	TRDPMR	00H注	F0265H	1, 8
タイマRD機能制御レジスタ	TRDFCR	80H注	F0266H	1, 8
タイマRD出力マスタ許可レジスタ1	TRDOER1	FFH注	F0267H	1, 8
タイマRD出力マスタ許可レジスタ2	TRDOER2	00H注	F0268H	1, 8
タイマRD出力制御レジスタ	TRDOCR	00H注	F0269H	1, 8
タイマRDデジタル・フィルタ機能選択レジスタ0	TRDDF0	00H注	F026AH	1, 8
タイマRDデジタル・フィルタ機能選択レジスタ1	TRDDF1	00H注	F026BH	1, 8
タイマRD制御レジスタ0	TRDCR0	00H注	F0270H	1, 8
タイマRD I/O制御レジスタA0	TRDIORA0	00H注	F0271H	1, 8
タイマRD I/O制御レジスタC0	TRDIORC0	88H注	F0272H	1, 8
タイマRDステータス・レジスタ0	TRDSR0	00H注	F0273H	1, 8
タイマRD割り込み許可レジスタ0	TRDIER0	00H注	F0274H	1, 8
タイマRD PWM機能出力レベル制御レジスタ0	TRDPOCR0	00H注	F0275H	1, 8
タイマRDカウンタ0	TRD0	0000H注	F0276H	16
タイマRDジェネラル・レジスタA0	TRDGRA0	FFFFH注	F0278H	16
タイマRDジェネラル・レジスタB0	TRDGRB0	FFFFH注	F027AH	16
タイマRDジェネラル・レジスタC0	TRDGRC0	FFFFH注	FFF58H	16
タイマRDジェネラル・レジスタD0	TRDGRD0	FFFFH注	FFF5AH	16
タイマRD制御レジスタ1	TRDCR1	00H注	F0280H	1, 8
タイマRD I/O制御レジスタA1	TRDIORA1	00H注	F0281H	1, 8
タイマRD I/O制御レジスタC1	TRDIORC1	88H注	F0282H	1, 8
タイマRDステータス・レジスタ1	TRDSR1	00H注	F0283H	1, 8
タイマRD割り込み許可レジスタ1	TRDIER1	00H注	F0284H	1, 8
タイマRD PWM機能出力レベル制御レジスタ1	TRDPOCR1	00H注	F0285H	1, 8
タイマRDカウンタ1	TRD1	0000H注	F0286H	16
タイマRDジェネラル・レジスタA1	TRDGRA1	FFFFH注	F0288H	16
タイマRDジェネラル・レジスタB1	TRDGRB1	FFFFH注	F028AH	16
タイマRDジェネラル・レジスタC1	TRDGRC1	FFFFH注	FFF5CH	16
タイマRDジェネラル・レジスタD1	TRDGRD1	FFFFH注	FFF5EH	16

注　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8－2　タイマRDのレジスタ構成（2/2）

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
PWM出力遅延制御レジスタ0	PWMDLY0	0000H	F0228H	16
ポート・レジスタ1	P1	00H	FFF01H	1, 8
ポート・モード・レジスタ1	PM1	FFH	FFF21H	1, 8
ポート・レジスタ3	P3	00H	FFF03H	1, 8
ポート・モード・レジスタ3	PM3	FFH	FFF23H	1, 8
ポート・レジスタ12	P12	–	FFF0CH	1, 8
ポート・モード・レジスタ12	PM12	FFH	FFF2CH	1, 8
PLL制御レジスタ	PLLCTL	00H	F02C5H	1, 8
PLL状態レジスタ	PLLSTS	00H	F02C6H	1, 8
f_{MP}クロック分周レジスタ	MDIV	00H/01H	F02C7H	8
システム・クロック制御レジスタ	CKC	00H	FFFA4H	1, 8

8.2.1　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマRDを使用する場合は，必ずビット4（TRD0EN）を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00Hになります。

図8－2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN注2	SAU2EN注1	TRJ0EN

TRD0EN	タイマRDの入力クロック供給の制御
0	入力クロック供給停止 ・タイマRDで使用するSFRへのライト不可 ・タイマRDはリセット状態
1	入力クロック供給 ・タイマRDで使用するSFRへのリード／ライト可

注1.　144ピン，100ピン製品のみ。その他の製品では0を設定してください。

2.　144ピン製品のみ。その他の製品では0を設定してください。

注意1.　タイマRDの設定をする際には，必ず最初にTRD0EN = 1の設定を行ってください。TRD0EN = 0の場合は，タイマRDの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ1, 3, 12（PM1, PM3, PM12），ポート・レジスタ1, 3, 12（P1, P3, P12）は除く）。

2.　ビット 6には必ず0を設定してください。

3.　カウント・ソースにf_{IH} = 64 MHz, 48 MHzを選択する場合、f_{CLK}はf_{IH}に設定してください。カウント・ソースにf_{PLL} > 32 MHzを選択する場合、f_{CLK}はf_{PLL}に設定してください。

カウント・ソースにf_{SUB}, f_{IL}を選択して、タイマRD関連レジスタをアクセスする場合、f_{CLK}はそれぞれf_{SUB}、f_{IL}に設定してください。

8.2.2 クロック選択レジスタ（CKSEL）

CPUクロック（f_{SUB}/f_{IL}）およびタイマRJ，タイマRD，クロック出力／ブザー出力のクロックを選択するレジスタです。SELLOSCビットは、CMCレジスタとの組み合わせによって、サブシステム・クロックの動作モードを設定します。詳細は「図5−3 クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図8−3 クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	0	0	0	0	0	TRD_CKSEL	0	SELLOSC注5

TRD_CKSEL	TRDのクロック選択制御
0	f_{CLK}、f_{MP}注1を選択
1	f_{SL}注2を選択

SELLOSC注5	サブ/低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{SUB}注3を選択
1	f_{IL}注4を選択

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1の場合およびPLLCTLレジスタのPLLDIV1 = 1（f_{PLL}＞32MHz）の場合，TRD_CKSELビットを0にしてください。

ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1もしくは，PLLCTLレジスタのPLLDIV1 = 1（f_{PLL}＞32MHz）の場合，タイマRDの動作クロック（f_{TRD}）はf_{MP}となります。

2. タイマRDの動作クロック（f_{TRD}）にf_{SL}を選択する場合、CPUクロックはf_{SL}を選択（CKCレジスタのCSSビットを1）してください。
3. f_{SUB}をCPU／周辺ハードウェア・クロックにする場合は、あらかじめSELLOSCビットを0にした後、CKCレジスタのCSSビットを1にしてください。
4. f_{IL}をCPU／周辺ハードウェア・クロックにする場合は、あらかじめSELLOSCビットを1にした後、CKCレジスタのCSSビットを1にしてください。
5. SELLOSCビットを1にした場合，低速オンチップ・オシレータが動作します。

8.2.3 タイマRD ELCレジスタ（TRDELC）

図8－4 タイマRD ELCレジスタ（TRDELC）のフォーマット

アドレス：F0260H リセット時：00H

略号	7	6	5	4	3	2	1	0
TRDELC	—	—	ELCOBE1	ELCICE1	—	—	ELCOBE0	ELCICE0

ビット7～6	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

ELCOBE1	タイマRDパルス出力強制遮断用ELCイベント入力1許可	R/W
0	強制遮断を禁止	R/W
1	強制遮断を許可	

ELCICE1	タイマRDインプットキャプチャD1用ELCイベント入力1選択	R/W
0	インプットキャプチャD1を選択	R/W
1	イベントリンクコントローラ（ELC）からのイベント入力1を選択	

ビット3～2	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

ELCOBE0	タイマRDパルス出力強制遮断用ELCイベント入力0許可	R/W
0	強制遮断を禁止	R/W
1	強制遮断を許可	

ELCICE0	タイマRDインプットキャプチャD0用ELCイベント入力0選択	R/W
0	インプットキャプチャD0を選択	R/W
1	イベントリンクコントローラ（ELC）からのイベント入力0を選択	

8.2.4 タイマRDスタート・レジスタ（TRDSTR）

TRDSTRレジスタは8ビット・メモリ操作命令で設定してください。詳細は「8.5 タイマRD使用上の注意」の「8.5.1（1）TRDSTRレジスタ」を参照してください。

図8−5 タイマRDスタート・レジスタ（TRDSTR）のフォーマット

アドレス：F0263H リセット時：0CH[注1]

略号	7	6	5	4	3	2	1	0
TRDSTR	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0

ビット7～4	何も配置されていない	R/W
−	書く場合，0を書いてください。読んだ場合，その値は0。	R

CSEL1	TRD1カウント動作選択[注2]	R/W
0	TRDGRA1レジスタとのコンペアー致でカウント停止	R/W
1	TRDGRA1レジスタとのコンペアー致後もカウント継続[注3]	

CSEL0	TRD0カウント動作選択	R/W
0	TRDGRA0レジスタとのコンペアー致でカウント停止	R/W
1	TRDGRA0レジスタとのコンペアー致後もカウント継続[注3]	

TSTART1	TRD1カウント開始フラグ[注4, 5]	R/W
0	カウント停止	R/W
1	カウント開始	

TSTART0	TRD0カウント開始フラグ[注6, 7]	R/W
0	カウント停止	R/W
1	カウント開始	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. PWM3モードでは使用しません。
3. インプットキャプチャ機能では1にしてください。
4. CSEL1ビットが1に設定されているとき，TSTART1ビットへ0を書いてください。
5. CSEL1ビットが0でコンペアー致信号（TRDIOA1）が発生したとき，0（カウント停止）になります。
6. CSEL0ビットが1に設定されているとき，TSTART0ビットへ0を書いてください。
7. CSEL0ビットが0でコンペアー致信号（TRDIOA0）が発生したとき，0（カウント停止）になります。

8.2.5 タイマRDモード・レジスタ（TRDMR）

図8−6 タイマRDモード・レジスタ（TRDMR）のフォーマット

アドレス：F0264H リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDMR	TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	TRDSYNC

TRDBFD1	TRDGRD1レジスタ機能選択[注2]	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRB1レジスタのバッファ・レジスタ	

TRDBFC1	TRDGRC1レジスタ機能選択[注2]	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRA1レジスタのバッファ・レジスタ	

TRDBFD0	TRDGRD0レジスタ機能選択[注2]	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRB0レジスタのバッファ・レジスタ	

TRDBFC0	TRDGRC0レジスタ機能選択[注2, 3]	R/W
0	ジェネラル・レジスタ	R/W
1	TRDGRA0レジスタのバッファ・レジスタ	

ビット3〜1	何も配置されていない	R/W
−	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TRDSYNC	タイマRD同期[注4]	R/W
0	TRD0とTRD1は独立動作	R/W
1	TRD0とTRD1は同期動作	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. アウトプットコンペア機能時, TRDIORCiレジスタ（i = 0, 1）のIOj3ビット（j = CまたはD）で0（TRDGRjiレジスタ出力端子変更）を選択した場合, TRDMRレジスタのTRDBFjiビットを0にしてください。

3. 相補PWMモードでは0（ジェネラル・レジスタ）にしてください。

4. リセット同期PWMモード時，相補PWMモード時，およびPWM3モード時は, 0（TRD0とTRD1は独立動作）にしてください。

8.2.6 タイマRD PWM機能選択レジスタ（TRDPMR）

図8−7 タイマRD PWM機能選択レジスタ（TRDPMR）のフォーマット[タイマモード]

アドレス：F0265H リセット時：00H[注]

略号	7	6	5	4	3	2	1	0
TRDPMR	0	TRDPWMD1	TRDPWMC1	TRDPWMB1	0	TRDPWMD0	TRDPWMC0	TRDPWMB0

ビット7	何も配置されていない	R/W
−	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TRDPWMD1	TRDIOD1 PWM機能選択	R/W
0	インプットキャプチャ機能またはアウトプットコンペア機能	R/W
1	PWM機能	

TRDPWMC1	TRDIOC1 PWM機能選択	R/W
0	インプットキャプチャ機能またはアウトプットコンペア機能	R/W
1	PWM機能	

TRDPWMB1	TRDIOB1 PWM機能選択	R/W
0	インプットキャプチャ機能またはアウトプットコンペア機能	R/W
1	PWM機能	

ビット3	何も配置されていない	R/W
−	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TRDPWMD0	TRDIOD0 PWM機能選択	R/W
0	インプットキャプチャ機能またはアウトプットコンペア機能	R/W
1	PWM機能	

TRDPWMC0	TRDIOC0 PWM機能選択	R/W
0	インプットキャプチャ機能またはアウトプットコンペア機能	R/W
1	PWM機能	

TRDPWMB0	TRDIOB0 PWM機能選択	R/W
0	インプットキャプチャ機能またはアウトプットコンペア機能	R/W
1	PWM機能	

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

8.2.7 タイマRD機能制御レジスタ（TRDFCR）

図8－8 タイマRD機能制御レジスタ（TRDFCR）のフォーマット

アドレス：F0266H リセット時：80H[注1]

略号	7	6	5	4	3	2	1	0
TRDFCR	PWM3	STCLK	0	0	OLS1	OLS0	CMD1	CMD0

PWM3	PWM3モード選択[注2]	R/W
・タイマモードの場合は，1（PWM3モード以外）にしてください。 ・PWM3モードの場合は0（PWM3モード）にしてください。 ・リセット同期PWMモード，相補PWMモードでは無効です。		R/W

STCLK	外部クロック入力選択	R/W
・タイマモード，リセット同期PWMモード，相補PWMモードの場合は， 0：外部クロック入力無効 1：外部クロック入力有効 ・PWM3モードの場合は，0（外部クロック入力無効）にしてください。		R/W

ビット5～4	予約ビット	R/W
0	0にしてください。	R/W

OLS1	逆相出力レベル選択（リセット同期PWMモードまたは相補PWMモード時）	R/W
・リセット同期PWMモード，相補PWMモードの場合は， 0：初期出力H，アクティブレベルL 1：初期出力L，アクティブレベルH ・タイマモード，PWM3モードでは無効です。		R/W

OLS0	正相出力レベル選択（リセット同期PWMモードまたは相補PWMモード時）	R/W
・リセット同期PWMモード，相補PWMモードの場合は， 0：初期出力H，アクティブレベルL 1：初期出力L，アクティブレベルH ・タイマモード，PWM3モードでは無効です。		R/W

CMD1	CMD0	コンビネーションモード選択[注3, 4]	R/W
・タイマモード，PWM3モードの場合は,00B（タイマモード，PWM3モード）にしてください。 ・リセット同期PWMモードの場合は，01B（リセット同期PWMモード）にしてください。 ・相補PWMモードの場合は， CMD1 CMD0 1 0 ：相補PWMモード（TRD1のアンダフロー時にバッファ・レジスタからジェネラル・レジスタへ転送） 1 1 ：相補PWMモード（TRD0とTRDGRA0レジスタのコンペアー致時にバッファ・レジスタからジェネラル・レジスタへ転送） 上記以外：設定しないでください			R/W

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. CMD1, CMD0ビットが00B（タイマモード，PWM3モード）のとき，PWM3ビットの設定が有効になります。

3. CMD0, CMD1ビットはTRDSTRレジスタのTSTART0, TSTART1ビットがともに0（カウント停止）のときに書いてください。

4. CMD1, CMD0ビットを01B, 10B, 11Bに設定したとき，TRDPMRレジスタの設定にかかわらず，リセット同期PWMモードまたは相補PWMモードになります。

8.2.8 タイマRD出力マスタ許可レジスタ1（TRDOER1）

図8－9 タイマRD出力マスタ許可レジスタ1（TRDOER1）のフォーマット

[アウトプットコンペア機能, PWM機能，リセット同期PWMモード，相補PWMモード, PWM3モード]

アドレス：F0267H リセット時：FFH[注1]

略号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0

ED1	TRDIOD1出力禁止[注2]	R/W
0	出力許可	R/W
1	出力禁止（TRDIOD1端子はI/Oポート）	

EC1	TRDIOC1出力禁止[注2]	R/W
0	出力許可	R/W
1	出力禁止（TRDIOC1端子はI/Oポート）	

EB1	TRDIOB1出力禁止[注2]	R/W
0	出力許可	R/W
1	出力禁止（TRDIOB1端子はI/Oポート）	

EA1	TRDIOA1出力禁止[注2, 3]	R/W
0	出力許可	R/W
1	出力禁止（TRDIOA1端子はI/Oポート）	

ED0	TRDIOD0出力禁止[注2]	R/W
0	出力許可	R/W
1	出力禁止（TRDIOD0端子はI/Oポート）	

EC0	TRDIOC0出力禁止[注2]	R/W
0	出力許可	R/W
1	出力禁止（TRDIOC0端子はI/Oポート）	

EB0	TRDIOB0出力禁止	R/W
0	出力許可	R/W
1	出力禁止（TRDIOB0端子はI/Oポート）	

EA0	TRDIOA0出力禁止[注3, 4]	R/W
0	出力許可	R/W
1	出力禁止（TRDIOA0端子はI/Oポート）	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. PWM3モードでは, 1にしてください。

3. PWM機能では, 1にしてください。

4. リセット同期PWMモード，相補PWMモードでは, 1にしてください。

8.2.9 タイマRD出力マスタ許可レジスタ2（TRDOER2）

図8－10 タイマRD出力マスタ許可レジスタ2（TRDOER2）のフォーマット

[PWM機能，リセット同期PWMモード，相補PWMモード, PWM3モード]

アドレス：F0268H リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDOER2	TRDPTO	0	0	0	0	0	0	TRDSHUTS

TRDPTO	パルス出力強制遮断信号入力INTP0有効[注2]	R/W
0	パルス出力強制遮断入力無効	R/W
1	パルス出力強制遮断入力有効 （INTP0端子にLを入力すると, TRDSHUTSビットが1となる）	

ビット6～1	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

TRDSHUTS	強制遮断フラグ	R/W
0	強制遮断なし	R/W
1	強制遮断中	
INTP0, ELC入力イベントによるパルス強制遮断時に1となります。このビットは自動クリアされません。したがって，パルス強制遮断を止める場合，カウント停止中（TSTARTi = 0）に0を書いてください。有効なモードでTRDSHUTSビットに1を書いても強制遮断します。		

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. 「8.3.1（4）パルス出力強制遮断」を参照してください。

8.2.10 タイマRD出力制御レジスタ（TRDOCR）

TRDOCRレジスタは, TRDSTRレジスタのTSTART0, TSTART1ビットがともに0（カウント停止）のときに書いてください。

図8－11 タイマRD出力制御レジスタ（TRDOCR）のフォーマット[アウトプットコンペア機能]

アドレス：F0269H リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1初期出力レベル選択[注2]	R/W
0	初期出力L	R/W
1	初期出力H	

TOC1	TRDIOC1初期出力レベル選択[注2]	R/W
0	初期出力L	R/W
1	初期出力H	

TOB1	TRDIOB1初期出力レベル選択[注2]	R/W
0	初期出力L	R/W
1	初期出力H	

TOA1	TRDIOA1初期出力レベル選択	R/W
0	初期出力L	R/W
1	初期出力H	

TOD0	TRDIOD0初期出力レベル選択[注2]	R/W
0	初期出力L	R/W
1	初期出力H	

TOC0	TRDIOC0初期出力レベル選択[注2]	R/W
0	初期出力L	R/W
1	初期出力H	

TOB0	TRDIOB0出力レベル選択[注2]	R/W
0	初期出力L	R/W
1	初期出力H	

TOA0	TRDIOA0出力レベル選択	R/W
0	初期出力L	R/W
1	初期出力H	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDOCRレジスタの端子機能が波形出力の場合, TRDOCRレジスタを設定したとき，初期出力レベルが出力されます。

図8－12 タイマRD出力制御レジスタ（TRDOCR）のフォーマット[PWM機能]

アドレス：F0269H リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1初期出力レベル選択[注2]	R/W
0	初期出力は非アクティブレベル	R/W
1	初期出力はアクティブレベル	

TOC1	TRDIOC1初期出力レベル選択[注2]	R/W
0	初期出力は非アクティブレベル	R/W
1	初期出力はアクティブレベル	

TOB1	TRDIOB1初期出力レベル選択[注2]	R/W
0	初期出力は非アクティブレベル	R/W
1	初期出力はアクティブレベル	

TOA1	TRDIOA1初期出力レベル選択	R/W
0にしてください。		R/W

TOD0	TRDIOD0初期出力レベル選択[注2]	R/W
0	初期出力は非アクティブレベル	R/W
1	初期出力はアクティブレベル	

TOC0	TRDIOC0初期出力レベル選択[注2]	R/W
0	初期出力は非アクティブレベル	R/W
1	初期出力はアクティブレベル	
リセット同期PWMモード時，相補PWMモード時は，有効となります。		

TOB0	TRDIOB0初期出力レベル選択[注2]	R/W
0	初期出力は非アクティブレベル	R/W
1	初期出力はアクティブレベル	

TOA0	TRDIOA0初期出力レベル選択	R/W
0にしてください。		R/W

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDOCRレジスタの端子機能が波形出力の場合，TRDOCRレジスタを設定したとき，初期出力レベルが出力されます。

図8－13 タイマRD出力制御レジスタ（TRDOCR）のフォーマット[PWM3モード]

アドレス：F0269H リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0

TOD1	TRDIOD1初期出力レベル選択	R/W
PWM3モードは無効です。		R/W

TOC1	TRDIOC1初期出力レベル選択	R/W
PWM3モードは無効です。		R/W

TOB1	TRDIOB1初期出力レベル選択	R/W
PWM3モードは無効です。		R/W

TOA1	TRDIOA1初期出力レベル選択	R/W
PWM3モードは無効です。		R/W

TOD0	TRDIOD0初期出力レベル選択	R/W
PWM3モードは無効です。		R/W

TOC0	TRDIOC0初期出力レベル選択	R/W
PWM3モードは無効です。		R/W

TOB0	TRDIOB0出力レベル選択[注2]	R/W
0	初期出力L，アクティブレベルH， TRDGRB1のコンペアー致でH出力， TRDGRB0のコンペアー致でL出力	R/W
1	初期出力H，アクティブレベルL， TRDGRB1のコンペアー致でL出力， TRDGRB0のコンペアー致でH出力	

TOA0	TRDIOA0出力レベル選択	R/W
0	初期出力L，アクティブレベルH， TRDGRA1のコンペアー致でH出力， TRDGRA0のコンペアー致でL出力	R/W
1	初期出力H，アクティブレベルL， TRDGRA1のコンペアー致でL出力， TRDGRA0のコンペアー致でH出力	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDOCRレジスタの端子機能が波形出力の場合，TRDOCRレジスタを設定したとき，初期出力レベルが出力されます。

8.2.11 タイマRDデジタル・フィルタ機能選択レジスタi（TRDDFi）（i = 0, 1）

図8－14 タイマRDデジタル・フィルタ機能選択レジスタi（TRDDFi）（i = 0, 1）のフォーマット

[インプットキャプチャ機能]

アドレス：F026AH（TRDDF0）, F026BH（TRDDF1） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	デジタル・フィルタ機能用クロック選択[注2]	R/W
0	0	f_{TRD}/32	R/W
0	1	f_{TRD}/8	
1	0	f_{TRD}	
1	1	カウント・ソース （TRDCRiレジスタのTCK0～TCK2ビットで選択したクロック）	

PENB1	PENB0	TRDIOBi端子パルス強制遮断制御	R/W
0	0	00Bにしてください。	R/W

DFD	TRDIODi端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの5サイクル分以上経過した後で，エッジ検出を行います。		

DFC	TRDIOCi端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの5サイクル分以上経過した後で，エッジ検出を行います。		

DFB	TRDIOBi端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの5サイクル分以上経過した後で，エッジ検出を行います。		

DFA	TRDIOAi端子デジタル・フィルタ機能選択	R/W
0	機能なし	R/W
1	機能あり	
デジタル・フィルタを許可した場合，デジタル・フィルタのサンプリング・クロックの5サイクル分以上経過した後で，エッジ検出を行います。		

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. DFCK0, DFCK1ビットを設定した後，カウント動作を開始してください。

図8－15 タイマRDデジタル・フィルタ機能選択レジスタi（TRDDFi）（i = 0, 1）のフォーマット

[PWM機能，リセット同期PWMモード，相補PWMモード, PWM3モード]

アドレス：F026AH（TRDDF0）, F026BH（TRDDF1） リセット時：00H[注]

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	TRDIOAi端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイインピーダンス出力	
1	0	L出力	
1	1	H出力	
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合，強制遮断禁止の00Bに設定してください。また，カウント停止中に設定してください。			

PENB1	PENB0	TRDIOBi端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイインピーダンス出力	
1	0	L出力	
1	1	H出力	
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合，強制遮断禁止の00Bに設定してください。また，カウント停止中に設定してください。			

DFD	DFC	TRDIOCi端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイインピーダンス出力	
1	0	L出力	
1	1	H出力	
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合，強制遮断禁止の00Bに設定してください。また，カウント停止中に設定してください。			

DFB	DFA	TRDIODi端子パルス強制遮断制御	R/W
0	0	強制遮断禁止	R/W
0	1	ハイインピーダンス出力	
1	0	L出力	
1	1	H出力	
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合，強制遮断禁止の00Bに設定してください。また，カウント停止中に設定してください。			

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

8.2.12 タイマRD制御レジスタi（TRDCRi）（i = 0, 1）

リセット同期PWMモード, PWM3モードでは, TRDCR1レジスタは使用しません。

図8－16 タイマRD制御レジスタi（TRDCRi）（i = 0, 1）のフォーマット

[インプットキャプチャ機能，アウトプットコンペア機能]

アドレス：F0270H（TRDCR0）, F0280H（TRDCR1） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRDiカウンタクリア選択	R/W
0	0	0	クリア禁止（フリーランニング動作）	R/W
0	0	1	TRDGRAiのインプットキャプチャ/コンペアー致でクリア	
0	1	0	TRDGRBiのインプットキャプチャ/コンペアー致でクリア	
0	1	1	同期クリア（他のタイマRDiのカウンタと同時にクリア）[注2]	
1	0	0	設定しないでください	
1	0	1	TRDGRCiのインプットキャプチャ/コンペアー致でクリア	
1	1	0	TRDGRDiのインプットキャプチャ/コンペアー致でクリア	
1	1	1	設定しないでください	

CKEG1	CKEG0	外部クロックエッジ選択[注3]	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{TRD}[注4]	R/W
0	0	1	$f_{TRD}/2$[注4, 6]	
0	1	0	$f_{TRD}/4$[注4, 6]	
0	1	1	$f_{TRD}/8$[注4, 6]	
1	0	0	$f_{TRD}/32$[注4, 6]	
1	0	1	TRDCLK入力[注5]	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDMRレジスタのTRDSYNCビットが1（TRD0とTRD1は同期動作）のとき，有効です。

3. TCK2～TCK0ビットが101B（TRDCLK入力），かつSTCLKビットが1（外部クロック入力有効）のとき，有効です。

4. タイマRDの動作クロック（f_{TRD}）は，ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0かつ（PLLDIV1 = 0またはSELPLLS = 0）かつTRD_CKSEL = 0のときf_{CLK}, FRQSEL4 = 1かつTRD_CKSEL = 0のときf_{IH},（PLLDIV1 = 1かつSELPLLS = 1）かつTRD_CKSEL = 0のときf_{PLL}, SELLOSC = 0かつTRD_CKSEL = 1のときf_{SUB}, SELLOSC = 1かつTRD_CKSEL = 1のときf_{IL}が選択されます。詳細は図8－40を参照してください。
タイマRDのカウント・ソースを設定する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}にカウント・ソースと同じクロック源を設定してください。

5. TRDFCRレジスタのSTCLKビットが1（外部クロック入力有効）のとき，有効です。

6. タイマRDの動作クロック（f_{TRD}）をf_{CLK}に設定してください。

図8－17 タイマRD制御レジスタi（TRDCRi）（i = 0, 1）のフォーマット[PWM機能]

アドレス：F0270H（TRDCR0）, F0280H（TRDCR1） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRDi カウンタクリア選択	R/W
001B（TRDGRAiレジスタとのコンペアー致でTRDiレジスタクリア）にしてください。				R/W

CKEG1	CKEG0	外部クロックエッジ選択[注2]	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}[注3]	R/W
0	0	1	$f_{CLK}/2$	
0	1	0	$f_{CLK}/4$	
0	1	1	$f_{CLK}/8$	
1	0	0	$f_{CLK}/32$	
1	0	1	TRDCLK入力[注4]	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TCK2～TCK0ビットが101B（TRDCLK入力），かつSTCLKビットが1（外部クロック入力有効）のとき，有効です。

3. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0かつ（PLLDIV1 = 0またはSELPLLS = 0）かつTRD_CKSEL = 0のときf_{CLK}, FRQSEL4 = 1かつTRD_CKSEL = 0のときf_{IH},（PLLDIV1 = 1かつSELPLLS = 1）かつTRD_CKSEL = 0のときf_{PLL}, SELLOSC = 0かつTRD_CKSEL = 1のときf_{SUB}, SELLOSC = 1かつTRD_CKSEL = 1のときf_{IL}が選択されます。詳細は図8－40を参照してください。
タイマRDのカウント・ソースを設定する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}にカウント・ソースと同じクロック源を設定してください。

4. TRDFCRレジスタのSTCLKビットが1（外部クロック入力有効）のとき，有効です。

図8－18 タイマRD制御レジスタ0（TRDCR0）のフォーマット[リセット同期PWMモード]

アドレス：F0270H（TRDCR0） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0カウンタクリア選択	R/W
001B（TRDGRA0レジスタとのコンペアー致でTRD0レジスタクリア）にしてください。				R/W

CKEG1	CKEG0	外部クロックエッジ選択[注2]	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}[注3]	R/W
0	0	1	$f_{CLK}/2$	
0	1	0	$f_{CLK}/4$	
0	1	1	$f_{CLK}/8$	
1	0	0	$f_{CLK}/32$	
1	0	1	TRDCLK入力[注4]	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TCK2～TCK0ビットが101B（TRDCLK入力），かつSTCLKビットが1（外部クロック入力有効）のとき，有効です。

3. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0かつ（PLLDIV1 = 0またはSELPLLS = 0）かつTRD_CKSEL = 0のときf_{CLK}, FRQSEL4 = 1かつTRD_CKSEL = 0のときf_{IH},（PLLDIV1 = 1かつSELPLLS = 1）かつTRD_CKSEL = 0のときf_{PLL}, SELLOSC = 0かつTRD_CKSEL = 1のときf_{SUB}, SELLOSC = 1かつTRD_CKSEL = 1のときf_{IL}が選択されます。詳細は図8－40を参照してください。
タイマRDのカウント・ソースを設定する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}にカウント・ソースと同じクロック源を設定してください。

4. TRDFCRレジスタのSTCLKビットが1（外部クロック入力有効）のとき，有効です。

図8－19 タイマRD制御レジスタi（TRDCRi）（i = 0, 1）のフォーマット[相補PWMモード]

アドレス：F0270H (TRDCR0), F0280H (TRDCR1) リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0カウンタクリア選択	R/W
000B（クリア禁止（フリーランニング動作））にしてください。				R/W

CKEG1	CKEG0	外部クロックエッジ選択[注2, 3]	R/W
0	0	立ち上がりエッジでカウント	R/W
0	1	立ち下がりエッジでカウント	
1	0	両エッジでカウント	
1	1	設定しないでください	

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}[注4]	R/W
0	0	1	$f_{CLK}/2$	
0	1	0	$f_{CLK}/4$	
0	1	1	$f_{CLK}/8$	
1	0	0	$f_{CLK}/32$	
1	0	1	TRDCLK入力[注5]	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TCK2～TCK0ビットが101B（TRDCLK入力），かつSTCLKビットが1（外部クロック入力有効）のとき，有効です。

3. TRDCR0レジスタとTRDCR1レジスタのTCK0～TCK2ビット, CKEG0, CKEG1ビットの設定は，同じにしてください。

4. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0かつ（PLLDIV1 = 0またはSELPLLS = 0）かつTRD_CKSEL = 0のときf_{CLK}, FRQSEL4 = 1かつTRD_CKSEL = 0のときf_{IH},（PLLDIV1 = 1かつSELPLLS = 1）かつTRD_CKSEL = 0のときf_{PLL}, SELLOSC = 0かつTRD_CKSEL = 1のときf_{SUB}, SELLOSC = 1かつTRD_CKSEL = 1のときf_{IL}が選択されます。詳細は図8－40を参照してください。
タイマRDのカウント・ソースを設定する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}にカウント・ソースと同じクロック源を設定してください。

5. TRDFCRレジスタのSTCLKビットが1（外部クロック入力有効）のとき，有効です。

図8－20　タイマRD制御レジスタ0（TRDCR0）のフォーマット[PWM3モード]

アドレス：F0270H（TRDCR0）　リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0

CCLR2	CCLR1	CCLR0	TRD0カウンタクリア選択	R/W
001B（TRDGRA0レジスタとのコンペアー致でTRD0レジスタクリア）にしてください。				R/W

CKEG1	CKEG0	外部クロックエッジ選択	R/W
PWM3モードでは無効です。			R/W

TCK2	TCK1	TCK0	カウント・ソース選択	R/W
0	0	0	f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}[注2]	R/W
0	0	1	f_{CLK}/2	
0	1	0	f_{CLK}/4	
0	1	1	f_{CLK}/8	
1	0	0	f_{CLK}/32	
1	0	1	設定しないでください	
1	1	0	設定しないでください	
1	1	1	設定しないでください	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0かつ（PLLDIV1 = 0またはSELPLLS = 0）かつTRD_CKSEL = 0のときf_{CLK}, FRQSEL4 = 1かつTRD_CKSEL = 0のときf_{IH},（PLLDIV1 = 1かつSELPLLS = 1）かつTRD_CKSEL = 0のときf_{PLL}, SELLOSC = 0かつTRD_CKSEL = 1のときf_{SUB}, SELLOSC = 1かつTRD_CKSEL = 1のときf_{IL}が選択されます。詳細は図8－40を参照してください。
タイマRDのカウント・ソースを設定する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}にカウント・ソースと同じクロック源を設定してください。

8.2.13 タイマRD I/O制御レジスタAi（TRDIORAi）（i = 0, 1）

図8－21 タイマRD I/O制御レジスタAi（TRDIORAi）（i = 0, 1）のフォーマット[インプットキャプチャ機能]

アドレス：F0271H（TRDIORA0）, F0281H（TRDIORA1） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDIORAi	—	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

ビット7	何も配置されていない	R/W
–	書く場合, 0を書いてください。読んだ場合，その値は0。	R

IOB2	TRDGRBiモード選択[注2]	R/W
インプットキャプチャ機能では1（インプットキャプチャ）にしてください。		R/W

IOB1	IOB0	TRDGRBi制御	R/W
0	0	立ち上がりエッジでTRDGRBiへインプットキャプチャ	R/W
0	1	立ち下がりエッジでTRDGRBiへインプットキャプチャ	
1	0	両エッジでTRDGRBiへインプットキャプチャ	
1	1	設定しないでください	

ビット3	予約ビット	R/W
0にしてください。		R/W

IOA2	TRDGRAiモード選択[注3]	R/W
インプットキャプチャ機能では1（インプットキャプチャ）にしてください。		R/W

IOA1	IOA0	TRDGRAi制御	R/W
0	0	立ち上がりエッジでTRDGRAiへインプットキャプチャ	R/W
0	1	立ち下がりエッジでTRDGRAiへインプットキャプチャ	
1	0	両エッジでTRDGRAiへインプットキャプチャ	
1	1	設定しないでください	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDMRレジスタのTRDBFDiビットで1（TRDGRBiレジスタのバッファ・レジスタ）を選択した場合, TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

3. TRDMRレジスタのTRDBFCiビットで1（TRDGRAiレジスタのバッファ・レジスタ）を選択した場合, TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8－22 タイマRD I/O制御レジスタAi（TRDIORAi）（i = 0, 1）のフォーマット[アウトプットコンペア機能]

アドレス：F0271H（TRDIORA0）, F0281H（TRDIORA1） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDIORAi	—	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

ビット7	何も配置されていない	R/W
–	書く場合, 0を書いてください。読んだ場合，その値は0。	R

IOB2	TRDGRBiモード選択[注2]	R/W
アウトプットコンペア機能では0（アウトプットコンペア）にしてください。		R/W

IOB1	IOB0	TRDGRBi制御	R/W
0	0	コンペアー致による端子出力禁止（TRDIOBi端子はI/Oポート）	R/W
0	1	TRDGRBiのコンペアー致でL出力	
1	0	TRDGRBiのコンペアー致でH出力	
1	1	TRDGRBiのコンペアー致でトグル出力	

ビット3	予約ビット	R/W
0	0にしてください。	R/W

IOA2	TRDGRAiモード選択[注3]	R/W
アウトプットコンペア機能では0（アウトプットコンペア）にしてください。		R/W

IOA1	IOA0	TRDGRAi制御	R/W
0	0	コンペアー致による端子出力禁止（TRDIOAi端子はI/Oポート）	R/W
0	1	TRDGRAiのコンペアー致でL出力	
1	0	TRDGRAiのコンペアー致でH出力	
1	1	TRDGRAiのコンペアー致でトグル出力	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDMRレジスタのTRDBFDiビットで1（TRDGRBiレジスタのバッファ・レジスタ）を選択した場合，TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

3. TRDMRレジスタのTRDBFCiビットで1（TRDGRAiレジスタのバッファ・レジスタ）を選択した場合，TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

8.2.14 タイマRD I/O制御レジスタCi（TRDIORCi）（i = 0, 1）

図8－23 タイマRD I/O制御レジスタCi（TRDIORCi）（i = 0, 1）のフォーマット[インプットキャプチャ機能]

アドレス：F0272H（TRDIORC0）, F0282H（TRDIORC1） リセット時：88H[注1]

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0

IOD3	TRDGRDiレジスタ機能選択	R/W
インプットキャプチャ機能では1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。		R/W

IOD2	TRDGRDiモード選択[注2]	R/W
インプットキャプチャ機能では1（インプットキャプチャ）にしてください。		R/W

IOD1	IOD0	TRDGRDi制御	R/W
0	0	立ち上がりエッジでTRDGRDiへインプットキャプチャ	R/W
0	1	立ち下がりエッジでTRDGRDiへインプットキャプチャ	
1	0	両エッジでTRDGRDiへインプットキャプチャ	
1	1	設定しないでください	

IOC3	TRDGRCiレジスタ機能選択	R/W
インプットキャプチャ機能では1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。		R/W

IOC2	TRDGRCiモード選択[注3]	R/W
インプットキャプチャ機能では1（インプットキャプチャ）にしてください。		R/W

IOC1	IOC0	TRDGRCi制御	R/W
0	0	立ち上がりエッジでTRDGRCiへインプットキャプチャ	R/W
0	1	立ち下がりエッジでTRDGRCiへインプットキャプチャ	
1	0	両エッジでTRDGRCiへインプットキャプチャ	
1	1	設定しないでください	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDMRレジスタのTRDBFDiビットで1（TRDGRBiレジスタのバッファ・レジスタ）を選択した場合, TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

3. TRDMRレジスタのTRDBFCiビットで1（TRDGRAiレジスタのバッファ・レジスタ）を選択した場合, TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8－24 タイマRD I/O制御レジスタCi（TRDIORCi）（i = 0, 1）のフォーマット[アウトプットコンペア機能]

アドレス：F0272H（TRDIORC0）, F0282H（TRDIORC1） リセット時：88H[注1]

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0

IOD3	TRDGRDiレジスタ機能選択	R/W
0	TRDIOBi出力レジスタ （「8.3.3（2）TRDGRCi, TRDGRDiレジスタ（i = 0, 1）の出力端子変更」を参照）	R/W
1	ジェネラル・レジスタまたはバッファ・レジスタ	

IOD2	TRDGRDiモード選択[注2]	R/W
アウトプットコンペア機能では0（アウトプットコンペア）にしてください。		R/W

IOD1	IOD0	TRDGRDi制御	R/W
0	0	コンペアー致による端子出力禁止	R/W
0	1	TRDGRDiのコンペアー致でL出力	
1	0	TRDGRDiのコンペアー致でH出力	
1	1	TRDGRDiのコンペアー致でトグル出力	

IOC3	TRDGRCiレジスタ機能選択	R/W
0	TRDIOAi出力レジスタ （「8.3.3（2）TRDGRCi, TRDGRDiレジスタ（i = 0, 1）の出力端子変更」を参照）	R/W
1	ジェネラル・レジスタまたはバッファ・レジスタ	

IOC2	TRDGRCiモード選択[注3]	R/W
アウトプットコンペア機能では0（アウトプットコンペア）にしてください。		R/W

IOC1	IOC0	TRDGRCi制御	R/W
0	0	コンペアー致による端子出力禁止	R/W
0	1	TRDGRCiのコンペアー致でL出力	
1	0	TRDGRCiのコンペアー致でH出力	
1	1	TRDGRCiのコンペアー致でトグル出力	

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDMRレジスタのTRDBFDiビットで1（TRDGRBiレジスタのバッファ・レジスタ）を選択した場合, TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

3. TRDMRレジスタのTRDBFCiビットで1（TRDGRAiレジスタのバッファ・レジスタ）を選択した場合, TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

8.2.15 タイマRDステータス・レジスタi（TRDSRi）（i = 0, 1）

図8－25 タイマRDステータス・レジスタi（TRDSRi）（i = 0, 1）のフォーマット[インプットキャプチャ機能]

アドレス：F0273H（TRDSR0）, F0283H（TRDSR1） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA

ビット7～6	何も配置されていない	R/W
－	書く場合, 0を書いてください。読んだ場合，その値は0。	R

UDF	アンダフローフラグ[注2]	R/W
インプットキャプチャ機能では無効です。		R/W

OVF	オーバフローフラグ[注3]	R/W
[0になる要因] 読んだ後, 0を書く[注4] [1になる要因] TRDiがオーバフローしたとき		R/W

IMFD	インプットキャプチャ/コンペアー致フラグD[注7]	R/W
[0になる要因] 読んだ後, 0を書く[注4] [1になる要因] TRDIODi端子の入力エッジ[注5]		R/W

IMFC	インプットキャプチャ/コンペアー致フラグC[注7]	R/W
[0になる要因] 読んだ後, 0を書く[注4] [1になる要因] TRDIOCi端子の入力エッジ[注5]		R/W

IMFB	インプットキャプチャ/コンペアー致フラグB[注7]	R/W
[0になる要因] 読んだ後, 0を書く[注4] [1になる要因] TRDIOBi端子の入力エッジ[注6]		R/W

IMFA	インプットキャプチャ/コンペアー致フラグA[注7]	R/W
[0になる要因] 読んだ後, 0を書く[注4] [1になる要因] TRDIOAi端子の入力エッジ[注6]		R/W

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDSR0レジスタのビット5には何も配置されていません。ビット5に書く場合，0を書いてください。読んだ場合，その値は0です。

3. オーバフローフラグは，タイマRDiのカウンタ値がFFFFHから0000Hになった場合に1となります。
   また，TRDCRiレジスタのCCLR0～CCLR2ビットの設定によって，動作中のインプットキャプチャ/コンペアー致により，タイマRDiのカウンタ値がFFFFHから0000Hになった場合に1となります。

4. 書き込み結果は次のようになります。
   - 1を書いた場合は変化しません。
   - 読んだ結果が0の場合，同じビットに0を書いても変化しません（読んだ後で，0から1に変化した場合，0を書いても1のままです）。
   - 読んだ結果が1の場合，同じビットに0を書くと0になります。
     TRDSRiレジスタの各ビットをクリアする場合，下記（a），（b）のいずれかの方法で実施してください。
     （a）TRDIERiレジスタを00H（すべての割り込みを禁止）にした後，ステータスフラグに0を書いてください。
     （b）TRDIERiレジスタのなかに1を設定しているビットがあり，かつそのビットで許可した割り込み要因のステータスフラグが1の場合，TRDSRiレジスタのステータスフラグが1のビットすべてに対して同時に0を書いてください。

5. TRDIORCiレジスタのIOk1, IOk0ビット（k = CまたはD）で選択したエッジ。
   TRDMRレジスタのTRDBFkiビットが1（TRDGRkiはバッファ・レジスタ）の場合を含む。

6. TRDIORAiレジスタのIOj1, IOj0ビット（j = AまたはB）で選択したエッジ。

7. DTCを使用する場合，IMFA, IMFB, IMFC, IMFDビットは，DTCの転送終了後に1になります。

図8－26 タイマRDステータス・レジスタi（TRDSRi）（i = 0, 1）のフォーマット[インプットキャプチャ機能以外]

アドレス：F0273H（TRDSR0），F0283H（TRDSR1） リセット時：00H[注1]

略号	7	6	5	4	3	2	1	0
TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA

ビット7～6	何も配置されていない	R/W
－	書く場合，0を書いてください。読んだ場合，その値は0。	R

UDF	アンダフローフラグ[注2]	R/W
相補PWMモードのとき [0になる要因] 読んだ後，0を書く[注3] [1になる要因] TRDiがアンダフローしたとき 相補PWMモード以外では無効です。		R/W

OVF	オーバフローフラグ[注4]	R/W
[0になる要因] 読んだ後，0を書く[注3] [1になる要因] TRDiがオーバフローしたとき		R/W

IMFD	インプットキャプチャ/コンペアー致フラグD[注6]	R/W
[0になる要因] 読んだ後, 0を書く[注3] [1になる要因] TRDiとTRDGRDiの値が一致したとき[注5]		R/W

IMFC	インプットキャプチャ/コンペアー致フラグC[注6]	R/W
[0になる要因] 読んだ後, 0を書く[注3] [1になる要因] TRDiとTRDGRCiの値が一致したとき[注5]		R/W

IMFB	インプットキャプチャ/コンペアー致フラグB[注6]	R/W
[0になる要因] 読んだ後, 0を書く[注3] [1になる要因] TRDiとTRDGRBiの値が一致したとき		R/W

IMFA	インプットキャプチャ/コンペアー致フラグA[注6]	R/W
[0になる要因] 読んだ後, 0を書く[注3] [1になる要因] TRDiとTRDGRAiの値が一致したとき		R/W

注1. ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

2. TRDSR0レジスタのビット5には何も配置されていません。ビット5に書く場合, 0を書いてください。読んだ場合，その値は0です。

3. 書き込み結果は次のようになります。
   - 1を書いた場合は変化しません。
   - 読んだ結果が0の場合，同じビットに0を書いても変化しません（読んだ後で, 0から1に変化した場合, 0を書いても1のままです）。
   - 読んだ結果が1の場合，同じビットに0を書くと0になります。

   TRDSRiレジスタの各ビットをクリアする場合，下記（a），（b）のいずれかの方法で実施してください。

   （a）TRDIERiレジスタを00H（すべての割り込みを禁止）にした後，ステータスフラグに0を書いてください。

   （b）TRDIERiレジスタのなかに1を設定しているビットがあり，かつそのビットで許可した割り込み要因のステータスフラグが1の場合, TRDSRiレジスタのステータスフラグが1のビットすべてに対して同時に0を書いてください。

4. オーバフローフラグは，タイマRDiのカウンタ値がFFFFHから0000Hになった場合に1となります。
   また, TRDCRiレジスタのCCLR0～CCLR2ビットの設定によって，動作中のインプットキャプチャ/コンペアー致により，タイマRDiのカウンタ値がFFFFHから0000Hになった場合に1となります。

5. TRDMRレジスタのTRDBFkiビット（k = CまたはD）が1（TRDGRkiはバッファ・レジスタ）の場合を含む。

6. DTCを使用する場合, IMFA, IMFB, IMFC, IMFDビットは, DTCの転送終了後に1になります。

8.2.16 タイマRD割り込み許可レジスタi（TRDIERi）（i = 0, 1）

図8－27 タイマRD割り込み許可レジスタi（TRDIERi）（i = 0, 1）のフォーマット

アドレス：F0274H（TRDIER0）, F0284H（TRDIER1） リセット時：00H[注]

略号	7	6	5	4	3	2	1	0
TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA

ビット7～5	何も配置されていない	R/W
–	書く場合, 0を書いてください。読んだ場合，その値は0。	R

OVIE	オーバフロー/アンダフロー割り込み許可	R/W
0	OVF, UDFビットによる割り込み禁止	R/W
1	OVF, UDFビットによる割り込み許可	

IMIED	インプットキャプチャ/コンペアー致割り込み許可D	R/W
0	IMFDビットによる割り込み禁止	R/W
1	IMFDビットによる割り込み許可	

IMIEC	インプットキャプチャ/コンペアー致割り込み許可C	R/W
0	IMFCビットによる割り込み禁止	R/W
1	IMFCビットによる割り込み許可	

IMIEB	インプットキャプチャ/コンペアー致割り込み許可B	R/W
0	IMFBビットによる割り込み禁止	R/W
1	IMFBビットによる割り込み許可	

IMIEA	インプットキャプチャ/コンペアー致割り込み許可A	R/W
0	IMFAビットによる割り込み禁止	R/W
1	IMFAビットによる割り込み許可	

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

8.2.17 タイマRD PWM機能出力レベル制御レジスタi（TRDPOCRi）（i = 0, 1）

TRDPOCRiレジスタへの設定は, PWM機能のときのみ有効です。PWM機能以外は，無効です。

図8－28 タイマRD PWM機能出力レベル制御レジスタi（TRDPOCRi）（i = 0, 1）のフォーマット[PWM機能]

アドレス：F0275H（TRDPOCR0）， F0285H（TRDPOCR1） リセット時：00H[注]

略号	7	6	5	4	3	2	1	0
TRDPOCRi	—	—	—	—	—	POLD	POLC	POLB

ビット7～3	何も配置されていない	R/W
–	書く場合, 0を書いてください。読んだ場合，その値は0。	R

POLD	PWM機能出力レベル制御D	R/W
0	TRDIODiの出力レベルはLアクティブ	R/W
1	TRDIODiの出力レベルはHアクティブ	

POLC	PWM機能出力レベル制御C	R/W
0	TRDIOCiの出力レベルはLアクティブ	R/W
1	TRDIOCiの出力レベルはHアクティブ	

POLB	PWM機能出力レベル制御B	R/W
0	TRDIOBiの出力レベルはLアクティブ	R/W
1	TRDIOBiの出力レベルはHアクティブ	

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

8.2.18 タイマRDカウンタi（TRDi）（i = 0, 1）

[タイマモード]

TRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[リセット同期PWMモード, PWM3モード]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。リセット同期PWMモードおよびPWM3モードでは, TRD1レジスタは使用しません。

[相補PWMモード（TRD0）]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[相補PWMモード（TRD1）]

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図8－29 タイマRDカウンタi（TRDi）（i = 0, 1）のフォーマット[タイマモード]

アドレス：F0276H（TRD0）, F0286H（TRD1） リセット時：0000H[注]

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット 15～0	カウント・ソースをカウント。カウント動作はアップカウント。 オーバフローすると, TRDSRiレジスタのOVFビットが1になる。	0000H～FFFFH	R/W

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

図8－30 タイマRDカウンタ0のフォーマット[リセット同期PWMモード，PWM3モード]

アドレス：F0276H（TRD0）， リセット時：0000H[注]

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット 15～0	カウント・ソースをカウント。カウント動作はアップカウント。 オーバフローすると, TRDSR0レジスタのOVFビットが1になる。	0000H～FFFFH	R/W

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

図8－31 タイマRDカウンタ0のフォーマット[相補PWMモード]

アドレス：F0276H (TRD0) リセット時：0000H[注]

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD0	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット 15～0	短絡防止時間を設定してください。カウント・ソースをカウント。 カウント動作はアップカウントまたはダウンカウント。 オーバフローすると, TRDSR0レジスタのOVFビットが1になる。	0001H～FFFFH	R/W

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

図8－32 タイマRDカウンタ1のフォーマット[相補PWMモード]

アドレス：F0286H (TRD1) リセット時：0000H[注]

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRD1	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	設定範囲	R/W
ビット 15～0	0000Hを設定してください。カウント・ソースをカウント。 カウント動作はアップカウントまたはダウンカウント。 アンダフローすると, TRDSR1レジスタのUDFビットが1になる。	0000H～FFFFH	R/W

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

8.2.19　タイマRDジェネラル・レジスタAi, Bi, Ci, Di（TRDGRAi, TRDGRBi, TRDGRCi,TRDGRDi）（i = 0, 1）

[インプットキャプチャ機能]

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インプットキャプチャ機能では，次のレジスタは無効です。

TRDOER1, TRDOER2, TRDOCR, TRDPOCR0, TRDPOCR1

TRDIOji端子に入力するインプットキャプチャ信号のパルス幅は，デジタル・フィルタなし（TRDDFiレジスタのDFjビットが0）の場合，タイマRDの動作クロック（f_{TRD}）の3サイクル以上にしてください（j = A, B, C, D）。

[アウトプットコンペア機能]

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

アウトプットコンペア機能では，次のレジスタは無効です。

TRDDF0, TRDDF1, TRDPOCR0, TRDPOCR1

[PWM機能]

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM機能では，次のレジスタは無効です。

TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDIORA1, TRDIORC1

[リセット同期PWMモード]

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

リセット同期PWMモードでは，次のレジスタは無効です。

TRDPMR, TRDOCR[注], TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注　TRDOCRレジスタのTOC0ビットのみ，リセット同期PWMモード，相補PWMモード時のTRDIOC0初期出力設定として有効となります。

[相補PWMモード]

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは, TRDGRC0レジスタは使用しません。

相補PWMモードでは，次のレジスタは無効です。

TRDPMR, TRDOCR[注], TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注　TRDOCRレジスタのTOC0ビットのみ，リセット同期PWMモード，相補PWMモード時のTRDIOC0初期出力設定として有効となります。

TRDGRB0, TRDGRA1, TRDGRB1レジスタには，カウント開始後，直接値を書き込むことができない（禁止事項）ため, TRDGRD0, TRDGRC1, TRDGRD1をバッファ・レジスタとして使用してください。

ただし, TRDGRD0, TRDGRC1, TRDGRD1の書き込みに際しては, TRDBFD0, TRDBFC1, TRDBFD1ビットを0（ジェネラル・レジスタ）にして書き込み，その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1（バッファ・レジスタ）にできます。

[PWM3モード]

TRDGRAi～TRDGRDiレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは，次のレジスタは無効です。

TRDPMR, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1,

TRDPOCR1

PWM3モードでは使用しませんが, TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1レジスタをバッファ・レジスタに使う際に, TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1ビットを0（ジェネラル・レジスタ）にして,TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1レジスタに値を書き込み，その後TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1ビットを1（バッファ・レジスタ）にできます。

図8－33　タイマRDジェネラル・レジスタAi, Bi, Ci, Di（TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi）（i = 0, 1）のフォーマット[インプットキャプチャ機能]

アドレス: F0278H（TRDGRA0）, F027AH（TRDGRB0）,　リセット時：FFFFH[注]
FFF58H（TRDGRC0）, FFF5AH（TRDGRD0）,
F0288H（TRDGRA1）, F028AH（TRDGRB1）,
FFF5CH（TRDGRC1）, FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
TRDGRBi																
TRDGRCi																
TRDGRDi																

－	機能	R/W
ビット15～0	「表8－3　インプットキャプチャ機能時のTRDGRjiレジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8－3　インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ入力端子
TRDGRAi	—	ジェネラル・レジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラル・レジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファ・レジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます（「8.3.1 (2) バッファ動作」を参照）。	TRDIOAi
TRDGRDi	TRDBFDi = 1		TRDIOBi

備考　i = 0, 1, j = A, B, C, D

TRDBFCi, TRDBFDi：TRDMRレジスタのビット

図8－34 タイマRDジェネラル・レジスタAi, Bi, Ci, Di（TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi）（i = 0, 1）のフォーマット[アウトプットコンペア機能]

アドレス: F0278H（TRDGRA0）, F027AH（TRDGRB0）, リセット時：FFFFH[注]
FFF58H（TRDGRC0）, FFF5AH（TRDGRD0）,
F0288H（TRDGRA1）, F028AH（TRDGRB1）,
FFF5CH（TRDGRC1）, FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
TRDGRBi																
TRDGRCi																
TRDGRDi																

－	機能	R/W
ビット15～0	「表8－4 アウトプットコンペア機能時のTRDGRjiレジスタの機能」を参照	R/W

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8－4 アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能		アウトプットコンペア出力端子
	TRDBFji	IOj3			
TRDGRAi	—	—	ジェネラル・レジスタ。コンペア値を書いてください。		TRDIOAi
TRDGRBi					TRDIOBi
TRDGRCi	0	1	ジェネラル・レジスタ。コンペア値を書いてください。		TRDIOCi
TRDGRDi					TRDIODi
TRDGRCi	1	1	バッファ・レジスタ。次回のコンペア値を書いてください。（「8.3.1（2）バッファ動作」を参照）		TRDIOAi
TRDGRDi					TRDIOBi
TRDGRCi	0	0	TRDIOAi出力制御	（「8.3.3（2）TRDGRCi, TRDGRDiレジスタ（i = 0, 1）の出力端子変更」を参照）	TRDIOAi
TRDGRDi			TRDIOBi出力制御		TRDIOBi

注意 TRDCRiレジスタのTCK2～TCK0ビットの設定を000B（f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}），コンペア値を0000Hにした場合，データトランスファコントローラ（DTC）およびイベントリンクコントローラ（ELC）への要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D
TRDBFji：TRDMRレジスタのビット, IOj3：TRDIORCiレジスタのビット

図8－35 タイマRDジェネラル・レジスタAi, Bi, Ci, Di（TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi）（i = 0, 1）のフォーマット[PWM機能]

アドレス: F0278H（TRDGRA0）, F027AH（TRDGRB0）, リセット時：FFFFH[注]
FFF58H（TRDGRC0）, FFF5AH（TRDGRD0）,
F0288H（TRDGRA1）, F028AH（TRDGRB1）,
FFF5CH（TRDGRC1）, FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット15～0	「表8－5 PWM機能時のTRDGRjiレジスタの機能」を参照	R/W

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8－5 PWM機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	—	ジェネラル・レジスタ。PWM周期を設定してください。	—
TRDGRBi	—	ジェネラル・レジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラル・レジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファ・レジスタ。次回のPWM周期を設定してください（「8.3.1（2）バッファ動作」を参照）。	—
TRDGRDi	TRDBFDi = 1	バッファ・レジスタ。次回のPWM出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。	TRDIOBi

注意 TRDCRiレジスタのTCK2～TCK0ビットの設定を000B（f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}），コンペア値を0000Hにした場合，データトランスファコントローラ（DTC）およびイベントリンクコントローラ（ELC）への要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペアー致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D
TRDBFCi, TRDBFDi：TRDMRレジスタのビット

図8－36 タイマRDジェネラル・レジスタAi, Bi, Ci, Di（TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi）（i = 0, 1）のフォーマット[リセット同期PWMモード]

アドレス: F0278H（TRDGRA0）, F027AH（TRDGRB0）, リセット時：FFFFH[注]
FFF58H（TRDGRC0）, FFF5AH（TRDGRD0）,
F0288H（TRDGRA1）, F028AH（TRDGRB1）,
FFF5CH（TRDGRC1）, FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
TRDGRBi																
TRDGRCi																
TRDGRDi																

－	機能	R/W
ビット15～0	「表8－6 リセット同期PWMモード時のTRDGRjiレジスタの機能」を参照	R/W

注 ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8－6 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラル・レジスタ。PWM周期を設定してください。	（TRDIOC0, PWM周期ごとに出力反転）
TRDGRB0	—	ジェネラル・レジスタ。 PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	TRDBFC0 = 0	（リセット同期PWMモードでは使用しません）	—
TRDGRD0	TRDBFD0 = 0		
TRDGRA1	—	ジェネラル・レジスタ。 PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラル・レジスタ。 PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	TRDBFC1 = 0	（リセット同期PWMモードでは使用しません）	—
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファ・レジスタ。次回のPWM周期を設定してください（「8.3.1（2）バッファ動作」を参照）。	（TRDIOC0, PWM周期ごとに出力反転）
TRDGRD0	TRDBFD0 = 1	バッファ・レジスタ。次回のPWM1出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファ・レジスタ。次回のPWM2出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファ・レジスタ。次回のPWM3出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。	TRDIOB1 TRDIOD1

注意 TRDCR0レジスタのTCK2～TCK0ビットの設定を000B（f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}），コンペア値を0000Hにした場合，データトランスファコントローラ（DTC）およびイベントリンクコントローラ（ELC）への要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペアー致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D
TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1：TRDMRレジスタのビット

図8－37　タイマRDジェネラル・レジスタAi, Bi, Ci, Di（TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi）（i = 0, 1）のフォーマット[相補PWMモード]

アドレス: F0278H（TRDGRA0）, F027AH（TRDGRB0）,　リセット時：FFFFH[注]
FFF58H（TRDGRC0）, FFF5AH（TRDGRD0）,
F0288H（TRDGRA1）, F028AH（TRDGRB1）,
FFF5CH（TRDGRC1）, FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット15～0	「表8－7　相補PWMモード時のTRDGRjiレジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8－7　相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラル・レジスタ。初期設定時PWM周期を設定してください。設定範囲：TRD0レジスタ設定値以上，FFFFH - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0，TSTART1ビットが1（カウント開始）のとき書き込まないでください。	（ TRDIOC0 半周期 ごとに 出力反転）
TRDGRB0	—	ジェネラル・レジスタ。初期設定時PWM1出力の変化点を設定してください。設定範囲：TRD0レジスタ設定値以上，TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0，TSTART1ビットが1（カウント開始）のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラル・レジスタ。初期設定時PWM2出力の変化点を設定してください。設定範囲：TRD0レジスタ設定値以上，TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0，TSTART1ビットが1（カウント開始）のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラル・レジスタ。初期設定時PWM3出力の変化点を設定してください。設定範囲：TRD0レジスタ設定値以上，TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0，TSTART1ビットが1（カウント開始）のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	—	（相補PWMモードでは使用しません。）	—
TRDGRD0	TRDBFD0 = 1	バッファ・レジスタ。次回のPWM1出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。設定範囲：TRD0レジスタ設定値以上，TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファ・レジスタ。次回のPWM2出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。設定範囲：TRD0レジスタ設定値以上，TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファ・レジスタ。次回のPWM3出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。設定範囲：TRD0レジスタ設定値以上，TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

注意　TRDCRiレジスタのTCK2～TCK0ビットの設定を000B（f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}），コンペア値を0000Hにした場合，データトランスファコントローラ（DTC）およびイベントリンクコントローラ（ELC）への要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペアー致するごとに要求信号が発生します。

備考　i = 0, 1, j = A, B, C, D

TRDBFD0, TRDBFC1, TRDBFD1：TRDMRレジスタのビット

図8－38　タイマRDジェネラル・レジスタAi, Bi, Ci, Di（TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi）（i = 0, 1）のフォーマット[PWM3モード]

アドレス: F0278H（TRDGRA0）, F027AH（TRDGRB0）,　リセット時：FFFFH[注]

FFF58H（TRDGRC0）, FFF5AH（TRDGRD0）,

F0288H（TRDGRA1）, F028AH（TRDGRB1）,

FFF5CH（TRDGRC1）, FFF5EH（TRDGRD1）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi TRDGRBi TRDGRCi TRDGRDi	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－

－	機能	R/W
ビット15～0	「表8－8　PWM3モード時のTRDGRjiレジスタの機能」を参照	R/W

注　ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，リセット時の値は不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

表8－8　PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラル・レジスタ。PWM周期を設定してください。設定範囲：TRDGRA1レジスタ設定値以上	TRDIOA0
TRDGRA1	—	ジェネラル・レジスタ。PWM出力の変化点（アクティブレベルになるタイミング）を設定してください。設定範囲：TRDGRA0レジスタ設定値以下	—
TRDGRB0	—	ジェネラル・レジスタ。PWM出力の変化点（初期出力レベルに戻るタイミング）を設定してください。設定範囲：TRDGRB1レジスタ設定値以上, TRDGRA0レジスタ設定値以下	TRDIOB0
TRDGRB1	—	ジェネラル・レジスタ。PWM出力の変化点（アクティブレベルになるタイミング）を設定してください。設定範囲：TRDGRB0レジスタ設定値以下	—
TRDGRC0	TRDBFC0 = 0	（PWM3モードでは使用しません）	—
TRDGRC1	TRDBFC1 = 0		
TRDGRD0	TRDBFD0 = 0		
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファ・レジスタ。次回のPWM周期を設定してください（「8.3.1（2）バッファ動作」を参照）。設定範囲：TRDGRC1レジスタ設定値以上	TRDIOA0
TRDGRC1	TRDBFC1 = 1	バッファ・レジスタ。次回のPWM出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。設定範囲：TRDGRC0レジスタ設定値以下	—
TRDGRD0	TRDBFD0 = 1	バッファ・レジスタ。次回のPWM出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。設定範囲：TRDGRD1レジスタ設定値以上, TRDGRC0レジスタ設定値以下	TRDIOB0
TRDGRD1	TRDBFD1 = 1	バッファ・レジスタ。次回のPWM出力の変化点を設定してください（「8.3.1（2）バッファ動作」を参照）。設定範囲：TRDGRD0レジスタ設定値以下	—

注意　TRDCR0レジスタのTCK2～TCK0ビットの設定を000B（f_{CLK}, f_{IH}, f_{PLL}, f_{SUB}, f_{IL}），コンペア値を0000Hにした場合，データトランスファコントローラ（DTC）およびイベントリンクコントローラ（ELC）への要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペアー致するごとに要求信号が発生します。

備考　i = 0, 1, j = A, B, C, D

TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1：TRDMRレジスタのビット

8.2.20 PWM出力遅延制御レジスタ0（PWMDLY0）

PWMDLY0レジスタは、TRDIOj0、TRDIOj1端子から出力するPWM出力信号の出力遅延を制御するレジスタです。

PWMDLY0レジスタは16ビット・メモリ操作命令で設定して下さい。

リセット信号の発生により、PWMDLY0レジスタは0000Hになります。

PWM出力遅延制御レジスタ0 (PWMDLY0) のフォーマット

アドレス: F0229H リセット時：00H R/W

	15	14	13	12	11	10	9	8
PWMDLY0	TRDD11注	TRDD10注	TRDC11注	TRDC10注	TRDB11	TRDB10	TRDA11	TRDA10
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス: F0228H リセット時：00H R/W

	7	6	5	4	3	2	1	0
PWMDLY0	TRDD01	TRDD00	TRDC01	TRDC00	TRDB01	TRDB00	TRDA01	TRDA00
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表8－9 タイマRD1 TRDIOj1のPWM出力遅延時間制御

TRDj11	TRDj10	タイマRD1 TRDIOj1のPWM出力遅延制御
0	0	遅延なし
0	1	TRDIOj1がタイマRDの動作クロック（f_{TRD}）の1サイクル分遅延
1	0	TRDIOj1がタイマRDの動作クロック（f_{TRD}）の2サイクル分遅延
1	1	TRDIOj1がタイマRDの動作クロック（f_{TRD}）の3サイクル分遅延

j = A, B, C, D

表8－10 タイマRD0 TRDIOj0のPWM出力遅延時間制御

TRDj01	TRDj00	タイマRD0 TRDIOj0のPWM出力遅延制御
0	0	遅延なし
0	1	TRDIOj0がタイマRDの動作クロック（f_{TRD}）の1サイクル分遅延
1	0	TRDIOj0がタイマRDの動作クロック（f_{TRD}）の2サイクル分遅延
1	1	TRDIOj0がタイマRDの動作クロック（f_{TRD}）の3サイクル分遅延

j = A, B, C, D

注 本レジスタを遅延ありに設定した場合、TRDIOC1およびTRDIOD1のPWM出力は遅延ありとなりますが、内部接続する周辺機能へのタイマ出力信号は遅延しません。

【注意事項】

1. PWMDLY0レジスタはPWM出力前に設定してください。
2. PWMDLY0レジスタは16bitでアクセスしてください。1,8ビットでのアクセスは禁止します。
3. PWM出力として使用しない場合は、0に設定してください。PWM出力モード以外のタイマ出力時に設定した場合も同様に下記出力遅延設定によりタイマ出力が遅延するためです。
4. PWM出力停止後に本レジスタを設定する場合は、タイマRDの動作クロック（f_{TRD}）の4サイクル後以降に設定してください。
5. SNZOUTを使用する際は、STOPモードに入る前に、TRDC0nを0に設定してください（n = 0, 1）。
6. 本レジスタを遅延ありに設定した場合でもTRDIOji以外の兼用機能は遅延しません(j = A,B,C,D、i = 0,1)。

8.2.21 ポート・モード・レジスタ（PM1, PM3, PM12）

ポートの入力／出力を1ビット単位で設定するレジスタです。タイマRDでは、PM1, PM3, PM12を使用します。

タイマ出力端子を兼用するポート（P13/TRDIOA0, P16/TRDIOC1など）をタイマ出力として使用するとき， 各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例 P13/TRDIOA0をタイマ出力として使用する場合
ポート・モード・レジスタ1のPM13ビットを0に設定
ポート・レジスタ1のP13ビットを0に設定

タイマ入力端子を兼用するポート（P13/TRDIOA0, P16/TRDIOC1など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例 P13/TRDIOA0をタイマ入力として使用する場合
ポート・モード・レジスタ1のPM13ビットを1に設定
ポート・レジスタ1のP13ビットを0または1に設定

PM1, PM3, PM12レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，FFHになります。

図8－39 ポート・モード・レジスタ（PM1, PM3, PM12）のフォーマット

アドレス：FFF21H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF23H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

アドレス：FFF2CH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	1	1	1	1	PM120

PMmn	Pmn端子の入出力モードの選択（m = 1, 3, 12, n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

8.3 動作説明

8.3.1 複数モードに関わる共通事項

（1）カウント・ソース

カウント・ソースの選択方法は，すべてのモードに共通です。ただし，PWM3モードでは外部クロックを選択できません。

表8－11 カウント・ソースの選択

カウントソース	選択方法
f_{CLK}、$f_{CLK}/2$、$f_{CLK}/4$、$f_{CLK}/8$、$f_{CLK}/32$	ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4ビットが0かつ （PLL制御レジスタ（PLLCTL）のPLLDIV1が0 またはPLL状態レジスタ（PLLSTS）のSELPLLSが0）かつ クロック選択レジスタ（CKSEL）のTRD_CKSELが0 TRDCRiレジスタのTCK2～TCK0ビットでカウント・ソース選択
f_{IH}	システム・クロック制御レジスタ（CKC）のMCM0が0かつ PLL制御レジスタ（PLLCTL）のSELPLLが0かつ ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4ビットが1かつ クロック選択レジスタ（CKSEL）のTRD_CKSELが0 TRDCRiレジスタのTCK2～TCK0ビットでカウント・ソース選択
f_{PLL}	PLL制御レジスタ（PLLCTL）のSELPLLが1かつ PLL制御レジスタ（PLLCTL）のPLLDIV1が1かつ PLL状態レジスタ（PLLSTS）のSELPLLSが1かつ クロック選択レジスタ（CKSEL）のTRD_CKSELが0 TRDCRiレジスタのTCK2～TCK0ビットでカウント・ソース選択
f_{SUB}	クロック選択レジスタ（CKSEL）のSELLOSCが0かつTRD_CKSELが1 TRDCRiレジスタのTCK2～TCK0ビットでカウント・ソース選択
f_{IL}	クロック選択レジスタ（CKSEL）のSELLOSCが1かつTRD_CKSELが1 TRDCRiレジスタのTCK2～TCK0ビットでカウント・ソース選択
TRDCLK0端子に入力された外部信号	TRDFCR レジスタのSTCLKビットが1（外部クロック入力有効） TRDCRiレジスタのTCK2～TCK0ビットが101b TRDCRiレジスタのCKEG1～CKEG0ビットで有効エッジ選択 TRDCLK0端子として使用しているポートのPMレジスタのPMビットが1（入力モード）

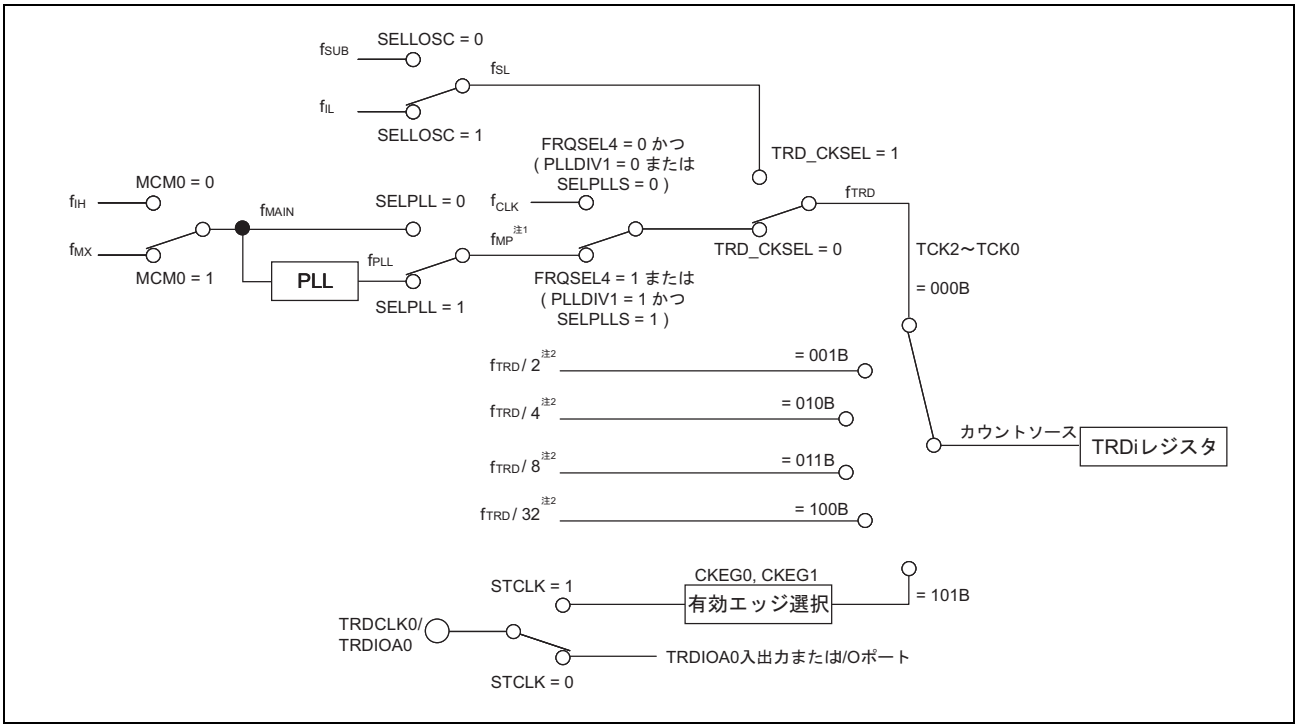
備考 i = 0, 1

カウント・ソースの設定に関する注意事項を示します。

タイマRDのカウント・ソースの設定に関する注意事項

カウント・ソース	設定に関する注意事項
f_{CLK} 、 $f_{CLK}/2$ 、 $f_{CLK}/4$ 、 $f_{CLK}/8$ 、 $f_{CLK}/32$	・CKSELレジスタのTRD_CKSELビットを0（f_{CLK}/f_{MP}を選択）かつユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4ビットを0（f_{IH}≦32MHz）かつPLLCTLレジスタのPLLDIV1ビットを0（f_{PLL}≦32MHz）に設定して下さい。 ・$f_{CLK}/2$、$f_{CLK}/4$、$f_{CLK}/8$、$f_{CLK}/32$はFRQSEL4=1のときには設定しないでください。 ・SNOOZEステータス出力を行なう場合には使用できません。
f_{IH}、f_{PLL}	・f_{IH}=64MHz/48MHzまたはf_{PLL}＞32MHzで使用する場合、CKCレジスタのCSSビットを0（f_{CLK} = f_{MP}を選択）に設定して下さい。 ・f_{IH}=64MHz/48MHzで使用する場合、MDIVレジスタのMDIV2～MDIV0ビットを001B（$f_{MP}/2$を選択）に設定して下さい。 ・f_{IH}=64MHz/48MHzまたはf_{PLL}＞32MHzで使用する場合、CKSELレジスタのTRD_CKSELビットを0（f_{CLK}/f_{MP}を選択）かつFRQSEL4=1に設定して下さい。 ・f_{IH}=64MHz/48MHzまたはf_{PLL}＞32MHzで使用する場合、PER1レジスタのTRD0ENビットをセットする前に、CSSビット、MDIV2～MDIV0ビット、TRD_CKSELビットを設定して下さい。 ・周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。 ・ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4ビットを1（f_{IH} = 64MHz/48MHz）かつPLLCTLレジスタのPLLDIV1ビットを1（f_{PLL}＞32MHz）に設定することは禁止します。 ・SNOOZEステータス出力を行なう場合には使用できません。
f_{SUB}、f_{IL}	・CPUからタイマRDのレジスタにアクセスを行なう場合は、CKCレジスタのCSSビットを1（f_{CLK} = f_{SL}を選択）に設定して下さい。 ・周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。 ・SNOOZEステータス出力を行なう場合は設定して下さい。

図8－40　カウント・ソースのブロック図



注1.　f_{IH}は64 MHz, 48 MHz設定時，f_{PLL}はf_{PLL} > 32 MHz時に選択できます。

2.　タイマRDの動作クロック（f_{TRD}）をf_{CLK}に設定してください。

備考　i = 0, 1

TCK0～TCK2, CKEG0～CKEG1	：TRDCRiレジスタのビット
STCLK	：TRDFCRレジスタのビット
FRQSEL4	：ユーザ・オプション・バイト（000C2H/020C2H）のビット
MCM0	：CKCレジスタのビット
SELPLL	：PLLCTLレジスタのビット
PLLDIV1	：PLLCTLレジスタのビット
SELPLLS	：PLLSTSレジスタのビット
SELLOSC	：CKSELレジスタのビット
TRD_CKSEL	：CKSELレジスタのビット

TRDCLK0端子に入力する外部クロックのパルス幅は，タイマRDの動作クロック（f_{TRD}）の3サイクル以上にしてください。

（2）バッファ動作

TRDMRレジスタのTRDBFCiビット（i = 0, 1）, TRDBFDiビットで, TRDGRCi, TRDGRDiレジスタをTRDGRAi,TRDGRBiレジスタのバッファ・レジスタにできます。

- TRDGRAiのバッファ・レジスタ：TRDGRCiレジスタ
- TRDGRBiのバッファ・レジスタ：TRDGRDiレジスタ

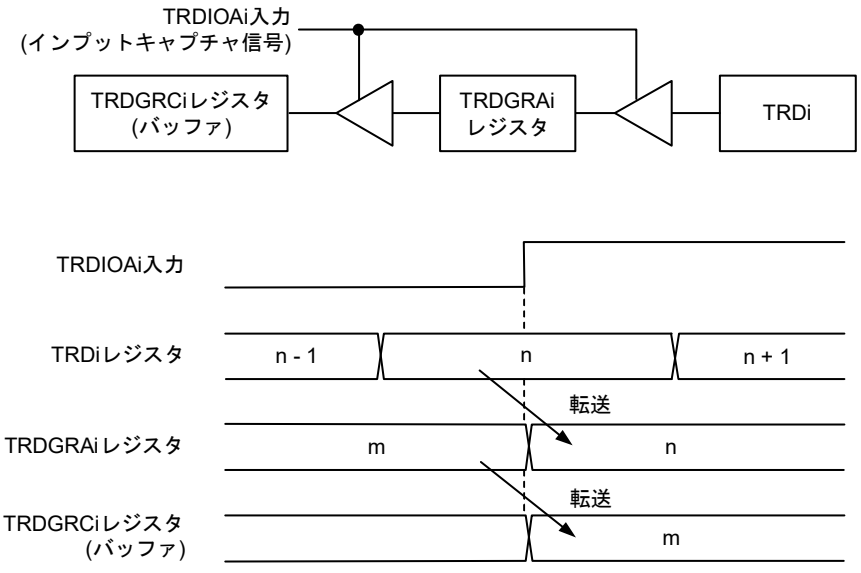
バッファ動作は，モードによって違います。表8－12に各モードのバッファ動作を示します。

表8－12 各モードのバッファ動作

機能，モード		転送タイミング	転送するレジスタ
タイマモード	インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRAi（TRDGRBi）レジスタの内容をバッファ・レジスタに転送
	アウトプットコンペア機能	TRDiレジスタとTRDGRAi（TRDGRBi）レジスタのコンペアー致	バッファ・レジスタの内容をTRDGRAi（TRDGRBi）レジスタに転送
	PWM機能		
リセット同期PWMモード		TRD0レジスタとTRDGRA0レジスタのコンペアー致	バッファ・レジスタの内容をTRDGRAi（TRDGRBi）レジスタに転送
相補PWMモード		TRD0レジスタとTRDGRA0レジスタのコンペアー致 TRD1レジスタアンダフロー	バッファ・レジスタの内容をTRDGRB0, TRDGRA1, TRDGRB1レジスタに転送
PWM3モード		TRD0レジスタとTRDGRA0レジスタのコンペアー致	バッファ・レジスタの内容をTRDGRAi（TRDGRBi）レジスタに転送

備考 i = 0, 1

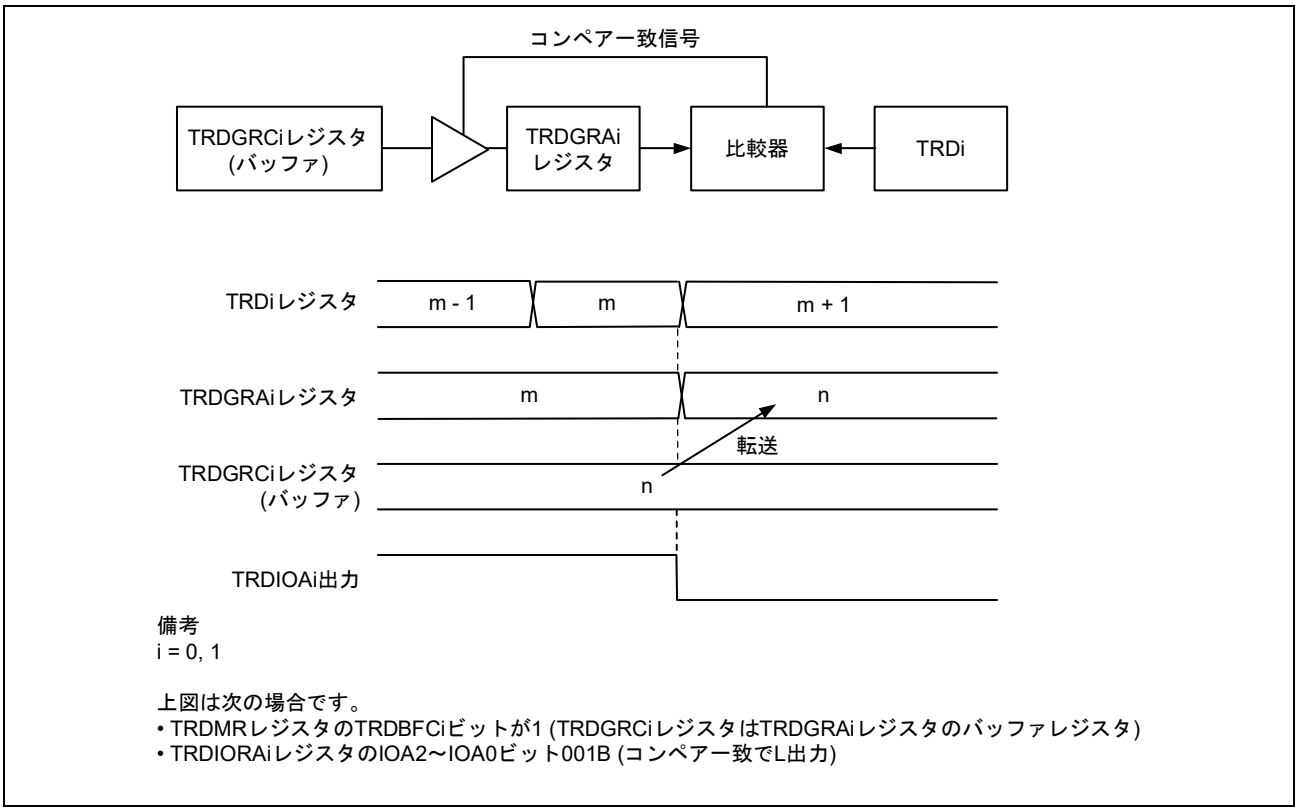
図8－41 インプットキャプチャ機能のバッファ動作



備考
i = 0, 1

上図は次の条件の場合です。
• TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
• TRDIORAiレジスタのIOA2～IOA0ビット100B (立ち上がりエッジでインプットキャプチャ)

図8－42 アウトプットコンペア機能のバッファ動作



備考
i = 0, 1

上図は次の場合です。
• TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
• TRDIORAiレジスタのIOA2～IOA0ビット001B (コンペアー致でL出力)

タイマモード（インプットキャプチャ機能，アウトプットコンペア機能）では次のようにしてください。

TRDGRCiレジスタ（i = 0, 1）をTRDGRAiレジスタのバッファ・レジスタに使用する場合

- TRDIORCiレジスタのIOC3ビットを1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。
- TRDIORCiレジスタのIOC2ビットは，TRDIORAiレジスタのIOA2ビットと同じ設定にしてください。

TRDGRDiレジスタをTRDGRBiレジスタのバッファ・レジスタに使用する場合

- TRDIORCiレジスタのIOD3ビットを1（ジェネラル・レジスタまたはバッファ・レジスタ）にしてください。
- TRDIORCiレジスタのIOD2ビットは，TRDIORAiレジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では，TRDGRCi，TRDGRDiレジスタをバッファ・レジスタに使用している場合も，TRDIOCi端子，TRDIODi端子の入力エッジでTRDSRiレジスタのIMFC，IMFDビットが1になります。

アウトプットコンペア機能，PWM機能，リセット同期PWMモード，相補PWMモード，PWM3モードでは，TRDGRCi，TRDGRDiレジスタをバッファ・レジスタに使用している場合も，TRDiレジスタとのコンペアー致でTRDSRiレジスタのIMFC，IMFDビットが1になります。

（3）同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

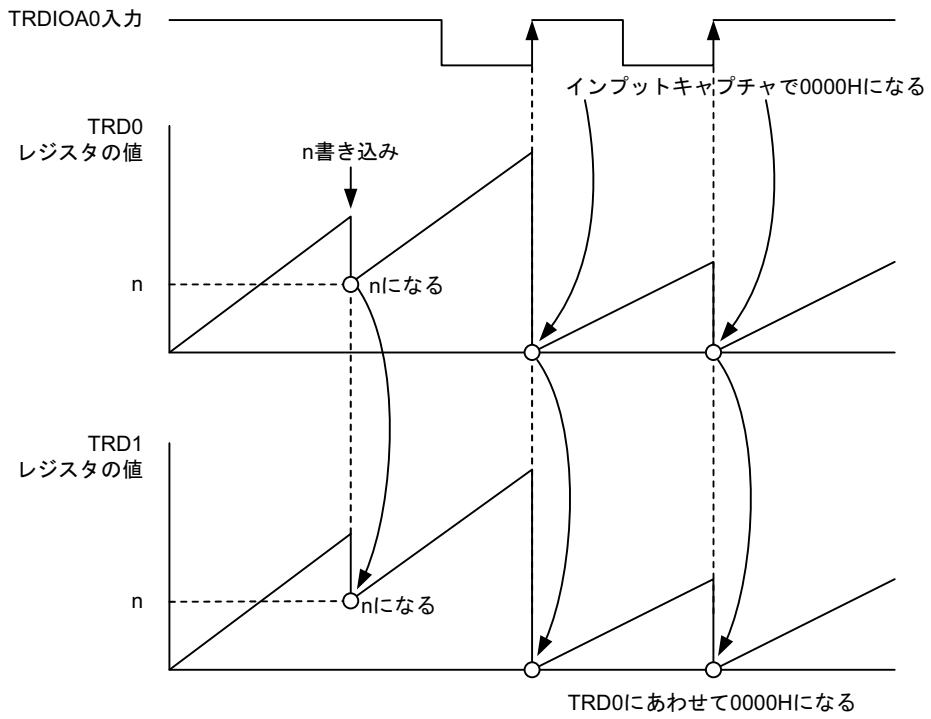
  TRDMRレジスタのTRDSYNCビットが1（同期動作）の場合, TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

  TRDSYNCビットが1で，かつTRDCR0レジスタのCCLR2～CCLR0ビットが011B（同期クリア）の場合，TRD0レジスタはTRD1レジスタが0000Hになるとき，同時に0000Hになります。

  同様に, TRDSYNCビットが1で，かつCCLR2～CCLR0ビットが011B（同期クリア）の場合, TRD1レジスタはTRD0レジスタが0000Hになるとき，同時に0000Hになります。

図8－43　同期動作



上図は次の条件の場合です。

- TRDMRレジスタのTRDSYNCビットが1 (同期動作)
- TRDCR0レジスタのCCLR2～CCLR0ビットが001B (インプットキャプチャでTRD0を0000Hにする)
  TRDCR1レジスタのCCLR2～CCLR0ビットが011B (TRD0に同期して, TRD1を0000Hにする)
- TRDIORA0レジスタのIOA2～IOA0ビットが100B
- TRDFCRレジスタのCMD1, CMD0ビットが00B
  TRDFCRレジスタのPWM3ビットが1

} (TRDIOA0入力の立ち上がりエッジでインプットキャプチャ)

（4）パルス出力強制遮断

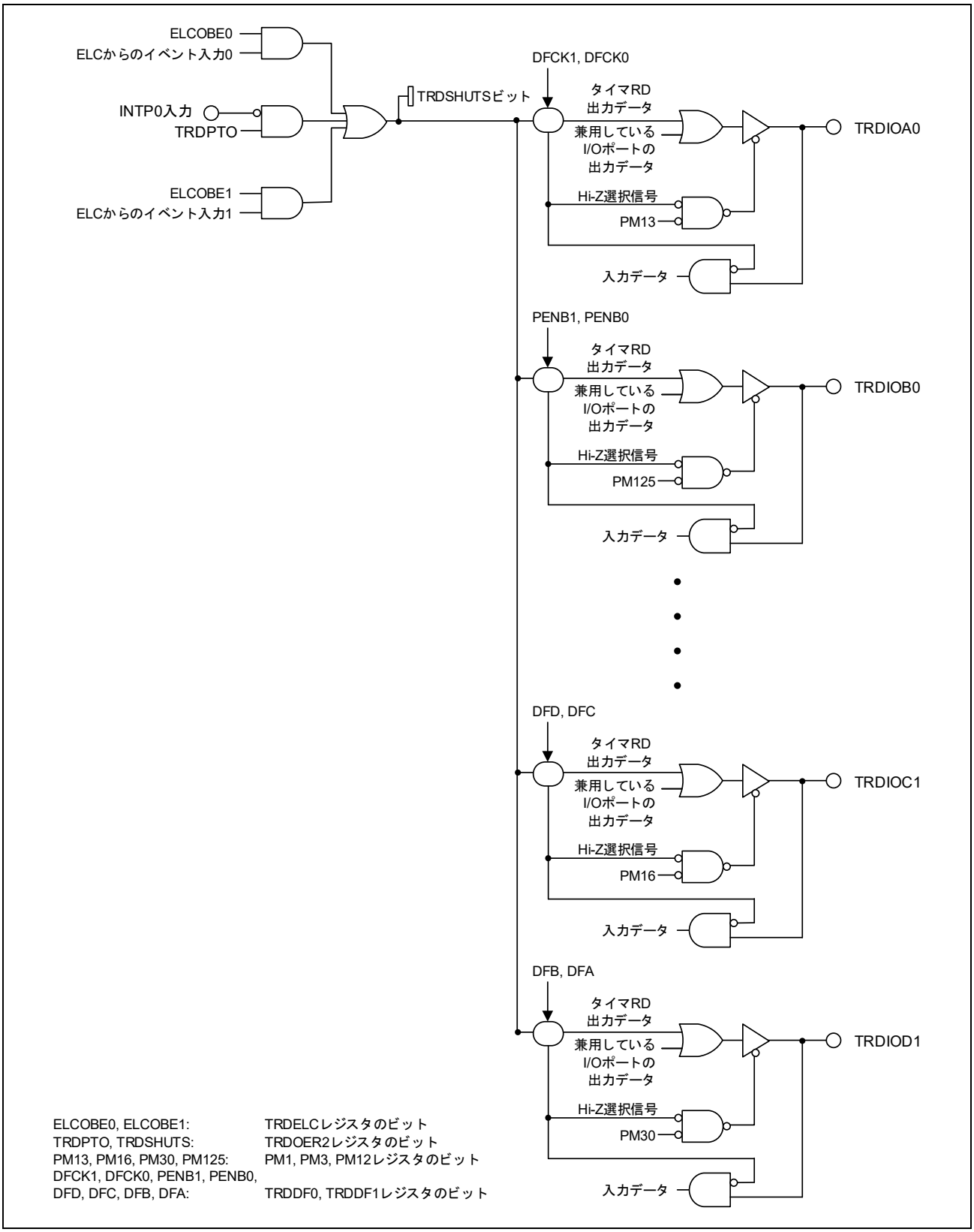
PWM機能，リセット同期PWMモード，相補PWMモード, PWM3モードのとき, INTP0端子の入力によってTRDIOji 出力端子（i = 0, 1, j = A, B, C, D）を強制的にI/Oポートにし，パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は, TRDOER1レジスタの該当するビットを0（タイマRD出力許可）にすると，タイマRDの出力端子として機能します。TRDOER2レジスタのTRDPTOビットが1（パルス出力強制遮断信号入力INTP0有効）のとき，タイマRDの出力ポートとして使用している出力端子は，TRDDF0/TRDDF1レジスタのDFCK1, DFCK0, PENB1, PENB0, DFD, DFC, DFB, DFAビットで設定した出力値を出力します。

この機能を使用する場合は，次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態（ハイインピーダンス, L出力，またはH出力）をTRDDFiで設定する。
- ELCイベント入力によるパルス強制遮断は「8.3.1（5）イベントリンクコントローラ（ELC）からのイベント入力」を参照してください。
- パルス出力強制遮断時, TRDOER2レジスタのTRDSHUTSビットが1となります。パルス出力強制遮断を中断させたい場合，カウント停止中（TSTARTi = 0）にTRDSHUTSビットを0にしてください。
- TRDOER2レジスタのTRDPTOビットを1（パルス出力強制遮断信号入力INTP0有効）にする。

図8－44 パルス出力強制遮断



(5) イベントリンクコントローラ（ELC）からのイベント入力

ELCからのイベント入力によって，タイマRDは2つの動作をします。

(a) インプットキャプチャ動作D0/D1

ELCからのイベント入力によって，タイマRDはインプットキャプチャ動作D0/D1をします。このとき，TRDSRiレジスタのIMFDビットが1になります。

この機能を使用する場合，タイマモードのインプットキャプチャ機能を選択し，TRDELCレジスタのELCICE0/ELCICE1ビットを1にしてください。その他のモード（タイマモードのアウトプットコンペア機能，PWM機能，リセット同期PWMモード，相補PWMモード，PWM3モード）では無効です。

(b) パルス出力強制遮断動作[注]

ELCからのイベント入力によって，パルス出力を強制遮断します。この機能を使用する場合，パルス出力モード（PWM機能，リセット同期PWMモード，相補PWMモード，PWM3モード）を選択し，ELCOBE0/ELCOBE1ビットを1にしてください。タイマモードのインプットキャプチャ機能では無効です。

注 INTP0端子の強制遮断はL入力期間中パルス出力を遮断しますが，ELCイベントによるパルス強制遮断は，ELCからのイベント入力1回に対し，1回パルス出力を遮断します。

設定手順

(1) ELCのイベントリンク先をタイマRDに設定する。

(2) TRDELCレジスタのELCICEi（i = 0,1），ELCOBEi（i = 0,1）ビットを1にする。

(6) イベントリンクコントローラ（ELC）/DTCへのイベント出力

表8－13にタイマRDのモードとELC/DTCへのイベント出力を示します。

表8－13 タイマRDのモードとELC/DTCへのイベント出力

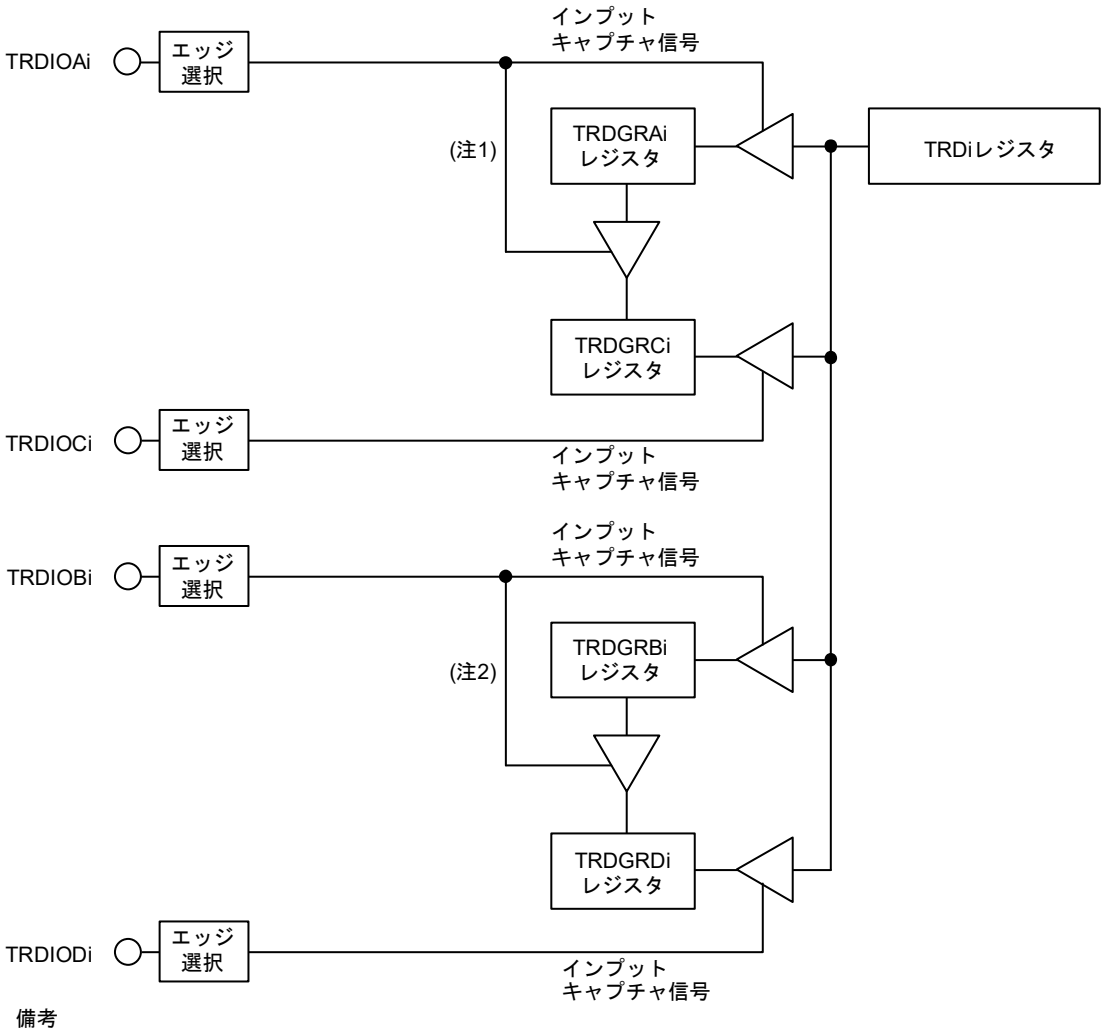
使用モード	出力要因	ELC	DTC
インプットキャプチャ機能	TRDIORA0レジスタのIOA1，IOA0ビットで設定したTRDIOA0のエッジ検出	○	○
	TRDIORA0レジスタのIOB1，IOB0ビットで設定したTRDIOB0のエッジ検出	○	○
	TRDIORC0レジスタのIOC1，IOC0ビットで設定したTRDIOC0のエッジ検出	－	○
	TRDIORC0レジスタのIOD1，IOD0ビットで設定したTRDIOD0のエッジ検出	－	○
	TRDIORA1レジスタのIOA1，IOA0ビットで設定したTRDIOA1のエッジ検出	○	○
	TRDIORA1レジスタのIOB1，IOB0ビットで設定したTRDIOB1のエッジ検出	○	○
	TRDIORC1レジスタのIOC1，IOC0ビットで設定したTRDIOC1のエッジ検出	－	○
	TRDIORC1レジスタのIOD1，IOD0ビットで設定したTRDIOD1のエッジ検出	－	○
アウトプットコンペア機能，PWM機能，リセット同期PWMモード，相補PWMモード，PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペアー致	○	○
	TRD0レジスタとTRDGRB0レジスタのコンペアー致	○	○
	TRD0レジスタとTRDGRC0レジスタのコンペアー致	－	○
	TRD0レジスタとTRDGRD0レジスタのコンペアー致	－	○
	TRD1レジスタとTRDGRA1レジスタのコンペアー致	○	○
	TRD1レジスタとTRDGRB1レジスタのコンペアー致	○	○
	TRD1レジスタとTRDGRC1レジスタのコンペアー致	－	○
	TRD1レジスタとTRDGRD1レジスタのコンペアー致	－	○
相補PWMモード	TRD1レジスタのアンダフロー	○	－

8.3.2　インプットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIOji端子（i = 0, 1, j = A, B, C, D）の外部信号をトリガにしてTRDiレジスタ（カウンタ）の内容をTRDGRjiレジスタに転送します（インプットキャプチャ）。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので，端子1本ごとにインプットキャプチャ機能にするか，他のモード，機能にするかを選択できます。

図8－45にインプットキャプチャ機能のブロック図を，表8－14にインプットキャプチャ機能の仕様を，図8－46にインプットキャプチャ機能の動作例を示します。

図8－45　インプットキャプチャ機能のブロック図



備考
i = 0，1

注1. TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)のときです。
2. TRDMRレジスタのTRDBFDiビットが1 (TRDGRDiレジスタはTRDGRBiレジスタのバッファレジスタ)のときです。

表8－14 インプットキャプチャ機能の仕様

項目	仕様
カウント・ソース注	f_{CLK}, f_{PLL}, f_{IH}, f_{SUB}, f_{IL} TRDCLK0端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2～CCLR0ビットが000B（フリーランニング動作）の場合 1/fk × 65536 fk：カウント・ソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1（カウント開始）書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0（カウント停止）書き込み
割り込み要求発生タイミング	・ インプットキャプチャ（TRDIOji入力の有効エッジ） ・ TRDiオーバフロー
TRDIOA0端子機能	I/Oポート，インプットキャプチャ入力，またはTRDCLK（外部クロック）入力
TRDIOB0，TRDIOC0，TRDIOD0，TRDIOA1～TRDIOD1端子機能	I/Oポートまたはインプットキャプチャ入力（1端子ごとに選択）
INTP0端子機能	使用しない（ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiレジスタを読むと，カウント値が読める
タイマの書き込み	・ TRDMRレジスタのTRDSYNCビットが0（タイマRD0とタイマRD1は独立動作）の場合 TRDiレジスタに書き込める ・ TRDMRレジスタのTRDSYNCビットが1（タイマRD0とタイマRD1が同期動作）の場合 TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	・ インプットキャプチャ入力端子選択TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 ・ インプットキャプチャ入力の有効エッジ選択立ち上がりエッジ，立ち下がりエッジ，または立ち上がりエッジと立ち下がりエッジの両方 ・ TRDiを0000Hにするタイミングオーバフローまたはインプットキャプチャ時 ・ バッファ動作（「8.3.1（2）バッファ動作」を参照） ・ 同期動作（「8.3.1（3）同期動作」を参照） ・ デジタル・フィルタTRDIOji入力をサンプリングし, 3回一致したらレベルが確定したとみなす ・ イベントリンクコントローラ（ELC）からのイベント入力によるインプットキャプチャ動作

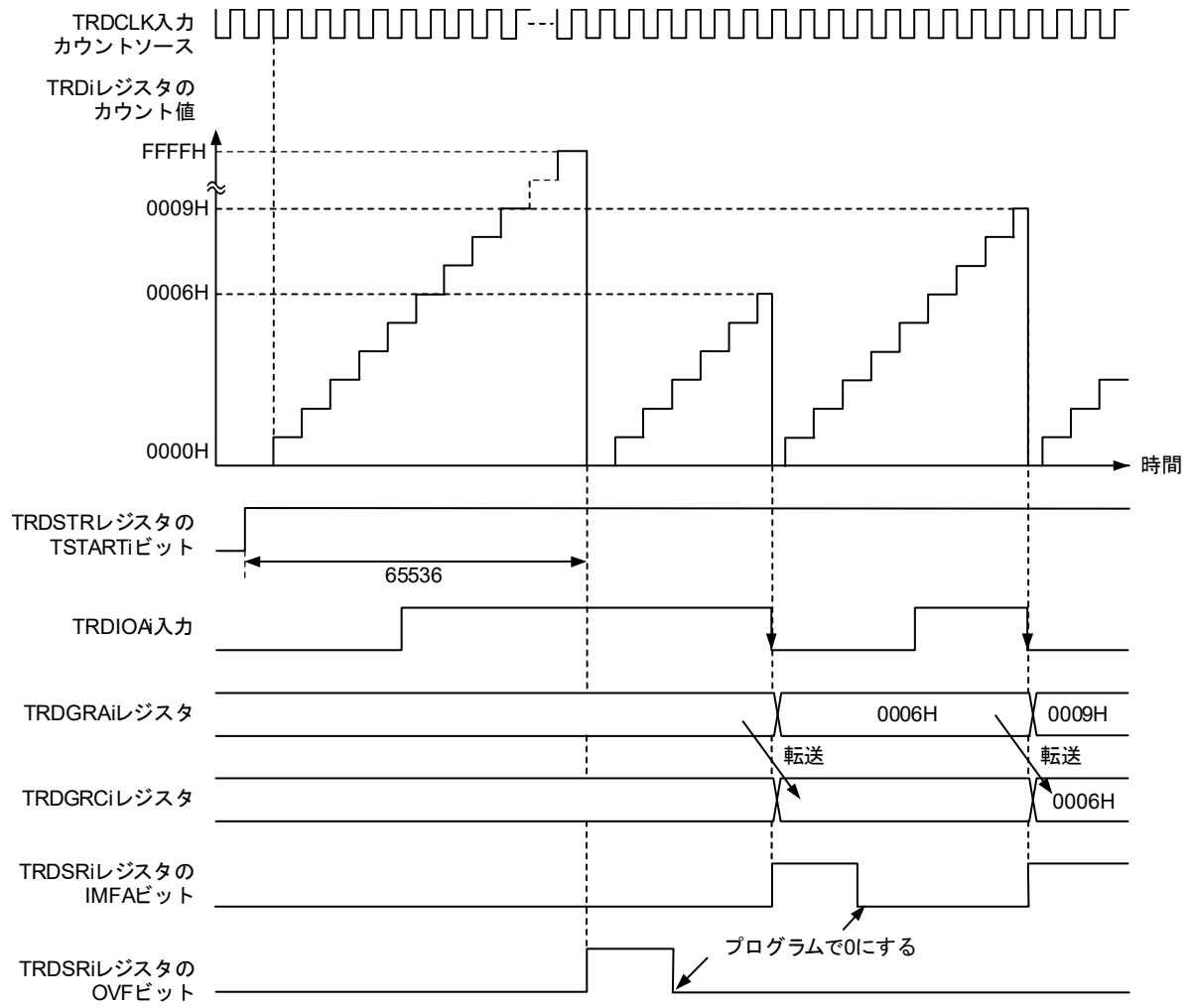
注 タイマRDのカウント・ソースを設定する場合、周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。

備考 i = 0, 1, j = A, B, C, D

（1）動作例

TRDCRiレジスタ（i = 0, 1）のCCLR0～CCLR2ビットの設定で，インプットキャプチャ/コンペアー致により，タイマRDiのカウンタ値はリセットされます。図8－46は，CCLR2～CCLR0ビットを001Bと設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定をしていて，タイマ・カウント値がFFFFHにおいてインプットキャプチャ動作をした場合，カウント・ソースとインプットキャプチャ動作のタイミングによって割り込みフラグであるTRDSRiレジスタのIMFA～IMFDビットとOVFビットが同時に1となる場合があります。

図8－46 インプットキャプチャ機能の動作例



備考
i = 0, 1

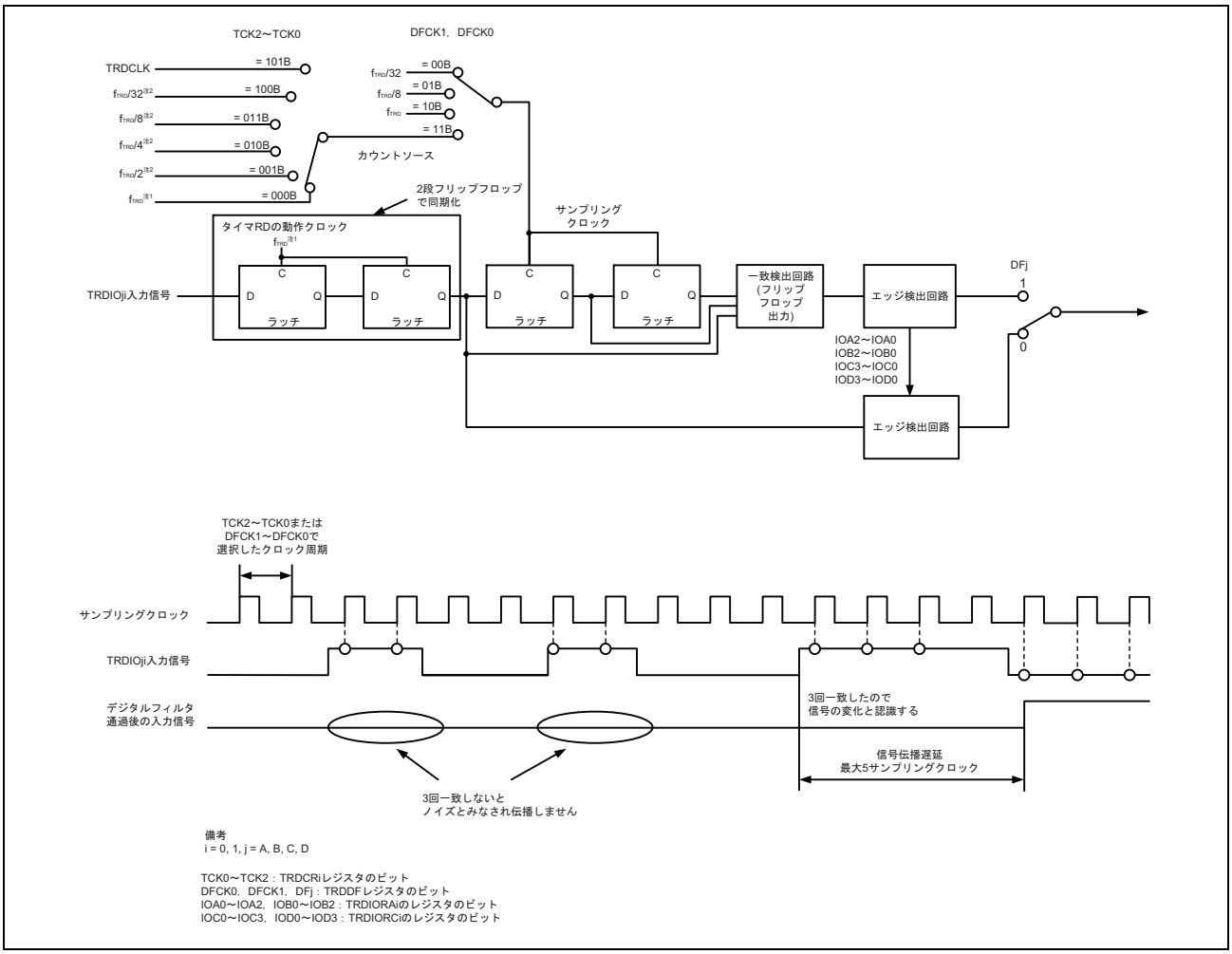
上図は次の条件の場合です。
TRDCRiレジスタのCCLR2～CCLR0ビットが001B (TRDGRAiのインプットキャプチャでTRDiを0000Hにする)
TRDCRiレジスタのTCK2～TCK0ビットが101B (カウントソースはTRDCLK入力)
TRDCRiレジスタのCKEG1,CKEG0ビットが01B (カウントソースは立ち下がりでカウント)
TRDIORAiレジスタのIOA2～IOA0ビットが101B (TRDIOAi入力の立ち下がりエッジでインプットキャプチャ)
TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)

（2）デジタル・フィルタ

TRDIOji入力（i = 0, 1, j = A, B, C, D）をサンプリングし, 3回一致したらレベルが確定したとみなします。デジタル・フィルタ機能, サンプリング・クロックはTRDDFiレジスタで選択してください。

図8－47にデジタル・フィルタのブロック図を示します。

図8－47　デジタル・フィルタのブロック図



備考
i = 0, 1, j = A, B, C, D

TCK0～TCK2：TRDCRiレジスタのビット
DFCK0, DFCK1, DFj：TRDDFレジスタのビット
IOA0～IOA2, IOB0～IOB2：TRDIORAiのレジスタのビット
IOC0～IOC3, IOD0～IOD3：TRDIORCiのレジスタのビット

注1. タイマRDの動作クロック（f_{TRD}）は，ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0かつ（PLLDIV1 = 0またはSELPLLS = 0）かつTRD_CKSEL = 0のときf_{CLK}, FRQSEL4 = 1かつTRD_CKSEL = 0のときf_{IH}, （PLLDIV1 = 1かつSELPLLS = 1）かつTRD_CKSEL = 0のときf_{PLL}, SELLOSC = 0かつTRD_CKSEL = 1のときf_{SUB}, SELLOSC = 1かつTRD_CKSEL = 1のときf_{IL}が選択されます。詳細は図8－40を参照してください。

タイマRDのカウント・ソースを設定する場合，周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に，f_{CLK}にカウント・ソースと同じクロック源を設定してください。

2. タイマRDの動作クロック（f_{TRD}）をf_{CLK}に設定してください。

8.3.3　アウトプットコンペア機能

TRDiレジスタ（カウンタ）（i = 0, 1）の内容と, TRDGRjiレジスタ（j = A, B, C, D）の内容の一致（コンペアー致）を検出するモードです。一致したときTRDIOji端子から任意のレベルを出力します。TRDIOji端子とTRDGRjiレジスタの組み合わせで機能しますので，端子1本ごとにアウトプットコンペア機能にするか，他のモード，機能にするかを選択できます。

図8－48にアウトプットコンペア機能のブロック図を，表8－15にアウトプットコンペア機能の仕様を，図8－49にアウトプットコンペア機能の動作例を示します。

図8－48　アウトプットコンペア機能のブロック図

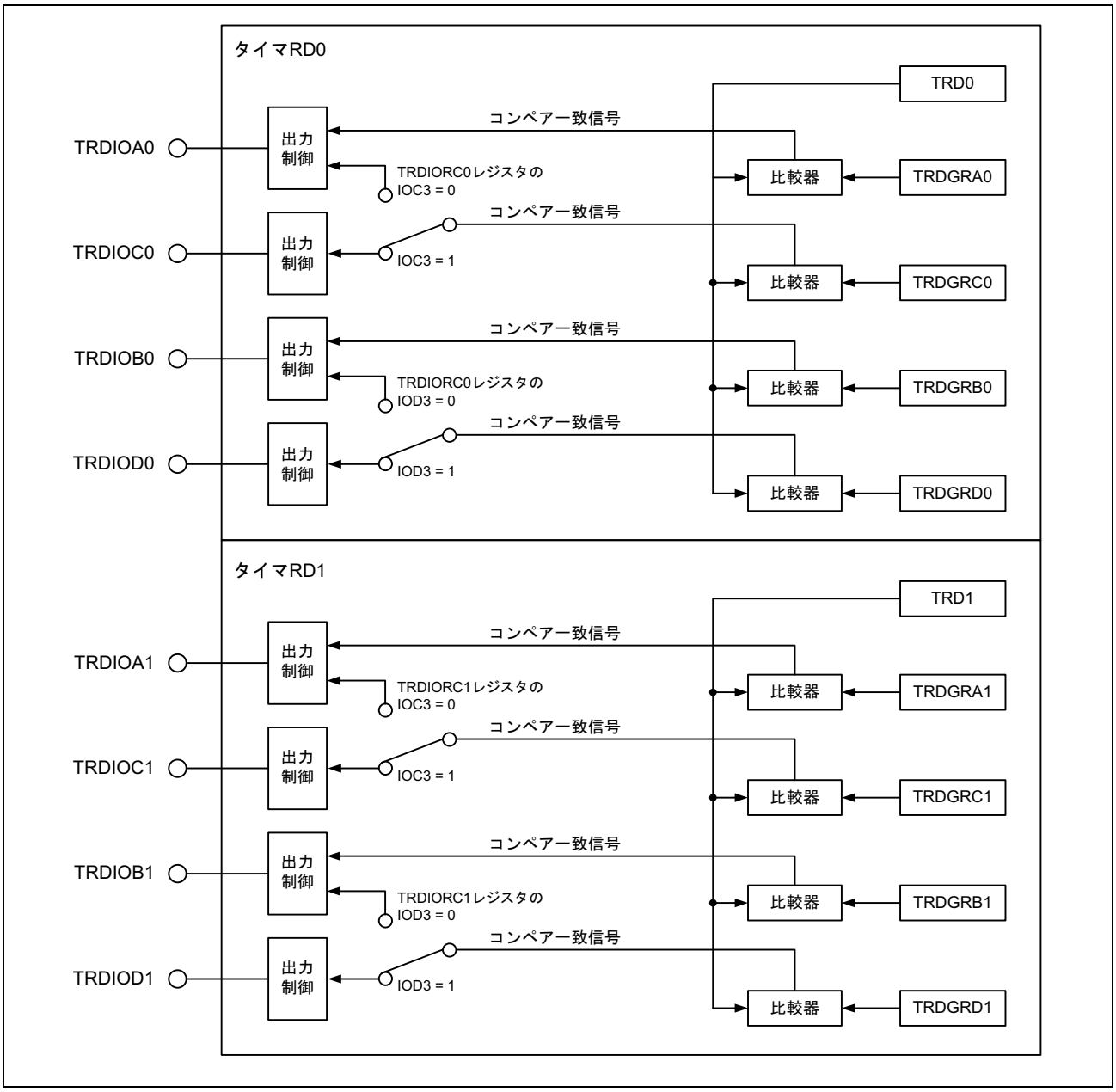


表8－15 アウトプットコンペア機能の仕様

項目	仕様
カウント・ソース注	f_{CLK}, f_{PLL}, f_{IH}, f_{SUB}, f_{IL} TRDCLK0端子に入力された外部信号（プログラムで有効エッジを選択）
カウント動作	アップカウント
カウント周期	・TRDCRiレジスタのCCLR2～CCLR0ビットが000B（フリーランニング動作）の場合 1/fk × 65536 fk：カウント・ソースの周波数 ・TRDCRiレジスタのCCLR1～CCLR0ビットが01B, 10B（TRDGRjiのコンペアー致でTRDi を0000H にする）の場合 1/fk ×（n + 1） ・n：TRDGRjiレジスタ設定値
波形出力タイミング	コンペアー致（TRDiレジスタとTRDGRjiレジスタの内容が一致）
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1（カウント開始）書き込み
カウント停止条件	・TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0（カウント停止）書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 ・TRDSTRレジスタのCSELiビットが0の場合, TRDGRAiコンペアー致でカウント停止 アウトプットコンペア出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	・コンペアー致（TRDiレジスタとTRDGRjiレジスタの内容が一致） ・TRDiオーバフロー
TRDIOA0端子機能	I/Oポート，アウトプットコンペア出力，またはTRDCLK（外部クロック）入力
TRDIOB0，TRDIOC0，TRDIOD0，TRDIOA1～TRDIOD1端子機能	I/Oポートまたはアウトプットコンペア出力（1端子ごとに選択）
INTP0端子機能	ポートまたはINTP0割り込み入力
タイマの読み出し	TRDiレジスタを読むと，カウント値が読める
タイマの書き込み	・TRDMRレジスタのTRDSYNCビットが0（タイマRD0とタイマRD1は独立動作）の場合 TRDiレジスタに書き込める ・TRDMRレジスタのTRDSYNCビットが1（タイマRD0とタイマRD1が同期動作）の場合 TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	・アウトプットコンペア出力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 ・コンペアー致時の出力レベル選択 L出力, H出力，または出力レベル反転 ・初期出力レベル選択 カウント開始からコンペアー致までの期間のレベルを設定 ・TRDiを0000Hにするタイミング オーバフローまたはTRDGRAiレジスタのコンペアー致 ・バッファ動作（「8.3.1（2）バッファ動作」を参照） ・同期動作（「8.3.1（3）同期動作」を参照） ・TRDGRCi, TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の, TRDGRDiをTRDIOBi端子の出力制御に使用できる ・パルス出力強制遮断信号入力（「8.3.1（4）パルス出力強制遮断」を参照） ・タイマRDは出力しないことで内部タイマとして使用できる

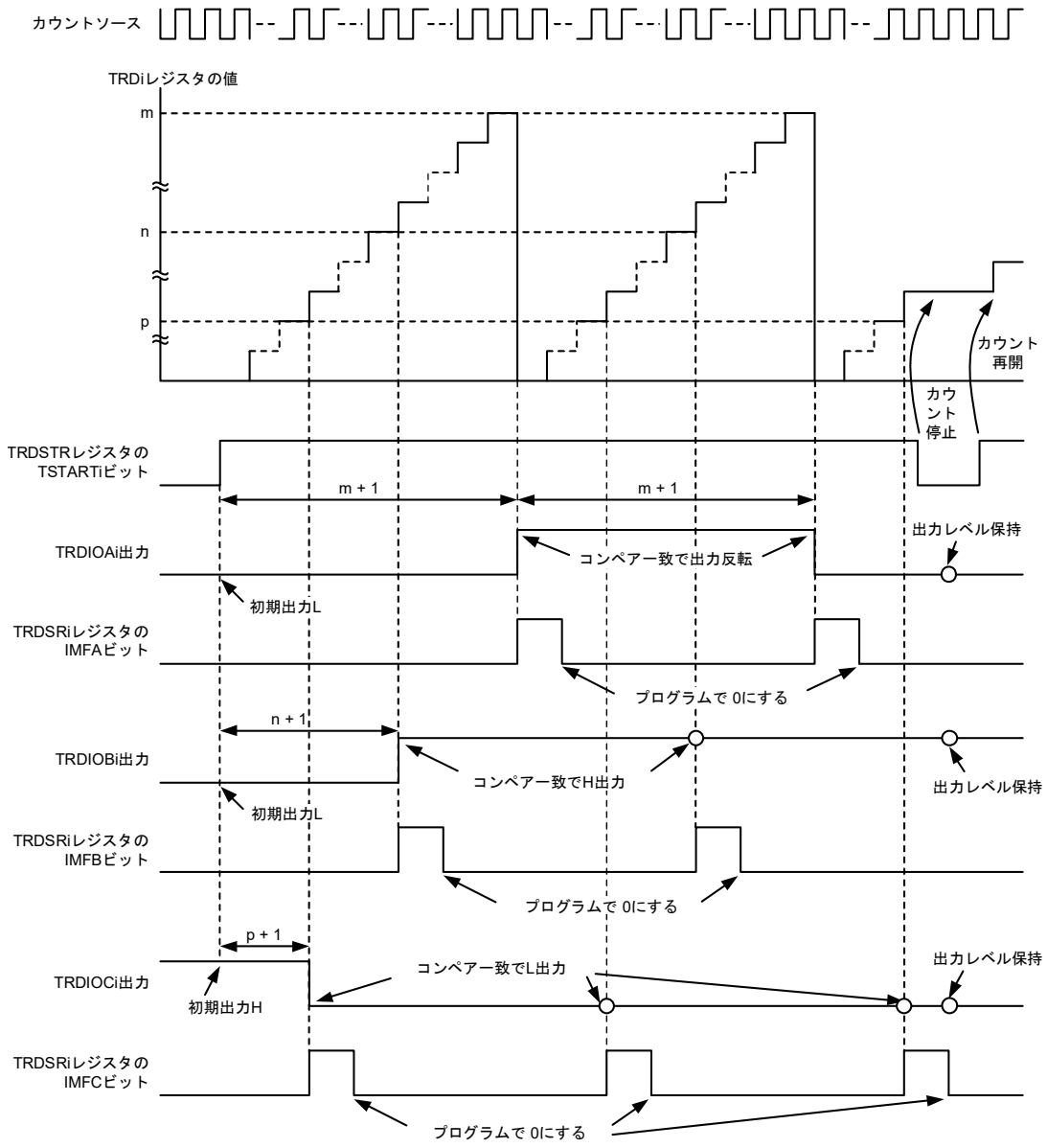
注 タイマRDのカウント・ソースを設定する場合、周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。

備考 i = 0, 1, j = A, B, C, D

（1）動作例

TRDCRiレジスタ（i = 0, 1）のCCLR0～CCLR2ビットの設定によって，インプットキャプチャ/コンペアー致により，タイマRDiのカウンタ値はリセットされます。このとき，コンペア期待値がFFFFHの場合，オーバフロー動作と同様にFFFFHから0000Hとなり，オーバフローフラグは1となります。

図8－49 アウトプットコンペア機能の動作例



備考
i = 0，1
m：TRDGRAiレジスタ設定値
n：TRDGRBiレジスタ設定値
p：TRDGRCiレジスタ設定値

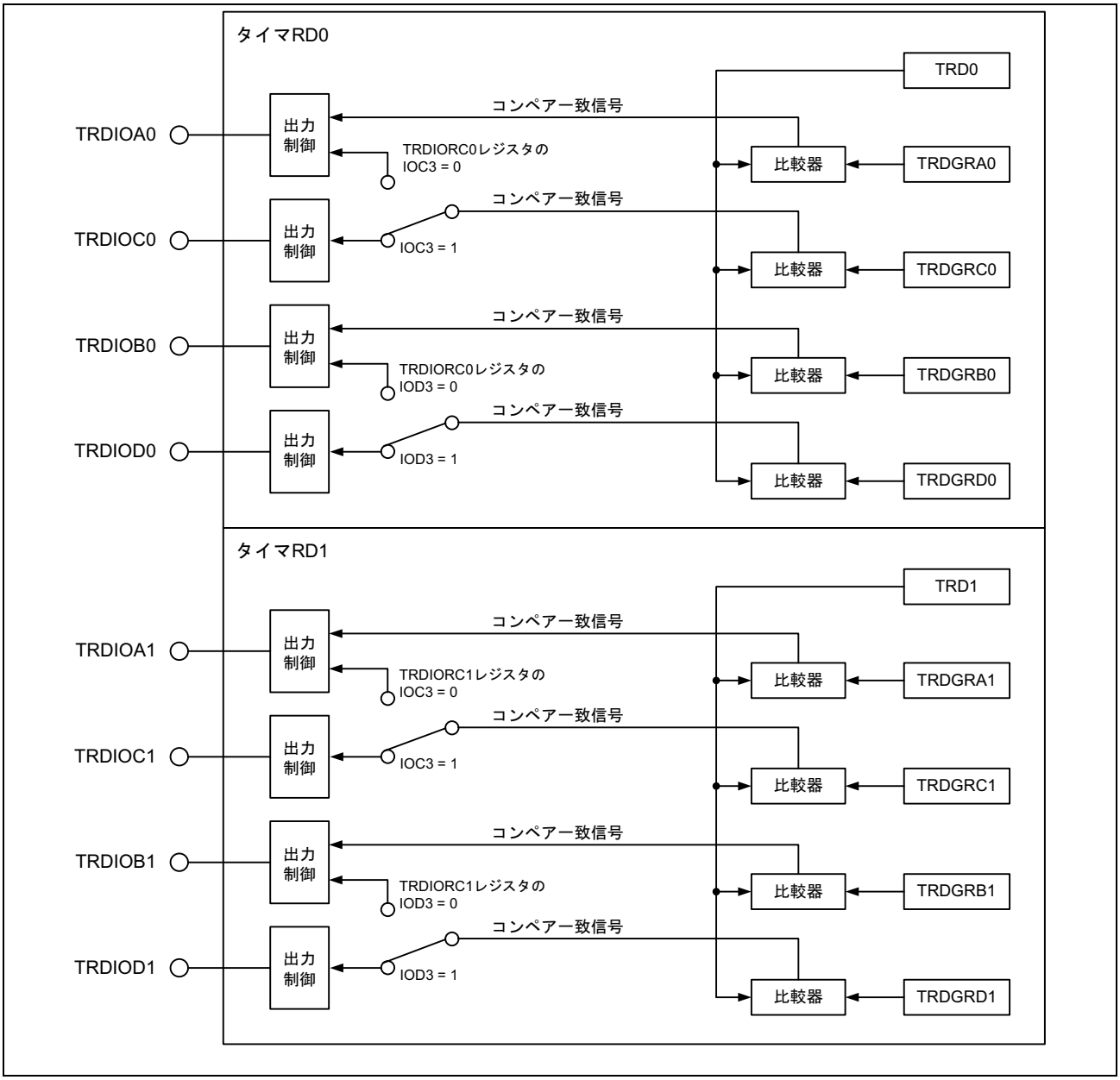
上図は次の条件の場合です。
TRDSTRレジスタのCSELiビットが1 (TRDiはコンペアー致で停止しない)
TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRCi, TRDGRDiバッファ動作しない)
TRDOER1レジスタのEAi, EBi, ECiビットが0 (TRDIOAi, TRDIOBi, TRDIOCi出力許可)
TRDCRiレジスタのCCLR2～CCLR0ビットが001B (TRDGRAiのコンペアー致でTRDiを0000Hにする)
TRDOCRレジスタのTOAi, TOBiビットが0 (コンペアー致までの初期出力L), TOCiビットが1 (コンペアー致までの初期出力H)
TRDIORAiレジスタのIOA2～IOA0ビットが011B (TRDGRAiコンペアー致時, TRDIOAi出力反転)
TRDIORAiレジスタのIOB2～IOB0ビットが010B (TRDGRBiコンペアー致時, TRDIOBiH出力)
TRDIORCiレジスタのIOC3～IOC0ビットが1001B (TRDGRCiコンペアー致時, TRDIOCiL出力)
TRDIORCiレジスタのIOD3～IOD0ビットを1000B (TRDGRDiレジスタはTRDIOBi端子出力制御しない。コンペアー致による端子出力禁止)

（2）TRDGRCi, TRDGRDiレジスタ（i = 0, 1）の出力端子変更

TRDGRCiレジスタをTRDIOAi端子の, TRDGRDiレジスタをTRDIOBi端子の出力制御に使用できます。したがって，各端子の出力は次のように制御できます。

- TRDIOAi出力は, TRDGRAiレジスタの値とTRDGRCiレジスタの値の2点で制御
- TRDIOBi出力は, TRDGRBiレジスタの値とTRDGRDiレジスタの値の2点で制御

図8－50　TRDGRCi, TRDGRDiの出力端子変更

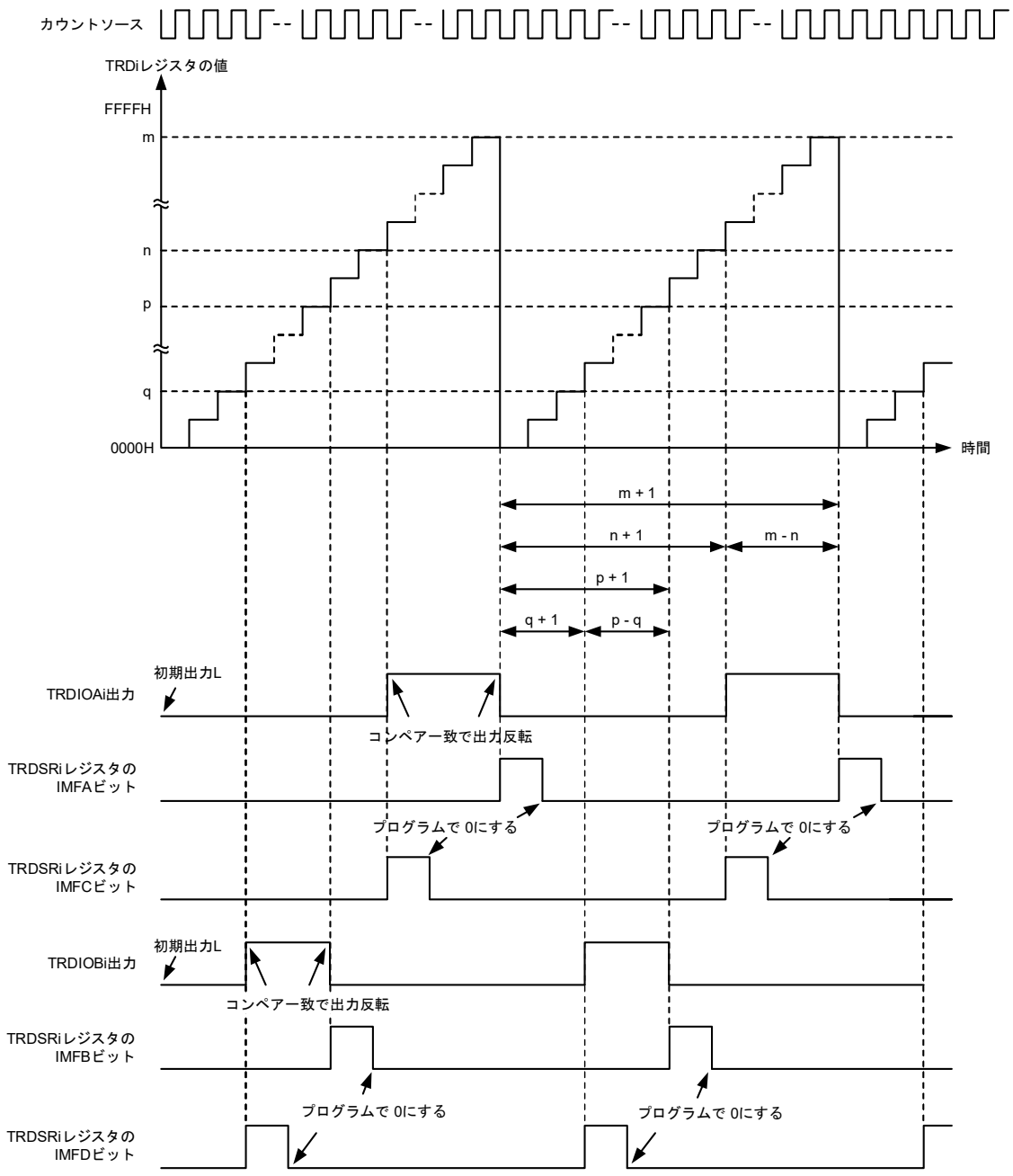


TRDGRCi, TRDGRDiレジスタの出力端子を変更する場合は，次のようにしてください。

- TRDIORCiレジスタのIOj3ビット（j = C, D）で0（TRDGRjiレジスタ出力端子変更）を選択。
- TRDMRレジスタのTRDBFjiビットを0（ジェネラル・レジスタ）にする。
- TRDGRAiレジスタとTRDGRCiレジスタは違う値を設定。また, TRDGRBiレジスタとTRDGRDiレジスタは違う値を設定。

図8－51にTRDGRCiをTRDIOAi端子の, TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例を示します。

図8－51　TRDGRCiをTRDIOAi端子の, TRDGRDiをTRDIOBi端子の出力制御に使用した場合の動作例



備考
i = 0,　1
m：TRDGRAiレジスタの設定値
n：TRDGRCiレジスタの設定値
p：TRDGRBiレジスタの設定値
q：TRDGRDiレジスタの設定値

上図は次の条件の場合です。
TRDSTRレジスタのCSELiビットが1 (TRDiはコンペアー致で停止しない)
TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRCi, TRDGRDiバッファ動作しない)
TRDOER1レジスタのEAi, EBiビットが0 (TRDIOAi, TRDIOBi出力許可)
TRDCRiレジスタのCCLR2～CCLR0ビットが001B (TRDGRAiのコンペアー致でTRDiを0000Hにする)
TRDOCRレジスタのTOAi, TOBiビットが0 (コンペアー致までの初期出力L)
TRDIORAiレジスタのIOA2～IOA0ビットが011B (TRDGRAiコンペアー致時, TRDIOAi出力反転)
TRDIORAiレジスタのIOB2～IOB0ビットが011B (TRDGRBiコンペアー致時, TRDIOBi出力反転)
TRDIORCiレジスタのIOC3～IOC0ビットが0011B (TRDGRCiコンペアー致時, TRDIOAi出力反転)
TRDIORCiレジスタのIOD3～IOD0ビットが0011B (TRDGRDiコンペアー致時, TRDIOBi出力反転)

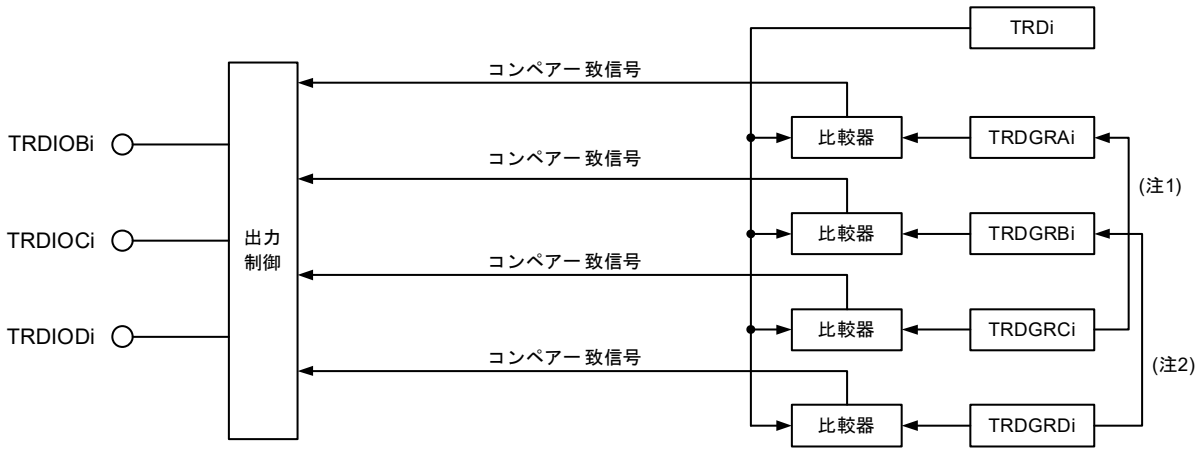
8.3.4　PWM機能

PWM波形を出力する機能です。タイマRDi（i = 0, 1）で同周期のPWM波形を最大3本出力できます。

また，タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。TRDIOji端子（j = B, C, D）とTRDGRjiレジスタの組み合わせで機能しますので，端子1本ごとにPWM機能にするか，他のモード，機能にするかを選択できます（ただし，いずれの端子をPWM機能に使用する場合もTRDGRAiレジスタを使用しますので，TRDGRAiレジスタは他のモードに使用できません）。

図8－52にPWM機能のブロック図を，表8－16にPWM機能の仕様を，図8－53，図8－54にPWM機能の動作例を示します。

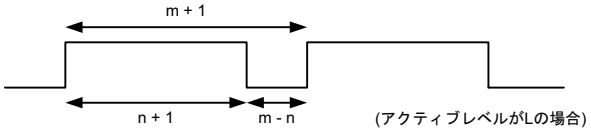
図8－52　PWM機能のブロック図



備考
i = 0, 1

注1. TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)のときです。
2. TRDMRレジスタのTRDBFDiビットが1 (TRDGRDiレジスタはTRDGRBiレジスタのバッファレジスタ)のときです。

表8－16　PWM機能の仕様

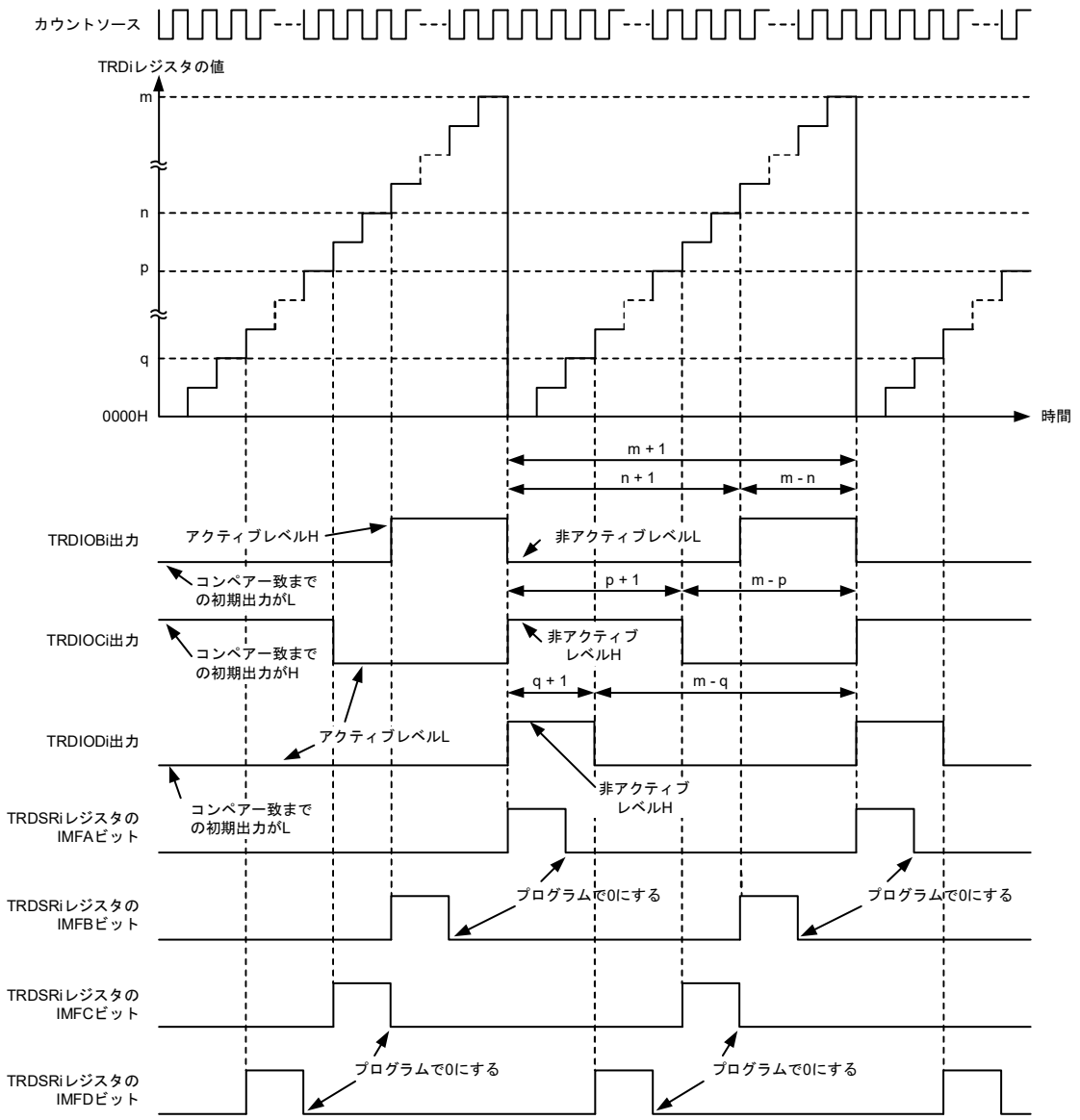
項目	仕様
カウント・ソース注	f_{CLK}, f_{PLL}, f_{IH}, f_{SUB}, f_{IL} TRDCLK0端子に入力された外部信号（プログラムで有効エッジを選択可能）
カウント動作	アップカウント
PWM波形	PWM周期：1/fk×（m + 1） アクティブレベル幅：1/fk ×（m - n） アクティブでないレベルの幅：1/fk ×（n + 1） fk：カウント・ソースの周波数 m：TRDGRAiレジスタ設定値 n：TRDGRjiレジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1（カウント開始）書き込み
カウント停止条件	・ TRDSTRレジスタのCSELiビットが1に設定されているとき，TSTARTiビットへの0（カウント停止）書き込み PWM出力端子はカウント停止前の出力レベルを保持 ・ TRDSTRレジスタのCSELiビットが0の場合，TRDGRAiコンペアー致でカウント停止 PWM出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	・ コンペアー致（TRDiレジスタとTRDGRhiレジスタの内容が一致） ・ TRDiオーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOA1端子機能	I/Oポート
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOB1, TRDIOC1, TRDIOD1端子機能	I/OポートまたはPWM出力（1端子ごとに選択）
INTP0端子機能	パルス出力強制遮断信号入力（ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiレジスタを読むと，カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	・ PWM出力端子をタイマRDiで1～3本選択 TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 ・ アクティブレベルを1端子ごとに選択 ・ 初期出力レベルを1端子ごとに選択 ・ 同期動作（「8.3.1（3）同期動作」を参照） ・ バッファ動作（「8.3.1（2）バッファ動作」を参照） ・ パルス出力強制遮断信号入力（「8.3.1（4）パルス出力強制遮断」を参照）

注　タイマRDのカウント・ソースを設定する場合、周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。

備考　i = 0, 1, j = B, C, D, h = A, B, C, D

（1）動作例

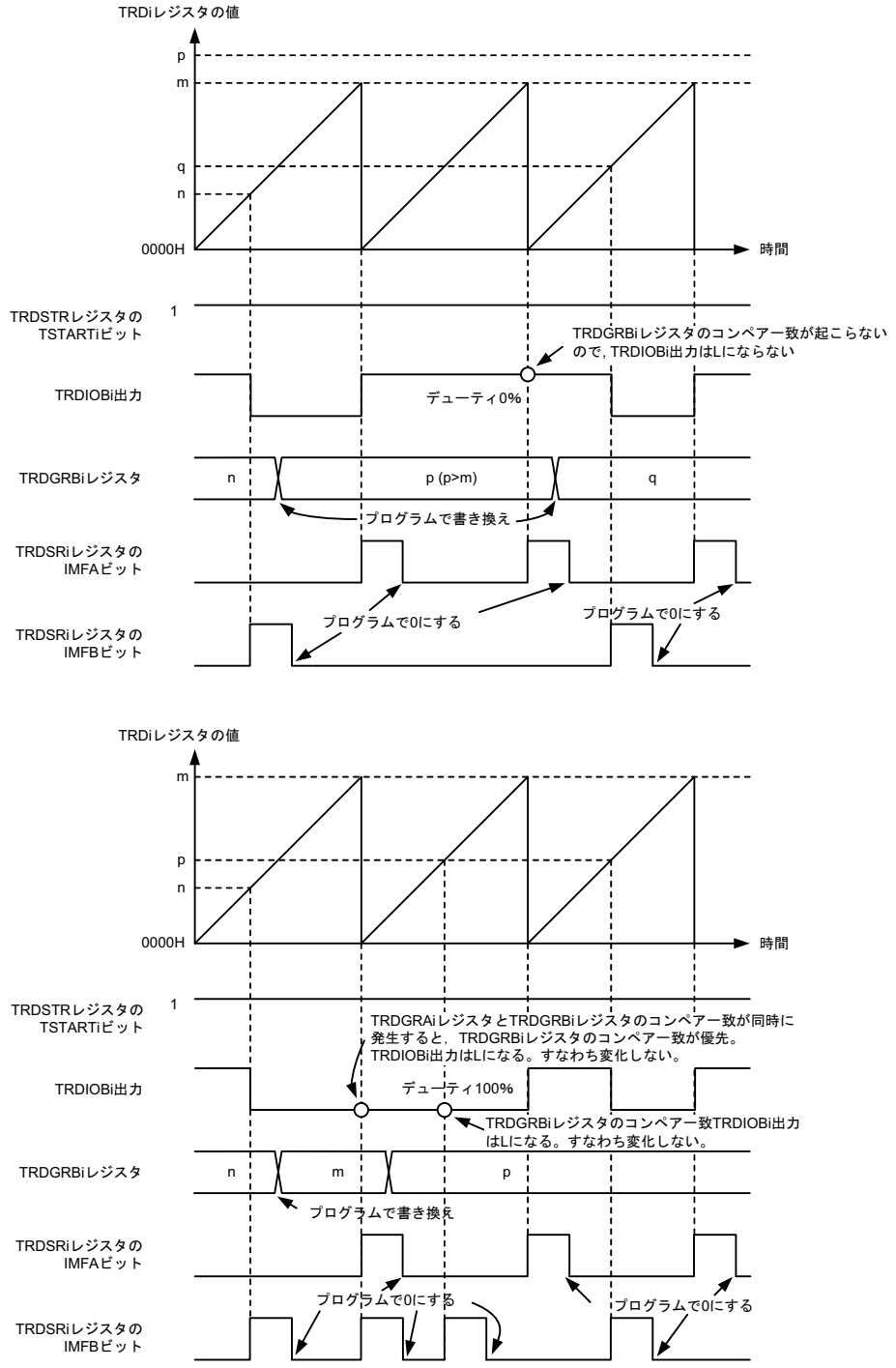
図8－53 PWM機能の動作例



備考
i = 0, 1
m：TRDGRAiレジスタの設定値
n：TRDGRBiレジスタの設定値
p：TRDGRCiレジスタの設定値
q：TRDGRDiレジスタの設定値

上図は次の条件の場合です。
TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRCi, TRDGRDiレジスタはバッファ動作しない)
TRDOER1レジスタのEBi, ECi, EDiビットが0 (TRDIOBi, TRDIOCi, TRDIODi出力許可)
TRDOCRレジスタのTOBi, TOCiビットが0 (非アクティブレベル), TODiビットが1 (アクティブレベル)
TRDPOCRiレジスタのPOLBビットが1 (アクティブレベルH), POLC, POLDビットが0 (アクティブレベルL)

図8－54　PWM機能の動作例（デューティ0%，デューティ100%）



備考
i = 0, 1
m：TRDGRAiレジスタの設定値

上図は次の条件の場合です。
TRDOER1レジスタのEBiビットが0 (TRDIOBi出力許可)
TRDPOCRiレジスタのPOLBビットが0 (アクティブレベルL)

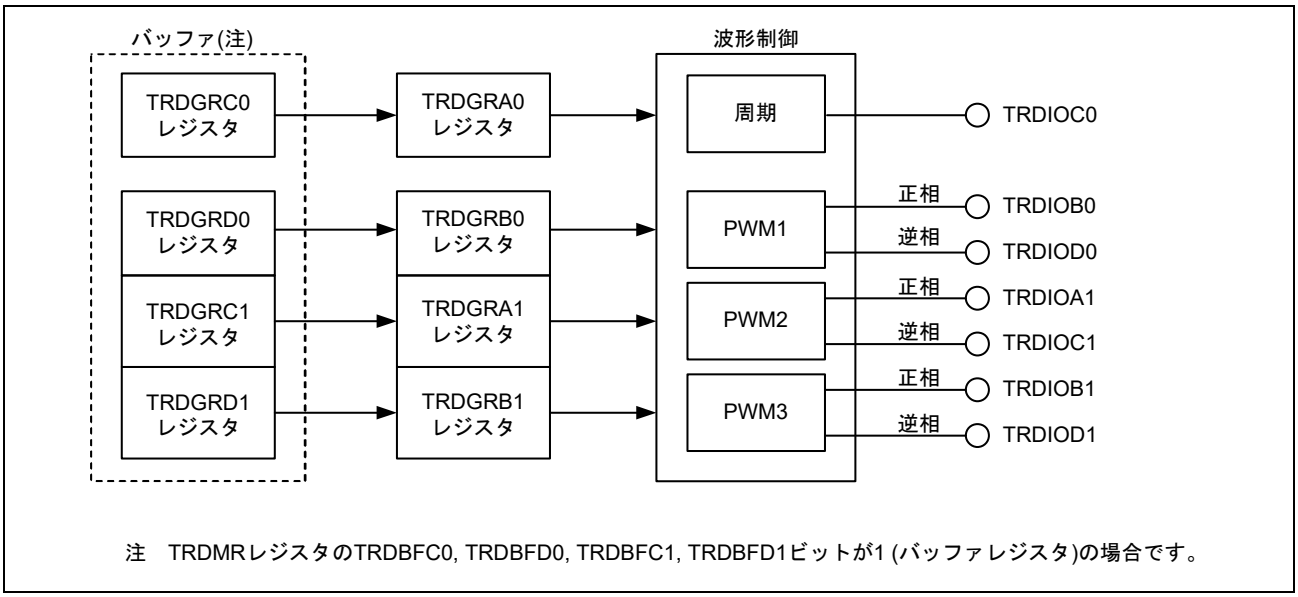
8.3.5　リセット同期PWMモード

同周期のPWM波形を正相3本，逆相3本，計6本出力します（三相，鋸波変調，短絡防止時間なし）。

図8－55にリセット同期PWMモードのブロック図を，表8－17にリセット同期PWMモードの仕様を，図8－56にリセット同期PWMモードの動作例を示します。

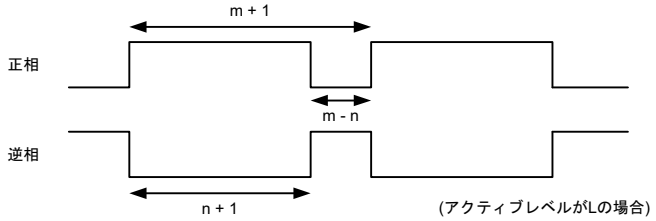
デューティ0%, 100%のPWM動作例は「図8－54　PWM機能の動作例（デューティ0%，デューティ100%）」を参照してください。

図8－55　リセット同期PWMモードのブロック図



注　TRDMRレジスタのTRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1ビットが1 (バッファレジスタ)の場合です。

表8－17 リセット同期PWMモードの仕様

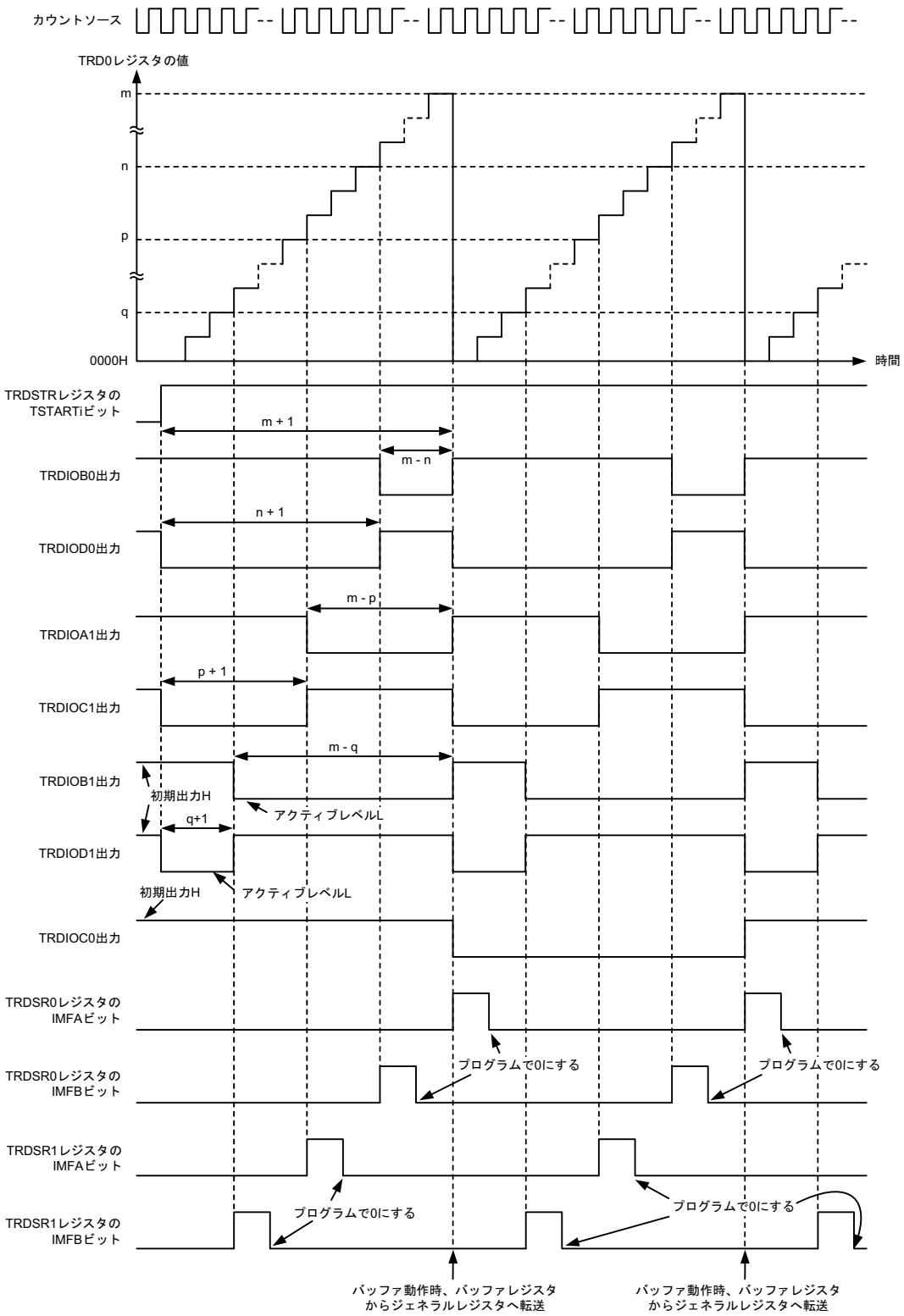
項目	仕様
カウント・ソース注	f_{CLK}, f_{PLL}, f_{IH}, f_{SUB}, f_{IL} TRDCLK0端子に入力された外部信号（プログラムで有効エッジを選択可能）
カウント動作	TRD0はアップカウント（TRD1は使用しない）
PWM波形	PWM周期：1/fk × （m + 1） 正相のアクティブレベル幅：1/fk × （m - n） 逆相のアクティブレベル幅：1/fk × （n + 1） fk：カウント・ソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値（PWM出力1） TRDGRA1レジスタ設定値（PWM出力2） TRDGRB1レジスタ設定値（PWM出力3） 
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1（カウント開始）書き込み
カウント停止条件	・ TRDSTRレジスタのCSEL0ビットが1に設定されているとき，TSTART0ビットへの0（カウント停止）書き込み PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力 ・ TRDSTRレジスタのCSEL0ビットが0の場合，TRDGRA0コンペアー致でカウント停止 PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	・ コンペアー致（TRD0レジスタとTRDGRj0, TRDGRA1, TRDGRB1レジスタの内容が一致） ・ TRD0オーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力（ポートまたはINTP0割り込み入力）
タイマの読み出し	TRD0レジスタを読むと，カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	・ 正相，逆相のアクティブレベルと初期出力レベルを個々に選択 ・ バッファ動作（「8.3.1（2）バッファ動作」を参照） ・ パルス出力強制遮断信号入力（「8.3.1（4）パルス出力強制遮断」を参照）

注 タイマRDのカウント・ソースを設定する場合、周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。

備考 j = A, B, C, D

（1）動作例

図8－56 リセット同期PWMモードの動作例



備考
i = 0～1
m：TRDGRA0レジスタの設定値
n：TRDGRB0レジスタの設定値
p：TRDGRA1レジスタの設定値
q：TRDGRB1レジスタの設定値

上図は次の条件の場合です。
TRDFCRレジスタのOLS1、OLS0ビットが0 (初期出力レベルH、アクティブレベルL)

8.3.6　相補PWMモード

同周期のPWM波形を正相3本，逆相3本，計6本出力します（三相，三角波変調，短絡防止時間あり）。

図8－57に相補PWMモードのブロック図を，表8－18に相補PWMモードの仕様を，図8－58に相補PWMモードの出力モデルを，図8－59に相補PWMモードの動作例を示します。

図8－57　相補PWMモードのブロック図

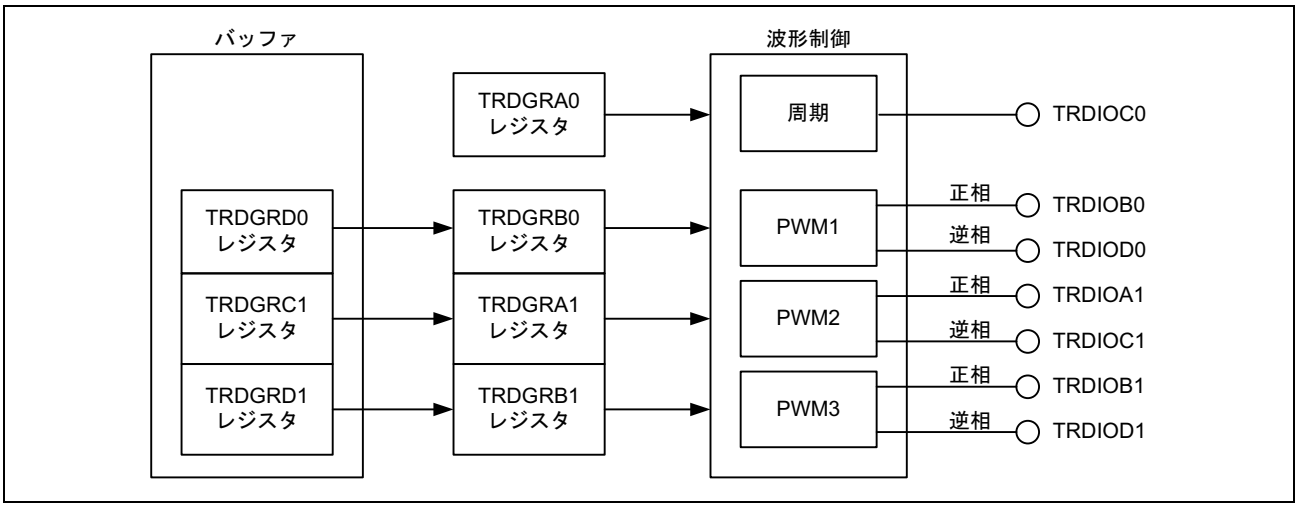
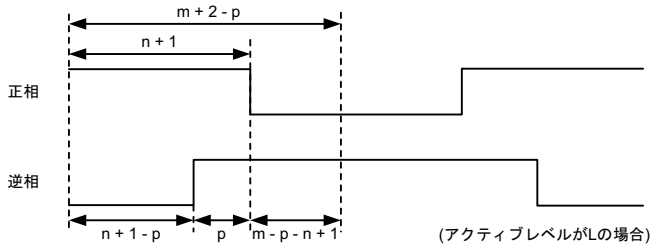


表8－18 相補PWMモードの仕様

項目	仕様
カウント・ソース[注1]	f_{CLK}, f_{PLL}, f_{IH}, f_{SUB}, f_{IL} TRDCLK0端子に入力された外部信号（プログラムで有効エッジを選択可能） TRDCR0レジスタのTCK0～TCK2ビットと，TRDCR1レジスタのTCK0～TCK2ビットは同じ値（同じカウント・ソース）にしてください。
カウント動作	アップカウントまたはダウンカウント。アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー致すると，TRD0, TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが0000HからFFFFHになるとTRD0, TRD1ともアップカウントになる。
PWM波形	PWM周期：1/fk ×（m + 2 - p）× 2[注2] 短絡防止時間：p 正相のアクティブレベル幅：1/fk ×（m - n - p + 1）×2 逆相のアクティブレベル幅：1/fk ×（n + 1 - p）×2 fk：カウント・ソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRB0レジスタ設定値（PWM出力1） TRDGRA1レジスタ設定値（PWM出力2） TRDGRB1レジスタ設定値（PWM出力3） p：TRD0レジスタ設定値 
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1（カウント開始）書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0（カウント停止）書き込み（PWM出力端子はTRDFCRレジスタのOLS0，OLS1ビットで選択した初期出力レベルを出力）
割り込み要求発生タイミング	・コンペアー致（TRDiレジスタとTRDGRjiレジスタの内容が一致） ・TRD1アンダフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK（外部クロック）入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力（ポートまたはINTP0割り込み入力）
タイマの読み出し	TRDiレジスタを読むと，カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	・パルス出力強制遮断信号入力（「8.3.1（4）パルス出力強制遮断」を参照） ・正相，逆相のアクティブレベルと初期出力レベルを個々に選択 ・バッファ・レジスタからの転送タイミング選択

注1. タイマRDのカウント・ソースを設定する場合、周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。

2. カウント開始後，PWM周期は固定です。

備考 i = 0, 1, j = A, B, C, D

（1）動作例

図8－58　相補PWMモードの出力モデル

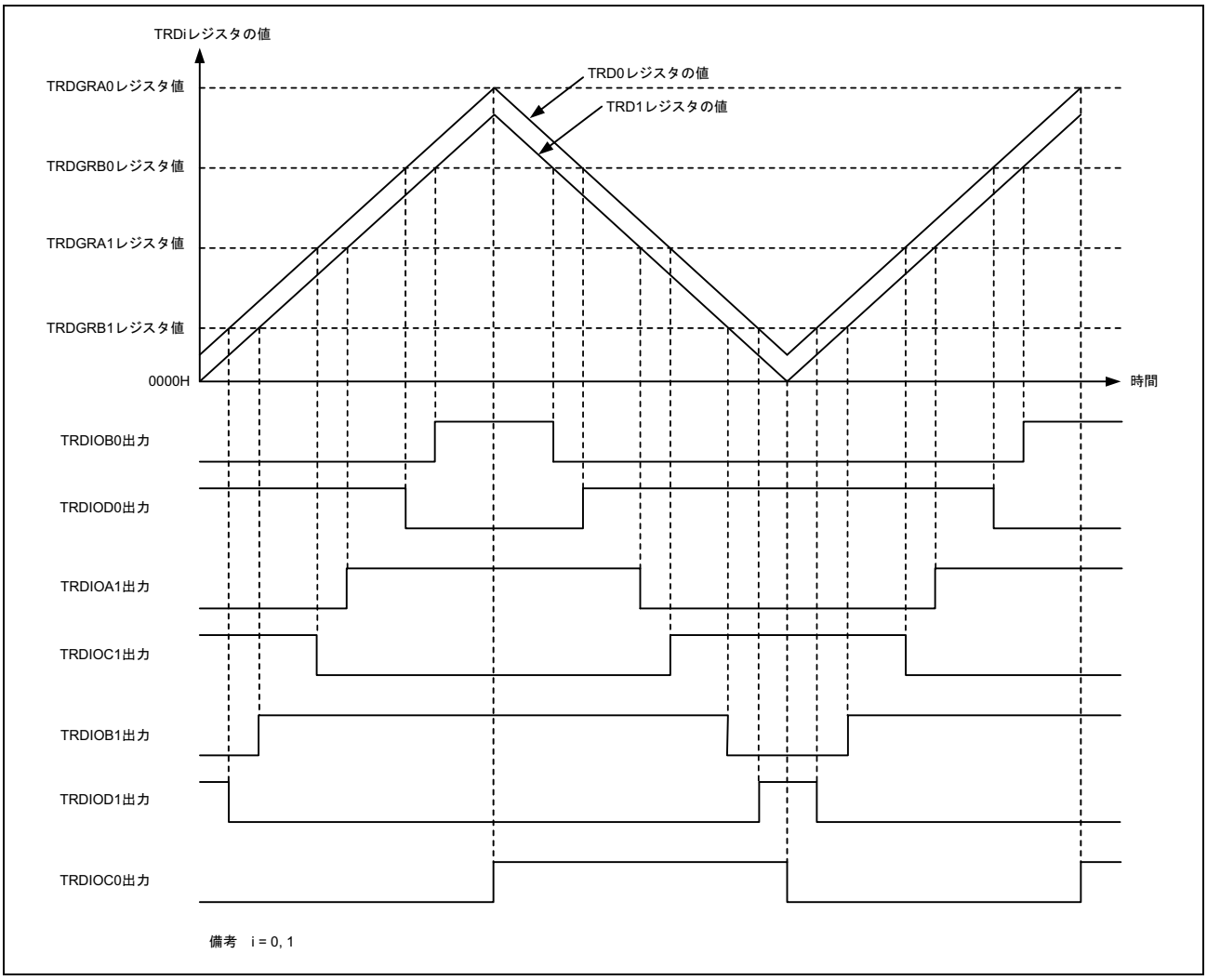
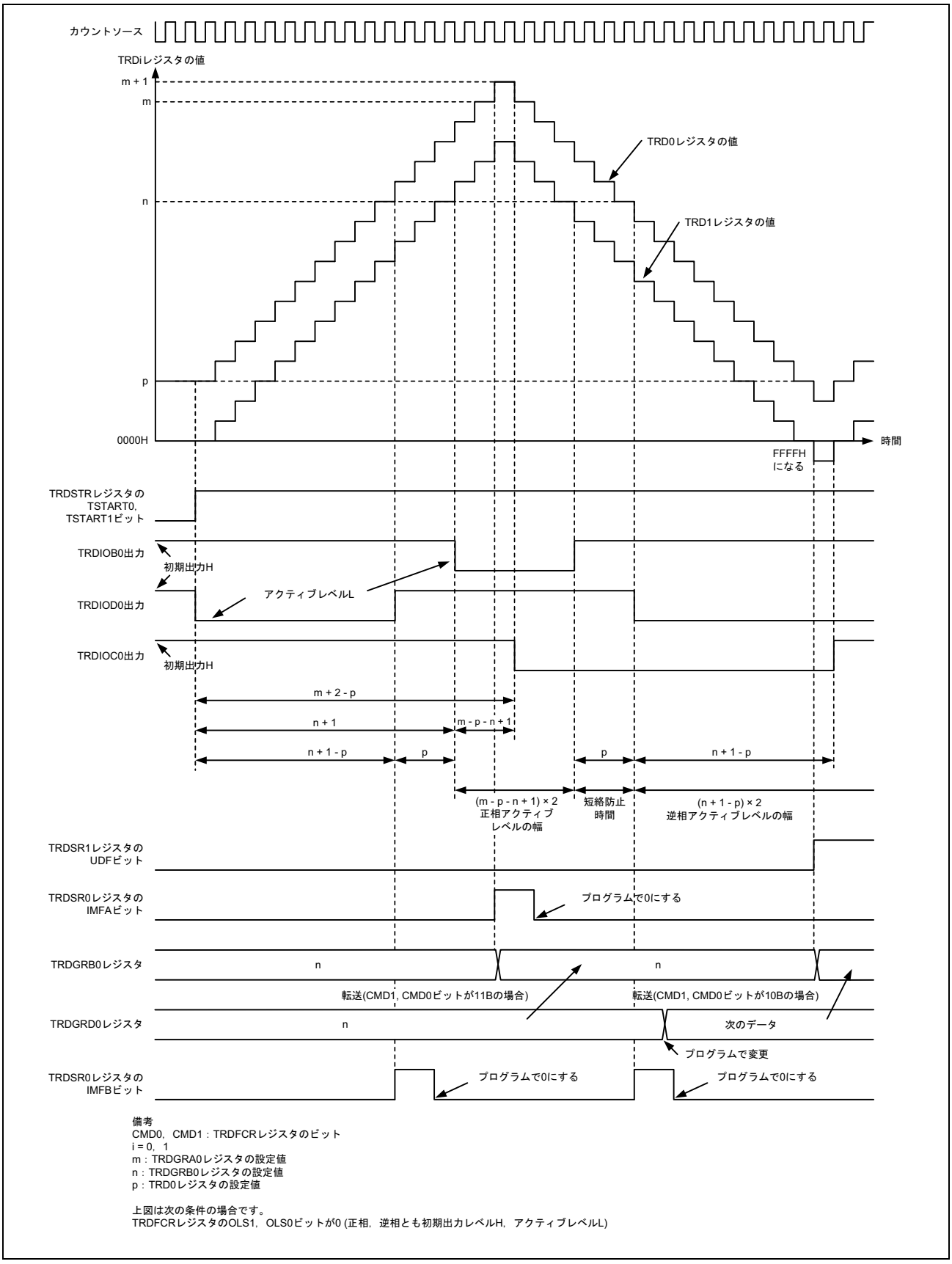


図8－59 相補PWMモードの動作例



備考
CMD0，CMD1：TRDFCRレジスタのビット
i = 0，1
m：TRDGRA0レジスタの設定値
n：TRDGRB0レジスタの設定値
p：TRD0レジスタの設定値

上図は次の条件の場合です。
TRDFCRレジスタのOLS1，OLS0ビットが0 (正相，逆相とも初期出力レベルH，アクティブレベルL)

（2）バッファ・レジスタからの転送タイミング

- TRDGRD0, TRDGRC1, TRDGRD1レジスタからTRDGRB0, TRDGRA1, TRDGRB1レジスタへの転送
  TRDFCRレジスタのCMD1, CMD0ビットが10Bの場合, TRD1がアンダフローしたときに転送します。
  CMD1, CMD0ビットが11Bの場合, TRD0とTRDGRA0レジスタがコンペアー致したときに転送します。

8.3.7　PWM3モード

同周期のPWM波形を2本出力します。

図8－60にPWM3モードのブロック図を，表8－19にPWM3モードの仕様を，図8－61にPWM3モードの動作例を示します。

図8－60　PWM3モードのブロック図

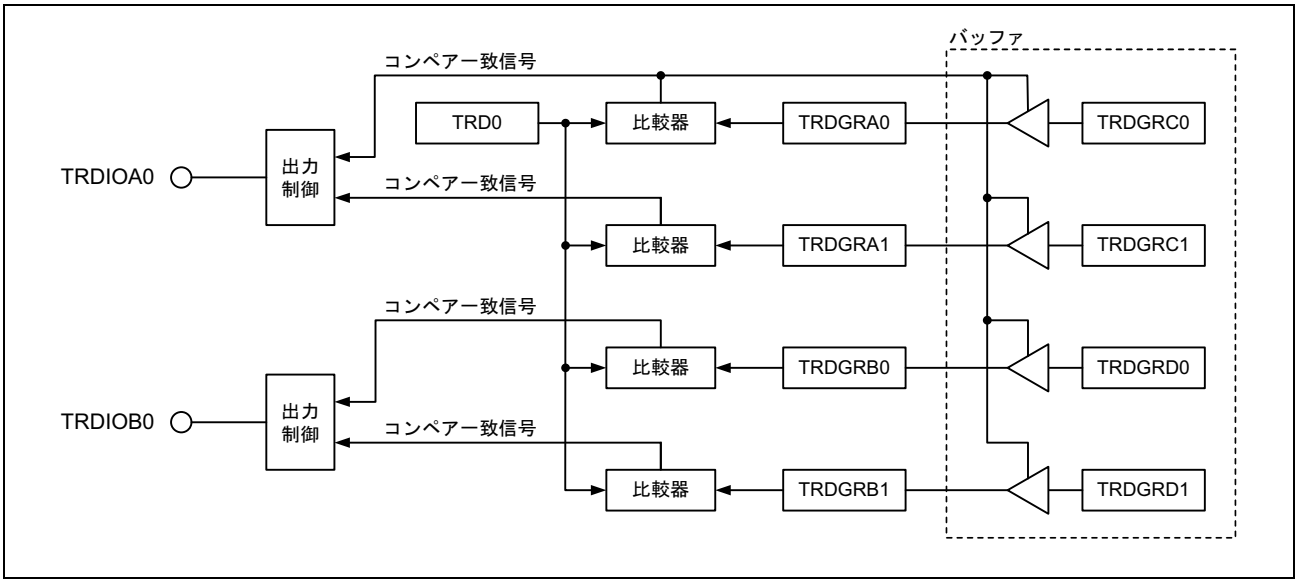
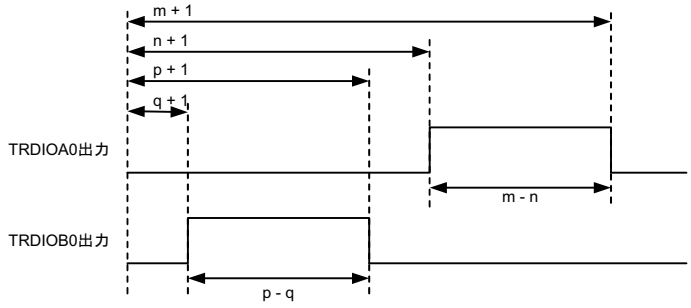


表8－19 PWM3モードの仕様

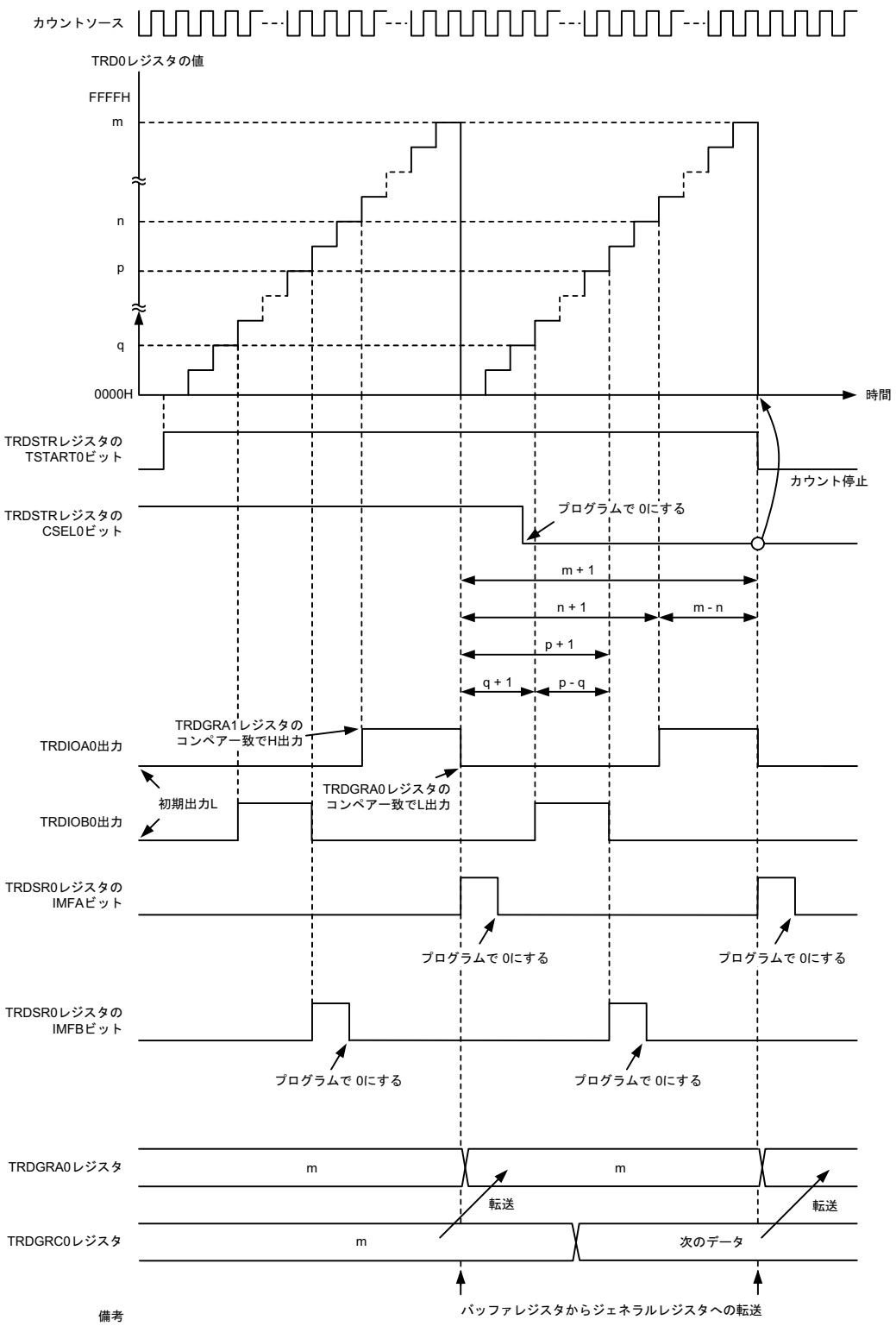
項目	仕様
カウント・ソース注	f_{CLK}, f_{PLL}, f_{IH}, f_{SUB}, f_{IL}
カウント動作	TRD0はアップカウント（TRD1は使用しない）
PWM波形	PWM周期：1/fk × （m + 1） TRDIOA0出力のアクティブレベル幅：1/fk × （m - n） TRDIOB0出力のアクティブレベル幅：1/fk × （p - q） fk：カウント・ソースの周波数 m：TRDGRA0レジスタ設定値 n：TRDGRA1レジスタ設定値 p：TRDGRB0レジスタ設定値 q：TRDGRB1レジスタ設定値  （アクティブレベルがHの場合）
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1（カウント開始）書き込み
カウント停止条件	・ TRDSTRレジスタのCSEL0ビットが1に設定されているとき，TSTART0ビットへの0（カウント停止）書き込み PWM出力端子はカウント停止前の出力レベルを保持 ・ TRDSTRレジスタのCSEL0ビットが0の場合，TRDGRA0コンペアー致でカウント停止 PWM出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	・ コンペアー致（TRDiレジスタとTRDGRjiレジスタの内容が一致） ・ TRD0オーバフロー
TRDIOA0, TRDIOB0端子機能	PWM出力
TRDIOC0, TRDIOD0, TRDIOA1～TRDIOD1端子機能	I/Oポート
INTP0端子機能	パルス出力強制遮断信号入力（ポートまたはINTP0割り込み入力）
タイマの読み出し	TRD0レジスタを読むと，カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	・ パルス出力強制遮断信号入力（「8.3.1（4）パルス出力強制遮断」を参照） ・ アクティブレベルを端子ごとに選択 ・ バッファ動作（「8.3.1（2）バッファ動作」を参照）

注 タイマRDのカウント・ソースを設定する場合、周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。

備考 i = 0, 1, j = A, B, C, D

（1）動作例

図8－61 PWM3モードの動作例



備考
j = A, B
m：TRDGRA0レジスタの設定値
n：TRDGRA1レジスタの設定値
p：TRDGRB0レジスタの設定値
q：TRDGRB1レジスタの設定値

上図は次の条件の場合です。
- TRDOCRレジスタのTOA0，TOB0ビットがともに0 (初期出力L，TRDGRj1レジスタのコンペアー致でH出力，TRDGRj0レジスタのコンペアー致でL出力)
- TRDMRレジスタのTRDBFC0ビットが1 (TRDGRC0レジスタはTRDGRA0レジスタのバッファレジスタ)

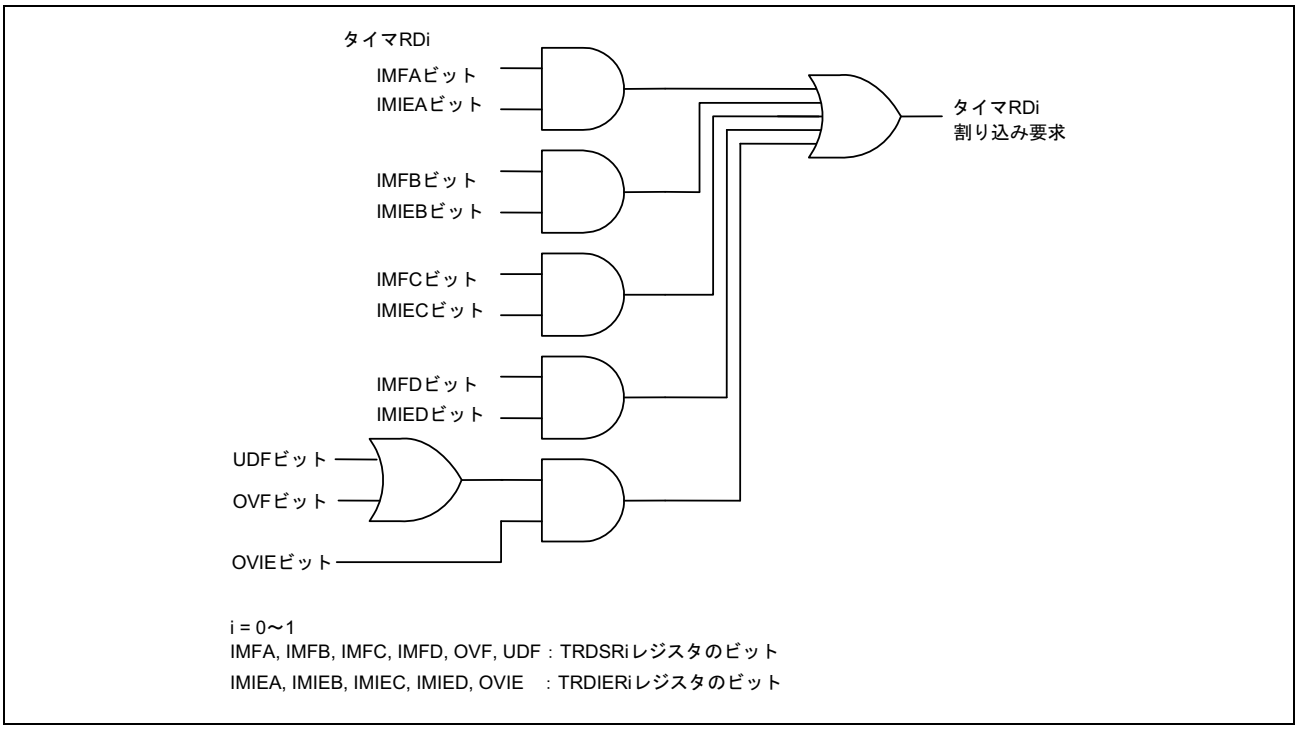
8.4　タイマRD割り込み

タイマRDは，タイマRD0とタイマRD1ごとに6つの要因からタイマRDi（i = 0～1）割り込み要求を発生します。表8－20にタイマRD割り込み関連レジスタを，図8－62にタイマRD割り込みのブロック図を示します。

表8－20　タイマRD割り込み関連レジスタ

	タイマRDステータス・レジスタ	タイマRD割り込み許可レジスタ	割り込み要求フラグ（レジスタ）	割り込みマスク・フラグ（レジスタ）	優先順位指定フラグ（レジスタ）
タイマRD0	TRDSR0	TRDIER0	TRDIF0（IF0H）	TRDMK0（MK0H）	TRDPR00（PR00H） TRDPR10（PR10H）
タイマRD1	TRDSR1	TRDIER1	TRDIF1（IF0H）	TRDMK1（MK0H）	TRDPR01（PR00H） TRDPR11（PR10H）

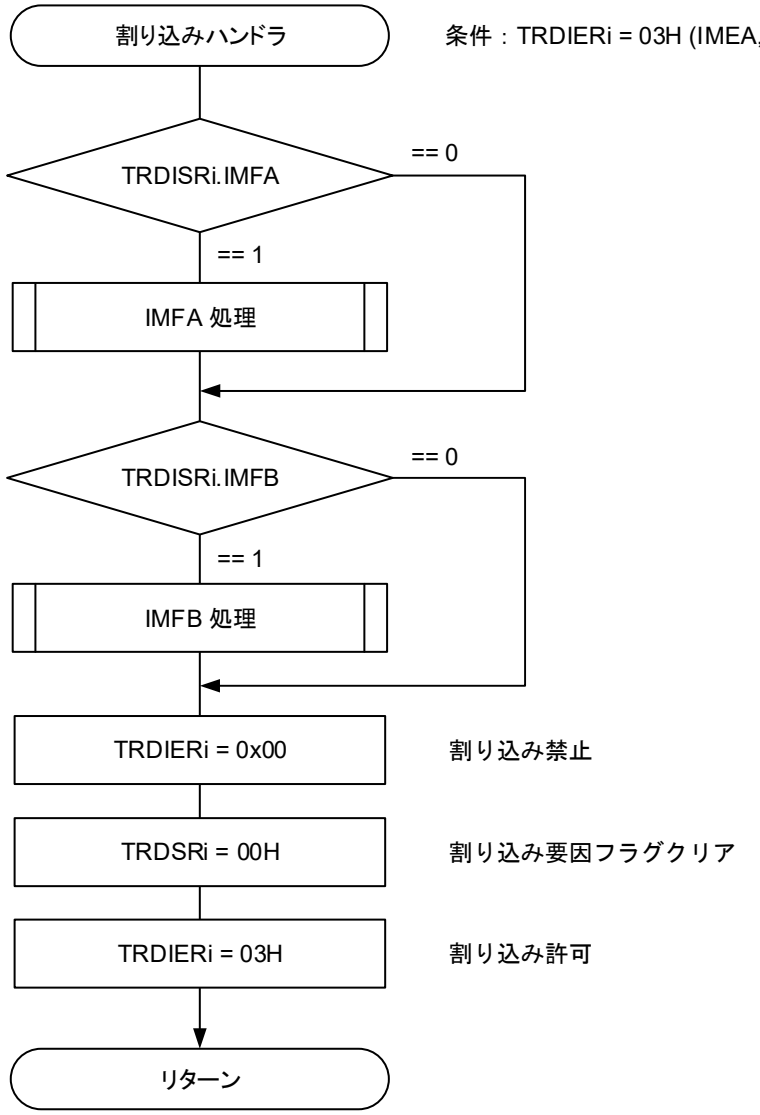
図8－62　タイマRD割り込みのブロック図



タイマRDは，複数の割り込み要求要因から1つの割り込み要因（タイマRD割り込み）を発生するため，他のマスカブル割り込みとは次のような違いがあります。

- TRDSRiレジスタのビットが1で，それに対するTRDIERiレジスタのビットが1（割り込み許可）の場合，IF0Hレジスタの TRDIFiビットが1（割り込み要求あり）になります。
- TRDIERiレジスタの複数のビットを1にしている場合，どの要求要因による割り込みかは，TRDSRiレジスタで判定してください。
- TRDSRiレジスタの各ビットは，割り込みが受け付けられても自動的に0になりませんので，割り込みルーチン内で0にしてください。
  TRDSRiレジスタの各ビットをクリアする場合，下記（a），（b）のいずれかの方法で実施してください。
  （a）TRDIERiレジスタを00H（すべての割り込みを禁止）にした後，ステータスフラグに0を書いてください。
  （b）TRDIERiレジスタのなかに1を設定しているビットがあり，かつそのビットで許可した割り込み要因のステータスフラグが1の場合，TRDSRiレジスタのステータスフラグが1のビットすべてに対して同時に0を書いてください。

★



- TRDIERiレジスタの複数のビットを1にしているときに，最初の要求要因が成立してTRDIFiビットがセット（1）された後に次の要求要因が成立した場合，割り込みが受け付けられるとTRDIFiビットはクリア（0）されます。

★ ただし，先に成立した要求要因をクリアした後で発生した要求要因によりTRDIFiビットがセット（1）されます。

8.5 タイマRD使用上の注意

8.5.1 SFRリード/ライトアクセス

ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1かつ，PER1レジスタのTRD0EN = 0の場合，タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は，f_{CLK}をf_{IH}に設定しTRD0EN = 1にセットしたあとに読み出してください。

タイマRDを設定する際には，最初にPER1レジスタのTRD0ENビットを1にしてください。TRD0ENビットが0の場合は，タイマRDの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・レジスタ，ポート・モード・レジスタは除く）。

また，以下のレジスタはカウント動作中に書き換え禁止のレジスタです。

TRDELCレジスタ，TRDMRレジスタ，TRDPMRレジスタ，TRDFCRレジスタ，TRDOER1レジスタ，TRDOER2レジスタのTRDPTOビット，TRDDFiレジスタ，TRDCRiレジスタ，TRDIORAiレジスタ，TRDIORCiレジスタ，TRDPOCRiレジスタ

（1）TRDSTRレジスタ

- TRDSTRレジスタは8ビット・メモリ操作命令で設定してください。
- TRDSTRレジスタのCSELiビット（i = 0, 1）が0（TRDiレジスタとTRDGRAiレジスタのコンペアー致でカウント停止）の場合, TSTARTiビットに0（カウント停止）を書いても，カウントは停止せず,TSTARTiビットも変化しません。
  TRDGRAiレジスタとのコンペアー致時のみ, TSTARTiビットは0（カウント停止）となります。
  TRDSTRレジスタを書き換える際で, CSELiビットが0の場合，カウント動作に影響なくCSELiビットを1へ変更したい場合は, TSTARTiビットに0を書いてください。
  TSTARTiビットに1を書き込むと，カウンタが停止中の場合カウント開始する恐れがあります。
  また，プログラムでカウントを停止させる場合は, CSELiビットを1にした後で, TSTARTiビットに0を書いてください。同時に（1命令で）CSELiビットに1, TSTARTiビットに0を書いてもカウントは停止できません。
- TRDIOji端子（j = A, B, C, D）をタイマRD出力で使用している場合の，カウント停止時の出力レベルを表8－21に示します。

表8－21 カウント停止時のTRDIOji（j = A, B, C, D）端子出力レベル

カウント停止方法	カウント停止時のTRDIOji端子出力
CSELiビットが1のときに，TSTARTiビットに0を書きカウント停止	直前の出力レベルを保持（タイマRDの相補PWMモード，リセット同期PWMモードではTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力）
CSELiビットが0のときに，TRDiレジスタとTRDGRAiレジスタのコンペアー致でカウント停止	コンペアー致による出力変化後，そのレベルを保持（タイマRDの相補PWMモード，リセット同期PWMモードではTRDFCRレジスタのOLS0，OLS1ビットで選択した初期出力レベルを出力）

備考 i = 0, 1, j = A, B, C, D

（2）TRDDFiレジスタ（i = 0, 1）

TRDDFiレジスタのDFCK0, DFCK1ビットを設定した後，カウント動作を開始してください。

8.5.2　モードの切り替え

- 動作中にモードを切り替える際は，カウント停止状態（TSTART0ビット，TSTART1ビットを0）にした後，行ってください。
- TSTART0ビット，TSTART1ビットを0から1へ変更する前に，TRDIF0ビット，TRDIF1ビットを0にしてください。詳細は「第22章　割り込み機能」を参照してください。

8.5.3　カウント・ソース

- カウント・ソースを切り替える際は，カウントを停止した後，切り替えてください。

  [変更手順]

  （1）TRDSTRレジスタのTSTARTiビット（i = 0, 1）を0（カウント停止）にする

  （2）TRDCRiレジスタのTCK0～TCK2ビットを変更する
- タイマRDのカウント・ソースを設定する場合、周辺イネーブル・レジスタ1（PER1）のビット4（TRD0EN）をセットする前に、f_{CLK}にカウント・ソースと同じクロック源を設定してください。

8.5.4　インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック（f_{TRD}）の3サイクル以上にしてください。
- TRDIOji端子にインプットキャプチャ信号が入力されてから，タイマRDの動作クロック（f_{TRD}）の2～3サイクル後にTRDiレジスタの値をTRDGRjiレジスタに転送します（デジタル・フィルタなしの場合）。（i = 0, 1。j = A, B, C, D）
- インプットキャプチャ・モードでは, TRDSTRレジスタのTSTARTiビットが0（カウント停止）のときもTRDIORjiレジスタのTRDIOj0, TRDIOj1ビットで選択したエッジがTRDIOji端子に入力されると，TRDIOji入力の有効エッジのインプットキャプチャ割り込み要求が発生します（i = 0,1。j = A, B, C, D）。インプットキャプチャ信号のパルス幅はタイマRDの動作クロック（f_{TRD}）の3サイクル以上にしてください。

8.5.5　TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順（i = 0, 1）

リセット後,TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子と共用しているI/Oポートは入力ポートとして機能します。

TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力する場合は，以下の手順で設定してください。

変更手順

（1）モード設定，初期値設定をする

（2）TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の出力許可にする（TRDOER1レジスタ）。

（3）TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・レジスタのビットを0にする。

（4）TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードに設定する（TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力開始）。

（5）カウントを開始する（TSTART0, TSTART1ビットを1にする）。

TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合，以下の手順で設定してください。

（1）TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを入力モードに設定する（TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から入力開始）。

（2）インプットキャプチャ機能に設定する。

（3）カウントを開始する（TSTART0, TSTART1ビットを1にする）。

TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子を出力モードから入力モードに切り替える場合，端子の状態によりインプットキャプチャ動作することがあります。デジタル・フィルタを使用しない場合，タイマRDの動作クロック（f_{TRD}）の2サイクル以上経過した後で，エッジ検出を行います。デジタル・フィルタを使用する場合，デジタル・フィルタのサンプリング・クロックの5サイクル以上経過した後で，エッジ検出を行います。

8.5.6　外部クロック　TRDCLK0

TRDCLK0端子に入力する外部クロックのパルス幅は，タイマRDの動作クロック（f_{TRD}）の3サイクル以上にしてください。

8.5.7　リセット同期PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- リセット同期PWMモードに設定するときは，次の手順で設定してください。

[変更手順]

（1）TRDSTRレジスタのTSTART0ビットを0（カウント停止）にする

（2）TRDFCRレジスタのCMD1, CMD0ビットを00B（タイマモード, PWMモード, PWM3 モード）にする

（3）CMD1, CMD0ビットを01B（リセット同期PWMモード）にする

（4）その他のタイマRD関連レジスタを再設定する

8.5.8　相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- TRDFCRレジスタのCMD0, CMD1ビットを変更するときは，次の手順で変更してください。

[変更手順：相補PWMモードにする場合（再設定含む），または相補PWMモードでバッファ・レジスタからジェネラル・レジスタへの転送タイミングを変更する場合]

（1）TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0（カウント停止）にする

（2）TRDFCRレジスタのCMD1, CMD0ビットを00B（タイマモード, PWMモード, PWM3 モード）にする

（3）CMD1, CMD0ビットを10B，または11B（相補PWMモード）にする

（4）その他のタイマRD関連レジスタを再設定する

[変更手順：相補PWMモードを止める場合]

（1）TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0（カウント停止）にする

（2）CMD1, CMD0ビットを00B（タイマモード, PWMモード, PWM3モード）にする

- 動作中にTRDGRA0, TRDGRB0, TRDGRA1, TRDGRB1レジスタに書き込まないでください。

  PWM波形を変更する場合は, TRDGRD0, TRDGRC1, TRDGRD1レジスタへ書き込んだ値を，バッファ動作を用いてTRDGRB0, TRDGRA1, TRDGRB1レジスタへ転送してください。

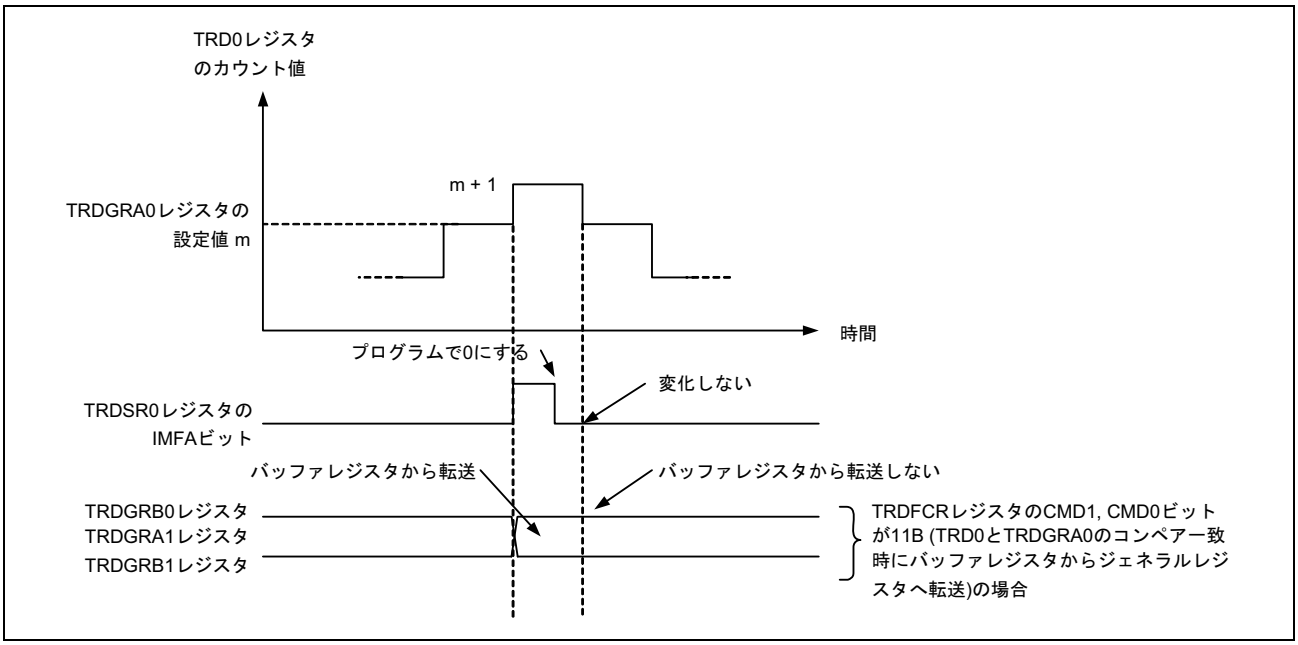
  ただし, TRDGRD0, TRDGRC1, TRDGRD1の書き込みに際しては, TRDBFD0, TRDBFC1, TRDBFD1ビットを0（ジェネラル・レジスタ）にして書き込み，その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1（バッファ・レジスタ）にできます。

  PWM周期は変更できません。
- TRDGRA0レジスタに設定した値をmとすると, TRD0レジスタはアップカウントからダウンカウントに変わるとき, m - 1→m→m + 1→m→m - 1とカウントします。

  m→m+1のとき, TRDSRiレジスタのIMFAビットが1になります。また, TRDFCRレジスタのCMD1, CMD0ビットが11B（相補PWMモード, TRD0とTRDGRA0レジスタのコンペアー致でバッファデータ転送）の場合，バッファ・レジスタ（TRDGRD0, TRDGRC1, TRDGRD1）の内容がジェネラル・レジスタ（TRDGRB0, TRDGRA1, TRDGRB1）に転送されます。

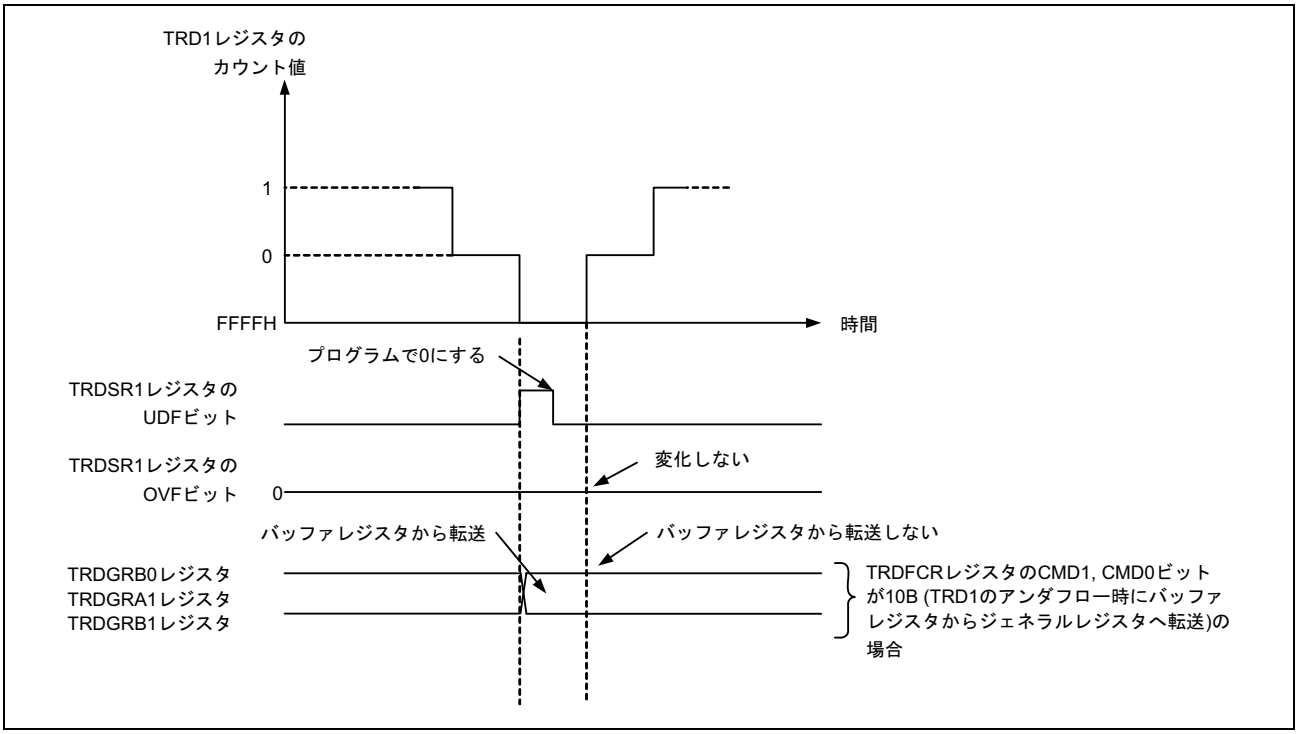
  m + 1→m→m - 1の動作ではIMFAビットは変化せず, TRDGRA0レジスタ等へのデータ転送もありません。

図8－63　相補PWMモード時のTRD0とTRDGRA0レジスタがコンペアー致したときの動作



- TRD1はダウンカウントからアップカウントに変わるとき, 1→0→FFFFH→0→1とカウントします。
  1→0→FFFFHの動作によって, TRDSRiレジスタのUDFビットが1になります。また, TRDFCRレジスタのCMD1, CMD0ビットが10B（相補PWMモード, TRD1のアンダフローでバッファデータ転送）の場合，バッファ・レジスタ（TRDGRD0, TRDGRC1, TRDGRD1）の内容がジェネラル・レジスタ（TRDGRB0, TRDGRA1, TRDGRB1）に転送されます。
  FFFFH → 0 → 1の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また，このとき, TRDSRiレジスタのOVFビットは変化しません。

図8－64 相補PWMモード TRD1がアンダフローしたときの動作



- バッファ・レジスタからジェネラル・レジスタへのデータ転送タイミングは, TRDFCRレジスタのCMD0, CMD1ビットで選択してください。ただし，デューティ0%の場合およびデューティ100%の場合, CMD0, CMD1ビットの値に関係なく，以下に示すタイミングで転送します。

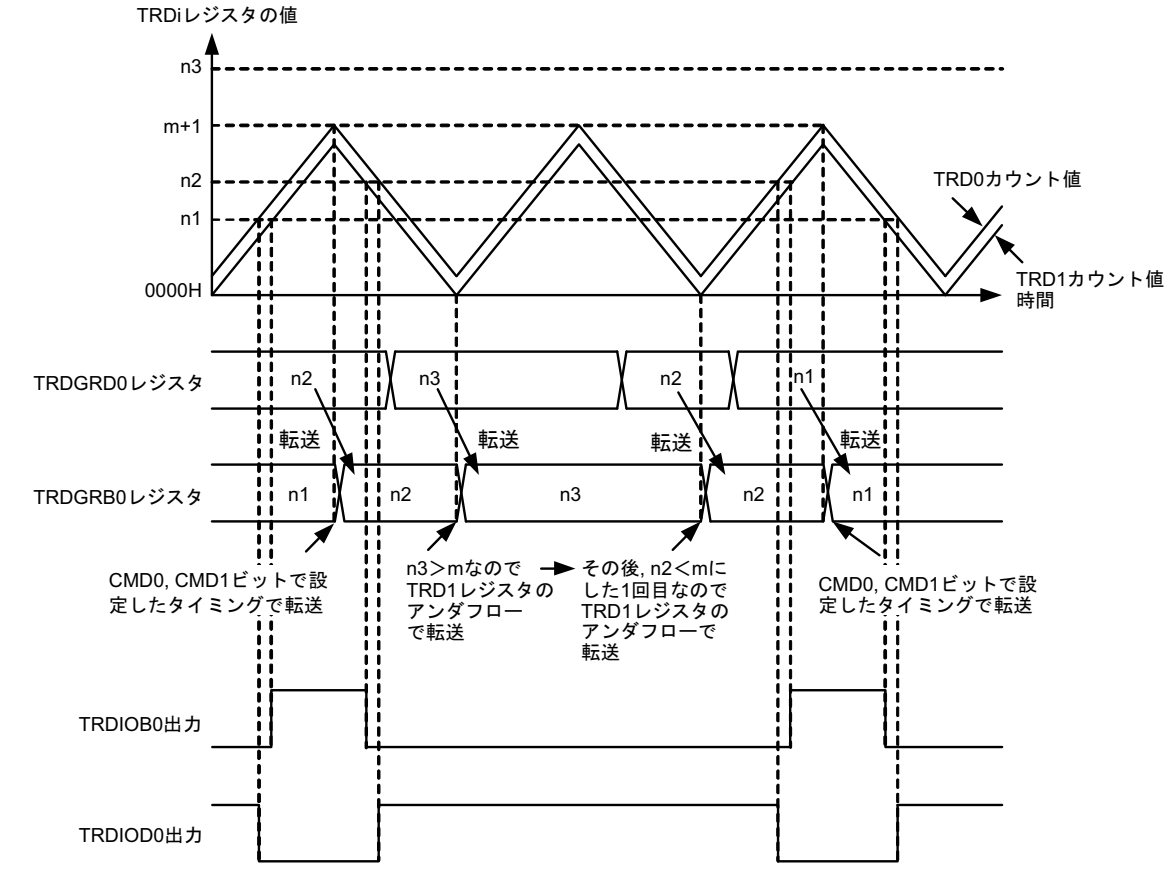
バッファ・レジスタの値≧TRDGRA0レジスタの値の場合（デューティ0%）

TRD1レジスタのアンダフローで転送します。

その後, 0001H以上かつTRDGRA0レジスタの値より小さい値をバッファ・レジスタに設定すると，設定後1回目にTRD1レジスタがアンダフローしたとき，ジェネラル・レジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。デューティ0%をデューティ100%へ直に変えることはできません。

ただし，バッファ・レジスタの初期値FFFFHのままデューティ0%の波形を生成することはできません。デューティ0%の波形を生成したい場合，バッファ・レジスタへの書き込みによりバッファ・レジスタの値≧TRDGRA0としてください。

図8－65 相補PWMモード時のバッファ・レジスタの値≧TRDGRA0レジスタ値の場合の動作例



備考
m：TRDGRA0レジスタ設定値

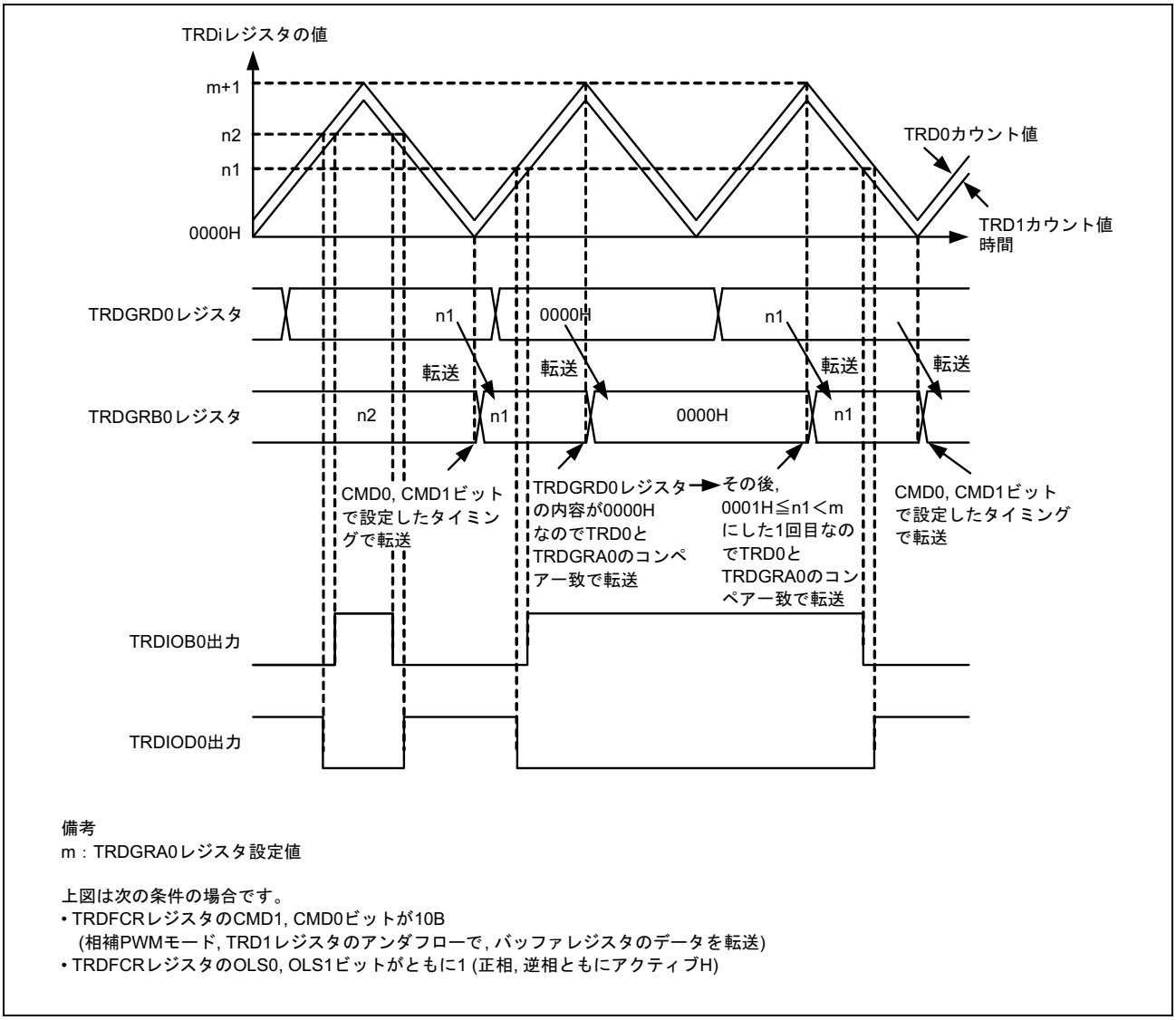
上図は次の条件の場合です。
- TRDFCRレジスタのCMD1, CMD0ビットが11B
  (相補PWMモード, TRD0レジスタとTRDGRA0レジスタのコンペアー致時, バッファレジスタのデータを転送)
- TRDFCRレジスタのOLS0, OLS1ビットがともに1 (正相, 逆相ともにアクティブH)

バッファ・レジスタの値が0000Hの場合（デューティ100%）

TRD0とTRDGRA0レジスタのコンペアー致で転送します。

その後, 0001H以上かつTRDGRA0レジスタの値より小さい値をバッファ・レジスタに設定すると，設定後1回目にTRD0とTRDGRA0レジスタがコンペアー致したとき，ジェネラル・レジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。デューティ100%をデューティ0%へ直に変えることはできません。

図8－66 相補PWMモード時のバッファ・レジスタの値が0000Hの場合の動作例



備考
m：TRDGRA0レジスタ設定値

上図は次の条件の場合です。
- TRDFCRレジスタのCMD1, CMD0ビットが10B
  (相補PWMモード, TRD1レジスタのアンダフローで, バッファレジスタのデータを転送)
- TRDFCRレジスタのOLS0, OLS1ビットがともに1 (正相, 逆相ともにアクティブH)

★ 8.5.9 タイマRD割り込み使用時の注意事項

タイマRD割り込みは，複数の要求要因に対して1つの割り込みを発生させます。TRDSRiレジスタのビットが1で，それに対するTRDIERiレジスタのビットが1（割り込み許可）の場合，TRDIFiビットが1（割り込み要求あり）になります。どの要求要因による割り込みかはTRDSRiレジスタのビットで判定します。

TRDSRiレジスタのビットは，割り込み処理内で0にクリアしてください。

詳細については、**8.4 タイマRD割り込み**を参照してください。

第9章　リアルタイム・クロック

9.1　リアルタイム・クロックの機能

リアルタイム・クロックには，次のような機能があります。

- 年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
- 定周期割り込み機能（周期：0.5秒，1秒，1分，1時間，1日，1月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hzの端子出力機能
- 時計誤差補正機能

注意　リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）、高速オンチップ・オシレータ（f_{IH} = 4 MHzまたは8 MHz）、および高速システム・クロック（f_{MX} = 4 MHz, 8 MHz, 4.19 MHz, 8.38 MHz）を選択して，年，月，曜日，日，時，分，秒のカウントができます。高速オンチップ・オシレータまたは高速システム・クロックを選択する場合は、RTCクロック選択レジスタ（RTCCL）でクロックおよび分周の選択をしてください。

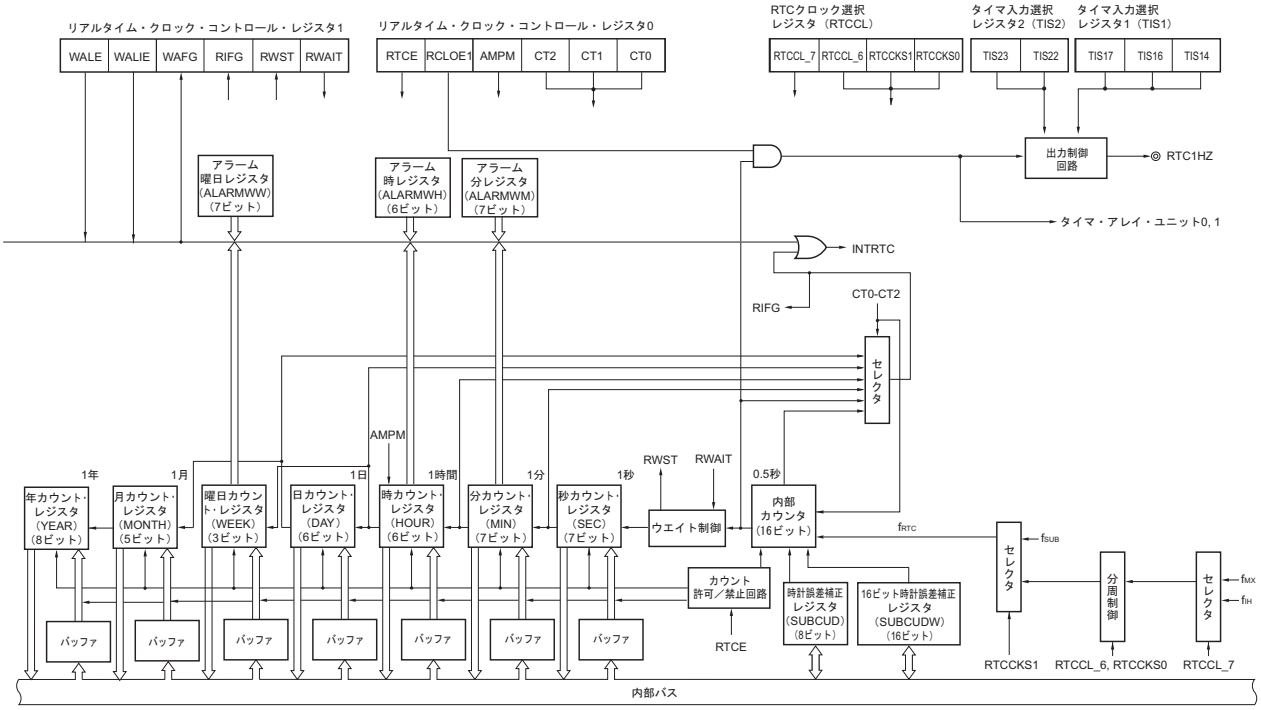
9.2　リアルタイム・クロックの構成

リアルタイム・クロックは，次のハードウエアで構成されています。

表9－1　リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ（16ビット）
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	動作スピード・モード制御レジスタ（OSMC）
	タイマ入力選択レジスタ1（TIS1）
	タイマ入力選択レジスタ2（TIS2）
	RTCクロック選択レジスタ（RTCCL）
	リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
	リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
	秒カウント・レジスタ（SEC）
	分カウント・レジスタ（MIN）
	時カウント・レジスタ（HOUR）
	日カウント・レジスタ（DAY）
	曜日カウント・レジスタ（WEEK）
	月カウント・レジスタ（MONTH）
	年カウント・レジスタ（YEAR）
	時計誤差補正レジスタ（SUBCUD）
	16ビット時計誤差補正レジスタ（SUBCUDW）
	アラーム分レジスタ（ALARMWM）
	アラーム時レジスタ（ALARMWH）
	アラーム曜日レジスタ（ALARMWW）

図9－1　リアルタイム・クロックのブロック図



9.3　リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは，次のレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）
- 動作スピード・モード制御レジスタ（OSMC）
- タイマ入力選択レジスタ1（TIS1）
- タイマ入力選択レジスタ2（TIS2）
- RTCクロック選択レジスタ（RTCCL）
- リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
- リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
- 秒カウント・レジスタ（SEC）
- 分カウント・レジスタ（MIN）
- 時カウント・レジスタ（HOUR）
- 日カウント・レジスタ（DAY）
- 曜日カウント・レジスタ（WEEK）
- 月カウント・レジスタ（MONTH）
- 年カウント・レジスタ（YEAR）
- 時計誤差補正レジスタ（SUBCUD）
- 16ビット時計誤差補正レジスタ（SUBCUDW）
- アラーム分レジスタ（ALARMWM）
- アラーム時レジスタ（ALARMWH）
- アラーム曜日レジスタ（ALARMWW）

9.3.1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは，必ずRTCCLレジスタでRTCの動作クロックを設定し，その後ビット7（RTCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

PER0レジスタは，IAWCTLレジスタのGCSCビット = 1のとき，ライト無効となります。

図9－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・クロック（RTC）の入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC）で使用するSFRへのライト不可 ・リアルタイム・クロック（RTC）はリセット状態
1	入力クロック供給許可 ・リアルタイム・クロック（RTC）で使用するSFRへのリード／ライト可

注意1.　リアルタイム・クロックを使用する場合は，入力クロック（f_{RTC}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は，リアルタイム・クロックの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（動作スピード・モード制御レジスタ（OSMC），タイマ入力選択レジスタ1，2（TIS1，2），RTCクロック選択レジスタ（RTCCL）は除く）。

2.　動作スピード・モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，STOPモード時およびサブ/低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモード時に周辺機能へのクロック供給を停止することが可能です。

3.　RTCENを1に設定する前に，RTCCLレジスタでRTC動作クロックを設定してください。

4.　ビット6には必ず0を設定してください。

9.3.2　動作スピード・モード制御レジスタ（OSMC）

RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，「第5章　クロック発生回路」を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－3　動作スピード・モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブ/低速オンチップ・オシレータ選択クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブ/低速オンチップ・オシレータ選択クロック供給許可 （動作許可となる周辺機能については，表24－1，表24－2および表24－3参照）
1	周辺機能へのサブ/低速オンチップ・オシレータ選択クロック供給停止

9.3.3　タイマ入力選択レジスタ1（TIS1）

TIS1レジスタはタイマ・アレイ・ユニット0の入力要因を選択するレジスタです。

TIS1レジスタのTIS17, TIS16, TIS14ビットは，チャネル7, 6をリアルタイム・クロックと連携して時計誤差補正を実現するときに使用します。TIS17, TIS16 = 0, 1に設定すると，RTC1HZ出力信号がチャネル7のタイマ入力として選択されます。

TIS14 = 1に設定すると，RTC1HZ出力信号がチャネル6のタイマ入力として選択されます。

TIS1レジスタは8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS1レジスタは00Hになります。

図9−4　タイマ入力選択レジスタ1（TIS1）のフォーマット

アドレス：F0075H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS1	TIS17	TIS16	0	TIS14	0	TIS12	0	TIS10

TIS17	TIS16	タイマ・アレイ・ユニット0 チャネル7で使用するタイマ入力の選択
0	0	タイマ入力端子（TI07）の入力信号
0	1	RTC1HZ出力信号
1	0	RXD0端子（ウェイクアップ信号検出とシンク・ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定）
1	1	設定禁止

TIS14	タイマ・アレイ・ユニット0 チャネル6で使用するタイマ入力の選択
0	タイマ入力端子（TI06）の入力信号
1	RTC1HZ出力信号

TIS12	タイマ・アレイ・ユニット0 チャネル5で使用するタイマ入力の選択
0	タイマ入力端子（TI05）の入力信号
1	タイマ入力端子（TI03）の入力信号

TIS10	タイマ・アレイ・ユニット0 チャネル4で使用するタイマ入力の選択
0	タイマ入力端子（TI04）の入力信号
1	タイマ入力端子（TI03）の入力信号

注意1.　TImn端子（m = 0, 1, n = 0〜7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2.　TAUのチャネル7とチャネル6で使用するタイマ入力のクロック・ソースをRTC1HZ出力信号とする場合は，TIS17 = 0, TIS16 = 1, TIS14 = 1と設定して，チャネル7とチャネル6ともRTC1HZ出力信号を選択してください。

備考　LIN-bus通信を使用する場合は，TIS17, TIS16 = 1, 0に設定してRXD0端子の入力信号を選択しておいてください。

9.3.4　タイマ入力選択レジスタ2（TIS2）

TIS2レジスタはタイマ・アレイ・ユニット1の入力要因を選択するレジスタです。

TIS2レジスタのTIS23，TIS22ビットは，チャネル7，6をリアルタイム・クロックと連携して時計誤差補正を実現するときに使用します。TIS23 = 1に設定すると，RTC1HZ出力信号がチャネル7のタイマ入力として選択されます。TIS22 = 1に設定すると，RTC1HZ出力信号がチャネル6のタイマ入力として選択されます。

TIS2レジスタは8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，TIS2レジスタは00Hになります。

図9－5　タイマ入力選択レジスタ2（TIS2）のフォーマット

アドレス：F007AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS2	0	0	0	0	TIS23	TIS22	0	0

TIS22	タイマ・アレイ・ユニット1 チャネル6で使用するタイマ入力の選択
0	タイマ入力端子（TI16）の入力信号
1	RTC1HZ 出力信号

TIS23	タイマ・アレイ・ユニット1 チャネル7で使用するタイマ入力の選択
0	タイマ入力端子（TI17）の入力信号
1	RTC1HZ出力信号

注意1.　TImn端子（m = 0, 1, n = 0～7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

2.　TAUのチャネル7とチャネル6で使用するタイマ入力のクロック・ソースをRTC1HZ出力信号とする場合は，TIS23 = 1, TIS22 = 1と設定して，チャネル7とチャネル6ともRTC1HZ出力信号を選択してください。

9.3.5　RTCクロック選択レジスタ（RTCCL）

RTCの動作クロックを選択します。

RTCCLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9−6　RTCクロック選択レジスタ（RTCCL）のフォーマット

アドレス：F02C8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
RTCCL	RTCCL_7	RTCCL_6	0	0	0	0	RTCCKS1	RTCCKS0

RTCCL_7	RTCの動作クロック選択制御
0	高速システム・クロック（f_{MX}）
1	高速オンチップ・オシレータ・クロック（f_{IH}）

RTCCKS1[注3]	RTCCKS0	RTCCL_6	RTC動作クロック選択制御
0	0	×	サブシステム・クロック（f_{SUB}）[注1]
0	1	×	
1	0	0	f_{MX}またはf_{IH}/128[注2]
1	0	1	f_{MX}またはf_{IH}/122[注2]
1	1	0	f_{MX}またはf_{IH}/256[注2]
1	1	1	f_{MX}またはf_{IH}/244[注2]

注1.　CKSELレジスタのSELLOSCビットが1の場合は，リアルタイム・クロックの入力クロック（f_{RTC}）にサブシステム・クロック（f_{SUB}）を供給できません。

2.　RTCCL_7を選択した後，切り替えてください。

3.　RTCCKS1ビットを1に設定する場合、あらかじめCKCレジスタのCSSビットを0にしてCPU/ハードウエア・クロック(f_{CLK})にメイン/PLL選択クロック(f_{MP})を選択してください。

備考　×　：don’t care

9.3.6　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

リアルタイム・クロック動作の開始／停止，RTC1HZ端子の制御，12/24時間制，定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－7　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット

アドレス：FFF9DH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力（1 Hz）禁止
1	RTC1HZ端子の出力（1 Hz）許可

AMPM	12時間制／24時間制の選択
0	12時間制（午前／午後を表示）
1	24時間制
・AMPMビットの値を変更する場合は，RWAITビット（リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のビット0）= 1にしてから書き換えてください。AMPMレジスタの値を変更すると，時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。 ・時間桁表示表を表9－2に示します。	

CT2	CT1	CT0	定周期割り込み（INTRTC）の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度（秒カウントアップに同期）
0	1	0	1秒に1度（秒カウントアップと同時）
0	1	1	1分に1度（毎分00秒）
1	0	0	1時間に1度（毎時00分00秒）
1	0	1	1日に1度（毎日00時00分00秒）
1	1	×	1月に1度（毎月1日午前00時00分00秒）
カウンタ動作中（RTCE = 1）にCT2-CT0ビットの値を変更する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，RIFGフラグ，RTCIFフラグをクリアしてから割り込み処理許可にしてください。			

注意　RTCE = 1のときにRCLOE1ビットを変更しないでください。

備考　×：don’t care

9.3.7　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

アラーム割り込み機能，カウンタのウエイトを制御する8ビットのレジスタです。

RTCC1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－8　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（1/2）

アドレス：FFF9EH　リセット時：00H　R/W[注]

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ（RTCC1レジスタのWALIEフラグ，アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW））を設定する場合，WALEビットを一致動作無効0にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，動作クロック（f_{RTC}）の1クロック後に1となります。 0を書き込むことでクリアされ，1の書き込みは無効となります。	

注　ビット1は読み出しのみできます。

図9－8　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により1となります。 0を書き込むことでクリアされ，1の書き込みは無効となります。	

RWST	リアルタイム・クロックのウエイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。	

RWAIT	リアルタイム・クロックのウエイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し，書き込みモード。
カウンタの動作を制御します。 カウンタ値を読み出し，書き込みを行う際は必ず1を書き込んでください。 内部カウンタ（16ビット）は動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。 アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。 RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能（RWST = 1）となるまで動作クロック（f_{RTC}）の最大1クロック時間がかかります。注1、注2 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。 ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。	

注1. RTCE = 1 に設定した後，f_{RTC} の1クロック時間内でRWAIT = 1 とした場合，RWSTビットが”1”になるまで動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

2. スタンバイ（HALTモード，STOPモード，SNOOZEモード）から復帰した後，f_{RTC} の1クロック時間内でRWAIT = 1とした場合，RWSTビットが”1”になるまで動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

注意　RTCC1レジスタに1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に，RIFGフラグ，WAFGフラグをクリアしないようにするためには，該当ビットに書き込みが無効となる1を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き換わっても問題ない場合は，RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1.　定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

2.　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

9.3.8　秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

内部カウンタ（16ビット）からのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－9　秒カウント・レジスタ（SEC）のフォーマット

アドレス：FFF92H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

備考　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

9.3.9　分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大2クロック後にカウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。

MINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－10　分カウント・レジスタ（MIN）のフォーマット

アドレス：FFF93H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.10　時カウント・レジスタ（HOUR）

00-23または01-12, 21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大2クロック後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

図9－11　時カウント・レジスタ（HOUR）のフォーマット

アドレス：FFF94H　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1.　HOURレジスタのビット5（HOUR20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表9－2に示します。

表9－2　時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが0のときに12時間表示，1のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

9.3.11　日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

- 01-31（1, 3, 5, 7, 8, 10, 12月）
- 01-30（4, 6, 9, 11月）
- 01-29（2月 うるう年）
- 01-28（2月 通常年）

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。

DAYレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図9－12　日カウント・レジスタ（DAY）のフォーマット

アドレス：FFF96H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.12　曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大2クロック後にカウンタへ書き込まれます。また設定する値は，10進の00-06をBCDコードで設定してください。

WEEKレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－13　曜日カウント・レジスタ（WEEK）のフォーマット

アドレス：FFF95H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1.　曜日カウント・レジスタ（WEEK）には，月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。

リセット解除後，次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.13　月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。

MONTHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図9－14　月カウント・レジスタ（MONTH）のフォーマット

アドレス：FFF97H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.14　年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ，動作クロック（f_{RTC}）の最大2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。

YEARレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－15　年カウント・レジスタ（YEAR）のフォーマット

アドレス：FFF98H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，「9.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み」を参照し，記載されている手順に従って実施してください。

9.3.15　時計誤差補正レジスタ（SUBCUD）

内部カウンタ（16ビット）から秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－16　時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス：FFF99H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F12	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。 ・DEV = 0設定時：SEC = 00H, 20H, 40Hの期間 ・DEV = 1設定時：SEC = 00Hの期間	

F12	時計誤差補正値の設定
0	{（F5, F4, F3, F2, F1, F0）－1} ×2だけ増加
1	{（/F5, /F4, /F3, /F2, /F1, /F0）＋1）×2だけ減少
（F12, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。 補正値の範囲：（F12=0のとき）　2, 4, 6, 8,・・・120, 122, 124 （F12=1のとき）　－2，－4，－6，－8,・・・－120，－122，－124	

注意1.　/Fn(n=0～5)の/はビット反転を意味しています。

2.　*は0または1を意味しています。

次に，時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	－189.2 ppm～189.2 ppm	－63.1 ppm～63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考　補正範囲が－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

9.3.16　16ビット時計誤差補正レジスタ（SUBCUDW）

内部カウンタ（16ビット）から秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDWレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図9－17　16ビット時計誤差補正レジスタ（SUBCUDW）のフォーマット

アドレス：FFF54H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
SUBCUDW	DEV	－	－	F12	F11	F10	F9	F8

7	6	5	4	3	2	1	0
F7	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正
次に示すタイミングでのSUBCUDWレジスタへの書き込みは禁止です。 ・DEV = 0設定時：SEC = 00H, 20H, 40Hの期間 ・DEV = 1設定時：SEC = 00Hの期間	

F12	時計誤差補正値の設定
0	{（F11 ,F10 ,F9 ,F8 ,F7 ,F6 ,F5 , F4, F3, F2, F1, F0）－1} ×2だけ増加
1	{（/F11, /F10 ,/F9 ,/F8 ,/F7 ,/F6 ,/F5, /F4, /F3, /F2, /F1, /F0）＋1）×2だけ減少
（F12, F11 ,F10 ,F9 ,F8 ,F7, F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。 補正値の範囲：（F12=0のとき）　2, 4, 6, 8,・・・8184, 8186, 8188 （F12=1のとき）　－2，－4，－6，－8,・・・－8184，－8186，－8188	

注意1.　/Fn(n=0～11)の/はビット反転を意味しています。

2.　*は0または1を意味しています。

次に，16ビット時計誤差補正レジスタ（SUBCUDW）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	－12496.9 ppm～12496.9 ppm	－4165.6 ppm～4165.6 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考　補正範囲が－4165.6 ppm以下または4165.6 ppm以上のときは，DEV = 0を設定してください。

9.3.17　アラーム分レジスタ（ALARMWM）

アラームの分を設定するレジスタです。

ALARMWMレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　設定する値は，10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図9－18　アラーム分レジスタ（ALARMWM）のフォーマット

アドレス：FFF9AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

9.3.18　アラーム時レジスタ（ALARMWH）

アラームの時を設定するレジスタです。

ALARMWHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

注意　設定する値は，10進の00～23または，01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図9－19　アラーム時レジスタ（ALARMWH）のフォーマット

アドレス：FFF9BH　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意　ALARMWHレジスタのビット5（WH20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

9.3.19　アラーム曜日レジスタ（ALARMWW）

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－20　アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス：FFF9CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

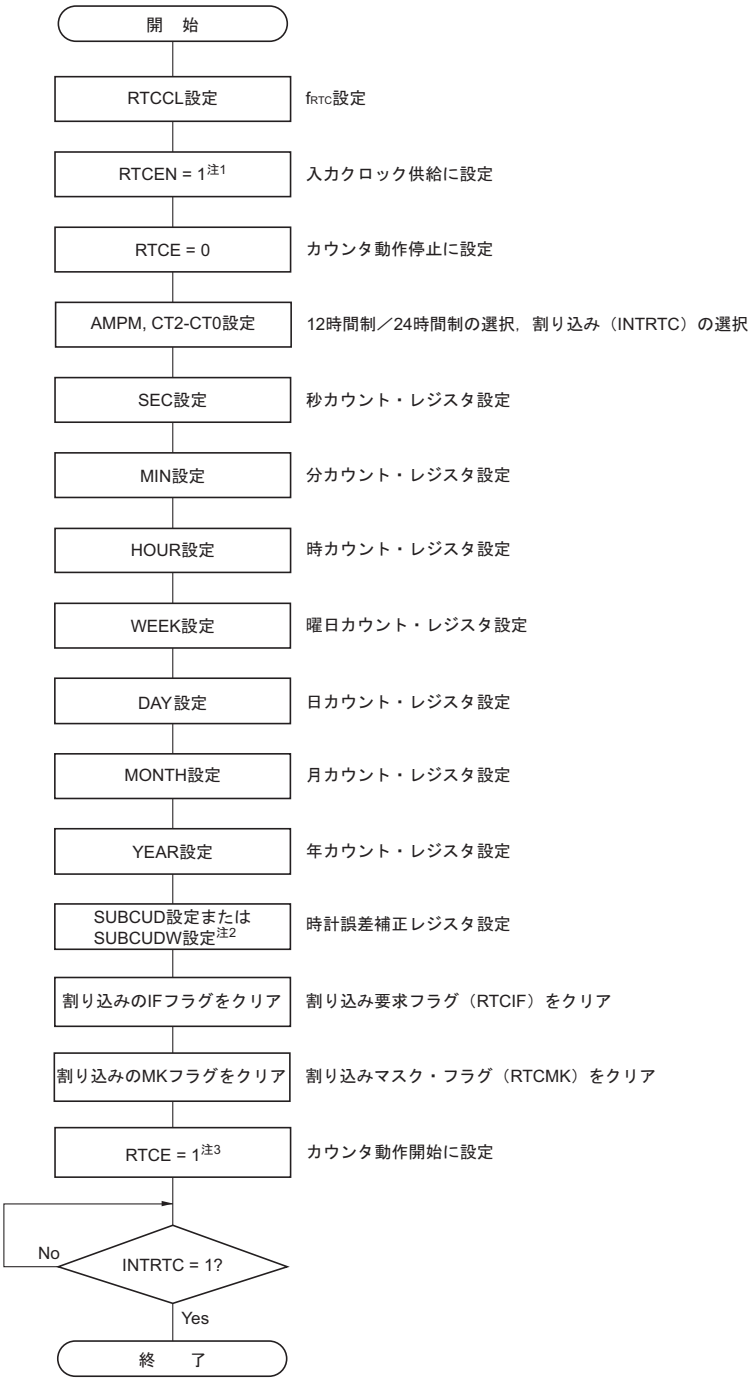
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日 WW 0	月 WW 1	火 WW 2	水 WW 3	木 WW 4	金 WW 5	土 WW 6	10時	1時	10分	1分	10時	1時	10分	1分
毎日　午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日　午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日　午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金　午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜　午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金　午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

9.4　リアルタイム・クロックの動作

9.4.1　リアルタイム・クロックの動作開始

図9－21　リアルタイム・クロックの動作開始手順



注1.　入力クロック（fRTC）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

2.　時計誤差補正する必要がある場合のみ。より高精度な補正をする必要がある場合はSUBCUDWレジスタを設定してください。補正値の算出方法は，「9.4.6 リアルタイム・クロックの時計誤差補正例」を参照してください。

3.　RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は，「9.4.2 動作開始後のHALT/STOPモードへの移行」の手順を参照してください。

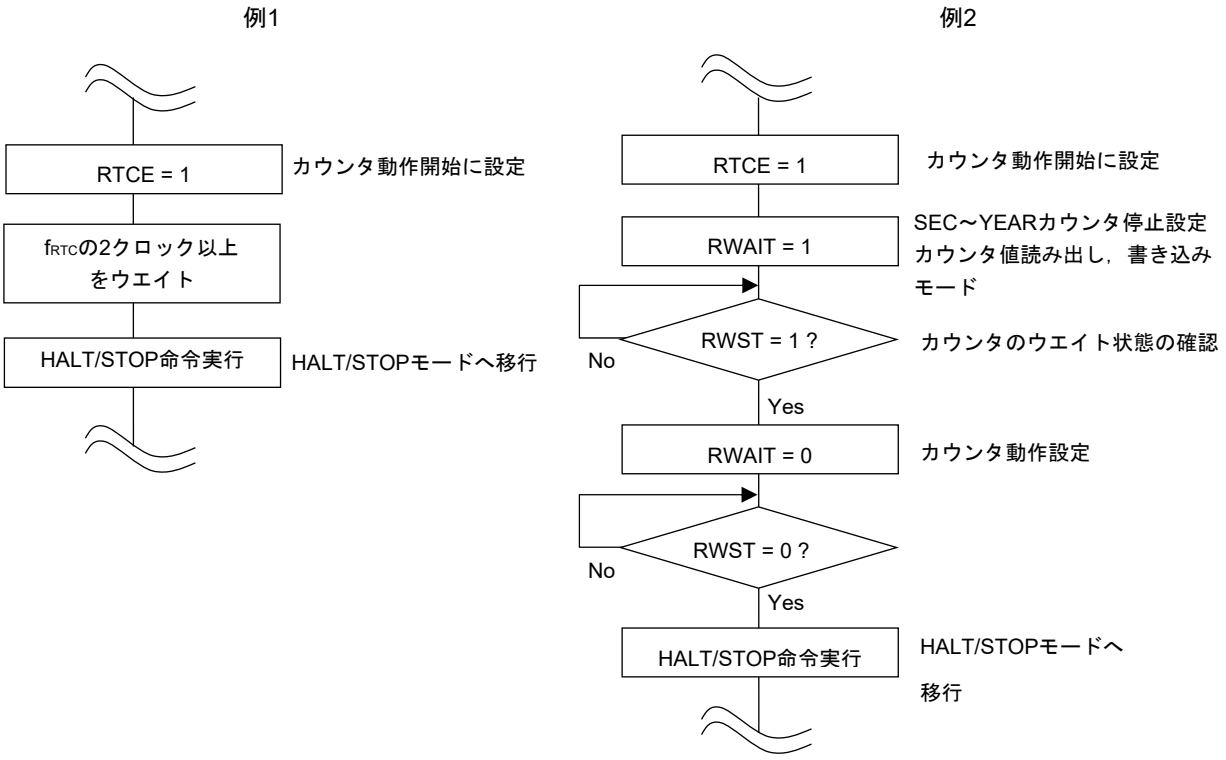
9.4.2　動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は，次のどちらかの処理をしてください。

ただし，RTCE = 1に設定後，INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は，これらの処理は必要ありません。

- RTCE = 1に設定してから，動作クロック（f_{RTC}）の2クロック分以上経過後にHALT/STOPモードへ移行する（図9－22 例1参照）。
- RTCE = 1に設定後，RWAIT = 1に設定し，RWSTビットが1になるのをポーリングで確認する。それから，RWAIT = 0に設定し，RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する（図9－22 例2参照）。

図 9－22　RTCE = 1 に設定後の HALT/STOP モードへの移行手順

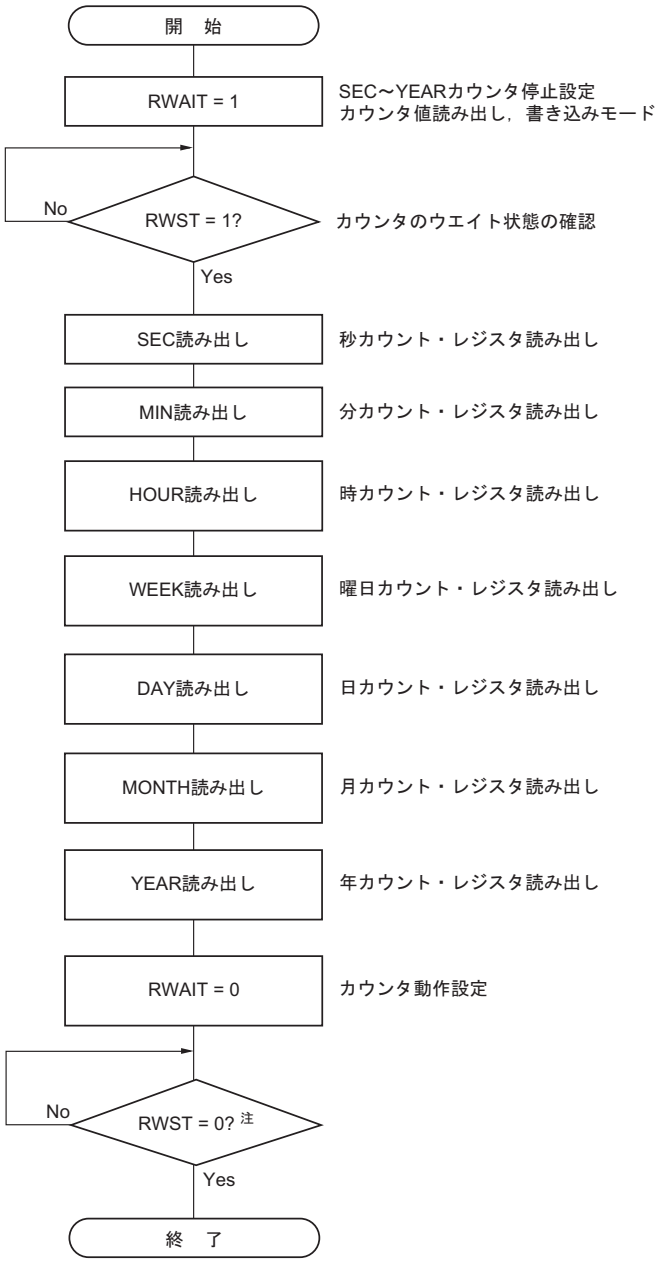


9.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは，最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し／書き込み終了後は，RWAIT = 0にしてください。

図9－23　リアルタイム・クロックの読み出し手順



注　HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意　RWAIT = 1 からRWAIT = 0までの処理を1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。

また，すべてのレジスタを読み出す必要はなく，一部のレジスタのみを読み出しても構いません。

図9－24　リアルタイム・クロックの書き込み手順



注　HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意1.　RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

2.　カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RIFGフラグ，RTCIFフラグをクリアしてください。

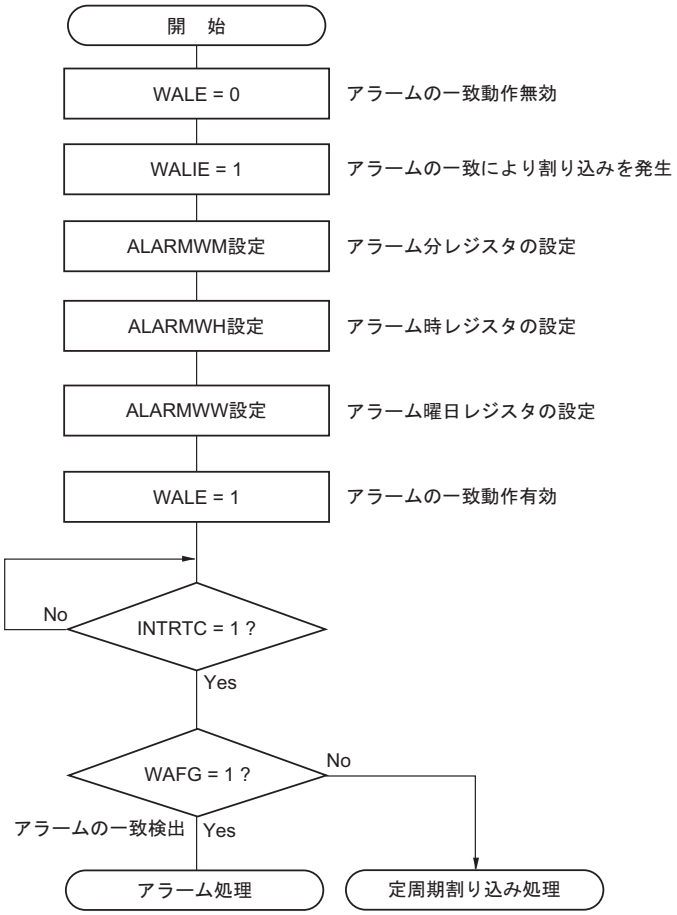
備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。

また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

9.4.4　リアルタイム・クロックのアラーム設定

アラーム時刻設定は，最初にWALE = 0にしてから行ってください。

図9－25　アラーム設定手順

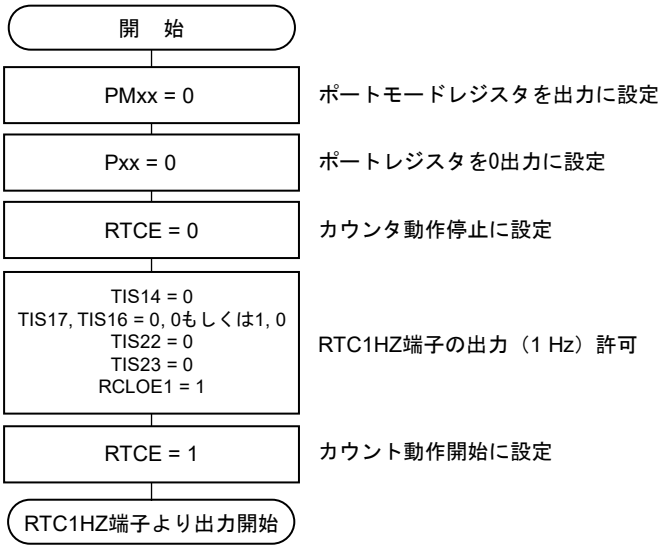


備考1.　アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

2.　定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

9.4.5　リアルタイム・クロックの1Hz出力

図9－26　1Hz出力の設定手順



注意　入力クロック（f_{RTC}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

9.4.6　リアルタイム・クロックの時計誤差補正例

16ビット時計誤差補正レジスタ（SUBCUDW）に値を設定することにより，時計の進みや遅れをより高精度に補正できます。

（1）補正値の算出方法例

内部カウンタ（16ビット）のカウント値を補正する際の補正値は，次の式で算出できます。

補正範囲が，－4165.6 ppm以下または4165.6 ppm以上のときは，DEV = 0を設定してください。

（DEV = 0の場合）

補正値[注] = 1分間の補正カウント数÷3 =（発振周波数÷ターゲット周波数－1）×32768×60÷3

（DEV = 1の場合）

補正値[注] = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

注　補正値とは，16ビット時計誤差補正レジスタ（SUBCUDW）のビット12-0の値により求められる時計誤差補正値です。

（F12=0の場合）補正値 = {（F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0）－1} ×2

（F12=1の場合）補正値 = －{（/F11, /F10, /F9, /F8, /F7, /F6, /F5, /F4, /F3, /F2, /F1, /F0）＋1} ×2

（F12～F0）=（*, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。

/F11～/F0は，ビット反転した値（111111111100のときは000000000011）となります。

備考1. 補正値は，2, 4, 6, 8,・・・8184, 8186, 8188，または－2，－4，－6，－8・・・－8184，－8186，－8188です。

2. 発振周波数とは，入力クロック（f_{RTC}）の値です。
16ビット時計誤差補正レジスタ（SUBCUDW）が初期値（0000H）時のRTC1HZ端子の出力周波数×32768で求めることができます。

3. ターゲット周波数とは，16ビット時計誤差補正レジスタ（SUBCUDW）を使用した補正後の周波数です。

（2）補正例

32767.4 Hzから32768 Hz（32767.4 Hz＋18.3 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数[注1]を，時計誤差補正レジスタ（SUBCUD, SUBCUDW）が初期値（0000H）時にRTC1HZ端子から約1 Hzを出力して測定します。または，タイマ・アレイ・ユニットの入力にRTC1HZを選択[注2]して測定することもできます。

注1. RTC1Hz出力の設定手順は，「9.4.5 リアルタイム・クロックの1Hz出力」を参照してください。タイマ・アレイ・ユニットの入力選択については，「6.3.10 タイマ入力選択レジスタ1（TIS1）」および「6.3.11 タイマ入力選択レジスタ2（TIS2）」を参照してください。

2. タイマ入力選択レジスタ1（TIS1）またはタイマ入力選択レジスタ2（TIS2）の設定でタイマ・アレイ・ユニットの入力にRTC1HZ出力信号を選択した場合，RTC1HZ端子からRTC1HZ出力は出力されません。

【補正値の算出】

（RTC1HZ端子からの出力周波数が0.9999817 Hzの場合）

発振周波数 = 32768×0.9999817 ≒ 32767.4 Hz

ターゲット周波数を32768 Hz（32767.4 Hz＋18.3 ppm）とし，DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

=（32767.4÷32768 － 1）×32768×60

= －36

【（F12～F0）への設定値の算出】

（補正値 = －36の場合）

補正値が0以下（速くする場合）では，F12 = 1とします。

（F11～F0）は，補正値から算出します。

－｛（/F11～/F0）＋1｝×2 = －36

（/F11～/F0） = 17

（/F11～/F0） =（0, 0, 0, 0, 0, 0, 0, 1, 0, 0, 0, 1）

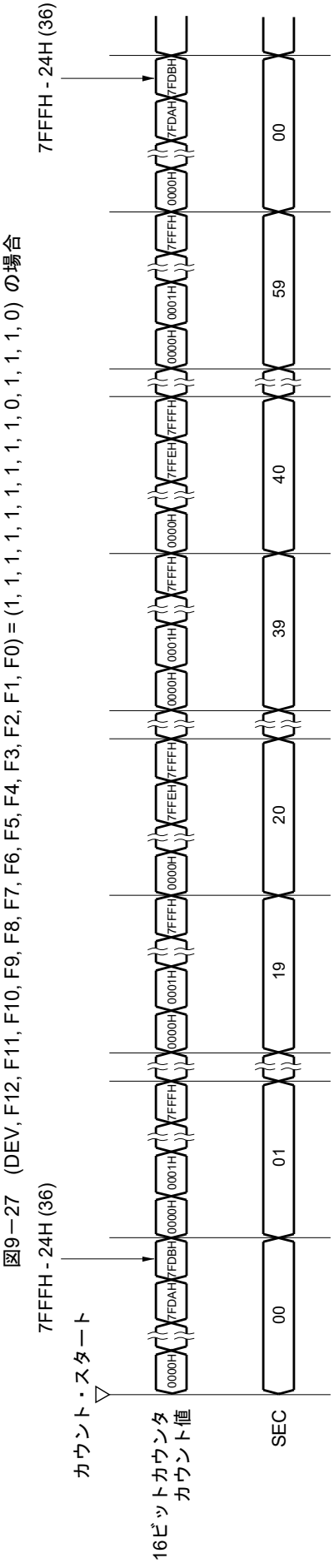
（F11～F0） =（1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0）

したがって，32767.4 Hzから32768 Hz（32767.4Hz＋18.3 ppm）への補正の場合，

DEV = 1，補正値 = －36（SUBCUDWレジスタのビット12-0：1111111101110）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0）の場合の動作を図9－27に示します。

図9－27　(DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 1, 0) の場合



第10章　クロック出力／ブザー出力制御回路

RL78/F15はクロック出力／ブザー出力制御回路の出力端子PCLBUZ0を搭載しています。

10.1　クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

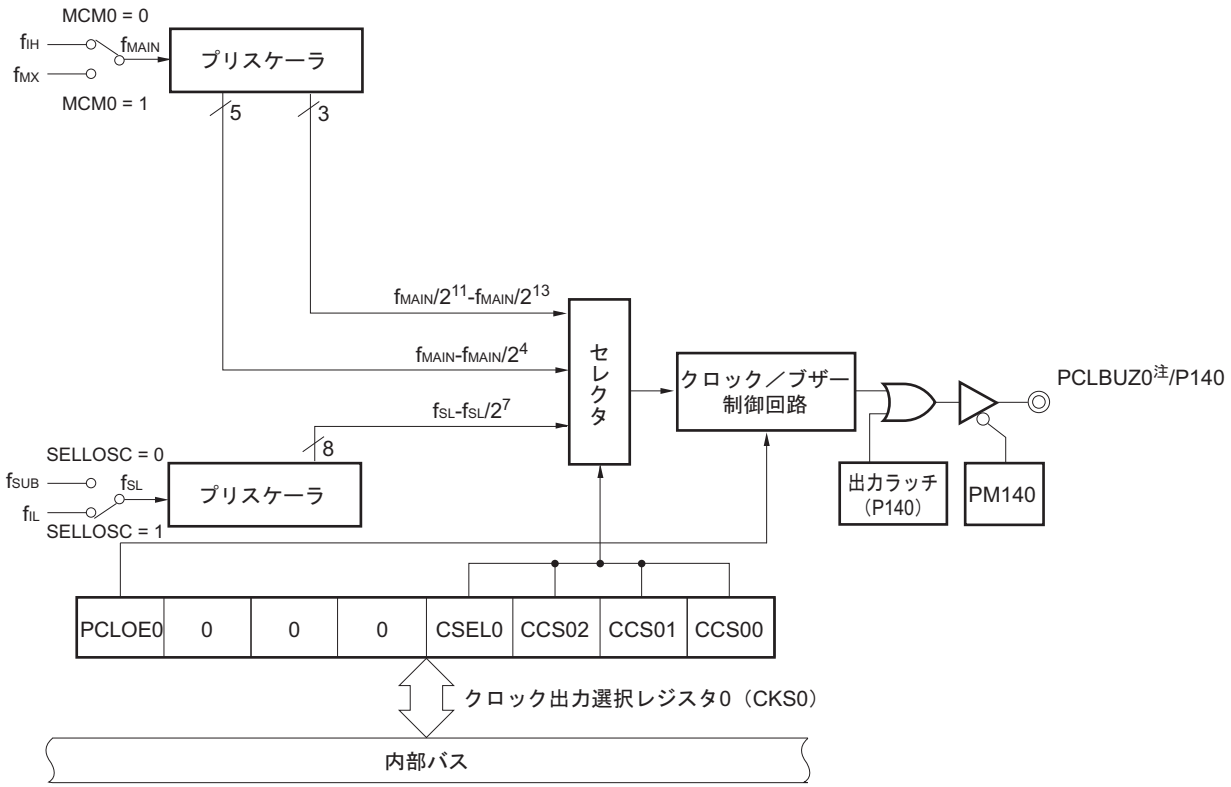
1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロックを出力します。

図10－1にクロック出力／ブザー出力制御回路のブロック図を示します。

注意　低消費RTCモード時（動作スピード・モード制御レジスタ（OSMC）のRTCLPC = 1）は，PCLBUZ0端子から，サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）を出力することはできません。

図10－1　クロック出力／ブザー出力制御回路のブロック図



注　PCLBUZ0端子から出力可能な周波数は第35章，第36章の電気的特性のAC特性を参照してください。

備考　MCM0　：CKCレジスタのビット
　　SELLOSC　：CKSELレジスタのビット
　　P140　：P14レジスタのビット
　　PM140　：PM14レジスタのビット
　　f_{IH}　：高速オンチップ・オシレータ・クロック周波数
　　f_{MX}　：高速システム・クロック周波数
　　f_{MAIN}　：メイン・システム・クロック周波数
　　f_{SUB}　：サブシステム・クロック周波数
　　f_{IL}　：低速オンチップ・オシレータ・クロック周波数
　　f_{SL}　：サブ／低速オンチップ・オシレータ選択クロック周波数

10.2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表10－1　クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ0（CKS0） ポート・モード・レジスタ14（PM14） ポート・レジスタ14（P14）

10.3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次のレジスタで制御します。

- クロック出力選択レジスタ0（CKS0）
- ポート・モード・レジスタ14（PM14）
- ポート・レジスタ14（P14）

10.3.1　クロック出力選択レジスタ0（CKS0）

クロック出力またはブザー周波数出力の端子（PCLBUZ0）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKS0レジスタで，PCLBUZ0端子の出力するクロックを選択します。

CKS0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10－2　クロック出力選択レジスタ0（CKS0）のフォーマット

アドレス：FFFA5H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKS0	PCLOE0	0	0	0	CSEL0	CCS02	CCS01	CCS00

PCLOE0	PCLBUZ0端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CSEL0	CCS02	CCS01	CCS00	PCLBUZ0端子の出力クロックの選択						
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 32 MHz	f_{MAIN} = 48 MHz	f_{MAIN} = 64 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz注	設定禁止注	設定禁止注	設定禁止注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz注	16 MHz注	設定禁止注	設定禁止注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	8 MHz注	12 MHz注	16 MHz注
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	4 MHz	6 MHz	8 MHz注
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz	4 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.76 kHz	15.62 kHz	23.43 kHz	31.25 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.71 kHz	15.12 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	3.90 kHz	5.85 kHz	7.81 kHz
1	0	0	0	f_{SL}	32.768 kHz(f_{SUB}) または 15 kHz(f_{IL})					
1	0	0	1	$f_{SL}/2$	16.384 kHz(f_{SUB}) または 7.5 kHz(f_{IL})					
1	0	1	0	$f_{SL}/2^2$	8.192 kHz(f_{SUB}) または 3.75 kHz(f_{IL})					
1	0	1	1	$f_{SL}/2^3$	4.096 kHz(f_{SUB}) または 1.87 kHz(f_{IL})					
1	1	0	0	$f_{SL}/2^4$	2.048 kHz(f_{SUB}) または 937.5 Hz(f_{IL})					
1	1	0	1	$f_{SL}/2^5$	1.024 kHz(f_{SUB}) または 468.75 Hz(f_{IL})					
1	1	1	0	$f_{SL}/2^6$	512 Hz(f_{SUB}) または 234.37 Hz(f_{IL})					
1	1	1	1	$f_{SL}/2^7$	256 Hz (f_{SUB}) または 117.18 Hz(f_{IL})					

注　出力クロックは，16 MHz以内の範囲で使用してください。詳しくは第35章，第36章の電気的特性のAC特性を参照してください。

注意1.　出力クロックの切り替えおよびCSEL0, CCS02-CCS00ビットの書き換えは，出力禁止（PCLOE0 = 0）にしてから行ってください。

2.　クロック源にf_{MAIN}を選択（CSEL0 = 0）してSTOPモードへ移行する場合，STOP命令より前でPCLOE0 = 0にしてください。f_{SL} 選択時（CSEL0 = 1）は，PCLOE0 = 1の設定は可能です（STOPモード時にクロック出力が可能）。

3.　低消費RTCモード時（動作スピード・モード制御レジスタ（OSMC）のRTCLPC = 1）は，PCLBUZ0端子から，サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）を出力することはできません。

4.　メイン・システム・クロック（f_{MAIN}）は、MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速オンチップ･オシレータ・クロック（f_{IH}）と高速システム・クロック（f_{MX}）を切り替えられます。詳細は「第5章 クロック発生回路」を参照してください。

5.　サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）は、SELLOSCビット（クロック選択レジスタ（CKSEL）のビット0）の設定により，サブシステム・クロック（f_{SUB}）と低速オンチップ・オシレータ・クロック（f_{IL}）を切り替えられます。詳細は「第5章 クロック発生回路」を参照してください。

10.3.2　クロック選択レジスタ（CKSEL）

CPUクロック（f_{SUB}/f_{IL}）およびタイマRJ，タイマRD，クロック出力／ブザー出力のクロックを選択するレジスタです。SELLOSCビットは、CMCレジスタとの組み合わせによって、サブシステム・クロックの動作モードを設定します。詳細は「図5−3 クロック動作モード制御レジスタ（CMC）のフォーマット」を参照してください。

CKSELレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

図10−3　クロック選択レジスタ（CKSEL）のフォーマット

アドレス：F02C4H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSEL	0	0	0	0	0	TRD_CKSEL	0	SELLOSC[注3]

SELLOSC[注3]	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）選択制御
0	f_{sub}[注1]を選択
1	f_{IL}[注2]を選択

注1.　f_{SUB}をCPU/周辺ハードウエア・クロックにする場合は、あらかじめSELLOSCビットを0にした後、CKCレジスタのCSSビットを1にしてください。

2.　f_{IL}をCPU/周辺ハードウエア・クロックにする場合は、あらかじめSELLOSCビットを1にした後、CKCレジスタのCSSビットを1にしてください。

3.　SELLOSCビットを1にした場合，低速オンチップ・オシレータが動作します。

10.3.3　ポート・モード・レジスタ14（PM14）

ポートの入力／出力を1ビット単位で設定するレジスタです。

P140/PCLBUZ0端子をクロック出力／ブザー出力機能として使用するときは，PM140ビットおよびP140の出力ラッチに0を設定してください。

PM14レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図10－4　ポート・モード・レジスタ14（PM14）のフォーマット

アドレス：FFF2EH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	1	1	1	1	PM140

PMmn	Pmn端子の入出力モードの選択（mn = 140）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

10.4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

10.4.1　出力端子の動作

PCLBUZ0端子は，次の手順で出力します。

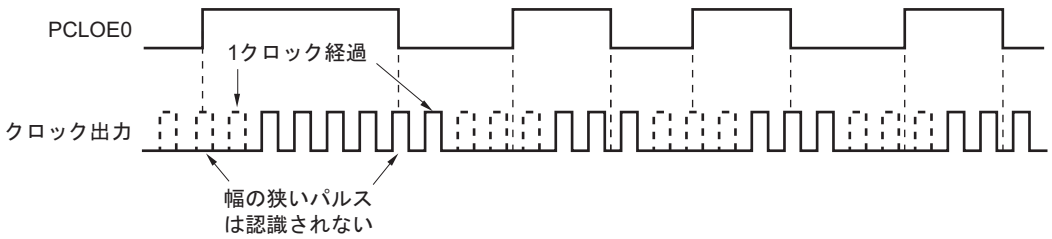
① PM140およびP140の出力ラッチに0を設定する。

② PCLBUZ0端子のクロック出力選択レジスタ0（CKS0）のビット0-3（CCS00-CCS02, CSEL0）で出力クロックを選択する（出力は禁止の状態）。

③ CKS0レジスタのビット7（PCLOE0）に1を設定し，クロック出力／ブザー出力を許可する。

備考　クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOE0ビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOE0ビットによる出力の許可／停止とクロック出力のタイミングを図10－5に示します。

図10－5　リモコン出力応用例



10.5　クロック出力／ブザー出力制御回路の注意事項

PCLBUZ0出力にメイン・システム・クロックを選択（CSEL0 = 0）している場合は、出力停止設定（PCLOE0 = 0）にしてからメイン・システム・クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZ0の出力幅が短くなります。

第11章　ウォッチドッグ・タイマ

11.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは専用の低速オンチップ・オシレータ・クロック（f_{WDT}）で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- WDTEレジスタに"ACH"以外のデータを書き込んだ場合
- ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDCLRF）がセット（1）されます。RESFレジスタの詳細については「第25章　リセット機能」を参照してください。

また，オーバフロー時間の75% + 1/2 f_{WDT}到達時にインターバル割り込みを発生することもできます。

注意．ウィンドウ･オープン期間を "75%"（WINDOW1, WINDOW0 ビットが10B）で使用する場合は、カウンタ値が50%のタイミング以外でカウンタをクリアする命令（WDTE レジスタにACH 書き込み）を行ってください。

11.2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表11－1　ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

また，オプション・バイトで，内部カウンタ（17ビット）の動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

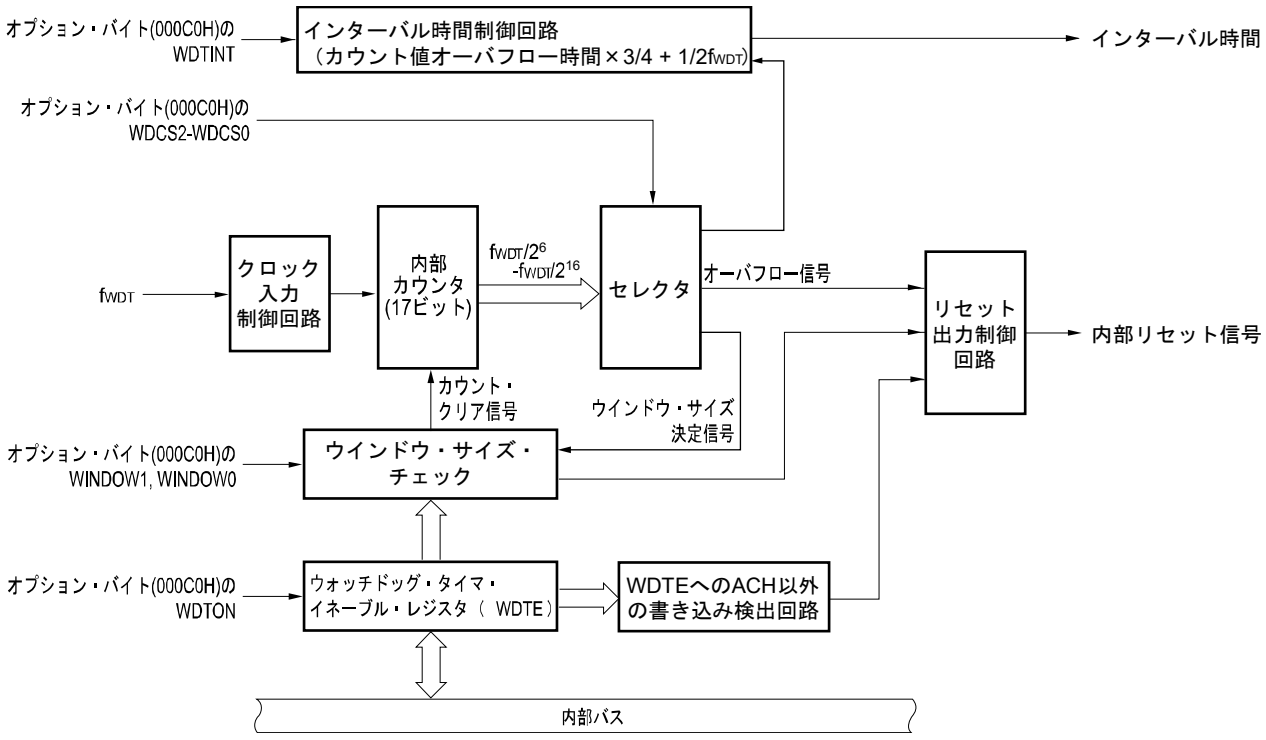
注意　ブート・スワップ時は，000C0Hと020C0Hが切り替わるので，020C0Hにも000C0Hと同じ値を設定してください。

表11－2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウインドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御 （HALT/STOP/SNOOZEモード時）	ビット0（WDSTBYON）

備考　オプション・バイトについては「第30章　オプション・バイト」を参照してください。

図11－1　ウォッチドッグ・タイマのブロック図



11.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

11.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

オプション･バイト（000C0H）のWDTONビットが"1"のとき，WDTEレジスタに"ACH"を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，1AHまたは9AH[注]になります。

図11－2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：1AH／9AH[注]　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1.　オプション･バイト（000C0H）のWDTONビットが"1"のとき，WDTEレジスタに"ACH"以外の値を書き込んだ場合，内部リセット信号を発生します。

2.　オプション･バイト（000C0H）のWDTONビットが"1"のとき，WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を
発生します。

3.　WDTEレジスタのリード値は，オプション･バイト（000C0H）のWDTONビットの設定値により，"1AH／9AH"（書き込んだ値（"ACH"）とは異なる値）になります。

11.4　ウォッチドッグ・タイマの動作

11.4.1　ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

- オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は「第30章　オプション・バイト」を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

- オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は「11.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定」および「第30章　オプション・バイト」を参照）。
- オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で，ウインドウ・オープン期間を設定してください（詳細は「11.4.3　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定」および「第30章　オプション・バイト」を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に"ACH"を書き込むことにより，ウォッチドッグ・タイマのカウンタはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに"ACH"を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに"ACH"以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマのカウンタはクリアされ，再度カウント動作を開始します。

2. WDTEレジスタに"ACH"を書き込んで，ウォッチドッグ・タイマのカウンタをクリアしたとき，実際のオーバフロー時間は，オプション・バイトで設定したオーバフロー時間より最大2/f_{WDT}秒の誤差が生じる場合があります。
3. ウォッチドッグ・タイマのカウンタのクリアは，カウント値がオーバフローする直前まで有効です。

注意4.　オプション・バイト（000C0H）のビット0（WDSTBYON）およびビット4（WDTON）の設定値により，ウォッチドッグ・タイマのHALTモード，STOPモード，およびSNOOZEモード時の動作は，次のように異なります。

	WDTON = 1かつWDSTBYON = 0	WDTON = 1かつWDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合，HALTモード，STOPモード，およびSNOOZEモード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（0）して，カウント開始します。
STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマのカウンタをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

11.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に"ACH"を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表11－3　ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{WDT} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{WDT}$（3.71 ms）
0	0	1	$2^7/f_{WDT}$（7.42 ms）
0	1	0	$2^8/f_{WDT}$（14.84 ms）
0	1	1	$2^9/f_{WDT}$（29.68 ms）
1	0	0	$2^{11}/f_{WDT}$（118.72 ms）
1	0	1	$2^{13}/f_{WDT}$注（474.89 ms）
1	1	0	$2^{14}/f_{WDT}$注（949.79 ms）
1	1	1	$2^{16}/f_{WDT}$注（3799.18 ms）

注　ウォッチドッグ・タイマのインターバル割り込みを使用する場合，ウォッチドッグ・タイマのオーバフロー時間を $2^{13}/f_{WDT}$, $2^{14}/f_{WDT}$ または $2^{16}/f_{WDT}$に設定しないでください。

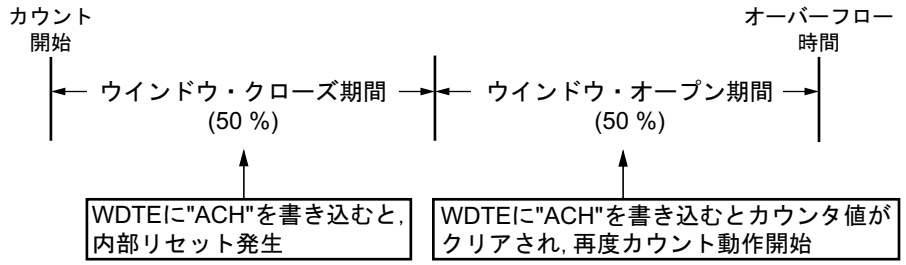
備考　f_{WDT}：WDT専用低速オンチップ・オシレータ・クロック周波数

11.4.3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ･タイマのウインドウ･オープン期間は，オプション･バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に"ACH"を書き込むと，ウォッチドッグ・タイマのカウンタをクリアし，再度カウント動作を開始します。
- ウインドウ・クローズ期間中は，WDTEレジスタに"ACH"を書き込んでも，異常検出され，内部リセットを発生します。

例　ウインドウ・オープン期間が50 %の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマのカウンタはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表11−4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %[注]
1	1	100 %

注　ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (fWDT = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	2^6/fWDT (3.71 ms)	1.85 ms～2.51 ms
0	0	1	2^7/fWDT (7.42 ms)	3.71 ms～5.02 ms
0	1	0	2^8/fWDT (14.84 ms)	7.42 ms～10.04 ms
0	1	1	2^9/fWDT (29.68 ms)	14.84 ms～20.08 ms
1	0	0	2^{11}/fWDT (118.72 ms)	56.36 ms～80.32 ms
1	0	1	2^{13}/fWDT (474.89 ms)	237.44 ms～321.26 ms
1	1	0	2^{14}/fWDT (949.79 ms)	474.89 ms～642.51 ms
1	1	1	2^{16}/fWDT (3799.18 ms)	1899.59 ms～2570.04 ms

注意　オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　オーバフロー時間を$2^9/f_{WDT}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50 %のとき>

- オーバフロー時間：
  $2^9/f_{WDT}$ (MAX.) = 2^9/17.25 kHz (MAX.) = 29.68 ms
- ウインドウ・クローズ時間：
  0～$2^9/f_{WDT}$ (MIN.) ×（1－0.5）= 0～2^9/12.75 kHz ×0.5 = 0～20.08 ms
- ウインドウ・オープン時間：
  $2^9/f_{WDT}$ (MIN.) ×（1－0.5）～$2^9/f_{WDT}$ (MAX.) = 2^9/12.75 kHz ×0.5～2^9 /17.25 kHz = 20.08～29.68 ms

11.4.4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により，オーバフロー時間の75% + 1/2 f_{WDT}到達時にインターバル割り込み（INTWDTI）を発生することができます。

表11－5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 f_{WDT}到達時にインターバル割り込みを発生する

注意　STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第12章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

端子数	144, 100ピン	80ピン	64ピン	48ピン
アナログ入力チャネル	31ch ANI0-ANI23 ANI24-ANI30	25ch ANI0-ANI17 ANI24-ANI30	20ch ANI0-ANI16 ANI24-ANI26	18ch ANI0-ANI12 ANI24-ANI28

12.1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換する10ビット分解能[注]のコンバータで，最大31本のA/Dコンバータ・アナログ入力（ANI0-ANI23, ANI24-ANI30）を制御できる構成になっています。

A/Dコンバータには，次のような機能があります。

- 10ビット分解能A/D変換[注]

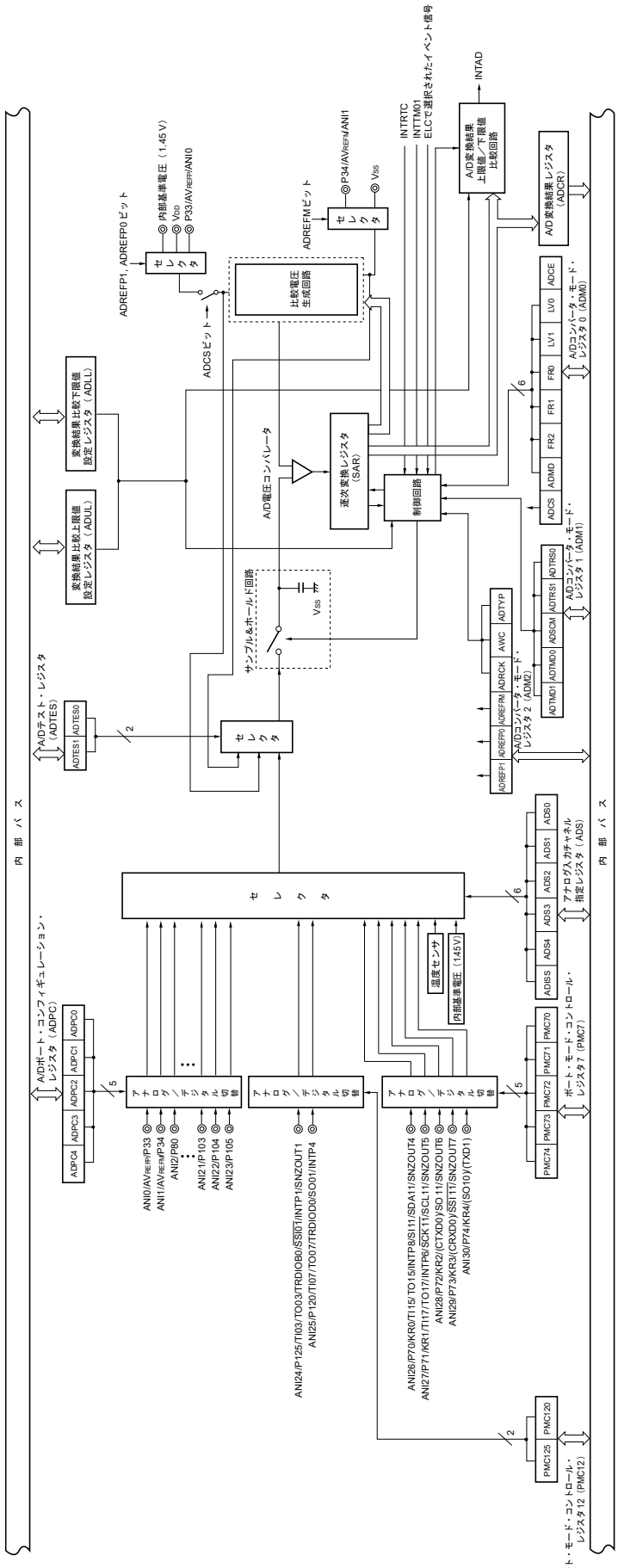
  ANI0-ANI23, ANI24-ANI30からアナログ入力を1チャネル選択し，10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

注　A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより，8ビット分解能を選択することも可能です。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

トリガ・モード	チャネル選択モード	変換動作モード
・ソフトウエア・トリガ ソフトウエアによるトリガ設定により，変換動作を開始します。 ・ハードウエア・トリガ・ノーウエイト・モード ハードウエア・トリガを検出することにより，変換動作を開始します。 ・ハードウエア・トリガ・ウエイト・モード パワー・オフでの変換待機状態でハードウエア・トリガを検出することによりパワー・オンとなり，安定待ち時間経過後に自動的に変換動作を開始します。	・セレクト・モード 1チャネルのアナログ入力をA/D変換 ・スキャン・モード 4チャネルのアナログ入力を順番にA/D変換	・ワンショット変換モード 選択したチャネルを1回A/D変換 ・連続変換モード 選択したチャネルをソフトウエアで停止するまで，連続してA/D変換

図12−1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は，144ピン版の場合です。

12.2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

（1）ANI0-ANI23（V_{DD}系），ANI24-ANI30（EV_{DD}系）端子

A/Dコンバータのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

注意　A/Dコンバータの基準電圧としてAV_{REFP}, AV_{REFM} から供給以外の設定で使用した場合、変換精度が悪くなります。また、EV_{DD}系のアナログ端子はV_{DD}系より精度が悪いため、高精度な変換が必要な場合はV_{DD}系のアナログ端子を使用してください。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

（3）A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0：（1/4 AV_{REF}）
ビット9 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

（4）比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

（5）逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

（6）10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

（7）8ビットA/D変換結果レジスタ（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

（8）制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，INTADを発生します。

（9）AV_{REFP}端子

外部から基準電圧（AV_{REFP}）を入力する端子です。

AV_{REFP}をA/Dコンバータの基準電圧の+側として使用する場合は、A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1、ADREFP0ビット＝0, 1に設定してください。

AV_{REFP}と－側基準電圧（AV_{REFM}/V_{SS}）間にかかる電圧に基づいて、ANI0-ANI23, ANI24-ANI30に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AV_{REFP}のほかにV_{DD}と内部基準電圧（1.45V）を選択できます。

（10）AV_{REFM}端子

外部から基準電圧（AV_{REFM}）を入力する端子です。

AV_{REFM}をA/Dコンバータの－側の基準電圧として使用する場合は、ADM2レジスタのADREFMビットを1に設定してください。

A/Dコンバータの－側基準電圧には、AV_{REFM}のほかにV_{SS}を選択できます。

12.3　A/Dコンバータで使用するレジスタ

A/Dコンバータは，次のレジスタを使用します。

- 周辺イネーブル・レジスタ0（PER0）
- A/Dコンバータ・モード・レジスタ0（ADM0）
- A/Dコンバータ・モード・レジスタ1（ADM1）
- A/Dコンバータ・モード・レジスタ2（ADM2）
- 10ビットA/D変換結果レジスタ（ADCR）
- 8ビットA/D変換結果レジスタ（ADCRH）
- アナログ入力チャネル指定レジスタ（ADS）
- 変換結果比較上限値設定レジスタ（ADUL）
- 変換結果比較下限値設定レジスタ（ADLL）
- A/Dテスト・レジスタ（ADTES）
- A/Dポート・コンフィギュレーション・レジスタ（ADPC）
- ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）
- ポート・モード・レジスタ3, 7-10, 12（PM3, PM7-PM10, PM12）

12.3.1 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12−2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注意1. A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は，A/Dコンバータの制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ3, 7-10, 12（PM3, PM7-PM10, PM12），ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12），A/Dポート・コンフィギュレーション・レジスタ（ADPC）は除く）。

2. ビット6には必ず0を設定してください。

12.3.2 A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2[注1]	FR1[注1]	FR0[注1]	LV1[注1]	LV0[注1]	ADCE

ADCS	A/D変換動作の制御[注4]
0	変換動作停止 ［リード時］ 変換動作停止／待機状態
1[注3]	変換動作許可 ［リード時[注2]］ ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：安定待ち状態＋変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御[注2]
0[注3]	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，「表12－3 A/D変換時間の選択」を参照してください。

2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1μsかかります。このため，ADCEビットに1を設定してから1μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

3. ADCS = 1/ADCE = 0を書き込んでもADCSビットはセットされません。ADCSビットを読み出すと0になります。

4. ハードウエア・トリガ・ノーウェイト・モード時、ADCSビットを変換動作状態のステータス・フラグとして使用できません。

注意1. ADMD, FR2-FR0, LV1, LV0，ADCEの各ビットの変更は変換停止状態，および変換待機状態（ADCS = 0）で行ってください。

2. ADCE = 0, ADCS = 0設定状態から8ビット操作命令でADCE = 1, ADCS = 1に設定することは禁止します。必ず「12.7 A/Dコンバータの設定フロー・チャート」の手順に従ってください。

表12－1 ADCSビットとADCEビットの設定

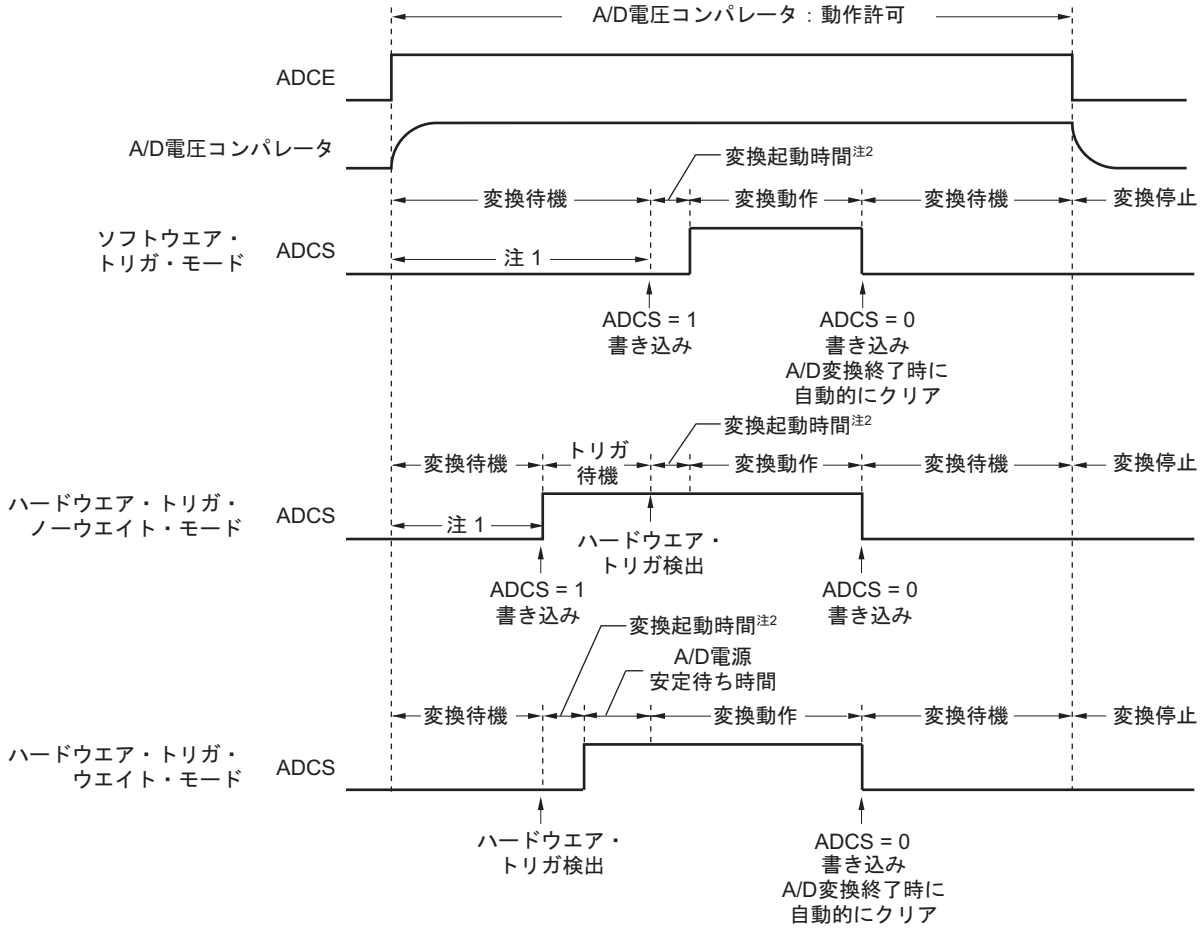
ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（A/D電圧コンパレータのみ電力消費[注]）
1	0	設定禁止
1	1	変換モード（A/D電圧コンパレータ：動作許可）

注 ハードウエア・トリガ・ウエイト・モードでは，変換待機モード中もDC電力消費パスは存在しません。

表12－2 ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に0にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に0にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・A/D変換終了時に自動的に0にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に0にクリア

図12－4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。

2. 変換起動には，最大で次の時間がかかります。

ADM0			変換クロック（f_{AD}）	変換起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0		ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	
0	1	0	f_{CLK}/16	15	
0	1	1	f_{CLK}/8	7	
1	0	0	f_{CLK}/6	5	
1	0	1	f_{CLK}/5	4	
1	1	0	f_{CLK}/4	3	
1	1	1	f_{CLK}/2	1	

ただし，連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

（注意は次ページにあります。）

注意1. ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に1に切り替わります)。ただし，A/D変換待機状態にするために，ADCSビットに0を設定することは可能です。

2. ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，A/D変換終了時にADCSフラグは，自動的に0にクリアされません。1のまま保持されます。

3. ADCEビットの書き換えは，ADCS = 0（変換停止／変換待機状態）のときに行ってください。

4. A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。

   ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋A/D変換時間

   ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋安定待ち時間＋A/D変換時間

表12－3　A/D変換時間の選択（1/4）

（1）4.0 V≦V_{DD}≦5.5 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数	A/D電源安定待ち時間 + 変換時間	変換時間の選択					
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			864/f_{CLK}						27 μs
0	1	0				f_{CLK}/16			432/f_{CLK}					27 μs	13.5 μs
0	1	1				f_{CLK}/8			216/f_{CLK}				27 μs	13.5 μs	6.75 μs
1	0	0				f_{CLK}/6			162/f_{CLK}				20.25 μs	10.125 μs	5.0625 μs
1	0	1				f_{CLK}/5			135/f_{CLK}			33.75 μs	16.875 μs	8.4375 μs	4.21875 μs
1	1	0				f_{CLK}/4			108/f_{CLK}			27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1				f_{CLK}/2			54/f_{CLK}		27 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			800/f_{CLK}						25 μs
0	1	0				f_{CLK}/16			400/f_{CLK}					25 μs	12.5 μs
0	1	1				f_{CLK}/8			200/f_{CLK}				25 μs	12.5 μs	6.25 μs
1	0	0				f_{CLK}/6			150/f_{CLK}			37.5 μs	18.75 μs	9.375 μs	4.6875 μs
1	0	1				f_{CLK}/5			125/f_{CLK}			31.25 μs	15.625 μs	7.8125 μs	3.90625 μs
1	1	0				f_{CLK}/4			100/f_{CLK}			25 μs	12.5 μs	6.25 μs	3.125 μs
1	1	1				f_{CLK}/2			50/f_{CLK}		25 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止
上記以外						設定禁止									

注意1.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

2.　前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。

3.　ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からの安定待ち時間を含みます。

4.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表12－3 A/D変換時間の選択（2/4）

（2）2.7 V≦V_{DD}＜4.0 V

安定待ち時間あり（ハードウエア・トリガ・ウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数	A/D電源安定待ち時間＋変換時間	変換時間の選択					
FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			864/f_{CLK}						27 μs
0	1	0				f_{CLK}/16			432/f_{CLK}					27 μs	13.5 μs
0	1	1				f_{CLK}/8			216/f_{CLK}				27 μs	13.5 μs	6.75 μs
1	0	0				f_{CLK}/6			162/f_{CLK}				20.25 μs	10.125 μs	5.0625 μs
1	0	1				f_{CLK}/5			135/f_{CLK}			33.75 μs	16.875 μs	8.4375 μs	4.2188 μs
1	1	0				f_{CLK}/4			108/f_{CLK}			27 μs	13.5 μs	6.75 μs	設定禁止
1	1	1				f_{CLK}/2			54/f_{CLK}		27 μs	13.5 μs	6.75 μs	設定禁止	
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			800/f_{CLK}						25 μs
0	1	0				f_{CLK}/16			400/f_{CLK}					25 μs	12.5 μs
0	1	1				f_{CLK}/8			200/f_{CLK}				25 μs	12.5 μs	6.25 μs
1	0	0				f_{CLK}/6			150/f_{CLK}			37.5 μs	18.75 μs	9.375 μs	4.6875 μs
1	0	1				f_{CLK}/5			125/f_{CLK}			31.25 μs	15.625 μs	7.8125 μs	3.9063 μs
1	1	0				f_{CLK}/4			100/f_{CLK}			25 μs	12.5 μs	6.25 μs	設定禁止
1	1	1				f_{CLK}/2			50/f_{CLK}		25 μs	12.5 μs	6.25 μs	設定禁止	
上記以外						設定禁止									

注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

2. 前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。

3. ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からの安定待ち時間を含みます。

4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表12－3　A/D変換時間の選択（3/4）

（3）4.0 V≦V_{DD}≦5.5 V

安定待ち時間なし（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数	変換時間	変換時間の選択					
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}					38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}				38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}			38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}			28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}			23.75 μs	11.875μs	5.938 μs	2.9688 μs
1	1	0				f_{CLK}/4		76/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	19 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}					34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}				34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}			34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}			25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				f_{CLK}/5		85/f_{CLK}			21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f_{CLK}/4		68/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs	2.125 μs[注]
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	17 μs	8.5 μs	4.25 μs	2.125 μs[注]	設定禁止
上記以外							設定禁止							

注　温度センサ使用時は使用禁止。

注意1.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

2.　前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。

3.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表12－3 A/D変換時間の選択（4/4）

（4）2.7 V≦V_{DD}＜4.0 V

安定待ち時間なし（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数	変換時間	変換時間の選択					
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 2 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs
0	0	1				f_{CLK}/32		608/f_{CLK}					38 μs	19 μs
0	1	0				f_{CLK}/16		304/f_{CLK}				38 μs	19 μs	9.5 μs
0	1	1				f_{CLK}/8		152/f_{CLK}			38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				f_{CLK}/6		114/f_{CLK}			28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				f_{CLK}/5		95/f_{CLK}			23.75 μs	11.875 μs	5.938 μs	設定禁止
1	1	0				f_{CLK}/4		76/f_{CLK}		38 μs	19 μs	9.5 μs	4.75 μs	
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	19 μs	9.5 μs	4.75 μs	設定禁止	
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	34 μs
0	0	1				f_{CLK}/32		544/f_{CLK}					34 μs	17 μs
0	1	0				f_{CLK}/16		272/f_{CLK}				34 μs	17 μs	8.5 μs
0	1	1				f_{CLK}/8		136/f_{CLK}			34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				f_{CLK}/6		102/f_{CLK}			25.5 μs	12.75 μs	6.375 μs	3.1875 μs[注]
1	0	1				f_{CLK}/5		85/f_{CLK}			21.25 μs	10.625 μs	5.3125 μs	設定禁止
1	1	0				f_{CLK}/4		68/f_{CLK}		34 μs	17 μs	8.5 μs	4.25 μs	
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	17 μs	8.5 μs	4.25 μs	設定禁止	
上記以外					設定禁止									

注 温度センサ使用時は使用禁止。

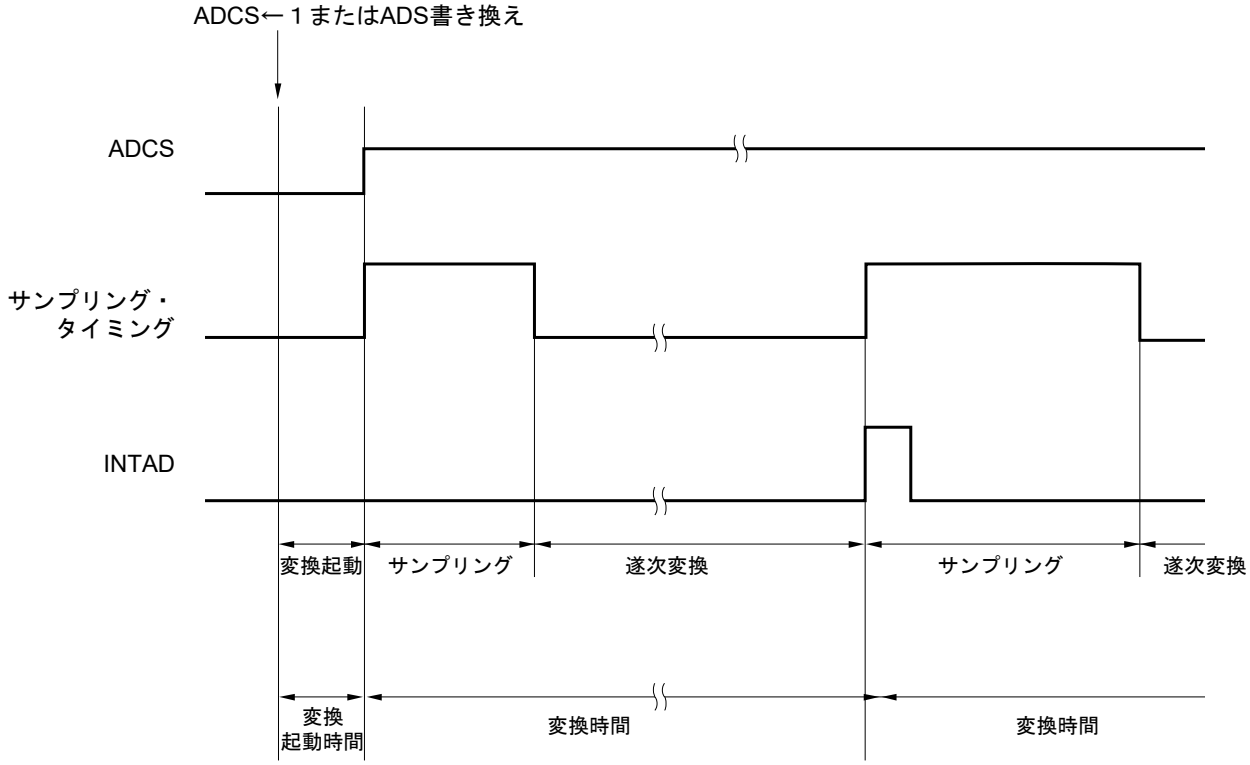
注意1. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

2. 前述の変換時間は，クロック周波数の誤差を含んでいませんので，クロック周波数の誤差を考慮して，変換時間を選択してください。

3. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

備考 f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図12－5　A/Dコンバータのサンプリングと A/D変換のタイミング（例　ソフトウエア・トリガ・モードの場合）



12.3.3 A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12−6 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウエア・トリガ・モード
1	0	ハードウエア・トリガ・ノーウエイト・モード
1	1	ハードウエア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	TAU0チャネル1のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
0	1	ELCで選択されたイベント信号
1	0	定周期、アラーム割り込み信号（INTRTC）
1	1	設定禁止

注意1. ADM1レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCS = 0）のときに行ってください。

2. A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。
ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック＋A/D変換時間
ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック＋安定待ち時間＋A/D変換時間

3. SNOOZE機能以外のモードにおいて，INTRTC入力後最大f_{CLK}の4クロック間は，次のINTRTC入力がトリガとして有効になりません。

備考1. × ：Don't care

2. f_{CLK}：CPU／周辺ハードウエア・クロック周波数

12.3.4 A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧源の選択
0	0	V_{DD}から供給
0	1	P33/AV_{REFP}/ANI0から供給
1	0	内部基準電圧（1.45 V）から供給
1	1	設定禁止

・ADREFP1, ADREFP0ビットを書き換える場合，次の手順で設定してください。
① ADCE = 0に設定
② ADREFP1, ADREFP0の値を変更
③ 安定待ち時間ウエイト（A）
④ ADCE = 1に設定
⑤ 安定待ち時間ウエイト（B）

ADREFP1, ADREFP0 = 1, 0に変更する場合：A = 5 μs， B = 1 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合：Aはウエイト不要，B = 1 μs
⑤のウエイトのあとに，A/D変換開始してください。

・ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力と内部基準電圧出力をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの－側の基準電圧源の選択
0	V_{SS}から供給
1	P34/AV_{REFM}/ANI1から供給

ADRCK	変換結果上限／下限値チェック
0	ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（①）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ＜ADLLレジスタ（②），ADULレジスタ＜ADCRレジスタ（③）のとき割り込み信号（INTAD）が発生。

①～③の割り込み信号（INTAD）発生範囲を図12－8に示します。

注意1. ADM2レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCS = 0）のときに行ってください。

2. STOPモードもしくはサブ/低速オンチップ･オシレータ選択クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 1, 0）選択時は，第35章～第36章の電気的特性の電源電流特性の電流値が加算されます。

3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

図12－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。

・連続変換モードでのSNOOZEモード機能は使用禁止です。

・SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「SNOOZEモードの遷移時間[注]＋A/D電源安定待ち時間＋A/D変換時間＋f_{CLK}の2クロック」以上の間隔を空けて設定してください。

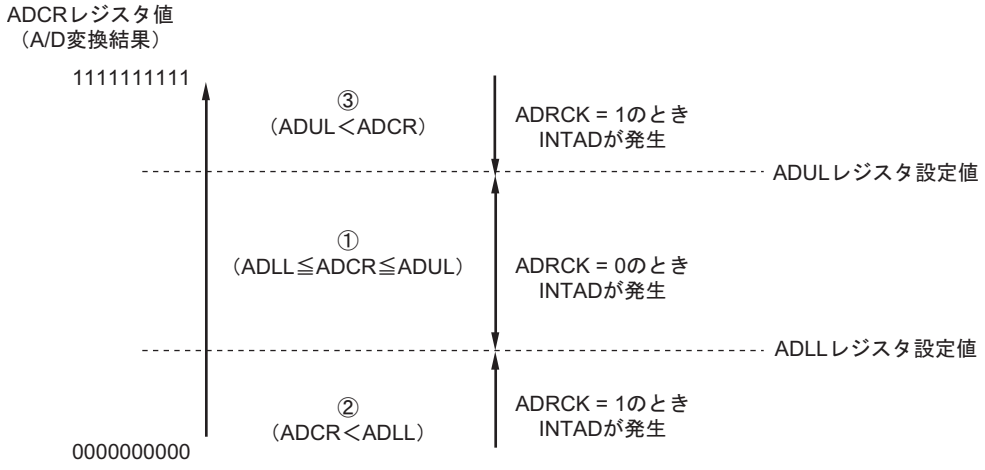
・SNOOZE機能を使用する場合でも，通常動作モード時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。
　またSTOPモードから通常動作モードへ復帰後，必ずAWCを0に変更してください。
　AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注　「24.3.3　SNOOZEモード」の「STOP→SNOOZE」を参照してください。

注意　ADM2レジスタを書き換える場合は，必ず変換動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCS = 0）のときに行ってください。

図12－8　ADRCKビットによる割り込み信号発生範囲



備考　INTADが発生しない場合は，A/D変換結果がADCR, ADCRHレジスタに格納されません。

12.3.5 10ビットA/D変換結果レジスタ（ADCR）

セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。下位6ビットは0固定です。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます注。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合は格納されません。

図12－9 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH，FFF1EH リセット値：0000H R

略号	FFF1FH								FFF1EH							
ADCR											0	0	0	0	0	0

注意1. A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2. 8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合，下位2ビット（ADCR1, ADCR0）は，0が読み出されます。

3. ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがビット15から順に読み出せます。

12.3.6 8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します注。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合は格納されません。

図12－10 8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH リセット時：00H R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意 A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

12.3.7 アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマット（1/2）

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

- セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P33/AV_{REFP}/ANI0
0	0	0	0	0	1	ANI1	P34/AV_{REFM}/ANI1
0	0	0	0	1	0	ANI2	P80/ANI2/ANO0
0	0	0	0	1	1	ANI3	P81/ANI3/IVCMP00
0	0	0	1	0	0	ANI4	P82/ANI4/IVCMP01
0	0	0	1	0	1	ANI5	P83/ANI5/IVCMP02
0	0	0	1	1	0	ANI6	P84/ANI6/IVCMP03
0	0	0	1	1	1	ANI7	P85/ANI7/IVREF0
0	0	1	0	0	0	ANI8	P86/ANI8
0	0	1	0	0	1	ANI9	P87/ANI9
0	0	1	0	1	0	ANI10	P90/ANI10
0	0	1	0	1	1	ANI11	P91/ANI11
0	0	1	1	0	0	ANI12	P92/ANI12
0	0	1	1	0	1	ANI13	P93/ANI13
0	0	1	1	1	0	ANI14	P94/ANI14
0	0	1	1	1	1	ANI15	P95/ANI15
0	1	0	0	0	0	ANI16	P96/ANI16
0	1	0	0	0	1	ANI17	P97/ANI17
0	1	0	0	1	0	ANI18	P100/ANI18
0	1	0	0	1	1	ANI19	P101/ANI19
0	1	0	1	0	0	ANI20	P102/ANI20
0	1	0	1	0	1	ANI21	P103/ANI21
0	1	0	1	1	0	ANI22	P104/ANI22
0	1	0	1	1	1	ANI23	P105/ANI23
0	1	1	0	0	0	ANI24	P125/ANI24
0	1	1	0	0	1	ANI25	P120/ANI25
0	1	1	0	1	0	ANI26	P70/ANI26
0	1	1	0	1	1	ANI27	P71/ANI27
0	1	1	1	0	0	ANI28	P72/ANI28
0	1	1	1	0	1	ANI29	P73/ANI29
0	1	1	1	1	0	ANI30	P74/ANI30
1	0	0	0	0	0	–	温度センサ出力
1	0	0	0	0	1	–	内部基準電圧出力（1.45 V）
上記以外						設定禁止	

図12－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマット（2/2）

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

- スキャン・モード（ADMD = 1）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
0	0	1	0	1	1	ANI11	ANI12	ANI13	ANI14
0	0	1	1	0	0	ANI12	ANI13	ANI14	ANI15
0	1	0	0	0	0	ANI16	ANI17	ANI18	ANI19
0	1	0	0	0	1	ANI17	ANI18	ANI19	ANI20
0	1	0	0	1	0	ANI18	ANI19	ANI20	ANI21
0	1	0	0	1	1	ANI19	ANI20	ANI21	ANI22
0	1	0	1	0	0	ANI20	ANI21	ANI22	ANI23
上記以外						設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

2. ADPC, PMCxxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ3, 7-10, 12（PM3, PM7-PM10, PM12）で入力モードに選択してください。

3. A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

4. ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

5. ADISSビットを書き換える場合は，必ずA/D電圧コンパレータ動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。

6. AV_{REFP}をA/Dコンバータの＋側の基準電圧源として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

7. AV_{REFM}をA/Dコンバータの－側の基準電圧源として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

8. ADISS = 1を設定した場合，＋側の基準電圧源に内部基準電圧（1.45 V）は使用できません。
また，ADISS = 1に設定後，1回目の変換結果は使用できません。

9. STOPモードもしくはサブ/低速オンチップ・オシレータ選択クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，第35章～第36章の電気的特性の電源電流特性が加算されます。

10. 製品により，対応するANI端子が存在しない場合は，変換結果を無視してください。

12.3.8 変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図12－8参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図12－12 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

注意1. 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタと比較します。

2. 変換動作状態でのADUL/ADLLレジスタの書き換えを禁止します。変換停止状態（ADCE=0）のときに、ADUL/ADLLレジスタの書き換えを行ってください。

3. ADUL/ADLLレジスタ値の設定を行う場合、ADUL＞ADLLの関係を必ず守ってください。守らない場合、変換結果の保証はできません。

12.3.9 変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図12－8参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－13 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADLLレジスタと比較します。

2. 変換動作状態でのADUL/ADLLレジスタの書き換えを禁止します。変換停止状態（ADCE=0）のときに、ADUL/ADLLレジスタの書き換えを行ってください。

3. ADUL/ADLLレジスタ値の設定を行う場合、ADUL＞ADLLの関係を必ず守ってください。守らない場合、変換結果の保証はできません。

12.3.10 A/Dテスト・レジスタ（ADTES）

A/D変換対象に，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45V）のいずれかをA/D変換対象に選択します。

A/Dテスト機能として使用する場合は，以下を設定します。

・ゼロスケールを測定するときは，A/D変換対象に－側基準電圧を選択

・フルスケールを測定するときは，A/D変換対象に＋側基準電圧を選択

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－14 A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx／温度センサ出力電圧／内部基準電圧（1.45V） （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注意 A/Dテスト機能についての詳細は，「第28章 安全機能」を参照してください。

12.3.11　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

V_{DD}を電源とするANI端子（ANI0/P33-ANI23/P105）を，A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図12－15　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPC4	ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え																						
					ANI23/P105	ANI22/P104	ANI21/P103	ANI20/P102	ANI19/P101	ANI18/P100	ANI17/P97	ANI16/P96	ANI15/P95	ANI14/P94	ANI13/P93	ANI12/P92	ANI11/P91	ANI10/P90	ANI9/P87	ANI8/P86	ANI7/IVREF0/P85	ANI6/IVCMP03/P84	ANI5/IVCMP02/P83	ANI4/IVCMP01/P82	ANI3/IVCMP00/P81	ANI2/ANO0/P80	ANI1/AV_{REFM}/P34	ANI0/AV_{REFP}/P33
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	0	1	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A
0	0	1	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A
0	1	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
0	1	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A
0	1	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A
0	1	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
0	1	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	0	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	1	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	0	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	1	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	0	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	1	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	0	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	1	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	0	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	1	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	1	0	0	0	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
上記以外					設定禁止																						

注意1.　ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ3, 8-10, 12（PM3, PM8-PM10, PM12）で入力モードに選択してください。

2.　ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

12.3.12　ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）

ANI24-ANI30端子をA/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

PMC7, PMC12レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

注意　ANI24-ANI30端子のうち使用できる端子は製品によって異なります。詳細は「1.5　端子接続図」を参照してください。

図12－16　ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）のフォーマット

アドレス：F0067H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PMC7	1	1	1	PMC74	PMC73	PMC72	PMC71	PMC70

アドレス：F006CH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PMC12	1	1	PMC125	1	1	1	1	PMC120

PMC	デジタル入出力／アナログ入力の選択
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

注意1.　アナログ入力に設定したポートは，ポート・モード・レジスタx（PMx）で入力モードに選択してください。

2.　搭載していないビットには必ず初期値を設定してください。

12.3.13　ポート・モード・レジスタ3,7-10,12（PM3, PM7-PM10, PM12）

ANI0/P33-ANI23/P105、ANI24/P125-ANI30/P74端子をアナログ入力ポートとして使用するとき，PMmnビットにそれぞれ1を設定してください。このときPMmnの出力ラッチは，0または1のどちらでもかまいません。

PMmnビットにそれぞれ0を設定した場合は，アナログ入力ポートとして使用することはできません。

PMmレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

注意1.　使用できる端子は製品によって異なります。詳細は「第2章　端子機能」を参照してください。

2.　アナログ入力ポートとして設定した端子を読み出した場合は，端子レベルではなく常に0が読み出されます。

備考　　m = 3, 7-10, 12　　n = 0-7

図12－17　ポート・モード・レジスタ3, 7-10, 12（PM3, PM7-PM10, PM12）の
フォーマット（144ピン版の場合）

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	1	1	1

アドレス：FFF27H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	1	PM74	PM73	PM72	PM71	PM70

アドレス：FFF28H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

アドレス：FFF29H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

アドレス：FFF2AH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM10	1	1	PM105	PM104	PM103	PM102	PM101	PM100

アドレス：FFF2CH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	PM125	1	1	1	1	PM120

PMビット	入出力モードの選択
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

ANI0/P33-ANI23/P105端子の機能は，A/Dポート・コンフィギュレーション・レジスタ（ADPC），アナログ入力チャネル指定レジスタ（ADS），PM3, PM8, PM9, PM10レジスタの設定で決定します。

表12－4　ANI0/P33-ANI23/P105端子機能の設定

ADPC	PM3, PM8, PM9, PM10	ADS	ANI0/P33-ANI23/P105端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

また，ANI24-ANI30端子の機能は，ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12），アナログ入力チャネル指定レジスタ（ADS），PM7, PM12レジスタの設定で決定します。

表12－5　ANI24-ANI30端子機能の設定

PMC7, PMC12	PM7, PM12	ADS	ANI24-ANI30端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

12.4 A/Dコンバータの変換動作

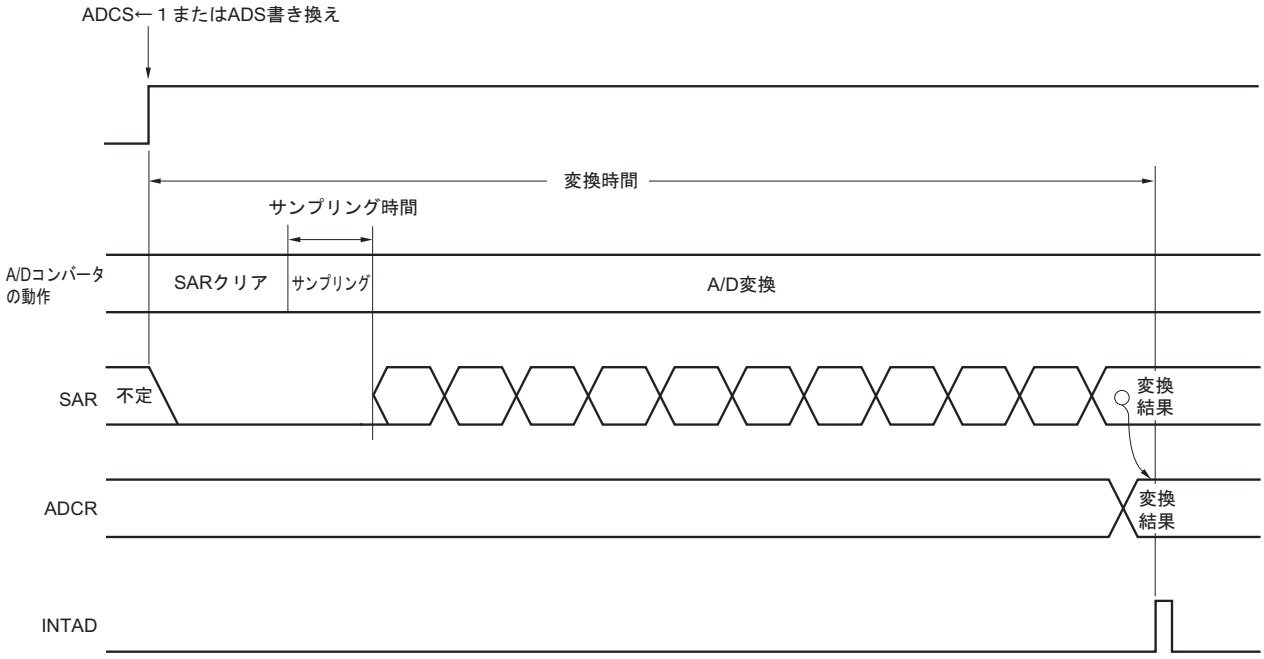
A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。
② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。
③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。
④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBビットはリセットします。
⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。
　・ビット9 = 1：（3/4）AV_{REF}
　・ビット9 = 0：（1/4）AV_{REF}
この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。
　・サンプリングされた電圧≧電圧タップ：ビット8 = 1
　・サンプリングされた電圧＜電圧タップ：ビット8 = 0
⑥ このような比較をSARレジスタのビット0まで続けます。
⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され，ラッチします[注1]。
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます[注1]。
⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注2]。
A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図12－8参照））で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合，ADCR, ADCRHレジスタに結果は格納されません。
2. 連続変換モード時は，ADCSフラグは自動的に0にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に0にクリアされません。1のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。
　・ADCRレジスタ（16ビット）：10ビットのA/D変換値を格納します。
　・ADCRHレジスタ（8ビット）：8ビットのA/D変換値を格納します。
2. AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

図12－18　A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）



A/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き込み操作を行うと，変換動作は初期化され，ADCSビットがセット（1）されていれば，最初から変換を開始します。

A/D変換結果レジスタ（ADCR, ADCRH）は，リセット信号の発生により0000Hまた00Hとなります。

12.5　入力電圧と変換結果

アナログ入力端子（ANI0-ANI23, ANI24-ANI30）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR=INT\left(\frac{V_{AIN}}{AV_{REF}}\times 1024+0.5\right)$$

ADCR = SAR×64

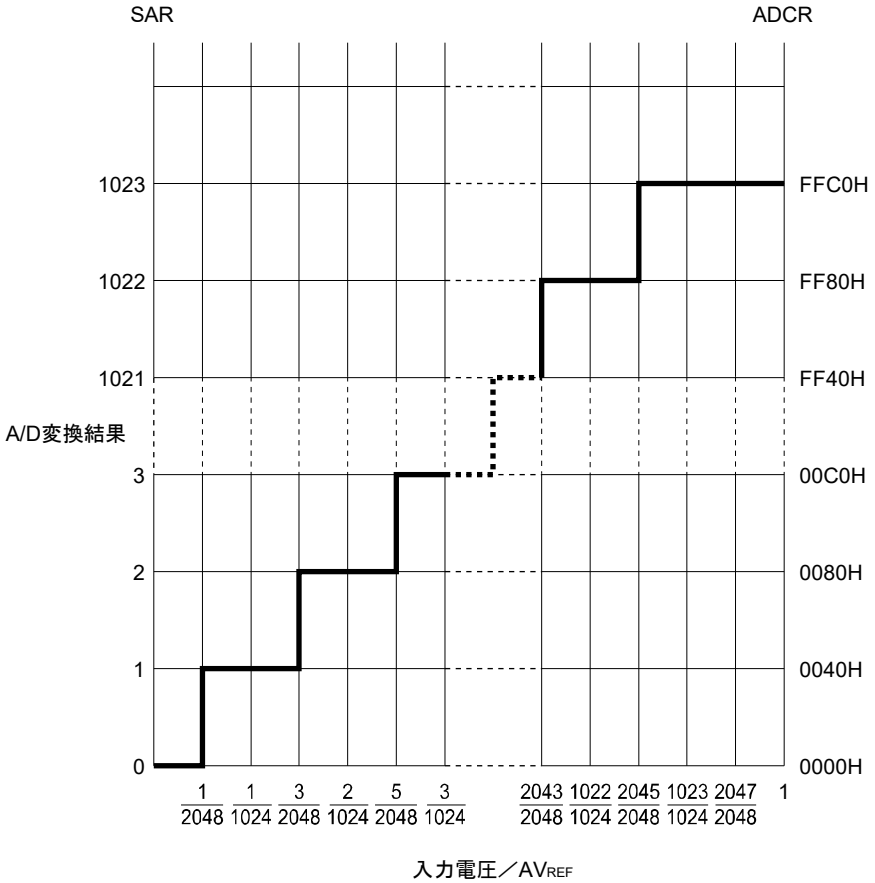
または,

$$\left(\frac{ADCR}{64}-0.5\right)\times\frac{AV_{REF}}{1024}\leqq VAIN<\left(\frac{ADCR}{64}+0.5\right)\times\frac{AV_{REF}}{1024}$$

INT（　）　　：（　）内の値の整数部を返す関数
VAIN　　：アナログ入力電圧
AV_{REF}　　：AV_{REF}電圧
ADCR　　：A/D変換結果レジスタ（ADCR）の値
SAR　　：逐次変換レジスタ

図12－19にアナログ入力電圧とA/D変換結果の関係を示します。

図12－19　アナログ入力電圧とA/D変換結果の関係



備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

12.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順は「12.7 A/Dコンバータの設定フロー・チャート」を参照してください。

12.6.1 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

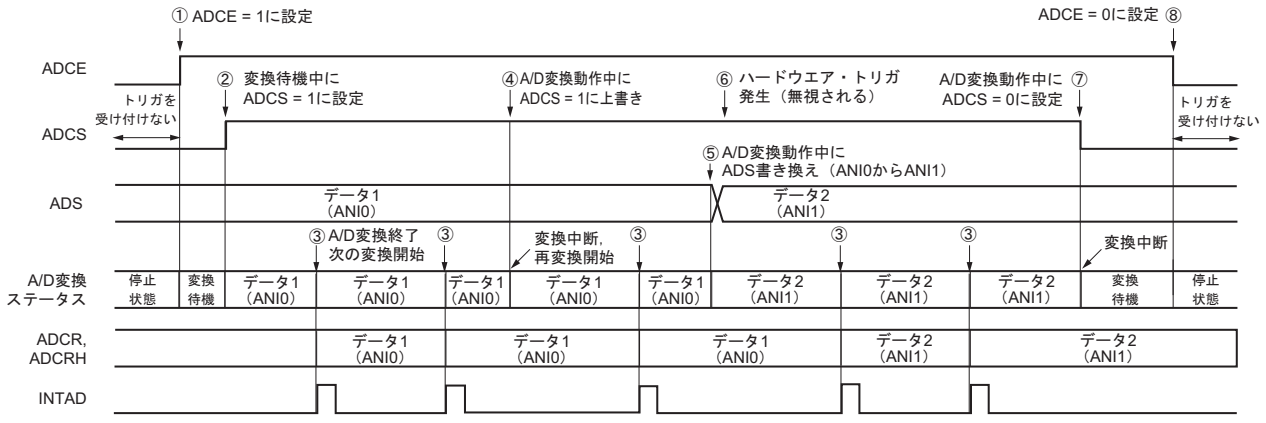
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図12－20 ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



12.6.2 ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

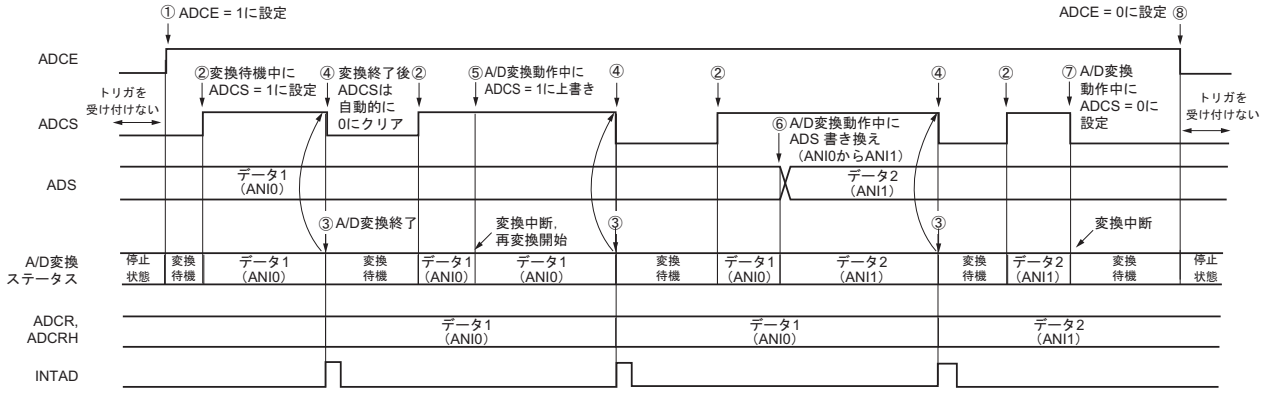
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図12－21 ソフトウエア・セレクト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



12.6.3 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

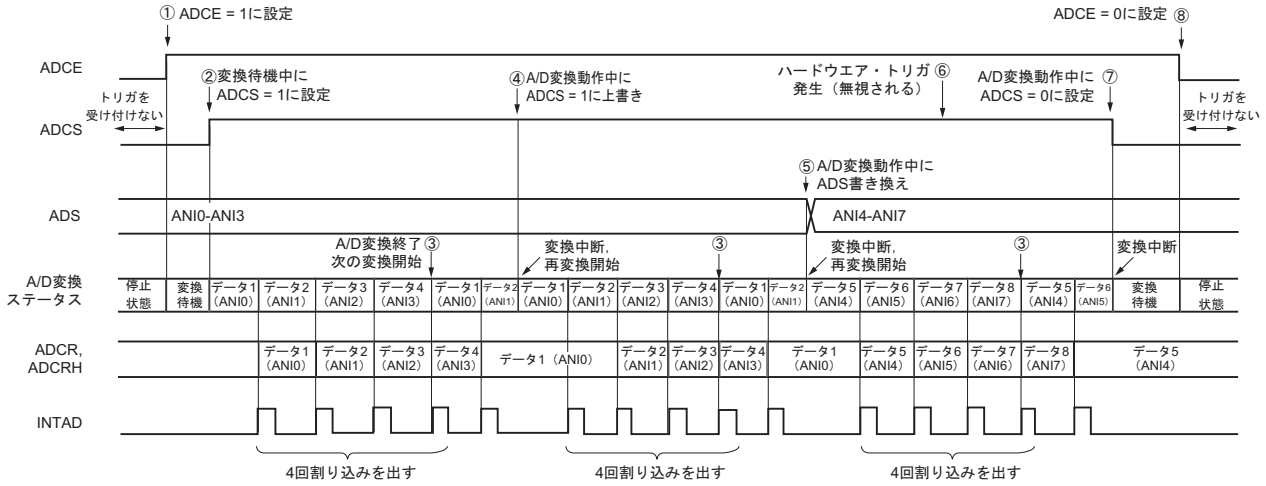
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図12－22 ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



12.6.4 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

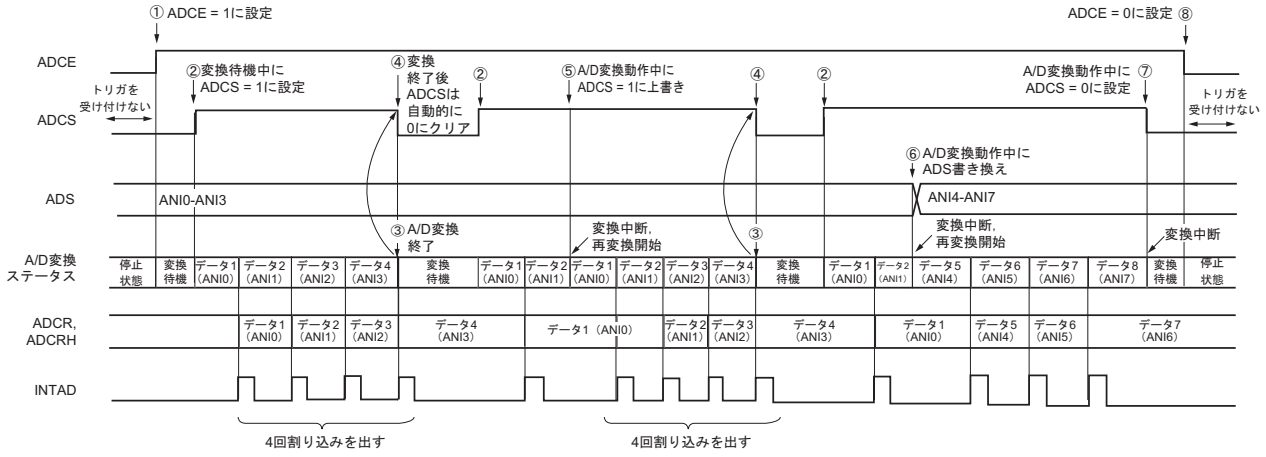
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図12－23 ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



12.6.5 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

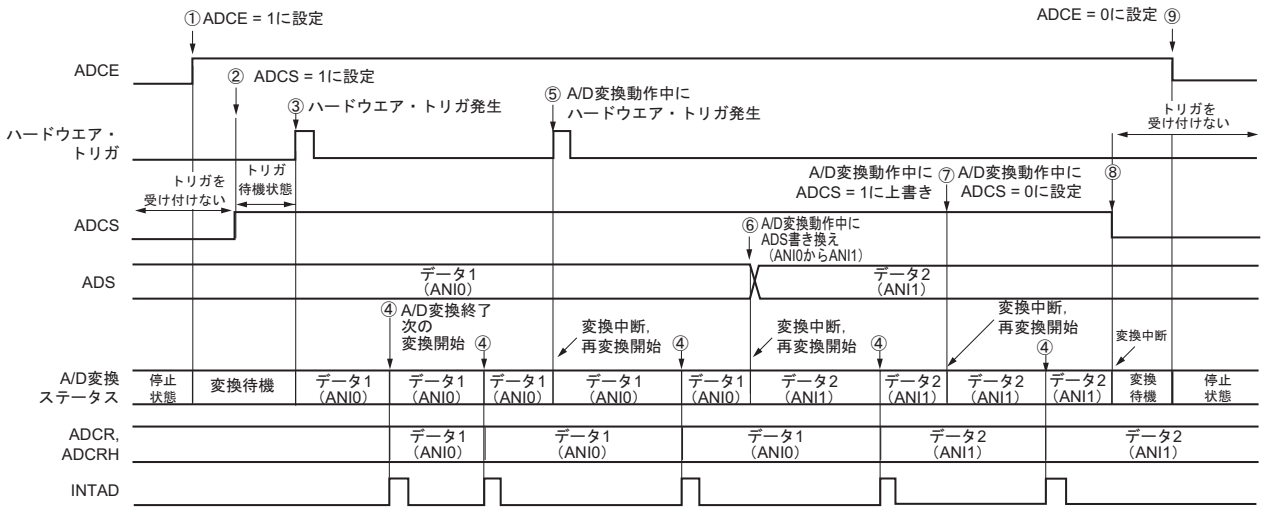
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－24 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



12.6.6 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

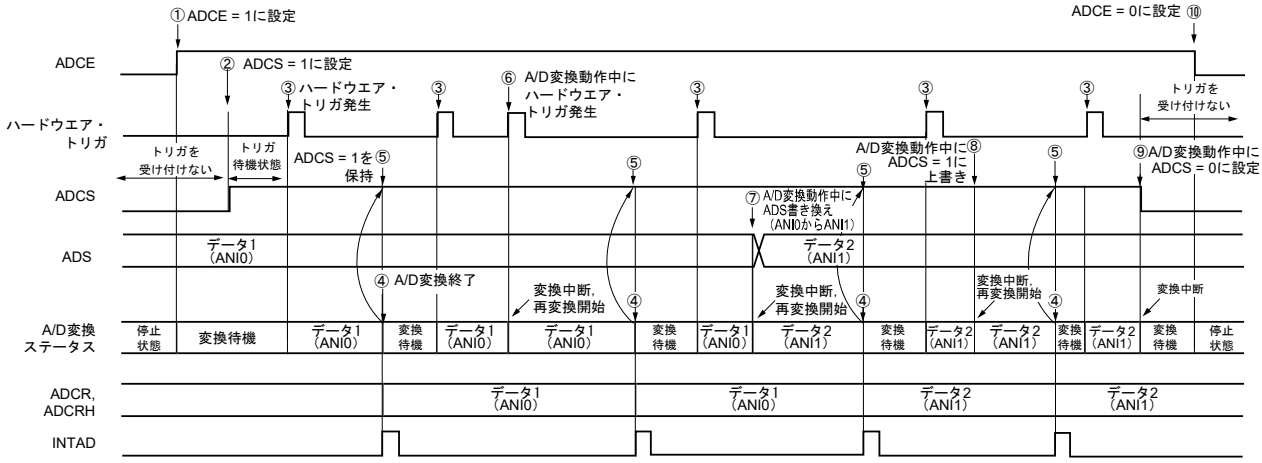
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－25 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



12.6.7 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

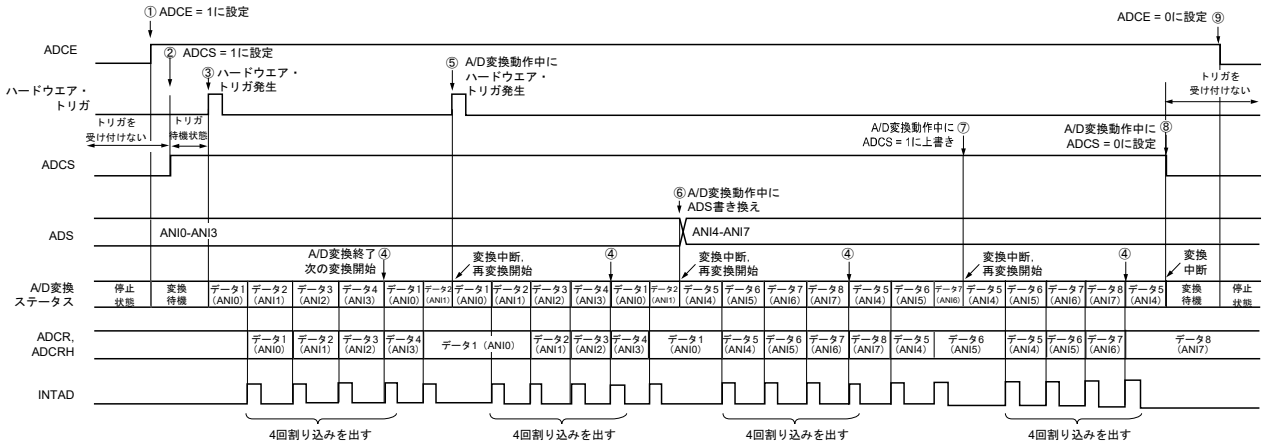
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図12－26 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）
動作タイミング例



12.6.8 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

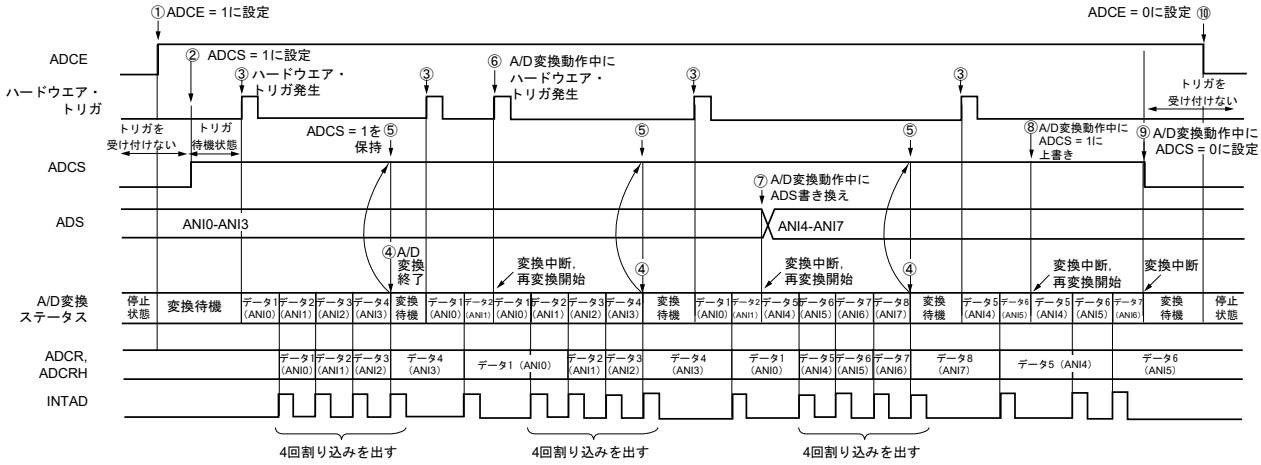
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－27 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



12.6.9 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

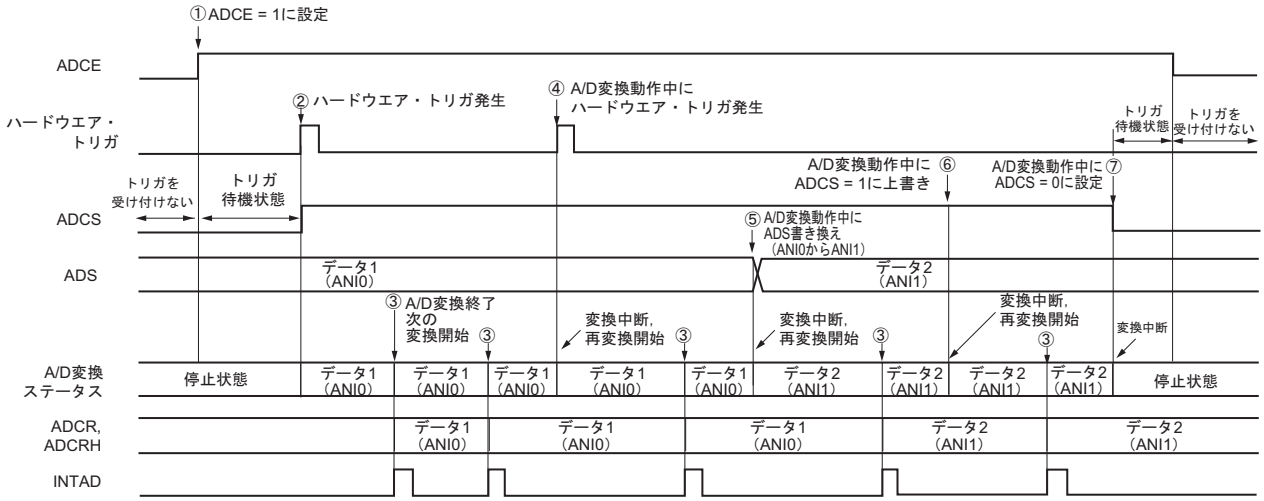
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－28 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）
動作タイミング例



12.6.10 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

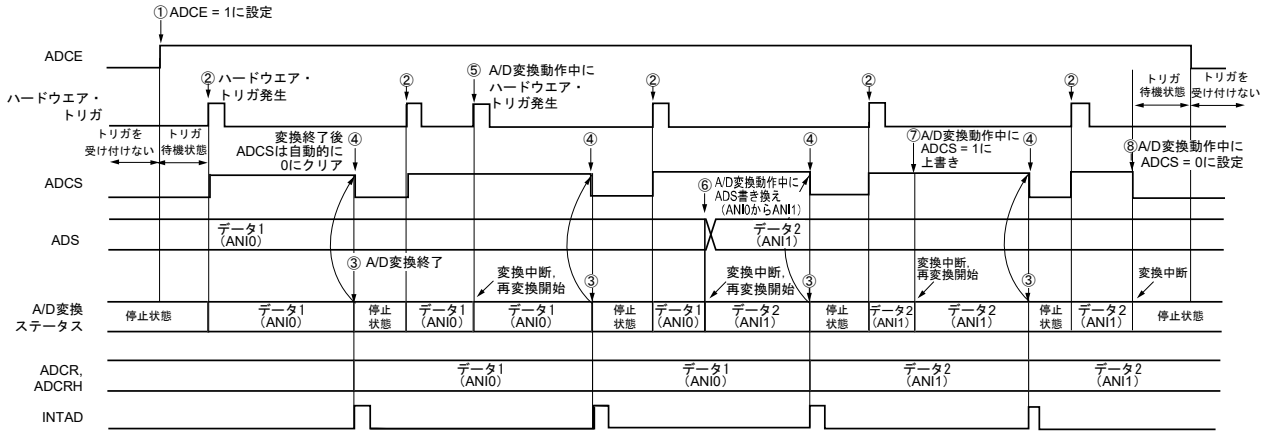
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－29 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



12.6.11 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

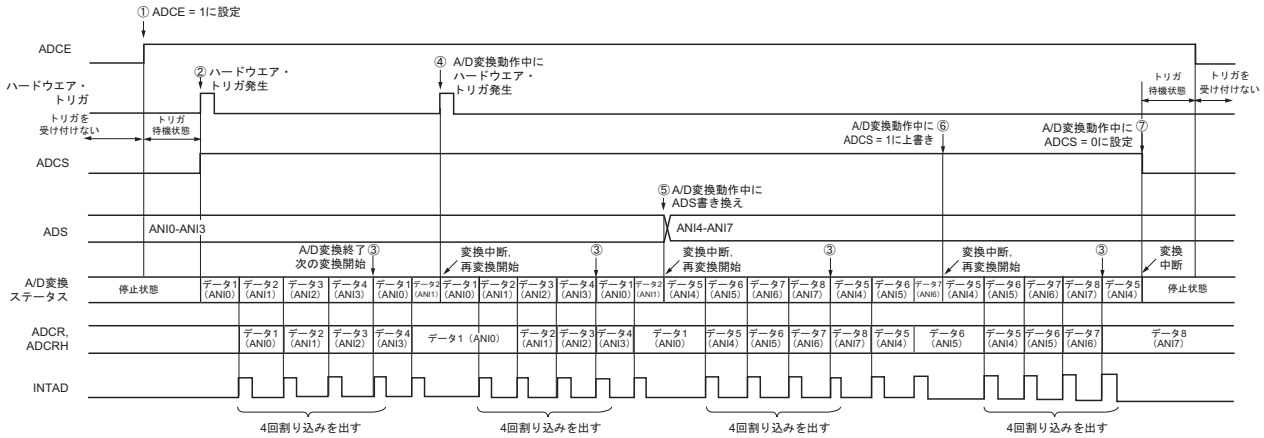
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－30 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



12.6.12 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

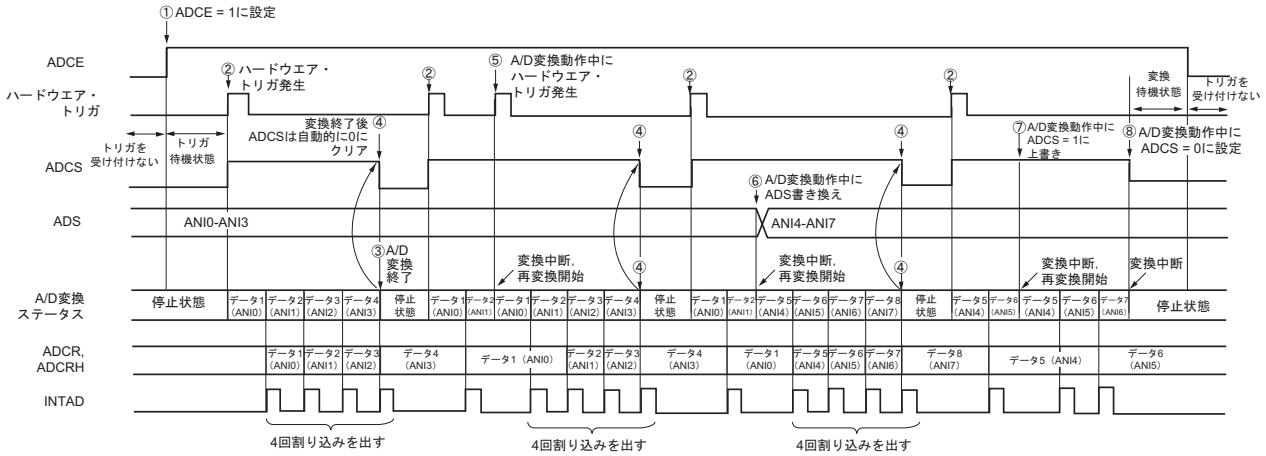
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図12－31 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）
動作タイミング例

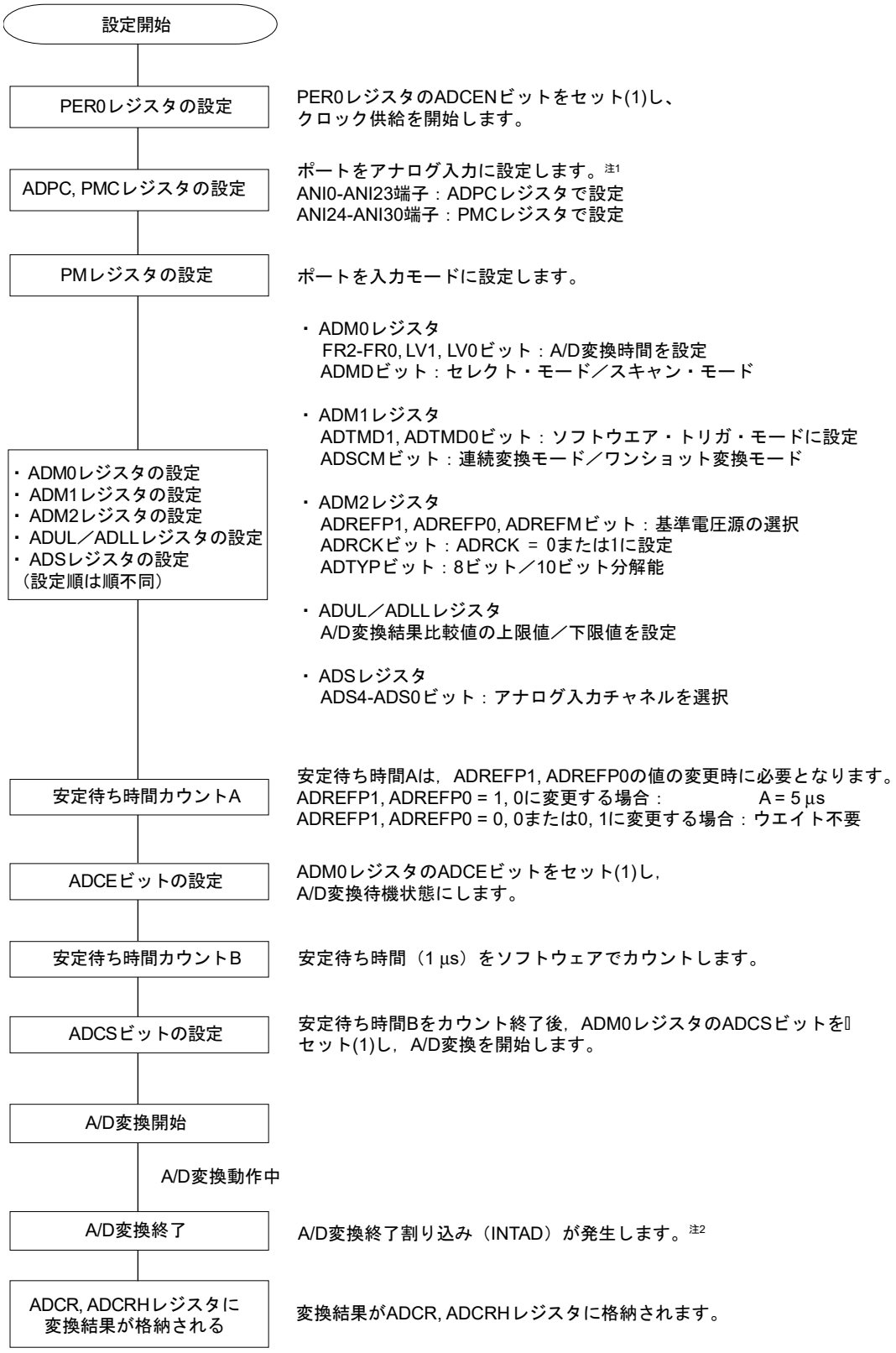


12.7　A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

12.7.1 ソフトウエア・トリガ・モード設定

図12－32 ソフトウエア・トリガ・モード設定

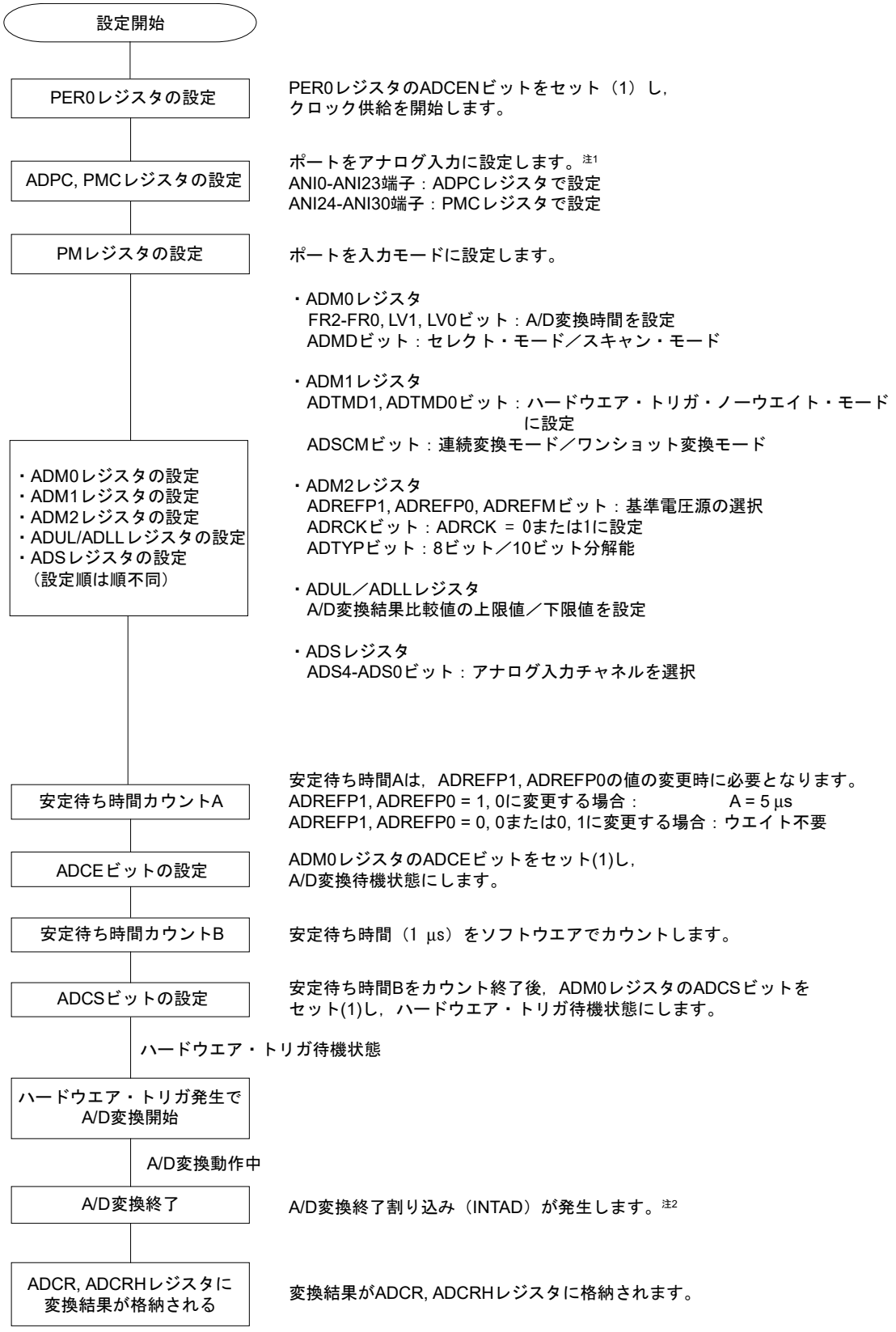


注1. 製品により異なります。

2. ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

12.7.2 ハードウエア・トリガ・ノーウエイト・モード設定

図12－33 ハードウエア・トリガ・ノーウエイト・モード設定

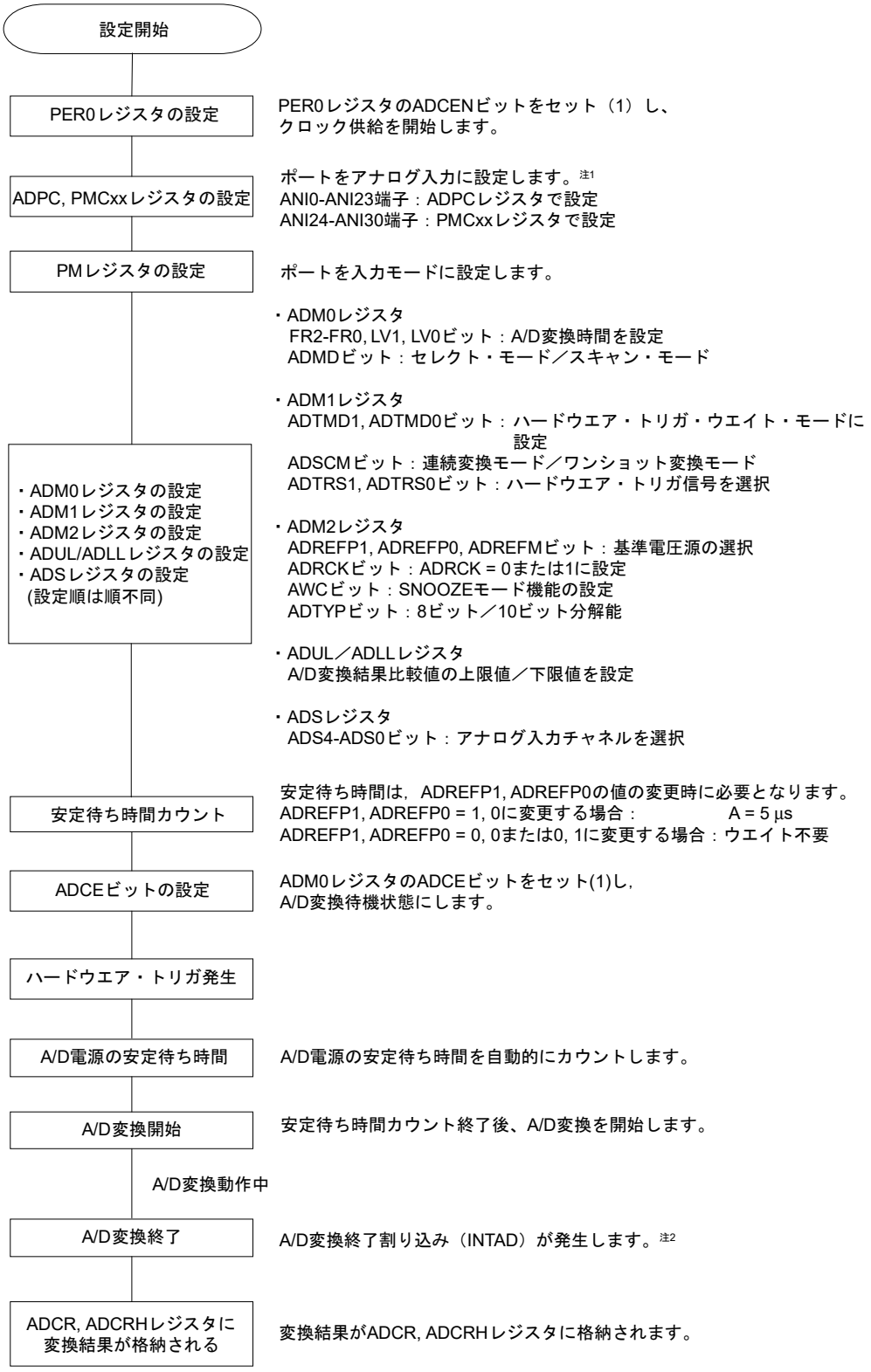


注1. 製品により異なります。

2. ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。
この場合，ADCR, ADCRHレジスタに結果は格納されません。

12.7.3 ハードウエア・トリガ・ウエイト・モード設定

図12－34 ハードウエア・トリガ・ウエイト・モード設定

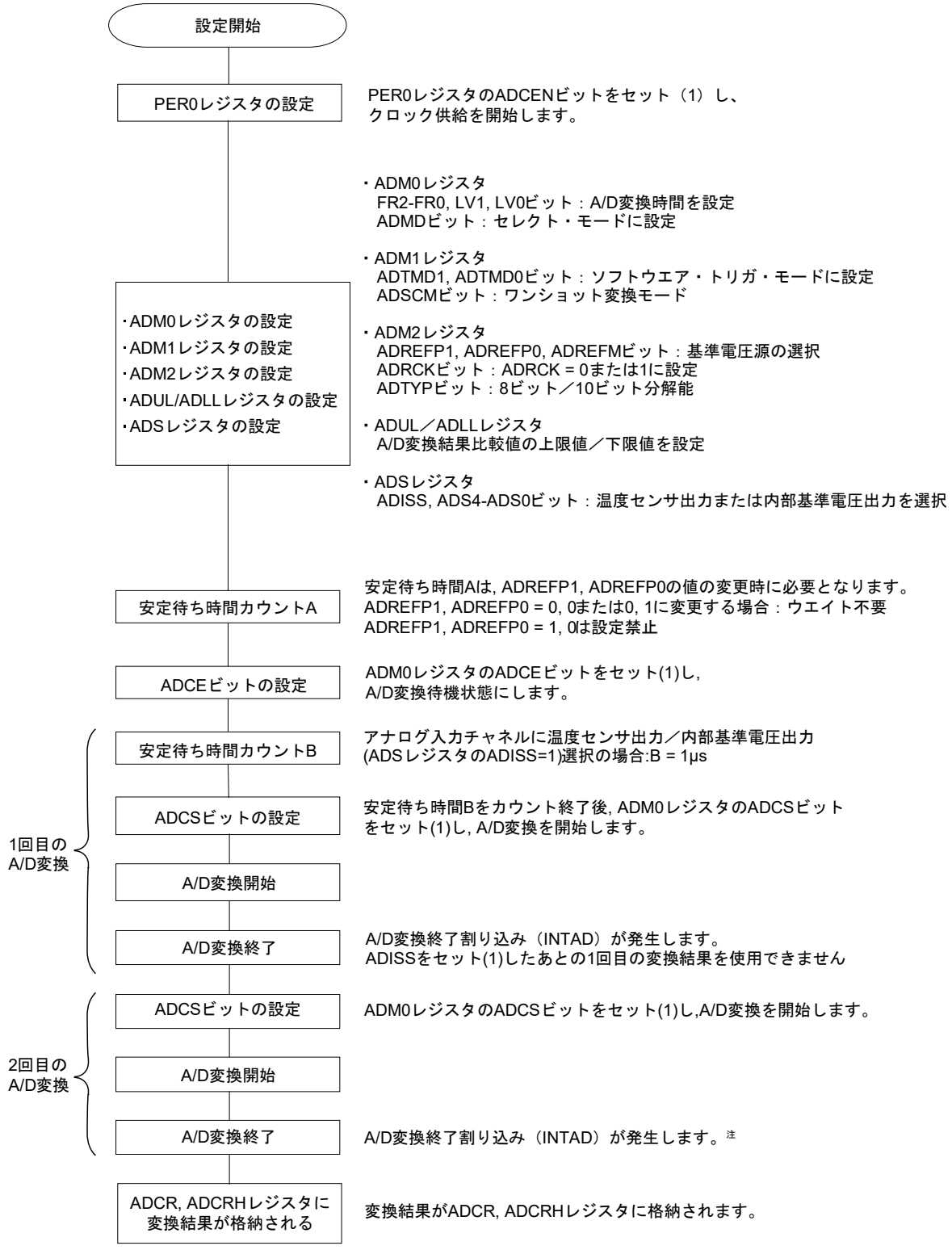


注1. 製品により異なります。

2. ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。
この場合，ADCR, ADCRHレジスタに結果は格納されません。

12.7.4 温度センサ使用時の設定（例 ソフトウエア・トリガ・モード，ワンショット変換モード時）

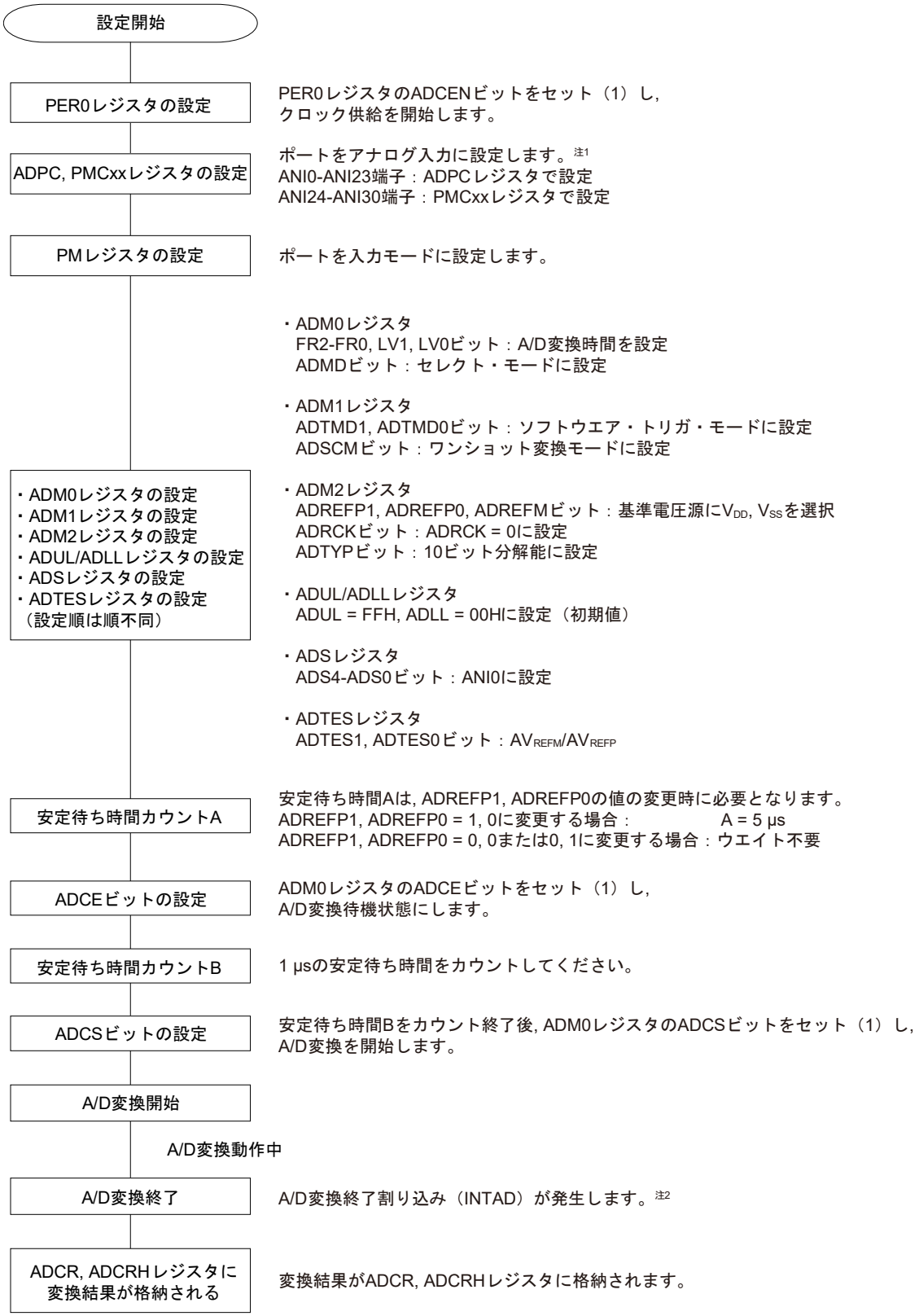
図12－35 温度センサ使用時の設定



注 ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

12.7.5　テスト・モード設定

図12－36　テスト・トリガ・モード設定



注1.　製品により異なります。

2.　ADRCKビット, ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。
この場合，ADCR, ADCRHレジスタに結果は格納されません。

12.8 SNOOZEモード機能

STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが，このモードを使うことで，ハードウエア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

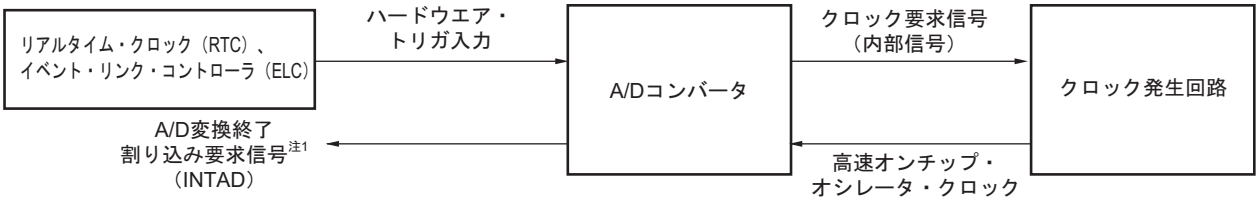
SNOOZEモードでは，ADUL, ADLLで変換結果の範囲を指定すれば，一定時間ごとにA/D変換結果の判断ができます。これにより，電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは，次の2つの変換モードのみ使用可能です。

- ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）
- ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

注意 SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12－37 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います（「12.7.3 ハードウエア・トリガ・ウエイト・モード設定」を参照注2）。このとき，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定しておきます。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります注1。

注1. A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。

2. ADM1レジスタは必ずE2HまたはE3Hに設定してください。

備考 ハードウエア・トリガは，ELCで選択されたイベント, INTRTC，またはINTTM01です。
ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

12.8.1 A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

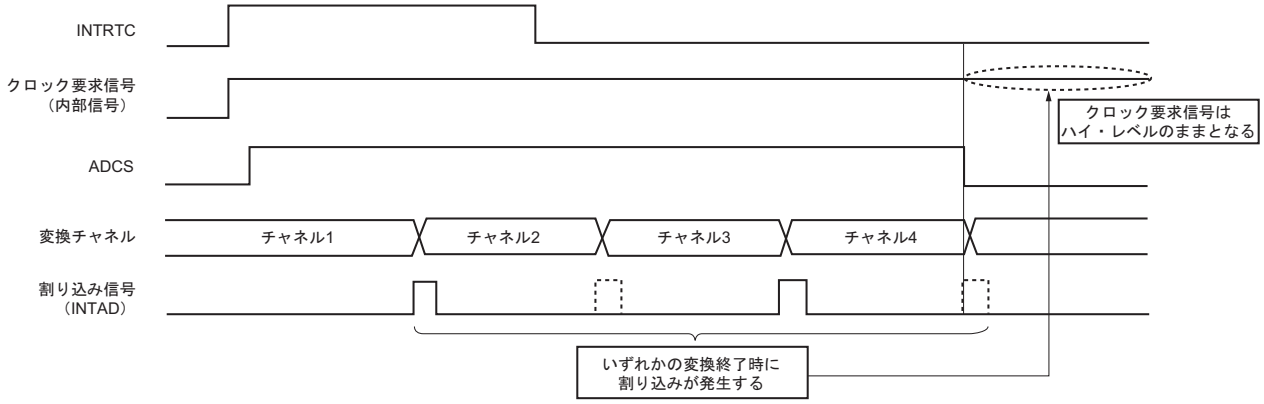
・セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/Dコンバータ はSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

・スキャン・モード時

4チャネル分のA/D変換で１回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合，A/Dコンバータ はSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0：SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図12－38 A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



12.8.2　A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

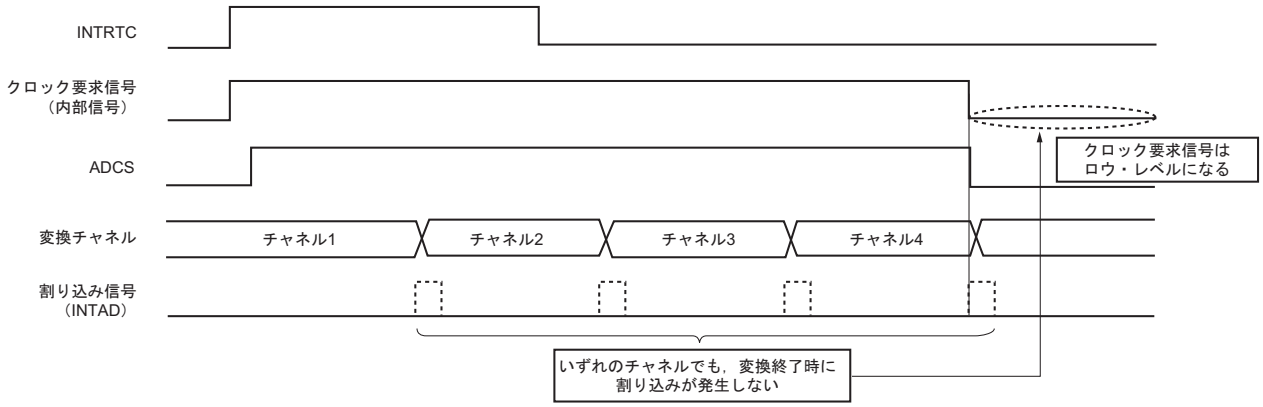
・セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

・スキャン・モード時

4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図12－39　A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）



12.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

（1）分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

1 LSB = $1/2^{10}$ = 1/1024= 0.098 %FSR

精度は分解能とは関係なく，総合誤差によって決まります。

（2）総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

（3）量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図12－40 総合誤差

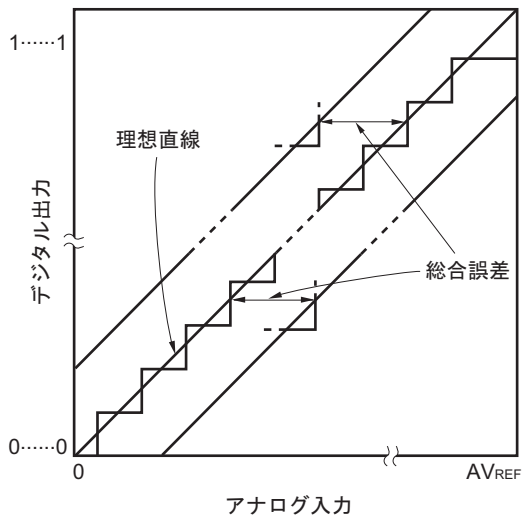
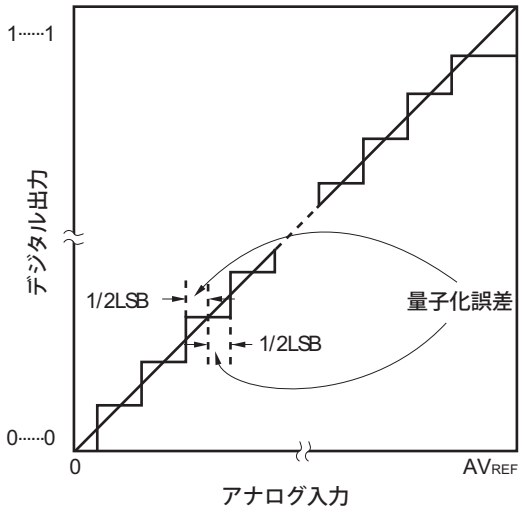


図12－41 量子化誤差



（4）ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

（5）フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール−3/2 LSB）との差を表します。

（6）積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

（7）微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図12−42 ゼロスケール誤差

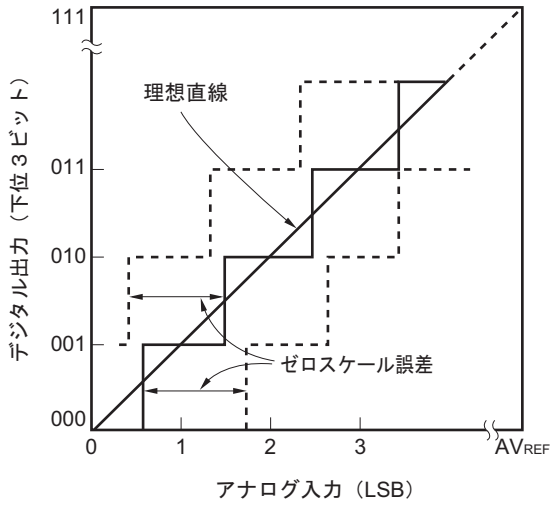


図12−43 フルスケール誤差

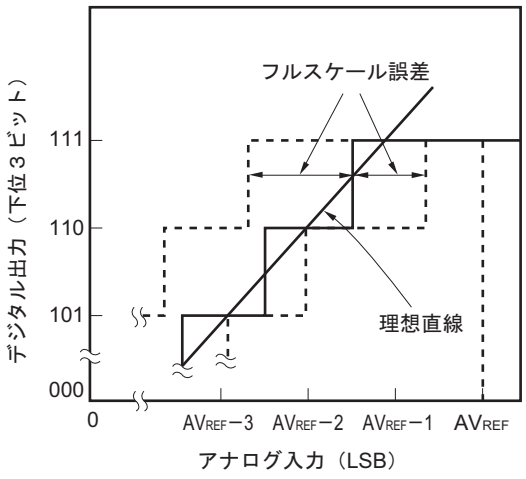


図12－44 積分直線性誤差

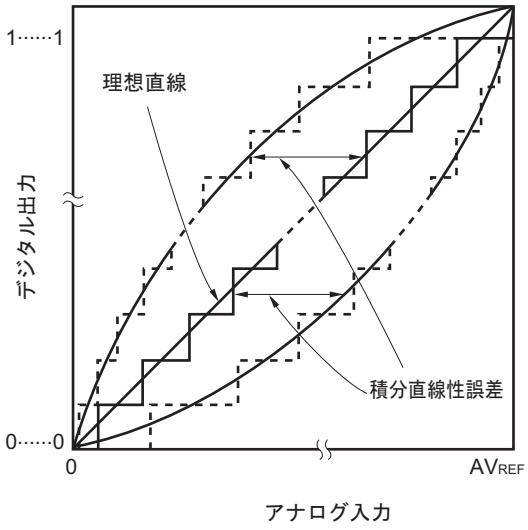
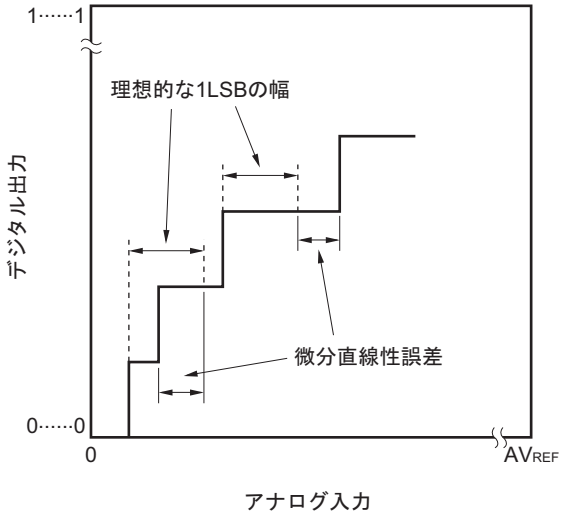


図12－45 微分直線性誤差



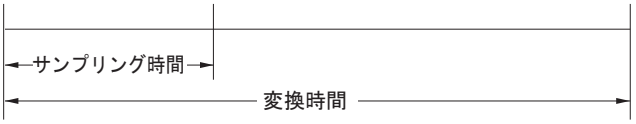
（8）変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

（9）サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



12.10 A/Dコンバータの注意事項

（1）STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから，動作開始してください。

（2）ANI0-ANI23, ANI24-ANI30端子入力範囲について

ANI0-ANI23, ANI24-ANI30端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}を超える電圧，V_{SS}, AV_{REFM}未満（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの＋側の基準電圧源に選択した場合は，ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし，ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

（3）競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと，命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト，アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

（4）ノイズ対策について

10ビット分解能を保つためには，AV_{REFP}, V_{DD}, ANI0-ANI23, ANI24-ANI30端子へのノイズに注意する必要があります。

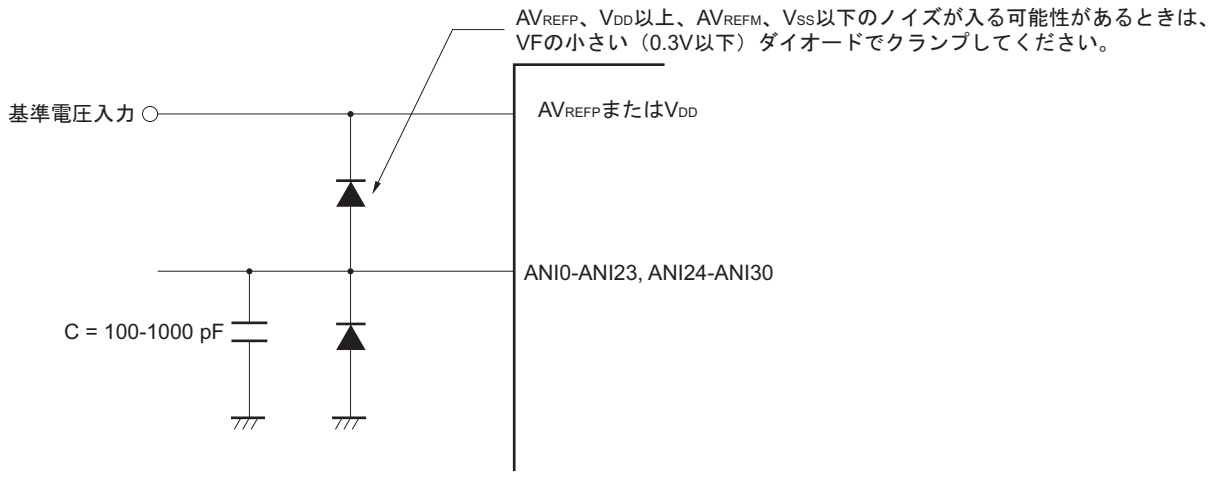
① 電源には等価抵抗が小さく，周波数応答のよいコンデンサを接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図12－46のようにコンデンサを外付けすることを推奨します。

③ 変換中においては，他の端子とスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

図12－46 アナログ入力端子の処理



（5）アナログ入力（ANIn）端子

① アナログ入力（ANI0-ANI23, ANI24-ANI30）端子は入力ポート（P33, P34, P70-P74, P80-P87, P90-P97, P100-P105, P120, P125）端子と兼用になっています。
ANI0-ANI23, ANI24-ANI30端子のいずれかを選択してA/D変換をする場合，変換中にP33, P34, P70-P74, P80-P87, P90-P97, P100-P105, P120, P125に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると，カップリング・ノイズによってA/D変換値が期待値と異なることがあります。
このようなパルスが入出力されないようにしてください。

（6）アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にし，出力インピーダンスが高いときはANI0-ANI23, ANI24-ANI30端子に100 pF程度のコンデンサを付けることを推奨します（図12－46参照）。

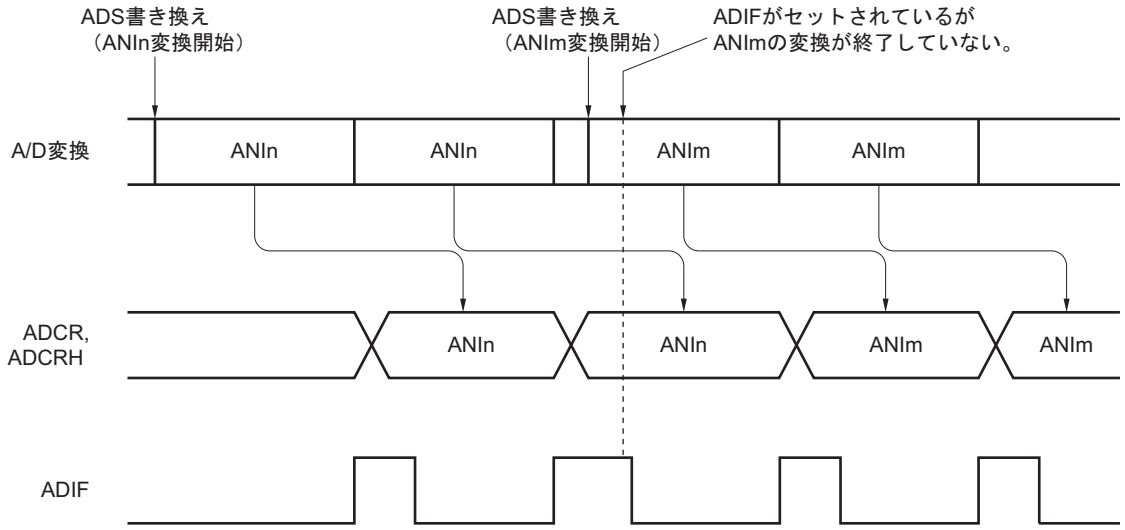
（7）割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリア（0）してください。

図12－47　A/D変換終了割り込み要求発生タイミング



（8）A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット = 1にしてから，1 μs以内にADCSビット = 1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

（9）A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC），ポート・モード・コントロール・レジスタxx（PMCxx）に対して書き込み動作を行ったとき，ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPC，PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（10）内部等価回路について

アナログ入力部の等価回路を次に示します。

図12－48 ANIn端子内部等価回路

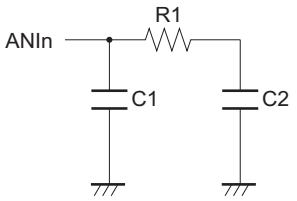


表12－6 等価回路の各抵抗と容量値（参考値）

AV_{REFP}, V_{DD}	ANIn端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦V_{DD}≦5.5 V	ANI0-ANI23	14	8	2.5
	ANI24-ANI30	18	8	7.0
2.7 V≦V_{DD}＜3.6 V	ANI0-ANI23	39	8	2.5
	ANI24-ANI30	53	8	7.0

備考 表12－6の各抵抗と容量値は保証値ではありません。

（11）A/Dコンバータの動作開始について

A/Dコンバータの動作は，AV_{REFP}, V_{DD}の電圧が安定してから開始してください。

（12）温度センサ出力について

コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧（1.45 V）を選択している場合は，温度センサ出力を選択できません。

第13章　D/Aコンバータ

デジタル入力をアナログ信号に変換する8ビット分解能のR-2R方式によるD/Aコンバータで、アナログ出力を制御可能です。

13.1　D/Aコンバータの機能

D/Aコンバータには次のような機能があります。

・8ビット分解能

・R-2Rラダー方式

・アナログ出力電圧

8ビット分解能：V_{DD} × m8/256（m8：DACS0レジスタに設定した値）

・動作モード

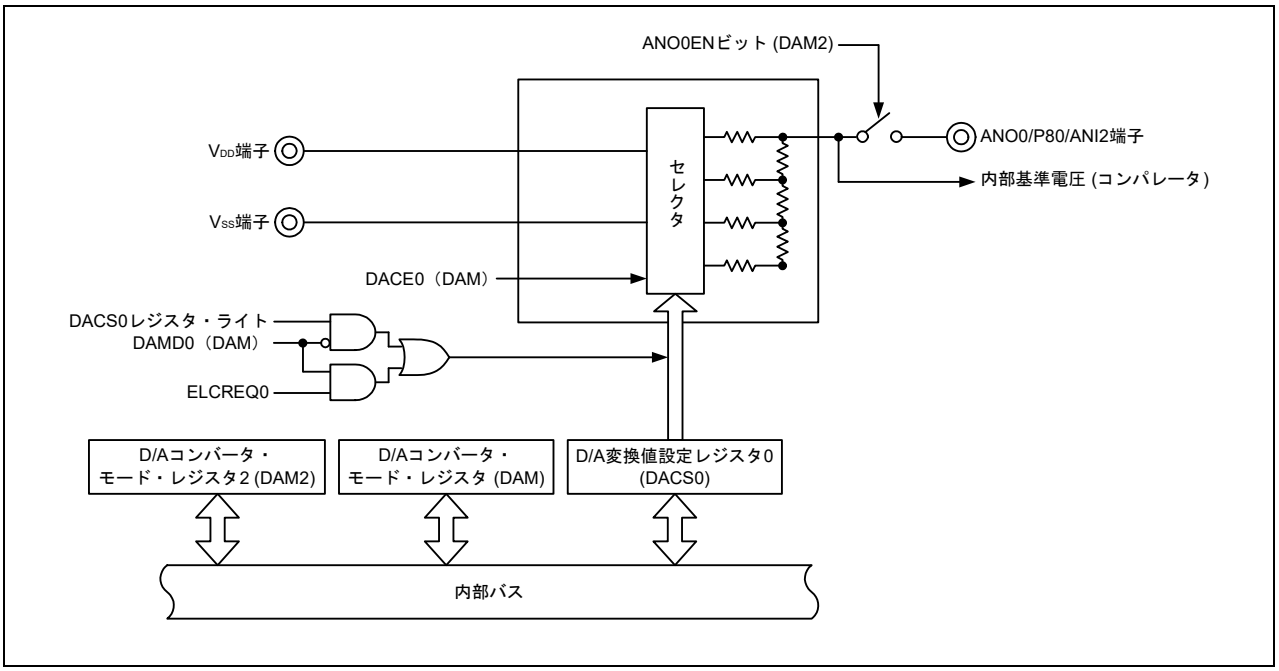
通常モード

リアルタイム出力モード

13.2　D/Aコンバータの構成

D/Aコンバータのブロック図を図13－1に示します。

図13－1　D/Aコンバータのブロック図



備考1.　ELCREQ0は、リアルタイム出力モードに使用するトリガ信号（ELCからのリクエスト信号）です。

2.　内部基準電圧（コンパレータ）は，コンパレータの基準電圧の選択に使用します。
コンパレータ入出力切替レジスタ（CMPSEL）のビット5，4（CVRS1，0）を10B（内部基準電圧（DAC出力））に設定する場合は，ANO0ENビットを0（アナログ出力禁止）に設定します。

13.3　D/Aコンバータで使用するレジスタ

D/Aコンバータは次の6種類のレジスタを使用します。

・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・周辺イネーブル・レジスタ1（PER1）
・D/Aコンバータ・モード・レジスタ（DAM）
・D/Aコンバータ・モード・レジスタ2（DAM2）
・D/A変換値設定レジスタ0（DACS0）
・ポート・モード・レジスタ8（PM8）

13.3.1　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P33-ANI23/P105端子をアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

D/Aコンバータを使用する場合，ANI2/ANO0/P80端子をADPCレジスタでアナログ入力に設定してください。

ADPCレジスタは8ビットメモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図13−2　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADPC4	ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力（A）/デジタル入出力（D）の切り替え																						
					ANI23/P105	ANI22/P104	ANI21/P103	ANI20/P102	ANI19/P101	ANI18/P100	ANI17/P97	ANI16/P96	ANI15/P95	ANI14/P94	ANI13/P93	ANI12/P92	ANI11/P91	ANI10/P90	ANI9/P87	ANI8/P86	ANI7/IVREF0/P85	ANI6/IVCMP03/P84	ANI5/IVCMP02/P83	ANI4/IVCMP01/P82	ANI3/IVCMP00/P81	ANI2/ANO0/P80	ANI1/P34	ANI0/P33
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	0	1	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A
0	0	1	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A
0	1	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
0	1	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A
0	1	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A
0	1	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
0	1	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	0	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	1	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	0	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	1	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	0	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	1	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	0	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	1	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	0	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	1	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	1	0	0	0	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
上記以外					設定禁止																						

注意1.　D/A変換で使用するチャネルはポート・モード・レジスタ8（PM8）で入力モードに選択してください。

2.　ADPCレジスタでデジタル入出力として設定する端子をD/Aコンバータ・モード・レジスタ（DAM）でD/A変換動作許可に設定しないでください。

13.3.2 周辺イネーブル・レジスタ1（PER1）

PER1レジスタは、各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用するときは、必ずビット7（DACEN）を1に設定してください。

PER1レジスタは、1ビットメモリ操作命令または8ビットメモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図13－3 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN注	SAU2EN	TRJ0EN

DACEN	D/Aコンバータの入力クロックの制御
0	入力クロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入力クロック供給 ・D/Aコンバータで使用するSFRへのリード／ライト可

注　144ピン製品のみ。

注意1. D/Aコンバータの設定をする際には必ず最初にDACEN = 1の設定を行ってください。DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります（ポート・モード・レジスタ8（PM8）、ポート・レジスタ8（P8）、A/Dポート・コンフィギュレーション・レジスタ（ADPC）、D/Aコンバータ・モード・レジスタ2（DAM2）は除く）。

2. ビット6には必ず"0"を設定してください。

13.3.3 D/Aコンバータ・モード・レジスタ（DAM）

D/Aコンバータの動作を制御するレジスタです。

DAMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図13−4 D/Aコンバータ・モード・レジスタ（DAM）のフォーマット

アドレス：FFF36H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	0	DACE0	0	0	0	DAMD0

DACE0	D/Aコンバータの変換動作の制御
0	D/A変換動作停止
1	D/A変換動作許可

DAMD0	D/Aコンバータの動作モードの選択
0	通常動作モード
1	リアルタイム出力モード

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDACE0ビットを0（出力禁止）にし、DACS0レジスタを00Hにして、R-2Rの抵抗に電流が流れないようにしてください。

13.3.4 D/Aコンバータ・モード・レジスタ2（DAM2）

D/Aコンバータのアナログ出力をP80/ANO0端子に出力する場合、ANO0端子の出力を制御するレジスタです。

コンパレータ入出力切替レジスタ（CMPSEL）のビット5-4（CVRS1-0）を10B（内部基準電圧（DAC出力））に設定する場合は、ANO0ENビットを0（アナログ出力禁止）に設定してください。

DAM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図13－5 D/Aコンバータ・モード・レジスタ2（DAM2）のフォーマット

アドレス：F0227H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DAM2	0	0	0	0	0	0	0	ANO0EN

ANO0EN	アナログ出力（ANO0）の制御
0	アナログ出力（ANO0）禁止
1	アナログ出力（ANO0）許可

13.3.5　D/A変換値設定レジスタ0（DACS0）

D/Aコンバータを使用する場合、ANO0端子に出力するアナログ電圧値を設定するレジスタです。

DACS0レジスタは8ビットメモリ操作命令で設定します。

リセットにより00Hになります。

図13－6　D/A変換値設定レジスタ0（DACS0）のフォーマット

アドレス：FFF34H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DACS0	DACS07	DACS06	DACS05	DACS04	DACS03	DACS02	DACS01	DACS00

備考　D/Aコンバータのアナログ出力電圧（VANO0）は，次のようになります。

VANO0 = D/Aコンバータ用基準電圧 ×（DACS0）/256

13.3.6 ポート・モード・レジスタ8（PM8）

ANO0/ANI2/P80端子をアナログ入力ポートとして使用するとき、PM80ビットに1を設定してください。

PM80ビットに0を設定した場合は，アナログ入力ポートとして使用することはできません。

PM8レジスタは、1ビットメモリ操作命令または8ビットメモリ操作命令で設定します。

リセット信号の発生によりFFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

図13－7 ポート・モード・レジスタ8（PM8）のフォーマット

アドレス：FFF28H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

PM8n	P8n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

ANO0/ANI2/P80端子の機能は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）、D/Aコンバータ・モード・レジスタ（DAM）、D/Aコンバータ・モード・レジスタ2（DAM2）、アナログ入力チャネル指定レジスタ（ADS）、PM8レジスタの設定で決定します。

表13－1 ANO0/ANI2/P80端子機能の設定

ADPCレジスタ	PM8レジスタ	DAMレジスタ	DAM2レジスタ	ADSレジスタ	ANO0/ANI2/ P80端子機能
デジタル入出力	入力モード	－	アナログ出力許可	－	設定禁止
			アナログ出力禁止		デジタル入力
	出力モード	－	アナログ出力許可	－	設定禁止
			アナログ出力禁止		デジタル出力
アナログ入出力	入力モード	D/A変換動作許可	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	アナログ出力（D/A出力）
			アナログ出力禁止	ANI選択	アナログ入力（A/D変換対象）
				ANI非選択	アナログ入力（A/D変換非対象）注
		D/A変換動作停止	アナログ出力許可	ANI選択	設定禁止
				ANI非選択	設定禁止
			アナログ出力禁止	ANI選択	アナログ入力（A/D変換対象）
				ANI非選択	アナログ入力（A/D変換非対象）
	出力モード	－	－	－	設定禁止

注. コンパレータの内部基準電圧としてD/Aコンバータを使用する場合の設定です。この場合は、CMPSELレジスタCVRS1,CVRS0ビットを10b（内部基準電圧（D/Aコンバータ出力））としてください。

13.4　D/Aコンバータの動作

13.4.1　通常モード時の動作

DACS0レジスタへのライト動作を起動トリガとしてD/A変換を行います。

以下に、その設定動作を示します。

① 周辺イネーブル・レジスタ1（PER1）のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。

② A/Dポート・コンフィギュレーション・レジスタ（ADPC）でポートをアナログ端子に設定します。

③ D/Aコンバータ・モード・レジスタ2（DAM2）のANO0ENビットを1（アナログ出力許可）に設定します。コンパレータ入出力切替レジスタ（CMPSEL）のビット5, 4（CVRS1, 0）を10B（内部基準電圧（DAC出力））に設定する場合は，ANO0ビットを0（アナログ出力禁止）に設定します。

④ D/Aコンバータ・モード・レジスタ（DAM）のDAMD0ビットを0（通常モード）に設定します。

⑤ D/A変換値設定レジスタ0（DACS0）にANO0端子出力するアナログ電圧値を設定します。

以上①～⑤を初期設定として行います。

⑥ DAMレジスタのDACE0ビットを1（D/A変換動作許可）に設定します。
これによりD/A変換を開始し、セトリング・タイム経過後、ANO0端子に⑤にて設定したアナログ電圧を出力します。

⑦ 以降、D/A変換を行う場合はDACS0レジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、DAMレジスタのDACE0ビット = 0（D/A変換動作停止）に設定すると、D/A変換を停止します。

ADPCレジスタでポートをデジタル端子に設定した場合、ANO0端子はポートのPM8レジスタPM80ビット = 1（入力モード）でハイ・インピーダンスになり、PM80ビット = 0（出力モード）でP8レジスタの設定値が出力されます。

注意1. DACE0ビットの設定値を1→0→1とした場合も、最後に1を設定したあとにウエイト時間が発生します。

2. セトリング・タイム中にDACS0レジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

13.4.2 リアルタイム出力モード時の動作

D/AコンバータはELCからの独立した要求信号を起動トリガとしてD/A変換を行います。

以下に、その設定方法を示します。

① 周辺イネーブル・レジスタ1（PER1）のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
② A/Dポート・コンフィギュレーション・レジスタ（ADPC）でポートをアナログ端子に設定します。
③ D/Aコンバータ・モード・レジスタ2（DAM2）のANO0ENビットを1（アナログ出力許可）に設定します。コンパレータ入出力切替レジスタ（CMPSEL）のビット5, 4（CVRS1, 0）を10B（内部基準電圧（DAC出力））に設定する場合は，ANO0ビットを0（アナログ出力禁止）に設定します。
④ D/Aコンバータ・モード・レジスタ（DAM）のDAMD0ビットを0（通常モード）に設定します。
⑤ D/A変換値設定レジスタ0（DACS0）にANO0端子出力するアナログ電圧値を設定します。
⑥ DAMレジスタのDACE0ビットを1（D/A変換動作許可）に設定します。
これによりD/A変換を開始し、セトリング・タイム経過後、ANO0端子に⑤にて設定したアナログ電圧を出力します。
⑦ イベント出力先選択レジスタ（ELSELR）でリアルタイム・トリガ信号を設定します。
⑧ DAMレジスタのDAMD0ビットを1（リアルタイム出力モード）に設定します。
⑨ ELC要求元の動作を開始します。
以上①～⑨を初期設定として行います。
⑩ 以降、リアルタイム出力トリガの発生により、D/A変換を開始し、セトリング・タイム経過後、ANO0端子に⑤にて設定したアナログ電圧を出力します。

なお、次のD/A変換を行う（リアルタイム出力トリガ発生）前までに、DACS0レジスタにANO0端子に出力するアナログ電圧値を設定してください。

また、DAMレジスタのDACE0ビット = 0（D/A変換動作停止）に設定すると、D/A変換を停止します。

ADPCレジスタでポートをデジタル端子に設定した場合、ANO0端子はポートのPM8レジスタのPM80ビット = 1（入力モード）でハイ・インピーダンスになり、PM80ビット = 0（出力モード）でP8レジスタの設定値が出力されます。

注意1. DACE0ビットの設定値を1→0→1とした場合も、最後に1を設定したあとにウエイト時間が発生します。
2. ELCイベント要求トリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にELCイベント要求トリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。
3. ELCイベント要求トリガ信号の発生とDACS0レジスタの書き換えのタイミングが競合しても、D/A変換結果は正常に出力されます。

13.5 D/Aコンバータ使用上の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

(1) A/Dポート・コンフィギュレーション・レジスタ（ADPC）でポートをアナログ端子に設定している場合は、ANO0端子と兼用するデジタル・ポートの入出力機能は動作しません。ADPCレジスタでポートをアナログ端子に設定中にP8レジスタをリードしても、入力モード時は0、出力モード時はP8の設定値が読み出されます。また、デジタル出力モードとして設定しても、端子には出力データは出力されません。

(2) HALTモード時とSTOPモード時にD/Aコンバータの動作は継続します。消費電力を低減させるためには、DACE0ビットを0にクリアし、D/A変換動作を停止させてからHALT命令またはSTOP命令を実行してください。

(3) リアルタイム出力モードを停止する場合（通常モードへ変更する場合を含む）には次のいずれかの手順で行う必要があります。

- トリガ出力元を停止させて3クロック以上待ってからDACE0ビットおよびDAMD0ビットを0にする。
- DACE0ビットおよびDAMD0ビットを0にした後、PER1レジスタのDACENビットを0にする（DAC停止）。
- DACENビットを0にした場合、DAC内部の全レジスタがクリアされるため再度動作させる場合は各SFRの設定が必要となります

(4) D/A変換動作許可時に、ANO0端子と兼用するアナログ入力端子からA/D変換を行わないでください。

(5) リアルタイム出力モード時は、タイマトリガ発生前までにDACS0レジスタ値を設定するようにしてください。
また、トリガ信号が出ている間にDACS0レジスタの設定値を変更しないでください。

(6) D/Aコンバータの出力インピーダンスが高いため、ANO0端子から電流を取り出すことはできません。
負荷の入力インピーダンスが低い場合には、負荷とANO0端子の間にフォロアアンプを挿入して使用してください。
また、フォロアアンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。
配線が長くなるような場合は、グランドパターンで囲むなどの処置をしてください。

(7) D/A変換のリアルタイム出力モード有効時にSTOP状態に入る場合は、STOPに入る前にELCのイベントリンクを禁止にしてください

第14章　コンパレータ

14.1　概要

コンパレータは基準電圧とアナログ入力電圧を比較します。基準電圧とアナログ入力電圧の比較結果をソフトウェアで読めます。比較結果を外部に出力するとともに、その変化を検出して割り込み要求およびELCイベント要求を発生します。

コンパレータの基準電圧は、IVREF0端子からの入力または内蔵D/Aコンバータ出力のいずれかを選択できます。アナログ入力は4本あり、いずれか1本を選択します。

表14－1にコンパレータの仕様を、図14－1にコンパレータのブロック図を、表14－2にコンパレータの端子構成を示します。

表14－1　コンパレータの仕様

項目	仕様
チャネル数	1チャネル搭載（コンパレータ0）
アナログ入力電圧	IVCMP00～IVCMP03端子（いずれか1本を選択）からの入力電圧
基準電圧	・内部基準電圧（内蔵D/Aコンバータ出力） ・外部基準電圧入力端子（IVREF0）からの入力電圧
コンパレータ出力	・比較結果 ・ELCイベント出力を発生 ・レジスタからのモニタ出力
割り込み要求信号	・比較結果の有効エッジを検出して割り込み要求を発生 ・立ち上がりエッジ／立ち下がりエッジ／両エッジの選択可能
デジタルフィルタ機能	・3種類のサンプリング周期の選択可能 ・フィルタ未使用も可能

図14－1　コンパレータのブロック図

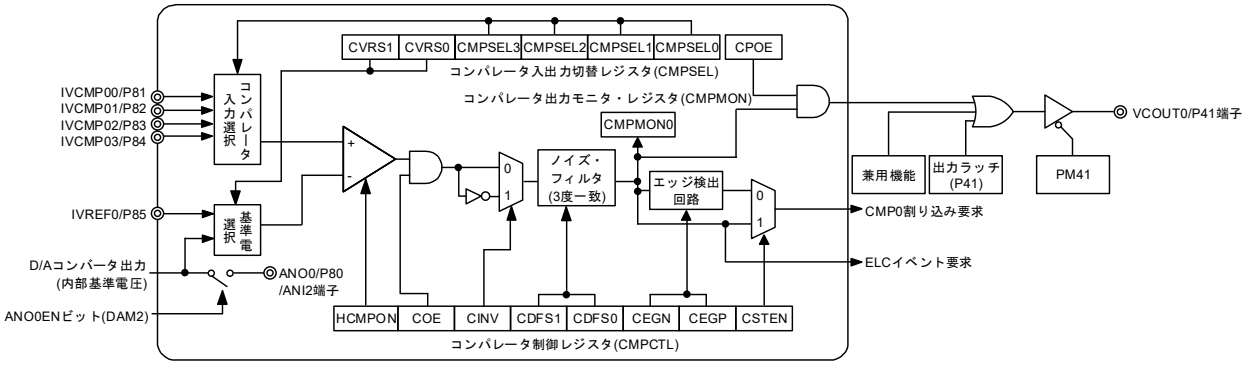


表14－2　コンパレータの端子構成

端子名	入出力	機能
IVCMP00～IVCMP03	入力	アナログ電圧入力端子
IVREF0	入力	外部基準電圧入力端子
VCOUT0	出力	コンパレータ出力端子

14.2　コンパレータを制御するレジスタ

コンパレータは次のレジスタで制御します。

表14－3　コンパレータを制御するレジスタ

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺イネーブル・レジスタ1	PER1	00H	F02C0H	1、8
コンパレータ制御レジスタ	CMPCTL	00H	F02A0H	1、8
コンパレータ入出力切替レジスタ	CMPSEL	00H	F02A1H	1、8
コンパレータ出力モニタ・レジスタ	CMPMON	00H	F02A3H	1、8
A/Dポート・コンフィギュレーション・レジスタ	ADPC	00H	F0076H	8
D/Aコンバータ・モード・レジスタ2	DAM2	00H	F0227H	1、8
ポート・モード・レジスタ4	PM4	FFH	FFF24H	1、8
ポート・モード・レジスタ8	PM8	FFH	FFF28H	1、8

14.2.1　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは、各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット5（CMPEN）を1に設定してください。

PER1レジスタは、1ビットメモリ操作命令または8ビットメモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図14－2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN注	SAU2EN	TRJ0EN

CMPEN	コンパレータの入力クロックの制御
0	入力クロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入力クロック供給 ・コンパレータで使用するSFRへのリード／ライト可

注　144ピン製品のみ。

注意1. コンパレータの設定をする際には必ず最初にCMPEN = 1の設定を行ってください。CMPEN = 0の場合は、コンパレータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります（ポート・モード・レジスタ4, 8（PM4, PM8）、ポート・レジスタ4, 8（P4, P8）は除く）。

2. ビット6には必ず0を設定してください。

14.2.2　コンパレータ制御レジスタ（CMPCTL）

コンパレータの動作制御、コンパレータ出力許可／禁止、出力反転、ノイズ・フィルタ選択、割り込みの有効エッジ選択、STOPモード解除許可／禁止を設定するレジスタです。

CMPCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により00Hになります。

図14－3　コンパレータ制御レジスタ（CMPCTL）のフォーマット

アドレス：F02A0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMPCTL	HCMPON	CDFS1	CDFS0	CEGN	CEGP	CSTEN	COE	CINV

HCMPON	コンパレータの動作制御[注1]
0	動作停止（コンパレータの出力はロウ・レベル）
1	動作許可（コンパレータの端子入力許可）

CDFS1	CDFS0	ノイズ・フィルタ選択[注2, 3, 4]
0	0	ノイズ・フィルタ未使用
0	1	ノイズ・フィルタのサンプリングに$2^3/f_{CLK}$を使用
1	0	ノイズ・フィルタのサンプリングに$2^4/f_{CLK}$を使用
1	1	ノイズ・フィルタのサンプリングに$2^5/f_{CLK}$を使用

CEGN	CEGP	INTCMP割り込みの有効エッジ選択
0	0	エッジ選択しない
0	1	立ち上がりエッジ選択
1	0	立ち下がりエッジ選択
1	1	立ち上がり、立ち下がりの両エッジ選択
有効エッジの設定は、CINVビットおよびCDFS1-0ビットにより、コンパレータ検出信号を正転／反転処理、ノイズ・フィルタ未使用／使用処理した信号に対して設定されます。		

CSTEN	STOPモード解除許可／禁止[注5, 6]
0	コンパレータ割り込みによるSTOPモード解除禁止
1	コンパレータ割り込みによるSTOPモード解除許可

COE	コンパレータ出力許可／禁止
0	コンパレータ出力禁止（出力信号はロウ・レベル）
1	コンパレータ出力許可

CINV	コンパレータ出力極性選択[注2, 3, 6]
0	コンパレータ出力正転
1	コンパレータ出力反転

注1.　HCMPONビットはCOEビットと同時に書き換えないでください。コンパレータ動作を許可（HCMPON = 1）に設定後、動作安定待ち時間（3.3 V≦V_{DD}≦5.5 Vの場合は1 μs、2.7 V≦V_{DD}＜3.3 Vの場合は3 μs）が必要です。

2.　CDFS1, CDFS0, CEGN, CEGP, CSTEN, CINVビットの書き換えは、コンパレータの出力を禁止（COE = 0）にしたあとで行ってください。

3.　CDFS1, CDFS0, CEGN, CEGP, CSTEN, CINVビットを変更するとコンパレータ割り込み要求、ELCイベント要求、DTC転送要求、および割り込み要因判別フラグ・レジスタ0のINTFLG06ビットのセットが発生することがあります。これらのビットは、ELSELR19レジスタを00H（コンパレータ出力0をイベントリンク禁止）、DTCEN4レジスタのDTCEN44ビットを0（コンパレータ検出0のDTC起動禁止）にしてから変更してください。また、変

更後に割り込み要求フラグ・レジスタのCMPIF0ビットおよび割り込み要因判別フラグ・レジスタ0（INTFLG0）のINTFLG06ビットを初期化（割り込み要求クリア）してください。

4. CDFS1, CDFS0ビットを00B（ノイズ・フィルタ未使用）から00B以外（ノイズ・フィルタを使用）に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ割り込み要求やELCイベントを使用してください。
5. コンパレータ割り込みによるSTOPモード解除を有効にするには、本ビットを1にするとともに、CDFS1, CDFS0ビットを00B（ノイズ・フィルタ未使用）にしてください。
6. コンパレータ割り込みによるSTOPモード解除を有効、かつコンパレータ出力の立ち下がりエッジによりSTOPモードの解除を行う場合は，CSTENビットを1およびCINVビットを1（コンパレータ出力反転）に設定してください。

14.2.3　コンパレータ入出力切替レジスタ（CMPSEL）

コンパレータの入力選択、基準電圧選択、VCOUT0端子出力許可／禁止を設定するレジスタです。

CMPSELレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図14－4　コンパレータ入出力切替レジスタ（CMPSEL）のフォーマット

アドレス：F02A1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMPSEL	0注4	CPOE	CVRS1	CVRS0	CMPSEL3	CMPSEL2	CMPSEL1	CMPSEL0

CPOE	VCOUT0端子出力許可／禁止
0	コンパレータのVCOUT0端子出力禁止（出力信号はロウ・レベル）
1	コンパレータのVCOUT0端子出力許可

CVRS1	CVRS0	基準電圧選択
0	0	基準電圧入力なし
0	1	外部基準電圧（IVREF0）を選択
1	0	内部基準電圧（D/Aコンバータ出力）を選択注1
1	1	設定禁止注2

CMPSEL3	CMPSEL2	CMPSEL1	CMPSEL0	コンパレータ入力選択
0	0	0	0	入力なし
0	0	0	1	IVCMP00を選択
0	0	1	0	IVCMP01を選択
0	1	0	0	IVCMP02を選択
1	0	0	0	IVCMP03を選択
上記以外は設定しないでください。設定の詳細は注3を参照してください。				

注1.　内部基準電圧を使用する場合、コンパレータ動作を許可（HCMPON = 1）する前に、内部基準電圧を生成するD/Aコンバータを設定してください。内部基準電圧の設定については「第13章　D/Aコンバータ」を参照してください。

2.　CVRS1, CVRS0ビットの書き換えは、以下の手順で行ってください。設定値を変えるときは、CVRS1, CVRS0を必ず00Bにしてから設定値を変更してください。00Bでないとき00B以外を書いた場合は無効です。前の値を保持します。

① CMPCTLレジスタのCOEビットを0にする。
② CVRS1, CVRS0ビットを00Bにする。
③ CVRS1, CVRS0ビットを新しい設定値（いずれか1ビットのみ1）にする。
④ 入力切替の安定時間（300 ns）を待つ。
⑤ CMPCTLレジスタのCOEビットを1にする。
⑥ 制御レジスタのフラグ・ビットCMPIF0をクリアする。

3.　CMPSEL3～CMPSEL0ビットの書き換えは、以下の手順で行ってください。CMPSEL3～CMPSEL0ビットが0000Bでないときに、0000B以外の書き込みは無効です。2ビット以上1となる値を書いた場合も無効です。いずれの場合も前の値を保持します。

① CMPCTLレジスタのCOEビットを0にする。
② CMPSEL3～CMPSEL0ビットを0000Bにする。
③ CMPSEL3～CMPSEL0ビットを新しい設定値（いずれか1ビットのみ1）にする。
④ 入力切替の安定時間（300 ns）を待つ。
⑤ CMPCTLレジスタのCOEビットを1にする。
⑥ 制御レジスタのフラグ・ビットCMPIF0をクリアする。

4.　ビット7には必ず0を設定してください。

14.2.4　コンパレータ出力モニタ・レジスタ（CMPMON）

コンパレータ出力をモニタするレジスタです。

CMPMONレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により00Hになります。

図14－5　コンパレータ出力モニタ・レジスタ（CMPMON）のフォーマット

アドレス：F02A2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
CMPMON	0	0	0	0	0	0	0	CMPMON0

CMPMON0	コンパレータ出力モニタ・フラグ
0	CINV=0（コンパレータ出力正転）時 ・コンパレータ入力電圧（IVCMP0n）＜基準電圧 ・コンパレータ動作停止（HCMPON=0） ・コンパレータ出力停止（COE=0） CINV=1（コンパレータ出力反転）時 ・コンパレータ入力電圧（IVCMP0n）＞基準電圧
1	CINV=0（コンパレータ出力正転）時 ・コンパレータ入力電圧（IVCMP0n）＞基準電圧 CINV=1（コンパレータ出力反転）時 ・コンパレータ入力電圧（IVCMP0n）＜基準電圧 ・コンパレータ動作停止（HCMPON=0） ・コンパレータ出力停止（COE=0）

注意1.　ノイズフィルタ未使用（CDFS1, 0 = 00B）の設定でコンパレータを動作（HCMPON = COE = 1）させる場合は、CMPMON0ビットを2回リードし、一致したときに値を取り込むソフトウェアとしてください。

2.　ビット7～1には必ず0を設定してください。

14.2.5　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P33-ANI23/P105端子をアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

コンパレータを使用する場合、P81/ANI3/IVCMP00、P82/ANI4/IVCMP01、P83/ANI5/IVCMP02、P84/ANI6/IVCMP03、P85/ANI7/IVREF0端子から使用する端子をADPCレジスタでアナログ入力に設定してください。

ADPCレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図14－6　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

					アナログ入力（A）／デジタル入出力（D）の切り替え																						
ADPC4	ADPC3	ADPC2	ADPC1	ADPC0	ANI23/P105	ANI22/P104	ANI21/P103	ANI20/P102	ANI19/P101	ANI18/P100	ANI17/P97	ANI16/P96	ANI15/P95	ANI14/P94	ANI13/P93	ANI12/P92	ANI11/P91	ANI10/P90	ANI9/P87	ANI8/P86	ANI7/IVREF0/P85	ANI6/IVCMP03/P84	ANI5/IVCMP02/P83	ANI4/IVCMP01/P82	ANI3/IVCMP00/P81	ANI2/ANO0/P80	ANI1/P34	ANI0/P33
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	0	1	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A
0	0	1	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A
0	1	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
0	1	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A
0	1	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A
0	1	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A
0	1	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A
0	1	1	0	1	D	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	0	D	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A
0	1	1	1	1	D	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	0	D	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	0	1	D	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	0	D	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	0	1	1	D	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	0	D	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	0	1	D	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	0	D	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	0	1	1	1	D	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
1	1	0	0	0	D	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
上記以外					設定禁止																						

注意　コンパレータで使用するチャネル（P81/ANI3/IVCMP00、P82/ANI4/IVCMP01、P83/ANI5/IVCMP02、P84/ANI6/IVCMP03、P85/ANI7/IVREF0）は，ポート・モード・レジスタ8（PM8）で入力モードに選択してください。

14.2.6　D/Aコンバータ・モード・レジスタ2（DAM2）

D/Aコンバータのアナログ出力をP80/ANO0端子に出力する場合、ANO0端子の出力を制御するレジスタです。

コンパレータ入出力切替レジスタ（CMPSEL）のビット5-4（CVRS1-0）を10B（内部基準電圧（DAC出力））に設定する場合は、ANO0ENビットを0（アナログ出力禁止）に設定してください。

DAM2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図14－7　D/Aコンバータ・モード・レジスタ2（DAM2）のフォーマット

アドレス：F0227H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	[0]
DAM2	0	0	0	0	0	0	0	ANO0EN

ANO0EN	アナログ出力（ANO0）の制御
0	アナログ出力（ANO0）禁止
1	アナログ出力（ANO0）許可

14.2.7　ポート・モード・レジスタ4（PM4）

ポート4の入力／出力を1ビット単位で設定するレジスタです。

コンパレータ出力を兼用するポート（P41/VCOUT0）をコンパレータ出力として使用するとき、対応するポート・モード・レジスタ4（PM4）のビットおよびポート・レジスタ4（P4）のビットに0を設定してください。

例）　P41/VCOUT0をコンパレータ出力として使用する場合
ポート・モード・レジスタ4のPM41ビットを0に設定
ポート・レジスタ4のP41ビットを0に設定

PM4レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生によりFFHになります。

図14－8　ポート・モード・レジスタ4（PM4）のフォーマット(144ピン製品)

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

14.2.8　ポート・モード・レジスタ8（PM8）

P81/ANI3/IVCMP00、P82/ANI4/IVCMP01、P83/ANI5/IVCMP02、P84/ANI6/IVCMP03、P85/ANI7/IVREF0をコンパレータのアナログ入力ポートとして使用するとき、PM81～PM85ビットにそれぞれ1を設定してください。

PM81～PM85ビットに0を設定した場合は，アナログ入力ポートとして使用することはできません。

PM8レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生によりFFHになります。

注意　アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

図14－9　ポート・モード・レジスタ8（PM8）のフォーマット

アドレス：FFF28H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80

PM8n	P8n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

P81/ANI3/IVCMP00、P82/ANI4/IVCMP01、P83/ANI5/IVCMP02、P84/ANI6/IVCMP03、P85/ANI7/IVREF0端子の機能は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）、アナログ入力チャネル指定レジスタ（ADS）、PM8レジスタの設定で決定します。

表14－4　P81/ANI3/IVCMP00～P85/ANI7/IVREF0端子機能の設定

ADPCレジスタ	PM8レジスタ	ADSレジスタ	P81/ANI3/IVCMP00 - P85/ANI7/IVREF0端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

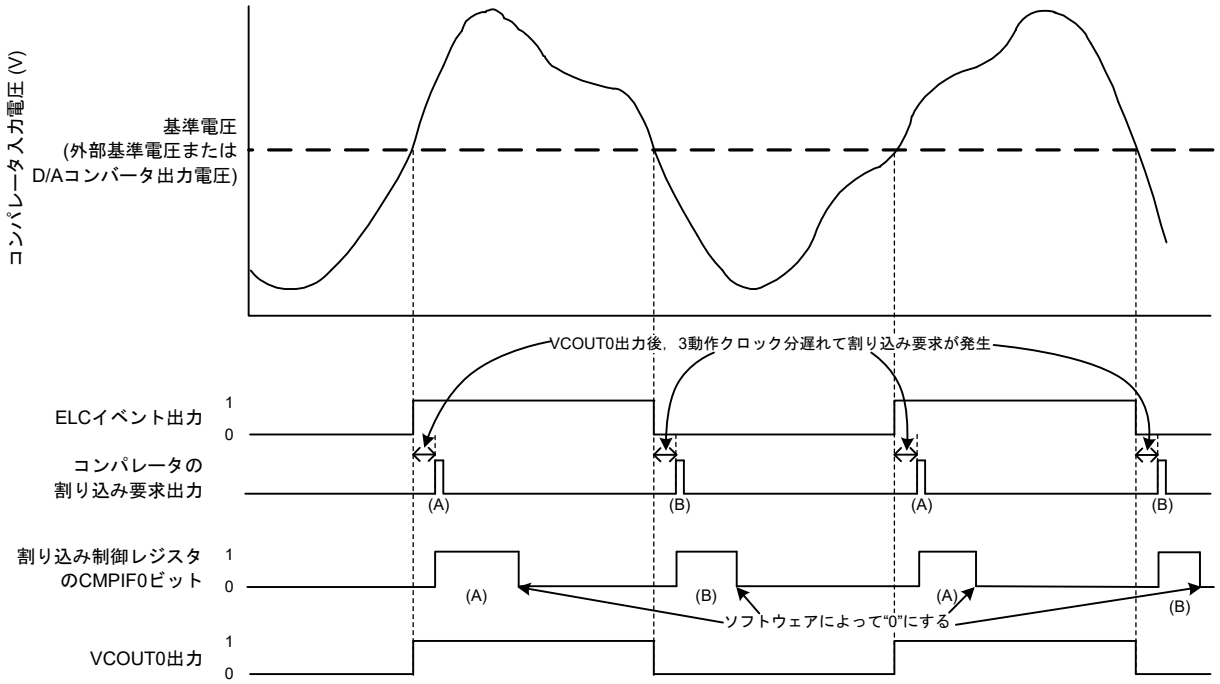
リセット信号の発生により，P81/ANI3/IVCMP00 - P85/ANI7/IVREF0はすべてアナログ入力になります。

14.3　動作説明

図14－10にコンパレータの動作例を示します。基準電圧よりコンパレータ入力電圧が高い場合にVCOUT0出力が1になり、基準電圧よりアナログ入力電圧が低い場合にVCOUT0出力が0になります。また、コンパレータ出力が変化すると割り込み要求とELCイベントを出力します。

・コンパレータ動作例

図14－10　コンパレータの動作例



注意　上図は、CPOE = 1（端子出力許可）、CDFS1, CDFS0 = 00B（ノイズ・フィルタ未使用）、CEGP = CEGN = 1（両エッジ検出）の場合です。CINV = 0, CEGP = 1, CEGN = 0（コンパレータ出力正転の立ち上がりエッジ検出）のときのCMPIF0は（A）の変化のみ、CINV = 0, CEGP = 0, CEGN = 1（コンパレータ出力正転の立ち下がりエッジ検出）のときのCMPIF0は（B）の変化のみとなります。CPOE = 1のとき、VCOUT0はELCイベント出力がそのまま出力されます。

14.3.1　ノイズ・フィルタ

コンパレータは、ノイズ・フィルタを内蔵しています。サンプリング・クロックはCMPCTLレジスタのCDFS1-0ビットで選択できます。

サンプリング・クロックごとにコンパレータの出力信号をサンプリングし、レベルが3度一致した次のサンプリング・クロックで、ノイズ・フィルタ出力がその値になります。

図14－11にノイズ・フィルタとエッジ検出の構成を、図14－12にノイズ・フィルタと割り込み動作例を示します。

図14－11　ノイズ・フィルタとエッジ検出の構成

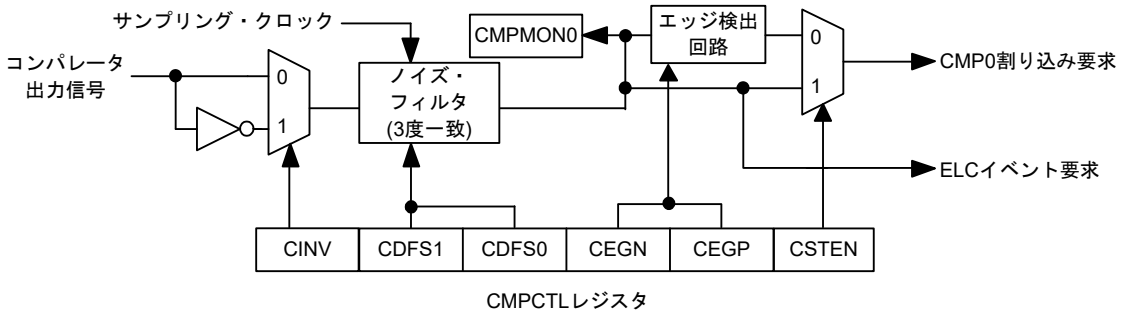
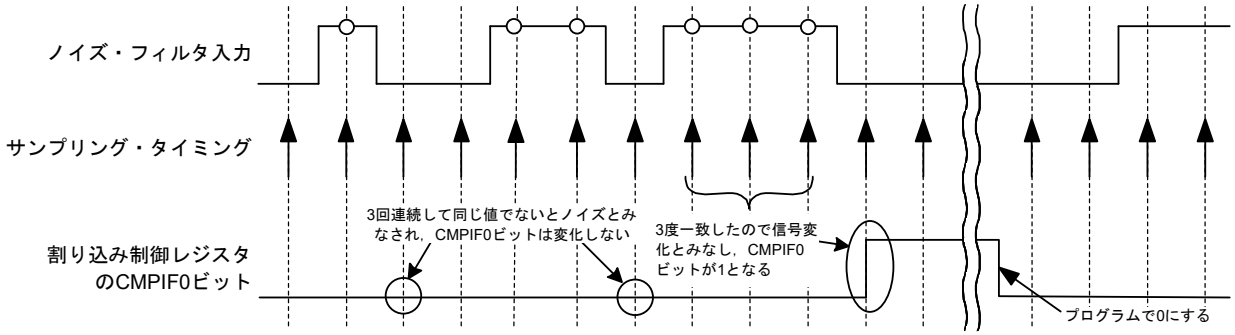


図14－12　ノイズ・フィルタと割り込み動作例



注意　上図は、CMPCTLレジスタのCDFS1, CDFS0ビットが、01B、10B、11Bのいずれか（ノイズ・フィルタ使用）の場合の動作例です。

14.3.2　コンパレータ割り込み

コンパレータは割り込み要求を発生します。コンパレータ割り込みは、優先順位指定フラグ、割り込みマスク・フラグ、割り込み要求フラグ、割り込みベクタを持ちます。

コンパレータ割り込みを使用するときは、CMPCTLレジスタのCEGPビットおよびCEGNビットの少なくとも一つを1（00B（エッジ選択しない）以外の設定）にしてください。割り込み要求を発生する条件は、CMPCTLレジスタのCEGPビットおよびCEGNビットにより設定します。また、コンバータ出力にはノイズ・フィルタを付けることが可能です。ノイズ・フィルタは3種類のサンプリング・クロックを選択可能です。

レジスタ設定と割り込み要求の対応については、「14.2.2　コンパレータ制御レジスタ（CMPCTL）」を参照してください。

STOPモードのときにコンパレータ割り込みを使用する場合は、CMPCTLレジスタのCSTEN = 1（コンパレータ割り込みによるSTOPモード解除許可）かつCDFS1, CDFS0 = 00（デジタル・ノイズ・フィルタ未使用）としてください。

14.3.3　コンパレータELCイベント出力

コンパレータのELCイベントは、CMPCTLレジスタで設定したコンパレータ出力反転制御（CINVビット）およびノイズ・フィルタ出力（CDFS1-0ビット）により発生します。イベント出力先の選択やイベントリンクの停止は、ELCのELSELR19レジスタで設定してください。

14.3.4　コンパレータの端子出力

コンパレータの比較結果を外部端子へ出力することができます。CMPSELレジスタのCINV、CPOEビットにより出力極性（正転出力／反転出力）や出力許可／禁止を設定できます。レジスタ設定とコンパレータ端子出力の対応は、「14.2.2　コンパレータ制御レジスタ（CMPCTL）」を参照してください。

14.3.5　コンパレータ・クロック停止／供給

周辺イネーブル・レジスタ1（PER1）の設定によりコンパレータを停止する場合は以下の手順に従ってください。

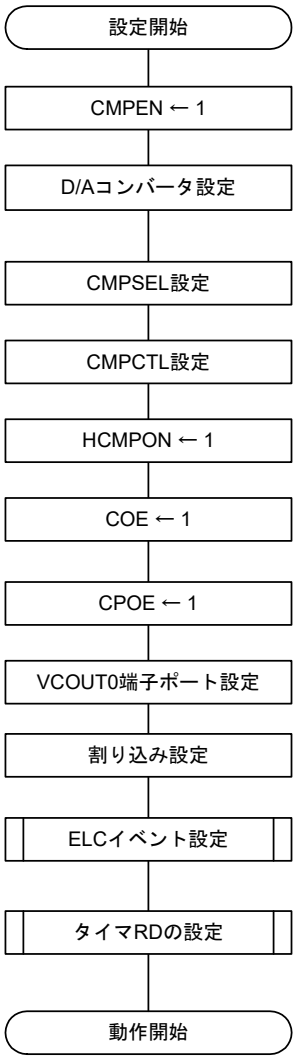
① CMPCTLレジスタのHCMPONビットを0にする（コンパレータ入力停止）。
② PER1レジスタのCMPENビットを0にする。
③ 割り込みフラグ（IF0LレジスタのCMPIF0ビット）を0にする（コンパレータ停止前の不要な割り込みをクリア）。

PER1の設定によりコンパレータを停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、図14－13の手順に従ってレジスタ設定してください。

14.3.6　コンパレータの設定フロー・チャート

図14－13にコンパレータの設定フロー・チャートを示します。

図14－13　コンパレータ(内部基準電圧(D/Aコンバータ出力)、INTCMP0割り込み、ELCイベントからのタイマRD動作を使用する場合)動作設定フロー・チャート



コンパレータへのクロック供給（周辺イネーブル・レジスタ1（PER1レジスタCMPENビットの設定）

内部基準電圧使用のためのD/Aコンバータ設定[注1]
（「第13章　D/Aコンバータ」を参照）

コンパレータの入力、基準電圧設定（CVRS1, CVRS0, CMPSEL3～CMPSEL0, CINV, CSTENの設定）
（CVRS1-0, CMPSEL3-0を設定変更後は切り替え安定時間待ち時間（300 ns）が必要になります）

コンパレータの制御設定（CDFS1, CDFS0, CEGP, CEGNの設定）

コンパレータ動作許可
（動作許可後，コンパレータ動作安定待ち時間（3.3 V≦V_{DD}≦5.5 Vの場合は1 μs、2.7 V≦V_{DD}＜3.3 Vの場合は3 μs）が必要になります）

コンパレータ出力許可

コンパレータ端子出力許可[注2]

P41/VCOUT0端子をコンパレータ出力に設定する[注2]
（P41レジスタを0（0を出力）、PM41レジスタを0（出力モード）の設定）

割り込み優先レベルと割り込みマスク設定，割り込みフラグ初期化[注3]
（PR00LレジスタのCMPPR00ビット、MK0LレジスタのCMPMK0ビット、IF0LレジスタのCMPIF0ビットの設定）

ELCイベントのリンクをタイマRDに設定（ELSELR19レジスタのELSEL3-0ビットで設定）[注4]（「第21章　イベントリンクコントローラ（ELC）」を参照）

タイマRDの動作設定および動作許可[注5]（「第8章　タイマRD」を参照）

注1.　外部基準電圧を使用する場合は不要です。

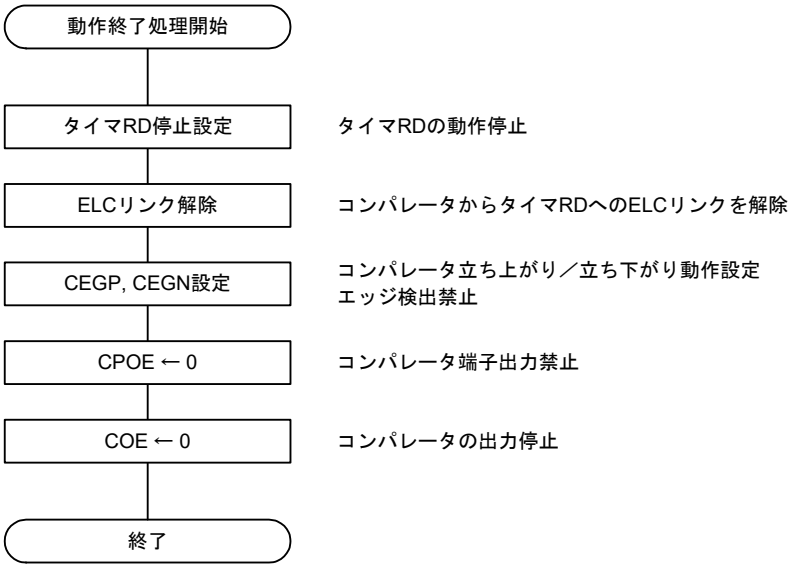
2.　コンパレータ出力を外部端子へ出力しない場合は不要です。

3.　割り込み制御に配置されたレジスタを設定します。

4.　ELCイベントを使用しない場合は不要です。

5.　ELCイベントでのタイマRD機能を使用しない場合は不要です。

図14－14　コンパレータ動作終了フロー・チャート（ELCイベントからのタイマRD動作を使用する場合）



第15章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに2つのシリアル・チャネルを持ちます。各チャネルは3線シリアル（CSI），UART，簡易I^2Cの通信機能を実現できます。

RL78/F15で対応している各チャネルの機能割り当ては，次のようになっています。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00 (SPI機能対応)注3	UART0（LIN-bus対応）	IIC00
	1	CSI01 (SPI機能対応)注3		IIC01
1	0	CSI10 (SPI機能対応)注1, 3	UART1	IIC10
	1	CSI11 (SPI機能対応)注3		IIC11
2注2	0	CSI20	UART2	–
	1	CSI21		–

注1.　48ピンの製品には、$\overline{SSI10}$端子はありません。

2.　144, 100ピン製品のみ。

3.　$\overline{SSImn}$(スレーブ選択入力)を使用される場合、SCRmnレジスタのCKPmnビットを1(クロック位相を反転)にしてください（m = 0, 1、n = 0, 1）。

ユニット0のチャネル0, 1で「UART0」を使用するときは，CSI00やCSI01を使用することはできません。

注意　この章では，以降の主な説明を144ピン製品のユニット，チャネル構成で説明しています。

15.1　シリアル・アレイ・ユニットの機能

RL78/F15で対応している各シリアル・インタフェースの特徴を示します。

15.1.1　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）

マスタから出力されるシリアル・クロック（$\overline{\text{SCK}}$）に同期してデータの送信／受信を行います。

シリアル・クロック（$\overline{\text{SCK}}$）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「15.5　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信の動作」を参照してください。

［データ送受信］

- 7～16ビットのデータ長（CSI00, CSI01, CSI10, CSI11のみ）
  7, 8ビットのデータ長（CSI20, CSI21のみ）
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　マスタ通信時：Max. $f_{MCK}/4$[注]
  スレーブ通信時：Max. $f_{MCK}/6$[注]

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

CSI00, CSI01, CSI10, CSI11はSPI機能に対応しています。

［拡張機能］

- SPI機能のスレーブ選択機能

CSI20は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態で$\overline{\text{SCK}}$入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応しているチャネルのCSIのみ設定可能です。

注　ただし，$\overline{\text{SCK}}$サイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください（第35章～第36章の電気的特性を参照）

15.1.2　UART（UART0, UART1, UART2）

シリアル・データ送信（TXD）とシリアル・データ受信（RXD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

具体的な設定例は，「15.7　UART（UART0, UART1, UART2）通信の動作」を参照してください。

［データ送受信］

- 7, 8, 9, 16ビットのデータ長（UART0, UART1のみ）
  7, 8, 9ビットのデータ長（UART2のみ）
- MSB/LSBファーストの選択
- 送受信データのレベル設定，反転の選択
- パリティ・ビット付加，パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー，パリティ・エラー，オーバラン・エラー

UART0（ユニット0のチャネル0, 1）は，LIN-busに対応しています。

［LIN-bus機能］

- ウエイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニットを使用

15.1.3　簡易I²C（IIC00, IIC01, IIC10, IIC11）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

具体的な設定例は，「15.9　簡易I²C（IIC00, IIC01, IIC10, IIC11）通信の動作」を参照して下さい。

［データ送受信］

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- ACKエラー，オーバーラン・エラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信，スレーブ受信
- アービトレーション負け検出機能
- ウエイト検出機能

注　最終データの受信時は，SOEmnビット（シリアル出力許可レジスタm（SOEm））ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は「15.9.3（2）処理フロー」を参照してください。

備考1.　フル機能のI²Cバスをご使用の場合は「第16章　シリアル・インタフェースIICA」を参照してください。

2.　m：ユニット番号（m = 0, 1），n：チャネル番号（n = 0, 1）

15.2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表15－1　シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	16 ビットまたは9 ビット[注1]
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の16 ビットまたは下位9 ビット[注1, 2]
シリアル・クロック入出力	$\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$, $\overline{\text{SCK20}}$, $\overline{\text{SCK21}}$端子（3線シリアルI/O用）
シリアル・クロック出力	SCL00, SCL01, SCL10, SCL11端子（簡易I^2C用）
シリアル・データ入力	SI00, SI01, SI10, SI11, SI20, SI21端子（3線シリアルI/O用），RXD0（LIN-bus対応UART用），RXD1, RXD2端子（UART用）
シリアル・データ出力	SO00, SO01, SO10, SO11, SO20, SO21端子（3線シリアルI/O用），TXD0（LIN-bus対応UART用），TXD1, TXD2端子（UART用），出力制御回路
シリアル・データ入出力	SDA00, SDA01, SDA10, SDA11端子（簡易I^2C用）
スレーブ選択入力	$\overline{\text{SSI00}}$, $\overline{\text{SSI01}}$, $\overline{\text{SSI10}}$, $\overline{\text{SSI11}}$端子（3線シリアルI/O用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・周辺イネーブル・レジスタ1（PER1） ・シリアル・クロック選択レジスタm（SPSm） ・シリアル・チャネル許可ステータス・レジスタm（SEm） ・シリアル・チャネル開始レジスタm（SSm） ・シリアル・チャネル停止レジスタm（STm） ・シリアル出力許可レジスタm（SOEm） ・シリアル出力レジスタm（SOm） ・シリアル出力レベル・レジスタm（SOLm） ・シリアル・スレーブ選択許可レジスタm（SSEmn）[注3] ・シリアル・スタンバイ・コントロール・レジスタm （SSCm）[注4] ・入力切り替え制御レジスタ（ISC） ・ノイズ・フィルタ許可レジスタ0（NFEN0）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタmn（SDRmn） ・シリアル・モード・レジスタmn（SMRmn） ・シリアル通信動作設定レジスタmn（SCRmn） ・シリアル・ステータス・レジスタmn（SSRmn） ・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	・ポート入力モード・レジスタ1, 3, 5-7, 12（PIM1, PIM3, PIM5-PIM7, PM12） ・ポート出力モード・レジスタ1, 6, 7, 12（POM1, POM6, POM7, POM12） ・ポート・モード・レジスタ0-7, 15（PM0-PM7, PM15） ・ポート・レジスタ0-7, 15（P0-P7, P15）

注1.　シフト・レジスタ，バッファ・レジスタとして使用されるビット数は，ユニット，チャネルによって異なります。

- mn = 00, 01, 10, 11の場合：16ビット
- mn = 20, 21の場合：下位9 ビット

（注のつづきと備考は次ページに続きます。）

注2.　SEmn = 1のとき，シリアル・データ・レジスタmn（SDRmn）の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

- CSIp通信時・・・SDR$_{pL}$（CSIpデータ・レジスタ）
- UARTq受信時・・・SDR$_{mnL}$（UARTq受信データ・レジスタ）
- UARTq送信時・・・SDRmnL（UARTq送信データ・レジスタ）
- IICr通信時・・・SDRrL（IICrデータ・レジスタ）

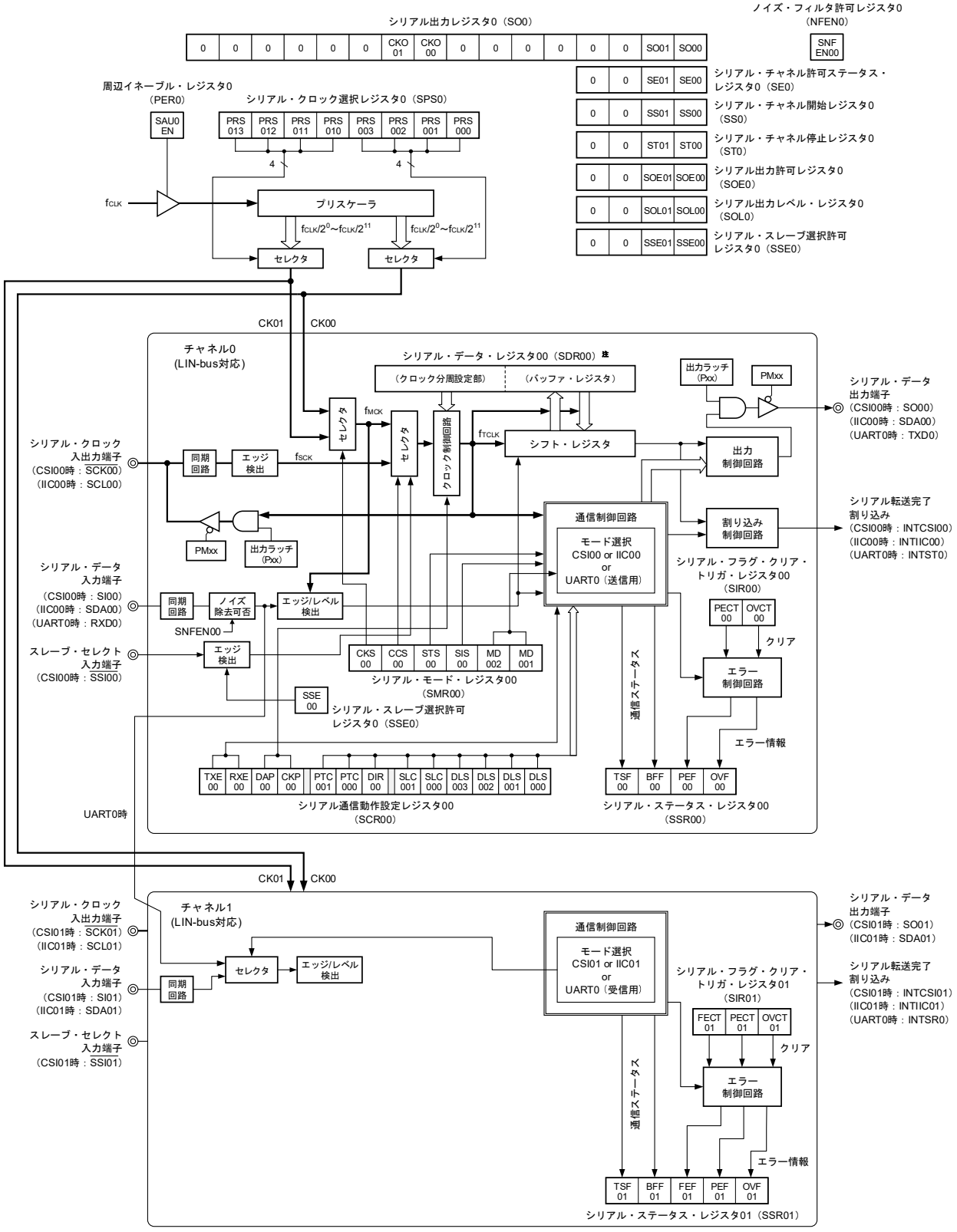
3.　m = 0, 1 , n = 0,1 のみ

4.　m = 2 のみ

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
q：UART番号（q = 0-2）　r：IIC番号（r = 00, 01, 10, 11）

図15－1にシリアル・アレイ・ユニット0のブロック図を示します。

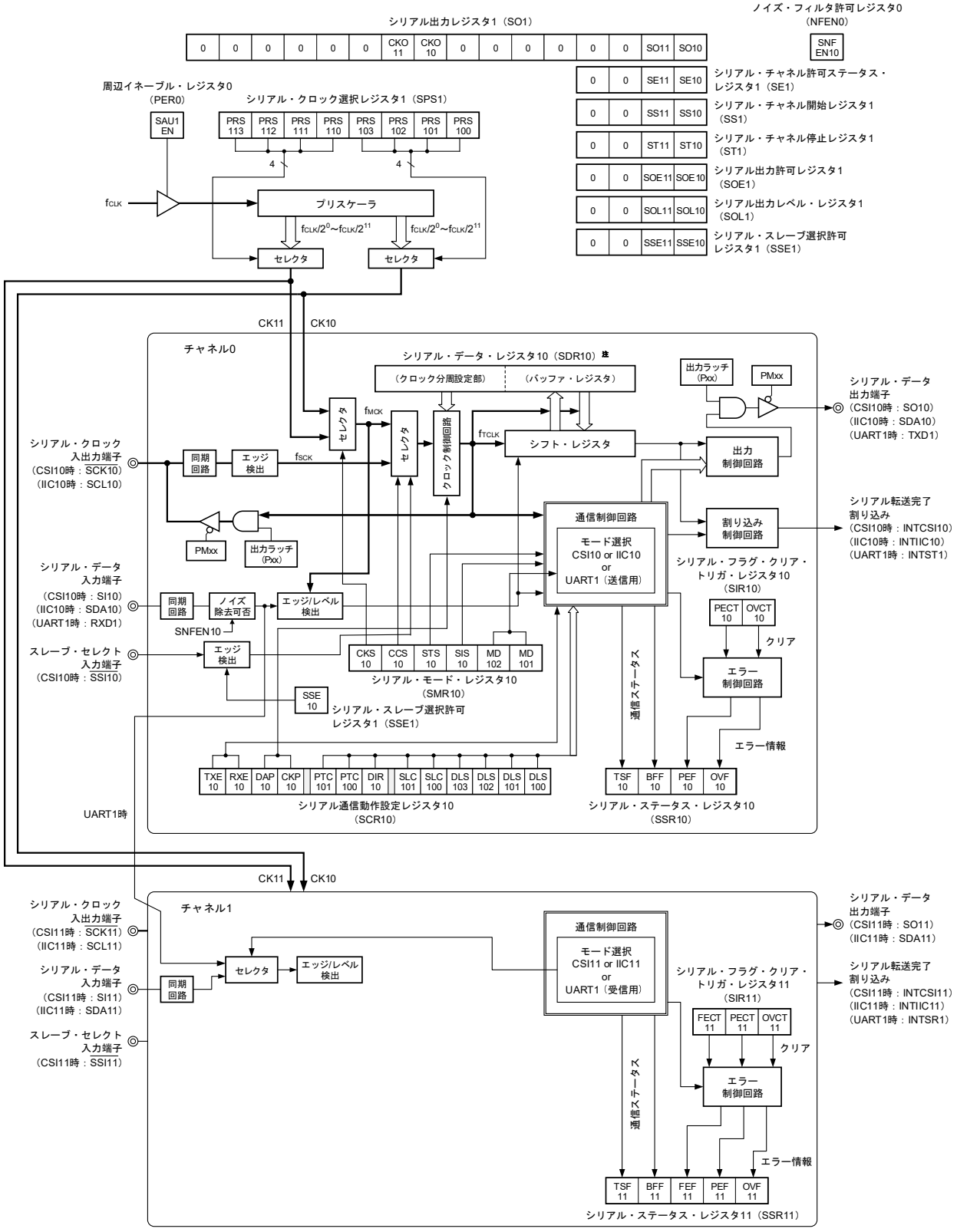
図 15－1　シリアル・アレイ・ユニット 0 のブロック図



注　動作停止（SEmn = 0）のとき、上位7ビットがクロック分周設定部、下位ビットは意味を持ちません。
　　動作中（SEmn = 1）のとき、バッファ・レジスタとなります。

図15−2にシリアル・アレイ・ユニット1のブロック図を示します。

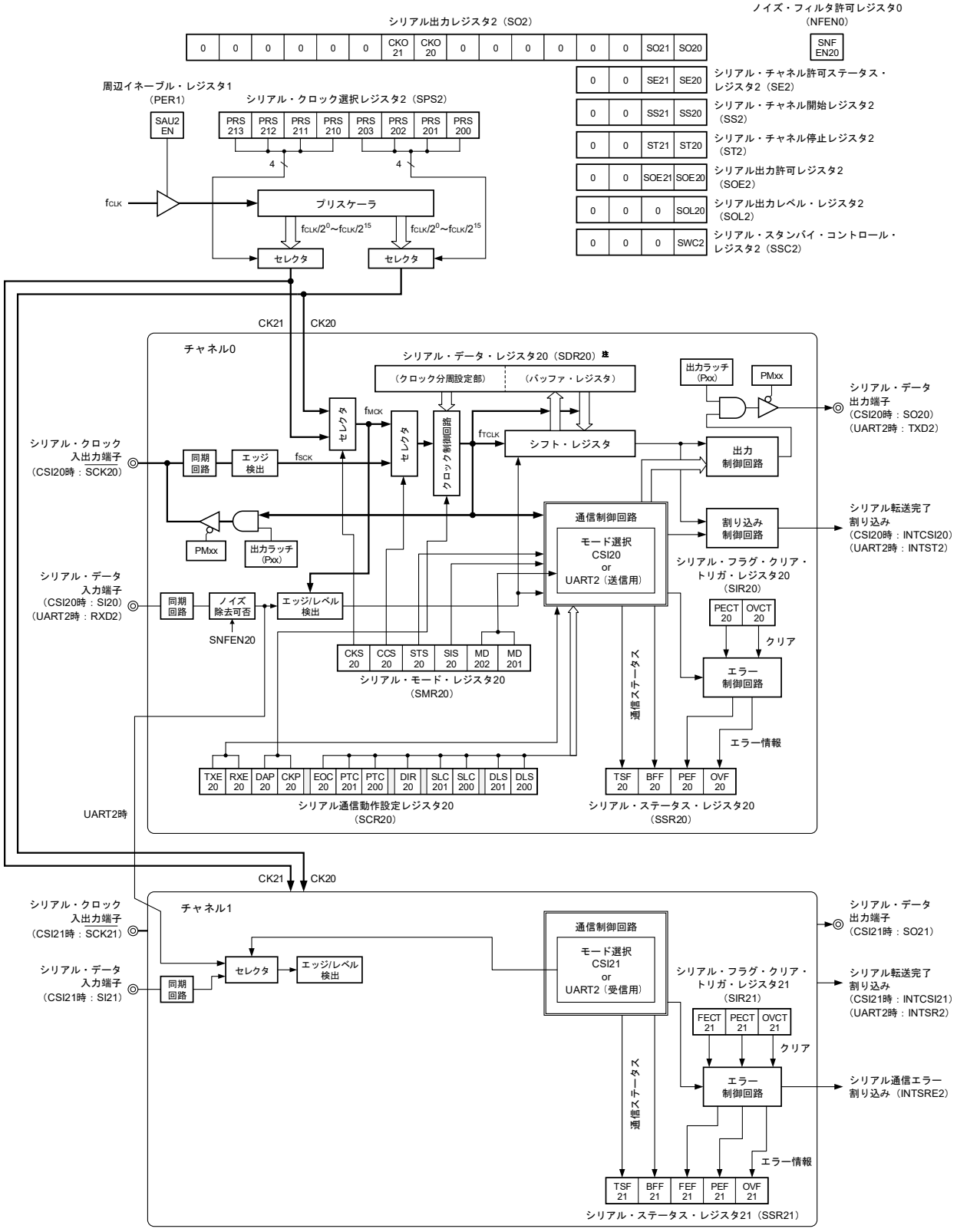
図15−2　シリアル・アレイ・ユニット1のブロック図



注　動作停止（SEmn = 0）のとき、上位7ビットがクロック分周設定部、下位ビットは意味を持ちません。
　　動作中（SEmn = 1）のとき、バッファ・レジスタとなります。

図15−3にシリアル・アレイ・ユニット2のブロック図を示します。

図15−3　シリアル・アレイ・ユニット2のブロック図（144, 100ピン製品のみ）



注　動作停止（SEmn = 0）のとき、上位7ビットがクロック分周設定部、下位ビットは意味を持ちません。
　　動作中（SEmn = 1）のとき、バッファ・レジスタとなります。

（1）シフト・レジスタ

パラレル⇔シリアルの変換を行う16ビットまたは9ビット[注1]のレジスタです。

9ビット・データ長でのUART通信時は，9ビット（ビット0-8）を使用します。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，動作中（SEmn = 1）にシリアル・データ・レジスタmn（SDRmn）の16ビットまたは下位9ビット[注1]を使用します。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
シフト・レジスタ																

（2）シリアル・データ・レジスタmn（SDRmn）

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

動作停止状態（SEmn = 0）のとき、ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。動作中（SEmn = 1）のときは，ビット15-0，またはビット8-0（下位9 ビット）[注1]は送受信バッファ・レジスタとして機能します。

受信時には，シフト・レジスタで変換したパラレル・データを16ビットまたは下位9ビット[注1] に格納します。送信時は，シフト・レジスタに転送する送信データを16ビットまたは下位9ビット[注1] に設定します。

格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn（SCRmn）のビット4-0（DLSmn4-DLSmn0）またはビット1, 0（DLSmn1, DLSmn0）[注2] の設定によって，次のようになります。

- 7ビット・データ長（SDRmnレジスタのビット0-6に格納）
- 8ビット・データ長（SDRmnレジスタのビット0-7に格納）
- 9ビット・データ長（SDRmnレジスタのビット0-8に格納）

・

・

・

- 16ビット・データ長（SDRmnレジスタのビット0-15に格納）

SDRmnレジスタは16ビット単位でリード／ライト可能です。

動作中（SEmn = 1）のとき，SDRmnレジスタの下位8ビットは，SDRmnLのSFR名称として8ビット単位のリード／ライト可能[注3] です。通信方式により使えるSDRmnLレジスタは次のとおりです。

- CSIp通信時・・・SDRpL
- UARTq受信時・・・SDRmnL
- UARTq送信時・・・SDRmnL
- IICr通信時・・・SDRrL

リセット信号の発生により，SDRmnレジスタは0000Hになります。

注1.　16 ビット・データ長は，ユニット0,1 のみ対応。ユニット2 はUART2のみ9 ビットデータ長に対応。

2.　m = 0, 1　n = 0,1 時のみDLSmn4-DLSmn0を使用

m = 2　n = 0,1 時のみDLSmn1,DLSmn0を使用

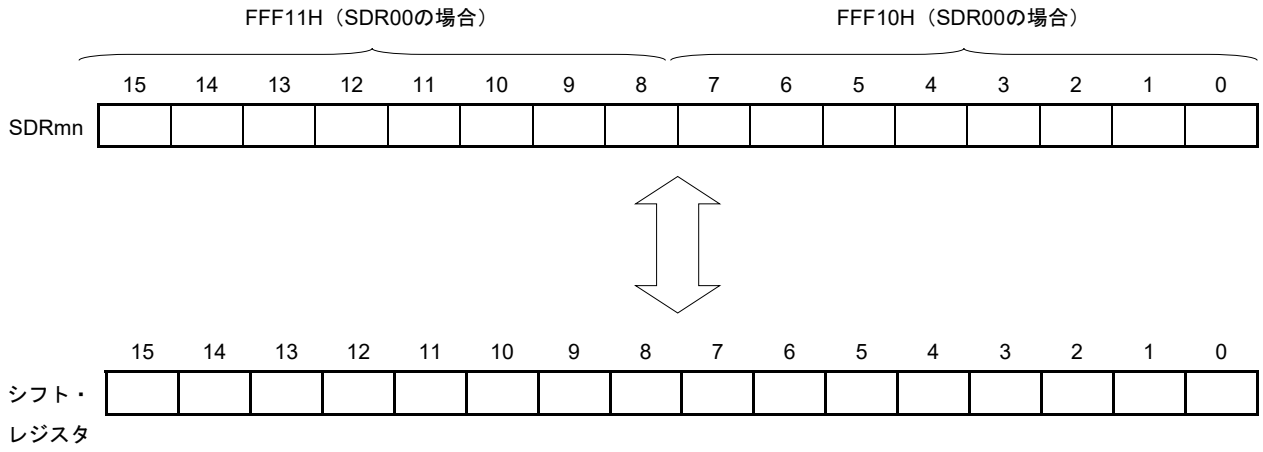
3.　ただし動作停止（SEmn = 0）時は、8ビット単位のライト禁止。

備考　m : ユニット番号（m = 0-2）　n : チャネル番号（n = 0,1）　p : CSI番号（p = 00, 01, 10, 11 , 20, 21）

q : UART番号（q = 0-2）　r : IIC番号（r = 00, 01, 10, 11）

図15－4　シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01, 10, 11）のフォーマット

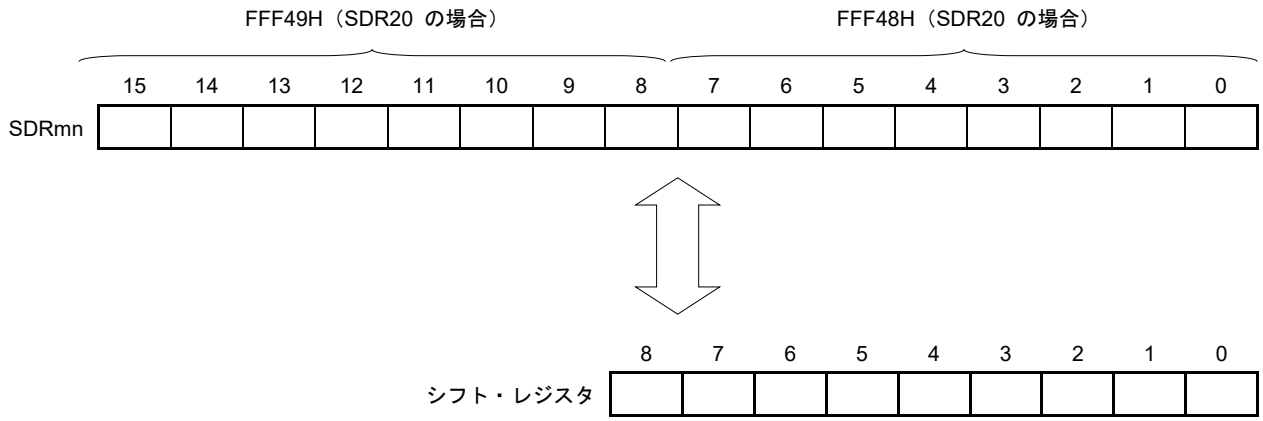
アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　　リセット時：0000H　　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）



備考　SDRmnレジスタの上位7ビットの機能については，「15.3　シリアル・アレイ・ユニットを制御するレジスタ」を参照してください。

図15－5　シリアル・データ・レジスタmn（SDRmn）（mn = 20, 21）のフォーマット

アドレス：FFF48H, FFF49H（SDR20）,FFF4AH, FFF4BH（SDR21））　　リセット時：0000H　　R/W



備考　SDRmnレジスタの上位7ビットの機能については，「15.3　シリアル・アレイ・ユニットを制御するレジスタ」を参照してください。

15.3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺イネーブル・レジスタ1（PER1）
- シリアル・クロック選択レジスタm（SPSm）
- シリアル・モード・レジスタmn（SMRmn）
- シリアル通信動作設定レジスタmn（SCRmn）
- シリアル・データ・レジスタmn（SDRmn）
- シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
- シリアル・ステータス・レジスタmn（SSRmn）
- シリアル・チャネル開始レジスタm（SSm）
- シリアル・チャネル停止レジスタm（STm）
- シリアル・チャネル許可ステータス・レジスタm（SEm）
- シリアル出力許可レジスタm（SOEm）
- シリアル出力レベル・レジスタm（SOLm）
- シリアル出力レジスタm（SOm）
- シリアル・スレーブ選択許可レジスタm（SSEm）[注1]
- シリアル・スタンバイ・コントロール・レジスタm（SSCm）[注2]
- 入力切り替え制御レジスタ（ISC）
- ユニット選択レジスタ（UTSEL）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート入力モード・レジスタ1, 3, 5-7, 12（PIM1, PIM3, PIM5-PIM7, PIM12）
- ポート出力モード・レジスタ1, 6, 7, 12（POM1, POM6, POM7, POM12）
- ポート・モード・レジスタ0, 1, 2, 3, 5-7, 12, 15（PM0, PM1, PM2, PM3, PM5-PM7, PM12, PM15）
- ポート・レジスタ0, 1, 2, 3, 5-7, 12, 15（P0, P1, P2, P3, P5-P7, P12, P15）
- ポート・モード・コントロール・レジスタ12（PMC12）
- ポート入力閾値制御レジスタ0, 1, 3, 5-7, 12, 15（PITHL0, PITHL1, PITHL3, PITHL5-PITHL7, PITHL12, PITHL15）
- ポート出力スルー・レート選択レジスタ（PSRSEL）

注1.　m = 0, 1 のみ

2.　m = 2 のみ

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

15.3.1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは，必ずビット2（SAU0EN）に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは，必ずビット3（SAU1EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PER0レジスタは00Hになります。

図15－6　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注意　シリアル・アレイ・ユニットmの設定をする際には，必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります（入力切り替え制御レジスタ（ISC），ノイズ・フィルタ許可レジスタ0（NFEN0），ポート入力モード・レジスタ1, 3, 5-7, 12（PIM1, PIM3, PIM5-PIM7, PIM12），ポート出力モード・レジスタ1, 6, 7, 12（POM1, POM6, POM7, POM12），ポート・モード・レジスタ1, 3, 5-7, 12, 15（PM1, PM3, PM5-PM7, PM12, PM15），ポート・レジスタ1, 3, 5-7, 12, 15（P1, P3, P5-P7, P12, P15），ポート・モード・コントロール・レジスタ12（PMC12），ポート入力閾値制御レジスタ1, 3, 5-7, 12（PITHL1, PITHL3, PITHL5-PITHL7, PITHL12），ポート出力スルー・レート選択レジスタ（PSRSEL）は除く）。

15.3.2　周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット2を使用するときは，必ずビット1（SAU2EN）に1を設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PER1レジスタは00Hになります。

図15－7　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN	SAU2EN	TRJ0EN

SAU2EN	シリアル・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット2で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット2はリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニット2で使用するSFRへのリード／ライト可

注意　シリアル・アレイ・ユニット2の設定をする際には，必ず最初にSAU2EN = 1の設定を行ってください。SAU2EN = 0の場合は，シリアル・アレイ・ユニット2の制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります（ノイズ・フィルタ許可レジスタ0（NFEN0），ポート・モード・レジスタ2, 15（PM2, PM15），ポート・レジスタ2, 15（P2, P15），ポート入力閾値制御レジスタ2, 15（PITHL2, PITHL15）は除く）。

15.3.3　シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図15－8　シリアル・クロック選択レジスタm（SPSm）のフォーマット

アドレス：F0116H, F0117H（SPS0）, F0156H, F0157H（SPS1）, F0166H, F0167H（SPS2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック（CKmk）の選択[注1]				
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$ 注2	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$ 注2	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$ 注2	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$ 注2	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注1.　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 0003H）させてから変更してください。

2.　ユニット2のみ。

注意　ビット15-8には，必ず0を設定してください。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{SUB}：サブシステム・クロック周波数

2.　m：ユニット番号（m = 0-2）, k = 0, 1

15.3.4　シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（CSI, UART, 簡易I^2C）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図15－9　シリアル・モード・レジスタmn（SMRmn）のフォーマット（1/2）

アドレス：F0108H, F0109H（SMR00）, F010AH, F010BH（SMR01）　リセット時：0020H　R/W
F0148H, F0149H（SMR10）, F014AH, F014BH（SMR11）
F0150H, F0151H（SMR20）, F0152H, F0153H（SMR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn	0	SISmn0	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCSmn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmnビットで指定した動作クロックf_{MCK}の分周クロック
1	$\overline{SCK}$p端子からの入力クロックf_{SCK}（CSIモードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STSmn	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（CSI, UART送信，簡易I^2C時に選択）
1	RXDq端子の有効エッジ（UART受信時に選択）
SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注意　ビット13-9, 7, 4, 3には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
q：UART番号（q = 0-2）　r：IIC番号（r = 00, 01, 10, 11）

図15－9　シリアル・モード・レジスタmn（SMRmn）のフォーマット（2/2）

アドレス：F0108H, F0109H（SMR00）, F010AH, F010BH（SMR01）　　リセット時：0020H　R/W
F0148H, F0149H（SMR10）, F014AH, F014BH（SMR11）
F0150H, F0151H（SMR20）, F0152H, F0153H（SMR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn	0	SISmn0	1	0	0	MDmn2	MDmn1	MDmn0

SISmn0	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MDmn2	MDmn1	チャネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MDmn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。	

注意　ビット13-9, 7, 4, 3には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
q：UART番号（q = 0-2）　r：IIC番号（r = 00, 01, 10, 11）

15.3.5　シリアル通信動作設定レジスタmn（SCRmn）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SCRmnレジスタは0087Hになります。

図15－10　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（1/3）

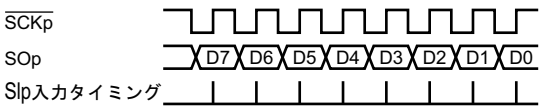
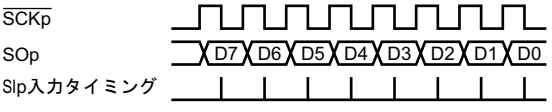
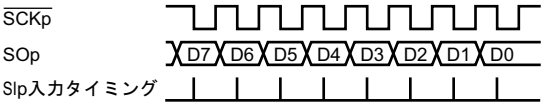
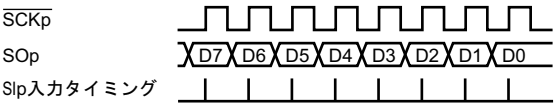
アドレス：F010CH, F010DH（SCR00）, F010EH, F010FH（SCR01）　リセット時：0087H　R/W

F014CH, F014DH（SCR10）, F014EH, F014FH（SCR11）

F0158H, F0159H（SCR20）, F015AH, F015BH（SCR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn 注1	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	DLSmn3 注2	DLSmn2 注2	DLSmn1	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード，簡易I^2Cモード時には，必ずDAPmn, CKPmn = 0, 0に設定してください。また、$\overline{SSI}$mn(スレーブ選択入力)を使用する場合は、CKPmn=1に設定してください。			

EOCmn注1	エラー割り込み出力制御
0	チャネルが出力するエラー割り込み信号をマスクする。 割り込み信号はマスクされません。
1	チャネルが出力するエラー割り込み信号を許可する。 エラー割り込み信号が発生する時割り込み信号はマスクされます。

注1.　SCR21レジスタのみ。

2.　m = 0, 1のみ。

注意　SCR00, SCR01, SCR10, SCR11：ビット6, 10, 11には，必ず0を設定してください。
SCR20：ビット3, 6, 10, 11には必ず0，ビット2には必ず1を設定してください。
SCR21：ビット3, 6, 11には必ず0，ビット2には必ず1を設定してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

図15－10　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（2/3）

アドレス：F010CH, F010DH（SCR00）, F010EH, F010FH（SCR01）　リセット時：0087H　R/W
F014CH, F014DH（SCR10）, F014EH, F014FH（SCR11）
F0158H, F0159H（SCR20）, F015AH, F015BH（SCR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn 注1	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	DLSmn3 注2	DLSmn2 注2	DLSmn1	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注3	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
CSIモード，簡易I^2Cモード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIRmn	CSI, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I^2Cモード時には，必ずDIRmn = 0に設定してください。	

SLCmn1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（mn = 00, 10, 20のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時，簡易I^2Cモード時には，1ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。 CSIモード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。		

注1.　SCR21レジスタのみ。
2.　m = 0, 1のみ。
3.　データの内容にかかわらず必ず0が付加されます。

注意　SCR00, SCR01, SCR10, SCR11：ビット6, 10, 11には，必ず0を設定してください。
SCR20：ビット3, 6, 10, 11には必ず0，ビット2には必ず1を設定してください。
SCR21：ビット3, 6, 11には必ず0，ビット2には必ず1を設定してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

図15－10　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（3/3）

アドレス：F010CH, F010DH（SCR00）, F010EH, F010FH（SCR01）　リセット時：0087H　R/W

F014CH, F014DH（SCR10）, F014EH, F014FH（SCR11）

F0158H, F0159H（SCR20）, F015AH, F015BH（SCR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn 注1	PTCmn1	PTCmn0	DIRmn	0	SLCmn1	SLCmn0	DLSmn3 注2	DLSmn2 注2	DLSmn1	DLSmn0

m = 0, 1

DLS mn3	DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	シリアル機能の対応		
					CSI	UART	IIC
0	1	1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）	○	○	-
0	1	1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）	○	○	○
1	0	0	0	9ビット・データ長（SDRmnレジスタのビット0-8に格納）	○	○	-
1	0	0	1	10ビット・データ長（SDRmnレジスタのビット0-9に格納）	○	-	-
1	0	1	0	11ビット・データ長（SDRmnレジスタのビット0-10に格納）	○	-	-
1	0	1	1	12ビット・データ長（SDRmnレジスタのビット0-11に格納）	○	-	-
1	1	0	0	13ビット・データ長（SDRmnレジスタのビット0-12に格納）	○	-	-
1	1	0	1	14ビット・データ長（SDRmnレジスタのビット0-13に格納）	○	-	-
1	1	1	0	15ビット・データ長（SDRmnレジスタのビット0-14に格納）	○	-	-
1	1	1	1	16ビット・データ長（SDRmnレジスタのビット0-15に格納）	○	○	-
その他				設定禁止			
簡易I^2Cモード時には，必ずDLSmn3 – DLSmn0 = 0111Bに設定してください。							

DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	シリアル機能の対応	
			CSI	UART
0	1	9ビット・データ長（SDRmnレジスタのビット0-8に格納）	-	○
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）	○	○
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）	○	○
上記以外		設定禁止		

注1.　SCR21レジスタのみ。

2.　m = 0, 1のみ。

注意　SCR00, SCR01, SCR10, SCR11：ビット6, 10, 11には，必ず0を設定してください。

SCR20：ビット3, 6, 10, 11には必ず0，ビット2には必ず1を設定してください。

SCR21：ビット3, 6, 11には必ず0，ビット2には必ず1を設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

15.3.6　シリアル・データ・レジスタmn（SDRmn）の上位7ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

動作停止状態（SEmn = 0）ではビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。動作中（SEmn = 1）送受信バッファ・レジスタとして機能します。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタの上位7ビットで分周設定したクロックが，転送クロックとして使用されます。

動作中（SEmn = 1）のSDRレジスタ機能については「15.2　シリアル・アレイ・ユニットの構成」を参照してください。

SDRmnは16ビット単位でリード／ライト可能です。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図15－11　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　　リセット時：0000H　　R/W
FFF48H, FFF49H（SDR10）, FFF4AH, FFF4BH（SDR11）
FFF48H, FFF49H（SDR20）, FFF4AH, FFF4BH（SDR21）

	FFF11H（SDR00の場合）								FFF10H（SDR00の場合）							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0	0	0	0	0	0	0	0	0

SDRmn[15:9]							動作クロック（f_{MCK}）の分周による転送クロック設定
0	0	0	0	0	0	0	f_{MCK}/2
0	0	0	0	0	0	1	f_{MCK}/4
0	0	0	0	0	1	0	f_{MCK}/6
0	0	0	0	0	1	1	f_{MCK}/8
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	f_{MCK}/254
1	1	1	1	1	1	1	f_{MCK}/256

注意1.　動作停止状態（SEmn = 0）時、ビット8-0には必ず0を設定してください。

2.　UART使用時は，SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

3.　簡易I^2C使用時は，SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

4.　動作停止状態（SEmn = 0）のときに，下位8ビットへ8ビット書き込みは行わないでください（上位7ビットが0にクリアされます）。

備考1.　動作中（SEmn = 1）のSDRmnレジスタ機能については「15.2　シリアル・アレイ・ユニットの構成」を参照してください。

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

15.3.7　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn, PECTmn, OVCTmn）を1にセットすると，シリアル・ステータス・レジスタmn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので，SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは，16ビット・メモリ操作命令で設定してください。

またSIRmnレジスタの下位8ビットは，SIRmnLで8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SIRmnレジスタは0000Hになります。

図15－12　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマット

アドレス：F0104H, F0105H（SIR00）, F0106H, F0107H（SIR01）　リセット時：0000H　R/W
F0144H, F0145H（SIR10）, F0146H, F0147H（SIR11）
F0148H, F0149H（SIR20）, F014AH, F014BH（SIR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn注	PECTmn	OVCTmn

FECTmn	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注．SIR01, SIR11, SIR21レジスタのみ。

注意1．ビット15-3には，必ず0を設定してください。

2．SSRmnレジスタにセットされているエラー・フラグのみ，SIRmnレジスタでクリアします。セットされていないエラー・フラグに対してクリア操作を行うと，エラー・フラグ読み出しからクリア操作までの間に新たなエラーが検出された場合，そのエラー・フラグを消してしまう可能性があります。

備考1．m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0,1）

2．SIRmnレジスタの読み出し値は常に0000Hとなります。

3．クリア・トリガへの1書き込みと，対応するエラー・フラグのセット（1）が同時に発生した場合，エラー・フラグのセットが優先されます。

15.3.8　シリアル・ステータス・レジスタmn（SSRmn）

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図15－13　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）

アドレス：F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）　リセット時：0000H　R
F0140H, F0141H（SSR10）, F0142H, F0143H（SSR11）
F0140H, F0141H（SSR20）, F0142H, F0143H（SSR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
＜クリア条件＞ ・STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態） ・通信動作が終了時 ＜セット条件＞ ・通信動作を開始時	

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
＜クリア条件＞ ・送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき ・受信時においてSDRmnレジスタから受信データの読み出しが終了したとき ・STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態） ＜セット条件＞ ・SCRmnレジスタのTXEmnビット = 1（各通信モードでの送信，送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき ・SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信，送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき ・受信エラー時	

注．SSR01, SSR11, SSR21レジスタのみ。

注意1．BFFmn = 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され，オーバラン・エラー（OVEmn = 1）と検出されます。

2．SNOOZEモード（SWCn = 1）でCSI受信する場合，BFFmnフラグは動作しません（m = 2, n = 0, 1のみ）。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

図15－13　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2）

アドレス：F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）　リセット時：0000H　R
F0140H, F0141H（SSR10）, F0142H, F0143H（SSR11）
F0140H, F0141H（SSR20）, F0142H, F0143H（SSR21）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

FEFmn	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）
＜クリア条件＞ ・SIRmnレジスタのFECTmnビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に，ストップ・ビットが検出されないとき	

PEFmn	チャネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時），またはACK未検出発生（I^2C送信時）
＜クリア条件＞ ・SIRmnレジスタのPECTmnビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー） ・I2C送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）	

OVFmn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
＜クリア条件＞ ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき ＜セット条件＞ ・SCRmnレジスタのRXEmnビット ＝1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・CSIモードのスレーブ送信／送受信で，送信データが準備できていないとき	

注．　SSR01, SSR11, SSR21レジスタのみ。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

15.3.9　シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定してください。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SSmレジスタは0000Hになります。

図15－14　シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス：F0112H, F0113H（SS0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS01	SS00

アドレス：F0152H, F0153H（SS1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS11	SS10

アドレス：F0162H, F0163H（SS2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS21	SS20

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし，通信待機状態に遷移する[注]

注　すでに通信動作中の場合は，通信動作を停止してください。

制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ, PEFmn：パリティ・エラー・フラグ, OVFmn：オーバーラン・エラー・フラグ）は状態を保持します。

注意1.　SSmレジスタのビット15-2には，必ず0を設定してください。

2.　UART受信の場合は，SCRmnレジスタのRXEmnビットを1に設定後に，f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

2.　SSmレジスタの読み出し値は常に0000Hとなります。

15.3.10　シリアル・チャネル停止レジスタm（STm）

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定してください。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，STmレジスタは0000Hになります。

図15－15　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス：F0114H, F0115H（ST0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST01	ST00

アドレス：F0154H, F0155H（ST1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST11	ST10

アドレス：F0164H, F0165H（ST2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST21	ST20

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし，通信動作を停止する[注]

注　制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ, PEFmn：パリティ・エラー・フラグ, OVFmn：オーバーラン・エラー・フラグ）は，状態を保持したまま停止します。

注意　STmレジスタのビット15-2には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

2.　STmレジスタの読み出し値は常に0000Hとなります。

15.3.11　シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出してください。

またSEmレジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出してください。

リセット信号の発生により，SEmレジスタは0000Hになります。

図15－16　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス：F0110H, F0111H（SE0）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE01	SE00

アドレス：F0150H, F0151H（SE1）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE11	SE10

アドレス：F0160H, F0161H（SE2）　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE21	SE20

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態[注]
1	動作許可状態

注　制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ，PEFmn：パリティ・エラー・フラグ，OVFmn：オーバー・エラー・フラグ）は，状態を保持したまま停止します。ただし，SSRmnレジスタのビット6, 5（TSFmn, BFFmn）はクリアされます。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

15.3.12　シリアル出力許可レジスタm（SOEm）

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定してください。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図15－17　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス：F011AH, F011BH（SOE0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE01	SOE00

アドレス：F015AH, F015BH（SOE1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE11	SOE10

アドレス：F016AH, F016BH（SOE2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE21	SOE20

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　SOEmレジスタのビット15-2には，必ず0を設定してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

15.3.13　シリアル出力レジスタm（SOm）

SOmレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウエアによる書き換えは，シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウエアによる書き換えは，チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに1を設定してください。

SOmレジスタは，16ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SOmレジスタは0303Hになります。

図15－18　シリアル出力レジスタm（SOm）のフォーマット

アドレス：F0118H, F0119H（SO0）　リセット時：0303H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	CKO01	CKO00	0	0	0	0	0	0	SO01	SO00

アドレス：F0158H, F0159H（SO1）　リセット時：0303H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	0	0	CKO11	CKO10	0	0	0	0	0	0	SO11	SO10

アドレス：F0168H, F0169H（SO2）　リセット時：0303H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO2	0	0	0	0	0	0	CKO21	CKO20	0	0	0	0	0	0	SO21	SO20

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が0
1	シリアル・クロック出力値が1

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が0
1	シリアル・データ出力値が1

注意　SOmレジスタのビット15-10, 7-2には，必ず0を設定してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

15.3.14　シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード，簡易I^2Cモード時は，必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは，16ビット・メモリ操作命令で設定してください。

またSOLmレジスタの下位8ビットは，SOLmLで8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，SOLmレジスタは0000Hになります。

図15－19　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス：F0120H, F0121H（SOL0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL01	SOL00

アドレス：F0160H, F0161H（SOL1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL11	SOL10

アドレス：F0174H, F0175H（SOL2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL20

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

注意　SOL0レジスタのビット15-2，SOL1レジスタのビット15-2，SOL2レジスタのビット15-1には，必ず0を設定してください。SOL2レジスタは，m = 2, n = 0 のみ。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

15.3.15　シリアル・スレーブ選択許可レジスタm（SSEm）

SSEmは, CSI通信かつスレーブ・モード時にチャネルの$\overline{\text{SSI}mn}$端子入力を制御するレジスタです。

$\overline{\text{SSI}mn}$端子にハイ・レベルが入力されている期間は，シリアル・クロックが入力されても送受信動作を行いません。$\overline{\text{SSI}mn}$端子にロウ・レベルが入力されている期間は，シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

SSEmレジスタは，16ビット・メモリ操作命令で設定してください。

またSSEmレジスタの下位8ビットは，SSEmLで8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，0000Hになります。

注意1.　CSI通信かつスレーブ・モード時以外での書き込みは禁止です。

2.　SAU停止中（SEmn = 0）のみ設定可能。

図15－20　シリアル・スレーブ選択許可レジスタm（SSEm）のフォーマット

アドレス：F0122H, F0123H（SSE0）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSE01	SSE00

アドレス：F0162H, F0163H（SSE1）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSE1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSE11	SSE10

SSEmn[注]	CSI通信かつスレーブ・モード時のチャネルnの$\overline{\text{SSI}mn}$入力の設定
0	$\overline{\text{SSI}mn}$端子入力の無効
1	$\overline{\text{SSI}mn}$端子入力の有効

注　SSEmnビットに1を設定する場合は、SCRmnレジスタのCKPmnビットを1(クロック位相を反転)にしてください。

注意　ビット15-2には，必ず0を設定してください。

備考　m：ユニット番号（m = 0,1）　n：チャネル番号（n = 0, 1）

15.3.16　シリアル・スタンバイ・コントロール・レジスタm（SSCm）

CSI20のシリアル・データ受信によるSTOPモード状態からの受信動作の起動（SNOOZEモード）を制御するレジスタです。

SSCmレジスタは，16 ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8 ビットは，SSCmLで8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSCmレジスタは0000Hになります。

図15－21　シリアル・スタンバイ・コントロール・レジスタm（SSCm）のフォーマット

アドレス：F0178H, F0179H（SSC2）　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSC2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWCm2

SWCm	STOPモード状態からのCSIm0受信動作の起動許可／禁止を選択
0	STOPモードからの受信動作の起動を禁止
1	STOPモードからの受信動作の起動を許可（CSIm0の非同期受信を有効化）

注意　ビット15-1には，必ず0を設定してください。

備考　m：ユニット番号（m = 2）

15.3.17　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC0ビットは，UART0でLIN-bus通信動作を実現するときに使用します。TIS1レジスタ(タイマ入力選択レジスタ1)のTIS17,TIS16ビットと共に設定してください。

ビット0に1を設定すると、シリアル・データ入力（RXD0）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウェイクアップ信号をINTP0割り込みで検出できます。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，ISCレジスタは00Hになります。

図15－22　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	0	ISC0

ISC4[注]	外部割り込み（INTP14）の入力選択
0	INTP14端子の入力信号を外部割り込みに選択
1	LRXD2端子の入力信号を外部割り込みに選択

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12端子の入力信号を外部割り込みに選択
1	LRXD1端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11端子の入力信号を外部割り込みに選択
1	LRXD0端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0端子の入力信号を外部割り込みに選択（ウエイクアップ信号検出）

注　144, 100ピン製品のみ。

注意　ビット7-5, 1に必ず0を設定してください。

80, 64, 48ピン製品では、ISC4に0を設定してください。

15.3.18　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

CSI，簡易I^2C通信に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

★ ノイズ・フィルタ有効時は，CPU／周辺ハードウエア・クロック（f_{CLK}）で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，NFEN0レジスタは00Hになります。

図15－23　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス：F0070H（NFEN0）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20注	0	SNFEN10	0	SNFEN00

SNFEN20注	RXD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RXD2端子として使用するときは，SNFEN20 = 1に設定してください。 RXD2以外の機能として使用するときは，SNFEN20 = 0に設定してください。	

注　144, 100ピン製品のみ

SNFEN10	RXD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RXD1端子として使用するときは，SNFEN10 = 1に設定してください。 RXD1以外の機能として使用するときは，SNFEN10 = 0に設定してください。	

SNFEN00	RXD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RXD0端子として使用するときは，SNFEN00 = 1に設定してください。 RXD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。	

15.3.19　ユニット選択レジスタ（UTSEL）

UTSELレジスタは、レジスタ・アクセスを行う対象ユニットの切り替えを選択するレジスタです。

UTSELレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，UTSELレジスタは00Hになります。

図15－24　ユニット選択レジスタ（UTSEL）のフォーマット

アドレス：F0210H（UTSEL）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
UTSEL	0	0	0	0	0	SSEL0注1	0	TSEL0注2

TSEL0注2	TAUユニット選択制御
0	TAU1選択（TAU1のレジスタアクセス可能）
1	TAU2選択（TAU2のレジスタアクセス可能）

SSEL0注1	SAUユニット選択制御
0	SAU1選択（SAU1のレジスタアクセス可能）
1	SAU2選択（SAU2 のレジスタアクセス可能）

注1.　144, 100ピン製品のみ。

2.　144ピン製品のみ。

注意　ビット7-3, 1に必ず0を設定してください。

15.3.20　ポート入力モード・レジスタ1, 3, 5-7, 12（PIM1, PIM3, PIM5-7, PIM12）

ポート1, 3, 5-7, 12の入力バッファを1ビット単位で設定するレジスタです。

1, 3, 5-7, 12レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PIM1, PIM3, PIM5-PIM7, PIM12レジスタは00Hになります。

図15－25　ポート入力モード・レジスタ1, 3, 5-7, 12（PIM1, PIM3, PIM5-7, PIM12）のフォーマット

アドレス：F0041H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM1	PIM17	PIM16	0	PIM14	PIM13	0	PIM11	PIM10

アドレス：F0043H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM3	0	0	0	0	0	0	0	PIM30

アドレス：F0045H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM5	0	0	0	PIM54	0	0	0	0

アドレス：F0046H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM6	0	0	0	0	PIM63	PIM62	0	0

アドレス：F0047H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM7	0	0	0	0	PIM73	0	PIM71	PIM70

アドレス：F004CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PIM12	0	0	PIM125	0	0	0	0	0

PIMmn	Pmn端子の入力バッファの選択 (m = 1, 3, 5-7, 12; n = 0-7)
0	通常入力バッファ
1	TTL入力バッファ

15.3.21　ポート出力モード・レジスタ1, 6, 7, 12（POM1, POM6, POM7, POM12）

ポート1, 6, 7, 12の出力モードを1ビット単位で設定するレジスタです。

POM1, POM6, POM7, POM12レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，POM1, POM6, POM7, POM12レジスタは00Hになります。

図15－26　ポート出力モード・レジスタ1, 6, 7, 12（POM1, POM6, POM7, POM12）のフォーマット

アドレス：F0051H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM1	POM17	POM16	POM15	POM14	POM13	POM12	POM11	POM10

アドレス：F0056H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	POM63	POM62	POM61	POM60

アドレス：F0057H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM7	0	0	0	0	0	POM72	POM71	POM70

アドレス：F005CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
POM12	0	0	0	0	0	0	0	POM120

POMmn	Pmn端子の出力モードの選択（m = 1, 6, 7, 12; n = 0-7）
0	通常出力モード
1	N-chオープン・ドレーン出力（EV_{DD0}耐圧）モード

注意　搭載していないビットには必ず初期値を設定してください。

15.3.22　ポート・モード・レジスタ 0-7, 12, 15（PM0-PM7, PM12, PM15）

ポート0-7, 12, 15の入力／出力を1ビット単位で設定するレジスタです。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P12）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに0を設定してください。また，ポート・レジスタ（Pxx）のビットに1を設定してください。

例）P12/TI11/TO11/(TRDI0D0)/INTP5/SO10/TXD1/SNZOUT3をシリアル・データ出力として使用する場合

ポート・モード・レジスタ1のPM12ビットを0に設定

ポート・レジスタ1のP12ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポートをシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P16/TI02/TO02/TRDI0C1/SI00/SDA00/RXD0/TOOLRXDをシリアル・データ入力として使用する場合

ポート・モード・レジスタ1のPM16ビットを1に設定

ポート・レジスタ1のP16ビットを0または1に設定

PM0-PM7, PM12, PM15レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，PM0-PM7, PM12, PM15レジスタはFFHになります。

図15－27　ポート・モード・レジスタ 0-7, 12, 15（PM0-PM7, PM12, PM15）のフォーマット

アドレス：FFF20H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス：FFF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス：FFF22H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

アドレス：FFF24H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス：FFF25H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

アドレス：FFF27H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

アドレス：FFF2CH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	1	1	1	1	PM120

アドレス：FFF2FH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150

PMmn	Pmn端子の入出力モードの選択（m = 0-7, 12, 15; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

15.4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。

また動作停止モードでは，シリアル・インタフェース用端子をポート機能として使用できます。

15.4.1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0），周辺イネーブル・レジスタ1（PER1）で行います。

PER0, PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは，PER0レジスタのビット2（SAU0EN）に0を設定してください。シリアル・アレイ・ユニット1を停止するときは，PER0レジスタのビット3（SAU1EN）に0を設定してください。シリアル・アレイ・ユニット2を停止するときは，PER1レジスタのビット1（SAU2EN）に0を設定してください。

図15－28　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタの設定

（a）周辺イネーブル・レジスタ0（PER0）　・・・停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN
	×		×	×	0/1	0/1	×	×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

（b）周辺イネーブル・レジスタ1（PER1）　・・・停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN	DTCEN	TAU2EN	SAU2EN	TRJ0EN
	×		×	×	×	×	0/1	×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意　SAUmEN = 0の場合は，シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。

ただし，次のレジスタは除きます。

- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート入力モード・レジスタ1, 3, 5-7, 12（PIM1, PIM3, PIM5-7, PIM12）
- ポート出力モード・レジスタ1, 6, 7, 12（POM1, POM6, POM7, POM12）
- ポート・モード・レジスタ0-7, 12, 15（PM0-PM7, PM12, PM15）
- ポート・レジスタ0-7, 12, 15（P0-P7, P12, P15）

備考　×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）

0/1：ユーザの用途に応じて0または1に設定

m：ユニット番号（m = 0-2）

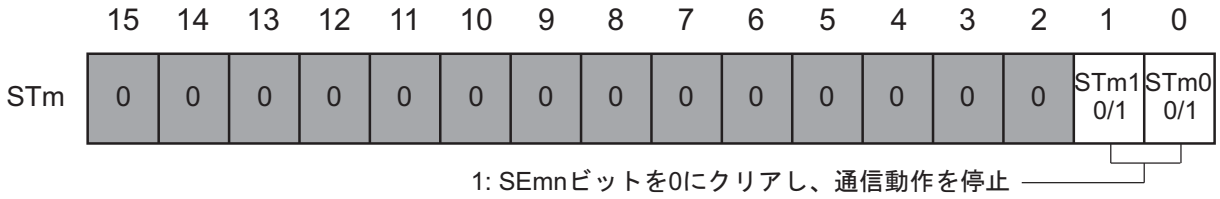
15.4.2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図15－29　チャネルごとに動作停止とする場合の各レジスタの設定（1/2）

（a）シリアル・チャネル停止レジスタm（STm）

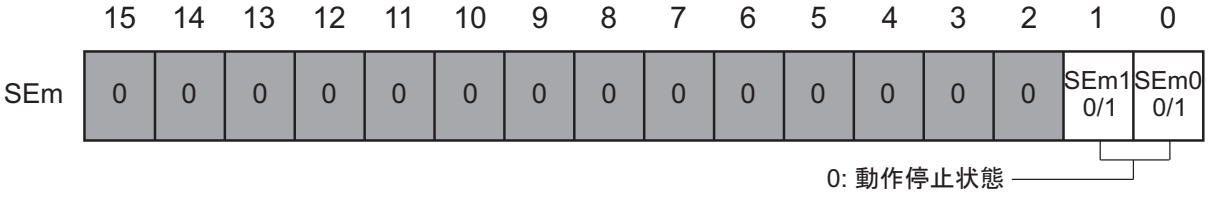
・・・各チャネルの通信／カウント停止の許可を設定するレジスタ



※: STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

（b）シリアル・チャネル許可ステータス・レジスタm（SEm）

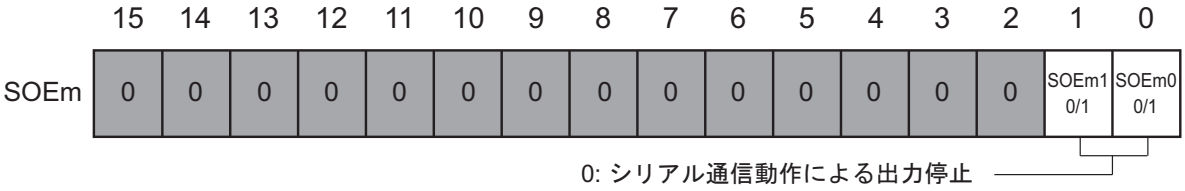
・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ



※ SEmnビットはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

（c）シリアル出力許可レジスタm（SOEm）

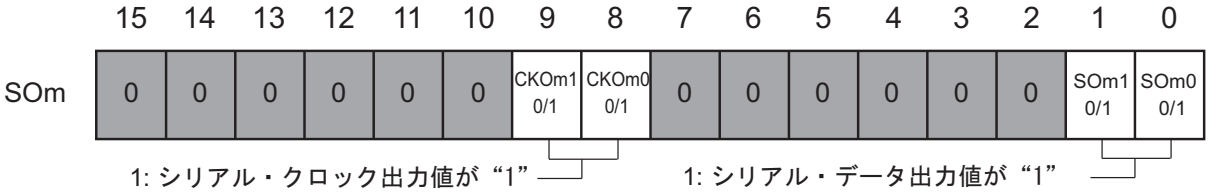
・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ



※ シリアル出力を停止したチャネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

（d）シリアル出力レジスタm（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ



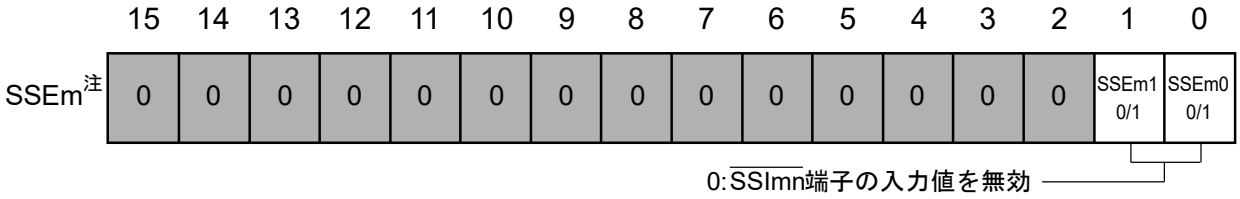
※ 各チャネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに“1”を設定してください。

（備考は次ページにあります。）

図15－29　チャネルごとに動作停止とする場合の各レジスタの設定（2/2）

（e）シリアル・スレーブ選択許可レジスタm（SSEm）

・・・各スレーブ・チャネルの$\overline{\text{SSImn}}$端子の制御



注　m = 0,1 のみ。

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）

2.　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

15.5　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信の動作

シリアル・クロック（$\overline{SCK}$）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

［データ送受信］

- 7～16ビットのデータ長（CSI00, CSI01, CSI10, CSI11のみ）
  7, 8ビットのデータ長（CSI20, CSI21のみ）
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート　マスタ通信時：Max. $f_{MCK}/4$[注]
  スレーブ通信時：Max. $f_{MCK}/6$[注]

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

また，CSI00, CSI01, CSI10, CSI11 はスレーブ選択機能に対応しています。詳細は，「15.6　SPI機能付クロック同期シリアル通信の動作」を参照してください。

CSI20は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態で$\overline{SCK}$入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応しているチャネルのCSIのみ設定可能です。

注　ただし，$\overline{SCK}$サイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください（第35章～第36章の電気的特性を参照）

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）に対応しているチャネルは，SAU0-SAU2のチャネル0, 1です。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00（SPI機能対応）注3	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）注3		IIC01
1	0	CSI10（SPI機能対応）注1, 3	UART1	IIC10
	1	CSI11（SPI機能対応）注3		IIC11
2注2	0	CSI20	UART2	–
	1	CSI21		–

注1. 48ピンの製品には、$\overline{SSI10}$端子はありません。

2. 144, 100ピン製品のみ。

3. $\overline{SSImn}$(スレーブ選択入力)を使用される場合、SCRmnレジスタのCKPmnビットを1(クロック位相を反転)にしてください（m = 0, 1、n = 0, 1）。

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11）の通信動作は，以下の6種類があります。

- マスタ送信（「15.5.1　マスタ送信」を参照）
- マスタ受信（「15.5.2　マスタ受信」を参照）
- マスタ送受信（「15.5.3　マスタ送受信」を参照）
- スレーブ送信（「15.5.4　スレーブ送信」を参照）
- スレーブ受信（「15.5.5　スレーブ受信」を参照）
- スレーブ送受信（「15.5.6　スレーブ送受信」を参照）

15.5.1　マスタ送信

マスタ送信とは，本MCUが転送クロックを出力し，本MCUから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1	SAU2の チャネル0	SAU2の チャネル1
使用端子	$\overline{SCK00}$, SO00	$\overline{SCK01}$, SO01	$\overline{SCK10}$, SO10	$\overline{SCK11}$, SO11	$\overline{SCK20}$, SO20	$\overline{SCK21}$, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	なし					
転送データ長	7～16ビット				7, 8ビット	
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz]注　　f_{CLK}：システム・クロック周波数				Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{15}×128）[Hz]注 f_{CLK}：システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

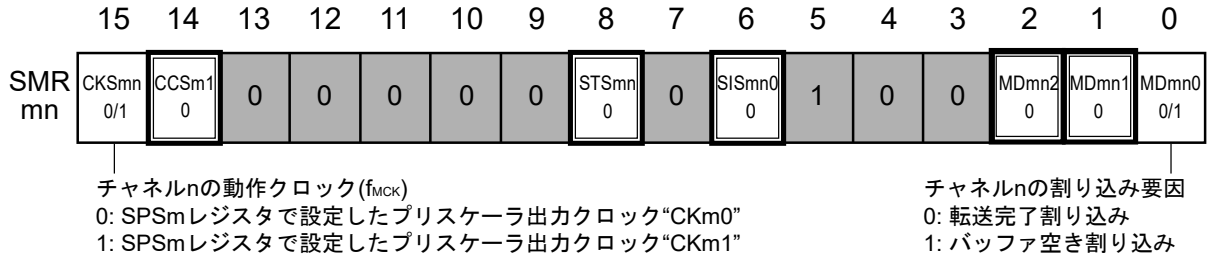
注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11, 20, 21

（1）レジスタ設定

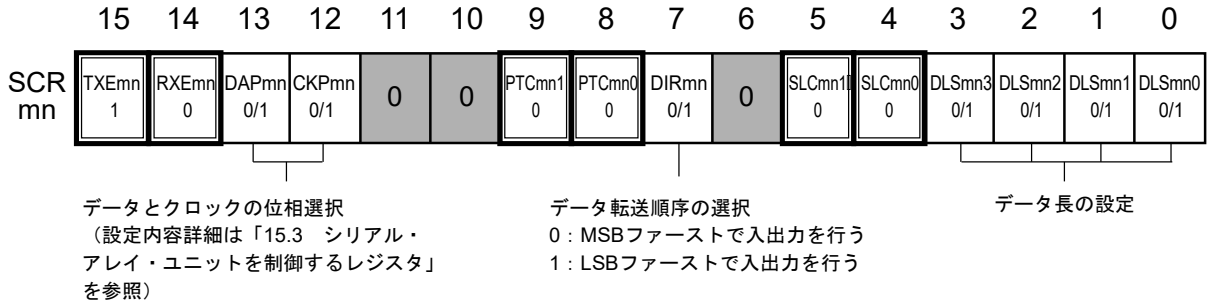
図15－30　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

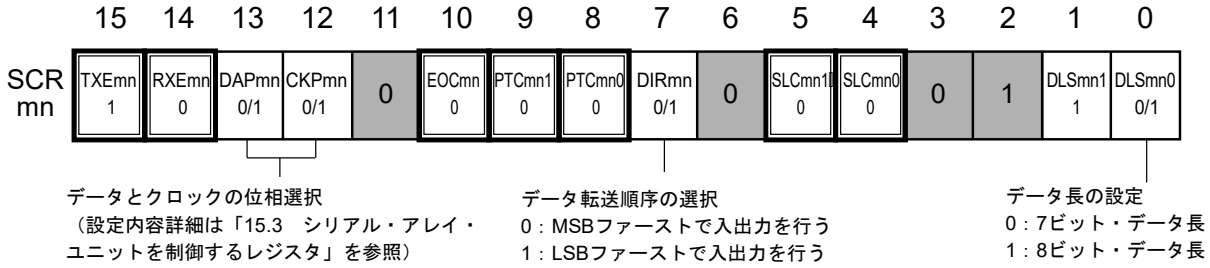


（b）シリアル通信動作設定レジスタmn（SCRmn）

①　CSI00, CSI01, CSI10, CSI11

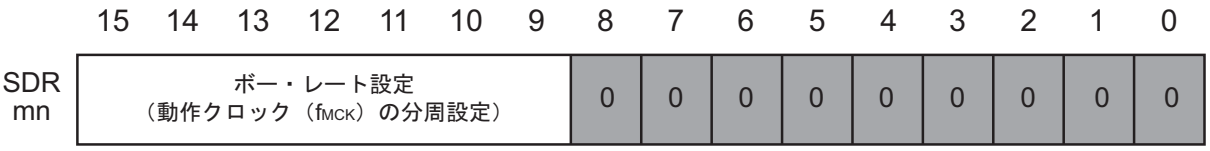


②　CSI20, CSI21

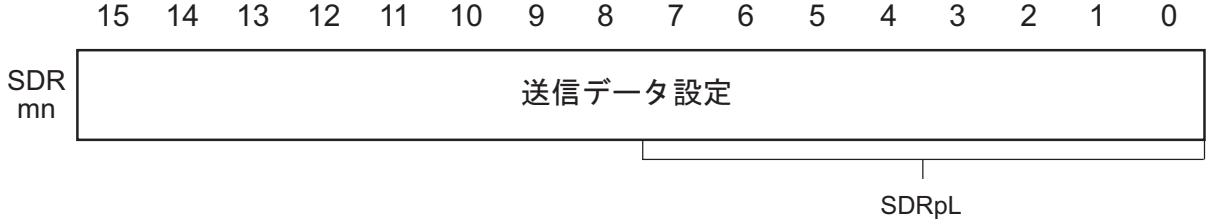


（c）シリアル・データ・レジスタmn（SDRmn）

①　CSI00, CSI01, CSI10, CSI11：動作停止時（SEmn = 0）



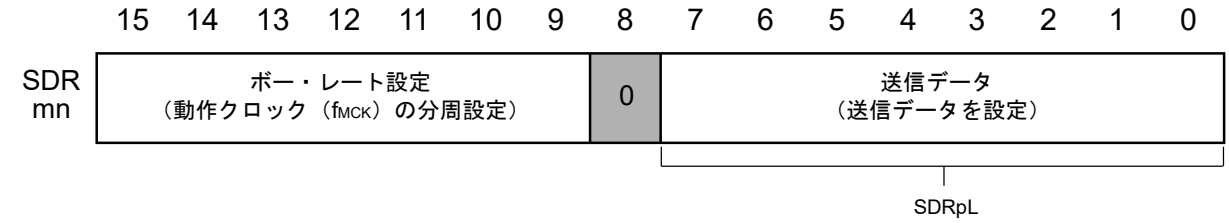
②　CSI00, CSI01, CSI10, CSI11：動作中（SEmn = 1）（下位8ビット：SDRpL）



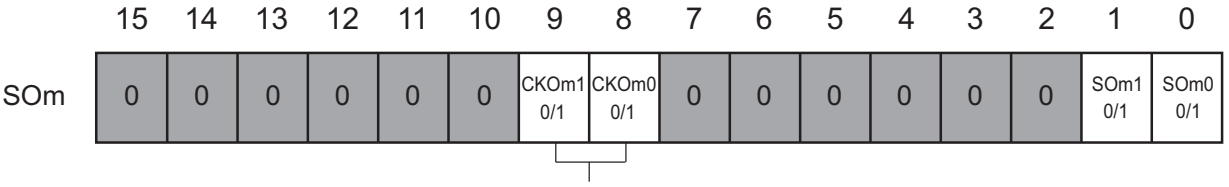
（備考は次ページにあります。）

図15－30　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ送信時のレジスタ設定内容例（2/2）

③　CSI20, CSI21

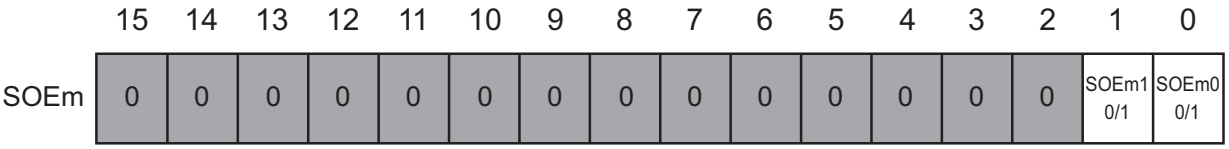


（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

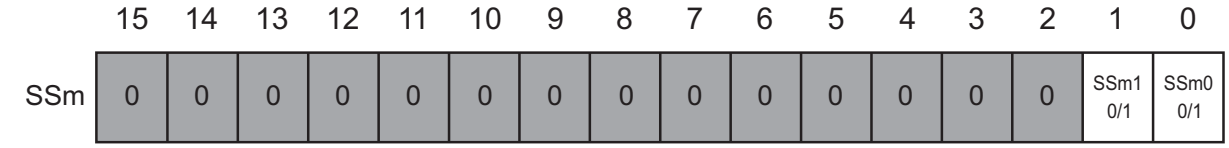


クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する



（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

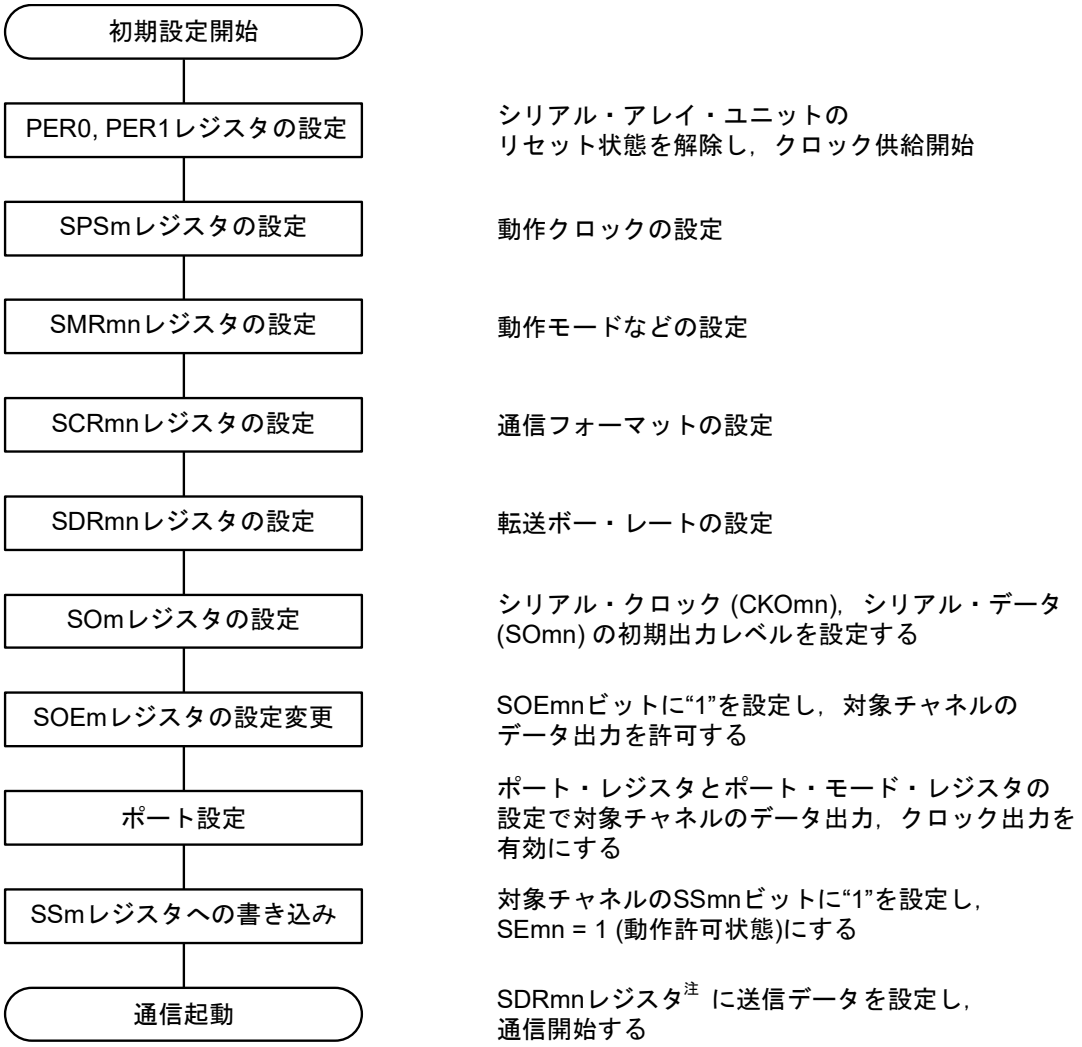


備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

2.　□：CSIマスタ送信モードでは設定固定　　■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

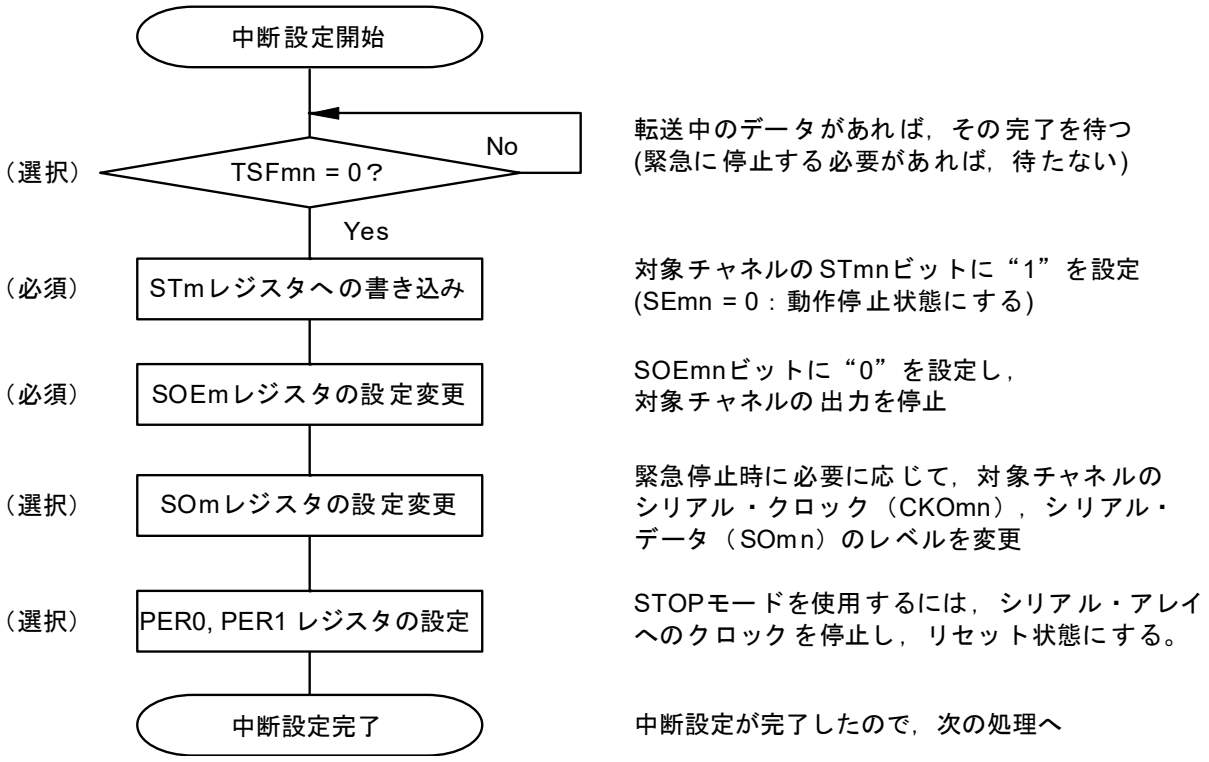
（2）操作手順

図15－31　マスタ送信の初期設定手順



（注と備考は次ページに続きます。）

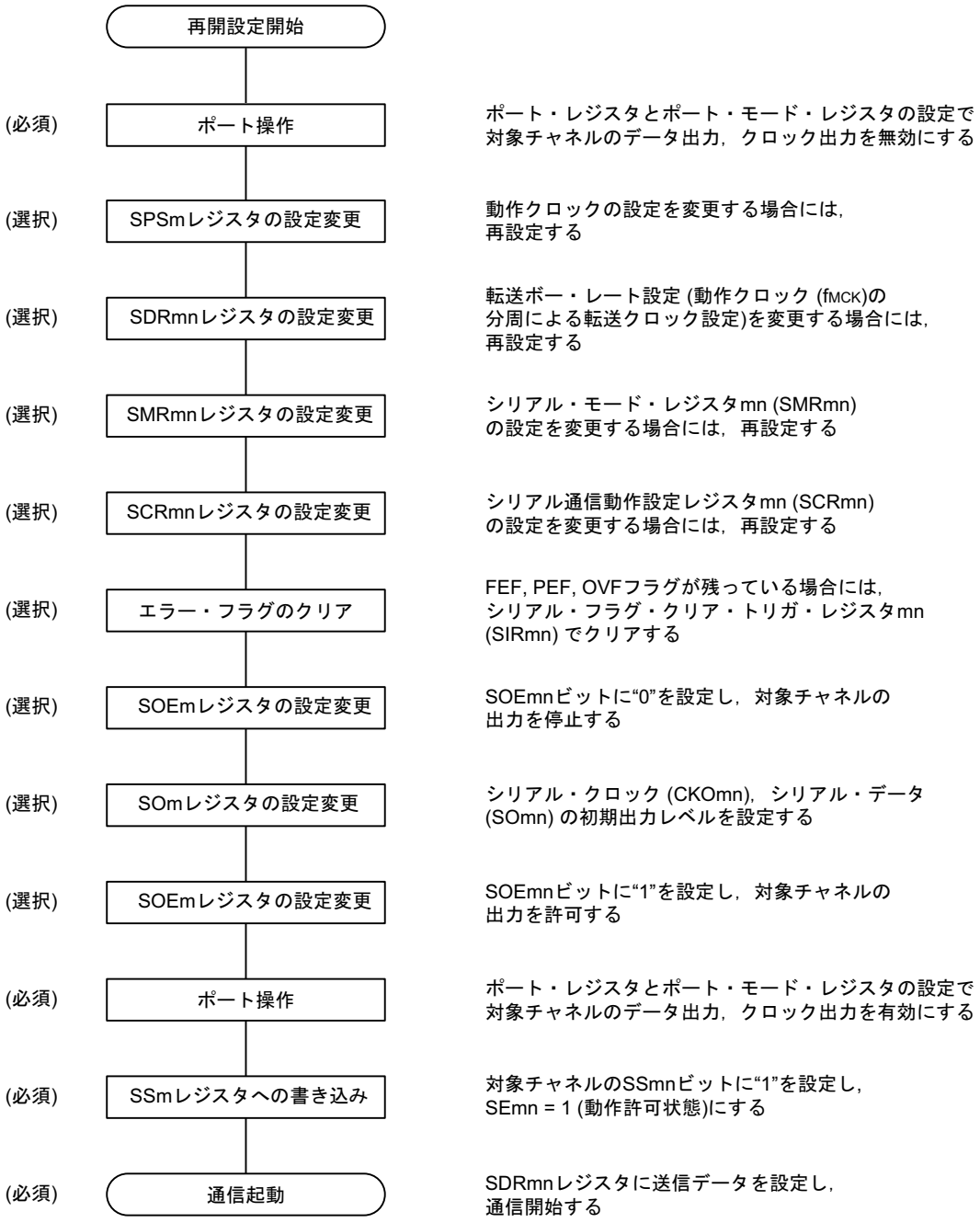
図15－32　マスタ送信の中断手順



注　CSI20,CSI21時，SDRpLレジスタ

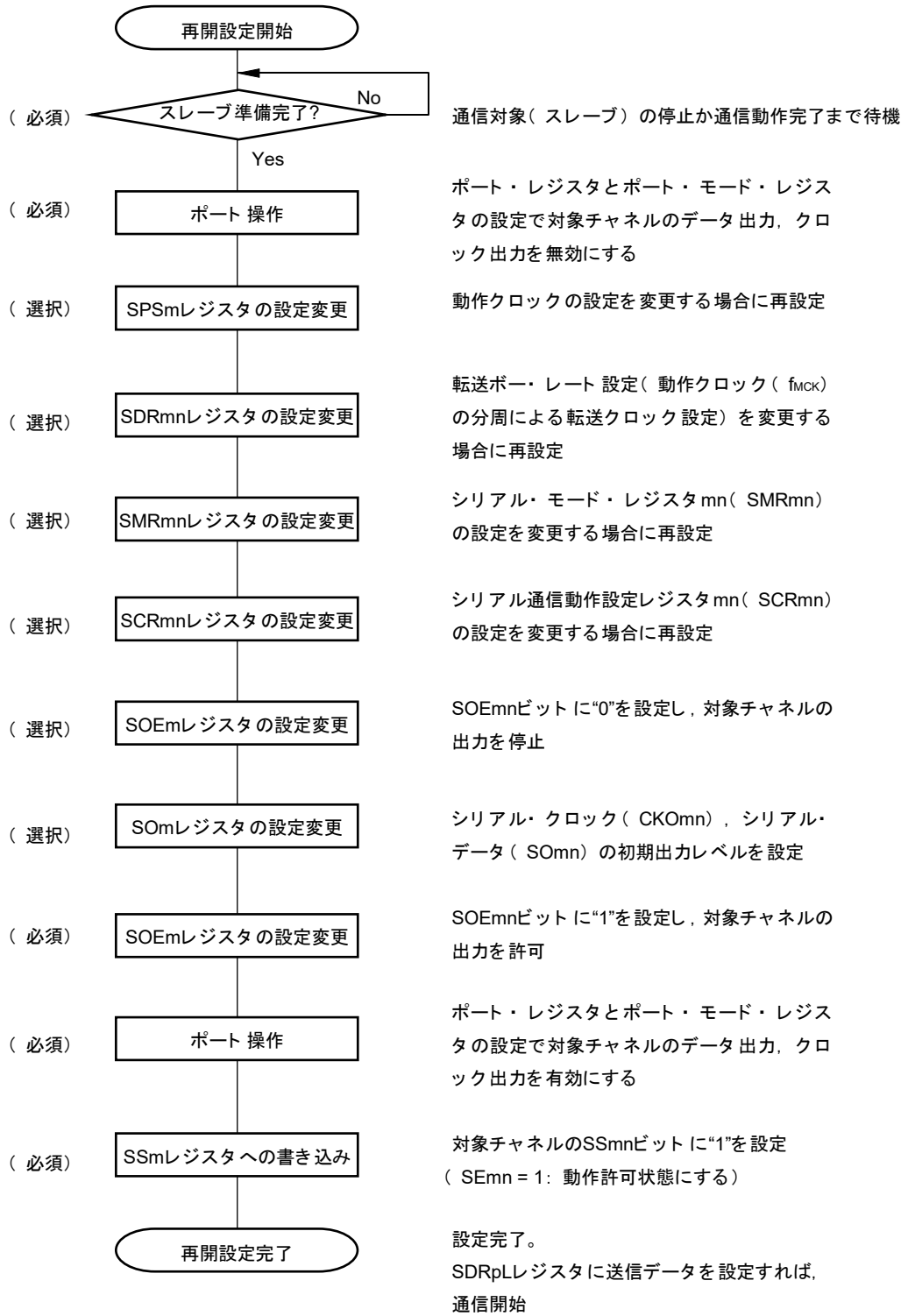
備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

図15－33　マスタ送信の再開設定手順（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

図15－34　マスタ送信の再開設定手順（CSI20, CSI21）

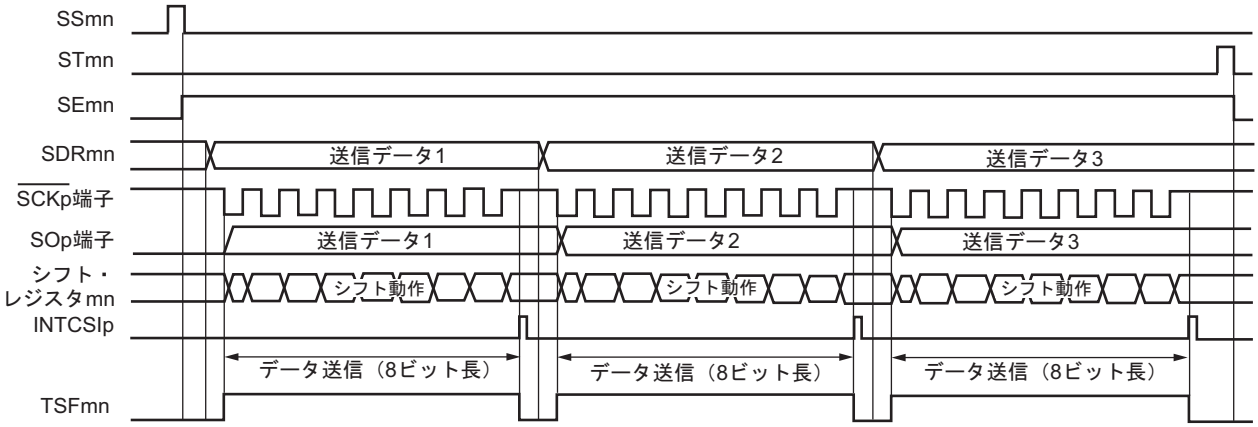


備考1.　中断設定でPER1を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

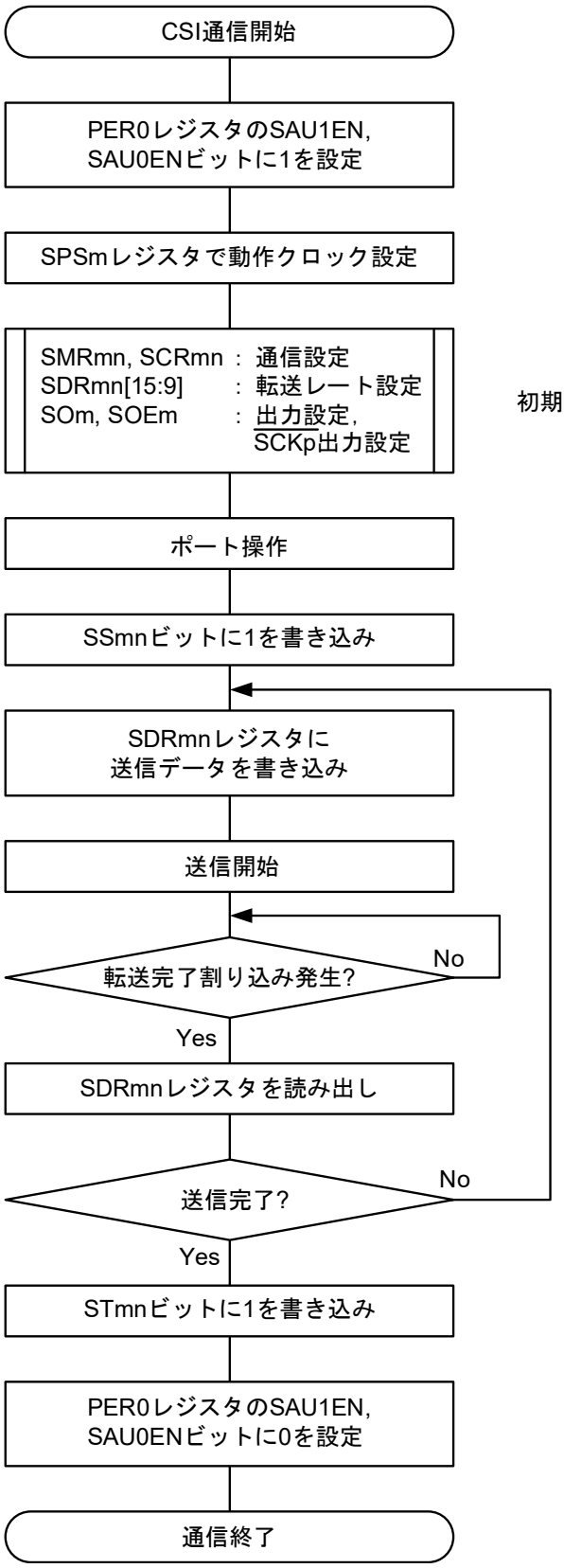
（3）処理フロー（シングル送信モード時）

図15－35　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

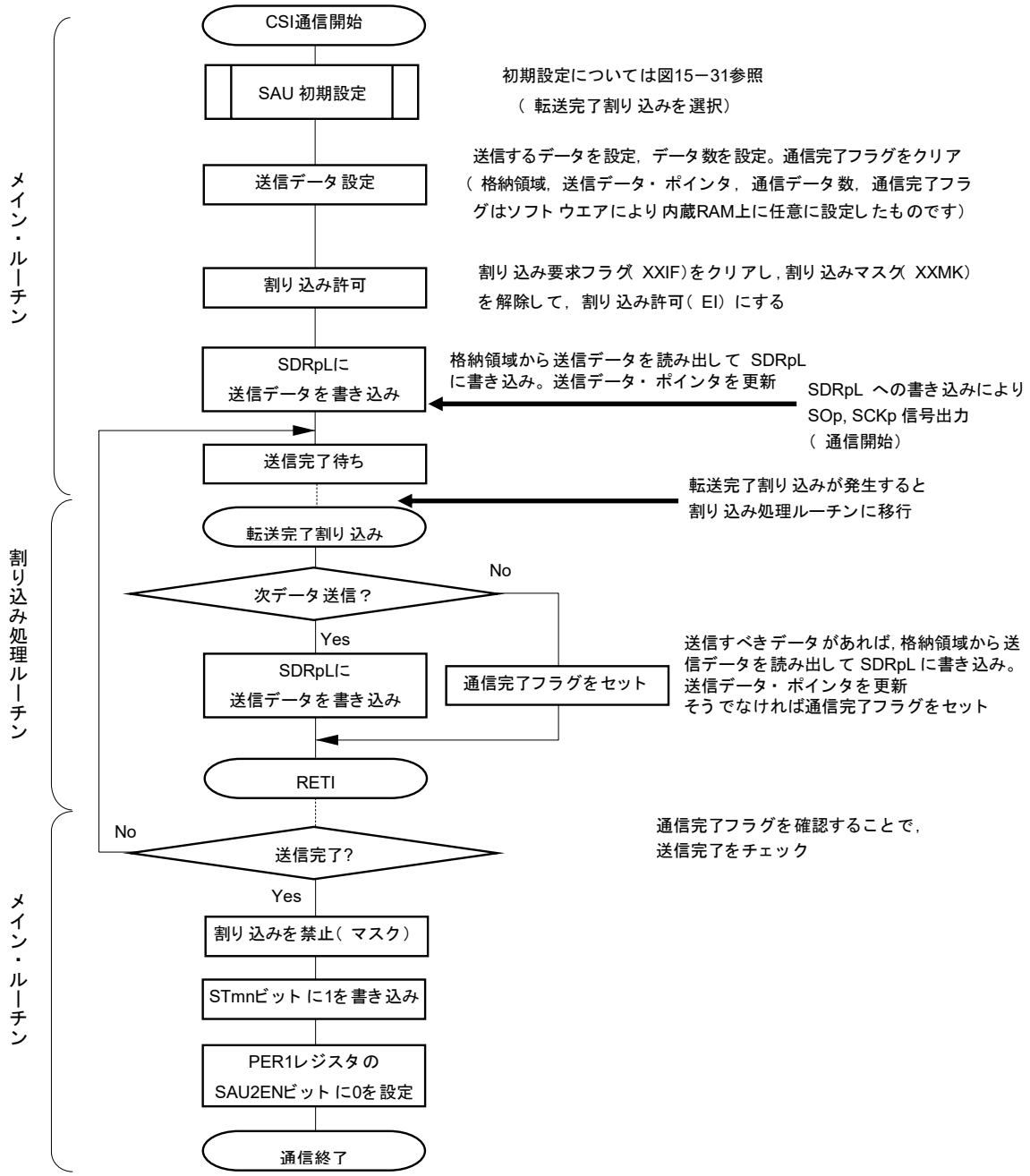
★ 図15－36　マスタ送信（シングル送信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



初期設定は，SEmn = 0の状態で行う

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

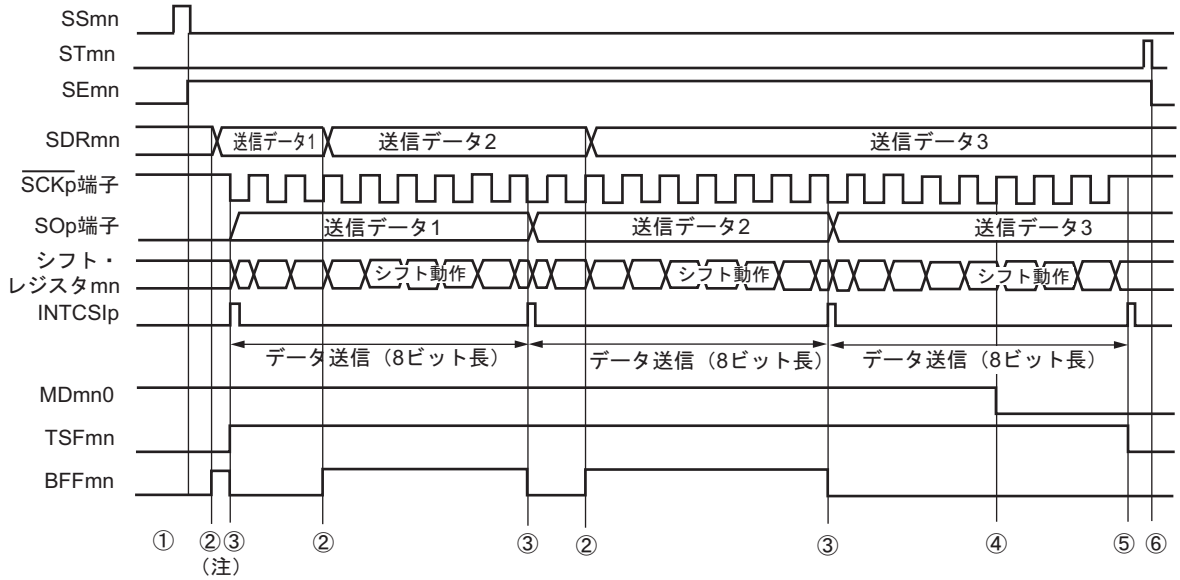
図15－37　マスタ送信（シングル送信モード時）のフロー・チャート（CSI20, CSI21）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

（4）処理フロー（連続送信モード時）

図15－38　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

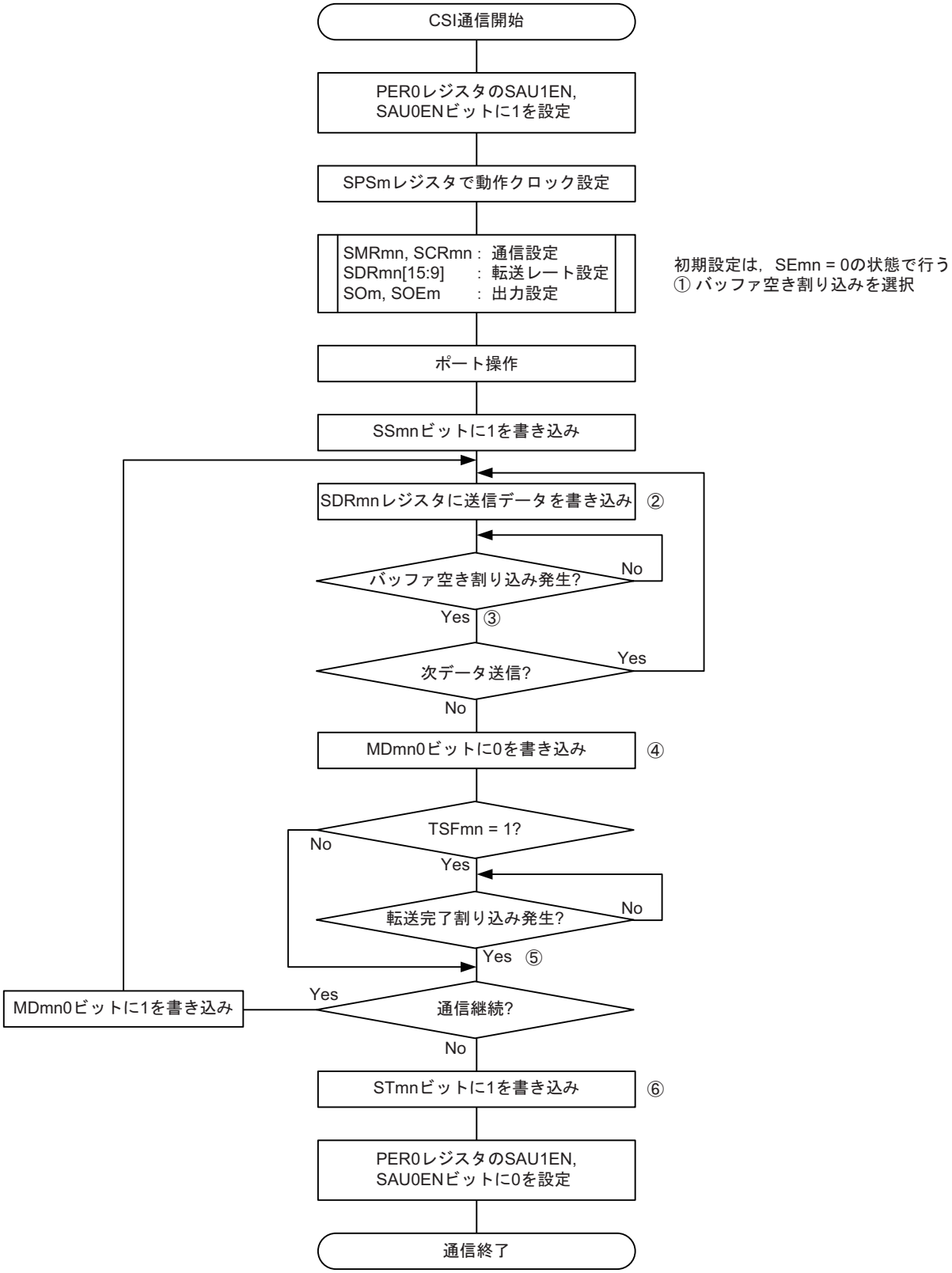


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

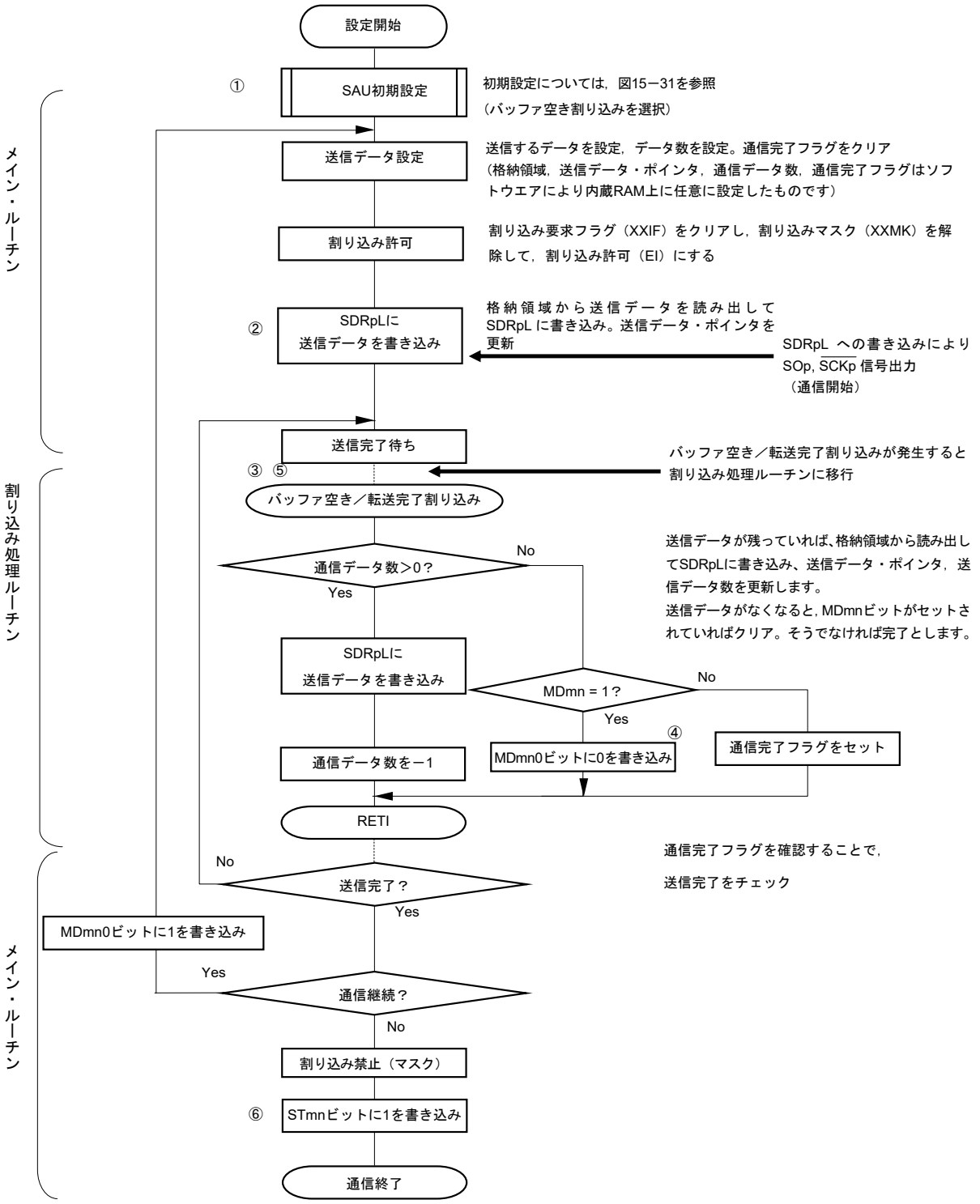
図15－39　マスタ送信（連続送信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考1.　図中の①~⑥は，図15－38　マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

図15－40　マスタ送信（連続送信モード時）のフロー・チャート（CSI20, CSI21）



備考1.　図中の①~⑥は，図15－38　マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

15.5.2　マスタ受信

マスタ受信とは，本MCUが転送クロックを出力し，本MCUが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1	SAU2の チャネル0	SAU2の チャネル1
使用端子	$\overline{SCK00}$, SI00	$\overline{SCK01}$, SI01	$\overline{SCK10}$, SI10	$\overline{SCK11}$, SI11	$\overline{SCK20}$, SI20	$\overline{SCK21}$, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7～16ビット				7, 8ビット	
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz]注　f_{CLK}：システム・クロック周波数				Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{15}×128）[Hz]注 f_{CLK}：システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

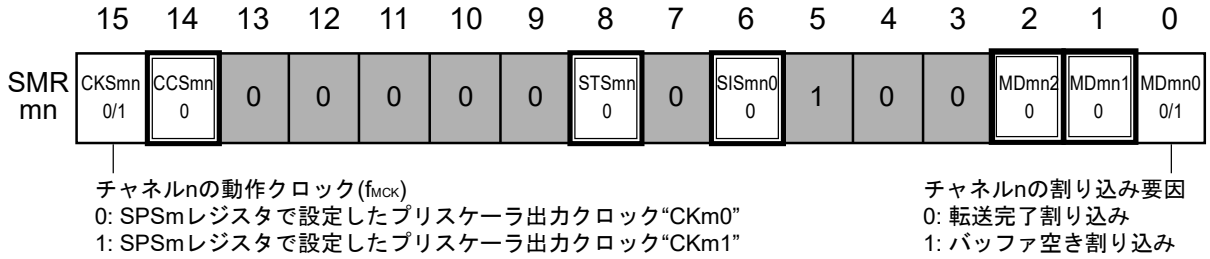
注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11, 20, 21

（1）レジスタ設定

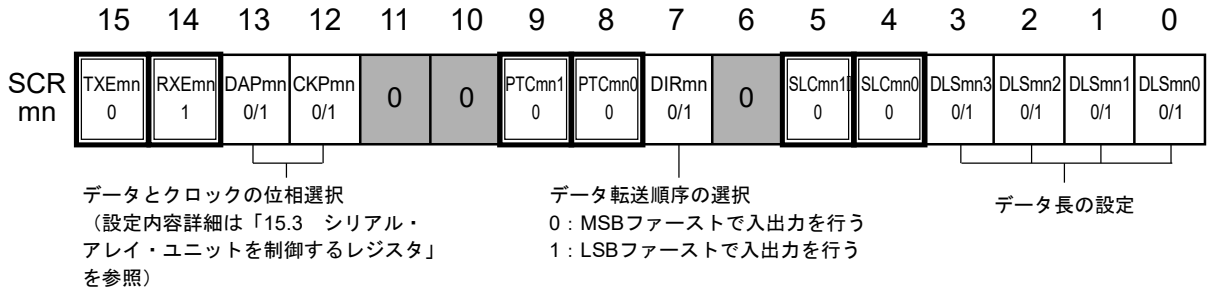
図15－41　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

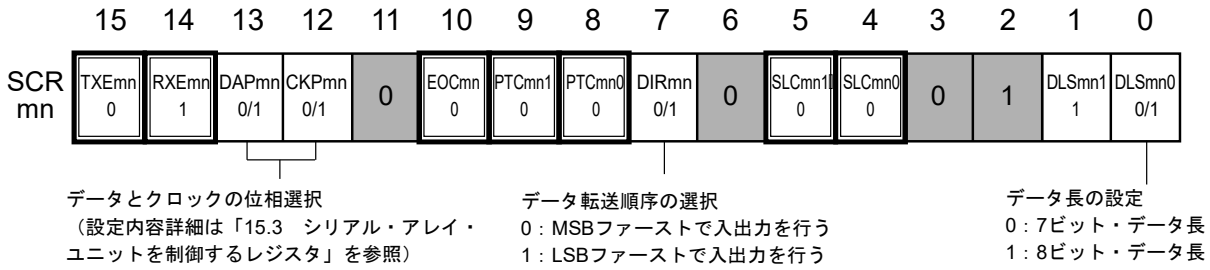


（b）シリアル通信動作設定レジスタmn（SCRmn）

①　CSI00, CSI01, CSI10, CSI11

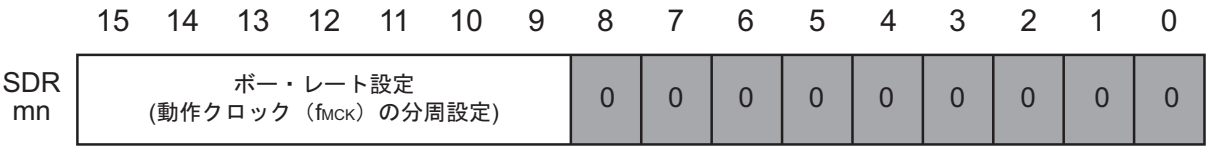


②　CSI20, CSI21

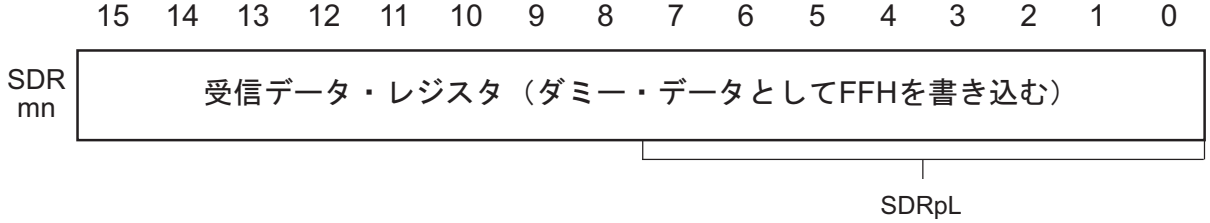


（c）シリアル・データ・レジスタmn（SDRmn）

①　CSI00, CSI01, CSI10, CSI11：動作停止時（SEmn = 0）



②　CSI00, CSI01, CSI10, CSI11：動作中（SEmn = 1）（下位8ビット：SDRpL）



（備考は次のページにあります。）

図15－41　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ受信時のレジスタ設定内容例（2/2）

③　CSI20, CSI21

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	受信データ（ダミー・データとしてFFHを書き込む）							

SDRpL

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 ×	SOm0 ×

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

mn = 00, 01, 10, 11, 20, 21

2.　□：CSIマスタ受信モードでは設定固定　　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－42　マスタ受信の初期設定手順（CSI00, CSI01, CSI10, CSI11）

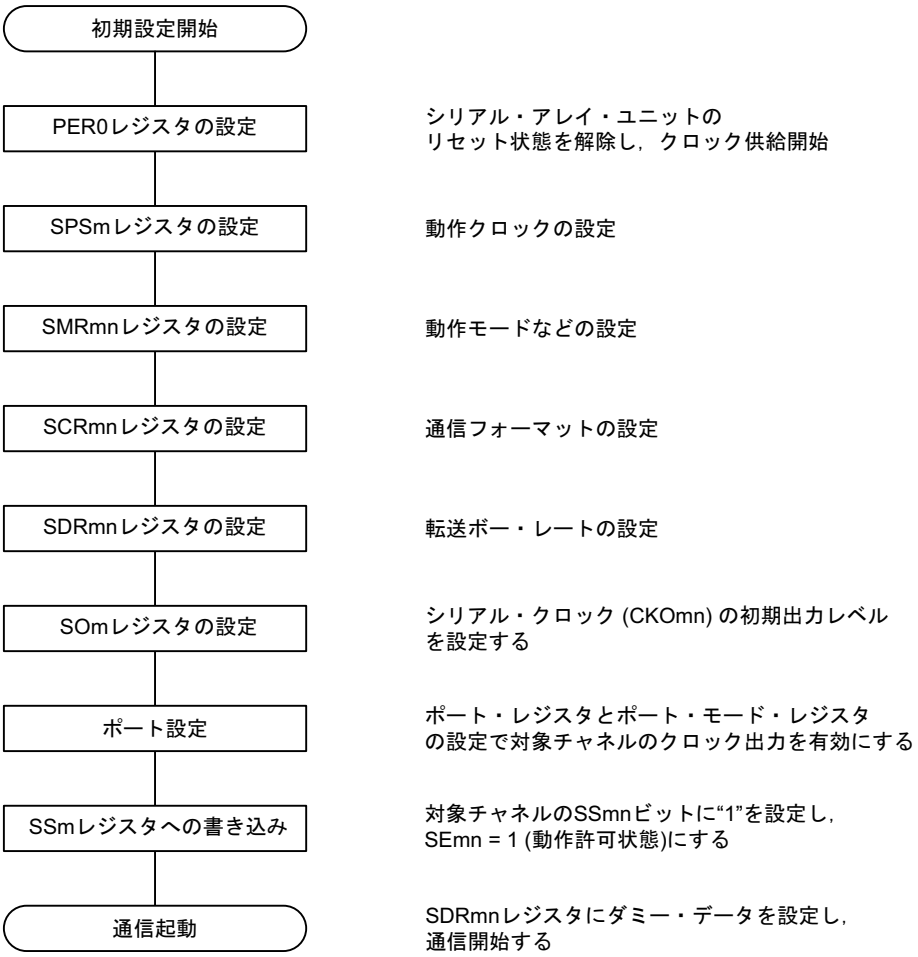
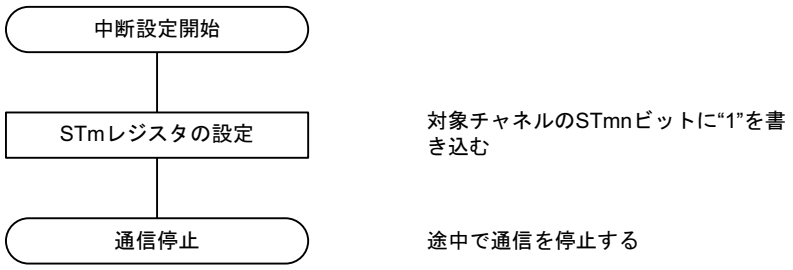


図15－43　マスタ受信の中断手順（CSI00, CSI01, CSI10, CSI11）



備考1.　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－46　マスタ受信の再開設定手順」を参照）。

2.　m：ユニット番号（m = 0, 1）　n = チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

図15－44　マスタ受信の初期設定手順（CSI20, CSI21）

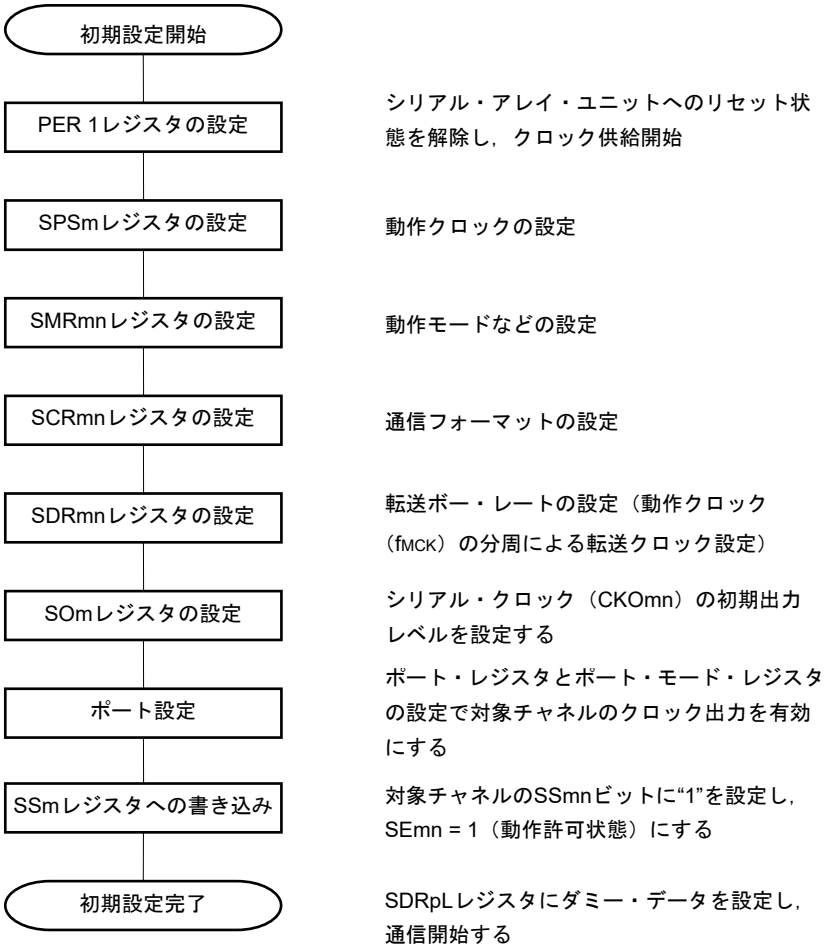
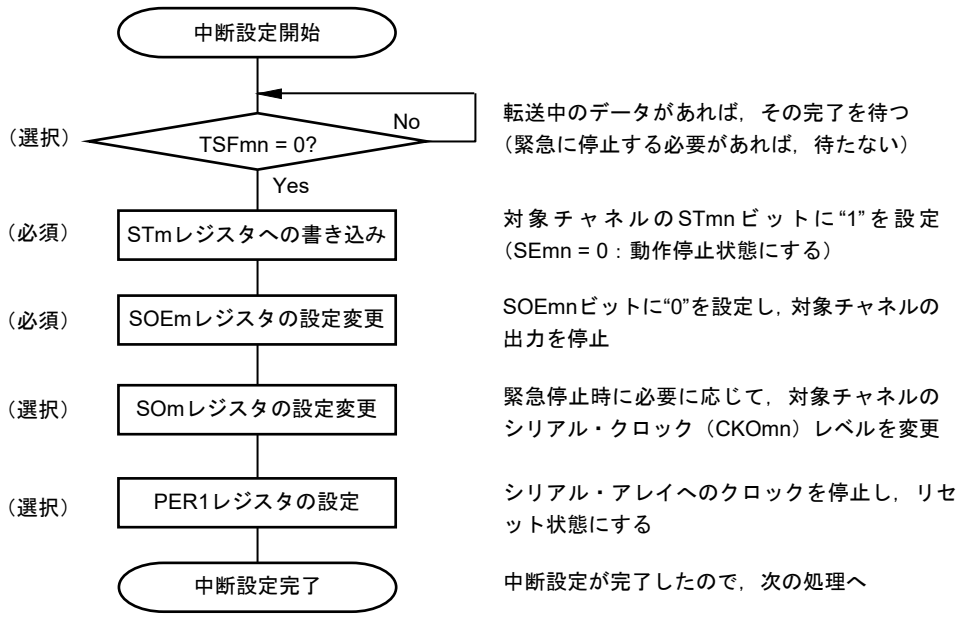
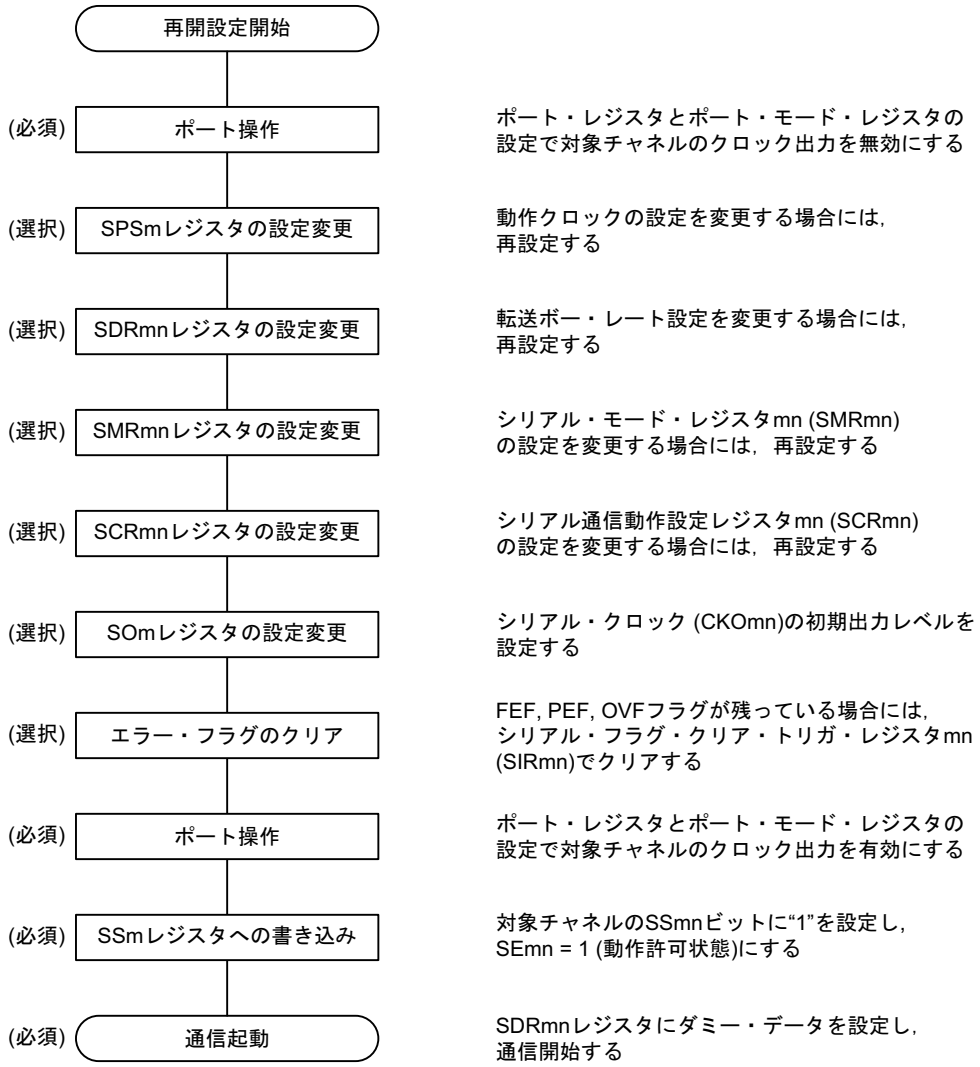


図15－45　マスタ受信の中断手順（CSI20, CSI21）



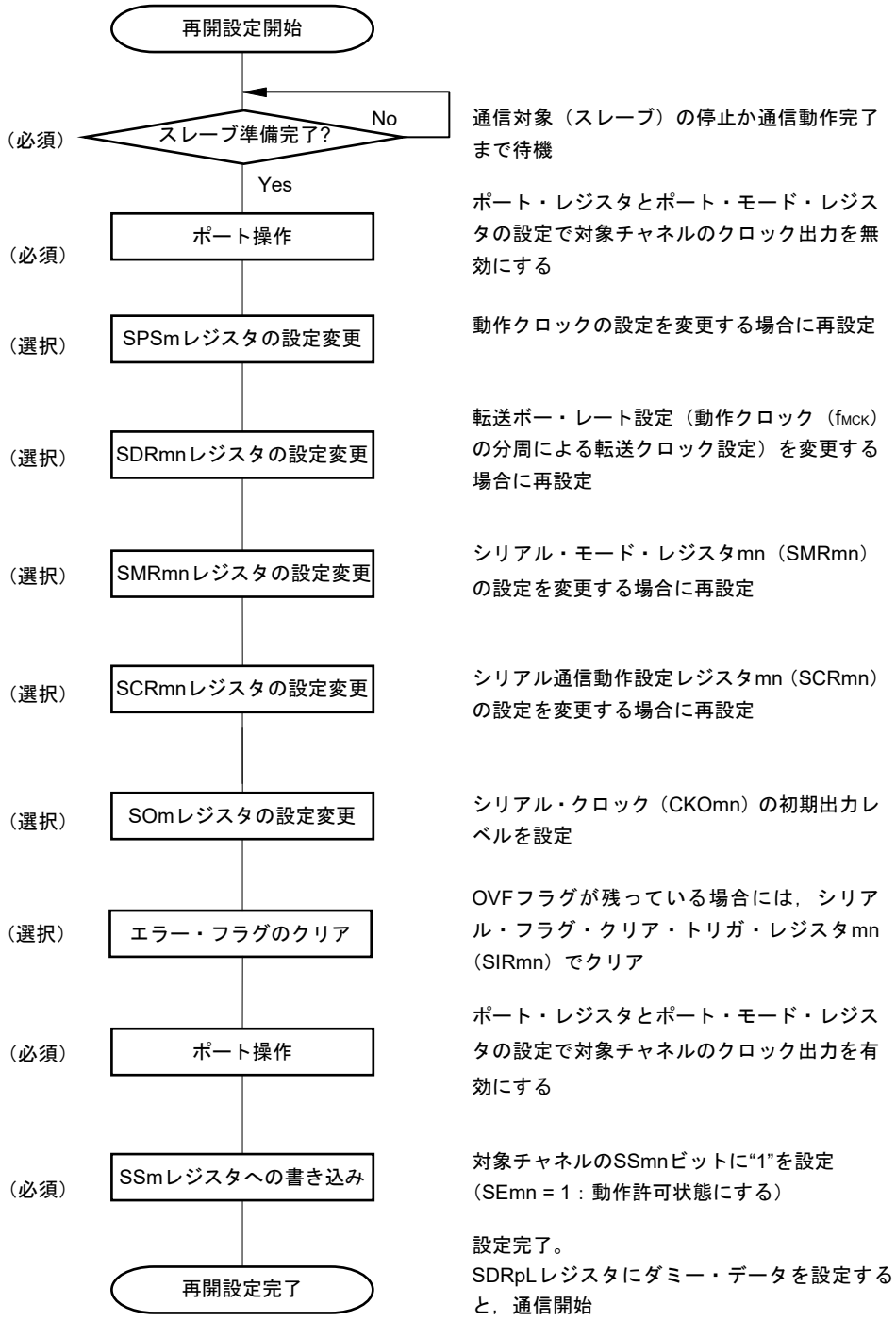
備考1.　m：ユニット番号（m = 2）　n =　チャネル番号（n = 0, 1）　p = CSI番号（n = 20, 21）　mn = 20, 21

図15－46　マスタ受信の再開設定手順（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n = チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

図15－47　マスタ受信の再開設定手順（CSI20, CSI21）

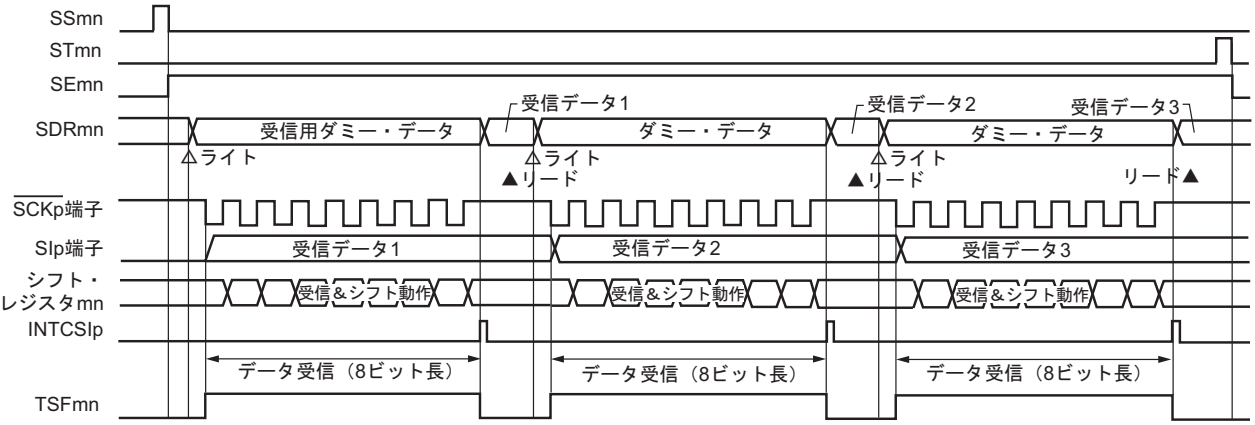


備考1.　中断設定でPER1を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください

2.　m：ユニット番号（m = 2）　n = チャネル番号（n = 0, 1）　p = CSI番号（n = 20, 21）　mn = 20, 21

（3）処理フロー（シングル受信モード時）

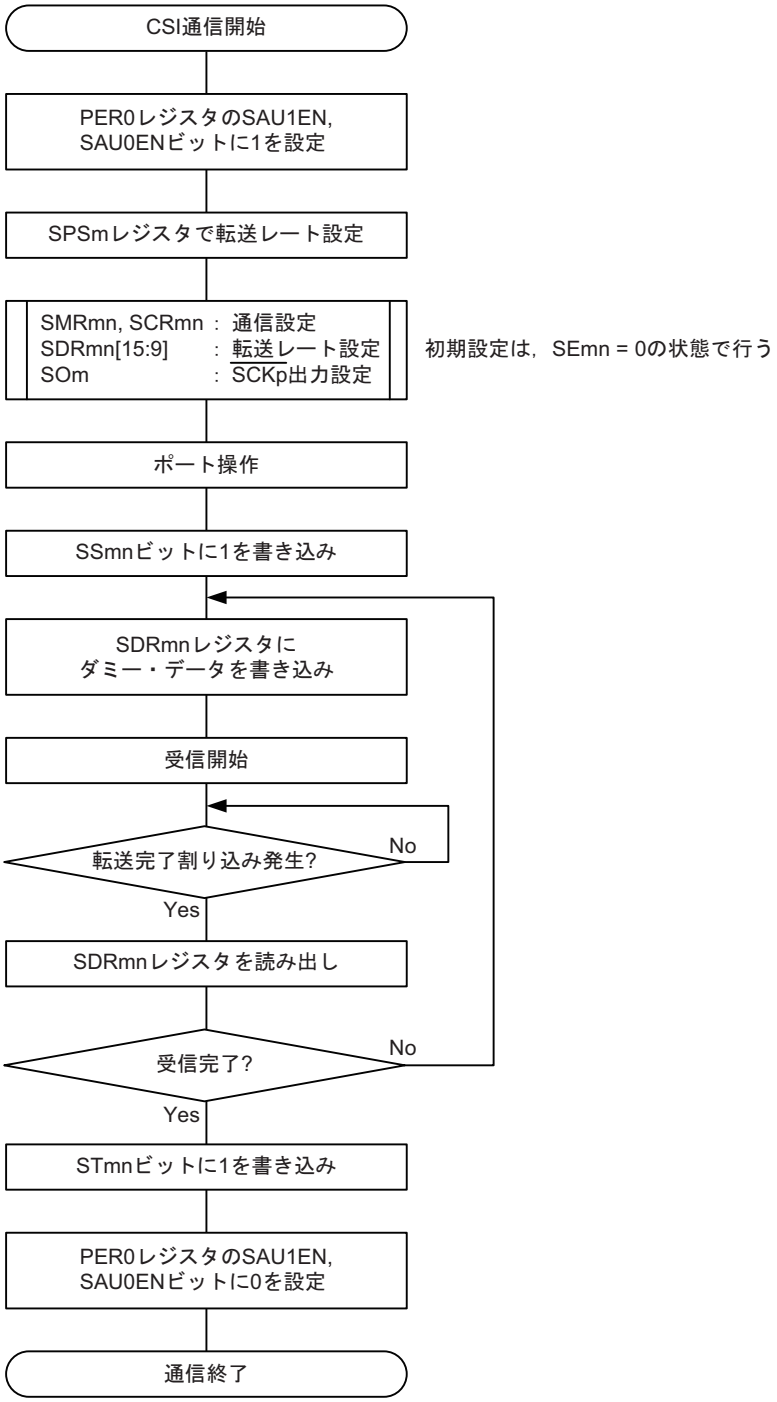
図15－48　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

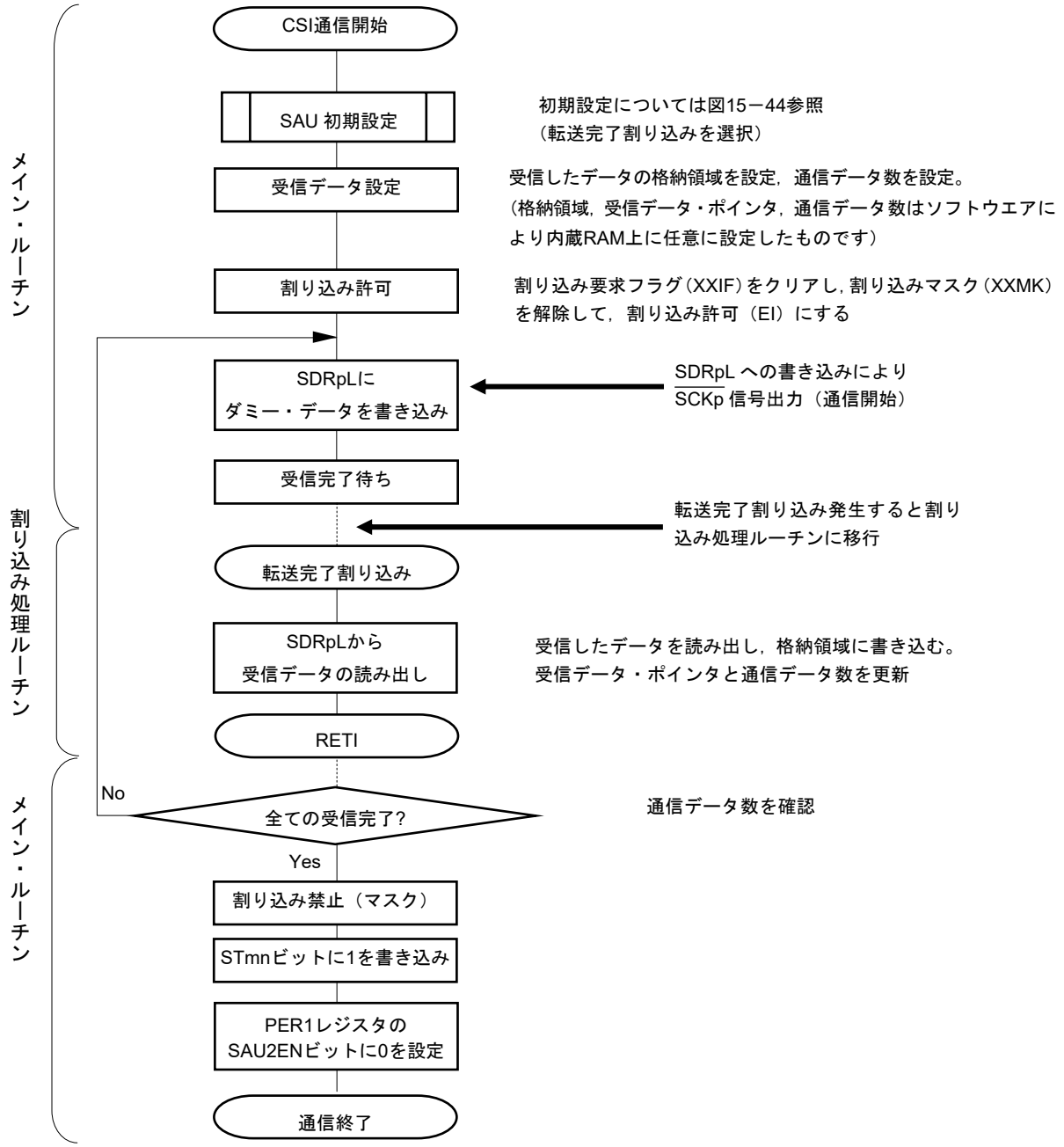
mn = 00, 01, 10, 11, 20, 21

図15－49　マスタ受信（シングル受信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

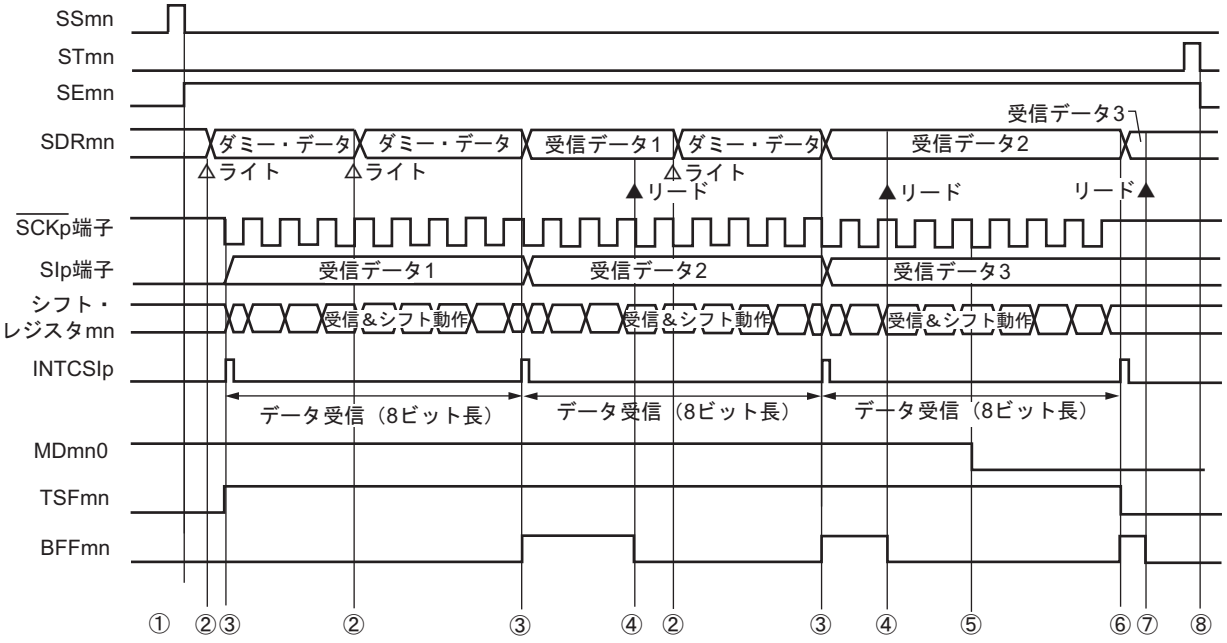
図15－50　マスタ受信（シングル受信モード時）のフロー・チャート（CSI20, CSI21）



備考　m：ユニット番号（m = 2）　n = チャネル番号（n = 0, 1）　p = CSI番号（n = 20, 21）　mn = 20, 21

（4）処理フロー（連続受信モード時）

図15－51　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

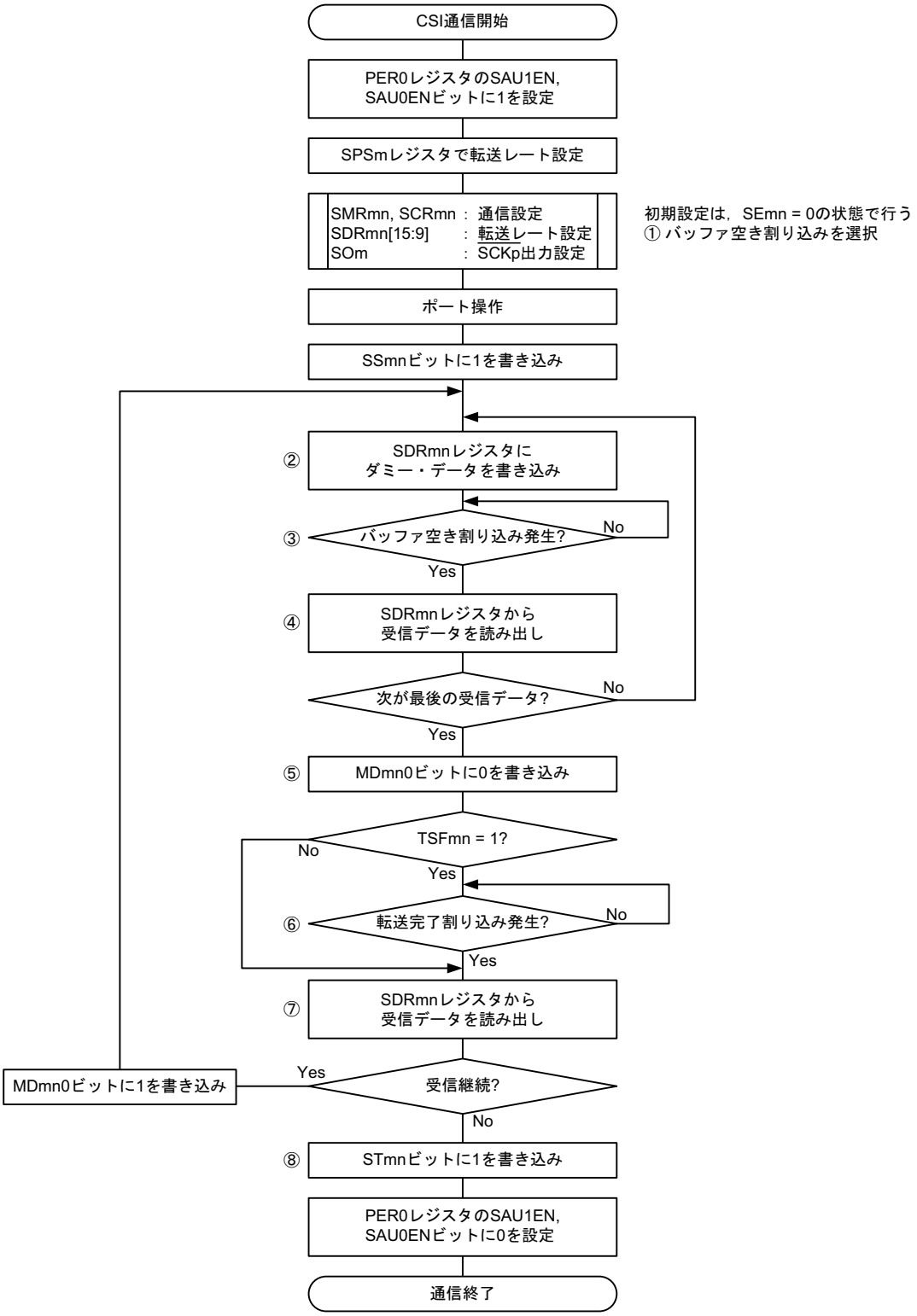


注意　MDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－52、図15－53　マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

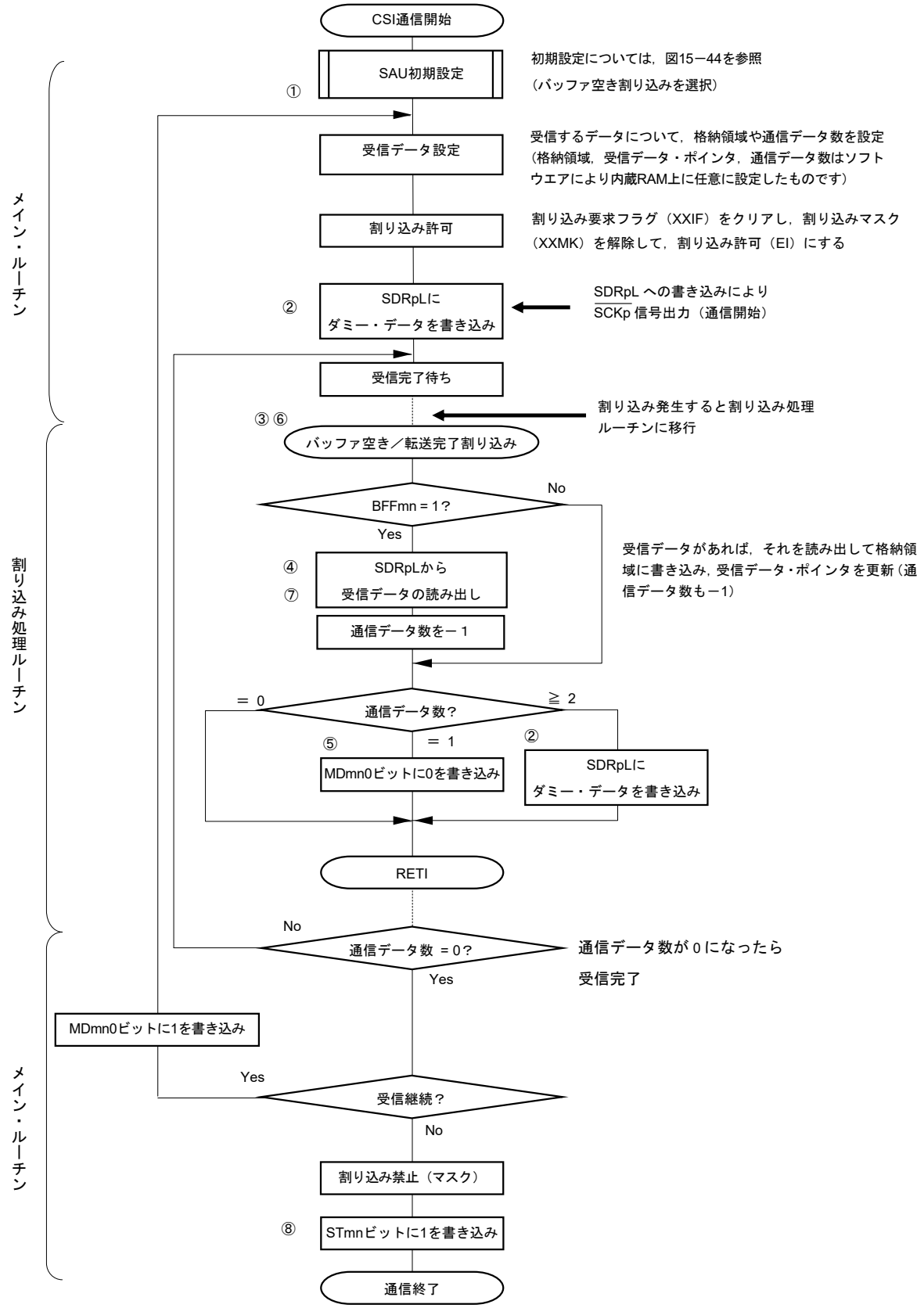
図15－52　マスタ受信（連続受信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考1.　図中の①~⑧は，図15－51　マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－53　マスタ受信（連続受信モード時）のフロー・チャート（CSI20, CSI21）



備考1.　図中の①~⑧は，図15－51　マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）mn = 20, 21

15.5.3　マスタ送受信

マスタ送受信とは，この本MCUが転送クロックを出力し，本MCUと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1	SAU2のチャネル0	SAU2のチャネル1
使用端子	$\overline{SCK00}$, SI00, SO00	$\overline{SCK01}$, SI01, SO01	$\overline{SCK10}$, SI10, SO10	$\overline{SCK11}$, SI11, SO11	$\overline{SCK20}$, SI20, SO20	$\overline{SCK21}$, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7～16ビット				7, 8ビット	
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz]注　f_{CLK}：システム・クロック周波数				Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{15}×128）[Hz]注 f_{CLK}：システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

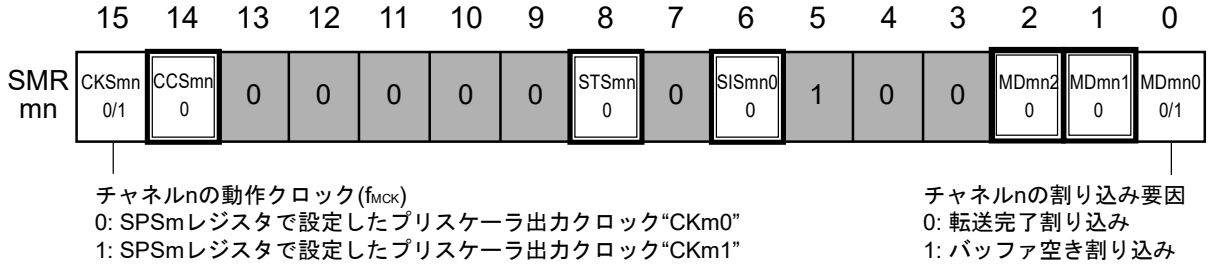
注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11, 20, 21

（1）レジスタ設定

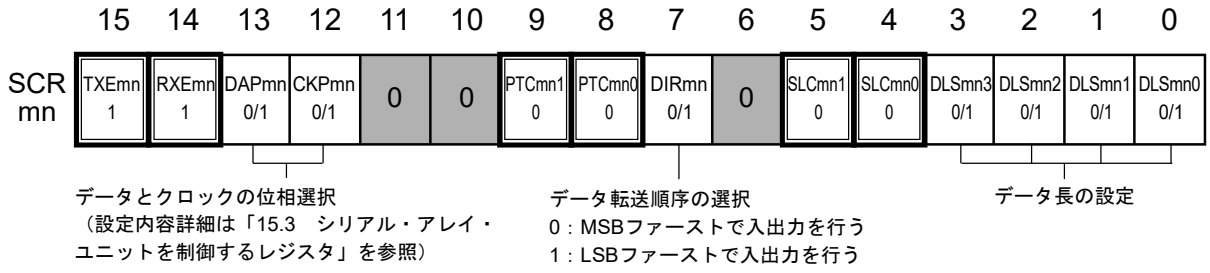
図15－54　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ送受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

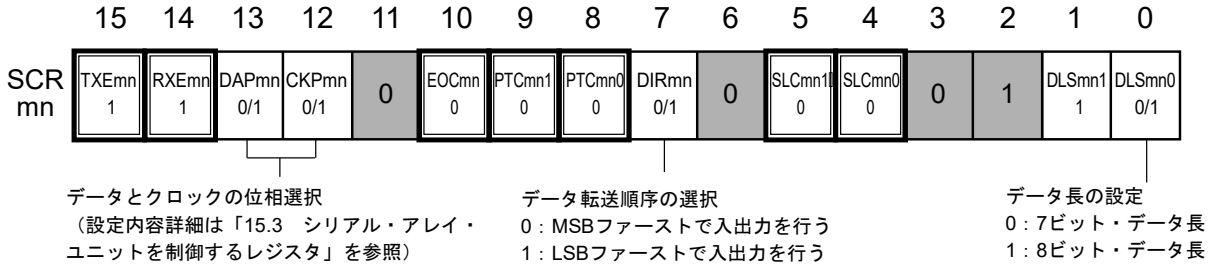


（b）シリアル通信動作設定レジスタmn（SCRmn）

①　CSI00, CSI01, CSI10, CSI11

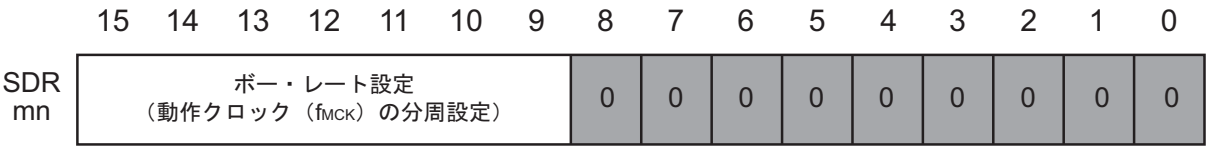


②　CSI20, CSI21

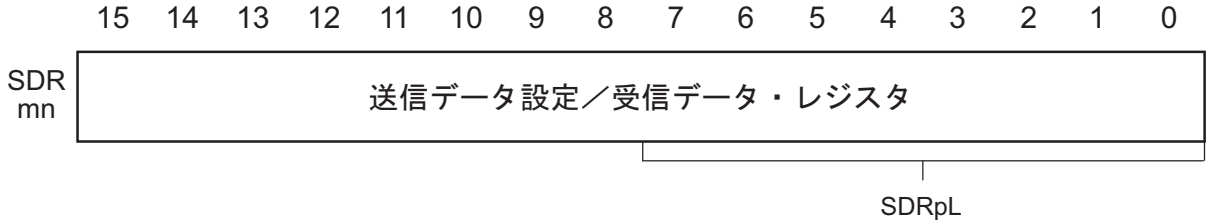


（c）シリアル・データ・レジスタmn

①　CSI00, CSI01, CSI10, CSI11：動作停止時（SEmn = 0）



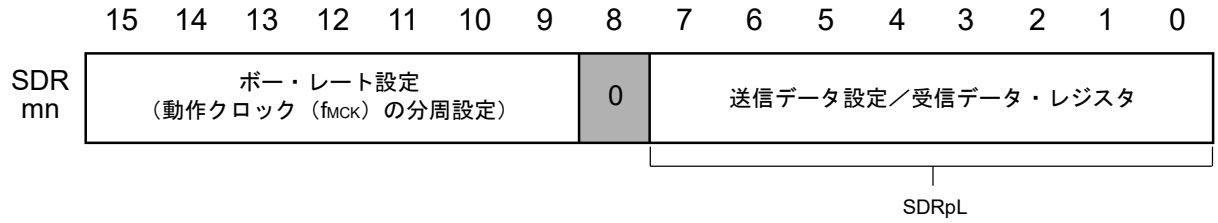
②　CSI00, CSI01, CSI10, CSI11：動作中（SEmn = 1）（下位8ビット：SDRpL）



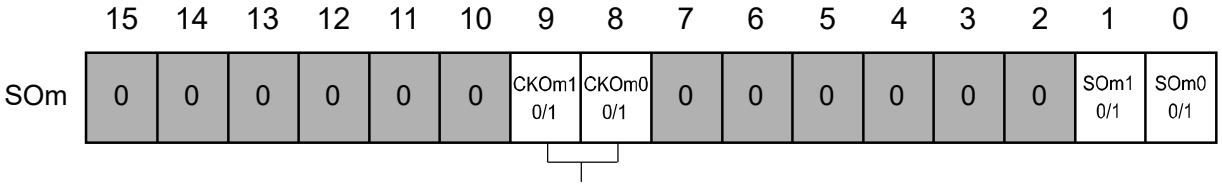
(備考は，次のページにあります。)

図15－54　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のマスタ送受信時のレジスタ設定内容例（2/2）

③　CSI20, CSI21

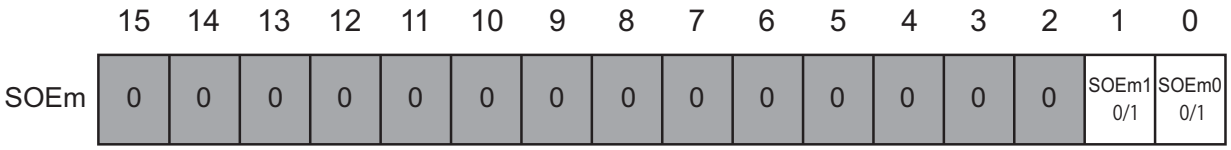


（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

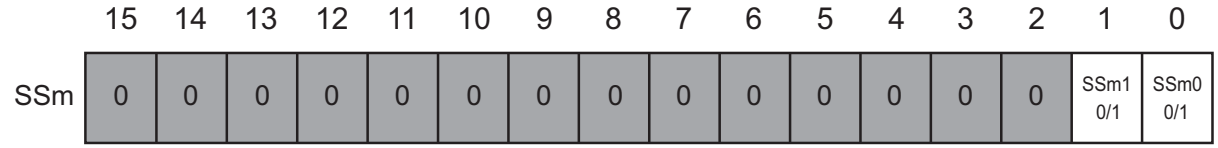


クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、
クロック位相が“反転”（SCRmnレジスタのCKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する



（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する



備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

2.　□：CSIマスタ送受信モードでは設定固定　　■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－55　マスタ送受信の初期設定手順（CSI00, CSI01, CSI10, CSI11）

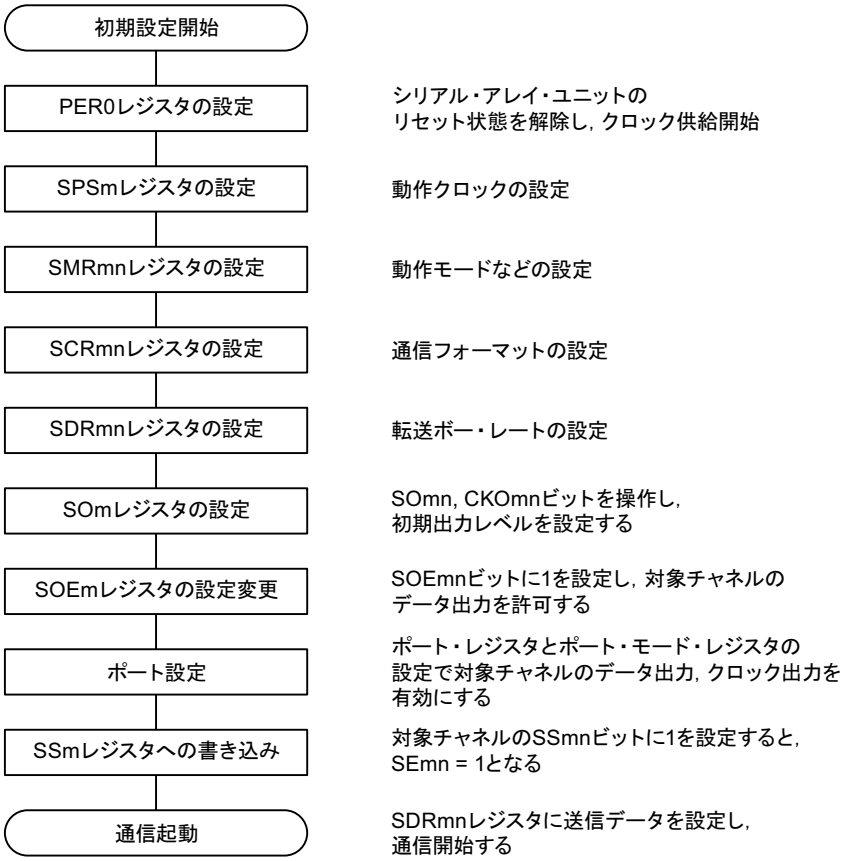
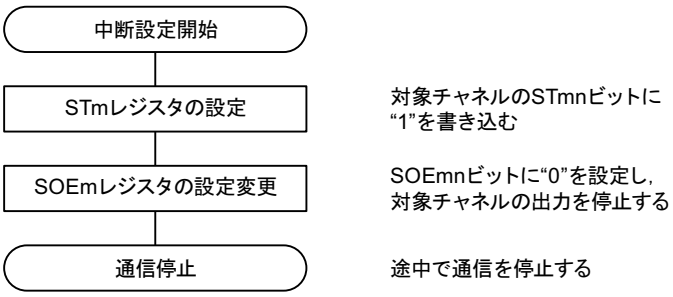


図15－56　マスタ送受信の中断手順（CSI00, CSI01, CSI10, CSI11）



備考1.　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－59、図15－60　マスタ送受信の再開設定手順」を参照）。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－57　マスタ送受信の初期設定手順（CSI20, CSI21）

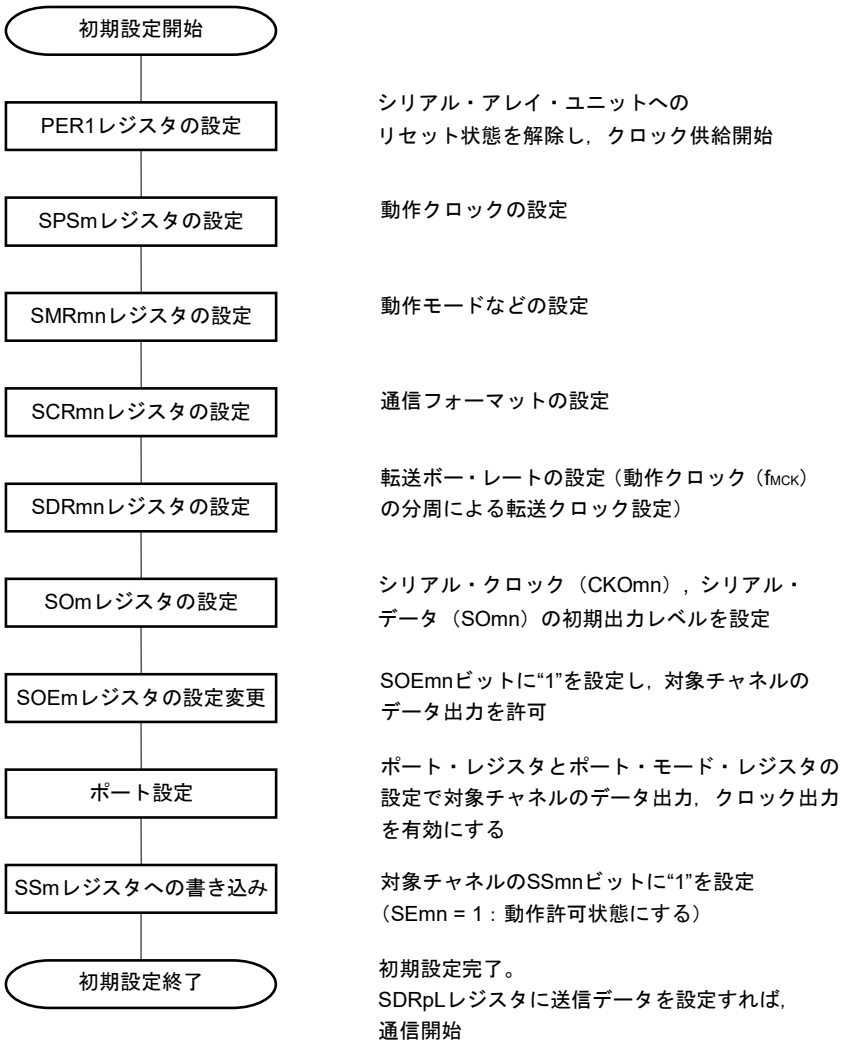
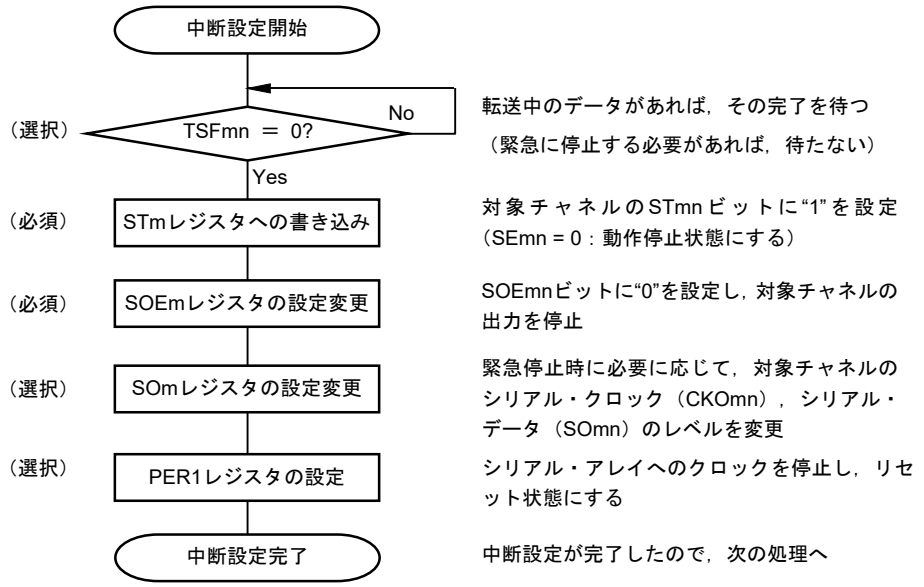
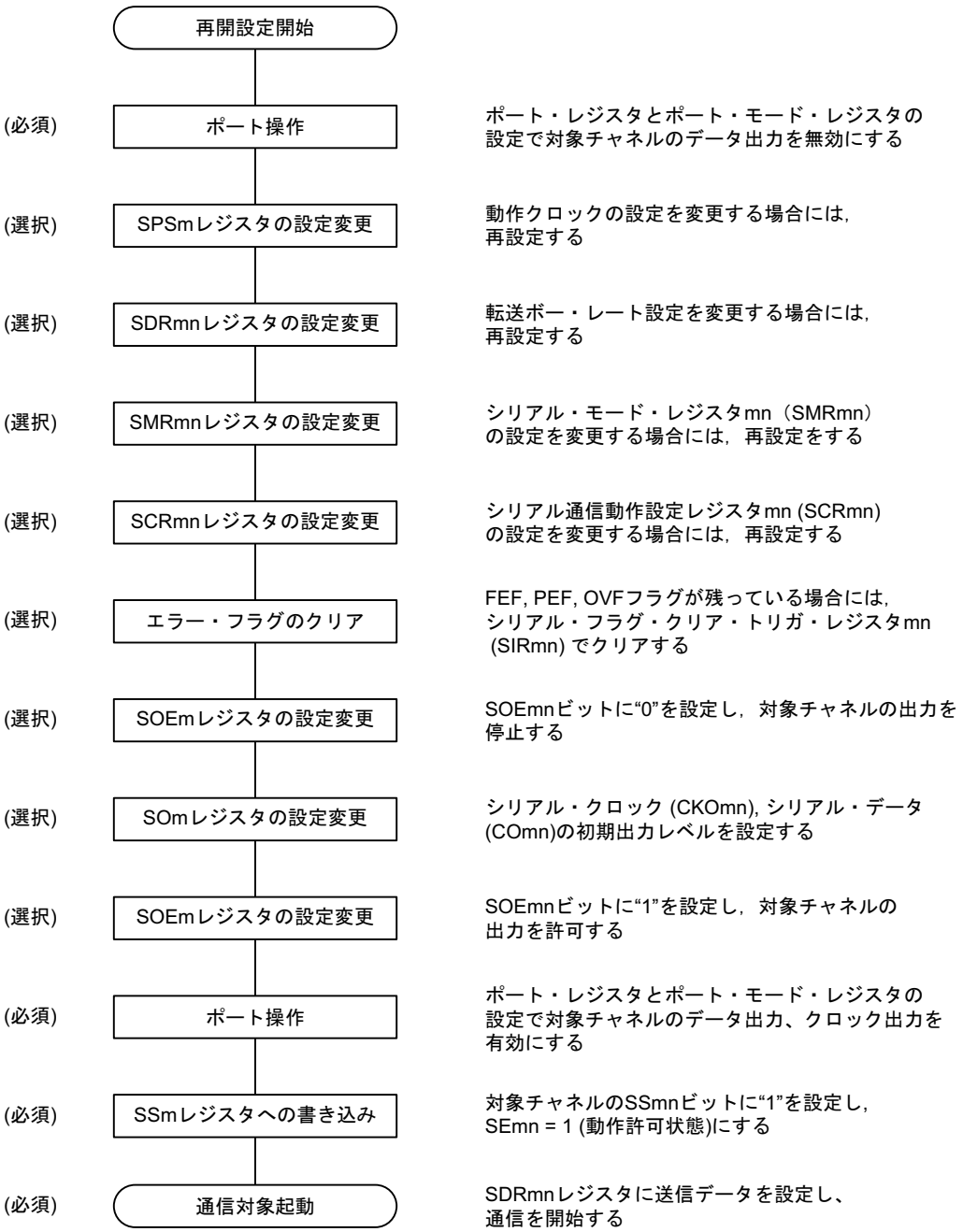


図15－58　マスタ送受信の中断手順（CSI20, CSI21）



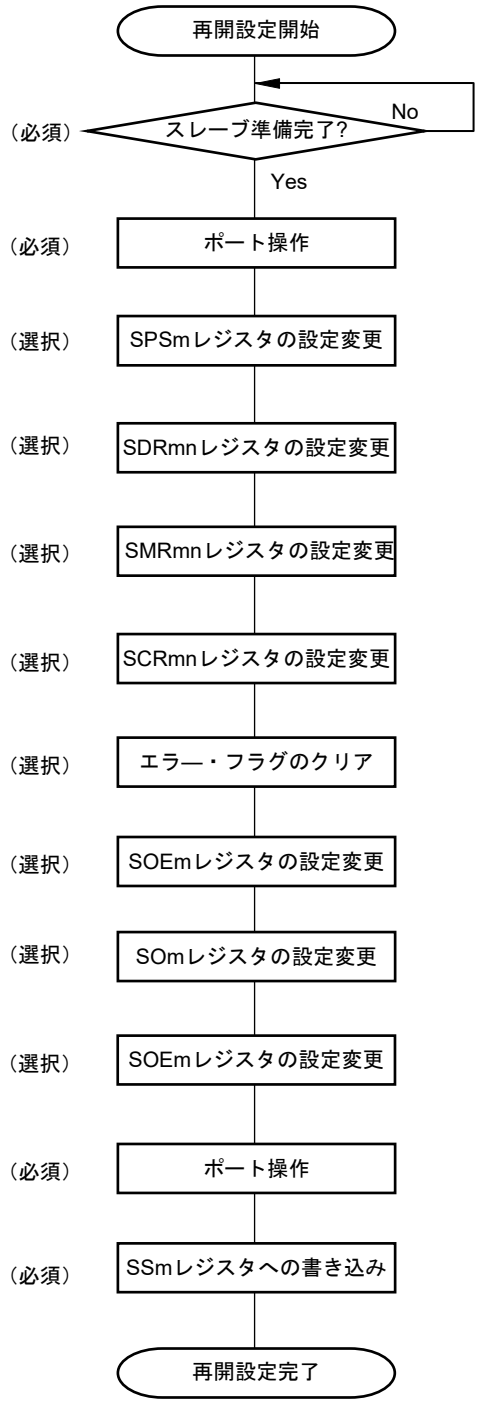
備考1.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）mn = 20, 21

図15－59　マスタ送受信の再開設定手順（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

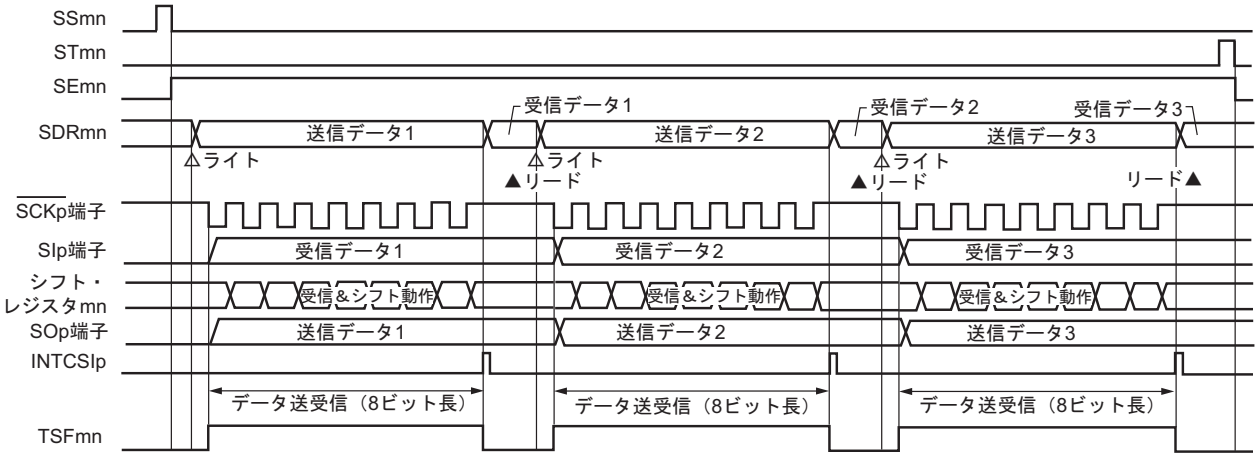
図15－60　マスタ送受信の再開設定手順（CSI20, CSI21）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）mn = 20, 21

（3）処理フロー（シングル送受信モード時）

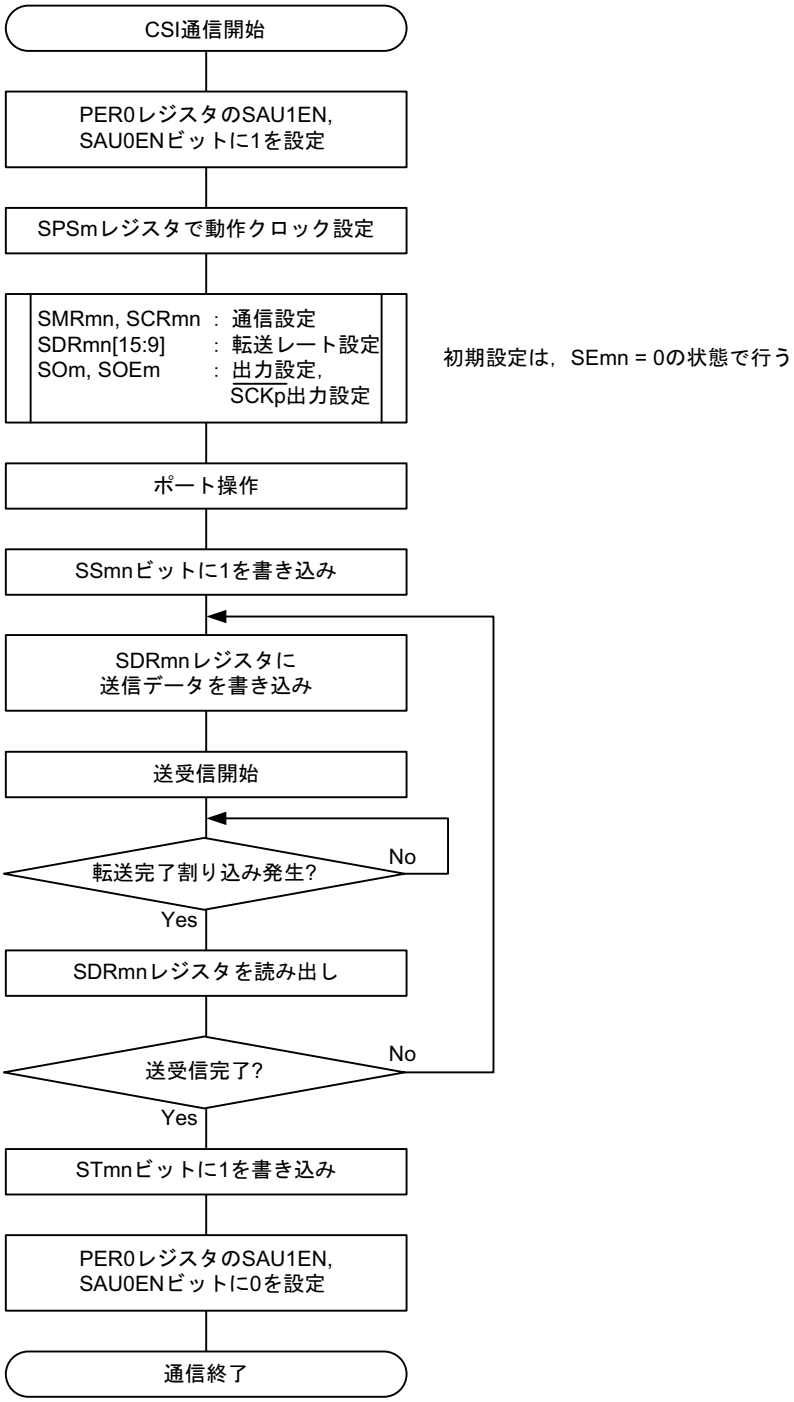
図15－61　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

mn = 00, 01, 10, 11, 20, 21

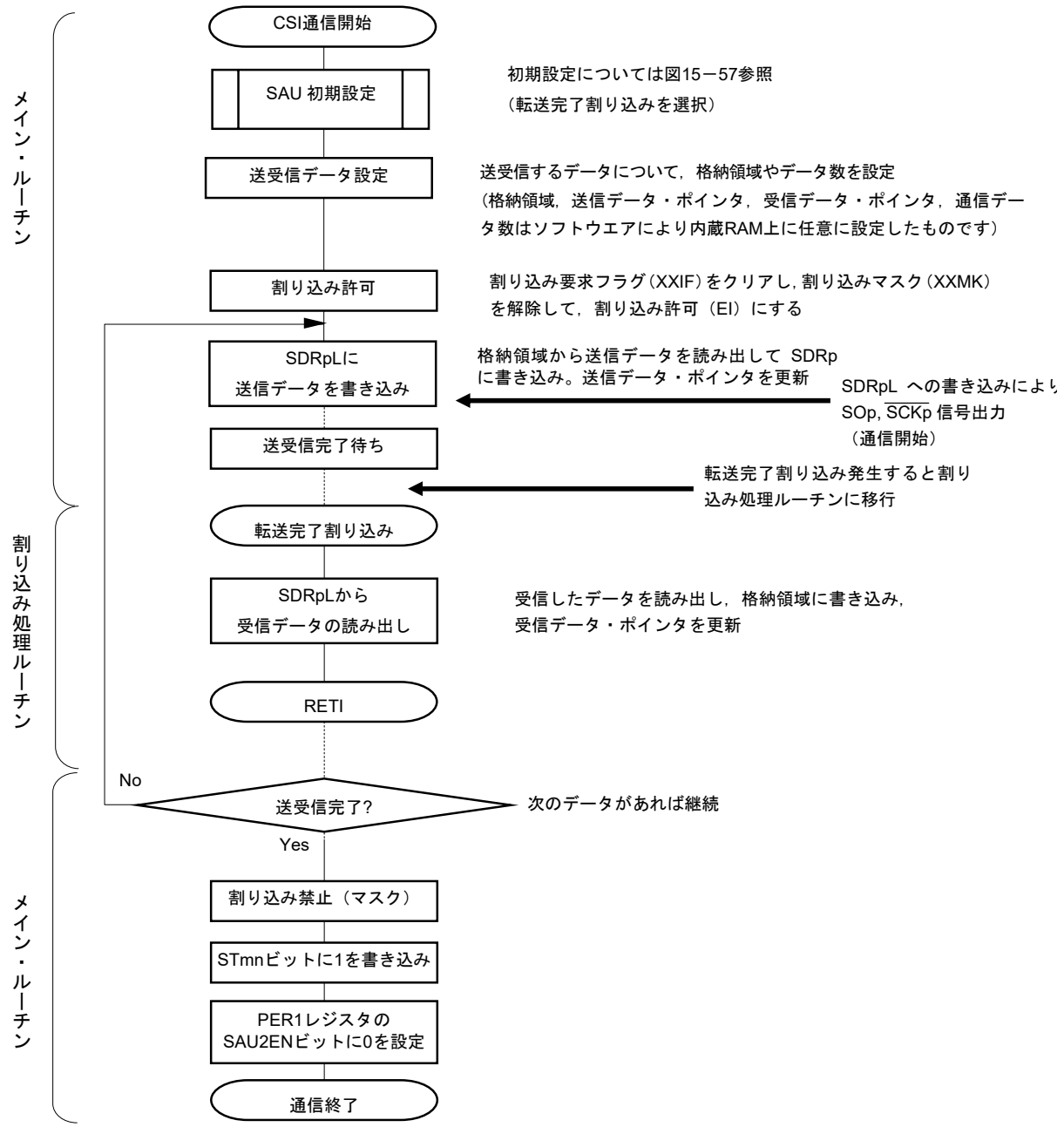
図15－62　マスタ送受信（シングル送受信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0,1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

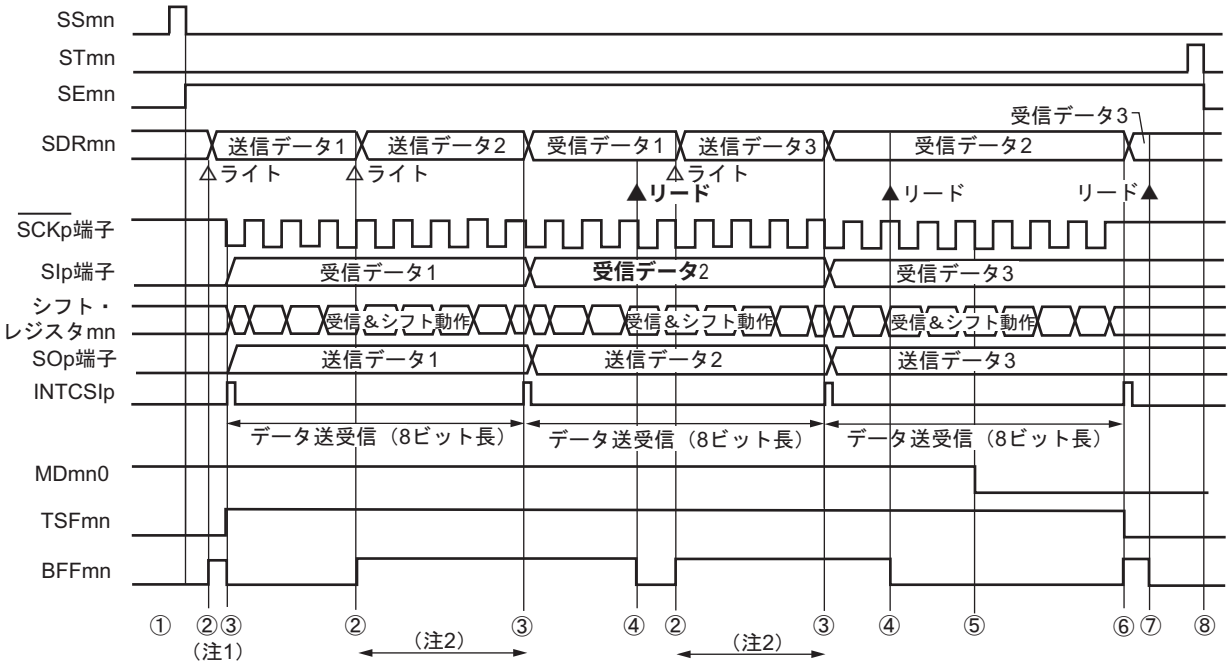
図15－63　マスタ送受信（シングル送受信モード時）のフロー・チャート（CSI20, CSI21）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

（4）処理フロー（連続送受信モード時）

図15－64　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

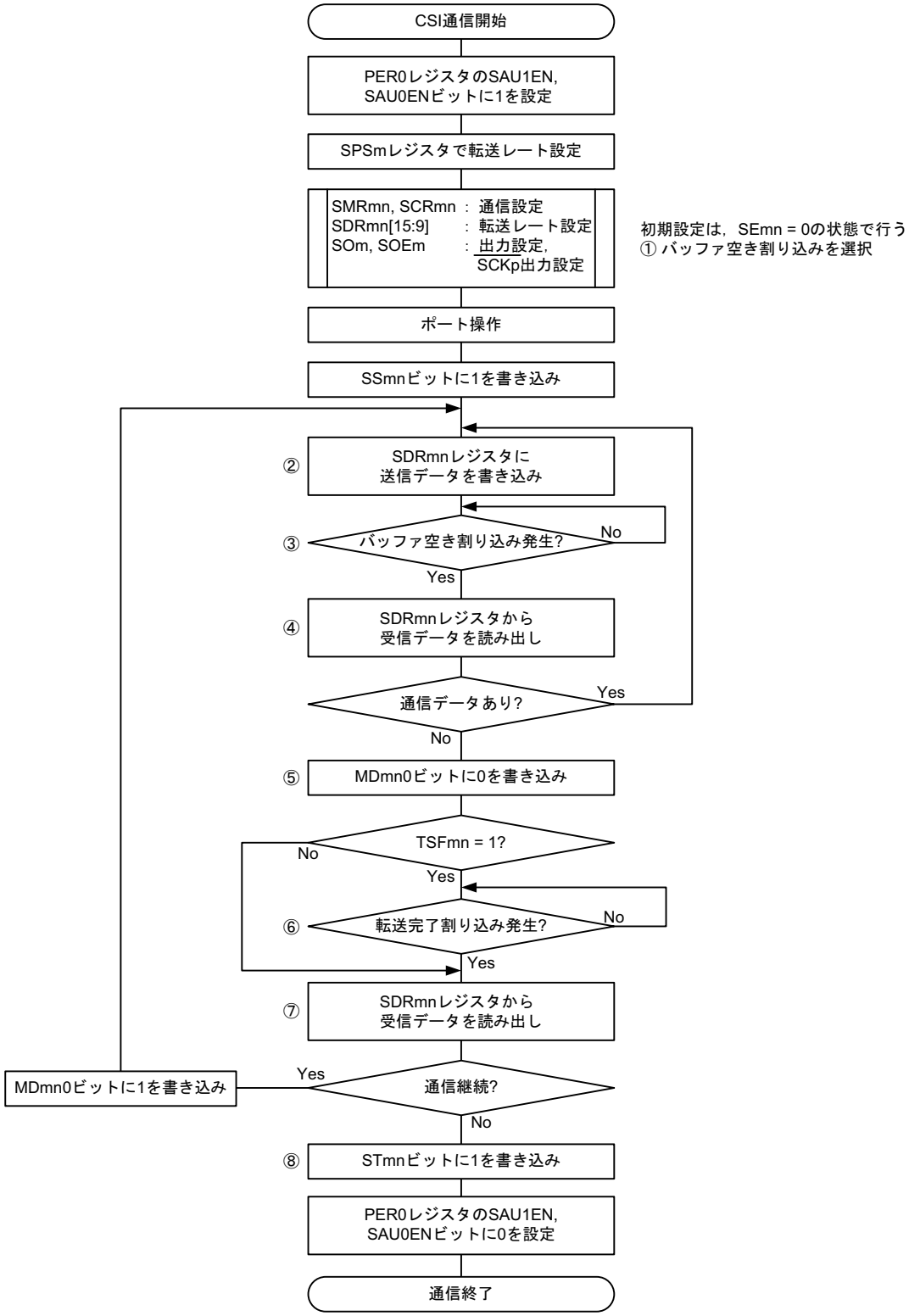
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－65、図15－66　マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

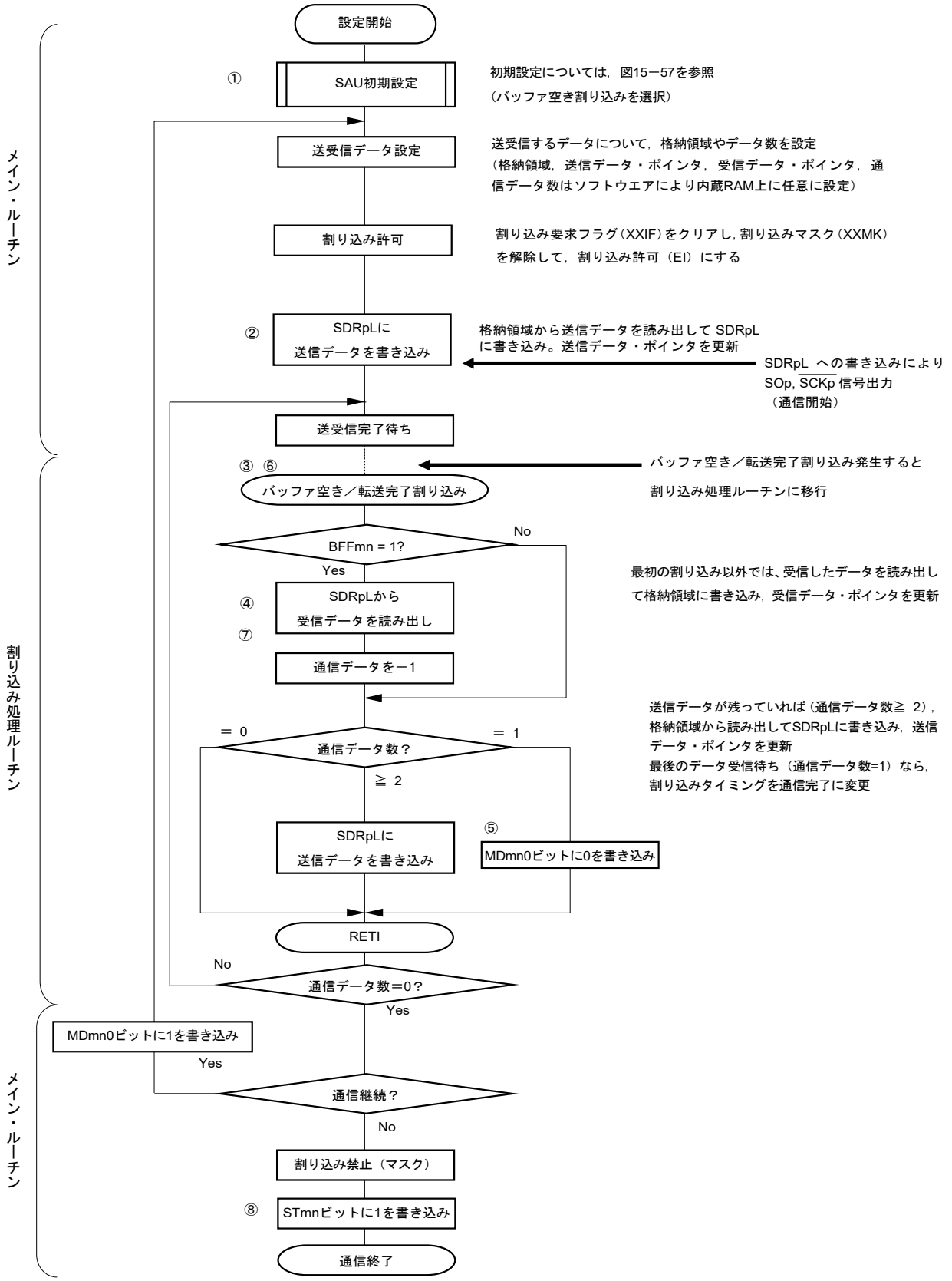
図15－65　マスタ送受信（連続送受信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考1.　図中の①~⑧は，図15－64　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

図15－66　マスタ送受信（連続送受信モード時）のフロー・チャート（CSI20, CSI21）



備考1.　図中の①~⑧は，図15－64　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 2）　n = チャネル番号（n = 0, 1）　p = CSI番号（n = 20, 21）　mn = 20, 21

15.5.4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，本MCUから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1	SAU2の チャネル0	SAU2の チャネル1
使用端子	$\overline{SCK00}$, SO00	$\overline{SCK01}$, SO01	$\overline{SCK10}$, SO10	$\overline{SCK11}$, SO11	$\overline{SCK20}$, SO20	$\overline{SCK21}$, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7～16ビット				7, 8ビット	
転送レート	Max. f_{MCK}/6[Hz]注1, 2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

注1.　$\overline{SCK00}$, $\overline{SCK01}$, $\overline{SCK10}$, $\overline{SCK11}$, $\overline{SCK20}$, $\overline{SCK21}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2.　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

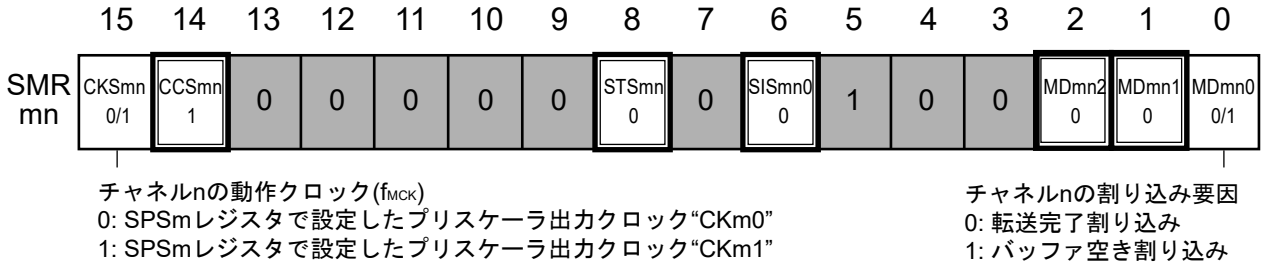
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11, 20, 21

（1）レジスタ設定

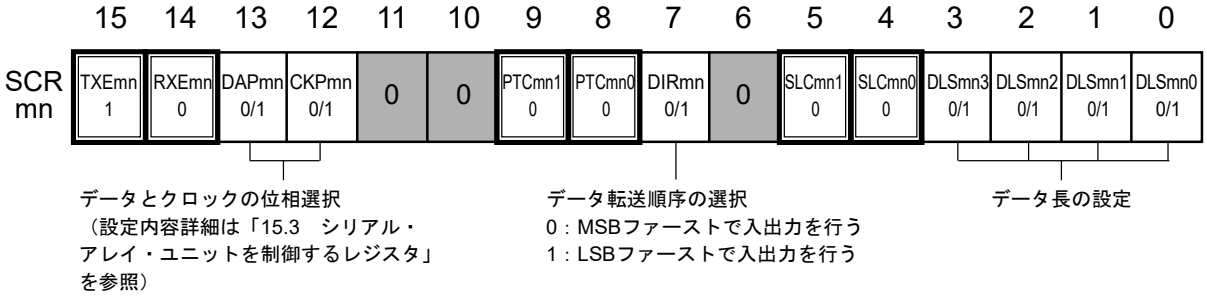
図15－67　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

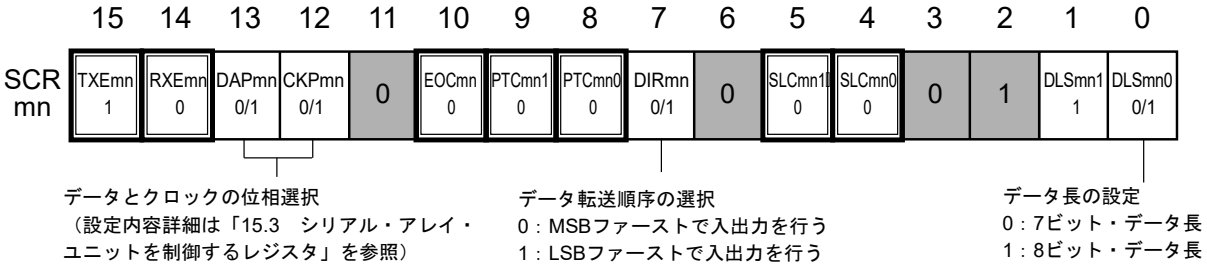


（b）シリアル通信動作設定レジスタmn（SCRmn）

①　CSI00, CSI01, CSI10, CSI11

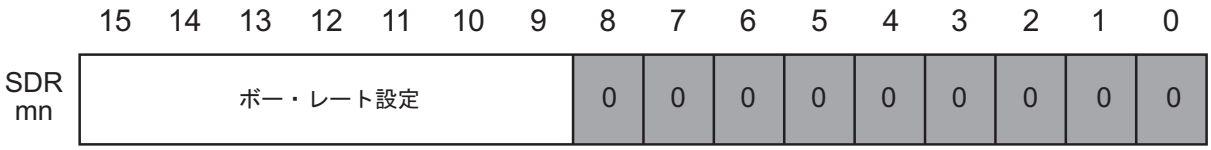


②　CSI20, CSI21

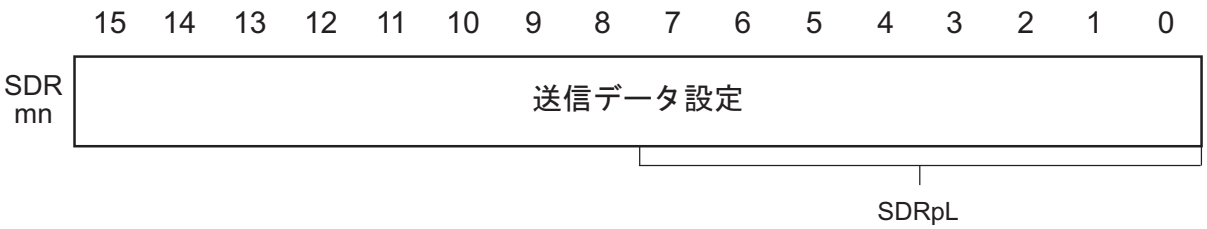


（c）シリアル・データ・レジスタmn（SDRmn）

①　CSI00, CSI01, CSI10, CSI11：動作停止時（SEmn = 0）



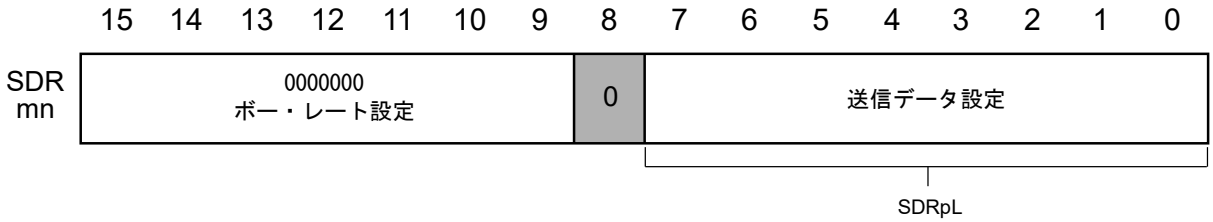
②　CSI00, CSI01, CSI10, CSI11：動作中（SEmn = 1）（下位8ビット：SDRpL）



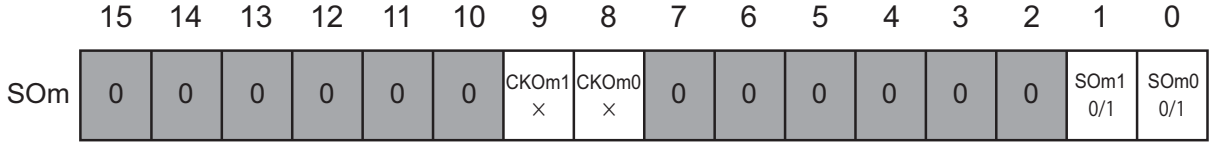
（備考は次のページにあります。）

図15－67　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ送信時のレジスタ設定内容例（2/2）

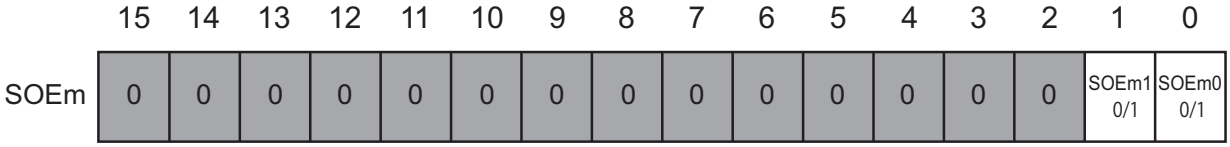
③　CSI20, CSI21



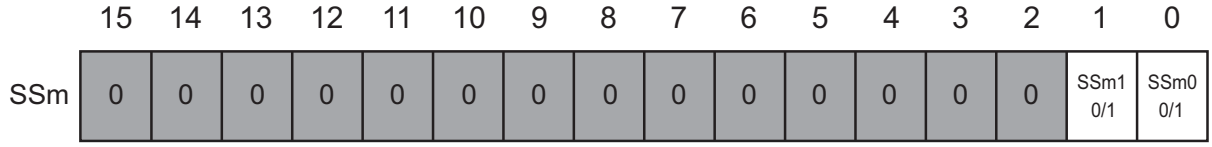
（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する



（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する



備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

2.　□：CSIスレーブ送信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－68　スレーブ送信の初期設定手順（CSI00, CSI01, CSI10, CSI11）

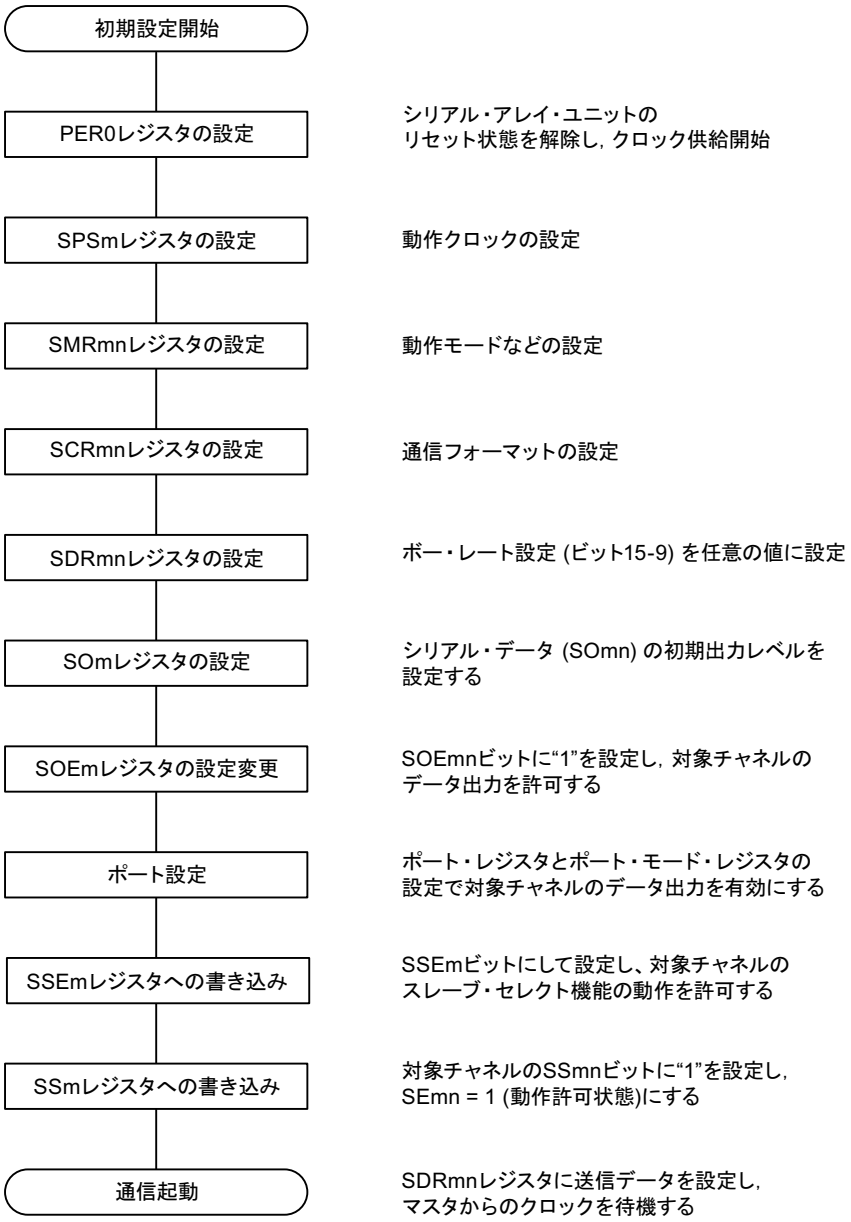
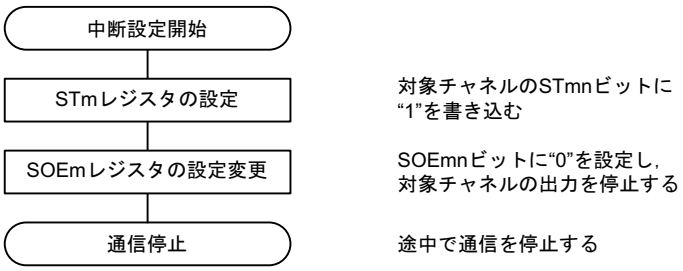


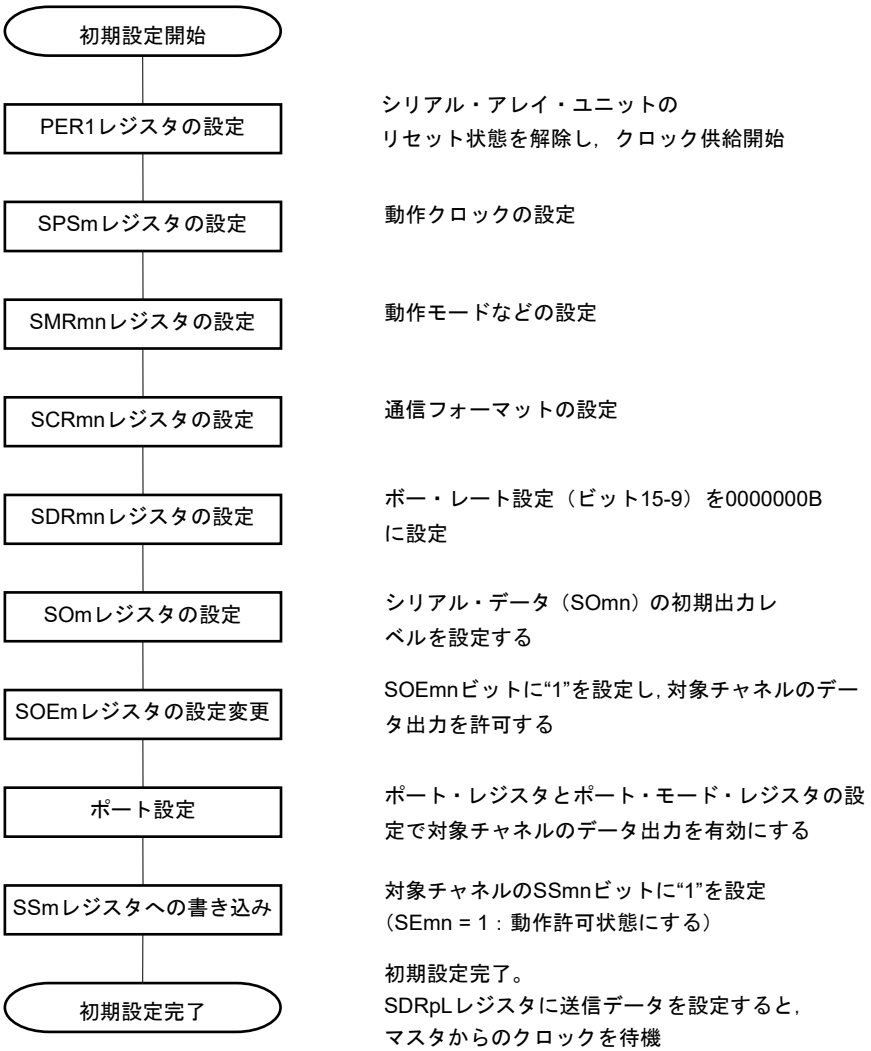
図15－69　スレーブ送信の中断手順（CSI00, CSI01, CSI10, CSI11）



備考1.　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－72　スレーブ送信の再開設定手順」を参照）。

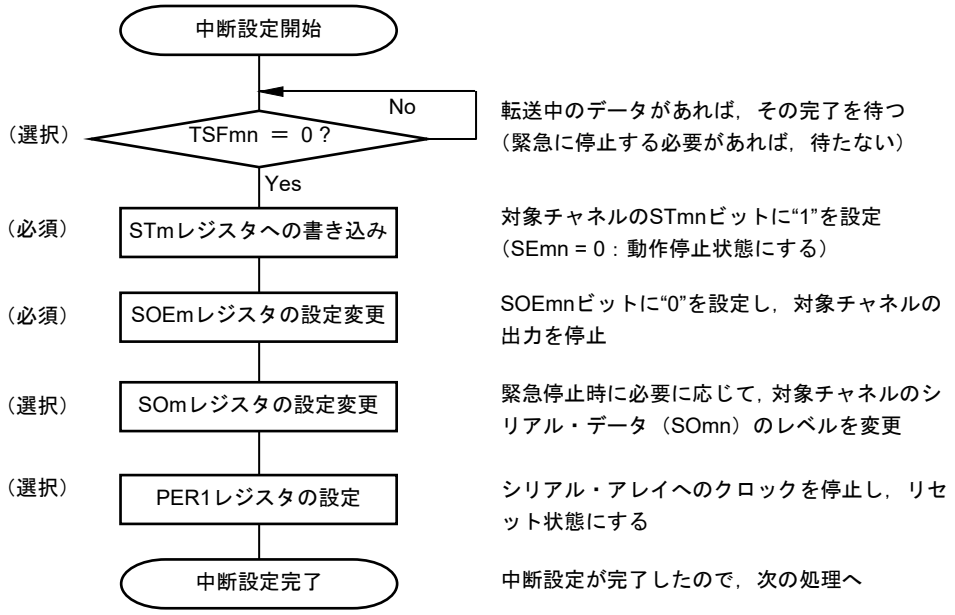
2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n：0, 1）　mn：00, 01, 10, 11

図15－70　スレーブ送信の初期設定手順（CSI20, CSI21）



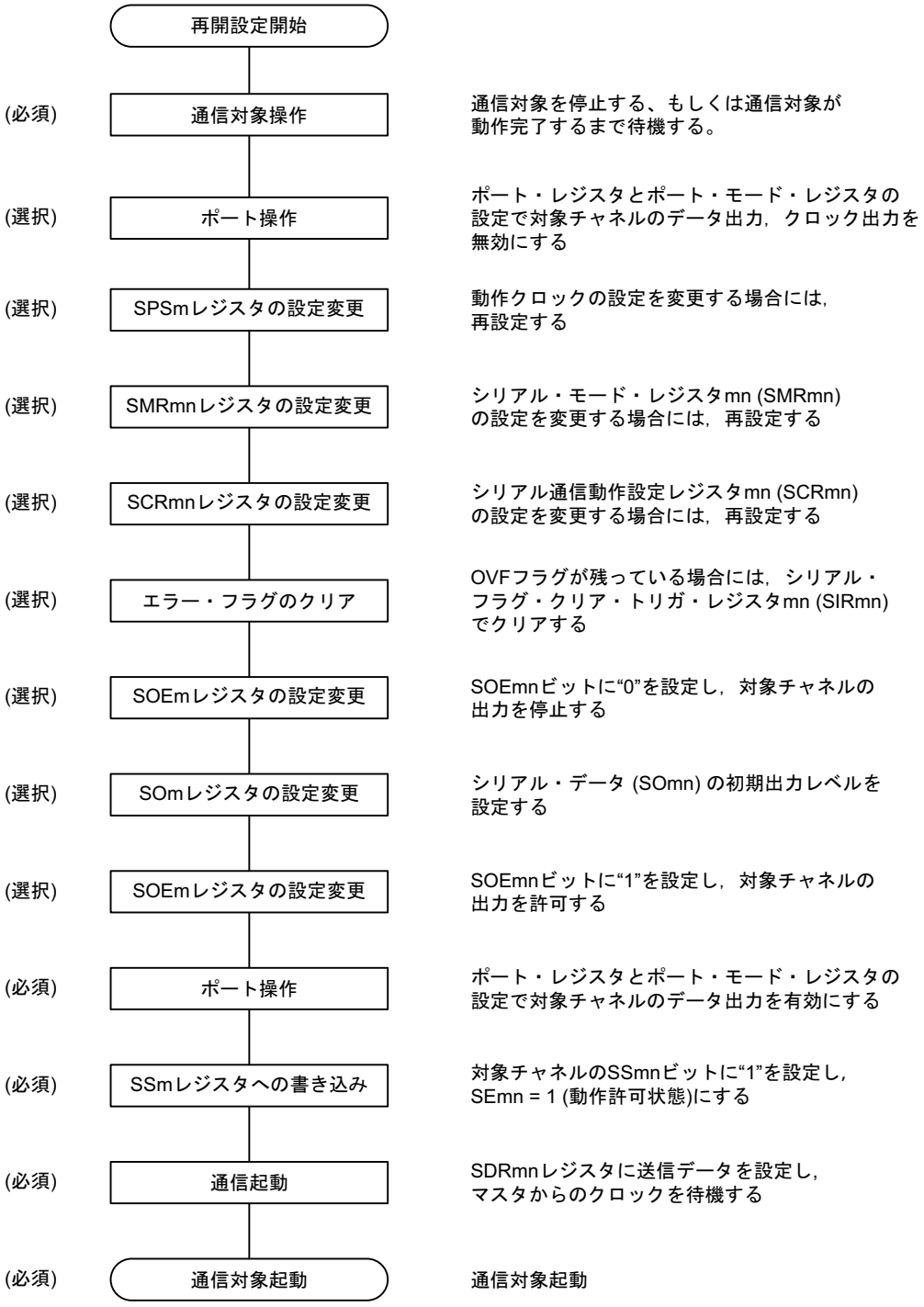
（備考は次ページにあります。）

図15－71　スレーブ送信の中断手順（CSI20, CSI21）



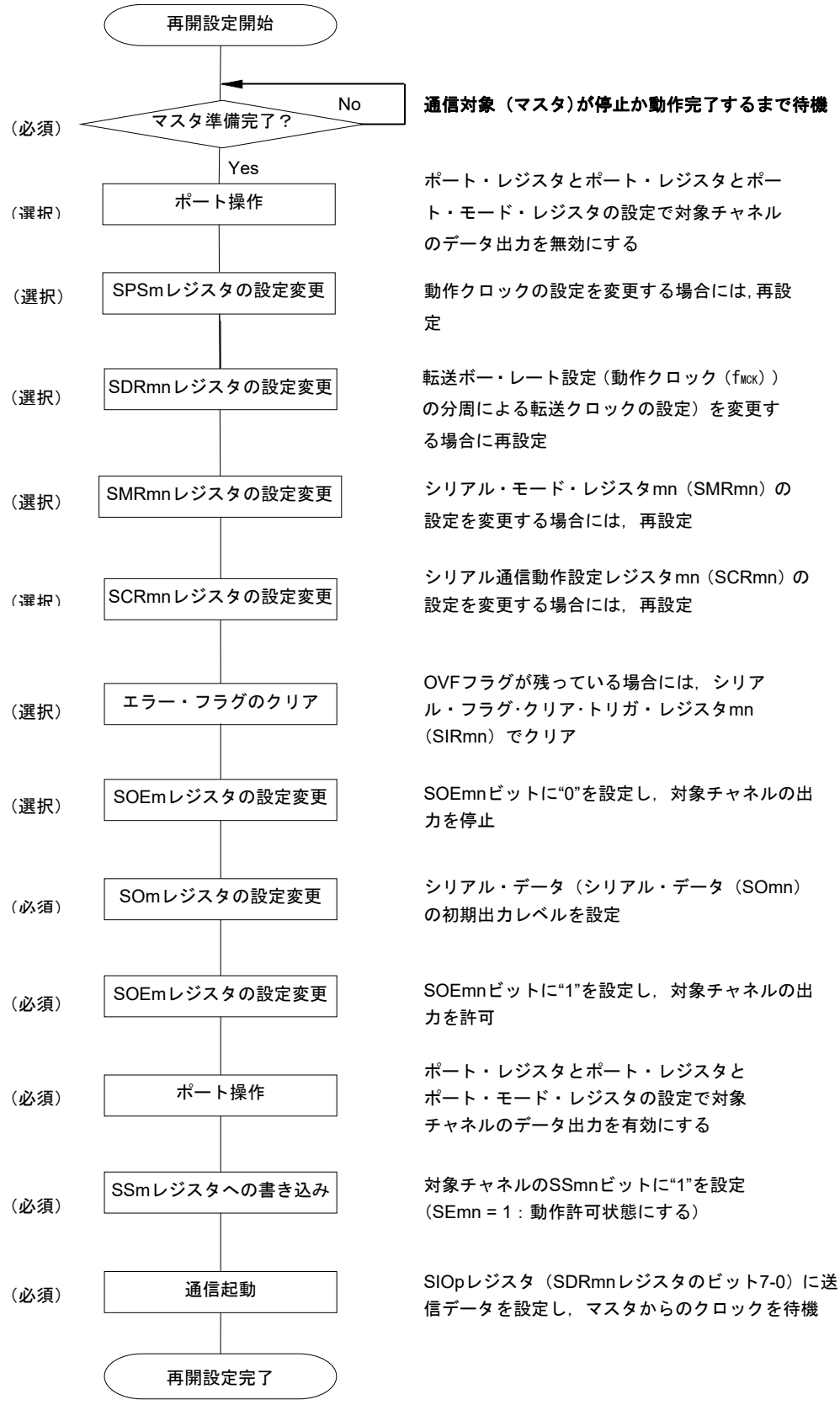
備考　m：ユニット番号（m = 2）　n：チャネル番号（n：0, 1）　p：CSI番号（p = 20, 21）　mn：20, 21

図15－72　スレーブ送信の再開設定手順（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n：0, 1）　mn：00, 01, 10, 11

図15－73　スレーブ送信の再開設定手順（CSI20, CSI21）

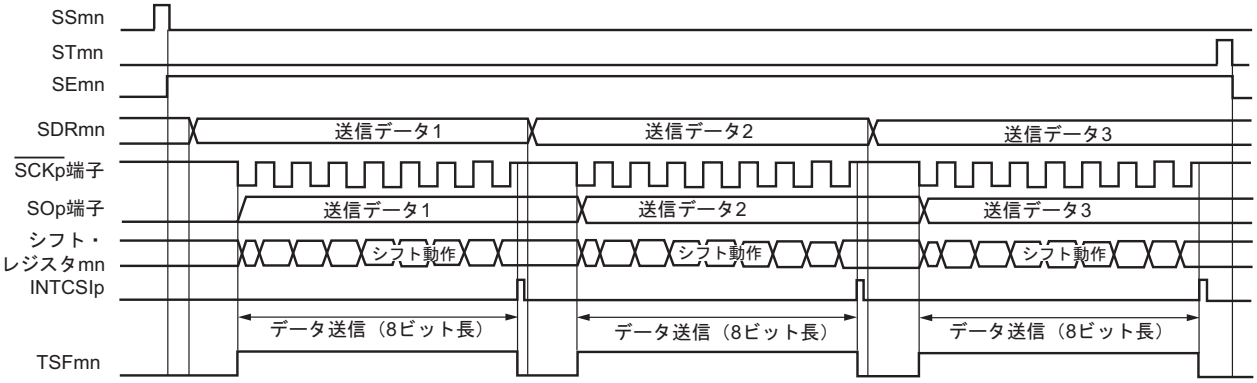


備考1.　中断設定でPER1を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n：0, 1）　p：CSI番号（p = 20, 21）　mn：20, 21

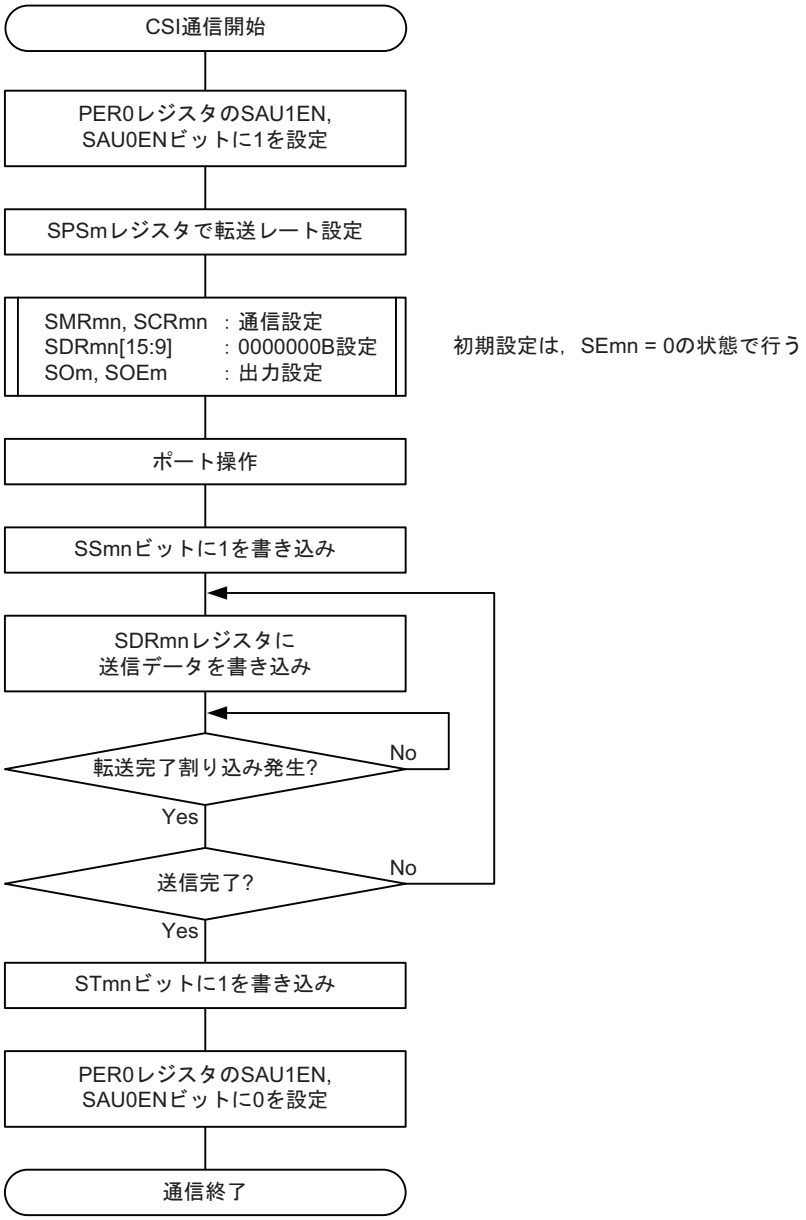
（3）処理フロー（シングル送信モード時）

図15－74　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

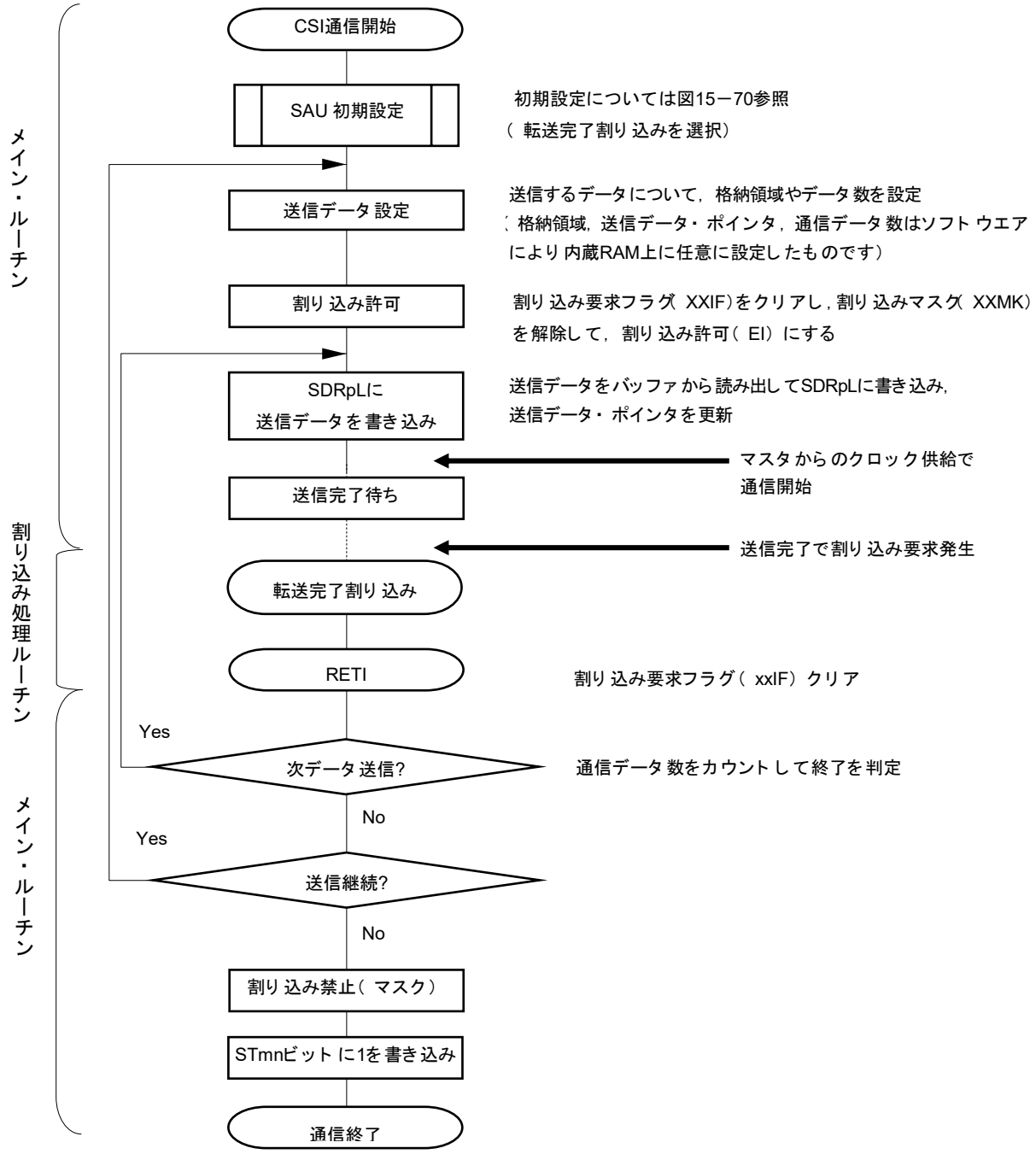
図15－75　スレーブ送信（シングル送信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

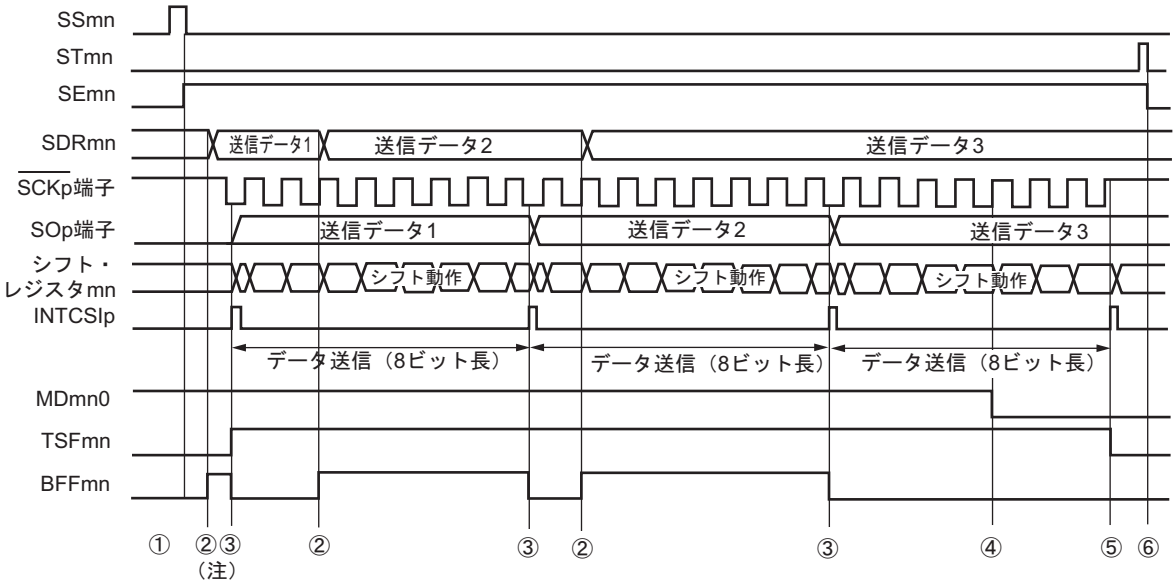
図15－76　スレーブ送信（シングル送信モード時）のフロー・チャート（CSI20, CSI21）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

（4）処理フロー（連続送信モード時）

図15－77　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

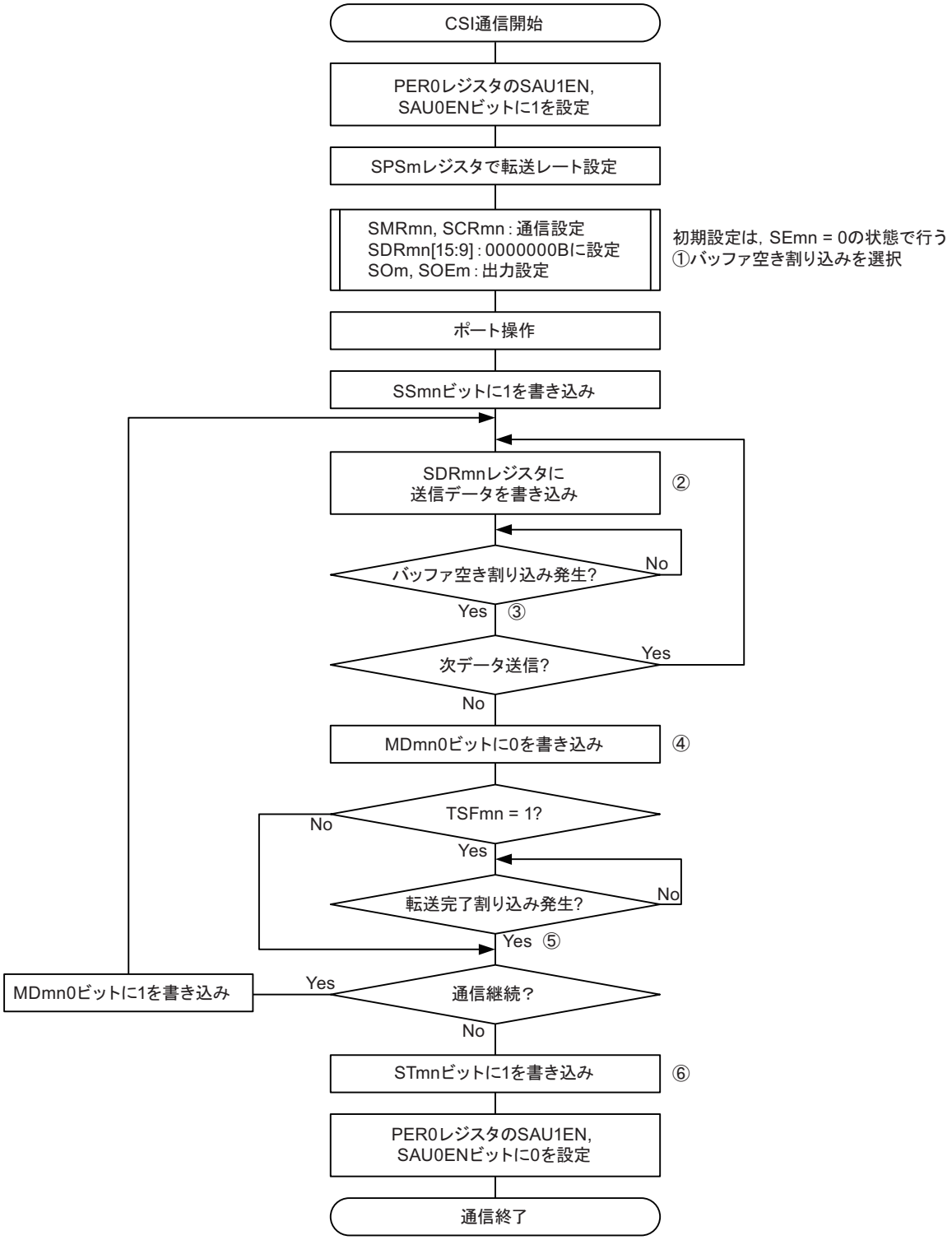


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

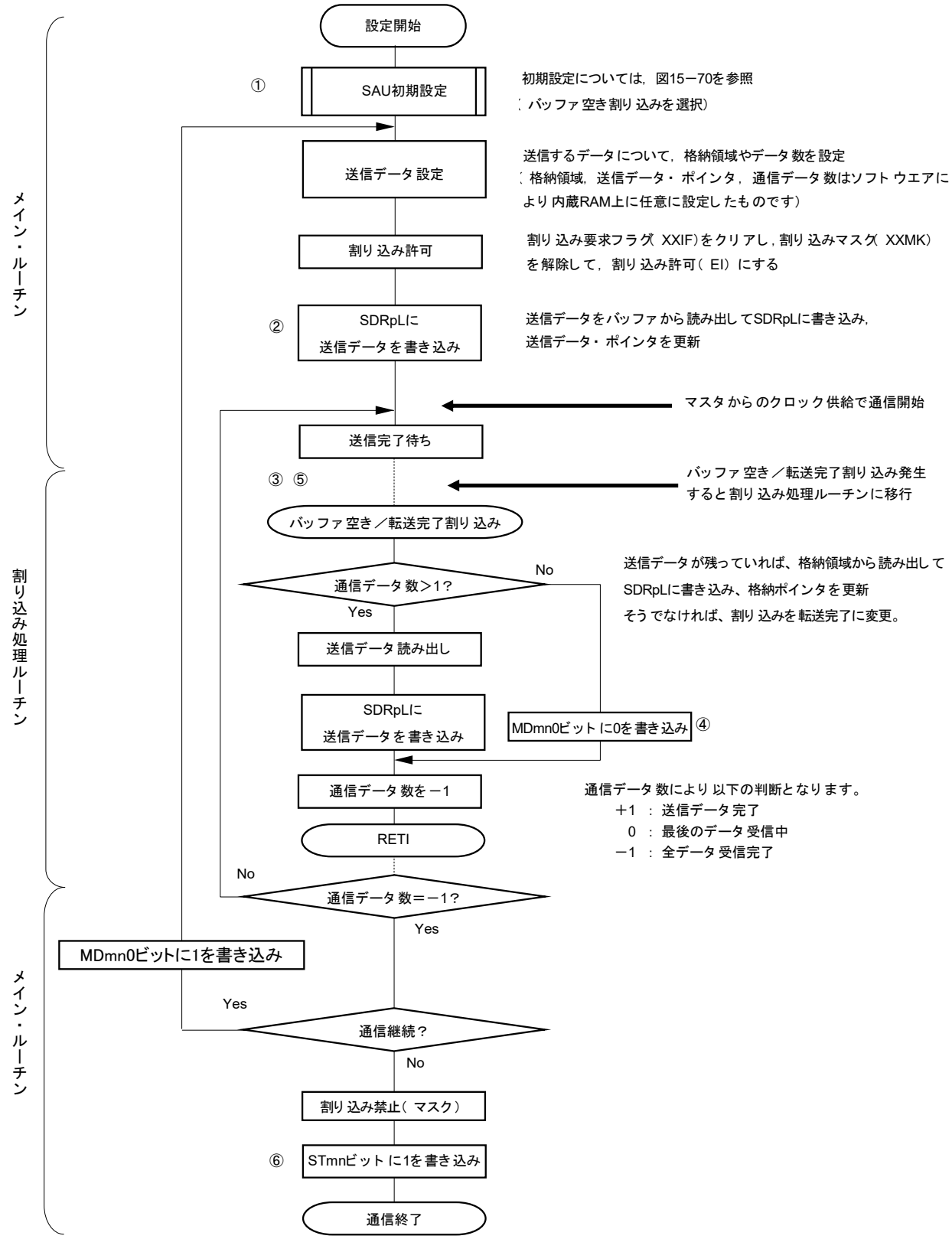
図15－78　スレーブ送信（連続送信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考1.　図中の①~⑥は，図15－77　スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－79　スレーブ送信（連続送信モード時）のフロー・チャート（CSI20, CSI21）



備考1.　図中の①~⑥は，図15－77　スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

15.5.5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1	SAU2の チャネル0	SAU2の チャネル1
使用端子	$\overline{SCK00}$, SI00	$\overline{SCK01}$, SI01	$\overline{SCK10}$, SI10	$\overline{SCK11}$, SI11	$\overline{SCK20}$, SI20	$\overline{SCK21}$, SI21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7～16ビット				7, 8ビット	
転送レート	Max. f_{MCK}/6 [Hz]注1, 2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

注1. $\overline{SCK00}$, $\overline{SCK01}$, $\overline{SCK10}$, $\overline{SCK11}$, $\overline{SCK20}$, $\overline{SCK21}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

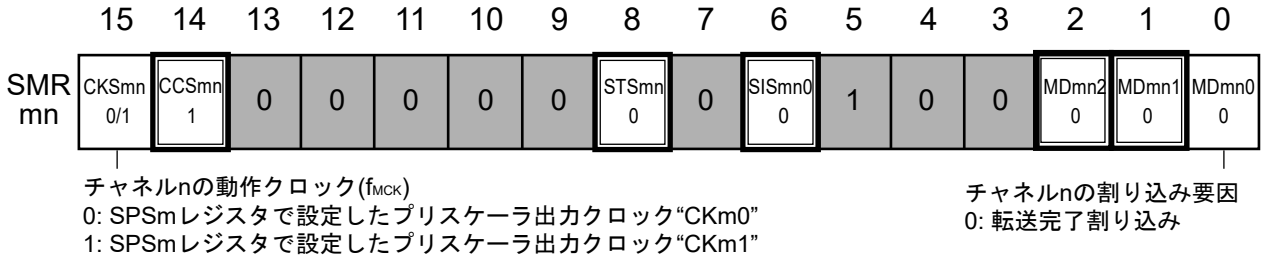
備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11, 20, 21

（1）レジスタ設定

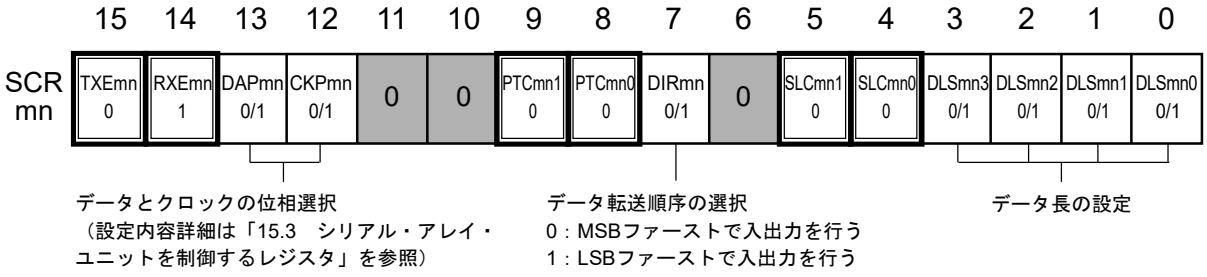
図15－80　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

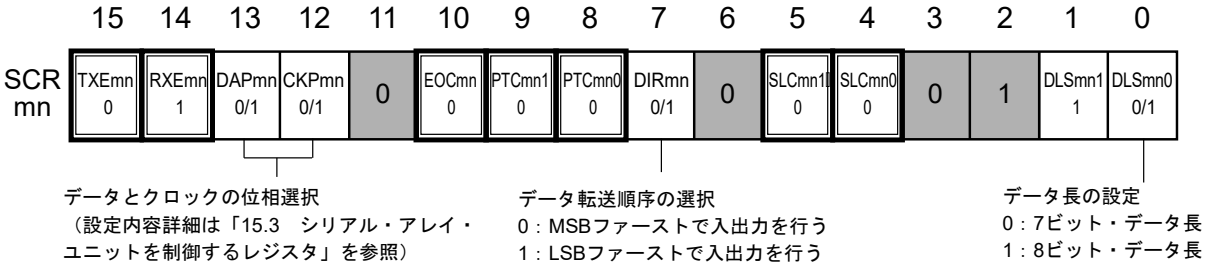


（b）シリアル通信動作設定レジスタmn（SCRmn）

①　CSI00, CSI01, CSI10, CSI11

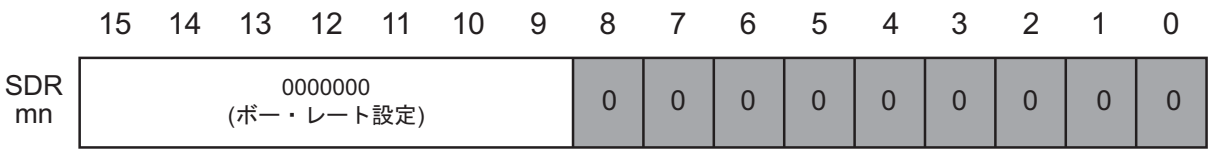


②　CSI20, CSI21

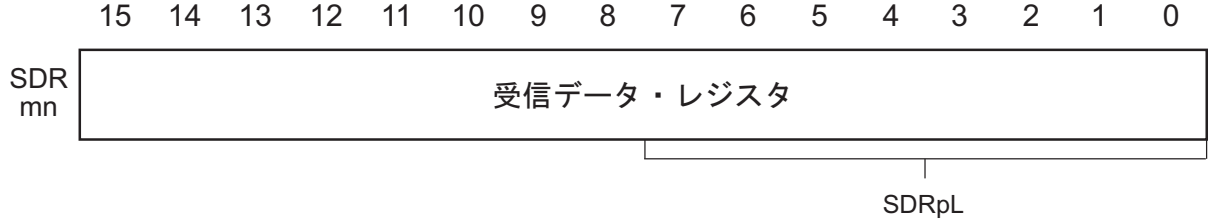


（c）シリアル・データ・レジスタmn（SDRmn）

①　CSI00, CSI01, CSI10, CSI11：動作停止時（SEmn = 0）



②　CSI00, CSI01, CSI10, CSI11：動作中（SEmn = 1）（下位8ビット：SDRpL）



(備考は次のページにあります。)

図15－80　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ受信時のレジスタ設定内容例（2/2）

③　CSI20, CSI21

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	受信データ設定							

SDRpL

（d）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 ×	SOm0 ×

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

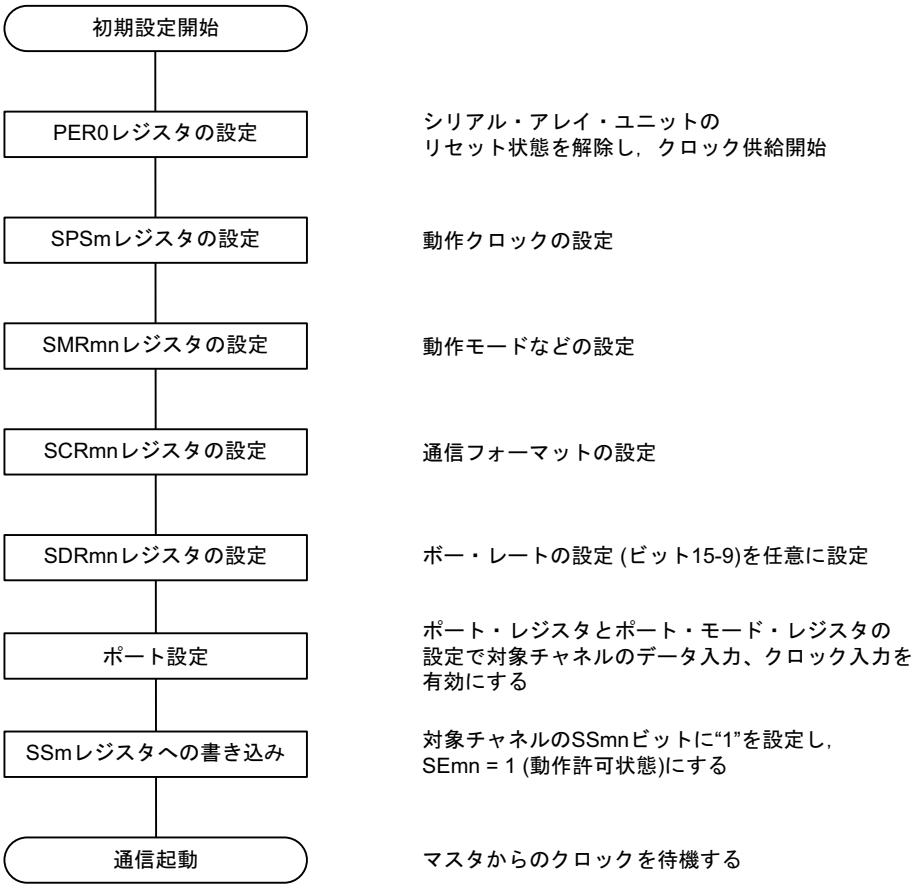
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）
mn = 00, 01, 10, 11, 20, 21

2.　□：スレーブ受信モードでは設定固定　■：設定不可（初期値を設定）
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－81　スレーブ受信の初期設定手順（CSI00, CSI01, CSI10, CSI11）



備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

図15－82　スレーブ受信の中断手順（CSI00, CSI01, CSI10, CSI11）

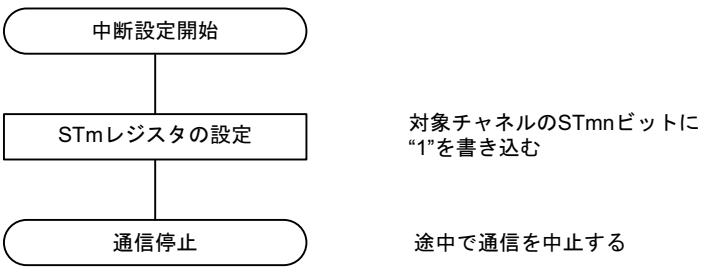


図15－83　スレーブ受信の初期設定手順（CSI20, CSI21）

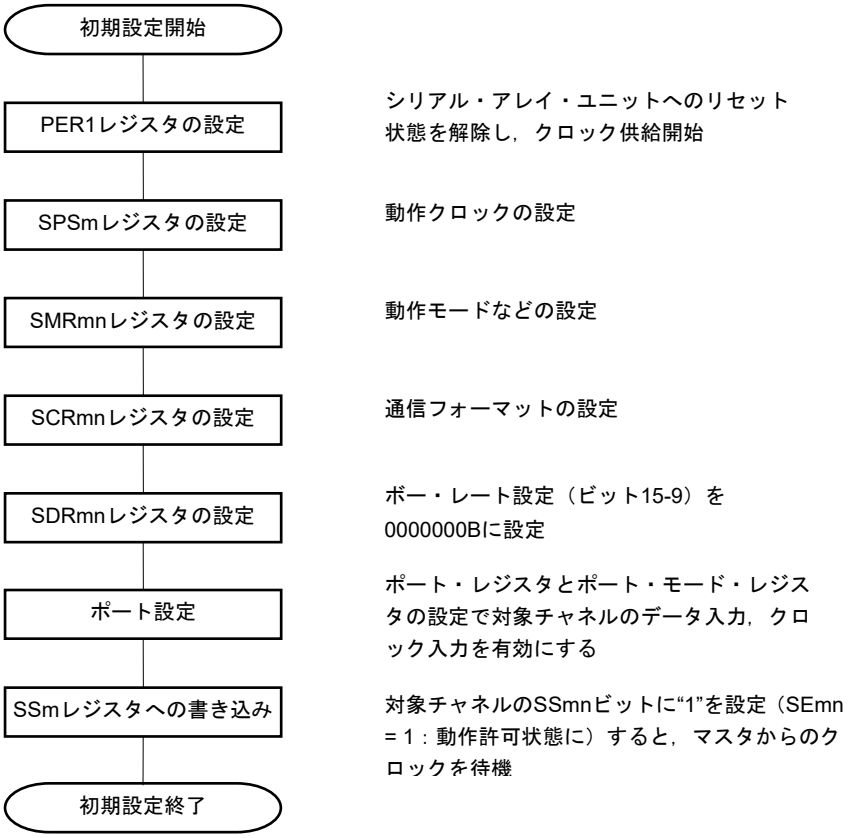
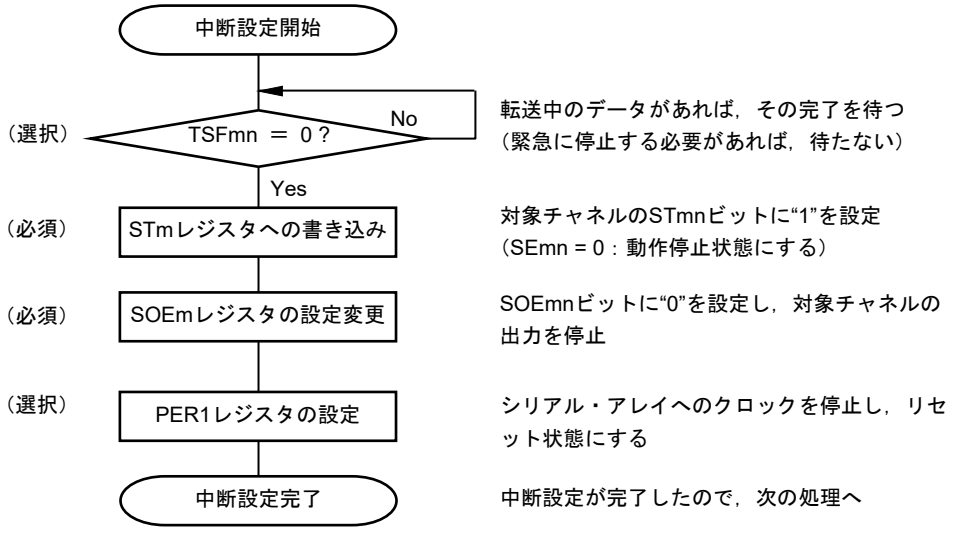
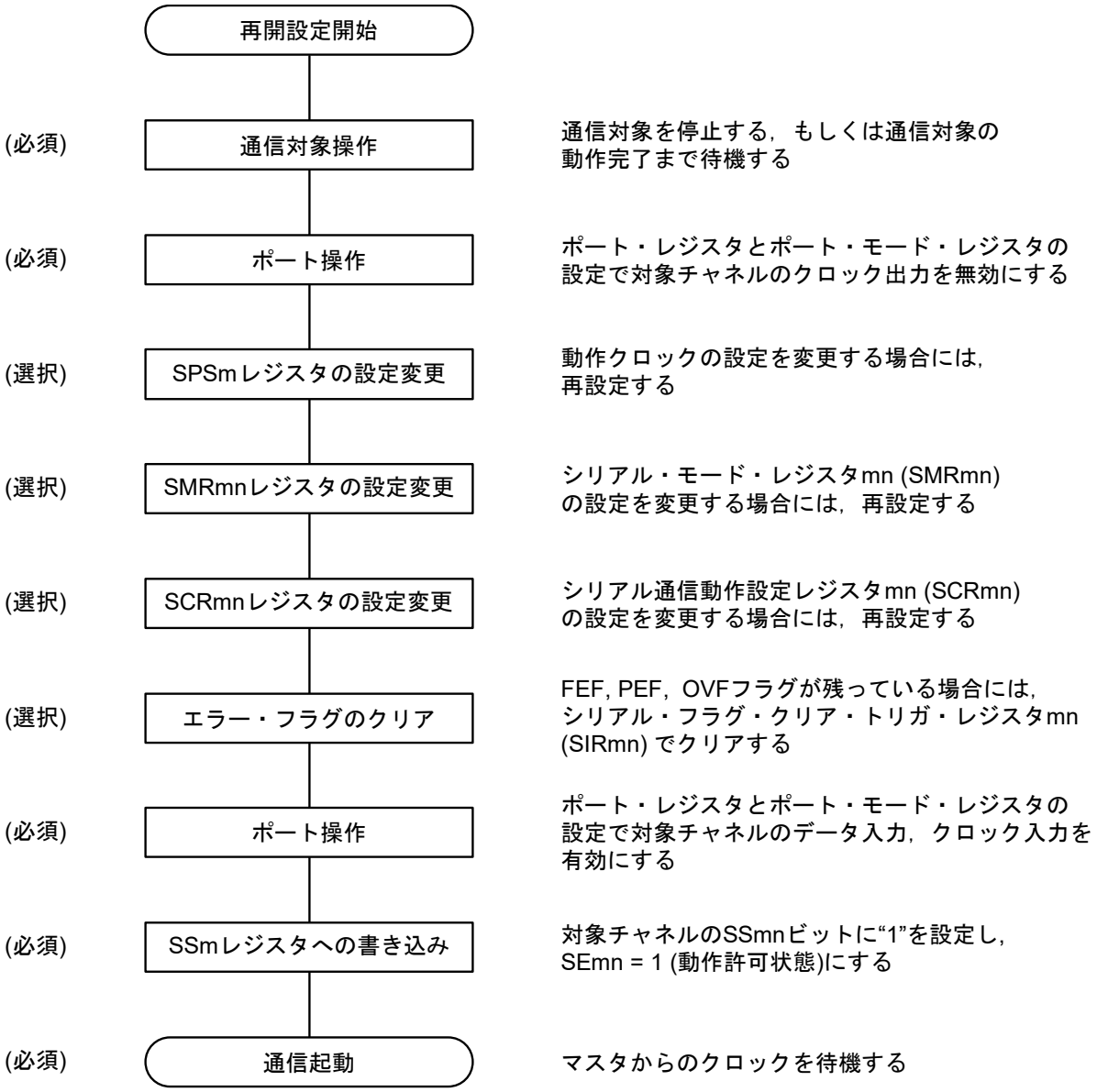


図15－84　スレーブ受信の中断手順（CSI20, CSI21）



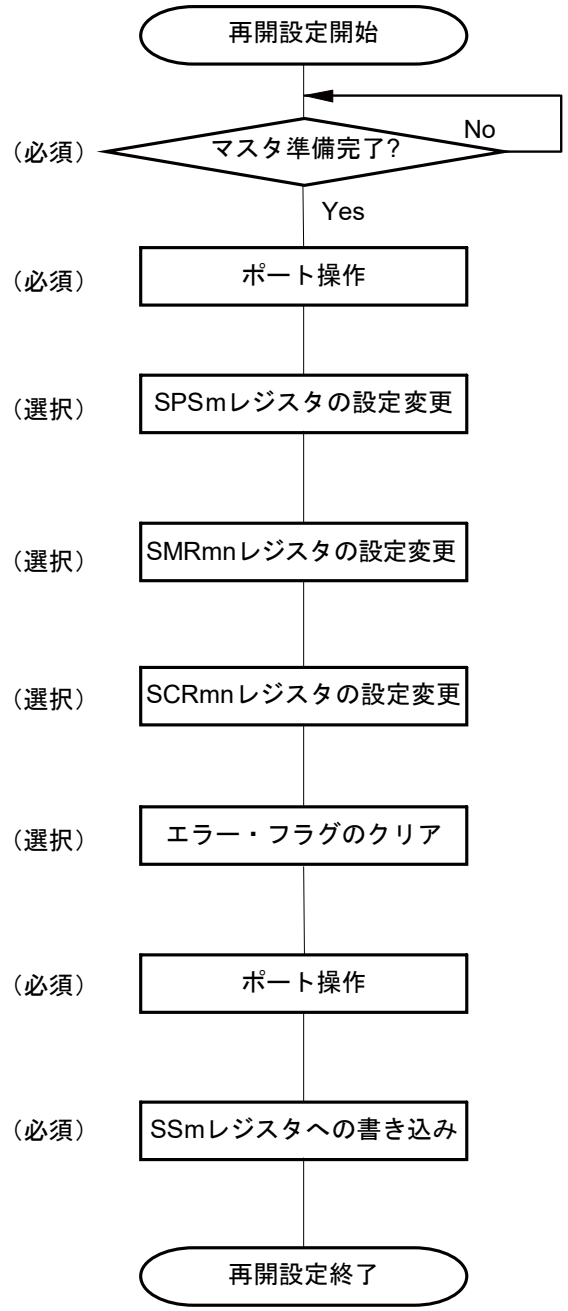
備考1.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

★ 図15－85　スレーブ受信の再開設定手順（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

★ 図15－86　スレーブ受信の再開設定手順（CSI20, CSI21）



通信対象（マスタ）が停止か動作完了まで待機

ポート・レジスタとポート・モード・レジスタの設定で対象チャネルのクロック出力を無効にする

動作クロックの設定を変更する場合に再設定

シリアル・モード・レジスタmn（SMRmn）の設定を変更する場合に再設定

シリアル通信動作レジスタmn（SCRmn）の設定を変更する場合に再設定

OVFフラグが残っている場合には，シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）でクリア

ポート・レジスタとポート・モード・レジスタの設定で対象チャネルのデータ入力，クロック入力を有効にする

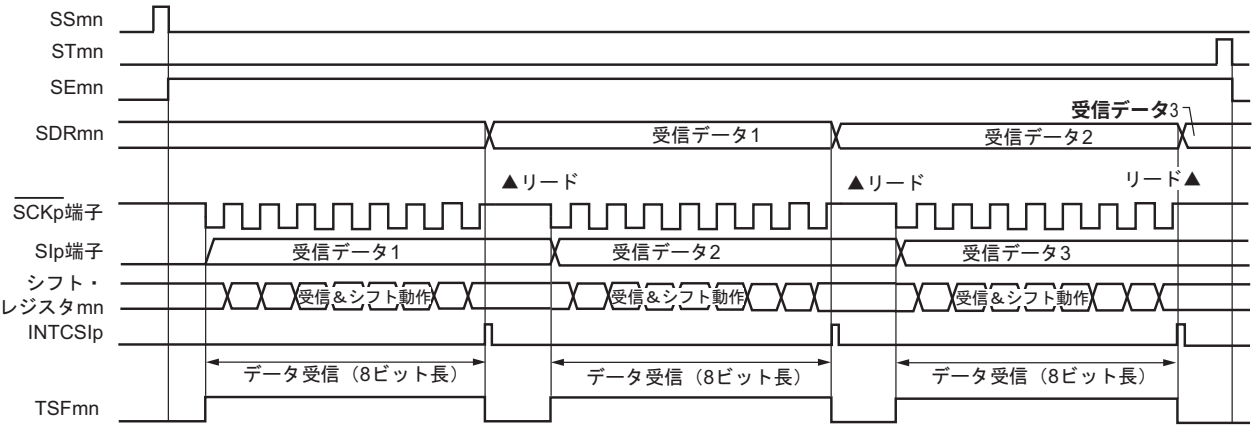
対象チャネルのSSmnビットに“1”を設定（SEmn = 1：動作許可状態）することで，マスタからのクロックを待機

備考1.　中断設定でPER1を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

（3）処理フロー（シングル受信モード時）

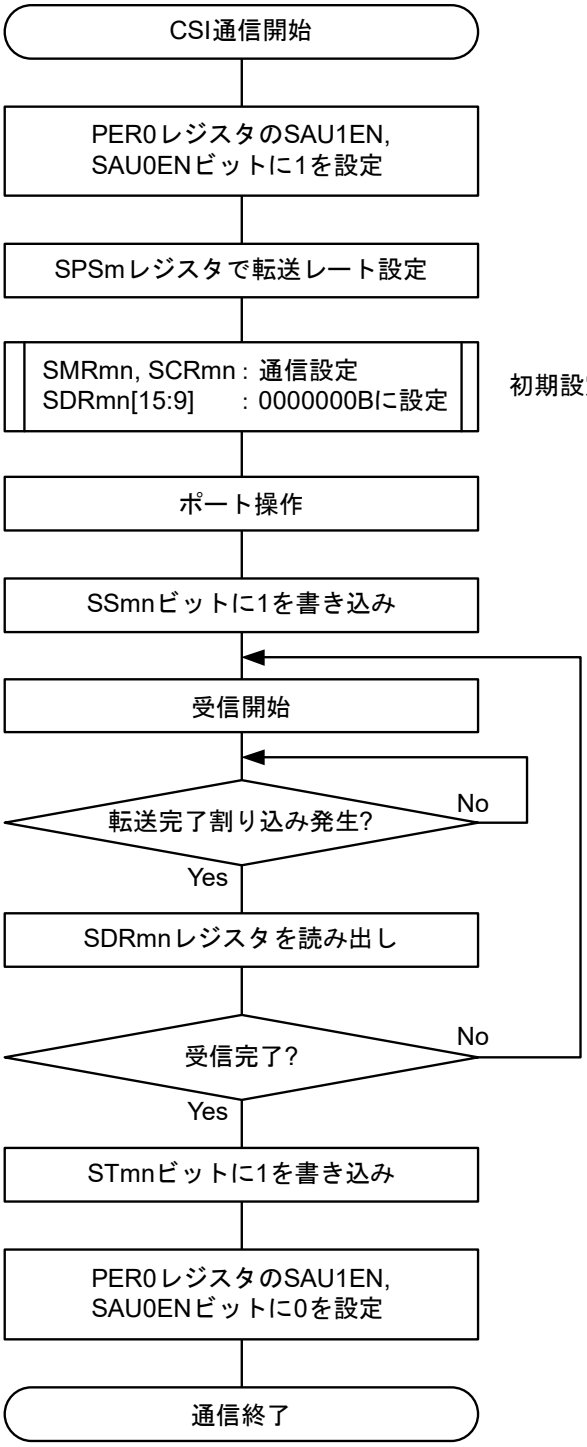
図15－87　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

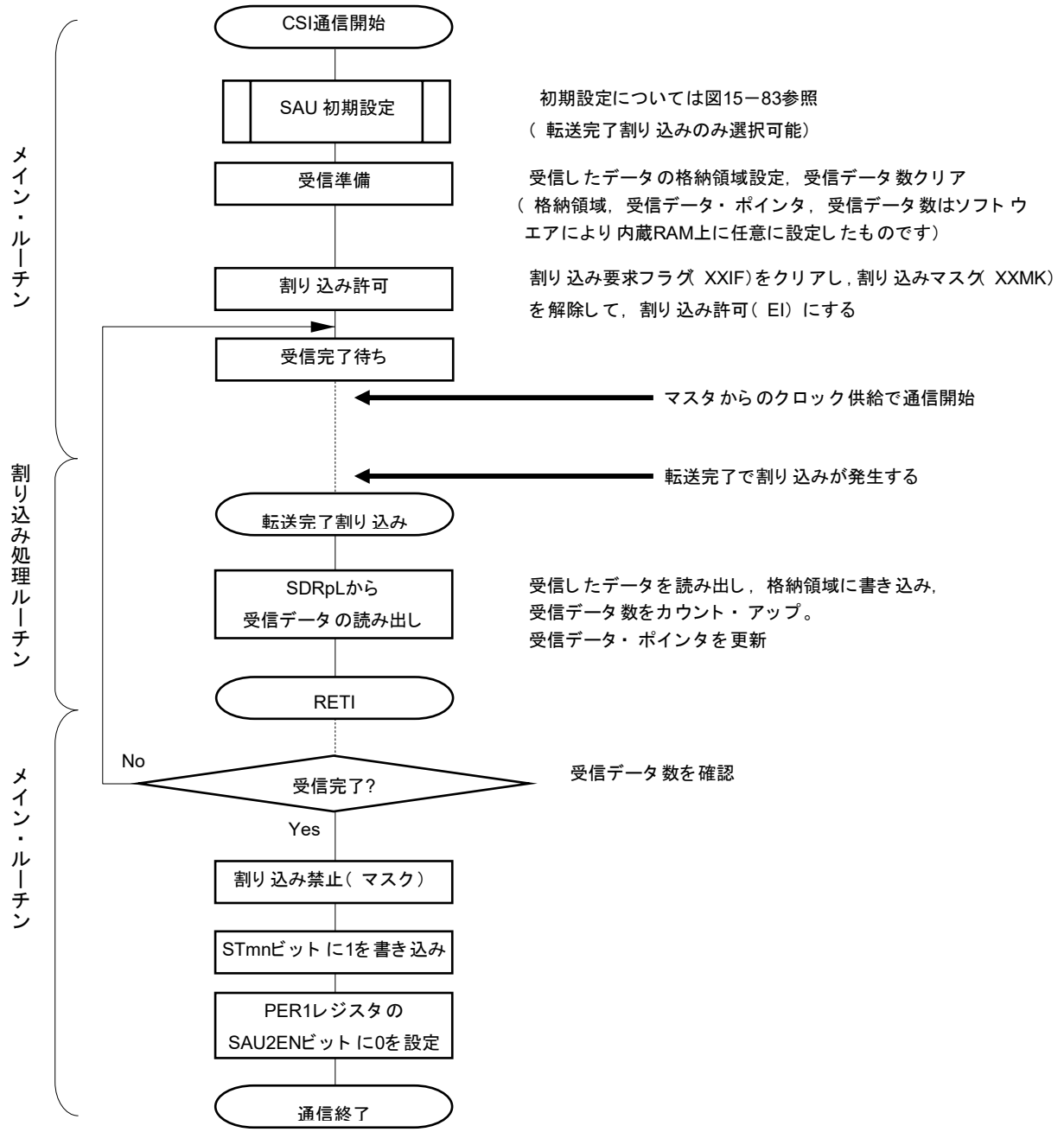
mn = 00, 01, 10, 11, 20, 21

図15－88　スレーブ受信（シングル受信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

図15－89　スレーブ受信（シングル受信モード時）のフロー・チャート（CSI20, CSI21）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

15.5.6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1	SAU2の チャネル0	SAU2の チャネル1
使用端子	$\overline{SCK00}$, SI00, SO00	$\overline{SCK01}$, SI01, SO01	$\overline{SCK10}$, SI10, SO10	$\overline{SCK11}$, SI11, SO11	$\overline{SCK20}$, SI20, SO20	$\overline{SCK21}$, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能					
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ					
転送データ長	7～16ビット				7, 8ビット	
転送レート	Max. f_{MCK}/6 [Hz]注1, 2					
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始					
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転					
データ方向	MSBファーストまたはLSBファースト					

注1. $\overline{SCK00}$, $\overline{SCK01}$, $\overline{SCK10}$, $\overline{SCK11}$, $\overline{SCK20}$, $\overline{SCK21}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

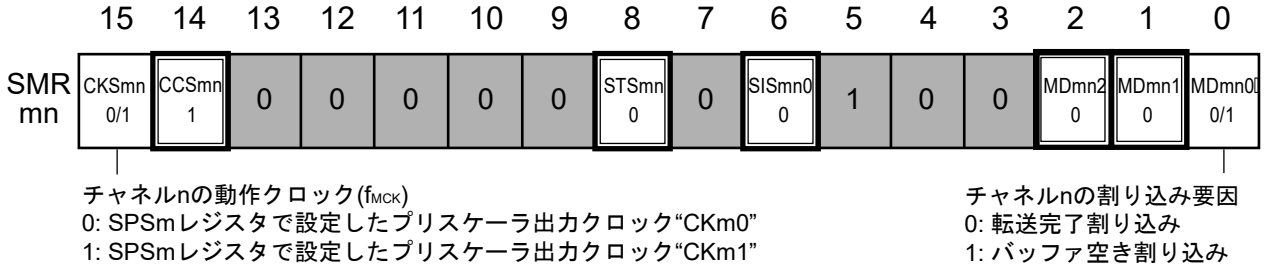
備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11, 20, 21

（1）レジスタ設定

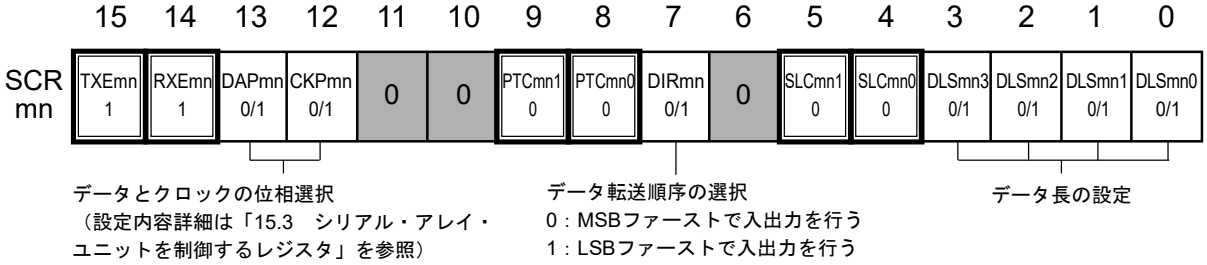
図15－90　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ送受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

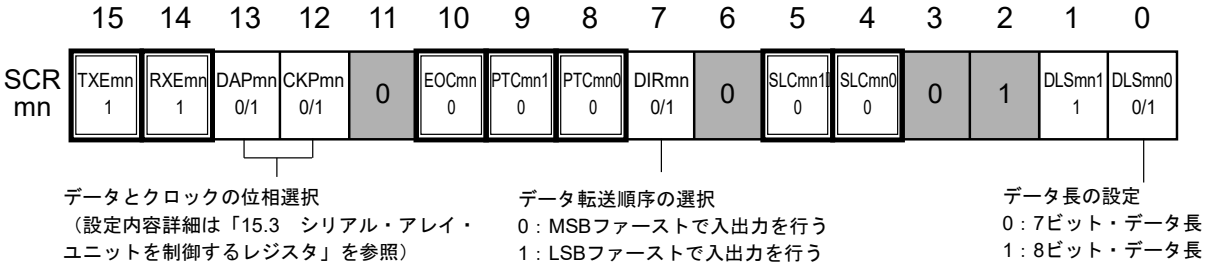


（b）シリアル通信動作設定レジスタmn（SCRmn）

①　CSI00, CSI01, CSI10, CSI11

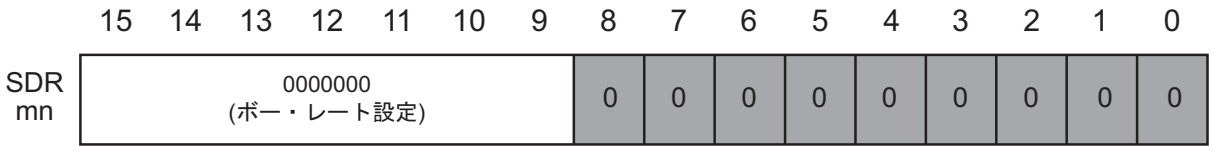


②　CSI20, CSI21

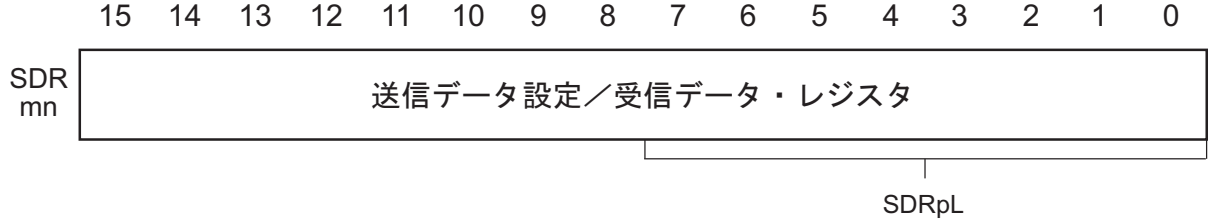


（c）シリアル・データ・レジスタmn（SDRmn）

①　CSI00, CSI01, CSI10, CSI11：動作停止時（SEmn = 0）



②　CSI00, CSI01, CSI10, CSI11：動作中（SEmn = 1）（下位8ビット：SDRpL）



(注意，備考は次のページにあります。)

図15－90　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）のスレーブ送受信時のレジスタ設定内容例（2/2）

③　CSI20, CSI21

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定／受信データ・レジスタ							

SDRpL

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21）

mn = 00, 01, 10, 11, 20, 21

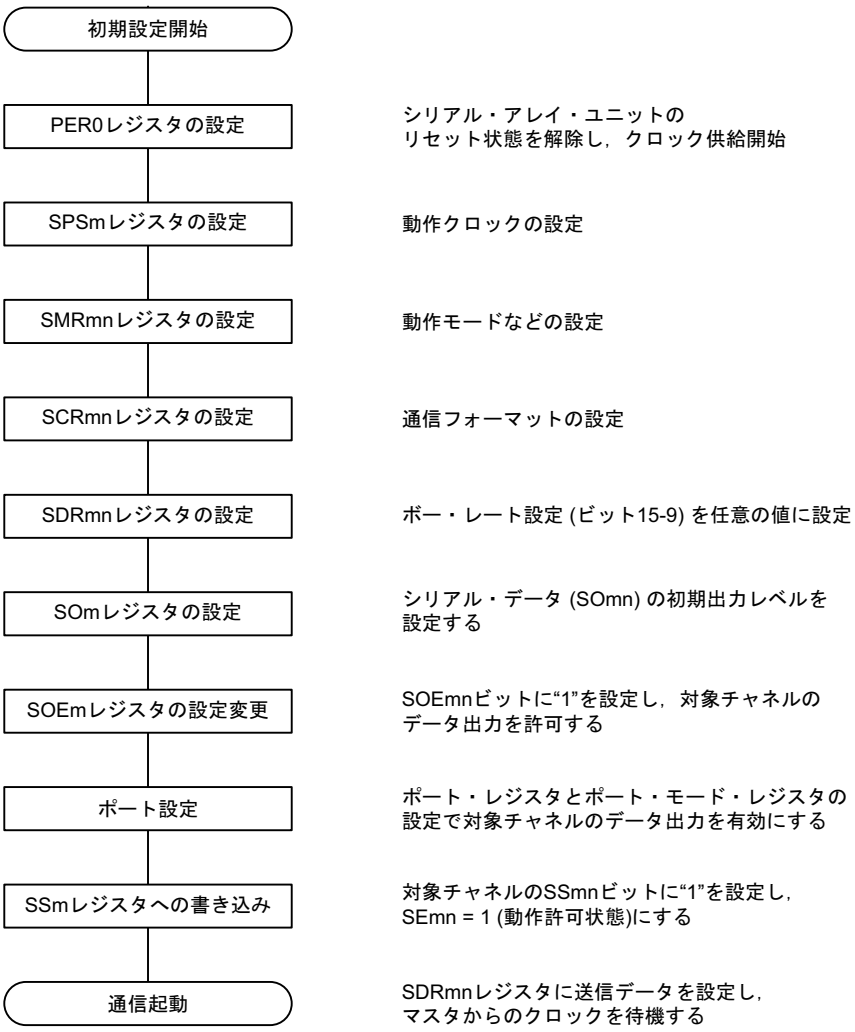
2.　□：CSIスレーブ送受信モードでは設定固定　□：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

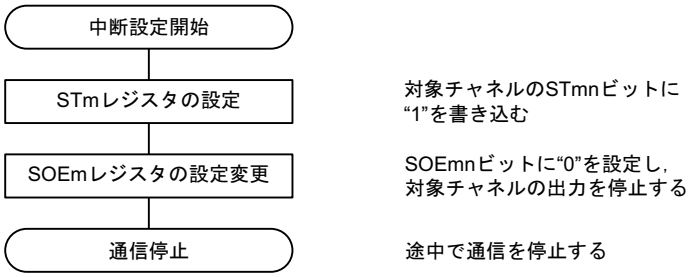
（2）操作手順

図15－91　スレーブ送受信の初期設定手順（CSI00, CSI01, CSI10, CSI11）



注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

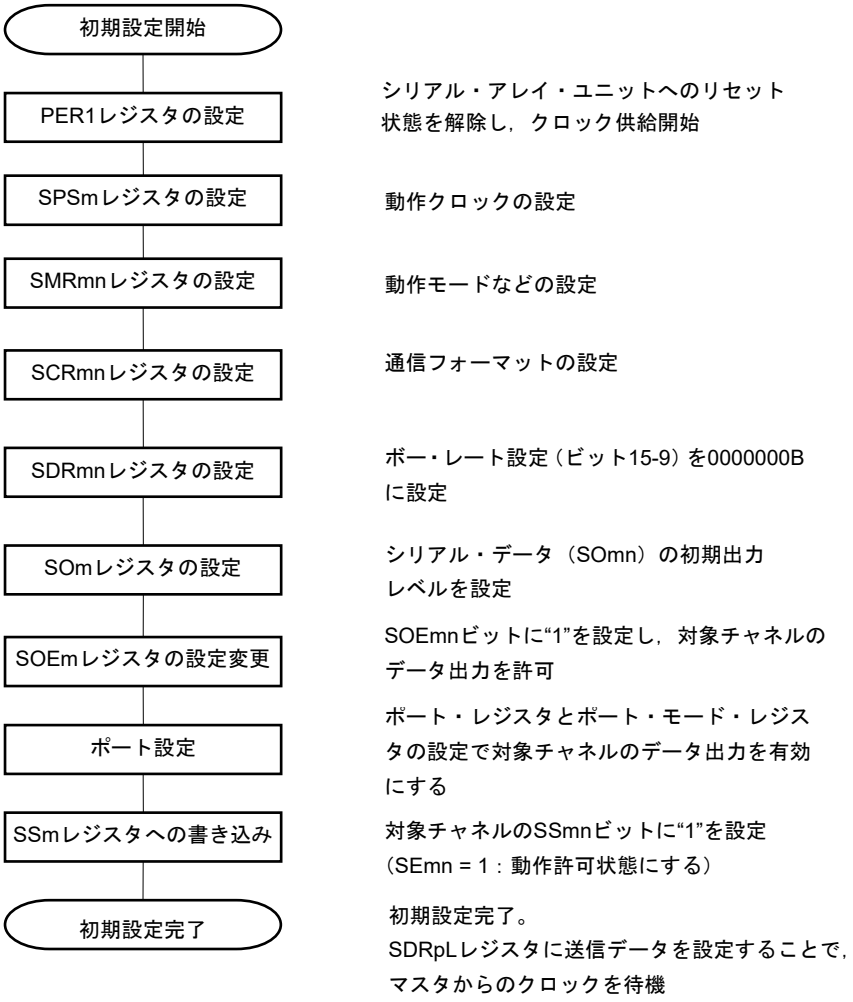
図15－92　スレーブ送受信の中断手順（CSI00, CSI01, CSI10, CSI11）



備考1.　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－95　スレーブ送受信の再開設定手順」を参照）。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

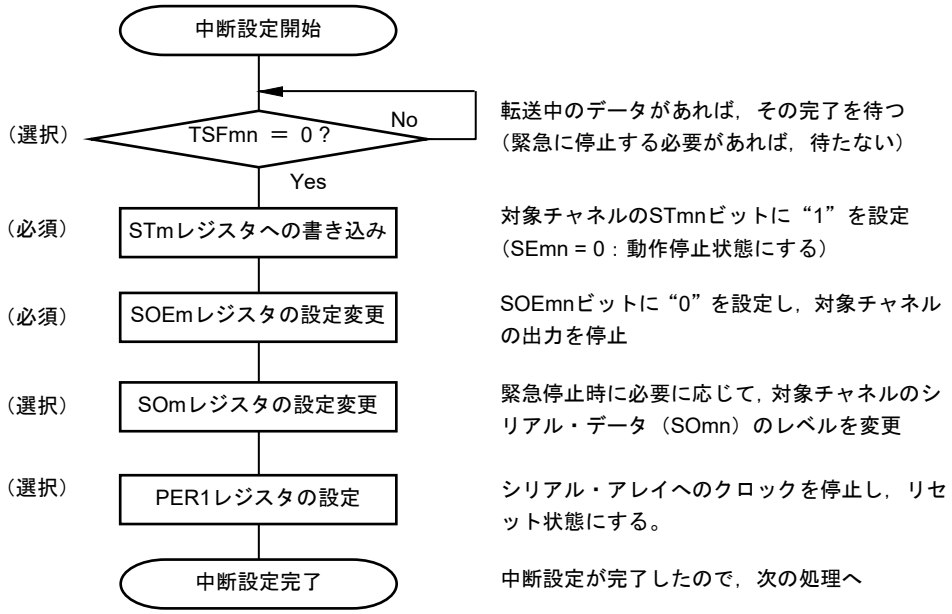
図15－93　スレーブ送受信の初期設定手順（CSI20, CSI21）



注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

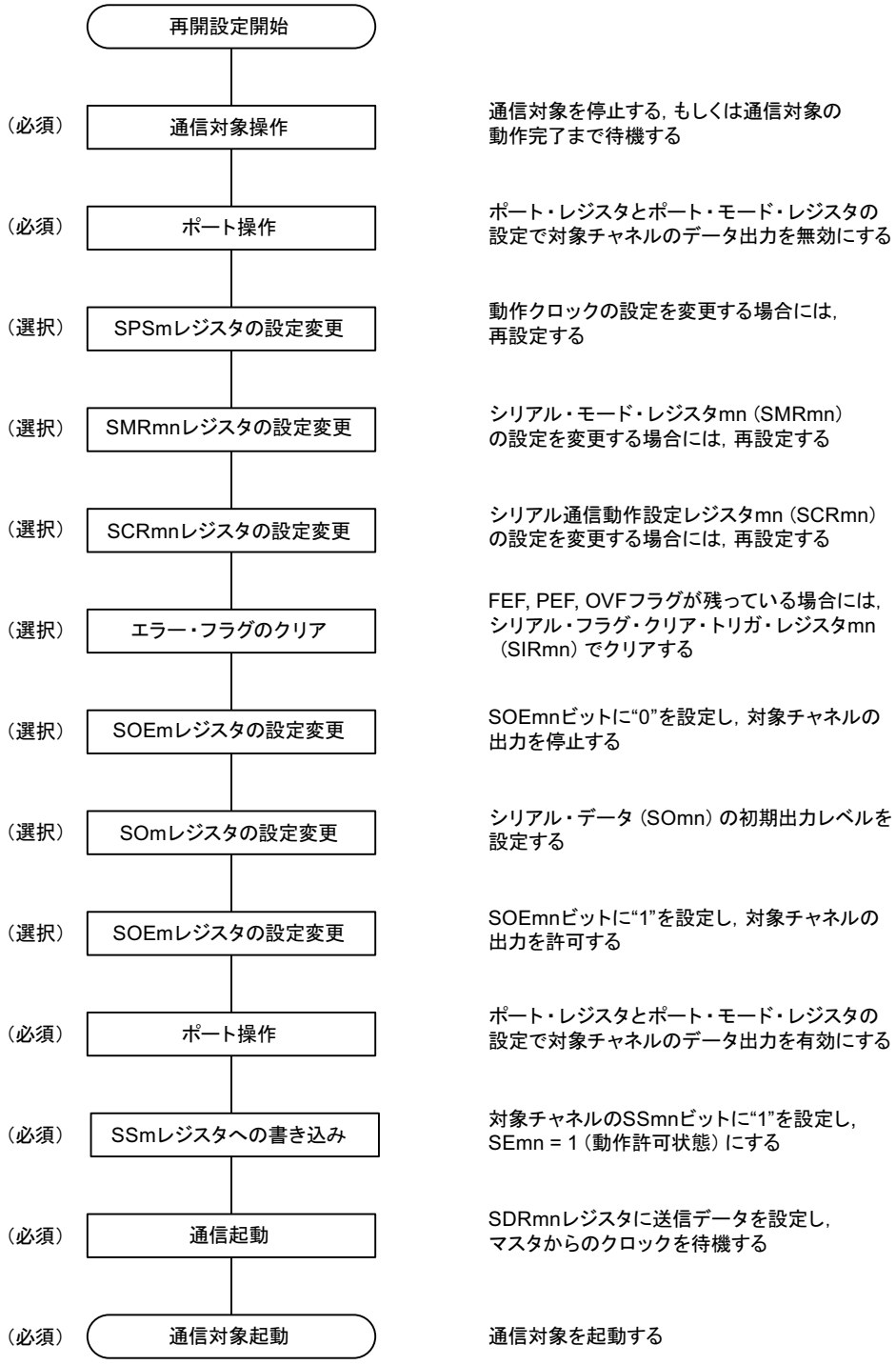
備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

図15－94　スレーブ送受信の中断手順（CSI20, CSI21）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

図15－95　スレーブ送受信の再開設定手順（CSI00, CSI01, CSI10, CSI11）

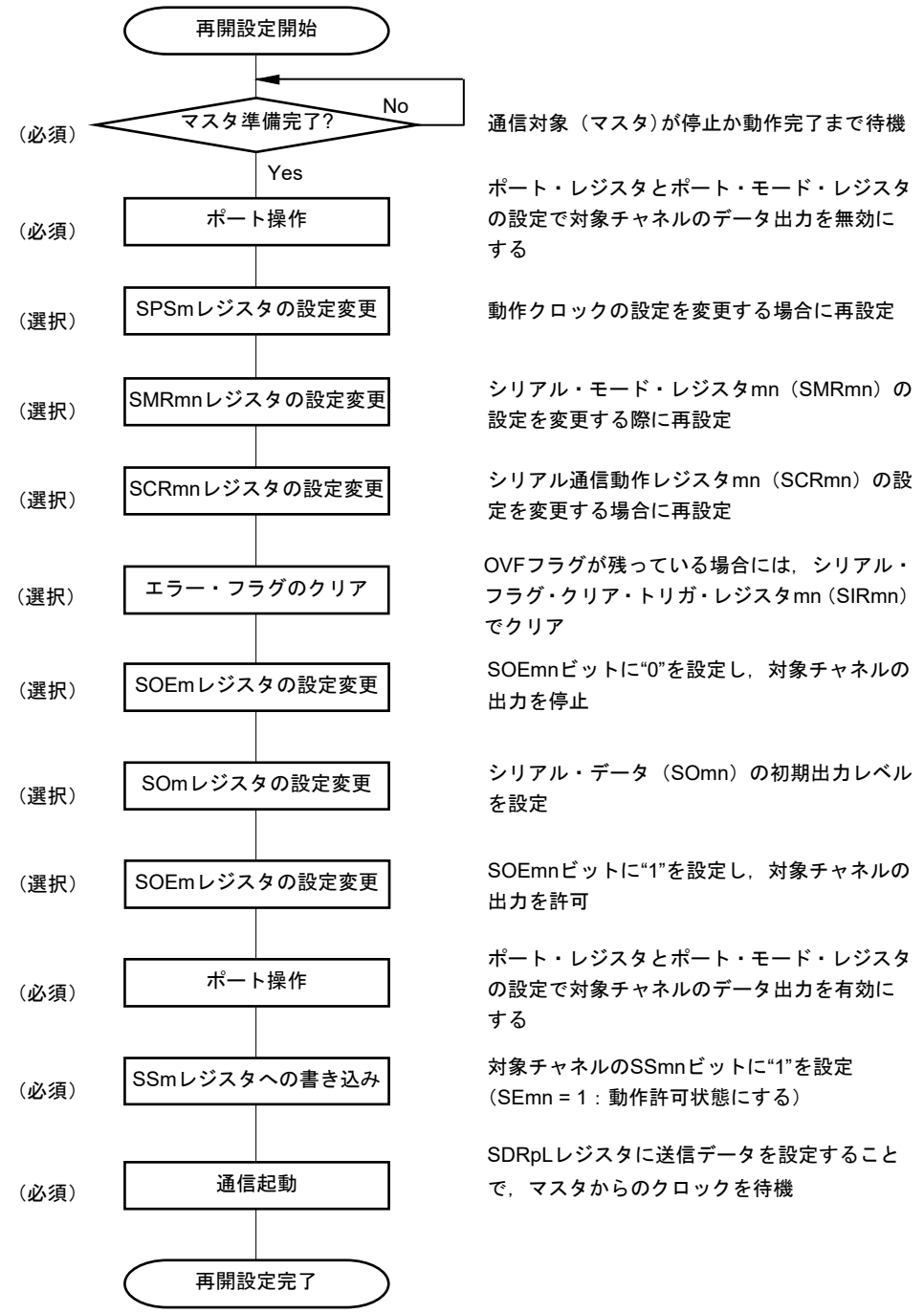


注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

図15－96　スレーブ送受信の再開設定手順（CSI20, CSI21）



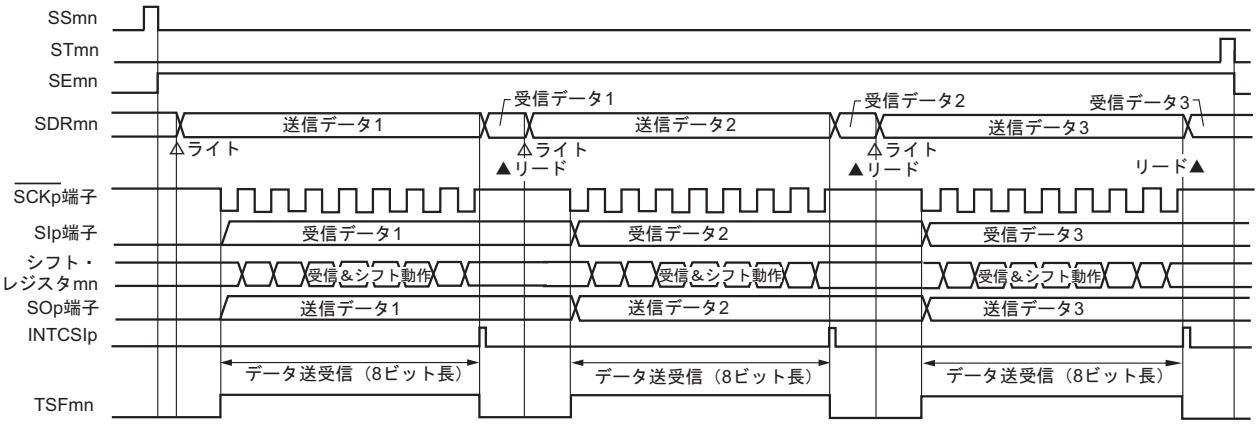
注意1.　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

2.　中断設定でPER1を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

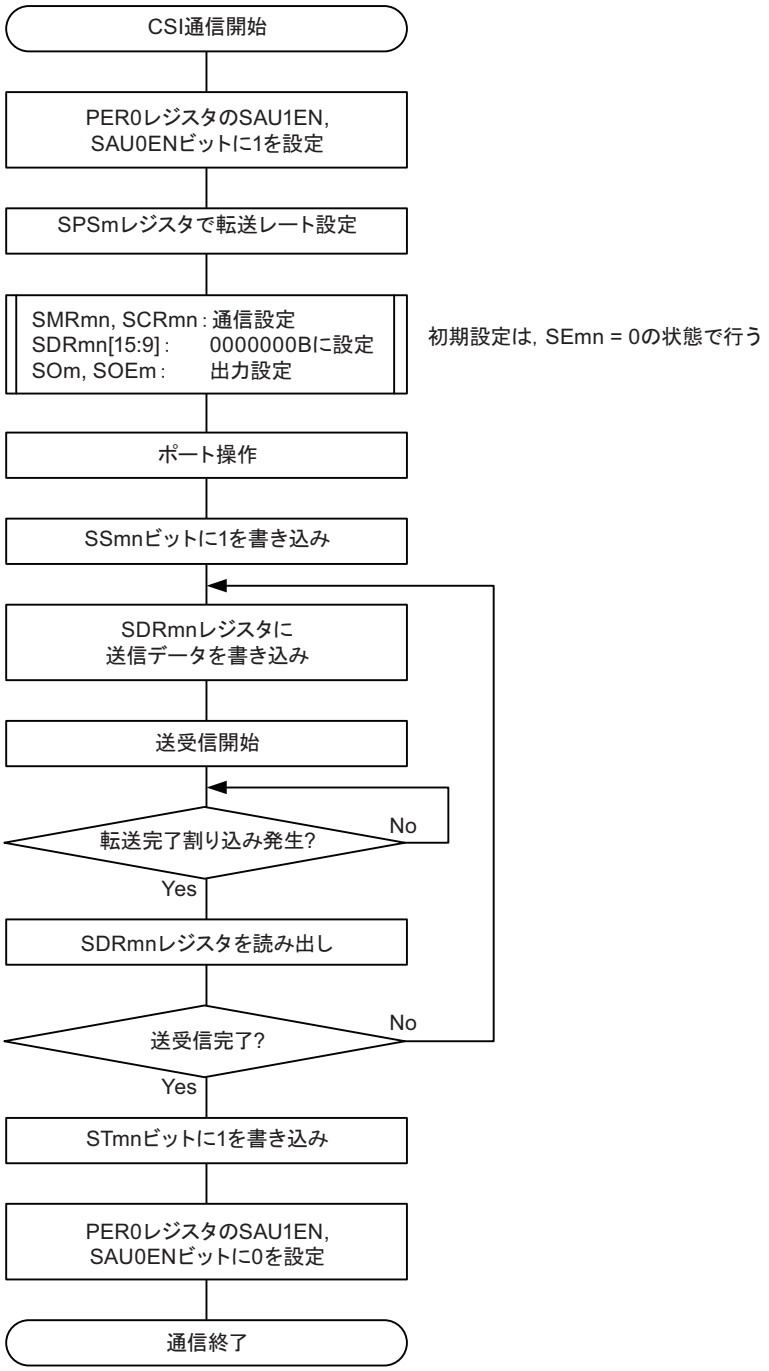
（3）処理フロー（シングル送受信モード時）

図15－97　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21），
mn = 00, 01, 10, 11, 20, 21

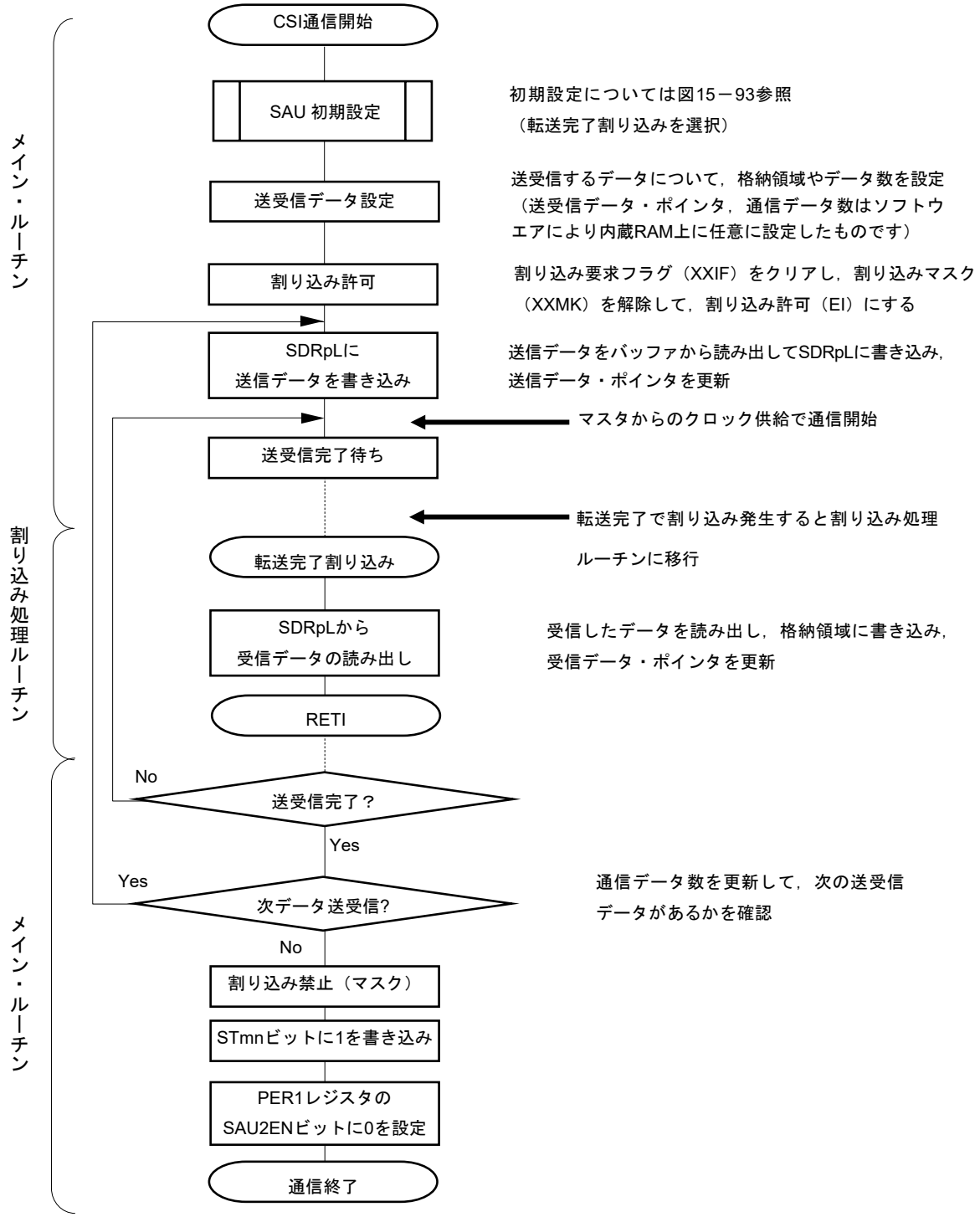
図15－98　スレーブ送受信（シングル送受信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）



注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

図15－99　スレーブ送受信（シングル送受信モード時）のフロー・チャート（CSI20, CSI21）

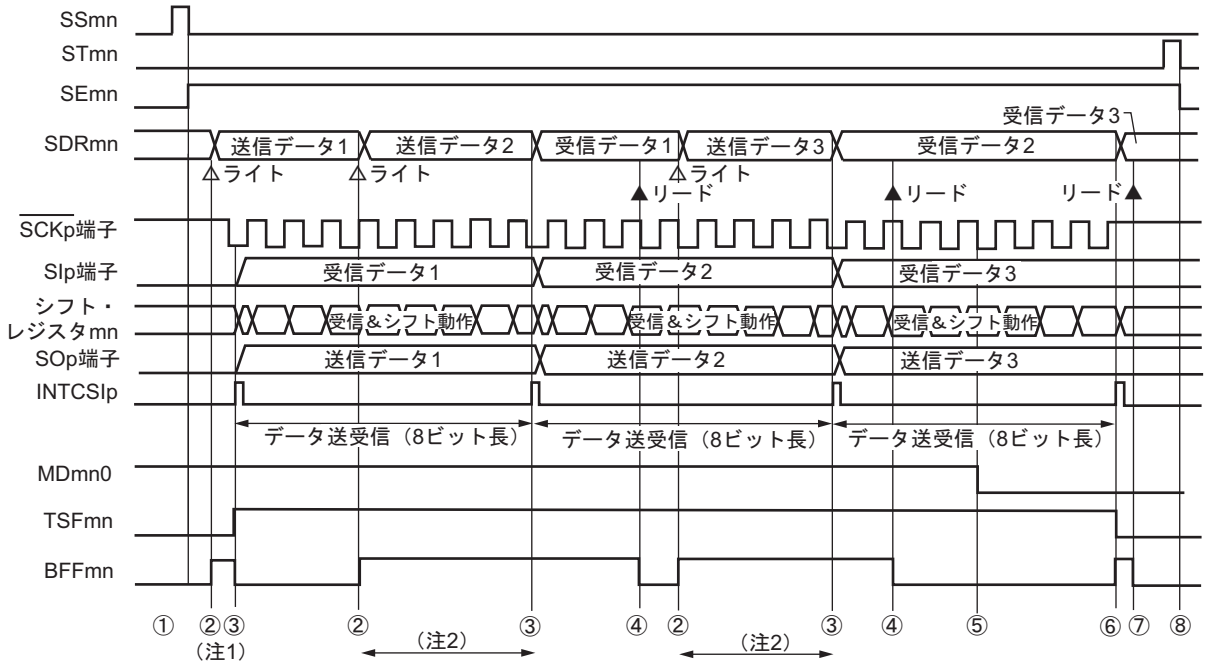


注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

（4）処理フロー（連続送受信モード時）

図15－100　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

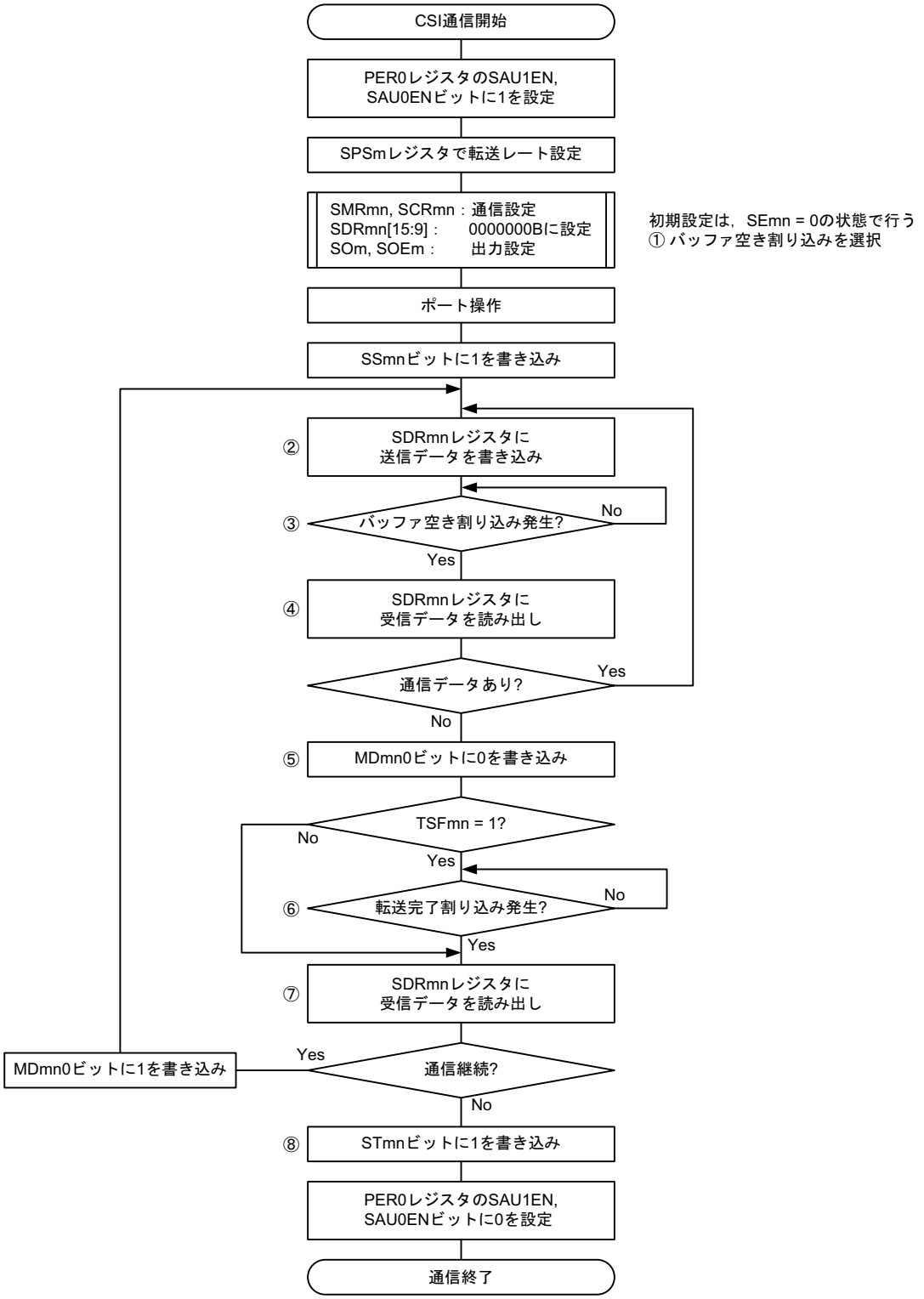
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－101、図15－102　スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11, 20, 21），mn = 00, 01, 10, 11, 20, 21

図15－101　スレーブ送受信（連続送受信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）

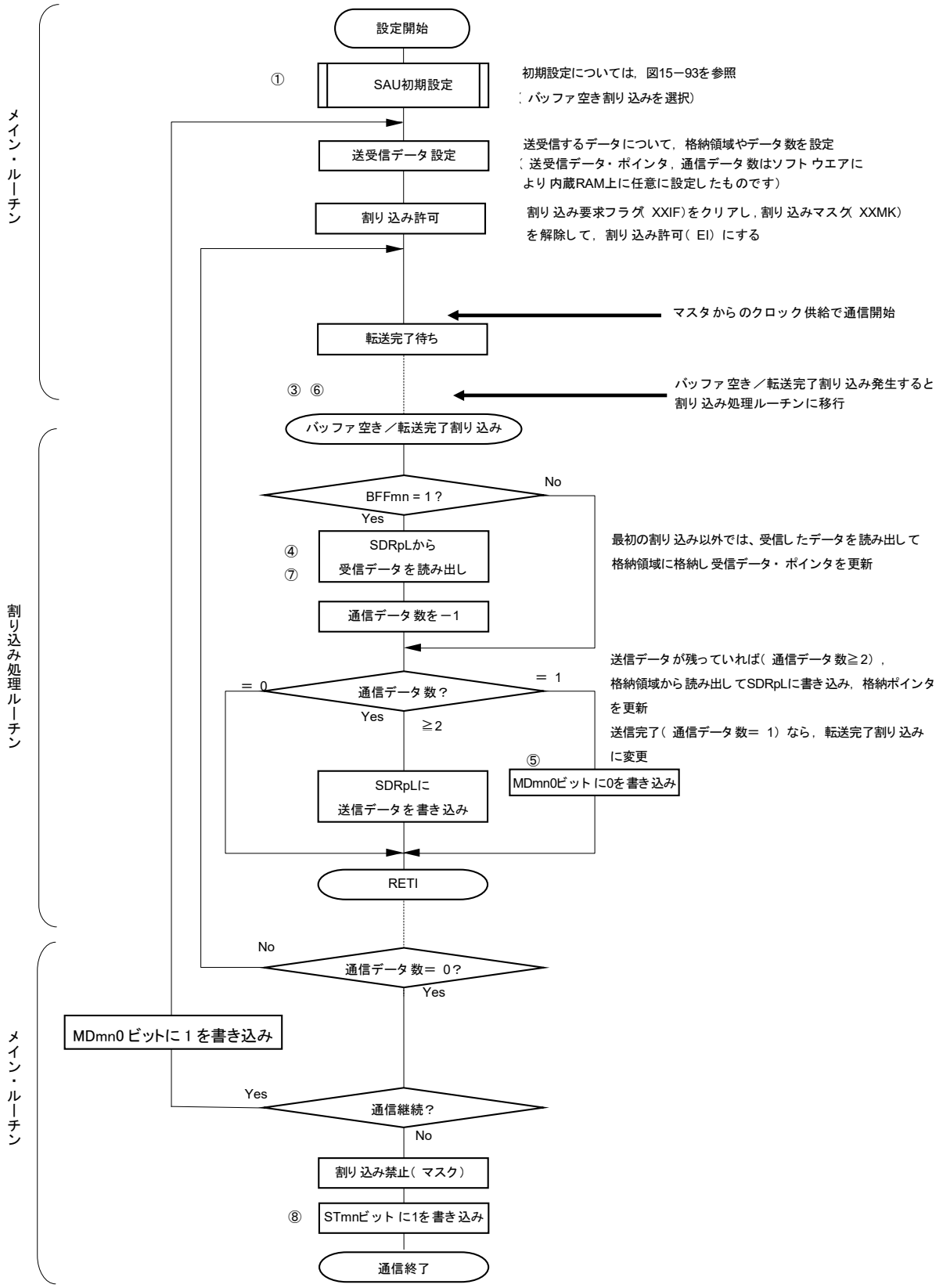


注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

備考1.　図中の①~⑧は，図15－100　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図15－102　スレーブ送受信（連続送受信モード時）のフロー・チャート（CSI20, CSI21）



注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

備考1.　図中の①~⑧は，図15－100　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 20, 21）　mn = 20, 21

15.5.7　SNOOZEモード機能

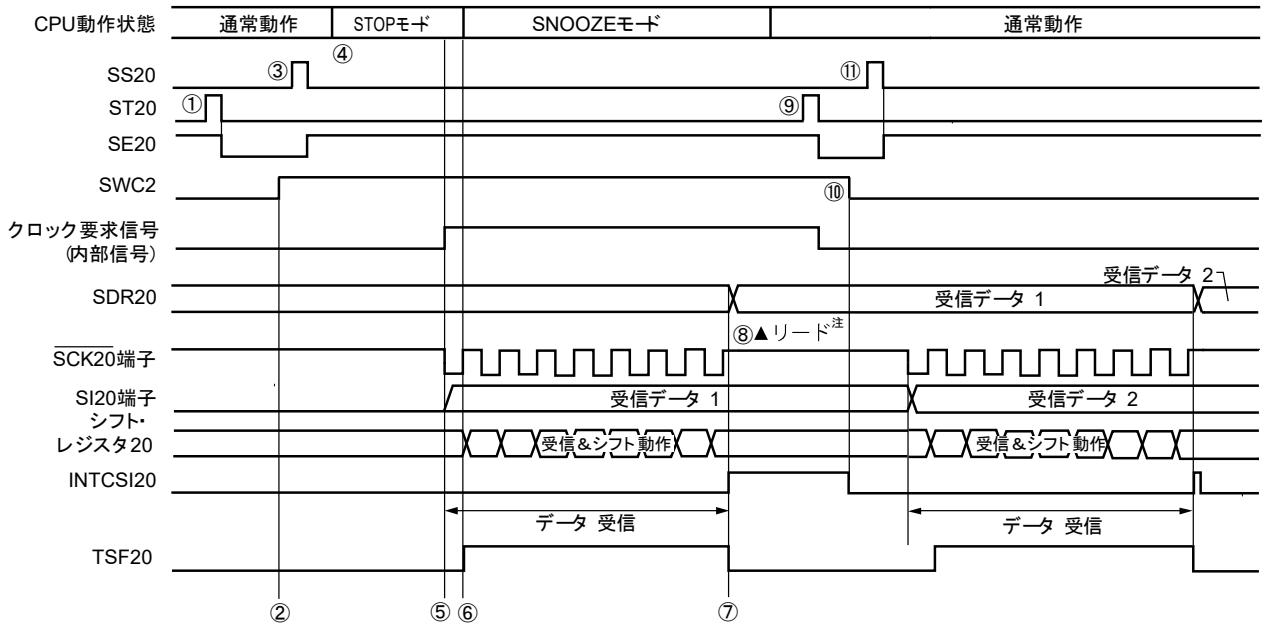
SNOOZEモードとは，STOPモード状態で$\overline{SCKp}$端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは，CSI20のみ設定可能です。

SNOOZEモード機能を使用する場合は，STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットを1に設定しておきます。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。
2.　SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

（1）SNOOZEモード動作（1回起動）

図15－103　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

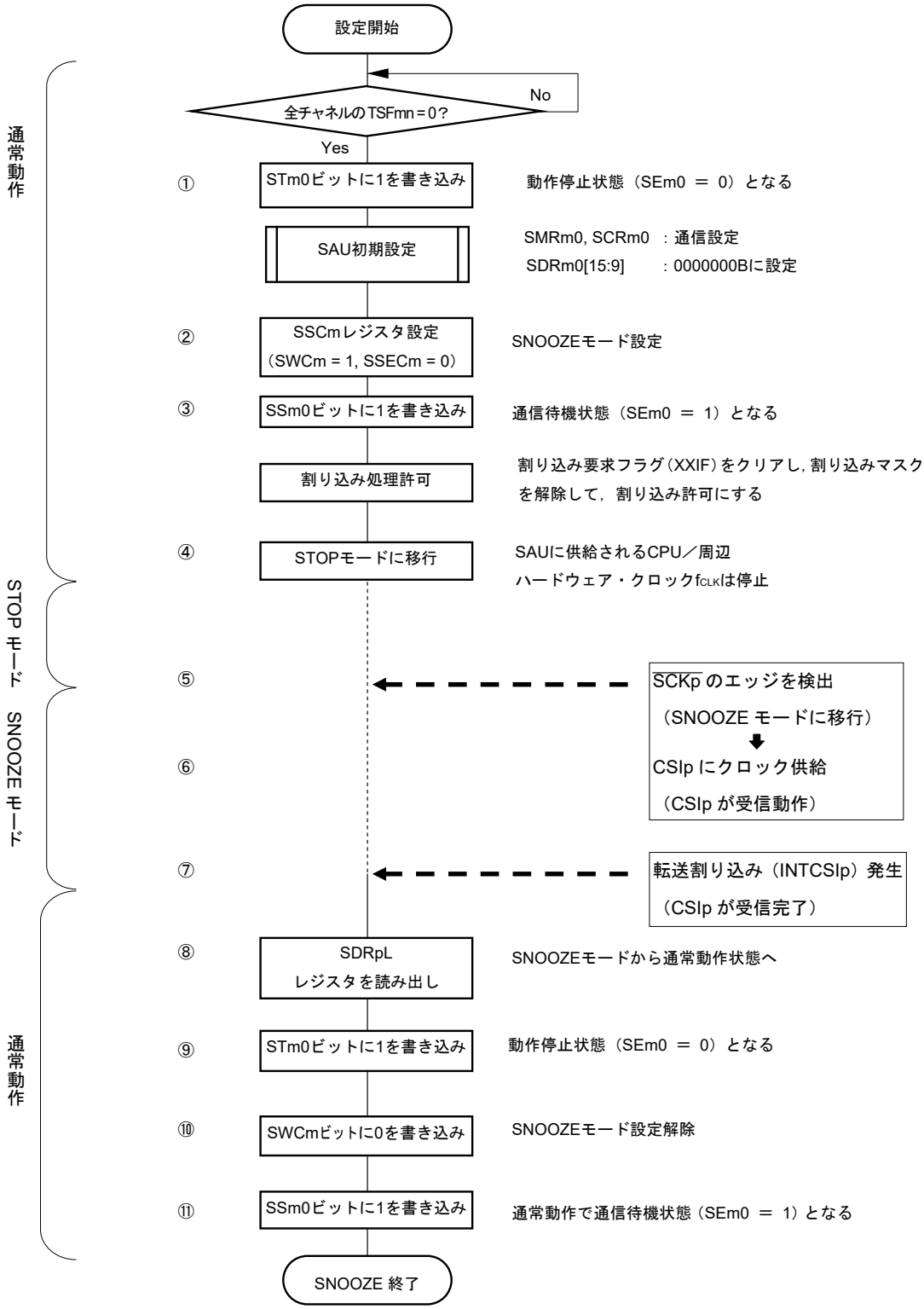


注　受信データの読み出しは，SWCm = 1の状態，次の$\overline{SCKp}$端子のエッジ検出前に行ってください。

注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。
2.　SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。

備考1.　図中の①~⑪は，図15－104　SNOOZEモード動作（1回起動）時のフロー・チャートの①~⑪に対応しています。
2.　m = 2，p = 20

図15－104　SNOOZEモード動作（1回起動）時のフロー・チャート

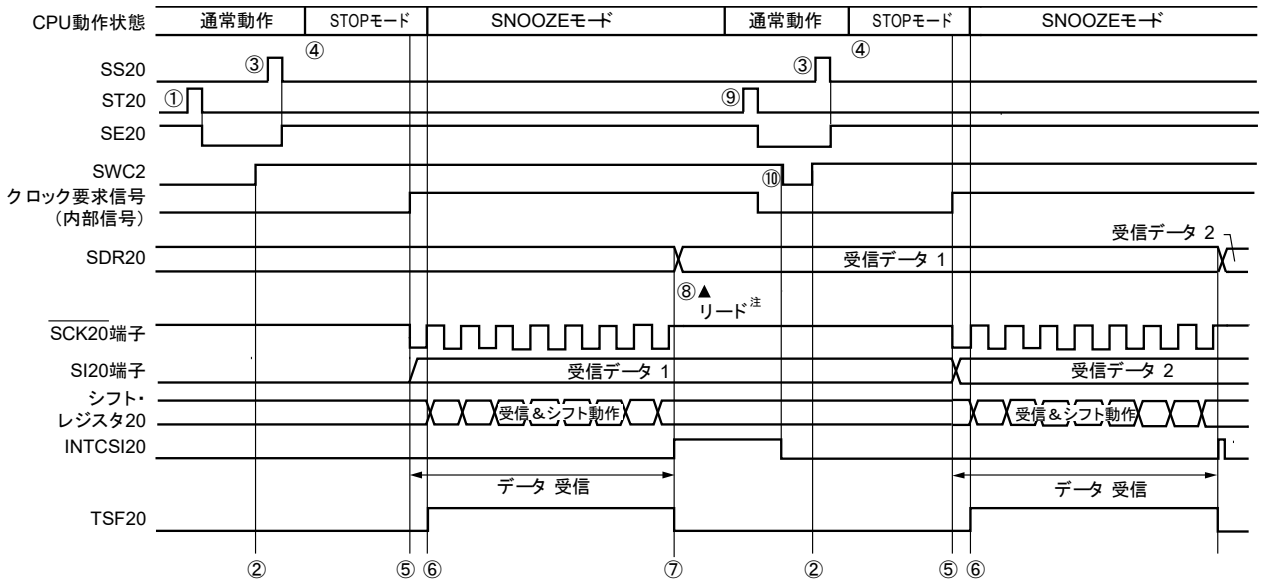


備考1.　図中の①~⑪は，図15－103　SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2.　m = 2，p = 20

（2）SNOOZEモード動作（連続起動）

図15－105　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注　受信データの読み出しは，SWCm = 1の状態，次の$\overline{\text{SCK}}$p端子のエッジ検出前に行ってください。

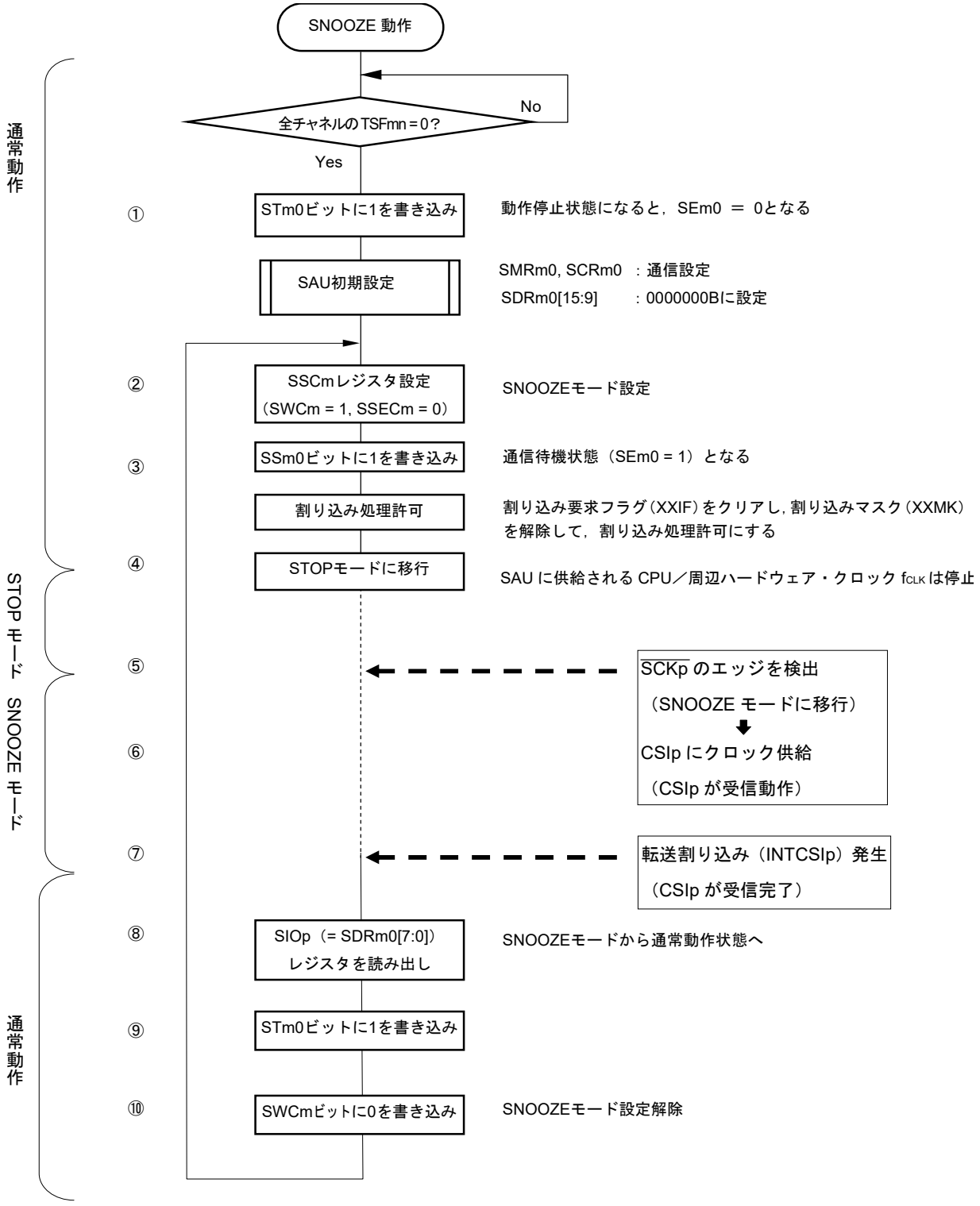
注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

2.　SWCm = 1のときは，BFFm1，OVFm1フラグは動作しません。

備考1.　図中の①~⑩は，図15－106　SNOOZEモード動作（連続起動）時のフロー・チャート①~⑩に対応しています。

2.　m = 2，p = 20

図15－106　SNOOZEモード動作（連続起動）時のフロー・チャート



備考1.　図中の①~⑩は，図15－105　SNOOZEモード動作（連続起動）時のタイミング・チャート①~⑩に対応しています。

2.　m = 2，p = 20

15.5.8　転送クロック周波数の算出

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信での転送クロック周波数は下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）　=　{マスタが供給するシリアル・クロック（f_{SCK}）周波数}[注][Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9]は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

表15－2　3線シリアルI/O動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注1	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$ 注2	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$ 注2	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$ 注2	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$ 注2	977 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$ 注2	7.81 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$ 注2	3.91 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$ 注2	1.95 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$ 注2	977 Hz
上記以外									設定禁止	

注1.　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 0003H）させてから変更してください。

2.　ユニット2のみ。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11 , 20, 21

15.5.9　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信時におけるエラー発生時の処理手順

3線シリアルI/O（CSI00, CSI01, CSI10, CSI11, CSI20, CSI21）通信時にエラーが発生した場合の処理手順を図15－107に示します。

図15－107　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11 , 20, 21

15.6　SPI機能付クロック同期シリアル通信の動作

SAU0のチャネル0, 1およびSAU1のチャネル0, 1がSPI機能付きクロック同期シリアル通信に対応しています。

［データ送受信］

- 7～16ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択
- 送受信データのレベル設定

［クロック制御］

- マスタ/スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

［拡張機能］

- スレーブ選択機能

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）注3	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）注3		IIC01
1	0	CSI10（SPI機能対応）注1, 3	UART1	IIC10
	1	CSI11（SPI機能対応）注3		IIC11
2注2	0	CSI20	UART2	–
	1	CSI21		–

注1. 48ピンの製品には、$\overline{\text{SSI10}}$端子はありません。

2. 144, 100ピン製品のみ。

3. $\overline{\text{SSImn}}$(スレーブ選択入力)を使用される場合、SCRmnレジスタのCKPmnビットを1(クロック位相を反転)にしてください（m = 0, 1、n = 0, 1）。

SPI機能の通信動作は，以下の6種類があります。

- マスタ送信（「15.6.1　マスタ送信」を参照）
- マスタ受信（「15.6.2　マスタ受信」を参照）
- マスタ送受信（「15.6.3　マスタ送受信」を参照）
- スレーブ送信（「15.6.4　スレーブ送信」を参照）
- スレーブ受信（「15.6.5　スレーブ受信」を参照）
- スレーブ送受信（「15.6.6　スレーブ送受信」を参照）

SPI機能を使うことで，マスタ1つに対し複数のスレーブを接続し，通信を行うことができます。マスタは通信相手となるスレーブ（1つ）に対しスレーブ選択信号を出力し，各スレーブは通信相手として自分が選択されたかを判断し，SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子は出力状態となり，マスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には，SO端子はハイ・インピーダンスとなり，ほかのスレーブのSO出力とのショートを防ぎます。また，スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意　スレーブ選択信号の出力はポート操作により行ってください。

図15－108　SPI機能の構成例

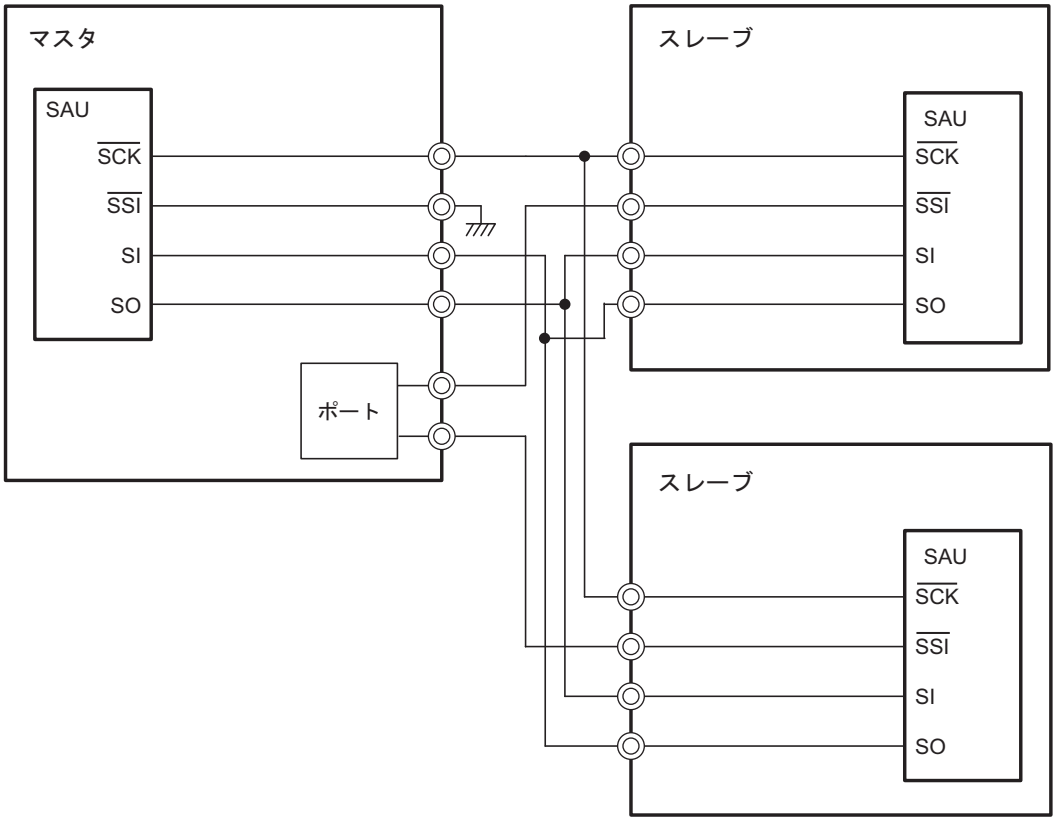
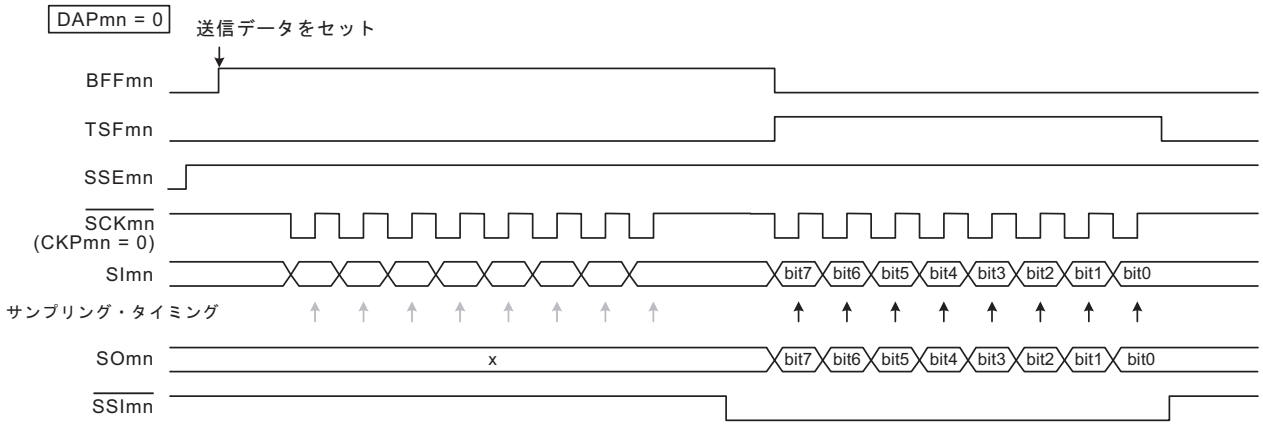
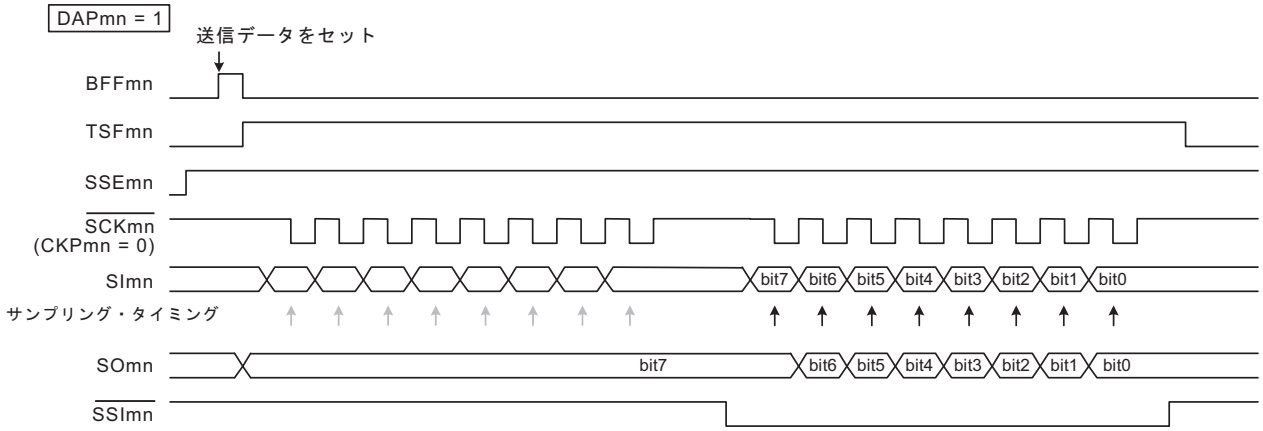


図15－109　SPI機能のタイミング図



SSImnがハイ期間ではSCKmn（シリアル・クロック）の立ち下がりエッジが来ても送信を行いません。
また，立ち上がりエッジに同期して受信データのサンプリングも行いません。
SSImnがロウとなった際,シリアル・クロックの立ち下がりエッジに同期してデータを出力（シフト）し,立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合，SSImnがハイ期間に送信データがセットされると，データ出力に最初のデータ（bit7）を出力します。しかし，SCKmn（シリアル・クロック）の立ち上がりエッジが来てもシフト動作を行わず，立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると，次の立ち上がりエッジに同期してデータを出力（シフト）し，立ち下がりエッジに同期して受信動作を行います。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）

15.6.1　マスタ送信

マスタ送信とは，本MCU転送クロックを出力し，本MCUから他デバイスへデータを送信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	$\overline{SCK00}$, SO00	$\overline{SCK01}$, SO01	$\overline{SCK10}$, SO10	$\overline{SCK11}$, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/4 [Hz] Min. f_{CLK}/（2×2^{11}×128）[Hz]注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

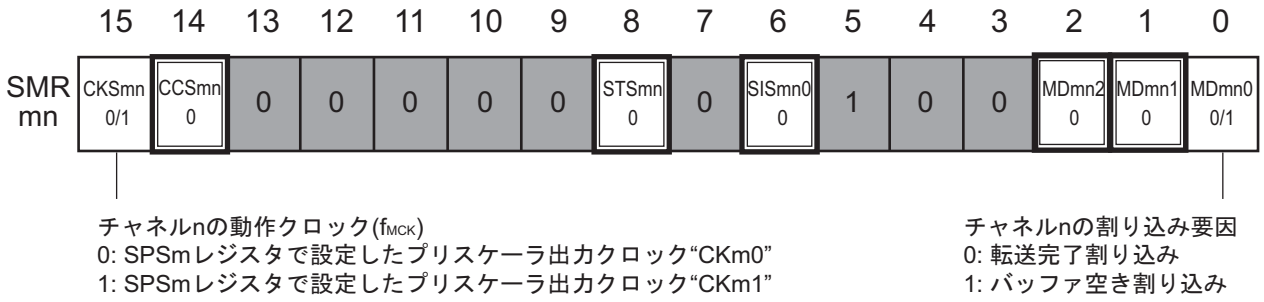
注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

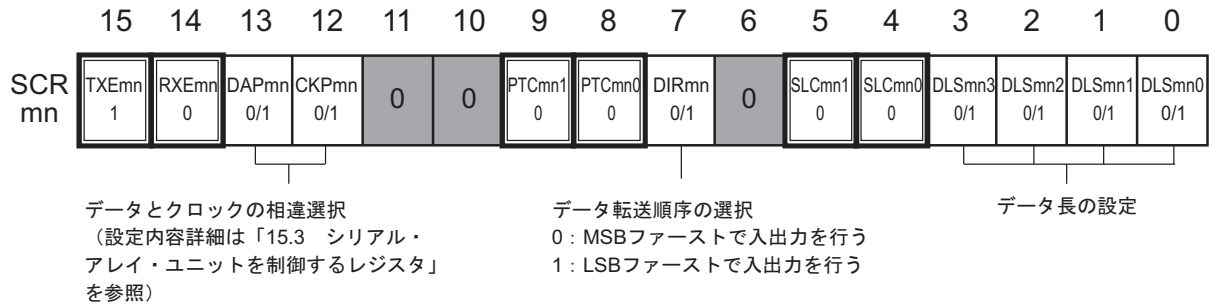
（1）レジスタ設定

図15－110　SPI機能（CSI00, CSI01, CSI10, CSI11）のマスタ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

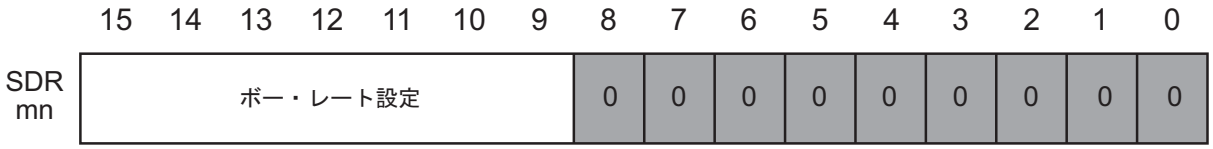


（b）シリアル通信動作設定レジスタmn（SCRmn）

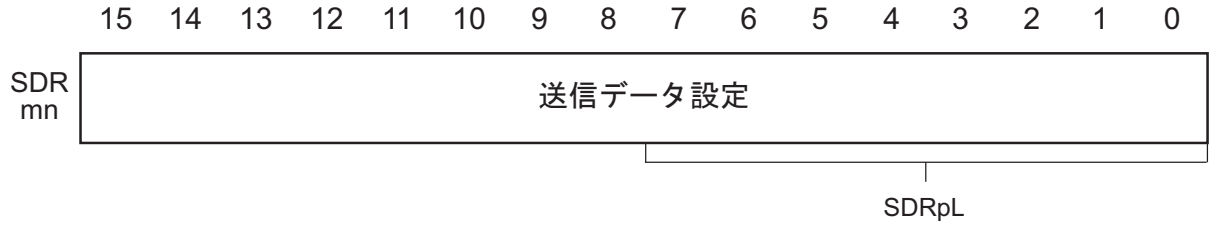


（c）シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



(備考は次ページになります。)

図15－110　SPI機能（CSI00, CSI01, CSI10, CSI11）のマスタ送信時のレジスタ設定内容例（2/2）

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

2.　□：CSIマスタ送信モードでは設定固定　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－111　マスタ送信の初期設定手順

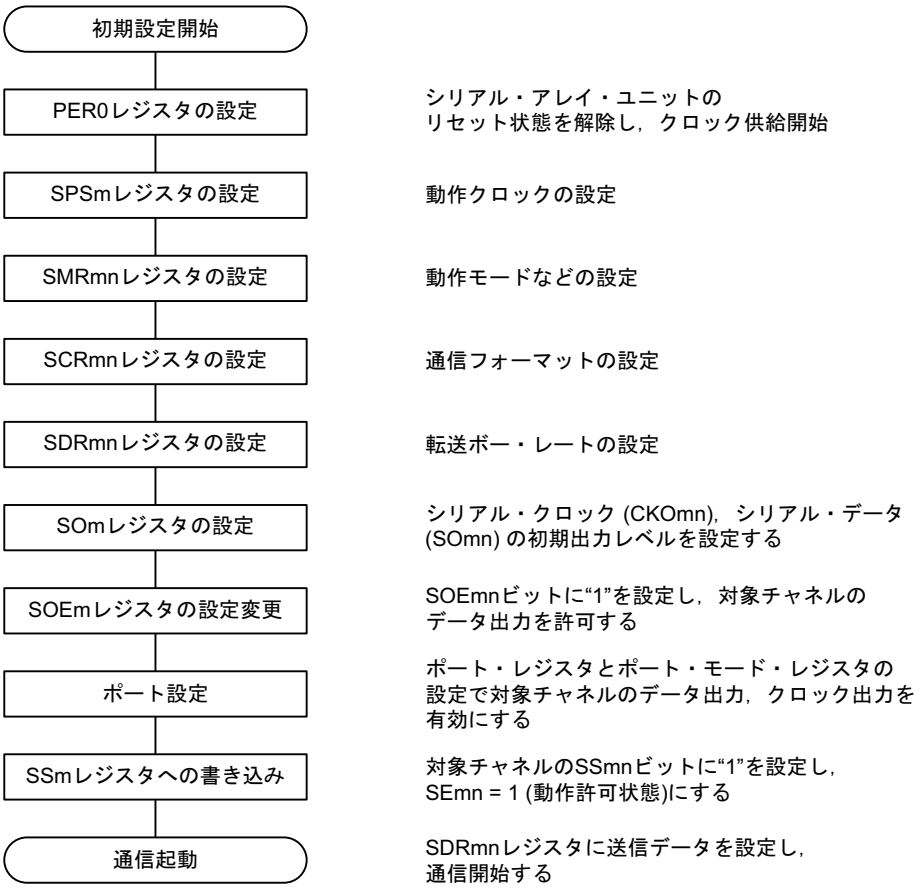
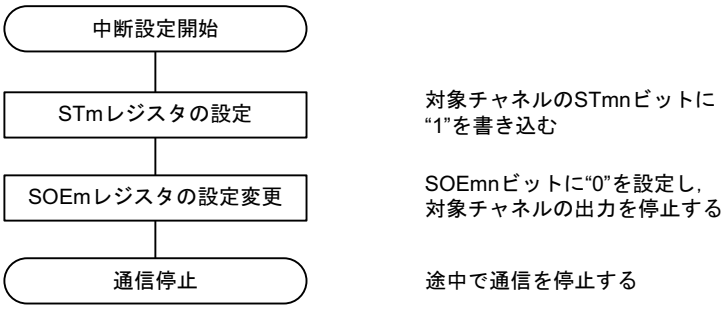


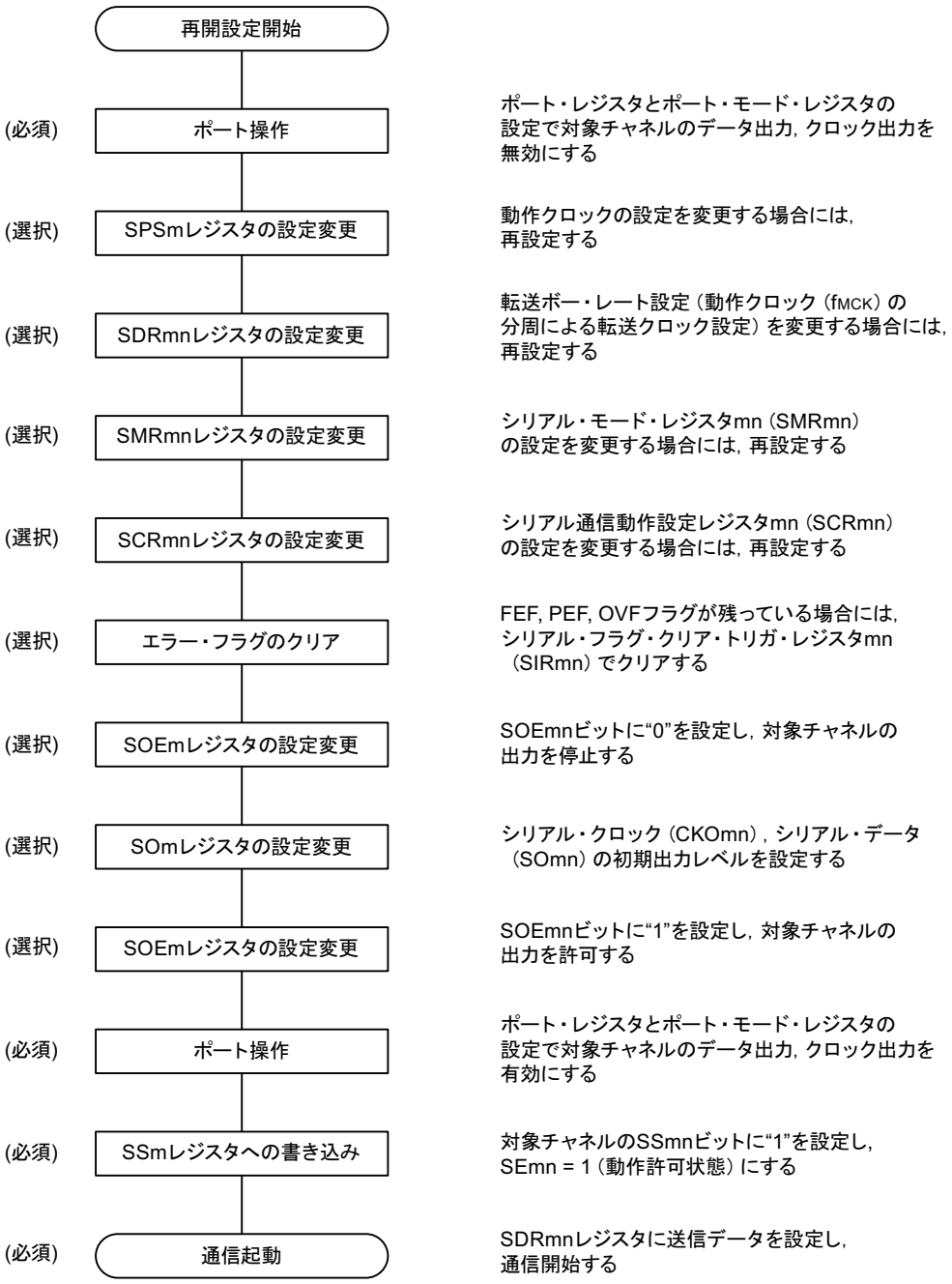
図15－112　マスタ送信の中断手順



備考1.　中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ（SOm）を再設定してください。（「図15－113　マスタ送信の再開設定手順」を参照)

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

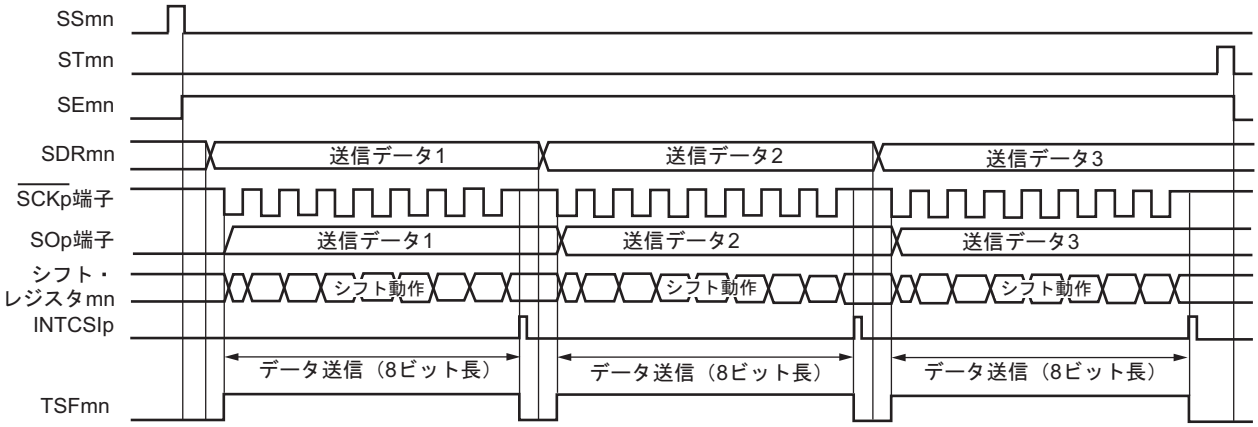
図15－113　マスタ送信の再開設定手順



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（3）処理フロー（シングル送信モード時）

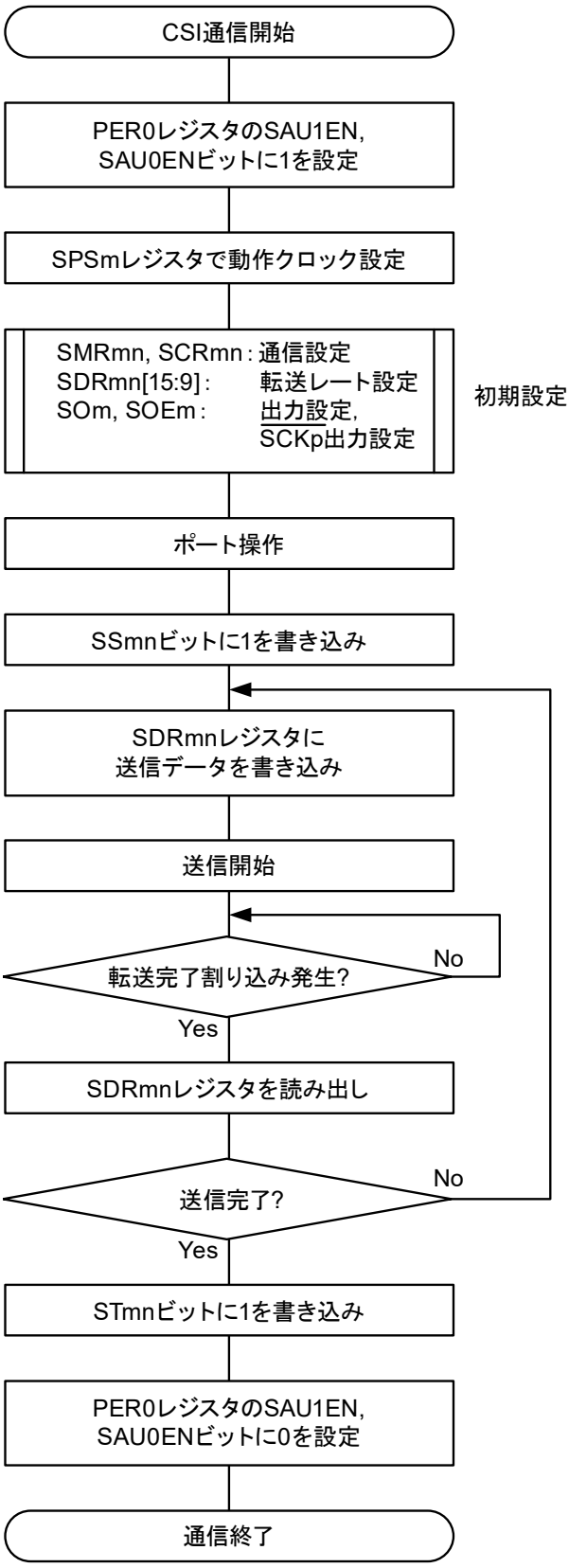
図15－114　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

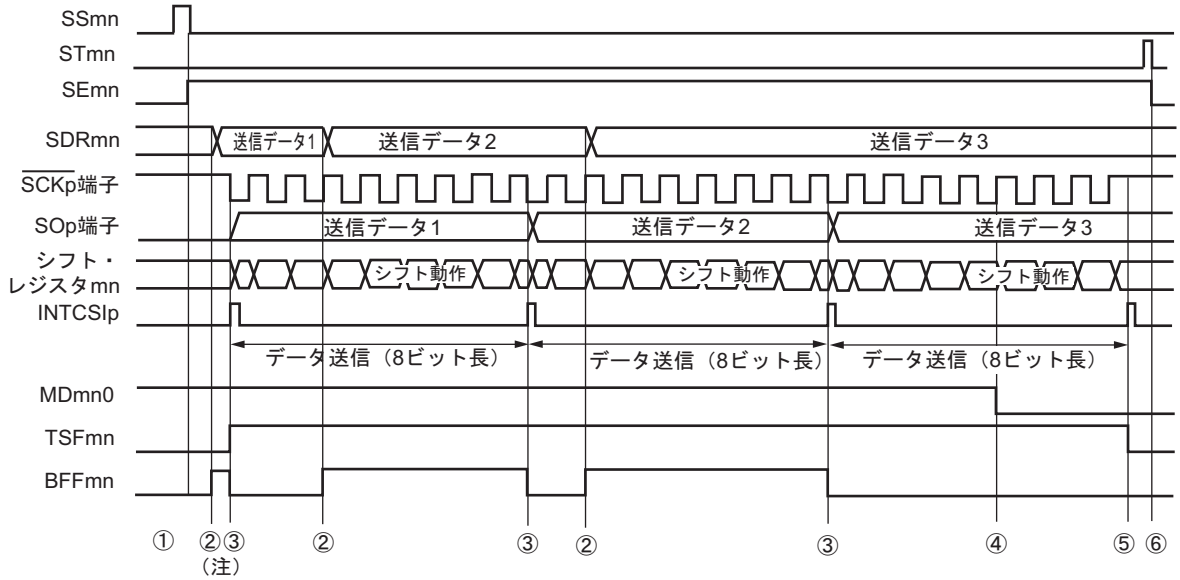
★ 図15－115　マスタ送信（シングル送信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（4）処理フロー（連続送信モード時）

図15－116　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

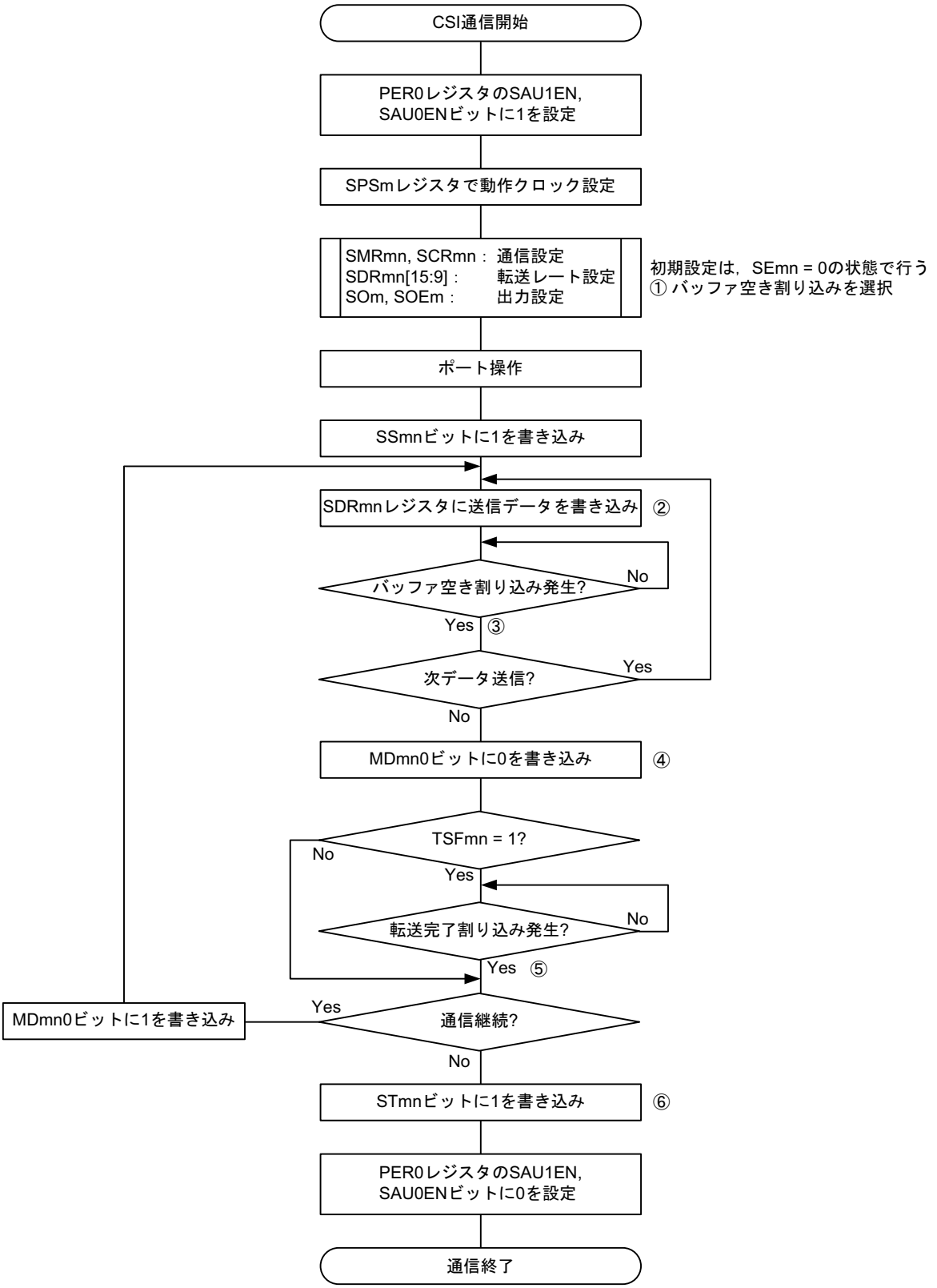


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－117　マスタ送信（連続送信モード時）のフロー・チャート



備考1.　図中の①~⑥は，図15－116　マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

15.6.2　マスタ受信

マスタ受信とは，本MCUが転送クロックを出力し，本MCUが他デバイスからデータを受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK01}}$, SI01	$\overline{\text{SCK10}}$, SI10	$\overline{\text{SCK11}}$, SI11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max.f_{MCK}/4 [Hz] Min. $f_{CLK}/(2\times2^{11}\times128)$ [Hz]注　　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

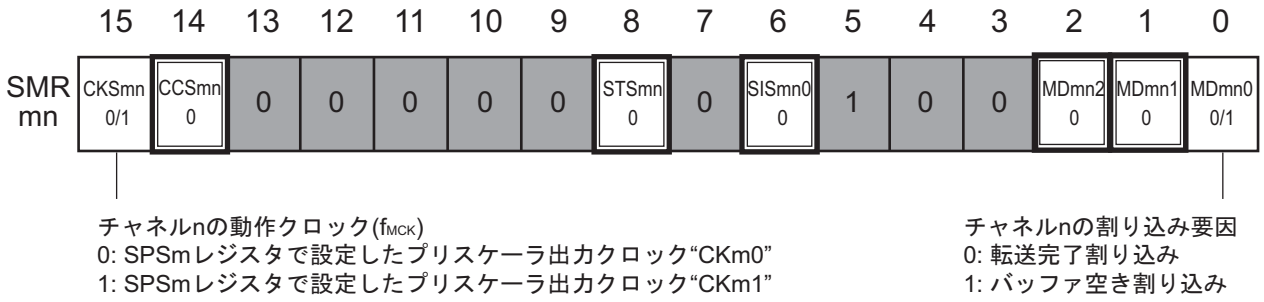
注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

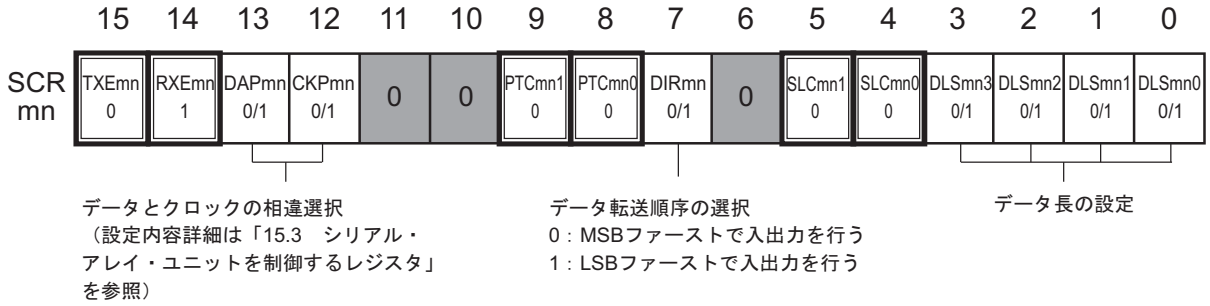
（1）レジスタ設定

図15－118　SPI機能（CSI00, CSI01, CSI10, CSI11）のマスタ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

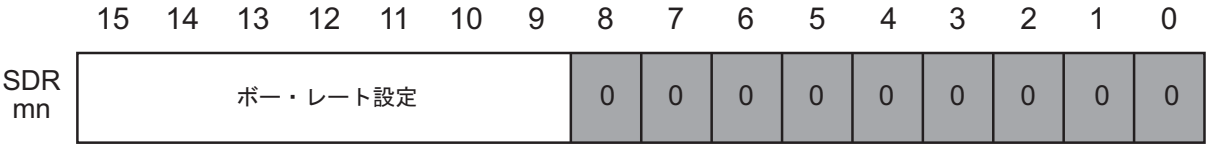


（b）シリアル通信動作設定レジスタmn（SCRmn）

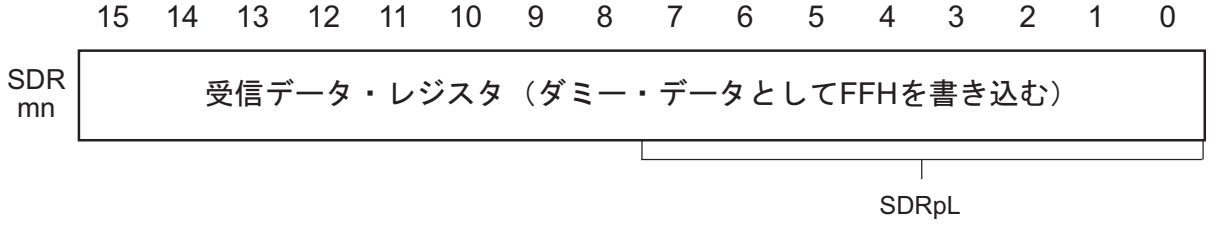


（c）シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



（備考は次ページにあります。）

図15－118　SPI機能（CSI00, CSI01, CSI10, CSI11）のマスタ受信時のレジスタ設定内容例（2/2）

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 ×	SOm0 ×

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

2.　□：CSIマスタ受信モードでは設定固定　　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－119　マスタ受信の初期設定手順

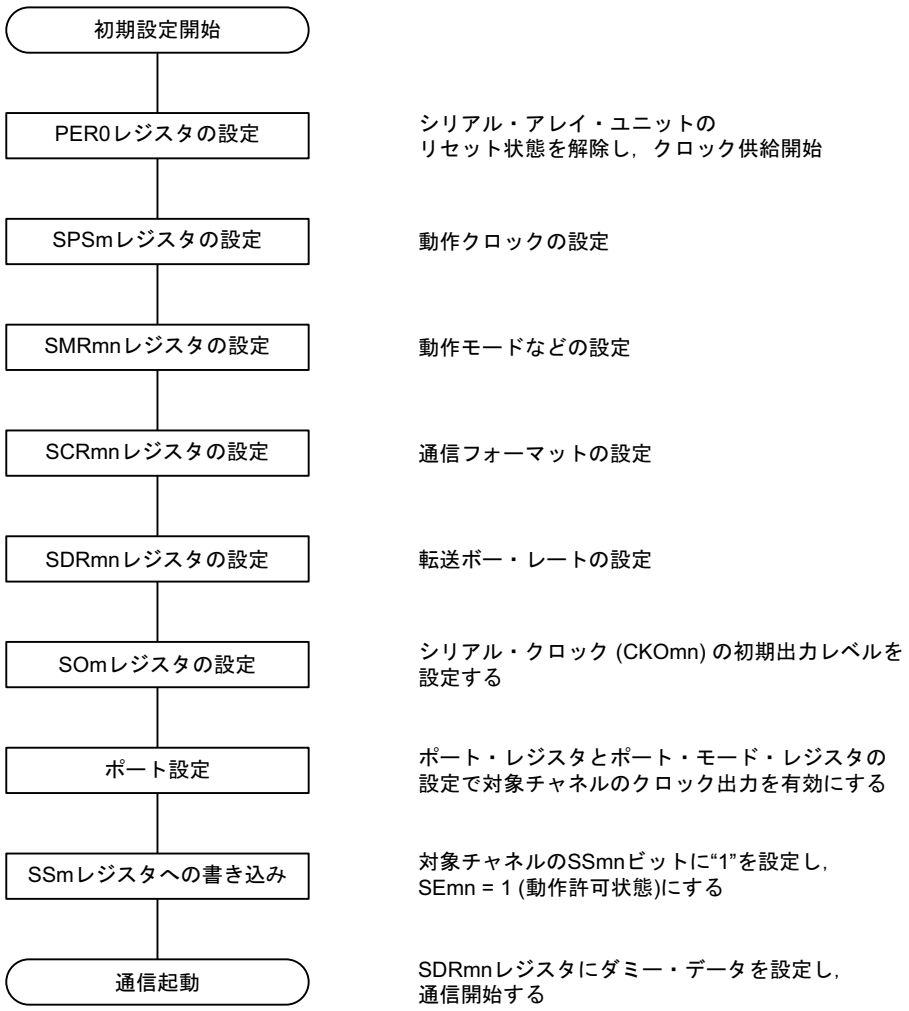
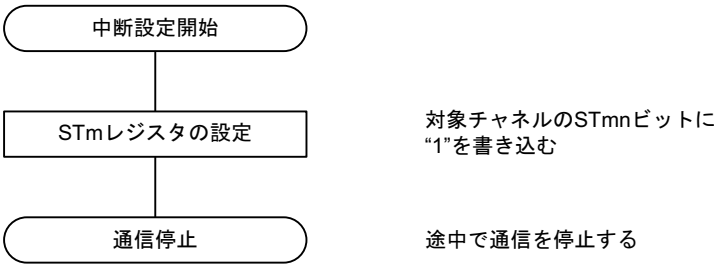


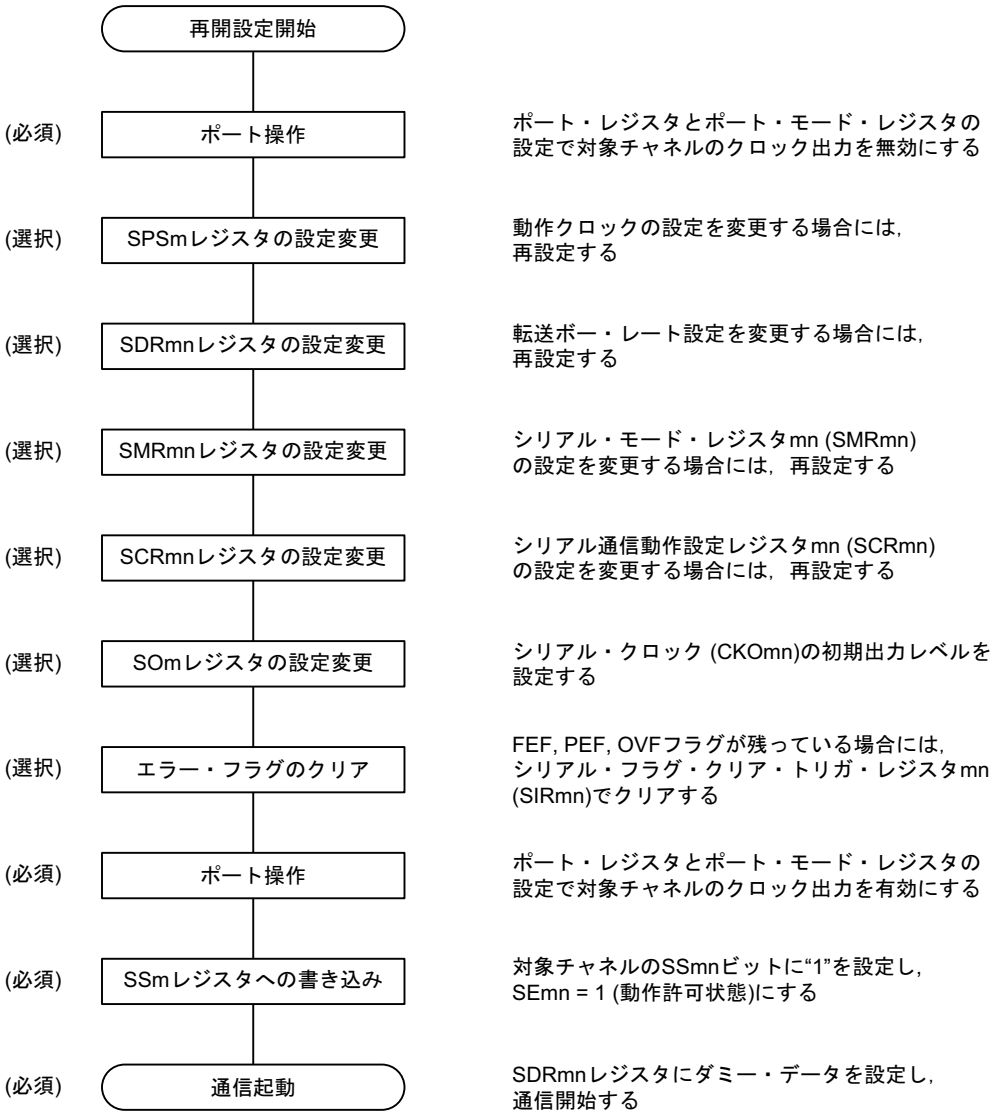
図15－120　マスタ受信の中断手順



備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－121　マスタ受信の再開設定手順」を参照）。

m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

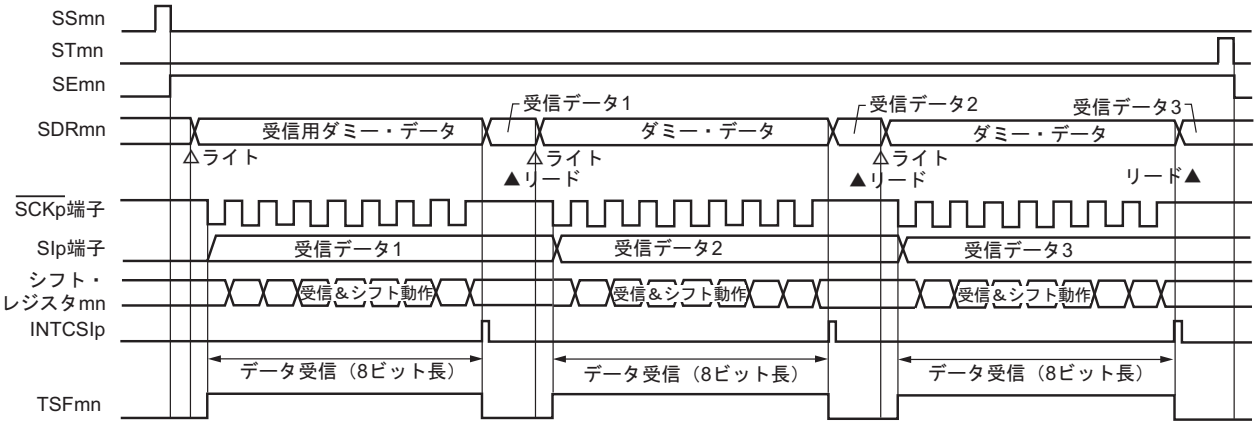
図15－121　マスタ受信の再開設定手順



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（3）処理フロー（シングル受信モード時）

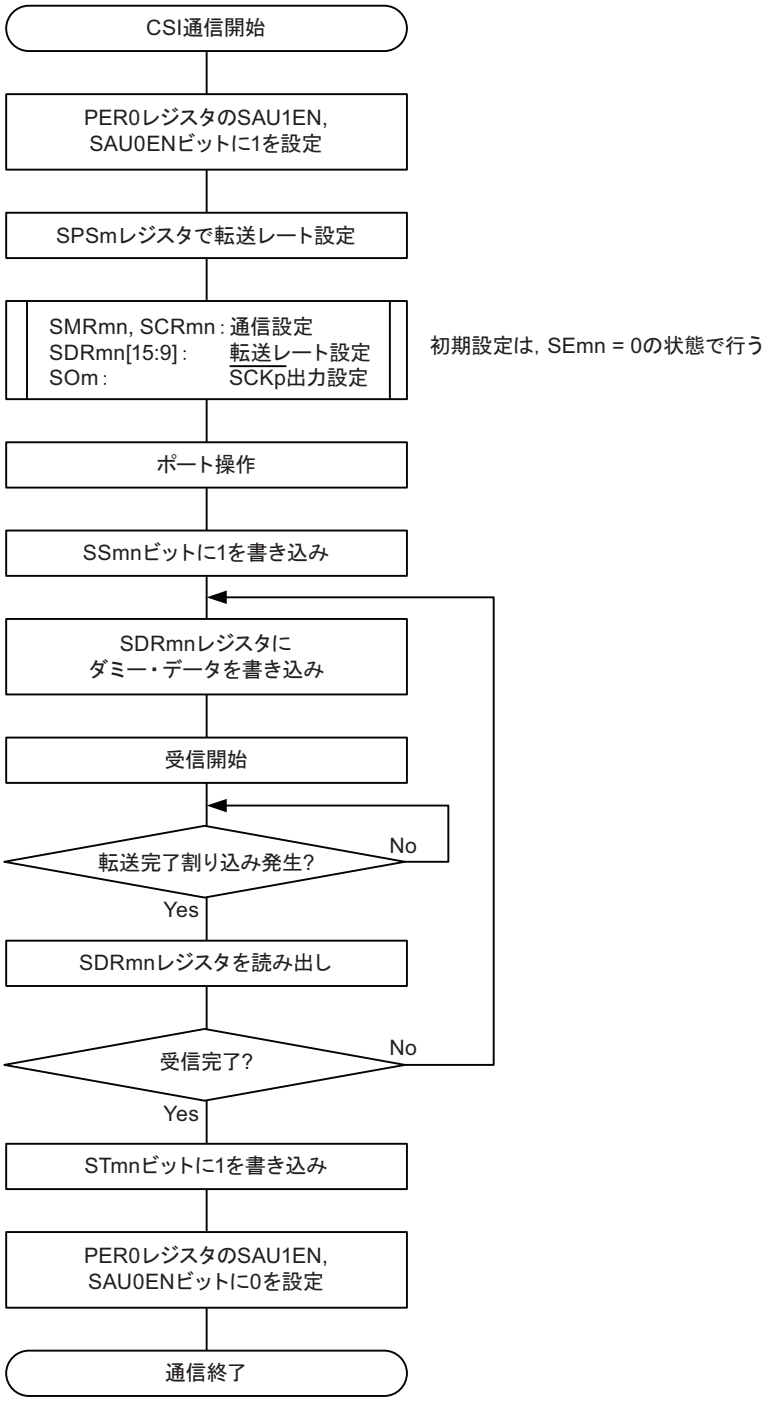
図15－122　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

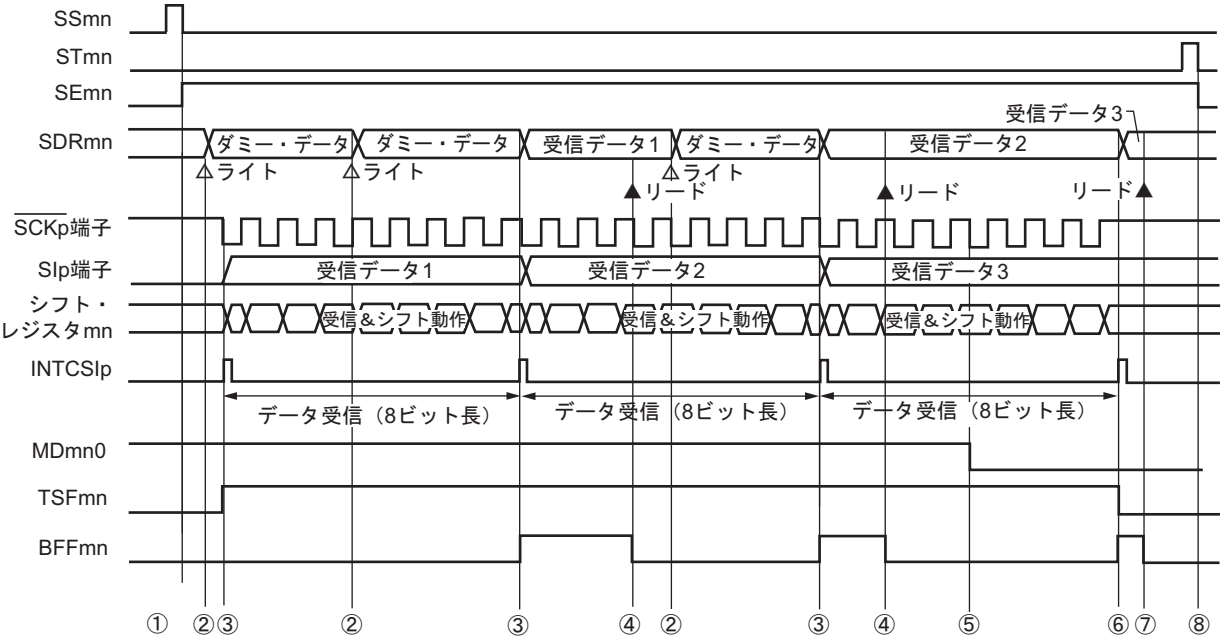
図15－123　マスタ受信（シングル受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

（4）処理フロー（連続受信モード時）

図15－124　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

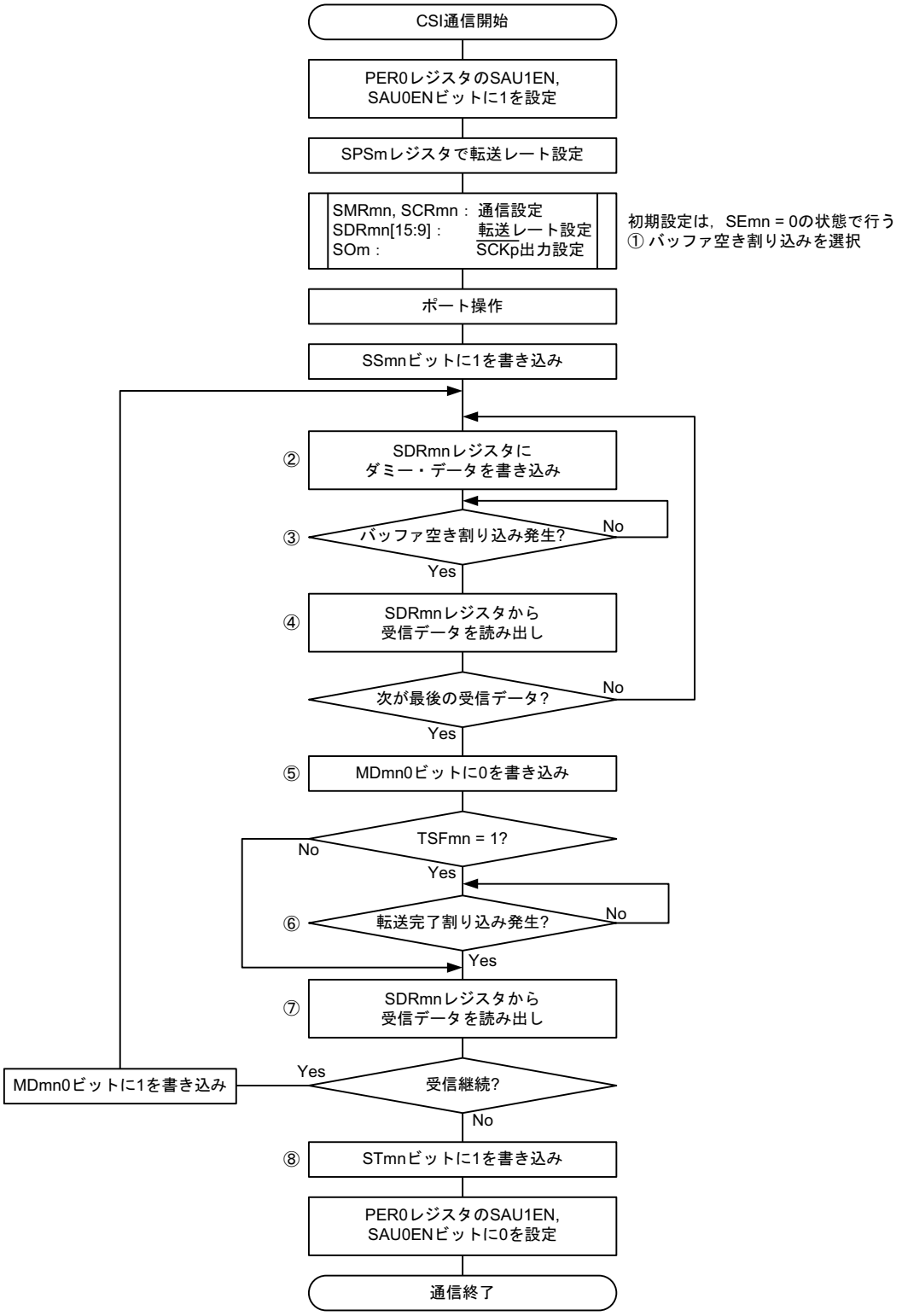


注意　MDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－125　マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－125　マスタ受信（連続受信モード時）のフロー・チャート



備考1.　図中の①~⑧は，図15－124　マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

15.6.3　マスタ送受信

マスタ送受信とは，本MCUが転送クロックを出力し，本MCUと他デバイスでデータを送受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	$\overline{SCK00}$, SI00, SO00	$\overline{SCK01}$, SI01, SO01	$\overline{SCK10}$, SI10, SO10	$\overline{SCK11}$, SI11, SO11
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/4 [Hz] Min. $f_{CLK}/(2\times2^{11}\times128)$ [Hz]注　f_{CLK}：システム・クロック周波数			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

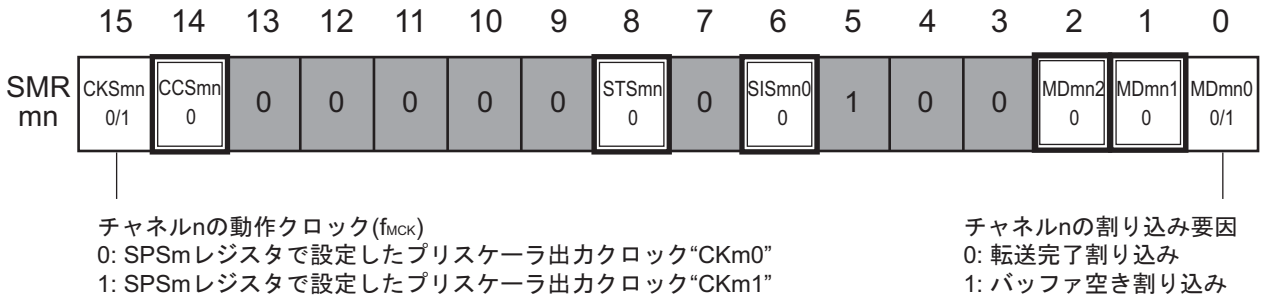
注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

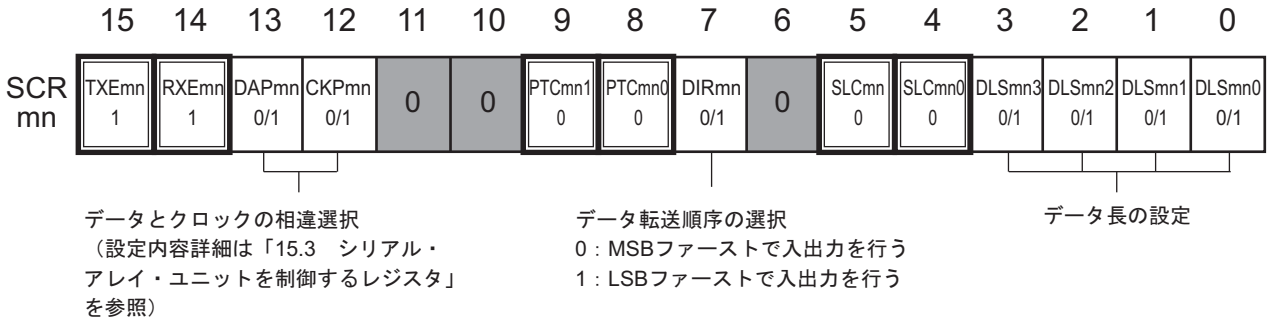
（1）レジスタ設定

図15－126　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11）のマスタ送受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

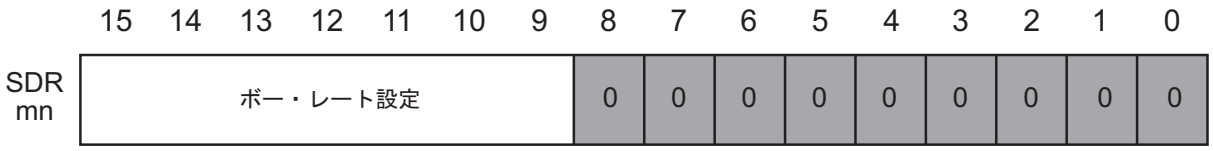


（b）シリアル通信動作設定レジスタmn（SCRmn）

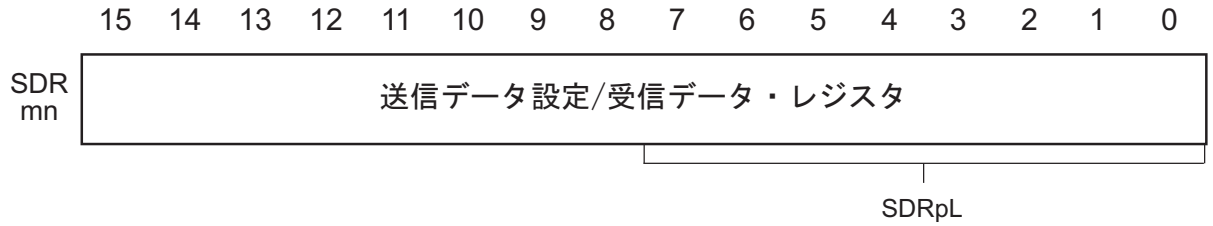


（c）シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



（備考は次のページにあります。）

図15－126　3線シリアルI/O（CSI00, CSI01, CSI10, CSI11）のマスタ送受信時のレジスタ設定内容例（2/2）

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

クロック位相が“正転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し、クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

（f）シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

2.　□：CSIマスタ送受信モードでは設定固定　　■：設定不可（初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－127　マスタ送受信の初期設定手順

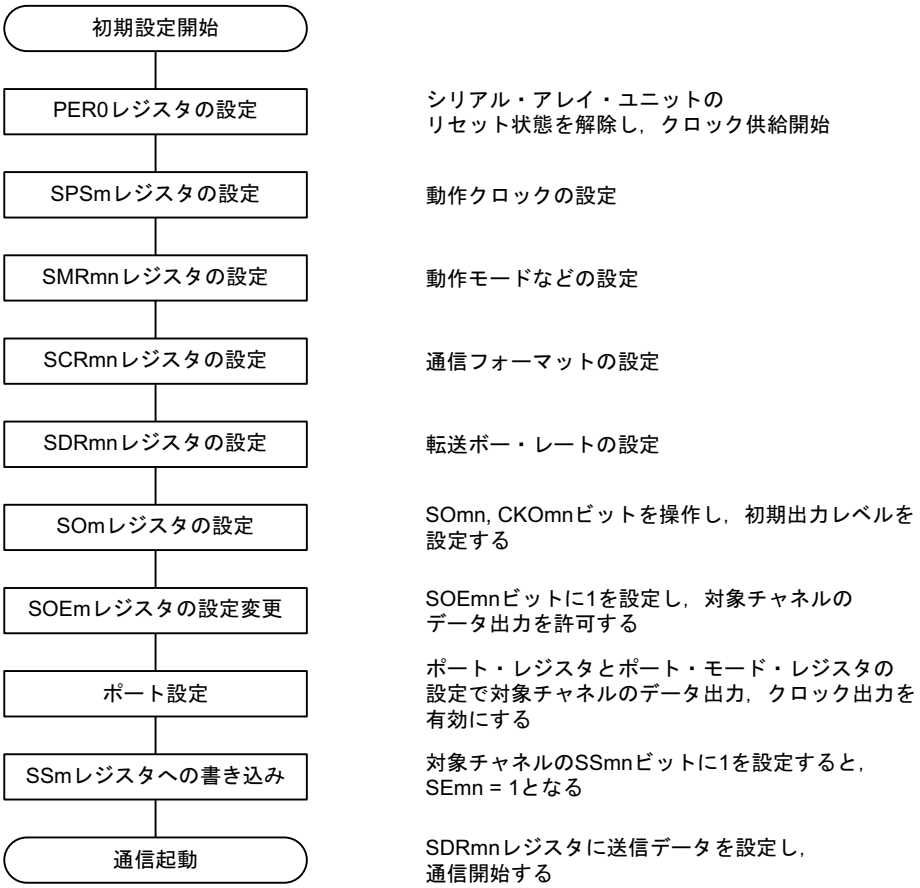
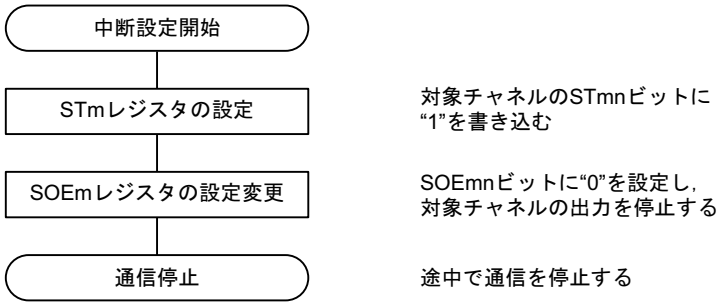


図15－128　マスタ送受信の中断手順

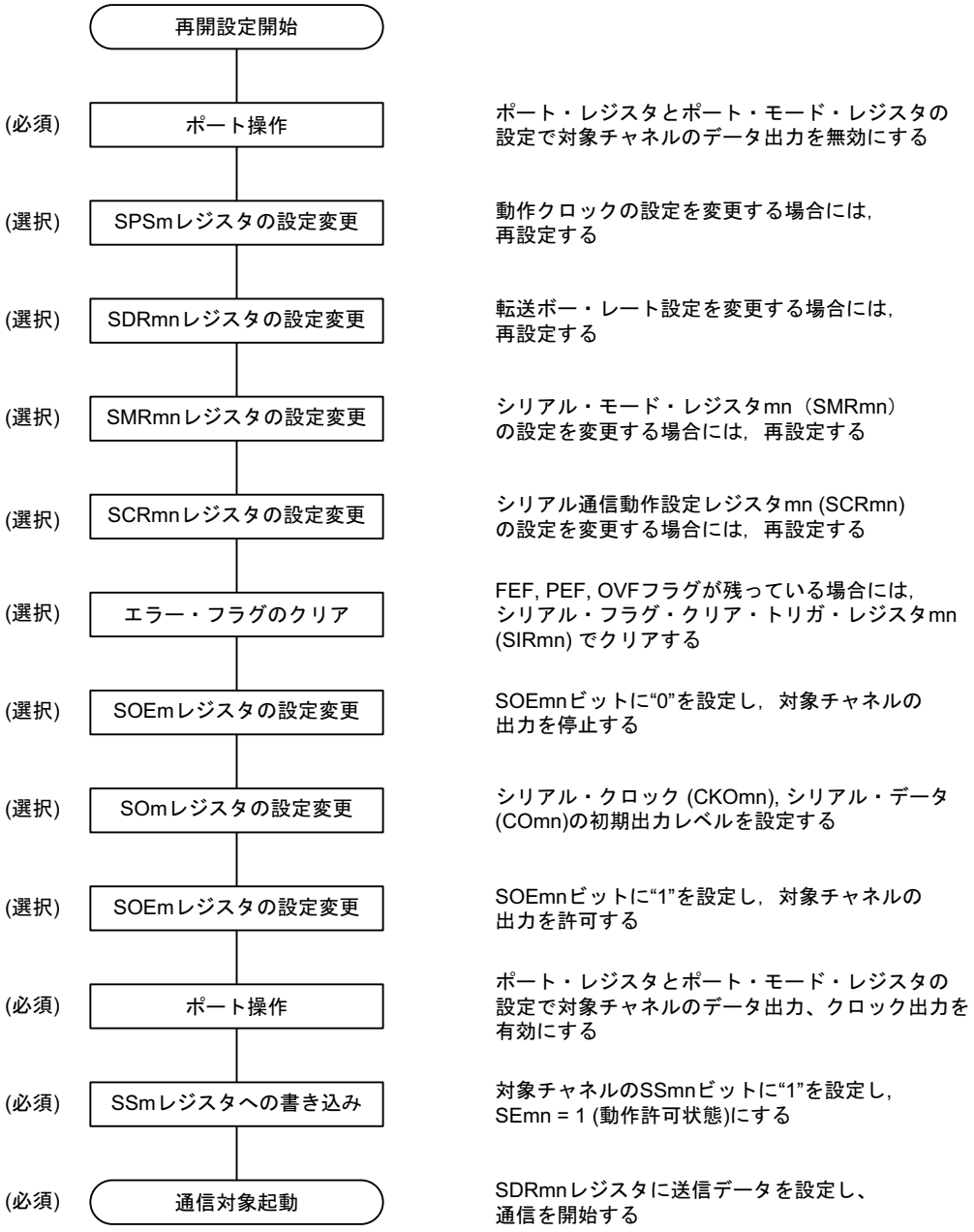


備考　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－129　マスタ送受信の再開設定手順」を参照）。

m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

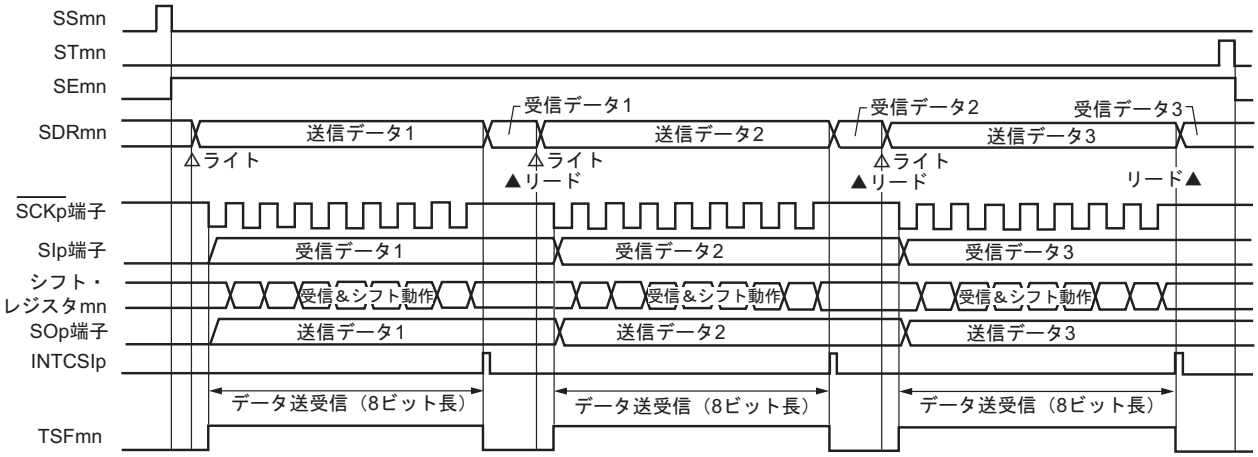
図15－129　マスタ送受信の再開設定手順



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（3）処理フロー（シングル送受信モード時）

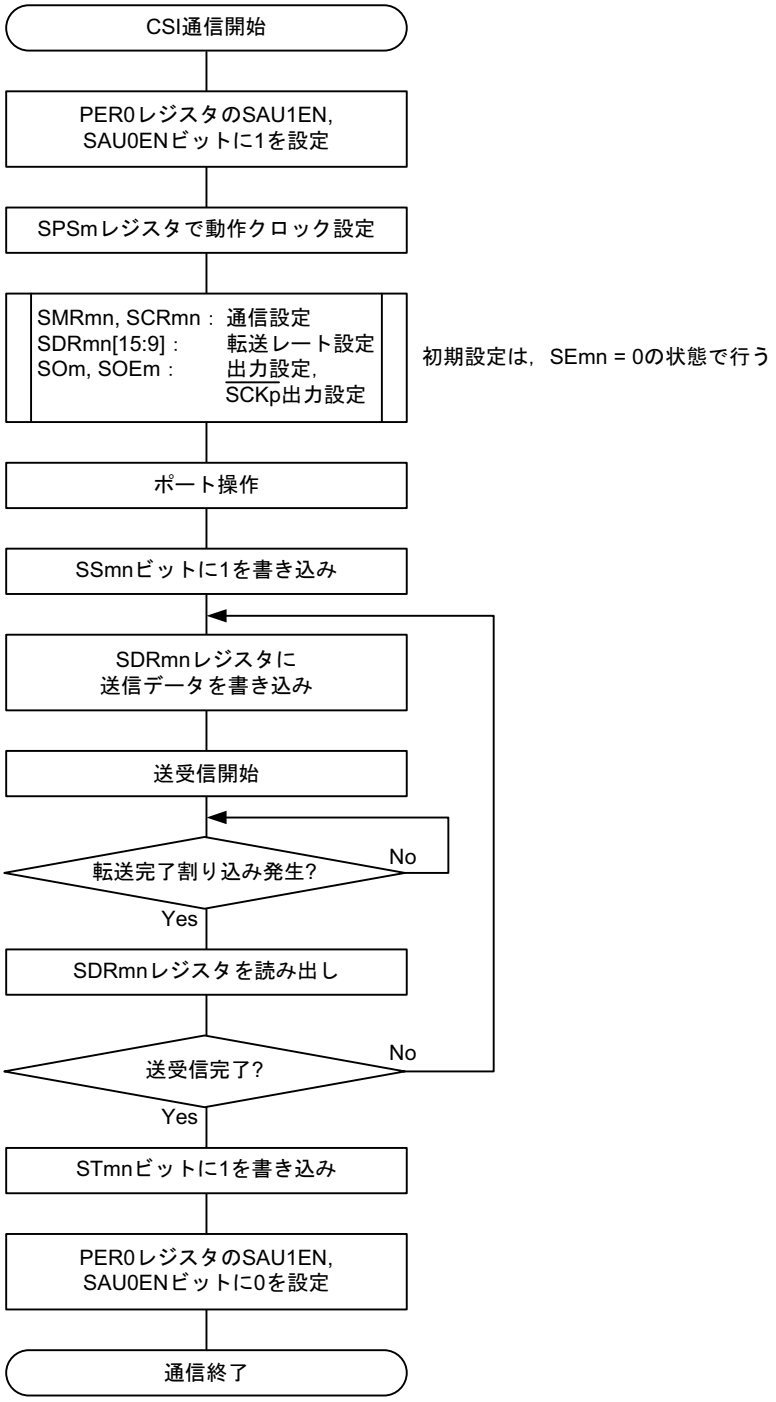
図15－130　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

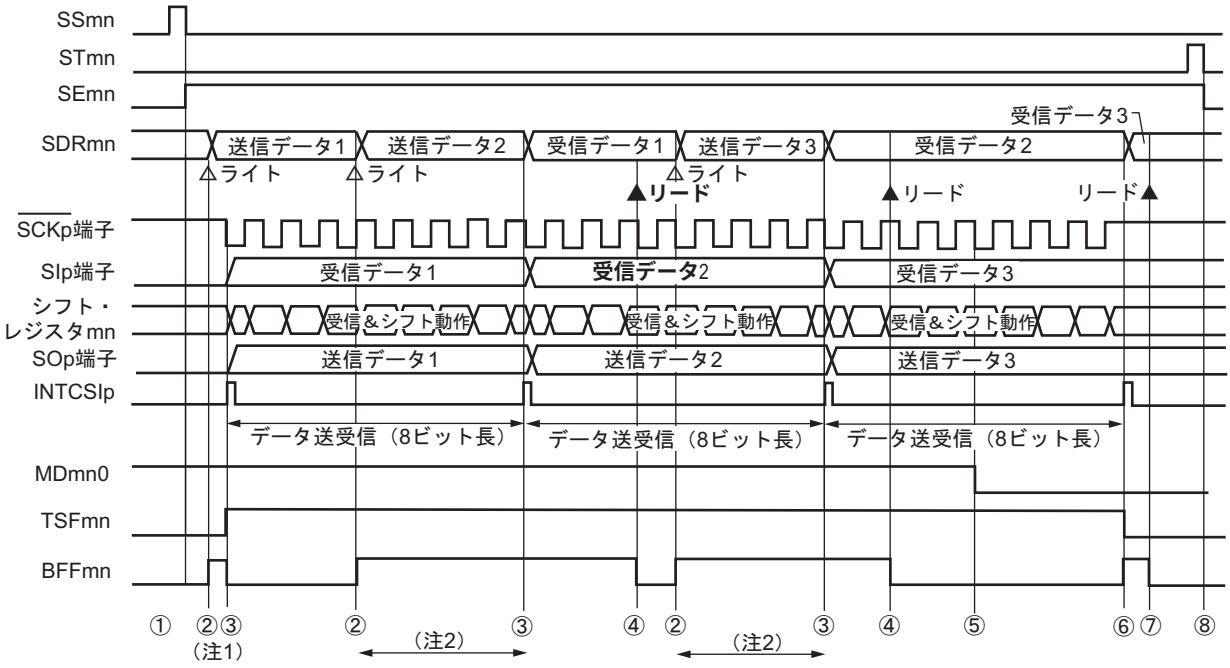
図15－131　マスタ送受信（シングル送受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（3）処理フロー（連続送受信モード時）

図15－132　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

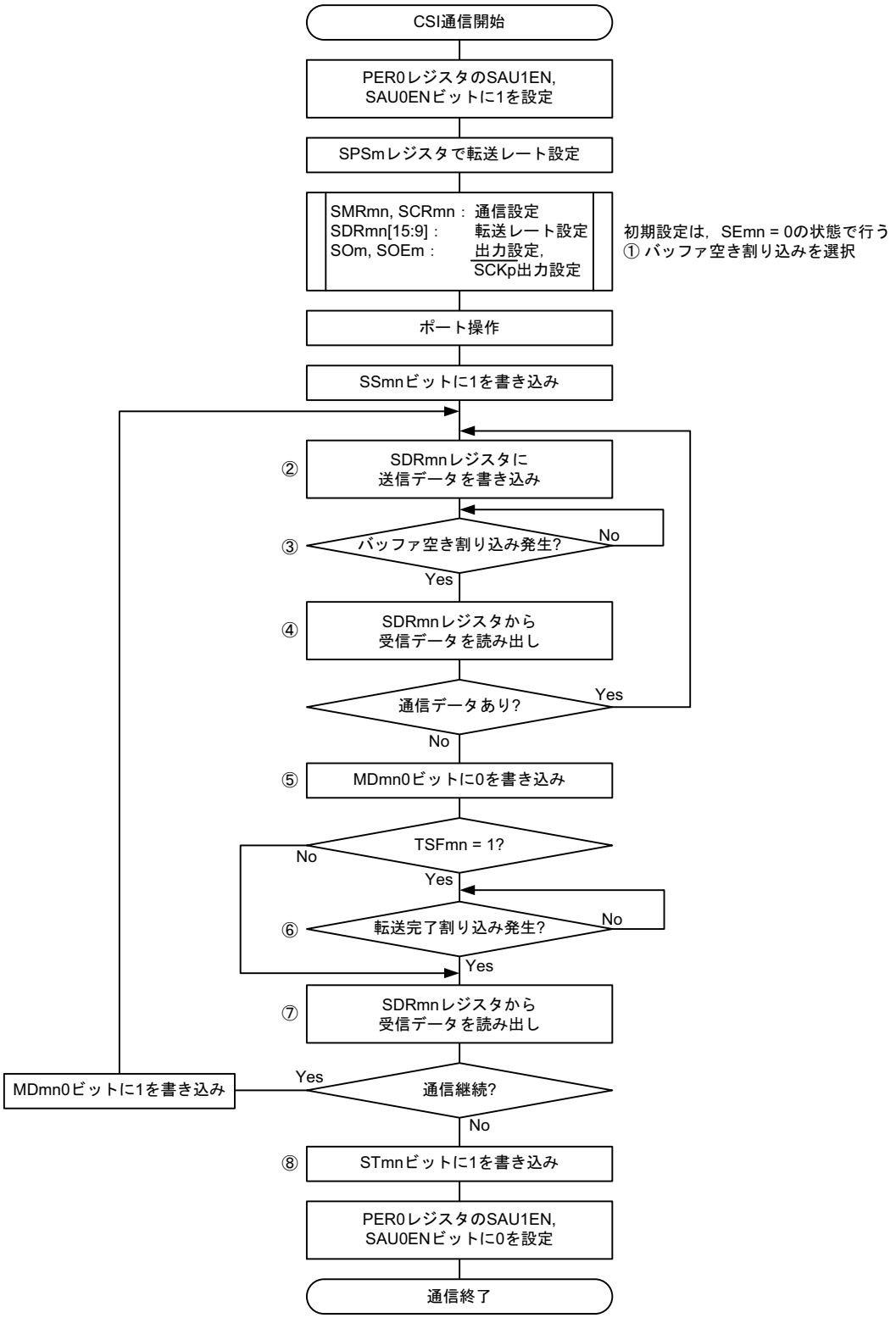
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－133　マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－133　マスタ送受信（連続送受信モード時）のフロー・チャート



備考1.　図中の①~⑧は，図15－132　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

15.6.4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，本MCUが他デバイスへデータを送信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	$\overline{\text{SCK00}}$, SO00, $\overline{\text{SSI00}}$	$\overline{\text{SCK01}}$, SO01, $\overline{\text{SSI01}}$	$\overline{\text{SCK10}}$, SO10, $\overline{\text{SSI10}}$	$\overline{\text{SCK11}}$, SO11, $\overline{\text{SSI11}}$
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6[Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			
SPI機能	スレーブ・セレクト機能の動作を選択可能			

注1.　$\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2.　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

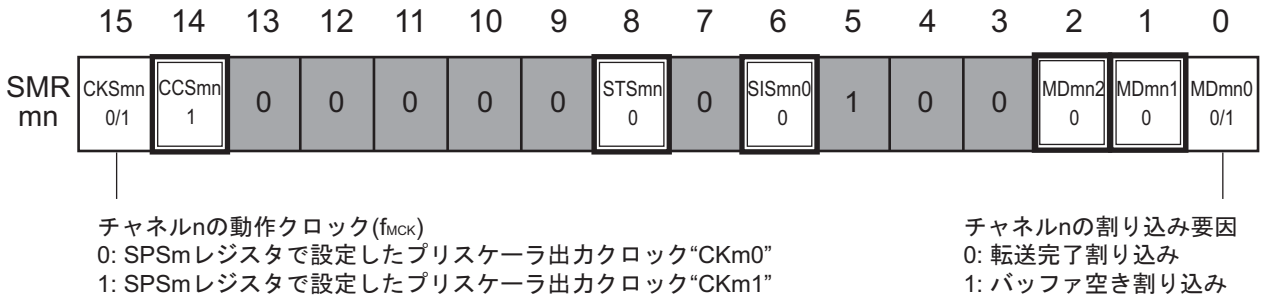
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

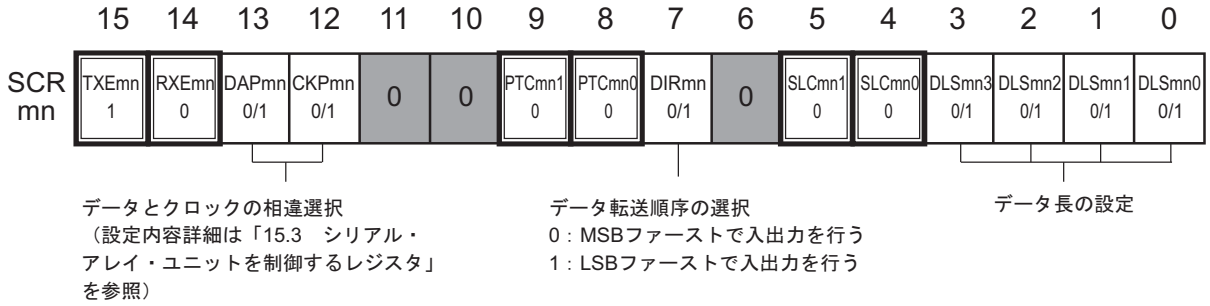
（1）レジスタ設定

図15－134　SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

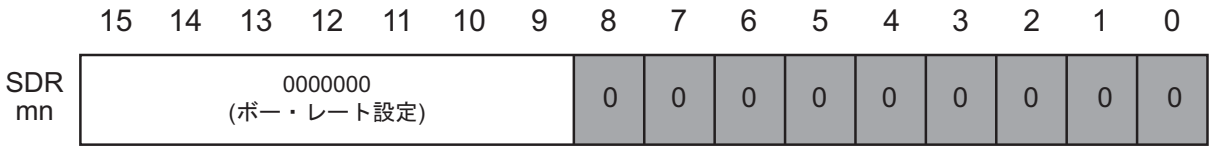


（b）シリアル通信動作設定レジスタmn（SCRmn）

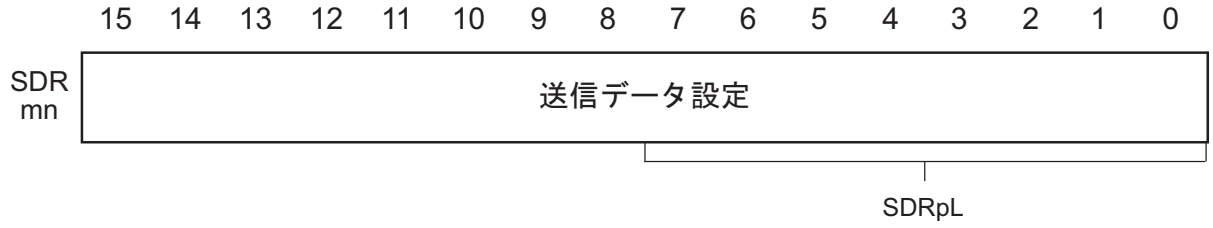


（c）シリアル・データ・レジスタmn（SDRmn）

①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



（備考は次ページにあります。）

図15－134　SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時のレジスタ設定内容例（2/2）

（d）シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャネルの$\overline{SSI00}$, $\overline{SSI01}$, $\overline{SSI10}$, $\overline{SSI11}$端子の制御

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm1 0/1	SSEm0 0/1

（e）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

（f）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

2.　□：CSIスレーブ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－135　スレーブ送信の初期設定手順

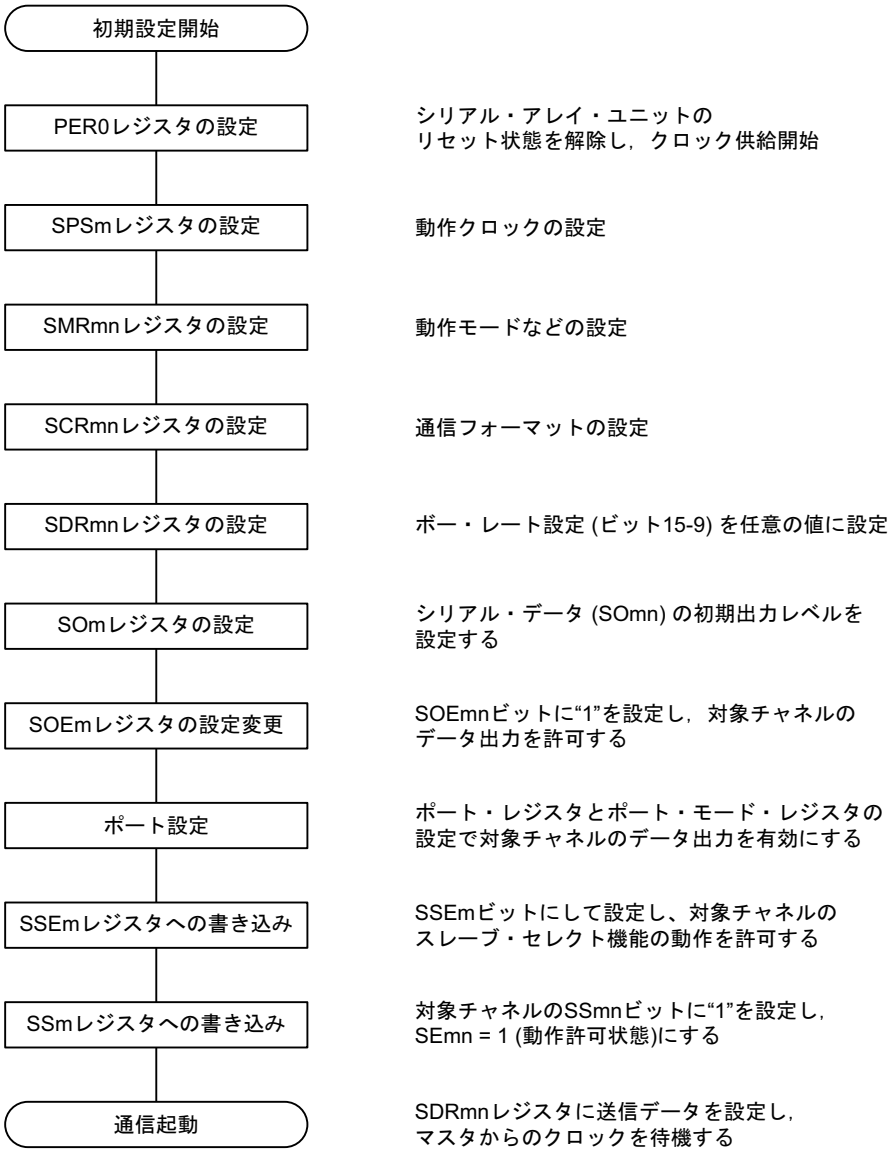
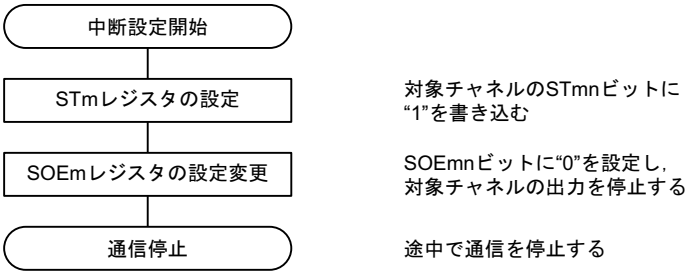


図15－136　スレーブ送信の中断手順

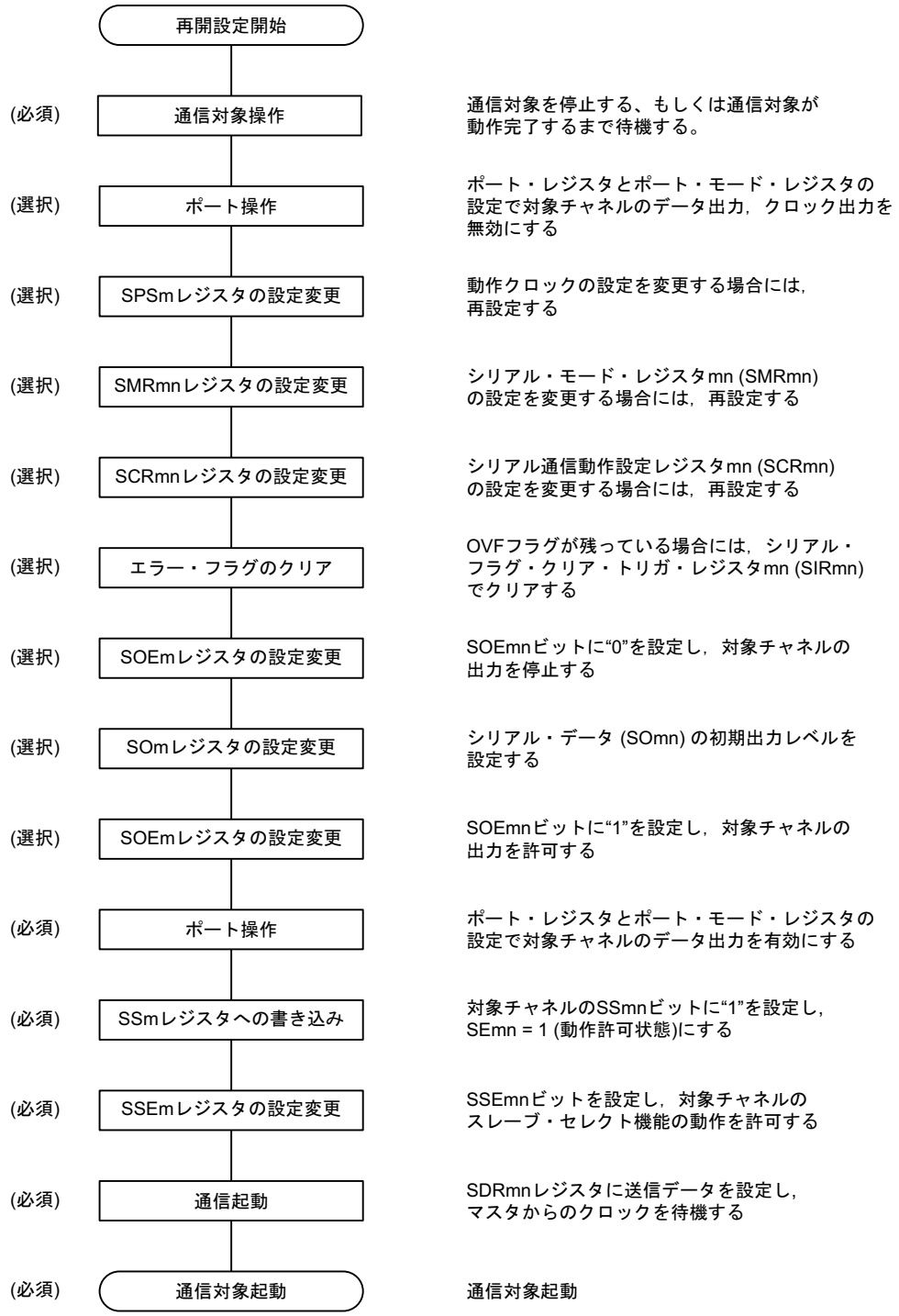


備考1.　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－137　スレーブ送信の再開設定手順」を参照）。

2.　m：コード番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

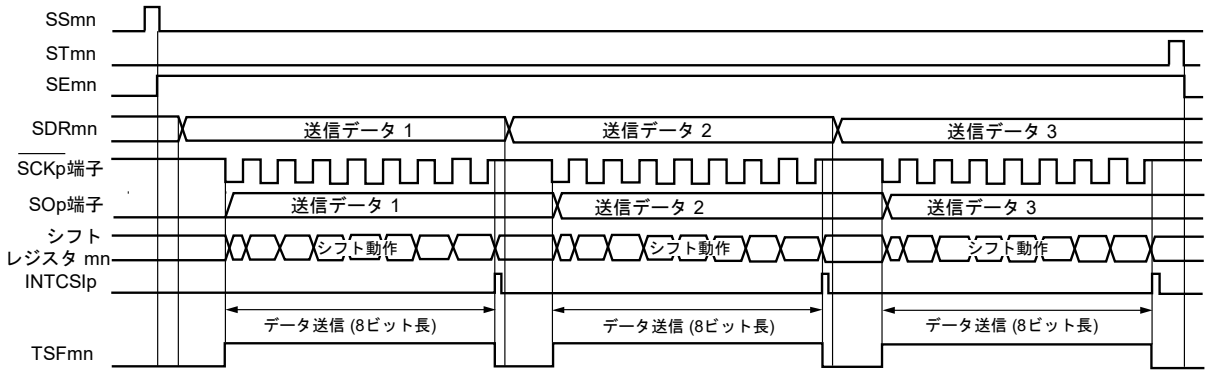
図15－137　スレーブ送信の再開設定手順



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

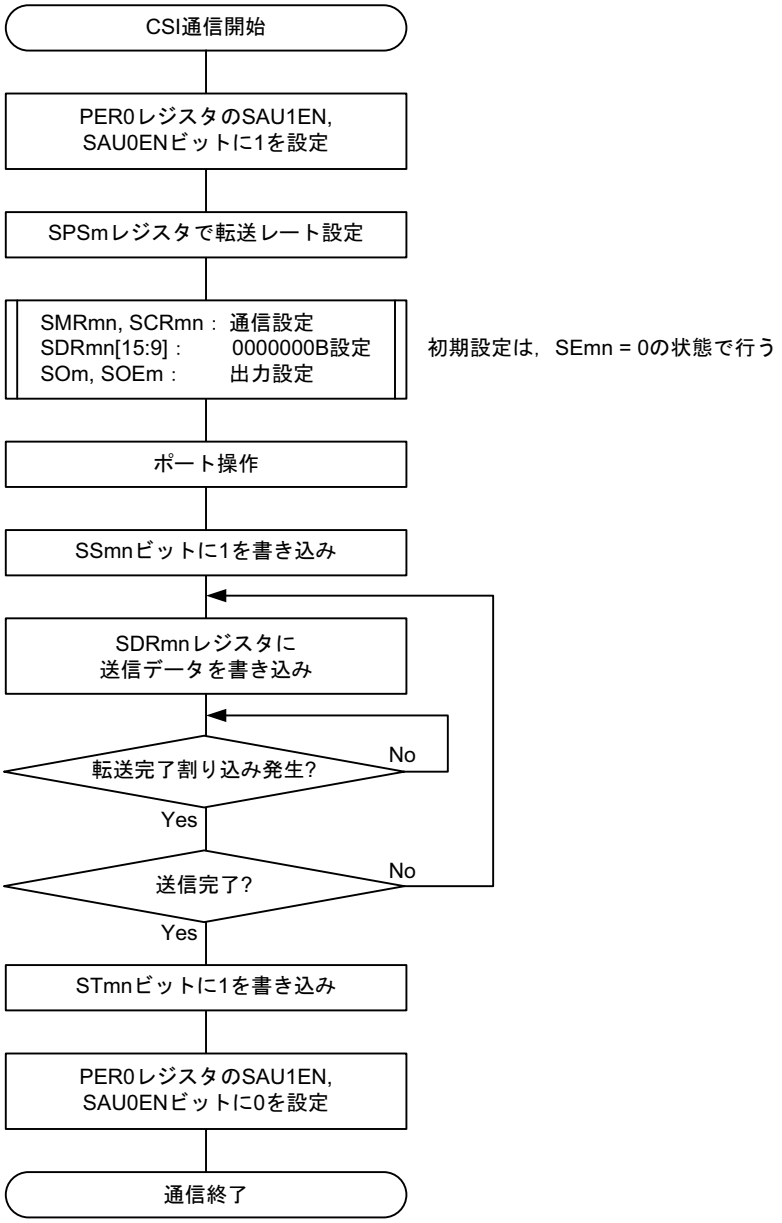
（3）処理フロー（シングル送信モード時）

図15－138　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

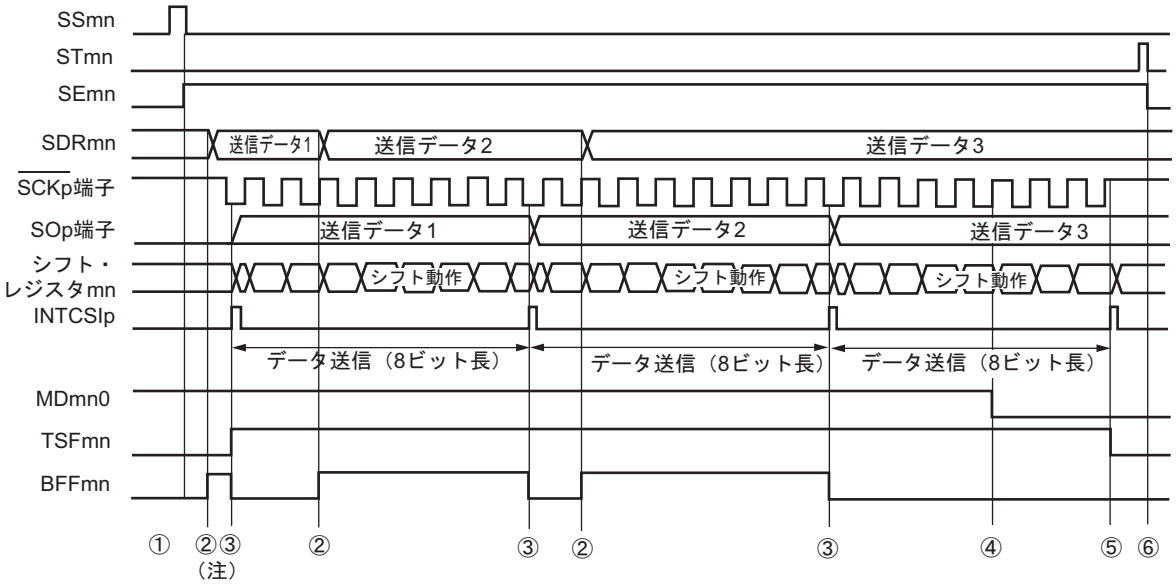
図15－139　スレーブ送信（シングル送信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（4）処理フロー（連続送信モード時）

図15－140　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

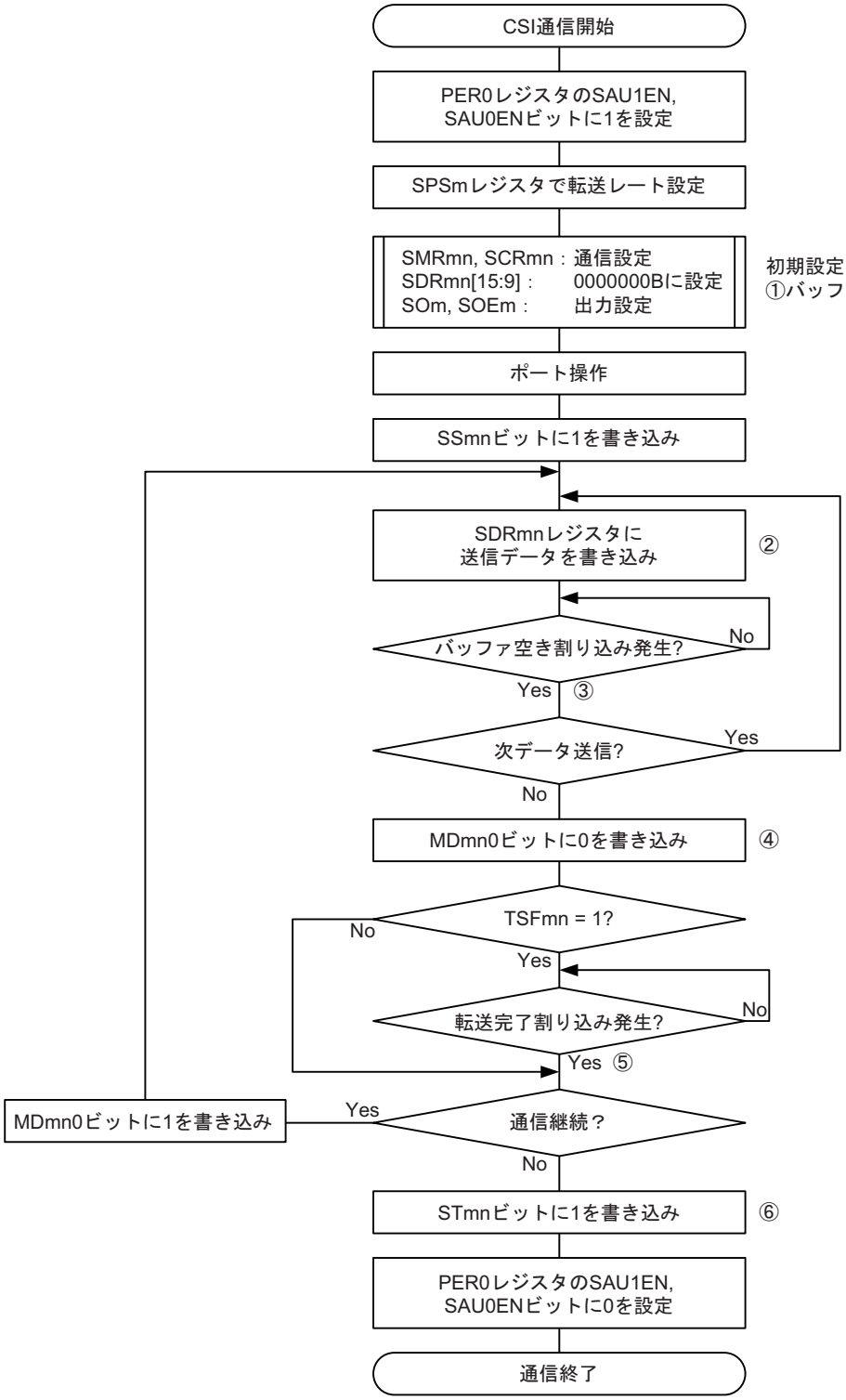


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－141　スレーブ送信（連続送信モード時）のフロー・チャート



備考1.　図中の①~⑥は，図15－140　スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

15.6.5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，本MCUが他デバイスからデータを受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	$\overline{\text{SCK00}}$, SI00, $\overline{\text{SSI00}}$	$\overline{\text{SCK01}}$, SI01, $\overline{\text{SSI01}}$	$\overline{\text{SCK10}}$, SI10, $\overline{\text{SSI10}}$	$\overline{\text{SCK11}}$, SI11, $\overline{\text{SSI11}}$
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6 [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			
SPI機能	スレーブ・セレクト機能の動作を選択可能			

注1.　$\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2.　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

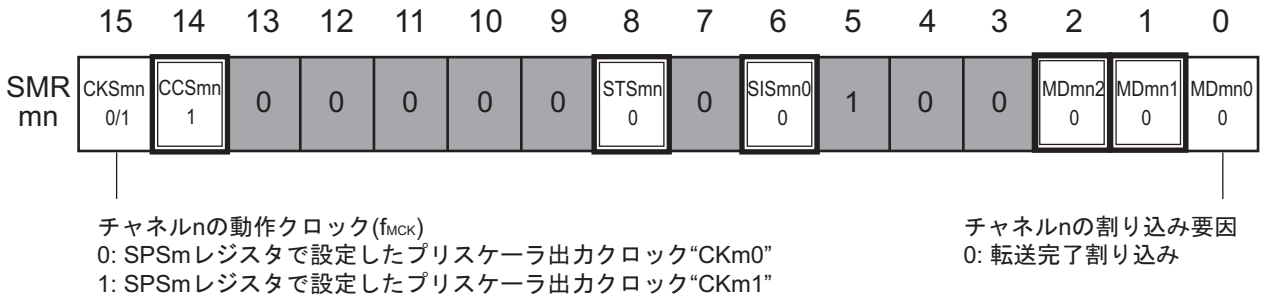
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

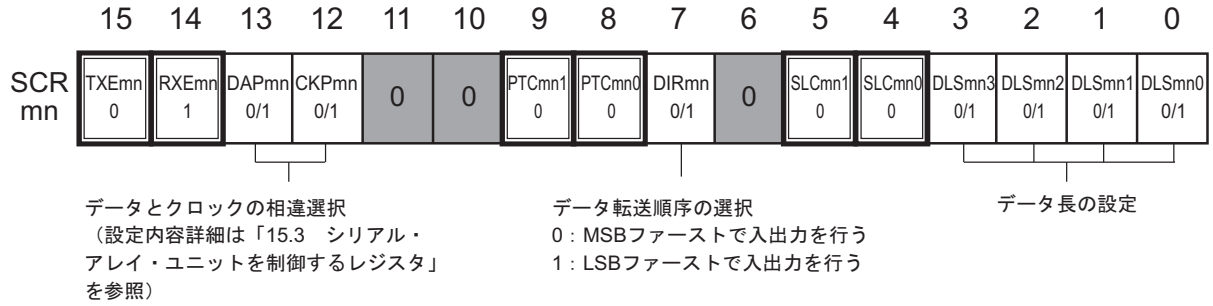
（1）レジスタ設定

図15－142　SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

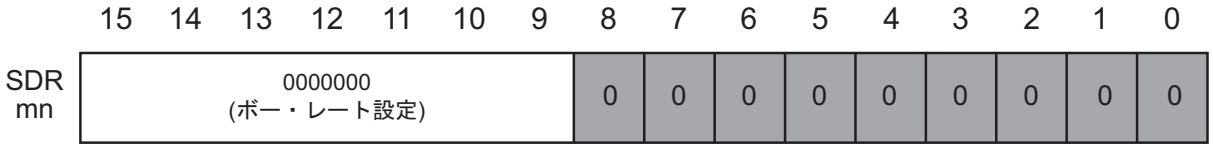


（b）シリアル通信動作設定レジスタmn（SCRmn）

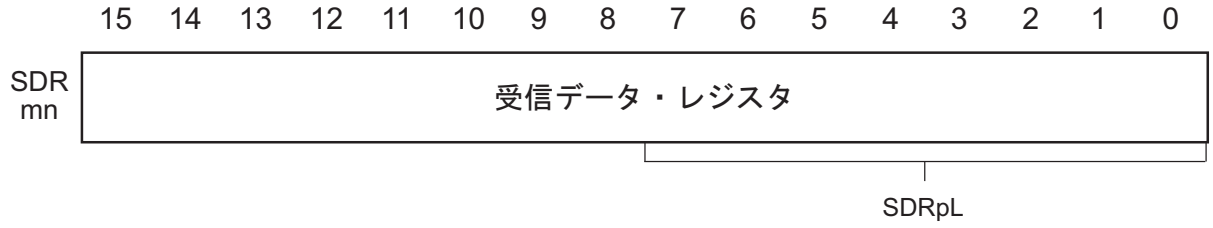


（c）シリアル・データ・レジスタmn（SDRmn）

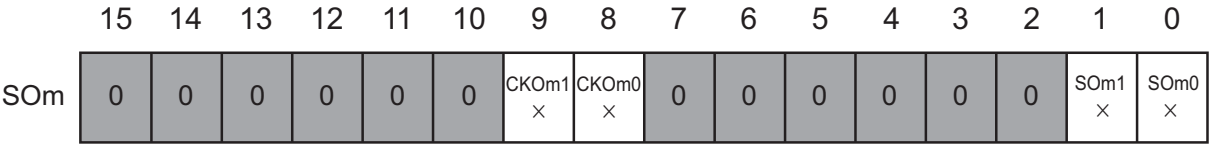
① 動作停止時（SEmn = 0）



② 動作中（SEmn = 1）（下位8ビット：SDRpL）



（d）シリアル出力レジスタm（SOm）・・・このモードでは使用しない



（備考は次のページにあります。）

図15－142　SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時のレジスタ設定内容例（2/2）

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

（g）シリアル・スレーブ選択許可レジスタm（SSEm）　・・・各スレーブ・チャネルの$\overline{\text{SSI00}}$, $\overline{\text{SSI01}}$, $\overline{\text{SSI10}}$, $\overline{\text{SSI11}}$端子の制御

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm1 0/1	SSEm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

2.　□：スレーブ受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－143　スレーブ受信の初期設定手順

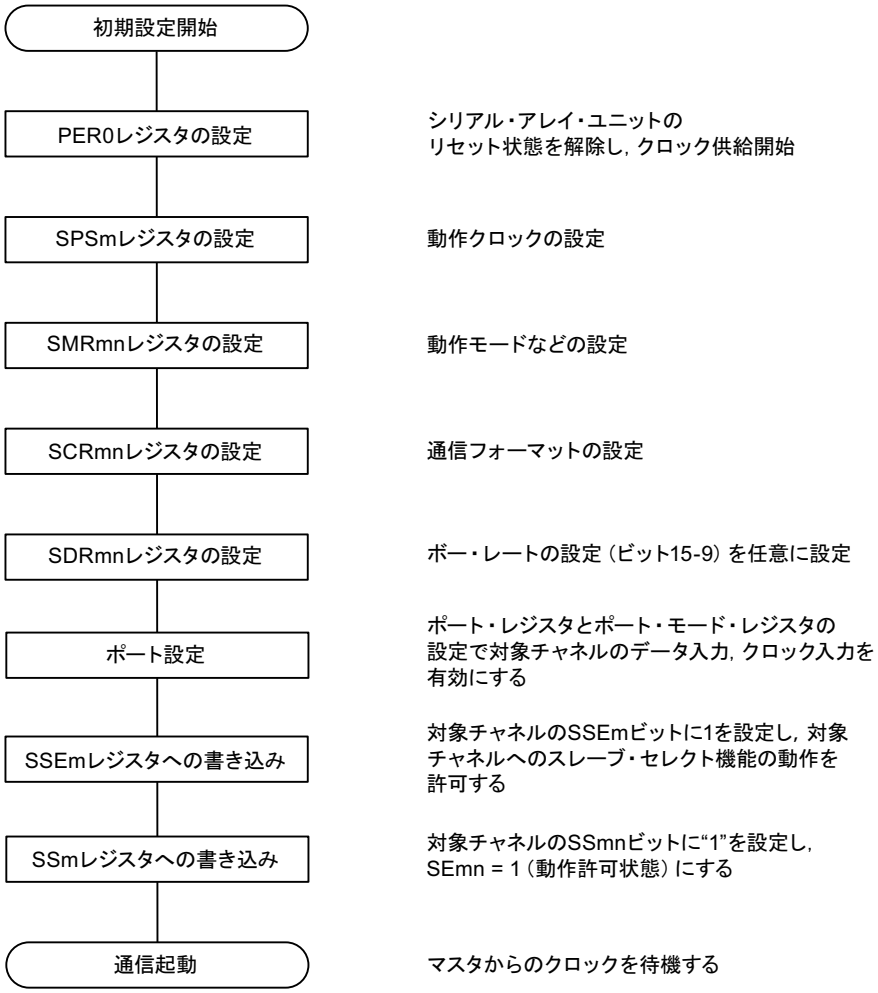
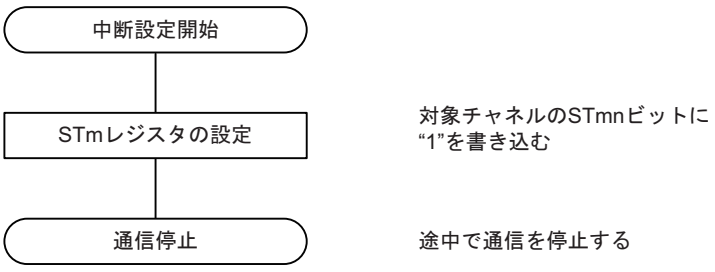
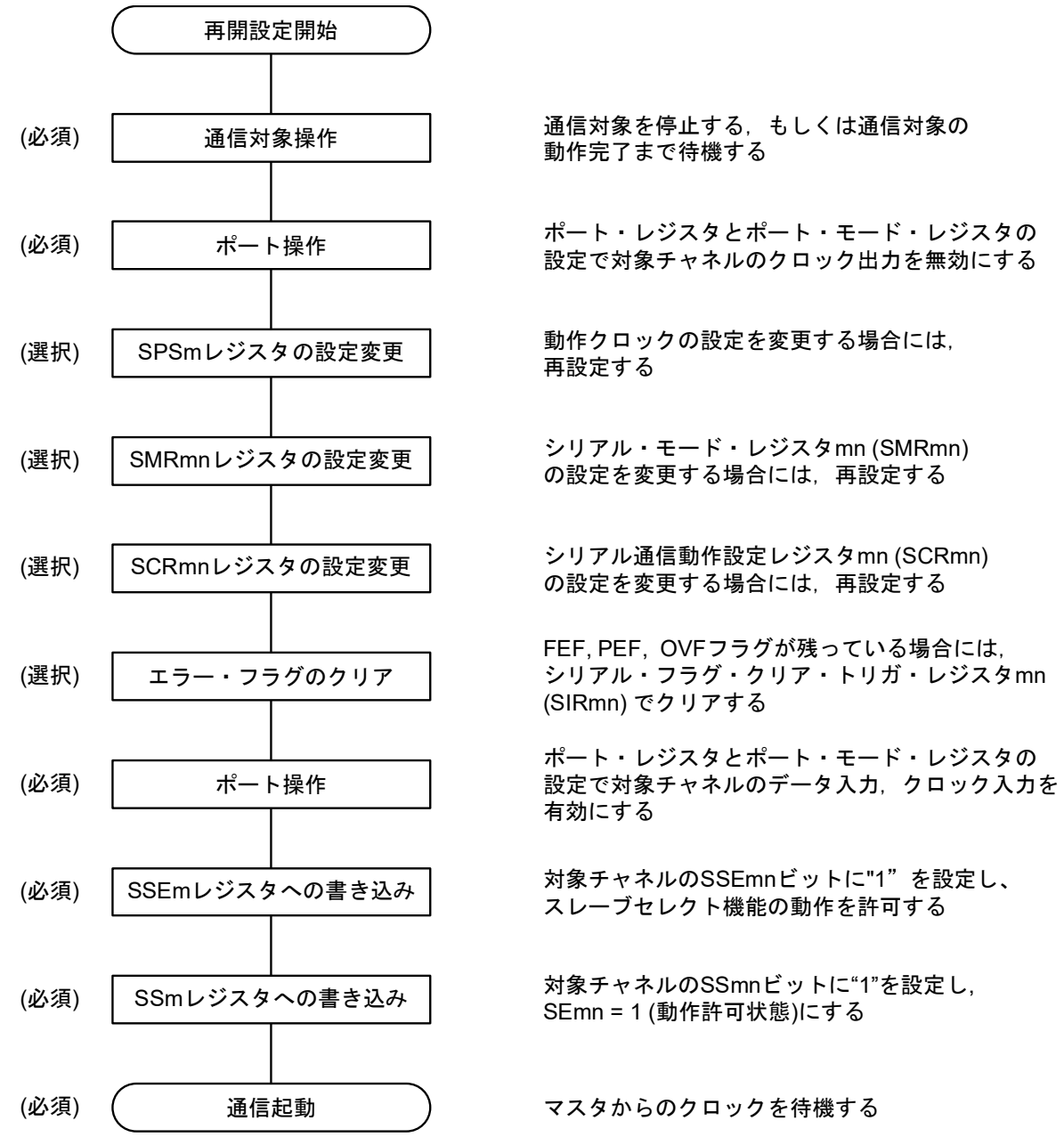


図15－144　スレーブ受信の中断手順



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

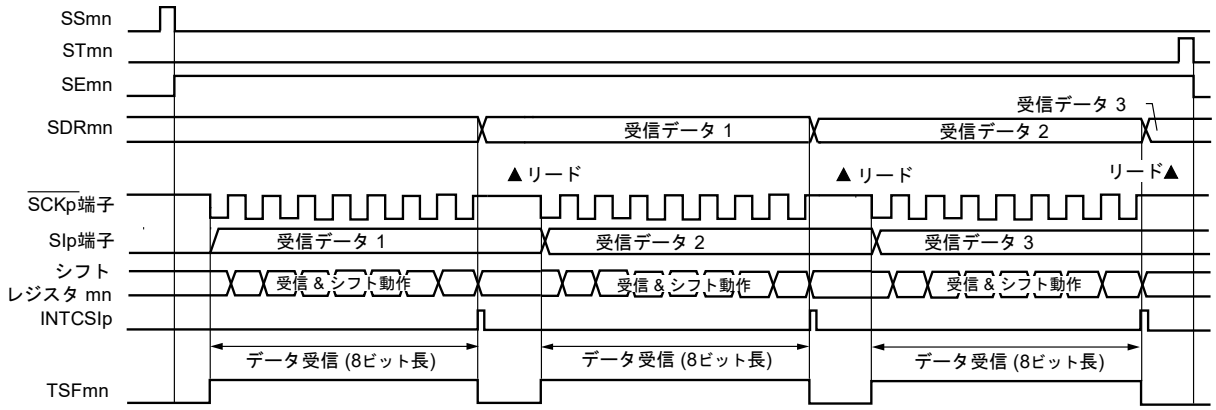
★ 図15－145　スレーブ受信の再開設定手順



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（3）処理フロー（シングル受信モード時）

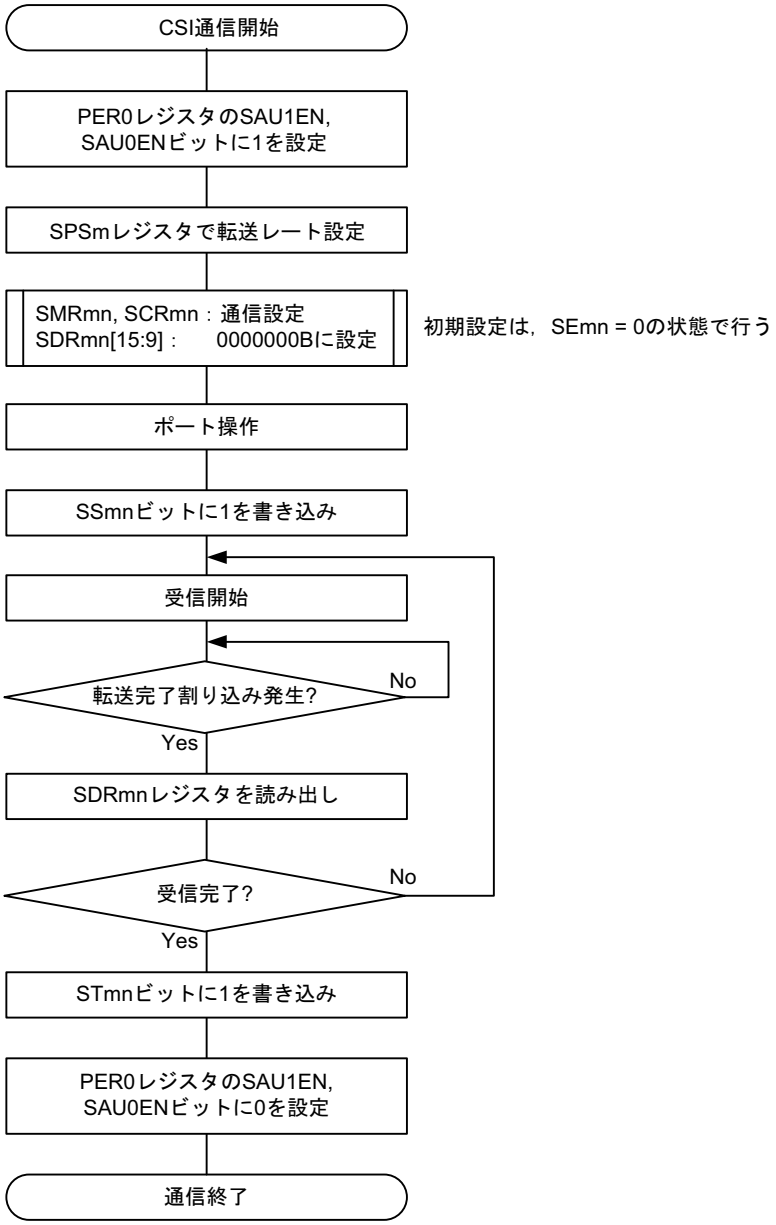
図15－146　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

図15－147　スレーブ受信（シングル受信モード時）のフロー・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.6.6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，本MCUと他デバイスでデータを送受信する動作です。

SPI機能	CSI00	CSI01	CSI10	CSI11
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU1のチャネル0	SAU1のチャネル1
使用端子	$\overline{\text{SCK00}}$, SI00, SO00, $\overline{\text{SSI00}}$	$\overline{\text{SCK01}}$, SI01, SO01, $\overline{\text{SSI01}}$	$\overline{\text{SCK10}}$, SI10, SO10, $\overline{\text{SSI10}}$	$\overline{\text{SCK11}}$, SI11, SO11, $\overline{\text{SSI11}}$
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7～16ビット			
転送レート	Max. f_{MCK}/6 [Hz]注1, 2			
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始			
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：正転 ・CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			
SPI機能	スレーブ・セレクト機能の動作を選択可能			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

2. この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

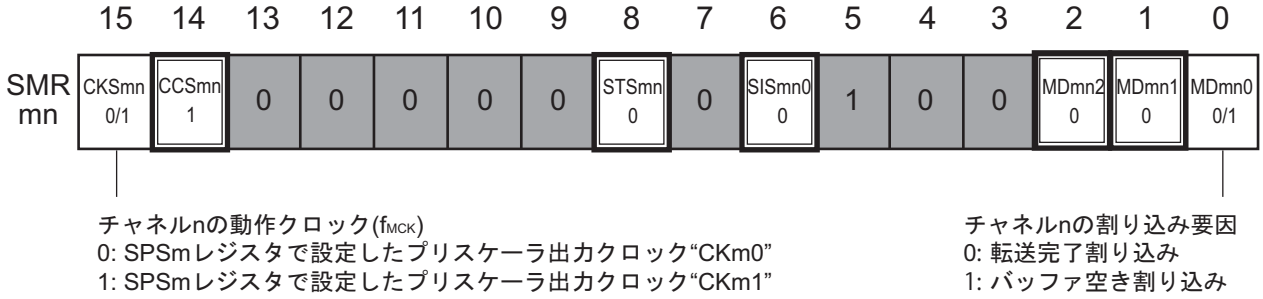
備考1. f_{MCK}：対象チャネルの動作クロック周波数

2. m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

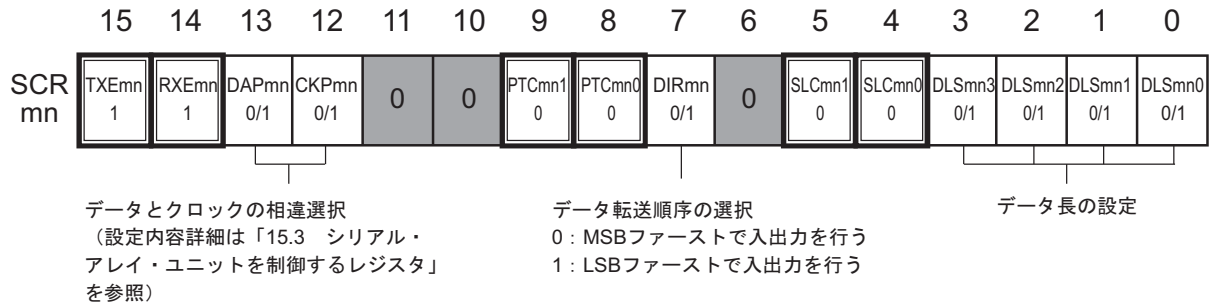
（1）レジスタ設定

図15－148　SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

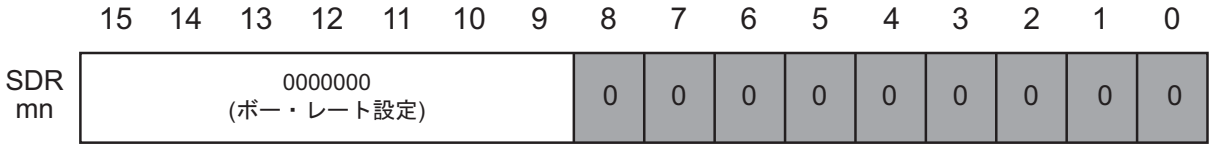


（b）シリアル通信動作設定レジスタmn（SCRmn）

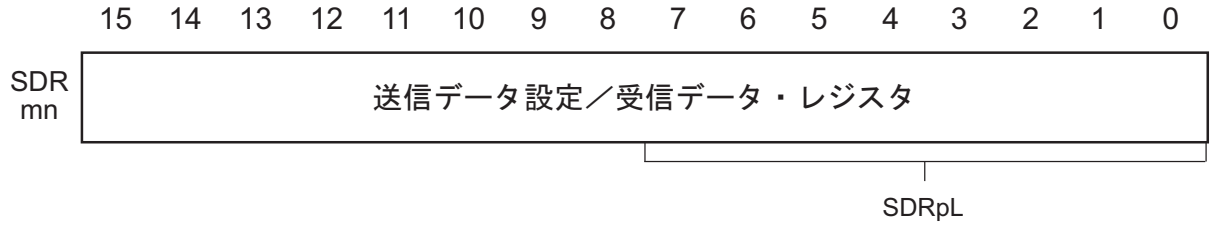


（c）シリアル・データ・レジスタmn（SDRmn）

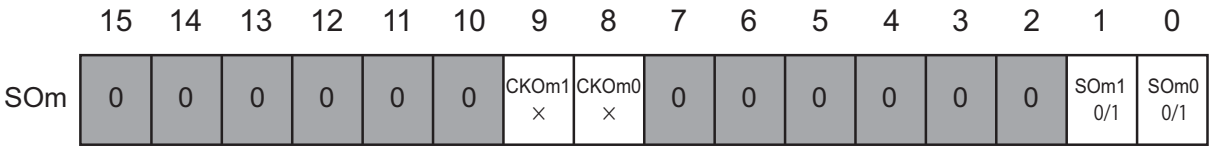
①　動作停止時（SEmn = 0）



②　動作中（SEmn = 1）（下位8ビット：SDRpL）



（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



（注意・備考は次のページにあります。）

図15－148　SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時のレジスタ設定内容例（2/2）

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

（g）シリアル・スレーブ選択許可レジスタm（SSEm）　・・・各スレーブ・チャネルの$\overline{\text{SSI00}}$, $\overline{\text{SSI01}}$, $\overline{\text{SSI10}}$, $\overline{\text{SSI11}}$端子の制御

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSEm1 0/1	SSEm0 0/1

注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

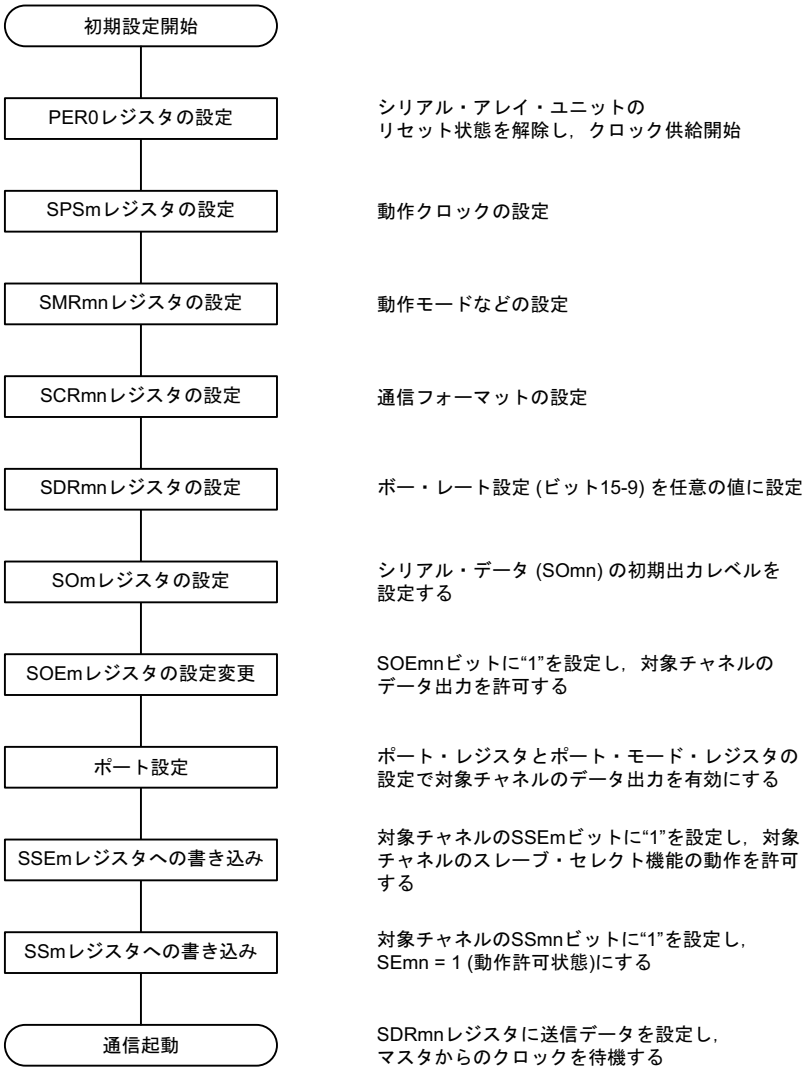
2.　□：CSIスレーブ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

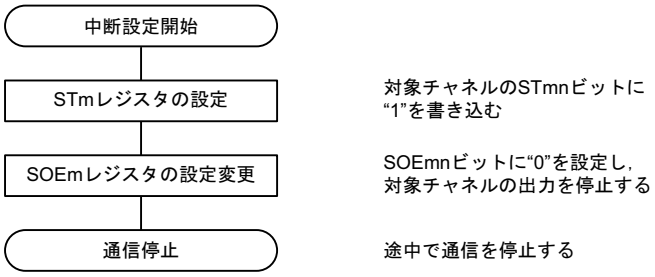
（2）操作手順

図15－149　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

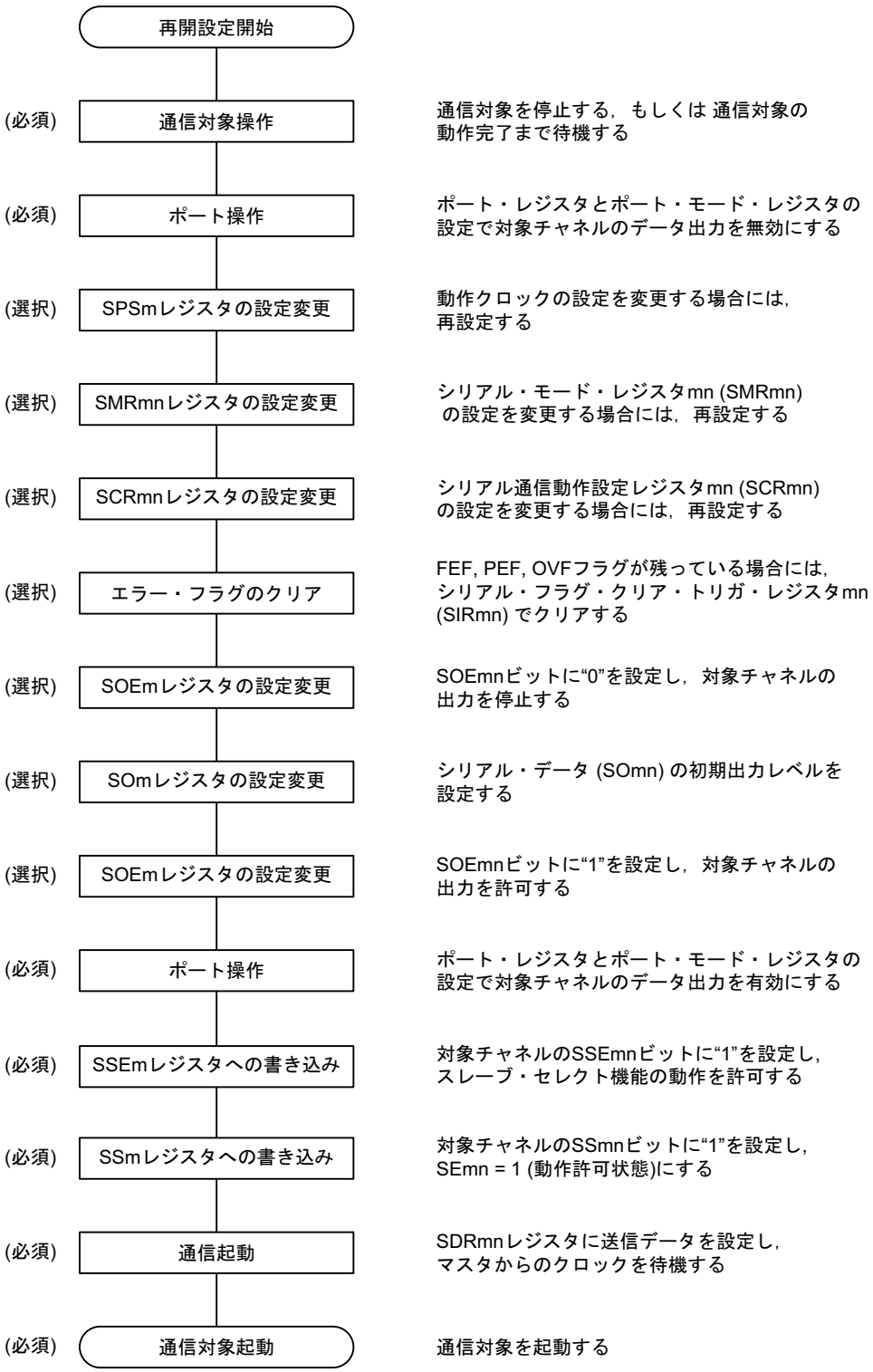
図15－150　スレーブ送受信の中断手順



備考1.　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－151　スレーブ送受信の再開設定手順」を参照）。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－151　スレーブ送受信の再開設定手順



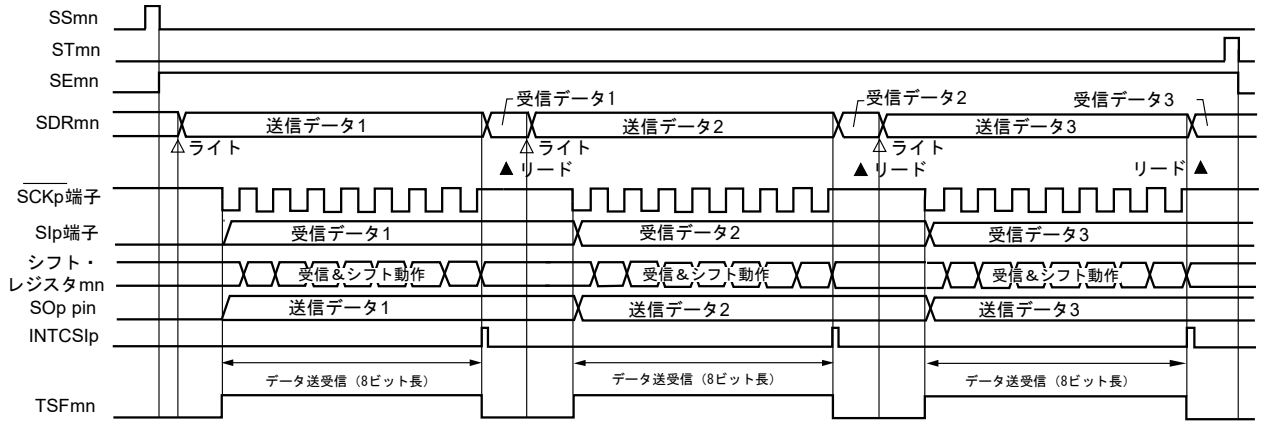
注意1.　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）

mn = 00, 01, 10, 11

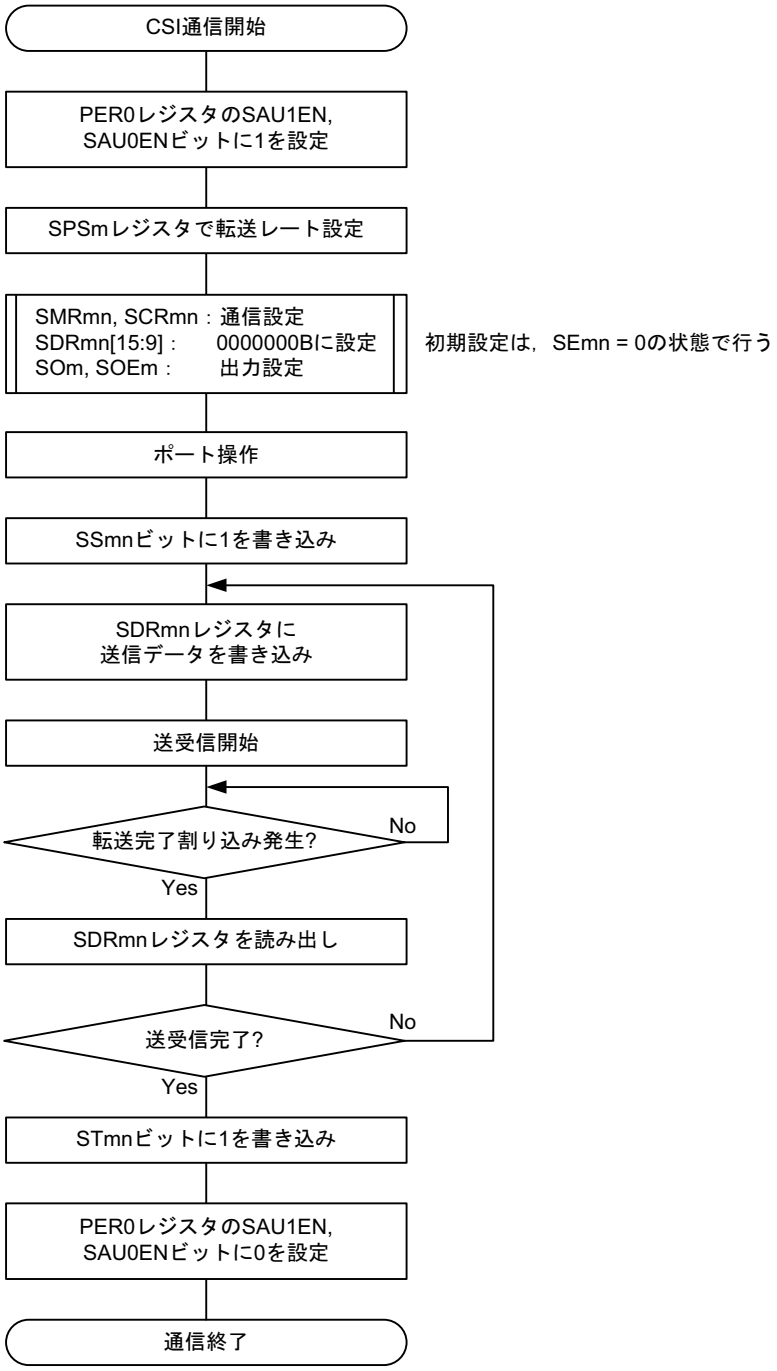
（3）処理フロー（シングル送受信モード時）

図15－152　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1 : DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11），
mn = 00, 01, 10, 11

図15－153　スレーブ送受信（シングル送受信モード時）のフロー・チャート

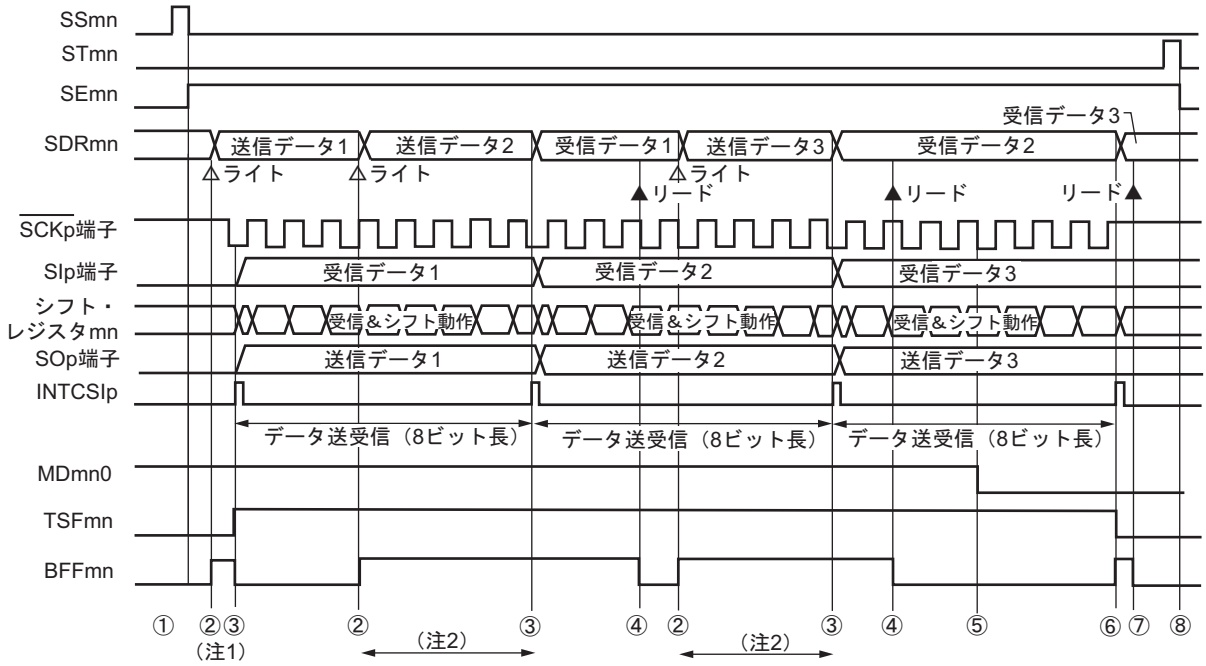


注意1.　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

（4）処理フロー（連続送受信モード時）

図15－154　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

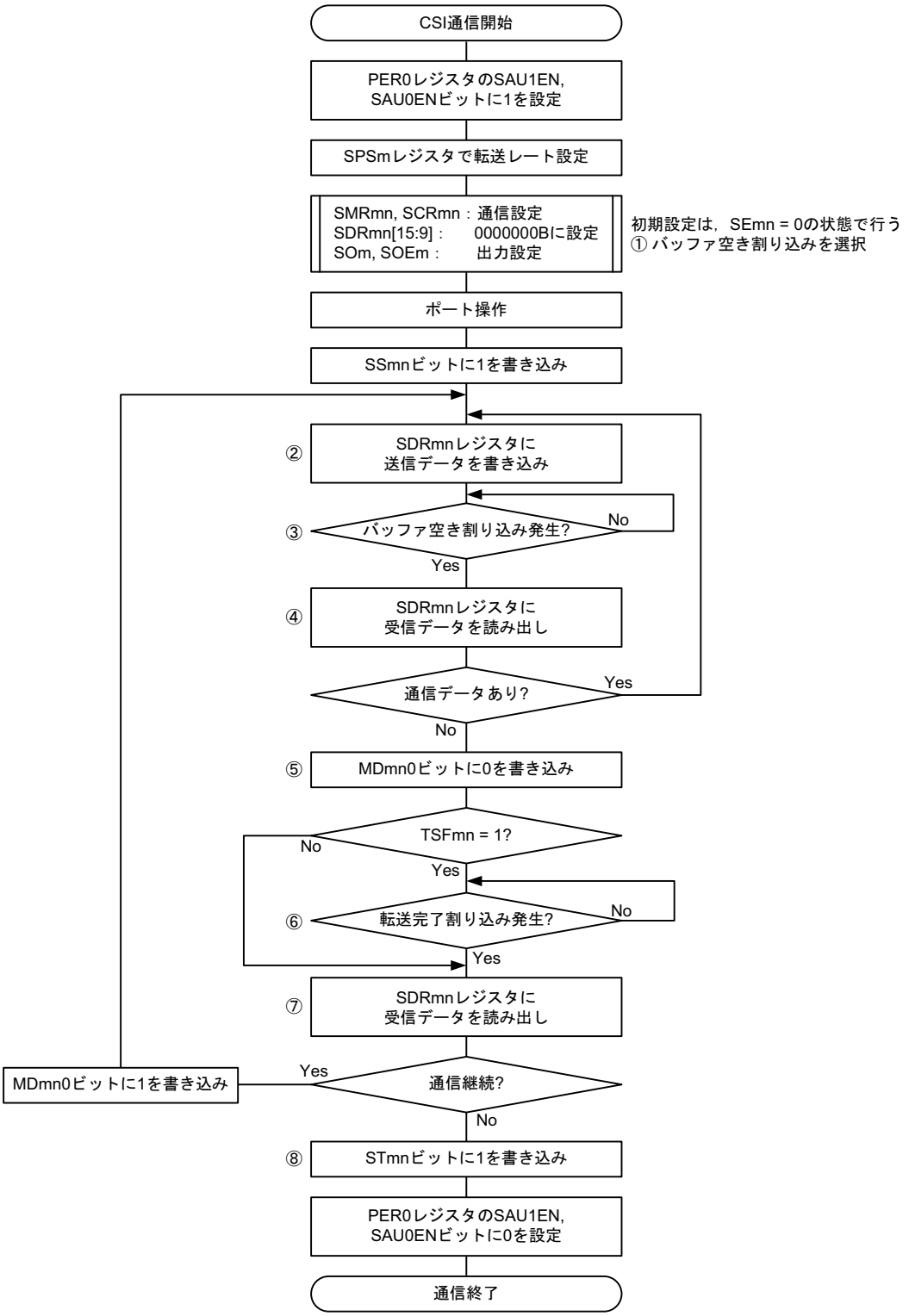
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，図15－155　スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

図15－155　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSDRpLレジスタへ設定してください。

備考1.　図中の①~⑧は，図15－154　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11），mn = 00, 01, 10, 11

15.6.7　転送クロック周波数の算出

SPI機能（CSI00, CSI01, CSI10, CSI11）通信での転送クロック周波数は下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）　=　{マスタが供給するシリアル・クロック（f_{SCK}）周波数}[注] [Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考1.　SDRmn[15:9]は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000000B-1111111B）なので，0-127になります。

2.　動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

3.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01, 10, 11）
mn = 00, 01, 10, 11

表15－3　SPI機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
上記以外										設定禁止

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm） = 0003H）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.6.8　SPI機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

SPI機能付きクロック同期シリアル通信時における通信時にエラーが発生した場合の処理手順を図15－156に示します。

図15－156　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.7　UART（UART0, UART1, UART2）通信の動作

シリアル・データ送信（TXD）とシリアル・データ受信（RXD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。また，タイマ・アレイ・ユニット0と外部割り込み（INTP0）を組み合わせてLIN-busにも対応可能です。

［データ送受信］

・7, 8, 9, 16ビットのデータ長（16ビット長は，UART0, UART1のみ）
・MSB/LSBファーストの選択
・送受信データのレベル設定，反転の選択
・パリティ・ビット付加，パリティ・チェック機能
・ストップ・ビット付加

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み
（フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込みは，UART2のみ）

［エラー検出フラグ］

・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

また，UART0（ユニット0のチャネル0, 1）は，LIN-busに対応しています。

［LIN-bus機能］

・ウエイクアップ信号検出
・ブレーク・フィールド（BF）検出
・シンク・フィールド測定，ボー・レート算出

} 外部割り込み（INTP0），タイマ・アレイ・ユニット0を使用

UART0では，SAU0のチャネル0, 1を使用します。

UART1では，SAU1のチャネル0, 1を使用します。

UART2では，SAU2のチャネル0, 1を使用します。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I^2Cとして使用
0	0	CSI00（SPI機能対応）注3	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）注3		IIC01
1	0	CSI10（SPI機能対応）注1, 3	UART1	IIC10
	1	CSI11（SPI機能対応）注3		IIC11
2注2	0	CSI20	UART2	–
	1	CSI21		–

注1. 48ピンの製品には、$\overline{SSI10}$端子はありません。

2. 144, 100ピン製品のみ。

3. $\overline{SSImn}$(スレーブ選択入力)を使用される場合、SCRmnレジスタのCKPmnビットを1(クロック位相を反転)にしてください（m = 0, 1、n = 0, 1）。

注意　UARTとして使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらのチャネルもUARTとしてしか使用することはできません。

備考　UARTの通信動作は，以下の4種類があります。

- UART送信（「15.7.1　UART送信」を参照）
- UART受信（「15.7.2　UART受信」を参照）
- LIN送信（UART0のみ）（「15.8.1　LIN送信」を参照）
- LIN受信（UART0のみ）（「15.8.2　LIN受信」を参照）

15.7.1　UART送信

UART送信は，本MCUから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル0	SAU1のチャネル0	SAU2のチャネル0
使用端子	TXD0	TXD1	TXD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7～9, 16ビット		7～9ビット
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{15} \times 128$）[bps]注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加		
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

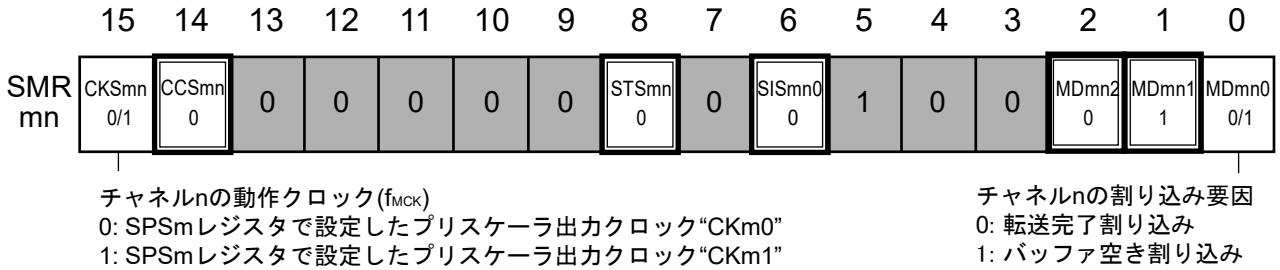
f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0），mn = 00, 10, 20

（1）レジスタ設定

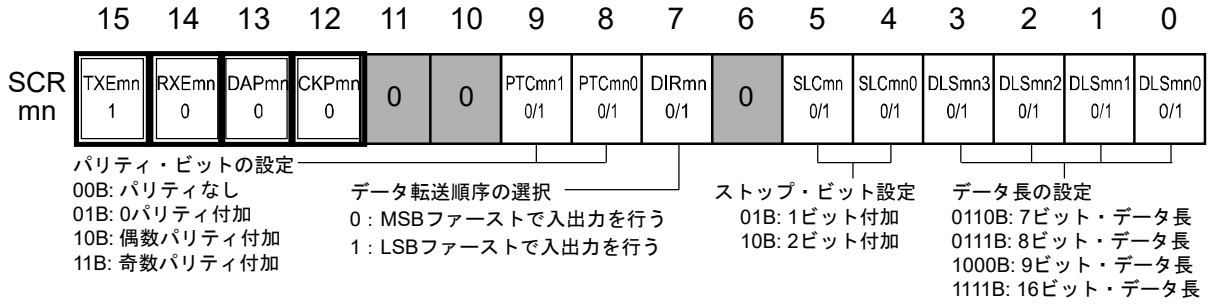
図15－157　UART（UART0, UART1, UART2）のUART送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

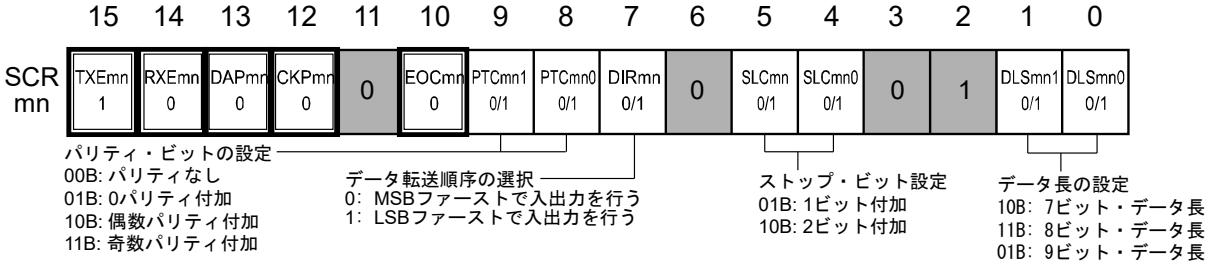


（b）シリアル通信動作設定レジスタmn（SCRmn）

①　UART0，UART1

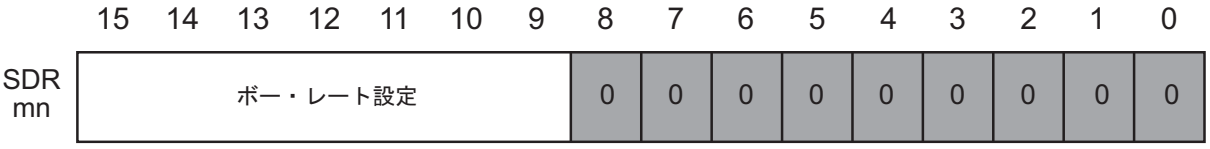


②　UART2

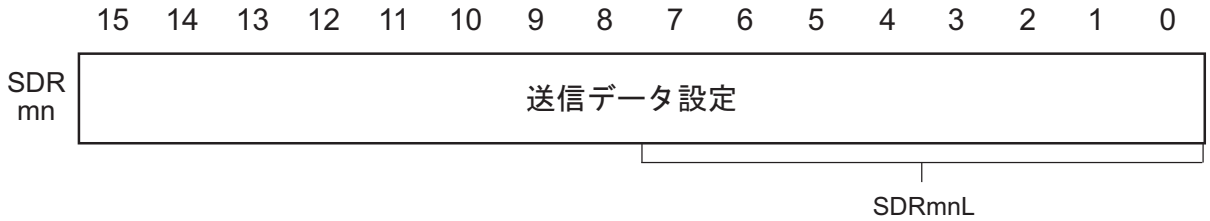


（c）シリアル・データ・レジスタmn（SDRmn）

①　UART0，UART1：動作停止時（SEmn = 0）



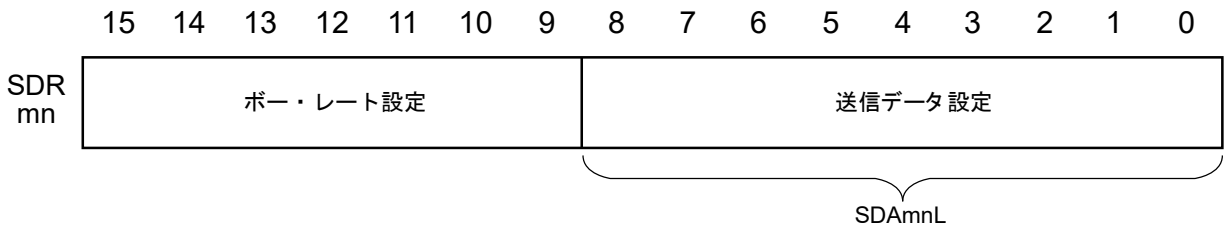
②　UART0，UART1：動作中（SEmn = 1）（下位8ビット：SDRmnL）



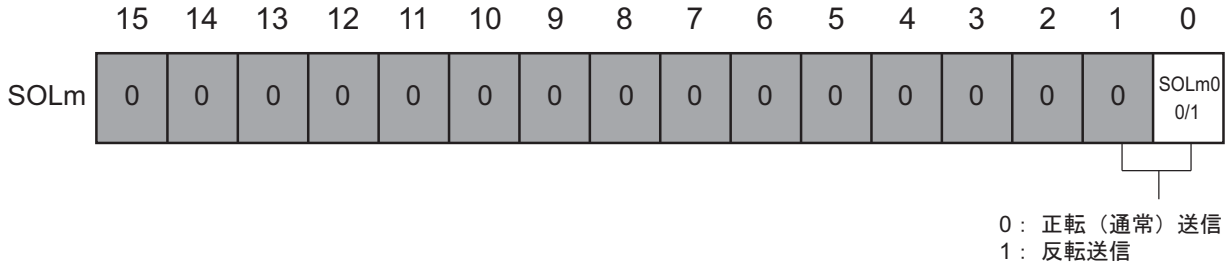
（備考は次ページにあります。）

図15－157　UART（UART0, UART1, UART2）のUART送信時のレジスタ設定内容例（2/2）

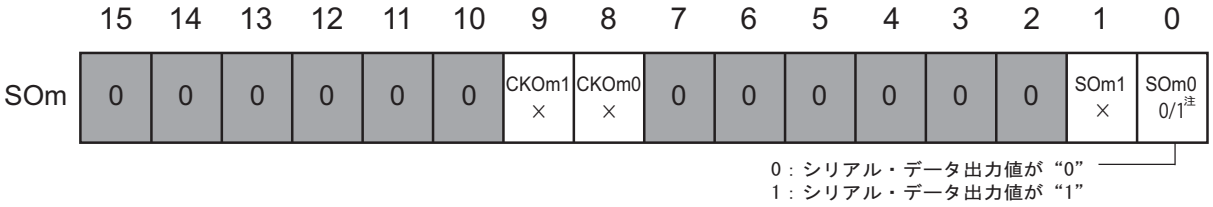
③　UART2



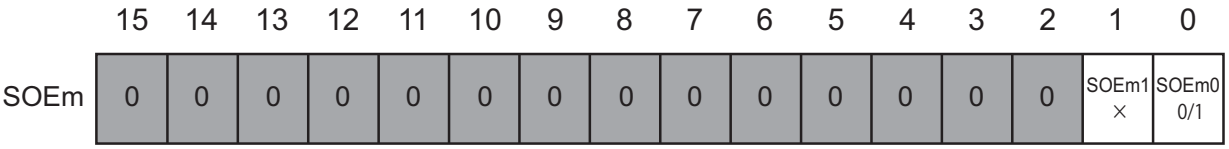
（d）シリアル出力レベル・レジスタ（SOLm）　・・・対象チャネルのビットのみ設定する



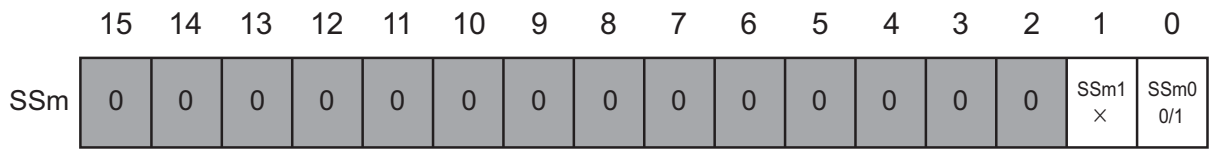
（e）シリアル出力レジスタm（SOm）　・・・対象チャネルのビットのみ設定する



（f）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する



（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する



注　該当するチャネルのSOLmnビットに0を設定している場合は"1"に，SOLmnビットに1を設定している場合は"0"を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0）　mn = 00, 10, 20

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図15－158　UART送信の初期設定手順（UART0，UART1）

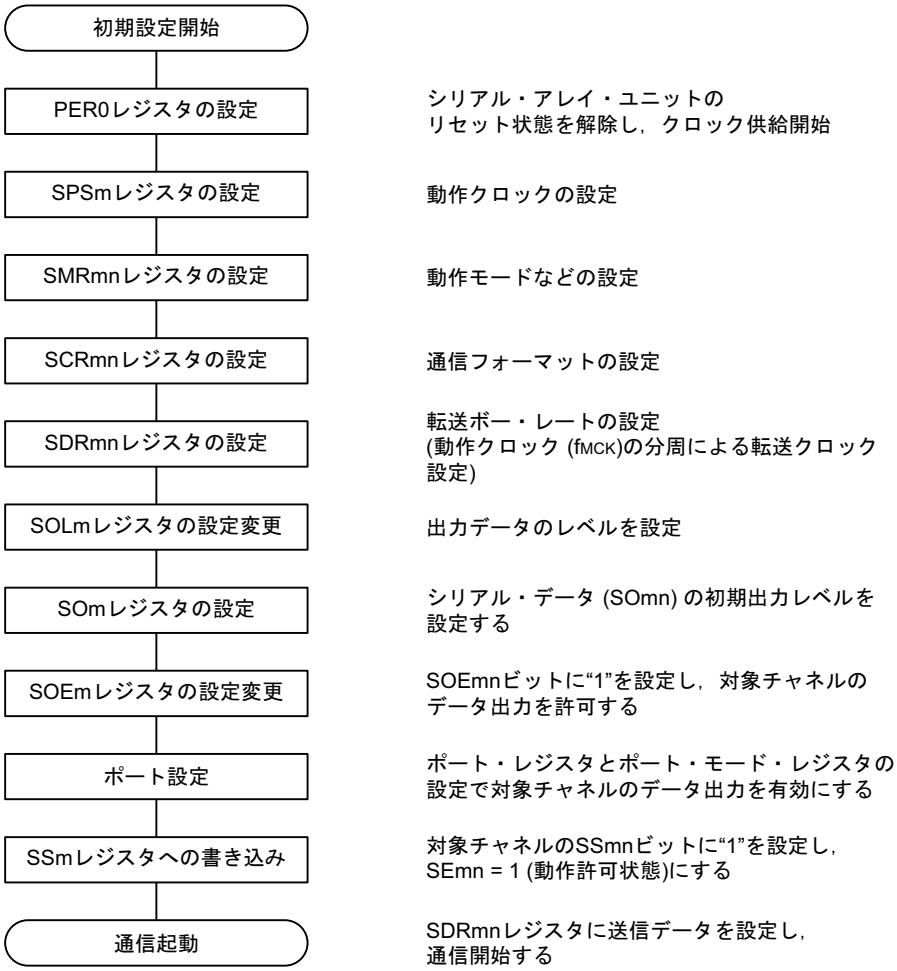
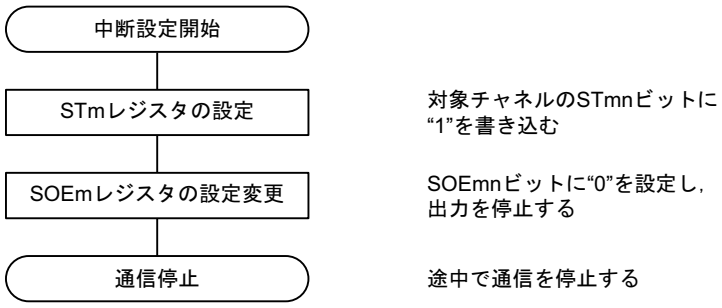


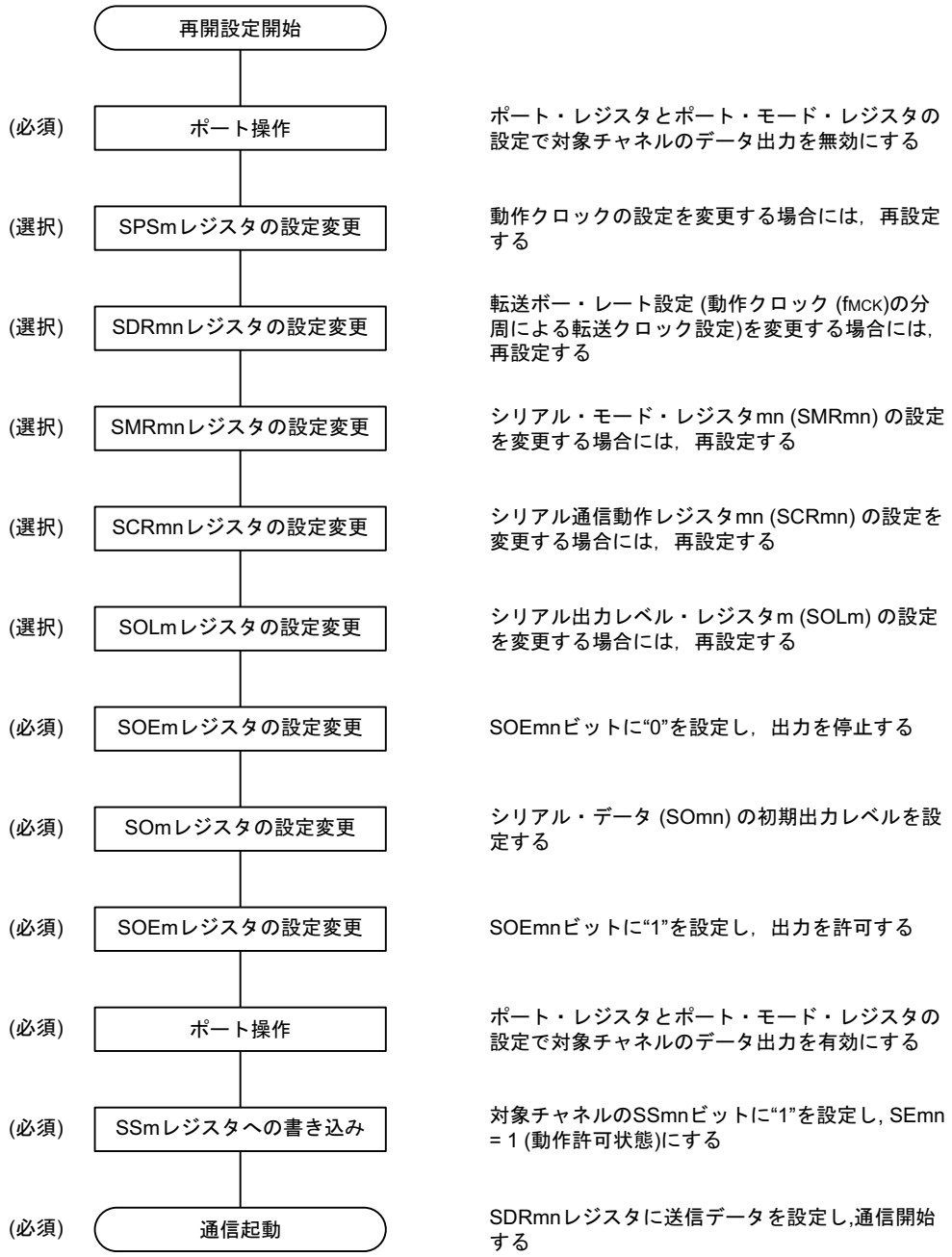
図15－159　UART送信の中断手順（UART0，UART1）



備考1.　中断後も端子レベルは保持されますので，動作を再開する際にはシリアル出力レジスタm（SOm）を再設定してください（「図15－160　UART送信の再開設定手順」を参照）。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0）　mn = 00, 10

図15－160　UART送信の再開設定手順（UART0，UART1）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0）　mn = 00, 10

図15－161　UART送信の初期設定手順（UART2）

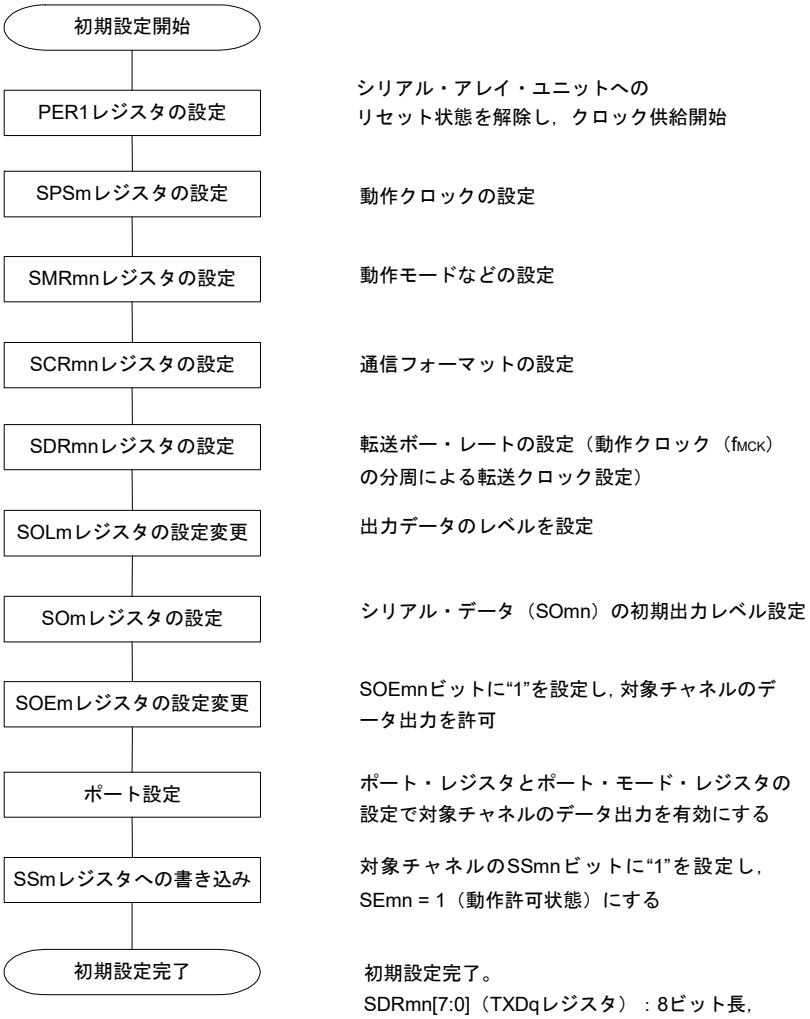
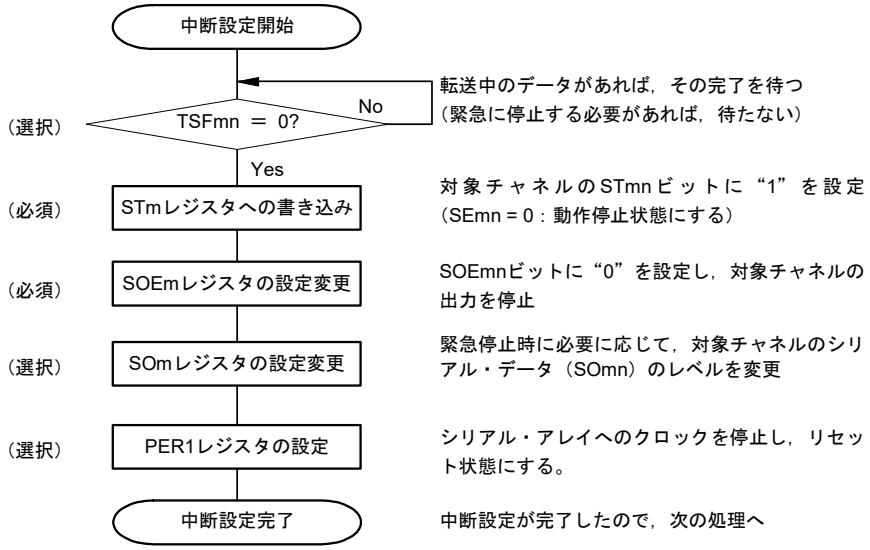
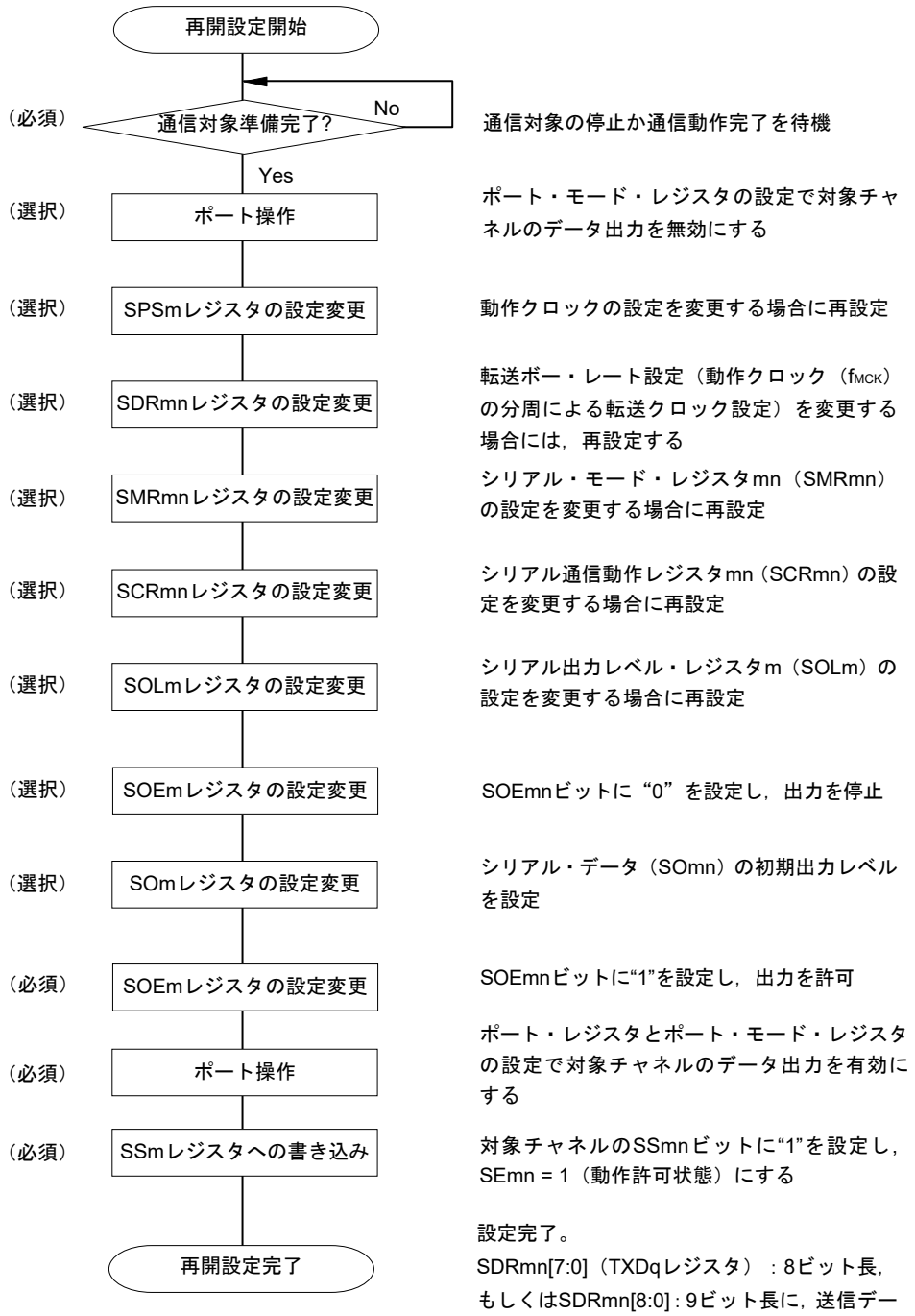


図15－162　UART送信の中断手順（UART2）



（備考は次ページにあります。）

図15－163　UART送信の再開設定手順（UART2）

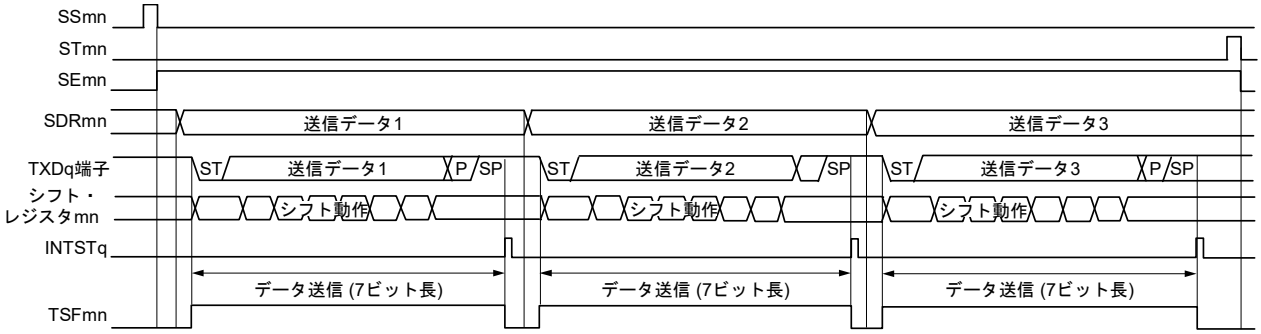


備考1.　中断設定でPER1を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 0）　mn = 20　q：UART番号（q = 2）

（3）処理フロー（シングル送信モード時）

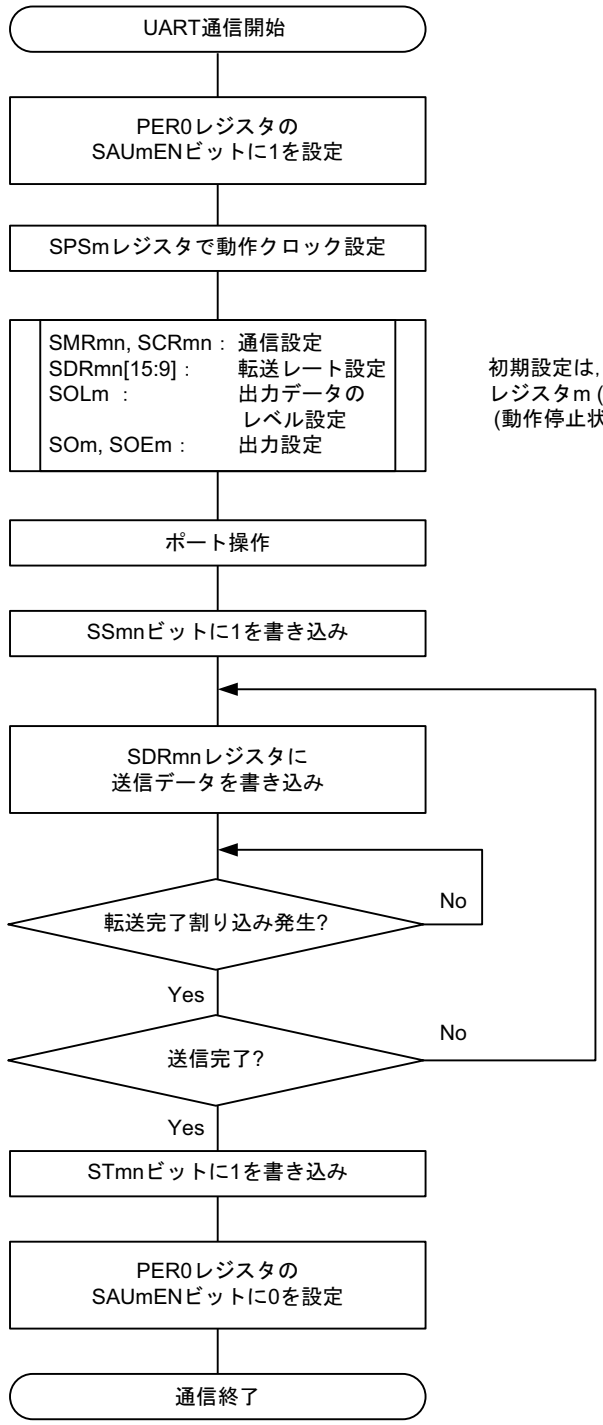
図15－164　UART送信（シングル送信モード時）のタイミング・チャート



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0）　q：UART番号（q = 0-2）

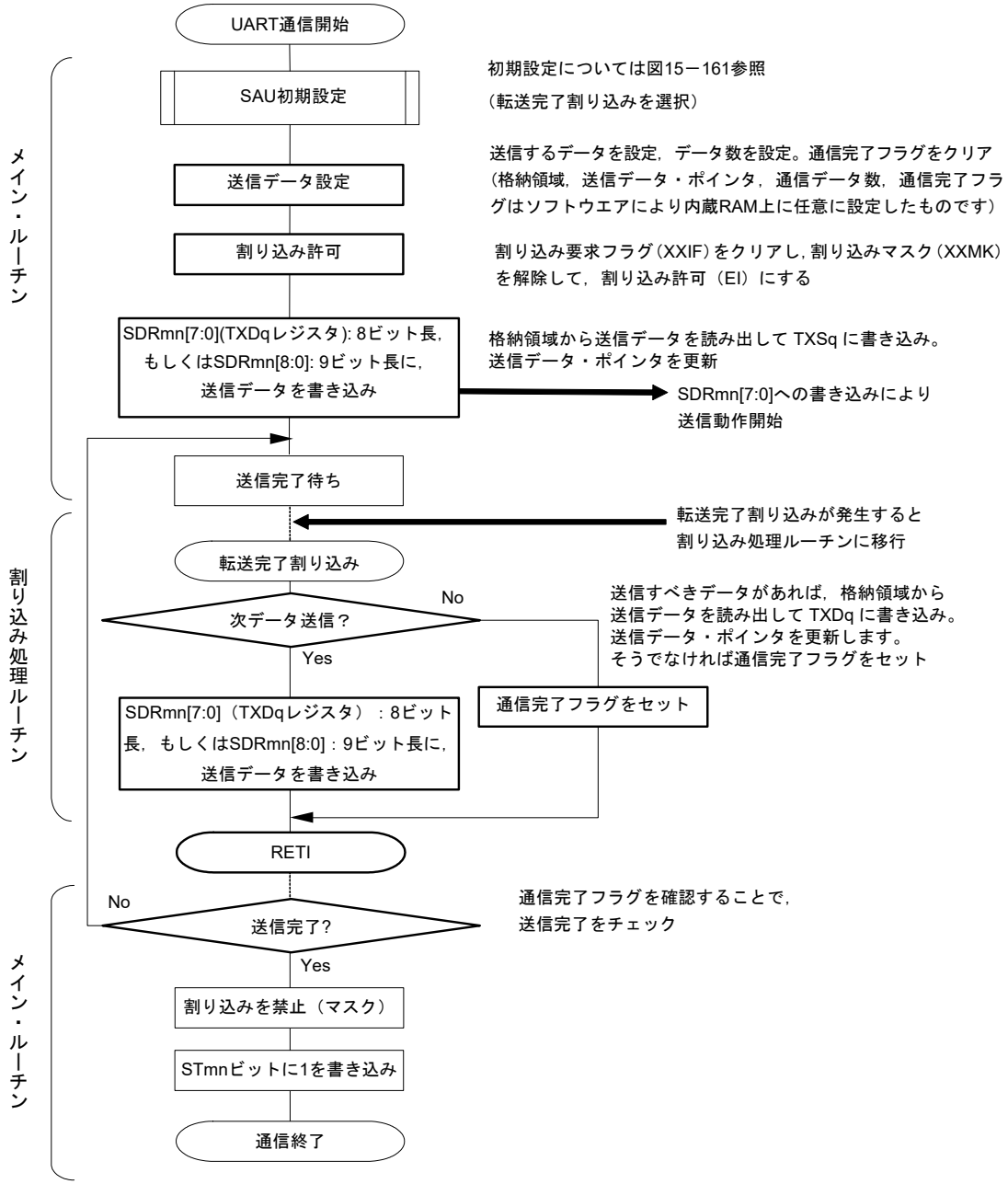
mn = 00, 10, 20

図15－165　UART送信（シングル送信モード時）のフロー・チャート（UART0，UART1）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0）　mn = 00, 10

図15－166　UART送信（シングル送信モード時）のフロー・チャート（UART2）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 0）　mn = 20　q：UART番号（q = 2）

（4）処理フロー（連続送信モード時）

図15－167　UART送信（連続送信モード時）のタイミング・チャート（UART0，UART1）

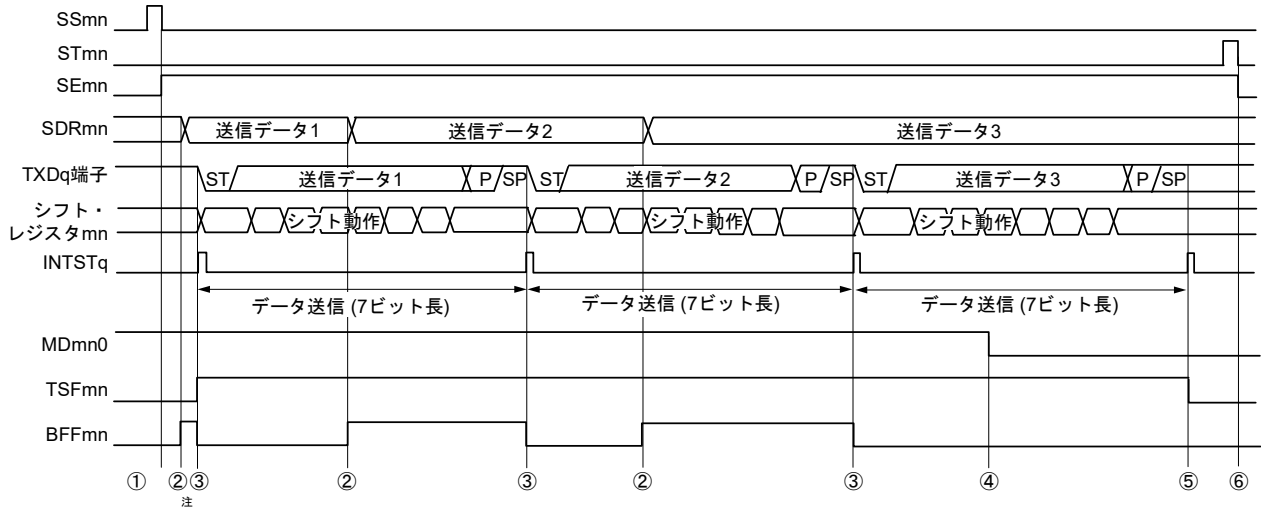
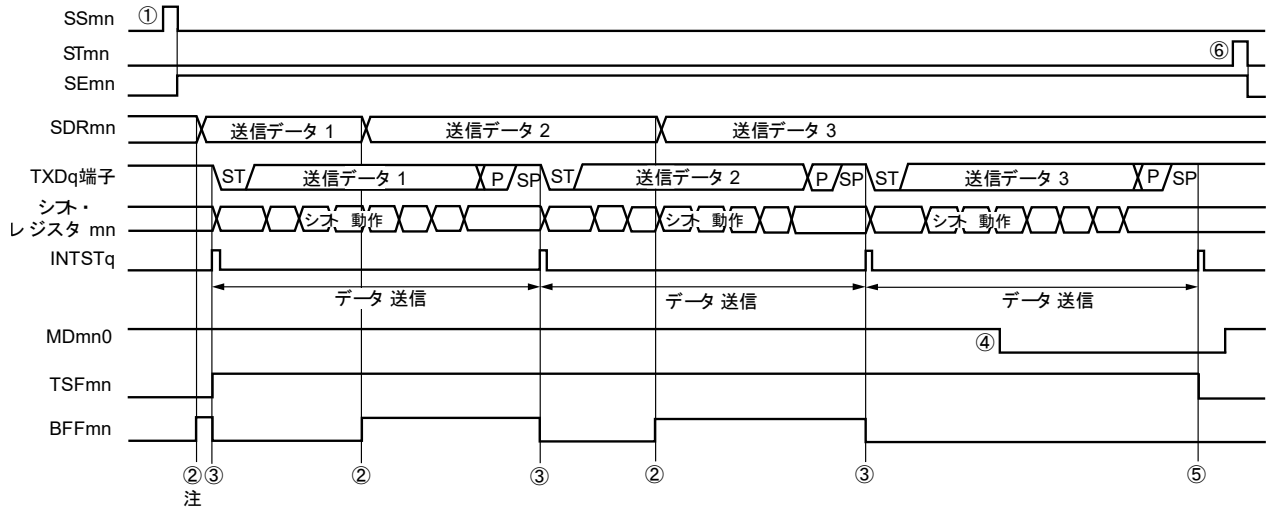


図15－168　UART送信（連続送信モード時）のタイミング・チャート（UART2）

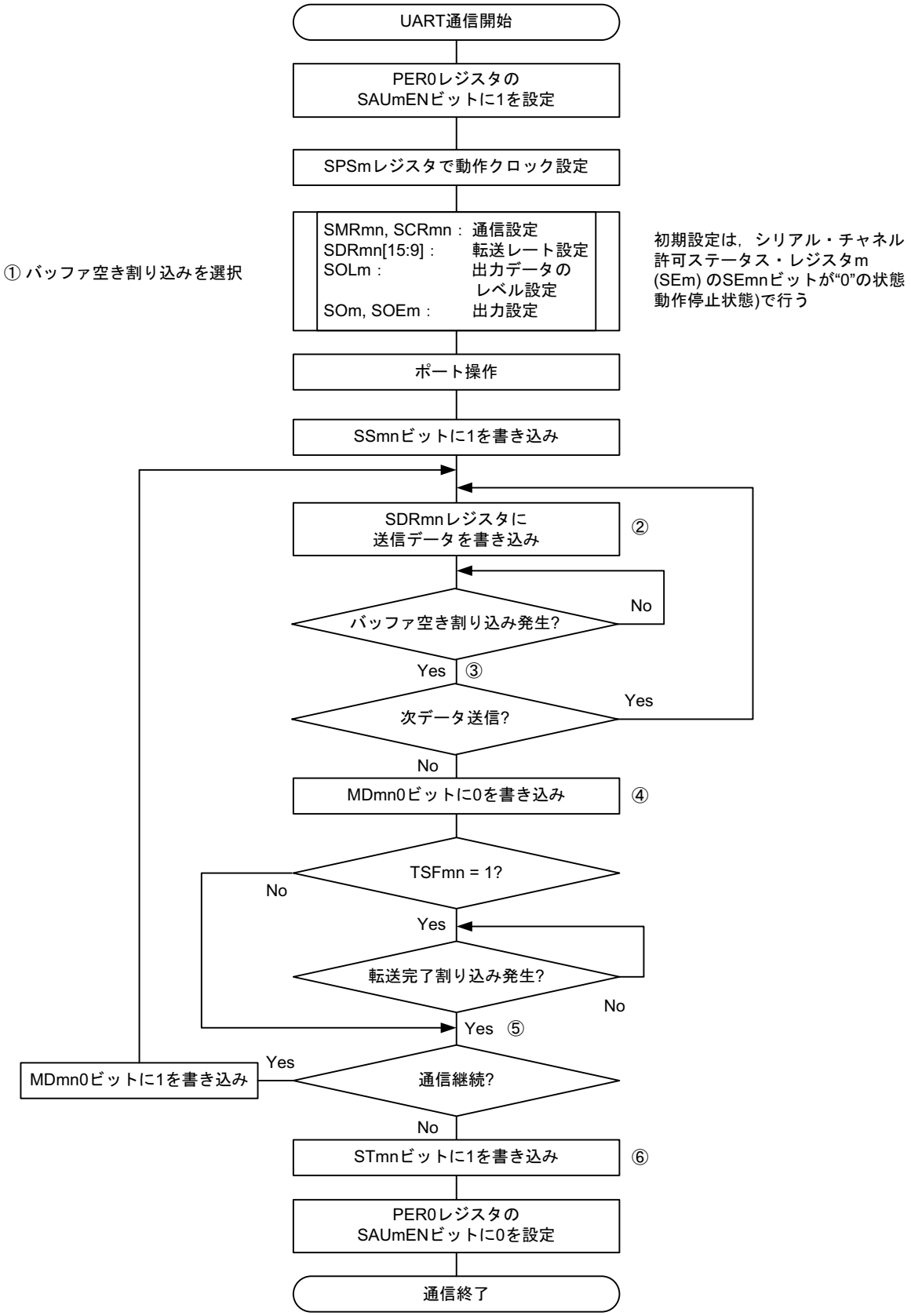


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが"1"の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

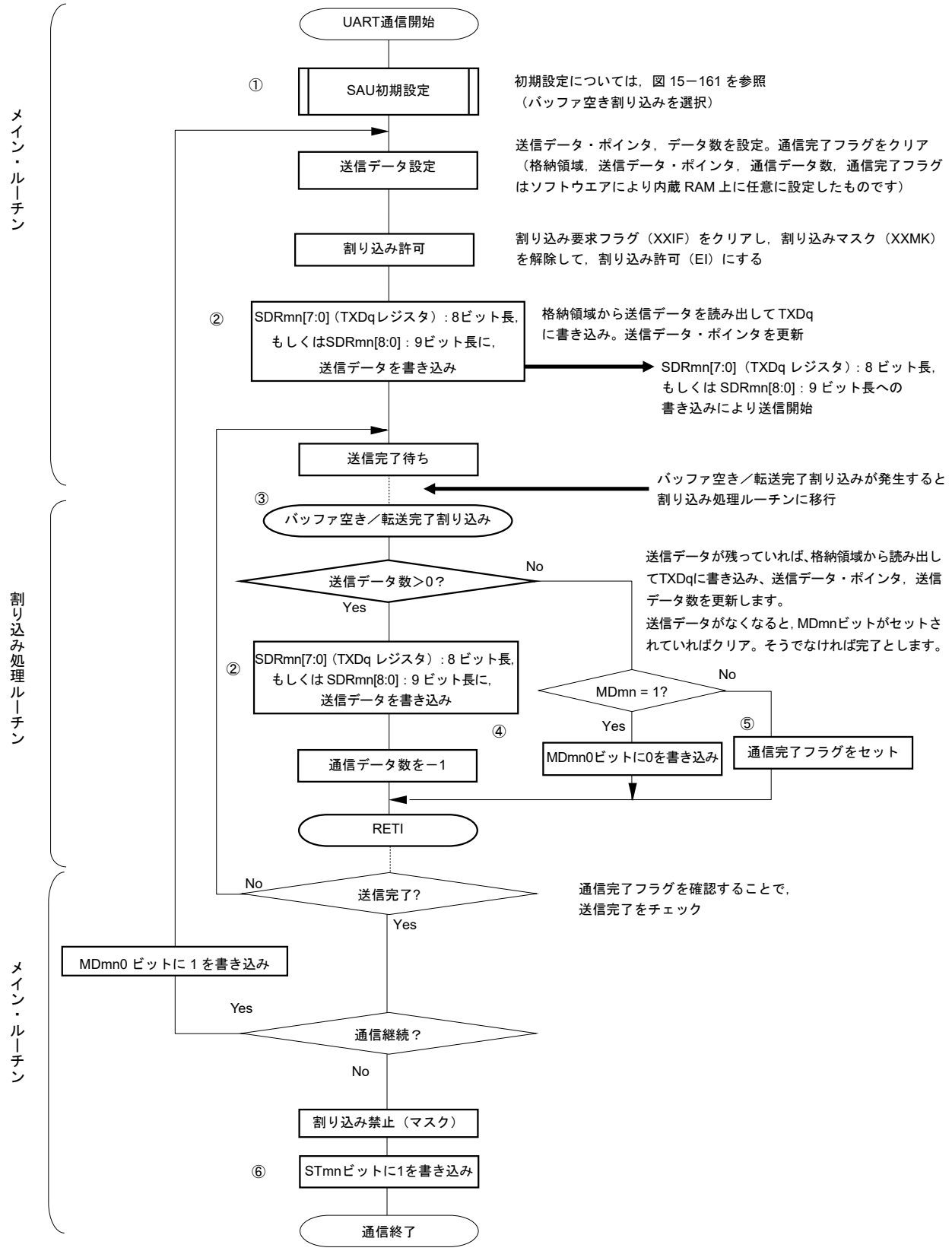
備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0）　q：UART番号（q = 0-2）
mn = 00, 10, 20

図15－169　UART送信（連続送信モード時）のフロー・チャート（UART0，UART1）



（備考は次ページにあります。）

図15－170　UART送信（連続送信モード時）のフロー・チャート（UART2）



備考1. 図中の①～⑥は、図15－167、図15－168　UART送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

2. m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0），mn = 00, 10, 20　q：UART番号（q = 2）

15.7.2　UART受信

UART受信は，他デバイスから本MCUが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル1	SAU1のチャネル1	SAU2のチャネル1
使用端子	RXD0	RXD1	RXD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	なし		INTSRE2
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn）		
転送データ長	7～9, 16ビット		7～9ビット
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上），Min. f_{CLK}/（2×2^{15}×128）[bps] 注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・0パリティ・ビット付加（パリティ・チェックなし） ・偶数パリティ・チェック ・奇数パリティ・チェック		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

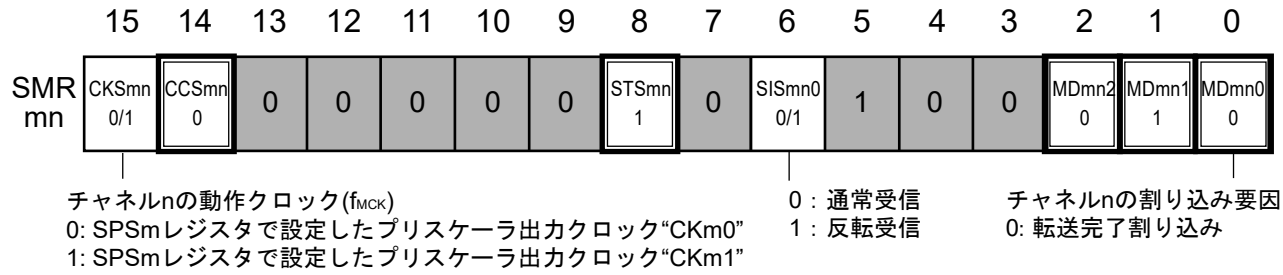
f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 1），mn = 01, 11, 21

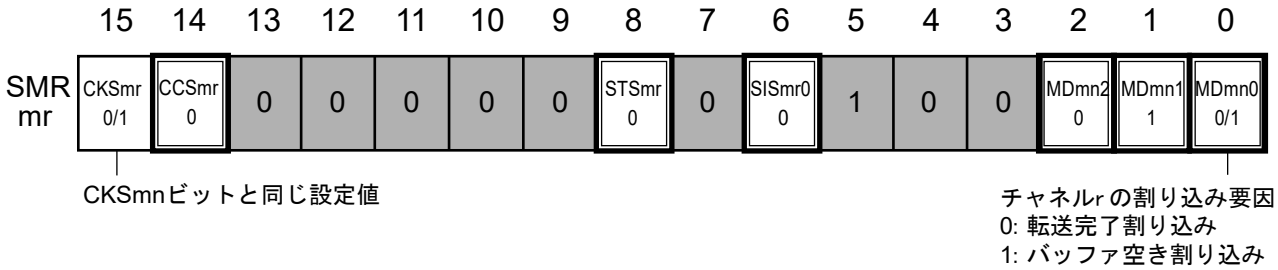
（1）レジスタ設定

図15－171　UART（UART0, UART1, UART2）のUART受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

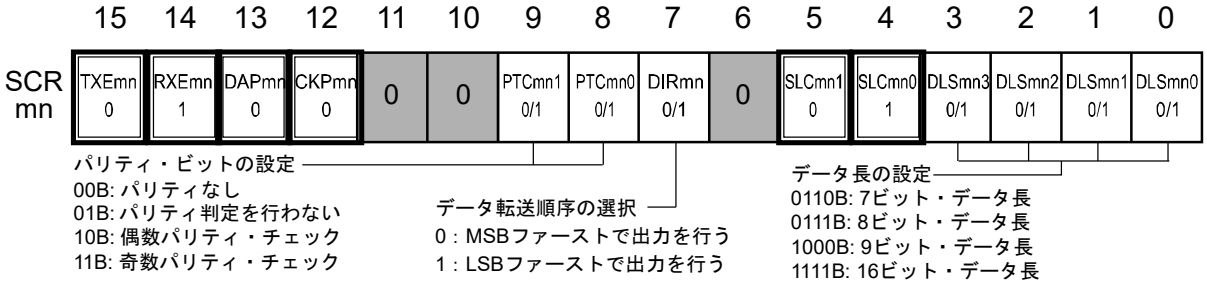


（b）シリアル・モード・レジスタmr（SMRmr）

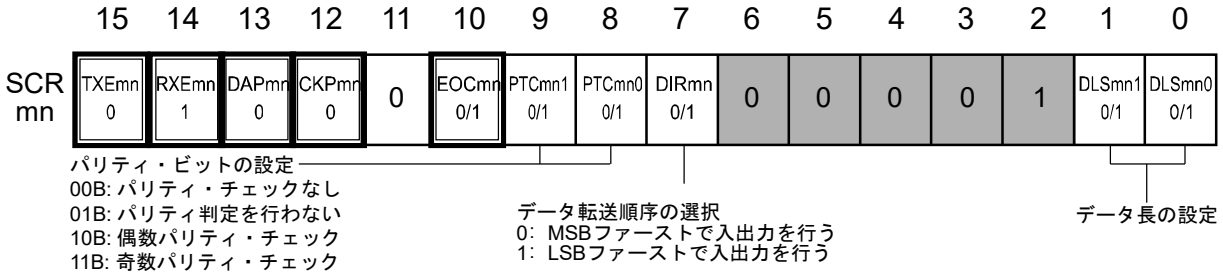


（c）シリアル通信動作設定レジスタmn（SCRmn）

① UART0，UART1



② UART2



（備考は次ページにあります。）

図15－171　UART（UART0, UART1, UART2）のUART受信時のレジスタ設定内容例（2/2）

（d）シリアル・データ・レジスタmn（SDRmn）

① UART0，UART1：動作停止時（SEmn = 0）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定							0	0	0	0	0	0	0	0	0

② UART0，UART1：動作中（SEmn = 1）（下位8ビット：SDRmnL）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	受信データ・レジスタ															

SDRmnL

③ UART2

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR mn	ボー・レート設定							受信データ設定								

SDRmnL

（e）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 ×	SOm0 ×

（f）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 ×

注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ず設定してください。

備考1.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 1），mn = 01, 11, 21

r：チャネル番号（r = n－1）

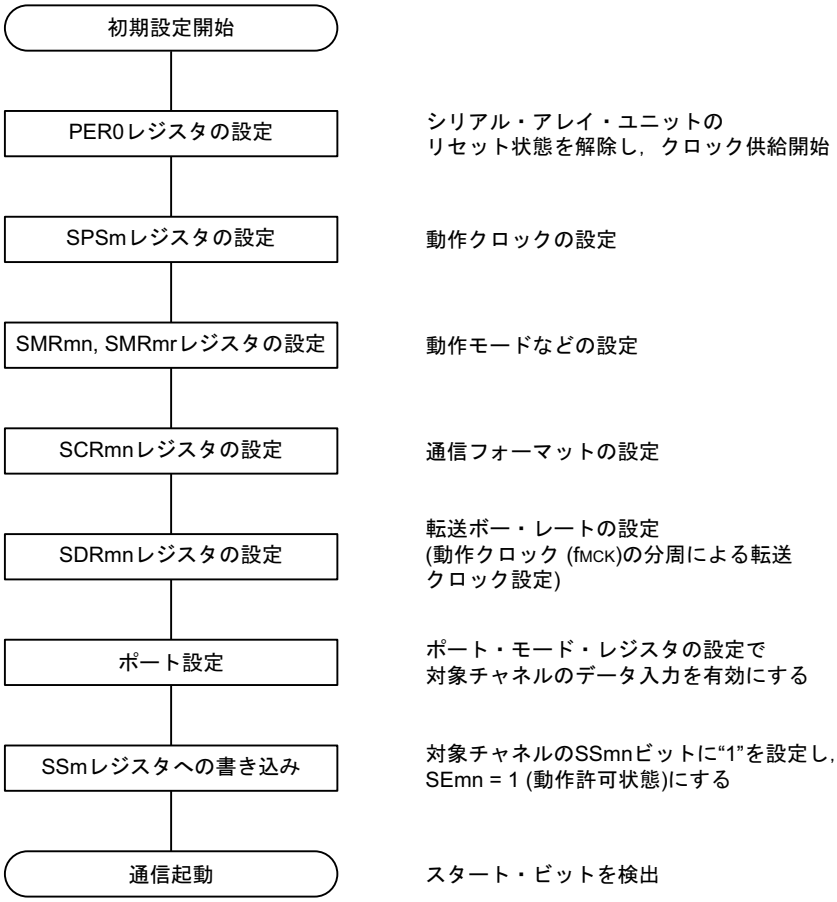
2.　□: UART受信モードでは設定固定　■: 設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

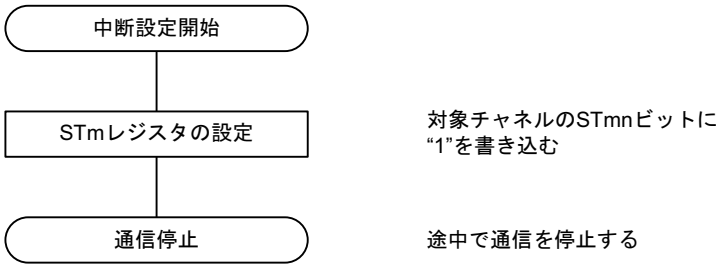
（2）操作手順

図15－172　UART受信の初期設定手順（UART0，UART1）



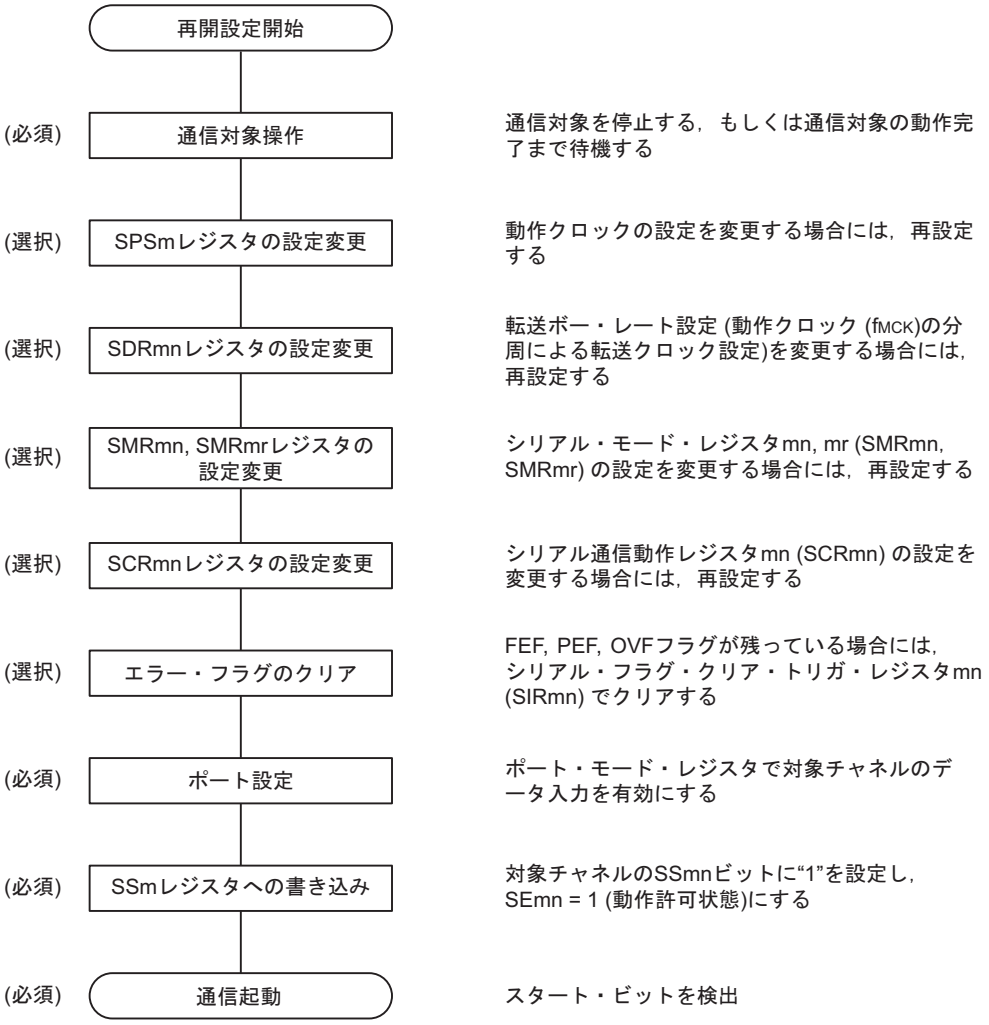
注意　SSmnビットを1にする場合、SCRmnレジスタのRXEmnビットを1に設定してからfMCKの4クロック以上経過後に設定してください。

図15－173　UART受信の中断手順（UART0，UART1）



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1），mn = 01, 11，r：チャネル番号（r = n-1）

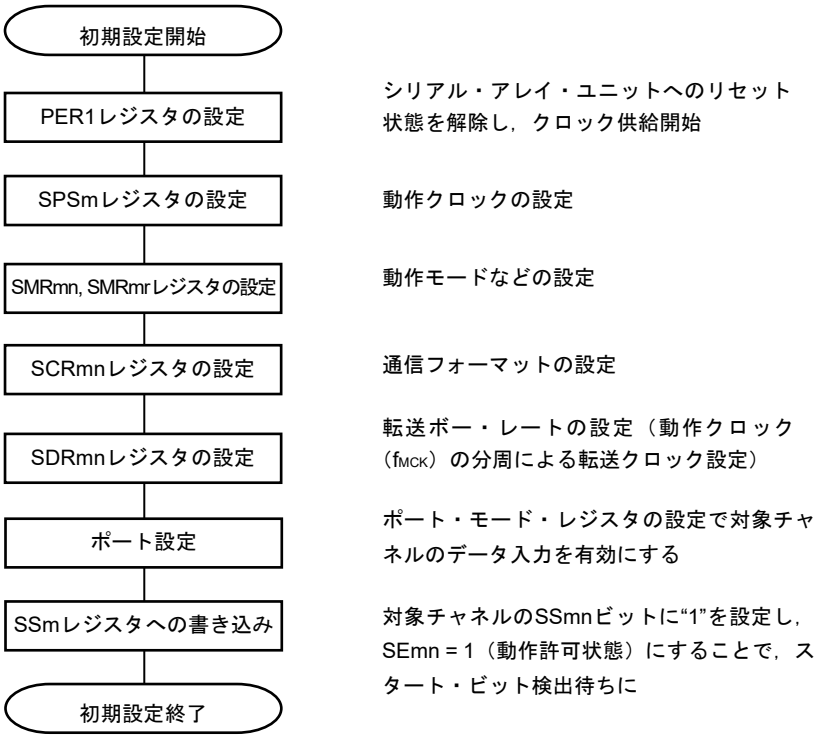
図15－174　UART受信の再開設定手順（UART0，UART1）



注意　SSmnビットを1にする場合、SCRmnレジスタのRXEmnビットを1に設定してからfMCKの4クロック以上経過後に設定してください。

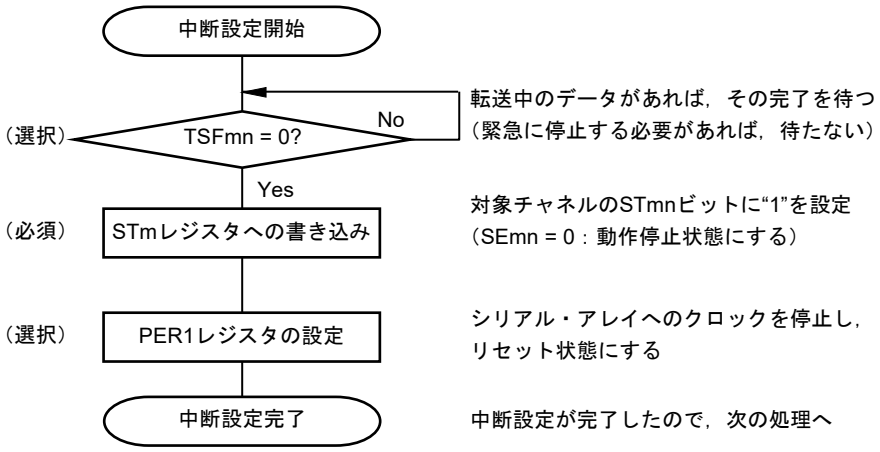
備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1），mn = 01, 11，r：チャネル番号（r = n-1）

図15－175　UART受信の初期設定手順（UART2）



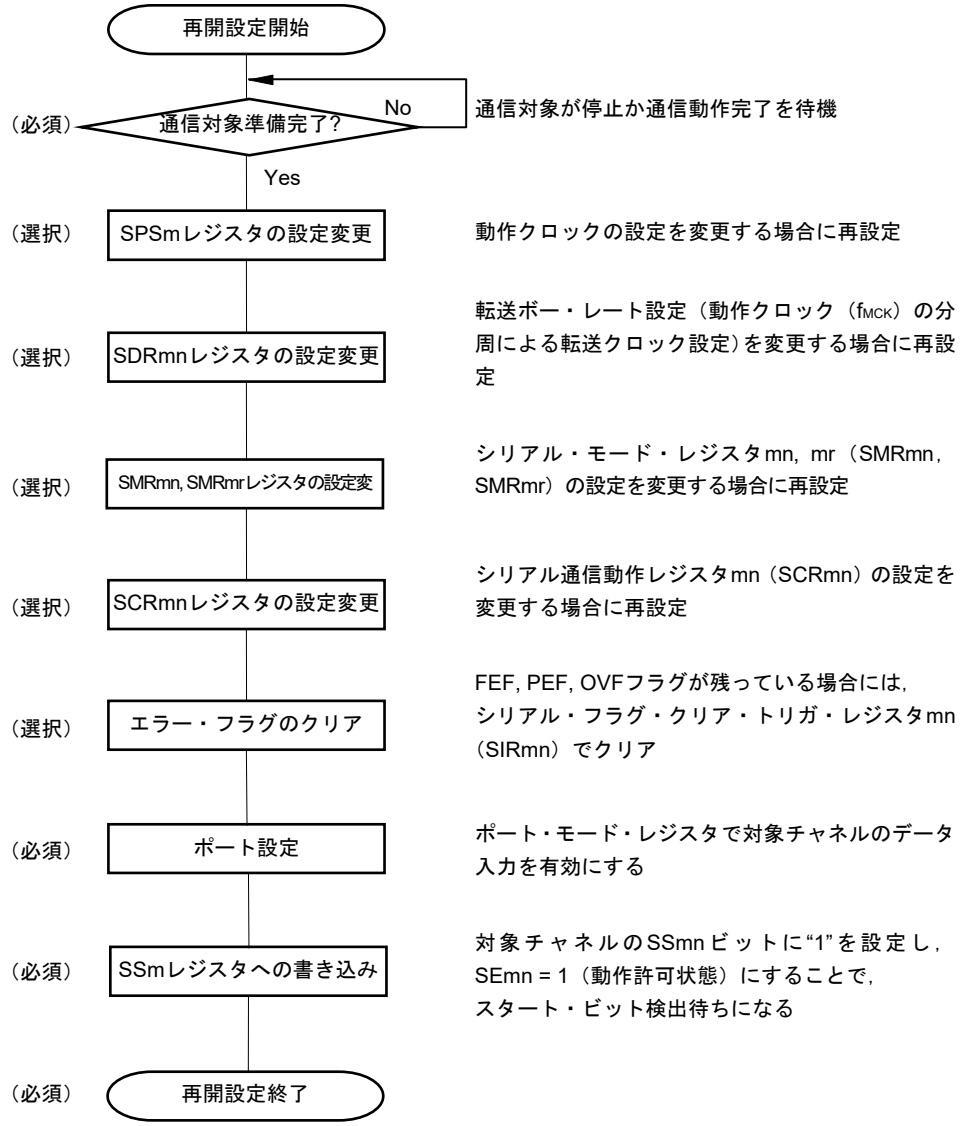
注意　SSmnビットを1にする場合、SCRmnレジスタのRXEmnビットを1に設定してからfMCKの4クロック以上経過後に設定してください。

図15－176　UART受信の中断手順（UART2）



備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 1），mn = 21，r：チャネル番号（r = n-1）

図15－177　UART受信の再開設定手順（UART2）



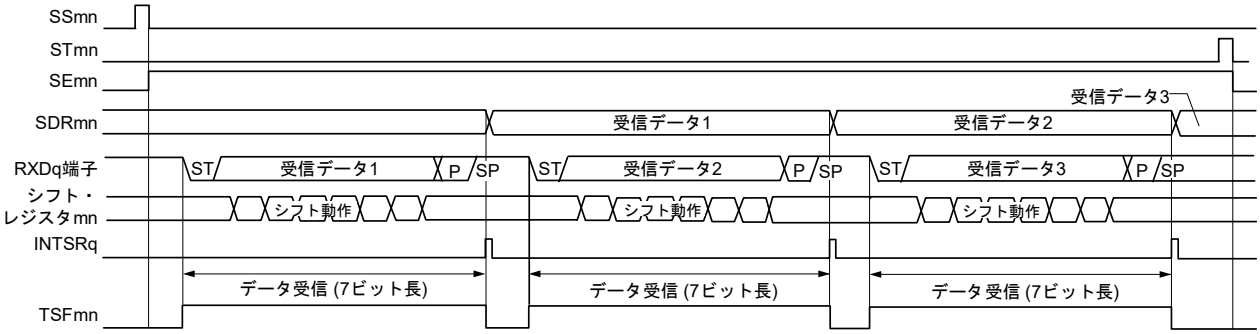
注意　SSmnビットを1にする場合、SCRmnレジスタのRXEmnビットを1に設定してからfMCKの4クロック以上経過後に設定してください。

備考1.　中断設定でPER1を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

2.　m：ユニット番号（m = 2）　n：チャネル番号（n = 1），mn = 21，r：チャネル番号（r = n-1）

（3）処理フロー

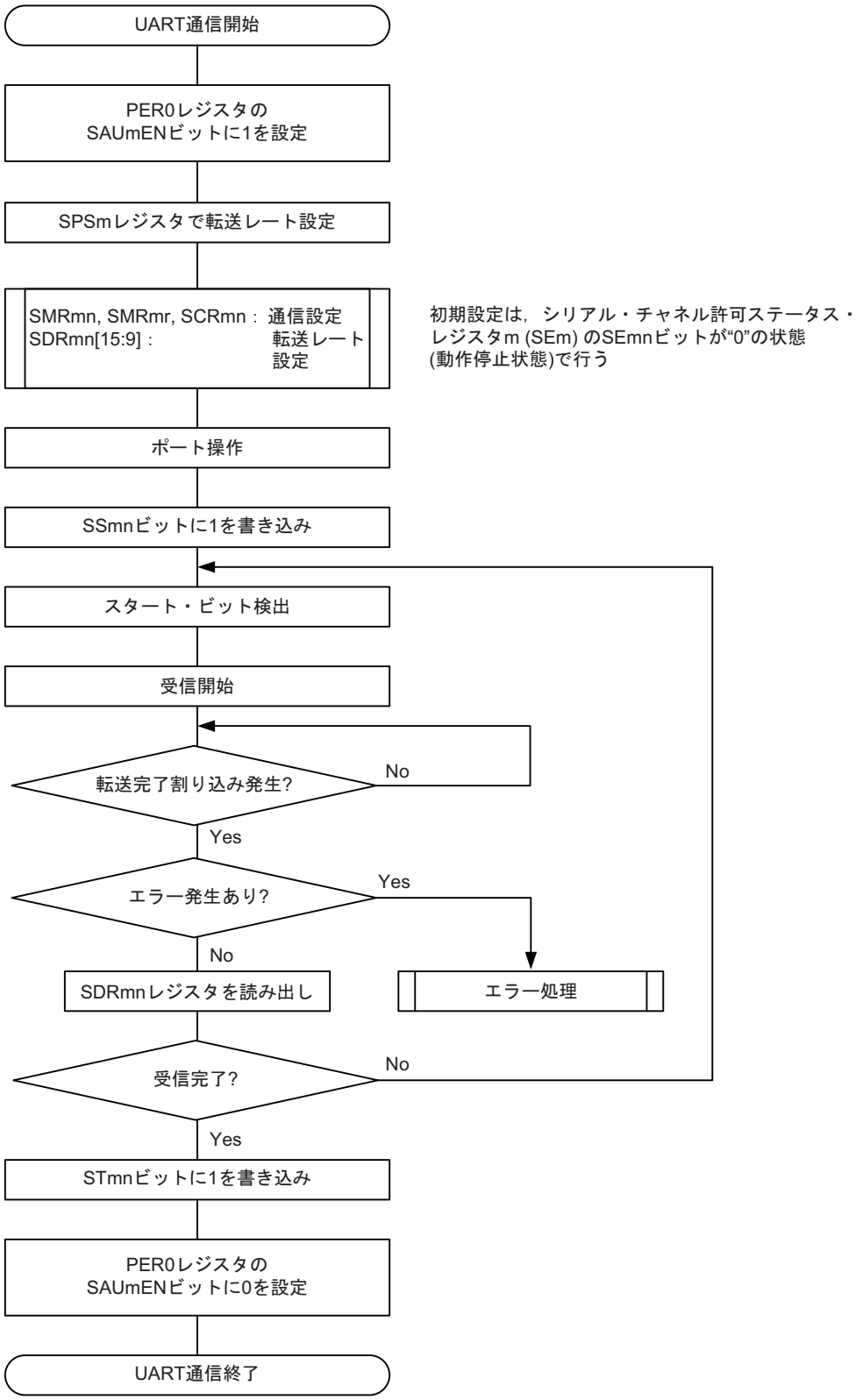
図15－178　UART受信のタイミング・チャート



備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 1），mn = 01, 11, 21

r：チャネル番号（r = n－1）　q：UART番号（q = 0-2）

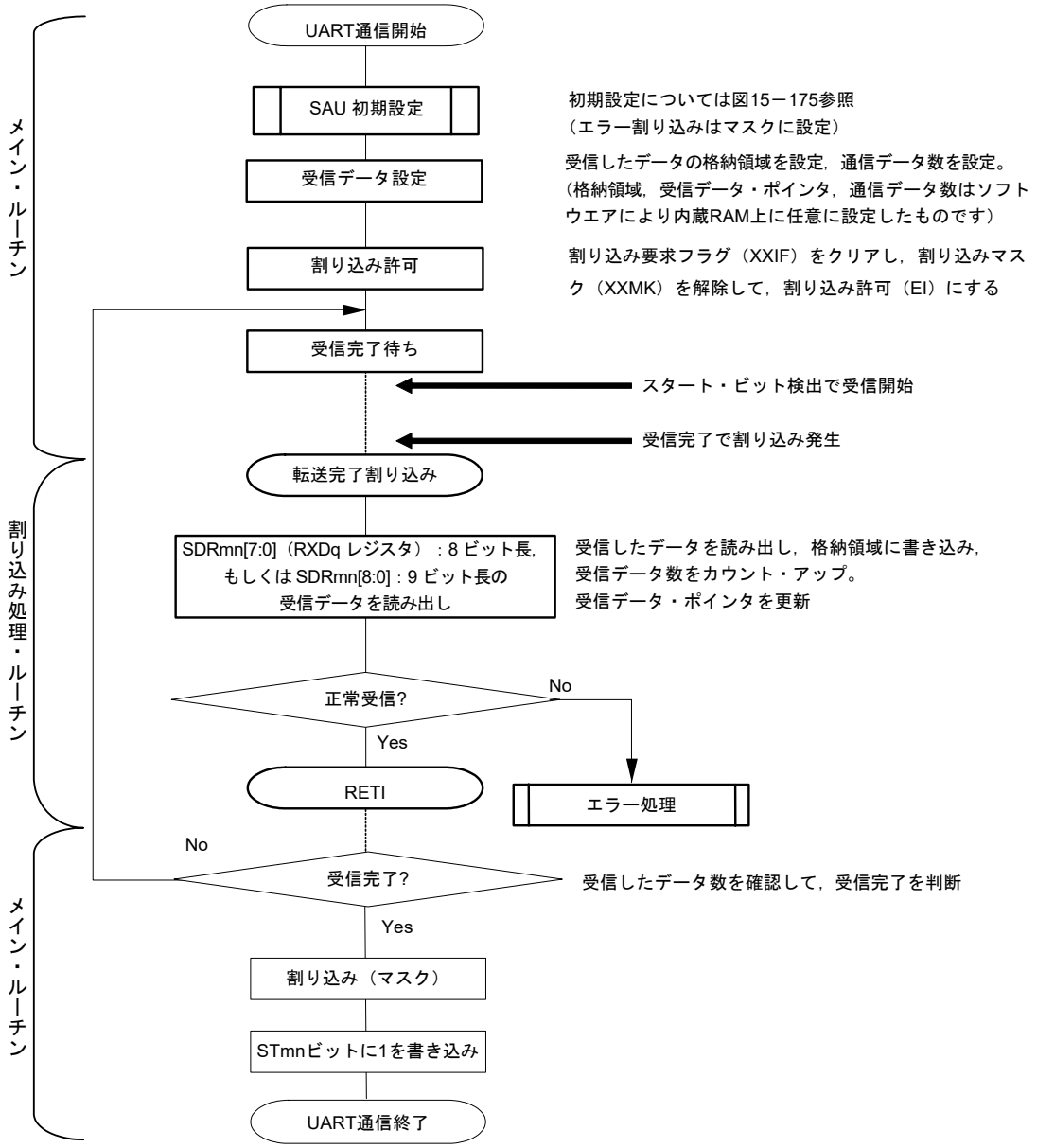
図15－179　UART受信のフロー・チャート（UART0，UART1）



注意　SSmnビットを1にする場合、SCRmnレジスタのRXEmnビットを1に設定してからf_{MCK}の4クロック以上経過後に設定してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 1），mn = 01, 11，r：チャネル番号（r = n－1）

図15－180　UART受信のフロー・チャート（UART2）



注意　SSmnビットを1にする場合、SCRmnレジスタのRXEmnビットを1に設定してからf_{MCK}の4クロック以上経過後に設定してください。

備考　m：ユニット番号（m = 2）　n：チャネル番号（n = 1），mn = 21，r：チャネル番号（r = n－1）
q：UART番号（q = 2）

15.7.3　ボー・レートの算出

（1）ボー・レート算出式

UART（UART0, UART1, UART2）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDRmn[15:9]＋1）÷ 2 [bps]

注意1.　UART0, UART1では，シリアル・データ・レジスタmn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

2.　UART2では，シリアル・データ・レジスタmn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B, 0000010B）は設定禁止です。

備考1.　UART0, UART1では，SDRmn[15:9]はSDRmnレジスタのビット15-9の値が0000010B-1111111Bであり，2-127になります。

2.　UART2では，SDRmn[15:9]はSDRmnレジスタのビット15-9の値が0000011B-1111111Bであり，3-127になります。

3.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11, 20, 21

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表15－4　UART動作クロックの選択

SMRmnレジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注1	
CKSmn	PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00		f_{CLK} = 32 MHz動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$ 注2	7.81 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$ 注2	3.91 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$ 注2	1.95 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$ 注2	977 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$ 注2	7.81 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$ 注2	3.91 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$ 注2	1.95 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$ 注2	977 Hz
上記以外									設定禁止	

注1.　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 0003H）させてから変更してください。

2.　ユニット2のみ。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11, 20, 21

（2）送信時のボー・レート誤差

UART（UART0, UART1, UART2）通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差） = （算出ボー・レート値）÷（目標ボー・レート値）× 100 − 100 [%]

f_{CLK} = 32 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	103	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^8$	103	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^7$	103	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^6$	103	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^5$	103	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^4$	103	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^3$	103	19230.8 bps	+0.16 %
31250 bps	$f_{CLK}/2^3$	63	31250.0 bps	±0.0 %
38400 bps	$f_{CLK}/2^2$	103	38461.5 bps	+0.16 %
76800 bps	$f_{CLK}/2$	103	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	103	153846 bps	+0.16 %
312500 bps	f_{CLK}	50	313725.5 bps	+0.39 %

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0），mn = 00, 10, 20

（3）受信時のボー・レート許容範囲

UART（UART0, UART1, UART2）通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr-1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate：受信側の算出ボー・レート値（「15.7.3（1）ボー・レート算出式」を参照）

k　　：SDRmn[15:9] ＋1

Nfr　：1データ・フレーム長［ビット］

＝（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 1），mn = 01, 11, 21

図15－181　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

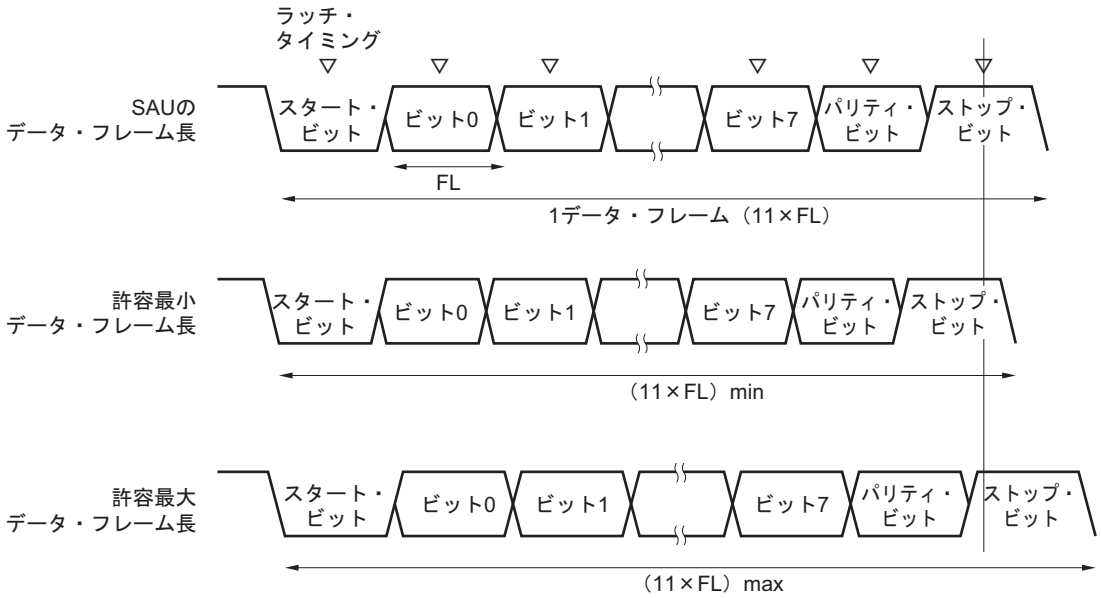


図15－181に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

15.7.4　UART（UART0, UART1, UART2）通信時におけるエラー発生時の処理手順

UART（UART0, UART1, UART2）通信時にエラーが発生した場合の処理手順を図15－182，図15－183に示します。

図15－182　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）を　→ リードする	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする　→	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図15－183　フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）を　→ リードする	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする　→	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに"1"を設定する　→	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"0"となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに"1"を設定する　→	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"1"となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0-2）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11, 20, 21

15.8　LIN通信の動作

15.8.1　LIN送信

UART送信のうち，UART0はLIN通信に対応しています。

LIN送信では，ユニット0のチャネル0を使用します。

UART	UART0	UART1, UART2
LIN通信対応	可	不可
対象チャネル	SAU0のチャネル0	－
使用端子	TXD0	－
割り込み	INTST0	－
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート	Max. f_{MCK}/6 [bps]（SDR00[15:9] = 2以上），Min. $f_{CLK}/(2\times2^{11}\times128)$ [bps] 注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

なお，LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

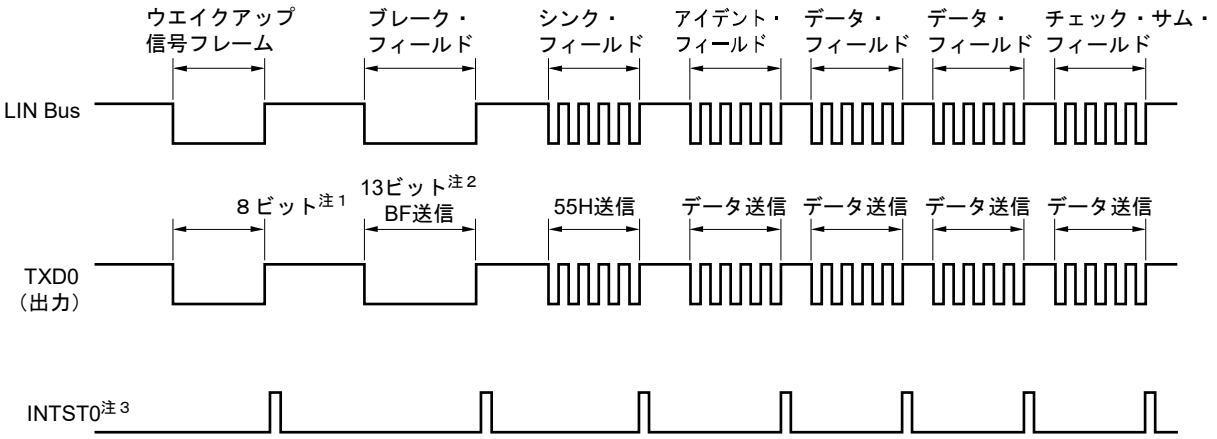
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作の概略を，図15－184に示します。

図15－184　LINの送信操作



注1.　80Hのデータ送信をすることで対応します。

2.　ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので，メイン転送で使用するボー・レートをN [bps]とすると，ブレーク・フィールドで使用するボー・レートは次のようになります。

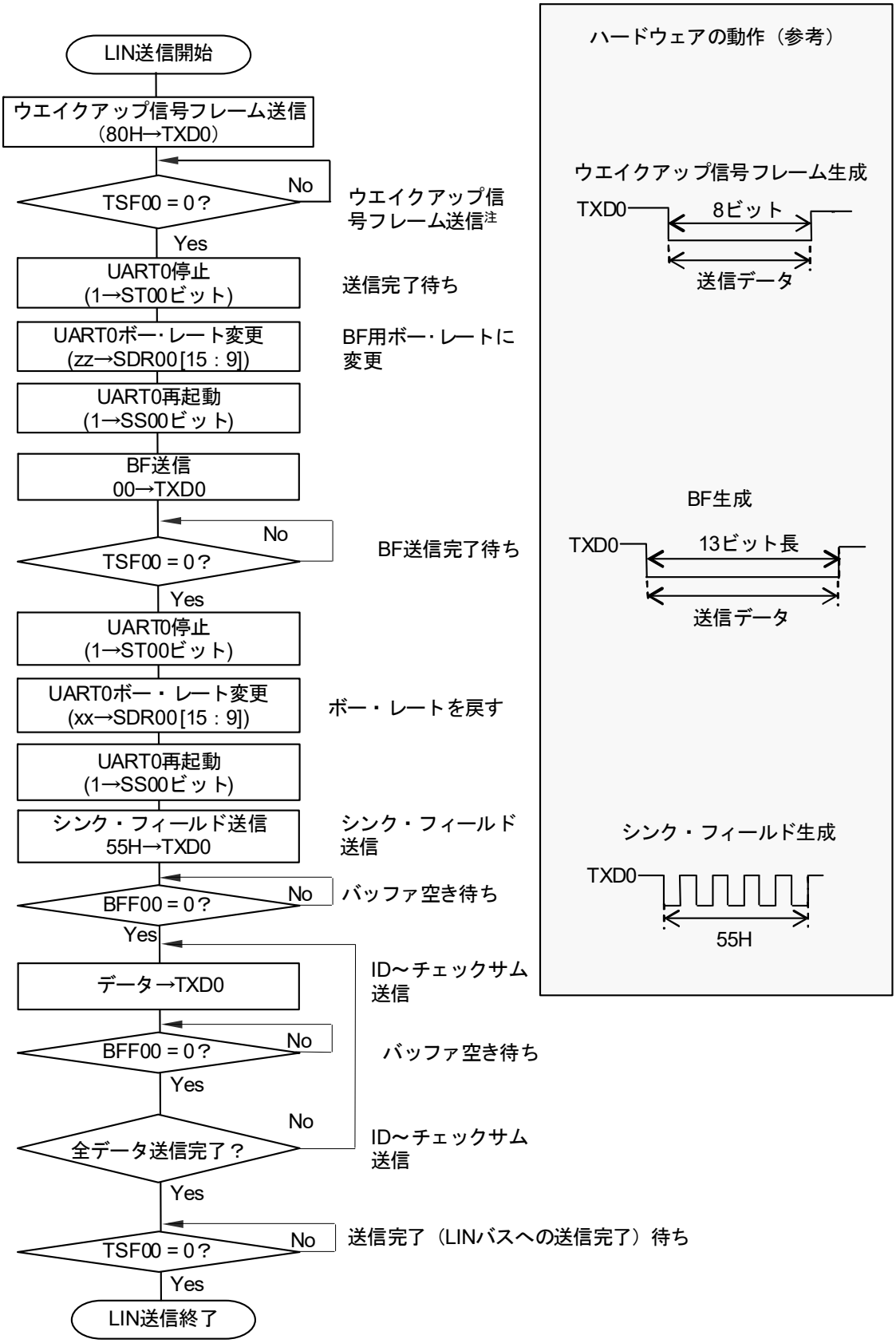
（ブレーク・フィールド時のボー・レート）　= 9/13×N

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

3.　各送信終了時にはINTST0を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図15－185　LIN送信のフロー・チャート



注　LIN-busがスリープ状態からの起動時のみ

備考　UARTの初期設定は完了し，送信許可状態からのフローです。

15.8.2　LIN受信

UART受信のうち，UART0はLIN通信に対応しています。

LIN受信では，ユニット0のチャネル1を使用します。

UART	UART0	UART1, UART2
LIN通信対応	可	不可
対象チャネル	SAU0のチャネル1	－
使用端子	RXD0	－
割り込み	INTSR0	－
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEF01） ・オーバラン・エラー検出フラグ（OVF01）	
転送データ長	8ビット	
転送レート	Max. f_{MCK}/6 [bps]（SDR01[15:9] = 2以上），Min. f_{CLK}/（$2 \times 2^{11} \times 128$）[bps] 注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）	
ストップ・ビット	1ビット目チェック	
データ方向	MSBファーストまたはLSBファースト	

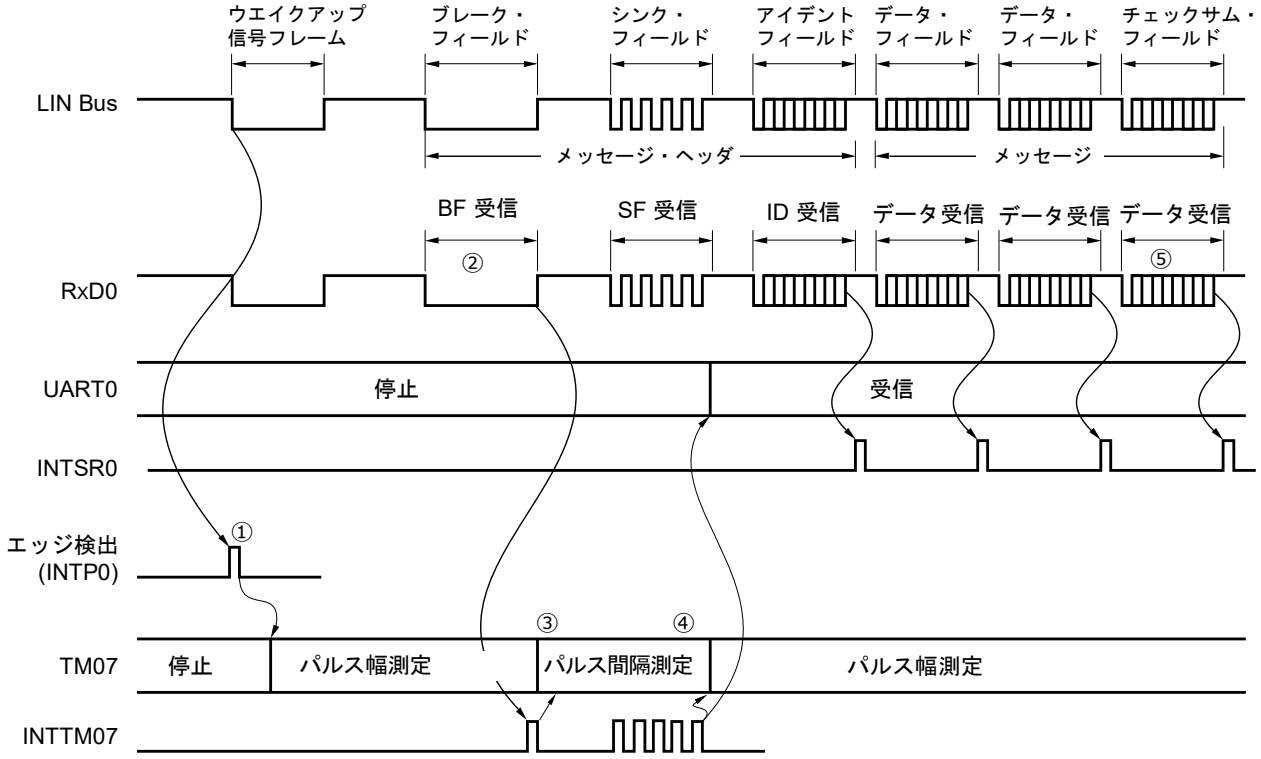
注　この条件を満たし，かつ電気的特性のAC特性を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

LINの受信操作の概略を，図15－186に示します。

図15－186　LINの受信操作



受信処理の流れを次に示します。

① ウエイクアップ信号の検出は，端子の割り込みエッジ検出（INTP0）で行います。ウエイクアップ信号を検出したら，TM07をBFのロウ・レベル幅測定のためにパルス幅測定に設定して，BF受信待ち状態にします。

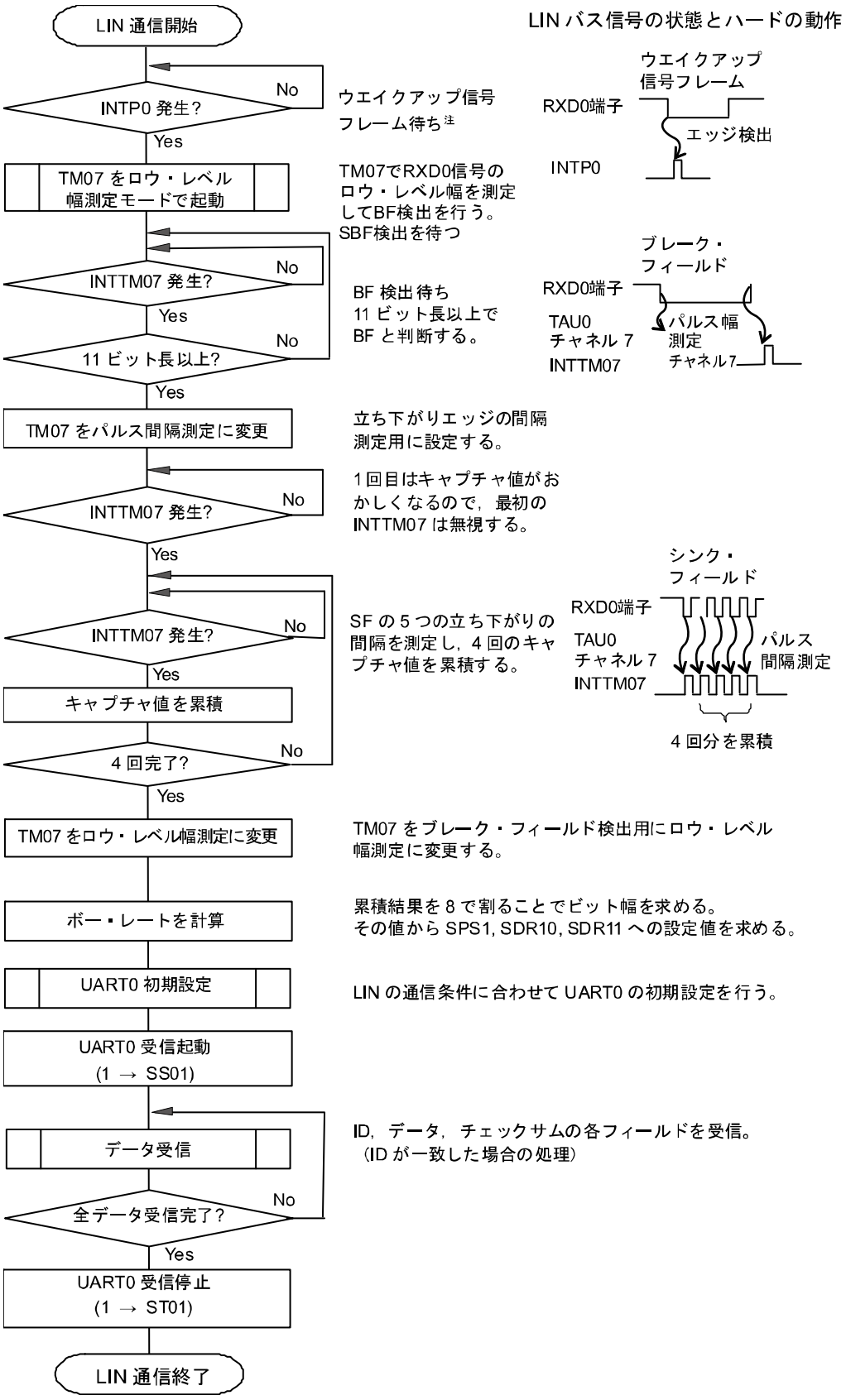
② BFの立ち下がりを検出したら，TM07はロウ・レベル幅の測定を開始し，立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。

③ BF受信を正常終了した場合，TM07をパルス間隔測定に設定し，シンク・フィールドのRXD0信号の立ち下がりの間隔を4回測定してください（「6.7.4　入力パルス間隔測定としての動作」を参照）。

④ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして，いったんUART0を動作停止にしてからボー・レートを調整（再設定）してください。

⑤ チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し，再びBF受信待ちに設定する処理もソフトウエアにて行ってください。

図15－187　LIN受信のフロー・チャート



注　スリープ状態でのみ必要となります。

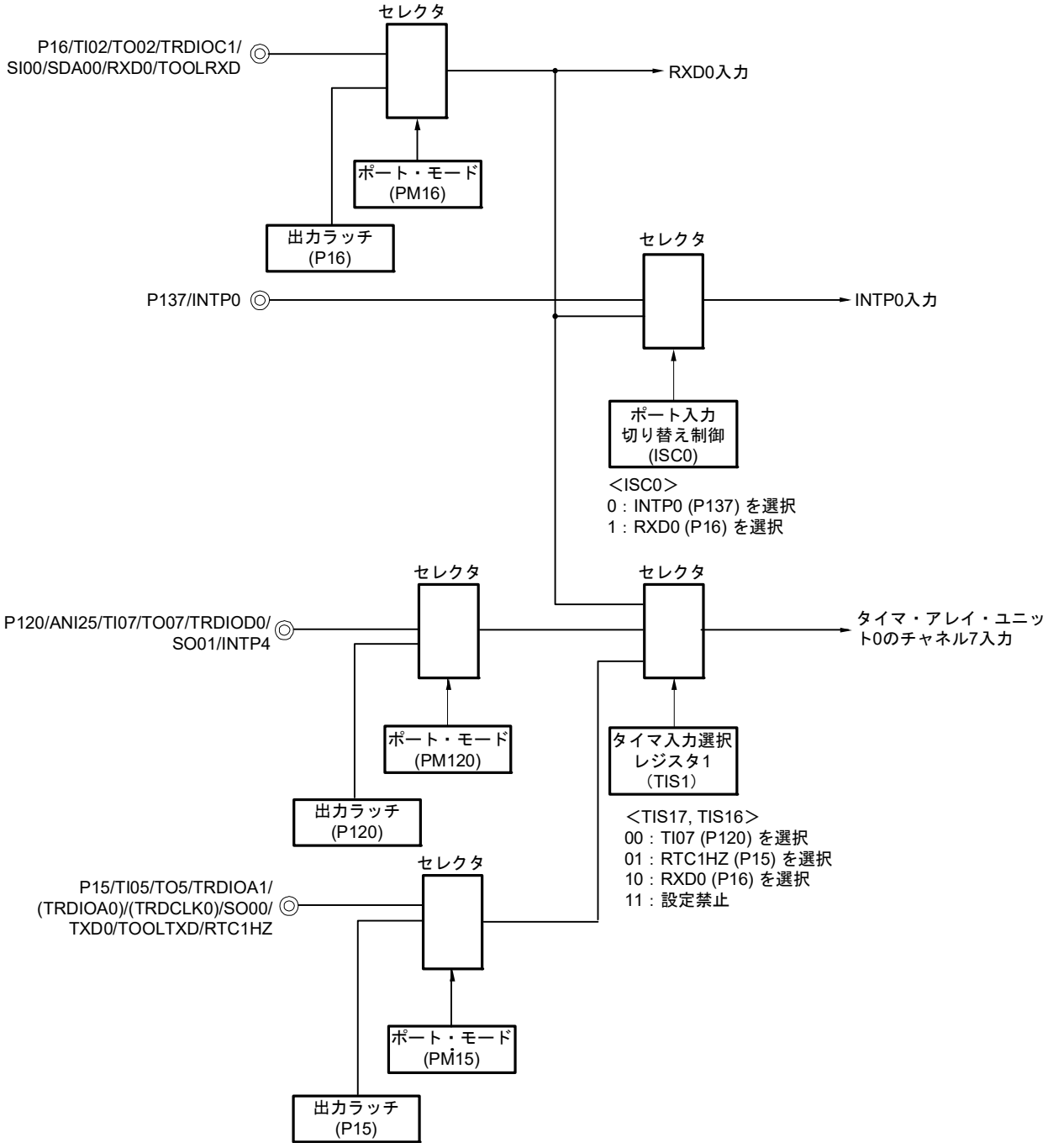
注意　SSmnビットを1にする場合、SCRmnレジスタのRXEmnビットを1に設定してからf_{MCK}の4クロック以上経過後に設定してください。

図15－188はLINの受信操作用のポート構成図です。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替えの制御（ISC0/TIS1）により，外部で結線をせずに，受信用ポート入力（RXD0）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニット0へ入力することができます。

図15－188　LINの受信操作用のポート構成図



備考　ISC0：入力切り替え制御レジスタ（ISC）のビット0（図15－22参照）

LIN通信動作で使用する周辺機能をまとめると，次のようになります。

＜使用する周辺機能＞

- 外部割り込み（INTP0）；ウエイクアップ信号検出
  用途：ウエイクアップ信号のエッジを検出し，通信開始を検出
- タイマ・アレイ・ユニットのチャネル7；ボー・レート誤差検出，ブレーク・フィールド（BF）検出
  用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（RXD0入力エッジの間隔をキャプチャ・モードで測定）
  ロウ・レベル幅を測定し，ブレーク・フィールド（BF）かを判定
- シリアル・アレイ・ユニット0（SAU0）のチャネル0, 1（UART0）

15.9　簡易I²C（IIC00, IIC01, IIC10, IIC11）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

［データ送受信］

- マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能[注]，ACK検出機能
- 8ビットのデータ長
  （アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- オーバラン・エラー
- パリティ・エラー（ACKエラー）

※［簡易I²Cでサポートしていない機能］

・スレーブ送信，スレーブ受信

・アービトレーション負け検出機能

・ウエイト検出機能

注　最終データの受信時は，SOEmn（SOEmレジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は「15.9.3（2）処理フロー」を参照してください。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

簡易I²C（IIC00, IIC01, IIC10, IIC11）に対応しているチャネルは，SAU0のチャネル0, 1とSAU1のチャネル0, 1です。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00（SPI機能対応）注3	UART0（LIN-bus対応）	IIC00
	1	CSI01（SPI機能対応）注3		IIC01
1	0	CSI10（SPI機能対応）注1, 3	UART1	IIC10
	1	CSI11（SPI機能対応）注3		IIC11
2注2	0	CSI20	UART2	–
	1	CSI21		–

注1. 48ピンの製品には、$\overline{\text{SSI10}}$端子はありません。

2. 144, 100ピン製品のみ。

3. $\overline{\text{SSImn}}$(スレーブ選択入力)を使用される場合、SCRmnレジスタのCKPmnビットを1(クロック位相を反転)にしてください（m = 0, 1、n = 0, 1）。

簡易I²C（IIC00, IIC01, IIC10, IIC11）の通信動作は，以下の4種類があります。

- アドレス・フィールド送信（「15.9.1　アドレス・フィールド」を参照）
- データ送信（「15.9.2　データ送信」を参照）
- データ受信（「15.9.3　データ受信」を参照）
- ストップ・コンディション発生（「15.9.4　ストップ・コンディション発生」を参照）

15.9.1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00注	SCL01, SDA01注	SCL10, SDA10注	SCL11, SDA11注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）			
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）			
転送レート	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK受信タイミング用）			
データ方向	MSBファースト			

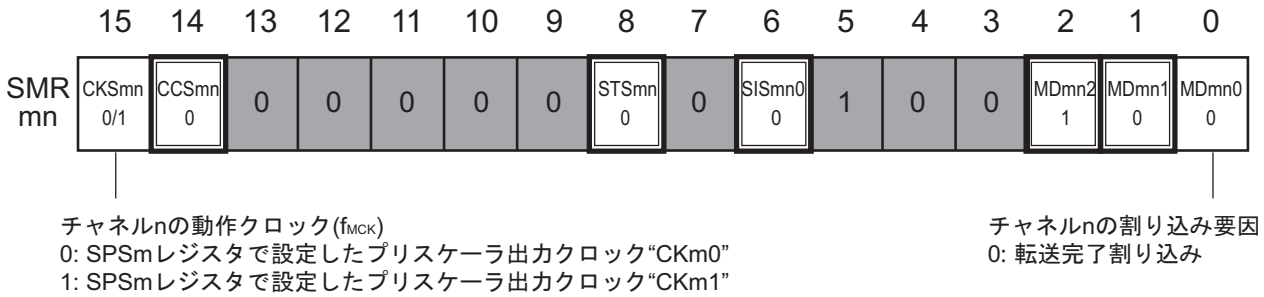
注　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレーン出力（EV_{DD0}耐圧）モードを設定（POMxx = 1）してください（詳細は「4.3　ポート機能を制御するレジスタ」を参照）。IIC00, IIC01, IIC10, IIC11を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL01, SCL10, SCL11）も同様にN-chオープン・ドレーン出力（EV_{DD0}耐圧）モードを設定（POMxx = 1）してください（詳細は「4.4.4　異電位（3 V系）外部デバイスとの接続方法」を参照）。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

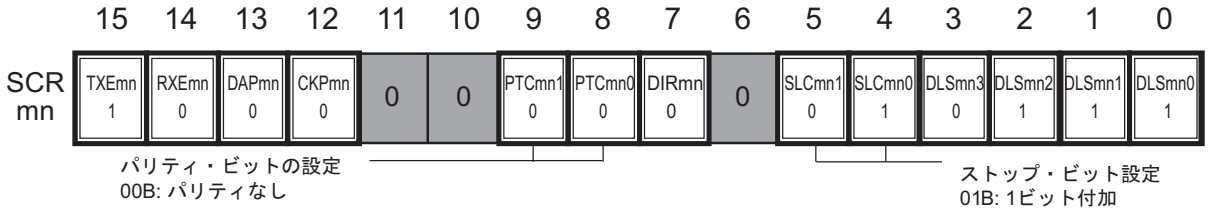
（1）レジスタ設定

図15－189　簡易I²C（IIC00, IIC01, IIC10, IIC11）のアドレス・フィールド送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）

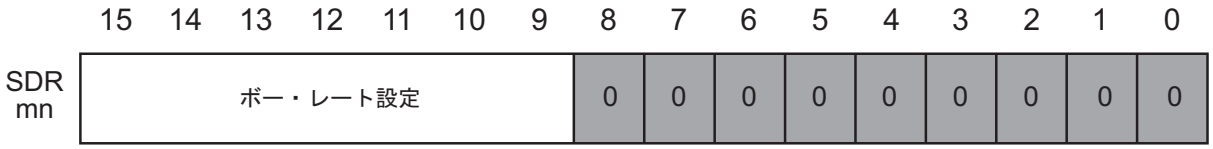


（b）シリアル通信動作設定レジスタmn（SCRmn）

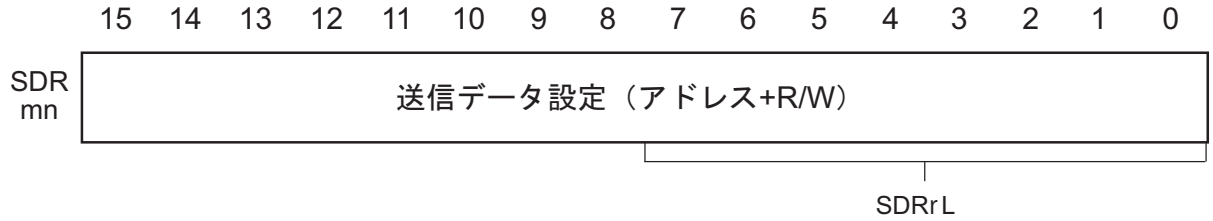


（c）シリアル・データ・レジスタmn（SDRmn）

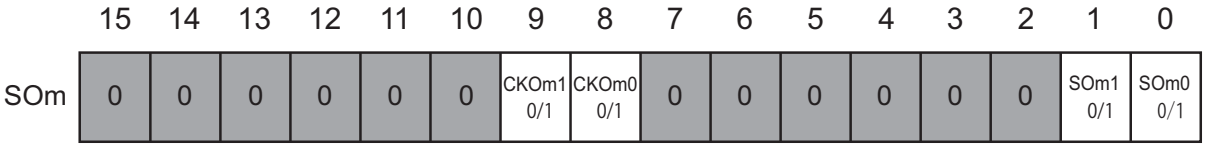
(i)　動作停止時（SEmn = 0）



(ii)　動作中（SEmn = 1）（下位8ビット：SDRrL）



（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する



SOmnビットを操作して、スタート・コンディションを発生する。

（備考は次のページにあります。）

図15－189　簡易I²C（IIC00, IIC01, IIC10, IIC11）のアドレス・フィールド送信時のレジスタ設定内容例（2/2）

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

スタート・コンディションを発生まではSOEmn = 0とし、発生後はSOEmn = 1とする。

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

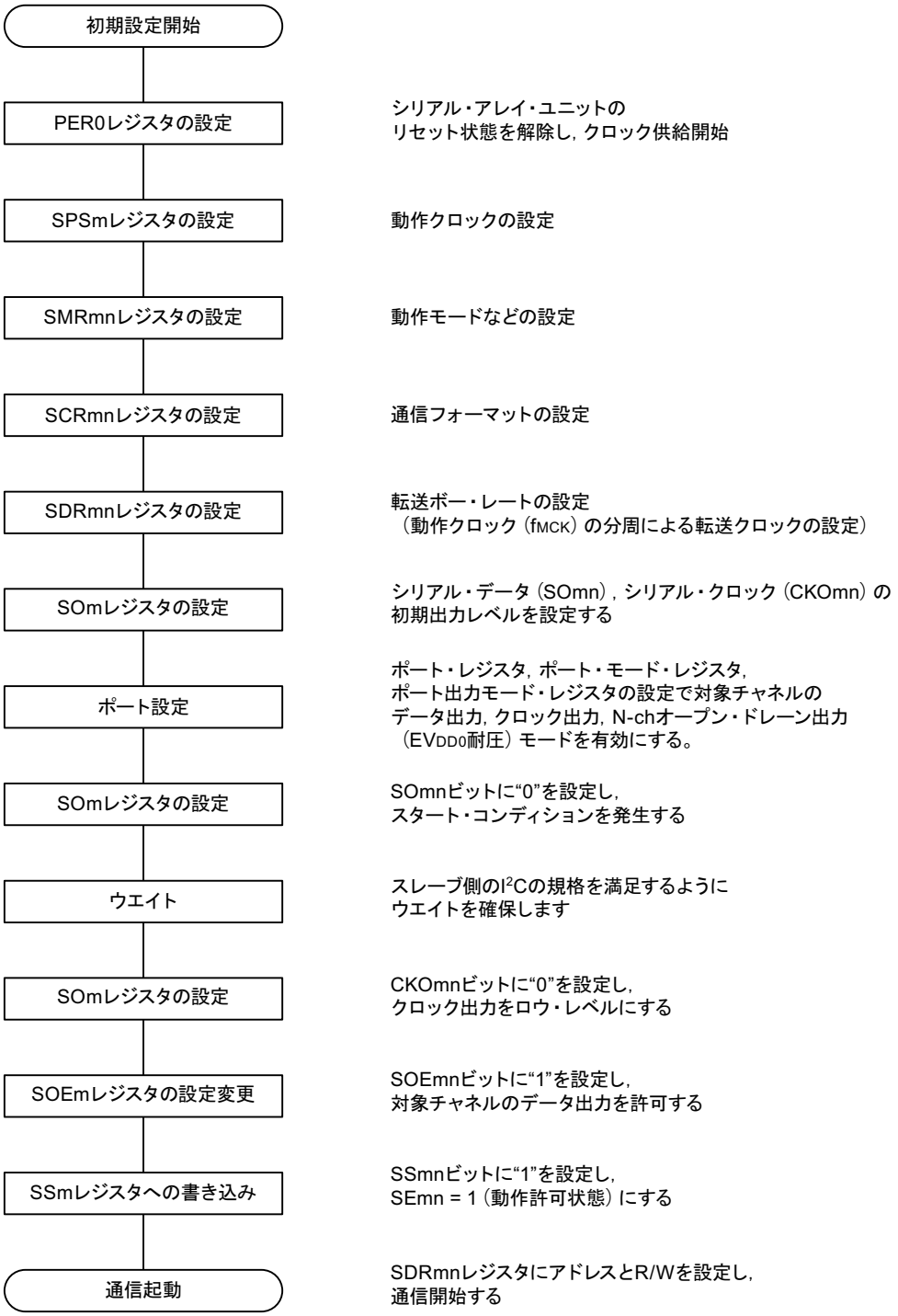
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01, 10, 11）
mn = 00, 01, 10, 11

2.　□: I²Cモードでは設定固定　■：設定不可（初期値を設定）
0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

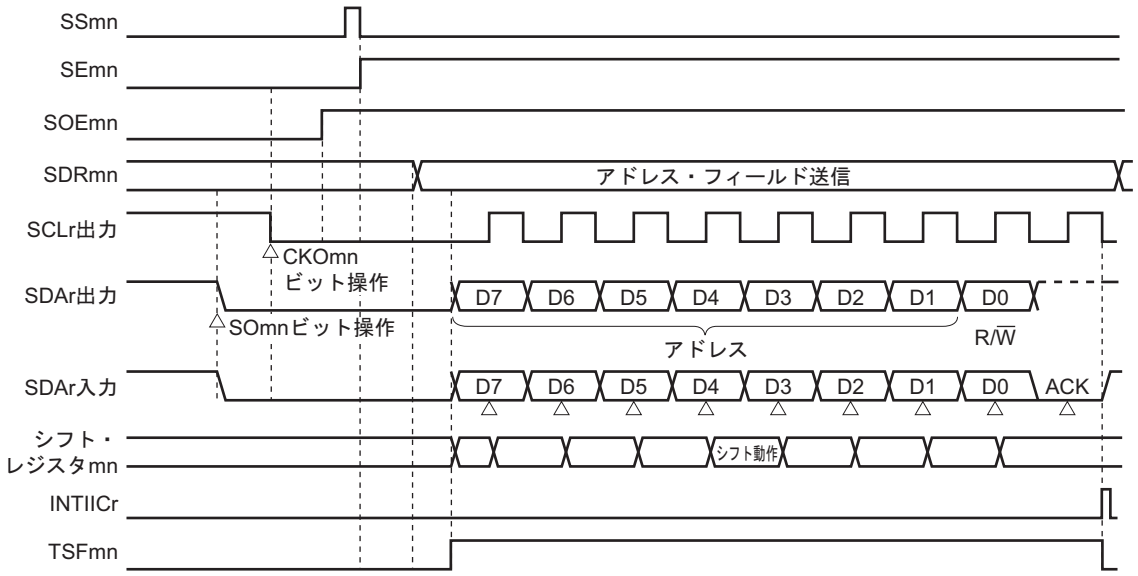
図15－190　アドレス・フィールド送信の初期設定手順



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

（3）処理フロー

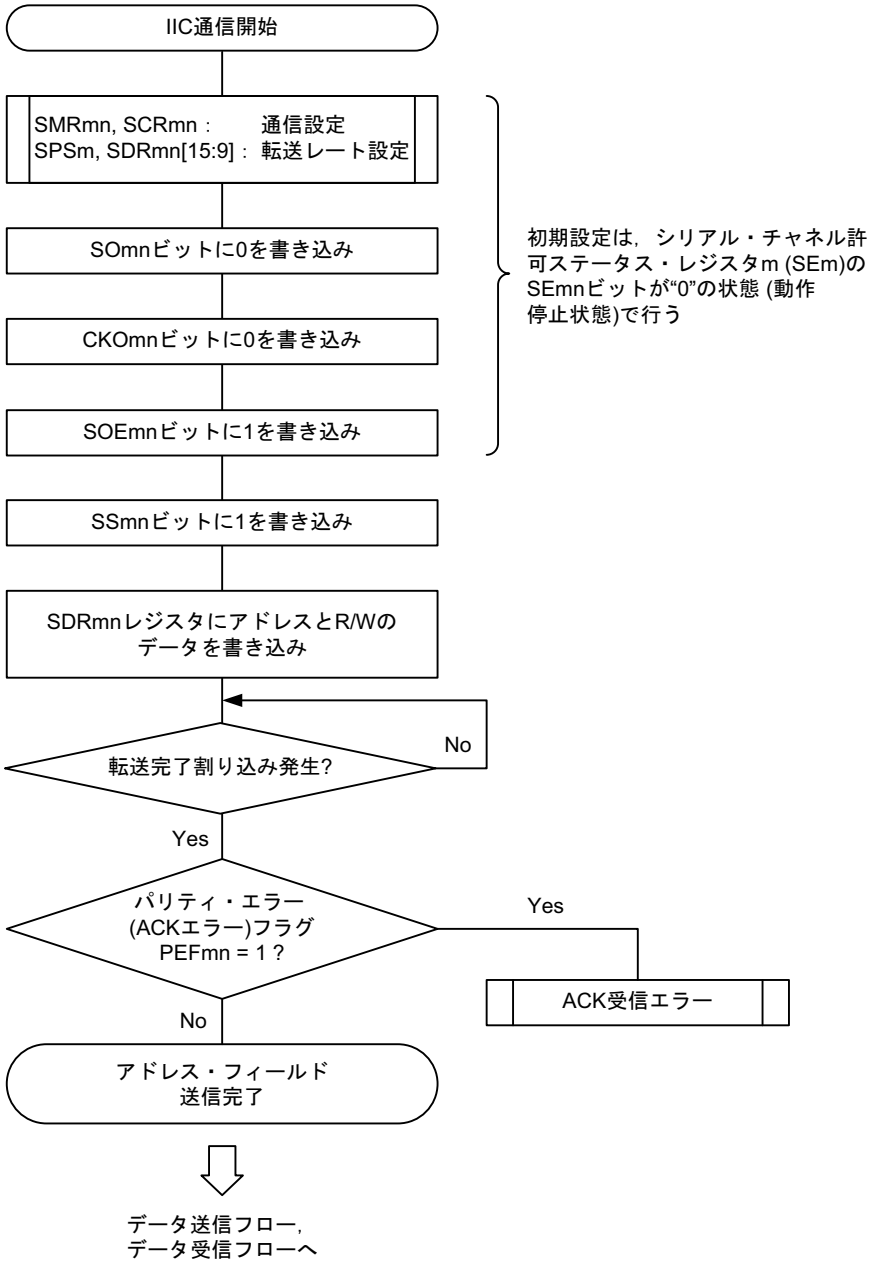
図15－191　アドレス・フィールド送信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01, 10, 11）

mn = 00, 01, 10, 11

図15－192　アドレス・フィールド送信のフロー・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.9.2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I^2C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00注	SCL01, SDA01注	SCL10, SDA10注	SCL11, SDA11注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）			
転送データ長	8ビット			
転送レート	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I^2Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK受信タイミング用）			
データ方向	MSBファースト			

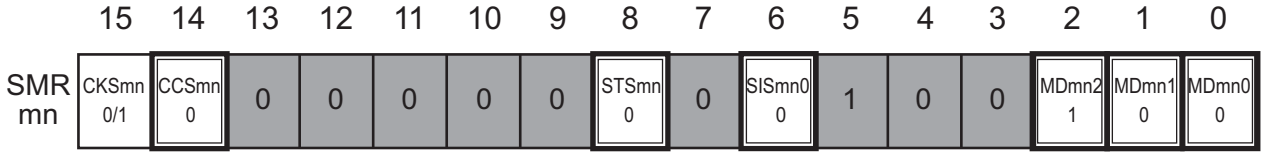
注　簡易I^2Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレーン出力（EV_{DD0}耐圧）モードを設定（POMxx = 1）してください（詳細は「4.3　ポート機能を制御するレジスタ」を参照）。IIC00, IIC01, IIC10, IIC11を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL01, SCL10, SCL11）も同様にN-chオープン・ドレーン出力（EV_{DD0}耐圧）モードを設定（POMxx = 1）してください（詳細は「4.4.4　異電位（3 V系）外部デバイスとの接続方法」を参照）。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

（1）レジスタ設定

図15－193　簡易I²C（IIC00, IIC01, IIC10, IIC11）のデータ送信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

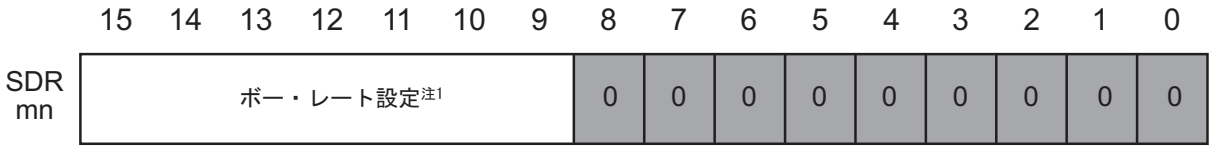


（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

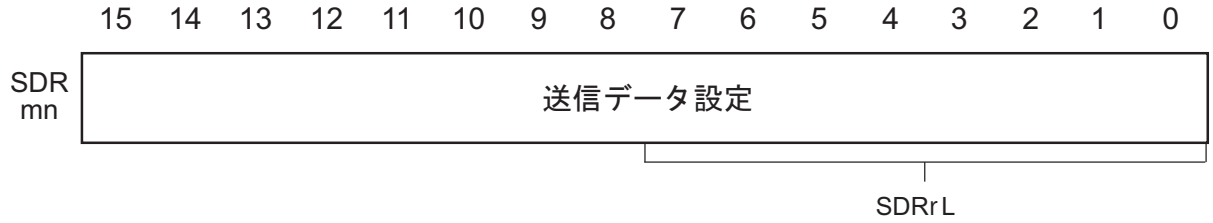


（c）シリアル・データ・レジスタmn（SDRmn）

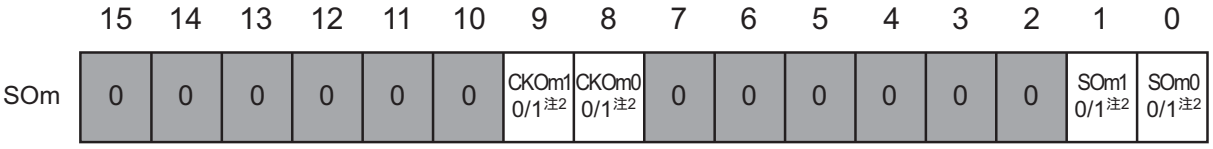
(i)　動作停止時（SEmn = 0）



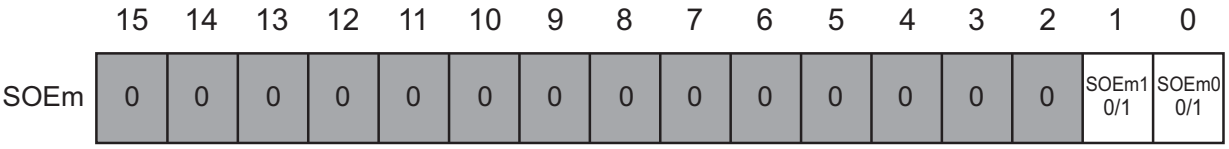
(ii)　動作中（SEmn = 1）（下位8ビット：SDRrL）



（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない



（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない



注1.　アドレス・フィールド送信で設定済みなので，設定不要です。

2.　通信動作中は通信データにより値が変わります。

（備考は次ページにあります。）

図15－193　簡易I²C（IIC00, IIC01, IIC10, IIC11）のデータ送信時のレジスタ設定内容例（2/2）

（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01, 10, 11）

mn = 00, 01, 10, 11

2.　□：　I²Cモードでは設定固定　■：設定不可（初期値を設定）

×：　このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：　ユーザの用途に応じて0または1に設定

（2）処理フロー

図15－194　データ送信のタイミング・チャート

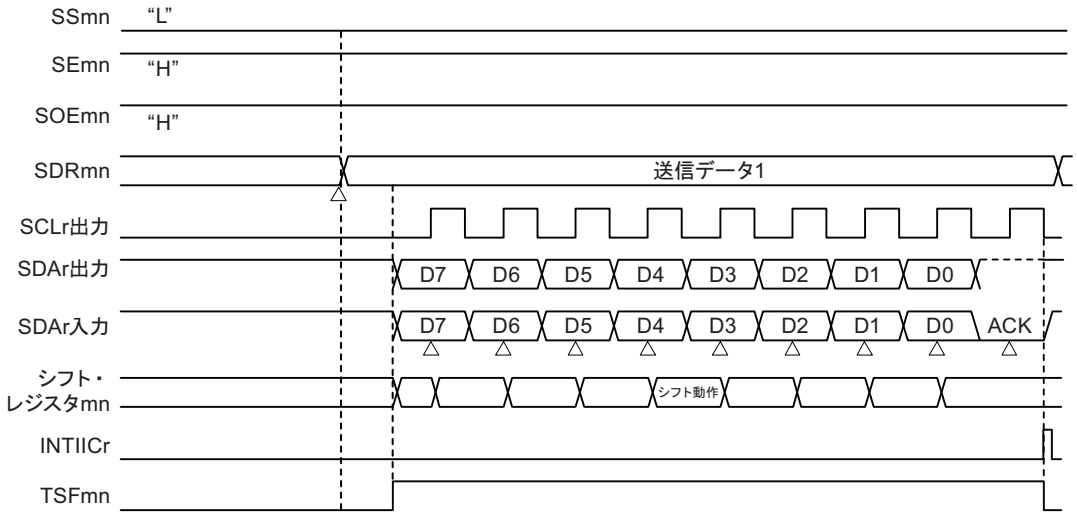
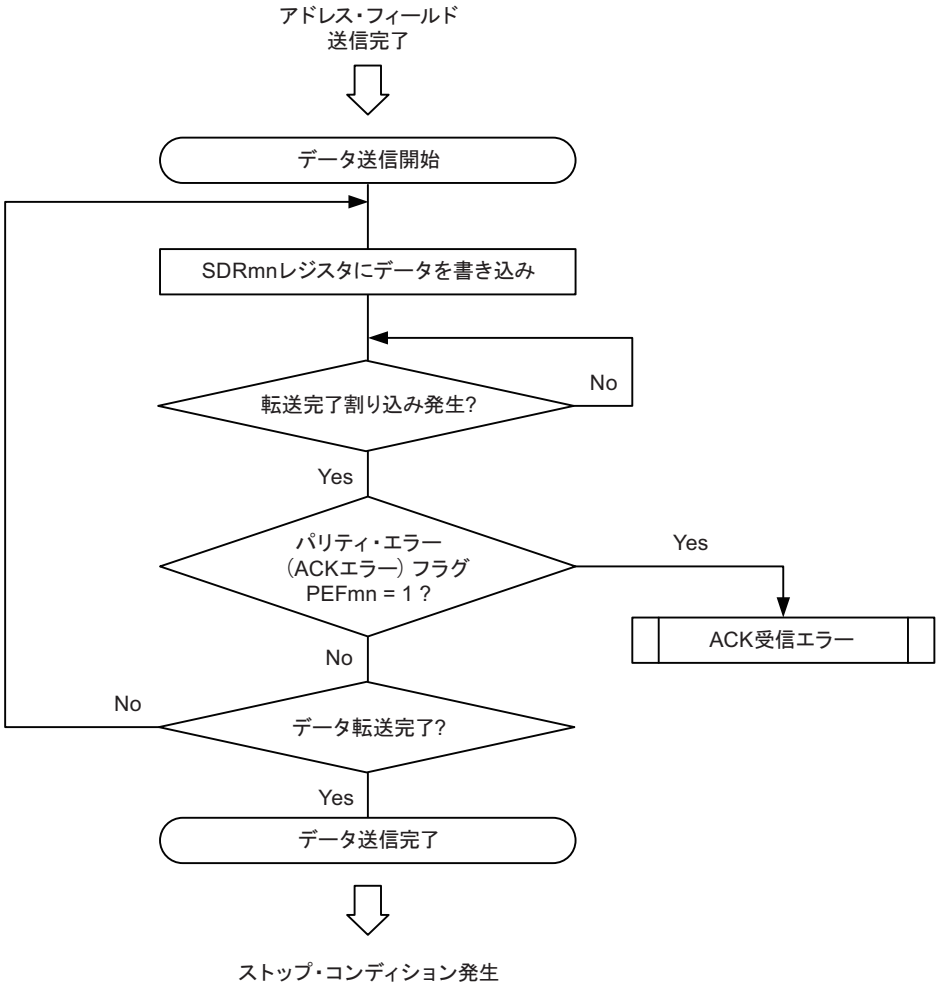


図15－195　データ送信のフロー・チャート



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01, 10, 11）

mn = 00, 01, 10, 11

15.9.3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01	IIC10	IIC11
対象チャネル	SAU0の チャネル0	SAU0の チャネル1	SAU1の チャネル0	SAU1の チャネル1
使用端子	SCL00, SDA00注	SCL01, SDA01注	SCL10, SDA10注	SCL11, SDA11注
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	8ビット			
転送レート	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）			
データ・レベル	正転出力（デフォルト：ハイ・レベル）			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加（ACK送信）			
データ方向	MSBファースト			

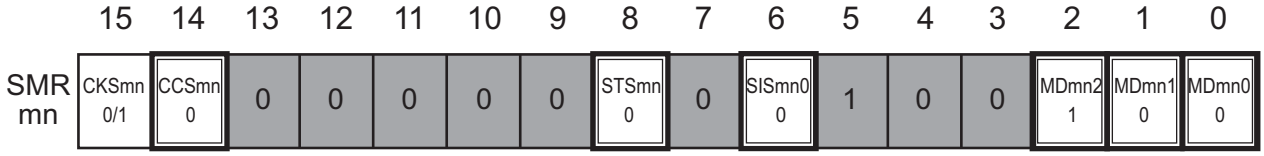
注　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレーン出力（EV_{DD0}耐圧）モードを設定（POMxx = 1）してください（詳細は「4.3　ポート機能を制御するレジスタ」を参照）。IIC00, IIC01, IIC10, IIC11を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00, SCL01, SCL10, SCL11）も同様にN-chオープン・ドレーン出力（EV_{DD0}耐圧）モードを設定（POMxx = 1 ）してください（詳細は「4.4.4　異電位（3 V系）外部デバイスとの接続方法」を参照）。

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

（1）レジスタ設定

図15－196　簡易I²C（IIC00, IIC01, IIC10, IIC11）のデータ受信時のレジスタ設定内容例（1/2）

（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

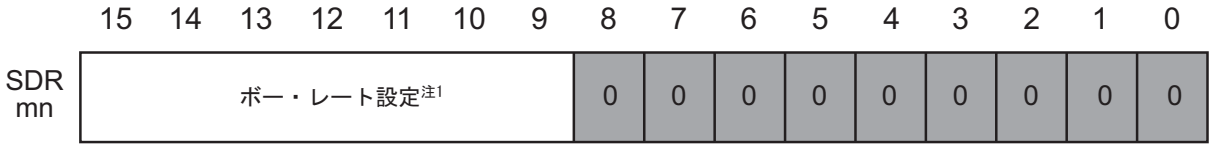


（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

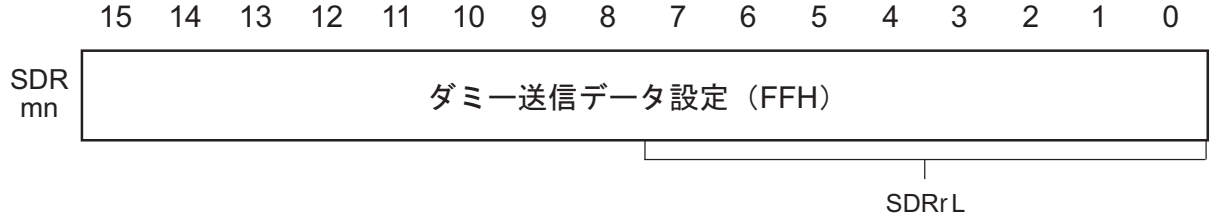


（c）シリアル・データ・レジスタmn（SDRmn）

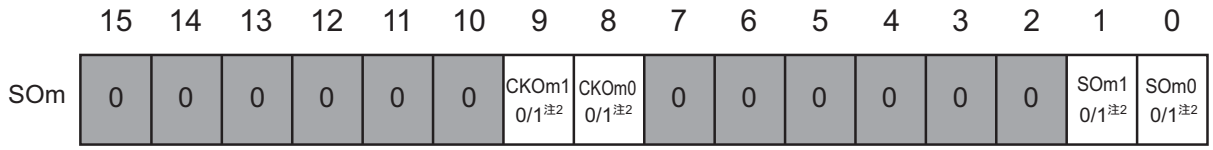
(i)　動作停止時　（SEmn = 0）



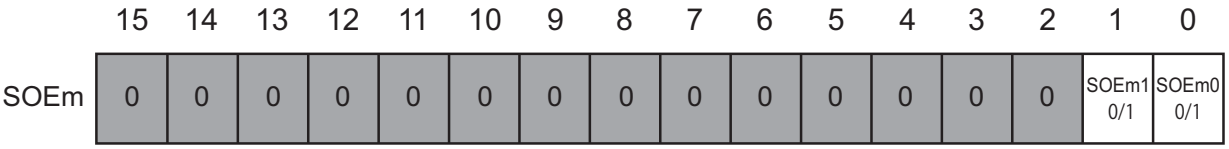
(ii)　動作中　（SEmn = 1）（下位ビット：SDRrL）



（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない



（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない



注1.　アドレス・フィールド送信で設定済みなので，設定不要です。

2.　通信動作中は通信データにより値が変わります。

（備考は次ページにあります。）

図15－196　簡易I²C（IIC00, IIC01, IIC10, IIC11）のデータ受信時のレジスタ設定内容例（2/2）

（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01, 10, 11）

mn = 00, 01, 10, 11

2.　□：I²Cモードでは設定固定　■：設定不可（初期値を設定）

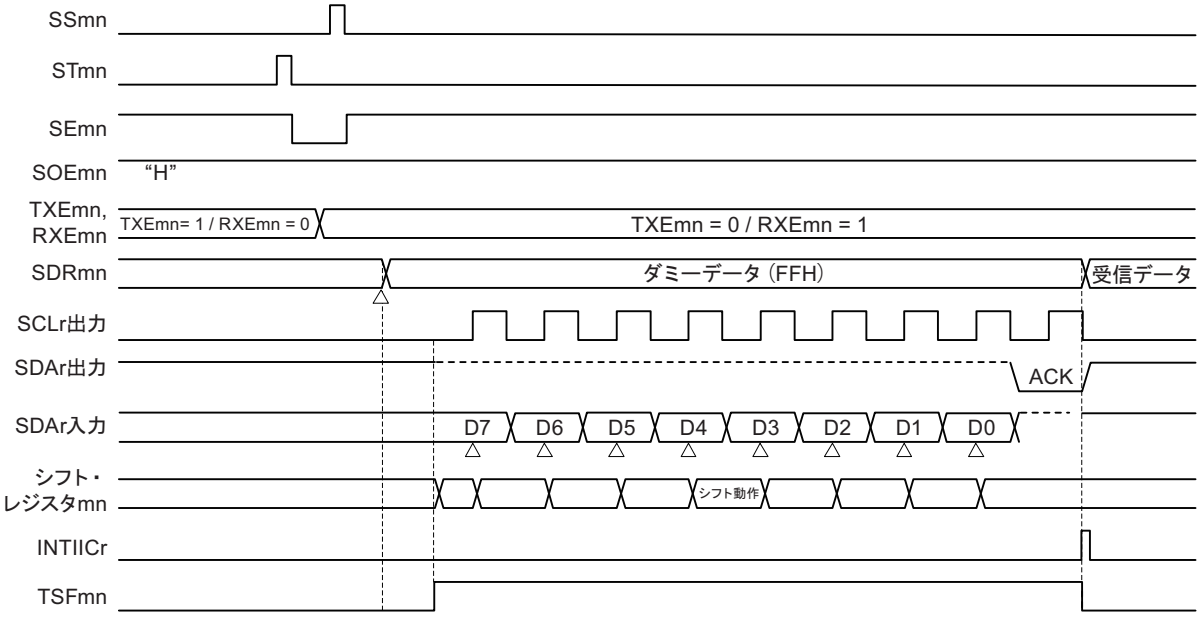
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

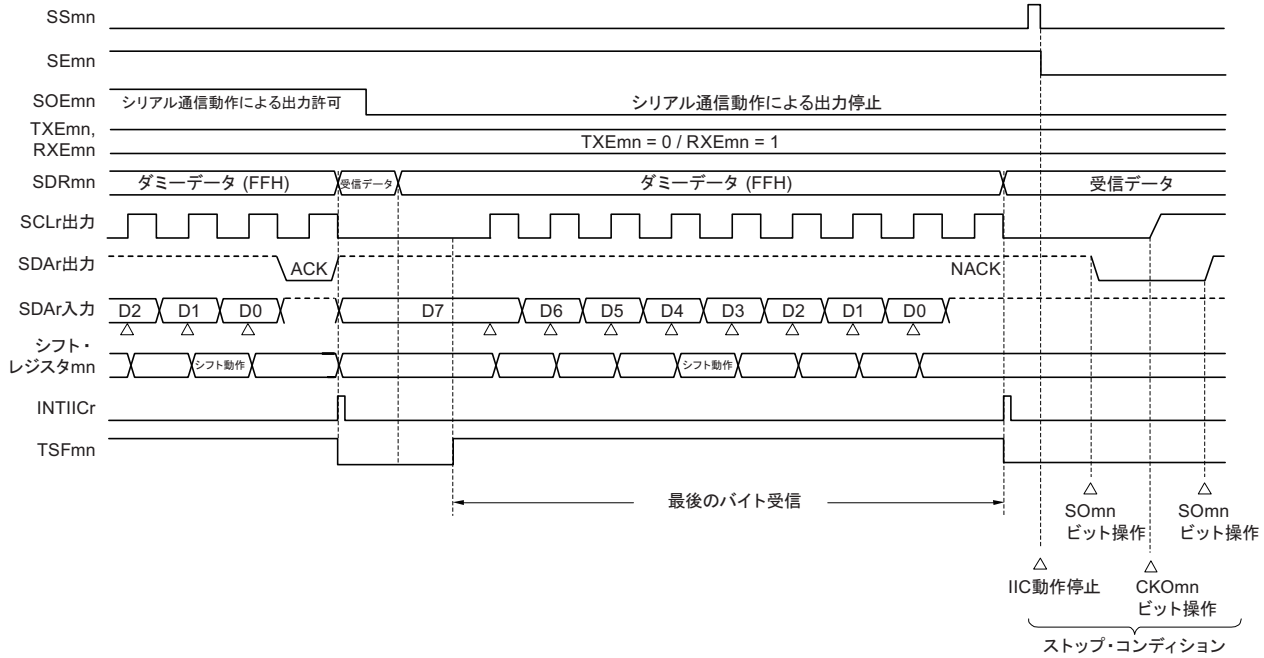
（2）処理フロー

図15－197　データ受信のタイミング・チャート

（a）データ受信開始時

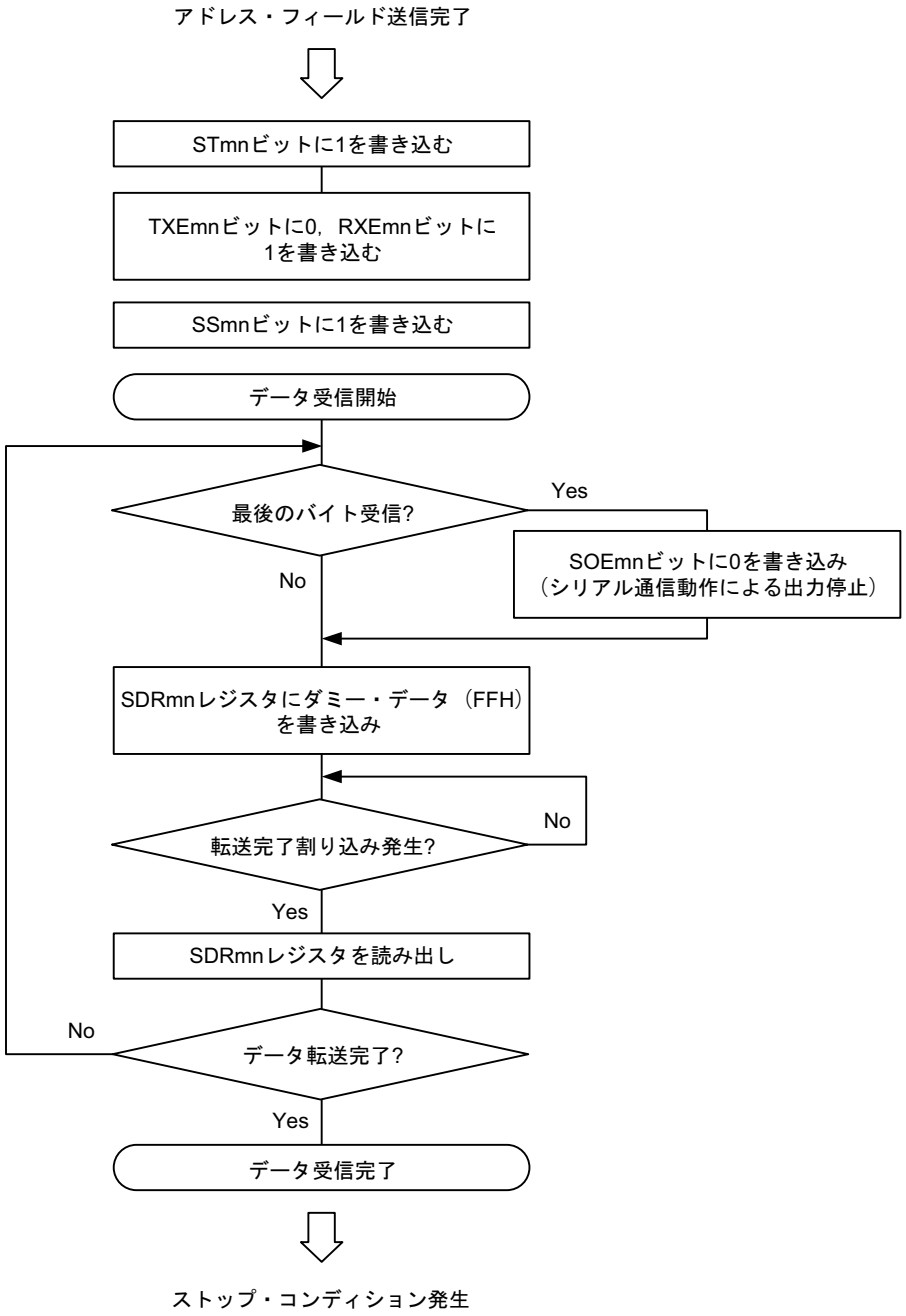


（b）最終データ受信時



備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　r：IIC 番号（r = 00, 01, 10, 11）
mn = 00, 01, 10, 11

図15－198　データ受信のフロー・チャート



注意　最終データの受信時はACKを出力しません（NACK）。その後，シリアル・チャネル停止レジスタm（STm）のSTmnビットに"1"を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

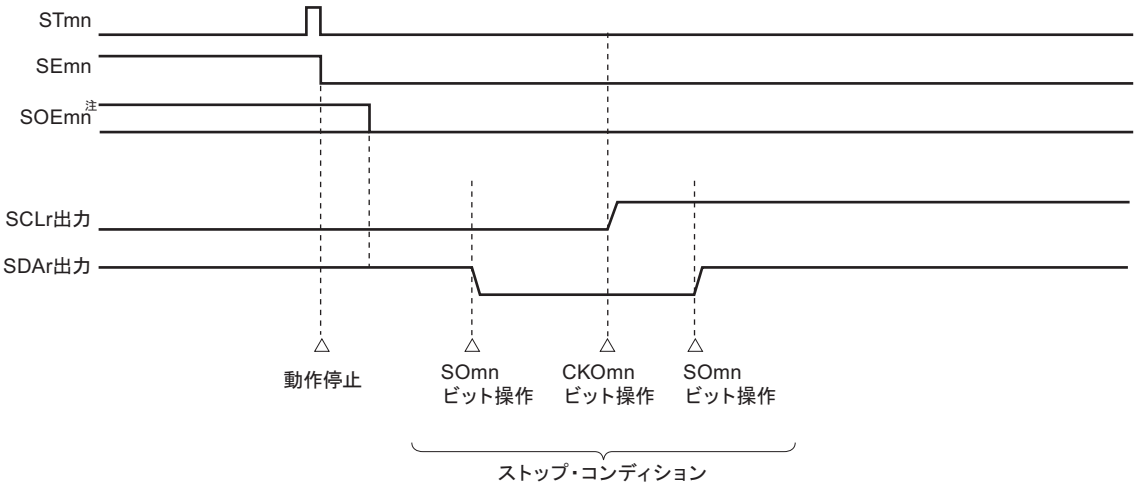
備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

15.9.4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

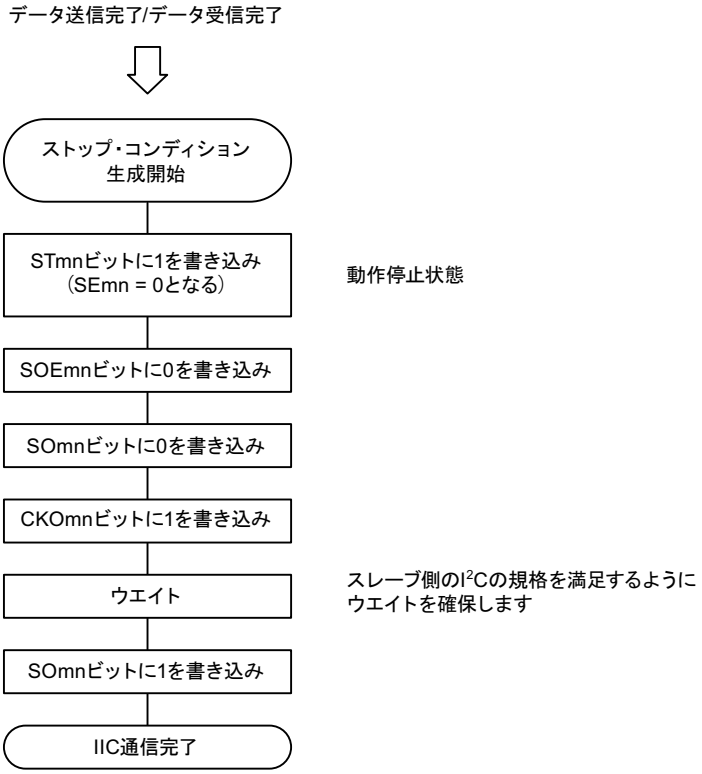
（1）処理フロー

図15－199　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に，シリアル出力許可レジスタm（SOEm）のSOEmnビットを"0"に設定しています。

図15－200　ストップ・コンディション発生のフロー・チャート



備考　　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.9.5　転送レートの算出

簡易I²C（IIC00, IIC01, IIC10, IIC11）通信での転送レートは下記の計算式にて算出できます。

（転送レート）　=　｛対象チャネルの動作クロック（f_{MCK}）周波数｝　÷（SDRmn[15:9]＋1）÷ 2

注意　SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

備考1.　（SDRmn[15:9]）は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000001B-1111111B）なので，1-127になります。

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表15－5　簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	32 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	16 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
1	0	0	0	0	X	X	X	X	f_{CLK}	32 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	16 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	15.63 kHz
上記以外										設定禁止

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 0003H）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

f_{MCK} = f_{CLK} = 32 MHzの場合のI²C転送レート設定例を示します。

I²C転送モード（希望転送レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}/2	79	100 kHz	0.0%
400 kHz	f_{CLK}	39	400 kHz	0.0%

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1），mn = 00, 01, 10, 11

15.9.6　簡易I²C（IIC00, IIC01, IIC10, IIC11）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00, IIC01, IIC10, IIC11）通信時にエラーが発生した場合の処理手順を図15－201，図15－202に示します。

図15－201　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn　→（SDRmn）をリードする	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に"1"をライトする　→	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図15－202　簡易I²Cモード時のパリティ・エラー（ACKエラー）発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn　→（SDRmn）をリードする	SSRmnレジスタのBFFmnビットが"0"となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする　→	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに"1"を設定する　→	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"0"となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。 そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに"1"を設定する　→	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが"1"となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1）　n：チャネル番号（n = 0, 1）　mn = 00, 01, 10, 11

第16章　シリアル・インタフェースIICA

16.1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

（2）I^2Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLA0）とシリアル・データ・バス（SDAA0）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I^2Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に"スタート・コンディション"，"アドレス"，"転送方向指定"，"データ"および"ストップ・コンディション"を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI^2Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLA0端子とSDAA0端子はオープン・ドレーン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

（3）ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICA0）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ01（IICCTL01）のWUP0ビットにより設定します。

図16－1に，シリアル・インタフェースIICAのブロック図を示します。

図16－1　シリアル・インタフェースIICAのブロック図

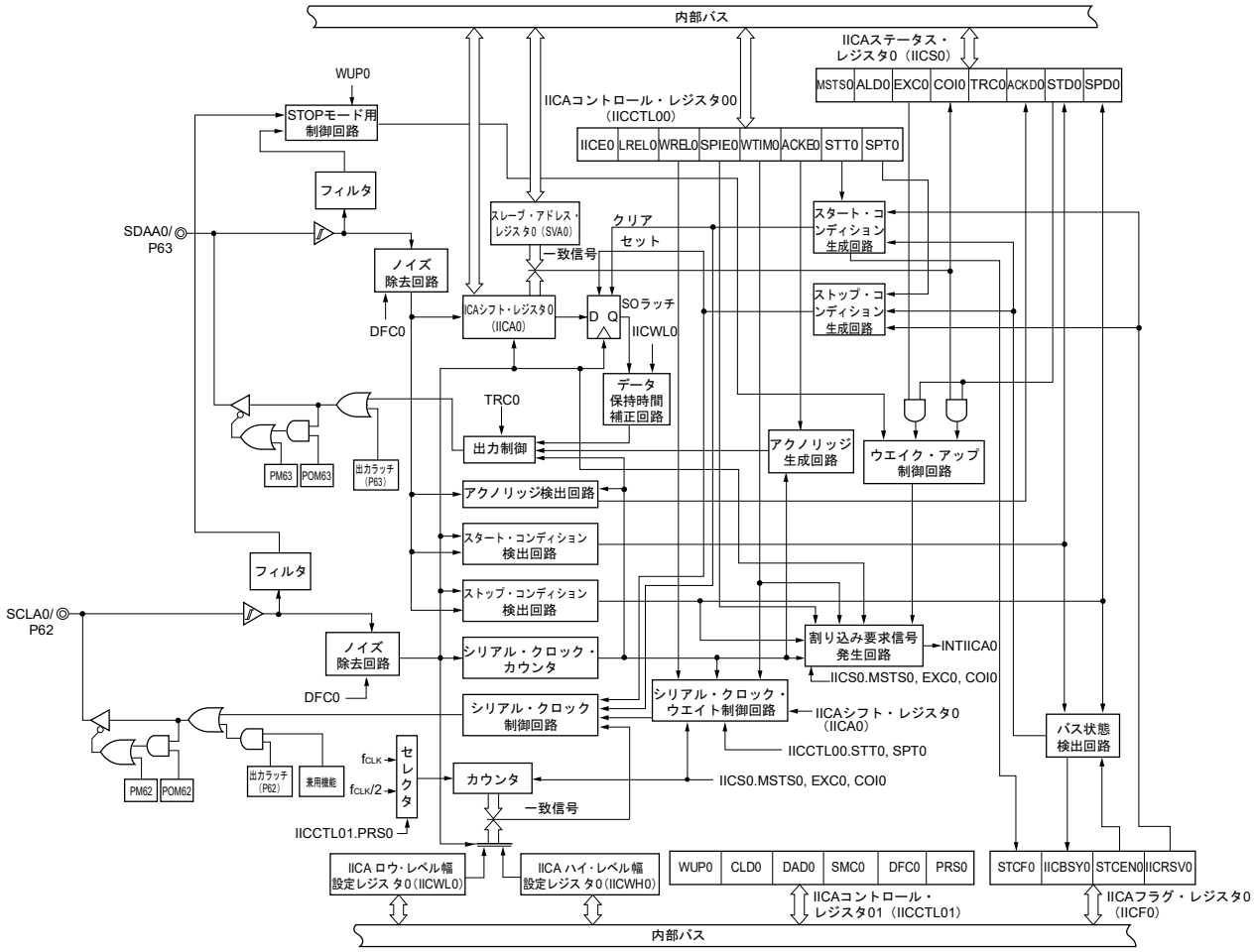
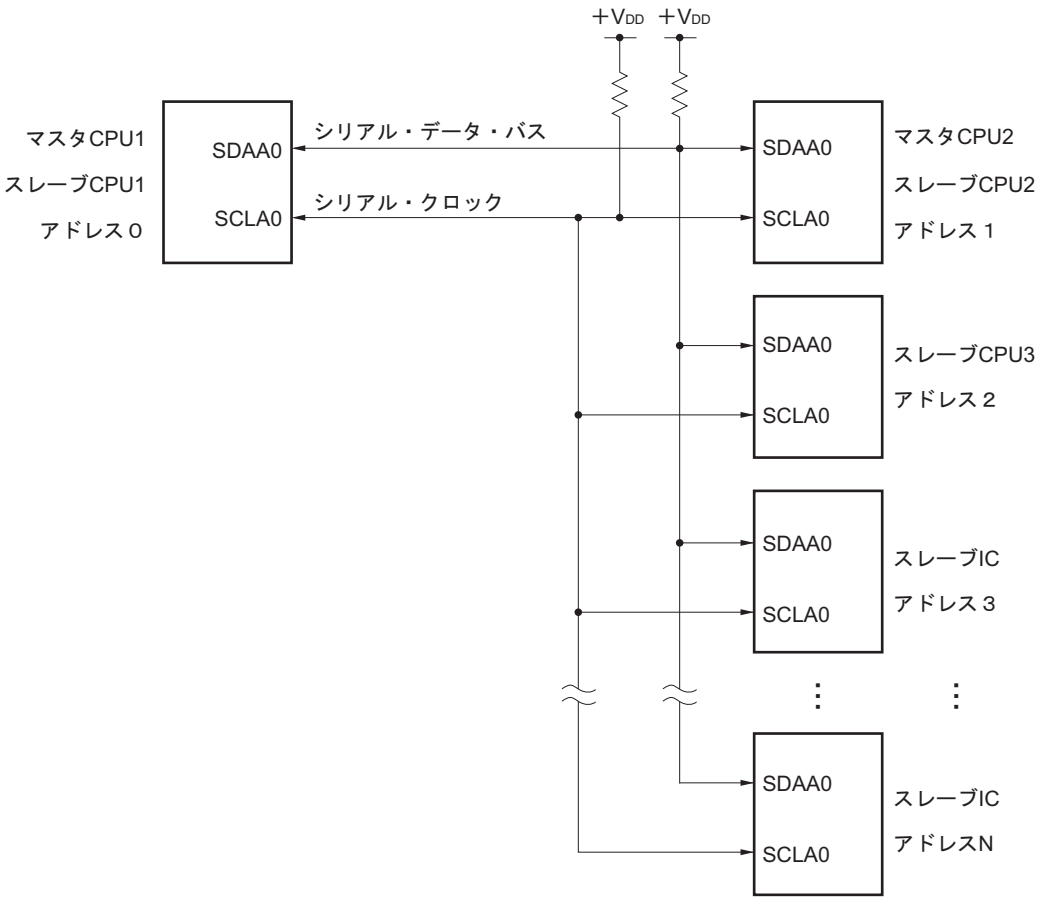


図16－2にシリアル・バス構成例を示します。

図16－2　I²Cバスによるシリアル・バス構成例



16.2　シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表16－1　シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ0（IICA0） スレーブ・アドレス・レジスタ0（SVA0）
制御レジスタ	周辺イネーブル・レジスタ0（PER0） IICAコントロール・レジスタ00（IICCTL00） IICAステータス・レジスタ0（IICS0） IICAフラグ・レジスタ0（IICF0） IICAコントロール・レジスタ01（IICCTL01） IICAロウ・レベル幅設定レジスタ0（IICWL0） IICAハイ・レベル幅設定レジスタ0（IICWH0） ポート・モード・レジスタ6（PM6） ポート・レジスタ6（P6） ポート出力モード・レジスタ6（POM6）

（1）IICAシフト・レジスタ0（IICA0）

IICA0レジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICA0レジスタは送信および受信の両方に使用されます。

IICA0レジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

ウエイト期間中のIICA0レジスタへの書き込みにより，ウエイトを解除し，データ転送を開始します。

IICA0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－3　IICAシフト・レジスタ0（IICA0）のフォーマット

アドレス：FFF50H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICA0								

注意1.　データ転送中はIICA0レジスタにデータを書き込まないでください。

2.　IICA0レジスタには，ウエイト期間中にだけ，書き込み／読み出しをしてください。ウエイト期間中を除く通信状態でのIICA0レジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STT0）をセット（1）したあと，1回書き込みできます。

3.　通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICA0レジスタにデータを書き込んでください。

（2）スレーブ・アドレス・レジスタ0（SVA0）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVA0レジスタは，8ビット・メモリ操作命令で設定します。

ただし，STD0 = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図16－4　スレーブ・アドレス・レジスタ0（SVA0）のフォーマット

アドレス：F0234H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0は0固定です。

（3）SOラッチ

SOラッチは，SDAA0端子出力レベルを保持するラッチです。

（4）ウエイク・アップ制御回路

スレーブ・アドレス・レジスタ0（SVA0）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICA0）を発生させる回路です。

（5）シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

（6）割り込み要求信号発生回路

割り込み要求信号（INTIICA0）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIM0ビットで設定）
- ストップ・コンディション検出による割り込み要求発生（SPIE0ビットで設定）

備考　WTIM0ビット　：IICAコントロール・レジスタ00（IICCTL00）のビット3

SPIE0ビット　：　〃　のビット4

（7）シリアル・クロック制御回路

マスタ・モード時に，SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

（8）シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

（9）アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

（10）データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

（11）スタート・コンディション生成回路

STT0ビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSV0ビット = 1）で，かつバスが解放されていない（IICBSY0ビット = 1）場合には，スタート・コンディション要求は無視し，STCF0ビットをセット（1）します。

（12）ストップ・コンディション生成回路

SPT0ビットがセット（1）されるとストップ・コンディションを生成します。

（13）バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCEN0ビットにより，バス状態検出回路の初期状態を設定してください。

備考　STT0ビット　　：IICAコントロール・レジスタ00（IICCTL00）のビット1
　　SPT0ビット　　：〃　　のビット0
　　IICRSV0ビット　：IICAフラグ・レジスタ0（IICF0）　　のビット0
　　IICBSY0ビット　：〃　　のビット6
　　STCF0ビット　　：〃　　のビット7
　　STCEN0ビット　：〃　　のビット1

16.3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次に示すレジスタで制御します。

- 周辺イネーブル・レジスタ0（PER0）
- IICAコントロール・レジスタ00（IICCTL00）
- IICAフラグ・レジスタ0（IICF0）
- IICAステータス・レジスタ0（IICS0）
- IICAコントロール・レジスタ01（IICCTL01）
- IICAロウ・レベル幅設定レジスタ0（IICWL0）
- IICAハイ・レベル幅設定レジスタ0（IICWH0）
- ポート・モード・レジスタ6（PM6）
- ポート・レジスタ6（P6）
- ポート出力モード・レジスタ6 （POM6）

16.3.1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICA0を使用するときは，必ずビット4（IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

注意1.　シリアル・インタフェースIICA0の設定をする際には，必ず最初にIICA0EN = 1の設定を行ってください。IICA0EN = 0の場合は，シリアル・インタフェースIICA0の制御レジスタへの書き込みは無視され，読み出し値もすべて初期値となります（ポート・モード・レジスタ6（PM6），ポート・レジスタ6（P6）は除く）。

2.　ビット6には必ず0を設定してください。

16.3.2　IICAコントロール・レジスタ00（IICCTL00）

I²Cの動作許可／停止，ウエイト・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICCTL00レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIE0, WTIM0, ACKE0ビットは，IICE0 = 0のとき，またはウエイト期間中に設定してください。またIICE0ビットを0から1に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

図16－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（1/4）

アドレス：F0230H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I^2Cの動作許可
0	動作停止。IICAステータス・レジスタ0（IICS0）をリセット[注1]。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ずSCLA0, SDAA0ラインがハイ･レベルの状態で行ってください。	
クリアされる条件（IICE0 = 0）	セットされる条件（IICE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

LREL0[注2, 3]	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ00（IICCTL00），IICAステータス・レジスタ0（IICS0）のうち，次のフラグがクリア（0）される。 ・STT0・SPT0・MSTS0・EXC0・COI0・TRC0・ACKD0・STD0
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LREL0 = 0）	セットされる条件（LREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WREL0[注2, 3]	ウエイト解除
0	ウエイトを解除しない。
1	ウエイトを解除する。ウエイト解除後，自動的にクリアされる。
送信状態（TRC0 = 1）で，9クロック目のウエイト期間中にWREL0ビットをセット（ウエイトを解除）した場合，SDAA0ラインをハイ・インピーダンス（TRC0 = 0）にします。	
クリアされる条件（WREL0 = 0）	セットされる条件（WREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1.　リセットされるのは，IICAステータス・レジスタ0（IICS0），IICAフラグ・レジスタ0（IICF0）のSTCF0，IICBSY0ビット，IICAコントロール・レジスタ01（IICCTL01）レジスタのCLD0，DAD0ビットです。

2.　IICE0 = 0の状態では，このビットの信号は無効になります。

3.　LREL0, WREL0ビットの読み出し値は常に0になります。

注意　SCLA0ラインがハイ･レベル，SDAA0ラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTL01レジスタのDFC0 = 1）のときにI^2Cを動作許可（IICE0 = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I^2Cを動作許可（IICE0 = 1）したあと，連続して1ビット・メモリ操作命令により，LREL0ビットをセット（1）してください。

図16－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（2/4）

SPIE0[注1]	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタ01（IICCTL01）のWUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIE0 = 0）	セットされる条件（SPIE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIM0[注1]	ウエイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ（$\overline{\text{ACK}}$）発生後の9クロック目の立ち下がりでウエイトに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでウエイトに入ります。	
クリアされる条件（WTIM0 = 0）	セットされる条件（WTIM0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKE0[注1,2]	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。
クリアされる条件（ACKE0 = 0）	セットされる条件（ACKE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注1.　IICE0 = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2.　アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。

スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

図16－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（3/4）

STT0[注]	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態，IICBSY0が0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV0 = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV0 = 1） セット（1）してもSTT0ビットはクリアされ，STT0クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。 ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。 ・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。 ・STT0ビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。	
クリアされる条件（STT0 = 0）	セットされる条件（STT0 = 1）
・通信予約禁止状態でのSTT0ビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注　IICE0 = 0の状態では，このビットの信号は無効になります。

備考1.　ビット1（STT0）は，データ設定後に読み出すと0になっています。

2.　IICRSV0　　：IICAフラグ・レジスタ0（IICF0）のビット0

STCF0　　：　　〃　　のビット7

図16－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（4/4）

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
　ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。

・スタート・コンディション・トリガ（STT0）と同時にセット（1）することは禁止です。

・SPT0ビットのセット（1）は，マスタのときのみ行ってください。

・WTIM0 = 0設定時に，8クロック出力後のウエイト期間中にSPT0ビットをセット（1）すると，ウエイト解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM0 = 0→1に設定し，9クロック目出力後のウエイト期間中にSPT0ビットをセット（1）してください。

・SPT0ビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

クリアされる条件（SPT0 = 0）	セットされる条件（SPT0 = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注意　IICAステータス・レジスタ0（IICS0）のビット3（TRC0） = 1（送信状態）のとき，9クロック目にIICCTL00レジスタのビット5（WREL0）をセット（1）してウエイト解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるウエイト解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考　ビット0（SPT0）は，データ設定後に読み出すと0になっています。

16.3.3　IICAステータス・レジスタ0（IICS0）

I²Cのステータスを表すレジスタです。

IICS0レジスタは，STT0 = 1およびウエイト期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意　STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUP0=1）状態でのIICS0レジスタの読み出しは禁止です。WUP0 = 1の状態から，INTIICA0割り込み要求と関係なくWUP0ビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIE0 = 1）して割り込み検出後にIICS0レジスタを読み出してください。

備考　STT0　　：IICAコントロール・レジスタ00（IICCTL00）のビット1

WUP0　　：IICAコントロール・レジスタ01（IICCTL01）のビット7

図16－7　IICAステータス・レジスタ0（IICS0）のフォーマット（1/3）

アドレス：FFF51H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTS0 = 0）	セットされる条件（MSTS0 = 1）
・ストップ・コンディション検出時 ・ALD0 = 1（アービトレーション負け）のとき ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。

クリアされる条件（ALD0 = 0）	セットされる条件（ALD0 = 1）
・IICS0レジスタ読み出し後，自動的にクリア[注] ・IICE0 = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

注　IICS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALD0ビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考　LREL0　　：IICAコントロール・レジスタ00（IICCTL00）のビット6

IICE0　　：　〃　のビット7

図16－7　IICAステータス・レジスタ0（IICS0）のフォーマット（2/3）

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXC0 = 0）	セットされる条件（EXC0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが0000または1111のとき（8クロック目の立ち上がりでセット）

COI0	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COI0 = 0）	セットされる条件（COI0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタ0（SVA0））と一致したとき（8クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDAA0ラインをハイ・インピーダンスにする。
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRC0 = 0）	セットされる条件（TRC0 = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・WREL0 = 1（ウエイト解除）によるクリア[注] ・ALD0 = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTS0, EXC0, COI0 = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に1を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に0を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に0（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に1（スレーブ送信）が入力されたとき

注　IICAステータス・レジスタ0（IICS0）のビット3（TRC0）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）をセット（1）してウエイトを解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるウエイト解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考　LREL0　　：IICAコントロール・レジスタ00（IICCTL00）のビット6

　　IICE0　　：　　〃　　のビット7

図16－7　IICAステータス・レジスタ0（IICS0）のフォーマット（3/3）

ACKD0	アクノリッジ（$\overline{ACK}$）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKD0 = 0）	セットされる条件（ACKD0 = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STD0 = 0）	セットされる条件（STD0 = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPD0 = 0）	セットされる条件（SPD0 = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・WUP0 = 1→0のとき ・IICE0 = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考　LREL0　　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　　：　〃　のビット7

16.3.4　IICAフラグ・レジスタ0（IICF0）

I^2Cの動作モードの設定と，I^2Cバスの状態を表すレジスタです。

IICF0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STT0クリア・フラグ（STCF0），I^2Cバス状態フラグ（IICBSY0）は読み出しのみ可能です。

IICRSV0ビットにより，通信予約機能の禁止／許可を設定します。

またSTCEN0ビットにより，IICBSY0ビットの初期値を設定します。

IICRSV0，STCEN0ビットはI^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときのみ書き込み可能です。動作許可後，IICF0レジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図16－8　IICAフラグ・レジスタ0（IICF0）のフォーマット

アドレス：FFF52H　リセット時：00H　R/W[注]

略号	7	6	5	4	3	2	1	0
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。

クリアされる条件（STCF0 = 0）	セットされる条件（STCF0 = 1）
・STT0 = 1によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSV0 = 1）設定時にスタート・コンディション発行できず，STT0ビットがクリア（0）されたとき

IICBSY0	I^2Cバス状態フラグ
0	バス解放状態（STCEN0 = 1時の通信初期状態）。
1	バス通信状態（STCEN0 = 0時の通信初期状態）。

クリアされる条件（IICBSY0 = 0）	セットされる条件（IICBSY0 = 1）
・ストップ・コンディション検出時 ・IICE0 = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCEN0 = 0時のIICE0ビットのセット

STCEN0	初期スタート許可トリガ
0	動作許可（IICE0 = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICE0 = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCEN0 = 0）	セットされる条件（STCEN0 = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSV0	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSV0 = 0）	セットされる条件（IICRSV0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はRead onlyです。

注意1.　STCEN0ビットへの書き込みは動作停止（IICE0 = 0）時のみ行ってください。

2.　STCEN0 = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを発行（STT0 = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3.　IICRSV0への書き込みは動作停止（IICE0 = 0）時のみ行ってください。

備考　STT0　　：IICAコントロール・レジスタ00（IICCTL00）のビット1
　　IICE0　　：　　〃　　のビット7

16.3.5　IICAコントロール・レジスタ01（IICCTL01）

I²Cの動作モードの設定やSCLA0, SDAA0端子状態を検出するためのレジスタです。

IICCTL01レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLD0, DAD0ビットは読み出しのみ可能です。

IICCTL01レジスタは，WUP0ビットを除きI²Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0） = 0）のときに設定してください。

リセット信号の発生により，00Hになります。

図16－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（1/2）

アドレス：F0231H　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
WUP0 = 1でSTOPモードに移行する場合は，WUP0ビットをセット（1）してfMCKの3クロック以上経過後にSTOP命令を実行してください（「図16－23　WUP0 = 1を設定する場合のフロー」を参照）。 アドレス一致，または拡張コード受信後はWUP0ビットをクリア（0）してください。WUP0ビットをクリア（0）することで，その後の通信に参加する事ができます（ウエイト解除および送信データ書き込みは，WUP0ビットをクリア（0）したあとに行う必要があります）。 WUP0 = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUP0 = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（WUP0 = 0）	セットされる条件（WUP0 = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTS0, EXC0, COI0 = 0であり，STD0 = 0（通信に不参加である事）のとき）[注2]

注1.　ビット4, 5はRead Onlyです。

2.　次に示す期間に，IICAステータス・レジスタ0（IICS0）の状態を確認しセットする必要があります。

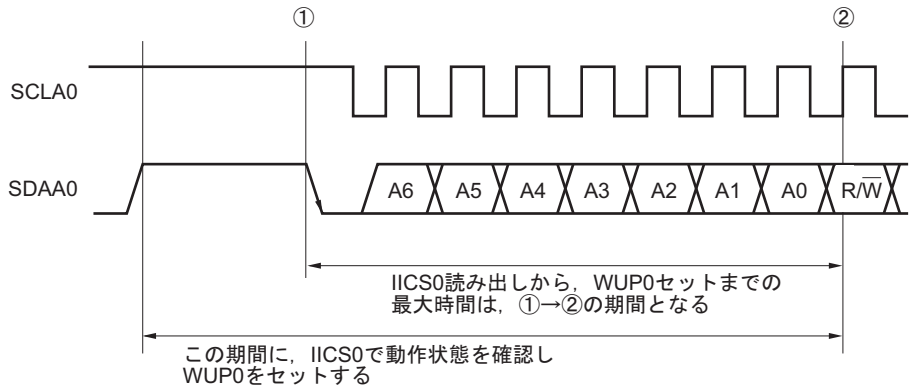


図16－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（2/2）

CLD0	SCLA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SCLA0端子がロウ・レベルであることを検出
1	SCLA0端子がハイ・レベルであることを検出

クリアされる条件（CLD0 = 0）	セットされる条件（CLD0 = 1）
・SCLA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SCLA0端子がハイ・レベルのとき

DAD0	SDAA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SDAA0端子がロウ・レベルであることを検出
1	SDAA0端子がハイ・レベルであることを検出

クリアされる条件（DAD0 = 0）	セットされる条件（DAD0 = 1）
・SDAA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SDAA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは，ファースト・モード時にのみ使用できます。 ファースト・モードおよびファースト・モード・プラス時はDFCnビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。 デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時にノイズ除去のために使用します。	

PRS0	IICA動作クロック（f_{MCK}）の制御
0	f_{CLK}を選択（1MHz≦f_{CLK}≦20MHz）
1	f_{CLK}/2を選択（20MHz＜f_{CLK}）

注意1. IICA動作クロック（fMCK）の最高動作周波数は20MHz（Max.）です。fCLKが20MHzを超える場合のみ、IICAコントロール・レジスタ01（IICCTL01）のビット0（PRS0）に"1"を設定してください。

2. 転送クロックを設定する場合は，fCLKの最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時　：fCLK = 3.5 MHz（Min.）
ファースト・モード・プラス時　：fCLK = 10 MHz（Min.）
標準モード時　：fCLK = 1 MHz（Min.）

備考　IICE0：IICAコントロール・レジスタ00（IICCTL00）のビット7

16.3.6　IICAロウ・レベル幅設定レジスタ0（IICWL0）

シリアル・インタフェースIICAが，出力するSCLA0端子信号のロウ・レベル幅（t_{LOW}）を設定するレジスタです。

IICWL0レジスタは，8ビット・メモリ操作命令で設定します。

IICWL0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWL0の設定方法については「16.4.2　IICWL0, IICWH0レジスタによる転送クロック設定方法」を参照してください。

図16－10　IICAロウ･レベル幅設定レジスタ0（IICWL0）のフォーマット

アドレス：F0232H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWL0								

16.3.7　IICAハイ・レベル幅設定レジスタ0（IICWH0）

シリアル・インタフェースIICAが，出力するSCLA0端子信号のハイ・レベル幅を設定するレジスタです。

IICWH0レジスタは，8ビット・メモリ操作命令で設定します。

IICWH0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWH0の設定方法については「16.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法」を参照してください。

図16－11　IICAハイ･レベル幅設定レジスタ0（IICWH0）のフォーマット

アドレス：F0233H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
IICWH0								

備考 シリアル・クロックの最小周期は，(IICWL0 + 1) + (IICWH0 + 1) になります。

16.3.8　ポート・モード・レジスタ6（PM6）

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P62/SCLA0端子をクロック入出力，P63/SDAA0端子をシリアル・データ入出力として使用するとき，PM62, PM63およびP62, P63の出力ラッチに0を設定してください。

IICE0（IICAコントロール・レジスタ00（IICCTL00）のビット7）が0の場合，P62/SCLA0端子およびP63/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0ビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図16－12　ポート・モード・レジスタ6（PM6）のフォーマット

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　シリアル・インタフェースIICAでは、PM62, PM63を使用します。

16.3.9　ポート出力モード・レジスタ6（POM6）

P60-P63の出力モードを1ビット単位で設定するレジスタです。

I^2C通信時のSCLA0, SDAA0端子にN-chオープン・ドレーン出力（EV_{DD0}耐圧）モードを選択できます。

P62/SCLA0端子をクロック入出力，P63/SDAA0端子をシリアル・データ入出力として使用するとき，POM62, POM63に1を設定してください。

IICE0（IICAコントロール・レジスタ00（IICCTL00）のビット7）が0の場合，P62/SCLA0端子およびP63/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0ビットに1を設定してから，行ってください。

POM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図16－13　ポート出力モード・レジスタ6（POM6）のフォーマット

アドレス：F0056H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
POM6	0	0	0	0	POM63	POM62	POM61	POM60

POMmn	P6n端子の出力モードの選択（n = 0-3）
0	通常出力モード
1	N-chオープン・ドレーン出力（EV_{DD0}耐圧）モード

注意　シリアル・インタフェースIICAでは，POM62, POM63を使用します。

16.4　I²Cバス・モードの機能

16.4.1　端子構成

シリアル・クロック端子（SCLA0）と，シリアル・データ・バス端子（SDAA0）の構成は，次のようになっています。

（1）SCLA0……シリアル・クロックを入出力するための端子。

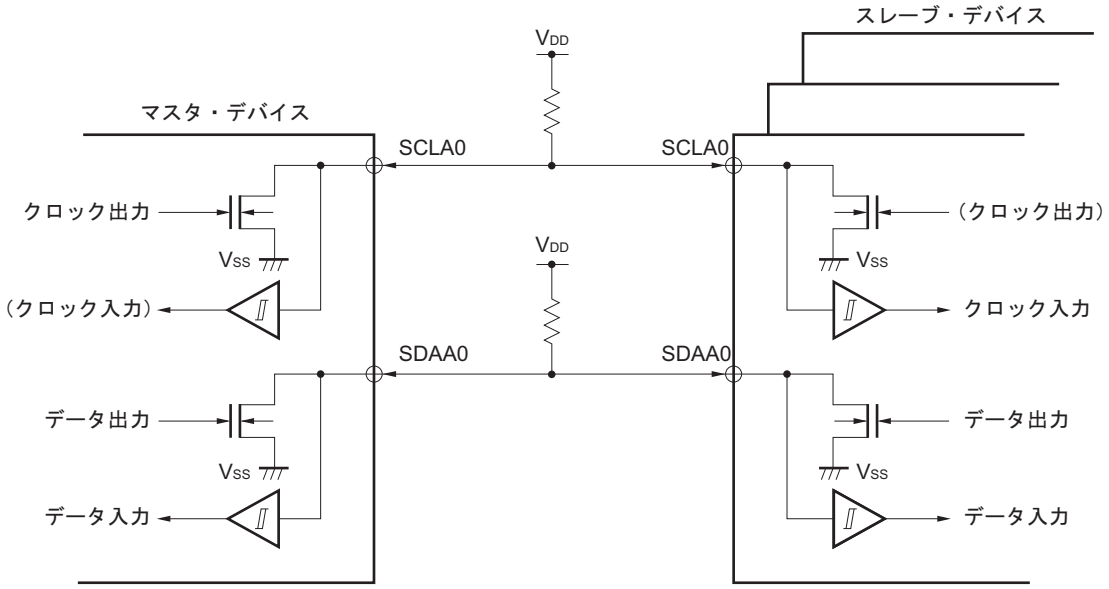
マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

（2）SDAA0……シリアル・データの入出力兼用端子。

マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレーンのため，外部にプルアップ抵抗が必要となります。

図16－14　端子構成図



16.4.2　IICWL0, IICWH0レジスタによる転送クロック設定方法

（1）マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL0 + IICWH0 + f_{MCK}(t_R + t_F)}$$

このとき，最適なIICWL0レジスタとIICWH0レジスタの設定値は次のようになります。

（設定値はすべて小数点以下切り上げ）

- ファースト･モード時

$$IICWL0 = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- 標準モード時

$$IICWL0 = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- ファースト･モード･プラス時

$$IICWL0 = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

（2）スレーブ側のIICWL0, IICWH0レジスタ設定方法（設定値はすべて小数点以下切り上げ）

- ファースト･モード時

$IICWL0 = 1.3\ \mu s \times f_{MCK}$

$IICWH0 = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$

- 標準モード時

$IICWL0 = 4.7\ \mu s \times f_{MCK}$

$IICWH0 = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$

- ファースト･モード･プラス時

$IICWL0 = 0.50\ \mu s \times f_{MCK}$

$IICWH0 = (0.50\ \mu s - t_R - t_F) \times f_{MCK}$

注意1. IICA動作クロック（f_{MCK}）の最高動作周波数は20MHz（Max.）です。f_{CLK}が20MHzを超える場合のみ、IICAコントロール・レジスタ01（IICCTL01）のビット0（PRS0）に"1"を設定してください。

2. 転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）

ファースト・モード・プラス時　：f_{CLK} = 10 MHz（Min.）

標準モード時　：f_{CLK} = 1 MHz（Min.）

3. シリアル・クロックの最小周期は，(IICWL0 + 1) + (IICWH0 + 1) になります。SDAA0, SCLA0 信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）を考慮し，IICWL0, IICWH0 レジスタに設定する値を決めてください。

（備考は次ページにあります。）

備考1.　SDAA0, SCLA0信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

2.　IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

t_R　：SDAA0, SCLA0信号の立ち上がり時間

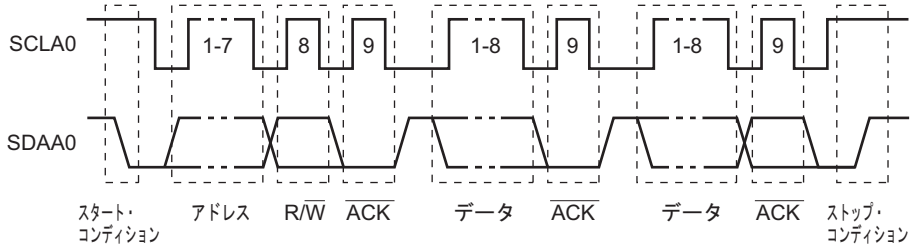
f_{MCK}　：IICA動作クロック周波数

16.5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている"スタート・コンディション"，"アドレス"，"データ"および"ストップ・コンディション"の各転送タイミングを図16－15に示します。

図16－15　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

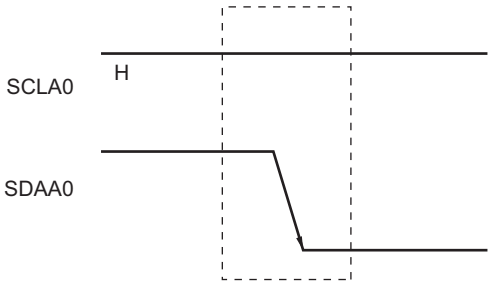
アクノリッジ（$\overline{\text{ACK}}$）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLA0）は，マスタが出力し続けます。ただし，スレーブはSCLA0端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

16.5.1　スタート・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子，SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図16－16　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0 : IICAステータス・レジスタ0（IICS0）のビット0 = 1）のときにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0レジスタのビット1（STD0）がセット（1）されます。

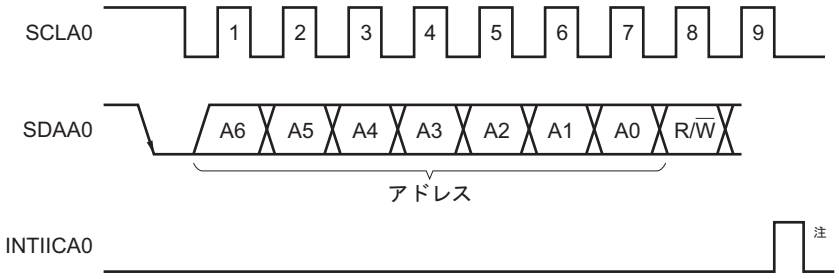
16.5.2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタ0（SVA0）と一致しているかを調べます。このとき，7ビット・データとSVA0レジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図16－17　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

アドレスは，スレーブのアドレスと「16.5.3　転送方向指定」に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0（IICA0）に書き込むと出力します。また，受信したアドレスはIICA0レジスタに書き込まれます。

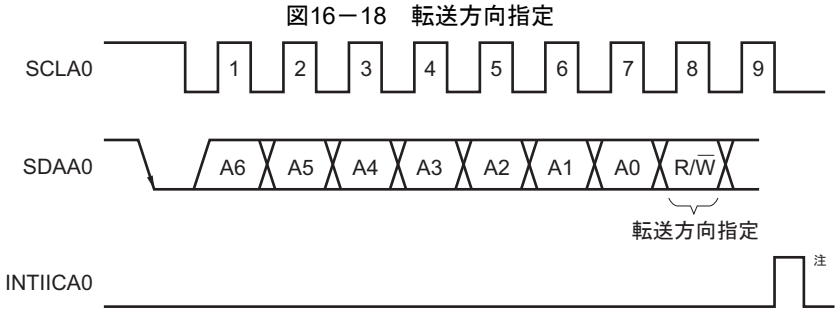
なお，スレーブのアドレスは，IICA0レジスタの上位7ビットに割り当てられます。

16.5.3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図16－18　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

16.5.4　アクノリッジ（$\overline{\text{ACK}}$）

アクノリッジ（$\overline{\text{ACK}}$）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタ0（IICS0）のビット2（ACKD0）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

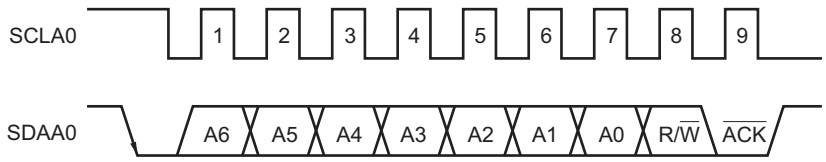
アクノリッジ生成は，受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタ00（IICCTL00）のビット2（ACKE0）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3（TRC0）が設定されます。受信（TRC0 = 0）の場合は，通常，ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0 = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKE0ビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0 = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図16－19　アクノリッジ



自局アドレス受信時は，ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，ウエイト・タイミングの設定により次のように異なります。

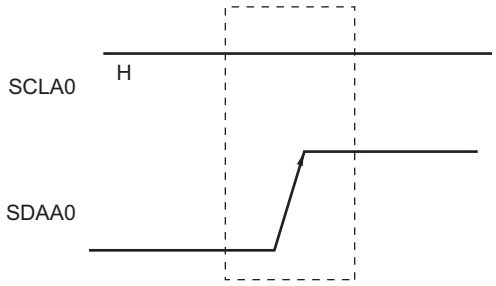
- 8クロック・ウエイト選択時（IICCTL00レジスタのビット3（WTIM0） = 0）：
  ウエイト解除を行う前にACKE0ビットをセット（1）することによって，SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・ウエイト選択時（IICCTL00レジスタのビット3（WTIM0） = 1）：
  あらかじめACKE0ビットをセット（1）することによって，アクノリッジを生成します。

16.5.5　ストップ・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図16－20　ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタ00（IICCTL00）のビット0（SPT0）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタ0（IICS0）のビット0（SPD0）がセット（1）され，IICCTL00レジスタのビット4（SPIE0）がセット（1）されている場合にはINTIICA0が発生します。

16.5.6　ウエイト

ウエイトによっては，マスタまたはスレーブがデータの送受信のための準備中（ウエイト状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより，相手にウエイト状態を知らせます。マスタ，スレーブ両方のウエイト状態が解除されると，次の転送を開始できます。

図16－21　ウエイト（1/2）

（1）マスタは9クロック・ウエイト，スレーブは8クロック・ウエイト時

（マスタ：送信，スレーブ：受信，ACKE0 = 1）

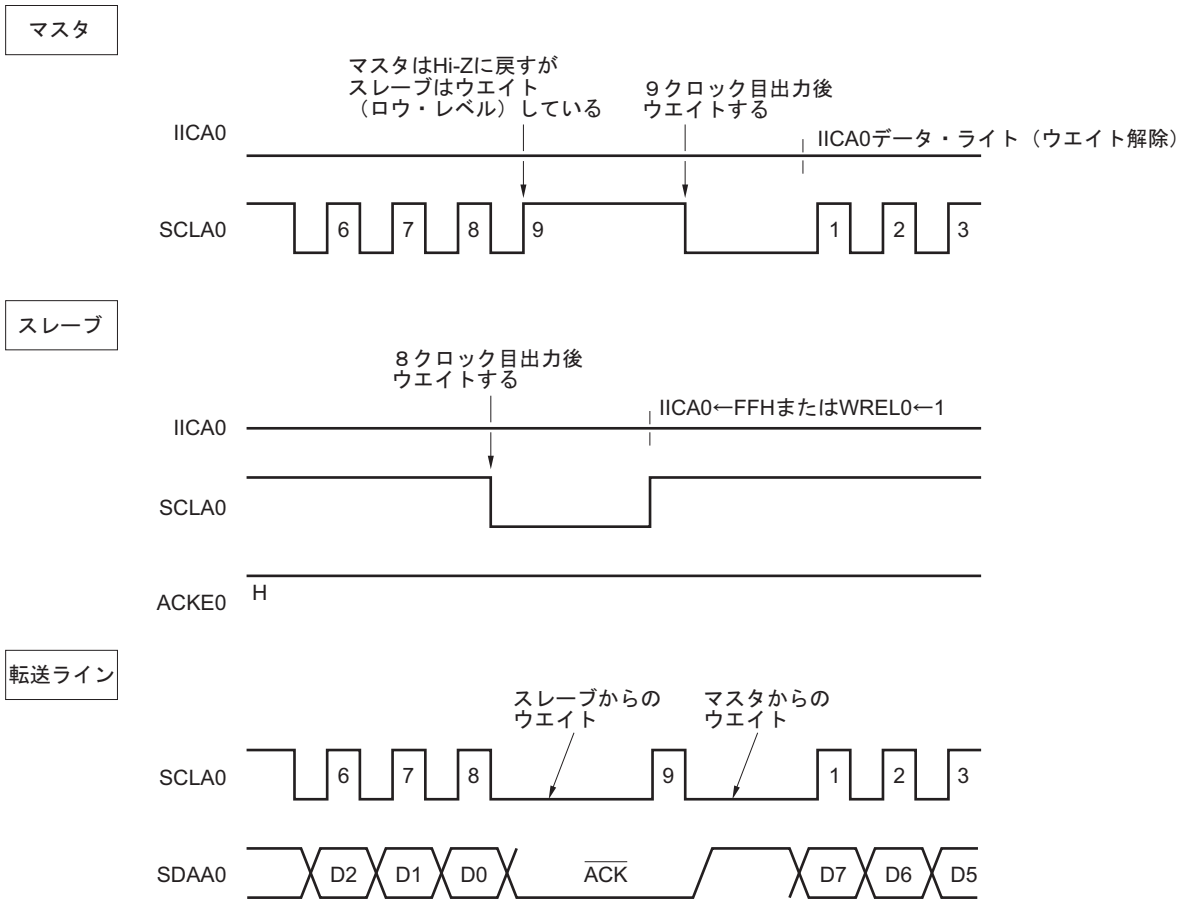
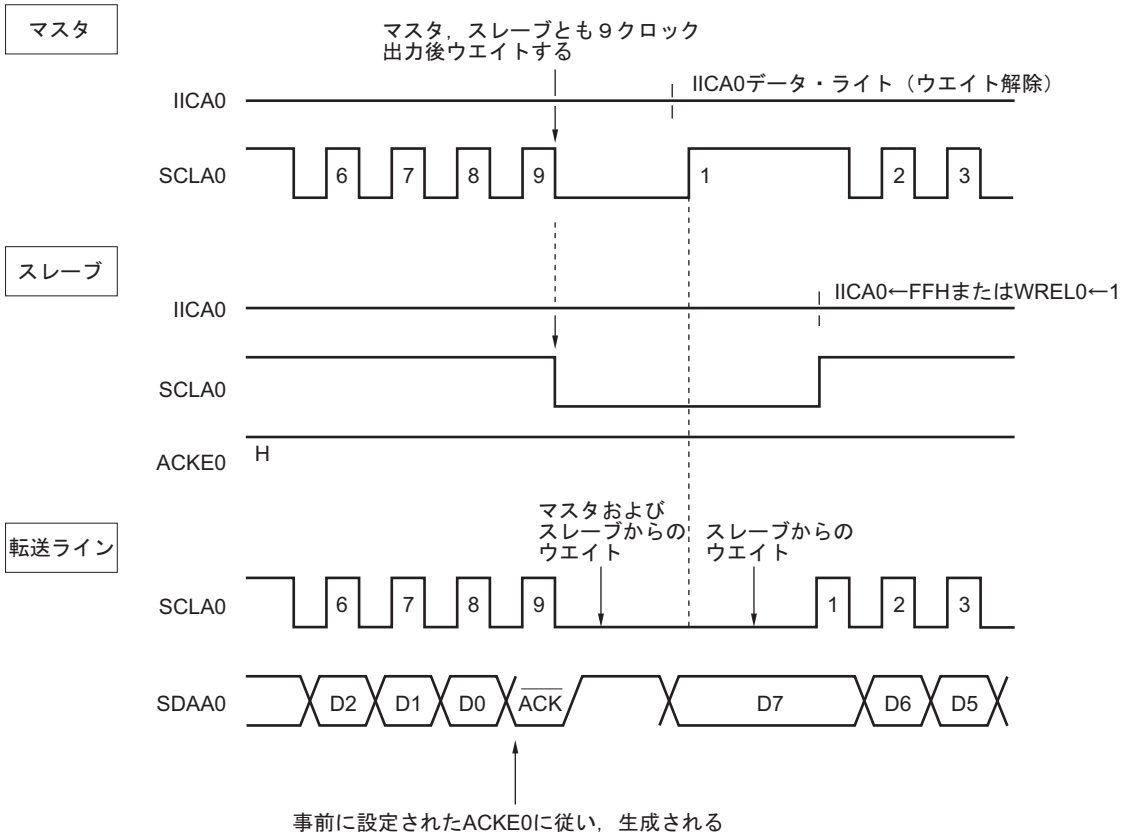


図16－21　ウエイト（2/2）

（2）マスタ，スレーブとも9クロック・ウエイト時（マスタ：送信，スレーブ：受信，ACKE0 = 1）



備考　ACKE0：IICAコントロール・レジスタ00（IICCTL00）のビット2
　　WREL0：　〃　のビット5

ウエイトは，IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定により自動的に発生します。

通常，受信側はIICCTL00レジスタのビット5（WREL0ビット） = 1またはIICAシフト・レジスタ0（IICA0）にFFHを書き込むとウエイトを解除し，送信側はIICA0レジスタにデータを書き込むとウエイトを解除します。

マスタの場合は，次の方法でもウエイトを解除できます。

- IICCTL00レジスタのビット1（STT0） = 1
- IICCTL00レジスタのビット0（SPT0） = 1

16.5.7　ウエイト解除方法

I²Cでは，通常，次のような処理でウエイトを解除できます。

- IICAシフト・レジスタ0（IICA0）へのデータ書き込み
- IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（ウエイト解除）
- IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）[注]
- IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）[注]

注　マスタのみ。

これらのウエイト解除処理を実行した場合，I²Cはウエイトを解除し，通信が再開されます。

ウエイトを解除してデータ（アドレスを含む）を送信する場合には，IICA0レジスタにデータを書き込んでください。

ウエイト解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTL00レジスタのビット5（WREL0）をセット（1）してください。

ウエイト解除後にリスタート・コンディションを生成する場合には，IICCTL00レジスタのビット1（STT0）をセット（1）してください。

ウエイト解除後にストップ・コンディションを生成する場合には，IICCTL00レジスタのビット0（SPT0）をセット（1）してください。

1回のウエイト状態に対して1回だけ解除処理を実行してください。

たとえば，WREL0ビットにセット（1）によるウエイト解除後，IICA0レジスタへのデータ書き込みを実施した場合には，SDAA0ラインの変化タイミングとIICA0レジスタへの書き込みタイミングの競合により，SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICE0ビットをクリア（0）すると通信を停止するので，ウエイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTL00レジスタのビット6（LREL0）をセット（1）すると通信から退避するので，ウエイトを解除できます。

注意　WUP0 = 1のときにウエイト解除処理を実行した場合，ウエイトは解除されません。

16.5.8　割り込み要求（INTIICA0）発生タイミングおよびウエイト制御

IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定で，表16－2に示すタイミングでINTIICA0が発生し，また，ウエイト制御を行います。

表16－2　INTIICA0発生タイミングおよびウエイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブのINTIICA0信号およびウエイトは，スレーブ・アドレス・レジスタ0（SVA0）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。

また，このとき，IICCTL00レジスタのビット2（ACKE0）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICA0を発生します。

ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICA0を発生しますが，ウエイトは発生しません。

2. スレーブ・アドレス・レジスタ0（SVA0）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICA0もウエイトも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

- スレーブ動作時　：WTIM0ビットにかかわらず，上記の注1, 2の条件により，割り込みおよびウエイト・タイミングが決まります。
- マスタ動作時　　：WTIM0ビットにかかわらず，割り込みおよびウエイト・タイミングは，9クロック目の立ち下がりで発生します。

（2）データ受信時

- マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびウエイト・タイミングが決まります。

（3）データ送信時

- マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびウエイト・タイミングが決まります。

（4）ウエイト解除方法

ウエイトの解除方法には次の4つがあります。

- IICAシフト・レジスタ0（IICA0）へのデータ書き込み
- IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（ウエイト解除）
- IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注
- IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

8クロック・ウエイト選択（WTIM0 = 0）時は，ウエイト解除前にアクノリッジの生成の有無を決定する必要があります。

（5）ストップ・コンディション検出

INTIICA0は，ストップ・コンディションを検出すると発生します（SPIE0 = 1のときのみ）。

16.5.9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ0（SVA0）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICA0割り込み要求が発生します。

16.5.10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAA0）の状態が，送信しているデバイスのIICAシフト・レジスタ0（IICA0）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

16.5.11　拡張コード

(1) 受信アドレスの上位4ビットが0000と1111のときを拡張コード受信として，拡張コード受信フラグ（EXC0）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICA0）を発生します。
スレーブ・アドレス・レジスタ0（SVA0）に格納された自局アドレスは影響しません。

(2) SVA0レジスタに11110xx0を設定されているときに，10ビット・アドレス転送でマスタから11110xx0が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICA0）は，8クロック目の立ち下がりで発生します。

- 上位4ビット・データの一致　：EXC0 = 1
- 7ビット・データの一致　：COI0 = 1

備考　EXC0：IICAステータス・レジスタ0（IICS0）のビット5
COI0：　〃　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1に設定してください。次の通信待機状態にします。

表16－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定 （アドレス一致後，リード・コマンド発行時）

備考　上記以外の拡張コードについては，NXP社発行のI^2Cバスの仕様書を参照してください。

16.5.12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STD0 = 1になる前にSTT0 = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタ0（IICS0）のアービトレーション負けフラグ（ALD0）をセット（1）し，SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては「16.5.8　割り込み要求（INTIICA0）発生タイミングおよびウエイト制御」を参照してください。

備考　STD0：IICAステータス・レジスタ0（IICS0）のビット1
　　STT0：IICAコントロール・レジスタ00（IICCTL00）のビット1

図16－22　アービトレーション・タイミング例

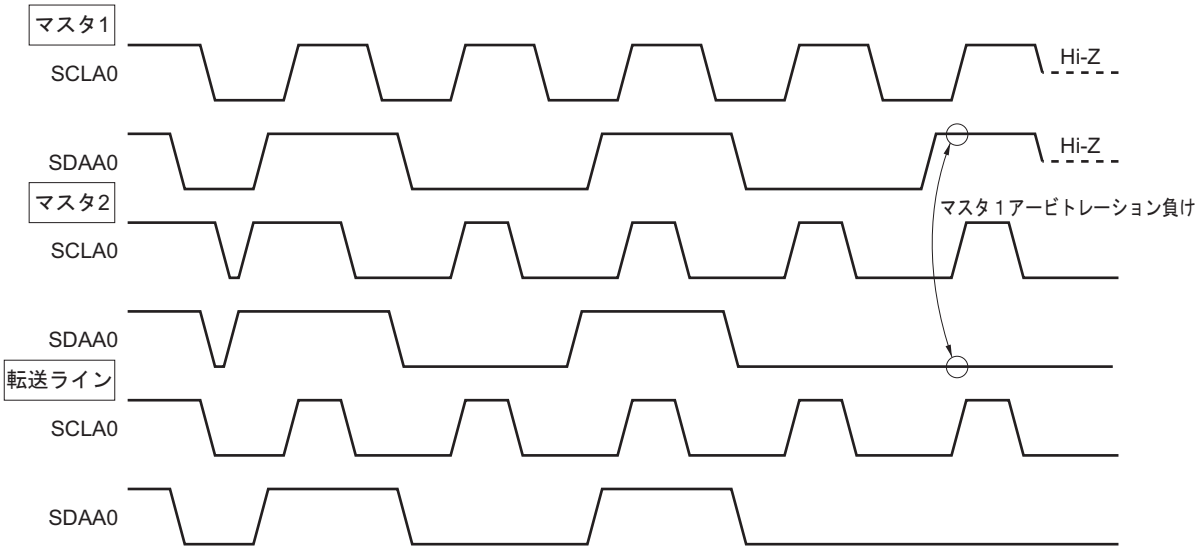


表16－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり[注1]
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）[注2]
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）[注2]
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり[注1]
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1.　WTIM0ビット（IICAコントロール・レジスタ00（IICCTL00）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIE0 = 1に設定してください。

備考　SPIE0：IICAコントロール・レジスタ00（IICCTL00）のビット 4

16.5.13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

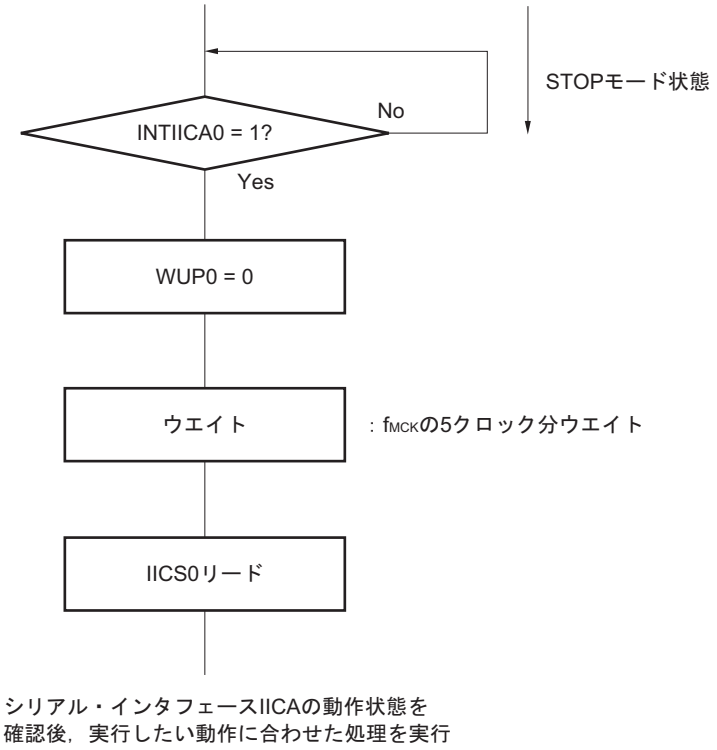
STOPモード状態時にウエイク・アップ機能を使用する場合には，WUP0 = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生します。この割り込み発生後に命令でWUP0ビットをクリア（0）することで通常動作に戻ります。

WUP0 = 1に設定する場合のフローを図16－23に，アドレス一致によりWUP0 = 0に設定する場合のフローを図16－24に示します。

図16－23　WUP0 = 1を設定する場合のフロー



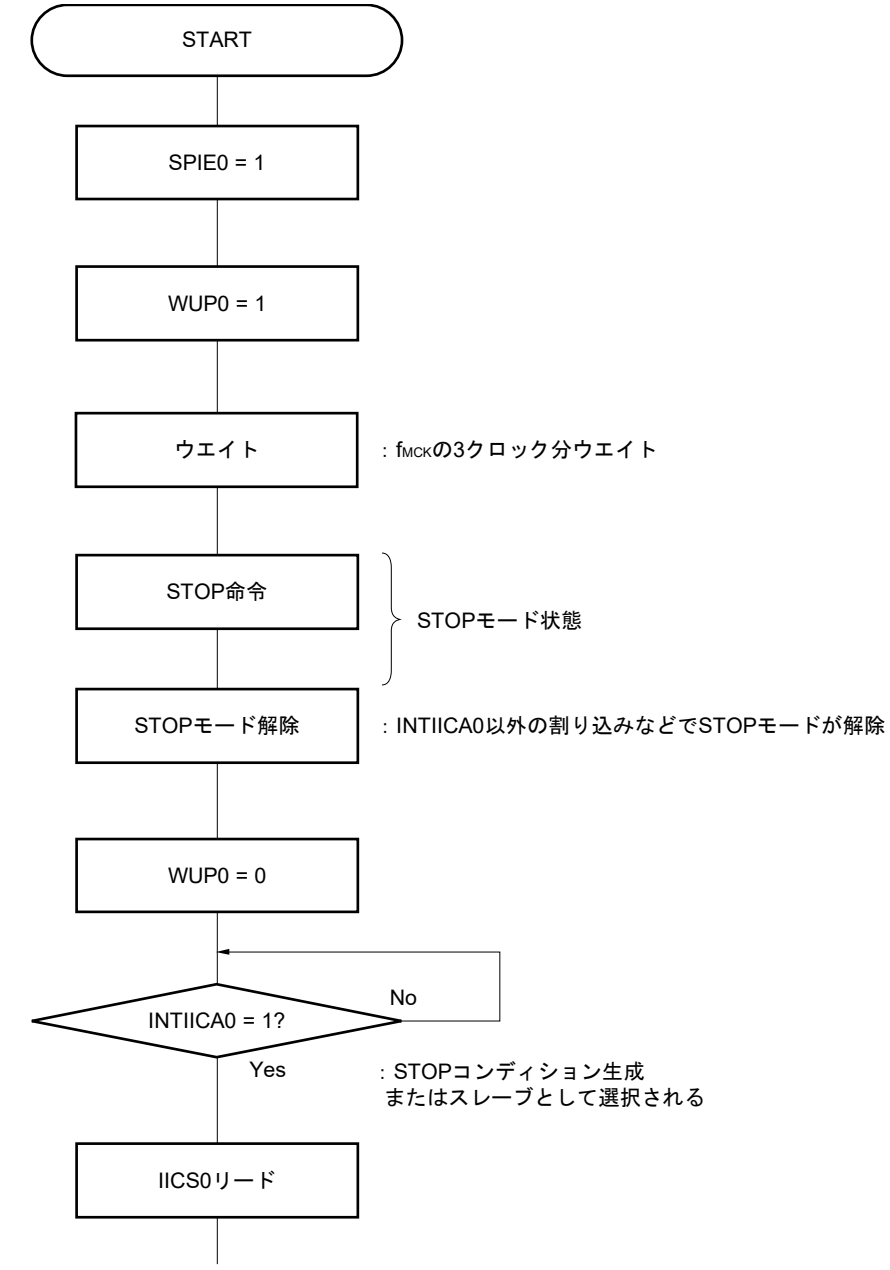
図16－24　アドレス一致によりWUP0 = 0に設定する場合のフロー（拡張コード受信含む）



また，シリアル・インタフェースIICAからの割り込み要求（INTIICA0）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- マスタとして動作させる場合　：図16－25のフロー
- スレーブとして動作させる場合：図16－24のフロー。INTIICA0が1になるまでWUP0＝1としてください。

図16－25　INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



16.5.14　通信予約

（1）通信予約機能許可の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTL00レジスタのビット1（STT0）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTL00レジスタのビット4（SPIE0）をセット（1）し，割り込み要求信号（INTIICA0）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタ0（IICA0）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICA0レジスタに書き込まれたデータは，無効です。

STT0ビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき……スタート・コンディション生成
- バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STT0ビットをセット（1）し，ウエイト時間をとったあと，MSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）で確認します。

ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

STT0 = 1からMSTS0フラグ確認までのウエイト時間： （IICWL0の設定値＋IICWH0の設定値＋4）／f_{MCK}＋t_F×2

備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0

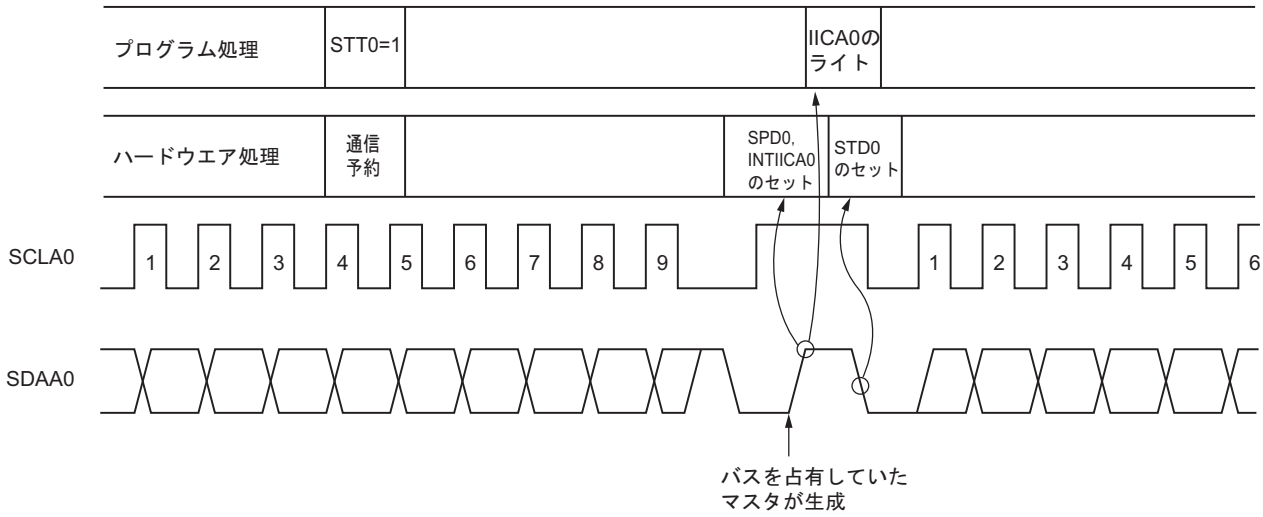
IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

通信予約のタイミングを図16－26に示します。

図16－26　通信予約のタイミング



備考　IICA0　　：IICAシフト・レジスタ0
　　STT0　　：IICAコントロール・レジスタ00（IICCTL00）のビット1
　　STD0　　：IICAステータス・レジスタ0（IICS0）のビット1
　　SPD0　　：　　〃　　のビット0

通信予約は図16－27に示すタイミングで受け付けられます。IICAステータス・レジスタ0（IICS0）のビット1（STD0） = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0） = 1で通信予約をします。

図16－27　通信予約受け付けタイミング

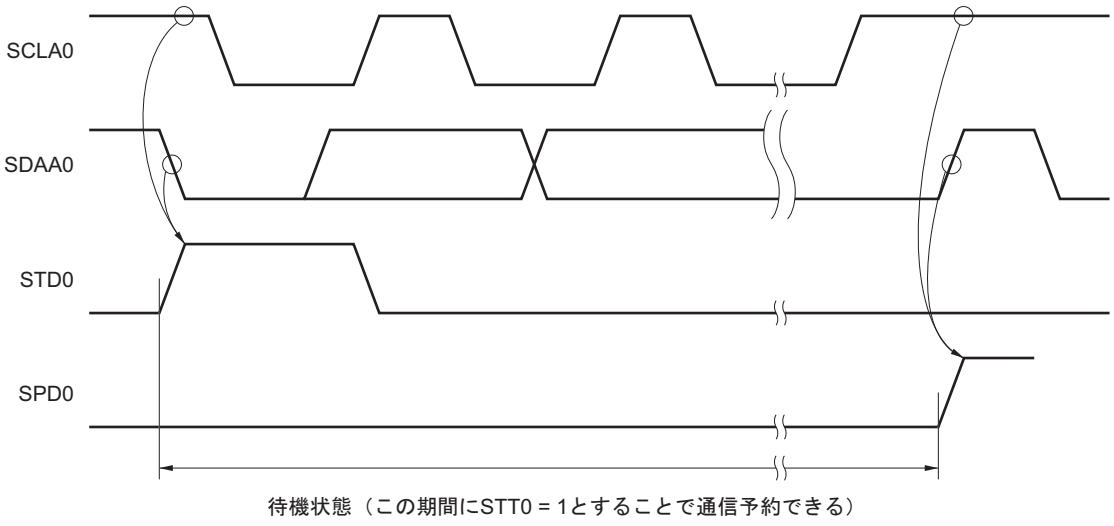
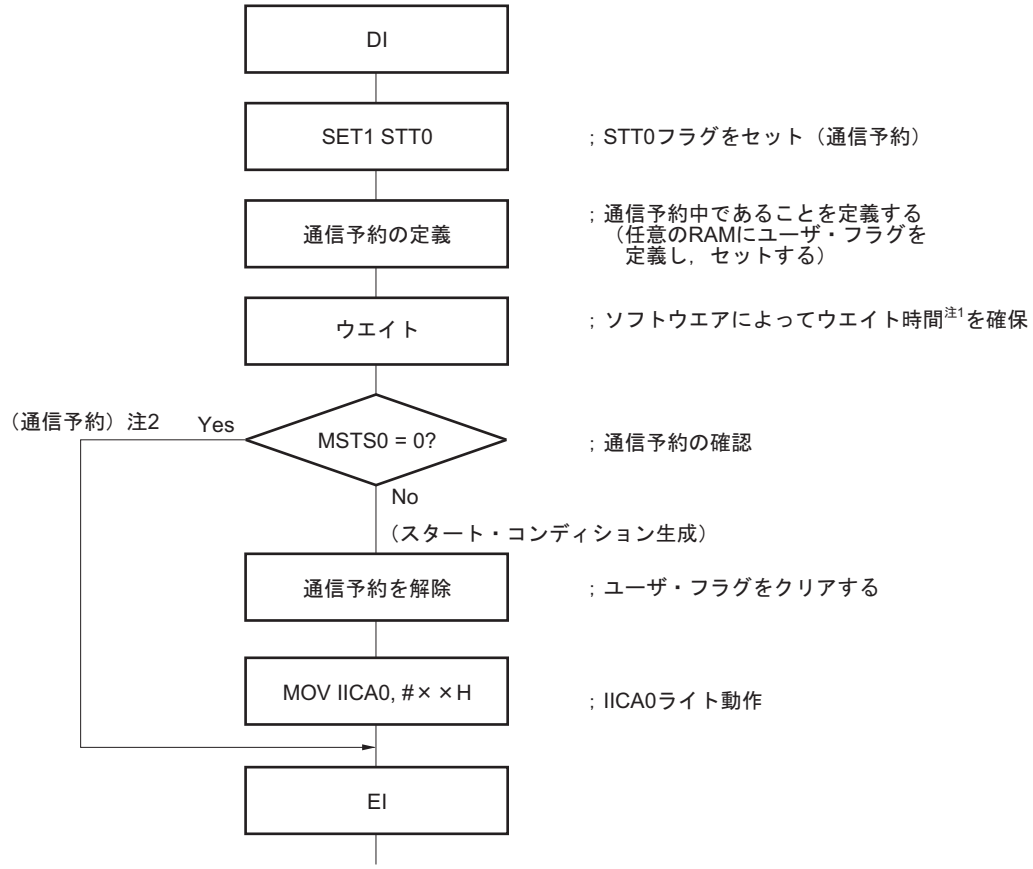


図16－28に通信予約の手順を示します。

図16－28　通信予約の手順



注1.　ウエイト時間は次のようになります。

（IICWL0の設定値＋IICWH0の設定値＋4）／f_{MCK}＋t_F×2

2.　通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタ0（IICA0）への書き込みを実行します。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

MSTS0　：IICAステータス・レジスタ0（IICS0）のビット7

IICA0　：IICAシフト・レジスタ0

IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

（2）通信予約機能禁止の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTL00レジスタのビット6（LREL0）　= 1で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCF0（IICF0レジスタのビット7）で確認できます。STT0 = 1としてからSTCF0がセット（1）されるまでf_{MCK}の5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

16.5.15　その他の注意事項

（1）STCEN0 = 0の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず通信状態（IICBSY0 = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタ01（IICCTL01）を設定する
② IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）をセット（1）する
③ IICCTL00レジスタのビット0（SPT0）をセット（1）する

（2）STCEN0 = 1の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを生成（STT0 = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

（3）すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで，かつSCLA0端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTL00レジスタのビット4（SPIE0）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICA0）発生を禁止する
② IICCTL00レジスタのビット7（IICE0）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICE0ビットをセット（1）してから，f_{MCK}の4～80クロック中）に，IICCTL00レジスタのビット6（LREL0）をセット（1）にし，強制的に検出を無効とする

（4）STT0, SPT0ビット（IICCTL00レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

（5）送信予約をした場合には，SPIE0ビット（IICCTL00レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタ0（IICA0）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）を検出する場合には，SPIE0ビットをセット（1）する必要はありません。

16.5.16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

（1）シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

（2）マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

（3）スレーブ動作

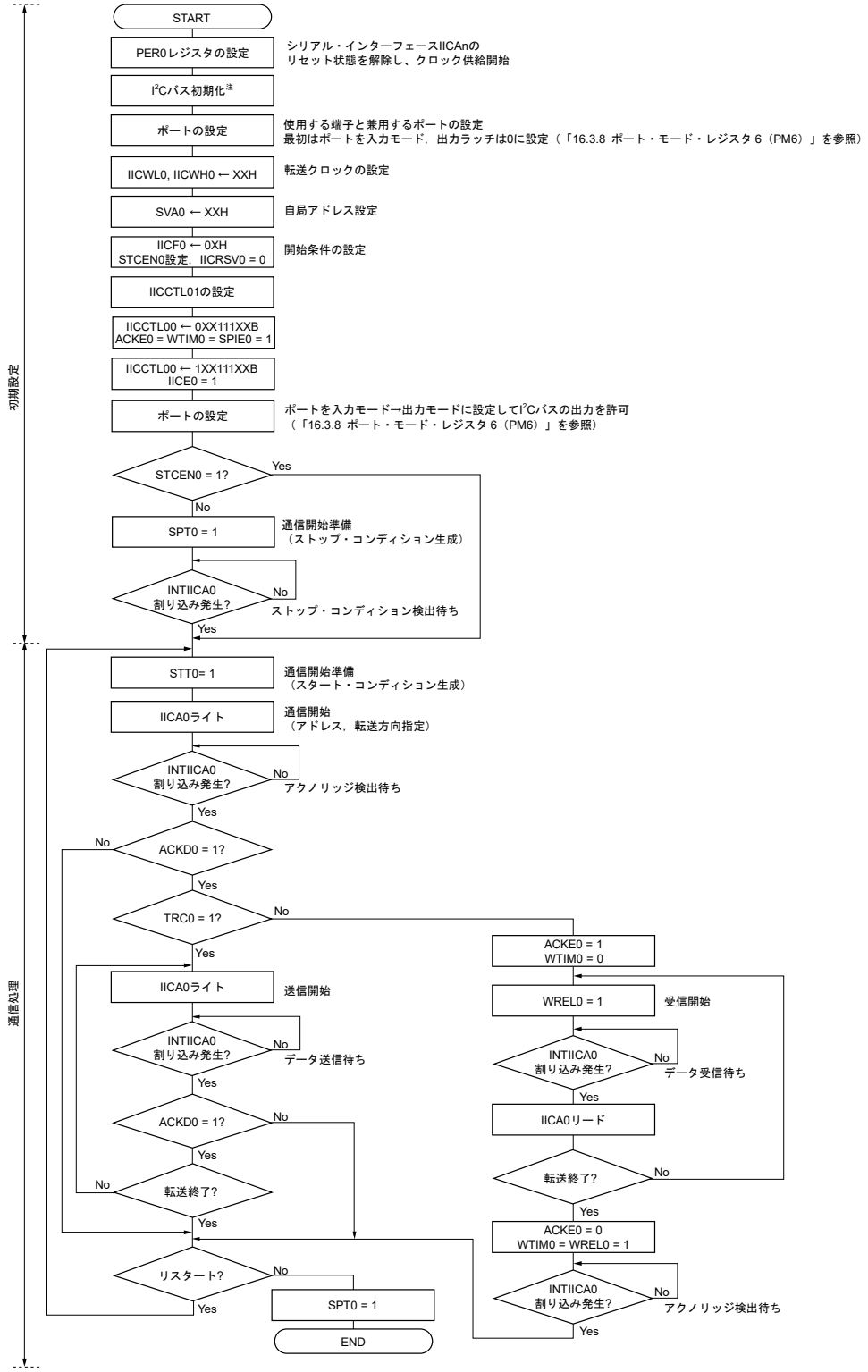
I^2Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

（1）シングルマスタ・システムでのマスタ動作

図16－29　シングルマスタ・システムでのマスタ動作

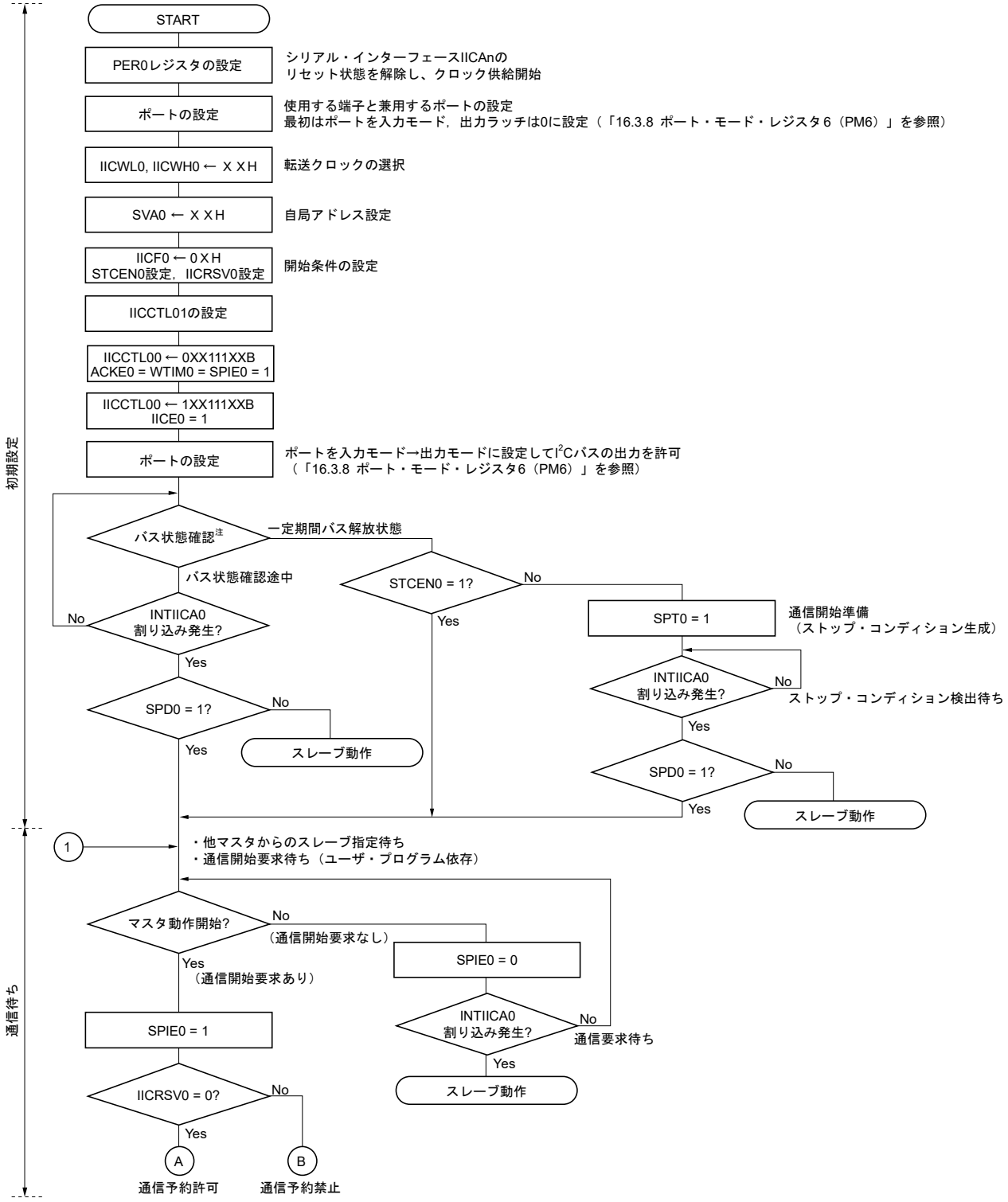


注　通信している製品の仕様に準拠し，I²Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば，SCLA0端子を出力ポートに設定し，SDAA0端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考　送信および受信フォーマットは，通信している製品の仕様に準拠してください。

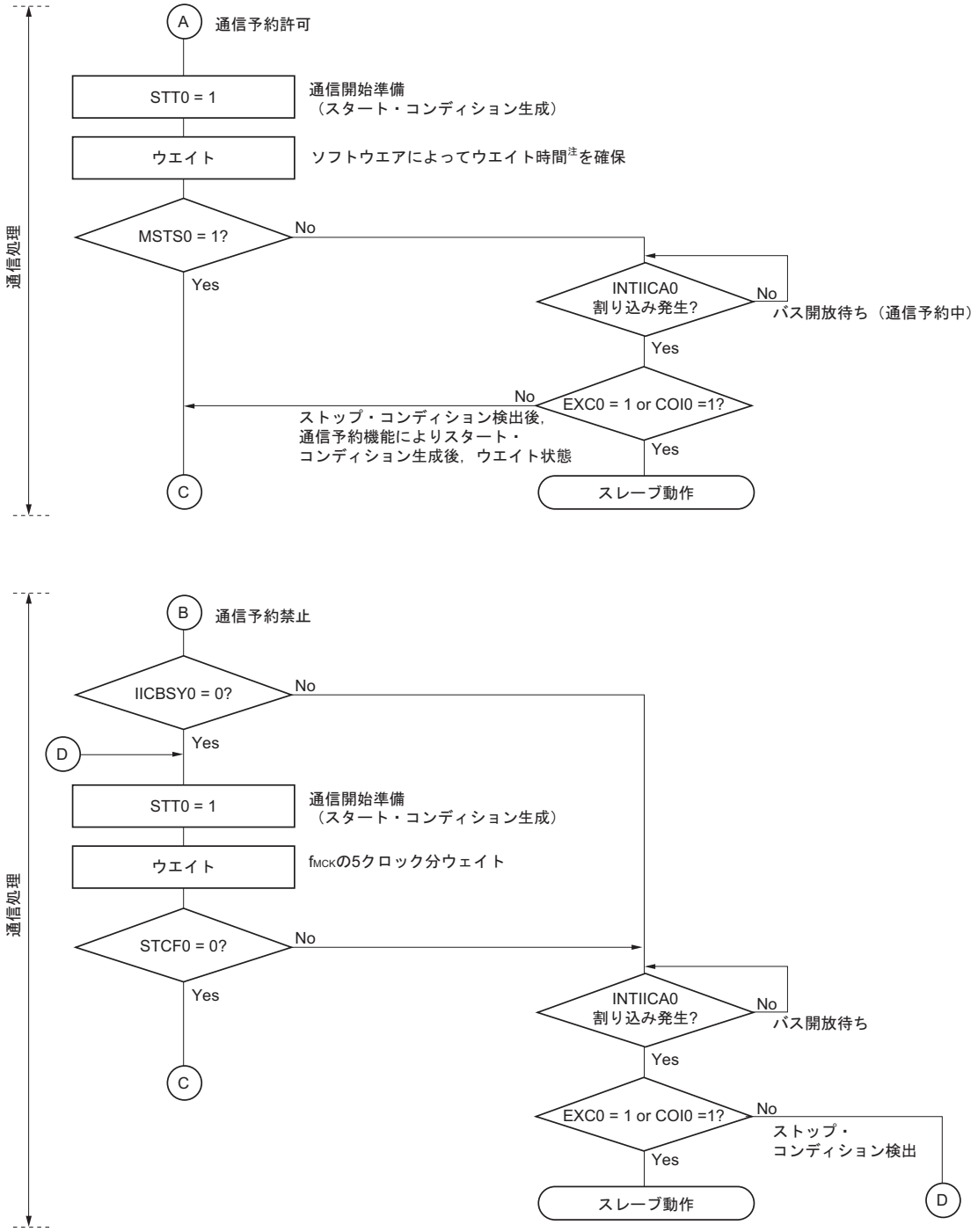
（2）マルチマスタ・システムでのマスタ動作

図16－30　マルチマスタ・システムでのマスタ動作（1/3）



注　一定期間（たとえば1フレーム分），バス解放状態（CLD0ビット = 1, DAD0ビット = 1）であることを確認してください。定常的にSDAA0端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I2Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）するか判断してください。

図16－30　マルチマスタ・システムでのマスタ動作（2/3）



注　ウエイト時間は次のようになります。

（IICWL0の設定値＋IICWH0の設定値＋4）／f_{MCK}＋t_F×2

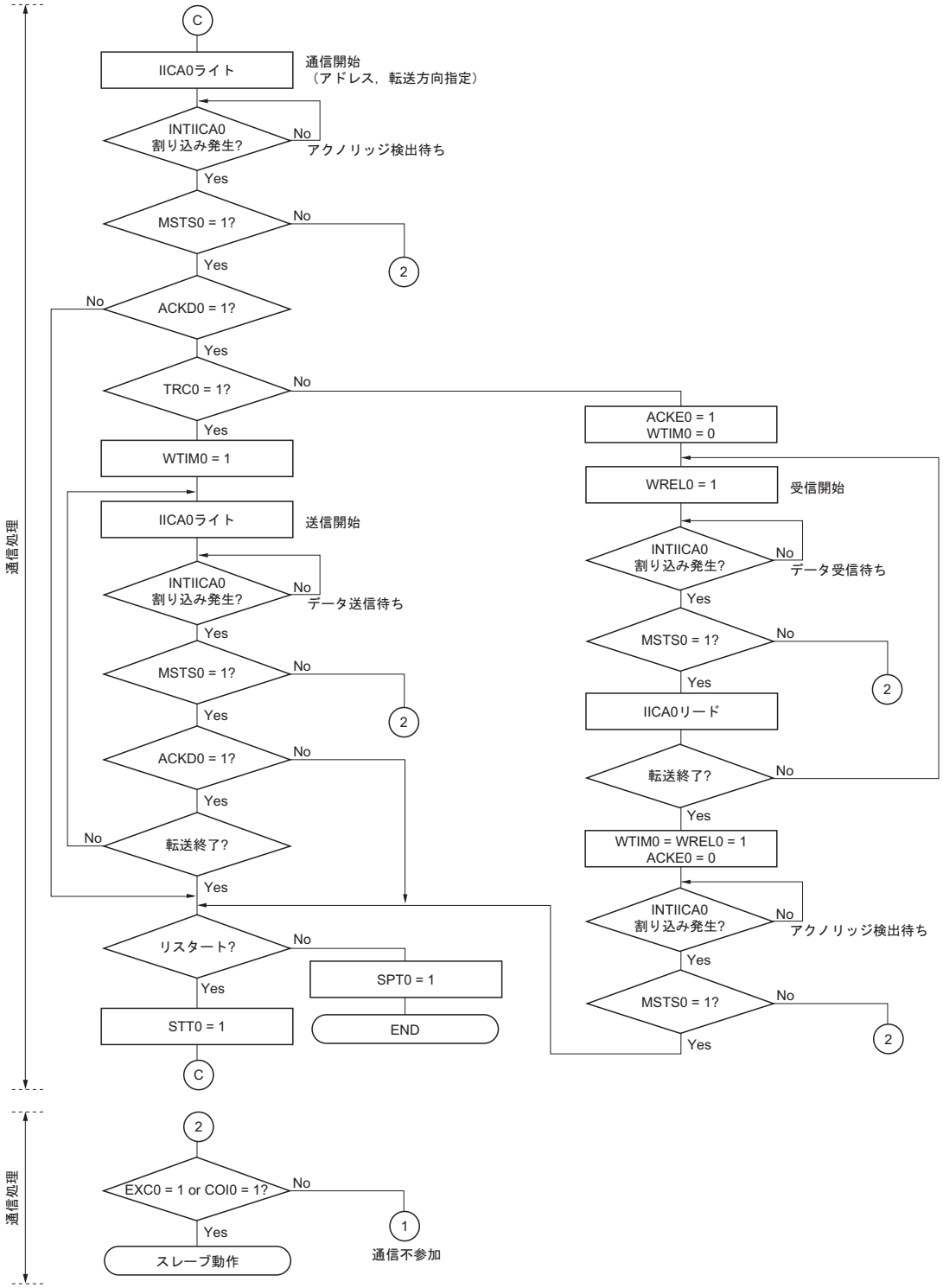
備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

図16－30　マルチマスタ・システムでのマスタ動作（3/3）



備考1.　送信および受信フォーマットは通信している製品の仕様に準拠してください。

2.　マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

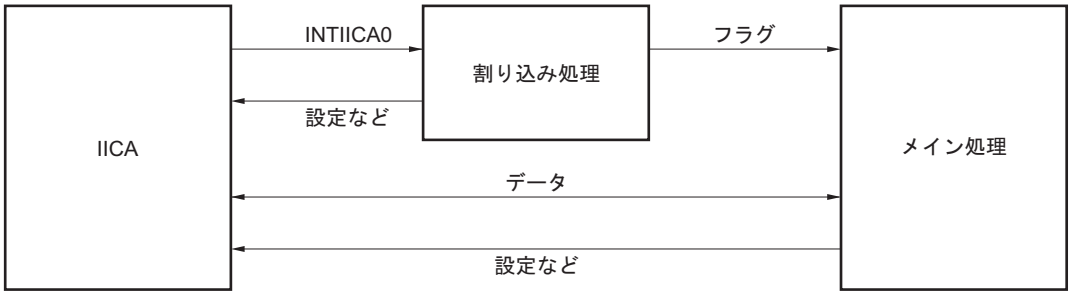
3.　マルチマスタ・システムでスレーブとして使用する場合は，INTIICA0割り込み発生ごとにIICAステータス・レジスタ0（IICS0），IICAフラグ・レジスタ0（IICF0）でステータスを確認して次に行う処理を決定してください。

（3）スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICA0の代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- クリア・モード　：データ通信を行っていない状態
- 通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0ビットの値と同じです。

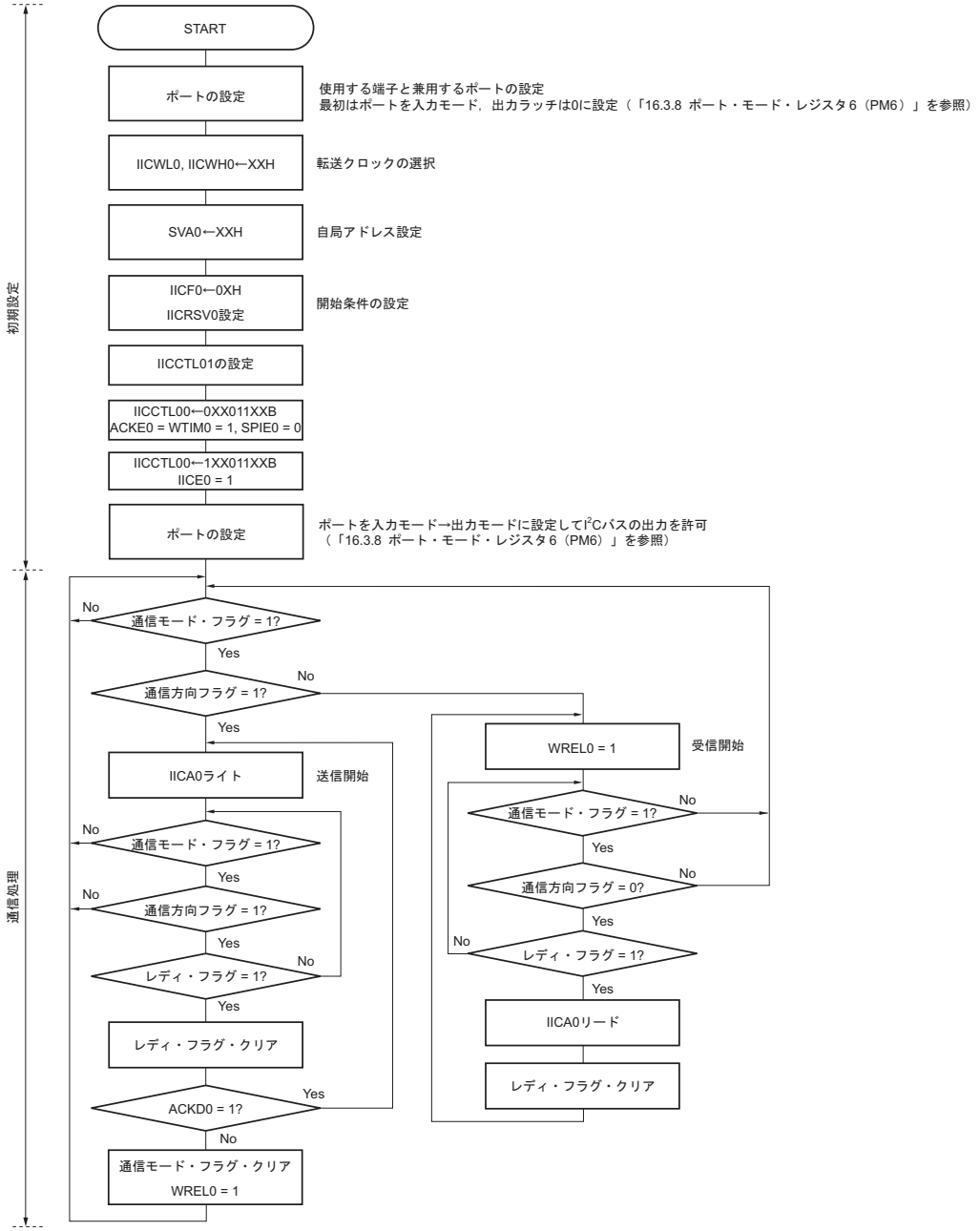
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図16－31　スレーブ動作手順（1）



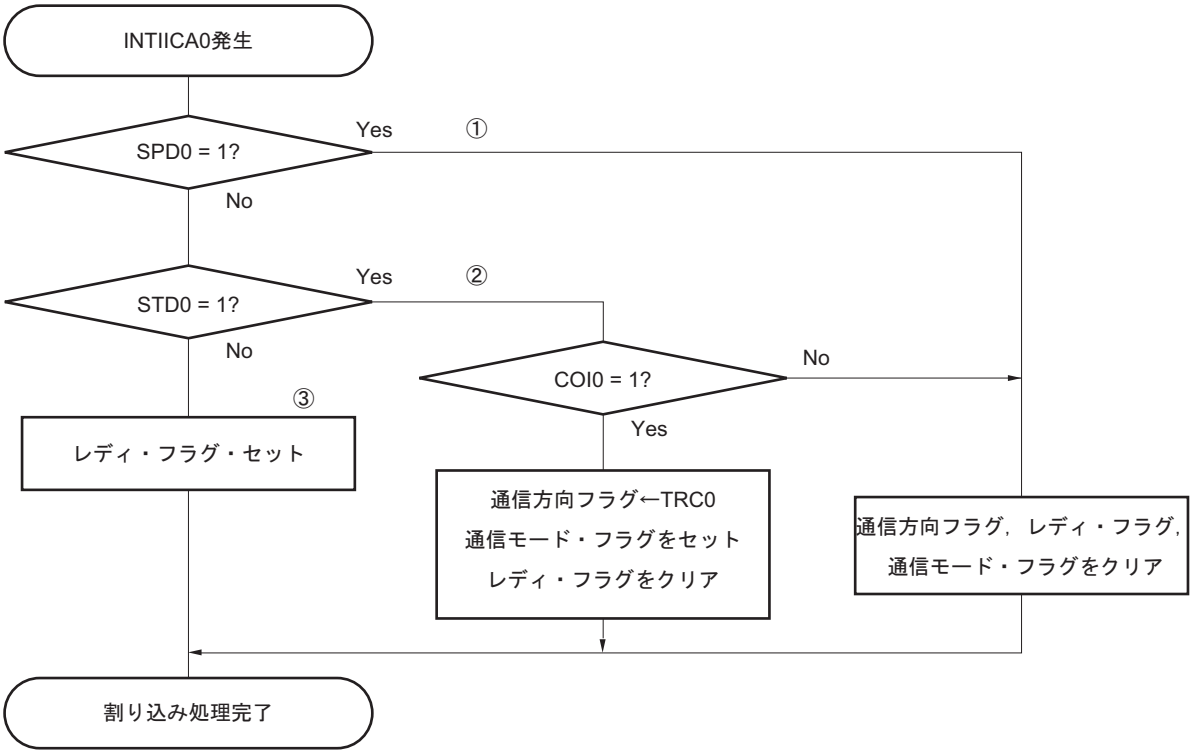
備考　送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合，レディ・フラグをセットするだけで，I²Cバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，図16－31　スレーブ動作手順（2）の①～③と対応しています。

図16－31　スレーブ動作手順（2）



16.5.17　I²C割り込み要求（INTIICA0）の発生タイミング

次に，データの送受信，INTIICA0割り込み要求信号発生タイミングと，INTIICA0信号タイミングでのIICAステータス・レジスタ0（IICS0）の値を示します。

備考　ST　　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　　：転送方向指定
$\overline{ACK}$　　：アクノリッジ
D7-D0　　：データ
SP　　：ストップ・コンディション

（1）マスタ動作

（a）Start～Address～Data～Data～Stop（送受信）

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B

▲3：IICS0 = 1000×000B（WTIM0ビットをセット（1））注

▲4：IICS0 = 1000××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

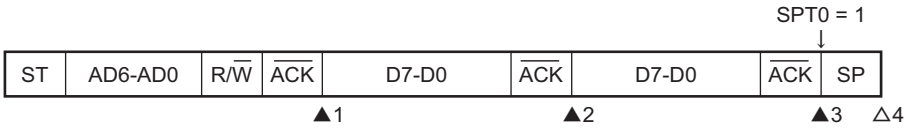
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B

▲3：IICS0 = 1000××00B（SPT0ビットをセット（1））

△4：IICS0 = 00000001B

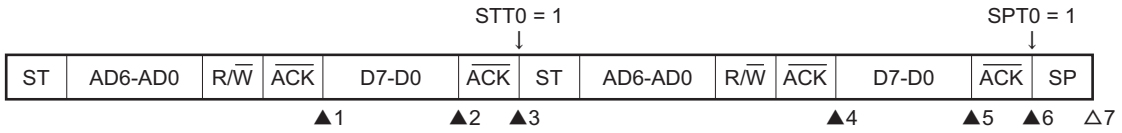
備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1）[注1]）

▲3：IICS0 = 1000××00B（WTIM0ビットをクリア（0）[注2]，STT0ビットをセット（1））

▲4：IICS0 = 1000×110B

▲5：IICS0 = 1000×000B（WTIM0ビットをセット（1）[注3]）

▲6：IICS0 = 1000××00B（SPT0ビットをセット（1））

△7：IICS0 = 00000001B

注1. スタート・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

2. 設定を元に戻すために，WTIM0ビットをクリア（0）してください。

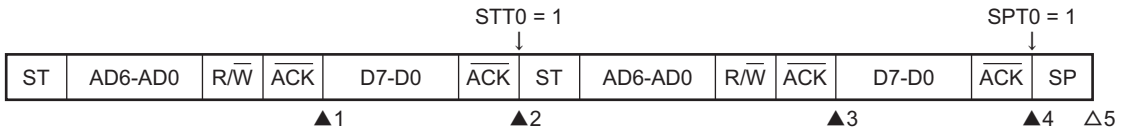
3. ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000××00B（STT0ビットをセット（1））

▲3：IICS0 = 1000×110B

▲4：IICS0 = 1000××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIM0 = 0のとき



▲1：IICS0 = 1010×110B

▲2：IICS0 = 1010×000B

▲3：IICS0 = 1010×000B（WTIM0ビットをセット（1）[注]）

▲4：IICS0 = 1010××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

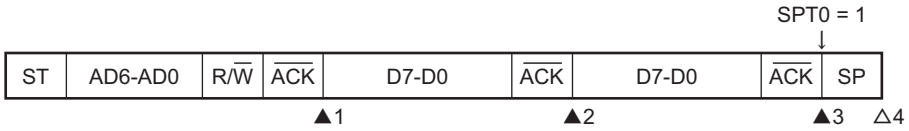
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1010×110B

▲2：IICS0 = 1010×100B

▲3：IICS0 = 1010××00B（SPT0ビットをセット（1））

△4：IICS0 = 00001001B

備考▲　必ず発生

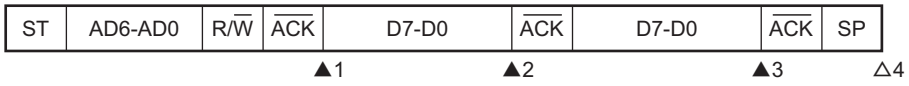
△　SPIE0 = 1のときだけ発生

×　任意

（2）スレーブ動作（スレーブ・アドレス受信時）

（a）Start～Address～Data～Data～Stop

（i）WTIM0 = 0のとき



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×000B

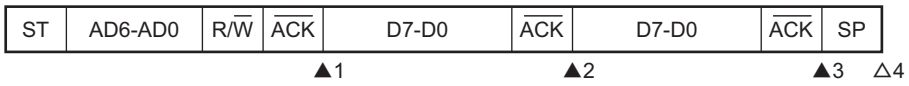
△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×100B

▲3：IICS0 = 0001××00B

△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）Start～Address～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001××00B

△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Address～Data～Start～Code～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×000B

△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×110B

▲5：IICS0 = 0010××00B

△6：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1 ▲2 ▲3 △4

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 00000×10B

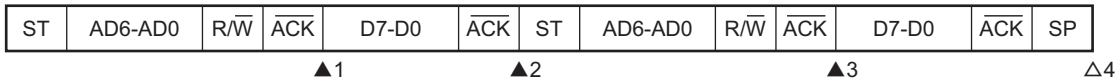
△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1 ▲2 ▲3 △4

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 00000×10B

△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

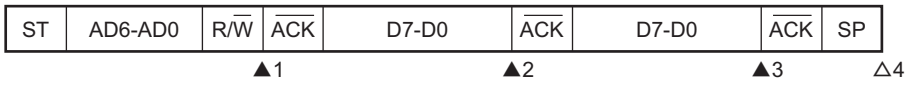
×　任意

（3）スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

（a）Start～Code～Data～Data～Stop

（i）WTIM0 = 0のとき



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×000B

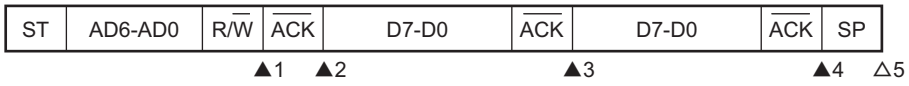
△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010×100B

▲4：IICS0 = 0010× ×00B

△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）Start～Code～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，SVA0一致）



▲1　▲2　▲3　▲4　△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）



▲1　▲2　▲3　▲4　▲5　△6

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 0001×110B

▲5：IICS0 = 0001××00B

△6：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Code～Data～Start～Code～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，拡張コード受信）



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×000B

△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，拡張コード受信）



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010× ×00B

▲4：IICS0 = 0010×010B

▲5：IICS0 = 0010×110B

▲6：IICS0 = 0010× ×00B

△7：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1　▲2　▲3　△4

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 00000×10B

△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1　▲2　▲3　▲4　△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 00000×10B

△5：IICS0 = 00000001B

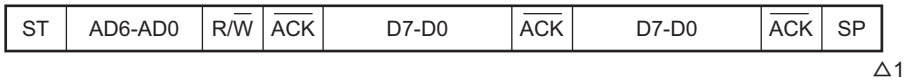
備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（4）通信不参加の動作

（a）Start～Code～Data～Data～Stop



△1：IICS0 = 00000001B

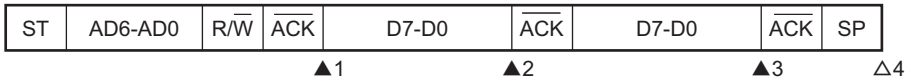
備考△　SPIE0 = 1のときだけ発生

（5）アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 0101×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×000B

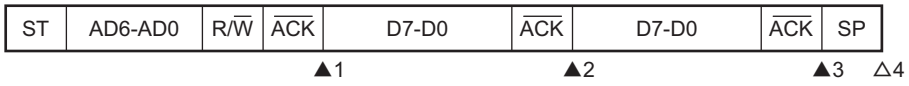
△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0101×110B

▲2：IICS0 = 0001×100B

▲3：IICS0 = 0001××00B

△4：IICS0 = 00000001B

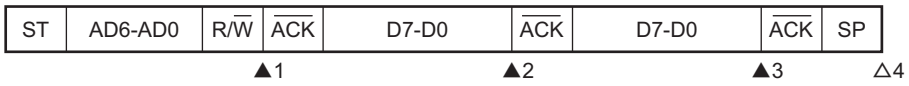
備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）拡張コード送信中にアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 0110×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×000B

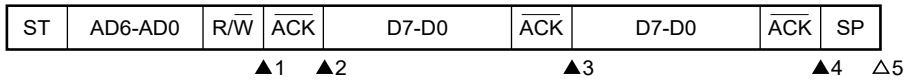
△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0110×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010×100B

▲4：IICS0 = 0010××00B

△5：IICS0 = 00000001B

備考▲　必ず発生

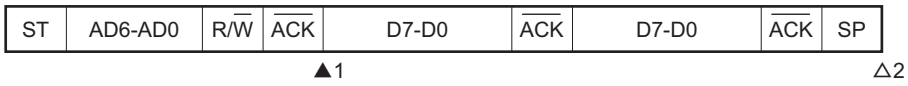
△　SPIE0 = 1のときだけ発生

×　任意

（6）アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1のとき）



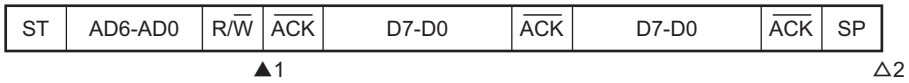
▲1：IICS0 = 01000110B

△2：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

（b）拡張コード送信中にアービトレーションに負けた場合



▲1：IICS0 = 0110×010B

ソフトウエアでLREL0 = 1を設定

△2：IICS0 = 00000001B

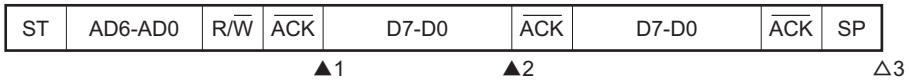
備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）データ転送時にアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 10001110B

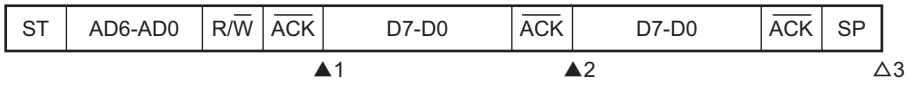
▲2：IICS0 = 01000000B

△3：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

（ii）WTIM0 = 1のとき



▲1：IICS0 = 10001110B

▲2：IICS0 = 01000100B

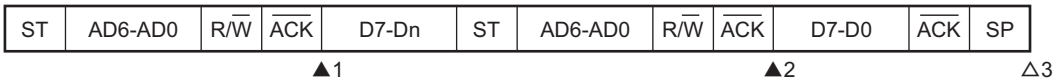
△3：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

（d）データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVA0不一致）



▲1：IICS0 = 1000×110B

▲2：IICS0 = 01000110B

△3：IICS0 = 00000001B

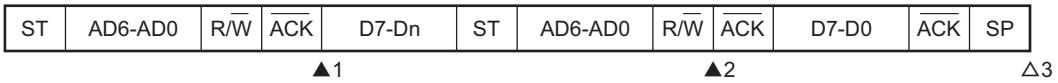
備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

（ii）拡張コード



▲1：IICS0 = 1000×110B

▲2：IICS0 = 01100010B

ソフトウエアでLREL0 = 1を設定

△3：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

（e）データ転送時にストップ・コンディションで負けた場合



▲1：IICS0 = 10000110B

△2：IICS0 = 01000001B

備考▲　必ず発生

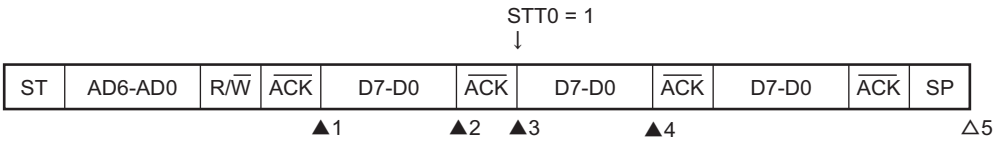
△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

（f）リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000×100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000000B

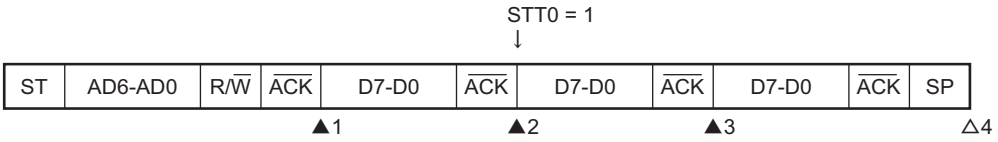
△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B（STT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

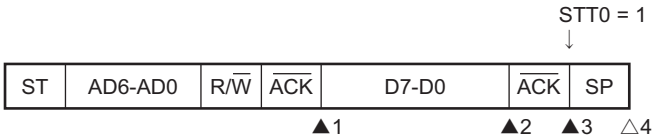
備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（g）リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000××00B（STT0ビットをセット（1））

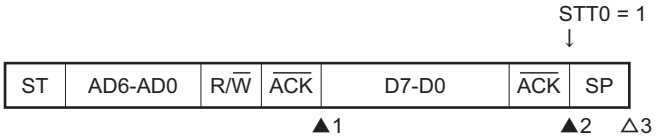
△4：IICS0 = 01000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000××00B（STT0ビットをセット（1））

△3：IICS0 = 01000001B

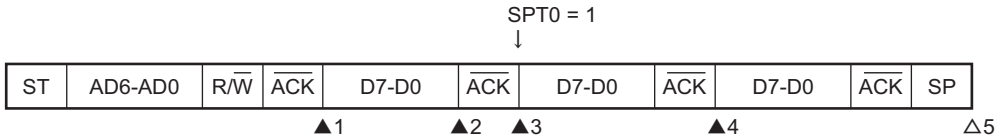
備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（h）ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000×100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000100B

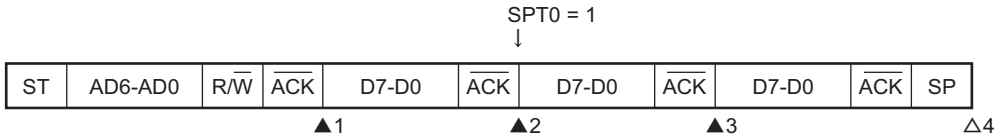
△5：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B（SPT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

備考▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

16.6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICS0）のビット3）を送信し，スレーブとのシリアル通信を開始します。

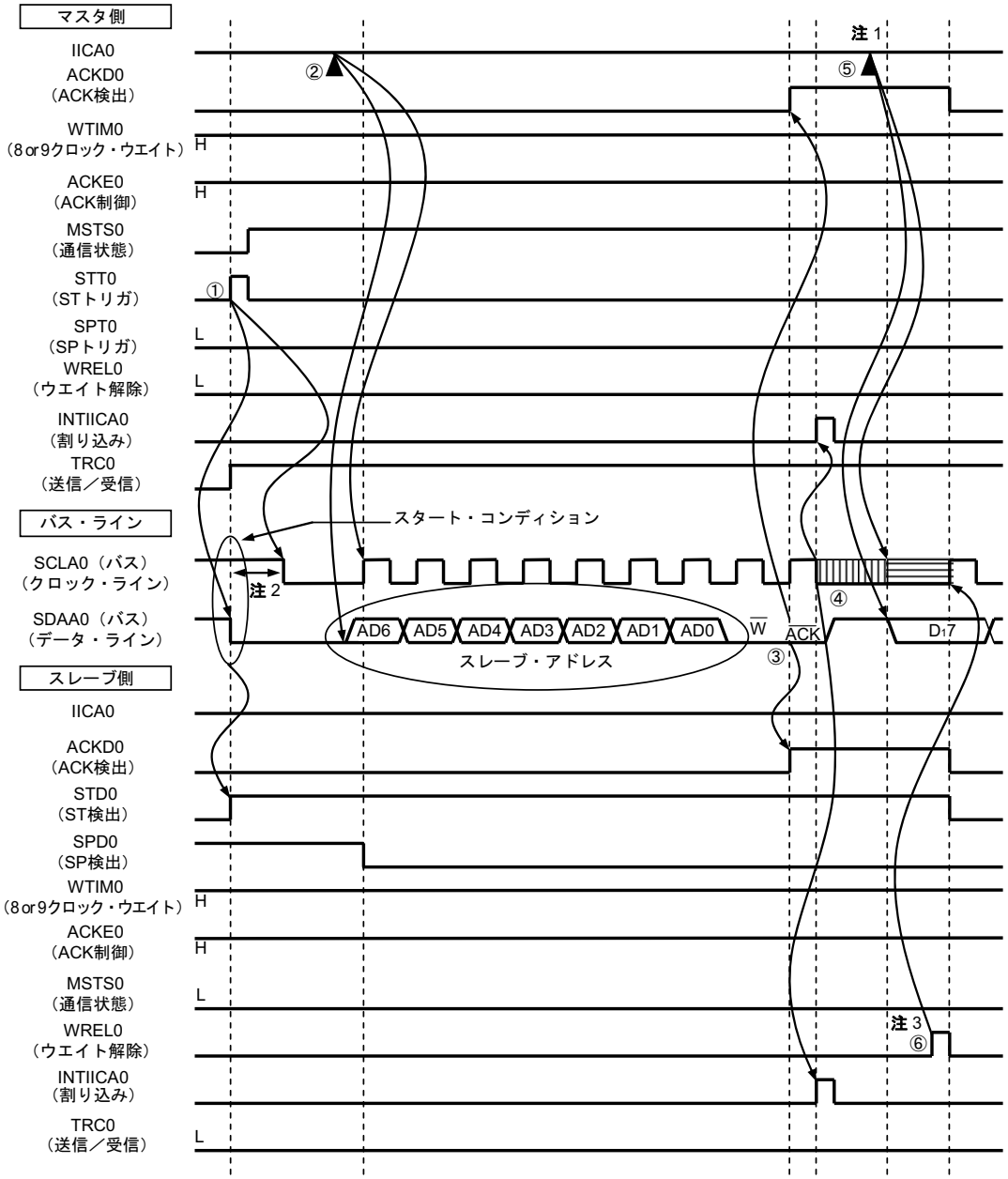
データ通信のタイミング・チャートを図16－32，図16－33に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ0（IICA0）のシフト動作が行われ，送信データがSOラッチに転送され，SDAA0端子からMSBファーストで出力されます。

また，SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（1/4）

（1）スタート・コンディション～アドレス～データ



：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1.　マスタ側での送信時のウエイト解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のウエイト解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図16－32（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，ウエイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

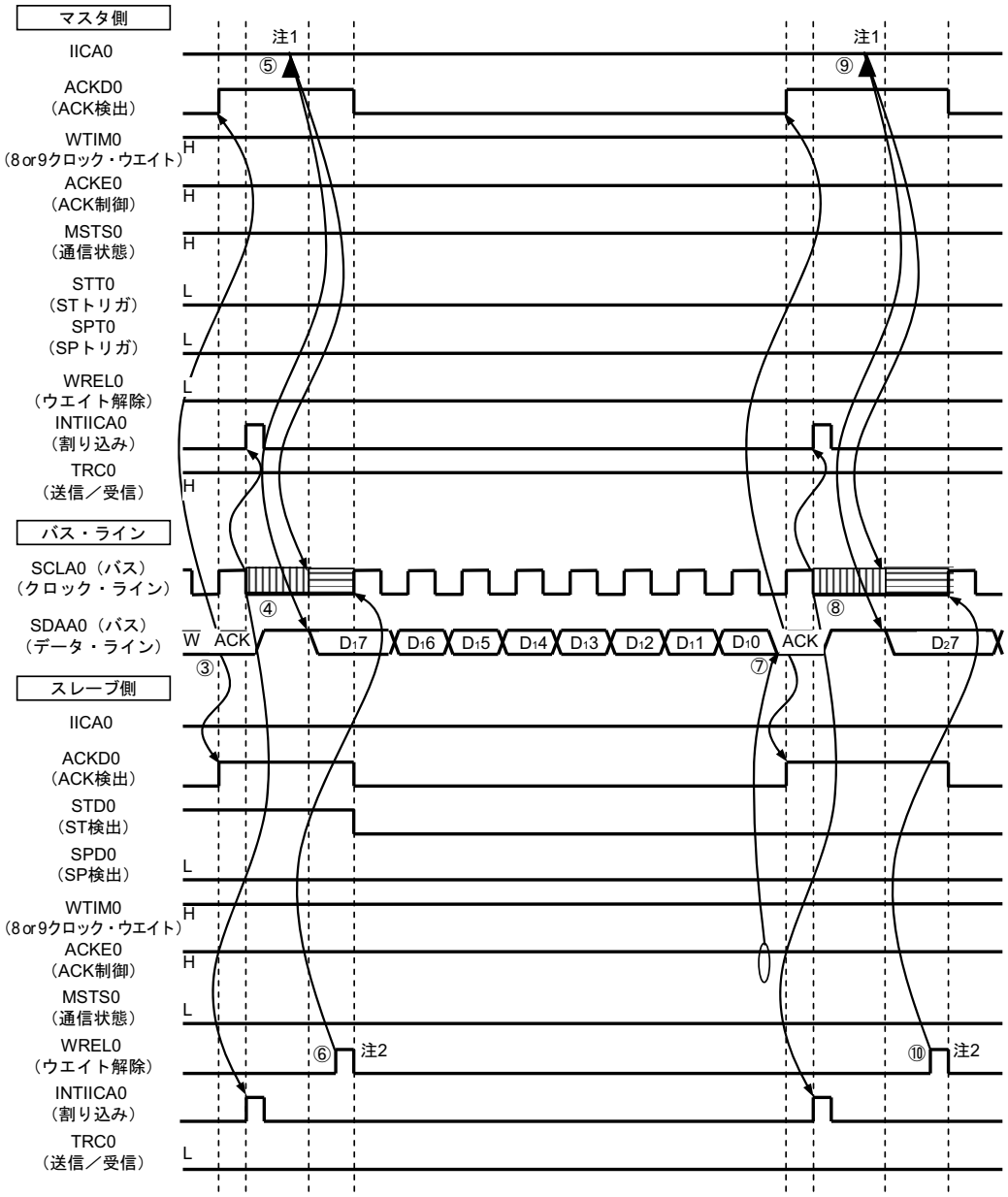
⑥ スレーブ側がウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考　図16－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図16－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図16－32（2）アドレス～データ～データでは手順③～⑩
図16－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（2/4）

（2）アドレス～データ～データ



：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1.　マスタ側での送信時のウエイト解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　スレーブ側での受信時のウエイト解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図16－32（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるウエイトを解除します。

⑥ スレーブ側がウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側はACKE0 = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるウエイトを解除します。

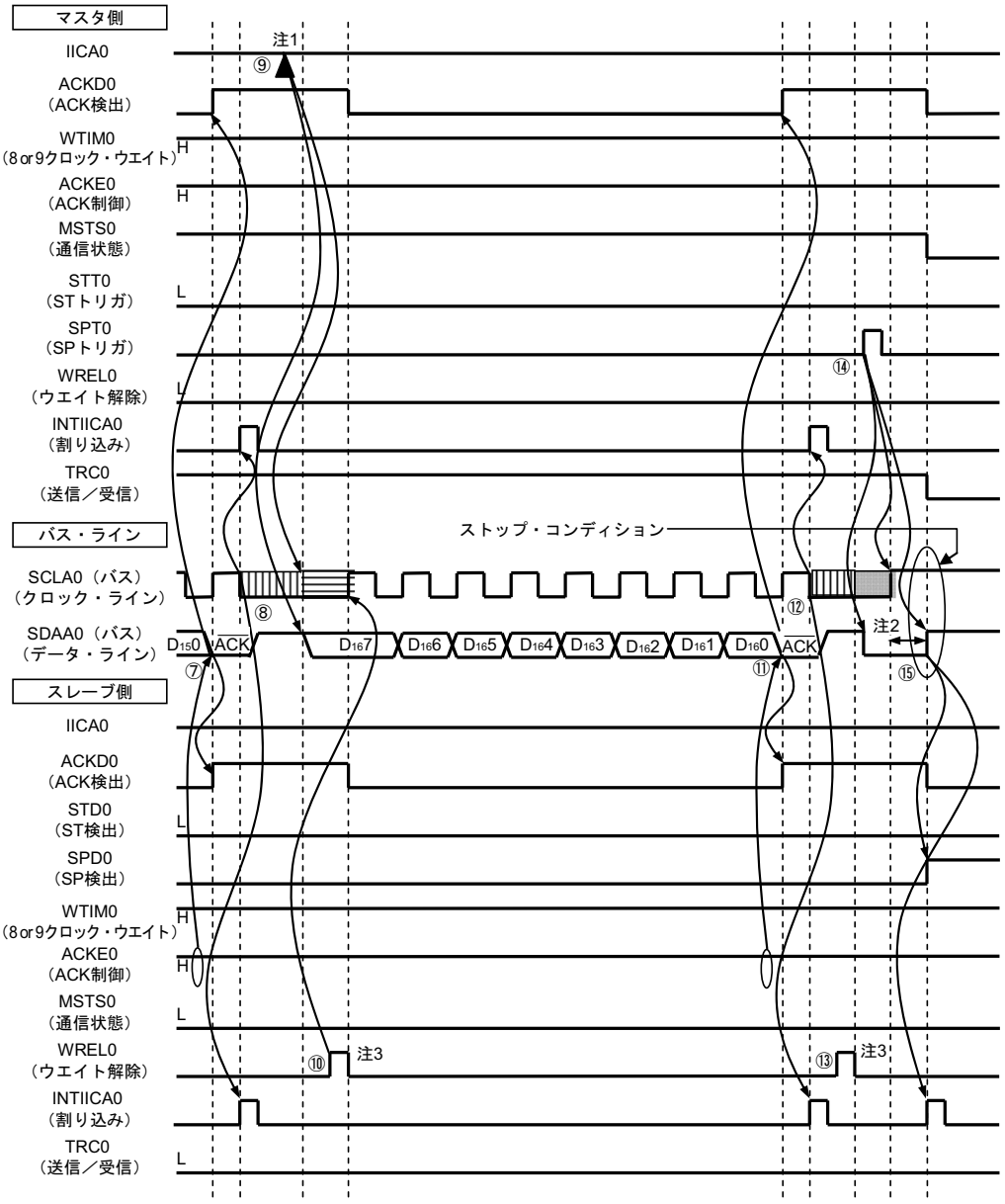
⑩ スレーブ側が受信データを読み出して，ウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考　図16－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図16－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図16－32（2）アドレス～データ～データでは手順③～⑩
図16－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮について説明しています。

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（3/4）

（3）データ～データ～ストップ・コンディション



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1.　マスタ側での送信時のウエイト解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のウエイト解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

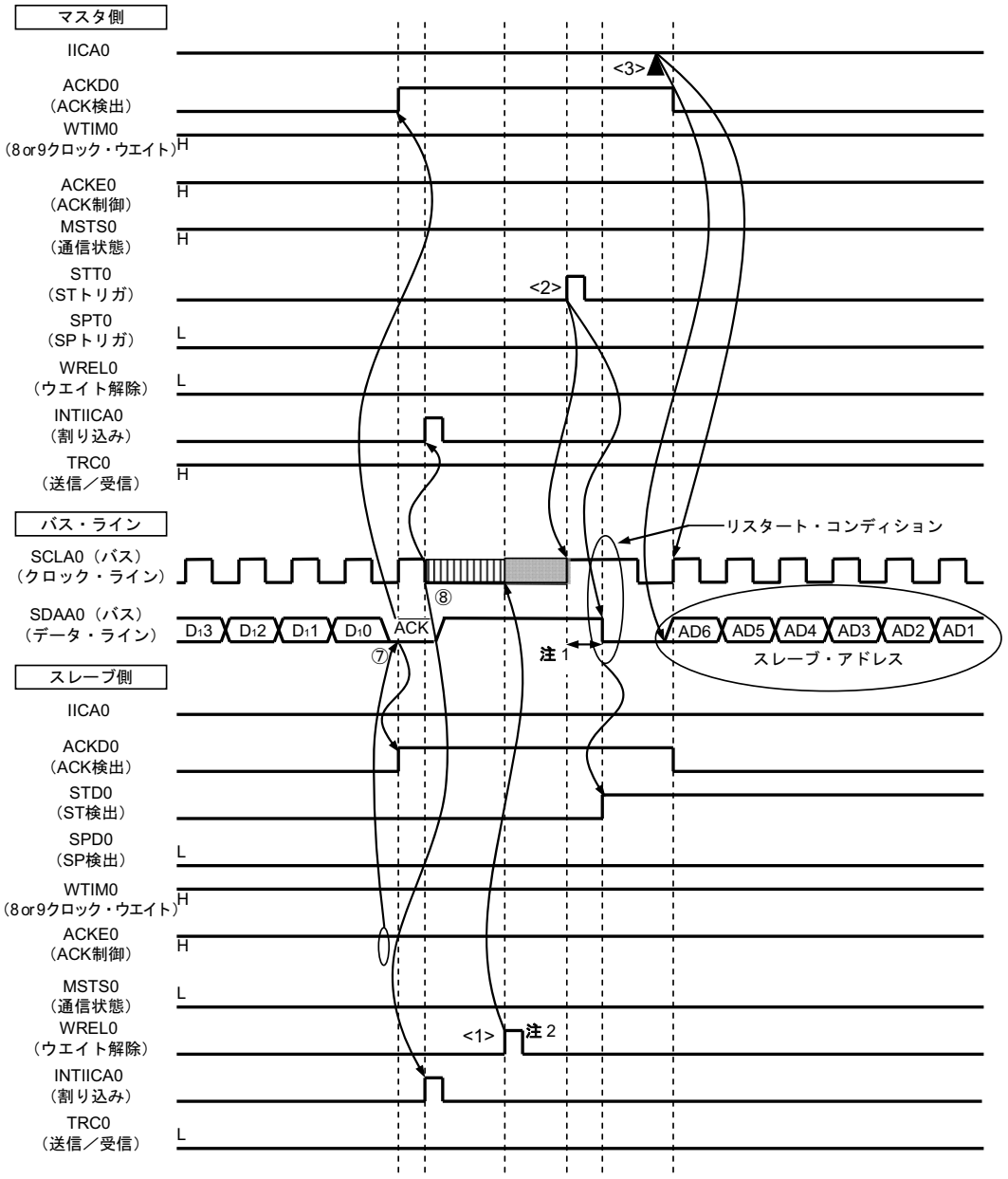
図16－32（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦　データ転送完了後，スレーブ側はACKE0 = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。
⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。
⑨　マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるウエイトを解除します。
⑩　スレーブ側が受信データを読み出して，ウエイトを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。
⑪　データ転送完了後，スレーブ側（ACKE0 = 1）のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。
⑫　9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。
⑬　スレーブ側が受信データを読み出し，ウエイトを解除（WREL0 = 1）します。
⑭　マスタ側でストップ・コンディション・トリガをセット（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，バス・クロック・ラインがセット（SCLA0 = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAA0 = 1）されることでストップ・コンディション（SCLA0 = 1でSDAA0 = 0→1）が生成されます。
⑮　ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図16－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図16－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図16－32（2）アドレス～データ～データでは手順③～⑩
図16－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図16－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでウエイト選択）（4/4）

（4）データ～リスタート・コンディション～アドレス



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1.　リスタート・コンディションの発行後，SCLA0端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

2.　スレーブ側での受信時のウエイト解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図16－32（4）データ～リスタート・コンディション～アドレスの動作説明を次に示します。

手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側はACKE0 = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

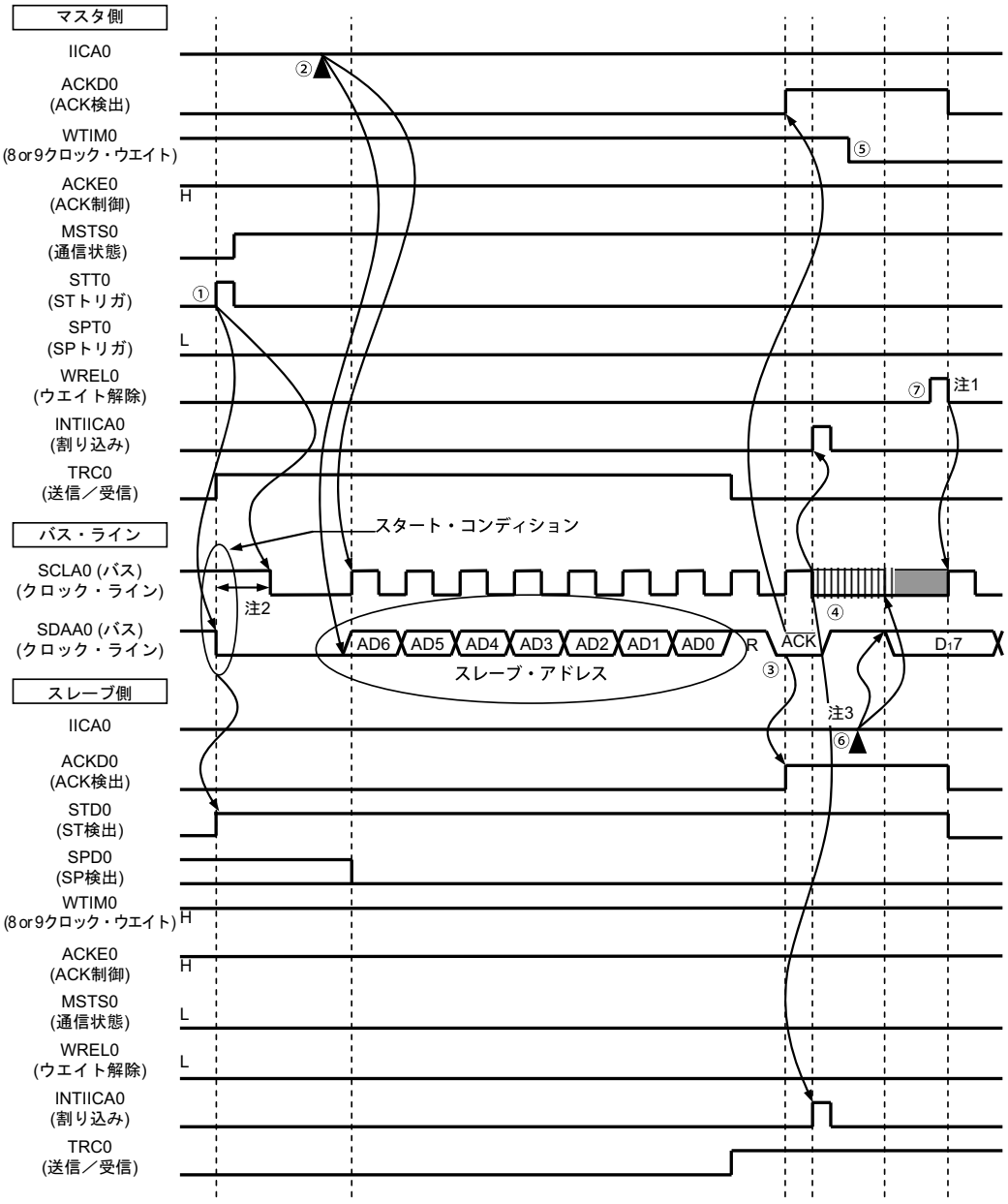
<1>　スレーブ側が受信データを読み出して，ウエイトを解除（WREL0 = 1）します。

<2>　マスタ側で再度スタート・コンディション・トリガがセット（STT0 = 1）されると，バス・クロック・ラインが立ち上がり（SCLA0 = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

<3>　マスタ側がIICAシフト・レジスタ0（IICA0）にアドレス＋R/W（送信）を書き込むと，スレーブ・アドレスが送信されます。

図16－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（1/3）

（1）スタート・コンディション～アドレス～データ



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1.　マスタ側での受信時のウエイト解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のウエイト解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図16－33（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側のウエイト・タイミングを8クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICA0レジスタに送信データを書き込み，スレーブ側によるウエイトを解除します。

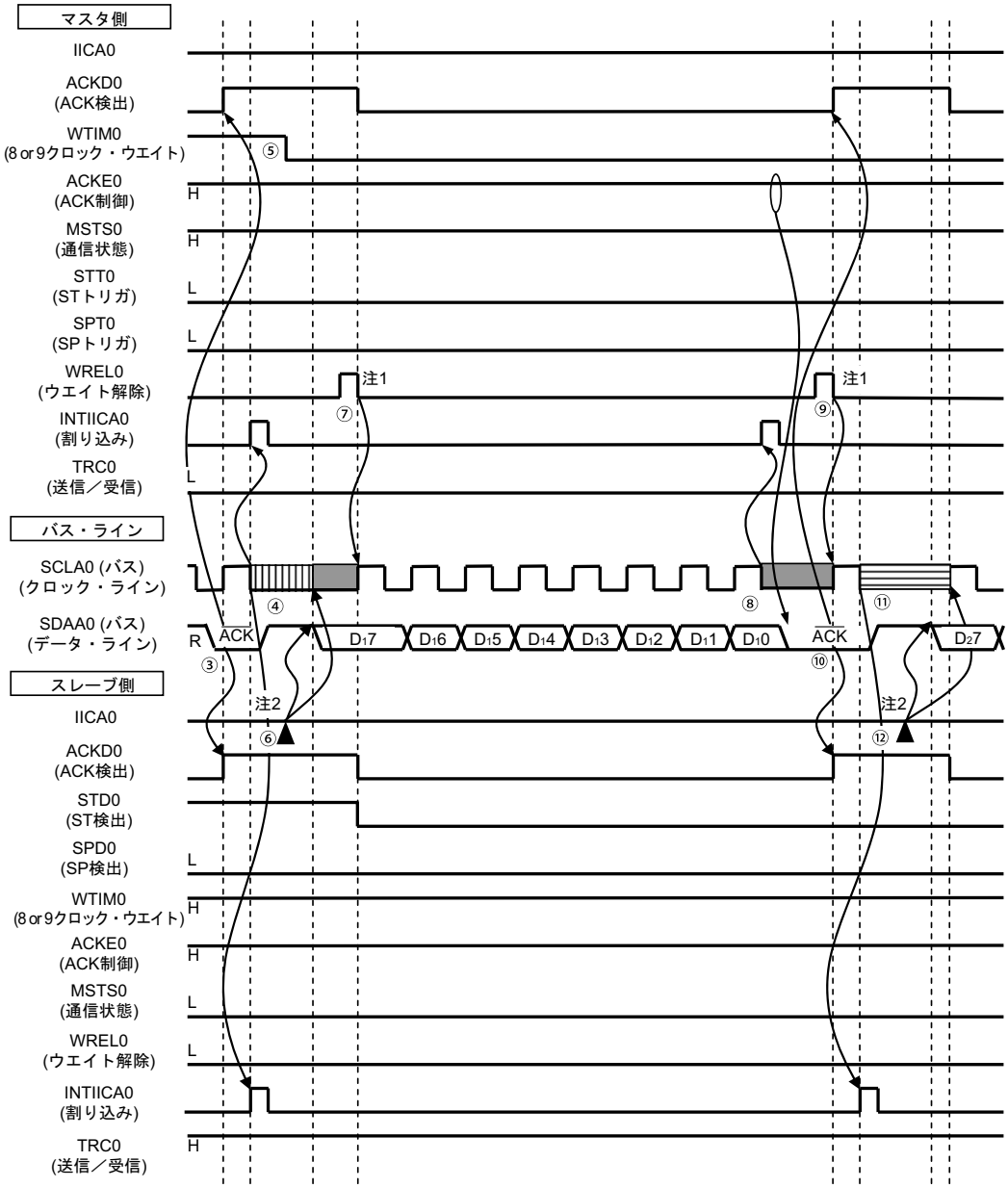
⑦ マスタ側がウエイトを解除（WREL0 = 1）して，スレーブからのデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考　図16－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図16－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図16－33（2）アドレス～データ～データでは手順③～⑫
図16－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図16－33　スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウエイト選択）（2/3）

（2）アドレス～データ～データ



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1.　マスタ側での受信時のウエイト解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　スレーブ側での送信時のウエイト解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図16－33（2）アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはウエイト（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側はウエイト・タイミングを8クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，スレーブ側によるウエイトを解除します。

⑦ マスタ側がウエイトを解除（WREL0 = 1）して，スレーブからのデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側ACKE0 = 1なのでハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

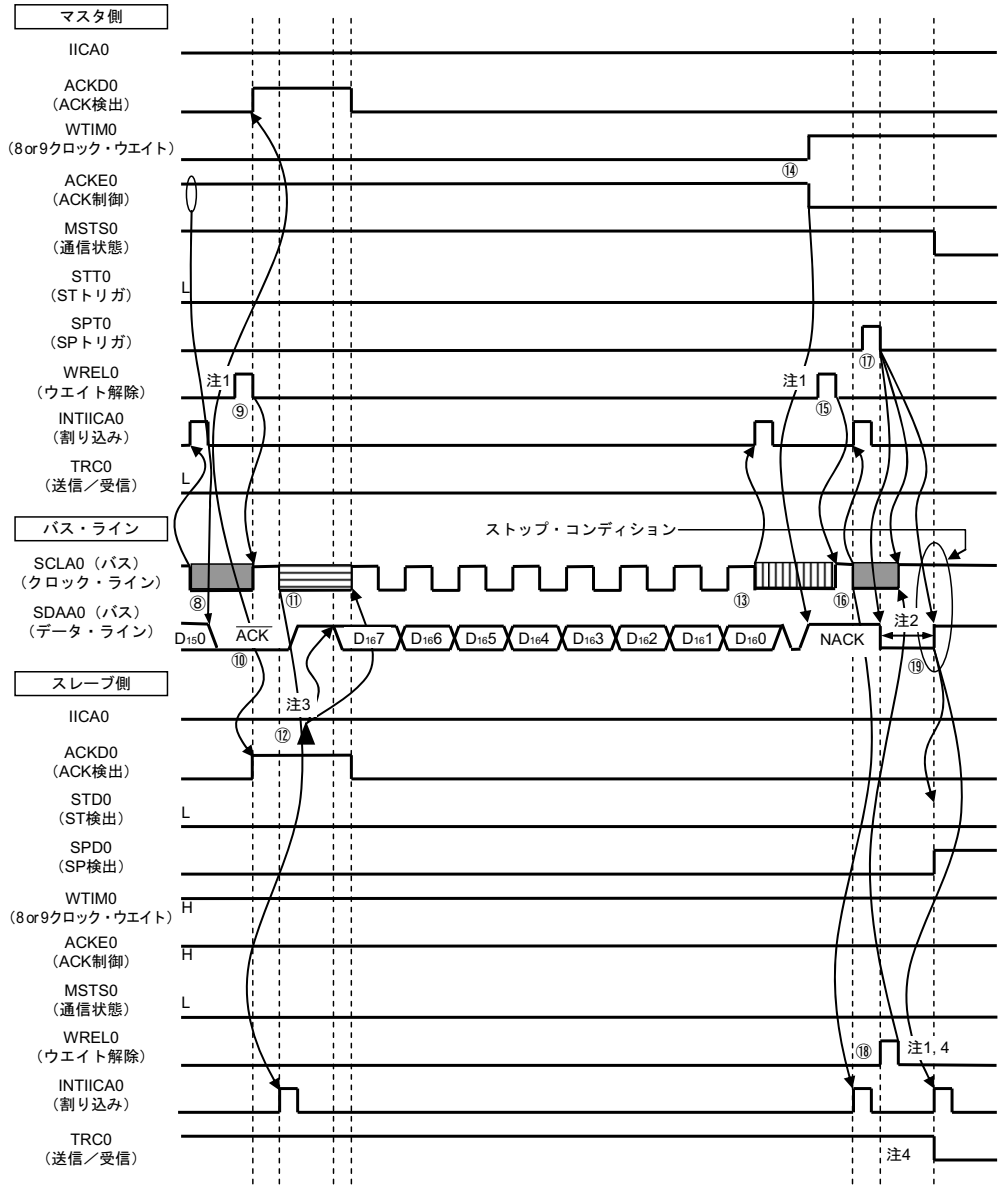
⑫ スレーブ側がIICA0レジスタに送信データを書き込むと，スレーブ側によるウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のウエイトもかかりません。
ただし，マスタ側はACK, NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考　図16－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図16－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図16－33（2）アドレス～データ～データでは手順③～⑫
図16－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図16－33　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウエイト選択）（3/3）

（3）データ～データ～ストップ・コンディション



：マスタによるウエイト

：スレーブによるウエイト

：マスタ，スレーブによるウエイト

注1.　ウエイト解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のウエイト解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

4.　スレーブ側での送信時のウエイトをWREL0ビットのセットで解除すると，TRC0ビットはクリアされます。

図16－33（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるウエイト（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側はACKE0 = 1なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，ウエイトを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるウエイト（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込むと，スレーブ側によるウエイトが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側によるウエイト（SCLA0 = 0）がかかります。ACK制御（ACKE0 = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAA0 = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKE0 = 0）し，ウエイト・タイミングを9クロック目ウエイト（WTIM0 = 1）に変更します。

⑮ マスタ側がウエイトを解除（WREL0 = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACKD0 = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるウエイト（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，マスタ側のウエイトが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにウエイトを解除（WREL0 = 1）します。スレーブによるウエイトが解除されると，バス・クロック・ラインがセット（SCLA0 = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）してストップ・コンディション（SCLA0 = 1でSDAA0 = 0→1）を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図16－33の①～⑲は，I^2Cバスによるデータ通信の一連の操作手順です。
図16－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図16－33（2）アドレス～データ～データでは手順③～⑫
図16－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

第17章　LIN/UARTモジュール（RLIN3）

17.1　概要

LIN/UARTモジュールはLIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602に対応したハードウェアLIN通信コントローラで、フレーム通信とエラー判定を自動で行います。

また、UARTモードを持っており、UARTとして使用することもできます。

表17－1にLIN/UARTモジュールの仕様、図17－1、図17－2にLIN/UARTモジュールのブロック図を示します。

表17－1　LIN/UARTモジュールの仕様

項目		仕様	
チャネル数		RL78/F15：2～3チャネル	
LIN通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAE J2602	
	フレーム構成可変	マスタ	・送信ブレーク幅：13～28 Tbit ・送信ブレークデリミタ幅：1～4 Tbit ・インタバイトスペース（ヘッダ）：0～7 Tbit（SyncフィールドとIDフィールド間のスペース）注1 ・レスポンススペース：0～7 Tbit注1 ・インタバイトスペース：0～3 Tbit（レスポンス領域内のデータバイト間のスペース） ・ウェイクアップ：1～16 Tbit
		スレーブ	・受信ブレーク幅：9.5または10.5 Tbit [固定ボー・レートの場合] ：10または11 Tbit [オート・ボー・レートの場合] ・レスポンススペース：0～7 Tbit ・インタバイトスペース：0～3 Tbit（レスポンス領域内のデータバイト間のスペース） ・ウェイクアップ：1～16 Tbit
	チェックサム	・送受信ともに自動演算 ・クラシックまたはエンハンス選択可能（フレームごとに変更可能）	
	レスポンスフィールドデータバイト数	0～8バイト可変 9バイト以上の多バイト･レスポンス送受信にも対応	
	フレーム通信方法	マスタ	・ヘッダ送信とレスポンス送信/受信を1つの送信開始要求により通信するモード ・ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）
		スレーブ	・固定ボー・レートで自動的にヘッダを受信するモード ・ブレークフィールドとシンクフィールドを検出し、そのシンクフィールドの計測結果からボー・レートの設定を行い、自動でヘッダを受信するモード
	ウェイクアップ送受信	LINウェイクアップモードで使用可能 ・ウェイクアップ送信機能（1～16 Tbit） ・ウェイクアップ受信 入力信号Low幅カウント機能	

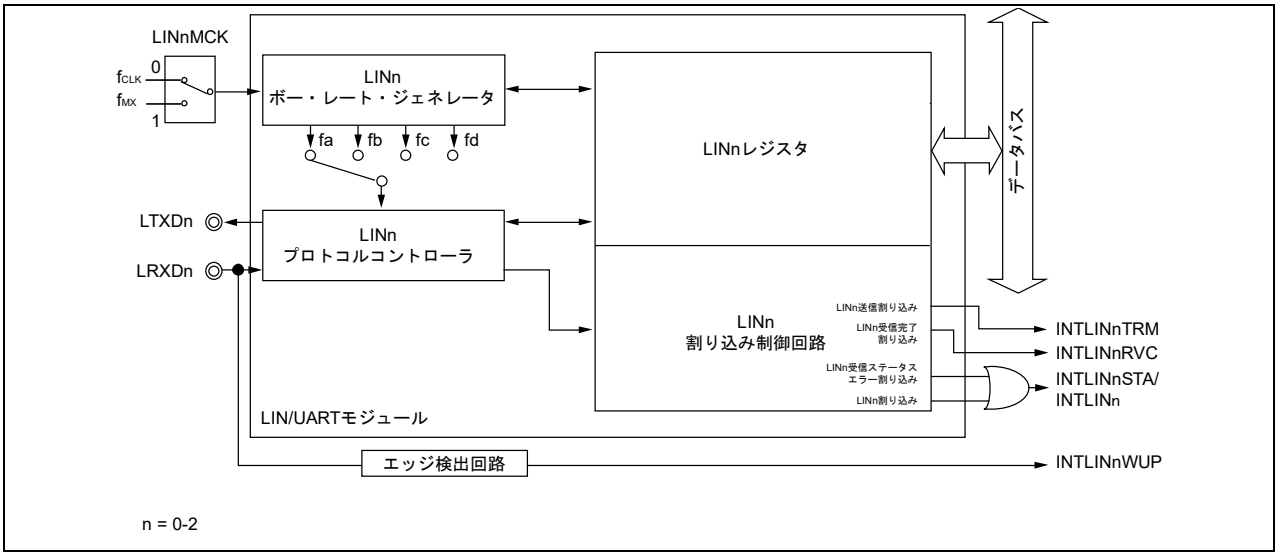
項目		仕様	
LIN 通信機能	ステータス	マスタ	・フレーム／ウェイクアップ送信完了 ・ヘッダ送信完了 ・フレーム／ウェイクアップ受信完了[注2] ・データ1受信完了 ・エラー検出 ・動作モード （LINリセットモード、LINウェイクアップモード、LIN動作モード、LINセルフテストモード）
		スレーブ	・フレーム／ウェイクアップ送信完了 ・フレーム／ウェイクアップ受信完了[注2] ・ヘッダ受信完了 ・データ1受信完了 ・エラー検出 ・動作モード （LINリセットモード、LINウェイクアップモード、LIN動作モード、LINセルフテストモード）
	エラー ステータス	マスタ	・ビットエラー ・チェックサムエラー ・フレームタイムアウトエラー/レスポンスタイムアウトエラー ・フィジカルバスエラー ・フレーミングエラー ・レスポンス準備エラー
		スレーブ	・ビットエラー ・チェックサムエラー ・フレームタイムアウトエラー/レスポンスタイムアウトエラー ・シンクフィールドエラー ・IDパリティエラー ・フレーミングエラー ・レスポンス準備エラー
	ボー・レート選択	ボー・レート・ジェネレータでLIN仕様のボー・レートを生成可能	
	テストモード	ユーザ評価用セルフテストモード	
	割り込み機能	マスタ	・ヘッダ／フレーム／ウェイクアップ送信完了 ・フレーム／ウェイクアップ受信完了[注2] ・エラー検出
		スレーブ	・フレーム／ウェイクアップ送信完了 ・ヘッダ／フレーム／ウェイクアップ受信完了[注2] ・エラー検出

項目		仕様
UART 通信機能	データバッファ	・送信データバッファ/ウェイト用送信データバッファ （送信専用。データ長1。7、8、9ビットに対応） ・UARTバッファ （送信専用。データ長1～9で可変。7、8ビットに対応） ・受信データバッファ （受信専用。データ長1。7、8、9ビットに対応）
	データ・フォーマット	・キャラクタ長：7、8ビット 拡張ビットにより、9ビット対応可能 ・送信ストップビット：1、2ビット ・パリティ機能：奇数、偶数、0、なし ・LSB/MSBファースト転送選択可能 ・送受信データの反転入出力が可能
	ステータス	・送信ステータス ・受信ステータス ・UARTバッファ送信完了 ・エラーサム ・拡張ビット検出 ・ID一致 ・リセットモードステータス
	エラー ステータス	・ビットエラー ・フレーミングエラー ・パリティエラー ・オーバランエラー
	ボー・レート選択	ボー・レート・ジェネレータ内蔵により任意のボー・レートを設定可能
	任意の拡張ビットが期待するレベルであった場合、受信データをあらかじめ設定したレジスタ内のデータと8ビット比較が可能	
	受信のストップ・ビットを保証（送信開始時に受信のストップ・ビット中の場合、送信開始をウェイト可能）	
	割り込み機能	・送信開始／完了 ・受信完了 ・ステータス検出

注1. 同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。

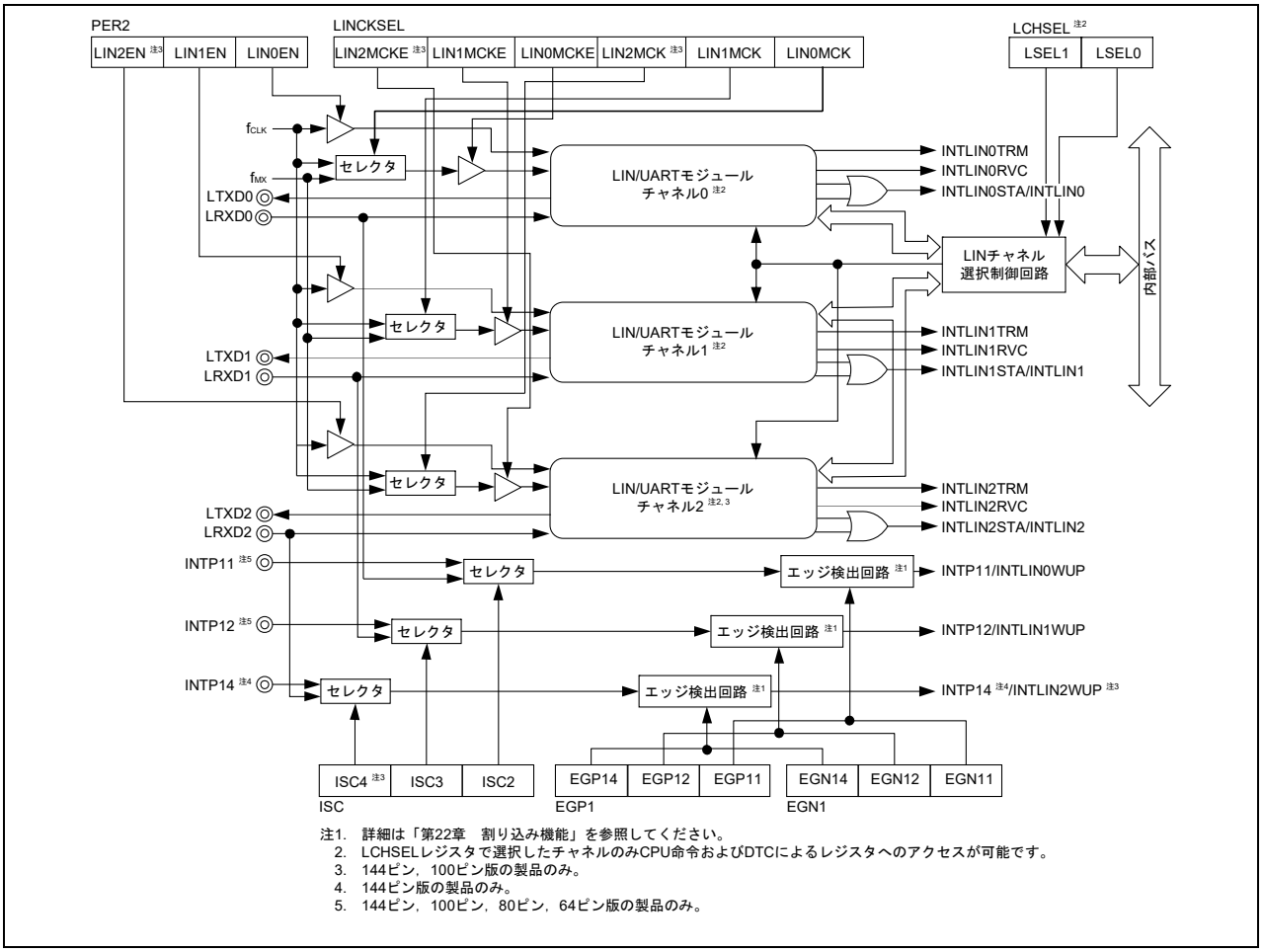
2. ウェイクアップ受信は、入力信号Low幅カウントを示します。

図17－1　LIN/UARTモジュールブロック図（1）



- LTXDn、LRXDn　　：LIN/UARTモジュールの入出力端子です。
- LINnボー・レート・ジェネレータ　　：LIN/UARTモジュールの通信クロックを生成します。
- LINnレジスタ　　：LIN/UARTモジュールのレジスタです。
- LINn割り込み制御回路　　：LIN/UARTモジュールによって生成される割り込み要求を制御します。
  （n=0-2）

図17－2　LIN/UARTモジュールブロック図（2）



注1. 詳細は「第22章　割り込み機能」を参照してください。
2. LCHSELレジスタで選択したチャネルのみCPU命令およびDTCによるレジスタへのアクセスが可能です。
3. 144ピン，100ピン版の製品のみ。
4. 144ピン版の製品のみ。
5. 144ピン，100ピン，80ピン，64ピン版の製品のみ。

表17－2にLIN/UARTモジュールで使用する入出力端子を示します。

表17－2 LIN/UARTモジュールの入出力端子

モジュールシンボル	端子名	入出力	機能
LINn	LRXDn	入力	LIN通信機能およびUART通信機能の入力端子
	LTXDn	出力	LIN通信機能およびUART通信機能の出力端子

（n=0-2）

LINマスタ、LINスレーブ、UARTの用途に応じて、LIN/UARTモジュールの以下のモードを使用します。

LINマスタ

- LINリセットモード
- LINモード（LINマスタモード）
  LINウェイクアップモード
  LIN動作モード
- LINセルフテストモード

LINスレーブ

- LINリセットモード
- LINモード（LINスレーブモード[オート・ボー・レート]またはLINスレーブモード[固定ボー・レート]）
  LINウェイクアップモード
  LIN動作モード
- LINセルフテストモード

UART

- LINリセットモード
- UARTモード

17.2　レジスタの説明

表17－3にLIN/UARTモジュールに関連するレジスター覧を示します。

表17－3　LIN/UARTモジュール関連レジスター覧（1/2）

レジスタ名	シンボル	LINマスタ	LINスレーブ	UART
周辺イネーブル・レジスタ2	PER2	○	○	○
入力切り替え制御レジスタ	ISC	○	○	○
LINチャネル選択レジスタ	LCHSEL	○	○	○
LINクロック選択レジスタ	LINCKSEL	○	○	○
外部割り込み立ち上がりエッジ許可レジスタ0, 1	EGP0, EGP1	○	○	○
外部割り込み立ち下がりエッジ許可レジスタ0, 1	EGN0, EGN1	○	○	○
LINウェイクアップ・ボー・レート選択レジスタ	LWBR0/LWBR1/LWBR2注	○	○	○
LIN/UARTボー・レート・プリスケーラレジスタ	LBRP0/LBRP1/LBRP2注	－	○	○
LIN/UARTボー・レート・プリスケーラ0レジスタ	LBRP00/LBRP10/LBRP20注	○	○	○
LIN/UARTボー・レート・プリスケーラ1レジスタ	LBRP01/LBRP11/LBRP21注	○	○	○
LINセルフテスト・コントロール・レジスタ	LSTC0/LSTC1/LSTC2注	○	○	－
UARTスタンバイ・コントロール・レジスタ	LUSC0/LUSC1/LUSC2注	－	－	○
LIN/UARTモード・レジスタ	LMD0/LMD1/LMD2注	○	○	○
LINブレーク・フィールド・コンフィギュレーション・レジスタ／UARTコンフィギュレーション・レジスタ	LBFC0/LBFC1/LBFC2注	○	○	○
LIN/UARTスペース・コンフィギュレーション・レジスタ	LSC0/LSC1/LSC2注	○	○	○
LINウェイクアップ・コンフィギュレーション・レジスタ	LWUP0/LWUP1/LWUP2注	○	○	－
LIN割り込み許可レジスタ	LIE0/LIE1/LIE2注	○	○	－
LIN/UARTエラー検出許可レジスタ	LEDE0/LEDE1/LEDE2注	○	○	○
LIN/UARTコントロール・レジスタ	LCUC0/LCUC1/LCUC2注	○	○	○
LIN/UART送信コントロール・レジスタ	LTRC0/LTRC1/LTRC2注	○	○	○
LIN/UARTモード・ステータス・レジスタ	LMST0/LMST1/LMST2注	○	○	○
LIN/UARTステータス・レジスタ	LST0/LST1/LST2注	○	○	○
LIN/UARTエラー・ステータス・レジスタ	LEST0/LEST1/LEST2注	○	○	○
LIN/UARTデータ・フィールド・コンフィギュレーション・レジスタ	LDFC0/LDFC1/LDFC2注	○	○	○
LIN/UART IDバッファ・レジスタ	LIDB0/LIDB1/LIDB2注	○	○	○
LINチェックサム・バッファ・レジスタ	LCBR0/LCBR1/LCBR2注	○	○	－
UARTデータ・バッファ0レジスタ	LUDB00/LUDB10/LUDB20注	－	－	○
LIN/UARTデータ・バッファ1・レジスタ	LDB01/LDB11/LDB21注	○	○	○
LIN/UARTデータ・バッファ2・レジスタ	LDB02/LDB12/LDB22注	○	○	○
LIN/UARTデータ・バッファ3・レジスタ	LDB03/LDB13/LDB23注	○	○	○
LIN/UARTデータ・バッファ4・レジスタ	LDB04/LDB14/LDB24注	○	○	○
LIN/UARTデータ・バッファ5・レジスタ	LDB05/LDB15/LDB25注	○	○	○
LIN/UARTデータ・バッファ6・レジスタ	LDB06/LDB16/LDB26注	○	○	○
LIN/UARTデータ・バッファ7・レジスタ	LDB07/LDB17/LDB27注	○	○	○
LIN/UARTデータ・バッファ8・レジスタ	LDB08/LDB18/LDB28注	○	○	○
UARTオペレーション許可レジスタ	LUOER0/LUOER1/LUOER2注	－	－	○

○：使用

－：未使用

注　144ピン、100ピン版の製品のみ。

未使用のレジスタに書き込みを行う場合は00Hを書いてください。

表17－3　LIN/UARTモジュール関連レジスター覧（2/2）

レジスタ名	シンボル	LINマスタ	LINスレーブ	UART
UARTオプション・レジスタ1	LUOR01/LUOR11/LUOR21[注]	－	－	○
UART送信データ・レジスタ	LUTDR0/LUTDR1/LUTDR2[注]	－	－	○
	LUTDR0L/LUTDR1L/LUTDR2L[注]	－	－	○
	LUTDR0H/LUTDR1H/LUTDR2H[注]	－	－	○
UART受信データ・レジスタ	LURDR0/LURDR1/LURDR2	－	－	○
	LURDR0L/LURDR1L/LURDR2L[注]	－	－	○
	LURDR0H/LURDR1H/LURDR2H[注]	－	－	○
UARTウェイト用送信データ・レジスタ	LUWTDR0/LUWTDR1/LUWTDR2[注]	－	－	○
	LUWTDR0L/LUWTDR1L/LUWTDR2L[注]	－	－	○
	LUWTDR0H/LUWTDR1H/LUWTDR2H[注]	－	－	○

○：使用

－：未使用

注　144ピン、100ピン版の製品のみ。

未使用のレジスタに書き込みを行う場合は00Hを書いてください。

17.2.1　LINマスタ関連レジスタ

（1）入力切り替え制御レジスタ（ISC）

ISCレジスタのISC2-ISC4ビットは、LIN/UARTモジュール（RLIN3）で使用します。

ビット2、3、4をそれぞれ1に設定すると、LIN/UARTモジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により、ISCレジスタは00Hになります。

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	0	ISC0

ISC4[注]	外部割り込み（INTP14）の入力選択
0	INTP14端子の入力信号を外部割り込みに選択
1	LRXD2端子の入力信号を外部割り込みに選択

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12端子の入力信号を外部割り込みに選択
1	LRXD1端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11端子の入力信号を外部割り込みに選択
1	LRXD0端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注　144ピン、100ピン製品のみ

注意　ビット7-5, 1に必ず0を設定してください。

80, 64, 48ピン製品では、ISC4に0を設定してください。

（2）LINチャネル選択レジスタ（LCHSEL）

アドレス F007BH

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	LSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
1-0	LSEL[1:0]	LINチャネル選択ビット	b1　b0 0　0：LIN0選択（LIN0のレジスタアクセス可能） 0　1：LIN1選択（LIN1のレジスタアクセス可能） 1　0：LIN2選択（LIN2のレジスタアクセス可能）注 上記以外は設定しないでください。	R/W
7-2	－	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LSEL[1:0]ビット（LINチャネル選択ビット）

LIN/UARTモジュールのレジスタは、CPUのメモリマップ上に直接マッピングされていないため、レジスタウィンドウを通してアクセスします。レジスタウィンドウは、F06C1H～F06E9H番地にマッピングされています。

このビットに値を設定すると、対応するチャネルのレジスタが一括してレジスタウィンドウにマッピングされます。

"00b"の場合、LIN0のレジスタがマッピングされます。

"01b"の場合、LIN1のレジスタがマッピングされます。

"10b"の場合、LIN2のレジスタがマッピングされます。注

使用したいチャネルのレジスタアクセス前に、使用したいチャネルが該当する値に変更してください。

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は"10b"を設定しないでください。

（3）周辺イネーブル・レジスタ2（PER2）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット（1）してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により、00Hになります。

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	IEBUSEN	LIN2EN注	LIN1EN	LIN0EN	0	CAN0EN

IEBUSEN	IEBBの入力クロック供給の制御
0	入力クロック供給停止 ・IEBBで使用するSFRへのライト不可 ・IEBBはリセット状態
1	入力クロック供給 ・IEBBで使用するSFRへのリード／ライト可

LIN2EN注	LIN2の入力クロック供給の制御
0	入力クロック供給停止 ・LIN2で使用するSFRへのライト不可 ・LIN2はリセット状態
1	入力クロック供給 ・LIN2で使用するSFRへのリード／ライト可

LIN1EN	LIN1の入力クロック供給の制御
0	入力クロック供給停止 ・LIN1で使用するSFRへのライト不可 ・LIN1はリセット状態
1	入力クロック供給 ・LIN1で使用するSFRへのリード／ライト可

LIN0EN	LIN0の入力クロック供給の制御
0	入力クロック供給停止 ・LIN0で使用するSFRへのライト不可 ・LIN0はリセット状態
1	入力クロック供給 ・LIN0で使用するSFRへのリード／ライト可

CAN0EN	CANの入力クロック供給の制御
0	入力クロック供給停止 ・CANで使用するSFRへのライト不可 ・CANはリセット状態
1	入力クロック供給 ・CANで使用するSFRへのリード／ライト可

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

（4）LINクロック選択レジスタ（LINCKSEL）

LINへの通信クロック源を制御するレジスタです。

アドレス：F02C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	LIN2MCKE注	LIN1MCKE	LIN0MCKE	0	LIN2MCK注	LIN1MCK	LIN0MCK

LIN2MCKE注	LIN2の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN1MCKE	LIN1の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN0MCKE	LIN0の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN2MCK注	LIN2の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN1MCK	LIN1の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN0MCK	LIN0の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

注意1.　LINnMCKE (n = 0-2) を1に（動作クロック供給）する前に、LINnMCKでLINnの動作クロックを選択してください。

2.　SNOOZE時にLINnを動作させる場合、LINnMCK = 0に設定してください。

3.　LINnMCKを "1"（f_{MX}クロックを選択）で使用する場合、タイムアウトエラーを使用しないでください。その場合，f_{CLK}クロックはLIN通信クロック源の1.2倍以上の周波数でご使用ください。

（5）外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

詳細は「22.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）」を参照してください。

（6）LINウェイクアップ・ボー・レート選択レジスタ（LWBRn）

アドレス　F06C1H

	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			LWBR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	LWBR0	ウェイクアップ・ボー・レート選択ビット	0：LIN1.3使用時 1：LIN2.x使用時	R/W
3-1	LPRS[2:0]	プリスケーラクロック選択ビット	b3 b1 0 0 0：1/1 0 0 1：1/2 0 1 0：1/4 0 1 1：1/8 1 0 0：1/16 1 0 1：1/32 1 1 0：1/64 1 1 1：1/128	R/W
7-4	NSPB[3:0]	ビット・サンプリング数選択ビット	b7　b4 0 0 0 0：16サンプリング 1 1 1 1：16サンプリング 上記 以外は設定しないでください。	R/W

LWBRnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

LWBR0ビット（ウェイクアップ・ボー・レート選択ビット）

LIN Specification Package Revision 1.3使用時は、LWBRnレジスタのLWBR0ビットを"0"にしてください。これにより入力信号Low幅をビットタイムで2.5 Tbit以上で計測することができます。LIN Specification Package Revision 2.x使用時は"1"にしてください。"1"にすることでLINウェイクアップモード中はLMDnレジスタのLCKSビットの設定にかかわらず、LINシステムクロック（f_{LIN}）はfaが選択されます（LCKSビットは変化しません）。入力信号ロウレベル幅を2.5 Tbit以上で計測することができます。

fa選択時のボー・レートを19200 bpsに設定することにより、LMDnレジスタのLCKSビットの設定に関わらず、LINウェイクアップモード時に130μs以上の入力信号ロウレベル幅を検出することができます。

LPRSビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。

このプリスケーラによりLIN通信クロック源を分周します。

NSPBビット（ビット・サンプリング数選択ビット）

1 Tbit（ボー・レートの逆数）のサンプリング数を選択するビットです。

LINマスタモード（LIN/UARTモード・レジスタのLIN/UARTモード選択ビットが00b）で使用するときは、これらのビットを"0000b"または"1111b"（16サンプリング）に設定してください。

（7）LIN/UARTボー・レート・プリスケーラ0レジスタ（LBRPn0）

アドレス F06C2H

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	設定値をN（0～255）とするとボー・レート・プリスケーラはプリスケーラクロックをN+1分周する	00H～FFH	R/W

LBRPn0レジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

このレジスタの設定値が、ボー・レート・クロックソース"fa"、"fb"、"fc"の周波数制御に使用されます。

このレジスタの設定値をNとすると、ボー・レート・プリスケーラ0はLPRSビット（プリスケーラクロック選択ビット）で分周したクロックをN+1分周します。

（8）LIN/UARTボー・レート・プリスケーラ1レジスタ（LBRPn1）

アドレス F06C3H

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	設定値をM（0～255）とするとボー・レート・プリスケーラはプリスケーラクロックをM+1分周する	00H～FFH	R/W

LBRPn1レジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

このレジスタの設定値が、ボー・レート・クロックソース"fd"の周波数制御に使用されます。

このレジスタの設定値をMとすると、ボー・レート・プリスケーラ1はLPRSビット（プリスケーラクロック選択ビット）で分周したクロックをM+1分周します。

（9）LINセルフテスト・コントロール・レジスタ（LSTCn）

アドレス F06C4H

	7	6	5	4	3	2	1	0
								LSTM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-0	"A7H"→"58H"→"01H"の連続書き込みにより、LINセルフテストモードにエントリします			R/W
0	LSTM	LINセルフテストモードビット	0：LINセルフテストモードではない 1：LINセルフテストモード	R/W

LSTCnレジスタはLINセルフテストモードのプロテクトを解除するために使用するレジスタです。

LSTCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

"A7H"→"58H"→"01H"の連続書き込みにより、LINセルフテストモードへエントリします。

連続書き込みが成功し、LINセルフテストモードにした場合は、LSTMビットが"1"になります。

連続書き込みの間に別の書き込みを行わないでください。

LINセルフテストモードへの移行方法は、「17.6 LINセルフテストモード」を参照してください。

ビット6～1を読み出すと"000000b"が、ビット7を読み出すと不定値が読めます。

LSTMビット（LINセルフテストモードビット）

LINセルフテストモードに移行したとき、このビットは"1"になります。

LINセルフテストモードからの終了方法は、「17.6 LINセルフテストモード」を参照してください。

LSTCnレジスタへの"A7H"→"58H"→"01H"の連続書き込み以外で、このビットに"1"を書いても値は変化しません。

（10）LIN/UARTモード・レジスタ（LMDn）

アドレス F06C8H

	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
1-0	LMD[1:0]	LIN/UARTモード選択ビット	b1 b0 0 0：LINマスタモード	R/W
3-2	LCKS[1:0]	LINシステムクロック選択ビット	b3 b2 0 0：fa（ボー・レート・プリスケーラ0生成クロック） 0 1：fb（ボー・レート・プリスケーラ0生成クロック/2） 1 0：fc（ボー・レート・プリスケーラ0生成クロック/8） 1 1：fd（ボー・レート・プリスケーラ1生成クロック/2）	R/W
4	LIOS	LIN割り込み出力選択ビット	0：LIN割り込みを使用 1：送信割り込み、受信完了割り込み、受信ステータス割り込みを使用	R/W
5	LRDNFS	LIN受信データノイズフィルタ禁止ビット	0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない	R/W
6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LMDnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

LMD[1:0]ビット（LIN/UARTモード選択ビット）

LIN/UARTモジュールのモードを選択するビットです。

LINマスタとして使用する場合は、これらのビットを"00b"に設定してください。

"00b"の場合、LIN/UARTモジュールはLINマスタモードとして動作します。

LCKS[1:0]ビット（LINシステムクロック選択ビット）

プロトコルコントローラに入力するクロックを選択するビットです。

"00b"の場合、プロトコルコントローラにはfa（ボー・レート・プリスケーラ0生成クロック）が入力されます。

"01b"の場合、プロトコルコントローラにはfb（ボー・レート・プリスケーラ0生成クロック/2）が入力されます。

"10b"の場合、プロトコルコントローラにはfc（ボー・レート・プリスケーラ0生成クロック/8）が入力されます。

"11b"の場合、プロトコルコントローラにはfd（ボー・レート・プリスケーラ1生成クロック/2）が入力されます。

LWBRnレジスタのLWBR0ビットが"1"（LIN2.x使用時）かつLMSTnレジスタが"01h"（LINウエイクアップモード）の場合、このビットの設定にかかわらず、プロトコルコントローラにはfaが入力されます（LCKSビットは変化しません）。

LIOSビット（LIN割り込み出力選択ビット）

LIN/UARTモジュールからの割り込み出力本数を選択するビットです。

"0"の場合、LIN/UARTモジュールからのLIN割り込みが発生します。

"1"の場合、LIN/UARTモジュールからの送信割り込み、受信完了割り込み、受信ステータス割り込みが発生します。

各割り込みの要因は「17.9　割り込み」を参照してください。

LRDNFSビット（LIN受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効/無効を選択するビットです。

"0"の場合、データ受信時のノイズフィルタは有効です。

"1"の場合、データ受信時のノイズフィルタは無効です。

（11）LINブレーク・フィールド・コンフィギュレーション・レジスタ／UARTコンフィギュレーション・レジスタ（LBFCn）

アドレス　F06C9H

	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
3-0	BLT[3:0]	送信ブレーク（Low）幅設定ビット	b3　b0 0 0 0 0：13 Tbits 0 0 0 1：14 Tbits 0 0 1 0：15 Tbits ： 1 1 1 0：27 Tbits 1 1 1 1：28 Tbits	R/W
5-4	BDT[1:0]	送信ブレークデリミタ（High）幅設定ビット	b5 b4 0　0：1 Tbit 0　1：2 Tbits 1　0：3 Tbits 1　1：4 Tbits	R/W
6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LBFCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

設定値の組み合わせによっては、1フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BLT[3:0]ビット（送信ブレーク（Low）幅設定ビット）

送信フレームヘッダ部のブレーク（Low）幅の設定をします。

13 Tbits～28 Tbitsを設定できます。

BDTビット（送信ブレークデリミタ（High）幅設定ビット）

送信フレームヘッダ部のブレークデリミタ（High）幅の設定をします。

1 Tbit～4 Tbitsを設定できます。

（12）LIN/UARTスペース・コンフィギュレーション・レジスタ（LSCn）

アドレス　F06CAH

	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBSH[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
2-0	IBSH[2:0]	インタバイトスペース（ヘッダ）／レスポンススペース設定ビット	b2 b0 0 0 0：0 Tbit 0 0 1：1 Tbit 0 1 0：2 Tbits 0 1 1：3 Tbits 1 0 0：4 Tbits 1 0 1：5 Tbits 1 1 0：6 Tbits 1 1 1：7 Tbits	R/W
3	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5-4	IBS[1:0]	インタバイトスペース設定ビット	b5 b4 0　0：0 Tbit 0　1：1 Tbit 1　0：2 Tbits 1　1：3 Tbits	R/W
7-6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LSCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

設定値の組み合わせによっては、1フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBSH[2:0]ビット（インタバイトスペース（ヘッダ）／レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。

0 Tbit～7 Tbitsを設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

IBS[1:0]ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ～ 3 Tbitsを設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

（13）LINウェイクアップ・コンフィギュレーション・レジスタ（LWUPn）

アドレス　F06CBH

	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
3-0	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7-4	WUTL[3:0]	ウェイクアップ送信 Low幅設定ビット	b7　b4 0 0 0 0：1 Tbit 0 0 0 1：2 Tbits 0 0 1 0：3 Tbits 0 0 1 1：4 Tbits ： 1 1 0 0：13 Tbits 1 1 0 1：14 Tbits 1 1 1 0：15 Tbits 1 1 1 1：16 Tbits	R/W

LWUPnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

WUTL[3:0]ビット（ウェイクアップ送信Low幅設定ビット）

ウェイクアップシグナル送信時のLow幅を設定します。

1 Tbit～16 Tbitsを設定できます。

LWBRnレジスタのLWBR0ビットが"1"（LIN2.x使用時）の場合、LMDnレジスタのLCKSビットにかかわらず、LINシステムクロック（f_{LIN}）はfaが選択されます（LCKSビットは変化しません）。

（14）LIN割り込み許可レジスタ（LIEn）

アドレス　F06CCH

	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	FTCIE	フレーム／ウェイクアップ送信完了割り込み許可ビット	0：フレーム/ウェイクアップ送信完了割り込み禁止 1：フレーム/ウェイクアップ送信完了割り込み許可	R/W
1	FRCIE	フレーム／ウェイクアップ受信完了割り込み許可ビット	0：フレーム/ウェイクアップ受信完了割り込み禁止 1：フレーム/ウェイクアップ受信完了割り込み許可	R/W
2	ERRIE	エラー検出割り込み許可ビット	0：エラー検出割り込み禁止 1：エラー検出割り込み許可	R/W
3	SHIE	ヘッダ送信完了割り込み許可ビット	0：ヘッダ送信完了割り込み禁止 1：ヘッダ送信完了割り込み許可	R/W
7-4	－	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LIEnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

FTCIEビット（フレーム／ウェイクアップ送信完了割り込み許可ビット）

フレーム送信完了またはウェイクアップシグナル送信完了時の割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのFTCフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのFTCフラグが"1"になった際に割り込みが発生します。

FRCIEビット（フレーム／ウェイクアップ受信完了割り込み許可ビット）

フレーム受信完了またはウェイクアップシグナル受信（入力信号Low幅カウント）完了時の割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのFRCフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのFRCフラグが"1"になった際に割り込みが発生します。

ERRIEビット（エラー検出割り込み許可ビット）

エラーを検出したときの割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのERRフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのERRフラグが"1"になった際に割り込みが発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、チェックサムエラー、レスポンス準備エラーです。

ビットエラー、フィジカルバスエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラーは、LEDEnレジスタで検出許可／禁止の設定ができます。

SHIEビット（ヘッダ送信完了割り込み許可ビット）

ヘッダ送信完了時の割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのHTRCフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのHTRCフラグが"1"になった際に割り込みが発生します。

（15）LIN/UARTエラー検出許可レジスタ（LEDEn）

アドレス　F06CDH

	7	6	5	4	3	2	1	0
	LTES	—	—	—	FERE	FTERE	PBERE	BERE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	BERE	ビットエラー検出許可ビット	0：ビットエラー検出禁止 1：ビットエラー検出許可	R/W
1	PBERE	フィジカルバスエラー検出許可ビット	0：フィジカルバスエラー検出禁止 1：フィジカルバスエラー検出許可	R/W
2	FTERE	タイムアウトエラー検出許可ビット	0：フレーム/レスポンスタイムアウトエラー検出禁止 1：フレーム/レスポンスタイムアウトエラー検出許可	R/W
3	FERE	フレーミングエラー検出許可ビット	0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可	R/W
4	－	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5	－	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
6	－	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	LTES	タイムアウトエラー選択ビット	0：フレームタイムアウトエラー 1：レスポンスタイムアウトエラー	R/W

LEDEnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

BEREビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。

このビットを"1"（ビットエラー検出許可）にしてください。

ビットエラーの検出結果は、LESTnレジスタのBERフラグに反映されます。

ビットエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

PBEREビット（フィジカルバスエラー検出許可ビット）

フィジカルバスエラー検出の許可／禁止を設定します。

"0"の場合、フィジカルバスエラーを検出しません。

"1"の場合、フィジカルバスエラーを検出します。

このビットが"1"の場合の検出結果は、LESTnレジスタのPBERフラグに反映されます。

フィジカルバスエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

FTEREビット（タイムアウトエラー検出許可ビット）

フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出の許可／禁止を設定します。

"0"の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出しません。

"1"の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出します。

このビットが"1"の場合の検出結果は、LESTnレジスタのFTERフラグに反映されます。

LTESビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、レスポンスを9バイト以上で送信または受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

FEREビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。

このビットを"1"（フレーミングエラー検出許可）にしてください。

フレーミングエラーの検出結果は、LESTnレジスタのFERフラグに反映されます。

フレーミングエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

LTESビット（タイムアウトエラー選択ビット）

タイムアウトを選択するビットです。

"0"の場合、タイムアウト機能はフレームタイムアウトとして動作します。

"1"の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

（16）LIN/UARTコントロール・レジスタ（LCUCn）

アドレス F06CEH

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	OM0	LINリセットビット	0：LINリセットモード 1：LINリセットモードでない	R/W
1	OM1	LINモード選択ビット	0：LINウェイクアップモード 1：LIN動作モード	R/W
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LINリセットモードを解除するときに、LINウェイクアップモードに移行させる場合はLCUCnレジスタに"01H"を、LIN動作モードに移行させる場合はLCUCnレジスタに"03H"を設定してください。

LINセルフテストモードでは、LINセルフテストモード移行後にLCUCnレジスタを"03H"にしてください。

このレジスタに書き込みをした後は、書き込んだ値がLMSTnレジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0ビット（LINリセットビット）

LINリセットモードへの移行／LINリセットモードの解除を選択するビットです。

"0"にすると、LINリセットモードになります。

"1"にすると、LINリセットモードは解除されます。

OM1ビット（LINモード選択ビット）

LINリセットモード解除時の動作モード（LINウェイクアップモード、LIN動作モード）選択をするビットです。

"0"にすると、LINウェイクアップモードになります。

"1"にすると、LIN動作モードになります。

このレジスタは、LMSTnレジスタのOMM0ビットが"1"のときのみ有効です。

このビットは、LTRCnレジスタのFTSビットが"1"の間は書けません。

（17）LIN/UART送信コントロール・レジスタ（LTRCn）

アドレス　F06D0H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	FTS	フレーム送信/ウェイクアップ送受信開始ビット	0：フレーム送信／ウェイクアップ送受信停止 1：フレーム送信／ウェイクアップ送受信開始	R/W
1	RTS	レスポンス送信/受信開始ビット	0：フレームセパレートモードにおいてレスポンス送受信停止 1：フレームセパレートモードにおいてレスポンス送受信開始	R/W
2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7-3	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

FTSビット（フレーム送信／ウェイクアップ送受信開始ビット）

フレーム／ウェイクアップ送信開始時、"1"にしてください。

また、ウェイクアップ受信（入力信号Low幅カウント）を行う場合にも、このビットを"1"にしてください。

このビットは"1"のみ書けます。"0"は書けません。

このビットは、LMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときは書けません。

このビットは、フレームおよびウェイクアップの通信終了時に"0"になります。

LINリセットモード移行時に"0"になります。

RTSビット（レスポンス送信/受信開始ビット）

フレームセパレートモードで、ヘッダを送信開始（FTSビットが"1"）し、レスポンス送信データ準備完了した後に、"1"にしてください。設定後、このビットはフレーム通信終了およびLINリセットモード移行時に自動的に"0"になります。

このビットは"1"のみ書けます。"0"は書けません。

このビットに"1"を書く場合は、8ビット・データ転送命令で"02H"を書き込んでください。

このビットは、LMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときは書けません。

このビットは、FTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）のときは書けません。

9バイト以上のレスポンスデータの送受信を行う場合は、データグループ（0～8バイトで可変）の送受信毎に"1"に設定してください。設定後、データグループの通信終了時またはLINリセットモード移行時に自動的に"0"になります。

（18）LIN/UARTモード・ステータス・レジスタ（LMSTn）

アドレス F06D1H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	OMM0	LINリセットステータスモニタ	0：LINリセットモード 1：LINリセットモードでない	R
1	OMM1	LINモードステータスモニタ	0：LINウェイクアップモード 1：LIN動作モード	R
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

OMM0ビット（LINリセットステータスモニタ）

OMM1ビット（LINモードステータスモニタ）

現在の動作モードが確認できます。

（19）LIN/UARTステータス・レジスタ（LSTn）

アドレス　F06D2H

	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	FTC	フレーム／ウェイクアップ送信完了フラグ	0：送信未完了 1：フレームまたはウェイクアップ送信完了	R/W
1	FRC	フレーム／ウェイクアップ受信完了フラグ	0：受信未完了 1：フレームまたはウェイクアップ受信完了	R/W
2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
3	ERR	エラー検出フラグ	0：エラー未検出 1：エラー検出	R
4-5	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
6	D1RC	データ1受信完了フラグ	0：受信未完了 1：データ1受信完了	R/W
7	HTRC	ヘッダ送信完了フラグ	0：送信未完了 1：ヘッダ送信完了	R/W

LSTnレジスタはLINリセットモード移行時および次の通信開始（LTRCnレジスタのFTSビットが"1"）時、自動的に"00H"になります。

LINリセットモード中は、このレジスタへは書くことができません。LINリセットモード中は"00H"を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには"0"を、クリアしないビットには"1"を8ビット・データ転送命令で書き込んでください。

FTCフラグ（フレーム／ウェイクアップ送信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

レスポンス送信完了またはウェイクアップ送信完了時、"1"となります。このときLIEnレジスタのFTCIEビットが"1"（割り込み許可）の場合、割り込みが発生します。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モードまたはLINウェイクアップモード内で"0"を書いてください。

9バイト以上のレスポンスデータ送信を行う場合は、データグループ（0～8バイトで可変）の送信完了毎に"1"となります。次のデータグループ送信開始前に"0"を書いてください。

FRCフラグ（フレーム／ウェイクアップ受信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

レスポンス受信完了またはウェイクアップ受信完了時、"1"となります。このときLIEnレジスタのFRCIEビットが"1"（割り込み許可）の場合、割り込みが発生します。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モードまたはLINウェイクアップモード内で"0"を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8バイトで可変）の受信完了毎に"1"となります。次のデータグループ受信開始前に"0"を書いてください。

ERRフラグ（エラー検出フラグ）

エラー検出（LESTnレジスタのフラグのうち1つでも”1”）時、"1"となります。このときLIEnレジスタのERRIEビットが"1"（割り込み許可）の場合、割り込みが発生します。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モードまたはLINウェイクアップモード内でLESTnレジスタのRPERフラグ、CSERフラグ、FERフラグ、FTERフラグ、PBERフラグ、BERフラグに"0"を書いてください。ERRフラグが"0"となります。

D1RCフラグ（データ1受信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

データ1受信完了時、"1"となりますが割り込みが発生しません。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モード内で"0"を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8バイトで可変）毎でデータ1受信完了時、"1"となります。次のデータグループ受信開始前に"0"を書いてください。

HTRCフラグ（ヘッダ送信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、"1"となります。このときLIEnレジスタのSHIEビットが"1"（割り込み許可）の場合、割り込みが発生します。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モード内で"0"を書いてください。

（20）LIN/UARTエラー・ステータス・レジスタ（LESTn）

アドレス F06D3H

	7	6	5	4	3	2	1	0
	RPER	—	CSER	—	FER	FTER	PBER	BER
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	BER	ビットエラーフラグ	0：ビットエラー未検出 1：ビットエラー検出	R/W
1	PBER	フィジカルバスエラーフラグ	0：フィジカルバスエラー未検出 1：フィジカルバスエラー検出	R/W
2	FTER	タイムアウトエラーフラグ	0：フレーム/レスポンスタイムアウトエラー未検出 1：フレーム/レスポンスタイムアウトエラー検出	R/W
3	FER	フレーミングエラーフラグ	0：フレーミングエラー未検出 1：フレーミングエラー検出	R/W
4	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5	CSER	チェックサムエラーフラグ	0：チェックサムエラー未検出 1：チェックサムエラー検出	R/W
6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	RPER	レスポンス準備エラーフラグ	0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出	R/W

LESTnレジスタはLINリセットモード移行時、および次の通信開始（LTRCnレジスタのFTSビットが"1"）時、自動的に"00H"になります。

LINリセットモード中は、このレジスタへは書くことができません。LINリセットモード中は"00H"を保持します。

LTRCnレジスタのFTSビットが"1"（フレーム送信／ウェイクアップ送受信開始）の間は、このレジスタに書かないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには"0"を、クリアしないビットには"1"を8ビット・データ転送命令で書き込んでください。

BERフラグ（ビットエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのBEREビットが”1”（ビットエラー検出許可）で、ビットエラー検出時、"1"となります。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モードまたはLINウェイクアップモード内で"0"を書いてください。

PBERフラグ（フィジカルバスエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのPBEREビットが”1”（フィジカルバスエラー検出許可）で、フィジカルバスエラー検出時、"1"となります。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モードまたはLINウェイクアップモード内で"0"を書いてください。

FTERフラグ（タイムアウトエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのFTEREビットが”1”（フレーム／レスポンスタイムアウトエラー検出許可）で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、"1"となります。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モード内で"0"を書いてください。

FERフラグ（フレーミングエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのFEREビットが”1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、"1"となります。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モード内で"0"を書いてください。

CSERフラグ（チェックサムエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、"1"となります。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モード内で"0"を書いてください。

RPERフラグ（レスポンス準備エラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時、"1"となります。次の通信が始まる（LTRCnレジスタのFTSビットが"1"）前に"0"にしたい場合は、LIN動作モード内で"0"を書いてください。

（21）LIN/UARTデータ・フィールド・コンフィギュレーション・レジスタ（LDFCn）

アドレス　F06D4H

	7	6	5	4	3	2	1	0
	LSS	FSM	CSM	RFT	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
3-0	RFDL[3:0]	レスポンスフィールド長設定ビット	b3　b0 0 0 0 0：0バイト（＋チェックサム） 0 0 0 1：1バイト（＋チェックサム） 0 0 1 0：2バイト（＋チェックサム） ： 0 1 1 1：7バイト（＋チェックサム） 1 0 0 0：8バイト（＋チェックサム） 上記以外は設定しないでください。	R/W
4	RFT	レスポンスフィールド通信方向選択ビット	0：受信 1：送信	R/W
5	CSM	チェックサム選択ビット	0：クラシック 1：エンハンス	R/W
6	FSM	フレームセパレートモード選択ビット	0：フレームセパレートモードではない 1：フレームセパレートモード	R/W
7	LSS	継続選択ビット	0：次に送受信するデータグループは最終である。 1：次に送受信するデータグループは最終ではない。 （チェックサムなし）	R/W

RFDL[3:0]ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。

データ長は0～8バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

FSMビットが"0"（フレームセパレートモードではない）で、レスポンス送信を行う場合は、ヘッダ送信前（LTRCnレジスタのFTSビットが"0"）に、これらのビットを設定してください。

FSMビットが"1"（フレームセパレートモード）で、レスポンス送信を行う場合は、レスポンス送信前（LTRCnレジスタのRTSビットが"0"）に、これらのビットを設定してください。

レスポンスの受信を行う場合は、ヘッダ送信前（LTRCnレジスタのFTSビットが"0"）に、これらのビットを設定してください。

9バイト以上のレスポンスの送受信を行う場合は、データグループの送受信前（LTRCnレジスタのRTSビットが"0"）に、これらのビットを設定してください。

9バイト以上のレスポンス通信を行う場合は、最後のデータグループ（LSSビットが"0"）のみチェックサムを含み、それ以外のデータグループ（LSSビットが"1"）はチェックサムを含みません。

RFTビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウェイクアップシグナルの通信方向を設定します。

"0"の場合、レスポンスフィールドで受信を行います。また、LINウェイクアップモードでは、ウェイクアップ受信（入力信号Low幅カウント）を行います。

"1"の場合、レスポンスフィールドで送信を行います。また、LINウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、LTRCnレジスタのFTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

9バイト以上のレスポンスデータ送信またはレスポンス受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

CSMビット（チェックサム選択ビット）

チェックサムの方式の設定をします。

"0"の場合、チェックサムの方式はクラシックとなります。

"1"の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する（LEDEnレジスタのFTEREビットが"1"）場合は、このビット設定によりタイムアウト時間が異なります。詳細は「17.4.6　エラーステータス」を参照してください。

このビットは、LTRCnレジスタのFTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

9バイト以上のレスポンス送信またはレスポンス受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9バイト以上のレスポンス通信を行う場合は、最後のデータグループ（LSSビットが"0"）のみチェックサムを含み、それ以外のデータグループ（LSSビットが"1"）はチェックサムを含みません。

FSMビット（フレームセパレートモード選択ビット）

レスポンス通信の方式を設定します。

"0"の場合、フレームセパレートモードになりません。ヘッダ送信開始（LTRCnレジスタのFTSビットが"1"）後、LTRCnレジスタのRTSビットのセットなしに、レスポンスの送受信を行います。

"1"の場合、フレームセパレートモードになります。ヘッダ送信中にLTRCnレジスタのRTSビットを"1"にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

レスポンス受信（RFTビットが"0"）時は、このビットを"0"に設定してください。

LINセルフテストモードに移行する場合は、移行前にこのビットを"0"に設定してください。

フレームセパレートモードの詳細は「17.4.3（1）（a）フレームセパレートモード」を参照してください。

このビットは、LTRCnレジスタのFTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

9バイト以上のレスポンスデータ送信またはレスポンス受信を行う場合は、このビットを"1"にしてください。

LSSビット（継続選択ビット）

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

"0"の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

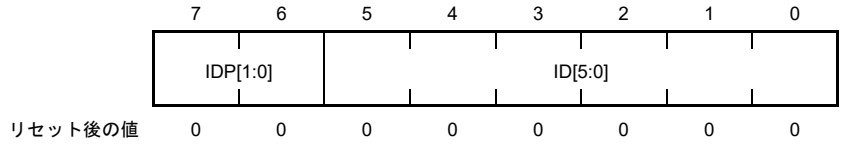
"1"の場合、次に送信または受信するデータグループが最後でないため、データのみの送信または受信を行ない、チェックサムは含みません。

このビットは、FSMビットが"1"（フレームセパレートモード）で、かつ9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合にのみ設定してください。

また、このビットは、LTRCnレジスタのRTSビットが"0" （レスポンス送受信停止）のときに設定してください。

（22）LIN/UART IDバッファ・レジスタ（LIDBn）

アドレス F06D5H



ビット	シンボル	ビット名	機能	R/W
5-0	ID[5:0]	ID設定ビット	IDフィールドで送信する6ビットのID値を設定	R/W
7-6	IDP[1:0]	パリティ設定ビット	IDフィールドで送信するパリティ（P）ビットを設定	R/W

このレジスタは、LTRCnレジスタのFTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

LINセルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「17.6 LINセルフテストモード」を参照してください。

IDビット（ID設定ビット）

LINフレームのIDフィールドで送信する6ビットのIDを設定します。

IDPビット（パリティ設定ビット）

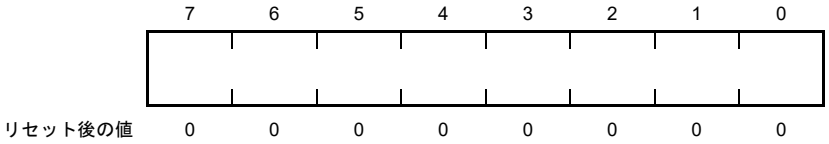
LINフレームのIDフィールドで送信するパリティ（P0、P1）ビットを設定します。

IDP0ビットがP0、IDP1ビットがP1です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

（23）LINチェックサム・バッファ・レジスタ（LCBRn）

アドレス　F06D6H



ビット	機能	R/W
7-0	チェックサムの送受信データを格納します。	R/W

LINモード時は、以下の通りとなります。

・LDFCnレジスタのRFTビットが"1"（送信）の場合

送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。

書き込みは無効になります。

・LDFCnレジスタのRFTビットが"0"（受信）の場合

受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。

書き込みは無効になります。

LINセルフテストモード時は、以下の通りとなります。

・LDFCnレジスタのRFTビットが"1"（送信）の場合

フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。

・LDFCnレジスタのRFTビットが"0"（受信）の場合

通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「17.6　LINセルフテストモード」を参照してください。

このレジスタはLTRCnレジスタのFTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

（24）LIN/UARTデータ・バッファm・レジスタ（LDBnm）（m=1～8）

アドレス　LDBn1 F06D8H、LDBn2 F06D9H、LDBn3 F06DAH、LDBn4 F06DBH、
LDBn5 F06DCH、LDBn6 F06DDH、LDBn7 F06DEH、LDBn8 F06DFH

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定または受信データを読み出し。	00H～FFH	R/W

レスポンス送信の場合：

レスポンスフィールドで送信するデータを設定します。

これらのレジスタは以下の状態で設定してください

・LDFCnレジスタのRFTビットが"1"（送信）

・LDFCnレジスタのFSMビットが"0"（フレームセパレートモードではない）

・LTRCnレジスタのFTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）

または

・LDFCnレジスタのRFTビットが"1"（送信）

・LDFCnレジスタのFSMビットが"1"（フレームセパレートモード）

・LTRCnレジスタのRTSビットが"0"（レスポンス送受信停止）

レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。

受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。

これらのレジスタは、FTSビットが"1"（フレーム送信／ウェイクアップ送受信開始）のときに読み出さないでください。

9バイト以上のレスポンス送信の場合：

これらのレジスタは以下の状態で設定してください

・LDFCnレジスタのRFTビットが"1"（送信）

・LDFCnレジスタのFSMビットが"1"（フレームセパレートモード）

・LTRCnレジスタのRTSビットが"0"（レスポンス送受信停止）

9バイト以上のレスポンス受信の場合：

これらのレジスタは、RTSビットが"1"（レスポンス送受信開始）のときに読み出さないでください。

LINセルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「17.6　LINセルフテストモード」を参照してください。

17.2.2　LINスレーブ関連レジスタ

（1）入力切り替え制御レジスタ（ISC）

ISCレジスタのISC2-ISC4ビットは、LIN/UARTモジュール（RLIN3）で使用します。

ビット2、3、4をそれぞれ1に設定すると、LIN/UARTモジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により、ISCレジスタは00Hになります。

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	0	ISC0

ISC4[注]	外部割り込み（INTP14）の入力選択
0	INTP14端子の入力信号を外部割り込みに選択
1	LRXD2端子の入力信号を外部割り込みに選択

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12端子の入力信号を外部割り込みに選択
1	LRXD1端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11端子の入力信号を外部割り込みに選択
1	LRXD0端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注　144ピン、100ピン製品のみ

注意　ビット7-5, 1に必ず0を設定してください。

80, 64, 48ピン製品では、ISC4に0を設定してください。

（2）LINチャネル選択レジスタ（LCHSEL）

アドレス F007BH

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	LSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
1-0	LSEL[1:0]	LINチャネル選択ビット	b1　b0 0　0：LIN0選択（LIN0のレジスタアクセス可能） 0　1：LIN1選択（LIN1のレジスタアクセス可能） 1　0：LIN2選択（LIN2のレジスタアクセス可能）注 上記以外は設定しないでください。	R/W
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LSEL[1:0]ビット（LINチャネル選択ビット）

LIN/UARTモジュールのレジスタは、CPUのメモリマップ上に直接マッピングされていないため、レジスタウィンドウを通してアクセスします。レジスタウィンドウは、F06C1H～F06E9H番地にマッピングされています。

このビットに値を設定すると、対応するチャネルのレジスタが一括してレジスタウィンドウにマッピングされます。

"00b"の場合、LIN0のレジスタがマッピングされます。

"01b"の場合、LIN1のレジスタがマッピングされます。

"10b"の場合、LIN2のレジスタがマッピングされます。注

使用したいチャネルのレジスタアクセス前に、使用したいチャネルが該当する値に変更してください。

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は"10b"を設定しないでください。

（3）周辺イネーブル・レジスタ2（PER2）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット（1）してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により、00Hになります。

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	IEBUSEN	LIN2EN注	LIN1EN	LIN0EN	0	CAN0EN

IEBUSEN	IEBBの入力クロック供給の制御
0	入力クロック供給停止 ・IEBBで使用するSFRへのライト不可 ・IEBBはリセット状態
1	入力クロック供給 ・IEBBで使用するSFRへのリード／ライト可

LIN2EN注	LIN2の入力クロック供給の制御
0	入力クロック供給停止 ・LIN2で使用するSFRへのライト不可 ・LIN2はリセット状態
1	入力クロック供給 ・LIN2で使用するSFRへのリード／ライト可

LIN1EN	LIN1の入力クロック供給の制御
0	入力クロック供給停止 ・LIN1で使用するSFRへのライト不可 ・LIN1はリセット状態
1	入力クロック供給 ・LIN1で使用するSFRへのリード／ライト可

LIN0EN	LIN0の入力クロック供給の制御
0	入力クロック供給停止 ・LIN0で使用するSFRへのライト不可 ・LIN0はリセット状態
1	入力クロック供給 ・LIN0で使用するSFRへのリード／ライト可

CAN0EN	CANの入力クロック供給の制御
0	入力クロック供給停止 ・CANで使用するSFRへのライト不可 ・CANはリセット状態
1	入力クロック供給 ・CANで使用するSFRへのリード／ライト可

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

（4）LINクロック選択レジスタ（LINCKSEL）

LINへの通信クロック源を制御するレジスタです。

アドレス：F02C3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	LIN2MCKE注	LIN1MCKE	LIN0MCKE	0	LIN2MCK注	LIN1MCK	LIN0MCK

LIN2MCKE注	LIN2の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN1MCKE	LIN1の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN0MCKE	LIN0の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN2MCK注	LIN2の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN1MCK	LIN1の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN0MCK	LIN0の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

注意1.　LINnMCKE (n = 0-2) を1に（動作クロック供給）する前に、LINnMCKでLINnの動作クロックを選択してください。

2.　SNOOZE時にLINnを動作させる場合、LINnMCK = 0に設定してください。

3.　LINnMCKを "1"（f_{MX}クロックを選択）で使用する場合、タイムアウトエラーを使用しないでください。その場合，f_{CLK}クロックはLIN通信クロック源の1.2倍以上の周波数でご使用ください。

（5）外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

詳細は「22.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）」を参照してください。

（6）LINウェイクアップ・ボー・レート選択レジスタ（LWBRn）

アドレス F06C1H

	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			―
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	―	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
3-1	LPRS[2:0]	プリスケーラクロック選択ビット	b3 b1 0 0 0：1/1 0 0 1：1/2 0 1 0：1/4 0 1 1：1/8 1 0 0：1/16 1 0 1：1/32 1 1 0：1/64 1 1 1：1/128	R/W
7-4	NSPB[3:0]	ビット・サンプリング数選択ビット	b7　b4 0 0 0 0：16サンプリング 0 0 1 1：4サンプリング 0 1 1 1：8サンプリング 1 1 1 1：16サンプリング 上記以外は設定しないでください。	R/W

LWBRnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

LPRSビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。

このプリスケーラによりLIN通信クロック源を分周します。

LINスレーブモード[オート・ボー・レート]（LIN/UARTモード・レジスタのLIN/UARTモード選択ビットが10b）で使用するときは、ターゲットとなるボー・レートに応じて、これらのビットをプリスケーラクロックが下記となるように設定してください。

［ターゲットとなるボー・レート］	［プリスケーラクロック］
1 kbps～20 kbps	：4 MHz[注]
1 kbps～2.4 kbps未満	：4 MHz
2.4 kbps～20 kbps	：8 MHz～12 MHz

注　NSPBビットは"0011b"（4サンプリング）で使用してください。

NSPBビット（ビット・サンプリング数選択ビット）

1Tbit（ボー・レートの逆数）のサンプリング数を選択するビットです。

LINスレーブモード[オート・ボー・レート]（LIN/UARTモード・レジスタのLIN/UARTモード選択ビットが10b）で使用する時は、これらのビットを"0011b"（4サンプリング）または"0111b"（8サンプリング）に設定してください。

LINスレーブモード[固定ボー・レート]（LIN/UARTモード・レジスタのLIN/UARTモード選択ビットが11b）で使用する時は、これらのビットを"0000b"または"1111b"（16サンプリング）に設定してください。

（7）LIN/UARTボー・レート・プリスケーラレジスタ（LBRPn）

アドレス F06C3H, F06C2H

	LBRPn1								LBRPn0							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
15-0	設定値をL（0～65535）とすると、ボー・レート・プリスケーラはプリスケーラクロックをL+1分周する。	0000H～FFFFH	R/W

LBRPnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

このレジスタの設定値をLとすると、ボー・レート・プリスケーラはLWBRnレジスタのLPRSビット（プリスケーラクロック選択ビット）で分周したクロックをL + 1分周します。

LBRPnレジスタは、下記レジスタで8ビットアクセスが可能です

・下位8ビット：LIN/UARTボー・レート・プリスケーラ0レジスタ（LBRPn0）、アドレス F06C2H

・上位8ビット：LIN/UARTボー・レート・プリスケーラ1レジスタ（LBRPn1）、アドレス F06C3H

備考　LINスレーブモード[オート・ボー・レート]では、シンクフィールドの受信が成功したとき、ボー・レート補正結果を自動でLBRPnレジスタに設定します。

（8）LINセルフテスト・コントロール・レジスタ（LSTCn）

アドレス F06C4H

	7	6	5	4	3	2	1	0
								LSTM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-0	"A7H"→"58H"→"01H"の連続書き込みにより、LINセルフテストモードにエントリします。			R/W
0	LSTM	LINセルフテストモードビット	0：LINセルフテストモードではない 1：LINセルフテストモード	R/W

LSTCnレジスタはLINセルフテストモードのプロテクトを解除するために使用するレジスタです。

LSTCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

"A7H"→"58H"→"01H"の連続書き込みにより、LINセルフテストモードへエントリします。

連続書き込みが成功し、LINセルフテストモードにした場合は、LSTMビットが"1"になります。

連続書き込みの間に別の書き込みを行わないでください。

LINセルフテストモードへの移行方法は、「17.6 LINセルフテストモード」を参照してください。

ビット6～1を読み出すと"000000b"が、ビット7を読み出すと不定値が読めます。

LSTMビット（LINセルフテストモードビット）

LINセルフテストモードに移行したとき、このビットは"1"になります。

LINセルフテストモードからの終了方法は、「17.6 LINセルフテストモード」を参照してください。

LSTCnレジスタへの"A7H"→"58H"→"01H"の連続書き込み以外で、このビットに"1"を書いても値は変化しません。

（9）LIN/UARTモード・レジスタ（LMDn）

アドレス F06C8H

	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
1-0	LMD[1:0]	LIN/UARTモード選択ビット	b1 b0 1　0：LINスレーブモード[オート・ボー・レート] 1　1：LINスレーブモード[固定ボー・レート]	R/W
3-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
4	LIOS	LIN割り込み出力選択ビット	0：LIN割り込みを使用する 1：送信割り込み、受信完了割り込み、受信ステータス割り込みを使用	R/W
5	LRDNFS	LIN受信データノイズフィルタ禁止ビット	0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない	R/W
6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LMDnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

LMD[1:0]ビット（LIN/UARTモード選択ビット）

LIN/UARTモジュールのモードを選択するビットです。

LINスレーブとして使用する場合は、これらのビットを"10b"または"11b"に設定してください。

"10b"の場合、LIN/UARTモジュールはLINスレーブモード[オート・ボー・レート]として動作します。

"11b"の場合、LIN/UARTモジュールはLINスレーブモード[固定ボー・レート]として動作します。

LIOSビット（LIN割り込み出力選択ビット）

LIN/UARTモジュールからの割り込み出力本数を選択するビットです。

"0"の場合、LIN/UARTモジュールからのLIN割り込みが発生します。

"1"の場合、LIN/UARTモジュールからの送信割り込み、受信完了割り込み、受信ステータス割り込みが発生します。

各割り込みの要因は「17.9　割り込み」を参照してください。

LRDNFSビット（LIN受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効/無効を選択するビットです。

"0"の場合、データ受信時のノイズフィルタは有効です。

"1"の場合、データ受信時のノイズフィルタは無効です。

（10）LINブレーク・フィールド・コンフィギュレーション・レジスタ／UARTコンフィギュレーション・レジスタ（LBFCn）

アドレス F06C9H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	BLT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	BLT	受信ブレーク（Low）検出幅設定ビット	0：9.5Tbitsまたは10Tbitsでブレーク（Low）を検出 1：10.5Tbitsまたは11Tbitsでブレーク（Low）を検出	R/W
6-1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LBFCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

BLTビット（受信ブレーク（Low）検出幅設定ビット）

受信データのLow幅をブレークと判定する境界値を設定します。

LINスレーブモード[オート・ボー・レート]（LMDnレジスタのLMDビットが10b）使用時、

"0"の場合、10Tbits以上のLow幅を検出します。

"1"の場合、11Tbits以上のLow幅を検出します。

LINスレーブモード[固定ボー・レート]（LMDnレジスタのLMDビットが11b）使用時、

"0"の場合、9.5Tbits以上のLow幅を検出します。

"1"の場合、10.5Tbits以上のLow幅を検出します。

（11）LIN/UARTスペース・コンフィギュレーション・レジスタ（LSCn）

アドレス F06CAH

	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	RS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
2-0	RS[2:0]	レスポンススペース設定ビット	b2 b0 0 0 0：0 Tbit 0 0 1：1 Tbit 0 1 0：2 Tbits 0 1 1：3 Tbits 1 0 0：4 Tbits 1 0 1：5 Tbits 1 1 0：6 Tbits 1 1 1：7 Tbits	R/W
3	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5-4	IBS[1:0]	インタバイトスペース設定ビット	b5 b4 0　0：0 Tbit 0　1：1 Tbit 1　0：2 Tbits 1　1：3 Tbits	R/W
7-6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LSCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

レスポンス送信時のみ有効です。レスポンス受信時は無効になります。

設定値の組み合わせによっては、1フレームまたはレスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

RS[2:0]ビット（レスポンススペース設定ビット）

レスポンス送信のレスポンススペースの幅の設定をします。

0 Tbit～7 Tbitsを設定できます。

IBS[1:0]ビット（インタバイトスペース設定ビット）

レスポンス送信のインタバイトスペースの幅を設定します。

0 Tbit～3 Tbitsを設定できます。

（12）LINウェイクアップ・コンフィギュレーション・レジスタ（LWUPn）

アドレス F06CBH

	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
3-0	–	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7-4	WUTL[3:0]	ウェイクアップ送信Low幅設定ビット	b7　b4 0 0 0 0：1 Tbit 0 0 0 1：2 Tbits 0 0 1 0：3 Tbits 0 0 1 1：4 Tbits ： 1 1 0 0：13 Tbits 1 1 0 1：14 Tbits 1 1 1 0：15 Tbits 1 1 1 1：16 Tbits	R/W

LWUPnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

WUTL[3:0]ビット（ウェイクアップ送信Low幅設定ビット）

ウェイクアップフレーム送信時のLow幅を設定します。

1 Tbit～16 Tbitsを設定できます。

（13）LIN割り込み許可レジスタ（LIEn）

アドレス F06CCH

	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	FTCIE	フレーム／ウェイクアップ送信完了割り込み許可ビット	0：レスポンス/ウェイクアップ送信完了割り込み禁止 1：レスポンス/ウェイクアップ送信完了割り込み許可	R/W
1	FRCIE	フレーム／ウェイクアップ受信完了割り込み許可ビット	0：レスポンス/ウェイクアップ受信完了割り込み禁止 1：レスポンス/ウェイクアップ受信完了割り込み許可	R/W
2	ERRIE	エラー検出割り込み許可ビット	0：エラー検出割り込み禁止 1：エラー検出割り込み許可	R/W
3	SHIE	ヘッダ受信完了割り込み許可ビット	0：ヘッダ受信完了割り込み禁止 1：ヘッダ受信完了割り込み許可	R/W
7-4	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LIEnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

FTCIEビット（フレーム／ウェイクアップ送信完了割り込み許可ビット）

レスポンス送信完了またはウェイクアップフレーム送信完了時の割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのFTCフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのFTCフラグが"1"になった際に割り込みが発生します。

FRCIEビット（フレーム／ウェイクアップ受信完了割り込み許可ビット）

レスポンス受信完了またはウェイクアップフレーム受信（入力信号Low幅カウント）完了時の割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのFRCフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのFRCフラグが"1"になった際に割り込みが発生します。

ERRIEビット（エラー検出割り込み許可ビット）

エラーを検出したときの割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのERRフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのERRフラグが"1"になった際に割り込みが発生します。

発生要因となるエラーは、ビットエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、シンクフィールドエラー、チェックサムエラー、IDパリティエラー、レスポンス準備エラーです。

ビットエラー、フレーム/レスポンスタイムアウトエラー、フレーミングエラー、シンクフィールドエラー、IDパリティエラーは、LEDEnレジスタで検出許可／禁止の設定ができます。

SHIEビット（ヘッダ受信完了割り込み許可ビット）

ヘッダ受信完了時の割り込み許可／禁止を設定します。

"0"の場合、LSTnレジスタのHTRCフラグが"1"になった際に割り込みが発生しません。

"1"の場合、LSTnレジスタのHTRCフラグが"1"になった際に割り込みが発生します。

（14）LIN/UARTエラー検出許可レジスタ（LEDEn）

アドレス F06CDH

	7	6	5	4	3	2	1	0
	LTES	IPERE	—	SFERE	FERE	TERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	BERE	ビットエラー検出許可ビット	0：ビットエラー検出禁止 1：ビットエラー検出許可	R/W
1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
2	TERE	タイムアウトエラー検出許可ビット	0：フレーム/レスポンスタイムアウトエラー検出禁止 1：フレーム/レスポンスタイムアウトエラー検出許可	R/W
3	FERE	フレーミングエラー検出許可ビット	0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可	R/W
4	SFERE	シンクフィールドエラー検出許可ビット	0：シンクフィールドエラー検出禁止 1：シンクフィールドエラー検出許可	R/W
5	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
6	IPERE	IDパリティエラー検出許可ビット	0：IDパリティエラー検出禁止 1：IDパリティエラー検出許可	R/W
7	LTES	タイムアウトエラー選択ビット	0：フレームタイムアウトエラー 1：レスポンスタイムアウトエラー	R/W

LEDEnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

BEREビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。

このビットを"1"（ビットエラー検出許可）にしてください。

ビットエラーの検出結果は、LESTnレジスタのBERフラグに反映されます。

ビットエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

TEREビット（タイムアウトエラー検出許可ビット）

フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出の許可／禁止を設定します。

"0"の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出しません。

"1"の場合、フレームタイムアウトエラーまたはレスポンスタイムアウトエラーを検出します。

このビットが"1"の場合の検出結果は、LESTnレジスタのTERフラグに反映されます。

LTESビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、LINスレーブモード[オート・ボー・レート]（LIN/UARTモード・レジスタのLIN/UARTモード選択ビットが10b）では使用しないでください。

タイムアウトエラーは、レスポンスを9バイト以上で送信または受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

FEREビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。

このビットを"1"（フレーミングエラー検出許可）にしてください。

フレーミングエラーの検出結果は、LESTnレジスタのFERフラグに反映されます。

フレーミングエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

SFEREビット（シンクフィールドエラー検出許可ビット）

シンクフィールドエラー検出の許可／禁止を設定します。

"0"の場合、シンクフィールドエラーを検出しません。

"1"の場合、シンクフィールドエラーを検出します。

このビットは設定に関わらずシンクフィールドエラー検出時は次のヘッダ待ち状態になります。

このビットが"1"の場合の検出結果は、LESTnレジスタのSFERフラグに反映されます。

シンクフィールドエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

IPEREビット（IDパリティエラー検出許可ビット）

IDパリティエラー検出の許可／禁止を設定します。

"0"の場合、IDパリティエラーを検出しません。

"1"の場合、IDパリティエラーを検出します。

このビットが“1”の場合の検出結果は、LESTnレジスタのIPERフラグに反映されます。

IDパリティエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

LTESビット（タイムアウトエラー選択ビット）

タイムアウトを選択するビットです。

"0"の場合、タイムアウト機能はフレームタイムアウトとして動作します。

"1"の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「17.4.6　エラーステータス」を参照してください。

（15）LIN/UARTコントロール・レジスタ（LCUCn）

アドレス F06CEH

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	OM0	LINリセットビット	0：LINリセットモード 1：LINリセットモードでない	R/W
1	OM1	LINモード選択ビット	0：LINウェイクアップモード 1：LIN動作モード	R/W
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LINリセットモードを解除するときに、LINウェイクアップモードに移行させる場合はLCUCnレジスタに"01H"を、LIN動作モードに移行させる場合はLCUCnレジスタに"03H"を設定してください。

LINセルフテストモードでは、LINセルフテストモード移行後にLCUCnレジスタを"03H"にしてください。

LINスレーブモード（固定ボー・レート）でLIN動作モードからLINリセットモードに遷移する場合は、続けてPER2レジスタのLIN0EN（LIN1EN）ビットを0にした後で1にしてください。

このレジスタに書き込みをした後は、書き込んだ値がLMSTnレジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0ビット（LINリセットビット）

LINリセットモードへの移行／LINリセットモードの解除を選択するビットです。

"0"にすると、LINリセットモードになります。

"1"にすると、LINリセットモードは解除されます。

OM1ビット（LINモード選択ビット）

LINリセットモード解除時の動作モード（LINウェイクアップモード、LIN動作モード）選択をするビットです。

"0"にすると、LINウェイクアップモードになります。

"1"にすると、LIN動作モードになります。

このレジスタは、LMSTnレジスタのOMM0ビットが"1"のときのみ有効です。

このビットは、LTRCnレジスタのFTSビットが"1"の間は書けません。

（16）LIN/UART送信コントロール・レジスタ（LTRCn）

アドレス F06D0H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	LNRR	RTS	FTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	FTS	LIN通信開始ビット	0：ヘッダ受信／ウェイクアップ送受信停止 1：ヘッダ受信／ウェイクアップ送受信開始	R/W
1	RTS	レスポンス送信/受信開始ビット	0：レスポンス送信／受信停止 1：レスポンス送信／受信開始	R/W
2	LNRR	レスポンスなし要求ビット	0：受信IDに対するレスポンスあり 1：受信IDに対するレスポンスなし	R/W
7-3	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

FTSビット（LIN通信開始ビット）

ヘッダ受信／ウェイクアップ受信（入力信号Low幅カウント）を行う場合、"1"にしてください。
また、ウェイクアップ送信を行う場合にも、このビットを"1"にしてください。
このビットは"1"のみ書けます。"0"は書けません。
このビットは、LMSTnレジスタのOMM0ビットが"0" （LINリセットモード）のときは書けません。
ウェイクアップ送信／受信完了およびLINリセットモード移行時に"0"になります。

RTSビット（レスポンス送信/受信開始ビット）

ヘッダを受信し、受信IDを確認後、レスポンス送信またはレスポンス受信開始時、"1"にしてください。
設定後、このビットはレスポンス完了およびLINリセットモード移行時に自動的に"0"になります。
このビットは"1"のみ書けます。"0"は書けません。
このビットに"1"を書く場合は、8ビット・データ転送命令で"02H"を書き込んでください。
このビットは、LNRRと同時に"1"にしないでください。
このビットは、LMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときは書けません。
このビットは、FTSが"0"（ヘッダ受信／ウェイクアップ送受信停止）のときは書けません。

9バイト以上のレスポンスデータの送受信を行う場合は、データグループ（0～8バイトで可変）の送受信毎に"1"に設定してください。設定後、データグループの送受信完了またはLINリセットモード移行時に自動的に"0"になります。

LNRRビット（レスポンスなし要求ビット）

ヘッダを受信し、受信IDを確認後、レスポンス送信もレスポンス受信も行なわない場合に"1"にしてください。

設定後、このビットは新たなシンクフィールド検出およびLINリセットモード移行時に自動的に"0"になります。

このビットは"1"のみ書けます。"0"は書けません。

このビットに"1"を書く場合は、8ビット・データ転送命令で"04H"を書き込んでください。

このビットは、RTSと同時に"1"にしないでください。

このビットは、LMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときは書けません。

このビットは、FTSが"0"（ヘッダ受信／ウェイクアップ送受信停止）のときは書けません。

9バイト以上のレスポンスデータの送受信を行う場合は、ヘッダ完了後以外でこのビットを使用しないでください（2つ目以降のデータグループには使用しないでください）。

（17）LIN/UARTモード・ステータス・レジスタ（LMSTn）

アドレス F06D1H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	OMM0	LINリセットステータスモニタ	0：LINリセットモード 1：LINリセットモードでない	R
1	OMM1	LINモードステータスモニタ	0：LINウェイクアップモード 1：LIN動作モード	R
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

OMM0ビット（LINリセットステータスモニタ）

OMM1ビット（LINモードステータスモニタ）

現在の動作モードが確認できます。

（18）LIN/UARTステータス・レジスタ（LSTn）

アドレス F06D2H

	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	FTC	フレーム／ウェイクアップ送信完了フラグ	0：送信未完了 1：レスポンスまたはウェイクアップ送信完了	R/W
1	FRC	フレーム／ウェイクアップ受信完了フラグ	0：受信未完了 1：レスポンスまたはウェイクアップ受信完了	R/W
2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
3	ERR	エラー検出フラグ	0：エラー未検出 1：エラー検出	R
5-4	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
6	D1RC	データ1受信完了フラグ	0：受信未完了 1：データ1受信完了	R/W
7	HTRC	ヘッダ受信完了フラグ	0：受信未完了 1：ヘッダ受信完了	R/W

LSTnレジスタはLINリセットモード移行時、自動的に"00H"になります。

LINリセットモード中は、このレジスタへは書くことができません。LINリセットモード中は"00H"を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには"0"を、クリアしないビットには"1"を8ビット・データ転送命令で書き込んでください。

FTCフラグ（フレーム／ウェイクアップ送信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

レスポンス送信完了またはウェイクアップ送信完了時、"1"となります。このときLIEnレジスタのFTCIEビットが"1"（割り込み許可）の場合、割り込みが発生します。ただし、このビットが"1"の状態で、レスポンス送信完了またはウェイクアップ送信完了した場合は、割り込みが発生しません。クリアする場合は、"0"を書いてください。

9バイト以上のレスポンスデータ送信を行う場合は、データグループ（0～8バイトで可変）の送信完了毎に"1"となります。次のデータグループ送信開始前に"0"を書いてください。

FRCフラグ（フレーム／ウェイクアップ受信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

レスポンス受信完了またはウェイクアップ受信完了時、"1"となります。このときLIEnレジスタのFRCIEビットが"1"（割り込み許可）の場合、割り込みが発生します。ただし、このビットが"1"の状態でレスポンス受信完了またはウェイクアップ受信完了した場合は、割り込みが発生しません。クリアする場合は、"0"を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8バイトで可変）の受信完了毎に"1"となります。次のデータグループ受信開始前に"0"を書いてください。

ERRフラグ（エラー検出フラグ）

エラー検出（LESTnレジスタのフラグのうち1つでも”1”）時、"1"となります。このときLIEnレジスタのERRIEビットが"1"（割り込み許可）の場合、割り込みが発生します。ただし、このビットが"1"の状態でエラー検出した場合は、割り込みが発生しません。クリアする場合は、LESTnレジスタのRPERフラグ、IPERフラグ、CSERフラグ、SFERフラグ、FERフラグ、TERフラグ、BERフラグに"0"を書いてください。ERRフラグが"0"となります。

D1RCフラグ（データ1受信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

データ1受信完了時、"1"となりますが割り込みが発生しません。クリアする場合は、"0"を書いてください。

9バイト以上のレスポンスデータ受信を行う場合は、データグループ（0～8バイトで可変）毎でデータ1受信完了時、"1"となります。次のデータグループ受信開始前に"0"を書いてください。

HTRCフラグ（ヘッダ受信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

ヘッダ受信完了時、"1"となります。このときLIEnレジスタのSHIEビットが"1"（割り込み許可）の場合、割り込みが発生します。ただし、このビットが"1"の状態でヘッダ受信完了した場合は、割り込みが発生しません。クリアする場合は、"0"を書いてください。

ヘッダ受信完了後 レスポンスフィールドで新規ヘッダを検出したい場合は、このビットが"1"となった後、クリアしてください。

（19）LIN/UARTエラー・ステータス・レジスタ（LESTn）

アドレス F06D3H

	7	6	5	4	3	2	1	0
	RPER	IPER	CSER	SFER	FER	TER	—	BER
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	BER	ビットエラーフラグ	0：ビットエラー未検出 1：ビットエラー検出	R/W
1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
2	TER	タイムアウトエラーフラグ	0：フレーム/レスポンスタイムアウトエラー未検出 1：フレーム/レスポンスタイムアウトエラー検出	R/W
3	FER	フレーミングエラーフラグ	0：フレーミングエラー未検出 1：フレーミングエラー検出	R/W
4	SFER	シンクフィールドエラーフラグ	0：シンクフィールドエラー未検出 1：シンクフィールドエラー検出	R/W
5	CSER	チェックサムエラーフラグ	0：チェックサムエラー未検出 1：チェックサムエラー検出	R/W
6	IPER	IDパリティエラーフラグ	0：IDパリティエラー未検出 1：IDパリティエラー検出	R/W
7	RPER	レスポンス準備エラーフラグ	0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出	R/W

LESTnレジスタはLINリセットモード移行時、自動的に"00H"になります。

LINリセットモード中は、このレジスタへは書くことができません。LINリセットモード中は"00H"を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには"0"を、クリアしないビットには"1"を8ビット・データ転送命令で書き込んでください。

BERフラグ（ビットエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのBEREビットが”1”（ビットエラー検出許可）で、ビットエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

TERフラグ（タイムアウトエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのTEREビットが”1”（フレーム／レスポンスタイムアウトエラー検出許可）で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

FERフラグ（フレーミングエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのFEREビットが”1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

SFERフラグ（シンクフィールドエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのSFEREビットが"1"（シンクフィールドエラー検出許可）で、シンクフィールドエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

CSERフラグ（チェックサムエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

IPERフラグ（IDパリティエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのIPEREビットが"1"（IDパリティエラー検出許可）で、IDパリティエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

RPERフラグ（レスポンス準備エラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時、"1"となります。クリアする場合は"0"を書いてください。

（20）LIN/UARTデータ・フィールド・コンフィギュレーション・レジスタ（LDFCn）

アドレス F06D4H

	7	6	5	4	3	2	1	0
	LSS	—	LCS	RCDS	RFDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
3-0	RFDL[3:0]	レスポンスフィールド長設定ビット	b3　b0 0 0 0 0：0バイト＋チェックサム 0 0 0 1：1バイト＋チェックサム 0 0 1 0：2バイト＋チェックサム ： 0 1 1 1：7バイト＋チェックサム 1 0 0 0：8バイト＋チェックサム 上記以外は設定しないでください。	R/W
4	RCDS	レスポンスフィールド通信方向選択ビット	0：受信 1：送信	R/W
5	LCS	チェックサム選択ビット	0：クラシック 1：エンハンス	R/W
6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	LSS	継続選択ビット	0：次に送受信するデータグループは最終である。 1：次に送受信するデータグループは最終ではない。 （次のヘッダ受信を待たずにデータ送受信を継続）	R/W

RFDL[3:0]ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。

データ長は0～8バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

これらのビットは、RTSが"0"（レスポンス送信／受信停止）のときに設定してください。

9バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSSビットが"0"）のみチェックサムを含み、それ以外のデータグループ（LSSビットが"1"）はチェックサムを含みません。

RCDSビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウェイクアップシグナルの通信方向を設定します。

"0"の場合、レスポンスフィールドで受信を行います。また、LINウェイクアップモードでは、ウェイクアップ受信（入力信号Low幅カウント）を行います。

"1"の場合、レスポンスフィールドで送信を行います。また、LINウェイクアップモードでは、ウェイクアップ送信を行います。

このビットは、LIN動作モードではLTRCnレジスタのRTSビットが"0"（レスポンス送信／受信停止）のときに、LINウェイクアップモードではFTSビットが"0"（ヘッダ受信／ウェイクアップ送受信停止）のときに設定してください。

9バイト以上のレスポンスデータ送信またはレスポンス受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

LCSビット（チェックサム選択ビット）

チェックサムの方式の設定をします。

"0"の場合、チェックサムの方式はクラシックとなります。

"1"の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する（LEDEnレジスタのTEREビットが"1"）場合は、このビット設定によりタイムアウト時間が異なります。詳細は「17.4.6　エラーステータス」を参照してください。

レスポンスフィールド長が0バイト（RFDLビットが"0"）のとき、このビットを"1"（エンハンス）にしないでください。

9バイト以上のレスポンス送信またはレスポンス受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9バイト以上のレスポンスデータ通信を行う場合は、最後のデータグループ（LSSビットが"0"）のみチェックサムを含み、それ以外のデータグループ（LSSビットが"1"）はチェックサムを含みません。

このビットは、LTRCnレジスタのRTSビットが"0"（レスポンス送信／受信停止）のときに設定してください。

LSSビット（継続選択ビット）

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

"0"の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または受信を行います。

"1"の場合、次に送信または受信するデータグループが最後でないため、データのみの送信または受信を行ない、チェックサムは含みません。

LIN通信時は、このビットに"1"を設定しないでください。

このビットは、LTRCnレジスタのRTSビットが"0"（レスポンス送信／受信停止）のときに設定してください。

（21）LIN/UART IDバッファ・レジスタ（LIDBn）

アドレス F06D5H

	7	6	5	4	3	2	1	0
	IDP		ID					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
5-0	ID	IDビット	IDフィールドで受信した6ビットのID値を格納	R/W
7-6	IDP	パリティビット	IDフィールドで受信したパリティ（P）ビットを格納	R/W

LIDBnレジスタの値は、ヘッダ受信完了した時に有効です。

LINモード（LIN動作モード、LINウェイクアップモード）では、書き込みできません。

LINセルフテストモード時は、以下の通りになります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「17.6 LINセルフテストモード」を参照してください。

IDビット（IDビット）

LINフレームのIDフィールドで受信した6ビットのIDが格納されます。

IDPビット（パリティビット）

LINフレームのIDフィールドで受信したパリティ（P0、P1）ビットが格納されます。

IDP0ビットがP0、IDP1ビットがP1です。

LEDEnレジスタのIPEREビットが"1"（IDパリティ検出許可）の場合、受信した値と内部で算出した値の確認を行い、一致しない場合は、IPER（IDパリティエラーフラグ）がセットされます。

（22）LINチェックサム・バッファ・レジスタ（LCBRn）

アドレス F06D6H

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
7-0	チェックサムの送受信データを格納します	R/W

LINモード時は、以下の通りとなります。

・LDFCnレジスタのRCDSビットが"1"（送信）の場合

送信した値を読むことができます。書き込みは無効になります。

・LDFCnレジスタのRCDSビットが"0"（受信）の場合

受信した値を読むことができます。書き込みは無効になります。

9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

LINセルフテストモード時は、以下の通りとなります。

・LDFCnレジスタのRCDSビットが"1"（送信）の場合

フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。

・LDFCnレジスタのRCDSビットが"0"（受信）の場合

通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、

受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「17.6 LINセルフテストモード」を参照してください。

このレジスタはLTRCnレジスタのFTSビットが"0"（フレーム送信／ウェイクアップ送受信停止）のときに設定してください。

（23）LIN/UARTデータ・バッファm・レジスタ（LDBnm）（m=1～8）

アドレス LDBn1 F06D8H、LDBn2 F06D9H、LDBn3 F06DAH、LDBn4 F06DBH、
LDBn5 F06DCH、LDBn6 F06DDH、LDBn7 F06DEH、LDBn8 F06DFH

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定、または受信データを読み出し	00H～FFH	R/W

レスポンス送信の場合：

レスポンスフィールドで送信するデータを設定します。

これらのレジスタは、RTSが"0"（レスポンス送信／受信停止）のときに設定してください。

レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。

受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。

これらのレジスタは、RTSが"1"（レスポンス送信／受信開始）のときに読み出さないでください。

LINセルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LINセルフテストモードの詳細は、「17.6 LINセルフテストモード」を参照してください。

17.2.3　UART関連レジスタ

（1）入力切り替え制御レジスタ（ISC）

ISCレジスタのISC2-ISC4ビットは、LIN/UARTモジュール（RLIN3）で使用します。

ビット2、3、4をそれぞれ1に設定すると、LIN/UARTモジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により、ISCレジスタは00Hになります。

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	0	ISC0

ISC4[注]	外部割り込み　（INTP14）の入力選択
0	INTP14端子の入力信号を外部割り込みに選択
1	LRXD2端子の入力信号を外部割り込みに選択

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12端子の入力信号を外部割り込みに選択
1	LRXD1端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11端子の入力信号を外部割り込みに選択
1	LRXD0端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0端子の入力信号を外部割り込みに選択（ウェイクアップ信号検出）

注　144ピン、100ピン製品のみ

注意　ビット7-5, 1に必ず0を設定してください。

80, 64, 48ピン製品では、ISC4に0を設定してください。

（2）LINチャネル選択レジスタ（LCHSEL）

アドレス F007BH

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	LSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
1-0	LSEL[1:0]	LINチャネル選択ビット	b1 b0 0 0：LIN0選択（LIN0のレジスタアクセス可能） 0 1：LIN1選択（LIN1のレジスタアクセス可能） 1 0：LIN2選択（LIN2のレジスタアクセス可能）注 上記以外は設定しないでください。	R/W
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LSEL[1:0]ビット（LINチャネル選択ビット）

LIN/UARTモジュールのレジスタは、CPUのメモリマップ上に直接マッピングされていないため、レジスタウィンドウを通してアクセスします。レジスタウィンドウは、F06C1H～F06E9H番地にマッピングされています。

このビットに値を設定すると、対応するチャネルのレジスタが一括してレジスタウィンドウにマッピングされます。

"00b"の場合、LIN0のレジスタがマッピングされます。

"01b"の場合、LIN1のレジスタがマッピングされます。

"10b"の場合、LIN2のレジスタがマッピングされます。

使用したいチャネルのレジスタアクセス前に、使用したいチャネルが該当する値に変更してください。

注 144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は"10b"を設定しないでください。

（3）周辺イネーブル・レジスタ2（PER2）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット（1）してください。

PER2レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により、00Hになります。

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	IEBUSEN	LIN2EN注	LIN1EN	LIN0EN	0	CAN0EN

IEBUSEN	IEBBの入力クロック供給の制御
0	入力クロック供給停止 ・IEBBで使用するSFRへのライト不可 ・IEBBはリセット状態
1	入力クロック供給 ・IEBBで使用するSFRへのリード／ライト可

LIN2EN注	LIN2の入力クロック供給の制御
0	入力クロック供給停止 ・LIN2で使用するSFRへのライト不可 ・LIN2はリセット状態
1	入力クロック供給 ・LIN2で使用するSFRへのリード／ライト可

LIN1EN	LIN1の入力クロック供給の制御
0	入力クロック供給停止 ・LIN1で使用するSFRへのライト不可 ・LIN1はリセット状態
1	入力クロック供給 ・LIN1で使用するSFRへのリード／ライト可

LIN0EN	LIN0の入力クロック供給の制御
0	入力クロック供給停止 ・LIN0で使用するSFRへのライト不可 ・LIN0はリセット状態
1	入力クロック供給 ・LIN0で使用するSFRへのリード／ライト可

CAN0EN	CANの入力クロック供給の制御
0	入力クロック供給停止 ・CANで使用するSFRへのライト不可 ・CANはリセット状態
1	入力クロック供給 ・CANで使用するSFRへのリード／ライト可

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

（4）LINクロック選択レジスタ（LINCKSEL）

LINへの通信クロック源を制御するレジスタです。

アドレス：F02C3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
LINCKSEL	0	LIN2MCKE注	LIN1MCKE	LIN0MCKE	0	LIN2MCK注	LIN1MCK	LIN0MCK

LIN2MCKE注	LIN2の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN1MCKE	LIN1の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN0MCKE	LIN0の通信クロック源の供給/停止制御
0	LIN通信クロック源を停止
1	LIN通信クロック源を供給

LIN2MCK注	LIN2の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN1MCK	LIN1の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

LIN0MCK	LIN0の通信クロック源の選択制御
0	f_{CLK}クロックを選択
1	f_{MX}クロックを選択

注　144ピン、100ピン版の製品のみ。

144ピン、100ピン版の製品以外は0を設定してください。

注意1. LINnMCKE (n = 0-2) を1に（動作クロック供給）する前に、LINnMCKでLINnの動作クロックを選択してください。

2. SNOOZE時にLINnを動作させる場合、LINnMCK = 0に設定してください。

3. LINnMCKを "1"（f_{MX}クロックを選択）で使用する場合、f_{CLK}クロックはLIN通信クロック源の1.2倍以上の周波数でご使用ください。

（5）外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

詳細は「22.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）」を参照してください。

（6）LINウェイクアップ・ボー・レート選択レジスタ（LWBRn）

アドレス F06C1H

	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			―
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	―	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
3-1	LPRS[2:0]	プリスケーラクロック選択ビット	b3 b1 0 0 0：1/1 0 0 1：1/2 0 1 0：1/4 0 1 1：1/8 1 0 0：1/16 1 0 1：1/32 1 1 0：1/64 1 1 1：1/128	R/W
7-4	NSPB[3:0]	ビット・サンプリング数選択ビット	b7 b4 0 0 0 0：16サンプリング 0 1 0 1：6サンプリング 0 1 1 0：7サンプリング 0 1 1 1：8サンプリング 1 0 0 0：9サンプリング 1 0 0 1：10サンプリング 1 0 1 0：11サンプリング 1 0 1 1：12サンプリング 1 1 0 0：13サンプリング 1 1 0 1：14サンプリング 1 1 1 0：15サンプリング 1 1 1 1：16サンプリング 上記以外は設定しないでください。	R/W

LWBRnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

LPRSビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。

このプリスケーラによりLIN通信クロック源を分周します。

NSPBビット（ビット・サンプリング数選択ビット）

1Tbit（ボー・レートの逆数）のサンプリング数を選択するビットです。

UARTモード（LIN/UARTモード・レジスタのLIN/UARTモード選択ビットが01b）で使用するときは、これらのビットを6～16サンプリングで設定可能です。

（7）LIN/UARTボー・レート・プリスケーラレジスタ（LBRPn）

アドレス F06C3H, F06C2H

	LBRPn1								LBRPn0							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
15-0	設定値をL（0～65535）とすると、ボー・レート・プリスケーラはプリスケーラクロックをL+1分周する。	0000H～FFFFH	R/W

LBRPnレジスタはLMSTnレジスタのOMM0ビットが"0"(LINリセットモード)のときに設定してください。

このレジスタの設定値をLとすると、ボー・レート・プリスケーラはLWBRnレジスタのLPRSビット（プリスケーラクロック選択ビット）で分周したクロックをL＋1分周します。

LBRPnレジスタは、下記レジスタで8ビットアクセスが可能です。

・下位8ビット：LIN/UARTボー・レート・プリスケーラ0レジスタ（LBRPn0）、アドレス F06C2H

・上位8ビット：LIN/UARTボー・レート・プリスケーラ1レジスタ（LBRPn1）、アドレス F06C3H

（8）UARTスタンバイ・コントロール・レジスタ（LUSCn）

アドレス F06C5H

	7	6	5	4	3	2	1	0
	－	－	－	－	－	URDCC	USEC	UWC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	UWC	UARTスタンバイウェイクアップ制御ビット	0：STOPモードからの受信動作起動停止 1：STOPモードからの受信動作起動許可	R/W
1	USEC	UARTスタンバイエラー制御ビット	0：エラー検出割り込み発生許可 1：エラー検出割り込み発生停止	R/W
2	URDCC	UARTスタンバイ受信データ比較制御ビット	0：SNOOZEモード時、受信データとLIDBnレジスタの比較禁止 1：SNOOZEモード時、受信データとLIDBnレジスタの比較許可	R/W
7-3	－	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LUSCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

UWCビット（UARTスタンバイウェイクアップ制御ビット）

STOPモード中に受信端子の立ち下がりの検出によるSNOOZEモードへの遷移を許可／禁止を設定します。

"0"の場合、STOPモード中に受信端子の立ち下がりを検出してもSNOOZEモードへの遷移はせず、受信動作を起動しません。

"1"の場合、STOPモード中に受信端子の立ち下がりの検出によりSNOOZEモードへ遷移し、受信動作を起動します。

USECビット（UARTスタンバイエラー制御ビット）

SNOOZEモード中のエラー検出およびステータス変化による割り込み発生の許可／禁止を設定します。

"0"の場合、SNOOZEモード中にエラー（フレーミングエラー、パリティエラー）またはステータス（拡張ビット検出）変化を検出すると該当フラグが"1"となり、エラー検出割り込みが発生します。

"1"の場合、SNOOZEモード中にエラー（フレーミングエラー、パリティエラー）またはステータス（拡張ビット検出）変化を検出しても、該当フラグが変化せず、エラー検出割り込みも発生せずにSTOPモードに遷移します。

UWCビットが"0"（STOPモードからの受信動作起動停止）のとき、このビットを"1"（エラー検出割り込み発生停止）に設定しないでください。

このビットはUWCビットが”1”（STOPモードからの受信動作起動許可）の場合に有効です。

URDCCビット（UARTスタンバイ受信データ比較制御ビット）

SNOOZEモード中に受信したデータとLIDBnレジスタの値の比較の許可／禁止を設定します。

"0"の場合、SNOOZEモード中に受信したデータとLIDBnレジスタの値の比較を行わず、該当する割り込みが発生します。

"1"の場合、SNOOZEモード中に受信したデータとLIDBnレジスタの値の比較を行い、一致すると受信完了割り込みが発生します。一致しないときは、割り込みが発生せず、STOPモードに遷移します。

UWCビットが"0"（STOPモードからの受信動作起動停止）のとき、このビットを"1"（SNOOZEモード時、受信データとLIDBnレジスタの比較許可）に設定しないでください。

このビットを"1"（SNOOZEモード時、受信データとLIDBnレジスタの比較許可）にする場合は、ビット長を8ビット（LBFCnレジスタのUBLSビットが"0"（UART 8ビット通信）かつLUORn1レジスタのUEBEビットが"0"（拡張ビット動作禁止））でのみ使用してください。

このビットはUWCビットが”1”（STOPモードからの受信動作起動許可）の場合に有効です。

（9）LIN/UARTモード・レジスタ（LMDn）

アドレス F06C8H

	7	6	5	4	3	2	1	0
	—	—	LRDNFS	—	—	—	LMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
1-0	LMD[1:0]	LIN/UARTモード選択ビット	b1 b0 0 1：UARTモード	R/W
4-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5	LRDNFS	LIN受信データノイズフィルタ禁止ビット	0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない	R/W
6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LMDnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

LMD[1:0]ビット（LIN/UARTモード選択ビット）

LIN/UARTモジュールのモードを選択するビットです。

UARTとして使用する場合は、これらのビットを"01b"に設定してください。

"01b"の場合、LIN/UARTモジュールはUARTとして動作します。

LRDNFSビット（LIN受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効/無効を選択するビットです。

"0"の場合、データ受信時のノイズフィルタは有効です。

"1"の場合、データ受信時のノイズフィルタは無効です。

（10）LINブレーク・フィールド・コンフィギュレーション・レジスタ／UARTコンフィギュレーション・レジスタ（LBFCn）

アドレス F06C9H

	7	6	5	4	3	2	1	0
	—	UTPS	URPS	UPS[1:0]		USBLS	UBOS	UBLS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	UBLS	UARTキャラクタ長選択ビット	0：UART 8ビット通信 1：UART 7ビット通信	R/W
1	UBOS	UART転送フォーマット選択ビット	0：LSBファースト 1：MSBファースト	R/W
2	USBLS	UARTストップビット長選択ビット	0：ストップビット 1ビット 1：ストップビット 2ビット	R/W
4-3	UPS[1:0]	UARTパリティ選択ビット	b4 b3 0 0：パリティなし 0 1：偶数パリティ 1 0：0パリティ 1 1：奇数パリティ	R/W
5	URPS	UART入力極性切り替えビット	0：受信データ通常入力 1：受信データ反転入力	R/W
6	UTPS	UART出力極性切り替えビット	0：送信データ通常出力 1：送信データ反転出力	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LBFCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

UBLSビット（UARTキャラクタ長選択ビット）

UART通信1フレームのキャラクタ長を設定します。

"0"の場合、1フレームのキャラクタ長が8ビットで通信します。

"1"の場合、1フレームのキャラクタ長が7ビットで通信します。

1フレームのキャラクタ長を9ビットで使用する場合（LUORn1レジスタのUEBEビットが"1"）は、このビットの設定は無効です。

UBOSビット（UART転送フォーマット選択ビット）

UART通信データのビットオーダーを設定します。

"0"の場合、LSBファーストで通信します。

"1"の場合、MSBファーストで通信します。

USBLSビット（UARTストップビット長選択ビット）

UART通信のストップビット長を設定します。

"0"の場合、1ビットのストップビット長で送信します。

"1"の場合、2ビットのストップビット長で送信します。

UPS[1:0]ビット（UARTパリティ選択ビット）

UART通信のパリティを設定します。

"00b"の場合、パリティなしで通信します。

・送信

送信データにパリティビットを付加しません。

・受信

パリティ処理なしで受信します。そのため、パリティエラーは発生しません。

"01"の場合、偶数パリティで通信します。

・送信

送信データ内の"1"の個数が奇数の場合、パリティビットに"1"を付加し、送信データ内の"1"の個数が偶数の場合、パリティビットに"0"を付加します。

・受信

パリティビットを含めた受信データ内の"1"の個数が、奇数の場合にパリティエラーを発生します。

"10"の場合、0パリティで通信します。

・送信

送信データ内の"1"の個数にかかわらず、パリティビットに"0"を付加します。

・受信

パリティビットの値の判定を実施しません。そのため、パリティエラーは発生しません。

"11"の場合、奇数パリティで通信します。

・送信

送信データ内の"1"の個数が奇数の場合、パリティビットに"0"を付加し、送信データ内の"1"の個数が偶数の場合、パリティビットに"1"を付加します。

・受信

パリティビットを含めた受信データ内の"1"の個数が、偶数の場合にパリティエラーを発生します。

URPSビット（UART入力極性切り替えビット）

UART通信の入力極性を設定します。

"0"の場合、受信データをそのまま取り込みます。

"1"の場合、受信データを反転して取り込みます。

このビットの設定は、UARTフレームのすべてのビットで有効です。

半二重通信で使用するときは、UTPSビットと設定を合わせてください。

UTPSビット（UART出力極性切り替えビット）

UART通信の出力極性を設定します。

"0"の場合、送信データをそのまま出力します。

"1"の場合、送信データを反転して出力します。

このビットの設定は、UARTフレームのすべてのビットで有効です。

半二重通信で使用するときは、URPSビットと設定を合わせてください。

（11）LIN/UARTスペース・コンフィギュレーション・レジスタ（LSCn）

アドレス F06CAH

	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
2-0	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
3	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5-4	IBS[1:0]	インタバイトスペース設定ビット	b5 b4 0　0：0 Tbit 0　1：1 Tbit 1　0：2 Tbits 1　1：3 Tbits	R/W
7-6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LSCnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

IBS[1:0]ビット（インタバイトスペース設定ビット）

UARTバッファによる送信時、UARTフレーム間のスペース幅を設定します。

0 Tbit～3 Tbitsを設定できます。

送信データバッファ（LUTDRnレジスタ）およびウェイト用送信データバッファ（LUWTDRnレジスタ）から送信を行う場合、これらのビットの設定は無効です。IBS[1:0]ビットは"00b"に設定してください。

（12）LIN/UARTエラー検出許可レジスタ（LEDEn）

アドレス F06CDH

	7	6	5	4	3	2	1	0
	—	—	—	—	FERE	OERE	—	BERE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	BERE	ビットエラー検出許可ビット	0：ビットエラー検出禁止 1：ビットエラー検出許可	R/W
1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
2	OERE	オーバランエラー検出許可ビット	0：オーバランエラー検出禁止 1：オーバランエラー検出許可	R/W
3	FERE	フレーミングエラー検出許可ビット	0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可	R/W
4	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LEDEnレジスタはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

BEREビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。

"0"の場合、ビットエラーを検出しません。

"1"の場合、ビットエラーを検出します。

このビットが"1"の場合の検出結果は、LESTnレジスタのBERフラグに反映されます。

LIN/UARTモジュールを全二重通信で使用する場合は、このビットを"1"にしないでください。

ビットエラーの詳細は、「17.5.5　エラーステータス」を参照してください。

LWBRnレジスタのNSPBビットが"0101b"（6サンプリング）かつLMDnレジスタのLRDNFSビットが"0"（ノイズフィルタを使用する）のときに、このビットを設定しないでください。

OEREビット（オーバランエラー検出許可ビット）

オーバランエラー検出の許可／禁止を設定します。

"0"の場合、オーバランエラーを検出しません。

"1"の場合、オーバランエラーを検出します。

このビットが"1"の場合の検出結果は、LESTnレジスタのOERフラグに反映されます。

オーバランエラーの詳細は、「17.5.5　エラーステータス」を参照してください。

FEREビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。

"0"の場合、フレーミングエラーを検出しません。

"1"の場合、フレーミングエラーを検出します。

このビットが"1"の場合の検出結果は、LESTnレジスタのFERフラグに反映されます。

フレーミングエラーの詳細は、「17.5.5　エラーステータス」を参照してください。

（13）LIN/UARTコントロール・レジスタ（LCUCn）

アドレス F06CEH

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	OM0	LINリセットビット	0：LINリセットモード 1：LINリセットモードでない	R/W
1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

このレジスタに書き込みをした後は、書き込んだ値がLMSTnレジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM0ビット（LINリセットビット）

LINリセットモードへの移行／LINリセットモードの解除を選択するビットです。

"0"にすると、LINリセットモードになります。

"1"にすると、LINリセットモードは解除されます。

（14）LIN/UART送信コントロール・レジスタ（LTRCn）

アドレス F06D0H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
1	RTS	UARTバッファ送信開始ビット	0：UARTバッファ送信停止 1：UARTバッファ送信開始	R/W
2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
7-3	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

RTSビット（UARTバッファ送信開始ビット）

UARTバッファからデータ送信を行う場合に"1"にしてください。

このビットは"1"のみ書けます。"0"は書けません。

このビットは、LUOERnレジスタのUTOEビットが"1"（送信動作許可）かつLSTnレジスタのUTSビットが"0"（送信動作中でない）のときに書いてください。

設定後、エラーの有無に関わらずLDFCnレジスタのMDLビットで設定したデータ数のデータを送信完了したとき、自動的に"0"になります。

LINリセットモードに移行したとき、自動的に"0"になります。

このビットは、LMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときは書けません。

LDFCnレジスタのUTSWビットが"1"（UARTバッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる）でこのビットに"1"を書き込む場合は、ストップビットの受信時にのみ行ってください。

（15）LIN/UARTモード・ステータス・レジスタ（LMSTn）

アドレス F06D1H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	OMM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	OMM0	LINリセットステータスモニタ	0：LINリセットモード 1：LINリセットモードでない	R
1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

OMM0ビット（LINリセットステータスモニタ）

LINリセットモードの状態かどうかを確認できます。

"0"の場合、LIN/UARTモジュールはLINリセットモードです。

"1"の場合、LIN/UARTモジュールはLINリセットモードではありません。

（16）LIN/UARTステータス・レジスタ（LSTn）

アドレス F06D2H

	7	6	5	4	3	2	1	0
	—	—	URS	UTS	ERR	—	—	FTC
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	FTC	バッファ送信完了フラグ	0：UARTバッファ送信未完了 1：UARTバッファ送信完了	R/W
1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
3	ERR	エラー検出フラグ	0：エラー未検出 1：エラー検出	R
4	UTS	送信ステータス	0：送信動作中ではない 1：送信動作中	R
5	URS	受信ステータス	0：受信動作中ではない 1：受信動作中	R
7-6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LSTnレジスタはLINリセットモード移行時、自動的に"00H"になります。

LINリセットモード中は、このレジスタへは書くことができません。LINリセットモード中は"00H"を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには"0"を、クリアしないビットには"1"を8ビット・データ転送命令で書き込んでください。

FTCフラグ（バッファ送信完了フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

UARTバッファからLDFCnレジスタのMDLビットで設定したデータ数のデータをエラーの有無に関わらず 送信完了時、"1"となります。このとき割り込みが発生します。クリアする場合は"0"を書いてください。

ERRフラグ（エラー検出フラグ）

エラー検出（LESTnレジスタのフラグのうち1つでも”1”）時、"1"となります。このとき、割り込みが発生します。ただし、このビットが"1"の状態で、エラー検出、拡張ビット検出およびID一致した場合は、割り込みが発生しません。クリアする場合は、LESTnレジスタのUPERフラグ、IDMTフラグ、EXBTフラグ、FERフラグ、OERフラグ、BERフラグに"0"を書いてください。ERRフラグが"0"となります。

UTSフラグ（送信ステータスフラグ）

送信動作開始時に"1"となります。送信動作中は"1"を保持します。

送信動作開始となるのは以下の条件です。

・LUTDRnレジスタまたはLUWTDRnレジスタに送信データがセットされたとき

・LTRCnレジスタのRTSビットに"1"がセットされたとき

送信動作終了時に"0"となります。送信動作停止中は"0"を保持します。

送信動作終了となるのは以下の条件です。

・LUTDRnレジスタまたはLUWTDRnレジスタにセットされたデータの送信完了かつ次の送信データが設定されていないとき

・UARTバッファからの送信が完了したとき（LTRCnレジスタのRTSビットが"0"になったとき）

URSフラグ（受信ステータスフラグ）

受信動作開始時に"1"となります。受信動作中は"1"を保持します。

受信動作開始となるのは以下の条件です。

・スタートビットを検出したとき

受信動作終了時に"0"となります。受信動作停止中は"0"を保持します。

受信動作終了となるのは、以下の条件です。

・ストップビット1ビット目のサンプリングポイント

（17）LIN/UARTエラー・ステータス・レジスタ（LESTn）

アドレス F06D3H

	7	6	5	4	3	2	1	0
	—	UPER	IDMT	EXBT	FER	OER	—	BER
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	BER	ビットエラーフラグ	0：ビットエラー未検出 1：ビットエラー検出	R/W
1	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
2	OER	オーバランエラーフラグ	0：オーバランエラー未検出 1：オーバランエラー検出	R/W
3	FER	フレーミングエラーフラグ	0：フレーミングエラー未検出 1：フレーミングエラー検出	R/W
4	EXBT	拡張ビット検出フラグ	0：拡張ビット未検出 1：拡張ビット検出	R/W
5	IDMT	ID一致フラグ	0：受信データとID値不一致 1：受信データとID値一致	R/W
6	UPER	パリティエラーフラグ	0：パリティエラー未検出 1：パリティエラー検出	R/W
7	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LESTnレジスタはLINリセットモード移行時、自動的に"00H"になります。

LINリセットモード中は、このレジスタへは書くことができません。LINリセットモード中は"00H"を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには"0"を、クリアしないビットには"1"を8ビット・データ転送命令で書き込んでください。

BERフラグ（ビットエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのBEREビットが”1”（ビットエラー検出許可）で、ビットエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

OERフラグ（オーバランエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのOEREビットが”1”（オーバランエラー検出許可）で、オーバランエラー検出時、"1"となります。クリアする場合は"0"を書いてください。

FERフラグ（フレーミングエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LEDEnレジスタのFEREビットが”1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、"1"となります。

SNOOZEモードで使用する場合は下記条件が必要です。

・LUSCnレジスタのUWCビットが"1"（STOPモードからの受信動作起動許可）

・LUSCnレジスタのUSECビットが"0"（エラー検出割り込み発生許可）

クリアする場合は"0"を書いてください。

EXBTフラグ（拡張ビット検出フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

LUORn1レジスタのUEBEビットが"1"（拡張ビット動作許可）で、受信した拡張ビットがLUORn1レジスタのUEBDLビットの値と一致した時、"1"となります。

SNOOZEモードで使用する場合は下記条件が必要です。

・LUSCnレジスタのUWCビットが"1"（STOPモードからの受信動作起動許可）

・LUSCnレジスタのUSECビットが"0"（エラー検出割り込み発生許可）

・LUORn1レジスタのUECDビットが"0"（拡張ビット比較許可）

クリアする場合は"0"を書いてください。

IDMTフラグ（ID一致フラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

以下のすべての条件が成立したときに"1"となります。

・LUORn1レジスタのUEBEビットが"1"（拡張ビット動作許可）

・LUORn1レジスタのUECDビットが"0"（拡張ビット比較許可）

・LUORn1レジスタのUEBDCEビットが"1"（拡張ビット検出後のデータ比較をする）

・受信した拡張ビットがLUORn1レジスタのUEBDLビットの値と一致

・受信データのうち拡張ビットを除く8ビットの値がLIDBnレジスタの値と一致

クリアする場合は"0"を書いてください。

UPERフラグ（パリティエラーフラグ）

"0"のみ書けます。"1"を書いた場合は書く前の値を保持します。

パリティエラー検出時、"1"となります。

SNOOZEモードで使用する場合は下記条件が必要です。

・LUSCnレジスタのUWCビットが"1"（STOPモードからの受信動作起動許可）

・LUSCnレジスタのUSECビットが"0"（エラー検出割り込み発生許可）

クリアする場合は"0"を書いてください。

（18）LIN/UARTデータ・フィールド・コンフィギュレーション・レジスタ（LDFCn）

アドレス F06D4H

	7	6	5	4	3	2	1	0
	—	—	UTSW	—	MDL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
3-0	MDL[3:0]	UARTバッファデータ長設定ビット	b3 b0 0 0 0 0 : 9データ 0 0 0 1 : 1データ 0 0 1 0 : 2データ 0 0 1 1 : 3データ 0 1 0 0 : 4データ 0 1 0 1 : 5データ 0 1 1 0 : 6データ 0 1 1 1 : 7データ 1 0 0 0 : 8データ 1 0 0 1 : 9データ 上記以外は設定しないでください。	R/W
4	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W
5	UTSW	送信開始ウェイトビット	0 : UARTバッファ送信要求時、すぐに送信を開始 1 : UARTバッファ送信要求時、受信のストップビット完了まで送信開始を遅らせる	R/W
7-6	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

MDL[3:0]ビット（UARTバッファデータ長設定ビット）

UARTバッファのデータ長を設定します。

これらのビットは、RTSが"1"（UARTバッファ送信許可）のときは書けません。

UTSWビット（通信開始ウェイトビット）

UARTバッファの送信開始タイミングを制御します。

"0"の場合、UARTバッファ送信開始要求時、すぐに送信を開始します。

"1"の場合、UARTバッファ送信開始要求時、受信のストップビット完了まで待った後に送信を開始します。

なお、LBFCnレジスタのUSBLSビットによってストップビット長を2ビットにしていても、1ビット分しか待ちません。

このビットは、LTRCnレジスタのRTSビットに"1"を設定したときに有効になります。

このビットは、RTSビットが"1"（UARTバッファ送信許可）のときに書けません。

半二重通信で受信から送信に切り替える時以外で、このビットを"1"にしないでください。

（19）LIN/UART IDバッファ・レジスタ（LIDBn）

アドレス F06D5H

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
7-0	拡張ビットデータ比較およびSNOOZEモード時データ比較で参照するID値を設定。	R/W

LUORn1レジスタのUEBEビットが"1"（拡張ビット動作許可）かつUEBDCEビットが"1"（拡張ビット検出後のデータ比較をする）で使用する際に、受信データと比較する値を設定してください。

LUSCnレジスタのUWCビットが"1"（STOPモードからの受信動作起動許可）かつURDCCビットが"1"（SNOOZEモード時、受信データとLIDBnレジスタの比較許可）で使用する際に、受信データと比較する値を設定してください。

LIDBnレジスタは、LSTnレジスタのURSビットが"0"（受信動作中でない）のときに書いてください。

（20）UARTデータ・バッファ0レジスタ（LUDBn0）

アドレス F06D7H

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定。	00H～FFH	R/W

UARTバッファからデータ長 9データ（LDFCnレジスタのMDLビットが（"0H"または"9H"（9データ））で送信する際に、始めに送信するデータを設定します。

LUDBn0レジスタは、RTSビットが"0"（UARTバッファ送信停止）のときに書いてください。

UARTバッファの詳細は、「17.5.3 送信データのバッファ処理」を参照してください。

（21）LIN/UARTデータ・バッファm・レジスタ（LDBnm）（m=1～8）

アドレス LDBn1 F06D8H、LDBn2 F06D9H、LDBn3 F06DAH、LDBn4 F06DBH、
LDBn5 F06DCH、LDBn6 F06DDH、LDBn7 F06DEH、LDBn8 F06DFH

	7	6	5	4	3	2	1	0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
7-0	送信データを設定	00H～FFH	R/W

UARTバッファから送信するデータを設定します。

これらのレジスタは、RTSビットが"0"（UARTバッファ送信停止）のときに書いてください。

UARTバッファの詳細は、「17.5.3　送信データのバッファ処理」を参照してください。

（22）UARTオペレーション許可レジスタ（LUOERn）

アドレス F06E0H

	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	UROE	UTOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	UTOE	送信動作許可ビット	0：送信動作禁止 1：送信動作許可	R/W
1	UROE	受信動作許可ビット	0：受信動作禁止 1：受信動作許可	R/W
7-2	−	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

LUOERnレジスタはLINリセットモード移行時、自動的に"00H"になります。

LINリセットモード中は、このレジスタへは書くことができません。LINリセットモード中は"00H"を保持します。

UTOEビット（送信動作許可ビット）

送信動作の許可/禁止を設定します。

"0"の場合、送信動作を禁止します。

"1"の場合、送信動作を許可します。

送信中にこのビットをクリアしないでください。送信中に通信を中断する場合は、LCUCnレジスタのOM0ビットに"0"（LINリセットモード）を設定し、LINリセットモードに遷移させてください。ただし、このとき受信動作も中断されます。

UROEビット（受信動作許可ビット）

受信動作の許可/禁止を設定します。

"0"の場合、受信動作を禁止します。

"1"の場合、受信動作を許可します。

受信中にこのビットをクリアしないでください。受信中に通信を中断する場合は、LCUCnレジスタのOM0ビットに"0"（LINリセットモード）を設定し、LINリセットモードに遷移させてください。ただし、このとき送信動作も中断されます。

UARTバッファからデータを送信している途中で、このビットを"1"にしないでください。

（23）UARTオプション・レジスタ1（LUORn1）

アドレス F06E1H

	7	6	5	4	3	2	1	0
	—	—	—	UECD	UTIGTS	UEBDCE	UEBDL	UEBE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
0	UEBE	拡張ビット許可ビット	0：拡張ビット動作禁止 1：拡張ビット動作許可	R/W
1	UEBDL	拡張ビット検出レベル選択ビット	0：拡張ビット値"0"を拡張ビット検出レベルに選択 1：拡張ビット値"1"を拡張ビット検出レベルに選択	R/W
2	UEBDCE	拡張ビット・データ比較許可ビット	0：拡張ビット検出後のデータ比較をしない 1：拡張ビット検出後のデータ比較をする	R/W
3	UTIGTS	送信割り込み発生タイミング選択ビット	0：送信開始時に送信割り込み発生 1：送信完了時に送信割り込み発生	R/W
4	UECD	拡張ビット比較禁止ビット	0：拡張ビット比較許可 1：拡張ビット比較禁止	R/W
7-5	–	予約ビット	読むと"0"が読めます。書く場合、"0"としてください。	R/W

UEBEビット（拡張ビット許可ビット）

拡張ビットの動作の許可／禁止を設定します。

"0"の場合、拡張ビット動作を禁止します。

"1"の場合、拡張ビット動作を許可します。

このビットはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

UARTバッファを使用する場合は、このビットに"1"をセットしないでください。

UEBDLビット（拡張ビット検出レベル選択ビット）

UEBEビットが"1"（拡張ビット動作許可）かつUECDビットが"0"（拡張ビット比較許可）のときに、拡張ビットとして検出するレベルを設定します。

"0"の場合、拡張ビット値"0"を拡張ビット検出レベルとします。

"1"の場合、拡張ビット値"1"を拡張ビット検出レベルとします。

このビットはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

UARTバッファを使用する場合は、このビットに"1"をセットしないでください。

UEBDCE（拡張ビット・データ比較許可ビット）

拡張ビット検出後、拡張ビットを除く8ビット受信データとLIDBnレジスタの値比較の許可／禁止を設定します。

"0"の場合、UEBDLビットで選択したレベルが拡張ビットとして検出されたときに、LURDRnレジスタに受信した値とLIDBnレジスタの値の比較動作を禁止します。

"1"の場合、UEBDLビットで選択したレベルが拡張ビットとして検出されたときに、LURDRnレジスタに受信した値とLIDBnレジスタの値の比較動作を許可します。

このビットはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

UEBEビットを"0"（拡張ビット動作禁止）で使用する場合は、このビットに"1"をセットしないでください。

UECDビットを"1"（拡張ビット比較禁止）で使用する場合は、このビットに"1"をセットしないでください。

UARTバッファを使用する場合は、このビットに"1"をセットしないでください。

LUSCnレジスタのUWCビットを"1"（STOPモードからの受信動作起動許可）で使用する場合は、このビットに"1"をセットしないでください。

UTIGTSビット（送信割り込み発生タイミング選択ビット）

送信割り込み発生タイミングを設定します。

"0"の場合、送信開始時に送信割り込みが発生します。

"1"の場合、送信完了時に送信割り込みが発生します。

"0"の状態でUARTバッファからの送信を行う場合は、LDFCnレジスタのMDLビットで設定したデータ長の最終データの送信開始時にのみ送信割り込みが発生します。

"1"の状態でUARTバッファからの送信を行う場合は、LDFCnレジスタのMDLビットで設定したデータ長の最終データの送信完了時にのみ送信割り込みが発生します。

UECDビット（拡張ビット比較禁止ビット）

UEBEビットが"1"（拡張ビット動作許可）のときに、受信した拡張ビットの値とUEBDLビットの値との比較の禁止／許可を設定します。

"0"の場合、拡張ビット受信時に受信した拡張ビットとUEBDLビットの値の比較を許可します。

"1"の場合、拡張ビット受信時に受信した拡張ビットとUEBDLビットの値の比較を禁止します。

このビットはLMSTnレジスタのOMM0ビットが"0"（LINリセットモード）のときに設定してください。

UARTバッファを使用する場合は、このビットに"1"をセットしないでください。

UEBDCEビットを"1"（拡張ビット検出後のデータ比較をする）で使用する場合は、このビットに"1"をセットしないでください。

（24）UART送信データ・レジスタ（LUTDRn）

アドレス F06E5H、F06E4H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
8-0	送信データを設定	000H～1FFH	R/W
15-9	予約ビット 読むと"0"が読めます。書く場合、"0"としてください。	－	R/W

UART送信データ・レジスタにバッファから送信するデータを設定します。

LUOERnレジスタのUTOEビットが"1"のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、8ビットアクセス可能です。

9ビット通信の場合は8ビットアクセスしないでください。

UARTバッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

LUWTDRnレジスタへの書き込みにより送信要求が発生しているときは、このレジスタにデータの書き込みをしないでください。

連続送信する場合、送信割り込み発生前にこのレジスタに次のデータを書き込まないでください。

通信フォーマットの設定によるビット配置を下記に示します。

項目	LUTDRn								
	8	7	6	5	4	3	2	1	0
7ビットLSBファースト	－	－	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
7ビットMSBファースト	－	－	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6
8ビットLSBファースト	－	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
8ビットMSBファースト	－	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6	ビット7
9ビットLSBファースト	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
9ビットMSBファースト	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6	ビット7	ビット8

（25）UART受信データ・レジスタ（LURDRn）

アドレス F06E7H、F06E6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
8-0	受信データを読み出し	000H～1FFH	R
15-9	予約ビット 読むと"0"が読めます。書く場合、"0"としてください。	－	R/W

受信データ・レジスタから受信データを読み出すことができます。

LUOERnレジスタのUROEビットが"1"のときに、受信データがこのレジスタに格納され、読み出すことができます。

このレジスタは、受信データのストップビットで更新されます。

このレジスタは、パリティやストップビットでエラーが発生したときも値は更新されます。

しかし、LEDEnレジスタのOEREビットが"1"（オーバランエラー検出許可）で、オーバランエラー発生時は値が更新されません。OEREビットが"0"（オーバランエラー検出禁止）で、オーバランエラー発生時は値が更新されます。

LEDEnレジスタのOEREビットが"1"（オーバランエラー検出許可）で、受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）が発生した場合は、このレジスタを読み出してください。このレジスタを読み出さないままで次のデータを受信すると、オーバランエラーが発生します。

このレジスタは8ビットアクセス可能です。ただし、拡張ビット使用時（LUORn1レジスタのUEBEビットが"1"（拡張ビット動作許可））は8ビットアクセスしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

項目	LURDRn								
	8	7	6	5	4	3	2	1	0
7ビットLSBファースト	－	－	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
7ビットMSBファースト	－	－	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6
8ビットLSBファースト	－	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
8ビットMSBファースト	－	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6	ビット7
9ビットLSBファースト	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
9ビットMSBファースト	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6	ビット7	ビット8

（26）UARTウェイト用送信データ・レジスタ（LUWTDRn）

アドレス F06E9H、F06E8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
8-0	受信のストップビット完了を待った後にUARTウェイト用送信データ・レジスタから送信するデータを設定	000H～1FFH	R/W
15-9	予約ビット 読むと"0"が読めます。書く場合、"0"としてください。	－	R/W

UARTウェイト用送信データ・レジスタから送信するデータを設定します。

LUOERnレジスタのUTOEビットが"1"のときに、このレジスタにデータを書き込むことにより送信が開始します。

このレジスタは、半二重通信で受信から送信に切り替え時にのみ使用してください。

また、ユーザはストップビットの受信中にのみ、このレジスタへの書き込みを行ってください。

LBFCnレジスタのUSBLSビットによってストップビット長を2ビットにしていても、1ビット分しか待ちません。

このレジスタを読み出したときは、LUTDRnレジスタの値が読めます。

9ビット通信の場合は8ビットアクセスしないでください。

UARTバッファからデータを送信しているときは、このレジスタにデータの書き込みをしないでください。

通信フォーマットの設定によるビット配置を下記に示します。

項目	LUWTDRn								
	8	7	6	5	4	3	2	1	0
7ビットLSBファースト	－	－	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
7ビットMSBファースト	－	－	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6
8ビットLSBファースト	－	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
8ビットMSBファースト	－	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6	ビット7
9ビットLSBファースト	ビット8	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
9ビットMSBファースト	ビット0	ビット1	ビット2	ビット3	ビット4	ビット5	ビット6	ビット7	ビット8

17.3 モード

LIN/UARTモジュールには、機能に応じた次の4つのモードがあります。

- LINリセットモード
- LINモード
  （LINマスタモード/LINスレーブモード[オート・ボー・レート]/LINスレーブモード[固定ボー・レート]）
- UARTモード
- LINセルフテストモード

LINリセットモードの場合、LIN/UARTモジュールへのクロック供給が停止されるため、消費電力を低減することができます。

図17－3にモードの移行、表17－4にモード移行条件、表17－5に各モードで可能な動作を示します。

図17－3 モードの移行

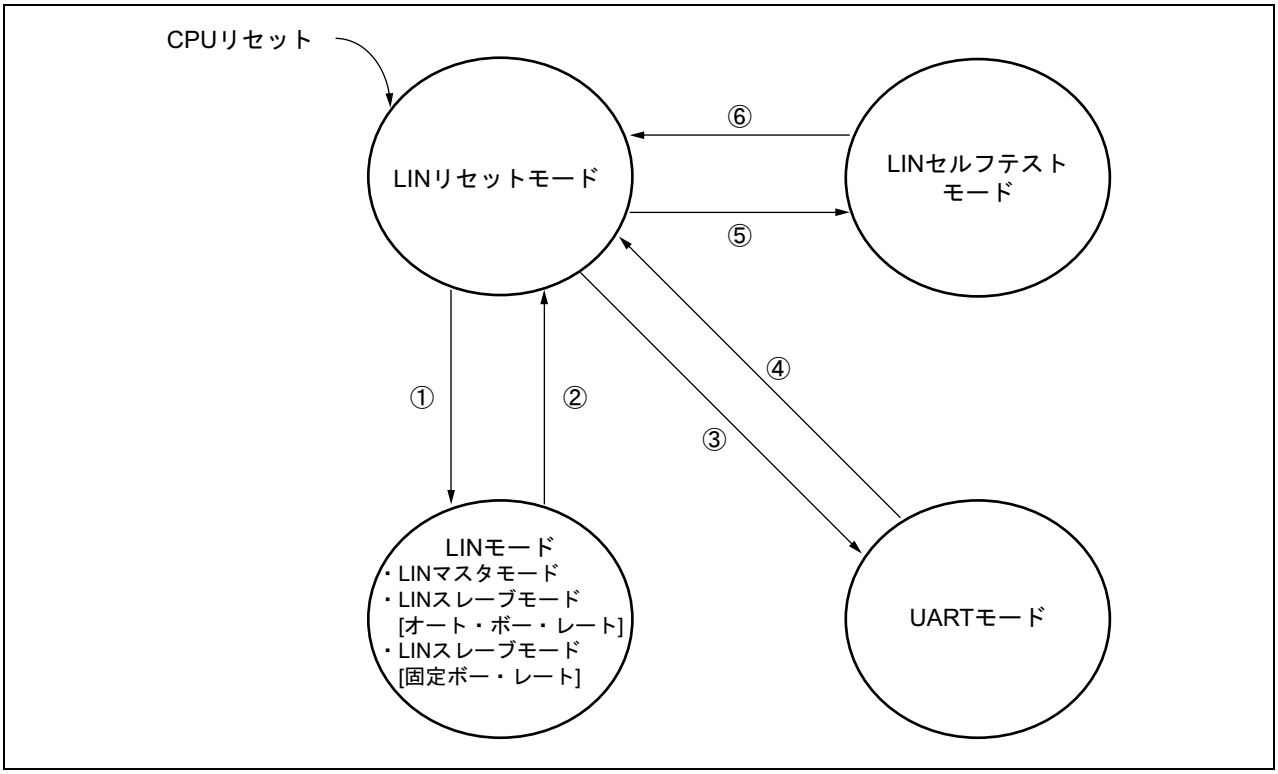


表17－4 モード移行条件

No.	移行モード			移行条件
①	LINリセットモード	→	LINモード （LINマスタモード）	LMDnレジスタ.LMDビット="00b"かつ LCUCnレジスタ.OM1ビット、OM0ビット="01b"または"11b"
	LINリセットモード	→	LINモード （LINスレーブモード [オート・ボー・レート]）	LMDnレジスタ.LMDビット="10b"かつ LCUCnレジスタ.OM1ビット、OM0ビット="01b"または"11b"
	LINリセットモード	→	LINモード （LINスレーブモード [固定ボー・レート]）	LMDnレジスタ.LMDビット="11b"かつ LCUCnレジスタ.OM1ビット、OM0ビット="01b"または"11b"
②	LINモード	→	LINリセットモード	LCUCnレジスタ.OM0ビット="0b"
③	LINリセットモード	→	UARTモード	LMDnレジスタ.LMDビット="01b"かつ LCUCnレジスタ.OM0ビット="1b"
④	UARTモード	→	LINリセットモード	LCUCnレジスタ.OM0ビット="0b"
⑤	LINリセットモード	→	LINセルフテストモード	「17.6 LINセルフテストモード」を参照してください。
⑥	LINセルフテストモード	→	LINリセットモード	「17.6 LINセルフテストモード」を参照してください。

表17－5 各モードで可能な動作

LINモード		UARTモード	LINセルフテストモード
LINマスタモード	LINスレーブモード[オート・ボー・レート] /LINスレーブモード[固定ボー・レート]		
ヘッダ送信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	ヘッダ受信 レスポンス送信 レスポンス受信 ウェイクアップ送信 ウェイクアップ受信 エラー検出	UART送信 UART受信 エラー検出	セルフテスト

LMDnレジスタのLMDビットおよびLMSTnレジスタのOMM0ビットを読むことで、LINリセットモード、LINモード、UARTモードへ移行したことを確認できます。

モード移行の最大時間（LCUCnレジスタに設定してから、LMSTnレジスタに反映されるまでの最大時間）は、CPUクロック（f_{CLK}）3周期とLIN通信クロック源（LIN/UARTモジュールへの入力クロック：LINnMCKで選択したクロック）4周期を加算した時間です。

LINセルフテストモードについては、「17.6 LINセルフテストモード」を参照してください。

17.3.1 LINリセットモード

LCUCnレジスタのOM0ビットを"0b"（LINリセットモード）にすると、LINリセットモードに移行します。LMSTn.OMM0ビットが"0b"（LINリセットモード）になることで、LINリセットモードに移行したことが確認できます。このモードのとき、LIN通信機能、UART通信はすべて停止しており、f_{LIN}も停止しています。

LINリセットモードからは、LINモード、UARTモード、LINセルフテストモードに移行できます。

以下のレジスタは、LINリセットモードに移行した後、それぞれのリセット後の値に初期化され、LINリセットモード中は初期値を保持します。

- LTRCnレジスタ
- LSTnレジスタ
- LESTnレジスタ
- LUOERnレジスタ

以下のレジスタは、LINリセットモードに移行した後も、以前の値を保持します。

- LCHSELレジスタ
- LWBRnレジスタ
- LBRPn0レジスタ
- LBRPn1レジスタ
- LUSCnレジスタ
- LMDnレジスタ
- LBFCnレジスタ
- LSCnレジスタ
- LWUPnレジスタ
- LIEnレジスタ
- LEDEnレジスタ
- LDFCnレジスタ
- LIDBnレジスタ
- LCBRnレジスタ
- LUDBn0レジスタ
- LDBnmレジスタ（m=1～8）
- LUORn1レジスタ
- LUTDRnレジスタ
- LURDRnレジスタ
- LUWTDRnレジスタ

17.3.2 LINモード

LINモードには、LINマスタモード、LINスレーブモード[オート・ボー・レート]、LINスレーブモード[固定ボー・レート]があります。

LINマスタモードでは、ヘッダ送信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。LINリセットモードで、LMDnレジスタのLMDビットを"00b"（LINマスタモード）に設定し、LCUCnレジスタのOM1ビット、OM0ビットを"01b"または"11b"にするとLINマスタモードになり、LMSTnレジスタのOMM1ビット、OMM0ビットが"01b"または"11b"になります。

LINスレーブモード[オート・ボー・レート]およびLINスレーブモード[固定ボー・レート]では、ヘッダ受信、レスポンス送信、レスポンス受信、ウェイクアップ送信、ウェイクアップ受信、エラー検出が可能です。

LINスレーブモード[オート・ボー・レート]は、自動的にブレークフィールドとシンクフィールドを検出し、シンクフィールドの測定結果からボー・レートを設定します。ボー・レートは1kbps～20 kbpsで動作可能です。ターゲットとなるボー・レートに応じて、LIN通信クロック源の周波数からプリスケーラで分周したクロック（プリスケーラクロック）が、下記となるようにLWBRnレジスタのLPRS[2:0]ビットを設定してください。

［ターゲットとなるボー・レート］	［プリスケーラクロック］
1 kbps～20 kbps	: 4 MHz[注]
1 kbps～2.4 kbps未満	: 4 MHz
2.4 kbps～20 kbps	: 8 MHz～12 MHz

注 LWBRnレジスタのNSPB[3:0]ビットは"0011b"（4サンプリング）で使用してください。

LINスレーブモード[固定ボー・レート]は、あらかじめボー・レート・ジェネレータで設定されたボー・レートで、自動的にブレークフィールド、シンクフィールド、IDフィールドを検出します。

LINリセットモードで、LMDnレジスタのLMDビットを"10b"（LINスレーブモード[オート・ボー・レート]）に設定し、LCUCnレジスタのOM1ビット、OM0ビットを"01b"または"11b"にするとLINスレーブモード[オート・ボー・レート]に、LMDnレジスタのLMDビットを"11b"（LINスレーブモード[固定ボー・レート]）に設定し、LCUCnレジスタのOM1ビット、OM0ビットを"01b"または"11b"にするとLINスレーブモード[固定ボー・レート]になり、LMSTnレジスタのOMM1ビット、OMM0ビットが"01b"または"11b"になります。

LINモード内の別のモードに変更する場合は、1度LINリセットモードに移行し、LMDnレジスタのLMDビットの設定を変更する必要があります。

LINモードには、次の2つの動作モードがあります。

- LIN動作モード
- LINウェイクアップモード

図17－4に動作モードの移行、表17－6に動作モード移行条件を示します。

図17－4 動作モードの移行

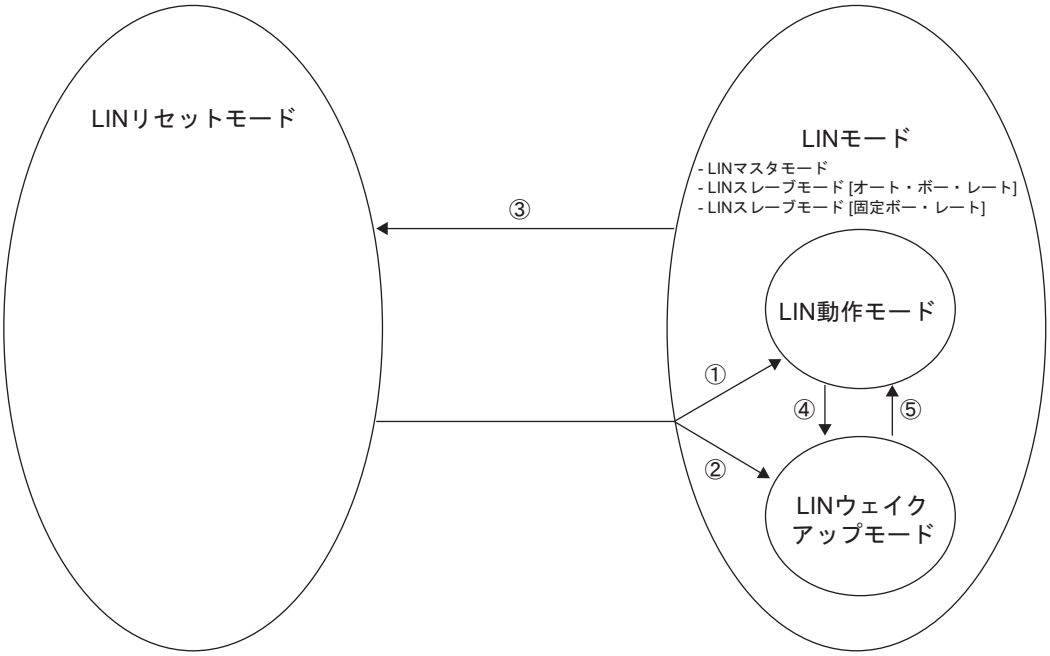


表17－6 動作モード移行条件

No.	移行動作モード			移行条件
①	LINリセットモード	→	LINモード - LIN動作モード	LMDnレジスタ.LMDビット="00b"または"10b" または"11b" かつ LCUCnレジスタ.OM1ビット、OM0ビット="11b"
②	LINリセットモード	→	LINモード - LINウェイクアップモード	LMDnレジスタ.LMDビット="00b"または"10b" または"11b" かつ LCUCnレジスタ.OM1ビット、OM0ビット="01b"
③注1	LINモード - LIN動作モード - LINウェイクアップモード	→	LINリセットモード	LCUCnレジスタ. OM0ビット="0b"
④注2	LINモード - LIN動作モード	→	LINモード - LINウェイクアップモード	LCUCnレジスタ.OM1ビット、OM0ビット="01b"
⑤注2	LINモード - LINウェイクアップモード	→	LINモード - LIN動作モード	LCUCnレジスタ.OM1ビット、OM0ビット="11b"

注1. LINスレーブモード（固定ボー・レート）でLIN動作モードからLINリセットモードに遷移する場合は、続けてPER2レジスタのLINnENビットを0にした後で1にしてください

2. LIN動作モード⇔LINウェイクアップモードの移行は、通信中（LTRCnレジスタのFTSビットが"1"）の間はできません。

（1）LIN動作モード

LIN動作モードでは、フレーム処理（ヘッダ送信、ヘッダ受信、レスポンス送信、レスポンス受信、エラー検出）をします。

LINリセットモードからLINモードに移行する際に、LCUCnレジスタのOM1ビット、OM0ビットを"11b"にするとLIN動作モードになり、LMSTnレジスタのOMM1ビット、OMM0ビットが"11b"になります。LMSTnレジスタが"11b"になるのを待ってから、通信設定を行ってください。

（2）LINウェイクアップモード

LINウェイクアップモードでは、ウェイクアップシグナル処理（ウェイクアップ送信、ウェイクアップ受信、エラー検出）をします。

LINリセットモードからLINモードに移行する際に、LCUCnレジスタのOM1ビット、OM0ビットを"01b"にするとLINウェイクアップモードになり、LMSTnレジスタのOMM1ビット、OMM0ビットが"01b"になります。LMSTnレジスタが"01b"になるのを待ってから、通信設定を行ってください。

17.3.3 UARTモード

LINリセットモードで、LMDnレジスタのLMDビットを"01b"（UARTモード）に設定し、LCUCnレジスタのOM0ビットを"1b"にするとUARTモードになり、LMSTnレジスタのOMM0ビットが"1b"になります。LMSTnレジスタが"01b"になるのを待ってから、通信設定を行ってください。

17.3.4 LINセルフテストモード

LSTCnレジスタへの書き込みにより、LINセルテストモードになります。LSTCnレジスタのLSTMビットが"1"になると、LINセルフテストモードに移行したことが確認できます。

動作の詳細は、「17.6 LINセルフテストモード」を参照してください。

17.4　LINモード

17.4.1　動作概要

（1）LINマスタモード

（a）ヘッダ送信

図17－5にLIN/UARTモジュール（LINマスタモード）のヘッダ送信時の動作、表17－7にヘッダ送信時の処理を示します。

図17－5　ヘッダ送信時の動作

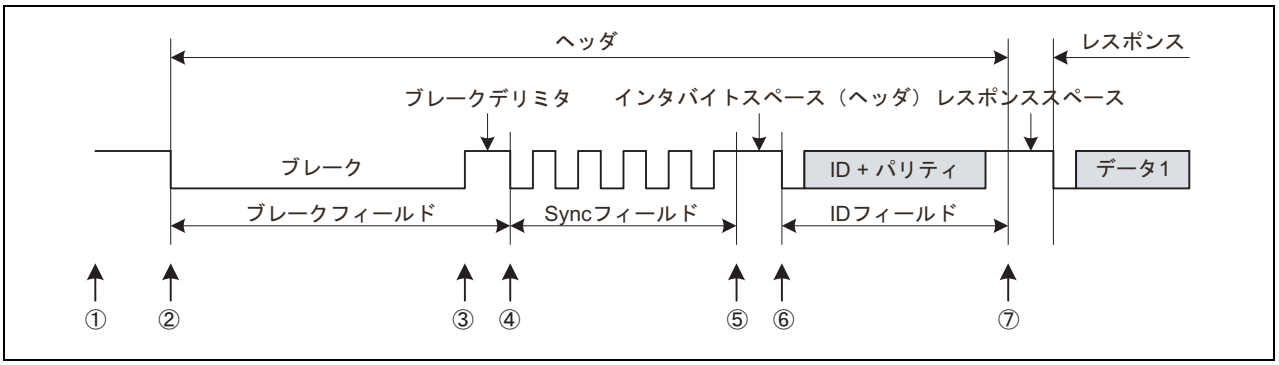


表17－7　ヘッダ送信時の処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・ボー・レートを設定 ・ノイズフィルタON/OFFを設定 ・割り込み許可を設定 ・エラー検出許可を設定 ・フレーム構成パラメータを設定 ・LIN/UARTモジュールをLINマスタモード： LIN動作モードに移行 ・送信するフレーム情報（ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ）を設定	ソフトウェアによるLTRCnレジスタのFTSビット設定待ち（アイドル）
②	LTRCnレジスタのFTSビットを"1"（フレーム送信／ウェイクアップ送受信開始）にする	ブレーク送信
③	割り込み要求待ち	ブレークデリミタ送信
④		Syncフィールド（55H）送信
⑤		インタバイトスペース（ヘッダ）送信
⑥		IDフィールド送信
⑦		ヘッダ送信完了フラグ設定

エラー検出については「17.4.6　エラーステータス」を参照してください。

（b）レスポンス送信

図17－6にLIN/UARTモジュール（LINマスタモード）のレスポンス送信時の動作、表17－8にレスポンス送信時の処理を示します。

図17－6　レスポンス送信時の動作

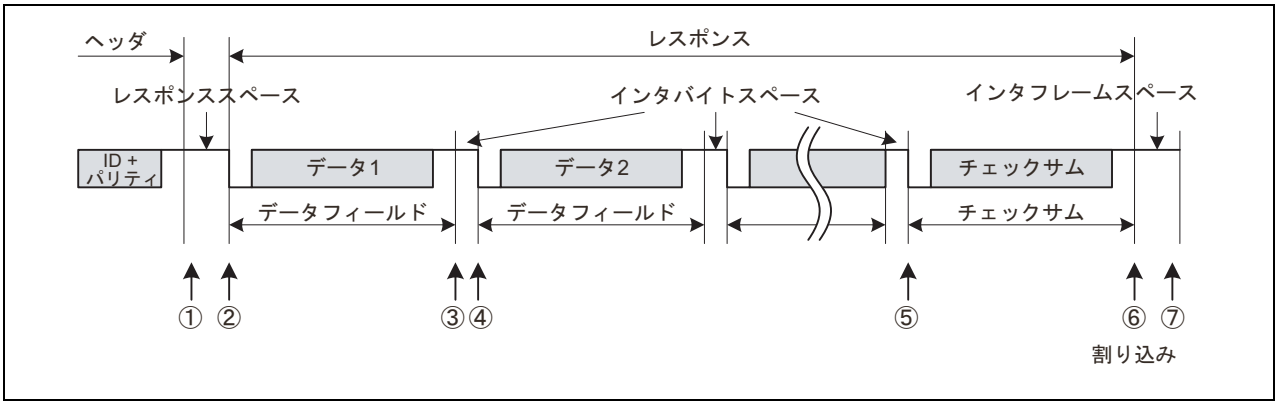


表17－8　レスポンス送信時の処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	（フレームセパレートモード時） ・LTRCnレジスタのRTSビットに"1"を設定（レスポンス送受信開始） （フレームセパレートモードでないとき） ・割り込み要求発生待ち	（フレームセパレートモード時） ・ソフトウェア処理によるLTRCnレジスタのRTSビットの"1"設定待ち ・"1"に設定されたあと、レスポンススペースを送信 （フレームセパレートモードでないとき） ・レスポンススペースを送信
②	割り込み要求発生待ち	データ1送信
③		インタバイトスペース送信
④		・データ2送信 ・インタバイトスペース送信 ・データ3送信 ・インタバイトスペース送信 （LDFCnレジスタのRFDL[3:0]ビットで指定したデータ長分繰り返し。LESTnレジスタのBERフラグが"1"（ビットエラー検出）なら中断。エラー発生時には、⑤のチェックサム送信は実行しません。） ：
⑤		チェックサム送信
⑥		・フレーム／ウェイクアップ送信完了フラグ設定 ・LTRCnレジスタのFTSビットを"0"（フレーム送信／ウェイクアップ送受信停止）にする （フレームセパレートモード時） ・LTRCnレジスタのRTSビットを"0"（レスポンス送受信停止）にする
⑦	・通信後の処理 LSTnレジスタのチェック、フラグのクリア	アイドル

エラー検出については「17.4.6　エラーステータス」を参照してください。

（c）レスポンス受信

図17－7にLIN/UARTモジュール（LINマスタモード）のレスポンス受信時の動作、表17－9にレスポンス受信時の処理を示します。

図17－7　レスポンス受信時の動作

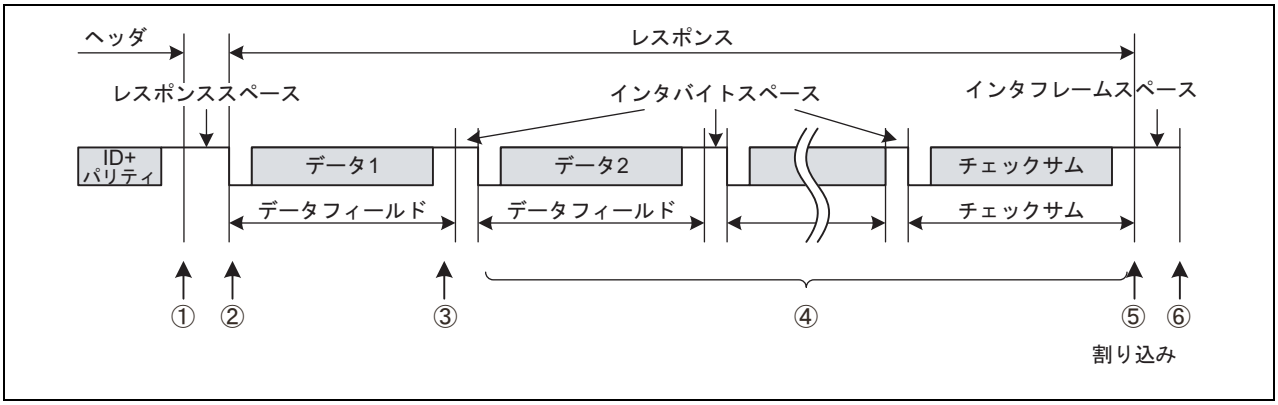


表17－9　レスポンス受信時の処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	割り込み要求発生待ち（処理はなし）	スタートビット検出待ち
②		スタートビット検出によりデータ1受信
③		データ1受信完了フラグ設定
④		・スタートビット検出によりデータ2受信 ・スタートビット検出によりデータ3受信 （LDFCnレジスタのRFDL[3:0]ビットで指定したデータ長分繰り返し。LESTnレジスタのいずれかのビットが"1"（何らかのエラー検出）なら中断。エラー発生時には、⑤のチェックサム判定は実施しません。） ： ・スタートビット検出によりチェックサム受信
⑤		・チェックサム判定 ・フレーム／ウェイクアップ受信完了フラグ設定 ・LTRCnレジスタのFTSビットを"0"（フレーム送信/ウェイクアップ送受信停止）にする
⑥	・通信後の処理 受信データの読み出し LSTnレジスタのチェック、フラグのクリア	アイドル

エラー検出については「17.4.6　エラーステータス」を参照してください。

（2）LINスレーブモード

（a）ヘッダ受信

図17－8にLIN/UARTモジュールのヘッダ受信時の動作、表17－10にヘッダ受信時の処理を示します。

図17－8　ヘッダ受信時の動作

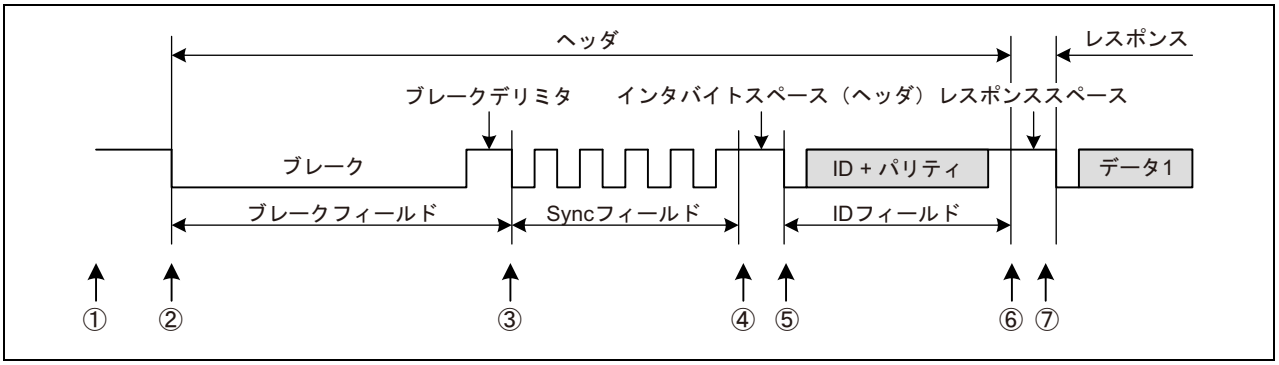


表17－10　ヘッダ受信時の処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・ボー・レートを設定 ・ノイズフィルタON/OFFを設定 ・割り込み許可を設定 ・エラー検出許可を設定 ・フレーム構成パラメータを設定 ・LIN/UARTモジュールをLINスレーブモード： LIN動作モードに移行 ・LTRCnレジスタのFTSビットを"1"（ヘッダ受信／ウェイクアップ送受信開始）にする	ソフトウェアによるLTRCnレジスタのFTSビット設定待ち
②	割り込み要求発生待ち	ブレークフィールド検出待ち
③		ブレークフィールド検出（LINスレーブモード【固定ボー・レート】の場合。LINスレーブモード【オート・ボー・レート】の場合のブレークフィールド検出タイミングの詳細は、「① オート・ボー・レート補正機能」参照）
④		・シンクフィールド（55H）検出 ・ボー・レート・ジェネレータ設定（LINスレーブモード【オート・ボー・レート】の場合） ・レスポンスなし要求ビット（LNRRビット）クリア
⑤		・IDフィールド受信 ・IDパリティビットのチェック
⑥		ヘッダ受信完了フラグを設定
⑦	・LSTnレジスタのチェック、フラグのクリア ・LIDBnレジスタの確認、レスポンスの準備	・ヘッダ受信プロセス完了 ・レスポンス要求待ち

n=0-2

LIN/UARTモジュールは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビットの位置になると、フレーミングエラー、ビットエラーなどを検出して受信ステータス割り込みが発生することがあります。

エラー検出については「17.4.6　エラーステータス」を参照してください。

① オート・ボー・レート補正機能

LINスレーブモード[オート・ボー・レート]では、常に受信したロウレベル幅を計測しています。そして1回目の"Low"幅がシンクフィールドの始めの2ビット（シンクフィールドの始めの連続する立ち下がりエッジの期間）の平均から計算された1ビット幅の10倍（LBFCnレジスタのBLTビットが"0"のとき）または11倍（LBFCnレジスタのBLTビットが"1"のとき）以上の場合はブレークフィールド検出に成功したと判断し、シンクフィールドのデータが55Hであることを確認します。データが55Hであることを確認し、シンクフィールドの受信が成功したと判断できた場合、ボー・レート補正結果を自動でLBRPn1レジスタ、LBRPn0レジスタに設定します。

エラーなくIDフィールドまで受信すると、ストップビットの位置でヘッダ受信完了割り込みが発生します。

一方、シンクフィールドのデータが55Hでなかった場合は、シンクフィールド検出に失敗したと判断し、シンクフィールドエラーフラグをセットしてエラー割り込みが発生します。

この場合、ボー・レート補正は行われず、LIN/UARTモジュールは次のブレークフィールド（"Low"）の検出待ちになります。

図17－9 LINスレーブモード[オート・ボー・レート]ヘッダ受信（正常動作時）

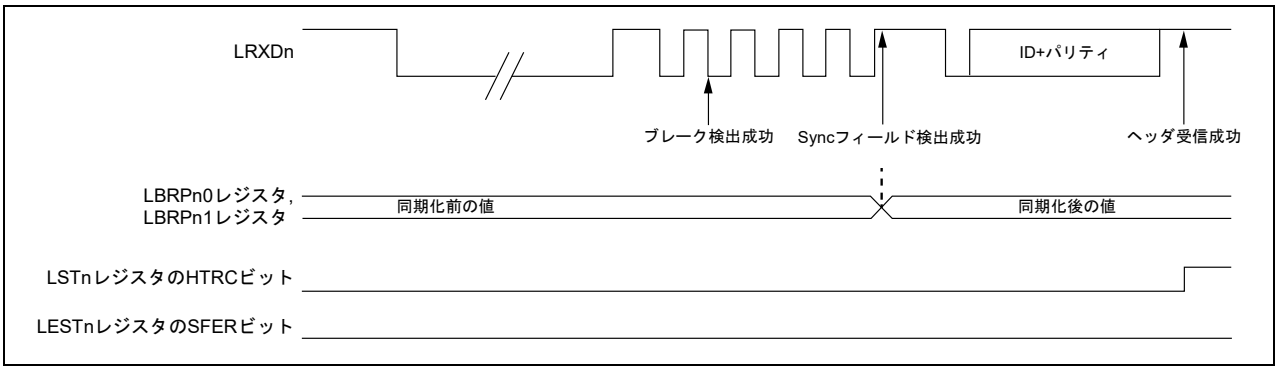
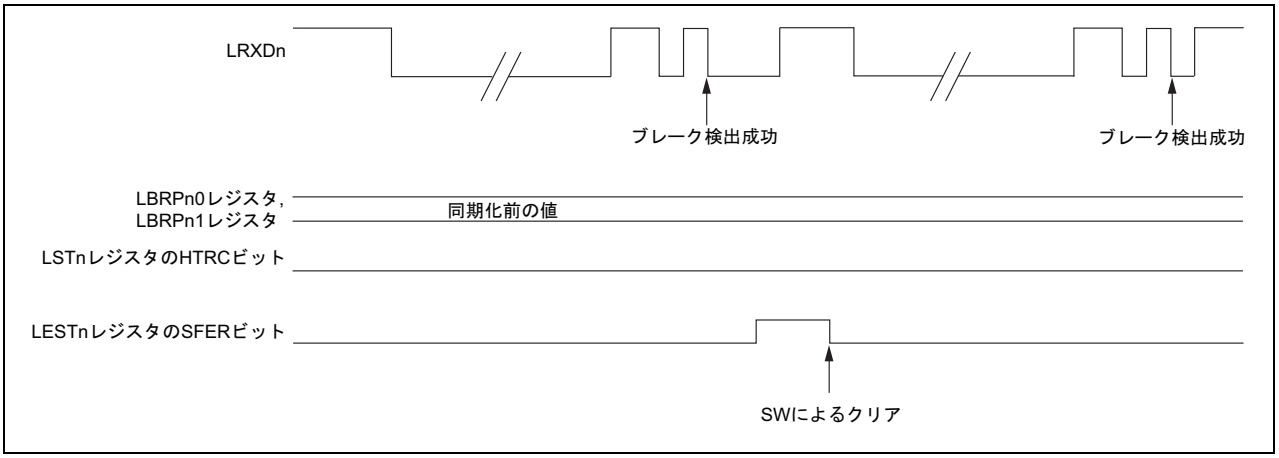


図17－10 LINスレーブモード[オート・ボー・レート]ヘッダ受信（シンクフィールドエラー）



（b）レスポンス送信

図17－11にLIN/UARTモジュール（LINスレーブモード）のレスポンス送信時の動作、表17－11にレスポンス送信時の処理を示します。

図17－11　レスポンス送信時の動作

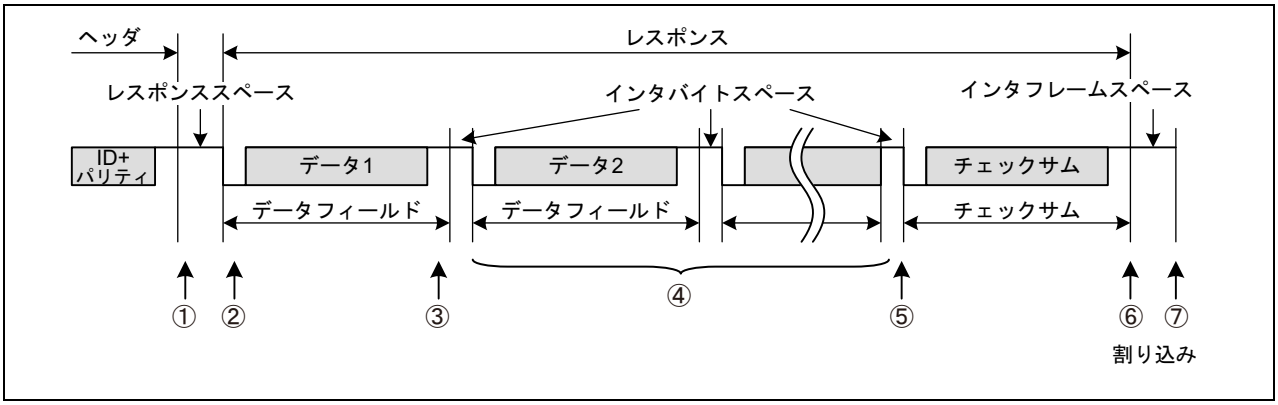


表17－11　レスポンス送信時の処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・LDFCnレジスタの設定 ・LDBnmレジスタの設定 ・LTRCnレジスタのRTSビットを"1"（レスポンス送受信開始）にする	・ソフトウェアによるLTRCnレジスタのRTSビットまたはLNRRビット設定待ち ・LTRCnレジスタのRTSビットが"1"に設定された後、レスポンススペースを送信
②	割り込み要求発生待ち	データ1送信
③		インタバイトスペース送信
④		・データ2送信 ・インタバイトスペース送信 ・データ3送信 ・インタバイトスペース送信 （LDFCnレジスタのRFDL[3:0]ビットで指定したデータ長分繰り返し。LESTnレジスタのBERビット=1（ビットエラー検出）なら中断。エラー発生時には、⑤のチェックサム送信は実行しません。） ：
⑤		チェックサム送信
⑥		・フレーム／ウェイクアップ送信完了フラグ設定、またはエラーフラグ設定 ・LTRCnレジスタのRTSビットを"0"（レスポンス送信/受信停止）にする
⑦	・通信後の処理 LSTnレジスタのチェック、フラグのクリア	・レスポンス送信プロセス完了 ・新規ブレーク待ち

LIN/UARTモジュールは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビットの位置になると、フレーミングエラー、ビットエラーなどを検出して受信ステータス割り込みが発生することがあります。

エラー検出については「17.4.6　エラーステータス」を参照してください。

（c）レスポンス受信

図17－12にLIN/UARTモジュール（LINスレーブモード）のレスポンス受信時の動作、表17－12にレスポンス受信時の処理を示します。

図17－12　レスポンス受信時の動作

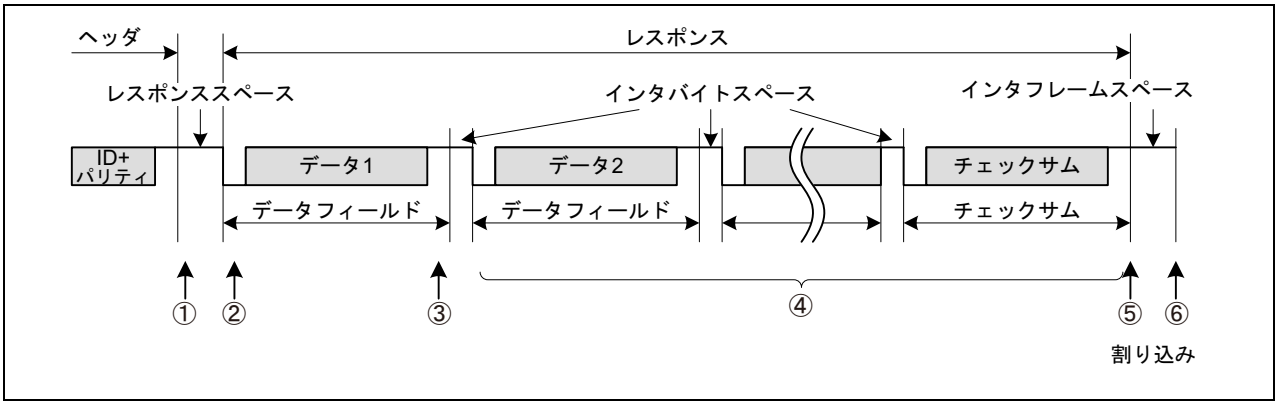


表17－12　レスポンス受信時の処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・LDFCnレジスタの設定 ・LTRCnレジスタのRTSビットを"1"（レスポンス送受信開始）にする	・ソフトウェアによるLTRCnレジスタのRTSビットまたはLNRRビット設定待ち ・スタートビット検出待ち
②	割り込み要求発生待ち	スタートビット検出によりデータ1受信
③		データ1受信完了フラグ設定
④		・スタートビット検出によりデータ2受信 ・スタートビット検出によりデータ3受信 （LDFCnレジスタのRFDL[3:0]ビットで指定したデータ長分繰り返し。LESTnレジスタのいずれかのビットが"1"（何らかのエラー検出）なら中断。エラー発生時には、⑤のチェックサム判定は実施しません。） ： ・スタートビット検出によりチェックサム受信
⑤		・チェックサム判定 ・フレーム／ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 ・LTRCnレジスタのRTSビットを"0"（レスポンス送信／受信停止）にする
⑥	・通信後の処理 受信データの読み出し LSTnレジスタのチェック、フラグのクリア	・レスポンスプロセス完了 ・新規ブレーク待ち

LIN/UARTモジュールは、フレーム送受信中にブレークフィールドを受信できます。この場合、ブレークフィールド受信前のフレームのストップビットの位置になると、フレーミングエラー、ビットエラーなどを検出して受信ステータス割り込みが発生することがあります。

エラー検出については「17.4.6　エラーステータス」を参照してください。

（d）レスポンス要求なし

図17－13にLIN/UARTモジュール（LINスレーブモード）のレスポンス要求なし時の動作、表17－13にレスポンス要求なし時の処理を示します。

図17－13　レスポンス要求なし時の動作

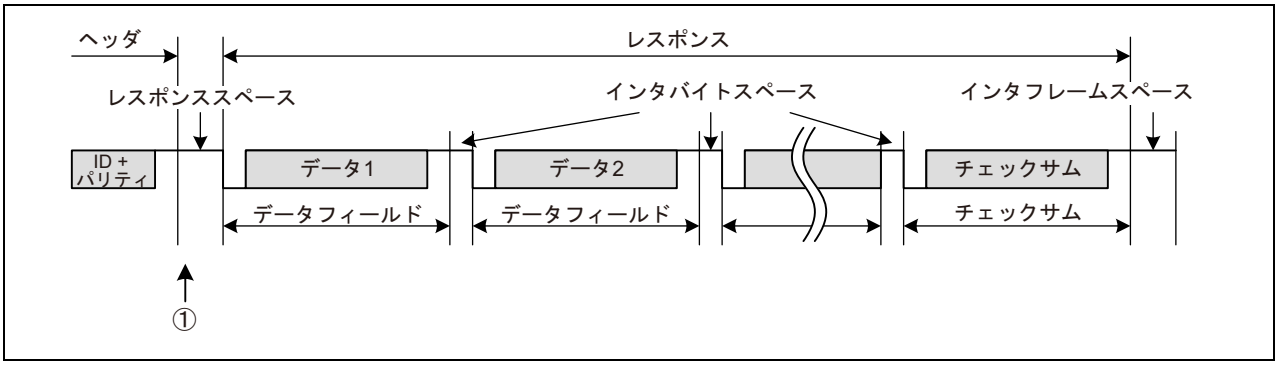


表17－13　レスポンス要求なし時の処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・レスポンス要求なしビット（LNRRビット）を"1"に設定	・ソフトウェアによるレスポンス要求なしビット（LNRRビット）設定待ち ・フレーム受信プロセス完了 ・新規ブレーク待ち

17.4.2 データ送信／受信

（1）データ送信

データ送信は、1 Tbitに1ビットずつ行われます。

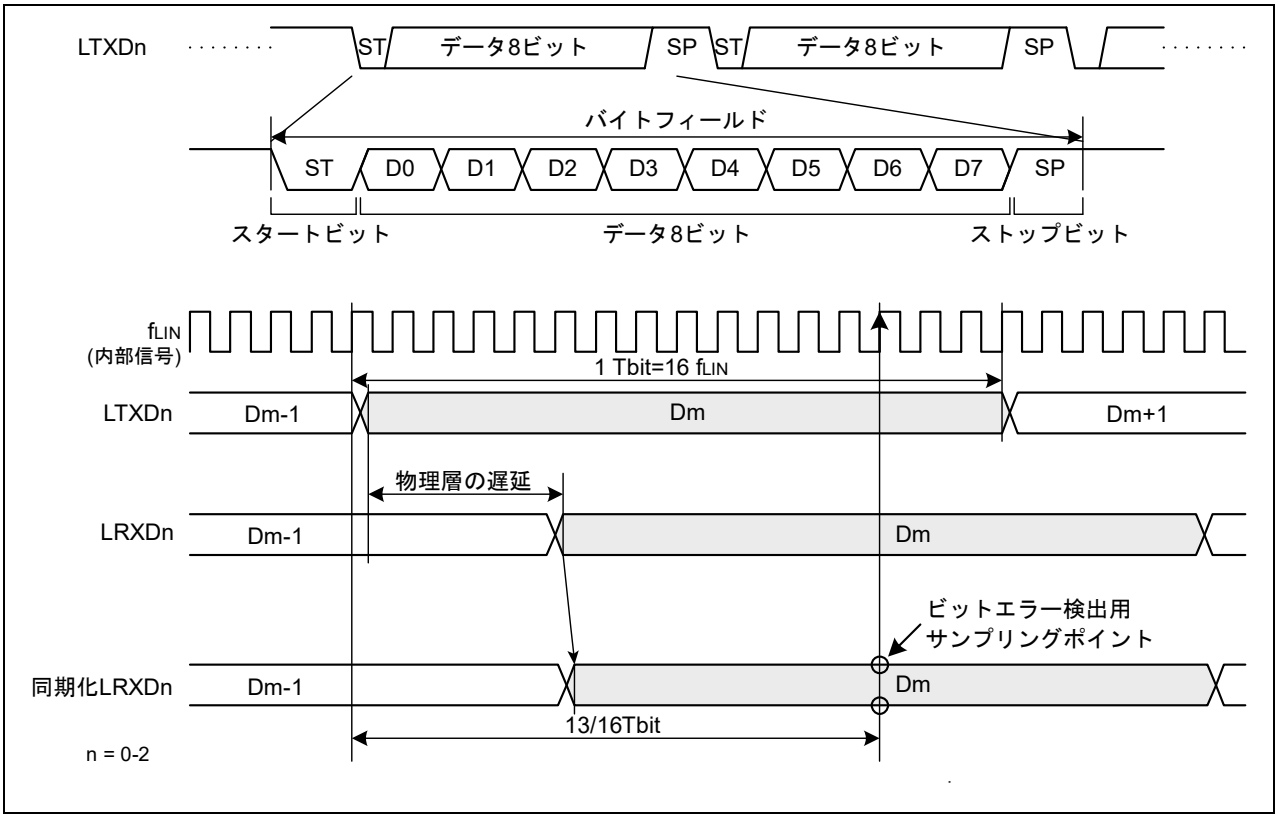
送信したデータは、LINトランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果はLESTnレジスタのBERフラグに格納されます（「17.4.6 エラーステータス」参照）。

LINマスタモード、LINスレーブモード[固定ボー・レート]では、1 Tbit = 16f_{LIN}で生成され、受信データのサンプリングポイントは13クロック目（81.25%位置）になります。

LINスレーブモード[オート・ボー・レート]では、1 Tbit = 4f_{LIN}で生成される場合は、受信データのサンプリングポイントは3クロック目（75%位置）、1 Tbit = 8f_{LIN}で生成される場合は、受信データのサンプリングポイントは7クロック目（87.5%位置）になります。

図17－14にデータ送信タイミングの例を示します。

図17－14 データ送信タイミング例（LINマスタモード、LINスレーブモード[固定ボー・レート]）



（2）データ受信

データ受信は、LRXDn端子からの入力をプリスケーラクロックに同期させた同期化LRXDn（内部信号）を使用して行います。

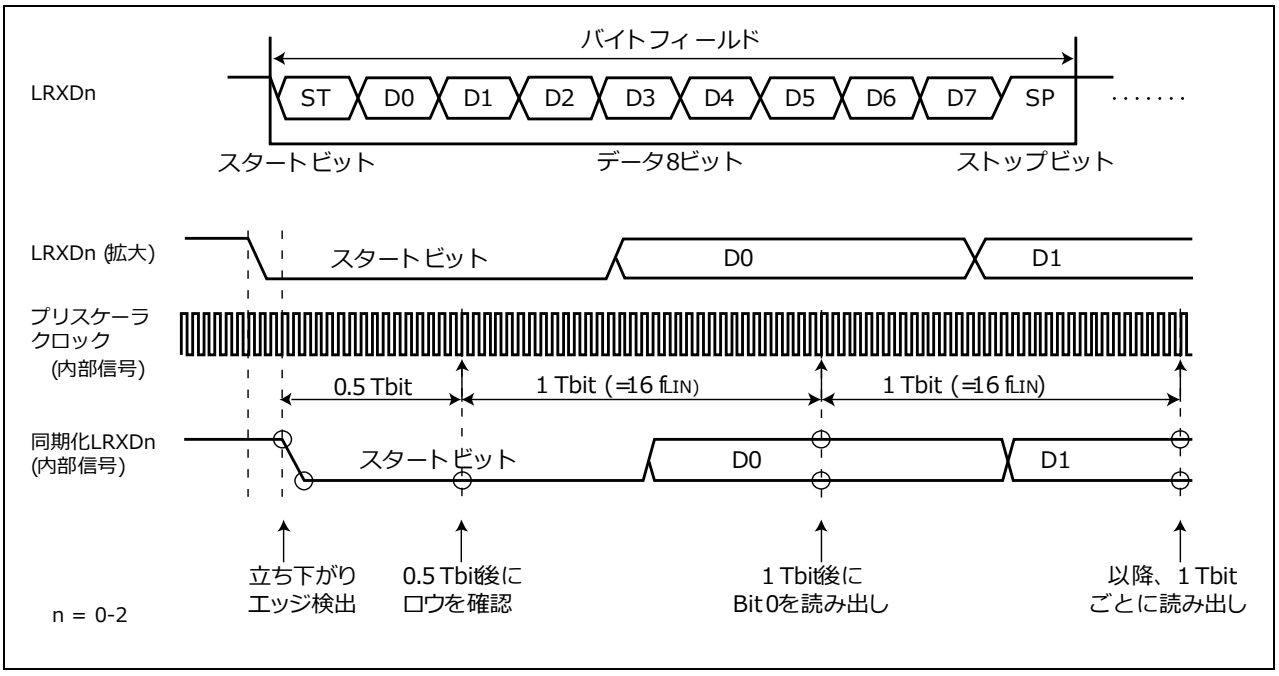
この同期化LRXDn信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit後に再度サンプリングを行い、同期化LRXDn信号がLowであった場合にスタートビットと認識します。リセット解除後からLRXDn信号がLow固定の場合や、再サンプリング時にHighを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbitごとにビットのサンプリングを行います。

LIN/UARTモジュールは、受信データに対するノイズフィルタ機能をもっています。LMDnレジスタのLRDNFSビットが"0"の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケーラクロックで3サンプリング多数決により決定した値を使用します。LMDnレジスタのLRDNFSビットが"1"の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化LRXDn値の値をそのまま使用します。

図17－15にデータ受信タイミングの例を示します。

図17－15　データ受信タイミング例（LINマスタモード、LINスレーブモード[固定ボー・レート]）



17.4.3　送信／受信データのバッファ処理

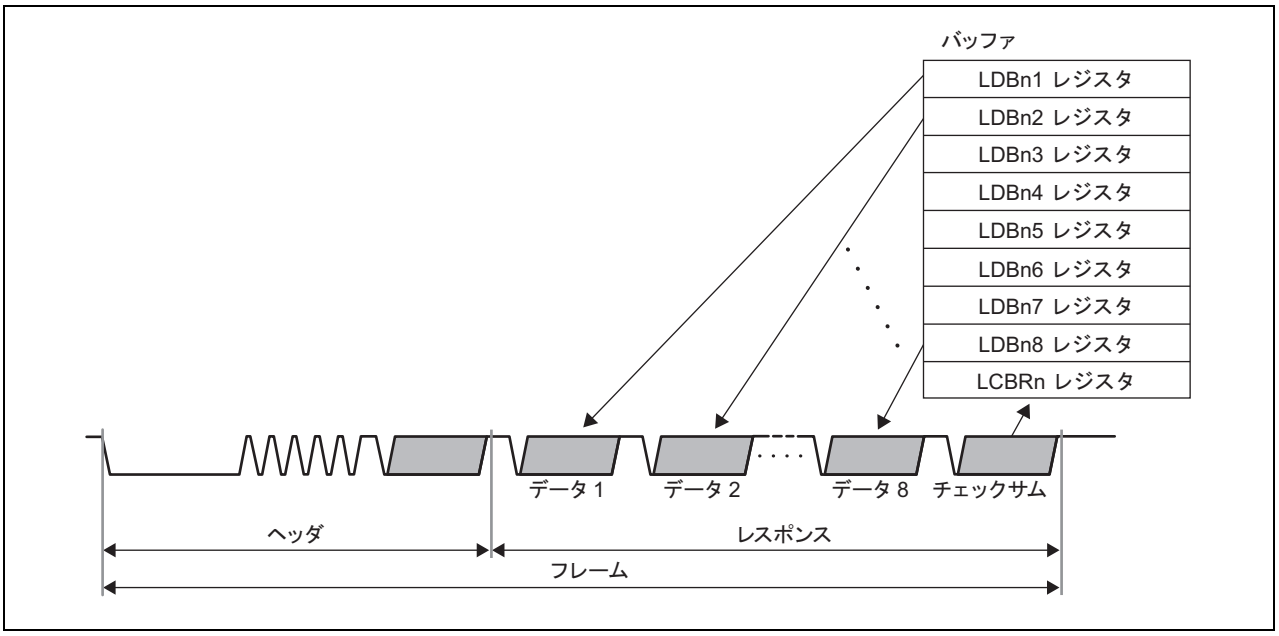
LIN/UARTモジュールの連続データ送受信時のバッファ処理について説明します。

（1）LINフレームの送信

8バイト送信の場合、LDBn1～LDBn8レジスタに格納されている内容が、順番にLINフレームのデータ1～8領域に送信されます。4バイト送信の場合は、LDBn1レジスタ～LDBn4レジスタに格納されている内容がLINフレームのデータ1～4領域に送信され、LDBn5レジスタ～LDBn8レジスタの内容は送信されません。また、LCBRnレジスタには送信したチェックサムデータが格納されます。

図17－16にLIN送信処理とバッファを示します。

図17－16　LIN送信処理とバッファ



（a）フレームセパレートモード

LDFCnレジスタのFSMビットを"1"にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了するとLSTnレジスタのHTRCフラグが"1"（ヘッダ送信完了）になります。

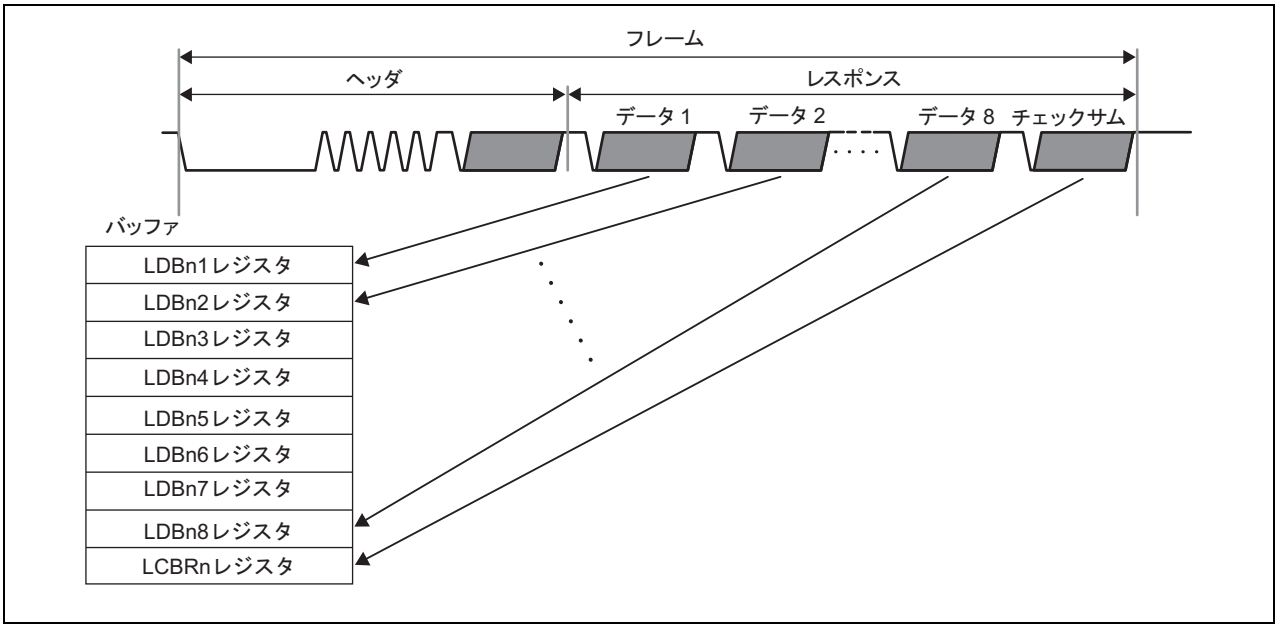
LINマスタモードで9バイト以上のレスポンスデータ送信またはレスポンスデータ受信を行う場合は、フレームセパレートモードを使用してください。

（2）LINフレームの受信

8バイト受信の場合、LINフレームのデータ1～8領域の内容が、ストップビットを受信するごとにそれぞれのLDBn1レジスタ～LDBn8レジスタに格納されます。4バイト受信の場合は、LINフレームのデータ1～4領域の内容が、それぞれLDBn1レジスタ～LDBn4レジスタに格納され、LDBn5レジスタ～LDBn8レジスタには何も格納されません。また、LCBRnレジスタには受信したチェックサムデータが格納されます。

図17－17にLIN受信処理とバッファを示します。

図17－17　LIN受信処理とバッファ



（a）データ1受信

1バイト目のデータ受信が完了すると、LSTnレジスタのD1RCフラグが"1"（データ1受信完了）になります。

（3）多バイトレスポンス送受信機能

通常LIN通信において、レスポンスは9バイト以下ですが（チェックサムフィールドを含む）、10バイト以上のレスポンスを送受信することが可能です。

このとき、ビットエラー、フレーミングエラー、レスポンス準備エラー検出機能および自動チェックサム機能は有効です。

データ長が8バイトより多い場合は、最初のデータグループ（0～8バイトで可変）でLSSビットを"1"（次に送受信するデータグループは最終ではない）に設定し、送信または受信します。送信または受信後、ユーザは次のデータグループが最後かどうかの判定を行い、最後のデータグループの場合は、LSSビットを"0"（次に送受信するデータグループは最終である）に設定し、送信または受信します。チェックサムは最後のデータグループに付加します。

ユーザは、RTSビットが"0"のときにRFDLビットの設定を変更することにより、データグループ毎にデータ長を変更することができます。

LINマスタモードで多バイトレスポンス送受信をする場合は、LDFCnレジスタのFSMビットを"1"（フレームセパレートモード）に設定して行ってください。

注意 LIN/UARTモジュールは、LINスレーブモードのときレスポンス送信または受信中に新たなブレークフィールドを検出することができます。

17.4.4　ウェイクアップ送信／受信

ウェイクアップの送受信はLINウェイクアップモードで使用できます。

（1）ウェイクアップ送信動作

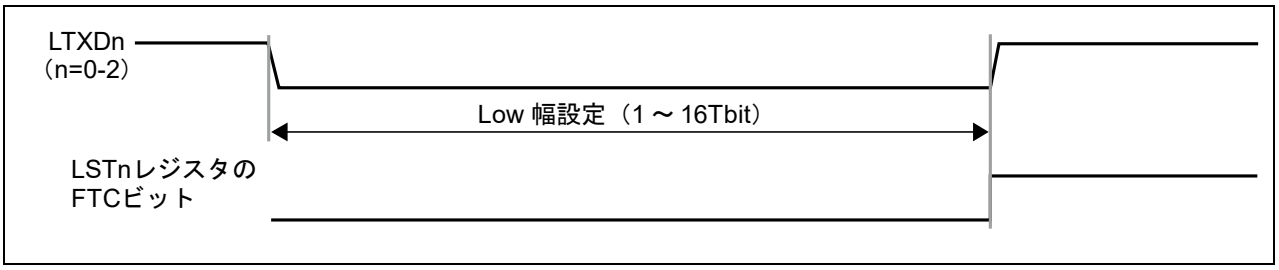
LINウェイクアップモード時、LDFCnレジスタのRCDSビットを"1"（送信）、LTRCnレジスタのFTSビットを"1"（ヘッダ受信／ウェイクアップ送受信開始）にすると、出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号のLow幅はLWUPnレジスタのWUTL[3:0]ビットで設定します。ただし、LINマスタモードでLWBRnレジスタのLWBR0ビットが"1"の場合は、LMDnレジスタのLCKSビットの設定にかかわらず、LINシステムクロック（f_{LIN}）がfaでのLow幅になります。fa選択時のボー・レートを19200 bpsに、LWUPnレジスタのWUTL[3:0]ビットを"0100b"（5 Tbits）に設定することにより、LMDnレジスタのLCKSビットの設定にかかわらず、LINウェイクアップモード時に260 μsのLow幅を出力することができます。

ビットエラーなくウェイクアップのLowが出力された場合、LSTnレジスタのFTCフラグが"1"（レスポンスまたはウェイクアップ送信完了）になり、LIEnレジスタのFTCIEビットが"1"（レスポンス／ウェイクアップ送信完了割り込み許可）のとき割り込み要求が発生します。

ビットエラーを検出した場合は、ウェイクアップ送信を中断しLESTnレジスタのBERフラグを"1"（ビットエラー検出）にします。

図17－18にウェイクアップ送信タイミングを示します。

図17－18　ウェイクアップ送信タイミング



（2）ウェイクアップ受信動作

ウェイクアップシグナルを検出するには、入力信号Low幅カウント機能を使用します。

入力信号Low幅カウント機能は、データ受信と同じサンプリングポイントでLRXDn端子への入力信号のLow幅を計測する機能です。入力信号のLow幅をf_{LIN}の2.5 Tbit以上で計測することができます。

LINマスタモード時は、LWBRnレジスタのLWBR0ビットの設定により、LIN動作モードとLINウェイクアップモードの切り替え時に、ボー・レート・ジェネレータの設定を変更することなく、動作させることが可能です。

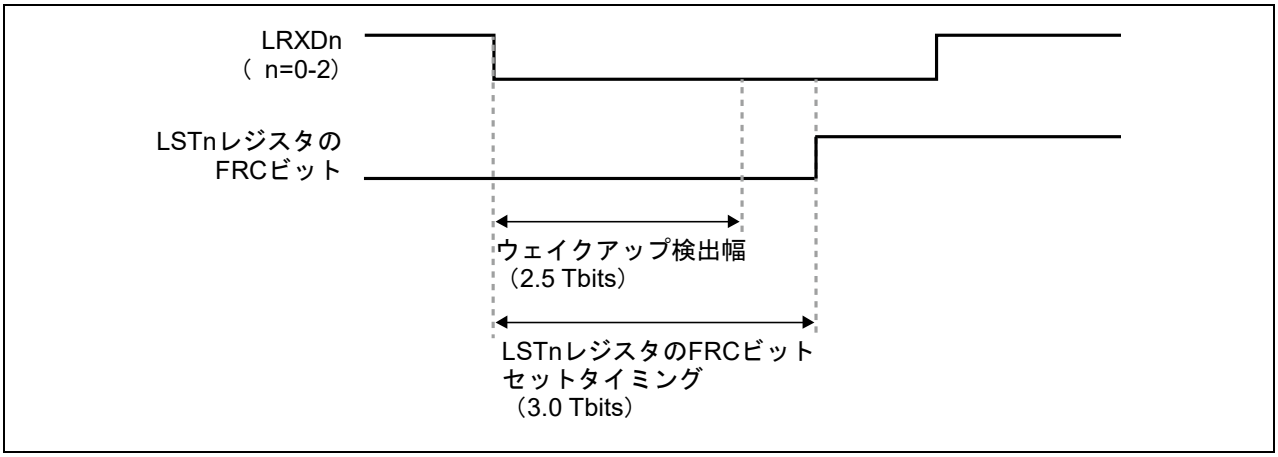
LIN Specification Package Revision 1.3使用時は、LWBRnレジスタのLWBR0ビットを"0"に、LIN Specification Package Revision 2.x使用時は”1”に設定してください。LWBR0ビットを”1”にするとLMDnレジスタのLCKSビットの設定にかかわらずLINシステムクロック（f_{LIN}）がfaになります（LCKSビットは変化しません）。

fa選択時のボー・レートを19200 bpsに設定することにより、LMDnレジスタのLCKSビットの設定にかかわらず、LINウェイクアップモード時に130 μs以上の入力信号Low幅を検出することができます。

この機能を使用する場合、LINウェイクアップモードにて、LDFCnレジスタのRFTビットを"0"（LINマスタモード：受信）、またはRCDSビットを"0"（LINスレーブモード：受信）に、LTRCnレジスタのFTSビットを"1"（LINマスタモード：フレーム送信／ウェイクアップ送受信開始、LINスレーブモード：ヘッダ受信／ウェイクアップ送受信開始）にしてください。

計測するLow幅に達するとLSTnレジスタのFRCフラグが"1"（レスポンスまたはウェイクアップ受信完了）になり、LIEnレジスタのFRCIEビットが"1"（レスポンス／ウェイクアップ受信完了割り込み許可）の場合、割り込み要求が発生します。

図17－19　入力信号Lowカウント機能



17.4.5 ステータス

LIN/UARTモジュールはLINモード動作時に、7種類のステータスを検出します。

フレーム／ウェイクアップ送信完了、フレーム／ウェイクアップ受信完了、エラー検出、ヘッダ送信完了／ヘッダ受信完了の4つのステータスは割り込み要求を発生することができます。

表17－14にLINマスタモードでのステータスの種類を、表17－15にLINスレーブモード[オート・ボー・レート]およびLINスレーブモード[固定ボー・レート]のステータスの種類を示します。

表17－14 LINマスタモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	LCUCnレジスタのOM0ビットをLINリセットモードでないに設定後、実際にLIN/UARTモジュールがLINリセットモード解除になったとき	LCUCnレジスタのOM0ビットをLINリセットモードに設定後、実際にLIN/UARTモジュールがLINリセットモードになったとき	すべてのモード	LMSTnレジスタのOMM0ビット	使用不可
動作モード	LCUCnレジスタのOM1ビットをLIN動作モードに設定後、実際にLIN/UARTモジュールがLIN動作モードになったとき	LCUCnレジスタのOM1ビットをLINウェイクアップモードに設定後、実際にLIN/UARTモジュールがLINウェイクアップモードになったとき	・LIN動作モード ・LINウェイクアップモード	LMSTnレジスタのOMM1ビット	使用不可
フレーム／ウェイクアップ送信完了	フレーム（ヘッダ送信＋レスポンス送信）、ウェイクアップ信号またはデータグループを正常に送信完了したとき	・次の通信開始時 ・ソフトウェアによるクリア ・LINリセットモード移行時	・LIN動作モード ・LINウェイクアップモード	LSTnレジスタのFTCフラグ	使用可
フレーム／ウェイクアップ受信完了	フレーム（ヘッダ送信＋レスポンス受信）、ウェイクアップ信号またはデータグループを正常に受信完了したとき	・次の通信開始時 ・ソフトウェアによるクリア ・LINリセットモード移行時	・LIN動作モード ・LINウェイクアップモード	LSTnレジスタのFRCフラグ	使用可
★ エラー検出	LESTnレジスタのRPERフラグ、CSERフラグ、FERフラグ、FTERフラグ、PBERフラグ、BERフラグのいずれかが"1"（エラー検出）になったとき	・次の通信開始時 ・ソフトウェアによるクリア[注1] ・LINリセットモード移行時	・LIN動作モード ・LINウェイクアップモード	LSTnレジスタのERRフラグ	使用可
データ1受信完了	LDFCnレジスタのRFTビットが"0"（受信）で、レスポンスフィールドの最初の1バイトを受信完了したとき[注2]	・次の通信開始時 ・ソフトウェアによるクリア ・LINリセットモード移行時	LIN動作モード	LSTnレジスタのD1RCフラグ	使用不可
ヘッダ受信完了	ヘッダフィールドを正常に受信完了した場合	・次の通信開始時 ・ソフトウェアによるクリア ・LINリセットモード移行時	LIN動作モード	LSTnレジスタのHTRCフラグ	使用可

★ 注1. LINウェイクアップモードおよびLIN動作モード内でLESTnレジスタのRPERフラグ、CSERフラグ、FERフラグ、FTERフラグ、PBERフラグ、BERフラグに"0"を書くことにより、LSTnレジスタのERRフラグは"0"になります。

2. LDFCnレジスタのRFDL[3:0]ビットが"0000b"（0バイト＋チェックサム）のときは検出されません。

表17－15　LINスレーブモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	LCUCnレジスタのOM0ビットをLINリセットモードでないに設定後、実際にLIN/UARTモジュールがLINリセットモード解除になったとき	LCUCnレジスタのOM0ビットをLINリセットモードに設定後、実際にLIN/UARTモジュールがLINリセットモードになったとき	すべてのモード	LMSTnレジスタのOMM0ビット	使用不可
動作モード	LCUCnレジスタのOM1ビットをLIN動作モードに設定後、実際にLIN/UARTモジュールがLIN動作モードになったとき	LCUCnレジスタのOM1ビットをLINウェイクアップモードに設定後、実際にLIN/UARTモジュールがLINウェイクアップモードになったとき	・LIN動作モード ・LINウェイクアップモード	LMSTnレジスタのOMM1ビット	使用不可
フレーム／ウェイクアップ送信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に送信完了したとき	・ソフトウェアによるクリア ・LINリセットモード移行時	・LIN動作モード ・LINウェイクアップモード	LSTnレジスタのFTCフラグ	使用可
フレーム／ウェイクアップ受信完了	レスポンスフィールド、ウェイクアップ信号またはデータグループを正常に受信完了したとき	・ソフトウェアによるクリア ・LINリセットモード移行時	・LIN動作モード ・LINウェイクアップモード	LSTnレジスタのFRCフラグ	使用可
エラー検出	LESTnレジスタのPRERフラグ、IPERフラグ、CSERフラグ、SFERフラグ、FERフラグ、TERフラグ、BERフラグのいずれかが"1"（エラー検出）になったとき	・ソフトウェアによるクリア[注1] ・LINリセットモード移行時	・LIN動作モード ・LINウェイクアップモード	LSTnレジスタのERRフラグ	使用可
データ1受信完了	LDFCnレジスタのRCDSビットが"0"（受信）で、レスポンスフレームの最初の1バイトを受信完了したとき[注2]	・ソフトウェアによるクリア ・LINリセットモード移行時	LIN動作モード	LSTnレジスタのD1RCフラグ	使用不可
ヘッダ受信完了	ヘッダフィールドを正常に受信完了した場合	・ソフトウェアによるクリア ・LINリセットモード移行時	LIN動作モード	LSTnレジスタのHTRCフラグ	使用可

注1. LINウェイクアップモードおよびLIN動作モード内でLESTnレジスタのPRERフラグ、IPERフラグ、CSERフラグ、SFERフラグ、FERフラグ、TERフラグ、BERフラグに"0"を書くことにより、LSTnレジスタのERRフラグは"0"になります。

2. LDFCnレジスタのRFDL[3:0]ビットが"0000b"（0バイト＋チェックサム）のときは検出されません。

17.4.6　エラーステータス

（1）LINマスタモード

（a）エラーステータスの種類

LIN/UARTモジュールはLINマスタモードで6種類のエラーステータスを検出します。これらのエラーの状態はLESTnレジスタの各ビットで確認できます。すべてのエラーステータスは割り込み要因となります。表17－16にエラーステータスの種類を示します。

表17－16　エラーステータスの種類（LINマスタモード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているLINバス上のデータが一致しなかったとき注1, 2	・LIN動作モード ・LINウェイクアップモード	中断	○	LESTnレジスタのBERフラグ
フィジカルバスエラー	・ブレーク送信時にLINバスがHighを検出した場合 ・ブレークデリミタ送信時にLINバスがLowを検出した場合 ・ウェイクアップ送信時にLINバスがHighを検出した場合	・LIN動作モード ・LINウェイクアップモード	中断	○	LESTnレジスタのPBERフラグ
タイムアウトエラー	フレームまたはレスポンスの送受信があるー定の時間内に終了しなかったとき注3	LIN動作モード	中断	○	LESTnレジスタのFTERフラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがLowであったとき	LIN動作モード	中断	○	LESTnレジスタのFERフラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN動作モード	－	×	LESTnレジスタのCSERフラグ
レスポンス準備エラー	フレームセパレートモードで多バイトレスポンス受信において以下の場合 ・ヘッダ送信完了後、レスポンス送受信要求設定前に1バイト目の受信データを受信したとき ・前のデータグループ受信完了後、次のデータグループの送受信要求設定前に1バイト目の受信データを受信したとき	LIN動作モード	中断	×	LESTnレジスタのRPERフラグ

注1.　ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

2.　多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

3.　タイムアウト時間は、レスポンスフィールドデータ長（LDFCnレジスタのRFDL[3:0]ビット）、およびチェックサム選択（LDFCnレジスタのCSMビット）に依存し、下記の式により計算できます。フレームセパレートモード選択時（LDFCnレジスタのFSMビットが"1"）、LTRCnレジスタのRTSビットを設定するまでは、データバイト数8バイトのタイムアウト時間になります。

［フレームタイムアウト］

・クラシック選択時（LDFCnレジスタのCSMビットが"0"の場合）：タイムアウト時間=49＋(データバイト数＋1)×14 [Tbit]

・エンハンス選択時（LDFCnレジスタのCSMビットが"1"の場合）：タイムアウト時間=48＋(データバイト数＋1)×14 [Tbit]

上記タイムアウト時間は、クラシック選択時にLIN Specification Package Revision 1.3のTFRAME_MAXを、エンハンス選択時にLIN Specification Package Revision 2.xのTFRAME_MAXを超える時間となります。

［レスポンスタイムアウト］

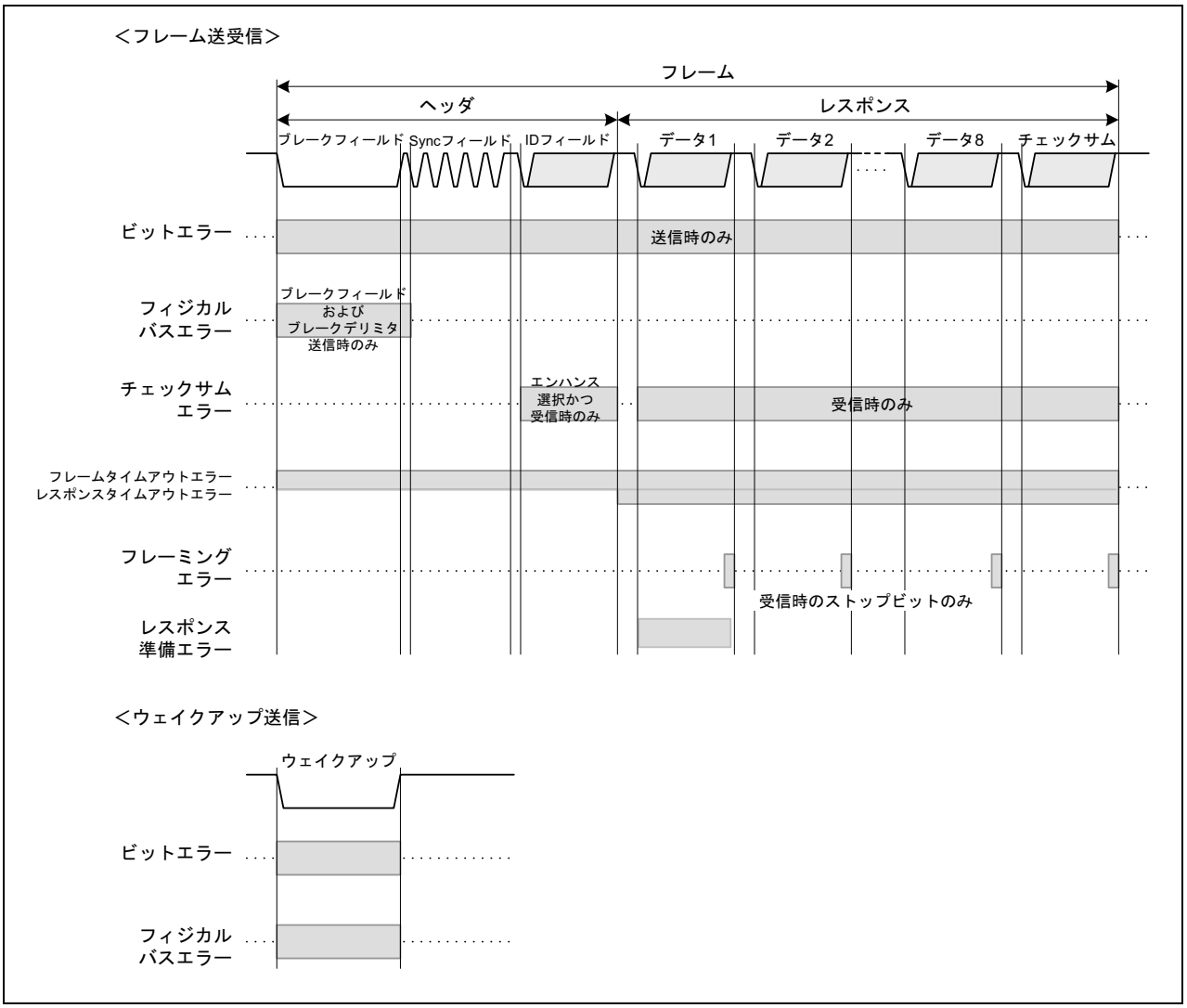
タイムアウト時間 ＝ （データバイト数＋1）×14 [Tbit]

注意　エラーステータスのクリア条件は、次の通信開始時、ソフトウェアによるクリア、LINリセットモード移行時です。

（b）LINエラー検出の対象時間領域

図17－20にエラーを検出するためにLIN/UARTモジュールがLINマスタモード時に監視する時間領域を示します。

図17－20 LINエラー検出の対象時間領域（LINマスタモード）



（2）LINスレーブモード

（a）エラーステータスの種類

LIN/UARTモジュールはLINスレーブモード[オート・ボー・レート]またはLINスレーブモード[固定ボー・レート]で、7種類のエラーステータスを検出します。これらのエラーの状態はLESTnレジスタの各ビットで確認できます。表17－17にエラーステータスの種類を示します。

表17－17　エラーステータスの種類（LINスレーブモード）

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているLINバス上のデータが一致しなかったとき注1, 2	・LIN動作モード ・LINウェイクアップモード	中断	○	LESTnレジスタのBERフラグ
タイムアウトエラー	フレームまたはレスポンスの送受信がある一定の時間内に終了しなかったとき注3	LIN動作モード	中断	○	LESTnレジスタのTERフラグ
フレーミングエラー	フレーム受信処理において、各データバイトのストップビットがLowであったとき	LIN動作モード	中断	○	LESTnレジスタのFERフラグ
シンクフィールドエラー	ブレークLowの幅がLBFCnレジスタのBLTビットで設定した幅よりも長く、シンクフィールドが"55H"でないとき	LIN動作モード	中断	○注4	LESTnレジスタのSFERフラグ
チェックサムエラー	レスポンスフレーム受信処理において、チェックサム判定の結果がエラーのとき	LIN動作モード	－注5	×	LESTnレジスタのCSERフラグ
IDパリティエラー	受信したIDパリティビットが、LIN/UARTモジュールが自動で計算した値と一致しなかったとき	LIN動作モード	中断	○	LESTnレジスタのIPERフラグ
レスポンス準備エラー	・ヘッダ受信後、1バイト目の受信データを受信完了前にレスポンスの準備が間に合わなかったとき ・多バイトレスポンス送受信で、次のデータグループの1バイト目の受信データを受信完了前に次のデータグループの準備が間に合わなかったとき	LIN動作モード	中断	×	LESTnレジスタのRPERフラグ

注1.　ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、エラーになったビットを送信した直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

2.　多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

3.　タイムアウト時間は、レスポンスフィールドデータ長（LDFCnレジスタのRFDL[3:0]ビット）およびチェックサム選択（LDFCnレジスタのLCSビット）に依存し、下記の式により計算できます。

LTRCnレジスタのRTSビットまたはLNRRビットを設定するまでは、データバイト数8バイトのタイムアウト時間となります。RTSビットが設定されると、タイムアウト時間はレスポンスフィールドデータ長（LDFCnレジスタのRFDL[3:0]ビット）を元にした時間に再設定されます。LNRRビットが設定されるとタイムアウト機能は停止します。

［フレームタイムアウト］

・クラシック選択時（LDFCnレジスタのCSMビットが"0"の場合）: タイムアウト時間 = 49＋（データバイト数＋1）×14 [Tbit]

・エンハンス選択時（LDFCnレジスタのCSMビットが"1"の場合）: タイムアウト時間 = 48＋(データバイト数＋1)×14 [Tbit]

上記タイムアウト時間は、クラシック選択時にLIN Specification Package Revision 1.3のTFRAME_MAXを、エンハンス選択時にLIN Specification Package Revision 2.xのTFRAME_MAXを超える時間となります。

［レスポンスタイムアウト］

タイムアウト時間 = （データバイト数＋1）×14 [Tbit]

4.　SFERフラグへの反映の許可／禁止であり、エラー検出の許可／禁止ではありません。

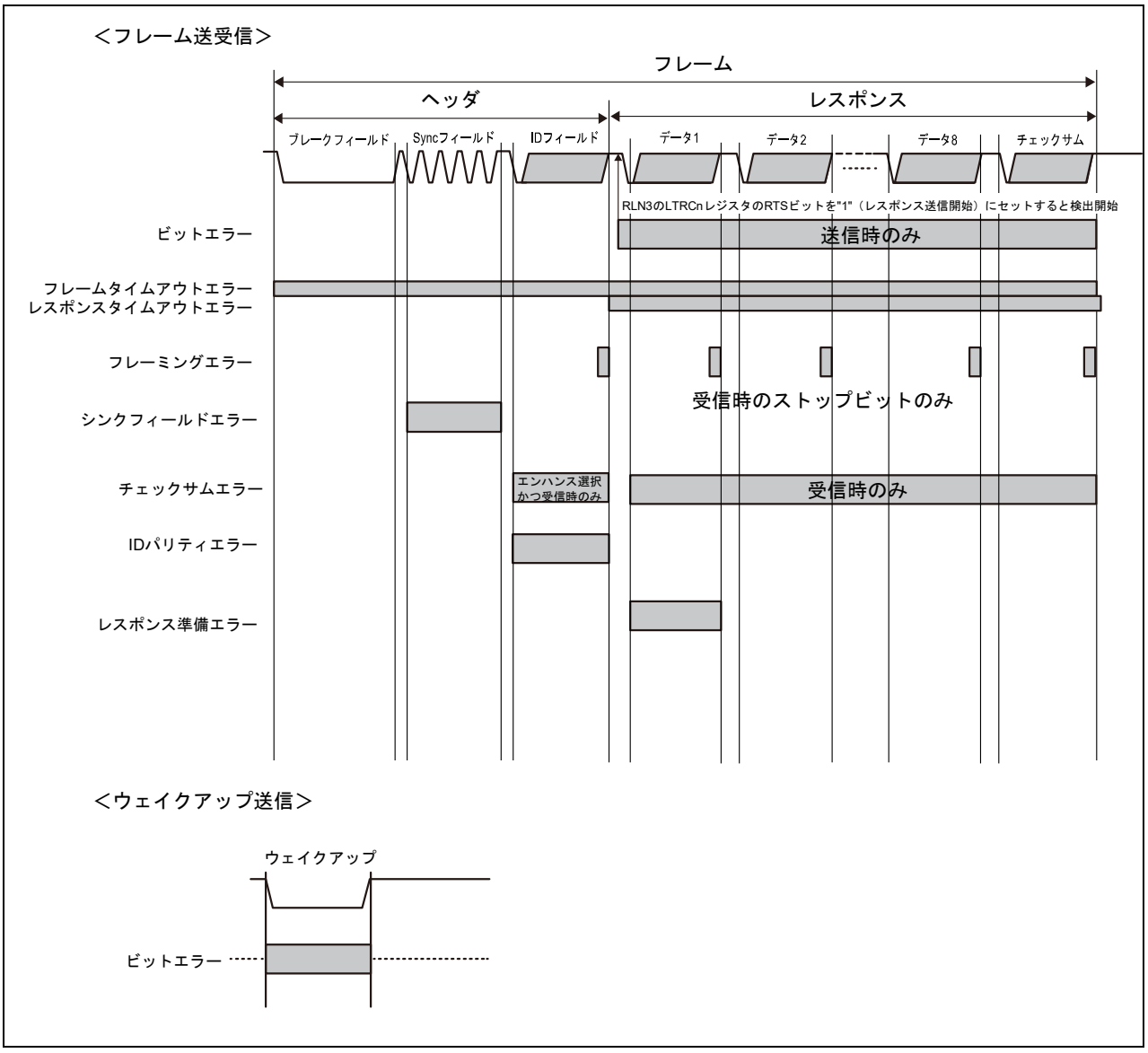
5.　レスポンスフレーム受信完了後にチェックサム判定を行います。エラーの場合、受信完了フラグは"1"になりません。

注意　エラーステータスのクリア条件は、ソフトウェアによるクリア、LINリセットモード移行時です。

（b）LINエラー検出の対象時間領域

図17－21にエラーを検出するためにLIN/UARTモジュールがスレーブモード時に監視する時間領域を示します。

図17－21 LINエラー検出の対象時間領域（LINスレーブモード）



17.5 UARTモード

17.5.1 動作概要

（1）送信

図17－22にLIN/UARTモジュール（UARTモード）の送信動作、表17－18にLIN/UARTモジュール（UARTモード）の送信処理を示します。

図17－22 LIN/UARTモジュール（UARTモード）の送信動作

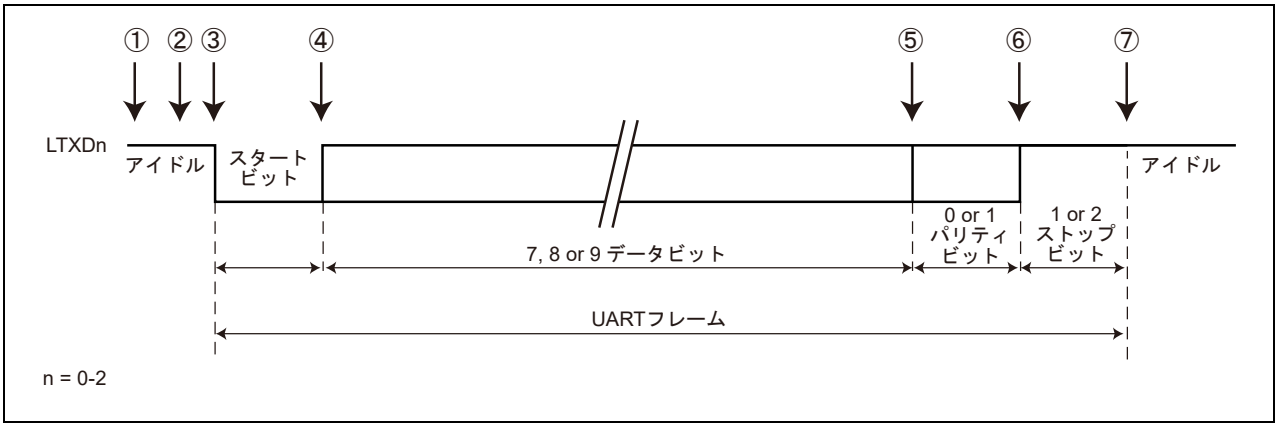


表17－18 LIN/UARTモジュール（UARTモード）の送信処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・ボー・レートを設定 ・ノイズフィルタON/OFFを設定 ・エラー検出許可を設定 ・データフォーマットを設定 ・割り込み発生タイミングを設定 ・LIN/UARTモジュールをLINリセットモードから解除 ・送信動作許可ビット（UTOEビット）を"1"に設定	・ソフトウェアによる送信トリガ（LUTDRn）待ち
②	・UART送信データ・レジスタ（LUTDRn）またはUARTウェイト用送信データ・レジスタ（LUWTDRn）に送信データを設定	・送信ステータスフラグを設定
③	・割り込み要求発生待ち [UTIGTSビットが"0"（送信開始時に送信割り込み要求を出力）のとき] ・連続してデータの送信を行う場合は、UART送信データ・レジスタ（LUTDRn）に次の送信データを設定。割り込み要求発生待ち	・スタートビット送信（半二重通信で受信→送信切り替え時は、受信の1ストップビットの終わり以後、スタートビット送信。この機能は「17.5.1（4）送信開始ウェイト機能」を参照してください） [UTIGTSビットが"0"（送信開始時に送信割り込み要求を出力）のとき] ・送信割り込み出力
④		UART（ウェイト用）送信データ・レジスタに設定したデータを送信
⑤		パリティ使用時、パリティビットを送信
⑥		1または2ストップビットを送信
⑦	[UTIGTSビットが"0"（送信開始時に送信割り込み要求を出力）のとき] ・次の送信データがセットされている場合は、③へ [UTIGTSビットが"1"（送信完了時に送信割り込み要求を出力）のとき] ・連続してデータの送信を行う場合は、②へ	[UTIGTSビットが"0"（送信開始時に送信割り込み要求を出力）のとき] ・次の送信データがセットされている場合は、③へ ・次の送信データがセットされていない場合は、送信ステータスフラグをクリア [UTIGTSビットが"1"（送信完了時に送信割り込み要求を出力）のとき] ・送信割り込み出力 ・送信ステータスフラグをクリア

（a）連続送信

LIN/UARTモジュール（UARTモード）では、LUTDRnレジスタを使用して複数のデータを連続送信することができます。送信割り込み発生タイミングが送信開始の場合の動作例を図17－23に、送信割り込み発生タイミングが送信完了の場合の動作例を図17－24に示します。

図17－23　LIN/UARTモジュール（UARTモード）連続送信動作（LUORn1レジスタのUTIGTSビットが"0"のとき）

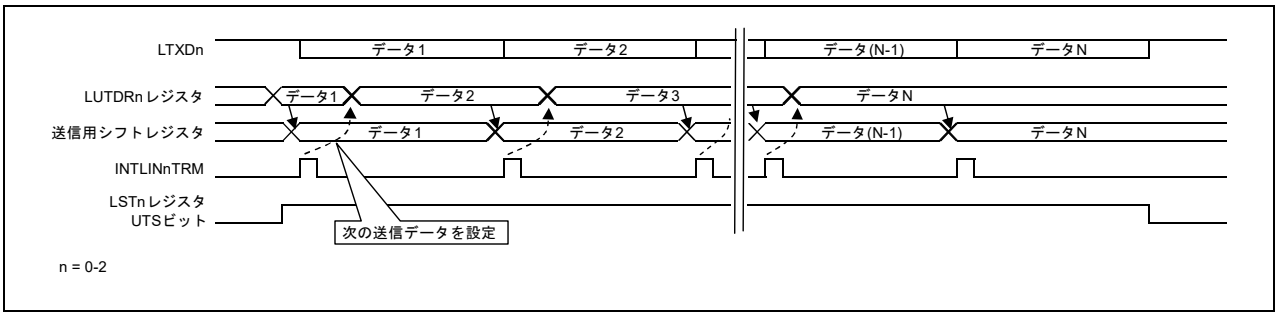
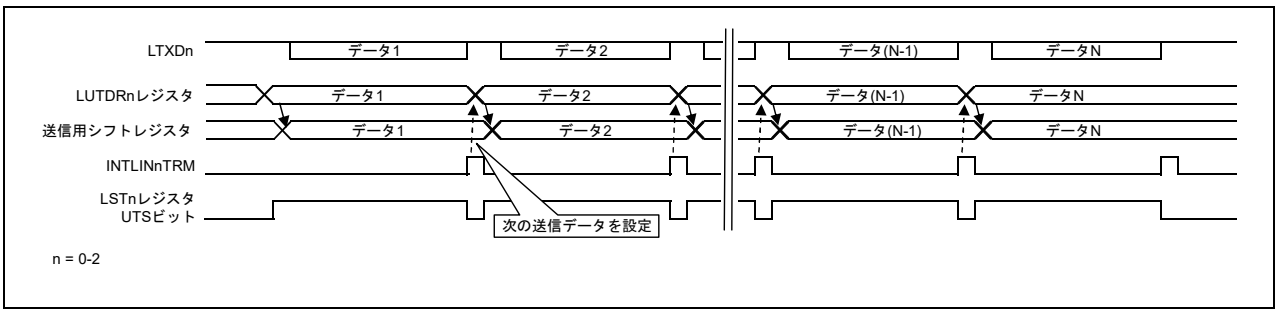


図17－24　LIN/UARTモジュール（UARTモード）連続送信動作（LUORn1レジスタのUTIGTSビットが"1"のとき）



送信割り込み発生タイミングが送信開始で最終データの送信完了を知る必要がある場合のみ、最終データの送信開始後にLUORn1レジスタのUTIGTSビットを"0"から"1"に変更することにより、送信完了で割り込みを発生させることができます。

（b）UARTバッファ送信

LIN/UARTモジュール（UARTモード）は最大9段のUARTバッファを持っており、UARTバッファを使用した連続送信が可能です。

図17－25にLIN/UARTモジュール（UARTモード）のUARTバッファ送信動作、表17－19にUARTバッファ送信処理を示します。

図17－25 LIN/UARTモジュール（UARTモード）のUARTバッファ送信動作

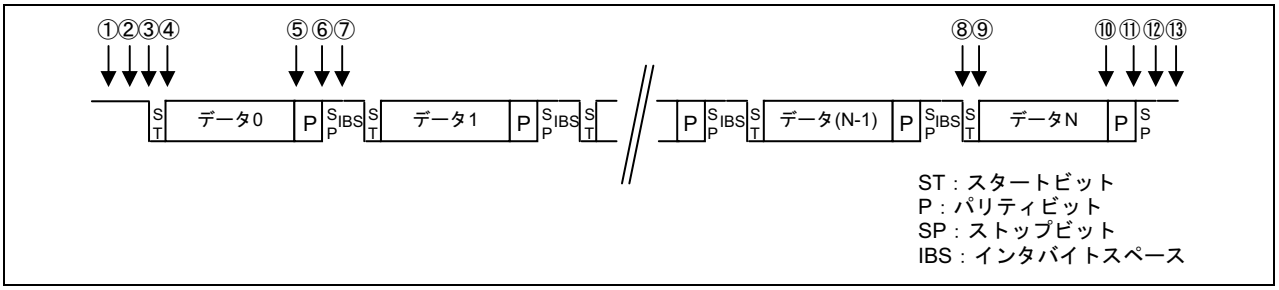


表17－19 LIN/UARTモジュール（UARTモード）UARTバッファ送信処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・ボー・レートを設定 ・ノイズフィルタON/OFFを設定 ・エラー検出許可を設定 ・データフォーマットを設定 ・割り込み発生タイミングを送信完了時に設定 ・LIN/UARTモジュールをLINリセットモードから解除 ・送信動作許可ビット（UTOEビット）を"1"に設定	・ソフトウェアによる送信トリガ（RTSビット）待ち
②	・UARTバッファデータ長および送信開始ウェイト有無の設定 ・UARTデータ・バッファ0レジスタ（LUDBn0）、LIN/UARTデータ・バッファm・レジスタ（LDBnm）に送信データを設定 ・UARTバッファ送信開始ビット（RTS）を設定	・送信ステータスフラグをセット
③	・割り込み要求発生待ち	・スタートビット送信（半二重通信で受信→送信切り替え時は、受信の1ストップビットの終わり以後、スタートビット送信。この機能は「17.5.1（4）送信開始ウェイト機能」を参照してください）
④		UARTデータ・バッファ0レジスタ（LUDBn0）またはLIN/UARTデータ・バッファm・レジスタ（LDBnm）に設定したデータを送信
⑤		パリティ使用時、パリティビットを送信
⑥		1または2ストップビットを送信
⑦		インタバイトスペース（アイドル）を送信
－		UARTバッファデータ長設定ビットで設定したフレーム数-1まで、③～⑦を繰り返す
⑧		スタートビット送信
⑨		LIN/UARTデータ・バッファm・レジスタ（LDBnm）に設定したデータを送信
⑩		パリティ使用時、パリティビットを送信
⑪		1または2ストップビットを送信
⑫		・バッファ送信完了フラグをセット ・UARTバッファ送信開始ビット（RTS）をクリア ・送信割り込み出力 ・送信ステータスフラグをクリア
⑬	・LSTnレジスタのチェック、フラグのクリア ・連続してデータの送信を行う場合は、②へ	

n = 0-2

（2）受信

図17－26にLIN/UARTモジュール（UARTモード）の受信動作、表17－20にLIN/UARTモジュール（UARTモード）の受信処理を示します。

図17－26 LIN/UARTモジュール（UARTモード）の受信動作

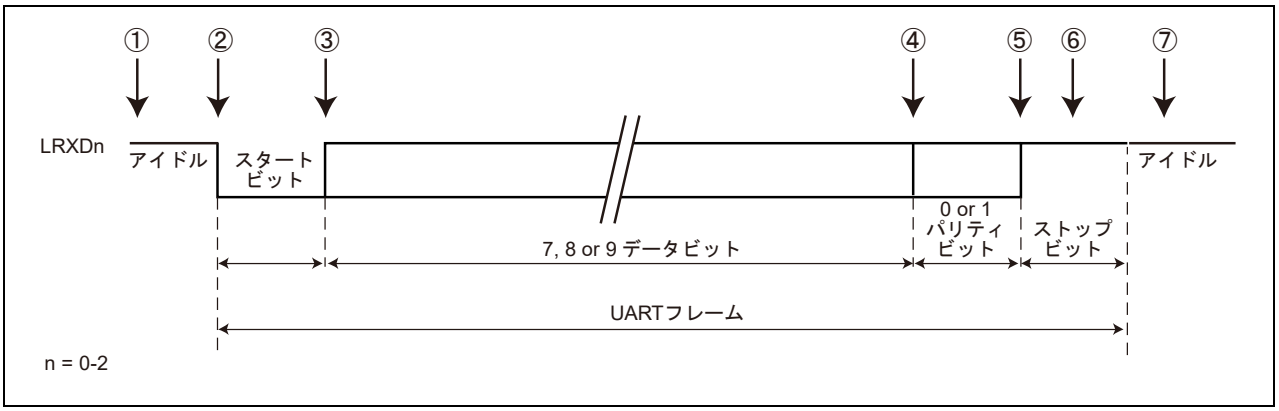


表17－20 LIN/UARTモジュール（UARTモード）の受信処理

No.	ソフトウェア処理	LIN/UARTモジュール処理
①	・ボー・レートを設定 ・ノイズフィルタON/OFFを設定 ・エラー検出許可を設定 ・データフォーマットを設定 ・LIN/UARTモジュールをLINリセットモードから解除 ・受信動作許可ビット（UROEビット）を"1"に設定	・ソフトウェアによる受信許可状態切り換え待ち ・スタートビット検出待ち
②	・割り込み要求発生待ち	・受信端子からの立ち下がりエッジを待ち、スタートビットを検出 ・受信ステータスフラグをセット
③		データを受信
④		パリティ使用時、パリティビットを受信
⑤		1ストップビットのみ受信
⑥		・受信完了割り込み出力 ・受信ステータスフラグをクリア
⑦	LSTnレジスタのチェック、フラグのクリア	受信端子からの立ち下がりエッジ待ち

n = 0-2

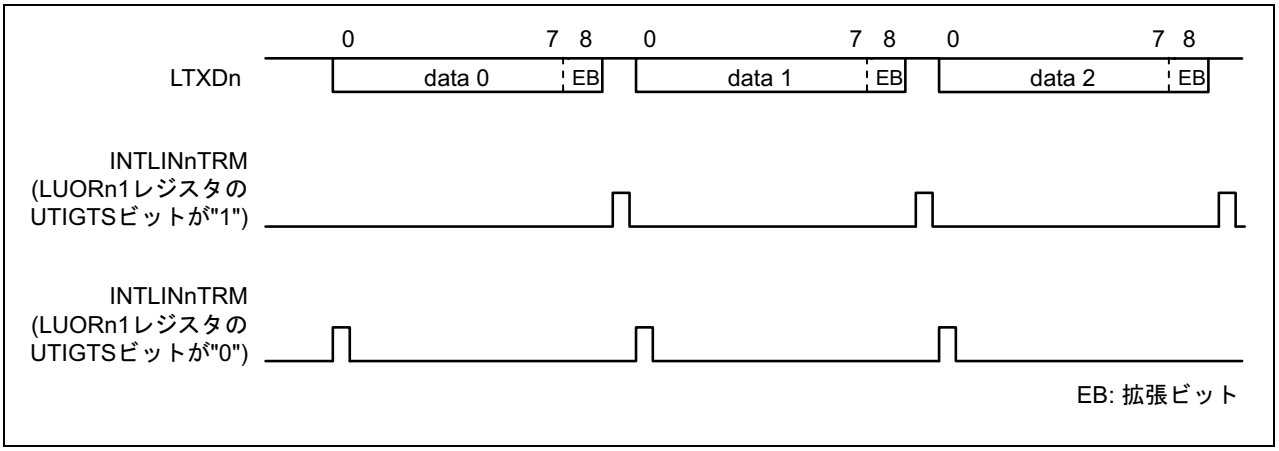
（3）拡張ビット

LIN/UARTモジュール（UARTモード）でLUORn1レジスタのUEBEビットを"1"に設定することにより、9ビット長のデータを送受信することが可能です。

（a）拡張ビット送信

LIN/UARTモジュール（UARTモード）で、UARTオプション・レジスタ1（LUORn1）の拡張ビット許可ビット（UEBE）が"1"で、UART送信データ・レジスタ（LUTDRn）またはUARTウェイト用送信データ・レジスタ（LUWTDRn）に9ビットのデータを書き込むと9ビット長のデータが送信されます。

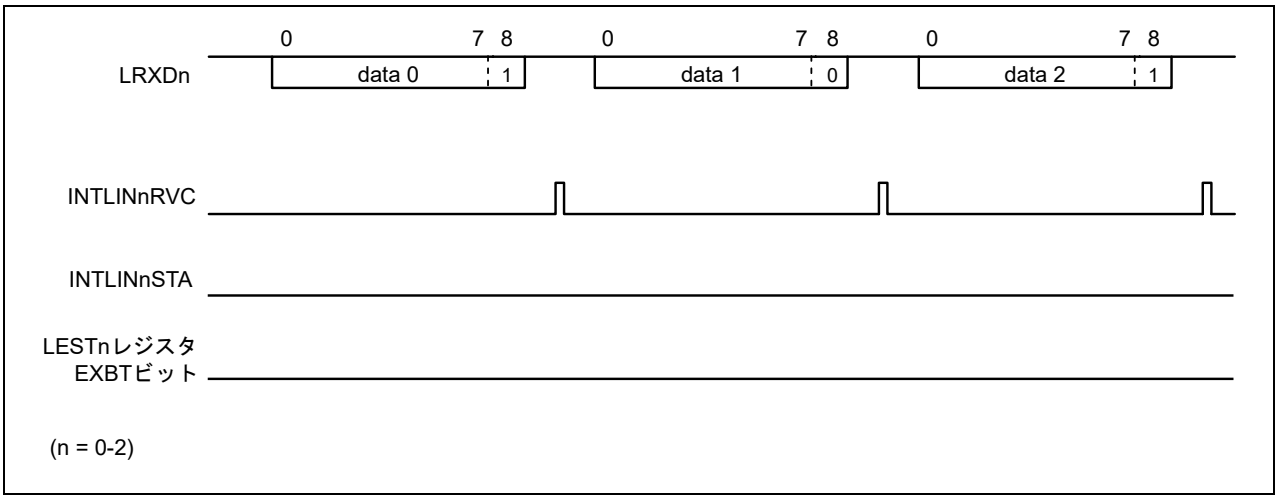
図17－27 拡張ビット許可時送信例（LSBファースト）



（b）拡張ビット受信

LIN/UARTモジュール（UARTモード）で、UARTオプション・レジスタ1（LUORn1）の拡張ビット許可ビット（UEBE）が”1”かつ、拡張ビット比較禁止ビット（UECD）が”1”かつ拡張ビット・データ比較許可ビット（UEBDCE）が”0”のとき、拡張ビットの比較なしで常に9ビット長の受信が可能です。UARTオプション・レジスタ1（LUORn1）の拡張ビット検出レベル選択ビット（UEBDL）の設定にかかわらず、9ビット長のデータを受信するとLINnの受信完了割り込みが発生します。

図17－28 拡張ビット受信の例（LSBファースト）



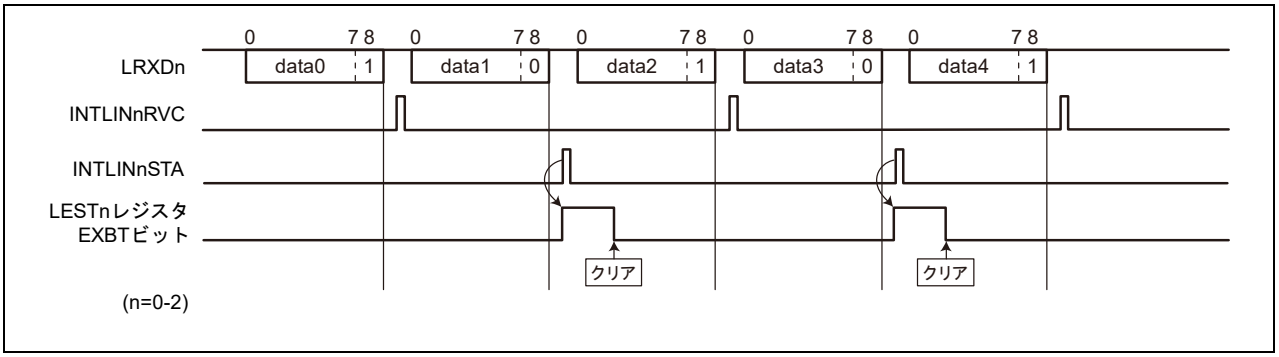
（c）拡張ビット受信（拡張ビット比較あり）

LIN/UARTモジュール（UARTモード）で、UARTオプション・レジスタ1（LUORn1）の拡張ビット許可ビット（UEBE）が"1"かつ拡張ビット比較禁止ビット（UECD）が"0"かつ拡張ビット・データ比較許可ビット（UEBDCE）が"0"のとき、受信した拡張ビットとUEBDLビットの比較が可能です。

拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出した場合は、データ受信完了時にLINnの受信ステータス割り込みが発生し、LIN/UARTエラー・ステータス・レジスタ（LESTn）の拡張ビット検出フラグ（EXBT）がセットされます。拡張ビット検出レベルの反転値が検出された場合は、LINnの受信完了割り込みが発生します。どちらの場合も、オーバランエラーでなければ受信データをUART受信データ・レジスタ（LURDRn）へ格納します。

拡張ビット検出レベル選択ビット（UEBDL）を"0"に設定した場合の例を図17－29に示します。

図17－29　拡張ビット受信（拡張ビット比較あり）の例（LSBファースト、UEBDL=0）



注意1.　受信データ0、2、4（拡張ビット検出レベルの反転値が検出された場合）で受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、LINnの受信ステータス割り込みが発生し、エラーフラグが更新されます。このとき、LINnの受信完了割り込みは発生しません。

2.　受信データ1、3（拡張ビット検出レベルが検出された場合）で受信エラー（パリティエラー／フレーミングエラー／オーバランエラー）が発生すると、LINnの受信ステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生時は、拡張ビット検出フラグ（EXBT）もセットされます。

（d）拡張ビット受信（データ比較あり）

LIN/UARTモジュール（UARTモード）で、UARTオプション・レジスタ1（LUORn1）の拡張ビット許可ビット（UEBE）が"1"かつ拡張ビット比較禁止ビット（UECD）が"0"かつ拡張ビット・データ比較許可ビット（UEBDCE）が"1"のとき、拡張ビット検出レベル選択ビット（UEBDL）で設定したレベルを検出すると、受信データの拡張ビットを除く8ビットを、あらかじめ設定したLIDBnレジスタ値と比較します。比較結果が一致の場合は、以下の動作を実行します。

・LINnの受信ステータス割り込みを発生（n = 0-2）
・拡張ビット検出フラグ（EXBT）をセット
・ID一致フラグ（IDMT）をセット
・受信データをUART受信データ・レジスタ（LURDRn）に格納

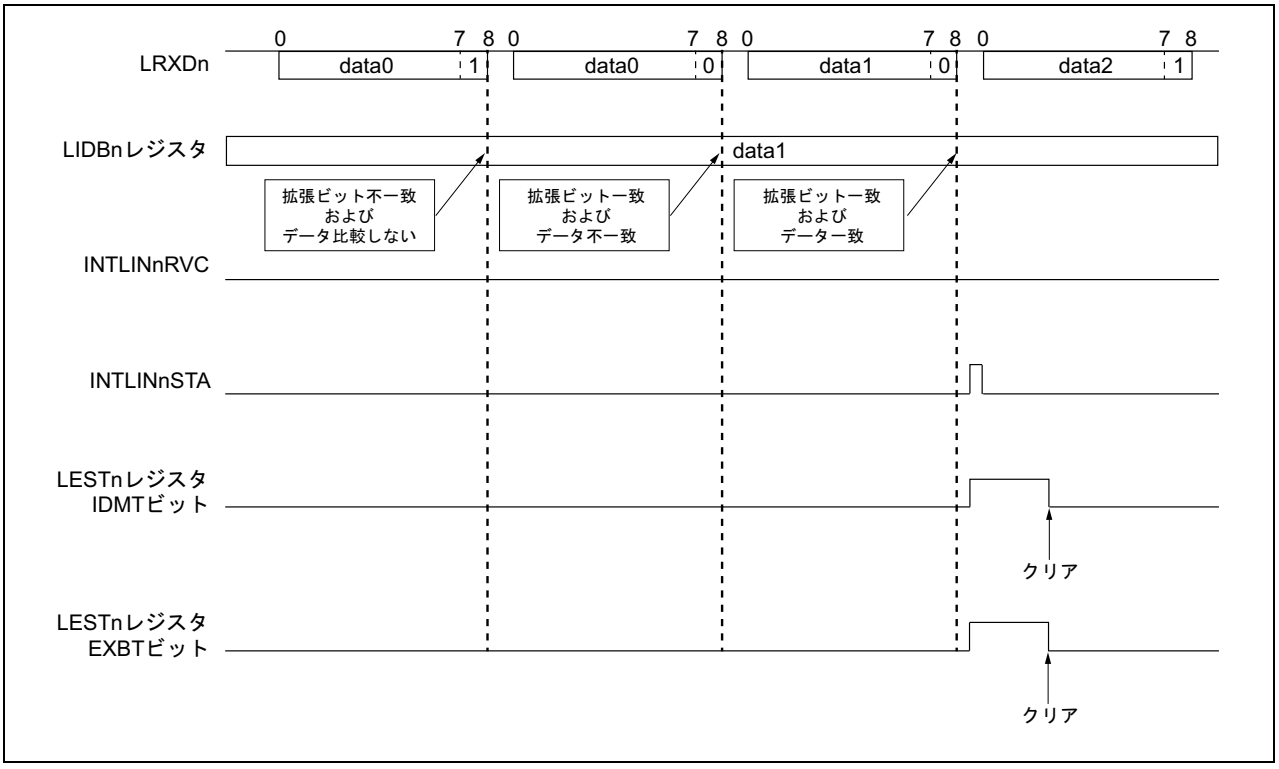
比較結果が一致の場合においても、LINnの受信完了割り込みは発生しません。

比較結果が一致しない場合は、LINnの受信完了割り込みおよびLINnの受信ステータス割り込みは発生せず、EXBTフラグおよびIDMTフラグは"1"にセットされません。受信データはUART受信データ・レジスタ（LURDRn）に格納されません。

UEBDCEビットを”0”に変更する場合は、次の受信データ完了後までに行ってください。

拡張ビット検出レベル選択ビット（UEBDL）を"0"に設定した場合の例を図17－30に示します。

図17－30　拡張ビット受信（データ比較あり）の例（LSBファースト、UEBDL = 0）



注意　受信エラー（パリティエラー/フレーミングエラー/オーバランエラー）が発生すると、LINnの受信ステータス割り込みが発生し、エラーフラグが更新されます。オーバランエラー発生かつ比較結果が一致した場合は、EXBTフラグおよび IDMTフラグも"1"になります。

（4）送信開始ウェイト機能

LIN/UARTモジュール（UARTモード）は、半二重通信を行う場合、受信から送信へ切り替わるときに受信のストップビット長を確保する機能を持っています。

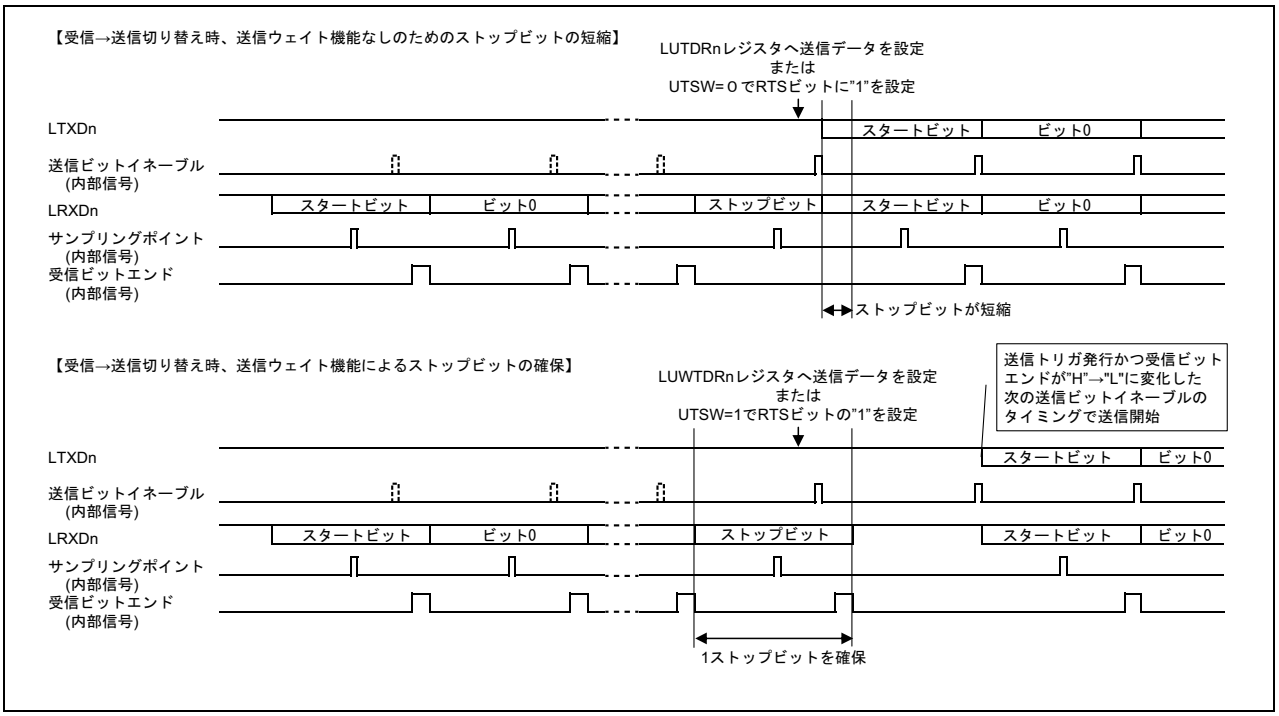
受信のストップビット完了まで送信開始を遅らせたい場合、送信開始要求としてLUTDRnレジスタへ送信データを設定する代わりに、ウェイト専用レジスタであるLUWTDRnレジスタへデータを設定してください。UARTバッファから送信する場合は、LDFCnレジスタのUTSWビットを"1"に設定した状態で、LTRCnレジスタのRTSビットに"1"（UARTバッファ送信許可）を設定してください。 ★

この場合、受信データのストップビットが終了するまで、送信開始をウェイトします。

なお、UARTストップビット長選択ビット（USBLS）が"1"（ストップビット2ビット）の場合でも、1ビット分しかウェイトしません。

送信ウェイト機能の動作を図17－31に示します。

図17－31　受信データのストップビット中に送信データを設定した場合



（5）SNOOZEモード機能

LIN/UARTモジュール（UARTモード）は、受信動作時にSNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でLRXDn端子入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

LIN/UARTモジュール（UARTモード）をSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。

・SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。SNOOZEモード時のUART受信ボー・レート設定の表17－21～表17－24を参照してLBRPnレジスタ、LWBRnレジスタのLPRS[2:0]ビットとNSPB[3:0]ビットを設定してください。

・UARTスタンバイ・コントロール・レジスタ（LUSCn）のUWCビットをセットしてください。また、LUSCnレジスタのUSECビット、URDCCビットを設定することにより、通信エラーが発生した場合にエラー割り込みの発生許可／停止、受信データとLIDBnレジスタとの比較許可／禁止を設定することができます。

・STOPモードに移行する直前にUARTオペレーション許可レジスタ（LUOERn）のUROEビットをセット（1）してください。

STOPモードに移行後、LRXDnのエッジを検出（スタート・ビット入力）すると、UART受信を開始します。

注意1. SNOOZEモードは、LINCKSELレジスタのLINnMCKビット = 0（f_{CLK}を選択）かつf_{CLK}に高速オンチップ・オシレータ・クロック（f_{IH}）を選択している場合のみ使用できます。

2. SNOOZEモードでの転送レートは、ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0の設定で4800 bps以下、FRQSEL4 = 1の設定で2400 bps以下です。

3. UWC = 1の設定では、STOPモード中に受信開始したときのみUARTを使用できます。
他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
・UWC = 1に設定後、STOPモードに移行する前に受信開始した場合
・他のSNOOZEモード中に受信開始した場合
・STOPモードから割り込みなどで通常動作に復帰後、UWC = 0に戻す前に受信開始した場合

4. USEC = 1の設定では、SNOOZE中にエラー（パリティ・エラー、フレーミング・エラー）またはステータス（拡張ビット検出）変化を検出してもフラグはセットされず、エラー割り込みも発生しません。

5. STOPモードに移行後、LRXDn端子の立下りエッジ検出によりSNOOZEモードへ移行します。
また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず，SNOOZEモードを継続することがあります。
この場合，次のUART受信で正しくデータ受信できず，受信エラーが発生することがあります。

表17－21 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 32MHz、FRQSEL4 = 0）

UARTボー・レート（目標ボー・レート）	製品グレード	LIN通信クロック源	プリスケーラ LPRS[2:0]	ボー・レート・ジェネレータ0-1 LBRP0-1
1200bps	Lグレード	32MHz±2%	001B (1/2)	828
2400bps	Lグレード			412
4800pbs	Lグレード			203

表17－22 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 24MHz、FRQSEL4 = 0）

UARTボー・レート（目標ボー・レート）	製品グレード	LIN通信クロック源	プリスケーラ LPRS[2:0]	ボー・レート・ジェネレータ0-1 LBRP0-1
1200bps	Lグレード	24MHz±2%	001B (1/2)	621
	Kグレード	24MHz±3%		621
2400bps	Lグレード	24MHz±2%	001B (1/2)	308
	Kグレード	24MHz±3%		308
4800pbs	Lグレード	24MHz±2%	001B (1/2)	152
	Kグレード	24MHz±3%		152

表17－23 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 32MHz、FRQSEL4 = 1）

UARTボー・レート（目標ボー・レート）	製品グレード	LIN通信クロック源	プリスケーラ LPRS[2:0]	ボー・レート・ジェネレータ0-1 LBRP0-1
1200bps	Lグレード	32MHz±2%	001B (1/2)	826
2400bps	Lグレード			410

表17－24 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 24MHz、FRQSEL4 = 1）

UARTボー・レート（目標ボー・レート）	製品グレード	LIN通信クロック源	プリスケーラ LPRS[2:0]	ボー・レート・ジェネレータ0-1 LBRP0-1
1200bps	Lグレード	24MHz±2%	001B (1/2)	619
	Kグレード	24MHz±3%		619
2400bps	Lグレード	24MHz±2%	001B (1/2)	307
	Kグレード	24MHz±3%		307

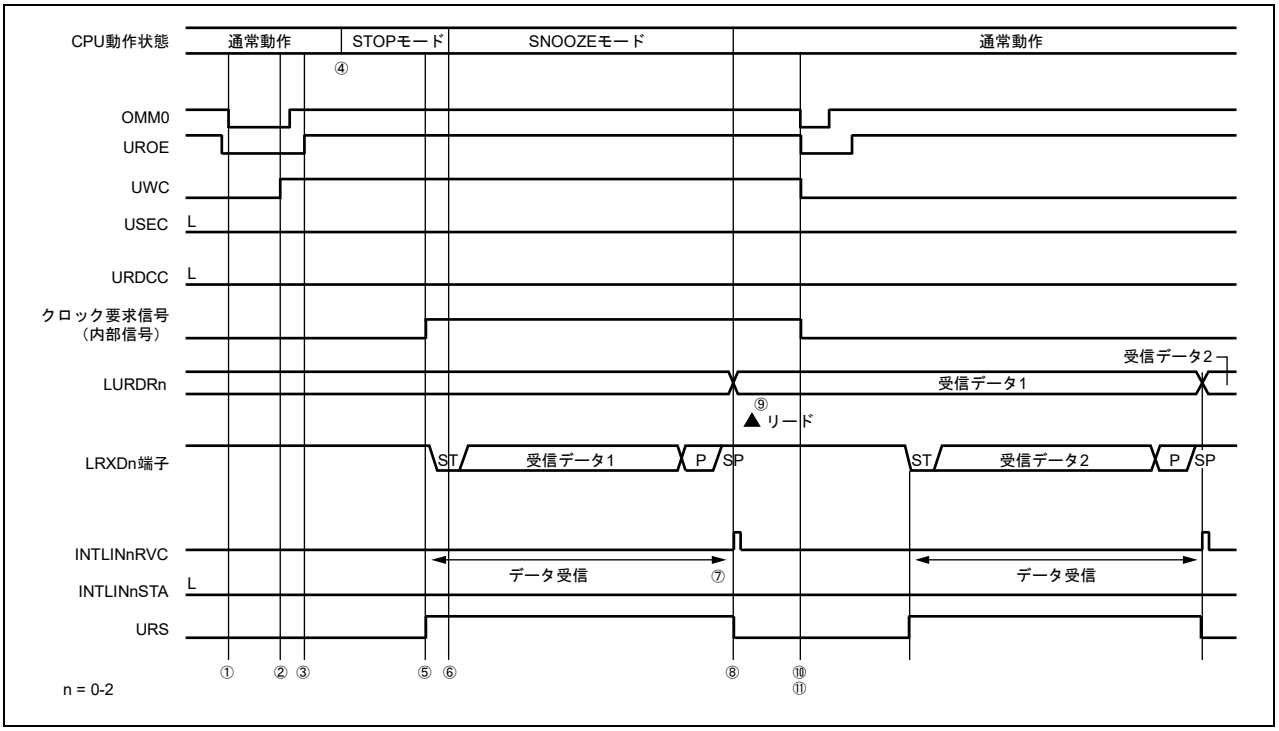
備考1. 最大許容値、最小許容値は、UART受信時のボー・レート許容値です。この範囲に送信側のボー・レートが収まるように設定してください。

2. 受信データ長は8ビット＋パリティビットです。

3. ビット・サンプリング数は16サンプリング（NSPB[3:0] = 0000bまたは1111b）です。

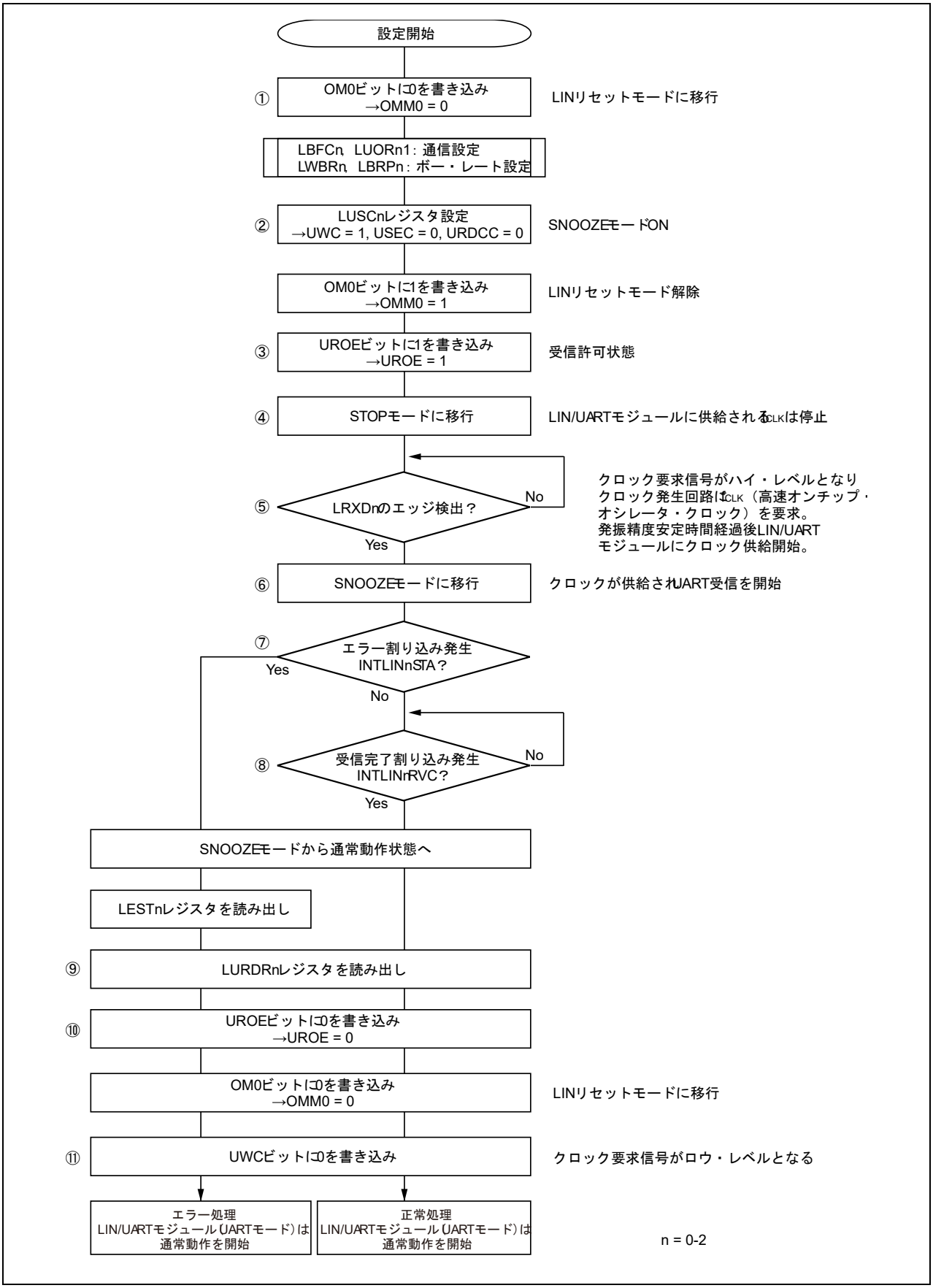
（a）SNOOZEモード動作（正常受信による復帰　UWCビット="1"、URDCCビット="0"）

図17－32　SNOOZEモード動作（正常受信による復帰　UWCビット="1"、URDCCビット="0"）時のタイミングチャート



備考　図中の①～⑪は、SNOOZEモード動作（正常受信による復帰　UWCビット="1"、URDCCビット="0"）時のフローチャートの①～⑪に対応しています。

図17－33　SNOOZEモード動作（正常受信による復帰　UWCビット="1"、URDCCビット="0"）時のフローチャート



備考　図中の①～⑪は、SNOOZEモード動作（正常受信による復帰　UWCビット="1"、URDCCビット="0"）時のタイミングチャートの①～⑪に対応しています。

（b）SNOOZEモード動作（受信データ比較結果一致による復帰　UWCビット="1"、URDCCビット="1"）

図17－34　SNOOZEモード動作（受信データ比較結果一致による復帰　UWCビット="1"、URDCCビット="1"）時のタイミングチャート

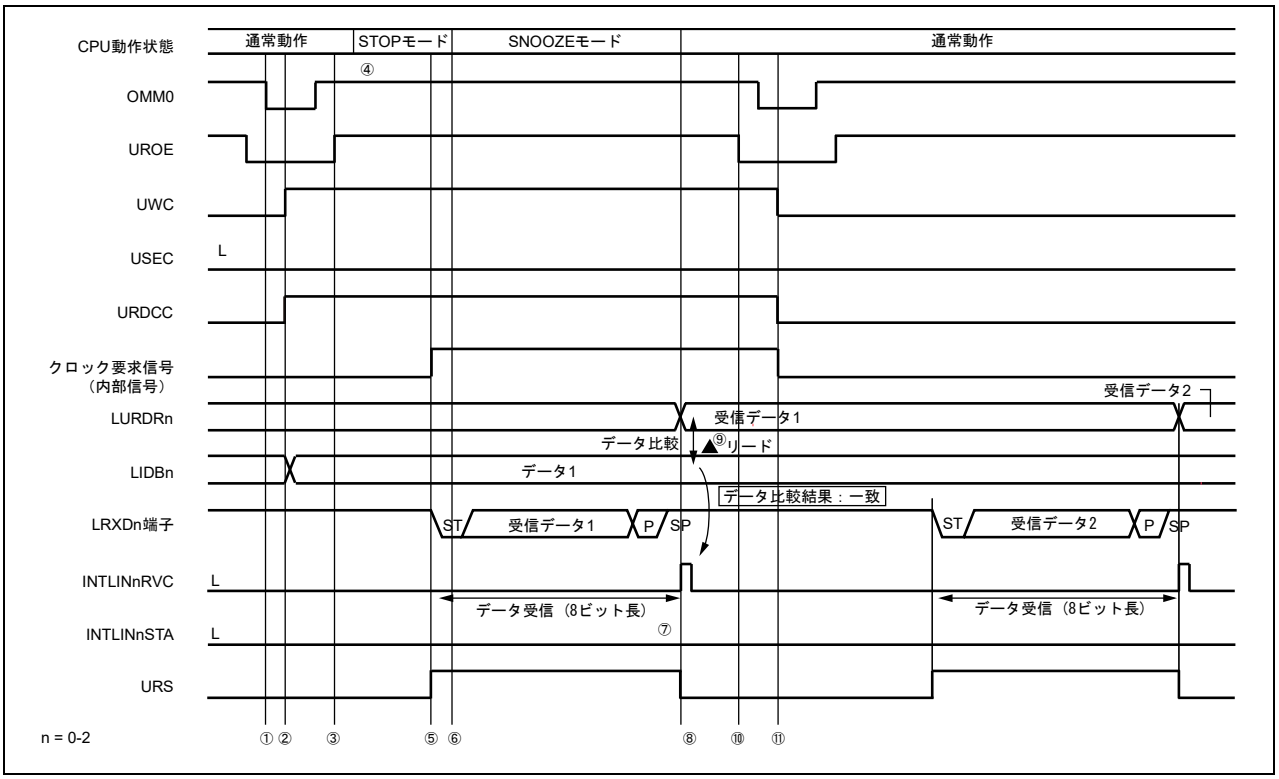
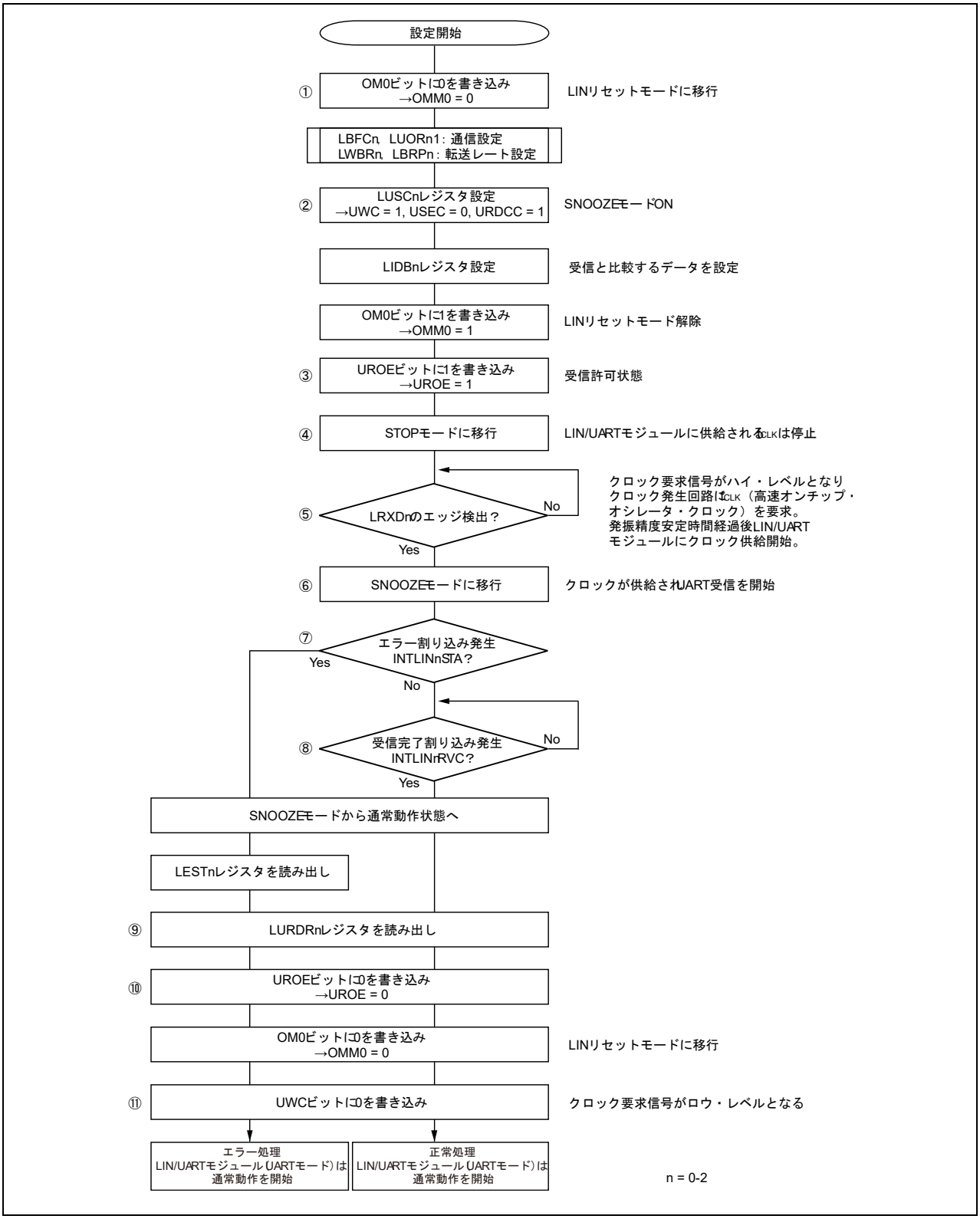


図17－35　SNOOZEモード動作（受信データ比較結果一致による復帰　UWCビット="1"、URDCCビット="1"）時のフローチャート



LUSCnレジスタのURDCCビットを"1"（SNOOZEモード時、受信データとLIDBnレジスタの比較許可）にする場合は、ビット長を8ビット（LBFCnレジスタのUBLSビットが"0"（UART 8ビット通信）かつLUORn1レジスタのUEBEビットが"0"（拡張ビット動作禁止））でのみ使用してください。

17.5.2 データ送信/受信

（1）データ送信

データ送信は、1 Tbitに1ビットずつ行われます。

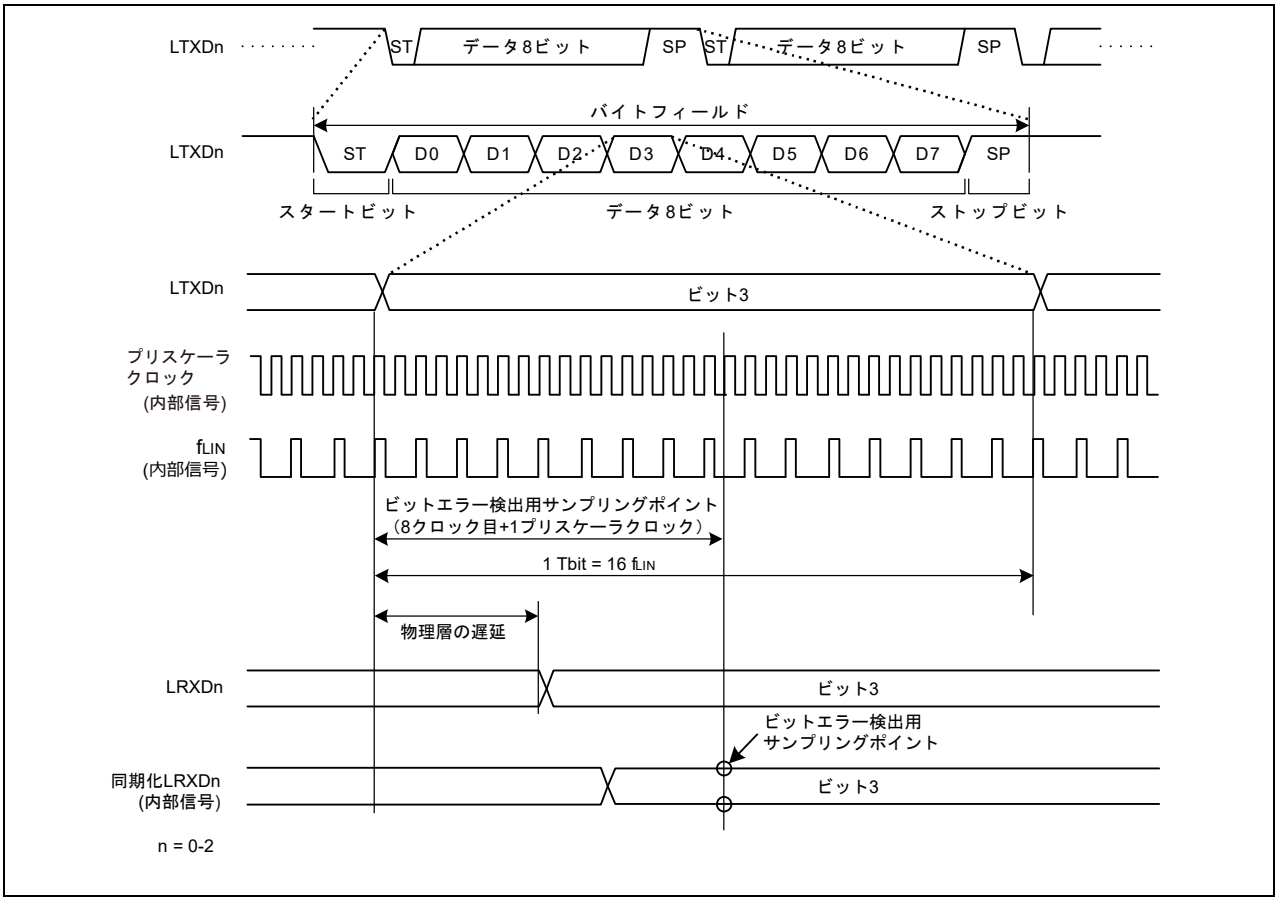
半二重通信で、LEDEnレジスタのBEREビットが"1"（ビットエラー検出許可）のとき、データ送信時に送信データと入力端子レベルの比較がビットごとに行われ、結果はLESTnレジスタのBERフラグに格納されます（「17.5.5 エラーステータス」を参照してください）。データ送信時に、入力端子をサンプリングするタイミングは、LWBRnレジスタのLPRS[2:0] および NSPB[3:0]ビットの設定により異なります。

UARTモード時のビットエラー検出タイミングを表17－25に示します。

表17－25 UARTモード時のビットエラー検出タイミング

1ビットあたりのサンプリング数	ビットエラー検出タイミング
6サンプリング	3クロック目+ 1プリスケーラクロック
7サンプリング	4クロック目+ 1プリスケーラクロック
8サンプリング	4クロック目+ 1プリスケーラクロック
9サンプリング	5クロック目+ 1プリスケーラクロック
10サンプリング	5クロック目+ 1プリスケーラクロック
11サンプリング	6クロック目+ 1プリスケーラクロック
12サンプリング	6クロック目+ 1プリスケーラクロック
13サンプリング	7クロック目+ 1プリスケーラクロック
14サンプリング	7クロック目+ 1プリスケーラクロック
15サンプリング	8クロック目+ 1プリスケーラクロック
16サンプリング	8クロック目+ 1プリスケーラクロック

図17－36 データ送信タイミング例（1 Tbitが16サンプリングの場合）



（2）データ受信

データ受信は、LRXDn端子からの入力をプリスケーラクロックに同期させた同期化LRXDn（内部信号）を使用して行います。

この同期化LRXDn信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、1 Tbitあたりのサンプリング数が偶数の場合は0.5 Tbit後に、奇数の場合は{ (サンプリング数＋1) /2} / (サンプリング数) Tbit後に再度サンプリングを行い、同期化LRXDn信号がLowであった場合にスタートビットと認識します。リセット解除後からLRXDn信号がLow固定の場合や、再サンプリング時にHighを検出した場合はスタートビットとは認識しません。

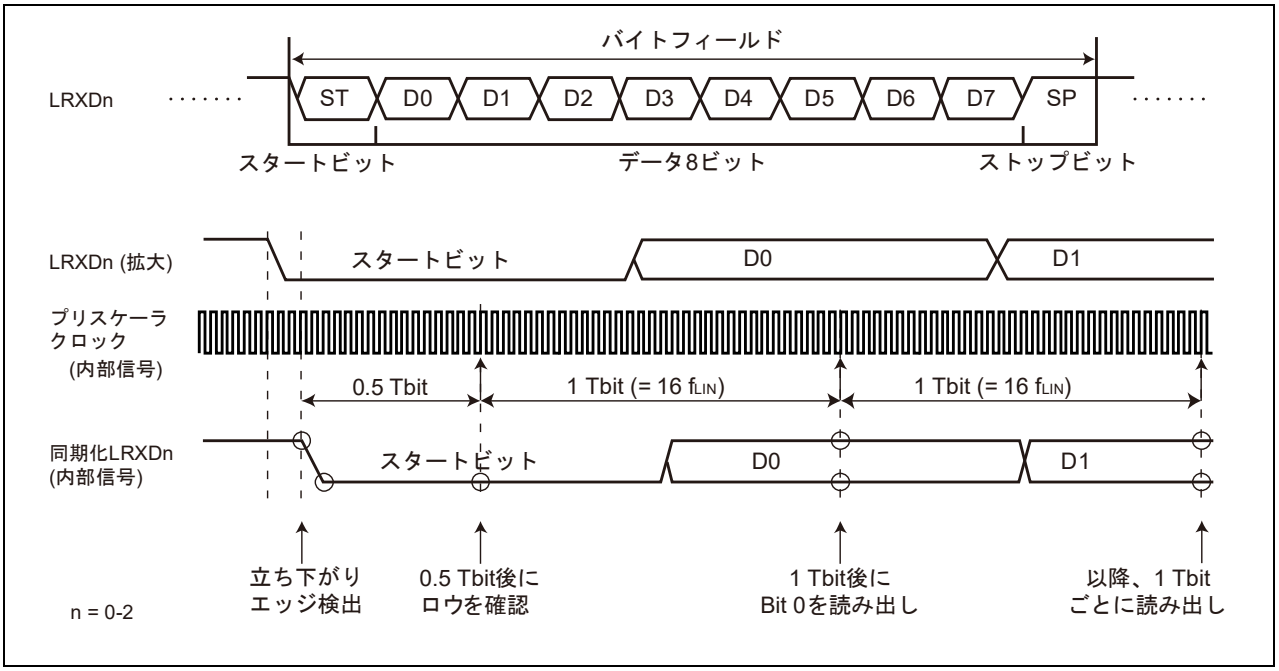
スタートビット検出後は、1 Tbitごとにビットのサンプリングを行います。

ただし、LEDEnレジスタのBEREビットが"1"の場合は、サンプリングポイントがビットエラー検出タイミングと同じになります。

LIN/UARTモジュールは、受信データに対するノイズフィルタ機能をもっています。LMDnレジスタのLRDNFSビットが"0"の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケーラクロックで3サンプリング多数決により決定した値を使用します。LMDnレジスタのLRDNFSビットが"1"の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化LRXDn値の値をそのまま使用します。

図17－37にデータ受信タイミングの例を示します。

図17－37　データ受信タイミング例（1Tbitが16サンプリングの場合）



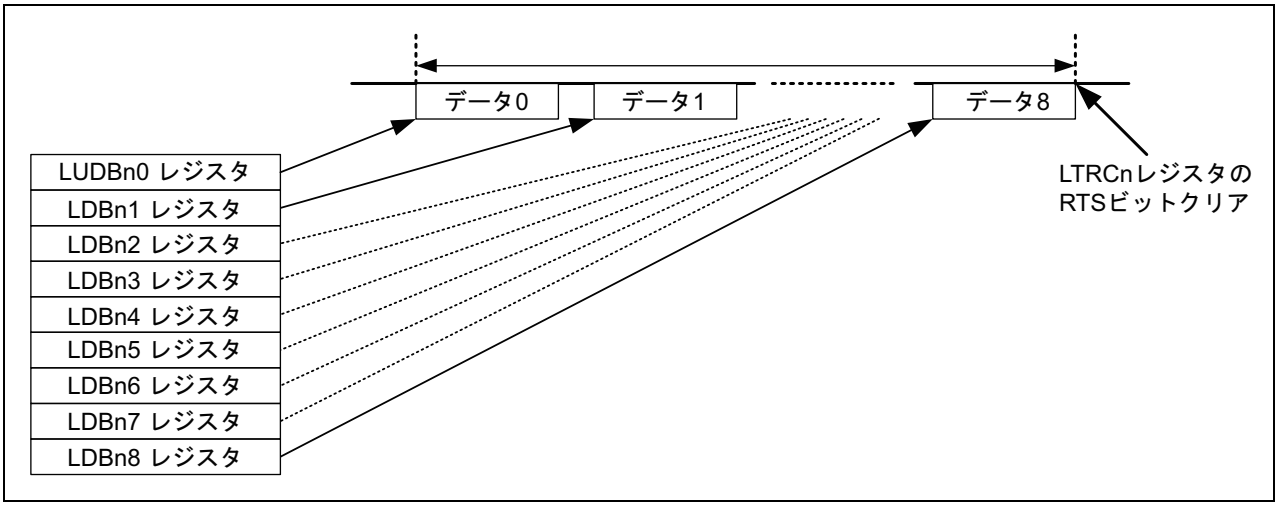
17.5.3 送信データのバッファ処理

（1）UARTバッファの送信

9バイト送信の場合、LUDBn0レジスタ、LDBn1～LDBn8レジスタに格納されている内容が、データ0～8領域に送信されます。9バイトの送信設定のときのみ、LUDBn0レジスタは使われます。その他の場合、データ長により、LDBn1～LDBn8レジスタが選択されます。4バイト送信の場合は、LDBn1～LDBn4レジスタに格納されている内容がデータ1～4領域に送信されます、LDBn5～LDBn8レジスタの内容は送信されません。LDFCnレジスタのMDL[3:0]ビットに設定したデータ数送信後、LINnの送信割り込みが発生します。各送信データ間スペースは、LSCnレジスタのIBSビットで設定できます。

図17－38に9バイトのUARTバッファと送信処理を示します。

図17－38 UARTバッファと送信処理（9バイトの場合）



17.5.4　ステータス

LIN/UARTモジュールはUARTモード動作時に5種類のステータスを検出します。

UARTバッファ送信完了、エラー検出の2つのステータスは割り込み要求を発生することができます。

表17－26にUARTモードでのステータスの種類を示します。

表17－26　UARTモードでのステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	対応ビット	割り込み
リセット	LCUCnレジスタのOM0ビットをLINリセットモードでないに設定後、実際にLIN/UARTモジュールがLINリセットモード解除になったとき	LCUCnレジスタのOM0ビットをLINリセットモードに設定後、実際にLIN/UARTモジュールがLINリセットモードになったとき	LMSTnレジスタのOMM0ビット	使用不可
UARTバッファ送信完了	・LUORn1レジスタのUTIGTSビットが"0"（送信開始時に送信割り込み発生）の場合、LDFCnレジスタのMDLビットに設定したデータ長の最終データを送信開始したとき ・LUORn1レジスタのUTIGTSビットが"1"（送信完了時に送信割り込み発生）の場合、LDFCnレジスタのMDLビットに設定したデータ長を送信完了したとき	・ソフトウェアによるクリア ・LINリセットモード移行時	LSTnレジスタのFTCフラグ	使用可
エラー検出	LESTnレジスタのUPERフラグ、IDMTフラグ、EXBTフラグ、FERフラグ、OERフラグ、BERフラグのいずれかが"1"（検出）になったとき	・ソフトウェアによるクリア[注] ・LINリセットモード移行時	LSTnレジスタのERRフラグ	使用可
送信ステータス	・LUTDRnレジスタまたはLUWTDRnレジスタにデータを書き込んだとき ・LTRCnレジスタのRTSビットに"1"を書き込んだとき	・LUTDRnレジスタまたはLUWTDRnレジスタにセットされたデータが送信完了して、次の送信データがセットされていないとき ・UARTバッファのデータの送信が完了して、LTRCnレジスタのRTSビットがクリアされたとき ・LINリセットモード移行時	LSTnレジスタのUTSフラグ	使用不可
受信ステータス	・スタートビットを検出したとき	・ストップビットのサンプルリングポイントを検出したとき ・LINリセットモード移行時	LSTnレジスタのURSフラグ	使用不可

注　LINリセットモード解除中にLESTnレジスタのUPERフラグ、IDMTフラグ、EXBTフラグ、FERフラグ、OERフラグ、BERフラグに"0"を書くことにより、LSTnレジスタのERRフラグは"0"になります。

17.5.5　エラーステータス

LIN/UARTモジュールはUARTモードで、4種類のエラーと2種類のステータスを検出します。これらのエラーステータスの状態はLESTnレジスタの各ビットで確認できます。

表17－27にエラーステータスの種類を示します。

表17－27　エラーステータスの種類（UARTモード）

ステータス	エラー検出条件	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているデータが一致しなかったとき注1	設定された送信データの送信完了まで継続	○	LESTnレジスタのBERフラグ
オーバランエラー	LURDRnレジスタに受信データ格納後、データの読み出し前に、次のデータを受信したとき（このとき、LURDRnレジスタには格納されない）	－（検出時はすでに受信完了）	○	LESTnレジスタのOERフラグ
フレーミングエラー	受信処理において、1ビット目のストップビットがLowであったとき	－（検出時はすでに受信完了）	○	LESTnレジスタのFERフラグ
パリティエラー	受信したパリティ値が、受信データから算出したパリティ値と一致しなかったとき	受信完了まで継続	×注2	LESTnレジスタのUPERフラグ
拡張ビット検出	受信した拡張ビットの値が、LUORn1レジスタのUEBDLビットの値と一致したとき	－	○	LESTnレジスタのEXBTフラグ
ID一致	受信した拡張ビットの値が、LUORn1レジスタのUEBDLビットの値と一致かつ拡張ビットを除く受信した8ビットデータがLIDBnレジスタの値と一致したとき	－	○	LESTnレジスタのIDMTフラグ

注1.　UARTバッファから送信する場合は、UARTフレーム間のスペース（インタバイトスペース）でもビットエラーを検出します。

2.　LBFCnレジスタのUPS[1:0]ビットを"10b"（0パリティ）に設定すると、パリティビットの値の判定を実施しません。そのため、パリティエラーは発生しません。

注意　エラーステータスのクリア条件は、ソフトウェアによるクリア、LINリセットモード移行時です。

17.6 LINセルフテストモード

LIN/UARTモジュールは、LINセルフテストモードを持ちます。一度、LIN/UARTモジュールがLINセルフテストモードになると、LTXDnとLRXDnは外部端子から切断され、LIN/UARTモジュール内部でLTXDnとLRXDnが接続されます。したがって、LTXDnから送信するフレームはLRXDnにループバックします。LINセルフテストモードは、LINモードのみのテストが可能です。

セルフテストは、以下の4種類行うことができます。

・LINマスタ セルフテストモード（送信）：ヘッダ送信およびレスポンス送信
・LINマスタ セルフテストモード（受信）：ヘッダ送信およびレスポンス受信
・LINスレーブ セルフテストモード（送信）：ヘッダ受信およびレスポンス送信
・LINスレーブ セルフテストモード（受信）：ヘッダ受信およびレスポンス受信

LINセルフテストモードでは、ボー・レート・ジェネレータの設定に関わらず、最速ボー・レートで動作します。

ボー・レートは、ボー・レート関連レジスタの設定に関わらず、LIN通信クロック源/16[bps]で動作します（LWBRnレジスタのNSPBビットは、必ず"0000b"または"1111b"で使用してください）。また、LWBRnレジスタのLPRS ビットは、必ず"000b"で 使用してください。）。

また、LINセルフテストモードでは、以下の機能をサポートしません。これらの機能は使用しないでください。

・LINウェイクアップモード
・フレームセパレートモード
・多バイトレスポンス送受信機能
・LINスレーブモード [オート・ボー・レート]
・フレーム／レスポンスタイムアウトエラー

図17－39 LINリセットモード、LINモード、およびUARTモード接続

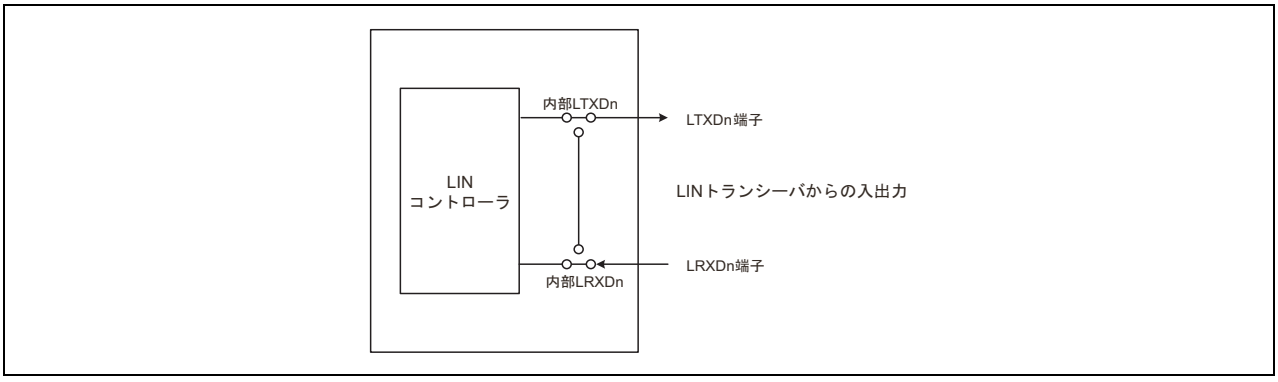
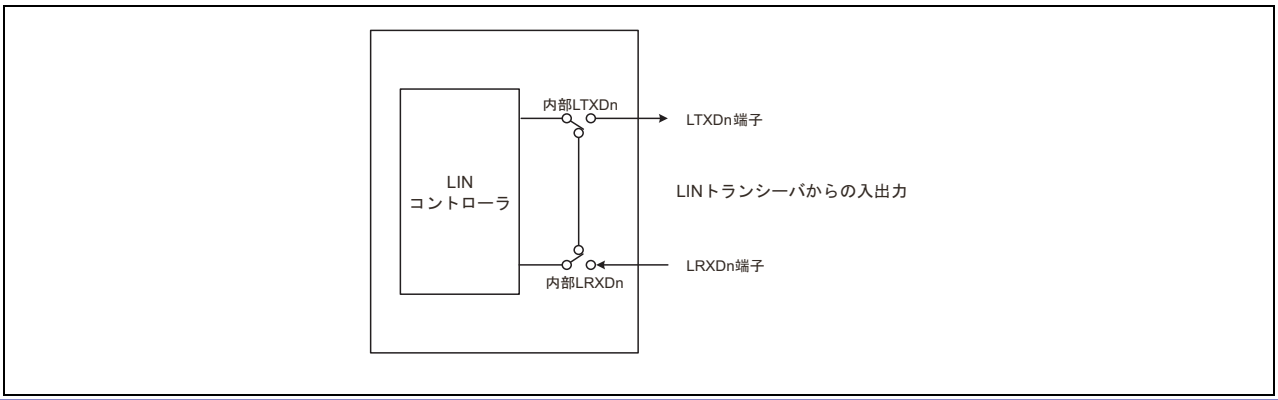


図17－40 LINセルフテストモード接続



17.6.1 LINセルフテストモードへの移行

LSTCnレジスタへの書き込みにより、LINセルフテストモードになります。

LSTCnレジスタのLSTM ビットが"1"になると、LINセルフテストモードに移行したことが確認できます。

LINセルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通りLINセルフテスト・コントロール・レジスタに3回連続書き込みを行う必要があります。

・LINリセットモードへ移行

LCUCnレジスタのOM0ビットを"0"（LINリセットモード）にする。

LMSTnレジスタのOMM0ビットを読み出し、"0"（LINリセットモード）であることを確認する

・LINモードの選択

LMDnレジスタのLMDビット= "00b"（LINマスタモード）または"11b"（LINスレーブ[固定ボー・レート]）

・1回目書き込み：LSTCnレジスタ= "1010 0111b"（A7H）

・2回目書き込み：LSTCnレジスタ= "0101 1000b"（58H）

・3回目書き込み：LSTCnレジスタ= "0000 0001b"（01H）

・LINセルフテストモードへの移行を確認する。

LSTCnレジスタのLSTMビットを読み出し、"1"（LINセルフテストモード）であることを確認する。

1回目のキー（A7H）を誤って2回書き込みした場合、LINセルフテストモードへの移行は中断します。再度1回目の書き込みから実施してください。また、LINセルフテストモードへの移行（LSTCnレジスタへの3回連続書き込み）中に他のLIN関連レジスタに書き込みを行った場合も移行は中断します。

17.6.2 LINマスタ セルフテストモードにおける送信

LINマスタの送信に関するセルフテストを実行するには、次の手順を行ってください。

・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRnレジスタ = 0000000xb[注1]

LBRPn0レジスタ = xxxxxxxxb[注1]

LBRPn1レジスタ = xxxxxxxxb[注1]

LMDnレジスタ = 00xxxx00b[注1, 3]

・割り込み許可、エラー許可関連レジスタを設定する。

LIEnレジスタ = 0000xxxxb[注2, 3]

LEDEnレジスタ = x000x0xxb

・ブレーク・フィールド、スペース関連レジスタを設定する。

LBFCnレジスタ = 00xxxxxxb

LSCnレジスタ = 00xx0xxxb

・リセット解除する。

LCUCnレジスタのOM1、OM0ビットに"11b"を書き込み、LMSTnレジスタのOMM1、OMM0ビットが"11b"になることを確認する。

・送信フレーム関連レジスタを設定する。

LDFCnレジスタ = 00x1xxxxb

LIDBnレジスタ = xxxxxxxxb

LDBn1～LDBn8レジスタ = xxxxxxxxb

・ヘッダ送信→レスポンス送信開始

LTRCnレジスタのFTSビットを"1"（フレーム送信／ウェイクアップ送受信開始）にする。

LINマスタセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行されます。チェックサムはLIN/UARTモジュールが自動演算します。

LINマスタセルフテストモード（送信）実行中に処理を中断したい場合は、LCUCnレジスタのOM0ビットに"0"を書き込み、LINリセットモードへ移行してください。

・送信完了の場合、ループバックしたフレームデータの反転値がLIDBnレジスタ、LDBnmレジスタ（m=1～8）、LCBRnレジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、LTRCnレジスタのFTSビットがクリアされる。

・エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、LTRCnレジスタのFTSビットがクリアされる。

注1. 以下のレジスタ設定はLINセルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

LBRPn0レジスタ、LBRPn1レジスタ、LMDnレジスタのLCKSビット

2. 必要に応じて、「第22章 割り込み機能」の関連レジスタを設定してください。

3. ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は、LIEnレジスタのSHIEビットを"1"（ヘッダ送信完了割り込み許可）にしないでください。

ヘッダ送信完了フラグのセットからフレーム／ウェイクアップ送信完了フラグのセットまでに時間は、

10×（データバイト数＋1）[Tbit]

1 Tbit = LIN通信クロック源×16かかります。

備考 x：任意

17.6.3 LINマスタ セルフテストモードにおける受信

LINマスタの受信に関するセルフテストを実行するには、次の手順を行ってください。

・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRnレジスタ = 0000000xb[注1]

LBRPn0レジスタ = xxxxxxxxb[注1]

LBRPn1レジスタ = xxxxxxxxb[注1]

LMDnレジスタ = 00xxxx00b[注1, 3]

・割り込み許可、エラー許可関連レジスタを設定する。

LIEnレジスタ = 0000xxxxb[注2, 3]

LEDEnレジスタ = x000x0xxb

・ブレーク・フィールド、スペース関連レジスタを設定する。

LBFCnレジスタ = 00xxxxxxb

LSCnレジスタ = 00xx0xxxb[注1]

・リセット解除する。

LCUCnレジスタのOM1、OM0ビットに"11b"を書き込み、LMSTnレジスタのOMM1、OMM0ビットが"11b"になることを確認する。

・受信フレーム関連レジスタを設定する。

LDFCnレジスタ = 00x0xxxxb

LIDBnレジスタ = xxxxxxxxb

LDBn1～LDBn8レジスタ = xxxxxxxxb

LCBRnレジスタ = xxxxxxxxb

チェックサムは自動演算されてないため、演算値を設定します。このとき、誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。

・ヘッダ送信→レスポンス受信開始

LTRCnレジスタのFTSビットを"1"（フレーム送信／ウェイクアップ送受信開始）にする。

LINマスタセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行されます。LINマスタセルフテストモード（受信）実行中に処理を中断したい場合は、LCUCnレジスタのOM0ビットに"0"を書き込み、LINリセットモードへ移行してください。

・受信完了の場合、ループバックしたフレームデータの反転値がLIDBnレジスタ、LDBnmレジスタ（m=1～8）、LCBRnレジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、LTRCnレジスタのFTSビットがクリアされる。

・エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、LTRCnレジスタのFTSビットがクリアされる。

注1.　以下のレジスタ設定はLINセルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

LBRPn0レジスタ、LBRPn1レジスタ、LMDnレジスタのLCKSビット、LSCnレジスタのIBSビット

2.　必要に応じて、「第22章　割り込み機能」の関連レジスタを設定してください。

3.　ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は、LIEnレジスタのSHIEビットを"1"（ヘッダ送信完了割り込み許可）にしないでください。

ヘッダ送信完了フラグのセットからフレーム／ウェイクアップ受信完了フラグのセットまでに時間は、

10×（データバイト数＋1）[Tbit]

1 Tbit = LIN通信クロック源×16

かかります。

備考　x：任意

17.6.4　LINスレーブ セルフテストモードにおける送信

LINスレーブの送信に関するセルフテストを実行するには、次の手順を行ってください。

・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRnレジスタ　= 00000000b[注1]

LBRPn0レジスタ　= xxxxxxxxb[注1]

LBRPn1レジスタ　= xxxxxxxxb[注1]

LMDnレジスタ　= 00xx0011b[注4]

・割り込み許可、エラー許可関連レジスタを設定する。

LIEnレジスタ　= 0000xxxxb[注2, 4]

LEDEnレジスタ　= xx0xx00xb

・ブレーク・フィールド、スペース関連レジスタを設定する。

LBFCnレジスタ　= 0000000xb[注3]

LSCnレジスタ　= 00xx0001b

・リセット解除する。

LCUCnレジスタのOM1、OM0ビットに"11b"を書き込み、LMSTnレジスタのOMM1、OMM0ビットが"11b"になることを確認する。

・送信フレーム関連レジスタを設定する。

LDFCnレジスタ = 00x1xxxxb

LIDBnレジスタ = xxxxxxxxb

LDBn1～LDBn8レジスタ = xxxxxxxxb

・ヘッダ受信→レスポンス送信開始

LTRCnレジスタのFTSビットを"1"（ヘッダ受信／ウェイクアップ送受信開始）にする。

（LTRCnレジスタのRTSビットの操作なしで、ヘッダ受信、レスポンス送信の順で実行）

LINスレーブセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行されます。

チェックサムはLIN/UARTモジュールが自動演算します。

LINスレーブセルフテストモード（送信）実行中に処理を中断したい場合は、LCUCnレジスタのOM0ビットに"0"を書き込み、LINリセットモードへ移行してください。

・送信完了の場合、ループバックしたフレームデータの反転値がLIDBnレジスタ、LDBnmレジスタ（m=1～8）、LCBRnレジスタに格納され（送信した値とループバックした値を比較するため、反転値として格納されます）、LTRCnレジスタのFTSビットがクリアされる。

・エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、LTRCnレジスタのFTSビットがクリアされる。

注1. 以下のレジスタ設定はLINセルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

LBRPn0レジスタ、LBRPn1レジスタ

2. 必要に応じて、「第22章 割り込み機能」の関連レジスタを設定してください。
3. このレジスタの設定によって、9.5Tbitまたは10.5Tbit幅のブレークを内部LTXDnより出力します。
4. ヘッダ受信完了割り込みとレスポンス送信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス送信完了割り込み発生までに完了しない場合は、LIEnレジスタのSHIEビットを"1"（ヘッダ受信完了割り込み許可）にしないでください。

ヘッダ受信完了フラグのセットからレスポンス／ウェイクアップ送信完了フラグのセットまでに時間は、

10×（データバイト数＋1）[Tbit]

1 Tbit = LIN通信クロック源×16

かかります。

備考 x：任意

17.6.5　LINスレーブ セルフテストモードにおける受信

LINスレーブの受信に関するセルフテストを実行するには、次の手順を行ってください。

・ボー・レート、ノイズフィルタ、割り込み出力関連レジスタを設定する。

LWBRnレジスタ = 00000000b注1

LBRPn0レジスタ = xxxxxxxxb注1

LBRPn1レジスタ = xxxxxxxxb注1

LMDnレジスタ = 00xx0011b注4

・割り込み許可、エラー許可関連レジスタを設定する。

LIEnレジスタ = 0000xxxxb注2, 4

LEDEnレジスタ = xx0xx00xb

・ブレーク・フィールド、スペース関連レジスタを設定する。

LBFCnレジスタ = 0000000xb注3

LSCnレジスタ = 00xx0001b注1

・リセット解除する。

LCUCnレジスタのOM1、OM0ビットに"11b"を書き込み、LMSTnレジスタのOMM1、OMM0ビットが"11b"になることを確認する。

・受信フレーム関連レジスタを設定する。

LDFCnレジスタ = 00x0xxxxb

LIDBnレジスタ = xxxxxxxxb

LDBn1～LDBn8レジスタ = xxxxxxxxb

LCBRnレジスタ = xxxxxxxxb

チェックサムは自動演算されないため、演算値を設定します。このとき、誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。

・ヘッダ受信→レスポンス受信開始

LTRCnレジスタのFTSビットを"1"（ヘッダ受信／ウェイクアップ送受信開始）にする。

（LTRCレジスタのRTSビットの操作なしで、ヘッダ受信、レスポンス受信の順で実行）

LINスレーブセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行されます。LINスレーブセルフテストモード（受信）実行中に処理を中断したい場合は、LCUCnレジスタのOM0ビットに"0"を書き込み、LINリセットモードへ移行してください。

・受信完了の場合、ループバックしたフレームデータの反転値がLIDBnレジスタ、LDBnmレジスタ（m=1～8）、LCBRnレジスタに格納され（設定した値とループバックした値を比較するため、反転値として格納されます）、LTRCnレジスタのFTSビットがクリアされる。

・エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、LTRCnレジスタのFTSビットがクリアされる。

注1.　以下のレジスタ設定はLINセルフテストモードの動作には反映されません。そのため、設定は必須ではありません。

LBRPn0レジスタ、LBRPn1レジスタ、LSCnレジスタのIBSビット

2.　必要に応じて、「第22章　割り込み機能」の関連レジスタを設定してください。

3.　このレジスタの設定によって、9.5Tbitまたは10.5Tbit幅のブレークを内部LTXDnより出力します。

4. ヘッダ受信完了割り込みとレスポンス受信完了割り込みを同じ割り込みで使用する場合、ヘッダ受信完了割り込みのソフトウェア処理がレスポンス受信完了割り込み発生までに完了しない場合は、LIEnレジスタのSHIEビットを"1"（ヘッダ受信完了割り込み許可）にしないでください。
ヘッダ受信完了フラグのセットからレスポンス／ウェイクアップ受信完了フラグのセットまでに時間は、
10×（データバイト数＋1）[Tbit]
1 Tbit = LIN通信クロック源×16
かかります。

備考 x：任意

17.6.6 LINセルフテストモード終了

LINセルフテストモードを終了するには、次の手順を行ってください。

・LCUCnレジスタのOM0ビットに"0"（LINリセットモード）を書く
LMSTnレジスタのOMM1、OMM0ビットが"11b"でない場合は、LCUCnレジスタのOM1、OM0ビットに"11b"を書き、LMSTnレジスタOMM1、OMM0ビットが"11b"になることを確認した後にLINリセットモードに移行してください。

・LINセルフテストモードの解除を確認する
LSTCnレジスタのLSTMビットを読み、"0"（LINセルフテストではない）を確認。

・LINリセットモードへの移行を確認する
LMSTnレジスタのOMM0ビットを読み、"0"（LINリセットモード）を確認。

17.7　ボー・レート・ジェネレータ

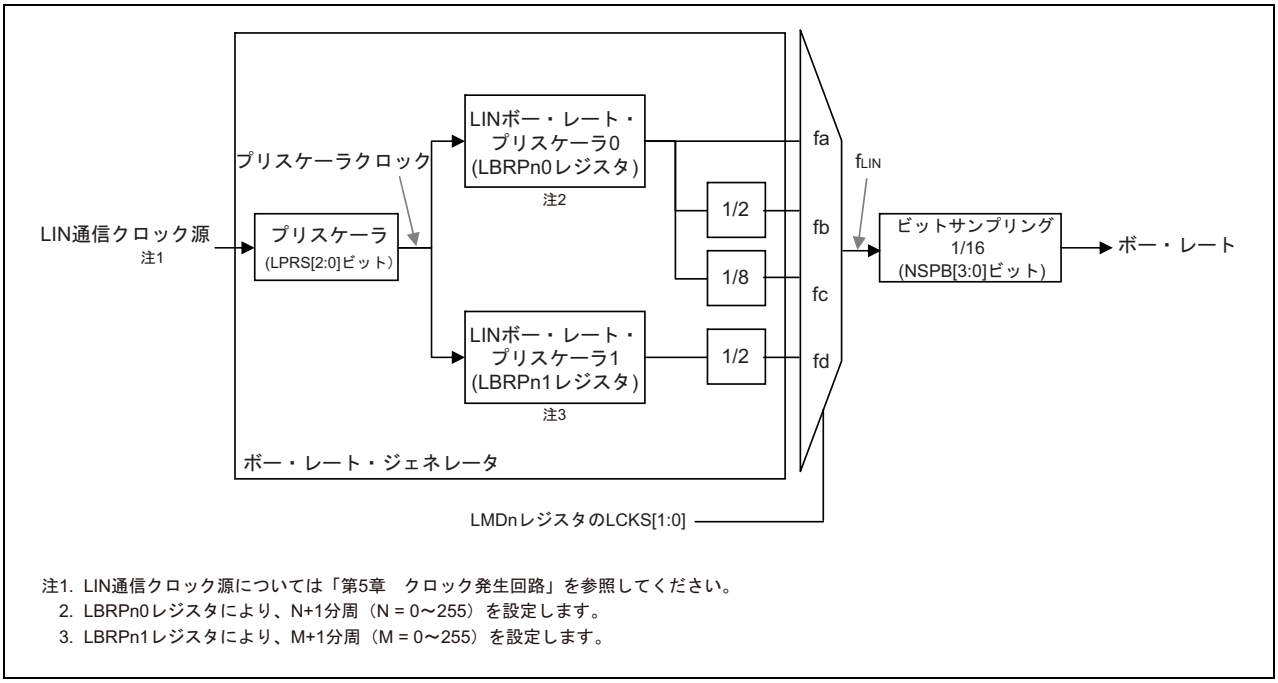
LIN通信クロック源をプリスケーラで分周したクロックがプリスケーラクロックとなり、プリスケーラクロックをボー・レート・ジェネレータで分周したクロックがLINシステムクロック（f_{LIN}）となり、これをサンプリング数で分周したクロックがボー・レートになります。このボー・レートの逆数をビットタイム（Tbit）といいます。

LIN/UARTモジュールは、2種類のボー・レート・ジェネレータを持ち、モードにより使用するボー・レート・ジェネレータが切り替わります。

17.7.1　LINマスタモード

図17－41にLINマスタモード時のボー・レート生成ブロック図を示します。

図17－41　LINマスタモード ボー・レート生成ブロック図



注1. LIN通信クロック源については「第5章　クロック発生回路」を参照してください。
2. LBRPn0レジスタにより、N+1分周（N = 0～255）を設定します。
3. LBRPn1レジスタにより、M+1分周（M = 0～255）を設定します。

LIN通信クロック源は、以下の条件に設定してください。

・LIN通信クロック源 = f_{CLK}[注1]

・4 MHz～32 MHz

注1.　タイムアウトエラー検出機能を使用しない場合、LIN通信クロック源 = f_{MX}を選択可。その場合、CPU/周辺ハードウェア・クロック（f_{CLK}）はLIN通信クロック源の1.2倍以上の周波数。

faが307200Hz（=19200×16）となるようにLBRPn0レジスタを設定すれば、fa=19200×16、fb=9600×16、fc=2400 ×16となり、ビットタイミング生成部で16分周するため、19200bps、9600bps、2400bpsが生成できます。また、fdが166672Hz（=10417×16）となるようにLBRPn1レジスタを設定すれば、fd=10417×16となり、ビットタイミング生成部で16分周するため、10417bpsが生成できます。

表17－28にLIN通信クロック源の周波数ごとのボー・レート（19200、9600、2400、10417bps）生成例とその誤差を示します。

表17－28　LINマスタモード ボー・レート生成例（19200bps、10417bps、9600bps、2400bps）

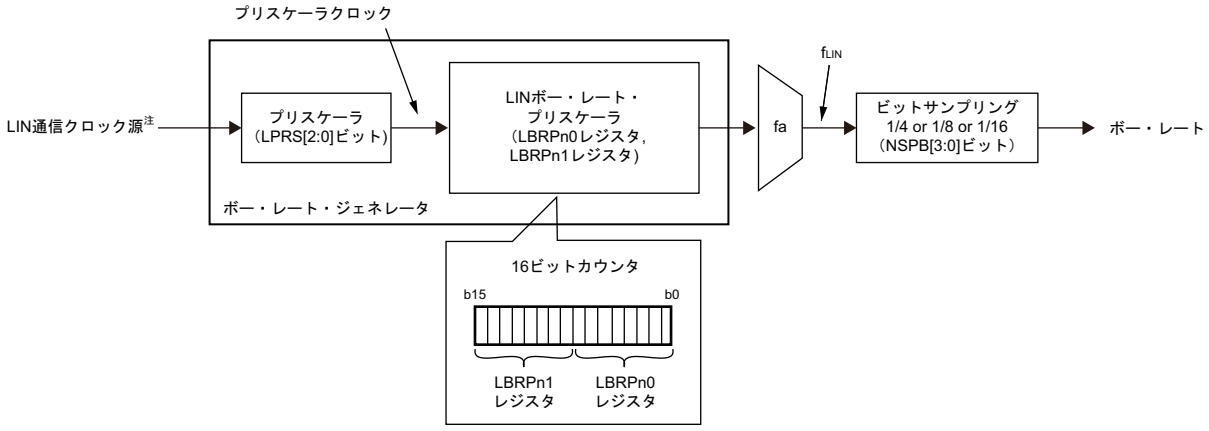
LIN通信クロック源	プリスケーラ	ボー・レート・ジェネレータ0（N＋1）分周	ボー・レート・ジェネレータ1（M＋1）分周	LINシステムクロック	ボー・レート	誤差
32MHz	1/1	104	－	fa	19230.77	+0.16%
		－	96	fd	10416.67	-0.003%
		104	－	fb	9615.38	+0.16%
		104	－	fc	2403.85	+0.16%
24MHz	1/1	78	－	fa	19230.77	+0.16%
		－	72	fd	10416.67	-0.003%
		78	－	fb	9615.38	+0.16%
		78	－	fc	2403.85	+0.16%
16MHz	1/1	52	－	fa	19230.77	+0.16%
		－	48	fd	10416.67	-0.003%
		52	－	fb	9615.38	+0.16%
		52	－	fc	2403.85	+0.16%
12MHz	1/1	39	－	fa	19230.77	+0.16%
		－	36	fd	10416.67	-0.003%
		39	－	fb	9615.38	+0.16%
		39	－	fc	2403.85	+0.16%
8MHz	1/1	26	－	fa	19230.77	+0.16%
		－	24	fd	10416.67	-0.003%
		26	－	fb	9615.38	+0.16%
		26	－	fc	2403.85	+0.16%

備考　ビット・サンプリング数は16サンプリング（NSPB[3:0] = 0000bまたは1111b）です。

17.7.2　LINスレーブモード

図17－42にLINスレーブモード時のボー・レート生成ブロック図を示します。

図17－42　LINスレーブモード ボー・レート生成ブロック図



注　LIN通信クロック源については、「第5章　クロック発生回路」を参照してください、

LIN通信クロック源は、以下の条件に設定してください。

・LIN通信クロック源 = f_{CLK}注1

・4 MHz～32 MHz

注1.　タイムアウトエラー検出機能を使用しない場合、LIN通信クロック源 = f_{MX}を選択可。その場合、CPU/周辺ハードウェア・クロック（f_{CLK}）はLIN通信クロック源の1.2倍以上の周波数。

LINスレーブモード[オート・ボー・レート]では、ボー・レートは1kbps～20 kbpsで動作可能です。ターゲットとなるボー・レートに応じて、プリスケーラクロックを下記となるように設定してください。

［ターゲットとなるボー・レート］　［プリスケーラクロック］

1 kbps～20 kbps　　：4 MHz注

1 kbps～2.4 kbps未満　　：4 MHz

2.4 kbps～20 kbps　　：8 MHz～12 MHz

注　LWBRnレジスタのNSPB[3:0]ビットは"0011b"（4サンプリング）で使用してください。

表17－29にLINスレーブモード[固定ボー・レート]での、LIN通信クロック源の周波数ごとのボー・レート（19200、10417、9600、2400 bps）生成例とその誤差を示します。

表17－29 LINスレーブモード[固定ボー・レート]ボー・レート生成例（19200bps、10417bps、9600bps、2400bps）

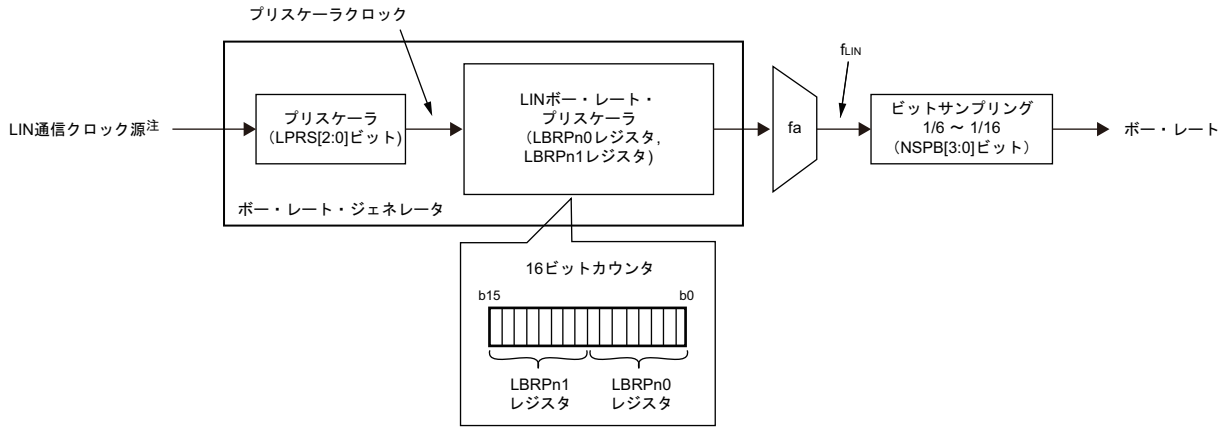
LIN通信クロック源	プリスケーラ	ボー・レート・ジェネレータ0-1 N＋1分周	ボー・レート	誤差
32MHz	1/1	104	19230.77	+0.16%
		192	10416.67	-0.003%
		208	9615.38	+0.16%
		833	2400.96	+0.04%
24MHz	1/1	78	19230.77	+0.16%
		144	10416.67	-0.003%
		156	9615.38	+0.16%
		625	2400	0%
16MHz	1/1	52	19230.77	+0.16%
		96	10416.67	-0.003%
		104	9615.38	+0.16%
		417	2398.08	-0.08%
12MHz	1/1	39	19230.77	+0.16%
		72	10416.67	-0.003%
		78	9615.38	+0.16%
		313	2396.17	-0.16%
8MHz	1/1	26	19230.77	+0.16%
		48	10416.67	-0.003%
		52	9615.38	+0.16%
		208	2403.85	+0.16%

備考 ビット・サンプリング数は16サンプリング（NSPB[3:0] = 0000bまたは1111b）です。

17.7.3　UARTモード

図17－43にUARTモード時のボー・レート生成ブロック図を示します。

図17－43　UARTボー・レート生成ブロック図



注　LIN通信クロック源については、「第5章　クロック発生回路」を参照してください、

LIN通信クロック源は、以下の条件に設定してください。

・LIN通信クロック源 = f_{CLK}[注1]

・4 MHz～32 MHz

注1.　LIN通信クロック源 = f_{MX}を選択可。その場合、CPU/周辺ハードウェア・クロック（f_{CLK}）はLIN通信クロック源の1.2倍以上の周波数。

表17－30　UARTボー・レート設定例（LIN通信クロック源= 32 MHzの場合）

UARTボー・レート（目標ボー・レート）	プリスケーラ	ボー・レート・ジェネレータ0-1 N＋1分周	ボー・レート	誤差
1200 bps	1/2	833	1200.48	+0.04%
2400 bps	1/2	417	2398.08	-0.08%
4800 bps	1/2	208	4807.69	+0.16%
9600 bps	1/2	104	9615.38	+0.16%
19200 bps	1/2	52	19230.77	+0.16%
31250 bps	1/2	32	31250.00	0.00%
38400 bps	1/2	26	38461.54	+0.16%

備考1.　ビット・サンプリング数が16サンプリング（NSPB[3:0] = 0000bまたは1111b）の場合の設定例です。

2.　ボー・レートの計算式は以下のとおりです。

ボー・レート＝ (LIN通信クロック源（f_{CLK}またはf_{MX}: LINnMCKで設定）周波数)

× ｛LPRS[2:0]選択クロック÷ ｛LBRPn0＋(0x0100×LBRPn1)＋1｝｝

÷ NSPB[3:0]選択数 [bps]

17.8　ノイズフィルタ

LIN/UARTモジュールは、ノイズによるデータの誤受信を低減するためにノイズフィルタを持ちます。LMDnレジスタのLRDNFSビットを"0"（ノイズフィルタを使用する）にすることによりノイズフィルタが有効になります。ノイズフィルタは、同期化LRXDn（n = 0-2）のレベルをプリスケーラクロックでサンプリングし、サンプリング3回分の多数決の結果を出力します。受信データの各ビットの値はノイズフィルタ出力で決定されます。

図17－44にノイズフィルタの構成、図17－45にノイズフィルタ回路例、図17－46にノイズフィルタ使用時の受信データの決定を示します。

図17－44　ノイズフィルタの構成

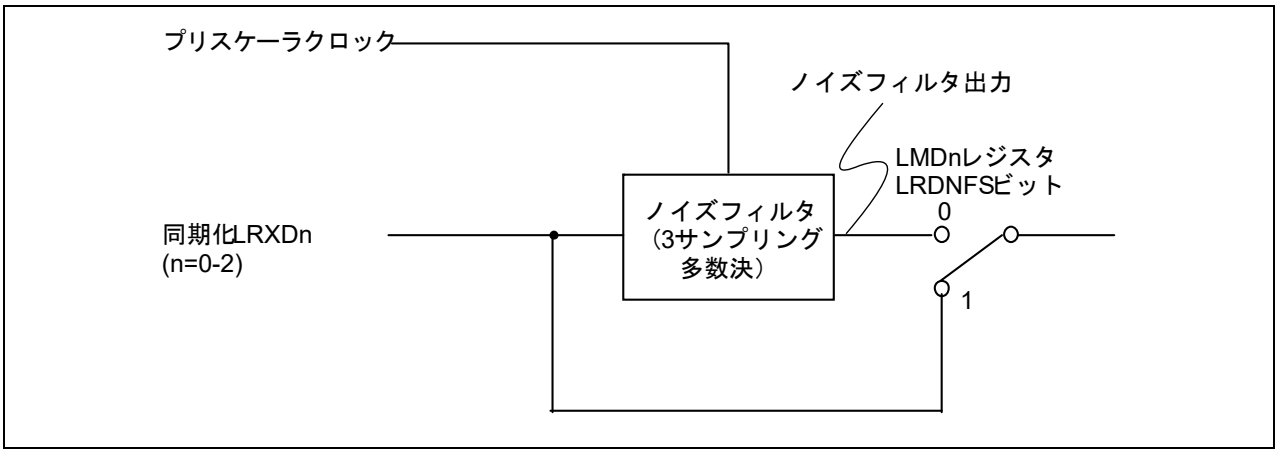


図17－45　ノイズフィルタ回路例

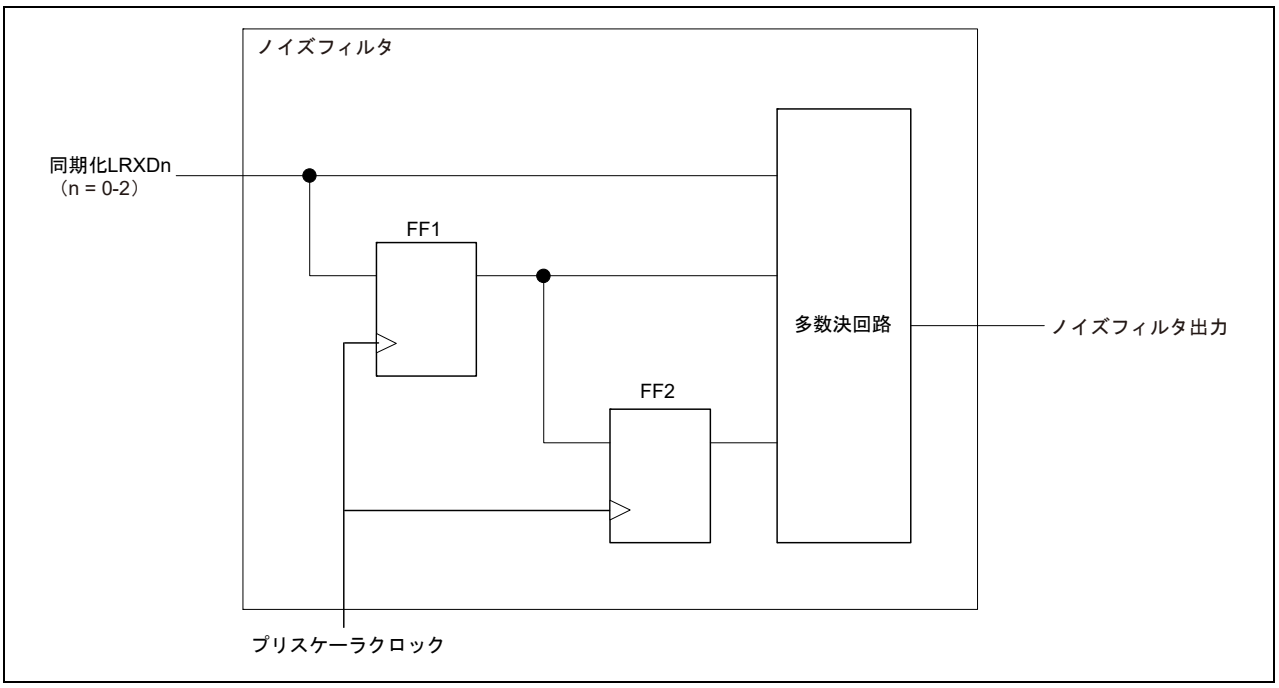
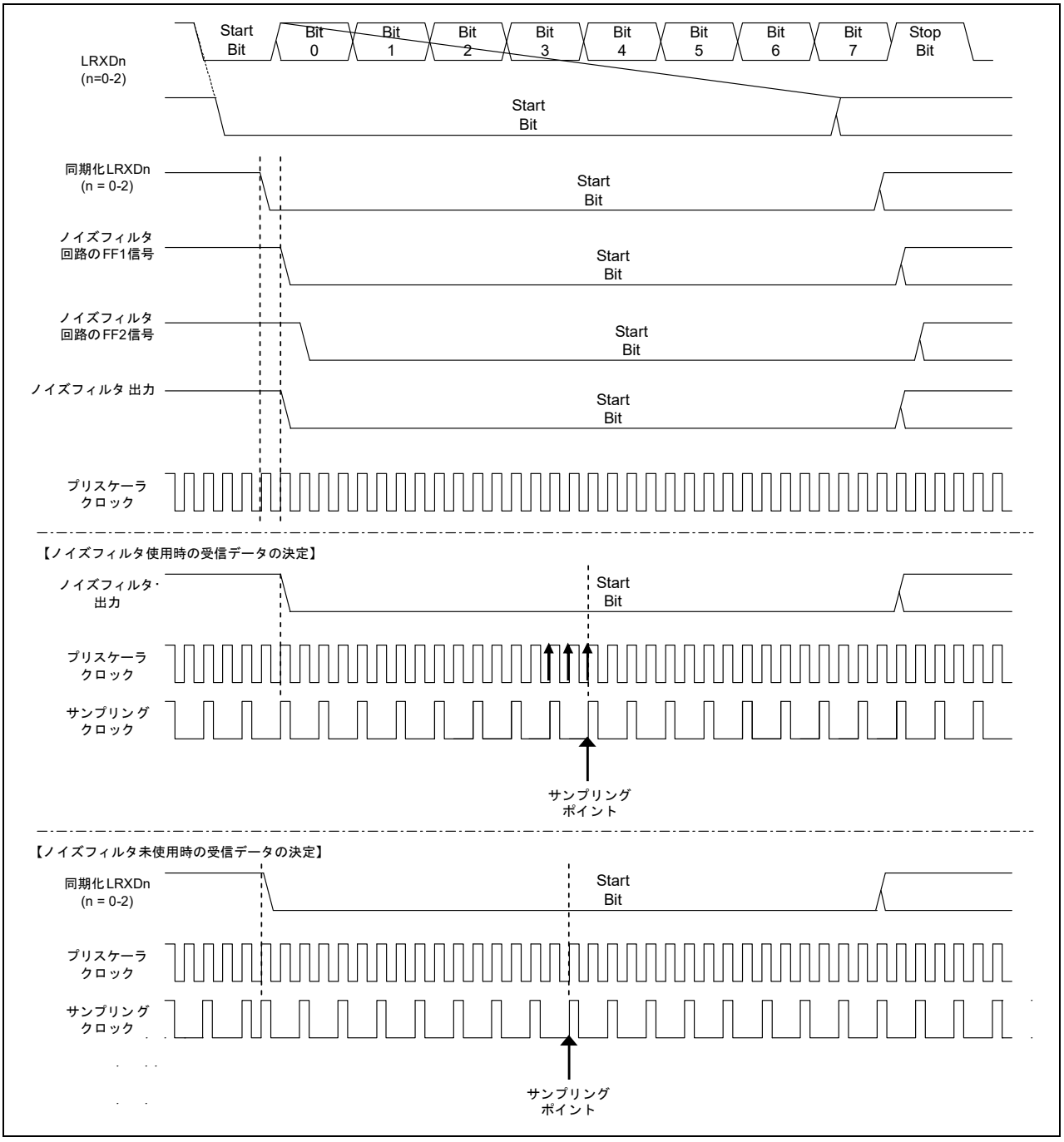


図17－46 ノイズフィルタ使用時の受信データの決定



17.9　割り込み

LIN/UARTモジュールは4種類の割り込み要求を生成します。

- LINn送信割り込み
- LINn受信完了割り込み
- LINn受信ステータス割り込み
- LINn割り込み

LMDnレジスタのLIOSビットを"0"にすると、すべての割り込み要因の論理和をとって、LINn割り込みから割り込み要求を出力します。

LMDnレジスタのLIOSビットを"1"にすると、要因に応じてLINn送信割り込み、LINn受信完了割り込み、LINn受信ステータス割り込みの要求を出力します。

表17－31に各割り込みの要因を示します。

表17－31　割り込み要因

名称		LMDnレジスタのLIOSビットが"0"	LMDnレジスタのLIOSビットが"1"[注]		
		LINn割り込み	LINn送信割り込み	LINn受信完了割り込み	LINn受信ステータス割り込み
LINモード	LINマスタモード	・フレーム送信完了 ・フレーム受信完了 ・ウェイクアップ送信完了 ・ウェイクアップ受信完了 ・ヘッダ送信完了 ・ビットエラー ・フィジカルバスエラー ・フレーム/レスポンスタイムアウトエラー ・フレーミングエラー ・チェックサムエラー ・レスポンス準備エラー	・フレーム送信完了 ・ウェイクアップ送信完了 ・ヘッダ送信完了	・フレーム受信完了 ・ウェイクアップ受信完了	・ビットエラー ・フィジカルバスエラー ・フレーム/レスポンスタイムアウトエラー ・フレーミングエラー ・チェックサムエラー ・レスポンス準備エラー
	LINスレーブモード	・レスポンス送信完了 ・レスポンス受信完了 ・ウェイクアップ送信完了 ・ウェイクアップ受信完了 ・ヘッダ受信完了 ・ビットエラー ・フレーム/レスポンスタイムアウトエラー ・フレーミングエラー ・シンクフィールドエラー ・チェックサムエラー ・IDパリティエラー ・レスポンス準備エラー	・レスポンス送信完了 ・ウェイクアップ送信完了	・レスポンス受信完了 ・ウェイクアップ受信完了 ・ヘッダ受信完了	・ビットエラー ・フレーム/レスポンスタイムアウトエラー ・フレーミングエラー ・シンクフィールドエラー ・チェックサムエラー ・IDパリティエラー ・レスポンス準備エラー
UARTモード		—	・送信開始/送信完了	・受信完了 ・拡張ビット不一致	・ビットエラー ・オーバランエラー ・フレーミングエラー ・拡張ビット検出 ・ID一致 ・パリティエラー

注　LIOSビットの設定はLINモードで有効です。UARTモードではLIOSビットの設定は不要です。

それぞれの割り込み要求は、LIEnレジスタの対応するビットが"1"（割り込み許可）のときに、LSTnレジスタの対応するフラグが"1"になると出力されます。

第18章　CANインタフェース（RS-CAN lite）

RL78/F15は、2チャネルのCANモジュールを内蔵しています。

18.1　概要

表18－1にCANモジュールの仕様、図18－1にCANモジュール・ブロック図を示します。
なお、本章では次の変数を使用してチャネルやレジスタなどの数を表しています。

・i（i = 0, 1）：CANのチャネル番号
・j（j = 0～39）：CAN受信ルール登録レジスタ（GAFLIDLj, Hj, GAFLMLj, Hj, GAFLPLj, Hj）の番号
・k（k = 0, 1）：送受信FIFOバッファ番号
・m（m = 0～3）：受信FIFOバッファ番号
・n（n = 0～31）：受信バッファ番号
・p（p = 0～7）：送信バッファ番号
・r（r = 0～127）：CAN用RAMテスト・レジスタ（RPGACCr）の番号

表18－1　CANモジュールの仕様（1/2）

項目	仕様
チャネル数	2
プロトコル	ISO11898-1仕様準拠
通信速度	・最大1Mbps 通信速度(CANiビット・タイム・クロック) = $\frac{1}{\text{CANiビット・タイム}}$ CANiビット・タイム ＝ CANiTq ×1ビット分のTq数 CANiTq = $\frac{(\text{CiCFGLレジスタのBRP[9:0]ビット+1})}{f_{CAN}}$ i = 0, 1 Tq : Time quantum f_{CAN} : CANクロック（GCFGLレジスタのDCSビットで選択したクロック）の周波数
バッファ	合計48バッファ ・各チャネル専用 : 8バッファ（4バッファ× 2チャネル） 送信バッファ :4バッファ/1チャネル ・チャネル間共用 :40バッファ 受信バッファ : 0～32バッファ 受信FIFOバッファ :4本（1本あたり最大32バッファ割り当て可能） 送受信FIFOバッファ : 1本/1チャネル（1本あたり最大32バッファ割り当て可能）
受信機能	・データ・フレームとリモート・フレームを受信可能 ・受信するIDフォーマット（標準ID、拡張ID、両方）を選択可能 ・FIFOごとの割り込み許可/禁止設定可能 ・ミラー機能（自送信メッセージの受信機能） ・タイムスタンプ機能（メッセージの受信時間を16ビットタイマ値で記録）
受信フィルタ機能	・合計40個の受信ルールで受信メッセージを選別可能 ・チャネルごとに0～40個の範囲で受信ルール数を設定可能 ・アクセプタンス・フィルタ処理：受信ルールごとにID、マスク設定可能 ・DLCフィルタ処理：受信ルールごとにDLCフィルタチェック可能

表18－1　CANモジュールの仕様（2/2）

項目	仕様
受信メッセージ転送機能	・ルーティング機能 受信メッセージを任意のバッファへ転送する機能（転送可能バッファ数 ：2） 転送先 ： 受信バッファ、受信FIFOバッファ、送受信FIFOバッファ ・ラベル付加機能 受信バッファおよびFIFOバッファへメッセージを格納時、ラベル情報も同時に格納可能
送信機能	・データ・フレームとリモート・フレームを送信可能 ・送信するIDフォーマット（標準ID、拡張ID、両方）を選択可能 ・送信バッファ、送受信FIFOバッファごとに割り込み許可/禁止設定可能 ・ID優先送信または送信バッファ番号優先送信を選択可能 ・送信アボート機能（フラグでアボート完了を確認可能） ・ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能（送受信FIFOバッファの送信モードまたはゲートウェイモード）
ゲートウェイ機能	受信したメッセージを自動送信する機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 ・ISO11898-1仕様準拠 ・バスオフ開始でチャネル待機モードへ自動遷移 ・バスオフ終了でチャネル待機モードへ自動遷移 ・プログラムによるチャネル待機モードへの遷移 ・プログラムによるエラー・アクティブ状態への遷移（バスオフ強制復帰機能）
エラー状態の監視	・CANプロトコル・エラー（スタッフ・エラー、フォーム・エラー、ACKエラー、CRCエラー、ビット・エラー、ACKデリミタ・エラー、バス・ドミナント・ロック）を監視 ・エラー状態の遷移を検出（エラー・ワーニング、エラー・パッシブ、バスオフ開始、バスオフ復帰） ・エラー・カウンタの読み出し ・DLCエラーを監視
割り込み要因	10本 ・グローバル（2本） CANグローバル受信FIFO割り込み CANグローバル・エラー割り込み ・チャネル（4本/1チャネル） CANiチャネル送信割り込み – CANi送信完了割り込み – CANi送信アボート割り込み – CANi送受信FIFO送信完了割り込み（送信モード、ゲートウェイモード） – CANi送信履歴割り込み CANi送受信FIFO受信割り込み（受信モード、ゲートウェイモード） CANiチャネル・エラー割り込み CANiウェイクアップ割り込み
CANストップ・モード	CANモジュールに供給されるクロックを停止することで消費電流を低減可能
CANクロック・ソース	f_{CLK}を2分周したクロック（$f_{CLK}/2$）かX1クロック（f_X）を選択可能
テスト機能	ユーザ評価用テスト機能 ・リッスン・オンリ・モード ・セルフ・テスト・モード0（外部ループ・バック） ・セルフ・テスト・モード1（内部ループ・バック） ・RAMテスト（読み書きテスト） ・チャネル間通信テスト

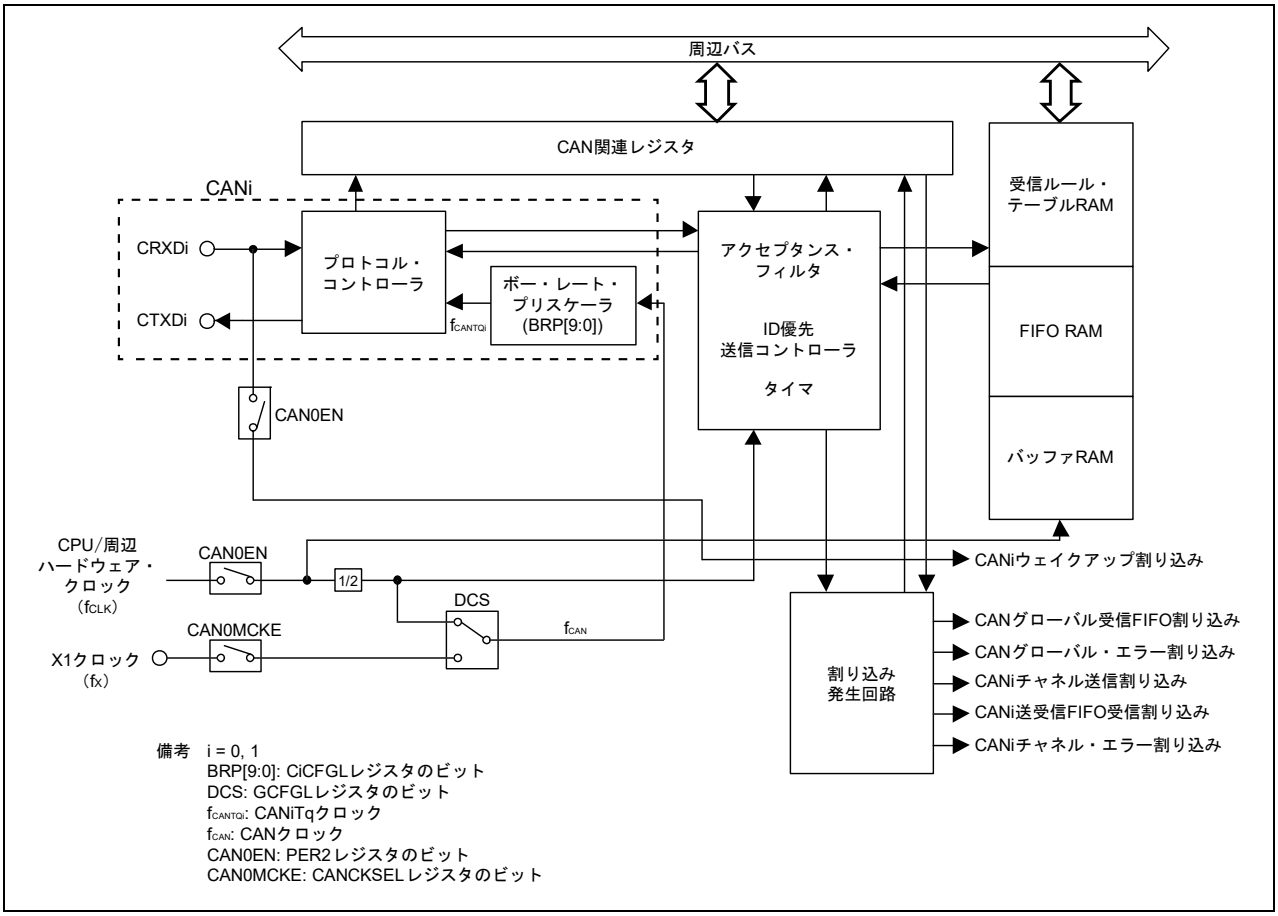


図18－1 CANモジュールのブロック図（i = 0, 1）

18.2 入出力端子

表18－2にCANモジュールの入出力端子を示します。

表18－2 CANモジュールの入出力端子

端子名	入出力	機能
CRXD0	入力	CAN0通信機能の受信データ入力端子です。
CTXD0	出力	CAN0通信機能の送信データ出力端子です。
CRXD1	入力	CAN1通信機能の受信データ入力端子です。
CTXD1	出力	CAN1通信機能の送信データ出力端子です。

18.3　レジスタの説明

表18－3にCANモジュールのレジスター覧を示します。

CAN用RAM領域（F03A0H – F0681H）のレジスタのリセット時の値は，CAN用RAM初期化後の値です。

表18－3　CANモジュールのレジスター覧（1/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F02C1H	周辺イネーブル・レジスタ2	PER2		R/W	○	○	－	00H
F02C2H	CANクロック選択レジスタ	CANCKSEL		R/W	○	○	－	00H
F0300H	CAN0ビット・コンフィグレーション・	C0CFGLL	C0CFGL	R/W	－	○	○	0000H
F0301H	レジスタL	C0CFGLH			－	○		
F0302H	CAN0ビット・コンフィグレーション・	C0CFGHL	C0CFGH	R/W	－	○	○	0000H
F0303H	レジスタH	C0CFGHH			－	○		
F0304H	CAN0制御レジスタL	C0CTRLL	C0CTRL	R/W	－	○	○	0005H[注]
F0305H		C0CTRLH			－	○		
F0306H	CAN0制御レジスタH	C0CTRHL	C0CTRH	R/W	－	○	○	0000H
F0307H		C0CTRHH			－	○		
F0308H	CAN0ステータス・レジスタL	C0STSLL	C0STSL	R	－	○	○	0005H[注]
F0309H		C0STSLH			－	○		
F030AH	CAN0ステータス・レジスタH	C0STSHL	C0STSH	R	－	○	○	0000H
F030BH		C0STSHH			－	○		
F030CH	CAN0エラー・フラグ・レジスタL	C0ERFLLL	C0ERFLL	R/W	－	○	○	0000H
F030DH		C0ERFLLH			－	○		
F030EH	CAN0エラー・フラグ・レジスタH	C0ERFLHL	C0ERFLH	R	－	○	○	0000H
F030FH		C0ERFLHH			－	○		
F0310H	CAN1ビット・コンフィグレーション・レジスタL	C1CFGLL	C1CFGL	R/W	－	○	○	0000H
F0311H		C1CFGLH			－	○		
F0312H	CAN1ビット・コンフィグレーション・レジスタH	C1CFGHL	C1CFGH	R/W	－	○	○	0000H
F0313H		C1CFGHH			－	○		
F0314H	CAN1制御レジスタL	C1CTRLL	C1CTRL	R/W	－	○	○	0005H[注]
F0315H		C1CTRLH			－	○		
F0316H	CAN1制御レジスタH	C1CTRHL	C1CTRH	R/W	－	○	○	0000H
F0317H		C1CTRHH			－	○		
F0318H	CAN1ステータス・レジスタL	C1STSLL	C1STSL	R	－	○	○	0005H[注]
F0319H		C1STSLH			－	○		
F031AH	CAN1ステータス・レジスタH	C1STSHL	C1STSH	R	－	○	○	0000H
F031BH		C1STSHH			－	○		
F031CH	CAN1エラー・フラグ・レジスタL	C1ERFLLL	C1ERFLL	R/W	－	○	○	0000H
F031DH		C1ERFLLH			－	○		
F031EH	CAN1エラー・フラグ・レジスタH	C1ERFLHL	C1ERFLH	R	－	○	○	0000H
F031FH		C1ERFLHH			－	○		
F0322H	CANグローバル設定レジスタL	GCFGLL	GCFGL	R/W	－	○	○	0000H
F0323H		GCFGLH			－	○		
F0324H	CANグローバル設定レジスタH	GCFGHL	GCFGH	R/W	－	○	○	0000H
F0325H		GCFGHH			－	○		
F0326H	CANグローバル制御レジスタL	GCTRLL	GCTRL	R/W	－	○	○	0005H[注]
F0327H		GCTRLH			－	○		

注　PER2レジスタのCAN0ENビットが0の場合，読み出した値は不定です。

PER2レジスタのCAN0ENビットが1の場合，読み出した値は記載初期値になります。

表18－3　CANモジュールのレジスター覧（2/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0328H	CANグローバル制御レジスタH	GCTRHL	GCTRH	R/W	－	○	○	0000H
F0329H		GCTRHH			－	○		
F032AH	CANグローバル・ステータス・レジスタ	GSTSL	GSTS	R	－	○	○	000DH[注]
F032BH		GSTSH			－	○		
F032CH	CANグローバル・エラー・フラグ・レジスタ	GERFLL		R/W	－	○	－	00H
F032EH	CANタイムスタンプ・レジスタ	GTSC		R	－	－	○	0000H
F032FH					－	－		
F0330H	CAN受信ルール数設定レジスタ	GAFLCFGL	GAFLCFG	R/W	－	○	○	0000H
F0331H		GAFLCFGH			－	○		
F0332H	CAN受信バッファ数設定レジスタ	RMNBL	RMNB	R/W	－	○	○	0000H
F0333H		－			－	－		
F0334H	CAN受信バッファ受信完了フラグ・レジスタ0	RMND0L	RMND0	R/W	－	○	○	0000H
F0335H		RMND0H			－	○		
F0336H	CAN受信バッファ受信完了フラグ・レジスタ1	RMND1L	RMND1	R/W	－	○	○	0000H
F0337H		RMND1H			－	○		
F0338H	CAN受信FIFO制御レジスタ0	RFCC0L	RFCC0	R/W	－	○	○	0000H
F0339H		RFCC0H			－	○		
F033AH	CAN受信FIFO制御レジスタ1	RFCC1L	RFCC1	R/W	－	○	○	0000H
F033BH		RFCC1H			－	○		
F033CH	CAN受信FIFO制御レジスタ2	RFCC2L	RFCC2	R/W	－	○	○	0000H
F033DH		RFCC2H			－	○		
F033EH	CAN受信FIFO制御レジスタ3	RFCC3L	RFCC3	R/W	－	○	○	0000H
F033FH		RFCC3H			－	○		
F0340H	CAN受信FIFOステータス・レジスタ0	RFSTS0L	RFSTS0	R/W	－	○	○	0001H[注]
F0341H		RFSTS0H		R	－	○		
F0342H	CAN受信FIFOステータス・レジスタ1	RFSTS1L	RFSTS1	R/W	－	○	○	0001H[注]
F0343H		RFSTS1H		R	－	○		
F0344H	CAN受信FIFOステータス・レジスタ2	RFSTS2L	RFSTS2	R/W	－	○	○	0001H[注]
F0345H		RFSTS2H		R	－	○		
F0346H	CAN受信FIFOステータス・レジスタ3	RFSTS3L	RFSTS3	R/W	－	○	○	0001H[注]
F0347H		RFSTS3H		R	－	○		
F0348H	CAN受信FIFOポインタ制御レジスタ0	RFPCTR0L	RFPCTR0	W	－	○	○	0000H
F0349H		RFPCTR0H			－	○		
F034AH	CAN受信FIFOポインタ制御レジスタ1	RFPCTR1L	RFPCTR1	W	－	○	○	0000H
F034BH		RFPCTR1H			－	○		
F034CH	CAN受信FIFOポインタ制御レジスタ2	RFPCTR2L	RFPCTR2	W	－	○	○	0000H
F034DH		RFPCTR2H			－	○		
F034EH	CAN受信FIFOポインタ制御レジスタ3	RFPCTR3L	RFPCTR3	W	－	○	○	0000H
F034FH		RFPCTR3H			－	○		
F0350H	CAN0送受信FIFO制御レジスタ0L	CFCCL0L	CFCCL0	R/W	－	○	○	0000H
F0351H		CFCCL0H			－	○		
F0352H	CAN0送受信FIFO制御レジスタ0H	CFCCH0L	CFCCH0	R/W	－	○	○	0000H
F0353H		CFCCH0H			－	○		
F0354H	CAN1送受信FIFO制御レジスタ1L	CFCCL1L	CFCCL1	R/W	－	○	○	0000H
F0355H		CFCCL1H			－	○		

注　PER2レジスタのCAN0ENビットが0の場合，読み出した値は不定です。

PER2レジスタのCAN0ENビットが1の場合，読み出した値は記載初期値になります。

表18－3　CANモジュールのレジスター覧（3/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0356H	CAN1送受信FIFO制御レジスタ1H	CFCCH1L	CFCCH1	R/W	－	○	○	0000H
F0357H		CFCCH1H			－	○		
F0358H	CAN0送受信FIFOステータス・レジスタ0	CFSTS0L	CFSTS0	R/W	－	○	○	0001H注
F0359H		CFSTS0H		R	－	○		
F035AH	CAN1送受信FIFOステータス・レジスタ1	CFSTS1L	CFSTS1	R/W	－	○	○	0001H注
F035BH		CFSTS1H		R	－	○		
F035CH	CAN0送受信FIFOポインタ制御レジスタ0	CFPCTR0L	CFPCTR0	W	－	○	○	0000H
F035DH		－			－	－		
F035EH	CAN1送受信FIFOポインタ制御レジスタ1	CFPCTR1L	CFPCTR1	W	－	○	○	0000H
F035FH		－			－	－		
F0360H	受信FIFOメッセージ・ロスト・ステータス・レジスタ	RFMSTS		R	－	○	－	00H
F0361H	CAN送受信FIFOメッセージ・ロスト・ステータス・レジスタ	CFMSTS		R	－	○	－	00H
F0362H	CAN受信FIFO割り込みステータス・レジスタ	RFISTS		R	－	○	－	00H
F0363H	CAN送受信FIFO受信割り込みステータス・レジスタ	CFISTS		R	－	○	－	00H
F0364H	CAN0送信バッファ制御レジスタ0	TMC0		R/W	－	○	－	00H
F0365H	CAN0送信バッファ制御レジスタ1	TMC1		R/W	－	○	－	00H
F0366H	CAN0送信バッファ制御レジスタ2	TMC2		R/W	－	○	－	00H
F0367H	CAN0送信バッファ制御レジスタ3	TMC3		R/W	－	○	－	00H
F0368H	CAN1送信バッファ制御レジスタ4	TMC4		R/W	－	○	－	00H
F0369H	CAN1送信バッファ制御レジスタ5	TMC5		R/W	－	○	－	00H
F036AH	CAN1送信バッファ制御レジスタ6	TMC6		R/W	－	○	－	00H
F036BH	CAN1送信バッファ制御レジスタ7	TMC7		R/W	－	○	－	00H
F036CH	CAN0送信バッファ・ステータス・レジスタ0	TMSTS0		R/W	－	○	－	00H
F036DH	CAN0送信バッファ・ステータス・レジスタ1	TMSTS1		R/W	－	○	－	00H
F036EH	CAN0送信バッファ・ステータス・レジスタ2	TMSTS2		R/W	－	○	－	00H
F036FH	CAN0送信バッファ・ステータス・レジスタ3	TMSTS3		R/W	－	○	－	00H
F0370H	CAN1送信バッファ・ステータス・レジスタ4	TMSTS4		R/W	－	○	－	00H
F0371H	CAN1送信バッファ・ステータス・レジスタ5	TMSTS5		R/W	－	○	－	00H
F0372H	CAN1送信バッファ・ステータス・レジスタ6	TMSTS6		R/W	－	○	－	00H
F0373H	CAN1送信バッファ・ステータス・レジスタ7	TMSTS7		R/W	－	○	－	00H
F0374H	CAN0送信バッファ送信要求ステータス・レジスタ	TMTRSTSL	TMTRSTS	R	－	○	○	0000H
F0375H		TMTRSTSH			－	○		
F0376H	CAN0送信バッファ送信完了ステータス・レジスタ	TMTCSTSL	TMTCSTS	R	－	○	○	0000H
F0377H		TMTCSTSH			－	○		
F0378H	CAN0送信バッファ送信アボート・ステータス・レジスタ	TMTASTSL	TMTASTS	R	－	○	○	0000H
F0379H		TMTASTSH			－	○		
F037AH	CAN0送信バッファ割り込み許可レジスタ	TMIECL	TMIEC	R/W	－	○	○	0000H
F037BH		TMIECH			－	○		
F037CH	CAN0送信履歴バッファ制御レジスタ	THLCC0L	THLCC0	R/W	－	○	○	0000H
F037DH		THLCC0H			－	○		
F037EH	CAN1送信履歴バッファ制御レジスタ	THLCC1L	THLCC1	R/W	－	○	○	0000H
F037FH		THLCC1H			－	○		

注　PER2レジスタのCAN0ENビットが0の場合，読み出した値は不定です。

PER2レジスタのCAN0ENビットが1の場合，読み出した値は記載初期値になります。

表18－3　CANモジュールのレジスター覧（4/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0380H	CAN0送信履歴バッファ・ステータス・レジスタ	THLSTS0L	THLSTS0	R/W	－	○	○	0001H注
F0381H		THLSTS0H			－	○		
F0382H	CAN1送信履歴バッファ・ステータス・レジスタ	THLSTS1L	THLSTS1	R/W	－	○	○	0001H注
F0383H		THLSTS1H			－	○		
F0384H	CAN0送信履歴バッファ・ポインタ制御レジスタ	THLPCTR0L	THLPCTR0	W	－	○	○	0000H
F0385H		THLPCTR0H			－	○		
F0386H	CAN1送信履歴バッファ・ポインタ制御レジスタ	THLPCTR1L	THLPCTR1	W	－	○	○	0000H
F0387H		THLPCTR1H			－	○		
F0388H	CANグローバル送信割り込みステータス・レジスタ	GTINTSTSL	GTINTSTS	R	－	○	○	0000H
F0389H		GTINTSTSH			－	○		
F038AH	CANグローバルRAMウィンドウ制御レジスタ	GRWCRL	GRWCR	R/W	－	○	○	0000H
F038BH		GRWCRH			－	○		
F038CH	CANグローバル・テスト設定レジスタ	GTSTCFGL	GTSTCFG	R/W	－	○	○	0000H
F038DH		GTSTCFGH			－	○		
F038EH	CANグローバル・テスト制御レジスタ	GTSTCTRL		R/W	－	○	－	00H
F0394H	CANグローバル・テスト・プロテクト解除レジスタ	GLOCKK		W	－	－	○	0000H
F0395H					－	－		
F03A0H	CAN受信ルール登録レジスタ0AL注1	GAFLIDL0L	GAFLIDL0	R/W	－	○	○	0000H
F03A1H		GAFLIDL0H			－	○		
F03A0H	CAN受信バッファ・レジスタ0AL注2	RMIDL0L	RMIDL0	R	－	○	○	0000H
F03A1H		RMIDL0H			－	○		
F03A2H	CAN受信ルール登録レジスタ0AH注1	GAFLIDH0L	GAFLIDH0	R/W	－	○	○	0000H
F03A3H		GAFLIDH0H			－	○		
F03A2H	CAN受信バッファ・レジスタ0AH注2	RMIDH0L	RMIDH0	R	－	○	○	0000H
F03A3H		RMIDH0H			－	○		
F03A4H	CAN受信ルール登録レジスタ0BL注1	GAFLML0L	GAFLML0	R/W	－	○	○	0000H
F03A5H		GAFLML0H			－	○		
F03A4H	CAN受信バッファ・レジスタ0BL注2	RMTS0L	RMTS0	R	－	○	○	0000H
F03A5H		RMTS0H			－	○		
F03A6H	CAN受信ルール登録レジスタ0BH注1	GAFLMH0L	GAFLMH0	R/W	－	○	○	0000H
F03A7H		GAFLMH0H			－	○		
F03A6H	CAN受信バッファ・レジスタ0BH注2	RMPTR0L	RMPTR0	R	－	○	○	0000H
F03A7H		RMPTR0H			－	○		
F03A8H	CAN受信ルール登録レジスタ0CL注1	GAFLPL0L	GAFLPL0	R/W	－	○	○	0000H
F03A9H		GAFLPL0H			－	○		
F03A8H	CAN受信バッファ・レジスタ0CL注2	RMDF00L	RMDF00	R	－	○	○	0000H
F03A9H		RMDF00H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（5/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F03AAH	CAN受信ルール登録レジスタ0CH[注1]	GAFLPH0L	GAFLPH0	R/W	－	○	○	0000H
F03ABH		GAFLPH0H			－	○		
F03AAH	CAN受信バッファ・レジスタ0CH[注2]	RMDF10L	RMDF10	R	－	○	○	0000H
F03ABH		RMDF10H			－	○		
F03ACH	CAN受信ルール登録レジスタ1AL[注1]	GAFLIDL1L	GAFLIDL1	R/W	－	○	○	0000H
F03ADH		GAFLIDL1H			－	○		
F03ACH	CAN受信バッファ・レジスタ0DL[注2]	RMDF20L	RMDF20	R	－	○	○	0000H
F03ADH		RMDF20H			－	○		
F03AEH	CAN受信ルール登録レジスタ1AH[注1]	GAFLIDH1L	GAFLIDH1	R/W	－	○	○	0000H
F03AFH		GAFLIDH1H			－	○		
F03AEH	CAN受信バッファ・レジスタ0DH[注2]	RMDF30L	RMDF30	R	－	○	○	0000H
F03AFH		RMDF30H			－	○		
F03B0H	CAN受信ルール登録レジスタ1BL[注1]	GAFLML1L	GAFLML1	R/W	－	○	○	0000H
F03B1H		GAFLML1H			－	○		
F03B0H	CAN受信バッファ・レジスタ1AL[注2]	RMIDL1L	RMIDL1	R	－	○	○	0000H
F03B1H		RMIDL1H			－	○		
F03B2H	CAN受信ルール登録レジスタ1BH[注1]	GAFLMH1L	GAFLMH1	R/W	－	○	○	0000H
F03B3H		GAFLMH1H			－	○		
F03B2H	CAN受信バッファ・レジスタ1AH[注2]	RMIDH1L	RMIDH1	R	－	○	○	0000H
F03B3H		RMIDH1H			－	○		
F03B4H	CAN受信ルール登録レジスタ1CL[注1]	GAFLPL1L	GAFLPL1	R/W	－	○	○	0000H
F03B5H		GAFLPL1H			－	○		
F03B4H	CAN受信バッファ・レジスタ1BL[注2]	RMTS1L	RMTS1	R	－	○	○	0000H
F03B5H		RMTS1H			－	○		
F03B6H	CAN受信ルール登録レジスタ1CH[注1]	GAFLPH1L	GAFLPH1	R/W	－	○	○	0000H
F03B7H		GAFLPH1H			－	○		
F03B6H	CAN受信バッファ・レジスタ1BH[注2]	RMPTR1L	RMPTR1	R	－	○	○	0000H
F03B7H		RMPTR1H			－	○		
F03B8H	CAN受信ルール登録レジスタ2AL[注1]	GAFLIDL2L	GAFLIDL2	R/W	－	○	○	0000H
F03B9H		GAFLIDL2H			－	○		
F03B8H	CAN受信バッファ・レジスタ1CL[注2]	RMDF01L	RMDF01	R	－	○	○	0000H
F03B9H		RMDF01H			－	○		
F03BAH	CAN受信ルール登録レジスタ2AH[注1]	GAFLIDH2L	GAFLIDH2	R/W	－	○	○	0000H
F03BBH		GAFLIDH2H			－	○		
F03BAH	CAN受信バッファ・レジスタ1CH[注2]	RMDF11L	RMDF11	R	－	○	○	0000H
F03BBH		RMDF11H			－	○		
F03BCH	CAN受信ルール登録レジスタ2BL[注1]	GAFLML2L	GAFLML2	R/W	－	○	○	0000H
F03BDH		GAFLML2H			－	○		
F03BCH	CAN受信バッファ・レジスタ1DL[注2]	RMDF21L	RMDF21	R	－	○	○	0000H
F03BDH		RMDF21H			－	○		
F03BEH	CAN受信ルール登録レジスタ2BH[注1]	GAFLMH2L	GAFLMH2	R/W	－	○	○	0000H
F03BFH		GAFLMH2H			－	○		
F03BEH	CAN受信バッファ・レジスタ1DH[注2]	RMDF31L	RMDF31	R	－	○	○	0000H
F03BFH		RMDF31H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（6/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F03C0H	CAN受信ルール登録レジスタ2CL[注1]	GAFLPL2L	GAFLPL2	R/W	－	○	○	0000H
F03C1H		GAFLPL2H			－	○		
F03C0H	CAN受信バッファ・レジスタ2AL[注2]	RMIDL2L	RMIDL2	R	－	○	○	0000H
F03C1H		RMIDL2H			－	○		
F03C2H	CAN受信ルール登録レジスタ2CH[注1]	GAFLPH2L	GAFLPH2	R/W	－	○	○	0000H
F03C3H		GAFLPH2H			－	○		
F03C2H	CAN受信バッファ・レジスタ2AH[注2]	RMIDH2L	RMIDH2	R	－	○	○	0000H
F03C3H		RMIDH2H			－	○		
F03C4H	CAN受信ルール登録レジスタ3AL[注1]	GAFLIDL3L	GAFLIDL3	R/W	－	○	○	0000H
F03C5H		GAFLIDL3H			－	○		
F03C4H	CAN受信バッファ・レジスタ2BL[注2]	RMTS2L	RMTS2	R	－	○	○	0000H
F03C5H		RMTS2H			－	○		
F03C6H	CAN受信ルール登録レジスタ3AH[注1]	GAFLIDH3L	GAFLIDH3	R/W	－	○	○	0000H
F03C7H		GAFLIDH3H			－	○		
F03C6H	CAN受信バッファ・レジスタ2BH[注2]	RMPTR2L	RMPTR2	R	－	○	○	0000H
F03C7H		RMPTR2H			－	○		
F03C8H	CAN受信ルール登録レジスタ3BL[注1]	GAFLML3L	GAFLML3	R/W	－	○	○	0000H
F03C9H		GAFLML3H			－	○		
F03C8H	CAN受信バッファ・レジスタ2CL[注2]	RMDF02L	RMDF02	R	－	○	○	0000H
F03C9H		RMDF02H			－	○		
F03CAH	CAN受信ルール登録レジスタ3BH[注1]	GAFLMH3L	GAFLMH3	R/W	－	○	○	0000H
F03CBH		GAFLMH3H			－	○		
F03CAH	CAN受信バッファ・レジスタ2CH[注2]	RMDF12L	RMDF12	R	－	○	○	0000H
F03CBH		RMDF12H			－	○		
F03CCH	CAN受信ルール登録レジスタ3CL[注1]	GAFLPL3L	GAFLPL3	R/W	－	○	○	0000H
F03CDH		GAFLPL3H			－	○		
F03CCH	CAN受信バッファ・レジスタ2DL[注2]	RMDF22L	RMDF22	R	－	○	○	0000H
F03CDH		RMDF22H			－	○		
F03CEH	CAN受信ルール登録レジスタ3CH[注1]	GAFLPH3L	GAFLPH3	R/W	－	○	○	0000H
F03CFH		GAFLPH3H			－	○		
F03CEH	CAN受信バッファ・レジスタ2DH[注2]	RMDF32L	RMDF32	R	－	○	○	0000H
F03CFH		RMDF32H			－	○		
F03D0H	CAN受信ルール登録レジスタ4AL[注1]	GAFLIDL4L	GAFLIDL4	R/W	－	○	○	0000H
F03D1H		GAFLIDL4H			－	○		
F03D0H	CAN受信バッファ・レジスタ3AL[注2]	RMIDL3L	RMIDL3	R	－	○	○	0000H
F03D1H		RMIDL3H			－	○		
F03D2H	CAN受信ルール登録レジスタ4AH[注1]	GAFLIDH4L	GAFLIDH4	R/W	－	○	○	0000H
F03D3H		GAFLIDH4H			－	○		
F03D2H	CAN受信バッファ・レジスタ3AH[注2]	RMIDH3L	RMIDH3	R	－	○	○	0000H
F03D3H		RMIDH3H			－	○		
F03D4H	CAN受信ルール登録レジスタ4BL[注1]	GAFLML4L	GAFLML4	R/W	－	○	○	0000H
F03D5H		GAFLML4H			－	○		
F03D4H	CAN受信バッファ・レジスタ3BL[注2]	RMTS3L	RMTS3	R	－	○	○	0000H
F03D5H		RMTS3H			－	○		
F03D6H	CAN受信ルール登録レジスタ4BH[注1]	GAFLMH4L	GAFLMH4	R/W	－	○	○	0000H
F03D7H		GAFLMH4H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（7/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F03D6H	CAN受信バッファ・レジスタ3BH注2	RMPTR3L	RMPTR3	R	－	○	○	0000H
F03D7H		RMPTR3H			－	○		
F03D8H	CAN受信ルール登録レジスタ4CL注1	GAFLPL4L	GAFLPL4	R/W	－	○	○	0000H
F03D9H		GAFLPL4H			－	○		
F03D8H	CAN受信バッファ・レジスタ3CL注2	RMDF03L	RMDF03	R	－	○	○	0000H
F03D9H		RMDF03H			－	○		
F03DAH	CAN受信ルール登録レジスタ4CH注1	GAFLPH4L	GAFLPH4	R/W	－	○	○	0000H
F03DBH		GAFLPH4H			－	○		
F03DAH	CAN受信バッファ・レジスタ3CH注2	RMDF13L	RMDF13	R	－	○	○	0000H
F03DBH		RMDF13H			－	○		
F03DCH	CAN受信ルール登録レジスタ5AL注1	GAFLIDL5L	GAFLIDL5	R/W	－	○	○	0000H
F03DDH		GAFLIDL5H			－	○		
F03DCH	CAN受信バッファ・レジスタ3DL注2	RMDF23L	RMDF23	R	－	○	○	0000H
F03DDH		RMDF23H			－	○		
F03DEH	CAN受信ルール登録レジスタ5AH注1	GAFLIDH5L	GAFLIDH5	R/W	－	○	○	0000H
F03DFH		GAFLIDH5H			－	○		
F03DEH	CAN受信バッファ・レジスタ3DH注2	RMDF33L	RMDF33	R	－	○	○	0000H
F03DFH		RMDF33H			－	○		
F03E0H	CAN受信ルール登録レジスタ5BL注1	GAFLML5L	GAFLML5	R/W	－	○	○	0000H
F03E1H		GAFLML5H			－	○		
F03E0H	CAN受信バッファ・レジスタ4AL注2	RMIDL4L	RMIDL4	R	－	○	○	0000H
F03E1H		RMIDL4H			－	○		
F03E2H	CAN受信ルール登録レジスタ5BH注1	GAFLMH5L	GAFLMH5	R/W	－	○	○	0000H
F03E3H		GAFLMH5H			－	○		
F03E2H	CAN受信バッファ・レジスタ4AH注2	RMIDH4L	RMIDH4	R	－	○	○	0000H
F03E3H		RMIDH4H			－	○		
F03E4H	CAN受信ルール登録レジスタ5CL注1	GAFLPL5L	GAFLPL5	R/W	－	○	○	0000H
F03E5H		GAFLPL5H			－	○		
F03E4H	CAN受信バッファ・レジスタ4BL注2	RMTS4L	RMTS4	R	－	○	○	0000H
F03E5H		RMTS4H			－	○		
F03E6H	CAN受信ルール登録レジスタ5CH注1	GAFLPH5L	GAFLPH5	R/W	－	○	○	0000H
F03E7H		GAFLPH5H			－	○		
F03E6H	CAN受信バッファ・レジスタ4BH注2	RMPTR4L	RMPTR4	R	－	○	○	0000H
F03E7H		RMPTR4H			－	○		
F03E8H	CAN受信ルール登録レジスタ6AL注1	GAFLIDL6L	GAFLIDL6	R/W	－	○	○	0000H
F03E9H		GAFLIDL6H			－	○		
F03E8H	CAN受信バッファ・レジスタ4CL注2	RMDF04L	RMDF04	R	－	○	○	0000H
F03E9H		RMDF04H			－	○		
F03EAH	CAN受信ルール登録レジスタ6AH注1	GAFLIDH6L	GAFLIDH6	R/W	－	○	○	0000H
F03EBH		GAFLIDH6H			－	○		
F03EAH	CAN受信バッファ・レジスタ4CH注2	RMDF14L	RMDF14	R	－	○	○	0000H
F03EBH		RMDF14H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（8/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F03ECH	CAN受信ルール登録レジスタ6BL注1	GAFLML6L	GAFLML6	R/W	－	○	○	0000H
F03EDH		GAFLML6H			－	○		
F03ECH	CAN受信バッファ・レジスタ4DL注2	RMDF24L	RMDF24	R	－	○	○	0000H
F03EDH		RMDF24H			－	○		
F03EEH	CAN受信ルール登録レジスタ6BH注1	GAFLMH6L	GAFLMH6	R/W	－	○	○	0000H
F03EFH		GAFLMH6H			－	○		
F03EEH	CAN受信バッファ・レジスタ4DH注2	RMDF34L	RMDF34	R/W	－	○	○	0000H
F03EFH		RMDF34H			－	○		
F03F0H	CAN受信ルール登録レジスタ6CL注1	GAFLPL6L	GAFLPL6	R/W	－	○	○	0000H
F03F1H		GAFLPL6H			－	○		
F03F0H	CAN受信バッファ・レジスタ5AL注2	RMIDL5L	RMIDL5	R	－	○	○	0000H
F03F1H		RMIDL5H			－	○		
F03F2H	CAN受信ルール登録レジスタ6CH注1	GAFLPH6L	GAFLPH6	R/W	－	○	○	0000H
F03F3H		GAFLPH6H			－	○		
F03F2H	CAN受信バッファ・レジスタ5AH注2	RMIDH5L	RMIDH5	R	－	○	○	0000H
F03F3H		RMIDH5H			－	○		
F03F4H	CAN受信ルール登録レジスタ7AL注1	GAFLIDL7L	GAFLIDL7	R/W	－	○	○	0000H
F03F5H		GAFLIDL7H			－	○		
F03F4H	CAN受信バッファ・レジスタ5BL注2	RMTS5L	RMTS5	R	－	○	○	0000H
F03F5H		RMTS5H			－	○		
F03F6H	CAN受信ルール登録レジスタ7AH注1	GAFLIDH7L	GAFLIDH7	R/W	－	○	○	0000H
F03F7H		GAFLIDH7H			－	○		
F03F6H	CAN受信バッファ・レジスタ5BH注2	RMPTR5L	RMPTR5	R	－	○	○	0000H
F03F7H		RMPTR5H			－	○		
F03F8H	CAN受信ルール登録レジスタ7BL注1	GAFLML7L	GAFLML7	R/W	－	○	○	0000H
F03F9H		GAFLML7H			－	○		
F03F8H	CAN受信バッファ・レジスタ5CL注2	RMDF05L	RMDF05	R	－	○	○	0000H
F03F9H		RMDF05H			－	○		
F03FAH	CAN受信ルール登録レジスタ7BH注1	GAFLMH7L	GAFLMH7	R/W	－	○	○	0000H
F03FBH		GAFLMH7H			－	○		
F03FAH	CAN受信バッファ・レジスタ5CH注2	RMDF15L	RMDF15	R	－	○	○	0000H
F03FBH		RMDF15H			－	○		
F03FCH	CAN受信ルール登録レジスタ7CL注1	GAFLPL7L	GAFLPL7	R/W	－	○	○	0000H
F03FDH		GAFLPL7H			－	○		
F03FCH	CAN受信バッファ・レジスタ5DL注2	RMDF25L	RMDF25	R	－	○	○	0000H
F03FDH		RMDF25H			－	○		
F03FEH	CAN受信ルール登録レジスタ7CH注1	GAFLPH7L	GAFLPH7	R/W	－	○	○	0000H
F03FFH		GAFLPH7H			－	○		
F03FEH	CAN受信バッファ・レジスタ5DH注2	RMDF35L	RMDF35	R	－	○	○	0000H
F03FFH		RMDF35H			－	○		
F0400H	CAN受信ルール登録レジスタ8AL注1	GAFLIDL8L	GAFLIDL8	R/W	－	○	○	0000H
F0401H		GAFLIDL8H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（9/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0400H	CAN受信バッファ・レジスタ6AL注2	RMIDL6L	RMIDL6	R	－	O	O	0000H
F0401H		RMIDL6H			－	O		
F0402H	CAN受信ルール登録レジスタ8AH注1	GAFLIDH8L	GAFLIDH8	R/W	－	O	O	0000H
F0403H		GAFLIDH8H			－	O		
F0402H	CAN受信バッファ・レジスタ6AH注2	RMIDH6L	RMIDH6	R	－	O	O	0000H
F0403H		RMIDH6H			－	O		
F0404H	CAN受信ルール登録レジスタ8BL注1	GAFLML8L	GAFLML8	R/W	－	O	O	0000H
F0405H		GAFLML8H			－	O		
F0404H	CAN受信バッファ・レジスタ6BL注2	RMTS6L	RMTS6	R	－	O	O	0000H
F0405H		RMTS6H			－	O		
F0406H	CAN受信ルール登録レジスタ8BH注1	GAFLMH8L	GAFLMH8	R/W	－	O	O	0000H
F0407H		GAFLMH8H			－	O		
F0406H	CAN受信バッファ・レジスタ6BH注2	RMPTR6L	RMPTR6	R	－	O	O	0000H
F0407H		RMPTR6H			－	O		
F0408H	CAN受信ルール登録レジスタ8CL注1	GAFLPL8L	GAFLPL8	R/W	－	O	O	0000H
F0409H		GAFLPL8H			－	O		
F0408H	CAN受信バッファ・レジスタ6CL注2	RMDF06L	RMDF06	R	－	O	O	0000H
F0409H		RMDF06H			－	O		
F040AH	CAN受信ルール登録レジスタ8CH注1	GAFLPH8L	GAFLPH8	R/W	－	O	O	0000H
F040BH		GAFLPH8H			－	O		
F040AH	CAN受信バッファ・レジスタ6CH注2	RMDF16L	RMDF16	R	－	O	O	0000H
F040BH		RMDF16H			－	O		
F040CH	CAN受信ルール登録レジスタ9AL注1	GAFLIDL9L	GAFLIDL9	R/W	－	O	O	0000H
F040DH		GAFLIDL9H			－	O		
F040CH	CAN受信バッファ・レジスタ6DL注2	RMDF26L	RMDF26	R	－	O	O	0000H
F040DH		RMDF26H			－	O		
F040EH	CAN受信ルール登録レジスタ9AH注1	GAFLIDH9L	GAFLIDH9	R/W	－	O	O	0000H
F040FH		GAFLIDH9H			－	O		
F040EH	CAN受信バッファ・レジスタ6DH注2	RMDF36L	RMDF36	R	－	O	O	0000H
F040FH		RMDF36H			－	O		
F0410H	CAN受信ルール登録レジスタ9BL注1	GAFLML9L	GAFLML9	R/W	－	O	O	0000H
F0411H		GAFLML9H			－	O		
F0410H	CAN受信バッファ・レジスタ7AL注2	RMIDL7L	RMIDL7	R	－	O	O	0000H
F0411H		RMIDL7H			－	O		
F0412H	CAN受信ルール登録レジスタ9BH注1	GAFLMH9L	GAFLMH9	R/W	－	O	O	0000H
F0413H		GAFLMH9H			－	O		
F0412H	CAN受信バッファ・レジスタ7AH注2	RMIDH7L	RMIDH7	R	－	O	O	0000H
F0413H		RMIDH7H			－	O		
F0414H	CAN受信ルール登録レジスタ9CL注1	GAFLPL9L	GAFLPL9	R/W	－	O	O	0000H
F0415H		GAFLPL9H			－	O		
F0414H	CAN受信バッファ・レジスタ7BL注2	RMTS7L	RMTS7	R	－	O	O	0000H
F0415H		RMTS7H			－	O		
F0416H	CAN受信ルール登録レジスタ9CH注1	GAFLPH9L	GAFLPH9	R/W	－	O	O	0000H
F0417H		GAFLPH9H			－	O		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（10/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0416H	CAN受信バッファ・レジスタ7BH注2	RMPTR7L	RMPTR7	R	－	O	O	0000H
F0417H		RMPTR7H			－	O		
F0418H	CAN受信ルール登録レジスタ10AL注1	GAFLIDL10L	GAFLIDL10	R/W	－	O	O	0000H
F0419H		GAFLIDL10H			－	O		
F0418H	CAN受信バッファ・レジスタ7CL注2	RMDF07L	RMDF07	R	－	O	O	0000H
F0419H		RMDF07H			－	O		
F041AH	CAN受信ルール登録レジスタ10AH注1	GAFLIDH10L	GAFLIDH10	R/W	－	O	O	0000H
F041BH		GAFLIDH10H			－	O		
F041AH	CAN受信バッファ・レジスタ7CH注2	RMDF17L	RMDF17	R	－	O	O	0000H
F041BH		RMDF17H			－	O		
F041CH	CAN受信ルール登録レジスタ10BL注1	GAFLML10L	GAFLML10	R/W	－	O	O	0000H
F041DH		GAFLML10H			－	O		
F041CH	CAN受信バッファ・レジスタ7DL注2	RMDF27L	RMDF27	R	－	O	O	0000H
F041DH		RMDF27H			－	O		
F041EH	CAN受信ルール登録レジスタ10BH注1	GAFLMH10L	GAFLMH10	R/W	－	O	O	0000H
F041FH		GAFLMH10H			－	O		
F041EH	CAN受信バッファ・レジスタ7DH注2	RMDF37L	RMDF37	R	－	O	O	0000H
F041FH		RMDF37H			－	O		
F0420H	CAN受信ルール登録レジスタ10CL注1	GAFLPL10L	GAFLPL10	R/W	－	O	O	0000H
F0421H		GAFLPL10H			－	O		
F0420H	CAN受信バッファ・レジスタ8AL注2	RMIDL8L	RMIDL8	R	－	O	O	0000H
F0421H		RMIDL8H			－	O		
F0422H	CAN受信ルール登録レジスタ10CH注1	GAFLPH10L	GAFLPH10	R/W	－	O	O	0000H
F0423H		GAFLPH10H			－	O		
F0422H	CAN受信バッファ・レジスタ8AH注2	RMIDH8L	RMIDH8	R	－	O	O	0000H
F0423H		RMIDH8H			－	O		
F0424H	CAN受信ルール登録レジスタ11AL注1	GAFLIDL11L	GAFLIDL11	R/W	－	O	O	0000H
F0425H		GAFLIDL11H			－	O		
F0424H	CAN受信バッファ・レジスタ8BL注2	RMTS8L	RMTS8	R	－	O	O	0000H
F0425H		RMTS8H			－	O		
F0426H	CAN受信ルール登録レジスタ11AH注1	GAFLIDH11L	GAFLIDH11	R/W	－	O	O	0000H
F0427H		GAFLIDH11H			－	O		
F0426H	CAN受信バッファ・レジスタ8BH注2	RMPTR8L	RMPTR8	R	－	O	O	0000H
F0427H		RMPTR8H			－	O		
F0428H	CAN受信ルール登録レジスタ11BL注1	GAFLML11L	GAFLML11	R/W	－	O	O	0000H
F0429H		GAFLML11H			－	O		
F0428H	CAN受信バッファ・レジスタ8CL注2	RMDF08L	RMDF08	R	－	O	O	0000H
F0429H		RMDF08H			－	O		
F042AH	CAN受信ルール登録レジスタ11BH注1	GAFLMH11L	GAFLMH11	R/W	－	O	O	0000H
F042BH		GAFLMH11H			－	O		
F042AH	CAN受信バッファ・レジスタ8CH注2	RMDF18L	RMDF18	R	－	O	O	0000H
F042BH		RMDF18H			－	O		
F042CH	CAN受信ルール登録レジスタ11CL注1	GAFLPL11L	GAFLPL11	R/W	－	O	O	0000H
F042DH		GAFLPL11H			－	O		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（11/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F042CH	CAN受信バッファ・レジスタ8DL[注2]	RMDF28L	RMDF28	R	－	○	○	0000H
F042DH		RMDF28H			－	○		
F042EH	CAN受信ルール登録レジスタ11CH[注1]	GAFLPH11L	GAFLPH11	R/W	－	○	○	0000H
F042FH		GAFLPH11H			－	○		
F042EH	CAN受信バッファ・レジスタ8DH[注2]	RMDF38L	RMDF38	R	－	○	○	0000H
F042FH		RMDF38H			－	○		
F0430H	CAN受信ルール登録レジスタ12AL[注1]	GAFLIDL12L	GAFLIDL12	R/W	－	○	○	0000H
F0431H		GAFLIDL12H			－	○		
F0430H	CAN受信バッファ・レジスタ9AL[注2]	RMIDL9L	RMIDL9	R	－	○	○	0000H
F0431H		RMIDL9H			－	○		
F0432H	CAN受信ルール登録レジスタ12AH[注1]	GAFLIDH12L	GAFLIDH12	R/W	－	○	○	0000H
F0433H		GAFLIDH12H			－	○		
F0432H	CAN受信バッファ・レジスタ9AH[注2]	RMIDH9L	RMIDH9	R	－	○	○	0000H
F0433H		RMIDH9H			－	○		
F0434H	CAN受信ルール登録レジスタ12BL[注1]	GAFLML12L	GAFLML12	R/W	－	○	○	0000H
F0435H		GAFLML12H			－	○		
F0434H	CAN受信バッファ・レジスタ9BL[注2]	RMTS9L	RMTS9	R	－	○	○	0000H
F0435H		RMTS9H			－	○		
F0436H	CAN受信ルール登録レジスタ12BH[注1]	GAFLMH12L	GAFLMH12	R/W	－	○	○	0000H
F0437H		GAFLMH12H			－	○		
F0436H	CAN受信バッファ・レジスタ9BH[注2]	RMPTR9L	RMPTR9	R	－	○	○	0000H
F0437H		RMPTR9H			－	○		
F0438H	CAN受信ルール登録レジスタ12CL[注1]	GAFLPL12L	GAFLPL12	R/W	－	○	○	0000H
F0439H		GAFLPL12H			－	○		
F0438H	CAN受信バッファ・レジスタ9CL[注2]	RMDF09L	RMDF09	R	－	○	○	0000H
F0439H		RMDF09H			－	○		
F043AH	CAN受信ルール登録レジスタ12CH[注1]	GAFLPH12L	GAFLPH12	R/W	－	○	○	0000H
F043BH		GAFLPH12H			－	○		
F043AH	CAN受信バッファ・レジスタ9CH[注2]	RMDF19L	RMDF19	R	－	○	○	0000H
F043BH		RMDF19H			－	○		
F043CH	CAN受信ルール登録レジスタ13AL[注1]	GAFLIDL13L	GAFLIDL13	R/W	－	○	○	0000H
F043DH		GAFLIDL13H			－	○		
F043CH	CAN受信バッファ・レジスタ9DL[注2]	RMDF29L	RMDF29	R	－	○	○	0000H
F043DH		RMDF29H			－	○		
F043EH	CAN受信ルール登録レジスタ13AH[注1]	GAFLIDH13L	GAFLIDH13	R/W	－	○	○	0000H
F043FH		GAFLIDH13H			－	○		
F043EH	CAN受信バッファ・レジスタ9DH[注2]	RMDF39L	RMDF39	R	－	○	○	0000H
F043FH		RMDF39H			－	○		
F0440H	CAN受信ルール登録レジスタ13BL[注1]	GAFLML13L	GAFLML13	R/W	－	○	○	0000H
F0441H		GAFLML13H			－	○		
F0440H	CAN受信バッファ・レジスタ10AL[注2]	RMIDL10L	RMIDL10	R	－	○	○	0000H
F0441H		RMIDL10H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（12/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0442H	CAN受信ルール登録レジスタ13BH[注1]	GAFLMH13L	GAFLMH13	R/W	－	○	○	0000H
F0443H		GAFLMH13H			－	○		
F0442H	CAN受信バッファ・レジスタ10AH[注2]	RMIDH10L	RMIDH10	R	－	○	○	0000H
F0443H		RMIDH10H			－	○		
F0444H	CAN受信ルール登録レジスタ13CL[注1]	GAFLPL13L	GAFLPL13	R/W	－	○	○	0000H
F0445H		GAFLPL13H			－	○		
F0444H	CAN受信バッファ・レジスタ10BL[注2]	RMTS10L	RMTS10	R	－	○	○	0000H
F0445H		RMTS10H			－	○		
F0446H	CAN受信ルール登録レジスタ13CH[注1]	GAFLPH13L	GAFLPH13	R/W	－	○	○	0000H
F0447H		GAFLPH13H			－	○		
F0446H	CAN受信バッファ・レジスタ10BH[注2]	RMPTR10L	RMPTR10	R	－	○	○	0000H
F0447H		RMPTR10H			－	○		
F0448H	CAN受信ルール登録レジスタ14AL[注1]	GAFLIDL14L	GAFLIDL14	R/W	－	○	○	0000H
F0449H		GAFLIDL14H			－	○		
F0448H	CAN受信バッファ・レジスタ10CL[注2]	RMDF010L	RMDF010	R	－	○	○	0000H
F0449H		RMDF010H			－	○		
F044AH	CAN受信ルール登録レジスタ14AH[注1]	GAFLIDH14L	GAFLIDH14	R/W	－	○	○	0000H
F044BH		GAFLIDH14H			－	○		
F044AH	CAN受信バッファ・レジスタ10CH[注2]	RMDF110L	RMDF110	R	－	○	○	0000H
F044BH		RMDF110H			－	○		
F044CH	CAN受信ルール登録レジスタ14BL[注1]	GAFLML14L	GAFLML14	R/W	－	○	○	0000H
F044DH		GAFLML14H			－	○		
F044CH	CAN受信バッファ・レジスタ10DL[注2]	RMDF210L	RMDF210	R	－	○	○	0000H
F044DH		RMDF210H			－	○		
F044EH	CAN受信ルール登録レジスタ14BH[注1]	GAFLMH14L	GAFLMH14	R/W	－	○	○	0000H
F044FH		GAFLMH14H			－	○		
F044EH	CAN受信バッファ・レジスタ10DH[注2]	RMDF310L	RMDF310	R	－	○	○	0000H
F044FH		RMDF310H			－	○		
F0450H	CAN受信ルール登録レジスタ14CL[注1]	GAFLPL14L	GAFLPL14	R/W	－	○	○	0000H
F0451H		GAFLPL14H			－	○		
F0450H	CAN受信バッファ・レジスタ11AL[注2]	RMIDL11L	RMIDL11	R	－	○	○	0000H
F0451H		RMIDL11H			－	○		
F0452H	CAN受信ルール登録レジスタ14CH[注1]	GAFLPH14L	GAFLPH14	R/W	－	○	○	0000H
F0453H		GAFLPH14H			－	○		
F0452H	CAN受信バッファ・レジスタ11AH[注2]	RMIDH11L	RMIDH11	R	－	○	○	0000H
F0453H		RMIDH11H			－	○		
F0454H	CAN受信ルール登録レジスタ15AL[注1]	GAFLIDL15L	GAFLIDL15	R/W	－	○	○	0000H
F0455H		GAFLIDL15H			－	○		
F0454H	CAN受信バッファ・レジスタ11BL[注2]	RMTS11L	RMTS11	R	－	○	○	0000H
F0455H		RMTS11H			－	○		
F0456H	CAN受信ルール登録レジスタ15AH[注1]	GAFLIDH15L	GAFLIDH15	R/W	－	○	○	0000H
F0457H		GAFLIDH15H			－	○		
F0456H	CAN受信バッファ・レジスタ11BH[注2]	RMPTR11L	RMPTR11	R	－	○	○	0000H
F0457H		RMPTR11H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（13/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0458H	CAN受信ルール登録レジスタ15BL[注1]	GAFLML15L	GAFLML15	R/W	－	○	○	0000H
F0459H		GAFLML15H			－	○		
F0458H	CAN受信バッファ・レジスタ11CL[注2]	RMDF011L	RMDF011	R	－	○	○	0000H
F0459H		RMDF011H			－	○		
F045AH	CAN受信ルール登録レジスタ15BH[注1]	GAFLMH15L	GAFLMH15	R/W	－	○	○	0000H
F045BH		GAFLMH15H			－	○		
F045AH	CAN受信バッファ・レジスタ11CH[注2]	RMDF111L	RMDF111	R	－	○	○	0000H
F045BH		RMDF111H			－	○		
F045CH	CAN受信ルール登録レジスタ15CL[注1]	GAFLPL15L	GAFLPL15	R/W	－	○	○	0000H
F045DH		GAFLPL15H			－	○		
F045CH	CAN受信バッファ・レジスタ11DL[注2]	RMDF211L	RMDF211	R	－	○	○	0000H
F045DH		RMDF211H			－	○		
F045EH	CAN受信ルール登録レジスタ15CH[注1]	GAFLPH15L	GAFLPH15	R/W	－	○	○	0000H
F045FH		GAFLPH15H			－	○		
F045EH	CAN受信バッファ・レジスタ11DH[注2]	RMDF311L	RMDF311	R	－	○	○	0000H
F045FH		RMDF311H			－	○		
F0460H	CAN受信ルール登録レジスタ16AL[注1]	GAFLIDL16L	GAFLIDL16	R/W	－	○	○	0000H
F0461H		GAFLIDL16H			－	○		
F0460H	CAN受信バッファ・レジスタ12AL[注2]	RMIDL12L	RMIDL12	R	－	○	○	0000H
F0461H		RMIDL12H			－	○		
F0462H	CAN受信ルール登録レジスタ16AH[注1]	GAFLIDH16L	GAFLIDH16	R/W	－	○	○	0000H
F0463H		GAFLIDH16H			－	○		
F0462H	CAN受信バッファ・レジスタ12AH[注2]	RMIDH12L	RMIDH12	R	－	○	○	0000H
F0463H		RMIDH12H			－	○		
F0464H	CAN受信ルール登録レジスタ16BL[注1]	GAFLML16L	GAFLML16	R/W	－	○	○	0000H
F0465H		GAFLML16H			－	○		
F0464H	CAN受信バッファ・レジスタ12BL[注2]	RMTS12L	RMTS12	R	－	○	○	0000H
F0465H		RMTS12H			－	○		
F0466H	CAN受信ルール登録レジスタ16BH[注1]	GAFLMH16L	GAFLMH16	R/W	－	○	○	0000H
F0467H		GAFLMH16H			－	○		
F0466H	CAN受信バッファ・レジスタ12BH[注2]	RMPTR12L	RMPTR12	R	－	○	○	0000H
F0467H		RMPTR12H			－	○		
F0468H	CAN受信ルール登録レジスタ16CL[注1]	GAFLPL16L	GAFLPL16	R/W	－	○	○	0000H
F0469H		GAFLPL16H			－	○		
F0468H	CAN受信バッファ・レジスタ12CL[注2]	RMDF012L	RMDF012	R	－	○	○	0000H
F0469H		RMDF012H			－	○		
F046AH	CAN受信ルール登録レジスタ16CH[注1]	GAFLPH16L	GAFLPH16	R/W	－	○	○	0000H
F046BH		GAFLPH16H			－	○		
F046AH	CAN受信バッファ・レジスタ12CH[注2]	RMDF112L	RMDF112	R	－	○	○	0000H
F046BH		RMDF112H			－	○		
F046CH	CAN受信ルール登録レジスタ17AL[注1]	GAFLIDL17L	GAFLIDL17	R/W	－	○	○	0000H
F046DH		GAFLIDL17H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（14/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F046CH	CAN受信バッファ・レジスタ12DL[注2]	RMDF212L	RMDF212	R	－	○	○	0000H
F046DH		RMDF212H			－	○		
F046EH	CAN受信ルール登録レジスタ17AH[注1]	GAFLIDH17L	GAFLIDH17	R/W	－	○	○	0000H
F046FH		GAFLIDH17H			－	○		
F046EH	CAN受信バッファ・レジスタ12DH[注2]	RMDF312L	RMDF312	R	－	○	○	0000H
F046FH		RMDF312H			－	○		
F0470H	CAN受信ルール登録レジスタ17BL[注1]	GAFLML17L	GAFLML17	R/W	－	○	○	0000H
F0471H		GAFLML17H			－	○		
F0470H	CAN受信バッファ・レジスタ13AL[注2]	RMIDL13L	RMIDL13	R	－	○	○	0000H
F0471H		RMIDL13H			－	○		
F0472H	CAN受信ルール登録レジスタ17BH[注1]	GAFLMH17L	GAFLMH17	R/W	－	○	○	0000H
F0473H		GAFLMH17H			－	○		
F0472H	CAN受信バッファ・レジスタ13AH[注2]	RMIDH13L	RMIDH13	R	－	○	○	0000H
F0473H		RMIDH13H			－	○		
F0474H	CAN受信ルール登録レジスタ17CL[注1]	GAFLPL17L	GAFLPL17	R/W	－	○	○	0000H
F0475H		GAFLPL17H			－	○		
F0474H	CAN受信バッファ・レジスタ13BL[注2]	RMTS13L	RMTS13	R	－	○	○	0000H
F0475H		RMTS13H			－	○		
F0476H	CAN受信ルール登録レジスタ17CH[注1]	GAFLPH17L	GAFLPH17	R/W	－	○	○	0000H
F0477H		GAFLPH17H			－	○		
F0476H	CAN受信バッファ・レジスタ13BH[注2]	RMPTR13L	RMPTR13	R	－	○	○	0000H
F0477H		RMPTR13H			－	○		
F0478H	CAN受信ルール登録レジスタ18AL[注1]	GAFLIDL18L	GAFLIDL18	R/W	－	○	○	0000H
F0479H		GAFLIDL18H			－	○		
F0478H	CAN受信バッファ・レジスタ13CL[注2]	RMDF013L	RMDF013	R	－	○	○	0000H
F0479H		RMDF013H			－	○		
F047AH	CAN受信ルール登録レジスタ18AH[注1]	GAFLIDH18L	GAFLIDH18	R/W	－	○	○	0000H
F047BH		GAFLIDH18H			－	○		
F047AH	CAN受信バッファ・レジスタ13CH[注2]	RMDF113L	RMDF113	R	－	○	○	0000H
F047BH		RMDF113H			－	○		
F047CH	CAN受信ルール登録レジスタ18BL[注1]	GAFLML18L	GAFLML18	R/W	－	○	○	0000H
F047DH		GAFLML18H			－	○		
F047CH	CAN受信バッファ・レジスタ13DL[注2]	RMDF213L	RMDF213	R	－	○	○	0000H
F047DH		RMDF213H			－	○		
F047EH	CAN受信ルール登録レジスタ18BH[注1]	GAFLMH18L	GAFLMH18	R/W	－	○	○	0000H
F047FH		GAFLMH18H			－	○		
F047EH	CAN受信バッファ・レジスタ13DH[注2]	RMDF313L	RMDF313	R	－	○	○	0000H
F047FH		RMDF313H			－	○		
F0480H	CAN受信ルール登録レジスタ18CL[注1]	GAFLPL18L	GAFLPL18	R/W	－	○	○	0000H
F0481H		GAFLPL18H			－	○		
F0480H	CAN受信バッファ・レジスタ14AL[注2]	RMIDL14L	RMIDL14	R	－	○	○	0000H
F0481H		RMIDL14H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（15/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0482H	CAN受信ルール登録レジスタ18CH[注1]	GAFLPH18L	GAFLPH18	R/W	－	○	○	0000H
F0483H		GAFLPH18H			－	○		
F0482H	CAN受信バッファ・レジスタ14AH[注2]	RMIDH14L	RMIDH14	R	－	○	○	0000H
F0483H		RMIDH14H			－	○		
F0484H	CAN受信ルール登録レジスタ19AL[注1]	GAFLIDL19L	GAFLIDL19	R/W	－	○	○	0000H
F0485H		GAFLIDL19H			－	○		
F0484H	CAN受信バッファ・レジスタ14BL[注2]	RMTS14L	RMTS14	R	－	○	○	0000H
F0485H		RMTS14H			－	○		
F0486H	CAN受信ルール登録レジスタ19AH[注1]	GAFLIDH19L	GAFLIDH19	R/W	－	○	○	0000H
F0487H		GAFLIDH19H			－	○		
F0486H	CAN受信バッファ・レジスタ14BH[注2]	RMPTR14L	RMPTR14	R	－	○	○	0000H
F0487H		RMPTR14H			－	○		
F0488H	CAN受信ルール登録レジスタ19BL[注1]	GAFLML19L	GAFLML19	R/W	－	○	○	0000H
F0489H		GAFLML19H			－	○		
F0488H	CAN受信バッファ・レジスタ14CL[注2]	RMDF014L	RMDF014	R	－	○	○	0000H
F0489H		RMDF014H			－	○		
F048AH	CAN受信ルール登録レジスタ19BH[注1]	GAFLMH19L	GAFLMH19	R/W	－	○	○	0000H
F048BH		GAFLMH19H			－	○		
F048AH	CAN受信バッファ・レジスタ14CH[注2]	RMDF114L	RMDF114	R	－	○	○	0000H
F048BH		RMDF114H			－	○		
F048CH	CAN受信ルール登録レジスタ19CL[注1]	GAFLPL19L	GAFLPL19	R/W	－	○	○	0000H
F048DH		GAFLPL19H			－	○		
F048CH	CAN受信バッファ・レジスタ14DL[注2]	RMDF214L	RMDF214	R	－	○	○	0000H
F048DH		RMDF214H			－	○		
F048EH	CAN受信ルール登録レジスタ19CH[注1]	GAFLPH19L	GAFLPH19	R/W	－	○	○	0000H
F048FH		GAFLPH19H			－	○		
F048EH	CAN受信バッファ・レジスタ14DH[注2]	RMDF314L	RMDF314	R	－	○	○	0000H
F048FH		RMDF314H			－	○		
F0490H	CAN受信ルール登録レジスタ20AL[注1]	GAFLIDL20L	GAFLIDL20	R/W	－	○	○	0000H
F0491H		GAFLIDL20H			－	○		
F0490H	CAN受信バッファ・レジスタ15AL[注2]	RMIDL15L	RMIDL15	R	－	○	○	0000H
F0491H		RMIDL15H			－	○		
F0492H	CAN受信ルール登録レジスタ20AH[注1]	GAFLIDH20L	GAFLIDH20	R/W	－	○	○	0000H
F0493H		GAFLIDH20H			－	○		
F0492H	CAN受信バッファ・レジスタ15AH[注2]	RMIDH15L	RMIDH15	R	－	○	○	0000H
F0493H		RMIDH15H			－	○		
F0494H	CAN受信ルール登録レジスタ20BL[注1]	GAFLML20L	GAFLML20	R/W	－	○	○	0000H
F0495H		GAFLML20H			－	○		
F0494H	CAN受信バッファ・レジスタ15BL[注2]	RMTS15L	RMTS15	R	－	○	○	0000H
F0495H		RMTS15H			－	○		
F0496H	CAN受信ルール登録レジスタ20BH[注1]	GAFLMH20L	GAFLMH20	R/W	－	○	○	0000H
F0497H		GAFLMH20H			－	○		
F0496H	CAN受信バッファ・レジスタ15BH[注2]	RMPTR15L	RMPTR15	R	－	○	○	0000H
F0497H		RMPTR15H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（16/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0498H	CAN受信ルール登録レジスタ20CL[注1]	GAFLPL20L	GAFLPL20	R/W	－	○	○	0000H
F0499H		GAFLPL20H			－	○		
F0498H	CAN受信バッファ・レジスタ15CL[注2]	RMDF015L	RMDF015	R	－	○	○	0000H
F0499H		RMDF015H			－	○		
F049AH	CAN受信ルール登録レジスタ20CH[注1]	GAFLPH20L	GAFLPH20	R/W	－	○	○	0000H
F049BH		GAFLPH20H			－	○		
F049AH	CAN受信バッファ・レジスタ15CH[注2]	RMDF115L	RMDF115	R	－	○	○	0000H
F049BH		RMDF115H			－	○		
F049CH	CAN受信ルール登録レジスタ21AL[注1]	GAFLIDL21L	GAFLIDL21	R/W	－	○	○	0000H
F049DH		GAFLIDL21H			－	○		
F049CH	CAN受信バッファ・レジスタ15DL[注2]	RMDF215L	RMDF215	R	－	○	○	0000H
F049DH		RMDF215H			－	○		
F049EH	CAN受信ルール登録レジスタ21AH[注1]	GAFLIDH21L	GAFLIDH21	R/W	－	○	○	0000H
F049FH		GAFLIDH21H			－	○		
F049EH	CAN受信バッファ・レジスタ15DH[注2]	RMDF315L	RMDF315	R	－	○	○	0000H
F049FH		RMDF315H			－	○		
F04A0H	CAN受信ルール登録レジスタ21BL[注1]	GAFLML21L	GAFLML21	R/W	－	○	○	0000H
F04A1H		GAFLML21H			－	○		
F04A0H	CAN受信バッファ・レジスタ16AL[注2]	RMIDL16L	RMIDL16	R	－	○	○	0000H
F04A1H		RMIDL16H			－	○		
F04A2H	CAN受信ルール登録レジスタ21BH[注1]	GAFLMH21L	GAFHML21	R/W	－	○	○	0000H
F04A3H		GAFLMH21H			－	○		
F04A2H	CAN受信バッファ・レジスタ16AH[注2]	RMIDH16L	RMIDH16	R	－	○	○	0000H
F04A3H		RMIDH16H			－	○		
F04A4H	CAN受信ルール登録レジスタ21CL[注1]	GAFLPL21L	GAFLPL21	R/W	－	○	○	0000H
F04A5H		GAFLPL21H			－	○		
F04A4H	CAN受信バッファ・レジスタ16BL[注2]	RMTS16L	RMTS16	R	－	○	○	0000H
F04A5H		RMTS16H			－	○		
F04A6H	CAN受信ルール登録レジスタ21CH[注1]	GAFLPH21L	GAFLPH21	R/W	－	○	○	0000H
F04A7H		GAFLPH21H			－	○		
F04A6H	CAN受信バッファ・レジスタ16BH[注2]	RMPTR16L	RMPTR16	R	－	○	○	0000H
F04A7H		RMPTR16H			－	○		
F04A8H	CAN受信ルール登録レジスタ22AL[注1]	GAFLIDL22L	GAFLIDL22	R/W	－	○	○	0000H
F04A9H		GAFLIDL22H			－	○		
F04A8H	CAN受信バッファ・レジスタ16CL[注2]	RMDF016L	RMDF016	R	－	○	○	0000H
F04A9H		RMDF016H			－	○		
F04AAH	CAN受信ルール登録レジスタ22AH[注1]	GAFLIDH22L	GAFLIDH22	R/W	－	○	○	0000H
F04ABH		GAFLIDH22H			－	○		
F04AAH	CAN受信バッファ・レジスタ16CH[注2]	RMDF116L	RMDF116	R	－	○	○	0000H
F04ABH		RMDF116H			－	○		
F04ACH	CAN受信ルール登録レジスタ22BL[注1]	GAFLML22L	GAFLML22	R/W	－	○	○	0000H
F04ADH		GAFLML22H			－	○		
F04ACH	CAN受信バッファ・レジスタ16DL[注2]	RMDF216L	RMDF216	R	－	○	○	0000H
F04ADH		RMDF216H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（17/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F04AEH	CAN受信ルール登録レジスタ22BH[注1]	GAFLMH22L	GAFHML22	R/W	－	○	○	0000H
F04AFH		GAFLMH22H			－	○		
F04AEH	CAN受信バッファ・レジスタ16DH[注2]	RMDF316L	RMDF316	R	－	○	○	0000H
F04AFH		RMDF316H			－	○		
F04B0H	CAN受信ルール登録レジスタ22CL[注1]	GAFLPL22L	GAFLPL22	R/W	－	○	○	0000H
F04B1H		GAFLPL22H			－	○		
F04B0H	CAN受信バッファ・レジスタ17AL[注2]	RMIDL17L	RMIDL17	R	－	○	○	0000H
F04B1H		RMIDL17H			－	○		
F04B2H	CAN受信ルール登録レジスタ22CH[注1]	GAFLPH22L	GAFLPH22	R/W	－	○	○	0000H
F04B3H		GAFLPH22H			－	○		
F04B2H	CAN受信バッファ・レジスタ17AH[注2]	RMIDH17L	RMIDH17	R	－	○	○	0000H
F04B3H		RMIDH17H			－	○		
F04B4H	CAN受信ルール登録レジスタ23AL[注1]	GAFLIDL23L	GAFLIDL23	R/W	－	○	○	0000H
F04B5H		GAFLIDL23H			－	○		
F04B4H	CAN受信バッファ・レジスタ17BL[注2]	RMTS17L	RMTS17	R	－	○	○	0000H
F04B5H		RMTS17H			－	○		
F04B6H	CAN受信ルール登録レジスタ23AH[注1]	GAFLIDH23L	GAFLIDH23	R/W	－	○	○	0000H
F04B7H		GAFLIDH23H			－	○		
F04B6H	CAN受信バッファ・レジスタ17BH[注2]	RMPTR17L	RMPTR17	R	－	○	○	0000H
F04B7H		RMPTR17H			－	○		
F04B8H	CAN受信ルール登録レジスタ23BL[注1]	GAFLML23L	GAFLML23	R/W	－	○	○	0000H
F04B9H		GAFLML23H			－	○		
F04B8H	CAN受信バッファ・レジスタ17CL[注2]	RMDF017L	RMDF017	R	－	○	○	0000H
F04B9H		RMDF017H			－	○		
F04BAH	CAN受信ルール登録レジスタ23BH[注1]	GAFLMH23L	GAFHML23	R/W	－	○	○	0000H
F04BBH		GAFLMH23H			－	○		
F04BAH	CAN受信バッファ・レジスタ17CH[注2]	RMDF117L	RMDF117	R	－	○	○	0000H
F04BBH		RMDF117H			－	○		
F04BCH	CAN受信ルール登録レジスタ23CL[注1]	GAFLPL23L	GAFLPL23	R/W	－	○	○	0000H
F04BDH		GAFLPL23H			－	○		
F04BCH	CAN受信バッファ・レジスタ17DL[注2]	RMDF217L	RMDF217	R	－	○	○	0000H
F04BDH		RMDF217H			－	○		
F04BEH	CAN受信ルール登録レジスタ23CH[注1]	GAFLPH23L	GAFLPH23	R/W	－	○	○	0000H
F04BFH		GAFLPH23H			－	○		
F04BEH	CAN受信バッファ・レジスタ17DH[注2]	RMDF317L	RMDF317	R	－	○	○	0000H
F04BFH		RMDF317H			－	○		
F04C0H	CAN受信ルール登録レジスタ24AL[注1]	GAFLIDL24L	GAFLIDL24	R/W	－	○	○	0000H
F04C1H		GAFLIDL24H			－	○		
F04C0H	CAN受信バッファ・レジスタ18AL[注2]	RMIDL18L	RMIDL18	R	－	○	○	0000H
F04C1H		RMIDL18H			－	○		
F04C2H	CAN受信ルール登録レジスタ24AH[注1]	GAFLIDH24L	GAFLIDH24	R/W	－	○	○	0000H
F04C3H		GAFLIDH24H			－	○		
F04C2H	CAN受信バッファ・レジスタ18AH[注2]	RMIDH18L	RMIDH18	R	－	○	○	0000H
F04C3H		RMIDH18H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（18/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F04C4H	CAN受信ルール登録レジスタ24BL[注1]	GAFLML24L	GAFLML24	R/W	－	○	○	0000H
F04C5H		GAFLML24H			－	○		
F04C4H	CAN受信バッファ・レジスタ18BL[注2]	RMTS18L	RMTS18	R	－	○	○	0000H
F04C5H		RMTS18H			－	○		
F04C6H	CAN受信ルール登録レジスタ24BH[注1]	GAFLMH24L	GAFHML24	R/W	－	○	○	0000H
F04C7H		GAFLMH24H			－	○		
F04C6H	CAN受信バッファ・レジスタ18BH[注2]	RMPTR18L	RMPTR18	R	－	○	○	0000H
F04C7H		RMPTR18H			－	○		
F04C8H	CAN受信ルール登録レジスタ24CL[注1]	GAFLPL24L	GAFLPL24	R/W	－	○	○	0000H
F04C9H		GAFLPL24H			－	○		
F04C8H	CAN受信バッファ・レジスタ18CL[注2]	RMDF018L	RMDF018	R	－	○	○	0000H
F04C9H		RMDF018H			－	○		
F04CAH	CAN受信ルール登録レジスタ24CH[注1]	GAFLPH24L	GAFLPH24	R/W	－	○	○	0000H
F04CBH		GAFLPH24H			－	○		
F04CAH	CAN受信バッファ・レジスタ18CH[注2]	RMDF118L	RMDF118	R	－	○	○	0000H
F04CBH		RMDF118H			－	○		
F04CCH	CAN受信ルール登録レジスタ25AL[注1]	GAFLIDL25L	GAFLIDL25	R/W	－	○	○	0000H
F04CDH		GAFLIDL25H			－	○		
F04CCH	CAN受信バッファ・レジスタ18DL[注2]	RMDF218L	RMDF218	R	－	○	○	0000H
F04CDH		RMDF218H			－	○		
F04CEH	CAN受信ルール登録レジスタ25AH[注1]	GAFLIDH25L	GAFLIDH25	R/W	－	○	○	0000H
F04CFH		GAFLIDH25H			－	○		
F04CEH	CAN受信バッファ・レジスタ18DH[注2]	RMDF318L	RMDF318	R	－	○	○	0000H
F04CFH		RMDF318H			－	○		
F04D0H	CAN受信ルール登録レジスタ25BL[注1]	GAFLML25L	GAFLML25	R/W	－	○	○	0000H
F04D1H		GAFLML25H			－	○		
F04D0H	CAN受信バッファ・レジスタ19AL[注2]	RMIDL19L	RMIDL19	R	－	○	○	0000H
F04D1H		RMIDL19H			－	○		
F04D2H	CAN受信ルール登録レジスタ25BH[注1]	GAFLMH25L	GAFHML25	R/W	－	○	○	0000H
F04D3H		GAFLMH25H			－	○		
F04D2H	CAN受信バッファ・レジスタ19AH[注2]	RMIDH19L	RMIDH19	R	－	○	○	0000H
F04D3H		RMIDH19H			－	○		
F04D4H	CAN受信ルール登録レジスタ25CL[注1]	GAFLPL25L	GAFLPL25	R/W	－	○	○	0000H
F04D5H		GAFLPL25H			－	○		
F04D4H	CAN受信バッファ・レジスタ19BL[注2]	RMTS19L	RMTS19	R	－	○	○	0000H
F04D5H		RMTS19H			－	○		
F04D6H	CAN受信ルール登録レジスタ25CH[注1]	GAFLPH25L	GAFLPH25	R/W	－	○	○	0000H
F04D7H		GAFLPH25H			－	○		
F04D6H	CAN受信バッファ・レジスタ19BH[注2]	RMPTR19L	RMPTR19	R	－	○	○	0000H
F04D7H		RMPTR19H			－	○		
F04D8H	CAN受信ルール登録レジスタ26AL[注1]	GAFLIDL26L	GAFLIDL26	R/W	－	○	○	0000H
F04D9H		GAFLIDL26H			－	○		
F04D8H	CAN受信バッファ・レジスタ19CL[注2]	RMDF019L	RMDF019	R	－	○	○	0000H
F04D9H		RMDF019H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（19/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F04DAH	CAN受信ルール登録レジスタ26AH[注1]	GAFLIDH26L	GAFLIDH26	R/W	－	○	○	0000H
F04DBH		GAFLIDH26H			－	○		
F04DAH	CAN受信バッファ・レジスタ19CH[注2]	RMDF119L	RMDF119	R	－	○	○	0000H
F04DBH		RMDF119H			－	○		
F04DCH	CAN受信ルール登録レジスタ26BL[注1]	GAFLML26L	GAFLML26	R/W	－	○	○	0000H
F04DDH		GAFLML26H			－	○		
F04DCH	CAN受信バッファ・レジスタ19DL[注2]	RMDF219L	RMDF219	R	－	○	○	0000H
F04DDH		RMDF219H			－	○		
F04DEH	CAN受信ルール登録レジスタ26BH[注1]	GAFLMH26L	GAFHML26	R/W	－	○	○	0000H
F04DFH		GAFLMH26H			－	○		
F04DEH	CAN受信バッファ・レジスタ19DH[注2]	RMDF319L	RMDF319	R	－	○	○	0000H
F04DFH		RMDF319H			－	○		
F04E0H	CAN受信ルール登録レジスタ26CL[注1]	GAFLPL26L	GAFLPL26	R/W	－	○	○	0000H
F04E1H		GAFLPL26H			－	○		
F04E0H	CAN受信バッファ・レジスタ20AL[注2]	RMIDL20L	RMIDL20	R	－	○	○	0000H
F04E1H		RMIDL20H			－	○		
F04E2H	CAN受信ルール登録レジスタ26CH[注1]	GAFLPH26L	GAFLPH26	R/W	－	○	○	0000H
F04E3H		GAFLPH26H			－	○		
F04E2H	CAN受信バッファ・レジスタ20AH[注2]	RMIDH20L	RMIDH20	R	－	○	○	0000H
F04E3H		RMIDH20H			－	○		
F04E4H	CAN受信ルール登録レジスタ27AL[注1]	GAFLIDL27L	GAFLIDL27	R/W	－	○	○	0000H
F04E5H		GAFLIDL27H			－	○		
F04E4H	CAN受信バッファ・レジスタ20BL[注2]	RMTS20L	RMTS20	R	－	○	○	0000H
F04E5H		RMTS20H			－	○		
F04E6H	CAN受信ルール登録レジスタ27AH[注1]	GAFLIDH27L	GAFLIDH27	R/W	－	○	○	0000H
F04E7H		GAFLIDH27H			－	○		
F04E6H	CAN受信バッファ・レジスタ20BH[注2]	RMPTR20L	RMPTR20	R	－	○	○	0000H
F04E7H		RMPTR20H			－	○		
F04E8H	CAN受信ルール登録レジスタ27BL[注1]	GAFLML27L	GAFLML27	R/W	－	○	○	0000H
F04E9H		GAFLML27H			－	○		
F04E8H	CAN受信バッファ・レジスタ20CL[注2]	RMDF020L	RMDF020	R	－	○	○	0000H
F04E9H		RMDF020H			－	○		
F04EAH	CAN受信ルール登録レジスタ27BH[注1]	GAFLMH27L	GAFHML27	R/W	－	○	○	0000H
F04EBH		GAFLMH27H			－	○		
F04EAH	CAN受信バッファ・レジスタ20CH[注2]	RMDF120L	RMDF120	R	－	○	○	0000H
F04EBH		RMDF120H			－	○		
F04ECH	CAN受信ルール登録レジスタ27CL[注1]	GAFLPL27L	GAFLPL27	R/W	－	○	○	0000H
F04EDH		GAFLPL27H			－	○		
F04ECH	CAN受信バッファ・レジスタ20DL[注2]	RMDF220L	RMDF220	R	－	○	○	0000H
F04EDH		RMDF220H			－	○		
F04EEH	CAN受信ルール登録レジスタ27CH[注1]	GAFLPH27L	GAFLPH27	R/W	－	○	○	0000H
F04EFH		GAFLPH27H			－	○		
F04EEH	CAN受信バッファ・レジスタ20DH[注2]	RMDF320L	RMDF320	R	－	○	○	0000H
F04EFH		RMDF320H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（20/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F04F0H	CAN受信ルール登録レジスタ28AL[注1]	GAFLIDL28L	GAFLIDL28	R/W	－	○	○	0000H
F04F1H		GAFLIDL28H			－	○		
F04F0H	CAN受信バッファ・レジスタ21AL[注2]	RMIDL21L	RMIDL21	R	－	○	○	0000H
F04F1H		RMIDL21H			－	○		
F04F2H	CAN受信ルール登録レジスタ28AH[注1]	GAFLIDH28L	GAFLIDH28	R/W	－	○	○	0000H
F04F3H		GAFLIDH28H			－	○		
F04F2H	CAN受信バッファ・レジスタ21AH[注2]	RMIDH21L	RMIDH21	R	－	○	○	0000H
F04F3H		RMIDH21H			－	○		
F04F4H	CAN受信ルール登録レジスタ28BL[注1]	GAFLML28L	GAFLML28	R/W	－	○	○	0000H
F04F5H		GAFLML28H			－	○		
F04F4H	CAN受信バッファ・レジスタ21BL[注2]	RMTS21L	RMTS21	R	－	○	○	0000H
F04F5H		RMTS21H			－	○		
F04F6H	CAN受信ルール登録レジスタ28BH[注1]	GAFLMH28L	GAFHML28	R/W	－	○	○	0000H
F04F7H		GAFLMH28H			－	○		
F04F6H	CAN受信バッファ・レジスタ21BH[注2]	RMPTR21L	RMPTR21	R	－	○	○	0000H
F04F7H		RMPTR21H			－	○		
F04F8H	CAN受信ルール登録レジスタ28CL[注1]	GAFLPL28L	GAFLPL28	R/W	－	○	○	0000H
F04F9H		GAFLPL28H			－	○		
F04F8H	CAN受信バッファ・レジスタ21CL[注2]	RMDF021L	RMDF021	R	－	○	○	0000H
F04F9H		RMDF021H			－	○		
F04FAH	CAN受信ルール登録レジスタ28CH[注1]	GAFLPH28L	GAFLPH28	R/W	－	○	○	0000H
F04FBH		GAFLPH28H			－	○		
F04FAH	CAN受信バッファ・レジスタ21CH[注2]	RMDF121L	RMDF121	R	－	○	○	0000H
F04FBH		RMDF121H			－	○		
F04FCH	CAN受信ルール登録レジスタ29AL[注1]	GAFLIDL29L	GAFLIDL29	R/W	－	○	○	0000H
F04FDH		GAFLIDL29H			－	○		
F04FCH	CAN受信バッファ・レジスタ21DL[注2]	RMDF221L	RMDF221	R	－	○	○	0000H
F04FDH		RMDF221H			－	○		
F04FEH	CAN受信ルール登録レジスタ29AH[注1]	GAFLIDH29L	GAFLIDH29	R/W	－	○	○	0000H
F04FFH		GAFLIDH29H			－	○		
F04FEH	CAN受信バッファ・レジスタ21DH[注2]	RMDF321L	RMDF321	R	－	○	○	0000H
F04FFH		RMDF321H			－	○		
F0500H	CAN受信ルール登録レジスタ29BL[注1]	GAFLML29L	GAFLML29	R/W	－	○	○	0000H
F0501H		GAFLML29H			－	○		
F0500H	CAN受信バッファ・レジスタ22AL[注2]	RMIDL22L	RMIDL22	R	－	○	○	0000H
F0501H		RMIDL22H			－	○		
F0502H	CAN受信ルール登録レジスタ29BH[注1]	GAFLMH29L	GAFHML29	R/W	－	○	○	0000H
F0503H		GAFLMH29H			－	○		
F0502H	CAN受信バッファ・レジスタ22AH[注2]	RMIDH22L	RMIDH22	R	－	○	○	0000H
F0503H		RMIDH22H			－	○		
F0504H	CAN受信ルール登録レジスタ29CL[注1]	GAFLPL29L	GAFLPL29	R/W	－	○	○	0000H
F0505H		GAFLPL29H			－	○		
F0504H	CAN受信バッファ・レジスタ22BL[注2]	RMTS22L	RMTS22	R	－	○	○	0000H
F0505H		RMTS22H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（21/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0506H	CAN受信ルール登録レジスタ29CH[注1]	GAFLPH29L	GAFLPH29	R/W	－	○	○	0000H
F0507H		GAFLPH29H			－	○		
F0506H	CAN受信バッファ・レジスタ22BH[注2]	RMPTR22L	RMPTR22	R	－	○	○	0000H
F0507H		RMPTR22H			－	○		
F0508H	CAN受信ルール登録レジスタ30AL[注1]	GAFLIDL30L	GAFLIDL30	R/W	－	○	○	0000H
F0509H		GAFLIDL30H			－	○		
F0508H	CAN受信バッファ・レジスタ22CL[注2]	RMDF022L	RMDF022	R	－	○	○	0000H
F0509H		RMDF022H			－	○		
F050AH	CAN受信ルール登録レジスタ30AH[注1]	GAFLIDH30L	GAFLIDH30	R/W	－	○	○	0000H
F050BH		GAFLIDH30H			－	○		
F050AH	CAN受信バッファ・レジスタ22CH[注2]	RMDF122L	RMDF122	R	－	○	○	0000H
F050BH		RMDF122H			－	○		
F050CH	CAN受信ルール登録レジスタ30BL[注1]	GAFLML30L	GAFLML30	R/W	－	○	○	0000H
F050DH		GAFLML30H			－	○		
F050CH	CAN受信バッファ・レジスタ22DL[注2]	RMDF222L	RMDF222	R	－	○	○	0000H
F050DH		RMDF222H			－	○		
F050EH	CAN受信ルール登録レジスタ30BH[注1]	GAFLMH30L	GAFHML30	R/W	－	○	○	0000H
F050FH		GAFLMH30H			－	○		
F050EH	CAN受信バッファ・レジスタ22DH[注2]	RMDF322L	RMDF322	R	－	○	○	0000H
F050FH		RMDF322H			－	○		
F0510H	CAN受信ルール登録レジスタ30CL[注1]	GAFLPL30L	GAFLPL30	R/W	－	○	○	0000H
F0511H		GAFLPL30H			－	○		
F0510H	CAN受信バッファ・レジスタ23AL[注2]	RMIDL23L	RMIDL23	R	－	○	○	0000H
F0511H		RMIDL23H			－	○		
F0512H	CAN受信ルール登録レジスタ30CH[注1]	GAFLPH30L	GAFLPH30	R/W	－	○	○	0000H
F0513H		GAFLPH30H			－	○		
F0512H	CAN受信バッファ・レジスタ23AH[注2]	RMIDH23L	RMIDH23	R	－	○	○	0000H
F0513H		RMIDH23H			－	○		
F0514H	CAN受信ルール登録レジスタ31AL[注1]	GAFLIDL31L	GAFLIDL31	R/W	－	○	○	0000H
F0515H		GAFLIDL31H			－	○		
F0514H	CAN受信バッファ・レジスタ23BL[注2]	RMTS23L	RMTS23	R	－	○	○	0000H
F0515H		RMTS23H			－	○		
F0516H	CAN受信ルール登録レジスタ31AH[注1]	GAFLIDH31L	GAFLIDH31	R/W	－	○	○	0000H
F0517H		GAFLIDH31H			－	○		
F0516H	CAN受信バッファ・レジスタ23BH[注2]	RMPTR23L	RMPTR23	R	－	○	○	0000H
F0517H		RMPTR23H			－	○		
F0518H	CAN受信ルール登録レジスタ31BL[注1]	GAFLML31L	GAFLML31	R/W	－	○	○	0000H
F0519H		GAFLML31H			－	○		
F0518H	CAN受信バッファ・レジスタ23CL[注2]	RMDF023L	RMDF023	R	－	○	○	0000H
F0519H		RMDF023H			－	○		
F051AH	CAN受信ルール登録レジスタ31BH[注1]	GAFLMH31L	GAFHML31	R/W	－	○	○	0000H
F051BH		GAFLMH31H			－	○		
F051AH	CAN受信バッファ・レジスタ23CH[注2]	RMDF123L	RMDF123	R	－	○	○	0000H
F051BH		RMDF123H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（22/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F051CH	CAN受信ルール登録レジスタ31CL[注1]	GAFLPL31L	GAFLPL31	R/W	－	○	○	0000H
F051DH		GAFLPL31H			－	○		
F051CH	CAN受信バッファ・レジスタ23DL[注2]	RMDF223L	RMDF223	R	－	○	○	0000H
F051DH		RMDF223H			－	○		
F051EH	CAN受信ルール登録レジスタ31CH[注1]	GAFLPH31L	GAFLPH31	R/W	－	○	○	0000H
F051FH		GAFLPH31H			－	○		
F051EH	CAN受信バッファ・レジスタ23DH[注2]	RMDF323L	RMDF323	R	－	○	○	0000H
F051FH		RMDF323H			－	○		
F0520H	CAN受信ルール登録レジスタ32AL[注1]	GAFLIDL32L	GAFLIDL32	R/W	－	○	○	0000H
F0521H		GAFLIDL32H			－	○		
F0520H	CAN受信バッファ・レジスタ24AL[注2]	RMIDL24L	RMIDL24	R	－	○	○	0000H
F0521H		RMIDL24H			－	○		
F0522H	CAN受信ルール登録レジスタ32AH[注1]	GAFLIDH32L	GAFLIDH32	R/W	－	○	○	0000H
F0523H		GAFLIDH32H			－	○		
F0522H	CAN受信バッファ・レジスタ24AH[注2]	RMIDH24L	RMIDH24	R	－	○	○	0000H
F0523H		RMIDH24H			－	○		
F0524H	CAN受信ルール登録レジスタ32BL[注1]	GAFLML32L	GAFLML32	R/W	－	○	○	0000H
F0525H		GAFLML32H			－	○		
F0524H	CAN受信バッファ・レジスタ24BL[注2]	RMTS24L	RMTS24	R	－	○	○	0000H
F0525H		RMTS24H			－	○		
F0526H	CAN受信ルール登録レジスタ32BH[注1]	GAFLMH32L	GAFHML32	R/W	－	○	○	0000H
F0527H		GAFLMH32H			－	○		
F0526H	CAN受信バッファ・レジスタ24BH[注2]	RMPTR24L	RMPTR24	R	－	○	○	0000H
F0527H		RMPTR24H			－	○		
F0528H	CAN受信ルール登録レジスタ32CL[注1]	GAFLPL32L	GAFLPL32	R/W	－	○	○	0000H
F0529H		GAFLPL32H			－	○		
F0528H	CAN受信バッファ・レジスタ24CL[注2]	RMDF024L	RMDF024	R	－	○	○	0000H
F0529H		RMDF024H			－	○		
F052AH	CAN受信ルール登録レジスタ32CH[注1]	GAFLPH32L	GAFLPH32	R/W	－	○	○	0000H
F052BH		GAFLPH32H			－	○		
F052AH	CAN受信バッファ・レジスタ24CH[注2]	RMDF124L	RMDF124	R	－	○	○	0000H
F052BH		RMDF124H			－	○		
F052CH	CAN受信ルール登録レジスタ33AL[注1]	GAFLIDL33L	GAFLIDL33	R/W	－	○	○	0000H
F052DH		GAFLIDL33H			－	○		
F052CH	CAN受信バッファ・レジスタ24DL[注2]	RMDF224L	RMDF224	R	－	○	○	0000H
F052DH		RMDF224H			－	○		
F052EH	CAN受信ルール登録レジスタ33AH[注1]	GAFLIDH33L	GAFLIDH33	R/W	－	○	○	0000H
F052FH		GAFLIDH33H			－	○		
F052EH	CAN受信バッファ・レジスタ24DH[注2]	RMDF324L	RMDF324	R	－	○	○	0000H
F052FH		RMDF324H			－	○		
F0530H	CAN受信ルール登録レジスタ33BL[注1]	GAFLML33L	GAFLML33	R/W	－	○	○	0000H
F0531H		GAFLML33H			－	○		
F0530H	CAN受信バッファ・レジスタ25AL[注2]	RMIDL25L	RMIDL25	R	－	○	○	0000H
F0531H		RMIDL25H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（23/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0532H	CAN受信ルール登録レジスタ33BH[注1]	GAFLMH33L	GAFHML33	R/W	－	○	○	0000H
F0533H		GAFLMH33H			－	○		
F0532H	CAN受信バッファ・レジスタ25AH[注2]	RMIDH25L	RMIDH25	R	－	○	○	0000H
F0533H		RMIDH25H			－	○		
F0534H	CAN受信ルール登録レジスタ33CL[注1]	GAFLPL33L	GAFLPL33	R/W	－	○	○	0000H
F0535H		GAFLPL33H			－	○		
F0534H	CAN受信バッファ・レジスタ25BL[注2]	RMTS25L	RMTS25	R	－	○	○	0000H
F0535H		RMTS25H			－	○		
F0536H	CAN受信ルール登録レジスタ33CH[注1]	GAFLPH33L	GAFLPH33	R/W	－	○	○	0000H
F0537H		GAFLPH33H			－	○		
F0536H	CAN受信バッファ・レジスタ25BH[注2]	RMPTR25L	RMPTR25	R	－	○	○	0000H
F0537H		RMPTR25H			－	○		
F0538H	CAN受信ルール登録レジスタ34AL[注1]	GAFLIDL34L	GAFLIDL34	R/W	－	○	○	0000H
F0539H		GAFLIDL34H			－	○		
F0538H	CAN受信バッファ・レジスタ25CL[注2]	RMDF025L	RMDF025	R	－	○	○	0000H
F0539H		RMDF025H			－	○		
F053AH	CAN受信ルール登録レジスタ34AH[注1]	GAFLIDH34L	GAFLIDH34	R/W	－	○	○	0000H
F053BH		GAFLIDH34H			－	○		
F053AH	CAN受信バッファ・レジスタ25CH[注2]	RMDF125L	RMDF125	R	－	○	○	0000H
F053BH		RMDF125H			－	○		
F053CH	CAN受信ルール登録レジスタ34BL[注1]	GAFLML34L	GAFLML34	R/W	－	○	○	0000H
F053DH		GAFLML34H			－	○		
F053CH	CAN受信バッファ・レジスタ25DL[注2]	RMDF225L	RMDF225	R	－	○	○	0000H
F053DH		RMDF225H			－	○		
F053EH	CAN受信ルール登録レジスタ34BH[注1]	GAFLMH34L	GAFHML34	R/W	－	○	○	0000H
F053FH		GAFLMH34H			－	○		
F053EH	CAN受信バッファ・レジスタ25DH[注2]	RMDF325L	RMDF325	R	－	○	○	0000H
F053FH		RMDF325H			－	○		
F0540H	CAN受信ルール登録レジスタ34CL[注1]	GAFLPL34L	GAFLPL34	R/W	－	○	○	0000H
F0541H		GAFLPL34H			－	○		
F0540H	CAN受信バッファ・レジスタ26AL[注2]	RMIDL26L	RMIDL26	R	－	○	○	0000H
F0541H		RMIDL26H			－	○		
F0542H	CAN受信ルール登録レジスタ34CH[注1]	GAFLPH34L	GAFLPH34	R/W	－	○	○	0000H
F0543H		GAFLPH34H			－	○		
F0542H	CAN受信バッファ・レジスタ26AH[注2]	RMIDH26L	RMIDH26	R	－	○	○	0000H
F0543H		RMIDH26H			－	○		
F0544H	CAN受信ルール登録レジスタ35AL[注1]	GAFLIDL35L	GAFLIDL35	R/W	－	○	○	0000H
F0545H		GAFLIDL35H			－	○		
F0544H	CAN受信バッファ・レジスタ26BL[注2]	RMTS26L	RMTS26	R	－	○	○	0000H
F0545H		RMTS26H			－	○		
F0546H	CAN受信ルール登録レジスタ35AH[注1]	GAFLIDH35L	GAFLIDH35	R/W	－	○	○	0000H
F0547H		GAFLIDH35H			－	○		
F0546H	CAN受信バッファ・レジスタ26BH[注2]	RMPTR26L	RMPTR26	R	－	○	○	0000H
F0547H		RMPTR26H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（24/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0548H	CAN受信ルール登録レジスタ35BL[注1]	GAFLML35L	GAFLML35	R/W	－	○	○	0000H
F0549H		GAFLML35H			－	○		
F0548H	CAN受信バッファ・レジスタ26CL[注2]	RMDF026L	RMDF026	R	－	○	○	0000H
F0549H		RMDF026H			－	○		
F054AH	CAN受信ルール登録レジスタ35BH[注1]	GAFLMH35L	GAFHML35	R/W	－	○	○	0000H
F054BH		GAFLMH35H			－	○		
F054AH	CAN受信バッファ・レジスタ26CH[注2]	RMDF126L	RMDF126	R	－	○	○	0000H
F054BH		RMDF126H			－	○		
F054CH	CAN受信ルール登録レジスタ35CL[注1]	GAFLPL35L	GAFLPL35	R/W	－	○	○	0000H
F054DH		GAFLPL35H			－	○		
F054CH	CAN受信バッファ・レジスタ26DL[注2]	RMDF226L	RMDF226	R	－	○	○	0000H
F054DH		RMDF226H			－	○		
F054EH	CAN受信ルール登録レジスタ35CH[注1]	GAFLPH35L	GAFLPH35	R/W	－	○	○	0000H
F054FH		GAFLPH35H			－	○		
F054EH	CAN受信バッファ・レジスタ26DH[注2]	RMDF326L	RMDF326	R	－	○	○	0000H
F054FH		RMDF326H			－	○		
F0550H	CAN受信ルール登録レジスタ36AL[注1]	GAFLIDL36L	GAFLIDL36	R/W	－	○	○	0000H
F0551H		GAFLIDL36H			－	○		
F0550H	CAN受信バッファ・レジスタ27AL[注2]	RMIDL27L	RMIDL27	R	－	○	○	0000H
F0551H		RMIDL27H			－	○		
F0552H	CAN受信ルール登録レジスタ36AH[注1]	GAFLIDH36L	GAFLIDH36	R/W	－	○	○	0000H
F0553H		GAFLIDH36H			－	○		
F0552H	CAN受信バッファ・レジスタ27AH[注2]	RMIDH27L	RMIDH27	R	－	○	○	0000H
F0553H		RMIDH27H			－	○		
F0554H	CAN受信ルール登録レジスタ36BL[注1]	GAFLML36L	GAFLML36	R/W	－	○	○	0000H
F0555H		GAFLML36H			－	○		
F0554H	CAN受信バッファ・レジスタ27BL[注2]	RMTS27L	RMTS27	R	－	○	○	0000H
F0555H		RMTS27H			－	○		
F0556H	CAN受信ルール登録レジスタ36BH[注1]	GAFLMH36L	GAFHML36	R/W	－	○	○	0000H
F0557H		GAFLMH36H			－	○		
F0556H	CAN受信バッファ・レジスタ27BH[注2]	RMPTR27L	RMPTR27	R	－	○	○	0000H
F0557H		RMPTR27H			－	○		
F0558H	CAN受信ルール登録レジスタ36CL[注1]	GAFLPL36L	GAFLPL36	R/W	－	○	○	0000H
F0559H		GAFLPL36H			－	○		
F0558H	CAN受信バッファ・レジスタ27CL[注2]	RMDF027L	RMDF027	R	－	○	○	0000H
F0559H		RMDF027H			－	○		
F055AH	CAN受信ルール登録レジスタ36CH[注1]	GAFLPH36L	GAFLPH36	R/W	－	○	○	0000H
F055BH		GAFLPH36H			－	○		
F055AH	CAN受信バッファ・レジスタ27CH[注2]	RMDF127L	RMDF127	R	－	○	○	0000H
F055BH		RMDF127H			－	○		
F055CH	CAN受信ルール登録レジスタ37AL[注1]	GAFLIDL37L	GAFLIDL37	R/W	－	○	○	0000H
F055DH		GAFLIDL37H			－	○		
F055CH	CAN受信バッファ・レジスタ27DL[注2]	RMDF227L	RMDF227	R	－	○	○	0000H
F055DH		RMDF227H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（25/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F055EH	CAN受信ルール登録レジスタ37AH[注1]	GAFLIDH37L	GAFLIDH37	R/W	－	○	○	0000H
F055FH		GAFLIDH37H			－	○		
F055EH	CAN受信バッファ・レジスタ27DH[注2]	RMDF327L	RMDF327	R	－	○	○	0000H
F055FH		RMDF327H			－	○		
F0560H	CAN受信ルール登録レジスタ37BL[注1]	GAFLML37L	GAFLML37	R/W	－	○	○	0000H
F0561H		GAFLML37H			－	○		
F0560H	CAN受信バッファ・レジスタ28AL[注2]	RMIDL28L	RMIDL28	R	－	○	○	0000H
F0561H		RMIDL28H			－	○		
F0562H	CAN受信ルール登録レジスタ37BH[注1]	GAFLMH37L	GAFHML37	R/W	－	○	○	0000H
F0563H		GAFLMH37H			－	○		
F0562H	CAN受信バッファ・レジスタ28AH[注2]	RMIDH28L	RMIDH28	R	－	○	○	0000H
F0563H		RMIDH28H			－	○		
F0564H	CAN受信ルール登録レジスタ37CL[注1]	GAFLPL37L	GAFLPL37	R/W	－	○	○	0000H
F0565H		GAFLPL37H			－	○		
F0564H	CAN受信バッファ・レジスタ28BL[注2]	RMTS28L	RMTS28	R	－	○	○	0000H
F0565H		RMTS28H			－	○		
F0566H	CAN受信ルール登録レジスタ37CH[注1]	GAFLPH37L	GAFLPH37	R/W	－	○	○	0000H
F0567H		GAFLPH37H			－	○		
F0566H	CAN受信バッファ・レジスタ28BH[注2]	RMPTR28L	RMPTR28	R	－	○	○	0000H
F0567H		RMPTR28H			－	○		
F0568H	CAN受信ルール登録レジスタ38AL[注1]	GAFLIDL38L	GAFLIDL38	R/W	－	○	○	0000H
F0569H		GAFLIDL38H			－	○		
F0568H	CAN受信バッファ・レジスタ28CL[注2]	RMDF028L	RMDF028	R	－	○	○	0000H
F0569H		RMDF028H			－	○		
F056AH	CAN受信ルール登録レジスタ38AH[注1]	GAFLIDH38L	GAFLIDH38	R/W	－	○	○	0000H
F056BH		GAFLIDH38H			－	○		
F056AH	CAN受信バッファ・レジスタ28CH[注2]	RMDF128L	RMDF128	R	－	○	○	0000H
F056BH		RMDF128H			－	○		
F056CH	CAN受信ルール登録レジスタ38BL[注1]	GAFLML38L	GAFLML38	R/W	－	○	○	0000H
F056DH		GAFLML38H			－	○		
F056CH	CAN受信バッファ・レジスタ28DL[注2]	RMDF228L	RMDF228	R	－	○	○	0000H
F056DH		RMDF228H			－	○		
F056EH	CAN受信ルール登録レジスタ38BH[注1]	GAFLMH38L	GAFHML38	R/W	－	○	○	0000H
F056FH		GAFLMH38H			－	○		
F056EH	CAN受信バッファ・レジスタ28DH[注2]	RMDF328L	RMDF328	R	－	○	○	0000H
F056FH		RMDF328H			－	○		
F0570H	CAN受信ルール登録レジスタ38CL[注1]	GAFLPL38L	GAFLPL38	R/W	－	○	○	0000H
F0571H		GAFLPL38H			－	○		
F0570H	CAN受信バッファ・レジスタ29AL[注2]	RMIDL29L	RMIDL29	R	－	○	○	0000H
F0571H		RMIDL29H			－	○		
F0572H	CAN受信ルール登録レジスタ38CH[注1]	GAFLPH38L	GAFLPH38	R/W	－	○	○	0000H
F0573H		GAFLPH38H			－	○		
F0572H	CAN受信バッファ・レジスタ29AH[注2]	RMIDH29L	RMIDH29	R	－	○	○	0000H
F0573H		RMIDH29H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（26/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0574H	CAN受信ルール登録レジスタ39AL[注1]	GAFLIDL39L	GAFLIDL39	R/W	－	○	○	0000H
F0575H		GAFLIDL39H			－	○		
F0574H	CAN受信バッファ・レジスタ29BL[注2]	RMTS29L	RMTS29	R	－	○	○	0000H
F0575H		RMTS29H			－	○		
F0576H	CAN受信ルール登録レジスタ39AH[注1]	GAFLIDH39L	GAFLIDH39	R/W	－	○	○	0000H
F0577H		GAFLIDH39H			－	○		
F0576H	CAN受信バッファ・レジスタ29BH[注2]	RMPTR29L	RMPTR29	R	－	○	○	0000H
F0577H		RMPTR29H			－	○		
F0578H	CAN受信ルール登録レジスタ39BL[注1]	GAFLML39L	GAFLML39	R/W	－	○	○	0000H
F0579H		GAFLML39H			－	○		
F0578H	CAN受信バッファ・レジスタ29CL[注2]	RMDF029L	RMDF029	R	－	○	○	0000H
F0579H		RMDF029H			－	○		
F057AH	CAN受信ルール登録レジスタ39BH[注1]	GAFLMH39L	GAFHML39	R/W	－	○	○	0000H
F057BH		GAFLMH39H			－	○		
F057AH	CAN受信バッファ・レジスタ29CH[注2]	RMDF129L	RMDF129	R	－	○	○	0000H
F057BH		RMDF129H			－	○		
F057CH	CAN受信ルール登録レジスタ39CL[注1]	GAFLPL39L	GAFLPL39	R/W	－	○	○	0000H
F057DH		GAFLPL39H			－	○		
F057CH	CAN受信バッファ・レジスタ29DL[注2]	RMDF229L	RMDF229	R	－	○	○	0000H
F057DH		RMDF229H			－	○		
F057EH	CAN受信ルール登録レジスタ39CH[注1]	GAFLPH39L	GAFLPH39	R/W	－	○	○	0000H
F057FH		GAFLPH39H			－	○		
F057EH	CAN受信バッファ・レジスタ29DH[注2]	RMDF329L	RMDF329	R	－	○	○	0000H
F057FH		RMDF329H			－	○		
F0580H	CAN用RAMテスト・レジスタ0[注1]	RPGACC0L	RPGACC0	R/W	－	○	○	0000H
F0581H		RPGACC0H			－	○		
F0580H	CAN受信バッファ・レジスタ30AL[注2]	RMIDL30L	RMIDL30	R	－	○	○	0000H
F0581H		RMIDL30H			－	○		
F0582H	CAN用RAMテスト・レジスタ1[注1]	RPGACC1L	RPGACC1	R/W	－	○	○	0000H
F0583H		RPGACC1H			－	○		
F0582H	CAN受信バッファ・レジスタ30AH[注2]	RMIDH30L	RMIDH30	R	－	○	○	0000H
F0583H		RMIDH30H			－	○		
F0584H	CAN用RAMテスト・レジスタ2[注1]	RPGACC2L	RPGACC2	R/W	－	○	○	0000H
F0585H		RPGACC2H			－	○		
F0584H	CAN受信バッファ・レジスタ30BL[注2]	RMTS30L	RMTS30	R	－	○	○	0000H
F0585H		RMTS30H			－	○		
F0586H	CAN用RAMテスト・レジスタ3[注1]	RPGACC3L	RPGACC3	R/W	－	○	○	0000H
F0587H		RPGACC3H			－	○		
F0586H	CAN受信バッファ・レジスタ30BH[注2]	RMPTR30L	RMPTR30	R	－	○	○	0000H
F0587H		RMPTR30H			－	○		
F0588H	CAN用RAMテスト・レジスタ4[注1]	RPGACC4L	RPGACC4	R/W	－	○	○	0000H
F0589H		RPGACC4H			－	○		
F0588H	CAN受信バッファ・レジスタ30CL[注2]	RMDF030L	RMDF030	R	－	○	○	0000H
F0589H		RMDF030H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（27/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F058AH	CAN用RAMテスト・レジスタ5[注1]	RPGACC5L	RPGACC5	R/W	－	○	○	0000H
F058BH		RPGACC5H			－	○		
F058AH	CAN受信バッファ・レジスタ30CH[注2]	RMDF130L	RMDF130	R	－	○	○	0000H
F058BH		RMDF130H			－	○		
F058CH	CAN用RAMテスト・レジスタ6[注1]	RPGACC6L	RPGACC6	R/W	－	○	○	0000H
F058DH		RPGACC6H			－	○		
F058CH	CAN受信バッファ・レジスタ30DL[注2]	RMDF230L	RMDF230	R	－	○	○	0000H
F058DH		RMDF230H			－	○		
F058EH	CAN用RAMテスト・レジスタ7[注1]	RPGACC7L	RPGACC7	R/W	－	○	○	0000H
F058FH		RPGACC7H			－	○		
F058EH	CAN受信バッファ・レジスタ30DH[注2]	RMDF330L	RMDF330	R	－	○	○	0000H
F058FH		RMDF330H			－	○		
F0590H	CAN用RAMテスト・レジスタ8[注1]	RPGACC8L	RPGACC8	R/W	－	○	○	0000H
F0591H		RPGACC8H			－	○		
F0590H	CAN受信バッファ・レジスタ31AL[注2]	RMIDL31L	RMIDL31	R	－	○	○	0000H
F0591H		RMIDL31H			－	○		
F0592H	CAN用RAMテスト・レジスタ9[注1]	RPGACC9L	RPGACC9	R/W	－	○	○	0000H
F0593H		RPGACC9H			－	○		
F0592H	CAN受信バッファ・レジスタ31AH[注2]	RMIDH31L	RMIDH31	R	－	○	○	0000H
F0593H		RMIDH31H			－	○		
F0594H	CAN用RAMテスト・レジスタ10[注1]	RPGACC10L	RPGACC10	R/W	－	○	○	0000H
F0595H		RPGACC10H			－	○		
F0594H	CAN受信バッファ・レジスタ31BL[注2]	RMTS31L	RMTS31	R	－	○	○	0000H
F0595H		RMTS31H			－	○		
F0596H	CAN用RAMテスト・レジスタ11[注1]	RPGACC11L	RPGACC11	R/W	－	○	○	0000H
F0597H		RPGACC11H			－	○		
F0596H	CAN受信バッファ・レジスタ31BH[注2]	RMPTR31L	RMPTR31	R	－	○	○	0000H
F0597H		RMPTR31H			－	○		
F0598H	CAN用RAMテスト・レジスタ12[注1]	RPGACC12L	RPGACC12	R/W	－	○	○	0000H
F0599H		RPGACC12H			－	○		
F0598H	CAN受信バッファ・レジスタ031CL[注2]	RMDF031L	RMDF031	R	－	○	○	0000H
F0599H		RMDF031H			－	○		
F059AH	CAN用RAMテスト・レジスタ13[注1]	RPGACC13L	RPGACC13	R/W	－	○	○	0000H
F059BH		RPGACC13H			－	○		
F059AH	CAN受信バッファ・レジスタ31CH[注2]	RMDF131L	RMDF131	R	－	○	○	0000H
F059BH		RMDF131H			－	○		
F059CH	CAN用RAMテスト・レジスタ14[注1]	RPGACC14L	RPGACC14	R/W	－	○	○	0000H
F059DH		RPGACC14H			－	○		
F059CH	CAN受信バッファ・レジスタ31DL[注2]	RMDF231L	RMDF231	R	－	○	○	0000H
F059DH		RMDF231H			－	○		
F059EH	CAN用RAMテスト・レジスタ15[注1]	RPGACC15L	RPGACC15	R/W	－	○	○	0000H
F059FH		RPGACC15H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（28/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F059EH	CAN受信バッファ・レジスタ31DH注2	RMDF331L	RMDF331	R	－	○	○	0000H
F059FH		RMDF331H			－	○		
F05A0H	CAN用RAMテスト・レジスタ16注1	RPGACC16L	RPGACC16	R/W	－	○	○	0000H
F05A1H		RPGACC16H			－	○		
F05A0H	CAN受信FIFOアクセス・レジスタ0AL注2	RFIDL0L	RFIDL0	R	－	○	○	0000H
F05A1H		RFIDL0H			－	○		
F05A2H	CAN用RAMテスト・レジスタ17注1	RPGACC17L	RPGACC17	R/W	－	○	○	0000H
F05A3H		RPGACC17H			－	○		
F05A2H	CAN受信FIFOアクセス・レジスタ0AH注2	RFIDH0L	RFIDH0	R	－	○	○	0000H
F05A3H		RFIDH0H			－	○		
F05A4H	CAN用RAMテスト・レジスタ18注1	RPGACC18L	RPGACC18	R/W	－	○	○	0000H
F05A5H		RPGACC18H			－	○		
F05A4H	CAN受信FIFOアクセス・レジスタ0BL注2	RFTS0L	RFTS0	R	－	○	○	0000H
F05A5H		RFTS0H			－	○		
F05A6H	CAN用RAMテスト・レジスタ19注1	RPGACC19L	RPGACC19	R/W	－	○	○	0000H
F05A7H		RPGACC19H			－	○		
F05A6H	CAN受信FIFOアクセス・レジスタ0BH注2	RFPTR0L	RFPTR0	R	－	○	○	0000H
F05A7H		RFPTR0H			－	○		
F05A8H	CAN用RAMテスト・レジスタ20注1	RPGACC20L	RPGACC20	R/W	－	○	○	0000H
F05A9H		RPGACC20H			－	○		
F05A8H	CAN受信FIFOアクセス・レジスタ0CL注2	RFDF00L	RFDF00	R	－	○	○	0000H
F05A9H		RFDF00H			－	○		
F05AAH	CAN用RAMテスト・レジスタ21注1	RPGACC21L	RPGACC21	R/W	－	○	○	0000H
F05ABH		RPGACC21H			－	○		
F05AAH	CAN受信FIFOアクセス・レジスタ0CH注2	RFDF10L	RFDF10	R	－	○	○	0000H
F05ABH		RFDF10H			－	○		
F05ACH	CAN用RAMテスト・レジスタ22注1	RPGACC22L	RPGACC22	R/W	－	○	○	0000H
F05ADH		RPGACC22H			－	○		
F05ACH	CAN受信FIFOアクセス・レジスタ0DL注2	RFDF20L	RFDF20	R	－	○	○	0000H
F05ADH		RFDF20H			－	○		
F05AEH	CAN用RAMテスト・レジスタ23注1	RPGACC23L	RPGACC23	R/W	－	○	○	0000H
F05AFH		RPGACC23H			－	○		
F05AEH	CAN受信FIFOアクセス・レジスタ0DH注2	RFDF30L	RFDF30	R	－	○	○	0000H
F05AFH		RFDF30H			－	○		
F05B0H	CAN用RAMテスト・レジスタ24注1	RPGACC24L	RPGACC24	R/W	－	○	○	0000H
F05B1H		RPGACC24H			－	○		
F05B0H	CAN受信FIFOアクセス・レジスタ1AL注2	RFIDL1L	RFIDL1	R	－	○	○	0000H
F05B1H		RFIDL1H			－	○		
F05B2H	CAN用RAMテスト・レジスタ25注1	RPGACC25L	RPGACC25	R/W	－	○	○	0000H
F05B3H		RPGACC25H			－	○		
F05B2H	CAN受信FIFOアクセス・レジスタ1AH注2	RFIDH1L	RFIDH1	R	－	○	○	0000H
F05B3H		RFIDH1H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（29/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F05B4H	CAN用RAMテスト・レジスタ26[注1]	RPGACC26L	RPGACC26	R/W	－	O	O	0000H
F05B5H		RPGACC26H			－	O		
F05B4H	CAN受信FIFOアクセス・レジスタ1BL[注2]	RFTS1L	RFTS1	R	－	O	O	0000H
F05B5H		RFTS1H			－	O		
F05B6H	CAN用RAMテスト・レジスタ27[注1]	RPGACC27L	RPGACC27	R/W	－	O	O	0000H
F05B7H		RPGACC27H			－	O		
F05B6H	CAN受信FIFOアクセス・レジスタ1BH[注2]	RFPTR1L	RFPTR1	R	－	O	O	0000H
F05B7H		RFPTR1H			－	O		
F05B8H	CAN用RAMテスト・レジスタ28[注1]	RPGACC28L	RPGACC28	R/W	－	O	O	0000H
F05B9H		RPGACC28H			－	O		
F05B8H	CAN受信FIFOアクセス・レジスタ1CL[注2]	RFDF01L	RFDF01	R	－	O	O	0000H
F05B9H		RFDF01H			－	O		
F05BAH	CAN用RAMテスト・レジスタ29[注1]	RPGACC29L	RPGACC29	R/W	－	O	O	0000H
F05BBH		RPGACC29H			－	O		
F05BAH	CAN受信FIFOアクセス・レジスタ1CH[注2]	RFDF11L	RFDF11	R	－	O	O	0000H
F05BBH		RFDF11H			－	O		
F05BCH	CAN用RAMテスト・レジスタ30[注1]	RPGACC30L	RPGACC30	R/W	－	O	O	0000H
F05BDH		RPGACC30H			－	O		
F05BCH	CAN受信FIFOアクセス・レジスタ1DL[注2]	RFDF21L	RFDF21	R	－	O	O	0000H
F05BDH		RFDF21H			－	O		
F05BEH	CAN用RAMテスト・レジスタ31[注1]	RPGACC31L	RPGACC31	R/W	－	O	O	0000H
F05BFH		RPGACC31H			－	O		
F05BEH	CAN受信FIFOアクセス・レジスタ1DH[注2]	RFDF31L	RFDF31	R	－	O	O	0000H
F05BFH		RFDF31H			－	O		
F05C0H	CAN用RAMテスト・レジスタ32[注1]	RPGACC32L	RPGACC32	R/W	－	O	O	0000H
F05C1H		RPGACC32H			－	O		
F05C0H	CAN受信FIFOアクセス・レジスタ2AL[注2]	RFIDL2L	RFIDL2	R	－	O	O	0000H
F05C1H		RFIDL2H			－	O		
F05C2H	CAN用RAMテスト・レジスタ33[注1]	RPGACC33L	RPGACC33	R/W	－	O	O	0000H
F05C3H		RPGACC33H			－	O		
F05C2H	CAN受信FIFOアクセス・レジスタ2AH[注2]	RFIDH2L	RFIDH2	R	－	O	O	0000H
F05C3H		RFIDH2H			－	O		
F05C4H	CAN用RAMテスト・レジスタ34[注1]	RPGACC34L	RPGACC34	R/W	－	O	O	0000H
F05C5H		RPGACC34H			－	O		
F05C4H	CAN受信FIFOアクセス・レジスタ2BL[注2]	RFTS2L	RFTS2	R	－	O	O	0000H
F05C5H		RFTS2H			－	O		
F05C6H	CAN用RAMテスト・レジスタ35[注1]	RPGACC35L	RPGACC35	R/W	－	O	O	0000H
F05C7H		RPGACC35H			－	O		
F05C6H	CAN受信FIFOアクセス・レジスタ2BH[注2]	RFPTR2L	RFPTR2	R	－	O	O	0000H
F05C7H		RFPTR2H			－	O		
F05C8H	CAN用RAMテスト・レジスタ36[注1]	RPGACC36L	RPGACC36	R/W	－	O	O	0000H
F05C9H		RPGACC36H			－	O		
F05C8H	CAN受信FIFOアクセス・レジスタ2CL[注2]	RFDF02L	RFDF02	R	－	O	O	0000H
F05C9H		RFDF02H			－	O		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（30/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F05CAH	CAN用RAMテスト・レジスタ37[注1]	RPGACC37L	RPGACC37	R/W	－	O	O	0000H
F05CBH		RPGACC37H			－	O		
F05CAH	CAN受信FIFOアクセス・レジスタ2CH[注2]	RFDF12L	RFDF12	R	－	O	O	0000H
F05CBH		RFDF12H			－	O		
F05CCH	CAN用RAMテスト・レジスタ38[注1]	RPGACC38L	RPGACC38	R/W	－	O	O	0000H
F05CDH		RPGACC38H			－	O		
F05CCH	CAN受信FIFOアクセス・レジスタ2DL[注2]	RFDF22L	RFDF22	R	－	O	O	0000H
F05CDH		RFDF22H			－	O		
F05CEH	CAN用RAMテスト・レジスタ39[注1]	RPGACC39L	RPGACC39	R/W	－	O	O	0000H
F05CFH		RPGACC39H			－	O		
F05CEH	CAN受信FIFOアクセス・レジスタ2DH[注2]	RFDF32L	RFDF32	R	－	O	O	0000H
F05CFH		RFDF32H			－	O		
F05D0H	CAN用RAMテスト・レジスタ40[注1]	RPGACC40L	RPGACC40	R/W	－	O	O	0000H
F05D1H		RPGACC40H			－	O		
F05D0H	CAN受信FIFOアクセス・レジスタ3AL[注2]	RFIDL3L	RFIDL3	R	－	O	O	0000H
F05D1H		RFIDL3H			－	O		
F05D2H	CAN用RAMテスト・レジスタ41[注1]	RPGACC41L	RPGACC41	R/W	－	O	O	0000H
F05D3H		RPGACC41H			－	O		
F05D2H	CAN受信FIFOアクセス・レジスタ3AH[注2]	RFIDH3L	RFIDH3	R	－	O	O	0000H
F05D3H		RFIDH3H			－	O		
F05D4H	CAN用RAMテスト・レジスタ42[注1]	RPGACC42L	RPGACC42	R/W	－	O	O	0000H
F05D5H		RPGACC42H			－	O		
F05D4H	CAN受信FIFOアクセス・レジスタ3BL[注2]	RFTS3L	RFTS3	R	－	O	O	0000H
F05D5H		RFTS3H			－	O		
F05D6H	CAN用RAMテスト・レジスタ43[注1]	RPGACC43L	RPGACC43	R/W	－	O	O	0000H
F05D7H		RPGACC43H			－	O		
F05D6H	CAN受信FIFOアクセス・レジスタ3BH[注2]	RFPTR3L	RFPTR3	R	－	O	O	0000H
F05D7H		RFPTR3H			－	O		
F05D8H	CAN用RAMテスト・レジスタ44[注1]	RPGACC44L	RPGACC44	R/W	－	O	O	0000H
F05D9H		RPGACC44H			－	O		
F05D8H	CAN受信FIFOアクセス・レジスタ3CL[注2]	RFDF03L	RFDF03	R	－	O	O	0000H
F05D9H		RFDF03H			－	O		
F05DAH	CAN用RAMテスト・レジスタ45[注1]	RPGACC45L	RPGACC45	R/W	－	O	O	0000H
F05DBH		RPGACC45H			－	O		
F05DAH	CAN受信FIFOアクセス・レジスタ3CH[注2]	RFDF13L	RFDF13	R	－	O	O	0000H
F05DBH		RFDF13H			－	O		
F05DCH	CAN用RAMテスト・レジスタ46[注1]	RPGACC46L	RPGACC46	R/W	－	O	O	0000H
F05DDH		RPGACC46H			－	O		
F05DCH	CAN受信FIFOアクセス・レジスタ3DL[注2]	RFDF23L	RFDF23	R	－	O	O	0000H
F05DDH		RFDF23H			－	O		
F05DEH	CAN用RAMテスト・レジスタ47[注1]	RPGACC47L	RPGACC47	R/W	－	O	O	0000H
F05DFH		RPGACC47H			－	O		
F05DEH	CAN受信FIFOアクセス・レジスタ3DH[注2]	RFDF33L	RFDF33	R	－	O	O	0000H
F05DFH		RFDF33H			－	O		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（31/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F05E0H	CAN用RAMテスト・レジスタ48[注1]	RPGACC48L	RPGACC48	R/W	－	O	O	0000H
F05E1H		RPGACC48H			－	O		
F05E0H	CAN0送受信FIFOアクセス・レジスタ0AL[注2]	CFIDL0L	CFIDL0	R/W	－	O	O	0000H
F05E1H		CFIDL0H			－	O		
F05E2H	CAN用RAMテスト・レジスタ49[注1]	RPGACC49L	RPGACC49	R/W	－	O	O	0000H
F05E3H		RPGACC49H			－	O		
F05E2H	CAN0送受信FIFOアクセス・レジスタ0AH[注2]	CFIDH0L	CFIDH0	R/W	－	O	O	0000H
F05E3H		CFIDH0H			－	O		
F05E4H	CAN用RAMテスト・レジスタ50[注1]	RPGACC50L	RPGACC50	R/W	－	O	O	0000H
F05E5H		RPGACC50H			－	O		
F05E4H	CAN0送受信FIFOアクセス・レジスタ0BL[注2]	CFTS0L	CFTS0	R	－	O	O	0000H
F05E5H		CFTS0H			－	O		
F05E6H	CAN用RAMテスト・レジスタ51[注1]	RPGACC51L	RPGACC51	R/W	－	O	O	0000H
F05E7H		RPGACC51H			－	O		
F05E6H	CAN0送受信FIFOアクセス・レジスタ0BH[注2]	CFPTR0L	CFPTR0	R/W	－	O	O	0000H
F05E7H		CFPTR0H			－	O		
F05E8H	CAN用RAMテスト・レジスタ52[注1]	RPGACC52L	RPGACC52	R/W	－	O	O	0000H
F05E9H		RPGACC52H			－	O		
F05E8H	CAN0送受信FIFOアクセス・レジスタ0CL[注2]	CFDF00L	CFDF00	R/W	－	O	O	0000H
F05E9H		CFDF00H			－	O		
F05EAH	CAN用RAMテスト・レジスタ53[注1]	RPGACC53L	RPGACC53	R/W	－	O	O	0000H
F05EBH		RPGACC53H			－	O		
F05EAH	CAN0送受信FIFOアクセス・レジスタ0CH[注2]	CFDF10L	CFDF10	R/W	－	O	O	0000H
F05EBH		CFDF10H			－	O		
F05ECH	CAN用RAMテスト・レジスタ54[注1]	RPGACC54L	RPGACC54	R/W	－	O	O	0000H
F05EDH		RPGACC54H			－	O		
F05ECH	CAN0送受信FIFOアクセス・レジスタ0DL[注2]	CFDF20L	CFDF20	R/W	－	O	O	0000H
F05EDH		CFDF20H			－	O		
F05EEH	CAN用RAMテスト・レジスタ55[注1]	RPGACC55L	RPGACC55	R/W	－	O	O	0000H
F05EFH		RPGACC55H			－	O		
F05EEH	CAN0送受信FIFOアクセス・レジスタ0DH[注2]	CFDF30L	CFDF30	R/W	－	O	O	0000H
F05EFH		CFDF30H			－	O		
F05F0H	CAN用RAMテスト・レジスタ56[注1]	RPGACC56L	RPGACC56	R/W	－	O	O	0000H
F05F1H		RPGACC56H			－	O		
F05F0H	CAN1送受信FIFOアクセス・レジスタ1AL[注2]	CFIDL1L	CFIDL1	R/W	－	O	O	0000H
F05F1H		CFIDL1H			－	O		
F05F2H	CAN用RAMテスト・レジスタ57[注1]	RPGACC57L	RPGACC57	R/W	－	O	O	0000H
F05F3H		RPGACC57H			－	O		
F05F2H	CAN1送受信FIFOアクセス・レジスタ1AH[注2]	CFIDH1L	CFIDH1	R/W	－	O	O	0000H
F05F3H		CFIDH1H			－	O		
F05F4H	CAN用RAMテスト・レジスタ58[注1]	RPGACC58L	RPGACC58	R/W	－	O	O	0000H
F05F5H		RPGACC58H			－	O		
F05F4H	CAN1送受信FIFOアクセス・レジスタ1BL[注2]	CFTS1L	CFTS1	R	－	O	O	0000H
F05F5H		CFTS1H			－	O		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（32/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F05F6H	CAN用RAMテスト・レジスタ59[注1]	RPGACC59L	RPGACC59	R/W	－	○	○	0000H
F05F7H		RPGACC59H			－	○		
F05F6H	CAN1送受信FIFOアクセス・レジスタ1BH[注2]	CFPTR1L	CFPTR1	R/W	－	○	○	0000H
F05F7H		CFPTR1H			－	○		
F05F8H	CAN用RAMテスト・レジスタ60[注1]	RPGACC60L	RPGACC60	R/W	－	○	○	0000H
F05F9H		RPGACC60H			－	○		
F05F8H	CAN1送受信FIFOアクセス・レジスタ1CL[注2]	CFDF01L	CFDF01	R/W	－	○	○	0000H
F05F9H		CFDF01H			－	○		
F05FAH	CAN用RAMテスト・レジスタ61[注1]	RPGACC61L	RPGACC61	R/W	－	○	○	0000H
F05FBH		RPGACC61H			－	○		
F05FAH	CAN1送受信FIFOアクセス・レジスタ1CH[注2]	CFDF11L	CFDF11	R/W	－	○	○	0000H
F05FBH		CFDF11H			－	○		
F05FCH	CAN用RAMテスト・レジスタ62[注1]	RPGACC62L	RPGACC62	R/W	－	○	○	0000H
F05FDH		RPGACC62H			－	○		
F05FCH	CAN1送受信FIFOアクセス・レジスタ1DL[注2]	CFDF21L	CFDF21	R/W	－	○	○	0000H
F05FDH		CFDF21H			－	○		
F05FEH	CAN用RAMテスト・レジスタ63[注1]	RPGACC63L	RPGACC63	R/W	－	○	○	0000H
F05FFH		RPGACC63H			－	○		
F05FEH	CAN1送受信FIFOアクセス・レジスタ1DH[注2]	CFDF31L	CFDF31	R/W	－	○	○	0000H
F05FFH		CFDF31H			－	○		
F0600H	CAN用RAMテスト・レジスタ64[注1]	RPGACC64L	RPGACC64	R/W	－	○	○	0000H
F0601H		RPGACC64H			－	○		
F0600H	CAN0送信バッファ・レジスタ0AL[注2]	TMIDL0L	TMIDL0	R/W	－	○	○	0000H
F0601H		TMIDL0H			－	○		
F0602H	CAN用RAMテスト・レジスタ65[注1]	RPGACC65L	RPGACC65	R/W	－	○	○	0000H
F0603H		RPGACC65H			－	○		
F0602H	CAN0送信バッファ・レジスタ0AH[注2]	TMIDH0L	TMIDH0	R/W	－	○	○	0000H
F0603H		TMIDH0H			－	○		
F0604H	CAN用RAMテスト・レジスタ66[注1]	RPGACC66L	RPGACC66	R/W	－	○	○	0000H
F0605H		RPGACC66H			－	○		
F0606H	CAN用RAMテスト・レジスタ67[注1]	RPGACC67L	RPGACC67	R/W	－	○	○	0000H
F0607H		RPGACC67H			－	○		
F0606H	CAN0送信バッファ・レジスタ0BH[注2]	TMPTR0L	TMPTR0	R/W	－	○	○	0000H
F0607H		TMPTR0H			－	○		
F0608H	CAN用RAMテスト・レジスタ68[注1]	RPGACC68L	RPGACC68	R/W	－	○	○	0000H
F0609H		RPGACC68H			－	○		
F0608H	CAN0送信バッファ・レジスタ0CL[注2]	TMDF00L	TMDF00	R/W	－	○	○	0000H
F0609H		TMDF00H			－	○		
F060AH	CAN用RAMテスト・レジスタ69[注1]	RPGACC69L	RPGACC69	R/W	－	○	○	0000H
F060BH		RPGACC69H			－	○		
F060AH	CAN0送信バッファ・レジスタ0CH[注2]	TMDF10L	TMDF10	R/W	－	○	○	0000H
F060BH		TMDF10H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（33/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F060CH	CAN用RAMテスト・レジスタ70[注1]	RPGACC70L	RPGACC70	R/W	－	○	○	0000H
F060DH		RPGACC70H			－	○		
F060CH	CAN0送信バッファ・レジスタ0DL[注2]	TMDF20L	TMDF20	R/W	－	○	○	0000H
F060DH		TMDF20H			－	○		
F060EH	CAN用RAMテスト・レジスタ71[注1]	RPGACC71L	RPGACC71	R/W	－	○	○	0000H
F060FH		RPGACC71H			－	○		
F060EH	CAN0送信バッファ・レジスタ0DH[注2]	TMDF30L	TMDF30	R/W	－	○	○	0000H
F060FH		TMDF30H			－	○		
F0610H	CAN用RAMテスト・レジスタ72[注1]	RPGACC72L	RPGACC72	R/W	－	○	○	0000H
F0611H		RPGACC72H			－	○		
F0610H	CAN0送信バッファ・レジスタ1AL[注2]	TMIDL1L	TMIDL1	R/W	－	○	○	0000H
F0611H		TMIDL1H			－	○		
F0612H	CAN用RAMテスト・レジスタ73[注1]	RPGACC73L	RPGACC73	R/W	－	○	○	0000H
F0613H		RPGACC73H			－	○		
F0612H	CAN0送信バッファ・レジスタ1AH[注2]	TMIDH1L	TMIDH1	R/W	－	○	○	0000H
F0613H		TMIDH1H			－	○		
F0614H	CAN用RAMテスト・レジスタ74[注1]	RPGACC74L	RPGACC74	R/W	－	○	○	0000H
F0615H		RPGACC74H			－	○		
F0616H	CAN用RAMテスト・レジスタ75[注1]	RPGACC75L	RPGACC75	R/W	－	○	○	0000H
F0617H		RPGACC75H			－	○		
F0616H	CAN0送信バッファ・レジスタ1BH[注2]	TMPTR1L	TMPTR1	R/W	－	○	○	0000H
F0617H		TMPTR1H			－	○		
F0618H	CAN用RAMテスト・レジスタ76[注1]	RPGACC76L	RPGACC76	R/W	－	○	○	0000H
F0619H		RPGACC76H			－	○		
F0618H	CAN0送信バッファ・レジスタ1CL[注2]	TMDF01L	TMDF01	R/W	－	○	○	0000H
F0619H		TMDF01H			－	○		
F061AH	CAN用RAMテスト・レジスタ77[注1]	RPGACC77L	RPGACC77	R/W	－	○	○	0000H
F061BH		RPGACC77H			－	○		
F061AH	CAN0送信バッファ・レジスタ1CH[注2]	TMDF11L	TMDF11	R/W	－	○	○	0000H
F061BH		TMDF11H			－	○		
F061CH	CAN用RAMテスト・レジスタ78[注1]	RPGACC78L	RPGACC78	R/W	－	○	○	0000H
F061DH		RPGACC78H			－	○		
F061CH	CAN0送信バッファ・レジスタ1DL[注2]	TMDF21L	TMDF21	R/W	－	○	○	0000H
F061DH		TMDF21H			－	○		
F061EH	CAN用RAMテスト・レジスタ79[注1]	RPGACC79L	RPGACC79	R/W	－	○	○	0000H
F061FH		RPGACC79H			－	○		
F061EH	CAN0送信バッファ・レジスタ1DH[注2]	TMDF31L	TMDF31	R/W	－	○	○	0000H
F061FH		TMDF31H			－	○		
F0620H	CAN用RAMテスト・レジスタ80[注1]	RPGACC80L	RPGACC80	R/W	－	○	○	0000H
F0621H		RPGACC80H			－	○		
F0620H	CAN0送信バッファ・レジスタ2AL[注2]	TMIDL2L	TMIDL2	R/W	－	○	○	0000H
F0621H		TMIDL2H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（34/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0622H	CAN用RAMテスト・レジスタ81[注1]	RPGACC81L	RPGACC81	R/W	－	○	○	0000H
F0623H		RPGACC81H			－	○		
F0622H	CAN0送信バッファ・レジスタ2AH[注2]	TMIDH2L	TMIDH2	R/W	－	○	○	0000H
F0623H		TMIDH2H			－	○		
F0624H	CAN用RAMテスト・レジスタ82[注1]	RPGACC82L	RPGACC82	R/W	－	○	○	0000H
F0625H		RPGACC82H			－	○		
F0626H	CAN用RAMテスト・レジスタ83[注1]	RPGACC83L	RPGACC83	R/W	－	○	○	0000H
F0627H		RPGACC83H			－	○		
F0626H	CAN0送信バッファ・レジスタ2BH[注2]	TMPTR2L	TMPTR2	R/W	－	○	○	0000H
F0627H		TMPTR2H			－	○		
F0628H	CAN用RAMテスト・レジスタ84[注1]	RPGACC84L	RPGACC84	R/W	－	○	○	0000H
F0629H		RPGACC84H			－	○		
F0628H	CAN0送信バッファ・レジスタ2CL[注2]	TMDF02L	TMDF02	R/W	－	○	○	0000H
F0629H		TMDF02H			－	○		
F062AH	CAN用RAMテスト・レジスタ85[注1]	RPGACC85L	RPGACC85	R/W	－	○	○	0000H
F062BH		RPGACC85H			－	○		
F062AH	CAN0送信バッファ・レジスタ2CH[注2]	TMDF12L	TMDF12	R/W	－	○	○	0000H
F062BH		TMDF12H			－	○		
F062CH	CAN用RAMテスト・レジスタ86[注1]	RPGACC86L	RPGACC86	R/W	－	○	○	0000H
F062DH		RPGACC86H			－	○		
F062CH	CAN0送信バッファ・レジスタ2DL[注2]	TMDF22L	TMDF22	R/W	－	○	○	0000H
F062DH		TMDF22H			－	○		
F062EH	CAN用RAMテスト・レジスタ87[注1]	RPGACC87L	RPGACC87	R/W	－	○	○	0000H
F062FH		RPGACC87H			－	○		
F062EH	CAN0送信バッファ・レジスタ2DH[注2]	TMDF32L	TMDF32	R/W	－	○	○	0000H
F062FH		TMDF32H			－	○		
F0630H	CAN用RAMテスト・レジスタ88[注1]	RPGACC88L	RPGACC88	R/W	－	○	○	0000H
F0631H		RPGACC88H			－	○		
F0630H	CAN0送信バッファ・レジスタ3AL[注2]	TMIDL3L	TMIDL3	R/W	－	○	○	0000H
F0631H		TMIDL3H			－	○		
F0632H	CAN用RAMテスト・レジスタ89[注1]	RPGACC89L	RPGACC89	R/W	－	○	○	0000H
F0633H		RPGACC89H			－	○		
F0632H	CAN0送信バッファ・レジスタ3AH[注2]	TMIDH3L	TMIDH3	R/W	－	○	○	0000H
F0633H		TMIDH3H			－	○		
F0634H	CAN用RAMテスト・レジスタ90[注1]	RPGACC90L	RPGACC90	R/W	－	○	○	0000H
F0635H		RPGACC90H			－	○		
F0636H	CAN用RAMテスト・レジスタ91[注1]	RPGACC91L	RPGACC91	R/W	－	○	○	0000H
F0637H		RPGACC91H			－	○		
F0636H	CAN0送信バッファ・レジスタ3BH[注2]	TMPTR3L	TMPTR3	R/W	－	○	○	0000H
F0637H		TMPTR3H			－	○		
F0638H	CAN用RAMテスト・レジスタ92[注1]	RPGACC92L	RPGACC92	R/W	－	○	○	0000H
F0639H		RPGACC92H			－	○		
F0638H	CAN0送信バッファ・レジスタ3CL[注2]	TMDF03L	TMDF03	R/W	－	○	○	0000H
F0639H		TMDF03H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（35/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F063AH	CAN用RAMテスト・レジスタ93[注1]	RPGACC93L	RPGACC93	R/W	－	○	○	0000H
F063BH		RPGACC93H			－	○		
F063AH	CAN0送信バッファ・レジスタ3CH[注2]	TMDF13L	TMDF13	R/W	－	○	○	0000H
F063BH		TMDF13H			－	○		
F063CH	CAN用RAMテスト・レジスタ94[注1]	RPGACC94L	RPGACC94	R/W	－	○	○	0000H
F063DH		RPGACC94H			－	○		
F063CH	CAN0送信バッファ・レジスタ3DL[注2]	TMDF23L	TMDF23	R/W	－	○	○	0000H
F063DH		TMDF23H			－	○		
F063EH	CAN用RAMテスト・レジスタ95[注1]	RPGACC95L	RPGACC95	R/W	－	○	○	0000H
F063FH		RPGACC95H			－	○		
F063EH	CAN0送信バッファ・レジスタ3DH[注2]	TMDF33L	TMDF33	R/W	－	○	○	0000H
F063FH		TMDF33H			－	○		
F0640H	CAN用RAMテスト・レジスタ96[注1]	RPGACC96L	RPGACC96	R/W	－	○	○	0000H
F0641H		RPGACC96H			－	○		
F0640H	CAN1送信バッファ・レジスタ4AL[注2]	TMIDL4L	TMIDL4	R/W	－	○	○	0000H
F0641H		TMIDL4H			－	○		
F0642H	CAN用RAMテスト・レジスタ97[注1]	RPGACC97L	RPGACC97	R/W	－	○	○	0000H
F0643H		RPGACC97H			－	○		
F0642H	CAN1送信バッファ・レジスタ4AH[注2]	TMIDH4L	TMIDH4	R/W	－	○	○	0000H
F0643H		TMIDH4H			－	○		
F0644H	CAN用RAMテスト・レジスタ98[注1]	RPGACC98L	RPGACC98	R/W	－	○	○	0000H
F0645H		RPGACC98H			－	○		
F0646H	CAN用RAMテスト・レジスタ99[注1]	RPGACC99L	RPGACC99	R/W	－	○	○	0000H
F0647H		RPGACC99H			－	○		
F0646H	CAN1送信バッファ・レジスタ4BH[注2]	TMPTR4L	TMPTR4	R/W	－	○	○	0000H
F0647H		TMPTR4H			－	○		
F0648H	CAN用RAMテスト・レジスタ100[注1]	RPGACC100L	RPGACC100	R/W	－	○	○	0000H
F0649H		RPGACC100H			－	○		
F0648H	CAN1送信バッファ・レジスタ4CL[注2]	TMDF04L	TMDF04	R/W	－	○	○	0000H
F0649H		TMDF04H			－	○		
F064AH	CAN用RAMテスト・レジスタ101[注1]	RPGACC101L	RPGACC101	R/W	－	○	○	0000H
F064BH		RPGACC101H			－	○		
F064AH	CAN1送信バッファ・レジスタ4CH[注2]	TMDF14L	TMDF14	R/W	－	○	○	0000H
F064BH		TMDF14H			－	○		
F064CH	CAN用RAMテスト・レジスタ102[注1]	RPGACC102L	RPGACC102	R/W	－	○	○	0000H
F064DH		RPGACC102H			－	○		
F064CH	CAN1送信バッファ・レジスタ4DL[注2]	TMDF24L	TMDF24	R/W	－	○	○	0000H
F064DH		TMDF24H			－	○		
F064EH	CAN用RAMテスト・レジスタ103[注1]	RPGACC103L	RPGACC103	R/W	－	○	○	0000H
F064FH		RPGACC103H			－	○		
F064EH	CAN1送信バッファ・レジスタ4DH[注2]	TMDF34L	TMDF34	R/W	－	○	○	0000H
F064FH		TMDF34H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（36/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0650H	CAN用RAMテスト・レジスタ104[注1]	RPGACC104L	RPGACC104	R/W	－	O	O	0000H
F0651H		RPGACC104H			－	O		
F0650H	CAN1送信バッファ・レジスタ5AL[注2]	TMIDL5L	TMIDL5	R/W	－	O	O	0000H
F0651H		TMIDL5H			－	O		
F0652H	CAN用RAMテスト・レジスタ105[注1]	RPGACC105L	RPGACC105	R/W	－	O	O	0000H
F0653H		RPGACC105H			－	O		
F0652H	CAN1送信バッファ・レジスタ5AH[注2]	TMIDH5L	TMIDH5	R/W	－	O	O	0000H
F0653H		TMIDH5H			－	O		
F0654H	CAN用RAMテスト・レジスタ106[注1]	RPGACC106L	RPGACC106	R/W	－	O	O	0000H
F0655H		RPGACC106H			－	O		
F0656H	CAN用RAMテスト・レジスタ107[注1]	RPGACC107L	RPGACC107	R/W	－	O	O	0000H
F0657H		RPGACC107H			－	O		
F0656H	CAN1送信バッファ・レジスタ5BH[注2]	TMPTR5L	TMPTR5	R/W	－	O	O	0000H
F0657H		TMPTR5H			－	O		
F0658H	CAN用RAMテスト・レジスタ108[注1]	RPGACC108L	RPGACC108	R/W	－	O	O	0000H
F0659H		RPGACC108H			－	O		
F0658H	CAN1送信バッファ・レジスタ5CL[注2]	TMDF05L	TMDF05	R/W	－	O	O	0000H
F0659H		TMDF05H			－	O		
F065AH	CAN用RAMテスト・レジスタ109[注1]	RPGACC109L	RPGACC109	R/W	－	O	O	0000H
F065BH		RPGACC109H			－	O		
F065AH	CAN1送信バッファ・レジスタ5CH[注2]	TMDF15L	TMDF15	R/W	－	O	O	0000H
F065BH		TMDF15H			－	O		
F065CH	CAN用RAMテスト・レジスタ110[注1]	RPGACC110L	RPGACC110	R/W	－	O	O	0000H
F065DH		RPGACC110H			－	O		
F065CH	CAN1送信バッファ・レジスタ5DL[注2]	TMDF25L	TMDF25	R/W	－	O	O	0000H
F065DH		TMDF25H			－	O		
F065EH	CAN用RAMテスト・レジスタ111[注1]	RPGACC111L	RPGACC111	R/W	－	O	O	0000H
F065FH		RPGACC111H			－	O		
F065EH	CAN1送信バッファ・レジスタ5DH[注2]	TMDF35L	TMDF35	R/W	－	O	O	0000H
F065FH		TMDF35H			－	O		
F0660H	CAN用RAMテスト・レジスタ112[注1]	RPGACC112L	RPGACC112	R/W	－	O	O	0000H
F0661H		RPGACC112H			－	O		
F0660H	CAN1送信バッファ・レジスタ6AL[注2]	TMIDL6L	TMIDL6	R/W	－	O	O	0000H
F0661H		TMIDL6H			－	O		
F0662H	CAN用RAMテスト・レジスタ113[注1]	RPGACC113L	RPGACC113	R/W	－	O	O	0000H
F0663H		RPGACC113H			－	O		
F0662H	CAN1送信バッファ・レジスタ6AH[注2]	TMIDH6L	TMIDH6	R/W	－	O	O	0000H
F0663H		TMIDH6H			－	O		
F0664H	CAN用RAMテスト・レジスタ114[注1]	RPGACC114L	RPGACC114	R/W	－	O	O	0000H
F0665H		RPGACC114H			－	O		
F0666H	CAN用RAMテスト・レジスタ115[注1]	RPGACC115L	RPGACC115	R/W	－	O	O	0000H
F0667H		RPGACC115H			－	O		
F0666H	CAN1送信バッファ・レジスタ6BH[注2]	TMPTR6L	TMPTR6	R/W	－	O	O	0000H
F0667H		TMPTR6H			－	O		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（37/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0668H	CAN用RAMテスト・レジスタ116[注1]	RPGACC116L	RPGACC116	R/W	－	O	O	0000H
F0669H		RPGACC116H			－	O		
F0668H	CAN1送信バッファ・レジスタ6CL[注2]	TMDF06L	TMDF06	R/W	－	O	O	0000H
F0669H		TMDF06H			－	O		
F066AH	CAN用RAMテスト・レジスタ117[注1]	RPGACC117L	RPGACC117	R/W	－	O	O	0000H
F066BH		RPGACC117H			－	O		
F066AH	CAN1送信バッファ・レジスタ6CH[注2]	TMDF16L	TMDF16	R/W	－	O	O	0000H
F066BH		TMDF16H			－	O		
F066CH	CAN用RAMテスト・レジスタ118[注1]	RPGACC118L	RPGACC118	R/W	－	O	O	0000H
F066DH		RPGACC118H			－	O		
F066CH	CAN1送信バッファ・レジスタ6DL[注2]	TMDF26L	TMDF26	R/W	－	O	O	0000H
F066DH		TMDF26H			－	O		
F066EH	CAN用RAMテスト・レジスタ119[注1]	RPGACC119L	RPGACC119	R/W	－	O	O	0000H
F066FH		RPGACC119H			－	O		
F066EH	CAN1送信バッファ・レジスタ6DH[注2]	TMDF36L	TMDF36	R/W	－	O	O	0000H
F066FH		TMDF36H			－	O		
F0670H	CAN用RAMテスト・レジスタ120[注1]	RPGACC120L	RPGACC120	R/W	－	O	O	0000H
F0671H		RPGACC120H			－	O		
F0670H	CAN1送信バッファ・レジスタ7AL[注2]	TMIDL7L	TMIDL7	R/W	－	O	O	0000H
F0671H		TMIDL7H			－	O		
F0672H	CAN用RAMテスト・レジスタ121[注1]	RPGACC121L	RPGACC121	R/W	－	O	O	0000H
F0673H		RPGACC121H			－	O		
F0672H	CAN1送信バッファ・レジスタ7AH[注2]	TMIDH7L	TMIDH7	R/W	－	O	O	0000H
F0673H		TMIDH7H			－	O		
F0674H	CAN用RAMテスト・レジスタ122[注1]	RPGACC122L	RPGACC122	R/W	－	O	O	0000H
F0675H		RPGACC122H			－	O		
F0676H	CAN用RAMテスト・レジスタ123[注1]	RPGACC123L	RPGACC123	R/W	－	O	O	0000H
F0677H		RPGACC123H			－	O		
F0676H	CAN1送信バッファ・レジスタ7BH[注2]	TMPTR7L	TMPTR7	R/W	－	O	O	0000H
F0677H		TMPTR7H			－	O		
F0678H	CAN用RAMテスト・レジスタ124[注1]	RPGACC124L	RPGACC124	R/W	－	O	O	0000H
F0679H		RPGACC124H			－	O		
F0678H	CAN1送信バッファ・レジスタ7CL[注2]	TMDF07L	TMDF07	R/W	－	O	O	0000H
F0679H		TMDF07H			－	O		
F067AH	CAN用RAMテスト・レジスタ125[注1]	RPGACC125L	RPGACC125	R/W	－	O	O	0000H
F067BH		RPGACC125H			－	O		
F067AH	CAN1送信バッファ・レジスタ7CH[注2]	TMDF17L	TMDF17	R/W	－	O	O	0000H
F067BH		TMDF17H			－	O		
F067CH	CAN用RAMテスト・レジスタ126[注1]	RPGACC126L	RPGACC126	R/W	－	O	O	0000H
F067DH		RPGACC126H			－	O		
F067CH	CAN1送信バッファ・レジスタ7DL[注2]	TMDF27L	TMDF27	R/W	－	O	O	0000H
F067DH		TMDF27H			－	O		
F067EH	CAN用RAMテスト・レジスタ127[注1]	RPGACC127L	RPGACC127	R/W	－	O	O	0000H
F067FH		RPGACC127H			－	O		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

表18－3　CANモジュールのレジスター覧（38/38）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F067EH	CAN1送信バッファ・レジスタ7DH[注2]	TMDF37L	TMDF37	R/W	－	○	○	0000H
F067FH		TMDF37H			－	○		
F0680H	CAN0送信履歴バッファ・アクセス・レジスタ[注2]	THLACC0L	THLACC0	R	－	○	○	0000H
F0681H		THLACC0H			－	○		
F0684H	CAN1送信履歴バッファ・アクセス・レジスタ[注2]	THLACC1L	THLACC1	R	－	○	○	0000H
F0685H		THLACC1H			－	○		

注1.　CAN用RAMのウィンドウ0（受信ルール、CAN用RAMテスト・レジスタ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを0に設定してください。

2.　CAN用RAMのウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ）に配置されているレジスタです。設定する際には、GRWCRレジスタのRPAGEビットを1に設定してください。

18.3.1　CANiビット・コンフィグレーション・レジスタL（CiCFGL）（i = 0, 1）

アドレス　C0CFGL：F0300H、C1CFGL：F0310H

CiCFGLレジスタは16ビット単位でアクセスできます。また、CiCFGLL, CiCFGLHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-10	−	予約ビット	読むと0が読み出されます。書き込みは0としてください。	R
9-0	BRP[9:0]	プリスケーラ分周比設定ビット	設定値をP（0～1023）とすると、ボーレート・プリスケーラはfCANをP+1で分周します。	R/W

CiCFGLレジスタは、チャネル・リセット・モードまたはチャネル待機モードでのみ書き換えてください。また、チャネル・リセット・モードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビット・タイミングの設定については、「18.11　初期設定」を参照してください。

・BRP[9:0]ビット

CANクロック（fCAN）をBRP[9:0]ビットで分周したクロックがCANiTqクロック（fCANTQi）になり、CANiTqクロックの1クロックが1 Time Quantum（Tq）になります。

18.3.2　CANiビット・コンフィグレーション・レジスタH（CiCFGH）（i = 0, 1）

アドレス　C0CFGH：F0302H、C1CFGH：F0312H

CiCFGHレジスタは16ビット単位でアクセスできます。また、CiCFGHL, CiCFGHHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SJW[1:0]		—	TSEG2[2:0]			TSEG1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-10	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
9, 8	SJW[1:0]	再同期ジャンプ幅制御ビット	b9 b8 0　0：1 Tq 0　1：2 Tq 1　0：3 Tq 1　1：4 Tq	R/W
7	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
6-4	TSEG2[2:0]	タイム・セグメント2制御ビット	b6 b5 b4 0　0　0：設定しないでください 0　0　1：2Tq 0　1　0：3Tq 0　1　1：4Tq 1　0　0：5Tq 1　0　1：6Tq 1　1　0：7Tq 1　1　1：8Tq	R/W
3-0	TSEG1[3:0]	タイム・セグメント1制御ビット	b3 b2 b1 b0 0　0　0　0：設定しないでください 0　0　0　1：設定しないでください 0　0　1　0：設定しないでください 0　0　1　1：4Tq 0　1　0　0：5Tq 0　1　0　1：6Tq 0　1　1　0：7Tq 0　1　1　1：8Tq 1　0　0　0：9Tq 1　0　0　1：10Tq 1　0　1　0：11Tq 1　0　1　1：12Tq 1　1　0　0：13Tq 1　1　0　1：14Tq 1　1　1　0：15Tq 1　1　1　1：16Tq	R/W

CiCFGHレジスタは、チャネル・リセット・モードまたはチャネル待機モードでのみ書き換えてください。また、チャネル・リセット・モードで本レジスタを設定した後で、チャネル通信モードまたはチャネル待機モードに遷移してください。ビット・タイミングの設定については「18.11　初期設定」を参照してください。

・SJW[1:0]ビット

再同期ジャンプ幅（Resynchronization jump width）をTq値で指定します。1～4Tqの値が設定可能です。TSEG2ビット以下の値を設定してください。

・TSEG2[2:0]ビット

フェーズ・バッファ・セグメント2（PHASE_SEG2）の長さをTq値で指定します。

2～8Tqの値が設定可能です。

TSEG1ビットより小さい値を設定してください

・TSEG1[3:0]ビット

プロパゲーション・タイム・セグメント（PROP_SEG）とフェーズ・バッファ・セグメント1（PHASE_SEG1）の合計長をTq値で指定します。

4～16Tqの値が設定可能です。

18.3.3　CANi制御レジスタL（CiCTRL）（i = 0, 1）

アドレス　　C0CTRL：F0304H、C1CTRL：F0314H

CiCTRLレジスタは16ビット単位でアクセスできます。また、CiCTRLL, CiCTRLHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
15	ALIE	アービトレーション・ロスト割り込み許可ビット	0：アービトレーション・ロスト割り込み禁止 1：アービトレーション・ロスト割り込み許可	R/W
14	BLIE	バス・ロック割り込み許可ビット	0：バス・ロック割り込み禁止 1：バス・ロック割り込み許可	R/W
13	OLIE	オーバロード・フレーム送信割り込み許可ビット	0：オーバロード・フレーム送信割り込み禁止 1：オーバロード・フレーム送信割り込み許可	R/W
12	BORIE	バスオフ復帰割り込み許可ビット	0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可	R/W
11	BOEIE	バスオフ開始割り込み許可ビット	0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可	R/W
10	EPIE	エラー・パッシブ割り込み許可ビット	0：エラー・パッシブ割り込み禁止 1：エラー・パッシブ割り込み許可	R/W
9	EWIE	エラー・ワーニング割り込み許可ビット	0：エラー・ワーニング割り込み禁止 1：エラー・ワーニング割り込み許可	R/W
8	BEIE	プロトコル・エラー割り込み許可ビット	0：プロトコル・エラー割り込み禁止 1：プロトコル・エラー割り込み許可	R/W
7-4	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
3	RTBO	バスオフ強制復帰ビット	RTBOビットを1にすると、バスオフから強制的に復帰する。 常に0が読める。	R/W
2	CSLPR	チャネル・ストップ・モード・ビット	0：チャネル・ストップ・モードではない 1：チャネル・ストップ・モード	R/W
1, 0	CHMDC [1:0]	モード選択ビット	b1　b0 0　0：チャネル通信モード 0　1：チャネル・リセット・モード 1　0：チャネル待機モード 1　1：設定しないでください	R/W

・ALIEビット

ALIEビットを1に設定し、CiERFLLレジスタのALFフラグが1になった場合、エラー割り込み要求が発生します。

このビットはチャネル・リセット・モードでのみ書き換えてください。

・BLIEビット

BLIEビットを1に設定し、CiERFLLレジスタのBLFフラグが1になった場合、エラー割り込み要求が発生します。

このビットはチャネル・リセット・モードでのみ書き換えてください。

・OLIEビット

OLIEビットを1に設定し、CiERFLLレジスタのOVLFフラグが1になった場合、エラー割り込み要求が発生します。

このビットはチャネル・リセット・モードでのみ書き換えてください。

・BORIEビット

BORIEビットを1に設定し、CiERFLLレジスタのBORFフラグが1になった場合、エラー割り込み要求が発生します。このビットはチャネル・リセット・モードでのみ書き換えてください。

・BOEIEビット

BOEIEビットを1に設定し、CiERFLLレジスタのBOEFフラグが1になった場合、エラー割り込み要求が発生します。このビットはチャネル・リセット・モードでのみ書き換えてください。

・EPIEビット

EPIEビットを1に設定し､CiERFLLレジスタのEPFフラグが1になった場合､エラー割り込み要求が発生します。このビットはチャネル・リセット・モードでのみ書き換えてください。

・EWIEビット

EWIEビットを1に設定し、CiERFLLレジスタのEWFフラグが1になった場合、エラー割り込み要求が発生します。このビットはチャネル・リセット・モードでのみ書き換えてください。

・BEIEビット

BEIEビットを1に設定し、CiERFLLレジスタのBEFフラグが1になった場合、エラー割り込み要求が発生します。このビットはチャネル・リセット・モードでのみ書き換えてください。

・RTBOビット

バスオフ状態時1（バスオフからの強制復帰）にすると、強制的にバスオフ状態からエラー・アクティブ状態へと変化します。このビットは自動的に0になります。1にすると、CiSTSHレジスタのTEC[7:0]ビットとREC[7:0]ビットがH'00になり、CiSTSLレジスタのBOSTSフラグは0（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。
CiCTRHレジスタのBOM[1:0]ビットがB'00（ISO11898-1仕様準拠）のときにのみ使用してください。
RTBOビットを1にしてからエラー・アクティブ状態に遷移するまでに、最大1 CANビット・タイムの遅延が発生します。このビットはチャネル通信モードで1を書いてください。

・CSLPRビット

1にすると、チャネル・ストップ・モードになります。
0にすると、チャネル・ストップ・モードは解除されます。
このビットは、チャネル通信モードまたはチャネル待機モードでは書き換えないでください。

・CHMDC[1:0]ビット

チャネルのモード（チャネル通信モード、チャネル・リセット・モード、チャネル待機モード）を選択するビットです。詳細は、「18.4.2　チャネル・モード」を参照してください。チャネル・ストップ・モードへは、チャネル・リセット・モード時にCSLPRビットを1にすることで遷移します。CHMDC[1:0]ビットをB'11には設定しないでください。BOM[1:0]ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0]ビットは自動的にB'10になります。

18.3.4　CANi制御レジスタH（CiCTRH）（i = 0, 1）

アドレス　　C0CTRH：F0306H、C1CTRH：F0316H

CiCTRHレジスタは16ビット単位でアクセスできます。また、CiCTRHL，CiCTRHHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	—	—	—	TAIE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-11	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
10, 9	CTMS[1:0]	通信テスト・モード選択ビット	b10　b9 0　0：標準テスト・モード 0　1：リッスン・オンリ・モード 1　0：セルフ・テスト・モード0 （外部ループ・バック・モード） 1　1：セルフ・テスト・モード1 （内部ループ・バック・モード）	R/W
8	CTME	通信テスト・モード許可ビット	0：通信テスト・モード禁止 1：通信テスト・モード許可	R/W
7	ERRD	エラー表示モード選択ビット	0：CiERFLLレジスタのビット14～8がすべてクリアされた後、最初に発生したエラー情報のエラー・フラグのみ表示 1：発生したすべてのエラー情報のエラー・フラグを表示	R/W
6, 5	BOM[1:0]	バスオフ復帰モード選択ビット	b6　b5 0　0：ISO11898-1仕様準拠 0　1：バスオフ開始でチャネル待機モードへ遷移 1　0：バスオフ終了でチャネル待機モードへ遷移 1　1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移	R/W
4-1	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
0	TAIE	送信アボート割り込み許可ビット	0：送信アボート割り込み禁止 1：送信アボート割り込み許可	R/W

・CTMS[1:0]ビット

通信テスト・モードを選択するビットです。このビットはチャネル待機モードでのみ書き換えてください。チャネル・リセット・モード時は0になります。

・CTMEビット

1にすると通信テスト･モードは許可になります。このビットはチャネル待機モードでのみ書き換えてください。チャネル・リセット・モード時は0になります。

・ERRDビット

CiERFLLレジスタのビット14～8の表示モードを制御します。

0にすると最初に発生したエラーのフラグのみが1になります。最初に複数のエラーが発生した場合、検出された複数のエラーのフラグはすべて1になります。

1にすると発生順に関係なく、起こったエラーのフラグはすべて1になります。

このビットはチャネル・リセット・モードまたはチャネル待機モードでのみ書き換えてください。

・BOM[1:0]ビット

CANモジュールのバスオフ復帰モードを選択します。

BOM[1:0]ビットがB'00の場合、バスオフ状態からエラー・アクティブ状態への復帰はCAN仕様に準拠します。すなわち、CANモジュールは、11ビットの連続するレセシブを128回検出後、再びCAN通信（エラー・アクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128回検出する前にCHMDC[1:0]ビットをB'10（チャネル待機モード）にしても128回検出するまでチャネル待機モードには遷移しません。

BOM[1:0]ビットがB'01 の場合、CANモジュールがバスオフ状態に達すると、CiCTRLレジスタのCHMDC[1:0]ビットがB'10になり、チャネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、CiSTSHレジスタのTEC[7:0]ビットとREC[7:0]ビットがH'00になります。

BOM[1:0]ビットがB'10の場合、CANモジュールがバスオフ状態に達するとCHMDC[1:0]ビットがB'10になり、バスオフ状態から復帰した（11ビットの連続するレセシブを128回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0]ビットとREC[7:0]ビットがH'00になります。

BOM[1:0]ビットがB'11の場合、CANモジュールがバスオフ状態のときにCHMDC[1:0]ビットをB'10にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0]ビットとREC[7:0]ビットはH'00になります。しかし、CHMDC[1:0]ビットをB'10にする前に、11ビットの連続するレセシブを128回検出して、バスオフ状態からエラー・アクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがチャネル待機モードに遷移するのと同時（BOM[1:0]ビットがB'01のとき：バスオフ開始時、またはBOM[1:0]ビットがB'10のとき：バスオフ終了時）に、CPUがチャネル・リセット・モードへの遷移を要求した場合は、CPUの要求が優先されます。このビットはチャネル・リセット・モードでのみ書き換えてください。

・TAIEビット

TAIEビットを1に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネル・リセット・モードでのみ書き換えてください。

18.3.5　CANiステータス・レジスタL（CiSTSL）（i = 0, 1）

アドレス　　C0STSL：F0308H、C1STSL：F0318H

CiSTSLレジスタは16ビット単位でアクセスできます。また、CiSTSLL, CiSTSLHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
15-8	−	（予約ビット）	読むと0が読み出されます。	R
7	COMSTS	通信ステータス・フラグ	0：通信可能な状態ではない 1：通信可能な状態	R
6	RECSTS	受信ステータス・フラグ	0：バスアイドルまたは送信中またはバスオフ状態 1：受信中	R
5	TRMSTS	送信ステータス・フラグ	0：バスアイドルまたは受信中 1：送信中またはバスオフ状態	R
4	BOSTS	バスオフ・ステータス・フラグ	0：バスオフ状態ではない 1：バスオフ状態	R
3	EPSTS	エラー・パッシブステータス・フラグ	0：エラー・パッシブ状態ではない 1：エラー・パッシブ状態	R
2	CSLPSTS	チャネル・ストップ・ステータス・フラグ	0：チャネル・ストップ・モードではない 1：チャネル・ストップ・モード	R
1	CHLTSTS	チャネル待機ステータス・フラグ	0：チャネル待機モードではない 1：チャネル待機モード	R
0	CRSTSTS	チャネル・リセット・ステータス・フラグ	0：チャネル・リセット・モードではない 1：チャネル・リセット・モード	R

・COMSTSフラグ

通信準備が整ったことを示すビットです。

チャネル・リセット・モードまたはチャネル待機モードからチャネル通信モードに移行し、11ビットの連続するレセシブを検出した後に1になります。チャネル・リセット・モードまたはチャネル待機モード時は0になります。

・RECSTSフラグ

受信を開始すると1になります。バスアイドル状態になるか、または送信を開始すると0になります。

・TRMSTSフラグ

送信を開始すると1になります。バスオフ状態では1のままです。バスアイドル状態になるか、または受信を開始すると0になります。

・BOSTSフラグ

バスオフ状態（TEC[7:0]ビット＞255）になると1になります。バスオフ状態以外になると0になります。

・EPSTSフラグ

エラー・パッシブ状態（128≦TEC[7:0]ビット≦255または128≦REC[7:0]ビット）になると1になります。エラー・パッシブ状態以外になるか、またはチャネル・リセット・モードになると0になります。

・CSLPSTSフラグ

チャネル・ストップ・モードに遷移すると1になります。チャネル・ストップ・モードから復帰すると0になります。

・CHLTSTSフラグ

チャネル待機モードに遷移すると1になります。チャネル待機モード以外のモードに遷移すると0になります。

・CRSTSTSフラグ

チャネル・リセット・モードに遷移すると1になります。チャネル通信モードまたはチャネル待機モードに遷移すると0になります。チャネル・リセット・モードからチャネル・ストップ・モードに遷移しても1のままです。

18.3.6　CANiステータス・レジスタH（CiSTSH）（i = 0, 1）

アドレス　　C0STSH：F030AH、C1STSH：F031AH

CiSTSHレジスタは16ビット単位でアクセスできます。また、CiSTSHL, CiSTSHHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TEC[7:0]								REC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	カウンタ値	R/W
15-8	TEC[7:0]	送信エラー・カウンタ（TEC）の値が読めます。	－	R
7-0	REC[7:0]	受信エラー・カウンタ（REC）の値が読めます。	－	R

・TEC[7:0]ビット

送信エラー・カウンタの値を示します。送信エラー・カウンタの増減条件については、CAN仕様（ISO11898-1）を参照してください。

チャネル・リセット・モード時は0になります。

・REC[7:0]ビット

受信エラー・カウンタの値を示します。受信エラー・カウンタの増減条件については、CAN仕様（ISO11898-1）を参照してください。

チャネル・リセット・モード時は0になります。

18.3.7　CANiエラー・フラグ・レジスタL（CiERFLL）（i = 0, 1）

アドレス　　C0ERFLL：F030CH、C1ERFLL：F031CH

CiERFLLレジスタは16ビット単位でアクセスできます。また、CiERFLLL, CiERFLLHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
14	ADERR	ACKデリミタ・エラー・フラグ	0：ACKデリミタ・エラー未検出 1：ACKデリミタ・エラー検出	R/(W)注
13	B0ERR	ドミナント・ビット・エラー・フラグ	0：ドミナント・ビット・エラー未検出 1：ドミナント・ビット・エラー検出	R/(W)注
12	B1ERR	レセシブ・ビット・エラー・フラグ	0：レセシブ・ビット・エラー未検出 1：レセシブ・ビット・エラー検出	R/(W)注
11	CERR	CRCエラー・フラグ	0：CRCエラー未検出 1：CRCエラー検出	R/(W)注
10	AERR	ACKエラー・フラグ	0：ACKエラー未検出 1：ACKエラー検出	R/(W)注
9	FERR	フォーム・エラー・フラグ	0：フォーム・エラー未検出 1：フォーム・エラー検出	R/(W)注
8	SERR	スタッフ・エラー・フラグ	0：スタッフ・エラー未検出 1：スタッフ・エラー検出	R/(W)注
7	ALF	アービトレーション・ロスト・フラグ	0：アービトレーション・ロスト未検出 1：アービトレーション・ロスト検出	R/(W)注
6	BLF	バス・ロック・フラグ	0：チャネル・バス・ロック未検出 1：チャネル・バス・ロック検出	R/(W)注
5	OVLF	オーバロード・フラグ	0：オーバロード未検出 1：オーバロード検出	R/(W)注
4	BORF	バスオフ復帰フラグ	0：バスオフ復帰未検出 1：バスオフ復帰検出	R/(W)注
3	BOEF	バスオフ開始フラグ	0：バスオフ開始未検出 1：バスオフ開始検出	R/(W)注
2	EPF	エラー・パッシブ・フラグ	0：エラー・パッシブ未検出 1：エラー・パッシブ検出	R/(W)注
1	EWF	エラー・ワーニング・フラグ	0：エラー・ワーニング未検出 1：エラー・ワーニング検出	R/(W)注
0	BEF	バス・エラー・フラグ	0：チャネル・バス・エラー未検出 1：チャネル・バス・エラー検出	R/(W)注

注　このフラグビットへの書き込みは、ステータス・クリアする（0にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。0を書く場合は8ビット・データ転送命令または16ビット・データ転送命令を使用してください。

各エラーの発生条件を確認するには、CAN仕様（ISO11898-1）を参照してください。各フラグを0にする場合は、プログラムで0を書いてください。プログラムで1にできません。フラグが1になるタイミングとプログラムで0を書くタイミングが同じ場合、そのフラグは1になります。チャネル・リセット・モード時、0になります。

CiERFLLレジスタのビット14～8に関して、CiCTRHレジスタのERRDビットを0（最初に発生したエラー情報のみ表示）に設定したとき、ビット14～8のすべてのフラグが0の状態でエラーが検出された場合に、対応するフラグは1になります。

・ADERRフラグ

送信中のACKデリミタでフォーム・エラーを検出すると1になります。

・B0ERRフラグ

ドミナントを送信したにも関わらずレセシブを検出すると1になります。

・B1ERRフラグ

レセシブを送信したにも関わらずドミナントを検出すると1になります。

・CERRフラグ

CRCエラーを検出すると1になります。

・AERRフラグ

ACKエラーを検出すると1になります。

・FERRフラグ

フォーム・エラーを検出すると1になります。

・SERRフラグ

スタッフ・エラーを検出すると1になります。

・ALFフラグ

アービトレーション・ロストを検出すると1になります。

・BLFフラグ

チャネル通信モード時、CANバス上に32ビットの連続するドミナントを検出すると1になります。

1になった後、次のいずれかの条件が成立するとバス・ロックを再検出できるようになります。

- ・BLFビットを1から0にした後、レセシブ・ビットを検出。
- ・BLFビットを1から0にした後、チャネル・リセット・モードに遷移し、
  再度チャネル通信モードに遷移。

・OVLFフラグ

受信または送信を行う場合に、オーバロード・フレームの送信条件が検出されると1になります。

・BORFフラグ

11ビットの連続するレセシブを128回検出してバスオフ状態から復帰すると1になります。ただし、11ビットの連続するレセシブを128回検出する前に、以下の方法でバスオフ状態から復帰した場合は1になりません。

- ・CiCTRLレジスタのCHMDC[1:0]ビットをB'01（チャネル・リセット・モード）に設定した場合
- ・CiCTRLレジスタのRTBOビットを1（バスオフからの強制復帰）に設定した場合
- ・CiCTRHレジスタのBOM[1:0]ビットをB'01（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- ・BOM[1:0]ビットがB'11（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11ビットの連続するレセシブを128回検出する前に、CHMDC[1:0]ビットをB'10（チャネル待機モード）に設定した場合

・BOEFフラグ

バスオフ状態（TEC[7:0]ビット＞255）になると1になります。CiCTRHレジスタのBOM[1:0]ビットがB'01（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も1になります。

・EPFフラグ

エラー・パッシブ状態（REC[7:0]またはTEC[7:0]ビット＞127）になると1になります。REC[7:0]またはTEC[7:0]ビットが最初に127を超えたときのみ1になります。したがって、REC[7:0]またはTEC[7:0]ビットが127を超えたままで、プログラムで0を書いた場合、一度REC[7:0]とTEC[7:0]ビットの両方が127以下になり、再びREC[7:0]またはTEC[7:0]ビットが127を超えるまでは1にはなりません。

・EWFフラグ

REC[7:0] またはTEC[7:0]ビットの値が95を超えると1になります。REC[7:0]またはTEC[7:0]ビットが最初に95を超えたときのみ1になります。したがって、REC[7:0]またはTEC [7:0]ビットが95を超えたままで、プログラムで0を書いた場合、一度REC[7:0]とTEC[7:0]ビットの両方が95以下になり、再びREC[7:0]またはTEC[7:0]ビットが95を超えるまでは1にはなりません。

・BEFフラグ

CiERFLLレジスタのADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERRフラグのいずれか1つでも1になると、BEFフラグは1になります。

18.3.8　CANiエラー・フラグ・レジスタH（CiERFLH）（i = 0, 1）

アドレス　　C0ERFLH：F030EH、C1ERFLH：F031EH

CiERFLHレジスタは16ビット単位でアクセスできます。また、CiERFLHL, CiERFLHHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CRCREG[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
14-0	CRCREG [14:0]	CRC演算データ	送信メッセージまたは受信メッセージを基に計算したCRC値を表示します。	R

・CRCREG[14:0]ビット

CiCTRHレジスタのCTMEビットが1（通信テスト・モード許可）の場合、送信または受信メッセージを基に計算したCRC値が読めます。CTMEビットが0（通信テスト・モード禁止）の場合、常に0が読めます。

18.3.9　CANグローバル設定レジスタL（GCFGL）

アドレス　　GCFGL：F0322H

GCFGLレジスタは16ビット単位でアクセスできます。また、GCFGLL, GCFGLHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TSBTCS	TSSS	TSP[3:0]				—	—	—	DCS	MME	DRE	DCE	TPRI
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-14	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
13	TSBTCS	タイムスタンプ・ビット・タイム・チャネル選択ビット	0：チャネル0のクロック 1：チャネル1のクロック	R/W
12	TSSS	タイムスタンプ・クロック源選択ビット	0：f_{CLK}を2分周したクロック（$f_{CLK}/2$） 1：CANiビット・タイム・クロック	R/W
11-8	TSP[3:0]	タイムスタンプ・クロック源分周ビット	b11　b10　b9　b8 0　0　0　0：分周なし 0　0　0　1：2分周 0　0　1　0：4分周 0　0　1　1：8分周 0　1　0　0：16分周 0　1　0　1：32分周 0　1　1　0：64分周 0　1　1　1：128分周 1　0　0　0：256分周 1　0　0　1：512分周 1　0　1　0：1024分周 1　0　1　1：2048分周 1　1　0　0：4096分周 1　1　0　1：8192分周 1　1　1　0：16384分周 1　1　1　1：32768分周	R/W
7-5	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
4	DCS	CANクロック源選択ビット	0：f_{CLK}を2分周したクロック（$f_{CLK}/2$） 1：X1クロック（f_X）	R/W
3	MME	ミラー機能許可ビット	0：ミラー機能禁止 1：ミラー機能許可	R/W
2	DRE	DLC置換許可ビット	0：DLC置換禁止 1：DLC置換許可	R/W
1	DCE	DLCチェック許可ビット	0：DLCチェック禁止 1：DLCチェック許可	R/W
0	TPRI	送信優先順位選択ビット	0：ID優先 1：送信バッファ番号優先	R/W

GCFGLレジスタはグローバル・リセット・モードでのみ書き換えてください。

・TSBTCSビット

タイムスタンプ・カウンタのビット・タイム・クロックのチャネルを選択します。

・TSSSビット

タイムスタンプ・カウンタのクロック源を選択します。

・TSP[3:0]ビット

TSSSビットで選択したクロック源をTSP[3:0]ビットで分周したクロックがタイムスタンプ・カウンタのカウント・ソースになります。

・DCSビット

0のとき、f_{CLK}を2分周したクロック（$f_{CLK}/2$）がCANクロック（f_{CAN}）のクロック源になります。

1のとき、X1クロック（f_X）がCANクロックのクロック源になります。X1クロック（f_X）を選択する場合、X1クロック（f_X）はf_{CLK}の1/2以下[注1, 2]にしてください。

注1. f_{CLK}のクロック源が高速オンチップ・オシレータ・クロック（f_{IH}）の場合、または高速オンチップ・オシレータ・クロックをクロック源とするPLLクロックの場合、「$f_X < f_{CLK}/2$」としてください。

2. f_{CLK}が高速システム・クロックの場合、f_{CAN}にf_Xを選択しないでください。

・MMEビット

1にすると、ミラー機能が使用できます。

・DREビット

DREビットを1にすると、DLCフィルタを通過した場合、受信メッセージのDLC値の代わりに、受信ルールのDLC値がバッファに格納されます。この場合、受信ルールのDLC値を超えるデータ・バイトにはH'00が格納されます。

DCEビットが1（DLCチェック許可）のときに、DLC置換機能を使用できます。

・DCEビット

1にすると、DLCチェック機能が使用できます。GAFLPHjレジスタのGAFLDLC[3:0]ビットをB'0000にしてから、GCFGLレジスタのDCEビットを0にしてください。

・TPRIビット

TPRIビットにより、送信優先順位を設定します。

0の場合、ID優先となり送信優先順位はCANバス・アービトレーション・ルール（ISO11898-1仕様）に準拠します。1の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

18.3.10 CANグローバル設定レジスタH（GCFGH）

アドレス GCFGH：F0324H

GCFGHレジスタは16ビット単位でアクセスできます。また、GCFGHL, GCFGHHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ITRCP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	ITRCP[15:0]	インターバル・タイマ・プリスケーラ設定ビット	設定値をMとするとf_{CLK}/2をM分周します。 インターバル・タイマを使用する場合、H'0000を設定しないでください。	R/W

GCFGHレジスタはグローバル・リセット・モードでのみ書き換えてください。

・ITRCP[15:0]ビット

FIFO用インターバル・タイマのクロック源の分周値を設定します。詳細は「18.6.3（1） インターバル送信機能」を参照してください。

18.3.11　CANグローバル制御レジスタL（GCTRL）

アドレス　　GCTRL：F0326H

GCTRLレジスタは16ビット単位でアクセスできます。また、GCTRLL, GCTRLHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
15-11	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
10	THLEIE	送信履歴バッファ・オーバフロー割り込み許可ビット	0：送信履歴バッファ・オーバフロー割り込み禁止 1：送信履歴バッファ・オーバフロー割り込み許可	R/W
9	MEIE	FIFOメッセージ・ロスト割り込み許可ビット	0：FIFOメッセージ・ロスト割り込み禁止 1：FIFOメッセージ・ロスト割り込み許可	R/W
8	DEIE	DLCエラー割り込み許可ビット	0：DLCエラー割り込み禁止 1：DLCエラー割り込み許可	R/W
7-3	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
2	GSLPR	グローバル・ストップ・モードビット	0：グローバル・ストップ・モードではない 1：グローバル・ストップ・モード	R/W
1, 0	GMDC[1:0]	グローバル・モード選択ビット	b1　b0 0　0：グローバル動作モード 0　1：グローバル・リセット・モード 1　0：グローバル・テスト・モード 1　1：設定しないでください	R/W

・THLEIEビット

THLEIEビットを1に設定し、GERFLLレジスタのTHLESフラグが1になった場合、 割り込み要求が発生します。このビットはグローバル・リセット・モードでのみ書き換えてください。

・MEIEビット

MEIEビットを1に設定し、GERFLLレジスタのMESフラグが1になった場合、 割り込み要求が発生します。このビットはグローバル・リセット・モードでのみ書き換えてください。

・DEIEビット

DEIEビットを1に設定し、GERFLLレジスタのDEFフラグが1になった場合、 割り込み要求が発生します。このビットはグローバル・リセット・モードでのみ書き換えてください。

・GSLPRビット

1にすると、グローバル・ストップ・モードになります。

0にすると、グローバル・ストップ・モードは解除されます。

このビットは、グローバル動作モードまたはグローバル・テスト・モードでは書き換えないでください。

・GMDC[1:0]ビット

CANモジュール全体のモード（グローバル動作モード、グローバル・リセット・モード、グローバル・テスト・モード）を選択するビットです。詳細は「18.4.1　グローバル・モード」を参照してください。グローバル・ストップ・モードへは、グローバル・リセット・モード時にGSLPRビットを1にすることで遷移します。

18.3.12　CANグローバル制御レジスタH（GCTRH）

アドレス　　GCTRH：F0328H

GCTRHレジスタは16ビット単位でアクセスできます。また、GCTRHL, GCTRHHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-1	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
0	TSRST	タイムスタンプ・カウンタ・リセット・ビット	TSRSTビットを1にすると、タイムスタンプ・カウンタをリセットします。読むと0が読み出されます。	R/W

・TSRSTビット

タイムスタンプ・カウンタをリセットするために使用します。1にするとGTSCレジスタがH'0000になります。

18.3.13 CANグローバル・ステータス・レジスタ（GSTS）

アドレス GSTS：F032AH

GSTSレジスタは16ビット単位でアクセスできます。また、GSTSL, GSTSHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
15-4	−	（予約ビット）	読むと0が読み出されます。	R
3	GRAMINIT	CAN用RAMクリア・ステータス・フラグ	0：CAN用RAMクリア完了 1：CAN用RAMクリア中	R
2	GSLPSTS	グローバル・ストップ・ステータス・フラグ	0：グローバル・ストップ・モードではない 1：グローバル・ストップ・モード	R
1	GHLTSTS	グローバル・テスト・ステータス・フラグ	0：グローバル・テスト・モードではない 1：グローバル・テスト・モード	R
0	GRSTSTS	グローバル・リセット・ステータス・フラグ	0：グローバル・リセット・モードではない 1：グローバル・リセット・モード	R

・GRAMINITフラグ

CAN用RAMのクリア状態を示します。

CANモジュール・イネーブル後、1になります。CAN用RAMクリアが完了すると0になります。

・GSLPSTSフラグ

グローバル・ストップ・モードに遷移すると1になります。グローバル・ストップ・モードから復帰すると0になります。

・GHLTSTSフラグ

グローバル・テスト・モードに遷移すると1になります。グローバル・テスト・モード以外のモードに遷移すると0になります。

・GRSTSTSフラグ

グローバル・リセット・モードに遷移すると1になります。

グローバル・リセット・モード以外のモードに遷移すると0になります。グローバル・リセット・モードからグローバル・ストップ・モードに遷移しても、1のままです。

18.3.14　CANグローバル・エラー・フラグ・レジスタ（GERFLL）

アドレス　　GERFLL：F032CH

GERFLL レジスタは 8 ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLES	MES	DEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-3	−	（予約ビット）	読むと不定が読み出されます。書き込みは0としてください。	R
2	THLES	送信履歴バッファ・オーバフロー・ステータス・フラグ	0：送信履歴バッファ・オーバフローなし 1：送信履歴バッファ・オーバフロー	R
1	MES	FIFOメッセージ・ロスト・ステータス・フラグ	0：FIFOメッセージ・ロストエラーなし 1：FIFOメッセージ・ロストエラー	R
0	DEF	DLCエラー・フラグ	0：DLCエラーなし 1：DLCエラー	R/(W)注

注　このフラグビットへの書き込みは、ステータス・クリアする（0にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。0を書く場合は8ビット・データ転送命を使用してください。

GERFLLレジスタのフラグは、グローバル・リセット・モード時、0になります。

・THLESフラグ

THLSTSiレジスタのTHLELTフラグが1になると、THLESフラグは1になります。

THLELTフラグを0にすると、THLESフラグは0になります。

・MESフラグ

RFSTSmレジスタ（m = 0～3）のRFMLTフラグまたはCFSTSkレジスタのCFMLTフラグのいずれか1つでも1になると、MESフラグは1になります。

すべてのRFMLTフラグおよびCFMLTフラグを0にすると、MESフラグは0になります。

・DEFフラグ

DLCチェックでエラーが検出されると1になります。プログラムで0を書くことで0にできます。

18.3.15　CANグローバル送信割り込みステータス・レジスタ（GTINTSTS）

アドレス　　GTINTSTS：F0388H

GTINTSTSレジスタは16ビット単位でアクセスできます。また、GTINTSTSL, GTINTSTSHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	THIF1	CFTIF1	TAIF1	TSIF1	—	—	—	—	THIF0	CFTIF0	TAIF0	TSIF0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	−	（予約ビット）	読むと不定が読み出されます。書き込みは0としてください。	R
11	THIF1	CAN1送信履歴割り込み ステータス・フラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R
10	CFTIF1	CAN1送受信FIFO送信割り込み ステータス・フラグ	0：送受信FIFO 送信割り込み要求なし 1：送受信FIFO 送信割り込み要求あり	R
9	TAIF1	CAN1送信バッファ・ボート 割り込みステータス・フラグ	0：送信バッファ・ボート割り込み要求なし 1：送信バッファ・ボート割り込み要求あり	R
8	TSIF1	CAN1送信バッファ割り込み ステータス・フラグ	0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり	R
7-4	−	（予約ビット）	読むと不定が読み出されます。書き込みは0としてください。	R
3	THIF0	CAN0送信履歴割り込み ステータス・フラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R
2	CFTIF0	CAN0送受信FIFO割り込み ステータス・フラグ	0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり	R
1	TAIF0	CAN0送信バッファ・アボート 割り込みステータス・フラグ	0：送信バッファ・アボート割り込み要求なし 1：送信バッファ・アボート割り込み要求あり	R
0	TSIF0	CAN0送信バッファ割り込み ステータス・フラグ	0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり	R

GTINTSTSレジスタのフラグは、グローバル・リセットまたはチャネル・リセット・モード時に0になります。

・THIF0, THIF1フラグ

THLCCiレジスタのTHLIEビットが1（割り込み許可）、かつTHLSTSiレジスタのTHLIFフラグが1（割り込み要求あり）になると、THIF0, THIF1フラグは1になります。

THLIFフラグを0にすると、このフラグは0になります。また、THLIEビットを0にすることでも、このフラグは0になります。

・CFTIF0, CFTIF1フラグ

CFCCLkレジスタのCFTXIEビットが1（割り込み許可）、かつCFSTSkレジスタのCFTXIFフラグが1（割り込み要求あり）になると、CFTIF0, CFTIF1フラグは1になります。

CFTXIFフラグを0にすると、このフラグは0になります。また、CFTXIEビットを0にすることでも、このフラグは0になります。

・TAIF0, TAIF1フラグ

CiCTRHレジスタのTAIEビットが1（割り込み許可）、かつTMSTSpレジスタのTMTRF[1:0]フラグがB'01（送信アボート完了）になると、TAIF0, TAIF1フラグは1になります。

送信アボート完了したTMTRF[1:0]フラグをすべてB'00にすると、このフラグは0になります。

・TSIF0, TSIF1フラグ

TMIECレジスタのTMIEpビットが1（割り込み許可）、かつ対応するTMSTSpレジスタのTMTRF[1:0]フラグがB’10（送信完了、アボート要求なし）、またはB’11（送信完了、アボート要求あり）になると、TSIF0, TSIF1フラグは1になります。

TSIF0, TSIF1フラグが1になる条件が成立しているTMTRF[1:0]フラグをすべてB’00にすると、このフラグは0になります。また、TMIEpビットを0にすることでも、このフラグは0になります。

18.3.16　CANタイムスタンプ・レジスタ（GTSC）

アドレス　　GTSC：F032EH

GTSCレジスタは16ビット単位でアクセスできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	カウンタ値	R/W
15-0	TS[15:0]	タイムスタンプ用カウンタの値が読めます。	H'0000～H'FFFF	R

・TS[15:0]ビット

TS[15:0]ビットを読むと、その時点のタイムスタンプ・カウンタ（16ビット・フリーランカウンタ）の値が読めます。SOFを検出したとき、TS[15:0]ビットの値がキャプチャされ、その後、受信バッファまたはFIFOバッファに格納されます。タイムスタンプ・カウンタはグローバル・リセット・モードで初期化されます。タイムスタンプ・カウンタの開始、停止タイミングは、カウント・ソースに依存します。

・GCFGLレジスタのTSSSビットが0（f_{CLK}を2分周したクロック（$f_{CLK}/2$）を選択）の場合

グローバル動作モードへ遷移したときにカウント開始。

グローバル・ストップ・モードまたはグローバル・テスト・モードでカウント停止。

・TSSSビットが1（CANiビット・タイム・クロックを選択）の場合

対応するチャネルがチャネル通信モードへ遷移したときにカウント開始。

対応するチャネルがチャネル・リセット・モードまたはチャネル待機モードでカウント停止。

18.3.17 CAN受信ルール数設定レジスタ（GAFLCFG）

アドレス GAFLCFG：F0330H

GAFLCFGレジスタは16ビット単位でアクセスできます。また、GAFLCFGL, GAFLCFGHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RNC1[5:0]						—	—	RNC0[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-14	—	（予約ビット）	読むと0が読み出されます。	R
13-8	RNC1[5:0]	CAN1受信ルール数設定ビット	チャネル1の受信ルール数を設定してください。 設定範囲はH’00～H’28です。	R/W
7-6	—	（予約ビット）	読むと0が読み出されます。	R
5-0	RNC0[5:0]	CAN0受信ルール数設定ビット	チャネル0の受信ルール数を設定してください。 設定範囲はH’00～H’28です。	R/W

GAFLCFGレジスタはグローバル・リセット・モードでのみ書き換えてください。

受信ルール・テーブルに登録できるルール数は、2チャネル合計で最大40です。

・RNCi[5:0]ビット（i = 0, 1）

チャネルiの受信ルール・テーブルに登録するルール数を設定します。

H'00～H’28以外の値を設定しないでください。

18.3.18　CAN受信ルール登録レジスタjAL（GAFLIDLj）（j = 0～39）

アドレス　GAFLIDL0：F03A0H、GAFLIDL1：F03ACH、GAFLIDL2：F03B8H、GAFLIDL3：F03C4H
GAFLIDL4：F03D0H、GAFLIDL5：F03DCH、GAFLIDL6：F03E8H、GAFLIDL7：F03F4H
GAFLIDL8：F0400H、GAFLIDL9：F040CH、GAFLIDL10：F0418H、GAFLIDL11：F0424H
GAFLIDL12：F0430H、GAFLIDL13：F043CH、GAFLIDL14：F0448H、GAFLIDL15：F0454H
GAFLIDL16：F0460H、GAFLIDL17：F046CH、GAFLIDL18：F0478H、GAFLIDL19：F0484H
GAFLIDL20：F0490H、GAFLIDL21：F049CH、GAFLIDL22：F04A8H、GAFLIDL23：F04B4H
GAFLIDL24：F04C0H、GAFLIDL25：F04CCH、GAFLIDL26：F04D8H、GAFLIDL27：F04E4H
GAFLIDL28：F04F0H、GAFLIDL29：F04FCH、GAFLIDL30：F0508H、GAFLIDL31：F0514H
GAFLIDL32：F0520H、GAFLIDL33：F052CH、GAFLIDL34：F0538H、GAFLIDL35：F0544H
GAFLIDL36：F0550H、GAFLIDL37：F055CH、GAFLIDL38：F0568H、GAFLIDL39：F0574H

GAFLIDLjレジスタは16ビット単位でアクセスできます。また、GAFLIDLjL, GAFLIDLjHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	GAFLID[15:0]	ID設定ビットL	受信ルールのIDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b15～b11は0にしてください。	R/W

GAFLIDLjレジスタは、GRWCRレジスタのRPAGEビットが0で、かつグローバル・リセット・モードでのみ書き換えてください。

・GAFLID[15:0]ビット
受信ルールのIDフィールドを設定します。アクセプタンス・フィルタ処理では、ここで設定したIDと受信メッセージのIDを比較します。

18.3.19　CAN受信ルール登録レジスタjAH（GAFLIDHj）（j = 0～39）

アドレス　GAFLIDH0：F03A2H、GAFLIDH1：F03AEH、GAFLIDH2：F03BAH、GAFLIDH3：F03C6H
GAFLIDH4：F03D2H、GAFLIDH5：F03DEH、GAFLIDH6：F03EAH、GAFLIDH7：F03F6H
GAFLIDH8：F0402H、GAFLIDH9：F040EH、GAFLIDH10：F041AH、GAFLIDH11：F0426H
GAFLIDH12：F0432H、GAFLIDH13：F043EH、GAFLIDH14：F044AH、GAFLIDH15：F0456H
GAFLIDH16：F0462H、GAFLIDH17：F046EH、GAFLIDH18：F047AH、GAFLIDH19：F0486H
GAFLIDH20：F0492H、GAFLIDH21：F049EH、GAFLIDH22：F04AAH、GAFLIDH23：F04B6H
GAFLIDH24：F04C2H、GAFLIDH25：F04CEH、GAFLIDH26：F04DAH、GAFLIDH27：F04E6H
GAFLIDH28：F04F2H、GAFLIDH29：F04FEH、GAFLIDH30：F050AH、GAFLIDH31：F0516H
GAFLIDH32：F0522H、GAFLIDH33：F052EH、GAFLIDH34：F053AH、GAFLIDH35：F0546H
GAFLIDH36：F0552H、GAFLIDH37：F055EH、GAFLIDH38：F056AH、GAFLIDH39：F0576H

GAFLIDHjレジスタは16ビット単位でアクセスできます。また、GAFLIDHjL, GAFLIDHjHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	GAFLIDE	IDE選択ビット	0：標準ID 1：拡張ID	R/W
14	GAFLRTR	RTR選択ビット	0：データ・フレーム 1：リモート・フレーム	R/W
13	GAFLLB	受信ルール対象メッセージ選択ビット	0：他のCANノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時	R/W
12-0	GAFLID[28:16]	ID設定ビットH	受信ルールのIDを設定してください。 標準IDの場合、0にしてください。	R/W

GAFLIDHjレジスタは、GRWCRレジスタのRPAGEビットが0で、かつグローバル・リセット・モードでのみ書き換えてください。

・GAFLIDEビット
受信ルールのIDフォーマット（標準IDまたは拡張ID）を選択します。アクセプタンス・フィルタ処理では、このビットと受信メッセージのIDEビットを比較します。

・GAFLRTRビット
受信ルールのフレーム・フォーマット（データ・フレームまたはリモート・フレーム）を選択します。アクセプタンス・フィルタ処理では、このビットと受信メッセージのRTRビットを比較します。

・GAFLLBビット
0にすると、他のCANノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。
ミラー機能使用時に1にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

・GAFLID[28:16]ビット
受信ルールのIDフィールドを設定します。アクセプタンス・フィルタ処理では、ここで設定したIDと受信メッセージのIDを比較します。

18.3.20　CAN受信ルール登録レジスタjBL（GAFLMLj）（j = 0～39）

アドレス　GAFLML0：F03A4H、GAFLML1：F03B0H、GAFLML2：F03BCH、GAFLML3：F03C8H
GAFLML4：F03D4H、GAFLML5：F03E0H、GAFLML6：F03ECH、GAFLML7：F03F8H
GAFLML8：F0404H、GAFLML9：F0410H、GAFLML10：F041CH、GAFLML11：F0428H
GAFLML12：F0434H、GAFLML13：F0440H、GAFLML14：F044CH、GAFLML15：F0458H
GAFLML16：F0464H、GAFLML17：F0470H、GAFLML18：F047CH、GAFLML19：F0488H
GAFLML20：F0494H、GAFLML21：F04A0H、GAFLML22：F04ACH、GAFLML23：F04B8H
GAFLML24：F04C4H、GAFLML25：F04D0H、GAFLML26：F04DCH、GAFLML27：F04E8H
GAFLML28：F04F4H、GAFLML29：F0500H、GAFLML30：F050CH、GAFLML31：F0518H
GAFLML32：F0524H、GAFLML33：F0530H、GAFLML34：F053CH、GAFLML35：F0548H
GAFLML36：F0554H、GAFLML37：F0560H、GAFLML38：F056CH、GAFLML39：F0578H

GAFLMLjレジスタは16ビット単位でアクセスできます。また、GAFLMLjL, GAFLMLjHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLIDM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	GAFLIDM [15:0]	IDマスク・ビットL	0：対応するIDビットを比較しない 1：対応するIDビットを比較する	R/W

GAFLMLjレジスタは、GRWCRレジスタのRPAGEビットが0で、かつグローバル・リセット・モードでのみ書き換えてください。

・GAFLIDM[15:0]ビット

受信ルールの対応するIDビットをマスクするビットです。

18.3.21　CAN受信ルール登録レジスタjBH（GAFLMHj）（j = 0～39）

アドレス　GAFLMH0：F03A6H、GAFLMH1：F03B2H、GAFLMH2：F03BEH、GAFLMH3：F03CAH
GAFLMH4：F03D6H、GAFLMH5：F03E2H、GAFLMH6：F03EEH、GAFLMH7：F03FAH
GAFLMH8：F0406H、GAFLMH9：F0412H、GAFLMH10：F041EH、GAFLMH11：F042AH
GAFLMH12：F0436H、GAFLMH13：F0442H、GAFLMH14：F044EH、GAFLMH15：F045AH
GAFLMH16：F0466H、GAFLMH17：F0472H、GAFLMH18：F047EH、GAFLMH19：F048AH
GAFLMH20：F0496H、GAFLMH21：F04A2H、GAFLMH22：F04AEH、GAFLMH23：F04BAH
GAFLMH24：F04C6H、GAFLMH25：F04D2H、GAFLMH26：F04DEH、GAFLMH27：F04EAH
GAFLMH28：F04F6H、GAFLMH29：F0502H、GAFLMH30：F050EH、GAFLMH31：F051AH
GAFLMH32：F0526H、GAFLMH33：F0532H、GAFLMH34：F053EH、GAFLMH35：F054AH
GAFLMH36：F0556H、GAFLMH37：F0562H、GAFLMH38：F056EH、GAFLMH39：F057AH

GAFLMHjレジスタは16ビット単位でアクセスできます。また、GAFLMHjL，GAFLMHjHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLIDEM	GAFLRTRM	—	GAFLIDM[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	GAFLIDEM	IDEマスク・ビット	0：IDEビットを比較しない 1：IDEビットを比較する	R/W
14	GAFLRTRM	RTRマスク・ビット	0：RTRビットを比較しない 1：RTRビットを比較する	R/W
13	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
12-0	GAFLIDM [28:16]	IDマスク・ビットH	0：対応するIDビットを比較しない 1：対応するIDビットを比較する	R/W

GAFLMHjレジスタは、GRWCRレジスタのRPAGEビットが0で、かつグローバル・リセット・モードでのみ書き換えてください。

・GAFLIDEMビット

1にすると、GAFLIDHjレジスタのGAFLIDEビットで設定したIDフォーマットのメッセージに対してのみフィルタ処理を行います。

0にすると、すべての受信メッセージとIDが一致したとみなします。GAFLIDEMビットを0にする場合は、GAFLMHjレジスタのGAFLIDM[28:16]ビットとGAFLMLjレジスタのGAFLIDM[15:0]ビットをすべて0にしてください。

・GAFLRTRMビット

受信ルールのRTRビットをマスクするビットです。

・GAFLIDM[28:16]ビット

受信ルールの対応するIDビットをマスクするビットです。

18.3.22　CAN受信ルール登録レジスタjCL（GAFLPLj）（j = 0～39）

アドレス　GAFLPL0：F03A8H、GAFLPL1：F03B4H、GAFLPL2：F03C0H、GAFLPL3：F03CCH
GAFLPL4：F03D8H、GAFLPL5：F03E4H、GAFLPL6：F03F0H、GAFLPL7：F03FCH
GAFLPL8：F0408H、GAFLPL9：F0414H、GAFLPL10：F0420H、GAFLPL11：F042CH
GAFLPL12：F0438H、GAFLPL13：F0444H、GAFLPL14：F0450H、GAFLPL15：F045CH
GAFLPL16：F0468H、GAFLPL17：F0474H、GAFLPL18：F0480H、GAFLPL19：F048CH
GAFLPL20：F0498H、GAFLPL21：F04A4H、GAFLPL22：F04B0H、GAFLPL23：F04BCH
GAFLPL24：F04C8H、GAFLPL25：F04D4H、GAFLPL26：F04E0H、GAFLPL27：F04ECH
GAFLPL28：F04F8H、GAFLPL29：F0504H、GAFLPL30：F0510H、GAFLPL31：F051CH
GAFLPL32：F0528H、GAFLPL33：F0534H、GAFLPL34：F0540H、GAFLPL35：F054CH
GAFLPL36：F0558H、GAFLPL37：F0564H、GAFLPL38：F0570H、GAFLPL39：F057CH

GAFLPLjレジスタは16ビット単位でアクセスできます。また、GAFLPLjL，GAFLPLjHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLRMV	GAFLRMDP[6:0]							—	—	GAFLFDP[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	GAFLRMV	受信バッファ許可ビット	0：受信バッファを使用しない 1：受信バッファを使用する	R/W
14-8	GAFLRMDP[6:0]	受信バッファ番号選択ビット	受信メッセージを格納する受信バッファの番号を設定	R/W
7, 6	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
5	GAFLFDP5	CAN1送受信FIFOバッファ選択ビット1	0：CAN1送受信FIFOバッファ1を選択しない 1：CAN1送受信FIFOバッファ1を選択する	R/W
4	GAFLFDP4	CAN0送受信FIFOバッファ選択ビット0	0：CAN0送受信FIFOバッファ0を選択しない 1：CAN0送受信FIFOバッファ0を選択する	R/W
3	GAFLFDP3	受信FIFOバッファ選択ビット3	0：受信FIFOバッファ3を選択しない 1：受信FIFOバッファ3を選択する	R/W
2	GAFLFDP2	受信FIFOバッファ選択ビット2	0：受信FIFOバッファ2を選択しない 1：受信FIFOバッファ2を選択する	R/W
1	GAFLFDP1	受信FIFOバッファ選択ビット1	0：受信FIFOバッファ1を選択しない 1：受信FIFOバッファ1を選択する	R/W
0	GAFLFDP0	受信FIFOバッファ選択ビット0	0：受信FIFOバッファ0を選択しない 1：受信FIFOバッファ0を選択する	R/W

GAFLPLjレジスタは、GRWCRレジスタのRPAGEビットが0で、かつグローバル・リセット・モードでのみ書き換えてください。

・GAFLRMVビット

1にすると、GAFLRMDP[6:0]ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

・GAFLRMDP[6:0]ビット

GAFLRMVビットを1にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RMNBレジスタのNRXMB[5:0]ビットで設定した値より小さい番号を設定してください。

・GAFLFDP5, GAFLFDP4, GAFLFDP3, GAFLFDP2, GAFLFDP1, GAFLFDP0ビット

フィルタを通過した受信メッセージを格納するFIFOバッファを指定します。最大2つのFIFOバッファが選択できます。ただし、GAFLPLjレジスタのGAFLRMVビットを1（受信バッファにメッセージを格納する）にした場合は、最大1つのFIFOバッファが選択できます。受信FIFOバッファと、CFCCHkレジスタのCFM[1:0]ビットをB'00（受信モード）に設定した送受信FIFOバッファのみ選択できます。

18.3.23　CAN受信ルール登録レジスタjCH（GAFLPHj）（j = 0～39）

アドレス　GAFLPH0：F03AAH、GAFLPH1：F03B6H、GAFLPH2：F03C2H、GAFLPH3：F03CEH
GAFLPH4：F03DAH、GAFLPH5：F03E6H、GAFLPH6：F03F2H、GAFLPH7：F03FEH
GAFLPH8：F040AH、GAFLPH9：F0416H、GAFLPH10：F0422H、GAFLPH11：F042EH
GAFLPH12：F043AH、GAFLPH13：F0446H、GAFLPH14：F0452H、GAFLPH15：F045EH
GAFLPH16：F046AH、GAFLPH17：F0476H、GAFLPH18：F0482H、GAFLPH19：F048EH
GAFLPH20：F049AH、GAFLPH21：F04A6H、GAFLPH22：F04B2H、GAFLPH23：F04BEH
GAFLPH24：F04CAH、GAFLPH25：F04D6H、GAFLPH26：F04E2H、GAFLPH27：F04EEH
GAFLPH28：F04FAH、GAFLPH29：F0506H、GAFLPH30：F0512H、GAFLPH31：F051EH
GAFLPH32：F052AH、GAFLPH33：F0536H、GAFLPH34：F0542H、GAFLPH35：F054EH
GAFLPH36：F055AH、GAFLPH37：F0566H、GAFLPH38：F0572H、GAFLPH39：F057EH

GAFLPHjレジスタは16ビット単位でアクセスできます。また、GAFLPHjL, GAFLPHjHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GAFLDLC[3:0]				GAFLPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	GAFLDLC [3:0]	受信ルールDLC設定ビット	b15 b14 b13 b12 0 0 0 0：DLCチェックしない 0 0 0 1：1データ・バイト 0 0 1 0：2データ・バイト 0 0 1 1：3データ・バイト 0 1 0 0：4データ・バイト 0 1 0 1：5データ・バイト 0 1 1 0：6データ・バイト 0 1 1 1：7データ・バイト 1 x x x：8データ・バイト	R/W
11-0	GAFLPTR [11:0]	受信ルール・ラベル設定ビット	12ビットのラベル情報を設定	R/W

GAFLPHjレジスタは、GRWCRレジスタのRPAGEビットが0で、かつグローバル・リセット・モードでのみ書き換えてください。

・GAFLDLC[3:0]ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長がGAFLDLC[3:0]ビットで設定した値以上の場合、DLCチェックを通過します。B'0000を設定すると、DLCチェック機能は無効になり、すべてのデータ長のメッセージが通過します。

・GAFLPTR[11:0]ビット

フィルタを通過したメッセージに添付する12ビットのラベルを設定します。ラベルはメッセージを受信バッファやFIFOバッファに格納する際に添付されます。

18.3.24　CAN受信バッファ数設定レジスタ（RMNB）

アドレス　　RMNB：F0332H

RMNBレジスタは16ビット単位でアクセスできます。また、RMNBLレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	NRXMB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-6	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
5-0	NRXMB[5:0]	受信バッファ数設定ビット	受信バッファ数を設定する。0～32の範囲で設定してください。	R/W

RMNBレジスタはグローバル・リセット・モードでのみ書き換えてください。

・NRXMB[5:0]ビット

CANモジュール全体の受信バッファ数を設定します。最大値は32です。

0を設定すると、受信バッファは使用できません。

18.3.25　CAN受信バッファ受信完了フラグ・レジスタ0, 1（RMND0, 1）

アドレス　　RMND0：F0334H

RMND0レジスタは16ビット単位でアクセスできます。また、RMND0L, RMND0Hレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMND0	RMNS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RMNS[15:0]	受信バッファ受信完了フラグn	0：受信バッファnに新しいメッセージなし（n = 0～15） 1：受信バッファnに新しいメッセージあり	R/W

アドレス　　RMND1：F0336H

RMND1レジスタは16ビット単位でアクセスできます。また、RMND1L, RMND1Hレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
RMND1	RMNS[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RMNS[31:16]	受信バッファ受信完了フラグn	0：受信バッファnに新しいメッセージなし（n = 16～31） 1：受信バッファnに新しいメッセージあり	R/W

RMND0, 1レジスタは、グローバル動作モードまたはグローバル・テスト・モードで0を書いてください。

・RMNS[31:0]フラグ

対応する受信バッファにメッセージを格納する処理が始まると1になります。

フラグを0にする場合は、対応するフラグにプログラムで0を書いてください。0を書く場合は8ビット・データ転送命令または16ビット・データ転送命令を使用し、0にしたいビットを0、そうでないビットを1にしてください。メッセージ格納中は0にできません。メッセージを格納する時間はf_{CLK}の10クロック分です。

グローバル・リセット・モード時、0になります。

18.3.26　CAN受信バッファ・レジスタnAL（RMIDLn）（n = 0～31）

アドレス　RMIDL0：F03A0H、RMIDL1：F03B0H、RMIDL2：F03C0H、RMIDL3：F03D0H
RMIDL4：F03E0H、RMIDL5：F03F0H、RMIDL6：F0400H、RMIDL7：F0410H
RMIDL8：F0420H、RMIDL9：F0430H、RMIDL10：F0440H、RMIDL11：F0450H
RMIDL12：F0460H、RMIDL13：F0470H、RMIDL14：F0480H、RMIDL15：F0490H
RMIDL16：F04A0H、RMIDL17：F04B0H、RMIDL18：F04C0H、RMIDL19：F04D0H
RMIDL20：F04E0H、RMIDL21：F04F0H、RMIDL22：F0500H、RMIDL23：F0510H
RMIDL24：F0520H、RMIDL25：F0530H、RMIDL26：F0540H、RMIDL27：F0550H
RMIDL28：F0560H、RMIDL29：F0570H、RMIDL30：F0580H、RMIDL31：F0590H

RMIDLnレジスタは16ビット単位でアクセスできます。また、RMIDLnL，RMIDLnHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RMID[15:0]	受信バッファIDデータL	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、b10～b0を読んでください。b15～b11は0が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RMID[15:0]

受信バッファに格納されたメッセージのIDを示します。

18.3.27　CAN受信バッファ・レジスタnAH（RMIDHn）（n = 0～31）

アドレス　RMIDH0：F03A2H、RMIDH1：F03B2H、RMIDH2：F03C2H、RMIDH3：F03D2H
RMIDH4：F03E2H、RMIDH5：F03F2H、RMIDH6：F0402H、RMIDH7：F0412H
RMIDH8：F0422H、RMIDH9：F0432H、RMIDH10：F0442H、RMIDH11：F0452H
RMIDH12：F0462H、RMIDH13：F0472H、RMIDH14：F0482H、RMIDH15：F0492H
RMIDH16：F04A2H、RMIDH17：F04B2H、RMIDH18：F04C2H、RMIDH19：F04D2H
RMIDH20：F04E2H、RMIDH21：F04F2H、RMIDH22：F0502H、RMIDH23：F0512H
RMIDH24：F0522H、RMIDH25：F0532H、RMIDH26：F0542H、RMIDH27：F0552H
RMIDH28：F0562H、RMIDH29：F0572H、RMIDH30：F0582H、RMIDH31：F0592H

RMIDHnレジスタは16ビット単位でアクセスできます。また、RMIDHnL, RMIDHnHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMIDE	RMRTR	—	RMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	RMIDE	受信バッファIDEビット	0：標準ID 1：拡張ID	R
14	RMRTR	受信バッファRTRビット	0：データ・フレーム 1：リモート・フレーム	R
13	−	（予約ビット）	読むと0が読み出されます。	R
12-0	RMID[28:16]	受信バッファIDデータH	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、0が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RMIDEビット

受信バッファに格納されたメッセージのIDフォーマット（標準IDまたは拡張ID）を示します。

・RMRTRビット

受信バッファに格納されたメッセージのフレーム・フォーマット（データ・フレームまたはリモート・フレーム）を示します。

・RMID[28:16]

受信バッファに格納されたメッセージのIDを示します。

18.3.28 CAN受信バッファ・レジスタnBL（RMTSn）（n = 0～31）

アドレス RMTS0：F03A4H、RMTS1：F03B4H、RMTS2：F03C4H、RMTS3：F03D4H
RMTS4：F03E4H、RMTS5：F03F4H、RMTS6：F0404H、RMTS7：F0414H
RMTS8：F0424H、RMTS9：F0434H、RMTS10：F0444H、RMTS11：F0454H
RMTS12：F0464H、RMTS13：F0474H、RMTS14：F0484H、RMTS15：F0494H
RMTS16：F04A4H、RMTS17：F04B4H、RMTS18：F04C4H、RMTS19：F04D4H
RMTS20：F04E4H、RMTS21：F04F4H、RMTS22：F0504H、RMTS23：F0514H
RMTS24：F0524H、RMTS25：F0534H、RMTS26：F0544H、RMTS27：F0554H
RMTS28：F0564H、RMTS29：F0574H、RMTS30：F0584H、RMTS31：F0594H

RMTSnレジスタは16ビット単位でアクセスできます。また、RMTSnL，RMTSnHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RMTS[15:0]	受信バッファ・タイムスタンプ・データ	受信メッセージのタイムスタンプ値が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RMTS[15:0]

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

18.3.29 CAN受信バッファ・レジスタnBH（RMPTRn）（n = 0～31）

アドレス RMPTR0：F03A6H、RMPTR1：F03B6H、RMPTR2：F03C6H、RMPTR3：F03D6H
RMPTR4：F03E6H、RMPTR5：F03F6H、RMPTR6：F0406H、RMPTR7：F0416H
RMPTR8：F0426H、RMPTR9：F0436H、RMPTR10：F0446H、RMPTR11：F0456H
RMPTR12：F0466H、RMPTR13：F0476H、RMPTR14：F0486H、RMPTR15：F0496H
RMPTR16：F04A6H、RMPTR17：F04B6H、RMPTR18：F04C6H、RMPTR19：F04D6H
RMPTR20：F04E6H、RMPTR21：F04F6H、RMPTR22：F0506H、RMPTR23：F0516H
RMPTR24：F0526H、RMPTR25：F0536H、RMPTR26：F0546H、RMPTR27：F0556H
RMPTR28：F0566H、RMPTR29：F0576H、RMPTR30：F0586H、RMPTR31：F0596H

RMPTRnレジスタは16ビット単位でアクセスできます。また、RMPTRLnL, RMPTRnHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMDLC[3:0]				RMPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	RMDLC[3:0]	受信バッファDLCデータ	b15 b14 b13 b12 0 0 0 0：0データ・バイト 0 0 0 1：1データ・バイト 0 0 1 0：2データ・バイト 0 0 1 1：3データ・バイト 0 1 0 0：4データ・バイト 0 1 0 1：5データ・バイト 0 1 1 0：6データ・バイト 0 1 1 1：7データ・バイト 1 X X X：8データ・バイト	R
11-0	RMPTR [11:0]	受信バッファ・ラベル・データ	受信メッセージのラベル情報が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RMDLC[3:0]

受信バッファに格納されたメッセージのデータ長を示します。

・RMPTR[11:0]

受信バッファに格納されたメッセージのラベル情報を示します。

18.3.30 CAN受信バッファ・レジスタnCL（RMDF0n）（n = 0～31）

アドレス RMDF00：F03A8H、RMDF01：F03B8H、RMDF02：F03C8H、RMDF03：F03D8H
RMDF04：F03E8H、RMDF05：F03F8H、RMDF06：F0408H、RMDF07：F0418H
RMDF08：F0428H、RMDF09：F0438H、RMDF010：F0448H、RMDF011：F0458H
RMDF012：F0468H、RMDF013：F0478H、RMDF014：F0488H、RMDF015：F0498H
RMDF016：F04A8H、RMDF017：F04B8H、RMDF018：F04C8H、RMDF019：F04D8H
RMDF020：F04E8H、RMDF021：F04F8H、RMDF022：F0508H、RMDF023：F0518H
RMDF024：F0528H、RMDF025：F0538H、RMDF026：F0548H、RMDF027：F0558H
RMDF028：F0568H、RMDF029：F0578H、RMDF030：F0588H、RMDF031：F0598H

RMDF0nレジスタは16ビット単位でアクセスできます。また、RMDF0nL，RMDF0nHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMDB1[7:0]								RMDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RMDB1[7:0]	受信バッファ・データ・バイト1	受信バッファに格納されたメッセージのデータが読めます。	R
7-0	RMDB0[7:0]	受信バッファ・データ・バイト0		R

RMPTRnレジスタのRMDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.31 CAN受信バッファ・レジスタnCH（RMDF1n）（n = 0～31）

アドレス RMDF10：F03AAH、RMDF11：F03BAH、RMDF12：F03CAH、RMDF13：F03DAH
RMDF14：F03EAH、RMDF15：F03FAH、RMDF16：F040AH、RMDF17：F041AH
RMDF18：F042AH、RMDF19：F043AH、RMDF110：F044AH、RMDF111：F045AH
RMDF112：F046AH、RMDF113：F047AH、RMDF114：F048AH、RMDF115：F049AH
RMDF116：F04AAH、RMDF117：F04BAH、RMDF118：F04CAH、RMDF119：F04DAH
RMDF120：F04EAH、RMDF121：F04FAH、RMDF122：F050AH、RMDF123：F051AH
RMDF124：F052AH、RMDF125：F053AH、RMDF126：F054AH、RMDF127：F055AH
RMDF128：F056AH、RMDF129：F057AH、RMDF130：F058AH、RMDF131：F059AH

RMDF1nレジスタは16ビット単位でアクセスできます。また、RMDF1nL，RMDF1nHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMDB3[7:0]								RMDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RMDB3[7:0]	受信バッファ・データ・バイト3	受信バッファに格納されたメッセージのデータが読めます。	R
7-0	RMDB2[7:0]	受信バッファ・データ・バイト2		R

RMPTRnレジスタのRMDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.32　CAN受信バッファ・レジスタnDL（RMDF2n）（n = 0～31）

アドレス　RMDF20：F03ACH、RMDF21：F03BCH、RMDF22：F03CCH、RMDF23：F03DCH
RMDF24：F03ECH、RMDF25：F03FCH、RMDF26：F040CH、RMDF27：F041CH
RMDF28：F042CH、RMDF29：F043CH、RMDF210：F044CH、RMDF211：F045CH
RMDF212：F046CH、RMDF213：F047CH、RMDF214：F048CH、RMDF215：F049CH
RMDF216：F04ACH、RMDF217：F04BCH、RMDF218：F04CCH、RMDF219：F04DCH
RMDF220：F04ECH、RMDF221：F04FCH、RMDF222：F050CH、RMDF223：F051CH
RMDF224：F052CH、RMDF225：F053CH、RMDF226：F054CH、RMDF227：F055CH
RMDF228：F056CH、RMDF229：F057CH、RMDF230：F058CH、RMDF231：F059CH

RMDF2nレジスタは16ビット単位でアクセスできます。また、RMDF2nL，RMDF2nHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMDB5[7:0]								RMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RMDB5[7:0]	受信バッファ・データ・バイト5	受信バッファに格納されたメッセージのデータが読めます。	R
7-0	RMDB4[7:0]	受信バッファ・データ・バイト4		R

RMPTRnレジスタのRMDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.33 CAN受信バッファ・レジスタnDH（RMDF3n）（n = 0～31）

アドレス RMDF30：F03AEH、RMDF31：F03BEH、RMDF32：F03CEH、RMDF33：F03DEH
RMDF34：F03EEH、RMDF35：F03FEH、RMDF36：F040EH、RMDF37：F041EH
RMDF38：F042EH、RMDF39：F043EH、RMDF310：F044EH、RMDF311：F045EH
RMDF312：F046EH、RMDF313：F047EH、RMDF314：F048EH、RMDF315：F049EH
RMDF316：F04AEH、RMDF317：F04BEH、RMDF318：F04CEH、RMDF319：F04DEH
RMDF320：F04EEH、RMDF321：F04FEH、RMDF322：F050EH、RMDF323：F051EH
RMDF324：F052EH、RMDF325：F053EH、RMDF326：F054EH、RMDF327：F055EH
RMDF328：F056EH、RMDF329：F057EH、RMDF330：F058EH、RMDF331：F059EH

RMDF3nレジスタは16ビット単位でアクセスできます。また、RMDF3nL，RMDF3nHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMDB7[7:0]								RMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RMDB7[7:0]	受信バッファ・データ・バイト7	受信バッファに格納されたメッセージのデータが読めます。	R
7-0	RMDB6[7:0]	受信バッファ・データ・バイト6		R

RMPTRnレジスタのRMDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.34　CAN受信FIFO制御レジスタm（RFCCm）（m = 0～3）

アドレス　　RFCC0：F0338H、RFCC1：F033AH、RFCC2：F033CH、RFCC3：F033EH

RFCCmレジスタは16ビット単位でアクセスできます。また、RFCCmL, RFCCmHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	—	—	—	—	—	RFIE	RFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-13	RFIGCV[2:0]	受信FIFO割り込み要求発生タイミング選択ビット	b15　b14　b13 0　0　0：FIFOバッファに1/8までメッセージ格納時 0　0　1：FIFOバッファに2/8までメッセージ格納時 0　1　0：FIFOバッファに3/8までメッセージ格納時 0　1　1：FIFOバッファに4/8までメッセージ格納時 1　0　0：FIFOバッファに5/8までメッセージ格納時 1　0　1：FIFOバッファに6/8までメッセージ格納時 1　1　0：FIFOバッファに7/8までメッセージ格納時 1　1　1：FIFOバッファがフルの時	R/W
12	RFIM	受信FIFO割り込み要因選択ビット	0：RFIGCV[2:0]ビットで設定した条件に達したときに発生 1：1メッセージ受信完了ごとに発生	R/W
11	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
10-8	RFDC[2:0]	受信FIFOバッファ段数設定ビット	b10　b9　b8 0　0　0：0メッセージ 0　0　1：4メッセージ 0　1　0：8メッセージ 0　1　1：16メッセージ 1　0　0：32メッセージ 1　0　1：設定しないでください 1　1　0：設定しないでください 1　1　1：設定しないでください	R/W
7-2	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
1	RFIE	受信FIFO割り込み許可ビット	0：受信FIFO割り込み禁止 1：受信FIFO割り込み許可	R/W
0	RFE	受信FIFOバッファ許可ビット	0：受信FIFOバッファを使用しない 1：受信FIFOバッファを使用する	R/W

・RFIGCV[2:0]ビット

RFIMビットを0にした場合の受信FIFO割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0]の設定）に対する分数で指定します。RFDC[2:0]ビットをB'001（4メッセージ）に設定した場合は、RFIGCV[2:0]ビットをB'001、B'011、B'101、またはB'111にしてください。このビットはグローバル・リセット・モードでのみ書き換えてください。

・RFIMビット

FIFO割り込み要因を選択します。このビットはグローバル・リセット・モードでのみ書き換えてください。

・RFDC[2:0]ビット

1つの受信FIFOバッファに格納できるメッセージの数を選択します。B'000に設定した場合は、受信FIFOバッファを使用しないでください。このビットはグローバル・リセット・モードでのみ書き換えてください。

・RFIEビット

1にすると、受信FIFO割り込みが使用できます。RFEビットが0（受信FIFOバッファを使用しない）のときに、RFIEビットを書き換えてください。

・RFEビット

1にすると、受信FIFOバッファが使用できます。0にすると、RFSTSmレジスタのRFEMPフラグが1（バッファ空）になります。このビットはグローバル動作モードまたはグローバル・テスト・モードでのみ書き換えてください。

18.3.35　CAN受信FIFOステータス・レジスタm（RFSTSm）（m = 0～3）

アドレス　　RFSTS0：F0340H、RFSTS1：F0342H、RFSTS2：F0344H、RFSTS3：F0346H

RFSTSmレジスタは16ビット単位でアクセスできます。また、RFSTSmL, RFSTSmHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
15, 14	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
13-8	RFMC[5:0]	受信FIFO未読メッセージ数表示カウンタ	受信FIFOバッファに格納された未読メッセージ数を示します。	R
7-4	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
3	RFIF	受信FIFO割り込み要求フラグ	0：受信FIFO割り込み要求なし 1：受信FIFO割り込み要求あり	R/(W)注
2	RFMLT	受信FIFOメッセージ・ロスト・フラグ	0：受信FIFOメッセージ・ロストなし 1：受信FIFOメッセージ・ロスト	R/(W)注
1	RFFLL	受信FIFOバッファ・フル・ステータス・フラグ	0：受信FIFOバッファ・フルではない 1：受信FIFOバッファ・フル	R
0	RFEMP	受信FIFOバッファ空ステータス・フラグ	0：受信FIFOバッファに未読メッセージあり 1：受信FIFOバッファに未読メッセージなし（バッファ空）	R

注　このフラグビットへの書き込みは、ステータス・クリアする（0にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。0を書く場合は8ビット・データ転送命令または16ビット・データ転送命令を使用してください。

・RFMC[5:0]フラグ

受信FIFOバッファ内の未読メッセージ数を示します。RFCCmレジスタのRFEビットを0にすると、H'00になります。

・RFIFフラグ

RFCCmレジスタのRFIGCV[2:0]ビットとRFIMビットで設定した受信FIFO割り込み要求発生条件が整ったときに1になります。RFIFフラグへの0書き込み、またはグローバル・リセット・モード時、0になります。このビットはグローバル動作モードまたはグローバル・テスト・モードでのみ書き換えてください。

・RFMLTフラグ

受信FIFOバッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき1になります。この場合、新しいメッセージは破棄されます。

RFMLTフラグへの0書き込み、またはグローバル・リセット・モード時、0になります。

このビットはグローバル動作モードまたはグローバル・テスト・モードでのみ書き換えてください。

・RFFLLフラグ

受信FIFOバッファに格納されたメッセージ数が、RFCCmレジスタのRFDC[2:0]ビットで設定した段数と一致すると1になります。

受信FIFOバッファに格納されたメッセージ数が、RFDC[2:0]ビットで設定した段数より小さくなると0になります。また、RFCCmレジスタのRFEビットが0（受信FIFOバッファを使用しない）のとき、またはグローバル・リセット・モード時に0になります。

・RFEMPフラグ

受信FIFOバッファのすべてのメッセージを読むと1になります。また、RFCCmレジスタのRFEビットが0のとき、またはグローバル・リセット・モード時に1になります。

受信メッセージが1つでも受信FIFOバッファに格納されると0になります。

18.3.36　CAN受信FIFOポインタ制御レジスタm（RFPCTRm）（m = 0～3）

アドレス　　RFPCTR0：F0348H、RFPCTR1：F034AH、RFPCTR2：F034CH、RFPCTR3：F034EH

RFPCTRmレジスタは16ビット単位でアクセスできます。また、RFPCTRmL, RFPCTRmHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	−	（予約ビット）	書き込みは0としてください。	R
7-0	RFPC[7:0]	受信FIFOポインタ	H'FFを書くと、受信FIFOバッファの次の未読メッセージにリード・ポインタが移動します。設定値はH'FFです。	W

・RFPC[7:0]ビット

RFPC[7:0]ビットにH'FFを書くと、受信FIFOバッファの次の未読メッセージにリード・ポインタが移動します。このときRFSTSmレジスタのRFMC[5:0]ビット（受信FIFO未読メッセージ数表示カウンタ）の値が1減算されます。RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m～RFDF3mレジスタを読んで受信FIFOバッファのメッセージを読み出した後、RFPC[7:0]ビットにH'FFを書いてください。

なお、H'FFの書き込みは、RFCCmレジスタのRFEビットが1（受信FIFOバッファを使用する）で、RFSTSmレジスタのRFEMPフラグが0（未読メッセージあり）のときに行ってください。

18.3.37 CAN受信FIFOアクセス・レジスタmAL（RFIDLm）（m = 0～3）

アドレス RFIDL0：F05A0H、RFIDL1：F05B0H、RFIDL2：F05C0H、RFIDL3：F05D0H

RFIDLmレジスタは16ビット単位でアクセスできます。また、RFIDLmL，RFIDLmHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RFID[15:0]	受信FIFOバッファIDデータL	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、b10～b0を読んでください。b15～b11は0が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RFID[15:0]

受信FIFOバッファに格納されたメッセージのIDを示します。

18.3.38　CAN受信FIFOアクセス・レジスタmAH（RFIDHm）（m = 0～3）

アドレス　　RFIDH0：F05A2H、RFIDH1：F05B2H、RFIDH2：F05C2H、RFIDH3：F05D2H

RFIDHmレジスタは16ビット単位でアクセスできます。また、RFIDHmL, RFIDHmHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFIDE	RFRTR	—	RFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	RFIDE	受信FIFOバッファIDEビット	0：標準ID 1：拡張ID	R
14	RFRTR	受信FIFOバッファRTRビット	0：データ・フレーム 1：リモート・フレーム	R
13	−	（予約ビット）	読むと0が読み出されます。	R
12-0	RFID[28:16]	受信FIFOバッファIDデータH	受信メッセージの標準ID/拡張IDが読めます。標準IDの場合は、0が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RFIDEビット

受信FIFOバッファに格納されたメッセージのIDフォーマット（標準IDまたは拡張ID）を示します。

・RFRTRビット

受信FIFOバッファに格納されたメッセージのフレーム・フォーマット（データ・フレームまたはリモート・フレーム）を示します。

・RFID[28:16]

受信FIFOバッファに格納されたメッセージのIDを示します。

18.3.39　CAN受信FIFOアクセス・レジスタmBL（RFTSm）（m = 0～3）

アドレス　　RFTS0：F05A4H、RFTS1：F05B4H、RFTS2：F05C4H、RFTS3：F05D4H

RFTSmレジスタは16ビット単位でアクセスできます。また、RFTSmL, RFTSmHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	RFTS[15:0]	受信FIFOバッファ・タイムスタンプ・データ	受信メッセージのタイムスタンプ値が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RFTS[15:0]

受信FIFOバッファに格納されたメッセージのタイムスタンプ値を示します。

18.3.40 CAN受信FIFOアクセス・レジスタmBH（RFPTRm）（m = 0〜3）

アドレス RFPTR0：F05A6H、RFPTR1：F05B6H、RFPTR2：F05C6H、RFPTR3：F05D6H

RFPTRmレジスタは16ビット単位でアクセスできます。また、RFPTRmL, RFPTRmHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFDLC[3:0]				RFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	RFDLC[3:0]	受信FIFOバッファDLCデータ	b15 b14 b13 b12 0 0 0 0：0データ・バイト 0 0 0 1：1データ・バイト 0 0 1 0：2データ・バイト 0 0 1 1：3データ・バイト 0 1 0 0：4データ・バイト 0 1 0 1：5データ・バイト 0 1 1 0：6データ・バイト 0 1 1 1：7データ・バイト 1 X X X：8データ・バイト	R
11-0	RFPTR[11:0]	受信FIFOバッファ・ラベル・データ	受信メッセージのラベル情報が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・RFDLC[3:0]

受信FIFOバッファに格納されたメッセージのデータ長を示します。

・RFPTR[11:0]

受信FIFOバッファに格納されたメッセージのラベル情報を示します。

18.3.41 CAN受信FIFOアクセス・レジスタmCL（RFDF0m）（m = 0～3）

アドレス RFDF00：F05A8H、RFDF01：F05B8H、RFDF02：F05C8H、RFDF03：F05D8H

RFDF0mレジスタは16ビット単位でアクセスできます。また、RFDF0mL，RFDF0mHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFDB1[7:0]								RFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RFDB1[7:0]	受信FIFOバッファ・データ・バイト1	受信FIFOバッファに格納されたメッセージのデータが読めます。	R
7-0	RFDB0[7:0]	受信FIFOバッファ・データ・バイト0		R

RFPTRmレジスタのRFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.42 CAN受信FIFOアクセス・レジスタmCH（RFDF1m）（m = 0～3）

アドレス RFDF10：F05AAH、RFDF11：F05BAH、RFDF12：F05CAH、RFDF13：F05DAH

RFDF1mレジスタは16ビット単位でアクセスできます。また、RFDF1mL，RFDF1mHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFDB3[7:0]								RFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RFDB3[7:0]	受信FIFOバッファ・データ・バイト3	受信FIFOバッファに格納されたメッセージのデータが読めます。	R
7-0	RFDB2[7:0]	受信FIFOバッファ・データ・バイト2		R

RFPTRmレジスタのRFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.43　CAN受信FIFOアクセス・レジスタmDL（RFDF2m）（m = 0～3）

アドレス　　RFDF20：F05ACH、RFDF21：F05BCH、RFDF22：F05CCH、RFDF23：F05DCH

RFDF2mレジスタは16ビット単位でアクセスできます。また、RFDF2mL, RFDF2mHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFDB5[7:0]								RFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RFDB5[7:0]	受信FIFOバッファ・データ・バイト5	受信FIFOバッファに格納されたメッセージのデータが読めます。	R
7-0	RFDB4[7:0]	受信FIFOバッファ・データ・バイト4		R

RFPTRmレジスタのRFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.44　CAN受信FIFOアクセス・レジスタmDH（RFDF3m）（m = 0～3）

アドレス　　RFDF30：F05AEH、RFDF31：F05BEH、RFDF32：F05CEH、RFDF33：F05DEH

RFDF3mレジスタは16ビット単位でアクセスできます。また、RFDF3mL, RFDF3mHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFDB7[7:0]								RFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	RFDB7[7:0]	受信FIFOバッファ・データ・バイト7	受信FIFOバッファに格納されたメッセージのデータが読めます。	R
7-0	RFDB6[7:0]	受信FIFOバッファ・データ・バイト6		R

RFPTRmレジスタのRFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトは、H'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

18.3.45　CANi送受信FIFO制御レジスタkL（CFCCLk）（i = 0, 1、k = 0, 1）

アドレス　　CFCCL0：F0350H、CFCCL1：F0354H

CFCCLkレジスタは16ビット単位でアクセスできます。また、CFCCLkL, CFCCLkHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFIGCV[2:0]			CFIM	—	CFDC[2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-13	CFIGCV[2:0]	送受信FIFO受信割り込み要求発生タイミング選択ビット	b15　b14　b13 0　0　0　：FIFOバッファに1/8までメッセージ格納時 0　0　1　：FIFOバッファに2/8までメッセージ格納時 0　1　0　：FIFOバッファに3/8までメッセージ格納時 0　1　1　：FIFOバッファに4/8までメッセージ格納時 1　0　0　：FIFOバッファに5/8までメッセージ格納時 1　0　1　：FIFOバッファに6/8までメッセージ格納時 1　1　0　：FIFOバッファに7/8までメッセージ格納時 1　1　1　：FIFOバッファがフルの時	R/W
12	CFIM	送受信FIFO割り込み要因選択ビット	動作モード（CFCCHkレジスタのCFM[1:0]ビット）により異なります。 [受信モード時（CFM[1:0]=B'00）] 0：受信メッセージ数がCFIGCV[2:0]ビットで設定した条件に達したとき、FIFO受信割り込み要求発生 1：1メッセージ受信ごとにFIFO受信割り込み要求発生 [送信モード時（CFM[1:0]=B'01）] 0：メッセージ送信完了によってバッファが空になったとき、FIFO送信割り込み要求発生 1：1メッセージ受信ごとにFIFO受信割り込み要求発生 [ゲートウェイモード時（CFM[1:0]=B'10）] 0：受信時、受信メッセージ数がCFIGCV[2:0]ビットで設定した条件に達したとき、FIFO受信割り込み要求発生 送信時、メッセージ送信完了によってバッファが空になったとき、FIFO送信割り込み要求発生 1：受信時、1メッセージ受信ごとにFIFO受信割り込み要求発生 送信時、1メッセージ送信が完了するごとにFIFO送信割り込み要求発生	R/W
11	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
10-8	CFDC[2:0]	送受信FIFOバッファ段数設定ビット	b10　b9　b8 0　0　0：0メッセージ 0　0　1：4メッセージ 0　1　0：8メッセージ 0　1　1：16メッセージ 1　0　0：32メッセージ 1　0　1：設定しないでください 1　1　0：設定しないでください 1　1　1：設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
7-3	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
2	CFTXIE	送受信FIFO送信割り込み許可ビット	0：送受信FIFO送信割り込み禁止 1：送受信FIFO送信割り込み許可	R/W
1	CFRXIE	送受信FIFO受信割り込み許可ビット	0：送受信FIFO受信割り込み禁止 1：送受信FIFO受信割り込み許可	R/W
0	CFE	送受信FIFOバッファ許可ビット	0：送受信FIFOバッファを使用しない 1：送受信FIFOバッファを使用する	R/W

・CFIGCV[2:0]ビット

CFM[1:0]ビットをB'00（受信モード）、またはB'10（ゲートウェイモード）に、CFIMビットを0にした場合の送受信FIFO受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0]の設定）に対する分数で指定します。

CFDC[2:0]ビットをB'001（4メッセージ）に設定した場合は、CFIGCV[2:0]ビットをB'001、B'011、B'101、またはB'111にしてください。

このビットはグローバル・リセット・モードでのみ書き換えてください。

・CFIMビット

送受信FIFO割り込み要因を選択します。このビットはグローバル・リセット・モードでのみ書き換えてください。

・CFDC[2:0]ビット

1つの送受信FIFOバッファに格納できるメッセージの数を設定します。B'000に設定した場合は、送受信FIFOバッファを使用しないでください。このビットはグローバル・リセット・モードでのみ書き換えてください。

・CFTXIEビット

このビットを1に設定し、CFSTSkレジスタのCFTXIFフラグが1になった場合、送受信FIFO送信割り込み要求が発生します。

CFEビットが0（送受信FIFOバッファを使用しない）の状態で、CFTXIEビットを書き換えてください。

・CFRXIEビット

このビットを1に設定し、CFSTSkレジスタのCFRXIFフラグが1になった場合、送受信FIFO受信割り込み要求が発生します。

CFEビットが0の状態で、CFRXIEビットを書き換えてください。

・CFEビット

1にすると、送受信FIFOバッファを使用できます。

0にすると、送信モードまたはゲートウェイモードでは、送受信FIFOバッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CANバス・エラーの検出、またはアービトレーション・ロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で0になります。

- 受信モード時：グローバル・リセット・モード
- 送信モードまたはゲートウェイモード時：チャネル・リセット・モード

このビットは、次に示すモードでのみ書き換えてください。

- 受信モード：グローバル動作モードまたはグローバル・テスト・モード
- 送信モードまたはゲートウェイモード：チャネル通信モードまたはチャネル待機モード

18.3.46　CANi送受信FIFO制御レジスタkH（CFCCHk）（i = 0, 1、k = 0, 1）

アドレス　　CFCCH0：F0352H、CFCCH1：F0356H

CFCCHkレジスタは16ビット単位でアクセスできます。また、CFCCHkL, CFCCHkHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFITT[7:0]								−	−	CFTML[1:0]		CFITR	CFITSS	CFM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	CFITT[7:0]	メッセージ送信間隔設定ビット	メッセージの送信間隔を設定してください。 設定値はH'00～H'FFです。	R/W
7, 6	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
5, 4	CFTML[1:0]	送信バッファ・リンク設定ビット	送受信FIFOバッファにリンクさせる送信バッファ番号を設定してください。	R/W
3	CFITR	送受信FIFOインターバル・タイマ分解能	0：f_{CLK}/2をITRCP[15:0]ビットで分周したクロック 1：f_{CLK}/2をITRCP[15:0]ビットの値×10で分周したクロック	R/W
2	CFITSS	インターバル・タイマ・クロック・ソース選択ビット	0：CFITRビットで選択したクロック 1：CANiビット・タイム・クロック	R/W
1, 0	CFM[1:0]	送受信FIFOモード選択ビット	b1　b0 0　0：受信モード 0　1：送信モード 1　0：ゲートウェイモード 1　1：設定しないでください	R/W

・CFITT[7:0]ビット

CFM[1:0]ビットをB'01（送信モード）またはB'10（ゲートウェイモード）に設定した送受信FIFOバッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFEビットを0（送受信FIFOバッファを使用しない）にしてから、CFITT[7:0]ビットを書き換えてください。

・CFTML[1:0]ビット

CFM[1:0]ビットをB'01（送信モード）またはB'10（ゲートウェイモード）に設定した場合、送受信FIFOバッファにリンクする送信バッファ番号を設定します。

k = 0：リンクさせる送信バッファ番号B'00～B'03（CAN0送信バッファ0～3）を設定

k = 1：リンクさせる送信バッファ番号B'00～B'03（CAN1送信バッファ4～7）を設定

CFDC[2:0]ビットをB'001以上にすると、CFTML[1:0]ビットの設定が有効になります。

このビットはグローバル・リセット・モードでのみ書き換えてください。

・CFITRビット

CFITSS ビットが0のとき有効です。

0のとき、f_{CLK}/2をITRCP[15:0]ビットで分周したクロックを選択します。

1のとき、f_{CLK}/2をITRCP[15:0]ビットの値×10で分周したクロックを選択します。

CFCCLkレジスタのCFEビットが0（送受信FIFOバッファを使用しない）の状態で、CFITRビットを書き換えてください。

・CFITSSビット

0のとき、CFITRビットで選択したクロックがインターバル・タイマのカウント・ソースになります。

1のとき、CANiビット・タイム・クロックがインターバル・タイマのカウント・ソースになります。CFEビットを0（送受信FIFOバッファを使用しない）にしてから、CFITSSビットを書き換えてください。

・CFM[1:0]ビット

送受信FIFOのモードを選択します。このビットはグローバル・リセット・モードでのみ書き換えてください。

18.3.47　CANi送受信FIFOステータス・レジスタk（CFSTSk）（i = 0, 1、k = 0, 1）

アドレス　　CFSTS0：F0358H、CFSTS1：F035AH

CFSTSkレジスタは16ビット単位でアクセスできます。また、CFSTSkL, CFSTSkHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CFMC[5:0]						—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
15, 14	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
13-8	CFMC[5:0]	送受信FIFOメッセージ数表示カウンタ	送受信FIFOバッファに格納されたメッセージ数を示します。	R
7-5	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
4	CFTXIF	送受信FIFO送信割り込み要求フラグ	0：送受信FIFO送信割り込み要求なし 1：送受信FIFO送信割り込み要求あり	R/(W)注
3	CFRXIF	送受信FIFO受信割り込み要求フラグ	0：送受信FIFO受信割り込み要求なし 1：送受信FIFO受信割り込み要求あり	R/(W)注
2	CFMLT	送受信FIFOメッセージ・ロスト・フラグ	0：送受信FIFOメッセージ・ロストなし 1：送受信FIFOメッセージ・ロスト	R/(W)注
1	CFFLL	送受信FIFOバッファ・フル・ステータス・フラグ	0：送受信FIFOバッファ・フルではない 1：送受信FIFOバッファ・フル	R
0	CFEMP	送受信FIFOバッファ空ステータス・フラグ	0：送受信FIFOバッファにメッセージあり 1：送受信FIFOバッファにメッセージなし（バッファ空）	R

注　このフラグビットへの書き込みは、ステータス・クリアする（0にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。0を書く場合は8ビット・データ転送命令または16ビット・データ転送命令を使用してください。

・CFMC[5:0]ビット

CFMC[5:0]ビットが示す値は、CFCCHkレジスタのCFM[1:0]ビットの設定により次のようになります。

- ・CFM[1:0]ビットがB'01（送信モード）の場合：バッファに格納した未送信メッセージ数
- ・CFM[1:0]ビットがB'00（受信モード）の場合：バッファに格納された未読の受信メッセージ数
- ・CFM[1:0] ビットがB'10（ゲートウェイモード）の場合: バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で0になります。

- ・CFM[1:0]ビットがB'00の場合：グローバル・リセット・モード
- ・CFM[1:0]ビットがB'01またはB'10の場合：チャネル・リセット・モード

・CFTXIFフラグ

次の条件で、CFTXIFフラグは1になります。

- ・CFM[1:0]ビットがB'01またはB'10で、CFCCLkレジスタのCFIMビットで選択した要因が発生したとき

次の条件で、CFTXIFフラグは0になります。

- ・CFTXIFフラグへの0書き込み
- ・CFM[1:0]ビットがB'00の場合：グローバル・リセット・モード
- ・CFM[1:0]ビットがB'01またはB'10の場合：チャネル・リセット・モード

このフラグは、グローバル動作モードまたはグローバル・テスト・モードで0を書いてください。

・CFRXIFフラグ

次の条件で、CFRXIFフラグは1になります。

・CFM[1:0]ビットがB'00またはB'10で、CFCCLkレジスタのCFIMビットで選択した要因が発生したとき

次の条件で、CFRXIFフラグは0になります。

・CFRXIFフラグへの0書き込み
・CFM[1:0]ビットがB'00の場合：グローバル・リセット・モード
・CFM[1:0]ビットがB'01またはB'10の場合：チャネル・リセット・モード

このフラグは、グローバル動作モードまたはグローバル・テスト・モードで0を書いてください。

・CFMLTフラグ

次の条件で、CFMLTフラグは1になります。

・送受信FIFOバッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLTフラグは0になります。

・CFMLTフラグへの0書き込み
・CFM[1:0]ビットがB'00の場合：グローバル・リセット・モード
・CFM[1:0]ビットがB'01またはB'10の場合：チャネル・リセット・モード

このフラグは、グローバル動作モードまたはグローバル・テスト・モードで0を書いてください。

・CFFLLフラグ

次の条件で、CFFLLフラグは1になります。

・送受信FIFOバッファに格納されたメッセージ数が、CFCCLkレジスタのCFDC[2:0]ビットで設定した段数と一致したとき

次の条件で、CFFLLフラグは0になります。

・送受信FIFOバッファに格納されたメッセージ数が、CFDC[2:0]ビットで設定した段数より小さくなったとき
・CFCCLkレジスタのCFEビットが0（送受信FIFOバッファを使用しない）のとき
ただし、送受信FIFOバッファのメッセージが送信中または次の送信に決定している場合、送信完了、CANバス・エラーの検出、またはアービトレーション・ロストの後に、0になります。
・CFM[1:0]ビットがB'00の場合：グローバル・リセット・モード
・CFM[1:0]ビットがB'01またはB'10の場合：チャネル・リセット・モード

・CFEMPフラグ

次の条件で、CFEMPフラグは1になります。

・CFM[1:0]ビットがB'00の場合：全メッセージを読み出したとき、またはグローバル・リセット・モード
・CFM[1:0]ビットがB'01またはB'10の場合：すべてのメッセージを送信したとき、またはチャネル・リセット・モード
・CFCCLkレジスタのCFEビットが0（送受信FIFOバッファを使用しない）のとき
ただし、送受信FIFOバッファのメッセージが送信中または次の送信に決定している場合、送信完了、CANバス・エラーの検出、またはアービトレーション・ロストの後に、1になります。

次の条件で、CFEMPフラグは0になります。

・CFM[1:0]ビットがB'00またはB'10の場合：受信メッセージが1つでも送受信FIFOバッファに格納されたとき
・CFM[1:0]ビットがB'01の場合：CFIDLk、CFIDHk、CFPTRk、CFDF0k～CFDF3kレジスタに書いてから、CFPCTRkレジスタにH'FFを書いたとき

18.3.48　CANi送受信FIFOポインタ制御レジスタk（CFPCTRk）（i = 0, 1、k = 0, 1）

アドレス　　CFPCTR0：F035CH、CFPCTR1：F035EH

CFPCTRkレジスタは16ビット単位でアクセスできます。また、CFPCTRkLレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CFPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
7-0	CFPC[7:0]	CANi送受信FIFOポインタ	受信モード時 H'FFを書くと、送受信FIFOバッファの次の未読メッセージにリード・ポインタが移動します。 送信モード時 H'FFを書くと、送受信FIFOバッファの次の段にライトポインタが移動します。	W

・CFPC[7:0]ビット

［受信モード（CFCCHkレジスタのCFM[1:0]ビットがB'00）のとき］

CFPC[7:0]ビットにH'FFを書くと、送受信FIFOバッファの次の未読メッセージにリード・ポインタが移動します。このときCFSTSkレジスタのCFMC[5:0]ビット（送受信FIFOメッセージ数表示カウンタ）の値が1減算されます。CFIDLk、CFIDHk、CFTSk、CFPTRk、CFDF0k～CFDF3kレジスタを読んで送受信FIFOバッファのメッセージを読み出したあと、CFPC[7:0]ビットにH'FFを書いてください。

なお、H’FFの書き込みは、CFCCLkレジスタのCFEビットが1（送受信FIFOバッファを使用する）で、CFSTSkレジスタのCFEMPフラグが0（メッセージあり）のときに行ってください。

［送信モード（CFCCHkレジスタのCFM[1:0]ビットがB'01）のとき］

CFPC[7:0]ビットにH'FFを書くと、CFIDLk、CFIDHk、CFPTRk、CFDF0k～CFDF3kレジスタに書いたデータが送受信FIFOバッファに格納され、バッファの次の段にライトポインタが移動します。このときCFMC[5:0]ビットの値が1加算されます。CFIDLk、CFIDHk、CFPTRk、CFDF0k～CFDF3kレジスタに送信メッセージを書いた後に、CFPC[7:0]ビットにH'FFを書いてください。

なお、H'FFの書き込みは、CFCCLkレジスタのCFEビットが1で、CFSTSkレジスタのCFFLLフラグが0（フルではない）のときに行ってください。

［ゲートウェイモード（CFCCHkレジスタのCFM[1:0]ビットがB'10）のとき］

設定しないでください。

18.3.49　CANi送受信FIFOアクセス・レジスタkAL（CFIDLk）（i = 0, 1、k = 0, 1）

アドレス　　CFIDL0：F05E0H、CFIDL1：F05F0H

CFIDLkレジスタは16ビット単位でアクセスできます。また、CFIDLkL，CFIDLkHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	CFID[15:0]	送受信FIFOバッファIDデータL	CFM[1:0]ビットがB'01（送信モード）時 標準IDまたは拡張IDを設定してください。標準IDの場合、b10～b0にIDを設定してください。b15～b11は0にしてください。 CFM[1:0]ビットがB'00（受信モード）時 受信メッセージの標準IDまたは拡張IDが読めます。標準IDの場合、b10 ～b0を読んでください。b15～b11は0が読めます。	R/W

CFCCHkレジスタのCFM[1:0]ビットがB'00（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットがB'10（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

・CFID[15:0]

CFM[1:0]ビットがB'00のとき、送受信FIFOバッファに格納された受信メッセージのIDを示します。

CFM[1:0]ビットがB'01のとき、送受信FIFOバッファから送信するメッセージのIDを設定します。

18.3.50 CANi送受信FIFOアクセス・レジスタkAH（CFIDHk）（i = 0, 1、k = 0, 1）

アドレス CFIDH0：F05E2H、CFIDH1：F05F2H

CFIDHkレジスタは16ビット単位でアクセスできます。また、CFIDHkL, CFIDHkHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFIDE	CFRTR	THLEN	CFID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	CFIDE	送受信FIFOバッファIDEビット	0：標準ID 1：拡張ID	R/W
14	CFRTR	送受信FIFOバッファRTRビット	0：データ・フレーム 1：リモート・フレーム	R/W
13	THLEN	送信履歴データ格納許可ビット	CFM[1:0]ビットがB'01（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する	R/W
12-0	CFID[28:16]	送受信FIFOバッファIDデータH	CFM[1:0]ビットがB'01（送信モード）時 標準IDまたは拡張IDを設定してください。標準IDの場合、0にしてください。 CFM[1:0]ビットがB'00（受信モード）時 受信メッセージの標準IDまたは拡張IDが読めます。標準IDの場合、0が読めます。	R/W

CFCCHkレジスタのCFM[1:0]ビットがB'01（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0]ビットがB'00（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットがB'10（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

・CFIDEビット

CFM[1:0]ビットがB'00のとき、送受信FIFOバッファに格納された受信メッセージのIDフォーマット（標準IDまたは拡張ID）を示します。CFM[1:0]ビットがB'01のとき、送受信FIFOバッファから送信するメッセージのIDフォーマットを設定します。

・CFRTRビット

CFM[1:0]ビットがB'00のとき、送受信FIFOバッファに格納された受信メッセージのデータ・フォーマット（データ・フレームまたはリモート・フレーム）を示します。CFM[1:0]ビットがB'01のとき、送受信FIFOバッファから送信するメッセージのデータ・フォーマットを設定します。

・THLENビット

1にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファ・タイプ）が送信履歴バッファに格納されます。

CFM[1:0]ビットがB'01（送信モード）のときに、有効になります。

・CFID[28:16]

CFM[1:0]ビットがB'00のとき、送受信FIFOバッファに格納された受信メッセージのIDを示します。

CFM[1:0]ビットがB'01のとき、送受信FIFOバッファから送信するメッセージのIDを設定します。

18.3.51　CANi送受信FIFOアクセス・レジスタkBL（CFTSk）（i = 0, 1、k = 0, 1）

アドレス　　CFTS0：F05E4H、CFTS1：F05F4H

CFTSkレジスタは16ビット単位でアクセスできます。また、CFTSkL, CFTSkHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFTS[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	CFTS[15:0]	送受信FIFOバッファ・タイムスタンプ・データ	CFM[1:0]ビットがB'00（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・CFTS[15:0]

送受信FIFOバッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0]ビットがB'00のときに、有効になります。

18.3.52　CANi送受信FIFOアクセス・レジスタkBH（CFPTRk）（i = 0, 1、k = 0, 1）

アドレス　　CFPTR0：F05E6H、CFPTR1：F05F6H

CFPTRkレジスタは16ビット単位でアクセスできます。また、CFPTRkL, CFPTRkHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDLC[3:0]				CFPTR[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	CFDLC[3:0]	送受信FIFOバッファ DLCデータ	b15　b14　b13　b12 0　0　0　0：0データ・バイト 0　0　0　1：1データ・バイト 0　0　1　0：2データ・バイト 0　0　1　1：3データ・バイト 0　1　0　0：4データ・バイト 0　1　0　1：5データ・バイト 0　1　1　0：6データ・バイト 0　1　1　1：7データ・バイト 1　X　X　X：8データ・バイト	R/W
11-0	CFPTR[11:0]	送受信FIFOバッファ・ラベル・データ	CFM[1:0]ビットがB'01（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。CFPTR[7:0]のみ有効です。 CFM[1:0]ビットがB'00（受信モード）時 受信メッセージのラベル情報が読めます。	R/W

CFCCHkレジスタのCFM[1:0]ビットがB'01（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0]ビットがB'00（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットがB'10（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

・CFDLC[3:0]

CFM[1:0]ビットがB'00のとき、送受信FIFOバッファに格納された受信メッセージのデータ長を示します。

CFM[1:0]ビットがB'01のとき、送受信FIFOバッファから送信されるメッセージのデータ長を設定します。

9バイト以上を設定した場合、実際に送信されるデータは8バイトになります。

・CFPTR[11:0]

CFM[1:0]ビットがB'00のとき、送受信FIFOバッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0]ビットがB'01のとき、メッセージ送信が完了した場合、CFPTR[7:0]ビットの値が送信履歴に格納されます。

18.3.53 CANi送受信FIFOアクセス・レジスタkCL（CFDF0k）（i = 0, 1、k = 0, 1）

アドレス CFDF00：F05E8H、CFDF01：F05F8H

CFDF0kレジスタは16ビット単位でアクセスできます。また、CFDF0kL, CFDF0kHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDB1[7:0]								CFDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	CFDB1[7:0]	送受信FIFOバッファ・データ・バイト1	CFM[1:0]ビットがB'01（送信モード）時 送受信FIFOバッファのデータを設定してください。 CFM[1:0]ビットがB'00（受信モード）時 送受信FIFOバッファに格納されたメッセージのデータが読めます。	R/W
7-0	CFDB0[7:0]	送受信FIFOバッファ・データ・バイト0		R/W

CFCCHkレジスタのCFM[1:0]ビットがB'01の場合のみ、このレジスタに書けます。

CFM[1:0]ビットがB'00の場合のみ、このレジスタを読めます。CFM[1:0] ビットがB'10（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFPTRkレジスタのCFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトはH'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.54　CANi送受信FIFOアクセス・レジスタkCH（CFDF1k）（i = 0, 1、k = 0, 1）

アドレス　　CFDF10：F05EAH、CFDF11：F05FAH

CFDF1kレジスタは16ビット単位でアクセスできます。また、CFDF1kL, CFDF1kHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDB3[7:0]								CFDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	CFDB3[7:0]	送受信FIFOバッファ・データ・バイト3	CFM[1:0]ビットがB'01（送信モード）時	R/W
7-0	CFDB2[7:0]	送受信FIFOバッファ・データ・バイト2	送受信FIFOバッファのデータを設定してください。 CFM[1:0]ビットがB'00（受信モード）時 送受信FIFOバッファに格納されたメッセージのデータが読めます。	R/W

CFCCHkレジスタのCFM[1:0]ビットがB'01の場合のみ、このレジスタに書けます。

CFM[1:0]ビットがB'00の場合のみ、このレジスタを読めます。CFM[1:0] ビットがB'10（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFPTRkレジスタのCFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトはH'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.55　CANi送受信FIFOアクセス・レジスタkDL（CFDF2k）（i = 0, 1、k = 0, 1）

アドレス　　CFDF20：F05ECH、CFDF21：F05FCH

CFDF2kレジスタは16ビット単位でアクセスできます。また、CFDF2kL，CFDF2kHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDB5[7:0]								CFDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	CFDB5[7:0]	送受信FIFOバッファ・データ・バイト5	CFM[1:0]ビットがB'01（送信モード）時 送受信FIFOバッファのデータを設定してください。 CFM[1:0]ビットがB'00（受信モード）時 送受信FIFOバッファに格納されたメッセージのデータが読めます。	R/W
7-0	CFDB4[7:0]	送受信FIFOバッファ・データ・バイト4		R/W

CFCCHkレジスタのCFM[1:0]ビットがB'01の場合のみ、このレジスタに書けます。

CFM[1:0]ビットがB'00の場合のみ、このレジスタを読めます。CFM[1:0] ビットがB'10（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFPTRkレジスタのCFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトはH'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.56　CANi送受信FIFOアクセス・レジスタkDH（CFDF3k）（i = 0, 1、k = 0, 1）

アドレス　　CFDF30：F05EEH、CFDF31：F05FEH

CFDF3kレジスタは16ビット単位でアクセスできます。また、CFDF3kL，CFDF3kHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFDB7[7:0]								CFDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	CFDB7[7:0]	送受信FIFOバッファ・データ・バイト7	CFM[1:0]ビットがB'01（送信モード）時 送受信FIFOバッファのデータを設定してください。 CFM[1:0]ビットがB'00（受信モード）時 送受信FIFOバッファに格納されたメッセージのデータが読めます。	R/W
7-0	CFDB6[7:0]	送受信FIFOバッファ・データ・バイト6		R/W

CFCCHkレジスタのCFM[1:0]ビットがB'01の場合のみ、このレジスタに書けます。

CFM[1:0]ビットがB'00の場合のみ、このレジスタを読めます。CFM[1:0] ビットがB'10（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFPTRkレジスタのCFDLC[3:0]ビットの値がB'1000未満の場合、データが設定されていないデータ・バイトはH'00が読めます。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.57 受信FIFOメッセージ・ロスト・ステータス・レジスタ（RFMSTS）

アドレス RFMSTS：F0360H

RFMSTSレジスタは8ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RF3MLT	RF2MLT	RF1MLT	RF0MLT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
3	RF3MLT	受信FIFOバッファ3メッセージ・ロスト・ステータス・フラグ	0：受信FIFOバッファmメッセージ・ロストなし（m = 0-3） 1：受信FIFOバッファmメッセージ・ロスト	R
2	RF2MLT	受信FIFOバッファ2メッセージ・ロスト・ステータス・フラグ		R
1	RF1MLT	受信FIFOバッファ1メッセージ・ロスト・ステータス・フラグ		R
0	RF0MLT	受信FIFOバッファ0メッセージ・ロスト・ステータス・フラグ		R

RFMSTSレジスタは、グローバル・リセット・モード時、H'00になります。

・RFmMLTフラグ（m = 0～3）

RFSTSmレジスタのRFMLTフラグが1（メッセージ・ロスト）になると、RFmMLTフラグは1になります。

RFMLTフラグを0にすると、RFmMLTフラグは0になります。

18.3.58　CAN送受信FIFOメッセージ・ロスト・ステータス・レジスタ（CFMSTS）

アドレス　　CFMSTS：F0361H

CFMSTSレジスタは8ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CF1MLT	CF0MLT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	ー	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
1	CF1MLT	CAN1送受信FIFOバッファ1メッセージ・ロスト・ステータス・フラグ	0：CAN1送受信FIFOバッファ1メッセージ・ロストなし 1：CAN1送受信FIFOバッファ1メッセージ・ロスト	R
0	CF0MLT	CAN0送受信FIFOバッファ0メッセージ・ロスト・ステータス・フラグ	0：CAN0送受信FIFOバッファ0メッセージ・ロストなし 1：CAN0送受信FIFOバッファ0メッセージ・ロスト	R

CFMSTSレジスタは、グローバル・リセット・モード時、H'00になります。

・CFkMLTフラグ（k = 0, 1）

CFSTSkレジスタのCFMLTフラグが1（メッセージ・ロスト）になると、CFkMLTフラグは1になります。

CFMLTフラグを0にすると、CFkMLTフラグは0になります。

18.3.59 CAN受信FIFO割り込みステータス・レジスタ（RFISTS）

アドレス RFISTS：F0362H

RFISTSレジスタは8ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RF3IF	RF2IF	RF1IF	RF0IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-4	—	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
3	RF3IF	受信FIFOバッファ3 割り込み要求ステータス・フラグ	0：受信FIFOバッファm割り込み要求なし（m = 0-3） 1：受信FIFOバッファm割り込み要求あり	R
2	RF2IF	受信FIFOバッファ2 割り込み要求ステータス・フラグ		R
1	RF1IF	受信FIFOバッファ1 割り込み要求ステータス・フラグ		R
0	RF0IF	受信FIFOバッファ0 割り込み要求ステータス・フラグ		R

RFISTSレジスタは、グローバル・リセット・モード時、H'00になります。

・RFmIFフラグ（m = 0-3）

RFSTSmレジスタのRFIFフラグが1（割り込み要求あり）になると、RFmIFフラグは1になります。RFIFフラグを0にすると、RFmIFフラグは0になります。

18.3.60　CAN送受信FIFO受信割り込みステータス・レジスタ（CFISTS）

アドレス　　CFISTS：F0363H

CFISTSレジスタは8ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CF1IF	CF0IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-2	ー	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
1	CF1IF	CAN1送受信FIFOバッファ1 受信割り込み要求ステータス・フラグ	0：CAN1送受信FIFOバッファ1受信割り込み要求なし 1：CAN1送受信FIFOバッファ1受信割り込み要求あり	R
0	CF0IF	CAN0送受信FIFOバッファ0 受信割り込み要求ステータス・フラグ	0：CAN0送受信FIFOバッファ0受信割り込み要求なし 1：CAN0送受信FIFOバッファ0受信割り込み要求あり	R

CFISTSレジスタは、グローバル・リセット・モード時、H'00になります。

・CFkIFフラグ（k = 0, 1）

CFSTSkレジスタのCFRXIFフラグが1（割り込み要求あり）になると、CFkIFフラグは1になります。CFRXIFフラグを0にすると、CFkIFフラグは0になります。

18.3.61　CANi送信バッファ制御レジスタp（TMCp）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ制御レジスタp（p = 0～3）

TMC0：F0364H、TMC1：F0365H、TMC2：F0366H、TMC3：F0367H

CAN1送信バッファ制御レジスタp（p = 4～7）

TMC4：F0368H、TMC5：F0369H、TMC6：F036AH、TMC7：F036BH

TMCpは8ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TMOM	TMTAR	TMTR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-3	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
2	TMOM	ワンショット送信許可ビット	0：ワンショット送信禁止 1：ワンショット送信許可	R/W
1	TMTAR	送信アボート要求ビット	0：送信アボートを要求しない 1：送信アボートを要求する	R/(W)注
0	TMTR	送信要求ビット	0：送信を要求しない 1：送信を要求する	R/(W)注

注　このビットへの書き込みは、ビットセットする（1にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

TMCpレジスタが次の条件を満たす場合は、H'00にしてください。

・CFCCHkレジスタのCFTML[1:0]ビットで選択した送信バッファ番号に対応する

TMCpレジスタのビットは、チャネル・リセット・モード時に0になります。TMCpレジスタは、チャネル通信モードまたはチャネル待機モードでのみ書き換えてください。

・TMOMビット

1にするとワンショット送信が許可されます。送信に失敗しても、CANプロトコルに規定された再送信を行いません。

TMOMビットは、TMSTSpレジスタのTMTRMフラグが0のときに書き換えてください。TMOMビットに1を書く場合は、TMTRビットと同時に1を書いてください。

・TMTARビット

1にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTRビットが1のとき、TMTARビットを1にできます。

TMTARビットは次の条件で0になります。プログラムで0を書いても0になりません。

・送信が完了したとき

・送信アボートが完了したとき

・エラーまたはアービトレーション・ロストを検出したとき

0になるタイミングと1を書くタイミングが同じ場合、0になります。

・TMTRビット

1にすると、送信バッファに格納されたメッセージの送信を行います。

TMTRビットは次の条件で0になります。プログラムで0を書いても0にできません。

・送信が完了したとき

・TMTARビットを1にし、送信アボートが完了したとき

・TMOMビットが1の状態で、エラーまたはアービトレーション・ロストを検出したとき

TMSTSpレジスタのTMTRF[1:0]フラグがB'00のときに、TMTRビットを1に設定してください。

18.3.62　CANi送信バッファ・ステータス・レジスタp（TMSTSp）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ・ステータス・レジスタp（p = 0～3）

TMSTS0：F036CH、TMSTS1：F036DH、TMSTS2：F036EH、TMSTS3：F036FH

CAN1送信バッファ・ステータス・レジスタp（p = 4～7）

TMSTS4：F0370H、TMSTS5：F0371H、TMSTS6：F0372H、TMSTS7：F0373H

TMSTSpレジスタは8ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-5	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
4	TMTARM	送信バッファ送信アボート要求ステータス・フラグ	0：送信アボート要求なし 1：送信アボート要求あり	R
3	TMTRM	送信バッファ送信要求ステータス・フラグ	0：送信要求なし 1：送信要求あり	R
2, 1	TMTRF[1:0]	送信バッファ送信結果フラグ	b2　b1 0　0：送信中または送信要求なし 0　1：送信アボート完了 1　0：送信完了（送信アボート要求なし） 1　1：送信完了（送信アボート要求あり）	R/W
0	TMTSTS	送信バッファ送信ステータス・フラグ	0：送信中ではない 1：送信中	R

TMSTSpレジスタのビットは、チャネル・リセット・モード時に0になります。

・TMTARMフラグ

TMCpレジスタのTMTARビットを1にすると、TMTARMフラグは1になります。

TMCpレジスタのTMTARビットが0になると、TMTARMフラグは0になります。

・TMTRMフラグ

TMCpレジスタのTMTRビットを1にすると、TMTRMフラグは1になります。

TMCpレジスタのTMTRビットが0になると、TMTRMフラグは0になります。

・TMTRF[1:0]フラグ

送信バッファからの送信結果を示します。

B'00：送信中または送信要求なし。

B'01：送信バッファからの送信がアボートされた。

B'10：TMCpレジスタのTMTARビットが0（送信アボートを要求しない）で、送信が完了した。

B'11：TMCpレジスタのTMTARビットが1（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0]フラグは、チャネル通信モードまたはチャネル待機モードでB'00を書いてください。B'00以外の値は書かないでください。

・TMTSTSフラグ

送信バッファからの送信が開始すると1になります。送信バッファからの送信が完了、またはバス・エラーやアービトレーション・ロストにより中断されると0になります。

18.3.63　CAN送信バッファ送信要求ステータス・レジスタ（TMTRSTS）

アドレス　　TMTRSTS：F0374H

TMTRSTSレジスタは16ビット単位でアクセスできます。また、TMTRSTSL, TMTRSTSHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	TMTRSTS7	TMTRSTS6	TMTRSTS5	TMTRSTS4	—	—	—	—	TMTRSTS3	TMTRSTS2	TMTRSTS1	TMTRSTS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	−	（予約ビット）	読むと0が読み出されます。	R
11	TMTRSTS7	CAN1送信バッファ7送信要求ステータス・フラグ	0：送信要求なし 1：送信要求あり	R
10	TMTRSTS6	CAN1送信バッファ6送信要求ステータス・フラグ		R
9	TMTRSTS5	CAN1送信バッファ5送信要求ステータス・フラグ		R
8	TMTRSTS4	CAN1送信バッファ4送信要求ステータス・フラグ		R
7-4	−	（予約ビット）	読むと0が読み出されます。	R
3	TMTRSTS3	CAN0送信バッファ3送信要求ステータス・フラグ	0：送信要求なし 1：送信要求あり	R
2	TMTRSTS2	CAN0送信バッファ2送信要求ステータス・フラグ		R
1	TMTRSTS1	CAN0送信バッファ1送信要求ステータス・フラグ		R
0	TMTRSTS0	CAN0送信バッファ0送信要求ステータス・フラグ		R

・TMTRSTSpフラグ（p = 0〜7）

TMCpレジスタのTMTRビットの状態を示します。

TMTRビットを1（送信を要求する）にすると、対応するTMTRSTSpフラグは1になります。

TMTRビットが0（送信を要求しない）になると、対応するTMTRSTSpフラグは0になります。また、チャネル・リセット・モード時、0になります。

18.3.64　CAN送信バッファ送信完了ステータス・レジスタ（TMTCSTS）

アドレス　　TMTCSTS：F0376H

TMTCSTSレジスタは16ビット単位でアクセスできます。また、TMTCSTSL, TMTCSTSHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	TMTCSTS7	TMTCSTS6	TMTCSTS5	TMTCSTS4	—	—	—	—	TMTCSTS3	TMTCSTS2	TMTCSTS1	TMTCSTS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	ー	（予約ビット）	読むと0が読み出されます。	R
11	TMTCSTS7	CAN1送信バッファ7送信完了ステータス・フラグ	0：送信未完了 1：送信完了	R
10	TMTCSTS6	CAN1送信バッファ6送信完了ステータス・フラグ		R
9	TMTCSTS5	CAN1送信バッファ5送信完了ステータス・フラグ		R
8	TMTCSTS4	CAN1送信バッファ4送信完了ステータス・フラグ		R
7-4	ー	（予約ビット）	読むと0が読み出されます。	R
3	TMTCSTS3	CAN0送信バッファ3送信完了ステータス・フラグ	0：送信未完了 1：送信完了	R
2	TMTCSTS2	CAN0送信バッファ2送信完了ステータス・フラグ		R
1	TMTCSTS1	CAN0送信バッファ1送信完了ステータス・フラグ		R
0	TMTCSTS0	CAN0送信バッファ0送信完了ステータス・フラグ		R

・TMTCSTSpフラグ（p = 0～7）

TMSTSpレジスタのTMTRF[1:0]フラグがB'10（送信完了、送信アボート要求なし）またはB'11（送信完了、送信アボート要求あり）になると、対応するTMTCSTSpフラグは1になります。

このフラグを0にする場合は、対応するTMTRF[1:0]フラグをB'00にしてください。また、チャネル・リセット・モード時、0になります。

18.3.65　CAN送信バッファ送信アボート・ステータス・レジスタ（TMTASTS）

アドレス　　TMTASTS：F0378H

TMTASTSレジスタは16ビット単位でアクセスできます。また、TMTASTSL, TMTASTSHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	TMTASTS7	TMTASTS6	TMTASTS5	TMTASTS4	—	—	—	—	TMTASTS3	TMTASTS2	TMTASTS1	TMTASTS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	－	（予約ビット）	読むと0が読み出されます。	R
11	TMTASTS7	CAN1送信バッファ7送信アボート・ステータス・フラグ	0：送信アボートなし 1：送信アボートあり	R
10	TMTASTS6	CAN1送信バッファ6送信アボート・ステータス・フラグ		R
9	TMTASTS5	CAN1送信バッファ5送信アボート・ステータス・フラグ		R
8	TMTASTS4	CAN1送信バッファ4送信アボート・ステータス・フラグ		R
7-4	－	（予約ビット）	読むと0が読み出されます。	R
3	TMTASTS3	CAN0送信バッファ3送信アボート・ステータス・フラグ	0：送信アボートなし 1：送信アボートあり	R
2	TMTASTS2	CAN0送信バッファ2送信アボート・ステータス・フラグ		R
1	TMTASTS1	CAN0送信バッファ1送信アボート・ステータス・フラグ		R
0	TMTASTS0	CAN0送信バッファ0送信アボート・ステータス・フラグ		R

・TMTASTSpフラグ（p = 0～7）

TMSTSpレジスタのTMTRF[1:0]フラグがB'01（送信アボート完了）になると、対応するTMTASTSpフラグは1になります。

このフラグを0にする場合は、対応するTMTRF[1:0]フラグをB'00にしてください。また、チャネル・リセット・モード時、0になります。

18.3.66　CAN送信バッファ割り込み許可レジスタ（TMIEC）

アドレス　　TMIEC：F037AH

TMIECレジスタは16ビット単位でアクセスできます。また、TMIECL, TMIECHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	TMIE7	TMIE6	TMIE5	TMIE4	—	—	—	—	TMIE3	TMIE2	TMIE1	TMIE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R/W
11	TMIE7	CAN1送信バッファ7割り込み許可ビット	0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可	R/W
10	TMIE6	CAN1送信バッファ6割り込み許可ビット		R/W
9	TMIE5	CAN1送信バッファ5割り込み許可ビット		R/W
8	TMIE4	CAN1送信バッファ4割り込み許可ビット		R/W
7-4	－	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R/W
3	TMIE3	CAN0送信バッファ3割り込み許可ビット	0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可	R/W
2	TMIE2	CAN0送信バッファ2割り込み許可ビット		R/W
1	TMIE1	CAN0送信バッファ1割り込み許可ビット		R/W
0	TMIE0	CAN0送信バッファ0割り込み許可ビット		R/W

・TMIEpビット（p = 0～7）

このビットを1に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応するTMSTSpレジスタのTMTRMフラグが0（送信要求なし）のときに書き換えてください。

送受信FIFOバッファにリンクした送信バッファに対応するビットは0にしてください。

18.3.67　CANi送信バッファ・レジスタpAL（TMIDLp）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ・レジスタpAL（p = 0～3）

TMIDL0：F0600H、TMIDL1：F0610H、TMIDL2：F0620H、TMIDL3：F0630H

CAN1送信バッファ・レジスタpAL（p = 4～7）

TMIDL4：F0640H、TMIDL5：F0650H、TMIDL6：F0660H、TMIDL7：F0670H

TMIDLpレジスタは16ビット単位でアクセスできます。また、TMIDLpL, TMIDLpHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMID[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	TMID[15:0]	送信バッファIDデータL	標準IDまたは拡張IDを設定してください。 標準IDの場合、b10～b0にIDを設定してください。b15～b11は0にしてください。	R/W

このレジスタは、対応するTMSTSpレジスタのTMTRMビットが0（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

・TMID[15:0]

送信バッファから送信するメッセージのIDを設定します。

18.3.68　CANi送信バッファ・レジスタpAH（TMIDHp）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ・レジスタpAH（p = 0～3）

TMIDH0：F0602H、TMIDH1：F0612H、TMIDH2：F0622H、TMIDH3：F0632H

CAN1送信バッファ・レジスタpAH（p = 4～7）

TMIDH4：F0642H、TMIDH5：F0652H、TMIDH6：F0662H、TMIDH7：F0672H

TMIDHpレジスタは16ビット単位でアクセスできます。また、TMIDHpL，TMIDHpHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMIDE	TMRTR	THLEN	TMID[28:16]												
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15	TMIDE	送信バッファIDEビット	0：標準ID 1：拡張ID	R/W
14	TMRTR	送信バッファRTRビット	0：データ・フレーム 1：リモート・フレーム	R/W
13	THLEN	送信履歴データ格納許可ビット	0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する	R/W
12-0	TMID[28:16]	送信バッファIDデータH	標準IDまたは拡張IDを設定してください。 標準IDの場合、0にしてください。	R/W

このレジスタは、対応するTMSTSpレジスタのTMTRMビットが0（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

・TMIDEビット

送信バッファから送信するメッセージのIDフォーマットを設定します。

・TMRTRビット

送信バッファから送信するメッセージのデータ・フォーマットを設定します。

・THLENビット

1にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファ・タイプ）が送信履歴バッファに格納されます。

・TMID[28:16]

送信バッファから送信するメッセージのIDを設定します。

18.3.69　CANi送信バッファ・レジスタpBH（TMPTRp）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ・レジスタpBH（p = 0～3）

TMPTR0：F0606H、TMPTR1：F0616H、TMPTR2：F0626H、TMPTR3：F0636H

CAN1送信バッファ・レジスタpBH（p = 4～7）

TMPTR4：F0646H、TMPTR5：F0656H、TMPTR6：F0666H、TMPTR7：F0676H

TMPTRpレジスタは16ビット単位でアクセスできます。また、TMPTRpL，TMPTRpHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMDLC[3:0]				–	–	–	–	TMPTR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-12	TMDLC[3:0]	送信バッファDLCデータ	b15　b14　b13　b12 0　0　0　0：0データ・バイト 0　0　0　1：1データ・バイト 0　0　1　0：2データ・バイト 0　0　1　1：3データ・バイト 0　1　0　0：4データ・バイト 0　1　0　1：5データ・バイト 0　1　1　0：6データ・バイト 0　1　1　1：7データ・バイト 1　X　X　X：8データ・バイト	R/W
11-8	–	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
7-0	TMPTR[7:0]	送信バッファ・ラベル・データ	送信履歴バッファに格納するラベル情報を設定してください。	R/W

このレジスタは、対応するTMSTSpレジスタのTMTRMビットが0（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

・TMDLC[3:0]

TMIDHpレジスタのTMRTRビットが0（データ・フレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9バイト以上を設定した場合、実際に送信されるデータは8バイトになります。

TMRTRビットが1（リモート・フレーム）のとき、要求するメッセージのデータ長を設定します。

・TMPTR[7:0]

メッセージ送信が完了した場合、TMPTR[7:0]ビットの値が送信履歴バッファに格納されます。

18.3.70　CANi送信バッファ・レジスタpCL（TMDF0p）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ・レジスタpCL（p = 0～3）

TMDF00：F0608H、TMDF01：F0618H、TMDF02：F0628H、TMDF03：F0638H

CAN1送信バッファ・レジスタpCL（p = 4～7）

TMDF04：F0648H、TMDF05：F0658H、TMDF06：F0668H、TMDF07：F0678H

TMDF0pレジスタは16ビット単位でアクセスできます。また、TMDF0pL, TMDF0pHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMDB1[7:0]								TMDB0[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	TMDB1[7:0]	送信バッファ・データ・バイト1	送信バッファのデータを設定してください。	R/W
7-0	TMDB0[7:0]	送信バッファ・データ・バイト0		R/W

このレジスタは、対応するTMSTSpレジスタのTMTRMビットが0（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.71 CANi送信バッファ・レジスタpCH（TMDF1p）（i = 0, 1、p = 0～7）

アドレス CAN0送信バッファ・レジスタpCH（p = 0～3）

TMDF10：F060AH、TMDF11：F061AH、TMDF12：F062AH、TMDF13：F063AH

CAN1送信バッファ・レジスタpCH（p = 4～7）

TMDF14：F064AH、TMDF15：F065AH、TMDF16：F066AH、TMDF17：F067AH

TMDF1pレジスタは16ビット単位でアクセスできます。また、TMDF1pL, TMDF1pHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMDB3[7:0]								TMDB2[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	TMDB3[7:0]	送信バッファ・データ・バイト3	送信バッファのデータを設定してください。	R/W
7-0	TMDB2[7:0]	送信バッファ・データ・バイト2		R/W

このレジスタは、対応するTMSTSpレジスタのTMTRMビットが0（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.72　CANi送信バッファ・レジスタpDL（TMDF2p）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ・レジスタpDL（p = 0～3）

TMDF20：F060CH、TMDF21：F061CH、TMDF22：F062CH、TMDF23：F063CH

CAN1送信バッファ・レジスタpDL（p = 4～7）

TMDF24：F064CH、TMDF25：F065CH、TMDF26：F066CH、TMDF27：F067CH

TMDF2pレジスタは16ビット単位でアクセスできます。また、TMDF2pL, TMDF2pHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMDB5[7:0]								TMDB4[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	TMDB5[7:0]	送信バッファ・データ・バイト5	送信バッファのデータを設定してください。	R/W
7-0	TMDB4[7:0]	送信バッファ・データ・バイト4		R/W

このレジスタは、対応するTMSTSpレジスタのTMTRMビットが0（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.73　CANi送信バッファ・レジスタpDH（TMDF3p）（i = 0, 1、p = 0～7）

アドレス　CAN0送信バッファ・レジスタpDH（p = 0～3）

TMDF30：F060EH、TMDF31：F061EH、TMDF32：F062EH、TMDF33：F063EH

CAN1送信バッファ・レジスタpDH（p = 4～7）

TMDF34：F064EH、TMDF35：F065EH、TMDF36：F066EH、TMDF37：F067EH

TMDF3pレジスタは16ビット単位でアクセスできます。また、TMDF3pL, TMDF3pHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TMDB7[7:0]								TMDB6[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	TMDB7[7:0]	送信バッファ・データ・バイト7	送信バッファのデータを設定してください。	R/W
7-0	TMDB6[7:0]	送信バッファ・データ・バイト6		R/W

このレジスタは、対応するTMSTSpレジスタのTMTRMビットが0（送信を要求しない）のときに書き換えてください。送受信FIFOバッファにリンクされている場合、書き込みを行わないでください。

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み書きができます。

18.3.74　CANi送信履歴バッファ制御レジスタ（THLCCi）（i = 0, 1）

アドレス　　THLCC0：F037CH、THLCC1：F037EH

THLCCiレジスタは16ビット単位でアクセスできます。また、THLCCiL, THLCCiHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-11	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
10	THLDTE	送信履歴対象バッファ選択ビット	0：送受信FIFOからのエントリ 1：送信バッファ、送受信FIFOからのエントリ	R/W
9	THLIM	送信履歴割り込み要因選択ビット	0：送信履歴バッファに6データ格納されたとき 1：1送信履歴データの格納完了時	R/W
8	THLIE	送信履歴割り込み許可ビット	0：送信履歴割り込み禁止 1：送信履歴割り込み許可	R/W
7-1	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
0	THLE	送信履歴バッファ許可ビット	0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する	R/W

・THLDTEビット

0にすると、送受信FIFOバッファから送信したメッセージの送信履歴データを送信履歴バッファに格納します。

1にすると、送信バッファ、送受信FIFOバッファから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネル・リセット・モードでのみ書き換えてください。

・THLIMビット

送信履歴割り込み要因を選択します。

このビットはチャネル・リセット・モードでのみ書き換えてください。

・THLIEビット

THLIEビットを1に設定し、THLIMビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。

THLEビットが0の状態で、THLIEビットを書き換えてください。

・THLEビット

1にすると、送信履歴バッファが使用できます。THLDTEビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャネル通信モードまたはチャネル待機モードでのみ書き換えてください。

18.3.75　CANi送信履歴バッファ・ステータス・レジスタ（THLSTSi）（i = 0, 1）

アドレス　　THLSTS0：F0380H、THLSTS1：F0382H

THLSTSiレジスタは16ビット単位でアクセスできます。また、THLSTSiL，THLSTSiHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	THLMC[3:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
15-12	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
11-8	THLMC[3:0]	送信履歴バッファ未読数カウンタ	送信履歴バッファに格納された未読データ数を示します。	R
7-4	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
3	THLIF	送信履歴割り込み要求フラグ	0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり	R/(W)注
2	THLELT	送信履歴バッファ・オーバフロー・フラグ	0：送信履歴バッファ・オーバフローではない 1：送信履歴バッファ・オーバフロー	R/(W)注
1	THLFLL	送信履歴バッファ・フル・ステータス・フラグ	0：送信履歴バッファ・フルではない 1：送信履歴バッファ・フル	R
0	THLEMP	送信履歴バッファ空ステータス・フラグ	0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）	R

注　このフラグビットへの書き込みは、ステータス・クリアする（0にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。0を書く場合は8ビット・データ転送命令または16ビット・データ転送命令を使用してください。

・THLMC[3:0]ビット

送信履歴バッファ内の未読データ数を示します。

・THLIFフラグ

THLCCiレジスタのTHLIMビットで設定した割り込み要因が発生したとき1になります。
プログラムで0を書き込むことで0にしてください。チャネル・リセット・モード時、0になります。

・THLELTフラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき1になります。
この場合、新しいデータは破棄されます。プログラムで0を書き込むことで0にしてください。チャネル・リセット・モード時、0になります。

・THLFLLフラグ

送信履歴バッファに8個のデータが格納されると1になります。格納数が8個より少なくなると0になります。
THLCCiレジスタのTHLEビットが0（送信履歴バッファを使用しない）のとき、またはチャネル・リセット・モード時、0になります。

・THLEMPフラグ

送信履歴データが1つでも送信履歴バッファへ格納されると0になります。
送信履歴バッファのすべてのデータを読むと1になります。THLCCiレジスタのTHLEビットを0（送信履歴バッファを使用しない）にしたとき、またはチャネル・リセット・モード時、1になります。

18.3.76　CANi送信履歴バッファ・アクセス・レジスタ（THLACCi）（i = 0, 1）

アドレス　　THLACC0：F0680H、THLACC1：F0684H

THLACCiレジスタは16ビット単位でアクセスできます。また、THLACCiL, THLACCiHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TID[7:0]								—	—	—	BN[1:0]		—	BT[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	TID[7:0]	ラベル・データ	格納されたデータのラベル情報が読めます。	R
7-5	−	（予約ビット）	読むと0が読み出されます。	R
4, 3	BN[1:0]	バッファ番号データ	送信元の送信バッファ/送受信FIFO番号が読めます。	R
2	−	（予約ビット）	読むと0が読み出されます。	R
1, 0	BT[1:0]	バッファ・タイプ・データ	b1　b0 0　1：送信バッファ 1　0：送信FIFOバッファ	R

GRWCRレジスタのRPAGEビットが1のときに、このレジスタへの読み出しができます。

・TID[7:0]

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

・BN[1:0]

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

・BT[1:0]

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

18.3.77　CANi送信履歴バッファ・ポインタ制御レジスタ（THLPCTRi）（i = 0, 1）

アドレス　　THLPCTR0：F0384H、THLPCTR1：F0386H

THLPCTRiレジスタは16ビット単位でアクセスできます。また、THLPCTRiL, THLPCTRiHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	THLPC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-8	−	（予約ビット）	書き込みは0としてください。	R
7-0	THLPC[7:0]	送信履歴バッファ・ポインタ	H'FFを書くと、送信履歴バッファの次の未読データにリード・ポインタが移動します。	W

・THLPC[7:0]ビット

THLPC[7:0]ビットにH'FFを書くと、送信履歴バッファの次のデータにリード・ポインタが移動します。このときTHLSTSiレジスタのTHLMC[3:0]ビット（送信履歴バッファ未読数カウンタ）の値が1減算されます。THLACCiレジスタを読んだあと、THLPC[7:0]ビットにH'FFを書いてください。

なお、H'FFの書き込みは、THLCCiレジスタのTHLEビットが1（送信履歴バッファを使用する）で、THLSTSiレジスタのTHLEMPフラグが0のときに行ってください。

18.3.78　CANグローバルRAMウィンドウ制御レジスタ（GRWCR）

アドレス　　GRWCR：F038AH

GRWCRレジスタは16ビット単位でアクセスできます。また、GRWCRL, GRWCRHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RPAGE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-1	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
0	RPAGE	RAMウィンドウ選択ビット	0：ウィンドウ0（受信ルール登録レジスタ、CAN用RAMテスト・レジスタ）選択 1：ウィンドウ1（受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファ、送信履歴データ・アクセス・レジスタ）選択	R/W

・RPAGEビット

RPAGEビットで選択されたウィンドウによって、アドレスH'F03A0～H'F0689に割り付けられるレジスタを切り替えます。

［RPAGEビットが0（ウィンドウ0）の場合に割り付けられるレジスタ］

・CAN受信ルール登録レジスタ：GAFLIDLj、GAFLIDHj、GAFLMLj、GAFLMHj、GAFLPLj、GAFLPHj

・CAN用RAMテスト・レジスタ：RPGACCr

［RPAGEビットが1（ウィンドウ1）の場合に割り付けられるレジスタ］

・CAN受信バッファ・レジスタ：RMIDLn、RMIDHn、RMTSn、RMPTRn、RMDF0n～RMDF3n

・CAN受信FIFOアクセス・レジスタ：RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m～RFDF3m

・CANi送受信FIFOアクセス・レジスタ：CFIDLk、CFIDHk、CFTSk、CFPTRk、CFDF0k～CFDF3k

・CANi送信バッファ・レジスタ：TMIDLp、TMIDHp、TMPTRp、TMDF0p～TMDF3p

・CANi送信履歴バッファ・アクセス・レジスタ：THLACCi

18.3.79　CANグローバル・テスト設定レジスタ（GTSTCFG）

アドレス　GTSTCFG：F038CH

GTSTCFGレジスタは16ビット単位でアクセスできます。また、GTSTCFGL，GTSTCFGHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTMPS[2:0]			—	—	—	—	—	—	C1ICBCE	C0ICBCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-11	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
10-8	RTMPS[2:0]	RAMテスト・ページ設定ビット	ページ0（H'00）～5（H’05）ページの範囲で設定	R/W
7-2	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
1	C1ICBCE	CAN1チャネル間通信テスト許可ビット	0：CAN1 チャネル間通信テスト禁止 1：CAN1 チャネル間通信テスト許可	R/W
0	C0ICBCE	CAN0チャネル間通信テスト許可ビット	0：CAN0 チャネル間通信テスト禁止 1：CAN0 チャネル間通信テスト許可	R/W

GTSTCFGレジスタはグローバル・テスト・モードでのみ書き換えてください。

・RTMPS[2:0]ビット

RAMテスト時､RAMテスト対象となるページ番号を設定します｡H'00～H'05以外の値を設定しないでください。

・CiICBCEビット（i = 0, 1）

CiICBCEビット（i = 0, 1）を1にすると、対応するチャネルのチャネル間通信テストが許可になります。

18.3.80 CANグローバル・テスト制御レジスタ（GTSTCTRL）

アドレス GTSTCTRL：F038EH

GTSTCTRLレジスタは8ビット単位でアクセスできます。

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	RTME	—	ICBCTME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
7-3	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
2	RTME	RAMテスト許可ビット	0：RAMテスト禁止 1：RAMテスト許可	R/W
1	−	（予約ビット）	読むと0が読み出されます。書き込みは0としてください。	R
0	ICBCTME	チャネル間通信テスト許可ビット	0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可	R/W

・RTMEビット

1にすると、RAMテストが許可になります。このビットはグローバル・テスト・モードでのみ書き換えてください。

（1）GCTRLレジスタのGMDC[1:0]ビットをB'10（グローバル・テスト・モード）にする。

（2）GLOCKKレジスタにH'7575とH'8A8Aを連続して書き込み、プロテクトを解除する。

（3）RTMEビットを1にする。

（4）RTMEビットが1になったことを確認する。

・ICBCTMEビット

1にすると、GTSTCFG レジスタのCiICBCE ビット（i = 0, 1）を1に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバル・テスト・モードで書き換えてください。

18.3.81　CANグローバル・テスト・プロテクト解除レジスタ（GLOCKK）

アドレス　　GLOCKK：F0394H

GLOCKKレジスタは16ビット単位でアクセスできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LOCK[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
15-0	LOCK[15:0]	プロテクト解除データ	テスト機能を使用するために、プロテクト解除データを書いてください。常に0が読めます。	W

GLOCKKレジスタはグローバル・テスト・モードでのみ書き換えてください。

・LOCK[15:0]ビット

表18－4に示すプロテクト解除データを連続してLOCK[15:0]ビットに書くと、対象ビットへの1書き込みが可能になります。

表18－4　テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ1	プロテクト解除データ2	対象ビット
RAMテスト	H'7575	H'8A8A	GTSTCTRLレジスタのRTMEビット

プロテクトが解除された後、RAMを除くCANのSFR領域（H’F0300～H’F039F）に書き込みを実行すると、再度プロテクトが有効になります。

CANのSFR領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

18.3.82 CAN用RAMテスト・レジスタr（RPGACCr）（r = 0～127）

アドレス RPGACC0～RPGACC7 : F0580H, F0582H, F0584H, F0586H, F0588H, F058AH, F058CH, F058EH
RPGACC8～RPGACC15 : F0590H, F0592H, F0594H, F0596H, F0598H, F059AH, F059CH, F059EH
RPGACC16～RPGACC23 : F05A0H, F05A2H, F05A4H, F05A6H, F05A8H, F05AAH, F05ACH, F05AEH
RPGACC24～RPGACC31 : F05B0H, F05B2H, F05B4H, F05B6H, F05B8H, F05BAH, F05BCH, F05BEH
RPGACC32～RPGACC39 : F05C0H, F05C2H, F05C4H, F05C6H, F05C8H, F05CAH, F05CCH, F05CEH
RPGACC40～RPGACC47 : F05D0H, F05D2H, F05D4H, F05D6H, F05D8H, F05DAH, F05DCH, F05DEH
RPGACC48～RPGACC55 : F05E0H, F05E2H, F05E4H, F05E6H, F05E8H, F05EAH, F05ECH, F05EEH
RPGACC56～RPGACC63 : F05F0H, F05F2H, F05F4H, F05F6H, F05F8H, F05FAH, F05FCH, F05FEH
RPGACC64～RPGACC71 : F0600H, F0602H, F0604H, F0606H, F0608H, F060AH, F060CH, F060EH
RPGACC72～RPGACC79 : F0610H, F0612H, F0614H, F0616H, F0618H, F061AH, F061CH, F061EH
RPGACC80～RPGACC87 : F0620H, F0622H, F0624H, F0626H, F0628H, F062AH, F062CH, F062EH
RPGACC88～RPGACC95 : F0630H, F0632H, F0634H, F0636H, F0638H, F063AH, F063CH, F063EH
RPGACC96～RPGACC103 : F0640H, F0642H, F0644H, F0646H, F0648H, F064AH, F064CH, F064EH
RPGACC104～RPGACC111 : F0650H, F0652H, F0654H, F0656H, F0658H, F065AH, F065CH, F065EH
RPGACC112～RPGACC119 : F0660H, F0662H, F0664H, F0666H, F0668H, F066AH, F066CH, F066EH
RPGACC120～RPGACC127 : F0670H, F0672H, F0674H, F0676H, F0678H, F067AH, F067CH, F067EH

RPGACCrレジスタは16ビット単位でアクセスできます。また、RPGACCrL, RPGACCrHレジスタとして8ビット単位でアクセスすることもできます。

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RDTA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

機能	R/W
CAN用RAMデータの読み書きができます。	R/W

RPGACCrレジスタは、グローバル・テスト・モードでかつGTSTCTRLレジスタのRTMEビットが1（RAMテスト許可）の状態で書き換えてください。RTMEビットが1のときに、RPGACCrレジスタへの読み書きができます。GRWCRレジスタのRPAGEビットが0のときに、このレジスタへの読み書きができます。

18.4　CANモード

CANモジュールには、CANモジュール全体の状態を制御するグローバル・モードが4種類と、個々のチャネル状態を制御するチャネル・モードが4種類あります。

詳細は「18.4.1　グローバル・モード」および「18.4.2　チャネル・モード」を参照してください。

・グローバル・ストップ・モード　　：モジュール全体のクロックを停止させ、低消費電力を実現する。
・グローバル・リセット・モード　　：モジュール全体の初期設定を行う。
・グローバル・テスト・モード　　：テスト設定を行う。また、RAMテストを実施する。
・グローバル動作モード　　：モジュール全体を動作可能にする。
・チャネル・ストップ・モード　　：チャネルのクロックが停止する。
・チャネル・リセット・モード　　：チャネルの初期設定を行う。
・チャネル待機モード　　：CAN通信を停止する。また、チャネルのテストを許可する。
・チャネル通信モード　　：CAN通信を行う。

18.4.1　グローバル・モード

図18－2にグローバル・モードの遷移図を示します。

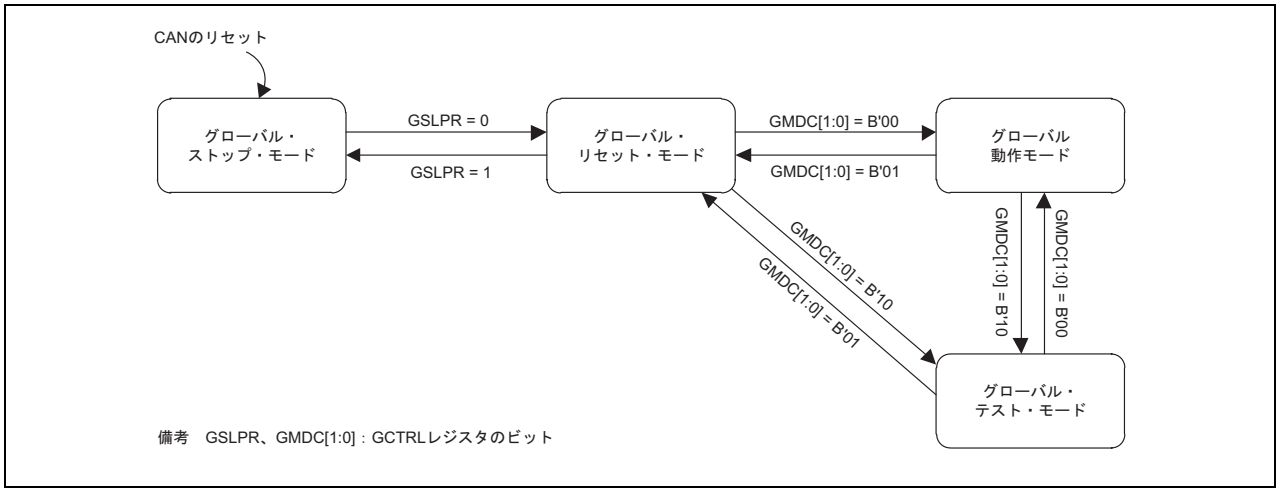


図18－2　グローバル・モードの遷移図

グローバル・モードの遷移により、チャネルのモードが変化する場合があります。表18－5にグローバル・モード設定（GMDC[1:0]、GSLPRビット）によるチャネル・モードの変化を示します。

表18－5　グローバル・モード設定（GMDC[1:0]、GSLPRビット）によるチャネル・モードの変化

設定前のチャネル・モード	設定後のチャネル・モード[注]			
	GMDC[1:0] = B'00 GSLPR = 0 （グローバル動作）	GMDC[1:0] = B'10 GSLPR = 0 （グローバル・テスト）	GMDC[1:0] = B'01 GSLPR = 0 （グローバル・リセット）	GMDC[1:0] = B'01 GSLPR = 1 （グローバル・ストップ）
チャネル通信	チャネル通信	チャネル待機	チャネル・リセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネル・リセット	遷移禁止
チャネル・リセット	チャネル・リセット	チャネル・リセット	チャネル・リセット	チャネル・ストップ
チャネル・ストップ	チャネル・ストップ	チャネル・ストップ	チャネル・ストップ	チャネル・ストップ

注　GMDC[1:0]ビットとGSLPRビットは、GCTRLレジスタのビット。

表18－6にグローバル・モードの遷移時間を示します。

表18－6　グローバル・モードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバル・ストップ	グローバル・リセット	f_{CLK}の3クロック
グローバル・リセット	グローバル・ストップ	f_{CLK}の3クロック
グローバル・リセット	グローバル・テスト	f_{CLK}の10クロック
グローバル・リセット	グローバル動作	f_{CLK}の10クロック
グローバル・テスト	グローバル・リセット	f_{CLK}の3クロック
グローバル・テスト	グローバル動作	f_{CLK}の3クロック
グローバル動作	グローバル・リセット	f_{CLK}の3クロック
グローバル動作	グローバル・テスト	CANフレームの2つ分

（1）グローバル・ストップ・モード

グローバル・ストップ・モードではCANのクロックが停止するので、消費電力が低減されます。CAN関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

CANモジュール・イネーブル後、グローバル・ストップ・モードになります。また、グローバル・リセット・モード時にGCTRLレジスタのGSLPRビットを1（グローバル・ストップ・モード）にすると、各CiCTRLレジスタのCSLPRビットが1（チャネル・ストップ・モード）になります。すべてのチャネルが強制的にチャネル・ストップ・モードへ遷移すると、グローバル・ストップ・モードになります。GSLPRビットは、グローバル動作モードおよびグローバル・テスト・モードでは書き換えないでください。

（2）グローバル・リセット・モード

グローバル・リセット・モードでCANモジュールの設定を行います。グローバル・リセット・モードに遷移すると、一部のレジスタが初期化されます。表18－9と表18－10に初期化されるレジスター覧を示します。

GCTRLレジスタのGMDC[1:0]ビットをB'01に設定すると、各CiCTRLレジスタのCHMDC[1:0]ビットがB'01（チャネル・リセット・モード）になります。すべてのチャネルが強制的にチャネル・リセット・モードへ遷移すると、グローバル・リセット・モードになります。すでにチャネル・リセット・モードまたはチャネル・ストップ・モードであるチャネルはモード遷移しません（CHMDC[1:0]ビットがすでにB'01に設定されているため）。

（3）グローバル・テスト・モード

グローバル・テスト・モードでテスト関連レジスタの設定を行います。グローバル・テスト・モードに遷移すると、すべてのCAN通信は停止します。

GCTRLレジスタのGMDC[1:0]ビットをB'10に設定すると、各CiCTRLレジスタのCHMDC[1:0]ビットがB'10（チャネル待機モード）になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバル・テスト・モードになります。チャネル・ストップ・モード、チャネル・リセット・モード、またはチャネル待機モードであるチャネルは、モード遷移しません。

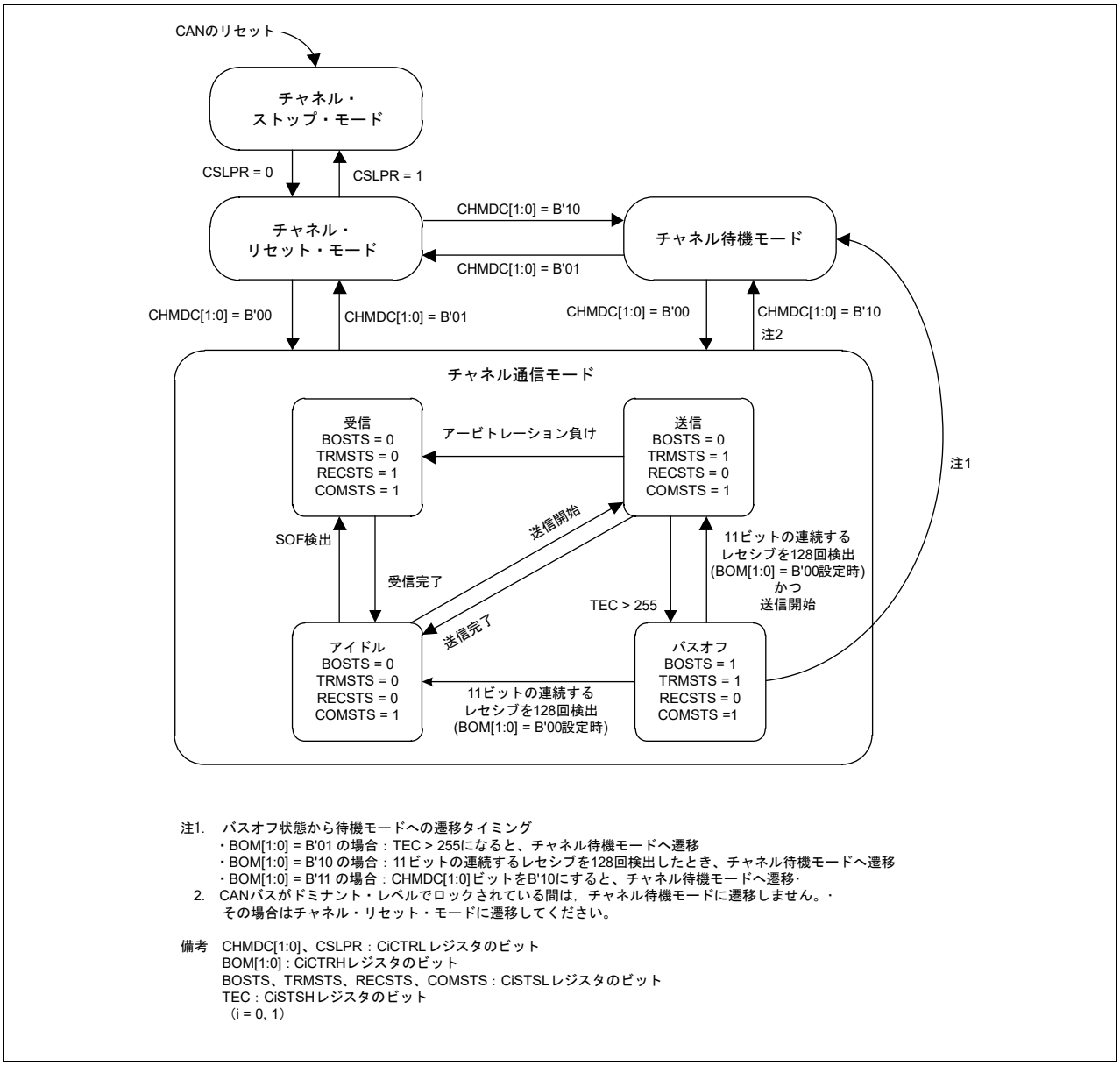
（4）グローバル動作モード

グローバル動作モードではCANモジュール全体が動作します。

GCTRLレジスタのGMDC[1:0]ビットをB'00にすると、グローバル動作モードに遷移します。

18.4.2 チャネル・モード

図18－3にチャネル・モードの状態遷移図を示します。表18－7にチャネル・モードの遷移時間（i = 0, 1）を示します。



注1. バスオフ状態から待機モードへの遷移タイミング
・BOM[1:0] = B'01 の場合：TEC > 255になると、チャネル待機モードへ遷移
・BOM[1:0] = B'10 の場合：11ビットの連続するレセシブを128回検出したとき、チャネル待機モードへ遷移
・BOM[1:0] = B'11 の場合：CHMDC[1:0]ビットをB'10にすると、チャネル待機モードへ遷移·
2. CANバスがドミナント・レベルでロックされている間は，チャネル待機モードに遷移しません。·
その場合はチャネル・リセット・モードに遷移してください。

備考 CHMDC[1:0]、CSLPR：CiCTRLレジスタのビット
BOM[1:0]：CiCTRHレジスタのビット
BOSTS、TRMSTS、RECSTS、COMSTS：CiSTSLレジスタのビット
TEC：CiSTSHレジスタのビット
（i = 0, 1）

図18－3 チャネル・モードの状態遷移図

表18－7 チャネル・モードの遷移時間（i = 0, 1）

遷移前のモード	遷移後のモード	最大遷移時間
チャネル・ストップ	チャネル・リセット	f_{CLK}の3クロック
チャネル・リセット	チャネル・ストップ	f_{CLK}の3クロック
チャネル・リセット	チャネル待機	3 CANiビット・タイム
チャネル・リセット	チャネル通信	2 CANiビット・タイム
チャネル待機	チャネル・リセット	f_{CLK}の3クロック
チャネル待機	チャネル通信	3 CANiビット・タイム
チャネル通信	チャネル・リセット	f_{CLK}の3クロック
チャネル通信	チャネル待機	CANiフレームの2つ分

（1）チャネル・ストップ・モード

チャネル・ストップ・モードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、CANモジュール・イネーブル後、チャネル・ストップ・モードになります。また、チャネル・リセット・モード時に、CiCTRLレジスタのCSLPRビットを1（チャネル・ストップ・モード）にすると、チャネル・ストップ・モードに遷移します。CSLPRビットはチャネル通信モードおよびチャネル待機モードでは書き換えないでください。

（2）チャネル・リセット・モード

チャネル・リセット・モードでチャネルの設定を行います。チャネル・リセット・モードに遷移すると、一部のチャネル関連レジスタが初期化されます。表18－9に初期化されるレジスター覧を示します。

CAN通信中にCiCTRLレジスタのCHMDC[1:0]ビットをB'01（チャネル・リセット・モード）にすると、送受信の完了を待たずに通信が中断され、チャネル・リセット・モードへ遷移します。表18－8にCAN通信中にCHMDC[1:0]ビットをB'01（チャネル・リセット・モード）に設定したときの動作を示します。

（3）チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルのCAN通信は停止します。

表18－8にCAN通信中にCHMDC[1:0]ビットをB'10（チャネル待機モード）に設定したときの動作を示します。

表18－8　チャネル・リセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネル・リセット（CHMDC[1:0] = B'01）	受信の終了を待たずにチャネル・リセット・モードに遷移[注1]	送信の終了を待たずにチャネル・リセット・モードに遷移[注1]	バスオフ復帰の終了を待たずにチャネル・リセット・モードに遷移
チャネル待機[注3]（CHMDC[1:0] = B'10）	受信の終了を待ってチャネル待機モードに遷移[注2]	送信の終了を待ってチャネル待機モードに遷移[注2]	【BOM[1:0]ビットがB'00の場合】 バスオフ復帰後のみ、チャネル待機モード遷移（CHMDC[1:0] = B'10）が実行される 【BOM[1:0]ビットがB'01の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0]ビットがB'10の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0]ビットがB'11の場合】 CHMDC[1:0]ビットにB'10が設定されるとすぐにチャネル待機モードに遷移（バスオフ復帰の終了は待たない）

注1. 通信が終了した後にチャネル・リセット・モードへ遷移するには、まずCHMDC[1:0]ビットをB'10に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0]ビットをB'01に設定してください。

2. CANバスがドミナント・レベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネル・リセット・モードに遷移してください。ドミナント・ロックを検出するとCiERFLLレジスタのBLFフラグが1になるので、CANバスの状態を確認できます。

3. チャネル・リセット・モードからチャネル待機モードへ遷移する場合、チャネル・リセット・モードでCiCFGLレジスタとCiCFGHレジスタを設定してからチャネル待機モードへ遷移してください。

（4）チャネル通信モード

チャネル通信モードでCAN通信を行います。CAN通信時、各チャネルは次に示す通信状態をとります。

・アイドル　　：受信も送信もしていない状態。
・受信　　：他のノードから送られてきたメッセージを受信している状態。
・送信　　：メッセージを送信している状態。
・バスオフ　　：CAN通信から遮断されている状態。

CiCTRLレジスタのCHMDC[1:0]ビットをB'00にすると、チャネル通信モードに遷移します。 遷移後、11ビットの連続するレセシブを検出すると、CiSTSLレジスタのCOMSTSフラグが1（通信可能な状態）になり、CANネットワーク上でアクティブ・ノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

（5）バスオフ状態

CAN仕様の送信、受信エラー・カウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰方法は、CiCTRHレジスタのBOM[1:0]ビットで設定します。

・BOM[1:0]ビットがB'00のとき

CAN仕様に準拠し、11ビットの連続するレセシブを128回検出後に、バスオフ状態からCAN通信可能な状態（エラー・アクティブ状態）に復帰します。そのとき、CiSTSHレジスタのTEC[7:0]ビットとREC[7:0]ビットはH'00に初期化され、CiERFLLレジスタのBORFフラグが1（バスオフ復帰検出）になります。バスオフ状態で、CiCTRLレジスタのCHMDC[1:0]ビットをB'10（チャネル待機モード）にすると、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャネル待機モードに遷移します。

・BOM[1:0]ビットがB'01のとき

バスオフ状態に遷移すると、CHMDC[1:0]ビットがB'10になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットはH'00に初期化されます。BORFフラグは1になりません。

・BOM[1:0]ビットがB'10のとき

バスオフ状態に遷移すると、CHMDC[1:0]ビットがB'10になり、バスオフ復帰が完了（11ビットの連続するレセシブを128回検出）してからチャネル待機モードへ遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットはH'00に初期化され、BORFフラグは1になります。

・BOM[1:0]ビットがB'11のとき

バスオフ状態時に、CHMDC[1:0]ビットをB'10にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0]ビットとREC[7:0]ビットはH'00に初期化されます。BORFフラグは1になりません。

ただし、CHMDC[1:0]ビットをB'10にする前に11ビットの連続するレセシブを128回検出し、エラー・アクティブ状態に復帰した場合、BORFフラグは1になります。

CANモジュールによるチャネル待機モードへの遷移と、プログラムによるCHMDC[1:0]ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0]ビットをB'01またはB'10に設定した場合のチャネル待機モードへの自動的な遷移は、CHMDC[1:0]ビットがB'00（チャネル通信モード）のときのみ発生します。

また、CiCTRLレジスタのRTBOビットを1にすることで、バスオフ状態から強制的に復帰することができます。RTBOビットに1を書くと、直ちにエラー・アクティブ状態になり、11ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORFフラグは1になりません。TEC[7:0]ビットとREC[7:0]ビットはH'00に初期化されます。RTBOビットは、BOM[1:0]ビットがB'00のときに1を書いてください。

表18－9 グローバル・リセット・モードおよびチャネル・リセット・モードで初期化されるレジスター覧

レジスタ	ビット/フラグ
CiCTRLレジスタ	CHMDC[1:0]
CiCTRHレジスタ	CTMS[1:0]、CTME
CiSTSLレジスタ	CHLTSTS、EPSTS、BOSTS、TRMSTS、RECSTS、COMSTS
CiSTSHレジスタ	REC[7:0]、TEC[7:0]
CiERFLLレジスタ	ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR、ALF、BLF、OVLF、BORF、BOEF、EPF、EWF、BEF
CiERFLHレジスタ	CRCREG[14:0]
CFCCLkレジスタ	送受信FIFO バッファが送信モードまたはゲートウェイモード時: CFE
CFSTSkレジスタ	送受信FIFO バッファが送信モードまたはゲートウェイモード時: CFMC[5:0]、CFTXIF、CFRXIF、CFMLT、CFFLL、CFEMP
TMCpレジスタ	TMOM、TMTAR、TMTR
TMSTSpレジスタ	TMTARM、TMTRM、TMTRF[1:0]、TMTSTS
TMTRSTSレジスタ	TMTRSTSp
TMTCSTSレジスタ	TMTCSTSp
TMTASTSレジスタ	TMTASTSp
THLCCiレジスタ	THLE
THLSTSiレジスタ	THLMC[3:0]、THLIF、THLELT、THLFLL、THLEMP
GTINTSTSレジスタ	THIFi、CFTIFi、TAIFi、TSIFi

備考 i = 0, 1、k = 0, 1、p = 0～7

注意 チャネル・リセット・モード時は、対応するチャネルおよびビットが初期化されます。

表18－10 グローバル・リセット・モードでのみ初期化されるレジスター覧

レジスタ	ビット/フラグ
GSTSレジスタ	GHLTSTS
GERFLLレジスタ	THLES、MES、DEF
GTSCレジスタ	TS[15:0]
RMND0, 1レジスタ	RMNS[31:0]
RFCCmレジスタ	RFE
RFSTSmレジスタ	RFMC[5:0]、RFIF、RFMLT、RFFLL、RFEMP
CFCCLkレジスタ	送受信FIFOが受信モード時: CFE
CFSTSkレジスタ	送受信FIFOバッファが受信モード時: CFMC[5:0]、CFTXIF、CFRXIF、CFMLT、CFFLL、CFEMP
RFMSTSレジスタ	RFmMLT
CFMSTSレジスタ	CFkMLT
RFISTSレジスタ	RFmIF
CFISTSレジスタ	CFkIF
GTSTCFGレジスタ	RTMPS[2:0]、C0ICBCE、C1ICBCE
GTSTCTRLレジスタ	RTME、ICBCTME

備考 k = 0, 1、m = 0～3

18.5　受信機能

受信の種類には次の2つがあります。

・受信バッファによる受信

全チャネルで共有する受信バッファは、0～32バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。

・受信FIFOバッファ、送受信FIFOバッファ（受信モード）による受信

全チャネルで共有する受信FIFOバッファが4本と、各チャネル専用の送受信FIFOバッファが1チャネルにつき1本ずつあります。FIFOバッファにはRFCCmレジスタのRFDC[2:0]ビット、CFCCLkレジスタのCFDC[2:0]ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

18.5.1　受信ルール・テーブルを用いたデータ処理

受信ルール・テーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンス・フィルタ処理、DLCフィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

受信ルールはモジュール全体で40あり、1チャネルに最大40登録することができます。受信ルールを設定しない場合は、メッセージを受信できません。図18－4に受信ルール登録の説明図を示します。

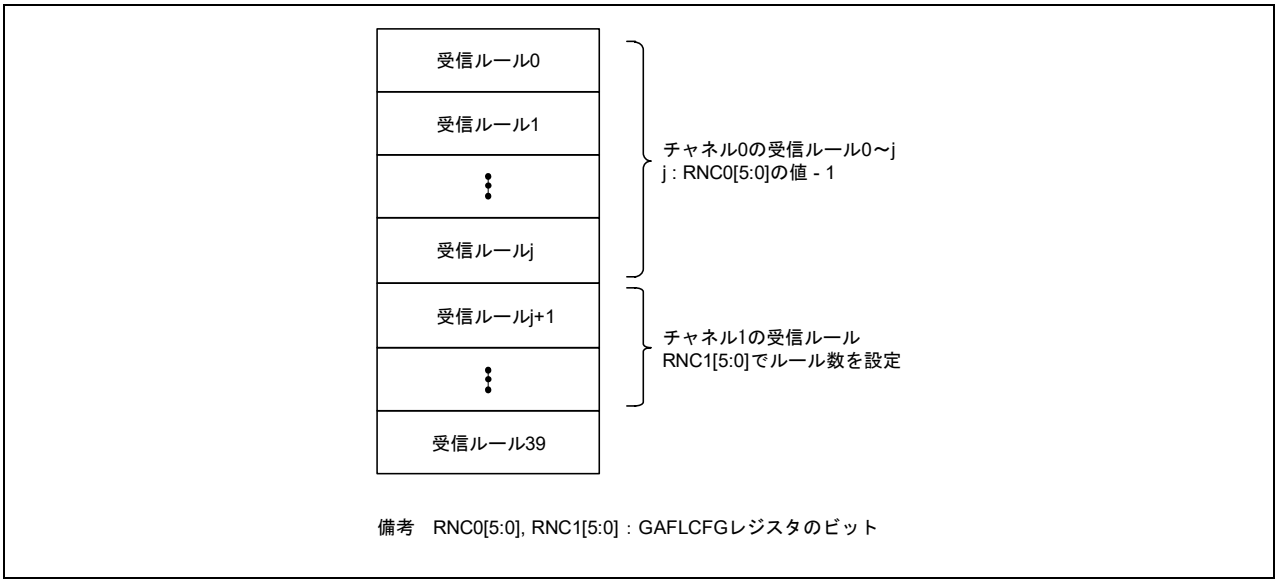


図18－4　受信ルール登録

各受信ルールはGAFLIDLj、GAFLIDHj、GAFLMLj、GAFLMHj、GAFLPLj、GAFLPHjレジスタ（j = 0～39）の12バイトで構成されています。GAFLIDLjレジスタとGAFLIDHjレジスタ（j = 0～39）ではID、IDEビット、RTRビット、ミラー機能の設定、GAFLMLjレジスタとGAFLMHjレジスタではマスク設定、GAFLPLjレジスタとGAFLPHjレジスタでは付加するラベル情報、DLC値、格納先受信バッファの設定、格納先FIFOバッファの設定を行います。

（1）アクセプタンス・フィルタ処理

アクセプタンス・フィルタ処理では、受信メッセージのIDデータ、IDEビット、RTRビットが、対応するチャネルの受信ルールに設定したIDデータ、IDEビット、RTRビットと比較されます。すべてのビットが一致すると、アクセプタンス・フィルタ処理を通過します。GAFLMLjレジスタおよびGAFLMHjレジスタで0（ビットを比較しない）にしたビットに対応する受信メッセージのIDデータ、IDEビット、RTRビットは、比較されずに一致したとみなします。

対応するチャネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファやFIFOバッファに格納されません。

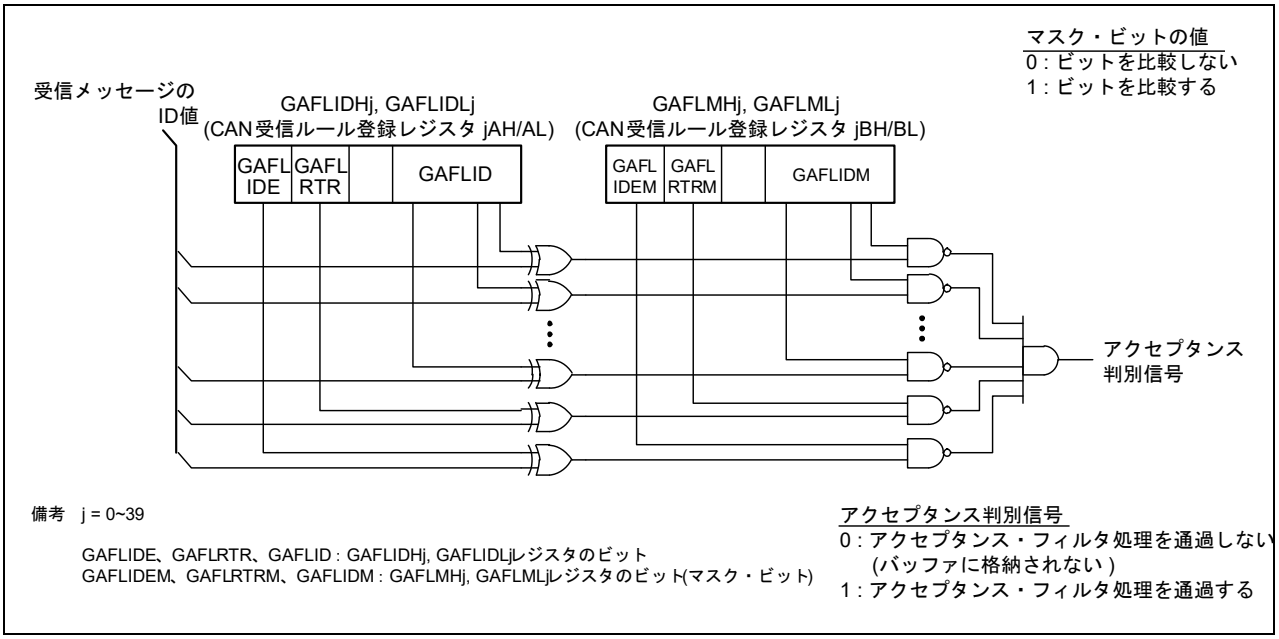


図18－5　アクセプタンス・フィルタ機能

（2）DLCフィルタ処理

GCFGLレジスタのDCEビットを1（DLCチェック許可）にすると、アクセプタンス・フィルタ処理を通過したメッセージに対してDLCフィルタ処理が行われます。メッセージのDLC値が受信ルールに設定したDLC値以上の場合、DLCフィルタ処理を通過します。

GCFGLレジスタのDREビットが0（DLC置換禁止）で、DLCフィルタ処理を通過した場合、受信メッセージのDLC値がバッファに格納されます。この場合、受信メッセージのすべてのデータ・バイトがバッファに格納されます。

GCFGLレジスタのDREビットが1（DLC置換許可）で、DLCフィルタ処理を通過した場合、受信メッセージのDLC値の代わりに、受信ルールのDLC値がバッファに格納されます。この場合、受信ルールのDLC値を超えるデータ・バイトにはH'00が格納されます。

受信メッセージのDLC値が受信ルールのDLC値より小さい場合は、DLCフィルタ処理を通過しません。この場合、メッセージは受信バッファやFIFOバッファに格納されず、GERFLLレジスタのDEFフラグが1（DLCエラー）となります。

（3）ルーティング処理

アクセプタンス・フィルタ処理とDLCフィルタ処理を通過したメッセージは、受信バッファ、受信FIFOバッファ、受信モードまたはゲートウェイモードに設定した送受信FIFOバッファに格納されます。メッセージ格納先は、GAFLPLjレジスタ（j = 0～39）のGAFLRMVビット、GAFLRMDP[6:0]ビット、GAFLFDP[5:0]ビットで設定します。フィルタ処理を通過したメッセージは最大2つのバッファに格納することができます。

（4）ラベル付加処理

フィルタ処理を通過したメッセージに12ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、GAFLPHjレジスタのGAFLPTR[11:0]ビットに設定します。

（5）ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、GCFGLレジスタのMMEビットを1（ミラー機能許可）にすることで使用可能になります。

ミラー機能使用時、他のCANノードが送信したメッセージを受信するときは、GAFLIDHjレジスタのGAFLLBビットを0にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLBビットを1にした受信ルールがデータ処理に使用されます。

18.5.2　タイムスタンプ

タイムスタンプ・カウンタは、メッセージの受信時間を記録するために使用する16ビットのフリーランカウンタです。タイムスタンプ・カウンタ値は、メッセージのSOF（スタート・オブ・フレーム）のタイミングで取り込まれ、メッセージIDやデータとともに、受信バッファやFIFOバッファに格納されます。タイムスタンプ・カウンタのクロック源は、GCFGLレジスタのTSSSビットで、f_{CLK}を2分周したクロック（$f_{CLK}/2$）またはCANiビット・タイム・クロックから選択できます。選択したクロック源をGCFGLレジスタのTSP[3:0]ビットで分周したクロックが、タイムスタンプ・カウンタのカウント・ソースになります。

CANiビット・タイム・クロックをクロック源として使用する場合、対応するチャネルがチャネル・リセット・モードまたはチャネル待機モードに遷移すると、タイムスタンプ・カウンタが停止します。f_{CLK}を2分周したクロック（$f_{CLK}/2$）をクロック源として使用する場合、タイムスタンプ機能はチャネル・モードに影響されません。

タイムスタンプ・カウンタ値はGCTRHレジスタのTSRSTビットを1にすると、H'0000にリセットされます。

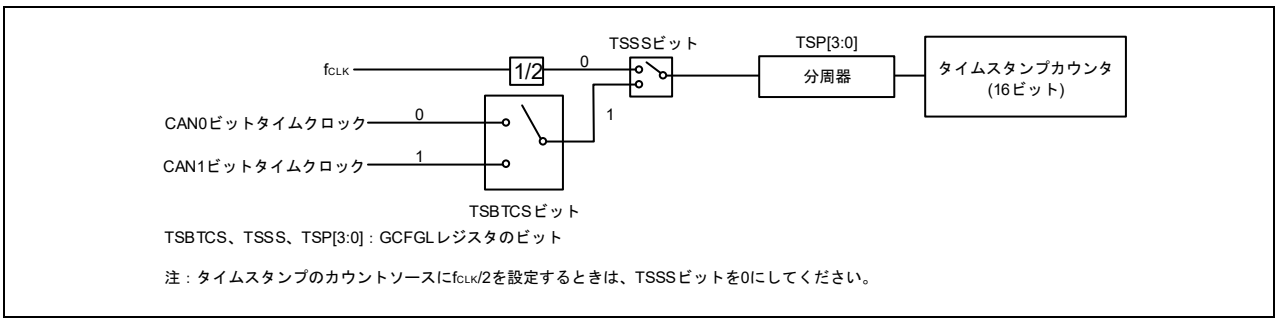


図18－6　タイムスタンプ機能のブロック図

18.6　送信機能

送信の種類には、次の2つがあります。

・送信バッファによる送信:
　1チャネルにつき4バッファあります。

・送受信FIFOバッファ（送信モード）による送信:
　1チャネルにつき1本ずつあります。1本のFIFOバッファに最大32メッセージ格納できます。送信バッファにリンクさせて使用します。FIFOバッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。

図18－7に送受信FIFOバッファのリンクを示します。

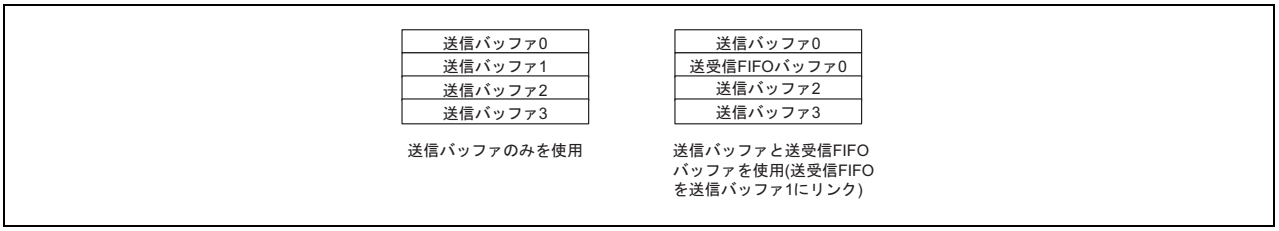


図18－7　送受信FIFOバッファのリンク

18.6.1 送信の優先順位判定

同一チャネル内で複数のバッファから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の2つから選択することができます。

・ID優先（TPRIビットが0）

・送信バッファ番号優先（TPRIビットが1）

GCFGLレジスタのTPRIビットの設定は、すべてのCANチャネルで有効です。

TPRIビットを0にした場合、格納したメッセージIDの優先順位に基づいてメッセージが送信されます。IDの優先順位はCAN仕様に規定されているCANバス・アービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信FIFOバッファに格納したメッセージのIDが判定対象になります。送受信FIFOバッファの場合は、FIFO内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信FIFOバッファから送信中の場合、同じFIFOバッファにある次のメッセージが優先順位判定の対象になります。TPRIビットを1にした場合、送信要求があるバッファの中で、最も小さい番号の送信バッファのメッセージが最初に送信されます。送受信FIFOバッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRIビットの設定に関わらず、アービトレーション・ロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

18.6.2 送信バッファを用いた送信

送信バッファの送信要求ビット（TMCpレジスタのTMTRビット）を1（送信を要求する）にすると、データ・フレームまたはリモート・フレームを送信することができます。

送信結果は、対応するTMSTSpレジスタのTMTRF[1:0]フラグで確認します。送信が成功すると、TMTRF[1:0]フラグはB'10（送信完了：送信アボート要求なし）またはB'11（送信完了：送信アボート要求あり）になります。

（1）送信アボート機能

TMSTSpレジスタのTMTRMビットが1（送信要求あり）である送信バッファにおいて、TMCpレジスタのTMTARビットを1（送信アボートを要求する）にすると、送信要求が取り消されます。送信アボートが完了すると、TMSTSpレジスタのTMTRF[1:0]フラグがB'01（送信アボート完了）になり、送信要求が取り消されます（TMTRMビットが0になる）。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTARビットを1にしたメッセージを送信中にアービトレーション・ロストまたはエラーが発生した場合、再送信は行いません。

（2）ワンショット送信機能（再送信禁止機能）

TMCpレジスタのTMOMビットを1（ワンショット送信許可）にすると、1回だけ送信を行います。アービトレーション・ロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応するTMSTSpレジスタのTMTRF[1:0]フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0]フラグはB'10またはB'11になります。アービトレーション・ロストまたはエラーが発生した場合、TMTRF[1:0]フラグはB'01（送信アボート完了）になります。

18.6.3　FIFOバッファによる送信

1本の送受信FIFOバッファに、CFCCLkレジスタのCFDC[2:0]ビットで設定した段数分のメッセージを格納できます。最初に格納したメッセージから順に送信されます。

送受信FIFOバッファは、CFCCHkレジスタのCFTML[1:0]ビットで選択した送信バッファにリンクされます。CFCCLkレジスタのCFEビットを1（送受信FIFOバッファを使用する）にすると、送信の優先順位判定の対象になります。FIFOバッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFEビットを0（送受信FIFOバッファを使用しない）にすると、次に示すタイミングでCFSTSkレジスタのCFEMPフラグが1（送受信FIFOバッファ空）になります。

・送受信FIFOバッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
・送受信FIFOバッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CANバス・エラーの検出、またはアービトレーション・ロストの後に、空になります。

CFEビットを0にすると、送受信FIFOバッファのすべてのメッセージは失われ、FIFOバッファへメッセージを格納できなくなります。再度CFEビットを1にする前に、CFEMPフラグが1になったことを確認してください。

（1）インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信FIFOバッファを使用時に、同一FIFOバッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

CFCCLkレジスタのCFEビットを1にし、最初のメッセージがFIFOバッファから正常に送信された後、インターバル・タイマはカウントを開始します（CANプロトコルのEOF7の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバル・タイマは、CFEビットを0にしたとき、またはチャネル・リセット・モード時、停止します。

インターバル時間はCFCCHkレジスタのCFITT[7:0]ビットで設定します。インターバル・タイマを使用しない場合は、CFITT[7:0]ビットにH'00を設定してください。

CFCCHkレジスタのCFITR、CFITSSビットで、インターバル・タイマのカウント・ソースを選択します。CFCCHkレジスタのCFITR、CFITSSビットをB'00にするとf_{CLK}/2をITRCP[15:0]ビットの値で分周したクロック、B'10にするとf_{CLK}/2をITRCP[15:0]ビットの値×10で分周したクロック、B'x1にするとCANiビット・タイム・クロックがカウント・ソースになります。

ITRCP[15:0]ビットの設定値をM、CFITT[7:0]ビットの値をNとすると、インターバル時間は次の式で求められます。

・CFCCHkレジスタのCFITR、CFITSSビットがB'00の場合

$$\frac{1}{f_{CLK}} \times 2 \times M \times N$$

・CFCCHkレジスタのCFITR、CFITSSビットがB'10の場合

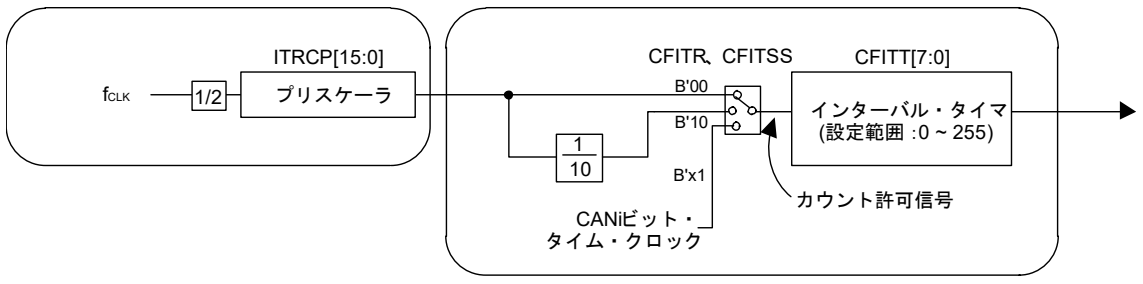
$$\frac{1}{f_{CLK}} \times 2 \times M \times 10 \times N$$

・CFCCHkレジスタのCFITR、CFITSSビットがB'x1の場合

（f_{CANBIT}はCANiビット・タイム・クロックの周波数）

$$\frac{1}{f_{CANBIT}} \times N$$

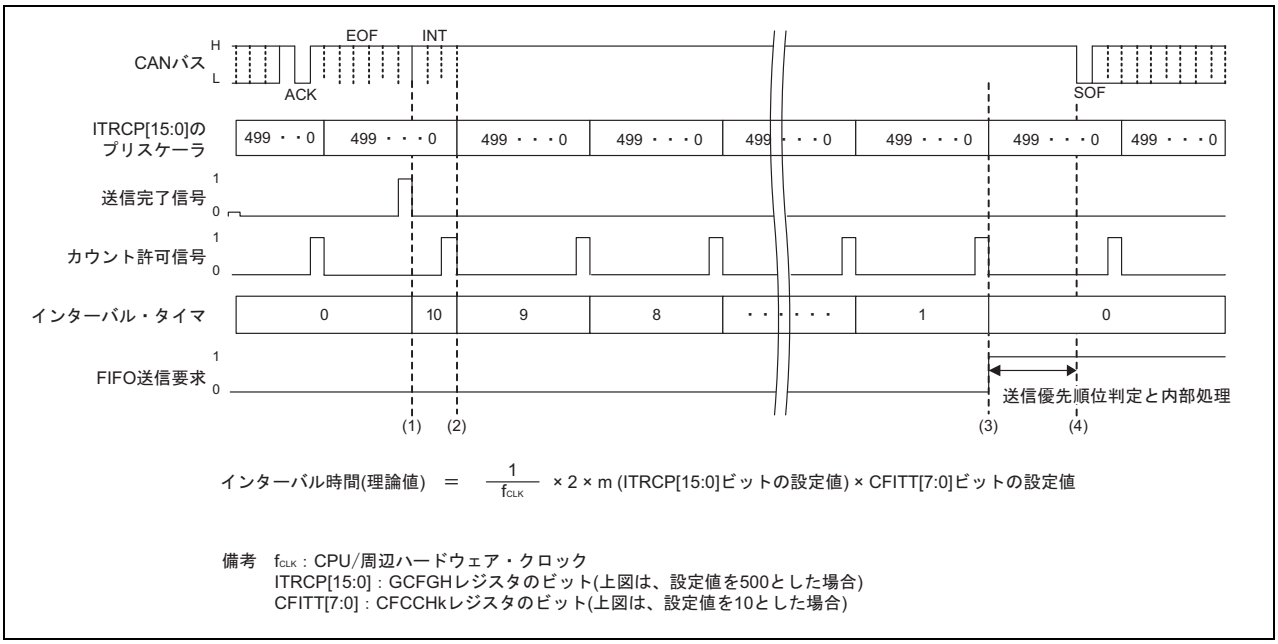
図18－8にインターバル・タイマのブロック図を示します。



備考　ITRCP[15:0]: GCFGHレジスタのビット
CFITR、CFITSS、CFITT[7:0]: CFCCHkレジスタのビット（k = 0, 1）

図18－8　インターバル・タイマのブロック図

図18－9にインターバル・タイマのタイミング図を示します。



$$インターバル時間(理論値) = \frac{1}{f_{CLK}} \times 2 \times m\ (ITRCP[15:0]ビットの設定値) \times CFITT[7:0]ビットの設定値$$

備考　f_{CLK}：CPU/周辺ハードウェア・クロック
ITRCP[15:0]：GCFGHレジスタのビット(上図は、設定値を500とした場合)
CFITT[7:0]：CFCCHkレジスタのビット(上図は、設定値を10とした場合)

図18－9　インターバル・タイマのタイミング図

(1) 送信が完了するとインターバル・タイマがカウントを開始します。送信が完了したタイミングでプリスケーラが初期化されないため、最初のインターバル時間は、最大でインターバル・タイマの1カウント分の誤差が発生します。

(2) 次のカウント許可信号で、インターバル・タイマは1減算されます。

(3) インターバル・タイマが0になると、送受信FIFOバッファから送信要求が出されます。

(4) 優先順位判定で送受信FIFOバッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、CANiビット・タイム・クロックの3クロック以下の遅延で、送信を開始します。

18.6.4　送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。チャネルごとに1つの送信履歴バッファを持ち、送信履歴バッファには8個の送信履歴データを格納できます。

THLCCiレジスタのTHLDTEビットで、メッセージ送信元のバッファの種類が選択できます。CFIDHkレジスタのTHLENビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。送信が成功してから送信履歴データが格納されるまで、最大でf_{CLK}の38クロック分遅延する場合があります。

・バッファ・タイプ　（THLACCiレジスタのBT[1:0]ビット）

B’01 :送信バッファ

B’10 :送受信FIFOバッファ

・バッファ番号（THLACCiレジスタのBN[1:0]ビット）

送信元の送信バッファ、または送受信FIFOバッファの番号。

これはバッファ・タイプに依存します。表18－11を参照してください。

・ラベル・データ（THLACCiレジスタのTID[7:0]ビット）

送信メッセージのラベル情報

表18－11　送信履歴データのバッファ番号

バッファ・タイプ / バッファの番号	B’01	B’10
B’00	送信バッファ0	CFCCHkレジスタのCFTML[1:0]ビットで送受信FIFOバッファにリンクさせた送信バッファの番号
B’01	送信バッファ1	
B’10	送信バッファ2	
B’11	送信バッファ3	

ラベル・データは、メッセージを特定するために使用します。送信バッファ、送受信FIFOバッファから送信するメッセージに、固有のラベル・データを付加することができます。

送信履歴データは、THLACCiレジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとすると、バッファがオーバフローし、新しいデータは破棄されます。

18.7 ゲートウェイ機能

送受信FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャネルから送信することができます。

CFCCHk レジスタのCFM[1:0] ビットをB’10（ゲートウェイモード）に設定した送信するチャネルの送受信FIFOバッファをGAFLPHj レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信FIFO バッファに格納され、自動的にバッファから送信されます。

送受信FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイモードに設定した送受信FIFO バッファは、CFCCLk レジスタのCFEビットを0にすると、使用不可になります。CFE ビットを0にすると、次に示すタイミングでCFSTSkレジスタのCFEMP フラグが1になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを0にすると、送受信FIFO バッファのすべてのメッセージは失われ、FIFOバッファへメッセージを格納できなくなります。再度CFE ビットを1にする前に、CFEMP フラグが1になったことを確認してください。

18.8　テスト機能

テスト機能は、通信テストとグローバル・テストの2つに分類できます。

通信テスト：チャネルごとに行うテスト

・標準テスト・モード

・リッスン・オンリ・モード

・セルフ・テスト・モード0（外部ループ・バック・モード）

・セルフ・テスト・モード1（内部ループ・バック・モード）

グローバル・テスト：モジュール全体で行うテスト

・RAMテスト（読み書きテスト）

・チャネル間通信テスト

18.8.1　標準テスト・モード

標準テスト・モードでは、CRCテストを行うことができます。

18.8.2　リッスン・オンリ・モード

リッスン・オンリ・モードでは、データ・フレームとリモート・フレームを受信できます。CANバス上にはレセシブ・ビットのみが送信され、ACKビット、オーバロード・フラグ、アクティブ・エラー・フラグは送信されません。リッスン・オンリ・モードは、通信速度の検出に使用できます。

リッスン・オンリ・モードでは、どのバッファからも送信要求をしないでください。

図18－10にリッスン・オンリ・モード選択時の接続を示します。

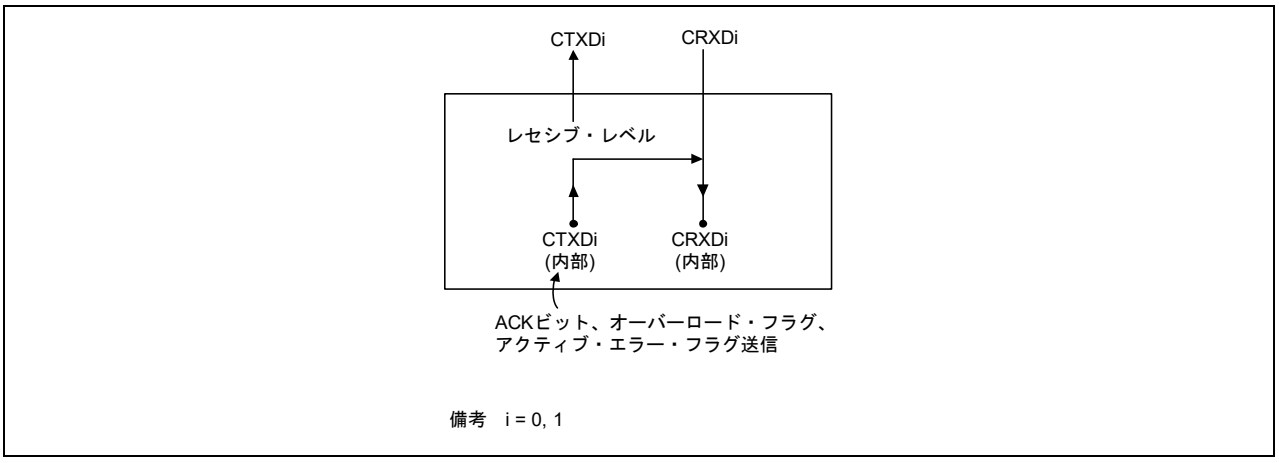


図18－10　リッスン・オンリ・モード選択時の接続

18.8.3　セルフ・テスト・モード（ループ・バック・モード）

セルフ・テスト・モードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他のCANノードが送信したメッセージは、GAFLIDHjレジスタ（j = 0～39）のGAFLLBビットを0（他のCANノードが送信したメッセージを受信時）にした受信ルールとのみ比較されます。

ミラー機能とセルフ・テスト・モードが同時に許可された場合、セルフ・テスト・モードの設定が優先されます。

（1）セルフ・テスト・モード0（外部ループ・バック・モード）

セルフ・テスト・モード0はCANトランシーバを含めたチャネルのループ・バック・テストを行います。

セルフ・テスト・モード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

図18－11にセルフ・テスト・モード0選択時の接続を示します。

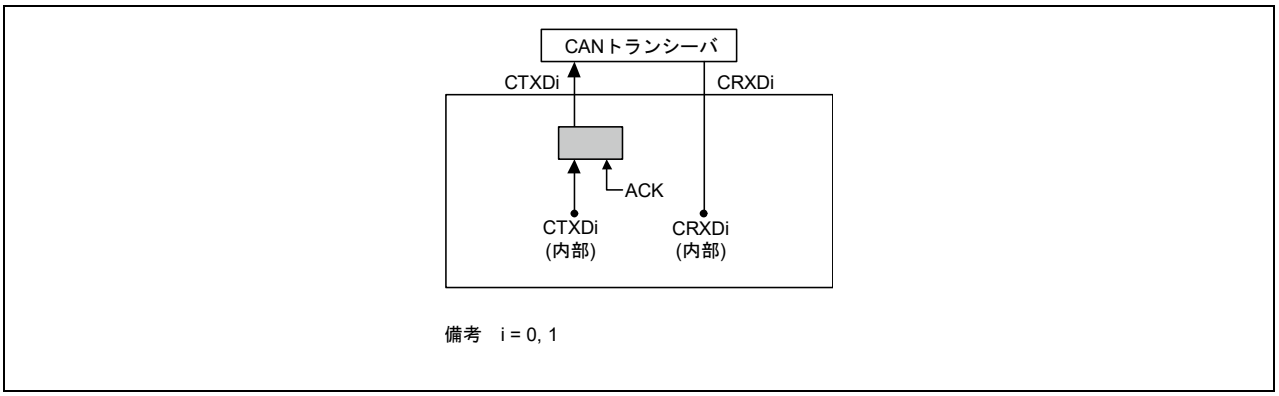


図18－11　セルフ・テスト・モード0選択時の接続

（2）セルフ・テスト・モード1（内部ループ・バック・モード）

セルフ・テスト・モード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACKビットを生成します。

セルフ・テスト・モード1では内部CTXDi端子から内部CRXDi端子への内部フィードバックを行います。外部CRXDi端子の入力は、切り離されます。外部CTXDi端子はレセシブ・ビットのみ出力します。

図18－12にセルフ・テスト・モード1選択時の接続を示します。

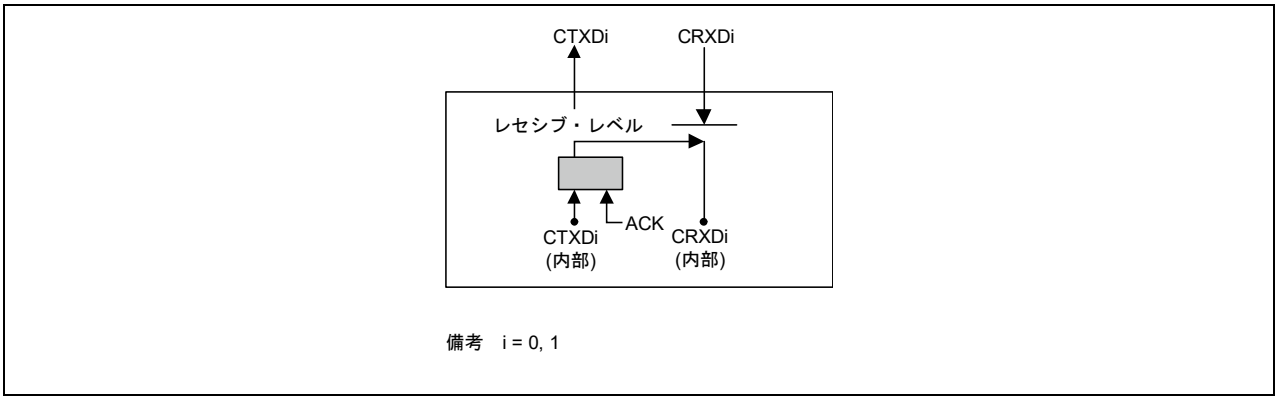


図18－12　セルフ・テスト・モード1選択時の接続

18.8.4　RAMテスト

RAMテスト機能を使用すると、CAN用RAM全体にアクセスすることができます。

RAMテスト機能使用時、RAMは256バイトごとのページに分けられます。ページはGTSTCFGレジスタのRTMPS[2:0]ビットで設定し、ページ内のデータはRPGACCrレジスタ（r = 0～127）から読み出し/書き込みができます。有効な総RAMサイズは、1312バイト（H’0520）です。

18.8.5　チャネル間通信テスト

チャネル間通信テスト機能を使用すると、CAN チャネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャネルは外部のCAN バスから切り離されます。

各チャネルに対して送受信の設定を行ってから、チャネル通信モードで送受信を開始してください。テストに参加しないチャネルは、チャネル待機モードにしてください。

図18－13にチャネル間通信テスト接続図を示します。

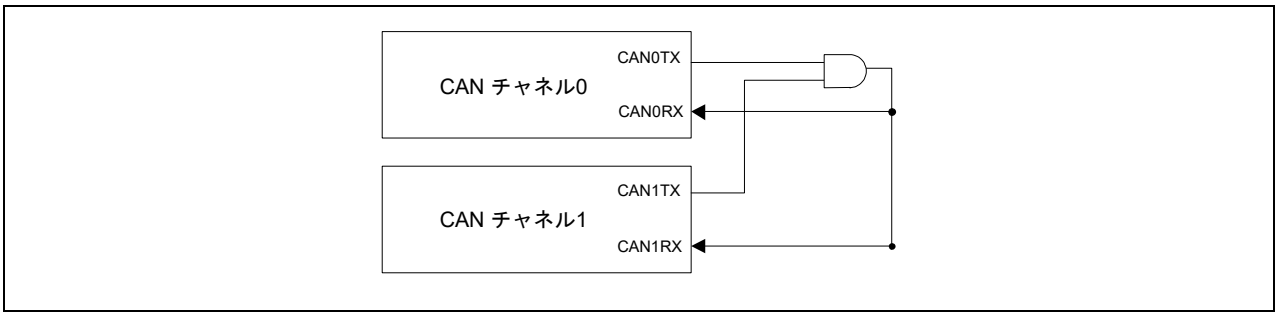


図18－13　チャネル間通信テスト接続図

18.9　割り込み

CANモジュールには6本の割り込みがあり、グローバル割り込みとチャネル割り込みに分類されます。

グローバル割り込み（2本）
- ・CANグローバル受信FIFO割り込み
- ・CANグローバル・エラー割り込み

チャネル割り込み（チャネルごとに4本ずつ）
- ・CANiチャネル送信割り込み
  - – CANi送信完了割り込み
  - – CANi送信アボート割り込み
  - – CANi送受信FIFO送信完了割り込み（送信モード、ゲートウェイモード）
  - – CANi送信履歴割り込み
- ・CANi送受信FIFO受信割り込み（受信モード、ゲートウェイモード）
- ・CANiチャネル・エラー割り込み
- ・CANiウェイクアップ割り込み

・CANiウェイクアップ割り込み以外のCAN割り込み

割り込み要求が発生すると、CANモジュールの対応する割り込み要求フラグが1（割り込み要求あり）になります。その場合、割り込み許可ビットを1（割り込み許可）にしていると、CANモジュールから割り込み要求が出力されます（割り込みの発生は、割り込み機能により制御されます）。

割り込み要求フラグを0（割り込み要求なし）にするか、割り込み許可ビットを0（割り込み禁止）にすると、割り込み要求がクリアされます。割り込み要求をクリアするまで、次の割り込みは発生しません。

・CANiウェイクアップ割り込み

CANモードに関わらず、CRXDiに立ち下がりエッジを検出すると割り込み要求が発生します。CANiウェイクアップ割り込みを使用する場合は対応するポートをCRXDiに設定してください。

CANiウェイクアップ割り込みは割り込み機能によって制御されます。

割り込みの設定については「第22章　割り込み機能」を参照してください。

表18－12にCAN割り込み要因一覧を示します。図18－14にCANグローバル割り込みブロック図を、図18－15にCANチャネル割り込みブロック図を示します。

表18－12　CAN割り込み要因一覧

割り込み要因			対応する割り込み要求フラグ[注]	対応する割り込み許可ビット[注]
グローバル割り込み	CANグローバル受信FIFO	受信FIFO 0	RFSTS0レジスタのRFIFフラグ	RFCC0レジスタのRFIEビット
		受信FIFO 1	RFSTS1レジスタのRFIFフラグ	RFCC1レジスタのRFIEビット
		受信FIFO 2	RFSTS2レジスタのRFIFフラグ	RFCC2レジスタのRFIEビット
		受信FIFO 3	RFSTS3レジスタのRFIFフラグ	RFCC3レジスタのRFIEビット
	CANグローバル・エラー		GERFLLレジスタのDEFフラグ	GCTRLレジスタのDEIEビット
			GERFLLレジスタのMESフラグ	GCTRLレジスタのMEIEビット
			GERFLLレジスタのTHLESフラグ	GCTRLレジスタのTHLEIEビット
チャネル割り込み	CANiチャネル送信	CANi送信完了	TMSTSpレジスタのTMTRF[1:0]フラグ	TMIECレジスタのTMIEpビット
		CANi送信アボート	TMSTSpレジスタのTMTRF[1:0]フラグ	CiCTRHレジスタのTAIEビット
		CANi送受信FIFO送信	CFSTSkレジスタのCFTXIFフラグ	CFCCLkレジスタのCFTXIEビット
		CANi送信履歴	THLSTSiレジスタのTHLIFフラグ	THLCCiレジスタのTHLIEビット
	CANi送受信FIFO受信		CFSTSkレジスタのCFRXIFフラグ	CFCCLkレジスタのCFRXIEビット
	CANiチャネル・エラー		CiERFLLレジスタのBEFフラグ	CiCTRLレジスタのBEIEビット
			CiERFLLレジスタのALFフラグ	CiCTRLレジスタのALIEビット
			CiERFLLレジスタのBLFフラグ	CiCTRLレジスタのBLIEビット
			CiERFLLレジスタのOVLFフラグ	CiCTRLレジスタのOLIEビット
			CiERFLLレジスタのBORFフラグ	CiCTRLレジスタのBORIEビット
			CiERFLLレジスタのBOEFフラグ	CiCTRLレジスタのBOEIEビット
			CiERFLLレジスタのEPFフラグ	CiCTRLレジスタのEPIEビット
			CiERFLLレジスタのEWFフラグ	CiCTRLレジスタのEWIEビット
	CANiウェイクアップ		なし	なし

注　割り込み機能にある割り込み要求フラグ、割り込み許可ビットは記載していません。詳細については「第22章　割り込み機能」を参照してください。

i = 0, 1、k = 0, 1、p = 0～7

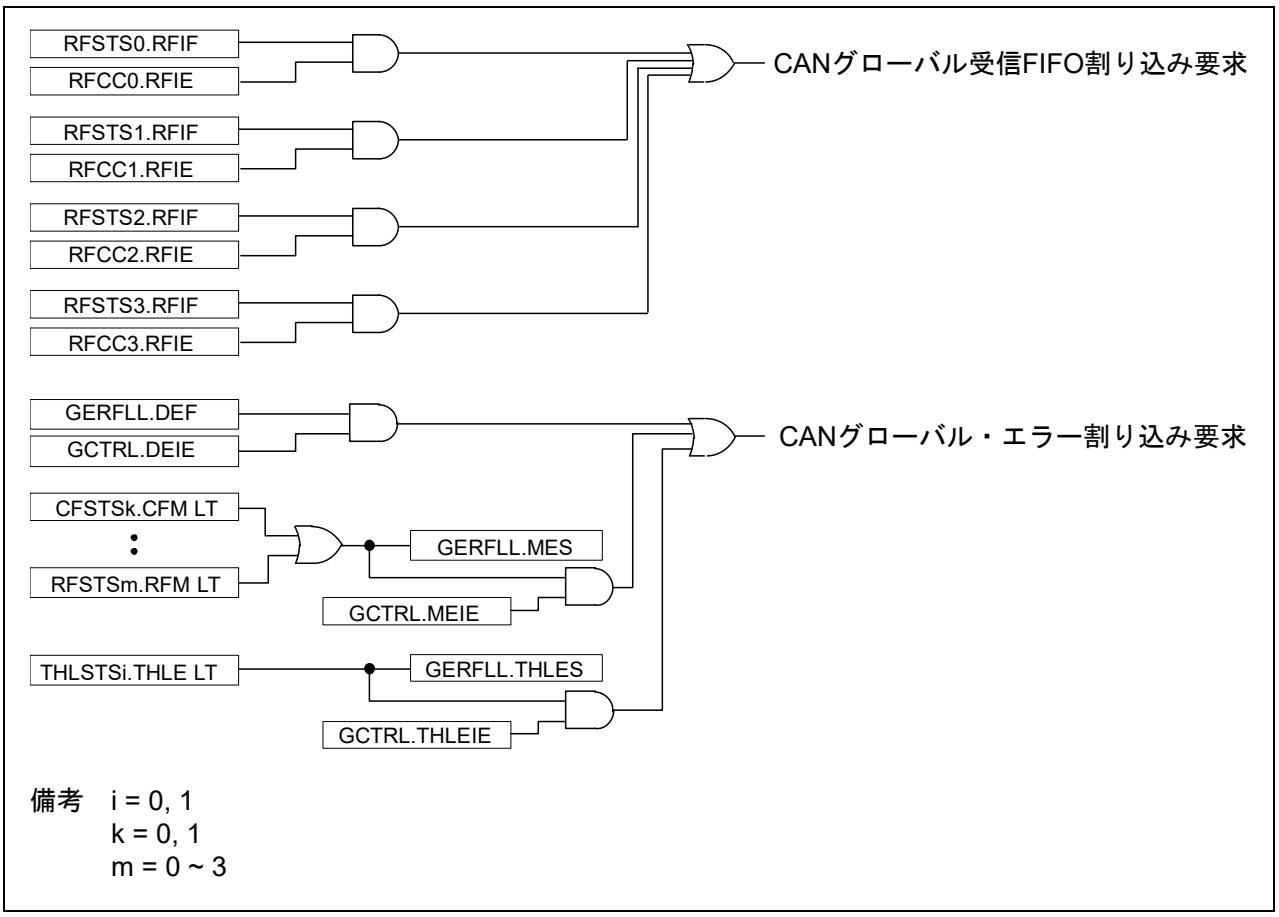
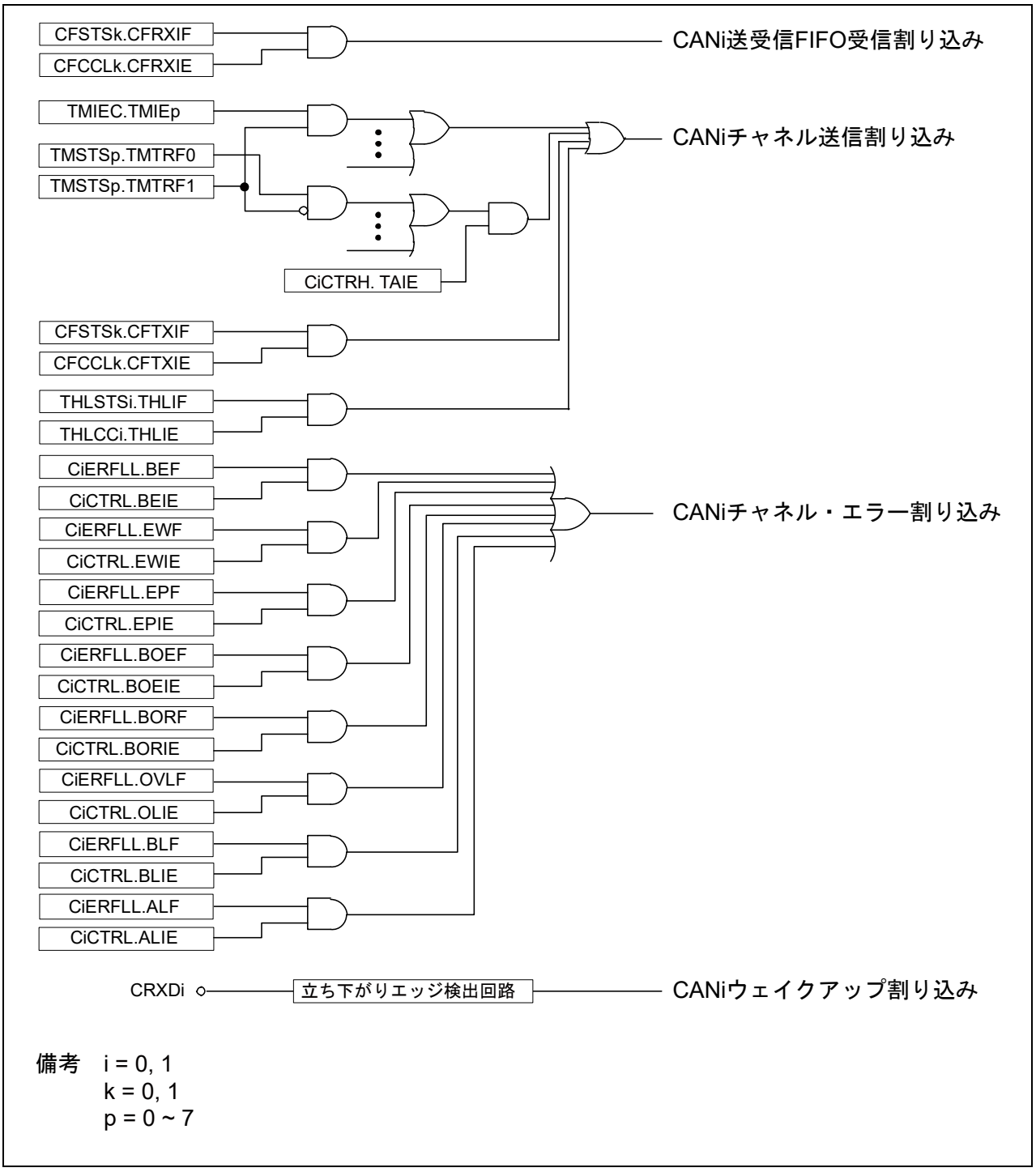


図18－14 CANグローバル割り込みブロック図



備考 i = 0, 1
k = 0, 1
p = 0 ~ 7

図18－15 CANチャネル割り込みブロック図

18.10　RAMウィンドウ

CANモジュールのアドレスH'F03A0～H'F0685はウィンドウ形式になっており、GRWCRレジスタのRPAGEビットで、割り付けられるレジスタを切り替えることができます。

・RPAGEビットが0（ウィンドウ0）の場合に割り付けられるレジスタ
CAN受信ルール登録レジスタ：GAFLIDLj、GAFLIDHj、GAFLMLj、GAFLMHj、GAFLPLj、GAFLPHj
CAN用RAMテスト・レジスタ：RPGACCr

・RPAGEビットが1（ウィンドウ1）の場合に割り付けられるレジスタ
CAN受信バッファ・レジスタ　：RMIDLn、RMIDHn、RMTSn、RMPTRn、RMDF0n～RMDF3n
CAN受信FIFOアクセス・レジスタ　：RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m～RFDF3m
CANi送受信FIFOアクセス・レジスタ　：CFIDLk、CFIDHk、CFTSk、CFPTRk、CFDF0k～CFDF3k
CANi送信バッファ・レジスタ　：TMIDLp、TMIDHp、TMPTRp、TMDF0p～TMDF3p
CANi送信履歴バッファ・アクセス・レジスタ　：THLACCi

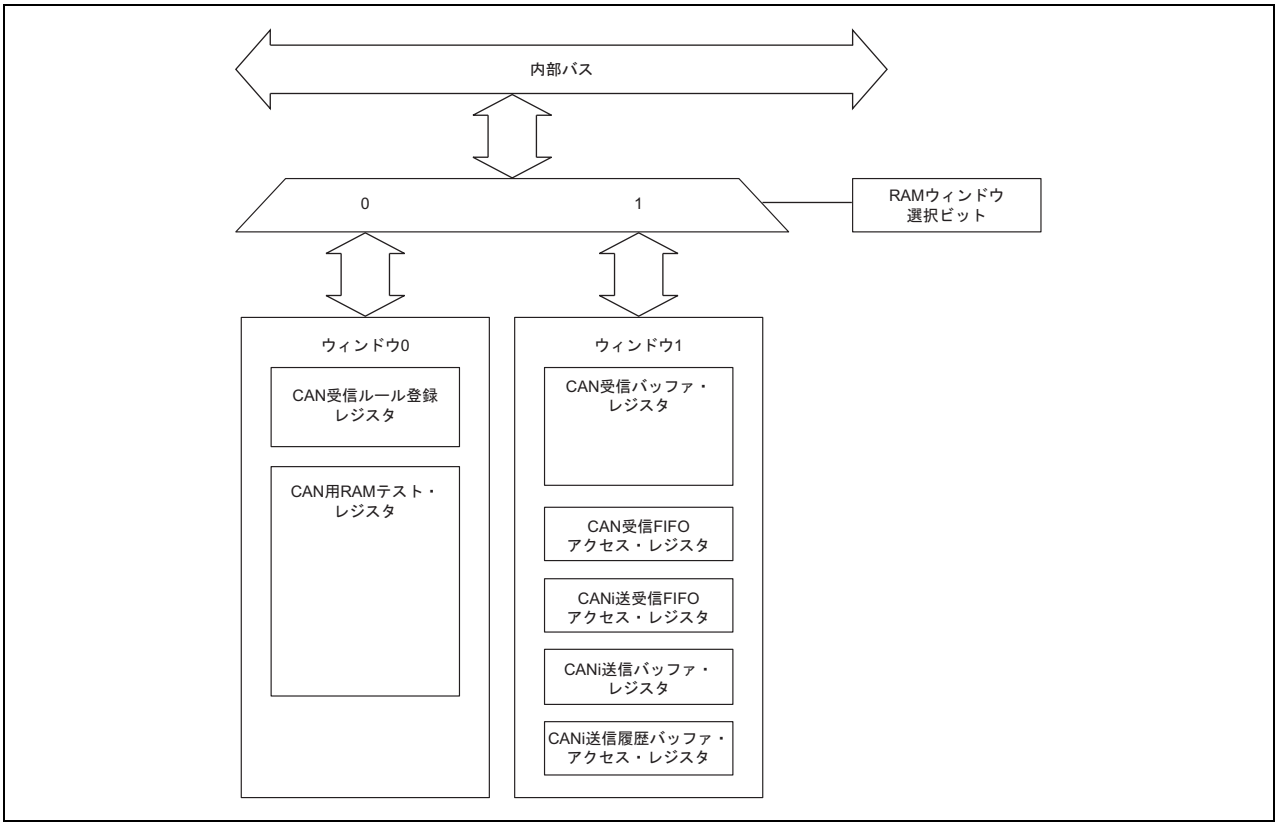
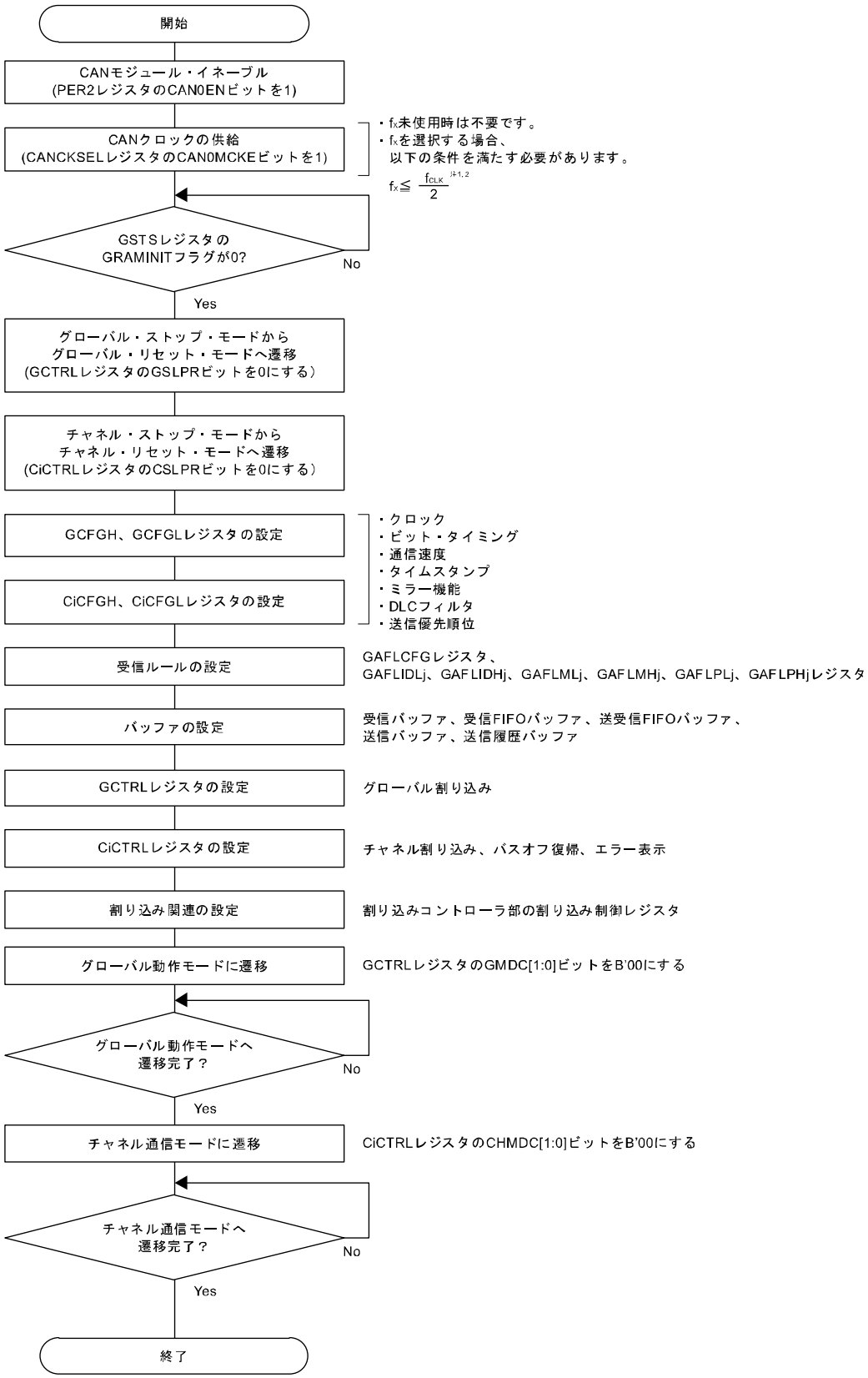


図18－16　RAMウィンドウ

18.11　初期設定

CANモジュール・イネーブル後にCANモジュールはCAN用RAMの初期化を行います。RAMの初期化時間は、f_{CLK}の658サイクルです。RAMの初期化中は、GSTSレジスタのGRAMINITフラグが1（CAN用RAMクリア中）になり、初期化が終了すると0（CAN用RAMクリア完了）になります。GRAMINITフラグが0になった後にCANの設定を行ってください。

図18－17にCANモジュール・イネーブル後の設定手順を示します。



注1. f_{CLK}のクロック源が高速オンチップ・オシレータ・クロック（f_{IH}）の場合、または
高速オンチップ・オシレータ・クロックをクロック源とするPLLクロックの場合、
「f_X<f_{CLK}/2」としてください。
2. f_{CLK}が高速システム・クロックの場合、f_{CAN}にf_Xを選択しないでください。

備考　i = 0, 1　　j = 0 ~39

図18－17　CANモジュール・イネーブル後の設定手順

18.11.1　クロックの設定

CANモジュールのクロック源であるCANクロック（f_{CAN}）を設定します。GCFGLレジスタのDCSビットで、f_{CLK}を2分周したクロック（$f_{CLK}/2$）またはX1クロック（f_X）を選択します。

18.11.2　ビット・タイミングの設定

CANプロトコルでは、通信フレームの1ビットはSS、TSEG1、TSEG2の3つのセグメントで構成されます。このうち、TSEG1およびTSEG2の2つのセグメントをチャネルごとにCiCFGHレジスタで設定できます。2つのセグメントを設定することで、サンプル・ポイントのタイミングを決めます。このタイミングは1 Time Quantum（以下Tq）単位で調整できます。1Tqは、GCFGLレジスタのDCSビットで選択したクロックをCiCFGLレジスタのBRP[9:0]ビットで分周したクロック（CANiTqクロック）の周期になります。

図18－18にビット・タイミング図を示します。表18－13にビット・タイミングの設定例を示します。

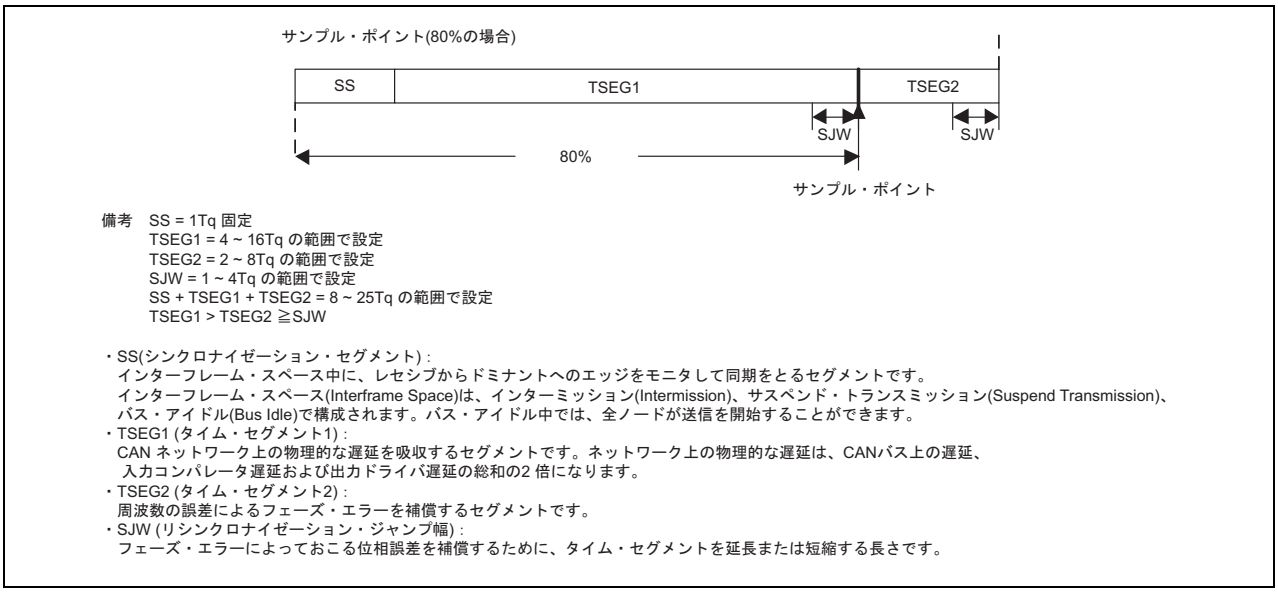


図18－18　ビット・タイミング図

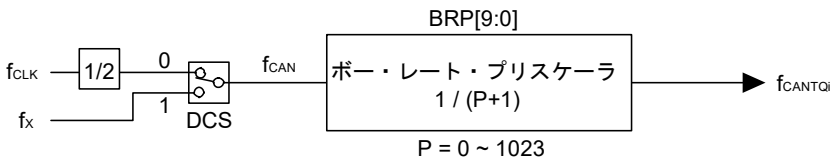
表18－13　ビット・タイミングの設定例

1ビット	設定値（Tq）				サンプル・ポイント（%）
	SS	TSEG1	TSEG2	SJW	※図18－18を参照
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
10Tq	1	6	3	1	70.00
	1	7	2	1	80.00
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00
20Tq	1	13	6	1	70.00
	1	15	4	3	80.00
24Tq	1	15	8	1	66.67
	1	16	7	1	70.83

18.11.3　通信速度の設定

CANの通信速度は、f_{CAN}、ボーレート・プリスケーラ分周値（CiCFGLレジスタのBRP[9:0]ビット）および1ビット・タイムのTq数を用いてチャネルごとに設定します。

図18－19にCANクロック制御ブロック図、表18－14に通信速度の設定例を示します。



$$通信速度 = \frac{f_{CAN}}{ボー・レート・プリスケーラ分周値 \times (1ビット・タイムのTq数)}$$

注意　f_Xを選択する場合 , 以下の条件を満たす必要があります。

$$f_X \leqq \frac{f_{CLK}}{2}$$ 注1, 2

注1.　f_{CLK}のクロック源が高速オンチップ・オシレータ・クロック（ f_{IH}）の場合、または高速オンチップ・オシレータ・クロックをクロック源とする PLLクロックの場合、「fx ＜ f_{CLK}/2」としてください。

2.　f_{CLK}が高速システム・クロックの場合、 f_{CAN}にfxを選択しないでください。

備考　i = 0, 1
DCS: GCFGL レジスタのビット
BRP[9:0]: CiCFGL レジスタのビット
f_{CAN}: CANクロック
f_{CANTQi}: CANiTq クロック

図18－19　CANクロック制御ブロック図

表18－14　通信速度の設定例

f_{CAN}注 / 通信速度	16MHz	8MHz
1Mbps	8Tq(2) 16Tq(1)	8Tq(1)
500Kbps	8Tq(4) 16Tq(2)	8Tq(2) 16Tq(1)
250Kbps	8Tq(8) 16Tq(4)	8Tq(4) 16Tq(2)
83.3Kbps	8Tq(24) 16Tq(12)	8Tq(12) 16Tq(6)
33.3Kbps	8Tq(60) 10Tq(48) 16Tq(30) 20Tq(24)	8Tq(30) 10Tq(24) 16Tq(15) 20Tq(12)

注　（ ）内の数字はボーレート・プリスケーラ分周値

18.11.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

16の受信ルールを登録できます。

図18－20に受信ルール設定手順について示します。

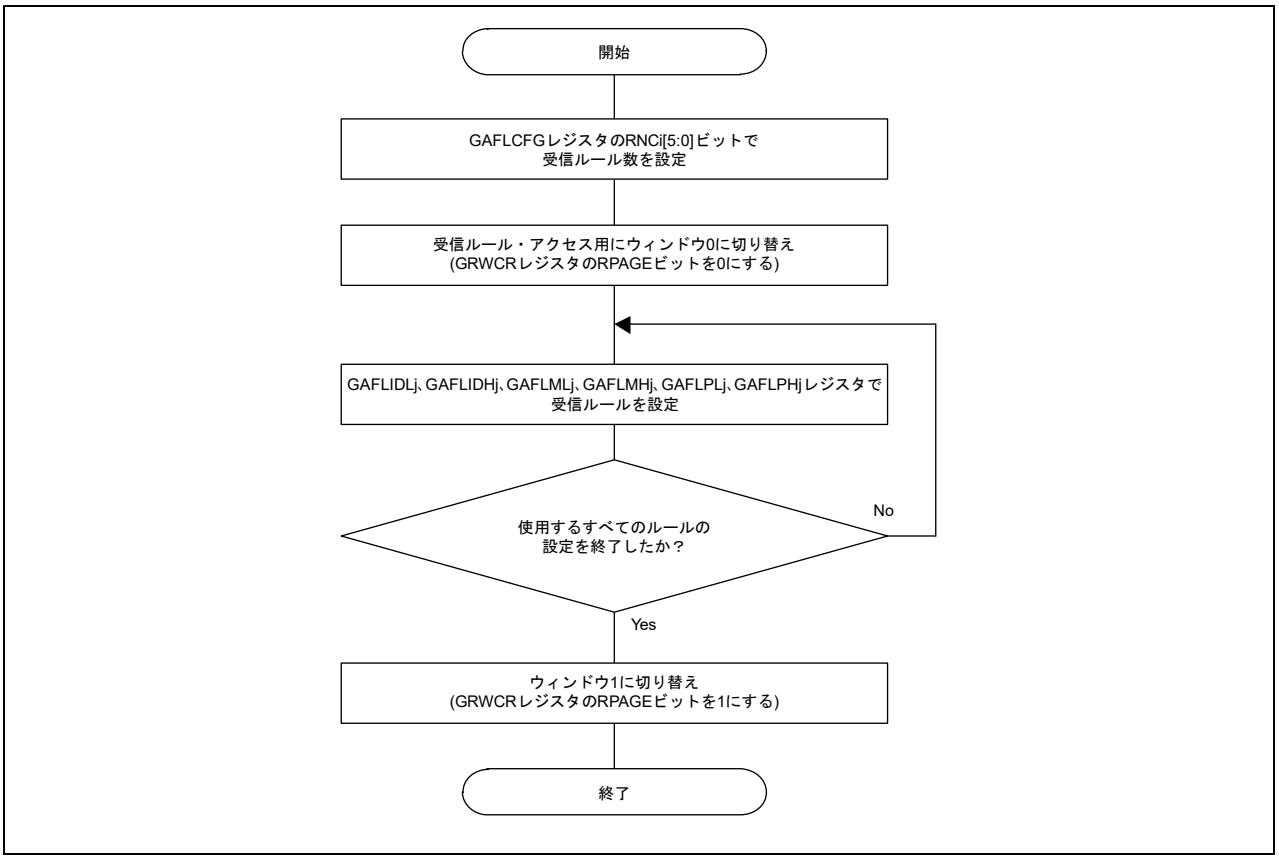
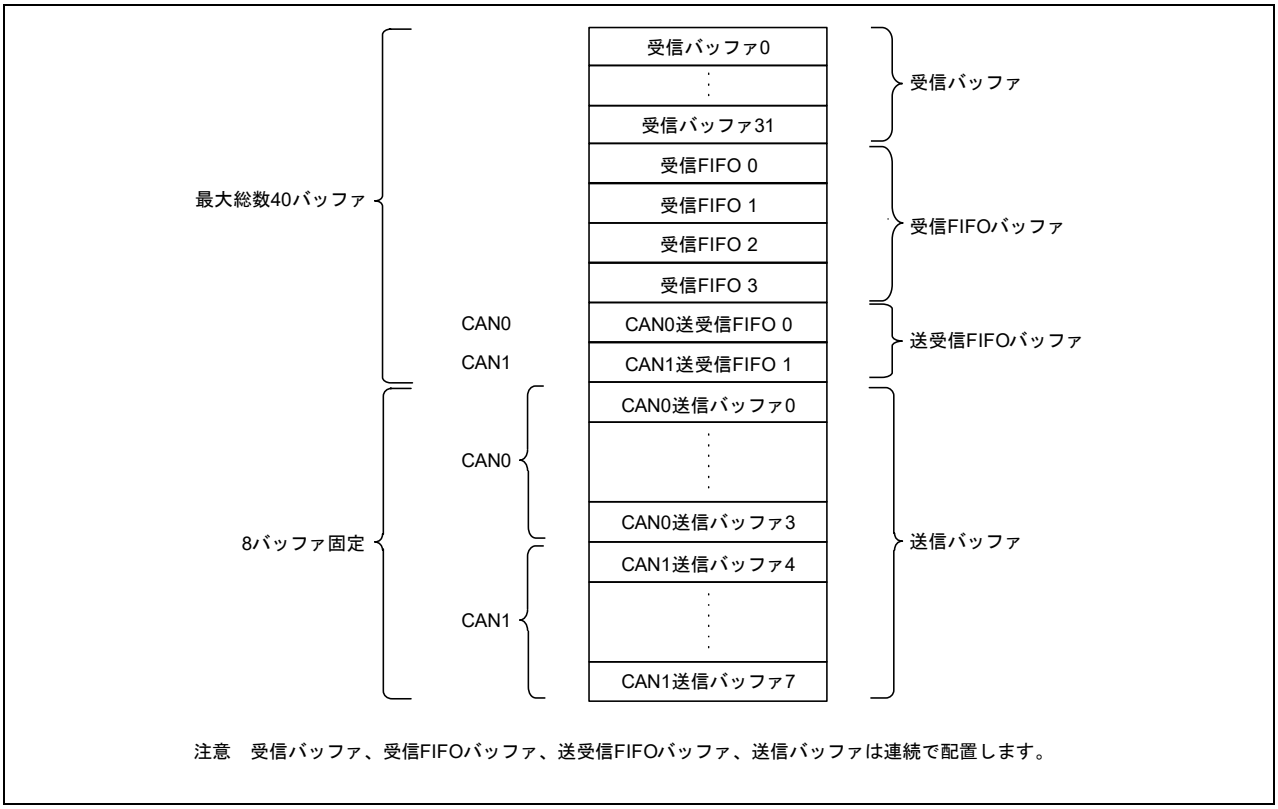


図18－20 受信ルール設定手順

18.11.5　バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードおよびゲートウェイモードに設定した送受信FIFOバッファはリンクする送信バッファを設定します。

図18－21にバッファの構成を示します。図18－22に各種バッファの設定手順を示します。



注意　受信バッファ、受信FIFOバッファ、送受信FIFOバッファ、送信バッファは連続で配置します。

図18－21　バッファの構成

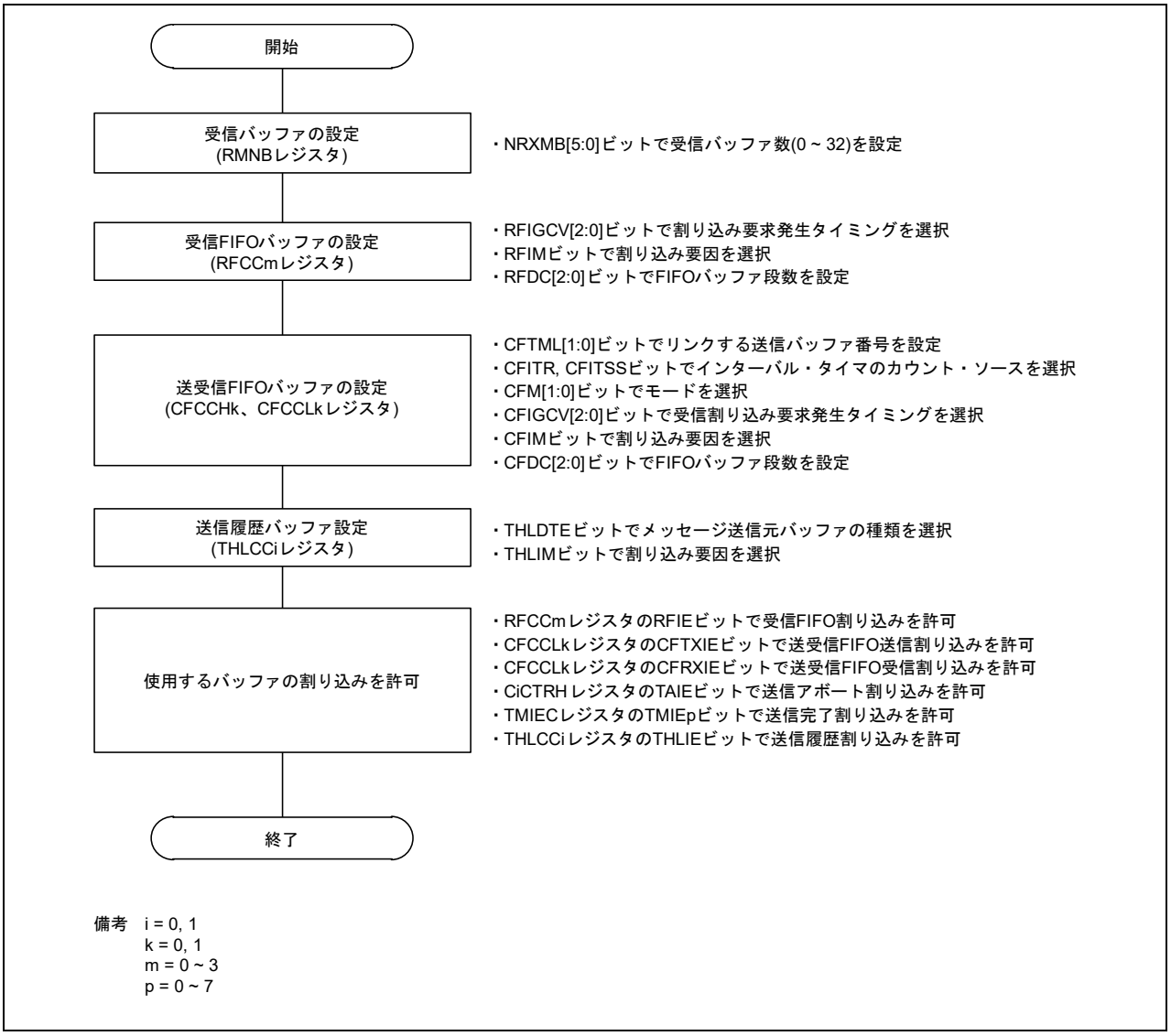


図18－22 各種バッファの設定手順

18.12　受信手順

18.12.1　受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RMND0, 1レジスタのRMNSnフラグ（n = 0～31）が1（受信バッファnに新しいメッセージあり）になります。メッセージはRMIDLn、RMIDHn、RMTSn、RMPTRn、RMDF0n～RMDF3nレジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。

図18－23に受信バッファの読み出し手順を示します。

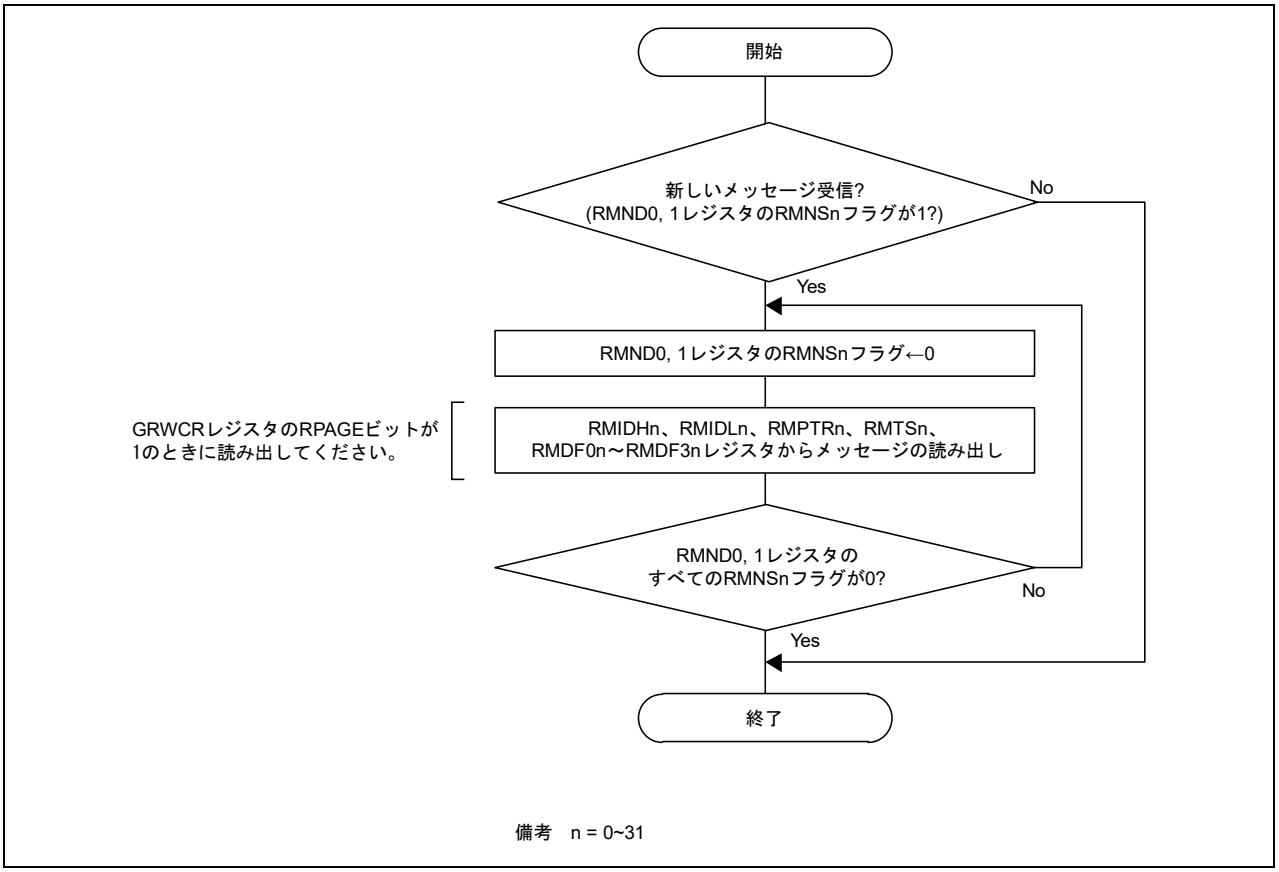


図18－23　受信バッファの読み出し手順

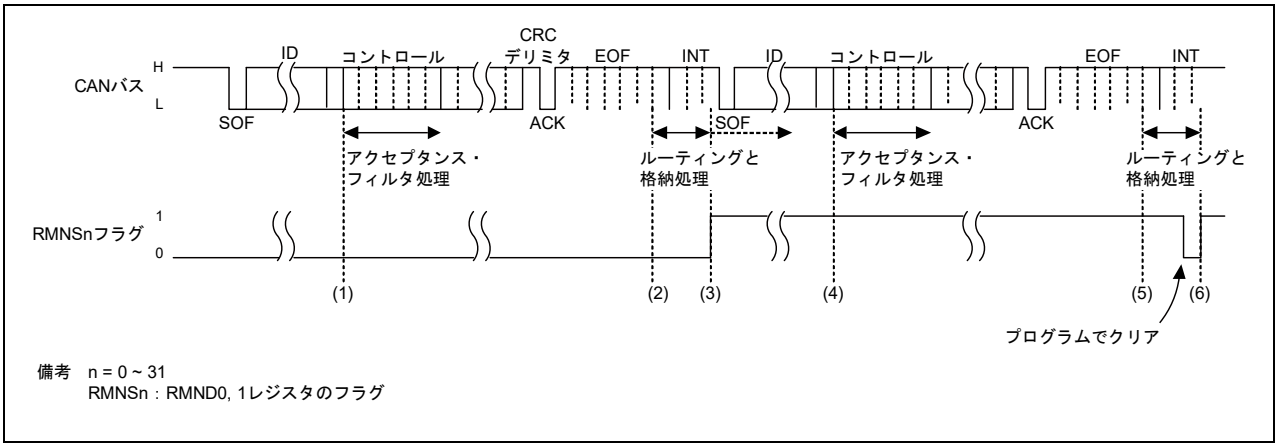


図18－24 受信バッファの受信タイミング図

(1) メッセージのIDフィールドを受信し終えると、アクセプタンス・フィルタ処理が開始します。

(2) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGLレジスタのDCEビットが1（DLCチェック許可）の場合、この時点でDLCフィルタ処理を行います。

(3) DLCフィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
メッセージの格納処理が始まると、対応するRMND0, 1レジスタのRMNSnフラグが1（受信バッファに新しいメッセージあり）になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。

(4) 次のメッセージのIDフィールドを受信し終えると、アクセプタンス・フィルタ処理が開始します。

(5) 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGLレジスタのDCEビットが1（DLCチェック許可）の場合、この時点でDLCフィルタ処理を行います。

(6) 対応するRMNSnフラグを0（受信バッファに新しいメッセージなし）にクリアした場合、メッセージの格納処理が始まると、再度、1になります。RMNSnフラグが1のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中はRMNSnフラグを0にできません。

18.12.2　FIFOバッファの読み出し手順

受信メッセージが1つ以上の受信FIFOバッファまたは、受信モード（ゲートウェイモード含む）に設定した送受信FIFOバッファへ格納されると、対応するメッセージ数表示カウンタ（RFSTSmレジスタのRFMC[5:0]ビットまたはCFSTSkレジスタのCFMC[5:0]ビット）の値が1加算されます。このとき、RFCCmレジスタのRFIEビット（受信FIFO割り込み許可ビット）やCFCCLkレジスタのCFRXIEビット（送受信FIFO受信割り込み許可ビット）を1にしていると、割り込み要求が発生します。受信メッセージは、受信FIFOバッファの場合はRFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m～RFDF3mレジスタから、送受信FIFOバッファの場合はCFIDLk、CFIDHk、CFTSk、CFPTRk、CFDF0k～CFDF3kレジスタから読み出すことができます。FIFOバッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値がFIFOバッファの段数値（RFCCmレジスタのRFDC[2:0]ビットまたはCFCCLkレジスタのCFDC[2:0]ビットで設定した値）に一致したとき、RFSTSmレジスタのRFFLLフラグまたはCFSTSkレジスタのCFFLLフラグが1（FIFOバッファフル）になります。

FIFOバッファからすべてのメッセージを読み出したとき、RFSTSmレジスタのRFEMPフラグまたはCFSTSkレジスタのCFEMPフラグが1（FIFOバッファ空）になります。

割り込み要求フラグ（RFSTSmレジスタのRFIFフラグまたはCFSTSkレジスタのCFRXIFフラグ）が1（割り込み要求あり）の状態でRFCCmレジスタのRFEビットやCFCCLkレジスタのCFEビットを0（FIFOバッファを使用しない）にすると、割り込み要求フラグは自動的に0になりません。割り込み要求フラグはプログラムで0にしてください。

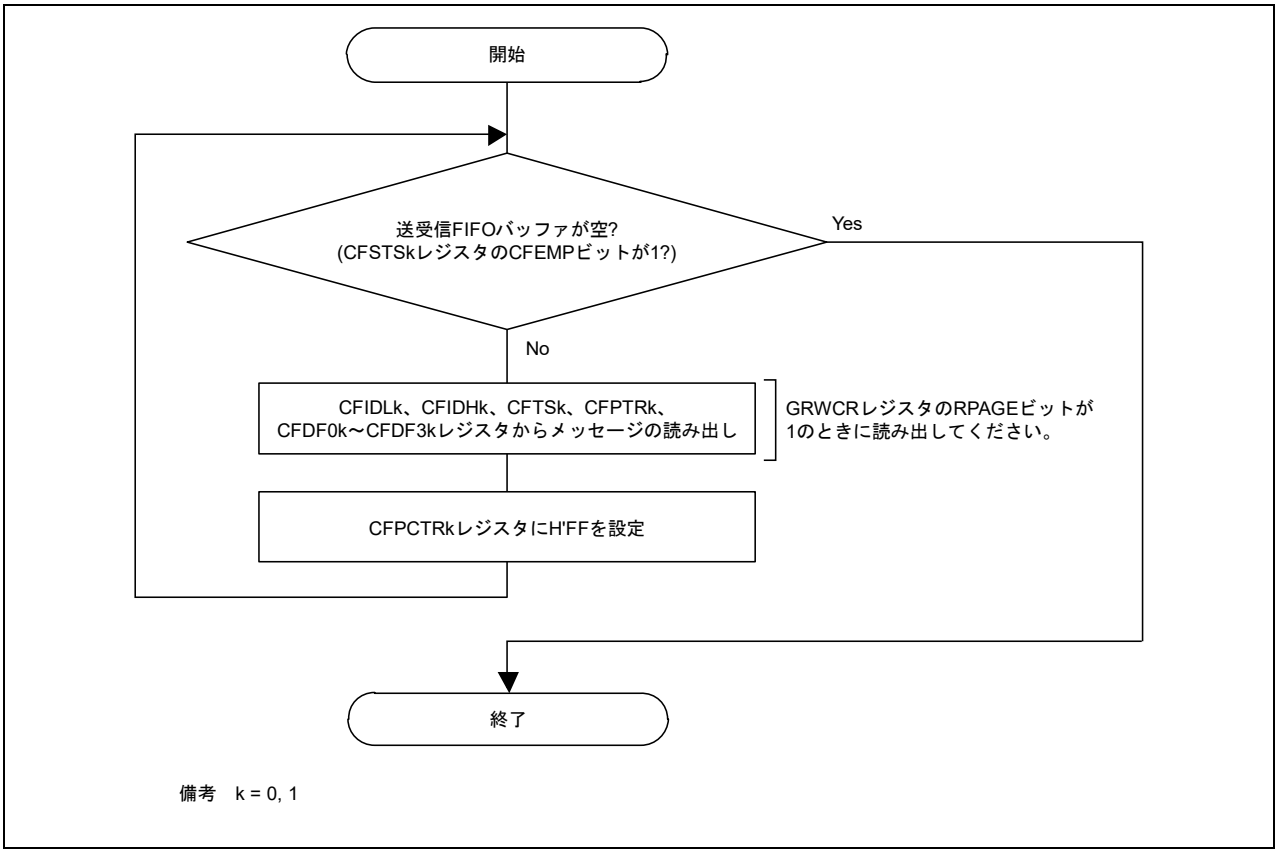
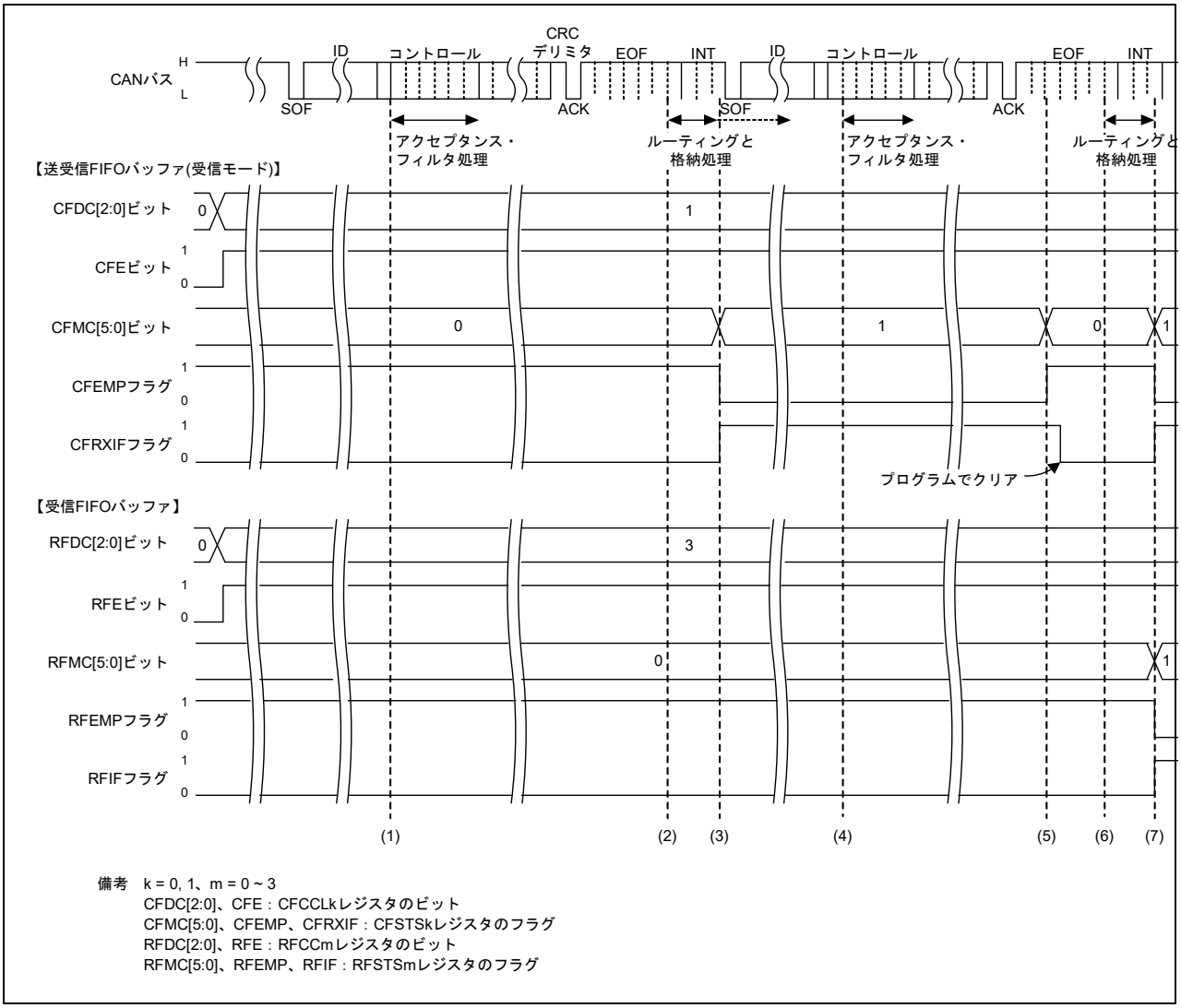


図18－25　送受信FIFOバッファの読み出し手順



備考　k = 0, 1、m = 0 ~ 3
CFDC[2:0]、CFE：CFCCLkレジスタのビット
CFMC[5:0]、CFEMP、CFRXIF：CFSTSkレジスタのフラグ
RFDC[2:0]、RFE：RFCCmレジスタのビット
RFMC[5:0]、RFEMP、RFIF：RFSTSmレジスタのフラグ

図18－26　FIFOバッファの受信タイミング図

(1)　メッセージのIDフィールドを受信し終えると、アクセプタンス・フィルタ処理が開始します。

(2)　対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGLレジスタのDCEビットが1（DLCチェック許可）の場合、この時点でDLCフィルタ処理を行います。

(3)　DLCフィルタ処理を通過し、かつCFCCLkレジスタのCFEビットが1(送受信FIFOバッファを使用する）で、CFCCLkレジスタのCFDC[2:0]ビットの値がB'001以上の場合、受信モードに設定した送受信FIFOバッファにメッセージが格納されます。CFSTSkレジスタのCFMC[5:0]ビットが1加算されてH'01になります。CFCCLkレジスタのCFIMビットを1（1メッセージ受信ごとに割り込み要求発生）にしている場合、CFSTSkレジスタのCFRXIFフラグが1（送受信FIFO受信割り込み要求あり）になります。CFRXIFフラグはプログラムで0にできます。

(4)　次のメッセージのIDフィールドを受信し終えると、アクセプタンス・フィルタ処理が開始します。

(5)　CFIDLk、CFIDHk、CFTSk、CFPTRk、CFDF0k～CFDF3kレジスタから受信メッセージを読み出し、CFPCTRkレジスタにH'FFを書きます。それにより、CFSTSkレジスタのCFMC[5:0]ビットが1減算されてH'00になり、CFSTSkレジスタのCFEMPフラグが1（送受信FIFOバッファ空）になります。

(6)　対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。GCFGLレジスタのDCEビットが1（DLCチェック許可）の場合、こ

の時点でDLCフィルタ処理を行います。

(7) DLCフィルタ処理を通過し、かつCFEビットが1（送受信FIFOバッファを使用する）、CFDC[2:0]ビットの値がB'001以上の場合、受信モードに設定した送受信FIFOバッファにメッセージが格納されます。CFMC[5:0]ビットが1加算されてH'01になります。CFIMビットを1（1メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIFフラグが1（送受信FIFO受信割り込み要求あり）になります。
また、RFCCmレジスタのRFEビットが1（受信FIFOバッファを使用する）、RFCCmレジスタのRFDC[2:0]ビットの値がB'001以上の場合、受信FIFOバッファにメッセージが格納されます。RFSTSmレジスタのRFMC[5:0]ビットが1加算されてH'01になります。RFCCmレジスタのRFIMビットを1（1メッセージ受信ごとに割り込み要求発生）にしている場合、RFSTSmレジスタのRFIFフラグが1（受信FIFO割り込み要求あり）になります。

18.13 送信手順

18.13.1 送信バッファからの送信手順

図18－27に送信バッファからの送信手順を示します。

図18－28に同一チャネルの2つの送信バッファから送信する場合のタイミング図、図18－29に同一チャネルの2つの送信バッファから送信し、送信がアボート完了した場合のタイミング図を示します。

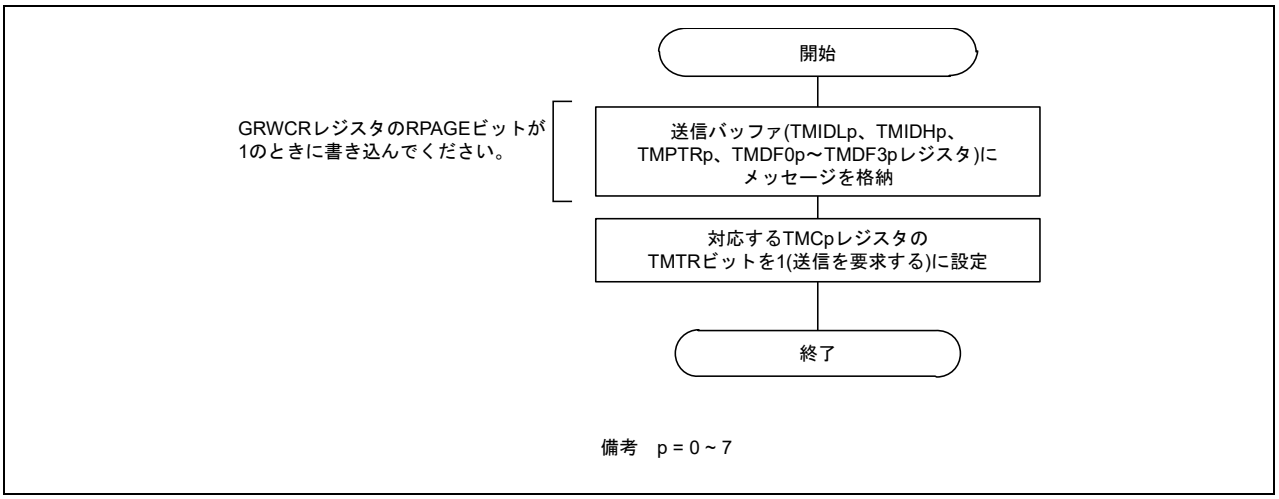
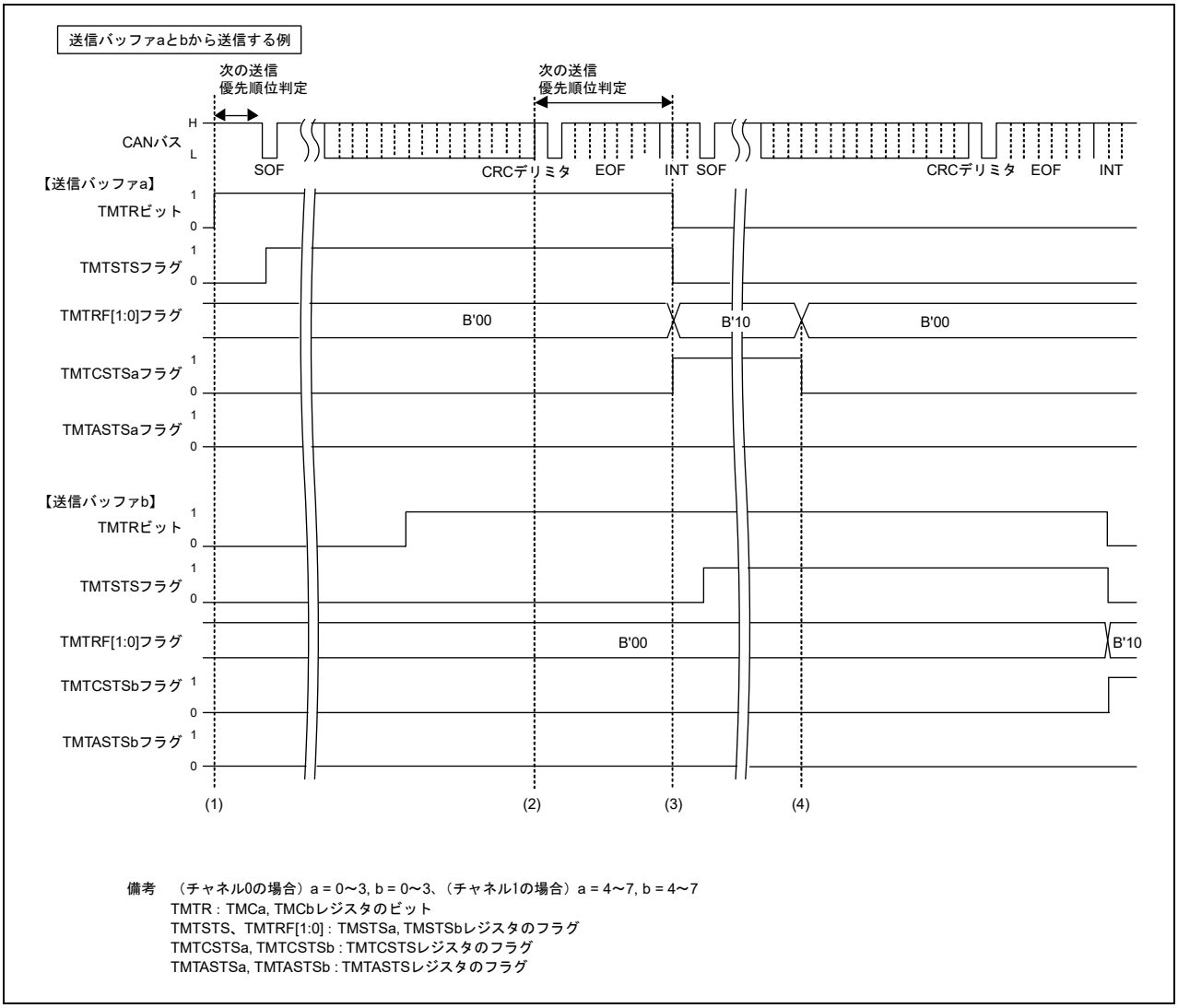


図18－27 送信バッファからの送信手順



備考 （チャネル0の場合）a = 0～3, b = 0～3、（チャネル1の場合）a = 4～7, b = 4～7
TMTR : TMCa, TMCbレジスタのビット
TMTSTS、TMTRF[1:0] : TMSTSa, TMSTSbレジスタのフラグ
TMTCSTSa, TMTCSTSb : TMTCSTSレジスタのフラグ
TMTASTSa, TMTASTSb : TMTASTSレジスタのフラグ

図18－28 送信バッファの送信タイミング図（正常に送信完了時）

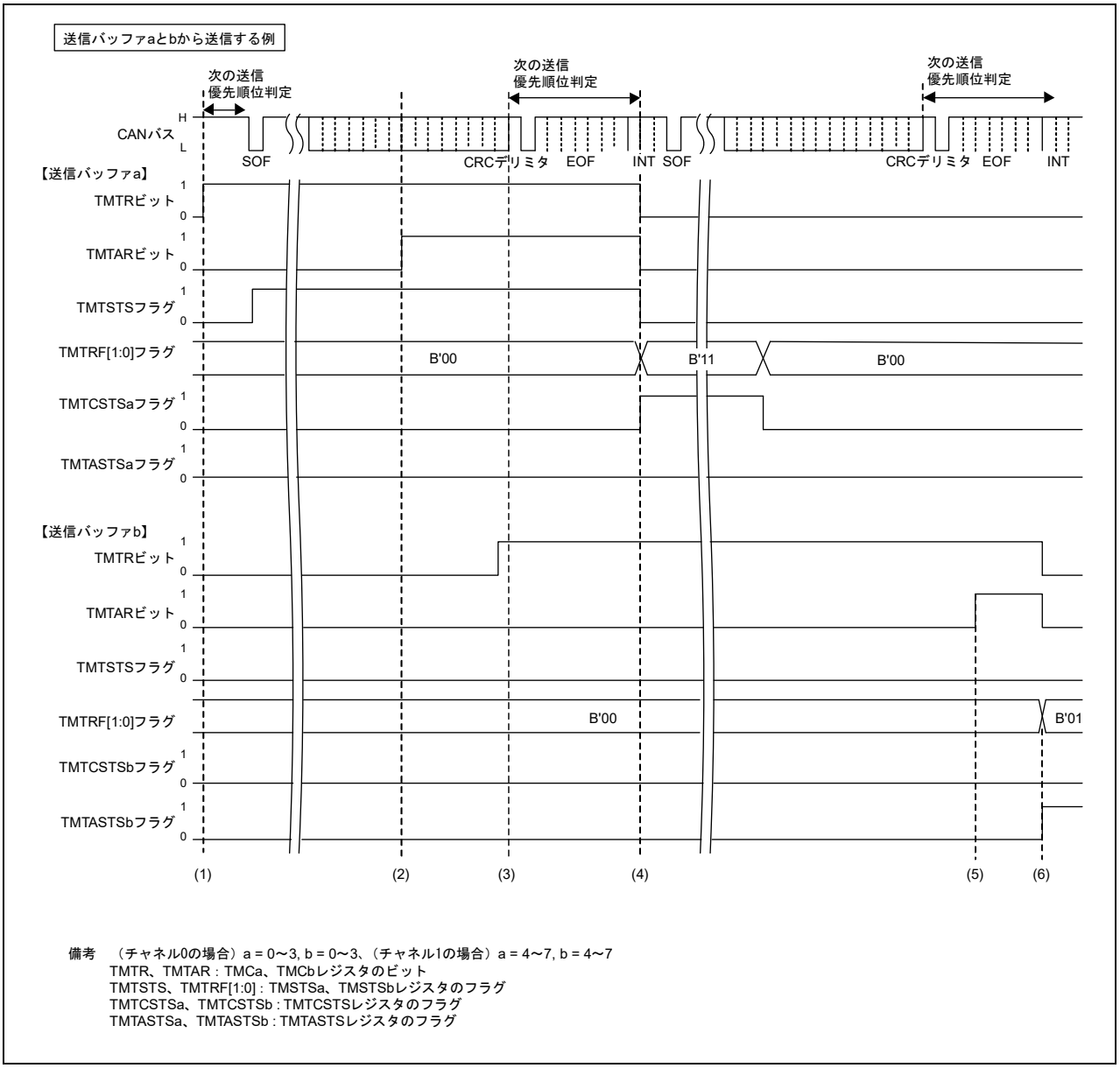
(1) CANバスがアイドル状態のときTMCaレジスタのTMTRビットを1にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファaが最優先送信バッファとして決まると、対応するTMSTSaレジスタのTMTSTSフラグが1（送信中）になり、CANチャネルは送信を開始します。

(2) CRCデリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。

(3) 送信が成功すると、TMSTSaレジスタのTMTRF[1:0]フラグはB'10（送信完了（送信アボート要求なし））、TMTSTSフラグとTMCaレジスタのTMTRビットは0、TMTCSTSレジスタのTMTCSTSaビットは1になります。TMIECレジスタのTMIEaビットが1（割り込み許可）のとき、CANi送信割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0]フラグをB'00（送信中または送信要求なし）にしてください。

(4) 次の送信を開始する前に、TMTRF[1:0]フラグをB'00にしてください。次のメッセージを送信バッファに書いてから、TMTRビットを1（送信を要求する）にしてください。TMTRF[1:0]フラグがB'00のときのみ、TMTRビットを1に設定できます。

送信を開始後にアービトレーション・ロストが発生した場合、TMTSTSフラグは0になります。送信の優先順位判定はCRCデリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーション・ロスト後にエラーが発生した場合、優先順位判定処理はエラー・フレーム送信中に再び実行されます。



備考 （チャネル0の場合）a = 0～3, b = 0～3、（チャネル1の場合）a = 4～7, b = 4～7
TMTR、TMTAR : TMCa、TMCbレジスタのビット
TMTSTS、TMTRF[1:0] : TMSTSa、TMSTSbレジスタのフラグ
TMTCSTSa、TMTCSTSb : TMTCSTSレジスタのフラグ
TMTASTSa、TMTASTSb : TMTASTSレジスタのフラグ

図18－29 送信バッファの送信タイミング図（送信アボート完了時）

(1) CANバスがアイドル状態のときTMCaレジスタのTMTRビットを1にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファaが最優先送信バッファとして決まると、対応するTMSTSaレジスタのTMTSTSフラグが1（送信中）になり、CANチャネルは送信を開始します。

(2) 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTARビットを1（アボート要求する）にしても、エラーまたはアービトレーション・ロストが発生しない限り、メッセージ送信はアボートされません。

(3) CRCデリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファbは次の送信バッファとして選択されていません。

(4) 送信が成功すると、TMSTSaレジスタのTMTRF[1:0]フラグはB'11（送信完了（送信アボート要求あり））、TMTSTSフラグとTMCaレジスタのTMTRビットは0、TMTCSTSレジスタのTMTCSTSaビットは1になります。TMIECレジスタのTMIEaビットが1（割り込み許可）のとき、CANi送信割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0]フラグをB'00（送信中または送信要求なし）にしてください。

(5) CANバス上に他のCANノードが送信している場合（TMTSTSフラグは0）、対応するチャネルが優先順位判定中にTMTARビットを1にすると、TMTRビットを0にできません。

(6) 内部処理時間経過後、送信は中止され、TMTRF[1:0]フラグがB'01、TMTASTSレジスタのTMTASTSbビットは1になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0]フラグはB'01になります。このとき、TMTRビットとTMTARビットは0になります。CiCTRHレジスタのTAIEビットが1（送信アボート割り込み許可）のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0]フラグをB'00にしてください。

CANチャネルが送信を開始後にアービトレーション・ロストが発生した場合、TMTSTSビットは0になります。優先順位判定はCRCデリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーション・ロスト後にエラーが発生した場合、優先順位判定処理はエラー・フレーム送信中に再び実行されます。

18.13.2　送受信FIFOバッファからの送信手順

図18－30に送受信FIFOバッファからの送信手順を示します。

図18-31に送受信FIFOバッファから送信する場合のタイミング図、図18-32に送受信FIFOバッファから送信し、送信がアボート完了した場合のタイミング図を示します。

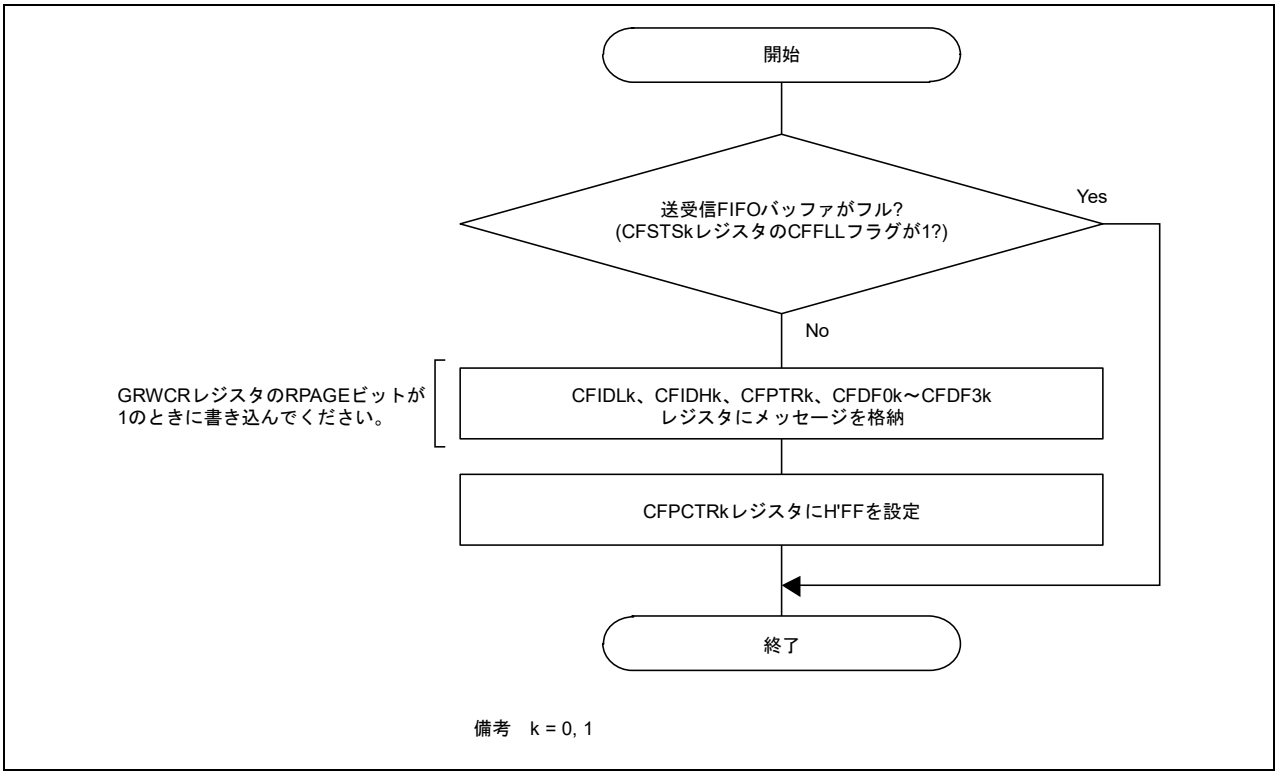


図18－30　送受信FIFOバッファからの送信手順

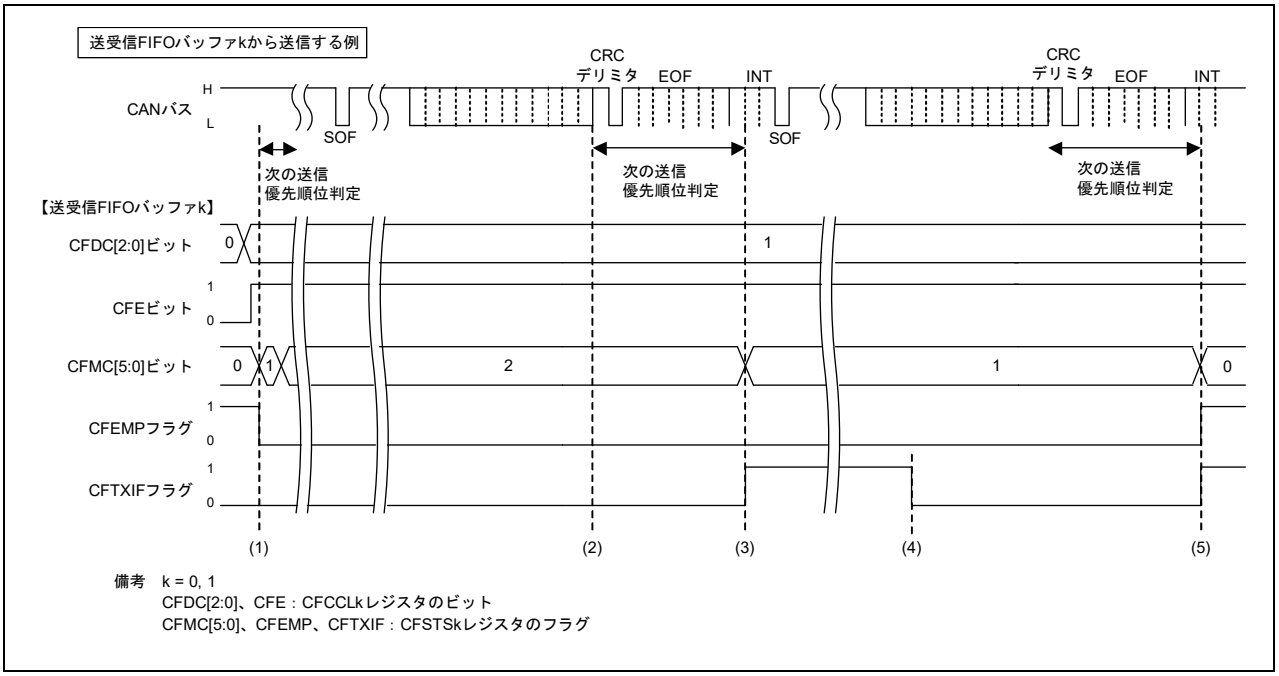


図18－31 送受信FIFOバッファの送信タイミング図（正常に送信完了時）

(1) CANバスがアイドル状態のとき、CFCCLkレジスタのCFEビットが1（送受信FIFOバッファkを使用する）、CFCCLkレジスタのCFDC[2:0]ビットがB'001（4メッセージ）以上、CFSTSkレジスタのCFMC[5:0]ビットの値がH'01以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。

(2) バッファからの送信要求があれば、CRCデリミタで次の優先順位判定処理を開始します。

(3) 送信が成功すると、CFSTSkレジスタのCFMC[5:0]ビットが1減算されます。CFCCLkレジスタのCFIMビットを1（1メッセージ送信ごとに割り込み要求発生）にした場合、CFSTSkレジスタのCFTXIFフラグが1（送受信FIFO送信割り込み要求あり）になります。

(4) CFTXIFフラグはプログラムでクリアできます。

(5) 送受信FIFOバッファkからの送信が完了し、CFSTSkレジスタのCFMC[5:0]ビットが1減算されます。CFMC[5:0]ビットがH'00になるため、CFSTSkレジスタのCFEMPフラグが1（送受信FIFOバッファ空）になります。

CFEMPフラグが1になるまで送信は続けられます。CFSTSkレジスタのCFFLLフラグが1（送受信FIFOバッファフル）になるまで、送信メッセージをFIFOバッファに格納することができます。

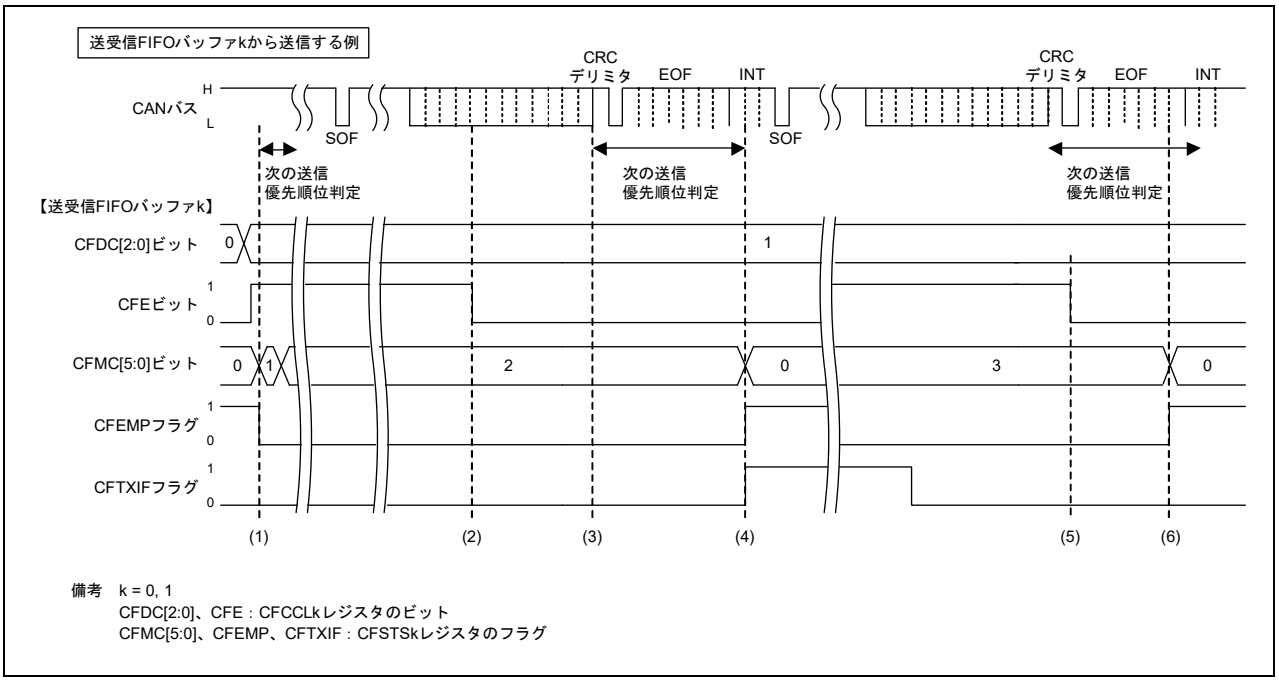


図18－32　送受信FIFOバッファの送信タイミング図（送信アボート完了時）

(1) CANバスがアイドル状態のとき、CFCCLkレジスタのCFEビットが1（送受信FIFOバッファkを使用する）、CFCCLkレジスタのCFDC[2:0]ビットがB'001（4メッセージ）以上、CFSTSkレジスタのCFMC[5:0]ビットの値がH'01以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。

(2) メッセージが送信中、または次の送信に決まっているとき、アービトレーション・ロストまたはエラーが発生しない限り、CFEビットを0（送受信FIFOバッファkを使用しない）にしても送信はアボートされません。

(3) バッファからの送信要求があれば、CRCデリミタで次の優先順位判定処理を開始します。この図では、送受信FIFOバッファkは次の送信用バッファとして選択されていません。

(4) 送信が成功すると、CFMC[5:0]ビットの値がH'00になります。CFCCLkレジスタのCFIMビットを1（1メッセージ送信ごとに割り込み要求発生）にした場合、CFSTSkレジスタのCFTXIFフラグが1（送受信FIFOバッファ送信割り込み要求あり）になります。CFTXIFフラグはプログラムでクリアできます。

(5) CANバス上の他のCANノードが送信中の場合（送受信FIFOバッファkからは送信されていない）、送信の優先順位判定中にCFCCLkレジスタのCFEビットを0（送受信FIFOバッファkを使用しない）にしても、送受信FIFOバッファkは直ちに禁止にはできません（CFSTSkレジスタのCFEMPフラグは直ちに1（送受信FIFOバッファ空）にはなりません）。

(6) 内部処理時間経過後、送受信FIFOバッファは禁止され、CFSTSkレジスタのCFMC[5:0]ビットはH'00になり、CFEMPフラグは1になります。送受信FIFOバッファkが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信FIFOバッファkは禁止されます（CFMC[5:0]ビットはH'00になり、CFEMPフラグは1になります）。

18.13.3　送信履歴バッファの読み出し手順

送信履歴データは、THLACCiレジスタで読めます。1データを読んだ後、対応するTHLPCTRiレジスタへH'FFを書くと、次のデータへアクセスできます。図18－33に送信履歴バッファの読み出し手順を示します。

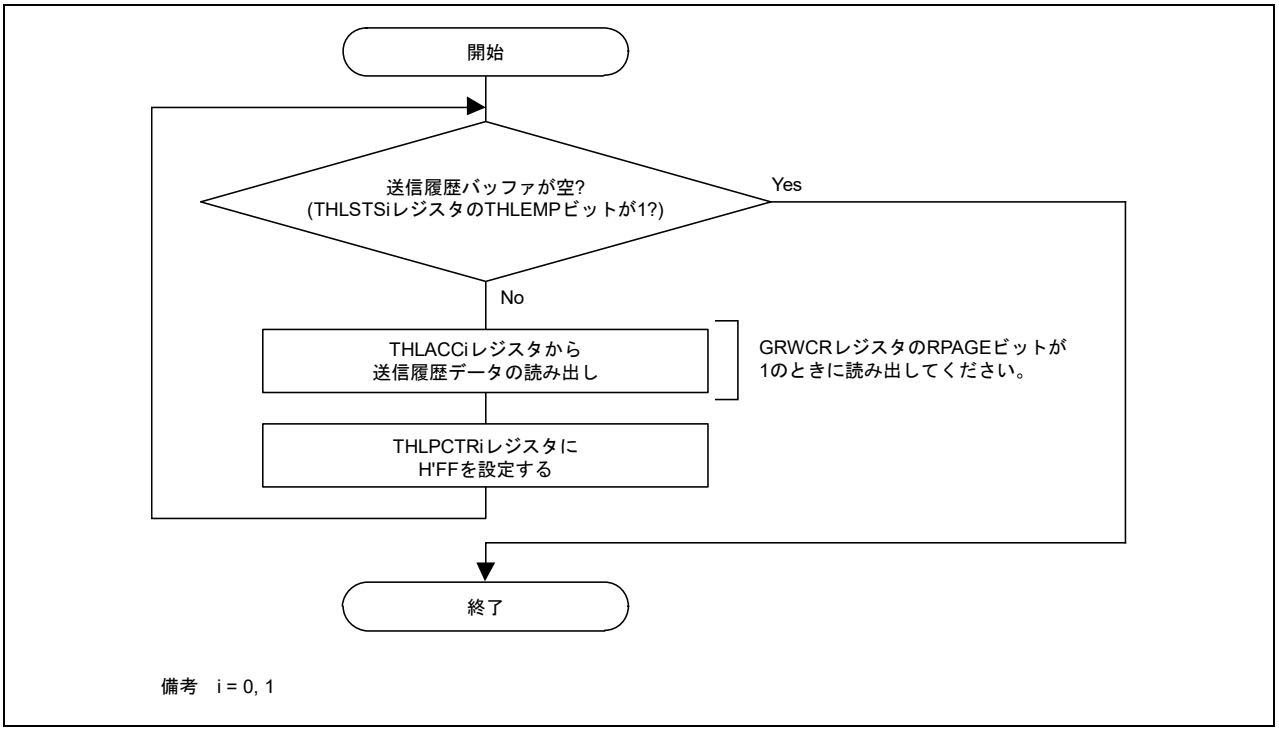


図18－33　送信履歴バッファの読み出し手順

18.14 テスト設定

18.14.1 セルフ・テスト・モードの設定手順

セルフ・テスト・モードでは、自ら送信したメッセージを受信することにより、チャネル単体で通信テストを行うことができます。

図18－34にセルフ・テスト・モードの設定手順を示します。

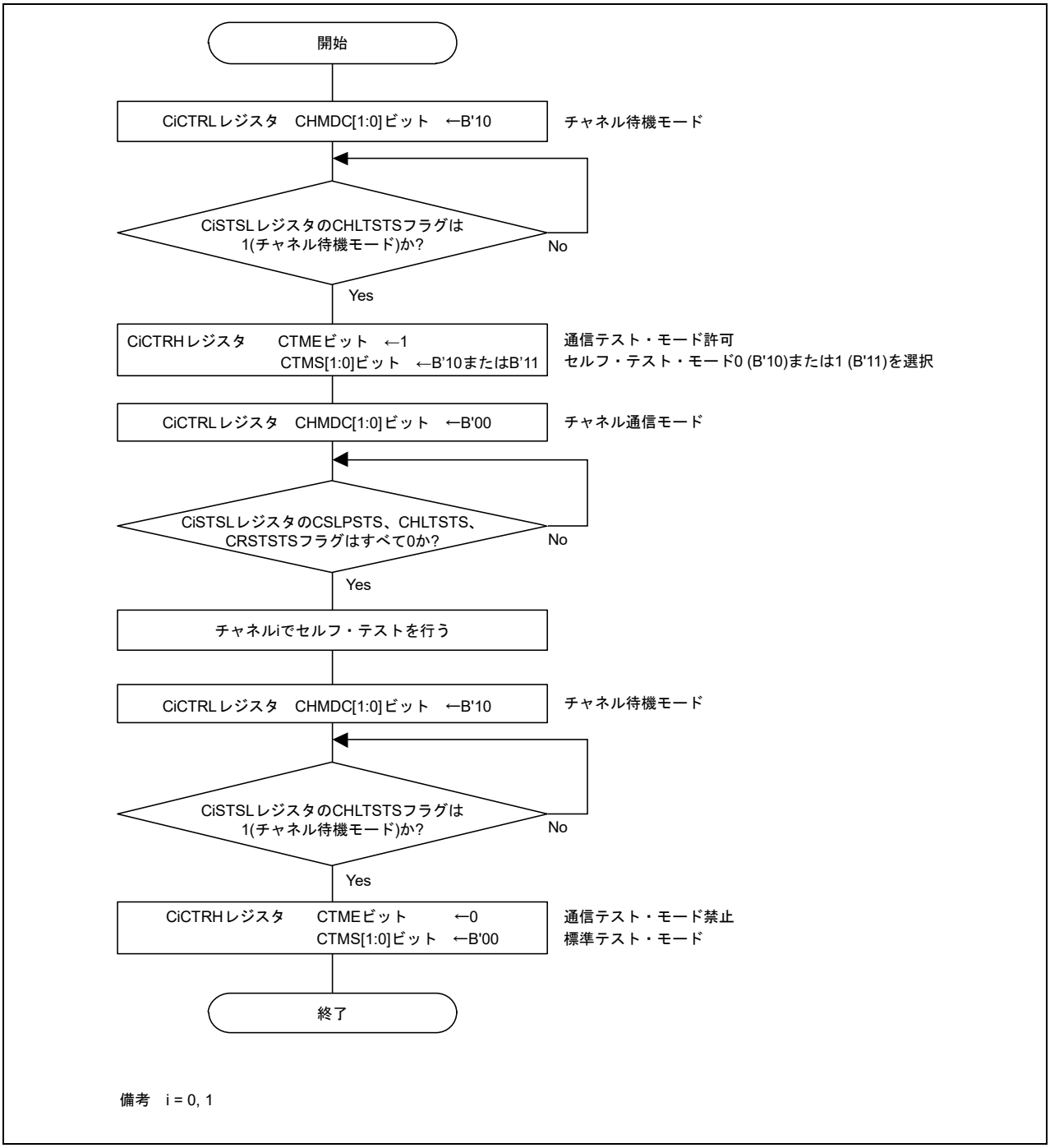


図18－34 セルフ・テスト・モードの設定手順

18.14.2 プロテクト解除手順

表18－15に示すグローバル・テスト機能はプロテクトされているため、解除データ1と解除データ2を連続してGLOCKKレジスタのLOCK[15:0]ビットに書いてから、それぞれのテスト機能ビットを1にしてください。

表18－15 テスト機能用プロテクト解除データ

テスト機能	プロテクト解除データ1	プロテクト解除データ2	対象ビット
RAMテスト	H'7575	H'8A8A	GTSTCTRLレジスタのRTMEビット

間違った値をLOCK[15:0]ビットに書いた場合、再度、解除データ1の書き込みからやり直してください。

図18－35にプロテクト解除手順を示します。

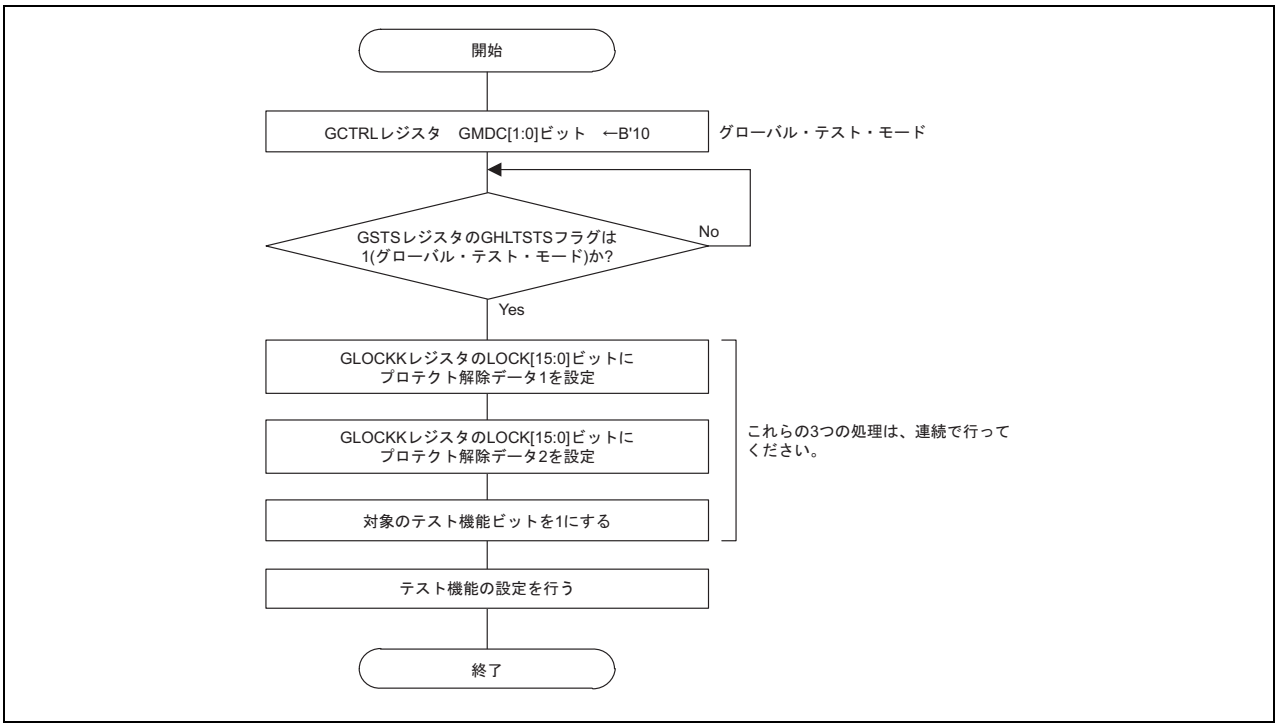


図18－35 プロテクト解除手順

18.14.3　RAMテストの設定手順

RAMテストには、CAN用RAMの読み書きテストがあります。読み書きテストでは、RAMに書いた値が正しく読めることを確認できます。RAMテストを終了する前に、CAN用RAMの全ページにH'0000 0000を書いてください。

図18－36にRAMテストの設定手順を示します。

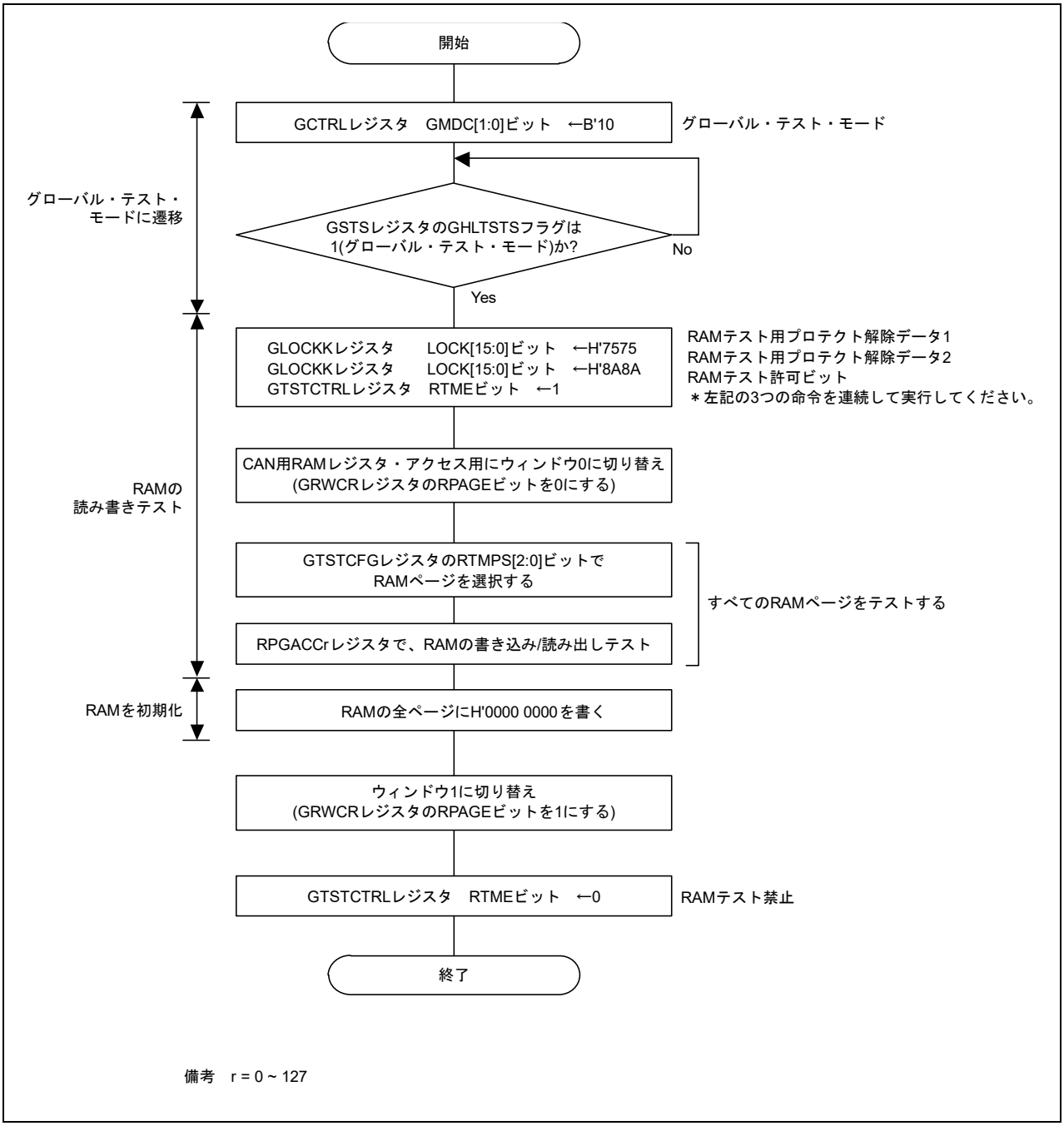


図18－36　RAMテストの設定手順

18.14.4 チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

図18－37にチャネル間通信テストの設定手順を示します。

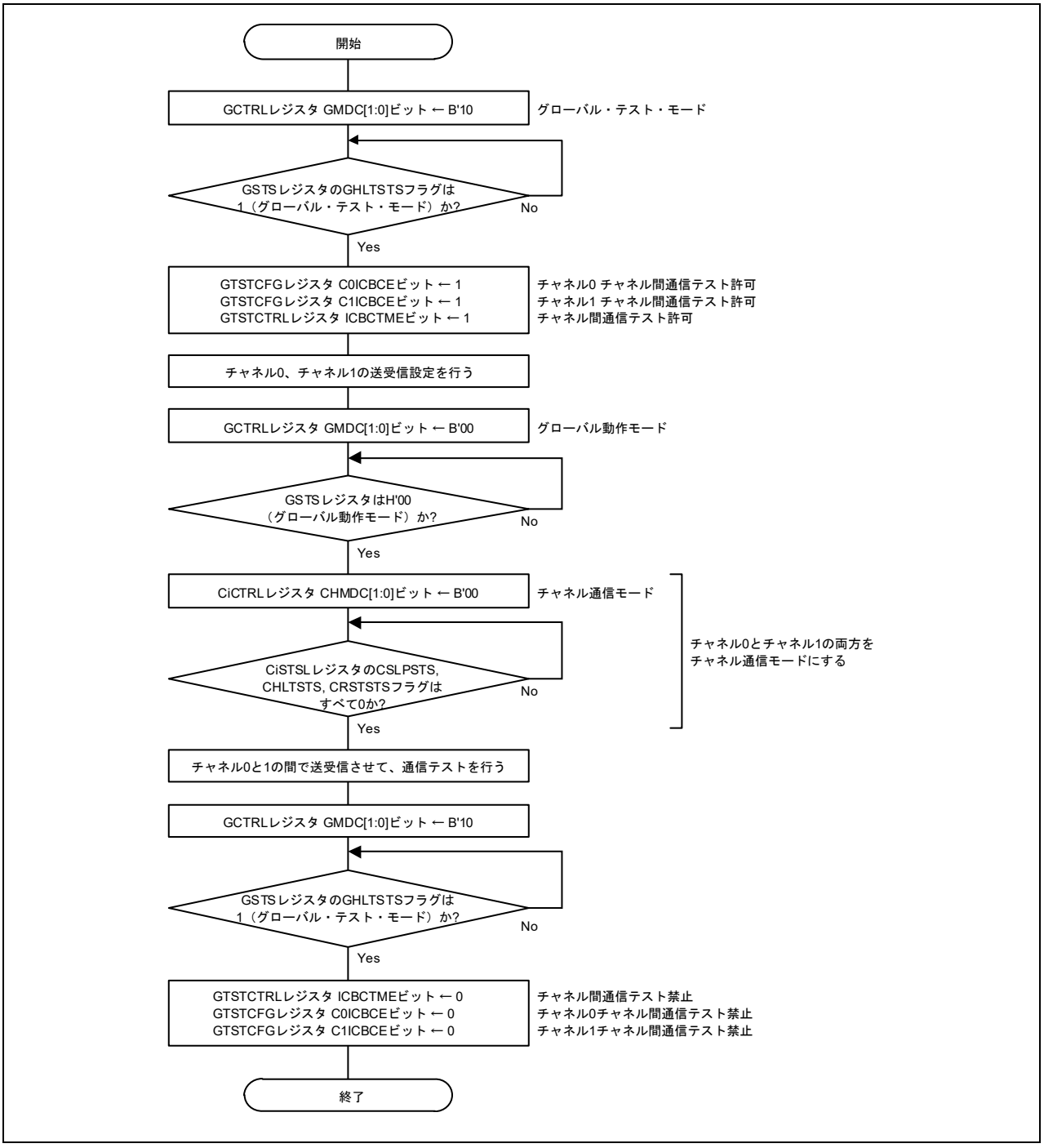


図18－37 チャネル間通信テストの設定手順（チャネル0-1 間通信テストの例）

18.15 CANモジュールの注意事項

・グローバル・モードを変更する場合は、GSTSレジスタのGSLPSTS、GHLTSTS、GRSTSTSフラグで遷移を確認してください。チャネル・モードを変更する場合は、CiSTSLレジスタのCSLPSTS、CHLTSTS、CRSTSTSフラグで遷移を確認してください。

・アクセプタンス・フィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じID、IDEビット、RTRビットの値を設定した場合、小さい番号の受信ルールでアクセプタンス・フィルタ処理が通過します。その後のDLCフィルタ処理を通過しなかった場合も、アクセプタンス・フィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。

・送信バッファを送受信FIFOバッファにリンクした場合、対応する送信バッファの制御レジスタ（TMCpレジスタ）はH'00にしてください。また、対応する送信バッファのステータス・レジスタ（TMSTSpレジスタ）は使用しないでください。その他のステータス・レジスタ（TMTRSTS、TMTCSTS、TMTASTSレジスタ）は、送受信FIFOにリンクした送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ（TMIECレジスタ）の許可ビットは0（割り込み禁止）にしてください。

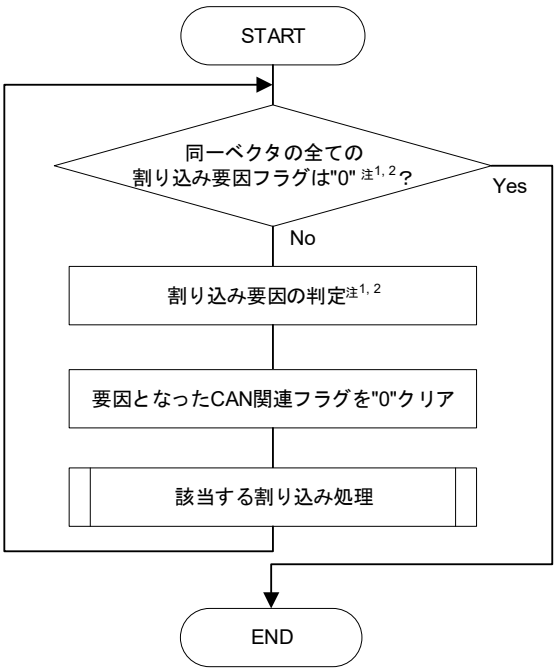
・タイムスタンプ・カウンタのクロック源にCANiビット・タイム・クロックを選択した場合、対応するチャネルがチャネル・リセット・モードまたはチャネル待機モードに遷移すると、タイムスタンプ・カウンタが停止します。

・受信FIFOバッファ、送受信FIFOバッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信FIFOバッファに新しい送信メッセージを格納しようとする場合、送受信FIFOバッファがフルでないことを確認してください。

・CANモジュールの割り込み要求フラグは、割り込みが受け付けられても自動的に0になりませんので、プログラムで0にしてください。これらのフラグが1の場合、それ以降に成立した割り込み要因により割り込みは発生しません。

割り込み要求フラグをクリアする場合は、割り込み要因に対応するCANモジュールの割り込み要求フラグがすべて“0”になったことを確認してください。

以下の図を参照してください。



注1. 割り込み要因に対応するCANモジュールの割り込み要求フラグがすべて"0"になったことを確認した後に割り込み処理を終了してください。

例）受信FIFOバッファ0のみを許可（RFCC0レジスタのRFIEフラグが1）して受信FIFO割り込みを使用する場合、割り込み処理内でRFSTS0レジスタのRFIFフラグを0にします。
その後、RFSTS0レジスタのRFIFフラグが"0"になったことを確認して割り込みを終了します。

2. CANiウェイクアップ割り込みについては、割り込み機能によってのみ制御されるため、CANモジュール側に割り込み要求フラグはありません。

図18－38　送受信FIFOバッファの送信タイミング図（正常に送信完了時）

・複数の割り込み要因が１つの割り込みにまとめられているCAN関連割り込みを発生させるためには、以下の条件を満たす必要があります。
割り込み要因に対応するCANモジュールの割り込み要求フラグがすべて0（ただし、表18－12にある対応する割り込み許可ビットが1の割り込み要求フラグのみが対象）。

・未使用のCAN受信バッファ・レジスタ（RMIDLn、RMIDHn、RMTSn、RMPTRn、RMDF0n～RMDF3n）、CAN受信FIFOアクセス・レジスタ（RFIDLm、RFIDHm、RFTSm、RFPTRm、RFDF0m～RFDF3m）とCANi送受信FIFOアクセス・レジスタ（CFIDLk、CFIDHk、CFTSk、CFPTRk、CFDF0k～CFDF3k）の値は、一度、グローバル・リセット・モードを抜けてグローバル動作モードやグローバル・テスト・モードに遷移すると不定になります。

第19章　IEBusコントローラ（IEBB）

IEBus（Inter Equipment Bus）は，デジタル・データ伝送システムです。RL78/F15ではIEBusコントローラを1チャネル内蔵しています。IEBus通信を行う場合は，外部にIEBusドライバ／レシーバを用意してください。

19.1　IEBBの特徴

RL78/F15は，次のチャネルのIEBusコントローラを搭載しています。

表19－1　IEBusコントローラのチャネル数

IEBusコントローラ	
チャネル数	1
名称	IEBB0

また，IEBusコントローラ（IEBB0）は，次の割り込みとDTC要求を発生させることができます。

表19－2　IEBB0割り込みとDTCの要求

割り込み要求信号	機　　能	接続先
IEBBTD	IEBusデータ割り込み	割り込みコントローラ（INTIEBBTD） DTC起動要因番号50
IEBBTV	IEBusベクタ割り込み	割り込みコントローラ（INTIEBBTV）

19.2　IEBBの構成

19.2.1　IEBBの機能概要

IEBusコントローラ（IEBB0）の機能概要を以下に示します。

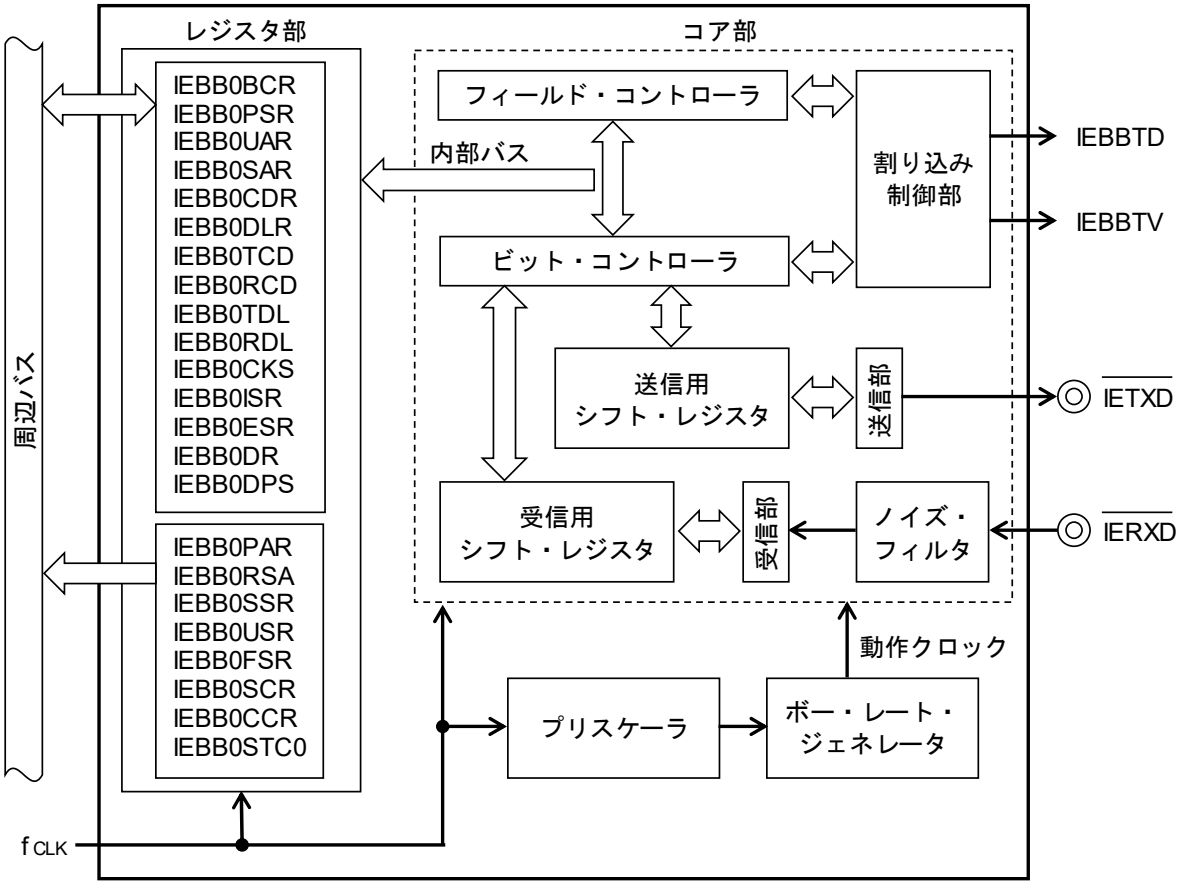
表19－3　IEBB0の機能概要

項　目	仕　様
通信仕様	IEBus通信プロトコル（モード1／モード2）に準拠したデータ伝送システム
実行伝送速度	約18 kbps（モード1），約27 kbps（モード2）
最大転送バイト数	32バイト／フレーム（モード1），128バイト／フレーム（モード2）
IEBBの動作クロック	8MHz
割り込み要求信号	• IEBusデータ割り込み 　－ 送信データ書き込み要求 　－ 受信データ読み出し要求 • IEBusベクタ割り込み 　－ 通信エラー 　－ スタート要求 　－ ステータス送信要求 　－ 通信終了 　－ フレーム終了
IEBBの端子構成	$\overline{\text{IERXD}}$：IEBus受信データ入力端子 $\overline{\text{IETXD}}$：IEBus送信データ出力端子

19.2.2　IEBBのブロック図

IEBusコントローラ（IEBB0）のブロック図を以下に示します。

図19－1　IEBB0のブロック図



19.3　IEBBのレジスタ

IEBusコントローラ（IEBB0）のレジスター覧を以下に示します。

表19－4　IEBB0レジスター覧

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺イネーブル・レジスタ2	PER2	00H	F02C1H	1, 8
IEBB0バス・コントロール・レジスタ	IEBB0BCR	00H	F07C0H	1, 8
IEBB0パワー・セーブ・レジスタ	IEBB0PSR	00H	F07C1H	1, 8
IEBB0ユニット・アドレス・レジスタ	IEBB0UAR	0000H	F07C2H	16
IEBB0スレーブ・アドレス・レジスタ	IEBB0SAR	0000H	F07C4H	16
IEBB0パートナー・アドレス・レジスタ	IEBB0PAR	0000H	F07C6H	16
IEBB0受信スレーブ・アドレス・レジスタ	IEBB0RSA	0000H	F07C8H	16
IEBB0コントロール・データ・レジスタ	IEBB0CDR	00H	F07CAH	8
IEBB0電文長レジスタ	IEBB0DLR	01H	F07CBH	8
IEBB0送信コントロール・データ・レジスタ	IEBB0TCD	00H	F07CCH	8
IEBB0受信コントロール・データ・レジスタ	IEBB0RCD	00H	F07CDH	8
IEBB0送信電文長レジスタ	IEBB0TDL	01H	F07CEH	8
IEBB0受信電文長レジスタ	IEBB0RDL	01H	F07CFH	8
IEBB0クロック選択レジスタ	IEBB0CKS	07H	F07D0H	8
IEBB0スレーブ・ステータス・レジスタ	IEBB0SSR	81H	F07D1H	1, 8
IEBB0ユニット・ステータス・レジスタ	IEBB0USR	00H	F07D2H	1, 8
IEBB0インタラプト・ステータス・レジスタ	IEBB0ISR	00H	F07D3H	1, 8
IEBB0エラー・ステータス・レジスタ	IEBB0ESR	00H	F07D4H	1, 8
IEBB0フィールド・ステータス・レジスタ	IEBB0FSR	00H	F07D5H	8
IEBB0サクセス・カウント・レジスタ	IEBB0SCR	01H	F07D6H	8
IEBB0コミュニケーション・カウント・レジスタ	IEBB0CCR	20H	F07D7H	8
IEBB0ステータス・クリア・レジスタ	IEBB0STC0	00H	F07D8H	1, 8
IEBB0データ・レジスタ	IEBB0DR	00H	F07D9H	8
IEBB0データ極性選択レジスタ	IEBB0DPS	00H	F07DAH	1, 8

19.3.1　周辺イネーブル・レジスタ2（PER2）

各周辺ハードウエアへのクロック供給許可／禁止を設定します。使用しないハードウエアのクロック供給を停止させることができます。

各周辺機能のレジスタ・アクセスを行う前に対応するビットを1にしてください。

PER2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

図19－2　PER2レジスタのフォーマット

アドレス：F02C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	IEBUSEN	LIN2EN	LIN1EN	LIN0EN	0	CAN0EN

IEBUSEN	IEBBの入力クロック供給の制御
0	入力クロック供給停止 ・IEBBで使用するSFRへのライト不可 ・IEBBはリセット状態
1	入力クロック供給 ・IEBBで使用するSFRへのリード／ライト可

LIN2EN	LIN2の入力クロック供給の制御
0	入力クロック供給停止 ・LIN2で使用するSFRへのライト不可 ・ILIN2はリセット状態
1	入力クロック供給 ・LIN2で使用するSFRへのリード／ライト可

LIN1EN	LIN1の入力クロック供給の制御
0	入力クロック供給停止 ・LIN1で使用するSFRへのライト不可 ・LIN1はリセット状態
1	入力クロック供給 ・LIN1で使用するSFRへのリード／ライト可

LIN0EN	LIN0の入力クロック供給の制御
0	入力クロック供給停止 ・LIN0で使用するSFRへのライト不可 ・LIN0はリセット状態
1	入力クロック供給 ・LIN0で使用するSFRへのリード／ライト可

CAN0EN	CANの入力クロック供給の制御
0	入力クロック供給停止 ・CANで使用するSFRへのライト不可 ・CANはリセット状態
1	入力クロック供給 ・CANで使用するSFRへのリード／ライト可

19.3.2　IEBB0バス・コントロール・レジスタ（IEBB0BCR）

IEBB0BCRレジスタは，IEBusコントローラ（IEBB0）の各動作を制御するレジスタです。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－3　IEBB0BCRレジスタのフォーマット

アドレス：F07C0H　　リセット時：00H[注1]　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0BCR	IEBB0PW	IEBB0MSRQ	IEBB0ALRQ	IEBB0STXE	IEBB0SRXE	0	0	0

IEBB0PW	通信許可フラグ[注2]
0	IEBB0ユニットの動作停止
1	IEBB0ユニットの動作許可

IEBB0MSRQ	マスタ・リクエスト・フラグ
0	IEBB0ユニットをマスタとして要求しない
1	IEBB0ユニットをマスタとして要求する

IEBB0ALRQ	同報リクエスト・フラグ
0	個別通信を要求する
1	同報通信を要求する

IEBB0STXE	スレーブ送信許可フラグ
0	スレーブ送信を禁止
1	スレーブ送信を許可

IEBB0SRXE	スレーブ受信許可フラグ
0	スレーブ受信を禁止
1	スレーブ受信を許可

注1.　IEBB0PWビットに0を書くと，IEBB0MSRQ, IEBB0ALRQ, IEBB0STXE, IEBB0SRXEの各ビットを初期化（リセット）します。

2.　IEBB0PWビットに1を書くと，以下のレジスタは変更することができなくなります。

・IEBB0PSR, IEBB0UAR, IEBB0CKS, IEBB0DPSレジスタ

対象のレジスタは，IEBB0PWビットが0の時に設定してください。

注意1.　IEBB0PWビットが1（動作許可）かつIEBB0MSRQビットが1（マスタ要求あり）のときに，IEBB0MSRQビットに1を書かないでください。

2.　レジスタをアクセスする際は，次のことに注意してください。

・IEBB0PWビットが0のときに, IEBB0MSRQ, IEBB0ALRQ, IEBB0STXE, IEBB0SRXEの各ビットへの書き込みはできません。

・IEBB0MSRQビットが1のときに，IEBB0MSRQ, IEBB0ALRQ, IEBB0STXE, IEBB0SRXEの各ビットに1ビット操作命令を使用した書き込みを行わないでください。ソフトウエアの書き込みとハードウエアのIEBB0MSRQビットのクリアが競合する可能性があります。

- IEBB0PWビット

  ソフトウエア操作により1（動作許可），0（動作停止）を設定します。

  IEBB0PWビットを1にするタイミングで，通信参加方法が異なります。

表19－5　IEBB0PWビットのセット・タイミングと通信参加方法

IEBB0PWビットを1にするタイミング	IEBB0の通信参加方法
IEBus上で通信が行われていないとき	次回フレームから通信に参加，または通信を開始します。
IEBus上で通信が行われているとき，かつ他のバス・マスタによるスタート・ビット通信中	スタート・ビットを検出した場合は，そのフレームから通信に参加します。スタート・ビットを検出しなかった場合は，次回のフレームから通信に参加します。
IEBus上で通信が行われているとき，かつ他のバス・マスタによるスタート・ビットよりあとの通信中	次回のフレームから通信に参加します。

IEBB0PWビットを0にすると，通信途中であっても通信をただちに中止し，内部フラグやレジスタは一部を除き初期化（リセット）します。IEBB0PWビットでリセットしないレジスタは次のとおりです。

表19－6　IEBB0PWビットでリセットしないレジスタ

レジスタ	備　　考
IEBB0CDR, IEBB0DLR, IEBB0DR	CPUからの書き込みデータはリセットしないが，通信の受信データはリセットする。
IEBB0PSR, IEBB0UAR, IEBB0SAR, IEBB0TCD, IEBB0TDL, IEBB0CKS, IEBB0STC0, IEBB0DPS	リセットしない。

- IEBB0MSRQビット

  ソフトウエア操作により1（マスタとして通信開始）を設定します。クリア条件を以下に示します。

  ・ マスタ通信を開始し，IEBusベクタ割り込み（スタート要求）発生時にハードウエアでクリア
  ・ IEBusベクタ割り込み（通信エラー）発生時にハードウエアでクリア
  ・ 競合負け発生時にハードウエアでクリア
  ・ IEBB0PWビットへの0書き込みによるクリア

IEBB0MSRQビットを1にすると，マスタとして通信を開始します。ただし，IEBus上で通信が行われている場合，そのフレーム終了後にマスタとして通信を開始します。

注意1.　IEBB0MSRQビットに1を書き込む場合，IEBB0STXEビットを0にしてから設定してください。IEBB0STXEビットが1のときに設定すると，アービトレーション負けでスレーブが選択されたとき，マスタとして準備した送信データをそのままスレーブ送信のデータとしてしまうことがあります。

2.　競合負けした場合，再マスタ要求はソフトウエアで行ってください。

- IEBB0ALRQビット

  ソフトウエア操作により1（同報通信），0（個別通信）を設定します。

注意1.　IEBB0ALRQビットはハードウエアによるクリアは行いません。個別通信を行う場合，ソフトウエアで0を設定してください。

2.　IEBB0ALRQビットの値を変更する場合，IEBB0MSRQビットを1にする前に行ってください。

- IEBB0STXEビット

  ソフトウエア操作により1（スレーブ送信許可），0（スレーブ送信禁止）を設定します。

  コントロール・フィールドで$\overline{ACK}$信号を返信するかは，他の条件により決まります。以下にコントロール・フィールドの$\overline{ACK}$信号返信条件を示します。

表19－7　コントロール・フィールドの$\overline{ACK}$信号返信条件（0H, 3H, 4H, 5H, 6H, 7H受信）

通信対象 （IEBB0SRQF） スレーブ指定=1 指定なし=0	ロック状態 （IEBB0LCKF） ロック=1 非ロック=0	マスタ・ユニット判定 （IEBB0PAR一致） ロック要求ユニット=1 それ以外=0	スレーブ送信 許可 （IEBB0STXE）	スレーブ受信 許可 （IEBB0SRXE）	コントロール・ビット					
					0H	3H	4H	5H	6H	7H
1	0	don’t care	0	don’t care	○	×	×	×	○	×
			1		○	○	×	×	○	○
	1	0	don’t care		○	×	○	○	×	×
		1	0		○	×	○	○	○	×
			1		○	○	○	○	○	○
上記以外					×					

備考　○：スレーブ送信を行う（$\overline{ACK}$信号を返信する），×：スレーブ送信を行わない（NACK信号を返信する）

表19－8　コントロール・フィールドの$\overline{ACK}$信号返信条件（AH, BH, EH, FH受信）

通信対象 （IEBB0SRQF） スレーブ指定=1 指定なし=0	ロック状態 （IEBB0LCKF） ロック=1 非ロック=0	マスタ・ユニット判定 （IEBB0PAR一致） ロック要求ユニット=1 それ以外=0	スレーブ送信許可 （IEBB0STXE）	スレーブ受信許可 （IEBB0SRXE）	コントロール・ビット			
					AH	BH	EH	FH
1	0	don’t care	don’t care	1	○			
	1	1						
上記以外					×			

備考　○：スレーブ送信を行う（$\overline{ACK}$信号を返信する），×：スレーブ送信を行わない（NACK信号を返信する）

注意1.　IEBB0STXEビットは，コントロール・フィールドのパリティ・ビット受信終了前までに設定してください。

2.　マスタ要求時は，IEBB0MSRQビットを1にする前にIEBB0STXEビットを0にしてください。
IEBB0STXEビットが1のときにIEBB0MSRQビットを1にすると，アービトレーション負けでスレーブが選択されたとき，マスタとして準備した送信データをそのままスレーブ送信のデータとしてしまうことがあります。

- IEBB0SRXEビット

  ソフトウエア操作により1（スレーブ受信許可），0（スレーブ受信禁止）を設定します。

  IEBB0SRXEビットが1の場合，自局宛通信の受信コントロール・ビットが AH, BH, EH, FH のとき（ロック状態に設定されているときは，その通信のマスタ・ユニット・アドレスがロックを要求しアドレスと一致の場合），コントロール・フィールドで$\overline{\text{ACK}}$信号を返信しスレーブ受信動作を行います。

  IEBB0SRXEビットが0の場合，自局宛通信の受信コントロール・ビットが AH, BH, EH, FH のとき，コントロール・フィールドでNACK信号を返信し，スレーブ受信動作を行いません。

注意1. IEBB0SRXEビットは，コントロール・フィールドのパリティ・ビット受信終了前までに設定してください。

2. IEBB0SRXEビットは，個別通信／同報通信のスレーブ受信の許可／禁止を設定します。個別通信時は，IEBB0SRXEビットを0にすることで，コントロール・フィールドでNACK信号を返信し通信を終了しますが，同報通信時はIEBB0SRXEビットを0にしても，$\overline{\text{ACK}}$/NACK信号送信を行わないため通信を終了しません。また，IEBusデータ割り込み等も発生しません。

19.3.3　IEBB0パワー・セーブ・レジスタ（IEBB0PSR）

IEBB0PSRレジスタは，IEBB0の動作クロックの許可／停止，通信モードを制御するレジスタです。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－4　IEBB0PSRレジスタのフォーマット

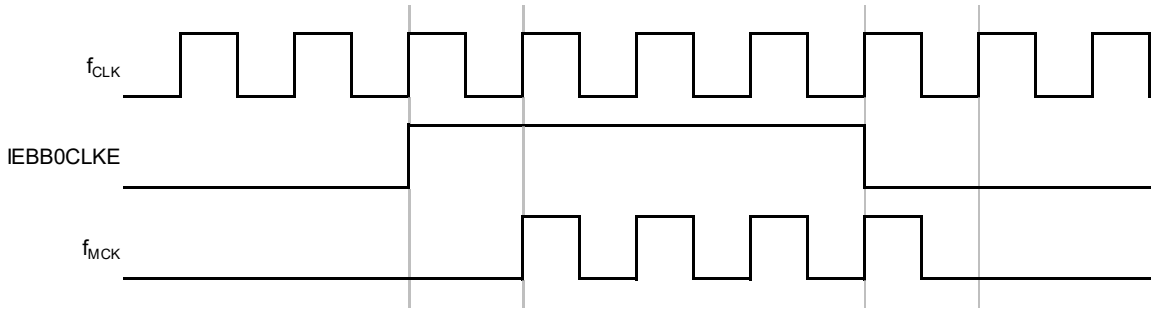
アドレス：F07C1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0PSR	IEBB0CLKE	IEBB0CMD	0	0	0	0	0	0

IEBB0CLKE	動作クロックの動作許可フラグ
0	動作クロックを停止し，プリスケーラ，ボー・レート・ジェネレータを初期化
1	動作クロックを許可
動作クロックは，IEBB0CLKEビットを1にしてから1クロック後に動作します。また，IEBB0CLKEビットを0にした1クロック後に停止します（図19－5「動作クロックの開始／停止」参照）。	

IEBB0CMD	IEBB0通信モード設定フラグ
0	モード1を設定
1	モード2を設定

図19－5　動作クロックの開始／停止



備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

f_{MCK}：IEBusコントローラ（IEBB0）動作クロック周波数

注意1.　IEBB0PSRレジスタは，IEBB0BCRレジスタのIEBB0PWビットが0のときに設定してください。IEBB0PWビットが1のときに設定しても，その設定を無視します。

2.　バス動作を開始するときは，IEBB0CLKEビットを1にしてください。バス動作を開始する際の手順を以下に示します。

・ 通信開始時

（1）IEBB0CKSレジスタを設定する

（2）IEBB0CLKEビットを1にし，IEBB0CMDビットで通信モードを設定する

（3）通信仕様に応じ，IEBB0UAR, IEBB0SAR, IEBB0TCD, IEBB0TDL, IEBB0DR等の各レジスタを設定する

（4）IEBB0PWビットを1にして，通信を開始する

・ 通信停止時

（1）IEBB0PWビットを0にする

（2）IEBB0CLKEビットを0にする

19.3.4　IEBB0ユニット・アドレス・レジスタ（IEBB0UAR）

IEBB0UARレジスタは，自局のアドレスを設定するレジスタです。

本レジスタは，16ビット・メモリ操作命令でアクセスしてください。

図19－6　IEBB0UARレジスタのフォーマット

アドレス：F07C2H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IEBB0UAR	0	0	0	0												

	自局アドレス設定
ビット11-0	自局アドレスを設定します。

注意　IEBB0UARレジスタは，IEBB0BCRレジスタのIEBB0PWビットが0（動作停止）のときに設定してください。IEBB0PWビットが1（動作許可）のときに設定しても，その設定を無視します。

19.3.5　IEBB0スレーブ・アドレス・レジスタ（IEBB0SAR）

IEBB0SARレジスタは，マスタ通信時に相手となるスレーブ・ユニットのアドレスを設定するレジスタです。マスタ要求時にスレーブ・アドレス・フィールドのデータとして送信します。

本レジスタは，16ビット・メモリ操作命令でアクセスしてください。

図19－7　IEBB0SARレジスタのフォーマット

アドレス：F07C4H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IEBB0SAR	0	0	0	0												

	スレーブ・ユニット・アドレス設定
ビット11-0	スレーブ・ユニットのアドレスを設定します。

注意　マスタ要求を行ってから通信終了／フレーム終了のタイミングまでIEBB0SARレジスタを書き換えないでください。IEBB0SARレジスタの書き換えタイミングを以下に示します。

- IEBB0BCRレジスタのIEBB0PWビットが0（動作停止）のとき
- IEBB0PWビットを1（動作許可）にしてからIEBB0BCRレジスタのIEBB0MSRQビットを1（マスタ要求）にする間
- IEBB0PWビットが1かつIEBB0MSRQビットが0（マスタ要求しない）のとき，通信終了／フレーム終了のタイミングから次にIEBB0MSRQビットを1にする間

19.3.6　IEBB0パートナー・アドレス・レジスタ（IEBB0PAR）

IEBB0PARレジスタは，受信したマスタ・ユニットのアドレスを格納するレジスタです。

IEBB0BCRレジスタのIEBB0PWビットが1（動作許可）のときに，自局がマスタ動作中かスレーブ動作中かにかかわらず，マスタ・アドレス・フィールドで受信したマスタ・ユニットのアドレスを格納します。レジスタへの格納は，マスタ・アドレス・フィールドのパリティ期間終了時に，パリティが正常値で自局が非ロック状態の時に行います。自局がロック状態の場合，ロックを要求したユニットのアドレスを保持するため，IEBB0PARレジスタは更新しません。

本レジスタは，16ビット・メモリ操作命令でアクセスしてください。

図19－8　IEBB0PARレジスタのフォーマット

アドレス：F07C6H　　リセット時：0000H[注]　　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IEBB0PAR	0	0	0	0												

	受信マスタ・アドレス格納
ビット11-0	受信したマスタ・ユニットのアドレスを格納します。

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

注意　マスタからステータス送信要求を受けたときに，受信したコントロール・ビットが5H（ロック・アドレスの読み込み（上位4ビット））の場合，ソフトウエアでIEBB0PARレジスタの値を読み出した後で，IEBB0PARレジスタのビット15-8をIEBB0DRレジスタに設定してください。また，コントロール・ビットが4H（ロック・アドレスの読み込み（下位8ビット））の場合は，IEBB0PARレジスタのビット7-0をIEBB0DRレジスタに設定してください。

19.3.7　IEBB0受信スレーブ・アドレス・レジスタ（IEBB0RSA）

IEBB0RSAレジスタは，受信したスレーブ・ユニットのアドレスを格納するレジスタです。

IEBB0BCRレジスタのIEBB0PWビットが1（動作許可）のときに，自局がマスタ動作中かスレーブ動作中かにかかわらず，スレーブ・アドレス・フィールドで受信したスレーブ・ユニットのアドレスを格納します。レジスタへの格納は，スレーブ・アドレス・フィールドのパリティ期間終了時に，パリティが正常値の時に行います。

本レジスタは，16ビット・メモリ操作命令でアクセスしてください。

図19－9　IEBB0RSAレジスタのフォーマット

アドレス：F07C8H　　リセット時：0000H[注]　　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IEBB0RSA	0	0	0	0												

	受信スレーブ・アドレス格納
ビット11-0	受信したスレーブ・ユニットのアドレスを格納します。

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットが書き換えでリセットします。

19.3.8　IEBB0コントロール・データ・レジスタ（IEBB0CDR）

IEBB0CDRレジスタは，コントロール・ビットの書き込み／読み出しを行うレジスタです。

IEBB0CDRレジスタに書いた場合，IEBB0TCDレジスタに書き込みます。読んだ場合，IEBB0RCDレジスタの値を読み出します。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－10　IEBB0CDRレジスタのフォーマット

アドレス：F07CAH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0CDR	0	0	0	0	IEBB0SLCD[3:0]			

	コントロール・ビット
IEBB0SLCD[3:0]	書いた場合，IEBB0TCDレジスタのIEBB0SLTD[3:0]ビットに書き込みます。 読んだ場合，IEBB0RCDレジスタのIEBB0SLRD[3:0]ビットを読み出します。

注意　マスタ要求の場合，IEBB0CDRレジスタの設定は，IEBB0BCRレジスタのIEBB0MSRQビットを1（マスタとして要求）にする前に行ってください。

備考　IEBB0CDRレジスタは，書き込みと読み出しを異なるレジスタに対して行います。レジスタに書き込み後，本レジスタを読み出した場合，書いた値を読み出しません。

19.3.9　IEBB0電文長レジスタ（IEBB0DLR）

IEBB0DLRレジスタは，電文長ビットの書き込み／読み出しを行うレジスタです。

IEBB0DLRレジスタに書いた場合，IEBB0TDLレジスタに書き込みます。読んだ場合，IEBB0RDLレジスタの値を読み出します。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－11　IEBB0DLRレジスタのフォーマット

アドレス：F07CBH　　リセット時：01H[注]　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0DLR								

	電文長ビット
ビット7-0	書いた場合，IEBB0TDLレジスタに書き込みます。 読んだ場合，IEBB0RDLレジスタを読み出します。

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

注意　マスタ要求の場合，IEBB0DLRレジスタの設定は，IEBB0BCRレジスタのIEBB0MSRQビットを1（マスタとして要求）にする前に行ってください。

備考　IEBB0DLRレジスタは，書き込みと読み出しを異なるレジスタに対して行います。レジスタに書き込み後，本レジスタを読み出した場合，書いた値を読み出しません。

19.3.10　IEBB0送信コントロール・データ・レジスタ（IEBB0TCD）

IEBB0TCDレジスタは，コントロール・ビットを設定するレジスタです。

マスタ送信時にコントロール・フィールドのコントロール・ビットとして送信します。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－12　IEBB0TCDレジスタのフォーマット

アドレス：F07CCH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0TCD	0	0	0	0	IEBB0SLTD[3:0]			

IEBB0SLTD[3:0]				コントロール・フィールドで送信する コントロール・ビットを指定します。
IEBB0SLTD3	IEBB0SLTD2	IEBB0SLTD1	IEBB0SLTD0	機　　能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データの読み込みとロック
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注意1.　マスタ要求の場合，IEBB0TCDレジスタの設定は，IEBB0BCRレジスタのIEBB0MSRQビットを1（マスタとして要求）にする前に行ってください。

2.　未定義となる設定は，行わないでください。

3.　同報通信時は，スレーブ送信のコントロール・ビットの設定は禁止です。

19.3.11　IEBB0受信コントロール・データ・レジスタ（IEBB0RCD）

IEBB0RCDレジスタは，受信したコントロール・ビットを格納するレジスタです。

コントロール・フィールドのパリティ期間終了時にパリティが正常の場合，IEBB0RCDレジスタに格納します。マスタからステータス送信要求を受けた場合，IEBB0RCDレジスタに格納された値に応じて，各処理を行ってください。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－13　IEBB0RCDレジスタのフォーマット

アドレス：F07CDH　　リセット時：00H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0RCD	0	0	0	0	IEBB0SLRD[3:0]			

IEBB0SLRD[3:0]				受信コントロール・ビット
IEBB0SLRD3	IEBB0SLRD2	IEBB0SLRD1	IEBB0SLRD0	機　　能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データの読み込みとロック
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

19.3.12　IEBB0送信電文長レジスタ（IEBB0TDL）

IEBB0TDLレジスタは，電文長ビットを設定するレジスタです。

自局が送信ユニット（マスタ送信，スレーブ送信）の場合，電文長フィールドの電文長ビットとして送信します。ただし，受信したコントロール・ビットが0H, 6H（スレーブ・ステータスの読み込み）の場合は，IEBB0TDLレジスタの設定値に関係せず，01Hを電文長ビットとして送信します。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－14　IEBB0TDLレジスタのフォーマット

アドレス：F07CEH　　リセット時：01H　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0TDL								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	0	1	0	1	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

注意1.　マスタ要求の場合，IEBB0TDLレジスタの設定は，IEBB0BCRレジスタのIEBB0MSRQビットを1（マスタとして要求）にする前に行ってください。

2.　通信モードにより1フレームあたりの最大転送バイト数は決まります。モード1で48バイトの送信を行う場合は，複数のフレームで通信を行う必要があります。2回目の通信を行う場合は，1回目の通信で送信したデータ数をIEBB0SCRレジスタで確認し，送信したいデータを算出し，IEBB0TDLレジスタに設定してください。また，IEBB0DRレジスタにデータを設定し，マスタ要求を行ってください。

19.3.13　IEBB0受信電文長レジスタ（IEBB0RDL）

IEBB0RDLレジスタは，受信した電文長ビットを格納するレジスタです。

電文長フィールドのパリティ期間終了時にパリティが正常の場合，IEBB0RDLレジスタに格納します。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－15　IEBB0RDLレジスタのフォーマット

アドレス：F07CFH　　リセット時：01H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0RDL								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	0	1	0	1	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

19.3.14　IEBB0クロック選択レジスタ（IEBB0CKS）

IEBB0CKSレジスタは，IEBusコントローラ（IEBB0）のクロックを選択するレジスタです。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－16　IEBB0CKSレジスタのフォーマット

アドレス：F07D0H　　リセット時： 07H　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0CKS	0	0	0	0	0	IEBB0BRS[2:0]		

IEBB0BRS[2:0]			動作クロック（f_{MCK}）を選択します。注
IEBB0BRS2	IEBB0BRS1	IEBB0BRS0	
0	0	0	f_{CLK}/1
0	0	1	f_{CLK}/1
0	1	0	f_{CLK}/2
0	1	1	f_{CLK}/3
1	0	0	f_{CLK}/4
上記以外			設定禁止

注　ボー・レート・ジェネレータの初期化条件を以下に示します。

・IEBB0BRS[2:0]ビットを書き換える

・IEBB0BCRレジスタのIEBB0PWビットを0，かつIEBB0PSRレジスタのIEBB0CLKEビットが1のとき

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表19－9　入力クロックの設定例

f_{CLK}	IEBB0BRS2	IEBB0BRS1	IEBB0BRS0	設定値
32 MHz	1	0	0	04H
24 MHz	0	1	1	03H
16 MHz	0	1	0	02H

注意1.　IEBusコントローラ（IEBB0）の動作クロック（f_{MCK}）は必ず8MHzにしてください。

2.　IEBB0CKSレジスタの設定は，IEBB0BCRレジスタのIEBB0PWビットが0（動作停止），かつIEBB0PSRレジスタのIEBB0CLKEビットが0（動作クロック停止）のときに行ってください。IEBB0PWビットが1（動作許可）のときに設定しても，その設定を無視します。

19.3.15　IEBB0スレーブ・ステータス・レジスタ（IEBB0SSR）

IEBB0SSRレジスタは，スレーブ・ユニットの通信状態を示すレジスタです。

受信したコントロール・ビットが0H, 6H（スレーブ・ステータスの読み込み）の場合，ソフトウエアでIEB0SSRレジスタを読み出し，IEBB0DRレジスタに書き込んでください。電文長ビットは自動で01Hを送信するためIEBB0TDLレジスタを設定する必要はありません。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－17　IEBB0SSRレジスタのフォーマット

アドレス：F07D1H　　リセット時：81H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0SSR	1	0	0	IEBB0SSLF	0	IEBB0STLF	IEBB0SRXF	IEBB0STXF

IEBB0SSLF	スレーブ送信状態フラグ
0	スレーブ送信禁止
1	スレーブ送信許可

IEBB0STLF	ロック状態フラグ
0	非ロック状態
1	ロック状態

IEBB0SRXF	IEBB0DRレジスタの受信状態フラグ
0	IEBB0DRレジスタに受信データを未格納
1	IEBB0DRレジスタに受信データを格納

IEBB0STXF			IEBB0DRレジスタの送信状態フラグ
通信を行っていないとき			
		1	常にこの状態
マスタ	送信時	0	IEBB0DRレジスタに設定したデータが送信用シフト・レジスタに転送され，次の送信データがIEBB0DRレジスタに書き込まれていない状態
		1	IEBB0DRレジスタに送信データが残っている状態（IEBB0DRレジスタの内容を送信用シフト・レジスタに転送するまで）
	受信時	1	常にこの状態
スレーブ	送信時	0	IEBB0DRレジスタに設定したデータが送信用シフト・レジスタに転送され，次の送信データがIEBB0DRレジスタに書き込まれていない状態
		1	通信開始から最初の送信データをIEBB0DRレジスタから送信用シフト・レジスタに転送するまでIEBB0DRレジスタにデータ書き込み後，送信用シフト・レジスタに転送するまで
	受信時	1	常にこの状態

注　IEBB0SSLFビットおよびIEBB0STLFビットの読み出し値は，IEBB0BCRレジスタのIEBB0PWビットに0を書き込むとリセットします。IEBB0SRXFビットおよびIEBB0STXFビットの読み出し値は，IEBB0PWビットが書き変わったときにリセットします。

- IEBB0SSLFビット

  スレーブ送信許可フラグ（IEBB0BCRレジスタのIEBB0STXEビット）の内容が読めます。

- IEBB0STLFビット

  ロック状態フラグ（IEBB0USRレジスタのIEBB0LCKFビット）の内容が読めます。

- IEBB0SRXFビット

  受信データをIEBB0DRレジスタに格納したときに1になり，IEBB0DRレジスタを読み出したときに0になります。

  IEBB0SRXFビットが1になるとIEBusデータ割り込み（受信データ読み出し要求）が発生します。

  IEBusデータ割り込みが発生すると，次のデータを受信するまでにIEBB0DRレジスタを読み出す必要があります。同報通信時に，IEBusデータ割り込みが発生したにもかかわらず，IEBB0DRレジスタを読み出さない場合は，オーバラン・エラーが発生します。詳細については，19.3.18　「IEBB0エラー・ステータス・レジスタ（IEBB0ESR）」のIEBB0OVREビットを参照してください。

- IEBB0STXFビット

  通信終了時またはIEBB0DRレジスタに書き込みを行ったときに1になり，IEBB0DRレジスタに設定された値を送信用シフト・レジスタに転送したときに0になります。

  IEBB0STXFビットが0になるとIEBusデータ割り込み（送信データ書き込み要求）が発生します。

  データ送信時にIEBusデータ割り込みが発生すると，次の送信データをIEBB0DRレジスタに書き込む必要があります。IEBB0DRレジスタに書き込みを行わない場合は，アンダラン・エラーが発生します。詳細については，19.3.18　「IEBB0エラー・ステータス・レジスタ（IEBB0ESR）」のIEBB0UNREビットを参照してください。

19.3.16　IEBB0ユニット・ステータス・レジスタ（IEBB0USR）

IEBB0USRレジスタは，ユニットの通信状態を示すレジスタです。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－18　IEBB0USRレジスタのフォーマット

アドレス：F07D2H　　リセット時：00H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0USR	0	IEBB0SRQF	IEBB0ARBF	IEBB0ALTF	IEBB0ACKF	IEBB0LCKF	0	0

IEBB0SRQF	自局へのスレーブ要求フラグ
0	スレーブ要求なし
1	スレーブ要求あり

IEBB0ARBF	競合結果フラグ
0	競合負けなし
1	競合負けあり

IEBB0ALTF	同報通信フラグ
0	個別通信状態
1	同報通信状態

IEBB0ACKF	アクノリッジ送信フラグ
0	NACK信号を送信
1	$\overline{\text{ACK}}$信号を送信

IEBB0LCKF	ロック状態フラグ
0	非ロック状態
1	ロック状態

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

- IEBB0SRQFビット

自局がスレーブ要求されたとき（表19－10 「スレーブ要求条件（IEBB0SRQFビットのセット条件）」参照），スレーブ・アドレス・フィールドのパリティ・ビットの通信終了時に1[注]になり，スレーブ要求されていないときに0[注]になります。

注　パリティ・エラーなどの通信エラーが発生せず，スレーブ・アドレス・フィールドのパリティ・ビットの通信終了時点で更新します。

表19－10　スレーブ要求条件（IEBB0SRQFビットのセット条件）

自局の状態	受信マスタ・アドレス	通信形態	受信スレーブ・アドレス
非ロック	don't care	個別	IEBB0UAR一致
		同報	グループ一致
			FFFH一致
ロック	ロック・マスター致	個別	IEBB0UAR一致
		同報	グループ一致
			FFFH一致

備考　IEBB0UAR一致：受信スレーブ・アドレスと自局アドレス（IEBB0UARレジスタ）が一致
グループ一致：受信スレーブ・アドレスと自局アドレス（IEBB0UARレジスタ）のグループ・アドレスが一致
FFFH一致：受信スレーブ・アドレスがFFFHの場合

注意　自局がロック状態のときにロック・マスタ以外のユニットが自局宛に通信してきた場合（個別通信でIEBB0UAR一致，同報通信でグループ一致，またはFFFH一致），IEBB0SRQFビットは1になりません。ただし，受信コントロール・ビットがスレーブ・ステータス送信要求の場合，通信を行う必要があるため，スレーブ・アドレス・フィールドで$\overline{\text{ACK}}$信号を返信します。

- IEBB0ARBFビット

アービトレーション期間（同報フィールド，マスタ・アドレス・フィールドの期間）に自局の出力と他局の出力が競合し，自局が競合負け[注]をした場合に1になり，各通信フレームのスタート・ビット送受信後に0になります。

注　競合負けの判定は，自局の出力データと受信データの不一致で判断します。IEBusコントローラはAND論理で構成されるため，0を出力したユニットが競合に勝ちます。

注意　自局がマスタ要求したときのIEBusベクタ割り込み（スタート要求）発生時にIEBB0ARBFビットが1（競合負け）の場合，再マスタ要求はソフトウエアで行ってください。

- IEBB0ALTFビット

同報フィールドで「同報」を受信したときに1になり，「個別」を受信したときに0になります。本ビットは，自局が通信対象とならない場合においても更新します。

- IEBB0ACKFビット

受信ユニット時に，各フィールドのアクノリッジ・ビット期間の終了時に$\overline{\text{ACK}}$を送信したとき1になり，NACKを送信したとき0になります。

注意1.　通信エラーが発生し自局が初期状態に戻った場合，そのフィールドのアクノリッジ・ビット期間の終了タイミングでは更新しません。たとえば，パリティ・エラーが発生した場合，初期状態（通信待機）に遷移し，コントロール・フィールドでNACK信号の返信を行いますが，IEBB0ACKFビットは更新せず，以前の値を保持します。

2.　スタート要求とステータス送信要求の発生タイミングは，共にパリティ・ビットの受信終了時です。そのため，スレーブ・モードで使用される時に，割り込みハンドラ処理中にIEBB0USRレジスタを読み出すと，IEBB0ACKFビットの変化と重なる場合があります。

- IEBB0LCKFビット

　IEBB0LCKFビットは，ユニットがロック状態かを示します。個別通信の通信フレーム終了時に，コントロール・フィールドでロック関連のコントロール・ビット（3H, 6H, AH, BH）を受信し，IEBB0ISRレジスタのIEBB0ETRFビットが0（伝送バイト数分の通信が終了していない），かつIEBB0ISRレジスタのIEBB0EFMFビットが1（フレーム通信が終了）のときに1になり，IEBB0ETRFビットが1（伝送バイト数分の通信が終了）のときに0になります。

注意1.　ロックの設定／解除は個別通信時のみ行います。同報通信時は行いません。

2.　ロック状態中はロック・マスタ以外からの通信を受け付けません。ただし，スレーブ・ステータス送信要求のコントロール・ビット（0H, 4H, 5H）を受信した場合は，その通信を受け付けます。この場合，IEBusベクタ割り込み（スタート要求），IEBusベクタ割り込み（通信終了）は発生せず，IEBusベクタ割り込み（ステータス送信要求）のみ発生します。

19.3.17　IEBB0インタラプト・ステータス・レジスタ（IEBB0ISR）

IEBB0ISRレジスタは，割り込み要因を示すレジスタです。

IEBusベクタ割り込み発生時に，IEBB0ISRレジスタを読み出し対応する割り込み処理を行います。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－19　IEBB0ISRレジスタのフォーマット

アドレス：F07D3H　　リセット時：00H[注1]　　R[注2]

略号	7	6	5	4	3	2	1	0
IEBB0ISR	0	IEBB0IEBE	IEBB0STRF	IEBB0STSF	IEBB0ETRF	IEBB0EFMF	0	0

IEBB0IEBE	通信エラー・フラグ
0	通信エラーなし
1	通信エラー発生

IEBB0STRF	スタート要求フラグ
0	スタート要求発生なし
1	スタート要求発生

IEBB0STSF	ステータス送信要求フラグ（スレーブ時）
0	ステータス送信要求なし
1	いずれかのステータス送信要求あり

IEBB0ETRF	通信終了フラグ
0	電文長フィールドで設定した伝送バイト数分の通信が終了していない
1	電文長フィールドで設定した伝送バイト数分の通信が終了した

IEBB0EFMF	フレーム終了フラグ
0	フレーム（最大伝送バイト数分[注3]の通信）が終了していない
1	フレーム（最大伝送バイト数分[注3]の通信）が終了した

注1.　IEBB0IEBEビットの読み出し値は，IEBB0BCRレジスタのIEBB0PWビットに0を書いたときにリセットします。その他ビットの読み出し値は，IEBB0PWビットの書き換えでリセットします。

2.　IEBB0IEBEビットのみ書き込み可能（R/W）です。0を書く場合のみ有効です。1を書いてもビットは変化しません。

3.　最大伝送バイト数は，モード1の場合32バイト，モード2の場合128バイトになります。

- IEBB0IEBEビット

通信エラー（タイミング・エラー，パリティ・エラー（個別通信受信時のデータ・フィールドを除く），NACK受信エラー，アンダラン・エラー，オーバラン・エラー（同報通信受信時のみ発生））のいずれかが発生したときに1になり，ソフトウエア操作により0（通信エラーなし）を設定します。

IEBB0IEBEビットが1になると，IEBusベクタ割り込み（通信エラー）が発生します。通信エラーの発生要因は，IEBB0ESRレジスタを読み出し確認します。

- IEBB0STRFビット

IEBB0STRFビットはスタート要求発生状態を示します。マスタ時は，競合の勝ち／負けにかかわらずスレーブ・アドレス・フィールドのパリティ期間終了後に1になります。スレーブ時は，マスタ（自局ロック中はロック・マスタ）からスレーブ要求があった場合（IEBB0USRレジスタのIEBB0SRQFビットが1），スレーブ・アドレス・フィールドのパリティ期間終了後に1になり，各割り込み（IEBusベクタ割り込みの通信エラー／ステータス送信要求／通信終了／フレーム終了，IEBusデータ割り込みの送信データ書き込み要求／受信データ読み出し要求）発生時に0になります。

IEBB0STRFビットが1になると，IEBusベクタ割り込み（スタート要求）が発生します。

注意1.　IEBusベクタ割り込み（スタート要求）発生時は，IEBB0USRレジスタを読み出し，IEBB0SRQFビット（スレーブ要求フラグ）やIEBB0ARBFビット（競合結果フラグ）を確認してください。

2.　自局がマスタ要求したときのIEBusベクタ割り込み（スタート要求）発生時にIEBB0ARBFビットが1（競合負け）の場合，再マスタ要求はソフトウエアで行ってください。

- IEBB0STSFビット

IEBB0STSFビットはスレーブ・ステータス送信要求状態を示します。非ロック時にマスタからコントロール・フィールドでスレーブ要求（0H, 6H）を受信したとき，ロック時にロック・マスタからスレーブ要求（0H, 4H, 5H, 6H）を受信したとき，およびロック時にロック・マスタ以外からスレーブ要求（0H, 4H, 5H）を受信したときに1になり，各割り込み（IEBusベクタ割り込みの通信エラー／スタート要求／通信終了／フレーム終了，IEBusデータ割り込みの送信データ書き込み要求／受信データ読み出し要求）発生時に0になります。

IEBB0STSFビットが1になると，IEBusベクタ割り込み（ステータス送信要求）が発生します。

注意　IEBB0BCRレジスタのIEBB0STXEビットが0（スレーブ送信禁止）の場合においてもIEBB0STSFビットは1になります。

表19－11　IEBB0STSFビットのセット条件

各種ステータス					コントロール・フィールド受信値				
equa	lockf	eqpa	IEBB0STXE	IEBB0SRXE	0H	3H, 7H	4H, 5H	6H	AH, BH, EH, FH
1	0	0	don't care	don't care	セット	セットしない	セットしない	セット	セットしない
1	0	1	don't care	don't care	セット	セットしない	セットしない	セット	セットしない
1	1	0	don't care	don't care	セット	セットしない	セット	セットしない	セットしない
1	1	1	don't care	don't care	セット	セットしない	セット	セット	セットしない

備考　equa：自局一致　（個別通信時：IEBB0UARレジスター致）

lockf　：ロックの有無

eqpa　：ロック・マスター致

IEBB0STXE：スレーブ送信許可フラグ（IEBB0BCRレジスタのビット4）

IEBB0SRXE：スレーブ受信許可フラグ（IEBB0BCRレジスタのビット3）

IEBusベクタ割り込み（ステータス送信要求）が発生したときに，IEBB0CDRレジスタを読み出し，IEBB0DRレジスタに必要なスレーブ・ステータスの情報を設定してください。

受信したコントロール・ビット（IEBB0CDRレジスタ）とデータ・レジスタ（IEBB0DRレジスタ）に書き込む値を示します。

表19－12　受信したコントロール・ビットとIEBB0DRレジスタに書き込むデータ

受信したコントロール・ビット	意　味	IEBB0DRレジスタに書き込むデータ
0H, 6H	スレーブ・ステータス送信	IEBB0SSRレジスタを読み出した値
4H	ロック・アドレスの下位8ビット送信	IEBB0PARレジスタの下位8ビット
5H	ロック・アドレスの上位4ビット送信	IEBB0PARレジスタの上位8ビット

注意　IEBusベクタ割り込み（ステータス送信要求）が発生してからIEBB0DRレジスタへの書き込みは，電文長フィールド終了までに行ってください。電文長フィールド終了に間に合わない場合は，データ（IEBB0DRレジスタ）の送信を開始しないでください。

- IEBB0ETRFビット

IEBB0ETRFビットは電文長フィールドで設定した伝送バイト数の通信が終了したかを示します。データ・フィールドのアクノリッジ期間終了時にIEBB0SCRレジスタの値が00Hになったときに1になり，各割り込み（IEBusベクタ割り込みの通信エラー／スタート要求／ステータス送信要求／フレーム終了（通信終了割り込みが発生しない場合），IEBusデータ割り込みの送信データ書き込み要求／受信データ読み出し要求）発生時に0になります。

IEBB0ETRFビットが1になると，IEBusベクタ割り込み（通信終了）が発生します。

- IEBB0EFMFビット

IEBB0EFMFビットは最大伝送バイト数分の通信（モード1：32バイト，モード2：128バイト）が終了したかを示します。データ・フィールドのアクノリッジ期間終了時にIEBB0CCRレジスタの値が00Hになったときに1になり，各割り込み（IEBusベクタ割り込みの通信エラー／スタート要求／ステータス送信要求／通信終了（フレーム終了割り込みが発生しない場合），IEBusデータ割り込みの送信データ書き込み要求／受信データ読み出し要求）発生時に0になります。

IEBB0EFMFビットが1になると，フレーム終了割り込みが発生します。

注意1.　データ・フィールドのアクノリッジ期間終了時にIEBB0SCRレジスタとIEBB0CCRレジスタが共に00Hになった場合，IEBB0ETRF, IEBB0EFMFビットが同時に1になります。

2.　データ再送処理により最大伝送バイト数に達したときに，最終データ・フィールドがNACK信号だった場合，IEBB0EFMFビットとIEBB0IEBEビットが同時に1になります（NACK受信エラー発生）。

19.3.18　IEBB0エラー・ステータス・レジスタ（IEBB0ESR）

IEBB0ESRレジスタは，通信エラー発生時のエラー要因を示すレジスタです。

IEBB0ESRレジスタの各ビットは，IEBB0ISRレジスタのIEBB0IEBEビットが1（通信エラーあり）と同時に1になります。IEBB0ESRレジスタの各ビットは，IEBB0STC0レジスタの対応するビットに1を書くことで0にします。ソフトウエアによるIEBB0STC0レジスタ書き込みによるクリア（0）とIEBusコントローラによるセット（1）が競合した場合は，セットを優先します。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－20　IEBB0ESRレジスタのフォーマット

アドレス：F07D4H　　リセット時：00H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0ESR	IEBB0TIME	IEBB0PARE	IEBB0NACE	IEBB0UNRE	IEBB0OVRE	0	0	IEBB0TRDE

IEBB0TIME	タイミング・エラー発生フラグ
0	タイミング・エラー発生なし
1	タイミング・エラー発生

IEBB0PARE	パリティ・エラー発生フラグ
0	パリティ・エラー発生なし
1	パリティ・エラー発生

IEBB0NACE	NACK受信エラー・フラグ
0	NACK受信エラー発生なし
1	NACK受信エラー発生

IEBB0UNRE	アンダラン・エラー発生フラグ
0	アンダラン・エラー発生なし
1	アンダラン・エラー発生

IEBB0OVRE	オーバラン・エラー発生フラグ
0	オーバラン・エラー発生なし
1	オーバラン・エラー発生

IEBB0TRDE	第三者間通信エラー発生フラグ
0	自局を対象とする通信中のエラー発生
1	第三者間通信時のエラー発生

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

注意　IEBusコントローラ（IEBB0）は通信エラーが発生すると初期状態に戻って次の通信準備を行います。エラーが発生したときにエラー処理を行わずに次の通信を開始すると，各エラー・フラグは状態を保持します。エラー発生から次の通信を開始するまでにエラー処理を行ってください。

- IEBB0TIMEビット

IEBB0TIMEビットはタイミング・エラー発生時に1になり，IEBB0STC0レジスタのIEBB0CLTMビットを1（IEBB0TIMEビットをクリア）にすることで0になります。

タイミング・エラーは，通信ビットのハイ／ロウ・レベル幅が規定値から外れた場合に発生します。

- IEBB0PAREビット

IEBB0PAREビットはパリティ・エラー発生時に1になり，IEBB0STC0レジスタのIEBB0CLPAビットを1（IEBB0PAREビットをクリア）にすることで0になります。

パリティ・エラーは，マスタ・アドレス・フィールド，スレーブ・アドレス・フィールド，コントロール・フィールド，電文長フィールドの受信データにより生成したパリティと受信パリティが不一致のときに発生します。データ・フィールドで不一致を検出した場合，個別通信時はNACK信号を返信し，データの再送を要求しますが，同報通信時はパリティ・エラーが発生します。

備考　パリティ期間に送信側が受信するパリティが反転していた場合，タイミング・エラーとなり，その通信は終了します。

表19－13　パリティ不一致時の動作

フィールド	通信形態	パリティ不一致時の動作
マスタ・アドレス・フィールド	個別／同報	パリティ・エラー発生
スレーブ・アドレス・フィールド	個別／同報	パリティ・エラー発生
コントロール・フィールド	個別／同報	パリティ・エラー発生
電文長フィールド	個別／同報	パリティ・エラー発生
データ・フィールド	個別	NACK信号の返信で再送を要求
	同報	パリティ・エラー発生

- IEBB0NACEビット

IEBB0NACEビットはNACK受信エラー発生時に1になり，IEBB0STC0レジスタのIEBB0CLNCビットを1（IEBB0NACEビットをクリア）にすることで0になります。

NACK受信エラーは，個別通信時にスレーブ・アドレス・フィールド，コントロール・フィールド，電文長フィールド，およびデータ・フィールドの最終データのアクノリッジ・ビット期間にNACK信号を受信したときに発生します。同報通信時は，$\overline{\text{ACK}}$／NACK信号の判定を行わないためNACK受信エラーは発生しません。また，第三者間通信中は，NACK受信エラーは発生しません。ただし，スレーブ・アドレス・フィールドでは，スレーブとして通信に参加するためNACK受信エラーの判定を行います。

表19－14　NACK受信エラーの判定を行う期間

通信形態通信形態		スレーブ・アドレス・フィールド	コントロール・フィールド	電文長フィールド	データ・フィールド（最終）
個別通信	マスタ送信	発生	発生	発生	発生
	マスタ受信	発生	発生	発生	発生
	スレーブ送信	発生	発生	発生	発生
	スレーブ受信	発生	発生	発生	発生
	第三者間通信	発生	発生なし	発生なし	発生なし
同報通信	一斉	発生なし	発生なし	発生なし	発生なし

- IEBB0UNREビット

IEBB0UNREビットはアンダラン・エラー発生時に1になり，IEBB0STC0レジスタのIEBB0CLURビットを1（IEBB0UNREビットをクリア）にすることで0になります。

アンダラン・エラーは，データ送信時にIEBusデータ割り込み（送信データ書き込み要求）が発生してから次のアクノリッジ・ビット期間までに，IEBB0DRレジスタに次の送信データ書き込みが間に合わなかったときに発生します。アクノリッジ・ビット期間にNACK信号を受信した場合は，再送を行うためアンダラン・エラーは発生しません。また，第三者間通信時は，アンダラン・エラーは発生しません。

図19－21　アンダラン・エラーの発生タイミング



IEBusデータ割り込み（送信データ書き込み要求）が発生してから，その通信期間内にIEBB0DRレジスタに書き込みを行わないときに，アンダラン・エラーが発生します。

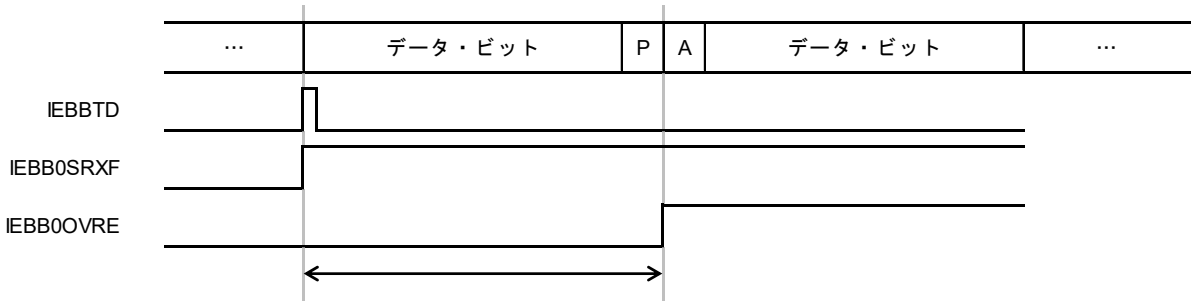
IEBBTD：IEBusデータ割り込み（送信データ書き込み要求）
IEBB0STXF：IEBB0SSRレジスタのビット（IEBB0DRレジスタの設定状態）
IEBB0UNRE：IEBB0ESRレジスタのビット（アンダラン・エラー発生フラグ）
P：パリティ・ビット，　A：アクノリッジ・ビット

- IEBB0OVREビット

IEBB0OVREビットはオーバラン・エラー発生時に1になり，IEBB0STC0レジスタのIEBB0CLOVビットを1（IEBB0OVREビットをクリア）にすることで0になります。

同報通信時，IEBusデータ割り込み（受信データ読み出し要求）が発生してから次のパリティ期間終了までにIEBB0DRレジスタの読み出しが間に合わなかったときにオーバラン･エラーが発生します。個別通信時は，IEBB0DRレジスタを読み出すまでNACK信号を返信し，オーバラン・エラーは発生しません。ただし，最大伝送バイト数に達した場合，フレーム終了になります。第三者間通信中は，オーバラン・エラーは発生しません。

図19－22　オーバラン・エラーの発生タイミング



IEBusデータ割り込み（受信データ読み出し要求）が発生してから，その通信期間内にIEBB0DRレジスタの読み出しを行わないときに，オーバラン・エラーが発生します。

IEBBTD：IEBusデータ割り込み（受信データ読み出し要求）
IEBB0SRXF：IEBB0SSRレジスタのビット（IEBB0DRレジスタの受信データ格納状態）
IEBB0OVRE：IEBB0ESRレジスタのビット（オーバラン・エラー発生フラグ）
P：パリティ・ビット，　A：アクノリッジ・ビット

- IEBB0TRDEビット

　IEBB0TRDEビットは自局に無関係な通信（第三者間の通信）のタイミング・エラーまたはパリティ・エラーを検出したときに，IEBB0TIMEビットまたはIEBB0PAREビットと同時に1になり，IEBB0STC0レジスタのIEBB0CLTRビットを1（IEBB0TRDEビットをクリア）にすることで0になります。

注意　スレーブ・アドレス・フィールドで自局が一致していない場合でも，第三者間通信に至る前にエラーが発生したときは，IEBB0TRDEビットは1になりません。

備考　第三者間の通信とは次の2つの状態を示しています。

- スレーブ・アドレス・フィールドで受信アドレスが自局一致（個別通信時：IEBB0UARレジスター致，同報通信時：グループ一致, FFFH一致）しなかった場合，かつ$\overline{\text{ACK}}$信号受信後に引き続き通信が行われている状態
- 同報通信時に，受信コントロール・フィールドに自局が応じることができない場合に引き続き通信が行われている状態（たとえば，マスタからコントロール・ビット（FH）を受信するが，自局のスレーブ受信許可フラグが禁止（IEBB0BCRレジスタのIEBB0SRXEビットが0）の場合など）

19.3.19　IEBB0フィールド・ステータス・レジスタ（IEBB0FSR）

IEBB0FSRレジスタは，各割り込み（IEBusデータ割り込み，IEBusベクタ割り込み）発生時に，IEBusコントローラのフィールド・ステータスの状態を格納するレジスタです。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－23　IEBB0FSRレジスタのフォーマット

アドレス：F07D5H　　リセット時：00H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0FSR	0	0	0	0	0	0	IEBB0SSFS[1:0]	

	フィールド・ステータスの情報
IEBB0SSFS[1:0]	フィールド・ステータスの情報を格納します。 詳細につきましては，表19－15「フィールド・ステータス」を参照ください。

注　IEBB0SSF[1:0]ビットの読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

表19－15　フィールド・ステータス

フィールド・ステータス	説　明		
	マスタ／スレーブ	フィールド	送信／受信
スレーブ受信状態 IEBB0SSFS[1:0]ビット = 00B	スレーブ動作	スタート・ビット	受信中
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・フィールド	
		電文長フィールド	
		データ・フィールド	
スレーブ送信状態 IEBB0SSFS[1:0]ビット = 01B	スレーブ動作	電文長フィールド	送信中
		データ・フィールド	
マスタ受信状態 IEBB0SSFS[1:0]ビット = 10B	マスタ動作	電文長フィールド	受信中
		データ・フィールド	
マスタ送信状態 IEBB0SSFS[1:0]ビット = 11B	マスタ動作	スタート・ビット	送信中
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・フィールド	
		電文長フィールド	
		データ・フィールド	

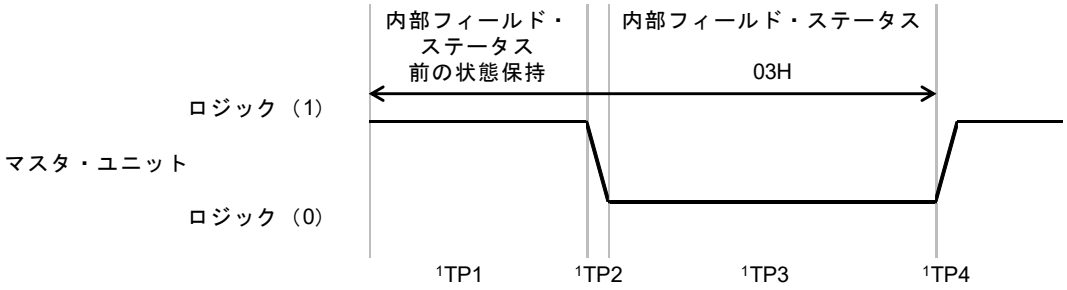
注意1.　IEBB0FSRレジスタを読み出す前に別の割り込み（IEBusデータ割り込み，IEBusベクタ割り込み）が発生すると，IEBB0FSRレジスタは新しい割り込みのステータス情報に更新します。

2.　第三者間通信中に割り込みが発生した場合，IEBB0SSFS[1:0]ビットは00Bになります。IEBB0ESRレジスタのIEBB0TRDEビット（第三者間通信エラー発生フラグ）を読み出し，確認してください。

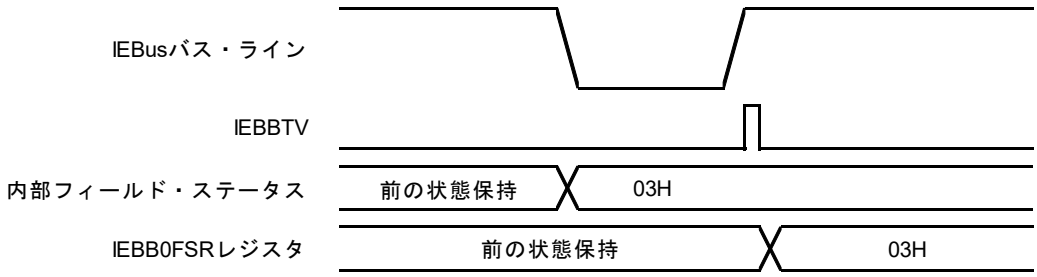
3.　IEBB0SSFS[1:0]ビットは，割り込みが発生するまで前の値を保持します。

下図に「スタート・ビットのフィールド・ステータス（マスタ送信時）」を示します。

図19－24　スタート・ビットのフィールド・ステータス（マスタ送信時）



（例）1TP3期間でタイミング・エラーが発生した場合



備考　1TP1：準備信号出力期間
1TP2：同期信号出力期間
1TP3：スタート・ビット出力期間
1TP4：停止信号出力期間
IEBBTV：IEBusベクタ割り込み（通信エラー）

マスタ・ユニットでスタート・ビットを出力する場合，1TP2まで前のフィールド・ステータスの値を保持します。1TP2以降のフィールド・ステータスの値は，03Hになります。上記図では，1TP3でタイミング・エラーが発生します。本割り込み発生時（IEBBTV信号の出力）に，IEBB0FSRレジスタに03Hを格納します。

1TP3でタイミング・エラーが発生しなかった場合は，割り込みが発生するまで，前のフィールド・ステータスの値を保持します。

19.3.20　IEBB0サクセス・カウント・レジスタ（IEBB0SCR）

IEBB0SCRレジスタは，残りの通信バイト数を格納するレジスタです。

IEBB0DLRレジスタに設定された値をデータ・フィールドのACK信号によりデクリメントし，そのカウント値を電文長フィールド終了後に格納します。IEBB0SCRレジスタが00Hになると，IEBB0ISRレジスタのIEBB0ETRFビットが1（通信終了）になります。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－25　IEBB0SCRレジスタのフォーマット

アドレス：F07D6H　　リセット時：01H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0SCR								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	0バイト（通信終了）または256バイト

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

注意　IEBB0SCRレジスタの読み出し値が00Hの場合，残りの通信データ・バイト数が0バイト（通信終了）か，残り256バイトかを判断することができません。IEBB0ETRFビットを読み出し通信終了を判断することができます

19.3.21　IEBB0コミュニケーション・カウント・レジスタ（IEBB0CCR）

IEBB0CCRレジスタは，規定の通信バイト数に対する残りのバイト数を格納するレジスタです。

各モードの最大伝送バイト数（モード1：32バイト，モード2：128バイト）からデータ・フィールドのアクノリッジ・ビットの期間に$\overline{\text{ACK}}$/NACK信号に関係なくデクリメントし，そのカウント値を格納します。IEBB0SCRレジスタが正常通信（$\overline{\text{ACK}}$信号）でカウントするのに対し，IEBB0CCRレジスタは1バイト通信するごとにカウントします。IEBB0CCRレジスタが00Hになると，IEBB0ISRレジスタのIEBB0EFMFビットが1（フレーム終了）になります。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－26　IEBB0CCRレジスタのフォーマット

アドレス：F07D7H　　リセット時：20H[注]　　R

略号	7	6	5	4	3	2	1	0
IEBB0CCR								

	IEBB0CCRレジスタ
IEBB0CCR[7:0]	規定の通信バイト数に対する残りのバイト数を格納します。

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

注意　通信モードは，IEBB0PSRレジスタのIEBB0CMDビット（通信モード設定フラグ）で設定します。動作中にIEBB0CMDビットに値を書いても，IEBB0CCRレジスタは更新しません。

19.3.22　IEBB0ステータス・クリア・レジスタ0（IEBB0STC0）

IEBB0STC0レジスタは，IEBB0ESRレジスタの各エラー・フラグをクリアするレジスタです。

IEBB0STC0レジスタのビットに1を書き込むことで，対応するエラー・フラグ（IEBB0ESRレジスタのビット）をクリアします。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－27　IEBB0STC0レジスタのフォーマット

アドレス：F07D8H　　リセット時：00H　　W

略号	7	6	5	4	3	2	1	0
IEBB0STC0	IEBB0CLTM	IEBB0CLPA	IEBB0CLNC	IEBB0CLUR	IEBB0CLOV	0	0	IEBB0CLTR

IEBB0CLTM	タイミング・エラー発生フラグをクリア
0	非動作
1	タイミング・エラー発生フラグ（IEBB0ESRレジスタのIEBB0TIMEビット）をクリア

IEBB0CLPA	パリティ・エラー発生フラグをクリア
0	非動作
1	パリティ・エラー発生フラグ（IEBB0ESRレジスタのIEBB0PAREビット）をクリア

IEBB0CLNC	NACK受信エラー・フラグをクリア
0	非動作
1	NACK受信エラー・フラグ（IEBB0ESRレジスタのIEBB0NACEビット）をクリア

IEBB0CLUR	アンダラン・エラー発生フラグをクリア
0	非動作
1	アンダラン・エラー発生フラグ（IEBB0ESRレジスタのIEBB0UNREビット）をクリア

IEBB0CLOV	オーバラン・エラー発生フラグをクリア
0	非動作
1	オーバラン・エラー発生フラグ（IEBB0ESRレジスタのIEBB0OVREビット）をクリア

IEBB0CLTR	第三者間通信エラー発生フラグをクリア
0	非動作
1	第三者間通信エラー発生フラグ（IEBB0ESRレジスタのIEBB0TRDEビット）をクリア

注意　IEBB0STC0レジスタの各ビットは，1の書き込みのみ有効です。読み出した値は常に0です。

19.3.23　IEBB0データ・レジスタ（IEBB0DR）

IEBB0DRレジスタは，通信データの設定／格納するレジスタです。

本レジスタは，8ビット・メモリ操作命令でアクセスしてください。

図19－28　IEBB0DRレジスタのフォーマット

アドレス：F07D9H　　リセット時：00H[注]　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0DR								

注　読み出し値は，IEBB0BCRレジスタのIEBB0PWビットの書き換えでリセットします。

	IEBB0DRレジスタ
送信ユニット	自局が送信ユニット（マスタ送信，スレーブ送信）の場合，データ・フィールドで送信するデータをIEBB0DRレジスタに設定します。 書き込んだ値は，データ・フィールドのデータ・ビットとして最上位ビットから順に送信します。 送信動作時，IEBusデータ割り込み（送信データ書き込み要求）の発生を判断し，次の送信データをIEBB0DRレジスタに書き込みます。 IEBusベクタ割り込み（ステータス送信要求）を受けた場合，受信したコントロール・ビットに対応したステータス・データをIEBB0DRレジスタに書き込んでください。 マスタ送信を行う場合，1バイト目の送信データはIEBB0BCRレジスタのIEBB0MSRQビットが0（マスタ要求なし）のときに設定してください。
受信ユニット	自局が受信ユニット（マスタ受信，スレーブ受信）の場合，データ・フィールドのパリティ期間終了時に，パリティが正常な場合，受信した1バイト・データを格納します。 受信動作時，IEBusデータ割り込み（受信データ読み込み要求）の発生を判断し，受信データをIEBB0DRレジスタから読み出します。

備考　IEBB0DRレジスタは，書いた値をそのまま読み出すことはできません。読み出した場合，受信したデータを読み出します。

注意1.　次の送信にIEBB0DRレジスタの書き込みが間に合わなかった場合，アンダラン･エラーが発生し，通信を終了します。

2.　ステータス・データをIEBB0DRレジスタに書き込む場合，ステータス送信要求割り込みが発生してから電文長フィールドが終了するまでに行ってください。

3.　次の受信までにIEBB0DRレジスタの読み出しを行わなかった場合の動作は，個別通信か同報通信かにより異なります。

・個別通信の場合

そのフィールドでNACK信号を返信し，マスタに再送を要求します。NACK信号はIEBB0DRレジスタの読み出しを行うまで繰り返します。ただし，最大伝送バイト数に達してもIEBB0DRレジスタの読み出しを行わない場合，IEBusベクタ割り込み（フレーム終了）およびIEBusベクタ割り込み（通信エラー）が同時に発生します。

・同報通信の場合

オーバラン・エラーが発生し通信を終了します。

19.3.24　IEBB0データ極性選択レジスタ（IEBB0DPS）

IEBB0DPSレジスタは，IEBusコントローラ（IEBB0）の入出力極性を制御するレジスタです。

本レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令でアクセスしてください。

図19－29　IEBB0DPSレジスタのフォーマット

アドレス：F07DAH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IEBB0DPS	0	0	0	0	0	0	0	IEBB0IOPOL

IEBB0IOPOL	IEBusコントローラ（IEBB0）の入出力極性設定フラグ
0	IEBusプロトコルの極性に対し，$\overline{\text{IERXD}}$端子，$\overline{\text{IETXD}}$端子は負論理
1	IEBusプロトコルの極性に対し，$\overline{\text{IERXD}}$端子，$\overline{\text{IETXD}}$端子は正論理

注意　IEBB0DPSレジスタの設定は，IEBB0BCRレジスタのIEBB0PWビットが0（動作停止）のときに行ってください。

19.4　IEBBの割り込み動作

19.4.1　IEBBの割り込み要因

IEBusコントローラ（IEBB0）は，次の7つの要因により割り込みが発生します

表19－16　IEBB0の割り込み要因

割り込み要因	生成条件	割り込み
通信エラー	IEBB0ISRレジスタのIEBB0IEBEビットが1になる。 － タイミング・エラー － パリティ・エラー － NACK受信エラー 注1 － アンダラン・エラー － オーバラン・エラー	IEBusベクタ割り込み
スタート要求	IEBB0ISRレジスタのIEBB0STRFビットが1になる。	IEBusベクタ割り込み
ステータス送信要求	IEBB0ISRレジスタのIEBB0STSFビットが1になる。	IEBusベクタ割り込み
通信終了	IEBB0ISRレジスタのIEBB0ETRFビットが1になる。	IEBusベクタ割り込み
フレーム終了	IEBB0ISRレジスタのIEBB0EFMFビットが1になる。 注1	IEBusベクタ割り込み
送信データ書き込み要求	IEBB0SSRレジスタのIEBB0STXFビットが0になる。 注2	IEBusデータ割り込み
受信データ読み出し要求	IEBB0SSRレジスタのIEBB0SRXFビットが1になる。 注3	IEBusデータ割り込み

注1.　フレームの最終データがNACK信号で終了した場合，フレーム終了を示すIEBB0EFMFビットが1になることでフレーム終了割り込みが発生します。また，NACK受信エラーにより通信エラー割り込みが発生します。

2.　マスタ送信時とスレーブ送信時では，割り込み要因の生成条件が異なります。

マスタ送信時：

・電文長フィールドの$\overline{\text{ACK}}$信号受信によりIEBusデータ割り込みが発生します。ただし，転送サイズが1バイト（IEBB0TDLレジスタが01H）の場合は，IEBusデータ割り込みは発生しません。

・データ・フィールドの$\overline{\text{ACK}}$信号受信によりIEBusデータ割り込みが発生します。ただし，最終データ送信前，および最終データの$\overline{\text{ACK}}$信号受信後は，IEBusデータ割り込みは発生しません。

スレーブ送信時：

・電文長フィールドの$\overline{\text{ACK}}$信号受信によりIEBusデータ割り込みが発生します。ただし，転送サイズが1バイト（IEBB0TDLレジスタが01H）の場合は，IEBusデータ割り込みは発生しません。また，受信したコントロール・ビットがステータス送信要求（0H, 4H, 5H, 6H）の場合は，IEBusデータ割り込みは発生せず，IEBusベクタ割り込み（ステータス送信要求）が発生します。

・データ・フィールドの$\overline{\text{ACK}}$信号受信によりIEBusデータ割り込みが発生します。ただし，最終データ送信前，および最終データの$\overline{\text{ACK}}$信号受信後は，IEBusデータ割り込みは発生しません。

3.　データ・フィールドのパリティ・ビット受信後に発生します。ただし，自局が送信したパリティ・ビットと受信したパリティ・ビットが異なる場合，タイミング・エラーを検出し，IEBusベクタ割り込み（通信エラー（タイミング・エラー））が発生します。その場合，IEBusデータ割り込みは発生しません。

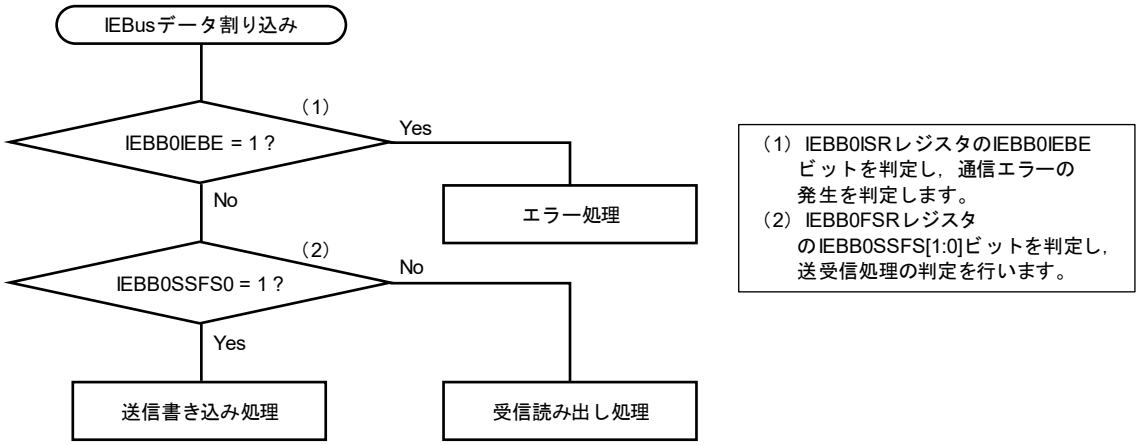
19.4.2　IEBBの割り込み判定例

IEBusデータ割り込みおよびIEBusベクタ割り込み発生時の判定処理例を以下に示します。

（1）IEBusデータ割り込み判定

IEBusデータ割り込み発生時に，送信／受信の確認を行います。

図19－30　IEBusデータ割り込み判定処理例

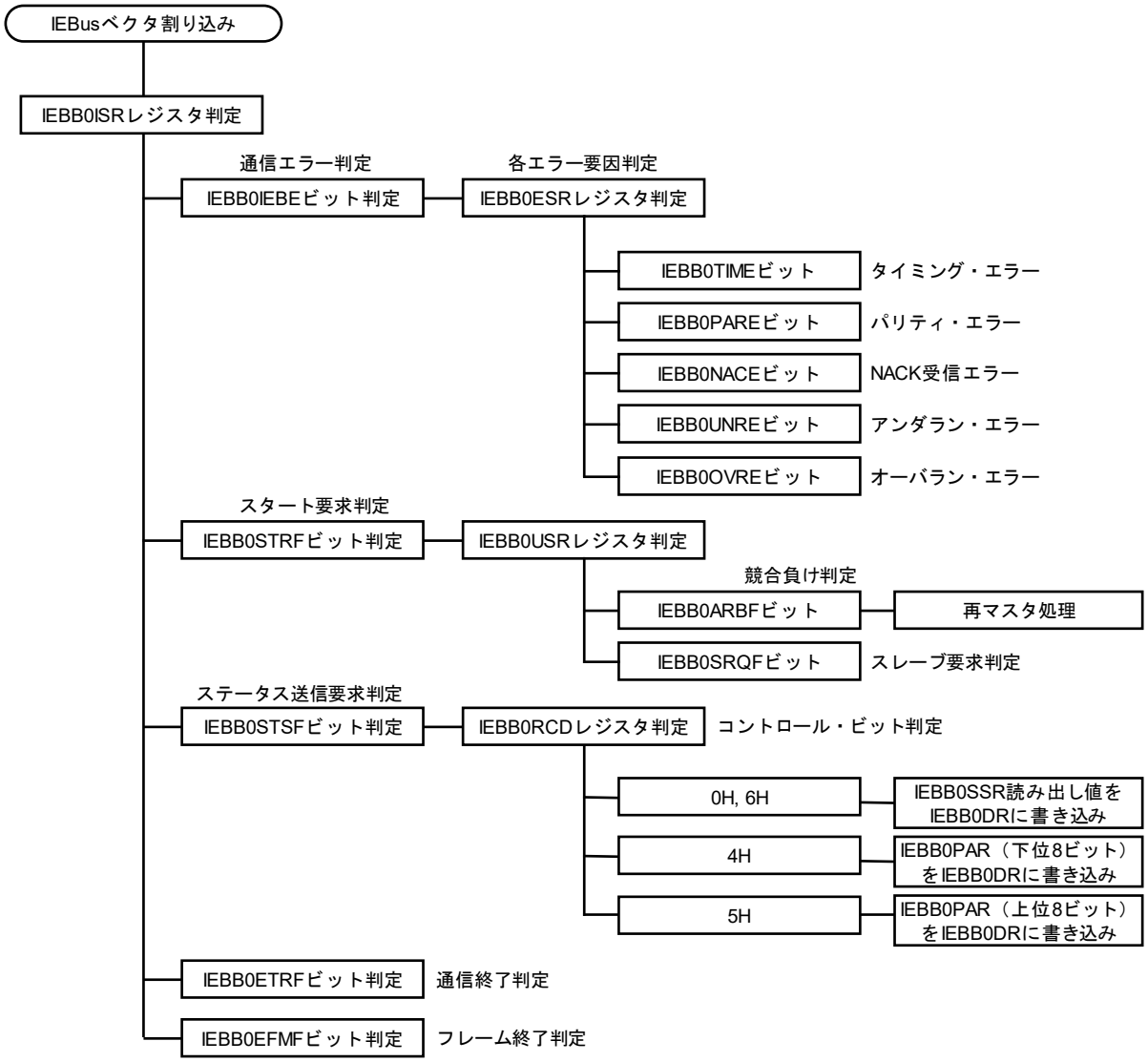


注意　IEBusデータ割り込みが発生時，割り込み処理のタイミングによっては，エラーが発生している場合があります。通信エラー・フラグ（IEBB0IEBEビット）により，通信エラーが発生していないことを確認し，各データ処理を行ってください。

（2）IEBusベクタ割り込み使用時

IEBusベクタ割り込み発生時に，各割り込み要因（通信エラー，スタート要求，ステータス送信要求，通信終了，フレーム終了）の確認を行います。

図19－31　IEBusベクタ割り込み判定処理例



19.5　IEBBの動作

19.5.1　初期設定

IEBB0BCRレジスタのIEBB0PWビットを1に設定した後，次のレジスタを設定します。

表19－17　初期設定

レジスタ名	機　能	例
IEBB0PSR	動作クロック，通信モードの設定	80H
IEBB0UAR	自局アドレスの設定	101H
IEBB0CKS	クロック選択	15H

19.5.2　マスタ送信時の動作

自局がマスタとしてスレーブ・ユニットに対してデータ／コマンドの送信を行います。

IEBusデータ割り込み（送信データ書き込み要求）を判断し，1バイト転送ごと送信データをIEBB0DRレジスタに書き込みます。

（1）レジスタ設定

表19－17「初期設定」の実施後に，次のレジスタを設定し通信を開始します。

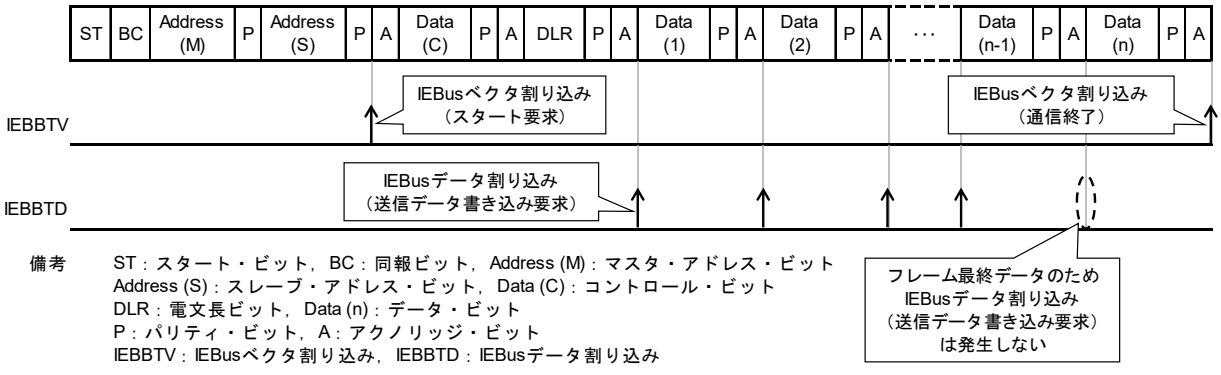
表19－18　マスタ送信時の通信開始処理

レジスタ名	機　能	例
IEBB0SAR	通信相手のユニット・アドレス	102H
IEBB0CDRまたはIEBB0TCD	コントロール・ビット（AH, BH, EH, FH）	FH
IEBB0DLR	電文長	02H
IEBB0DR	データ（1 バイト目のデータ）	11H
IEBB0BCR	通信開始	C8H

（2）割り込み発生のタイミング

マスタ送信時の割り込み発生タイミングを示します。

図19－32　マスタ送信時の割り込み発生タイミング



備考　ST：スタート・ビット，BC：同報ビット，Address (M)：マスタ・アドレス・ビット
Address (S)：スレーブ・アドレス・ビット，Data (C)：コントロール・ビット
DLR：電文長ビット，Data (n)：データ・ビット
P：パリティ・ビット，A：アクノリッジ・ビット
IEBBTV：IEBusベクタ割り込み，IEBBTD：IEBusデータ割り込み

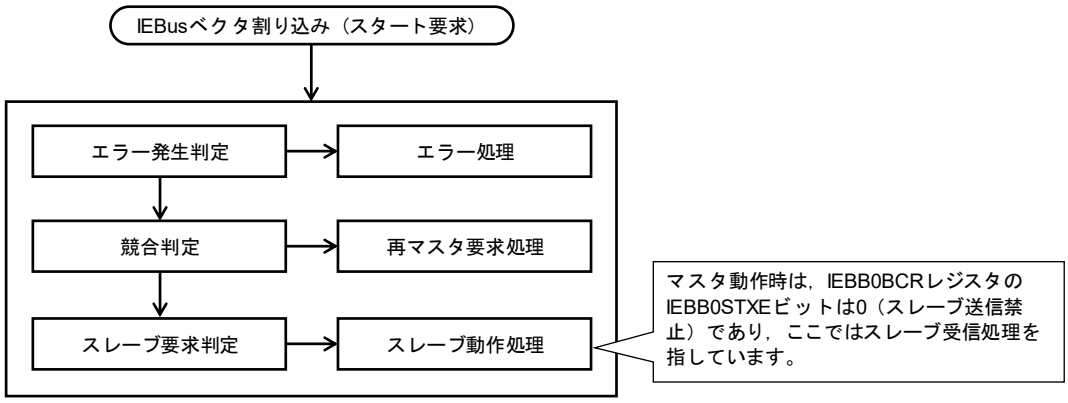
（3）割り込み処理例

マスタ送信時の割り込み処理例を以下に示します。

- スタート要求割り込み処理

IEBusベクタ割り込み（スタート要求）発生時の処理例を示します。

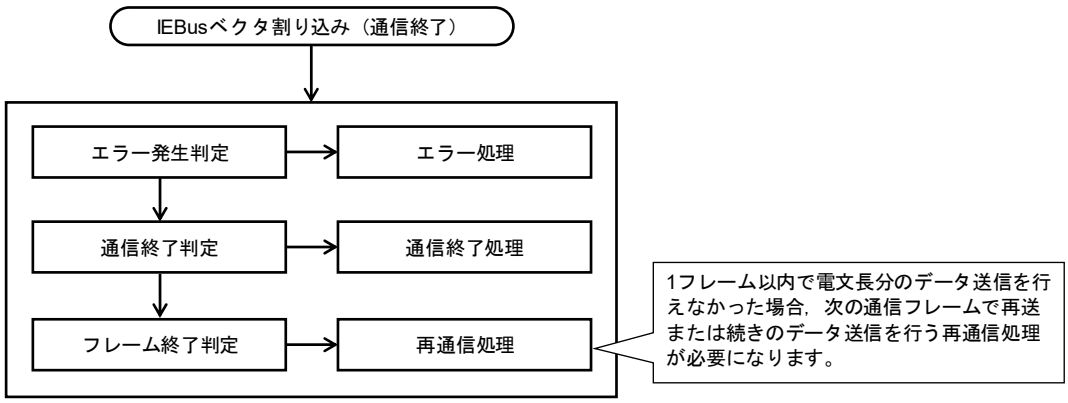
図19－33　IEBusベクタ割り込み（スタート要求）発生時の処理例（マスタ送信時）



- 通信終了割り込み処理

IEBusベクタ割り込み（通信終了）発生時の処理例を示します。

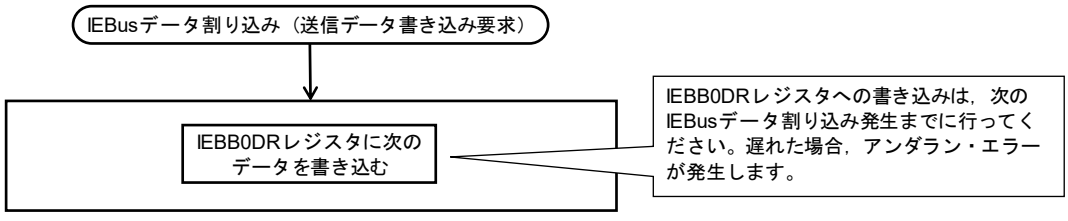
図19－34　IEBusベクタ割り込み（通信終了）発生時の処理例（マスタ送信時）



- 送信データ書き込み要求割り込み処理

以下にIEBusデータ割り込み（送信データ書き込み要求）発生時の処理例を示します。

図19－35　IEBusデータ割り込み（送信データ書き込み要求）発生時の処理例（マスタ送信時）



19.5.3　マスタ受信時の動作

自局がマスタとしてスレーブ・ユニットからデータ／コマンドの受信を行います。

マスタ受信の場合，電文長フィールドはスレーブが転送するため，別の通信などでスレーブに対して送信すべきデータの電文長を指定してください。IEBusデータ割り込み（受信データ読み出し要求）を使用し，受信したデータを1バイトごとに読み出してください。

（1）レジスタ設定

表19－17「初期設定」の実施後に，次のレジスタを設定し通信を開始します。

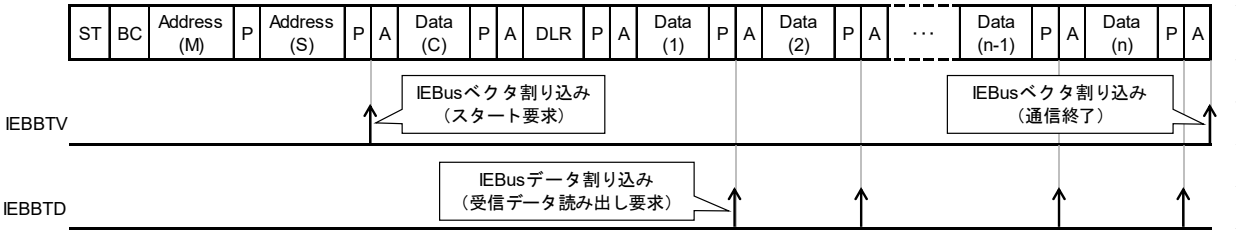
表19－19　マスタ受信時の通信開始処理

レジスタ名	機　能	例
IEBB0SAR	通信相手のユニット・アドレス	102H
IEBB0CDRまたはIEBB0TCD	コントロール・ビット（0H, 3H, 4H, 5H, 6H, 7H）	7H
IEBB0BCR	通信開始	C8H

（2）割り込み発生のタイミング

マスタ受信時の割り込み発生タイミングを示します。

図19－36　マスタ受信時の割り込み発生タイミング



備考　ST：スタート・ビット，BC：同報ビット，Address (M)：マスタ・アドレス・ビット
Address (S)：スレーブ・アドレス・ビット，Data (C)：コントロール・ビット
DLR：電文長ビット，Data (n)：データ・ビット
P：パリティ・ビット，A：アクノリッジ・ビット
IEBBTV：IEBusベクタ割り込み，IEBBTD：IEBusデータ割り込み

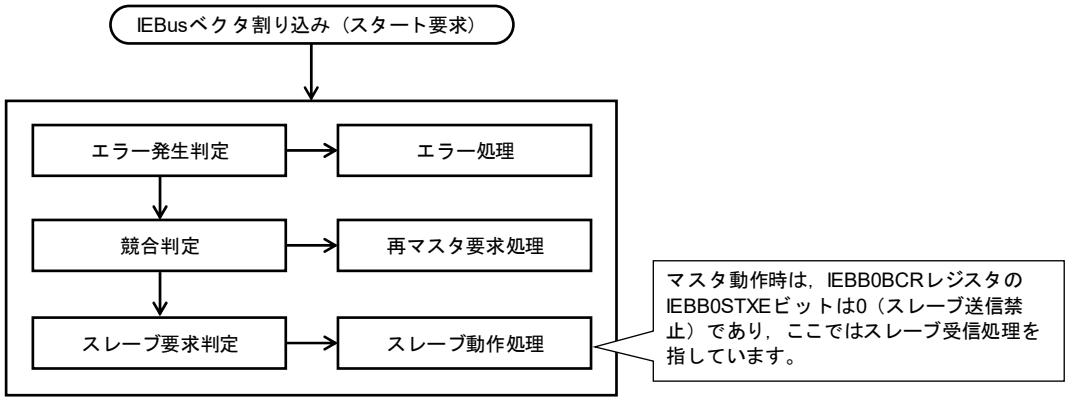
（3）割り込み処理例

マスタ受信時の割り込み処理例を以下に示します。

- スタート要求割り込み処理

以下にIEBusベクタ割り込み（スタート要求）発生時の処理例を示します。

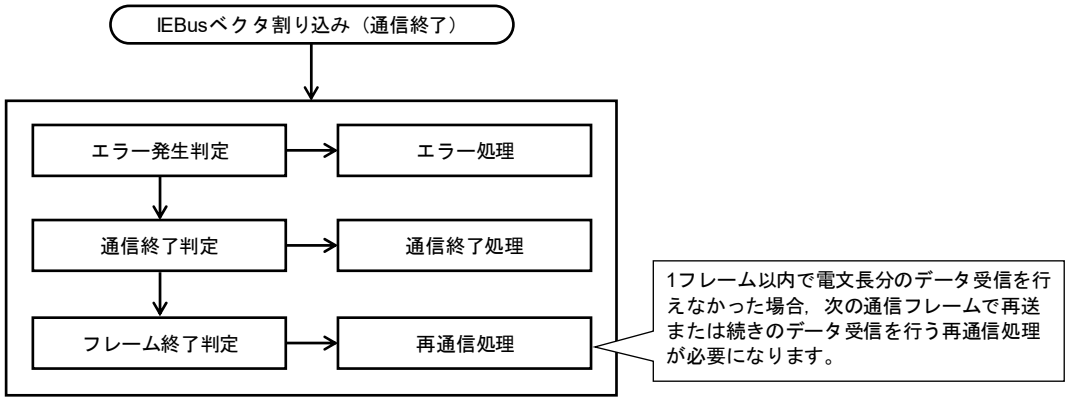
図19－37　IEBusベクタ割り込み（スタート要求）発生時の処理例（マスタ受信時）



- 通信終了割り込み処理

以下にIEBusベクタ割り込み（通信終了）発生時の処理例を示します。

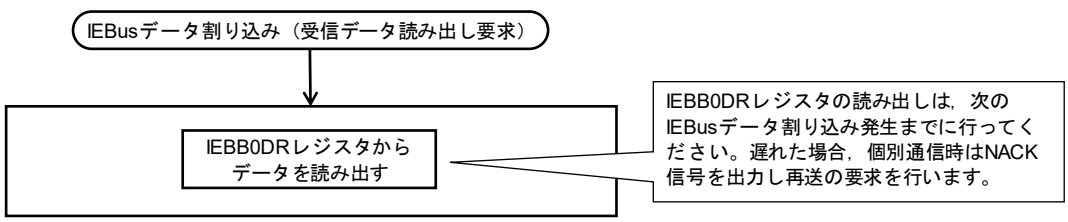
図19－38　IEBusベクタ割り込み（通信終了）発生時の処理例（マスタ受信時）



- 受信データ読み出し要求割り込み処理

以下にIEBusデータ割り込み（受信データ読み出し要求）発生時の処理例を示します。

図19－39　IEBusデータ割り込み（受信データ読み出し要求）発生時の処理例（マスタ受信時）



19.5.4　スレーブ送信時の動作

自局がスレーブとしてマスタ・ユニットに対してデータ／コマンドの送信を行います。

IEBusデータ割り込み（送信データ書き込み要求）を判断し，1バイト転送ごと送信データをIEBB0DRレジスタに書き込みます。

（1）レジスタ設定

表19－17「初期設定」の実施後に，次のレジスタを設定し通信を開始します。

表19－20　スレーブ送信時の通信開始処理

レジスタ名	機　能	例
IEBB0DLR	電文長（スレーブ・ステータス送信以外）	02H
IEBB0DR	データ（1バイト目の送信データ）	11H
IEBB0BCR	通信開始	90H

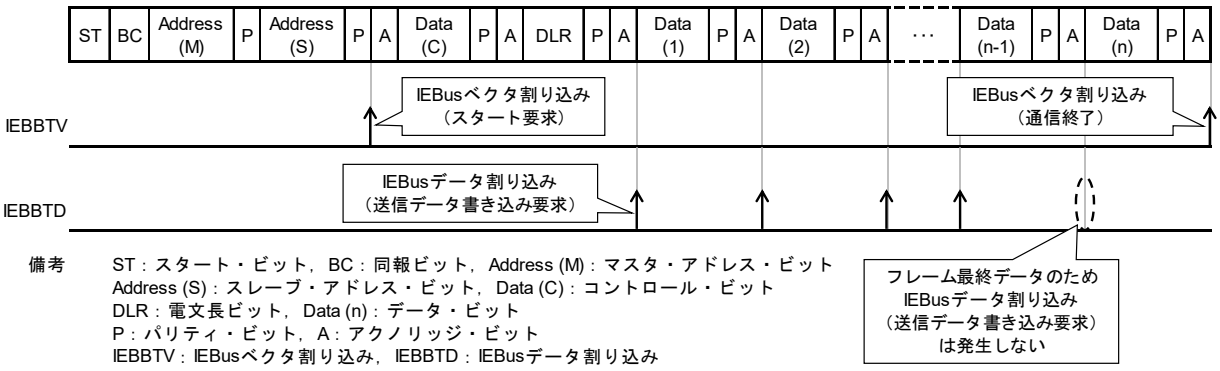
注意　スレーブ送信を開始するときにIEBB0DLRレジスタに設定する値（電文長）や，返信するデータ情報などをマスタから事前に与えられている必要があります。

（2）割り込み発生のタイミング

- コントロール・ビット（3H, 7H）受信時の割り込み発生タイミング（スレーブ送信時）

以下にコントロール・ビット（3H, 7H）を受信時にスレーブ送信を行う際の割り込み発生タイミングを示します。

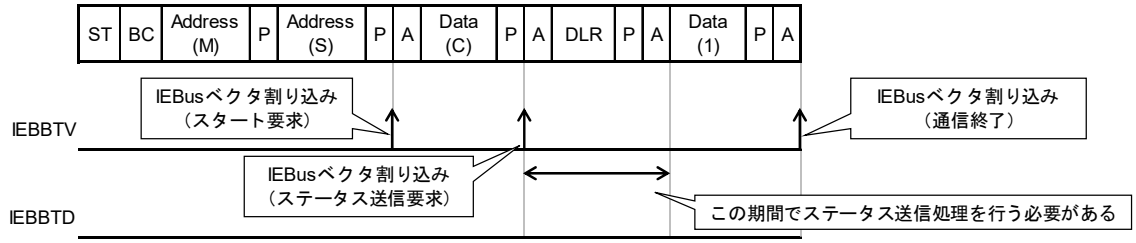
図19－40　スレーブ送信時の割り込み発生タイミング（コントロール・ビット（3H, 7H）受信時）



- コントロール・ビット（0H, 6H）受信時の割り込み発生タイミング（スレーブ送信時）

以下にコントロール・ビット（0H, 6H）を受信時にスレーブ送信を行う際の割り込み発生タイミングを示します。

図19－41　スレーブ送信時の割り込み発生タイミング（コントロール・ビット（0H, 6H）受信時）



備考　ST：スタート・ビット，BC：同報ビット，Address (M)：マスタ・アドレス・ビット
Address (S)：スレーブ・アドレス・ビット，Data (C)：コントロール・ビット
DLR：電文長ビット，Data (n)：データ・ビット
P：パリティ・ビット，A：アクノリッジ・ビット
IEBBTV：IEBusベクタ割り込み，IEBBTD：IEBusデータ割り込み

注意　自局ロック時はロック・マスタからコントロール・ビット（4H, 5H）を受信時にスレーブ送信を行う場合も同様の割り込み発生タイミングになります。

- 自局ロック時にロック・マスタ以外からコントロール・ビット（0H, 4H, 5H）受信した時の割り込み発生タイミング（スレーブ送信時）

自局ロック時にロック・マスタ以外からコントロール・ビット（0H, 4H, 5H）を受信した時にスレーブ送信を行う際の割り込み発生タイミングは，図19－41「スレーブ送信時の割り込み発生タイミング（コントロール・ビット（0H, 6H）受信時）」と同じです。本図を参照ください。

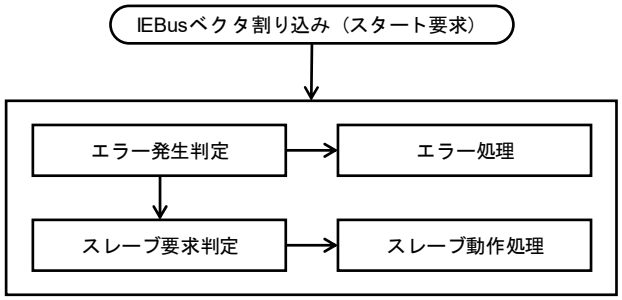
（3）割り込み処理例

スレーブ送信時の割り込み処理例を以下に示します。

- スタート要求割り込み処理

以下にIEBusベクタ割り込み（スタート要求）発生時の処理例を示します。

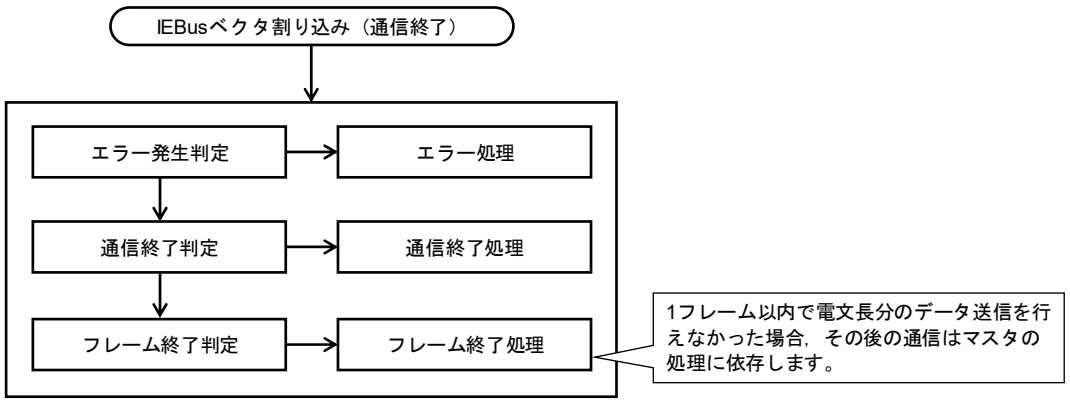
図19－42　IEBusベクタ割り込み（スタート要求）発生時の処理例（スレーブ送信時）



- 通信終了割り込み処理

以下にIEBusベクタ割り込み（通信終了）発生時の処理例を示します。

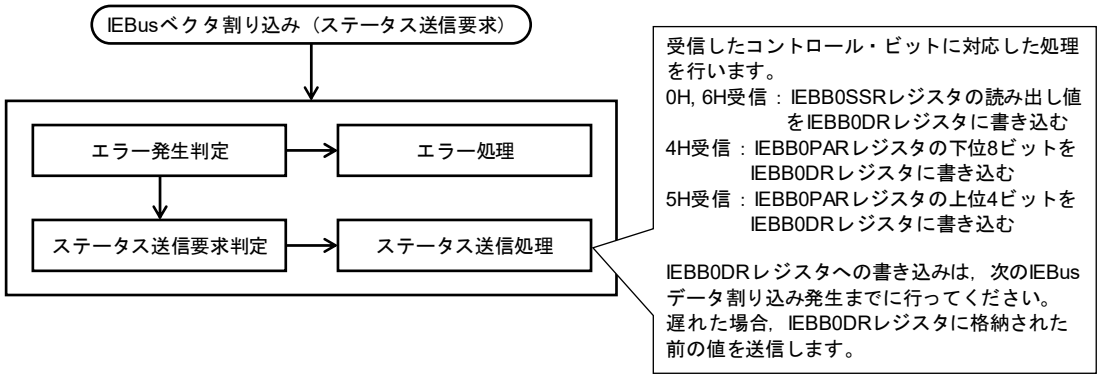
図19－43　IEBusベクタ割り込み（通信終了）発生時の処理例（スレーブ送信時）



- ステータス送信要求割り込み処理

以下にIEBusベクタ割り込み（ステータス送信要求）発生時の処理例を示します。

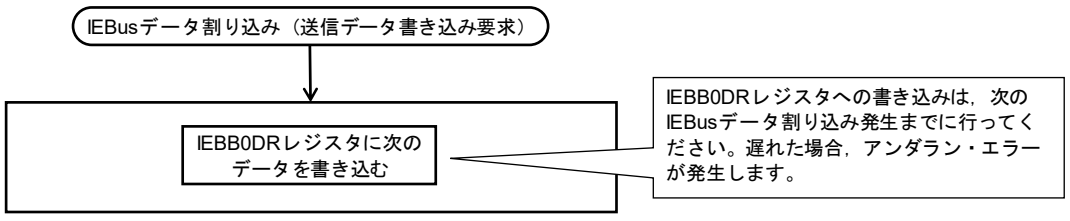
図19－44　IEBusベクタ割り込み（ステータス送信要求）発生時の処理例（スレーブ送信時）



- 送信データ書き込み要求割り込み処理

以下にIEBusデータ割り込み（送信データ書き込み要求）発生時の処理例を示します。

図19－45　IEBusデータ割り込み（送信データ書き込み要求）発生時の処理例（スレーブ送信時）



19.5.5　スレーブ受信時の動作

自局ユニットがスレーブとしてマスタ・ユニットからデータ／コマンドを受信します。

IEBusデータ割り込み（受信データ読み出し要求）により，1バイトごと受信したデータを読み込んでください。

（1）レジスタ設定

表19－17「初期設定」の実施後に，次のレジスタを設定し通信を開始します。

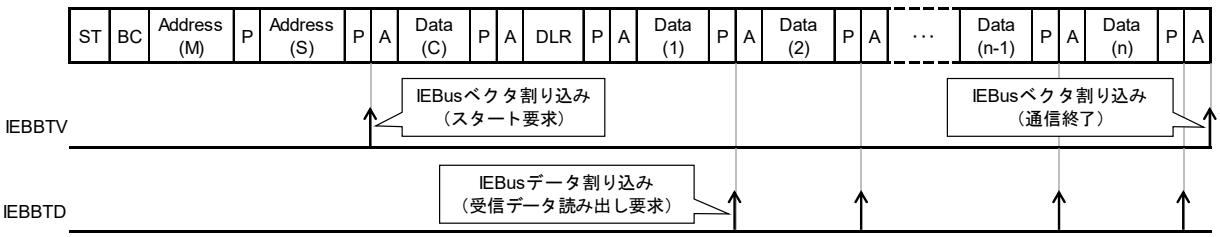
表19－21　スレーブ受信時の通信開始処理

レジスタ名	機　能	例
IEBB0BCR	通信開始	88H

（2）割り込み発生のタイミング

スレーブ受信時の割り込み発生タイミングを示します。

図19－46　スレーブ受信時の割り込み発生タイミング



備考　ST：スタート・ビット，BC：同報ビット，Address (M)：マスタ・アドレス・ビット
Address (S)：スレーブ・アドレス・ビット，Data (C)：コントロール・ビット
DLR：電文長ビット，Data (n)：データ・ビット
P：パリティ・ビット，A：アクノリッジ・ビット
IEBBTV：IEBusベクタ割り込み，IEBBTD：IEBusデータ割り込み

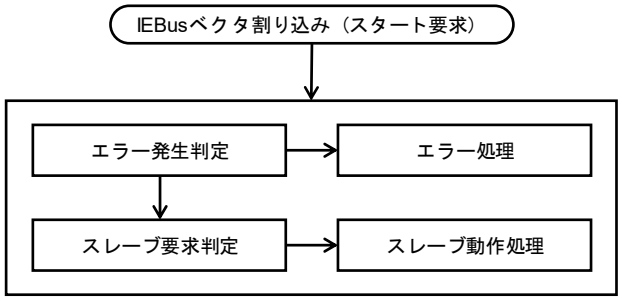
（3）割り込み処理例

スレーブ受信時の割り込み処理例を以下に示します。

- スタート要求割り込み処理

以下にIEBusベクタ割り込み（スタート要求）発生時の処理例を示します。

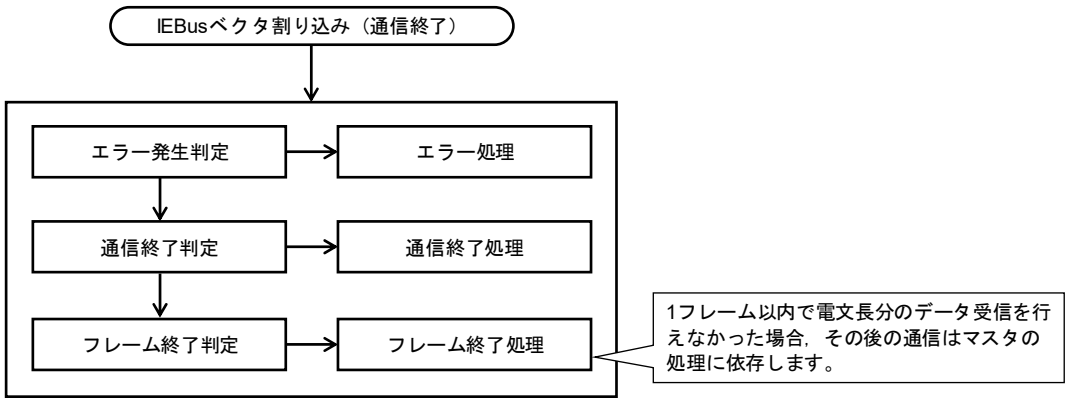
図19－47　IEBusベクタ割り込み（スタート要求）発生時の処理例（スレーブ受信時）



- 通信終了割り込み処理

以下にIEBusベクタ割り込み（通信終了）発生時の処理例を示します。

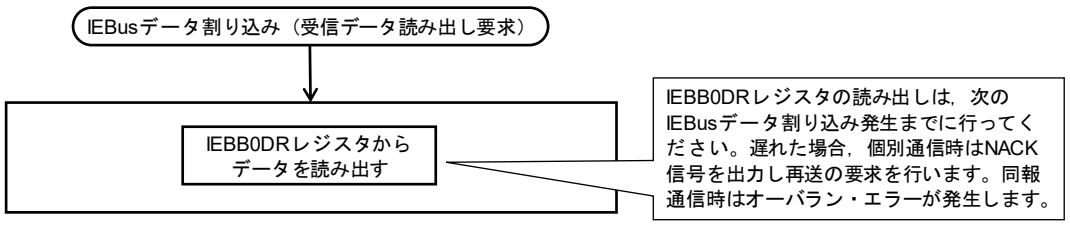
図19－48　IEBusベクタ割り込み（通信終了）発生時の処理例（スレーブ受信時）



- 受信データ読み出し要求割り込み処理

以下にIEBusデータ割り込み（受信データ読み出し要求）発生時の処理例を示します。

図19－49　IEBusデータ割り込み（受信データ読み出し要求）発生時の処理例（スレーブ受信時）

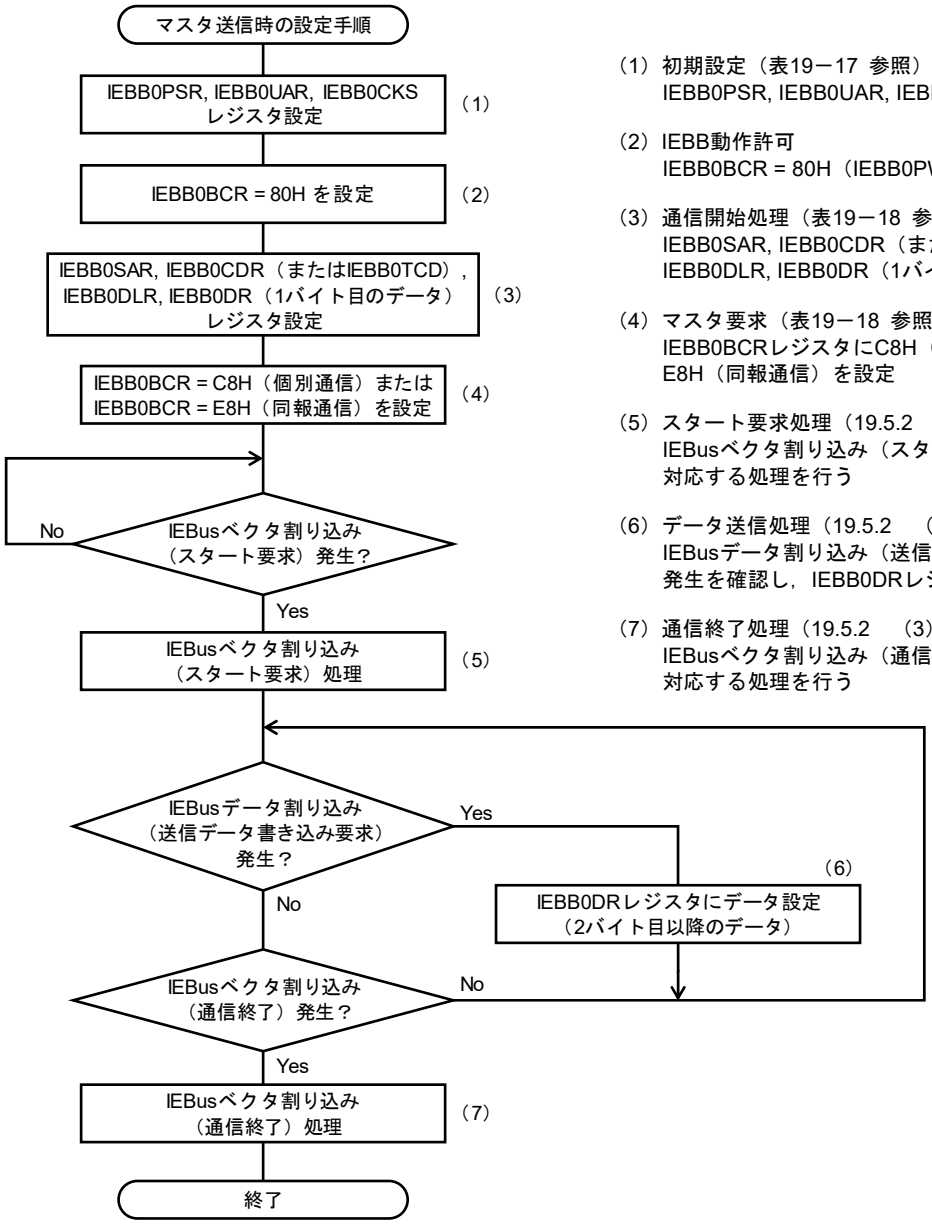


19.6　IEBBの設定手順

19.6.1　マスタ送信時の設定手順

マスタとしてデータ／コマンドを送信する際の設定手順を示します。

図19－50　マスタ送信時の設定手順



（1）初期設定（表19－17 参照）
IEBB0PSR, IEBB0UAR, IEBB0CKS を設定

（2）IEBB動作許可
IEBB0BCR = 80H（IEBB0PWビット= 1）

（3）通信開始処理（表19－18 参照）
IEBB0SAR, IEBB0CDR（またはIEBB0TCD），
IEBB0DLR, IEBB0DR（1バイト目のデータ）を設定

（4）マスタ要求（表19－18 参照）
IEBB0BCRレジスタにC8H（個別通信）または
E8H（同報通信）を設定

（5）スタート要求処理（19.5.2　（3）割り込み処理例参照）
IEBusベクタ割り込み（スタート要求）の発生を判定し，
対応する処理を行う

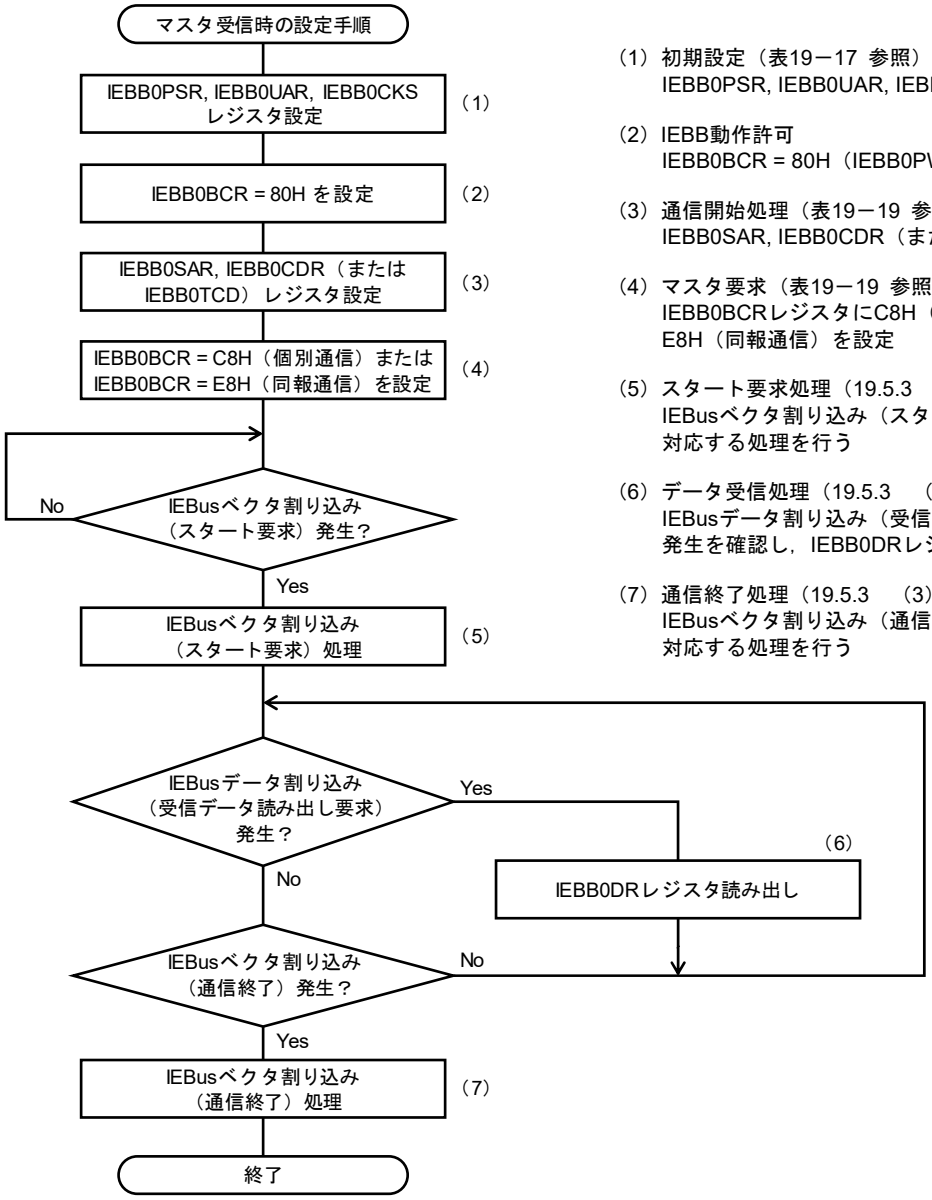
（6）データ送信処理（19.5.2　（3）割り込み処理例参照）
IEBusデータ割り込み（送信データ書き込み要求）の
発生を確認し，IEBB0DRレジスタにデータを設定

（7）通信終了処理（19.5.2　（3）割り込み処理例参照）
IEBusベクタ割り込み（通信終了）の発生を判定し，
対応する処理を行う

19.6.2　マスタ受信時の設定手順

マスタとしてデータを受信する際の設定手順を示します。

図19－51　マスタ受信時の設定手順



（1）初期設定（表19－17 参照）
IEBB0PSR, IEBB0UAR, IEBB0CKS を設定

（2）IEBB動作許可
IEBB0BCR = 80H（IEBB0PWビット= 1）

（3）通信開始処理（表19－19 参照）
IEBB0SAR, IEBB0CDR（またはIEBB0TCD）を設定

（4）マスタ要求（表19－19 参照）
IEBB0BCRレジスタにC8H（個別通信）または
E8H（同報通信）を設定

（5）スタート要求処理（19.5.3　（3）割り込み処理例参照）
IEBusベクタ割り込み（スタート要求）の発生を判定し，
対応する処理を行う

（6）データ受信処理（19.5.3　（3）割り込み処理例参照）
IEBusデータ割り込み（受信データ読み出し要求）の
発生を確認し，IEBB0DRレジスタからデータを読み出す

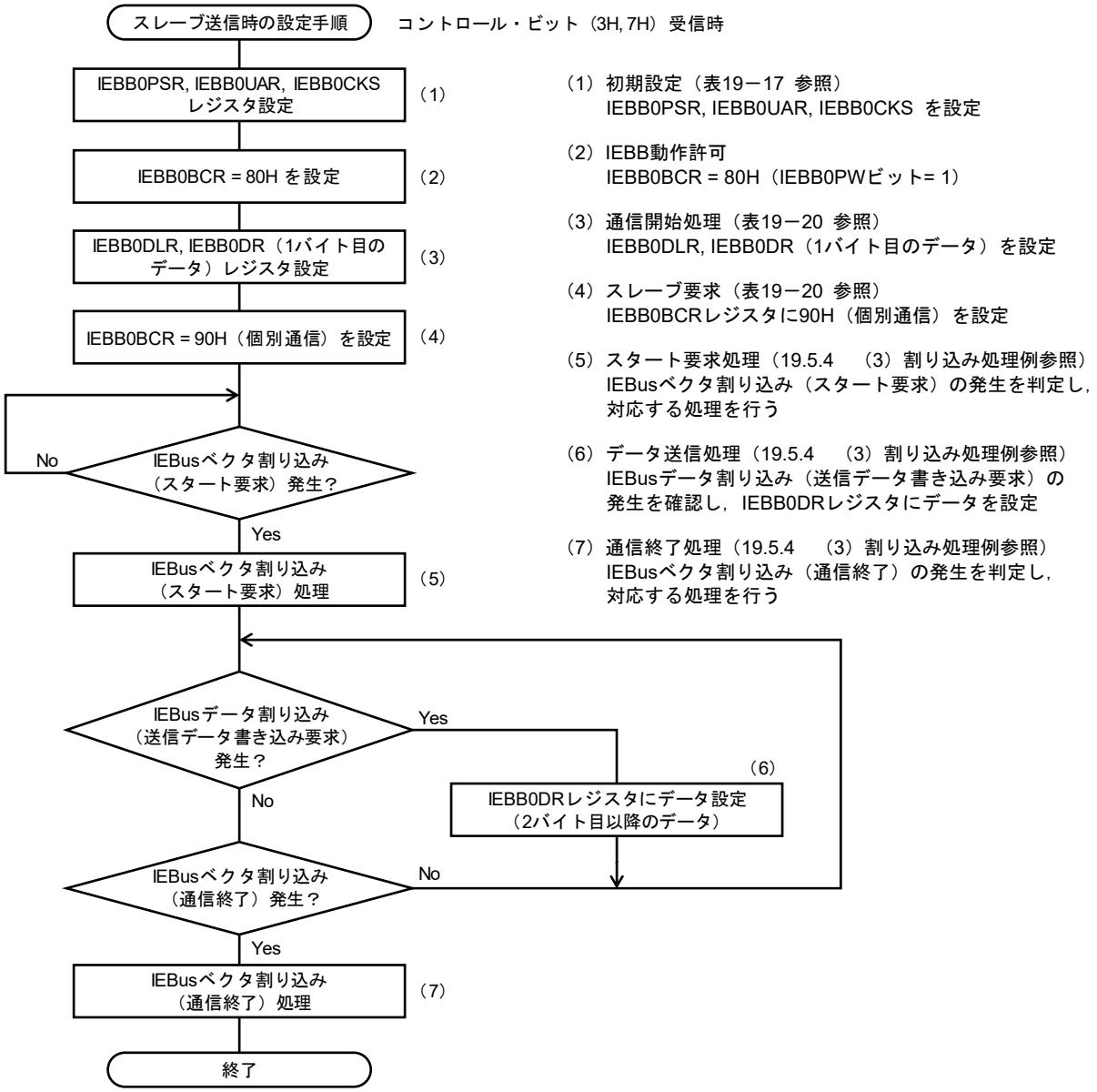
（7）通信終了処理（19.5.3　（3）割り込み処理例参照）
IEBusベクタ割り込み（通信終了）の発生を判定し，
対応する処理を行う

19.6.3　スレーブ送信時の設定手順

（1）コントロール・ビット（3H, 7H）受信時のスレーブ送信

スレーブ送信（コントロール・ビット（3H, 7H）受信時）を行う際の設定手順を示します。

図19－52　スレーブ送信時の設定手順（コントロール・ビット（3H, 7H）受信時）



（1）初期設定（表19－17 参照）
IEBB0PSR, IEBB0UAR, IEBB0CKS を設定

（2）IEBB動作許可
IEBB0BCR = 80H（IEBB0PWビット= 1）

（3）通信開始処理（表19－20 参照）
IEBB0DLR, IEBB0DR（1バイト目のデータ）を設定

（4）スレーブ要求（表19－20 参照）
IEBB0BCRレジスタに90H（個別通信）を設定

（5）スタート要求処理（19.5.4　（3）割り込み処理例参照）
IEBusベクタ割り込み（スタート要求）の発生を判定し，対応する処理を行う

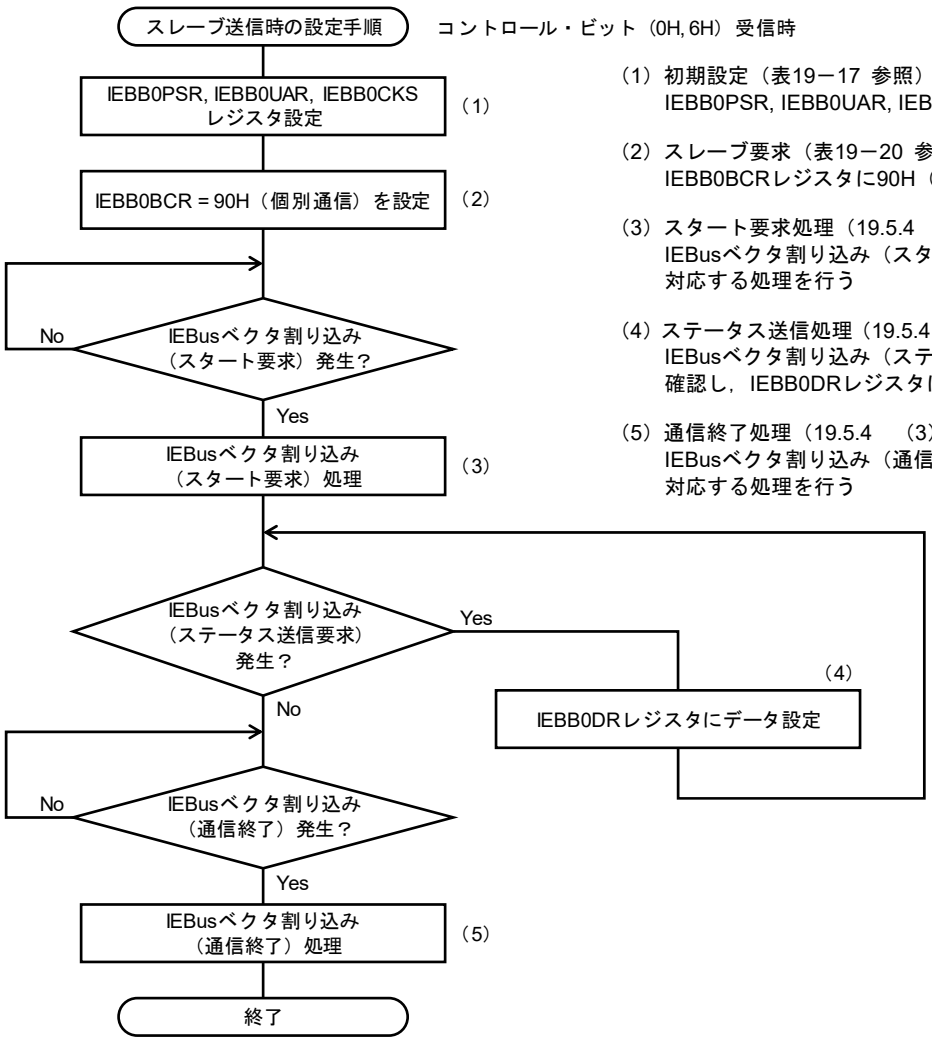
（6）データ送信処理（19.5.4　（3）割り込み処理例参照）
IEBusデータ割り込み（送信データ書き込み要求）の発生を確認し，IEBB0DRレジスタにデータを設定

（7）通信終了処理（19.5.4　（3）割り込み処理例参照）
IEBusベクタ割り込み（通信終了）の発生を判定し，対応する処理を行う

（2）コントロール・ビット（0H, 6H）受信時のスレーブ送信

スレーブ送信（コントロール・ビット（0H, 6H）受信時）を行う際の設定手順を示します。

図19－53　スレーブ送信時の設定手順（コントロール・ビット（0H, 6H）受信時）

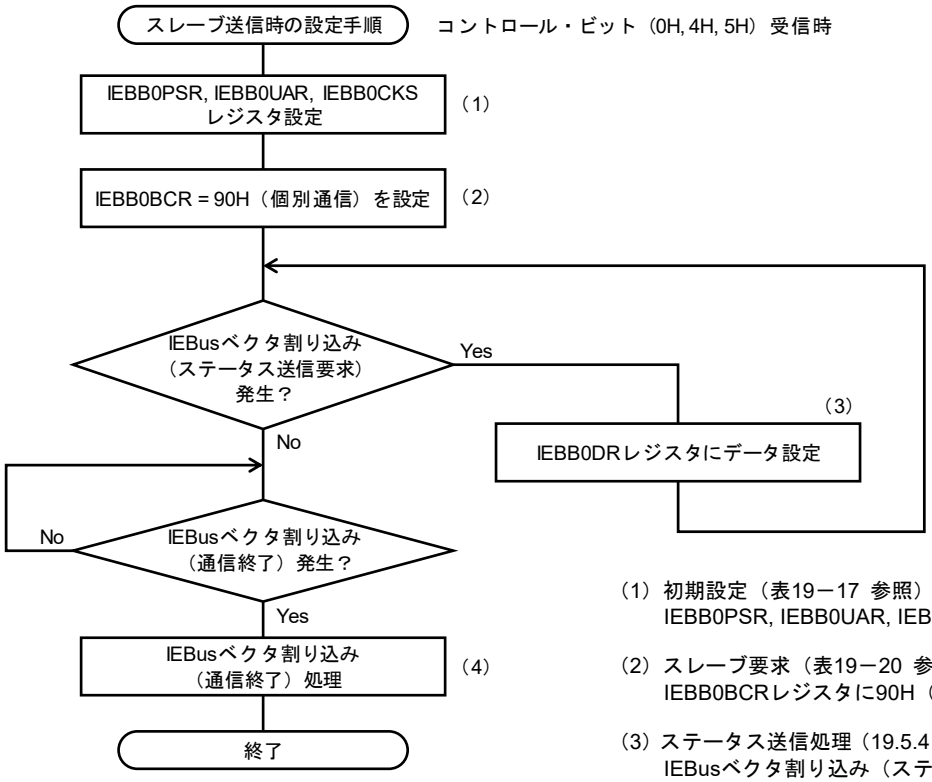


注意　自局ロック時はロック・マスタからコントロール・ビット（4H, 5H）を受信時にスレーブ送信を行う場合も同様の処理になります。

（3）自局ロック時にロック・マスタ以外からコントロール・ビット（0H, 4H, 5H）受信時のスレーブ送信

スレーブ送信（自局ロック時にロック・マスタ以外からコントロール・ビット（0H, 4H, 5H）受信時）を行う際の設定手順を示します。

図19－54　スレーブ送信時の設定手順（ロック時にコントロール・ビット（0H, 4H, 5H）受信時）



（1）初期設定（表19－17 参照）
IEBB0PSR, IEBB0UAR, IEBB0CKS を設定

（2）スレーブ要求（表19－20 参照）
IEBB0BCRレジスタに90H（個別通信）を設定

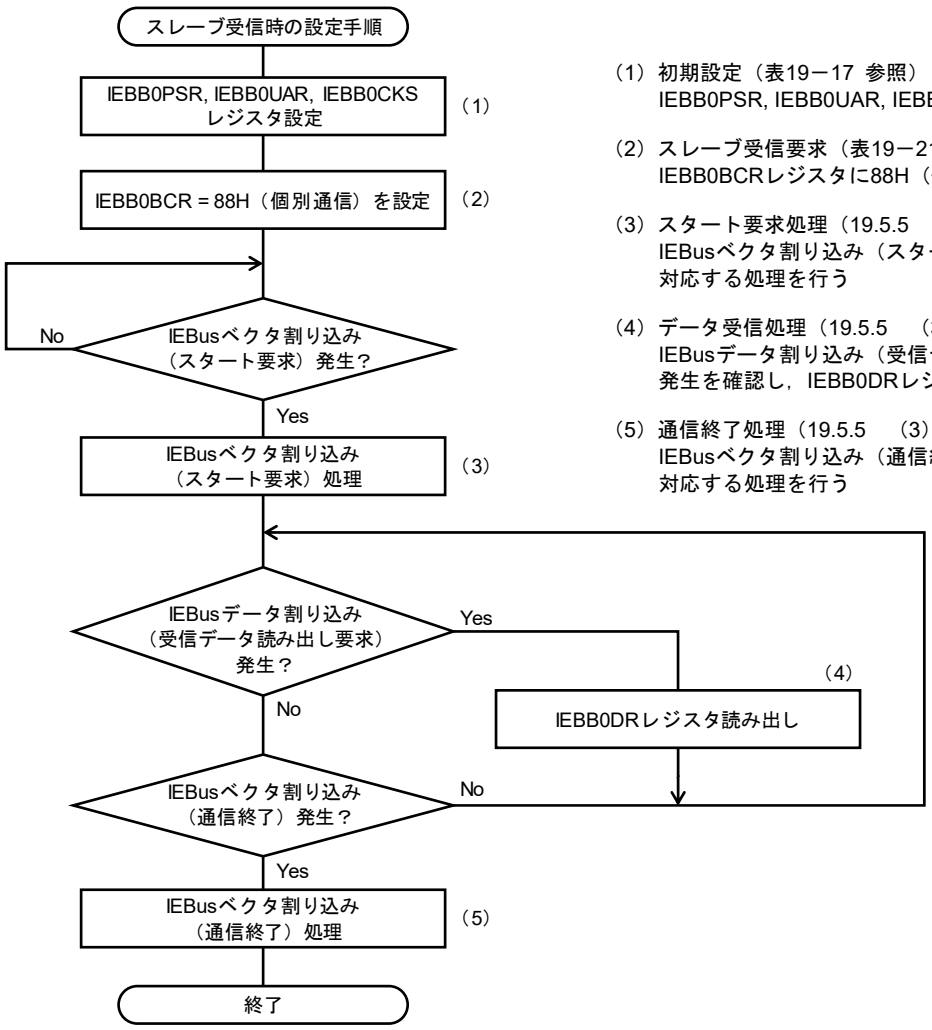
（3）ステータス送信処理（19.5.4　（3）割り込み処理例参照）
IEBusベクタ割り込み（ステータス送信要求）の発生を確認し，IEBB0DRレジスタにデータを設定

（4）通信終了処理（19.5.4　（3）割り込み処理例参照）
IEBusベクタ割り込み（通信終了）の発生を判定し，対応する処理を行う

19.6.4　スレーブ受信時の設定手順

スレーブとしてデータを受信する際の設定手順を示します。

図19－55　スレーブ受信時の設定手順



（1）初期設定（表19－17 参照）
IEBB0PSR, IEBB0UAR, IEBB0CKS を設定

（2）スレーブ受信要求（表19－21 参照）
IEBB0BCRレジスタに88H（個別通信）を設定

（3）スタート要求処理（19.5.5　（3）割り込み処理例参照）
IEBusベクタ割り込み（スタート要求）の発生を判定し，
対応する処理を行う

（4）データ受信処理（19.5.5　（3）割り込み処理例参照）
IEBusデータ割り込み（受信データ読み出し要求）の
発生を確認し，IEBB0DRレジスタからデータを読み出す

（5）通信終了処理（19.5.5　（3）割り込み処理例参照）
IEBusベクタ割り込み（通信終了）の発生を判定し，
対応する処理を行う

19.7　IEBBの機能

19.7.1　IEBusの通信プロトコル

IEBusの通信プロトコルを以下に示します。

（1）マルチタスク方式

IEBusに接続しているすべてのユニットから他のユニットへデータ伝送ができます。

（2）同報通信機能

次に示す「1つのユニット 対 複数ユニット」の通信ができます。

- グループ同報通信：グループ・ユニットに対する同報通信
- 一斉同報通信　　：すべてのユニットに対する同報通信

（3）実効伝送速度

実効伝送速度としてモード1，モード2をサポートしています（モード0はサポートしていません）。

- モード1：約18 kbps
- モード2：約27 kbps

注意　1つのバス上に，異なる実行伝送速度（モード1，モード2）を混在させることはできません。

（4）通信方式

半二重非同期通信方式でデータを転送します。

（5）アクセス制御：CSMA/CD（Carrier Sense Multiple Access with Collision Detection）

IEBusの優先順位を次に示します。

① 個別通信（1ユニット対1ユニットの通信）より同報通信を優先します。

② マスタ・アドレスが小さいユニットを優先します。

（6）通信規模

IEBusの通信規模を次に示します。

- ユニット数：最大50ユニット
- ケーブル長：最大150 m（ツイスト・ペア・ケーブルを使用した場合）

注意　実際のシステムにおける通信規模は，IEBusドライバ／レシーバやIEBusを構成するケーブル等の特性により異なります。

19.7.2　バス占有権の決定（アービトレーション）

IEBusに接続されたユニットが，他のユニットを制御したいときに，バスを占有するための動作を行います。この動作をアービトレーションと呼びます。アービトレーションとは，複数のユニットが同時に送信を開始したときに，1つのユニットに対してバスを占有する許可を与えることを指します。アービトレーションにより1つのユニットのみがバス占有権を獲得するため，次に示すバス占有の優先条件を決めています。

（1）通信の種類による優先条件

個別通信より同報通信を優先します。

同報通信：1ユニット対複数ユニットの通信

個別通信：1ユニット対1ユニットの通信

（2）マスタ・アドレスによる優先条件

通信の種類が同じ場合は，最も小さいマスタ・アドレスのユニットを優先します。

マスタ・アドレスは12ビットで構成されます。マスタ・アドレスが000Hのユニットが最上位，FFFHのユニットが最下位の優先順位になります。

注意　通信が途中で終了した場合，バスの占有権は解放されます。

19.7.3　通信モード

IEBusは伝送速度の異なる3種類の通信モードがあります。IEBBではモード1とモード2をサポートしています。各通信モードにおける伝送速度，1フレームにおける最大伝送バイト数を以下に示します。

表19－22　各通信モードにおける伝送速度，最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度[注2]
モード0[注1]	16バイト／フレーム	約3.9 kbps
モード1	32バイト／フレーム	約18 kbps
モード2	128バイト／フレーム	約27 kbps

注1.　IEBBは，モード0をサポートしていません。

2.　最大伝送バイト数を伝送したときの実行伝送速度です。

IEBusに接続する各ユニットは，通信を行う前に通信モードを選択する必要があります。また，マスタ・ユニットとその通信相手（スレーブ・ユニット）の通信モードが等しくないと，通信は正しく行えません。

19.7.4　通信アドレス

IEBusでは，各ユニットに対して12ビットの固有の通信アドレスを割り当てます。次に通信アドレスの構成を示します。

- 上位4ビット：グループ番号（各ユニットの所属するグループを識別する番号）
- 下位8ビット：ユニット番号（グループ内の各ユニットを識別する番号）

19.7.5　同報通信

個別通信は，マスタ・ユニットとその通信相手となるスレーブ・ユニットはともに1ユニットで，1対1の送信／受信を行います。それに対し同報通信では，マスタ・ユニットから複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるため，通信中のスレーブ・ユニットから，アクノリッジ信号は返信されません（NACK信号により返信します）。

同報通信は同報ビットにより選択します。また，同報通信には，グループ同報通信と一斉同報通信の2種類があり，スレーブ・アドレスの値で識別します。

（1）グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内のユニットに対して，同報通信を行います。

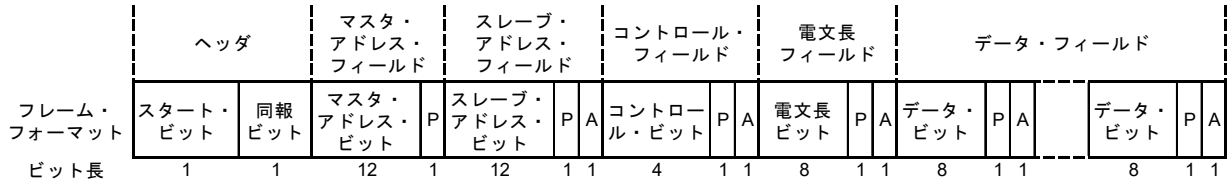
（2）一斉同報通信

グループ番号の値にかかわらず，すべてのユニットに対して同報通信を行います。

19.7.6　IEBusの伝送フォーマット

IEBusの伝送信号フォーマットを以下に示します。

図19－56　IEBusの伝送信号フォーマット



P：パリティ・ビット，　A：アクノリッジ・ビット（$\overline{\text{ACK}}$ / NACK）

注意　同報通信時，マスタ・ユニットはアクノリッジ・ビットを無視します。

（1）スタート・ビット

スタート・ビットは，データ伝送の開始をほかのユニットに知らせるための信号です。

スタート・ビットを出力するときに，すでに他のユニットがスタート・ビットを出力している場合，自局はスタート・ビットを出力せず，出力している他ユニットのスタート・ビット終了を待って，同報ビット出力へ移行します。

送信を開始したユニット以外は，スタート・ビット検出後，受信状態へ移行します。

（2）同報ビット

同報ビットは，マスタ・ユニットが個別通信（通信相手となるスレーブ・ユニットが1ユニット）を行うか，同報通信（複数のスレーブ・ユニットに対する通信）を行うか選択します。

同報ビットが 0の場合は同報通信を示し，1の場合は個別通信を示します。

IEBusコントローラ（IEBB）では，同報リクエスト・フラグ（IEBB0BCRレジスタのIEBB0ALRQビット）で同報ビットを選択します。

（3）マスタ・アドレス・フィールド

マスタ・アドレス・フィールドでは，マスタのアドレス（12ビット）とパリティ・ビットを送信します。

2つ以上のユニットが，同じタイミングで同じ同報ビットを送信した場合，アービトレーションの判定は，マスタ・アドレス・フィールドへ持ち越します。

マスタ・アドレス・フィールドでは，1ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果，出力しているマスタ・アドレスとバス上のデータが異なった場合，アービトレーションに負けたと判断して，送信を中止し受信状態に変わります。

IEBusでは，通信に参加しているユニットの中で，最も小さいマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

マスタ・アドレス・ビットは，IEBB0UARレジスタで設定します。

（4）スレーブ・アドレス・フィールド

スレーブ・アドレス・フィールドでは，マスタ・ユニットが通信相手のユニットのアドレス（12ビット）とパリティ・ビットの送信，およびアクノリッジ・ビットの判定を行います。

マスタ・ユニットは，通信相手（スレーブ・ユニット）がバス上に存在することを確認するため，スレーブ・ユニットが出力するACK信号を待ちます。ACK信号を検出した場合，コントロール・フィールド出力へ移行します。ただし，同報通信時は，アクノリッジ・ビットの確認を行いません。

スレーブ・ユニットは，スレーブ・アドレスが一致し，パリティ・ビットが正しい（偶数）場合，ACK信号を出力し，パリティ・ビットが正しくない（奇数）場合，NACK信号を出力します。この場合，マスタ・ユニットは待機状態となり，通信を終了します。

同報通信の場合，スレーブ・アドレスはグループ同報通信と一斉同報通信の識別で使用します。

- 一斉同報通信　　：スレーブ・アドレスがFFFHの場合
- グループ同報通信：スレーブ・アドレスがFFFH以外の場合

スレーブ・アドレス・ビットは，IEBB0SARレジスタで設定します。グループ同報通信の場合，グループNoは，スレーブ・アドレスの上位4ビットの値になります。

（5）コントロール・フィールド

コントロール・フィールドでは，マスタ・ユニットがスレーブ・ユニットに要求する機能（4ビット）とパリティ・ビットの送信，およびアクノリッジ・ビットの判定を行います。

マスタ・ユニットは，コントロール・ビットとパリティ・ビットの送信後，スレーブ・ユニットが出力するACK信号を待ちます。ただし，同報通信時は，アクノリッジ・ビットの確認を行いません。スレーブ・ユニットがACK信号を出力しない（NACK信号出力）場合，待機状態となり，通信を終了します。

コントロール・ビットは，IEBB0TCDレジスタで設定します。

表19－23にコントロール・ビットの内容を示します。

表19－23　コントロール・ビットの内容

ビット3[注1]	ビット2	ビット1	ビット0	機　能
0	0	0	0	0H：スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	3H：データ読み込みとロック
0	1	0	0	4H：ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	5H：ロック・アドレスの読み込み（上位4ビット）
0	1	1	0	6H：スレーブ・ステータスの読み込みとロック解除[注2]
0	1	1	1	7H：データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	AH：コマンド書き込みとロック[注2]
1	0	1	1	BH：データ書き込みとロック[注2]
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	EH：コマンド書き込み
1	1	1	1	FH：データ書き込み

注1.　コントロール・ビットのビット3（MSB）の値により，以降の電文長フィールドおよびデータ・フィールドのデータ転送方向が変わります。1のときはマスタ・ユニットからスレーブ・ユニットへの送信を示し，0のときはスレーブ・ユニットからマスタ・ユニットへの送信を示します。

2.　ロックの設定／解除を指定します。

マスタ・ユニットよりロック設定されたユニットが，ロックを要求したマスタ・ユニット以外からコントロール・ビット（0H, 4H, 5H）以外の要求を受けた場合，受け付けを拒否してNACK信号を出力します。

また，ロック設定されていないユニットが，コントロール・ビット（4H, 5H）の要求を受けた場合も，NACK信号を出力します。

（6）電文長フィールド

電文長フィールドでは，送信側が受信側に対して送信データのバイト数（8ビット）とパリティ・ビットの送信，およびアクノリッジ・ビットの判定を行います。

表19－24　電文長ビットの内容

電文長ビット（16 進）	送信データ・バイト数
01H	1バイト
02H	2バイト
⋮	⋮
FFH	255バイト
00H	256バイト

電文長フィールドは，マスタ送信時（コントロール・ビットのビット3 が1）とマスタ受信時（コントロール・ビットのビット3が0）で異なります。

- マスタ送信時の電文長フィールド

　電文長ビットおよびパリティ・ビットは，マスタ・ユニットが出力し，スレーブ・ユニットが出力するACK信号を待ちます。ただし，同報通信時は，アクノリッジ・ビットの確認を行いません。スレーブ・ユニットがACK信号を出力しない（NACK信号出力）場合，待機状態となり，通信を終了します。

　電文長ビットは，IEBB0DLRレジスタまたはIEBB0TDLレジスタで設定します。

- マスタ受信時の電文長フィールド

　電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し，各ビットの同期信号はマスタ・ユニットが出力します。また，アクノリッジ・ビットはマスタ・ユニットが出力します。パリティ・ビットが正しくない（奇数）場合，マスタ・ユニットはACK信号を出力せず，通信を終了します。

　電文長ビットは，IEBB0DLRレジスタまたはIEBB0RDLレジスタで確認します。

（7）データ・フィールド

　データ・フィールドは，送信側が出力するデータ・ビットとパリティ・ビット，および受信側が出力するアクノリッジ・ビットの構成になります。

　同報通信時は，マスタ・ユニットの送信動作のみに使用してください。また，同報通信時は，アクノリッジ・ビットの確認を行いません。

　マスタ送信時とマスタ受信時の動作を次に示します。

- マスタ送信時のデータ・フィールド

　マスタ・ユニットがスレーブ・ユニットに対してデータ・ビット，パリティ・ビットを送信します。スレーブ・ユニットは，パリティ・ビットが正しく（偶数），かつIEBB0DRレジスタに受信データを格納できる場合，ACK信号を出力します。パリティ・ビットが正しくない（奇数）場合，またIEBB0DRレジスタに受信データを格納できない場合，データの受け付けを拒否して，NACK信号を出力します。この場合，マスタ・ユニットは同じデータの送信を行います。この動作は，ACK信号の検出，または最大伝送バイト数を超えるまで行います。ACK信号の検出後，データ送信が終了していない場合，かつ最大伝送バイト数を超えていない場合，マスタ・ユニットは次のデータを送信します。

　同報通信の場合，マスタ・ユニットはデータを1バイトごとに送信します。スレーブ・ユニットはパリティ・ビットが正しくない（奇数）場合，およびIEBB0DRレジスタに受信データを格納できない場合，受信を中止します。

- マスタ受信時のデータ・フィールド

　マスタ・ユニットは，スレーブ・ユニットに対するすべてのビットに対応する同期信号を出力し，スレーブ・ユニットは，データ・ビット，パリティ・ビットをマスタ・ユニットの同期信号に応じてバス上に出力します。マスタ・ユニットは，パリティ・ビットが正しく（偶数），かつIEBB0DRレジスタに受信データを格納できる場合，ACK信号を出力します。データ受信が終了していない場合，かつ最大伝送バイト数を超えていない場合，マスタ・ユニットは次のデータ受信動作を行います。パリティ・ビットが正しくない（奇数）場合，またIEBB0DRレジスタに受信データを格納できない場合，データの受け付けを拒否して，NACK信号を出力します。1通信フレームで送信できる最大伝送バイト数以内であれば，マスタ・ユニットはデータ読み込み動作を続けます。

　注意　同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できないため，正常なデータ転送を行うことができません。

（8）パリティ・ビット

パリティ・ビットは，伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは，マスタ・アドレス・ビット，スレーブ・アドレス・ビット，コントロール・ビット，電文長ビット，データ・ビットの各データに付加します。パリティは偶数パリティであり，伝送するデータの中で1のビット数が奇数のときパリティ・ビットは1になり，偶数のときパリティ・ビットは0になります。

（9）アクノリッジ・ビット

アクノリッジ・ビットは，個別通信時にデータが正しく受け付けられたかを確認するために使用します。

アクノリッジ・ビットは，スレーブ・アドレス・フィールド，コントロール・フィールド，電文長フィールド，データ・フィールド（1データ・ビットごと）の最後に付加します。アクノリッジ・ビットが0のときは，伝送データを認識したことを示します（$\overline{\text{ACK}}$信号）。1のときは伝送データを認識しなかったことを示します（NACK信号）。同報通信時はアクノリッジ・ビットを判断しません。

以下にアクノリッジ・ビットがNACK信号となる条件を示します。

- アクノリッジ・ビットがNACK信号となる条件（スレーブ・アドレス・フィールド）
  - ・ マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合
  - ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
  - ・ スレーブ・ユニットが存在しない場合

- アクノリッジ・ビットがNACK信号となる条件（コントロール・フィールド）
  - ・ コントロール・ビットのパリティが正しくない場合
  - ・ IEBB0BCRレジスタのIEBB0SRXEビットが0（スレーブ受信禁止）のときにコントロール・ビットのビット3が1（スレーブ・ユニットへの送信）の場合
  - ・ IEBB0BCRレジスタのIEBB0STXEビットが0（スレーブ送信禁止）のときにコントロール・ビットが3Hまたは7H（データ読み込み）の場合
  - ・ ロック状態でロック・マスタ以外のユニットからコントロール・ビットが3H, 6H, 7H, AH, BH, EH, FHの要求を受けた場合
  - ・ 非ロック状態でコントロール・ビットが4H, 5H（ロック・アドレスの読み込み）を要求された場合
  - ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
  - ・ コントロール・ビットが未定義の場合

- アクノリッジ・ビットがNACK信号となる条件（電文長フィールド）
  - ・ 電文長ビットのパリティが正しくない場合
  - ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合

- アクノリッジ・ビットがNACK信号となる条件（データ・フィールド）
  - ・ データ・ビットのパリティが正しくない場合
  - ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
  - ・ IEBB0DRレジスタに受信データを格納できない場合（オーバラン・エラー発生条件）

19.7.7　伝送データ

IEBusの伝送データを以下に説明します。

（1）スレーブ・ステータス

マスタ・ユニットは，スレーブ・ステータスを読み込むことで，スレーブ・ユニットがACK信号を返信しない理由を判断することができます。

スレーブ・ステータスは，スレーブ・ユニットが最後に行った通信結果に対して決定します。すべてのスレーブ・ユニットは，スレーブ・ステータスを提供することができます。

図19－57　スレーブ・ステータスの構成

MSB　　LSB

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

ビット	内　容
ビット0[注1]	0：IEBB0DRレジスタに送信データが書き込まれていない 1：IEBB0DRレジスタに送信データが書き込まれている
ビット1	0：IEBB0DRレジスタに受信データが格納されていない 1：IEBB0DRレジスタに受信データが格納されている
ビット2	0：ユニットがロック状態でない 1：ユニットがロック状態である
ビット3	0固定
ビット4[注2]	0：スレーブ送信停止 1：スレーブ送信動作可能
ビット5	0固定
ビット6	ユニットがサポートする最高位のモードを示します。[注3]
ビット7	00B：モード0，01B：モード1，10B：モード2，11B：未使用

注1.　リセット時，ビット0は1になります。

2.　IEBB0BCRレジスタのIEBB0STXEビットの状態を示します。

3.　IEBusコントローラ（IEBB）は，10B（モード2）になります。

（2）ロック・アドレス

ロック・アドレスの読み込み処理（コントロール・ビット：4H, 5H）は，ロックを発行したマスタ・ユニットのアドレス（12ビット）を次の構成で読み出します。

・ コントロール・ビット=4H：ロック・アドレスの下位8ビット

・ コントロール・ビット=5H：ロック・アドレスの上位4ビットを下位4ビットに格納。

上位4ビットは不定値

（3）データ

データ読み込み（コントロール・ビット：3H, 7H）は，スレーブ・ユニットのデータ・バッファのデータをマスタ・ユニットが読み込むときに使用します。

データ書き込み（コントロール・ビット：BH, FH）は，スレーブ・ユニットの動作規定に従い処理します。

（4）ロックの設定／解除

ロック機能は，メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロック状態のユニットは，ロック・マスタ以外のユニットからの受信処理を行いません（同報通信の受信も行いません）。なお，同報通信時は，ロックの設定／解除は行いません。

ロックの設定／解除について次に示します。

- ロックの設定

ロックの指定（コントロール・ビット：3H, AH, BH）を受けたスレーブ・ユニットは，電文長ビットで指定したデータ・バイト数分のデータの送受信を成功しないで通信フレームを終了したときにロックします。また，スレーブ・ステータスのビット2が1（ロック状態）になります。

- ロックの解除

ロックの指定（コントロール・ビット：3H, AH, BH）またはロックの解除（コントロール・ビット：6H）を受けたスレーブ・ユニットは，電文長ビットで指定したデータ・バイト数分のデータの送受信が成功して通信フレームを終了したときにロックを解除します。また，スレーブ・ステータスのビット2は0（非ロック状態）になります。

表19－25　ロック設定条件

コントロール・ビット	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H[注]	－	－	ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

注　コントロール・ビットが6H（スレーブ・ステータスの読み込みとロック解除）のフレーム終了とは，データ・フィールドのパリティ・ビットが正しくない（奇数）かつ自局からNACK信号出力を最大伝送バイト数分繰り返したときに発生します。

表19－26　ロック解除条件（ロック中）

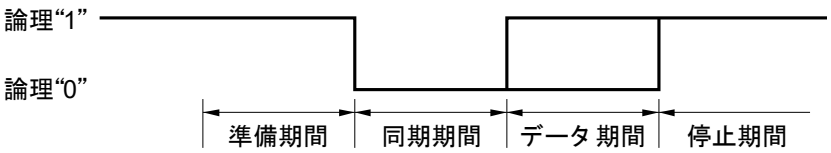
コントロール・ビット	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H[注]	－	－	ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

注　コントロール・ビットが6H（スレーブ・ステータスの読み込みとロック解除）のフレーム終了とは，データ・フィールドのパリティ・ビットが正しくない（奇数）かつ自局からNACK信号出力を最大伝送バイト数分繰り返したときに発生します。

19.7.8　ビット・フォーマット

IEBusの通信フレームを構成するビット・フォーマットを示します。

図19－58　IEBusのビット・フォーマット



準備期間　：最初のロウ・レベル期間（論理“1”）
同期期間　：次のハイ・レベル時間（論理“0”）
データ期間：ビットの値を表す期間
停止期間　：最後のロウ・レベル期間（論理“1”）

同期期間とデータ期間の長さは，ほぼ等しくなります。

IEBusは1ビットごとに同期をとります。また，ビット全体の時間と，そのビット中に割り当てられている期間に関する仕様は，伝送ビットの種類，マスタ／スレーブの違いにより異なります。また，マスタ・ユニット，スレーブ・ユニットは通信中，各期間（準備期間，同期期間，データ期間，停止期間）が所定の時間どおり出力されているかを検出しています。所定の時間どおりに出力されていない場合は，マスタ・ユニット，スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し，待機状態となります。

19.8　IEBB使用上の注意

19.8.1　IEBB0の動作クロック

IEBusコントローラ（IEBB0）の動作クロック（f_{MCK}）は，CPU／周辺ハードウエア・クロック（f_{CLK}）をIEBB0CKSレジスタで分周し，必ず8MHzを選択してください。また、IEBus通信モード（モード1，モード2）を実現するために以下に示す入力クロック仕様を満たすクロックを使用してください。

表19－27　IEBB0 入力クロックの仕様

項目	略号	条件	MIN.	TYP.	MAX.	単位
IEBus動作クロック	f_{MCK}	モード1（約18 kbps）	7.88	8.00	8.12	MHz
		モード2（約27 kbps）				

第20章　DTC

DTC（データ トランスファコントローラ）は，CPUを使わずにメモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し，データ転送します。DTCはCPUと同じデータバスを使用し，DTCのバス使用権はCPUよりも優先されます。

DTCのデータ転送を制御するコントロール・データ（転送元アドレス，転送先アドレス，動作モードなど）をDTCコントロール・データ領域上に配置します。DTCは起動するたびにコントロール・データを読み出し，データ転送します。DTCコントロール・データ領域は，DTCBARレジスタで設定されたRAM空間に配置されます。

高速転送は、専用のコントロール・データを持ち、RAM領域ではなくSFR領域に配置することによって実現します。

20.1　概要

表20－1にDTCの仕様を示します。

表20－1　DTCの仕様（1/2）

項目		仕様
起動要因		144ピン：最大52要因、100ピン：最大50要因
配置可能なコントロール・データ		24通り，高速転送は2通り
転送可能な アドレス空間	アドレス空間	64 Kバイト空間（F0000H～FFFFFH）ただし，汎用レジスタを除く
	ソース（注2）	1st SFR領域，RAM領域（汎用レジスタを除く），ミラー領域[注1]，データ・フラッシュ・メモリ領域[注1]，2nd SFR領域
	デスティネーション	1st SFR領域，RAM領域（汎用レジスタを除く），2nd SFR領域
最大転送回数	ノーマル・モード	256回
	リピート・モード	255回
最大転送 ブロックサイズ	ノーマル・モード （8ビット転送）	256バイト 高速転送は1バイト
	ノーマル・モード （16ビット転送）	512バイト 高速転送は2バイト
	リピート・モード	255バイト　高速転送は8ビット転送時1バイト、16ビット転送時2バイト
転送単位		8ビット/16ビット
転送モード	ノーマル・モード	DTCCTjレジスタ、HDTCCTmレジスタが1から0になる転送で終了する
	リピート・モード	DTCCTjレジスタ、HDTCCTmレジスタが1から0になる転送終了後、リピート・エリアのアドレスを初期化し、DTRLDjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマル・モード	固定，または加算
	リピート・モード	リピート・エリアでないアドレスを固定，または加算
起動要因優先度		「表20－5　DTC起動要因とDTCベクタ・アドレス」を参照
割り込み要求	ノーマル・モード	DTCCTjレジスタ、HDTCCTmレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピート・モード	DTCCRjレジスタのRPTINTビット、HDTCCRmレジスタのHRPTINTmビットが1（割り込み発生許可）のとき、DTCCTjレジスタ、HDTCCTmレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求を発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0～DTCENi7 ビットを1（起動許可）にすると，DTC起動要因が発生するたびにデータ転送を開始する

（注，備考は次のページにあります。）

表20－1 DTCの仕様（2/2）

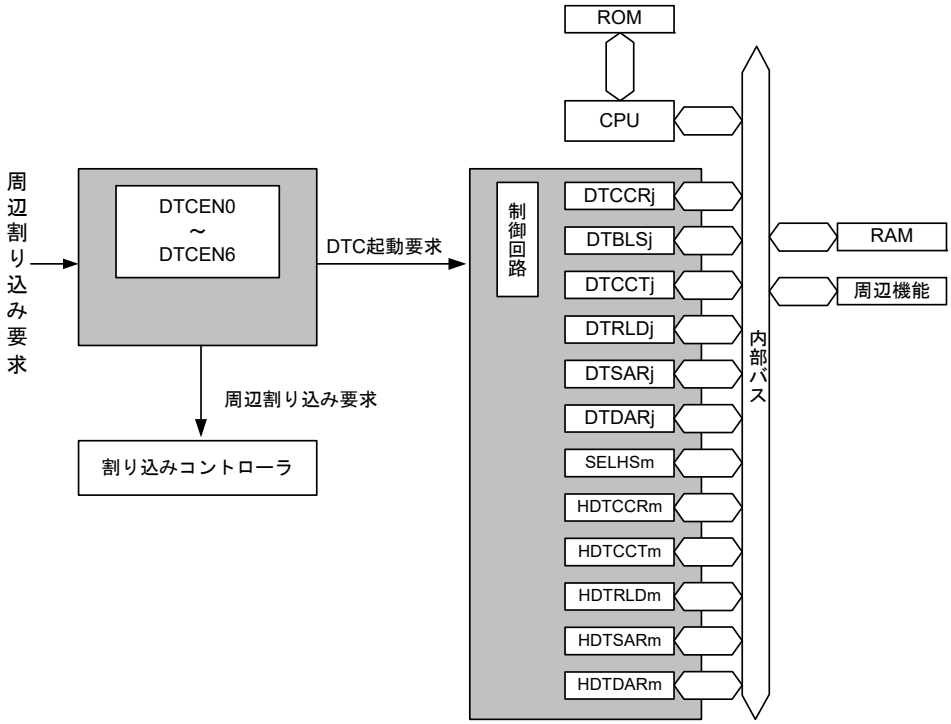
項目		仕様
転送停止	ノーマル・モード	・DTCENi0～DTCENi7ビットを0（起動禁止）にする ・DTCCTjレジスタ，HDTCCTmレジスタが1から0になるデータ転送が終了したとき
	リピート・モード	・DTCENi0～DTCENi7ビットを0（起動禁止）にする ・RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタ、HDTCCTmレジスタが1から0になるデータ転送が終了したとき
スタンバイモード時の動作	HALT状態	DTC動作
	SNOOZE状態	DTC動作
	STOP状態	DTC停止

注1. HALT、STOPおよびSNOOZEモードでは，フラッシュ・メモリが停止しているため，DTC転送のソースにできません。

2. 高速転送は1st SFR領域と2nd SFR領域のみです。

備考 i = 0～6、j = 0～23、m = 0, 1。

図20－1 DTCのブロック図



備考 j = 0～23, m = 0, 1

DTCCRj：DTC制御レジスタj
DTBLSj：DTCブロック・サイズ・レジスタj
DTCCTj：DTC転送回数レジスタj
DTRLDj：DTC転送回数リロード・レジスタj
DTSARj：DTCソース・アドレス・レジスタj
DTDARj：DTCデスティネーション・アドレス・レジスタj
DTCEN0～DTCEN6：DTC起動許可レジスタ0～DTC起動許可レジスタ6
SELHSm：高速DTCチャネル選択レジスタm
HDTCCRm：高速DTC制御レジスタm
HDTCCTm：高速DTC転送回数レジスタm
HDTRLDm：高速DTC転送回数リロード・レジスタm
HDTSARm：高速DTCソース・アドレス・レジスタm
HDTDARm：高速DTCデスティネーション・アドレス・レジスタm

20.2 レジスタの説明

表20－2，表20－4にDTCのレジスタ構成を示します。

表20－2 DTCのレジスタ構成（1）

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
周辺イネーブル・レジスタ1	PER1	00H	F02C0H	1, 8
DTC起動許可レジスタ0	DTCEN0	00H	F02E8H	1, 8
DTC起動許可レジスタ1	DTCEN1	00H	F02E9H	1, 8
DTC起動許可レジスタ2	DTCEN2	00H	F02EAH	1, 8
DTC起動許可レジスタ3	DTCEN3	00H	F02EBH	1, 8
DTC起動許可レジスタ4	DTCEN4	00H	F02ECH	1, 8
DTC起動許可レジスタ5	DTCEN5	00H	F02EDH	1, 8
DTC起動許可レジスタ6	DTCEN6	00H	F02EEH	1, 8
DTCベース・アドレス・レジスタ	DTCBAR	FDH	F02E0H	8

表20－3にDTCのコントロール・データを示します。

DTCのコントロール・データはRAMのDTCコントロール・データ領域に配置されます。

DTCBARレジスタでDTCコントロール・データ領域と，コントロール・データの先頭番地を格納するDTCベクタ・テーブル領域を含めた256バイトの領域を設定します。

表20－3 DTCのコントロール・データ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロック・サイズ・レジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロード・レジスタj	DTRLDj
DTCソース・アドレス・レジスタj	DTSARj
DTCデスティネーション・アドレス・レジスタj	DTDARj

備考 j ＝ 0～23

表20－4 DTCのレジスタ構成（2）

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
高速DTCチャネル選択レジスタ0	SELHS0	3FH	F02E1H	1, 8
高速DTCチャネル選択レジスタ1	SELHS1	3FH	F02E2H	1, 8
高速DTC制御レジスタ0	HDTCCR0	00H	F02D0H	1, 8
高速DTC転送回数レジスタ0	HDTCCT0	00H	F02D2H	1, 8
高速DTC転送回数リロード・レジスタ0	HDTRLD0	00H	F02D3H	1, 8
高速DTCソース・アドレス・レジスタ0	HDTSAR0	00H	F02D4H, F02D5H	16
高速DTCデスティネーション・アドレス・レジスタ0	HDTDAR0	00H	F02D6H, F02D7H	16
高速DTC制御レジスタ1	HDTCCR1	00H	F02D8H	1, 8
高速DTC転送回数レジスタ1	HDTCCT1	00H	F02DAH	1, 8
高速DTC転送回数リロード・レジスタ1	HDTRLD1	00H	F02DBH	1, 8
高速DTCソース・アドレス・レジスタ1	HDTSAR1	00H	F02DCH, F02DDH	16
高速DTCデスティネーション・アドレス・レジスタ1	HDTDAR1	00H	F02DEH, F02DFH	16

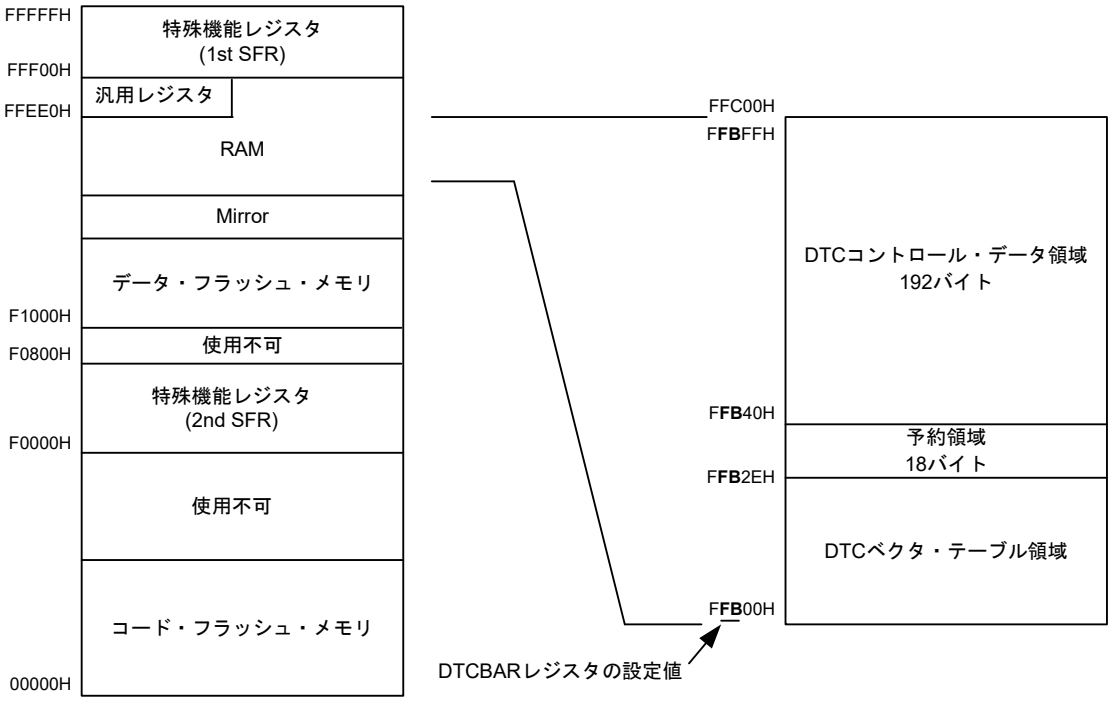
20.2.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCBARレジスタで，DTCのコントロール・データとベクタ・テーブルを配置する256バイトの領域をRAM領域内に設定します。

図20－2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロール・データ領域192バイトのうち，DTCで使用しない空間はRAMとして使用できます。

図20－2 DTCBARレジスタにFBHを設定したときのメモリ・マップ例



DTCコントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

注意1. 汎用レジスタ（FFF00H-FFEE0H）の空間は，DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。

2. DTCベクタ・テーブル領域とDTCコントロール・データ領域の間の18バイトは、DTC起動要因数を拡張した場合に使用する予約領域です。

3. 次に示す製品の内部RAM領域は，セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。

   R5F113mL (m = G, L, M, P, T)：F7F00H-F82FFH

4. 次に示す製品の内部RAM領域は，オンチップ・デバッキングのトレース機能使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。

   R5F113mL (m = G, L, M, P, T)：F8300H-F84FFH

5. 次に示す製品の内部RAM領域は、ホット・プラグインまたはDTC方式RRM/DMMを使用時にDTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。

   R5F113mL (m = G, L, M, P, T)：F8500H-F852FH

20.2.2 DTCコントロール・データの配置

コントロール・データは先頭アドレスから，DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj（j = 0～23）レジスタの順に配置します。

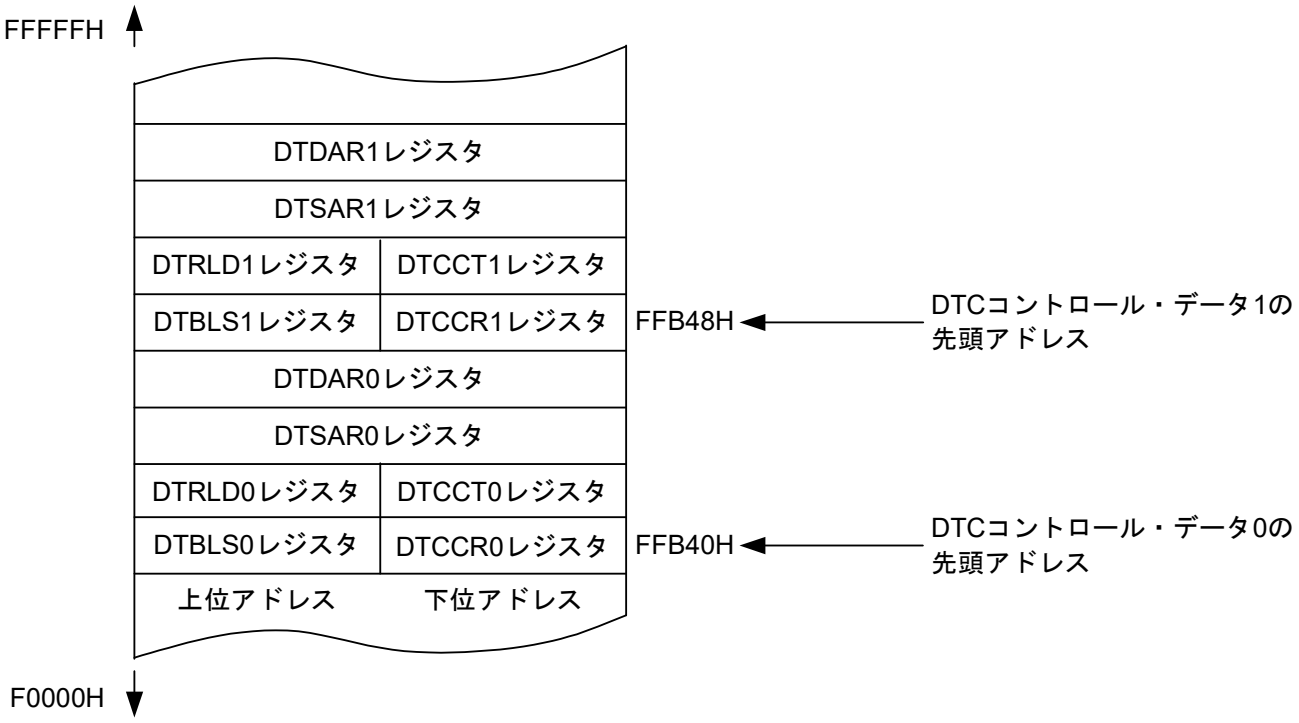
先頭アドレス0～23の上位8ビットはDTCBARレジスタで設定し，下位8ビットは起動要因ごとに割り当てられているベクタ・テーブルでそれぞれ設定します。

図20－3にDTCBARレジスタにFBHを設定したときのDTCコントロール・データ配置例を示します。

注意事項

- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi（i = 0～6）のDTCENi0～DTCENi7ビットが0（DTC起動禁止）のときに変更してください。
- DTC 転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図20－3 DTCコントロール・データの配置例



20.2.3 DTCベクタ・テーブル

DTCが起動すると，起動要因ごとに割り当てられているベクタ・テーブルから読み出したデータによりコントロール・データを決定し，DTCコントロール・データ領域上に配置されたコントロール・データを読み出します。

表20－5にDTC起動要因とDTCベクタ・アドレスを示します。起動要因ごとにDTCベクタ・テーブルが1バイトあり，DTCコントロール・データの先頭アドレス下位8ビットを格納し、24組から１つを選択します。DTCベクタ・アドレスの上位8ビットはDTCBARレジスタで設定し，下位8ビットはDTC起動要因に対応して00Hから2DHまでが割り当てられます。

注意事項

- ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は，対応するDTCENi（i = 0～6）レジスタのDTCENi0～DTCENi7ビットが0（DTC起動禁止）のときに変更してください。

表20－5 DTC起動要因とDTCベクタ・アドレス（1/2）

割り込み要因発生元	要因番号	DTCベクタ・アドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス+00H	高 ▲
INTP0	1	DTCBARレジスタの設定アドレス+01H	
INTP1	2	DTCBARレジスタの設定アドレス+02H	
INTP2	3	DTCBARレジスタの設定アドレス+03H	
INTP3	4	DTCBARレジスタの設定アドレス+04H	
INTP4	5	DTCBARレジスタの設定アドレス+05H	
INTP5	6	DTCBARレジスタの設定アドレス+06H	
INTP6	7	DTCBARレジスタの設定アドレス+07H	
キー入力	8	DTCBARレジスタの設定アドレス+08H	
A/D変換終了	9	DTCBARレジスタの設定アドレス+09H	
UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	10	DTCBARレジスタの設定アドレス+0AH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	11	DTCBARレジスタの設定アドレス+0BH	
UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	12	DTCBARレジスタの設定アドレス+0CH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	13	DTCBARレジスタの設定アドレス+0DH	
LIN0の受信完了	14	DTCBARレジスタの設定アドレス+0EH	
LIN0の送信開始または送信完了	15	DTCBARレジスタの設定アドレス+0FH	
CAN0の受信完了	16	DTCBARレジスタの設定アドレス+10H	
CAN1の受信完了	17	DTCBARレジスタの設定アドレス+11H	
タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	18	DTCBARレジスタの設定アドレス+12H	
タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	19	DTCBARレジスタの設定アドレス+13H	
タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	20	DTCBARレジスタの設定アドレス+14H	
タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	21	DTCBARレジスタの設定アドレス+15H	

表20－5 DTC起動要因とDTCベクタ・アドレス（2/2）

割り込み要因発生元	要因番号	DTCベクタ・アドレス	優先順位
タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	22	DTCBARレジスタの設定アドレス+16H	
タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了	23	DTCBARレジスタの設定アドレス+17H	
タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了	24	DTCBARレジスタの設定アドレス+18H	
タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了	25	DTCBARレジスタの設定アドレス+19H	
タイマRDコンペアー致A0	26	DTCBARレジスタの設定アドレス+1AH	
タイマRDコンペアー致B0	27	DTCBARレジスタの設定アドレス+1BH	
タイマRDコンペアー致C0	28	DTCBARレジスタの設定アドレス+1CH	
タイマRDコンペアー致D0	29	DTCBARレジスタの設定アドレス+1DH	
タイマRDコンペアー致A1	30	DTCBARレジスタの設定アドレス+1EH	
タイマRDコンペアー致B1	31	DTCBARレジスタの設定アドレス+1FH	
タイマRDコンペアー致C1	32	DTCBARレジスタの設定アドレス+20H	
タイマRDコンペアー致D1	33	DTCBARレジスタの設定アドレス+21H	
タイマRJ0	34	DTCBARレジスタの設定アドレス+22H	
コンパレータ検出0	35	DTCBARレジスタの設定アドレス+23H	
タイマ・アレイ・ユニット1のチャネル0のカウント完了またはキャプチャ完了	36	DTCBARレジスタの設定アドレス+24H	
タイマ・アレイ・ユニット1のチャネル1のカウント完了またはキャプチャ完了	37	DTCBARレジスタの設定アドレス+25H	
タイマ・アレイ・ユニット1のチャネル2のカウント完了またはキャプチャ完了	38	DTCBARレジスタの設定アドレス+26H	
タイマ・アレイ・ユニット1のチャネル3のカウント完了またはキャプチャ完了	39	DTCBARレジスタの設定アドレス+27H	
LIN1の受信完了	40	DTCBARレジスタの設定アドレス+28H	
LIN1の送信開始または送信完了	41	DTCBARレジスタの設定アドレス+29H	
タイマ・アレイ・ユニット1のチャネル4のカウント完了またはキャプチャ完了	42	DTCBARレジスタの設定アドレス+2AH	
タイマ・アレイ・ユニット1のチャネル5のカウント完了またはキャプチャ完了	43	DTCBARレジスタの設定アドレス+2BH	
タイマ・アレイ・ユニット1のチャネル6のカウント完了またはキャプチャ完了	44	DTCBARレジスタの設定アドレス+2CH	
タイマ・アレイ・ユニット1のチャネル7のカウント完了またはキャプチャ完了	45	DTCBARレジスタの設定アドレス+2DH	
LIN2の受信完了	46	DTCBARレジスタの設定アドレス+2EH	
LIN2の受信開始または送信完了	47	DTCBARレジスタの設定アドレス+2FH	
UART2受信の転送完了/CSI21の転送完了またはバッファ空き	48	DTCBARレジスタの設定アドレス+30H	
UART2受信の転送完了/CSI20の転送完了またはバッファ空き	49	DTCBARレジスタの設定アドレス+31H	
IEBusのデータ割り込み	50	DTCBARレジスタの設定アドレス+32H	
INTP14	51	DTCBARレジスタの設定アドレス+33H	
INTP15	52	DTCBARレジスタの設定アドレス+34H	低

20.2.4 周辺イネーブル・レジスタ1（PER1）

PER1レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

DTCを使用する場合は，必ずビット3（DTCEN）を1に設定してください。

PER1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，00Hになります。

図20－4 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス：F02C0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	0	CMPEN	TRD0EN注1	DTCEN	TAU2EN注2	SAU2EN注3	TRJ0EN

DACEN	D/Aコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入力クロック供給 ・D/Aコンバータで使用するSFRへのリード／ライト可

CMPEN	コンパレータの入力クロック供給の制御
0	入力クロック供給停止 ・コンパレータで使用するSFRへのライト不可 ・コンパレータはリセット状態
1	入力クロック供給 ・コンパレータで使用するSFRへのリード／ライト可

TRD0EN注1	タイマRDの入力クロック供給の制御
0	入力クロック供給停止 ・タイマRDで使用するSFRへのライト不可 ・タイマRDはリセット状態
1	入力クロック供給 ・タイマRDで使用するSFRへのリード／ライト可

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 ・DTCは動作不可
1	入力クロック供給 ・DTCは動作可

TAU2EN注2	タイマ・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット2で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット2はリセット状態

TAU2EN[注2]	タイマ・アレイ・ユニット2の入力クロック供給の制御
1	入力クロック供給 ・タイマ・アレイ・ユニット2で使用するSFRへのリード／ライト可

SAU2EN[注3]	シリアル・アレイ・ユニット2の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット2で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット2はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット2で使用するSFRへのリード／ライト可

TRJ0EN	タイマRJの入力クロック供給の制御
0	入力クロック供給停止 ・タイマRJで使用するSFRへのライト不可 ・タイマRJはリセット状態
1	入力クロック供給 ・タイマRJで使用するSFRへのリード／ライト可

注1. ユーザ・オプション・バイト（000C2H/020C2H）のビット4（FRQSEL4）が1のときは、TRD0ENビットをセットする前にCPU／周辺ハードウェア・クロック（f_{CLK}）をf_{IH}（高速オンチップ・オシレータ・クロック）にしてください。f_{CLK}をf_{IH}以外のクロックに変更するときは、TRD0ENビットをクリアしたあとに変更してください。

2. 144ピン版の製品のみ。144ピン版以外は0を設定してください。

3. 144ピン、100ピン版の製品のみ。144ピン、100ピン版以外は0を設定してください。

注意 ビット6は必ず0を設定してください。

20.2.5 DTC起動許可レジスタi（DTCENi）（i = 0～6）

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表20－6に割り込み要因とDTCENi0～DTCENi7ビットの対応を示します。

DTCENiレジスタは8ビット・メモリ操作命令，および1ビット・メモリ操作命令で設定してください。

注意事項

- DTCENi0～DTCENi7ビットは，そのビットに対応する起動要因が発生しない箇所で変更してください。
- DTC転送でDTCENiレジスタをアクセスしないでください。

図20－5 DTC起動許可レジスタi（DTCENi）（i = 0～6）のフォーマット

アドレス：F02E8H(DTCEN0), F02E9H(DTCEN1), F02EAH(DTCEN2),F02EBH(DTCEN3), F02ECH(DTCEN4), F02EDH(DTCEN5), F02EEH(DTCEN6)　　リセット時：00H

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi7	DTC起動許可i7	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi7ビットは0（起動禁止）になります。		

DTCENi6	DTC起動許可i6	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi6ビットは0（起動禁止）になります。		

DTCENi5	DTC起動許可i5	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi5ビットは0（起動禁止）になります。		

DTCENi4	DTC起動許可i4	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi4ビットは0（起動禁止）になります。		

DTCENi3	DTC起動許可i3	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi3ビットは0（起動禁止）になります。		

DTCENi2	DTC起動許可i2	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi2ビットは0（起動禁止）になります。		

DTCENi1	DTC起動許可i1	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi1ビットは0（起動禁止）になります。		

DTCENi0	DTC起動許可i0	R/W
0	起動禁止	R/W
1	起動許可	
転送完了割り込みが発生する条件でDTCENi0ビットは0（起動禁止）になります。		

表20－6 割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7ビット	DTCENi6ビット	DTCENi5ビット	DTCENi4ビット	DTCENi3ビット	DTCENi2ビット	DTCENi1ビット	DTCENi0ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	キー入力	A/D変換終了	UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	LIN0の受信完了	LIN0の送信開始または送信完了
DTCEN2	CAN0の受信完了	CAN1の受信完了	タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了
DTCEN3	タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了	タイマRDコンペアー致A0	タイマRDコンペアー致B0	タイマRDコンペアー致C0	タイマRDコンペアー致D0	タイマRDコンペアー致A1	タイマRDコンペアー致B1
DTCEN4	タイマRDコンペアー致C1	タイマRDコンペアー致D1	タイマRJ0	コンパレータ検出0	タイマ・アレイ・ユニット1のチャネル0のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル1のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル3のカウント完了またはキャプチャ完了
DTCEN5	LIN1の受信完了	LIN1の送信開始、または送信完了	タイマ・アレイ・ユニット1のチャネル4のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル5のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル6のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット1のチャネル7のカウント完了またはキャプチャ完了	LIN2の受信完了	LIN2の送信開始または送信完了
DTCEN6	UART2受信の転送完了/CSI21の転送完了またはバッファ空き	UART2送信の転送完了/CSI20の転送完了またはバッファ空き	IEBusのデータ割り込み	INTP14	INTP15	予約	予約	予約

備考 i = 0～6

注意1. 144ピン製品のDTCEN6レジスタのビット0～2は予約ビットです。これらのビットに書き込む場合は0を書いてください。読み出し値は0になります。

2. 100ピン製品のDTCEN6レジスタのビット0～4は予約ビットです。これらのビットに書き込む場合は0を書いてください。読み出し値は0になります。

3. 80, 64, 48ピン製品のDTCEN6レジスタのビット0～4, 6, 7は予約ビットです。これらのビットに書き込む場合は0を書いてください。読み出し値は0になります。

20.2.6 DTCベース・アドレス・レジスタ（DTCBAR）

DTCコントロール・データ領域の先頭番地を格納するベクタ・アドレスと，DTCコントロール・データ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

注意1. DTCBARレジスタは，すべてのDTC起動要因を起動禁止に設定した状態で変更してください。

2. DTCBARレジスタを2回以上書き換えないでください。
3. DTC転送でDTCBARレジスタをアクセスしないでください。
4. DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置については，「20.2.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置」を参照してください。

図20－6 DTCベース・アドレス・レジスタ（DTCBAR）のフォーマット

アドレス：F02E0H リセット時：FDH

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

20.2.7 DTC制御レジスタj（DTCCRj）（j = 0～23）

DTCCRjレジスタは，DTCの動作モードを制御します。

図20－7 DTC制御レジスタj（DTCCRj）のフォーマット

アドレス：「20.2.2 DTCコントロール・データの配置」を参照 リセット時：不定

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

ビット7	予約ビット	R/W
0	0にしてください	R/W

SZ	データ・サイズの選択	R/W
0	8ビット	R/W
1	16ビット	

RPTINT	リピート・モード割り込みの許可・禁止	R/W
0	割り込み発生禁止	R/W
1	割り込み発生許可	
MODEビットが0（ノーマル・モード）のときRPTINT ビットの設定は無効です。		

CHNE	チェイン転送の許可・禁止	R/W
0	チェイン転送禁止	R/W
1	チェイン転送許可	
DTCCR23レジスタのCHNEビットは0（チェイン転送禁止）にしてください。		

DAMOD	転送先アドレスの制御	R/W
0	固定	R/W
1	加算	
MODEビットが1（リピート・モード）でRPTSELビットが0（転送先がリピート・エリア）のとき DAMODビットの設定は無効です。		

SAMOD	転送元アドレスの制御	R/W
0	固定	R/W
1	加算	
MODEビットが1（リピート・モード）でRPTSELビットが1（転送元がリピート・エリア）のとき SAMODビットの設定は無効です。		

RPTSEL	リピート・エリアの選択	R/W
0	転送先がリピート・エリア	R/W
1	転送元がリピート・エリア	
MODEビットが0（ノーマル・モード）のときRPTSELビットの設定は無効です。		

MODE	転送モードの選択	R/W
0	ノーマル・モード	R/W
1	リピート・モード	

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

20.2.8 DTCブロック・サイズ・レジスタj（DTBLSj）（j = 0～23）

1回の起動で転送されるデータのブロック・サイズを設定します。

図20－8 DTCブロック・サイズ・レジスタj（DTBLSj）のフォーマット

アドレス：「20.2.2 DTCコントロール・データの配置」を参照 リセット時：不定

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロック・サイズ		R/W
	8ビット転送	16ビット転送	
00H	256 バイト	512 バイト	R/W
01H	1バイト	2バイト	
02H	2バイト	4バイト	
03H	3バイト	6バイト	
・ ・ ・	・ ・ ・	・ ・ ・	
FDH	253 バイト	506 バイト	
FEH	254 バイト	508 バイト	
FFH	255 バイト	510 バイト	

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

20.2.9 DTC転送回数レジスタj（DTCCTj）（j = 0～23）

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図20－9 DTC転送回数レジスタj（DTCCTj）のフォーマット

アドレス：「20.2.2 DTCコントロール・データの配置」を参照 リセット時：不定

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数	R/W
00H	256回	R/W
01H	1回	
02H	2回	
03H	3回	
・ ・ ・	・ ・ ・	
FDH	253 回	
FEH	254 回	
FFH	255 回	

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

20.2.10 DTC転送回数リロード・レジスタj（DTRLDj）（j = 0～23）

リピート・モードで転送回数レジスタの初期値を設定します。リピート・モード時は，本レジスタの値がDTCCTレジスタにリロードされますので，DTCCTレジスタの初期値と同じ値を設定してください。

図20－10 DTC転送回数リロード・レジスタj（DTRLDj）のフォーマット

アドレス：「20.2.2 DTCコントロール・データの配置」を参照 リセット時：不定

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

20.2.11 DTCソース・アドレス・レジスタj（DTSARj）（j = 0～23）

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1（16ビット転送）のとき，最下位ビットは無視され，偶数番地として扱われます。

図20－11 DTCソース・アドレス・レジスタj（DTSARj）のフォーマット

アドレス：「20.2.2 DTCコントロール・データの配置」を参照 リセット時：不定

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS ARj15	DTS ARj14	DTS ARj13	DTS ARj12	DTS ARj11	DTS ARj10	DTS ARj9	DTS ARj8	DTS ARj7	DTS ARj6	DTS ARj5	DTS ARj4	DTS ARj3	DTS ARj2	DTS ARj1	DTS ARj0

注意1. 転送元アドレスに汎用レジスタ（FFEE0H～FFEFFH）空間を設定しないでください。

2. DTC転送でDTSARjレジスタをアクセスしないでください。

20.2.12 DTCデスティネーション・アドレス・レジスタj（DTDARj）（j = 0～23）

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1（16ビット転送）のとき，最下位ビットは無視され，偶数番地として扱われます。

図20－12 DTCデスティネーション・アドレス・レジスタj（DTDARj）のフォーマット

アドレス：「20.2.2 DTCコントロール・データの配置」を参照 リセット時：不定

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD ARj15	DTD ARj14	DTD ARj13	DTD ARj12	DTD ARj11	DTD ARj10	DTD ARj9	DTD ARj8	DTD ARj7	DTD ARj6	DTD ARj5	DTD ARj4	DTD ARj3	DTD ARj2	DTD ARj1	DTD ARj0

注意1. 転送先アドレスに汎用レジスタ（FFEE0H～FFEFFH）空間を設定しないでください。

2. DTC転送でDTDARjレジスタをアクセスしないでください。

20.2.13 高速DTCチャネル選択レジスタ0（SELHS0）

高速DTCのチャネルを選択する8ビットレジスタです。

図20－13 高速DTCチャネル選択レジスタ0（SELHS0）のフォーマット

略号	7	6	5	4	3	2	1	0
SELHS0	0	0	SELHS05	SELHS04	SELHS03	SELHS02	SELHS01	SELHS00

ワード操作不可。バイト操作可。ビット操作可。

リセット値：3FH

アドレス：F02E1H

下記に起動要因とSELHS0i（i = 0～5）ビットの対応を示します。

SELHS05～00						機能
0	0	0	0	0	0	起動要因の要因番号0を高速チャネル0に選択
0	0	0	0	0	1	起動要因の要因番号1を高速チャネル0に選択
0	0	0	0	1	0	起動要因の要因番号2を高速チャネル0に選択
・ ・ ・						・ ・ ・
1	1	0	0	1	0	起動要因の要因番号50を高速チャネル0に選択
1	1	0	0	1	1	起動要因の要因番号51を高速チャネル0に選択[注]
1	1	0	1	0	0	起動要因の要因番号52を高速チャネル0に選択[注]
1	1	1	1	1	1	高速チャネル0を使用しない
上記以外						設定禁止

注 144ピン製品のみ。

注意 ・SELHS0のデータは対応するDTCENi（i = 0～6）のDTCENi0～7ビットが0（DTC起動禁止）のときに変更してください。

・DTC転送でSELHS0をアクセスしないでください。

20.2.14 高速DTCチャネル選択レジスタ1（SELHS1）

高速DTCのチャネルを選択する8ビットレジスタです。

図20－14 高速DTCチャネル選択レジスタ1（SELHS1）のフォーマット

略号	7	6	5	4	3	2	1	0
SELHS1	0	0	SELHS15	SELHS14	SELHS13	SELHS12	SELHS11	SELHS10

ワード操作不可。バイト操作可。ビット操作可。

リセット値：3FH

アドレス：F02E2H

下記に起動要因とSELHS1i（i = 0～5）ビットの対応を示します。

SELHS15～10						機能
0	0	0	0	0	0	起動要因の要因番号0を高速チャネル1に選択
0	0	0	0	0	1	起動要因の要因番号1を高速チャネル1に選択
0	0	0	0	1	0	起動要因の要因番号2を高速チャネル1に選択
・ ・ ・						・ ・ ・
1	1	0	0	1	0	起動要因の要因番号50を高速チャネル1に選択
1	1	0	0	1	1	起動要因の要因番号51を高速チャネル1に選択[注]
1	1	0	1	0	0	起動要因の要因番号52を高速チャネル1に選択[注]
1	1	1	1	1	1	高速チャネル1を使用しない
上記以外						設定禁止

注 144ピン製品のみ。

注意 ・SELHS1のデータは対応するDTCENi（i = 0～6）のDTCENi0～7ビットが0（DTC起動禁止）のときに変更してください。

・DTC転送でSELHS1をアクセスしないでください。

20.2.15 高速DTC制御レジスタm（HDTCCR0/1）（m = 0, 1）

HDTCCRmレジスタは，DTCの高速転送動作モードを制御します。

図20－15 高速DTC制御レジスタm（HDTCCRm）のフォーマット

アドレス：F02D0H (HDTCCR0), F02D8H (HDTCCR1)　リセット時：00H

略号	7	6	5	4	3	2	1	0
HDTCCRm	0	HSZm	HRPTINTm	HCHNEm	HDAMODm	HSAMODm	HRPTSELm	HMODEm

ビット7	予約ビット	R/W
0	0にしてください	R/W

HSZm	データ・サイズの選択	R/W
0	8ビット	R/W
1	16ビット	

HRPTINTm	リピート・モード割り込みの許可・禁止	R/W
0	割り込み発生禁止	R/W
1	割り込み発生許可	
HMODEmビットが0（ノーマル・モード）のときHRPTINTmビットの設定は無効です		

HCHNEm	チェイン転送の許可・禁止	R/W
0	チェイン転送禁止	R/W
1	チェイン転送許可	
DTCCR23レジスタのCHNEビットは0（チェイン転送禁止）にしてください。 SELHSmレジスタで起動要因の要因番号を最大にした場合，HCHNEmビットは0（チェイン転送禁止）にしてください。		

HDAMODm	転送先アドレスの制御	R/W
0	固定	R/W
1	加算	
HMODEmビットが1（リピート・モード）でHRPTSELmビットが0（転送先がリピート・エリア）のときHDAMODmビットの設定は無効です。		

HSAMODm	転送元アドレスの制御	R/W
0	固定	R/W
1	加算	
HMODEmビットが1（リピート・モード）でHRPTSELmビットが1（転送元がリピート・エリア）のときHSAMODmビットの設定は無効です		

HRPTSELm	リピート・エリアの選択	R/W
0	転送先がリピート・エリア	R/W
1	転送元がリピート・エリア	
HMODEmビットが0（ノーマル・モード）のときHRPTSELmビットの設定は無効です。		

HMODEm	転送モードの選択	R/W
0	ノーマル・モード	R/W
1	リピート・モード	

注意　高速DTC転送でHDTCCRmレジスタをアクセスしないでください。

20.2.16 高速DTC転送回数レジスタm（HDTCCT0/1）（m = 0, 1）

DTCの高速データ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図20－16 高速DTC転送回数レジスタm（HDTCCTm）のフォーマット

アドレス：F02D2H (HDTCCT0), F02DAH (HDTCCT1) リセット時：00H

略号	7	6	5	4	3	2	1	0
HDTCCTm	HDTCCTm7	HDTCCTm6	HDTCCTm5	HDTCCTm4	HDTCCTm3	HDTCCTm2	HDTCCTm1	HDTCCTm0

HDTCCTm	転送回数	R/W
00H	256回	R/W
01H	1回	
02H	2回	
03H	3回	
・ ・ ・	・ ・ ・	
FDH	253 回	
FEH	254 回	
FFH	255 回	

注意 高速DTC転送でHDTCCTmレジスタをアクセスしないでください。

20.2.17 高速DTC転送回数リロード・レジスタm（HDTRLD0/1）（m = 0, 1）

リピート・モードで転送回数レジスタの初期値を設定します。リピート・モード時は，本レジスタの値がHDTCCTmレジスタにリロードされますので，HDTCCTmレジスタの初期値と同じ値を設定してください。

図20－17 高速DTC転送回数リロード・レジスタm（HDTRLDm）のフォーマット

アドレス：F02D3H (HDTRLD0), F02DBH (HDTRLD1) リセット時：00H

略号	7	6	5	4	3	2	1	0
HDTRLDm	HDTRLDm7	HDTRLDm6	HDTRLDm5	HDTRLDm4	HDTRLDm3	HDTRLDm2	HDTRLDm1	HDTRLDm0

注意 高速DTC転送でHDTRLDmレジスタをアクセスしないでください。

20.2.18 高速DTCソース・アドレス・レジスタm（HDTSAR0/1）（m = 0, 1）

高速転送のソース指定可能なアドレス空間は、1st SFR領域、2nd SFR領域のみです。

高速DTCソース・アドレス・レジスタm (HDTSARm) は、下位12ビットのアドレスを設定してください。

上位4ビットをリード時は0となります。

図20－18 高速DTCソース・アドレス・レジスタm（HDTSARm）のフォーマット

アドレス：F02D4H, F02D5H (HDTSAR0), F02DCH, F02DDH (HDTSAR1) リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HDTSARm	0	0	0	0	HDTSARm11	HDTSARm10	HDTSARm9	HDTSARm8	HDTSARm7	HDTSARm6	HDTSARm5	HDTSARm4	HDTSARm3	HDTSARm2	HDTSARm1	HDTSARm0

注意1. 転送元アドレスに汎用レジスタ（FFEE0H～FFEFFH）空間を設定しないでください。

2. 高速DTC転送でHDTSARmレジスタをアクセスしないでください。

20.2.19 高速DTCデスティネーション・アドレス・レジスタm（HDTDAR0/1）（m = 0, 1）

データ転送時の転送先アドレスを指定します。

図20－19 高速DTCデスティネーション・アドレス・レジスタm（HDTDARm）のフォーマット

アドレス：F02D6H, F02D7H (HDTDAR0), F02DEH, F02DFH (HDTDAR1) リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HDTDARm	HDTDARm15	HDTDARm14	HDTDARm13	HDTDARm12	HDTDARm11	HDTDARm10	HDTDARm9	HDTDARm8	HDTDARm7	HDTDARm6	HDTDARm5	HDTDARm4	HDTDARm3	HDTDARm2	HDTDARm1	HDTDARm0

注意1. 転送先アドレスに汎用レジスタ（FFEE0H～FFEFFH）空間を設定しないでください。

2. 高速DTC転送でHDTDARmレジスタをアクセスしないでください。

20.3 動作説明

DTCが起動すると，DTCコントロール・データ領域からコントロール・データを読み出し，このコントロール・データに従ってデータ転送を行い，データ転送後のコントロール・データをDTCコントロール・データ領域へ書き戻します。24組のコントロール・データをDTCコントロール領域へ格納でき，24通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり，転送サイズは8ビット転送と16ビット転送があります。また，DTCCRj（j = 0〜23）レジスタのCHNEビットが1（チェイン転送許可）のとき，１つの起動要因に対して複数のコントロール・データを読み出し，連続してデータを転送します（チェイン転送）。

転送元アドレスは16ビット長のDTSARjレジスタ，転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは，データ転送後，コントロール・データに従って加算されるか固定されます。

また、本製品では、高速転送動作が可能です。高速転送は、専用のコントロール・データを持ち、RAM領域ではなくSFR領域に配置することによって実現します。基本動作はベクタ読み出しとコントロール・データ読み出しで5サイクル必要でしたが、高速転送では1サイクルです。またコントロール・データの書き戻しは最大3サイクル必要でしたが、高速転送では1サイクルです。

20.3.1 起動要因

DTCは，周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は，DTCENi（i = 0～6）レジスタで選択します。

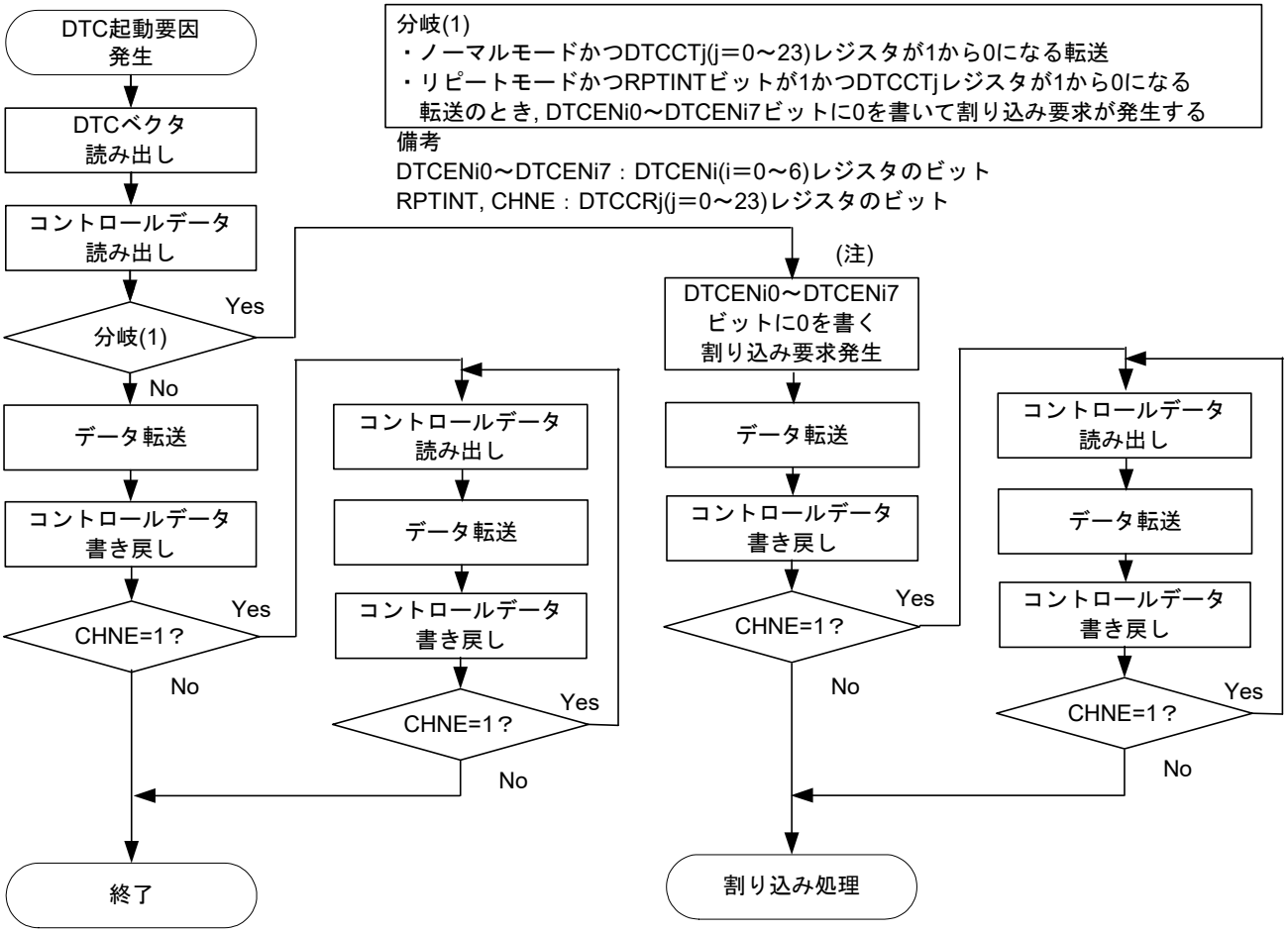
データ転送（チェイン転送の場合，連続して行う最初の転送）の設定が，

・ノーマル・モードでDTCCTj（j = 0～23）レジスタが0になる転送

・リピート・モードでDTCCRjレジスタのRPTINTビットが1（割り込み発生許可）かつDTCCTjレジスタが0になる転送のとき，DTCは動作中にDTCENiレジスタの対応するDTCENi0～DTCENi7ビットを0（起動禁止）にします。

図20－20にDTC内部動作フロー・チャートを示します。

図20－20 DTC内部動作フロー・チャート



注 チェイン転送の許可(CHNEビットが1)の設定により起動されたデータ転送では，DTCENi0～DTCENi7ビットに0を書きません。また，割り込み要求は発生しません。

20.3.2 ノーマル・モード

1回の起動で，8ビット転送の場合1～256バイト，16ビット転送の場合2～512バイトをデータ転送します。転送回数は1～256回です。DTCCTj（j = 0～23）レジスタが0になるデータ転送を行うとき，DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し，DTCENi（i = 0～6）レジスタの対応するDTCENi0～DTCENi7ビットを0（起動禁止）にします。

表20－7にノーマル・モードでのレジスタ機能を示します。図20－21にノーマル・モードでのデータ転送を示します。

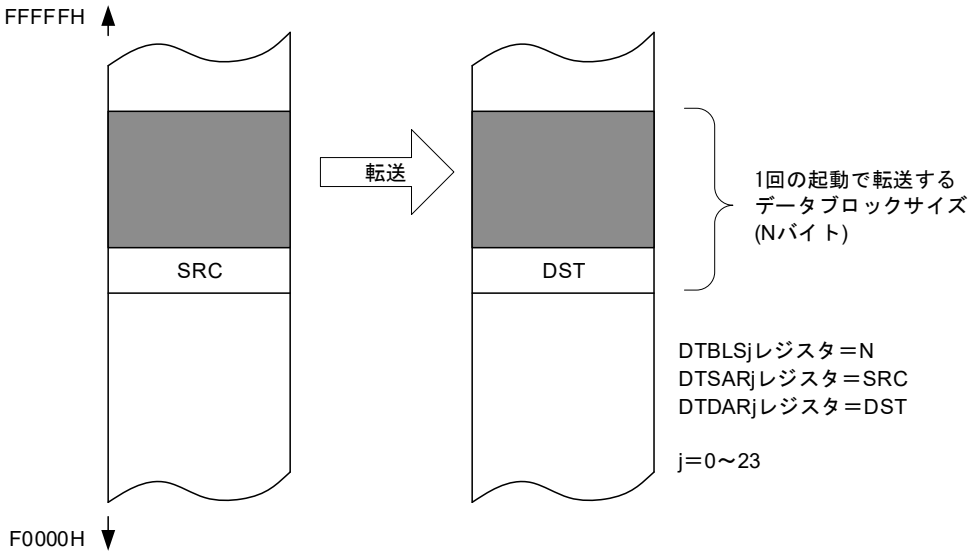
表20－7 ノーマル・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	使用しません注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注 コントロール・データの読み出しを行うため，DTRLDjレジスタを任意の値で初期設定してください。

備考 j ＝ 0～23

★ 図20－21 ノーマル・モードでのデータ転送



DTCCRjレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC+N	DST
1	0	X	0	固定	加算	SRC	DST+N
1	1	X	0	加算	加算	SRC+N	DST+N

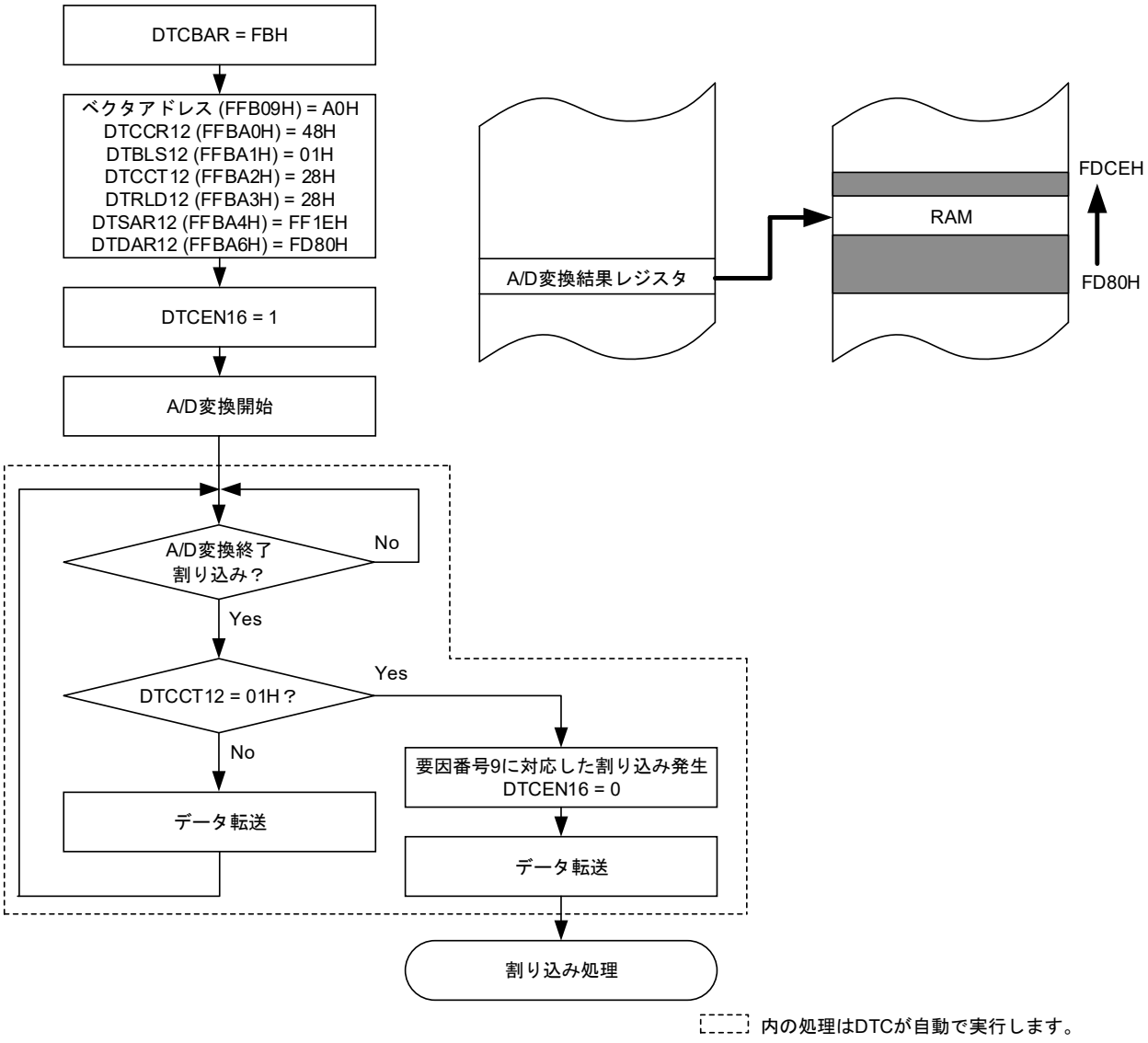
X：0または1

（1）ノーマル・モードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し，A/D変換結果レジスタの値をRAMに転送します。

- ベクタ・アドレスはFFB09H，コントロール・データはFFBA0H～FFBA7Hに配置
- A/D割り込みは要因番号9に割り当て
- A/D変換結果レジスタ（FFF1EH, FFF1FH）の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ40回転送

図20－22 ノーマル・モードの使用例1：A/D変換結果の連続取り込み



ノーマルモードのため，DTRLD12のデータはDTC転送動作に影響しません。

20.3.3 リピート・モード

1回の起動で，1～255バイトを転送します。転送元，転送先のいずれか一方をリピート・エリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると，DTCCTj（j = 0～23）レジスタおよびリピート・エリアに指定したアドレスが初期化され，転送を繰り返します。DTCCRjレジスタのRPTINTビットが1（割り込み発生許可）でDTCCTjレジスタが0になるデータ転送をDTCが行うとき，DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し，DTCENi（i = 0～6）レジスタの対応するDTCENi0～DTCENi7ビットを0（起動禁止）にします。DTCCRjレジスタのRPTINTビットが0（割り込み発生禁止）の場合は，DTCCTjレジスタが0になるデータ転送を行っても，割り込み要求は発生しません。また，DTCENi0～DTCENi7ビットは0になりません。

表20－8にリピート・モードでのレジスタ機能を示します。図20－23にリピート・モードでのデータ転送を示します。

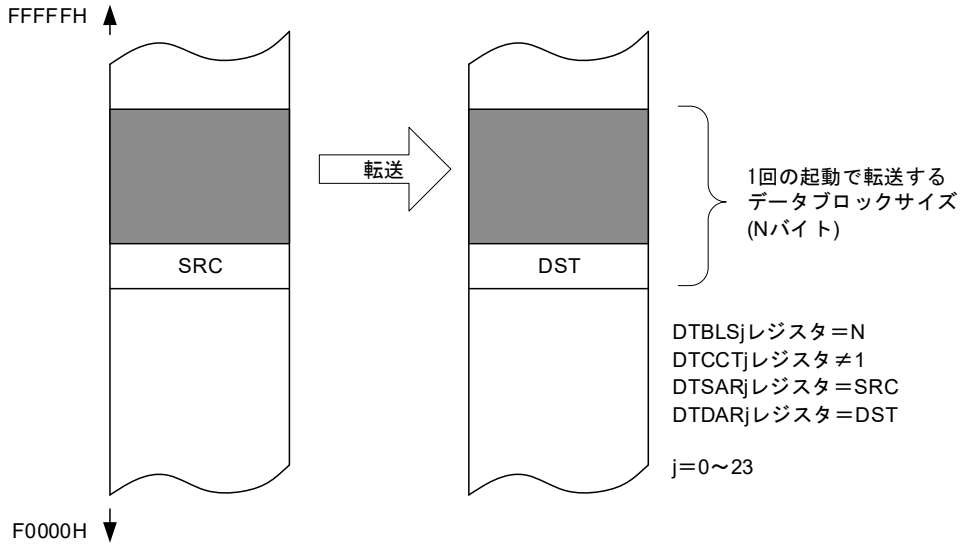
表20－8 リピート・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	このレジスタの値をDTCCTレジスタへリロード (データ転送回数を初期化)
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

備考 j ＝ 0～23

★ 図20－23 リピート・モードでのデータ転送

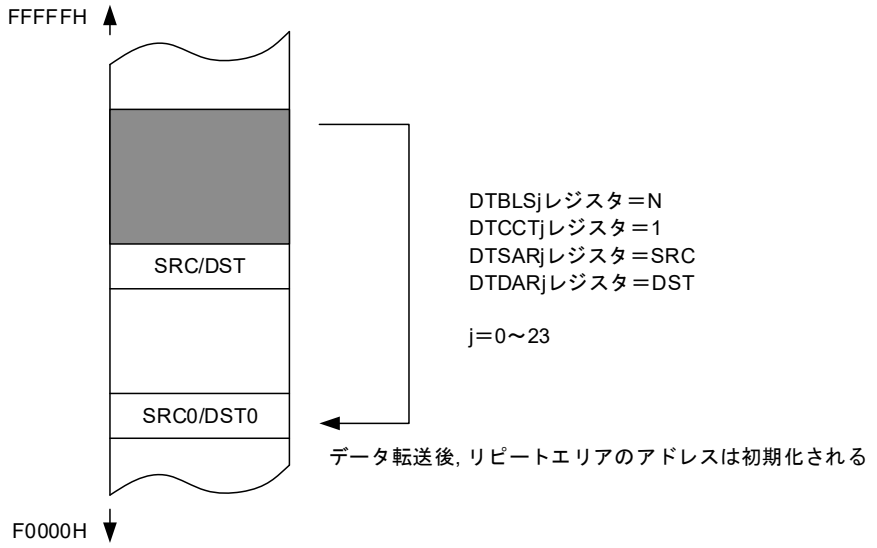
DTCCTjレジスタ≠1



DTCCRjレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC+N	DST
1	X	1	1	リピートエリア	加算	SRC+N	DST+N
X	0	0	1	固定	リピートエリア	SRC	DST+N
X	1	0	1	加算	リピートエリア	SRC+N	DST+N

X：0または1

DTCCTjレジスタ＝1



DTCCRjレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST+N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC+N	DST0

SRC0：ソースアドレス初期値
DST0：デスティネーションアドレス初期値
X：0または1

注意 ・リピート・モード使用時は，リピート・エリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

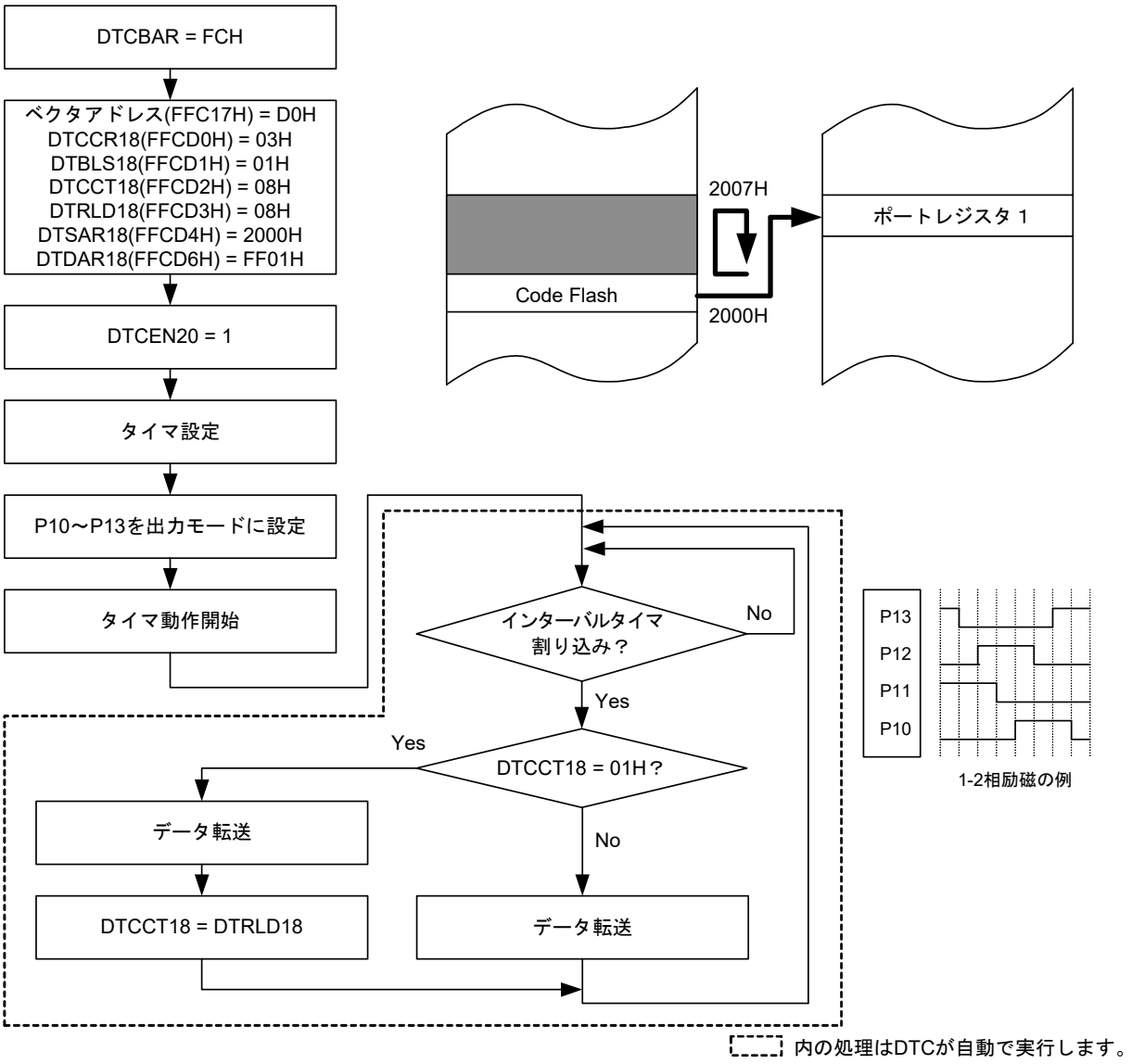
・リピート・モード使用時は，リピート・エリアのデータ・サイズを255バイト以内にしてください。

（1）リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力

インターバル・タイマの割り込みでDTCを起動し，Code Flashに格納されたモータ制御パルスのパタンを汎用ポートに転送します。

- ベクタ・アドレスはFFC17H，コントロール・データはFFCD0H～FFCD7Hに配置
- タイマ割り込みは要因番号23に割り当て
- Code Flashの02000H～02007Hの8バイト・データをミラー空間F2000H～F2007Hからポート・レジスタ1（FFF01H）へ転送
- リピート・モード割り込みは禁止

図20－24 リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力



出力を停止する場合は，タイマを停止してから，DTCEN20をクリアしてください。

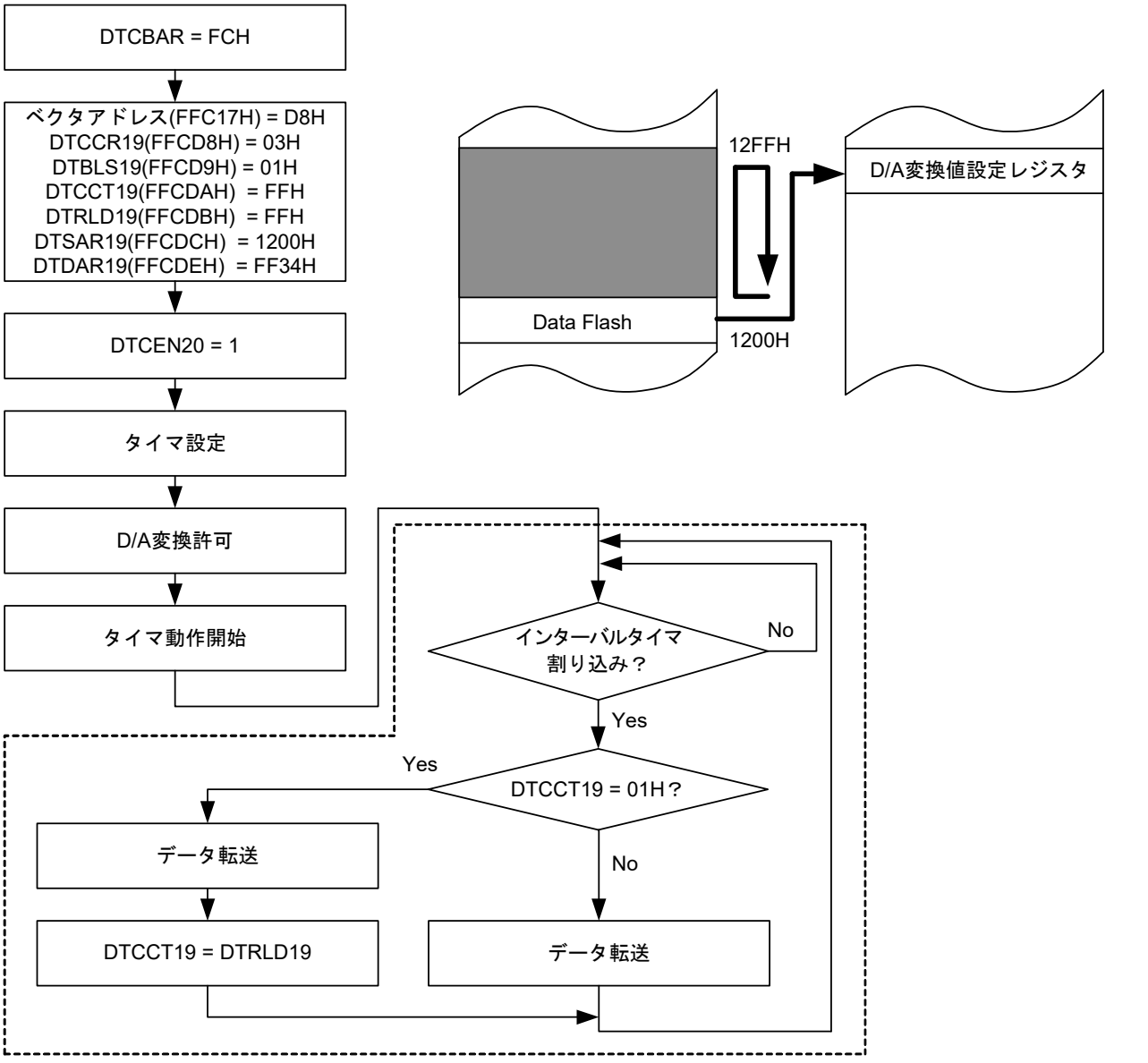
（2）リピート・モードの使用例2：8ビットD/Aコンバータを使ったサイン波出力

インターバル・タイマの割り込みでDTCを起動し，Data Flashに格納されたサイン波のテーブルを8ビットのD/A変換値設定レジスタに転送します。

タイマのインターバル時間は，D/Aの出力セットアップ時間を設定します。

- ベクタ・アドレスはFFC17H，コントロール・データはFFCD8H～FFCDFHに配置
- タイマ割り込みは要因番号23に割り当て
- Data FlashのF1200H～F12FEHの255バイトデータをD/A変換値設定レジスタ（FFF34H）へ転送
- リピート・モード割り込みは禁止

図20－25 リピート・モードの使用例2：8ビットD/Aコンバータを使ったサイン波出力



出力を停止する場合は，タイマを停止してから，DTCEN20をクリアしてください。

20.3.4 チェイン転送

DTCCRj（j = 0～22）レジスタのCHNEビットが1（チェイン転送許可）のとき，１つの起動要因で複数のデータ転送を連続してできます。

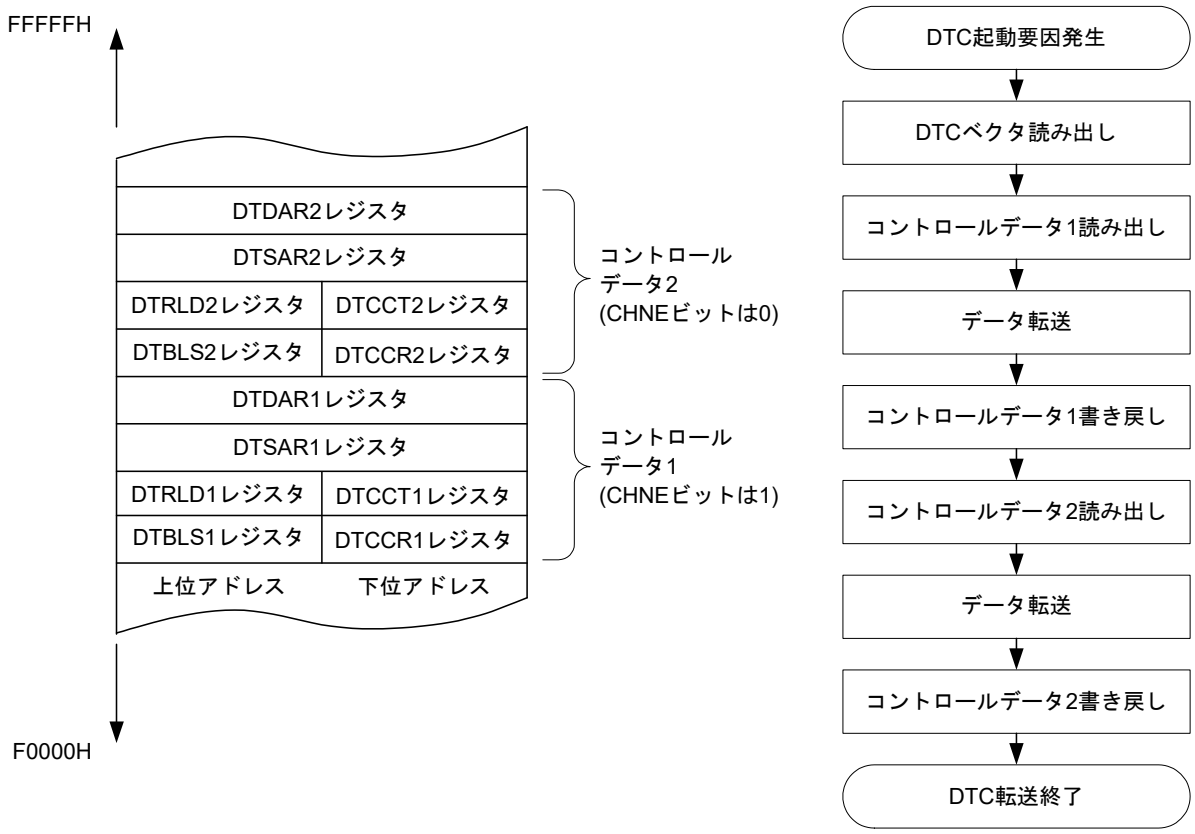
DTCが起動すると，起動要因に対応したDTCベクタ・アドレスから読み出されたデータによりコントロール・データを選択し，DTCコントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データのCHNEビットが1（チェイン転送許可）であれば，転送終了後，連続して配置した次のコントロール・データを読み出して転送します。この動作をCHNEビットが0（チェイン転送禁止）のコントロール・データのデータ転送が終了するまで続けます。

複数のコントロール・データを用いてチェイン転送を行う場合、2番目以降のコントロール・データの設定がノーマル・モードの時は、1番目の転送回数の設定が有効となり、2番目以降の転送回数の設定は無効となります。

また、2番目以降のコントロール・データの設定がリピート・モードの時は、コントロール・データを書き戻すため、コントロール・データごとに転送回数を設定する必要があります。

図20－26にチェイン転送でのデータ転送を示します。

図20－26 チェイン転送でのデータ転送

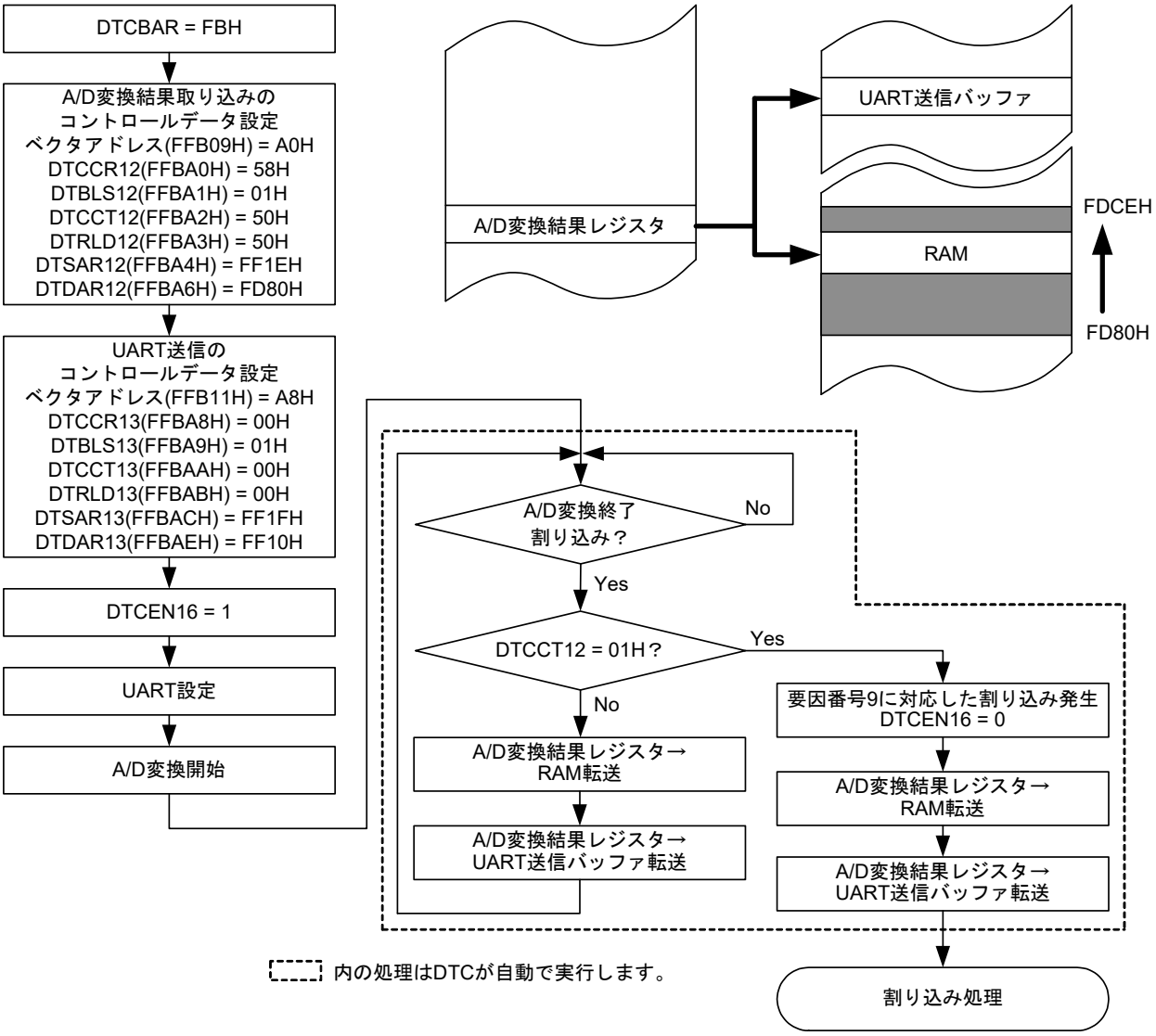


（1）チェイン転送の使用例：A/D変換結果の連続取り込みとUART送信

A/D変換終了割り込みでDTCを起動し，A/D変換結果をRAMに転送し，UARTで送信します。

- ベクタ・アドレスはFFB09H
- A/D変換結果取り込みのコントロール・データはFFBA0H～FFBA7Hに配置
- UART送信のコントロール・データはFFBA8H～FFBAFHに配置
- A/D変換終了割り込みは要因番号9に割り当て
- A/D変換結果レジスタ（FFF1FH，FFF1EH）の2バイトデータをRAMのFFD80H～FFDCFHに転送し，A/D変換結果レジスタの上位1バイト（FFF1FH）をUARTの送信バッファ（FFF10H）へ転送

図20－27 チェイン転送の使用例：A/D変換結果の連続取り込みとUART送信



注意 ・ DTCCR23レジスタのCHNEビットは0（チェイン転送禁止）にしてください。

・ チェイン転送の場合，2回目以降のデータ転送では，DTCENi（i = 0～5）レジスタのDTCENi0～DTCENi7ビットは0（DTC起動禁止）になりません。また，割り込み要求は発生しません。

20.3.5 高速転送動作

高速転送は2チャネルあり、高速DTCチャネル選択レジスタmで各々のDTC起動要因を選択します。高速転送チャネルで選択された要因で起動した場合、DTCベクタ・アドレスで指定されたコントロール・データではなく、高速専用のコントロール・データを読み出して転送します。

コントロール・データの読み出しを行うため，コントロール・データ領域を任意の値で初期設定してください。

ブロック転送は、常に、8ビット転送の場合1バイト、16ビット転送の場合2バイトの転送をします。

チェイン転送は、DTCベクタ・アドレスで指定されたコントロール・データに連続して配置した次のコントロール・データを読み出して転送します。チェイン転送中に、別の高速転送チャネルで選択された要因のコントロール・データとなった場合、高速専用ではなく連続して配置したコントロール・データを読み出して転送します。

表20－9に高速転送動作でのレジスタ機能を示します。

表20－9 高速転送動作でのレジスタ機能

レジスタ名	シンボル	機能
高速DTCチャネル選択レジスタ0/1	SELHS0/1	チャネル選択
高速DTC制御レジスタ0/1	HDTCCR0/1	動作モード制御
高速DTC転送回数レジスタ0/1	HDTCCT0/1	データ転送回数
高速DTC転送回数リロード・レジスタ0/1	HDTRLD0/1	初期値設定
高速DTCソース・アドレス・レジスタ0/1	HDTSAR0/1	データの転送元アドレス
高速DTCデスティネーション・アドレス・レジスタ0/1	HDTDAR0/1	データの転送先アドレス

20.4 DTC使用上の注意事項

20.4.1 DTCレジスタおよびベクタ・テーブルの設定

- DTC転送でDTCのSFRおよびDTCコントロール・データ領域，DTCベクタ・テーブル領域，汎用レジスタ（FFEE0H-FFEFFH）空間をアクセスしないでください。
- DTCベース・アドレス・レジスタ（DTCBAR）は，すべてのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベース・アドレス・レジスタ（DTCBAR）を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi（i = 0～6）レジスタのDTCENi0-DTCENi7ビットが0（DTC起動禁止）のときに変更してください。
- ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は，対応するDTCENi（i = 0～6）レジスタのDTCENi0-DTCENi7ビットが0（DTC起動禁止）のときに変更してください。

20.4.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCコントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ（FFF00H-FFEE0H）の空間は，DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。
- DTCベクタ・テーブル領域とDTCコントロール・データ領域の間の18バイトは、DTC起動要因数を拡張した場合に使用する予約領域です。

20.4.3 DTC保留命令

DTCからCPUへ転送要求があっても以下の命令直後ではDTCは起動されず保留されます。また，PREFIX命令コードと直後の1命令の間にDTCが起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュにアクセスする命令
- 乗除積和算命令（MULU命令を除く）

注意1. DTC転送要求を受け付けると，DTC転送が完了するまで，すべての割り込み要求が保留されます。

2. DTC保留命令によるDTC保留中は，すべての割り込み要求が保留されます。

20.4.4 ウェイトが必要となるSFRレジスタにアクセスする命令実行時の動作

ウェイトが必要となるSFRレジスタ[注]にアクセスする命令を実行した場合、DTC転送は保留されます。ウェイトが必要となるSFRレジスタをポーリングし続けた場合、DTC転送は保留され続けます。

注 ウェイトが必要となるSFRレジスタは、CANモジュールとLINモジュールのレジスタ、タイマRJのTRJ0レジスタです。

20.4.5 データ・フラッシュ空間にアクセスする場合の動作

データ・フラッシュ空間にアクセスするとDTCのデータ転送が保留されるため，DTC保留命令を追加してください。またDTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合，間の命令に3クロック分のウェイトが入ります。

命令1
DTCのデータ転送
命令2 ← 3クロック分のウェイト発生
MOV A, ！DataFlash空間

20.4.6 DTC実行クロック数

表20－10にDTC起動時の実行状況と必要なクロック数を示します。

表20－10 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロール・データの書き戻しに必要なクロック数は，「表20－11 コントロール・データの書き戻しに必要なクロック数」を参照してください。
2. データの読み出し/書き込みに必要なクロック数は，「表20－12 データの読み出し/書き込みに必要なクロック数」を参照してください。

表20－11 コントロール・データの書き戻しに必要なクロック数

★

DTCCRjレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTjレジスタ	DTRLDjレジスタ	DTSARjレジスタ	DTDARjレジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート・エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート・エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0～23, X: 0または1

表20－12 データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	SFR	2nd SFR	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1+ウェイト数[注]
データ書き込み	1	－	－	1	1	1+ウェイト数[注]

注 ウェイト数はアクセスする2nd SFRに配置されたレジスタの仕様によって異なります。

20.4.7 高速DTC転送実行クロック数

表20－13に高速DTC起動時の実行状況と必要なクロック数を示します。

表20－13 高速DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1		1[注1]	注2	注2

注1. コントロール・データの書き戻しに必要なクロック数は，「表20－14 コントロール・データの書き戻しに必要なクロック数」を参照してください。

2. データの読み出し/書き込みに必要なクロック数は，「表20－15 データの読み出し/書き込みに必要なクロック数」を参照してください。

表20－14 コントロール・データの書き戻しに必要なクロック数

HDTCCRmレジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
HDAMODm	HSAMODm	HRPTSELm	HMODEm	ソース	デスティネーション	HDTCCTmレジスタ	HDTRLDmレジスタ	HDTSARmレジスタ	HDTDARmレジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻さない	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻さない	書き戻す	書き戻さない	1
1	0	X	0	固定	加算	書き戻す	書き戻さない	書き戻さない	書き戻す	1
1	1	X	0	加算	加算	書き戻す	書き戻さない	書き戻す	書き戻す	1
0	X	1	1	リピート・エリア	固定	書き戻す	書き戻さない	書き戻す	書き戻さない	1
1	X	1	1		加算	書き戻す	書き戻さない	書き戻す	書き戻す	1
X	0	0	1	固定	リピート・エリア	書き戻す	書き戻さない	書き戻さない	書き戻す	1
X	1	0	1	加算		書き戻す	書き戻さない	書き戻す	書き戻す	1

備考 m = 0, 1, X: 0または1

表20－15 データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	SFR	2nd SFR	
					ウェイトなし	ウェイトあり
データ読み出し	－	－	－	1	1	1+ウェイト数[注]
データ書き込み	1	－	－	1	1	1+ウェイト数[注]

注 ウェイト数はアクセスする2nd SFRに配置されたレジスタの仕様によって異なります。

20.4.8 DTC応答時間

表20－16にDTCにおける応答時間を示します。DTC応答時間とはDTC起動要因の検出からDTC転送開始までの時間であり，DTC実行クロック数は含まれません。

高速転送における応答時間も、通常転送と同じです。

表20－16 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし，以下の場合は更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合

  最大応答時間：20クロック
- DTC保留命令実行の場合（「20.4.3 DTC保留命令」を参照）

  最大応答時間：各条件時の最大応答時間＋その条件での保留する命令の実行クロック
- ウエイトが発生するTRJ0レジスタをアクセスした場合

  最大応答時間：各条件時の最大応答時間＋1クロック

備考 1クロック：1/f_{CLK}（f_{CLK}：CPU／周辺ハードウェア・クロック）

20.4.9 DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください
- DTC起動要因が発生する箇所で，その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は，CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は「20.2.3 DTCベクタ・テーブル」を参照してください。
- コンパレータを割り込みによるSTOPモード解除許可に設定（CSTEN = 1）かつコンパレータ出力正転に設定（CINV = 0）かつコンパレータ入力＞基準電圧の状態または割り込みによるSTOPモード解除許可に設定（CSTEN = 1）かつコンパレータ出力反転に設定（CINV = 1）かつコンパレータ入力＜基準電圧の状態で，DTC起動許可をした場合，DTC転送を開始し，転送終了後に割り込み要求が発生します。そのため，必要に応じて，コンパレータ出力モニタ・フラグ（CMPMON0）を確認してからDTC起動許可にしてください。

20.4.10 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能（低消費RTCモード時は動作禁止）
STOPモード	DTC起動要因受付可能注2
SNOOZEモード	動作可能注1, 3

注1. SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して，DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし，SNOOZEモード中はコード･フラッシュ・メモリおよび，データ・フラッシュ・メモリが停止しているため，フラッシュ・メモリを転送元（ソース）にすることはできません。

3. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合，DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか，チェイン転送を使い，A/DコンバータのSNOOZEモード機能の再設定（AWCビットをクリアしたのちにセットする）を行ってください。

20.4.11 RAM領域を転送元とする場合の注意

RAM領域を転送元とする場合、任意の値で初期設定してください。RAM ECC割り込みが発生する場合があります。

20.4.12 高速転送のベクタ・アドレス

高速転送も、起動要因ごとに割り当てられたDTCベクタ・アドレスの読み出しを行います。高速転送のチェイン転送は、DTCベクタ・アドレスで指定されたコンロトール・データに連続して配置した次のコントロール・データを読み出します。高速転送のチェイン転送以外は、DTCベクタ・アドレスを任意の値で初期設定してください。

第21章　イベントリンクコントローラ（ELC）

イベントリンクコントローラ（ELC）は、各周辺機能が出力するイベントを周辺機能間で相互に接続（リンク）します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

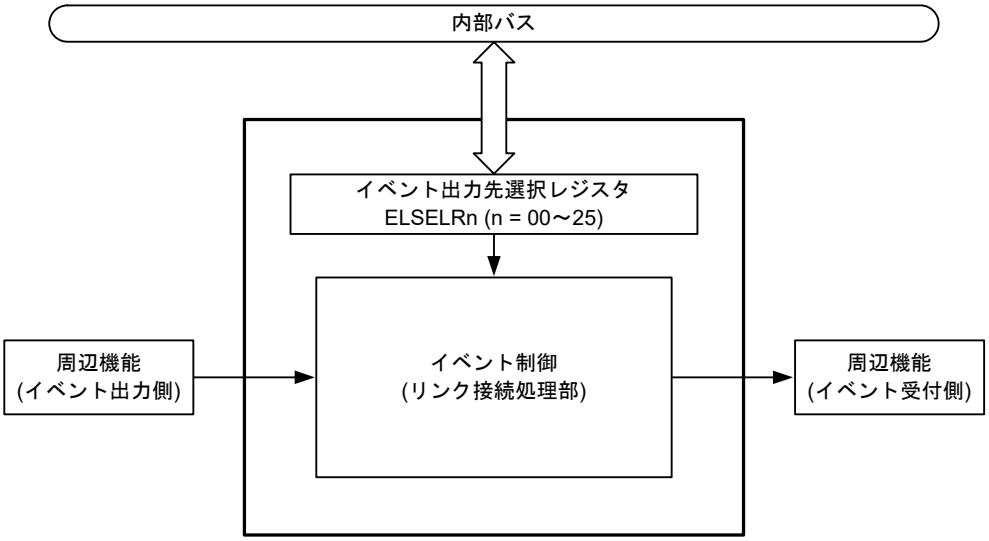
21.1　概要

ELCには次の機能があります。

・26種類の周辺機能からのイベント信号を指定した周辺機能へ直接リンク可能

図21－1にイベントリンクコントローラのブロック図を示します。

図21－1　イベントリンクコントローラのブロック図



21.2　レジスタの説明

表21－1にELCのレジスタ構成を示します。

表21－1　ELCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
イベント出力先選択レジスタ00	ELSELR00	00H	F0780H	1, 8
イベント出力先選択レジスタ01	ELSELR01	00H	F0781H	1, 8
イベント出力先選択レジスタ02	ELSELR02	00H	F0782H	1, 8
イベント出力先選択レジスタ03	ELSELR03	00H	F0783H	1, 8
イベント出力先選択レジスタ04	ELSELR04	00H	F0784H	1, 8
イベント出力先選択レジスタ05	ELSELR05	00H	F0785H	1, 8
イベント出力先選択レジスタ06	ELSELR06	00H	F0786H	1, 8
イベント出力先選択レジスタ07	ELSELR07	00H	F0787H	1, 8
イベント出力先選択レジスタ08	ELSELR08	00H	F0788H	1, 8
イベント出力先選択レジスタ09	ELSELR09	00H	F0789H	1, 8
イベント出力先選択レジスタ10	ELSELR10	00H	F078AH	1, 8
イベント出力先選択レジスタ11	ELSELR11	00H	F078BH	1, 8
イベント出力先選択レジスタ12	ELSELR12	00H	F078CH	1, 8
イベント出力先選択レジスタ13	ELSELR13	00H	F078DH	1, 8
イベント出力先選択レジスタ14	ELSELR14	00H	F078EH	1, 8
イベント出力先選択レジスタ15	ELSELR15	00H	F078FH	1, 8
イベント出力先選択レジスタ16	ELSELR16	00H	F0790H	1, 8
イベント出力先選択レジスタ17	ELSELR17	00H	F0791H	1, 8
イベント出力先選択レジスタ18	ELSELR18	00H	F0792H	1, 8
イベント出力先選択レジスタ19	ELSELR19	00H	F0793H	1, 8
イベント出力先選択レジスタ20	ELSELR20	00H	F0794H	1, 8
イベント出力先選択レジスタ21	ELSELR21	00H	F0795H	1, 8
イベント出力先選択レジスタ22	ELSELR22	00H	F0796H	1, 8
イベント出力先選択レジスタ23	ELSELR23	00H	F0797H	1, 8
イベント出力先選択レジスタ24	ELSELR24	00H	F0798H	1, 8
イベント出力先選択レジスタ25	ELSELR25	00H	F0799H	1, 8

21.2.1　イベント出力先選択レジスタn（ELSELRn）（n = 00～25）

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能（リンク先周辺機能）の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を同一のイベント出力先（イベント受付側）にリンクさせる設定にしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しておらず、イベント出力先（イベント受信側）の機能が停止している期間に、ELSELRn レジスタを設定してください。

表21－2にELSELRnレジスタ（n = 00～25）と周辺機能の対応を、表21－3にELSELRnレジスタ（n = 00～25）に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図21－2　イベント出力先選択レジスタn（ELSELRn）（n = 00～25）のフォーマット

アドレス：F0780H（ELSELR00）～F0799H（ELSELR25）　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	－	－	－	－	ELSELRn3	ELSELRn2	ELSELRn1	ELSELRn0

ビット7～4	予約ビット
－	読んだ場合、その値は0

ELSELRn3[注1]	ELSELRn2	ELSELRn1	ELSELRn0	イベントリンクの選択
0	0	0	0	イベントリンク禁止
0	0	0	1	リンクする周辺機能の動作を選択[注]
0	0	1	0	リンクする周辺機能の動作を選択[注]
0	0	1	1	リンクする周辺機能の動作を選択[注]
0	1	0	0	リンクする周辺機能の動作を選択[注]
0	1	0	1	リンクする周辺機能の動作を選択[注]
0	1	1	0	リンクする周辺機能の動作を選択[注]
0	1	1	1	リンクする周辺機能の動作を選択[注]
1	0	0	0	リンクする周辺機能の動作を選択[注]
1	0	0	1	リンクする周辺機能の動作を選択[注]

注　「表21－3　ELSELRnレジスタ（n = 00～25）に設定する値とリンク先周辺機能の受付時の動作の対応」を参照。

表21－2　ELSELRnレジスタ（n = 00～25）と周辺機能の対応

レジスタ名	イベント発生元（イベント入力nの出力元）	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01	外部割り込みエッジ検出1	INTP1
ELSELR02	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04	外部割り込みエッジ検出4	INTP4
ELSELR05	外部割り込みエッジ検出5	INTP5
ELSELR06	キー・リターン信号検出	INTKR
ELSELR07	RTC定周期信号／アラーム一致検出	INTRTC
ELSELR08	タイマRD0インプット・キャプチャA／コンペア一致A	INTTRD0
ELSELR09	タイマRD0インプット・キャプチャB／コンペア一致B	INTTRD0
ELSELR10	タイマRD1インプット・キャプチャA／コンペア一致A	INTTRD1
ELSELR11	タイマRD1インプット・キャプチャB／コンペア一致B	INTTRD1
ELSELR12	タイマRD1アンダ・フロー	TRD1アンダ・フロー信号
ELSELR13	タイマRJ0	INTTRJ0
ELSELR14	TAU0チャネル0カウント完了／キャプチャ完了	INTTM00
ELSELR15	TAU0チャネル1カウント完了／キャプチャ完了	INTTM01
ELSELR16	TAU0チャネル2カウント完了／キャプチャ完了	INTTM02
ELSELR17	TAU0チャネル3カウント完了／キャプチャ完了	INTTM03
ELSELR18	TAU0チャネル4カウント完了／キャプチャ完了	INTTM04
ELSELR19	コンパレータ検出0	INTCMP0
ELSELR20	TAU0チャネル5カウント完了／キャプチャ完了	INTTM05
ELSELR21	TAU0チャネル6カウント完了／キャプチャ完了	INTTM06
ELSELR22	TAU0チャネル7カウント完了／キャプチャ完了	INTTM07
ELSELR23	TAU1チャネル0カウント完了／キャプチャ完了	INTTM10
ELSELR24	TAU1チャネル1カウント完了／キャプチャ完了	INTTM11
ELSELR25	TAU1チャネル2カウント完了／キャプチャ完了	INTTM12

表21－3　ELSELRnレジスタ（n = 00～25）に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSELRn3～ELSELRn0ビット	リンク先周辺機能	イベント受付時の動作
0001B	A/Dコンバータ	A/D変換開始
0010B	タイマ・アレイ・ユニット0 チャネル0のタイマ入力注1, 2	ディレイ・カウンタ、入力パルス間隔測定、外部イベント・カウンタ
0011B	タイマ・アレイ・ユニット0 チャネル1のタイマ入力注1, 2	
0100B	タイマRJ0	カウントソース
0101B	タイマRD0	TRDIOD0のインプット・キャプチャ／パルス出力遮断
0110B	タイマRD1	TRDIOD1のインプット・キャプチャ／パルス出力遮断
0111B	DA0注3	リアルタイム出力
1000B	タイマ・アレイ・ユニット0 チャネル2のタイマ入力注1, 2	ディレイ・カウンタ，入力パルス間隔測定，外部イベント・カウンタ
1001B	タイマ・アレイ・ユニット0 チャネル3のタイマ入力注1, 2	

注1.　リンク先周辺機能にタイマ・アレイ・ユニット0チャネルmのタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0（TPS0）でチャネルmの動作クロックをf_{CLK}に設定し、タイマ入力選択レジスタ0（TIS0）で、チャネルmで使用するタイマ入力をELCからのイベント入力信号に設定してください。

2.　リンク先周辺機能にタイマ・アレイ・ユニット0チャネルmのタイマ入力を選択する場合、先にノイズ・フィルタ許可レジスタ1（NFEN1）により，タイマ・アレイ・ユニット0の対応するリンク先チャネルのノイズ・フィルタをOFF（TNFEN0m = 0）に設定してください。

3.　D/A変換のリアルタイム出力モード有効時にSTOP状態に入る場合は、STOPに入る前にELCのイベントリンクを禁止にしてください。

備考　m = 0-3

21.2.2　タイマ入力選択レジスタ0（TIS0）

TAU0チャネル0-3は，ELCからのイベント入力を各チャネルのソースに切り替える機能があります。詳細は，「6.3.9　タイマ入力選択レジスタ0（TIS0）」を参照してください。

21.2.3　A/Dコンバータ・モード・レジスタ1（ADM1）

A/D起動トリガを選択する機能があります。2ビット制御で，TAU0チャネル1，ELCからのイベント入力，定周期／アラーム割り込みのいずれかをトリガにしてA/D変換動作を行います。詳細は，「12.3.3　A/Dコンバータ・モード・レジスタ1（ADM1）」を参照してください。

21.2.4　D/Aコンバータ・モード・レジスタ（DAM）

ELCからのイベント入力を起動トリガとしてD/A変換を開始する，リアルタイム出力する機能があります。詳細は，「13.3.3　D/Aコンバータ・モード・レジスタ（DAM）」を参照してください。

21.3　動作説明

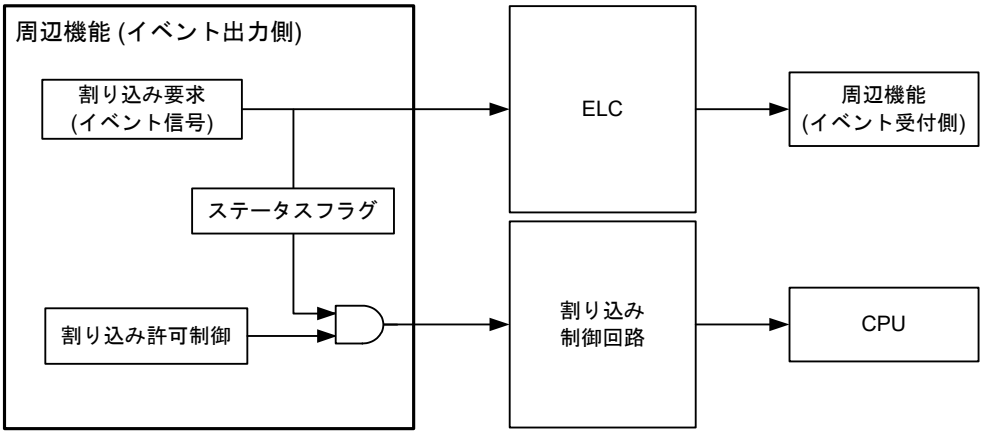
各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

また、イベントリンク動作はCPUクロックの供給の有無に、影響されずに行うことができます。ただし、周辺機能の動作クロックが供給されて、動作できる状態にしてください。

図21－3に割り込み処理とELCの関係を示します。この図は割り込み要求ステータス・フラグと、これらの割り込みの許可／禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします（表21－3　ELSELRnレジスタ（n = 00～25）に設定する値とリンク先周辺機能の受付時の動作の対応参照）。

図21－3　割り込み処理とELCの関係



第22章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

		48ピン	64ピン	80ピン	100ピン	144ピン
マスカブル割り込み	外部	15	18	19	20	22
	内部	51	51	51	51	51

22.1　割り込み機能の種類

割り込み機能には次の2種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表22－1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

22.2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計7要因あります（表22－1参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表22－1　割り込み要因一覧（1/4）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	144ピン	100ピン	80ピン	64ピン	48ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル[注3]（オーバフロー時間の75%＋1/2f_{WDT}）	内部	0004H	(A)	○	○	○	○	○
	1	INTLVI	電圧検出[注4]		0006H		○	○	○	○	○
	2	INTP0	端子入力エッジ検出0	外部	0008H	(B)	○	○	○	○	○
	3	INTP1	端子入力エッジ検出1		000AH		○	○	○	○	○
	4	INTP2	端子入力エッジ検出2		000CH		○	○	○	○	○
	5	INTP3	端子入力エッジ検出3		000EH		○	○	○	○	○
	6	INTP4[注5]	端子入力エッジ検出4		0010H		○	○	○	○	○
		INTSPM[注5]	スタックポインタオーバーフロー/アンダフロー	内部		(A)					
	7	INTP5[注6]	端子入力エッジ検出5	外部	0012H	(B)	○	○	○	○	○
		INTCMP0[注6]	コンパレータ検出0	内部		(A)	○	○	○	○	○
	8	INTP13[注7]	端子入力エッジ検出13	外部	0014H	(B)	○	○	○	－	－
		INTCLM[注7]	PLLクロックの停止	内部		(A)	○	○	○	○	○
	9	INTST0/INTCSI00/INTIIC00	UART0送信の転送完了，バッファ空き割り込み/CSI00の転送完了，バッファ空き割り込み/IIC00の転送完了		0016H		○	○	○	○	○
	10	INTSR0/INTCSI01/INTIIC01	UART0受信の転送完了/CSI01の転送完了，バッファ空き割り込み/IIC01の転送完了		0018H		○	○	○	○	○
	11	INTTRD0	タイマRD0インプットキャプチャ，コンペアー致，オーバフロー，アンダフロー割り込み		001AH		○	○	○	○	○
	12	INTTRD1	タイマRD1インプットキャプチャ，コンペアー致，オーバフロー，アンダフロー割り込み		001CH		○	○	○	○	○
	13	INTTRJ0	タイマRJ0		001EH		○	○	○	○	○
	14	INTRAM	RAM1bit訂正/2bitエラー検出		0020H		○	○	○	○	○
	15	INTLIN0TRM	LIN0の送信		0022H		○	○	○	○	○
	16	INTLIN0RVC	LIN0の受信完了		0024H		○	○	○	○	○
	17	INTLIN0STA/INTLIN0	LIN0の受信ステータス/LIN0の割り込み		0026H		○	○	○	○	○
	18	INTIICA0	IICA0通信完了		0028H		○	○	○	○	○
	19	INTP8[注8]	端子入力エッジ検出8	外部	002AH	(B)	○	○	○	○	○
		INTRTC[注8]	RTC定周期信号/アラーム一致検出	内部		(A)	○	○	○	○	○

注1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，60が最低順位です。

2. 基本構成タイプの（A）-（F）は，それぞれ図22－1の（A）-（F）に対応しています。

3. オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。

4. 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

5. INTP4とINTSPMの割り込み要因を判別する場合，INTFLG0レジスタのINTFLG00ビットおよびスタック・ポインタを読み出して確認してください。

6. INTP5とINTCMP0の割り込み要因を判別する場合，INTFLG0レジスタのINTFLG01ビットおよびINTFLG06ビットを確認してください。

7. INTP13とINTCLMの割り込み要因を判別する場合，INTFLG0レジスタのINTFLG07ビットおよびPLLSTSレジスタのSELPLLSビットを確認してください。

8. INTP8とINTRTCの割り込み要因を判別する場合，INTFLG0レジスタのINTFLG02ビットおよびRTCC1レジスタのWAFG，RIFGビットを確認してください。

表22－1　割り込み要因一覧（2/4）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	144ピン	100ピン	80ピン	64ピン	48ピン
マスカブル	20	INTTM00	TAU0チャネル0のカウント完了/キャプチャ完了	内部	002CH	(A)	○	○	○	○	○
	21	INTTM01[注4]	TAU0チャネル1のカウント完了/キャプチャ完了		002EH		○	○	○	○	○
		INTLIN2TRM[注4]	LIN2の送信				○	○	－	－	－
	22	INTTM02[注5]	TAU0チャネル2のカウント完了/キャプチャ完了		0030H		○	○	○	○	○
		INTLIN2RVC[注5]	LIN2の受信完了				○	○	－	－	－
	23	INTTM03[注6]	TAU0チャネル3のカウント完了/キャプチャ完了		0032H		○	○	○	○	○
		INTLIN2STA/INTLIN2[注6]	LIN2の受信ステータス/LIN2の割り込み				○	○	－	－	－
	24	INTAD	A/D変換終了		0034H		○	○	○	○	○
	25	INTP6[注3]	端子入力エッジ検出6	外部	0036H	(B)	○	○	○	○	○
		INTTM11H	TAU1チャネル1の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○	○
	26	INTP7[注3]	端子入力エッジ検出7	外部	0038H	(B)	○	○	○	○	○
		INTTM13H	TAU1チャネル3の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○	○
	27	INTP9[注3]	端子入力エッジ検出9	外部	003AH	(B)	○	○	○	○	○
		INTTM01H	TAU0チャネル1の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○	○
	28	INTP10[注3]	端子入力エッジ検出10	外部	003CH	(B)	○	○	○	○	－
		INTTM03H	TAU0チャネル3の上位8ビット・インターバル・タイマ割り込み（8ビット・タイマ機能選択時）	内部		(A)	○	○	○	○	○
	29	INTST1/INTCSI10/INTIIC10[注7]	UART1送信の転送完了，バッファ空き割り込み/CSI10の転送完了，バッファ空き割り込み/IIC10の転送完了		003EH		○	○	○	○	○
		INTIEBBTD[注7]	IEBusデータ割り込み				○	○	○	○	○
	30	INTSR1/INTCSI11/INTIIC11[注8]	UART1受信の転送完了/CSI11の転送完了，バッファ空き割り込み/IIC11の転送完了		0040H		○	○	○	○	○
		INTIEBBTV[注8]	IEBusベクタ割り込み				○	○	○	○	○
	31	INTTM04[注9]	TAU0チャネル4のカウント完了/キャプチャ完了		0042H		○	○	○	○	○
		INTST2/INTCSI20[注9]	UART2送信の転送完了、バッファ空き割り込み/CSI20の転送完了、バッファ空き割り込み				○	○	－	－	－

（注は次のページにあります。）

注1. デフォルト・プライオリティは複数のマスカブル割り込みが発生している場合に，優先する順位です。
0が最高順位，60が最低順位です。

2. 基本構成タイプの（A）-（F）は，それぞれ図22－1の（A）-（F）に対応しています。
3. 端子入力エッジ検出とTAUのカウント完了／キャプチャ完了割り込みは割り込み要因を判別できません。
4. INTTM01とINTLIN2TRMの割り込み要因を判別する場合、INTFLG1レジスタのINTFLG11ビットおよびLST2レジスタを確認してください。
5. INTTM02とINTLIN2RVCの割り込み要因を判別する場合、INTFLG1レジスタのINTFLG12ビットおよびLST2レジスタおよびLEST2レジスタを確認してください。
6. INTTM03とINTLIN2STA/INTLIN2の割り込み要因を判別する場合、INTFLG1レジスタのINTFLG13ビットおよびLST2レジスタおよびLEST2レジスタを確認してください。
7. INTST1/INTCSI10/INTIIC10とINTIEBBTDの割り込み要因を判別する場合、INTFLG4レジスタのINTFLG41, INTFLG46ビットを確認してください。
8. INTSR1/INTCSI11/INTIIC11とINTIEBBTVの割り込み要因を判別する場合、INTFLG4レジスタのINTFLG42, INTFLG47ビットを確認してください。
9. INTTM04とINTST2/INTCSI20の割り込み要因を判別する場合、INTFLG1レジスタのINTFLG14ビットおよびINTFLG4レジスタのINTFLG43ビットを確認してください。

表22－1　割り込み要因一覧（3/4）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	144ピン	100ピン	80ピン	64ピン	48ピン
マスカブル	32	INTTM05[注5]	TAU0チャネル5のカウント完了/キャプチャ完了	内部	0044H	(A)	○	○	○	○	○
		INTSR2/INTCSI21[注5]	UART2受信の転送完了/CSI21の転送完了、バッファ空き割り込み				○	○	－	－	－
	33	INTTM06[注6]	TAU0チャネル6のカウント完了/キャプチャ完了		0046H		○	○	○	○	○
		INTSRE2[注6]	UART2受信エラー発生				○	○	－	－	－
	34	INTP15[注7]	端子入力エッジ検出15	外部	0048H	(B)	○	－	－	－	－
		INTTM07[注7]	TAU0チャネル7のカウント完了/キャプチャ完了	内部		(A)	○	○	○	○	○
	35	INTP11[注4]	端子入力エッジ検出11	外部	004AH	(B)	○	○	○	○	－
		INTLIN0WUP[注4]	LIN0受信端子入力			(E)	○	○	○	○	○
	36	INTKR	キー割り込み検出		004CH	(C)	○	○	○	○	○
	37	INTCAN0ERR	CAN0チャネル・エラー	内部	004EH	(A)	○	○	○	○	○
	38	INTCAN0WUP	CAN0ウェイクアップ	外部	0050H	(D)	○	○	○	○	○
	39	INTCAN0CFR	CAN0送受信FIFO受信	内部	0052H	(A)	○	○	○	○	○
	40	INTCAN0TRM	CAN0チャネル送信		0054H		○	○	○	○	○
	41	INTCANGRFR	CANグローバル受信FIFO		0056H		○	○	○	○	○
	42	INTCANGERR	CANグローバル・エラー		0058H		○	○	○	○	○
	43	INTTM10[注8]	TAU1チャネル0のカウント完了/キャプチャ完了		005AH		○	○	○	○	○
		INTTM20[注8]	TAU2チャネル0のカウント完了/キャプチャ完了				○	－	－	－	－
	44	INTTM11[注9]	TAU1チャネル1のカウント完了/キャプチャ完了		005CH		○	○	○	○	○
		INTTM21[注9]	TAU2チャネル1のカウント完了/キャプチャ完了				○	－	－	－	－
	45	INTTM12[注10]	TAU1チャネル2のカウント完了/キャプチャ完了		005EH		○	○	○	○	○
		INTTM22[注10]	TAU2チャネル2のカウント完了/キャプチャ完了				○	－	－	－	－
	46	INTTM13[注11]	TAU1チャネル3のカウント完了/キャプチャ完了		0060H		○	○	○	○	○
		INTTM23[注11]	TAU2チャネル3のカウント完了/キャプチャ完了				○	－	－	－	－
	47	INTFL	予約[注3]		0062H		○	○	○	○	○

（注は次のページにあります。）

注1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。
0が最高順位，60が最低順位です。
2. 基本構成タイプの（A）-（F）は，それぞれ図22－1の（A）-（F）に対応しています。
3. 本割り込みは使用しないでください。
4. INTP11とINTLIN0WUPは，ISCレジスタのISC2ビットで選択してください。
5. INTTM05とINTSR2/INTCSI21の割り込み要因を判別する場合，INTFLG1レジスタのINTFLG15 ビットおよびINTFLG4レジスタのINTFLG44ビットを確認してください。
6. INTTM06とINTSRE2の割り込み要因を判別する場合，INTFLG1レジスタのINTFLG16 ビットおよびSSR20/SSR21レジスタを確認してください。
7. INTP15とINTTM07の割り込み要因を判別する場合，INTFLG4レジスタのINTFLG40ビットおよびINTFLG1レジスタのINTFLG17ビットを確認してください。
8. INTTM10とINTTM20の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG20ビットおよびINTFLG3レジスタのINTFLG30ビットを確認してください。
9. INTTM11とINTTM21の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG21ビットおよびINTFLG3レジスタのINTFLG31ビットを確認してください。
10. INTTM12とINTTM22の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG22ビットおよびINTFLG3レジスタのINTFLG32ビットを確認してください。
11. INTTM13とINTTM23の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG23ビットおよびINTFLG3レジスタのINTFLG33ビットを確認してください。

表22－1 割り込み要因一覧（4/4）

割り込みの処理	デフォルト・プライオリティ[注1]	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ[注2]	144ピン	100ピン	80ピン	64ピン	48ピン
マスカブル	48	INTP12[注5]	端子入力エッジ検出12	外部	0064H	(B)	○	○	○	○	－
		INTLIN1WUP[注5]	LIN1受信端子入力			(E)	○	○	○	○	○
	49	INTLIN1TRM	LIN1の送信	内部	0066H	(A)	○	○	○	○	○
	50	INTLIN1RVC	LIN1の受信完了		0068H		○	○	○	○	○
	51	INTLIN1STA/ INTLIN1	LIN1の受信ステータス/ LIN1の割り込み		006AH		○	○	○	○	○
	52	INTTM14[注7]	TAU1チャネル4のカウント完了/ キャプチャ完了		006CH		○	○	○	○	○
		INTTM24[注7]	TAU2チャネル4のカウント完了/ キャプチャ完了				○	－	－	－	－
	53	INTTM15[注8]	TAU1チャネル5のカウント完了/ キャプチャ完了		006EH		○	○	○	○	○
		INTTM25[注8]	TAU2チャネル5のカウント完了/ キャプチャ完了				○	－	－	－	－
	54	INTTM16[注9]	TAU1チャネル6のカウント完了/ キャプチャ完了		0070H		○	○	○	○	○
		INTTM26[注9]	TAU2チャネル6のカウント完了/ キャプチャ完了				○	－	－	－	－
	55	INTTM17[注10]	TAU1チャネル7のカウント完了/ キャプチャ完了		0072H		○	○	○	○	○
		INTTM27[注10]	TAU2チャネル7のカウント完了/ キャプチャ完了				○	－	－	－	－
	56	INTCAN1ERR	CAN1チャネルエラー		0074H		○	○	○	○	○
	57	INTCAN1WUP	CAN1ウェイクアップ	外部	0076H	(D)	○	○	○	○	○
	58	INTCAN1CFR	CAN1送受信FIFO受信	内部	0078H	(A)	○	○	○	○	○
	59	INTCAN1TRM	CAN1チャネル送信		007AH		○	○	○	○	○
	60	INTP14[注6]	端子入力エッジ検出14	外部	007CH	(B)	○	－	－	－	－
		INTLIN2WUP[注6]	LIN2受信端子入力			(E)	○	○	－	－	－
ソフトウエア	－	BRK	BRK命令の実行	－	007EH	(F)	○	○	○	○	○
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	0000H	－	○	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○	○
		LVD	電圧検出[注3]				○	○	○	○	○
		WDT	ウォッチドッグ･タイマのオーバフロー				○	○	○	○	○
		TRAP	不正命令の実行[注4]				○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○
		CLM	メインクロック発振停止				○	○	○	○	○

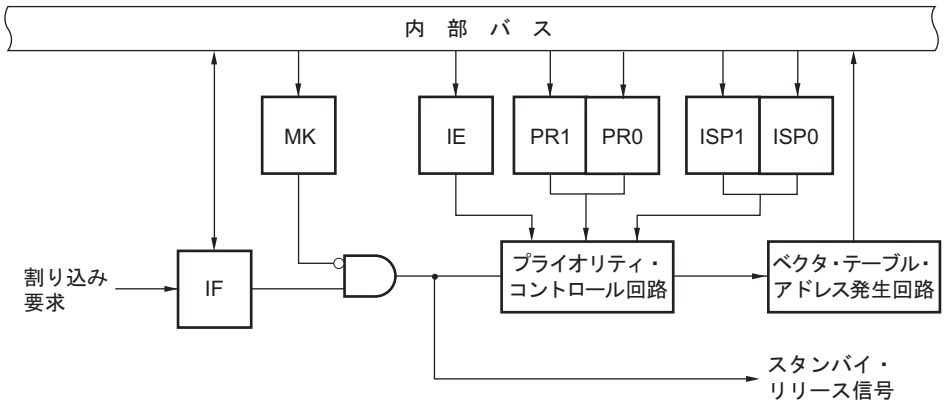
（注は次のページにあります。）

注1. デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。
0が最高順位，60が最低順位です。

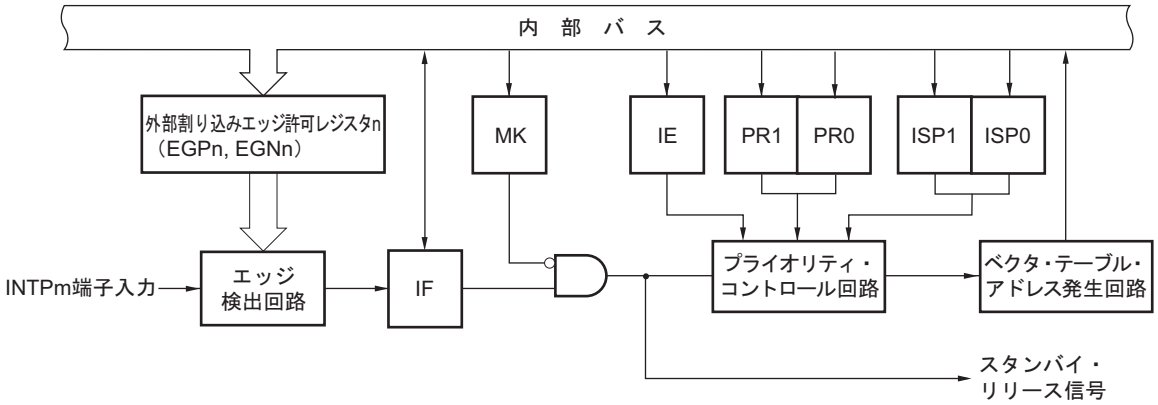
2. 基本構成タイプの（A）-（F）は，それぞれ図22－1の（A）-（F）に対応しています。
3. 電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 1選択時。
4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。
5. INTP12とINTLIN1WUPは，ISCレジスタのISC3ビットで選択してください。
6. INTP14とINTLIN2WUPは，ISCレジスタのISC4ビットで選択してください。
7. INTTM14とINTTM24の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG24ビットおよびINTFLG3レジスタのINTFLG34ビットを確認してください。
8. INTTM15とINTTM25の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG25ビットおよびINTFLG3レジスタのINTFLG35ビットを確認してください。
9. INTTM16とINTTM26の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG26ビットおよびINTFLG3レジスタのINTFLG36ビットを確認してください。
10. INTTM17とINTTM27の割り込み要因を判別する場合，INTFLG2レジスタのINTFLG27ビットおよびINTFLG3レジスタのINTFLG37ビットを確認してください。

図22－1　割り込み機能の基本構成（1/3）

（A）内部マスカブル割り込み



（B）外部マスカブル割り込み（INTPm）



IF　：割り込み要求フラグ

IE　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　：割り込みマスク・フラグ

PR0　：優先順位指定フラグ0

PR1　：優先順位指定フラグ1

備考　n = 0, 1

48ピン　：m = 0-9

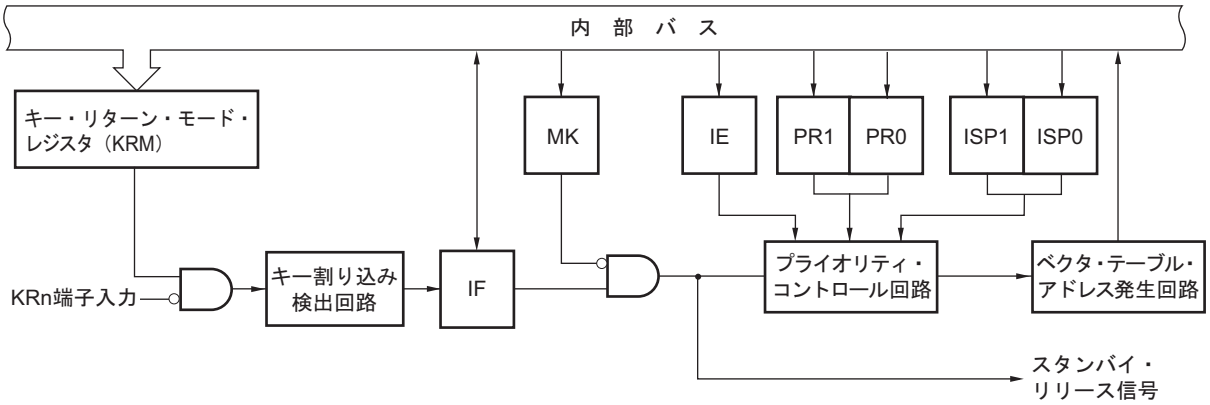
64ピン　：m = 0-12

80, 100ピン　：m = 0-13

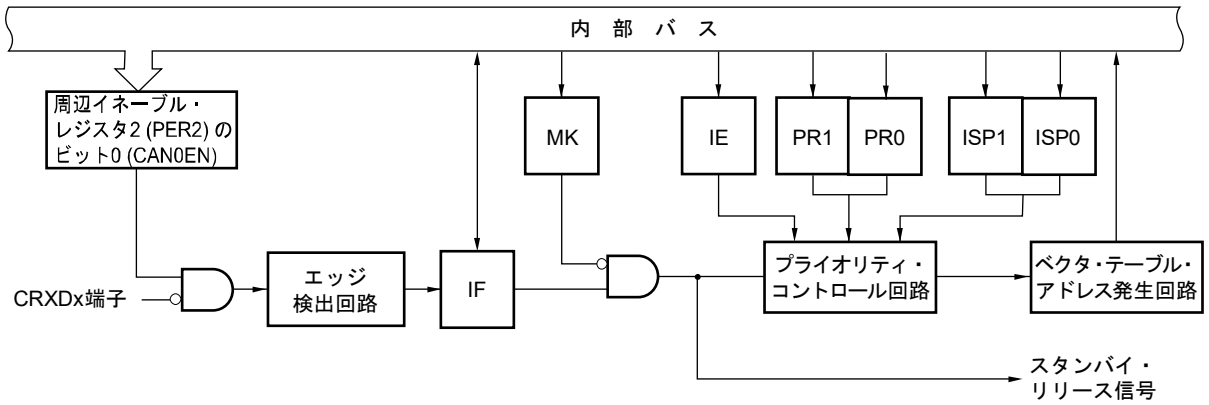
144ピン　：m = 0-15

図22－1　割り込み機能の基本構成（2/3）

（C）外部マスカブル割り込み（INTKR）



（D）外部マスカブル割り込み（CANxウェイクアップ）

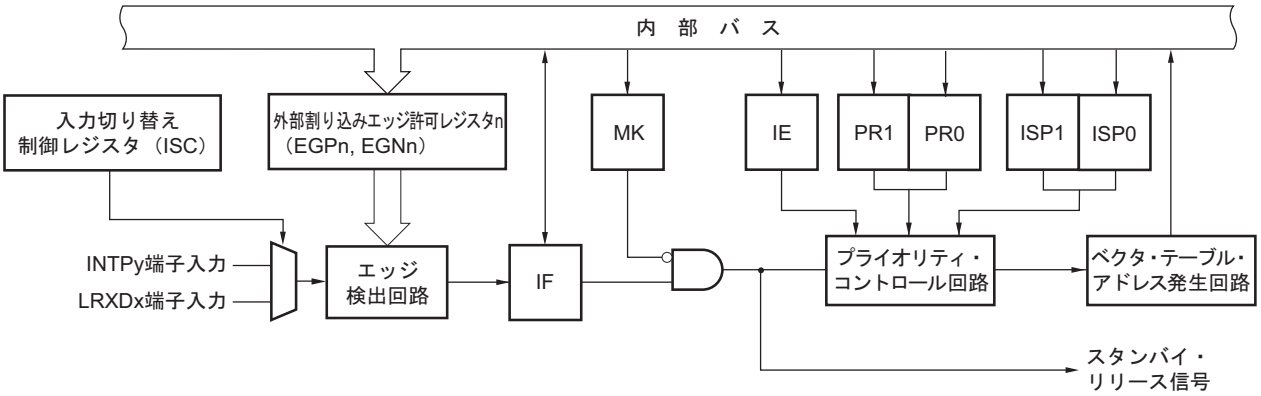


IF　　：割り込み要求フラグ
IE　　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　　：割り込みマスク・フラグ
PR0　　：優先順位指定フラグ0
PR1　　：優先順位指定フラグ1

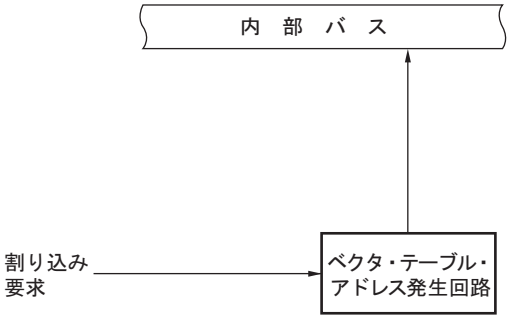
備考　48, 64, 80, 100, 144ピン　　：n = 0-7
　　x = 0, 1

図22－1　割り込み機能の基本構成（3/3）

（E）外部マスカブル割り込み（LINxウェイクアップ）



（F）ソフトウエア割り込み



IF　　：割り込み要求フラグ
IE　　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　　：割り込みマスク・フラグ
PR0　　：優先順位指定フラグ0
PR1　　：優先順位指定フラグ1

備考　n = 0, 1
　　x = 0-2
　　y = 11, 12, 14

22.3　割り込み機能を制御するレジスタ

割り込み機能は，次の9種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H）
- 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）
- 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）
- 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）
- 外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）
- 割り込み要因判別フラグ・レジスタ（INTFLG0, INTFLG1, INTFLG2, INTFLG3）
- 割り込みマスク・レジスタ（INTMSK）
- 入力切り替え制御レジスタ（ISC）
- プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表22－2に示します。

表22－2　割り込み要求ソースに対応する各種フラグ（1/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	144ピン	100ピン	80ピン	64ピン	48ピン
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○
INTSPM	SPMIF		SPMMK		SPMPR0, SPMPR1		○	○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○
INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10		○	○	○	○	○

表22－2 割り込み要求ソースに対応する各種フラグ（2/5）

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		144ピン	100ピン	80ピン	64ピン	48ピン
		レジスタ		レジスタ		レジスタ					
INTP13	PIF13	IF0H	PMK13	MK0H	PPR013, PPR113	PR00H, PR10H	○	○	○	－	－
INTCLM	CLMIF		CLMMK		CLMPR0, CLMPR1		○	○	○	○	○
INTST0	STIF0		STMK0		STPR00, STPR10		○	○	○	○	○
INTCSI00	CSIIF00		CSIMK00		CSIPR000, CSIPR100		○	○	○	○	○
INTIIC00	IICIF00		IICMK00		IICPR000, IICPR100		○	○	○	○	○
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10		○	○	○	○	○
INTCSI01	CSIIF01		CSIMK01		CSIPR001, CSIPR101		○	○	○	○	○
INTIIC01	IICIF01		IICMK01		IICPR001, IICPR101		○	○	○	○	○
INTTRD0	TRDIF0		TRDMK0		TRDPR00, TRDPR10		○	○	○	○	○
INTTRD1	TRDIF1		TRDMK1		TRDPR01, TRDPR11		○	○	○	○	○
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10		○	○	○	○	○
INTRAM	RAMIF		RAMMK		RAMPR0, RAMPR1		○	○	○	○	○
INTLIN0TRM	LIN0TRMIF		LIN0TRMMK		LIN0TRMPR0, LIN0TRMPR1		○	○	○	○	○

注意1. 割り込み要因INTST0, INTCSI00, INTIIC00のうち，いずれかが発生したら，IF0Hレジスタのビット1はセット（1）されます。
また，MK0H, PR00H, PR10Hレジスタのビット1は，3つすべての割り込み要因に対応しています。

2. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち，いずれかが発生したら，IF0Hレジスタのビット2はセット（1）されます。
また，MK0H, PR00H, PR10Hレジスタのビット2は，3つすべての割り込み要因に対応しています。

表22－2 割り込み要求ソースに対応する各種フラグ（3/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	144ピン	100ピン	80ピン	64ピン	48ピン
INTLIN0RVC	LIN0RVCIF	IF1L	LIN0RVCMK	MK1L	LIN0RVCPR0, LIN0RVCPR1	PR01L, PR11L	○	○	○	○	○
INTLIN0STA	LIN0STAIF		LIN0STAMK		LIN0STAPR0, LIN0STAPR1		○	○	○	○	○
INTLIN0	LIN0IF		LIN0MK		LIN0PR0, LIN0PR1		○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○
INTP8	PIF8		PMK8		PPR08, PPR18		○	○	○	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○
INTLIN2TRM	LIN2TRMIF		LIN2TRMMK		LIN2TRMPR0, LIN2TRMPR1		○	○	－	－	－
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○
INTLIN2RVC	LIN2RVCIF		LIN2RVCMK		LIN2RVCPR0, LIN2RVCPR1		○	○	－	－	－
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○
INTLIN2STA	LIN2STAIF		LIN2STAMK		LIN2STAPR0, LIN2STAPR1		○	○	－	－	－
INTLIN2	LIN2IF		LIN2MK		LIN2PR0, LIN2PR1		○	○	－	－	－
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○	○
INTTM11H	TMIF11H		TMMK11H		TMPR011H, TMPR111H		○	○	○	○	○
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	○	○
INTTM13H	TMIF13H		TMMK13H		TMPR013H, TMPR113H		○	○	○	○	○
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	○	○	○
INTTM01H	TMIF01H		TMMK01H		TMPR001H, TMPR101H		○	○	○	○	○
INTP10	PIF10		PMK10		PPR010, PPR110		○	○	○	○	－
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H		○	○	○	○	○
INTST1	STIF1		STMK1		STPR01, STPR11		○	○	○	○	○
INTCSI10	CSIIF10		CSIMK10		CSIPR010, CSIPR110		○	○	○	○	○
INTIIC10	IICIF10		IICMK10		IICPR010, IICPR110		○	○	○	○	○
INTIEBBTD	IEBBTDIF		IEBBTDMK		IEBBTDPR0, IEBBTDPR1		○	○	○	○	○

（注意は，表の末尾にあります）

表22－2 割り込み要求ソースに対応する各種フラグ（4/5）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	144ピン	100ピン	80ピン	64ピン	48ピン
INTSR1	SRIF1	IF1H	SRMK1	MK1H	SRPR01, SRPR11	PR01H, PR11H	○	○	○	○	○
INTCSI11	CSIIF11		CSIMK11		CSIPR011, CSIPR111		○	○	○	○	○
INTIIC11	IICIF11		IICMK11		IICPR011, IICPR111		○	○	○	○	○
INTIEBBTV	IEBBTVIF		IEBBTVMK		IEBBTVPR0, IEBBTVPR1		○	○	○	○	○
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○
INTST2	STIF2		STMK2		STPR02, STPR12		○	○	－	－	－
INTCSI20	CSIIF20		CSIMK20		CSIPR020, CSIPR120		○	○	－	－	－
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○	○	○	○
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12		○	○	－	－	－
INTCSI21	CSIIF21		CSIMK21		CSIPR021, CSIPR121		○	○	－	－	－
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○	○	○
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○	－	－	－
INTP15	PIF15		PMK15		PPR015, PPR115		○	－	－	－	－
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○	○
INTP11	PIF11		PMK11		PPR011, PPR111		○	○	○	○	－
INTLIN0WUP	LIN0WUPIF		LIN0WUPMK		LIN0WUPPR0, LIN0WUPPR1		○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○
INTCAN0ERR	CAN0ERRIF		CAN0ERRMK		CAN0ERRPR0, CAN0ERRPR1		○	○	○	○	○
INTCAN0WUP	CAN0WUPIF		CAN0WUPMK		CAN0WUPPR0, CAN0WUPPR1		○	○	○	○	○
INTCAN0CFR	CAN0CFRIF		CAN0CFRMK		CAN0CFRPR0, CAN0CFRPR1		○	○	○	○	○
INTCAN0TRM	CAN0TRMIF	IF2H	CAN0TRMMK	MK2H	CAN0TRMPR0, CAN0TRMPR1	PR02H, PR12H	○	○	○	○	○
INTCANGRFR	CANGRFRIF		CANGRFRMK		CANGRFRPR0, CANGRFRPR1		○	○	○	○	○
INTCANGERR	CANGERRIF		CANGERRMK		CANGERRPR0, CANGERRPR1		○	○	○	○	○
INTTM10	TMIF10		TMMK10		TMPR010, TMPR110		○	○	○	○	○

（注意は，表の末尾にあります）

表22－2 割り込み要求ソースに対応する各種フラグ（5/5）

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		144ピン	100ピン	80ピン	64ピン	48ピン
		レジスタ		レジスタ		レジスタ					
INTTM20	TMIF20	IF2H	TMMK20	MK2H	TMPR020, TMPR120	PR02H, PR12H	○	－	－	－	－
INTTM11	TMIF11		TMMK11		TMPR011, TMPR111		○	○	○	○	○
INTTM21	TMIF21		TMMK21		TMPR021, TMPR121		○	－	－	－	－
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112		○	○	○	○	○
INTTM22	TMIF22		TMMK22		TMPR022, TMPR122		○	－	－	－	－
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113		○	○	○	○	○
INTTM23	TMIF23		TMMK23		TMPR023, TMPR123		○	－	－	－	－
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○
INTP12	PIF12	IF3L	PMK12	MK3L	PPR012, PPR112	PR03L, PR13L	○	○	○	○	－
INTLIN1WUP	LIN1WUPIF		LIN1WUPMK		LIN1WUPPR0, LIN1WUPPR1		○	○	○	○	○
INTLIN1TRM	LIN1TRMIF		LIN1TRMMK		LIN1TRMPR0, LIN1TRMPR1		○	○	○	○	○
INTLIN1RVC	LIN1RVCIF		LIN1RVCMK		LIN1RVCPR0, LIN1RVCPR1		○	○	○	○	○
INTLIN1STA	LIN1STAIF		LIN1STAMK		LIN1STAPR0, LIN1STAPR1		○	○	○	○	○
INTLIN1	LIN1IF		LIN1MK		LIN1PR0, LIN1PR1		○	○	○	○	○
INTTM14	TMIF14		TMMK14		TMPR014, TMPR114		○	○	○	○	○
INTTM24	TMIF24		TMMK24		TMPR024, TMPR124		○	－	－	－	－
INTTM15	TMIF15		TMMK15		TMPR015, TMPR115		○	○	○	○	○
INTTM25	TMIF25		TMMK25		TMPR025, TMPR125		○	－	－	－	－
INTTM16	TMIF16		TMMK16		TMPR016, TMPR116		○	○	○	○	○
INTTM26	TMIF26		TMMK26		TMPR026, TMPR126		○	－	－	－	－
INTTM17	TMIF17		TMMK17		TMPR017, TMPR117		○	○	○	○	○
INTTM27	TMIF27		TMMK27		TMPR027, TMPR127		○	－	－	－	－
INTCAN1ERR	CAN1ERRIF	IF3H	CAN1ERRMK	MK3H	CAN1ERRPR0, CAN1ERRPR1	PR03H, PR13H	○	○	○	○	○
INTCAN1WUP	CAN1WUPIF		CAN1WUPMK		CAN1WUPPR0, CAN1WUPPR1		○	○	○	○	○
INTCAN1CFR	CAN1CFRIF		CAN1CFRMK		CAN1CFRPR0, CAN1CFRPR1		○	○	○	○	○
INTCAN1TRM	CAN1TRMIF		CAN1TRMMK		CAN1TRMPR0, CAN1TRMPR1		○	○	○	○	○
INTP14	PIF14		PMK14		PPR014, PPR114		○	－	－	－	－
INTLIN2WUP	LIN2WUPIF		LIN2WUPMK		LIN2WUPPR0, LIN2WUPPR1		○	○	－	－	－

（注意は，次のページにあります。）

注意1. INTP6, TAU1のチャネル1（8ビット・タイマ動作時）は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。いずれかが発生したら、IF1Hレジスタのビット1はセット（1）されます。また、MK1H、PR01H、PR11Hレジスタのビット1は、2つすべての割り込み要因に対応しています。

2. INTP7, TAU1のチャネル3（8ビット・タイマ動作時）は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。いずれかが発生したら、IF1Hレジスタのビット2はセット（1）されます。また、MK1H、PR01H、PR11Hレジスタのビット2は、2つすべての割り込み要因に対応しています。

3. INTP9, TAU0のチャネル1（8ビット・タイマ動作時）は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。いずれかが発生したら、IF1Hレジスタのビット3はセット（1）されます。また、MK1H、PR01H、PR11Hレジスタのビット3は、2つすべての割り込み要因に対応しています。

4. INTP10, TAU0のチャネル3（8ビット・タイマ動作時）は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。いずれかが発生したら、IF1Hレジスタのビット4はセット（1）されます。また、MK1H、PR01H、PR11Hレジスタのビット4は、2つすべての割り込み要因に対応しています。

5. 割り込み要因INTST1, INTCSI10, INTIIC10のうち，いずれかが発生したら，IF1Hレジスタのビット5はセット（1）されます。また，MK1H, PR01H, PR11Hレジスタのビット5は，3つすべての割り込み要因に対応しています。

6. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち，いずれかが発生したら，IF1Hレジスタのビット6はセット（1）されます。また，MK1H, PR01H, PR11Hレジスタのビット6は，3つすべての割り込み要因に対応しています。

7. 割り込み要因INTST2,INTCSI20のうち、いずれかが発生したら、IF1Hレジスタのビット7はセット（1）されます。また、MK1H、PR01H、PR11Hレジスタのビット7は、両方の割り込み要因に対応しています。

8. 割り込み要因INTSR2,INTCSI21のうち、いずれかが発生したら、IF2Lレジスタのビット0はセット（1）されます。また、MK2L、PR02L、PR12Lレジスタのビット0は、両方の割り込み要因に対応しています。

22.3.1 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）し，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）します。

割り込みを受け付けた場合，割り込み要求フラグを自動的にクリアしてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタ, IF1LレジスタとIF1Hレジスタ, IF2LレジスタとIF2Hレジスタ, IF3LレジスタとIF3Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2, IF3として使用するときは，16ビット・メモリ操作命令で設定します。リセット信号の発生により，00Hになります。

備考 このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図22－2 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H）のフォーマット（1/2）

アドレス：FFFE0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5 CMPIF0	PIF4 SPMIF	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	LIN0TRMIF	RAMIF	TRJIF0	TRDIF1	TRDIF0	SRIF0 CSIIF01 IICIF01	STIF0 CSIIF00 IICIF00	CLMIF PIF13

アドレス：FFFE2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03 LIN2STAIF LIN2IF	TMIF02 LIN2RVCIF	TMIF01 LIN2TRMIF	TMIF00	PIF8 RTCIF	IICAIF0	LIN0STAIF LIN0IF	LIN0RVCIF

アドレス：FFFE3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04 STIF2 CSIIF20	SRIF1 CSIIF11 IICIF11 IEBBTVIF	STIF1 CSIIF10 IICIF10 IEBBTDIF	PIF10 TMIF03H	PIF9 TMIF01H	PIF7 TMIF13H	PIF6 TMIF11H	ADIF

アドレス：FFFD0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	CAN0CFRIF	CAN0WUPIF	CAN0ERRIF	KRIF	PIF11 LIN0WUPIF	PIF15 TMIF07	TMIF06 SREIF2	TMIF05 SRIF2 CSIIF21

図22－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H）のフォーマット（2/2）

アドレス：FFFD1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	TMIF13 TMIF23	TMIF12 TMIF22	TMIF11 TMIF21	TMIF10 TMIF20	CANGERRIF	CANGRFRIF	CAN0TRMIF

アドレス：FFFD2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF3L	TMIF17 TMIF27	TMIF16 TMIF26	TMIF15 TMIF25	TMIF14 TMIF24	LIN1STAIF LIN1IF	LIN1RVCIF	LIN1TRMIF	PIF12 LIN1WUPIF

アドレス：FFFD3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF3H	－ 	－ 	－ 	PIF14 LIN2WUPIF	CAN1TRMIF	CAN1CFRIF	CAN1WUPIF	CAN1ERRIF

IFxx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意1. 上記は，144ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表22－2を参照してください。また，搭載していないビットには必ず0を設定してください。

2. タイマ，シリアル・インタフェース，A/Dコンバータなどをスタンバイ解除後に動作させる場合，いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

3. 割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。
なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

22.3.2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）

割り込みマスク・フラグは，対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LレジスタとMK0Hレジスタ，MK1LレジスタとMK1Hレジスタ，MK2LレジスタとMK2Hレジスタ，MK3LレジスタとMK3Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2, MK3として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図22－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）のフォーマット（1/2）

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5 CMPMK0	PMK4 SPMMK	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	LIN0TRMMK	RAMMK	TRJMK0	TRDMK1	TRDMK0	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	CLMMK PMK13

アドレス：FFFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03 LIN2STAMK LIN2MK	TMMK02 LIN2RVCMK	TMMK01 LIN2TRMMK	TMMK00	PMK8 RTCMK	IICAMK0	LIN0STAMK LIN0MK	LIN0RVCMK

アドレス：FFFE7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04 STMK2 CSIMK20	SRMK1 CSIMK11 IICMK11 IEBBTVMK	STMK1 CSIMK10 IICMK10 IEBBTDMK	PMK10 TMMK03H	PMK9 TMMK01H	PMK7 TMMK13H	PMK6 TMMK11H	ADMK

アドレス：FFFD4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2L	CAN0CFRMK	CAN0WUPMK	CAN0ERRMK	KRMK	PMK11 LIN0WUPMK	PMK15 TMMK07	TMMK06 SREMK2	TMMK05 SRMK2 CSIMK21

図22－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H）のフォーマット（2/2）

アドレス：FFFD5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	TMMK13 TMMK23	TMMK12 TMMK22	TMMK11 TMMK21	TMMK10 TMMK20	CANGERRMK	CANGRFRMK	CAN0TRMMK

アドレス：FFFD6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK3L	TMMK17 TMMK27	TMMK16 TMMK26	TMMK15 TMMK25	TMMK14 TMMK24	LIN1STAMK LIN1MK	LIN1RVCMK	LIN1TRMMK	PMK12 LIN1WUPMK

アドレス：FFFD7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK3H	－ 	－ 	－ 	PMK14 LIN2WUPMK	CAN1TRMMK	CAN1CFRMK	CAN1WUPMK	CAN1ERRMK

MKxx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　上記は，144ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表22－2を参照してください。また，搭載していないビットには必ず1を設定してください。

22.3.3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L, 3H）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L,PR12H PR13L, PR13Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR00LレジスタとPR00Hレジスタ, PR01LレジスタとPR01Hレジスタ, PR02LレジスタとPR02Hレジスタ, PR10LレジスタとPR10Hレジスタ, PR11LレジスタとPR11Hレジスタ, PR12LレジスタとPR12Hレジスタ, PR03LレジスタとPR03Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図22－4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット（1/3）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05 CMPPR00	PPR04 SPMPR0	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15 CMPPR10	PPR14 SPMPR1	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	LIN0TRMPR0	RAMPR0	TRJPR00	TRDPR01	TRDPR00	SRPR00 CSIPR001 IICPR001	STPR00 CSIPR000 IICPR000	CLMPR0 PPR013

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	LIN0TRMPR1	RAMPR1	TRJPR10	TRDPR11	TRDPR10	SRPR10 CSIPR101 IICPR101	STPR10 CSIPR100 IICPR100	CLMPR1 PPR113

アドレス：FFFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003 LIN2STAPR0 LIN2PR0	TMPR002 LIN2RVCPR0	TMPR001 LIN2TRMPR0	TMPR000	PPR08 RTCPR0	IICAPR00	LIN0STAPR0 LIN0PR0	LIN0RVCPR0

図22－4 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H,PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット（2/3）

アドレス：FFFEEH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103 LIN2STAPR1 LIN2PR1	TMPR102 LIN2RVCPR1	TMPR101 LIN2TRMPR1	TMPR100	PPR18 RTCPR1	IICAPR10	LIN0STAPR1 LIN0PR1	LIN0RVCPR1

アドレス：FFFEBH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR004 STPR02 CSIPR020	SRPR01 CSIPR011 IICPR011 IEBBTVPR0	STPR01 CSIPR010 IICPR010 IEBBTDPR0	PPR010 TMPR003H	PPR09 TMPR001H	PPR07 TMPR013H	PPR06 TMPR011H	ADPR0

アドレス：FFFEFH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR104 STPR12 CSIPR120	SRPR11 CSIPR111 IICPR111 IEBBTVPR1	STPR11 CSIPR110 IICPR110 IEBBTDPR1	PPR110 TMPR103H	PPR19 TMPR101H	PPR17 TMPR113H	PPR16 TMPR111H	ADPR1

アドレス：FFFD8H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	CAN0CFRPR0	CAN0WUPPR0	CAN0ERRPR0	KRPR0	PPR011 LIN0WUPPR0	PPR015 TMPR007	TMPR006 SREPR02	TMPR005 SRPR02 CSIPR021

アドレス：FFFDCH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	CAN0CFRPR1	CAN0WUPPR1	CAN0ERRPR1	KRPR1	PPR111 LIN0WUPPR1	PPR115 TMPR107	TMPR106 SREPR12	TMPR105 SRPR12 CSIPR121

アドレス：FFFD9H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	TMPR013 TMPR023	TMPR012 TMPR022	TMPR011 TMPR021	TMPR010 TMPR020	CANGERRPR0	CANGRFRPR0	CAN0TRMPR0

アドレス：FFFDDH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	TMPR113 TMPR123	TMPR112 TMPR122	TMPR111 TMPR121	TMPR110 TMPR120	CANGERRPR1	CANGRFRPR1	CAN0TRMPR1

図22－4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H）のフォーマット（3/3）

アドレス：FFFDAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR03L	TMPR017 TMPR027	TMPR016 TMPR026	TMPR015 TMPR025	TMPR014 TMPR024	LIN1STAPR0 LIN1PR0	LIN1RVCPR0	LIN1TRMPR0	PPR012 LIN1WUPPR0

アドレス：FFFDBH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR03H	ー	ー	ー	PPR014 LIN2WUPPR0	CAN1TRMPR0	CAN1CFRPR0	CAN1WUPPR0	CAN1ERRPR0

アドレス：FFFDEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR13L	TMPR117 TMPR127	TMPR116 TMPR126	TMPR115 TMPR125	TMPR114 TMPR124	LIN1STAPR1 LIN1PR1	LIN1RVCPR1	LIN1TRMPR1	PPR112 LIN1WUPPR1

アドレス：FFFDFH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR13H	ー	ー	ー	PPR114 LIN2WUPPR1	CAN1TRMPR1	CAN1CFRPR1	CAN1WUPPR1	CAN1ERRPR1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　上記は，144ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表22－2を参照してください。また，搭載していないビットには必ず1を設定してください。

22.3.4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

INTP0-INTP15の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－5　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）のフォーマット

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス：FFF3AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP1	EGP15	EGP14	EGP13	EGP12	EGP11	EGP10	EGP9	EGP8

アドレス：FFF3BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN1	EGN15	EGN14	EGN13	EGN12	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0-15）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表22－3に示します。

表22－3　EGPnビットとEGNnビットの割り込み要求信号対応表

検出許可ビット		エッジ検出ポート	割り込み要求信号	144ピン	100ピン	80ピン	64ピン	48ピン
EGP0	EGN0	P137	INTP0	○	○	○	○	○
EGP1	EGN1	P125	INTP1	○	○	○	○	○
EGP2	EGN2	P30（P31）	INTP2	○	○	○	○	○
EGP3	EGN3	P17（P50）	INTP3	○	○	○	○	○
EGP4	EGN4	P120	INTP4	○	○	○	○	○
EGP5	EGN5	P12	INTP5	○	○	○	○	○
EGP6	EGN6	P71	INTP6	○	○	○	○	○
EGP7	EGN7	P32	INTP7	○	○	○	○	○
EGP8	EGN8	P70	INTP8	○	○	○	○	○
EGP9	EGN9	P00	INTP9	○	○	○	○	○
EGP10	EGN10	P53	INTP10	○	○	○	○	×
EGP11	EGN11	P51	INTP11/ INTLIN0WUP注	○	○	○	○	○
EGP12	EGN12	P77	INTP12/ INTLIN1WUP注	○	○	○	○	○
EGP13	EGN13	P47	INTP13	○	○	○	×	×
EGP14	EGN14	P131	INTP14/ INTLIN2WUP注	○	○	×	×	×
EGP15	EGN15	P04	INTP15	○	×	×	×	×

注　INTLIN0WUP，INTLIN1WUP，INTLIN2WUP割り込みが発生する前に，EGP1レジスタとEGN1レジスタを設定してください。

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると，有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は，エッジ検出禁止（EGPnビットとEGNnビットを0）にしてから該当する端子のポート・モード・レジスタ（PMxx）を0にしてください。

備考1.　エッジ検出ポートに関しては，「2.1　端子機能一覧」を参照してください。

2.　n = 0-15

22.3.5　割り込み要因判別フラグ・レジスタ0（INTFLG0）

割り込み要因判別フラグ・レジスタ0は、外部割り込み要因（INTP4, 5, 8, 13）およびコンパレータ検出0割り込み要因と同じベクタ・テーブル・アドレスを兼用している他の要因のうち、どちらの要因で割り込みが発生したかを判別するための機能を持ちます。

本レジスタのフラグは、ソフトウェアでセットすることはできません。

フラグのクリアはソフトウェアでクリアします。

フラグをクリアする場合、クリアしたいビット以外に1を書いてください。

書き込み命令は、8ビット・データ転送命令を使用してください。

図22－6　割り込み要因判別フラグ・レジスタ0（INTFLG0）のフォーマット

アドレス：F0079H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTFLG0	INTFLG07注2	INTFLG06注1	0	0	0	INTFLG02注2	INTFLG01注2	INTFLG00注2

INTFLG07注2	ベクタ・テーブル・アドレス00014hの割り込み要因判別フラグ
0	INTP13割り込み未発生
1	INTP13割り込み発生

INTFLG06注1	ベクタ・テーブル・アドレス00012hの割り込み要因判別フラグ
0	コンパレータ検出0割り込み未発生
1	コンパレータ検出0割り込み発生

INTFLG02注2	ベクタ・テーブル・アドレス0002Ahの割り込み要因判別フラグ
0	INTP8割り込み未発生
1	INTP8割り込み発生

INTFLG01注2	ベクタ・テーブル・アドレス00012hの割り込み要因判別フラグ
0	INTP5割り込み未発生
1	INTP5割り込み発生

INTFLG00注2	ベクタ・テーブル・アドレス00010hの割り込み要因判別フラグ
0	INTP4割り込み未発生
1	INTP4割り込み発生

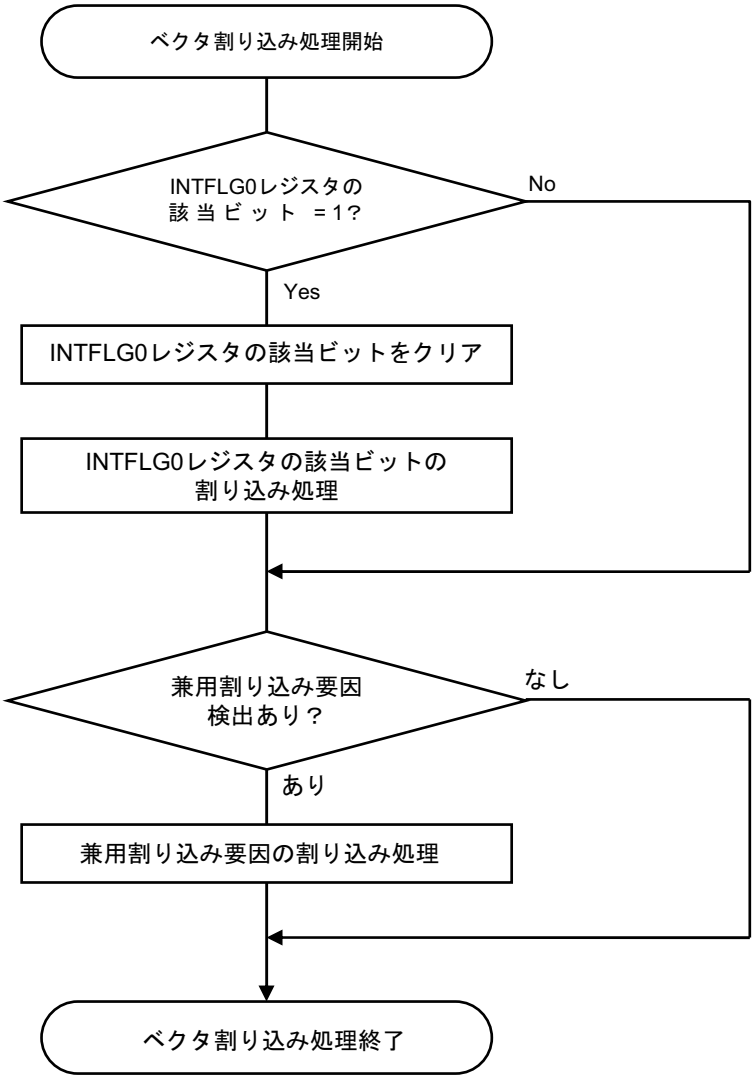
注1. DTCCRjレジスタ（j = 0～23）のRPTINTビットを0（リピート・モード時割り込み禁止）にしていても，コンパレータ検出0割り込み要因が発生すると，INTFLG06ビットは1になります。

2. 割り込みマスク・フラグ・レジスタ（MKxx）、割り込みマスク・レジスタ（INTMSK）のビットの設定にかかわらず、INTPn割り込みが発生した場合には割り込み要因判別フラグ・レジスタ0（INTFLG0）のビットmはセットされます。

m：ビット番号（m = 0, 1, 2, 7），n：INTP割り込み番号（n = 4, 5, 8, 13）

割り込み要因 INTP4, 5, 8, 13は他の割り込み要因と兼用しています。どの割り込み要因で割り込みが発生したかを、INTFLG0レジスタおよび兼用割り込み要因のレジスタやフラグで判別できます。図22－7に割り込み要因判別フラグを使用した割り込み処理フロー・チャートを示します。

図22－7　割り込み要因判別フラグを使用した割り込み処理フロー・チャート



22.3.6　割り込み要因判別フラグ・レジスタ1-4（INTFLG1-4）

割り込み要因判別フラグ・レジスタ1-4は同じベクタ・テーブル・アドレスを兼用している2つの割り込み要因のうち、どちらの要因で割り込みが発生したかを判別するための機能を持ちます。

本レジスタのフラグは、ソフトウェアでセットすることはできません。

フラグのクリアはソフトウェアでクリアします。

フラグをクリアする場合、クリアしたいビット以外に1を書いてください。

書き込み命令は、8ビット・データ転送命令を使用してください。

図22－8　割り込み要因判別フラグ・レジスタ1（INTFLG1）のフォーマット

アドレス：F007DH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTFLG1	INTFLG17	INTFLG16	INTFLG15	INTFLG14	INTFLG13	INTFLG12	INTFLG11	0

INTFLG1n 注1, 2	TAU0の割り込み要因判別フラグ
0	TAU0チャネルnのカウント完了/キャプチャ完了割り込み未発生
1	TAU0チャネルnのカウント完了/キャプチャ完了割り込み発生

注1.　n=1-7。 n=0(TAU0 のチャネル0)は独立した割り込み要因なので判別フラグは不要です。

2.　DTC の設定でRPTINT=0（リピート・モード時の割り込み発生禁止)にしていても，割り込みが発生すると，INTFLG1n ビットは1になります。

図22－9　割り込み要因判別フラグ・レジスタ2（INTFLG2）のフォーマット

アドレス：F0212H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTFLG2	INTFLG27[注2]	INTFLG26[注2]	INTFLG25[注2]	INTFLG24[注2]	INTFLG23[注2]	INTFLG22[注2]	INTFLG21[注2]	INTFLG20[注2]

INTFLG2n[注1, 2]	TAU1の割り込み要因判別フラグ
0	TAU1チャネルnのカウント完了/キャプチャ完了割り込み未発生
1	TAU1チャネルnのカウント完了/キャプチャ完了割り込み発生

注1.　n=0-7。

2.　DTCの設定でRPTINT=0（リピート・モード時の割り込み発生禁止)にしていても，割り込みが発生すると，INTFLG2nビットは1になります。

図22－10　割り込み要因判別レジスタ3（INTFLG3）のフォーマット（144ピン製品のみ)

アドレス：F0213H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTFLG3	INTFLG37	INTFLG36	INTFLG35	INTFLG34	INTFLG33	INTFLG32	INTFLG31	INTFLG30

INTFLG3n[注]	TAU2の割り込み要因判別フラグ
0	TAU2チャネルnのカウント完了/キャプチャ完了割り込み未発生
1	TAU2チャネルnのカウント完了/キャプチャ完了割り込み発生

注　n=0-7。

図22－11　割り込み要因判別レジスタ4（INTFLG4）のフォーマット

アドレス：F0214H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
INTFLG4	INTFLG47	INTFLG46	0	INTFLG44	INTFLG43	INTFLG42	INTFLG41	INTFLG40

INTFLG47	IEBusベクタ割り込み要因判別フラグ
0	IEBusベクタ割り込み未発生
1	IEBusベクタ割り込み発生

INTFLG46[注3]	IEBusデータ割り込み要因判別フラグ
0	IEBusデータ割り込み未発生
1	IEBusデータ割り込み発生

INTFLG44[注3]	SAUユニット2のチャネル1の割り込み要因判別フラグ
0	UART2受信の転送完了、またはCSI21の転送完了/バッファ空き割り込み未発生
1	UART2受信の転送完了、またはCSI21の転送完了/バッファ空き割り込み発生

INTFLG43[注3]	SAUユニット2のチャネル0の割り込み要因判別フラグ
0	UART2送信の転送完了/バッファ空き割り込み、またはCSI20 の転送完了/バッファ空き割り込み未発生
1	UART2送信の転送完了/バッファ空き割り込み、またはCSI20 の転送完了/バッファ空き割り込み発生

INTFLG42[注3]	SAUユニット1のチャネル1の割り込み要因判別フラグ
0	UART1受信の転送完了、またはCSI11の転送完了/バッファ空き割り込み、またはIIC11の転送完了割り込み未発生
1	UART1受信の転送完了、またはCSI11の転送完了/バッファ空き割り込み、またはIIC11の転送完了割り込み発生

INTFLG41[注3]	SAUユニット1のチャネル0の割り込み要因判別フラグ
0	UART1送信の転送完了/バッファ空き割り込み、またはCSI10の転送完了/バッファ空き割り込み、またはIIC10の転送完了割り込み未発生
1	UART1送信の転送完了/バッファ空き割り込み、またはCSI10 の転送完了/バッファ空き割り込み、またはIIC10の転送完了割り込み発生

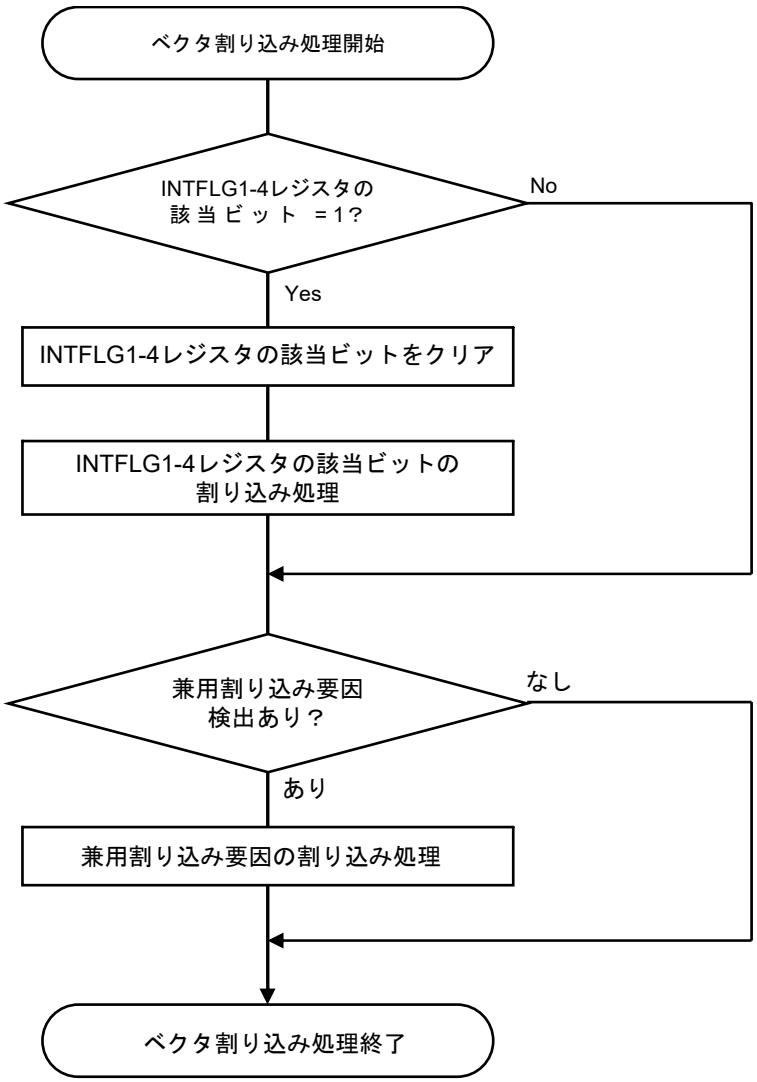
INTFLG40[注1, 2, 3]	INTP15の割り込み要因判別フラグ
0	INTP15 割り込み未発生
1	INTP15 割り込み発生

注1.　144ピン製品のみ

2.　割り込みマスク・フラグ・レジスタ（MKxx），割り込みマスク・レジスタ（INTMSK）のビットの設定にかかわらず，INTP15割り込みが発生した場合には，INTFLG40は1になります。

3.　DTCの設定でRPTINT=0（リピート・モード時の割り込み発生禁止）にしていても，割り込みが発生すると，INTFLG40からINTFLG46ビットは1になります。

図22－12　割り込み要因判別フラグを使用した割り込み処理フロー・チャート



22.3.7　割り込みマスク・レジスタ（INTMSK）

割り込みマスク・レジスタは、ELCへのイベント信号またはDTC起動要因と共通したINTPn割り込みについて、割り込み制御回路への要因をマスク制御するレジスタです。

INTMSKレジスタは、8ビット･メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図22－13　割り込みマスク・レジスタ（INTMSK）のフォーマット

アドレス：F007CH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
INTMSK	1	1	1	1	INTMSK3	INTMSK2	INTMSK1	INTMSK0

INTMSK3	INTP15の割り込み制御回路への要因マスク制御[注1, 2]
0	割り込み制御回路およびDTCへの要求を許可
1	割り込み制御回路への要求を禁止、DTCへの要求を許可

INTMSK2	INTP6の割り込み制御回路への要因マスク制御[注1]
0	割り込み制御回路およびDTCへの要求を許可
1	割り込み制御回路への要求を禁止、DTCへの要求を許可

INTMSK1	INTP5の割り込み制御回路への要因マスク制御[注1]
0	割り込み制御回路およびELC、DTCへの要求を許可
1	割り込み制御回路への要求を禁止、ELC、DTCへの要求を許可

INTMSK0	INTP4の割り込み制御回路への要因マスク制御[注1]
0	割り込み制御回路およびELC、DTCへの要求を許可
1	割り込み制御回路への要求を禁止、ELC、DTCへの要求を許可

注1.　割り込みマスク・レジスタのビットの設定に関わらず、INTPn割り込みが発生した場合には割り込み要因判別フラグ・レジスタ（INTFLG0およびINTFLG4）の対応するビットが1になります。

n：INTP割り込み番号（n = 4, 5, 15）

2.　144ピン製品のみ

22.3.8　入力切り替え制御レジスタ（ISC）

ISCレジスタのISC0ビットは, UART0でLIN-bus通信動作を実現するときに使用します。また、ISC2, ISC3, ISC4ビットは、LIN/UARTモジュール（RLIN3）で使用します。ISC0ビットを1にする場合、TIS1レジスタ（タイマ入力選択レジスタ1）のTIS17,TIS16ビットと共に設定してください。

ビット0に1を設定すると，シリアル・データ入力（RXD0）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって，ウェイクアップ信号をINTP0割り込みで検出できます。

ビット2 - 4をそれぞれ1に設定すると，LIN/UARTモジュール用のシリアル・データ入力端子の入力信号を外部割り込み入力として選択します。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

リセット信号の発生により，ISCレジスタは00Hになります。

図22－14　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：F0073H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	0	ISC0

ISC4[注]	外部割り込み（INTP14）の入力選択
0	INTP14端子の入力信号を外部割り込みに選択
1	LRXD2端子の入力信号を外部割り込みに選択

ISC3	外部割り込み（INTP12）の入力選択
0	INTP12端子の入力信号を外部割り込みに選択
1	LRXD1端子の入力信号を外部割り込みに選択

ISC2	外部割り込み（INTP11）の入力選択
0	INTP11端子の入力信号を外部割り込みに選択
1	LRXD0端子の入力信号を外部割り込みに選択

ISC0	外部割り込み（INTP0）の入力選択
0	INTP0端子の入力信号を外部割り込みに選択（通常動作）
1	RXD0端子の入力信号を外部割り込みに選択（ウエイクアップ信号検出）

注　144, 100ピン製品のみ

注意　ビット7-5, 1には必ず0を設定してください。

80, 64, 48ピン製品では、ISC4に0を設定してください。

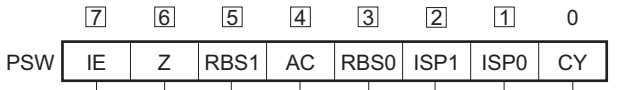
22.3.9　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時は，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は，”-1”した値をISP0, ISP1フラグに転送します。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図22－15　プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

22.4　割り込み処理動作

22.4.1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表22－4のようになります。

割り込み要求の受け付けタイミングについては，図22－17，図22－18を参照してください。

表22－4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
処理時間	9クロック	16クロック

注　内部RAM領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

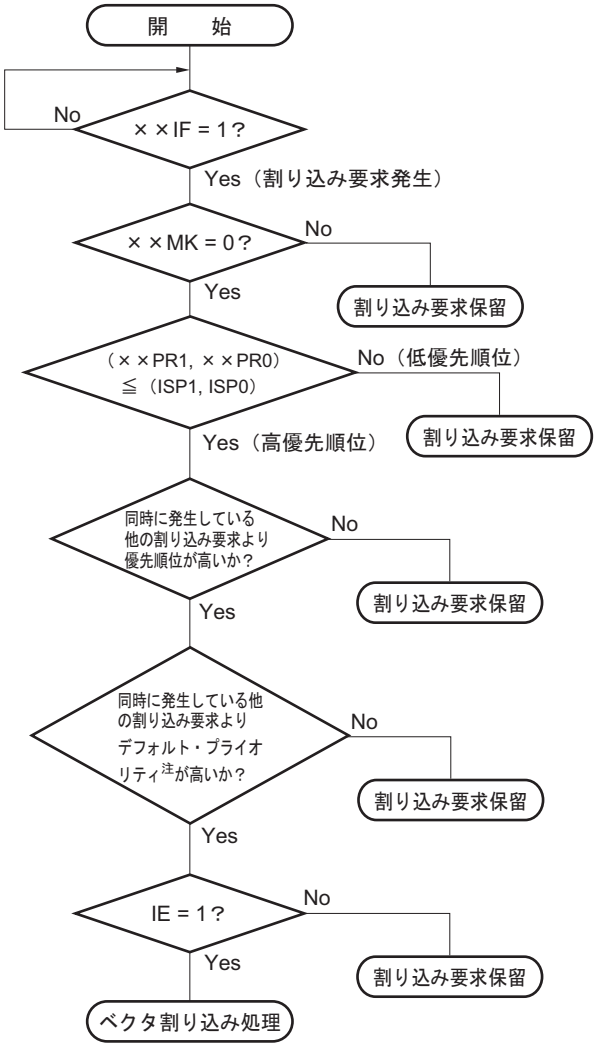
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図22－16に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

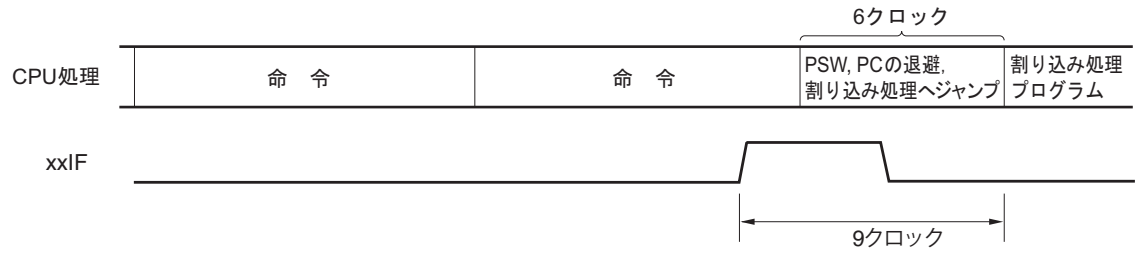
図22－16　割り込み要求受け付け処理アルゴリズム



××IF　：割り込み要求フラグ
××MK　：割り込みマスク・フラグ
××PR0　：優先順位指定フラグ0
××PR1　：優先順位指定フラグ1
IE　：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）
ISP0, ISP1　：現在処理中の割り込みの優先順位を示すフラグ

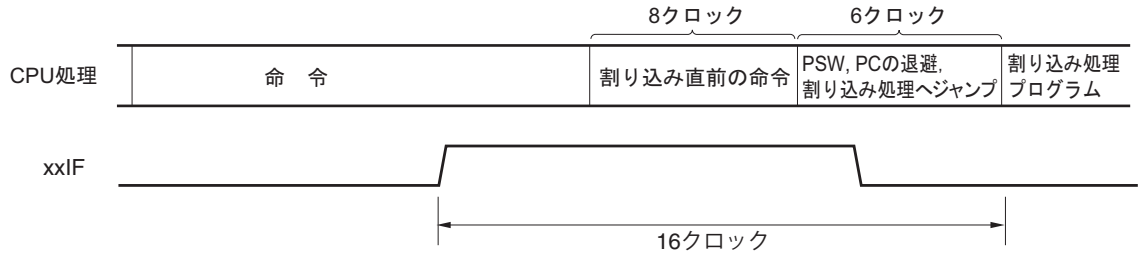
注　デフォルト・プライオリティは，「表22－1　割り込み要因一覧」を参照してください。

図22－17　割り込み要求の受け付けタイミング（最小時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

図22－18　割り込み要求の受け付けタイミング（最大時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

22.4.2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。

22.4.3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表22－5に多重割り込み可能な割り込み要求の関係を，図22－19に多重割り込みの例を示します。

表22－5　割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 ＼ 処理中の割り込み		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1.　○：多重割り込み可能。

2.　×：多重割り込み不可能。

3.　ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0　：レベル0の割り込み許可（レベル1またはレベル0の割り込み処理中）

ISP1 = 0, ISP0 = 1　：レベル0, 1の割り込み許可（レベル2の割り込み処理中）

ISP1 = 1, ISP0 = 0　：レベル0～2の割り込み許可（レベル3の割り込み処理中）

ISP1 = 1, ISP0 = 1　：すべての割り込み許可（割り込み受け付け待ち）

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

4.　PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13Hレジスタに含まれるフラグです。

PR = 00：××PR1×= 0, ××PR0×= 0でレベル0を指定（高優先順位）

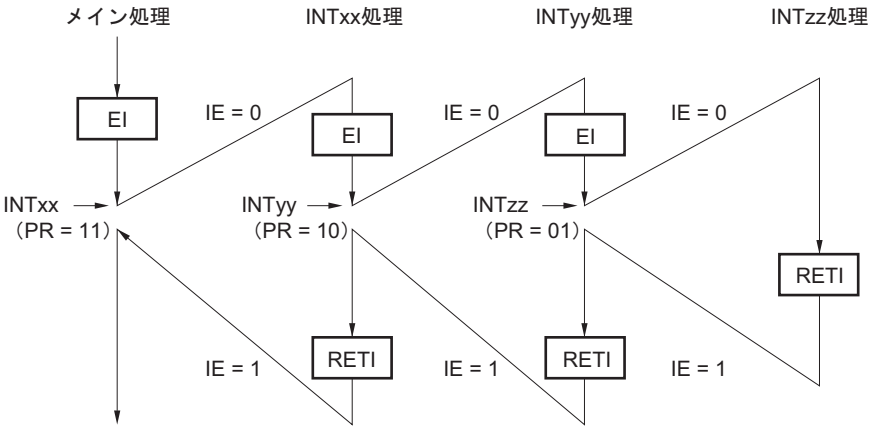
PR = 01：××PR1×= 0, ××PR0×= 1でレベル1を指定

PR = 10：××PR1×= 1, ××PR0×= 0でレベル2を指定

PR = 11：××PR1×= 1, ××PR0×= 1でレベル3を指定（低優先順位）

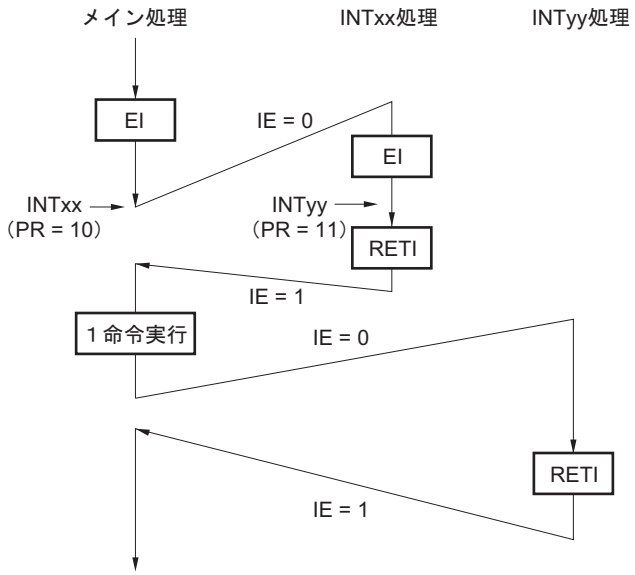
図22－19　多重割り込みの例（1/2）

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により，多重割り込みが発生しない例

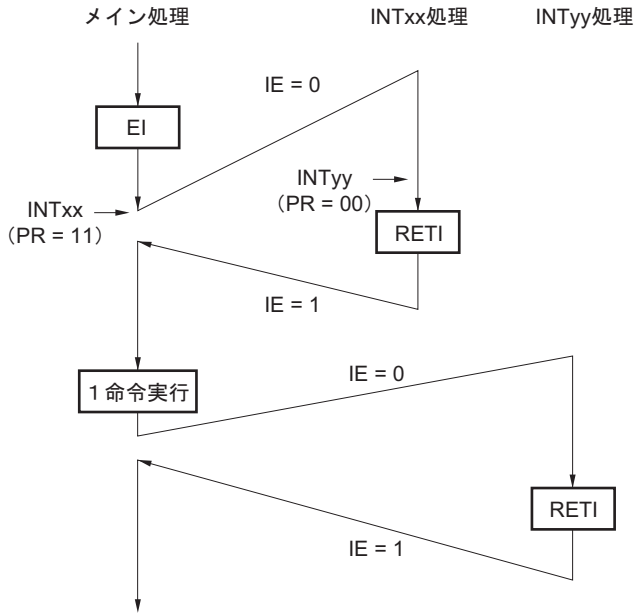


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00　：××PR1×= 0，××PR0×= 0でレベル0を指定（高優先順位）
PR = 01　：××PR1×= 0，××PR0×= 1でレベル1を指定
PR = 10　：××PR1×= 1，××PR0×= 0でレベル2を指定
PR = 11　：××PR1×= 1，××PR0×= 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

図22－19　多重割り込みの例（2/2）

例3. 割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00　：××PR1×= 0，××PR0×= 0でレベル0を指定（高優先順位）
PR = 01　：××PR1×= 0，××PR0×= 1でレベル1を指定
PR = 10　：××PR1×= 1，××PR0×= 0でレベル2を指定
PR = 11　：××PR1×= 1，××PR0×= 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

22.4.4　除算命令中の割り込み処理

RL78/F15は，除算命令実行時に割り込み応答性を向上させるため，DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は，DIVHU/DIVWU命令を中断します
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します
- 次の命令で割り込みが発生します
- DIVHU/DIVWU命令を再実行するために，PC-3をスタック･メモリに退避します。

表22－6　通常時と除算命令中の割り込み処理

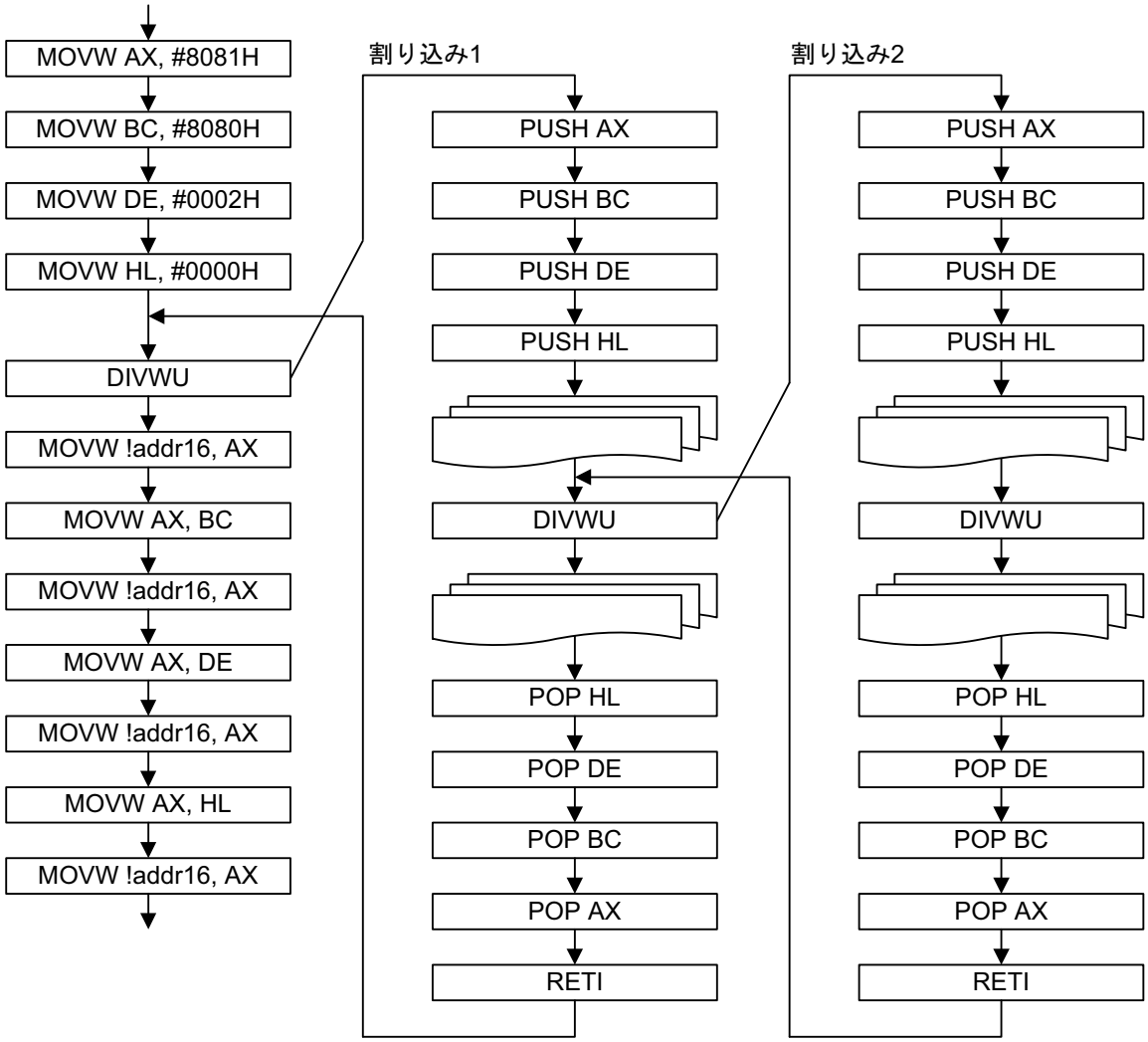
通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
(SP-1) ← PSW	(SP-1) ← PSW
(SP-2) ← $(PC)_S$	(SP-2) ← $(PC-3)_S$
(SP-3) ← $(PC)_H$	(SP-3) ← $(PC-3)_H$
(SP-4) ← $(PC)_L$	(SP-4) ← $(PC-3)_L$
PC_S ← 0000	PC_S ← 0000
PC_H ← (Vector)	PC_H ← (Vector)
PC_L ← (Vector)	PC_L ← (Vector)
SP ← SP-4	SP ← SP-4
IE ← 0	IE ← 0

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタック･メモリに退避してください。

注意　割り込み処理中にDIVHU、DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。
ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU、DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU、DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU、DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.3以降のC言語ソース
- GNURL78 (KPIT社 コンパイラ)のC言語ソース

図22－20　除算命令中の割り込み例



22.4.5　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW，#byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, IF3H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, MK3H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR03H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L, PR13H レジスタの各レジスタに対する操作命令

注意　BRK命令は，上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウエア割り込みでは，IEフラグが0にクリアされます。したがって，BRK命令実行中にマスカブル割り込み要求が発生しても，割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図22－21に示します。

図22－21　割り込み要求の保留



備考1.　命令N：割り込み要求の保留命令

2.　命令M：割り込み要求の保留命令以外の命令

第23章　キー割り込み機能

RL78/F15は8チャネルのキー割り込み入力を搭載しています。

23.1　キー割り込みの機能

キー・リターン・モード・レジスタ（KRM）の設定により，キー割り込み入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表23－1　キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

注意　製品ごとに端子の割り当てが異なります。PIOR50ビットでKRn機能をどのI/Oポートに割り当てるかを選択することができます。PIOR50ビットで割り当て可能なP70-P74，P80-P87，P90-P92はA/D入力と兼用しており，初期状態はアナログ入力ポートになります。キー入力割り込みを使用する場合，PIOR50ビット，ADPCレジスタ，PMC7レジスタでデジタル入力ポートに切り替えてからキー割り込み機能を使用してください。PIOR50ビット，ADPCレジスタ，PMC7レジスタの詳細は「4.3.14 周辺I/Oリダイレクション・レジスタ5（PIOR5）」，「12.3.11 A/Dポート・コンフィギュレーション・レジスタ（ADPC）」および「4.3.6 ポート・モード・コントロール・レジスタ 7, 12（PMC7, PMC12）」を参照してください。

備考1.　n = 0-7

2.　48ピン製品では，PIOR50ビットの設定により使用できる割り込みの本数は異なります。

・PIOR50 = 0設定時：KR0-KR3

・PIOR50 = 1設定時：KR0-KR7

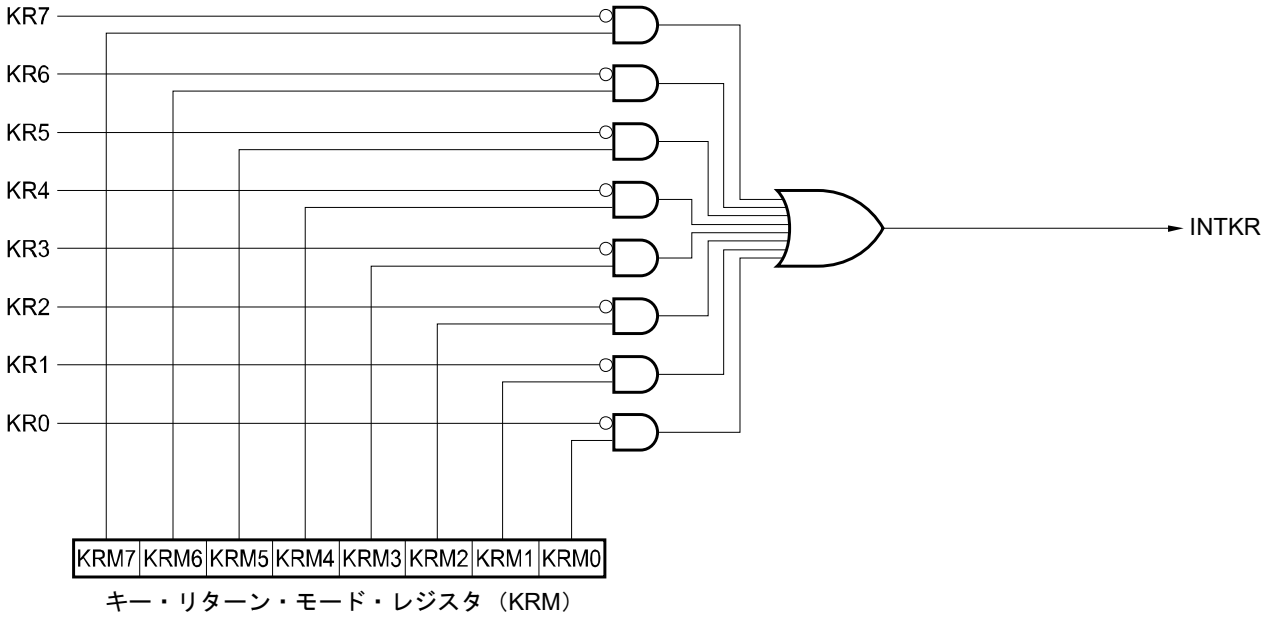
23.2　キー割り込みの構成

表23－2にキー割り込みの構成，図23－1にキー割り込みのブロック図を示します。

表23－2　キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ（KRM）

図23－1　キー割り込みのブロック図



23.3　キー割り込みを制御するレジスタ

23.3.1　キー・リターン・モード・レジスタ（KRM）

KRM0-KRM7ビットはKR0-KR7信号を制御します。

KRMレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－2　キー・リターン・モード・レジスタ（KRM）のフォーマット

アドレス：FFF37H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1.　KRn端子がロウ・レベルのときにKRMレジスタの対象ビットを1にすると割り込み要求が発生します。

この割り込みを無視したい場合，割り込みマスク・フラグで割り込み処理を禁止してから，KRMレジスタをセットしてください。その後，キー割り込み入力ロウ・レベル幅（t_{KR}）を待って，割り込み要求フラグをクリアしてください。

2.　キー割り込みで使用していない端子は通常ポートとして使用可能です。

3.　PIOR50ビットでキー割り込み入力の端子割り当てを変更すると，割り込み要求が発生する場合があります。端子の割り当てを変更する場合は，KRMレジスタが00Hまたはキー入力割り込み禁止の状態で設定してください。

4.　キー割り込みが割り当てられていない端子は、KRMレジスタの対象ビットを0にしてください。

備考　n = 0-7

第24章　スタンバイ機能

24.1　スタンバイ機能と構成

24.1.1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

（1）HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック，高速オンチップ・オシレータ，サブシステム・クロック，低速オンチップ・オシレータが動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

（2）STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

また、STOPモード解除要因発生時にポートの出力を反転させることができます。

（3）SNOOZEモード

タイマ・トリガ信号（INTRTC）またはELCイベント入力で生成した信号によるA/D変換要求，LIN/UARTモジュール（RLIN3）のUARTモードでのデータ受信信号，DTC起動要因により，STOPモードを解除し，CPUを動作させることなくA/D変換，データ受信，DTC動作を行います。CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

また、SNOOZEモードへの移行および解除に合わせて、SNOOZEモードの状態を選択した特定の端子に出力する機能があります。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

（注意は次のページにあります。）

注意1. STOPモードはCPUがメイン･システム･クロックで動作しているときだけ使用します。CPUがPLLクロック，サブ／低速オンチップ・オシレータ選択クロックで動作しているときは，STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック，サブ／低速オンチップ・オシレータ選択クロックのいずれかの動作状態でも使用できます。

2. STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。

3. A/Dコンバータ, LIN/UARTモジュールをSNOOZEモードで使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2），UARTスタンバイ・コントロール・レジスタ（LUSCn）をSTOPモードに移行する前に設定してください。詳細は「12.3　A/Dコンバータで使用するレジスタ」，「17.2　レジスタの説明」を参照してください。

4. A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。

5. ウォッチドッグ･タイマ専用低速オンチップ･オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は「第30章　オプション・バイト」を参照してください。

24.2　スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして，次の2種類があります。

- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）

STOPモード解除要因発生時にポートの出力を反転させるレジスタとして、次のレジスタがあります。

- STOPステータス出力制御レジスタ（STPSTC）

備考　クロックの動作／停止，切り替えを制御するレジスタについては，「第5章　クロック発生回路」を参照してください。

24.2.1　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブ／低速オンチップ・オシレータ選択クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生（$\overline{\text{RESET}}$入力，POR, LVD, WDT，不正命令の実行によるリセット），STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

図24－1　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.10 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.21 ms以上	13.10 ms以上

注意1.　上記時間経過後，MOST8ビットから順番に1となっていき，そのまま1を保持します。

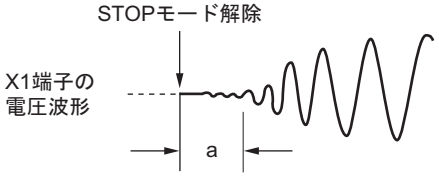
2.　発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次のときには，OSTSレジスタの発振安定時間を，OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合

（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

24.2.2　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合，OSTSレジスタで設定した時間を自動でウェイトします。

X1クロック発振開始後，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により，07Hになります。

図24－2　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_X = 10 MHz時	f_X = 20 MHz時
0	0	0	$2^8/f_X$	25.6 μs	12.8 μs
0	0	1	$2^9/f_X$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_X$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_X$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_X$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_X$	3.27 ms	1.63 ms
1	1	0	$2^{17}/f_X$	13.10 ms	6.55 ms
1	1	1	$2^{18}/f_X$	26.21 ms	13.10 ms

注意1.　CPUクロックがX1クロック時にSTOPモードへ移行する場合は，STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

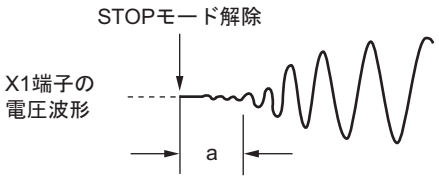
2.　OSTSレジスタの設定を変更する場合は，変更前にOSTCレジスタのカウント動作が終了していることを確認してください。

3.　X1クロックの発振安定時間中は，OSTSレジスタを変更しないでください。

4.　発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。
次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合
（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

5.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_X：X1クロック発振周波数

24.2.3　STOPステータス出力制御レジスタ（STPSTC）

STOPモード解除要因発生時またはSNOOZEモードから通常モードへの移行時に、P31もしくはP52のポート・ラッチを反転できます。

STPSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

IAWCTLレジスタのGCSCビット= 1のとき，ライト無効となります。

リセット信号の発生により、00Hになります。

注意　STOPステータス出力制御レジスタを使用する際は、あらかじめ対象ポートを出力モード、ポート・ラッチを0に設定しておいてください。

図24－3　STOPステータス出力制御レジスタ（STPSTC）のフォーマット

アドレス：F02CAH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
STPSTC	STPOEN	0	0	STPLV[注1]	0	0	0	STPSEL[注2]

STPOEN	STOPST出力許可制御
0	STOP解除時、何もしない。
1	STOP解除時、STPSELで選択した端子にSTPLVの値を出力する。

STPLV[注1]	STOPST出力データ制御
0	Low出力
1	High出力

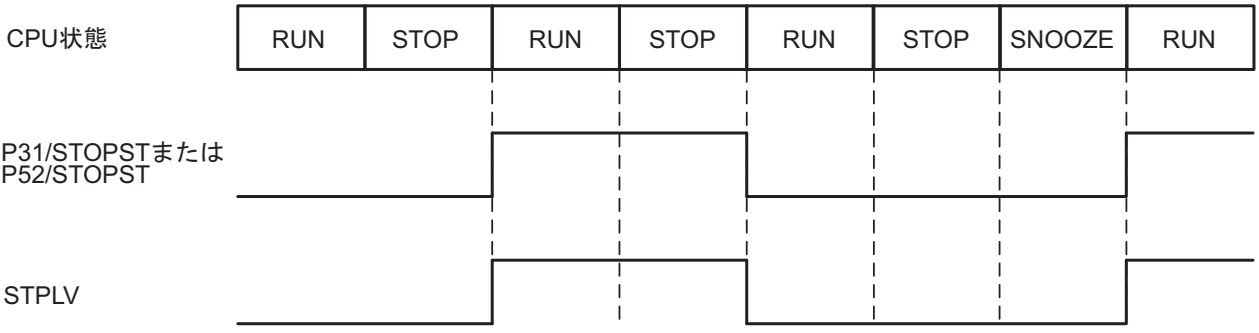
STPSEL[注2]	STOPST端子選択制御
0	P31選択
1	P52選択

注1.　STPLVビットはSTOPモード解除時およびSNOOZEモードから通常モード移行時に反転します。

2.　48ピン版ではビット0は読み出しのみ可能な予約ビットになります。初期値の0を設定してください。

注意　STPSTCレジスタのビット1-3, 5, 6は必ず0に設定してください。

CPU動作状態におけるSTOPST端子，STPLVビットのタイミング図を以下に示します。



24.3　スタンバイ機能の動作

24.3.1　HALTモード

（1）HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，PLLクロック，低速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが”0”（割り込み処理許可）かつ割り込み要求フラグが”1”（割り込み要求信号が発生）の場合，HALT命令を実行してもただちにHALTモードを解除します（HALTモードの解除に割り込み要求信号を用いるため）。

表24－1　HALTモード時の動作状態（1/2）

HALTモードの設定 ／ 項目			メイン・システム・クロックでCPU動作中のHALT命令実行時			
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{IH}	動作継続（停止不可）	動作禁止		PLLのクロック・ソースのみ動作継続（停止不可）それ以外は動作不可
		f_X	動作禁止	動作継続（停止不可）	動作不可	
		f_{EX}		動作不可	動作継続（停止不可）	
		f_{PLL}	動作禁止	動作禁止	動作禁止	動作継続（停止不可）
	サブシステム・クロック	f_{XT}	HALTモード設定前の状態を継続			
		f_{EXS}				
	f_{IL}		オンチップ・デバッグ・オプション・バイト（000C3H/020C3H）のビット1（HPIEN），CKSELレジスタのビット0（SELLOSC），およびOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0=1：発振 ・WUTMMCK0=0かつSELLOSC＝1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 0：停止			
f_{WDT}			ユーザ・オプション・バイト（000C0H/020C0H）のビット0（WDSTBYON）、ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1かつWDSTBYON = 1：発振 ・WDTON = 1かつWDSTBYON = 0：停止			
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ						
RAM			動作停止（DTC実行時は動作可能）			
ポート（ラッチ）			HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット			動作可能			
リアルタイム・クロック（RTC）						
ウォッチドッグ・タイマ			「第11章　ウォッチドッグ・タイマ」を参照			
クロック・モニタ			動作可能（f_{IL}が動作）			
タイマRJ			動作可能			
タイマRD						
クロック出力/ブザー出力						
A/Dコンバータ						
D/Aコンバータ						
コンパレータ						
シリアル・アレイ・ユニット（SAU）						
シリアル・インタフェース（IICA）						
DTC						
ELC			動作可能な機能ブロック間のリンクが可能			
LIN/UARTモジュール（RLIN3）			動作可能			
CANインタフェース（RS-CAN lite）						
IEBusコントローラ						
パワーオン・リセット機能						
電圧検出機能						
外部割り込み						
キー割り込み機能						
CRC演算機能	高速CRC					
	汎用CRC		動作停止（DTC実行時は動作可能）			
不正メモリ・アクセス検出機能						
RAM2ビットエラー検出機能						
RAMガード機能						
SFRガード機能						
CPUスタック・ポインタ・モニタ機能			動作停止（ベクタ割り込み処理時は動作可能）			

（備考は表の末尾にあります。）

表24－1　HALTモード時の動作状態（2/2）

項目＼HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時		低速オンチップ・オシレータ・クロック（f_{IL}）CPU動作中のHALT命令実行
			XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時	
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f_{IH}	動作禁止		
		f_X			
		f_{EX}			
		f_{PLL}			
	サブシステム・クロック	f_{XT}	動作継続（停止不可）	動作不可	動作不可
		f_{EXS}	動作不可	動作継続（停止不可）	動作不可
	f_{IL}		オンチップ・デバッグ・オプション・バイト（000C3H/020C3H）のビット1（HPIEN），CKSELレジスタのビット0（SELLOSC），およびOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0=1：発振 ・WUTMMCK0=0かつSELLOSC＝1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 1：発振 ・WUTMMCK0=0かつSELLOSC＝0かつHPIEN = 0：停止		
f_{WDT}			ユーザ・オプション・バイト（000C0H/020C0H）のビット0（WDSTBYON）、ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1かつWDSTBYON = 1：発振 ・WDTON = 1かつWDSTBYON = 0：停止		
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM			動作停止（DTC実行時は動作可能）		
ポート（ラッチ）			HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット			動作可能（低消費RTCモード時は，動作禁止）		
リアルタイム・クロック（RTC）			動作可能		
ウォッチドッグ・タイマ			「第11章　ウォッチドッグ・タイマ」を参照		
クロック・モニタ			動作停止		
タイマRJ			動作可能（低消費RTCモード時は，動作禁止）		
タイマRD					
クロック出力／ブザー出力					
A/Dコンバータ			動作禁止		
D/Aコンバータ					
コンパレータ					
シリアル・アレイ・ユニット（SAU）			動作可能（低消費RTCモード時は，動作禁止）		
シリアル・インタフェース（IICA）			動作禁止		
DTC			動作可能		
ELC			動作可能な機能ブロック間のリンクが可能		
LIN/UARTモジュール（RLIN3）			動作禁止		
CANインタフェース（RS-CAN lite）					
IEBusコントローラ					
パワーオン・リセット機能			動作可能		
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能	高速CRC		動作禁止		
	汎用CRC		動作停止（DTC実行時は動作可能）		
不正メモリ・アクセス検出機能					
RAM2ビットエラー検出機能					
RAMガード機能					
SFRガード機能					
CPUスタック・ポインタ・モニタ機能			動作停止（ベクタ割り込み処理時は動作可能）		

備考　動作停止：HALTモード移行時に自動的に動作停止
　　動作禁止：HALTモード移行前に動作を停止させる
　　動作不可：HALTモードへの移行に関わらず使用不可
　　f_{IH}　：高速オンチップ・オシレータ・クロック　　f_{EX}　：外部メイン・システム・クロック
　　f_X　：X1クロック　　f_{EXS}　：外部サブシステム・クロック
　　f_{XT}　：XT1クロック　　f_{PLL}　：PLLクロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{WDT}　：WDT専用低速オンチップ・オシレータ・クロック

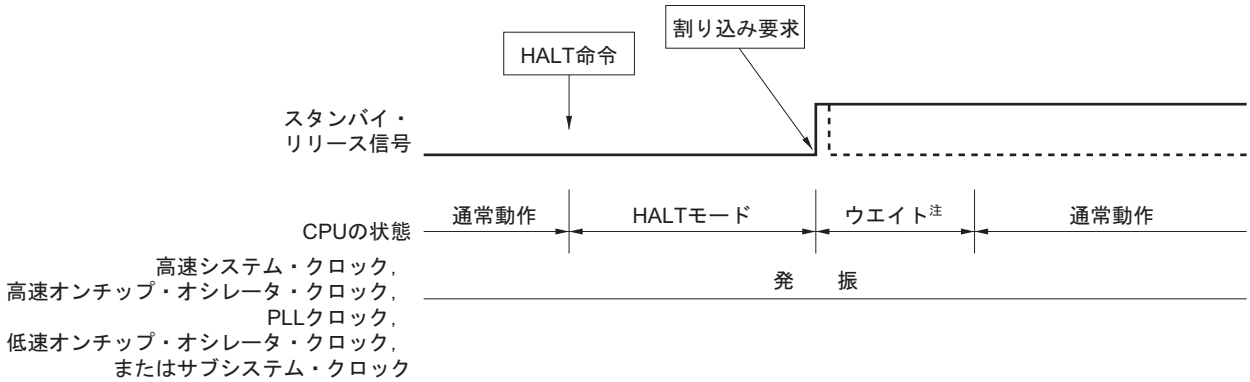
（2）HALTモードの解除

HALTモードは，割り込みおよびリセットの発生によって解除できます。

（a）マスクされていない割り込み要求による解除

割り込みマスク・フラグが"0"（割り込み処理許可）の割り込み要求が発生すると，HALTモードを解除します。割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，HALT命令の次のアドレスの命令を実行します。

図24－4　HALTモードの割り込み要求発生による解除



注　HALTモード解除のウェイト時間

・ベクタ割り込み処理を行う場合

メイン/PLL選択クロック：15～16クロック

サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 0）：10～11クロック

サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 1）：11～12クロック

・ベクタ割り込み処理を行わない場合

メイン/PLL選択クロック：9～10クロック

サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 0）：4～5クロック

サブ/低速オンチップ・オシレータ選択クロック（RTCLPC = 1）：5～6クロック

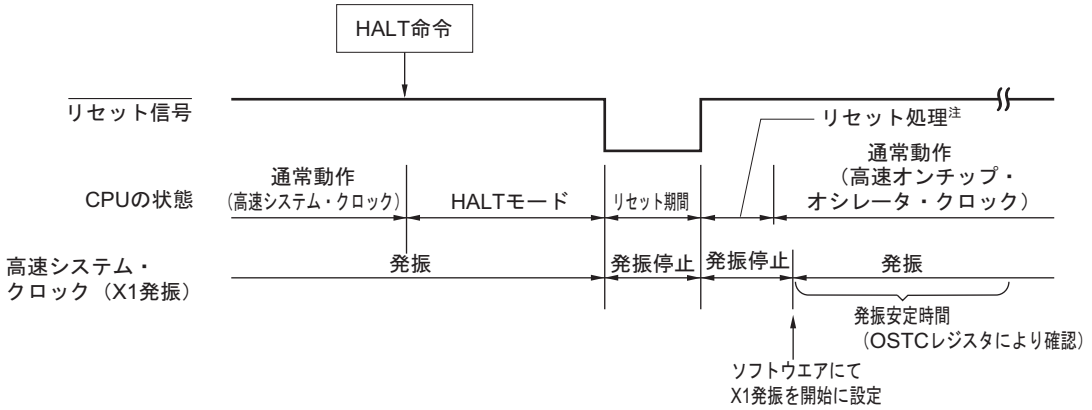
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

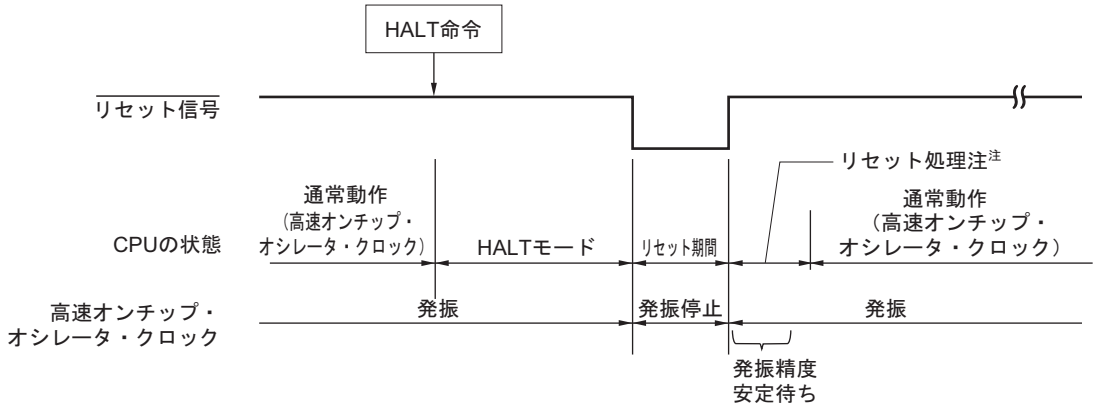
リセット信号の発生により，HALTモードは解除されます。通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐します。

図24－5　HALTモードのリセットによる解除（1/2）

① CPUクロックが高速システム・クロックの場合



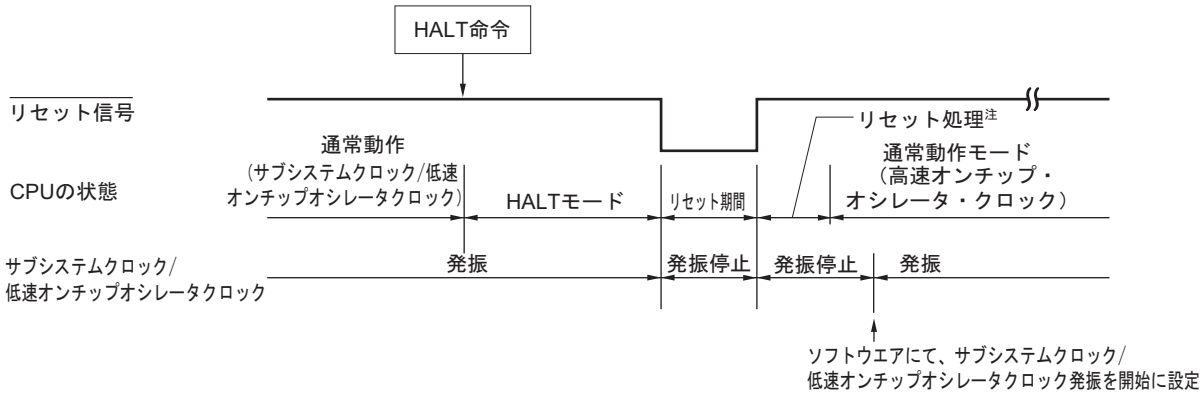
② CPUクロックが高速オンチップ・オシレータ・クロックの場合



注　リセット処理時間は「第26章　パワーオン・リセット回路」を参照してください。

図24－5　HALTモードのリセットによる解除（2/2）

③　CPUクロックがサブシステム・クロック／低速オンチップ・オシレータ・クロックの場合



注　リセット処理時間は「第26章　パワーオン・リセット回路」を参照してください。

24.3.2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

注意　割り込みマスク・フラグが"0"（割り込み処理許可）かつ割り込み要求フラグが"1"（割り込み要求信号が発生）の場合，STOPモードの解除に割り込み要求信号を用いるため，STOP命令を実行してもただちにSTOPモードを解除します。したがって，STOP命令実行後，STOPモード解除時間を経過した後，動作モードに移行します。

次にSTOPモード時の動作状態を示します。

表24－2　STOPモード時の動作状態

STOPモードの設定 ／ 項目			メイン・システム・クロックでCPU動作中のSTOP命令実行時			
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{IH}	停止			
		f_X				
		f_{EX}				
		f_{PLL}	動作禁止			
	サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続			
		f_{EXS}				
	f_{IL}		CKSELレジスタのビット0（SELLOSC）とOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつSELLOSC = 1：発振 ・WUTMMCK0 = 0かつSELLOSC = 0：停止			
f_{WDT}			ユーザ・オプション・バイト（000C0H/020C0H）のビット0（WDSTBYON）、ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1かつWDSTBYON = 1：発振 ・WDTON = 1かつWDSTBYON = 0：停止			
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ			動作停止			
RAM			動作停止			
ポート（ラッチ）			STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット			動作禁止			
リアルタイム・クロック（RTC）			動作可能（入力クロック（f_{RTC}）にサブシステム・クロック選択時）			
ウォッチドッグ・タイマ			「第11章　ウォッチドッグ・タイマ」を参照			
クロック・モニタ			動作停止			
タイマRJ			動作可能 ・TRJIO0入力フィルタなし選択時のイベント・カウンタ・モード時 ・カウント・ソースにサブ／低速オンチップ・オシレータ選択クロックかつOSMCレジスタのRTCLPC = 0設定時 ・カウント・ソースに低速オンチップ・オシレータ選択時			
タイマRD			動作可能（サブ／低速オンチップ・オシレータ選択クロック選択時のみSNOOZEステータス出力のための動作が可能）			
クロック出力／ブザー出力			カウント・クロックにサブ／低速オンチップ・オシレータ選択クロック選択時のみ動作可能			
A/Dコンバータ			ウエイク・アップ動作可能（SNOOZEモードへ移行）			
D/Aコンバータ			動作可能（STOPモード設定前の状態を継続）			
コンパレータ			動作可能（STOPモード解除可能に設定、かつデジタル・フィルタ未使用時）			
シリアル・アレイ・ユニット（SAU）			ユニット2はウエイク・アップ動作可能（SNOOZEモードに遷移 ）、ユニット0, 1は動作禁止			
シリアル・インタフェース（IICA）			アドレス一致によるウエイク・アップ動作可能			
DTC			DTC起動要因受付動作可能（SNOOZEモードへ移行）			
ELC			動作可能な機能ブロック間のリンクが可能			
LIN/UARTモジュール（RLIN3）			UARTのみウェイクアップ動作可能（SNOOZEモードへ移行）			
CANインタフェース（RS-CAN lite）			動作禁止			
IEBusコントローラ						
パワーオン・リセット機能			動作可能			
電圧検出機能						
外部割り込み						
キー割り込み機能						
CRC演算機能	高速CRC		動作停止			
	汎用CRC					
不正メモリ・アクセス検出機能						
RAM2ビットエラー検出機能						
RAMガード機能						
SFRガード機能						
CPUスタック・ポインタ・モニタ機能			動作停止（ベクタ割り込み処理時は動作可能）			

（備考と注意は次のページにあります。）

備考　動作停止：STOPモード移行時に自動的に動作停止
　　動作禁止：STOPモード移行前に動作を停止させる
　　f_{IH}　：高速オンチップ・オシレータ・クロック　　f_{EX}　：外部メイン・システム・クロック
　　f_X　：X1クロック　　f_{EXS}　：外部サブシステム・クロック
　　f_{XT}　：XT1クロック　　f_{PLL}　：PLLクロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{WDT}　：WDT専用低速オンチップ・オシレータ・クロック

注意1.　STOPモード中に動作停止する周辺ハードウエア，および発振停止するクロックを選択している周辺ハードウエアをSTOPモード解除後に使用する場合は，周辺ハードウエアをリスタートしてください。

2.　STOPモード中にウォッチドッグ・タイマ・クロックを停止したい場合は，あらかじめユーザ・オプション・バイト（000C0H/020C0H）のビット0（WDSTBYON）を0（HALT/STOP/SNOOZEモード時，カウンタ動作停止）に設定しておいてください。

3.　高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。STOPモード解除後，CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロック（X1発振）に切り替える場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから，行ってください。

（2）STOPモードの解除

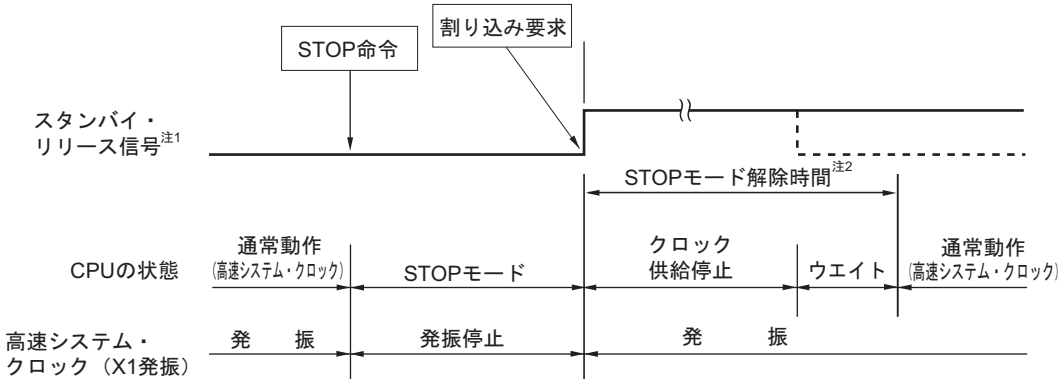
STOPモードは，割り込みおよびリセットの発生によって解除できます。

（a）マスクされていない割り込み要求による解除

割り込みマスク・フラグが"0"（割り込み処理許可）の割り込み要求が発生すると，STOPモードを解除します。割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，STOP命令の次のアドレスの命令を実行します。

図24－6　STOPモードの割り込み要求発生による解除（1/2）

①　CPUクロックが高速システム・クロック（X1発振）の場合



注1.　スタンバイ・リリース信号に関しての詳細は「図22－1　割り込み機能の基本構成」を参照してください。

2.　STOPモード解除時間

クロック供給停止

・ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1に設定した場合
18 μs～105 μsまたは発振安定時間（OSTSで設定）の長い方
・ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0に設定した場合
18 μs～65 μsまたは発振安定時間（OSTSで設定）の長い方

ウェイト

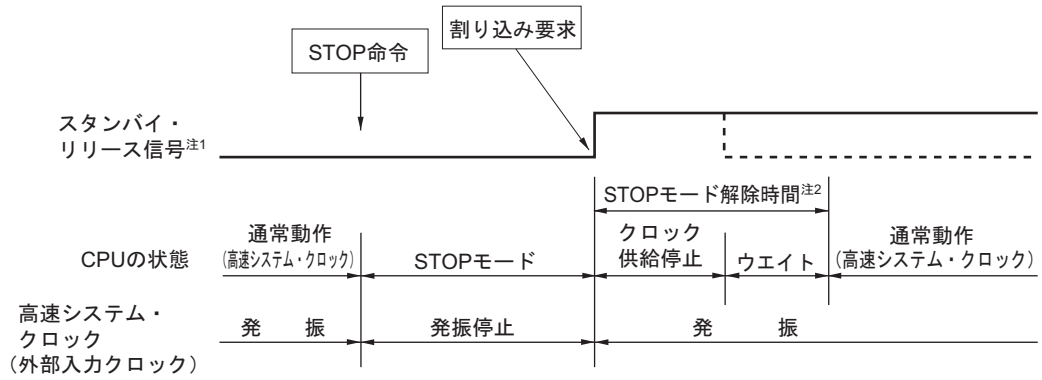
・ベクタ割り込み処理を行う場合：10～11クロック
・ベクタ割り込み処理を行わない場合：4～5クロック

備考1.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

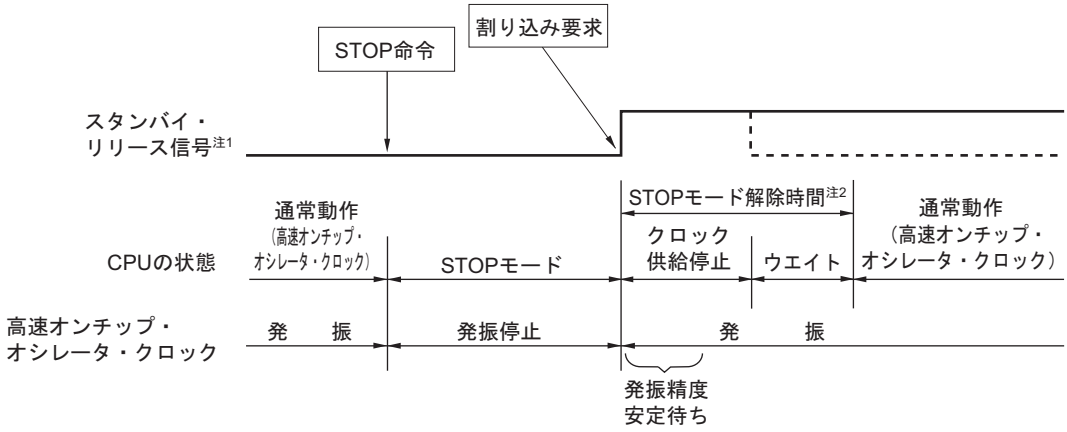
2.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図24－6　STOPモードの割り込み要求発生による解除（2/2）

② CPUクロックが高速システム・クロック（外部クロック入力）の場合



③ CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関しての詳細は「図22－1　割り込み機能の基本構成」を参照してください。

2. STOPモード解除時間

クロック供給停止

・ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 1に設定した場合

18 μs～105 μs

・ユーザ・オプション・バイト（000C2H/020C2H）のFRQSEL4 = 0に設定した場合

18 μs～65 μs

ウェイト

・ベクタ割り込み処理を行う場合：7クロック

・ベクタ割り込み処理を行わない場合：1クロック

備考1. クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

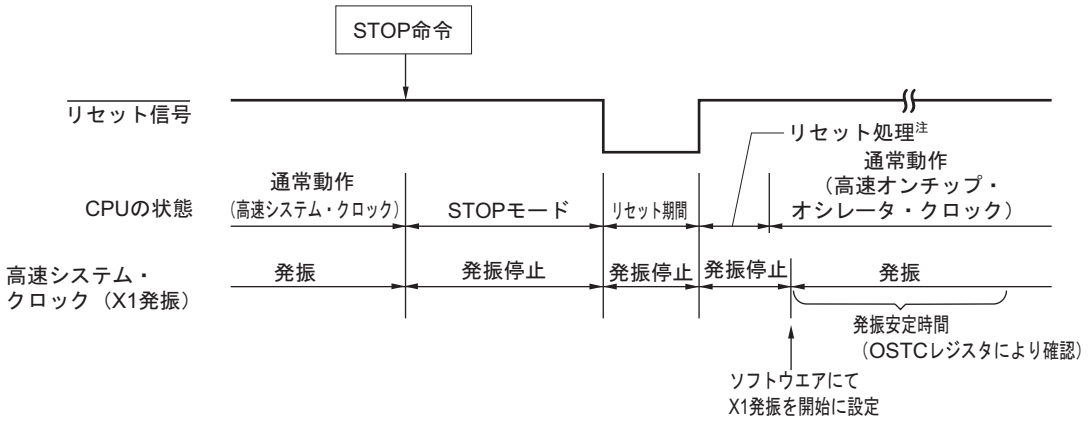
2. 破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

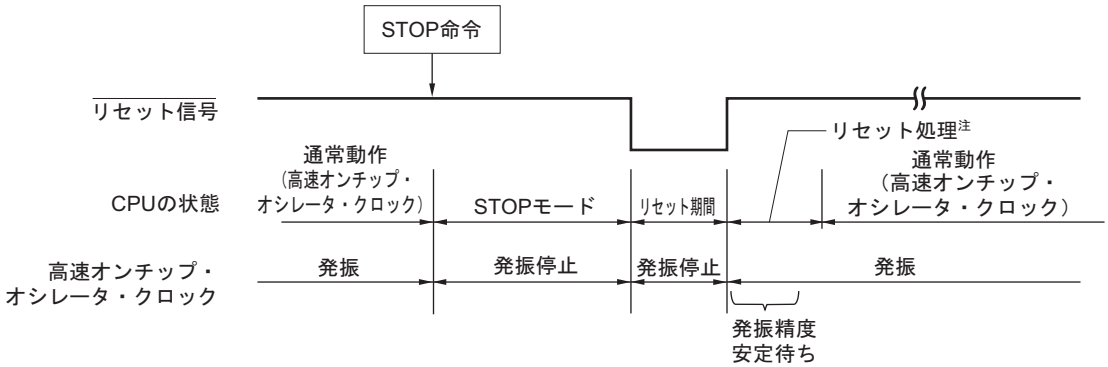
リセット信号の発生により，STOPモードは解除されます。通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐します。

図24－7　STOPモードのリセットによる解除

①　CPUクロックが高速システム・クロックの場合



②　CPUクロックが高速オンチップ・オシレータ・クロックの場合



注　リセット処理時間は「第26章　パワーオン・リセット回路」を参照してください。

24.3.3　SNOOZEモード

（1）SNOOZEモードの設定および動作状態

A/Dコンバータ, LIN/UARTモジュール, DTCのみ設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

A/DコンバータをSNOOZEモードで使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は「12.3　A/Dコンバータで使用するレジスタ」を参照してください。

SAUモジュールのユニット2をSNOOZEモードで使用する場合は、STOPモードに移行する前に、SSC0 (SSC0L) レジスタを設定してください。

LIN/UARTモジュールのUART機能をSNOOZEモードで使用する場合は、STOPモードに移行する前に、LUSCnレジスタを設定してください。

DTC転送をSNOOZEモードで使用する場合は，STOPモードに移行する前に，使用するDTC起動要因を許可してください。STOPモード中に，許可したDTC起動要因を検出すると自動的にSNOOZEモードに遷移します。詳細は「20.2　レジスタの説明」を参照してください。

SNOOZEモードの移行では，次の時間だけウェイト状態になります。

STOPモード→SNOOZEモードの遷移時間

・ユーザ・オプションバイト（000C2H/020C2H）のFRQSEL4 = 1に設定した場合：18 μs～105 μs

・ユーザ・オプションバイト（000C2H/020C2H）のFRQSEL4 = 0に設定した場合：18 μs～65 μs

備考　STOPモード→SNOOZEモードの遷移時間は，温度条件とSTOPモード期間によって変化します。

SNOOZEモード→通常動作の遷移時間

・ベクタ割り込み処理を行う場合：4.99～9.44 μs＋7クロック

・ベクタ割り込み処理を行わない場合：4.99～9.44 μs＋1クロック

次にSNOOZEモード時の動作状態を示します。

表24－3　SNOOZEモード時の動作状態

SNOOZEモードの設定 / 項目			STOPモード中にA/Dコンバータのタイマ・トリガ信号入力，LIN/UARTモジュールのUARTモードでのデータ受信信号，DTC起動要因発生時 高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作開始
		f_X	停止
		f_{EX}	
		f_{PLL}	動作禁止
	サブシステム・クロック	f_{XT}	STOPモード中の状態を継続
		f_{EXS}	
	f_{IL}		CKSELレジスタのビット0（SELLOSC）とOSMCレジスタのビット4（WUTMMCK0）で設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつSELLOSC = 1：発振 ・WUTMMCK0 = 0かつSELLOSC = 0：停止
f_{WDT}			ユーザ・オプション・バイト（000C0H/020C0H）のビット0（WDSTBYON）、ビット4（WDTON）で設定 ・WDTON = 0：停止 ・WDTON = 1かつWDSTBYON = 1：発振 ・WDTON = 1かつWDSTBYON = 0：停止
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）			STOPモード中の状態を継続
タイマ・アレイ・ユニット			動作禁止
リアルタイム・クロック（RTC）			動作可能（入力クロック（f_{RTC}）にサブシステム・クロック選択時）
ウォッチドッグ・タイマ			「第11章　ウォッチドッグ・タイマ」を参照
クロック・モニタ			動作停止
タイマRJ			動作可能 ・TRJIO0入力フィルタなし選択時のイベント・カウンタ・モード時 ・カウント・ソースにサブ／低速オンチップ・オシレータ選択クロックかつOSMCレジスタのRTCLPC = 0設定時 ・カウント・ソースに低速オンチップ・オシレータ選択時
タイマRD			動作可能（サブ／低速オンチップ・オシレータ選択クロック選択時のみSNOOZEステータス出力のための動作が可能）
クロック出力／ブザー出力			カウント・クロックにサブ／低速オンチップ・オシレータ選択クロック選択時のみ動作可能
A/Dコンバータ			動作可能
D/Aコンバータ			動作可能（STOPモード設定前の状態を継続）
コンパレータ			動作可能（STOPモード解除可能に設定、かつデジタル・フィルタ未使用時）
シリアル・アレイ・ユニット（SAU）			ユニット2は動作可能、ユニット0、1は動作禁止
シリアル・インタフェース（IICA）			動作禁止
DTC			動作可能
ELC			動作可能な機能ブロック間のリンクが可能
LIN/UARTモジュール（RLIN3）			動作可能（UARTモードのみ）
CANインタフェース（RS-CAN lite）			動作禁止
IEBusコントローラ			
パワーオン・リセット機能			動作可能
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能	高速CRC		動作停止
	汎用CRC		
不正メモリ・アクセス検出機能			
RAM2ビットエラー検出機能			
RAMガード機能			
SFRガード機能			
CPUスタック・ポインタ・モニタ機能			動作停止（ベクタ割り込み処理時は動作可能）

（備考は次のページにあります。）

備考　動作停止：STOPモード移行時に自動的に動作停止
　　動作禁止：STOPモード移行前に動作を停止させる
　　f_{IH}　：高速オンチップ・オシレータ・クロック　　f_{EX}　：外部メイン・システム・クロック
　　f_X　：X1クロック　　f_{EXS}　：外部サブシステム・クロック
　　f_{XT}　：XT1クロック　　f_{PLL}　：PLLクロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{WDT}　：WDT専用低速オンチップ・オシレータ・クロック

（2）SNOOZEステータス出力（SNOOZEST）

SNOOZEステータス出力機能は、SNOOZEモード移行および解除に合わせて、SNOOZEモードの状態（SNOOZEモード以外、SNOOZEモード中）を選択した特定の端子に出力する機能です。

f_{SL}（サブ／低速オンチップ・オシレータ選択クロック）、タイマRD0、イベントリンクコントローラ（ELC）、A/Dコンバータおよびポートを連動して実現します。f_{SL}は、タイマRD0のカウント・ソースとして使用します。タイマRD0は、タイマモードのPWM機能を使用し、TRDGRA0レジスタで周期を、TRDGRB0レジスタおよびTRDGRC0レジスタでコンペアー致信号を生成します。TRDGRB0のコンペアー致信号は、ELCを介し、A/Dコンバータの動作トリガとして使用します。A/Dコンバータは、本動作トリガを受けてSNOOZEモードでA/D変換を行います。TRDGRC0のコンペアー致信号を受けて、PSNZCNT0～3レジスタで選択したSNZOUTn（n=0～7）端子からSNOOZEステータスを出力します。

また、SNOOZEステータスを出力する際はTRDIOC0を出力することができません。

図24－8にSNOOZEモード・ステータス出力機能の回路構成を図24－9にSNOOZEステータス出力のタイミングを示します。

TRDGRA0は、A/Dコンバータの動作間隔を生成します(図24－9の期間(A))。

TRDGRB0は、SNOOZEステータス出力からA/Dコンバータの起動までの間隔を生成します(図24－9の期間(B))。

TRDGRC0は、SNOOZEステータスの出力期間を生成します(図24－9の期間(C))。

ボードセットと間欠動作をさせて、RL78/F15のA/Dコンバータに入力するセンサのスペックに応じて、各レジスタに任意の値を設定してください。

そのため、TRDGRA0で生成する期間(A)は、ボードセットで間欠動作をさせたい期間を表しています。

TRDGRB0で生成する期間(B)は、間欠動作をさせたいセンサの起動時間を表しており、RL78/F15は期間(B)では、STOPモード中ですが、TRDGRB0のコンペアー致B0により、ELCを介して、A/Dコンバータを SNOOZEモードで起動します。

TRDGRC0で生成する期間(C)は、センサの起動時間とA/Dコンバータの起動およびSNOOZEモードでのA/D変換期間を表しており、RL78/F15は期間(B)の最後から期間(C)の最後までの期間がSNOOZEモードとSTOPモードの混在した状態となります。

タイマRDのカウントソースは、サブシステム・クロックか低速オンチップ・オシレータ出力クロックを使用します。低速オンチップ・オシレータを選択している場合、TRDGRj0 (j=A,B,C)の1カウントの時間は、下記のようにtyp.66.7 μsとなります。

クロック・ソース　：低速オンチップ・オシレータ (Tj = -40～150 ℃、V_{DD} = 1.5～2.2 V)
周波数特性　：15kHz±15% (min.12.75kHz、typ.15 kHz、max.17.25 kHz)
1周期　：66.7 μs ± 15 % (min.58.0 μs, yp.66.7 μs, max.78.4 μs)

図24－8　SNOOZEモード・ステータス出力機能の回路構成

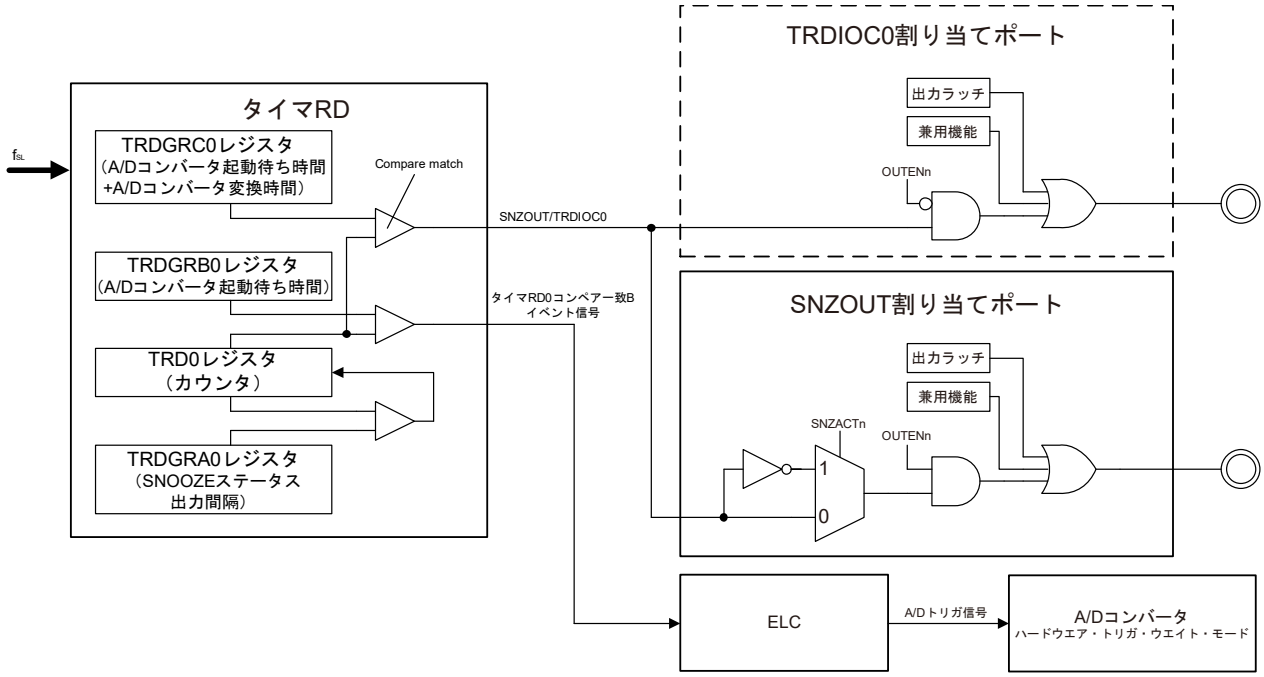
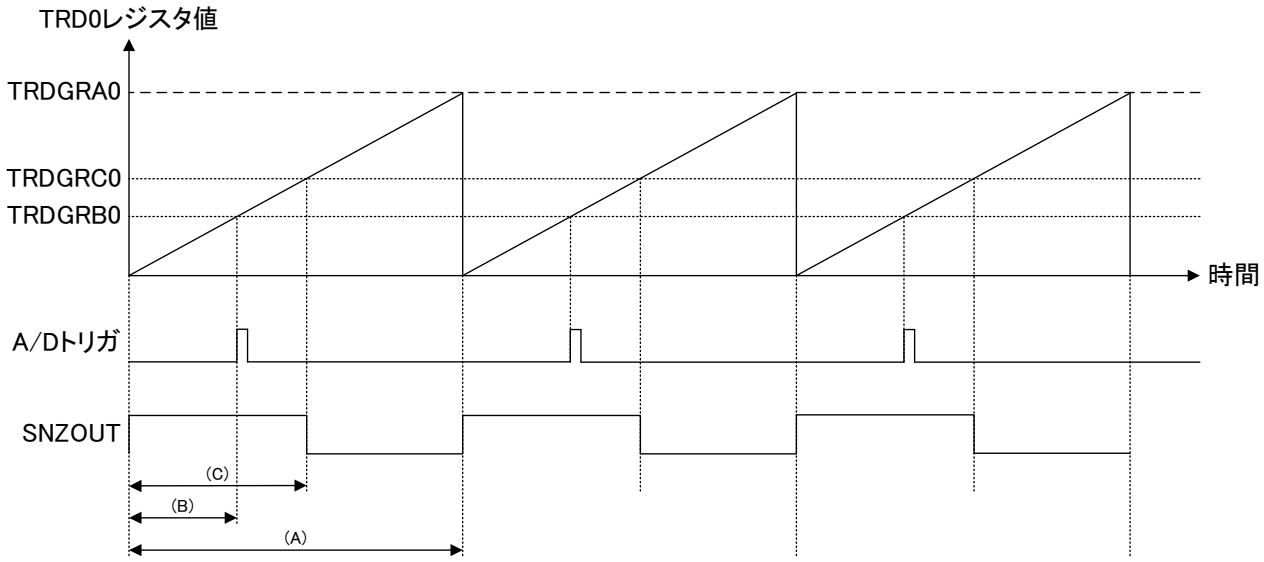
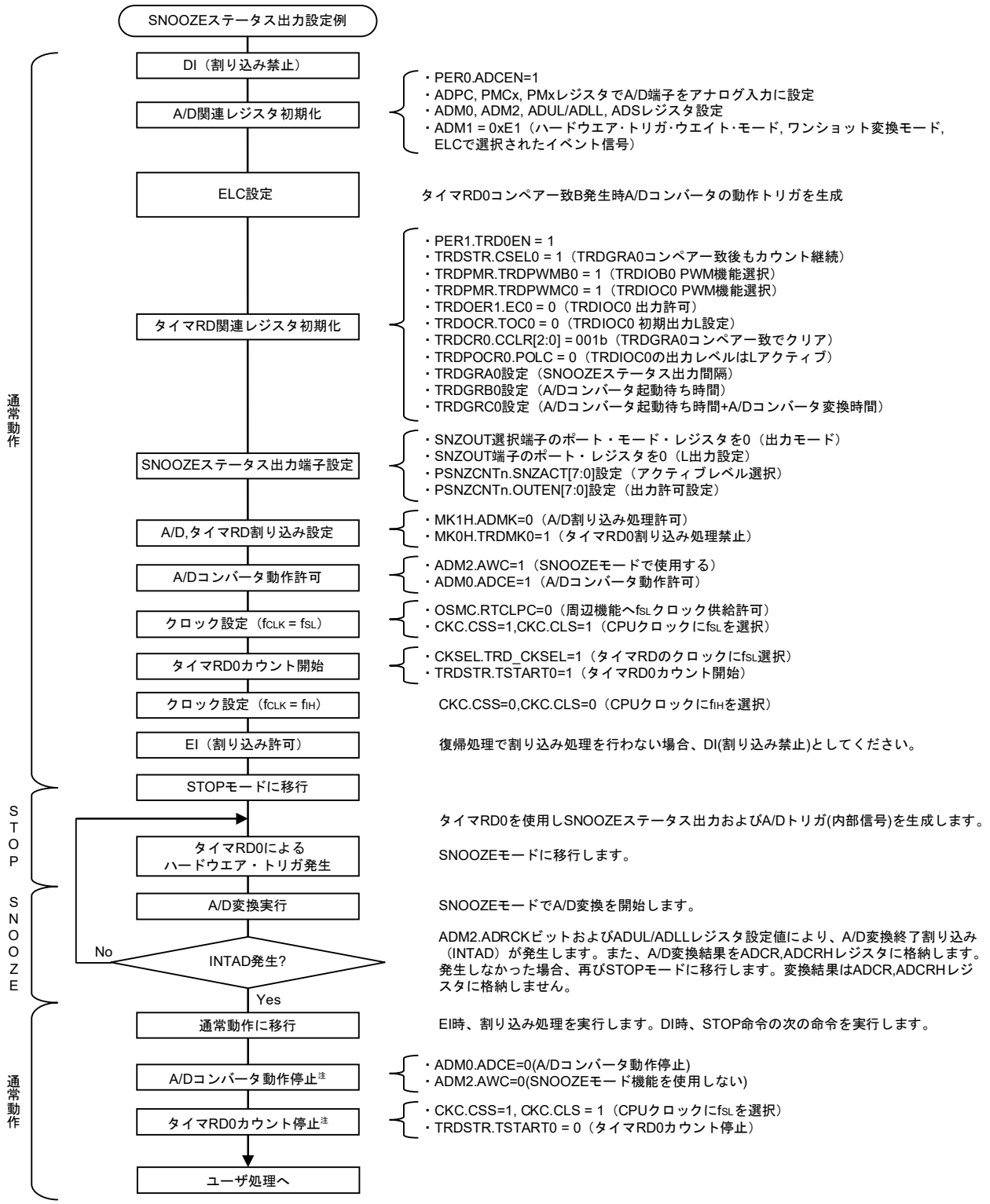


図24－9　SNOOZEステータス出力のタイミング



(A):TRDGRA0 = SNOOZEステータス出力間隔
(B):TRDGRB0 = A/Dコンバータ起動待ち時間
(C):TRDGRC0 = A/Dコンバータ起動待ち時間+A/Dコンバータ変換時間

図24－10　SNOOZEステータス出力設定例



注　STOP(SNOOZE)から通常動作へ移行する場合、図に示すA/Dコンバータ動作停止および（CPUクロックをfSLに切り替えた後）タイマRD0カウント停止を実施してください。

注意　A/Dコンバータ、タイマRD、ポート機能等の各レジスタ設定については、該当する章を参照ください。

第25章　リセット機能

リセット信号を発生させる方法には，次の7種類があります。

（1）$\overline{\text{RESET}}$端子による外部リセット入力
（2）ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
（3）パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
（4）電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
（5）不正命令の実行による内部リセット[注]
（6）クロック・モニタによるメイン・クロック発振停止の検出による内部リセット
（7）不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，0000H，0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，不正命令の実行[注]，クロック・モニタによるメイン・クロック発振停止の検出，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは表25－1に示すような状態になります。

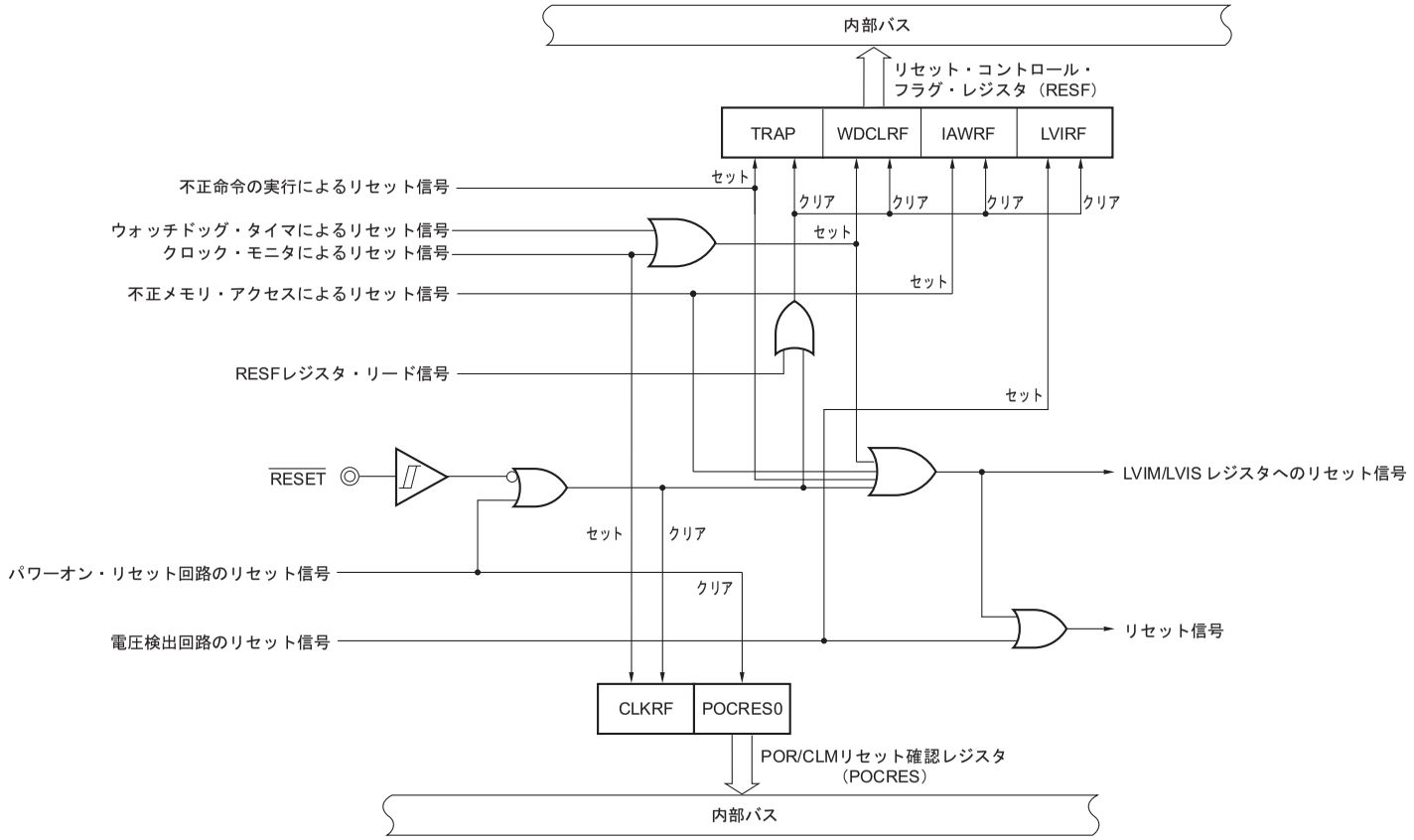
$\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します（図25－2から図25－4参照）。POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVD}$になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します（「第26章　パワーオン・リセット回路」と「第27章　電圧検出回路」を参照）。

注　FFHの命令コードを実行したときに発生します。
　　不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1.　外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
　　電源立ち上げ時に外部リセットを行う場合，動作電圧範囲外（V_{DD}＜2.7V）の期間は10μsにカウントしません。ただしロウ・レベル入力はPOR解除前から継続されていてもかまいません。
2.　リセット信号発生中では，X1クロック，XT1クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック，外部サブシステム・クロックの入力は無効となります。
3.　リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子P130はロウ・レベル出力に，それ以外のポート端子はハイ・インピーダンスとなります。

備考　V_{POR}：POR電源立ち上がり検出電圧

図25－1　リセット機能のブロック図



注意　LVD回路の内部リセットの場合，LVD回路はリセットされません。

備考1.　LVIM：電圧検出レジスタ

2.　LVIS：電圧検出レベル・レジスタ

図25－2　$\overline{\text{RESET}}$入力によるリセット・タイミング

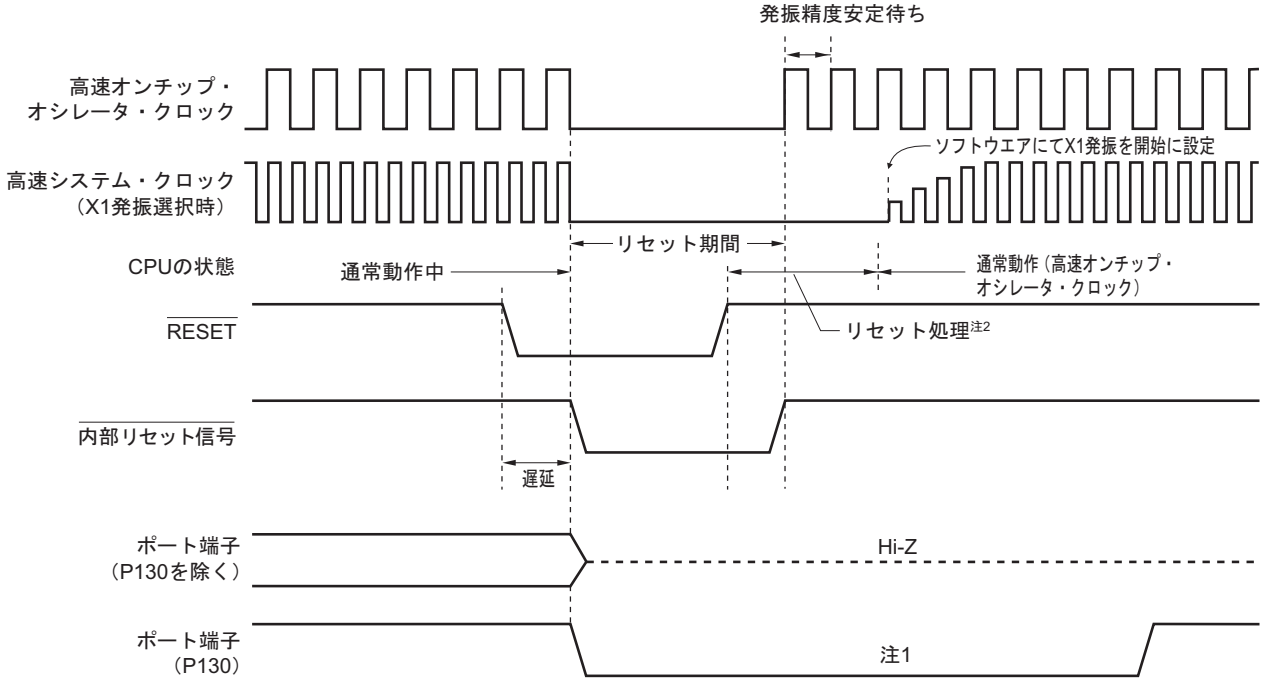
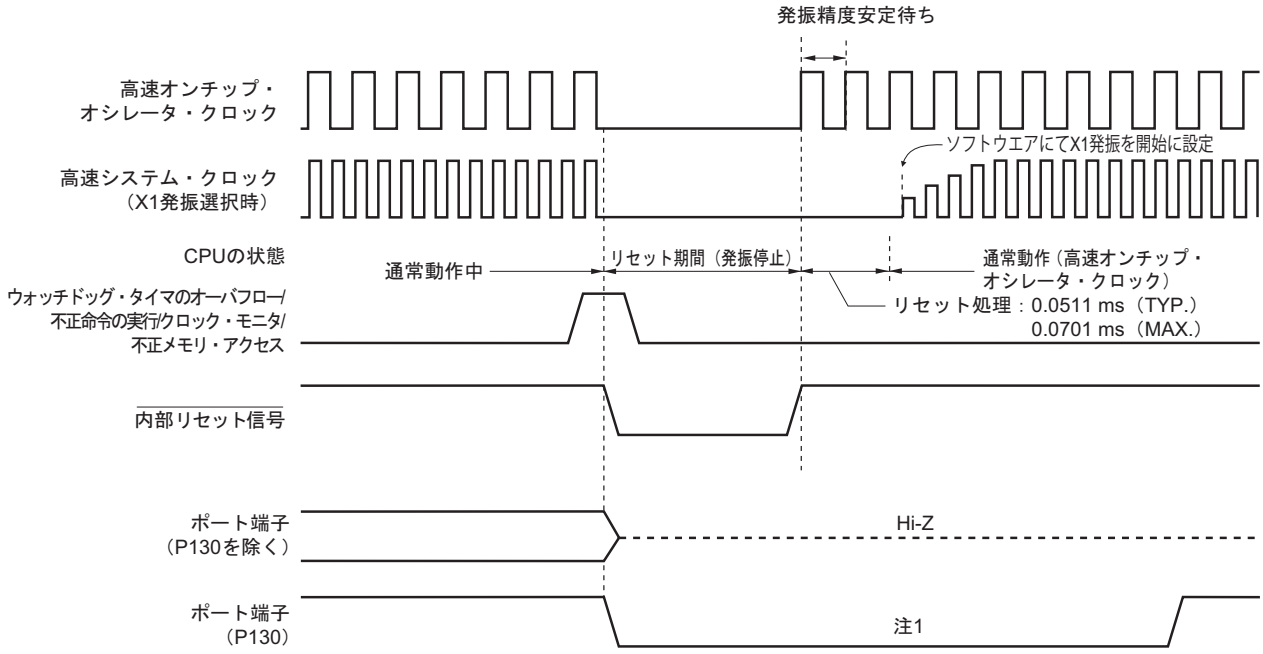
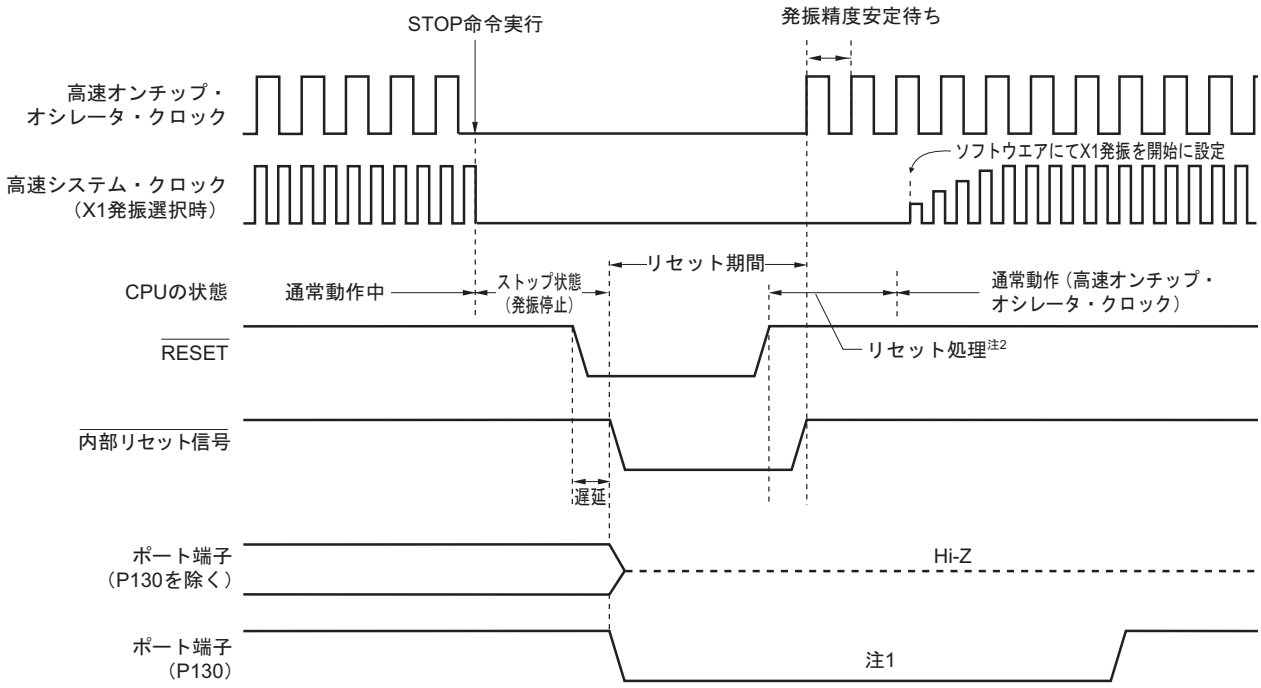


図25－3　ウォッチドッグ・タイマのオーバフロー／不正命令の実行／クロック・モニタ／不正メモリ・アクセスによるリセット・タイミング



（注，備考は次ページあります。）

図25－4　STOPモード中のRESET入力によるリセット・タイミング



注1.　リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には，P130をソフトウエアでハイ・レベル出力にしてください。

2.　外部リセット解除時のリセット処理時間：

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.)（LVD使用時）

0.399 ms (TYP.), 0.519 ms (MAX.)（LVDオフ時）

POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.)（LVD使用時）

0.259 ms (TYP.), 0.362 ms (MAX.)（LVDオフ時）

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms（TYP.), 2.30 ms（MAX.)がかかります。

備考　パワーオン・リセット回路と電圧検出回路のリセット・タイミングは，「第26章　パワーオン・リセット回路」と「第27章　電圧検出回路」を参照してください。

表25－1　リセット期間中の動作状態

項目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	サブシステム・クロック	f_{XT}	動作停止（XT1, XT2端子は入力ポート・モード）
		f_{EXS}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
	f_{PLL}		
	f_{WDT}		
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）		P130	ロウ・レベル出力
		P40	ハイ・インピーダンス（外部リセット, PORリセット）， プルアップ（外部リセット, PORリセット以外のリセット）
		P130, P40以外	ハイ・インピーダンス
タイマ・アレイ・ユニット			動作停止
タイマRJ			
タイマRD			
リアルタイム・クロック（RTC）			
ウォッチドッグ・タイマ			
クロック・モニタ			
クロック出力／ブザー出力			
A/Dコンバータ			
D/Aコンバータ			
コンパレータ			
シリアル・アレイ・ユニット（SAU）			
シリアル・インタフェース（IICA）			
LIN/UARTモジュール（RLIN3）			
CANインタフェース（RS-CAN lite）			
乗除・積和演算器			
IEBusコントローラ（IEBB）			
DTC			
ELC			
パワーオン・リセット機能			検出動作可能
低電圧検出機能			動作停止
外部割り込み			
キー割り込み機能			
CRC演算機能		高速CRC	
		汎用CRC	
不正メモリ・アクセス検出機能			
RAMガード機能			
SFRガード機能			

備考　f_{IH}：高速オンチップ・オシレータ・クロック　f_X：X1発振クロック
f_{EX}：外部メイン・システム・クロック　f_{XT}：XT1発振クロック
f_{EXS}：外部サブシステム・クロック周波数　f_{IL}：低速オンチップ・オシレータ・クロック
f_{PLL}：PLLクロック　f_{WDT}：WDT専用低速オンチップ・オシレータ・クロック

表25－2　各ハードウエアのリセット受け付け後の状態

ハードウエア		リセット受け付け後の状態[注]
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

表25－3　リセット要求時のRESF/LVIM/LVISの状態

リセット要因 ＼ レジスタ		RESET入力	PORによるリセット	不正命令の実行によるリセット	RESFのリード	WDTによるリセット	クロック・モニタによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア（0）	クリア（0）	セット（1）	クリア（0）	保持	保持	保持	保持
	WDCLRF			保持		セット（1）	セット（1）	保持	保持
	IAWRF			保持		保持	保持	セット（1）	保持
	LVIRF			保持		保持	保持	保持	セット（1）
POCRES	POCRES0	保持	クリア（0）	保持	保持	保持	保持	保持	保持
	CLKRF	クリア（0）	クリア（0）	保持	保持	保持	セット（1）	保持	保持
LVIM	LVISEN	クリア（0）	クリア（0）	クリア（0）	保持	クリア（0）	クリア（0）	クリア（0）	保持
	LVIOMSK	保持	保持	保持	保持	保持	保持	保持	保持
	LVIF	保持	保持	保持	保持	保持	保持	保持	保持
LVIS		クリア（00H/01H/81H）	クリア（00H/01H/81H）	クリア（00H/01H/81H）	保持	クリア（00H/01H/81H）	クリア（00H/01H/81H）	クリア（00H/01H/81H）	保持

注意　LVD以外のリセット時は，次のようになります。

・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき：00H

・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき：81H

・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：01H

備考　製品により，搭載している特殊機能レジスタ（SFR：Special Function Register）が異なります。「3.2.4　特殊機能レジスタ（SFR：Special Function Register）領域」および「3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域」を参照してください。

25.1　リセット要因を確認するレジスタ

25.1.1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78/F15は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDCLRF, IAWRF, LVIRFフラグはクリアされます。

図25－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　リセット時：00[注1]　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDCLRF	0	0	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDCLRF	ウォッチドッグ・タイマ（WDT）またはクロック・モニタによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	WDTまたはクロック・モニタによる内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。

2.　FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意　1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFレジスタの状態を表25－4に示します。

表25－4　リセット要求時のRESFレジスタの状態

クリア要因 / フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	RESFのリード	WDTによるリセット	クロック・モニタによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
TRAP	クリア（0）	クリア（0）	セット（1）	クリア（0）	保持	保持	保持	保持
WDCLRF			保持		セット（1）	セット（1）	保持	保持
IAWRF			保持		保持	保持	セット（1）	保持
LVIRF			保持		保持	保持	保持	セット（1）

25.1.2　POR/CLMリセット確認レジスタ（POCRES）

POR/CLMリセット確認レジスタ（POCRES）は，PORリセット，クロック・モニタによるリセットの発生を確認するレジスタです。

POCRES0ビットは，1書き込みのみ有効で，0書き込みは無効になります。

CLKRFビットは，0書き込みのみ有効で，1書き込みは無効になります。

POCRESレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定してください。

POCRES0ビットは，パワーオン・リセット（POR）回路によるリセットでのみ0になります。

CLKRFビットは，$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットにより，0になります。

備考　パワーオン・リセット（POR）回路によるリセットを確認する場合，あらかじめPOCRES0に1をセットしてください。

図25－6　POR/CLMリセット確認レジスタ（POCRES）のフォーマット

アドレス：F02C9H　リセット時：00H[注]　R/W

略号	7	6	5	4	3	2	1	0
POCRES	0	0	0	CLKRF	0	0	0	POCRES0

POCRES0	PORリセットによる内部リセット要求
0	PORリセットは発生した，または書き込みがされていない
1	PORリセットは発生していない

注　POR以外のリセット要因発生時は，リセット直前の値を保持します。

CLKRF	クロック・モニタによる内部リセット要求
0	内部リセット要求は発生していない，またはCLKRFビットをクリアした
1	内部リセット要求は発生した

リセット要求時のPOCRESの状態を表25－5に示します。

表25－5　リセット要求時のPOCRESの状態

クリア要因 ＼ フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	RESFのリード	WDTによるリセット	クロック・モニタによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
POCRES0	保持	クリア（0）	保持	保持	保持	保持	保持	保持
CLKRF	クリア（0）	クリア（0）	保持	保持	保持	セット（1）	保持	保持

第26章　パワーオン・リセット回路

26.1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
　電源電圧（V_{DD}）が1.56 V（Typ.）を越えた場合に，リセットを解除します。
・電源電圧（V_{DD}）と検出電圧（V_{PDR} = 1.55 V（Typ.））を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。

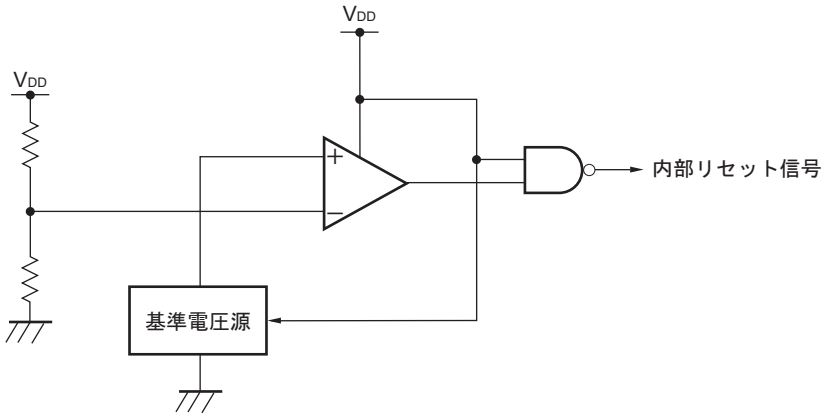
注意　POR回路で内部リセット信号が発生した場合，POR/CLMリセット確認レジスタ（POCRES）のPOCRES0, CLKRFおよびリセット・コントロール・フラグ・レジスタ（RESF）のTRAP, WDCLRF, IAWRF, LVIRFフラグがクリア（00H）されます。

備考　本製品には内部リセット信号を発生するハードウエアが複数内蔵されています。パワーオン・リセット（POR）／ウォッチドッグ・タイマ（WDT）またはクロック・モニタ／電圧検出（LVD）回路／不正命令の実行／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタ, POCRESレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／クロック・モニタ／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。クロック・モニタによって内部リセット信号が生成されると、POCRESレジスタのCLKRFビットが1に設定されます。POCRESレジスタのPOCRES0ビットは、事前に1に設定されていた場合、PORリセットにより0にクリアされます。POCRESレジスタ，RESFレジスタの詳細については「第25章　リセット機能」を参照してください。

26.2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図26－1に示します。

図26－1　パワーオン・リセット回路のブロック図



26.3　パワーオン・リセット回路の動作

・電源投入時に内部リセット信号を発生し，電源電圧（V_{DD}）が検出電圧（V_{POR} = 1.56 V（Typ.）[注]）を越えた場合，リセットを解除します。

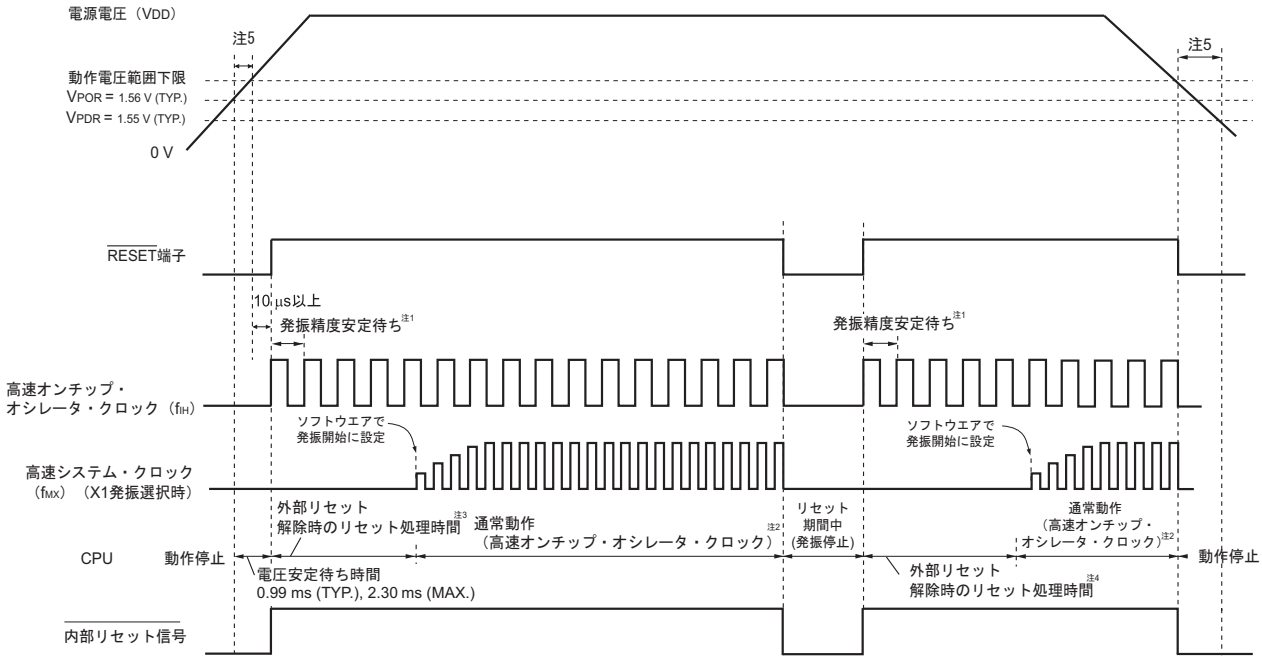
・電源電圧（V_{DD}）と検出電圧（V_{PDR} = 1.55 V（Typ.）[注]）を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。

注　ユーザ・オプション・バイトで，電圧検出回路をデフォルトでONに設定した場合は，オプション・バイトで設定した値を越えるまでリセットは解除されません。

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図26－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/2）

（1）$\overline{\text{RESET}}$端子による外部リセット使用時



注1.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。

3.　通常動作が開始されるまでの時間は，VPOR (1.56 V (TYP.))に達してからの“電圧安定待ち時間”に加えて，$\overline{\text{RESET}}$信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目：0.672 ms (TYP.), 0.832 ms (MAX.)（LVD使用時）
0.399 ms (TYP.), 0.519 ms (MAX.)（LVDオフ時）

4.　POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

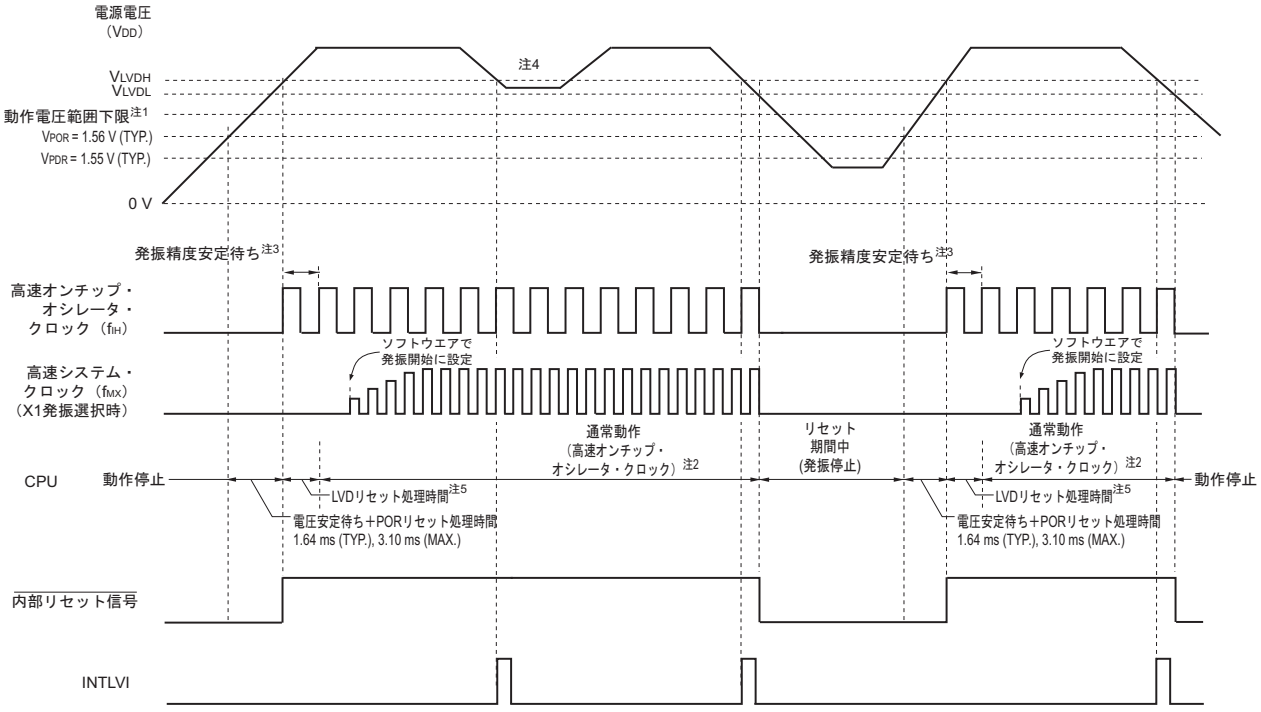
POR解除後2回目以降：　0.531 ms (TYP.), 0.675 ms (MAX.)（LVD使用時）
0.259 ms (TYP.), 0.362 ms (MAX.)（LVDオフ時）

5.　電源立ち上がり時は，第35章，第36章の電気的特性のAC特性に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。

備考　VPOR　：POR電源立ち上がり検出電圧
VPDR　：POR電源立ち下がり検出電圧

図26－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/2）

（2）LVD割り込み＆リセット・モード時（オプション・バイト000C1H/020C1HのLVIMDS1, LVIMDS0 = 1, 0）



注1.　動作保証範囲は，2.7 V≦VDD≦5.5 Vです。必ず2.7 V以上になってから，通常動作を行ってください。電源投入時や電源立ち下り時に2.7V未満で動作する可能性がある場合は、電圧検出回路のリセットを使用するか、$\overline{\text{RESET}}$端子にロウ・レベルを入力してください。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

3.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

4.　割り込み要求信号（INTLVI）が発生した後，電圧検出レベル・レジスタ（LVIS）のLVILV, LVIMDビットは自動的に1に設定されます。そのため，電源電圧がVLVDLを下回らずにVLVDH以上に復帰する場合を考慮して，INTLVI発生後は，「図27－8　割り込み＆リセット・モードの初期設定」に従って設定をしてください。

5.　LVDリセット処理時間：0 ms～0.0701 ms（MAX.）

備考　VLVDH, VLVDL　：LVD検出電圧
　　VPOR　　：POR電源立ち上がり検出電圧
　　VPDR　　：POR電源立ち下がり検出電圧

26.4　パワーオン・リセット回路の注意事項

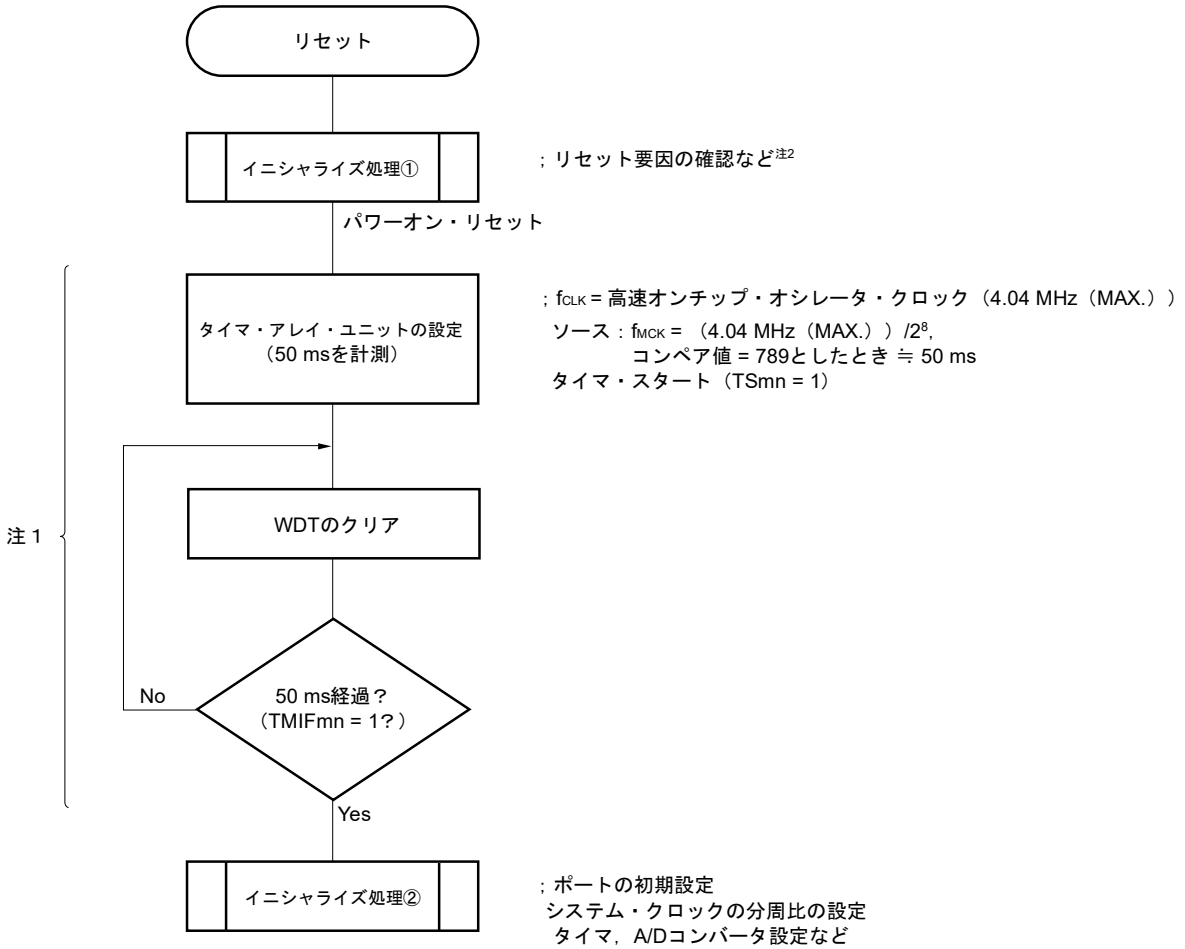
電源電圧（V_{DD}）がPOR検出電圧（V_{POR}, V_{PDR}）付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図26－3　リセット解除後のソフト処理例（1/2）

（1）POR検出電圧付近での電源電圧変動が50ms以下の場合



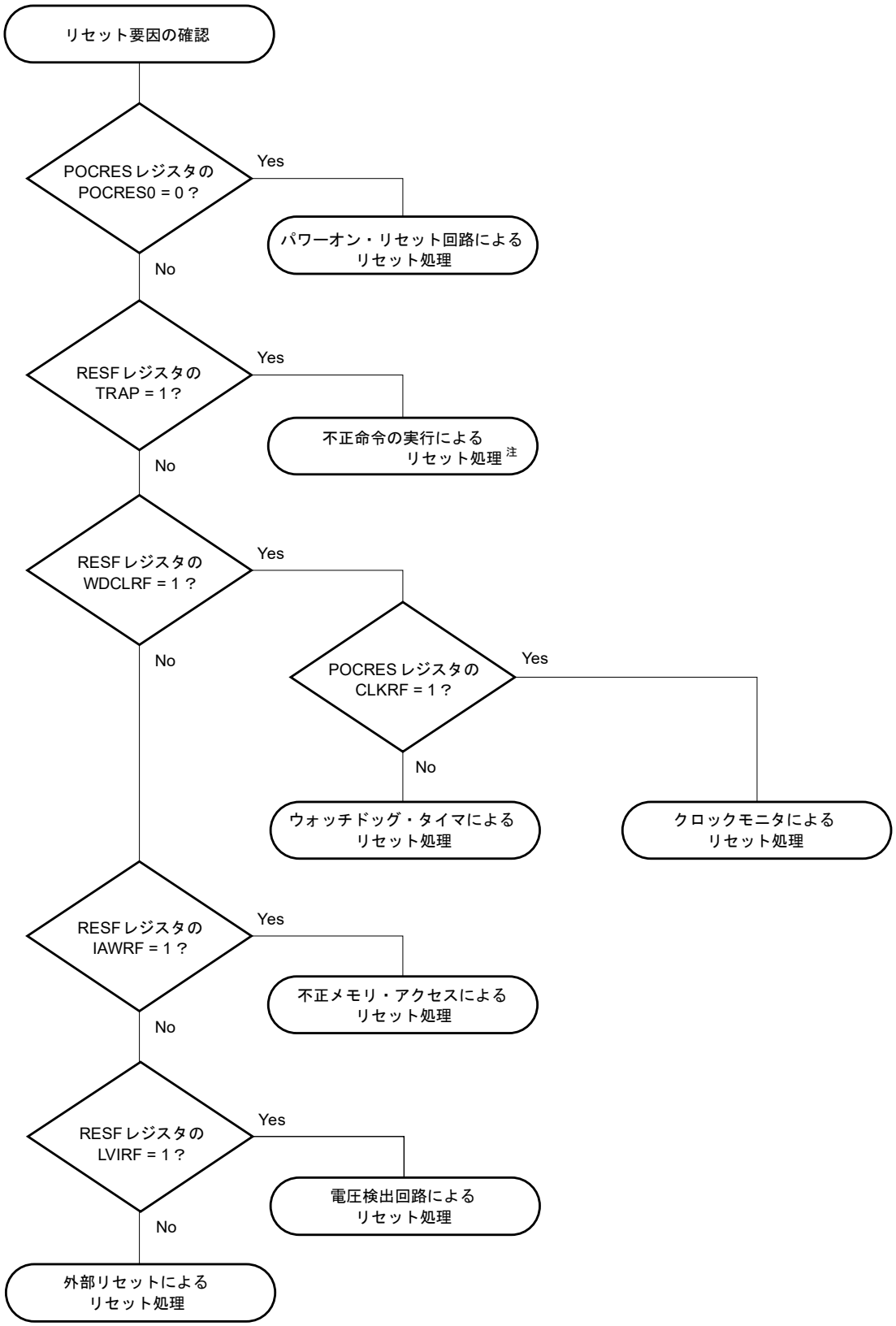
注1.　この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

2.　次ページにフロー・チャートを示します。

備考　m = 0, 1, n = 0-7

図26－3　リセット解除後のソフト処理例（2/2）

（2）リセット要因の確認



注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第27章　電圧検出回路

27.1　電圧検出回路の機能

電圧検出（LVD）回路は，次のような機能を持ちます。

・電源電圧（V_{DD}）と検出電圧（V_{LVDH}, V_{LVDL}）を比較し，内部リセットまたは内部割り込み信号を発生します。
・電源電圧の検出電圧（V_{LVDH}, V_{LVDL}）は，オプション・バイトにて検出レベルを6段階より選択できます（「第30章　オプション・バイト」を参照）。
・STOPモード時においても動作可能です。
・オプション・バイトにて，次の3つの動作モードを選択できます。

（a）割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）
　オプション・バイト000C1H/020C1Hで選択する2つの検出電圧に対して，高電圧検出レベル（V_{LVDH}）を割り込み発生／リセット解除用，低電圧検出レベル（V_{LVDL}）をリセット発生用として使用します。

（b）リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）
　オプション・バイト000C1H/020C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット発生／解除用として使用します。

（c）割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）
　オプション・バイト000C1H/020C1Hで選択する1つの検出電圧（V_{LVD}）を，割り込み発生／リセット解除用として使用します。

割り込み＆リセット・モードでは2つの検出電圧（V_{LVDH}, V_{LVDL}）を，リセット・モードおよび割り込みモードでは1つの検出電圧（V_{LVD}）を設定できます。

リセットと割り込み信号は，オプション・バイト（LVIMDS0, LVIMDS1）の選択により，次のように発生します。

割り込み＆リセット・モード （LVIMDS1, LVIMDS0 = 1, 0）	リセット・モード （LVIMDS1, LVIMDS0 = 1, 1）	割り込みモード （LVIMDS1, LVIMDS0 = 0, 1）
V_{DD}＜V_{LVDH}になったときに内部割り込み信号を発生し，V_{DD}＜V_{LVDL}になったときに内部リセットを発生。 V_{DD}≧V_{LVDH}になったときに内部リセットを解除。	V_{DD}＜V_{LVD}になったときに内部リセットを発生し，V_{DD}≧V_{LVD}になったときに内部リセットを解除	電源電圧降下時にV_{DD}＜V_{LVD}になったとき，または電源電圧上昇時にV_{DD}≧V_{LVD}になったときに内部割り込み信号を発生。 電源投入時にV_{DD}≧V_{LVD}になったときに内部リセット解除

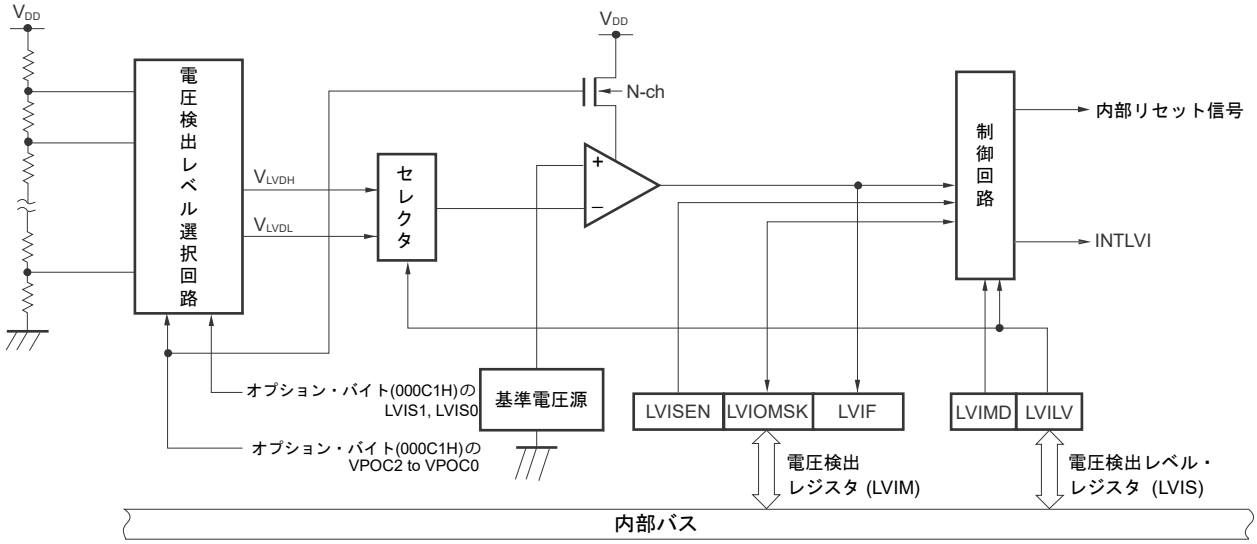
電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は「第25章　リセット機能」を参照してください。

27.2　電圧検出回路の構成

電圧検出回路のブロック図を図27－1に示します。

図27－1　電圧検出回路のブロック図



27.3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

・電圧検出レジスタ（LVIM）

・電圧検出レベル・レジスタ（LVIS）

27.3.1　電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H[注1]になります。

図27－2　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　リセット時：00H[注1]　R/W[注2]

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN	0	0	0	0	0	LVIOMSK	LVIF

LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	書き換え禁止
1	書き換え許可[注3]

LVIOMSK	LVD出力マスク状態フラグ
0	マスク無効
1	マスク有効[注4]

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVD}），またはLVD動作禁止時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVD}）

注1. リセット値は，リセット要因により変化します。

LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。

その他のリセットでは，LVISENは0にクリアされます。

2. ビット0, 1は，Read Onlyです。
3. オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0（割り込み＆リセット・モード）選択時のみ設定可能
4. LVIOMSKビットは以下の期間に自動で1となり，LVDによるリセットまたは割り込み発生がマスクされます。

・LVISEN = 1の期間

・LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間

・LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

27.3.2　電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H/01H/81H[注1]になります。

図27－3　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　　リセット時：00H/01H/81H[注1]　　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD[注2]	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV[注2]	LVD検出レベル
0	高電圧検出レベル（V_{LVDH}）
1	低電圧検出レベル（V_{LVDL}またはV_{LVD}）

注1. リセット値は，リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は，クリア（00H）されません。

LVD以外のリセット時は，次のようになります。

・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき：00H

・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき：81H

・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：01H

2. オプション・バイトでLVIMDS1, LVIMDS0 = 1, 0（割り込み＆リセット・モード）選択時に0書き込みのみ可能です。その他の場合は書き込み禁止で，リセットまたは割り込み発生により自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は，LVISENビット（LVIMレジスタのビット7）を必ず1にしてから行ってください。

2. LVDの動作モード，検出電圧（V_{LVDH}, V_{LVDL}）は，オプション・バイト（000C1H）で設定します。オプション・バイト（000C1H）の設定を表27－1に示します。オプション・バイトの詳細は「第30章　オプション・バイト」を参照してください。

表27－1　ユーザ・オプション・バイト（000C1H/020C1H）によるLVD動作モード・検出電圧設定

・割り込み＆リセット・モード時の設定

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり	立ち下がり							
4.42 V	4.32 V	2.75 V	1	0	0	0	1	0	0
4.62 V	4.52 V	2.75 V			0	1	0	0	0
3.22 V	3.15 V	2.75 V			0	1	1	0	1
4.74 V	4.64 V							0	0
上記以外			設定禁止						

・リセット・モード時の設定

検出電圧		オプション・バイト設定値						
V_{LVD}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
2.81 V	2.75 V	1	1	0	1	1	1	1
3.02 V	2.96 V			0	0	0	0	1
3.22 V	3.15 V			0	1	1	0	1
4.42 V	4.32 V			0	0	1	0	0
4.62 V	4.52 V			0	1	0	0	0
4.74 V	4.64 V			0	1	1	0	0
上記以外		設定禁止						

・割り込みモード時の設定

検出電圧		オプション・バイト設定値						
V_{LVD}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
2.81 V	2.75 V	0	1	0	1	1	1	1
3.02 V	2.96 V			0	0	0	0	1
3.22 V	3.15 V			0	1	1	0	1
4.42 V	4.32 V			0	0	1	0	0
4.62 V	4.52 V			0	1	0	0	0
4.74 V	4.64 V			0	1	1	0	0
上記以外		設定禁止						

・LVDオフ時の設定

検出電圧		オプション・バイト設定値						
V_{LVD}		LVIMDS1	LVIMDS0	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0
立ち上がり	立ち下がり							
—	—	×	1	1	×	×	×	×
上記以外		設定禁止						

注意　LVDオフの場合は外部リセットを行う必要があります。外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，動作電圧範囲内の期間に10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。また，電源立ち上げ後は，動作電圧範囲外で$\overline{\text{RESET}}$端子にハイ・レベルを入力しないでください。

備考　×：don’t care

27.4　電圧検出回路の動作

27.4.1　リセット・モードとして使用時の設定

（1）動作開始時

次の初期設定の状態でスタートします。

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1, 1））と検出電圧（V_{LVD}）の設定は，オプション・バイト000C1H/020C1Hで設定しておきます。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は0（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）

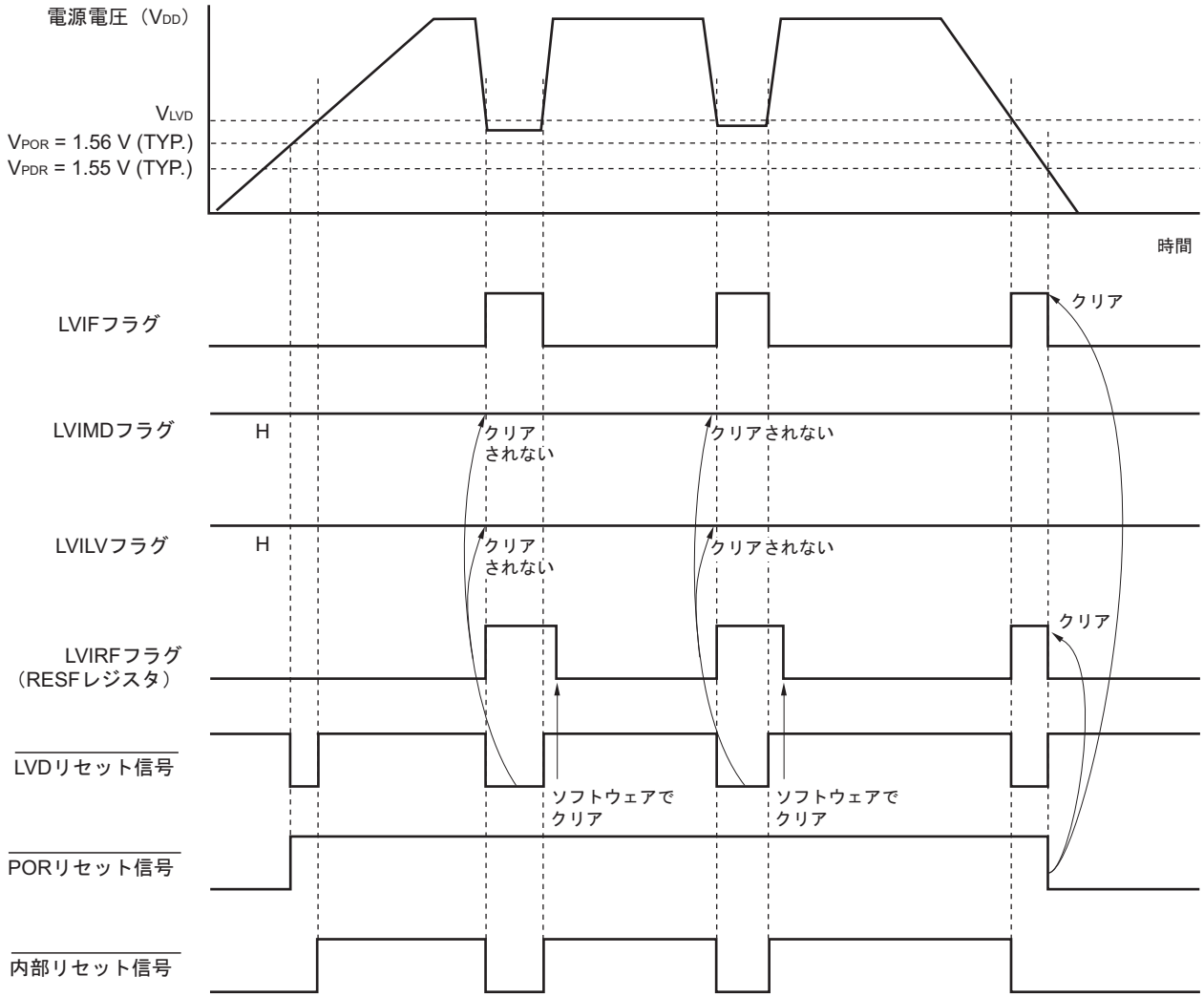
・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1に設定すると，LVISレジスタの初期値は，81Hに設定されます。

ビット7（LVIMD）は1（リセット・モード）

ビット0（LVILV）は1（低電圧検出レベル：V_{LVD}）

図27－4に，電圧検出回路の内部リセット信号発生のタイミングを示します。

図27－4　内部リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）



備考　VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

27.4.2　割り込みモードとして使用時の設定

（1）動作開始時

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（V_{LVD}）の設定は，オプション・バイト000C1H/020C1Hで設定しておきます。

動作電圧範囲外で$\overline{\text{RESET}}$端子にハイ・レベルを入力しないでください。

次の初期設定の状態でスタートします。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は0（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）

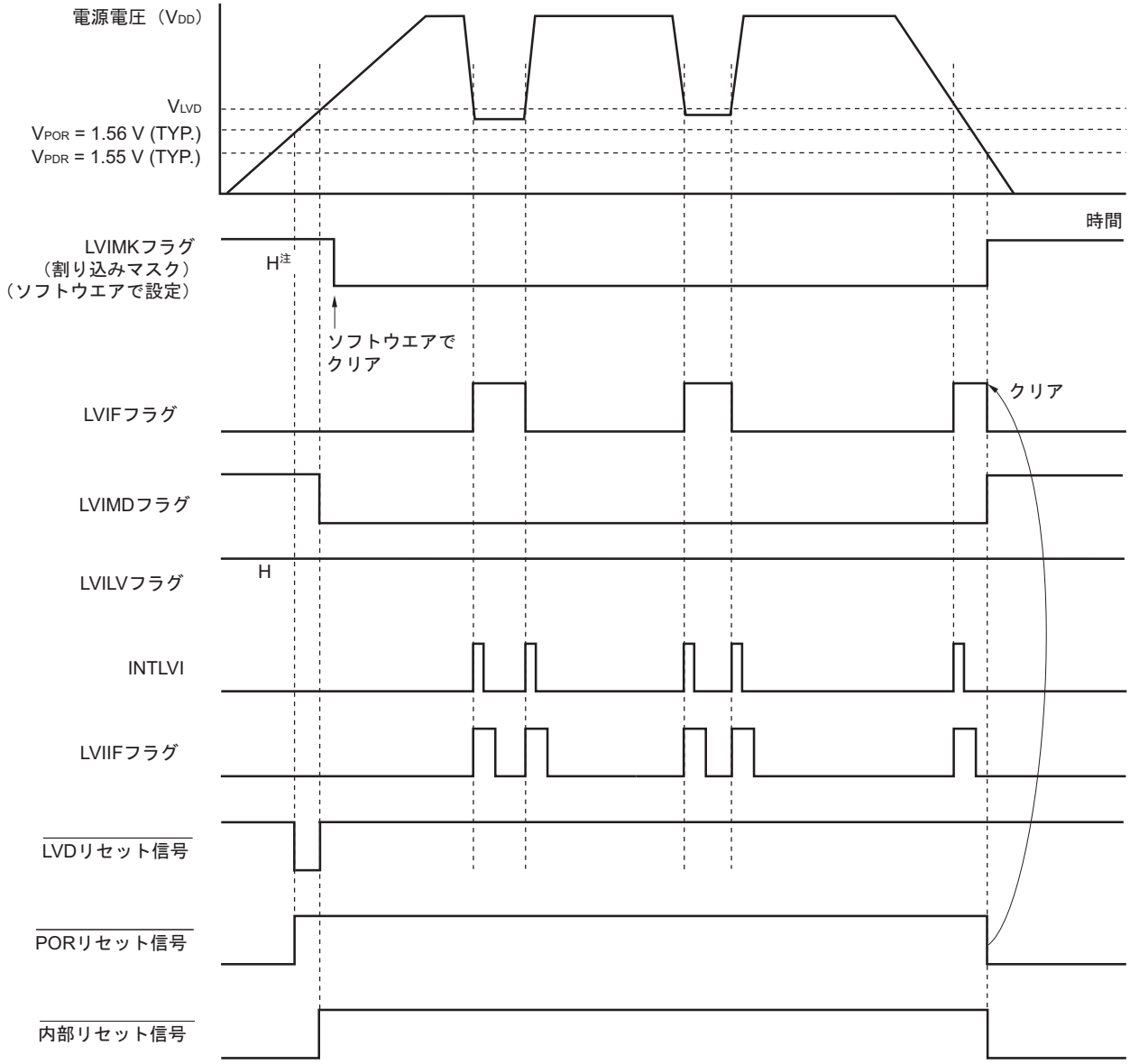
・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1に設定すると，LVISレジスタの初期値は，01Hに設定されます。

ビット7（LVIMD）は0（割り込みモード）

ビット0（LVILV）は1（低電圧検出レベル：V_{LVDL}）

図27－5に，電圧検出回路の内部割り込み信号発生のタイミングを示します。

図27－5　割り込み信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）



注　LVIMKフラグはリセット信号の発生により，1になっています。

備考　VPOR：POR電源立ち上がり検出電圧

VPDR：POR電源立ち下がり検出電圧

27.4.3　割り込み＆リセット・モードとして使用時の設定

（1）動作開始時

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVDH}, V_{LVDL}）の設定は，オプション・バイト000C1H/020C1Hで設定しておきます。

次の初期設定の状態でスタートします。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は0（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）

・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0に設定すると，LVISレジスタの初期値は，00Hに設定されます。

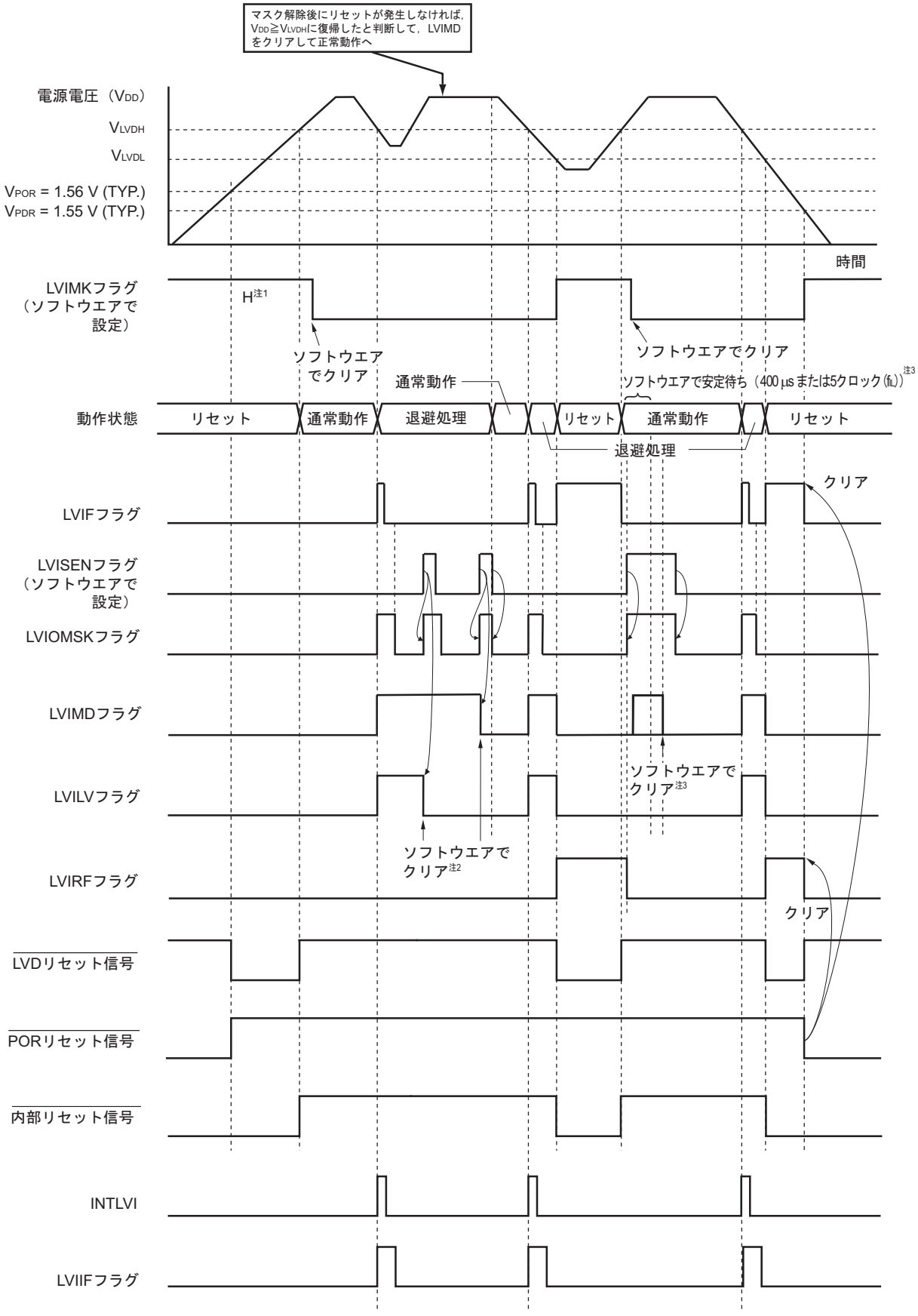
ビット7（LVIMD）は0（割り込みモード）

ビット0（LVILV）は0（高電圧検出レベル：V_{LVDH}）

図27－6に，電圧検出回路の内部リセット信号と割り込み信号発生のタイミングを示します。

図27－7 割り込み発生後の処理手順，図27－8 割り込み＆リセット・モードの初期設定に示すフローチャートの手順に従って実施してください。

図27－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）（1/2）



（注，備考は次ページにあります。）

注1. LVIMKフラグはリセット信号の発生により，1になっています。

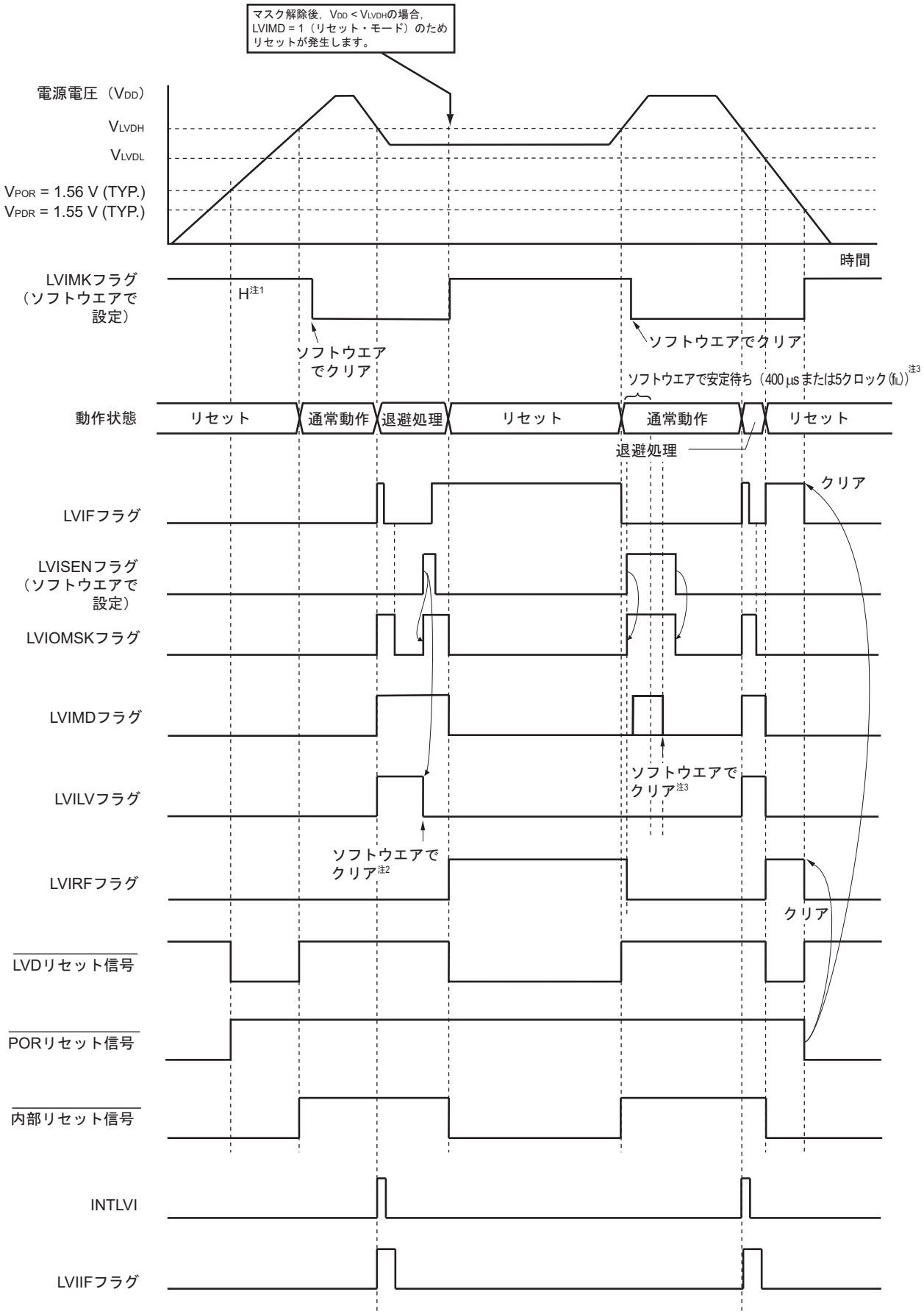
2. 割り込み＆リセット・モード使用時，割り込み発生後は，図27－7 割り込み発生後の処理手順に従って実施してください。

3. 割り込み＆リセット・モード使用時，リセット解除後は，図27－8 割り込み＆リセット・モードの初期設定の設定手順に従って実施してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図27－6　割り込み＆リセット信号発生のタイミング（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）（2/2）



（注，備考は次ページにあります。）

注1.　LVIMKフラグはリセット信号の発生により，1になっています。

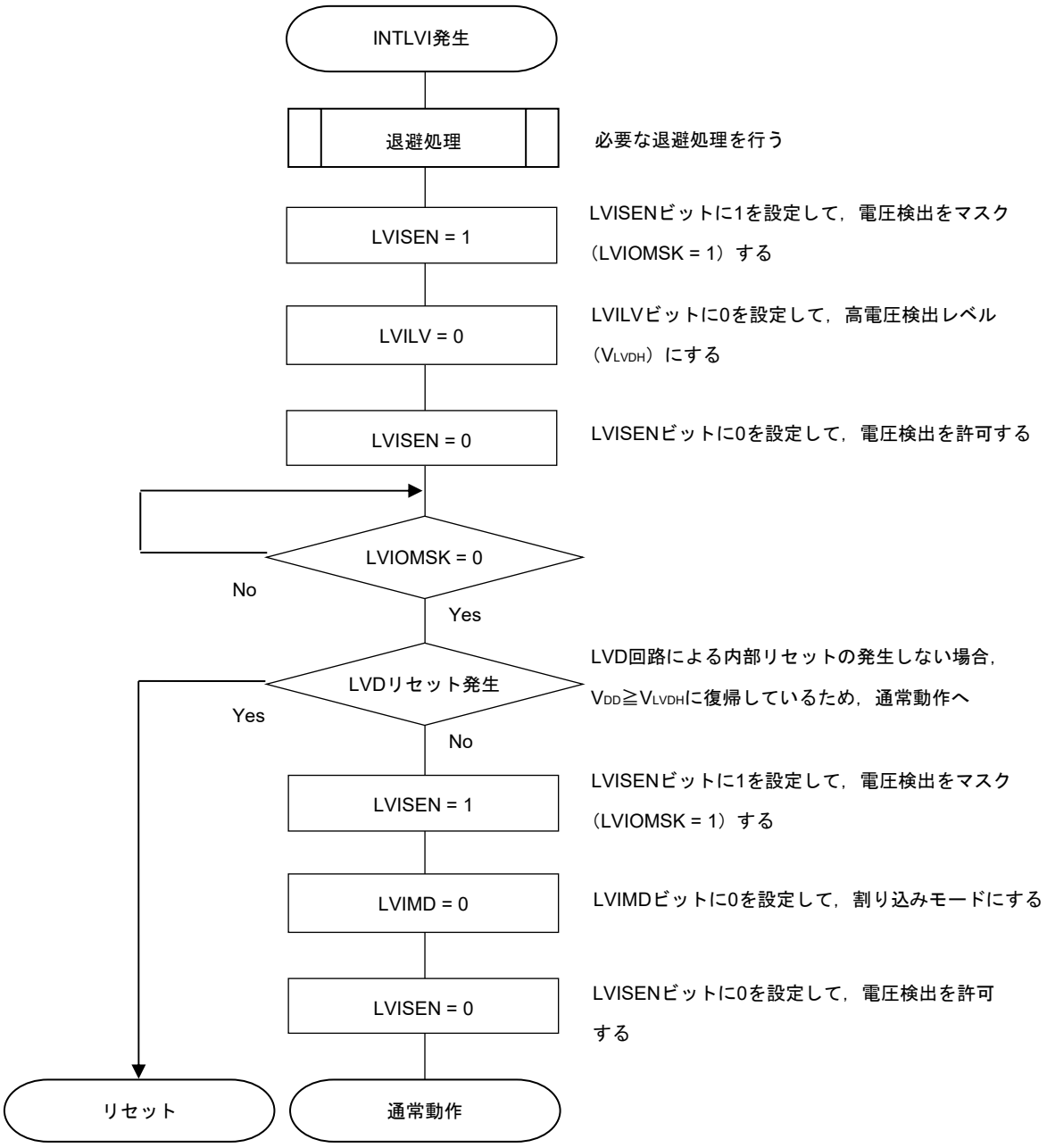
2.　割り込み＆リセット・モード使用時，割り込み発生後は，図27－7 割り込み発生後の処理手順に従って実施してください。

3.　割り込み＆リセット・モード使用時，リセット解除後は，図27－8 割り込み＆リセット・モードの初期設定の設定手順に従って実施してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

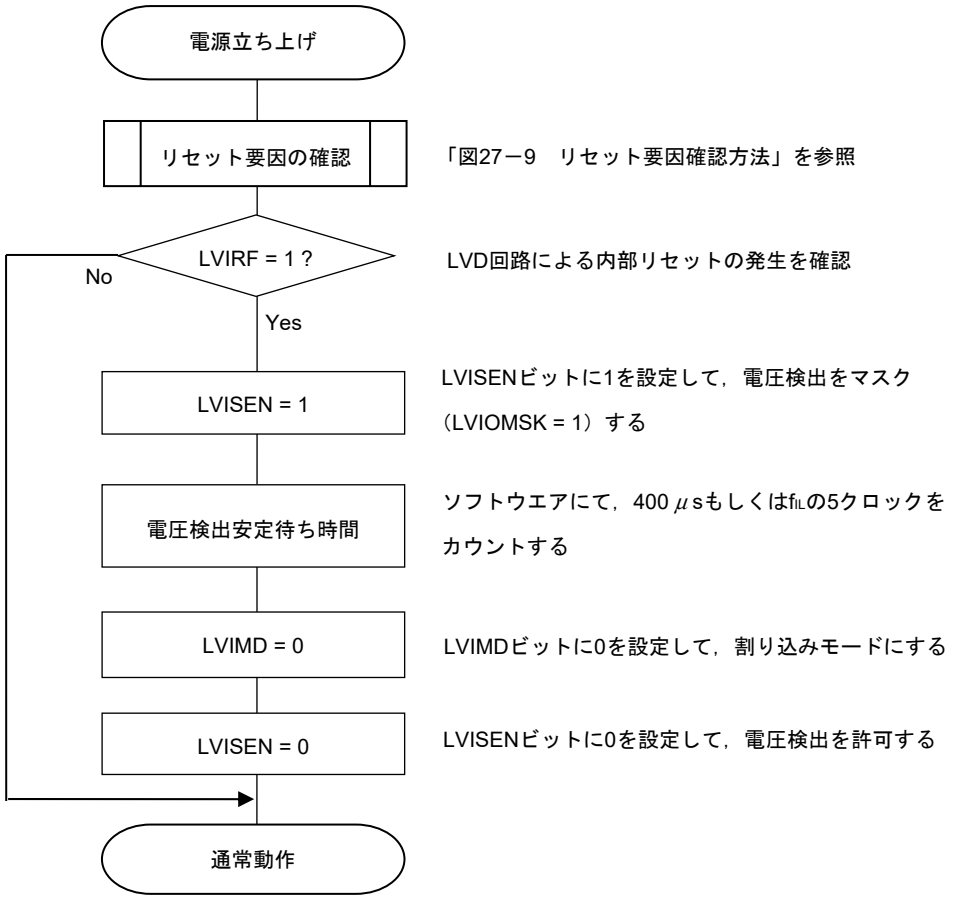
図27－7　割り込み発生後の処理手順



割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）を設定した場合，LVDリセット解除後（LVIRF = 1）から400 μsもしくはf_{IL}の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後，LVIMDビットをクリア（0）して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は，LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図27－8　割り込み＆リセット・モードの初期設定の手順を示します。

図27－8　割り込み＆リセット・モードの初期設定



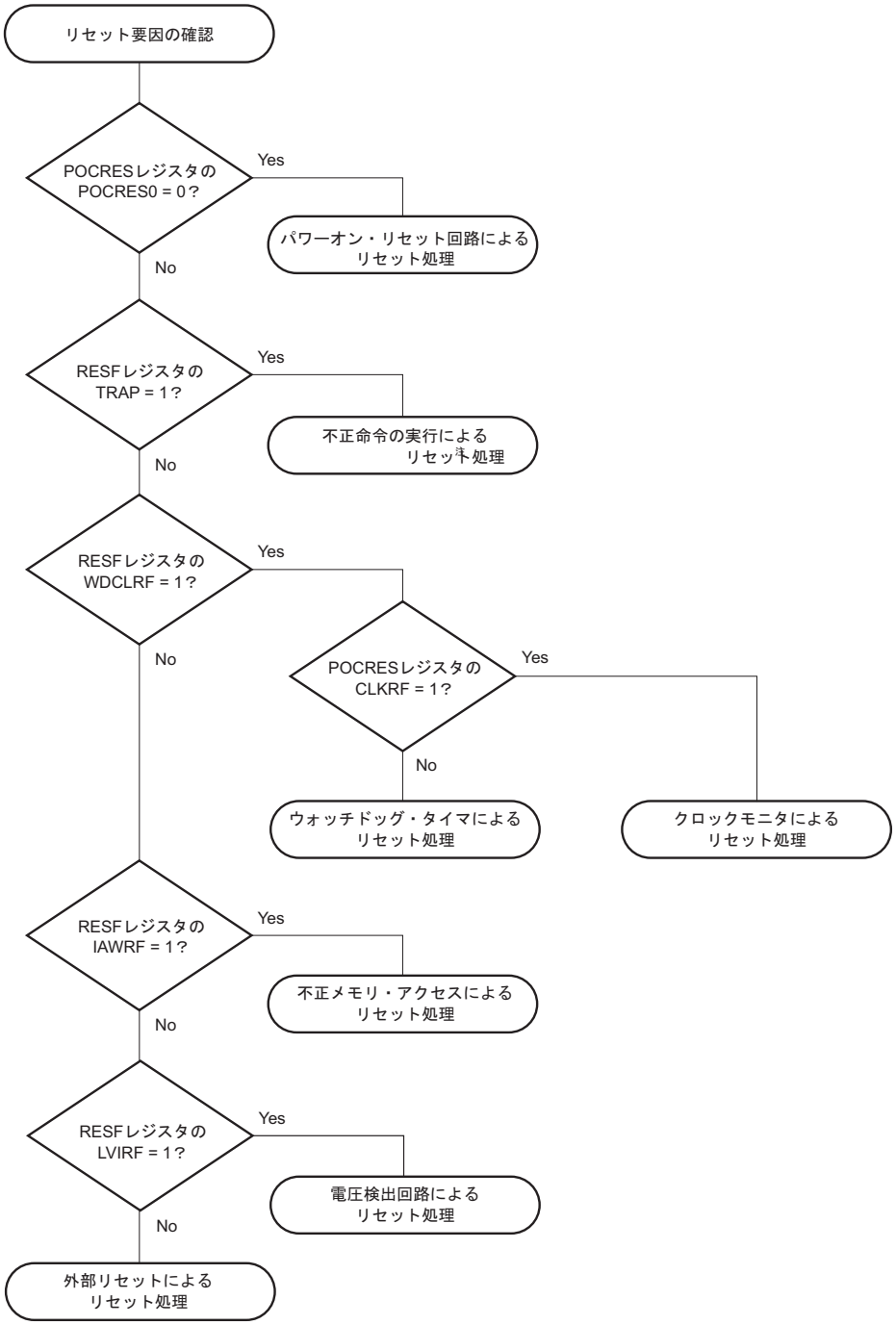
備考　　f_{IL}：低速オンチップ・オシレータ・クロック周波数

27.5　電圧検出回路の注意事項

27.5.1　リセット要因の確認方法

リセットが発生した場合は，次の方法でリセット要因を確認してください。

図27－9　リセット要因確認方法

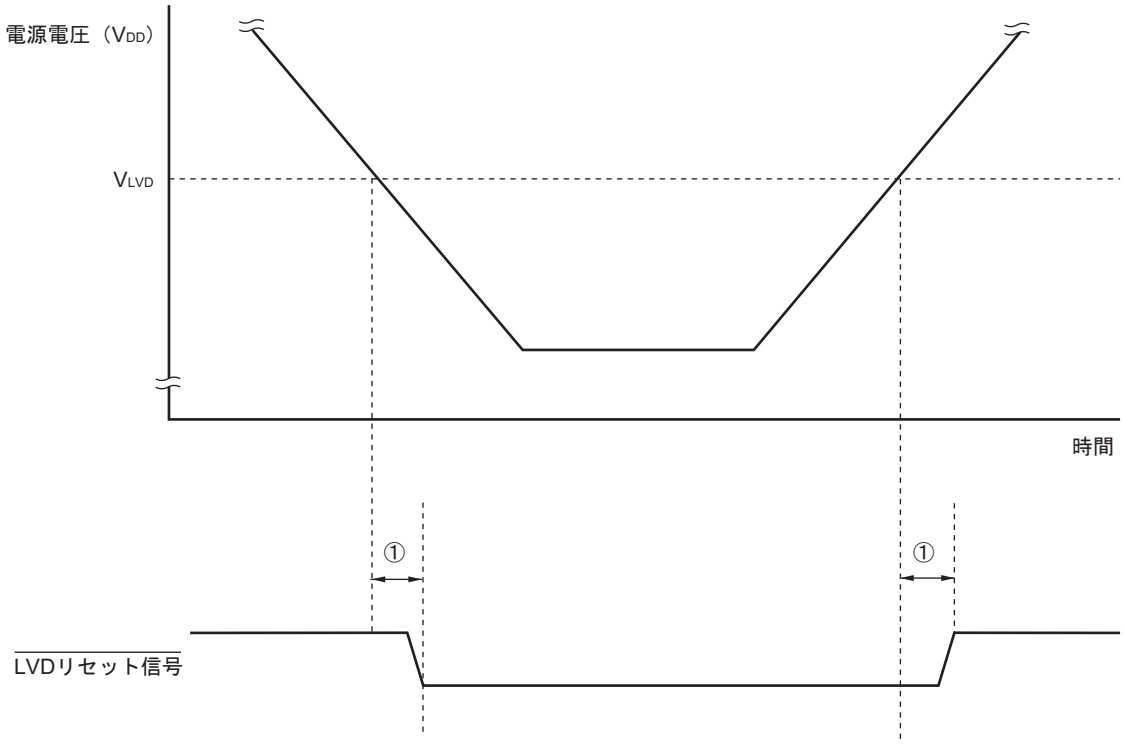


注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

27.5.2　LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD検出電圧（V_{LVD}）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（V_{LVD}）≦電源電圧（V_{DD}）になってから，LVDリセットが解除されるまでにも遅延が生じます（図27－10参照）。

図27－10　LVDリセット要因発生からLVDリセット発生または解除までの遅延



①：検出遅延（300 μs（MAX.））

第28章　安全機能

28.1　安全機能の概要

安全規格IEC60730に対応するため，RL78/F15では以下の安全機能を搭載しています。
この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

（1）フラッシュ・メモリCRC演算機能（高速CRC，汎用CRC）
CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて，以下の2つのCRCを使い分けていただくことができます。
・「高速CRC」… 初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
・「汎用CRC」… CPU動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

（2）RAM-ECC機能
2ビットのエラー検出および1ビットの訂正が可能です。

（3）CPUスタック・ポインタ・モニタ機能
スタック・ポインタのオーバーフロー、アンダーフローを検出します。

（4）クロック・モニタ機能
システム・クロック（f_{MAIN}）およびメイン／PLL選択クロック（f_{MP}）の発振をモニタすることにより，発振停止を検出します。

（5）RAMガード機能
CPUの暴走によるRAMデータの書き換えを保護します。

（6）SFRガード機能
CPUの暴走によるSFRの書き換えを保護します。

（7）不正メモリ・アクセス検出機能
不正メモリ領域（メモリが存在しない，アクセスが制限されている領域）への不正なアクセスを検出します。

（8）周波数検出機能
TAUを使用して，発振周波数を検出することができます。

（9）A/Dテスト機能
内部基準電圧をA/D変換することにより，A/D変換の自己チェックができます。

（10）入出力ポートのデジタル出力信号レベル検出機能
入出力ポートが出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）時に，端子の出力レベルをリードすることができます。

備考　m = 0-16 n = 0-7

28.2　安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ（CRC0CTL） ・フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	フラッシュ・メモリCRC演算機能（高速CRC）
・CRC入力レジスタ（CRCIN） ・CRC演算モード制御レジスタ（CRCMD） ・CRCデータ・レジスタ（CRCD）	CRC演算機能（汎用CRC）
・エラー・アドレス格納レジスタ（ERADR） ・1ビットエラー検出割り込み許可レジスタ（ECCIER） ・ビットエラー検出レジスタ（ECCER） ・ECCテスト・プロテクト・レジスタ（ECCTPR） ・ECCテスト・モード・レジスタ（ECCTMDR） ・ライトデータ反転レジスタ（ECCDWRVR）	RAM-ECC機能
・SPMコントロール・レジスタ（SPMCTRL） ・SPオーバーフロー・アドレス設定レジスタ（SPOFR） ・SPアンダーフロー・アドレス設定レジスタ（SPUFR）	スタック・ポインタ・モニタ機能
・不正メモリ・アクセス検出制御レジスタ（IAWCTL）	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0（TIS0） ・システム・クロック制御レジスタ（CKC）	周波数検出機能
・A/Dテスト・レジスタ（ADTES） ・アナログ入力チャネル指定レジスタ（ADS）	A/Dテスト機能
・ポート・モード選択レジスタ（PMS）	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については，「28.3　安全機能の動作」を参照してください。

28.3　安全機能の動作

28.3.1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。この高速CRCでは，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは，CPUを停止させて，フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です（フラッシュ・メモリ512 KB：4096 μs@32 MHz）。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意　オンチップ・デバッグでは，モニタ・プログラムを配置するため，CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため，演算結果は異なります。

【制御レジスタ】

（1）フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－1 フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス：F02F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	00000H-3FFBH（16K-4バイト）
0	0	0	0	0	1	00000H-7FFBH（32K-4バイト）
0	0	0	0	1	0	00000H-BFFBH（48K-4バイト）
0	0	0	0	1	1	00000H-FFFBH（64K-4バイト）
0	0	0	1	0	0	00000H-13FFBH（80K-4バイト）
0	0	0	1	0	1	00000H-17FFBH（96K-4バイト）
0	0	0	1	1	0	00000H-1BFFBH（112K-4バイト）
0	0	0	1	1	1	00000H-1FFFBH（128K-4バイト）
0	0	1	0	0	0	00000H-23FFBH（144K-4バイト）
0	0	1	0	0	1	00000H-27FFBH（160K-4バイト）
0	0	1	0	1	0	00000H-2BFFBH（176K-4バイト）
0	0	1	0	1	1	00000H-2FFFBH（192K-4バイト）
0	0	1	1	0	0	00000H-33FFBH（208K-4バイト）
0	0	1	1	0	1	00000H-37FFBH（224K-4バイト）
0	0	1	1	1	0	00000H-3BFFBH（240K-4バイト）
0	0	1	1	1	1	00000H-3FFFBH（256K-4バイト）
0	1	0	0	0	0	00000H-43FFBH（272K-4バイト）
0	1	0	0	0	1	00000H-47FFBH（288K-4バイト）
0	1	0	0	1	0	00000H-4BFFBH（304K-4バイト）
0	1	0	0	1	1	00000H-4FFFBH（320K-4バイト）
0	1	0	1	0	0	00000H-53FFBH（336K-4バイト）
0	1	0	1	0	1	00000H-57FFBH（352K-4バイト）
0	1	0	1	1	0	00000H-5BFFBH（368K-4バイト）
0	1	0	1	1	1	00000H-5FFFBH（384K-4バイト）
0	1	1	0	0	0	00000H-63FFBH（400K-4バイト）
0	1	1	0	0	1	00000H-67FFBH（416K-4バイト）
0	1	1	0	1	0	00000H-6BFFBH（432K-4バイト）
0	1	1	0	1	1	00000H-6FFFBH（448K-4バイト）
0	1	1	1	0	0	00000H-73FFBH（464K-4バイト）
0	1	1	1	0	1	00000H-77FFBH（480K-4バイト）
0	1	1	1	1	0	00000H-7BFFBH（496K-4バイト）
0	1	1	1	1	1	00000H-7FFFBH（512K-4バイト）
上記以外						設定禁止

備考 フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になります。

（2）フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により0000Hになります。

図28－2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス：F02F2H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

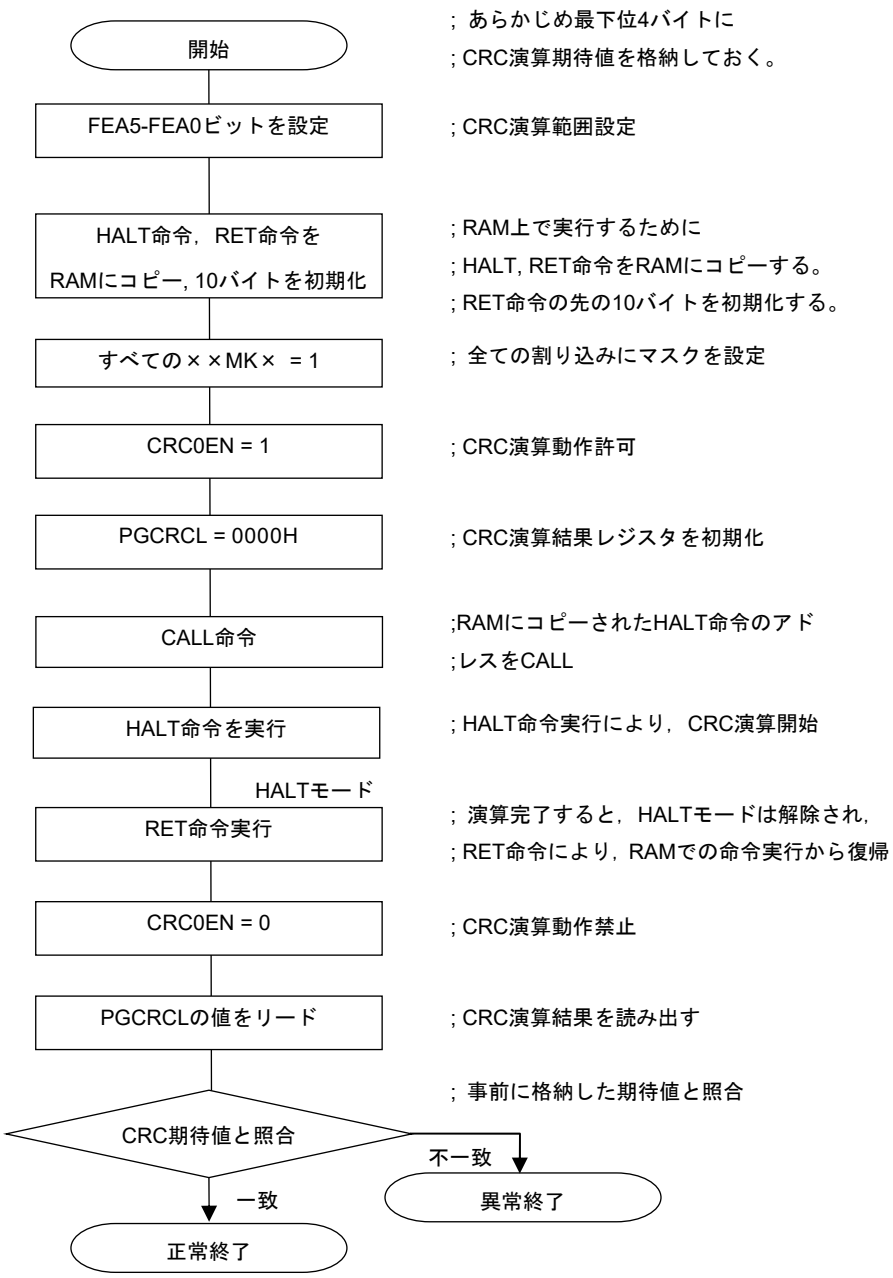
PGCRC15-0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　PGCRCLレジスタは，CRC0EN（CRC0CTLレジスタのビット7）= 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを図28－3に示します。

【動作フロー】

図28－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1.　CRC演算の対象は，コード・フラッシュのみです。

2.　CRC演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。

3.　CRC演算時は，ブート・スワップされません。

4.　RAM領域にて，HALT命令を実行することで，CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

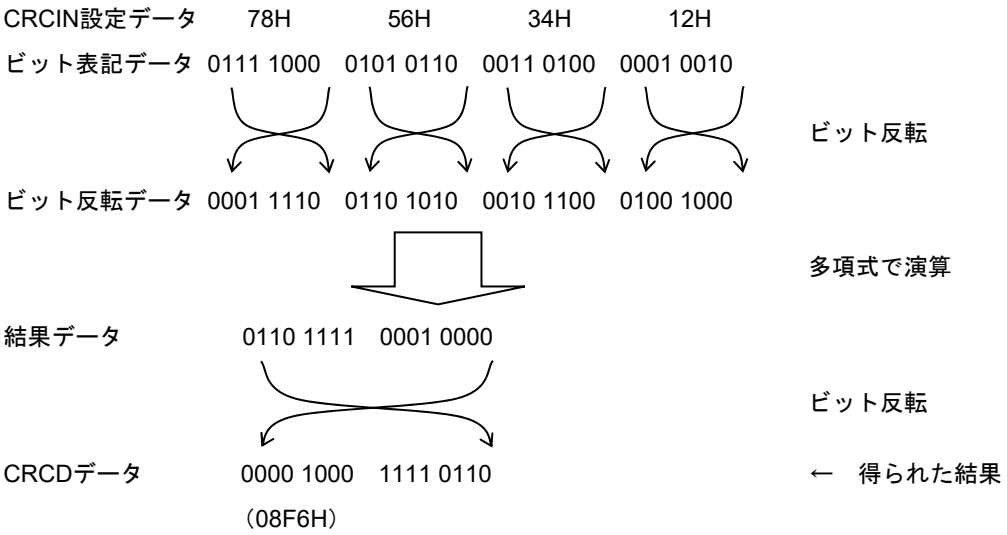
CRC期待値は，開発環境「CS+」等で算出することができます（CS+のユーザーズ・マニュアル参照）。

28.3.2　CRC演算機能（汎用CRC）

汎用CRCを使用することでCPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は，DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^5+1$」を使用します。入力するデータはLSBファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ12345678HをLSBから送信する場合には78H，56H，34H，12Hの順でCRCINレジスタに値を書き込むことで，CRCDレジスタから08F6Hの値が得られます。これは，データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意　プログラム実行中、デバッガはソフトウエア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウエア・ブレークを設定すると、CRC演算結果が異なります。

【制御レジスタ】

（1）CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－4　CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

CRCIN7-0	汎用CRCでCRC計算するデータを設定
00H-FFH	CRC-CCITT対応時のデータ入力
00H-0FH	SENT準拠対応時のデータ入力[注]

注　SENT準拠対応時でのCRCINレジスタへの書き込みの場合は、下位4ビット（ビット3-0）に有効のデータを書き込んでください。上記以外のビットには0を書き込んでください（0以外を書き込んだ場合、下位4ビット以外の処理は行わないので、リード時は書き込んだ値となります）。

（2）CRC演算モード制御レジスタ（CRCMD）

汎用CRC演算モードを選択するレジスタです。

CRCMDレジスタは，8ビット・メモリ操作命令で設定します。

図28－5　CRC演算モード制御レジスタ（CRCMD）のフォーマット

アドレス：F02F9H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CRCMD	－	－	－	－	－	－	－	POLYSEL

POLYSEL	CRCコード生成回路選択ビット
0	CRC-CCITT（$X^{16}+X^{12}+X^{5}+1$）
1	SENT準拠（$X^{4}+X^{3}+X^{2}+1$）

注意1.　SENT準拠のCRCコードを生成する場合、CRCMDレジスタのPOLYSELビットをセットしてください。

2.　bit7-1は、読むと“0”が読めます。書く場合、必ず“0”を書いてください。

（3）CRCデータ・レジスタ（CRCD）

汎用CRC演算結果を格納するレジスタです。

設定可能範囲は0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック（f_{CLK}）の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により0000Hになります。

図28－6　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

CRCD15-0	汎用CRCでCRC演算結果を格納[注1,2]
0000H-FFFFH	CRC-CCITT対応時のCRC演算結果
0000H-000FH	SENT準拠対応時のCRC演算結果[注3]

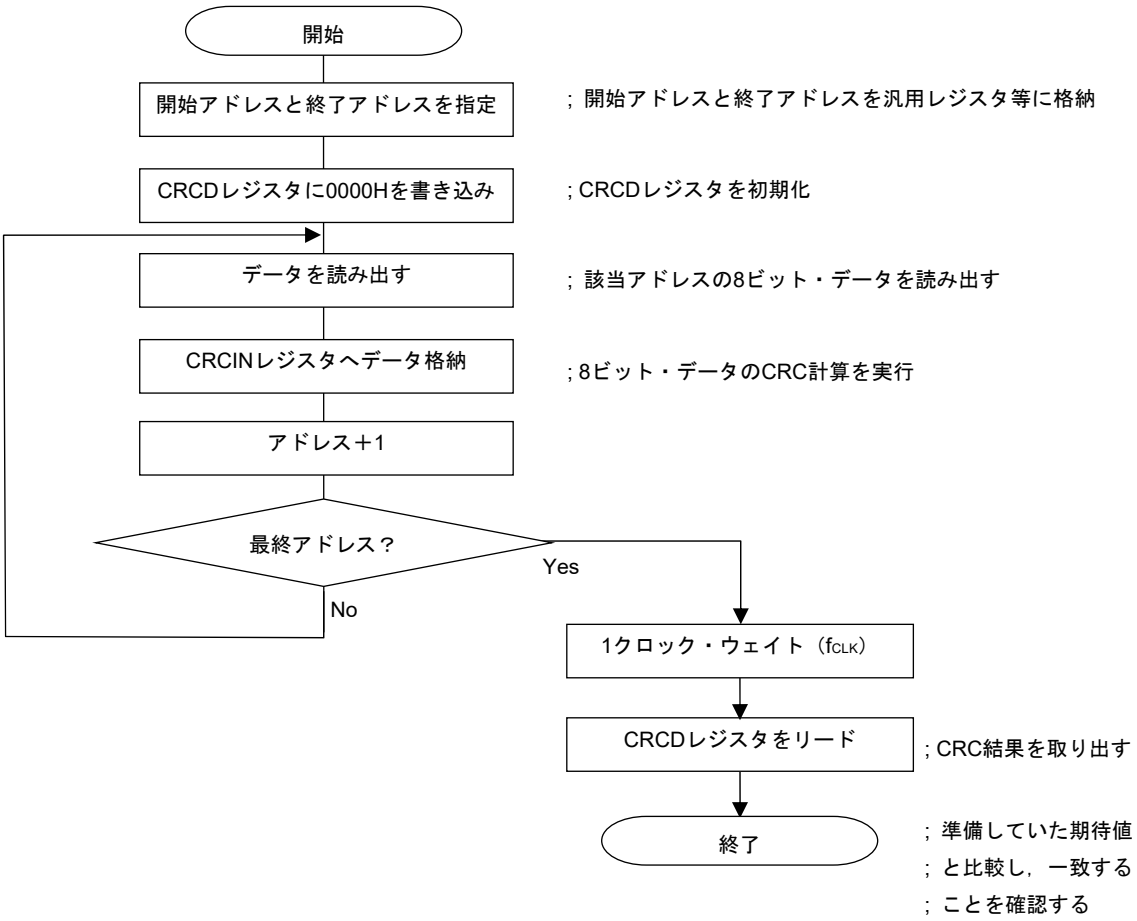
注1.　CRCDレジスタに書き込まれた値を読み出す場合は、CRCINへの書き込みを行う前にリードしてください。

2.　CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

3.　SENT準拠対応時でのCRCDレジスタへの書き込みは、下位4ビット（ビット3-0）に有効データを書き込んでください。上記以外のビットには0を書き込んでください。

【動作フロー】

図28－7　CRC演算機能（汎用CRC）のフロー・チャート



28.3.3 RAM-ECC機能

RL78/F15には、RAM-ECC機能が搭載されています。データ化け（ビットエラー）を検出し、割り込み要求の発生とビットエラーのアドレスを保持します。ビットエラーが1ビットの場合、データの訂正を行います。

注意 オンチップ・デバッグ中はRAM-ECC機能が動作しません。このため、ECCテスト・モードはオンチップ・デバッグで動作確認を行わないでください。ECCテスト・モードを使用しても、ビットエラーの検出やエラー・アドレスの格納は行われず、割り込みも発生しません。また、ビットエラーが1ビットの場合でもデータの訂正は行われません。

【制御レジスタ】

レジスタ名	機能	アクセス
ERADR	エラー・アドレス格納レジスタ	16ビット
ECCIER	1ビットエラー検出割り込み許可レジスタ	8ビット
ECCER	ビットエラー検出レジスタ	8ビット
ECCTPR	ECCテスト・プロテクト・レジスタ	8ビット
ECCTMDR	ECCテスト・モード・レジスタ	8ビット
ECCDWRVR	ライトデータ反転レジスタ	16ビット

（1）エラー・アドレス格納レジスタ（ERADR）

図28－8 エラー・アドレス格納レジスタ（ERADR）のフォーマット

アドレス：F0200H リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERADR	ERAD															

ERAD	ビットエラー・アドレス
0000H～FFFFH	ビットエラー割り込み要求発生時のアドレス

注意 ・ERADRレジスタは16ビット・メモリ操作命令でアクセスしてください。

・ビットエラー割り込み要求が発生するごとにレジスタ値が更新されます。

（2）1ビットエラー検出割り込み許可レジスタ（ECCIER）

図28－9 1ビットエラー検出割り込み許可レジスタ（ECCIER）のフォーマット

アドレス：F0202H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ECCIER	－	－	－	－	－	－	－	IEN

IEN	1ビットエラー検出割り込み許可ビット
0	割り込み禁止
1	割り込み許可

注意1. ECCIERレジスタのビット1-7は、読むと”0”が読めます。書く場合、必ず”0”を書いてください。

2. ビットエラーが2ビットの場合、ECCIERの値にかかわらずINTRAM割り込み要求が発生します。

（3）ビットエラー検出レジスタ（ECCER）

図28－10　ビットエラー検出レジスタ（ECCER）のフォーマット

アドレス：F0203H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ECCER	－	－	－	－	－	－	－	DBERR

DBERR	ビットエラー検出フラグ
0	1ビットエラーあり
1	2ビットエラーあり

注意　・DBERRは0を書き込むとクリアされます。

・ビットエラー検出による1セットとCPUによる0クリアが重なった場合は、ビットエラー検出による1セットが優先されます。

・ビットエラー検出割り込み要求（INTRAM）が発生していないときは、DBERRの値は無効です。

（4）ECCテスト・プロテクト･レジスタ（ECCTPR）

誤ってECCTMDRレジスタを書き換えてしまい、ECCテスト・モードに入ってしまうことを防ぐレジスタです。07H以外をセットすることでECCTMDRレジスタが書き換わることを防ぐことができます。

図28－11　ECCテスト・プロテクト・レジスタ（ECCTPR）のフォーマット

アドレス：F0204H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ECCTPR	－	－	－	－	－	TPR2	TPR1	TPR0

TPR2-0	ECCテスト・プロテクト・ビット
00000111以外	ECCTMDRレジスタへのアクセス禁止
00000111	ECCTMDRレジスタへのアクセス許可

（5）ECCテスト・モード･レジスタ（ECCTMDR）

図28－12 ECCテスト・モード・レジスタ（ECCTMDR）のフォーマット

アドレス：F0205H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ECCTMDR	－	－	－	－	－	TMD2	TMD1	TMD0

TMD2-0	ECCテスト・モード・ビット
000	通常動作モード
001	ECCテスト・モード
上記以外	設定禁止

注意1. ECCTPRレジスタを07Hに設定してからアクセスしてください。

2. ECCTMDRレジスタのビット3-7は、読むと“0”が読めます。書く場合、必ず“0”を書いてください。

（6）ライトデータ反転レジスタ（ECCDWRVR）

ECCが正常に動作しているか、書き込みデータのパリティビット、ECCコードを反転させ確認するレジスタです。

図28－13 ライトデータ反転レジスタ（ECCDWRVR）のフォーマット

アドレス：F0206H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8
ECCDWRVR	－	－	－	PRTYRV	ECCRV3	ECCRV2	ECCRV1	ECCRV0

略号	7	6	5	4	3	2	1	0
ECCDWRVR	DWRV7	DWRV6	DWRV5	DWRV4	DWRV3	DWRV2	DWRV1	DWRV0

PRTYRV	パリティ反転ビット
0	パリティビットを反転しない
1	パリティビットを反転する

ECCRV3	ECCコード反転ビット3
0	ECCコードのビット3を反転しない
1	ECCコードのビット3を反転する

ECCRV2	ECCコード反転ビット2
0	ECCコードのビット2を反転しない
1	ECCコードのビット2を反転する

ECCRV1	ECCコード反転ビット1
0	ECCコードのビット1を反転しない
1	ECCコードのビット1を反転する

ECCRV0	ECCコード反転ビット0
0	ECCコードのビット0を反転しない
1	ECCコードのビット0を反転する

DWRV7	ライトデータ反転ビット7
0	ライトデータのビット7を反転しない
1	ライトデータのビット7を反転する

DWRV6	ライトデータ反転ビット6
0	ライトデータのビット6を反転しない
1	ライトデータのビット6を反転する

DWRV5	ライトデータ反転ビット5
0	ライトデータのビット5を反転しない
1	ライトデータのビット5を反転する

DWRV4	ライトデータ反転ビット4
0	ライトデータのビット4を反転しない
1	ライトデータのビット4を反転する

DWRV3	ライトデータ反転ビット3
0	ライトデータのビット3を反転しない
1	ライトデータのビット3を反転する

DWRV2	ライトデータ反転ビット2
0	ライトデータのビット2を反転しない
1	ライトデータのビット2を反転する

DWRV1	ライトデータ反転ビット1
0	ライトデータのビット1を反転しない
1	ライトデータのビット1を反転する

DWRV0	ライトデータ反転ビット0
0	ライトデータのビット0を反転しない
1	ライトデータのビット0を反転する

注意1.　ECCDWRVRレジスタは16ビット・メモリ操作命令で設定してください。

2.　ECCDWRVRレジスタのビット13-15は、読むと”0”が読めます。書く場合、必ず”0”を書いてください。

3.　スタックへの書き込み等を含むすべてのRAMへの書き込みが反転しますので、ライトデータ反転ビットをセットする前に、必ずRAMを書き換える可能性のある周辺機能はすべて停止してからライトデータ反転ビットをセットしてください。また、OCD中にライトデータ反転ビットをセットすることは禁止です。

【ビットエラー検出割り込み】

ビットエラーを検出すると割り込み要求信号（INTRAM）を発生し、ビットエラーを起こしたアドレスをエラー・アドレス格納レジスタ（ERADR）に保持します。また、ビットエラーが2ビットの場合、ビットエラー検出レジスタ（ECCER）のビットエラー検出フラグ（DBERR）が1にセットされます。

1ビットエラー検出割り込み許可レジスタ（ECCIER）により、ビットエラーが1ビットの場合の割り込み要求信号を出力するかしないかを選択できます。

RL78のCPUは、命令コードを先読みするため、RAMフェッチを行うときにはRAMフェッチ空間+10バイトを初期化して使用してください。

また、命令コード読み出しでビットエラーを検出しても、割り込み要求は発生しませんので、ビットエラーを起こしたアドレスは分かりません。

【ECCテスト機能】

ECCテスト・モード･レジスタ（ECCTMDR）により、次の2つのモードを選択することができます。

- 通常動作モード
- テスト・モード（ビットエラー訂正機能のテスト）

ECCテスト・モード･レジスタへのアクセスは、ECCテスト・プロテクト･レジスタ（ECCTPR）によるプロテクトを解除した後に行ってください。

ビットを反転させた場合，スタックなど動作に大きく影響する場合がありますので，電源投入時などのアプリケーションに影響が出ないタイミングで実施してください。

またRAMからのデータリード時は、リードデータ（8bit）とECCコード（4bit）及びパリティビット（1bit）から、ビットエラーの有無を検出します。

ビットエラーがある場合は割り込み要求を出力するとともに、ビットエラーが発生したアドレスをレジスタに格納します。ビットエラーが1bitの時はリードデータを正しいデータに訂正します。

（a）通常動作モード

・データライト時、ライトデータ（8ビット）からECCコード（4ビット）を生成し、また、ライトデータとECCコードからパリティビット（1ビット）を生成します。そして13ビットのデータとしてRAMに書き込みます。

・データリード時、リードデータ（8ビット）とECCコード（4ビット）およびパリティビット（1ビット）から、ビットエラーの有無を検出し、ビットエラーが1ビットの場合は正しいデータに訂正して読み出します。

（b）テスト・モード（ビットエラー訂正機能のテスト）

・データライト時、ライトデータからECCコードを生成し、また、ライトデータとECCコードからパリティビットを生成します。ライトデータ反転レジスタ（ECCDWRVR）によりライトデータ（13ビット）の任意のビットの値を反転させた後、RAMに書き込みます。

・データリード時、リードデータとECCコードおよびパリティビットから、ビットエラーの有無を検出し、ビットエラーが1ビットの場合は正しいデータに訂正して読み出します。

28.3.4　CPUスタック・ポインタ・モニタ機能

本機能により、スタック・ポインタのオーバーフローがアンダーフローを検出し、割り込みを発生させることができます。

注意　オンチップ・デバッグ中はCPUスタック・ポインタ・モニタ機能は動作しません。

【構成】

本機能は、以下の機能を有しています。

・SPオーバーフロー／アンダーフロー検出機能

・SPオーバーフロー／アンダーフロー割り込み出力機能

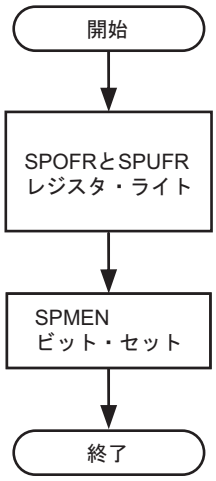
SPM許可ビット（SPMEN）が1のとき、スタック・ポインタを監視してスタック・ポインタの値が設定したSFR値より大きく（SPOFRより）または小さく（SPUFRより）なると割り込み信号（INTSPM）を生成します。

また、SPM許可ビット（SPMEN）が1のとき、SPOFR、SPUFRレジスタへの書き込みは無効です。

【レジスタ設定方法】

本機能のレジスタ設定方法を下図に示します。

図28－14　レジスタ設定のフロー・チャート



【基本使用方法】

1. SPOFRとSPUFRレジスタに初期値を書き込む。
2. SPMCTRLレジスタのSPMENビットをセットする。

【制御レジスタ】

レジスタ名	機能	アクセス
SPMCTRL	SPMコントロール・レジスタ	8ビット
SPOFR	SPオーバーフロー・アドレス設定レジスタ	16ビット
SPUFR	SPアンダーフロー・アドレス設定レジスタ	16ビット

備考1.　オーバーフローまたはアンダーフロー状態のまま、新たなオーバーフローもしくはアンダーフローが発生しても検出しません。オーバーフローやアンダーフローを検出後は、スタックポインタを監視範囲内に設定し直してください。

2.　オーバーフローやアンダーフロー割り込みを受け付けた場合、割り込み退避処理のため、必ずスタックポインター４となります。

（1）SPMコントロール・レジスタ（SPMCTRL）

図28－15　SPMコントロール・レジスタ（SPMCTRL）のフォーマット

アドレス：F00D8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
SPMCTRL	SPMEN	－	－	－	－	－	－	－

SPMEN	スタック・ポインタ・モニタのSFR ライト可能・禁止
0	スタック・ポインタ・モニタ禁止
1	スタック・ポインタ・モニタ可能

注意　SPMENビットは1書き込みのみを有効とし、SPMEN = 1とした後の0書き込みは無効です。

（2）SPオーバーフロー・アドレス設定レジスタ（SPOFR）

図28－16　SPオーバーフロー・アドレス設定レジスタ（SPOFR）のフォーマット

アドレス：F00DAH　　リセット時：FFFEH　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPOFR	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	0

ビット	スタック・ポインタのオーバーフロー・アドレス設定
15－0	スタック・ポインタのオーバーフロー・アドレス

注意　・最下位ビットは0固定。

・スタック・ポインタのビット15-1がSPOFRレジスタのビット15-1に設定した値よりも大きくなった場合、割り込み信号（INTSPM）を生成します。

スタック・ポインタ＞SPOFRレジスタ　→　INTSPM割り込み信号生成

・SPMEN=1の場合、SPOFRレジスタへの書き込みは無効です。

（3）SPアンダーフロー・アドレス設定レジスタ（SPUFR）

図28－17　SPアンダーフロー・アドレス設定レジスタ（SPUFR）のフォーマット

アドレス：F00DCH　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPUFR	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	0

ビット	スタック・ポインタのアンダーフロー・アドレス設定
15－0	スタック・ポインタのアンダーフロー・アドレス

注意　・最下位ビットは0固定。

・スタック・ポインタのビット15-1がSPUFRレジスタのビット15-1に設定した値よりも小さくなった場合、割り込み信号（INTSPM）を生成します。

スタック・ポインタ＜SPUFRレジスタ　→　INTSPM割り込み信号生成

・SPMEN=1の場合、SPUFRレジスタへの書き込みは無効です。

28.3.5　クロック・モニタ

クロック・モニタは、低速オンチップ・オシレータを使用してメイン・システム・クロック（f_{MAIN}）およびメイン/PLL選択クロック（f_{MP}）をサンプリングします。メイン・システム・クロックの発振が停止した場合、リセット要求信号（RESCLM）を生成します。メイン/PLL選択クロック（f_{MP}）が停止した場合は、強制的にクロックスルー・モードが選択され、SELPLLSがクリアされます（SELPLLはクリアされません）。同時に割り込み要求信号（INTCLM）を生成します。

（1）構成

クロック・モニタのブロック図を図28－18に示します。

図28－18　クロック・モニタのブロック図

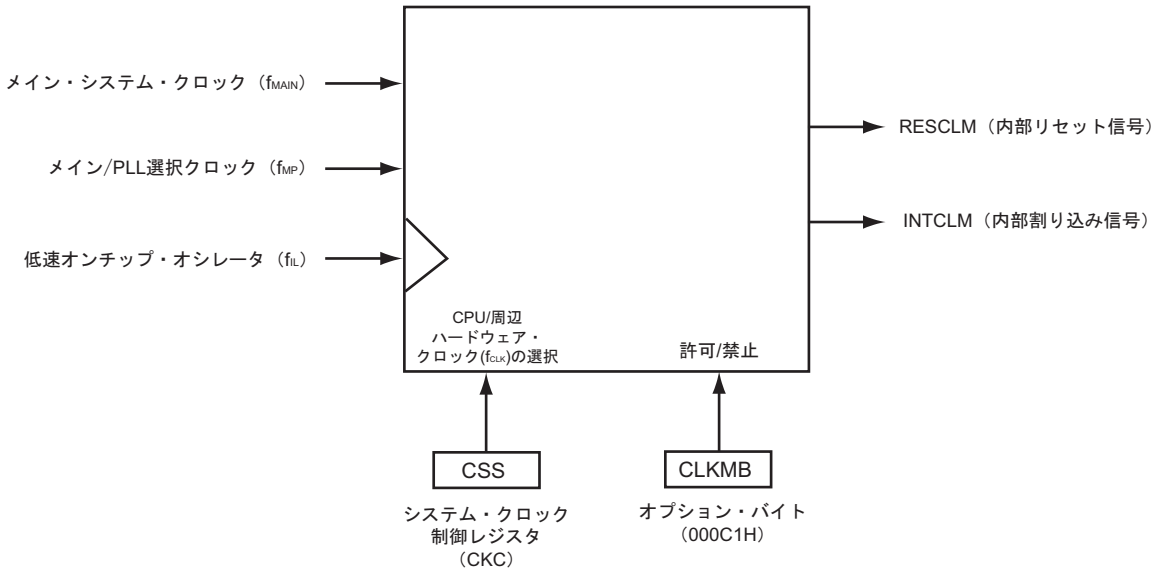


表28－1　クロック・モニタの動作状態

クロック・モニタ動作状態		クロック・モニタの状態
$f_{CLK} = f_{SUB}$またはf_{IL}		停止
$f_{CLK} = f_{MP}/2^N$	STOPモード	停止
	SNOOZEモード	停止
	MCM0設定後、発振安定期間	停止
	CLKMB = 1	停止
	CLKMB = 0	動作

（2）動作開始と停止

クロック・モニタの動作を許可するには、オプションバイト（000C1H）のビット4（CLKMB）を0にします。

低速オンチップ・オシレータの発振動作設定後、クロック・モニタは動作を開始します。

クロック・モニタは次の条件下で自動的に停止します。

- STOPモード中
- SNOOZEモード中
- STOPモード解除後の発振安定時間のカウント中
- CPU/周辺ハードウエア・クロック周波数（f_{CLK}）= サブシステム・クロック（f_{SUB}）または低速オンチップ・オシレータ・クロック（f_{IL}）の場合
- サンプリング・クロックが停止した場合（低速オンチップ・オシレータの停止）
- オプション・バイト（000C1H）のビット4（CLKMB）が1の場合

（3）使用上の注意

- クロック・モニタ動作中にPLLを停止させてSTOPモードに移行する際は，STOP命令の前にPLL制御レジスタ（PLLCTL）のビット0（PLLON）を0（PLL停止）に設定してください。
- オンチップ・デバッグ時に本機能を評価しないでください。

28.3.6　RAMガード機能

このRAMガード機能は，指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると，指定した空間へのRAM書き込みは無効になり，読み出しは通常通りに可能となります。

スタックとして使用している領域をRAMガード機能の対象としないでください。

【制御レジスタ】

（1）不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では，GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－19　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間[注]
0	0	無効。RAMへのライト可能
0	1	RAM下位アドレスから128バイト
1	0	RAM下位アドレスから256バイト
1	1	RAM下位アドレスから512バイト

注　製品のRAMサイズを超える領域にRAMガード空間を設定しないでください。

28.3.7　SFRガード機能

SFRガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出回路の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると，ガードされたSFRへの書き込みは無効になり，読み出しは通常通りに可能となります。

【制御レジスタ】

（1）不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－20　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PMxx, PUxx, PIMxx, POMxx, PMCxx, PITHLxx, ADPC, PIOR[注]

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能，電圧検出回路の制御レジスタのガード
0	無効。クロック制御機能，電圧検出回路の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能，電圧検出回路の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, CANCKSEL, LINCKSEL, CKSEL, PLLCTL, MDIV, RTCCL, POCRES, STPSTC

注．Pxx（ポート・レジスタ）はガードされません。

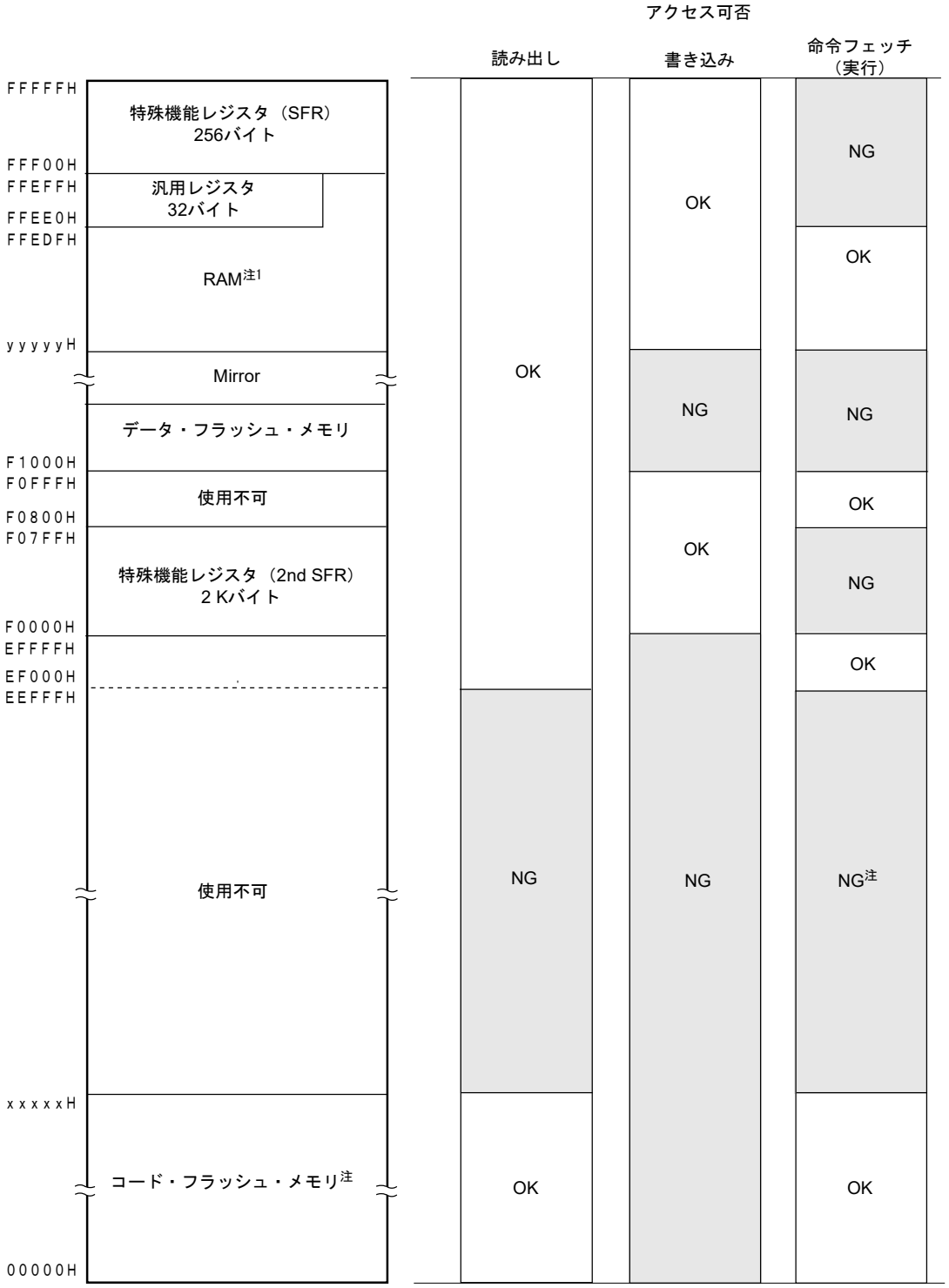
28.3.8　不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，図28－21で「NG」と記載した範囲になります。

図28－21　不正アクセス検出空間



（注は次ページにあります。）

注　各製品のコード・フラッシュ・メモリ，RAMのアドレスは次のようになります。

ROMサイズ	コード・フラッシュ・メモリ（00000H-xxxxxH）
128KB	131072×8ビット（00000H-1FFFFH）
192KB	196608×8ビット（00000H-2FFFFH）
256KB	262144×8ビット（00000H-3FFFFH）
384KB	393216×8ビット（00000H-47FFFH）
512KB	524288×8ビット（00000H-7FFFFH）

RAMサイズ	RAM（yyyyyH-FFEFFH）
10KB	10240×8ビット（FD700H-FFEFFH）
16KB	16384×8ビット（FBF00H-FFEFFH）
20KB	20480×8ビット（FAF00H-FFEFFH）
26KB	26624×8ビット（F2500H-FFEFFH）
32KB	32768×8ビット（F7F00H-FFEFFH）

【制御レジスタ】

・不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－22　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0078H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN[注]	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

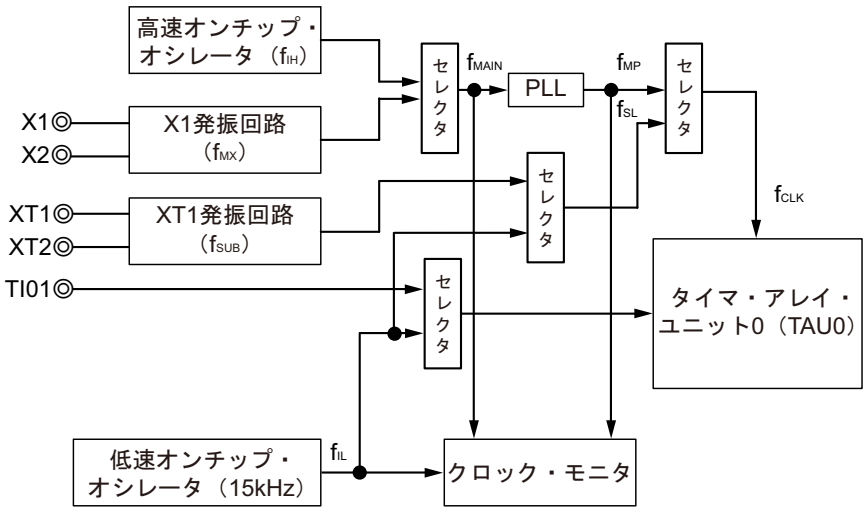
備考　オプション・バイトWDTON = 1の設定により，不正メモリ・アクセス機能は，IAWENビットの設定にかかわらず常に有効となります（「第30章　オプション・バイト」を参照してください）。

注　IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

28.3.9　周波数検出機能

周波数検出機能では，高速オンチップ・オシレータ・クロック，外付けのX1発振クロック，およびPLLクロックのいずれかと，低速オンチップ・オシレータ・クロック（15 kHz）を比較することで，クロックが異常な周波数で動作していることを検出することができます。

図28－23　周波数検出機能の構成



【動作概要】

以下の条件でパルス幅を測定した結果で，クロック周波数が正常かどうかの判定をします。

- CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロック（f_{IH}），外付けのX1発振クロック（f_{MX}），およびPLLクロック（f_{PLL}）のいずれかを選択
- タイマ・アレイ・ユニット0（TAU0）のチャネル1のタイマ入力に低速オンチップ・オシレータ・クロック（f_{IL}：15 kHz）を選択

パルス幅の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。

パルス幅測定の方法については，「6.7.4　入力パルス間隔測定としての動作」を参照してください。

【制御レジスタ】

・タイマ入力選択レジスタ0（TIS0）

チャネル1のタイマ入力を選択するレジスタです。

タイマ入力に低速オンチップ・オシレータ・クロックを選択することにより，そのパルス間隔を測定することで低速オンチップ・オシレータ・クロックとタイマ動作クロックとの比率関係が正しいか判定することができます。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－24　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	0	TIS04	0	TIS02	TIS01	TIS00

TIS07	タイマ・アレイ・ユニット0 チャネル3で使用するタイマ入力の選択
0	タイマ入力端子（TI03）の入力信号
1	ELCからのイベント入力信号

TIS06	タイマ・アレイ・ユニット0 チャネル2で使用するタイマ入力の選択
0	タイマ入力端子（TI02）の入力信号
1	ELCからのイベント入力信号

TIS04	タイマ・アレイ・ユニット0 チャネル0で使用するタイマ入力の選択
0	タイマ入力端子（TI00）の入力信号
1	ELCからのイベント入力信号

TIS02	TIS01	TIS00	タイマ・アレイ・ユニット0 チャネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI01）の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子（TI01）の入力信号
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブ／低速オンチップ・オシレータ選択クロック（f_{SL}）
上記以外			設定禁止

注意1.　タイマ入力選択レジスタ0（TIS0）で，ELCからのイベント入力信号を選択する場合，タイマ・クロック選択レジスタ0（TPS0）はf_{CLK}を選択してください。

2.　TImn端子（m = 0～2, n = 0～7）にデータ入力中は，タイマ入力の選択ビットを切り替えないでください。

3.　選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，$1/f_{MCK}$ + 10 ns以上必要となります。そのため，f_{CLK}にf_{SL}を選択時（CKCレジスタのCSS = 1）は，TIS02ビットに1を設定できません。

28.3.10　A/Dテスト機能

このA/Dテスト機能では，内部の0 V, AV_{REF}，内部基準電圧（1.45 V）のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

① ANIx端子のA/D変換を行う（変換結果1）。

② ADTESレジスタでAV_{REFM}を選択してA/D変換を行い，A/Dコンバータのサンプリング・コンデンサ両端の電位差を0Vにする。

③ ANIx端子のA/D変換を行う（変換結果2）。

④ ADTESレジスタでAV_{REFP}を選択してA/D変換を行い，A/Dコンバータのサンプリング・コンデンサ両端の電位差をAV_{REF}にする。

⑤ ANIx端子のA/D変換を行う（変換結果3）。

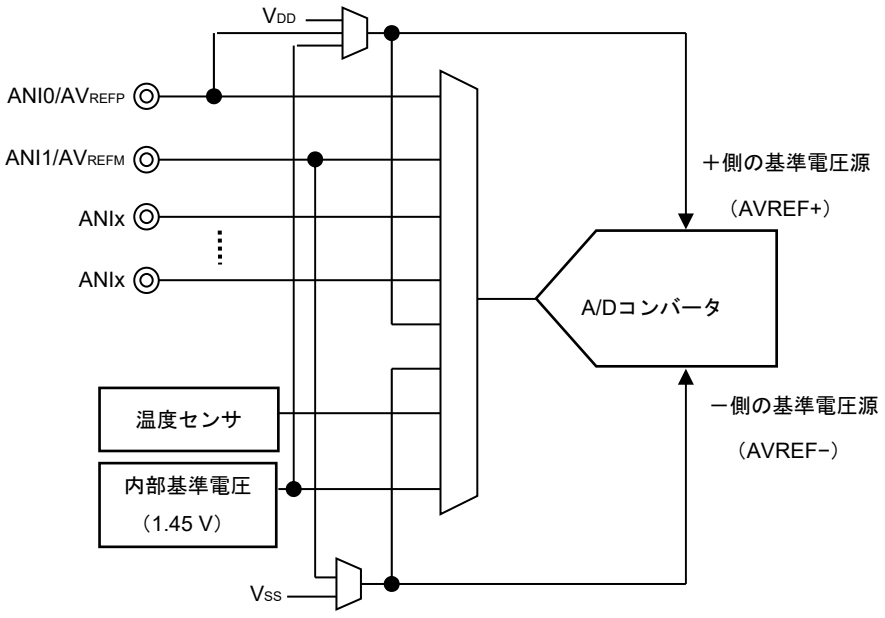
⑥ 「変換結果1 = 変換結果2 = 変換結果3」であることを確認する。

以上の手順でアナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑤の変換中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

2. 変換結果は誤差を含むので、変換結果を比較するときは，適切な誤差を考慮してください。

図28－25　A/Dテスト機能の構成



【制御レジスタ】

（1）A/Dテスト・レジスタ（ADTES）

A/D変換対象に，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45V）のいずれかをA/D変換対象に選択します。

A/Dテスト機能として使用する場合は，以下を設定します。

・ゼロスケールを測定するときは，A/D変換対象に－側基準電圧を選択

・フルスケールを測定するときは，A/D変換対象に＋側基準電圧を選択

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－26　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx/温度センサ出力／内部基準電圧出力（1.45 V）（アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

（2）アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－27　アナログ入力チャネル指定レジスタ（ADS）のフォーマット（1/2）

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

- セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P33/AV_{REFP}/ANI0
0	0	0	0	0	1	ANI1	P34/AV_{REFM}/ANI1
0	0	0	0	1	0	ANI2	P80/ANI2/ANO0
0	0	0	0	1	1	ANI3	P81/ANI3/IVCMP00
0	0	0	1	0	0	ANI4	P82/ANI4/IVCMP01
0	0	0	1	0	1	ANI5	P83/ANI5/IVCMP02
0	0	0	1	1	0	ANI6	P84/ANI6/IVCMP03
0	0	0	1	1	1	ANI7	P85/ANI7/IVREF0
0	0	1	0	0	0	ANI8	P86/ANI8
0	0	1	0	0	1	ANI9	P87/ANI9
0	0	1	0	1	0	ANI10	P90/ANI10
0	0	1	0	1	1	ANI11	P91/ANI11
0	0	1	1	0	0	ANI12	P92/ANI12
0	0	1	1	0	1	ANI13	P93/ANI13
0	0	1	1	1	0	ANI14	P94/ANI14
0	0	1	1	1	1	ANI15	P95/ANI15
0	1	0	0	0	0	ANI16	P96/ANI16
0	1	0	0	0	1	ANI17	P97/ANI17
0	1	0	0	1	0	ANI18	P100/ANI18
0	1	0	0	1	1	ANI19	P101/ANI19
0	1	0	1	0	0	ANI20	P102/ANI20
0	1	0	1	0	1	ANI21	P103/ANI21
0	1	0	1	1	0	ANI22	P104/ANI22
0	1	0	1	1	1	ANI23	P105/ANI23
0	1	1	0	0	0	ANI24	P125/ANI24
0	1	1	0	0	1	ANI25	P120/ANI25
0	1	1	0	1	0	ANI26	P70/ANI26
0	1	1	0	1	1	ANI27	P71/ANI27
0	1	1	1	0	0	ANI28	P72/ANI28
0	1	1	1	0	1	ANI29	P73/ANI29
0	1	1	1	1	0	ANI30	P74/ANI30
1	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	–	温度センサ出力
1	0	0	0	0	1	–	内部基準電圧出力（1.45 V）

図28－27　アナログ入力チャネル指定レジスタ（ADS）のフォーマット（2/2）

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

- スキャン・モード（ADMD = 1）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
0	0	1	0	1	1	ANI11	ANI12	ANI13	ANI14
0	0	1	1	0	0	ANI12	ANI13	ANI14	ANI15
0	1	0	0	0	0	ANI16	ANI17	ANI18	ANI19
0	1	0	0	0	1	ANI17	ANI18	ANI19	ANI20
0	1	0	0	1	0	ANI18	ANI19	ANI20	ANI21
0	1	0	0	1	1	ANI19	ANI20	ANI21	ANI22
0	1	0	1	0	0	ANI20	ANI21	ANI22	ANI23
上記以外						設定禁止			

注意1.　ビット5, 6には必ず0を設定してください。

2. ADPC, PMCxxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ3, 7-10, 12（PM3, PM7-PM10, PM12）で入力モードに選択してください。
3. A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。
4. ポート・モード・コントロール・レジスタ7, 12（PMC7, PMC12）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。
5. ADISSビットを書き換える場合は，必ずA/D電圧コンパレータ動作停止状態（A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 0）のときに行ってください。
6. AV_{REFP}をA/Dコンバータの＋側の基準電圧源として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。
7. AV_{REFM}をA/Dコンバータの－側の基準電圧源として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。
8. ADISS = 1を設定した場合，＋側の基準電圧源に内部基準電圧（1.45 V）は使用できません。
9. STOPモードもしくはサブ/低速オンチップ・オシレータ選択クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，第35章～第36章の電気的特性の電源電流特性が加算されます。
10. 製品により，対応するANI端子が存在しない場合は，変換結果を無視してください。

28.3.11　入出力ポートのデジタル出力信号レベル検出機能

入出力ポートのデジタル出力信号レベル検出機能では，ポートが出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）時に，端子のデジタル出力レベルをリードすることができます。

本機能はPMnm（入出力モード）ビットを出力モードの場合でも、端子の出力レベルを読み出すことが出来ることで、正しくはHレベル、Lレベルが出力されているかCPUで判定する機能を実現します。その制御を行うレジスタは、「第4章　ポート機能」を参照してください。

【制御レジスタ】

（1）ポート・モード選択レジスタ（PMS）

ポートが出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）ときに，ポートの出力ラッチの値をリードするか，端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により00Hになります。

図28－28　ポート・モード選択レジスタ（PMS）のフォーマット

アドレス：F0077H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	ポートが出力モード時（PMmn = 0）にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子の出力レベルを読み出す

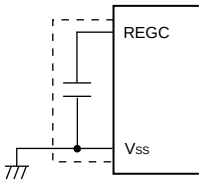
備考　m = 0-16

n = 0-7

第29章　レギュレータ

29.1　レギュレータの概要

RL78/F15は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定としてコンデンサ（0.47～1 μF）を介し、V_{SS}に接続してください。また、内部電圧の安定化を図るため、特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は表29－1のようになります。

表29－1　レギュレータ出力電圧条件

モード	出力電圧	条件
高速メイン・モード	1.86V	STOPモード時
		サブ/低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）でCPU動作中、高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）およびPLLクロック（f_{PLL}）がすべて停止
		サブ/低速オンチップ・オシレータ・クロック選択クロック（f_{SL}）でCPU動作設定時のHALTモード中、高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{IH}）およびPLLクロック（f_{PLL}）がすべて停止
	2.1V	上記以外（オンチップ・デバッグ中を含む）[注]

注　オンチップ・デバッグ中に、サブ/低速オンチップ・オシレータ・クロック選択クロック動作やSTOPモードに移行する場合は、レギュレータ出力電圧は2.1Vを継続します（1.86Vにはなりません）。

第30章　オプション・バイト

30.1　オプション・バイトの機能

RL78/F15のフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

また，セルフ・プログラミング時にブート・スワップ動作を使用する際には，000C0H-000C3Hは020C0H-020C3Hと切り替わるので，020C0H-020C3Hにも000C0H-000C3Hと同じ値を設定してください。

30.1.1　ユーザ・オプション・バイト（000C0H-000C2H/020C0H-020C2H）

（1）000C0H/020C0H

〇ウォッチドッグ・タイマの動作

- HALT/STOP/SNOOZEモード時の動作停止／可能

〇ウォッチドッグ・タイマのオーバフロー時間の設定

〇ウォッチドッグ・タイマの動作

- 動作停止／可能

〇ウォッチドッグ・タイマのウインドウ・オープン期間の設定

〇ウォッチドッグ・タイマのインターバル割り込み

- 使用する／使用しない

注意　ブート・スワップ時は，000C0Hと020C0Hが切り替わるので，020C0Hにも000C0Hと同じ値を設定してください。

（2）000C1H/020C1H

〇LVDの動作モード設定

- 割り込み＆リセット・モード
- リセット・モード
- 割り込みモード

〇LVD検出レベル（V_{LVDH}, V_{LVDL}, V_{LVD}）の設定

〇クロック・モニタの動作

- 動作停止/可能

注意　ブート・スワップ時は，000C1Hと020C1Hが切り替わるので，020C1Hにも000C1Hと同じ値を設定してください。

（3）000C2H/020C2H

〇RESOUTB出力機能の設定

〇高速オンチップ・オシレータの周波数設定

- 1 MHz, 4 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz, 48 MHz, 64 MHz から選択

注意　ブート・スワップ時は，000C2Hと020C2Hが切り替わるので，020C2Hにも000C2Hと同じ値を設定してください。

30.1.2　オンチップ・デバッグ・オプション・バイト（000C3H/020C3H）

〇オンチップ・デバッグ動作制御

- オンチップ・デバッグ動作禁止／許可

〇ホット・プラグイン制御

- ホット・プラグイン動作禁止／許可

〇セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は，000C3Hと020C3Hが切り替わるので，020C3Hにも000C3Hと同じ値を設定してください。

30.2　ユーザ・オプション・バイトのフォーマット

図30－1　ユーザ・オプション・バイト（000C0H/020C0H）のフォーマット

アドレス：000C0H/020C0H[注1]　　リセット時：－（ユーザの設定値[注2]）

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 f_{WDT}到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間[注3]
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{WDT} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{WDT}$（3.71 ms）
0	0	1	$2^7/f_{WDT}$（7.42 ms）
0	1	0	$2^8/f_{WDT}$（14.84 ms）
0	1	1	$2^9/f_{WDT}$（29.68 ms）
1	0	0	$2^{11}/f_{WDT}$（118.72 ms）
1	0	1	$2^{13}/f_{WDT}$（474.89 ms）
1	1	0	$2^{14}/f_{WDT}$（949.79 ms）
1	1	1	$2^{16}/f_{WDT}$（3799.18 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOP/SNOOZEモード時）
0	HALT/STOP/SNOOZEモード時，カウンタ動作停止[注3]
1	HALT/STOP/SNOOZEモード時，カウンタ動作許可

注1.　ブート・スワップ時は，000C0Hと020C0Hが切り替わるので，020C0Hにも000C0Hと同じ値を設定してください。

2.　出荷時、ユーザ・オプション・バイトはFFHです。

3.　WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

注意　EEPROMエミュレーション時でも，ウォッチドッグ・タイマの動作は継続します。ただし，これらの処置中には割り込みの受け付け時間が遅れるので，遅延を考慮し，オーバフロー時間およびウインドウ・オープン期間を設定してください。

備考1.　f_{WDT}：WDT専用低速オンチップ・オシレータ・クロック周波数

2.　WDTON = 1の設定により，不正メモリ・アクセス機能はIAWENビットの設定にかかわらず常に有効となります（「28.3.8　不正メモリ・アクセス検出機能」を参照してください）。

図30－2　ユーザ・オプション・バイト（000C1H/020C1H）のフォーマット（1/2）

アドレス：000C1H/020C1H[注1]　　リセット時：－（ユーザの設定値[注2]）

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値							
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0
立ち上がり	立ち下がり	立ち下がり								
4.42 V	4.32 V	2.75 V	0	0	1	×[注3]	0	0	1	0
4.62 V	4.52 V	2.75 V	0	1	0	×[注3]	0	0		
3.22 V	3.15 V	2.75 V	0	1	1	×[注3]	0	1		
4.74 V	4.64 V					×[注3]	0	0		
上記以外			設定禁止							

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値							
V_{LVD}		VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0
立ち上がり	立ち下がり								
2.81 V	2.75 V	0	1	1	×[注3]	1	1	1	1
3.02 V	2.96 V	0	0	0	×[注3]	0	1		
3.22 V	3.15 V	0	1	1	×[注3]	0	1		
4.42 V	4.32 V	0	0	1	×[注3]	0	0		
4.62 V	4.52 V	0	1	0	×[注3]	0	0		
4.74 V	4.64 V	0	1	1	×[注3]	0	0		
上記以外		設定禁止							

注1.　ブート・スワップ時は，000C1Hと020C1Hが切り替わるので，020C1Hにも000C1Hと同じ値を設定してください。

2.　出荷時，ユーザ・オプション・バイトはFFHです。

3.　クロック・モニタ・ビット（CLKMB）の設定値を書いてください。

備考1.　X：don’t care

2.　LVDの詳細は「27.1　電圧検出回路の機能」を参照してください。

図30－2　ユーザ・オプション・バイト（000C1H/020C1H）のフォーマット（2/2）

アドレス：000C1H/020C1H[注1]　　リセット時：－（ユーザの設定値[注2]）

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値							
V_{LVD}		VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	LVIMDS1	LVIMDS0
立ち上がり	立ち下がり								
2.81 V	2.75 V	0	1	1	×[注3]	1	1	0	1
3.02 V	2.96 V	0	0	0	×[注3]	0	1		
3.22 V	3.15 V	0	1	1	×[注3]	0	1		
4.42 V	4.32 V	0	0	1	×[注3]	0	0		
4.62 V	4.52 V	0	1	0	×[注3]	0	0		
4.74 V	4.64 V	0	1	1	×[注3]	0	0		
上記以外		設定禁止							

・LVDの設定（LVDオフ）

検出電圧		オプション・バイト設定値							
V_{LVD}		VPOC2	VPOC1	VPOC0	CLKMB	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり							LVIMDS1	LVIMDS0
—	—	1	×	×	×[注3]	×	×	×	1
上記以外		設定禁止							

・クロック・モニタの動作設定

CLKMB	クロック・モニタの動作制御
0	クロック・モニタ動作
1	クロック・モニタ停止

注1.　ブート・スワップ時は，000C1Hと020C1Hが切り替わるので，020C1Hにも000C1Hと同じ値を設定してください。

2.　出荷時，ユーザ・オプション・バイトはFFHです。

3.　クロック・モニタ・ビット（CLKMB）の設定値を書いてください。

備考1.　×：don't care

2.　LVDの詳細は「27.1　電圧検出回路の機能」を参照してください。

図30－3　ユーザ・オプション・バイト（000C2H/020C2H）のフォーマット

アドレス：000C2H/020C2H[注1]　　リセット時：－（ユーザの設定値[注2]）

7	6	5	4	3	2	1	0
1	1	RESOUTB	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

RESOUTB	RESOUTB出力機能
0	P130をRESOUT端子として使用。 ・RESET中は"L"出力 ・RESET解除時、自動的に"H"出力 ・出力ラッチの値は出力に影響しない
1	P130を通常ポート（出力専用）として使用。 ・RESET中は"L"出力 ・RESET解除時は出力ラッチの値を出力

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	1	0	0	0	64 MHz
1	0	0	0	0	48 MHz
0	1	0	0	0	32 MHz
0	0	0	0	0	24 MHz
0	1	0	0	1	16 MHz
0	0	0	0	1	12 MHz
0	1	0	1	0	8 MHz
0	1	0	1	1	4 MHz
0	1	1	0	1	1 MHz
上記以外					設定禁止

注1.　ブート・スワップ時は，000C2Hと020C2Hが切り替わるので，020C2Hにも000C2Hと同じ値を設定してください。

2.　出荷時，ユーザ・オプション・バイトはFFHです。

30.3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図30－4　オンチップ・デバッグ・オプション・バイト（000C3H/020C3H）のフォーマット

アドレス：000C3H/020C3H[注1]

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	HPIEN[注2]	OCDERSD

OCDENSET	HPIEN[注2]	OCDERSD	オンチップ・デバッグ動作制御
0	0	0	オンチップ・デバッグ動作禁止
1	0	0	オンチップ・デバッグ動作許可、ホット・プラグイン動作禁止。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する。
1	0	1	オンチップ・デバッグ動作許可、ホット・プラグイン動作禁止。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。
1	1	1	オンチップ・デバッグ動作許可、ホット・プラグイン動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。
上記以外			設定禁止

注1.　ブート・スワップ時は000C3Hと020C3Hが切り替わるので，020C3Hにも000C3Hと同じ値を設定してください。

2.　HPIENビットを1にすると低速オンチップ・オシレータが動作し，ユーザ・プログラムによる停止ができなくなります。ただし，スタンバイ・モード中のみ，レジスタの設定により低速オンチップ・オシレータを停止できます。低速オンチップ・オシレータでホット・プラグインの検出を行うためこのような動作となります。

注意　ビット7, 1, 0（OCDENSET, HPIEN, OCDERSD）のみ，値を指定できます。
ビット6-2には，必ず00001Bを書き込んでください。

備考　ビット3-1は，オンチップ・デバッグ機能使用時に値が書き変わるので，設定後は不定となります。ただし，設定時にはビット3, 2にも，必ず初期値（0, 1）を設定してください。

30.4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にアセンブラのリンカ・オプションでも設定することができます。その場合，下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT     CSEG    OPT_BYTE
        DB      36H         ; ウォッチドッグ・タイマのインターバル割り込みを使用しない,
                            ; ウォッチドッグ・タイマ動作許可,
                            ; ウォッチドッグ・タイマのウインドウ・オープン期間50%,
                            ; ウォッチドッグ・タイマのオーバフロー時間2^9/fWDT,
                            ; HALT/STOP/SNOOZEモード時，ウォッチドッグ・タイマの動作停止
        DB      22H         ; VLVDLに2.75 Vを選択
                            ; VLVDHに立ち上がり4.42 V，立ち下がり4.32 Vを選択
                            ; LVDの動作モードに割り込み＆リセット・モードを選択
                            ; クロックモニタ動作
        DB      EDH         ; RESOUTB出力機能の設定
                            ; 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
        DB      85H         ; オンチップ・デバッグ動作許可，ホット・プラグイン動作禁止,
                            ; セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。
```

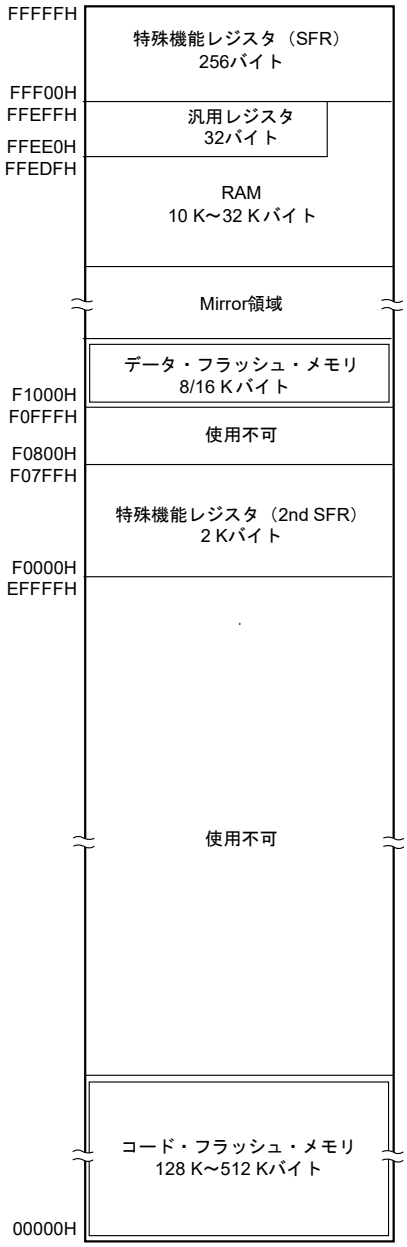
セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C3Hは020C0H-020C3Hと切り替わります。そのため020C0H-020C3Hにも000C0H-000C3Hと同じ値を，次のように記述してください。

```
OPT2    CSEG    AT      020C0H
        DB              36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない,
                                ; ウォッチドッグ・タイマ動作許可,
                                ; ウォッチドッグ・タイマのウインドウ・オープン期間50%,
                                ; ウォッチドッグ・タイマのオーバフロー時間2^9/fWDT,
                                ; HALT/STOP/SNOOZEモード時，ウォッチドッグ・タイマの動作停止
        DB              22H     ; VLVDLに2.75 Vを選択
                                ; VLVDHに立ち上がり4.42 V，立ち下がり4.32 Vを選択
                                ; LVDの動作モードに割り込み＆リセット・モードを選択
                                ; クロック・モニタ動作
        DB              EDH     ; RESOUTB出力機能の設定
                                ; 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
        DB              85H     ; オンチップ・デバッグ動作許可，ホット・プラグイン動作禁止,
                                ; セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお，ブート・スワップ機能を使用するために020C0H～020C3Hにオプション・バイトを指定する場合は，再配置属性ATを使用して絶対番地を指定してください。

第31章　フラッシュ・メモリ

RL78/F15は，プログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能なコード・フラッシュとデータ格納領域のデータ・フラッシュがあります。



フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング
  専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。詳細は「31.4 シリアル・プログラミング方法」を参照してください。

- 外部デバイス（UART通信）によるシリアル・プログラミング
  外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。詳細は「31.2 外部デバイス（UART内蔵）によるシリアル・プログラミング」を参照してください。

- セルフ・プログラミング
  フラッシュ・セルフ・プログラミング・ライブラリを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。詳細は「31.6 セルフ・プログラミング」を参照してください。

データ・フラッシュ・メモリは，データ・フラッシュ・ライブラリを利用して，ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては，「31.8 データ・フラッシュ」を参照してください

31.1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78/F15の内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP5, FL-PR5
- E1オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

（1）オンボード・プログラミング

ターゲット・システム上にRL78/F15を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

（2）オフボード・プログラミング

ターゲット・システム上にRL78/F15を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FL-PR5, FAシリーズは，（株）内藤電誠町田製作所の製品です。

表31－1　RL78/F15と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号				
信号名		入出力	端子機能		48ピン	64ピン	80ピン	100ピン	144ピン
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ				LFQFP (7×7) HWQFN/ HVQFN (7×7)	LFQFP (10×10)	LFQFP (12×12)	LFQFP (14×14)	LFQFP (20×20)
－	TOOL0	入出力	送受信信号	TOOL0/ P40	3	5	9	12	12
SI/RXD	－	入出力	送受信信号						
－	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	4	6	10	13	25
/RESET	－	出力							
V_{DD}		入出力	V_{DD}電圧生成／電源監視	V_{DD}	12	15	19	22	34
GND		－	グランド	V_{SS}	11	13	17	20	32
				EV_{SS}	－	14	18	21, 43	33, 65
				REGC[注]	10	12	16	19	31
EMV_{DD}		－	TOOL0端子駆動電源	V_{DD}	12	－	－	－	－
				EV_{DD}	－	16	20	23,53	35, 75

注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

31.1.1　プログラミング環境

RL78/F15のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31－1　フラッシュ・メモリにプログラムを書き込むための環境



注1.　64, 80, 100, 144ピン製品のみ。

2.　100, 144ピン製品のみ。

専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

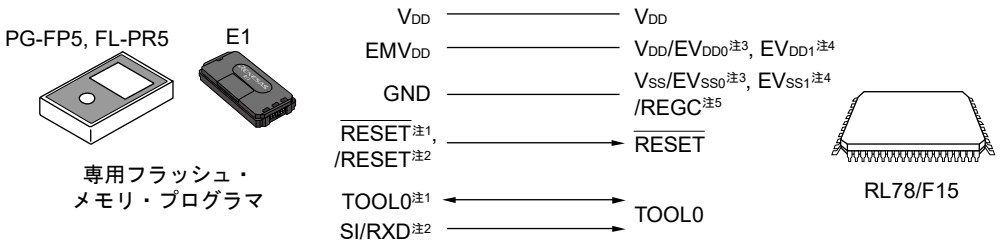
また，専用フラッシュ・メモリ・プログラマとRL78/F15とのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。

31.1.2　通信方式

専用フラッシュ・メモリ・プログラマとRL78/F15との通信は，RL78/F15のTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：　1 M, 500 k, 250 k, 115.2 kbps

図31－2　専用フラッシュ・メモリ・プログラマとの通信



注1.　E1オンチップデバッギングエミュレータ使用時。

2.　PG-FP5, FL-PR5使用時。

3.　64, 80, 100, 144ピン製品のみ。

4.　100, 144ピン製品のみ。

5.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78/F15に対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップデバッギングエミュレータのマニュアルを参照してください。

表31－2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78/F15
信号名		入出力	端子機能	端子名
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ			
V_{DD}		入出力	V_{DD}電圧生成／電圧監視	V_{DD}
GND		－	グランド	V_{SS}, EV_{SS0}注1, EV_{SS0}注2, REGC注3
EMV_{DD}		－	TOOL0端子駆動電源	V_{DD}, EV_{DD0}注1, EV_{DD1}注2
/RESET	－	出力	リセット信号	$\overline{RESET}$
－	$\overline{RESET}$	出力		
－	TOOL0	入出力	送受信信号	TOOL0
SI/RXD	－	入出力	送受信信号	

注1.　64, 80, 100, 144ピン製品のみ。

2.　100, 144ピン製品のみ。

3.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

注意　接続先端子は製品によって異なります。詳細は表31－1を参照してください。

31.2　外部デバイス（UART内蔵）によるシリアル・プログラミング

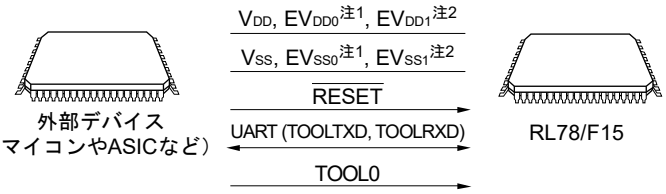
オンボード上でRL78/F15とUART接続されている外部デバイス（マイコンやASIC）を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

ユーザでのフラッシュ・メモリ・プログラマの開発については「RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーションノート（R01AN0815）」を参照してください。

31.2.1　プログラミング環境

RL78/F15のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図31－3　フラッシュ・メモリにプログラムを書き込むための環境



注1.　64, 80, 100, 144ピン製品のみ。

2.　100, 144ピン製品のみ。

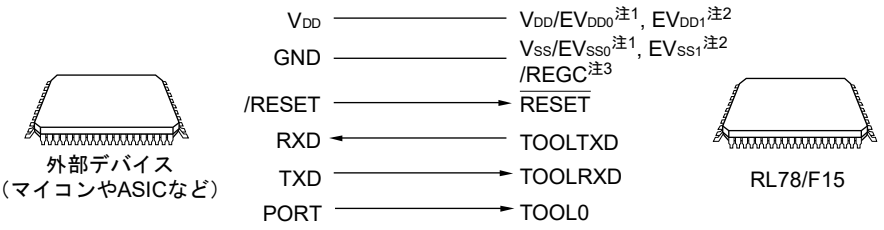
外部デバイスからRL78/F15に書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

31.2.2　通信方式

外部デバイスとRL78/F15との通信は，RL78/F15のTOOLTXD, TOOLRXD端子を使用して，専用のUARTによるシリアル通信で行います。

転送レート：　1 M, 500 k, 250 k, 115.2 kbps

図31－4　外部デバイスとの通信



注1.　64, 80, 100, 144ピン製品のみ。

2.　100, 144ピン製品のみ。

3.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスはRL78/F15に対して次の信号を生成します。

表31－3　端子接続一覧

外部デバイス			RL78/F15
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD, EVDD0注1, EVDD1注2
GND	－	グランド	VSS, EVSS0注1, EVSS1注2, REGC注3
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RXD	入力	受信信号	TOOLTXD
TXD	出力	送信信号	TOOLRXD
PORT	出力	モード信号	TOOL0

注1.　64, 80, 100, 144ピン製品のみ。

2.　100, 144ピン製品のみ。

3.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

31.3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては「31.4.2　フラッシュ・メモリ・プログラミング・モード」を参照してください。

31.3.1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：端子リセット解除時から1msの期間はロウ・レベルを入力しないでください。ただし，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

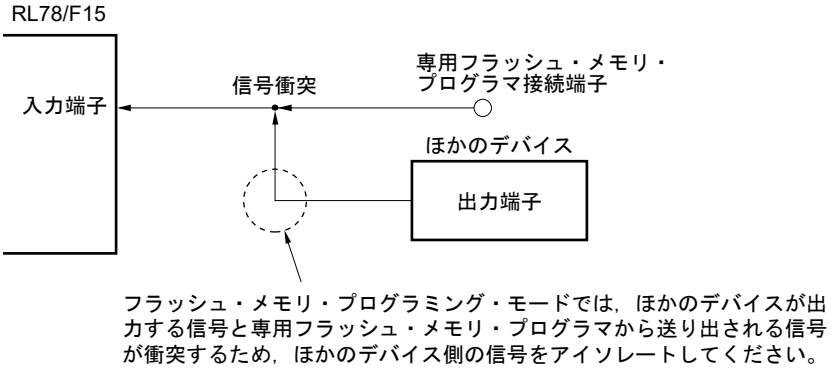
備考　RL78/F15と専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

31.3.2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図31－5　信号の衝突（$\overline{\text{RESET}}$端子）



31.3.3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}またはEV_{DD0}[注1], EV_{DD1}[注2]に接続するか，もしくは抵抗を介してV_{SS}またはEV_{SS0}[注1], EV_{SS1}[注2]に接続するなどの端子処理が必要です。

注1.　64, 80, 100, 144ピン製品のみ。

2.　100, 144ピン製品のみ。

31.3.4　REGC端子

REGC端子は，通常動作時と同様に，コンデンサ（0.47～1 μF）を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

31.3.5　X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

備考　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{IH}）を使用します。

31.3.6　電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

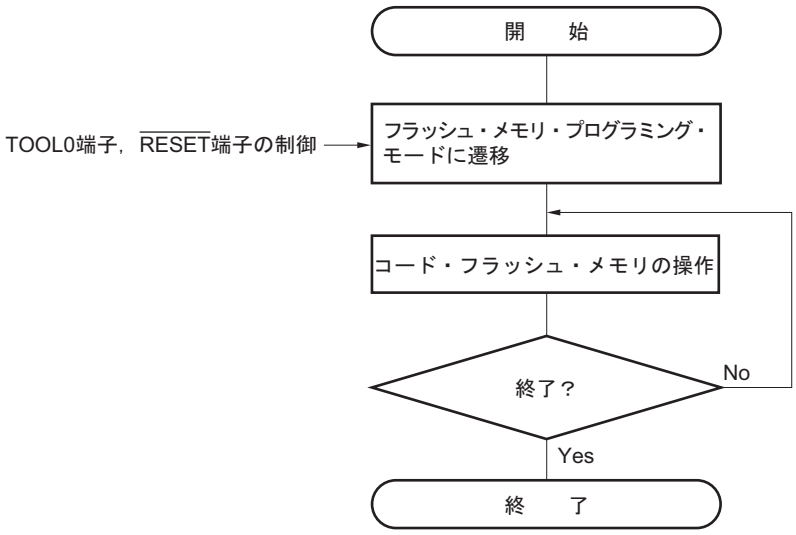
ただし，フラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}，V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}，GNDと必ず接続してください。

31.4　シリアル・プログラミング方法

31.4.1　シリアル・プログラミング手順

フラッシュ・メモリを操作する手順を次に示します。

図 31－6　コード・フラッシュ・メモリの操作手順



31.4.2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78/F15を専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

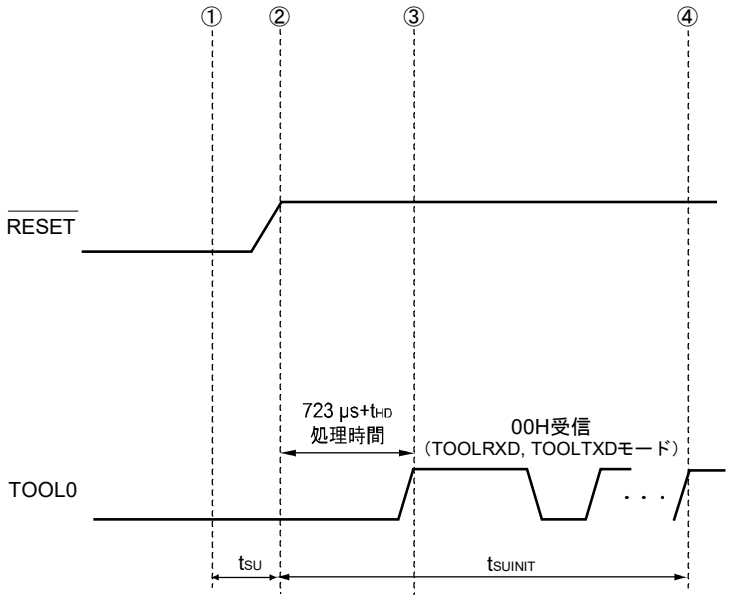
＜外部デバイス（UART通信）を使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後，リセットを解除します（表31－4を参照）。その後，図31－7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は「RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）」を参照してください。

表31－4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
EV_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図31－7　フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力

② 端子リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

t_{HD}　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

フラッシュ・メモリ・プログラミング・モードの書き込み／消去／ベリファイの実行可能電圧範囲を表31－5に示します。

表31－5　書き込み／消去／ベリファイ実行可能電圧

書き込み／消去／ベリファイ実行可能電圧	動作周波数
2.7 V≦V_{DD}≦5.5 V	1 MHz～32 MHz

備考　通信コマンドの詳細は「31.4.4　通信コマンド」を参照してください。

31.4.3　通信方式

RL78/F15の通信方式は，次のようになります。

表31－6　通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART （フラッシュ・メモリ・プログラマ使用時または外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOL0
UART0 （外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOLTXD, TOOLRXD

注1.　フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2.　UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

31.4.4　通信コマンド

RL78/F15は，表31－7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78/F15へ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，「RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）」を参照してください。

表31－7　フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。注
情報取得	Silicon Signature	RL78/F15情報（品名，フラッシュ・メモリ構成，プログラミング用ファームウエア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注　書き込み領域に，データが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

"Silicon Signature"コマンドを実行することで，製品情報（品名，ファームウエア・バージョン）を取得することができます。

表31－8にシグネチャ・データ一覧，表31－9にシグネチャ・データの例を示します。

表31－8　シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．00000H-0FFFFH (64 KB) → FFH, FFH, 00H）	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH）	3バイト
ファームウエア・バージョン	プログラミング用ファームウエアのバージョン情報 （バージョンの上位から送信されます。 例．Ver. 1. 23 → 01H, 02H, 03H）	3バイト

表31－9　シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78プロトコルA	3バイト	10 00 06
デバイス名	R5F113TL	10バイト	52 = "R" 35 = "5" 46 = "F" 31 = "1" 31 = "1" 33 = "3" 54 = "T" 4C = "L" 20 = " " 20 = " "
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-7FFFFH (512 KB)	3バイト	FF FF 07
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F4FFFH (16 KB)	3バイト	FF 4F 0F
ファームウエア・バージョン	Ver. 1. 23	3バイト	01 02 03

31.5　PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の各コマンド処理時間（参考値）を次に示します。

表31–10 PG-FP5使用時の各コマンド処理時間（参考値）

PG-FP5のコマンド	コード・フラッシュ				
	128 Kバイト	192 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト
消去	2 s	2 s	2.5 s	3 s	4 s
書き込み	3.5 s	5 s	6 s	8.5 s	11 s
ベリファイ	3.5 s	4.5 s	5.5 s	8 s	10.5 s
消去後，書き込み	4.5 s	6.5 s	8 s	11 s	14.5 s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port：TOOL0（単線UART）

Speed：1,000,000 bps

31.6　セルフ・プログラミング

RL78/F15は，ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより，ユーザ・アプリケーションでコード・フラッシュ･メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブ/低速オンチップ・オシレータ選択クロック動作時の場合，セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI命令によりIEフラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。
   割り込みを許可する場合は，EI命令によりIEフラグがセット（1）されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア（0）して，フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

3. セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ･オシレータを停止させている場合は，高速オンチップ･オシレータ･クロック動作（HIOSTOP=0）させ，30 μs経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1. セルフ・プログラミング機能の詳細は，「RL78マイクロコントローラ　フラッシュ・セルフ・プログラミング・ライブラリ Type01　ユーザーズ・マニュアル（R01US0050）」を参照してください。

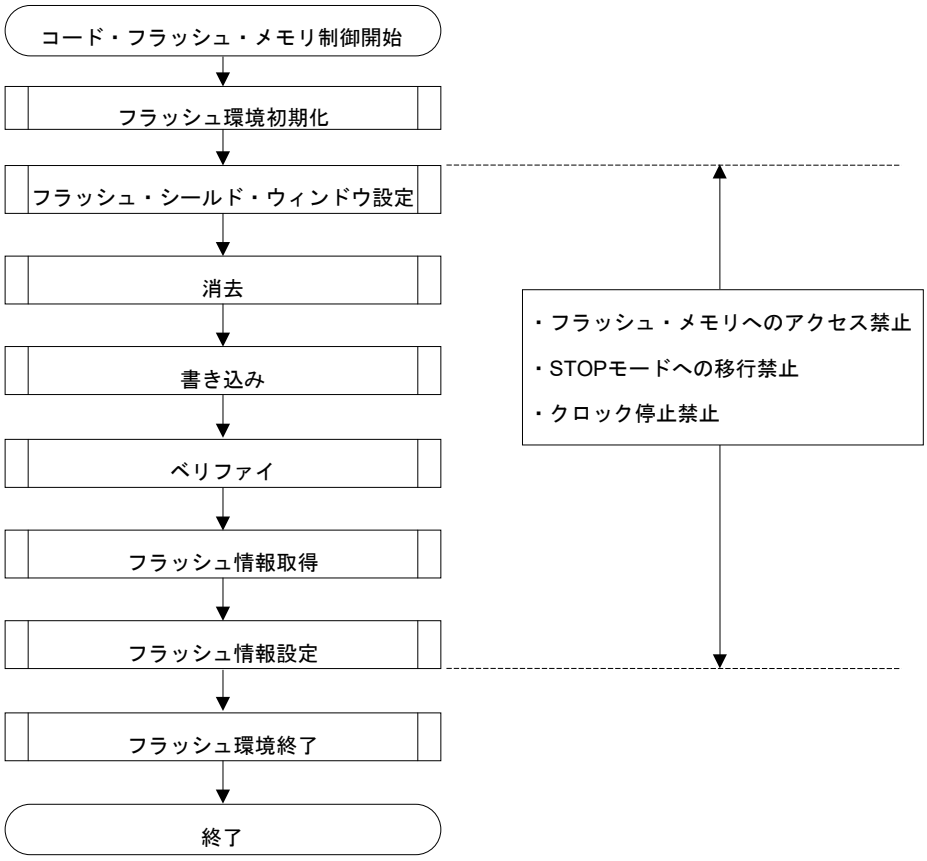
2. セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがありますが，RL78/F15にはワイド・ボルテージ・モードが存在しないため，フルスピード・モードを選択してください。

31.6.1　セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図31－8　セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



31.6.2　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，再書き込みができなくなります。

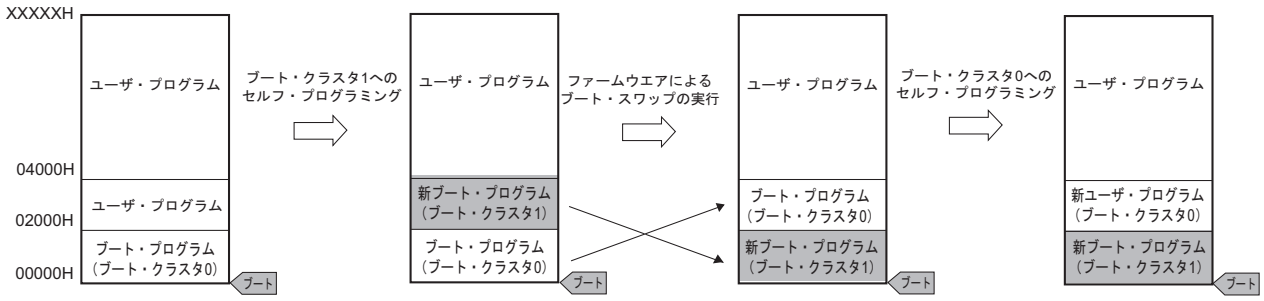
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[注]の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら，RL78/F15内蔵のファームウエアのセット・インフォメーション機能で，このブート・クラスタ1とブート・クラスタ0をスワップし，ブート・クラスタ1をブート領域にします。このあと，本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ1からブートを行うため，正常にプログラムが動作します。

注　ブート・クラスタは8Kバイトの領域で，ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図31－9　ブート・スワップ機能

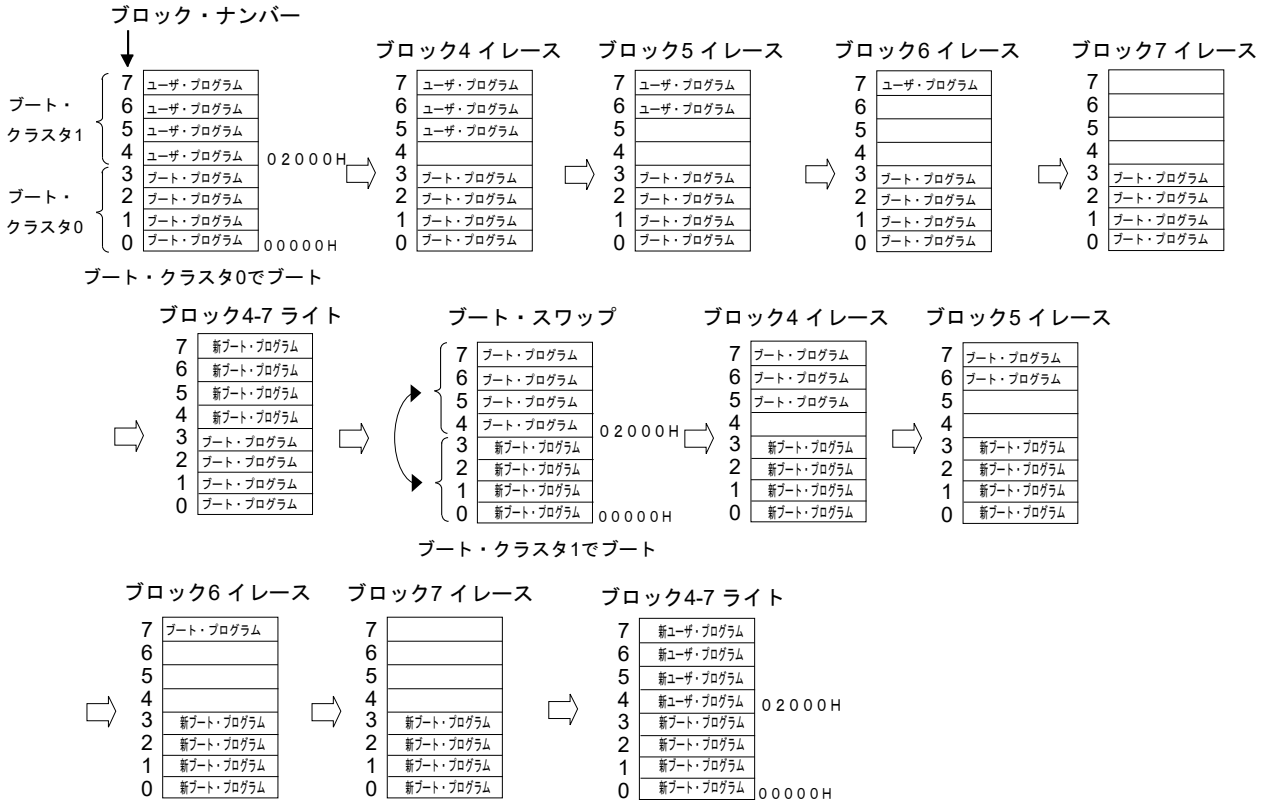


この図の例では，次のようになっています。

ブート・クラスタ0　：ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1　：ブート・スワップ後のブート・プログラム領域です。

図31－10　ブート・スワップの実行例



31.6.3　フラッシュ・シールド・ウインドウ機能

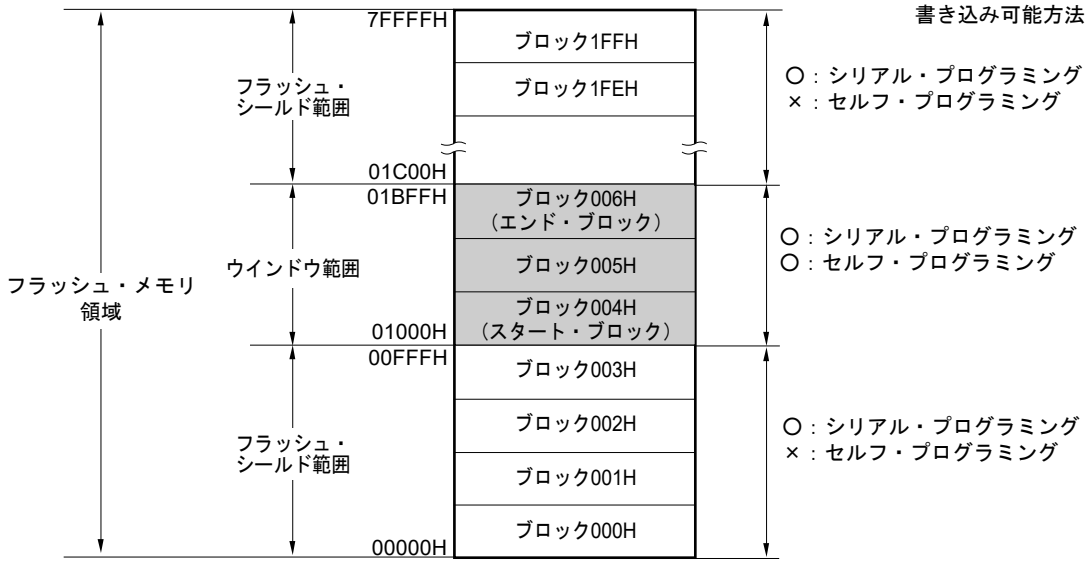
セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図31－11　フラッシュ・シールド・ウインドウの設定例

（対象デバイス：R5F113TL，スタート・ブロック：004H，エンド・ブロック：006Hの場合）



注意1.　フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は，ブート・クラスタ0の書き換え禁止が優先されます。

2.　フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表31－11　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考　シリアル・プログラミング時の書き込み／消去を禁止したい場合には，「31.7　セキュリティ設定」を参照してください。

31.7　セキュリティ設定

RL78/F15は，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。

- ブロック消去禁止
  シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。
  ただし，セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止
  シリアル・プログラミング時に，コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。
  書き込み禁止に設定後，Security Releaseコマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止
  コード・フラッシュ・メモリ内のブート・クラスタ0（00000H-1FFFH）に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは，シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78/F15のセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表31－12に示します。

注意　ただし、専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は「31.6.3　フラッシュ・シールド・ウインドウ機能」を参照）。

表31－12　セキュリティ機能有効時とコマンドの関係

（1）シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる[注]
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

（2）セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は「31.6.3　フラッシュ・シールド・ウインドウ機能」を参照）。

表31－13　各プログラミング・モード時のセキュリティ設定方法

（1）シリアル・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後，無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

注意　「書き込み禁止」設定の解除は，「ブロック消去禁止」，「ブート・クラスタ0の書き換え禁止」に設定されていない状態で，かつコード・フラッシュ領域，データ・フラッシュ領域がブランクでのみ可能です。

（2）セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後，無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に，専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

31.8　データ・フラッシュ

31.8.1　データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより，ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、「RL78ファミリ データ・フラッシュ・ライブラリ ユーザーズ・マニュアル」を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは，1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは，8ビット単位でのみアクセス可能
- データ・フラッシュは，CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
- データ・フラッシュは，データ専用領域のため，データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に，STOPモード状態に遷移することは禁止
- データ・フラッシュは、当社ライブラリによるプログラム動作中のプログラミングが可能です。

注意1. リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30 μs経過後にデータ・フラッシュ・ライブラリを実行してください。

備考　ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては，「31.6 セルフ・プログラミング」を参照してください。

31.8.2　データ・フラッシュを制御するレジスタ

（1）　データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図31－12　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。

31.8.3　データ・フラッシュへのアクセス手順

リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには，以下の手順で初期設定を行う必要があります。

初期設定後は，CPU命令による読み出し，またはデータ・フラッシュ・ライブラリによる読み出し／書き換えが可能です。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に"1"を設定する。
② ソフトウエア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間：5 μs
③ セットアップ時間のウエイト完了後，データ・フラッシュへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は，DFLEN = 0に設定してから，STOP命令を実行してください。

3. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30 μs経過後にデータ・フラッシュ・ライブラリを実行してください。

4. f_{CLK}(CPU/周辺機器ハードウェアクロック)がf_{SL}(サブシステム・クロックまたは低速オンチップ・オシレータ)のときに、データ・フラッシュにアクセスする必要がある場合は、以下のいずれかで対応してください。

ｉ）f_{CLK}をf_{SL}からメイン・システム・クロックに切り替える場合は、以下の(1)～(3)の手順を行ってください。

(1) メイン・システム・クロックに切り替わったこと (CLS* = 0) を確認する。
(2) 任意のデータ・フラッシュを読み出す。（読み出した値は使用しないでください）
(3) 5μS経過するまでウエイトする。
*：システム・クロック制御 レジスタ（CKC）のビット

ⅱ）f_{CLK}がf_{SL}を選択している場合は、データ・フラッシュを読み出さないでください。
f_{SL} を f_{CLK}に設定する前に、必要なデータ・フラッシュの内容を RAM に格納してRAMの値を読み出してください。

第32章　オンチップ・デバッグ機能

32.1　オンチップ・デバッグ機能の概要

RL78/F15は、オンチップ・デバッグ機能を搭載しています。

搭載している下記3機能の概要を説明します。各機能の注意事項は「E1/E20エミュレータ ユーザーズマニュアル（R20UT0398）」を参照してください。

・ホット・プラグイン

・DTC方式リアルタイムRAMモニタ（RRM）／Dynamic Memory Modification（DMM）

・オンチップ・トレース

32.1.1　ホット・プラグイン

ユーザ・プログラム実行中のMCUに対して、実行停止、リセットをすることなくエミュレータと接続する機能です。なお、一部の製品ではRAMを使用します。

32.1.2　DTC方式リアルタイムRAMモニタ（RRM）／Dynamic Memory Modification（DMM）

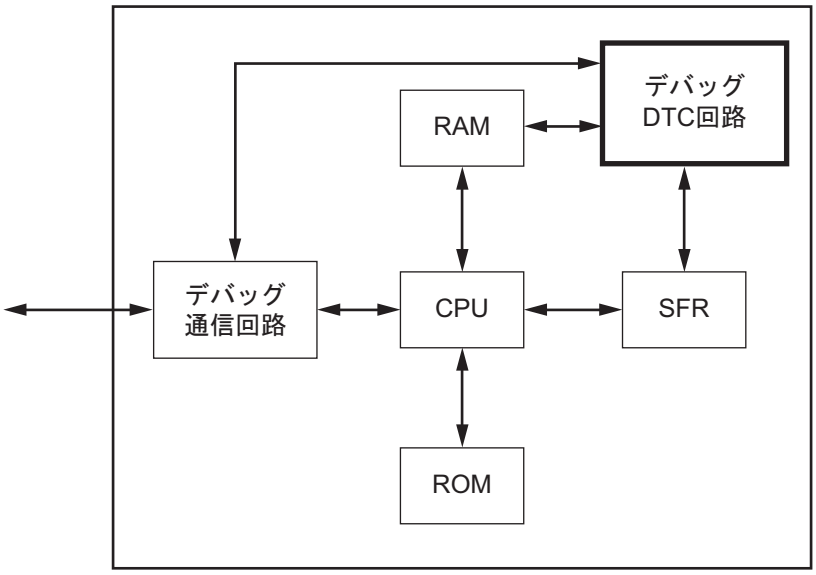
ホット・プラグインで接続後、ユーザ・プログラムを実行中にMCUのメモリにアクセスする機能です。

RL78/F15では、デバッグ用のDTC回路を搭載しているため、CPUを使用せずにメモリにアクセスすることが可能です。

なお、一部の製品ではRAMを使用します。

図32－1にDTC方式RRM/DMMの構成図を示します。

図32－1　DTC方式RRM/DMMの構成図



32.1.3　オンチップ・トレース

分岐が発生した場合に分岐元のプログラム・カウンタ値を保存する機能です。

分岐命令実行による分岐、割り込み発生による分岐、リセット発生による分岐を保存できます。なお、一部の製品ではトレースの保存にRAMを使用します。

使用するRAM領域やオンチップ・トレースの分岐数は製品ごとに異なります。

表32－1にオンチップ・トレースで使用するRAM領域と保存できる分岐数を示します。

表32－1　オンチップ・トレースで使用するRAM領域と保存できる分岐数

製品名	RAM	使用RAM領域	分岐数
R5F113PG, R5F113TG	10 KB	－（ユーザRAM領域を使用しない）	128分岐
R5F113PH, R5F113TH	16 KB		
R5F113PJ, R5F113TJ	20 KB	－（ユーザRAM領域を使用しない）	
R5F113GK, R5F113LK, R5F113MK, R5F113PK, R5F113TK	26KB	－（ユーザRAM領域を使用しない）	
R5F113GL, R5F113LL, R5F113ML, R5F113PL, R5F113TL	32KB	・0F8500H-0F852FH （ホット・プラグイン／DTC方式RRM/DMM） ・0F8300H-0F84FFH （オンチップ・トレース）	

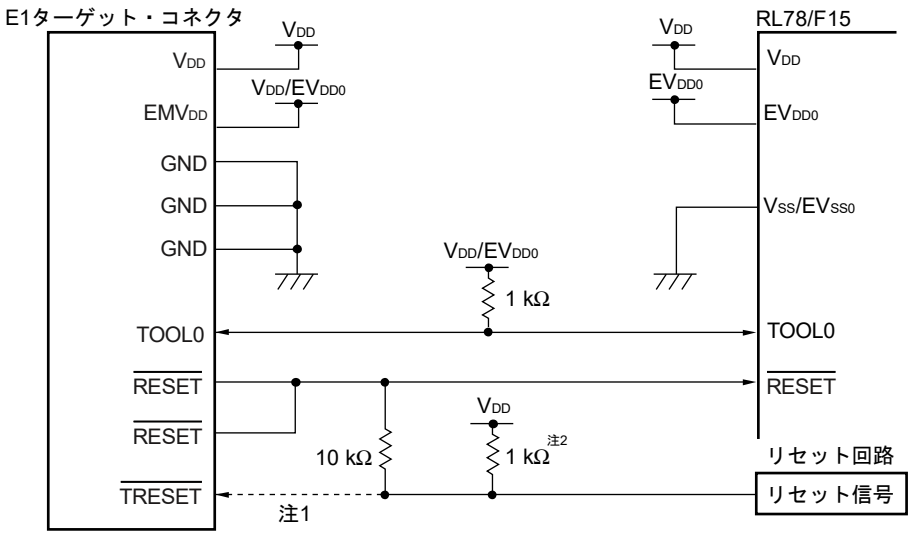
32.2　E1オンチップ・デバッギング・エミュレータとRL78/F15の接続

RL78/F15は、オンチップ・デバッグ対応のE1オンチップ・デバッギング・エミュレータを介して、ホスト・マシンとの通信を行う場合、V_{DD}, EV_{DD0}, $\overline{RESET}$, TOOL0, V_{SS}端子を使用します。シリアル通信としては、TOOL0端子を使用した単線UARTを使用します。

また、ホット・プラグイン検出機能を備えています。

注意　RL78/F15には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図32－2　E1オンチップ・デバッギング・エミュレータとRL78/F15の接続例



注1.　フラッシュ・プログラミング時、点線部の接続は必要ありません。

2.　ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意　リセット信号の出力がN-chオープン・ドレーンのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

32.3　オンチップ・デバッグ・セキュリティID

RL78/F15は、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（「第30章　オプション・バイト」を参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと020C3H、020C4H-020CDHが切り替わるので、あらかじめ020C3H、020C4H-020CDHにも同じ値を設定してください。

表32－2　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード（All FFHを除く）
020C4H-020CDH	

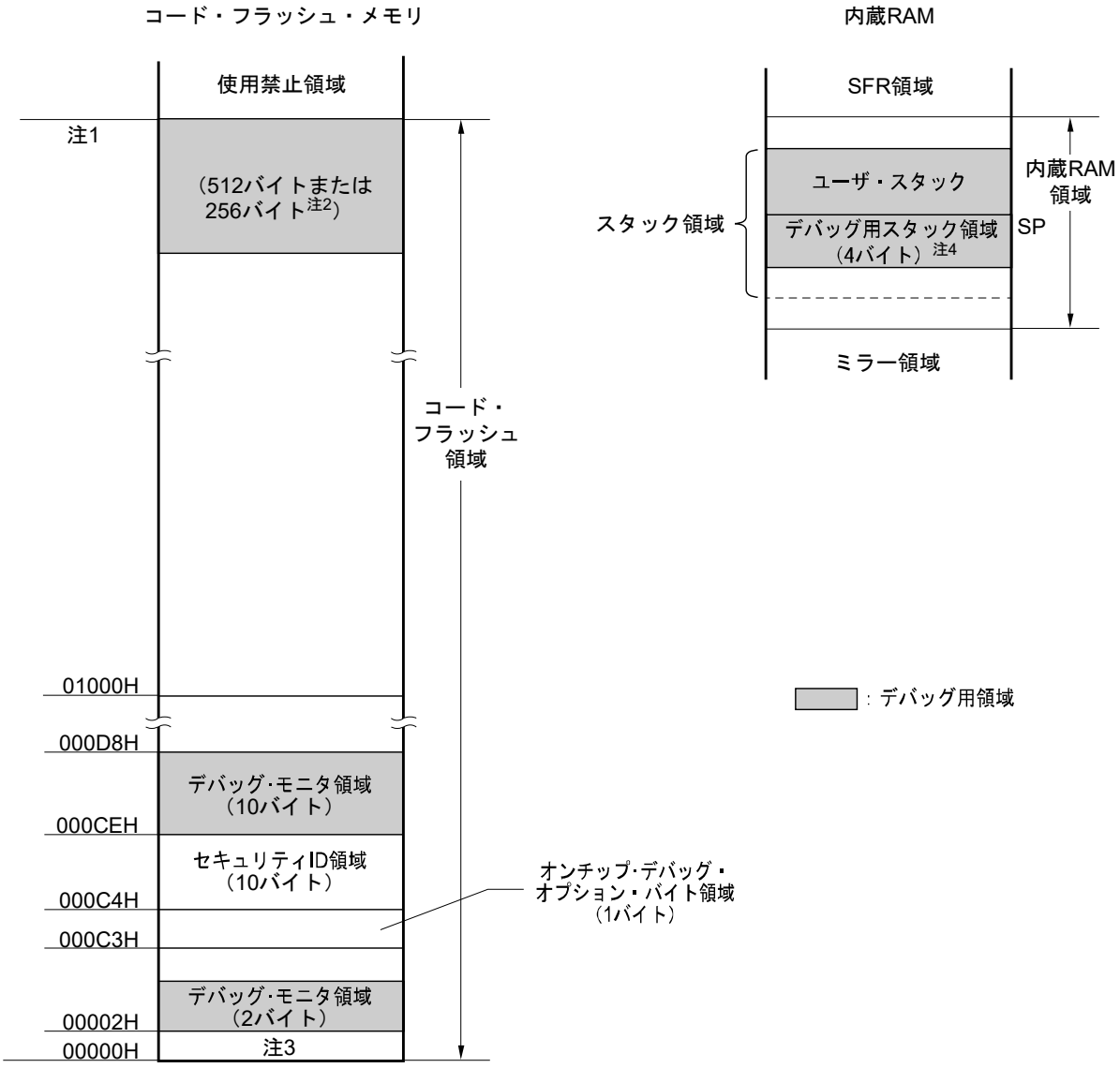
32.4　ユーザ資源の確保

RL78/F15とE1オンチップ・デバッギング・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンカ・オプションで設定することもできます。

32.4.1　メモリ空間の確保

図32－3のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図32－3　デバッグ用モニタ・プログラムが配置されるメモリ空間



注1.　製品によって、次のようにアドレスが異なります。

製品名（コード・フラッシュ・メモリ容量）	注1のアドレス
R5F113mG（m = T, P）	1FFFFH
R5F113mH（m = T, P）	2FFFFH
R5F113mJ（m = T, P）	3FFFFH
R5F113mK（m = T, P, M, L, G）	5FFFFH
R5F113mL（m = T, P, M, L, G）	7FFFFH

2.　リアルタイムRAMモニタ（RRM）機能、Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。

3.　デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

4.　この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。
セルフ・プログラミングを行う場合は、12バイト余分に消費します。

第33章　10進補正（BCD）回路

33.1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

33.2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

33.2.1　BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図33－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

33.3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1　99＋89 = 188

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV　A, #99H　；①	99H	－	－	－
ADD　A, #89H　；②	22H	1	1	66H
ADD　A, !BCDADJ　；③	88H	1	0	－

例2　85＋15 = 100

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV　A, #85H　；①	85H	－	－	－
ADD　A, #15H　；②	9AH	0	0	66H
ADD　A, !BCDADJ　；③	00H	1	1	－

例3　80＋80 = 160

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV　A, #80H　；①	80H	－	－	－
ADD　A, #80H　；②	00H	1	0	60H
ADD　A, !BCDADJ　；③	60H	1	0	－

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例　91－52 = 39

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV　A, #91H　; ①	91H	－	－	－
SUB　A, #52H　; ②	3FH	0	1	06H
SUB　A, !BCDADJ　; ③	39H	0	0	－

第34章　命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については「RL78ファミリ ユーザーズ・マニュアル ソフトウェア編」を参照してください。

34.1　凡　　例

34.1.1　オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、!!、$、$!、[ ]、ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16ビット絶対アドレス指定
- !!　　：20ビット絶対アドレス指定
- $　　：8ビット相対アドレス指定
- $!　　：16ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　　：拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、!!、$、$!、[ ]、ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（表34－1の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表34－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ注）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ注）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が"0"になります。

備考　特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は「表3－5　SFR一覧」を参照してください。

拡張特殊機能レジスタは、オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は「表3－6　拡張SFR（2nd SFR）一覧」を参照してください。

34.1.2　オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表34－2　オペレーション欄の記号

記　　号	機　　能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L	16ビット・レジスタの場合はX_H = 上位8ビット、X_L = 下位8ビット
X_S，X_H，X_L	20ビット・レジスタの場合はX_S(ビット19-16)、X_H(ビット15-8)、X_L(ビット7-0)
∧	論理積（AND）
∨	論理和（OR）
∀	排他的論理和（exclusive OR）
¬	反転データ
addr5	16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ）
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

34.1.3　フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表34－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

34.1.4　PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDTC転送を受け付けることはありません。

表34－4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

34.2　オペレーション一覧

表34－5　オペレーション一覧（1/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte	
		PSW, #byte	3	3	－	PSW ← byte	× × ×
		CS, #byte	3	1	－	CS ← byte	
		ES, #byte	2	1	－	ES ← byte	
		!addr16, #byte	4	1	－	(addr16) ← byte	
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte	
		saddr, #byte	3	1	－	(saddr) ← byte	
		sfr, #byte	3	1	－	sfr ← byte	
		[DE+byte], #byte	3	1	－	(DE＋byte) ← byte	
		ES:[DE+byte],#byte	4	2	－	((ES, DE)＋byte) ← byte	
		[HL+byte], #byte	3	1	－	(HL＋byte) ← byte	
		ES:[HL+byte],#byte	4	2	－	((ES, HL)＋byte) ← byte	
		[SP+byte], #byte	3	1	－	(SP＋byte) ← byte	
		word[B], #byte	4	1	－	(B＋word) ← byte	
		ES:word[B], #byte	5	2	－	((ES, B)＋word) ← byte	
		word[C], #byte	4	1	－	(C＋word) ← byte	
		ES:word[C], #byte	5	2	－	((ES, C)＋word) ← byte	
		word[BC], #byte	4	1	－	(BC＋word) ← byte	
		ES:word[BC], #byte	5	2	－	((ES, BC)＋word) ← byte	
		A, r[注3]	1	1	－	A ← r	
		r, A[注3]	1	1	－	r ← A	
		A, PSW	2	1	－	A ← PSW	
		PSW, A	2	3	－	PSW ← A	× × ×
		A, CS	2	1	－	A ← CS	
		CS, A	2	1	－	CS ← A	
		A, ES	2	1	－	A ← ES	
		ES, A	2	1	－	ES ← A	
		A, !addr16	3	1	4	A ← (addr16)	
		A, ES:!addr16	4	2	5	A ← (ES, addr16)	
		!addr16, A	3	1	－	(addr16) ← A	
		ES:!addr16, A	4	2	－	(ES, addr16) ← A	
		A, saddr	2	1	－	A ← (saddr)	
		saddr, A	2	1	－	(saddr) ← A	

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（2/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr	
		sfr, A	2	1	－	sfr ← A	
		A, [DE]	1	1	4	A ← (DE)	
		[DE], A	1	1	－	(DE) ← A	
		A, ES:[DE]	2	2	5	A ← (ES, DE)	
		ES:[DE], A	2	2	－	(ES, DE) ← A	
		A, [HL]	1	1	4	A ← (HL)	
		[HL], A	1	1	－	(HL) ← A	
		A, ES:[HL]	2	2	5	A ← (ES, HL)	
		ES:[HL], A	2	2	－	(ES, HL) ← A	
		A, [DE+byte]	2	1	4	A ← (DE＋byte)	
		[DE+byte], A	2	1	－	(DE＋byte) ← A	
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)＋byte)	
		ES:[DE+byte], A	3	2	－	((ES, DE)＋byte) ← A	
		A, [HL+byte]	2	1	4	A ← (HL＋byte)	
		[HL+byte], A	2	1	－	(HL＋byte) ← A	
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)＋byte)	
		ES:[HL+byte], A	3	2	－	((ES, HL)＋byte) ← A	
		A, [SP+byte]	2	1	－	A ← (SP＋byte)	
		[SP+byte], A	2	1	－	(SP＋byte) ← A	
		A, word[B]	3	1	4	A ← (B＋word)	
		word[B], A	3	1	－	(B＋word) ← A	
		A, ES:word[B]	4	2	5	A ← ((ES, B)＋word)	
		ES:word[B], A	4	2	－	((ES, B)＋word) ← A	
		A, word[C]	3	1	4	A ← (C＋word)	
		word[C], A	3	1	－	(C＋word) ← A	
		A, ES:word[C]	4	2	5	A ← ((ES, C)＋word)	
		ES:word[C], A	4	2	－	((ES, C)＋word) ← A	
		A, word[BC]	3	1	4	A ← (BC＋word)	
		word[BC], A	3	1	－	(BC＋word) ← A	
		A, ES:word[BC]	4	2	5	A ← ((ES, BC)＋word)	
		ES:word[BC], A	4	2	－	((ES, BC)＋word) ← A	

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（3/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z　AC　CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL＋B)	
		[HL+B], A	2	1	－	(HL＋B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)＋B)	
		ES:[HL+B], A	3	2	－	((ES, HL)＋B) ← A	
		A, [HL+C]	2	1	4	A ← (HL＋C)	
		[HL+C], A	2	1	－	(HL＋C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)＋C)	
		ES:[HL+C], A	3	2	－	((ES, HL)＋C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	－	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	－	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	－	C ← (saddr)	
		ES, saddr	3	1	－	ES ← (saddr)	
	XCH	A, r[注3]	1(r = X) 2(r = X以外)	1	－	A ←→ r	
		A, !addr16	4	2	－	A ←→ (addr16)	
		A, ES:!addr16	5	3	－	A ←→ (ES, addr16)	
		A, saddr	3	2	－	A ←→ (saddr)	
		A, sfr	3	2	－	A ←→ sfr	
		A, [DE]	2	2	－	A ←→ (DE)	
		A, ES:[DE]	3	3	－	A ←→ (ES, DE)	
		A, [HL]	2	2	－	A ←→ (HL)	
		A, ES:[HL]	3	3	－	A ←→ (ES, HL)	
		A, [DE+byte]	3	2	－	A ←→ (DE＋byte)	
		A, ES:[DE+byte]	4	3	－	A ←→ ((ES, DE)＋byte)	
		A, [HL+byte]	3	2	－	A ←→ (HL＋byte)	
		A, ES:[HL+byte]	4	3	－	A ←→ ((ES, HL)＋byte)	

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5 オペレーション一覧（4/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ←→ (HL＋B)	
		A, ES:[HL+B]	3	3	－	A ←→ ((ES, HL)＋B)	
		A, [HL+C]	2	2	－	A ←→ (HL＋C)	
		A, ES:[HL+C]	3	3	－	A ←→ ((ES, HL)＋C)	
	ONEB	A	1	1	－	A ← 01H	
		X	1	1	－	X ← 01H	
		B	1	1	－	B ← 01H	
		C	1	1	－	C ← 01H	
		!addr16	3	1	－	(addr16) ← 01H	
		ES:!addr16	4	2	－	(ES, addr16) ← 01H	
		saddr	2	1	－	(saddr) ← 01H	
	CLRB	A	1	1	－	A ← 00H	
		X	1	1	－	X ← 00H	
		B	1	1	－	B ← 00H	
		C	1	1	－	C ← 00H	
		!addr16	3	1	－	(addr16) ← 00H	
		ES:!addr16	4	2	－	(ES,addr16) ← 00H	
		saddr	2	1	－	(saddr) ← 00H	
	MOVS	[HL+byte], X	3	1	－	(HL＋byte) ← X	× ×
		ES:[HL+byte], X	4	2	－	(ES, HL＋byte) ← X	× ×
16ビット・データ転送	MOVW	rp, #word	3	1	－	rp ← word	
		saddrp, #word	4	1	－	(saddrp) ← word	
		sfrp, #word	4	1	－	sfrp ← word	
		AX, rp[注3]	1	1	－	AX ← rp	
		rp, AX[注3]	1	1	－	rp ← AX	
		AX, !addr16	3	1	4	AX ← (addr16)	
		!addr16, AX	3	1	－	(addr16) ← AX	
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)	
		ES:!addr16, AX	4	2	－	(ES, addr16) ← AX	
		AX, saddrp	2	1	－	AX ← (saddrp)	
		saddrp, AX	2	1	－	(saddrp) ← AX	
		AX, sfrp	2	1	－	AX ← sfrp	
		sfrp, AX	2	1	－	sfrp ← AX	

注1. 内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. rp = AXを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（5/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)	
		[DE], AX	1	1	－	(DE) ← AX	
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)	
		ES:[DE], AX	2	2	－	(ES, DE) ← AX	
		AX, [HL]	1	1	4	AX ← (HL)	
		[HL], AX	1	1	－	(HL) ← AX	
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)	
		ES:[HL], AX	2	2	－	(ES, HL) ← AX	
		AX, [DE+byte]	2	1	4	AX ← (DE＋byte)	
		[DE+byte], AX	2	1	－	(DE＋byte) ← AX	
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)＋byte)	
		ES:[DE+byte], AX	3	2	－	((ES, DE)＋byte) ← AX	
		AX, [HL+byte]	2	1	4	AX ← (HL＋byte)	
		[HL+byte], AX	2	1	－	(HL＋byte) ← AX	
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)＋byte)	
		ES:[HL+byte], AX	3	2	－	((ES, HL)＋byte) ← AX	
		AX, [SP+byte]	2	1	－	AX ← (SP＋byte)	
		[SP+byte], AX	2	1	－	(SP＋byte) ← AX	
		AX, word[B]	3	1	4	AX ← (B＋word)	
		word[B], AX	3	1	－	(B＋word) ← AX	
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)＋word)	
		ES:word[B], AX	4	2	－	((ES, B)＋word) ← AX	
		AX, word[C]	3	1	4	AX ← (C＋word)	
		word[C], AX	3	1	－	(C＋word) ← AX	
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)＋word)	
		ES:word[C], AX	4	2	－	((ES, C)＋word) ← AX	
		AX, word[BC]	3	1	4	AX ← (BC＋word)	
		word[BC], AX	3	1	－	(BC＋word) ← AX	
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)＋word)	
		ES:word[BC], AX	4	2	－	((ES, BC)＋word) ← AX	

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（6/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)	
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)	
		DE, !addr16	3	1	4	DE ← (addr16)	
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)	
		HL, !addr16	3	1	4	HL ← (addr16)	
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)	
		BC, saddrp	2	1	－	BC ← (saddrp)	
		DE, saddrp	2	1	－	DE ← (saddrp)	
		HL, saddrp	2	1	－	HL ← (saddrp)	
	XCHW	AX, rp[注3]	1	1	－	AX ←→ rp	
	ONEW	AX	1	1	－	AX ← 0001H	
		BC	1	1	－	BC ← 0001H	
	CLRW	AX	1	1	－	AX ← 0000H	
		BC	1	1	－	BC ← 0000H	
8ビット演算	ADD	A, #byte	2	1	－	A, CY ← A＋byte	× × ×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte	× × ×
		A, r[注4]	2	1	－	A, CY ← A＋r	× × ×
		r, A	2	1	－	r, CY ← r＋A	× × ×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)	× × ×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)	× × ×
		A, saddr	2	1	－	A, CY ← A＋(saddr)	× × ×
		A, [HL]	1	1	4	A, CY ← A＋(HL)	× × ×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)	× × ×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)	× × ×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)	× × ×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)	× × ×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)	× × ×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)	× × ×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)	× × ×

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　rp = AXを除く。

4.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（7/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A＋byte＋CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte＋CY	×	×	×
		A, r[注3]	2	1	－	A, CY ← A＋r＋CY	×	×	×
		r, A	2	1	－	r, CY ← r＋A＋CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)＋CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)＋CY	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)＋CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)＋CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)＋CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)＋CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)＋CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)＋CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)＋CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)＋CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)＋CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A－byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) －byte	×	×	×
		A, r[注3]	2	1	－	A, CY ← A－r	×	×	×
		r, A	2	1	－	r, CY ← r－A	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A－((ES, HL)＋C)	×	×	×

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（8/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A－byte－CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)－byte－CY	×	×	×
		A, r[注3]	2	1	－	A, CY ← A－r－CY	×	×	×
		r, A	2	1	－	r, CY ← r－A－CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)－CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)－CY	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)－CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)－CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)－CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)－CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)－CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)－CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)－CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)－CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A－((ES:HL)＋C)－CY	×	×	×
	AND	A, #byte	2	1	－	A ← A∧byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∧byte	×		
		A, r[注3]	2	1	－	A ← A∧r	×		
		r, A	2	1	－	r ← r∧A	×		
		A, !addr16	3	1	4	A ← A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∧(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∧(saddr)	×		
		A, [HL]	1	1	4	A ← A∧(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∧(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∧((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∧(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∧((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∧(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∧((ES:HL)＋C)	×		

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（9/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z　AC　CY
8ビット演算	OR	A, #byte	2	1	－	A ← A∨byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∨byte	×
		A, r[注3]	2	1	－	A ← A∨r	×
		r, A	2	1	－	r ← r∨A	×
		A, !addr16	3	1	4	A ← A∨(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∨(ES:addr16)	×
		A, saddr	2	1	－	A ← A∨(saddr)	×
		A, [HL]	1	1	4	A ← A∨(HL)	×
		A, ES:[HL]	2	2	5	A ← A∨(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∨(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∨((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∨(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∨((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∨(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∨((ES:HL)＋C)	×
	XOR	A, #byte	2	1	－	A ← A∀byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∀byte	×
		A, r[注3]	2	1	－	A ← A∀r	×
		r, A	2	1	－	r ← r∀A	×
		A, !addr16	3	1	4	A ← A∀(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∀(ES:addr16)	×
		A, saddr	2	1	－	A ← A∀(saddr)	×
		A, [HL]	1	1	4	A ← A∀(HL)	×
		A, ES:[HL]	2	2	5	A ← A∀(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∀(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∀((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∀(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∀((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∀(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∀((ES:HL)＋C)	×

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（10/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	－	A－byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)－byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)－byte	×	×	×
		saddr, #byte	3	1	－	(saddr)－byte	×	×	×
		A, r注3	2	1	－	A－r	×	×	×
		r, A	2	1	－	r－A	×	×	×
		A, !addr16	3	1	4	A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A－(ES:addr16)	×	×	×
		A, saddr	2	1	－	A－(saddr)	×	×	×
		A, [HL]	1	1	4	A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A－(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A－((ES:HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A－((ES:HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A－((ES:HL)＋C)	×	×	×
	CMP0	A	1	1	－	A－00H	×	×	×
		X	1	1	－	X－00H	×	×	×
		B	1	1	－	B－00H	×	×	×
		C	1	1	－	C－00H	×	×	×
		!addr16	3	1	4	(addr16)－00H	×	×	×
		ES:!addr16	4	2	5	(ES:addr16)－00H	×	×	×
		saddr	2	1	－	(saddr)－00H	×	×	×
	CMPS	X, [HL+byte]	3	1	4	X－(HL＋byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X－((ES:HL)＋byte)	×	×	×

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（11/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	－	AX, CY ← AX＋word	×	×	×
		AX, AX	1	1	－	AX, CY ← AX＋AX	×	×	×
		AX, BC	1	1	－	AX, CY ← AX＋BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX＋DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX＋HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX＋(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX＋(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX＋(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX＋(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX＋((ES:HL)＋byte)	×	×	×
	SUBW	AX, #word	3	1	－	AX, CY ← AX－word	×	×	×
		AX, BC	1	1	－	AX, CY ← AX－BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX－DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX－HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX－((ES:HL)＋byte)	×	×	×
	CMPW	AX, #word	3	1	－	AX－word	×	×	×
		AX, BC	1	1	－	AX－BC	×	×	×
		AX, DE	1	1	－	AX－DE	×	×	×
		AX, HL	1	1	－	AX－HL	×	×	×
		AX, !addr16	3	1	4	AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX－((ES:HL)＋byte)	×	×	×

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（12/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
乗除積和算	MULU	X	1	1	－	AX ← A×X	
	MULHU		3	2	－	BCAX ← A X×BC（符号なし）	
	MULH		3	2	－	BCAX ← A X×BC（符号付き）	
	DIVHU		3	9	－	AX（商）, DE（余り） ← AX÷DE（符号なし）	
	DIVWU		3	17	－	BCAX（商）, HLDE（余り） ← BCAX÷HLDE（符号なし）	
	MACHU		3	3	－	MACR ← MACR＋AX×BC（符号なし）	× ×
	MACH		3	3	－	MACR ← MACR＋AX×BC（符号付き）	× ×

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注意　割り込み処理中にDIVHU、DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。
ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU、DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU、DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU、DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- GNURL78 (KPIT社 コンパイラ)のC言語ソース。

備考1.　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

2.　MACR：積和演算累計レジスタ（MACRH, MACRL）

表34－5 オペレーション一覧（13/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
増減	INC	r	1	1	－	r ← r＋1	× ×
		!addr16	3	2	－	(addr16) ← (addr16)＋1	× ×
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1	× ×
		saddr	2	2	－	(saddr) ← (saddr)＋1	× ×
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1	× ×
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1	× ×
	DEC	r	1	1	－	r ← r－1	× ×
		!addr16	3	2	－	(addr16) ← (addr16)－1	× ×
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) －1	× ×
		saddr	2	2	－	(saddr) ← (saddr)－1	× ×
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1	× ×
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1	× ×
	INCW	rp	1	1	－	rp ← rp＋1	
		!addr16	3	2	－	(addr16) ← (addr16)＋1	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)＋1	
		saddrp	2	2	－	(saddrp) ← (saddrp)＋1	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte)＋1	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte)＋1	
	DECW	rp	1	1	－	rp ← rp－1	
		!addr16	3	2	－	(addr16) ← (addr16)－1	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)－1	
		saddrp	2	2	－	(saddrp) ← (saddrp)－1	
		[HL+byte]	3	2	－	(HL＋byte) ← (HL＋byte) －1	
		ES: [HL+byte]	4	3	－	((ES:HL)＋byte) ← ((ES:HL)＋byte) －1	
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) ×cnt	×
	SHRW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) ×cnt	×
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) ×cnt	×
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) ×cnt	×
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) ×cnt	×
	SHLW	AX, cnt	2	1	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) ×cnt	×
		BC, cnt	2	1	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) ×cnt	×
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) ×cnt	×
	SARW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) ×cnt	×

注1. 内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考1. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

2. cntはビット・シフト数です。

表34－5 オペレーション一覧（14/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
ローテート	ROR	A, 1	2	1	－	(CY, A_7 ← A_0, A_{m-1} ← A_m)×1	×
	ROL	A, 1	2	1	－	(CY, A_0 ← A_7, A_{m+1} ← A_m)×1	×
	RORC	A, 1	2	1	－	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m)×1	×
	ROLC	A, 1	2	1	－	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m)×1	×
	ROLWC	AX,1	2	1	－	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) ×1	×
		BC,1	2	1	－	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) ×1	×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit	×
		A.bit, CY	2	1	－	A.bit ← CY	
		CY, PSW.bit	3	1	－	CY ← PSW.bit	×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	× ×
		CY, saddr.bit	3	1	－	CY ← (saddr).bit	×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY	
		CY, sfr.bit	3	1	－	CY ← sfr.bit	×
		sfr.bit, CY	3	2	－	sfr.bit ← CY	
		CY,[HL].bit	2	1	4	CY ← (HL).bit	×
		[HL].bit, CY	2	2	－	(HL).bit ← CY	
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit	×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY	
	AND1	CY, A.bit	2	1	－	CY ← CY∧A.bit	×
		CY, PSW.bit	3	1	－	CY ← CY∧PSW.bit	×
		CY, saddr.bit	3	1	－	CY ← CY∧(saddr).bit	×
		CY, sfr.bit	3	1	－	CY ← CY∧sfr.bit	×
		CY,[HL].bit	2	1	4	CY ← CY∧(HL).bit	×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit	×
	OR1	CY, A.bit	2	1	－	CY ← CY∨A.bit	×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit	×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit	×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit	×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit	×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit	×

注1. 内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（15/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY∀A.bit	×
		CY, PSW.bit	3	1	－	CY ← CY∀PSW.bit	×
		CY, saddr.bit	3	1	－	CY ← CY∀(saddr).bit	×
		CY, sfr.bit	3	1	－	CY ← CY∀sfr.bit	×
		CY, [HL].bit	2	1	4	CY ← CY∀(HL).bit	×
		CY, ES:[HL].bit	3	2	5	CY ← CY∀(ES, HL).bit	×
	SET1	A.bit	2	1	－	A.bit ← 1	
		PSW.bit	3	4	－	PSW.bit ← 1	× × ×
		!addr16.bit	4	2	－	(addr16).bit ← 1	
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1	
		saddr.bit	3	2	－	(saddr).bit ← 1	
		sfr.bit	3	2	－	sfr.bit ← 1	
		[HL].bit	2	2	－	(HL).bit ← 1	
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1	
	CLR1	A.bit	2	1	－	A.bit ← 0	
		PSW.bit	3	4	－	PSW.bit ← 0	× × ×
		!addr16.bit	4	2	－	(addr16).bit ← 0	
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0	
		saddr.bit	3	2	－	(saddr.bit) ← 0	
		sfr.bit	3	2	－	sfr.bit ← 0	
		[HL].bit	2	2	－	(HL).bit ← 0	
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0	
	SET1	CY	2	1	－	CY ← 1	1
	CLR1	CY	2	1	－	CY ← 0	0
	NOT1	CY	2	1	－	CY ← $\overline{CY}$	×

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（16/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
コールリターン	CALL	rp	2	3	－	(SP－2) ← (PC＋2)S, (SP－3) ← (PC＋2)H, (SP－4) ← (PC＋2)L, PC ← CS,rp, SP ← SP－4	
		$!addr20	3	3	－	(SP－2) ← (PC＋3)S, (SP－3) ← (PC＋3)H, (SP－4) ← (PC＋3)L, PC ← PC＋3＋jdisp16, SP ← SP－4	
		!addr16	3	3	－	(SP－2) ← (PC＋3)S, (SP－3) ← (PC＋3)H, (SP－4) ← (PC＋3)L, PC ← 0000, addr16, SP ← SP－4	
		!!addr20	4	3	－	(SP－2) ← (PC＋4)S, (SP－3) ← (PC＋4)H, (SP－4) ← (PC＋4)L, PC ← addr20, SP ← SP－4	
	CALLT	[addr5]	2	5	－	(SP－2) ← (PC＋2)S, (SP－3) ← (PC＋2)H, (SP－4) ← (PC＋2)L, PCS ← 0000, PCH ← (0000, addr5＋1), PCL ← (0000, addr5), SP ← SP－4	
	BRK	－	2	5	－	(SP－1) ← PSW, (SP－2) ← (PC＋2)S, (SP－3) ← (PC＋2)H, (SP－4) ← (PC＋2)L, PCS ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP－4, IE ← 0	
	RET	－	1	6	－	PCL ← (SP), PCH ← (SP＋1), PCS ← (SP＋2), SP ← SP＋4	
	RETI	－	2	6	－	PCL ← (SP), PCH ← (SP＋1), PCS ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R R R
	RETB	－	2	6	－	PCL ← (SP), PCH ← (SP＋1), PCS ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R R R

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5 オペレーション一覧（17/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
スタック操作	PUSH	PSW	2	1	－	（SP－1）← PSW, (SP－2) ← 00H, SP ← SP－2	
		rp	1	1	－	（SP－1）← rp_H,（SP－2）← rp_L, SP ← SP－2	
	POP	PSW	2	3	－	PSW ←（SP＋1）, SP ← SP＋2	R R R
		rp	1	1	－	rp_L ←（SP）, rp_H ←（SP＋1）, SP ← SP＋2	
	MOVW	SP, #word	4	1	－	SP ← word	
		SP, AX	2	1	－	SP ← AX	
		AX, SP	2	1	－	AX ← SP	
		HL, SP	3	1	－	HL ← SP	
		BC, SP	3	1	－	BC ← SP	
		DE, SP	3	1	－	DE ← SP	
	ADDW	SP, #byte	2	1	－	SP ← SP＋byte	
	SUBW	SP, #byte	2	1	－	SP ← SP－byte	
無条件分岐	BR	AX	2	3	－	PC ← CS, AX	
		$addr20	2	3	－	PC ← PC＋2＋jdisp8	
		$!addr20	3	3	－	PC ← PC＋3＋jdisp16	
		!addr16	3	3	－	PC ← 0000, addr16	
		!!addr20	4	3	－	PC ← addr20	
条件付き分岐	BC	$addr20	2	2/4[注3]	－	PC ← PC＋2＋jdisp8 if CY = 1	
	BNC	$addr20	2	2/4[注3]	－	PC ← PC＋2＋jdisp8 if CY = 0	
	BZ	$addr20	2	2/4[注3]	－	PC ← PC＋2＋jdisp8 if Z = 1	
	BNZ	$addr20	2	2/4[注3]	－	PC ← PC＋2＋jdisp8 if Z = 0	
	BH	$addr20	3	2/4[注3]	－	PC ← PC+3+jdisp8 if (Z∨CY) = 0	
	BNH	$addr20	3	2/4[注3]	－	PC ← PC+3+jdisp8 if (Z∨CY) = 1	
	BT	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1	
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1	
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 1	
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1	
		[HL].bit, $addr20	3	3/5[注3]	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 1	
		ES:[HL].bit, $addr20	4	4/6[注3]	7/8	PC ← PC＋4＋jdisp8 if (ES, HL). bit = 1	

注1. 内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2. プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3. クロック数は"条件不成立時／条件成立時"を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表34－5　オペレーション一覧（18/18）

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z AC CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 0	
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 0	
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 0	
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 0	
		[HL].bit, $addr20	3	3/5[注3]	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 0	
		ES:[HL].bit, $addr20	4	4/6[注3]	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0	
	BTCLR	saddr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1 then reset (saddr).bit	
		sfr.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit	
		A.bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if A.bit = 1 then reset A.bit	
		PSW.bit, $addr20	4	3/5[注3]	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	× × ×
		[HL].bit, $addr20	3	3/5[注3]	－	PC ← PC＋3＋jdisp8 if (HL).bit = 1 then reset (HL).bit	
		ES:[HL].bit, $addr20	4	4/6[注3]	－	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit	
条件付きステップ	SKC	－	2	1	－	Next instruction skip if CY = 1	
	SKNC	－	2	1	－	Next instruction skip if CY = 0	
	SKZ	－	2	1	－	Next instruction skip if Z = 1	
	SKNZ	－	2	1	－	Next instruction skip if Z = 0	
	SKH	－	2	1	－	Next instruction skip if (Z∨CY) = 0	
	SKNH	－	2	1	－	Next instruction skip if (Z∨CY) = 1	
CPU制御	SEL[注4]	RBn	2	1	－	RBS[1:0] ← n	
	NOP	－	1	1	－	No Operation	
	EI	－	3	4	－	IE ← 1 (Enable Interrupt)	
	DI	－	3	4	－	IE ← 0 (Disable Interrupt)	
	HALT	－	2	3	－	Set HALT Mode	
	STOP	－	2	3	－	Set STOP Mode	

注1.　内部RAM領域、SFR領域、および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　プログラム・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　クロック数は"条件不成立時／条件成立時"を表しています。

4.　nはレジスタ・バンク番号です（n = 0-3）。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

第35章　電気的特性（Lグレード）

注意1. RL78/F15には，開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

3. 製品により搭載している端子が異なります。詳細は，「1.5　端子接続図」および「2.1　端子機能一覧」を参照してください。

35.1　絶対最大定格

（1/2）

項目	略号	条件	定格	単位
電源電圧	V_{DD}		−0.5〜+6.5	V
	EV_{DD0}, EV_{DD1}	$EV_{DD0} = EV_{DD1}$	−0.5〜+6.5	V
	V_{SS}		−0.5〜+0.3	V
	EV_{SS0}, EV_{SS1}	$EV_{SS0} = EV_{SS1}$	−0.5〜+0.3	V
REGC端子入力電圧	V_{IREGC}	REGC	−0.3〜+2.8 かつ−0.3〜V_{DD}+0.3注1	V
入力電圧	V_{I1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	−0.3〜$EV_{DD0} = EV_{DD1}$+0.3 かつ−0.3〜V_{DD}+0.3注2	V
	V_{I2}	P33, P34, P80-P87, P90-P97, P100-P105, P121-P124, P137, $\overline{\text{RESET}}$	−0.3〜V_{DD}+0.3注2	V
出力電圧	V_{O1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167	−0.3〜$EV_{DD0} = EV_{DD1}$+0.3 かつ−0.3〜V_{DD}+0.3注2	V
	V_{O2}	P33, P34, P80-P87, P90-P97, P100-P105	−0.3〜V_{DD}+0.3	V
アナログ入力電圧	V_{AI1}	ANI24-ANI30	−0.3〜$EV_{DD0} = EV_{DD1}$+0.3 かつ−0.3〜$AV_{REF(+)}$+0.3注2, 3	V
	V_{AI2}	ANI0-ANI23	−0.3〜V_{DD}+0.3 かつ−0.3〜$AV_{REF(+)}$+0.3注2, 3	V

注1.　REGC端子にはコンデンサ（0.47〜1μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2.　6.5V以下であること。

3.　A/D変換対象の端子は，$AV_{REF(+)}$+0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

（2/2）

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I_{OH1}	1端子	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167	−40	mA
		端子合計 −170 mA	P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167	−70	mA
			P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157	−100	mA
	I_{OH2}	1端子	P33, P34, P80-P87, P90-P97, P100-P105	−0.5	mA
		端子合計		−2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167	40	mA
		端子合計 170 mA	P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167	70	mA
			P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157	100	mA
	I_{OL2}	1端子	P33, P34, P80-P87, P90-P97, P100-P105	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		−40～＋105	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			−65～＋150	℃

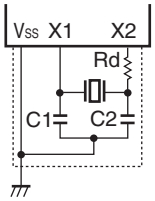
注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

35.2　発振回路特性

35.2.1　メイン・システム・クロック発振回路特性

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／水晶振動子		X1クロック発振周波数（f_X）	2.7V≦V_{DD}≦5.5V	1.0		20.0	MHz

注意1.　X1発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

・配線は極力短くする。

・他の信号線と交差させない。

・変化する大電流が流れる線に接近させない。

・発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。

・大電流が流れるグランド・パターンに接地しない。

・発振回路から信号を取り出さない。

2.　発振子の選択および発振回路定数については，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。また，お客様のシステムにて十分な発振評価をしてください。X1クロックの発振安定時間は，使用する発振子で発振安定時間を十分に評価してから，発振安定時間カウンタ状態レジスタ（OSTC）と発振安定時間選択レジスタ（OSTS）で発振安定時間を決定してください。

35.2.2　オンチップ・オシレータ特性

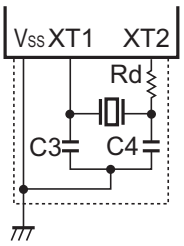
（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ発振周波数[注]	f_{IH}		1		64	MHz
高速オンチップ・オシレータ発振周波数精度	−		−2		＋2	%
低速オンチップ・オシレータ発振周波数	f_{IL}, f_{WDT}			15		kHz
低速オンチップ・オシレータ発振周波数精度	−		−15		＋15	%

注　高速オンチップ・オシレータの周波数は，オプション･バイト（000C2H/020C2H）のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

35.2.3　サブシステム・クロック発振回路特性

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数（f_{XT}）	2.7V≦V_{DD}≦5.5V	29.0	32.768	35.0	kHz

注意1.　XT1発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

・配線は極力短くする。

・他の信号線と交差させない。

・変化する大電流が流れる線に接近させない。

・発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。

・大電流が流れるグランド・パターンに接地しない。

・発振回路から信号を取り出さない。

2.　XT1発振回路は，低消費電力にするために増幅度の低い回路になっていますので，システムにて十分な発振評価をしてください。発振子の選択および発振回路定数は，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。

35.2.4　PLL回路特性

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力可能クロック周波数[注1]	f_{PLLI}	PLLMUL = 0	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
		PLLMUL = 1	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
PLL出力周波数（センター値）	f_{PLL}	PLLMUL = 0	PLLDIV0 = 0	f_{PLLI}×12/2			MHz
			PLLDIV0 = 1	f_{PLLI}×12/4			MHz
		PLLMUL = 1	PLLDIV0 = 0	f_{PLLI}×16/2			MHz
			PLLDIV0 = 1	f_{PLLI}×16/4			MHz
ロングターム・ジッタ[注2, 3]	t_{LJ}	f_{PLL} = 24MHz（480カウント）		−2		＋2	ns
		f_{PLL} = 32MHz（640カウント）		−2		＋2	ns
		f_{PLL} = 48MHz（960カウント）		−2		＋2	ns
		f_{PLL} = 64MHz（1280カウント）		−2		＋2	ns

注1. PLL入力クロックが高速オンチップ・オシレータ・クロックの場合、MIN, MAX値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり，出荷時のテストは行いません。

3. 20μsの期間を意味しています。

35.3　DC特性

35.3.1　端子特性

各項目の対応するポートについては「第4章　ポート機能」を参照してください。

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（1/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流[注1]	I_{OH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167 1端子	4.0V≦EV_{DD0}≦5.5V			−5.0	mA
			2.7V≦EV_{DD0}＜4.0V			−3.0	mA
		P10, P12, P14, P30, P120, P140 1端子（特殊スルー・レート）	4.0V≦EV_{DD0}≦5.5V			−0.6	mA
			2.7V≦EV_{DD0}＜4.0V			−0.2	mA
		P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167 合計 (デューティ≦70%時[注2])	4.0V≦EV_{DD0}≦5.5V			−20.0	mA
			2.7V≦EV_{DD0}＜4.0V			−10.0	mA
		P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157 合計 (デューティ≦70%時[注2])	4.0V≦EV_{DD0}≦5.5V			−30.0	mA
			2.7V≦EV_{DD0}＜4.0V			−19.0	mA
		全端子合計 (デューティ≦70%時[注2])	4.0V≦EV_{DD0}≦5.5V			−50.0	mA
			2.7V≦EV_{DD0}＜4.0V			−29.0	mA
	I_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105 1端子	2.7V≦V_{DD}≦5.5V			−0.1	mA
		端子合計 (デューティ≦70%時[注2])	2.7V≦V_{DD}≦5.5V			−2.0	mA

注1.　EV_{DD0}, EV_{DD1}, V_{DD}端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2.　デューティ≦ 70 %の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流=（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = −10.0 mAの場合，n = 80 %

端子合計の出力電流= （−10.0×0.7）／（80×0.01）≒ −8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（2/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流[注1]	I_{OL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167 1端子	4.0V≦EV_{DD0}≦5.5V			8.5	mA
			2.7V≦EV_{DD0}＜4.0V			4.0	mA
		P10, P12, P14, P30, P120, P140 1端子（特殊スルー・レート）	4.0V≦EV_{DD0}≦5.5V			0.59	mA
			2.7V≦EV_{DD0}＜4.0V			0.07	mA
		P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167 合計 (デューティ≦70%時[注2])	4.0 V≦EV_{DD0}≦5.5 V			20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
		P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157 合計 (デューティ≦70%時[注2])	4.0 V≦EV_{DD0}≦5.5 V			45.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			35.0	mA
		全端子合計 (デューティ≦70%時[注2])	4.0 V≦EV_{DD0}≦5.5 V			65.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			50.0	mA
	I_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105 1端子	2.7 V≦V_{DD}≦5.5 V			0.4	mA
		端子合計 (デューティ≦70%時[注2])	2.7 V≦V_{DD}≦5.5 V			5.0	mA

注1.　出力端子からEV_{SS0}，EV_{SS1}，V_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2.　デューティ≦ 70 %の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80 %

端子合計の出力電流=　（10.0×0.7）／（80×0.01）≒ 8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（3/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167（Schmitt 1モード）	4.0 V≦EV_{DD0}≦5.5 V	0.65 EV_{DD0}		EV_{DD0}注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.7 EV_{DD0}		EV_{DD0}注	V
	V_{IH2}	P00, P10, P11, P13, P14, P16, P17, P20, P21, P24, P25, P30, P37, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152-P154, P156（Schmitt 3モード）	4.0 V≦EV_{DD0}≦5.5 V	0.8 EV_{DD0}		EV_{DD0}注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.85 EV_{DD0}		EV_{DD0}注	V
	V_{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTLモード）	4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0}注	V
			2.7 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0}注	V
	V_{IH4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.85 V_{DD}		V_{DD}	V
	V_{IH5}	$\overline{\text{RESET}}$（Schmitt 1モード固定）	4.0 V≦V_{DD}≦5.5 V	0.65 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.7 V_{DD}		V_{DD}	V
	V_{IH6}	P121-P124, EXCLK, EXCLKS（Schmitt 2モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.8 V_{DD}		V_{DD}	V

注　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時でもV_{IH}の最大値はEV_{DD0}です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（4/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167（Schmitt 1モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.35 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.3 EV_{DD0}	V
	V_{IL2}	P00, P10, P11, P13, P14, P16, P17, P20, P21, P24, P25, P30, P37, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152-P154, P156（Schmitt 3モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.5 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.4 EV_{DD0}	V
	V_{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTLモード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.5	V
	V_{IL4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.5 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.4 V_{DD}	V
	V_{IL5}	$\overline{\text{RESET}}$（Schmitt 1モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.35 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.3 V_{DD}	V
	V_{IL6}	P121-P124, EXCLK, EXCLKS（Schmitt 2モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.2 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.2 V_{DD}	V

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（5/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V_{OH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130 -P136, P140-P147, P150-P157, P160-P167（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = −5.0 mA	EV_{DD0}−0.9			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −3.0 mA	EV_{DD0}−0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −1.0 mA	EV_{DD0}−0.5			V
	V_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OH2} = −100 μA	V_{DD}−0.5			V
	V_{OH3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.6 mA	EV_{DD0}−0.8			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.2 mA	EV_{DD0}−0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
	V_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.6 mA			0.8	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.07 mA			0.5	V

注意　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（6/6）

項目	略号	条件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	V_I = EV_{DD0}				1	μA
	I_{LIH2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, $\overline{\text{RESET}}$	V_I = V_{DD}				1	μA
	I_{LIH3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	V_I = EV_{SS0}				−1	μA
	I_{LIL2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, $\overline{\text{RESET}}$	V_I = V_{SS}				−1	μA
	I_{LIL3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			−1	μA
				発振子接続時			−10	μA
内蔵プルアップ抵抗	R_U	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	V_I = EV_{SS0}，入力ポート時		10	20	100	kΩ

注意　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

35.3.2　電源電流特性

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（1/3）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	通常動作[注2]	高速オンチップ・オシレータ・クロック動作	f_{IH} = 64 MHz	f_{CLK} = 32 MHz [注3, 4]		7.8	16.0	mA
					f_{IH} = 32 MHz	f_{CLK} = f_{IH}[注3, 4]		7.5	15.0	mA
					f_{IH} = 1 MHz	f_{CLK} = f_{IH}[注3, 4]		1.2	2.8	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX}[注3, 5]		5.1	10.0	mA
					f_{MX} = 1 MHz	f_{CLK} = f_{MX}[注3, 5]		1.1	3.0	mA
				発振子動作（PLL動作）（PLL入力クロック = f_{MX}）	f_{PLL} = 64 MHz, f_{MX} = 8 MHz	f_{CLK} = 32 MHz [注3, 6]		7.7	16.0	mA
					f_{PLL} = 32 MHz, f_{MX} = 8 MHz	f_{CLK} = 32 MHz [注3, 6]		7.7	15.5	mA
					f_{PLL} = 32 MHz, f_{MX} = 4 MHz	f_{CLK} = 32 MHz [注3, 6]		7.4	15.0	mA
				サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB}[注7]		7.1	90.0	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL}[注8]		3.6	80.0	μA

注1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。ただし，I/Oバッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD回路，A/Dコンバータ，D/Aコンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX}：高速システム・クロック周波数

2. f_{SUB}：サブシステム・クロック周波数

3. f_{PLL}：PLLクロック周波数

4. f_{IH}：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（2/3）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流[注1, 3]	I_{DD2}	HALTモード[注2]	高速オンチップ・オシレータ・クロック動作	f_{IH} = 64 MHz	f_{CLK} = 32 MHz [注5]		1.3	11.0	mA
				f_{IH} = 32 MHz	f_{CLK} = f_{IH}[注5]		1.0	10.0	mA
				f_{IH} = 1 MHz	f_{CLK} = f_{IH}[注5]		0.3	1.7	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX}[注6]		0.7	7.0	mA
				f_{MX} = 1 MHz	f_{CLK} = f_{MX}[注6]		0.2	1.7	mA
			発振子動作（PLL動作）（PLL入力クロック = f_{MX}）	f_{PLL} = 64 MHz, f_{MX} = 8 MHz	f_{CLK} = 32 MHz [注7]		1.2	11.0	mA
				f_{PLL} = 32 MHz, f_{MX} = 8 MHz	f_{CLK} = 32 MHz [注7]		1.1	10.0	mA
				f_{PLL} = 32 MHz, f_{MX} = 4 MHz	f_{CLK} = 32 MHz [注7]		1.0	10.0	mA
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB}[注8]		0.7	90.0	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL}[注9]		0.7	80.0	μA
	I_{DD3}	STOPモード[注4]	T_A =＋25℃				0.5		μA
			T_A =＋50℃					4.5	
			T_A =＋70℃					8.0	
			T_A =＋105℃					50.0	

注1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。ただし，I/Oバッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中にHALTモードに遷移した場合です。

3. MAX.値には周辺動作電流，STOPリーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD回路，A/Dコンバータ，D/Aコンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

9. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX}：高速システム・クロック周波数

2. f_{SUB}：サブシステム・クロック周波数

3. f_{PLL}：PLLクロック周波数

4. f_{IH}：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（3/3）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流[注1, 2]	I_{SNOZ}	SNOOZEモード	A/Dコンバータ動作	モード遷移中			1.0	1.7	mA
				変換動作中	標準モード AV_{REFP} = V_{DD} = 5.0V		2.1	3.4	mA
			DTC動作				5.5		mA

注1.　V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。ただし，I/Oバッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2.　MAX.値にはSTOPリーク電流を含みます。

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT}注1, 2	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC}注3	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時注5			75.0		μA
LVD動作電流	I_{LVD}注4				0.08		μA
温度センサ動作電流	I_{TMPS}				75.0		μA
D/Aコンバータ動作電流	I_{DAC}	1チャネル当たり			0.8	1.5	mA
コンパレータ動作電流	I_{CMP}				50.0		μA
BGO動作電流	I_{BGO}注6				2.50	12.20	mA

注1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHzオンチップ・オシレータの動作電流を含みます）。STOPモード時にウォッチドッグ・タイマが動作中の場合，I_{DD1}またはI_{DD2}またはI_{DD3}にI_{WDT}を加算した値が電流値となります。

3. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合，I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が電流値となります。

4. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合，I_{DD1}またはI_{DD2}またはI_{DD3}にI_{LVD}を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGOの動作電流です。動作モードまたはHALTモード時にBGOが動作中の場合，I_{DD1}またはI_{DD2}にI_{BGO}を加算した値が電流値となります。

35.4　AC特性

35.4.1　基本動作

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（1/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	T_{CY}	高速オンチップ・オシレータ・クロック動作		0.03125		1	μs
		高速システム・クロック動作		0.05		1	μs
		PLLクロック動作		0.03125		1	μs
		サブシステム・クロック動作		28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作			66.6		μs
		セルフ・プログラミング時		0.03125		1	μs
CPU／周辺ハードウェア・クロック周波数	f_{CLK}			0.03125		66.6	μs
外部システム・クロック周波数	f_{EX}			1.0		20.0	MHz
	f_{EXS}			29		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}			24			ns
	t_{EXHS}, t_{EXLS}			13.7			μs
TI00-TI07, TI10-TI17, TI20-TI27入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}			1/f_{MCK}＋10			ns
TO00-TO07, TO10-TO17, TO20-TO27出力周波数	f_{TO}	すべてのTO端子 通常スルー・レート C = 30 pF	4.0V≦EV_{DD0}≦5.5V			16	MHz
			2.7V≦EV_{DD0}＜4.0V			8	MHz
		TO01, TO06, TO07, TO11, TO13のみ 特殊スルー・レート C = 30 pF				2	MHz
PCLBUZ0出力周波数	f_{PCL}	通常スルー・レート C = 30 pF	4.0V≦EV_{DD0}≦5.5V			16	MHz
			2.7V≦EV_{DD0}＜4.0V			8	MHz
		特殊スルー・レート C = 30 pF				2	MHz
タイマRJ入力サイクル	t_C	TRJIO0		100			ns
タイマRJ入力ハイ・レベル幅，ロウ・レベル幅	t_{TWH}, t_{TWL}	TRJIO0		40			ns
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP15[注]		1			μs
KR0-KR7キー割り込み入力ロウ・レベル幅	t_{KR}			250			ns
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}			10			μs

注　$\overline{\text{RESET}}$，INTP0-INTP3，INTP12，INTP13にはMIN. 100 nsのノイズ・フィルタを持ちます。

注意　発振周波数精度誤差を除きます。

備考　f_{MCK}：タイマ・アレイ･ユニットの動作クロック周波数。

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（2/2）

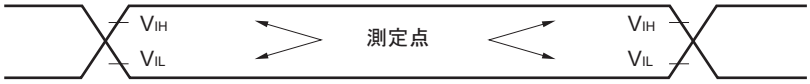
項目	略号	条件		MIN.	TYP.	MAX.	単位
ポート出力立ち上がり時間, 立ち下がり時間	t_{RO}, t_{FO}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167 （通常スルー・レート） C = 30 pF	4.0V≦EV_{DD0}≦5.5V			25	ns
			2.7V≦EV_{DD0}＜4.0V			55	ns
		P10, P12, P14, P30, P120, P140 （特殊スルー・レート） C = 30 pF	4.0V≦EV_{DD0}≦5.5V		25[注]	60	ns
			2.7V≦EV_{DD0}＜4.0V			100	ns

注　T_A = ＋25℃, EV_{DD0} = 5.0 V時。

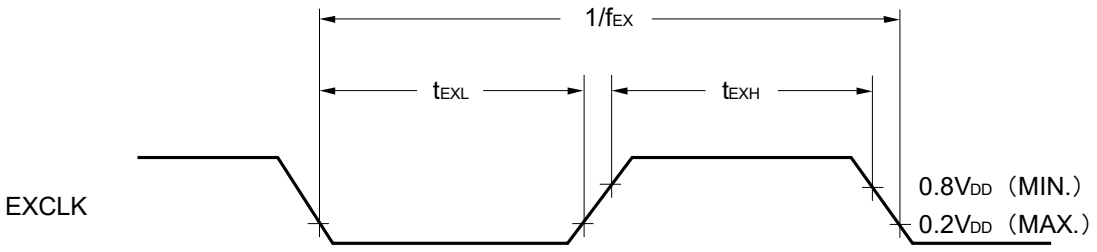
注意　発振周波数精度誤差を除きます。

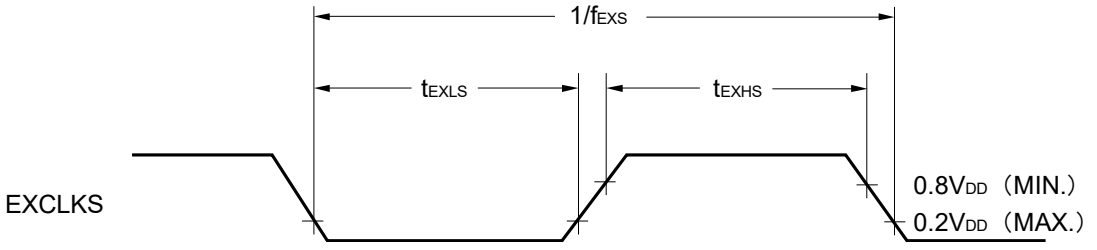
備考　f_{MCK}：タイマ・アレイ·ユニットの動作クロック周波数。

・ACタイミング測定点



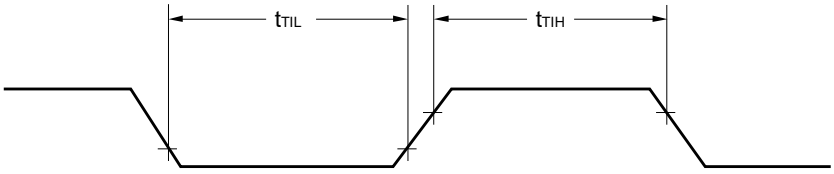
・外部システム・クロック・タイミング



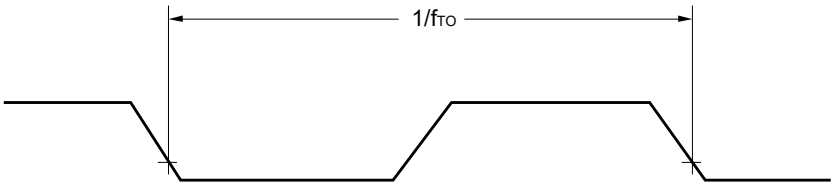


・TI/TOタイミング

TI00-TI07, TI10-TI17, TI20-TI27

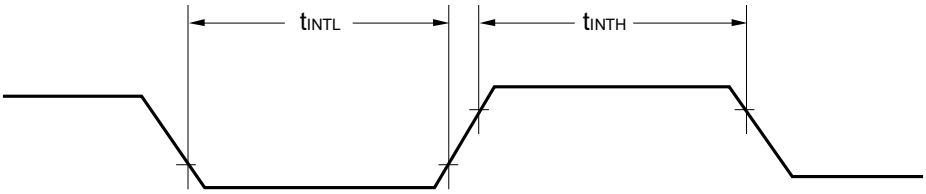


TO00-TO07, TO10-TO17, TO20-TO27



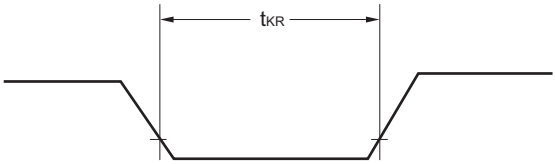
・割り込み要求入力タイミング

INTP0-INTP15



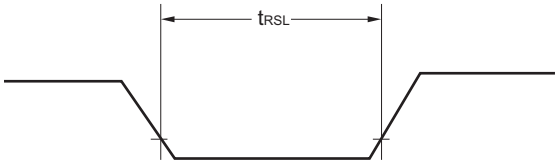
・キー割り込み入力タイミング

KR0-KR7



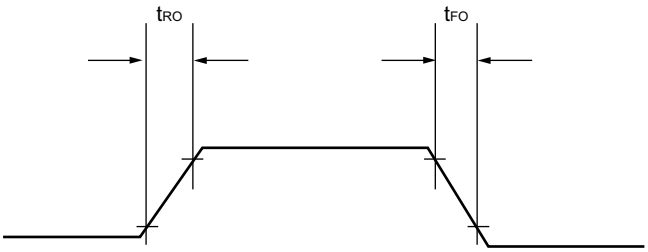
・$\overline{\text{RESET}}$入力タイミング

$\overline{\text{RESET}}$



・出力立ち上がり，立ち下がりタイミング

出力端子



35.5　周辺機能特性

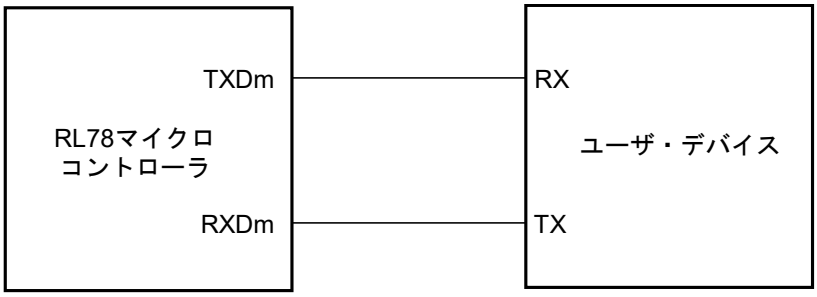
35.5.1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

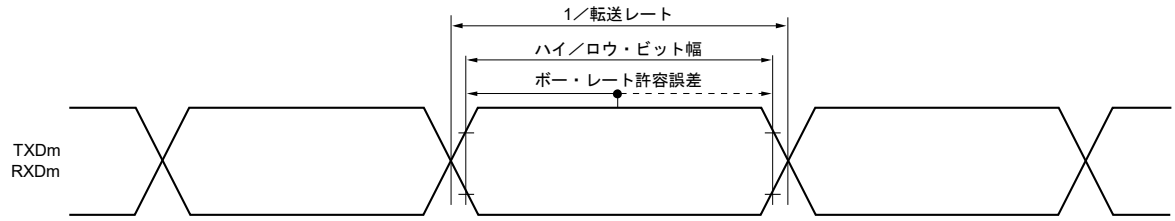
（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	−					f_{MCK}/6	bps
		f_{CLK} = 32 MHz, f_{MCK} = f_{CLK}	通常スルー・レート			5.3	Mbps
			特殊スルー・レート			2	Mbps

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



注意　RXD0, RXD1端子は通常入力バッファ（RXD2端子は通常入力モード固定），TXD0, TXD1端子は通常出力モードを選択（TXD2端子は通常出力モード固定）。

備考1.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

2.　m：ユニットm（m = 0-2）

（2）同電位通信時（CSIモード）（マスタ・モード，$\overline{SCKp}$…内部クロック出力，通常スルー・レート）

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}		125[注4]			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0V≦EV_{DD0}≦5.5V	t_{KCY1}/2−12			ns
		2.7V≦EV_{DD0}＜4.0V	t_{KCY1}/2−18			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）[注1]	t_{SIK1}	4.0V≦EV_{DD0}≦5.5V	44			ns
		2.7V≦EV_{DD0}＜4.0V	55			ns
SIpホールド時間（対$\overline{SCKp}$↑）[注1]	t_{KSI1}		30			ns
$\overline{SCKp}$↓→SOp出力遅延時間[注2]	t_{KSO1}	C = 30pF[注3]			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

4. かつt_{KCY1}≧4/f_{MCK}

注意　SIp端子は通常入力バッファ，SOp, $\overline{SCKp}$端子は通常出力モードを選択。

備考　p：CSIp（p = 00, 01, 10, 11, 20, 21），m：ユニットm（m = 0-2），n：チャネルn（n = 0, 1）

（3）同電位通信時（CSIモード）（マスタ・モード，$\overline{SCKp}$…内部クロック出力，特殊スルー・レート）

（T_A = −40～＋105℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}		500[注4]			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}		t_{KCY1}/2−60			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）[注1]	t_{SIK1}		120			ns
SIpホールド時間（対$\overline{SCKp}$↑）[注1]	t_{KSI1}		80			ns
$\overline{SCKp}$↓→SOp出力遅延時間[注2]	t_{KSO1}	C = 30pF[注3]			90	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

4. かつt_{KCY1}≧4/f_{MCK}

注意　SIp端子は通常入力バッファ，SOp, $\overline{SCKp}$端子は通常出力モードかつ特殊スルー・レートを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m =0, 1），n：チャネルn（n = 0, 1）

（4）同電位通信時（CSIモード）（スレーブ・モード，$\overline{SCKp}$…外部クロック入力，通常スルー・レート）

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム[注4]	t_{KCY2}			8/f_{MCK}			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}			t_{KCY2}/2			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）[注1]	t_{SIK2}			1/f_{MCK}＋20			ns
SIpホールド時間（対$\overline{SCKp}$↑）[注1]	t_{KSI2}			1/f_{MCK}＋31			ns
$\overline{SCKp}$↓→SOp出力遅延時間[注2]	t_{KSO2}	C = 30 pF[注3]	4.0V≦V_{DD} = EV_{DD0} = EV_{DD1}≦5.5V			2/f_{MCK}＋44	ns
			2.7V≦V_{DD} = EV_{DD0} = EV_{DD1}＜4.0V			2/f_{MCK}＋57	ns
$\overline{SSIp}$セットアップ時間	t_{SSIK}	DAP＝0		120			ns
		DAP＝1		1/f_{MCK}＋120			ns
$\overline{SSIp}$ホールド時間	t_{KSSI}	DAP＝0		1/f_{MCK}＋120			ns
		DAP＝1		120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

4. SNOOZEモードでの転送レートは，MAX. 1 Mbpsです。

注意　SIp, $\overline{SCKp}$端子および$\overline{SSIp}$端子は通常入力バッファ、SOp端子は通常出力モードを選択。

備考1. p：CSIp（p = 00, 01, 10, 11, 20, 21），$\overline{SSIp}$（p = 00, 01, 10, 11），m：ユニットm（m = 0-2），n：チャネルn（n = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（5）同電位通信時（CSIモード）（スレーブ・モード，$\overline{SCKp}$…外部クロック入力，特殊スルー・レート）

（T_A = −40～＋105℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム	t_{KCY2}	20MHz＜f_{MCK}	10/f_{MCK}			ns
		10MHz＜f_{MCK}≦20MHz	8/f_{MCK}			ns
		f_{MCK}≦10MHz	6/f_{MCK}			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}		t_{KCY2}/2			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK2}		1/f_{MCK}＋50			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI2}		1/f_{MCK}＋50			ns
$\overline{SCKp}$↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3			2/f_{MCK}＋80	ns
$\overline{SSIp}$セットアップ時間	t_{SSIK}	DAP＝0	120			ns
		DAP＝1	1/f_{MCK}＋120			ns
$\overline{SSIp}$ホールド時間	t_{KSSI}	DAP＝0	1/f_{MCK}＋120			ns
		DAP＝1	120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

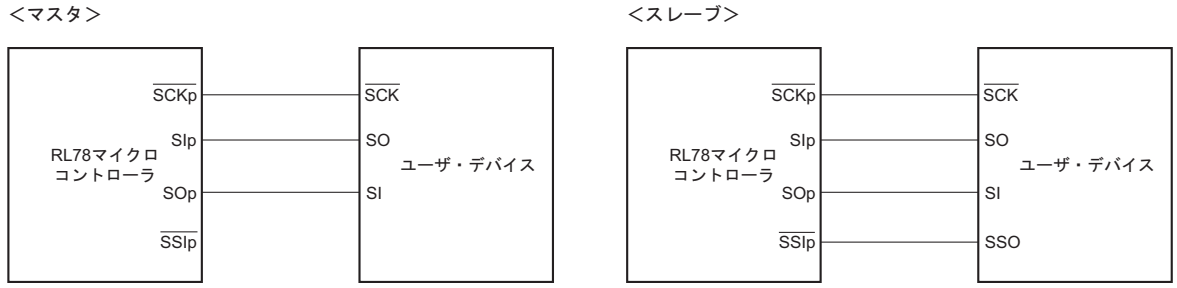
3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

注意　SIp, $\overline{SCKp}$端子および$\overline{SSIp}$端子は通常入力バッファ，SOp端子は通常出力モードかつ特殊スルー・レートを選択。

備考1. p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

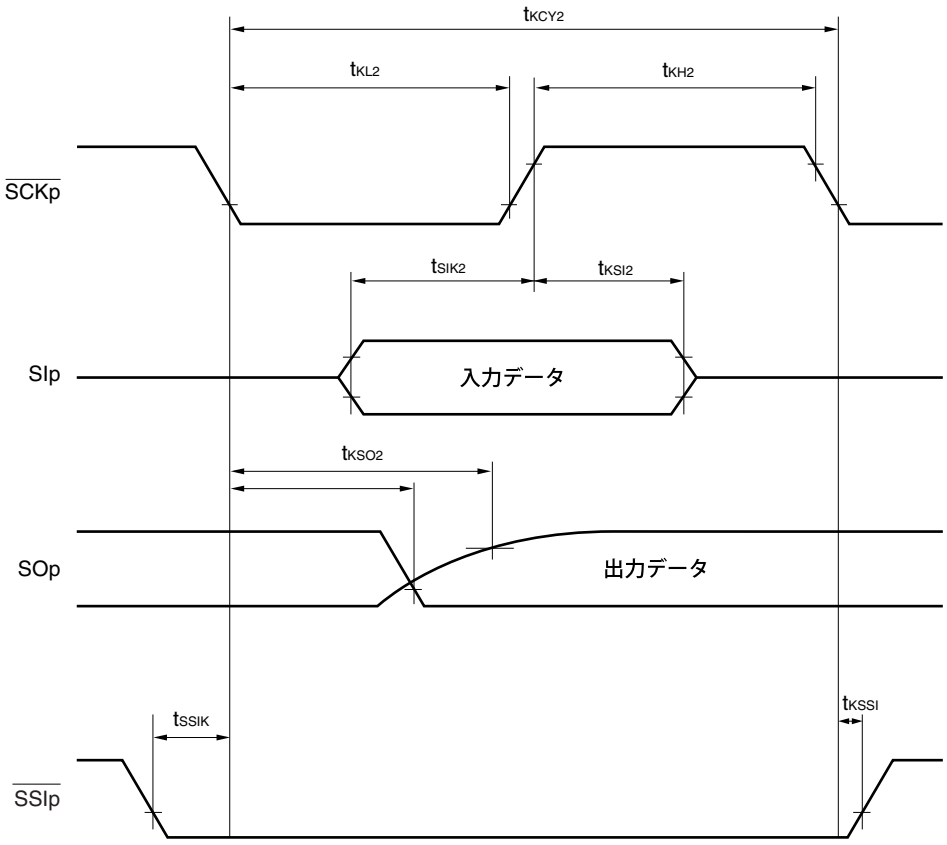
2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

CSIモード接続図（同電位通信時）



CSIモード・シリアル転送タイミング（同電位通信時）

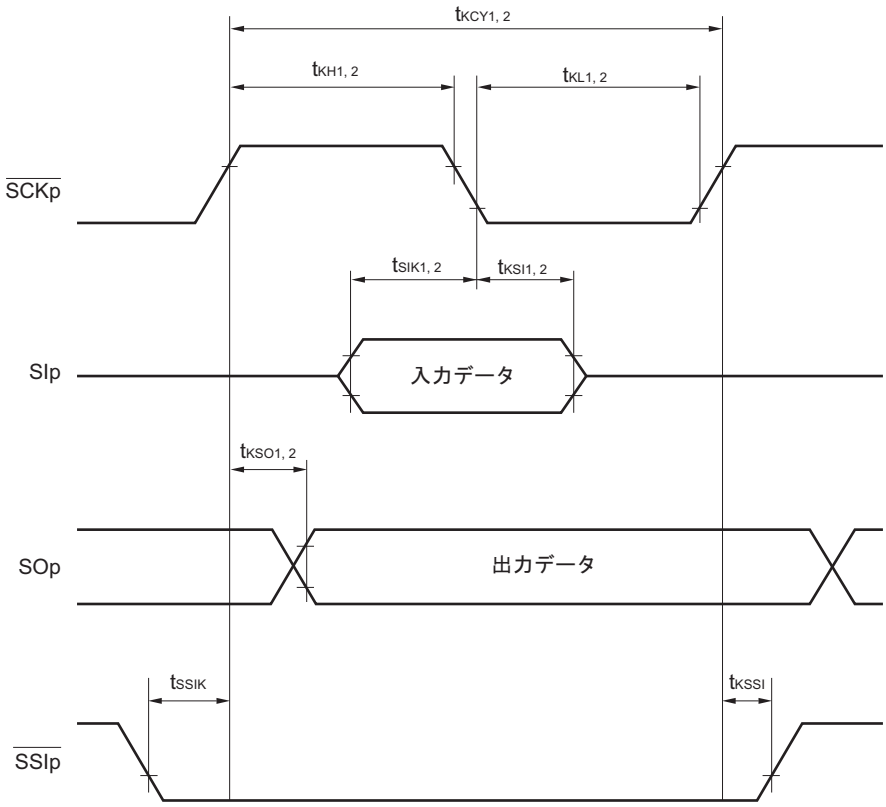
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



備考　p：CSIp（p = 00, 01, 10, 11, 20, 21），SSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0-2），n：チャネルn（n = 0, 1）

CSIモード・シリアル転送タイミング（同電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考　p：CSIp（p = 00, 01, 10, 11, 20, 21），m：ユニットm（m = 0-2），n：チャネルn（n = 0, 1）

（6）同電位通信時（簡易I^2Cモード）

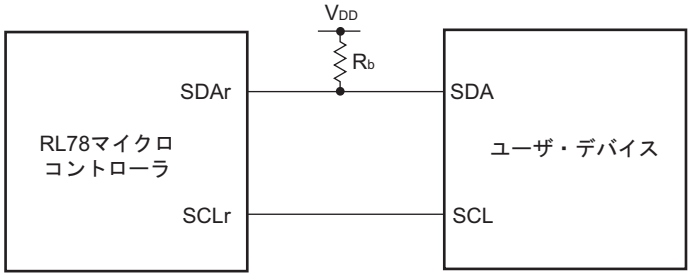
（SDArはN-chオープン・ドレーン出力（EV_{DD0}耐圧）モード，SCLrは通常出力モード）

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

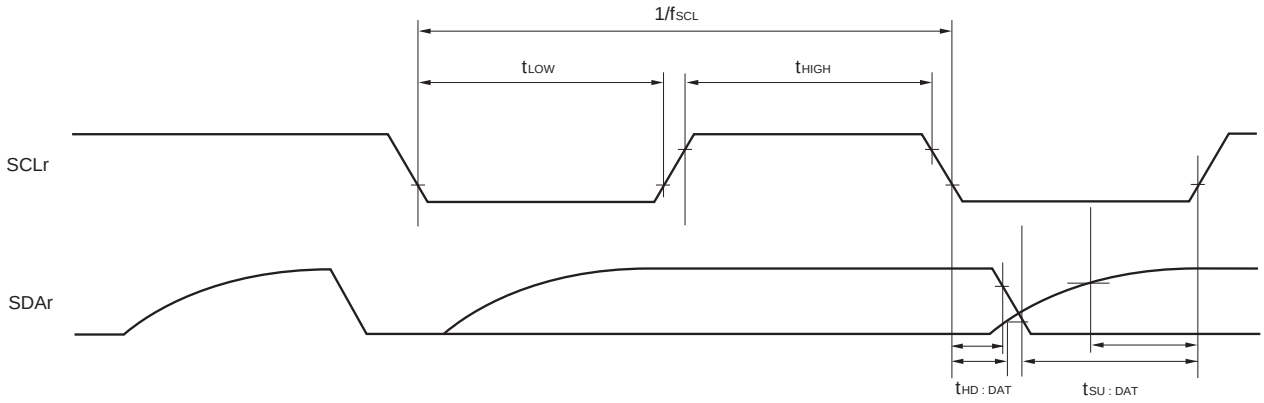
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLrクロック周波数	f_{SCL}				1000注	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}		475			ns
SCLr = ”H”のホールド・タイム	t_{HIGH}		475			ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		1/f_{MCK}＋85			ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	C_b = 50pF, R_b = 2.7kΩ	0		305	ns

注　かつf_{CLK}≦f_{MCK}/4

簡易I^2Cモード接続図（同電位通信時）



簡易I^2Cモード・シリアル転送タイミング（同電位通信時）



注意　SDAr端子は通常入力バッファかつN-chオープン・ドレーン出力モード、SCLr端子は通常出力モードを選択。

備考1.　R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

2.　r：IICr（r = 00, 01, 10, 11）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（7）同電位通信時（簡易I^2Cモード）

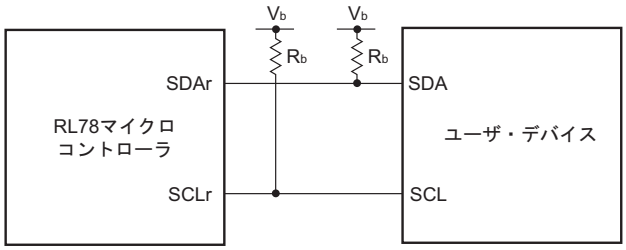
（SDAr，SCLrはN-chオープン・ドレーン出力（EV_{DD0}耐圧）モード）

（T_A = －40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}			400[注]	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1300		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
SCLr = ”H”のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	600		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1/f_{MCK}＋120		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK}＋270		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	0	300	ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			

注　かつf_{CLK}≦f_{MCK}/4

簡易I^2Cモード接続図（同電位通信時）



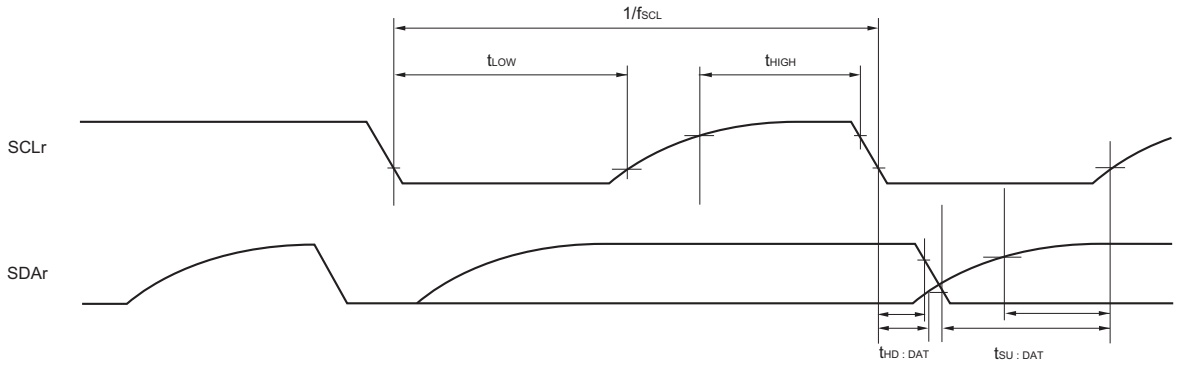
注意　SDAr, SCLr端子は通常入力バッファかつN-chオープン・ドレーン出力モードを選択。

備考1.　R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，
V_b [V]：通信ライン電圧

2.　r：IICr（r = 00, 01, 10, 11）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

簡易I^2Cモード・シリアル転送タイミング（同電位通信時）



備考　r：IICr（r = 00, 01, 10, 11）

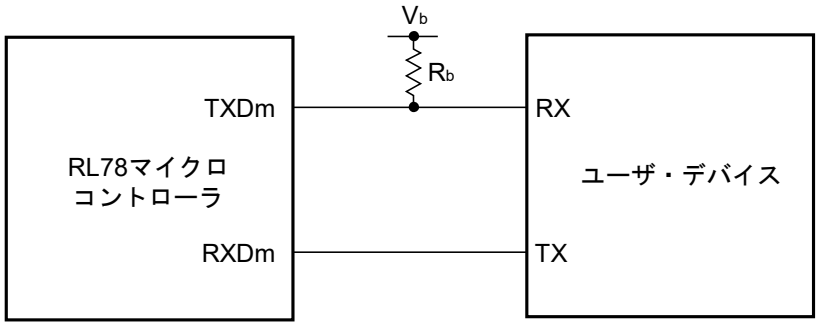
（8）異電位通信時（UARTモード）（TXD出力バッファ＝N-chオープン・ドレーン，RXD入力バッファ＝TTL）

（T_A = −40～＋105℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

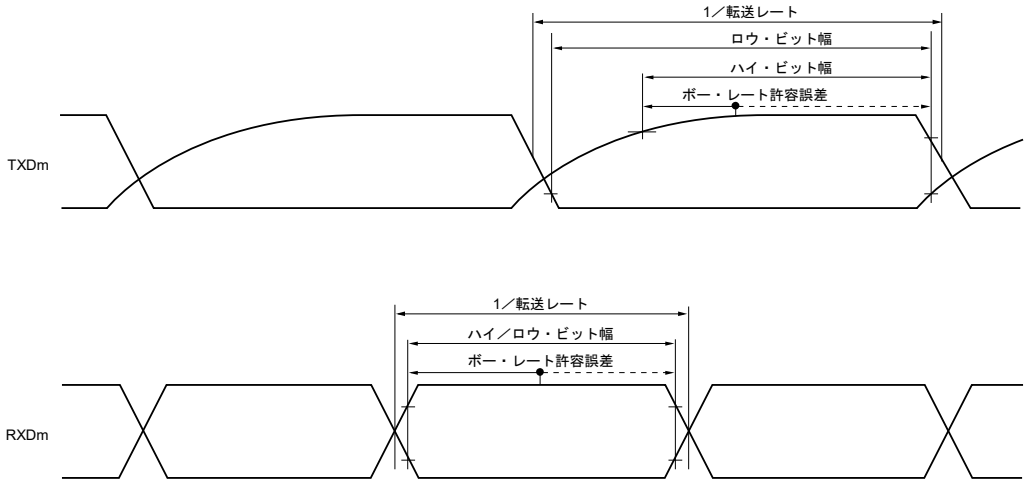
項目	略号	条件			MIN.	TYP.	MAX.	単位
転送レート	−	受信	2.7 V≦V_b≦EV_{DD0}, V_{IH}=2.2V, V_{IL}=0.8V				f_{MCK}/6	bps
				最大転送レート理論値[注] （C_b＝30 pF）			5.3	Mbps
		送信	2.7 V≦V_b≦EV_{DD0}, V_{OH}=2.2V, V_{OL}=0.8V				f_{MCK}/6と(式1)の小さい方	bps
				最大転送レート理論値[注] （C_b＝30 pF） 通常スルー・レート			5.3	Mbps

注　式1：最大転送レート＝1 / [{−C_b×R_b×ln (1−2.2/V_b)}×3]

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



注意　RXD0, RXD1端子はTTL入力バッファ，TXD0, TXD1端子はN-chオープン・ドレーン出力モードを選択。

備考1.　R_b [Ω]：通信ライン（TXD）プルアップ抵抗値，C_b [F]：通信ライン（TXD）負荷容量値，
V_b [V]：通信ライン電圧

2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

3.　m：ユニットm（m = 0, 1）

（9）異電位（3 V系）通信時（CSIモード）（マスタ・モード，$\overline{SCKp}$…内部クロック出力，通常スルー・レート）

（T_A = −40～＋105℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

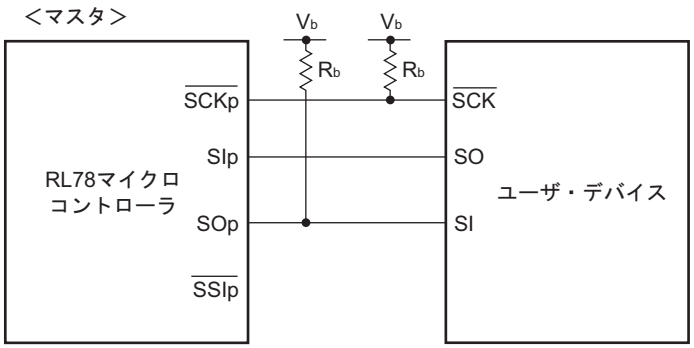
項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	400注3			ns
$\overline{SCKp}$ハイ・レベル幅	t_{KH1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	t_{KCY1}/2−75			ns
$\overline{SCKp}$ロウ・レベル幅	t_{KL1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	t_{KCY1}/2−20			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	150			ns
SIpセットアップ時間（対$\overline{SCKp}$↓）注2	t_{SIK1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	70			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	30			ns
SIpホールド時間（対$\overline{SCKp}$↓）注2	t_{KSI1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	30			ns
$\overline{SCKp}$↓→SOp出力遅延時間注1	t_{KSO1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ			120	ns
$\overline{SCKp}$↑→SOp出力遅延時間注2	t_{KSO1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ			40	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3.　かつt_{KCY1}≧4/f_{MCK}

CSIモード接続図（異電位通信時）



注意　SIp端子はTTL入力バッファ，SOp, $\overline{SCKp}$端子はN-chオープン・ドレーン出力モードを選択。

備考1.　R_b [Ω]：通信ライン（$\overline{SCKp}$, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp, $\overline{SCKp}$）負荷容量値，V_b [V]：通信ライン電圧

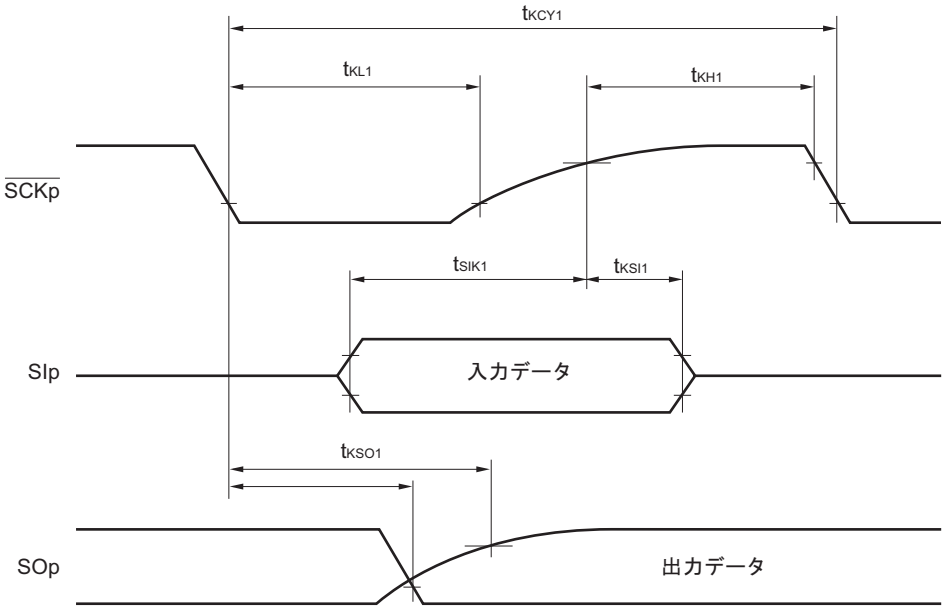
2.　p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

3.　シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V ≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 Vのとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

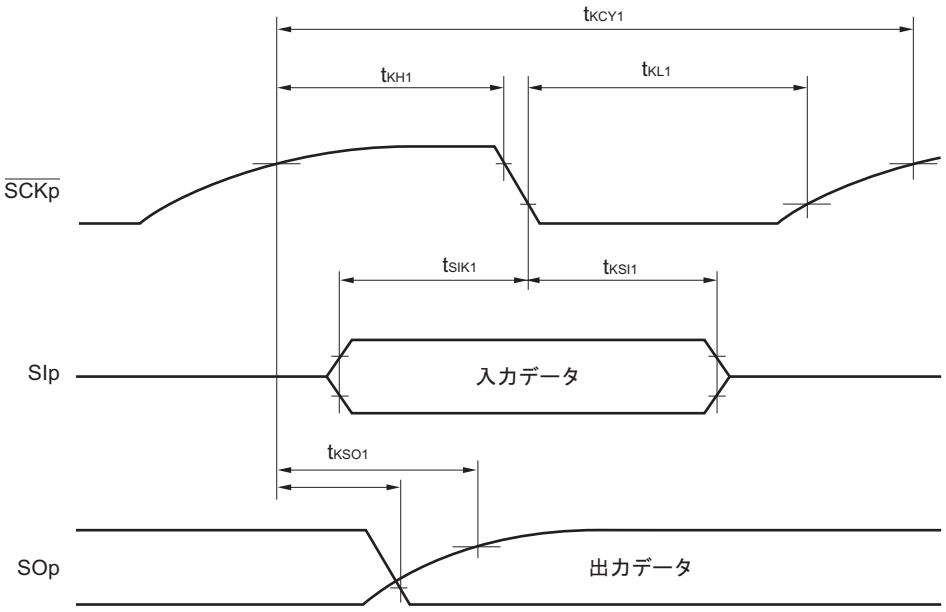
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



（10）異電位（3V系）通信時（CSIモード）（スレーブ・モード，$\overline{SCKp}$…外部クロック入力，通常スルー・レート）

（T_A = −40～＋105℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

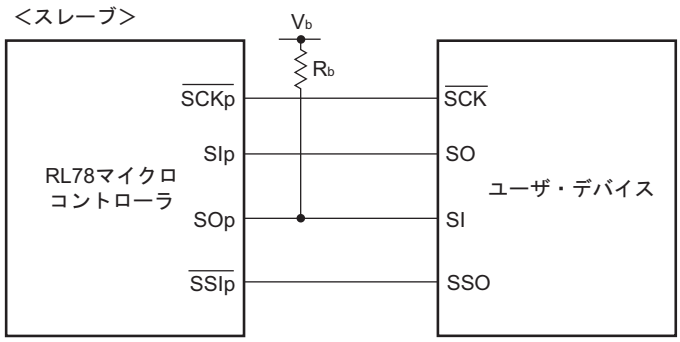
項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム注3	t_{KCY2}	2.7V≦V_b≦V_{DD}	24 MHz＜f_{MCK}	14/f_{MCK}			ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}			ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}			ns
			f_{MCK}≦4 MHz	6/f_{MCK}			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	2.7V≦V_b≦V_{DD}		t_{KCY2}/2−20			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK2}			90			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI2}			1/f_{MCK}＋50			ns
$\overline{SCKp}$↓→SOp出力遅延時間注2	t_{KSO2}	2.7V≦V_b≦V_{DD}, C_b = 30pF, R_b = 1.4kΩ				2/f_{MCK}＋120	ns
$\overline{SSIp}$セットアップ時間	t_{SSIK}	DAP＝0		120			ns
		DAP＝1		1/f_{MCK}＋120			ns
$\overline{SSIp}$ホールド時間	t_{KSSI}	DAP＝0		1/f_{MCK}＋120			ns
		DAP＝1		120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. SNOOZEモードでの転送レートは，MAX.: 1 Mbpsです。

CSIモード接続図（異電位通信時）



注意　SIp, $\overline{SCKp}$端子および$\overline{SSIp}$端子はTTL入力バッファ，SOp端子はN-chオープン・ドレーン出力モードを選択。

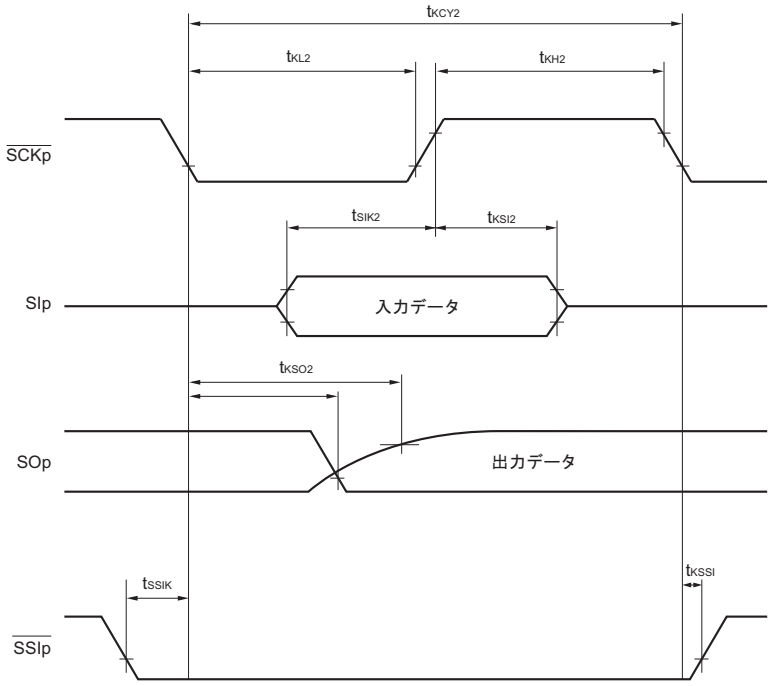
備考1. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，V_b [V]：通信ライン電圧

2. p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。
4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 Vのとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

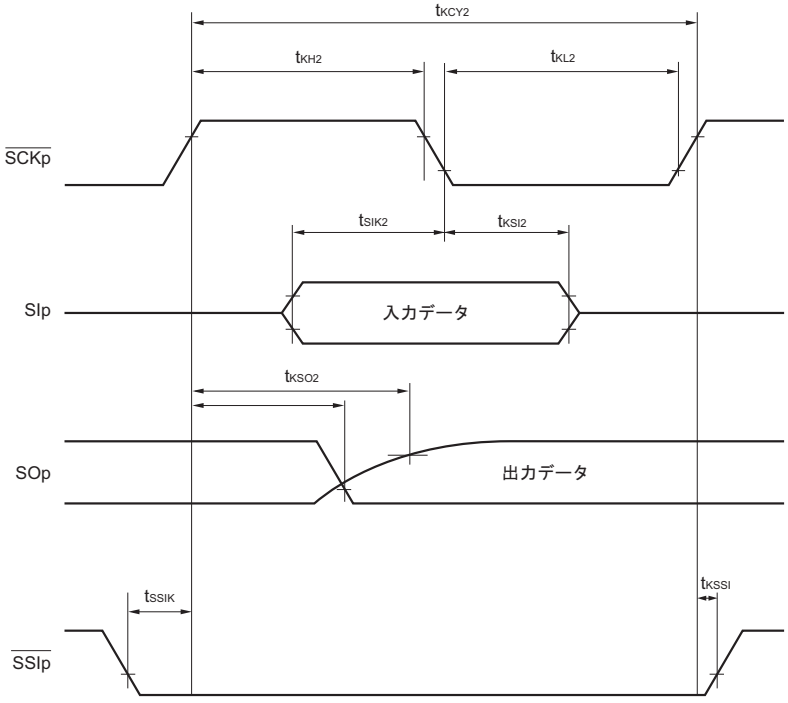
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



（11）異電位（3 V系）通信時（簡易I²Cモード）

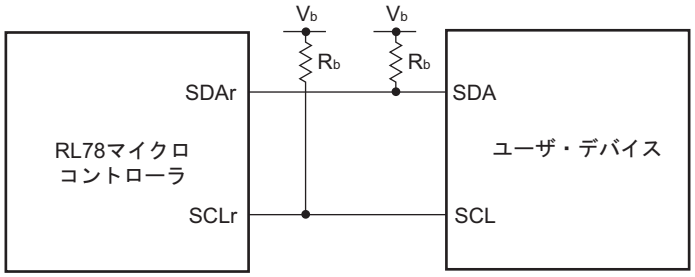
（SDArはTTL入力バッファ・モード，N-chオープン・ドレーン出力（EV$_{DD0}$耐圧）モード，
SCLrはN-chオープン・ドレーン出力（EV$_{DD0}$耐圧）モード）

（T_A = −40～＋105℃，4.0V≦EV$_{DD0}$ = EV$_{DD1}$ = V_{DD}≦5.5V, V_{SS} = EV$_{SS0}$ = EV$_{SS1}$ = 0V）

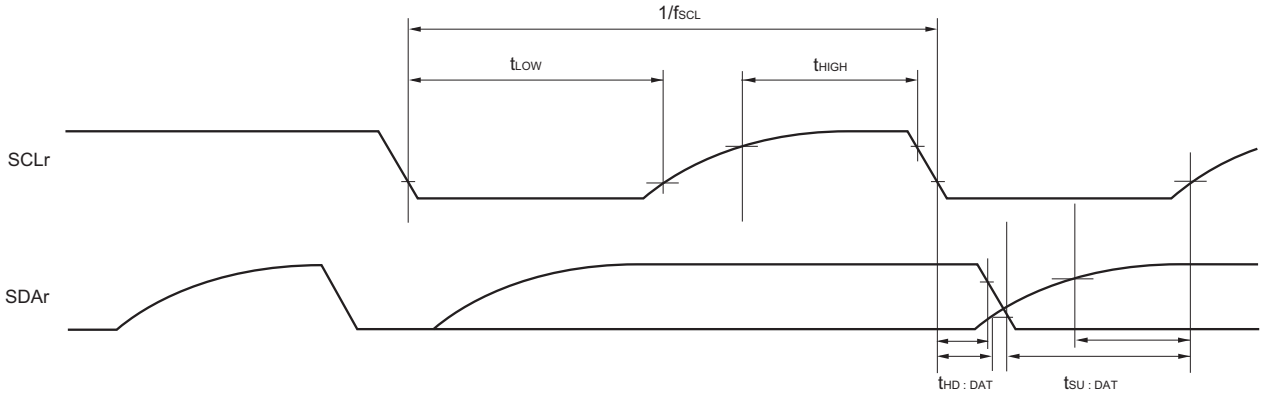
項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ		400注	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	1200		ns
SCLr = ”H”のホールド・タイム	t_{HIGH}	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	600		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	135＋1/f_{MCK}		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	0	140	ns

注　かつf_{SCL}≦f_{MCK}/4

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



注意　SDAr端子はTTL入力バッファかつN-chオープン・ドレーン出力モード，SCLr端子はN-chオープン・ドレーン出力モードを選択。

備考1.　R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，
V_b [V]：通信ライン電圧

2.　r：IICr（r = 00, 01, 10, 11）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

35.5.2　シリアル・インタフェースIICA

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス：10 MHz≦f_{MCK}					0	1000	kHz
		ファースト・モード：3.5 MHz≦f_{MCK}			0	400			kHz
		標準モード：1 MHz≦f_{MCK}	0	100					kHz
リスタート・コンディションのセットアップ時間[注1]	$t_{SU:STA}$		4.7		0.6		0.26		μs
ホールド時間	$t_{HD:STA}$		4.0		0.6		0.26		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}		4.7		1.3		0.5		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		50		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$		0	3.45	0	0.9	0		μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		0.26		μs
バス・フリー時間	t_{BUF}		4.7		1.3		0.5		μs

注1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスを生成します。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，ウエイトがかかります。

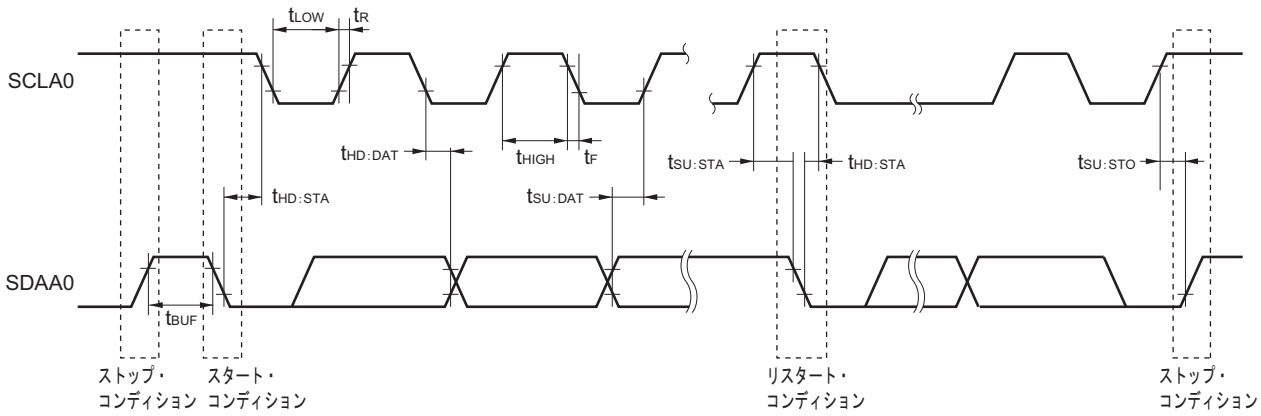
備考　各モードにおけるCb（通信ライン容量）のMAX.値と，そのときのRb（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　　：Cb = 400pF, Rb = 2.7kΩ

ファースト・モード　　：Cb = 320pF, Rb = 1.1kΩ

ファースト・モード・プラス　：Cb = 120pF, Rb = 1.1kΩ

IICAシリアル転送タイミング



35.5.3　オンチップ・デバッグ（UART）

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	−		115.2k		1M	bps

35.5.4　LIN/UARTモジュール（RLIN3）UARTモード

（T_A = −40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	−	動作モード，HALTモード	LIN通信クロック源 （f_{CLK}またはf_{MX}） 4 MHz～32 MHz			5333	kbps
		SNOOZEモード	LIN通信クロック源（f_{CLK}） 1 MHz～32 MHz ユーザ・オプション・バイト（000C2H/020C2H）の FRQSEL4 = 0			4.8	
			LIN通信クロック源（f_{CLK}） 1 MHz～32 MHz ユーザ・オプション・バイト（000C2H/020C2H）の FRQSEL4 = 1			2.4	

35.6　アナログ特性

35.6.1　A/Dコンバータ特性

（1）$AV_{REF}(+) = AV_{REFP}$/ANI0（ADREFP1 = 0, ADREFP0 = 1）, $AV_{REF}(-) = AV_{REFM}$/ANI1（ADREFM = 1）選択時,
対象ANI端子：ANI2-ANI23（V_{DD}を電源とするANI端子）

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(＋) = AV_{REFP},
基準電圧(−) = AV_{REFM} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$	4.0V≦V_{DD}≦5.5V		±1.2	±3.0	LSB
			2.7V≦V_{DD}＜4.0V		±1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解能 $AV_{REFP} = V_{DD}$	4.0V≦V_{DD}≦5.5V	2.125		39	μs
			2.7V≦V_{DD}＜4.0V	3.1875		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±0.25	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±0.25	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±2.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±1.5	LSB
基準電圧(＋)	AV_{REFP}			2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}			0		AV_{REFP}	V
内部基準電圧(＋)	V_{BGR}	2.7V≦V_{DD}≦5.5V		1.38	1.45	1.5	V

注1.　量子化誤差（±1/2 LSB）を含みません。

2.　フルスケール値に対する比率（%FSR）で表します。

（2）AV_{REF}(＋) = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1）, AV_{REF}(－) = AV_{REFM}/ANI1（ADREFM = 1）選択時,
対象ANI端子：ANI24-ANI30（EV_{DD0}を電源とするANI端子）

（T_A = －40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(＋) = AV_{REFP},
基準電圧(－) = AV_{REFM} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能	4.0V≦V_{DD}≦5.5V		±1.2	±4.5	LSB
		AV_{REFP} = V_{DD}	2.7V≦V_{DD}＜4.0V		±1.2	±5.0	LSB
変換時間	t_{CONV}	10ビット分解能	4.0V≦V_{DD}≦5.5V	2.125		39	μs
		AV_{REFP} = V_{DD}	2.7V≦V_{DD}＜4.0V	3.1875		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能	2.7V≦V_{DD}≦5.5V			±0.35	%FSR
		AV_{REFP} = V_{DD}					
フルスケール誤差[注1, 2]	EFS	10ビット分解能	2.7V≦V_{DD}≦5.5V			±0.35	%FSR
		AV_{REFP} = V_{DD}					
積分直線性誤差[注1]	ILE	10ビット分解能	2.7V≦V_{DD}≦5.5V			±3.5	LSB
		AV_{REFP} = V_{DD}					
微分直線性誤差[注1]	DLE	10ビット分解能	2.7V≦V_{DD}≦5.5V			±2.0	LSB
		AV_{REFP} = V_{DD}					
基準電圧(＋)	AV_{REFP}			2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}			0		AV_{REFP} かつEV_{DD0}	V
内部基準電圧(＋)	V_{BGR}	2.7V≦V_{DD}≦5.5V		1.38	1.45	1.5	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

（3）AV_{REF}(＋) = V_{DD}（ADREFP1 = 0, ADREFP0 = 0）, AV_{REF}(－) = V_{SS}（ADREFM = 0）選択時,
対象ANI端子：ANI0-ANI23, ANI24-ANI30

（T_A = －40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(＋) = V_{DD}, 基準電圧(－) = V_{SS}）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 ANI0-ANI23	4.0V≦V_{DD}≦5.5V		±1.2	±5.0	LSB
			2.7V≦V_{DD}＜4.0V		±1.2	±5.5	LSB
		10ビット分解能 ANI24-ANI30	4.0V≦V_{DD}≦5.5V		±1.2	±6.5	LSB
			2.7V≦V_{DD}＜4.0V		±1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能	4.0V≦V_{DD}≦5.5V	2.125		39	μs
			2.7V≦V_{DD}＜4.0V	3.1875		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 ANI0-ANI23	2.7V≦V_{DD}≦5.5V			±0.50	%FSR
		10ビット分解能 ANI24-ANI30	2.7V≦V_{DD}≦5.5V			±0.60	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 ANI0-ANI23	2.7V≦V_{DD}≦5.5V			±0.50	%FSR
		10ビット分解能 ANI24-ANI30	2.7V≦V_{DD}≦5.5V			±0.60	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 ANI0-ANI23	2.7V≦V_{DD}≦5.5V			±3.5	LSB
		10ビット分解能 ANI24-ANI30	2.7V≦V_{DD}≦5.5V			±4.0	LSB
微分直線性誤差[注1]	DLE	10ビット分解能	2.7V≦V_{DD}≦5.5V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI23[注3]		0		V_{DD}	V
		ANI24-ANI30[注3]		EV_{SS}		EV_{DD0}	V
内部基準電圧(＋)	V_{BGR}	2.7V≦V_{DD}≦5.5V		1.38	1.45	1.5	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 製品により端子数は異なります。詳細は「2.1　端子機能一覧」を参照してください。

（4）AV_{REF}(＋) = 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0）, AV_{REF}(－) = AV_{REFM}/ANI1（ADREFM = 1）選択時,
対象ANI端子：ANI0, ANI2-ANI23, ANI24-ANI30

（T_A = －40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(＋) = V_{BGR},
基準電圧(－) = AV_{REFM} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES				8		bit
変換時間	t_{CONV}	8ビット分解能	2.7V≦V_{DD}≦5.5V	17		39	μs
ゼロスケール誤差[注1, 2]	EZS	8ビット分解能	2.7V≦V_{DD}≦5.5V			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能	2.7V≦V_{DD}≦5.5V			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能	2.7V≦V_{DD}≦5.5V			±1.0	LSB
基準電圧（＋）	V_{BGR}			1.38	1.45	1.5	V
アナログ入力電圧	V_{AIN}			0		V_{BGR}	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

35.6.2　温度センサ特性

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定, T_A =＋25℃		1.1		V
リファレンス出力電圧	V_{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		−3.3		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

35.6.3　D/Aコンバータ特性

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					8	bit
総合誤差	AINL	Rload = 4MΩ	2.7V≦V_{DD}≦5.5V			±2.5	LSB
		Rload = 8MΩ	2.7V≦V_{DD}≦5.5V			±2.5	LSB
セトリング・タイム	t_{SET}	Cload = 20pF	2.7V≦V_{DD}≦5.5V			3	μs

35.6.4　コンパレータ特性

（T_A = −40～＋105℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOCMP}			±5	±40	mV
入力電圧範囲	V_{ICMP}		0		V_{DD}	V
応答時間	t_{CR}, t_{CF}	入力振幅±100mV		70	200	ns
入力チャネル切り替え時の安定待ち時間[注1]	t_{WAIT}	入力振幅±100mV	300			ns
動作安定待ち時間[注2]	t_{CMP}	3.3V≦V_{DD}≦5.5V	1			μs
		2.7V≦V_{DD}＜3.3V	3			μs

注1.　コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2.　コンパレータの動作許可（CMPCTLレジスタのHCMPONビット = 1）からコンパレータがDC/AC特性を満足できる状態になるまでの時間。

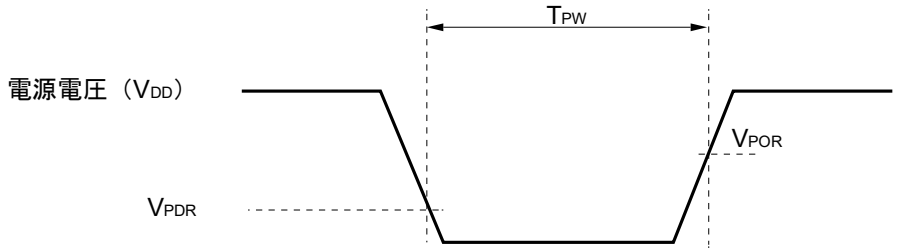
35.6.5　POR回路特性

（T_A = −40～＋105℃, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧[注1]	V_{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅[注2]	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注1.　POR回路の特性を示すものであり，下限動作電圧（2.7V）未満での通常動作を保証するものではありません。

2.　電源電圧（V_{DD}）がV_{PDR}を下回った場合に，POR回路によるリセット動作に必要な時間です。



35.6.6　LVD回路特性

（1）リセット・モード，割り込みモードのLVD検出電圧

（T_A = −40～＋105℃，$V_{PDR} \leqq EV_{DD0} = EV_{DD1} = V_{DD} \leqq 5.5V$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0V$）

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	4.62	4.74	4.84	V
			電源立ち下がり時	4.52	4.64	4.74	V
		V_{LVD1}	電源立ち上がり時	4.50	4.62	4.72	V
			電源立ち下がり時	4.40	4.52	4.62	V
		V_{LVD2}	電源立ち上がり時	4.30	4.42	4.51	V
			電源立ち下がり時	4.21	4.32	4.41	V
		V_{LVD3}	電源立ち上がり時	3.13	3.22	3.29	V
			電源立ち下がり時	3.07	3.15	3.22	V
		V_{LVD4}	電源立ち上がり時	2.95	3.02	3.09	V
			電源立ち下がり時	2.89	2.96	3.02	V
		V_{LVD5}	電源立ち上がり時	2.74	2.81	2.87	V
			電源立ち下がり時	2.68注	2.75	2.81	V
最小パルス幅		t_{LW}		300			μs
検出遅延		t_{LD}				300	μs

注　MIN.値は下限動作電圧（2.7V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7V時と同等の値での動作）できます。

（2）割り込み＆リセット・モードのLVD検出電圧

（T_A = −40～＋105℃，$V_{PDR} \leqq EV_{DD0} = EV_{DD1} = V_{DD} \leqq 5.5V$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0V$）

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み＆ リセット・モード	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1注1, 立ち下がりリセット電圧：2.75V		2.68注2	2.75	2.81	V
	V_{LVD2}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.51	V
			立ち下がり割り込み電圧	4.21	4.32	4.41	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0注1, 立ち下がりリセット電圧：2.75V		2.68注2	2.75	2.81	V
	V_{LVD1}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.72	V
			立ち下がり割り込み電圧	4.40	4.52	4.62	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1注1, 立ち下がりリセット電圧：2.75V		2.68注2	2.75	2.81	V
	V_{LVD3}	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.29	V
			立ち下がり割り込み電圧	3.07	3.15	3.22	V
	V_{LVD0}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.84	V
			立ち下がり割り込み電圧	4.52	4.64	4.74	V

注1.　オプション・バイトの設定値を示しています。

2.　MIN.値は下限動作電圧（2.7V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7V時と同等の値での動作）できます。

35.7　電源立ち上げ時間

（T_A = −40～＋105℃, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{vrmax}	0V→V_{DD}（VPOC2＝0または1[注2]）			50[注3]	V/ms
最小電源電圧立ち上げ傾き[注1]	S_{vrmin}	0V→2.7V	6.5			V/ms

注1.　最小電源電圧立ち上げ傾きは，以下の条件の場合にのみ適用対象になります。

電圧検出（LVD）回路が未使用（VPOC2＝1）かつ外部リセット回路未使用もしくはV_{DD}＝2.7Vまでリセットがかからない場合。

2.　オプション・バイトの設定値を示しています。

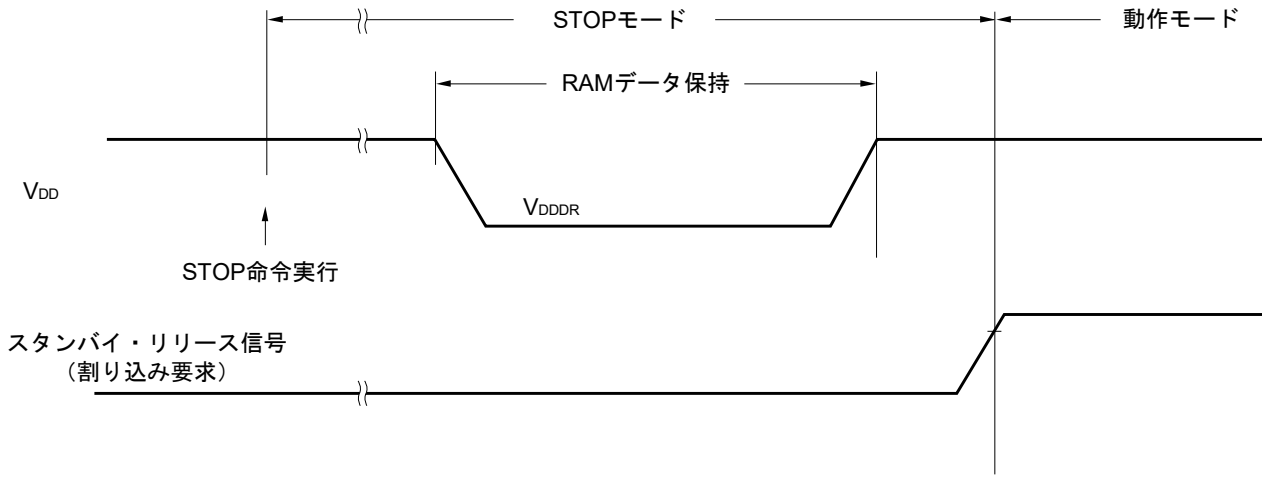
3.　電源がV_{PDR}以下に下降し，PORリセットが発生した場合は，0Vまで下降せずに復帰する場合も本スペックの適用対象になります。

35.8　RAMデータ保持特性

（T_A = −40～＋105℃, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持しません。



35.9　フラッシュ・メモリ・プログラミング特性

（T_A = －40～＋105℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}		1		32	MHz
コード・フラッシュの書き換え回数注1, 2, 3	C_{erwr}	保持20年 T_A =＋85℃注4	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持20年 T_A =＋85℃注4	10,000			
		保持5年 T_A =＋85℃注4	100,000			
消去時間	T_{erasa}	ブロック消去	5			ms
書き込み時間	T_{wrwa}	1ワード書き込み	10			μs

注1.　消去1回＋消去後の書き込み1回を書き換え回数1回とします。保持年数の起点は消去後からとなります。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。

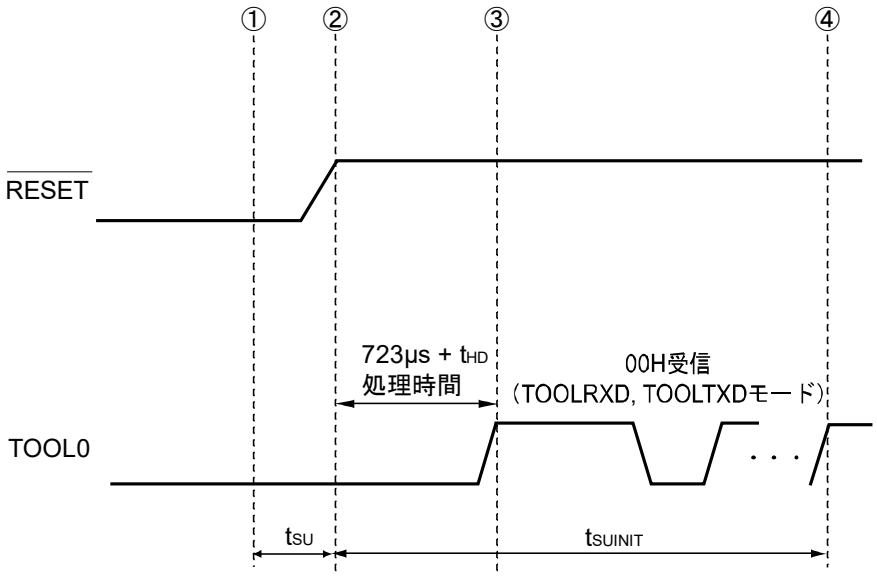
3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

4.　保持の平均温度です。

35.10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（T_A = −40～＋85 ℃, 2.7 V ≦ EV_{DD0} = EV_{DD1} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第36章　電気的特性（Kグレード）

注意1. RL78/F15には，開発／評価用にオンチップ・デバッグ機能を搭載しています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は，EV_{DD0}とEV_{DD1}をV_{DD}に，EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。

3. 製品により搭載している端子が異なります。詳細は，「1.5　端子接続図」および「2.1　端子機能一覧」を参照してください。

36.1　絶対最大定格

（1/2）

項目	略号	条件	定格	単位
電源電圧	V_{DD}		−0.5〜+6.5	V
	EV_{DD0}, EV_{DD1}	$EV_{DD0} = EV_{DD1}$	−0.5〜+6.5	V
	V_{SS}		−0.5〜+0.3	V
	EV_{SS0}, EV_{SS1}	$EV_{SS0} = EV_{SS1}$	−0.5〜+0.3	V
REGC端子入力電圧	V_{IREGC}	REGC	−0.3〜+2.8 かつ−0.3〜V_{DD}+0.3注1	V
入力電圧	V_{I1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	−0.3〜$EV_{DD0} = EV_{DD1}$+0.3 かつ−0.3〜V_{DD}+0.3注2	V
	V_{I2}	P33, P34, P80-P87, P90-P97, P100-P105, P121-P124, P137, $\overline{\text{RESET}}$	−0.3〜V_{DD}+0.3注2	V
出力電圧	V_{O1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77,P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167	−0.3〜$EV_{DD0} = EV_{DD1}$+0.3 かつ−0.3〜V_{DD}+0.3注2	V
	V_{O2}	P33, P34, P80-P87, P90-P97, P100-P105	−0.3〜V_{DD}+0.3	V
アナログ入力電圧	V_{AI1}	ANI24-ANI30	−0.3〜$EV_{DD0} = EV_{DD1}$+0.3 かつ−0.3〜$AV_{REF(+)}$+0.3注2, 3	V
	V_{AI2}	ANI0-ANI23	−0.3〜V_{DD}+0.3 かつ−0.3〜$AV_{REF(+)}$+0.3注2, 3	V

注1. REGC端子にはコンデンサ（0.47〜1μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5V以下であること。

3. A/D変換対象の端子は，$AV_{REF(+)}$+0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

（2/2）

項目	略号	条件		定格	単位
ハイ・レベル出力電流	I_{OH1}	1端子	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167	−40	mA
		端子合計 −170 mA	P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167	−70	mA
			P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157	−100	mA
	I_{OH2}	1端子	P33, P34, P80-P87, P90-P97, P100-P105	−0.5	mA
		端子合計		−2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167	40	mA
		端子合計 170 mA	P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167	70	mA
			P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157	100	mA
	I_{OL2}	1端子	P33, P34, P80-P87, P90-P97, P100-P105	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		−40～＋125	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			−65～＋150	℃

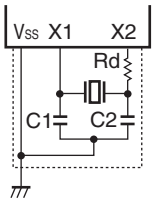
注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

36.2　発振回路特性

36.2.1　メイン・システム・クロック発振回路特性

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子／水晶振動子		X1クロック発振周波数（f_X）	2.7V≦V_{DD}≦5.5V	1.0		20.0	MHz

注意1.　X1発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　発振子の選択および発振回路定数については，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。また，お客様のシステムにて十分な発振評価をしてください。X1クロックの発振安定時間は，使用する発振子で発振安定時間を十分に評価してから，発振安定時間カウンタ状態レジスタ（OSTC）と発振安定時間選択レジスタ（OSTS）で発振安定時間を決定してください。

36.2.2　オンチップ・オシレータ特性

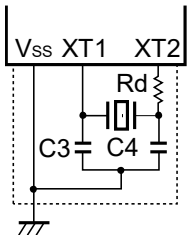
（T_A = −40～+125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ発振周波数[注]	f_{IH}		1		48	MHz
高速オンチップ・オシレータ発振周波数精度	−		−3		+3	%
低速オンチップ・オシレータ発振周波数	f_{IL}, f_{WDT}			15		kHz
低速オンチップ・オシレータ発振周波数精度	−		−15		+15	%

注　高速オンチップ・オシレータの周波数は，オプション･バイト（000C2H/020C2H）のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

36.2.3　サブシステム・クロック発振回路特性

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数（f_{XT}）	2.7V≦V_{DD}≦5.5V	29.0	32.768	35.0	kHz

注意1.　XT1発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

・配線は極力短くする。

・他の信号線と交差させない。

・変化する大電流が流れる線に接近させない。

・発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。

・大電流が流れるグランド・パターンに接地しない。

・発振回路から信号を取り出さない。

2.　XT1発振回路は，低消費電力にするために増幅度の低い回路になっていますので，システムにて十分な発振評価をしてください。発振子の選択および発振回路定数は，発振子メーカ様にお問い合わせいただく等，お客様にて決めてください。

36.2.4　PLL回路特性

（T_A = −40～+125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

発振子	略号	条件		MIN.	TYP.	MAX.	単位
PLL入力可能クロック周波数[注1]	f_{PLLI}	PLLMUL = 0	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
		PLLMUL = 1	PLLDIV0 = 0	3.92	4.0	4.08	MHz
			PLLDIV0 = 1	7.84	8.0	8.16	MHz
PLL出力周波数（センター値）	f_{PLL}	PLLMUL = 0	PLLDIV0 = 0	f_{PLLI}×12/2			MHz
			PLLDIV0 = 1	f_{PLLI}×12/4			MHz
		PLLMUL = 1[注3]	PLLDIV0 = 0[注3]	f_{PLLI}×16/2			MHz
			PLLDIV0 = 1	f_{PLLI}×16/4			MHz
ロングターム・ジッタ[注2, 3]	t_{LJ}	f_{PLL} = 24MHz（480カウント）		−2		+2	ns
		f_{PLL} = 32MHz（640カウント）		−2		+2	ns
		f_{PLL} = 48MHz（960カウント）		−2		+2	ns

注1. PLL入力クロックが高速オンチップ・オシレータ・クロックの場合、MIN, MAX値は高速オンチップ・オシレータ発振周波数精度の範囲になります。

2. 本特性は設計保証であり，出荷時のテストは行いません。

3. 20μsの期間を意味しています。

4. f_{PLLI}＞6MHzのとき，PLLMUL = 1かつPLLDIV0 = 0は設定禁止です。

36.3　DC特性

36.3.1　端子特性

各項目の対応するポートについては「第4章　ポート機能」を参照してください。

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（1/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流[注1]	I_{OH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167 1端子	4.0V≦EV_{DD0}≦5.5V			−5.0	mA
			2.7V≦EV_{DD0}＜4.0V			−3.0	mA
		P10, P12, P14, P30, P120, P140 1端子（特殊スルー・レート）	4.0V≦EV_{DD0}≦5.5V			−0.6	mA
			2.7V≦EV_{DD0}＜4.0V			−0.2	mA
		P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167 合計 (デューティ≦70%時[注2])	4.0V≦EV_{DD0}≦5.5V			−20.0	mA
			2.7V≦EV_{DD0}＜4.0V			−10.0	mA
		P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157 合計 (デューティ≦70%時[注2])	4.0V≦EV_{DD0}≦5.5V			−30.0	mA
			2.7V≦EV_{DD0}＜4.0V			−19.0	mA
		全端子合計 (デューティ≦70%時[注2])	4.0V≦EV_{DD0}≦5.5V			−42.0	mA
			2.7V≦EV_{DD0}＜4.0V			−29.0	mA
	I_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105 1端子	2.7V≦V_{DD}≦5.5V			−0.1	mA
		端子合計 (デューティ≦70%時[注2])	2.7V≦V_{DD}≦5.5V			−2.0	mA

注1.　EV_{DD0}, EV_{DD1}, V_{DD}端子から出力端子に流れ出してもデバイスの動作を保証する電流値です。

2.　デューティ≦ 70 %の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH} × 0.7）／（n × 0.01）

＜計算例＞ I_{OH} = −10.0 mAの場合，n = 80 %

端子合計の出力電流=（−10.0 × 0.7）／（80 × 0.01）≒ −8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（2/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流[注1]	I_{OL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167 1端子	4.0V≦EV_{DD0}≦5.5V			8.5	mA
			2.7V≦EV_{DD0}＜4.0V			4.0	mA
		P10, P12, P14, P30, P120, P140 1端子（特殊スルー・レート）	4.0V≦EV_{DD0}≦5.5V			0.59	mA
			2.7V≦EV_{DD0}＜4.0V			0.07	mA
		P01, P02, P40-P47, P110-P117, P120, P125-P127, P131-P136, P150-P153, P160-P167 合計 (デューティ≦70%時[注2])	4.0 V≦EV_{DD0}≦5.5 V			20.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			15.0	mA
		P00, P03-P07, P10-P17, P20-P27, P30-P32, P35-P37, P50-P57, P60-P67, P70-P77, P106, P107, P130, P140-P147, P154-P157 合計 (デューティ≦70%時[注2])	4.0 V≦EV_{DD0}≦5.5 V			45.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			35.0	mA
		全端子合計 (デューティ≦70%時[注2])	4.0 V≦EV_{DD0}≦5.5 V			65.0	mA
			2.7 V≦EV_{DD0}＜4.0 V			50.0	mA
	I_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105 1端子	2.7 V≦V_{DD}≦5.5 V			0.4	mA
		端子合計 (デューティ≦70%時[注2])	2.7 V≦V_{DD}≦5.5 V			5.0	mA

注1.　出力端子からEV_{SS0}，EV_{SS1}，V_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2.　デューティ≦ 70 %の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80 %

端子合計の出力電流=（10.0×0.7）／（80×0.01）≒ 8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（3/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167（Schmitt 1モード）	4.0 V≦EV_{DD0}≦5.5 V	0.65 EV_{DD0}		EV_{DD0}注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.7 EV_{DD0}		EV_{DD0}注	V
	V_{IH2}	P00, P10, P11, P13, P14, P16, P17, P20, P21, P24, P25, P30, P37, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152-P154, P156（Schmitt 3モード）	4.0 V≦EV_{DD0}≦5.5 V	0.8 EV_{DD0}		EV_{DD0}注	V
			2.7 V≦EV_{DD0}＜4.0 V	0.85 EV_{DD0}		EV_{DD0}注	V
	V_{IH3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTLモード）	4.0 V≦EV_{DD0}≦5.5 V	2.2		EV_{DD0}注	V
			2.7 V≦EV_{DD0}＜4.0 V	2.0		EV_{DD0}注	V
	V_{IH4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.85 V_{DD}		V_{DD}	V
	V_{IH5}	$\overline{\text{RESET}}$（Schmitt 1モード固定）	4.0 V≦V_{DD}≦5.5 V	0.65 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.7 V_{DD}		V_{DD}	V
	V_{IH6}	P121-P124, EXCLK, EXCLKS（Schmitt 2モード固定）	4.0 V≦V_{DD}≦5.5 V	0.8 V_{DD}		V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0.8 V_{DD}		V_{DD}	V

注　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時でもV_{IH}の最大値はEV_{DD0}です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（4/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167（Schmitt 1モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.35 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.3 EV_{DD0}	V
	V_{IL2}	P00, P10, P11, P13, P14, P16, P17, P20, P21, P24, P25, P30, P37, P43, P50, P52-P54, P60-P63, P70, P71, P73, P75-P77, P107, P125, P150, P152-P154, P156（Schmitt 3モード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.5 EV_{DD0}	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.4 EV_{DD0}	V
	V_{IL3}	P10, P11, P13, P14, P16, P17, P30, P54, P62, P63, P70, P71, P73, P125（TTLモード）	4.0 V≦EV_{DD0}≦5.5 V	0		0.8	V
			2.7 V≦EV_{DD0}＜4.0 V	0		0.5	V
	V_{IL4}	P33, P34, P80-P87, P90-P97, P100-P105, P137（Schmitt 3モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.5 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.4 V_{DD}	V
	V_{IL5}	$\overline{\text{RESET}}$（Schmitt 1モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.35 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.3 V_{DD}	V
	V_{IL6}	P121-P124, EXCLK, EXCLKS（Schmitt 2モード固定）	4.0 V≦V_{DD}≦5.5 V	0		0.2 V_{DD}	V
			2.7 V≦V_{DD}＜4.0 V	0		0.2 V_{DD}	V

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（5/6）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	V_{OH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130 -P136, P140-P147, P150-P157, P160-P167（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH1} = −5.0 mA	EV_{DD0}−0.9			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −3.0 mA	EV_{DD0}−0.7			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH1} = −1.0 mA	EV_{DD0}−0.5			V
	V_{OH2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V I_{OH2} = −100 μA	V_{DD}−0.5			V
	V_{OH3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.6 mA	EV_{DD0}−0.8			V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OH3} = −0.2 mA	EV_{DD0}−0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167（通常スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			4.0 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.4	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 4.0 mA			0.7	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
	V_{OL2}	P33, P34, P80-P87, P90-P97, P100-P105	2.7 V≦V_{DD}≦5.5 V I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P10, P12, P14, P30, P120, P140（特殊スルー・レート）	4.0 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.6 mA			0.8	V
			2.7 V≦EV_{DD0}≦5.5 V, I_{OL3} = 0.07 mA			0.5	V

注意　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（6/6）

項目	略号	条件			MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77,P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	$V_I = EV_{DD0}$				1	μA
	I_{LIH2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, $\overline{\text{RESET}}$	$V_I = V_{DD}$				1	μA
	I_{LIH3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	$V_I = V_{DD}$	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	$V_I = EV_{SS0}$				−1	μA
	I_{LIL2}	P33, P34, P80-P87, P90-P97, P100-P105, P137, $\overline{\text{RESET}}$	$V_I = V_{SS}$				−1	μA
	I_{LIL3}	P121-P124（X1, X2, XT1, XT2, EXCLK, EXCLKS）	$V_I = V_{SS}$	入力ポート時，外部クロック入力時			−1	μA
				発振子接続時			−10	μA
内蔵プルアップ抵抗	R_U	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P131-P136, P140-P147, P150-P157, P160-P167	$V_I = EV_{SS0}$，入力ポート時		10	20	100	kΩ

注意　P10-P17, P60-P63, P70-P72, P120は，N-chオープン・ドレーン・モード時にはハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

36.3.2　電源電流特性

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（1/3）

項目	略号	条件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	通常動作[注2]	高速オンチップ・オシレータ・クロック動作	f_{IH} = 48 MHz	f_{CLK} = 24 MHz [注3, 4]		6.1	13.5	mA
					f_{IH} = 24 MHz	f_{CLK} = f_{IH}[注3, 4]		5.8	12.5	mA
					f_{IH} = 1 MHz	f_{CLK} = f_{IH}[注3, 4]		1.2	2.8	mA
				発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX}[注3, 5]		5.1	10.0	mA
					f_{MX} = 1 MHz	f_{CLK} = f_{MX}[注3, 5]		1.1	3.0	mA
				発振子動作（PLL動作）（PLL入力クロック = f_{MX}）	f_{PLL} = 48 MHz, f_{MX} = 8 MHz	f_{CLK} = 24 MHz [注3, 6]		6.1	13.5	mA
					f_{PLL} = 24 MHz, f_{MX} = 8 MHz	f_{CLK} = 24 MHz [注3, 6]		6.1	12.5	mA
					f_{PLL} = 24 MHz, f_{MX} = 4 MHz	f_{CLK} = 24 MHz [注3, 6]		5.8	12.5	mA
				サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB}[注7]		7.1	170.0	μA
				低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL}[注8]		3.6	160.0	μA

注1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。ただし，I/Oバッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. CPU全命令実行時の電流。

3. MAX.値にはバックグランド・オペレーション（BGO）動作を除く周辺動作電流を含みます。ただし，LVD回路，A/Dコンバータ，D/Aコンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。

5. サブシステム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. 高速システム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX}：高速システム・クロック周波数

2. f_{SUB}：サブシステム・クロック周波数

3. f_{PLL}：PLLクロック周波数

4. f_{IH}：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　　（2/3）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流注1, 3	I_{DD2}	HALT モード注2	高速オンチップ・オシレータ・クロック動作	f_{IH} = 48 MHz	f_{CLK} = 24 MHz 注5		1.0	9.0	mA
				f_{IH} = 24 MHz	f_{CLK} = f_{IH}注5		0.8	8.0	mA
				f_{IH} = 1 MHz	f_{CLK} = f_{IH}注5		0.3	1.7	mA
			発振子動作	f_{MX} = 20 MHz	f_{CLK} = f_{MX}注6		0.7	7.0	mA
				f_{MX} = 1 MHz	f_{CLK} = f_{MX}注6		0.2	1.7	mA
			発振子動作（PLL動作）（PLL入力クロック = f_{MX}）	f_{PLL} = 48 MHz, f_{MX} = 8 MHz	f_{CLK} = 24 MHz 注7		1.0	9.0	mA
				f_{PLL} = 24 MHz, f_{MX} = 8 MHz	f_{CLK} = 24 MHz 注7		0.9	8.0	mA
				f_{PLL} = 24 MHz, f_{MX} = 4 MHz	f_{CLK} = 24 MHz 注7		0.8	8.0	mA
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz	f_{CLK} = f_{SUB}注8		0.7	160.0	μA
			低速オンチップ・オシレータ・クロック動作	f_{IL} = 15 kHz	f_{CLK} = f_{IL}注9		0.7	150.0	μA
	I_{DD3}	STOP モード注4	T_A = ＋25℃				0.5		μA
			T_A = ＋50℃					4.5	
			T_A = ＋70℃					8.0	
			T_A = ＋105℃					50.0	
			T_A = ＋125℃					100.0	

注1. V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。ただし，I/Oバッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2. フラッシュ・フェッチ中にHALTモードに遷移した場合です。

3. MAX.値には周辺動作電流，STOPリーク電流を含みます。ただし，ウォッチドッグ・タイマ，LVD回路，A/Dコンバータ，D/Aコンバータ，コンパレータは停止。

4. 高速システム・クロック，サブシステム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

5. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび低速オンチップ・オシレータ・クロック停止時。

6. サブシステム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

7. サブシステム・クロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

8. 高速システム・クロック，PLLクロック，高速オンチップ・オシレータ・クロックおよび低速オンチップ・オシレータ・クロック停止時。

9. 高速システム・クロック，サブシステム・クロック，PLLクロックおよび高速オンチップ・オシレータ・クロック停止時。

備考1. f_{MX}：高速システム・クロック周波数

2. f_{SUB}：サブシステム・クロック周波数

3. f_{PLL}：PLLクロック周波数

4. f_{IH}：高速オンチップ・オシレータ・クロック周波数

5. f_{IL}：低速オンチップ・オシレータ・クロック周波数

6. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（3/3）

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流[注1, 2]	I_{SNOZ}	SNOOZEモード	A/Dコンバータ動作	モード遷移中			1.0	1.7	mA
				変換動作中	標準モード AV_{REFP} = V_{DD} = 5.0V		2.1	3.4	mA
			DTC動作				5.5		mA

注1.　V_{DD}, EV_{DD0}, EV_{DD1}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}, EV_{DD1}またはV_{SS}, EV_{SS0}, EV_{SS1}に固定した状態での入力リーク電流を含みます。ただし，I/Oバッファ，内蔵プルアップ／プルダウン抵抗に流れる電流は含みません。

2.　MAX.値にはSTOPリーク電流を含みます。

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
ウィンドウ・ウォッチドッグ・タイマ動作電流	I_{WDT}注1, 2	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC}注3	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
		内部基準電圧選択時注5			75.0		μA
LVD動作電流	I_{LVD}注4				0.08		μA
温度センサ動作電流	I_{TMPS}				75.0		μA
D/Aコンバータ動作電流	I_{DAC}	1チャネル当たり			0.8	1.5	mA
コンパレータ動作電流	I_{CMP}				50.0		μA
BGO動作電流	I_{BGO}注6				2.50	12.20	mA

注1. 高速オンチップ・オシレータ・クロック，高速システム・クロックは停止時。

2. ウォッチドッグ・タイマにのみ流れる電流です（15 kHzオンチップ・オシレータの動作電流を含みます）。STOPモード時にウォッチドッグ・タイマが動作中の場合，I_{DD1}またはI_{DD2}またはI_{DD3}にI_{WDT}を加算した値が電流値となります。

3. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合，I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が電流値となります。

4. LVD回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVD回路が動作中の場合，I_{DD1}またはI_{DD2}またはI_{DD3}にI_{LVD}を加算した値が電流値となります。

5. 内部基準電圧選択時に増加する動作電流を示します。変換停止中にも流れる電流です。

6. BGOの動作電流です。動作モードまたはHALTモード時にBGOが動作中の場合，I_{DD1}またはI_{DD2}にI_{BGO}を加算した値が電流値となります。

36.4　AC特性

36.4.1　基本動作

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（1/2）

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル（最小命令実行時間）	T_{CY}	高速オンチップ・オシレータ・クロック動作		0.04166		1	μs
		高速システム・クロック動作		0.05		1	μs
		PLLクロック動作		0.04166		1	μs
		サブシステム・クロック動作		28.5	30.5	34.5	μs
		低速オンチップ・オシレータ・クロック動作			66.6		μs
		セルフ・プログラミング時		0.04166		1	μs
CPU／周辺ハードウェア・クロック周波数	f_{CLK}			0.04166		66.6	μs
外部システム・クロック周波数	f_{EX}			1.0		20.0	MHz
	f_{EXS}			29		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}			24			ns
	t_{EXHS}, t_{EXLS}			13.7			μs
TI00-TI07, TI10-TI17, TI20-TI27入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}			1/f_{MCK}＋10			ns
TO00-TO07, TO10-TO17, TO20-TO27出力周波数	f_{TO}	すべてのTO端子 通常スルー・レート C = 30 pF	4.0V≦EV_{DD0}≦5.5V			12	MHz
			2.7V≦EV_{DD0}＜4.0V			6	MHz
		TO01, TO06, TO07, TO11, TO13のみ 特殊スルー・レート C = 30 pF				2	MHz
PCLBUZ0出力周波数	f_{PCL}	通常スルー・レート C = 30 pF	4.0V≦EV_{DD0}≦5.5V			12	MHz
			2.7V≦EV_{DD0}＜4.0V			6	MHz
		特殊スルー・レート C = 30 pF				2	MHz
タイマRJ入力サイクル	t_C	TRJIO0		100			ns
タイマRJ入力ハイ・レベル幅，ロウ・レベル幅	t_{TWH}, t_{TWL}	TRJIO0		40			ns
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP15[注]		1			μs
KR0-KR7キー割り込み入力ロウ・レベル幅	t_{KR}			250			ns
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}			10			μs

注　$\overline{\text{RESET}}$，INTP0-INTP3，INTP12，INTP13にはMIN. 100 nsのノイズ・フィルタを持ちます。

注意　発振周波数精度誤差を除きます。

備考　f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。

（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）　（2/2）

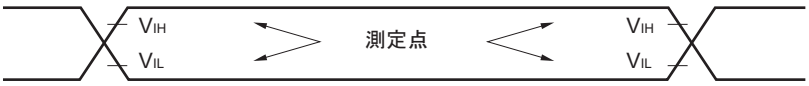
項目	略号	条件		MIN.	TYP.	MAX.	単位
ポート出力立ち上がり時間, 立ち下がり時間	t_{RO}, t_{FO}	P00-P07, P10-P17, P20-P27, P30-P32, P35-P37, P40-P47, P50-P57, P60-P67, P70-P77, P106, P107, P110-P117, P120, P125-P127, P130-P136, P140-P147, P150-P157, P160-P167（通常スルー・レート） C = 30 pF	4.0V≦EV_{DD0}≦5.5V			25	ns
			2.7V≦EV_{DD0}＜4.0V			55	ns
		P10, P12, P14, P30, P120, P140（特殊スルー・レート） C = 30 pF	4.0V≦EV_{DD0}≦5.5V		25注	60	ns
			2.7V≦EV_{DD0}＜4.0V			100	ns

注　T_A = ＋25℃, EV_{DD0} = 5.0 V時。

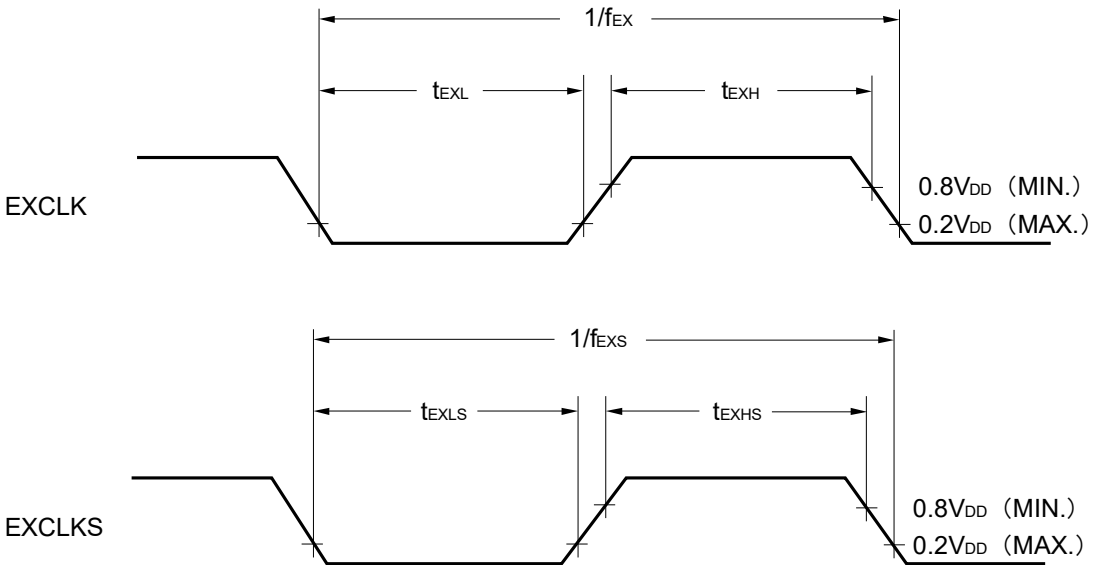
注意　発振周波数精度誤差を除きます。

備考　f_{MCK}：タイマ・アレイ·ユニットの動作クロック周波数。

・ACタイミング測定点

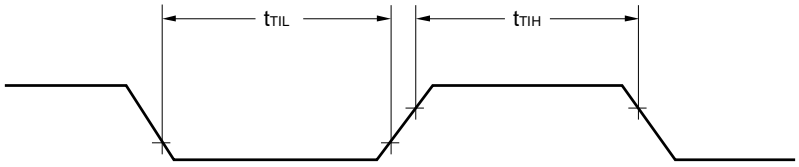


・外部システム・クロック・タイミング

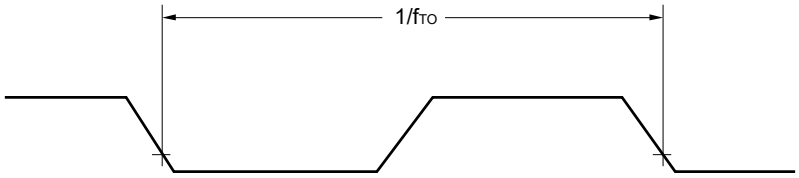


・TI/TOタイミング

TI00-TI07, TI10-TI17, TI20-TI27

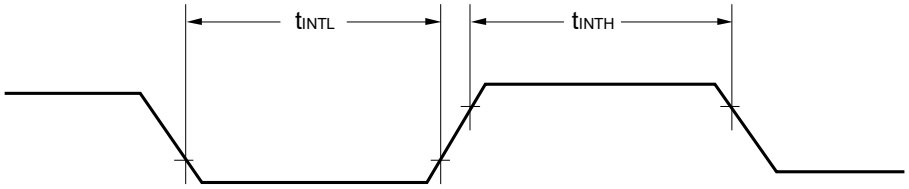


TO00-TO07, TO10-TO17, TO20-TO27



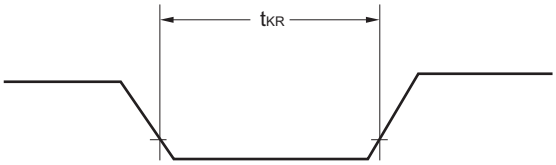
・割り込み要求入力タイミング

INTP0-INTP15



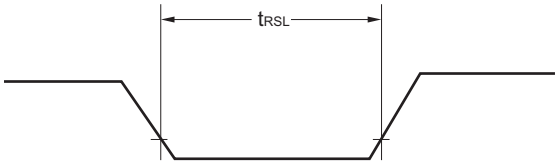
・キー割り込み入力タイミング

KR0-KR7



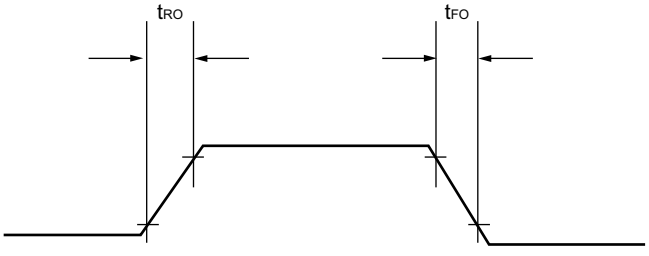
・$\overline{\text{RESET}}$入力タイミング

$\overline{\text{RESET}}$



・出力立ち上がり，立ち下がりタイミング

出力端子



36.5　周辺機能特性

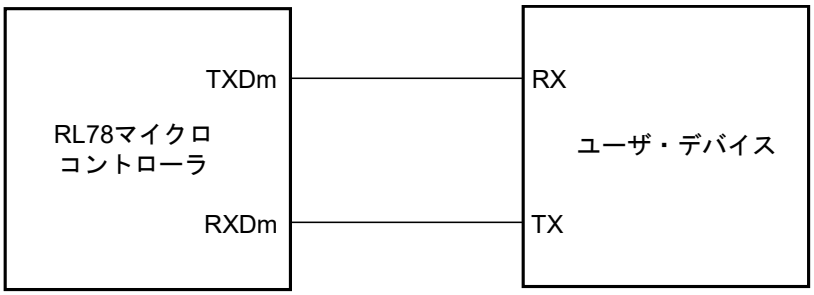
36.5.1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

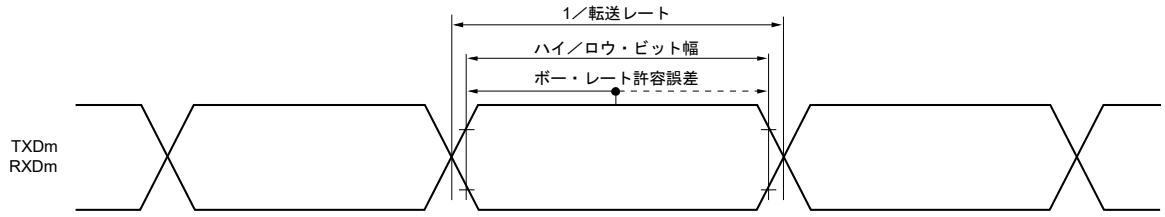
（T_A = −40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	−					f_{MCK}/6	bps
		f_{CLK} = 24 MHz, f_{MCK} = f_{CLK}	通常スルー・レート			4	Mbps
			特殊スルー・レート			2	Mbps

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



注意　RXD0, RXD1端子は通常入力バッファ（RXD2端子は通常入力モード固定），TXD0, TXD1端子は通常出力モードを選択（TXD2端子は通常出力モード固定）。

備考1.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

2.　m：ユニットm（m = 0-2）

（2）同電位通信時（CSIモード）（マスタ・モード，$\overline{SCKp}$…内部クロック出力，通常スルー・レート）

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}		166.6[注4]			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0V≦EV_{DD0}≦5.5V	t_{KCY1}/2−12			ns
		2.7V≦EV_{DD0}＜4.0V	t_{KCY1}/2−18			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）[注1]	t_{SIK1}	4.0V≦EV_{DD0}≦5.5V	55			ns
		2.7V≦EV_{DD0}＜4.0V	66			ns
SIpホールド時間（対$\overline{SCKp}$↑）[注1]	t_{KSI1}		30			ns
$\overline{SCKp}$↓→SOp出力遅延時間[注2]	t_{KSO1}	C = 30pF[注3]			40	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

4. かつt_{KCY1}≧4/f_{MCK}

注意　SIp端子は通常入力バッファ，SOp端子と$\overline{SCKp}$端子は通常出力モードを選択。

備考　p：CSIp（p = 00, 01, 10, 11, 20, 21），m：ユニットm（m = 0-2），n：チャネルn（n = 0, 1）

（3）同電位通信時（CSIモード）（マスタ・モード，$\overline{SCKp}$…内部クロック出力，特殊スルー・レート）

（T_A = −40～＋125℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム	t_{KCY1}		500注4			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}		t_{KCY1}/2−60			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK1}		120			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI1}		80			ns
$\overline{SCKp}$↓→SOp出力遅延時間注2	t_{KSO1}	C = 30pF注3			90	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

4. かつt_{KCY1}≧4/f_{MCK}

注意　SIp端子は通常入力バッファ，SOp端子と$\overline{SCKp}$端子は通常出力モードかつ特殊スルー・レートを選択。

備考　p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

（4）同電位通信時（CSIモード）（スレーブ・モード，$\overline{SCKp}$…外部クロック入力，通常スルー・レート）

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム注4	t_{KCY2}			8/f_{MCK}			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}			t_{KCY2}/2			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK2}			1/f_{MCK}＋20			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI2}			1/f_{MCK}＋31			ns
$\overline{SCKp}$↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3	4.0V≦V_{DD} = EV_{DD0} = EV_{DD1}≦5.5V			2/f_{MCK}＋44	ns
			2.7V≦V_{DD} = EV_{DD0} = EV_{DD1}＜4.0V			2/f_{MCK}＋57	ns
$\overline{SSIp}$セットアップ時間	t_{SSIK}	DAP＝0		120			ns
		DAP＝1		1/f_{MCK}＋120			ns
$\overline{SSIp}$ホールド時間	t_{KSSI}	DAP＝0		1/f_{MCK}＋120			ns
		DAP＝1		120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

4. SNOOZEモードでの転送レートは，MAX.：1 Mbpsです。

注意　SIp, $\overline{SCKp}$端子および$\overline{SSIp}$端子は通常入力バッファ，SOp端子は通常出力モードを選択。

備考1. p：CSIp（p = 00, 01, 10, 11, 20, 21），$\overline{SSIp}$（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（5）同電位通信時（CSIモード）（スレーブ・モード，$\overline{SCKp}$…外部クロック入力，特殊スルー・レート）

（T_A = −40～＋125℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム	t_{KCY2}	20MHz＜f_{MCK}	10/f_{MCK}			ns
		10MHz＜f_{MCK}≦20MHz	8/f_{MCK}			ns
		f_{MCK}≦10MHz	6/f_{MCK}			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}		t_{KCY2}/2			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK2}		1/f_{MCK}＋50			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI2}		1/f_{MCK}＋50			ns
$\overline{SCKp}$↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3			2/f_{MCK}＋80	ns
$\overline{SSIp}$セットアップ時間	t_{SSIK}	DAP＝0	120			ns
		DAP＝1	1/f_{MCK}＋120			ns
$\overline{SSIp}$ホールド時間	t_{KSSI}	DAP＝0	1/f_{MCK}＋120			ns
		DAP＝1	120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

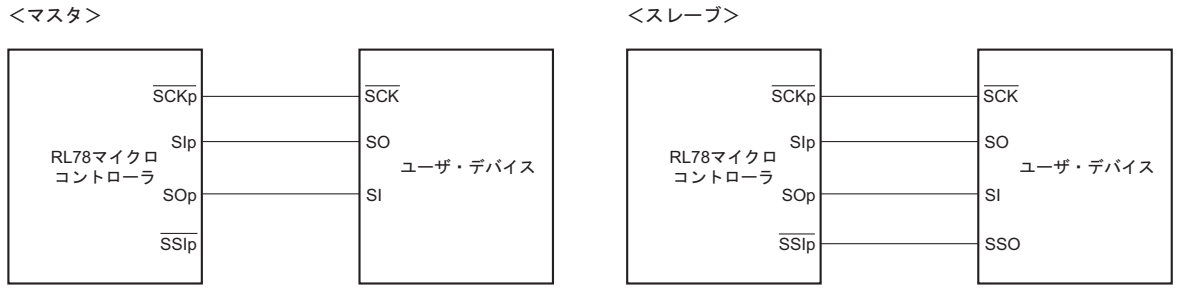
3. Cは，$\overline{SCKp}$, SOp出力ラインの負荷容量です。

注意　SIp, $\overline{SCKp}$端子および$\overline{SSIp}$端子は通常入力バッファ，SOp端子は通常出力モードかつ特殊スルー・レートを選択。

備考1. p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

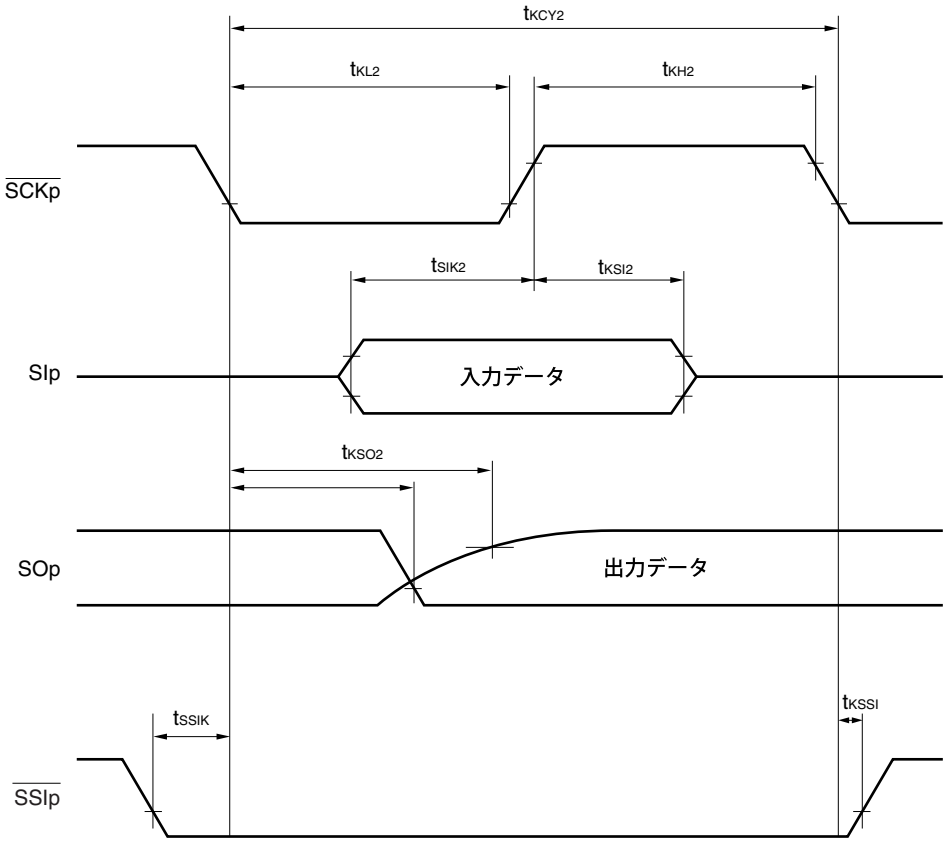
2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

CSIモード接続図（同電位通信時）



CSIモード・シリアル転送タイミング（同電位通信時）

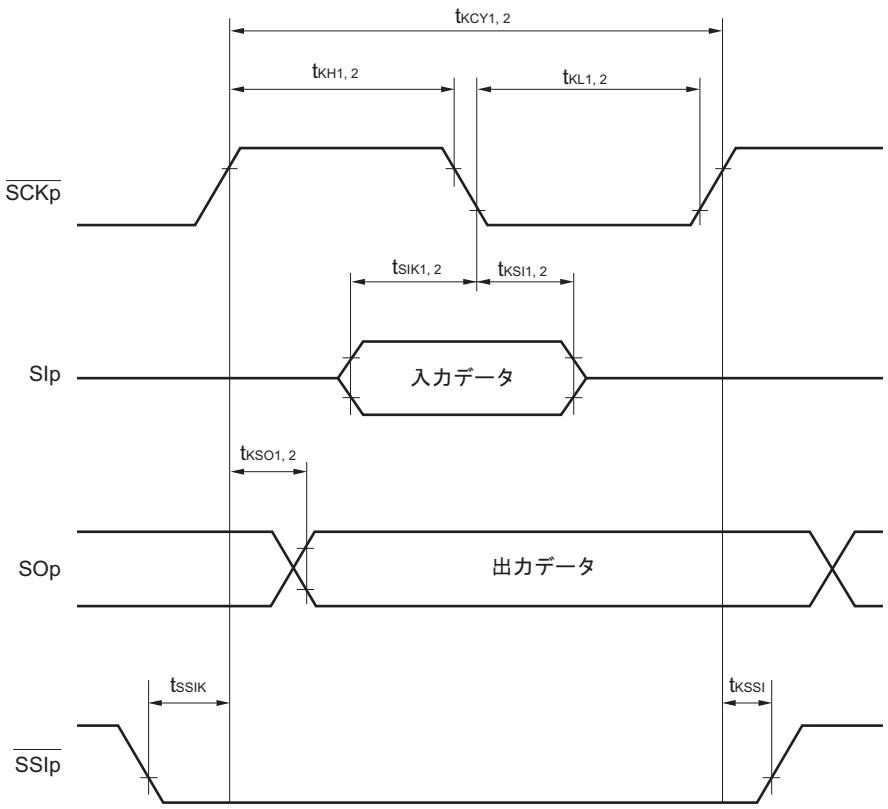
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



備考　p：CSIp（p = 00, 01, 10, 11, 20, 21），$\overline{\text{SSIp}}$（p = 00, 01, 10, 11），m：ユニットm（m = 0-2），n：チャネルn（n = 0, 1）

CSIモード・シリアル転送タイミング（同電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考　p：CSIp（p = 00, 01, 10, 11, 20, 21），$\overline{\text{SSIp}}$（p = 00, 01, 10, 11），m：ユニットm（m = 0-2），n：チャネルn（n = 0, 1）

（6）同電位通信時（簡易I^2Cモード）

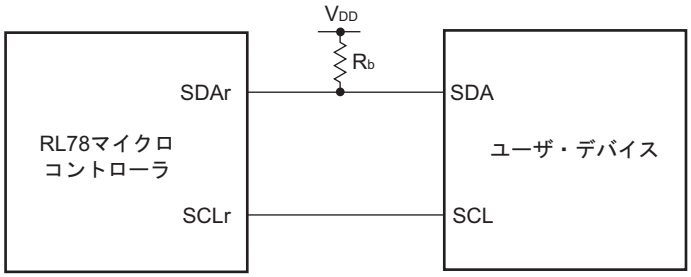
（SDArはN-chオープン・ドレーン出力（EV_{DD0}耐圧）モード，SCLrは通常出力モード）

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

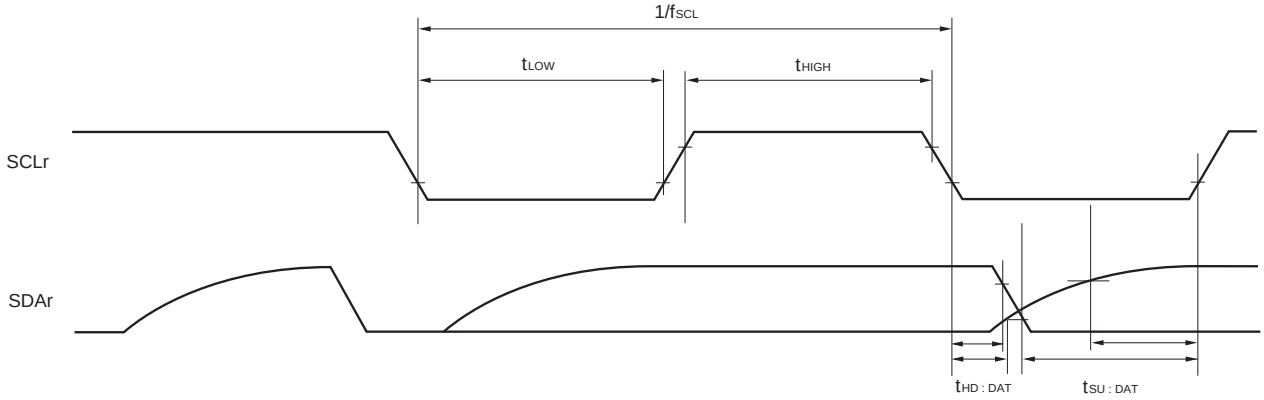
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCLrクロック周波数	f_{SCL}				1000注	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}		475			ns
SCLr = ”H”のホールド・タイム	t_{HIGH}		475			ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		1/f_{MCK}＋85			ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	C_b = 50pF, R_b = 2.7kΩ	0		305	ns

注　かつf_{CLK}≦f_{MCK}/4

簡易I^2Cモード接続図（同電位通信時）



簡易I^2Cモード・シリアル転送タイミング（同電位通信時）



注意　SDAr端子は通常入力バッファかつN-chオープン・ドレーン出力モード，SCLr端子は通常出力モードを選択。

備考1.　R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値，C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

2.　r：IICr（r = 00, 01, 10, 11）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（7）同電位通信時（簡易I^2Cモード）

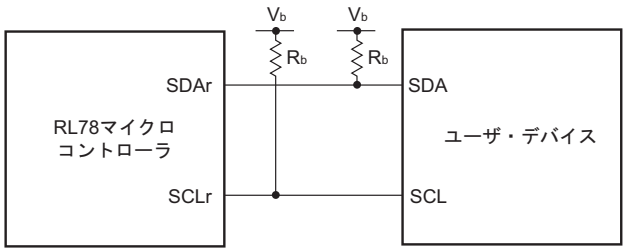
（SDAr，SCLrはN-chオープン・ドレーン出力（EV_{DD0}耐圧）モード）

（T_A = －40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}			400[注]	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1300		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
SCLr = ”H”のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	600		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	1/f_{MCK}＋120		ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK}＋270		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 1.7 kΩ	0	300	ns
		2.7 V≦V_{DD}＜4.0 V, C_b = 100 pF, R_b = 2.7 kΩ			

注　かつf_{CLK}≦f_{MCK}/4

簡易I^2Cモード接続図（同電位通信時）



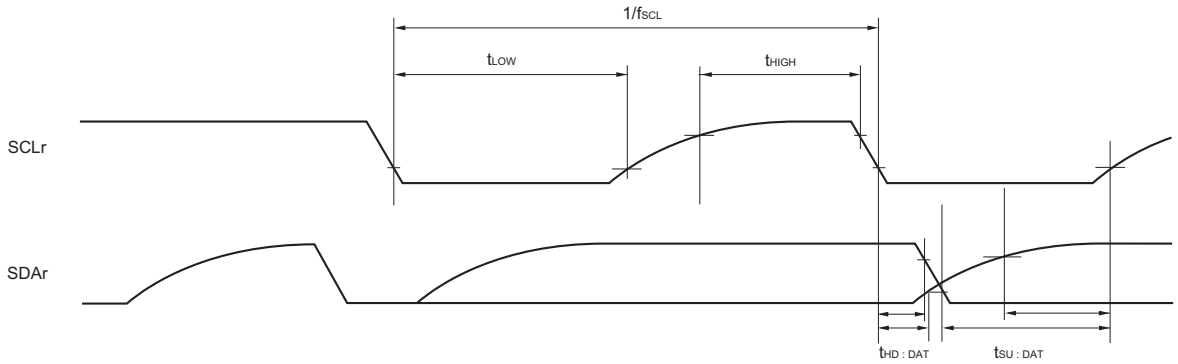
注意　SDAr, SCLr端子は通常入力バッファかつN-chオープン・ドレーン出力モードを選択。

備考1.　R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，
V_b [V]：通信ライン電圧

2.　r：IICr（r = 00, 01, 10, 11）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

簡易I^2Cモード・シリアル転送タイミング（同電位通信時）



備考　r：IICr（r = 00, 01, 10, 11）

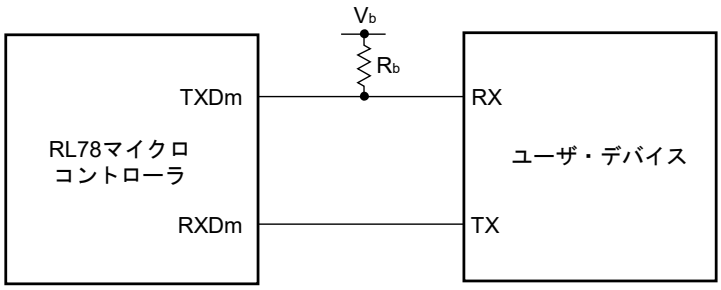
（8）異電位通信時（UARTモード）（TXD出力バッファ＝N-chオープン・ドレーン，RXD入力バッファ＝TTL）

（T_A = −40～＋125℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

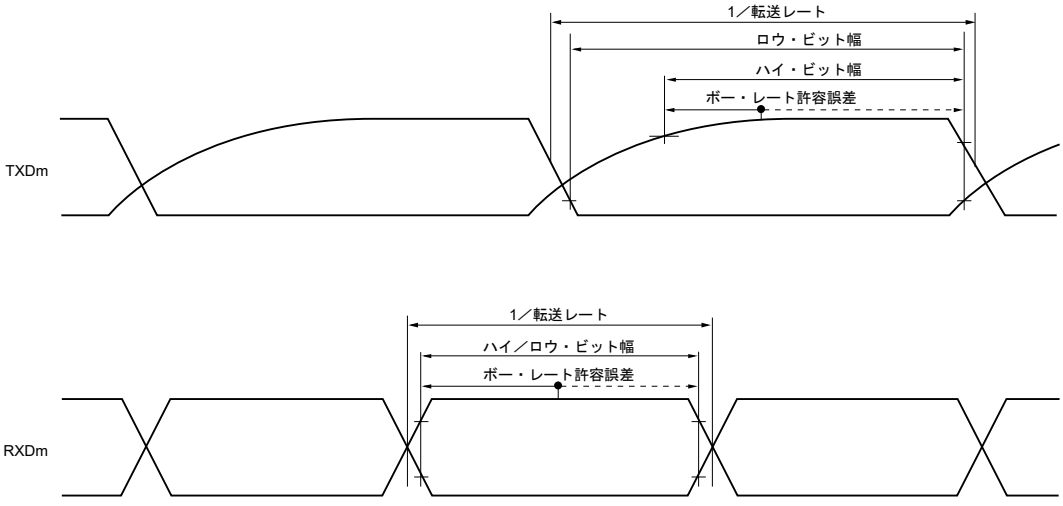
項目	略号	条件			MIN.	TYP.	MAX.	単位
転送レート	−	受信	2.7 V≦V_b≦EV_{DD0}, V_{IH}=2.2V, V_{IL}=0.8V				f_{MCK}/6	bps
				最大転送レート理論値[注] （C_b＝30 pF）			4.0	Mbps
		送信	2.7 V≦V_b≦EV_{DD0}, V_{OH}=2.2V, V_{OL}=0.8V				f_{MCK}/6と(式1)の小さい方	bps
				最大転送レート理論値[注] （C_b＝30 pF） 通常スルー・レート			4.0	Mbps

注　式1：最大転送レート＝1 / [{−C_b × R_b × ln (1−2.2/V_b)} × 3]

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



注意　RXD0, RXD1端子はTTL入力バッファ，TXD0, TXD1端子はNchオープン・ドレーン出力モードを選択

備考1.　R_b [Ω]：通信ライン（TXD）プルアップ抵抗値，C_b [F]：通信ライン（TXD）負荷容量値，
V_b [V]：通信ライン電圧

2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

3.　m：ユニットm（m = 0, 1）

（9）異電位（3 V系）通信時（CSIモード）（マスタ・モード，SCKp…内部クロック出力，通常スルー・レート）

（T_A = -40～+125℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

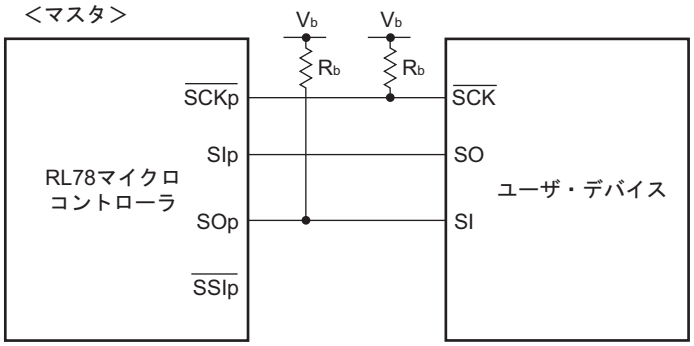
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	400注3			ns
SCKpハイ・レベル幅	t_{KH1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	t_{KCY1}/2−75			ns
SCKpロウ・レベル幅	t_{KL1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	t_{KCY1}/2−20			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	150			ns
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	70			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	30			ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ	30			ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ			120	ns
SCKp↑→SOp出力遅延時間注2	t_{KSO1}	2.7V≦V_b≦EV_{DD0}, C_b = 30pF, R_b = 1.4kΩ			40	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3.　かつt_{KCY1}≧4/f_{MCK}

CSIモード接続図（異電位通信時）



注意　SIp端子はTTL入力バッファ，SOp, SCKp端子はN-chオープン・ドレーン出力モードを選択。

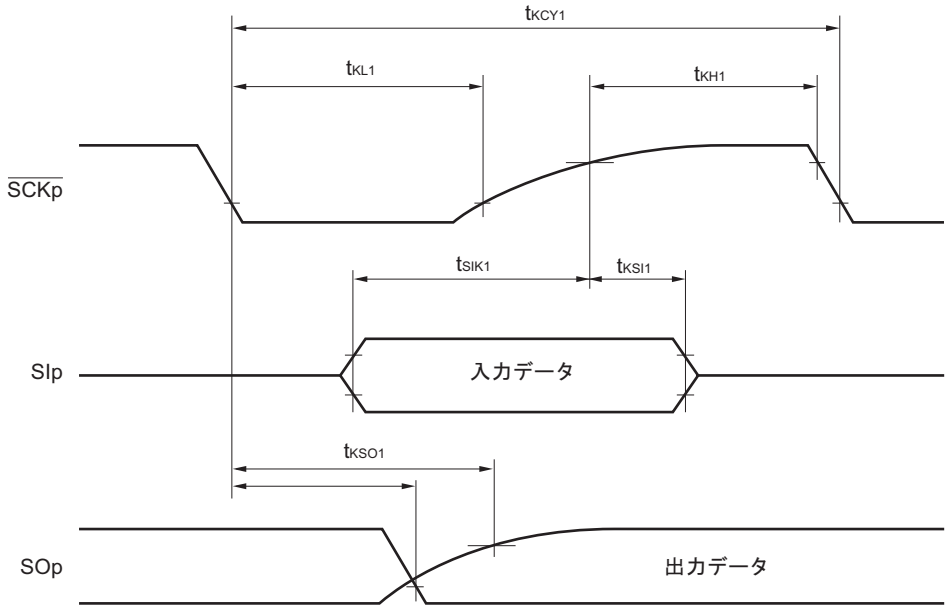
備考1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp, SCKp）負荷容量値，
V_b [V]：通信ライン電圧

2.　p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

3.　シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。
4.0 V ≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 Vのとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

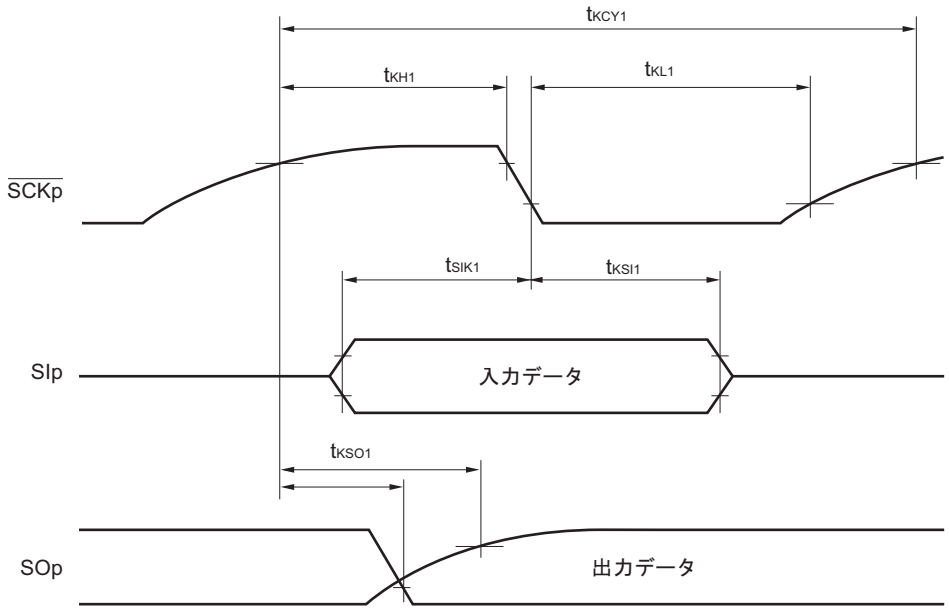
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



（10）異電位（3V系）通信時（CSIモード）（スレーブ・モード，$\overline{SCKp}$…外部クロック入力，通常スルー・レート）

（T_A = −40～＋125℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

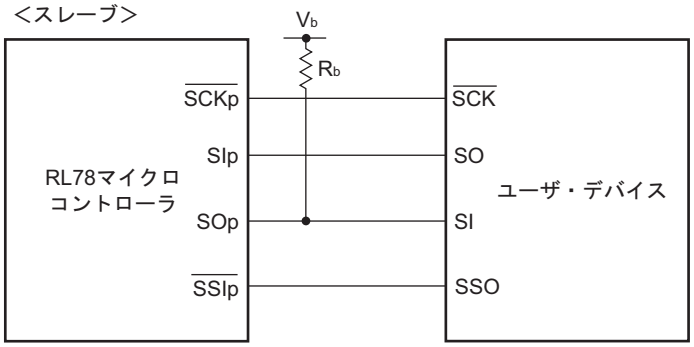
項目	略号	条件		MIN.	TYP.	MAX.	単位
$\overline{SCKp}$サイクル・タイム注3	t_{KCY2}	2.7V≦V_b≦V_{DD}	20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}			ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}			ns
			f_{MCK}≦4 MHz	6/f_{MCK}			ns
$\overline{SCKp}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	2.7V≦V_b≦V_{DD}		t_{KCY2}/2−20			ns
SIpセットアップ時間（対$\overline{SCKp}$↑）注1	t_{SIK2}			90			ns
SIpホールド時間（対$\overline{SCKp}$↑）注1	t_{KSI2}			1/f_{MCK}＋50			ns
$\overline{SCKp}$↓→SOp出力遅延時間注2	t_{KSO2}	2.7V≦V_b≦V_{DD}, C_b = 30pF, R_b = 1.4kΩ				2/f_{MCK}＋120	ns
$\overline{SSIp}$セットアップ時間	t_{SSIK}	DAP＝0		120			ns
		DAP＝1		1/f_{MCK}＋120			ns
$\overline{SSIp}$ホールド時間	t_{KSSI}	DAP＝0		1/f_{MCK}＋120			ns
		DAP＝1		120			ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対$\overline{SCKp}$↑”となります。

3. SNOOZEモードでの転送レートは，MAX.：1 Mbps

CSIモード接続図（異電位通信時）



注意　SIp, $\overline{SCKp}$端子および$\overline{SSIp}$端子はTTL入力バッファ，SOp端子はN-chオープン・ドレーン出力モードを選択。

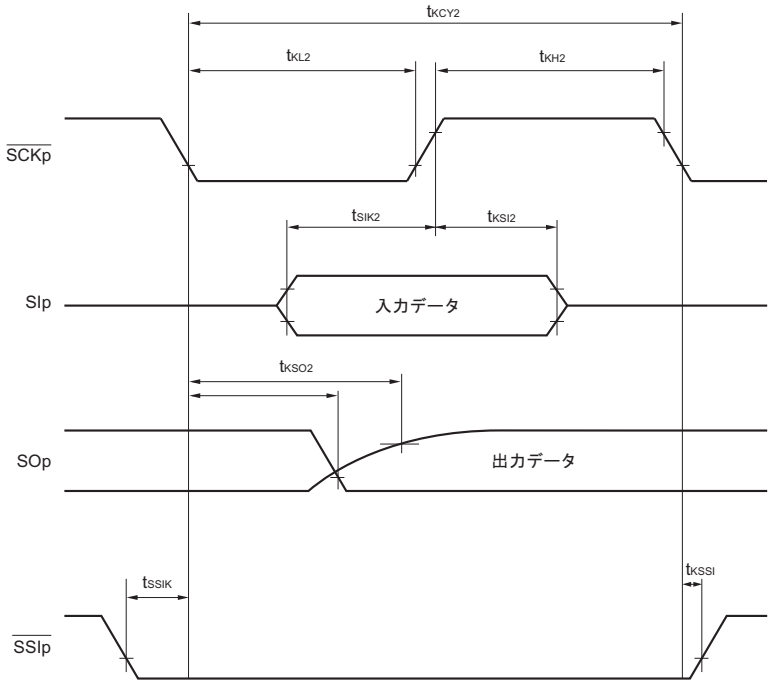
備考1. R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，V_b [V]：通信ライン電圧

2. p：CSIp（p = 00, 01, 10, 11），m：ユニットm（m = 0, 1），n：チャネルn（n = 0, 1）

3. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。
4.0 V≦EV_{DD0}≦5.5 V, 2.7 V≦V_b≦4.0 Vのとき：V_{IH} = 2.2 V, V_{IL} = 0.8 V

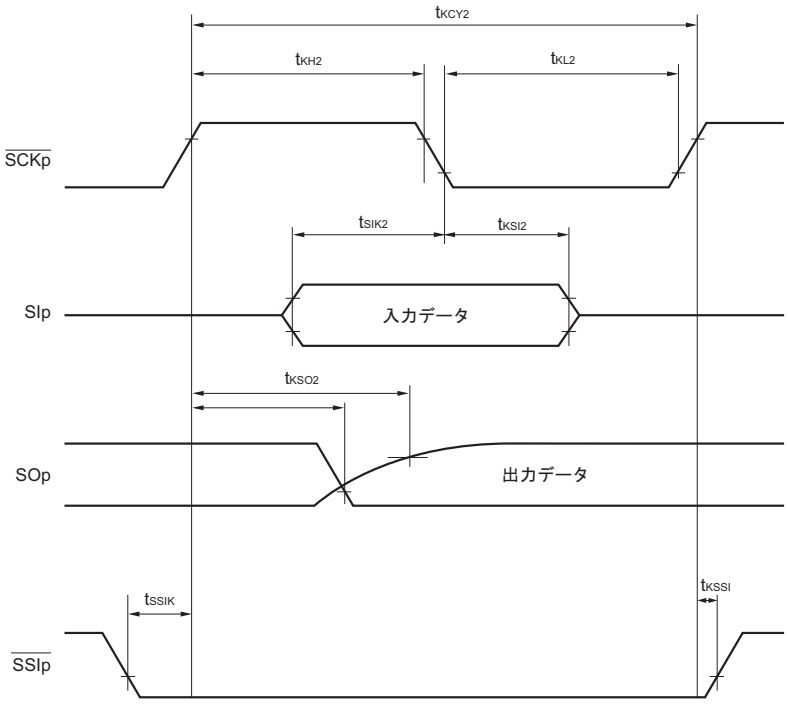
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



（11）異電位（3 V系）通信時（簡易I²Cモード）

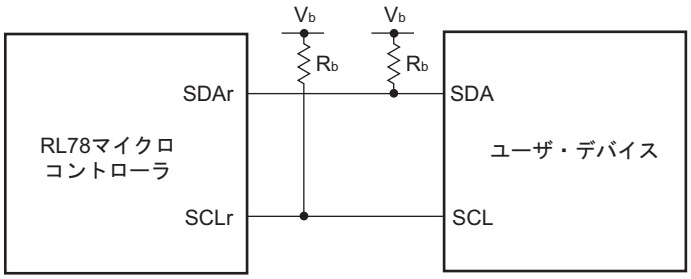
（SDArはTTL入力バッファ・モード，N-chオープン・ドレーン出力（EV_{DD0}耐圧）モード，
SCLrはN-chオープン・ドレーン出力（EV_{DD0}耐圧）モード）

（T_A = −40～＋125℃，4.0V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

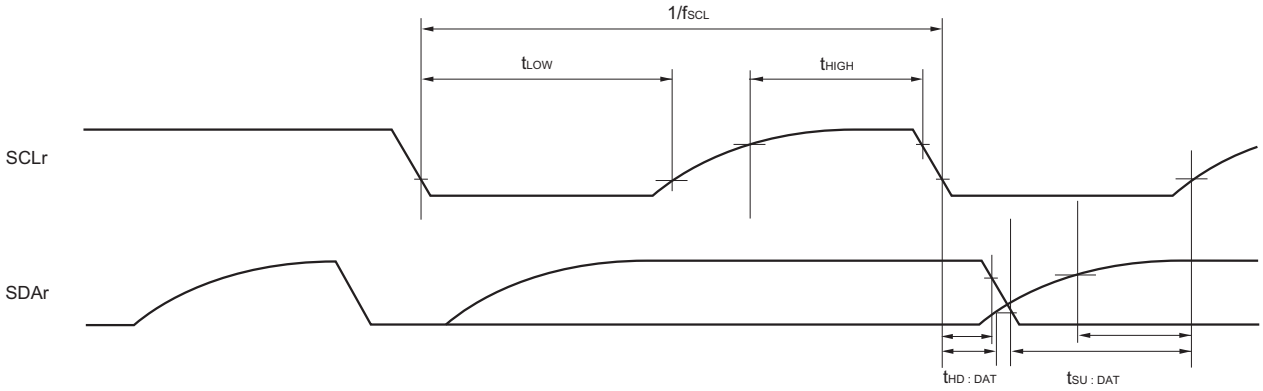
項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ		400注	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	1200		ns
SCLr = ”H”のホールド・タイム	t_{HIGH}	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	600		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	135＋1/f_{MCK}		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7V≦V_b≦4.0V, C_b = 100pF, R_b = 1.4kΩ	0	140	ns

注　かつf_{SCL}≦f_{MCK}/4

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



注意　SDAr端子はTTL入力バッファかつN-chオープン・ドレーン出力モード，SCLr端子はN-chオープン・ドレーン出力モードを選択。

備考1.　R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，
V_b [V]：通信ライン電圧

2.　r：IICr（r = 00, 01, 10, 11）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

36.5.2　シリアル・インタフェースIICA

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	標準モード		ファースト・モード		ファースト・モード・プラス		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス： 10 MHz≦f_{MCK}					0	1000	kHz
		ファースト・モード： 3.5 MHz≦f_{MCK}			0	400			kHz
		標準モード： 1 MHz≦f_{MCK}	0	100					kHz
リスタート・コンディションのセットアップ時間[注1]	$t_{SU:STA}$		4.7		0.6		0.26		μs
ホールド時間	$t_{HD:STA}$		4.0		0.6		0.26		μs
SCLA0 = ”L”のホールド・タイム	t_{LOW}		4.7		1.3		0.5		μs
SCLA0 = ”H”のホールド・タイム	t_{HIGH}		4.0		0.6		0.26		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		50		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$		0	3.45	0	0.9	0		μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		0.26		μs
バス・フリー時間	t_{BUF}		4.7		1.3		0.5		μs

注1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスを生成します。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，ウエイトがかかります。

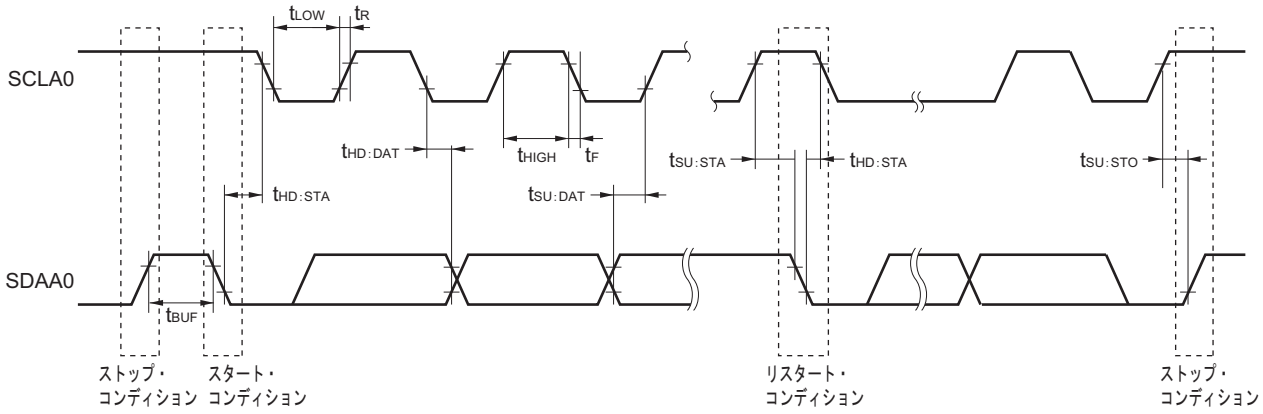
備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　　：C_b = 400pF, R_b = 2.7kΩ

ファースト・モード　　：C_b = 320pF, R_b = 1.1kΩ

ファースト・モード・プラス　：C_b = 120pF, R_b = 1.1kΩ

IICAシリアル転送タイミング



36.5.3　オンチップ・デバッグ（UART）

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	−		115.2k		1M	bps

36.5.4　LIN/UARTモジュール（RLIN3）UARTモード

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	−	動作モード，HALTモード	LIN通信クロック源 （f_{CLK}またはf_{MX}） 4 MHz～24 MHz			4000	kbps
		SNOOZEモード	LIN通信クロック源（f_{CLK}） 1 MHz～24 MHz ユーザ・オプション・バイト （000C2H/020C2H）の FRQSEL4 = 0			4.8	
			LIN通信クロック源（f_{CLK}） 1 MHz～24 MHz ユーザ・オプション・バイト （000C2H/020C2H）の FRQSEL4 = 1			2.4	

36.6　アナログ特性

36.6.1　A/Dコンバータ特性

（1）$AV_{REF}(+) = AV_{REFP}$/ANI0（ADREFP1 = 0, ADREFP0 = 1）, $AV_{REF}(-) = AV_{REFM}$/ANI1（ADREFM = 1）選択時,
対象ANI端子：ANI2-ANI23（V_{DD}を電源とするANI端子）

（T_A = −40～+125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(+) = AV_{REFP},
基準電圧(−) = AV_{REFM} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$	4.0V≦V_{DD}≦5.5V		±1.2	±3.0	LSB
			2.7V≦V_{DD}<4.0V		±1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解能 $AV_{REFP} = V_{DD}$	4.0V≦V_{DD}≦5.5V	2.125		39	μs
			2.7V≦V_{DD}<4.0V	3.1875		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±0.25	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±0.25	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±2.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±1.5	LSB
基準電圧(+)	AV_{REFP}			2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}			0		AV_{REFP}	V
内部基準電圧(+)	V_{BGR}	2.7V≦V_{DD}≦5.5V		1.38	1.45	1.5	V

注1.　量子化誤差（±1/2 LSB）を含みません。

2.　フルスケール値に対する比率（%FSR）で表します。

（2）$AV_{REF}(+) = AV_{REFP}$/ANI0（ADREFP1 = 0, ADREFP0 = 1）, $AV_{REF}(-) = AV_{REFM}$/ANI1（ADREFM = 1）選択時,
対象ANI端子：ANI24-ANI30（EV_{DD0}を電源とするANI端子）

（T_A = −40～+125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(+) = AV_{REFP},
基準電圧(−) = AV_{REFM} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 $AV_{REFP} = V_{DD}$	4.0V≦V_{DD}≦5.5V		±1.2	±4.5	LSB
			2.7V≦V_{DD}<4.0V		±1.2	±5.0	LSB
変換時間	t_{CONV}	10ビット分解能 $AV_{REFP} = V_{DD}$	4.0V≦V_{DD}≦5.5V	2.125		39	μs
			2.7V≦V_{DD}<4.0V	3.1875		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±0.35	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±0.35	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±3.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 $AV_{REFP} = V_{DD}$	2.7V≦V_{DD}≦5.5V			±2.0	LSB
基準電圧(+)	AV_{REFP}			2.7		V_{DD}	V
アナログ入力電圧	V_{AIN}			0		AV_{REFP} かつEV_{DD0}	V
内部基準電圧(+)	V_{BGR}	2.7V≦V_{DD}≦5.5V		1.38	1.45	1.5	V

注1.　量子化誤差（±1/2 LSB）を含みません。

2.　フルスケール値に対する比率（%FSR）で表します。

（3）AV_{REF}(＋) = V_{DD}（ADREFP1 = 0, ADREFP0 = 0）, AV_{REF}(－) = V_{SS}（ADREFM = 0）選択時,
対象ANI端子：ANI0-ANI23, ANI24-ANI30

（T_A = －40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(＋) = V_{DD}, 基準電圧(－) = V_{SS}）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 ANI0-ANI23	4.0V≦V_{DD}≦5.5V		±1.2	±5.0	LSB
			2.7V≦V_{DD}＜4.0V		±1.2	±5.5	LSB
		10ビット分解能 ANI24-ANI30	4.0V≦V_{DD}≦5.5V		±1.2	±6.5	LSB
			2.7V≦V_{DD}＜4.0V		±1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能	4.0V≦V_{DD}≦5.5V	2.125		39	μs
			2.7V≦V_{DD}＜4.0V	3.1875		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 ANI0-ANI23	2.7V≦V_{DD}≦5.5V			±0.50	%FSR
		10ビット分解能 ANI24-ANI30	2.7V≦V_{DD}≦5.5V			±0.60	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 ANI0-ANI23	2.7V≦V_{DD}≦5.5V			±0.50	%FSR
		10ビット分解能 ANI24-ANI30	2.7V≦V_{DD}≦5.5V			±0.60	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 ANI0-ANI23	2.7V≦V_{DD}≦5.5V			±3.5	LSB
		10ビット分解能 ANI24-ANI30	2.7V≦V_{DD}≦5.5V			±4.0	LSB
微分直線性誤差[注1]	DLE	10ビット分解能	2.7V≦V_{DD}≦5.5V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI23[注3]		0		V_{DD}	V
		ANI24-ANI30[注3]		EV_{SS}		EV_{DD0}	V
内部基準電圧(＋)	V_{BGR}	2.7V≦V_{DD}≦5.5V		1.38	1.45	1.5	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 製品により端子数は異なります。詳細は「2.1　端子機能一覧」を参照してください。

（4）AV_{REF}(＋) = 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0）, AV_{REF}(－) = AV_{REFM}/ANI1（ADREFM = 1）選択時,
対象ANI端子：ANI0, ANI2-ANI23, ANI24-ANI30

（T_A = －40～＋125℃, 2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(＋) = V_{BGR},
基準電圧(－) = AV_{REFM} = 0 V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES				8		bit
変換時間	t_{CONV}	8ビット分解能	2.7V≦V_{DD}≦5.5V	17		39	μs
ゼロスケール誤差[注1, 2]	EZS	8ビット分解能	2.7V≦V_{DD}≦5.5V			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能	2.7V≦V_{DD}≦5.5V			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能	2.7V≦V_{DD}≦5.5V			±1.0	LSB
基準電圧（＋）	V_{BGR}			1.38	1.45	1.5	V
アナログ入力電圧	V_{AIN}			0		V_{BGR}	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

36.6.2　温度センサ特性

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定，T_A =＋25℃		1.1		V
リファレンス出力電圧	V_{CONST}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		−3.3		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

36.6.3　D/Aコンバータ特性

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					8	bit
総合誤差	AINL	Rload = 4MΩ	2.7V≦V_{DD}≦5.5V			±2.5	LSB
		Rload = 8MΩ	2.7V≦V_{DD}≦5.5V			±2.5	LSB
セトリング・タイム	t_{SET}	Cload = 20pF	2.7V≦V_{DD}≦5.5V			3	μs

36.6.4　コンパレータ特性

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOCMP}			±5	±40	mV
入力電圧範囲	V_{ICMP}		0		V_{DD}	V
応答時間	t_{CR}, t_{CF}	入力振幅±100mV		70	200	ns
入力チャネル切り替え時の安定待ち時間[注1]	t_{WAIT}	入力振幅±100mV	300			ns
動作安定待ち時間[注2]	t_{CMP}	3.3V≦V_{DD}≦5.5V	1			μs
		2.7V≦V_{DD}＜3.3V	3			μs

注1.　コンパレータの入力チャネル切り替わり後からコンパレータが出力に切り替わるまでの時間。

2.　コンパレータの動作許可（CMPCTLレジスタのHCMPONビット = 1）からコンパレータがDC/AC特性を満足できる状態になるまでの時間。

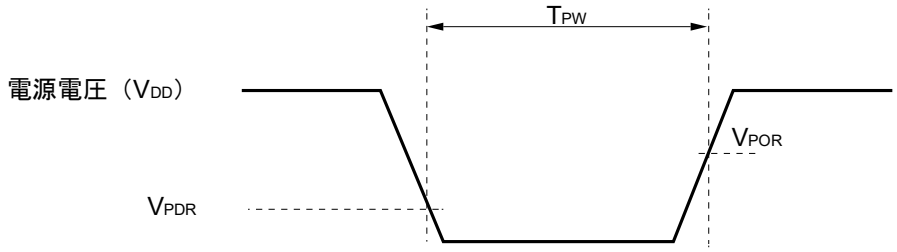
36.6.5　POR回路特性

（T_A = −40～＋125℃, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧[注1]	V_{POR}	電源立ち上がり時	1.48	1.56	1.62	V
	V_{PDR}	電源立ち下がり時	1.47	1.55	1.61	V
最小パルス幅[注2]	T_{PW}		300			μs
検出遅延	T_{PD}				350	μs

注1.　POR回路の特性を示すものであり，下限動作電圧（2.7V）未満での通常動作を保証するものではありません。

2.　電源電圧（V_{DD}）がV_{PDR}を下回った場合に，POR回路によるリセット動作に必要な時間です。



36.6.6　LVD回路特性

（1）リセット・モード，割り込みモードのLVD検出電圧

（T_A = −40～＋125℃, $V_{PDR} \leqq EV_{DD0} = EV_{DD1} = V_{DD} \leqq 5.5V$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0V$）

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	4.62	4.74	4.94	V
			電源立ち下がり時	4.52	4.64	4.84	V
		V_{LVD1}	電源立ち上がり時	4.50	4.62	4.82	V
			電源立ち下がり時	4.40	4.52	4.71	V
		V_{LVD2}	電源立ち上がり時	4.30	4.42	4.61	V
			電源立ち下がり時	4.21	4.32	4.51	V
		V_{LVD3}	電源立ち上がり時	3.13	3.22	3.39	V
			電源立ち下がり時	3.07	3.15	3.31	V
		V_{LVD4}	電源立ち上がり時	2.95	3.02	3.17	V
			電源立ち下がり時	2.89	2.96	3.09	V
		V_{LVD5}	電源立ち上がり時	2.74	2.81	2.95	V
			電源立ち下がり時	2.68注	2.75	2.88	V
最小パルス幅		t_{LW}		300			μs
検出遅延		t_{LD}				300	μs

注　MIN.値は下限動作電圧（2.7V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7V時と同等の値での動作）できます。

（2）割り込み＆リセット・モードのLVD検出電圧

（T_A = −40～＋125℃, $V_{PDR} \leqq EV_{DD0} = EV_{DD1} = V_{DD} \leqq 5.5V$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0V$）

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み＆ リセット・モード	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 0, 1注1， 立ち下がりリセット電圧：2.75V		2.68注2	2.75	2.88	V
	V_{LVD2}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.30	4.42	4.61	V
			立ち下がり割り込み電圧	4.21	4.32	4.51	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 0注1， 立ち下がりリセット電圧：2.75V		2.68注2	2.75	2.88	V
	V_{LVD1}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.50	4.62	4.82	V
			立ち下がり割り込み電圧	4.40	4.52	4.71	V
	V_{LVD5}	VPOC2, VPOC1, VPOC0 = 0, 1, 1注1， 立ち下がりリセット電圧：2.75V		2.68注2	2.75	2.88	V
	V_{LVD3}	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	3.13	3.22	3.39	V
			立ち下がり割り込み電圧	3.07	3.15	3.31	V
	V_{LVD0}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	4.62	4.74	4.94	V
			立ち下がり割り込み電圧	4.52	4.64	4.84	V

注1.　オプション・バイトの設定値を示しています。

2.　MIN.値は下限動作電圧（2.7V）を下回りますが，リセット・モードで使用時は，電源立ち下がり時においてリセットがかかるまでは通常動作（V_{DD} = 2.7V時と同等の値での動作）できます。

36.7　電源立ち上げ時間

（T_A = −40～＋125℃, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
最大電源電圧立ち上げ傾き	S_{vrmax}	0V→V_{DD}（VPOC2＝0または1[注2]）			50[注3]	V/ms
最小電源電圧立ち上げ傾き[注1]	S_{vrmin}	0V→2.7V	6.5			V/ms

注1.　最小電源電圧立ち上げ傾きは，以下の条件の場合にのみ適用対象になります。

電圧検出（LVD）回路が未使用（VPOC2＝1）かつ外部リセット回路未使用もしくはV_{DD}＝2.7Vまでリセットがかからない場合。

2.　オプション・バイトの設定値を示しています。

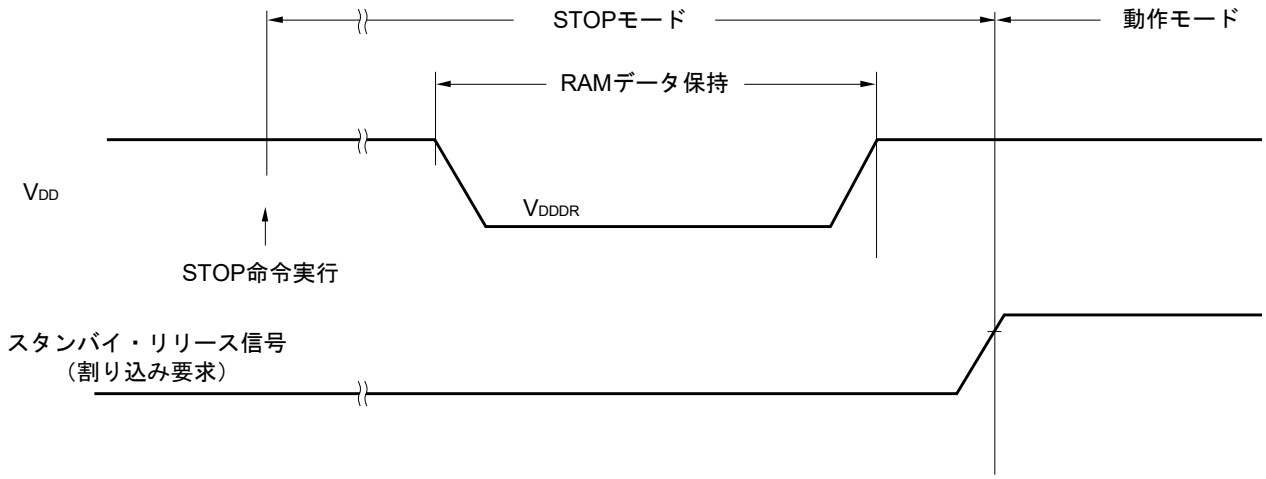
3.　電源がV_{PDR}以下に下降し，PORリセットが発生した場合は，0Vまで下降せずに復帰する場合も本スペックの適用対象になります。

36.8　RAMデータ保持特性

（T_A = −40～＋125℃, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.47注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではRAMのデータを保持しますが，PORリセットがかかった場合のRAMのデータは保持しません。



36.9　フラッシュ・メモリ・プログラミング特性

（T_A = −40～＋125℃，2.7V≦EV_{DD0} = EV_{DD1} = V_{DD}≦5.5V, V_{SS} = EV_{SS0} = EV_{SS1} = 0V）

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{CLK}		1		24	MHz
コード・フラッシュの書き換え回数注1, 2, 3	C_{erwr}	保持20年 T_A =＋85℃注4	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持20年 T_A =＋85℃注4	10,000			
		保持5年 T_A =＋85℃注4	100,000			
消去時間	T_{erasa}	ブロック消去	5			ms
書き込み時間	T_{wrwa}	1ワード書き込み	10			μs

注1.　消去1回＋消去後の書き込み1回を書き換え回数1回とします。保持年数の起点は消去後からとなります。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用したときになります。

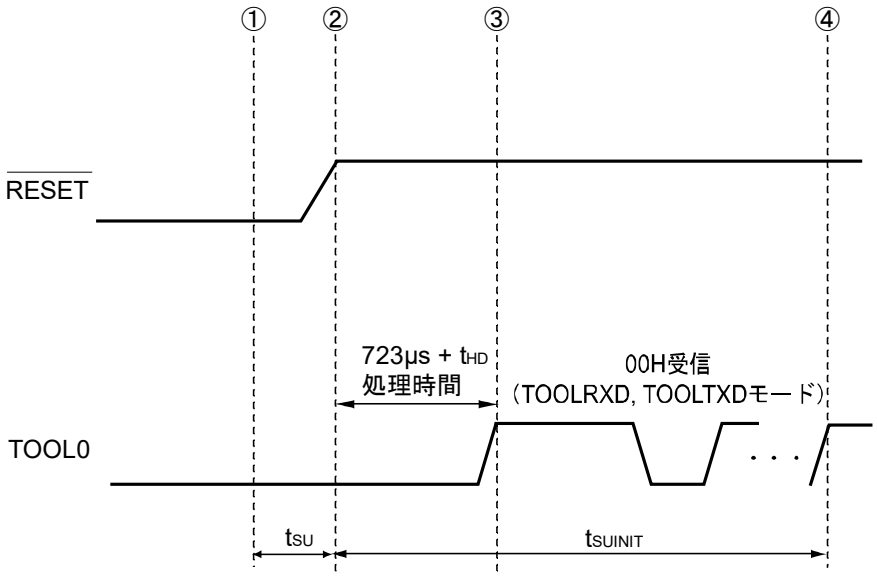
3.　この特性はフラッシュ･メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

4.　保持の平均温度です。

36.10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（T_A = −40～＋125 ℃，2.7 V ≦ EV_{DD0} = EV_{DD1} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルを解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

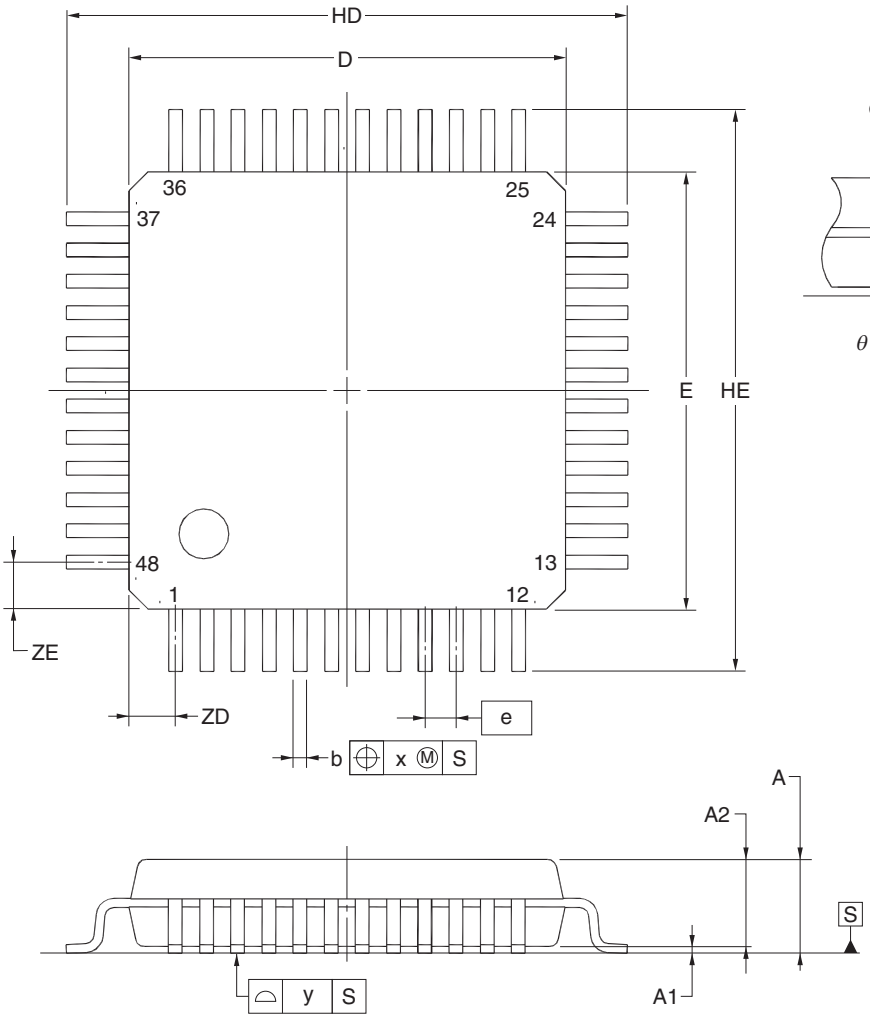
t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第37章　外形図

37.1　48ピン製品

37.1.1　48ピン LFQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-A	P48GA-50-8EU-1	0.16



(UNIT:mm)

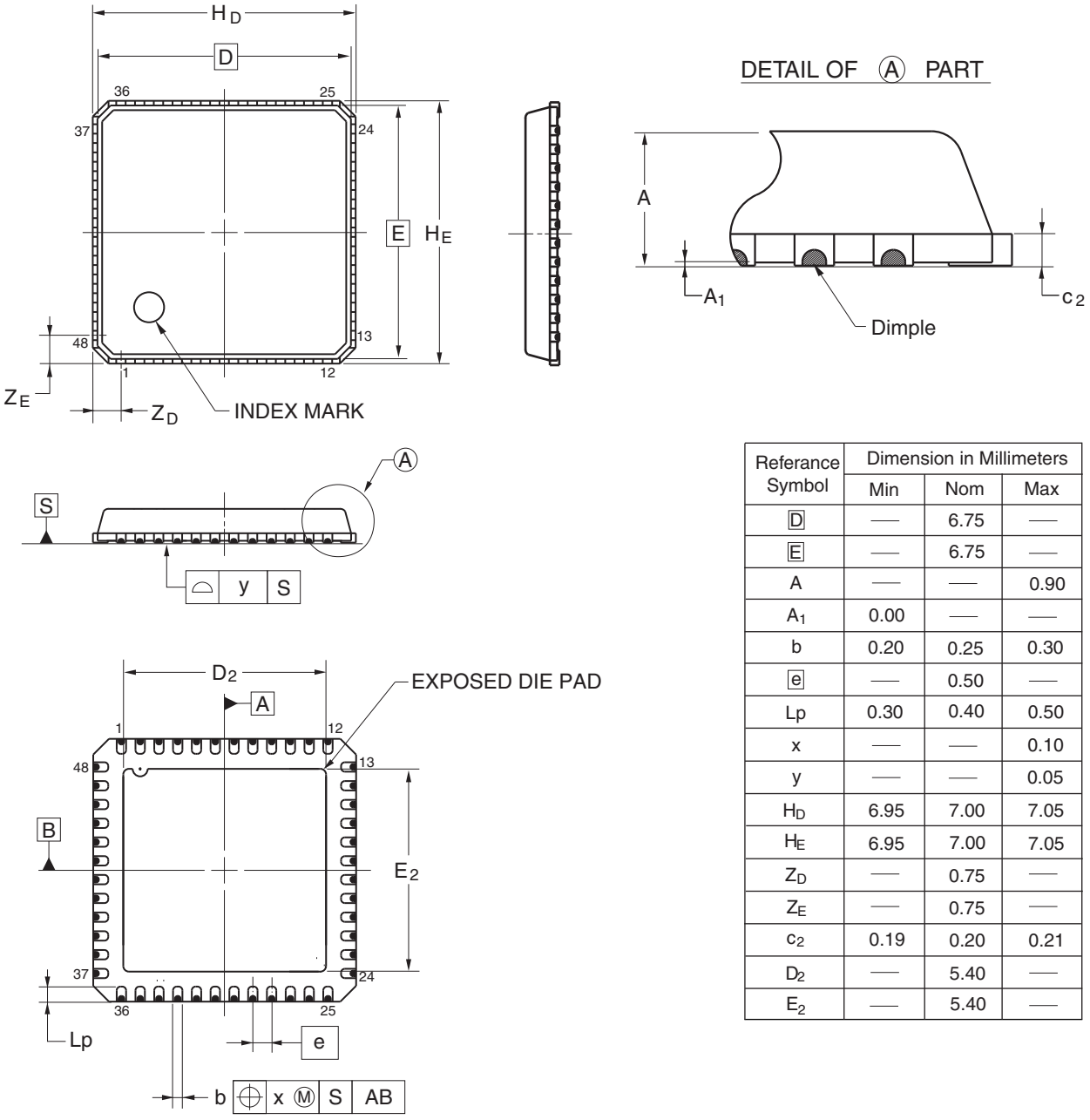
ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

★ 37.1.2 48ピン HWQFN/HVQFN

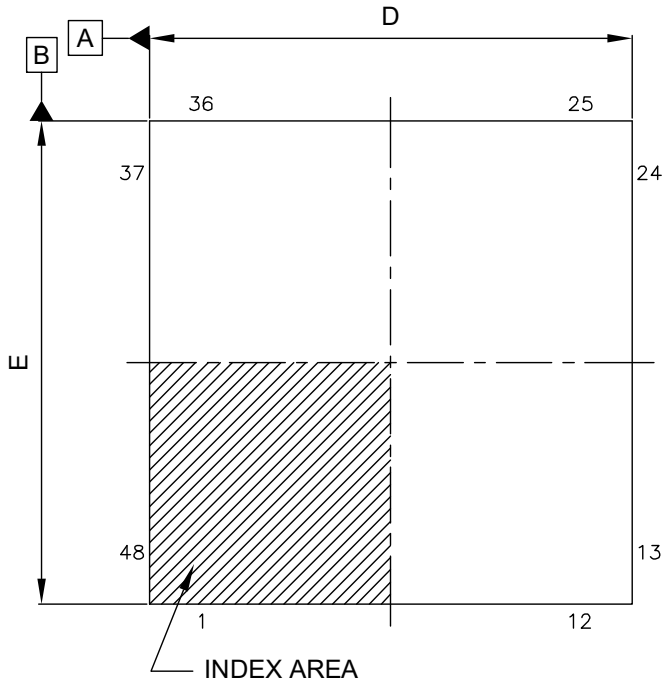
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-HVQFN48-7x7-0.50	PVQN0048KG-A	P48K9-50A-BAJ	0.13

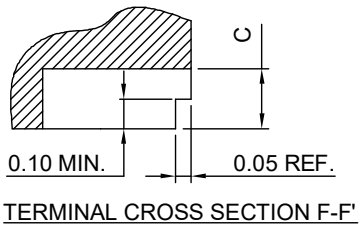


Referance Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	6.75	—
E	—	6.75	—
A	—	—	0.90
A_1	0.00	—	—
b	0.20	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.10
y	—	—	0.05
H_D	6.95	7.00	7.05
H_E	6.95	7.00	7.05
Z_D	—	0.75	—
Z_E	—	0.75	—
c_2	0.19	0.20	0.21
D_2	—	5.40	—
E_2	—	5.40	—

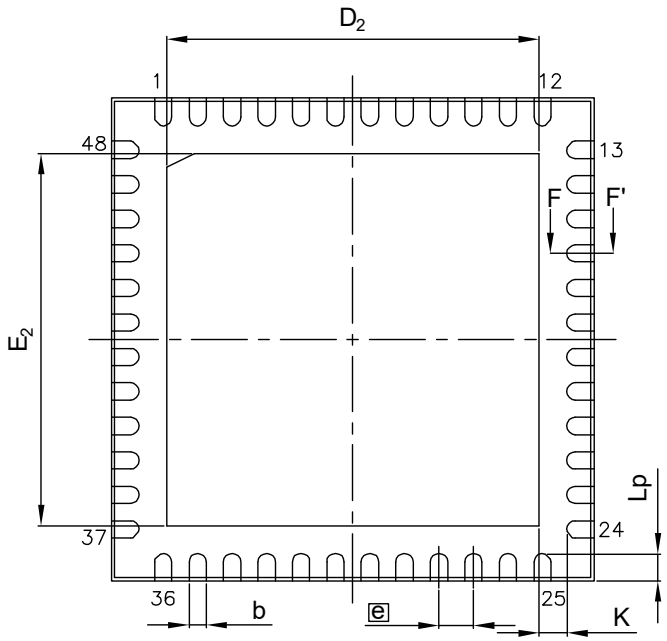
★

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN48-7x7-0.50	PWQN0048KH-A	0.12





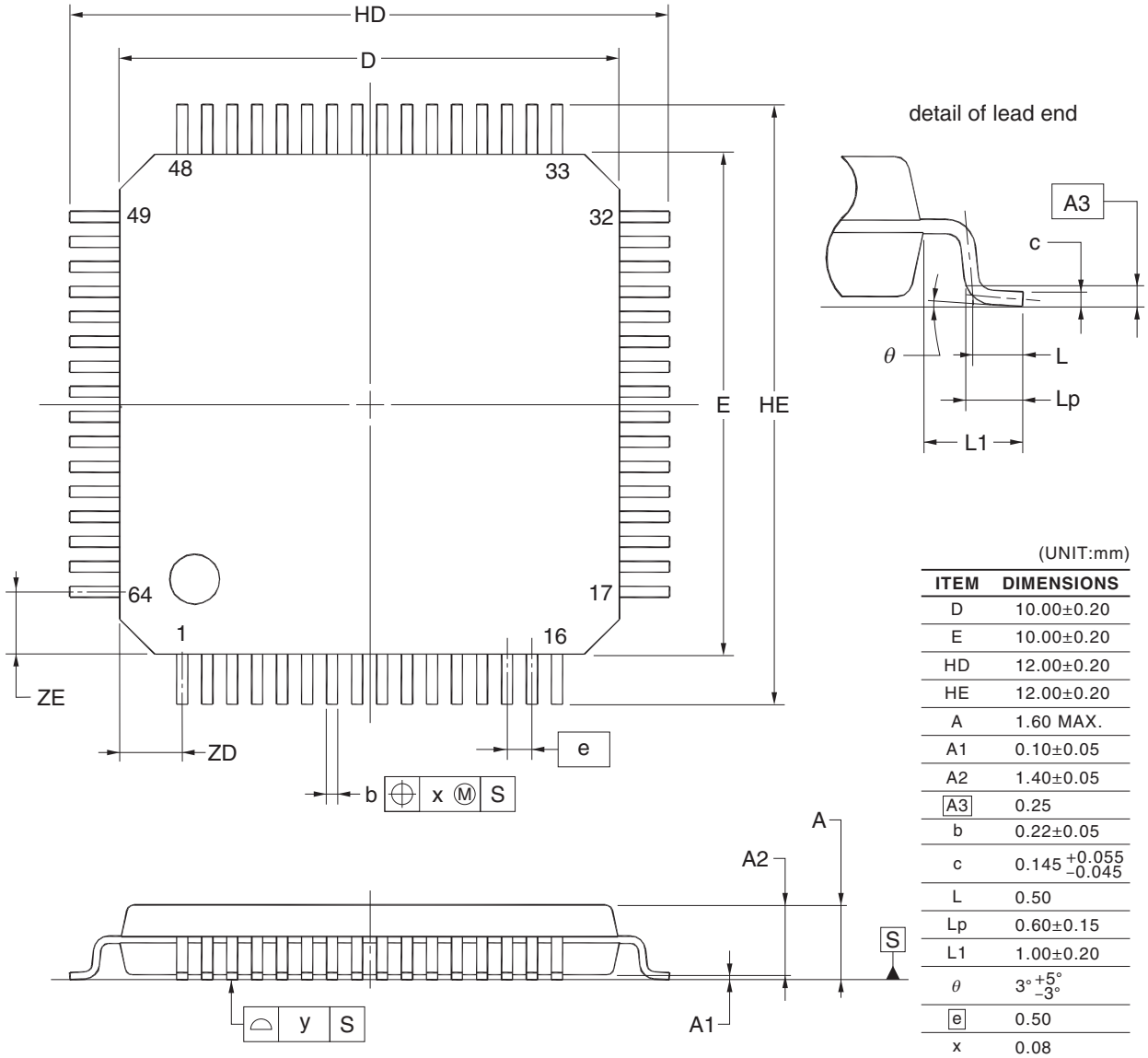
TERMINAL CROSS SECTION F-F'



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	6.85	7.00	7.15
E	6.85	7.00	7.15
A	—	—	0.80
A_1	0.00	—	0.05
b	0.18	0.25	0.30
e	0.50 BSC		
Lp	0.35	0.40	0.45
y	—	—	0.08
c	—	0.20	—
K	0.20	—	—
D_2	—	5.40	—
E_2	—	5.40	—

37.2 64ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP64-10x10-0.50	PLQP0064KF-A	P64GB-50-UEU-2	0.35



(UNIT:mm)

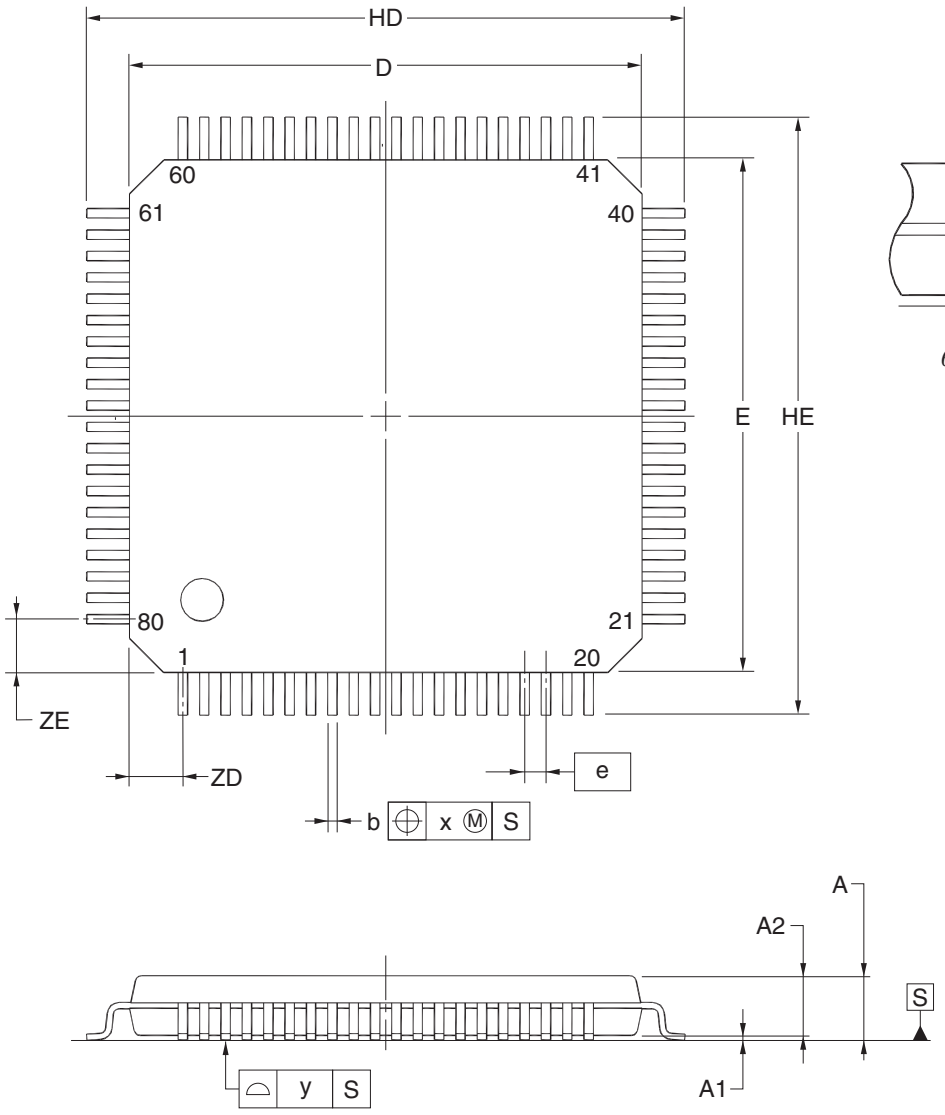
ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

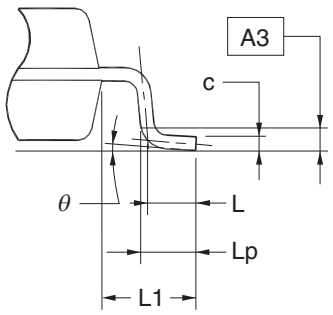
©2012 Renesas Electronics Corporation. All rights reserved.

37.3 80ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP80-12x12-0.50	PLQP0080KE-A	P80GK-50-8EU-2	0.53



detail of lead end



(UNIT:mm)

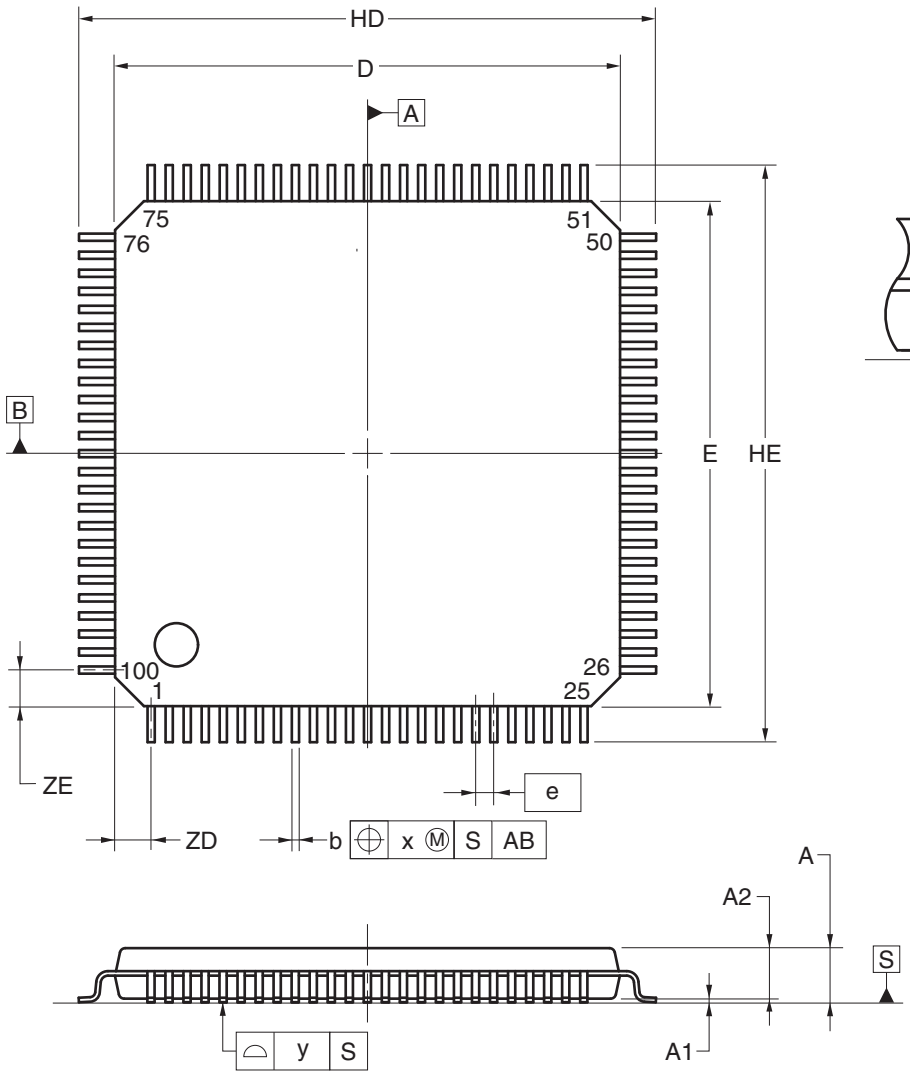
ITEM	DIMENSIONS
D	12.00±0.20
E	12.00±0.20
HD	14.00±0.20
HE	14.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.25
ZE	1.25

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

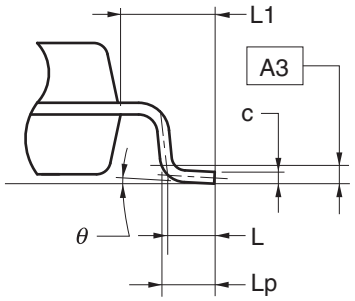
©2012 Renesas Electronics Corporation. All rights reserved.

37.4　100ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP100-14x14-0.50	PLQP0100KE-A	P100GC-50-GBR-1	0.69



detail of lead end



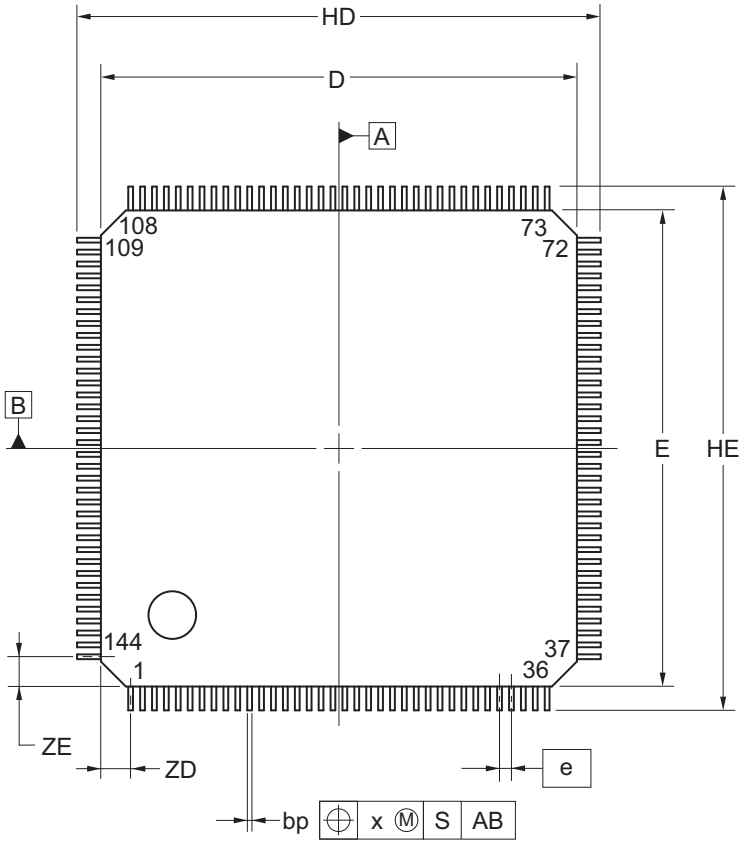
(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

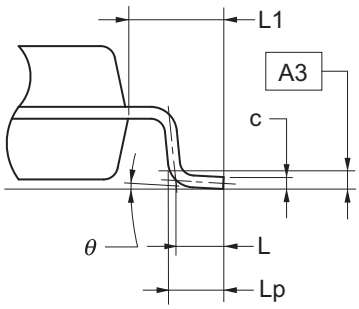
©2012 Renesas Electronics Corporation. All rights reserved.

37.5　144ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP144-20x20-0.50	PLQP0144KD-E	P144GJ-50-UEN	1.3



detail of lead end



Referance Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.80	20.00	20.20
E	19.80	20.00	20.20
HD	21.80	22.00	22.20
HE	21.80	22.00	22.20
A	—	—	1.60
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
A3	—	0.25	—
bp	0.17	0.22	0.27
c	0.10	0.145	0.20
L	—	0.50	—
Lp	0.45	0.60	0.75
L1	0.80	1.00	1.20
θ	0°	3°	8°
e	—	0.50	—
x	—	—	0.08
y	—	—	0.08
ZD	—	1.25	—
ZE	—	1.25	—

© 2012 Renesas Electronics Corporation. All rights reserved.

付録A　関連製品

A.1　アナログ＆パワーデバイス一覧

（1/2）

応用分野	アナログ＆パワーデバイス	関連製品	特徴
Lightning	Lamp drive IPD LED headlight power switch	μPD166009T1F	40 V/10 mΩ，保護機能，過電流センス，バッテリ逆接保護， 低電源電圧オフ保持
		μPD166010T1F	40 V/10 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護， 低電源電圧オフ保持
		μPD166011T1J	40 V/25 mΩ, Dual channel，保護機能，高精度負荷電流センス， 低電源電圧オフ保持
		μPD166013T1J	40 V/60 mΩ, Dual channel，保護機能，高精度負荷電流センス， 低電源電圧オフ保持
		μPD166014T1K	40 V/60 mΩ, Quad channel，保護機能，高精度負荷電流センス， 低電源電圧オフ保持
		μPD166017T1F	40 V/6 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護， 低電源電圧オフ保持
		μPD166020T1F	42 V/10 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護， 低電源電圧オフ保持
		μPD166021T1F	42 V/10 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護， 低電源電圧オフ保持，過熱遮断オフラッチ
	Interior lamp drive thermal FET	HAF2017	60 V/43 mΩ, LDPAK，過熱保護機能
		HAF2011	60 V/20 mΩ, LDPAK，過熱保護機能
		HAF2007	60 V/75 mΩ, DPAK，過熱保護機能
	Voltage step-up MOSFET	NP22N055SLE	55 V/37 mΩ, Ciss＝1100 pF, TO-252
		NP32N055SLE	55 V/24 mΩ, Ciss＝2000 pF, TO-252
		NP40N055KLE	55 V/23 mΩ, Ciss＝1950 pF, TO-263
		NP40N10VDF	100 V/26 mΩ, Ciss＝2400 pF, TO-252
		NP70N10KUF	100 V/17 mΩ, Ciss＝3750 pF Typ.@10 V, TO-263
	Battery reverse connection protection/ Abnormal current cutoff MOSFET	NP36P04SDG	40 V/17 mΩ, TO-252
		NP36P04KDG	40 V/17 mΩ, TO-263
	Battery reverse connection protection MOSFET	NP55N04SUG	40 V/6.5 mΩ, TO-252
		NP55N03SUG	30 V/5.0 mΩ, TO-252
	Flyback converter drive MOSFET	NP82N10PUF	82 V/15 mΩ, TO-263
		NP70N10KUF	100 V/20 mΩ, TO-263

販売状況／詳細仕様に関しては当社営業窓口までお問い合わせください。

（2/2）

応用分野	アナログ&パワーデバイス	関連製品	特徴
Motor	Pre-driver and power IC for power door	R2A25111KFP	3相プリドライバ：駆動能力Ciss = 10000 pF，デッドタイム機能など内蔵，48 pin LQFP
		R2A25108KFP	3相プリドライバ：駆動能力Ciss = 10000 pF，電流センスアンプ，モータ位置検出，デッドタイム機能など内蔵，48 pin LQFP
	Motor drive MOSFET for power window, wiper, power door	NP60N04KUG	40 V/60 A/6.1 mΩ/TO-263
		NP60N055KUG	55 V/60 A/9.4 mΩ/TO-263
		NP82N04PLG	60 V/82 A/6.7 mΩ/TO-263
		NP90N04VUG	40 V/90 A/4.0 mΩ/TO-252
		NP52N055SUG	55 V/52 A/14 mΩ/TO-252
		NP55N055SUG	55 V/55 A/10 mΩ/TO-252
		R2J25953	Hブリッジドライバ：P-chハイサイド:16 mΩ Max./N-chローサイド: 11 mΩ Max., Iout = 50 A Max. , HSOP36
	Motor drive MOSFET for mirror	uPA2793GR	40 V/7 A/52 mΩ/SOP8
		uPA2794GR	60 V/5.5 A/97 mΩ/SOP8
		RJM0306JSP	30 V/3.5 A/210 mΩ/SOP8
		2SK3408	メカリレー駆動用　43±5 V/1.0 A/195 mΩ/SC96
	Motor drive MOSFET for blower motor	NP80N06MLG	60 V, 80 A, 10 mΩ, TO-220
		NP82N06MLG	60 V, 82 A, 7.4 mΩ, TO-220
		2SK3755	40 V, 45 A, 12 mΩ, Isolated TO-220
		2SK4144	60 V, 70 A, 5.8 mΩ, Isolated TO-220
Seat Heater	Heater driver IPD	μPD166009T1F	40 V/10 mΩ，保護機能，過電流センス，バッテリ逆接保護，低電源電圧オフ保持
		μPD166010T1F	40 V/10 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護，低電源電圧オフ保持
		μPD166017T1F	40 V/6 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護，低電源電圧オフ保持
		μPD166011T1J	40 V/25 mΩ, Dual channel，保護機能，高精度負荷電流センス，低電源電圧オフ保持
		μPD166013T1J	40 V/60 mΩ, Dual channel，保護機能，高精度負荷電流センス，低電源電圧オフ保持
		μPD166014T1K	40 V/60 mΩ, Quad channel，保護機能，高精度負荷電流センス，低電源電圧オフ保持
		μPD166017T1F	40 V/6 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護，低電源電圧オフ保持
		μPD166020T1F	42 V/10 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護，低電源電圧オフ保持
		μPD166021T1F	42 V/10 mΩ，保護機能，高精度負荷電流センス，バッテリ逆接保護，低電源電圧オフ保持，過熱遮断オフラッチ
CAN	CAN transceiver	R2A25416SP	High speed CAN, 8 pin SOP
	CAN line ESD protection	NNCD-STシリーズ	双方向ESD保護
	ESD protection	NNCD-DAシリーズ（200 mW）RD-FSシリーズ（1 W）	サージ保護

販売状況／詳細仕様に関しては当社営業窓口までお問い合わせください。

付録B　改版履歴

B.1　本版で改訂された主な箇所

（1/1）

箇所	内容	分類
第1章 概説		
p.3	表1－1 RL78/F15のメモリ・ラインナップを変更	(d)
p.15	RL78/F15：48ピン・プラスチックLFQFP（7×7），HWQFN/HVQFN（7×7）を変更	(c)
p.16	表1－3 RL78/F15オーダ情報を変更	(d)
第6章 タイマ・アレイ・ユニット		
p.408	図6－4 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 0, 2, 4, 6)を変更	(c)
p.408	図6－4 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 0, 2, 4, 6)の備考を変更	(c)
p.408	図6－5 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 1, 3)を変更	(c)
p.408	図6－5 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 1, 3)の備考を変更	(c)
p.409	図6－6 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 5, 7)を変更	(c)
p.409	図6－6 タイマ・アレイ・ユニットm チャネルn の内部ブロック図 (n = 5, 7)の備考を変更	(c)
第7章 タイマRJ		
p.516	図7－1 タイマRJのブロック図を変更	(a)
p.539	7.5.11 デジタル・フィルタを変更	(a)
第8章 タイマRD		
p.618	8.4 タイマRD割り込みのタイマRD割り込みの要因クリア処理にフローを追加	(c)
p.618	8.4 タイマRD割り込みのタイマRD割り込みの要因クリア処理を変更	(a)
p.626	8.5.9 タイマRD割り込み使用時の注意事項を追加	(c)
第15章　シリアル・アレイ・ユニット		
p.792	15.3.18　ノイズ・フィルタ許可レジスタ0（NFEN0）を変更	(a)
p.812	図15－36　マスタ送信（シングル送信モード時）のフロー・チャート（CSI00, CSI01, CSI10, CSI11）を変更	(a)
p.862	図15－85　スレーブ受信の再開設定手順（CSI00, CSI01, CSI10, CSI11）を変更	(a)
p.863	図15－86　スレーブ受信の再開設定手順（CSI20, CSI21）を変更	(a)
p.898	図15－115　マスタ送信（シングル送信モード時）のフロー・チャートを変更	(a)
p.932	図15－145　スレーブ受信の再開設定手順を変更	(a)
第17章 LIN/UARTモジュール（RLIN3）		
p.1213	表17－14 LINマスタモード ステータスの種類を変更	(a)
p.1213	表17－14 LINマスタモード ステータスの種類の注1を変更	(a)
p.1226	(4) 送信開始ウェイト機能を変更	(a)
第20章 DTC		
p.1530	図20－21 ノーマル・モードでのデータ転送を変更	(a)
p.1533	図20－23 リピート・モードでのデータ転送を変更	(a)
p.1540	表20－11 コントロール・データの書き戻しに必要なクロック数を変更	(a)
第31章 フラッシュ・メモリ		
p.1696	表31－1 RL78/F15と専用フラッシュ・メモリ・プログラマの配線表を変更	(d)
第37章 外形図		
p.1847	37.1.2 48ピン HWQFN/HVQFNのタイトルを変更	(d)
p.1848	37.1.2 48ピン HWQFN/HVQFNに外形図(PWQN0048KH-A)を追加	(d)

備考　表中の「分類」により、改訂内容を次のように区分しています。

（a）：誤記訂正、（b）：仕様（スペック含む）の追加／変更、（c）：説明、注意事項の追加／変更、

（d）：パッケ-ジ、オ-ダ名称、管理区分の追加／変更、（e）：関連資料の追加／変更

B.2　前版までの改訂履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/7）

版　数	内　容	適用箇所
Rev. 1.10	フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）　表の記載を変更	このマニュアルの使い方
	1.1 特徴　安全機能を変更	第1章　概説
	表1−1 RL78/F15のメモリ・ラインナップを変更	
	RL78/F15：144ピン・プラスチックLFQFP（ファインピッチ）（20×20）を変更	
	RL78/F15：100ピン・プラスチックLFQFP（ファインピッチ）（14×14）を変更	
	RL78/F15：80ピン・プラスチックLFQFP（ファインピッチ）（12×12）を変更	
	RL78/F15：64ピン・プラスチックLFQFP（ファインピッチ）（10×10）を変更	
	RL78/F15：48ピン・プラスチックLFQFP（7×7），HVQFN（7×7）を変更	
	表1−3 RL78/F15オーダ情報を変更	
	表2−4 各端子の未使用端子処理（144ピン版）を変更	第2章　端子機能
	図3−17 ES/CSレジスタの構成を変更	第3章　CPUアーキテクチャ
	表3−6 拡張SFR（2nd SFR）一覧（10/50）を変更	
	表3−6 拡張SFR（2nd SFR）一覧（10/50）に注3を追加	
	図4−7 P10のブロック図を変更	第4章 ポート機能
	図4−7 P10のブロック図に注1、2を追加	
	図4−8 P11のブロック図を変更	
	図4−8 P11のブロック図に注1、2を追加	
	図4−9 P12のブロック図を変更	
	図4−9 P12のブロック図に注記を追加	
	図4−10 P13のブロック図を変更	
	図4−10 P13のブロック図に注1、2を追加	
	図4−11 P14のブロック図を変更	
	図4−11 P14のブロック図に注1、2を追加	
	図4−12 P15のブロック図を変更	
	図4−12 P15のブロック図に注記を追加	
	図4−13 P16のブロック図を変更	
	図4−13 P16のブロック図に注1、2を追加	
	図4−14 P17のブロック図を変更	
	図4−14 P17のブロック図に注1、2を追加	
	図4−22 P30のブロック図に注記を追加	
	図4−25 P33, P34のブロック図を変更	
	図4−41 P54のブロック図に注記を追加	
	図4−45 P60のブロック図を変更	
	図4−45 P60のブロック図に注記を追加	
	図4−46 P61のブロック図を変更	
	図4−46 P61のブロック図に注記を追加	
	図4−47 P62のブロック図を変更	
	図4−47 P62のブロック図に注1、2を追加	
	図4−48 P63のブロック図を変更	
	図4−48 P63のブロック図に注1、2を追加	
	図4−53 P70のブロック図を変更	
	図4−53 P70のブロック図に注1、2を追加	
	図4−54 P71のブロック図を変更	
	図4−54 P71のブロック図に注1、2を追加	
	図4−55 P72のブロック図を変更	
	図4−55 P72のブロック図に注記を追加	
	図4−56 P73のブロック図を変更	
	図4−56 P73のブロック図に注記を追加	

（2/7）

版　数	内　容	適用箇所
Rev. 1.10	図4－57 P74のブロック図を変更	第4章 ポート機能
	図4－61 P80のブロック図を変更	
	図4－62 P81のブロック図を変更	
	図4－63 P82のブロック図を変更	
	図4－64 P83のブロック図を変更	
	図4－65 P84のブロック図を変更	
	図4－66 P85のブロック図を変更	
	図4－67 P86のブロック図を変更	
	図4－68 P87のブロック図を変更	
	図4－69 P90-P97のブロック図を変更	
	4.2.11 ポート10の説明を変更	
	表4－22 P100/ANI18-P105/ANI23端子機能の設定を変更	
	図4－70 P100-P105のブロック図を変更	
	図4－74 P120のブロック図を変更	
	図4－74 P120のブロック図に注記を追加	
	図4－77 P125のブロック図を変更	
	図4－77 P125のブロック図に注記を追加	
	図4－82 P137のブロック図を変更	
	図4－99 ポート入力閾値制御レジスタのフォーマット（144ピン版の製品）の変更	
	4.3.13 周辺I/Oリダイレクション・レジスタ4（PIOR4）の説明を変更	
	図4－104 周辺I/Oリダイレクション・レジスタ4（PIOR4）のフォーマットに注記を追加	
	4.4.4 異電位（3 V系）外部デバイスとの接続方法の説明を変更	
	（3）シリアル・インタフェースIICA0の入出力端子を使用する場合の設定手順を追加	
	表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定を変更	
	表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定の備考を変更	
	表4－31 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定に注記を追加	
	（4）低速オンチップ・オシレータ（低速OCO）の変更	第5章　クロック発生回路
	図5－1 クロック発生回路のブロック図の変更	
	図5－3 クロック動作モード制御レジスタ（CMC）のフォーマットの変更	
	図5－5 クロック動作ステータス制御レジスタ（CSC）のフォーマットの注6を変更	
	図5－11 動作スピード・モード制御レジスタ（OSMC）のフォーマットの注記を変更	
	図5－13 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマットに備考を追加	
	図5－17 PLL制御レジスタ（PLLCTL）のフォーマットの変更	
	図5－17 PLL制御レジスタ（PLLCTL）のフォーマットの変更に注14を追加	
	図5－24 CPUクロック状態移行図の変更	
	表5－3 CPUクロックの移行について（1/3）の変更	
	5.6.9 クロック発振停止前の条件の説明を追加	
	5.6.9 クロック発振停止前の条件の備考を変更	
	表6－1 タイマ・アレイ・ユニットの構成を変更	第6章 タイマ・アレイ・ユニット
	表6－2 各製品に搭載しているタイマ入出力端子を変更	
	図6-4，図6-5，図6-7に関する説明を追加	
	図6－4 タイマ・アレイ・ユニット0のチャネル内部ブロック図を変更	
	図6－4 タイマ・アレイ・ユニット0のチャネル内部ブロック図の備考を変更	
	図6－5 タイマ・アレイ・ユニット0のチャネル内部ブロック図を変更	
	図6－6 タイマ・アレイ・ユニット0のチャネル内部ブロック図を変更	
	6.2.2 タイマ・データ・レジスタmn（TDRmn）の説明を変更	
	6.3 タイマ・アレイ・ユニットを制御するレジスタを変更	

（3/7）

版　数	内　容	適用箇所
Rev. 1.10	図6－13 タイマ・モード・レジスタmn（TMRmn）のフォーマット（1/4）を変更	第6章 タイマ・アレイ・ユニット
	図6－13 タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）を変更	
	図6－17 タイマ・チャネル停止レジスタm（TTm）のフォーマットを変更	
	6.4.1 複数チャネル連動動作機能の基本ルールの説明を変更	
	6.4.1 複数チャネル連動動作機能の基本ルールの例2の図を変更	
	6.4.2 8ビット・タイマ動作機能の基本ルール（ユニット0, 1のチャネル1, 3のみ）の説明を変更	
	（1）インターバル・タイマ・モード時のカウンタ動作を変更	
	図6－31 カウンタ動作タイミング（インターバル・タイマ・モード時）を変更	
	（2）イベント・カウンタ・モード時のカウンタ動作を変更	
	図 6－32 カウンタ動作タイミング（イベント・カウンタ・モード時）を変更	
	（3）キャプチャ・モード時のカウンタ動作を変更	
	図6－33 カウンタ動作タイミング（キャプチャ・モード：入力パルス間隔測定）を変更	
	（4）ワンカウント・モード時のカウンタ動作を変更	
	図6－34 カウンタ動作タイミング（ワンカウント・モード時）を変更	
	（5）キャプチャ&ワンカウント・モード時のカウンタ動作（ハイ・レベル幅測定時の動作）を変更	
	図6－35 カウンタ動作タイミング（キャプチャ&ワンカウント・モード時）を変更	
	（b）スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）を変更	
	図6－39 PWM出力時（TOMmp = 1）のTOmn端子出力状態を変更	
	図6－39 PWM出力時（TOMmp = 1）のTOmn端子出力状態の備考を変更	
	（3）TOmp端子のスレーブ・チャネル出力モード（TOMmp = 1）での動作についてを変更	
	（a）タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合を変更	
	図6－40 タイマ動作中にTOLmレジスタを変更した場合の動作を変更	
	（b）セット／リセット・タイミングを変更	
	図6－42 TO0nビットの一括操作例を変更	
	図6－43 TO0nビットの一括操作によるTO0nの端子状態を変更	
	（a）タイマ・モード・レジスタmn（TMRmn）を変更	
	図6－49 外部イベント・カウンタとしての動作のブロック図を変更	
	図6－52 外部イベント・カウンタ機能時の操作手順を変更	
	図6－53 分周器としての動作のブロック図の注記を変更	
	図6－54 分周器としての動作の基本タイミング例（MDmn0 = 1）の備考を変更	
	図6－56 分周器機能時の操作手順(1/2)を変更	
	図6－57 入力パルス間隔測定としての動作のブロック図を変更	
	図6－60 入力パルス間隔測定機能時の操作手順を変更	
	図6－61 入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図を変更	
	図6－64 入力信号のハイ／ロウ・レベル幅測定機能時の操作手順を変更	
	図6－65 ディレイ・カウンタとしての動作のブロック図を変更	
	図6－67 ディレイ・カウンタ機能時のレジスタ設定内容例を変更	
	図6－68 ディレイ・カウンタ機能時の操作手順を変更	
	図6－69 ワンショット・パルス出力機能としての動作のブロック図を変更	
	図6－72 ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例を変更	
	図6－73 ワンショット・パルス出力機能時の操作手順を変更	
	6.9.1 タイマ出力使用時の注意事項(1)を変更	
	表7－3 タイマRJのレジスタ構成を変更	第7章 タイマRJ
	7.3.5 タイマRJ制御レジスタ0（TRJCR0）の説明を変更	
	7.3.6 タイマRJ I/O制御レジスタ0（TRJIOC0）の説明を変更	
	7.3.7 タイマRJモード・レジスタ0（TRJMR0）の説明を変更	
	7.3.8 タイマRJイベント端子選択レジスタ0（TRJISR0）の説明を変更	
	図7－12 タイマ・モードの動作例を変更	
	図7－13 パルス出力モードの動作例を変更	
	図7－14 イベント・カウンタ・モードの動作例1を変更	
	図7－16 パルス幅測定モードの動作例を変更	
	図7－17 パルス周期測定モードの動作例を変更	
	表7－7 TRJIO0端子設定を変更	

（4/7）

版　数	内　容	適用箇所
Rev. 1.10	図8－19 タイマRD制御レジスタi（TRDCRi）（i = 0, 1）のフォーマット[相補PWMモード]を変更	第8章 タイマRD
	図8－27 タイマRD割り込み許可レジスタi（TRDIERi）（i = 0, 1）のフォーマットを変更	
	図8－30 タイマRDカウンタ0のフォーマット[リセット同期PWMモード，PWM3モード]を変更	
	図8－31 タイマRDカウンタ0のフォーマット[相補PWMモード]を変更	
	図8－32 タイマRDカウンタ1のフォーマット[相補PWMモード]を変更	
	PWM出力遅延制御レジスタ0 (PWMDLY0) のフォーマットを変更	
	図8－40 カウント・ソースのブロック図の備考を変更	
	8.5.4 インプットキャプチャ機能の説明を変更	
	図9－2 周辺イネーブル・レジスタ0（PER0）のフォーマットの注2を変更	第9章 リアルタイム・クロック
	図9－6 RTCクロック選択レジスタ（RTCCL）のフォーマットを変更	
	図9－8 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）を変更	
	図9－23 リアルタイム・クロックの読み出し手順の注意を変更	
	図9－24 リアルタイム・クロックの書き込み手順の注意1を変更	
	図9－27 (DEV, F12, F11, F10, F9, F8, F7, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 1, 1, 1, 1, 1, 1, 0, 1, 1, 1, 0) の場合を変更	
	11.1 ウォッチドッグ・タイマの機能の注意を変更	第11章 ウォッチドッグ・タイマ
	図11－1 ウォッチドッグ・タイマのブロック図を変更	
	表11－4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定を変更	
	表12－3 A/D変換時間の選択（1/4）の注意1を変更	第12章 A/Dコンバータ
	表12－3 A/D変換時間の選択（2/4）の注意1を変更	
	表12－3 A/D変換時間の選択（3/4）の注意1を変更	
	表12－3 A/D変換時間の選択（4/4）の注意1を変更	
	図12－5 A/Dコンバータのサンプリングと A/D変換のタイミング（例 ソフトウエア・トリガ・モードの場合）を変更	
	12.3.10 A/Dテスト・レジスタ（ADTES）の説明を変更	
	図12－14 A/Dテスト・レジスタ（ADTES）のフォーマットを変更	
	図12－25 ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）を変更	
	図12－26 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）を変更	
	図12－27 ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）を変更	
	図12－29 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）を変更	
	図12－31 ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）を変更	
	図12－32 ソフトウエア・トリガ・モード設定を変更	
	図12－33 ハードウエア・トリガ・ノーウエイト・モード設定を変更	
	図12－34 ハードウエア・トリガ・ウエイト・モード設定を変更	
	図12－35 温度センサ使用時の設定を変更	
	図12－36 テスト・トリガ・モード設定を変更	
	図13－4 D/Aコンバータ・モード・レジスタ（DAM）のフォーマットを変更	第13章 D/Aコンバータ
	13.4.2 リアルタイム出力モード時の動作の説明を変更	
	表14－3 コンパレータを制御するレジスタを変更	第14章 コンパレータ

（5/7）

版　数	内　　容	適用箇所
Rev. 1.10	表15－1 シリアル・アレイ・ユニットの構成を変更	第15章 シリアル・アレイ・ユニット
	図15－1 シリアル・アレイ・ユニット 0 のブロック図を変更	
	図15－2 シリアル・アレイ・ユニット1のブロック図を変更	
	図15－3 シリアル・アレイ・ユニット2のブロック図（144, 100ピン製品のみ）を変更	
	図15－10 シリアル通信動作設定レジスタmn（SCRmn）のフォーマットの注1と注意を変更	
	図15－12 シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマットの注を変更	
	図15－13 シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）の注を変更	
	図15－13 シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2）の注を変更	
	15.3.15 シリアル・スレーブ選択許可レジスタm（SSEm）の説明を変更	
	図15－138 スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1 : DAPmn =0, CKPmn = 0）を変更	
	図15－146 スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1 : DAPmn =0, CKPmn = 0）を変更	
	図15－148 SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時のレジスタ設定内容例（2/2）を変更	
	図15－152 スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1 : DAPmn =0, CKPmn = 0）を変更	
	図15－157 UART（UART0, UART1, UART2）のUART送信時のレジスタ設定内容例（1/2）を変更	
	図15－171 UART（UART0, UART1, UART2）のUART受信時のレジスタ設定内容例（1/2）を変更	
	図15－185 LIN送信のフロー・チャートを変更	
	図15－186 LINの受信操作を変更	
	16.3 シリアル・インタフェースIICAを制御するレジスタの説明を変更	第16章 シリアル・インタフェースIICA
	16.3.7 IICAハイ・レベル幅設定レジスタ0（IICWH0）の説明を変更	
	16.3.7 IICAハイ・レベル幅設定レジスタ0（IICWH0）の備考を変更	
	図16－12 ポート・モード・レジスタ6（PM6）のフォーマットを変更	
	16.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法の注意3を追加	
	図16－29 シングルマスタ・システムでのマスタ動作を変更	
	図16－30 マルチマスタ・システムでのマスタ動作（1/3）を変更	
	図16－33（3）データ～データ～ストップ・コンディションの⑧を変更	
	17.2.1（24）LIN/UARTデータ・バッファm・レジスタ（LDBnm）（m=1～8）を変更	第17章 LIN/UARTモジュール（RLIN3）
	17.2.2（23）LIN/UARTデータ・バッファm・レジスタ（LDBnm）（m=1～8）を変更	
	17.2.3（24）UART送信データ・レジスタ（LUTDRn）を変更	
	図17－21 LINエラー検出の対象時間領域（LINスレーブモード）を変更	
	12.5.1（5）SNOOZEモード機能の注5を追加	
	表17－21 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 32MHz、FRQSEL4 = 0）を変更	
	表17－22 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 24MHz、FRQSEL4 = 0）を変更	
	表17－23 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 32MHz、FRQSEL4 = 1）を変更	
	表17－24 SNOOZEモード時のUART受信ボー・レート設定（LIN通信クロック源 = 24MHz、FRQSEL4 = 1）を変更	
	17.6 LINセルフテストモードの説明を変更	
	17.6.2 LINマスタ セルフテストモードにおける送信の説明を変更	
	17.6.2 LINマスタ セルフテストモードにおける送信の注1を変更	
	17.6.3 LINマスタ セルフテストモードにおける受信の説明を変更	
	17.6.3 LINマスタ セルフテストモードにおける受信の注1を変更	
	17.6.4 LINスレーブ セルフテストモードにおける送信の説明を変更	
	17.6.4 LINスレーブ セルフテストモードにおける送信の注1を変更	
	17.6.5 LINスレーブ セルフテストモードにおける受信の説明を変更	
	17.6.5 LINスレーブ セルフテストモードにおける受信の注1を変更	

（6/7）

版　数	内　容	適用箇所
Rev. 1.10	18.15 CANモジュールの注意事項を追加	第18章　CANインタフェース（RS-CAN lite）
	図18－38 送受信FIFOバッファの送信タイミング図（正常に送信完了時）を追加	
	表20－3 DTCのコントロール・データを変更	第20章 DTC
	20.3 動作説明を変更	
	（1）ノーマル・モードの使用例1：A/D変換結果の連続取り込みの説明を変更	
	図20－22 ノーマル・モードの使用例1：A/D変換結果の連続取り込みを変更	
	20.3.4 チェイン転送の説明を変更	
	21.2.1 イベント出力先選択レジスタn（ELSELRn）（n = 00～25）の説明を変更	第21章 イベントリンクコントローラ（ELC）
	23.1 キー割り込みの機能の注意を変更	第23章 キー割り込み機能
	表24－2 STOPモード時の動作状態を変更	第24章 スタンバイ機能
	26.1 パワーオン・リセット回路の機能の備考を変更	第26章 パワーオン・リセット回路
	図26－3 リセット解除後のソフト処理例（1/2）を変更	
	図26－3 リセット解除後のソフト処理例（2/2）を変更	
	図27－1 電圧検出回路のブロック図を変更	第27章 電圧検出回路
	表27－1 ユーザ・オプション・バイト（000C1H/020C1H）によるLVD動作モード・検出電圧設定を変更	
	28.1 安全機能の概要の説明を変更	第28章 安全機能
	28.3.2 CRC演算機能（汎用CRC）の説明を変更	
	図28－8 エラー・アドレス格納レジスタ（ERADR）のフォーマットを変更	
	図28－13 ライトデータ反転レジスタ（ECCDWRVR）のフォーマットの注1を変更	
	28.3.5 クロック・モニタ　（3）使用上の注意を変更	
	（1）A/Dテスト・レジスタ（ADTES）を変更	
	図28－26 A/Dテスト・レジスタ（ADTES）のフォーマットを変更	
	29.1 レギュレータの概要の注意を変更	第29章 レギュレータ
	図30－1 ユーザ・オプション・バイト（000C0H/020C0H）のフォーマットを変更	第30章 オプション・バイト
	図30－4 オンチップ・デバッグ・オプション・バイト（000C3H/020C3H）のフォーマットの備考を変更	
	表31－1 RL78/F15と専用フラッシュ・メモリ・プログラマの配線表を変更	第31章 フラッシュ・メモリ
	31.3.1 P40/TOOL0端子の備考を変更	
	31.6 セルフ・プログラミングの備考を変更	
	31.8.3 データ・フラッシュへのアクセス手順の注4を追加	
	表32－1 オンチップ・トレースで使用するRAM領域と保存できる分岐数を変更	第32章 オンチップ・デバッグ機能
	図32－3 デバッグ用モニタ・プログラムが配置されるメモリ空間を変更	
	35.3.1 端子特性を変更	第35章 電気的特性（Lグレード）
	35.4.1 基本動作を変更	
	35.4.1 基本動作に図（EXCLKS）を追加	
	35.5.1（2）同電位通信時（CSIモード）（マスタ・モード，$\overline{\text{SCKp}}$…内部クロック出力，通常スルー・レート）の注4を変更	
	35.5.1（3）同電位通信時（CSIモード）（マスタ・モード，$\overline{\text{SCKp}}$…内部クロック出力，特殊スルー・レート）の注4を変更	
	35.5.1（9）異電位（3 V系）通信時（CSIモード）（マスタ・モード，$\overline{\text{SCKp}}$…内部クロック出力，通常スルー・レート）の注3を変更	
	35.5.2 シリアル・インタフェースIICAを変更	
	35.6.1（1）AV_{REF}（＋）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），AV_{REF}（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，対象ANI端子：ANI2-ANI23（V_{DD}を電源とするANI端子）の表を変更	
	35.6.1（2）AV_{REF}（＋）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），AV_{REF}（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，対象ANI端子：ANI24-ANI30（EV_{DD0}を電源とするANI端子）の表を変更	
	35.6.1（3）AV_{REF}（＋）= V_{DD}（ADREFP1 = 0, ADREFP0 = 0），AV_{REF}（－）= V_{SS}（ADREFM = 0）選択時，対象ANI端子：ANI0-ANI23, ANI24-ANI30の表を変更	
	35.6.1（4）AV_{REF}（＋）= 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），AV_{REF}（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，　対象ANI端子：ANI0-ANI23, ANI24-ANI30のタイトルを変更	

（7/7）

版　数	内　容	適用箇所
Rev. 1.10	35.6.5 POR回路特性を変更	第35章 電気的特性（Lグレード）
	35.6.5 POR回路特性の注2を追加	
	35.8 RAMデータ保持特性を変更	
	35.8 RAMデータ保持特性の注を変更	
	35.9 フラッシュ・メモリ・プログラミング特性を変更	
	35.9 フラッシュ・メモリ・プログラミング特性の注1を変更	
	36.3.1 端子特性を変更	第36章 電気的特性（Kグレード）
	36.4.1 基本動作を変更	
	36.4.1基本動作に図（EXCLKS）を追加	
	36.5.1（2）同電位通信時（CSIモード）（マスタ・モード，$\overline{\text{SCKp}}$…内部クロック出力，通常スルー・レート）の注4を変更	
	36.5.1（3）同電位通信時（CSIモード）（マスタ・モード，$\overline{\text{SCKp}}$…内部クロック出力，特殊スルー・レート）の注4を変更	
	35.5.1（9）異電位（3 V系）通信時（CSIモード）（マスタ・モード，$\overline{\text{SCKp}}$…内部クロック出力，通常スルー・レート）の注3を変更	
	36.5.2 シリアル・インタフェースIICAを変更	
	36.6.1（1）AV_{REF}（＋）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），AV_{REF}（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，対象ANI端子：ANI2-ANI23（V_{DD}を電源とするANI端子）の表を変更	
	36.6.1（2）AV_{REF}（＋）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），AV_{REF}（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，対象ANI端子：ANI24-ANI30（EV_{DD0}を電源とするANI端子）の表を変更	
	36.6.1（3）AV_{REF}（＋）= V_{DD}（ADREFP1 = 0, ADREFP0 = 0），AV_{REF}（－）= V_{SS}（ADREFM = 0）選択時，対象ANI端子：ANI0-ANI23, ANI24-ANI30の表を変更	
	36.6.1（4）AV_{REF}（＋）= 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），AV_{REF}（－）= AV_{REFM}/ANI1（ADREFM = 1）選択時，対象ANI端子：ANI0, ANI2-ANI23, ANI24-ANI30のタイトルを変更	
	36.6.5 POR回路特性を変更	
	36.6.5 POR回路特性の注2を追加	
	36.8 RAMデータ保持特性を変更	
	36.8 RAMデータ保持特性の注を変更	
	35.9 フラッシュ・メモリ・プログラミング特性を変更	
	35.9 フラッシュ・メモリ・プログラミング特性の注1を変更	
	37.1.1 48ピン LFQFPを変更	第37章 外形図
	37.1.2 48ピン HVQFNを変更	

RL78/F15 ユーザーズマニュアル ハードウェア編

発行年月日　2026 年 09 月 30 日　Rev.1.20

発行　ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサスエレクトロニクス株式会社　〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

■ 技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：http://japan.renesas.com/contact/

© 2026 Renesas Electronics Corporation. All rights reserved.
Colophon 3.0

RL78/F15

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0559JJ0120