

RAJ306101

ユーザーズマニュアル ハードウェア編

General purpose Motor control IC

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入カノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルは RAJ306101 (RX13T 搭載 汎用モータ制御 IC) の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。対象製品は、次に示す各製品です。

・ 64 ピン： RAJ306101GNP

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RAJ306101 のマニュアルは、このマニュアルと RX13T ハードウェアマニュアル編、ソフトウェア編 (RX ファミリ共通) の 3 冊に分かれています。本マニュアルでは、RAJ306101 特有の機能に関して説明します。RX13T マイコンの詳細な利用方法に関しては、RX13T ハードウェアマニュアル編(R01UH0822J)を参照ください。

RAJ306101 シリーズ ユーザズマニュアル ハードウェア編	RX13T グループ ユーザズマニュアル ハードウェア編	RL78 ファミリ ユーザズマニュアル ソフトウェア編
RAJ306101 に関する ●端子機能 ●内部ブロック機能 ●プリドライバ機能 ●RX13T の利用方法	RX13T に関する ●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU 機能 ●命令セット ●命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。

□レジスタ・フォーマットの見方

□RX13T マイクロコントローラの命令機能の詳細を知りたいとき

→別冊の RX ファミリ ユーザズマニュアル ソフトウェア編 (R01US0032J)を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記: $\overline{\text{xxx}}$, #xxx (端子, 信号名称に上線、端子名の前に"#")
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数...xxxxb
 10進数...xxxx
 16進数...xxxh

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
RAJ306101 ユーザーズマニュアル ハードウェア編	このマニュアル	R18UZ0081E
RX13Tグループ ユーザーズマニュアル ハードウェア編	R01UH0822J	R01UH0822E
RXファミリ ユーザーズマニュアル ソフトウェア編	R01US0032J	R01US0032E
RAJ306101 データシート	R18DS0038J	R18DS0038E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラム	R20UT0008J	R20UT0008E

その他の資料

資料名	資料番号	
	和文	英文
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlash は、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash[®]を使用しています。

目次

目次	1
第1章 概要	1
1.1 特徴	2
1.1.1 MCU	2
1.1.2 Smart Gate Driver	4
1.2 用途	4
1.3 端子図	5
1.4 端子機能	6
1.5 機能概要	8
1.5.1 MCU部	8
1.5.2 Smart Gate Driver部	12
1.6 MCUとSmart Gate Driverの内部接続	13
1.6.1 内部接続図	13
1.6.2 内部接続表	14
1.7 応用回路例	15
1.7.1 ホールセンサモータ制御 (3コンパレータ)	15
1.7.2 センサレスモータ制御 (BEMF検出 & コンパレータ)	16
1.7.3 センサレスモータ制御 (3シャントFOC)	17
1.7.4 センサレスモータ制御 (MCU 5[V] 供給仕様)	18
第2章 MCU : RX13T	19
2.1 端子接続, 端子機能, および端子設定	19
2.1.1 Smart Gate Driverとの端子接続	19
2.1.2 端子機能	20
2.1.3 推奨端子設定	22
2.1.4 Smart Gate Driverとの内部接続端子	25
2.2 周辺機能の制限事項	28
2.2.1 電圧検出回路 (LVDAb)	29
2.2.2 クロック発生回路	29
2.2.3 クロック周波数精度測定回路 (CAC)	29
2.2.4 割り込みコントローラ (ICUb)	30
2.2.5 データトランスファコントローラ (DTCb)	36
2.2.6 I/Oポート	36
2.2.7 マルチファンクションピンコントローラ (MPC)	37

2.2.8	マルチファンクションタイマパルスユニット3 (MTU3c).....	40
2.2.9	ポートアウトプットイネーブル3 (POE3C).....	43
2.2.10	シリアルコミュニケーションインタフェース (SCIg, SCIf).....	43
2.2.11	12 ビット A/Dコンバータ (S12ADF).....	44
2.2.12	コンパレータC (CMPC).....	44
第3章	Smart Gate Driver	45
3.1	端子接続、および端子機能.....	46
3.1.1	MCUとの端子接続.....	46
3.1.2	端子機能.....	47
3.2	Control Register.....	49
3.2.1	レジスタ説明.....	50
3.3	モータ制御に対応したレジスタ設定.....	60
3.3.1	ホールセンサモータ制御.....	60
3.3.2	センサレスモータ制御 (BEMF検出 & コンパレータ).....	64
3.3.3	センサレスモータ制御 (3シャントFOC).....	67
第4章	Smart Gate Driverの制御シーケンス	69
4.1	起動シーケンス例.....	69
4.2	エラー復帰シーケンス例.....	72
第5章	回路構成, 部品選定, 推奨基板レイアウト	75
5.1	回路構成, 部品選定, および注意事項.....	75
5.1.1	VM, VBRIDGE端子コンデンサ (C1a, C1b, C1c, C1d).....	77
5.1.2	リニアレギュレータ用部品 (C7, C8, R7, R8).....	77
5.1.3	降圧スイッチングレギュレータ用部品 (R4, R5, L1, C4, C5, R6).....	79
5.1.4	チャージポンプ用出力コンデンサ (C2), フライイングコンデンサ (C3).....	83
5.1.5	モータ駆動用外付けMOSFET (M1~M6) とレジスタ設定.....	83
5.1.6	電流検出用シャント抵抗 (R1, R2, R3) と差動アンプゲイン.....	85
5.1.7	外付け保護回路例.....	86
5.2	推奨基板レイアウト.....	88
5.2.1	GND系統.....	88
5.2.2	電源端子のコンデンサと電源配線.....	89
5.2.3	降圧スイッチングレギュレータ.....	90
5.2.4	N-ch MOSFETブリッジ.....	91
5.2.5	チャージポンプ.....	91
5.2.6	シャント電流検出.....	91

第6章	使用上の注意事項.....	92
6.1	高温動作に関して	92
改版記録.....		93

第1章 概要

RAJ306101 は、3 相ブラシレス DC モータ (以降 BLDC モータ) の制御に適した汎用モータコントロール IC です。本製品は、MCU (RX13T) と Smart Gate Driver (RAA306012) を 1 パッケージに搭載しています。

Smart Gate Driver には、ハーフブリッジゲートドライバ 3ch, ゲート駆動用の降圧スイッチングレギュレータとチャージポンプ, LDO 2ch (IC 内部のアナログ / デジタル回路、および周辺回路用), 高精度差動アンプ 3ch, BEMF 検出アンプ, 汎用コンパレータ 3ch、および各種保護機能を内蔵しています。

3ch のハーフブリッジゲートドライバは、最大 3ch の N-ch MOSFET ブリッジを駆動可能で、6~65[V] のブリッジ電圧に対応しています。各ゲートドライバは、ソース / シンクのピーク電流を最大 0.64 / 1.28[A] まで 16 段階で調整可能です。また、堅牢性と柔軟性を確保するため、アダプティブデッドタイム機能とアジャスタブルデッドタイム機能を内蔵しています。アクティブゲートホールド機構は、ミラー効果による貫通電流を防止し、堅牢性が向上します。

3ch の高精度差動アンプは、各ブリッジの GND 側シャント抵抗の電流検出に対応し、ゲインの選択が可能です。3ch の汎用コンパレータ、および BEMF 検出アンプにより、ホールセンサ / センサレスモータ制御両方の BLDC モータ制御方式に対応可能です。

保護機能 (異常保護, 通知機能) として、VCC5V 電圧降下 (VCC_UV), VM 電圧降下 (VM_UV), VM 過電圧 (VM_OV), チャージポンプ電圧降下 (VCP_UV), MOSFET Vds 過電流 (VDS_OCP), シャント抵抗の過電流保護 (CS_OCP), MOSFET Vgs 異常 (VGS_FAULT), サーマルワーニング (TWARN), サーマルシャットダウン (OTSD), 降圧レギュレータ過電流検出 (SR_OC1), 降圧レギュレータ過電流保護 (SR_OCP), 降圧レギュレータ電圧降下 (VDRV_UV), 降圧レギュレータ過電圧 (VDRV_OV) に対応しています。

Smart Gate Driver は、MCU との内部接続により、SPI インターフェースを介してパラメータの設定と確認が可能です。また、nFAULT 信号と Fault Status レジスタにより異常状態の確認が可能です。

MCU は、IEC60730 の安全規格に対応しています。本製品では、RX13T ファミリの開発ツールが使用可能です。

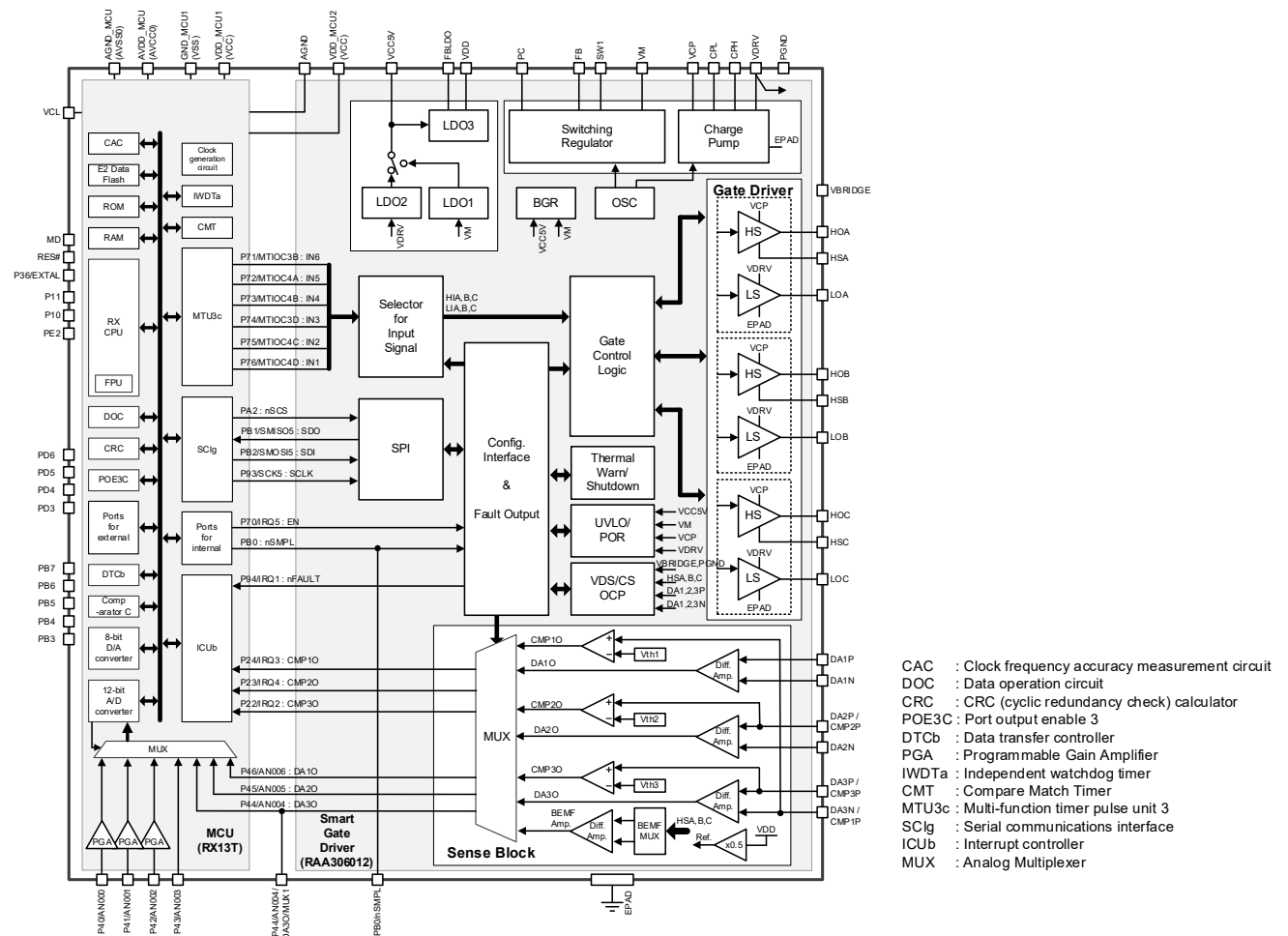


図 1-1 RAJ306101 の内部ブロック図

1.1 特徴

- 動作電圧範囲
 - VBRIDGE : 6~65[V] (絶対最大定格 : 78[V])
 - VM : 6~60[V] (絶対最大定格 : 65[V])
- 動作周囲温度範囲 : -40~+105[°C]
- 低消費電力な VM 電源
 - MCU : 3.1[mA]
(ICLK = 32[MHz], VDD_MCU = 3.3[V])
 - Smart Gate Driver :
2[mA] (Operating Mode), 28[μA] (Sleep Mode)
- 8[mm] x 8[mm] 56Ld QFN package (0.5[mm] pitch)

1.1.1 MCU

本製品に搭載している MCU は、RX13T (R5F513T5AGFL) です。RX13T には下記の特徴があります。
なお、内部接続端子、および未接続端子があるため、使用可能な周辺機能に制限があります。詳細は、**1.5, 2.2**を参照してください。

32 ビット RX CPU コア内蔵

- 最大動作周波数 : 32[MHz]
50[DMIPS]の性能 (32[MHz]動作時)
- 32 × 32 → 64 ビット演算結果 (1 命令) のアキュムレータ
- 乗除算器 : 32 × 32 ビット (乗算命令は 1CPU クロック)
- FPU 搭載 : 32 ビット単精度浮動小数点 (IEEE754 に準拠)
- 高速割り込み
- 5 段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式 : コードを大幅に短縮
- オンチップデバッグ回路内蔵

消費電力低減機能

- VDD_MCU 端子電圧 = 3.135~5.25[V]で動作
本製品では、VDD 端子の推奨動作電圧範囲に制限されます。
- 3 種類の低消費電力モード

内蔵コードフラッシュメモリ (ウェイトなし)

- 128[KB]の容量
- オンボード、およびオフボードによるユーザ書き込み
- 命令、オペランド用

内蔵データフラッシュメモリ

- 4[KB] (プログラム / イレース回数 : 1,000,000 回 (typ.))
- BGO (Back Ground Operation)

内蔵 SRAM (ウェイトなし)

- 12[KB] SRAM

DMA

- DTCb : 5 種類の転送モード

リセット、および電源電圧制御

- パワーオンリセット (POR) など 7 種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

クロック機能

- 外部クロック入力周波数：～20[MHz]
- PLL 回路入力：4～8[MHz]
- 低速オンチップオシレータ：4[MHz]
- 高速オンチップオシレータ：32[MHz] ± 1[%]
- IWDT 専用オンチップオシレータ内蔵：15[kHz]
- クロック周波数精度測定回路 (CAC) 内蔵

独立ウォッチドッグタイマ内蔵

- 15[kHz] IWDT 専用オンチップオシレータクロック動作

IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能, クロック周波数精度測定回路, 独立ウォッチドッグタイマ, DOC による RAM テストアシスト機能など

MPC

- 周辺機能の入出力端子を複数個所から選択可能

最大 2 本の通信機能を内蔵

- 多彩な機能に対応した SCI (2ch)
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C から選択

最大 8 本の 16 ビット拡張タイマ機能

- 16 ビット MTU3 (6ch) : 32[MHz] 動作, インพุットキャプチャ, アウトプットコンペア, 三相相補 PWM 波形 1ch 出力, CPU に負担をかけない相補 PWM, 位相計数モード (1ch)
- 16 ビット CMT (2ch)

12 ビット A/D コンバータ 7ch 内蔵

- サンプルホールド回路内蔵 12 ビット × 最大 3ch + 3ch ^{Note1}
ADC : 3ch 同時サンプルホールド回路 (3 シャント方式) × 系統, ダブルデータレジスタ (1 シャント方式)
- チャンネルごとにサンプリング時間を設定可能
- ANI000 – ANI004 は、外部接続端子から入力可能
- グループスキャン優先制御モード搭載 (3 レベル)
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵 (IEC60730 対応)
- プログラマブル・ゲイン・アンプによる入力信号増幅機能 (3ch + 3ch ^{Note1})
- コンパレータ (3ch + 3ch ^{Note1})

Note1 : サンプルホールド回路、およびアンプは、AN000, AN001, AN002 入力、および AN004, AN005, AN006 入力 (Smart Gate Driver の DAzP, DAzN 端子 (z = 1, 2, 3) よりサンプルホールド機能付き差動アンプを介して入力) の 2 系統があります。また、コンパレータは MCU のコンパレータ 3ch、および Smart Gate Driver のコンパレータ (DA2P, DA3P, DA3N 端子入力) の 3ch があります。

重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

最大 19 本の GPIO 内蔵

- オープン・ドレイン, 入力プルアップ

詳細については、「RX13T グループ ユーザーズマニュアル ハードウェア編 (R01UH0822JJ)」を参照してください。

1.1.2 Smart Gate Driver

- BLDC モータ用 3 相ゲートドライバ機能
 - ゲート駆動ピーク電流 0.64 / 1.28[A] (ソース / シンク) を 16 段階で調整可能
 - アダプティブデッドタイム機能とアジャスタブルデッドタイム機能に対応
 - 3 相 HI/LI モード、および 3 相 PWM モード対応
 - 入力制御信号の選択機能
- システム用電源機能を搭載
 - Sleep Mode 対応の低消費 5[V] LDO : 2ch 搭載
 - 500[mA]降圧スイッチングレギュレータ内蔵 (5~15[V]で調整可能)
 - MCU を含む外付け部品用 100[mA]対応 LDO (電圧調整可能)
- ゲイン設定 (5, 10, 20, 40[V/V]) 可能な 3ch の差動アンプ (電流検出に対応)
- BEMF 検出アンプ (センサレスモータ制御用)
- 汎用コンパレータ 3ch (ホールセンサモータ制御用)
- 各種充実した保護機能搭載
 - VCC5V 電圧降下 (VCC_UV)
 - VM 電圧降下 (VM_UV)
 - VM 過電圧 (VM_OV)
 - チャージポンプ電圧降下 (VCP_UV)
 - MOSFET VDS 過電流 (VDS_OCP)
 - シャント抵抗の過電流保護 (CS_OCP)
 - MOSFET VGS 異常 (VGS_FAULT)
 - サーマルワーニング (TWARN)
 - サーマルシャットダウン (OTSD)
 - 降圧レギュレータ過電流検出 (SR_OC1)
 - 降圧レギュレータ過電流保護 (SR_OCP)
 - 降圧レギュレータ電圧降下 (VDRV_UV)
 - 降圧レギュレータ過電圧 (VDRV_OV)

1.2 用途

掃除機, ファン, ポンプ, ロボット, パワーツール, ガーデンツール, 他

1.3 端子図

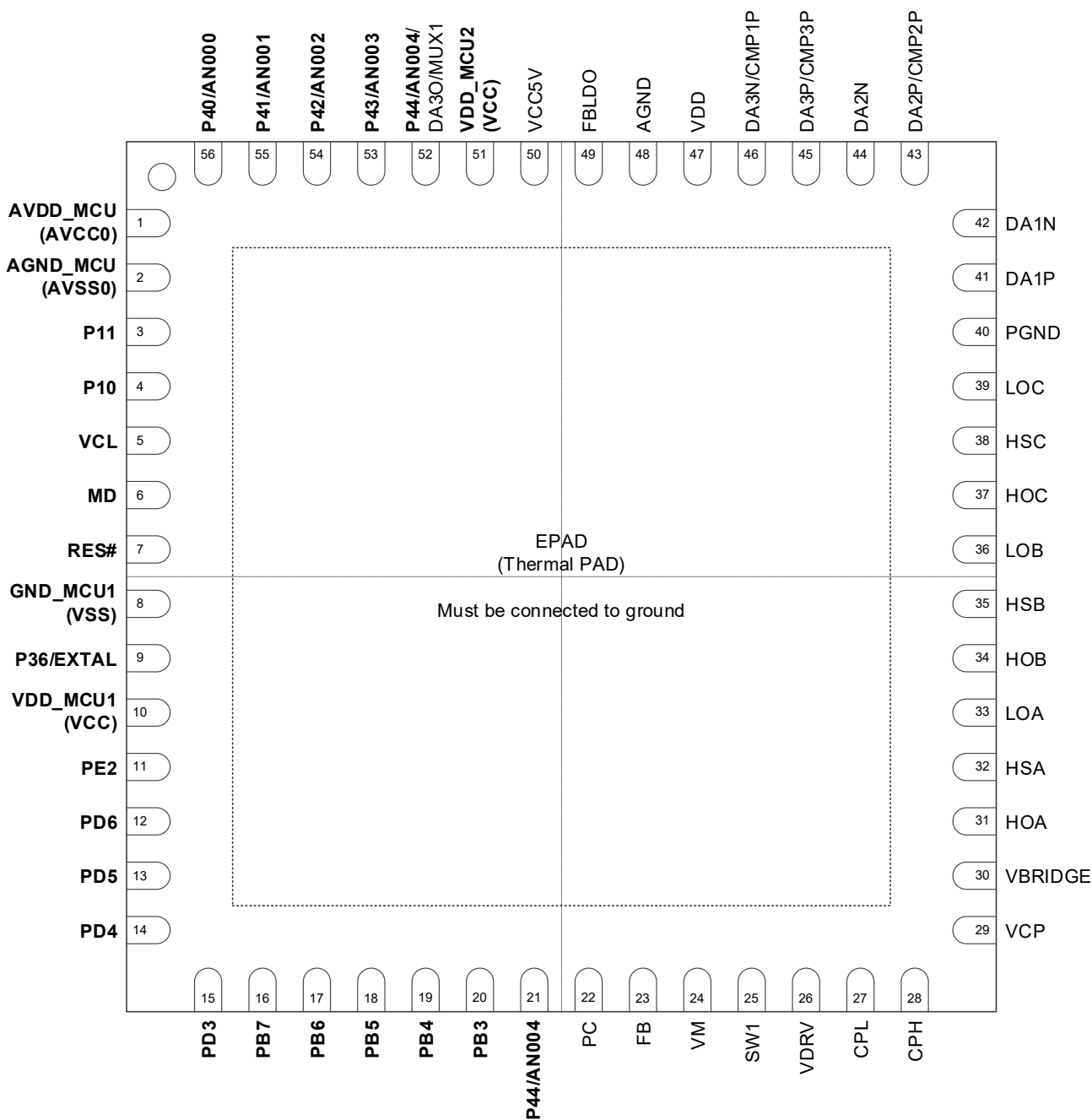


図 1-2 端子図 (Top View)

1.4 端子機能

表 1-1 端子機能 (1/2)

端子番号	端子名称	兼用機能	I/O			機能	Note
			レベル	入出力	リセット解除時		
1	AVDD_MCU	—	VDD	POWER	—	MCU (RX13T) のアナログ回路用電源端子 バイパスコンデンサ (0.1[μF]程度) をAVDD_MCUとAGND_MCU間に接続。	1
2	AGND_MCU	—	GND	GND	—	MCU (RX13T) のアナログ回路用グランド端子	1
3	P11	MTIOC3A / MTCLKA / POE8# / IRQ1 / CVREFC0	VDD	入出力	入力	入出力端子 / MTU0.TGARA入出力端子 / MTU外部クロックA入力端子 / MTUハイインピーダンス要求信号8入力端子 / 外部割り込み1要求端子 / コンパレータCリファレンス電源端子	1
4	P10	MTCLKB / IRQ0	VDD	入出力	入力	入出力端子 / MTU外部クロックB入力端子 / 外部割り込み0要求端子	1
5	VCL	—	VDD	—	—	平滑コンデンサ接続端子。内部電圧安定用コンデンサ (4.7[μF]) を介してGND_MCU1に接続 コンデンサは端子近くに配置してください。	1
6	MD	FINED	VDD	入力	—	モード設定端子。この端子は、動作中には変化させないでください。/ FINEインタフェース端子	1
7	RES#	—	VDD	入力	—	リセット端子。リセット回路と接続してください。	1
8	GND_MCU1	—	GND	GND	—	MCU (RX13T) のグランド端子	1
9	P36	EXTAL	VDD	入出力	入力	入出力端子 / EXTAL外部クロック入力端子	1
10	VDD_MCU1	—	VDD	POWER	—	MCU (RX13T) の電源端子。システムの電源に接続してください。 バイパスコンデンサ (0.1[μF]程度) をVDD_MCU1とGND_MCU1間に接続。	1
11	PE2	POE10# / NMI / IRQ0	VDD	入力	入力	入力端子 / MTUハイインピーダンス要求信号10入力端子 / ノンマスクブル割り込み要求端子 / 外部割り込み0要求端子	1
12	PD6	MTIOC0D / CTS1# / RTS1# / SS1# / IRQ5 / ADST0	VDD	入出力	入力	入出力端子 / MTU0.TGRD入出力端子 / SC11送受信開始制御用入力端子 / SC11送受信開始制御用出力端子 / SC11チップセレクト入力端子 / 外部割り込み5要求端子 / ADSTビットの状態出力端子 (A/D変換中を示すステータス出力端子)	1
13	PD5	MTIOC0C / RXD1 / SMISO1 / SSCL1 / IRQ3	VDD	入出力	入力	入出力端子 / MTU0.TGRC入出力端子 / SC11受信データ入力端子 / SC11スレーブ送信データ入出力端子 / SC11 I ² Cのクロック入出力端子 / 外部割り込み3要求端子	1
14	PD4	MTIOC0B / SCK1 / IRQ2	VDD	入出力	入力	入出力端子 / MTU0.TGRB入出力端子 / SC11クロック入出力端子 / 外部割り込み2要求端子	1
15	PD3	MTIOC0A / TXD1 / SMOS1 / SSDA1	VDD	入出力	入力	入出力端子 / MTU0.TGRA入出力端子 / SC11送信データ入力端子 / SC11マスタ送信データ入出力端子 / SC11 I ² Cデータ入出力端子	1
16	PB7	MTCLKD / RXD1 / RXD5 / SMISO1 / SMISO5 / SSCL1 / SSCL5 / IRQ5	VDD	入出力	入力	入出力端子 / MTU外部クロックD入力端子 / SC11, SC15受信データ入力端子 / SC11, SC15スレーブ送信データの入出力端子 / SC11, SC15 I ² Cクロック入出力端子 / 外部割り込み5要求端子	1
17	PB6	MTIOC1B / MTIOC3A / TXD1 / TXD5 / SMOS1 / SMOS15 / SSDA1 / SSDA5	VDD	入出力	入力	入出力端子 / MTU1.TGRB入出力端子 / MTU3.TGARA入出力端子 / SC11, SC15送信データ出力端子 / SC11, SC15マスタ送信データの入出力端子 / SC11, SC15 I ² Cデータ入出力端子	1
18	PB5	ADTRG0#	VDD	入出力	入力	入出力端子 / A/D変換開始のための外部トリガ入力端子	1
19	PB4	POE8# / IRQ3	VDD	入出力	入力	入出力端子 / MTUハイインピーダンス要求信号8入力端子 / 外部割り込み3要求端子	1
20	PB3	MTIOC0A / CACREF / SCK5	VDD	入出力	入力	入出力端子 / MTU0.TGARA入出力端子 / クロック周波数精度測定回路の入力端子 / SC15クロック入出力端子	1
21	PB0	MTIOC0D / MTIOC2A / MTCLKB / nSMPL	VDD	入出力	入力	入出力端子 / MTU0.TGRD入出力端子 / MTU2.TGARA入出力端子 / MTU外部クロックB入力端子 / Smart Gate Driver用サンプルホールド信号入力端子	1, 2
22	PC	—	VCC5V	出力	出力	降圧スイッチングレギュレータの位相補償用gmアンプ出力	
23	FB	—	VCC5V	入力	入力	降圧スイッチングレギュレータの電圧フィードバック入力 (Ref. = 0.8[V])	
24	VM	—	VM	POWER	—	電源入力 VMとアナログGND間にバイパスコンデンサを接続。	
25	SW1	—	VM	出力	出力	降圧スイッチングレギュレータのスイッチノード	
26	VDRV	—	VDRV	POWER	—	降圧スイッチングレギュレータ用出力、およびLowサイドゲートドライバ電源 バイパスコンデンサをVDRVとアナログGND間に接続。	
27	CPL	—	VDRV	出力	出力	チャージポンプLowサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
28	CPH	—	VCP	出力	出力	チャージポンプHighサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	

Note1 : RX13Tの端子です。端子機能の詳細は、「RX13Tグループ ユーザーズマニュアル ハードウェア編 (R01UH0822JJ)」を参照してください。

Note2 : この端子をGPIO, MTIOC0D, MTIOC2A, またはMTCLKBとして使用する場合は、Smart Gate Driverの差動アンプのサンプルホールド機能は使用不可能です。Smart Gate DriverのSense Block Control 2レジスタ (SNSCTL2)のBEMF_SHビット、DA1_SHビット、DA2_SHビット、DA3_SHビットを全て"0b"に設定してください。詳細は、3.2.1.15を参照してください。

表 1-2 端子機能 (2 / 2)

端子番号	端子名称	兼用機能	I/O			機能	Note
			レベル	入出力	リセット解除時		
29	VCP	—	VCP	POWER	—	チャージポンプ出力 バイパスコンデンサをVBRIDGEとVCP端子間に接続。	
30	VBRIDGE	—	VBRIDGE	入力	入力	チャージポンプ出力の基準電圧、およびHighサイドMOSFETのドレイン検知入力 バイパスコンデンサをVBRIDGEとパワー-GND間に接続。	
31	HOA	—	VCP	出力	出力	A相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
32	HSA	—	VBRIDGE	入力	入力	A相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
33	LOA	—	VDRV	出力	出力	A相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
34	HOB	—	VCP	出力	出力	B相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
35	HSB	—	VBRIDGE	入力	入力	B相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
36	LOB	—	VDRV	出力	出力	B相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
37	HOC	—	VCP	出力	出力	C相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
38	HSC	—	VBRIDGE	入力	入力	C相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
39	LOC	—	VDRV	出力	出力	C相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
40	PGND	—	GND	GND	—	外部パワー段のGNDセンス入力	
41	DA1P	—	VDD	入力	入力	差動アンプ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
42	DA1N	—	VDD	入力	入力	差動アンプ1のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
43	DA2P	CMP2P	VDD	入力	入力	差動アンプ2のPositive側入力、およびコンパレータ2のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
44	DA2N	—	VDD	入力	入力	差動アンプ2のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
45	DA3P	CMP3P	VDD	入力	入力	差動アンプ3のPositive側入力、およびコンパレータ3のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
46	DA3N	CMP1P	VDD	入力	入力	差動アンプ3のNegative側入力、およびコンパレータ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
47	VDD	—	VDD	POWER	—	内蔵シリーズレギュレータ出力、および出力バッファ用電源 出力コンデンサをVDDとアナログGND間に接続。	
48	AGND	—	GND	GND	—	デバイスのアナログ用GND	
49	FBLDO	—	VCC5V	入力	入力	内蔵シリーズレギュレータの電圧フィードバック (Ref. = 1.2[V])	
50	VCC5V	—	VCC5V	POWER	—	内蔵シリーズレギュレータ出力 (5[V]) 出力コンデンサをVCC5VとアナログGND間に接続。	
51	VDD_MCU2	—	VDD	POWER	—	MCU (RX13T) の電源端子 バイパスコンデンサ (0.1[μF]程度) をVDD_MCU2とAGND間に接続。	
52	P44	AN004 / CMPC12 / DA30 / MUX1	VDD	入出力	入力	入出力端子 / A/Dコンバータアナログ入力端子 / CMPC1用アナログ入力端子 / Smart Gate Driverの差動アンプ3の出力、BEMF検出アンプ出力、アナログマルチプレクサ出力	1, 3
53	P43	AN003 / CMPC02	VDD	入出力	入力	入出力端子 / A/Dコンバータアナログ入力端子 / CMPC0アナログ入力端子	1
54	P42	AN002 / CMPC20	VDD	入出力	入力	入出力端子 / A/Dコンバータアナログ入力端子 / CMPC2アナログ入力端子	1
55	P41	AN001 / CMPC10	VDD	入出力	入力	入出力端子 / A/Dコンバータアナログ入力端子 / CMPC1アナログ入力端子	1
56	P40	AN000 / CMPC00	VDD	入出力	入力	入出力端子 / A/Dコンバータアナログ入力端子 / CMPC0用アナログ入力端子	1
—	EPAD (Thermal PAD)	—	GND	GND	—	チャージポンプ、およびゲートドライバ用のパワー-GND 外部パワー-GNDとの接続が必要です。	

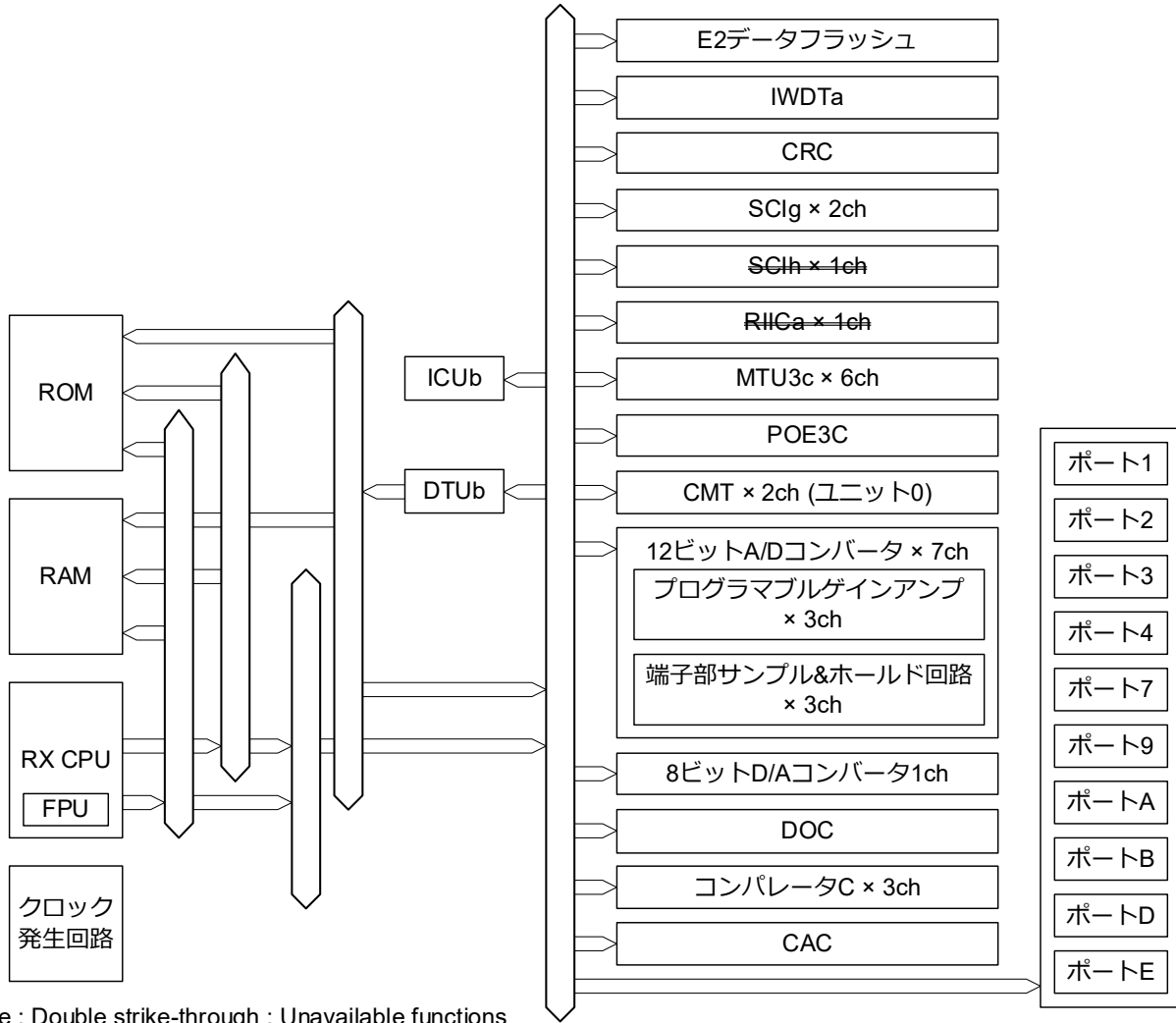
Note1 : RX13Tの端子です。端子機能の詳細は、「RX13Tグループ ユーザーズマニュアル ハードウェア編 (R01UH0822JJ)」を参照してください。

Note3 : この端子をGPIO, AN004、またはCMP12として使用する際、Smart Gate DriverのSense Block Control 5レジスタ (SNSCTL5)のMUXビットに"000b"を設定してください。ただし、"000b"を設定している場合、ブルダウン抵抗 (330[kΩ])が有効になるため、外部接続端子でアナログ機能を使用する際は注意してください。詳細は、3.2.1.18、および「RAJ306101 データシート (R18DS0038JJ)」の6.5.5を参照してください。

1.5 機能概要

1.5.1 MCU 部

1.5.1.1 MCU 部ブロック図



Note : Double strike-through : Unavailable functions

- ICUb : 割り込みコントローラ
- DTUb : データトランスファコントローラ
- IWDtA : 独立ウォッチドッグタイマ
- CRC : CRC (Cyclic Redundancy Check) 演算器
- SC1g, SC1h : シリアルコミュニケーションインタフェース
- R11Ca : I2C バスインタフェース
- MTU3c : マルチファンクションタイマパルスユニット 3
- POE3C : ポートアウトプットイネーブル 3
- DOC : データ演算回路
- CAC : クロック周波数精度測定回路
- FPU : フローティングプロセスユニット

図 1-3 MCU 部ブロック図

1.5.1.2 MCU 部機能概要

本製品に搭載しているRX13Tのオリジナルの機能概要と、本製品に搭載した状態での機能概要比較表を表1-3、表1-4、表1-5に示します。

表 1-3 MCU 部機能概要比較表 (1 / 3)

分類	モジュール / 機能	説明	
		RX13T : 48Pin (R5F513T5AGFL)	RAJ306101
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：32[MHz] 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット × 16本 制御レジスタ：32ビット × 9本 アキュムレータ：64ビット × 1本 基本命令：73種類 可変長命令形式 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン / ビッグエンディアンを選択可能 32ビット乗算器：32ビット × 32ビット → 64ビット 除算器：32ビット ÷ 32ビット → 32ビット バレルシフタ：32ビット 	
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点 (32ビット) IEEE754に準拠したデータタイプ、および例外 	
メモリ	ROM	<ul style="list-style-type: none"> 容量：128[Kバイト] 32[MHz]以下、ノーウェイトアクセス 書き換え方法：シリアルライタプログラミング (調歩同期式シリアル通信)、セルフプログラミング 	
	RAM	<ul style="list-style-type: none"> 容量：12[Kバイト] 32[MHz]以下、ノーウェイトアクセス 	
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：4[Kバイト] プログラム / イレース回数：1,000,000回 (TYP.) 	
MCU動作モード		シングルチップモード	
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、WDT専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 32[MHz] 周辺モジュールはPCLKB同期：Max 32[MHz] フラッシュ周辺回路はFCLK同期：Max 32[MHz] ICLKの周波数は、FCLK、PCLKB、PCLKDのn倍 (n：1, 2, 4, 8, 16, 32, 64) のみ設定可能 	
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット	
電圧検出	電圧検出回路 (LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みが発生^{Note1} 電圧検出0は検出電圧を3レベルから選択可能 電圧検出1は検出電圧を9レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能 	
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード 	
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード 	

Note1：RAJ306101の推奨動作電圧範囲は、Smart Gate Driverの推奨動作電圧範囲 (3.135~5.25[V]) に制限されます。

表 1-4 MCU 部機能概要比較表 (2 / 3)

分類	モジュール / 機能	説明	
		RX13T : 48Pin (R5F513T5AGFL)	RAJ306101
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> • 割り込みベクタ数 : 256 • 外部割り込み : 要因数 7 (NMI、IRQ0~IRQ5端子) • ノンマスクパル割り込み : 要因数 5 (NMI端子, 発振停止検出割り込み, 電圧監視1割り込み, 電圧監視2割り込み, WDT割り込み) • 16レベルの割り込み優先順位を設定可能 	
DMA	データトランスファ コントローラ (DTCb)	<ul style="list-style-type: none"> • 転送モード : ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因 : 割り外部割り込み、周辺機能割り込み • シーケンス転送が可能 	
IOポート	汎用入出力ポート	<ul style="list-style-type: none"> • 入出力 : 38 • 入力 : 1 • プルアップ抵抗 : 38 • オープンドレイン出力 : 30 • 5Vトレラント : 2 	<ul style="list-style-type: none"> • 入出力 : 18 (内部接続端子 : 19, 未接続端子 : 3^{Note2, Note3}) • 入力 : 1 (内部接続端子 : 0, 未接続端子 : 0) • プルアップ抵抗 : 18 (内部接続端子 : 19, 未接続端子 : 3) • オープンドレイン出力 : 13 (内部接続端子 : 16, 未接続端子 : 2) • 5Vトレラント : 0 (内部接続端子 : 2, 未接続端子 : 0)
マルチファンクションピン コントローラ(MPC)		入出力ポートを複数の端子から選択可能	
タイマ	マルチファンク シヨンタイマパルス ユニット3 (MTU3c)	<ul style="list-style-type: none"> • 6チャネル (16ビット × 6チャネル) • 最大16本のパルス入出力と3本のパルス入力が可能 • 14種類のカウンタクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD, MTIOC1A)を選択可能 (チャネル0は14種類, チャネル1, 3, 4は11種類, チャネル2は12種類, チャネル5は10種類) 	<ul style="list-style-type: none"> • 6チャネル (16ビット × 6チャネル)^{Note4, Note5} • 最大7本のパルス入出力が可能 (内部接続端子で6本) • 12種類のカウンタクロック (PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/32, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKD)を選択可能 (チャネル0は12種類, チャネル1, 2, 3, 4は11種類, チャネル5は9種類)
		<ul style="list-style-type: none"> • 26本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • カウンタクリア動作 (コンペアマッチ / インプットキャプチャによる同時クリア可能) • 複数のタイマカウンタ (TCNT) への同時書き込み • カウンタの同期動作による各レジスタの同期入出力 • バッファ動作 • カスケード接続動作 • 28種類の割り込み要因 • レジスタデータの自動転送 • パルス出力モード トグル / PWM / 相補PWM / リセット同期PWM • 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100[%]任意に設定可能 A/D変換要求デイレイト機能 山/谷割り込み間引き機能 ダブルバッファ機能 • リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 • 位相計数モード : 16ビットモード (チャネル1, 2) / 32ビットモード (チャネル1, 2) • デッドタイム補償用カウンタ機能 • A/Dコンバータの変換開始トリガを生成可能 • A/Dコンバータ開始間引き機能 • インプットキャプチャ、外部カウンタクロック端子にデジタルフィルタあり 	
ポートアウト ブッティネーブル3 (POE3C)		MTU波形出力端子のハイインピーダンス制御	
コンペアマッチ タイマ (CMT)		<ul style="list-style-type: none"> • (16ビット × 2チャネル) × 1ユニット • 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能 	
独立ウォッチドッグ タイマ (WDTa)		<ul style="list-style-type: none"> • 14ビット × 1チャネル • カウンタクロック : IWDT専用低速オンチップオシレータ 1分周, 16分周, 32分周, 64分周, 128分周, 256分周 	

Note2 : P44, PB0 は外部接続端子と、内部接続端子の兼用端子になっているため、両方にカウントしています。用途に応じて端子設定をしてください。

Note3 : P44 は外部接続端子と、内部接続端子 (Smart Gate Driver の差動アンプ出力) の兼用端子になっています。用途に応じて端子設定をしてください。なお、Smart Gate Driver の内部接続端子に DA3O 端子にはプルダウン抵抗 (330[kΩ]) が接続されるため、外部接続でアナログ機能を使用する際は注意してください。

Note4 : MTU3 の MTIOC3B, MTIOC3D, MTU4 の MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D は Smart Gate Driver に内部接続しているため、モータ制御専用として使用します。

Note5 : MTU5 は端子を出力していませんが、コンペアマッチタイマ (CMT)として使用可能です。

表 1-5 MCU 部機能概要比較表 (3 / 3)

分類	モジュール / 機能	説明	
		RX13T : 48Pin (R5F513T5AGFL)	RAJ306101
通信機能	シリアルコミュニケーションインタフェース (SCIg, SC1h)	<ul style="list-style-type: none"> 3チャンネル(チャンネル1, 5 : SCIg, チャンネル12 : SC1h) SCIg <ul style="list-style-type: none"> シリアル通信方式 : 調歩同期式 / クロック同期式 / スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト / MSBファーストを選択可能 MTUからの平均転送レートクロック入力が可能 スタートビット検出 : レベルおよびエッジを選択可能 簡易I2Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート SC1h (SCIgに以下の機能を付加) <ul style="list-style-type: none"> スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート 	<ul style="list-style-type: none"> 2チャンネル (チャンネル1, 5 : SCIg)^{Note6}
	I2Cバスインタフェース (R1Ca)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I2Cバスフォーマット / SMBusフォーマット マスタ / スレーブを選択可能 ファストモード対応 	—
12ビットADコンバータ (S12ADF)		<ul style="list-style-type: none"> 12ビット (8チャンネル × 1ユニット) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり1.4[μs] (ADCLK = 32[MHz]動作時) 動作モード <ul style="list-style-type: none"> スキャンモード (シングルスキャンモード, 連続スキャンモード, 3グループスキャンモード) グループA優先制御動作 (3グループスキャンモードのみ) サンプリング可変機能 <ul style="list-style-type: none"> チャンネルごとにサンプリング時間が設定可能 自己診断機能 ダブルトリガモード (A/D変換データ二重化機能) アナログ入力断線検出アシスト機能 A/D変換開始条件 <ul style="list-style-type: none"> ソフトウェアトリガ, タイマ (MTU) のトリガ, 外部トリガ 	<ul style="list-style-type: none"> 12ビット (7チャンネル × 1ユニット)
		<ul style="list-style-type: none"> サンプルホールド機能 <ul style="list-style-type: none"> サンプル&ホールド回路を搭載 (3チャンネル) プログラマブルゲインアンプによる入力信号増幅機能 (3チャンネル) <ul style="list-style-type: none"> 増幅率 : RX13T内蔵 : 2.000倍、2.500倍、3.077倍、5.000倍、8.000倍、10.000倍 (計6ステップ) 	<ul style="list-style-type: none"> サンプルホールド機能 <ul style="list-style-type: none"> サンプル&ホールド回路を搭載 (3チャンネル + 3チャンネル^{Note7}) プログラマブルゲインアンプによる入力信号増幅機能 3チャンネル+3チャンネル) <ul style="list-style-type: none"> 増幅率 : RX13T内蔵 : 2.000倍、2.500倍、3.077倍、5.000倍、8.000倍、10.000倍 (計6ステップ)^{Note8} Smart Gate Driver内蔵 : 5倍、10倍、20倍、40倍 (計4ステップ)^{Note7}
コンパレータC (CMPC)	<ul style="list-style-type: none"> 3チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧 : 2種類から選択可能 アナログ入力電圧 : 4種類入力 	<ul style="list-style-type: none"> 3チャンネル+3チャンネル^{Note9} リファレンス電圧とアナログ入力電圧の比較機能^{Note10} リファレンス電圧 : 2種類から選択可能 アナログ入力電圧 : 3種類入力^{Note11} 	
コンパレータC用リファレンス電圧生成専用D/Aコンバータ (DA)	<ul style="list-style-type: none"> 1チャンネル 分解能 : 8ビット 出力電圧 : 0[V]~AVCC0 コンパレータC用リファレンス電圧生成専用回路 		
CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 <ul style="list-style-type: none"> $X^8 + X^2 + X + 1, X^{16} + X^{15} + X^2 + 1, X^{16} + X^{12} + X^5 + 1$ LSBファースト / MSBファースト通信CRCコード生成の選択が可能 		
データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能		
電源電圧 / 動作周波数	VCC = 2.7~5.5[V] : 32[MHz] ^{Note1}		
消費電流	11[mA]@32[MHz] (typ.)		
動作周囲温度	Gバージョン : -40~+105[°C]		
パッケージ	48ピン LQFP (PLQP0048KB-B) 7 × 7[mm], 0.5[mm] ピッチ	56ピン QFP 8 × 8[mm], 0.5[mm] ピッチ	
デバッグインタフェース	FINEインタフェース		

Note1 : RAJ306101 の推奨動作電圧範囲は、Smart Gate Driver の推奨動作電圧範囲 (3.135~5.25[V]) に制限されます。

Note6 : SC15 は Smart Gate Driver の初期設定のため、内部の SPI 通信として使用しますが、初期設定完了後、SPI 通信を行わない場合、ポートの切り替えにより外部接続端子を使った SPI 通信に使用可能です。

Note7 : MCU の PGA に加えて、Smart Gate Driver の差動アンプに 3ch の PGA を内蔵しています。また、差動アンプにはサンプルホールド機能があります。

Note8 : 本製品では、COMP0, COMP1, COMP2 の端子出力機能は使用できません。

Note9 : 本製品では、コンパレータ C (CMPC) 以外に、Smart Gate Driver に 3ch の汎用コンパレータを内蔵しています。Smart Gate Driver に内蔵しているコンパレータの閾値は、Sense Block Control 3、4 レジスタ (SNSCTL3, 4) の CMPz_VTH (z = 1, 2, 3) ビットの設定により 15 段階で調整可能です。

Note10 : 本製品では、CMPC03, CMPC13, CMPC22 からのアナログ入力電圧は選択できません。

Note11 : サンプルホールド回路、およびアンプは、AN000, AN001, AN002 入力、および AN004, AN005, AN006 入力 (Smart Gate Driver の DAzP, DAzN 端子 (z = 1, 2, 3) よりサンプルホールド機能付き差動アンプを介して入力) の 2 系統があります。

1.5.2 Smart Gate Driver 部

1.5.2.1 Smart Gate Driver 部ブロック図

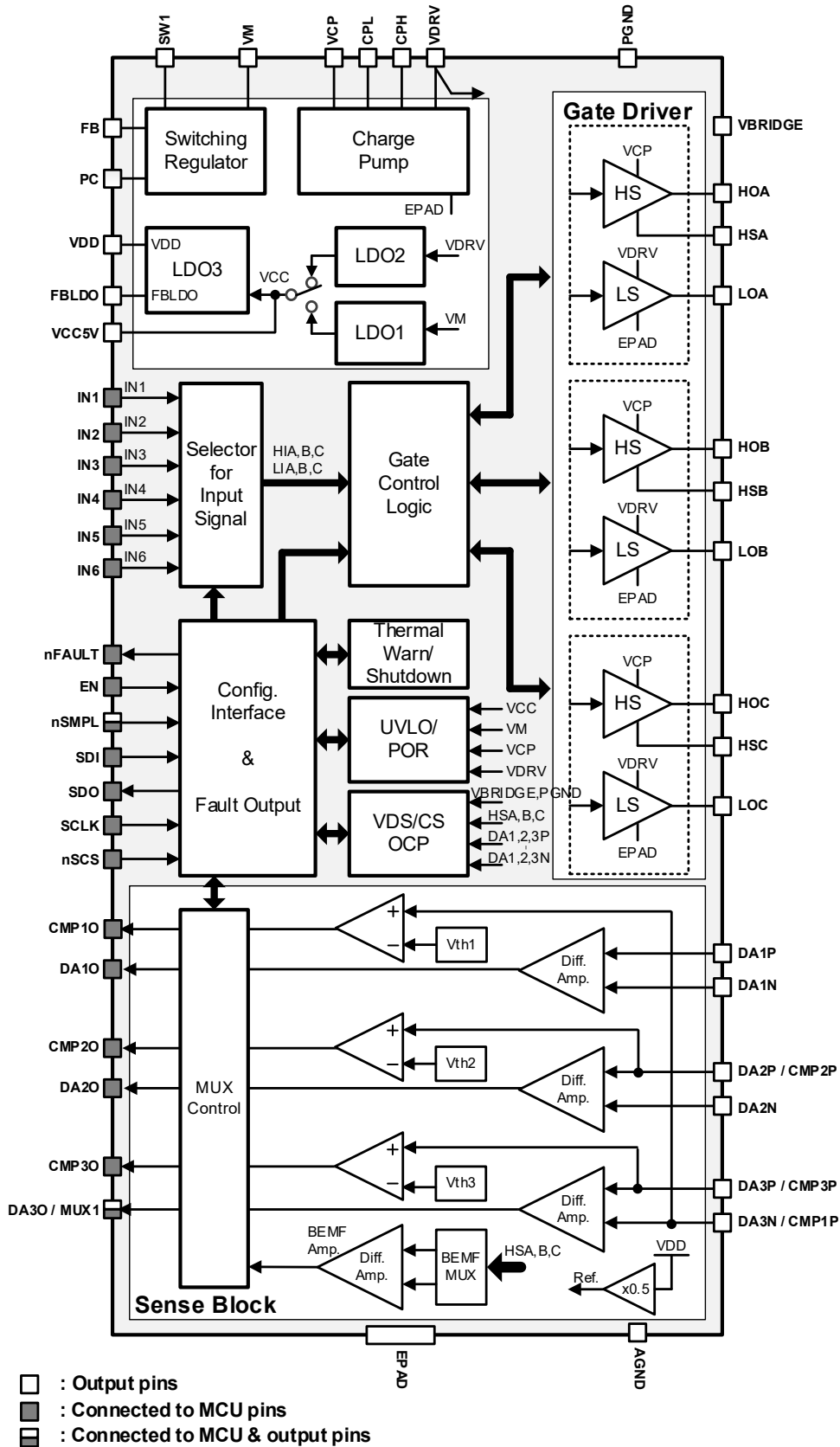


図 1-4 Smart Gate Driver 部ブロック図

1.6 MCU と Smart Gate Driver の内部接続

1.6.1 内部接続図

本製品は、MCU (RX13T : R5F513T5AGFL) と Smart Gate Driver (RAA306012) を一つのパッケージにしています。図 1-5 にチップ間の端子接続図を示します。“x”印で示した結線の端子は、未接続端子です。

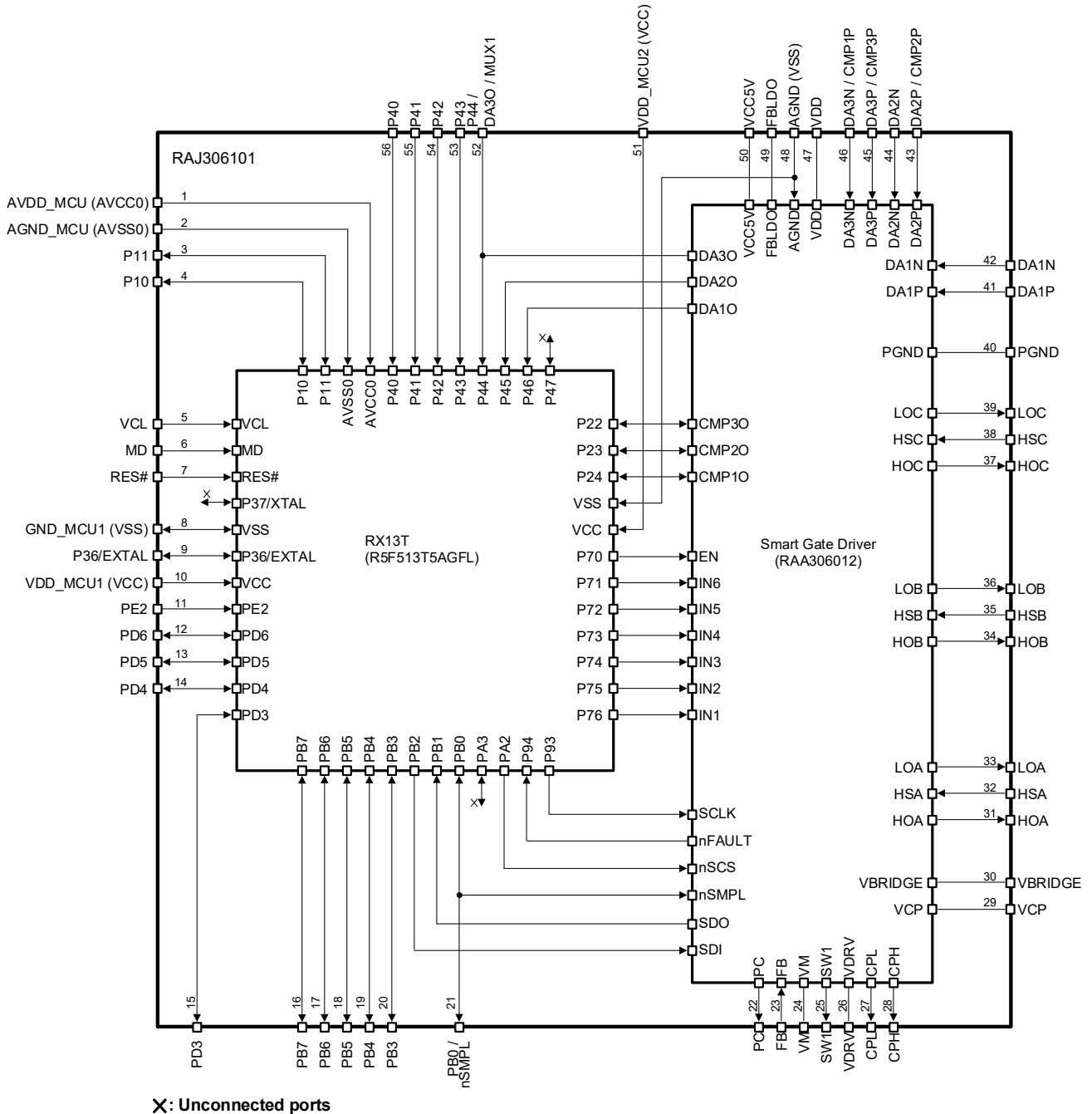


図 1-5 内部接続図

1.6.2 内部接続表

表 1-6 に RX13T と Smart Gate Driver の内部接続を示します。

表 1-6 RX13T と Smart Gate Driver の内部接続

番号	I/O for RX13T				Smart Gate Driver		Note
	端子名称	レベル	入出力	リセット解除時	端子名称	機能	
1	PA2	VDD	入出力	入力ポート	nSCS	SPI用チップ選択入力	
2	P93 / SCK5	VDD	入出力	入力ポート	SCLK	SPI用クロック入力	1
3	PB1 / MISO5	VDD	入出力	入力ポート	SDO	SPI用データ出力 SDO端子はオープン・ドレイン出力です。MCUの内蔵プルアップを設定して下さい。	1
4	PB2 / MOSI5	VDD	入出力	入力ポート	SDI	SPI用データ入力	1
5	P94 / IRQ1	VDD	入出力	入力ポート	nFAULT	Fault状態検知信号出力 nFAULT端子はオープン・ドレイン出力です。MCUの内蔵プルアップを設定して下さい。	1
6	P22 / IRQ2	VDD	入出力	入力ポート	CMP3O	BEMF検出アンプの検出相選択用制御入力 / コンパレータ3出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
7	P23 / IRQ4	VDD	入出力	入力ポート	CMP2O	BEMF検出アンプの検出相選択用制御入力 / コンパレータ2出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
8	P24 / IRQ3	VDD	入出力	入力ポート	CMP1O	BEMF検出アンプの検出相選択用制御入力 / コンパレータ1出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
9	PB0	VDD	入出力	入力ポート	nSMPL	差動アンプあるいは、BEMF検出アンプのサンプリング制御入力 この端子は、本製品の21Pinにも接続されています。	2
10	P76 / MTIOC4D	VDD	入出力	入力ポート	IN1	ゲートドライバ制御入力1 モータ起動前にGDSELCレジスタのLOC_SEL ビットに"001b"を設定してください。	1
11	P75 / MTIOC4C	VDD	入出力	入力ポート	IN2	ゲートドライバ制御入力2 モータ起動前にGDSELBレジスタのLOB_SEL ビットに"010b"を設定してください。	1
12	P74 / MTIOC3D	VDD	入出力	入力ポート	IN3	ゲートドライバ制御入力3 モータ起動前にGDSELAレジスタのLOA_SEL ビットに"011b"を設定してください。	1
13	P73 / MTIOC4B	VDD	入出力	入力ポート	IN4	ゲートドライバ制御入力4 モータ起動前にGDSELCレジスタのHOC_SEL ビットに"100b"を設定してください。	1
14	P72 / MTIOC4A	VDD	入出力	入力ポート	IN5	ゲートドライバ制御入力5 モータ起動前にGDSELBレジスタのHOB_SEL ビットに"101b"を設定してください。	1
15	P71 / MTIOC3B	VDD	入出力	入力ポート	IN6	ゲートドライバ制御入力6 モータ起動前にGDSELAレジスタのHOA_SEL ビットに"110b"を設定してください。	1
16	P70	VDD	入出力	入力ポート	EN	Normal Operation Modeのイネーブル入力 この端子がLowの場合、Smart Gate Driverは、low-power sleep modeとなります。	
17	P46 / AN006	VDD	入出力	入力ポート	DA1O	差動アンプ1出力	1
18	P45 / AN005	VDD	入出力	入力ポート	DA2O	差動アンプ2出力	1
19	P44 / AN004	VDD	入出力	入力ポート	DA3O / MUX1	差動アンプ3の出力 / BEMF検出アンプ出力 / アナログマルチプレクサ出力 この端子は、本製品の52Pinにも接続されています。	1, 3

Note1 : Smart Gate Driver の制御には、マルチファンクションピンコントローラ (MPC) を適切に設定する必要があります。詳細は、2.2.7を参照してください。

Note2 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の差動アンプのサンプルホールド機能は使用不可能です。Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット, DA1_SH ビット, DA2_SH ビット, DA3_SH ビットを全て"0b"に設定してください。詳細は、3.2.1.15を参照してください。

Note3 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに"000b"を設定してください。ただし、"000b"を設定している場合は、Smart Gate Driver 内部のプルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際はインピーダンスを考慮した使用方法を検討してください。詳細は、3.2.1.18 と「RAJ306101 データシート (R18DS0038JJ)」の 6.5.5 を参照してください。

1.7 応用回路例

1.7.1 ホールセンサモータ制御 (3 コンパレータ)

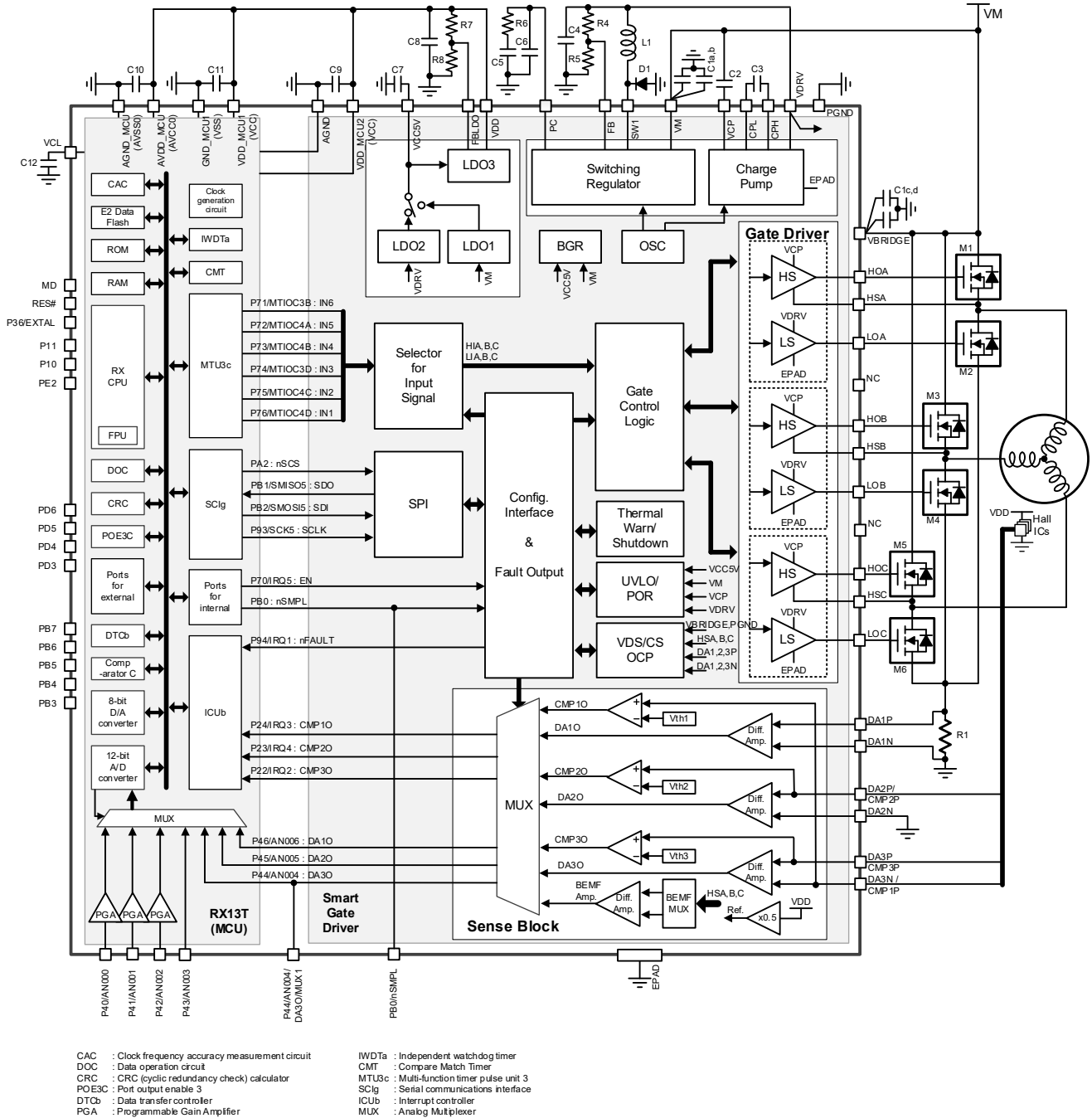


図 1-6 アプリケーション簡易ブロック図: ホールセンサモータ制御 (3 コンパレータ)

1.7.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)

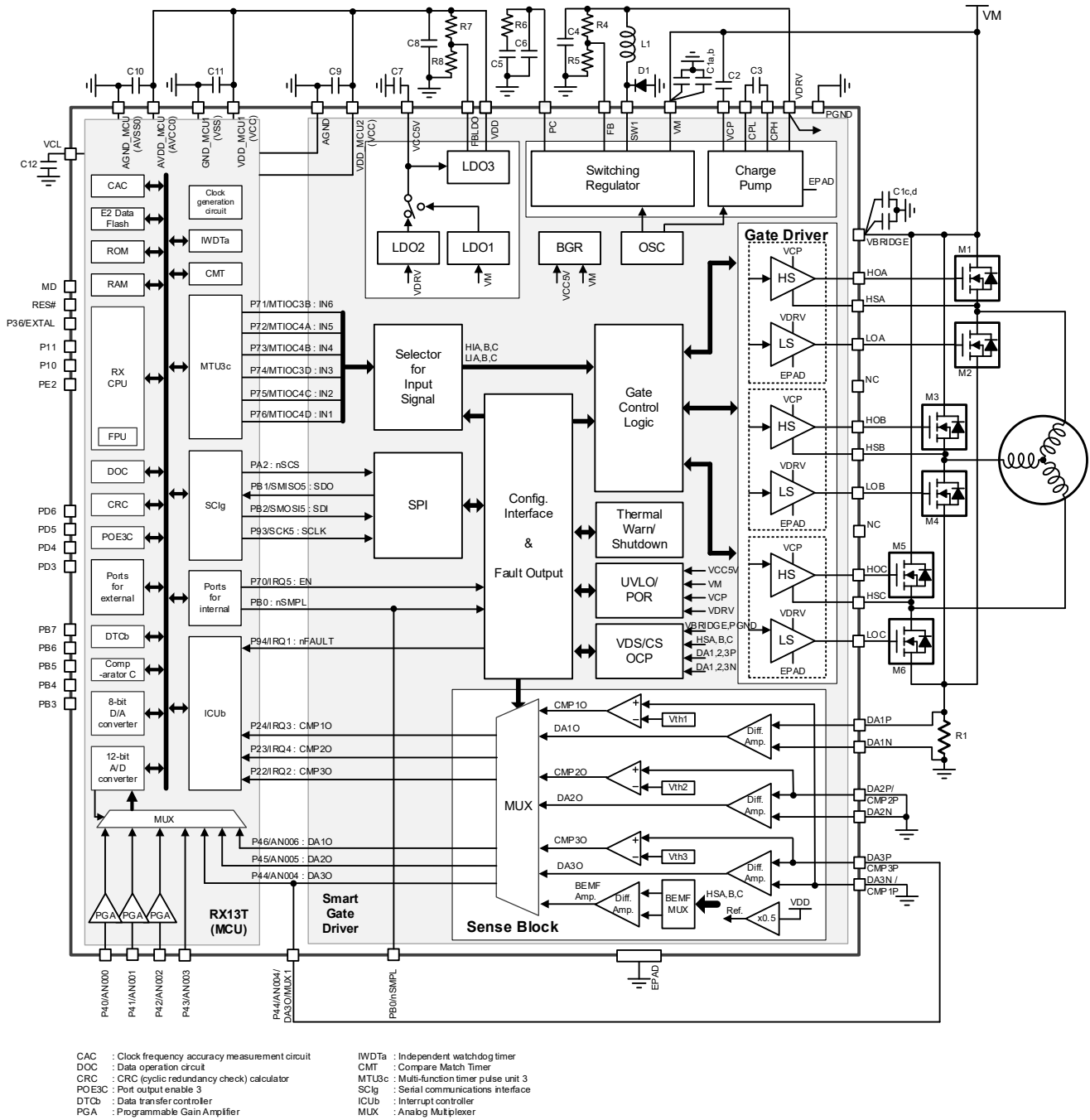


図 1-7 アプリケーション簡易ブロック図: センサレスモータ制御 (BEMF 検出 & コンパレータ)

1.7.3 センサレスモータ制御 (3 シャント FOC)

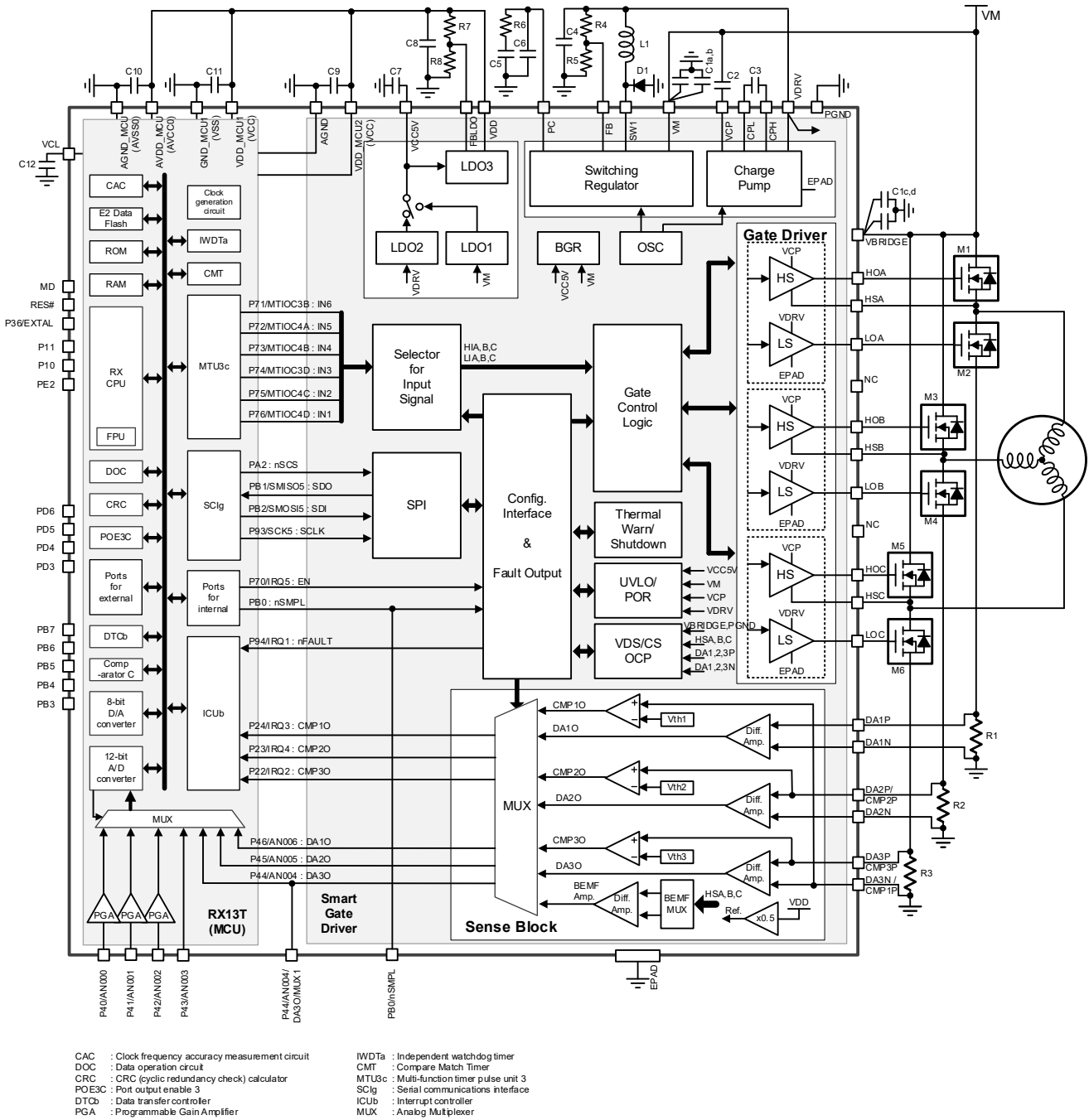


図 1-8 アプリケーション簡易ブロック図: センサレスモータ制御 (3 シャント FOC)

1.7.4 センサレスモータ制御 (MCU 5[V] 供給仕様)

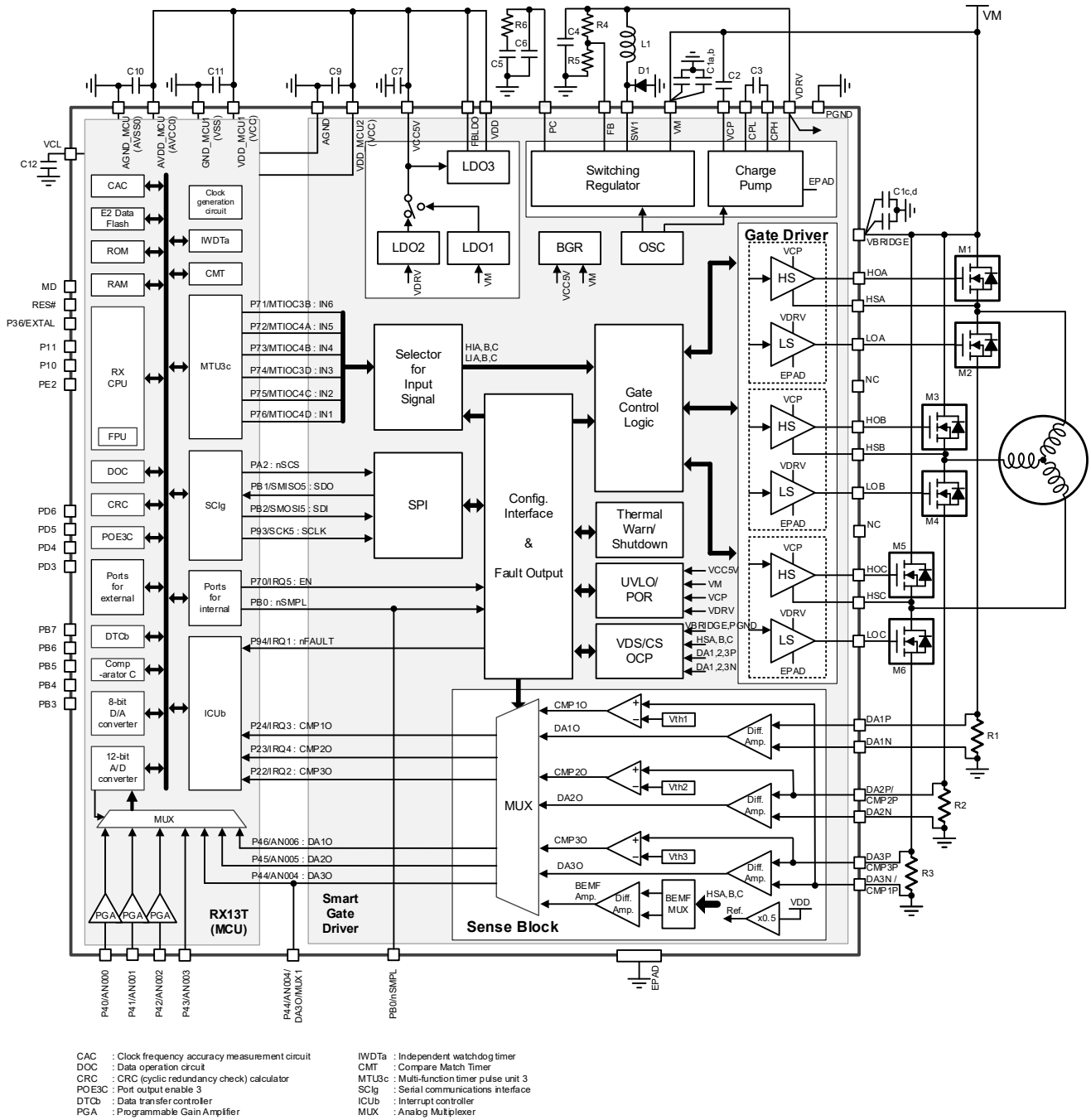


図 1-9 アプリケーション簡易ブロック図：センサレスモータ制御 (MCU 5[V] 供給仕様)

第2章 MCU : RX13T

本製品には、MCU として RX13T の 48Pin 製品 (R5F513T5AGFL) を搭載しています。

ただし、本製品に搭載している RX13T には、Smart Gate Driver との内部接続端子、および未接続端子があるため、使用可能な周辺機能に制限があります。本章では、本製品を使用するうえでの RX13T の制限事項、および注意事項を記載します。各機能の基本的な使用法は、最新の「RX13Tグループ ユーザズマニュアル ハードウェア編 (R01UH0822JJ)」、および「テクニカルアップデート」を参照してください。

2.1 端子接続, 端子機能、および端子設定

2.1.1 Smart Gate Driver との端子接続

図 2-1 に Smart Gate Driver との端子接続図を示します。“x”印で示した結線の端子は、未接続端子です。

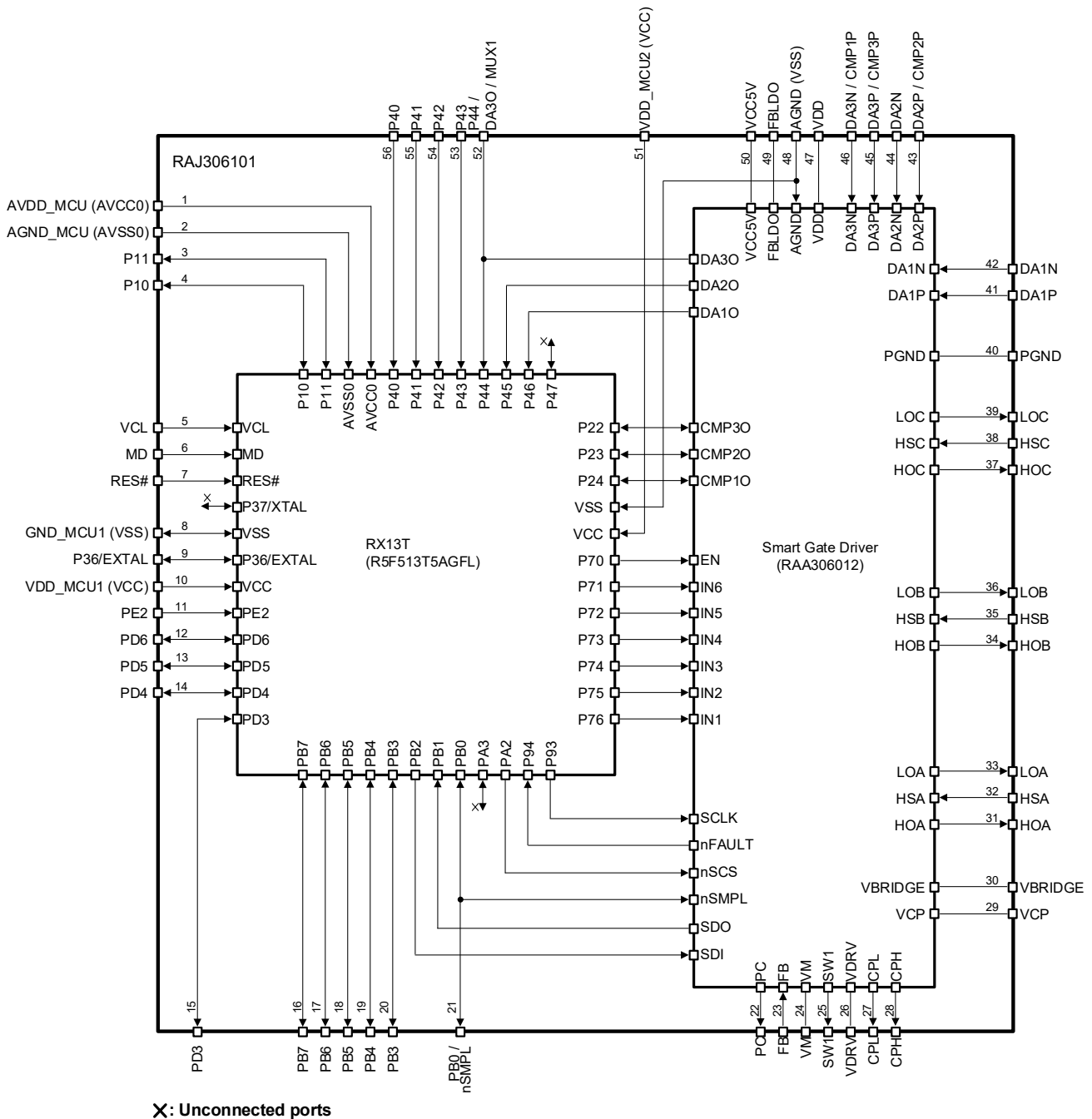


図 2-1 Smart Gate Driver との端子接続図

2.1.2 端子機能

表 2-1, 表 2-2 に、搭載している RX13T の端子機能を示します。

接続先の項目に内部と記載している端子は、内部接続により Smart Gate Driver の制御に使用するため、使用不可能な機能があります。また、未接続と記載されている端子も使用不可能です。本制限を考慮した機能の割り当てを検討してください。

表 2-1 RX13T の端子機能 (1 / 2)

機能名称	入出力	リセット解除時	接続先		兼用機能		Note
					使用可能	使用不可能	
VCL	—	—	外部	VCL	—	—	
MD	入力	入力	外部	MD	FINED	—	
RES#	入力	入力	外部	RES#	—	—	
P37	入出力	入力	未接続	—	—	XTAL	
VSS	入力	—	外部	GND_MCU1	—	—	
P36	入出力	入力	外部	P36	EXTAL	—	
VCC	入力	—	外部	VDD_MCU1	—	—	
PE2	入力	入力	外部	PE2	POE10# / NMI / IRQ0	—	
PD6	入出力	入力	外部	PD6	MTIOC0D / CTS1# / RTS1# / SS1# / IRQ5 / ADST0	—	
PD5	入出力	入力	外部	PD5	MTIOC0C / RXD1 / SMSO1 / SSCL1 / IRQ3	—	2
PD4	入出力	入力	外部	PD4	MTIOC0B / SCK1 / IRQ2	—	2
PD3	入出力	入力	外部	PD3	MTIOC0A / TXD1 / SMSO1 / SSDA1	—	
PB7	入出力	入力	外部	PB7	MTCLKD / RXD1 / SMSO1 / SSCL1 / RXD5 / SMSO5 / SSCL5 / IRQ5	MTIOC3C	1
PB6	入出力	入力	外部	PB6	MTIOC3A / MTIOC1B / TXD1 / SMSO1 / SSDA1 / TXD5 / SMSO5 / SSDA5	—	1
PB5	入出力	入力	外部	PB5	ADTRG0#	—	
PB4	入出力	入力	外部	PB4	POE8# / IRQ3	—	2
PB3	入出力	入力	外部	PB3	MTIOC0A / CACREF / SCK5	SCK12	1
PB2	入出力	入力	内部	SDI	SMOSI5	MTIOC0B / MTCLKC / ADMS0 / TXD5 / SSDA5 / SDA0	1
PB1	入出力	入力	内部	SDO	SMSO5	MTIOC0C / MTCI5W / MTCLKA / RXD5 / SSCL5 / SCL0 / IRQ2	1
PB0	入出力	入力	外部	PB0	MTIOC0D / MTIOC2A / MTCLKB /	SMOSI12 / SSDA12 / TXD12 / TXDX12 / SIOX12	3
			内部	nSMPL	—	—	
PA3	入出力	入力	未接続	—	—	MTIOC1B / MTIOC2A / CTS12# / RTS12# / SS12#	
PA2	入出力	入力	内部	nSCS	—	MTIOC1A / MTIOC2B / CTS5# / RTS5# / SS5# / IRQ4	
P94	入出力	入力	内部	nFAULT	IRQ1	MTIOC2B / MTCI5U / MTCLKA / RXD12 / RXDX12 / SMSO12 / SSCL12	2
P93	入出力	入力	内部	SCLK	SCK5	MTIOC1A / MTCI5V / SCK12 / IRQ0 / ADTRG0#	1
P76	入出力	入力	内部	IN1	MTIOC4D	—	
P75	入出力	入力	内部	IN2	MTIOC4C	—	
P74	入出力	入力	内部	IN3	MTIOC3D	—	
P73	入出力	入力	内部	IN4	MTIOC4B	—	
P72	入出力	入力	内部	IN5	MTIOC4A	—	
P71	入出力	入力	内部	IN6	MTIOC3B	—	
P70	入出力	入力	内部	EN	—	POE0# / IRQ5	

Note : ポート機能、および兼用機能の詳細は、「RX13Tグループ ユーザーズマニュアル ハードウェア編 (R01UH0822JJ)」を参照してください。灰色で示した端子は未接続端子のため、兼用機能も含め使用不可能です。

Note1 : SCI5 は Smart Gate Driver の初期設定のため、内部の SPI 通信として使用しますが、初期設定完了後、SPI 通信を行わない場合、ポートの切り替えにより外部接続端子を使った SPI 通信に使用可能です。

Note2 : IRQ2, 3 は Smart Gate Driver からの入力信号を割り込み機能で受け取れない場合、外部接続端子に割り当てて使用可能です。IRQ0 に関しても外部接続端子に割り当てて使用可能ですが、nFAULT 信号の割り込み機能として使用することを推奨します。

Note3 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の差動アンプのサンプルホールド機能は使用不可能です。Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット, DA1_SH ビット, DA2_SH ビット, DA3_SH ビットを全て "0b" に設定してください。詳細は、3.2.1.15 を参照してください。

表 2-2 RX13T の端子機能 (2 / 2)

機能名称	入出力	リセット解除時	接続先		兼用機能		Note
					使用可能	使用不可能	
VCC	入出力	—	外部	VDD_MCU2	—	—	
VSS	入出力	—	内部 / 外部	AGND	—	—	4
P24	入出力	入力	内部	CMP10	IRQ3	MTIC5U / RXD5 / SMSO5 / SSCL5 / COMP0	2
P23	入出力	入力	内部	CMP20	IRQ4	MTIC5V / CACREF / TXD5 / SMOSI5 / SSDA5/COMP1	
P22	入出力	入力	内部	CMP30	IRQ2	MTIC5W / COMP2	2
P47	入出力	入力	未接続	—	—	AN007 / CMPC13	
P46	入出力	入力	内部	DA10	AN006 / CMPC03	—	
P45	入出力	入力	内部	DA20	AN005 / CMPC22	—	
P44	入出力	入力	外部	P44	AN004 / CMPC12	—	5
			内部	DA30			
P43	入出力	入力	外部	P43	AN003 / CMPC02	—	
P42	入出力	入力	外部	P42	AN002 / CMPC20	—	
P41	入出力	入力	外部	P41	AN001 / CMPC10	—	
P40	入出力	入力	外部	P40	AN000 / CMPC00	—	
AVCC0	入出力	入力	外部	AVCC_MCU	—	—	
AVSS0	入出力	入力	外部	AGND_MCU	—	—	
P11	入出力	入力	外部	P11	MTIOC3A / MTCLKA / POE8# / IRQ1 / CVREFC0	—	2
P10	入出力	入力	外部	P10	MTCLKB / IRQ0	—	

Note : ポート機能、および兼用機能の詳細は、「**RX13Tグループ ユーザーズマニュアル ハードウェア編 (R01UH0822JJ)**」を参照してください。灰色で示した端子は未接続端子のため、兼用機能も含め使用不可能です。

Note2 : IRQ2, 3 は Smart Gate Driver からの入力信号を割り込み機能で受けない場合、外部接続端子に割り当てて使用可能です。IRQ0 についても外部接続端子に割り当てて使用可能ですが、nFAULT 信号の割り込み機能として使用することを推奨します。

Note4 : 本端子は、Smart Gate Driver の AGND 端子と内部で接続しています。

Note5 : 本端子を MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに"000b"を設定してください。ただし、"000b"を設定している場合は、Smart Gate Driver 内部のプルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際はインピーダンスを考慮した使用方法を検討してください。詳細は、**3.2.1.18** と「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.5** を参照してください。

2.1.3 推奨端子設定

2.1.3.1 端子割り当て

表 2-3 に RX13T の内部接続端子、未接続端子の端子割り当てと注意事項を示します。

表 2-3 RX13T の内部接続端子、未接続端子の端子割り当てと注意事項

ポートシンボル	外部接続端子	端子数	内部接続端子 (Smart Gate Driverの端子)	注意事項	Note
PORT1	P10, P11	2	—	—	
PORT2	—	—	P22 - 24 (CMPzO (z = 1, 2, 3))	Smart Gate Driverのコンパレータ機能を使用する場合は、デジタル入力ポート、または割り込み機能を設定してください。BEMFの検出相選択に使用する場合は、デジタル出力ポートを設定してください。	
PORT3	P36	1	—	—	
	—	—	P37 (未接続)	デジタル出力ポートに設定してください。	
PORT4	P40 - P43	4	—	—	
	P44	1	P44 (DA30)	Smart Gate Driverからの差動アンプ出力信号 (DA30) を入力に使用する場合は、アナログ入力ポートに設定してください。差動アンプ出力信号 (DA30) を使用しない場合、MCUの外部接続端子として使用可能です。	1
	—	—	P45 (DA20)	Smart Gate Driverの差動アンプ出力信号 (DA20) の入力のため、アナログ入力ポートに設定してください。	
	—	—	P46 (DA10)	Smart Gate Driverの差動アンプ出力信号 (DA10) の入力のため、アナログ入力ポートに設定してください。	
	—	—	P47 (未接続)	デジタル出力ポートに設定してください。	
PORT7	—	—	P70 (EN)	Smart Gate Driver へのイネーブル入力のため、デジタル出力ポートに設定してください。	
	—	—	P71 - P76 (IN6 - IN1)	Smart Gate DriverへのPWM信号の出力のため、MTU3cの機能を設定してください。	
PORT9	—	—	P93 (SCLK)	Smart Gate Driverとの内部通信 (通信クロック出力) のため、簡易SPI モード (SCI5) のSCKを設定してください。	
	—	—	P94 (nFAULT)	Smart Gate Driverの異常状態確認用ポートとして使用します。デジタル入力ポート、または割り込み機能に設定し、MCUの内蔵ブルアップを有効にしてください。	
PORTA	—	—	PA2 (nSCS)	Smart Gate Driverとの内部通信 (チップセレクト出力) のため、デジタル出力ポートに設定してください。	
	—	—	PA3 (未接続)	デジタル出力ポートに設定してください。	
PORTB	PB0	1	PB0 (nSMPL)	Smart Gate Driverのサンプルホールド機能を使用する場合、デジタル出力ポートに設定してください。サンプルホールド機能を使用しない場合、MCUの外部接続端子として使用可能です。	2
	—	—	PB1 (SDO)	Smart Gate Driverとの内部通信 (データ入力) のため、簡易SPI モード (SCI5) のMISO機能を設定し、MCUの内蔵ブルアップを設定してください。	
	—	—	PB2 (SDI)	Smart Gate Driverとの内部通信 (データ出力) のため、簡易SPI モード (SCI5) のMOSI機能を設定してください。	
	PB3 - PB7	5	—	—	
PORTD	PD3 - PD6	4	—	—	
PORTE	PE2	1	—	—	
合計外部接続端子数		19			

Note1 : MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに "000b" を設定し、アナログマルチプレクサの出力を GND (プルダウン : 330[kΩ]) にしてください。

Note2 : MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット、DA1_SH ビット、DA2_SH ビット、DA3_SH ビットを全て "0b" に設定し、"サンプリングを継続" にしてください。

2.1.3.2 RX13T の未使用端子、および未接続端子の端子処理

表 2-4 に本製品に搭載した RX13T の未使用の外部接続端子、および未接続端子の端子処理を示します。未使用の外部接続端子は、入力、または出力のどちらかの端子処理を実施してください。

表 2-4 未使用の外部接続端子、未接続端子の端子処理

端子名	入出力	接続先	リセット解除時	未使用時の推奨処理内容
MD	入出力	外部	デバッグ端子	• (モード端子として使用)
RES#	入出力	外部	リセット端子	• 抵抗を介してVDD_MCU1 (VCC) に接続 (プルアップ)
PE2	入力	外部	入力ポート	• 抵抗を介してVDD_MCU1 (VCC) に接続 (プルアップ)
P10, P11	入出力	外部	入力ポート	• 入力に設定 (PORTn.PDRビット = "0b") し、1端子ごとに抵抗を介してVDD_MCU1 (VCC) に接続 (プルアップ)、または1端子ごとに抵抗を介してGND_MCU1 (VSS) に接続 (プルダウン) ^{Note1}
P36				• 出力に設定 (PORTn.PDRビット = "1b") し、端子を開放 ^{Note1, Note2} • メインクロックを使用しない場合は、MOSCCR.MOSTPビットを"1b" (汎用ポートP36) に設定 • ポートP36としても使用しない場合は、ポート1, 2, 7, 9, A, B, Dの処理と同様
P37	入出力	未接続	入力ポート	• MOSCCR.MOSTPビットを"1b" (汎用ポートP37) に設定し、出力に設定 (PORTn.PDRビット = "1b") し、端子を開放 ^{Note1, Note2}
P40 - P43	入出力	外部	入力ポート	• 入力に設定 (PORTn.PDRビット = "0b") し、1端子ごとに抵抗を介してAVDD_MCU (AVCC0) に接続 (プルアップ)、または抵抗を介してAGND_MCU (AVSS0) に接続 (プルダウン) • 出力に設定 (PORTn.PDRビット = "1b") ^{Note1, Note2}
P44	入出力	内部 / 外部	入力ポート	• 入力に設定 (PORTn.PDRビット = "0b") • 出力に設定 (PORTn.PDRビット = "1b") し、Low出力に設定して端子を開放
P47	入出力	未接続	入力ポート	• 出力に設定 (PORTn.PDRビット = "1b") ^{Note1, Note2}
PA3	入出力	未接続	入力ポート	• 出力に設定 (PORTn.PDRビット = "1b") ^{Note1, Note2}
PB0	入出力	内部 / 外部	入力ポート	• 入力に設定 (PORTn.PDRビット = "0b") し、抵抗を介してGND_MCU1 (VSS) に接続 (プルダウン) ^{Note1} • 出力に設定 (PORTn.PDRビット = "1b") し、Low出力に設定して端子を開放
PB3 - PB7 PD3 - PD6	入出力	外部	入力ポート	• 入力に設定 (PORTn.PDRビット = "0b") し、1端子ごとに抵抗を介してVDD_MCU1 (VCC) に接続 (プルアップ)、または1端子ごとに抵抗を介してGND_MCU1 (VSS) に接続 (プルダウン) ^{Note1} • 出力に設定 (PORTn.PDRビット = "1b") し、端子を開放 ^{Note1, Note2}

Note1 : PORTn.PMR ビットを"0b"、および PmnPFS.ISEL, ASEL ビットを"0b"にしてください。

Note2 : 出力を設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

2.1.3.3 内部接続端子の端子設定

本製品は、RX13Tの一部の端子を、Smart Gate Driverと内部接続しており、Smart Gate DriverはEN端子への入力に応じて動作状態が変わります。一部端子(INz (z = 1, 2, 3, 4, 5, 6)、およびCMPzO (z = 1, 2, 3))の機能はEN端子入力に依存します。そのため、対応するRX13Tの端子については、EN端子入力に応じた適切な端子設定が必要です。表2-5にSmart Gate DriverのEN端子の入力状態に応じたRX13Tの内部接続端子の端子設定を示します。内部接続端子の端子設定は、Smart Gate DriverをOperating Modeに遷移させる前(EN端子をHighにする前)に実施してください。各端子設定の詳細は、2.1.4を参照してください。また、INz (z = 1, 2, 3, 4, 5, 6)、およびCMPzO (z = 1, 2, 3)の設定手順は、第4章をあわせて参照してください。

表 2-5 Smart Gate DriverのEN端子の入力状態に応じたRX13Tの内部接続端子の端子設定

端子名	リセット解除時	接続先	端子処理		Note
			EN端子がLowの場合 (Smart Gate Driver停止時)	EN端子がHighの場合 (Smart Gate Driver動作時)	
P22	入力ポート	CMP30	デジタル入力ポートを設定してください。	コンバータ機能使用時： デジタル入力ポート、または割り込み機能 (端子入力エッジ検出) を設定してください。	5, 6
P23		CMP20		BEMF検出アンプの検出相選択として使用時： 検出相選択で使用する端子は、デジタル出力ポートを設定してください。使用しない端子は、デジタル入力ポートを設定してください。詳細は、3.2.1.15を参照してください。	
P24		CMP10			
P44		DA30 / P44	DA30機能使用時： アナログ入力ポートを設定してください。 ポート機能 (P44) 使用時： 使用するポート機能 (P44) を設定してください。 ポート機能 (P44) 使用時は、DA30端子のプルダウン機能により、本端子にプルダウン抵抗 (330[kΩ]) が接続されますので考慮してください。		
P45		DA20	アナログ入力ポートを設定してください。		
P46		DA10			
P70		EN	デジタル出力ポートを設定し、PODRレジスタに"0b"を設定してください。	デジタル出力ポートを設定し、PODRレジスタに"1b"を設定してください。	
P71		IN6	デジタル出力ポートを設定し、PODRレジスタに"0b"を設定してください。	デジタル出力ポート、またはMTU3cを用いたPWM出力機能を設定してください。	3, 4
P72		IN5			
P73		IN4			
P74		IN3			
P75		IN2			
P76		IN1			
P93		SCLK	簡易SPIモード (SCI5) のSCK5機能を設定してください。		2
P94	nFAULT	内蔵プルアップを設定し、デジタル入力ポート、または割り込み機能を設定してください。			
PA2	nSCS	デジタル出力ポートを設定し、Smart Gate DriverとのSPI通信のチップセレクト信号として使用してください。		1	
PB0	nSMPL / PB0	サンプルホールド機能 (nSMPL) 使用時： デジタル出力ポートを設定してください。 High出力：ホールド Low出力：サンプル ポート機能 (PB0) 使用時： 使用するポート機能 (PB0) を設定してください。		2	
PB1	SDO	簡易SPIモード (SCI5) のSMISO5機能、および内蔵プルアップを設定してください。			
PB2	SDI	簡易SPIモード (SCI5) のSMOSI5機能を設定してください。		2	

Note1：Smart Gate Driverの端子はプルアップ抵抗 (380[kΩ]) を内蔵しています。EN端子がLowの場合、本端子をデジタル出力ポートに設定し、PODRレジスタに"1b"を設定することでプルアップ抵抗による電流を削減可能です。

Note2：Smart Gate Driverの端子にプルダウン抵抗 (380[kΩ]) を内蔵しています。EN端子がLowの場合、本端子をデジタル出力ポートに設定し、PODRレジスタに"0b"を設定することでプルダウン抵抗による電流を削減可能です。

Note3：EN端子をLowからHighにする際は、EN端子をHighにする前に、PODRレジスタに"0b"を設定してください。また、GDSELx (x = A, B, C) レジスタの設定をするまで、タイマRDによるPWM出力、およびHigh出力は行わないでください。

Note4：EN端子をHighからLowにする際は、EN端子をLowにする前に、本端子をデジタル出力ポートに設定し、PODRレジスタに"0b"を設定してください。

Note5：EN端子をHighからLowにする際は、EN端子をLowにする前に、本端子をデジタル入力ポートに設定してください。

Note6：BEMF検出アンプの検出相選択としてCMPzO (z = 1, 2, 3) 端子を使用する場合、BEMF_PHビットの設定を実行してから、検出相選択で使用するポートをデジタル出力ポートに設定してください。

2.1.4 Smart Gate Driver との内部接続端子

2.1.4.1 EN 出力端子 : P70

EN 出力端子は、Smart Gate Driver の動作モードを制御する端子です。動作モードの詳細は、「**RAJ306101 データシート (R18DS0038JJ)**」の **6.1** を参照してください。

- (1) MCU のリセット解除時、P70 はデジタル入力ポートになっていますが、Smart Gate Driver の EN 端子のプルダウン抵抗 (100[kΩ]) により Low になります。そのため、MCU のリセット解除時の Smart Gate Driver の動作モードは Sleep Mode になります。
- (2) 端子設定では、EN 出力端子の PODR レジスタに "0b" を設定し、Low 出力からの開始を推奨します。
- (3) EN 出力端子の PODR レジスタに "1b" を設定すると EN 出力端子は High 出力となり、Smart Gate Driver は Operating Mode に遷移します。これにより、EN 信号以外の信号による制御が有効になるため、EN 出力端子を High 出力に設定する前にその他の端子設定をすることが重要です。
- (4) 何らかの異常により Smart Gate Driver を停止させる際は、EN 出力端子の PODR レジスタに "0b" を設定し、EN 出力端子を Low 出力に設定してください。

2.1.4.2 SPI 通信端子 (マスタ側) : PB2 (MOSI5), PB1 (MISO5), P93 (SCK5), PA2

SPI 通信端子は、Smart Gate Driver のレジスタ設定、異常状態の確認に使用します。SPI 通信はシリアルコミュニケーションインタフェースの簡易 SPI モード (SCI5) の設定と、PA2 のデジタル出力ポートによるチップセレクト信号により行います。本製品の SPI 通信のタイミング仕様、フォーマットは、「**RAJ306101 データシート (R18DS0038JJ)**」の **5.5**, **6.6** を、制御レジスタの詳細は、**3.2.1** を参照してください。

- (1) MCU のリセット解除時、これらの端子はデジタル入力ポートになっていますが、SDI 端子と SCLK 端子は Smart Gate Driver のプルダウン抵抗 (380[kΩ]) により Low、nSCS 端子は Smart Gate Driver のプルアップ抵抗 (380[kΩ]) により High になります。ただし、SDO 端子は非通信時、オープン・ドレイン出力がオフのため、Hi-Z になります。そのため、MCU のリセット解除後、端子設定により PB1 の内蔵プルアップ機能を有効にする必要があります。
- (2) 端子設定では、MCU のシリアルコミュニケーションインタフェースの簡易 SPI モード (SCI5) の設定と、PA2 のデジタル出力ポートを設定してください。SDO 端子はオープン・ドレイン出力となるため、PB1 の内蔵プルアップ機能を有効にする必要があります。SPI 通信を行う際の CSI モードでのデータとクロックの位相選択は、シリアル通信動作設定レジスタ 00 (SCR00) で、タイプ 2 (DAP00 ビット = "0b", CKP00 ビット = "1b") を設定してください。通信速度は 2[MHz] 以下を設定してください。
- (3) SPI 通信は、EN 出力端子が High 出力の状態 (Operating Mode) で実施します。端子設定時は EN 出力端子が Low のため、SPI 通信が無効になります。レジスタ設定、異常状態の確認に伴う SPI 通信のシーケンスは、**第 4 章** を参照してください。

2.1.4.3 INz (z = 1, 2, 3, 4, 5, 6) 出力端子 : P76, P75, P74, P73, P72, P71

INz (z = 1, 2, 3, 4, 5, 6) 出力端子は、Smart Gate Driver 内の各相ゲートドライバ出力を制御する端子です。これらの端子は、各相ゲートドライバ制御入力 Hlx, Llx (x = A, B, C) に Smart Gate Driver のレジスタ設定に応じて割り当てられ、Hlx, Llx (x = A, B, C) の極性に応じた真理値表 (「RAJ306101 データシート (R18DS0038JJ)」の 6.4.2 を参照) でゲートドライバ出力を制御します。端子の出力制御は、デジタル出力ポート、およびマルチファンクションタイマパルスユニット 3 (MTU3c) の MTU3 (MTIOC3B, MTIOC3D), MTU4 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) による PWM 出力で行います。

- (1) MCU のリセット解除時、これらの端子はデジタル入力ポートになっていますが、Smart Gate Driver の INz (z = 1, 2, 3, 4, 5, 6) 端子のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) 端子設定では、Sleep Mode 時の設定としてデジタル出力ポートを設定し、PODR レジスタに“0b”を設定してください。これにより EN 出力端子を High 出力に設定した際に予期しないゲートドライバの動作を防ぐことが可能です。
- (3) EN 出力端子を High 出力に設定した後、Smart Gate Driver の Phase-A Gate Driver Input Selection レジスタ (GDSELA), Phase-B Gate Driver Input Selection レジスタ (GDSELB), Phase-C Gate Driver Input Selection レジスタ (GDSELC) の設定により、各相ゲートドライバ制御入力 Hlx, Llx (x = A, B, C) の割り当てを実施します。本製品では、下記の設定に変更してください。なお、本レジスタ設定の際に INz (z = 1, 2, 3, 4, 5, 6) 出力端子は Low 出力を維持してください。これによりレジスタ設定の変更に伴う異常動作を防止します。なお、下記の設定はマルチファンクションタイマパルスユニット 3 (MTU3c) で相補 PWM モードを使用する場合の設定です。

- Phase-A Gate Driver Input Selection レジスタ (GDSELA) = “x110x011b” Note
- Phase-B Gate Driver Input Selection レジスタ (GDSELB) = “x101x010b” Note
- Phase-C Gate Driver Input Selection レジスタ (GDSELC) = “x100x001b” Note

Note : x の箇所はユーザの制御仕様に合わせて個別に“0b”、または“1b”を設定してください。

- (4) Smart Gate Driver のレジスタ設定は、EN 端子が Low になるとリセットされます。したがって、EN 出力端子を Low 出力に設定する際は、INz (z = 1, 2, 3, 4, 5, 6) 出力端子を Low 出力に設定後、EN 出力端子を Low 出力に設定してください。
- (5) 異常検出によって nFAULT 入力端子が Low となり、ゲートドライバが無効になった際は、INz (z = 1, 2, 3, 4, 5, 6) 出力端子を Low 出力に設定してください。異常状態からの復帰時にはゲートドライバが有効になるため、予期しないゲートドライバの動作を防ぐことが可能です。異常検出後のゲートドライバの動作、および復帰動作は「RAJ306101 データシート (R18DS0038JJ)」の 6.2 を参照してください。

2.1.4.4 nFAULT 入力端子 : P94

nFAULT 入力端子は、Smart Gate Driver の異常検出状態が入力される端子です。Smart Gate Driver がいずれかの異常状態を検出すると、本端子に Low が入力されます。この入力をトリガにエラー復帰シーケンスの構築が可能です。Smart Gate Driver はレジスタ設定により、各異常検出の有効 / 無効の切り替え、および異常検出時の動作を設定可能です。詳細は、3.2.1.5、および 3.2.1.6 を参照してください。

- (1) MCU のリセット解除時、P94 はデジタル入力ポートになっています。また、Smart Gate Driver の nFAULT 端子もオープン・ドレイン出力がオフのため、本端子は Hi-Z になります。そのため、MCU のリセット解除後、端子設定により P94 の内蔵プルアップ機能を有効にする必要があります。
- (2) 端子設定では、nFAULT 入力信号の確認のため、デジタル入力ポート、または割り込み機能に設定します。また、内蔵プルアップ機能を有効にする必要があります。
- (3) 電源投入時において、EN 出力端子が Low の場合、かつ P94 の内蔵プルアップ機能が有効である場合、nFAULT 入力端子は High になります。EN 出力端子を High 出力に設定すると nFAULT 入力端子は一度 Low に切り替わり、Smart Gate Driver の全ての電源機能の起動が完了して、異常状態が発生していなければ nFAULT 入力端子は再び High になります。本動作を考慮したシーケンスは、4.1 を参照してください。

2.1.4.5 DAzO (z = 1, 2, 3) 入力端子 : P46, P45, P44

DAzO (z = 1, 2, 3) 入力端子は、Smart Gate Driver の差動アンプ、BEMF 検出アンプ、またはアナログマルチプレクサからのアナログ信号が入力される端子です。

- (1) MCU のリセット解除時、これらの端子はデジタル入力ポートになっていますが、Smart Gate Driver の DAzO (z = 1, 2, 3) 端子のプルダウン抵抗 (330[kΩ]) により Low になります。
- (2) 端子設定では、Smart Gate Driver のアナログ出力信号を A/D 変換するため、アナログ入力ポートを設定してください。
- (3) EN 出力端子が High 出力の時、Smart Gate Driver のレジスタ設定により DA3O 端子の出力をアナログマルチプレクサにより変更することが可能です。詳細は、「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.5** を参照してください。
- (4) P44 は外部接続端子としても使用可能です。この場合は Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに"000b"を設定してください。なお、設定した際にプルダウン抵抗 (330[kΩ]) が P44 に接続されます。外部接続端子として使用する場合、このインピーダンスを考慮して使用する必要があります。

2.1.4.6 CMPzO (z = 1, 2, 3) 入出力端子 : P24, P23, P22

CMPzO (z = 1, 2, 3) 入出力端子は、Smart Gate Driver の汎用コンパレータ出力を入力するデジタル入力ポート、または BEMF 検出アンプの検出相選択を制御するデジタル出力ポートとして使用します。端子機能の切り替えは Smart Gate Driver のレジスタ設定によって行います。制御レジスタの詳細は、**3.2.1.15** を、BEMF 検出アンプの検出位相選択の詳細は、「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.3** を参照してください。

- (1) MCU のリセット解除時、これらの端子はデジタル入力ポートになっていますが、Smart Gate Driver の CMPzO (z = 1, 2, 3) 端子のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) 端子設定では、Smart Gate Driver の CMPzO (z = 1, 2, 3) 端子の初期設定が汎用コンパレータ出力のため、デジタル入力ポート、または割り込み機能を設定してください。
- (3) P24, P23, P22 を BEMF 検出アンプの検出相選択に使用する場合は、MCU と Smart Gate Driver の出力信号が衝突しないように、Smart Gate Driver のレジスタ設定により CMPzO (z = 1, 2, 3) 端子の BEMF 検出アンプの検出相設定を変更した後に、MCU の検出相選択に使用する端子をデジタル出力ポートに設定する必要があります。なお、BEMF 検出アンプの検出相は、P24, P23、または P24, P22 の 2 端子で選択します。検出相選択として使用しないポートは、汎用コンパレータ出力の入力端子として使用可能です。その場合、デジタル入力ポート、または割り込み機能を設定してください。
- (4) Smart Gate Driver のレジスタ設定は、EN 端子が Low になるとリセットされます。レジスタ設定のリセットに伴う出力信号の衝突を避けるため、EN 出力端子を Low 出力に設定する際は、先に P24, P23, P22 をデジタル入力ポートに変更してから、EN 出力端子を Low 出力に設定してください。

2.1.4.7 nSMPL 出力端子 : PB0

nSMPL 出力端子は、Smart Gate Driver の差動アンプ、または BEMF 検出アンプのサンプルホールド機能を制御する出力端子です。サンプルホールド機能の詳細は、「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.2**, **6.5.3** を参照してください。

- (1) MCU のリセット解除時、PB0 はデジタル入力ポートになっていますが、Smart Gate Driver の nSMPL 端子のプルダウン抵抗 (380[kΩ]) により Low になります。
- (2) 端子設定では、サンプルホールド機能を使用する場合はデジタル出力ポートを設定し、PODR レジスタに"0b"を設定してください。サンプルホールド機能を使用しない場合は、汎用ポートとして使用可能なため、用途に応じた設定をしてください。
- (3) Smart Gate Driver のレジスタ設定によってサンプルホールド機能を有効にした後は、nSMPL 出力端子が Low 出力の時はサンプリング動作、High 出力の時はホールド動作となります。なお、BEMF 検出アンプのサンプルホールドは、nSMPL 出力端子が Low であってもホールド動作となる期間があります。
「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.3** を参照してください。

2.2 周辺機能の制限事項

本製品に搭載している RX13T は、内部接続端子、および未接続端子があるため、使用可能な周辺機能に制限があります。本節では、各周辺機能における制限事項、および注意事項を記載します。各機能の使用方法は、「**RX13Tグループ ユーザーズマニュアル ハードウェア編 (R01UH0822JJ)**」を、最新情報は、「**テクニカルアップデート**」を参照してください。

制限事項がなく使用可能な周辺機能

- オプション設定メモリ (OFSM)
- 消費電力低減機能
- レジスタライトプロテクション機能
- 例外処理
- バス
- コンペアマッチタイマ (CMT)
- 独立ウォッチドッグタイマ (IWDTa)
- CRC 演算器 (CRC)
- コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ (DA)
- データ演算回路 (DOC)
- RAM
- フラッシュメモリ (FLASH)

制限事項付きで使用可能な周辺機能

- 電圧検出回路 (LVDAb)
- クロック発生回路
- クロック周波数精度測定回路 (CAC)
- 割り込みコントローラ (ICUb)
- データトランスファコントローラ (DTCb)
- I/O ポート
- マルチファンクションピンコントローラ (MPC)
- マルチファンクションタイマパルスユニット 3 (MTU3c)
- ポートアウトプットイネーブル 3 (POE3C)
- シリアルコミュニケーションインタフェース (SCIg, SCIh)
- 12 ビット A/D コンバータ (S12ADF)
- コンパレータ C (CMPC)

使用不可能な周辺機能

- I²C バスインタフェース (RIICa)

2.2.1 電圧検出回路 (LVDAb)

機能としての制限はありませんが、電圧監視 1 回路、および電圧監視 2 回路は、VDD 端子の推奨動作電圧範囲 (VDD = 3.135~5.25[V]) の制限を考慮した値を設定してください。

2.2.2 クロック発生回路

本製品では P37 (XTAL 端子) が未接続端子のため、メインクロック発振器に水晶振動子を接続して使用できません。P36 (EXTAL 端子) より外部クロックを入力して使用することは可能です。

また、内部クロック (HOCO クロック, LOCO クロック, IWDT 専用クロック) は全て使用可能です。

2.2.3 クロック周波数精度測定回路 (CAC)

本製品では P23 が内部接続端子のため、PB3 のみ CACREF の入力として使用可能です。

2.2.4 割り込みコントローラ (ICUb)

本製品では、端子構成上使用できない割り込み要因があります。

表 2-6 割り込みのベクタテーブル (1 / 6)

割り込み要求発生元	名称	ベクタ番号 (Note1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC 起動	SSBY 復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	x	x	x	—	—	—
—	無条件トラップ専用	1	0004h	—	x	x	x	—	—	—
—	無条件トラップ専用	2	0008h	—	x	x	x	—	—	—
—	無条件トラップ専用	3	000Ch	—	x	x	x	—	—	—
—	無条件トラップ専用	4	0010h	—	x	x	x	—	—	—
—	無条件トラップ専用	5	0014h	—	x	x	x	—	—	—
—	無条件トラップ専用	6	0018h	—	x	x	x	—	—	—
—	無条件トラップ専用	7	001Ch	—	x	x	x	—	—	—
—	無条件トラップ専用	8	0020h	—	x	x	x	—	—	—
—	無条件トラップ専用	9	0024h	—	x	x	x	—	—	—
—	無条件トラップ専用	10	0028h	—	x	x	x	—	—	—
—	無条件トラップ専用	11	002Ch	—	x	x	x	—	—	—
—	無条件トラップ専用	12	0030h	—	x	x	x	—	—	—
—	無条件トラップ専用	13	0034h	—	x	x	x	—	—	—
—	無条件トラップ専用	14	0038h	—	x	x	x	—	—	—
—	無条件トラップ専用	15	003Ch	—	x	x	x	—	—	—
BSC	BUSERR	16	0040h	レベル	○	x	x	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	x	x	x	—	—	—
—	予約	18	0048h	—	x	x	x	—	—	—
—	予約	19	004Ch	—	x	x	x	—	—	—
—	予約	20	0050h	—	x	x	x	—	—	—
—	予約	21	0054h	—	x	x	x	—	—	—
—	予約	22	0058h	—	x	x	x	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	x	x	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	x	x	x	—	—	—
—	予約	25	0064h	—	x	x	x	—	—	—
—	予約	26	0068h	—	x	x	x	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	x	IER03.IEN3	IPR003	DTCER027
CMT0	CMIO	28	0070h	エッジ	○	○	x	IER03.IEN4	IPR004	DTCER028
CMT1	CMII	29	0074h	エッジ	○	○	x	IER03.IEN5	IPR005	DTCER029
—	予約	30	0078h	—	x	x	x	—	—	—
—	予約	31	007Ch	—	x	x	x	—	—	—
CAC	FERRF	32	0080h	レベル	○	x	x	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	x	x	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	x	x	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	x	x	x	—	—	—
—	予約	36	0090h	—	x	x	x	—	—	—
—	予約	37	0094h	—	x	x	x	—	—	—
—	予約	38	0098h	—	x	x	x	—	—	—
—	予約	39	009Ch	—	x	x	x	—	—	—
—	予約	40	00A0h	—	x	x	x	—	—	—
—	予約	41	00A4h	—	x	x	x	—	—	—
—	予約	42	00A8h	—	x	x	x	—	—	—
—	予約	43	00ACh	—	x	x	x	—	—	—
—	予約	44	00B0h	—	x	x	x	—	—	—
—	予約	45	00B4h	—	x	x	x	—	—	—

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。また、割り込み名称に予約と記載のベクタ番号は、MCU 製品の RX13T と同様に使用不可能です。

Note1 : ベクタ番号が小さいほど、優先順位は高くなります。

表 2-7 割り込みのベクタテーブル (2 / 6)

割り込み要求発生元	名称	ベクタ番号 (Note1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC 起動	SSBY 復帰	IER	IPR	DTCER
—	予約	46	00B8h	—	x	x	x	—	—	—
—	予約	47	00BCh	—	x	x	x	—	—	—
—	予約	48	00C0h	—	x	x	x	—	—	—
—	予約	49	00C4h	—	x	x	x	—	—	—
—	予約	50	00C8h	—	x	x	x	—	—	—
—	予約	51	00CCh	—	x	x	x	—	—	—
—	予約	52	00D0h	—	x	x	x	—	—	—
—	予約	53	00D4h	—	x	x	x	—	—	—
—	予約	54	00D8h	—	x	x	x	—	—	—
—	予約	55	00DCh	—	x	x	x	—	—	—
—	予約	56	00E0h	—	x	x	x	—	—	—
DOC	DOPCF	57	00E4h	レベル	○	x	x	IER07.IEN1	IPR057	—
—	予約	58	00E8h	—	x	x	x	—	—	—
—	予約	59	00ECh	—	x	x	x	—	—	—
—	予約	60	00F0h	—	x	x	x	—	—	—
—	予約	61	00F4h	—	x	x	x	—	—	—
—	予約	62	00F8h	—	x	x	x	—	—	—
—	予約	63	00FCh	—	x	x	x	—	—	—
ICU ^{Note2}	IRQ0	64	0100h	エッジ/レベル	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	○	IER08.IEN5	IPR069	DTCER069
—	予約	70	0118h	—	x	x	x	—	—	—
—	予約	71	011Ch	—	x	x	x	—	—	—
—	予約	72	0120h	—	x	x	x	—	—	—
—	予約	73	0124h	—	x	x	x	—	—	—
—	予約	74	0128h	—	x	x	x	—	—	—
—	予約	75	012Ch	—	x	x	x	—	—	—
—	予約	76	0130h	—	x	x	x	—	—	—
—	予約	77	0134h	—	x	x	x	—	—	—
—	予約	78	0138h	—	x	x	x	—	—	—
—	予約	79	013Ch	—	x	x	x	—	—	—
—	予約	80	0140h	—	x	x	x	—	—	—
—	予約	81	0144h	—	x	x	x	—	—	—
—	予約	82	0148h	—	x	x	x	—	—	—
—	予約	83	014Ch	—	x	x	x	—	—	—
—	予約	84	0150h	—	x	x	x	—	—	—
—	予約	85	0154h	—	x	x	x	—	—	—
—	予約	86	0158h	—	x	x	x	—	—	—
—	予約	87	015Ch	—	x	x	x	—	—	—
LVD	LVD1	88	0160h	エッジ	○	x	○	IER0B.IEN0	IPR088	—
	LVD2	89	0164h	エッジ	○	x	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	x	x	x	—	—	—
—	予約	91	016Ch	—	x	x	x	—	—	—

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。また、割り込み名称に予約と記載のベクタ番号は、MCU 製品の RX13T と同様に使用不可能です。

Note1 : ベクタ番号が小さいほど、優先順位は高くなります。

Note2 : ICU には IRQ 割り込み機能を割り当てできない端子があります。詳細は、表 2-12 を確認してください。

表 2-8 割り込みのベクタテーブル (3 / 6)

割り込み要求発生元	名称	ベクタ番号 (Note1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC 起動	SSBY 復帰	IER	IPR	DTCER
—	予約	92	0170h	—	x	x	x	—	—	—
—	予約	93	0174h	—	x	x	x	—	—	—
—	予約	94	0178h	—	x	x	x	—	—	—
—	予約	95	017Ch	—	x	x	x	—	—	—
—	予約	96	0180h	—	x	x	x	—	—	—
—	予約	97	0184h	—	x	x	x	—	—	—
—	予約	98	0188h	—	x	x	x	—	—	—
—	予約	99	018Ch	—	x	x	x	—	—	—
—	予約	100	0190h	—	x	x	x	—	—	—
—	予約	101	0194h	—	x	x	x	—	—	—
S12AD	S12ADI	102	0198h	エッジ	○	○	x	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	x	IER0C.IEN7	IPR103	DTCER103
	GCADI	104	01A0h	エッジ	○	○	x	IER0D.IEN0	IPR104	DTCER104
—	予約	105	01A4h	—	x	x	x	—	—	—
—	予約	106	01A8h	—	x	x	x	—	—	—
—	予約	107	01ACh	—	x	x	x	—	—	—
CMPC0	CMPC0	108	01B0h	エッジ	○	○	x	IER0D.IEN4	IPR108	DTCER108
CMPC1	CMPC1	109	01B4h	エッジ	○	○	x	IER0D.IEN5	IPR109	DTCER109
CMPC2	CMPC2	110	01B8h	エッジ	○	○	x	IER0D.IEN6	IPR110	DTCER110
—	予約	111	01BCh	—	x	x	x	—	—	—
—	予約	112	01C0h	—	x	x	x	—	—	—
—	予約	113	01C4h	—	x	x	x	—	—	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	x	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	x	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	x	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	x	IER0E.IEN5		DTCER117
	TCM0	118	01D8h	エッジ	○	x	x	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	x	x	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	x	x	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	x	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	x	IER0F.IEN2		DTCER122
	TCM1	123	01ECh	エッジ	○	x	x	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	x	x	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	x	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	x	IER0F.IEN6		DTCER126
	TCM2	127	01FCh	エッジ	○	x	x	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	x	x	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	x	IER10.IEN1	IPR129	DTCER129
	TGIB3	130	0208h	エッジ	○	○	x	IER10.IEN2		DTCER130
	TGIC3	131	020Ch	エッジ	○	○	x	IER10.IEN3		DTCER131
	TGID3	132	0210h	エッジ	○	○	x	IER10.IEN4		DTCER132
	TCM3	133	0214h	エッジ	○	x	x	IER10.IEN5		IPR133

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。また、割り込み名称に予約と記載のベクタ番号は、MCU 製品の RX13T と同様に使用不可能です。

Note1 : ベクタ番号が小さいほど、優先順位は高くなります。

表 2-9 割り込みのベクタテーブル (4 / 6)

割り込み要求発生元	名称	ベクタ番号 (Note1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC 起動	SSBY 復帰	IER	IPR	DTCER
MTU4	TGIA4	134	0218h	エッジ	○	○	×	IER10.IEN6	IPR134	DTCER134
	TGIB4	135	021Ch	エッジ	○	○	×	IER10.IEN7		DTCER135
	TGIC4	136	0220h	エッジ	○	○	×	IER11.IEN0		DTCER136
	TGID4	137	0224h	エッジ	○	○	×	IER11.IEN1		DTCER137
	TCMV4	138	0228h	エッジ	○	○	×	IER11.IEN2	IPR138	DTCER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	×	IER11.IEN3	IPR139	DTCER139
	TGMV5	140	0230h	エッジ	○	○	×	IER11.IEN4		DTCER140
	TGMW5	141	0234h	エッジ	○	○	×	IER11.IEN5		DTCER141
—	予約	142	0238h	—	×	×	×	—	—	—
—	予約	143	023Ch	—	×	×	×	—	—	—
—	予約	144	0240h	—	×	×	×	—	—	—
—	予約	145	0244h	—	×	×	×	—	—	—
—	予約	146	0248h	—	×	×	×	—	—	—
—	予約	147	024Ch	—	×	×	×	—	—	—
—	予約	148	0250h	—	×	×	×	—	—	—
—	予約	149	0254h	—	×	×	×	—	—	—
—	予約	150	0258h	—	×	×	×	—	—	—
—	予約	151	025Ch	—	×	×	×	—	—	—
—	予約	152	0260h	—	×	×	×	—	—	—
—	予約	153	0264h	—	×	×	×	—	—	—
—	予約	154	0268h	—	×	×	×	—	—	—
—	予約	155	026Ch	—	×	×	×	—	—	—
—	予約	156	0270h	—	×	×	×	—	—	—
—	予約	157	0274h	—	×	×	×	—	—	—
—	予約	158	0278h	—	×	×	×	—	—	—
—	予約	159	027Ch	—	×	×	×	—	—	—
—	予約	160	0280h	—	×	×	×	—	—	—
—	予約	161	0284h	—	×	×	×	—	—	—
—	予約	162	0288h	—	×	×	×	—	—	—
—	予約	163	028Ch	—	×	×	×	—	—	—
—	予約	164	0290h	—	×	×	×	—	—	—
—	予約	165	0294h	—	×	×	×	—	—	—
—	予約	166	0298h	—	×	×	×	—	—	—
—	予約	167	029Ch	—	×	×	×	—	—	—
POE	OEI1	168	02A0h	レベル	○	×	×	IER15.IEN0	IPR168	—
—	予約	169	02A4h	—	×	×	×	—		—
POE	OEI3	170	02A8h	レベル	○	×	×	IER15.IEN2	IPR168	—
	OEI4	171	02ACH	レベル	○	×	×	IER15.IEN3		—
—	予約	172	02B0h	—	×	×	×	—	—	—
—	予約	173	02B4h	—	×	×	×	—	—	—
—	予約	174	02B8h	—	×	×	×	—	—	—
—	予約	175	02BCh	—	×	×	×	—	—	—
—	予約	176	02C0h	—	×	×	×	—	—	—
—	予約	177	02C4h	—	×	×	×	—	—	—
—	予約	178	02C8h	—	×	×	×	—	—	—
—	予約	179	02CCh	—	×	×	×	—	—	—

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。また、割り込み名称に予約と記載のベクタ番号は、MCU 製品の RX13T と同様に使用不可能です。

Note1 : ベクタ番号が小さいほど、優先順位は高くなります。

表 2-10 割り込みのベクタテーブル (5 / 6)

割り込み要求発生元	名称	ベクタ番号 (Note1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC 起動	SSBY 復帰	IER	IPR	DTCER
—	予約	180	02D0h	—	x	x	x	—	—	—
—	予約	181	02D4h	—	x	x	x	—	—	—
—	予約	182	02D8h	—	x	x	x	—	—	—
—	予約	183	02DCh	—	x	x	x	—	—	—
—	予約	184	02E0h	—	x	x	x	—	—	—
—	予約	185	02E4h	—	x	x	x	—	—	—
—	予約	186	02E8h	—	x	x	x	—	—	—
—	予約	187	02ECh	—	x	x	x	—	—	—
—	予約	188	02F0h	—	x	x	x	—	—	—
—	予約	189	02F4h	—	x	x	x	—	—	—
—	予約	190	02F8h	—	x	x	x	—	—	—
—	予約	191	02FCh	—	x	x	x	—	—	—
—	予約	192	0300h	—	x	x	x	—	—	—
—	予約	193	0304h	—	x	x	x	—	—	—
—	予約	194	0308h	—	x	x	x	—	—	—
—	予約	195	030Ch	—	x	x	x	—	—	—
—	予約	196	0310h	—	x	x	x	—	—	—
—	予約	197	0314h	—	x	x	x	—	—	—
—	予約	198	0318h	—	x	x	x	—	—	—
—	予約	199	031Ch	—	x	x	x	—	—	—
—	予約	200	0320h	—	x	x	x	—	—	—
—	予約	201	0324h	—	x	x	x	—	—	—
—	予約	202	0328h	—	x	x	x	—	—	—
—	予約	203	032Ch	—	x	x	x	—	—	—
—	予約	204	0330h	—	x	x	x	—	—	—
—	予約	205	0334h	—	x	x	x	—	—	—
—	予約	206	0338h	—	x	x	x	—	—	—
—	予約	207	033Ch	—	x	x	x	—	—	—
—	予約	208	0340h	—	x	x	x	—	—	—
—	予約	209	0344h	—	x	x	x	—	—	—
—	予約	210	0348h	—	x	x	x	—	—	—
—	予約	211	034Ch	—	x	x	x	—	—	—
—	予約	212	0350h	—	x	x	x	—	—	—
—	予約	213	0354h	—	x	x	x	—	—	—
—	予約	214	0358h	—	x	x	x	—	—	—
—	予約	215	035Ch	—	x	x	x	—	—	—
—	予約	216	0360h	—	x	x	x	—	—	—
—	予約	217	0364h	—	x	x	x	—	—	—
SCI1	ERI1	218	0368h	レベル	○	x	x	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	x	IER1B.IEN3		DTCER219
	TX11	220	0370h	エッジ	○	○	x	IER1B.IEN4		DTCER220
	TE11	221	0374h	レベル	○	x	x	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	x	x	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	x	IER1B.IEN7		DTCER223
	TX15	224	0380h	エッジ	○	○	x	IER1C.IEN0		DTCER224
	TE15	225	0384h	レベル	○	x	x	IER1C.IEN1		—

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。また、割り込み名称に予約と記載のベクタ番号は、MCU 製品の RX13T と同様に使用不可能です。

Note1 : ベクタ番号が小さいほど、優先順位は高くなります。

表 2-11 割り込みのベクタテーブル (6 / 6)

割り込み要求発生元	名称	ベクタ番号 (Note1)	ベクタ アドレス オフセット	割り込み 検出方法	CPU 割り込み	DTC 起動	SSBY 復帰	IER	IPR	DTCER
—	予約	226	0388h	—	x	x	x	—	—	—
—	予約	227	038Ch	—	x	x	x	—	—	—
—	予約	228	0390h	—	x	x	x	—	—	—
—	予約	229	0394h	—	x	x	x	—	—	—
—	予約	230	0398h	—	x	x	x	—	—	—
—	予約	231	039Ch	—	x	x	x	—	—	—
—	予約	232	03A0h	—	x	x	x	—	—	—
—	予約	233	03A4h	—	x	x	x	—	—	—
—	予約	234	03A8h	—	x	x	x	—	—	—
—	予約	235	03ACh	—	x	x	x	—	—	—
—	予約	236	03B0h	—	x	x	x	—	—	—
—	予約	237	03B4h	—	x	x	x	—	—	—
SCI12	ERI12	238	03B8h	レベル	○	x	x	IER1D.IEN6	IPR238	—
	RX112	239	03BCh	エッジ	○	○	x	IER1D.IEN7		DTCER239
	TX112	240	03C0h	エッジ	○	○	x	IER1E.IEN0		DTCER240
	TE112	241	03C4h	レベル	○	x	x	IER1E.IEN1		—
	SCIX0	242	03C8h	レベル	○	x	x	IER1E.IEN2	IPR242	—
	SCIX1	243	03CCh	レベル	○	x	x	IER1E.IEN3	IPR243	—
	SCIX2	244	03D0h	レベル	○	x	x	IER1E.IEN4	IPR244	—
	SCIX3	245	03D4h	レベル	○	x	x	IER1E.IEN5	IPR245	—
RIIC0	EEI0	246	03D8h	レベル	○	x	x	IER1E.IEN6	IPR246	—
	RXI0	247	03DCh	エッジ	○	○	x	IER1E.IEN7	IPR247	DTCER247
	TXI0	248	03E0h	エッジ	○	○	x	IER1F.IEN0	IPR248	DTCER248
	TEI0	249	03E4h	レベル	○	x	x	IER1F.IEN1	IPR249	—
—	予約	250	03E8h	—	x	x	x	—	—	—
—	予約	251	03ECh	—	x	x	x	—	—	—
—	予約	252	03F0h	—	x	x	x	—	—	—
—	予約	253	03F4h	—	x	x	x	—	—	—
—	予約	254	03F8h	—	x	x	x	—	—	—
—	予約	255	03FCh	—	x	x	x	—	—	—

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。また、割り込み名称に予約と記載のベクタ番号は、MCU 製品の RX13T と同様に使用不可能です。

Note1 : ベクタ番号が小さいほど、優先順位は高くなります。

表 2-12 端子入力割り込み要因と接続端子の関係

名称	外部接続端子	内部接続端子	使用不可能
NMI	PE2	—	—
IRQ0	P10, PE2	—	P93
IRQ1	P11, PB4	P94	—
IRQ2	PD4	P22	PB1
IRQ3	PB4, PD5	P24	—
IRQ4	—	P23	PA2
IRQ5	PB7, PD6	—	P70

2.2.5 データトランスファコントローラ (DTCb)

データトランスファコントローラ (DTCb) としての機能に制限はありません。ただし、DTC を起動させる割り込み要因には内部接続端子、および未接続端子があるため使用不可能な割り込み要因があります。詳細は、2.2.4 を確認してください。

2.2.6 I/O ポート

表 2-13 に本製品の I/O ポートの仕様を示します。未接続端子については 2.1.3.2 を参照して適切に設定してください。また内部接続端子については 2.1.4 を参照して各端子を設定してください。

表 2-13 I/O ポートの仕様

ポート シンボル	外部接続端子	本数	内部接続端子	本数	未接続端子	本数
PORT1	P10, P11	2	—	0	—	0
PORT2	—	0	P22 - P24	3	—	0
PORT3	P36	1	—	0	P37	1
PORT4	P40 - P44 ^{Note1}	5	P44 - P46 ^{Note1}	3	P47	1
PORT7	—	0	P70 - P76	7	—	0
PORT9	—	0	P93, P94	2	—	0
PORTA	—	0	PA2	1	PA3	1
PORTB	PB0, PB3 - PB7 ^{Note1}	6	PB0 - PB2 ^{Note1}	3	—	0
PORTD	PD3 - PD6	4	—	0	—	0
PORTE	PE2	1	—	0	—	0
合計数	—	19	—	19	—	3

Note1 : 本製品では P44, PB0 は兼用端子のため、外部接続端子、あるいは内部接続端子として使用可能です。

2.2.7 マルチファンクションピンコントローラ (MPC)

内部接続端子、および未接続端子があるため、使用可能な周辺機能に制限があります。表 2-14, 表 2-15, 表 2-16 にマルチプル端子の割り当て端子一覧を示します。

表 2-14 マルチプル端子の割り当て端子一覧 (1 / 3)

モジュール / 機能	チャネル	端子機能	割り当てポート	接続先	割り当て可否
割り込み	NMI	NMI (入力)	PE2	外部	○
割り込み	IRQ0	IRQ0 (入力)	P10	外部	○
			P93	内部	×
			PE2	外部	○
	IRQ1	IRQ1 (入力)	P11	外部	○
			P94	外部	○
	IRQ2	IRQ2 (入力)	P22	外部	○
			PB1	内部	×
			PD4	外部	○
	IRQ3	IRQ3 (入力)	P24	外部	○
			PB4	外部	○
			PD5	外部	○
	IRQ4	IRQ4 (入力)	P23	外部	○
			PA2	内部	×
	IRQ5	IRQ5 (入力)	P70	内部	×
			PB7	外部	○
PD6			外部	○	
マルチファンクション タイマユニット3	MTU0	MTIOC0A (入出力)	PB3	外部	○
			PD3	外部	○
		MTIOC0B (入出力)	PB2	内部	×
			PD4	外部	○
		MTIOC0C (入出力)	PB1	外部	×
	PD5		外部	○	
	MTU1	MTIOC1A (入出力)	PB0	外部	○
			PD6	外部	○
		MTIOC1B (入出力)	P93	内部	×
	PA2		内部	×	
	PB6		外部	○	
	MTU2	MTIOC2A (入出力)	PA3	内部	×
			PB0	外部	○
		MTIOC2B (入出力)	PA2	内部	×
	P94		内部	×	

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。

表 2-15 マルチプル端子の割り当て端子一覧 (2 / 3)

モジュール / 機能	チャネル	端子機能	割り当てポート	接続先	割り当て可否
	MTU3	MTIOC3A (入出力)	P11	外部	○
			PB6	外部	○
		MTIOC3B (入出力)	P71	外部	○
		MTIOC3C (入出力)	PB7	内部	×
	MTIOC3D (入出力)	P74	外部	○	
	MTU4	MTIOC4A (入出力)	P72	外部	○
		MTIOC4B (入出力)	P73	外部	○
		MTIOC4C (入出力)	P75	外部	○
		MTIOC4D (入出力)	P76	外部	○
	MTU5	MTIC5U (入力)	P24	内部	×
			P94	内部	×
		MTIC5V (入力)	P23	内部	×
			P93	内部	×
		MTIC5W (入力)	P22	内部	×
	PB1	内部	×		
	MTU	MTCLKA (入力)	P11	外部	○
			P94	内部	×
			PB1	内部	×
		MTCLKB (入力)	P10	外部	○
			PB0	外部	○
		MTCLKC (入力)	PB2	内部	×
MTCLKD (入力)	PB7	外部	○		
ADSM0 (出力)	PB2	内部	×		
ポートアウトプット イネーブル3	POE0	POE0# (入力)	P70	内部	×
	POE8	POE8# (入力)	PB4	外部	○
			P11	外部	○
POE10	POE10# (入力)	PE2	外部	○	
シリアルコミュニケーション インタフェース	SCI1	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	PD5	外部	○
			PB7	外部	○
		TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	PD3	外部	○
			PB6	外部	○
		SCK1 (入出力)	PD4	外部	○
CTS1# (入力) / RTS1# (出力) / SS1# (入力)	PD6	外部	○		

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。

表 2-16 マルチプル端子の割り当て端子一覧 (3 / 3)

モジュール / 機能	チャネル	端子機能	割り当てポート	接続先	割り当て可否
シリアルコミュニケーション インタフェース	SCI5	SMISO5 (入出力)	PB1	外部	○
			PB7	外部	○
		RXD5 (入力) / SSCL5 (入出力)	PB1	内部	×
			PB7	外部	○
			P24	内部	×
		SMOSI5 (入出力)	PB2	外部	○
			PB6	外部	○
		TXD5 (出力) / SSDA5 (入出力)	PB2	内部	×
			PB6	外部	○
			P23	内部	×
	SCK5 (入出力)	P93	外部	○	
		PB3	外部	○	
	CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA2	内部	×	
	SCI12	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	P94	内部	×
TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)		PB0	内部 / 外部	×	
SCK12 (入出力)	PB3	内部	×		
	P93	内部	×		
CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PA3	未接続	×		
I2Cバスインタフェース	SCL0 (入出力)	PB1	内部	×	
		SDA0 (入出力)	PB2	内部	×
12ビットA/Dコンバータ	AN000 (入力)	P40	外部	○	
		P41	外部	○	
		P42	外部	○	
		P43	外部	○	
		P44	内部 / 外部	○	
		P45	外部	○	
		P46	外部	○	
		P47	内部	×	
	ADTRG0# (入力)	P93	内部	×	
		PB5	外部	○	
ADST0 (出力)	PD6	外部	○		
クロック周波数精度 測定回路	CACREF (入力)	P23	内部	×	
		PB3	外部	○	
コンパレータ	CMPC00 (入力)	P40	外部	○	
	CMPC02 (入力)	P43	外部	○	
	CMPC03 (入力)	P46	外部	○	
	CMPC10 (入力)	P41	外部	○	
	CMPC12 (入力)	P44	外部	○	
	CMPC13 (入力)	P47	未接続	×	
	CMPC20 (入力)	P42	外部	○	
CMPC22 (入力)	P45	外部	○		
COMP0 (出力)	P24	内部	×		
COMP1 (出力)	P23	内部	×		
COMP2 (出力)	P22	内部	×		
CVREFC0 (入力)	P11	外部	○		

Note : 灰色のハッチングを施した割り込みは、使用不可能な機能です。

2.2.8 マルチファンクションタイマパルスユニット 3 (MTU3c)

未出力端子、内部接続端子、および外部接続端子があるため、一部端子入出力機能に制限があります。表 2-17、および表 2-18 に MTU の機能一覧、表 2-19 に MTU の入出力端子を示します。

表 2-17 MTU の機能一覧 (1 / 2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3 ^{Note3}	MTU4 ^{Note3}	MTU5
カウントクロック	PCLKB/1	PCLKB/1	PCLKB/1	MTCLKA	PCLKB/1	PCLKB/1	PCLKB/1
	PCLKB/2	PCLKB/2	PCLKB/2	MTCLKB	PCLKB/2	PCLKB/2	PCLKB/2
	PCLKB/4	PCLKB/4	PCLKB/4	MTCLKC	PCLKB/4	PCLKB/4	PCLKB/4
	PCLKB/8	PCLKB/8	PCLKB/8	MTCLKD	PCLKB/8	PCLKB/8	PCLKB/8
	PCLKB/16	PCLKB/16	PCLKB/16		PCLKB/16	PCLKB/16	PCLKB/16
	PCLKB/32	PCLKB/32	PCLKB/32		PCLKB/32	PCLKB/32	PCLKB/32
	PCLKB/64	PCLKB/64	PCLKB/64		PCLKB/64	PCLKB/64	PCLKB/64
	PCLKB/256	PCLKB/256	PCLKB/256		PCLKB/256	PCLKB/256	PCLKB/256
	PCLKB/1024	PCLKB/1024	PCLKB/1024		PCLKB/1024	PCLKB/1024	PCLKB/1024
	MTCLKA	MTCLKA	MTCLKA		MTCLKA	MTCLKA	MTIOC1A
	MTCLKB	MTCLKB	MTCLKB	MTCLKB	MTCLKB		
MTCLKC		MTCLKC					
MTCLKD							
MTIOC1A							
位相計数モードの外部クロック	—	MTCLKA	MTCLKA	MTCLKA	—	—	—
		MTCLKB	MTCLKB	MTCLKB			
			MTCLKC	MTCLKC			
			MTCLKD	MTCLKD			
ジェネラルレジスタ (TGR)	TGRA	TGRA	TGRA	TGRALW	TGRA	TGRA	TGRU
	TGRB	TGRB	TGRB	TGRBLW	TGRB	TGRB	TGRV
	TGRE						TGRW
ジェネラルレジスタ / バッファレジスタ	TGRC	—	—	—	TGRC	TGRC	—
	TGRD				TGRD	TGRD	
	TGRF				TGRE	TGRE	
					TGRF		
入出力端子	MTIOC0A	MTIOC1A	MTIOC2A	MTIOC1A	MTIOC3A	MTIOC4A	MTIC5U
	MTIOC0B	MTIOC1B	MTIOC2B	MTIOC1B	MTIOC3B	MTIOC4B	MTIC5V
	MTIOC0C				MTIOC3C	MTIOC4C	MTIC5W
	MTIOC0D				MTIOC3D	MTIOC4D	
カウンタクリア機能	TGRのコンペア マッチまたはイン プットキャブチャ	TGRのコンペア マッチまたはイン プットキャブチャ	TGRのコンペア マッチまたはイン プットキャブチャ	TGRALW / TGRBLWのイン プットキャブチャ	TGRのコンペア マッチ TGR-インプット キャブチャ	TGRのコンペア マッチまたはイン プットキャブチャ	TGRのコンペア マッチ TGRのインプット キャブチャ
コンペア マッチ出力	0 出力	○	○	○	○	○	—
	1 出力	○	○	○	○	○	—
	トグル出力	○	○	○	○	○	—
インプットキャブチャ機能	○	○	○	○ ^{Note1}	—	○	—
同期動作	○	○	○	—	○	○	—
PWM モード1	○	○	○	—	○	○	—
PWM モード2	○	○	○	—	—	—	—
相補PWM モード	—	—	—	—	○	○	—
リセット同期PWM モード	—	—	—	—	○	○	—
AC 同期モータ駆動モード	○	—	—	—	○	○	—
位相計数モード	—	○	○	○	—	—	—
バッファ動作	○	—	—	—	○	○	—
デッドタイム補償用カウンタ機能	—	—	—	—	—	—	○

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

Note1 : PB0 のマルチファンクションタイマパルスユニット 3 (MTU3c) 機能は内部接続端子への出力を推奨しません。また、PB0 を外部接続端子として使用する場合は、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに“000b”を設定してください。ただし、“000b”を設定している場合、プルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際は注意してください。詳細は、3.2.1.18、および「RAJ306101 データシート (R18DS0038JJ)」の 6.5.5 を参照してください。

Note3 : 本製品では内部で Smart Gate Driver と接続しており、モータ制御専用です。そのため、PWM 出力機能以外は使用不可能です。

表 2-18 MTU の機能一覧 (2 / 2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3 ^{Note3}	MTU4 ^{Note3}	MTU5
DTC の起動	TGRのコンペア マッチまたはイン プットキャブチャ	TGRのコンペア マッチまたはイン プットキャブチャ	TGRのコンペア マッチまたはイン プットキャブチャ	TGRALW / TGRBLWのイン プットキャブチャ	TGRのコンペア マッチ	TGRのコンペア マッチとTCNT オーバーフロー / ア ンダフロー ^{Note2}	TGRのコンペア マッチ
					TGRのインプッ トキャブチャ	TGRのインプッ トキャブチャ	TGRのインプッ トキャブチャ
A/D 変換開始トリガ	TGRAのコンペア マッチまたはイン プットキャブチャ TGREのコンペア マッチ	TGRAのコンペア マッチ またはインプッ トキャブチャ	TGRAのコンペア マッチまたはイン プットキャブチャ	TGRALWのイン プットキャブチャ	TGRAのコンペア マッチ	TGRAのコンペア マッチ 相補PWM モード 時TCNTのアンダ フロー (谷)	-
					インプットキャブ チャ	TGRAのインプッ トキャブチャ	
割り込み要因	7要因	3要因	3要因	3要因	3要因	5要因	3要因
	コンペアマッチ / インプットキャブ チャ 0A	コンペアマッチ / インプットキャ ブチャ 1A	コンペアマッチ / インプットキャ ブチャ 2A	インプットキャ ブチャ 1A	コンペアマッチ / インプットキャブ チャ 3A	コンペアマッチ 4A	コンペアマッチ 5U
	コンペアマッチ / インプットキャ ブチャ 0B	コンペアマッチ / インプットキャ ブチャ 1B	コンペアマッチ / インプットキャブ チャ 2B	インプットキャブ チャ 1B	コンペアマッチ 3B	インプットキャブ チャ 4A	インプットキャブ チャ 5U
	コンペアマッチ / インプットキャブ チャ 0C	オーバーフロー	オーバーフロー	オーバーフロー	インプットキャブ チャ 3B	コンペアマッチ 4B	コンペアマッチ 5V
	コンペアマッチ / インプットキャ ブチャ 0D	アンダフロー	アンダフロー	アンダフロー	コンペアマッチ / インプットキャブ チャ 3C	インプットキャブ チャ 4B	インプットキャブ チャ 5V
	コンペアマッチ 0E				コンペアマッチ 3D	コンペアマッチ 4C	コンペアマッチ 5W
	コンペアマッチ0F				インプットキャ ブチャ 3D	インプットキャブ チャ 4C	インプットキャブ チャ 5W
	オーバーフロー				オーバーフロー	コンペアマッチ 4D インプットキャブ チャ 4D オーバーフロー / アンダフロー ^{Note2}	
A/D 変換開始要求ディレイド機能	-	-	-	-	-	TADCORA と TCNT の一致 で、A/D 変換開始 要求または TADCORB と TCNT の一致 で、A/D 変換開始 要求	-
割り込み間引き機能1	-	-	-	-	TGRAのコンペア マッチ割り込みを 間引き	TCIV 割り込みを 間引き	-
割り込み間引き機能2	-	-	-	-	-	TADCORA と TCNT、および TADCORB と TCNTのコンペア 回数で間引き	-

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

Note2 : アンダフローは相補 PWM モード時のみ有効。

Note3 : 本製品では内部で Smart Gate Driver と接続しており、モータ制御専用です。そのため、PWM 出力機能以外は使用不可能です。

表 2-19 MTU の入出力端子

チャンネル	端子名	入出力	割り当てポート		機能
			仕様可能	使用不可能	
MTU	MTCLKA	入力	P11	P93, PB1	外部クロックA入力端子 (MTU1, MTU2 の位相計数モードA相入力)
	MTCLKB	入力	PB10, PB0	—	外部クロックB入力端子 (MTU1, MTU2 の位相計数モードB相入力)
	MTCLKC	入力	—	PB2	外部クロックC入力端子 (MTU2 の位相計数モードA相入力)
	MTCLKD	入力	PB7	—	外部クロックD入力端子 (MTU2 の位相計数モードB相入力)
	ADSM0	出力	—	PB2	A/D変換開始要求フレイム同期信号0 出力端子
MTU0	MTIOC0A	入出力	PB3, PD3	—	MTU0.TGRAのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
	MTIOC0B	入出力	PD4	PB2	MTU0.TGRBのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
	MTIOC0C	入出力	PD5	PB1	MTU0.TGRCのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
	MTIOC0D	入出力	PB0, PD6	—	MTU0.TGRDのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
MTU1	MTIOC1A	入出力	—	P93, PA2	MTU1.TGRAのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
	MTIOC1B	入出力	PB6	PA3	MTU1.TGRBのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
MTU2	MTIOC2A	入出力	PB0	PA3	MTU2.TGRAのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
	MTIOC2B	入出力	—	PA2, P94	MTU2.TGRBのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子
MTU3	MTIOC3A	入出力	P11, PB0	—	PWM出力端子
					MTU3.TGRAのインプットキャプチャ入力 / アウトプットコンペア出力端子
	MTIOC3B	入出力	P71	—	PWM出力端子
					MTU3.TGRBのインプットキャプチャ入力 / アウトプットコンペア出力端子
MTIOC3C	入出力	—	PB7	MTU3.TGRCのインプットキャプチャ入力 / アウトプットコンペア出力 / PWM出力端子	
MTIOC3D	入出力	P74	—	PWM出力端子	
				MTU3.TGRDのインプットキャプチャ入力 / アウトプットコンペア出力端子	
MTU4	MTIOC4A	入出力	P72	—	PWM出力端子
					MTU4.TGRAのインプットキャプチャ入力 / アウトプットコンペア出力端子
	MTIOC4B	入出力	P73	—	PWM出力端子
					MTU4.TGRBのインプットキャプチャ入力 / アウトプットコンペア出力端子
MTIOC4C	入出力	P75	—	PWM出力端子	
				MTU4.TGRCのインプットキャプチャ入力 / アウトプットコンペア出力端子	
MTIOC4D	入出力	P76	—	PWM出力端子	
				MTU4.TGRDのインプットキャプチャ入力 / アウトプットコンペア出力端子	
MTU5	MTIC5U	入力	—	P24, P94	MTU5.TGRUのインプットキャプチャ入力 / 外部パルス入力端子
	MTIC5V	入力	—	P23, P93	MTU5.TGRVのインプットキャプチャ入力 / 外部パルス入力端子
	MTIC5W	入力	—	P22, PB1	MTU5.TGRWのインプットキャプチャ入力 / 外部パルス入力端子

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

2.2.9 ポートアウトプットイネーブル 3 (POE3C)

P70 は内部接続端子として使用しているため、POE0#は使用不可能です。POE8 と POE10 のみ使用可能です。

2.2.10 シリアルコミュニケーションインタフェース (SCIg, SC1h)

SCI1 は外部接続端子として使用可能です。SCI5 は Smart Gate Driver の初期設定のため、内部の SPI 通信として使用しますが、初期設定完了後、内部の SPI 通信を行わない場合、ポートの切り替えにより外部接続端子を使った SPI 通信に使用可能です。SCI12, RIIC は本製品では使用できません。表 2-20 に本製品で使用可能な SCI のチャンネル別機能一覧を示します。

表 2-20 SCI チャンネル別機能一覧

項目	SCI1	SCI5 ^{Note1}	SCI12	RIIC
調歩同期式モード	○	○ ^{Note2}	—	—
クロック同期式モード	○	○ ^{Note2}		
スマートカードインターフェイスモード	○	○		
簡易I ² Cモード	○ ^{Note3}	○ ^{Note3}		
簡易SPIモード	○	○ ^{Note4}		
拡張シリアルモード	—	—		
MTUクロック入力	○	○		

Note1 : SCI5 は、外部通信、および Smart Gate Driver との SPI 通信で共通に使用されます。通信チャンネルを変更する場合、動作モードに応じた SCI の初期化が必要です。詳細については、「**RX13T グループ ユーザーズマニュアル ハードウェア編 (R01UH0822JJ)**」の 23.3.6, 23.5.3, 23.7.4, および 23.8.5 を参照してください。

Note2 : CTS5#, および RTS5#端子によるハードウェアフロー制御は使用できません。

Note3 : 簡易 I²C モードは、スレーブ機能として使用できません。

Note4 : SPI マルチマスター機能、および SPI スレーブ機能は使用できません。SCI5 を SPI スレーブモードとして使用する場合は、クロック同期モードを割り込み機能と併用する必要があります。

2.2.11 12 ビット A/D コンバータ (S12ADF)

AN000 - AN006 の 7ch が A/D コンバータのアナログ入力ポートとして使用可能です。ただし、未出力端子、内部接続端子、および外部接続端子があるため、一部端子入出力機能に制約があります。

表 2-21 12 ビット A/D コンバータの入出力端子

ユニット	端子名	入出力	接続先	機能	PGA	端子毎サンプル ホールド回路	Note
ユニット0 (S12AD)	AN000	入力	外部	アナログ入力端子	内蔵	内蔵	
	AN001	入力	外部	アナログ入力端子	内蔵	内蔵	
	AN002	入力	外部	アナログ入力端子	内蔵	内蔵	
	AN003	入力	外部	アナログ入力端子	—	—	
	AN004	入力	外部 / 内部	アナログ入力端子	Smart Gate Driver	Smart Gate Driver	1, 3
	AN005	入力	内部	アナログ入力端子	Smart Gate Driver	Smart Gate Driver	3
	AN006	入力	内部	アナログ入力端子	Smart Gate Driver	Smart Gate Driver	3
	AN007	入力	未接続	アナログ入力端子	—	—	
	ADTRG0#	入力	外部 / 未接続	A/D 変換開始のための外部トリガ入力端子	—	—	2
	ADST0	出力	外部	ADSTビットの状態出力端子	—	—	
	AVCC0	—	外部	アナログ回路の電源端子	—	—	
AVSS0	—	外部	アナログ回路のグランド端子	—	—		

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

Note1 : AN004 は外部接続端子、および Smart Gate Driver の両方に接続されています。この端子を外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに“000b”を設定してください。ただし、“000b”を設定している場合、プルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際は注意してください。詳細は、**3.2.1.18**、および「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.5** を参照してください。

Note2 : 本製品では P93 は内部接続端子のため、ADTRG0#の機能を割り当てるできません。ADTRG0#の機能を使用する場合、PB5 に割り当てて使用してください。

Note3 : AN004, AN005, AN006 は Smart Gate Driver の差動アンプと接続しているため、Smart Gate Driver の PGA、およびサンプルホールド回路を使用可能です。

2.2.12 コンパレータ C (CMPC)

未出力端子、内部接続端子、および外部接続端子があるため、一部端子入出力機能に制約があります。

表 2-22 コンパレータ C の入出力端子

端子名				入出力	機能
CMPC00	CMPC01	CMPC02	CMPC03 ^{Note2}	入力	CMPC0 用アナログ入力端子
CMPC10	CMPC11	CMPC12 ^{Note1}	CMPC13	入力	CMPC1 用アナログ入力端子
CMPC20	CMPC21	CMPC22 ^{Note2}	—	入力	CMPC2 用アナログ入力端子
CVREFC0				入力	リファレンス入力電圧端子0
COMP0				出力	CMPC0 比較結果出力端子
COMP1				出力	CMPC1 比較結果出力端子
COMP2				出力	CMPC2 比較結果出力端子

Note : 灰色のハッチングを施した部分は、使用不可能な機能です。

Note1 : CMPC12 は外部接続端子、および Smart Gate Driver の両方に接続されています。この端子を外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに“000b”を設定してください。ただし、“000b”を設定している場合、プルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でコンパレータを使用する際は注意してください。詳細は、**3.2.1.18**、および「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.5** を参照してください。

Note2 : CMPC03、および CMPC22 は Smart Gate Driver に接続しています。

第3章 Smart Gate Driver

本製品には、Smart Gate Driver として RAA306012 を搭載しています。

Smart Gate Driver は、BLDC モータ駆動用に、最大 3ch の N-ch MOSFET ブリッジを駆動可能で、6~65[V] のブリッジ電圧に対応しています。各ゲートドライバは、ソース/シンクのピーク電流を最大 0.64 / 1.28[A]まで 16 段階で調整可能です。

また、内部アナログ/ロジック回路、High サイド / Low サイド用ドライバ用電源、および周辺回路用電源回路を内蔵しています。ポータブル用アプリケーションのバッテリー使用時間を最大化するために、スタンバイ電流を 28[μ A]まで低減しています。

ドライバ制御入力は、3相 HI/LI モード、および 3相 PWM モードの両方に対応しています。また、各ブリッジの GND 側シャント抵抗の電流検出に対応し、プログラマブルにゲイン設定ができる高性能な差動アンプを 3ch 内蔵しています。このデバイスは、3ch の汎用コンパレータ、および BEMF 検出アンプにより、ホールセンサ/センサレスモータ制御両方の BLDC モータ制御方式に対応可能です。

保護機能 (異常保護, 通知機能) として、VCC5V 電圧降下 (VCC_UV), VM 電圧降下 (VM_UV), VM 過電圧 (VM_OV), チャージポンプ電圧降下 (VCP_UV), MOSFET V_{DS} 過電流 (VDS_OCP), シャント抵抗の過電流保護 (CS_OCP), MOSFET V_{GS} 異常 (VGS_FAULT), サーマルワーニング (TWARN), サーマルシャットダウン (OTSD), 降圧レギュレータ過電流検出 (SR_OC1), 降圧レギュレータ過電流保護 (SR_OCP), 降圧レギュレータ電圧降下 (VDRV_UV), 降圧レギュレータ過電圧 (VDRV_OV) に対応しています。

Smart Gate Driver を適切に制御するためには、MCU からの制御信号だけでなく、アプリケーションに応じた周辺回路構成、およびレジスタ設定が重要です。本章では、レジスタ設定、およびアプリケーションごとの周辺回路構成についての注意事項を記載します。

Smart Gate Driver の詳細は、「[RAA306012 データシート \(R18DS0037JJ\)](#)」を参照してください。

3.1 端子接続、および端子機能

3.1.1 MCU との端子接続

図 3-1 に Smart Gate Driver と MCU との接続を示します。x は未接続端子です。

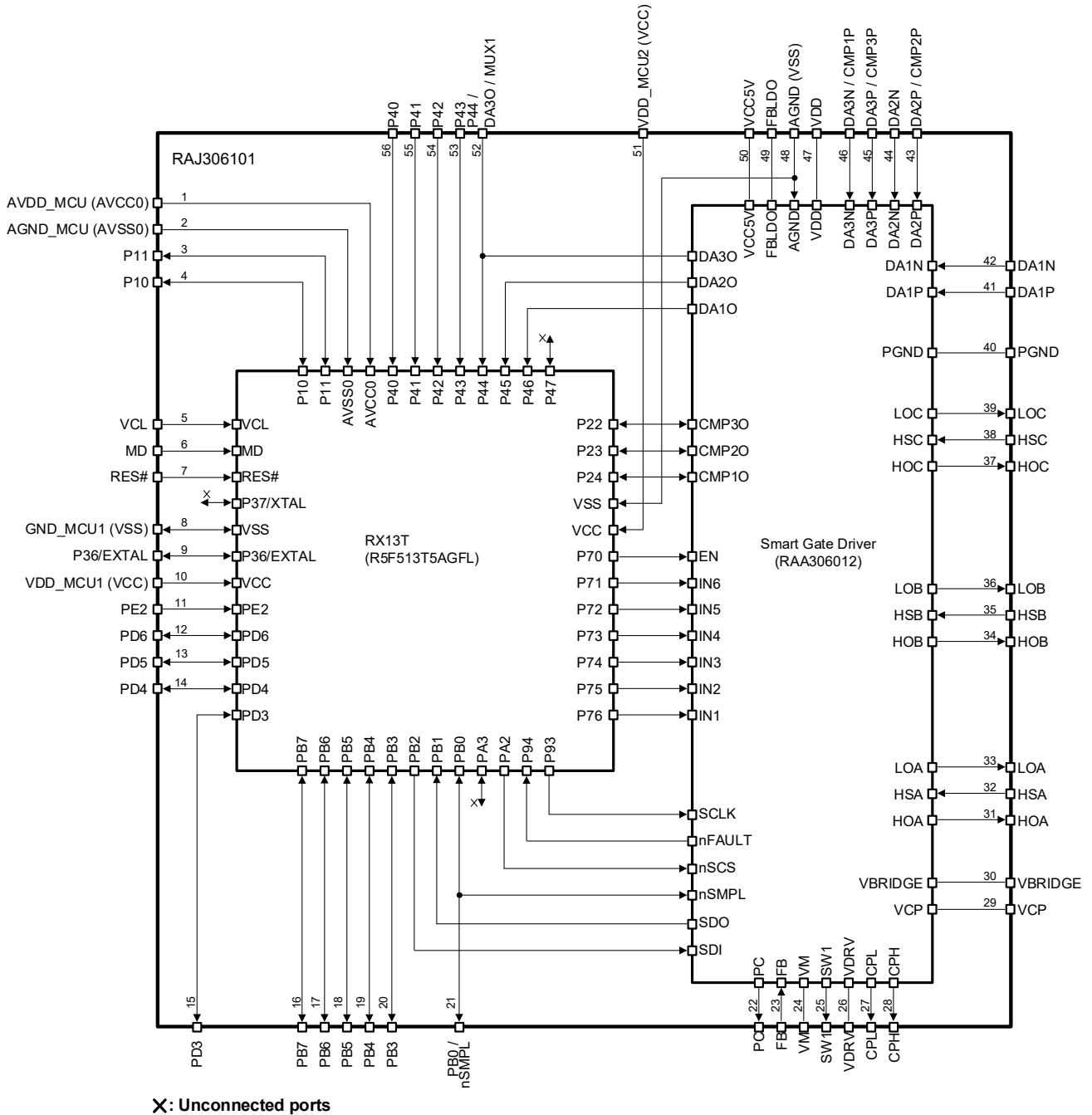


図 3-1 MCU との端子接続

3.1.2 端子機能

表 3-1, 表 3-2 に Smart Gate Driver の端子機能を示します。

内部接続されている Smart Gate Driver の端子は、EN 信号を High にすると、EN 信号以外の信号による制御が有効になるため、EN 出力端子を High 出力に設定する前にその他の端子設定をすることが重要です。設定手順については、本表の注意事項、2.1、および第 4 章を参照してください。

表 3-1 端子機能 (1 / 2)

外部接続 端子番号	Smart Gate Driver 端子名称	I/O				RX13T 端子名称	Smart Gate Driver端子機能	Note
		レベル	タイプ	初期 (EN = Low)	有効制御			
—	DA10	VDD	出力	プルダウン (330[kΩ])	DA1_EN bit	P46 / AN006	差動アンプ1の出力 プルダウン抵抗は、差動アンプ1が有効になると無効になります。	
—	CMP30	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP3_VTH / BEMF_PH ビット	P22 / IRQ2	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ3出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
—	CMP20	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP2_VTH / BEMF_PH ビット	P23 / IRQ4	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ2出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
—	CMP10	VDD	入出力	出力 / プルダウン (380[kΩ])	CMP1_VTH / BEMF_PH ビット	P24 / IRQ3	BEMF検出アンプの検出相選択用制御入力、またはコンパレータ1出力 Smart Gate Driverのポート機能は、BEMF_PH ビットにより選択されます。	1
—	EN	VDD	入力	プルダウン (100[kΩ])	—	P70	Operation Modeのイネーブル入力端子 この端子がLowの場合、このデバイスはlow-power sleep modeになります。	1, 2
—	IN6	VDD	入力	プルダウン (380[kΩ])	EN端子	P71 / MTIOC3B	ゲートドライバ制御用入力6 モータを駆動する前にGDSELAレジスタのHOA_SELビットに"110b"を設定してください。	2
—	IN5	VDD	入力	プルダウン (380[kΩ])	EN端子	P72 / MTIOC4A	ゲートドライバ制御用入力5 モータを駆動する前にGDSELBレジスタのHOB_SELビットに"101b"を設定してください。	2
—	IN4	VDD	入力	プルダウン (380[kΩ])	EN端子	P73 / MTIOC4B	ゲートドライバ制御用入力4 モータを駆動する前にGDSELCレジスタのHOC_SELビットに"100b"を設定してください。	2
—	IN3	VDD	入力	プルダウン (380[kΩ])	EN端子	P74 / MTIOC3D	ゲートドライバ制御用入力3 モータを駆動する前にGDSELAレジスタのLOA_SELビットに"011b"を設定してください。	2
—	IN2	VDD	入力	プルダウン (380[kΩ])	EN端子	P75 / MTIOC4C	ゲートドライバ制御用入力2 モータを駆動する前にGDSELBレジスタのLOB_SELビットに"010b"を設定してください。	2
—	IN1	VDD	入力	プルダウン (380[kΩ])	EN端子	P76 / MTIOC4D	ゲートドライバ制御用入力1 モータを駆動する前にGDSELCレジスタのLOC_SELビットに"001b"を設定してください。	2
—	nFAULT	VDD	オープン・ ドレイン出力	Hi-Z	EN端子	P94 / IRQ1	Fault状態検知信号出力 MCU内蔵プルアップ抵抗を有効にする必要があります。	3
21	nSMPL	VDD	入力	プルダウン (380[kΩ])	DAz_SH (z = 1, 2, 3) / BEMF_SH ビット	PB0	差動アンプ、またはBEMF検出アンプのサンプリング制御入力	4
—	nSCS	VDD	入力	プルアップ (380[kΩ])	EN端子	PA2	SPI用チップ選択入力	5
—	SCLK	VDD	入力	プルダウン (380[kΩ])	EN端子	P93 / SCK5	SPI用クロック入力	5
—	SDI	VDD	入力	プルダウン (380[kΩ])	EN端子	PB2 / MOSI6	SPI用データ入力	5
—	SDO	VDD	オープン・ ドレイン出力	Hi-Z	EN端子	PB1 / MISO5	SPI用データ出力 MCU内蔵プルアップ抵抗を有効にする必要があります。	3, 5
22	PC	VCC (VCC5V)	出力	プルダウン (1[kΩ])	EN端子	—	降圧スイッチングレギュレータの位相補償用gmアンプ出力 降圧スイッチングレギュレータが有効になると、プルダウン抵抗は無効になります。	
23	FB	VCC (VCC5V)	入力	—	EN端子	—	降圧スイッチングレギュレータの電圧フィードバック入力 (Ref. = 0.8[V])	
24	VM	VM	電源	—	—	—	電源入力 VMとアナログGND間にバイパスコンデンサを接続。	
25	SW1	VM	出力	Hi-Z	EN端子	—	降圧スイッチングレギュレータのスイッチノード	
26	VDRV	VDRV	電源	—	EN端子	—	降圧スイッチングレギュレータ用出力、およびLowサイドゲートドライバ電源 バイパスコンデンサをVDRVとアナログGND間に接続。	
27	CPL	VDRV	出力	プルダウン (100[kΩ])	EN端子	—	チャージポンプLowサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
28	CPH	VCP	出力	Hi-Z	EN端子	—	チャージポンプHighサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	

Note1 : 出力信号の衝突を避けるため、EN 端子を Low にする前に MCU のポートをデジタル入力ポートに設定してください。

Note2 : 予期しないゲートドライバ出力を回避するため、EN 端子を High にする前、または異常状態の回復する前に、MCU から INz (z = 1, 2, 3, 4, 5, 6) 端子に Low を入力してください。詳細は、第 4 章の Smart Gate Driver の制御シーケンスを参照してください。

Note3 : MCU のリセット解除後、MCU のレジスタ設定により、内蔵プルアップ抵抗を有効にしてください。

Note4 : PB0 (nSMPL) を MCU の端子として使用する場合は、BEMF_SH と DAz_SH (z = 1, 2, 3) ビットを全て"0b"に設定してください。

Note5 : EN 端子が High になった後、SPI 通信が有効になります。

表 3-2 端子機能 (2 / 2)

外部接続 端子番号	Smart Gate Driver 端子名称	I/O				RX13T 端子名称	Smart Gate Driver端子機能	Note
		レベル	タイプ	初期 (EN = Low)	有効制御			
29	VCP	VCP	電源	—	EN端子	—	チャージポンプ出力 出力コンデンサをVBRIDGEとVCP端子間に接続	
30	VBRIDGE	VBRIDGE	入力	—	EN端子	—	チャージポンプ出力の基準電圧 HighサイドMOSFETのドレイン検知入力 出力コンデンサをVBRIDGEV端子とパワーGND間に接続	
31	HOA	VCP	出力	HSAにプルダウン (200[kΩ])	EN端子	—	A相Highサイドのゲートドライバ出力 HighサイドMOSFETゲートと接続	6
32	HSA	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	—	A相Highサイドのソース検知入力。 HighサイドのMOSFETソースと接続	
33	LOA	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	—	A相Lowサイドのゲートドライバ出力。 LowサイドのMOSFETゲートと接続	6
34	HOB	VCP	出力	HSBにプルダウン (200[kΩ])	EN端子	—	B相Highサイドのゲートドライバ出力 HighサイドMOSFETゲートと接続	6
35	HSB	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	—	B相Highサイドのソース検知入力。 HighサイドのMOSFETソースと接続	
36	LOB	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	—	B相Lowサイドのゲートドライバ出力。 LowサイドのMOSFETゲートと接続	6
37	HOC	VCP	出力	HSCにプルダウン (200[kΩ])	EN端子	—	C相Highサイドのゲートドライバ出力 HighサイドMOSFETゲートと接続	6
38	HSC	VBRIDGE	入力	プルダウン (300[kΩ])	EN端子	—	C相Highサイドのソース検知入力。 HighサイドのMOSFETソースと接続	
39	LOC	VDRV	出力	EPADにプルダウン (200[kΩ])	EN端子	—	C相Lowサイドのゲートドライバ出力。 LowサイドのMOSFETゲートと接続	6
40	PGND	GND	GND	—	—	—	外部パワー段のGNDセンス入力	
41	DA1P	VDD	入力	—	DA1_EN / DIS_CS1OCP ビット	—	差動アンプ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
42	DA1N	VDD	入力	—	DA1_EN / DIS_CS1OCP ビット	—	差動アンプ1のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
43	DA2P / CMP2P	VDD	入力	—	DA2_EN / DIS_CS2OCP / CMP2_VTH ビット	—	差動アンプ2のPositive側入力、およびコンパレータ2のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
44	DA2N	VDD	入力	—	DA2_EN / DIS_CS2OCP ビット	—	差動アンプ2のNegative側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
45	DA3P / CMP3P	VDD	入力	—	DA3_EN / DIS_CS3OCP / CMP3_VTH ビット	—	差動アンプ3のPositive側入力、およびコンパレータ3のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
45	DA3N / CMP1P	VDD	入力	—	DA3_EN / DIS_CS3OCP / CMP1_VTH ビット	—	差動アンプ3のNegative側入力、およびコンパレータ1のPositive側入力 本端子の端子機能を使用しない場合、アナログGNDに接続してください。	
47	VDD	VDD	電源	—	—	—	内蔵シリーズレギュレータ出力、および出力バッファ用電源 出力コンデンサをVDDとアナログGND間に接続。	7
48	AGND	GND	GND	—	—	VSS	デバイスのアナログ用GND	
49	FBLDO	VCC (VCC5V)	入力	—	—	—	内蔵シリーズレギュレータの電圧フィードバック (Ref. = 1.2[V])	
50	VCC (VCC5V)	VCC (VCC5V)	電源	—	—	—	内蔵シリーズレギュレータ出力 (5[V]) 出力コンデンサをVCC (VCC5V) とアナログGND間に接続	7
52	DA3O / MUX1	VDD	出力	プルダウン (330[kΩ])	MUXビット	P44 / AN004	差動アンプ3の出力、BEMF検出アンプ出力、アナログマルチプレクサ出力 プルダウン抵抗は、MUX[2:0]ビットが "000b"のとき有効になります。	8
—	DA2O	VDD	出力	プルダウン (330[kΩ])	DA2_EN ビット	P45 / AN005	差動アンプ2の出力 プルダウン抵抗は、差動アンプ2が有効になると無効になります。	
—	EPAD (Thermal PAD)	GND	GND	—	—	—	チャージポンプ、およびゲートドライバ用のパワーGND 外部パワーGNDとの接続が必要です。	

Note6 : HOx - HSx (x = A, B, C) 端子間、および LOx (x = A, B, C) - EPAD 端子間にはプルダウン抵抗が内蔵されていますが、外付け MOSFET の電源スルーレートに応じて、外付けのプルダウン抵抗が必要になります。

Note7 : EN 端子と動作モードに応じて、VDD と VCC5V の負荷能力が異なります。推奨動作条件は「**RAJ306101 データシート (R18DS0038JJ)**」の 5.3 を参照してください。

Note8 : 外部出力端子を MCU の ADC 入力端子として使用する場合、プルダウン抵抗 (330[kΩ]) を考慮してください。

3.2 Control Register

Smart Gate Driver には、異常検出内容の確認、異常検出や機能ブロックの有効 / 無効の設定、ゲートドライバのスイッチング特性の調整、センシングブロックの動作モード、ゲイン設定などを行うため、Control Register を内蔵しています。Control Register は、Smart Gate Driver の EN 端子を High にした後、SPI 通信が有効となりレジスタ設定が可能になります。ただし、レジスタ設定は、Operating Mode に遷移した後に実行することを推奨します。レジスタ設定後に、Sleep Mode、または Shutdown Mode に遷移すると全てのレジスタがリセットされるため、Operating Mode に遷移した後は、各レジスタを再設定する必要があります。

図 3-2 に SPI 通信フォーマットを、表 3-3 に Control Register のレジスタマップを示します。MCU の通信端子の設定は、2.1.4.2 を参照してください。

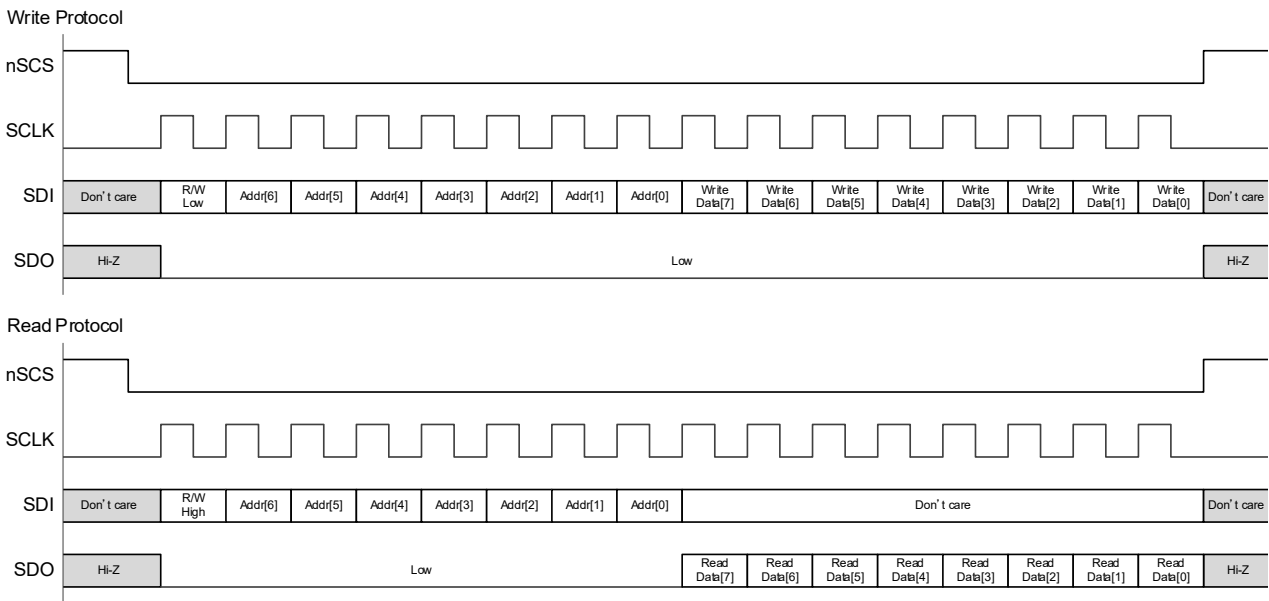


図 3-2 SPI 通信フォーマット

表 3-3 Control Register のレジスタマップ

Address	Register Name	Symbol	Access Type	Initial value	7	6	5	4	3	2	1	0
0x00	Fault Status 0	FLTSTS0	R	00h	FAULT	SR_FAULT	OV_UVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
0x01	Fault Status 1	FLTSTS1	R	00h	VDRV_UV	VDRV_OV	SR_OCP	VCP_UV	VM_UV	VM_OV	N/A	N/A
0x02	Fault Status 2	FLTSTS2	R	00h	VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
0x03	Fault Status 3	FLTSTS3	R	00h	VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
0x04	Fault Control 1	FLTCTL1	R/W	00h	DIS_VDRVUV	DIS_VDRVOV	DIS_SROC	DIS_VCPUV	DIS_VMUUV	DIS_VMOUV	DIS_OTSD	TWARN_REP
0x05	Fault Control 2	FLTCTL2	R/W	07h	CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
0x06	IC Control 1	ICCTL1	R/W	35h	CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
0x07	IC Control 2	ICCTL2	R/W	50h	DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
0x08	Gate Driver Control	GDCCTL	R/W	FFh	ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
0x09	Over Current Protection Control	OCPCTL	R/W	00h	VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CS0CP	TRETRY_VDSOCP	DEG_TIME1	DEG_TIME0
0x0A	Phase-A Gate Driver Input Selection	GDSELA	R/W	14h	CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
0x0B	Phase-B Gate Driver Input Selection	GDSELB	R/W	25h	CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
0x0C	Phase-C Gate Driver Input Selection	GDSELC	R/W	36h	CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
0x0D	Sense Block Control 1	SNSCTL1	R/W	AAh	BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
0x0E	Sense Block Control 2	SNSCTL2	R/W	00h	CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
0x0F	Sense Block Control 3	SNSCTL3	R/W	88h	CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
0x10	Sense Block Control 4	SNSCTL4	R/W	80h	CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
0x11	Sense Block Control 5	SNSCTL5	R/W	00h	DIS_SADT	RESERVED11_6	CTL6_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
0x12	Sense Block Control 6	SNSCTL6	R/W	40h	RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR

3.2.1 レジスタ説明

3.2.1.1 Fault Status 0 レジスタ : FLTSTS0 アドレス = 00h : [初期値 = 00h]

図 3-3、および表 3-4 に Fault Status 0 レジスタの詳細を示します。

図 3-3 Fault Status 0 レジスタ : FLTSTS0 の構成

7	6	5	4	3	2	1	0
FAULT	SR_FAULT	OV_UVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-4 Fault Status 0 レジスタ : FLTSTS0 の説明

Bit	Field	Type	Default	Description
7	FAULT	R	0b	全てのFault Statusビットの論理和
6	SR_FAULT	R	0b	降圧スイッチングレギュレータのFault Statusビット (VDRV_UV, VDRV_OV, SR_OCP) の論理和
5	OV_UVLO	R	0b	チャージポンプの電圧降下用のFault Statusビット (VCP_UV) と、VMの電圧降下、および過電圧のFault Statusビット (VM_UV, VM_OV) の論理和
4	VDS_OCP	R	0b	MOSFETのVds過電流のFault Statusビット (VDSHx_OCP, VDSLx_OCP (x = A, B, C)) の論理和
3	VGS_FAULT	R	0b	MOSFETのVgs異常のFault Statusビット (VGSx_FAULT, VGSx_FAULT (x = A, B, C)) の論理和
2	CS_OCP	R	0b	シャント抵抗の過電流検出のFault Statusビット (CSz_OCP (z = 1, 2, 3)) の論理和
1	OTSD	R	0b	サーマルシャットダウン (Tsd) のインジケータ
0	TWARN	R	0b	サーマルワーニング (TWARN) のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.2 Fault Status 1 レジスタ : FLTSTS1 アドレス = 01h : [初期値 = 00h]

図 3-4、および表 3-5 に Fault Status 1 レジスタの詳細を示します。

図 3-4 Fault Status 1 レジスタ : FLTSTS1 の構成

7	6	5	4	3	2	1	0
VDRV_UV	VDRV_OV	SR_OCP	VCP_UV	VM_UV	VM_OV	N/A	N/A
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-5 Fault Status 1 レジスタ : FLTSTS1 の説明

Bit	Field	Type	Default	Description
7	VDRV_UV	R	0b	VDRV電圧降下 (Vdrvuv) のインジケータ
6	VDRV_OV	R	0b	VDRV過電圧 (Vdrvov) のインジケータ
5	SR_OCP	R	0b	降圧スイッチングレギュレータの過電流 (Ioc2_sr) のインジケータ
4	VCP_UV	R	0b	チャージポンプ電圧降下 (Vcpuv) のインジケータ
3	VM_UV	R	0b	VM電圧降下 (Vmvuv) のインジケータ
2	VM_OV	R	0b	VM過電圧 (Vmov) のインジケータ
1	N/A	R	0b	Not assigned
0	N/A	R	0b	Not assigned

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.3 Fault Status 2 レジスタ : FLTSTS2 アドレス = 02h : [初期値 = 00h]

図 3-5、および表 3-6 に Fault Status 2 レジスタの詳細を示します。

図 3-5 Fault Status 2 レジスタ : FLTSTS2 の構成

7	6	5	4	3	2	1	0
VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-6 Fault Status 2 レジスタ : FLTSTS2 の説明

Bit	Field	Type	Default	Description
7	VDSHA_OCP	R	0b	A相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_A_OCP	R	0b	A相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHA_FAULT	R	0b	A相HighサイドMOSFETのV _{GS} 異常のインジケータ
4	VGSLA_FAULT	R	0b	A相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	VDSHB_OCP	R	0b	B相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
2	VDSL_B_OCP	R	0b	B相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
1	VGSHB_FAULT	R	0b	B相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLB_FAULT	R	0b	B相LowサイドMOSFETのV _{GS} 異常のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.4 Fault Status 3 レジスタ : FLTSTS3 アドレス = 03h : [初期値 = 00h]

図 3-6、および表 3-7 に Fault Status 3 レジスタの詳細を示します。

図 3-6 Fault Status 3 レジスタ : FLTSTS3 の構成

7	6	5	4	3	2	1	0
VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

表 3-7 Fault Status 3 レジスタ : FLTSTS3 の説明

Bit	Field	Type	Default	Description
7	VDSHC_OCP	R	0b	C相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_C_OCP	R	0b	C相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHC_FAULT	R	0b	C相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLC_FAULT	R	0b	C相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	N/A	R	0b	Not Assigned
2	CS1_OCP	R	0b	DA1P, DA1Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ
1	CS2_OCP	R	0b	DA2P, DA2Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ
0	CS3_OCP	R	0b	DA3P, DA3Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

3.2.1.5 Fault Control 1 レジスタ : FLTCTL1 アドレス = 04h : [初期値 = 00h]

図 3-7、および表 3-8 に Fault Control 1 レジスタの詳細を示します。

図 3-7 Fault Control 1 レジスタ : FLTCTL1 の構成

7	6	5	4	3	2	1	0
DIS_VDRVUV	DIS_VDRVOV	DIS_SROC	DIS_VCPUV	DIS_VMUUV	DIS_VMOV	DIS_OTSD	TWARN_REP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-8 Fault Control 1 レジスタ : FLTCTL1 の説明

Bit	Field	Type	Default	Description
7	DIS_VDRVUV	R/W	0b	"1b"の書き込みでVDRV電圧降下 (VDRVUV) の検出は通知のみ実行
6	DIS_VDRVOV	R/W	0b	"1b"の書き込みでVDRV過電圧 (VDRVOV) の検出は通知のみ実行
5	DIS_SROC	R/W	0b	"1b"の書き込みで降圧スイッチングレギュレータ過電流 (loc2_SR) の検出は通知のみ実行
4	DIS_VCPUV	R/W	0b	"1b"の書き込みでVCP電圧降下 (VCPUV) の検出は通知のみ実行
3	DIS_VMUUV	R/W	0b	"1b"の書き込みでVM電圧降下 (VMUUV) の検出は通知のみ実行
2	DIS_VMOV	R/W	0b	"1b"の書き込みでVM過電圧 (VMOV) の検出は通知のみ実行
1	DIS_OTSD	R/W	0b	"1b"の書き込みでサーマルシャットダウン (TSD) の検出は通知のみ実行
0	TWARN_REP	R/W	0b	"0b" : サーマルワーニング (TWARN) はTWARNビットでの通知のみを実行 "1b" : サーマルワーニング (TWARN) はTWARNビット、およびnFAULTでの通知を実行

3.2.1.6 Fault Control 2 レジスタ : FLTCTL2 アドレス = 05h : [初期値 = 07h]

図 3-8、および表 3-9 に Fault Control 2 レジスタの詳細を示します。

図 3-8 Fault Control 2 レジスタ : FLTCTL2 の構成

7	6	5	4	3	2	1	0
CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 1b

表 3-9 Fault Control 2 レジスタ : FLTCTL2 の説明

Bit	Field	Type	Default	Description
7	CSOCP_MODE1	R/W	0b	シャント抵抗の過電流 (VCSOCP) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除)
6	CSOCP_MODE0	R/W	0b	10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
5	VDSOCP_MODE1	R/W	0b	MOSFETのVDS過電流 (VDSOCP) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除)
4	VDSOCP_MODE0	R/W	0b	10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
3	DIS_VGSFLT	R/W	0b	"1b"の書き込みでMOSFETのVGS異常の検出を無効
2	DIS_CS1OCP	R/W	1b	"1b"の書き込みでDA1P, DA1Nへの差動入力に対するシャント抵抗の過電流 (VCSOCP) の検出を無効
1	DIS_CS2OCP	R/W	1b	"1b"の書き込みでDA2P, DA2Nへの差動入力に対するシャント抵抗の過電流 (VCSOCP) の検出を無効
0	DIS_CS3OCP	R/W	1b	"1b"の書き込みでDA3P, DA3Nへの差動入力に対するシャント抵抗の過電流 (VCSOCP) の検出を無効

Note2 : Latched Shutdown モードの保護動作は、ICCTL1 レジスタの CLR_FLT ビットに"1b"を設定、または EN 端子に復帰用 Low バルス (>tsleep : 0.85[ms]) の入力することで解除されます。

3.2.1.7 IC Control 1 レジスタ : ICCTL1 アドレス = 06h : [初期値 = 35h]

図 3-9、および表 3-10 に IC Control 1 レジスタの詳細を示します。

図 3-9 IC Control 1 レジスタ : ICCTL1 の構成

7	6	5	4	3	2	1	0
CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

表 3-10 IC Control 1 レジスタ : ICCTL1 の説明

Bit	Field	Type	Default	Description
7	CLR_FLT	R/W	0b	"1b"の書き込みで全てのfault statusレジスタのフラグビットをクリアを実行 このビットは自動的に"0b"にクリアされます。
6	WRITE_LOCK2	R/W	0b	"110b"の書き込みでロック状態になり、WRITE_LOCKビット以外への書き込みを禁止 "011b"の書き込みでロック状態を解除し、レジスタへの書き込みを許可 本ビットへの他のビットパターンの書き込みは無効となり、書き込み前の値を保持する
5	WRITE_LOCK1	R/W	1b	
4	WRITE_LOCK0	R/W	1b	
3	PWMODE	R/W	0b	ゲートドライバ制御モード 0b : 3相 H/LIモード, 1b : 3相PWMモード
2	CSOCP_TH2	R/W	1b	DAzP, DAzN (z = 1, 2, 3) 入力によるシャント抵抗の過電流 (V _{CSOCP}) の検出閾値電圧設定 000b : 51[mV], 001b : 105[mV], 010b : 157[mV], 011b : 208[mV], 100b : 260[mV], 101b : 516[mV], 110b : 773[mV], 111b : 1029[mV]
1	CSOCP_TH1	R/W	0b	
0	CSOCP_TH0	R/W	1b	

3.2.1.8 IC Control 2 レジスタ : ICCTL2 アドレス = 07h : [初期値 = 50h]

図 3-10、および表 3-11 に IC Control 2 レジスタの詳細を示します。

図 3-10 IC Control 2 レジスタ : ICCTL2 の構成

7	6	5	4	3	2	1	0
DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-11 IC Control 2 レジスタ : ICCTL2 の説明

Bit	Field	Type	Default	Description
7	DEAD_TIME1	R/W	0b	アダプティブデッドタイム制御のエクストラデッドタイム (t _{tr}) の設定 00b : 50[ns], 01b : 100[ns], 10b : 200[ns], 11b : 400[ns]
6	DEAD_TIME0	R/W	1b	
5	T_GT1	R/W	0b	アダプティブデッドタイム制御の最大ゲート遷移時間 (t _{GT}) の設定 00b : 500[ns], 01b : 1000[ns], 10b : 2000[ns], 11b : 4000[ns]
4	T_GT0	R/W	1b	
3	BEMF_EN	R/W	0b	"1b"の書き込みでBEMF検出アンプが有効
2	DA1_EN	R/W	0b	"1b"の書き込みで差動アンプ1が有効
1	DA2_EN	R/W	0b	"1b"の書き込みで差動アンプ2が有効
0	DA3_EN	R/W	0b	"1b"の書き込みで差動アンプ3が有効

3.2.1.9 Gate Drive Control レジスタ : GDCTL アドレス = 08h : [初期値 = FFh]

図 3-11、および表 3-12 に Gate Drive Control レジスタの詳細を示します。

図 3-11 Gate Drive Control レジスタ : GDCTL の構成

7	6	5	4	3	2	1	0
ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b	R/W : 1b

表 3-12 Gate Drive Control レジスタ : GDCTL の説明

Bit	Field	Type	Default	Description
7	ISRC_HS3	R/W	1b	Highサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
6	ISRC_HS2	R/W	1b	
5	ISRC_HS1	R/W	1b	
4	ISRC_HS0	R/W	1b	
3	ISRC_LS3	R/W	1b	Lowサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
2	ISRC_LS2	R/W	1b	
1	ISRC_LS1	R/W	1b	
0	ISRC_LS0	R/W	1b	

3.2.1.10 Overcurrent Protection Control レジスタ : OCPCTL アドレス = 09h : [初期値 = 00h]

図 3-12、および表 3-13 に Overcurrent Protection Control レジスタの詳細を示します。

図 3-12 Overcurrent Protection Control レジスタ : OCPCTL の構成

7	6	5	4	3	2	1	0
VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CSOCPL	TRETRY_VDSOCP	DEG_TIME1	DEG_TIME0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-13 Overcurrent Protection Control レジスタ : OCPCTL の説明

Bit	Field	Type	Default	Description
7	VDS_TH3	R/W	0b	Vds過電流 (Vdsocp) の検出閾値電圧設定 0000b : 40[mV], 0001b : 60[mV], 0010b : 80[mV], 0011b : 120[mV], 0100b : 160[mV], 0101b : 200[mV], 0110b : 240[mV], 0111b : 320[mV], 1000b : 400[mV], 1001b : 480[mV], 1010b : 600[mV], 1011b : 720[mV], 1100b : 960[mV], 1101b : 1200[mV], 1110b : 1600[mV], 1111b : 2000[mV]
6	VDS_TH2	R/W	0b	
5	VDS_TH1	R/W	0b	
4	VDS_TH0	R/W	0b	
3	TRETRY_CSOCPL	R/W	0b	CSOCPL_MODEが"01b" (Automatic Retryモード) の場合、シャント抵抗の過電流 (Vcsocp) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
2	TRETRY_VDSOCP	R/W	0b	VDSOCP_MODEが"01b" (Automatic Retryモード) の場合、MOSFETのVds過電流 (Vdsocp) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
1	DEG_TIME1	R/W	0b	シャント抵抗の過電流 (Vcsocp) の検出、およびVds過電流 (Vdsocp) の検出の判定時間設定 00b : 1.57[μs], 01b : 2.38[μs], 10b : 3.49[μs], 11b : 5.73[μs]
0	DEG_TIME0	R/W	0b	

3.2.1.11 Phase-A Gate Driver Input Selection レジスタ : GDSELA アドレス = 0Ah : [初期値 = 14h]

図 3-13、および表 3-14 に Phase-A Gate Driver Input Selection レジスタを示します。

図 3-13 Phase-A Gate Driver Input Selection レジスタ : GDSELA の構成

7	6	5	4	3	2	1	0
CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b

表 3-14 Phase-A Gate Driver Input Selection レジスタ : GDSELA の説明

Bit	Field	Type	Default	Description
7	CMP1_HYS	R/W	0b	コンパレータ1のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOA_SEL2	R/W	0b	A相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOA_SEL1	R/W	0b	
4	HOA_SEL0	R/W	1b	
3	VMUV_TH	R/W	0b	VM電圧降下 (V _{mvuv}) の閾値電圧設定 0b : VM < 5.3[V], 1b : VM < 7.5[V]
2	LOA_SEL2	R/W	1b	A相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOA_SEL1	R/W	0b	
0	LOA_SEL0	R/W	0b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に“111b”が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

3.2.1.12 Phase-B Gate Driver Input Selection レジスタ : GDSELB アドレス = 0Bh : [初期値 = 25h]

図 3-14、および表 3-15 に Phase-B Gate Driver Input Selection レジスタを示します。

図 3-14 Phase-B Gate Driver Input Selection レジスタ : GDSELB の構成

7	6	5	4	3	2	1	0
CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

表 3-15 Phase-B Gate Driver Input Selection レジスタ : GDSELB の説明

Bit	Field	Type	Default	Description
7	CMP2_HYS	R/W	0b	コンパレータ2のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOB_SEL2	R/W	0b	B相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOB_SEL1	R/W	1b	
4	HOB_SEL0	R/W	0b	
3	PDMODE	R/W	0b	シャント抵抗の過電流 (V _{csocp}) の検出、およびV _{bs} 過電流 (V _{bsocp}) の検出後のゲートドライバ出力 0b : Hi-Zプルダウン出力, 1b : Low出力
2	LOB_SEL2	R/W	1b	B相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOB_SEL1	R/W	0b	
0	LOB_SEL0	R/W	1b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に“111b”が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

3.2.1.13 Phase-C Gate Driver Input Selection レジスタ : GDSELC アドレス = 0Ch : [初期値 = 36h]

図 3-15、および表 3-16 に Phase-C Gate Driver Input Selection レジスタを示します。

図 3-15 Phase-C Gate Driver Input Selection レジスタ : GDSELC の構成

7	6	5	4	3	2	1	0
CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b

表 3-16 Phase-C Gate Driver Input Selection レジスタ : GDSELC の説明

Bit	Field	Type	Default	Description
7	CMP3_HYS	R/W	0b	コンパレータ3のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOC_SEL2	R/W	0b	C相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOC_SEL1	R/W	1b	
4	HOC_SEL0	R/W	1b	
3	CPUV_TH	R/W	0b	チャージポンプ電圧降下 (VCPUV) の閾値設定 0b: VCP < 0.58 * VDRV, 1b: VCP < 0.8 * VDRV
2	LOC_SEL2	R/W	1b	C相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOC_SEL1	R/W	1b	
0	LOC_SEL0	R/W	0b	

Note3 : HOx_SEL、または LOx_SEL ビット (x = A, B, C) に“111b”が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

3.2.1.14 Sense Block Control 1 レジスタ : SNSCTL1 アドレス = 0Dh : [初期値 = AAh]

図 3-16、および表 3-17 に Sense Block Control 1 レジスタを示します。

図 3-16 Sense Block Control 1 レジスタ : SNSCTL1 の構成

7	6	5	4	3	2	1	0
BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b

表 3-17 Sense Block Control 1 レジスタ : SNSCTL1 の説明

Bit	Field	Type	Default	Description
7	BEMF_GAIN1	R/W	1b	BEMF検出アンプのゲインの設定 (DA3_GAINが“00b”の場合) 00b : 0.05[V/V], 01b : 0.1[V/V], 10b : 0.5[V/V], 11b : 1.0[V/V]
6	BEMF_GAIN0	R/W	0b	
5	DA1_GAIN1	R/W	1b	差動アンプ1のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
4	DA1_GAIN0	R/W	0b	
3	DA2_GAIN1	R/W	1b	差動アンプ2のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
2	DA2_GAIN0	R/W	0b	
1	DA3_GAIN1	R/W	1b	差動アンプ3のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
0	DA3_GAIN0	R/W	0b	

3.2.1.15 Sense Block Control 2 レジスタ : SNSCTL2 アドレス = 0Eh : [初期値 = 00h]

図 3-17、および表 3-18 に Sense Block Control 2 レジスタを示します。

図 3-17 Sense Block Control 2 レジスタ : SNSCTL2 の構成

7	6	5	4	3	2	1	0
CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-18 Sense Block Control 2 レジスタ : SNSCTL2 の説明

Bit	Field	Type	Default	Description
7	CAL_BCONN	R/W	0b	BEMF検出アンプのDCオフセットキャリブレーション中の入力選択 0b : アンプ入力は、BEMF検出アンプのリファレンス電圧 (DAREF) に接続 1b : アンプ入力は、BEMF_PHビットによって選択された相に接続
6	BEMF_PH2	R/W	0b	BEMF検出アンプの検出相設定 ^{Note4} 00xb : nSMPLの立下りエッジごとにゲートドライバの入力信号から自動的に選択。 010b : CMP10端子、およびCMP20端子によって選択。
5	BEMF_PH1	R/W	0b	(CMP10, CMP20) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 011b : CMP10端子、およびCMP30端子によって選択。
4	BEMF_PH0	R/W	0b	(CMP10, CMP30) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 100b : 未選択, 101b : A相, 110b : B相, 111b : C相
3	BEMF_SH	R/W	0b	BEMF検出アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : t _{GT} 後、nSMPL信号 = Low、およびPWM ONの間サンプリングを実行
2	DA1_SH	R/W	0b	差動アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
1	DA2_SH	R/W	0b	差動アンプ2のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
0	DA3_SH	R/W	0b	差動アンプ3のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行

Note4 : 「RAJ306101 データシート (R18DS0038JJ)」の 6.5.2, 6.5.3 を参照してください。

3.2.1.16 Sense Block Control 3 レジスタ : SNSCTL3 アドレス = 0Fh : [初期値 = 88h]

図 3-18、および表 3-19 に Sense Block Control 3 レジスタを示します。

図 3-18 Sense Block Control 3 レジスタ : SNSCTL3 の構成

7	6	5	4	3	2	1	0
CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-19 Sense Block Control 3 レジスタ : SNSCTL3 の説明

Bit	Field	Type	Default	Description
7	CMP1_VTH3	R/W	1b	コンパレータ1の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP1_VTH
6	CMP1_VTH2	R/W	0b	
5	CMP1_VTH1	R/W	0b	
4	CMP1_VTH0	R/W	0b	
3	CMP2_VTH3	R/W	1b	コンパレータ2の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP2_VTH
2	CMP2_VTH2	R/W	0b	
1	CMP2_VTH1	R/W	0b	
0	CMP2_VTH0	R/W	0b	

3.2.1.17 Sense Block Control 4 レジスタ : SNSCTL4 アドレス = 10h : [初期値 = 80h]

図 3-19、および表 3-20 に Sense Block Control 4 レジスタを示します。

図 3-19 Sense Block Control 4 レジスタ : SNSCTL4 の構成

7	6	5	4	3	2	1	0
CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-20 Sense Block Control 4 レジスタ : SNSCTL4 の説明

Bit	Field	Type	Default	Description
7	CMP3_VTH3	R/W	1b	コンパレータ3の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP3_VTH
6	CMP3_VTH2	R/W	0b	
5	CMP3_VTH1	R/W	0b	
4	CMP3_VTH0	R/W	0b	
3	CAL_CONN	R/W	0b	差動アンプのDCオフセットキャリブレーション中の入力選択。 0b : 差動アンプの入力は、内部スイッチにより短絡 1b : 差動アンプの入力は、外付けシャントに接続
2	CAL_DA1	R/W	0b	"1b"の書き込みで差動アンプ1のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
1	CAL_DA2	R/W	0b	"1b"の書き込みで差動アンプ2のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
0	CAL_DA3/BEMF	R/W	0b	BEMF検出アンプが無効 (BEMF_ENビット = "0b") の場合、"1b"の書き込みで差動アンプ3のDCオフセットキャリブレーションを実行 BEMF検出アンプが有効 (BEMF_ENビット = "1b") の場合、"1b"の書き込みでBEMF検出アンプのDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化

3.2.1.18 Sense Block Control 5 レジスタ : SNSCTL5 アドレス = 11h : [初期値 = 00h]

図 3-20、および表 3-21 に Sense Block Control 5 レジスタを示します。

図 3-20 Sense Block Control 5 レジスタ : SNSCTL5 の構成

7	6	5	4	3	2	1	0
DIS_SADT	RESERVED11_6	CTL6_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

表 3-21 Sense Block Control 5 レジスタ : SNSCTL5 の説明

Bit	Field	Type	Default	Description
7	DIS_SADT	R/W	0b	"1b"の書き込みでアダプティブデッドタイム制御を無効。
6	RESERVED11_6	R/W	0b	予約ビットです。必ず"0b"を設定してください。
5	CTL6_UNLOCK	R/W	0b	0b : SNSCTL6 レジスタは書き込みロック状態になり、SNSCTL6 レジスタへの書き込みは無効 1b : SNSCTL6 レジスタの書き込みロック状態が解除され、SNSCTL6 レジスタの書き込みは有効
4	RESERVED11_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。
3	RESERVED11_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。
2	MUX2	R/W	0b	DA30/MUX1端子の出力を選択 000b : GND (プルダウン : 330[kΩ]) 001b : VM モニタ電圧 010b : ジャンクション温度モニタ電圧 011b : 差動アンプリファレンス電圧
1	MUX1	R/W	0b	BEMF_ENビット = "0b" の場合 100b : 差動アンプ3出力 (10[kΩ]有り) 111b : 差動アンプ3出力 (10[kΩ]無し)
0	MUX0	R/W	0b	BEMF_ENビット = "1b" の場合 100b : BEMF検出アンプ出力 (10[kΩ]有り) 111b : BEMF検出アンプ出力 (10[kΩ]無し)

3.2.1.19 Sense Block Control 6 レジスタ : SNSCTL6 アドレス = 12h : [初期値 = 40h]

図 3-21、および表 3-22 に Sense Block Control 6 レジスタを示します。

SNSCTL6 レジスタの書き込みを許可するためには CTL6_UNLOCK ビットに"1b"を設定してください。

SNSCTL6 レジスタ書き込み後は、CTL6_UNLOCK ビットに"0b"を設定してください。

図 3-21 Sense Block Control 6 レジスタ : SNSCTL6 の構成

7	6	5	4	3	2	1	0
RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR
R/W: 0b	R/W: 1b	R/W: 0b	R/W: 0b	R/W: 0b	R/W: 0b	R/W: 0b	R/W: 0b

表 3-22 Sense Block Control 6 レジスタ : SNSCTL6 の説明

Bit	Field	Type	Default	Description
7	RESERVED12_7	R/W	0b	予約ビットです。必ず"0b"を設定してください。
6	BEMF_OFFSET	R/W	1b	BEMF検出アンプDCオフセットのデータ選択 0b : キャリブレーションデータが有効, 1b : 出荷試験によるトリミングデータが有効 BEMF 検出アンプの DC オフセットキャリブレーションを行った場合、自動的に "0b" になります。
5	RESERVED12_5	R/W	0b	予約ビットです。必ず"0b"を設定してください。
4	RESERVED12_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。
3	RESERVED12_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。
2	RESERVED12_2	R/W	0b	予約ビットです。必ず"0b"を設定してください。
1	RESERVED12_1	R/W	0b	予約ビットです。必ず"0b"を設定してください。
0	GD_AOR	R/W	0b	"1b"を書き込むと、ゲートドライバロジックのアクティブオーバーライドモードが有効になります。

3.3 モータ制御に対応したレジスタ設定

RAJ306101にはBLDCモータの制御を行うための様々なセンシングブロックを内蔵しています。これらの機能を用いることでアプリケーションに対応した最適なモータ制御の実現が可能です。本節では、ホールセンサモータ制御とセンサレスモータ制御 (BEMF 検出 & コンパレータ、および3シャントFOC)を例に回路構成、およびレジスタ設定を記載します。

3.3.1 ホールセンサモータ制御

3.3.1.1 回路構成

図 3-22 にホールセンサモータ制御を行う際のアプリケーション簡易ブロック図の例を示します。

ホールセンサモータ制御では、ホール IC からの位置検出信号を基に通電相を切り替えることでモータ制御を行います。位置検出信号は、汎用コンパレータを用いて極性の判定が可能であり、CMPzP (z = 1, 2, 3) 端子に入力します。

シャント抵抗によりモータ駆動電流を検出する場合や、過電流検出 (CS_OCP) を行う場合は、DA1P, DA1N 端子にシャント抵抗両端電圧を入力してください。

使用しない DAzP, DAzN (z = 1, 2, 3) 端子は、AGND へ接続してください。

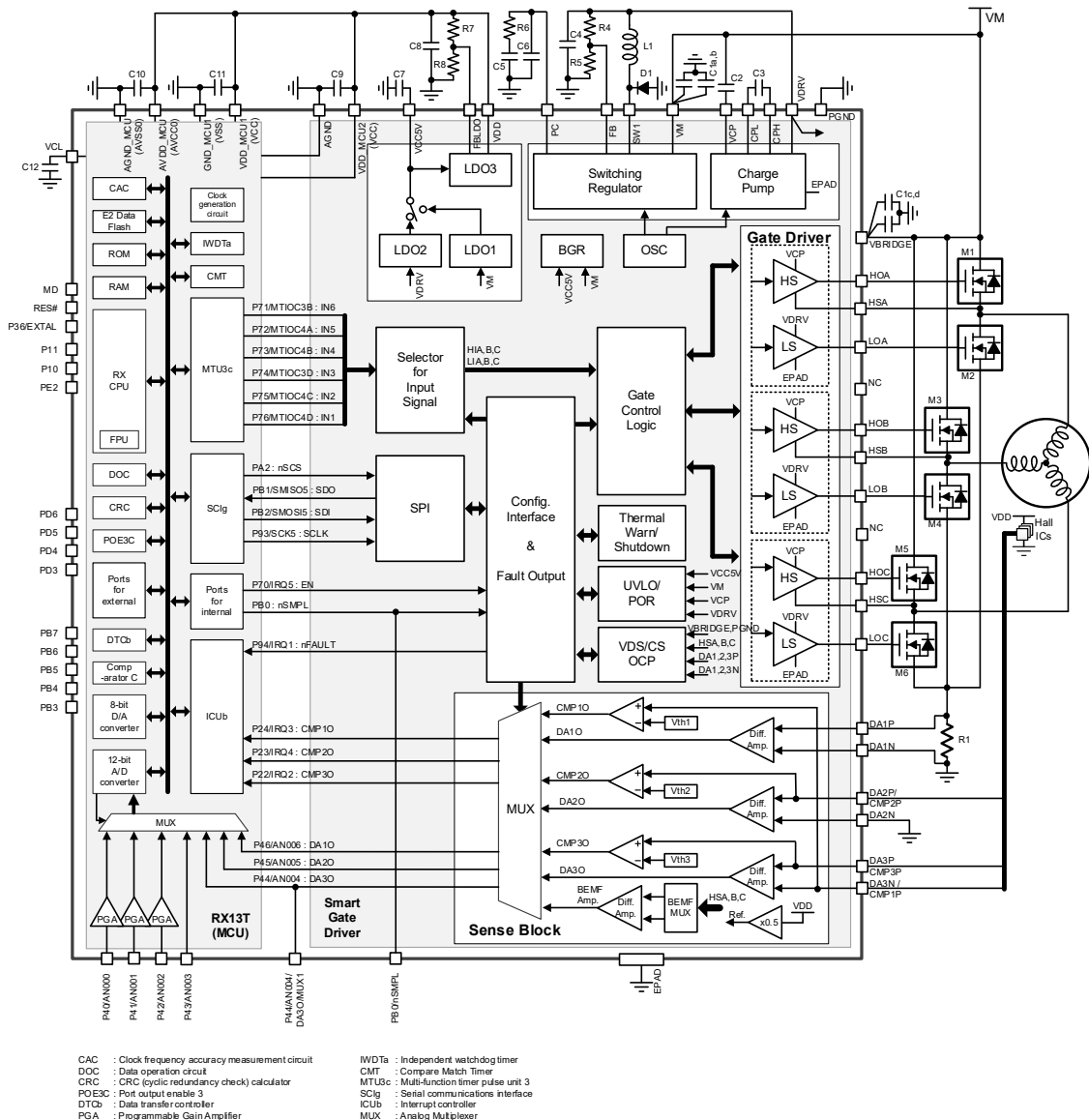


図 3-22 アプリケーション簡易ブロック図：ホールセンサモータ制御 (3 コンパレータ)

3.3.1.2 レジスタ設定

本製品では、モータ制御を行う前に Smart Gate Driver の各種機能に対するレジスタ設定が必要です。レジスタ設定においては、下記の 4 種類の機能に対応したレジスタ設定が必要です。

- (a) 異常検出機能：有効 / 無効, 動作モード, 調整ビット, Fault Status クリアビット
- (b) ゲートドライバ：入力選択, 動作モード, 調整ビット
- (c) センシングブロック：有効 / 無効, 動作モード, 調整ビット
- (d) センシングブロックキャリブレーション：実行ビット

ホールセンサモータ制御においては、センシングブロックの汎用コンパレータ、および差動アンプ 1 (使用する場合) に対して、下記の設定が必要です。

- ICCTL2 レジスタ：DA1_EN ビット
- GDSELA レジスタ：CMP1_HYS ビット
- GDSELB レジスタ：CMP2_HYS ビット
- GDSELC レジスタ：CMP3_HYS ビット
- SNSCTL1 レジスタ：DA1_GAIN ビット
- SNSCTL2 レジスタ：DA1_SH ビット
- SNSCTL3 レジスタ：CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ：CMP3_VTH, CAL_CONN, CAL_DA1 ビット

Smart Gate Driver の起動シーケンスにおいては、上記した (a) ~ (d) のレジスタ設定に対して、レジスタ設定 1, 2, 3 と 3 段階に分けて設定する構成とします。

レジスタ設定タイミングにつきましては **4.1** を参照してください。レジスタ設定 1, 2, 3 で設定するレジスタを下記に示します。

(1) レジスタ設定 1：

レジスタ設定 1 は、異常検出機能に対する設定を主に行います。**4.1** の起動シーケンス例では、下記のレジスタの設定を実行します。

- FLTCTL1 レジスタ
- FLTCTL2 レジスタ
- ICCTL1 レジスタ

異常検出機能の動作モード、調整ビット設定は、OCPCTL レジスタ、および GDSELx (x = A, B, C) レジスタにも一部割り当てがあります。nFAULT 端子出力により正常起動を確認する前に、閾値を変更したい場合は、これらのレジスタ設定をレジスタ設定 1 で実行してください。

異常検出機能のレジスタ設定が完了した時点で Fault Status のクリアを CLR_FLT ビットの設定により実施します。

(2) レジスタ設定 2 :

レジスタ設定 2 は、ゲートドライバ、およびセンシングブロックに対するレジスタ設定を主に行います。4.1 の起動シーケンス例では、下記のレジスタ設定を実行します。

- ICCTL2 レジスタ
- GDCTL レジスタ
- OCPCTL レジスタ
- GDSELx (x = A, B, C) レジスタ
- SNSCTLz (z = 1, 2, 3, 4) レジスタ

GDSELx (x = A, B, C) レジスタにはゲートドライバの入力信号を選択するレジスタ設定があります。MCU (RX13T) との接続を考慮して下記の設定を推奨します。

- HOA_SEL ビット = "110b" (IN6 入力)
- LOA_SEL ビット = "011b" (IN3 入力)
- HOB_SEL ビット = "101b" (IN5 入力)
- LOB_SEL ビット = "010b" (IN2 入力)
- HOC_SEL ビット = "100b" (IN4 入力)
- LOC_SEL ビット = "001b" (IN1 入力)

これらのビット設定が完了するまでは、予期しないゲートドライバ出力を避けるため、INz (z = 1, 2, 3, 4, 5, 6) 端子を全て Low にする必要があります。また、EN 端子を Low にする際には全てのレジスタがリセットされるため、EN 端子を Low にする前に INz (z = 1, 2, 3, 4, 5, 6) 端子を全て Low にする必要があります。4.1, 4.2 の制御シーケンス例を参照してください。

また、差動アンプには DC オフセットキャリブレーションを実施するレジスタ設定 (CAL_DAz (z = 1, 2, 3) ビット) があります。キャリブレーションは差動アンプごとに個別に実施可能なため、使用する差動アンプに対応したキャリブレーションを実施してください。高精度なキャリブレーションを実現するため、CAL_CONN = "1b" の設定で実施することを推奨します。本設定では、キャリブレーション期間における差動アンプの入力が、DAzP, DAzN (z = 1, 2, 3) 端子となり、シャント抵抗に電流が流れている状態では正常なキャリブレーションが実施不可能なため、キャリブレーションの実施タイミングには注意してください。

(3) レジスタ設定 3

レジスタ設定 3 では、ゲートドライバ、およびセンシングブロックのその他の設定を行います。4.1 の起動シーケンス例では、下記のレジスタの設定を実行します。

- SNSCLT2 レジスタ
- SNSCTL5 レジスタ
- SNSCTL6 レジスタ

ホールセンサモータ制御においては SNSCTL2 レジスタの設定は必要ありませんが、起動シーケンスにおけるレジスタ設定の汎用性を考慮して設定を設けています。

SNSCTL6 レジスタは書き込み防止機能があります。書き込みには SNSCTL5 レジスタの CTL6_UNLOCK ビットの設定が必要なため、下記の手順でレジスタを設定してください。

- (1) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "1b" を設定 (SNSCTL6 レジスタへの書き込みロックを解除)
- (2) SNSCTL6 レジスタに "41h" を設定
- (3) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "0b" を設定 (SNSCTL6 レジスタへの書き込みロックを設定)

SNSCTL6 レジスタの BEMF_OFFSET ビット、および GD_AOR ビットに "1b" を設定してください。また、SNSCTL5, SNSCTL6 レジスタの RESERVED ビットは必ず "0b" を設定してください。

3.3.1.3 制御方法と動作波形

ホールセンサモータ制御では、ホール IC からの位置検出信号を基に通電相を切り替えることでモータ制御を行います。

図 3-23 にホールセンサモータ制御の動作波形図を示します。ホール IC 出力 (CMPzP (z = 1, 2, 3) 入力) の極性変化は、ホールセンサの取り付け位置によって異なるため、使用するモータに合わせて通電相のパターンを変更する必要があります。

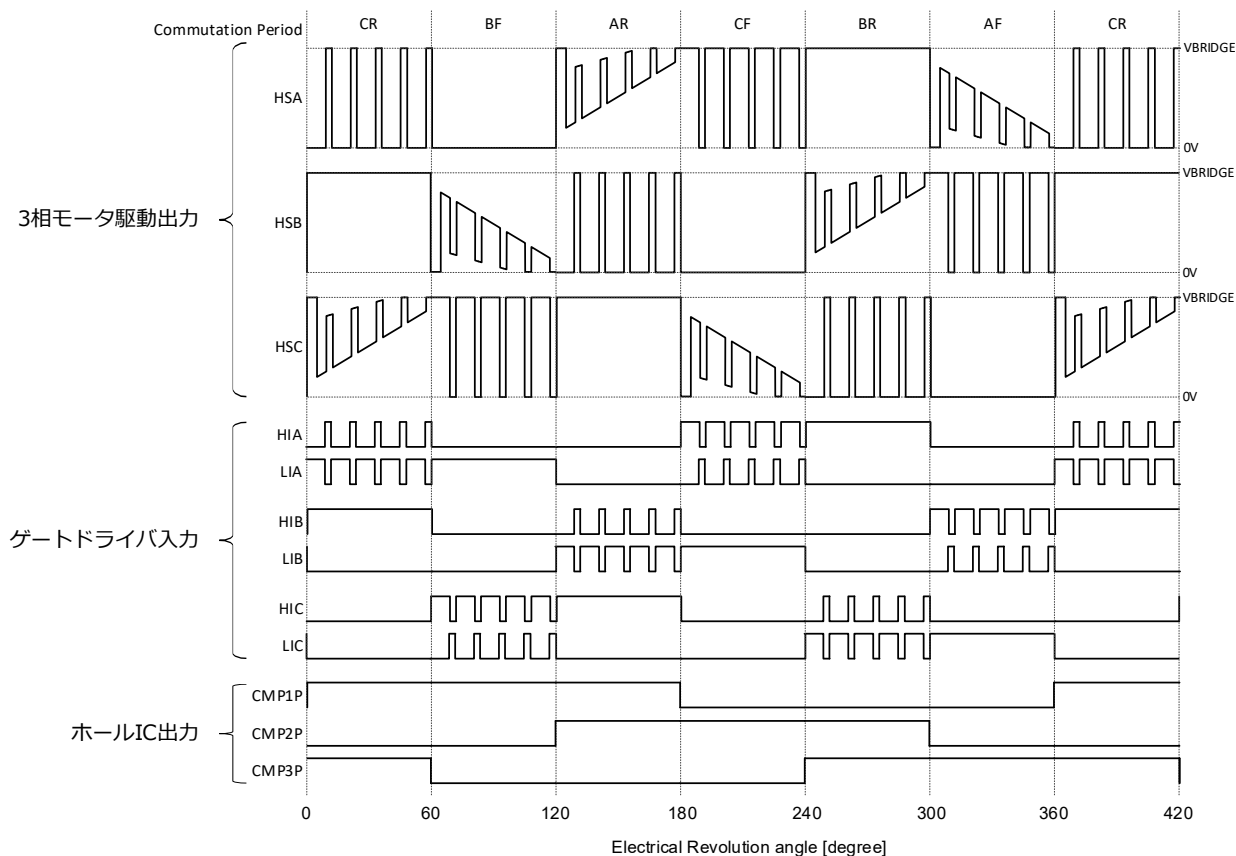


図 3-23 ホールセンサモータ制御 動作波形図

3.3.2 センサレスモータ制御 (BEMF 検出 & コンパレータ)

3.3.2.1 回路構成

図 3-24 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) を行う際のアプリケーション簡易ブロック図例を示します。

センサレスモータ制御 (BEMF 検出 & コンパレータ) では、モータが回転することで生じる誘起電圧 (BEMF) を基に通電相を切り替えることでモータ制御を行います。モータの位置検出は、Smart Gate Driver に内蔵している BEMF 検出アンプに加え、汎用コンパレータ、または MCU の A/D コンバータを用いて、BEMF ゼロクロスを検出することにより行います。BEMF は非通電相で観測され、BEMF 検出アンプを用いて検出可能なことから特別な外付け部品や配線は必要ありません。BEMF ゼロクロスを検出する方法として Smart Gate Driver に内蔵している汎用コンパレータを使用する場合には、DA30 / MUX1 端子を CMP2P 端子、または CMP3P 端子に接続してください。図 3-24 は CMP3P 端子に入力する例となっています。BEMF ゼロクロスを検出する方法として MCU の A/D コンバータを使用する場合には、DA30 / MUX1 端子は MCU の AN004 端子に接続しているため、A/D コンバータへ入力するための配線は必要ありません。MCU のコンパレータを使用する場合には、DA30 / MUX1 端子を使用するコンパレータ入力端子に接続してください。

シャント抵抗によりモータ駆動電流を検出する場合や、過電流検出 (CS_OCP) を行う場合は、DA1P, DA1N 端子にシャント抵抗両端電圧を入力してください。

使用しない DAzP, DAzN (z = 1, 2, 3) 端子は、AGND へ接続してください。

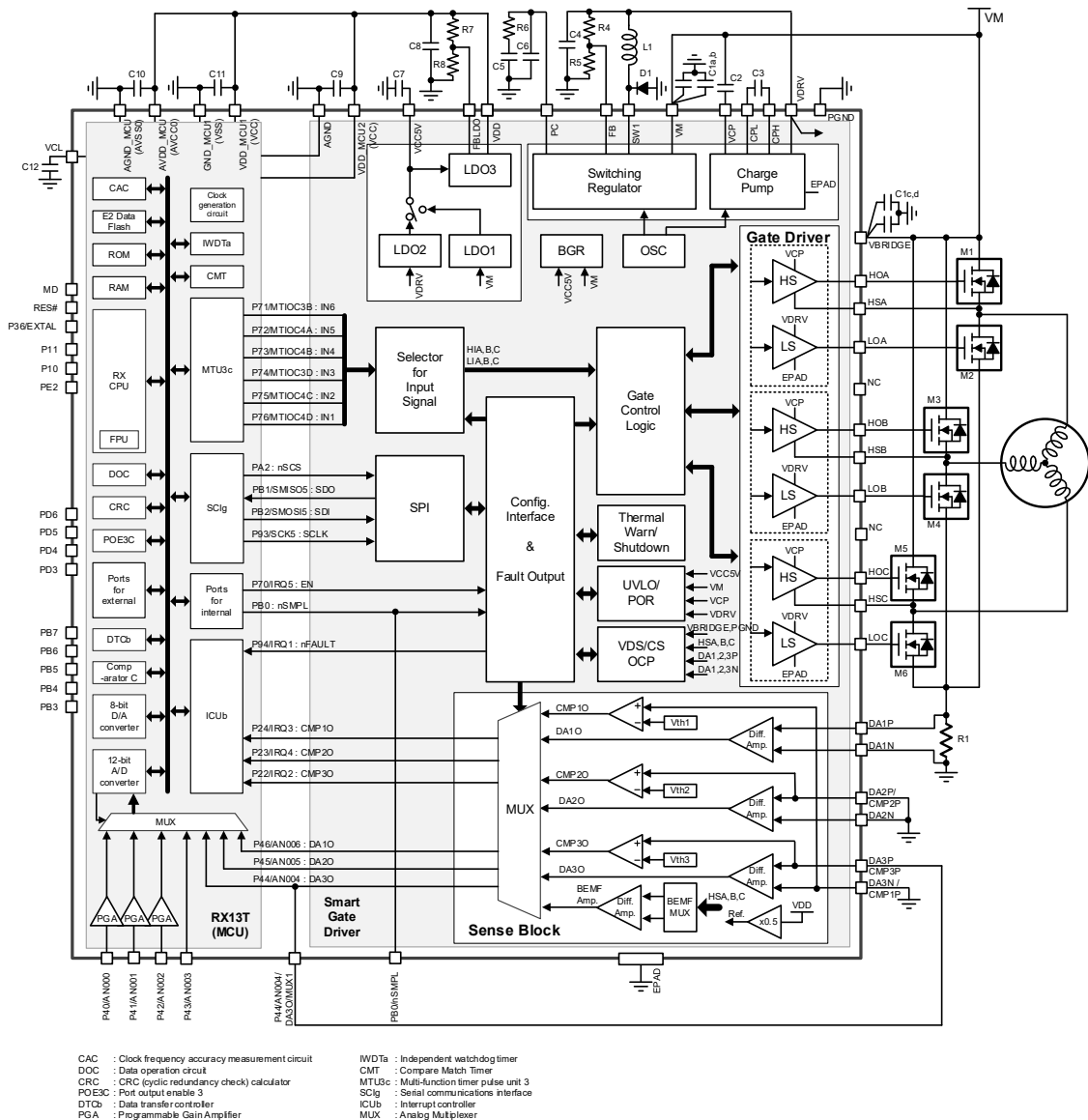


図 3-24 アプリケーション簡易ブロック図: センサレスモータ制御 (BEMF 検出 & コンパレータ)

3.3.2.2 レジスタ設定

センサレスモータ制御 (BEMF 検出 & コンパレータ) のレジスタ設定においては、センシングブロックの BEMF 検出アンプ、汎用コンパレータ、および差動アンプ 1 (使用する場合) に対して、下記の設定が必要です。

- ICCTL2 レジスタ : BEMF_EN, DA1_EN ビット
- GDSELC レジスタ : CMP3_HYS ビット
- SNSCTL1 レジスタ : BEMF_GAIN, DA1_GAIN ビット
- SNSCTL2 レジスタ : BEMF_PH, BEMF_SH, DA1_SH ビット
- SNSCTL3 レジスタ : CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ : CMP3_VTH, CAL_CONN, CAL_DA1 ビット
- SNSCTL5 レジスタ : MUX ビット
- SNSCTL6 レジスタ : BEMF_OFFSET ビット

Smart Gate Driver の起動シーケンスにおいては、ホールセンサモータ制御と同様に、レジスタ設定 1, 2, 3 と 3 段階に分けて設定しますが、上記したレジスタ設定以外は同様の設定、手順となります。詳細は、**3.3.1.2** を参照してください。

BEMF 検出アンプの詳細は、「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.3** を参照してください。また、DA30 / MUX1 端子の出力制御につきましては「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.5** を参照してください。使用しない汎用コンパレータは、CMPz_VTH (z = 1, 2, 3) ビットに"0000b"を設定することで無効の設定が可能です。使用しない差動アンプを無効にする DAz_EN (z = 1, 2, 3) ビットと合わせて設定することを推奨します。

3.3.2.3 制御方法と動作波形

センサレスモータ制御 (BEMF 検出 & コンパレータ) でモータを駆動する場合、BEMF 検出アンプを用いてゼロクロス検出を MCU で検出し、ゼロクロスが相切り替え間隔の中央に来るようにタイマなどを使用して通電相の切り替えタイミングを生成、通電相を切り替えることでモータ制御を行います。

図 3-25 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) の動作波形図を示します。BEMF は非通電相で観測するため、通電相の切り替えごとに BEMF 検出相を切り替える必要があります。BEMF_PH ビットによって BEMF 検出相の切り替え方法を選択可能です。詳細は、「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.3** を参照してください。また、通電相を切り替えた時に発生するキックバックによるゼロクロス誤検出を防止するため、検出マスク時間を設けることが必要です。モータ回転数、駆動電流などを考慮して適切な検出マスク時間を設定してください。

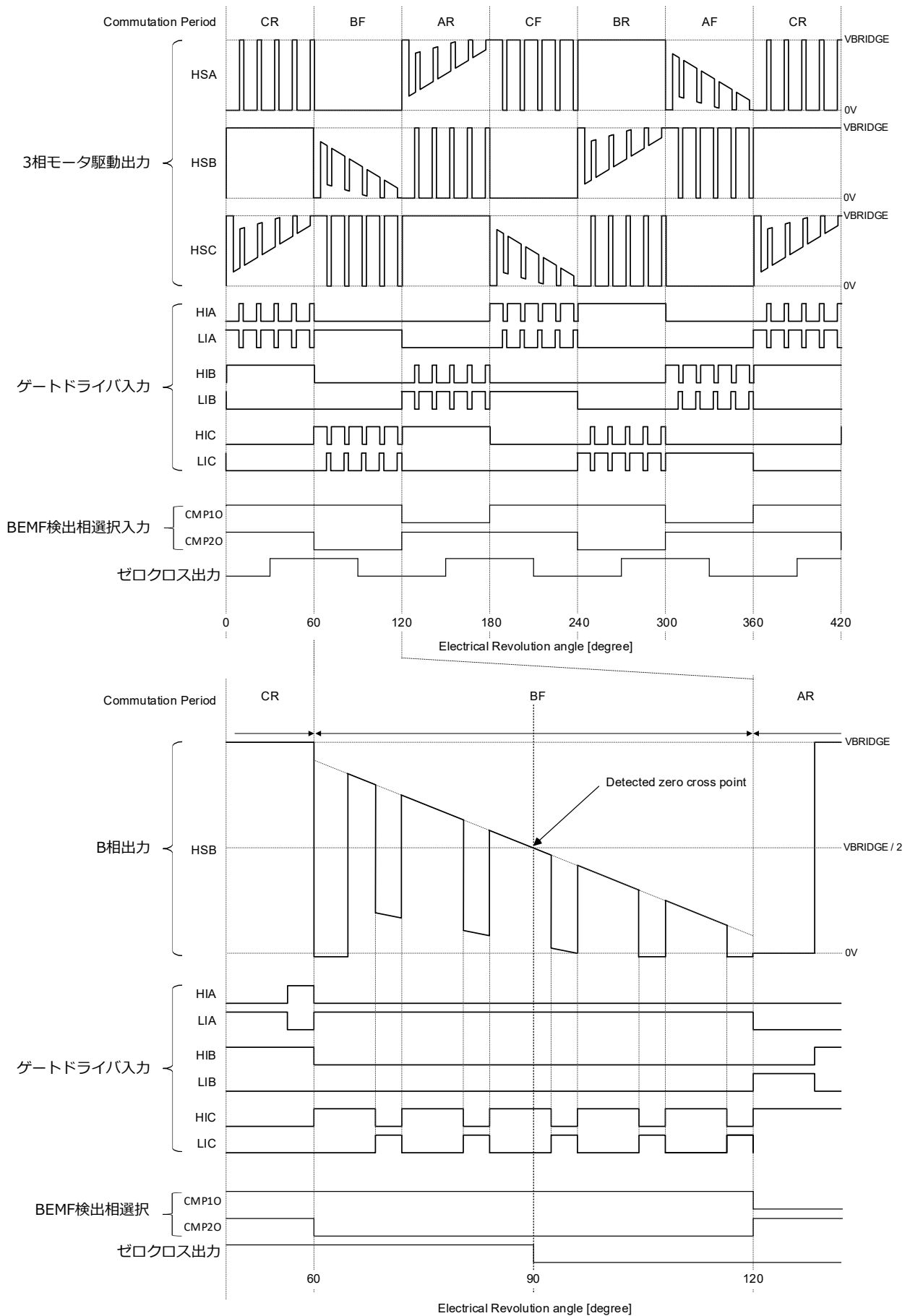


図 3-25 センサレスモータ制御 (BEMF 検出 & コンパレータ) 動作波形図

3.3.3 センサレスモータ制御 (3 シャント FOC)

3.3.3.1 回路構成

図 3-26 にセンサレスモータ制御 (3 シャント FOC) を行う際のアプリケーション簡易ブロック図例を示します。

センサレスモータ制御 (3 シャント FOC) では、3 相の電機子電流からモータの位置を推定し、適切な位相でモータを PWM 駆動することで回転制御を行います。3 相の電機子電流は、本製品に内蔵している 3ch の差動アンプ、および MCU の A/D コンバータで検出可能なため、特別な外付け部品は必要ありません。

図 3-26 は、3 シャント全てを差動アンプ接続した例となります。FOC 制御では、制御方法により使用するシャント抵抗やアンプの数が異なります。制御方法に応じて差動アンプ 3ch の内 1ch を別の用途として利用可能です。

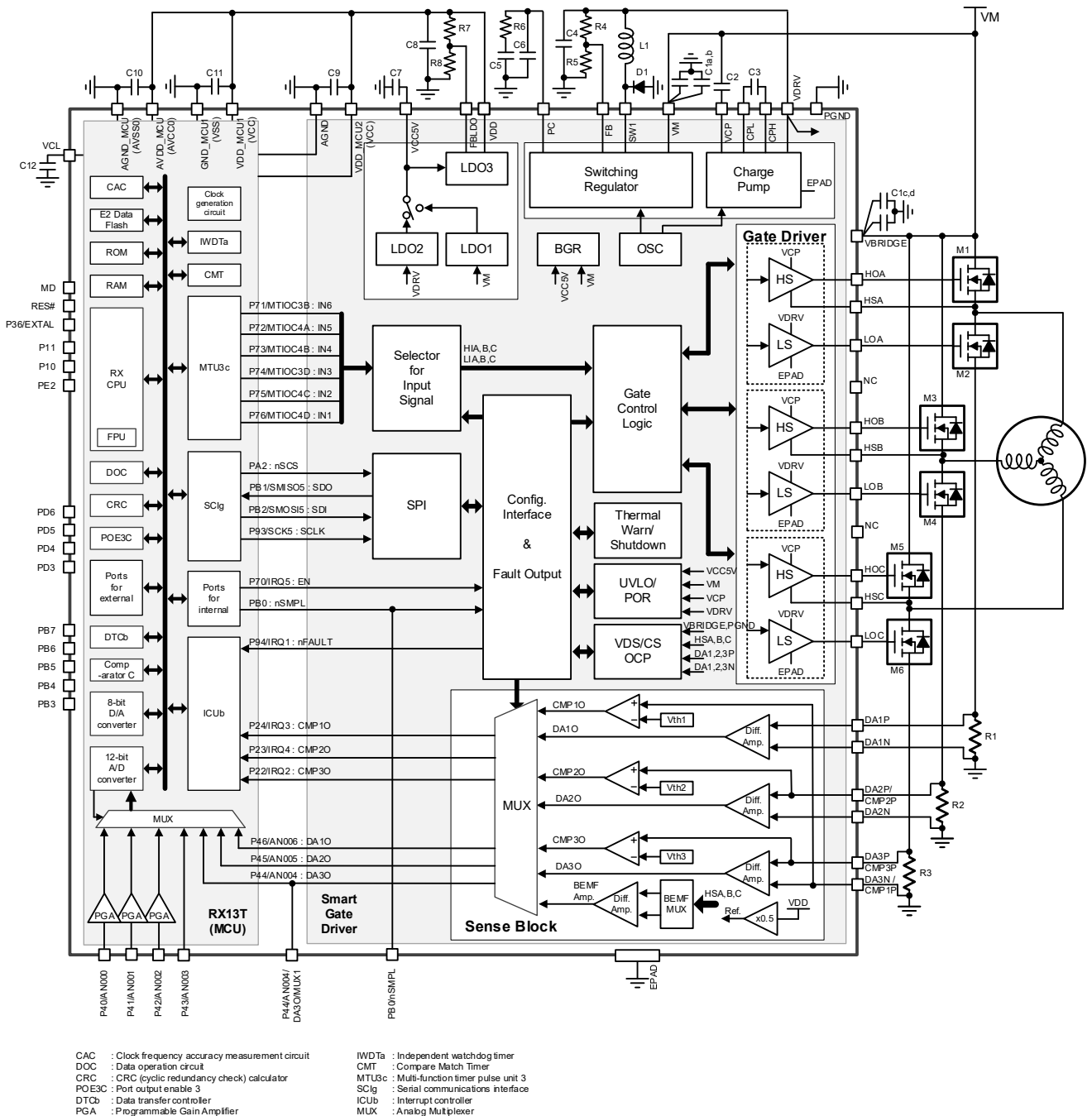


図 3-26 アプリケーション簡易ブロック図 : センサレスモータ制御 (3 シャント FOC)

3.3.3.2 レジスタ設定

センサレスモータ制御 (3 シャント FOC) のレジスタ設定においては、センシングブロックの差動アンプ 1, 2, 3 に対して、下記の設定が必要です。

- ICCTL2 レジスタ : DA1_EN, DA2_EN, DA3_EN ビット
- SNSCTL1 レジスタ : DA1_GAIN, DA2_GAIN, DA3_GAIN ビット
- SNSCTL2 レジスタ : DA1_SH, DA2_SH, DA3_SH ビット
- SNSCTL3 レジスタ : CMP1_VTH, CMP2_VTH ビット
- SNSCTL4 レジスタ : CMP3_VTH, CAL_CONN, CAL_DA1, CAL_DA2, CAL_DA3/BEMF ビット
- SNSCTL5 レジスタ : MUX ビット
- SNSCTL6 レジスタ : BEMF_OFFSET ビット

Smart Gate Driver の起動シーケンスにおいては、ホールセンサモータ制御と同様に、レジスタ設定 1, 2, 3 と 3 段階に分けて設定しますが、上記したレジスタ設定以外は同様の設定、手順となります。詳細は、**3.3.1.2** を参照してください。

DA30 / MUX1 端子の出力制御につきましては「**RAJ306101 データシート (R18DS0038JJ)**」の **6.5.5** を参照してください。消費電力低減のため、汎用コンパレータは、CMPz_VTH (z = 1, 2, 3) ビットを"0000b" (無効) に設定してください。

3.3.3.3 制御方法

センサレスモータ制御 (3 シャント FOC) でモータを駆動する場合、低速域では誘起電圧が小さく、位置・速度推定の精度が上がらないためオープンループで制御を行い、誘起電圧が十分に推定可能な速度に到達した後、クローズドループに切り替え制御を行います。位置、および速度は、誘起電圧オブザーバを用いて推定した dq 軸と実 dq 軸の位相誤差から算出します。FOC 制御では、通常各相の電圧指令値は正弦波状に生成を行いますが、そのまま PWM 値として出力を行うと、電圧利用効率が低下するため、補正を行ったうえで出力することを推奨します。詳細は、「**RAJ306101 のサンプルプログラム : 永久磁石同期モータのセンサレスベクトル制御 (実装編) (R18AN0060JJ)**」のアプリケーションノートを参照してください。

第4章 Smart Gate Driver の制御シーケンス

本製品は、MCU (RX13T) と Smart Gate Driver (RAA306012) を 1 パッケージに搭載しています。本製品でモータ制御を行うためには、MCU のリセットが解除された後、Smart Gate Driver を Operating Mode に遷移させ、INz (z = 1, 2, 3, 4, 5, 6) に適切な PWM 信号を入力する必要があります。Smart Gate Driver の動作モードは、MCU による EN 出力端子の設定、および Smart Gate Driver の異常検出状態に依存するため、Smart Gate Driver の動作モードを制御する下記の 2 つの制御シーケンス例について、フローチャートと各ステップにおける注意点を示します。

1. 起動シーケンス
2. エラー復帰シーケンス

なお、Smart Gate Driver のパワーオンシーケンスと動作モード、および Fault Management の詳細は、それぞれ「**RAJ306101 データシート (R18DS0038JJ)**」の 6.1, 6.2 を参照してください。また、モータ制御に対応したレジスタ設定の詳細は、3.2, 3.3、および「**RAJ306101 の各サンプルプログラム**」のソースファイルを参照してください。

4.1 起動シーケンス例

図 4-1 に Smart Gate Driver の起動シーケンス例について、フローチャートを示します。また、下記に各ステップにおける注意点を示します。

(1) 電源投入完了の確認

本ステップは、起動シーケンスの動作開始を判定するステップです。

Smart Gate Driver が起動を開始するためには、VCC5V 端子電圧が 4.0[V] (VCCUVR) 以上、および VM 端子電圧が 5.5[V] (VMUVR) 以上を満足する必要があります。本シーケンス例では、VBRIDGE (=VM) 端子電圧を測定し、通常の入力電圧の 80%以上になっていることを確認して次のステップに遷移します。VM 端子と VBRIDGE 端子を別電源で使用する場合など、アプリケーションに応じた適切な電源の確認方法を検討してください。また、Wait 時間を設けることで電源の投入完了が保証可能なアプリケーションでは、電源電圧を測定しない方法であっても構いません。

(2) Smart Gate Driver の起動開始と起動完了のための Wait

本ステップは、Smart Gate Driver が起動を開始し、電源ブロックの起動完了を待つステップです。

最初に MCU の INz (z = 1, 2, 3, 4, 5, 6) 出力端子を全て Low 出力、および CMPzO (z = 1, 2, 3) 入出力端子をデジタル入力ポートに設定します。Smart Gate Driver が Operating Mode に遷移すると、ゲートドライバが有効になり、汎用コンパレータ出力はデフォルトで出力設定になります。あらかじめこれらの端子設定をすることで、予期しないゲートドライバの出力や、MCU の I/O ポートとの出力信号の衝突を回避可能です。

Smart Gate Driver は、MCU の EN 出力端子を High 出力に設定することで起動します。Smart Gate Driver のバンドギャップ電圧が立ち上がると、nFAULT 入力端子は Low になります。nFAULT 入力端子を確認することで Smart Gate Driver の起動開始を確認可能です。

起動開始を確認した後、15[ms]の Wait 時間を設けています。この時間は、Smart Gate Driver の内部発振器の起動、差動アンプのオフセットキャリブレーション、降圧スイッチングレギュレータの起動、およびチャージポンプの起動完了を待つための Wait 時間です。EN 出力端子を High 出力に設定してから nFAULT 入力端子が High になるまでの時間 (twake) は 6.5[ms] (typ.) ですが、内部発振器のクロック周波数や、外付けコンデンサを含むチャージポンプ起動時間のばらつきによって変動するため、実際の起動完了時間を確認して適切な時間を設定してください。

(3) 有効にする異常検出機能の選択と Fault Status z (z = 0, 1, 2, 3) レジスタのクリア

本ステップは、異常検出機能に対して、それぞれ有効 / 無効を選択し、各異常検出に対応するインジケータが格納されている Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) をモータ起動前に一度クリアするステップです。

レジスタ設定 1 でこれらの設定を行います。異常検出機能の有効 / 無効の選択は、Fault Control 1 レジスタ (FLTCTL1)、および Fault Control 2 レジスタ (FLTCTL2) で設定します。アプリケーションに応じて DAzP, DAzN (z = 1, 2, 3) への入力信号が異なるシャント抵抗の過電流保護 (CS_OCP) のみが、デフォルトで無効になっています。アプリケーションや仕様に応じた異常検出機能を選択してください。また、Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) のクリアは、IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに "1b" を設定することで実施可能です。なお、CLR_FLT ビットは自動的に "0b" に戻ります。IC Control 1 レジスタ (ICCTL1) の他の設定は、CLR_FLT ビットの書き込みと合わせて設定することを推奨します。

レジスタ設定 1 (3.3.1.2 (1) 参照) の完了後、クリア実行待ち時間として 1[ms] の Wait 時間を設けていますが、ばらつきなどを含めても 300[μs] あれば問題ありません。

(4) 正常起動の確認とアプリケーションに応じたレジスタ設定

本ステップは、Smart Gate Driver の正常起動を確認し、ゲートドライバ、およびセンシングブロックの各種レジスタ設定を行い、起動シーケンスを完了させるステップです。

nFAULT 入力端子を確認し、High であれば正常に起動を完了したと判定します。これは、Smart Gate Driver の動作モードが Operating Mode に遷移したことを示します。一方、Low であれば何らかの異常検出が動作したことになり初期エラーと判定します。電源投入後の起動で異常になる場合、電源ブロックの異常が想定されるため、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させます。

nFAULT 入力端子の High を確認した後、レジスタ設定 2 でゲートドライバ、およびセンシングブロックに対するレジスタ設定を行います。本シーケンス例では、使用するアンプのオフセットキャリブレーションをレジスタ設定 2 (3.3.1.2 (2) 参照) で実施することを想定しています。Sense Block Control 4 レジスタ (SNSCTL4) の CAL_DA1 ビット, CAL_DA2 ビット, CAL_DA3/BEMF ビットに "1b" を設定することで、対応するアンプのオフセットキャリブレーションを開始しますが、CAL_CONN ビットを用いることで、実際の差動アンプと同一入力で高精度なオフセットキャリブレーションが実施可能です。そのため、CAL_CONN ビットを "1b" に設定することを推奨します。ただし、モータを駆動している場合や、シャント抵抗に電流が流れている場合は、正常なオフセットキャリブレーションが実施不可能なため、キャリブレーションの実施タイミングには注意してください。

レジスタ設定 2 の完了後、オフセットキャリブレーションの実行期間として 1[ms] の Wait 時間を設けています。オフセットキャリブレーションは、アンプごとに 400[μs] の Wait 時間が必要なため、実施するアンプの数に合わせた Wait 時間を設定する、または CAL_DA1 ビット, CAL_DA2 ビット, CAL_DA3/BEMF ビットの自動クリア機能で完了を確認するといった対応を実施してください。

レジスタ設定 3 (3.3.1.2 (3) 参照) では、BEMF 検出アンプの検出相選択方法と、Sense Block Control 6 レジスタ (SNSCTL6) に推奨値を設定します。BEMF 検出アンプを使用する場合、Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_PH ビットは適切な選択方法に設定しなければなりません。詳細は、

「RAJ306101 データシート (R18DS0038JJ)」の 6.5.3 を参照してください。Sense Block Control 6 レジスタ (SNSCTL6) には、書き込み防止機能があり、初期状態では書き込みロック状態になっているため、下記の手順でレジスタを設定してください。

- (1) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "1b" を設定 (SNSCTL6 レジスタへの書き込みロックを解除)
- (2) SNSCTL6 レジスタに "41h" を設定
- (3) SNSCTL5 レジスタの CTL6_UNLOCK ビットに "0b" を設定 (SNSCTL6 レジスタへの書き込みロックを設定)

レジスタ設定 3 の完了後、MCU の CMPzO (z = 1, 2, 3) 入出力端子をアプリケーションに合わせた設定に変更可能です。

以上により、起動シーケンスを完了します。

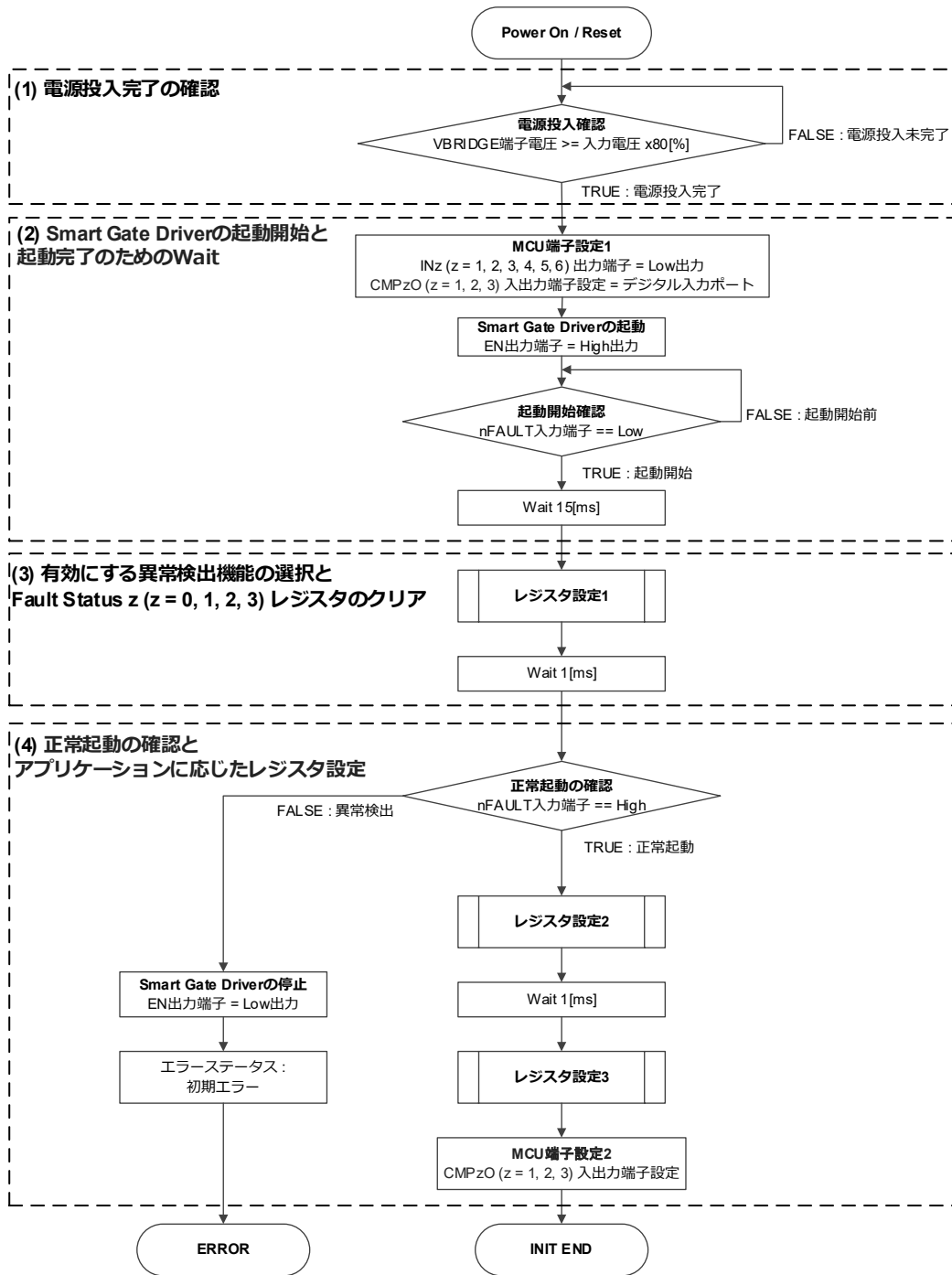


図 4-1 Smart Gate Driver の起動シーケンス例

4.2 エラー復帰シーケンス例

図 4-2 に Smart Gate Driver のエラー復帰シーケンス例について、フローチャートを示します。Smart Gate Driver の異常検出機能では、異常を検出した際、および復帰条件を満たした際の Smart Gate Driver の動作が、異常検出内容によって異なります。これらの動作は、異常検出機能に対するレジスタ設定にも依存しますが、図 4-2 のシーケンス例では下記のように分類しています。

- (a) 自動復帰する異常検出 (OTSD, TWARN, VM_UV, VM_OV, VDRV_OV)
- (b) 自動復帰するが電源ブロックの再起動を伴う異常検出 (VCP_UV, SR_OCP, VDRV_UV)
- (c) 自動復帰しない異常検出 (VDS_OCP, VGS_FAULT, CS_OCP)

エラー復帰シーケンスでは、異常検出内容を確認し、上記のように分類したうえで各異常検出に対応した復帰シーケンスを構築することが重要です。下記に各ステップにおける注意点を示します。なお、本シーケンス例は、弊社のサンプルプログラムで使用していて、モータ駆動の異常も含め、全てのエラーを同一シーケンスで処理する構成になっています。詳細は、「RAJ306101 の各サンプルプログラム」のソースファイルを参照し、アプリケーションのエラー処理に応じて、エラー復帰シーケンスを変更してください。

(1) 動作状態の確認

本ステップは、EN 出力端子の状態を確認し、復帰可能かどうかを判定するステップです。

EN 出力端子が Low の場合、起動シーケンスにおける初期エラー、後述する電源ブロックの再起動ができなかったレギュレータエラー、または自動復帰しない異常検出の過電流エラーが該当します。これらは、復帰不可能な異常検出として EN 出力端子を Low 出力で維持します。

(2) 異常検出内容の確認と端子設定

本ステップは、Smart Gate Driver の異常検出の有無を確認し、復帰に向けた端子設定をするステップです。

まず、Fault Status 0 レジスタ (FLTSTS0) の値を取得し、異常検出の有無を確認します。FAULT ビットが "0b" の場合、Smart Gate Driver は異常を検出していないため、モータの回転異常などで Smart Gate Driver 以外のエラーが発生したと判定します。この場合、Smart Gate Driver の復帰は不要なため、エラー復帰シーケンスを終了します。一方、FAULT ビットが "1b" の場合、Smart Gate Driver に異常が発生したと判定し、MCU の INz (z = 1, 2, 3, 4, 5, 6) 出力端子を全て Low 出力、および CMPzO (z = 1, 2, 3) 入出力端子をデジタル入力ポートに設定します。これらの設定により、復帰時に予期しないゲートドライバの出力や、MCU の I/O ポートとの出力信号の衝突を回避可能です。

(3) 異常検出内容の分類

本ステップは、Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) の取得結果から、異常検出内容を前述した (a), (b), (c) に分類するステップです。

複数の異常を検出した場合は、(c), (b), (a) の優先度で分類することを推奨します。異常検出内容の分類は、アプリケーションや仕様に応じた適切な分類を検討してください。

(4) 復帰確認処理

本ステップは、nFAULT 入力端子の確認による Smart Gate Driver の自動復帰を確認するステップです。

nFAULT 入力端子が Low の場合、動作モードが Operating Mode に復帰していないため、エラー復帰シーケンスを終了し、再度エラー復帰シーケンスを開始します。nFAULT 入力端子が High の場合、動作モードが Operating Mode に復帰し、Smart Gate Driver の正常動作が可能のため、(7) 復帰完了処理に遷移します。

(5) 電源ブロック再起動の確認と停止処理

本ステップは、(3) 異常検出内容の分類において (b) と分類された場合に、電源ブロックが再起動により復帰したかどうかを判定し、復帰不可能な場合には Smart Gate Driver の停止処理を実施するステップです。

降圧レギュレータ過電流保護 (SR_OCP)、および降圧レギュレータ電圧降下 (VDRV_UV) の異常を検出した場合、降圧スイッチングレギュレータは Hiccup モードに入ります。Hiccup モードでは、ダミー周期 (63[ms]) の間 PWM 出力を停止し、ダミー周期後に通常のソフトスタートを再開します。ダミー周期、およびソフトスタート期間のばらつきを考慮して、100[ms]以上 (シーケンス例では 150[ms]) の Wait 時間を設けた後、nFAULT 入力端子を確認することで電源ブロックが復帰したかどうかを判定します。本シーケンス例では、この動作を 5 回まで繰り返し、nFAULT 入力端子が High になり、電源ブロックが復帰した場合、(7) 復帰完了処理に遷移します。復帰しない場合は、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させ、レギュレータエラーと判定してエラー復帰シーケンスを終了、Smart Gate Driver は停止状態を維持します。

本シーケンス例では、チャージポンプ電圧降下 (VCP_UV) の異常を検出した場合も同様に 150[ms]ごとに nFAULT 入力端子を確認するシーケンスにしています。チャージポンプは、降圧スイッチングレギュレータのように Hiccup モードにならないため、nFAULT 入力端子の確認タイミングを降圧スイッチングレギュレータと別のタイミングとしても構いません。アプリケーションや仕様に応じた適切な判定タイミング、処理を検討してください。

(6) 自動復帰しない異常の停止処理

本ステップは、Smart Gate Driver が Fault Management Mode を維持し続ける異常検出に対して、Smart Gate Driver の停止処理を実施するステップです。

この異常検出は、ハーフブリッジの異常となるため、EN 出力端子を Low 出力に設定して Smart Gate Driver を停止させ、過電流エラーと判定してエラー復帰シーケンスを終了、Smart Gate Driver は停止状態を維持します。

(7) 復帰完了処理

本ステップは、(4) 復帰確認処理、および (5) 電源ブロック再起動の確認と停止処理で、Smart Gate Driver の自動復帰を確認した際、モータを再起動する前に Fault Status z ($z = 0, 1, 2, 3$) レジスタ (FLTSTS z ($z = 0, 1, 2, 3$)) のクリア、および端子の再設定をするステップです。

IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに "1b" を設定して Fault Status z ($z = 0, 1, 2, 3$) レジスタ (FLTSTS z ($z = 0, 1, 2, 3$)) をクリア、および MCU の CMP z O ($z = 1, 2, 3$) 入出力端子をアプリケーションに合わせた設定に変更して、エラー復帰シーケンスを終了します。

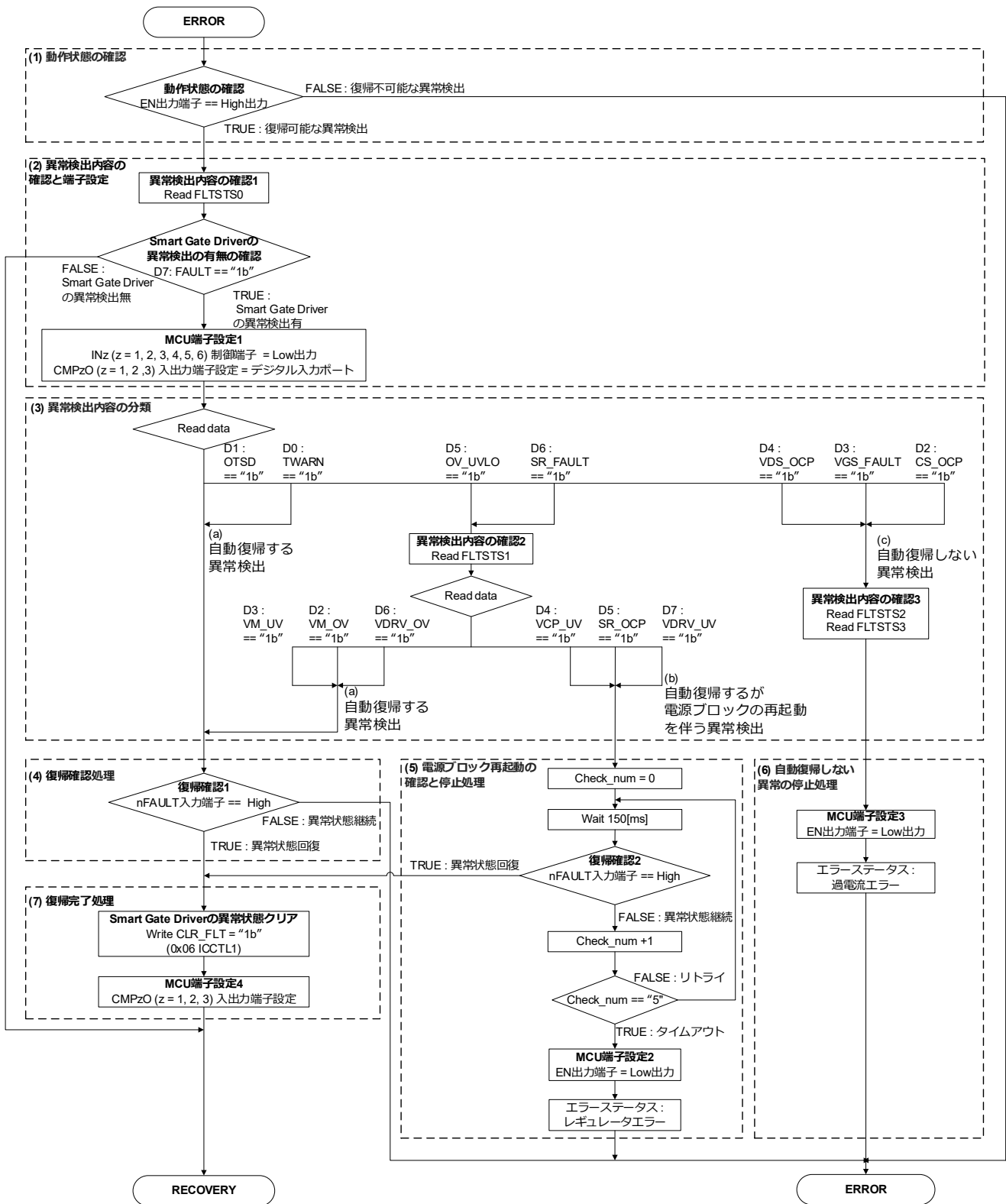


図 4-2 Smart Gate Driver のエラー復帰シーケンス例

第5章 回路構成, 部品選定, 推奨基板レイアウト

RAJ306101 は、MCU (RX13T) と Smart Gate Driver (RAA306012) を1パッケージに搭載していることから、適切なハードウェア構成で使用することが重要です。本章では、回路構成、部品選定、およびその注意事項と、推奨基板レイアウトについて示します。個々のアプリケーションにおけるハードウェア構成の妥当性については、使用環境、条件、仕様に基づいて適切に確認、検証を行い判断してください。

5.1 回路構成, 部品選定, および注意事項

図 5-1 と表 5-1 にセンサレスモータ制御 (BEMF 検出 & コンパレータ) の周辺回路例、および外付け部品リスト例を示します。コンデンサの実効容量値は、DC バイアス特性により印加電圧に応じて公称値より低下します。製品の DC バイアス特性を確認のうえ、部品選定をしてください。なお、本文中の容量に関する記載は公称値です。

参考として、部品リスト例に弊社評価ボード (RTK0EMXAH0D01021BJ) で使用しているコンデンサの実効容量値を記載しています。

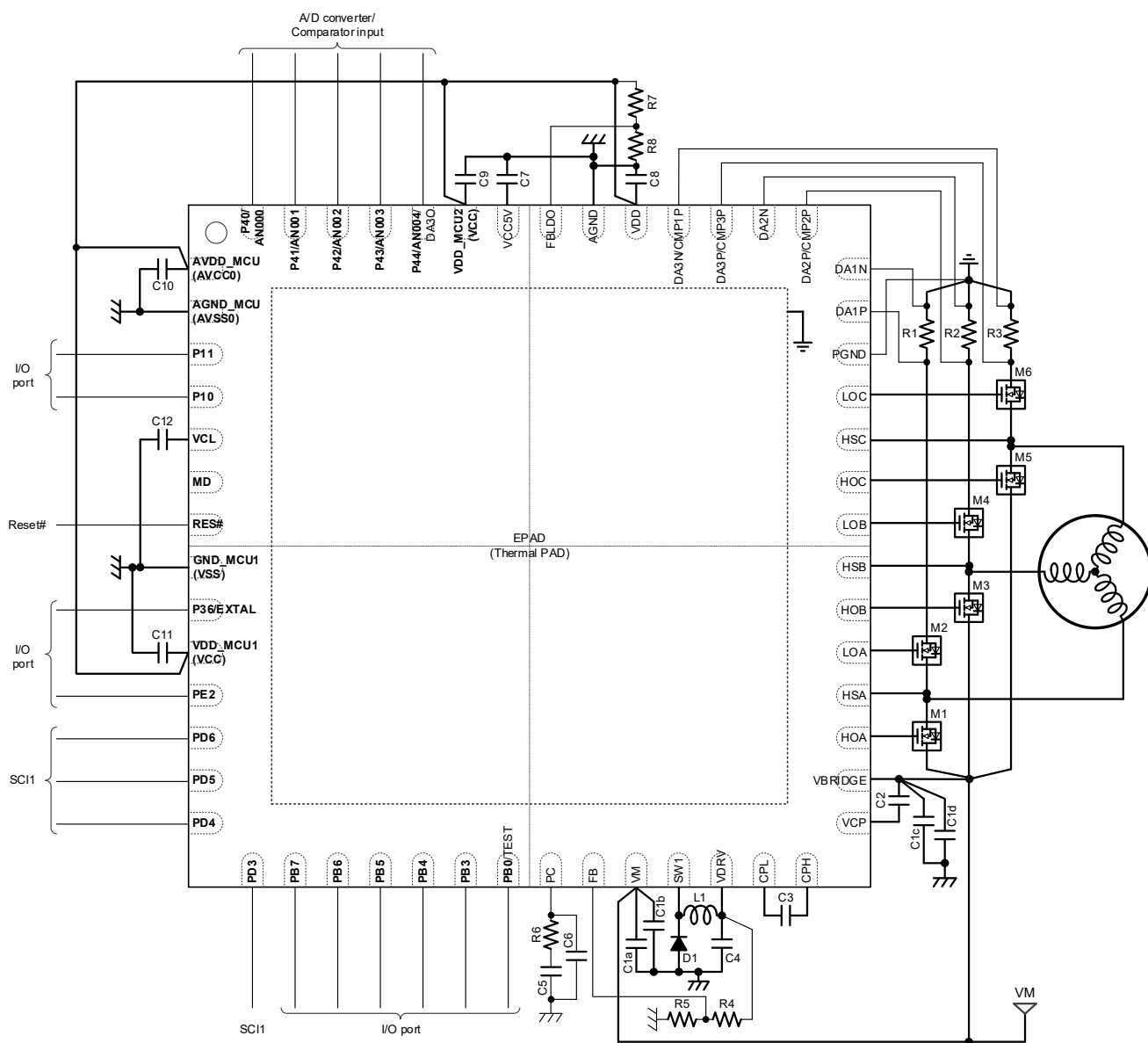


図 5-1 センサレスモータ制御 (3シャント FOC) の周辺回路例

表 5-1 センサレスモータ制御 (3 シャント FOC) の部品リスト例

Part No.	推奨値	実効容量値	定格	用途	Notes
R1~R3	使用用途に依存	—	使用用途に依存	電流検出用シャント抵抗	
R4	48.7[k Ω]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R5	3.48[k Ω]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R6	60.4[k Ω]	—	—	降圧スイッチングレギュレータ用位相補償抵抗	4
R7	160[k Ω]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
R8	91[k Ω]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
C1a	3 * 4.7[μ F]	2 * 5.45[μ F]	100[V]	VM端子用バイパスコンデンサ	5
C1b	0.1[μ F]	0.038[μ F]	100[V]	VM端子用バイパスコンデンサ	5
C1c	4.7[μ F]	5.45[μ F]	100[V]	VBRIDGE端子用バイパスコンデンサ	5
C1d	0.1[μ F]	0.038[μ F]	100[V]	VBRIDGE端子用バイパスコンデンサ	5
C2	2.2[μ F]	1.04[μ F]	25[V]	チャージポンプ用出力コンデンサ	3
C3	0.22[μ F]	0.18[μ F]	100[V]	チャージポンプ用フライングコンデンサ	3
C4	10[μ F]	5.5[μ F]	25[V]	降圧スイッチングレギュレータ用 (VDRV端子用)	4
C5	2200[pF]	2190[pF]	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	4
C6	DNP	DNP	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	
C7	22[μ F]	10.3[μ F]	10[V]	リニアレギュレータの出力コンデンサ (VCC5V端子用)	
C8	22[μ F]	10.3[μ F]	10[V]	リニアレギュレータの出力コンデンサ (VDD端子用)	
C9	0.1[μ F]	0.072[μ F]	10[V]	VDD_MCU2端子のバイパスコンデンサ	
C10	0.1[μ F]	0.072[μ F]	10[V]	AVDD_MCU端子のバイパスコンデンサ	
C11	0.1[μ F]	0.072[μ F]	10[V]	VDD_MCU1端子のバイパスコンデンサ	
C12	4.7[μ F]	2.23[μ F]	10[V]	MCUのレギュレータの出力安定化コンデンサ	
M1~M6	使用用途に依存	—	使用用途に依存	モータ駆動用外付けMOSFET	
L1	22[μ H] or 33[μ H]	—	>2[A]	降圧スイッチングレギュレータ用コイル	
D1	0.6[V]	—	100[V], >2[A]	降圧スイッチングレギュレータ用ショットキー整流ダイオード	

Note1 : これらの抵抗による VDRV 端子の出力電圧は、12[V]です。

Note2 : これらの抵抗による VDD 端子の出力電圧は、3.310[V]です。

Note3 : 実効容量値を考慮する必要があります。C3 の実行容量値が小さくなると VCP の電圧降下が大きくなります。C2 の実行容量値が小さくなると VCP の電圧リップルが大きくなります。

Note4 : R6 と C5 は、C4 の実効容量値に応じて適切な値を選択してください。

Note5 : 適切な容量は、用途や特性の制約によって異なります。

5.1.1 VM, VBRIDGE 端子コンデンサ (C1a, C1b, C1c, C1d)

本製品は、VM 端子と VBRIDGE 端子に DC 電源 (6~65[V]) を供給することにより動作します。電源ラインには、電源供給の安定化、および高周波電流に対応するためのコンデンサが必要です。本コンデンサによりシステムの電源立ち上げにおける急峻な電圧変化を防止可能です。容量を大きくすることは電源リップルの低減に貢献しますが、サイズやコストの増加要因になります。モータシステム動作電圧、スイッチング周波数、要求電流能力、許容電源リップル、モータのタイプや、起動停止シーケンスなどの制約を考慮して適切なコンデンサの容量を選定する必要があります。

高い周波数成分に対する電源ラインは、バッテリーやケーブルの寄生インダクタンスによるインピーダンスの増加を引き起こします。IC の電源端子の近接に配置したローカルコンデンサは、高い周波数に対して、インピーダンスを下げる効果があるため、高周波成分に対する経路として寄与します。リップル電流、共振周波数、パッケージ、コスト制約などを基に最適なローカルコンデンサを選定してください。典型的なアプリケーションでは、電解コンデンサを DC 電源入力に近接に配置し、同様にいくつかのセラミックコンデンサを IC の VM 端子、および VBRIDGE 端子に配置します。

5.1.2 リニアレギュレータ用部品 (C7, C8, R7, R8)

本製品は、VCC5V 端子、または VDD 端子から電源を選択して、MCU を含む周辺回路の電源として使用可能です。VDD 端子へ電圧を供給する LDO3 の電源は、VCC5V 端子へ 5[V] を供給する LDO (LDO1, LDO2) から供給します。そのため、許容外部負荷電流能力は MCU を含む VCC5V 端子と VDD 端子の負荷電流の合計で定義されます。

VCC5V 端子、および VDD 端子から MCU や周辺回路へ供給する電流の合計が、下記の許容負荷電流を超えないようにしてください。LDO1, LDO2 の動作状態は、MCU による EN 出力端子の設定、Smart Gate Driver の異常検出機能に依存します。EN 出力端子が Low の場合、LDO1 がオン、LDO2 がオフになります。パワーオンシーケンスによる LDO1, LDO2 の ON / OFF 仕様、Smart Gate Driver の動作モード、Fault Management による異常検出と復帰動作については、「RAJ306101 データシート (R18DS0038JJ)」の 6.1, 6.3.1, 6.2 を参照してください。

表 5-2 VCC5V 端子と VDD 端子の合計許容負荷電流

条件			許容負荷電流
EN端子	5V LDO1	5V LDO2	
Low	オン	オフ	50[mA]
High	オン	オフ	70[mA]
High	オフ	オン	90[mA]

5.1.2.1 VCC5V 端子コンデンサ (C7)

本製品は、VCC5V 端子へ 5[V] を供給する LDO として LDO1、および LDO2 の 2 つを内蔵しています。これらの LDO は、Smart Gate Driver 内部のアナログ回路、およびロジック回路に 5[V] を供給するとともに、MCU を含む周辺回路へ 5[V] を供給可能です。

VCC5V 端子の電圧は、Smart Gate Driver が無効 (EN 出力端子 = Low 出力) の間、および Smart Gate Driver を有効 (EN 出力端子 = High 出力) に設定し降圧スイッチングレギュレータの起動が完了する前は、VM 端子を電源とする LDO1 により生成します。また、降圧スイッチングレギュレータの起動が完了した後から、VDRV 端子を電源とする LDO2 によって生成します。VCC5V 端子のデカップリングコンデンサ (C7) は、22[μF] (実効容量値 10[μF]程度) のセラミックコンデンサを推奨します。本コンデンサは、VCC5V 端子、および AGND 端子に可能な限り近接に配置してください。

5.1.2.2 VDD 端子コンデンサ (C8), VDD 出力電圧設定用抵抗 (R7, R8)

VDD 端子は、Smart Gate Driver のインターフェース電源端子です。

VDD 端子には (1) LDO3 により供給する方法、(2) VCC5V 端子から 5[V] で供給する方法、(3) 外部電源から供給する方法の 3 通りの電圧供給方法があります。下記にそれぞれの方法に対する注意点を示します。

(1) LDO3 により供給する方法

周辺回路を図 5-2 (1) に示します。LDO3 の出力電圧は VDD として、FBLDO 端子に帰還するブリーダ抵抗 (R7, R8) によって決まり、推奨動作条件内で出力電圧の微調整が可能です。ブリーダ抵抗は式 5-1 に基づいて選択してください。なお、ブリーダ抵抗の合計値を大きくすることで Sleep Mode 時の消費電流の低減が可能です。ただし、本抵抗と FBLDO 端子の寄生容量で決まるポールによる安定性低下に注意してください。

$$V_{DD} = V_{REF_DD} * \left(1 + \frac{R_7}{R_8} \right) \quad (式 5-1)$$

∴ VREF_DD : FBLDO 端子基準電圧 = 1.2[V], R7 : VDD 端子 - FBLDO 端子間抵抗, R8 : FBLDO 端子 - AGND 端子間抵抗

R7 = 160[kΩ], R8 = 91[kΩ] の選択により、LDO3 の出力電圧は 3.310[V] になります。VDD 端子のデカップリングコンデンサ (C8) として 22[μF] (実効容量値 10[μF] 程度) のセラミックコンデンサを推奨します。本コンデンサは、VDD 端子、および AGND 端子に可能な限り近接に配置してください。

(2) VCC5V 端子から 5[V] で供給する方法

周辺回路を図 5-2 (2) に示します。VDD 端子、および FBLDO 端子を VCC5V 端子に接続し、VCC5V 端子を直接電源としての使用する方法です。VDD 端子のデカップリングコンデンサ (C8) として 0.1[μF] のセラミックコンデンサを推奨します。VDD 端子、および AGND 端子に可能な限り近接に配置してください。

(3) 外部電源から供給する方法

周辺回路を図 5-2 (3) に示します。外部電源を VDD 端子に接続してください。また、FBLDO 端子は VCC5V 端子に接続してください。入力可能な VDD 端子電圧の推奨動作電圧範囲 VDDope は 3.135~5.25[V] に制限されます。VDD 端子のデカップリングコンデンサ (C8) として 0.1[μF] のセラミックコンデンサを推奨します。VDD 端子、および AGND 端子に可能な限り近接に配置してください。

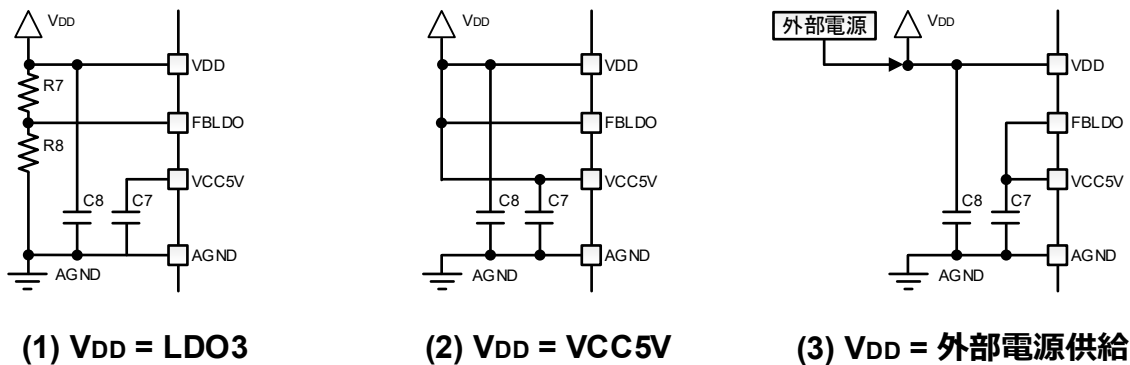


図 5-2 VDD 端子の電圧供給方法

5.1.3 降圧スイッチングレギュレータ用部品 (R4, R5, L1, C4, C5, R6)

5.1.3.1 VDRV 出力電圧設定用抵抗 (R4, R5)

VDRV 端子は降圧スイッチングレギュレータの出力端子です。Low サイドゲートドライバの電源、および VCC5V 端子へ 5[V] を供給する LDO2 の電源として使用します。

出力電圧 (VDRV) は図 5-3 に示す VDRV 端子と FB 端子で構成した外付け帰還抵抗のブリアダ比 ($R4 / R5$) により、5~15[V] の電圧範囲で調整可能であり、式 5-2 を用いて計算可能です。

$$V_{DRV} = V_{REF_SR} * \left(1 + \frac{R4}{R5} \right)$$

(式 5-2)

∴ VREF_SR : FB 端子基準電圧 = 0.8[V], R4 : VDRV - FB 端子間抵抗, R5 : FB - AGND 端子間抵抗

例えば R4 = 48.7[kΩ], R5 = 3.48[kΩ] の場合は、VDRV = 12[V] となり、R4 = 47[kΩ], R5 = 3.3[kΩ] の場合は、VDRV = 12.19[V] になります。

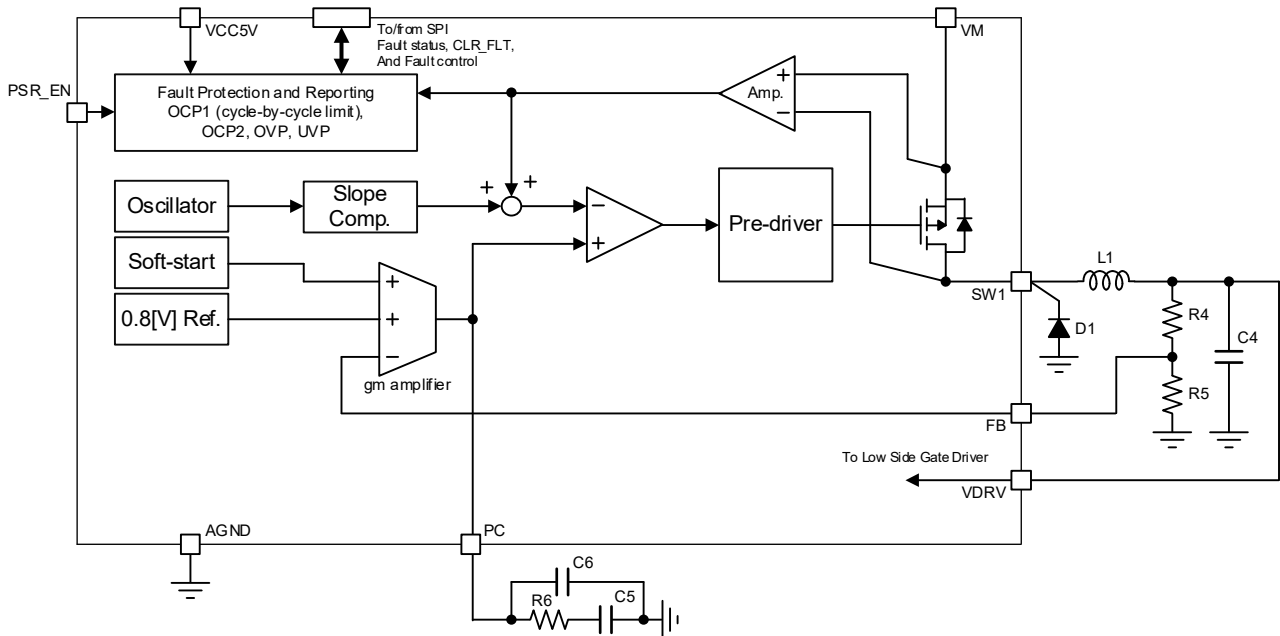


図 5-3 降圧スイッチングレギュレータブロック図

5.1.3.2 コイル (L1)

降圧スイッチングレギュレータは 500[kHz]のスイッチング周波数で VDRV 端子電圧を生成します。降圧スイッチングレギュレータには 33[μH]、または 22[μH]のコイル (L1) が必要です。コイル (L1) のインダクタンスの大きさに応じて、リップル電流 (ΔI) が決定します。一般的にリップル電流は、最大出力負荷電流の 30~40[%]程度を想定しますが、部品の大きさ、負荷条件などを考慮してリップル電流を含むインダクタ電流のピーク値が 1[A]を超えない程度の部品を選択してください。なお、リップル電流 (ΔI) とピーク電流 (I_{peak}) の値は、**式 5-3**、**式 5-4** により計算可能です。33[μH]のコイルは、後述する例のようにリップル電流 (ΔI) が想定値より大きくなりますが、出力リップル電圧 (ΔV_{DRV}) を考慮した推奨値となっています。

$$\Delta I = \frac{VM - V_{DRV}}{f_{sw} \times L_1} * \frac{V_{DRV}}{VM} \quad (\text{式 5-3})$$

∴ VM : 入力電圧, V_{DRV} : 出力電圧, f_{sw} : スwitching周波数 = 500[kHz], L₁ : インダクタンス

$$I_{peak} = I_o + \frac{\Delta I}{2} \quad (\text{式 5-4})$$

∴ I_o : 最大出力負荷電流

例えば VM = 48[V], V_{DRV} = 12[V], L₁ = 33[μH], I_o = 0.5[A]の場合は、ΔI = 0.545[A], I_{peak} = 0.773[A]になります。V_{DRV} 端子の負荷電流が大きい場合、リップル電流 (ΔI) が大きくなり、ピーク電流 (I_{peak}) が大きくなると、PWM サイクルごとの電流リミット (I_{OC1_SR}) (1.2[A] (typ.)) の制限が発生します。これにより、負荷電流能力が制限されるため、必要な負荷電流を考慮したインダクタンスの選定が必要です。

一方、インダクタンスを大きくすることによりリップル電流、およびリップル電圧を低減可能です。しかし、インダクタンスを大きくしすぎると負荷過渡応答が悪くなるため、実際の出力電圧 (V_{DRV}) を確認して選定してください。また、最大 DC 電流のインダクタ仕様は、過電流条件 (I_{OC1_SR}) においてもインダクタンスが大きく低下しない仕様の部品を選択する必要があります。

5.1.3.3 入力コンデンサ (C1a, C1b), 出力コンデンサ (C4)

コイル電流を平滑化するために、出力コンデンサ (C4) が必要です。出力コンデンサ (C4) を選定する場合は、出力リップル電圧 (ΔV_{DRV}) と負荷過渡応答が、2つの重要な要素です。これらの特性は DC バイアス依存性を考慮した実効容量値で検討する必要があります。実際のアプリケーションで使用するコンデンサの特性は、「**該当部品のデータシート**」を参照してください。

低 ESR のセラミックコンデンサを使用する前提において、降圧スイッチングレギュレータでは、出力リップル電圧 (ΔV_{DRV}) を満足させるために必要な容量は、**式 5-5** により推定可能です。

$$\Delta V_{DRV} = \frac{\Delta I}{8 * f_{sw} * C_4} \quad (\text{式 5-5})$$

∴ ΔI : コイルのリップル電流, f_{sw} : スwitching周波数 = 500[kHz], C₄ : 出力コンデンサ実効容量値

例えば ΔI = 0.545[A], C₄ = 5.5[μF] (実効容量値) の場合は、ΔV_{DRV} = 24.8[mV]になります。

一般的に、安定した入力電圧を供給するため、主電源部にはシステムの入力電源条件に応じた容量の電解コンデンサが必要です。よりよい EMC パフォーマンスのためには、降圧スイッチングレギュレータによるスイッチング周波数のパルス電流を吸収することが重要で、VM 端子の入力コンデンサ (C1a, C1b) はスイッチング電源回路の RMS 電流を処置可能でなければなりません。そのため、VM 端子の入力コンデンサには、セラミックコンデンサを使用する必要があります。EMC パフォーマンスに応じて 1[μF]以上のコンデンサ、および 0.1[μF]を含む複数のコンデンサの使用を推奨します。これらのコンデンサは本製品に可能な限り近接に配置してください。各コンデンサの配置は **5.2** を参照してください。

5.1.3.4 位相補償コンデンサ (C5)、および抵抗 (R6)

降圧スイッチングレギュレータを安定に動作させるためには位相補償が必要です。下記に位相補償コンデンサ (C5)、および抵抗 (R6) の選定方法を示します。

最初にオープンループゲインを求めます。降圧スイッチングレギュレータは、下記、A1, A2, A3 の3つのゲインで構成していて、それぞれ式 5-6、式 5-7、式 5-8 のように求められます。

- A1 : VDRV 端子から FB 端子までの抵抗分割によるフィードバック部のゲイン
- A2 : FB 端子から gm アンプ出力 (PC 端子) までのゲイン
- A3 : PC 端子から VDRV 端子までのゲイン

一巡伝達関数 AOPN はこれらのゲインの積となり、式 5-9 のように求められます。VDRV = 12[V], IO = 0.5[A] の場合は、AOPN = 9766[V/V] = 79.79[dB] になります。

$$A_1 = \frac{V_{REF_SR}}{V_{DRV}} \quad \text{(式 5-6)}$$

∴ VREF_SR : FB 端子基準電圧 = 0.8[V], VDRV : VDRV 端子電圧[V]

$$A_2 = gm_{SR} * R_{oSR} \quad \text{(式 5-7)}$$

∴ gm_SR : gm アンプトランスコンダクタンス = 200[μA/V], RoSR : gm アンプ出力抵抗 = 14[MΩ]

$$A_3 = gm_{PW} * R_{OUT} = gm_{PW} * \frac{V_{DRV}}{I_O} \quad \text{(式 5-8)}$$

∴ gmPW : gm アンプ出力から VDRV 出力への電流ゲイン = 2.18[A/V], ROUT : VDRV 端子出力抵抗[Ω], IO : 出力負荷電流[A]

$$A_{OPN} = A_1 * A_2 * A_3 \quad \text{(式 5-9)}$$

次に目標帯域 (f0) を決定します。降圧スイッチングレギュレータでは、主に下記 (1), (2) の2つのポール、および (3) のゼロで周波数特性が決まります。(4) はスイッチング動作によるダブルポールで、目標帯域はこのポールより低い周波数に設定します。

- (1) fpole1 : gm アンプ出力抵抗 RoSR と位相補償コンデンサ (C5) で決まる 1st ポール
- (2) fpole2 : VDRV 端子出力抵抗 ROUT と出力コンデンサ (C4) で決まる 2nd ポール
- (3) fzero : 位相補償抵抗 (R6) と位相補償コンデンサ (C5) で決まるゼロ
- (4) スイッチング周波数 (fsw) の 1/2 の周波数のダブルポール

目標帯域 (f0) は、(4) の位相遅れによる安定性低下を回避するため、スイッチング周波数 (fsw) の 1/10 以下に設定します。そして、目標帯域 (f0) に合わせて (1) を設定し、(2) のポールを (3) のゼロでキャンセルすることで安定性を確保します (図 5-4 (a))。

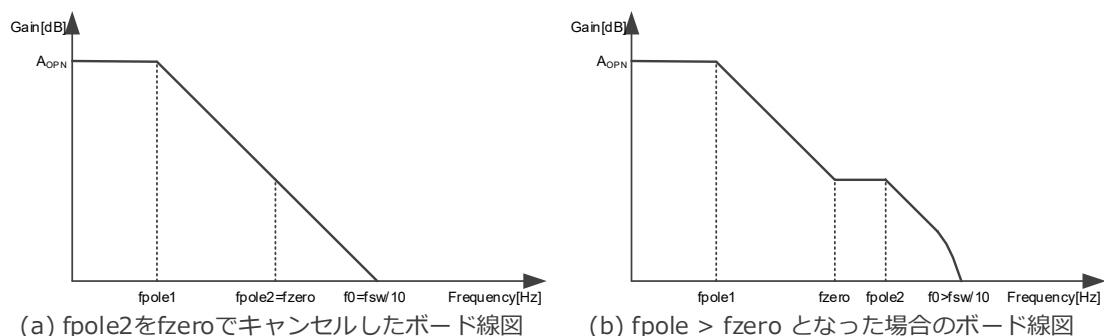


図 5-4 降圧スイッチングレギュレータの帯域、位相補償イメージ図

1st ポール (fpole1) は、**式 5-10** で求められます。

$$fpole1 = \frac{1}{2\pi * R_{oSR} * C5} \quad (式 5-10)$$

∵ RoSR : gm アンプ出力抵抗 = 14[MΩ], C5 : 位相補償コンデンサ

一方、目標帯域 (fo) をスイッチング周波数 (fsw) の 1/N に設定した場合、1st ポール (fpole1) はオープンループゲイン (AOPN) を用いて**式 5-11** のようにも求められます。

$$fpole1 = \frac{fsw / N}{AOPN} \quad (式 5-11)$$

よって位相補償コンデンサ (C5) は**式 5-10**, **式 5-11** を用いて、**式 5-12** で計算可能です。

$$C5 = \frac{AOPN * N}{2\pi * R_{oSR} * fsw} \quad (式 5-12)$$

目標帯域 (fo) をスイッチング周波数 (fsw) = 500[kHz] の 1/10 の 50[kHz] (N = 10), AOPN = 9766[V/V], RoSR = 14[MΩ] の場合は、C5 = 2221 ≈ 2200[pF] になります。

2nd ポール (fpole2) は、**式 5-13** で求められます。

$$fpole2 = \frac{1}{2\pi * R_{OUT} * C4} = \frac{Io}{2\pi * V_{DRV} * C4} \quad (式 5-13)$$

∵ ROUT : VDRV 端子出力抵抗[Ω], C4 : VDRV 端子の出力コンデンサ実効容量値, Io : 出力負荷電流[A]

一方、ゼロ (fzero) は、**式 5-14** で求められます。

$$fzero = \frac{1}{2\pi * R6 * C5} \quad (式 5-14)$$

∵ R6 : 位相補償抵抗, C5 : 位相補償コンデンサ

2nd ポール (fpole2) をゼロ (fzero) でキャンセルすることにより 1st ポール (fpole1), オープンループゲイン (AOPN) で決まる 1 次特性を得ることから、位相補償抵抗 (R6) は**式 5-15** で計算可能です。

$$R6 = \frac{V_{DRV} * C4}{Io * C5} \quad (式 5-15)$$

VDRV = 12[V], Io = 0.5[A], C5 = 2200[pF], C4 = 5.5[μF] (実効容量値) の場合は、R6 = 60 ≈ 60.4[kΩ] になります。VDRV 端子の出力コンデンサ (C4) は DC バイアス特性を考慮した実効容量値で計算してください。出力コンデンサ (C4) の大きさによって 2nd ポール (fpole2) が変化しますが、実効容量値が計算に使用した値より小さい場合は、2nd ポール (fpole2) が想定よりも高い周波数となり、**図 5-4 (b)** のように目標帯域 (fo) より実際の帯域が伸びることによってスイッチング周波数 (fsw) の 1/2 の周波数のダブルポール (fpole1n, fpole2n) の影響を受けやすくなり、安定性に影響を与える可能性があります。

5.1.4 チャージポンプ用出力コンデンサ (C2), フライイングコンデンサ (C3)

チャージポンプ出力 VCP 端子は、High サイドゲートドライバの電源です。チャージポンプ動作のため、CPH 端子と CPL 端子の間にフライイングコンデンサ (C3) が必要です。実効容量値で 0.22[μF]のセラミックコンデンサにより最大負荷電流 28[mA]までの供給を可能にします。フライイングコンデンサ (C3) の実効容量値が小さくなると同一負荷における VCP 端子電圧の低下が大きくなります。ご使用の外付け MOSFET, PWM 周波数、および VCP 端子電圧に応じたフライイングコンデンサ (C3) を選定してください。外付け MOSFET を駆動するための負荷電流 (I_{VCP}) は、式 5-16 により見積もり可能です。3 相、または 2 相 PWM 駆動で同時に PWM 動作をする相が複数ある場合は、負荷電流 (I_{vcp}) が増える点に注意してください。

$$I_{VCP} > N * Q_g * f_{pwm} \quad (\text{式 5-16})$$

∴ N : 同時 PWM 相の数, Q_g : 外付け MOSFET ゲート入力総電荷量, f_{pwm} : PWM 周波数

出力コンデンサ (C2) として VCP 端子と VBRIDGE 端子の間に実効容量が 1[μF]以上のセラミックコンデンサが必要です。出力コンデンサ (C2) はチャージポンプ動作による出力リップル電圧を考慮して、フライイングコンデンサ (C3) の 5 倍以上のコンデンサを推奨します。

5.1.5 モータ駆動用外付け MOSFET (M1~M6) とレジスタ設定

5.1.5.1 ISRC_HS, ISRC_LS ビットの設定

ゲート駆動充電電流 (ISRCH, ISRCL) は、外付け MOSFET のゲート - ドレイン間電荷 (Q_{gd}) と、ハーフブリッジゲートドライバ出力における目標立ち上がり、立ち下がり時間 (t_{RISE}, t_{FALL}) に基づいて ISRC_HS, ISRC_LS ビットにより調整します。選択した外付け MOSFET に対して、設定したゲート駆動充電電流 (ISRCH, ISRCL) が小さいと、外付け MOSFET のゲート - ソース間電圧 (V_{Gs}) が T_GT ビットにより設定した最大ゲート遷移時間 (t_{GT}) 内に十分に充電できず、V_{Gs} 異常 (VGS_FAULT) を検出したり、オン抵抗電力損失が大きくなったりする可能性があります。また、立ち上がり、立ち下がり時間が遅いとスイッチング電力損失が大きくなります。使用する外付け MOSFET、およびモータを含めたアプリケーションにおいて最適な ISRC_HS ビット、ISRC_LS ビット設定してください。外付け MOSFET のゲート - ドレイン間電荷 (Q_{gd}) と、ハーフブリッジゲートドライバ出力における目標立ち上がり時間 (t_{RISE}) を用いてゲート駆動充電電流 (ISRCH) は式 5-17 で計算します。

$$I_{SRCH} > \frac{Q_{gd}}{t_{RISE}} \quad (\text{式 5-17})$$

∴ Q_{gd} : 外付け MOSFET ゲート - ドレイン間電荷, t_{RISE} : 目標立ち上がり時間

ゲート駆動放電電流 (ISNKH, ISNKL) は、ゲート駆動充電電流 (ISRCH, ISRCL) の 2 倍に設定されます。目標立ち上がり、立ち下がり時間 (t_{RISE}, t_{FALL}) は本特性を加味した最適な設定を決定してください。

5.1.5.2 DEAD_TIME ビットの設定

アダプティブデッドタイム機能は、ターンオフ遷移中の外付け MOSFET のゲート電圧をモニタしゲート - ソース間電圧 (V_{Gs}) が閾値 (1[V] (typ.)) 以下になることを検出した後、エクストラデッドタイム (t_{DT}) 経過後にコンプリメンタリに外付け MOSFET をターンオンさせる機能です。本機能により High サイドと Low サイドの外付け MOSFET の同時オンとそれに伴う貫通電流を防止し、デッドタイムによるダイオード電力損失の最適化も可能になります。エクストラデッドタイム (t_{DT}) は DEAD_TIME ビットにより調整可能です。使用する外付け MOSFET のゲート - ソース間電荷 (Q_{gs}) (V_{Gs} = 1[V]) やゲート閾値電圧 (V_{TH}) を考慮して、エクストラデッドタイム (t_{DT}) 経過後のゲート - ソース間電圧 (V_{Gs}) がゲート閾値電圧 (V_{TH}) より確実に小さくなるように DEAD_TIME ビットの値を調整してください。片側外付け MOSFET のゲート - ソース間電圧 (V_{Gs}) が閾値電圧 (1[V] (typ.)) を下回るタイミングと相補 MOSFET のターンオンタイミングとのマージンを最適化する手順を推奨します。外付け MOSFET の破壊を防ぐため、外付け MOSFET のゲート - ソース間電圧 (V_{Gs}) を監視しながら、DEAD_TIME ビットを"11b"から徐々に小さい値に設定してください。

5.1.5.3 T_GT ビットの設定

ISRC_HS, ISRC_LS ビットの設定により最適化したハーフブリッジ出力のスイッチング動作において、最大ゲート遷移時間 (tGT) は外付け MOSFET のゲート - ソース間電圧 (VGS) の充電完了までの時間より長くなるように T_GT ビットを設定してください。十分に長い最大ゲート遷移時間 (tGT) は、ハーフブリッジ出力のスイッチング特性には影響ありませんが、最適な最大ゲート遷移時間 (tGT) は PWM 動作におけるゲートドライバの低消費電力化を実現します。外付け MOSFET のゲート - ソース間電圧 (VGS) の充電完了タイミングと最大ゲート遷移時間 (tGT) が完了するタイミングのマーヅンを最適化する手順を推奨します。意図しない VGS フォルト (VGS_FAULT) の検出を防ぐため、外付け MOSFET のゲート - ソース間電圧 (VGS) を監視しながら、T_GT ビットを“11b”から徐々に小さい値に設定してください。

5.1.6 電流検出用シャント抵抗 (R1, R2, R3) と差動アンプゲイン

本製品では、電流検出用シャント抵抗 (以降、シャント抵抗) の両端電圧を差動アンプを介して MCU の A/D コンバータで測定することにより、モータ駆動電流の検出が可能です。シャント抵抗 (R_z ($z = 1, 2, 3$)) は、目標検出電流範囲 (I_{SNS})、電源電圧 (V_{DD})、差動アンプの出力レンジ (V_{O_CSA})、入力オフセット電圧 (V_{IO_CSA})、ゲイン (G_{CSA}) を用いて、**図 5-5**、**式 5-18**、**式 5-20** に基づいて選択します。

出力のダイナミックレンジ (V_{O_DM}) は**式 5-18** のように計算します。

$$V_{O_DM} = (V_{DD} - V_{O_CSA}) - (0.5 * V_{DD} + G_{CSA} * V_{IO_CSA}) \quad (\text{式 5-18})$$

差動アンプゲイン (G_{CSA}) = 20[V/V] の場合は、**式 5-19** となります。

$$V_{O_DM} = (3.3[V] - 0.4[V]) - (1.65[V] + 20 * 5[mV]) = 1.15[V] \quad (\text{式 5-19})$$

出力ダイナミックレンジ (V_{O_DM}) 内で動作可能なシャント抵抗 R_z ($z = 1, 2, 3$) は**式 5-20** で計算します。

$$R_z < \frac{V_{O_DM}}{G_{CSA} * I_{SNS}} \quad (\text{式 5-20})$$

目標検出電流範囲 (I_{SNS}) = 50[A] の場合は、**式 5-21** となります。

$$R_z < \frac{1.15[V]}{20 * 50[A]} = 1.15[m\Omega] \quad (\text{式 5-21})$$

$R_z = 1[m\Omega]$ を選択した場合は、シャント抵抗 R_z ($z = 1, 2, 3$) の消費電力 (P_{SNS}) は目標検出電流範囲の実効値 (I_{SNS_RMS}) を用いて**式 5-22** となります。

$$P_{SNS} = I_{SNS_RMS}^2 * R_z = 35.4[A]^2 * 1[m\Omega] = 1.25[W] \quad (\text{式 5-22})$$

シャント抵抗 R_z ($z = 1, 2, 3$) の定格電力を考慮して部品を選定してください。

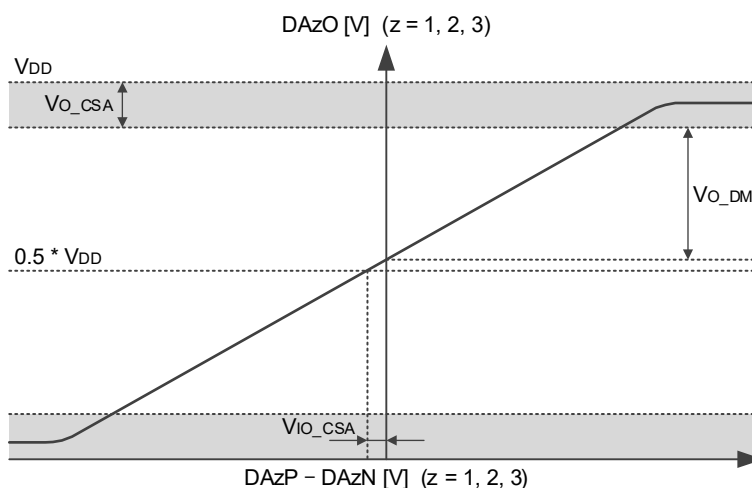


図 5-5 電流検出の出力ダイナミックレンジ

5.1.7 外付け保護回路例

5.1.7.1 抵抗とダイオードによる相電圧クランプ回路

モータ駆動時に、High サイドと Low サイドの外付け MOSFET の同時オンによって発生する貫通電流を防止するためには、デッドタイムが必要です。モータへ電流をソースしている時に、相補 PWM 動作によって High サイドの外付け MOSFET がオフになってから、Low サイドの外付け MOSFET がオンになるまでは、モータ駆動電流は Low サイドの外付け MOSFET のボディダイオードを通じて流れますが、ハーフブリッジ出力には、立ち下がりエッジのタイミングに負電圧スパイクが発生します。本製品では、HSx (x = A, B, C) 端子の絶対最大定格として許容負電圧レベルを規定しています。連続時間に対しては、VHSxabs (x = A, B, C) = -5[V], 200[ns]以内の期間に対しては、VHSxtran (x = A, B, C) = -7[V]です。絶対最大定格を超える負電圧スパイクは、製品の故障原因となる可能性があるため、外付け回路による保護が必要です。負電圧スパイクの大きさは、動作電源電圧、デッドタイム、ハーフブリッジ出力の遷移時間、外付け MOSFET、シャント抵抗、モータなどの構成要素、および基板レイアウトといった様々な要因に依存します。ハーフブリッジ出力のスイッチング期間における絶対最大定格を超える負電圧スパイクを回避するためには、抵抗とダイオードによる外付けクランプ回路が必要です。図 5-6 に回路例を示します。抵抗 (R_{Sx} (x = A, B, C)) は High サイドの外付け MOSFET のゲート駆動放電電流経路に挿入されるため、ハーフブリッジ出力の立ち下がり時間や、アダプティブデッドタイム機能のゲート電圧モニタに影響があります。抵抗 (R_{Sx} (x = A, B, C)) は、10[Ω]以下程度の抵抗を選択し、効果、および副作用の有無を実際の波形で確認のうえ選定してください。抵抗 (R_{Sx} (x = A, B, C)) とダイオード (D_{SxN} (x = A, B, C)) は、基板レイアウト設計において IC に可能な限り近接に配置してください。

ハーフブリッジ出力は、モータから電流をシンクしている時の立ち上がりエッジのタイミングにおいても絶対最大定格を超える電圧スパイクが発生する可能性があります。必要に応じてダイオード (D_{SxP} (x = A, B, C)) を追加し、負電圧スパイクと同様の保護を検討してください。

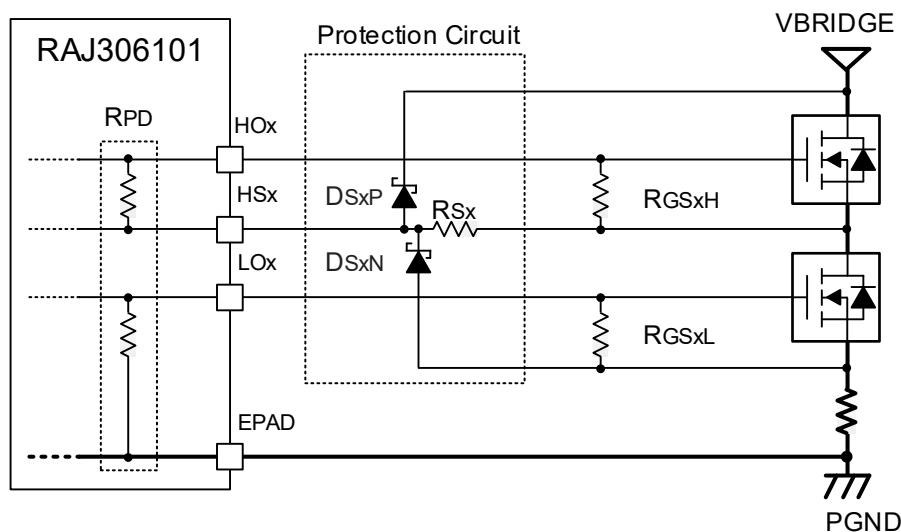


図 5-6 抵抗とダイオードによる相電圧クランプ回路例 (R_{Sx} , D_{SxP} , D_{SxN} (x = A, B, C))

5.1.7.2 外付け MOSFET のゲート - ソース間プルダウン抵抗

本製品には、HO_x - HS_x (x = A, B, C) 端子間、および LO_x (x = A, B, C) - EPAD 端子間にプルダウン抵抗 (RPD = 200[kΩ] (typ.)) を内蔵しています。EN 出力端子を Low 出力に設定した後、または異常検出機能が異常を検出した後、ゲートドライバの出力の HO_x, LO_x (x = A, B, C) 端子を Hi-Z とするため、本プルダウン抵抗 (RPD) により、外付け MOSFET ゲート - ソース間電圧 (V_{Gs}) を放電します。なお、外付け MOSFET に関連する一部の異常検出では、PDMODE ビットにより、ゲートドライバを Low 出力にする動作も選択可能です。入力ゲート容量の大きい外付け MOSFET を使用する場合は、ゲート - ソース間電圧 (V_{Gs}) 放電時間が長くなるため、放電時間を短くするためには、**図 5-7** のように外付けプルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C)) の追加が必要です。また、電源投入時の外付け MOSFET の電源 (VBRIDGE) のスルーレートによっては、外付け MOSFET のゲート - ドレイン間容量 (C_{gd}) の充電電流によりゲート電圧が上昇し、貫通電流を引き起こす可能性があります。一方、外付け MOSFET がオンの間はゲートドライバの出力の HO_x, LO_x (x = A, B, C) 端子は High となるため、プルダウン抵抗に電流が流れ消費電流が増加します。使用条件に応じて放電時間、ゲート電圧上昇量、および消費電流を考慮して、外付けプルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C)) の必要性と適切な抵抗値を検討してください。

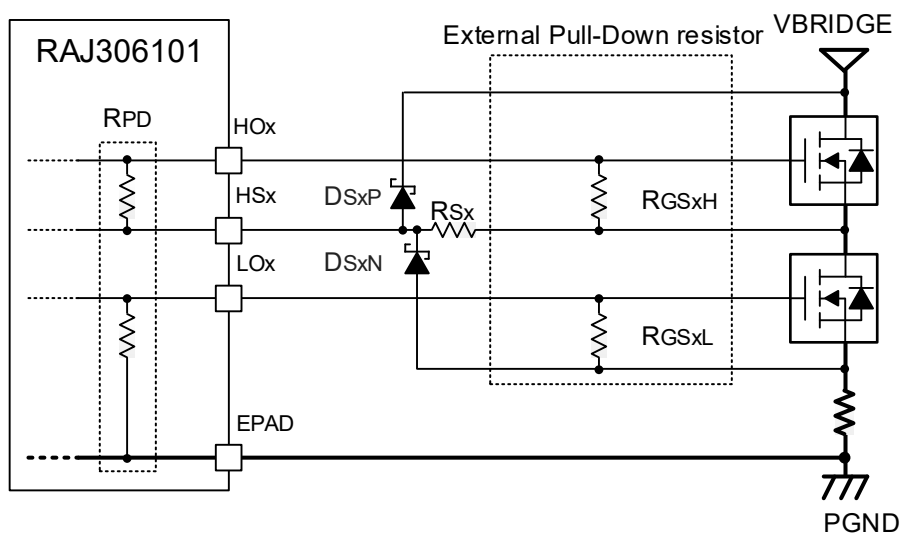


図 5-7 外付け MOSFET のゲート - ソース間プルダウン抵抗 (R_{Gs_xH}, R_{Gs_xL} (x = A, B, C))

5.2 推奨基板レイアウト

モータードライブアプリケーションの基板レイアウトは、シャント電流検出信号、A/D コンバータの入力信号などの高精度なアナログ信号検出を行うために重要です。本製品を含むモータ駆動アプリケーションでは、高電圧でスイッチング動作をする降圧スイッチングレギュレータ、および外付け MOSFET を駆動するゲートドライバを有するため、GND 配線の分類、外付け部品の配置、および配線の引き回しに注意してください。下記に基板レイアウトにおけるガイドラインを示します。なお、RX13T の基板設計の注意事項やレイアウト実例は、「アプリケーションノート：RX ファミリー ハードウェアデザインガイド (R01AN1411)」を参照してください。

5.2.1 GND 系統

本製品は、EPAD、PGND、AGND、GND_MCU1、GND_MCU2、および AGND_MCU の 6 つの端子を GND として使用しています。各端子を使用しているブロックを表 5-3 に示します。

表 5-3 GND 系統と使用ブロックの関係

GND	ブロック
EPAD	ゲートドライバ、チャージポンプ
PGND	ゲートドライバ
AGND	差動アンプ、BEMF検出アンプ、汎用コンパレータ、LDO、降圧スイッチングレギュレータ制御部、ロジック部、RX13T
GND_MCU1, GND_MCU2, AGND_MCU	RX13T

GND に対する基板レイアウトは、本デバイスの上記 GND 分離を考慮して PGND 系統 (EPAD、PGND)、AGND 系統 (AGND、GND_MCU1、GND_MCU2、および AGND_MCU) の 2 系統に加え、降圧スイッチングレギュレータのスイッチング電流が流れる外付け部品の GND 系統 (REG_GND 系統と定義) の 3 つの GND 系統に分けた配線レイアウトを推奨します。また、GND 間の結合によるノイズ干渉を回避するため、各系統の GND プレーンは、他の系統の GND プレーンと極力共通インピーダンスを持たないようにしてください。各 GND 系統に対する配線の注意点を下記に示します。

PGND 系統

PGND 系統は、ハーフブリッジのスイッチングに伴う外付け MOSFET のゲート放電電流を流す GND プレーンです。ビアを介さずに単層で配線することを推奨します。PGND と EPAD は IC の端子付近でビアを介さずに接続してください。PGND の単層での配線が困難な場合は基板の層間を多数のビアで接続し、寄生インダクタンスを最小限に抑えるようにしてください。また、ハーフブリッジ側の GND との共通インピーダンスが付かないように、基板の GND 端子 (装置の GND) の付近から分離して配線してください。なお、ゲート放電電流は、使用する外付け MOSFET やスイッチング特性に応じて 1[A] を超えるピーク電流が流れるため (ISRC_LS ビットに依存)、実際のアプリケーションに対応した十分な配線幅を確保してください。PGND 系統を基準とする外付け部品、回路は、他のブロックにノイズの影響を与えないように PGND 系統の GND プレーンで十分に覆うことを推奨します。

また、EPAD は IC の放熱にも使用するため、十分な数のビアを打ち、基板の背面に放熱できるようにすることを推奨します。

AGND 系統

AGND 系統は、内蔵アナログ回路、および MCU (RX13T) の基準となる GND プレーンです。そのため、ノイズの影響が少ないレイアウトとすることが重要です。他の GND 系統の GND プレーンとの重なりや、VM、VBRIDGE、およびハーフブリッジ電源といったノイズの大きい電源プレーンとの重なりが少ないレイアウトを推奨します。また、AGND 系統を基準とする外付け部品、回路は、AGND 系統の GND プレーンで十分に覆うことを推奨します。AGND 系統の GND は、必要に応じてシャント電流検出信号、A/D コンバータの入力信号などの高精度なアナログ信号の配線に対するシールドとして使用してください。

REG_GND 系統

REG_GND 系統は降圧スイッチングレギュレータのスイッチング電流が流れる外付け部品の GND 系統です。降圧スイッチングレギュレータによるスイッチング電流に伴うノイズ対策を考慮した基板レイアウトにすることは、スイッチング電源を含むアプリケーションにおいて最も重要な設計項目の一つです。降圧スイッチングレギュレータは、スイッチング素子のオン、オフに応じてスイッチング電流が流れる経路が変わるため、外付け部品の GND には専用の GND 系統 (REG_GND) を設けることを推奨します。REG_GND 系統を使用する外付け部品には、VM 端子コンデンサ (C1a, C1b)、ショットキー整流ダイオード (D1)、および VDRV 端子の出力コンデンサ (C4) があります。これらの部品の GND は極力近接するように配置し、寄生インダクタンスによるノイズを最小限に抑えることが重要です。外付け部品の GND 間の距離を短くできない場合であっても、本配線は単層で直接接続するようにしてください。

外付け部品の GND から基板の GND 端子 (装置の GND) への配線は、REG_GND 系統と他の GND 系統と分離するため、ビアを介して接続してください。なお、本ビアの配置は、スイッチングによる電流変化の少ない出力コンデンサ (C4) の付近に設けることを推奨します。また、降圧スイッチングレギュレータの外付け部品、回路は、別の層に REG_GND 系統のプレーンを設けて十分に覆うことでノイズ干渉を抑えることを推奨しますが、本プレーンもビアを介して基板の GND 端子 (装置の GND) に接続し、他の GND 系統と分離する必要がありますことに注意してください。

5.2.2 電源端子のコンデンサと電源配線

本製品には、内蔵しているレギュレータ出力端子も含め、下記 8 つの電源端子があります。各電源端子に接続するバイパスコンデンサ、出力コンデンサ、コンデンサの接続先、および各端子を使用しているブロックを表 5-4 に示します。これらのコンデンサは極力 IC の付近に配置し、ビアを介さずに単層、低インピーダンスに IC と接続することを推奨します。VM、VBRIDGE 端子は、電圧降下を考慮し、基板上で電圧が比較的安定している電源端子付近 (装置の電源) からの配線が必要です。下記にハーフブリッジ電源を含む電源配線における注意点を示します。

表 5-4 電源端子のコンデンサと電源供給先ブロック

電源端子	部品番号	電源供給先ブロック
VM - REG_GND	C1a, C1b	降圧スイッチングレギュレータ, LDO1
VBRIDGE - PGND	C1c, C1d	ゲートドライバ
VCP - VBRIDGE	C2	ゲートドライバ
VDRV - REG_GND	C4	ゲートドライバ, LDO2, LDO3
VCC5V - AGND	C7	差動アンプ, BEMF検出アンプ, 汎用コンパレータ, 降圧スイッチングレギュレータ制御部, ロジック部
VDD - AGND	C8	差動アンプ, BEMF検出アンプ, 汎用コンパレータ
VDD_MCU1, VDD_MCU2, AVDD_MCU, VCL - AGND	C9, C10, C11, C12	RX13T

VM 端子配線

REG_GND 系統の配線と同様に基板の電源端子 (装置の電源) への配線は、VM 端子バイパスコンデンサ (C1a, C1b) の付近でビアを設けたうえで別の層で接続することを推奨します。これは降圧スイッチングレギュレータで発生する急峻な電流変化を、可能な限りバイパスコンデンサ (C1a, C1b) で吸収させることを目的としています。なお、VM 端子配線は、VBRIDGE 端子と同電位で使用する場合であっても独立で基板の電源端子 (装置の電源) へ接続してください。

ハーフブリッジ電源、VBRIDGE 端子配線

外付け MOSFET の大電流パスをバイパスするためには、通常、電解コンデンサを追加します。この電解コンデンサは外付け MOSFET を通過する大電流パスの長さが最小となるように外付け MOSFET、シャント抵抗の配置を考慮して配置します。配線は実際のアプリケーションに応じて十分な配線幅、かつ基板の層間は十分な数のビアで接続し、寄生インダクタンスを最小限に抑えるようにレイアウトしてください。また、VBRIDGE 端子のバイパスコンデンサ (C1c, C1d) への配線は、電解コンデンサの端子から独立で配線し、大電流パスとの共通インピーダンスが最小となるように配線してください。

5.2.3 降圧スイッチングレギュレータ

降圧スイッチングレギュレータの基板レイアウトにおいて、最も重要な点はスイッチングレギュレータから発生するノイズの最小化です。降圧スイッチングレギュレータは図 5-8 のように、(1) スwitching素子 (MP1) のオン、(2) MP1 のオフ、および (3) MP1 のオフからオンへの遷移過程に応じてスイッチング電流が流れる経路が変わるため、その切り替わりタイミングにおける急峻な電流変化によりノイズが発生します。このノイズを最小化するためには

図 5-8 で示した (3) の電流ループの面積を可能な限り小さくする必要があり、外付け部品を最適に配置する必要があります。下記に (3) の電流ループの面積を最小にするための注意点を示します。なお、降圧スイッチングレギュレータの外付け部品間の配線はビアを介さず単層で接続することがノイズの最小化において非常に重要です。

- VM 端子コンデンサ (C1a, C1b), ショットキー整流ダイオード (D1) を本 IC の極力近接に配置し、素子と本 IC の端子間の配線を極力短くする。
- VM 端子コンデンサ (C1a, C1b), ショットキー整流ダイオード (D1) 間の REG_GND 配線を極力短くする。

また、下記の注意点も考慮して基板レイアウトを実施してください。

- コイル (L1), 出力コンデンサ (C4), ショットキー整流ダイオード (D1) で構成されるループが小さくなるように配置する。
- SW1 端子 - コイル (L1) 間の配線、およびショットキー整流ダイオード (D1) - 出力コンデンサ (C4) 間の REG_GND 配線は、(1), (2) の状態で連続的に電流が流れるため、(3) の対応を優先したうえで極力短くする。
- SW1 端子 - コイル (L1) 間の配線面積は、電流容量、およびコイル (L1) の発熱に支障がない範囲で小さくする。
- VDRV 端子への配線は、コイル (L1) - 出力コンデンサ (C4) 間ではなく、出力コンデンサ (C4) のランドから配線を引き出す。

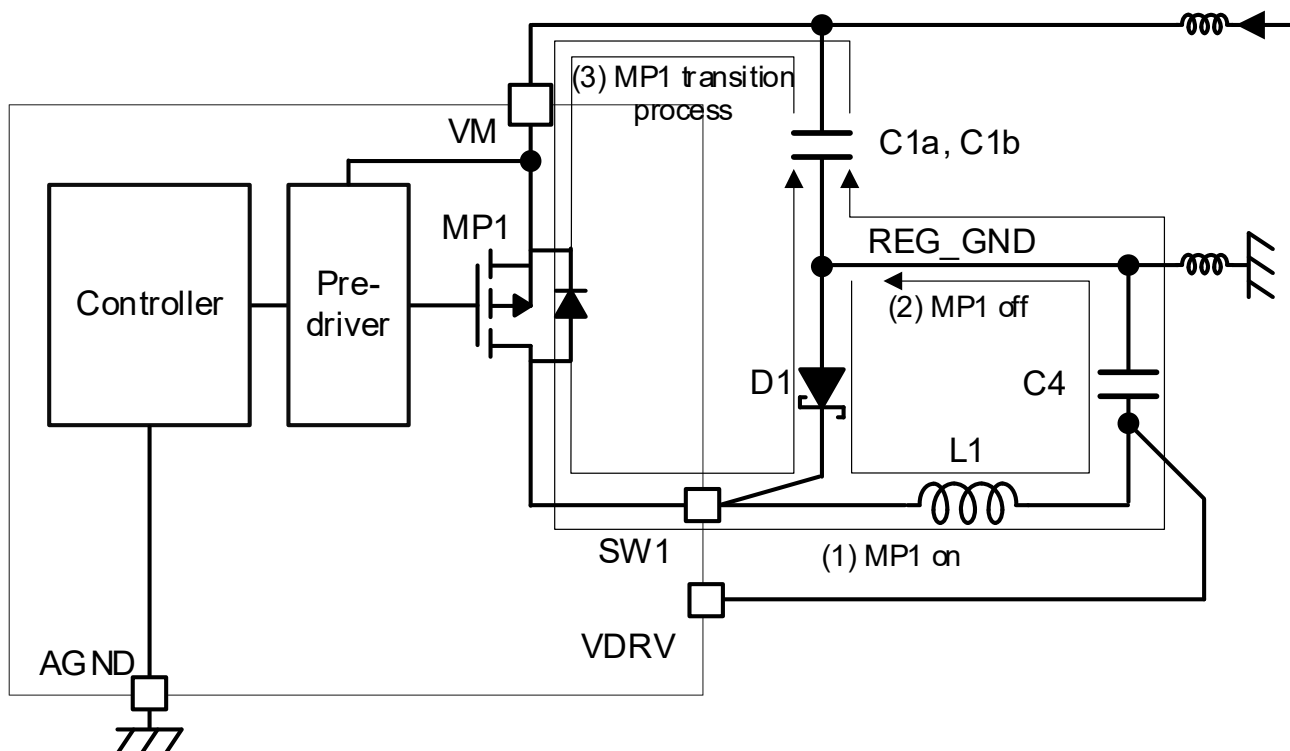


図 5-8 降圧スイッチングレギュレータの電流経路

5.2.4 N-ch MOSFET ブリッジ

外付け MOSFET の配置と配線は、外付け MOSFET のオン / オフを制御するゲート電流ループが最小になるように考慮する必要があります。High サイドの外付け MOSFET においては、外付け MOSFET のゲートから HO_x (x = A, B, C) までの配線、および HS_x (x = A, B, C) から外付け MOSFET のソースまでの配線が最短になるような配置を推奨します。Low サイドの外付け MOSFET においては、外付け MOSFET のゲートから LO_x (x = A, B, C) までの配線、および EPAD からシャント抵抗の GND 側までの配線が最短になるような配置を推奨します。

なお、ゲート駆動放電電流 (I_{SNKH}, I_{SNKL}) は、使用する外付け MOSFET やスイッチング特性に応じて 1[A] を超える (ISRC_HS, ISRC_LS ビットに依存) ピーク電流が流れるため、アプリケーションに対応した十分な配線幅を確保してください。また、ハーフブリッジ出力の伝搬遅延に対するミスマッチを回避するため、各相の外付け部品の配置、および各配線は可能な限り対称になるようにしてください。

5.2.5 チャージポンプ

チャージポンプのフライングコンデンサ (C3)、および出力コンデンサ (C2) は可能な限り IC の付近に配置したうえで、フライングコンデンサ (C3) への CPH、および CPL 配線によるループは極力小さくなるように配線してください。同様に出力コンデンサ (C2) への VCP、および VBRIDGE 配線によるループも極力小さくなるように配線してください。また、これらの配線は充放電動作に伴う電流変化が大きいため、単層でビアを介さずに接続することを推奨します。なお、フライングコンデンサ (C3) への配線ループ、および出力コンデンサ (C2) への配線ループは、PGND 系統のプレーンにより十分に覆うことを推奨します。

5.2.6 シャント電流検出

シャント抵抗 (R1, R2, R3) による電流検出は両端電圧を正確に検出するため、ケルビン接続で配線を引き出し、両配線を並走、等長配線で差動アンプ入力 DA_{zP}, DA_{zN} (z = 1, 2, 3) へ接続することを推奨します。また、両配線へのノイズ干渉を回避するため、AGND 系統による両サイド、上層、および下層にシールドを設けるような対応も推奨します。電源配線やホール IC 配線などのノイズ源となる配線とは極力離して配線することを推奨します。ノイズ除去を目的として DA_{zP}, DA_{zN} (z = 1, 2, 3) の入力直前に R-C フィルタを挿入することも可能ですが、本端子は 10[kΩ] の入力インピーダンスがあるため、ゲイン誤差が発生しないよう 20[Ω] 以下の抵抗を使用してください。また、フィルタ挿入の際は、検出したい信号のタイミングと R-C フィルタによる遅れ時間を十分に考慮し、適切なカットオフ周波数を選定してください。

第6章 使用上の注意事項

6.1 高温動作に関して

本製品の使用温度プロファイルは、下記温度プロファイルを想定しております。
この使用条件の範囲内でご使用頂くよう、ご配慮をおねがいします。

高温環境 1 : $85[^\circ\text{C}] < T_a \leq 125[^\circ\text{C}]$ 1.0[hrs/day]

高温環境 2 : $55[^\circ\text{C}] < T_a \leq 85[^\circ\text{C}]$ 4.0[hrs/day]

非高温環境 : $-40[^\circ\text{C}] \leq T_a \leq 55[^\circ\text{C}]$ 19.0[hrs/day]

改版記録

Rev.	Date	Summary of Revised	Object Page
1.00	2023.06.06	・初版	All

RAJ306101 ユーザーズマニュアル ハードウェア編

発行年月日 2023年 6月 6日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサスエレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24(豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

© 2023 Renesas Electronics Corporation. All rights reserved.

Colophon 3.1

RAJ306101