

R9A02G021

ユーザーズマニュアル ハードウェア編

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットしてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違えば製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. このドキュメントについて

このマニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。このマニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では MCU 用に下記のドキュメントを提供しています。これらのドキュメントを使用する前に、www.renesas.com で最新版のドキュメントを参照してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特徴、概要および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート

4. 数値の表記法

このマニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。たとえば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。たとえば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

このマニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールのシンボル (AAA)、レジスタのシンボル (BBB)、およびビットフィールドのシンボル (CCC) は、ピリオドで区切られます。
AAA.BBB	機能モジュールのシンボル (AAA) とレジスタのシンボル (BBB) は、ピリオドで区切られます。
BBB.DDD	レジスタのシンボル (BBB) とビットフィールドのシンボル (DDD) は、ピリオドで区切られます。
EEE[3:0]	角カッコ内の数値はビット番号を表します。たとえば EEE[3:0] は、3～0 ビットを占めます。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、このマニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU およびアドレス空間やメモリ容量に使用されます。
k	キロ	$1000 = 10^3$ 。k は $1024 (2^{10})$ を示すためにも使用されますが、このユニットプレフィックスは本書全体で $1000 (10^3)$ を示すために使用されます。
K	キロ	$1024 = 2^{10}$ 。このユニットプレフィックスは、このマニュアル全体で、 $1000 (10^3)$ ではなく $1024 (2^{10})$ を示すために使用されます。

7. 特殊用語

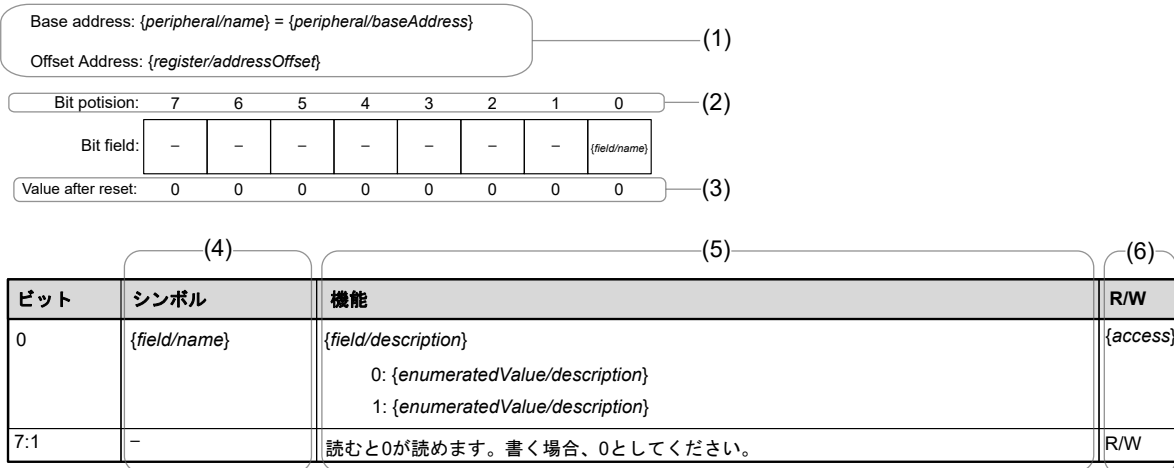
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。特に指定のない場合、この端子はフローティングにしてください。
Hi-Z	ハイインピーダンス
x	Don't care または、不定

8. レジスタの説明

各章のレジスタの説明には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用する記号の例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールドの定義例です。

XX.X.X {register/name} : {register/description}



(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

この部分には、通常、機能モジュールのシンボル {peripheral/name}、レジスタのシンボル {register/name}、およびこのレジスタのアドレス配置が記載されます。ベースアドレスとオフセットアドレスは、{peripheral/name} の {register/name} : {register/description} がアドレス {peripheral/baseAddress} + {register/addressOffset} に配置されることを意味します。

(2) ビット番号

この数値はビット番号を示します。32 ビットレジスタの場合はビット 31~0 の順に、16 ビットレジスタの場合はビット 15~0 の順に、8 ビットレジスタの場合はビット 7~0 の順に示されます。

(3) リセット後の値

このシンボルまたは数値は、リセット後の各ビットの値を示します。特に指定がない限り、値はバイナリで表示されます。

- 0: リセット後の値が0であることを示します。
- 1: リセット後の値が1であることを示します。
- x: リセット後の値が不定であることを示します。

(4) ビットシンボル

{field/name} は、ビットフィールドの略名です。予約ビットの場合は、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名 {field/description}、および列挙された値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であることを示します。

- R/W: 読み出しも書き込みも可能。
- R: 読み出しのみ可能。書き込みは無効。
- W: 書き込みのみ可能。特に指定のない限り、読み出し値はリセット後の値。

9. 略語

このマニュアルで使用されている略語を次の表に示します。

略語	内容
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2 進化 10 進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
TRNG	True Random Number Generator（真性乱数生成器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
VCO	Voltage Controlled Oscillator（電圧制御発振器）

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

ARM®およびCortex®は、Arm Limited の登録商標です。CoreSight™は Arm Limited の商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortium の登録商標です。

本書に記載されているその他のブランドおよび名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

この製品についてご意見やご提案がある場合は、[お問い合わせ](#) にアクセスしてください。

目次

特長	34
1. 概要	35
1.1 機能の概要	35
1.2 ブロック図	39
1.3 型名	39
1.4 機能の比較	41
1.5 端子機能	42
1.6 ピン配置図	44
1.7 端子一覧	48
2. CPU	50
2.1 概要	50
2.1.1 CPU	50
2.1.2 割り込みコントローラ	50
2.1.3 デバッグ	50
2.1.4 動作周波数	50
2.1.5 ブロック図	50
2.2 cJTAG インタフェース	51
2.3 デバッグ機能	51
2.3.1 デバッグモードの定義	51
2.3.2 デバッグモードの影響	52
2.4 OCD エミュレータ接続	52
2.4.1 デバッグ認証機構	53
2.4.2 デバッグ許可	53
2.4.3 接続シーケンス	53
2.4.4 デバッグリセット	55
2.4.5 OCD エミュレータ接続における制限	55
2.5 プログラムモデル	55
2.5.1 アドレス空間	55
2.5.2 CSR	56
2.5.3 コアローカル割り込みコントローラ	56
2.5.4 マシンタイマ	60
2.5.5 デバッグモジュール	62
2.5.6 デバッグトランスポートモジュール	63
2.5.7 OCDREG	63
2.5.8 AUXREG モジュール	64
2.5.9 DBGREG モジュール	65
2.6 制約事項	68

2.7	RISC-V CPU コアの仕様	68
2.7.1	ISA の概要	68
2.7.2	レジスタ	68
2.7.3	命令	80
2.7.4	特権モード	84
2.7.5	トラップ	84
2.7.6	マイクロアーキテクチャの仕様	88
2.7.7	参考資料	89
2.8	RISC-V デバッグ機能仕様	90
2.8.1	概要	90
2.8.2	cJTAG インタフェース	92
2.8.3	I/O レジスタ	92
2.8.4	制約事項	101
2.8.5	製品情報	102
2.8.6	参考資料	102
3.	起動モード	103
3.1	起動モードの種類と選択	103
3.2	起動モードの詳細	103
3.2.1	シングルチップモード	103
3.2.2	UART (SAU) ブートモード	103
3.3	起動モードの遷移	103
3.3.1	モード設定端子による起動モード遷移	103
4.	アドレス空間	104
4.1	アドレス空間	104
5.	リセット	105
5.1	概要	105
5.2	レジスタの説明	109
5.2.1	RSTSR0 : リセットステータスレジスタ 0	109
5.2.2	RSTSR1 : リセットステータスレジスタ 1	110
5.2.3	RSTSR2 : リセットステータスレジスタ 2	112
5.3	動作説明	112
5.3.1	RES 端子リセット	112
5.3.2	パワーオンリセット	112
5.3.3	電圧監視リセット	113
5.3.4	独立ウォッチドッグタイマリセット	114
5.3.5	ウォッチドッグタイマリセット	114
5.3.6	ソフトウェアリセット	115
5.3.7	コールドスタート／ウォームスタート判定機能	115
5.3.8	リセット発生要因の判定	115

5.4	使用上の注意	116
5.4.1	RES 端子リセットの注意事項	116
6.	オプション設定メモリ	117
6.1	概要	117
6.2	レジスタの説明	117
6.2.1	OFS0 : オプション機能選択レジスタ 0	117
6.2.2	OFS1 : オプション機能選択レジスタ 1	121
6.2.3	OSIS : OCD/シリアルプログラマ ID 設定レジスタ	122
6.2.4	AWS : アクセスウィンドウ設定レジスタ	123
6.2.5	SECS : セキュリティ設定レジスタ	124
6.2.6	UIDSn : ユーザ ID 設定レジスタ n (n = 0~3)	125
6.3	オプション設定メモリの設定方法	125
6.3.1	オプション設定メモリへのデータの配置方法	125
6.3.2	オプション設定メモリにプログラムするデータの設定方法	125
6.4	使用上の注意事項	126
6.4.1	オプション設定メモリの予約領域および予約ビットにプログラムするデータ	126
6.4.2	FAPR ビットに関する注意事項	126
6.4.3	FAPR ビット設定の順序	126
6.4.4	OCDDIS ビットに関する注意事項	126
7.	低電圧検出回路 (LVD)	127
7.1	概要	127
7.2	レジスタの説明	129
7.2.1	LVCMPCR : 電圧監視回路コントロールレジスタ	129
7.2.2	LVDLVLR : 電圧検出レベル選択レジスタ	129
7.2.3	LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0	130
7.2.4	LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0	131
7.2.5	LVD1CR1 : 電圧監視 1 回路コントロールレジスタ 1	132
7.2.6	LVD1SR : 電圧監視 1 回路ステータスレジスタ	132
7.2.7	LVD2CR1 : 電圧モニタ 2 回路コントロールレジスタ 1	133
7.2.8	LVD2SR : 電圧モニタ 2 回路ステータスレジスタ	133
7.3	VCC 入力電圧のモニタ	134
7.3.1	V_{det0} のモニタ	134
7.3.2	V_{det1} のモニタ	134
7.3.3	V_{det2} のモニタ	134
7.4	電圧監視 0 リセット	134
7.5	電圧監視 1 割り込み、電圧監視 1 リセット	135
7.6	電圧監視 2 割り込み、電圧監視 2 リセット	137
7.7	ELC によるリンク動作	139
7.7.1	割り込み処理とイベントリンクの関係	139

8. クロック発生回路	141
8.1 概要	141
8.2 レジスタの説明	145
8.2.1 SCKDIVCR : システムクロック分周コントロールレジスタ	145
8.2.2 SCKSCR : システムクロックソースコントロールレジスタ	145
8.2.3 MEMWAIT : メモリウェイトサイクルコントロールレジスタ (コードフラッシュ)	146
8.2.4 FLDWAITR : メモリウェイトサイクルコントロールレジスタ (データフラッシュ)	147
8.2.5 MOSCCR : 外部クロック入力コントロールレジスタ	149
8.2.6 SOSCCR : サブクロック発振器コントロールレジスタ	150
8.2.7 LOCOCR : 低速オンチップオシレータコントロールレジスタ	150
8.2.8 HOCOCR : 高速オンチップオシレータコントロールレジスタ	151
8.2.9 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2	152
8.2.10 MOCOCR : 中速オンチップオシレータコントロールレジスタ	152
8.2.11 OSCSF : 発振安定フラグレジスタ	153
8.2.12 SOMCR : サブクロック発振器モードコントロールレジスタ	154
8.2.13 SOMRG : サブクロック発振器マージンチェックレジスタ	154
8.2.14 CKOCR : クロックアウトコントロールレジスタ	155
8.2.15 LOCOUTCR : LOCO ユーザトリミングコントロールレジスタ	156
8.2.16 MOCOUTCR : MOCO ユーザトリミングコントロールレジスタ	156
8.2.17 HOCOUTCR : HOCO ユーザトリミングコントロールレジスタ	157
8.2.18 OSMCR : サブシステムクロック供給モードコントロールレジスタ	157
8.3 外部クロックを入力する方法	157
8.3.1 外部クロック入力に関する注意事項	158
8.4 サブクロック発振器	158
8.4.1 32.768 kHz 水晶振動子を接続する方法	158
8.4.2 サブクロック発振器を使用しない場合の端子処理	159
8.5 内部クロック	159
8.5.1 システムクロック (ICLK)	160
8.5.2 周辺モジュールクロック (PCLKB)	161
8.5.3 CAC クロック (CACCLK)	161
8.5.4 RTC 専用クロック (RTCSCLK、RTCS128CLK、RTCLCLK)	161
8.5.5 TML32 専用クロック	162
8.5.6 UARTA 専用クロック	162
8.5.7 REMC 専用クロック	162
8.5.8 IWDTC 専用クロック (IWDTCCLK)	162
8.5.9 マシントイマ専用クロック (MTCLK)	162
8.5.10 外部端子出力クロック (CLKOUT)	162
8.6 使用上の注意	163
8.6.1 クロック発生回路に関する注意事項	163
8.6.2 発振子に関する注意事項	163

8.6.3	ボード設計に関する注意事項	163
8.6.4	外部クロック入力端子に関する注意事項	163
9.	クロック周波数精度測定回路 (CAC).....	164
9.1	概要	164
9.2	レジスタの説明	165
9.2.1	CACR0 : CAC コントロールレジスタ 0.....	165
9.2.2	CACR1 : CAC コントロールレジスタ 1.....	166
9.2.3	CACR2 : CAC コントロールレジスタ 2.....	166
9.2.4	CAICR : CAC 割り込み要求許可レジスタ	167
9.2.5	CASTR : CAC ステータスレジスタ	168
9.2.6	CAULVR : CAC 上限値設定レジスタ	169
9.2.7	CALLVR : CAC 下限値設定レジスタ	169
9.2.8	CACNTBR : CAC カウンタバッファレジスタ	170
9.3	動作説明	170
9.3.1	クロック周波数測定.....	170
9.3.2	CACREF 端子のデジタルフィルタ機能.....	172
9.4	割り込み要求	172
9.5	使用上の注意事項.....	172
9.5.1	モジュールストップ機能の設定	172
10.	低消費電力モード.....	173
10.1	概要	173
10.2	レジスタの説明	176
10.2.1	SBYCR : スタンバイコントロールレジスタ	176
10.2.2	MSTPCRA : モジュールストップコントロールレジスタ A.....	177
10.2.3	MSTPCRB : モジュールストップコントロールレジスタ B.....	177
10.2.4	MSTPCRC : モジュールストップコントロールレジスタ C.....	178
10.2.5	MSTPCRD : モジュールストップコントロールレジスタ D.....	179
10.2.6	OPCCR : 動作電力コントロールレジスタ	180
10.2.7	SOPCCR : サブ動作電力コントロールレジスタ	180
10.2.8	SNZCR : スヌーズコントロールレジスタ	182
10.2.9	SNZEDCR0 : スヌーズ終了コントロールレジスタ 0	183
10.2.10	SNZEDCR1 : スヌーズ終了コントロールレジスタ 1	184
10.2.11	SNZREQCR0 : スヌーズ要求コントロールレジスタ 0.....	185
10.2.12	PSMCR : パワーセーブメモリコントロールレジスタ	186
10.2.13	SYOCDRCR : システムコントロール OCD コントロールレジスタ	186
10.2.14	LSMRWDIS : ロースピードモジュール R/W 禁止制御レジスタ	187
10.2.15	LPOPT : 消費電力低減動作コントロールレジスタ	188
10.3	クロックの切り替えによる消費電力の低減	188
10.4	モジュールストップ機能	188

10.5	動作電力低減機能	189
10.5.1	動作電力制御モードの設定方法	189
10.5.2	動作範囲	190
10.6	スリープモード	192
10.6.1	スリープモードへの遷移	192
10.6.2	スリープモードの解除	192
10.7	ソフトウェアスタンバイモード	193
10.7.1	ソフトウェアスタンバイモードへの遷移	193
10.7.2	ソフトウェアスタンバイモードの解除	194
10.7.3	ソフトウェアスタンバイモードの応用例	194
10.8	スヌーズモード	195
10.8.1	スヌーズモードへの遷移	195
10.8.2	スヌーズモードの解除	196
10.8.3	スヌーズモードからソフトウェアスタンバイモードへの復帰	197
10.8.4	スヌーズモードの動作例	198
10.9	使用上の注意	200
10.9.1	レジスタアクセス	200
10.9.2	I/O ポートの端子状態	201
10.9.3	DTC のモジュールストップ状態	201
10.9.4	内部割り込み要因	201
10.9.5	WFI 命令のタイミング	201
10.9.6	スリープモード／スヌーズモード時の DTC による WDT/IWDT のレジスタの書き込みについて	202
10.9.7	スヌーズモードにおける発振器について	202
10.9.8	REMC (RIN0) 信号および SAU (RXD0/RXD2/SCK00/SCK20) 信号のエッジ検出によるスヌーズモードへの遷移	202
10.9.9	スヌーズモード時の REMC/SAU (UART/SPI) の使用について	202
10.9.10	スヌーズモードにおける A/D 変換開始条件	202
10.9.11	スヌーズモードにおける ELC イベント	202
10.9.12	ADC12 に対するモジュールストップ機能	202
10.9.13	未使用回路に対するモジュールストップ機能	202
11.	レジスタライトプロテクション	204
11.1	概要	204
11.2	レジスタの説明	204
11.2.1	PRCR : プロテクトレジスタ	204
12.	割り込みコントローラユニット (ICU)	205
12.1	概要	205
12.2	レジスタの説明	206
12.2.1	IRQC <i>Ri</i> : IRQ コントロールレジスタ <i>i</i> (<i>i</i> = 0~7)	206
12.2.2	NMISR : ノンマスカブル割り込みステータスレジスタ	208

12.2.3	NMIER : ノンマスカブル割り込みイネーブルレジスタ	210
12.2.4	NMICLR : ノンマスカブル割り込みステータスクリアレジスタ	211
12.2.5	NMICR : NMI 端子割り込みコントロールレジスタ	212
12.2.6	IELSRn : ICU イベントリンク設定レジスタ n (n = 0~31).....	213
12.2.7	WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0	214
12.2.8	WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1	216
12.2.9	IELEN : ICU イベントイネーブルレジスタ	217
12.2.10	SELSR0 : SYS イベントリンク設定レジスタ	218
12.3	ベクタテーブル	218
12.3.1	割り込みベクタテーブル.....	218
12.3.2	イベント番号.....	219
12.3.3	ICU および DTC のイベント番号	221
12.4	割り込み動作	225
12.4.1	割り込み検出選択	225
12.4.2	割り込みの検出	226
12.5	割り込みの設定手順	226
12.5.1	割り込み要求の許可	226
12.5.2	割り込み要求の禁止	226
12.5.3	割り込みのポーリング	227
12.5.4	割り込み要求先の選択	227
12.5.5	デジタルフィルタ	227
12.5.6	外部端子割り込みの設定手順	228
12.6	ノンマスカブル割り込みの設定手順	228
12.7	低消費電力モードからの復帰	229
12.7.1	スリープモードからの復帰	229
12.7.2	ソフトウェアスタンバイモードからの復帰	229
12.7.3	スヌーズモードからの復帰	230
13.	バス	231
13.1	概要	231
13.2	バスの説明.....	232
13.2.1	メインバス	232
13.2.2	スレーブインタフェース.....	232
13.2.3	並列動作.....	232
13.2.4	エンディアンに関する制限事項.....	233
13.3	バスエラー監視	233
13.3.1	バスによって生じるエラーの種類	233
13.3.2	バスエラー発生時の動作.....	233
13.3.3	不正アドレスアクセスエラーを引き起こす条件.....	234
13.3.4	デバッグモジュール (DM) アクセス時にスレーブバスエラーを引き起こす条件	234
13.3.5	不正メモリアccessエラーを引き起こす条件	234

13.4	フラッシュ読み出し保護	235
13.4.1	フラッシュ読み出し保護機能	235
13.4.2	フラッシュ読み出し保護設定	236
13.4.3	コード領域でのデータ配置	236
13.5	レジスタの説明	237
13.5.1	BUSMCNTx : コントロールレジスタ x (x = INST, DAT, DMA)	237
13.5.2	BUSCNTOAD : バス制御エラー検出後動作レジスタ	237
13.5.3	BUSnERRADD : バスエラーアドレスレジスタ n (n = 1, 2, 3)	238
13.5.4	BUSnERRSTAT : バスエラーステータスレジスタ n (n = 1, 2, 3)	238
13.5.5	ILTMEMCTL : 不正メモリアクセス検出コントロールレジスタ	239
13.6	レジスタの説明 (オプション設定メモリ)	240
13.6.1	FLRPROTS : フラッシュ読み出し保護開始アドレスレジスタ	240
13.6.2	FLRPROTE : フラッシュ読み出し保護終了アドレスレジスタ	240
13.6.3	FLRPROTAC : フラッシュ読み出し保護アクセスコントロールレジスタ	241
13.7	使用上の注意事項	241
13.7.1	デバッグ使用時の注意事項	241
13.8	参考資料	241
14.	データトランスファコントローラ (DTC)	242
14.1	概要	242
14.2	レジスタの説明	243
14.2.1	MRA : DTC モードレジスタ A	244
14.2.2	MRB : DTC モードレジスタ B	244
14.2.3	SAR : DTC 転送元レジスタ	246
14.2.4	DAR : DTC 転送先レジスタ	246
14.2.5	CRA : DTC 転送カウントレジスタ A	246
14.2.6	CRB : DTC 転送カウントレジスタ B	247
14.2.7	DTCCR : DTC コントロールレジスタ	247
14.2.8	DTCVBR : DTC ベクタベースアドレス	248
14.2.9	DTCST : DTC モジュール起動レジスタ	248
14.2.10	DTCSTS : DTC ステータスレジスタ	249
14.3	起動要因	249
14.3.1	転送情報の配置と DTC ベクタテーブル	250
14.4	動作説明	251
14.4.1	転送情報のリードスキップ機能	253
14.4.2	転送情報のライトバックスキップ機能	253
14.4.3	ノーマル転送モード	254
14.4.4	リピート転送モード	255
14.4.5	ブロック転送モード	256
14.4.6	チェーン転送	257
14.4.7	動作タイミング	258

14.4.8	DTC の実行サイクル	260
14.4.9	DTC のバス権解放タイミング	261
14.5	DTC の設定手順	261
14.6	DTC の使用例	262
14.6.1	ノーマル転送	262
14.6.2	チェーン転送	262
14.6.3	転送カウンタ = 0 のときのチェーン転送	264
14.7	割り込み	265
14.7.1	割り込み要因	265
14.8	イベントリンク	266
14.9	低消費電力機能	266
14.10	使用上の注意	266
14.10.1	転送情報の開始アドレス	266
15.	イベントリンクコントローラ (ELC)	267
15.1	概要	267
15.2	レジスタの説明	268
15.2.1	ELCR : イベントリンクコントローラレジスタ	268
15.2.2	ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)	268
15.2.3	ELSRn : イベントリンク設定レジスタ n (n = 8, 14, 15, 19, 20, 23)	269
15.3	動作説明	271
15.3.1	割り込み処理とイベントリンクの関係	271
15.3.2	イベントのリンク	271
15.3.3	イベントリンクの動作設定手順例	271
15.4	使用上の注意事項	272
15.4.1	DTC 転送終了のイベントリンクを使用する場合	272
15.4.2	クロックの設定	272
15.4.3	モジュールストップ機能の設定	272
15.4.4	ELC 遅延時間	272
16.	I/O ポート	273
16.1	概要	273
16.2	レジスタの説明	274
16.2.1	PCNTR1/PODR/PDR : ポートコントロールレジスタ 1	274
16.2.2	PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2	275
16.2.3	PCNTR3/PORR/POSR : ポートコントロールレジスタ 3	276
16.2.4	PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4	277
16.2.5	PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0~4, n = 00~15)	278
16.2.6	PWPR : 書き込みプロテクトレジスタ	280
16.2.7	PRWCNTR : ポート読み出しウェイトコントロールレジスタ	280
16.2.8	CCDE : 出力電流制御許可レジスタ	281

16.2.9	CCTRM : 出力電流制御トリミングレジスタ	281
16.3	動作説明	282
16.3.1	汎用入出力ポート	282
16.3.2	ポート機能選択	283
16.3.3	出力電流制御機能	283
16.3.4	ELC のポートグループ割り込み機能	283
16.3.5	ポート読み出し時のウェイト機能	285
16.4	未使用端子の処理	285
16.5	使用上の注意事項	286
16.5.1	SAU 機能使用時の注意事項	286
16.5.2	TAU 機能使用時の注意事項	286
16.5.3	端子機能の設定手順	287
16.5.4	ポートグループ入力の使用手順	287
16.5.5	ポート出力データレジスタ (PODR) の概要	287
16.5.6	アナログ機能使用時の注意事項	287
16.5.7	端子数の少ないパッケージ製品における存在しない端子の取り扱いに関する注意事項	287
16.6	製品ごとの周辺選択設定	288
17.	キー割り込み機能 (KINT)	291
17.1	概要	291
17.2	レジスタの説明	291
17.2.1	KRCTL : キーリターン制御レジスタ	291
17.2.2	KRF : キーリターンフラグレジスタ	292
17.2.3	KRM : キーリターンモードレジスタ	292
17.3	動作説明	292
17.3.1	キー割り込みフラグを使用しない場合の動作 (KRCTL.KRMD = 0)	292
17.3.2	キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1)	293
17.4	使用上の注意事項	295
18.	タイマアレユニット (TAU)	298
18.1	概要	298
18.2	レジスタの説明	305
18.2.1	TCR0n : タイマカウンタレジスタ 0n (n = 0~7)	305
18.2.2	TDR0n/TDR01x/TDR03x : タイマデータレジスタ 0n (n = 0~7) (x = L, H)	306
18.2.3	TPS0 : タイマクロック選択レジスタ 0	307
18.2.4	TMR0n : タイマモードレジスタ 0n (n = 0, 2, 4, 5, 6, 7)	310
18.2.5	TMR0n : タイマモードレジスタ 0n (n = 1, 3)	313
18.2.6	TSR0n : タイマステータスレジスタ 0n (n = 0~7)	314
18.2.7	TE0 : タイマチャネル許可ステータスレジスタ 0	315
18.2.8	TS0 : タイマチャネル起動レジスタ 0	316
18.2.9	TT0 : タイマチャネル停止レジスタ 0	316

18.2.10	TIS0 : タイマ入力選択レジスタ 0	317
18.2.11	TOE0 : タイマ出力許可レジスタ 0	317
18.2.12	TO0 : タイマ出力レジスタ 0	318
18.2.13	TOL0 : タイマ出力レベルレジスタ 0	319
18.2.14	TOM0 : タイマ出力モードレジスタ 0	319
18.2.15	ISC : 入力切り替え制御レジスタ	320
18.2.16	TNFEN : TAU ノイズフィルタ許可レジスタ	321
18.3	タイマアレイユニットの基本ルール	321
18.3.1	同時チャンネル動作機能の基本ルール	321
18.3.2	8 ビットタイマ動作機能の基本ルール (チャンネル 1 と 3 のみ)	323
18.4	カウンタの動作	324
18.4.1	カウントクロック (f_{TCLK})	324
18.4.2	カウント開始タイミング	325
18.4.3	カウンタの動作	326
18.5	チャンネル出力 (TO0n Pin) 制御	330
18.5.1	TO0n 端子出力回路の構成	330
18.5.2	TO0n 端子出力設定	331
18.5.3	チャンネル出力動作に関する注意	332
18.5.4	TO0.TO[n] ビットの一括操作	334
18.5.5	カウント開始時のタイマ割り込みと TO0n 出力	335
18.6	タイマ入力 (TI0n) の制御	336
18.6.1	TI0n 入力回路の構成	336
18.6.2	ノイズフィルタ	337
18.6.3	チャンネル入力動作に関する注意	337
18.7	タイマアレイユニットの単独チャンネル動作機能	337
18.7.1	インターバルタイマまたは矩形波出力機能の動作	337
18.7.2	外部イベントカウンタとしての動作	341
18.7.3	分周器としての動作 (チャンネル 0 のみ)	343
18.7.4	入力パルスの間隔の測定を行う際の動作	346
18.7.5	入力信号の High/Low レベル幅測定の動作	349
18.7.6	ディレイカウンタとしての動作	352
18.8	タイマアレイユニットの同時チャンネル動作機能	355
18.8.1	ワンショットパルス出力機能の動作	355
18.8.2	PWM 機能の動作	361
18.8.3	マルチ PWM 出力機能の動作	366
18.9	使用上の注意事項	373
18.9.1	タイマ出力使用時の注意	373
19.	32 ビットインターバルタイマ (TML32)	374
19.1	概要	374
19.2	レジスタの説明	376

19.2.1	ITLCMP0n : インターバルタイマコンペアレジスタ 0n (n = 0, 1)	376
19.2.2	ITLCAP00 : インターバルタイマキャプチャレジスタ 00	377
19.2.3	ITLCTL0 : インターバルタイマコントロールレジスタ	377
19.2.4	ITLCSEL0 : インターバルタイマクロック選択レジスタ 0	379
19.2.5	ITLFDIV00 : インターバルタイマ分周レジスタ 0	380
19.2.6	ITLFDIV01 : インターバルタイマ分周レジスタ 1	381
19.2.7	ITLCC0 : インターバルタイマキャプチャコントロールレジスタ 0	382
19.2.8	ITLS0 : インターバルタイマステータスレジスタ	382
19.2.9	ITLMKF0 : インターバルタイマー致検出マスクレジスタ	384
19.3	動作	384
19.3.1	カウンタモード設定	384
19.3.2	キャプチャモード設定	386
19.3.3	タイマ動作	387
19.3.4	キャプチャ動作	387
19.3.5	割り込み	388
19.3.6	インターバルタイマ設定手順	390
19.3.7	スヌーズモード機能	393
20.	リアルタイムクロック (RTC)	395
20.1	概要	395
20.2	レジスタの説明	396
20.2.1	RTCC0 : リアルタイムクロックコントロールレジスタ 0	397
20.2.2	RTCC1 : リアルタイムクロックコントロールレジスタ 1	398
20.2.3	SEC : 「秒」 カウントレジスタ	399
20.2.4	MIN : 「分」 カウントレジスタ	400
20.2.5	HOURL : 「時」 カウントレジスタ	400
20.2.6	DAY : 「日」 カウントレジスタ	401
20.2.7	WEEK : 「曜日」 カウントレジスタ	402
20.2.8	MONTH : 「月」 カウントレジスタ	403
20.2.9	YEAR : 「年」 カウントレジスタ	403
20.2.10	SUBCUD : 時間誤差補正レジスタ	404
20.2.11	ALARMWM : アラーム用「分」 レジスタ	405
20.2.12	ALARMWH : アラーム用「時」 レジスタ	405
20.2.13	ALARMWW : アラーム用「曜日」 レジスタ	405
20.3	動作	406
20.3.1	リアルタイムクロックの動作開始	406
20.3.2	動作開始後のスリープモードまたはソフトウェアスタンバイモードへの遷移	408
20.3.3	リアルタイムクロックのカウンタに対する読み書き	408
20.3.4	リアルタイムクロックによるアラーム設定	410
20.3.5	リアルタイムクロックによる 1 Hz 出力	411
20.3.6	リアルタイムクロックによる時間誤差補正例	411

21. ウォッチドッグタイマ (WDT).....	414
21.1 概要	414
21.2 レジスタの説明	415
21.2.1 WDTRR : WDT リフレッシュレジスタ	415
21.2.2 WDTCR : WDT コントロールレジスタ	416
21.2.3 WDTSR : WDT ステータスレジスタ	418
21.2.4 WDTRCR : WDT リセットコントロールレジスタ	419
21.2.5 WDCSTPR : WDT カウント停止コントロールレジスタ	420
21.2.6 オプション機能選択レジスタ 0 (OFS0).....	420
21.3 動作説明	420
21.3.1 スタートモード別のカウンタ動作	420
21.3.2 WDTCR、WDTRCR、および WDCSTPR レジスタへの書き込み制御	424
21.3.3 リフレッシュ動作	424
21.3.4 ステータスフラグ	425
21.3.5 リセット出力.....	425
21.3.6 割り込み要因.....	425
21.3.7 ダウンカウンタ値の読み出し	426
21.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係	426
21.4 イベントリンクコントローラ (ELC) への出力	427
21.5 使用上の注意事項.....	427
21.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限	427
22. 独立ウォッチドッグタイマ (IWD).....	428
22.1 概要	428
22.2 レジスタの説明	429
22.2.1 IWDTRR : IWDT リフレッシュレジスタ	429
22.2.2 IWDTSR : IWDT ステータスレジスタ	430
22.2.3 OFS0 : オプション機能選択レジスタ 0	431
22.3 動作説明	433
22.3.1 オートスタートモード	433
22.3.2 リフレッシュ動作	434
22.3.3 ステータスフラグ	436
22.3.4 リセット出力.....	436
22.3.5 割り込み要因.....	436
22.3.6 ダウンカウンタ値の読み出し	436
22.4 使用上の注意事項.....	437
22.4.1 リフレッシュ動作	437
22.4.2 クロック分周比の設定に関する制限.....	437
22.4.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限	437
23. シリアルアレイユニット (SAU).....	438

23.1	概要	438
23.1.1	簡易 SPI	438
23.1.2	UART.....	439
23.1.3	簡易 I ² C.....	440
23.2	シリアルアレイユニットの構成	440
23.3	レジスタの説明	444
23.3.1	SPSm : シリアルクロック選択レジスタ m (m = 0, 1)	444
23.3.2	SMRmn : シリアルモードレジスタ mn (mn = 00, 02, 10)	445
23.3.3	SMRmn : シリアルモードレジスタ mn (mn = 01, 03, 11).....	446
23.3.4	SCRm0 : シリアル通信動作設定レジスタ m0 (m = 0, 1).....	447
23.3.5	SCRm1 : シリアル通信動作設定レジスタ m1 (m = 0, 1).....	449
23.3.6	SCR02 : シリアル通信動作設定レジスタ 02	451
23.3.7	SCR03 : シリアル通信動作設定レジスタ 03	452
23.3.8	SDRmn : シリアルデータレジスタ mn (mn = 00, 01, 02, 03, 10, 11)	454
23.3.9	SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 00, 02, 10).....	455
23.3.10	SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 01, 03, 11).....	455
23.3.11	SSRmn : シリアルステータスレジスタ mn (mn = 00, 02, 10).....	456
23.3.12	SSRmn : シリアルステータスレジスタ mn (mn = 01, 03, 11).....	457
23.3.13	SS0 : シリアルチャネル開始レジスタ 0	459
23.3.14	SS1 : シリアルチャネル開始レジスタ 1	459
23.3.15	ST0 : シリアルチャネル停止レジスタ 0	460
23.3.16	ST1 : シリアルチャネル停止レジスタ 1	460
23.3.17	SE0 : シリアルチャネル許可ステータスレジスタ 0	461
23.3.18	SE1 : シリアルチャネル許可ステータスレジスタ 1	461
23.3.19	SOE0 : シリアル出力許可レジスタ 0.....	462
23.3.20	SOE1 : シリアル出力許可レジスタ 1.....	462
23.3.21	SO0 : シリアル出力レジスタ 0	463
23.3.22	SO1 : シリアル出力レジスタ 1	463
23.3.23	SOL0 : シリアル出力レベルレジスタ 0	464
23.3.24	SOL1 : シリアル出力レベルレジスタ 1	465
23.3.25	SSCm : シリアルスタンバイ制御レジスタ m (m = 0, 1)	466
23.3.26	ISC : 入力切り替え制御レジスタ	467
23.3.27	SNFEN : SAU ノイズフィルタ許可レジスタ	468
23.3.28	ULBS : UART ループバック選択レジスタ	469
23.4	動作停止モード	469
23.5	簡易 SPI の動作	470
23.5.1	マスタ送信	471
23.5.2	マスタ受信	478
23.5.3	マスタ送受信.....	486
23.5.4	スレーブ送信.....	493

23.5.5	スレーブ受信	500
23.5.6	スレーブ送受信	505
23.5.7	スヌーズモード機能	512
23.5.8	転送クロック周波数の算出	516
23.5.9	簡易 SPI 通信時におけるエラー発生時の処理手順	518
23.6	UART 通信の動作	518
23.6.1	UART 送信	519
23.6.2	UART 受信	526
23.6.3	スヌーズモード機能	532
23.6.4	ボーレートの算出	538
23.6.5	UART 通信時におけるエラー発生時の処理手順	540
23.7	LIN 通信の動作	541
23.7.1	LIN 送信	541
23.7.2	LIN 受信	544
23.8	簡易 I ² C モードの動作	547
23.8.1	アドレスフィールド送信	547
23.8.2	データ送信	551
23.8.3	データ受信	555
23.8.4	ストップコンディションの生成	559
23.8.5	転送速度の算出	560
23.8.6	簡易 I ² C 通信時におけるエラー発生時の処理手順	560
24.	I²C バスインタフェース (IICA)	562
24.1	概要	562
24.2	レジスタの説明	566
24.2.1	IICAn : IICA シフトレジスタ n (n = 0, 1)	566
24.2.2	SVAn : スレーブアドレスレジスタ n (n = 0, 1)	566
24.2.3	IICCTLn0 : IICA コントロールレジスタ n0 (n = 0, 1)	567
24.2.4	IICSn : IICA ステータスレジスタ n (n = 0, 1)	571
24.2.5	IICFn : IICA フラグレジスタ n (n = 0, 1)	574
24.2.6	IICCTLn1 : IICA コントロールレジスタ n1 (n = 0, 1)	575
24.2.7	IICWLn : IICA Low レベル幅設定レジスタ n (n = 0, 1)	578
24.2.8	IICWHn : IICA High レベル幅設定レジスタ n (n = 0, 1)	578
24.2.9	I ² C 入出力端子と兼用するポートの機能を制御するレジスタ	579
24.3	I ² C バスモードの機能	579
24.3.1	端子構成	579
24.3.2	IICWLn レジスタと IICWHn レジスタによる転送クロック設定	579
24.4	I ² C バスの定義と制御方式	580
24.4.1	スタートコンディション	580
24.4.2	アドレス	581

24.4.3	転送方向指示	581
24.4.4	アクノリッジ (ACK)	581
24.4.5	ストップコンディション	582
24.4.6	クロックストレッチ	583
24.4.7	クロックストレッチの解除	584
24.4.8	割り込み要求信号 (IICn_ENDI/IICn_WUI) の発生タイミングおよびクロックストレッチの制御	585
24.4.9	アドレス一致検出方法	586
24.4.10	エラー検出	586
24.4.11	拡張コード	586
24.4.12	アービトレーション	587
24.4.13	ウェイクアップ機能	588
24.4.14	通信予約	589
24.4.15	使用上の注意事項	591
24.4.16	通信動作	592
24.4.17	I ² C 割り込み要求信号 (IICn_ENDI/IICn_WUI) 発生のタイミング	599
24.5	タイミングチャート	614
25.	シリアルインタフェース UARTA (UARTA)	629
25.1	概要	629
25.2	レジスタの説明	631
25.2.1	TXBAn : 送信バッファレジスタ n (n = 0, 1)	631
25.2.2	RXBAn : 受信バッファレジスタ n (n = 0, 1)	631
25.2.3	ASIMAn0 : 動作モード設定レジスタ n0 (n = 0, 1)	632
25.2.4	ASIMAn1 : 動作モード設定レジスタ n1 (n = 0, 1)	633
25.2.5	BRGCAn : ポーレートジェネレータコントロールレジスタ n (n = 0, 1)	634
25.2.6	ASISAn : ステータスレジスタ n (n = 0, 1)	634
25.2.7	ASCTAn : ステータスクリアトリガレジスタ n (n = 0, 1)	636
25.2.8	UTA0CK : UARTA クロック選択レジスタ 0	637
25.2.9	UTA1CK : UARTA クロック選択レジスタ 1	637
25.2.10	ULBS : UART ループバック選択レジスタ	638
25.3	動作	639
25.3.1	動作停止モード	639
25.3.2	UART モード	639
25.3.3	受信データノイズフィルタ	648
25.3.4	ポーレートジェネレータ	648
25.4	使用上の注意事項	653
25.4.1	RxDAn 端子のポート設定	653
25.4.2	UARTAn 動作クロック (f _{UTAn}) を選択するときの注意点	653
26.	リモコン信号受信機能 (REMC)	654
26.1	概要	654

26.2	レジスタの説明	655
26.2.1	REMCN0 : 機能選択レジスタ 0	655
26.2.2	REMCN1 : 機能選択レジスタ 1	656
26.2.3	REMSTS : ステータスレジスタ	657
26.2.4	REMINT : 割り込み制御レジスタ	660
26.2.5	REMCPC : コンペア制御レジスタ	661
26.2.6	REMCPCD : 比較値設定レジスタ	661
26.2.7	HDPMIN : ヘッダパターン最小幅設定レジスタ	662
26.2.8	HDPMAX : ヘッダパターン最大幅設定レジスタ	662
26.2.9	D0PMIN : データ 0 パターン最小幅設定レジスタ	662
26.2.10	D0PMAX : データ 0 パターン最大幅設定レジスタ	663
26.2.11	D1PMIN : データ 1 パターン最小幅設定レジスタ	663
26.2.12	D1PMAX : データ 1 パターン最大幅設定レジスタ	663
26.2.13	SDPMIN : 特殊データパターン最小幅設定レジスタ	664
26.2.14	SDPMAX : 特殊データパターン最大幅設定レジスタ	664
26.2.15	REMPE : パターンエンド設定レジスタ	664
26.2.16	REMSTC : レシーバスタンバイコントロールレジスタ	665
26.2.17	REMRBIT : 受信ビットカウントレジスタ	666
26.2.18	REMDAT0 : 受信データ 0 レジスタ	666
26.2.19	REMDATj : 受信データ j レジスタ (j = 1~7)	667
26.2.20	REMTIM : 測定結果レジスタ	667
26.3	動作説明	668
26.3.1	REMC 動作の概要	668
26.3.2	初期設定	668
26.3.3	パターン設定	669
26.3.4	動作クロック	671
26.3.5	RIN0 入力	672
26.3.6	パターン検出	673
26.3.7	パターンエンド	677
26.3.8	受信データバッファ	678
26.3.9	コンペア機能	682
26.3.10	エラーパターン受信	683
26.3.11	パターン検出時のベースタイマの格納	684
26.3.12	割り込み	685
26.3.13	スヌーズモード機能	686
26.4	使用上の注意事項	688
26.4.1	リモコン信号受信機能の動作開始時のレジスタアクセス	688
26.4.2	レジスタ値の変更タイミング	688
26.4.3	RIN0 入力制御	689
26.4.4	動作クロックの変更	689

26.4.5	レジスタ読み出し	689
27.	巡回冗長検査 (CRC).....	690
27.1	概要	690
27.2	レジスタの説明	691
27.2.1	CRCCR0 : CRC コントロールレジスタ 0.....	691
27.2.2	CRCCR1 : CRC コントロールレジスタ 1.....	692
27.2.3	CRCDIR/CRCDIR_BY : CRC データ入力レジスタ	692
27.2.4	CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ	693
27.2.5	CRCSAR : スヌープアドレスレジスタ	693
27.3	動作説明	694
27.3.1	基本動作	694
27.3.2	CRC スヌープ機能	697
27.4	使用上の注意事項	698
27.4.1	モジュールストップ状態の設定	698
27.4.2	送信時の注意事項	698
28.	真性乱数生成器 (TRNG).....	700
28.1	概要	700
28.2	レジスタの説明	700
28.2.1	TRNGSCR0 : 乱数シードコマンドレジスタ 0.....	700
28.2.2	TRNGSCR1 : 乱数シードコマンドレジスタ 1	700
28.2.3	TRNGSDR : 乱数シードデータレジスタ	701
28.3	真性乱数生成器の動作	701
29.	12 ビット A/D コンバータ (ADC12).....	702
29.1	12 ビット A/D コンバータの機能	702
29.2	12 ビット A/D コンバータの構成	704
29.3	12 ビット A/D コンバータを制御するレジスタ	705
29.3.1	ADM0 : A/D コンバータモードレジスタ 0	705
29.3.2	ADM1 : A/D コンバータモードレジスタ 1	716
29.3.3	ADM2 : A/D コンバータモードレジスタ 2	717
29.3.4	ADCR/ADCRn : 12 ビットまたは 10 ビット A/D 変換結果レジスタ n (n = 0~3)	719
29.3.5	ADCRH/ADCRnH : 8 ビット A/D 変換結果レジスタ n(n = 0~3)	720
29.3.6	ADS : アナログ入力チャネル指定レジスタ	721
29.3.7	ADUL : 変換結果比較上限設定レジスタ	722
29.3.8	ADLL : 変換結果比較下限設定レジスタ	722
29.3.9	ADTES : A/D テストレジスタ	723
29.4	12 ビット A/D コンバータの動作モード	723
29.5	入力電圧と変換結果	725
29.6	12 ビット A/D コンバータの動作モード	726
29.6.1	ソフトウェアトリガ待機なしモード（セレクトモード、連続変換モード）	726

29.6.2	ソフトウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）	726
29.6.3	ソフトウェアトリガ待機なしモード（スキャンモード、連続変換モード）	727
29.6.4	ソフトウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）	728
29.6.5	ソフトウェアトリガ待機モード（セレクトモード、連続変換モード）	729
29.6.6	ソフトウェアトリガ待機モード（セレクトモード、ワンショット変換モード）	730
29.6.7	ソフトウェアトリガ待機モード（スキャンモード、連続変換モード）	731
29.6.8	ソフトウェアトリガ待機モード（スキャンモード、ワンショット変換モード）	732
29.6.9	ハードウェアトリガ待機なしモード（セレクトモード、連続変換モード）	733
29.6.10	ハードウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）	734
29.6.11	ハードウェアトリガ待機なしモード（スキャンモード、連続変換モード）	735
29.6.12	ハードウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）	736
29.6.13	ハードウェアトリガ待機モード（セレクトモード、連続変換モード）	737
29.6.14	ハードウェアトリガ待機モード（セレクトモード、ワンショット変換モード）	738
29.6.15	ハードウェアトリガ待機モード（スキャンモード、連続変換モード）	739
29.6.16	ハードウェアトリガ待機モード（スキャンモード、ワンショット変換モード）	740
29.7	12 ビット A/D コンバータ設定手順	741
29.7.1	ソフトウェアトリガ待機なしモードの設定	741
29.7.2	ソフトウェアトリガ待機モードの設定	742
29.7.3	ハードウェアトリガ待機なしモードの設定	743
29.7.4	ハードウェアトリガ待機モードの設定	744
29.7.5	温度センサ出力電圧または内部基準電圧と、ソフトウェアトリガ待機なしモードおよび ワンショット変換モード選択時の ADC 使用例	745
29.7.6	テストモードの設定	746
29.8	スヌーズモード機能	747
29.8.1	ハードウェアトリガの入力による A/D 変換	747
29.9	12 ビット A/D コンバータ特性表の読み方	750
29.10	12 ビット A/D コンバータを使用する場合の注意事項	753
30.	8 ビット D/A コンバータ (DAC8)	757
30.1	概要	757
30.2	レジスタの説明	758
30.2.1	DADRn : D/A データレジスタ n (n = 0, 1)	758
30.2.2	DACR : D/A コントロールレジスタ	758
30.2.3	DADPR : DADRn フォーマット選択レジスタ	758
30.2.4	DAEXOUT : D/A 外部出力許可レジスタ	759
30.3	動作	759
30.4	イベントリンクの動作設定手順	760
30.4.1	DA0 イベントリンクの動作設定手順	760
30.4.2	DA1 イベントリンクの動作設定手順	760
30.4.3	イベントリンク動作における注意事項	760
30.5	使用上の注意	761

30.5.1	モジュールストップ機能の設定	761
30.5.2	モジュールストップ状態の D/A コンバータの動作	761
30.5.3	ソフトウェアスタンバイモードの D/A コンバータの動作	761
30.5.4	D/A コンバータの設定	761
30.5.5	D/A コンバータ出力	761
31.	コンパレータ (CMP).....	762
31.1	コンパレータの機能	762
31.2	コンパレータの構成	762
31.3	コンパレータを制御するためのレジスタ	763
31.3.1	COMPMDR : コンパレータモード設定レジスタ	764
31.3.2	COMPFIR : コンパレータフィルタコントロールレジスタ	765
31.3.3	COMPOCR : コンパレータ出力コントロールレジスタ	766
31.3.4	アナログ入力端子のレジスタ制御ポート機能	766
31.4	動作説明	766
31.4.1	コンパレータ i デジタルフィルタ (i = 0, 1)	768
31.4.2	コンパレータ i (i = 0, 1) 割り込み	768
31.4.3	イベントリンクコントローラ (ELC) のイベント信号出力	769
31.4.4	コンパレータ i の出力 (i = 0, 1)	769
31.5	使用上の注意事項	770
31.5.1	DTC の起動について	770
31.5.2	モジュールストップ機能の設定	770
31.5.3	モジュールストップ状態における CMP の動作	770
31.5.4	ソフトウェアスタンバイモード状態での CMP の動作	770
31.5.5	基準電圧生成のための D/A コンバータの設定	770
32.	温度センサ回路 (TSN).....	771
32.1	概要	771
32.2	レジスタの説明	771
32.2.1	TSCDR : 温度センサ校正データレジスタ	771
32.3	温度センサ回路の使用法	772
32.3.1	使用前の準備	772
32.3.2	温度センサ回路の使用手順	772
33.	データ演算回路 (DOC).....	773
33.1	概要	773
33.2	レジスタの説明	774
33.2.1	DOCR : DOC コントロールレジスタ	774
33.2.2	DOSR: DOC フラグステータスレジスタ	774
33.2.3	DOSCR : DOC フラグステータスクリアレジスタ	775
33.2.4	DODIR : DOC データインプットレジスタ	775
33.2.5	DODSR0 : DOC データ設定レジスタ 0	776

33.2.6	DODSR1: DOC データ設定レジスタ 1	776
33.3	動作説明	776
33.3.1	データ比較モード	776
33.3.2	データ加算モード	778
33.3.3	データ減算モード	779
33.4	割り込み要因	780
33.5	イベントリンク出力	780
33.6	使用上の注意事項	780
33.6.1	モジュールストップ機能の設定	780
34.	SRAM	781
34.1	概要	781
34.2	レジスタの説明	781
34.2.1	PARIOAD : SRAM パリティエラー検出後動作レジスタ	781
34.2.2	SRAMPRCR : SRAM プロテクトレジスタ	782
34.2.3	ECCMODE : ECC 動作モードコントロールレジスタ	782
34.2.4	ECC2STS : ECC 2 ビットエラーステータスレジスタ	783
34.2.5	ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ	783
34.2.6	ECC1STS : ECC 1 ビットエラーステータスレジスタ	784
34.2.7	ECCPRCR : ECC プロテクトレジスタ	784
34.2.8	ECCPRCR2 : ECC プロテクトレジスタ 2	785
34.2.9	ECCETST : ECC テストコントロールレジスタ	785
34.2.10	ECCOAD : SRAM ECC エラー検出後動作レジスタ	786
34.3	動作説明	786
34.3.1	ECC 機能	786
34.3.2	ECC エラー発生	786
34.3.3	ECC デコーダのテスト方法	787
34.3.4	パリティ計算機能	788
34.3.5	SRAM エラー要因	790
34.3.6	アクセスサイクル	791
34.3.7	低消費電力機能	791
34.4	使用上の注意事項	791
34.4.1	SRAM 領域からの命令フェッチ	791
34.4.2	SRAM ストアバッファ	791
35.	フラッシュメモリ	792
35.1	概要	792
35.2	メモリ構造	793
35.3	レジスタの説明	795
35.3.1	DFLCTL : データフラッシュコントロールレジスタ	795
35.3.2	PFBER : プリフェッチバッファイネーブルレジスタ	795

35.3.3	FENTRYR: フラッシュ P/E モードエントリレジスタ	795
35.3.4	FPR: プロテクションアンロックレジスタ	796
35.3.5	FPSR: プロテクションアンロックステータスレジスタ	797
35.3.6	FPMCR: フラッシュ P/E モードコントロールレジスタ	797
35.3.7	FISR: フラッシュ初期設定レジスタ	798
35.3.8	FRESETR: フラッシュリセットレジスタ	799
35.3.9	FASR: フラッシュ領域選択レジスタ	800
35.3.10	FCR: フラッシュコントロールレジスタ	800
35.3.11	FEXCR: フラッシュエクストラ領域コントロールレジスタ	801
35.3.12	FSARH: フラッシュ処理開始アドレスレジスタ H	804
35.3.13	FSARL: フラッシュ処理開始アドレスレジスタ L	804
35.3.14	FEARH: フラッシュ処理終了アドレスレジスタ H	805
35.3.15	FEARL: フラッシュ処理終了アドレスレジスタ L	805
35.3.16	FWBL0: フラッシュライトバッファレジスタ L0	805
35.3.17	FWBH0: フラッシュライトバッファレジスタ H0	806
35.3.18	FWBL1: フラッシュライトバッファレジスタ L1	806
35.3.19	FWBH1: フラッシュライトバッファレジスタ H1	806
35.3.20	FSTATR00: フラッシュステータスレジスタ 0	807
35.3.21	FSTATR1: フラッシュステータスレジスタ 1	808
35.3.22	FEAMH: フラッシュエラーアドレスモニタレジスタ H	809
35.3.23	FEAML: フラッシュエラーアドレスモニタレジスタ L	809
35.3.24	FSECMR: フラッシュプロテクションフラグモニタレジスタ	809
35.3.25	FAWSMR: フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	810
35.3.26	FAWEMR: フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	810
35.4	フラッシュメモリからの命令プリフェッチ	811
35.5	フラッシュメモリ関連の動作モード	811
35.5.1	ID コードプロテクト	811
35.6	機能概要	812
35.6.1	コンフィグレーション設定領域ビットマップ	814
35.6.2	スタートアップ領域選択	814
35.6.3	アクセスウィンドウによるプロテクション	815
35.7	プログラムコマンド	816
35.8	サスペンド動作	816
35.9	プロテクション機能	816
35.9.1	スタートアッププログラムプロテクション	816
35.9.2	領域プロテクション	817
35.9.3	ユーザー ID 読み出しプロテクション	818
35.10	シリアルプログラミングモード	819
35.10.1	UART (SAU) ブートモード	819
35.11	シリアルプログラマを使用する場合	819

35.11.1	シリアルプログラミング	820
35.12	セルフプログラミング	820
35.12.1	概要	820
35.12.2	バックグラウンドオペレーション	820
35.13	プログラムとイレース	821
35.13.1	シーケンサモード	821
35.13.2	ソフトウェアコマンド	822
35.13.3	ソフトウェアコマンドの使用法	822
35.14	フラッシュメモリの読み出し	837
35.14.1	コードフラッシュメモリの読み出し	837
35.14.2	データフラッシュメモリの読み出し	837
35.15	使用上の注意事項	837
35.15.1	イレースを中断した領域	837
35.15.2	追加の書き込みに関する制限	838
35.15.3	プログラム／イレース中のリセット	838
35.15.4	プログラム／イレース中における割り込みベクタの配置	838
35.15.5	Subosc-Speed 動作モードでのプログラム／イレース	838
35.15.6	プログラム／イレース中の異常終了	838
35.15.7	プログラム／イレース中に禁止されているアクション	838
35.15.8	プログラム／イレース中の Flash-IF クロック (ICLK)	838
36.	内部電圧レギュレータ	839
36.1	概要	839
36.2	動作説明	839
37.	電気的特性	840
37.1	絶対最大定格	840
37.2	DC 特性	841
37.2.1	Tj/Ta の定義	841
37.2.2	I/O V _{IH} , V _{IL}	841
37.2.3	I/O I _{OH} , I _{OL}	841
37.2.4	I/O V _{OH} , V _{OL} , その他の特性	842
37.2.5	動作電流とスタンバイ電流	844
37.2.6	VCC 立ち上がり／立ち下がり勾配とリップル周波数	847
37.3	AC 特性	848
37.3.1	周波数	848
37.3.2	クロックタイミング	849
37.3.3	リセットタイミング	850
37.3.4	ウェイクアップ時間	852
37.3.5	NMI/IRQ ノイズフィルタ	854
37.3.6	I/O ポート、KINT、ADC12 のトリガタイミング	855

37.3.7	TAU タイミング	856
37.3.8	CAC タイミング	857
37.3.9	CLKOUT タイミング	857
37.3.10	シリアルアレイユニット (SAU)	858
37.3.11	シリアルインタフェース UARTA (UARTA)	865
37.3.12	I ² C バスインタフェース (IICA)	866
37.4	ADC12 特性	867
37.5	CMP 特性	873
37.6	DAC8 特性	873
37.7	TSN 特性	874
37.8	POR と LVD の特性	874
37.9	フラッシュメモリ特性	878
37.9.1	コードフラッシュメモリ特性	878
37.9.2	データフラッシュメモリ特性	880
37.10	Compact JTAG (cJTAG)	881
付録 1.	各プロセスモードのポート状態	883
付録 2.	外形寸法図	884
付録 3.	I/O レジスタ	888
3.1	周辺機能のベースアドレス	888
3.2	アクセスサイクル	889
改訂履歴		891

R9A02G021

ユーザーズマニュアル

超低消費電力 48 MHz Renesas RISC-V コア、128 KB のコードフラッシュメモリ、16 KB の SRAM、12 ビット A/D コンバータ、セーフティ機能

特長

■ RISC-V コア

- Renesas RISC-V 命令セットアーキテクチャ (RV32I [MACB])
- 最高動作周波数: 48 MHz
- デバッグ&トレース: RISC-V 外部デバッグ対応
- デバッグポート: cJTAG

■ メモリ

- 128 KB のコードフラッシュメモリ
- 4 KB のデータフラッシュ
- 16 KB の SRAM
- 128 ビットのユニーク ID

■ 接続性

- シリアルアレイユニット (SAU) × 2
 - 簡易 SPI × 6
 - UART × 3
 - 簡易 I²C × 6
- I²C バスインタフェース (IICA) × 2
- シリアルインタフェース UARTA (UARTA) × 2
- リモコン信号受信機能 (REMC)

■ アナログ

- 12 ビット A/D コンバータ (ADC12)
- コンパレータ (CMP) × 2
- 8 ビット D/A コンバータ (DAC8) × 2
- 温度センサ回路 (TSN)

■ タイマ

- ウォッチドッグタイマ (WDT)
- リアルタイムクロック (RTC)
- タイマアレイユニット (TAU) × 8
- 32 ビットインターバルタイマ (TML32)

■ セーフティ

- SRAM のパリティおよび ECC エラー検査
- フラッシュ領域の保護
- ADC テスト機能
- クロック周波数精度測定回路 (CAC)
- 巡回冗長検査 (CRC) 演算器
- データ演算回路 (DOC)
- 独立ウォッチドッグタイマ (IWDT)
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- 不正メモリアクセス検出
- 真性乱数生成器 (TRNG)

■ システムおよび電源管理

- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- キー割り込み機能 (KINT)
- パワーオンリセット
- 低電圧検出 (LVD) (電圧設定)

■ マルチクロックソース

- 外部クロック入力 (EXTAL) (1~20 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (24/32/48 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- IWDT 専用オンチップオシレータ (15 kHz)
- クロックアウトのサポート

■ 最大 42 本の汎用入出力ポート内蔵

- オープンドレイン、入力プルアップ

■ 動作電圧

- VCC: 1.6~5.5 V

■ 動作温度およびパッケージ

- Ta = -40°C~+125°C
 - 48 ピン HWQFN (7 mm × 7 mm、0.5 mm ピッチ)
 - 32 ピン HWQFN (5 mm × 5 mm、0.5 mm ピッチ)
 - 24 ピン HWQFN (4 mm × 4 mm、0.5 mm ピッチ)
 - 16 ピン WLCSP (1.99 mm × 1.99 mm、0.4 mm ピッチ)

1. 概要

本 MCU は高効率なルネサス RISC-V 32 ビットコアを内蔵しており、特にコスト重視かつ低消費電力のアプリケーションへの適合性が高いです。本 MCU には以下の特長があります。

- 128 KB のコードフラッシュメモリ
- 4 KB データフラッシュ
- 16 KB SRAM
- 12 ビット A/D コンバータ (ADC12)
- アナログ周辺機能

1.1 機能の概要

表 1.1 RISC-V コア

機能	機能の説明
RISC-V コア	● 最高動作周波数 : 48 MHz ● 命令セットアーキテクチャ (ISA) – RISC-V RV32I の基本整数命令セット – RISC-V 圧縮命令用標準拡張機能「C」 – RISC-V 整数乗除算用標準拡張機能「M」 – RISC-V アトミック命令用標準拡張機能「A」 – RISC-V Zifencei コントロールおよびステータスレジスタ (CSR) 命令 – RISC-V Zifencei 命令フェッチフェンス – RISC-V ビット操作 (Zba, Zbb, Zbs) 用標準拡張機能「B」 – 性能監視および周期と命令のカウント用コントロール/ステータスレジスタ (CSR) ● 動的な分岐予測 ● 特権モード : マシンモード ● マシнтаイマ ● RISC-V 外部デバッグサポート – デバッグモジュール (DM) ・ ハードウェアブレークポイント/ウォッチポイントレジスタ × 4 – デバッグトランスポートモジュール (DTM) – デバッグポート : cJTAG

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	128 KB のコードフラッシュメモリ 「 35. フラッシュメモリ 」を参照してください。
データフラッシュメモリ	4 KB のデータフラッシュメモリ
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「 6. オプション設定メモリ 」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた 16 KB の高速 SRAM を内蔵しています。 「 34. SRAM 」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
起動モード	2 種類の起動モード : ● シングルチップモード ● UART (SAU) ブートモード 「 3. 起動モード 」を参照してください。
リセット	本 MCU は、12 種類のリセット (RES 端子リセット、パワーオンリセット、独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、電圧監視 0/1/2 リセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスエラーリセット、デバッグリセット、ソフトウェアリセット) をサポートしています。 「 5. リセット 」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
低電圧検出回路 (LVD)	低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧監視回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。 「7. 低電圧検出回路 (LVD)」を参照してください。
クロック	- 外部クロック入力 (EXTAL) - サブクロック発振器 (SOSC) - 高速オンチップオシレータ (HOCO) - 中速オンチップオシレータ (MOCO) - 低速オンチップオシレータ (LOCO) - IWDT 専用オンチップオシレータ - クロックアウトのサポート 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定の基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内でない時、割り込み要求を発生します。 「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、コアローカル割り込みコントローラ (CLIC) およびデータトランスファコントローラ (DTC) の両モジュールにどのイベント信号がリンクされるかを制御します。ICU はノンマスカブル割り込みも制御します。 「12. 割り込みコントローラユニット (ICU)」を参照してください。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。 「17. キー割り込み機能 (KINT)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「10. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。 「11. レジスタライトプロテクション」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。 「21. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイルセーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。 「22. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.4 イベントリンク

機能	機能説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、さまざまな周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介せずにモジュール間の直接リンクを実現します。 「15. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「14. データトランスファコントローラ (DTC)」を参照してください。

表 1.6 タイマ

機能	機能の説明
リアルタイムクロック (RTC)	リアルタイムクロックには、以下の特長があります。 - 年月日、曜日、および時分秒を最大 99 年までカウント可能 - 周期固定割り込み（周期は次から選択可能：1/2 秒、1 秒、1 分、1 時間、1 日、1 か月） - アラーム割り込み（曜日、時間、および分でアラーム設定） 1 Hz の端子出力機能 「20. リアルタイムクロック (RTC)」を参照してください。
タイマアレイユニット (TAU)	タイマアレイユニットは 16 ビットタイマを 8 つ搭載しています。各 16 ビットタイマはチャンネルと呼ばれ、個別に使用することができます。複数のチャンネルで高精度タイマを構成することもできます。「18. タイマアレイユニット (TAU)」を参照してください。
32 ビットインターバルタイマ (TML32)	32 ビットインターバルタイマは、8 ビットインターバルタイマ 4 つ（チャンネル 0～3）で構成されています。各 8 ビットインターバルタイマは独立して動作することができますが、異なる機能で動作することはできません。8 ビットインターバルタイマのチャンネル 2 つを接続して 16 ビットインターバルタイマ 1 つを構成することができます。8 ビットインターバルタイマのチャンネル 4 つを接続して 32 ビットインターバルタイマ 1 つを構成することができます。「19. 32 ビットインターバルタイマ (TML32)」を参照してください。

表 1.7 通信インタフェース

機能	機能の説明
シリアルアレイユニット (SAU)	1 つのシリアルアレイユニットには最大 4 つのシリアルチャンネルがあります。各チャンネルは 3 線シリアル（簡易 SPI）、UART、および簡易 I ² C の通信機能を実現できます。「23. シリアルアレイユニット (SAU)」を参照してください。
I ² C バスインタフェース (IICA)	I ² C バスインタフェースには次の 3 種類のモードがあります。 - 動作停止モード - I²C バスモード（マルチマスタ対応） - ウェイクアップモード 「24. I ² C バスインタフェース (IICA)」を参照してください。
シリアルインタフェース UARTA (UARTA)	シリアルインタフェース UARTA は次の 2 つのモードをサポートしています。 - 動作停止モード - UART モード 「25. シリアルインタフェース UARTA (UARTA)」を参照してください。
リモコン信号受信機能 (REMC)	リモコン信号受信機能は、外部パルス入力信号の幅と周期を確認することでデータを受信できます。「26. リモコン信号受信機能 (REMC)」を参照してください。

表 1.8 アナログ機能

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータを内蔵しています。最大 10 チャンネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。「29. 12 ビット A/D コンバータ (ADC12)」を参照してください。
コンパレータ (CMP)	コンパレータ (CMP) はテスト電圧と基準電圧を比較し、比較結果に基づいてデジタル出力を生成します。テスト電圧は外部からコンパレータに供給することができます。基準電圧は、内部の DAC8 出力または外部ソースからコンパレータに供給することができます。このような柔軟性は、A/D 変換を行うことなくアナログ信号間の合否判定を実施する必要があるアプリケーションで有用です。「31. コンパレータ (CMP)」を参照してください。
8 ビット D/A コンバータ (DAC8)	8 ビット D/A コンバータ (DAC8) の 2 つのチャンネルをコンパレータの基準電圧に使用したり、外部出力に使用したりすることができます。「30. 8 ビット D/A コンバータ (DAC8)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。「32. 温度センサ回路 (TSN)」を参照してください。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスを監視できます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。 「27. 巡回冗長検査 (CRC)」 を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用されます。以下の条件に該当する場合、割り込みが発生可能です。 • 16 ビットまたは 32 ビットの比較値が検出条件と一致するとき • 16 ビットまたは 32 ビットのデータの加算結果がオーバーフローするとき • 16 ビットまたは 32 ビットのデータの減算結果がアンダーフローするとき 「33. データ演算回路 (DOC)」 を参照してください。
真性乱数生成器 (TRNG)	真性乱数生成器は 32 ビットの乱数シード（真性乱数）を生成します。 「28. 真性乱数生成器 (TRNG)」 を参照してください。

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

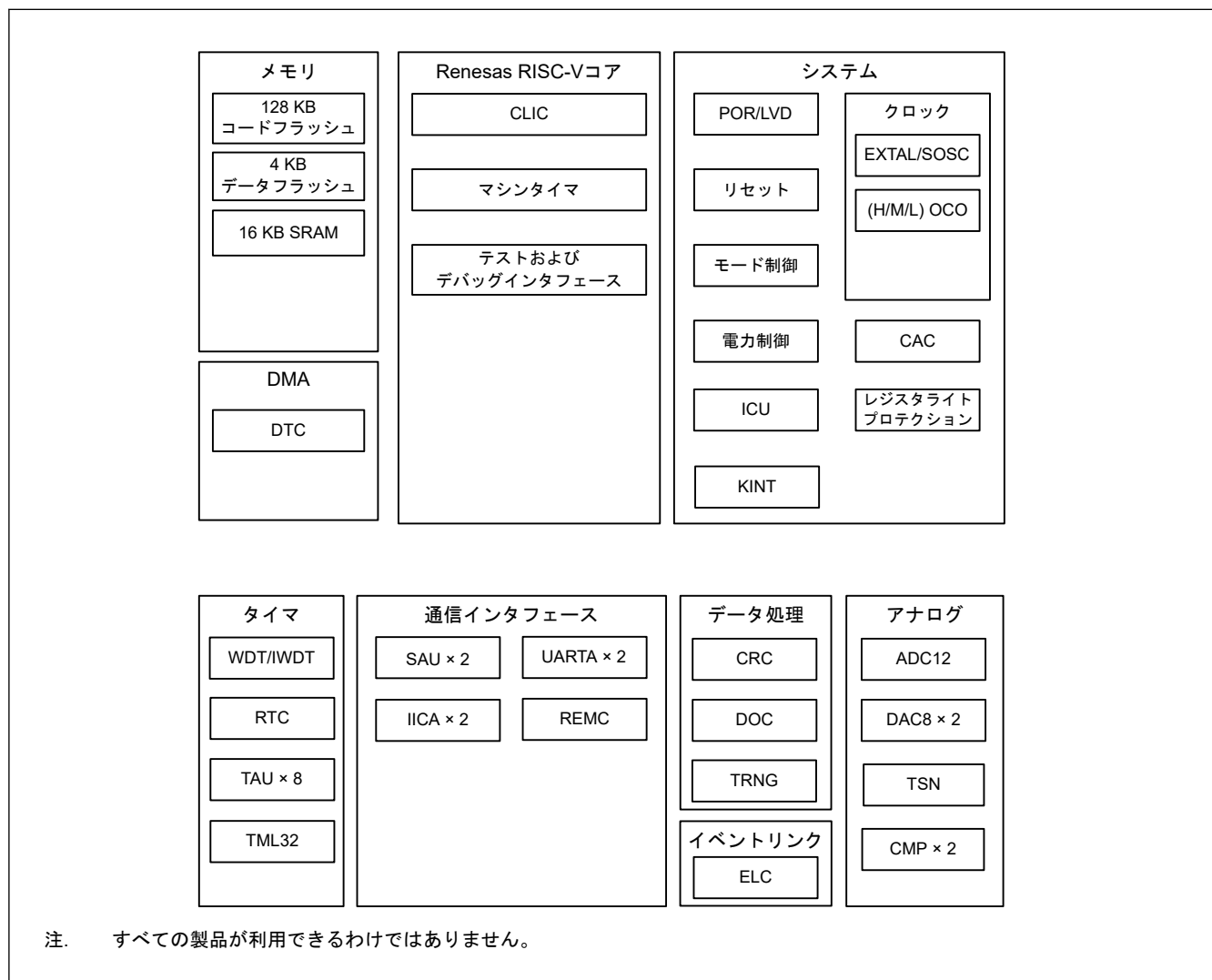


図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.10 に、製品一覧表を示します。

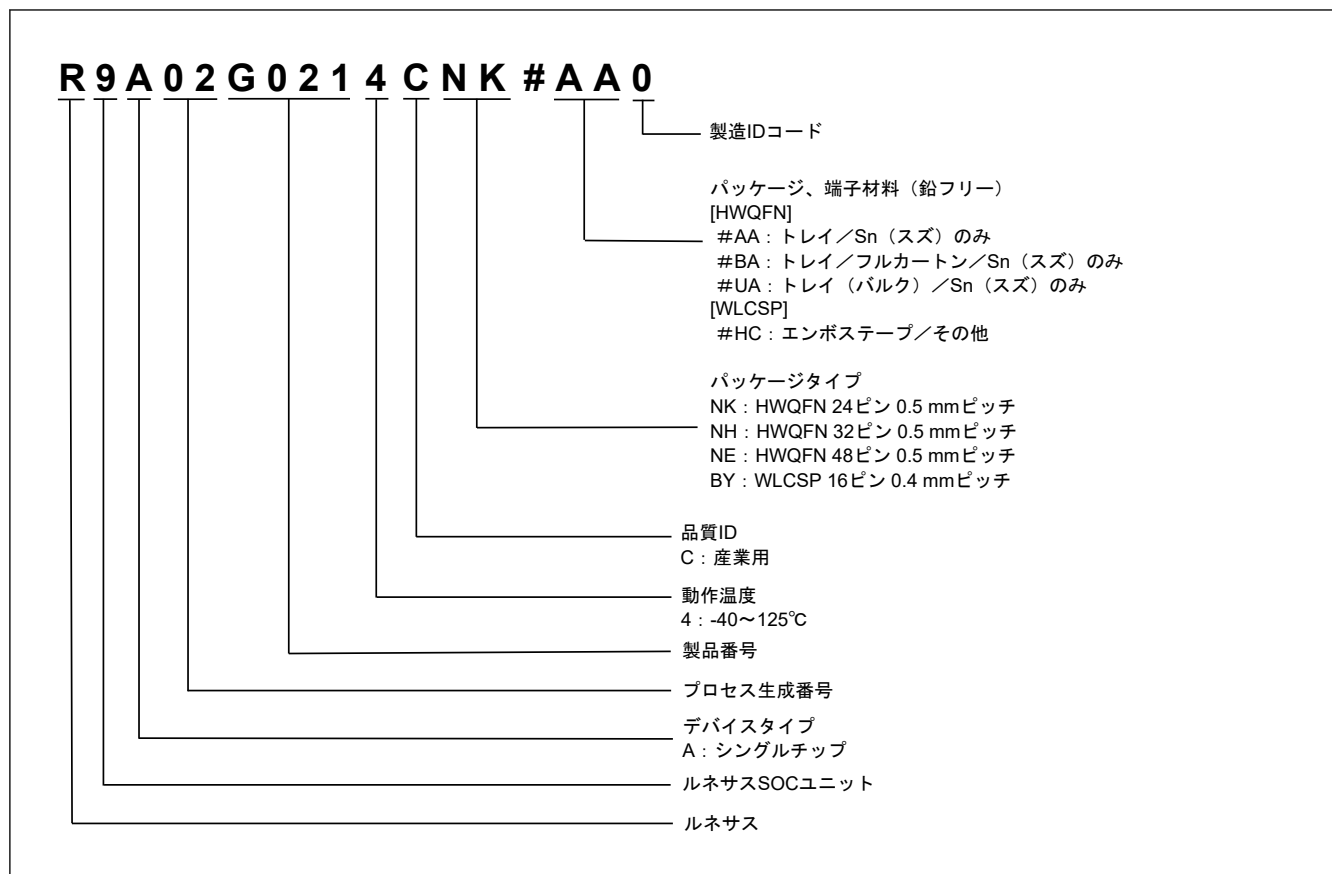


図 1.2 型名の読み方

表 1.10 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R9A02G0214CNE	PWQN0048KC-A	128 KB	4 KB	16 KB	-40～+125℃
R9A02G0214CNH	PWQN0032KE-A				
R9A02G0214CNK	PWQN0024KG-A				
R9A02G0214CBY	SUBG0016LC-A				

1.4 機能の比較

表 1.11 機能の比較

型名		R9A02G0214CNE	R9A02G0214CNH	R9A02G0214CNK	R9A02G0214CBY
端子総数		48	32	24	16
パッケージ		HWQFN	HWQFN	HWQFN	WLCSP
コードフラッシュメモリ		128 KB	128 KB	128 KB	128 KB
データフラッシュメモリ		4 KB	4 KB	4 KB	4 KB
SRAM (パリティ)		12 KB	12 KB	12 KB	12 KB
SRAM (ECC)		4 KB	4 KB	4 KB	4 KB
システム	CPU クロック	48 MHz	48 MHz	48 MHz	48 MHz
	サブクロック発振器	あり	あり	あり	なし
	ICU	あり	あり	あり	あり
	CAC	あり	あり	あり	あり
	KINT	6	2	なし	なし
ELC 制御	ELC	あり	あり	あり	あり
DMA	DTC	あり	あり	あり	あり
タイマ	WDT/IWDT	あり	あり	あり	あり
	RTC	あり	あり	あり	あり
	TAU	8	8	8	6
	TML32	あり	あり	あり	あり
通信	SAU	6 (簡易 SPI)	3 (簡易 SPI)	3 (簡易 SPI)	1 (簡易 SPI)
		3 (UART)	3 (UART)	3 (UART)	2 (UART)
		6 (簡易 I ² C)	3 (簡易 I ² C)	3 (簡易 I ² C)	1 (簡易 I ² C)
	IICA	2	1	1	1
	UARTA	2	なし	なし	なし
	REMC	あり	あり	なし	なし
アナログ	ADC12	10	8	6	4
	CMP	2	2	2	1
	DAC8	2	2	2	2
	TSN	あり	あり	あり	あり
データ処理	CRC	あり	あり	あり	あり
	DOC	あり	あり	あり	あり
	TRNG	あり	あり	あり	あり
I/O ポート	汎用入出力	42	26	18	12
	出力電流制御ポート	3	3	3	3

1.5 端子機能

表 1.12 端子機能 (1/2)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μ F のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	EXTAL	入力	外部クロック信号の入力が可能です。
	XT1	入力	サブクロック発振器用の入出力端子。
	XT2	出力	XT1 と XT2 の間には、水晶振動子を接続してください。
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップデバッグ	TMSC	入出力	オンチップエミュレータ端子
	TCKC	入力	
割り込み	NMI	入力	ノンマスクابل割り込み要求端子
	IRQ0~IRQ7	入力	マスクابل割り込み要求端子
KINT	KR00~KR05	入力	キー割り込み入力端子に立ち下がりエッジを入力することにより、キー割り込みを発生可能です。
RTC	RTC1HZ	出力	リアルタイムクロック補正クロック (1 Hz) 出力
TAU	TI00~TI07	入力	外部カウンタクロック/キャプチャトリガを 16 ビットタイマ 00~07 へ入力するための端子
	TO00~TO07	出力	16 ビットタイマ 00~07 のタイマ出力端子
SAU	RxD0~RxD2	入力	シリアルインタフェース UART0、UART1、および UART2 のシリアルデータ入力端子
	TxD0~TxD2	出力	シリアルインタフェース UART0、UART1、および UART2 のシリアルデータ出力端子
	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21	入出力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルクロック入出力端子
	SCL00, SCL01, SCL10, SCL11, SCL20, SCL21	出力	シリアルインタフェース IIC00、IIC01、IIC10、IIC11、IIC20、および IIC21 のシリアルクロック出力端子
	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21	入出力	シリアルインタフェース IIC00、IIC01、IIC10、IIC11、IIC20、および IIC21 のシリアルデータ入出力端子
	SI00, SI01, SI10, SI11, SI20, SI21	入力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルデータ入力端子
	SO00, SO01, SO10, SO11, SO20, SO21	出力	シリアルインタフェース SPI00、SPI01、SPI10、SPI11、SPI20、および SPI21 のシリアルデータ出力端子
IICA	SCLA0, SCLA1	入出力	I ² C バスインタフェース IICA0 および IICA1 のクロック入出力端子
	SDAA0, SDAA1	入出力	I ² C バスインタフェース IICA0 および IICA1 のシリアルデータ入出力端子

表 1.12 端子機能 (2/2)

機能	端子名	入出力	説明
UARTA	RxDA0, RxDA1	入力	シリアルインタフェース UARTA0 および UARTA1 のシリアルデータ入力端子
	TxDA0, TxDA1	出力	シリアルインタフェース UARTA0 および UARTA1 のシリアルデータ出力端子
	CLKA0, CLKA1	出力	シリアルインタフェース UARTA0 および UARTA1 のクロック出力端子
REMC	RIN0	入力	リモート制御信号受信回路用の外部パルス信号入力端子
アナログ電源	AVREFP	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は VCC に接続してください。
	AVREFM	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は VSS に接続してください。
ADC12	ANI0~ANI5、ANI16~ANI19	入力	ADC12 で処理されるアナログ信号用の入力端子
CMP	IVREF0, IVREF1	入力	コンパレータ用基準電圧入力端子
	IVCMP0, IVCMP1	入力	コンパレータ用アナログ電圧入力端子
	VCOUT0, VCOUT1	出力	コンパレータ検出結果出力端子
DAC8	DACOUT0, DACOUT1	出力	DAC8 で処理されるアナログ信号用の出力端子
I/O ポート	P000~P003、P006~P011	入出力	汎用入出力端子
	P100~P111	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201~P207	入出力	汎用入出力端子
	P300~P307	入出力	汎用入出力端子
	P400~P403	入出力	汎用入出力端子

1.6 ピン配置図

図 1.3～図 1.6 にピン配置図（上面図）を示します。

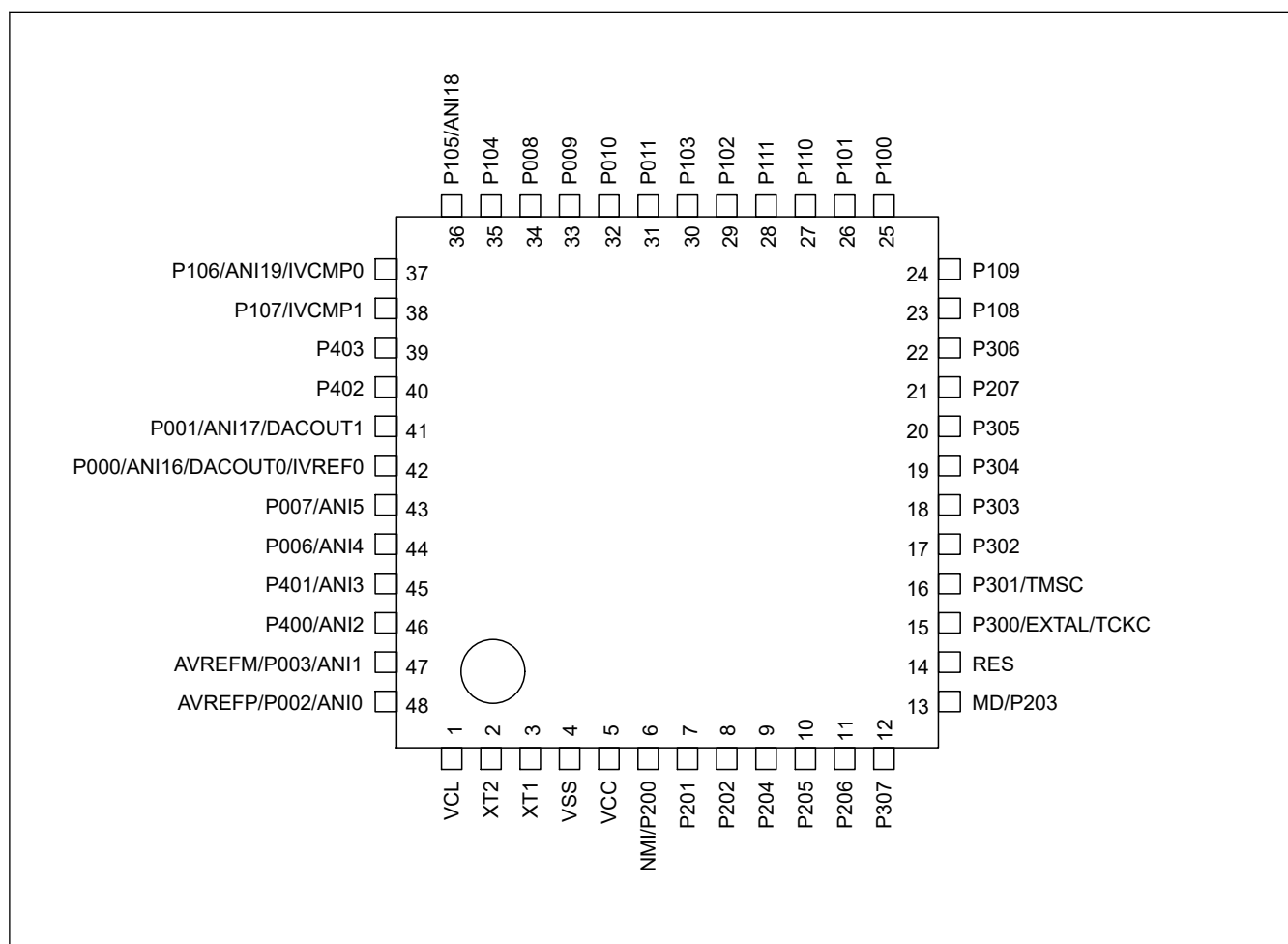


図 1.3 48 ピン HWQFN のピン配置図（上面図）

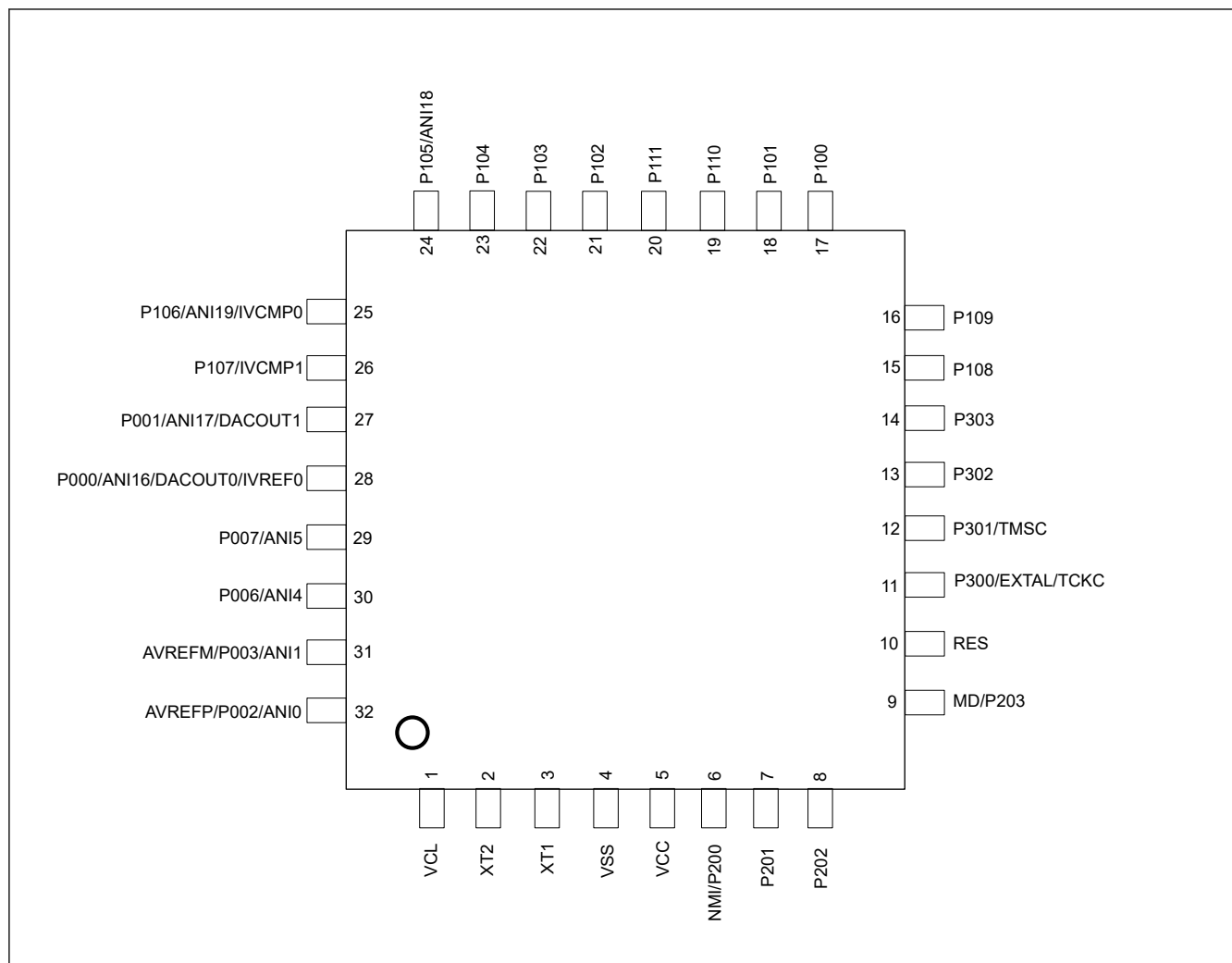


図 1.4 32 ピン HWQFN のピン配置図（上面図）

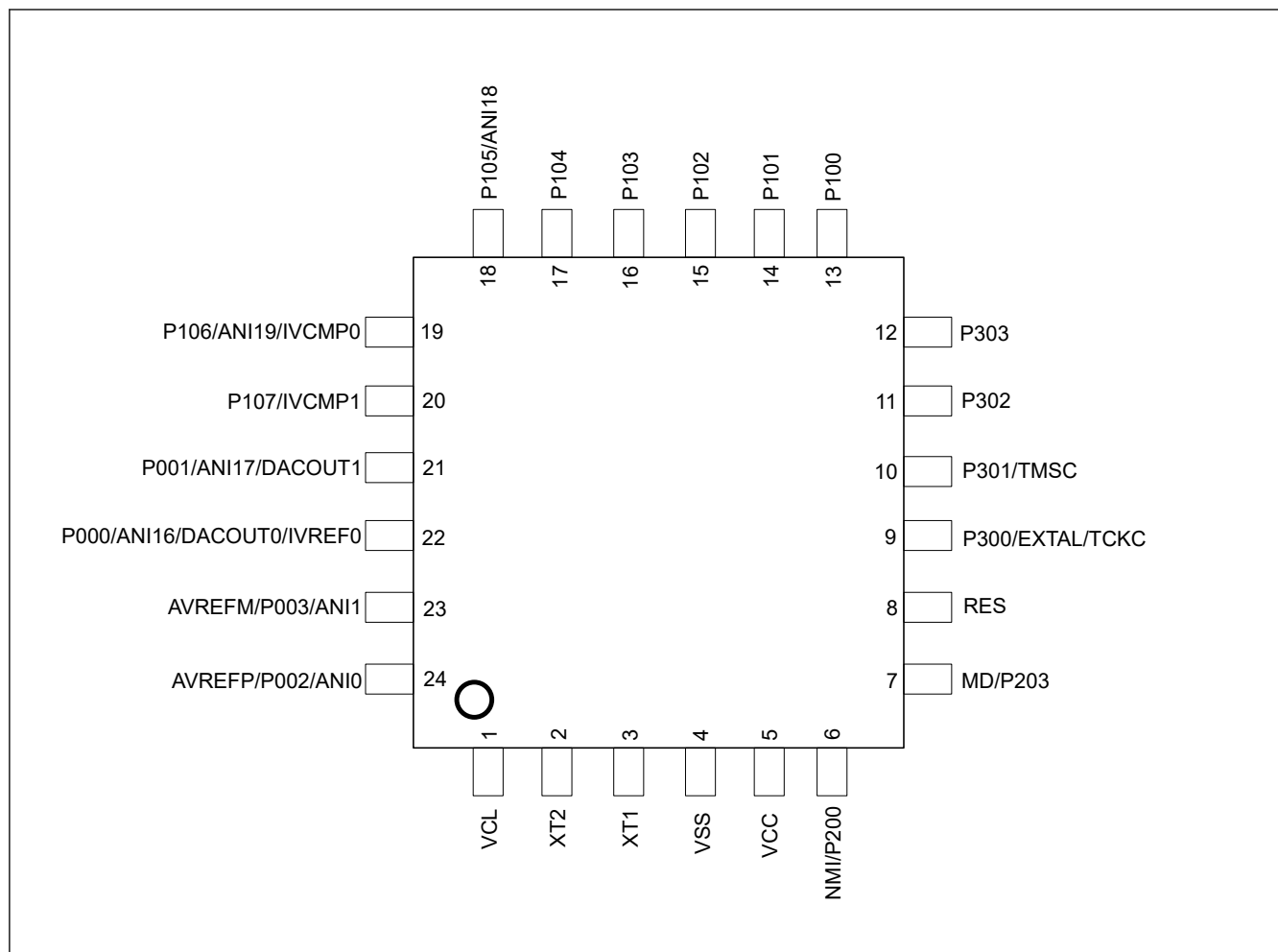


図 1.5 24 ピン HWQFN のピン配置図 (上面図)

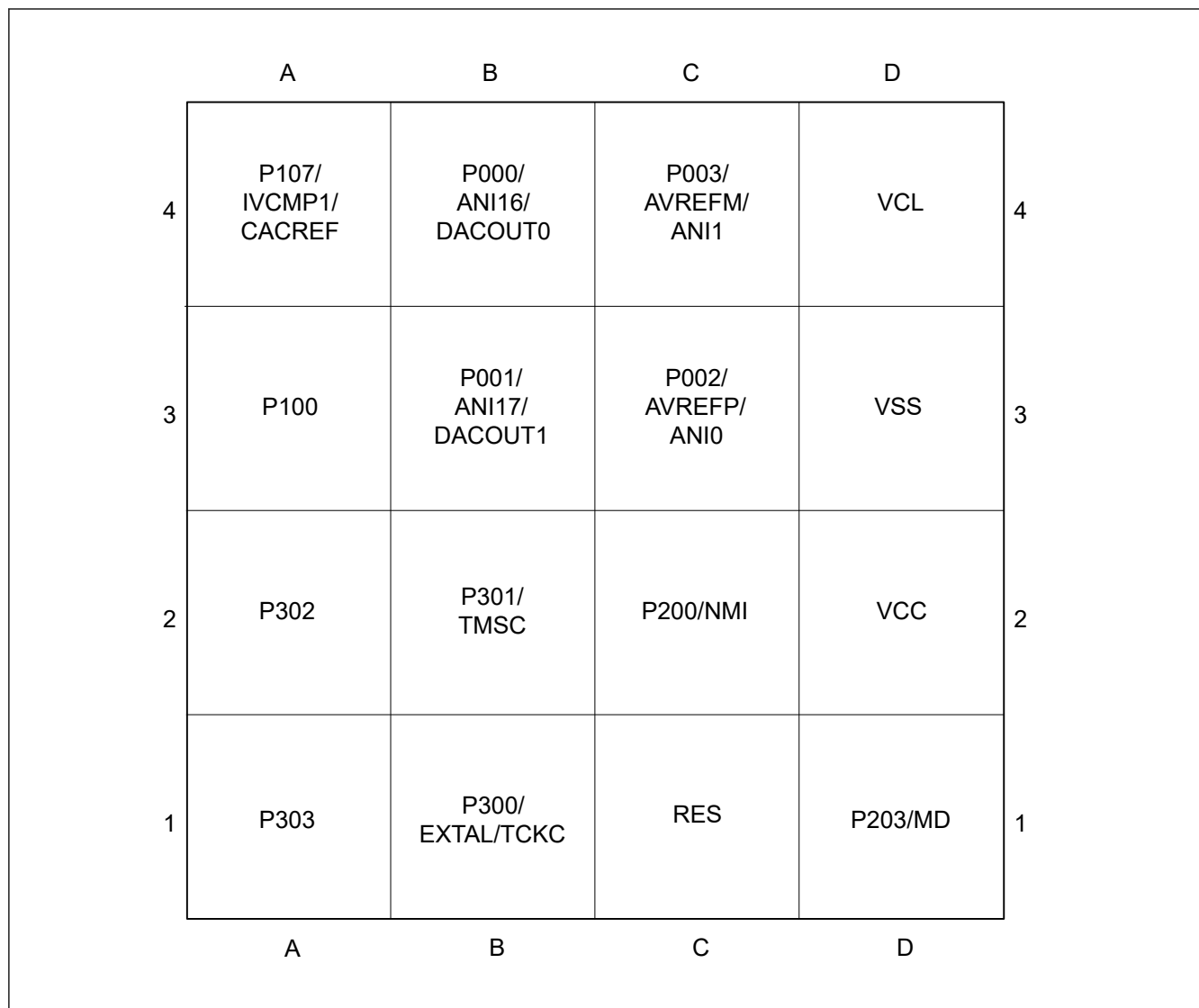


図 1.6 16 ピン WLCSP のピン配置（上面図、パッド側が下面）

1.7 端子一覧

表 1.13 端子一覧 (1/2)

端子番号				電源、システム、 クロック、デバッグ、 CAC	I/O ポート	タイマ	通信インタフェース		アナログ	割り込み、KINT
QFN 48 ピン	QFN 32 ピン	QFN 24 ピン	WLCSP 16 ピン			TAU, RTC	REMC, IICA, UARTA	SAU	ADC12, DAC8, CMP	
1	1	1	D4	VCL	—	—	—	—	—	—
2	2	2	—	XT2	—	—	—	—	—	—
3	3	3	—	XT1	—	—	—	—	—	—
4	4	4	D3	VSS/AVSS	—	—	—	—	—	—
5	5	5	D2	VCC/AVCC	—	—	—	—	—	—
6	6	6	C2	NMI	P200	—	—	—	—	NMI
7	7	—	—	—	P201	—	—	—	—	IRQ3_C
8	8	—	—	CLKOUT_B	P202	—	RIN0	—	—	IRQ2_C
9	—	—	—	—	P204	—	—	SCK21/SCL21	—	—
10	—	—	—	—	P205	—	—	SI21/SDA21	—	—
11	—	—	—	—	P206	—	—	SO21	—	—
12	—	—	—	—	P307	—	—	—	—	—
13	9	7	D1	MD	P203	—	—	—	—	—
14	10	8	C1	RES#	—	—	—	—	—	—
15	11	9	B1	EXTAL/TCKC	P300	TI07_A/TO07_A	—	SCK00/SCL00	—	IRQ0_A
16	12	10	B2	TMSC	P301	TI06/TO06	—	SI00/SDA00/ RxD0_A	—	IRQ1_A
17	13	11	A2	—	P302	TI03_B/TO03_B	SCLA0_A	TxD0_B	VCOUT1	IRQ3_B
18	14	12	A1	CLKOUT_A	P303	TI04/TO04	SDAA0_A	RxD0_B	—	IRQ2_B
19	—	—	—	—	P304	—	—	SO01	—	KR00
20	—	—	—	—	P305	—	—	SI01/SDA01	—	KR01
21	—	—	—	—	P207	—	—	SCK01/SCL01	—	KR02
22	—	—	—	—	P306	—	—	—	—	KR03
23	15	—	—	—	P108	—	—	—	—	IRQ4_B/KR04
24	16	—	—	—	P109	—	—	—	—	IRQ5_B/KR05
25	17	13	A3	—	P100	TI05/TO05	—	SO00/TxD0_A	—	IRQ6_C
26	18	14	—	—	P101	TI02_B/TO02_B	—	SCK20/SCL20	—	IRQ7_C
27	19	—	—	—	P110	—	—	—	—	IRQ7_B
28	20	—	—	—	P111	—	—	—	—	IRQ6_B
29	21	15	—	—	P102	TI01/TO01	SCLA0_B	SI20/SDA20/ RxD2	—	IRQ2_A
30	22	16	—	—	P103	TI02_A/TO02_A	SDAA0_B	SO20/TxD2	—	—
31	—	—	—	—	P011	TI07_B/TO07_B	SCLA1/CLKA0	—	—	—
32	—	—	—	—	P010	—	SDAA1/RxDA0	—	—	—
33	—	—	—	—	P009	—	TxDA0	SCK10/SCL10	—	—
34	—	—	—	—	P008	—	RxDA1	SI10/SDA10	—	—
35	23	17	—	—	P104	—	—	SCK11/SCL11	IVREF1	—
36	24	18	—	—	P105	RTC1HZ	—	SI11/SDA11	ANI18/VCOUT0	—
37	25	19	—	—	P106	—	—	SO11	ANI19/IVCMP0	—
38	26	20	A4	CACREF	P107	TI03_A/TO03_A	—	—	IVCMP1	—
39	—	—	—	—	P403	—	TxDA1	SO10	—	—
40	—	—	—	—	P402	—	CLKA1	—	—	—
41	27	21	B3	—	P001	TI00	—	TxD1	ANI17/DACOUT1	IRQ5_A
42	28	22	B4	—	P000	TO00	—	RxD1	ANI16/ DACOUT0/ IVREF0(注1)	IRQ6_A
43	29	—	—	—	P007	—	—	—	ANI5	IRQ3_A
44	30	—	—	—	P006	—	—	—	ANI4	IRQ4_A
45	—	—	—	—	P401	—	—	—	ANI3	—

表 1.13 端子一覧 (2/2)

端子番号				電源、システム、 クロック、デバッグ、 CAC	I/Oポート	タイマ	通信インタフェース		アナログ	割り込み、KINT
QFN 48ピン	QFN 32ピン	QFN 24ピン	WLCSP 16ピン			TAU, RTC	REMC, IICA, UARTA	SAU	ADC12, DAC8, CMP	
46	—	—	—	—	P400	—	—	—	ANI2	—
47	31	23	C4	AVREFM	P003	—	—	—	ANI1	IRQ7_A
48	32	24	C3	AVREFP	P002	—	—	—	ANI0	—

注. いくつかの端子名には、_A、_B、および_C という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

注 1. IVREF0 は 16 ピン WLCSP ではサポートされていません。

2. CPU

2.1 概要

2.1.1 CPU

- RISC-V 命令セットアーキテクチャ (ISA)
 - RV32I の基本整数命令セット
 - 圧縮命令用標準拡張機能「C」
 - 整数乗除算用標準拡張機能「M」
 - アトミック命令用標準拡張機能「A」
 - コントロール/ステータスレジスタ (CSR) 命令「Zicsr」
 - 命令フェッチフェンス「Zifencei」
 - ビット操作命令「Zba_Zbb_Zbs」
- 性能監視および周期と命令のカウント用コントロール/ステータスレジスタ (CSR)
- RISC-V 外部デバッグサポート
- デバッグポート：cJTAG

2.1.2 割り込みコントローラ

- コアローカル割り込みコントローラ (CLIC)
 - 34 種類の割り込み
 - 16 レベルの割り込み優先順位
 - 優先権無効化による選択的ベクタ化
 - ソフトウェアベースのテールチェーンのサポート

2.1.3 デバッグ

- 「RISC-V External Debug Support (Version 0.13.2)」に従ったデバッグサポート
 - デバッグモジュール (DM)
 - 「RISC-V External Debug Support specification」に準拠
 - ハードウェアブレイクポイントレジスタ × 4
 - デバッグトランスポートモジュール (DTM)

2.1.4 動作周波数

本 MCU の動作周波数は以下のとおりです。

- CPU : 最高 48 MHz
- cJTAG デバッグインタフェース最高 6.25 MHz

2.1.5 ブロック図

[図 2.1](#) に、RISC-V CPU コアのブロック図を示します。

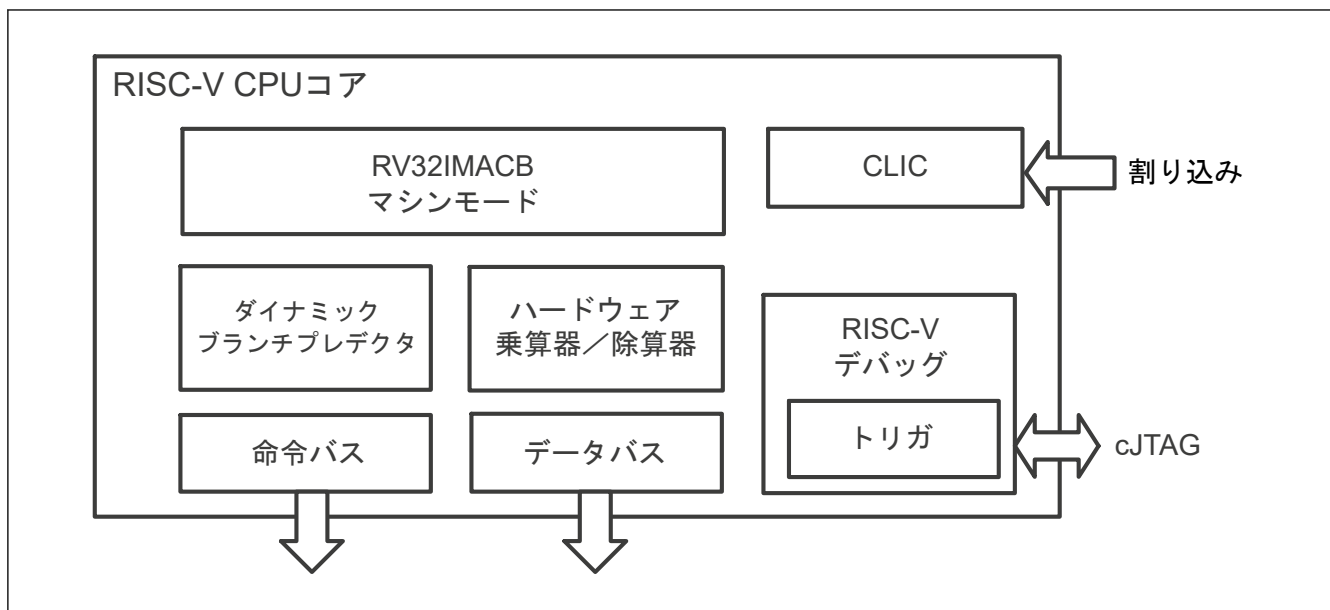


図 2.1 RISC-V CPU コアのブロック図

2.2 cJTAG インタフェース

cJTAG インタフェースは、IEEE 標準 1149.7 に準拠した 2 線式インタフェースです。

表 2.1 に、cJTAG の各端子を示します。

表 2.1 cJTAG の端子

名称	入出力	機能	未使用時の端子処理
TCKC	入力	cJTAG デバッグポートクロック。本ポートはプルアップ端子で駆動する必要があります。	プルアップ
TMSC	入出力	cJTAG 双方向データ信号。本ポートはプルアップ端子で駆動する必要があります。	プルアップ

2.3 デバッグ機能

デバッグサブシステムは「RISC-V External Debug Support (Version 0.13.2)」の仕様を実装し、次の 2 つのコンポーネントで構成されます。

- デバッグモジュール (DM)
- デバッグトランスポートモジュール (DTM)

デバッグモジュールは、2 つのスレーブポートからアクセスできます。ひとつはシステムインタフェースポートで、プロセッサに接続されています。もうひとつはデバッグメモリインタフェース (DMI) ポートで、デバッグトランスポートモジュールはこのポートにアクセスし、外部デバッグの cJTAG インタフェースのデバッグコマンドを DMI ポートへのバス読み出し/書き込み要求に変換します。

詳細については、「Core Local Interrupt Controller (CLIC) RISC-V Privileged Architecture Extension Version 0.9-draft, 5/10/2022」および「ARM® CoreSight™ Architecture Specification v3.0 (ARM IHI 0029E, February 2017)」を参照してください。

2.3.1 デバッグモードの定義

シングルチップモードでは、デバッグが接続している状態を OCD モードと定義し、切断している状態をユーザーモードと定義します。デバッグが接続している状態は、デバッグモジュールコントロールレジスタ (dmcontrol) の dmactive ビットの出力によって判定されます。このビットは OCD によってのみ書き込むことができます。このビットのレベルは DBGSTR.DMACTIVE ビットを読み出すことでも確認できます。

2.3.2 デバッグモードの影響

本節ではデバッグモードの影響を説明します。デバッグモードでは、CPU に対する内部的な影響と外部的な影響が発生します。

2.3.2.1 低消費電力モード

すべてのデバッグコンポーネントは、CPU がスヌーズモードあるいはソフトウェアスタンバイモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、スヌーズモードまたはソフトウェアスタンバイモードでは、オンチップデバッグ (OCD) エミュレータからのデバッグモジュールインタフェースアクセス (DMI) にデバッグモジュール (DM) が応答することはできません。OCD エミュレータがデバッグコンポーネントにアクセスするには、まず CPU をスヌーズモードまたはソフトウェアスタンバイモードからウェイクアップする必要があります。

OCD エミュレータは、デバッグトランスポートモジュール (DTM) から DM へのアクセスが正常に完了したかどうかを判断するために、DTM コントロール/ステータスレジスタ (dtmcs) の情報を使用することができます。長時間アクセスが完了しない場合、CPU がスヌーズモードまたはソフトウェアスタンバイモードになっている可能性があります。スヌーズモードまたはソフトウェアスタンバイモードから MCU をウェイクアップするには、まず dtmcs.dmihardreset = 1 で DMI をリセットし、デバッグ割り込み要求ビット (MCUCTRL.DBIRQ = 1) を 1 に設定する必要があります。MCUCTRL.DBIRQ ビットを 1 に設定すると、ウェイクアップトリガとして機能し、低消費電力モード中は停止要求として機能します。OCD エミュレータはウェイクアップ処理後、CPU との通信を再開することができます。DM アクセス完了確認後、MCUCTRL.DBIRQ ビットを 0 にクリアする必要があります。

2.3.2.2 リセット

オンチップデバッグ (OCD) モードでは、一部のリセットは CPU 状態とデバッグストップコントロールレジスタ (DBGSTOPCR) の設定内容に従います。これについては、表 2.2 を参照してください。

表 2.2 リセット/割り込みおよびモード設定

リセット/割り込み名称	オンチップデバッグ (OCD) モードでの制御 ^(注1)	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット/割り込み	発生しない ^(注2)	DBGSTOPCR レジスタの設定内容に従う
ウォッチドッグタイマリセット/割り込み	発生しない ^(注2)	DBGSTOPCR レジスタの設定内容に従う
電圧監視 0 リセット	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 1 リセット/割り込み	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 2 リセット/割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM パリティエラーリセット/割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM ECC エラーリセット/割り込み	DBGSTOPCR レジスタの設定内容に従う	
バスエラーリセット/割り込み	ユーザーモードと同じ	
ソフトウェアリセット	ユーザーモードと同じ	

注 1. OCD ブレークモードでは、CPU は停止します。OCD RUN モードでは、CPU は OCD モードに入り停止しません。

注 2. OCD ブレークモードでは IWDG と WDT は常に停止します。

2.4 OCD エミュレータ接続

デバッグ認証機構は、デバッグと MCU リソースへのアクセス許可をチェックします。完全なデバッグ機能を得るには、このデバッグ認証機構の合格が必要です。

デバッグ認証機構のブロック図を図 2.2 に示します。

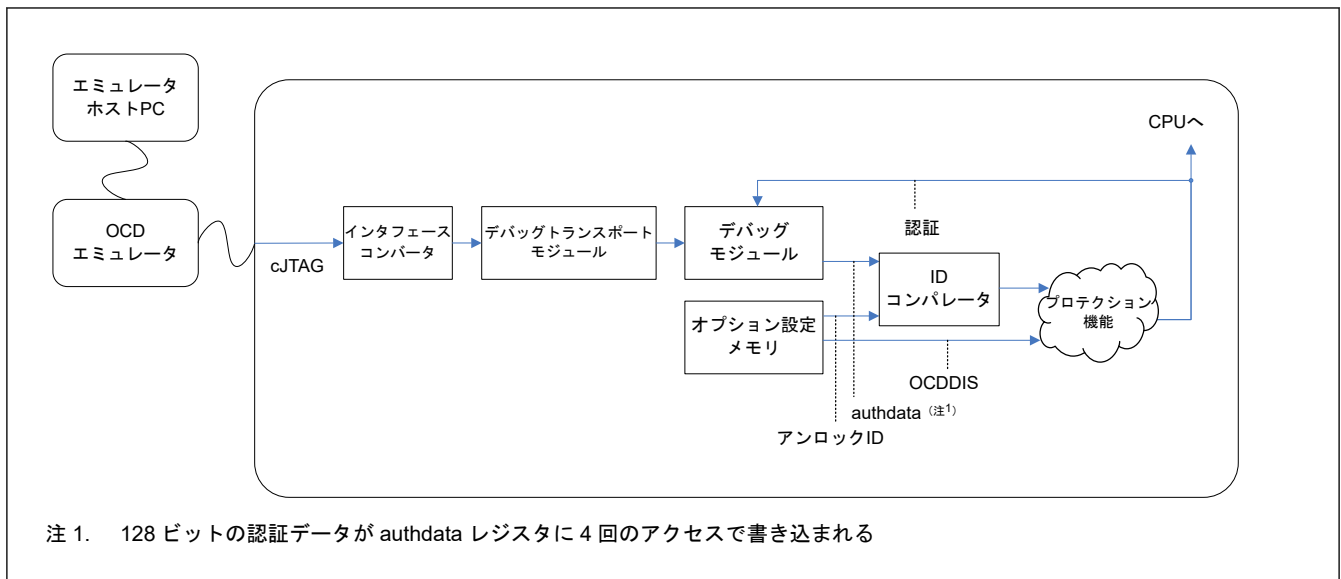


図 2.2 デバッグ認証機構のブロック図

2.4.1 デバッグ認証機構

本 MCU では認証に ID コンパレータが使用できます。このコンパレータは、AUTHDATA レジスタ (IAUTH[127:0]) に対して最後に書き込まれた 4 つの 32 ビットデータ (合計 128 ビット) と、オプション設定メモリから読み出した 128 ビットのアンロック ID コードとを比較します。AUTHDATA レジスタへの書き込みアクセスは、IAUTH[127:96]、IAUTH[95:64]、IAUTH[63:32]、IAUTH[31:0]の順に行われます。アンロック ID コードは、オプション設定メモリの OCD/シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (0xFFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFF) です。詳細は「[6. オプション設定メモリ](#)」を参照してください。

ID の比較結果に関わらず、オプション設定メモリの OCDDIS ビットを 0 にするとデバッグロジックをロックすることができます。OCDDIS の初期値は 1 で、認証データがアンロック ID に一致するとデバッグはシステムリソースにアクセスできるようになります。OCDDIS ビットをクリアすると、次回システムリセット後に cJTAG インタフェースからのデバッグが禁止されます。ALeRASE コマンドを発行することで OCDDIS 設定を元に戻すことができます。

SECS レジスタの FAPR ビットが 0 にクリアされた場合、デバッグロジックを永続的にロックすることができます。FAPR の初期値は 1 です。FAPR が 1 のときに、OCDDIS ビットとオプション設定メモリのアンロック ID でデバッグをロックしたりロックを解除したりすることができます。FAPR ビットがクリアされたら、(ALeRASE コマンドを実行しても) OCDDIS ビットとアンロック ID は変更できず、cJTAG インタフェースからのデバッグは永続的に禁止されます。

2.4.2 デバッグ許可

OCD エミュレータがデバッグモジュールへのアクセス権限を取得するには、まずデバッグモジュールコントロール (DMCONTROL) レジスタの DMACTIVE ビットを 1 にした後に、システムコントロール OCD コントロールレジスタ (SYOCDCR) の DBGEN ビットを 1 にする必要があります。また、OCD エミュレータは切断する前に DMACTIVE ビットと DBGEN ビットの両方をクリアする必要があります。詳細は「[10. 低消費電力モード](#)」を参照してください。

2.4.3 接続シーケンス

OCD エミュレータはデバッグ認証機構によって保護されているため、デバッグのロック解除が必要となる場合があります。OCDDIS、アンロック ID、および FAPR ビットは、このステップが必要かどうか、また可能かどうかを決定します。OCD の接続シーケンスについて、この節で詳しく説明します。

(1) フラッシュメモリの OCDDIS ビットが 1 かつ OSIS[127]が 0 の場合

ID コードは常に不一致となり、デバッグモジュールへの接続は禁止されます。

(2) フラッシュメモリの OCDDIS ビットが 1 かつ OSIS[127:0]が全て 1（初期状態）の場合

ID 認証は必要なく、接続は有効です。さらに、OCD はデバッグモジュールとシステムリソースにフルアクセスできます。デバッグトランスポートモジュール (DTM) およびデバッグモジュール (DM) を使用するための設定の詳細については、*RISC-V 外部デバッグサポート*（バージョン 0.13.2）を参照してください。

1. cJTAG インタフェースを通じて OCD エミュレータを本 MCU に接続します。
2. デバッグモジュールコントロール (dmcontrol) レジスタの DMACTIVE ビットを 1 に設定します。
3. システム制御 OCD コントロール (SYOCDCR) レジスタの DBGEN ビットを 1 に設定します。
 - デバッガは、RISC-V 外部デバッグサポートで定義されている以下の方法を使用して、CPU デバッグリソースへのアクセスを開始できます（詳細については、*RISC-V 外部デバッグサポート*（バージョン 0.13.2）を参照してください）。
 - － レジスタとメモリにアクセスするためのアブストラクトコマンド
 - － プログラムバッファに書き込まれたプログラムの実行
4. エミュレータを切断するときは、SYOCDCR.DBGEN と dmcontrol.dmaactive を 0 にクリアします。

(3) フラッシュメモリの OCDDIS ビットが 1 かつ OSIS[127:126]が 10b の場合

ID 認証が必要であり、デバッガのロックを解除するために、OCD エミュレータはデバッグモジュールの AUTHDATA レジスタにロック解除コードを書き込む必要があります。

1. cJTAG インタフェースを通じて OCD エミュレータを本 MCU に接続します。
2. デバッグモジュールコントロール (dmcontrol) レジスタの DMACTIVE ビットを 1 に設定します。
3. OCD エミュレータから AUTHDATA レジスタへ認証データを書き込みます。
4. 認証結果は dmstatus.authenticated ビットで確認できます。
5. システム制御 OCD コントロール (SYOCDCR) レジスタの DBGEN ビットを 1 に設定します。
 - デバッガは、RISC-V 外部デバッグサポートで定義されている以下の方法を使用して、CPU デバッグリソースへのアクセスを開始できます（詳細については、*RISC-V 外部デバッグサポート*（バージョン 0.13.2）を参照してください）。
 - － レジスタとメモリにアクセスするためのアブストラクトコマンド
 - － プログラムバッファに書き込まれたプログラムの実行
6. エミュレータを切断するときは、SYOCDCR.DBGEN と dmcontrol.dmaactive を 0 にクリアします。

(4) フラッシュメモリの OCDDIS ビットが 1 かつ OSIS[127:126]が 11b の場合

ID 認証が必要であり、デバッガのロックを解除するために、OCD エミュレータはデバッグモジュールの authdata レジスタにロック解除コードを書き込む必要があります。「ALeRASE」機能を除き、接続シーケンスは OSIS[127:126] = 10b の場合と同じです。

AUTHDATA レジスタに書き込まれた 128 ビット ID コードが ASCII コードの「ALeRASE」であった場合、コードフラッシュ、データフラッシュ、およびコンフィグレーション領域の内容は同時に消去されます。詳細は「[35. フラッシュメモリ](#)」を参照してください。ALeRASE シーケンスは以下のとおりです。

1. cJTAG インタフェースを通じて OCD エミュレータを本 MCU に接続します。
2. デバッグモジュールコントロール (dmcontrol) レジスタの dmaactive ビットを 1 に設定します。
3. OCD エミュレータから AUTHDATA レジスタへ認証データを書き込みます。
4. 128 ビット ID コードが ASCII コード「ALeRASE」(0x414C 6552 4153 45FF FFFF FFFF FFFF FFFF) の場合、コードフラッシュ、データフラッシュおよびコンフィグレーション領域のコンテンツが消去されます。その後、MCU はスリープモードに遷移します。

注 OSIS レジスタがフラッシュ読み出し保護機能で保護されている場合、ALeRASE コマンドは実行されません。

(5) フラッシュメモリの OCDDIS ビットが 0 の場合

cJTAG インタフェースを介したデバッグ動作は無効です。フラッシュメモリ内の FAPR ビットがデフォルト値 1 の場合、ALeRASE コマンドを発行することでデバッガ接続を再度有効にすることができ、OCDDIS ビットがデ

フォルト値の 1 に戻ります。FAPR ビットがクリア (0 に設定) されると、デバッグは (たとえ ALeRASE コマンドが実行されたとしても) 永久にロックされます。

2.4.4 デバッグリセット

デバッグサブシステムの各モジュールは、表 2.3 に示すように信号を用いてリセットすることができます。

表 2.3 デバッグリセットオプション

	パワーオンリセット	DMCONTROL.DMACTIVE ^(注1)	DTMCS.DMIHARDRESET ^(注2)
デバッグモジュール (DM)	✓	✓	—
デバッグトランスポートモジュール (DTM)	✓	—	✓
DBGREG モジュール	✓	—	—

注 1. デバッグモジュール自体のリセット信号を制御。このビットに 0 を書き込むと、デバッグモジュールの状態はリセット値に設定されます。このビットは、OCD エミュレータが接続されているときに、デバッグモジュールコントロール (dmcontrol) レジスタにおいて設定することができます。

注 2. このビットに 1 を書き込むと DTM がハードリセットされ、DTM は未完了の DMI トランザクションを無視します。一般に、このビットは、未完了の該当 DMI トランザクションが完了しないであろうとデバッグが考えた場合にのみ使用すべきです。たとえば、進行中の DMI トランザクションをキャンセルさせるリセット条件。このビットは、OCD エミュレータが接続されているときに、DTM コントロールおよびステータス (dtmcs) レジスタにおいて設定することができます。

2.4.5 OCD エミュレータ接続における制限

本節では、エミュレータアクセスにおける制限を説明します。

2.4.5.1 低消費電力モードでの接続開始

OCD エミュレータから cJTAG 接続を開始するとき、MCU はノーマルモードかスリープモードでなければいけません。スヌーズモードまたはソフトウェアスタンバイモードでは、OCD エミュレータからのデバッグモジュールインタフェース (dmi) アクセスにデバッグモジュール (DM) が応答することはできません。OCD がデバッグコンポーネントにアクセスするには、CPU をスヌーズモードまたはソフトウェアスタンバイモードからウェイクアップする必要があります。

2.4.5.2 システムリセット要求

OCD エミュレータは、デバッグモジュールコントロール (dmcontrol) レジスタの ndmreset ビットを 1 に設定することで、システムリセット要求をトリガすることができます。リセットは、dmcontrol.ndmreset の値が 0 から 1 に遷移する (エッジが検出される) ときにのみ発生します。dmcontrol.ndmreset = 1 の間、システムをリセット状態に保持することはサポートされていません。リセット期間の後、OCD エミュレータはレジスタの値を 0 にクリアしなければなりません。

2.4.5.3 オプション設定メモリにおける OCDDIS ビットとアンロック ID コードの変更

オプション設定メモリの OCDDIS ビットとアンロック ID コードを変更した後、OCD エミュレータは RES 端子をアサートするか、デバッグモジュールコントロール (dmcontrol) レジスタの ndmreset ビットを 1 に設定して MCU をリセットする必要があります。変更された値は、リセット後に反映されます。また、リセット期間終了後は必ず dmcontrol.ndmreset を 0 にクリアしてください。

2.4.5.4 UART (SAU) ブートモードでの接続

MD 端子が Low の間にリセットが解除されると、MCU は UART (SAU) ブートモードで起動します。このモードでは、デバッグロジックはロックされ、OCD エミュレータはシステムリソースにアクセスできません。

2.5 プログラマモデル

2.5.1 アドレス空間

本 MCU のデバッグシステムには、デバッグモジュール (DM) とデバッグトランスポートモジュール (DTM) が含まれます。DM には 2 つのスレーブポートを通じてアクセスすることができます。1 つはシステムインタフェースポートです。このポートによってプロセッサはシステムバスから DM にアクセスできます。もう 1 つはデバ

ッグメモリインタフェース (DMI) ポートです。このポートは DTM がアクセスします。cJTAG 接続のブロック図を図 2.3 に示します。

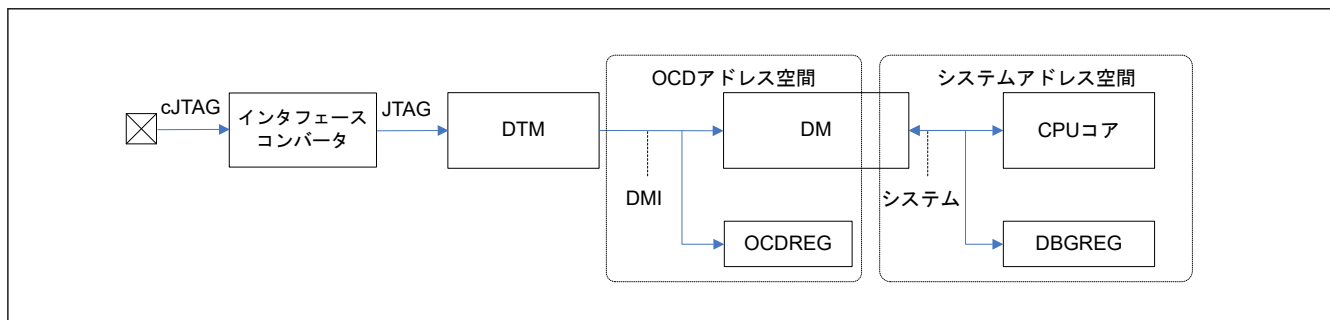


図 2.3 cJTAG 接続のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間にあり、CPU および MCU の他のバスマスタからアクセスが可能です。デバッガがシステムバスに直接アクセスすることはないため、デバッグモードで CPU が実行するコマンドを発行したり、命令を準備したりする必要があります。OCDREG は DMI アドレス空間にあり、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCDREG レジスタにアクセスできません。

2.5.2 CSR

プロセッサは、システムのアドレス空間に、CPU からのみアクセス可能なコントロール/ステータスレジスタ (CSR) を持ちます。OCD エミュレータは直接 CSR にアクセスできないため、OCD エミュレータではコマンドを発行するか、またはデバッグモードで CPU が実行する命令を用意する必要があります。

「2.7.2.3.1. サポートされているコントロール/ステータスレジスタ」を参照してください。

2.5.3 コアローカル割り込みコントローラ

コアローカル割り込みコントローラ (CLIC) は、RISC-V International が発行したコアローカル割り込みコントローラ (CLIC) RISC-V 特権アーキテクチャ拡張機能に準拠しています。

2.5.3.1 概要

コアローカル割り込みコントローラ (CLIC) は割り込み信号を受信し、Hart が処理する次の割り込みを提示します。CLIC は以下の機能をサポートします。

- マシントイマ割り込み、マシンソフトウェア割り込み、ICU を介した周辺モジュールからの割り込み要求 32 個、予約割り込み 17 個を含む 51 個の割り込み
- 16 レベルの割り込み優先順位
- 優先権無効化による選択的ハードウェアベクタ化

2.5.3.2 レジスタの説明

予約割り込みに対応するレジスタは使用できません。書き込みアクセスは無視され、読み取り値は 0 になります。予約割り込みの詳細については、「12. 割り込みコントローラユニット (ICU)」の表 12.3 を参照してください。

2.5.3.2.1 cliccfg : CLIC コンフィグレーションレジスタ

Base address: CLIC = 0xE200_0000

Offset address: 0x0000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	nmbits[1:0]		nlbits[3:0]			nvbits	

Value after reset: 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
0	nvbits	選択的割り込みハードウェアベクタ化機能が実装されます。読むと 1 が読めます。	R
4:1	nlbits[3:0]	割り込みレベルを指定するために clicintctl[i] に割り当てられたビットの数	R/W
6:5	nmbits[1:0]	読むと 00b が読めます。すべての割り込みはマシンモード割り込みとして扱われます。	R
7	—	読むと 0 が読めます。	R

2.5.3.2.2 clicinfo : CLIC 情報レジスタ

Base address: CLIC = 0xE200_0000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24									21	20									13	12									0
Bit field:	—	—	—	—	—	—	—	CLICINTCTLBIT S[3:0]									version[7:0]								num_interrupt[12:0]												
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	1	1				

ビット	シンボル	機能	R/W
12:0	num_interrupt[12:0]	全てのシステム予約割り込みを含む、CLIC がサポートする割り込みの総数	R
20:13	version[7:0]	CLIC のバージョン	R
24:21	CLICINTCTLBITS[3:0]	clicintctl レジスタの実装ビット数	R
31:25	—	読むと 0 が読めます。	R

2.5.3.2.3 clicintip[i] : CLIC 割り込み保留レジスタ i (i = 0~50)

Base address: CLIC = 0xE200_0000

Offset address: 0x1000 + 0x4 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ip
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ip	割り込み待ちを示します。 0: 割り込み保留なし 1: 割り込み保留あり	R/W
7:1	—	読むと 0 が読めます。	R

clicintip[i] レジスタは読み出し／書き込みレジスタであり、ハードウェア割り込み入力とソフトウェアの両方で更新できます。このビットは、割り込み入力にエッジが観測された後にハードウェアによって設定されます。ベクトル化モードで割り込みが発生すると、ハードウェアは関連する割り込み保留ビットをクリアします。

一方、非ベクトル化（共通コード）割り込みが選択された場合、ハードウェアは自動的に保留ビットをクリアしません。

2.5.3.2.4 clicintie[i] : CLIC 割り込み許可レジスタ i (i = 0~50)

Base address: CLIC = 0xE200_0000

Offset address: 0x1001 + 0x4 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ie
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ie	割り込み許可を示します。 0: 割り込み禁止 1: 割り込み許可	R/W
7:1	—	読むと 0 が読めます。	R

mstatus.mie が現在の特権モードにおける全ての割り込みを対象とする許可ビットであるのに対し、clicintie[i]は個別の割り込みを対象とする許可ビットです。したがって、現在の特権モードで許可したい割り込み i に対しては、clicintie[i]と mstatus.mie の両方を設定する必要があります。

2.5.3.2.5 clicintattr[i] : CLIC 割り込み属性レジスタ i (i = 0~50)

Base address: CLIC = 0xE200_0000

Offset address: 0x1002 + 0x4 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	mode[1:0]	—	—	—	trig[1:0]	—	shv	—
Value after reset:	1	1	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	shv	選択的ハードウェアベクタ化 0: 非ベクトル化モード。割り込みは mtvec CSR で共通コードにジャンプします。 1: ベクタモード。割り込みは、mtvt CSR で指定されたトラップハンドラ関数ポイントにジャンプします。	R/W
2:1	trig[1:0]	読むと 01b が読めます。 この割り込みが立ち上がりエッジトリガタイプであることを示します。	R
5:3	—	読むと 0 が読めます。	R
7:6	mode[1:0]	読むと 11b が読めます。 この割り込みがマシンモードで動作することを示します。	R

2.5.3.2.6 clicintctl[i] : CLIC 割り込み入力コントロールレジスタ i (i = 0~50)

Base address: CLIC = 0xE200_0000

Offset address: 0x1003 + 0x4 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
3:0	—	読むと 1 が読めます。	R
7:4	lvl_prio[3:0]	関連する割り込みの割り込みレベルと優先順位	R/W

これらの制御ビットは、CLIC コンフィギュレーションレジスタ (cliccfg.nlbits) の設定に従って、レベルと優先順位として解釈されます。

表 2.4 割り込みレベルと優先順位設定

CLICINTCTLBITS	nlbits	clicintctl[7:0]	割り込みレベル	割り込み優先順位
4	0	p p p p	255	15, 31, 47, 63, 79, 95, 111, 127, 143, 159, 175, 191, 207, 223, 239, 255
4	1	p p p	127, 255	31, 63, 95, 127, 159, 191, 223, 255
4	2	p p	63, 127, 191, 255	63, 127, 191, 255
4	3	p	31, 63, 95, 127, 159, 191, 223, 255	127, 255
4	≥ 4		15, 31, 47, 63, 79, 95, 111, 127, 143, 159, 175, 191, 207, 223, 239, 255	255

注. 「.」ビットはレベルのエンコードに必要な仮想ビットで1と見なされます。

「|」ビットは、レベル指定で使用可能な可変ビットです。

「p」ビットは優先順位の指示に使用される可変ビットです。

2.5.3.3 動作

2.5.3.3.1 CLIC 割り込み調停回路

コアに対する割り込みを選択するために、CLIC ハードウェアは clicintctl の有効なビットを結合して符号なし整数にし、この値に基づいてすべての許可されていてかつ保留されている割り込みのグローバルな最大値を選択します。次に、cliccfg.nlbits 設定により、clicintctl 値を割り込みレベルと割り込み優先順位に分割する方法を決定します。割り込みレベルが最も高く、優先順位も最も高い割り込みが最初に要求されます。割り込みレベルが最も高く、優先順位も最も高い、許可されていてかつ保留されている割り込みが複数ある場合、最も番号が大きい割り込みが最初に要求されます。

CLIC 割り込み調停回路のブロック図を図 2.4 に示します。

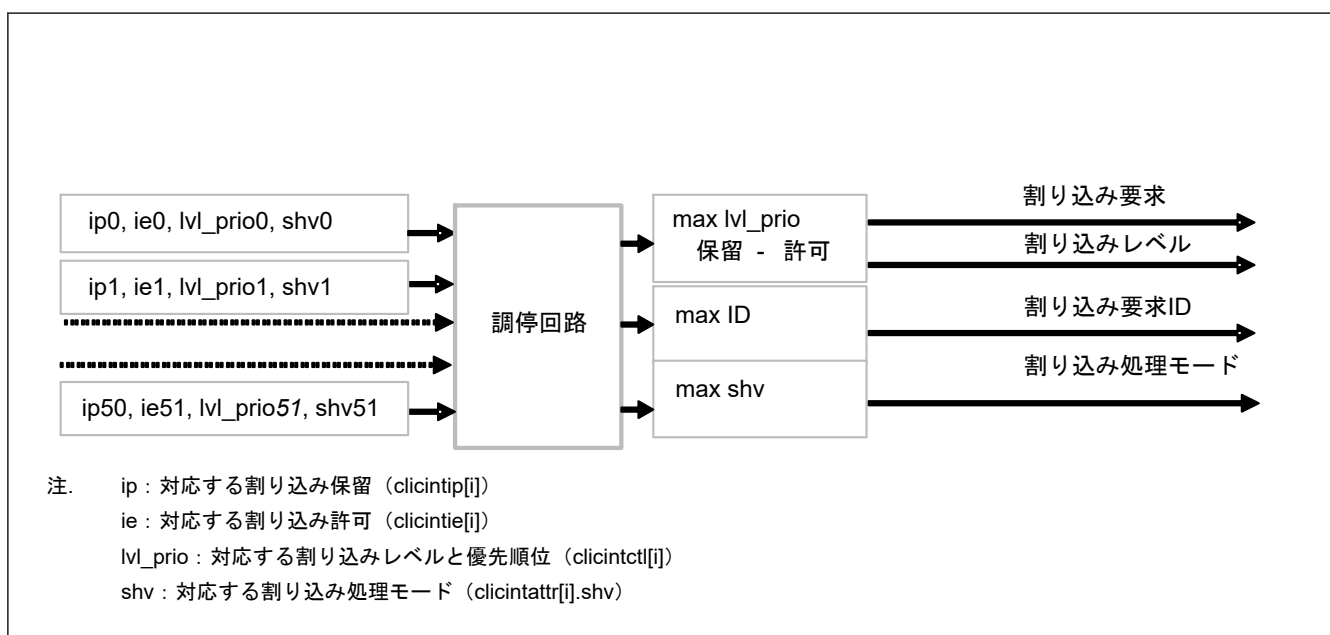


図 2.4 CLIC 割り込み調停回路のブロック図

2.5.4 マシントイマ

2.5.4.1 概要

マシントイマは 64 ビットのカウンタレジスタ、コンパレータレジスタ、ソフトウェア割り込みレジスタを備えています。CLIC に対するマシントイマ割り込み (mtip) とマシンソフトウェア割り込み (msip) を生成することができます。

2.5.4.2 ブロック図

マシントイマのブロック図を図 2.5 に示します。

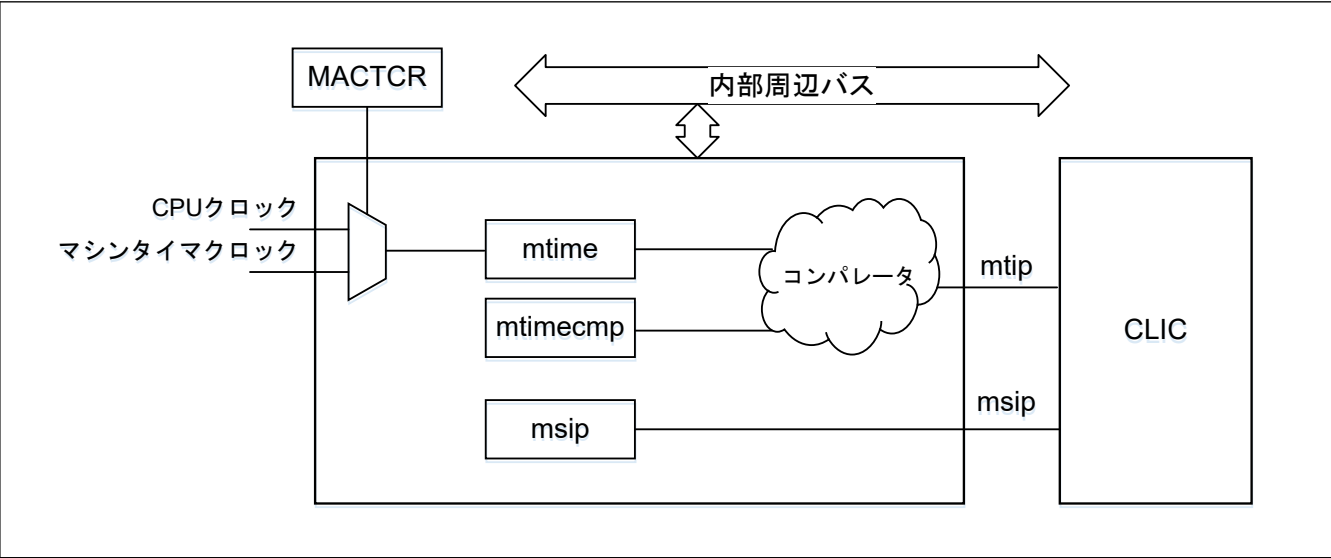


図 2.5 マシントイマのブロック図

2.5.4.3 レジスタの説明

2.5.4.3.1 mtime_lo : マシントイマレジスタカウンタ下位

Base address: IMT = 0xE600_0000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	mtime_lo[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	mtime_lo[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	mtime_lo[31:0]	64 ビットカウンタの下位 32 ビット	R/W

mtime は、MACTCR.CLOCKSOURCE ビットで選択されたクロックに基づいてサイクル数をカウントする 64 ビットのカウンタです (mtime_hi: mtime[63:32], mtime_lo: mtime[31:0])。MACTCR.ENABLE ビットが 1 に設定されている間、カウンタはカウントを続けます。mtime は、デバッグモードで dcsr.stoptime = 1 に設定することでカウントを停止することができます。

2.5.4.3.2 mtime_hi : マシントイマレジスタカウンタ上位

Base address: IMT = 0xE600_0000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	mtime_hi[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	mtime_hi[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	mtime_hi[31:0]	64 ビットカウンタの上位 32 ビット	R/W

mtime は、MACTCR.CLOCKSOURCE ビットで選択されたクロックに基づいてサイクル数をカウントする 64 ビットのカウンタです (mtime_hi: mtime[63:32], mtime_lo: mtime[31:0])。MACTCR.ENABLE ビットが 1 に設定されている間、カウンタはカウントを続けます。mtime は、デバッグモードで dcsr.stoptime = 1 に設定することでカウントを停止することができます。

2.5.4.3.3 mtimecmp_lo : マシントイマコンパレータレジスタ下位

Base address: IMT = 0xE600_0000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	mtimecmp_lo[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	mtimecmp_lo[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	mtimecmp_lo[31:0]	64 ビット比較値の下位 32 ビット	R/W

mtimecmp は 64 ビットレジスタです (mtimecmp_hi: mtimecmp[63:32], mtimecmp_lo: mtimecmp[31:0])。タイマ割り込みにより CLIC の割り込み保留ビットが設定されます。

2.5.4.3.4 mtimecmp_hi : マシнтаイマコンパレータレジスタ上位

Base address: IMT = 0xE600_0000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	mtimecmp_hi[31:16]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	mtimecmp_hi[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	mtimecmp_hi[31:0]	64 ビット比較値の上位 32 ビット	R/W

mtimecmp は 64 ビットレジスタです (mtimecmp_hi: mtimecmp[63:32], mtimecmp_lo: mtimecmp[31:0])。タイマ割り込みにより CLIC の割り込み保留ビットが設定されます。

2.5.4.3.5 msip : ソフトウェア割り込みトリガレジスタ

Base address: IMT = 0xE600_0000

Offset address: 0xFFC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSIP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MSIP	マシンソフトウェア割り込みトリガ 0: マシンソフトウェア割り込みをトリガする 1: マシンソフトウェア割り込みをクリアする	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

msip レジスタは 32 ビットレジスタで、上位 31 ビットは 0 に固定されています。最下位ビットはソフトウェア割り込みをトリガし、CLIC の msip に対応する割り込み保留ビットを設定するために使用できます。

2.5.5 デバッグモジュール

表 2.5 に、CPU から見たデバッグモジュール (DM) アドレス空間内のメモリマップを示します。MCU のメモリマップでは、DM のベースアドレスは 0xE6800_0000 に割り当てられています。

外部デバッガは、プログラムバッファの最初の命令として AUIPC 命令を実行することでプログラムバッファのオフセットを見つけることができます。アブストラクトデータの開始オフセットは、hartinfo.DATAADDR として定義されます。このオフセットは、このメモリ空間にアクセスするためのベースレジスタを使ったロード/ストア命令のオフセットとして使うことができます。

表 2.5 CPU から見たデバッグモジュールのメモリマップ

アドレスオフセット	説明
0x0360~0x037F	プログラムバッファ 0~7
0x0380~0x038F	アブストラクトデータ 0~3

デバッグメモリインタフェース (DMI) から見たメモリマップを表 2.6 に示します。この表のアドレス値は、RISC-V 外部デバッグサポートに説明されているデバッグモジュールデバッグバスレジスタのアドレス値割り当てに従っています。RISC-V 外部デバッグサポートの詳細については、「*RISC-V External Debug Support (Version 0.13.2)*」を参照してください。

表 2.6 DMI から見たデバッグモジュールのメモリマップ

アドレス	説明
0x004~0x007	アブストラクトデータ 0~3
0x010	デバッグモジュールコントロール
0x011	デバッグモジュールステータス
0x012	ハードウェアスレッド情報
0x016	アブストラクトコントロール/ステータス
0x017	アブストラクトコマンド
0x018	アブストラクトコマンド自動実行
0x01D	次デバッグモジュール
0x020~0x027	プログラムバッファ 0~7
0x030	認証データ
0x040	停止サマリ 0

2.5.6 デバッグトランスポートモジュール

デバッグトランスポートモジュール (DTM) は、RISC-V 外部デバッグサポート（詳細は *RISC-V 外部デバッグサポート (バージョン 0.13.2)* を参照）で定義されているように、JTAG インタフェースを介してデバッグモジュール (DM) へのアクセスを提供します。DTM は、IEEE 1149.1 スタイルのテストアクセスポート (TAP) コントローラを実装しています。JTAG TAP は、まず JTAG 命令レジスタ (IR) を使ってレジスタを選択し、次に JTAG データレジスタ (DR) を使ってアクセスすることで、任意の JTAG レジスタへのアクセスを許可します。表 2.7 に、サポートされている命令を記載します。

表 2.7 DTM のサポートされている TAP 命令

エンコード	命令
0x1F	BYPASS
0x01	IDCODE
0x10	dtmcs レジスタ
0x11	dmi レジスタ

2.5.7 OCDREG

OCDREG モジュールは、OCD エミュレータのみがアクセス可能です。OCDREG は DMI インタフェース経由でアクセスできるレジスタで、MCU を低消費電力モードからウェイクアップできます。このレジスタは RISC-V 外部デバッグサポートでは定義されていません。

表 2.8 DMI から見た OCDREG のメモリマップ

アドレス ^(注1)	説明
0x0400	MCUCTRL

注 1. DMI アクセスのため dmi.address に使用されるアドレス

2.5.7.1 MCUCTRL : MCU コントロールレジスタ

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DBIRQ	デバッグ割り込み要求 ビットに 1 を書き込むと、MCU は低消費電力モードからウェイクアップします。DBIRQ ビットに 0 を書き込むと条件はクリアされます。 0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

2.5.8 AUXREG モジュール

AUXREG の各レジスタを表 2.9 に示します。

表 2.9 AUXREG のレジスタ

名称		アドレス	アクセスサイズ	R/W
マシンタイマコントロールレジスタ	MACTCR	0x4001_A000	32 ビット	R/W
ソフトウェアリセットコントロールレジスタ	SWRCR	0x4001_A100	32 ビット	R/W
NMI ハンドラアドレスレジスタ	NMIADDR	0x4001_A200	32 ビット	R/W

2.5.8.1 MACTCR : マシンタイマコントロールレジスタ

Base address: CPU_AUX = 0x4001_A000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLOCKSOURCE	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	マシンタイマクロック許可 0: マシンタイマにクロックを供給しません 1: マシンタイマにクロックを供給します	R/W

ビット	シンボル	機能	R/W
1	CLOCKSOURCE	マシンタイマクロックソース選択 0: マシンタイマクロック 1: CPU クロック	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

MACTCR レジスタは、マシンタイマのクロックソースを制御し、マシンタイマカウンタの有効ステータスを示すレジスタです。

2.5.8.2 SWRCR: ソフトウェアリセットコントロールレジスタ

Base address: CPU AUX = 0x4001 A000

Offset address: 0x100

[illegible]

ビット	シンボル	機能	R/W
0	SYSRESETREQ	システムリセット要求。 SYSRESETREQ ビットは、システムリセットが発生すると 0 にクリアされます。 0: システムリセットを要求しない 1: システムリセットを要求する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SWRCR レジスタによって、ソフトウェアはシステムを要求することができます。

2.5.8.3 NMIADDR : NMI ハンドラアドレスレジスタ

Base address: CPU AUX = 0x4001 A000

Offset address: 0x200

[illegible]

ビット	シンボル	機能	R/W
31:0	n/a	NMI ハンドラアドレス。下位 6 ビットは常に 0 でなければなりません。	R/W

CPU は NMI を受け取ると、このレジスタで指定されたアドレスにジャンプします。

2.5.9 DBGREG モジュール

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

DBGREG のレジスタのうち、CoreSight 準拠コンポーネントのレジスタ以外のものを表 2.10 に示します。

表 2.10 DBGREG レジスタ

名称		アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	0x4001_B000	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	0x4001_B010	32 ビット	R/W

2.5.9.1 DBGSTR : デバッグステータスレジスタ

Base address: CPU_DBG = 0x4001_B000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	DMAC TIVE	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	DMACTIVE	デバッグモジュールからのデバッグ有効ステータス	R
29	—	読み出し値は不定です。	R
31:30	—	読むと 0 が読めます。	R

DBGSTR レジスタは、エミュレータから本 MCU に対してのデバッグパワーアップの要求状況を示すステータスレジスタです。

2.5.9.2 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: CPU_DBG = 0x4001_B000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	DBGS TOP_ RECC R	DBGS TOP_ RPER	—	—	—	—	—	DBGS TOP_ L VD2	DBGS TOP_ L VD1	DBGS TOP_ L VD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DBGS TOP_ SIR	DBGS TOP_ TIM	—	—	—	—	—	—	—	—	—	—	—	—	DBGS TOP_ WDT	DBGS TOP_ I WDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット／割り込み用のマスク 0: IWDT リセット／割り込みを許可 1: WDT リセット／割り込みをマスクし、WDT カウントを停止	R/W
1	DBGSTOP_WDT	OCD RUN モードでの WDT リセット／割り込み用のマスク 0: WDT リセット／割り込みを許可 1: WDT リセット／割り込みをマスクし、WDT カウントを停止	R/W

ビット	シンボル	機能	R/W
13:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	DBGSTOP_TIM	OCD ブレークモードでの RTC と TAU の動作に関する制御ビット 0: RTC と TAU の動作を続行する 1: RTC と TAU の動作を停止する	R/W
15	DBGSTOP_SIR	OCD ブレークモードでの SAU と IICA の動作に関する制御ビット 0: SAU と IICA の動作を続行する 1: SAU と IICA の動作を停止する	R/W
16	DBGSTOP_LVD0	LVD0 リセットのマスクビット 0: LVD0 リセットを許可 1: LVD0 リセットを許可	R/W
17	DBGSTOP_LVD1	LVD1 リセット／割り込み用のマスクビット 0: LVD1 リセット／割り込みを許可 1: LVD1 リセット／割り込みをマスク	R/W
18	DBGSTOP_LVD2	LVD2 リセット／割り込み用のマスクビット 0: LVD2 リセット／割り込みを許可 1: LVD2 リセット／割り込みをマスク	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DBGSTOP_RPER	SRAM パリティエラーリセット／割り込み用のマスクビット 0: SRAM パリティエラーリセット／割り込みを許可 1: SRAM パリティエラーリセット／割り込みをマスク	R/W
25	DBGSTOP_RECCR	SRAM ECC エラーリセット／割り込み用のマスクビット 0: SRAM パリティエラーリセット／割り込みを許可 1: SRAM パリティエラーリセット／割り込みをマスク	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DBGSTOPCR レジスタは、OCD モードでの機能停止を指定します。OCD モードのときは、本レジスタの設定値は本 MCU の動作に影響しません。

2.5.9.3 DBGREG の CoreSight コンポーネントレジスタ一覧

DBGREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを提供します。

表 2.11 にこれらのレジスタを示します。各レジスタの詳細については、「ARM® CoreSight™ Architecture Specification v3.0 (ARM IHI 0029E, February 2017)」を参照してください。

表 2.11 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x000000AA
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

2.6 制約事項

本節では、CPU の機能的な制約事項や制限事項を説明します。

- アトミック操作に関連するバスロックメカニズムはありません。ソフトウェアは、アトミック操作に使用される同じメモリ空間が DTC によってアクセスされないことを保証する必要があります。
- マシンタイマを動作させるには、CPU クロック周波数 (ICLK) が MTCLK クロック周波数の 2 倍以上である必要があります。

2.7 RISC-V CPU コアの仕様

2.7.1 ISA の概要

本節は、本 CPU の RISC-V 命令セットアーキテクチャ (ISA) を説明します。

表 2.12 命令セットアーキテクチャ仕様

機能	説明
基本命令セット	RV32I
標準拡張命令セット	MAC_Zicsr_Zifencei_Zba_Zbb_Zbs
特権モード	マシンモード (M モード) のみ
ミスアラインアクセス	サポートなし
コアローカル割り込みコントローラ (CLIC)	サポート内容 : ● 割り込みレベル : 16 レベル ● 選択的ハードウェアベクタをサポート
スタックオーバーフロー検出機能	あり

(1) RISC-V 仕様の準拠

本 CPU は、以下の RISC-V 仕様に準拠しています。仕様のバージョンについては、「[2.7.7. 参考資料](#)」を参照してください。

- RISC-V ISA Specification Volume 1, Unprivileged spec v.20191213
- RISC-V ISA Specification Volume 2, Privileged Spec v.20190608
- RISC-V Bit-Manipulation ISA-extensions Version 1.0.0-38-g865e7a7
- Smcllc Core-Local Interrupt Controller (CLIC) RISC-V Privileged Architecture Extension Version 0.9-draft, 5/10/2022

ただし、以下の仕様は上記仕様に準拠しません。

- ハードウェアベクタリング中はトラップが発生しないため、mcause.minhv は 0 に固定されています。
- CLIC のハードウェアベクタリング中のトラップベクタテーブルのフェッチは、命令実行ではなくロードとして処理されます。「CLIC RISC-V 特権アーキテクチャ拡張機能」の「04/26/2022 issue #191」の変更はサポートされていません。

2.7.2 レジスタ

2.7.2.1 汎用レジスタ

RISC-V の CPU には 32 ビットの汎用レジスタが 32 個あります。x0 はゼロレジスタで、常に 0 を保持します。x0 以外の汎用レジスタのリセット後の値は不定です。[図 2.6](#) に RISC-V CPU の汎用レジスタを示します。

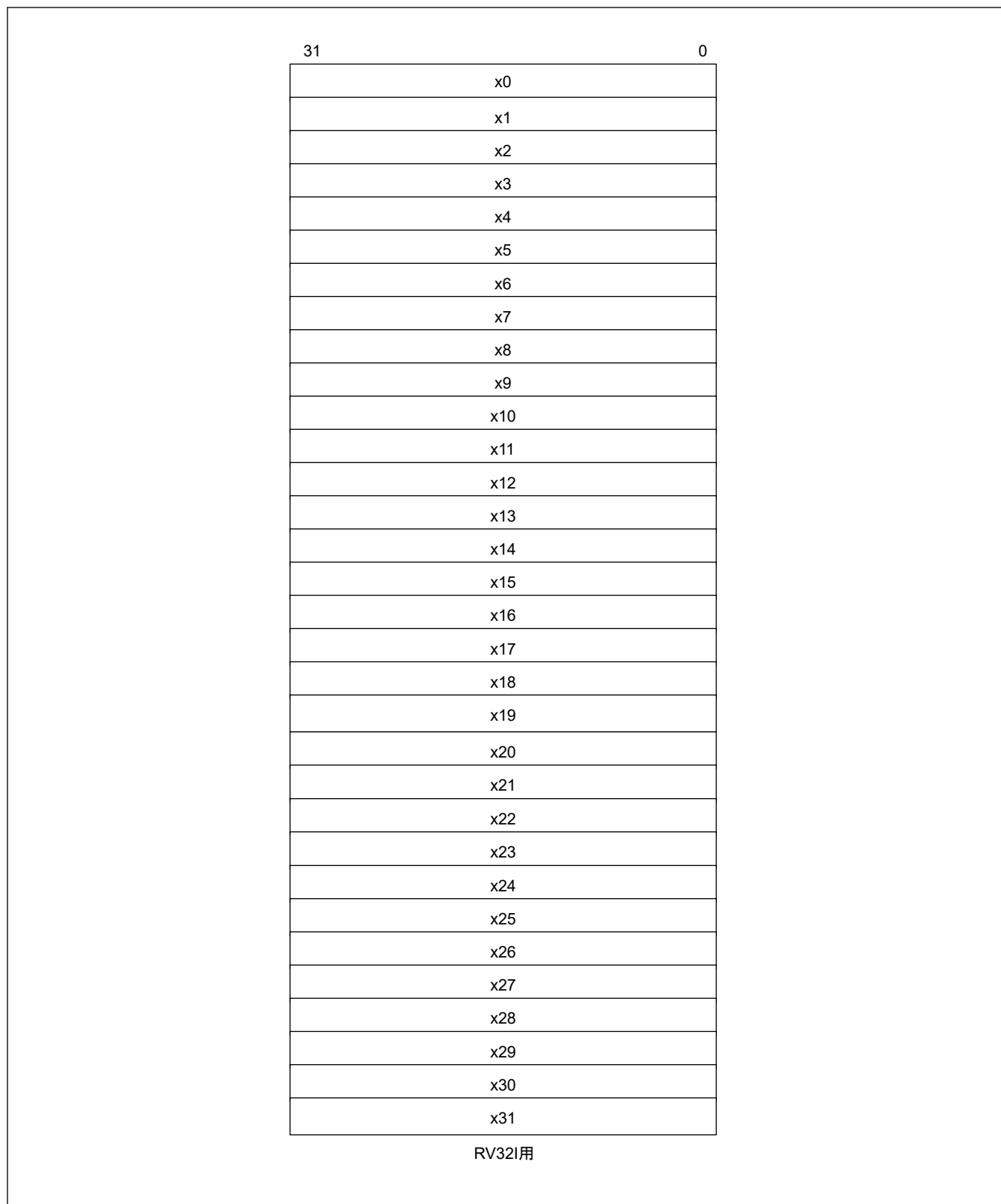


図 2.6 RISC-V CPU の汎用レジスタ

2.7.2.2 プログラムカウンタ

RISC-V CPU のプログラムカウンタ (PC) は 32 ビットです。リセット時、PC は 0 にクリアされます。

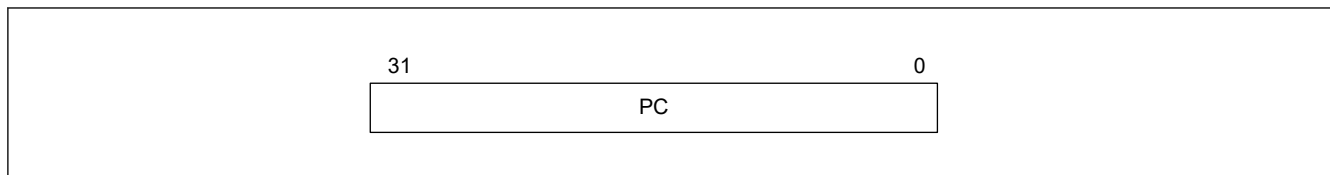


図 2.7 プログラムカウンタ

2.7.2.3 CSRs（コントロールおよびステータスレジスタ）

本節では、サポートしているコントロール／ステータスレジスタを説明します。

RISC-V 仕様書に記載がないコントロール／ステータスレジスタであっても、各実装で明確化しておく必要のあるものについては本節で説明します。

2.7.2.3.1 サポートされているコントロール／ステータスレジスタ

サポートされているコントロール／ステータスレジスタ (CSR) を表 2.13 に示します。すべてのコントロール／ステータスレジスタ (CSR) は 32 ビット幅を持ちます。

表中の「特権」列の記号は、アクセス可能な特権モードとアクセス権限（読み出し／書き込み）を示します。

- 「特権」列の 3 文字で構成される記号の 1 文字目は、特権モードを示します。ここに記されたモードの特権モードおよびそれ以上のモードでアクセスが可能です。
- 2 文字目と 3 文字目はアクセス権限を示します。「RO」は「読み出し専用」を示します。「RW」は「読み出し／書き込み」を示します。

以下の CSR は、カスタム CSR です。

- mstackctrl
- mstacklimit

表 2.13 サポートされている CSR の一覧 (1/2)

番号	プリビレッジ	名称	内容
マシン情報レジスタ			
0xF11	MRO	mvendorid	ベンダ ID
0xF12	MRO	marchid	アーキテクチャ ID
0xF13	MRO	mimpid	実装 ID
0xF14	MRO	mhartid	ハードウェアスレッド ID
マシントラップ設定			
0x300	MRW	mstatus	マシンステータスレジスタ
0x301	MRW	misa	ISA および拡張機能
0x304	MRW	mie	マシン割り込み許可レジスタ
0x305	MRW	mtvec	マシントラップハンドラのベースアドレス
0x307	MRW	mtvt	マシントラップハンドラベクタテーブルのベースアドレス
マシントラップ処理			
0x340	MRW	mscratch	マシントラップハンドラ用のスクラッチレジスタ
0x341	MRW	mepc	マシン例外プログラムカウンタ
0x342	MRW	mcause	マシントラップ要因
0x343	MRW	mtval	マシン不良アドレスまたは命令
0x344	MRW	mip	マシン割り込み保留

番号	プリビレッジ	名称	内容
0x345	MRW	mnxti	マシン割り込みハンドラのアドレスと許可修飾子
0x346	MRW	mintstatus	現在のマシン割り込みレベル
0x347	MRW	mintthresh	マシン割り込みレベルしきい値
0x349	MRW	mscratchcswl	レベル変更時のマシン条件付きスクラッチスワップ
マシンカウンタ／タイマ			
0xB00	MRW	mcycle	マシンサイクルカウンタ
0xB02	MRW	minstret	マシン命令リタイアカウンタ
0xB80	MRW	mcycleh	mcycle の上位 32 ビット、RV32I のみ
0xB82	MRW	minstreth	minstret の上位 32 ビット、RV32I のみ
マシンスタックオーバーフロー検出			
0x7c0	MRW	mstackctrl	マシンスタックオーバーフロー検出制御
0x7c1	MRW	mstacklimit	マシンスタック限界

- サポートされていない CSR 番号へのアクセス
- 必要な特権属性を持たない CSR へのアクセス
- 読み出し専用レジスタへの書き込み

[illegible]

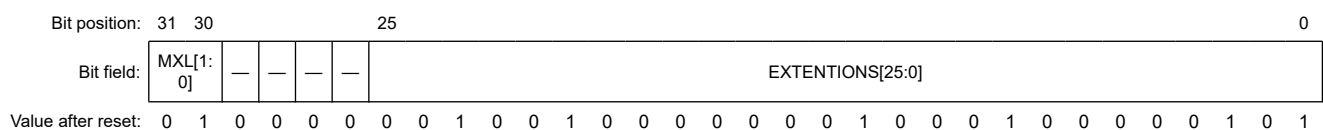
ビット	シンボル	機能	R/W
6:0	OFFSET[6:0]	エンコードされた JEDEC メーカー ID 0x00000223 が読み出されます。	R
31:7	BANK[24:0]		R

[illegible]

ビット	シンボル	機能	R/W
31:0	n/a	0x80000101 が読み出されます。	R

ビット	シンボル	機能	R/W
8	SPP	S モード前回特権モード 0 に固定	R/W
10:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
12:11	MPP[1:0]	M モード前回特権モード このビットはマシンモードに入る前の特権レベルを示します。 MRET 命令が実行されると、MIE は MPIE に設定され、MPIE は 1 に設定されます。 本フィールドに書き込んで有効になる値は 00 または 11 だけです。 11 以外の値を書き込まないでください。トラップハンドラから返されたもの以外の MRET 命令を実行する場合は、当該命令を実行する前に本フィールドに 11 を書き込んでください。 0 0: U モード 1 1: M モード	R/W
14:13	FS[1:0]	0 に固定	R/W
16:15	XS[1:0]	0 に固定	R/W
17	MPRV	修正特権 MPRV = 0 のとき、LOAD と STORE 特権モード変更／保持機能によって正常に動作します。 MPRV = 1 のとき、LOAD メモリアドレスおよび STORE メモリアドレスは、現在の特権モードを MPP と見なして変更または保持されます。命令アドレスの変更／保持は MPRV の設定とは無関係です。	R/W
18	SUM	スーパーバイザーによるユーザーメモリアクセスの許可 0 に固定	R/W
19	MXR	実行と読み出しの許可 0 に固定	R/W
20	TVM	トラップ仮想メモリ 0 に固定	R/W
21	TW	タイムアウトウェイト 0 に固定	R/W
22	TSR	トラップ SRET 0 に固定	R/W
30:23	—	読むと 0 が読めます。書く場合、0 としてください。	R
31	SD	0 に固定	R/W

2.7.2.3.7 misa



ビット	シンボル	機能	R/W
25:0	EXTENTIONS[25:0]	EXTENTIONS サポートされている ISA 拡張機能を表します。 0x0901105 (XUMICA) に固定 本フィールドの詳細については、RISC-V ISA 仕様書を参照してください。	R
29:26	—	読むと 0 が読めます。書く場合、0 としてください。	R
31:30	MXL[1:0]	Machine XLEN 基本 ISA 長 (RV32/RV64/RV128) を示します。01 (RV32) に固定です。	R

2.7.2.3.8 mie

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MEIE	—	SEIE	UEIE	MTIE	—	STIE	UTIE	MSIE	—	SSIE	USIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USIE	0 に固定	R/W
1	SSIE	0 に固定	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R
3	MSIE	0 に固定	R/W
4	UTIE	0 に固定	R/W
5	STIE	0 に固定	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R
7	MTIE	0 に固定	R/W
8	UEIE	0 に固定	R/W
9	SEIE	0 に固定	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R
11	MEIE	0 に固定	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R

2.7.2.3.9 mtvec

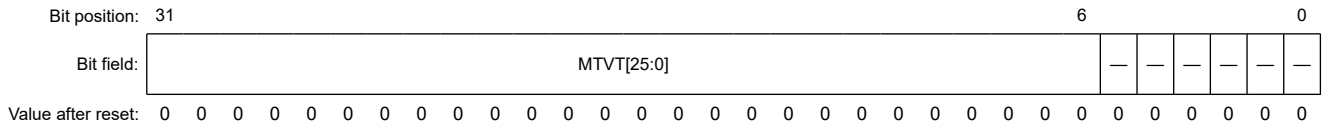
Bit position:	31																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																													

ビット	シンボル	機能	R/W
5:0	MODE[5:0]	MODE MODE では b0 だけに 0 または 1 を書き込むことができます。ただし、値によっては設定を変更できない場合があります。 xxxx0x: 非 CLIC（サポート対象外） 00001x 割り込みについては、以下を PC に設定します。 : mtvec[31:6] << 6 (非ベクトル化(注2)) M[mtvt[31:6] << 6 + 4 * excode(注1)] & ~ (ベクトル化(注2)) 1 例外については、 mtvec[31:6] << 6 が PC に設定されます。 その他: 予約	R/W
31:6	BASE[25:0]	BASE トラップに分岐するベースアドレスを示します。	R/W

注 1. excode : 表 2.16 に示す例外コード。

注 2. clicintattr[i] : shv = 0 のとき非ベクタ化され、shv = 1 のときベクタ化されます。詳細についてはドキュメント「*Core-Local Interrupt Controller (CLIC) RISC-V Privileged Architecture Extension*」を参照してください。

2.7.2.3.10 mtvt



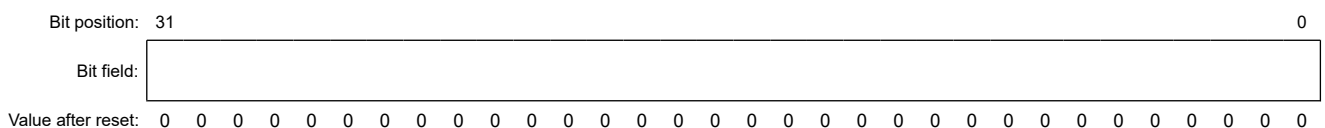
ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。	R
31:6	MTVT[25:0]	MTVT トラップベクタテーブルのベースアドレスを保持します。 詳細は、「 2.7.2.3.9. mtvec 」を参照してください。	R/W

2.7.2.3.11 mscratch



ビット	シンボル	機能	R/W
31:0	n/a	本レジスタは M モード用の読み出し／書き込みレジスタです。 これは通常、M モードのローカルコンテキスト空間へのポインタを保持するために使用され、M モードのトラップハンドラに入るときに汎用レジスタとスワップされます。 リセット後の値は不定です。	R/W

2.7.2.3.12 mepc



ビット	シンボル	機能	R/W
31:0	n/a	トラップが M モードに入ると、例外を発生させた命令、または割り込みによって割り込まれた命令のアドレスが書き込まれます。ビット 0 は 0 固定です。	R/W

2.7.2.3.13 mcause

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	INTER RUPT	minhv	mpp[1:0]		mpie	—	—	—	mpil[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EXCEPTION CODE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EXCEPTION CODE[15:0]	EXCEPTION CODE トラップの例外コードを表します。トラップが M モードに移る時に更新されます。例外コードについては、 表 2.16 を参照してください。 書き込みについては、サポートされている例外コードの書き込みだけが有効です。それ以外の値が書き込まれた時の動作は不定です。	R/W
23:16	mpil[7:0]	これらのビットはマシンモードに入る前の割り込みレベルを示します。	R/W
26:24	—	読むと 0 が読めます。書く場合、0 としてください。	R
27	mpie	mstatus.mpie のミラービット このビットは mstatus.mpie と同一です。書き込み時の動作は mstatus.mpie と同一です。	R/W
29:28	mpp[1:0]	mstatus.mpp のミラービット このビットは mstatus.mpp と同一です。書き込み時の動作は mstatus.mpp と同一です。	R/W
30	minhv	ハードウェアのベクタ化が開始した時に 1 になり、問題なく完了した時に 0 になります。 このビットは 0 に固定です。ハードウェアのベクタ化の最中にエラーが起きると、NMI が発生します。	R/W
31	INTERRUPT	トラップが例外か割り込みかを示します。トラップが M モードになると更新されます。 0: 例外 1: 割り込み	R/W

2.7.2.3.14 mtval

Bit position:	31																																	0			
Bit field:																																					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

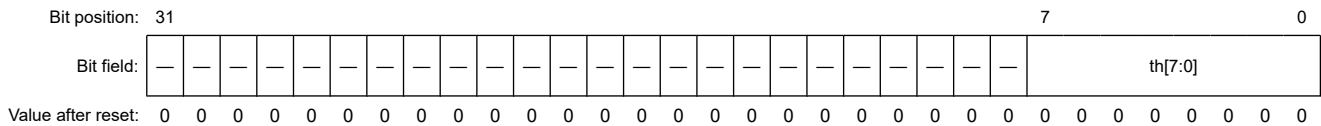
ビット	シンボル	機能	R/W
31:0	n/a	ソフトウェアがトラップを処理するための例外固有の情報を表します。トラップが M モードになると更新されます。 トラップ発生時に mtval に設定される値については、 表 2.19 を参照してください。	R/W

2.7.2.3.15 mip

Bit position:	31													11		9	8	7	5		4	3	1		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MEIP	—	SEIP	UEIP	MTIP	—	STIP	UTIP	MSIP	—	SSIP	USIP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

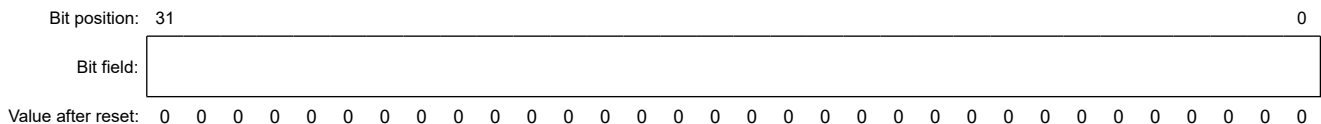
ビット	シンボル	機能	R/W
31:24	mil[7:0]	現在の割り込みレベルを示します。	R

2.7.2.3.18 mintthresh



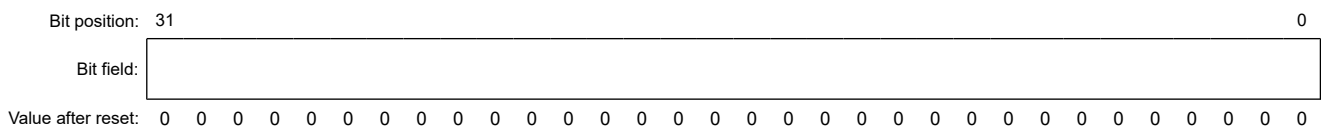
ビット	シンボル	機能	R/W
7:0	th[7:0]	これは割り込みレベルしきい値の設定値です。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R

2.7.2.3.19 mscratchcswl



ビット	シンボル	機能	R/W
31:0	n/a	本レジスタは、割り込みコードと非割り込みコードの間のスワップスタックポインタを補助する目的で使用されます。 この CSR に対する CSRRW 命令の動作は、条件によって異なります。 • (mcause.pil == 0) != (mintstatus.mil == 0) の場合 – 書き込み値は mscratch に書き込まれます。 – 読み出し値は mscratch から読み出されます。 • (mcause.pil == 0) == (mintstatus.mil == 0) の場合 – 書き込み値は無視されます。 – 読み出し値は書き込み値として読み出されます。 この CSR に対して以下の命令が実行された場合、動作は不定となります。 • rd または rs1 が x0 である CSRRW 命令 • CSRRW 以外の命令 (CSRRWI, CSRRCI, CSRRS, CSRRSI)	R/W

2.7.2.3.20 mcycle



ビット	シンボル	機能	R/W
31:0	n/a	このレジスタは経過サイクルをカウントします。 カウンタは 64 ビットです。下位 32 ビットは mcycle で、上位 32 ビットは mcycleh レジスタでアクセスできます。 カウントアップよりも書き込みが優先されます。CSRRW 命令で読み出された値は、カウントアップの前に読み出されます。 たとえば、下記の場合、t0 = 0 です（パイプラインのステートによっては、ストールにより t0 > 0 となる場合があります）。 • CSRWI mcycle, 0 • CSRR t0, mcycle	R/W

2.7.2.3.21 minstret

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	このレジスタは、実行された命令の数をカウントします。カウンタは 64 ビットです。下位 32 ビットは minstret で、上位 32 ビットは minstreth レジスタでアクセスできます。カウントアップよりも書き込みが優先されます。CSRRW 命令で読み出された値は、カウントアップの前に読み出されます。 たとえば、下記の場合、t0 = 0 です。 • CSRWI minstret, 0 • CSRR t0, minstret EBREAK 命令と ECALL 命令は、命令によってカウントアップされません。これらの命令では常に例外が発生し、命令の実行が完了していないためです。	R/W

2.7.2.3.22 mcycleh

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	このレジスタは経過サイクルをカウントします。詳細については、「 2.7.2.3.20. mcycle 」レジスタを参照してください。	R/W

2.7.2.3.23 minstreth

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	本レジスタは、実行された命令の数をカウントします。 詳細については「 2.7.2.3.21. minstret 」を参照してください。	R/W

2.7.2.3.24 mstackctrl

[illegible]

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	OM	M モードでスタックオーバーフロー検出を行うための設定です。 スタックオーバーフロー例外が発生した場合は、特権モードの種別に関わらず 0 にクリアされます。 0: 検出禁止 1: 検出許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

2.7.2.3.25 mstacklimit

Bit position: 31 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
31:0	n/a	本レジスタはスタックの限界アドレスを設定します。オーバーフロー検出が有効の場合、設定値を超えた後にスタックの退避または復元を試みると例外が発生します。 特権モードでオーバーフロー検出を有効にして LOAD/STORE/LR/SC/AMO 命令を実行すると動作します。スタックオーバーフロー例外は、命令ベースレジスタが「sp」で、ロード／ストアアドレスが制限より小さい場合に発生します。 現在の特権モードでオーバーフロー検出が無効になっている場合、または実行された命令がロード／ストア／LR/SC/AMO 命令以外の場合は、この例外は発生しません。	R/W

2.7.3 命令

2.7.3.1 命令一覽

表 2.14 では、CPU の命令セットアーキテクチャ (ISA) でサポートされている命令について説明します。

表 2.14 CPU の ISA サポート命令リスト (1/4)

ISA	命令名称
RV32I	ADDI
	SLTI
	SLTIU
	ANDI
	ORI
	XORI
	SLLI
	SRLI
	SRAI
	LUI
	AUIPC
	ADD
	SLT
	SLTU
	AND
	OR
	XOR
	SLL
	SRL
	SUB
	SRA
	JAL
	JALR
	BEQ
	BNE
	BLT
	BLTU
	BGE
	BGEU
	LW
	LH
	LHU
	LB
	LBU
	SW
	SH
	SB
	FENCE
	ECALL
	EBREAK

表 2.14 CPU の ISA サポート命令リスト (2/4)

ISA	命令名称
M	MUL
	MULH
	MULHU
	MULHSU
	DIV
	DIVU
	REM
	REMU
A	LR.W
	SC.W
	AMOSWAP.W
	AMOADD.W
	AMOAND.W
	AMoor.W
	AMOXOR.W
	AMOMAX.W
	AMOMAXU.W
	AMOMIN.W
	AMOMINU.W

表 2.14 CPU の ISA サポート命令リスト (3/4)

ISA	命令名称
C	C.LWSP
	C.SWSP
	C.LW
	C.SW
	C.J
	C.JAL
	C.JR
	C.JALR
	C.BEQZ
	C.BNEZ
	C.LI
	C.LUI
	C.ADDI
	C.ADDI16SP
	C.ADDI4SPN
	C.SLLI
	C.SRLI
	C.SRAI
	C.ANDI
	C.MV
	C.ADD
	C.AND
	C.OR
	C.XOR
	C.SUB
	C.NOP
	C.EBREAK
Zifencei	FENCE.I
Zicsr	CSRRW
	CSRRS
	CSRRC
	CSRRWI
	CSRRSI
	CSRRCI
プリビレッジ	MRET
	WFI
Zba	SH1ADD
	SH2ADD
	SH3ADD

表 2.14 CPU の ISA サポート命令リスト (4/4)

ISA	命令名称
Zbb	ANDN
	ORN
	XNOR
	CLZ
	CTZ
	CPOP
	MAX
	MAXU
	MIN
	MINU
	SEXT.B
	SEXT.H
	ZEXT.H
	ROL
	ROR
	RORI
	ORC.B
	REV8
Zbs	BCLR
	BCLRI
	BEXT
	BEXTI
	BINV
	BINVI
	BSET
	BSETI

RISC-V 規格で定義された ISA は、RISC-V ISA 仕様に従います。

2.7.3.2 実装依存の仕様

本節では、RISC-V 標準に規定された命令の、実装に依存する仕様を説明します。

2.7.3.2.1 ロード／ストア／AMO 命令のミスアラインアクセス

ミスアラインアクセスはサポートされていません。ミスアラインアクセスを実行しようとする、ロードアドレスのミスアライン例外またはストア／AMO アドレスのミスアライン例外が発生します。

2.7.4 特権モード

M (マシン) モードのみサポートされています。リセット後のプリビレッジモードは M です。

2.7.5 トラップ

表 2.15 に、トラップに関する用語を説明します。この章では、「特権モード宛てのトラップ（または割り込み例外）」とは、その特権モードにトラップが委譲されていることを意味します。たとえば、ユーザソフトウェア割り込みは、委譲されていなければ M モード宛ての割り込み、S モードに委譲されていれば S モード宛ての割り込み、U モードに委譲されていれば U モード宛ての割り込みです。

表 2.15 トラップ関連用語の解説

用語	定義
例外	例外とは、命令の実行に伴って発生する可能性のある異常事態のことです。
割り込み	割り込みは、予期しない制御の遷移を引き起こす Hart 外部からの非同期イベントです。
トラップ	トラップとは、例外や割り込みによってトラップハンドラに制御が遷移することを指します。

2.7.5.1 トラップ一覧

CPU は S モードとユーザーレベル割り込みをサポートしていないため、委譲機能はありません。したがって、すべてのトラップは M モード宛てのトラップです。

表 2.16 トラップ一覧

例外／割り込み	例外コード	トラップ名	✓：サポートあり —：サポートなし
割り込み	0	NMI	✓
割り込み	(注1)	CLIC 割り込み	✓
例外	0	命令アドレス不整列例外	—
例外	1	命令アクセスフォルト例外	—
例外	2	不正命令例外	✓
例外	3	ブレークポイント例外 (EBREAK)	✓
例外	3	ブレークポイント例外 (LOAD/STORE/AMO)	✓
例外	3	ブレークポイント例外 (命令アドレス)	✓
例外	4	LOAD アドレス不整列例外	✓
例外	5	LOAD アクセスフォルト例外	—
例外	6	STORE/AMO アドレス不整列例外	✓
例外	7	STORE/AMO アクセスフォルト例外	—
例外	8	U モードからの環境呼び出し例外	—
例外	9	S モードからの環境呼び出し例外	—
例外	11	M モードからの環境呼び出し例外	✓
例外	12	命令ページフォルト例外	—
例外	13	LOAD ページフォルト例外	—
例外	15	STORE/AMO ページフォルト例外	—
例外	24	スタックオーバーフロー例外	✓

注 1. 例外コードは CLIC 割り込み ID です。

2.7.5.2 トラップの優先順位

命令で発生させることができる割り込みの優先順位と同期例外の優先順位を、[表 2.17](#) および [表 2.18](#) に示します。同期例外はすべての割り込みよりも優先順位は低くなります。

表 2.17 割り込みの優先順位

優先順位	例外コード	トラップ名	✓: サポートあり —: サポートなし
高	0	NMI	✓
低	(注1)	CLIC 割り込み	✓

注 1. 例外コードは CLIC 割り込み ID です。

表 2.18 例外の優先順位

優先順位	例外コード	トラップ名	✓: サポートあり —: サポートなし
高	3	ブレークポイント例外（命令アドレス）	✓
	12	命令ページフォルト例外	—
	1	命令アクセスフォルト例外	—
	2	不正命令例外	✓
	0	命令アドレス不整列例外	—
	11	M モードからの環境呼び出し例外	✓
	9	S モードからの環境呼び出し例外	—
	8	U モードからの環境呼び出し例外	—
	3	ブレークポイント例外 (EBREAK)	✓
	3	ブレークポイント (LOAD/STORE/AMO)	✓
	6	STORE/AMO アドレス不整列例外	✓
	4	LOAD アドレス不整列例外	✓
	24	スタックオーバーフロー例外	✓
	15	STORE/AMO ページフォルト例外	—
	13	LOAD ページフォルト例外	—
	7	ストア/AMO アクセス障害例外	—
低	5	ロードアクセス障害例外	—

2.7.5.3 トラップ動作

M モードへのトラップが発生した場合のハードウェア動作は以下のとおりです。

- 特権モード ← M モード
- mepc ← PC（割り込みによって中断された、または例外の原因となった命令の PC）
- mstatus.MPIE ← mstatus.MIE
- mstatus.MIE ← 0
- mstatus.MPP ← トラップ発生前の特権モード
- mtval ← 「2.7.5.5. トラップ後の mtval」参照
- mcause.EXCEPTION_CODE ← 値はトラップの種類によって異なります（表 2.16 参照）
- mcause.INTERRUPT ← トラップ要因が割り込みの場合は 1。そうでなければ 0
- mcause.MPIL ← mintstatus.mil

- `mintstatus.mil` ← トラップ要因が CLIC 割り込みの場合：アクノリッジされた割り込みの割り込みレベル。トラップ要因が CLIC 割り込み以外の場合：前の値を保持
- `pc` ← トラップによって決定されたアドレス。

注. 環境呼び出し例外（ECALL 命令）とブレイクポイント例外（EBREAK 命令）の場合、`mepc` には EBREAK 命令または ECALL 命令のアドレスが格納されます。したがって、トラップから復帰した後に ECALL 命令または EBREAK 命令の次の命令から処理を続行するには、`mepc` をトラップから復帰する前の次のアドレスにする必要があります。

2.7.5.4 トラップ動作からの復帰

`mret` 命令が実行された時のハードウェア動作を次に示します。

- 特権モード ← `msatus.MPP`
- `mstatus.MIE` ← `mstatus.MPIE`
- `mstatus.MPIE` ← 1
- `mstatus.MPP` ← 0（U モード）
- `mintstatus.mil` ← `mcause.MPIL`
- `pc` ← `mepc`

LR 命令で登録された予約セットは `mret` 実行時にクリアされます。

2.7.5.5 トラップ後の `mtval`

トラップ後の `mtval` の値は、トラップによって異なります。これについては、表 2.19 を参照してください。

表 2.19 トラップ発生時に格納される `mtval` 値

例外／割り込み	例外コード	トラップ名	トラップ後の <code>mtval</code> の値
割り込み	0	NMI	0
割り込み	(注1)	CLIC 割り込み	0
例外	0	命令アドレス不整列例外	—
例外	2	不正命令例外	0
例外	3	ブレイクポイント例外 (EBREAK)	0
例外	3	ブレイクポイント例外（命令アドレス）	ブレイクポイントにヒットした命令のプログラムカウンタ
例外	3	ブレイクポイント（LOAD／STORE／AMO）	ブレイクポイントにヒットした LOAD／STORE／AMO 命令のアドレス
例外	4	LOAD アドレス不整列例外	例外の要因となった LOAD／STORE／AMO 命令のアドレス
例外	6	STORE／AMO アドレス不整列例外	
例外	8	U モードからの環境呼び出し例外	—
例外	9	S モードからの環境呼び出し例外	—
例外	11	M モードからの環境呼び出し例外	0
例外	12	命令ページフォルト例外	—
例外	13	LOAD ページフォルト例外	
例外	15	STORE／AMO ページフォルト例外	
例外	24	スタックオーバーフロー例外	例外の要因となった LOAD／STORE／AMO 命令のアドレス

注. —：サポートされていないトラップ

注 1. CLIC 割り込み ID は例外コード番号です。

2.7.6 マイクロアーキテクチャの仕様

2.7.6.1 特長

本 CPU の主な特長は以下のとおりです。

- 最小命令実行時間: 1 サイクル
- パイプラインの構成: シングルスルーインオーダー 2 段パイプライン
- 分岐予測器: ダイナミック分岐予測器搭載
- エンディアン: 命令フェッチおよびデータアクセスともリトルエンディアン
- アドレス空間: 4 GB
- スタックオーバーフロー検出: スタックのセーブ/リストア時にスタックポインタのオーバーフローを検出
- CLIC: 16 の割り込み優先度レベル、選択的ハードウェアベクタリングをサポート
- NMI: サポートしています
- PMP: なし
- カウンタ: mcycle/mcycleh、minstret/minstreth CSR 搭載

2.7.6.2 サイクル数

表 2.20 に命令実行のサイクル数とレイテンシを示します。メモリアクセスを伴う命令のスループットとレイテンシは、CPU からのノーウェイトメモリアクセスのサイクル数になります。

表 2.20 命令スループットとレイテンシ

命令の種類	スループット (サイクル/命令)	レイテンシ (サイクル)
ALU 命令	1	1
乗算命令	1	1
除算命令	35 (DIV, DIVU) 36 (REM, REMU)	35 (DIV, DIVU) 36 (REM, REMU)
分岐命令	2(注1)	—
ロード命令	1	2
ストア命令	1	—
SC 命令	1	1
AMO 命令	3	3
CSR 命令	1	1
トラップ命令	2	—
環境呼び出し/ブレイク命令	3	—
FENCE 命令	1 (FENCE) 2 (FENCE.I)	—
WFI 命令	4 ~	—

注 1. 分岐予測が成功するとスループットは 1 になります。

表 2.21 命令の種類と命令の対応 (1/2)

命令の種類	対応する命令
ALU 命令	ADDI, SLTI, SLTIU, ANDI, ORI, XORI, SLLI, SRLI, SRAI, LUI, AUIPC, ADD, SLT, SLTU, AND, OR, XOR, SLL, SRL, SUB, SRA, SH1ADD, SH2ADD, SH3ADD, ANDN, ORN, XNOR, CLZ, CTZ, CPOP, MAX, MAXU, MIN, MINU, SEXT.B, SEXT.H, ZEXT.H, ROL, ROR, RORI, ORC.B, REV8, BCLR, BCLRI, BEXT, BEXTI, BINV, BINVI, BSET, BSETI

表 2.21 命令の種類と命令の対応 (2/2)

命令の種類	対応する命令
乗算命令	MUL, MULH, MULHU, MULHSU
除算命令	DIV, DIVU, REM, REMU
分岐命令	JAL, JALR, BEQ, BNE, BLT, BLTU, BGE, BGEU
ロード命令	LW, LH, LHU, LB, LBU, LR.W
ストア命令	SW, SH, SB
SC 命令	SC.W
AMO 命令	AMOSWAP.W, AMOADD.W, AMOAND.W, AMOOR.W, AMOXOR.W, AMOMAX.W, AMOMAXU.W, AMOMIN.W, AMOMINU.W
CSR 命令	CSRRW, CSRRS, CSRRC, CSRRWI, CSRRSI, CSRRCI
トラップ命令	MRET
環境呼び出し／ブレイク命令	ECALL, EBREAK
FENCE 命令	FENCE, FENCE.I
WFI 命令	WFI

2.7.6.3 割り込み応答サイクル数

表 2.22 に、割り込み応答サイクル数を示します。CPU からのメモリアクセスがウェイトなしで処理されるサイクル数です。

表 2.22 割り込み応答サイクル数

割り込み要求の種類と処理内容	サイクル数
CPU 割り込み要求通知から割り込みアクノリッジまでのサイクル数	N サイクル (実行される命令による)
CPU 例外処理ルーチンへの分岐	3 サイクル (選択的ハードウェア割り込みの場合は+2 サイクル)

表 2.23 に割り込みアクノリッジまでのサイクル数 N を示します。

表 2.23 命令の種類ごとの割り込み受付サイクル数

命令の種類	割り込み受付までのサイクル数
ALU 命令	0
乗算命令	0
除算命令	0~35
分岐命令	0
ロード命令	0
ストア命令	0
SC 命令	0
AMO 命令	0~2
CSR 命令	0
トラップリターン命令	0
環境呼び出し／ブレイク命令	0~1
FENCE 命令	0
WFI 命令	0~3

2.7.7 参考資料

この節では、RISC-V CPU コア命令セットアーキテクチャ仕様に関連する参考資料と外部参考資料を示します。

- RISC-V ISA Specification Volume 1, Unprivileged spec v.20191213
- RISC-V ISA Specification Volume 2, Privileged Spec v.20190608
- RISC-V Bit-Manipulation ISA-extensions Version 1.0.0-38-g865e7a7, 2021-06-28: リリース候補
- Smcllc Core-Local Interrupt Controller (CLIC) RISC-V Privileged Architecture Extension Version 0.9-draft, 5/10/2022

2.8 RISC-V デバッグ機能仕様

2.8.1 概要

本 MCU のデバッグ機能は、RISC-V 外部デバッグサポートバージョン 0.13.2 に準拠しています。この節では、実装固有の情報のみを説明します。

デバッグシステムの概要を表 2.24 に示します。

表 2.24 デバッグシステムの概要

項目	説明
デバッグトランスポートモジュール (DTM)	このモジュールは、外部 RISC-V プラットフォームとのインタフェースをサポートします。本 MCU は DTM を 1 つだけ備えます。インタフェースのプロトコルは JTAG です。
デバッグモジュールインタフェース (DMI)	このモジュールは、DM のレジスタにアクセスするためのバスインタフェースです。
デバッグモジュール (DM)	このモジュールは、デバッグ監視プログラム、ハードウェアスレッドの実行制御、およびメモリアクセスのデバッグ機能をサポートします。本 MCU は DM を 1 つだけ備えます。本モジュールがサポートするハードウェアスレッドの本数は 1 本だけです。
リセット／停止／再開	この機能は、リセット、停止、および再開の制御をサポートします。
アブストラクトコマンド	この機能は、GPR または CSR へのアクセス、デバッグ監視プログラムの実行、およびメモリへのアクセスを行うためのコマンドをサポートします。
プログラムバッファ	この機能は、デバッグモニタプログラムの任意の命令を格納します。バッファサイズはパラメータ化されています。この機能は 8×4 バイトをサポートします。
デバッグモード	この機能は、デバッグモード、デバッグ例外、デバッグ復帰命令、およびシングルステップをサポートします。すべてのハードウェアスレッドにこの機能があります。
ハードウェアトリガモジュール	この機能はハードウェアブレイクポイントをサポートします。本 MCU のブレイクポイント数は 4 です。各 Hart はこの機能を持っています。

2.8.1.1 機能一覧

デバッグシステムがサポートする機能の一覧を表 2.25 に示します。

表 2.25 デバッグ機能一覧 (1/2)

機能	説明
アブストラクトコマンド	引数幅 : 32 cmdtype = 0: GPRs, CSRs, PC (dpc) cmdtype = 1 : クイックアクセスのサポート cmdtype = 2: メモリマッピングされたレジスタまたはメモリ アブストラクトコマンド autoexec がサポートされています。
プログラムバッファ	8×4 バイトのレジスタをサポート
バージョン	バージョンが 2 : バージョン 0.13 の本仕様に準拠したデバッグモジュール (DM) がサポートされます。
デバッグモジュール (DM)	すべてのアブストラクトコマンドをサポートします。DM の番号は 1 です。

表 2.25 デバッグ機能一覧 (2/2)

機能	説明
CPU	Mprven をサポート。 デバッグスラッチレジスタ 0/1 をサポートします。
イベントトリガ	イベントトリガの仕様は Hart（ハードウェアスレッド）仕様に定義されています。MCU は以下をサポートします。 - ブレイクポイント × 4 - タイプ 2 のみサポート - 最大サイズは 32 ビット

2.8.1.2 アドレスマップ

デバッグモジュールのシステムメモリマップを表 2.26 に示します。

表 2.26 デバッグモジュールのシステムメモリマップ

アドレスオフセット	説明	定義
0x0360～0x037F	プログラムバッファ	プログラムバッファ i (progbufi) の項を参照
0x0380～0x038F	アブストラクトデータ 0～3	アブストラクトデータ n (datan) の項を参照

表 2.27、表 2.28、および表 2.29 にデバッグモジュールの I/O レジスタを示します。初期値は I/O レジスタの節に記載します。

表 2.27 デバッグモジュールのレジスタ

名称	シンボル	アドレス	アクセスサイズ
アブストラクトデータ 0	data0	0x004	32
アブストラクトデータ 1	data1	0x005	32
アブストラクトデータ 2	data2	0x006	32
アブストラクトデータ 3	data3	0x007	32
デバッグモジュールコントロール	dmcontrol	0x010	32
デバッグモジュールステータス	dmstatus	0x011	32
ハードウェアスレッド情報	hartinfo	0x012	32
アブストラクトコントロール／ステータス	abstractcs	0x016	32
アブストラクトコマンド	command	0x017	32
アブストラクトコマンド Autoexec	abstractauto	0x018	32
次デバッグモジュール	nextdm	0x01D	32
プログラムバッファ 0～7	progbuf0-7	0x020～0x027	32
認証データ	authdata	0x030	32
停止サマリ 0	haltsum0	0x040	32

表 2.28 デバッグモジュールのコアレジスタ

名称	シンボル	CSR アドレス	アクセスサイズ
デバッグコントロール／ステータス	dcsr	0x7B0	32
デバッグ PC	dpc	0x7B1	32
デバッグスラッチレジスタ 0	dscratch0	0x7B2	32
デバッグスラッチレジスタ 1	dscratch1	0x7B3	32

表 2.29 デバッグモジュールのトリガレジスタ

名称	シンボル	CSR アドレス	アクセスサイズ
トリガ選択	tselect	0x7A0	32
トリガデータ 1	tdata1	0x7A1	32
一致制御	mcontrol	0x7A1 (type = 2)	32
トリガデータ 2	tdata2	0x7A2	32
トリガ情報	tinfo	0x7A4	32

2.8.2 cJTAG インタフェース

MCU は cJTAG アダプタを使用して cJTAG インタフェースをサポートしています。この節では、cJTAG アダプタの仕様について説明します。

MCU の cJTAG アダプタは以下の機能のみをサポートしています。

- ショートコネクトシーケンスを使用した Oscan1
- エスケープシーケンスを使用したリセット

ショートコネクトシーケンスは以下のとおりです。

```
EscapeSequence(10) // エスケープシーケンス「Reset」
EscapeSequence(6) // エスケープシーケンス「Selection」
TMS(0xC, 4) // OAC
TMS(0x8, 4) // EC
TMS(0x0, 4) // パケットチェック
```

エスケープシーケンス「Reset」が入力されると、cJTAG アダプタは「Offline」になります。

2.8.3 I/O レジスタ

2.8.3.1 デバッグモジュールのレジスタ

2.8.3.1.1 アブストラクトデータ n (データ n)

MCU は data0～data3 をサポートしています。

これらのレジスタは Hart からアクセスできます。メモリマップを表 2.26 に示します。これらのレジスタは読み出しと書き込みに対応しています。

2.8.3.1.2 dmcontrol : デバッグモジュールコントロール

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	haltreq	resumereq	hartreset	ackhavereset	—	hasel	hartsello[9:0]									
Value after reset:	x	x	0	x	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	hartselli[9:0]										—	—	setresethaltreq	clrresethaltreq	ndmreset	dmactive
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0

ビット	シンボル	機能
0	dmactive	サポートあり
1	ndmreset	サポートあり
2	clrresethaltreq	サポートあり

ビット	シンボル	機能
3	setresethaltreq	サポートあり
5:4	—	読むと 0 が読めます。書く場合、0 としてください。
15:6	hartselli[9:0]	0 に固定
25:16	hartsello[9:0]	0 に固定
26	hasel	0 に固定
27	—	読むと 0 が読めます。書く場合、0 としてください。
28	ackhavereset	サポートあり
29	hartreset	サポートなし
30	resumereq	サポートあり
31	haltreq	サポートあり

2.8.3.1.3 dmstatus : デバッグモジュールステータス

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
Bit field:	—	—	—	—	—	—	—	—	—	impebr eak	—	—	allhave reset	anyha verese t	allresu meack	anyres umeack	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Bit field:	allnon existent	anyno nexist ent	allunav ail	anyun avail	allrunn ing	anyrun ning	allhate d	anyhal ted	authen ticated	authbu sy	hasres ethaltr eq	confstr ptrvali d	version[3:0]				
Value after reset:	x	x	x	x	x	x	x	x	ユーザ ー設定 値(注1)		0	1	0	0	0	1	0

注 1. 「2.4.1. デバッグ認証機構」と「6. オプション設定メモリ」を参照してください。

ビット	シンボル	機能
3:0	version[3:0]	2 に固定
4	confstrptrvalid	0 に固定
5	hasresethaltreq	サポートあり
6	authbusy	サポートあり
7	authenticated	サポートあり。初期値については、「2.4.1. デバッグ認証機構」を参照してください。
8	anyhalted	サポートあり
9	allhalted	サポートあり
10	anyrunning	サポートあり
11	allrunning	サポートあり
12	anyunavail	サポートあり
13	allunavail	サポートあり
14	anynonexistent	サポートあり
15	allnonexistent	サポートあり
16	anyresumeack	サポートあり
17	allresumeack	サポートあり
18	anyhavereset	サポートあり
19	allhavereset	サポートあり

ビット	シンボル	機能
21:20	—	読むと 0 が読めます。書く場合、0 としてください。
22	impebreak	0 に固定
31:23	—	読むと 0 が読めます。書く場合、0 としてください。

2.8.3.1.4 hartinfo : ハードウェアスレッド情報

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	nscratch[3:0]			—	—	—	dataaccess	
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	datasize[3:0]				dataaddr[11:0]											
Value after reset:	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0

ビット	シンボル	機能
11:0	dataaddr[11:0]	0x380 に固定
15:12	datasize[3:0]	4 に固定
16	dataaccess	1 に固定
19:17	—	読むと 0 が読めます。書く場合、0 としてください。
23:20	nscratch[3:0]	0x2 に固定
31:24	—	読むと 0 が読めます。書く場合、0 としてください。

2.8.3.1.5 haltsum : 停止サマリ 0

Bit position:	31																																	0		
Bit field:	n/a																																			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

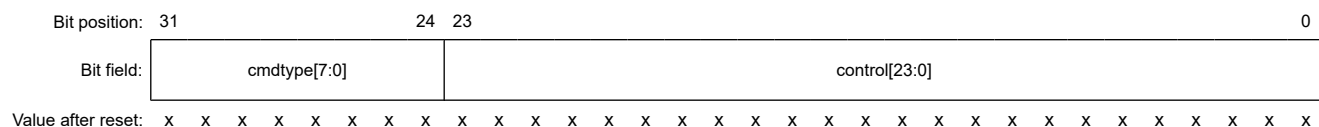
ビット	シンボル	機能
31:0	n/a	ビット 0 のみサポート

2.8.3.1.6 abstractcs : アブストラクトコントロール／ステータス

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	progbuysize[4:0]				—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	busy	—	cmderr[2:0]			—	—	—	—	datacount[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能
3:0	datacount[3:0]	0x4 に固定
7:4	—	読むと 0 が読めます。書く場合、0 としてください。
10:8	cmderr[2:0]	サポートあり
11	—	読むと 0 が読めます。書く場合、0 としてください。
12	busy	サポートあり
23:13	—	読むと 0 が読めます。書く場合、0 としてください。
28:24	progbufsize[4:0]	8 に固定
31:29	—	読むと 0 が読めます。書く場合、0 としてください。

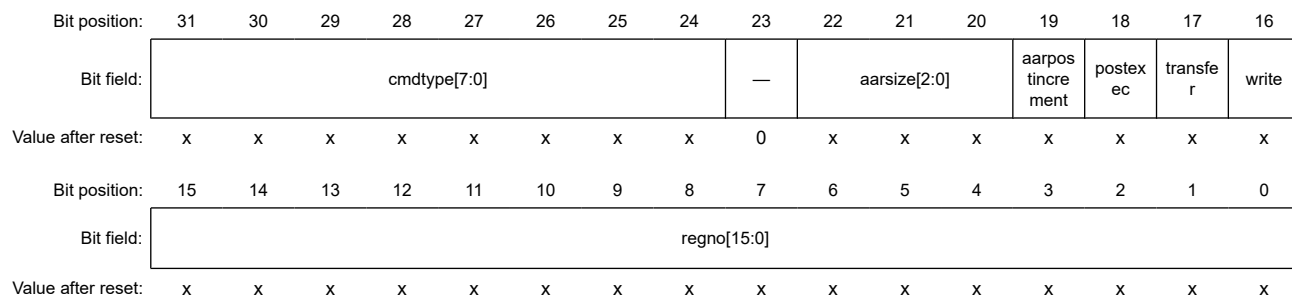
2.8.3.1.7 command : アブストラクトコマンド



ビット	シンボル	機能
23:0	control[23:0]	各コマンドの項を参照のこと
31:24	cmdtype[7:0]	各コマンドの項を参照のこと

抽象コマンド実行中にハードウェアスレッドが使用できなくなった場合、DM 内部リソースは不完全に更新される恐れがあります。この場合、dmactive によって DM のリセットが要求されます。

2.8.3.1.7.1 アクセスレジスタ

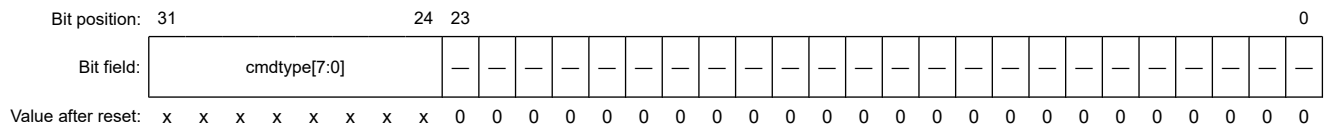


ビット	シンボル	機能
15:0	regno[15:0]	サポートあり
16	write	サポートあり
17	transfer	サポートあり
18	postexec	サポートあり
19	aarpostincrement	サポートあり
22:20	aarsize[2:0]	2 の値のみサポート
23	—	書く場合、0 としてください。
31:24	cmdtype[7:0]	アクセスレジスタコマンドを示す場合は 0

regno とレジスタの関係は以下の表のとおりです。

regno	レジスタ
0x0000～0x0fff	CSR。PC は dpc からアクセスできます。
0x1000～0x101f	GPR
0x1020～0xffff	予約

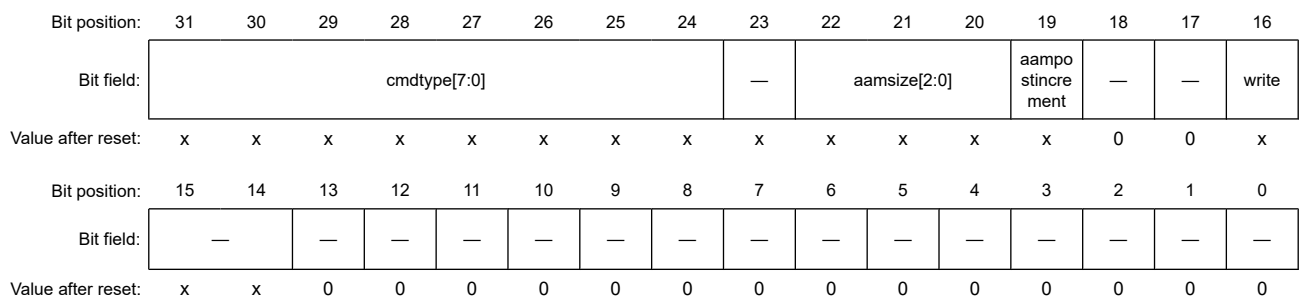
2.8.3.1.7.2 クイックアクセス



ビット	シンボル	機能
23:0	—	読むと 0 が読めます。書く場合、0 としてください。
31:24	cmdtype[7:0]	クイックアクセスコマンドを示す場合は 1

クイックアクセスによるプログラムバッファの実行開始時に、s0 と a0 がそれぞれ dscratch0 と dscratch1 に保存されます。したがって、s0 と a0 はプログラムバッファに保存する必要はありません。クイックアクセスによるプログラムバッファ実行中に例外が発生した場合、s0 と a0 は dscratch0 と dscratch1 からリストアされてから再開します。

2.8.3.1.7.3 アクセスメモリ



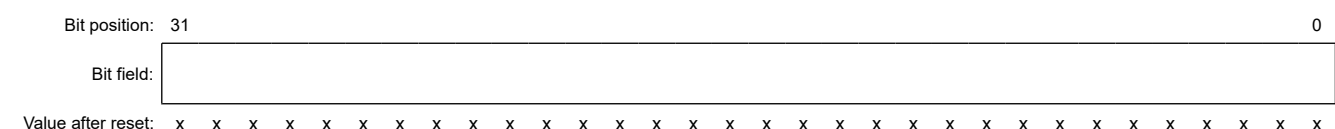
ビット	シンボル	機能
15:0	—	読むと 0 が読めます。書く場合、0 としてください。
16	write	サポートあり
18:17	—	読むと 0 が読めます。書く場合、0 としてください。
19	aampostincrement	サポートあり
22:20	aamsize[2:0]	0、1、および 2 のみサポートあり。3 と 4 はサポートなし。
23	—	読むと 0 が読めます。書く場合、0 としてください。
31:24	cmdtype[7:0]	アクセスメモリコマンドを示す場合は 2

[illegible]

サポートされていない **progbuf** ビットに関連する **autoexecprogbuf** ビットは 0 に固定されます。
サポートされていないデータビットに関連する **autoexecdata** ビットは 0 に固定されます。

[illegible]

2.8.3.1.10 `progbufi`: プログラムバッファ i



MCUは8つのプログラムバッファを備えています。これらのレジスタは読み出し可能です。メモリマップを表2.26に示します。これらのレジスタは読み出しアクセスのみをサポートします。書き込みは無視されます。

`authdata` を読むと書き込まれたデータの値が読み出されます。

2.8.3.2 コアデバッグレジスタ

2.8.3.2.1 dcsr : デバッグコントロール/ステータス

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	xdebugver[3:0]				—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ebreak m	—	ebreak s	ebreak u	stepie	stopco unt	stopti me	cause[2:0]			—	mprve n	nmip	step	prv[1:0]	
Value after reset:	0	0	0	0	0	1	1	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能
1:0	prv[1:0]	0 または 3 を設定可能
2	step	サポートあり
3	nmip	サポートあり
4	mprven	サポートあり
5	—	読むと 0 が読めます。書く場合、0 としてください。
8:6	cause[2:0]	サポートあり
9	stoptime	サポートあり。「 2.5.9.2. DBGSTOPCR : デバッグストップコントロールレジスタ 」を参照してください。
10	stopcount	サポートあり
11	stepie	サポートあり
12	ebreaku	サポートあり
13	ebreaks	0 に固定
14	—	読むと 0 が読めます。書く場合、0 としてください。
15	ebreakm	サポートあり
27:16	—	読むと 0 が読めます。書く場合、0 としてください。
31:28	xdebugver[3:0]	4 に固定

2.8.3.2.2 dpc : デバッグ PC

サポートあり。

2.8.3.2.3 dscratch0, 1 : デバッグクサラッチレジスタ 0、1

この MCU は dscratch0 と dscratch1 を備えています。

2.8.3.3 トリガレジスタ

2.8.3.3.1 tselect : トリガ選択

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	Index[31:4]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	Index[31:4]												Index3	Index2	Index[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能
1:0	Index[1:0]	サポートあり
2	Index2	0 に固定
3	Index3	0 に固定
31:4	Index[31:4]	0 に固定

MCU がサポートするチャンネルは 4 つだけです。

2.8.3.3.2 tdata1 : トリガデータ 1

Bit position:	31	28	27	26													0
Bit field:	type[3:0]			dmode	data[26:0]												
Value after reset:	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能
26:0	data[26:0]	タイプ別に各レジスタを参照してください。
27	dmode	サポートあり
31:28	type[3:0]	MCU はタイプ 2 のみをサポートしています。

2.8.3.3.3 mcontrol : 一致制御

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	type[3:0]				dmode	maskmax[5:0]						hit	select	timing	sizeof[1:0]	
Value after reset:	x	x	x	x	x	0	1	1	1	1	1	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	action[3:0]				chain	match[3:0]				m	—	s	u	execute	store	load
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能
0	load	execute が 1 の場合、このビットは 0 に設定する必要があります。

ビット	シンボル	機能
1	store	execute が 1 の場合、このビットは 0 に設定する必要があります。
2	execute	store または load が 1 の場合、このビットは 0 に設定する必要があります。
3	u	サポートあり
4	s	0 に固定
5	—	0 に固定
6	m	サポートあり
10:7	match[3:0]	0、1、2、3、4、および 5 がサポートされています。また、バージョン 1.0.0-STABLE[「 2.8.6. 参考資料 」参照] で定義されている 8、9、12、13 もサポートされています。
11	chain	MCU は 2 チェーンのみをサポートしています。したがって、このビットは偶数トリガでのみサポートされます。
15:12	action[3:0]	サポートあり。0 または 1 に設定する必要があります。
17:16	szelo[1:0]	MCU は 0、1、2、3 をサポートしています。また、execute が 1 に設定されているとき、これらのビットは 0 に設定されます。
18	timing	0 に固定。MCU は「before」のタイミングのみをサポートしています。
19	select	0 に固定。MCU は命令トリガとアクセスアドレストリガのみをサポートしています。
20	hit	0 に固定。サポートなし。
26:21	maskmax[5:0]	MCU は NAPOT をサポートしています。
27	dmode	「 2.8.3.3.2. tdata1 : トリガデータ 1 」参照
31:28	type[3:0]	「 2.8.3.3.2. tdata1 : トリガデータ 1 」参照

サポートされるチェーンの組み合わせ条件は以下の表のとおりです。

偶数トリガ	奇数トリガ
偶数トリガ	execute
store	store
load	load

2.8.3.3.4 tdata2 : トリガデータ 2

サポートあり。

2.8.3.3.5 tinfo : トリガ情報

サポートあり。

2.8.3.4 JTAG DTM のレジスタ

2.8.3.4.1 IDCODE

サポートあり。値は「[2.8.5. 製品情報](#)」に記載されています。

2.8.3.4.2 dtmcs : DTM コントロール／ステータス

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	dmihar dreset	dmires et
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	idle[2:0]			dmistat[1:0]		abits[5:0]						version[3:0]			
Value after reset:	0	1	0	0	0	0	0	0	1	1	1	0	0	0	0	1

ビット	シンボル	機能
3:0	version[3:0]	1 に固定
9:4	abits[5:0]	14 に固定
11:10	dmistat[1:0]	サポートあり
14:12	idle[2:0]	4 に固定
15	—	読むと 0 が読めます。書く場合、0 としてください。
16	dmireset	サポートあり
17	dmihardreset	サポートあり
31:18	—	読むと 0 が読めます。書く場合、0 としてください。

2.8.3.4.3 dmi : デバッグモジュールインタフェースアクセス

Bit position:	47	34	33	24																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
Bit field:	address[13:0]													data[31:22]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0</

ビット	シンボル	機能
1:0	op[1:0]	サポートあり
33:2	data[31:0]	サポートあり
47:34	address[13:0]	サポートあり

サポートあり。DMI には非同期ブリッジがあるため、DMI アクセスの要求フェーズを完了させるには、Update-DR からさらに 2 サイクルが必要です。アクセス完了のための追加サイクルは、デバッガが op ビットを読み出してアクセス結果を確認することで満たすことができます。

2.8.3.4.4 バイパス

サポートあり。

2.8.4 制約事項

制約事項を [表 2.30](#) に示します。

表 2.30 制約事項

No.	制約事項
1	State = TestLogicReset を保証するために、Oscan1 ^(注2) の開始後 5 サイクル ^(注1) の間、入力 TMS = 1 とします。

注 1. JTAG TCK サイクル (Oscan1)。IEEE1149.7 を参照してください。

注 2. 「[2.2. cJTAG インタフェース](#)」を参照してください。

2.8.5 製品情報

2.8.5.1 デバッグレジスタの初期値に関する製品情報

レジスタアドレス	セクション	値
0x01 (IR アドレス)	IDCODE	0x0E000447

2.8.6 参考資料

1. *RISC-V External Debug Support Version 0.13.2 (d5029366d59e8563c08b6b9435f82573b603e48e)*
2. *RISC-V Debug Support Version 1.0.0-STABLE (c26287e8dde138de22ca26d7f214b457f90b380e)*

3. 起動モード

3.1 起動モードの種類と選択

表 3.1 は起動モード設定端子による起動モードの選択を示しています。各起動モードの詳細は、「3.2. 起動モードの詳細」を参照してください。内蔵フラッシュメモリが有効な場合、起動モードにかかわらず起動します。

表 3.1 起動モード設定端子による起動モードの選択

起動モード設定端子 (MD)	起動モード
1	シングルチップモード
0	UART (SAU) ブートモード

3.2 起動モードの詳細

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 UART (SAU) ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン (UART (SAU) ブートプログラム) が使用されます。調歩同期式シリアル通信インタフェース (UART) を使用して、MCU 外部から内蔵フラッシュメモリ (コードフラッシュメモリおよびデータフラッシュメモリ) を書き換えることができます。詳細は、「35. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、本 MCU は UART (SAU) ブートモードで起動します。

3.3 起動モードの遷移

3.3.1 モード設定端子による起動モード遷移

MD 端子の設定による起動モード遷移について、図 3.1 に状態遷移図を示します。

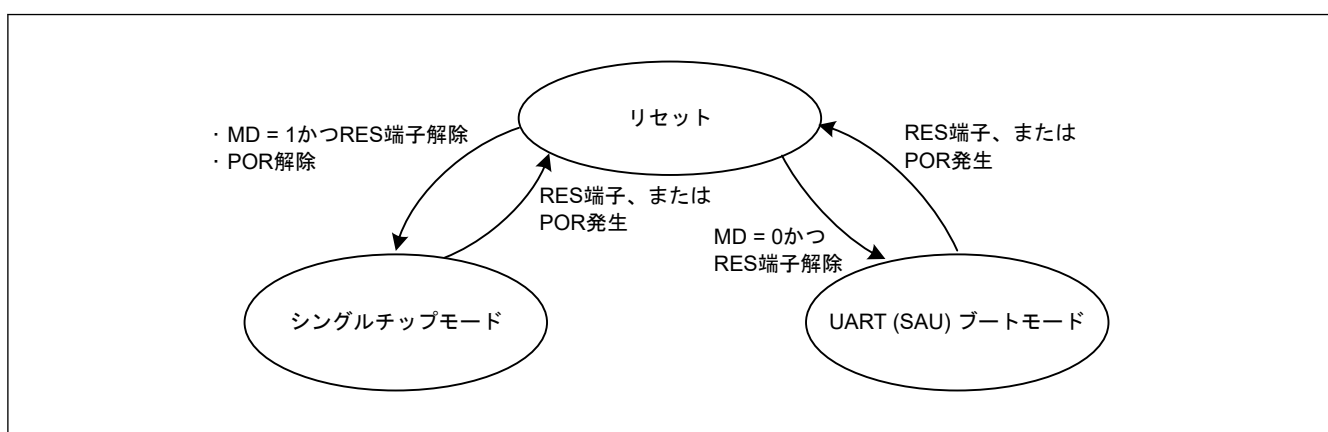


図 3.1 起動モード設定端子のレベルと起動モード

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。図 4.1 にメモリマップを示します。

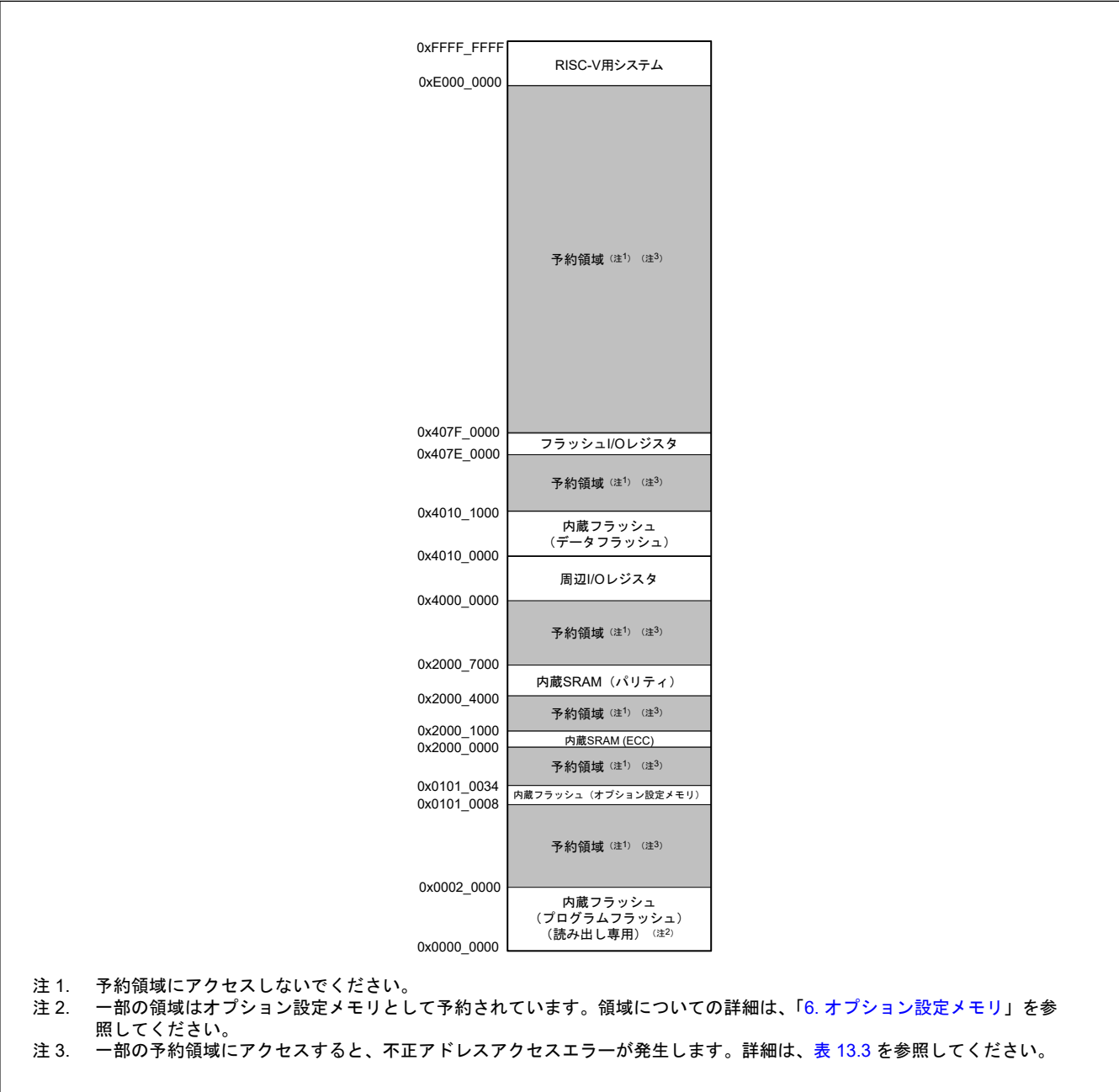


図 4.1 メモリマップ

5. リセット

5.1 概要

本 MCU は、12 種類のリセットをサポートしています。表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇（電圧検出：V _{POR} ）（注1）
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラーの発生
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降（電圧検出：V _{det0} ）（注1）
電圧監視 1 リセット	VCC の下降（電圧検出：V _{det1} ）（注1）
電圧監視 2 リセット	VCC の下降（電圧検出：V _{det2} ）（注1）
SRAM パリティエラーリセット	SRAM パリティエラー検出
SRAM ECC エラーリセット	SRAM ECC エラー検出
バスエラーリセット	バスエラー検出
デバッグリセット	デバッグ検出時
ソフトウェアリセット	レジスタ設定

注 1. 監視電圧 (V_{POR}, V_{det0}, V_{det1}, V_{det2}) の詳細については、「7. 低電圧検出回路 (LVD)」と「37. 電氣的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 に、リセット種別ごとの初期化対象を示します。

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (1/3)

初期化対象フラグ	リセット要因				
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	✓	✓	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	✓	✓	✓	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	✓	✓	✓	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	✓	✓	✓	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	✓	✓	✓	—	—
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	✓	✓	✓	—	—
バスエラーリセット検出フラグ (RSTSR1.BUSERF)	✓	✓	✓	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (2/3)

初期化対象フラグ	リセット要因				
	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット	SRAM ECC エラーリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—	—	—	—
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	—	—	—	—	—
バスエラーリセット検出フラグ (RSTSR1.BUSERF)	—	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—	—	—

表 5.2 リセット要因ごとの初期化対象リセット検出フラグ (3/3)

初期化対象フラグ	リセット要因	
	バスエラーリセット	デバッグリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	—	—
バスエラーリセット検出フラグ (RSTSR1.BUSERF)	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—

注. ✓ : 0 に初期化される
 — : 初期化されない

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (1/4)

初期化対象レジスタ		リセット要因				
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（2/4）

初期化対象レジスタ		リセット要因				
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
WDT 関連のレジスタ	WDTRR, WDTCSR, WDTSR, WDTRCR, WDTCSNPR	✓	✓	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPNCR.LVD1E, LVDLVL.R.LVD1LVL	✓	✓	✓	✓	✓
	LVD1CR1/LVD1SR	✓	✓	✓	✓	✓
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPNCR.LVD2E, LVDLVL.R.LVD2LVL	✓	✓	✓	✓	✓
	LVD2CR1/LVD2SR	✓	✓	✓	✓	✓
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓	✓	✓
BUS 関連のレジスタ	BUSnERRADD (n = 1, 2, 3), BUSnERRSTAT (n = 1, 2, 3)	✓	✓	✓	✓	✓
RTC 関連のレジスタ	RTCC0, RTCC1, SUBCUD	✓	✓	✓	✓	✓
	上記以外	—	—	—	—	—
TML32 関連のレジスタ		—	✓	✓	—	—
SOSC 関連のレジスタ	SOSCCR	—	✓	—	—	—
	SOMCR	—	✓	—	—	—
	SOMRG	—	✓	—	—	—
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（3/4）

初期化対象レジスタ		リセット要因			
		電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット	SRAM パリティエラーリセット
WDT 関連のレジスタ	WDTRR, WDTCSR, WDTSR, WDTRCR, WDTCSNPR	✓	✓	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPNCR.LVD1E, LVDLVL.R.LVD1LVL	—	—	—	—
	LVD1CR1/LVD1SR	—	—	—	—
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPNCR.LVD2E, LVDLVL.R.LVD2LVL	—	—	—	—
	LVD2CR1/LVD2SR	—	—	—	—
LOCO 関連のレジスタ	LOCOCR	✓	✓	✓	✓
BUS 関連のレジスタ	BUSnERRADD (n = 1, 2, 3), BUSnERRSTAT (n = 1, 2, 3)	✓	✓	✓	✓
RTC 関連のレジスタ	RTCC0, RTCC1, SUBCUD	✓	✓	✓	✓
	上記以外	—	—	—	—
TML32 関連のレジスタ		✓	✓	—	—
SOSC 関連のレジスタ	SOSCCR	—	—	—	—
	SOMCR	—	—	—	—
	SOMRG	—	—	—	—
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ）（4/4）

初期化対象レジスタ		リセット要因	
		バスエラーリセット	デバッグリセット
IWDT 関連のレジスタ	IWDTRR, IWDTSR	✓	✓
WDT 関連のレジスタ	WDTRR, WDTCSR, WDTSR, WDTRCR, WDTCSNPR	✓	✓
電圧監視機能 1 関連のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVL.R.LVD1LVL	—	—
	LVD1CR1/LVD1SR	—	—
電圧監視機能 2 関連のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVL.R.LVD2LVL	—	—
	LVD2CR1/LVD2SR	—	—
LOCO 関連のレジスタ	LOCOCR	✓	✓
BUS 関連のレジスタ	BUSnERRADD (n = 1, 2, 3), BUSnERRSTAT (n = 1, 2, 3)	—	✓
RTC 関連のレジスタ	RTCC0, RTCC1, SUBCUD	✓	✓
	上記以外	—	—
TML32 関連のレジスタ		—	—
SOSC 関連のレジスタ	SOSCCR	—	—
	SOMCR	—	—
	SOMRG	—	—
上記以外のレジスタ、CPU、および内部状態		✓	✓

注: ✓ : 初期化される
 — : 初期化されない

RTC はいかなるリセット要因でも初期化されません。SOSC と LOCO は RTC のクロックソースとして選択可能です。表 5.4 と表 5.5 にリセット発生時の SOSC と LOCO の状態を示します。

表 5.4 リセット発生時の SOSC の状態

		リセット要因	
		POR	その他
SOSC	有効／無効	初期化（無効）	リセット発生前に選択されていた状態を継続
	駆動能力	初期化（ノーマルモード）	リセット発生前に選択されていた状態を継続
	XT1/XT2	未選択の状態に初期化	リセット発生前に選択されていた状態を継続

表 5.5 リセット発生時の LOCO の状態

		リセット要因	
		POR/LVD0/LVD1/LVD2	その他
LOCO	有効／無効	初期化（有効）	

リセットが解除されると、リセット例外処理を開始します。

表 5.6 にリセット機能に関連する端子を示します。

表 5.6 リセット関連端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 RSTSR0：リセットステータスレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x410

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
Value after reset:	0	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W(注2)
1	LVD0RF	電圧監視 0 リセット検出フラグ 0: 電圧監視 0 リセット未検出 1: 電圧監視 0 リセット検出	R/W(注2)
2	LVD1RF	電圧監視 1 リセット検出フラグ 0: 電圧監視 1 リセット未検出 1: 電圧監視 1 リセット検出	R/W(注2)
3	LVD2RF	電圧監視 2 リセット検出フラグ 0: 電圧監視 2 リセット未検出 1: 電圧監視 2 リセット検出	R/W(注2)
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. 本レジスタは「5.1. 概要」に示すリセット要因が発生した時、およびフラグをクリアするための 0 書き込みによりクリアされます。クリアしたいフラグ以外は 1 を書き込む必要があります。

PORF フラグ（パワーオンリセット検出フラグ）

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

LVD0RF フラグは VCC 電圧が V_{det0} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

LVD1RF フラグは VCC 電圧が V_{det1} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

LVD2RF フラグは VCC 電圧が V_{det2} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

5.2.2 RSTSR1：リセットステータスレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BUSE RF	—	—	REER F	RPER F	—	—	—	—	—	SWRF	WDTR F	IWDT RF
Value after reset:	0	0	0	x(注1)	0	0	x(注1)	x(注1)	0	0	0	0	0	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W(注2)
1	WDTRF	ウォッチドッグタイマリセット検出フラグ 0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/W(注2)
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W(注2)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RPERF	SRAM パリティエラーリセット検出フラグ 0: SRAM パリティエラーリセット未検出 1: SRAM パリティエラーリセット検出	R/W(注2)
9	REERF	SRAM ECC エラーリセット検出フラグ 0: SRAM ECC エラーリセット未検出 1: SRAM ECC エラーリセット検出	R/W(注2)
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	BUSERF	バスエラーリセット検出フラグ 0: バスエラーリセット未検出 1: バスエラーリセット検出	R/W(注2)
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- IWDTRF から 1 を読み出して 0 を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

WDTRF フラグはウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- WDTRF から 1 を読み出して 0 を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- SWRF から 1 を読み出して 0 を書いたとき

RPERF フラグ（SRAM パリティエラーリセット検出フラグ）

RPERF フラグは SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- RPERF から 1 を読み出して 0 を書いたとき

REERF フラグ（SRAM ECC エラーリセット検出フラグ）

REERF フラグは SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- REERF から 1 を読み出して 0 を書いたとき

BUSERF フラグ（バスエラーリセット検出フラグ）

BUSERF フラグはバスエラーリセットが発生したことを示します。

[1 になる条件]

- バスエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- BUSERF から 1 を読み出して 0 を書いたとき

5.2.3 RSTSR2: リセットステータスレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x411

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF
Value after reset:	0	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート／ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。

注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート／ウォームスタート判別フラグ)

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。本フラグは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- プログラムで 1 を書いたとき

[0 になる条件]

- [表 5.2](#) に示すリセットが発生したとき

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切れ、本 MCU はリセット状態になります。本 MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、解除後待機時間 (t_{RESWT}) 経過後、内部リセットが解除されます。その後 CPU がリセット例外処理を開始します。

詳細は、「[37. 電气的特性](#)」を参照してください。

5.3.2 パワーオンリセット

パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。以下の条件で発生します。

1. RES 端子を High にした状態で、電源を投入した場合
2. RES 端子を High にした状態で、VCC 電圧が V_{POR} 電圧より低下した場合

パワーオンリセット中に VCC 電圧が V_{POR} 電圧を超えると、パワーオンリセット時間 (t_{POR}) 経過後、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源が安定し、かつ本 MCU が安定して動作するための時間です。

パワーオンリセットが発生すると、RSTSR0 レジスタの PORF フラグが 1 になります。PORF フラグは RES 端子リセットによって初期化されます。VCC 電圧が V_{POR} を下回った場合、パワーオンリセット状態となります。

図 5.1 に、パワーオンリセット時の動作例を示します。

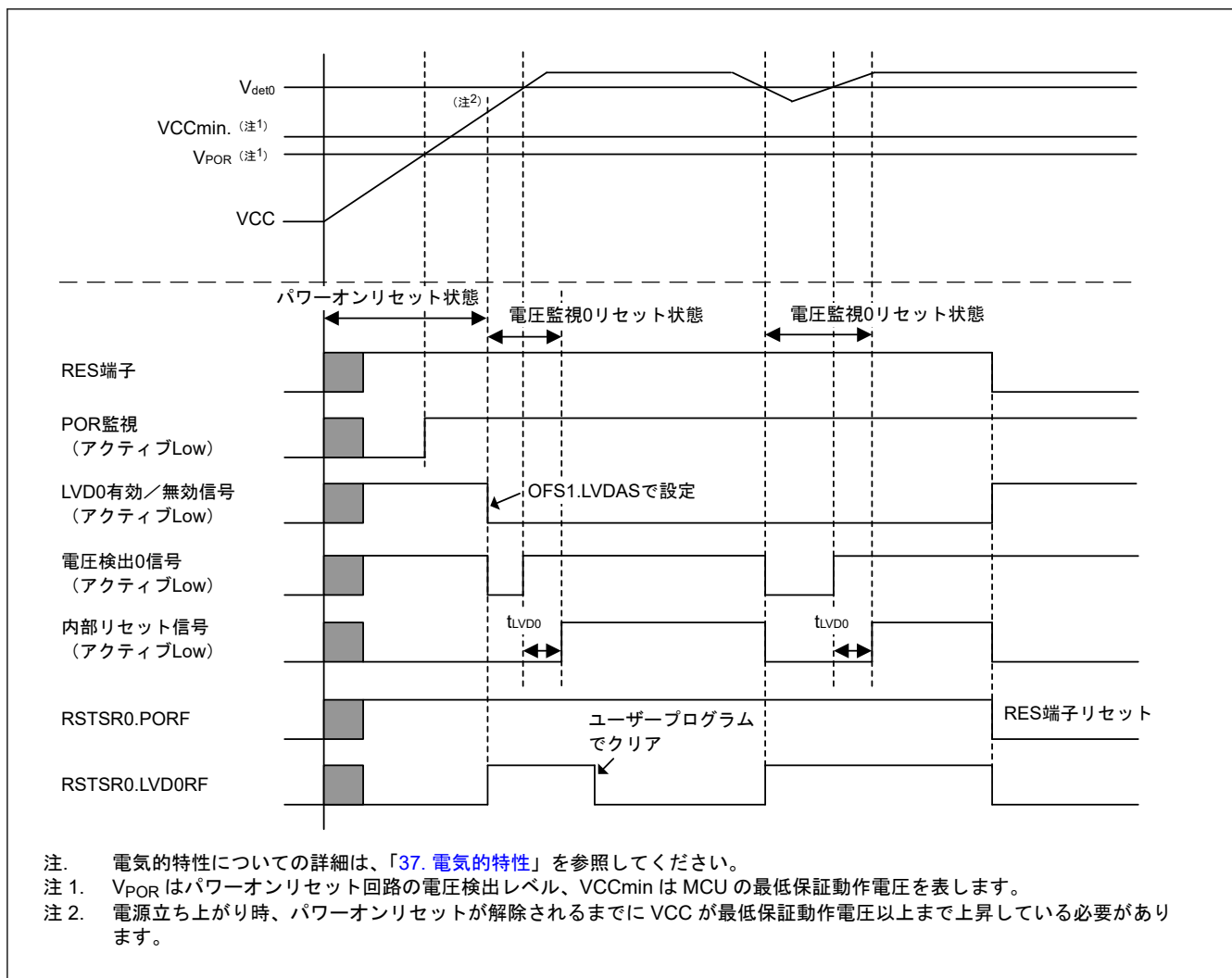


図 5.1 パワーオンリセット時の動作例

5.3.3 電圧監視リセット

電圧監視 i ($i = 0, 1, 2$) リセットは、電圧監視 i 回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0 (リセット後、電圧監視 0 リセット有効) の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (RIE) が 1 (電圧監視 1 回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC の電圧が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧監視 1 回路は電圧監視 1 リセットを発生させます。

電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (RIE) が 1 (電圧監視 2 回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (RI) が 1 (低電圧検出時、リセット発生) の状態にあるとき、VCC の電圧が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧監視 2 回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC の電圧が V_{det1} 以下になっている場合、V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。

また、LVD1CR0.RN ビットが 1 で、かつ VCC の電圧が V_{det1} 以下になっている場合、LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングは、LDV2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

検出レベルの V_{det1} と V_{det2} は、電圧検出レベル選択レジスタ (LVDLVLR) で変更できます。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出回路 (LVD)」を参照してください。

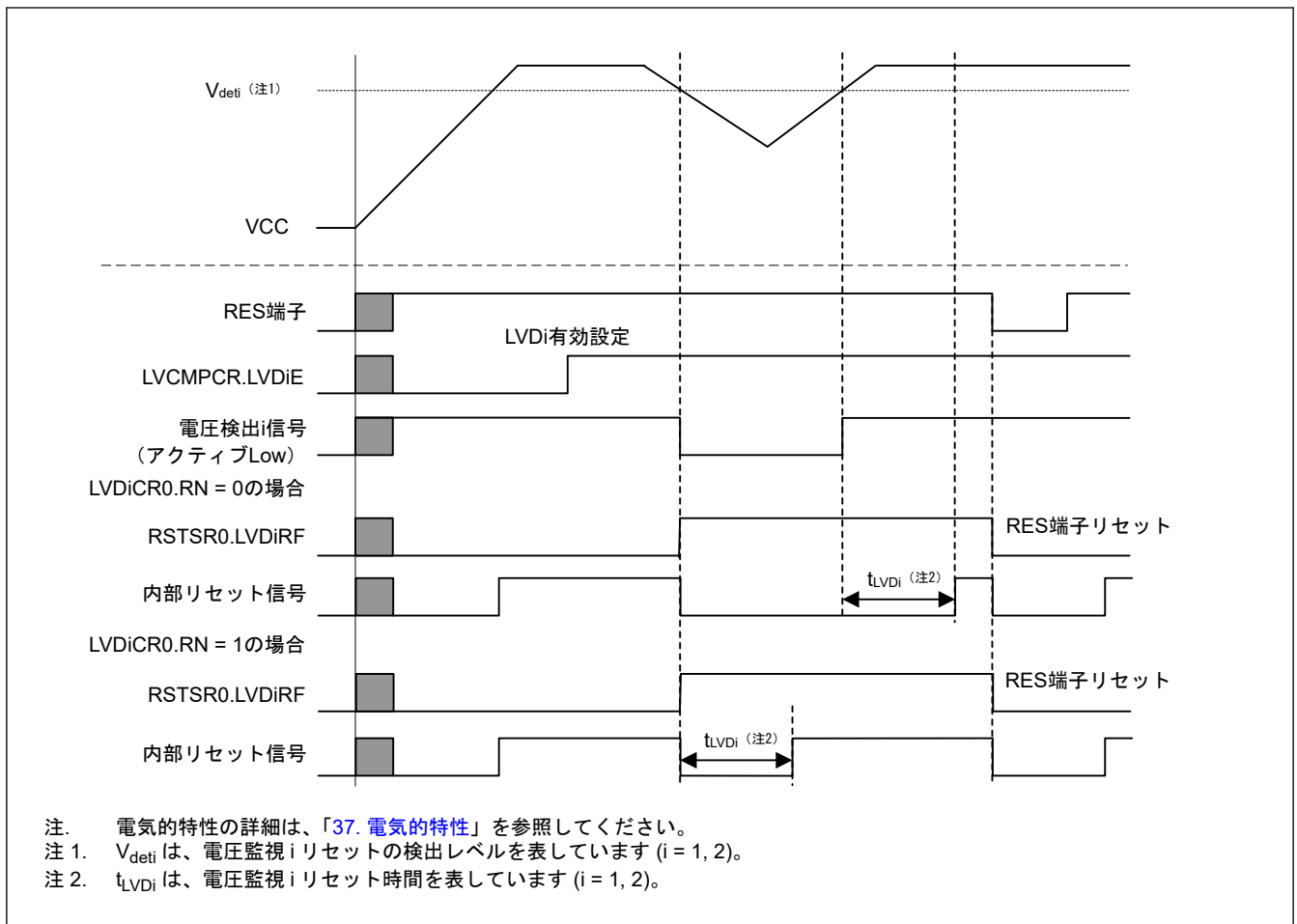


図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

5.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESWT3}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「22. 独立ウォッチドッグタイマ (IWDG)」を参照してください。

5.3.5 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESWT3}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「[21. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

5.3.6 ソフトウェアリセット

ソフトウェアリセットは、CPU コア内部の SWRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間 (t_{RESWT3}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

5.3.7 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.3 にコールドスタート／ウォームスタート判定機能の動作例を示します。

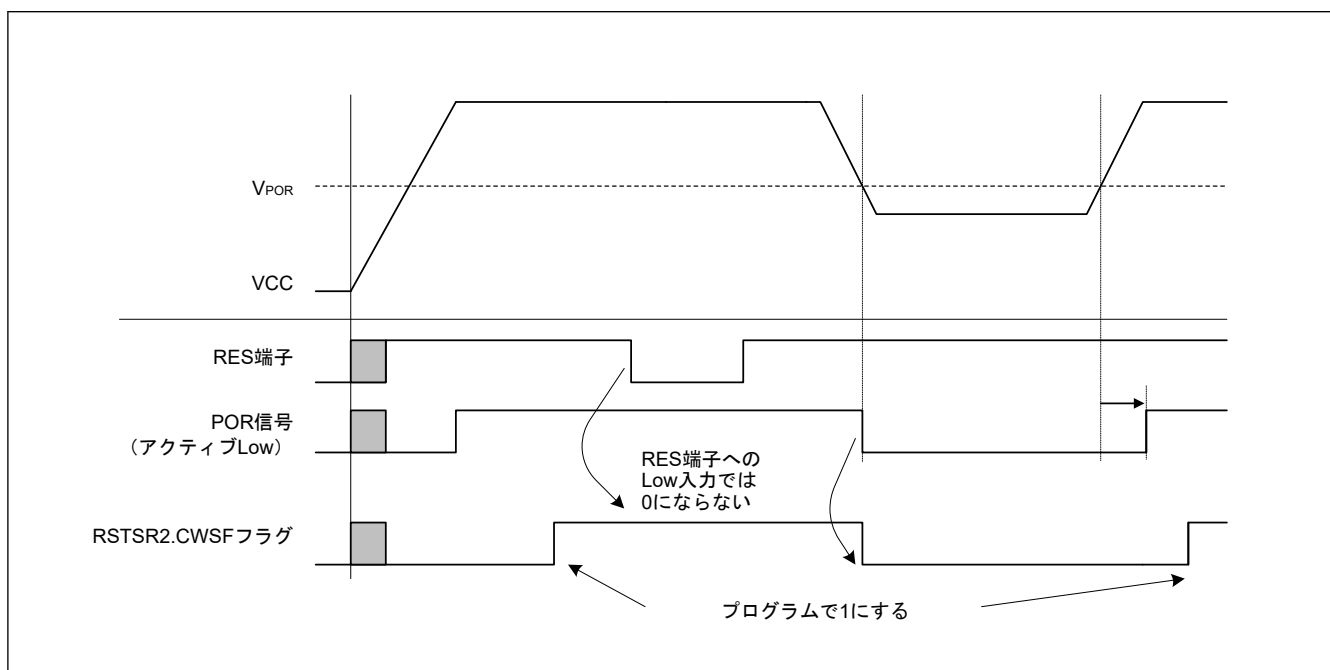


図 5.3 コールドスタート／ウォームスタート判定機能の動作例

5.3.8 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、クリアするフラグ以外は 1 を書いてください。

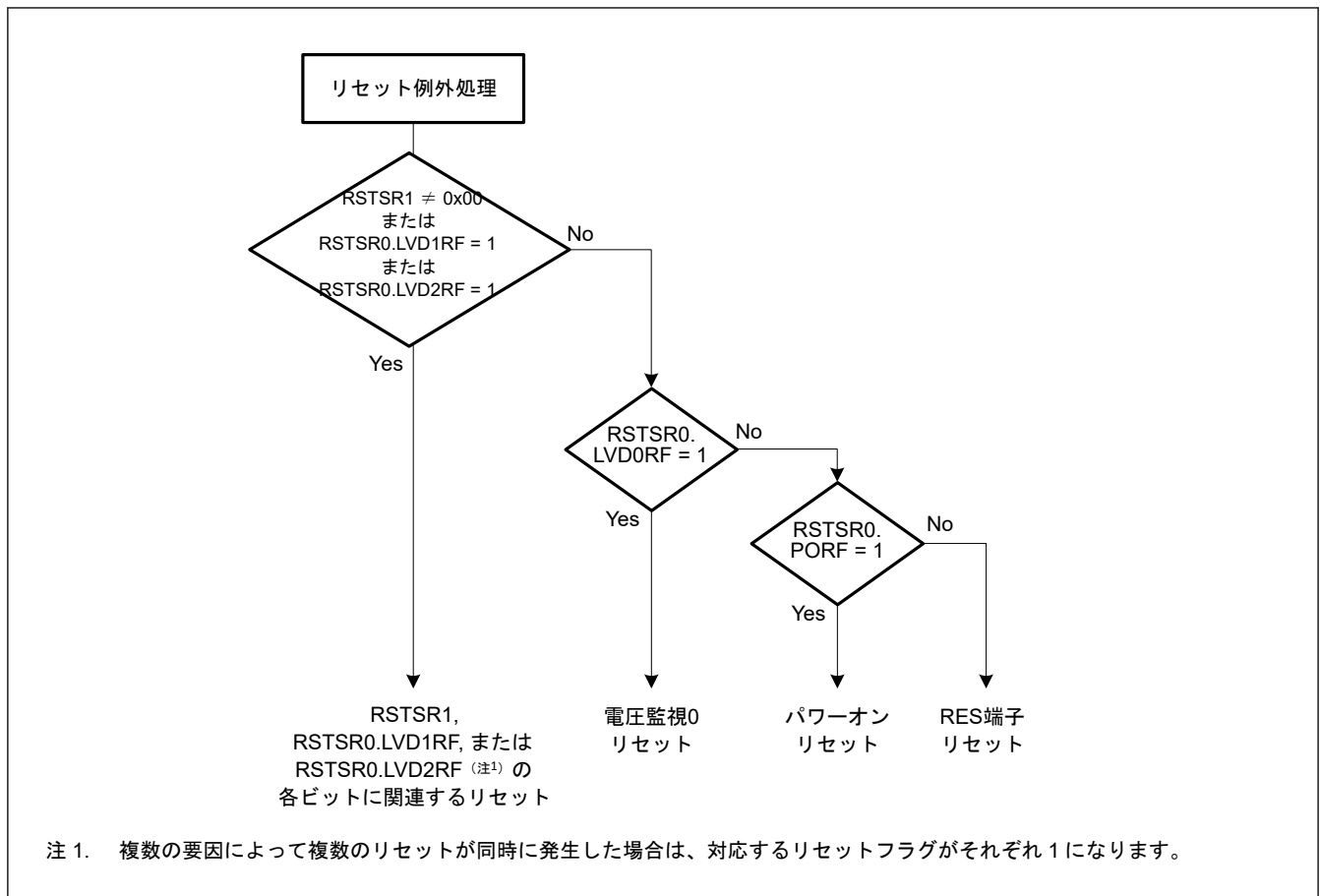


図 5.4 リセット発生要因の判定フロー例

5.4 使用上の注意

5.4.1 RES 端子リセットの注意事項

以下の条件で RES 端子リセットを使用すると、パワーオンリセットが発生する場合があります。

- VCC ≤ 1.7 V のとき
- 電圧検出 0 回路が使用可能なとき

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域に配置されます。これら 2 つの領域では設定方法が異なります。

図 6.1 にオプション設定メモリ領域を示します。

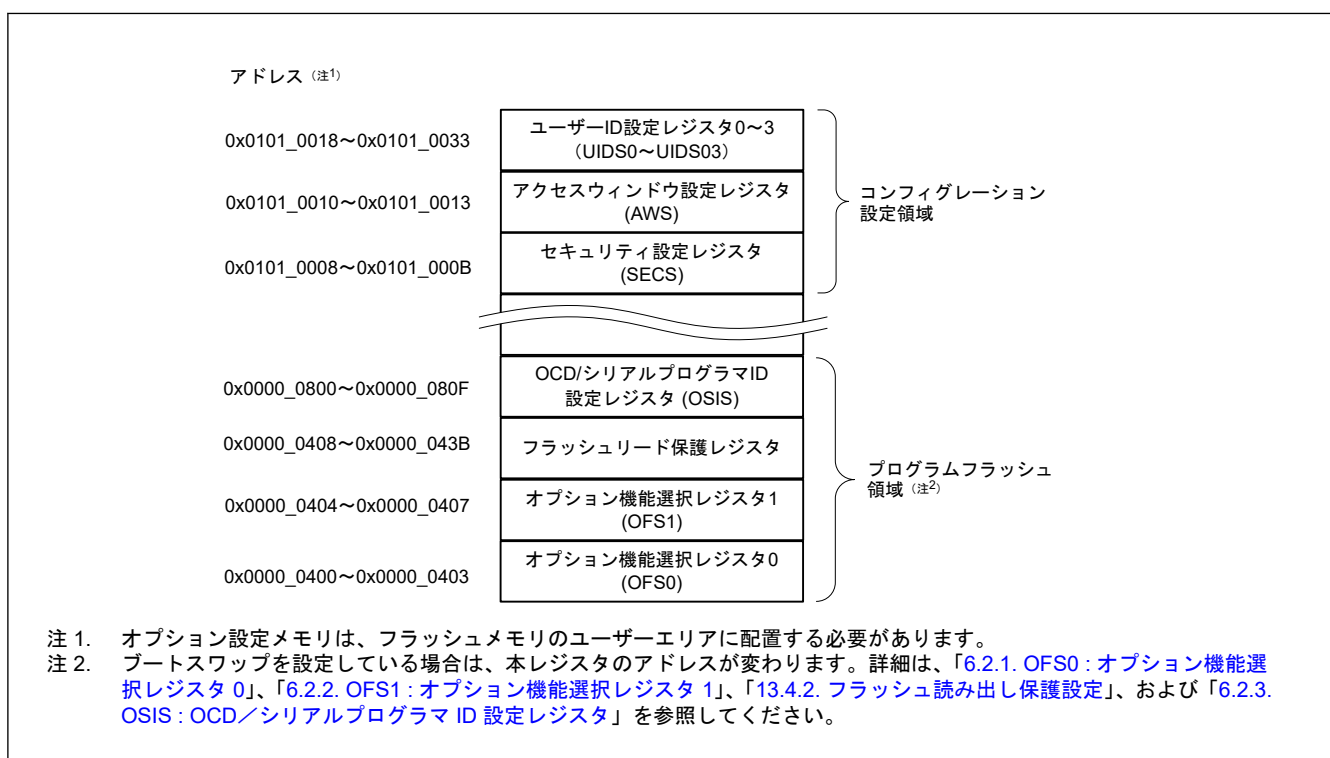


図 6.1 オプション設定メモリの領域

6.2 レジスタの説明

6.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x0000_0400(注¹)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDTS TPCTL	—	WDTR STIRQ S	WDTRPSS[1:0]	WDTRPES[1:0]	WDTCKS[3:0]			WDTTOPS[1:0]			WDTS TRT	—		

Value after reset: ユーザー設定値(注²)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDT STPC TL	—	IWDT RSTIR QS	IWDRPSS[1:0]	IWDRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]			IWDT STRT	—		

Value after reset: ユーザー設定値(注²)

ビット	シンボル	機能	R/W
0	—	読むと設定値が読めます。	R

ビット	シンボル	機能	R/W
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動（オートスタートモード） 1: リセット後、IWDT は停止状態	R
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 設定禁止	R
9:8	IWDRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
11:10	IWDRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
12	IWDRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
13	—	読むと設定値が読めます。	R
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
16:15	—	読むと設定値が読めます。	R
17	WDTSTRT	WDT スタートモード選択 0: リセット後、WDT は自動的に起動（オートスタートモード） 1: リセット後、WDT は停止状態（レジスタスタートモード）	R
19:18	WDTTOPS[1:0]	WDT タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDTCKS[3:0]	WDT クロック分周比選択 0x1: WDTCLK/4 0x4: WDTCLK/64 0xF: WDTCLK/128 0x6: WDTCLK/512 0x7: WDTCLK/2048 0x8: WDTCLK/8192 その他: 設定禁止	R
25:24	WDRPES[1:0]	WDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R

ビット	シンボル	機能	R/W
27:26	WDTRPSS[1:0]	WDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウの開始位置設定なし)	R
28	WDRSTIRQS	WDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	読むと設定値が読めます。	R
30	WDTSTPCTL	WDT 停止制御 0: カウント継続 1: スリープモード遷移時にカウント停止	R
31	—	読むと設定値が読めます。	R

注 1. ブートスワップが設定されている場合は本レジスタのアドレスが変わります。このため、ブートスワップを使用する場合は、0x0000_2400 と 0x0000_0400 に同じ値を設定してください。

注 2. 未書き込み状態では、0xFFFFFFFF です。

IWDTSTRT ビット (IWDT スタートモード選択)

IWDTSTRT ビットは、リセット後の IWDT の起動モード (停止状態、またはオートスタートモード) が選択できます。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択)

IWDTTOPS[1:0] ビットは、ダウンカウンタがアンダーフローするまでの時間 (すなわち、タイムアウト期間) を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定されます。

詳細は「[22. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTCKS[3:0] ビット (IWDT 専用クロック分周比選択)

IWDTCKS[3:0] ビットは、IWDT 専用クロックを分周するプリスケアラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を 128～524288 サイクルの間で設定できます。

詳細は「[22. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択)

IWDRPES[1:0] ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「[22. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択)

IWDRPSS[1:0] ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダーフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「[22. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択)

IWDRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「[22. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットは、スリープモードまたはソフトウェアスタンバイモードに移移する時にカウントを停止するかどうかを指定します。

表 6.1 に IWDTSTPCTL ビットによるカウント停止制御を示します。

表 6.1 IWDTSTPCTL ビットによるカウント停止制御

IWDTSTPCTL	モード	IWDT のカウント動作
0	スリープモード／ソフトウェアスタンバイモード	カウント継続
1	スリープモード／ソフトウェアスタンバイモード	カウント停止

詳細は「[22. 独立ウォッチドッグタイマ \(IWDT\)](#)」を参照してください。

WDTSTRT ビット (WDT スタートモード選択)

WDTSTRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択できます。オートスタートモードでの起動の場合、WDT の設定は、OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0]ビット (WDT タイムアウト期間選択)

WDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、WDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で選択します。リフレッシュ後、アンダーフローするまでの WDTCLK サイクル数は、WDTCKS[3:0]ビットと WDTTOPS[1:0]ビットの組み合わせで決定されます。

詳細は「[21. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTCKS[3:0]ビット (WDT クロック分周比選択)

WDTCKS[3:0]ビットは WDTCLK を分周するプリスケアラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。これらのビット設定を WDTTOPS[1:0]ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの WDTCLK サイクル数に設定可能です。

詳細は「[21. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDRPES[1:0]ビット (WDT ウィンドウ終了位置選択)

WDRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDRPSS[1:0]、WDRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウント値は、WDTTOPS[1:0]ビットの設定により変わります。

詳細は「[21. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDRPSS[1:0]ビット (WDT ウィンドウ開始位置選択)

WDRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、

それ以外はリフレッシュ禁止期間となります。

詳細は、「[21. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTRSTIRQS ビット (WDT リセット割り込み要求選択)

WDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「[21. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

WDTSTPCTL ビット (WDT 停止制御)

WDTSTPCTL ビットは、スリープモードに遷移する時に、カウントを停止させるかどうかを指定します。
詳細は「[21. ウォッチドッグタイマ \(WDT\)](#)」を参照してください。

6.2.2 OFS1 : オプション機能選択レジスタ 1

Address: 0x0000_0404(注1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ICSAT S	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値(注2)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	HOCOFREQ1[2:0]			—	—	—	HOCO EN	—	—	VDSEL0[2:0]			LVDA S	—	—

Value after reset: ユーザー設定値(注2)

ビット	シンボル	機能	R/W
1:0	—	読むと設定値が読めます。	R
2	LVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
5:3	VDSEL0[2:0]	電圧検出 0 レベル選択(注3) 0 0 0: V_{det0_0} 0 0 1: V_{det0_1} 0 1 0: V_{det0_2} 0 1 1: V_{det0_3} 1 0 0: V_{det0_4} その他: 設定禁止	R
7:6	—	読むと設定値が読めます。	R
8	HOCOEN	HOCO 発振有効 0: リセット中に HOCO が自動的に発振開始 1: リセット中に HOCO は発振しない	R
11:9	—	読むと設定値が読めます。	R
14:12	HOCOFREQ1[2:0]	HOCO 周波数設定 1 0 0 0: 24 MHz 0 1 0: 32 MHz 1 0 0: 48 MHz その他: 設定禁止	R
30:15	—	読むと設定値が読めます。	R
31	ICSATS	内部クロック供給アーキテクチャタイプ選択 0: 内部クロック供給アーキテクチャタイプ B 1: 内部クロック供給アーキテクチャタイプ A	R

注 1. ブートスワップが設定されている場合は本レジスタのアドレスが変わります。このため、ブートスワップを使用する場合は、0x0000_2404 と 0x0000_0404 に同じ値を設定してください。

注 2. 未書き込み状態では、0xFFFFFFFF です。

注 3. 検出対象電圧レベルの詳細は、「[37. 電氣的特性](#)」を参照してください。

LVDAS ビット (電圧検出 0 回路起動)

LVDAS ビットは、リセット後に電圧監視 0 リセットを有効にするか無効にするかを選択します。

VDSEL0[2:0] ビット (電圧検出 0 レベル選択)

VDSEL0[2:0] ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

HOCOEN ビット (HOCO 発振有効)

HOCOEN ビットは、リセット中に HOCO を発振させるかどうかを選択します。HOCO 発振有効ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1HOCOFRQ1 ビット(注1)を最適な値に設定してください。

注 1. OFS1.HOCOFRQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるので、OFS1.HOCOEN=1 の場合 HOCO 周波数は HOCOCR2.HCFRQ1[2:0] ビットで設定することもできます。

HOCOFRQ1[2:0] ビット (HOCO 周波数設定 1)

HOCOFRQ1[2:0] ビットは、リセット後の HOCO 周波数を、24、32、48 MHz から選択します。

ICSATS ビット (内部クロック供給アーキテクチャタイプ選択)

ICSATS ビットは、リセット後の内部クロック供給アーキテクチャをタイプ A、タイプ B から選択します。

内部クロック供給アーキテクチャタイプ A は、ICLK、PCLKB の周波数をシステムクロック分周制御レジスタ (SCKDIVCR) で個別に設定できるクロックを提供します。

内部クロック供給アーキテクチャタイプ A の場合、各種アプリケーションにおけるシステムと周辺機能の動作周波数関係は極めて柔軟です。

内部クロック供給アーキテクチャタイプ B は、システムクロック分周制御レジスタ (SCKDIVCR) の PCKB[2:0] の設定に関係なく、ICLK、PCLKB の周波数が ICLK=PCLKB として固定されるクロックを提供します。

内部クロック供給アーキテクチャタイプ B では、各種アプリケーションにおけるシステムと周辺機能の動作周波数関係は単純です。そのため消費電源低減で有利なタイプと言えます。

システムクロック分周コントロールレジスタの詳細については、「[8.2.1. SCKDIVCR: システムクロック分周コントロールレジスタ](#)」を参照してください。

クロック発生回路ブロック図の詳細については、「[8.1. 概要](#)」を参照してください。

注. 内部クロック供給アーキテクチャタイプ B を選択した場合：

- OFS1.HOCOFRQ1[2:0] での 48 MHz HOCO 周波数の設定はできません。HOCO 周波数を 32 MHz または 24 MHz に設定します。
- MEMWAIT.MEMWAIT および FLDWAITR.FLDWAIT1 でのメモリウェイト設定はできません。デフォルトを使用してください。

6.2.3 OSIS : OCD／シリアルプログラマ ID 設定レジスタ

OSIS レジスタは、OCD／シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD／シリアルプログラマを接続する場合、MCU がその接続を許可するか否かを判定できるようにするための値を書き込んでください。本レジスタを用いて、OCD／シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定してください。ID コードが一致した場合は OCD/シリアルプログラマとの接続を許可しますが、一致しない場合は OCD/シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビットワード単位で設定する必要があります。

Address: 0x0000_0800, 0x0000_0804, 0x0000_0808, 0x0000_080C(注1)

Bit position: 31

0

Bit field:

Value after reset:

ユーザー設定値

注 1. ブートスワップ設定時は、このレジスタのアドレスが変わります。そのため、ブートスワップを使用する場合は 0x0000_280X と 0x0000_080X に同じ値を設定してください。

OCD／シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット[127]と[126]は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。詳細は「[35.5.1. ID コードプロテクト](#)」を参照してください。

ID コード「0xFFEE_DDCC_BBAA_9988_7766_5544_3322_1100」を b127～b0 に書き込む場合のアドレス配置の例を表 6.2 に示します。

表 6.2 アドレス配置の例

アドレス	b31～b24	b23～b16	b15～b8	b7～b0
0x0000_0800	33	22	11	00
0x0000_0804	77	66	55	44
0x0000_0808	BB	AA	99	88
0x0000_080C	FF	EE	DD	CC

6.2.4 AWS : アクセスウィンドウ設定レジスタ

Address: 0x0101_0010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	FAWE[10:0]										

Value after reset: ユーザー設定値

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FAWS[10:0]										

Value after reset: ユーザー設定値

ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始ブロックアドレス これらのビットは、アクセスウィンドウの開始ブロックのアドレスを指定します。アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域の中でのみ有効です。ブロックアドレスは、ブロックの先頭アドレスで指定し、アドレスビット[21:11]で構成します。	R
15:11	—	読むと設定値が読めます。	R
26:16	FAWE[10:0]	アクセスウィンドウ終了ブロックアドレス これらのビットは、アクセスウィンドウの終了ブロックアドレスを指定します。アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域の中でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義される受け入れ可能な P/E（プログラムとイレース）領域の次ブロックです。ブロックアドレスは、ブロックの先頭アドレスで指定し、アドレスビット[21:11]で構成します。	R
31:27	—	読むと設定値が読めます。	R

アクセスウィンドウの外側にある領域にプログラムコマンドまたはイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域の中でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。シリアルプログラミングモードでは、アクセスウィンドウの外側にあるフラッシュメモリ領域へ読み出しコマンドを発行することは禁止されています。アクセスウィンドウは FAPR ビットでロックすることができます。

アクセスウィンドウは、FAWS[10:0] ビットと FAWE[10:0] ビットで指定されています。FAWS[10:0] ビットおよび FAWE[10:0] ビットの設定値は以下のとおりです。

FAWE[10:0] = FAWS[10:0]: P/E コマンドと読み出しコマンドは、プログラムフラッシュ領域の全域で実行できます。

FAWE[10:0] > FAWS[10:0]: ウィンドウ内で P/E コマンドと読み出しコマンドを実行できるのは、FAWS[10:0] ビットで示されるブロックから FAWE[10:0] ビットで示されるブロックの 1 ブロック前までの範囲内だけです。

FAWE[10:0] < FAWS[10:0]: プログラムフラッシュ領域内で P/E コマンドと読み出しコマンドを実行できません。

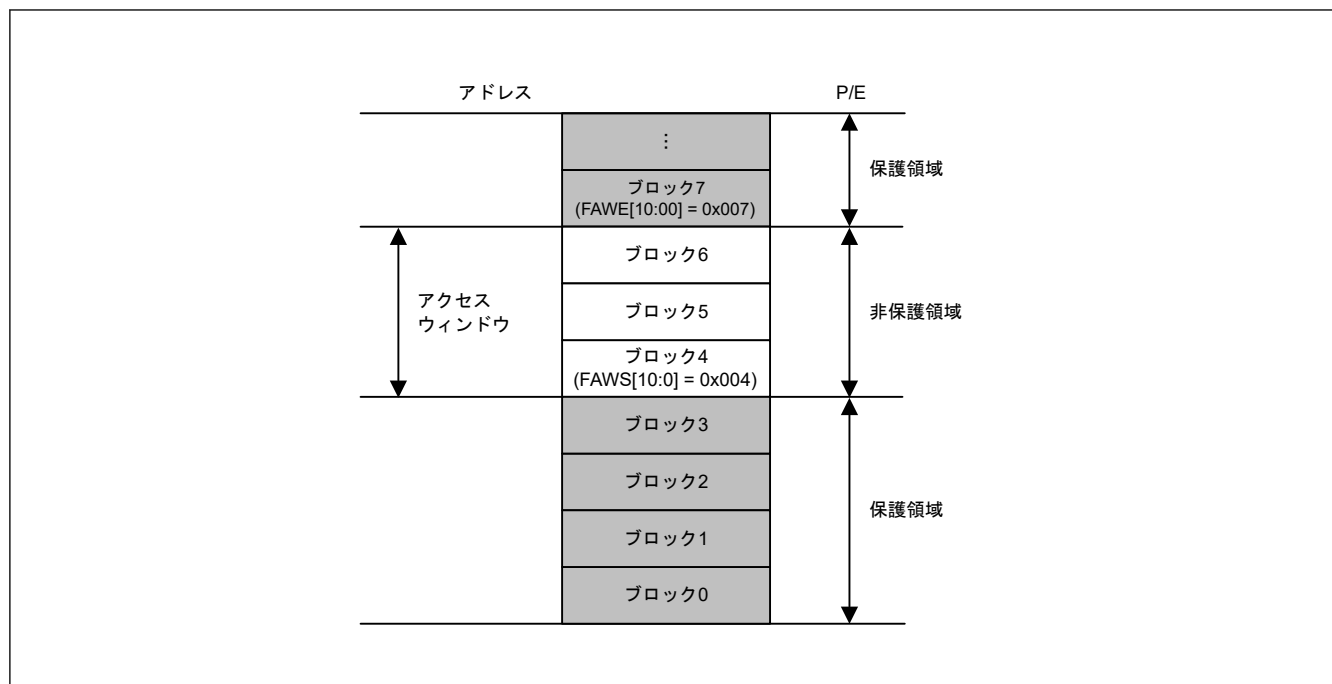


図 6.2 アクセスウィンドウの概要

6.2.5 SECS : セキュリティ設定レジスタ

Address: 0x0101_0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	FAPR	OCDDIS	—	—	—	—	—	—	—	—	—	—	—	—	—

Value after reset: ユーザー設定値

ビット	シンボル	機能	R/W
12:0	—	読むと設定値が読めます。0 の設定は禁止です。必ず 1 を設定してください。	R
13	OCDDIS	オンチップデバッグ接続の保護 このビットはオンチップデバッグへの接続を制御します。このビットはいったん 0 にすると、ALeRASE シーケンス以外では 1 に変更できません。 0: オンチップデバッグは接続不可 1: オンチップデバッグは接続可	R
14	FAPR	アクセスウィンドウ機能の保護 このビットは、アクセスウィンドウを設定するコマンドを制御します。このビットは一度 0 にすると、1 に変更できません。 0: コンフィグレーション設定コマンドでアクセスウィンドウ (FAWE[10:0], FAWS[10:0]) をプログラミングすることはできません。ALeRASE シーケンスは無効です。 1: コンフィグレーション設定コマンドでアクセスウィンドウ (FAWE[10:0], FAWS[10:0]) をプログラミングすることができます。ALeRASE シーケンスは有効です。	R
31:15	—	読むと設定値が読めます。	R

6.2.6 UIDSn : ユーザ ID 設定レジスタ n (n = 0~3)

Base address: 0x0101_0018

Offset address: 0x08 × n

Bit position: 31

0

Bit field:

UIDSn[31:0]

Value after reset:

ユーザー設定値

ビット	シンボル	機能	R/W
31:0	UIDSn[31:0]	ユーザ ID の設定を指定します。	R

ユーザ ID は、フラッシュメモリプログラムを使用したシリアルプログラミングによって設定することができます。表 6.3 にユーザ ID に関する設定や機能を示します。詳細は、「[35.9.3. ユーザー ID 読み出しプロテクション](#)」を参照してください。

表 6.3 ユーザ ID に関連する設定および機能

レジスタ	ビット幅	機能
UIDS0[31:0]	64	任意の 64 ビット値を指定可能。
UIDS1[31:0]		
UIDS2[31:0]	32 (UIDS2[31:21] は予約)	ユーザ ID キーデータを格納するコードフラッシュメモリのアドレスに 21 ビットの値を設定します。
UIDS3[31:0]	32	任意の 32 ビット値をロックデータとして指定可能。ユーザ ID のキーデータと同じ値を設定します。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、[図 6.1](#) に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注. プログラミング形式はコンパイラによって異なります。詳細については、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

「[6.3.1. オプション設定メモリへのデータの配置方法](#)」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムコマンドを用いて、プログラムフラッシュメモリ領域へデータを書き込んでください。また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。

プログラムコマンドとコンフィグレーション設定コマンドの詳細は、「[35. フラッシュメモリ](#)」を参照してください。

(2) フラッシュライターによるプログラミング

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「[6.3.1. オプション設定メモリへのデータの配置方法](#)」に記述されているように配置されたデータを、コンパイルが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU ヘプログラムします
- ツールの GUI インタフェースを使用して、「[6.3.1. オプション設定メモリへのデータの配置方法](#)」に示すものと同じデータをプログラムします

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

6.4.2 FAPR ビットに関する注意事項

SECS.FAPR ビットはいったん 0 にすると 1 に戻すことができません。その場合、アクセスウィンドウを再び設定することができなくなります。

6.4.3 FAPR ビット設定の順序

アクセスウィンドウの設定後に FAPR ビットを設定します。ヘキサファイルを使用してプログラムする場合、プログラムはアドレスの昇順になります。この場合、アクセスウィンドウの設定前に FAPR ビットが書き込まれます。そのため、FAPR のヘキサファイルを別のファイルに分割し、アクセスウィンドウを設定した後にそのファイルを使用してください。

6.4.4 OCDDIS ビットに関する注意事項

SECS.OCDDIS ビットを 0 から 1 に変える手段は ALERASE シーケンスだけです。FAPR が 0 のときに SECS.OCDDIS ビットを 0 から 1 に変えることはできません。

7. 低電圧検出回路 (LVD)

7.1 概要

低電圧検出 (LVD) モジュールは、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD モジュールは、3 つの独立した電圧監視回路 (LVD0, LVD1, LVD2) から構成されています。LVD0、LVD1、および LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタは、アプリケーションの設定により、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。

電圧監視レジスタを用いることで、電圧しきい値を通過したときに、LVD に割り込み、イベントリンク出力、またはリセットを発生させることができます。

表 7.1 に LVD の仕様を示します。図 7.1 に電圧監視 0 リセット発生回路のブロック図を示します。図 7.2 に電圧監視 1 割り込み／リセット発生回路のブロック図を、図 7.3 に電圧監視 2 割り込み／リセット発生回路のブロック図を示します。

表 7.1 LVD の仕様

項目		電圧監視 0	電圧監視 1	電圧監視 2
動作設定方法		OFS1 レジスタで設定	LVD のレジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V _{det0}	V _{det1}	V _{det2}
検出イベント		下降して V _{det0} を通過	上昇または下降して V _{det1} を通過	上昇または下降して V _{det2} を通過
検出電圧		OFS1.VDSEL0[2:0]ビットで 5 レベルから選択可能	LVDLVLRLVD1LVL[4:0]ビットで 16 レベルから選択可能	LVDLVLRLVD2LVL[2:0]ビットで 4 レベルから選択可能
モニタフラグ		なし	LVD1SR.MON フラグ：電圧が V _{det1} より高いか低いかを監視	LVD2SR.MON フラグ：電圧が V _{det2} より高いか低いかを監視
			LVD1SR.DET フラグ：V _{det1} 通過検出	LVD2SR.DET フラグ：V _{det2} 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		V _{det0} > VCC でリセット。VCC > V _{det0} の一定時間後に CPU 動作再開	V _{det1} > VCC でリセット。CPU 動作再開タイミングとして、VCC > V _{det1} の一定時間後、または V _{det1} > VCC の一定時間後を選択可能	V _{det2} > VCC でリセット。CPU 動作再開タイミングとして、VCC > V _{det2} の一定時間後、または V _{det2} > VCC の一定時間後を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابل割り込み、またはマスクابل割り込みを選択可能	ノンマスクابل割り込み、またはマスクابل割り込みを選択可能
			V _{det1} > VCC および VCC > V _{det1} の両方、またはどちらかのとき割り込み要求	V _{det2} > VCC および VCC > V _{det2} の両方、またはどちらかのとき割り込み要求
イベントリンク機能		なし	あり V _{det1} 通過検出時にイベント信号出力	あり V _{det2} 通過検出時にイベント信号出力

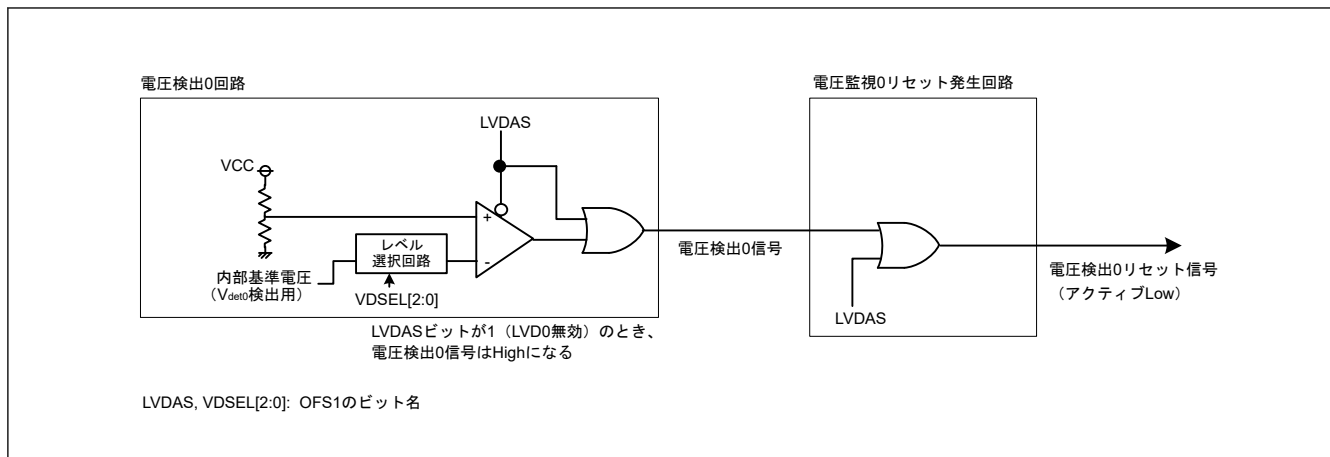


図 7.1 電圧監視 0 リセット発生回路のブロック図

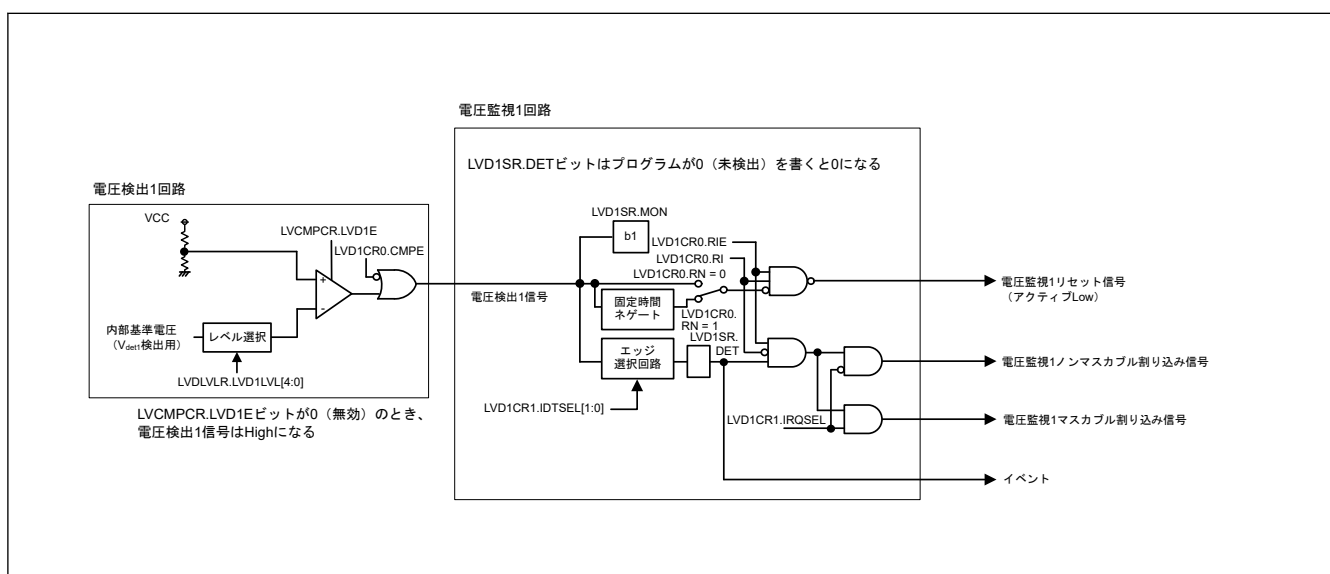


図 7.2 電圧監視 1 割り込み／リセット発生回路のブロック図

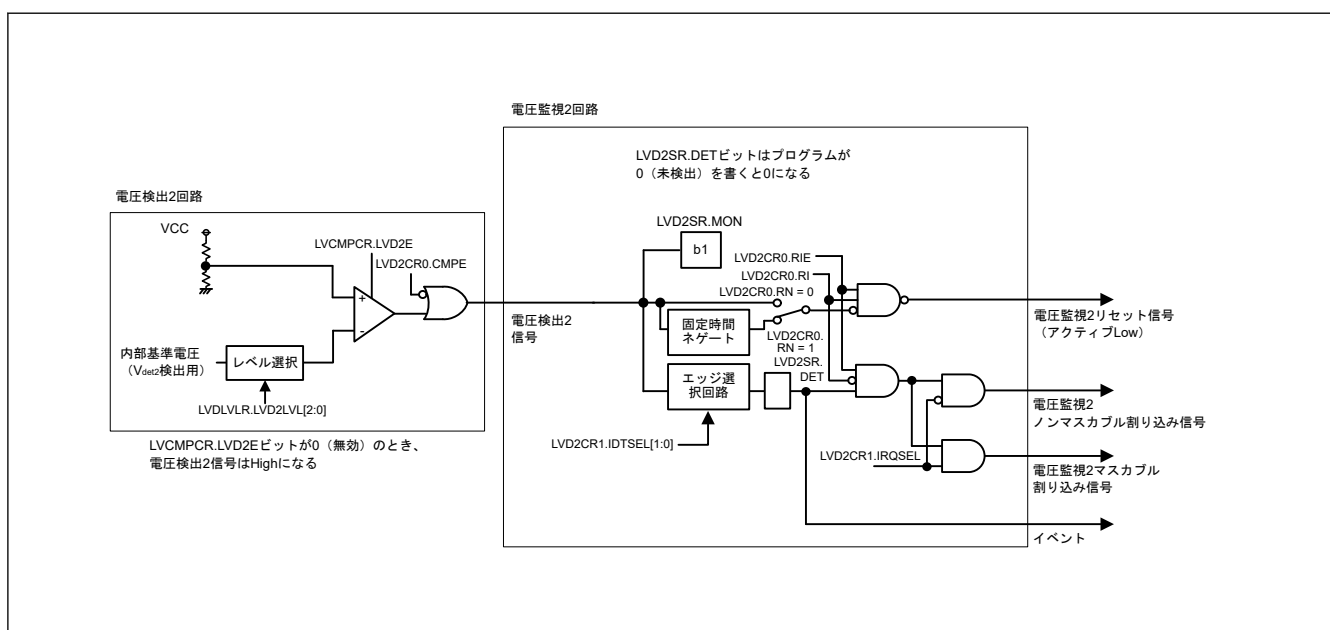


図 7.3 電圧監視 2 割り込み／リセット発生回路のブロック図

7.2 レジスタの説明

7.2.1 LVCMPCR : 電圧監視回路コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x417

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	LVD2E	LVD1E	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	LVD1E	電圧検出 1 回路イネーブル 0: 電圧検出 1 回路無効 1: 電圧検出 1 回路有効	R/W
6	LVD2E	電圧検出 2 回路イネーブル 0: 電圧検出 2 回路無効 1: 電圧検出 2 回路有効	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

LVD1E ビット (電圧検出 1 回路イネーブル)

電圧検出 1 回路の割り込み／リセットを使用する場合、または LVD1SR.MON フラグを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットを 0 から 1 に変更した後、LVD1 動作安定時間 ($t_{d(E-A)}$) を経過すると、電圧監視 1 回路が動作します。LVD1 動作安定時間 ($t_{d(E-A)}$) については、「[37. 電氣的特性](#)」を参照してください。

LVD2E ビット (電圧検出 2 回路イネーブル)

電圧検出 2 回路の割り込み／リセットを使用する場合、または LVD2SR.MON フラグを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットを 0 から 1 に変更した後、LVD2 動作安定時間 ($t_{d(E-A)}$) を経過すると、電圧監視 2 回路が動作します。LVD2 動作安定時間 ($t_{d(E-A)}$) については、「[37. 電氣的特性](#)」を参照してください。

7.2.2 LVDLVLR : 電圧検出レベル選択レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x418

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD2LVL[2:0]			LVD1LVL[4:0]				
Value after reset:	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
4:0	LVD1LVL[4:0]	電圧検出 1 レベル選択 (電圧降下時の標準電圧) (注1) 0x00: V_{det1_0} 0x01: V_{det1_1} 0x02: V_{det1_2} 0x03: V_{det1_3} 0x04: V_{det1_4} 0x05: V_{det1_5} 0x06: V_{det1_6} 0x07: V_{det1_7} 0x08: V_{det1_8} 0x09: V_{det1_9} 0x0A: V_{det1_A} 0x0B: V_{det1_B} 0x0C: V_{det1_C} 0x0D: V_{det1_D} 0x0E: V_{det1_E} 0x0F: V_{det1_F} その他: 設定禁止	R/W
7:5	LVD2LVL[2:0]	電圧検出 2 レベル選択 (電圧降下時の標準電圧) (注1) 0 0 0: V_{det2_0} 0 0 1: V_{det2_1} 0 1 0: V_{det2_2} 0 1 1: V_{det2_3} その他: 設定禁止	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. 検出対象電圧レベルの詳細は、「37. 電氣的特性」を参照してください。LVD1 を使用しない場合は、初期値のままにしてください。LVD0 を使用する場合は、LVD0 の検出電圧より高い LVD1 検出電圧を設定してください。LVD1LVL[4:0] ビットは、リセット後に 1 回だけ書き換えできます。

LVDLVLRLR レジスタの設定は、LVCMPCLR.LVD1E ビットと LVCMPCLR.LVD2E ビットがともに 0 (電圧検出 n 回路無効 (n = 1, 2)) の場合のみ変更可能です。また、LVD 電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

7.2.3 LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	—	—	CMPE	—	—	RIE

Value after reset: 1 0 0 0 x 0 0 0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 1 割り込み/リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 1 回路比較結果出力許可 0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 1 回路モード選択 0: V_{det1} 通過時に電圧監視 1 割り込み発生 1: 下降して V_{det1} 通過時に電圧監視 1 リセット許可	R/W

ビット	シンボル	機能	R/W
7	RN	電圧監視 1 リセットネゲート選択 0: $V_{CC} > V_{det1}$ 検出時から一定時間 (t_{LVD1}) 経過後にネゲート 1: LVD1 リセットアサート時から一定時間 (t_{LVD1}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 1 割り込み／リセット許可)

RIE ビットは電圧監視 1 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 1 割り込みも電圧監視 1 リセットも発生しないように、0 に設定してください。

CMPE ビット (電圧監視 1 回路比較結果出力許可)

CMPE ビットは電圧監視 1 回路比較結果出力を許可または禁止にします。電圧検出 1 回路を有効にして安定時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 1 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 1 回路を無効にしてください。

RN ビット (電圧監視 1 リセットネゲート選択)

RN ビットを 1 (LVD1 リセット信号のアサート後、安定時間経過後にネゲート) にする場合、MOCOCR.MCSTP ビットは 0 (MOCO 動作) にしてください。また、ソフトウェアスタンバイモードに移移する場合、RN ビットは 0 ($V_{CC} > V_{det1}$ 検出後、安定時間経過後にネゲート) のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.4 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	—	—	CMPE	—	RIE	

Value after reset: 1 0 0 0 x 0 0 0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 2 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CMPE	電圧監視 2 回路比較結果出力許可 0: 電圧監視 2 回路比較結果出力禁止 1: 電圧監視 2 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	RI	電圧監視 2 回路モード選択 0: V_{det2} 通過時に電圧監視 2 割り込み発生 1: 下降して V_{det2} 通過時に電圧監視 2 リセット許可	R/W
7	RN	電圧監視 2 リセットネゲート選択 0: $V_{CC} > V_{det2}$ 検出時から一定時間 (t_{LVD2}) 経過後にネゲート 1: LVD2 リセットアサート時から一定時間 (t_{LVD2}) 経過後にネゲート	R/W

注. PRCR.PRC3 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

RIE ビット (電圧監視 2 割り込み／リセット許可)

RIE ビットは電圧監視 2 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 2 割り込みも電圧監視 2 リセットも発生しないようにしてください。

CMPE ビット（電圧監視 2 回路比較結果出力許可）

CMPE ビットは、電圧監視 2 回路比較結果出力を許可または禁止します。電圧検出 2 回路が有効になり安定時間 ($t_{d(E-A)}$) が経過した後に、CMPE ビットを 1 に設定してください。電圧検出 2 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 2 回路を無効にしてください。

RN ビット（電圧監視 2 リセットネゲート選択）

RN ビットを 1 にする（LVD2 リセットがアサートされ一定時間が経過した後に LVD2 リセットをネゲートする場合、MOCOCR.MCSTP ビットは 0（MOCO 動作）にしてください。また、ソフトウェアスタンバイモードに移る場合、RN ビットは 0（ $V_{CC} > V_{det2}$ 検出後、安定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1（LVD2 リセット信号のアサート後、安定時間経過後にネゲート）にしないでください。

7.2.5 LVD1CR1：電圧監視 1 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択 0 0: $V_{CC} \geq V_{det1}$ （上昇）検出時に発生 0 1: $V_{CC} < V_{det1}$ （下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 1 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMICR.LVD1EN ビットをリセット状態から変更しないでください。

7.2.6 LVD1SR：電圧監視 1 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 1 電圧変化検出フラグ 0: 未検出 1: V_{det1} 通過検出	R/W(注1)
1	MON	電圧監視 1 信号モニタフラグ 0: $V_{CC} < V_{det1}$ 1: $V_{CC} \geq V_{det1}$ または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 1 電圧変化検出フラグ）

DET フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

V_{det1} を検出するとき、DET フラグを 0 にするのは、LVD1CR0.RIE を 0（禁止）にしてから行ってください。LVD1CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 1 信号モニタフラグ）

MON フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

7.2.7 LVD2CR1：電圧モニタ 2 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
						L		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 2 割り込み発生条件選択 0 0: $VCC \geq V_{det2}$ （上昇）検出時に発生 0 1: $VCC < V_{det2}$ （下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 2 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD2EN ビットをリセット状態から変更しないでください。

7.2.8 LVD2SR：電圧モニタ 2 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 2 電圧変化検出フラグ 0: 未検出 1: V_{det2} 通過検出	R/W(注1)
1	MON	電圧監視 2 信号モニタフラグ 0: $VCC < V_{det2}$ 1: $VCC \geq V_{det2}$ または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 2 電圧変化検出フラグ）

DET フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

V_{det2} を検出するとき、DET フラグを 0 にするのは、LVD2CR0.RIE を 0（禁止）にしてから行ってください。LVD2CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 2 信号モニタフラグ）

MON フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

7.3 VCC 入力電圧のモニタ**7.3.1 V_{det0} のモニタ**

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 V_{det1} のモニタ

表 7.2 に V_{det1} のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 7.2 V_{det1} のモニタの設定手順

手順	電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）、電圧監視 1 リセット	
電圧検出 1 回路の設定	1	LVDLVLRL.LVD1LVL[4:0]ビットへ書き込みを行う前に、LVCMPCR.LVD1E を 0 にして電圧検出 1 回路を無効にする
	2	LVDLVLRL.LVD1LVL[4:0]ビットで検出電圧を選択する
	3	LVCMPCR.LVD1E を 1 にして、電圧検出 1 回路を有効にする
	4	LVD1 が有効になった後に動作が安定するまで $t_d(E-A)$ 以上待つ
出力許可の設定	5	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する

7.3.3 V_{det2} のモニタ

表 7.3 に、 V_{det2} のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

表 7.3 V_{det2} のモニタの設定手順

手順	電圧監視 2 による比較結果のモニタ	
電圧検出 2 回路の設定	1	LVDLVLRL.LVD2LVL[2:0]ビットへ書き込みを行う前に、LVCMPCR.LVD2E を 0 にして電圧検出 2 回路を無効にする
	2	LVDLVLRL.LVD2LVL[2:0]ビットで検出電圧を選択する
	3	LVCMPCR.LVD2E を 1 にして、電圧検出 2 回路を有効にする
	4	LVD2 が有効になった後に動作が安定するまで $t_d(E-A)$ 以上待つ
出力許可の設定	5	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0（リセット後、電圧監視 0 リセット有効）にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。

図 7.4 に電圧監視 0 リセットの動作例を示します。

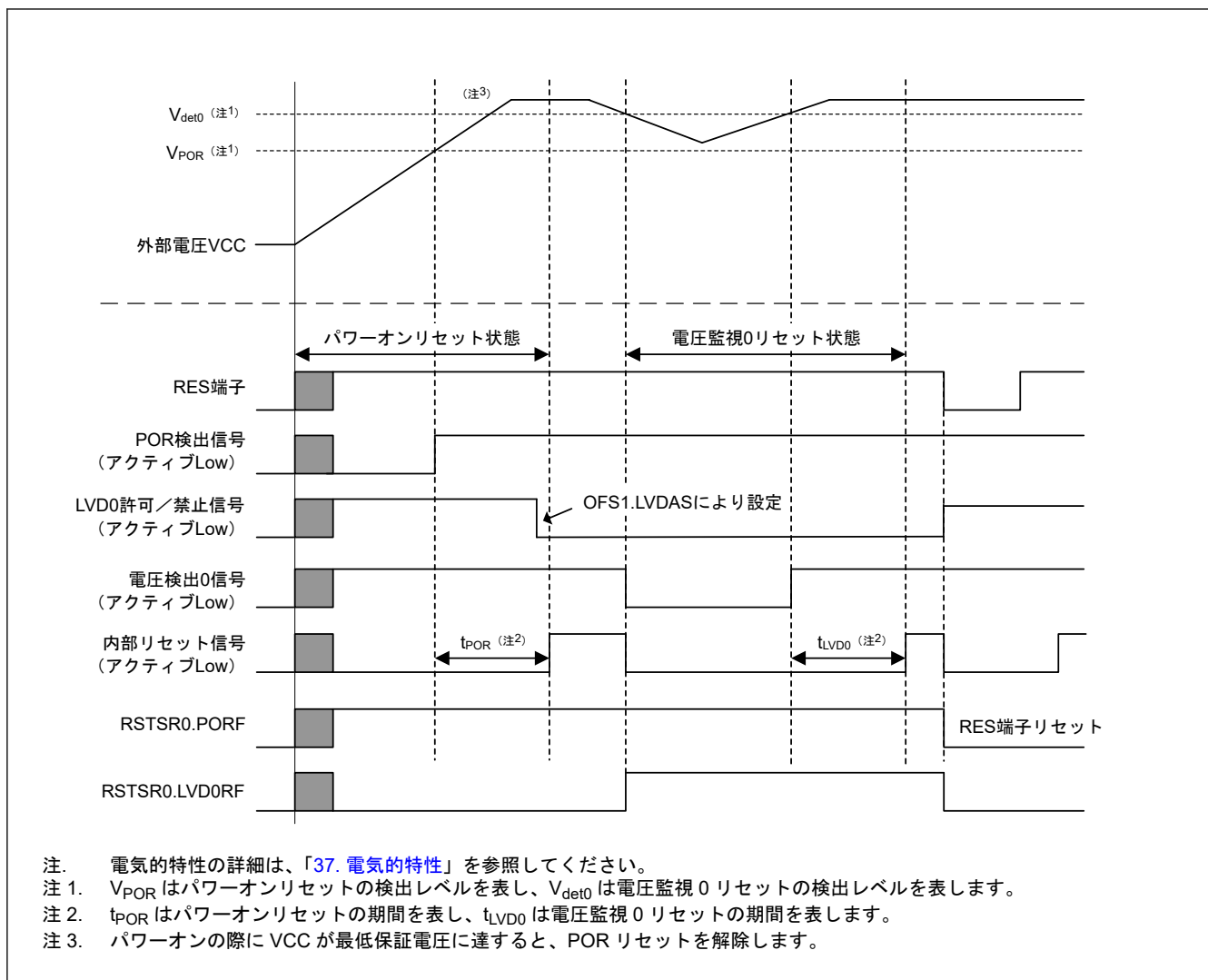


図 7.4 電圧監視 0 リセットの動作例

7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、回路を本項に記述している手順で設定してください。

(1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det1}$ 検出時、LVD1 動作安定時間経過後に電圧監視 1 リセット信号をネグート (LVD1CR0.RN = 0) にしてください。

表 7.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD1E を 0 にして電圧検出 1 回路を無効にする
	2	LVDLVLR.LVD1LVL[4:0]ビットで検出電圧を選択する
	3	LVCMPCR.LVD1E を 1 にして、電圧検出 1 回路を有効にする
	4	LVD1 が有効になった後に動作が安定するまで $t_{d(E-A)}$ 以上待つ ^(注1)
電圧監視 1 割り込み/リセットの設定	5	LVD1CR0.RI を 0 にして、電圧監視 1 割り込みを選択する • LVD1CR0.RI を 1 にして、電圧監視 1 リセットを選択する • LVD1CR0.RN ビットでリセットネゲートの種類を選択する
	6	• LVD1CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する • LVD1CR1.IRQSEL ビットで割り込みの種類を選択する
出力許可の設定	7	LVD1SR.DET を 0 にする
	8	LVD1CR0.RIE を 1 にして、電圧監視 1 割り込み/リセットを許可する ^(注2)
	9	LVD1CR0.CMPE を 1 にして、電圧監視 1 の比較結果出力を許可する

注 1. 手順 4 の待機時間中に手順 5～8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「37. 電氣的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.5 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み (電圧監視 1 ELC イベント出力)、電圧監視 1 リセット
出力許可停止の設定	1 LVD1CR0.CMPE を 0 にして、電圧監視 1 の比較結果出力を禁止する
	2 LVD1CR0.RIE を 0 にして、電圧監視 1 割り込み/リセットを禁止する ^(注1)
電圧検出 1 回路停止の設定	3 LVCMPCR.LVD1E を 0 にして、電圧検出 1 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 1 割り込み/リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路に対する再設定は不要
- 電圧監視 1 割り込み/リセットの設定を変更しない場合、電圧監視 1 割り込み/リセットに対する再設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。

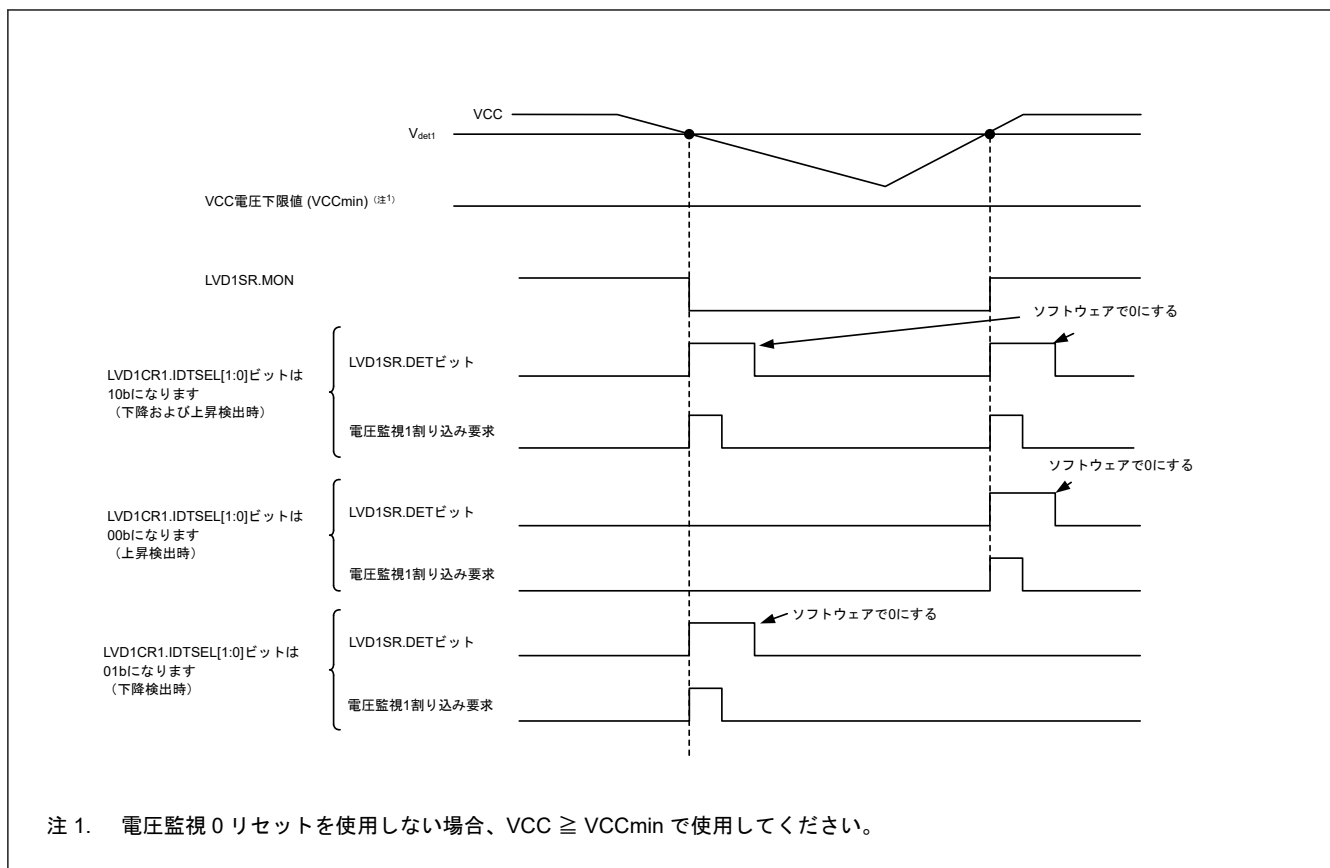


図 7.5 電圧監視 1 割り込みの動作例

7.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、回路を次の手順で設定してください。

(1) ソフトウェアスタンバイモード時の設定

- $VCC > V_{det2}$ 検出時、LVD2 動作安定時間経過後に電圧監視 2 リセット信号をネゲート (LVD2CR0.RN = 0) にしてください。

表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (1/2)

手順	電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVDLVLRL レジスタへ書き込む前に、LVCMPCLR.LVD2E を 0 にして電圧検出 2 回路を無効にする
	2	LVDLVLRL.LVD2LVL[2:0] ビットで検出電圧を選択する
	3	LVCMPCLR.LVD2E を 1 にして、電圧検出 2 回路を有効にする
	4	LVD2 が有効になった後に動作が安定するまで $t_d(E-A)$ 以上待つ(注1)

表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順 (2/2)

手順		電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)	電圧監視 2 リセット
電圧監視 2 割り込み／リセットの設定	5	LVD2CR0.RI を 0 にして、電圧監視 2 割り込みを選択する	- LVD2CR0.RI を 1 にして、電圧監視 2 リセットを選択する - LVD2CR0.RN ビットでリセットネゲートの種類を選択する
	6	- LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する - LVD2CR1.IRQSEL ビットで割り込みの種類を選択する	—
出力許可の設定	7	LVD2SR.DET を 0 にする	
	8	LVD2CR0.RIE を 1 にして、電圧監視 2 割り込み／リセットを許可する(注2)	
	9	LVD2CR0.CMPE を 1 にして、電圧監視 2 の比較結果出力を許可する	

注 1. 手順 4 の待機時間中に手順 5～8 を行うことができます。 $t_{d(E-A)}$ の詳細は、「37. 電氣的特性」を参照してください。

注 2. ELC イベント信号のみを出力させる場合、手順 8 は不要です。

表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順		電圧監視 2 割り込み (電圧監視 2 ELC イベント出力)、電圧監視 2 リセット
出力許可停止の設定	1	LVD2CR0.CMPE を 0 にして、電圧監視 2 の比較結果出力を禁止する
	2	LVD2CR0.RIE を 0 にして、電圧監視 2 割り込み／リセットを禁止する(注1)
電圧検出 2 回路停止の設定	3	LVCMPCR.LVD2E を 0 にして、電圧検出 2 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 2 は不要です。

電圧監視 2 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合は当該回路に対する再設定は不要
- 電圧監視 2 割り込みまたは電圧監視 2 リセットの設定を変更しない場合、電圧監視 2 割り込み／リセットに対する再設定は不要

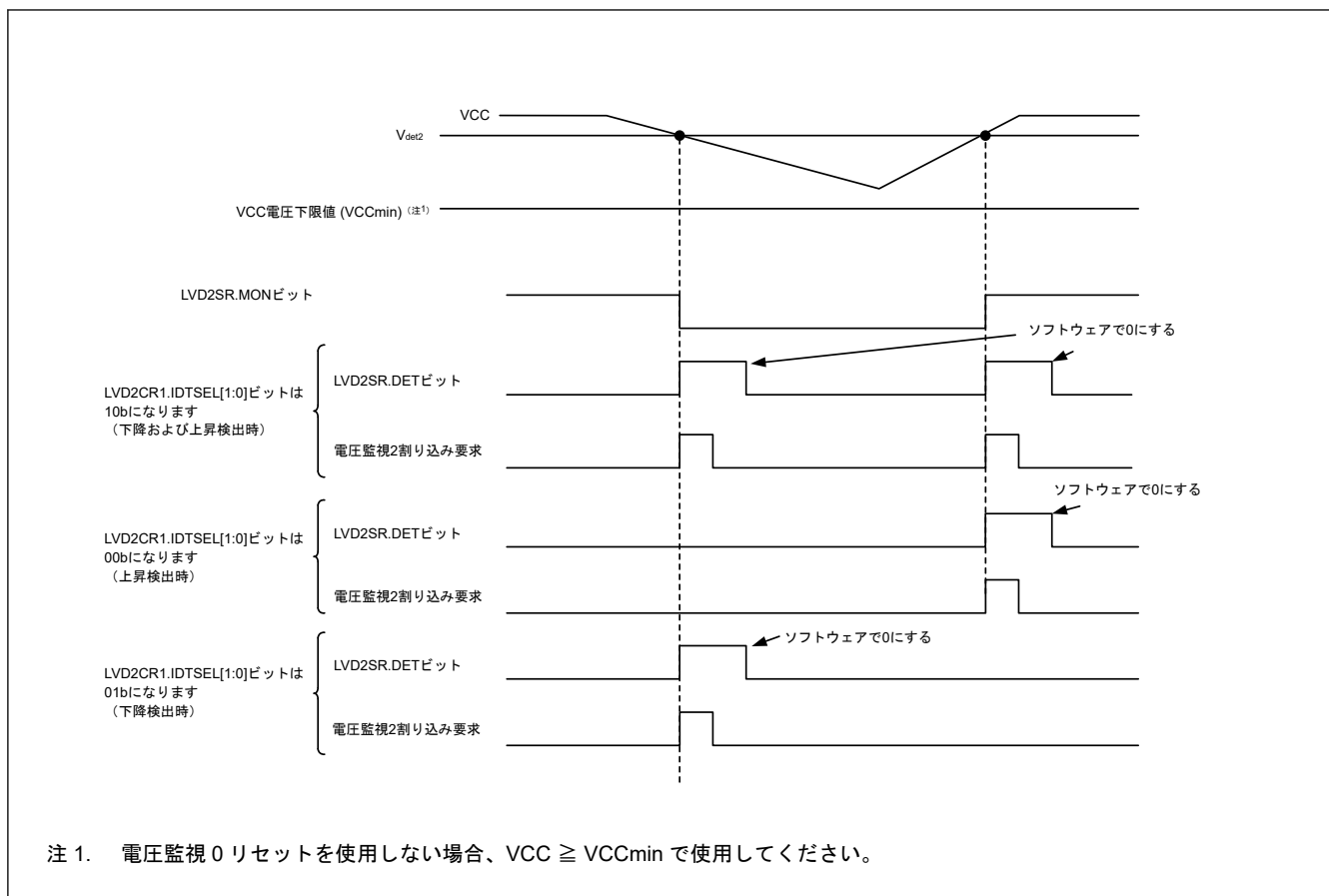


図 7.6 電圧監視 2 割り込みの動作例

7.7 ELC によるリンク動作

LVD は、ELC に対してイベント信号出力が可能です。

(1) V_{det1} 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、 V_{det1} 通過を検出した場合にイベント信号を出力します。

(2) V_{det2} 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、 V_{det2} 通過を検出した場合にイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

7.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みと電圧監視 2 割り込みを個別に許可または禁止するビットがあります。割り込み要因が発生し、割り込み許可ビットで割り込みが許可される場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードで電圧監視 1 割り込みと電圧監視 2 割り込みを出力することができます。

- ソフトウェアスタンバイモードのときに V_{det1} または V_{det2} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されないため、ELC 用のイベント信号は生成されません。 V_{det1} および

V_{det2} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、 V_{det1} および V_{det2} 検出フラグ状態にしたがって ELC 用のイベント信号が出力されます。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 および表 8.2 にクロック発生回路の仕様を示します。図 8.1 と図 8.2 にブロック図、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
外部クロック入力 (EXTAL)	外部クロック入力周波数	最高 20 MHz
	接続端子	EXTAL
サブクロック発振器 (SOSC)	発振子周波数	32.768 kHz
	外部発振子または付加回路	水晶振動子
	接続端子	XT1, XT2
	駆動能力切り替え	あり
高速オンチップオシレータ (HOCO)	発振周波数	24/32/48 MHz
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
IWDTC 専用オンチップオシレータ (IWDTCLOCO)	発振周波数	15 kHz
	ユーザートリミング	なし
cJTAG 用外部クロック入力 (TCKC)	入力クロック周波数	最高 6.25 MHz

表 8.2 クロック発生回路の仕様（内部クロック） (1/2)

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	HOCO/MOCO/LOCO/ SOSC ^(注1) /EXTAL	CPU、DTC、フラッシュ、Flash-IF、 SRAM	最高 48 MHz 分周比：1/2/4/8/16/32/64 1 MHz～48 MHz (P/E)
周辺モジュールクロック B (PCLKB)	HOCO/MOCO/LOCO/ SOSC ^(注1) /EXTAL	周辺モジュール (CAC、ELC、I/O ポート、 KINT、RTC、WDT、IWDTC、IICA、SAU、TAU、UARTA、REMC、 TML32、CRC、ADC12、DAC8、CMP、DOC、および TRNG)	最大 48 MHz ^(注2) 分周比：1/2/4/8/16/32/64
CAC 外部クロック入力 (CACMCLK)	EXTAL	CAC	最高 20 MHz
CAC サブクロック (CACSCCLK)	SOSC ^(注1)	CAC	32.768 kHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz
CAC HOCO クロック (CACHCLK)	HOCO	CAC	24/32/48 MHz
CAC IWDTCLOCO クロック (CACILCLK)	IWDTCLOCO	CAC	15 kHz
RTC クロック (RTCSCLK ^(注1) / RTCS128CLK/RTCLCLK)	LOCO/SOSC	RTC	32.768 kHz / 128 Hz
TML32 外部クロック (TML32MCLK)	EXTAL	TML32	最高 20 MHz

表 8.2 クロック発生回路の仕様（内部クロック）（2/2）

項目	クロックソース	クロック供給	内容
TML32 HOCO クロック (TML32HCLK)	HOCO	TML32	24/32/48 MHz
TML32 MOCO クロック (TML32MOCLK)	MOCO	TML32	8 MHz
TML32 LOCO/SOSC クロ ック (TML32LCLK/ TML32SCLK)	LOCO/SOSC	TML32	32.768 kHz
UARTA 外部クロック (UARTAMCLK)	EXTAL	UARTA	最高 20 MHz
UARTA HOCO クロック (UARTAHCLK)	HOCO	UARTA	24/32/48 MHz
UARTA MOCO クロック (UARTAMOCLK)	MOCO	UARTA	8 MHz
UARTA LOCO/SOSC クロ ック (UARTALCLK/ UARTASCLK)	LOCO/SOSC	UARTA	32.768 kHz
REMC LOCO/SOSC クロ ック (REMCLCLK/REMCCLK)	LOCO/SOSC	REMC	32.768 kHz
IWDT クロック (IWDTCLK)	IWDTLOCO	IWDT	15 kHz
マシンタイマクロック (MTCLK)	LOCO	マシンタイマ	32.768 kHz
クロック／ブザー出力 (CLKOUT)	LOCO/MOCO/HOCO/ SOSC(注1)/EXTAL	CLKOUT 端子	最高 16 MHz 分周比 : 1/2/4/8/16/32/64/128
○JTAG クロック (TCKC)	TCKC 端子	OCD	最高 6.25 MHz

注. クロック周波数の設定に関する制限 : $ICLK \geq PCLKB$
PCLKB クロック周波数比に関する制限 : (N は最大 64 の整数)
 $ICLK:PCLKB = N:1$

プログラミング／イレース (P/E) モードでの最低 ICLK 周波数は 1 MHz です。

注 1. RTCC0.RTC128EN ビットが 1 のとき、ソフトウェアスタンバイモードでは本クロックは供給されません。

注 2. IICA の最大 PCLKB 周波数は 32 MHz です。

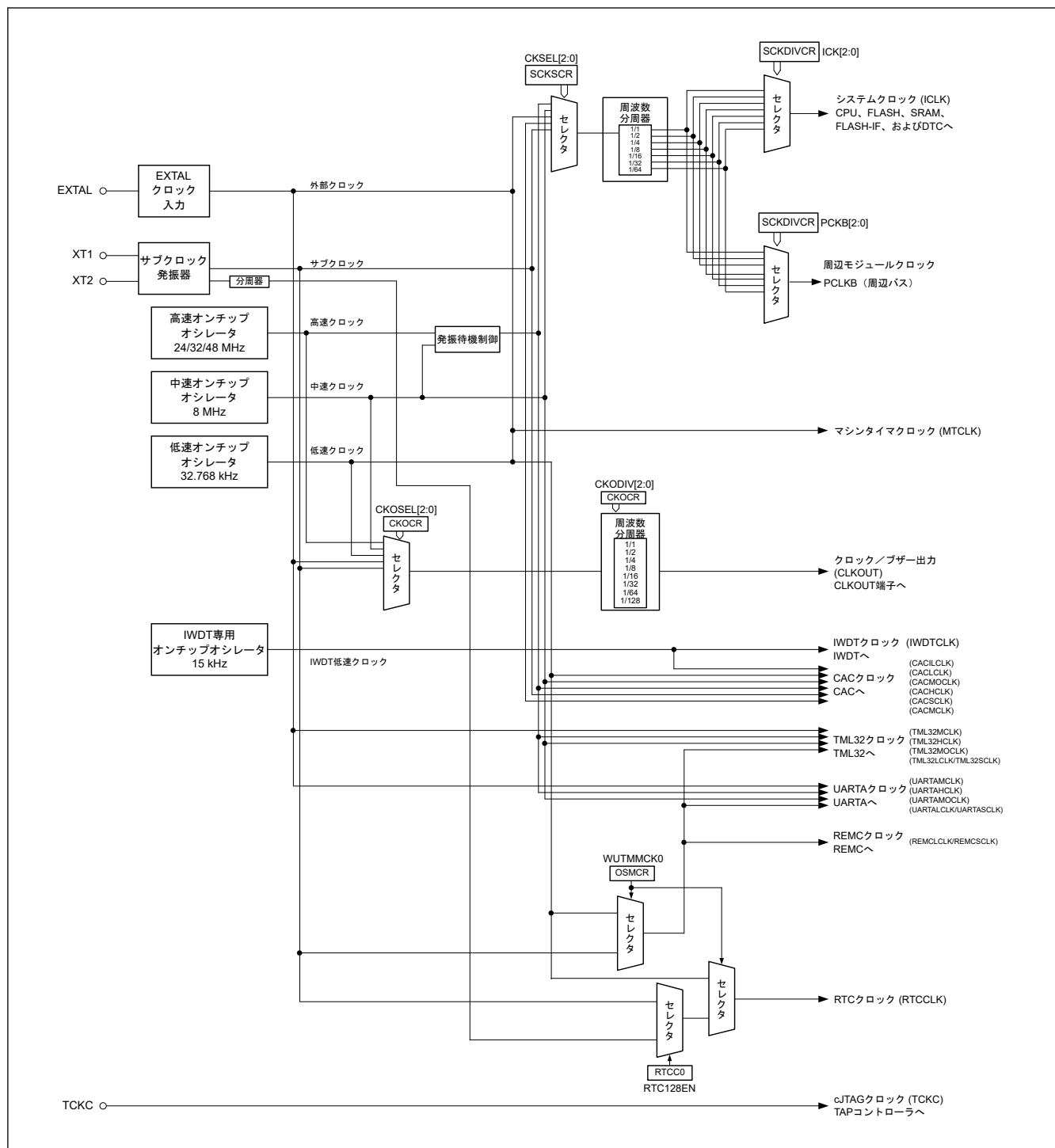


図 8.1 クロック発生回路のブロック図 (内部クロック供給先アーキテクチャ A)

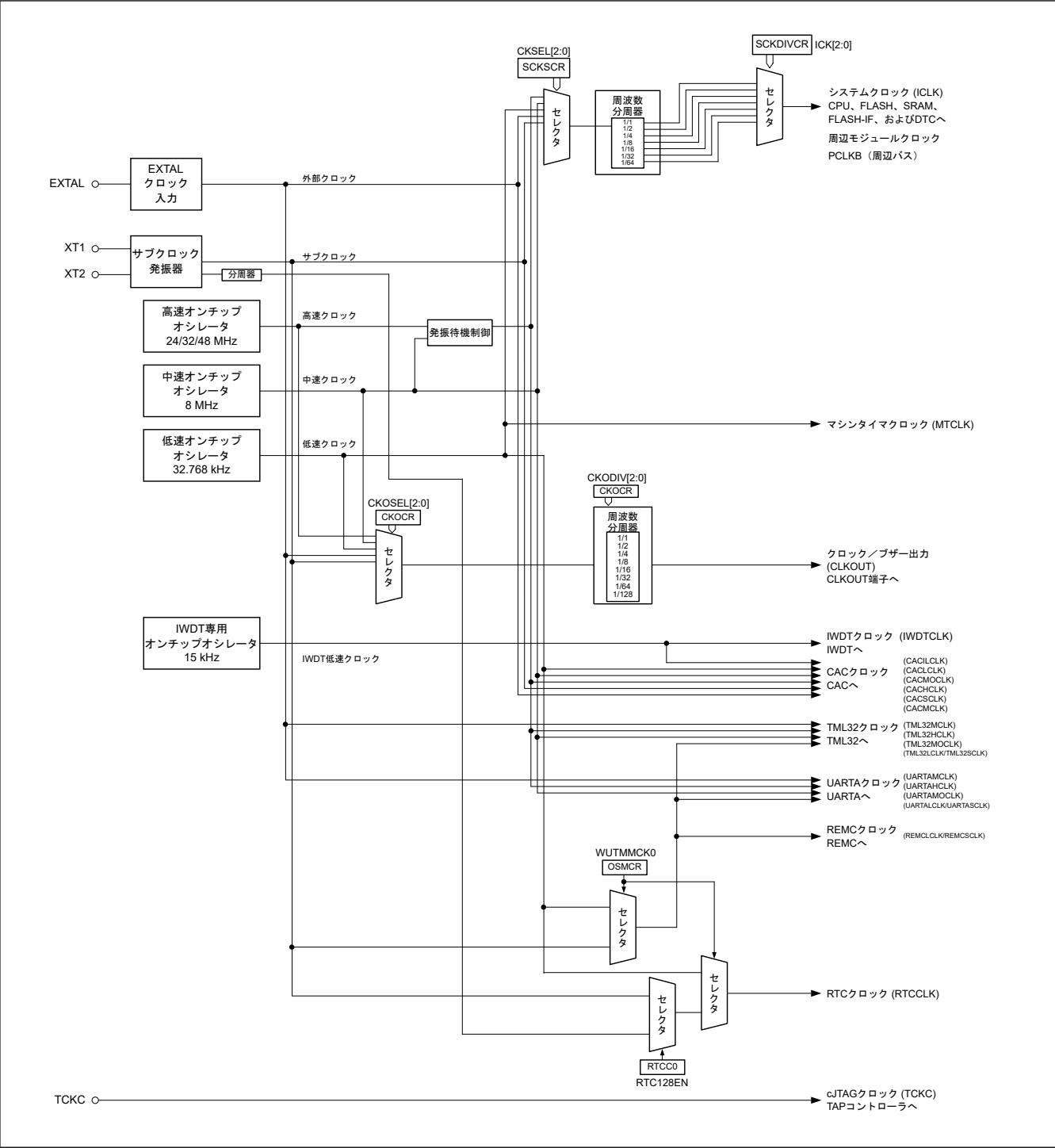


図 8.2 クロック発生回路のブロック図（内部クロック供給先アーキテクチャ B）

表 8.3 クロック発生回路入出力端子

端子名	入出力	機能
EXTAL	入力	EXTAL 端子で外部クロックを入力することができます。詳細は、「 8.3. 外部クロックを入力する方法 」を参照してください。
XT1	入力	32.768 kHz の水晶振動子を接続します。
XT2	出力	
CLKOUT	出力	CLKOUT/BUZZER クロックを出力します。
TCKC	入力	本端子は cJTAG からの入力に使用します。

8.2 レジスタの説明

8.2.1 SCKDIVCR : システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	ICK[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PCKB[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 100b が読めます。書く場合、100b としてください。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	PCKB[2:0]	周辺モジュールクロック B (PCLKB) 選択 ^(注1) ^(注2) 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
23:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	ICK[2:0]	システムクロック (ICLK) 選択 ^(注1) ^(注2) 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 内部クロック供給先アーキテクチャ B の場合は、システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の周波数比が 1:1 になるようにしてください。

内部クロック供給先アーキテクチャ B において、SCKDIVCR を設定するときは、ICK[2:0]ビットと PCKB[2:0]ビットに同じ値を設定してください。

注 1. システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の周波数比が N:1 (N : 整数) になるようにしてください

注 2. MEMWAIT.MEMWAIT が 0 のとき、SCKSCR.CKSEL[2:0]ビットで 32 MHz より速いシステムクロックソースを選択した場合は、ICLK を 1 分周に設定することは禁止されています。

SCKDIVCR レジスタは、システムクロック (ICLK) と周辺モジュールクロック (PCLKB) の周波数を選択します。

8.2.2 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x026

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット(注1) 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: 外部クロック入力 (EXTAL) 1 0 0: サブクロック発振器 (SOSC) 1 0 1: 設定禁止 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. SCKDIVCR.ICK[2:0]ビットで 1 分周を選択し、かつ MEMWAIT.MEMWAIT = 0 の場合、32 MHz よりも速いシステムクロックソース (システムクロックソース > 32 MHz) の選択は禁止です。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

CKSEL[2:0]ビット (クロックソース選択ビット)

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKB)

本ビットは下記のソースから 1 つを選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- サブクロック発振器 (SOSC)
- 外部クロック入力 (EXTAL)

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

8.2.3 MEMWAIT: メモリウェイトサイクルコントロールレジスタ (コードフラッシュ)

Base address: SYSC = 0x4001_E000

Offset address: 0x031

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MEM WAIT

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	MEMWAIT	メモリウェイトサイクル選択 (コードフラッシュ) 0: ウェイトなし 1: ウェイトあり	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/(W)

注. SCKDIVCR.ICK ビットが 1 分周を選択し、かつ SCKSCR.CKSEL[2:0]ビットが 32 MHz より速い (ICLK > 32 MHz) システムクロックソースを選択する場合、MEMWAIT ビットに 0 を書き込まないでください。

注. OFS1.ICSATS ビットにより内部クロック供給先アーキテクチャ B が選択されている場合、MEMWAIT の設定はしないでください。

MEMWAIT レジスタはコードフラッシュ読み出しのウェイトサイクルを制御します。

MEMWAIT ビット (メモリウェイトサイクル選択 (コードフラッシュ))

本ビットはコードフラッシュ読み出しのウェイトサイクルを選択します。コードフラッシュアクセスのウェイトサイクルはリセット解除後にウェイトなし (MEMWAIT = 0) に設定されます。

MEMWAIT ビットに書き込む前に、ICLK 周波数や動作パワーコントロールモードを確認してください。ICLK、動作パワーコントロールモード、および MEMWAIT ビットを設定するときに、次の制限が適用されます。

- ICLK が 32 MHz 以下 ($ICLK \leq 32 \text{ MHz}$) かつ動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) の間に ICLK を 32 MHz より高く ($ICLK > 32 \text{ MHz}$) 設定する場合は、MEMWAIT を 1 に設定してください。高速モード以外の動作モードでは、MEMWAIT を 1 に設定しないでください。MEMWAIT = 0 の間は ICLK を 32 MHz より高く設定しないでください。
- ICLK を 32 MHz より高い周波数 ($ICLK > 32 \text{ MHz}$) から 32 MHz 以下の周波数 ($ICLK \leq 32 \text{ MHz}$) に設定する場合は、MEMWAIT = 1 の間に ICLK 周波数を 32 MHz 以下にしてください。ICLK が 32 MHz より高いときに MEMWAIT を 0 に設定しないでください。高速モード以外の動作モードでは、MEMWAIT を 1 に設定しないでください。ICLK 周波数が 32 MHz 以下および動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) のとき、MEMWAIT は 0 に設定可能です。

表 8.4 MEMWAIT ビットの設定

MEMWAIT ビット	MCU 動作パワー制御		
	モード：高速モード以外	高速モード	
		ICLK $\leq$ 32 MHz	ICLK $>$ 32 MHz
0	✓	✓	—
1	—	✓	✓

注. ✓：設定可能
 —：設定不可

8.2.4 FLDWAITR：メモリウェイトサイクルコントロールレジスタ (データフラッシュ)

Base address: FLCN = 0x407E_C000

Offset address: 0x3FC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLDWAIT1

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FLDWAIT1	メモリウェイトサイクル選択 (データフラッシュ) 0: 1 ウェイトアクセス (初期設定) 1: 2 ウェイトアクセス	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. SCKDIVCR.ICK ビットが 1 分周を選択し、かつ SCKSCR.CKSEL[2:0] ビットが 32 MHz より速い ($ICLK > 32 \text{ MHz}$) システムクロックソースを選択する場合、FLDWAIT1 ビットに 0 を書き込まないでください。

注. OFS1.ICSATS ビットにより内部クロック供給先アーキテクチャ B が選択されている場合、FLDWAIT1 の設定はしないでください。

注. データフラッシュが使用されていない場合、FLDWAIT1 の設定は不要です。

FLDWAITR レジスタはデータフラッシュ読み出しのウェイトサイクルを制御します。

FLDWAIT1 ビット (メモリウェイトサイクル選択 (データフラッシュ))

本ビットはデータフラッシュ読み出しのウェイトサイクルを選択します。データフラッシュアクセスのウェイトサイクルはリセット解除後に 1 ウェイト (FLDWAIT1 = 0) に設定されます。

データフラッシュ読み出しのウェイトサイクルの FLDWAIT1 設定は次の通りです。

- FLDWAIT1 = 0: 1 ウェイトサイクル
- FLDWAIT1 = 1: 2 ウェイトサイクル

FLDWAIT1 ビットに書き込む前に、ICLK 周波数や動作パワーコントロールモードを確認してください。ICLK、動作パワーコントロールモード、および FLDWAIT1 ビットを設定するときに、次の制限が適用されます。

- ICLK が 32 MHz 以下 ($ICLK \leq 32 \text{ MHz}$) かつ動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) の間に ICLK を 32 MHz より高く ($ICLK > 32 \text{ MHz}$) 設定する場合は、FLDWAIT1 を 1 に設定してください。高速モード以外の動作モードでは、FLDWAIT1 を 1 に設定しないでください。FLDWAIT1 = 0 の間は ICLK を 32 MHz より高く設定しないでください。
- ICLK を 32 MHz より高い周波数 ($ICLK > 32 \text{ MHz}$) から 32 MHz 以下の周波数 ($ICLK \leq 32 \text{ MHz}$) に設定する場合は、FLDWAIT1 = 1 の間に ICLK 周波数を 32 MHz 以下にしてください。ICLK が 32 MHz より高いときに FLDWAIT1 を 0 に設定しないでください。高速モード以外の動作モードでは、FLDWAIT1 を 1 に設定しないでください。ICLK 周波数が 32 MHz 以下および動作パワーコントロールモードが高速モード (OPCCR.OPCM[1:0] = 00b) のとき、FLDWAIT1 は 0 に設定可能です。

表 8.5 FLDWAIT1 ビットの設定

FLDWAIT1 ビット	MCU 動作パワー制御		
	モード：高速モード以外	高速モード	
		ICLK $\leq$ 32 MHz	ICLK $>$ 32 MHz
0	✓	✓	—
1	—	✓	✓

注. ✓：設定可能
 —：設定不可

図 8.3 に ICLK を 32 MHz より高く設定する場合のフロー例を示します。

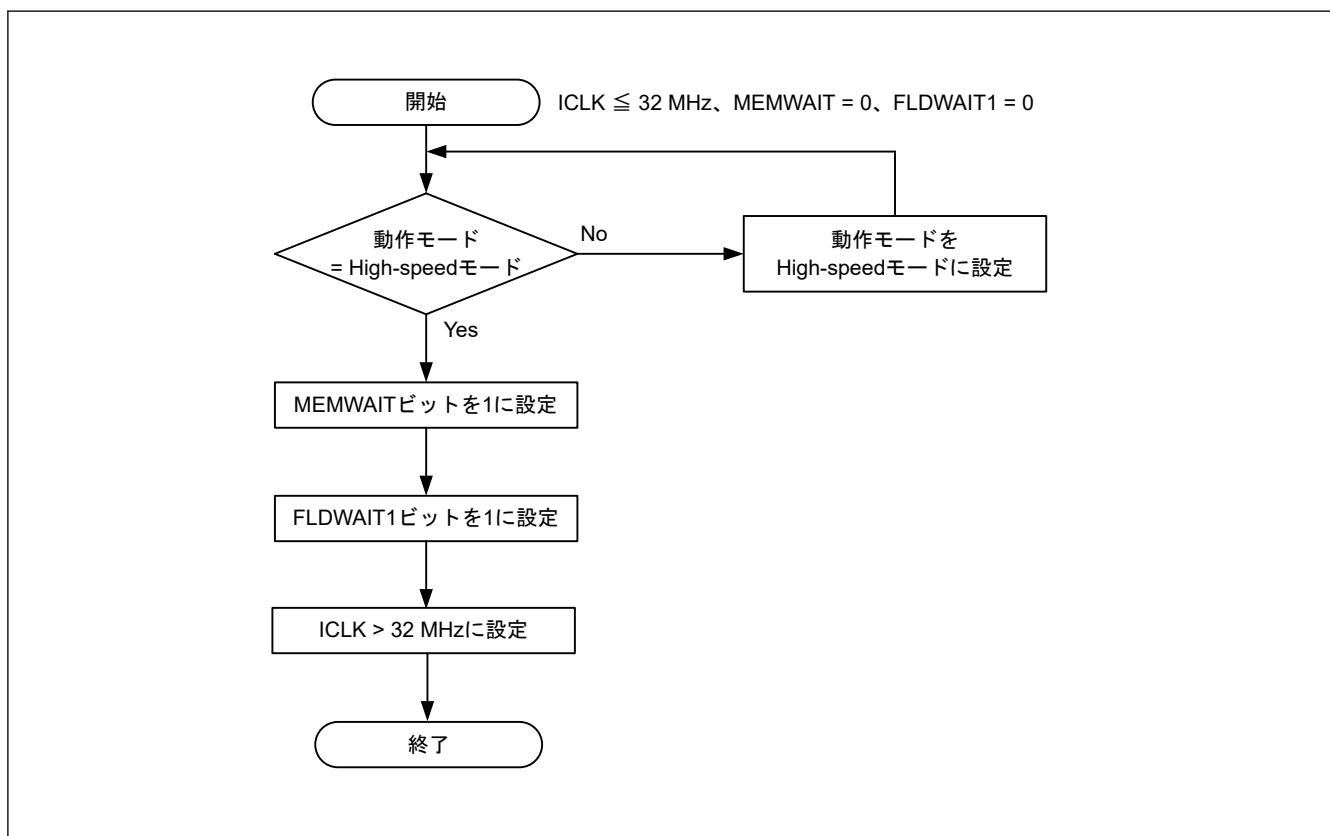


図 8.3 ICLK > 32 MHz に設定する場合

図 8.4 に ICLK が 32 MHz より高いときに ICLK を 32 MHz 以下に設定する場合のフロー例を示します。

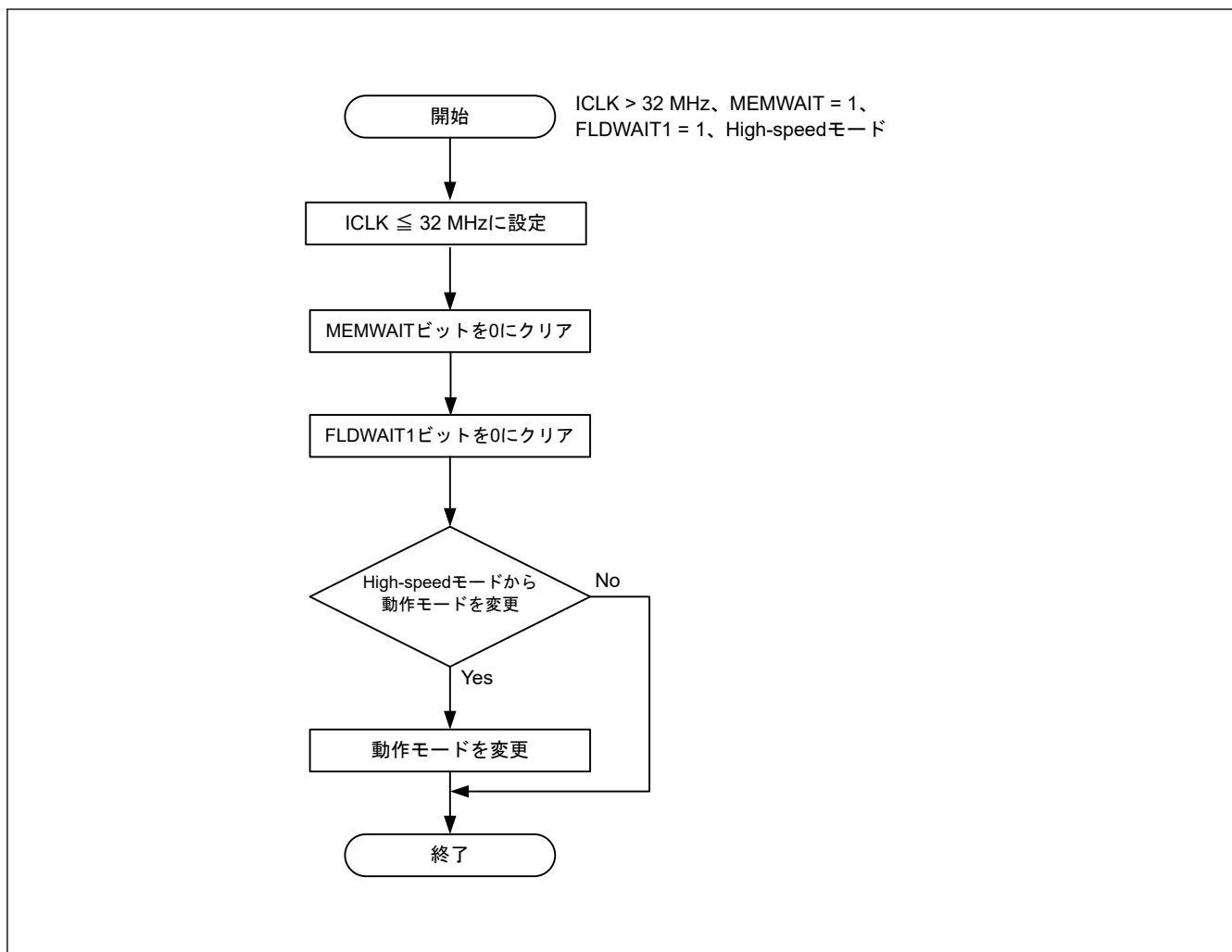


図 8.4 ICLK > 32 MHz から ICLK ≤ 32 MHz に設定する場合

8.2.5 MOSCCR : 外部クロック入力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x032

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSTP

Value after reset: 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
0	MOSTP	外部クロック入力停止 0: 外部クロック入力を停止しない 1: 外部クロック入力を停止する	R/W
7:1	—	読むと0が読めます。書く場合、0としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに1を設定してから書き込んでください。

MOSCCR レジスタは、外部クロック入力を制御します。

MOSTP ビット (外部クロック入力停止)

MOSTP ビットは外部クロック入力の開始/停止を制御します。

MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

以下の条件下で MOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b (システムクロックソース = EXTAL)

8.2.6 SOSCCR : サブクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x480

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	SOSTP	サブクロック発振器停止 0: サブクロック発振器動作(注1) 1: サブクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット (サブクロック発振器停止)

SOSTP ビットは、サブクロック発振器を動作または停止させます。SOSTP ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。RTC などの周辺モジュールに対するソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定してください。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC クロックで 5 サイクルに相当する待ち時間が必要
- SOSTP ビットを 0 にした後、サブクロック発振安定時間 (t_{SUBOSC}) が経過してからサブクロックを使用すること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードに遷移する場合は、サブクロックの発振が安定していることを確認したうえで WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、SOSC クロックで 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で SOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b (システムクロックソース = SOSC)

8.2.7 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x490

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット (LOCO 停止)

LCSTP ビットは、LOCO を動作または停止させます。

LCSTP ビットを 0 にして LOCO を動作させた後、LOCO クロック発振安定待機時間 (t_{LOCOWT}) が経過してから、LOCO クロックを使用してください。LOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでもに一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要です。
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認してください。
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定している状態で WFI 命令を実行すること
- LOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b (システムクロックソース = LOCO)

LOCO クロックは他の発振器の発振安定待ち時間を計測しているため、LOCOCR.LCSTP ビットの設定値にかかわらず、発振安定待ち時間の計測中は LOCO クロックが発振しています。そのため、LCSTP ビットが停止に設定されていても、意図せず LOCO クロックが供給される場合があります。

8.2.8 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作(注2)(注4) 1: HOCO 停止	R/W(注3)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. HOCOCR.HCSTP = 0 および OSCSF.HOCOSF = 0 (HOCO は安定待機時間カウント中) の状態にあるとき、OPCCR.OPCM[1:0] ビットへの書き込みは禁止されています。

注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 になります。

注 2. HOCO を使用する場合 (HCSTP = 0) は、OFS1.HOCOFREQ1[2:0] ビットを最適な値に設定してください。

注 3. OPCCR.OPCMTSF = 1、または OPCCR.OPCMTSF = 1 (動作電力制御モードの遷移中) の状態にあるとき、HCSTP ビットへの書き込みは禁止されています。

注 4. OFS1.HOCOFREQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFREQ1[2:0] ビットに自動的に転送されるので、OFS1.HOCOFREQ1[2:0] の値が適切でない場合でも HOCO 周波数は HOCOCR2.HCFREQ1[2:0] ビットで設定することもできます。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット (HOCO 停止)

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO が動作するように設定してから、発振が安定するまでに一定の時間を要します。また、HOCO を停止するように設定した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF が 0 であることを確認すること。
- HOCO を停止させる前に、HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してください。
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にして MCU をソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認してから WFI 命令を実行してください。
- HOCO を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認したうえで WFI 命令を実行すること。

以下の条件下で HCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b (システムクロックソース = HOCO)

8.2.9 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x037

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	HCFRQ1[2:0]			—	—	—
Value after reset:	0	0	0/1 (注1)	0/1 (注1)	0/1 (注1)	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:3	HCFRQ1[2:0]	HOCO 周波数設定 1 0 0 0: 24 MHz 0 1 0: 32 MHz 1 0 0: 48 MHz その他: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

注 1. HCFRQ1[2:0] ビットのリセット後の値は、OFS1.HOCOFRQ1[2:0] ビットに依存します。

HOCOCR2 レジスタは、HOCO クロックを制御します。

HOCOCR.HCSTP ビットが 0 (HOCO 動作) のとき、HOCOCR2 レジスタへの書き込みは禁止です。

8.2.10 MOCOCR : 中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

MOCO CR レジスタは、MOCO を制御するレジスタです。

MCSTP ビット (MOCO 停止)

MCSTP は、MOCO を動作または停止させます。

MCSTP ビットを 0 にした後、MOCO クロック発振安定待機時間 (t_{MOCO}) が経過してから、MOCO クロックを使用してください。MOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、MOCO クロックを停止に設定した後も、発振が停止するまでに一定の時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要です。
- MOCO を停止させる前に、MOCO クロックの発振が安定していることを確認してください。
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定している状態で WFI 命令を実行すること。
- MOCO クロックを停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックで 3 サイクル以上待ってから WFI 命令を実行すること。

以下の条件下で MCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b (システムクロックソース = MOCO)

8.2.11 OCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HOCO SF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止、または発振安定待ち中 1: HOCO クロックは安定、システムクロックとして使用可能	R
7:1	—	読むと 0 が読めます。	R

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。

OFS1.HOCOEN = 1 (HOCO 停止) の場合、HOCOSF のリセット後の値は 0 です。

OFS1.HOCOEN = 0 (HOCO 動作) の場合、リセット解除直後は HOCOSF は 0 ですが、HOCO 発振安定待機時間経過後に HOCOSF は 1 になります。

OCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ (HOCO クロック発振安定フラグ)

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。OFS1.HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF フラグが 1 であることを確認してください。

[1 になる条件]

- HOCO 停止時、HOCOCR.HCSTP ビットが 0 になった後、MOCO クロックで HOCO 発振安定時間をカウントし、MCU 内部へ HOCO クロック供給を開始したとき。HOCO 発振安定待機時間については「[37. 電気的特性](#)」を参照してください。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

8.2.12 SOMCR : サブクロック発振器モードコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x481

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SODRV[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SODRV[1:0]	サブクロック発振器ドライブ能力切り替え 0 0: 通常モード 0 1: 低消費電力モード 1 1 0: 低消費電力モード 2 1 1: 低消費電力モード 3	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOMCR レジスタの変更は、SOSCCR.SOSTP が 1 (SOSC 停止) のときに行う必要があります。

SODRV[1:0]ビット (サブクロック発振器ドライブ能力切り替え)

この SODRV[1:0]ビットでサブクロック発振器のドライブ能力を切り替えます。ドライブ機能と設定値の関係は次のとおりです。

通常モード > 低消費電力モード 1 > 低消費電力モード 2 > 低消費電力モード 3

8.2.13 SOMRG : サブクロック発振器マージンチェックレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x482

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SOSCMRG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SOSCMRG[1:0]	サブクロック発振器マージンチェック切り替え 0 0: 通常電流 0 1: 下限マージンチェック 1 0: 上限マージンチェック 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOSCMRG[1:0]ビット（サブクロック発振器マージンチェック切り替え）

サブクロック発振器の発振マージンチェックをするアンプの電流を SOSCMRG[1:0]ビットで制御します。

8.2.14 CKOCR：クロックアウトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKOE N		CKODIV[2:0]		—	CKOSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 0 0 0: HOCO（リセット後の値） 0 0 1: MOCO 0 1 0: LOCO 0 1 1: 外部クロック入力 (EXTAL) 1 0 0: サブクロック発振器 (SOSC) 1 0 1: 設定禁止 その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 1 1 1: × 1/128	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

CKOSEL[2:0]ビット（クロック出力ソース選択）

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0]ビット（クロック出力周波数分周比）

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「[37. 電氣的特性](#)」を参照してください。

CKOEN ビット（クロック出力許可）

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

1 を書き込むと、選択したクロックが出力されます。0 を書き込むと、Low が出力されます。このビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のクロックソースが安定していることを確認してください。それ以外の場合は、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードでクロック出力のソースクロックが停止する場合は、当該モードに移行する前にこのビットをクリアしてください。

8.2.15 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x492

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。LOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。LOCO 周波数と他の発振周波数の比が整数値の場合、LOCOUTCR の値を変更しないでください。

8.2.16 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x061

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。MOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。MOCO 周波数と他の発振周波数の比が整数値の場合、MOCOUTCR の値を変更しないでください。

8.2.17 HOCOUTCR : HOCO ユーザトリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x062

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザトリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

HOCOUTCR に HOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。

HOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。

8.2.18 OSMCR : サブシステムクロック供給モードコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x054

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	WUTM MCK0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WUTMMCK0	リアルタイムクロック、32 ビットインターバルタイマ、シリアルインタフェースの UARTA0 と UARTA1、およびリモート制御信号レシーバーの動作クロックの選択 0: サブシステムクロック (SOSC) 1: 低速オンチップオシレータクロック (LOCO)(注1)(注2)	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. サブシステムクロック (SOSC) が発振している間は WUTMMCK0 ビットを 1 にしないでください。

注 2. サブシステムクロック (SOSC) と低速オンチップオシレータクロックの切り替えを WUTMMCK0 ビットで行えるのは、リアルタイムクロック、32 ビットインターバルタイマ、シリアルインタフェースの UARTA0 と UARTA1、およびリモート制御信号レシーバーがすべて停止しているときだけです。

OSMCR レジスタを使用して、リアルタイムクロック、32 ビットインターバルタイマ、シリアルインタフェースの UARTA0 と UARTA1、およびリモート制御信号レシーバーの動作クロックを選択することができます。

8.3 外部クロックを入力する方法

図 8.5 に、外部クロック入力 of 接続例を示します。

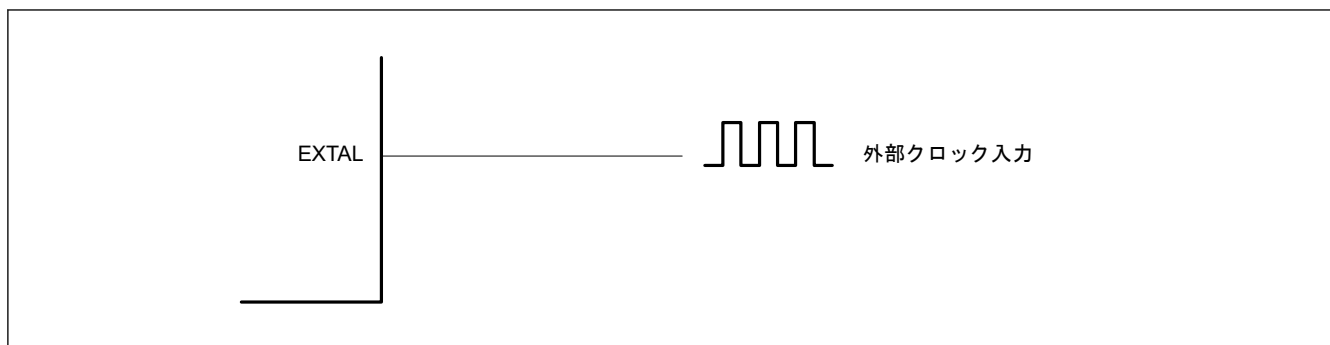


図 8.5 外部クロックの等価回路

8.3.1 外部クロック入力に関する注意事項

外部クロック入力停止ビット (MOSCCR.MOSTP) が 0 のときに外部クロック入力の周波数を変更しないでください。

8.4 サブクロック発振器

サブクロック発振器へクロックを供給するには、水晶振動子を接続してください。

8.4.1 32.768 kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、図 8.6 に示すように 32.768 kHz の水晶振動子を接続します。必要に応じてダンピング抵抗 (R_d) を挿入してください。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカーの推奨する値を使用してください。また、振動子メーカーが外部帰還抵抗 (R_f) の使用を推奨している場合は、その指示に従って XT1 と XT2 の間に R_f を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

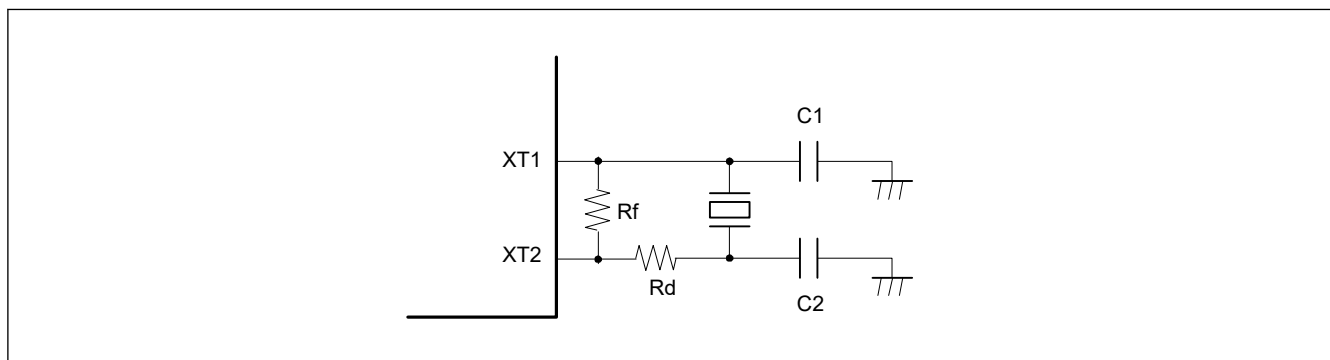


図 8.6 32.768 kHz 水晶振動子の接続例

図 8.7 に 32.768 kHz 水晶振動子の等価回路を示します。

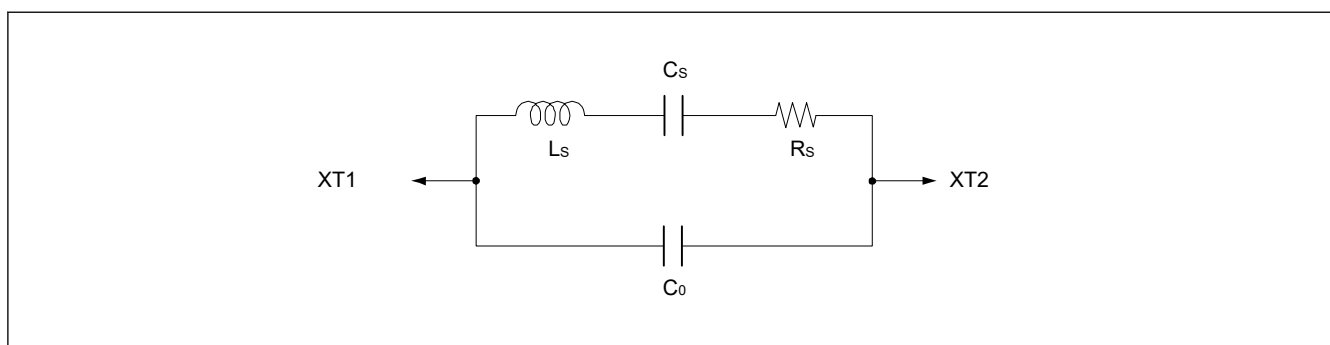


図 8.7 32.768 kHz 水晶振動子の等価回路

8.4.2 サブクロック発振器を使用しない場合の端子処理

サブクロック発振器を使用しない場合、図 8.8 に示すように、XT1 端子は抵抗を介して VSS に接続（プルダウン）し、XT2 端子をオープンとしてください。さらに、発振器が接続されていない場合、サブクロック発振器停止ビット (SOSCCR.SOSTP) を 1 にして発振器を停止してください。

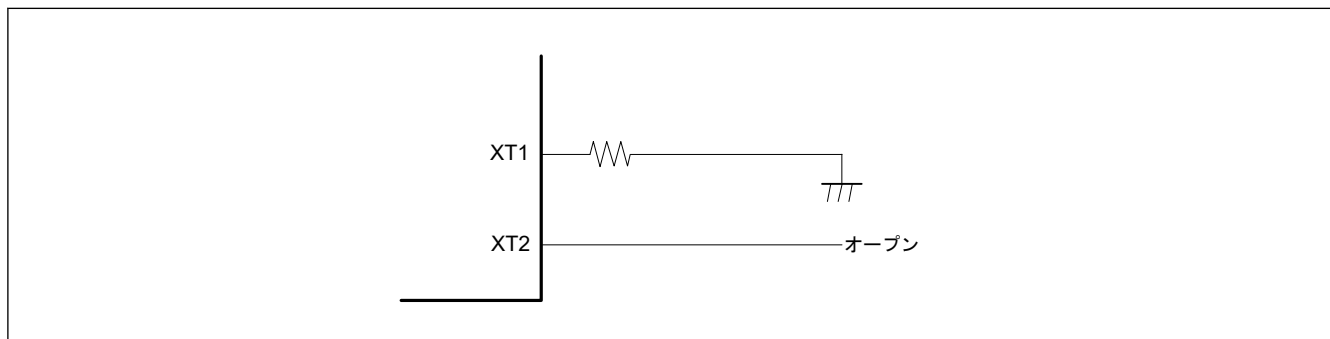


図 8.8 サブクロック発振器を使用しない場合の端子処理

8.5 内部クロック

内部クロック用のクロックソースには、以下のものがあります。

- EXTAL クロック
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- IWDT 専用クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DTC、フラッシュ、Flash-IF、および SRAM の動作クロック — システムクロック (ICLK)
- 周辺モジュールの動作クロック — PCLKB
- CAC の動作クロック — CACCLK
- RTC サブクロックの動作クロック — RTCCLK
- 128 Hz RTC サブクロックの動作クロック — RTCS128CLK
- RTC LOCO クロックの動作クロック — RTCLCLK
- TML32 外部クロックの動作クロック — TML32MCLK
- TML32 HOCO クロックの動作クロック — TML32HCLK
- TML32 MOCO クロックの動作クロック — TML32MOCLK
- TML32 LOCO クロックの動作クロック — TML32LCLK
- TML32 サブクロックの動作クロック — TML32SCLK
- UARTA 外部クロックの動作クロック — UARTAMCLK
- UARTA HOCO クロックの動作クロック — UARTAHCLK
- UARTA MOCO クロックの動作クロック — UARTAMOCLK
- UARTA LOCO クロックの動作クロック — UARTALCLK
- UARTA サブクロックの動作クロック — UARTASCLK
- REMC LOCO クロックの動作クロック — REMCLCLK
- REMC サブクロックの動作クロック — REMCSCLK

- IWDT の動作クロック — IWDTCLK
- マシントイマの動作クロック — MTCLK
- 外部端子出力のクロック — CLKOUT

内部クロックの周波数設定に使用するレジスタの詳細については、「[8.5.1. システムクロック \(ICLK\)](#)」～「[8.5.10. 外部端子出力クロック \(CLKOUT\)](#)」を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

8.5.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DTC、フラッシュメモリ、Flash-IF、および SRAM の動作クロックです。

ICLK の周波数は、OFS1 レジスタの HOCOFREQ1[2:0] ビット、SCKDIVCR レジスタの ICK[2:0] ビット、および SCKSCR レジスタの CKSEL[2:0] ビットで設定します。

OFS1.HOCOFREQ1[2:0] ビットの値は、リセット後に HOCOCR2.HCFREQ1[2:0] ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFREQ1[2:0] ビットで設定することもできます。

ICLK クロックソース切り替え時、クロックソース移行期間中は、ICLK クロック周期が長くなります。[図 8.9](#) と [図 8.10](#) を参照してください。

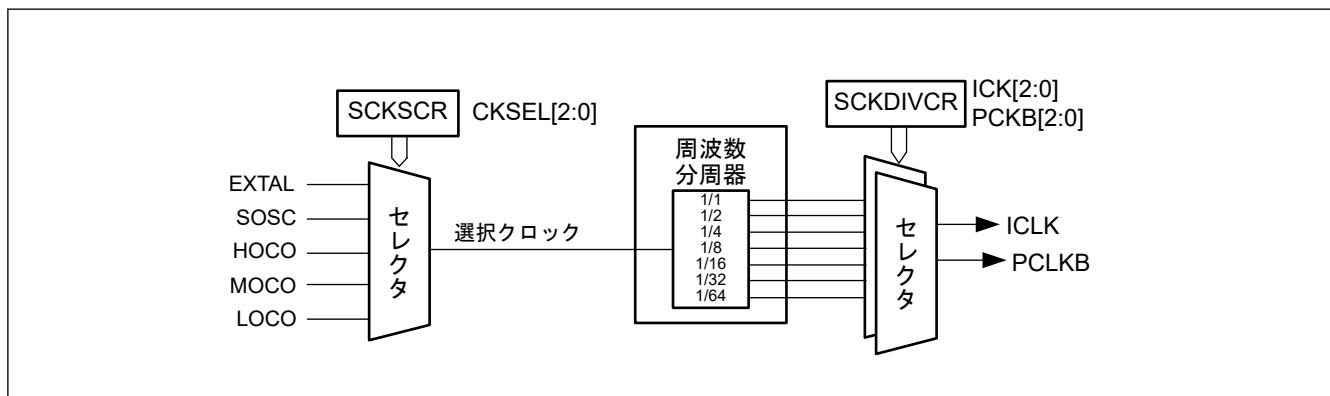


図 8.9 クロックソースセレクタのブロック図

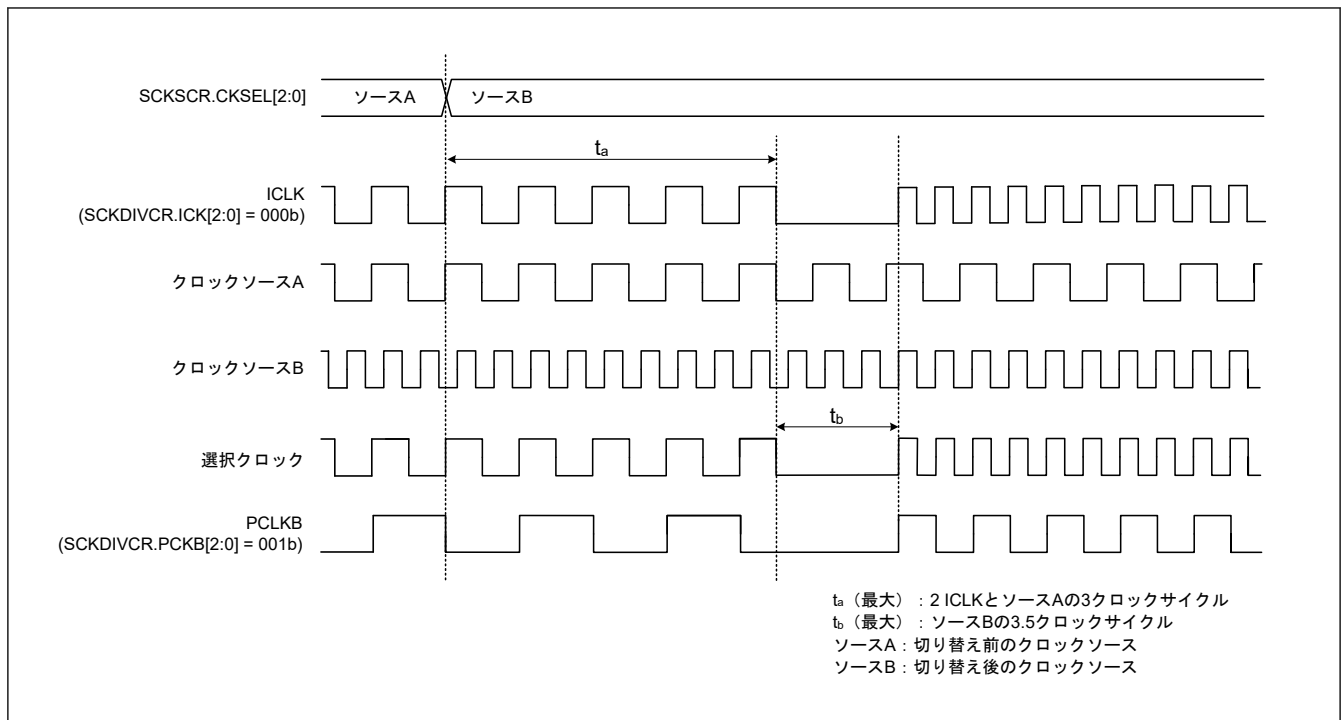


図 8.10 クロックソース切り替えのタイミング

8.5.2 周辺モジュールクロック (PCLKB)

周辺モジュールクロック (PCLKB) は、周辺モジュールが使用する動作クロックです。

当クロックの周波数は以下のビットで設定します。

- OFS1 レジスタの HOCOFQR1[2:0] ビット(注1)
- SCKDIVCR レジスタの PCKB[2:0] ビット
- SCKSCR レジスタの CKSEL[2:0] ビット

注 1. OFS1.HOCOFQR1[2:0] ビットの値は、リセット後に HOCOCR2.HCFRQ1[2:0] ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ1[2:0] ビットで設定することもできます。

周辺モジュールクロックのクロックソース切り替え時、クロックソース移行期間中は、クロック周期が長くなります。図 8.9 と図 8.10 を参照してください。

8.5.3 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK は下記の発振器で生成されます。

- 外部クロック入力 (EXTAL)
- サブクロック発振器 (SOSC)
- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)
- IWDTC 専用オンチップオシレータ (IWDTCLOCO)

8.5.4 RTC 専用クロック (RTCSCLK、RTCS128CLK、RTCLCLK)

RTC 専用クロック (RTCSCLK, RTCS128CLK, RTCLCLK) は、RTC の動作クロックです。RTCSCLK と RTCS128CLK はサブクロック発振器で生成され、RTCLCLK は LOCO クロックで生成されます。

8.5.5 TML32 専用クロック

TML32 専用クロック (TML32MCLK, TML32HCLK, TML32MOCLK, TML32LCLK, TML32SCLK) は、TML32 の動作クロックです。これらのクロックは下記の発振器で生成されます。

- 外部クロック入力 (TML32MCLK)
- サブクロック発振器 (TML32SCLK)
- 高速クロック発振器 (TML32HCLK)
- 中速クロック発振器 (TML32MOCLK)
- 低速クロック発振器 (TML32LCLK)

TML32 がこの専用クロックで動作しているときは、クロックを停止したり、周波数を変更しないでください。動作中にこのクロックが変更された場合、動作は保証されません。

8.5.6 UARTA 専用クロック

UARTA 専用クロック (UARTAMCLK, UARTAHCLK, UARTAMOCK, UARTALCLK, UARTASCLK) は、UARTA の動作クロックです。これらのクロックは下記の発振器で生成されます。

- 外部クロック入力 (UARTAMCLK)
- サブクロック発振器 (UARTASCLK)
- 高速クロック発振器 (UARTAHCLK)
- 中速クロック発振器 (UARTAMOCK)
- 低速クロック発振器 (UARTALCLK)

UARTA がこの専用クロックで動作しているときは、クロックを停止したり、周波数を変更しないでください。動作中にこのクロックが変更された場合、動作は保証されません。

8.5.7 REMC 専用クロック

REMC 専用クロック (REMCLCLK, REMCSCLK) は REMC の動作クロックです。REMCSCLK はサブクロック発振器で生成され、REMCLCLK は LOCO クロックで生成されます。

REMC がこの専用クロックで動作しているときは、クロックを停止したり、周波数を変更しないでください。動作中にこのクロックが変更された場合、動作は保証されません。

8.5.8 IWDTC 専用クロック (IWDTCCLK)

IWDTC 専用クロック (IWDTCCLK) は、IWDTC の動作クロックです。IWDTCCLK は、IWDTC 専用オンチップオシレータの内部発振によって生成されます。

8.5.9 マシナタイマ専用クロック (MTCLK)

マシナタイマ専用クロック (MTCLK) は、マシナタイマの動作クロックです。MTCLK は、LOCO クロックで生成されます。

8.5.10 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT の周波数は、以下のビットで設定します。

- CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビット
- OFS1 レジスタの HOCOFREQ[2:0] ビット(注1)

注 1. OFS1.HOCOFREQ[2:0] ビットの値は、リセット後に HOCOCR2.HCFREQ[2:0] ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFREQ[2:0] ビットで設定することもできます。

8.6 使用上の注意

8.6.1 クロック発生回路に関する注意事項

各モジュールへ供給される以下のクロックの周波数は、SCKDIVCR レジスタの設定に従って変わります。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKB)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「[37. 電気的特性](#)」を参照してください。
- システムクロックと周辺モジュールクロックは、必ず[表 8.2](#)に従い設定してください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.6.2 発振子に関する注意事項

発振子の特性はボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については[図 8.6](#)を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。したがって、回路定数を決定する際は、発振子メーカーと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

8.6.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XT1/XT2 端子の近くに配置してください。[図 8.11](#)に示すように、発振回路の近くには他の信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。[図 8.11](#)に、サブクロック発振器を使用した場合を示します。

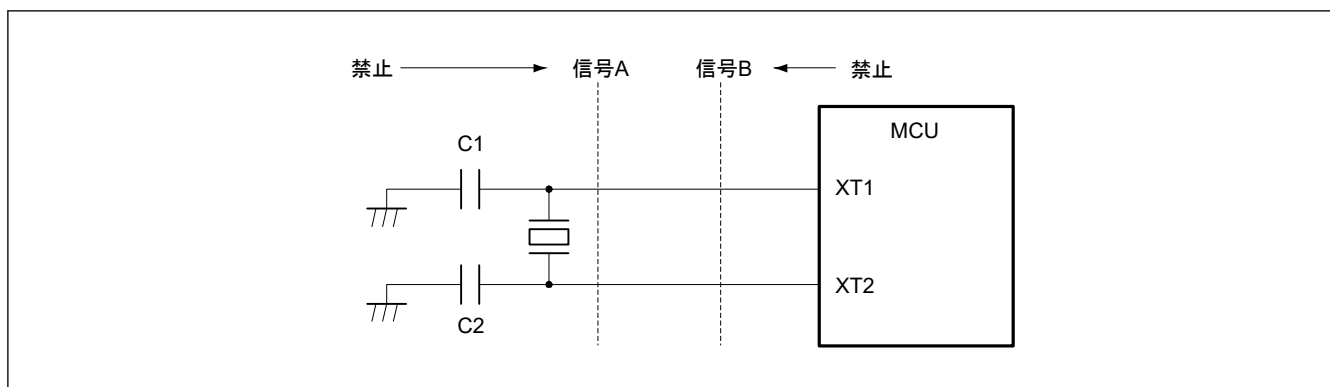


図 8.11 発振回路部のボード設計に関する信号のルーティング

8.6.4 外部クロック入力端子に関する注意事項

EXTAL 端子は汎用ポートとして使用できます。この端子を汎用ポートとして使用する場合は、外部クロックを停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるかどうかで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内がない時、割り込み要求を発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、表 9.2 に CAC の入出力端子を示します。

表 9.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 - 外部クロック入力 (EXTAL) - サブクロック発振器 - HOCO 用クロック - MOCO クロック - LOCO クロック - 周辺モジュールクロック B (PCLKB) - IWDT 専用クロック
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 - CACREF 端子への外部クロック入力 - 外部クロック入力 (EXTAL) - サブクロック発振器 - HOCO 用クロック - MOCO クロック - LOCO クロック - 周辺モジュールクロック B (PCLKB) - IWDT 専用クロック
選択機能	デジタルフィルタ機能
割り込み要因	- 測定終了割り込み - 周波数エラー割り込み - オーバーフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

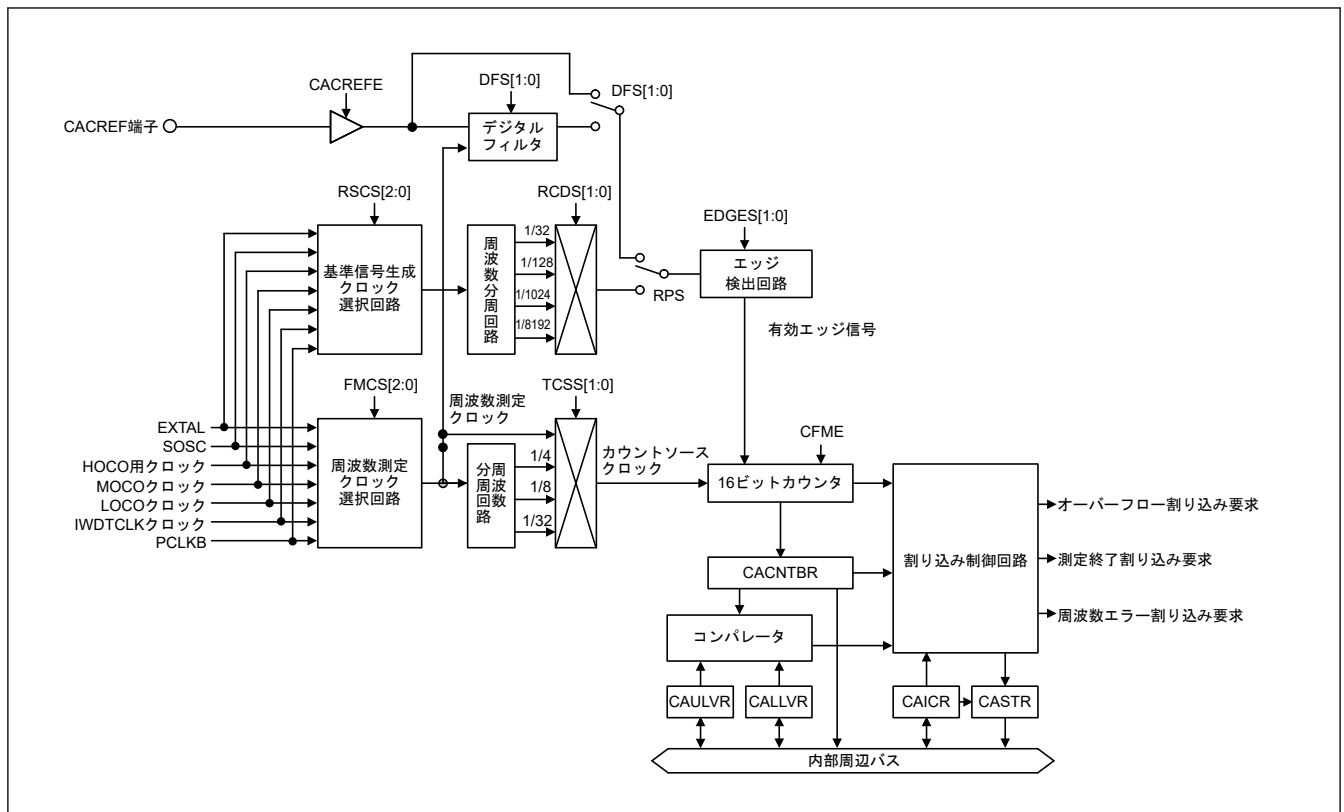


図 9.1 CAC のブロック図

表 9.2 CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

9.2 レジスタの説明

9.2.1 CACR0 : CAC コントロールレジスタ 0

Base address: CAC = 0x4004_4600

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFME

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0: クロック周波数測定無効 1: クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CFME ビット (クロック周波数測定有効)

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換えても内部回路に反映されるまでは時間がかかります。書き換えが反映されたかはビットの読み出しで確認できます。

9.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4004_4600

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]		CACR EFE	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: 外部クロック入力 (EXTAL) 0 0 1: サブクロック発振器 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDTC 専用クロック 1 1 1: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウンタクロックソース選択 0 0: 分周なしクロック 0 1: ×4 分周クロック 1 0: ×8 分周クロック 1 1: ×32 分周クロック	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり／立ち下がり両エッジ 1 1: 設定禁止	R/W

注: CACR1 レジスタは、CACR0.CFME ビットが0のときに設定してください。

CACREFE ビット (CACREF 端子入力有効)

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

FMCS[2:0] ビット (測定対象クロック選択)

FMCS[2:0] ビットは、周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウンタクロックソース選択)

TCSS[1:0] ビットは、測定対象クロックの分周比を選択します。

EDGES[1:0] ビット (有効エッジ選択)

EDGES[1:0] ビットは、測定基準クロックの有効エッジを選択します。

9.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4004_4600

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]		RPS	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック (内部生成信号)	R/W
3:1	RSCS[2:0]	測定基準クロック選択 0 0 0: 外部クロック入力 (EXTAL) 0 0 1: サブクロック発振器 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDI 専用クロック 1 1 1: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 0 0: × 32 分周クロック 0 1: × 128 分周クロック 1 0: × 1024 分周クロック 1 1: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 0 0: デジタルフィルタ機能無効 0 1: 測定対象クロックでサンプリング 1 0: 測定対象クロックの 4 分周でサンプリング 1 1: 測定対象クロックの 16 分周でサンプリング	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット (基準信号選択)

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択)

RSCS[2:0] ビットは、測定基準クロックを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択)

RCDS[1:0] ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 (CACREF 端子入力が測定基準クロックとして使用) の場合、測定基準クロックは分周されません。

DFS[1:0] ビット (デジタルフィルタ機能選択)

DFS[1:0] ビットは、デジタルフィルタのサンプリングクロックを選択します。

9.2.4 CAICR : CAC 割り込み要求許可レジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFF CL	MEND FCL	FERR FCL	—	OVFIE	MEND IE	FERR IE

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W

ビット	シンボル	機能	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FERRIE ビット (周波数エラー割り込み要求許可)

FERRIE ビットは、周波数エラー割り込み要求の許可または禁止を設定します。

MENDIE ビット (測定終了割り込み要求許可)

MENDIE ビットは、測定終了割り込み要求の許可または禁止を設定します。

OVFIE ビット (オーバーフロー割り込み要求許可)

OVFIE ビットは、オーバーフロー割り込み要求の許可または禁止を設定します。

FERRFCL ビット (FERRF フラグクリア)

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリア)

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリア)

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

9.2.5 CASTR : CAC ステータスレジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MEND F	FERR F

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

FERRF フラグ（周波数エラーフラグ）

FERRF フラグは測定クロックのカウント値が設定値を外れた（周波数エラー）ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

MENDF フラグ（測定終了フラグ）

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

OVFF フラグ（オーバーフローフラグ）

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

9.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x06

Bit position: 15

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x08

Bit position: 15

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限値 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4004_4600

Offset address: 0x0A

Bit position: 15

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

9.3 動作説明

9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 9.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。

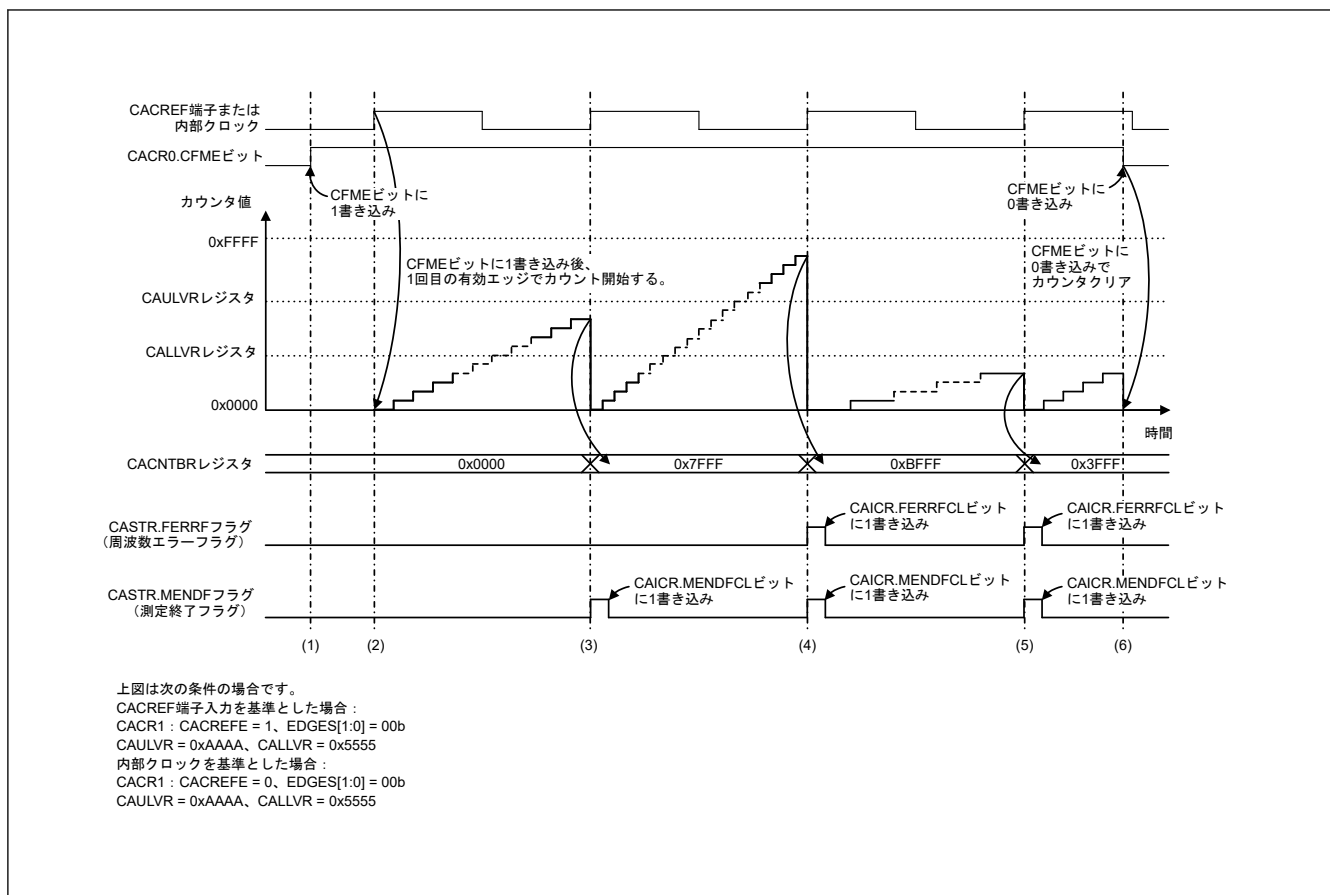


図 9.2 CAC の動作例

図 9.2 におけるイベントは以下の通りです。

1. CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
2. CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)) が入力されるとタイマのカウントアップが開始します。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 $\leq$ CAULVR レジスタの値かつ CACNTBR レジスタの値 $\geq$ CALLVR レジスタの値のときはクロック周波数が正常なので CACR.MENDF フラグだけが 1 にセットされます。また、CACR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 $>$ CAULVR レジスタの値のときはクロック周波数が異常なので CACR.FERRF フラグが 1 にセットされます。また、CACR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CACR.MENDF フラグも 1 にセットされます。また、CACR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 $<$ CALLVR レジスタの値のときはクロック周波数が異常なので CACR.FERRF フラグが 1 にセットされます。また、CACR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CACR.MENDF フラグも 1 にセットされます。また、CACR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

9.4 割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。表 9.3 に CAC 割り込み要求を示します。

表 9.3 CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値 > CAULVR レジスタ値または CACNTBR レジスタ値 < CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	● 測定基準クロックの有効エッジが入力されたとき ● ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5 使用上の注意事項

9.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止/許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に低消費電力モードの各機能の仕様を示します。表 10.2 に低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC と SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK) と周辺モジュールクロック (PCLKB) に対して、個別に分周比の選択が可能 ^(注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	- スリープモード - ソフトウェアスタンバイモード - スヌーズモード
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力の低減が可能以下の 4 つの動作電力制御モードが利用可能 - High-speed モード - Middle-speed モード - Low-speed モード - Subosc-speed モード

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作状態 (1/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード ^(注1)
遷移条件	SBYCR.SSBY = 0 の状態で WFI 命令	SBYCR.SSBY = 1 の状態で WFI 命令	ソフトウェアスタンバイモード時のスヌーズ要求 SNZCR.SNZE = 1
解除方法	すべての割り込み。このモードで利用可能なすべてのリセット。	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット。	表 10.3 に示す割り込み。このモードで利用可能なすべてのリセット。
割り込みによる解除後の状態	プログラム実行状態（割り込み処理）	プログラム実行状態（割り込み処理）	プログラム実行状態（割り込み処理）
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態
外部クロック入力	選択可能	停止	選択可能 ^(注2)
サブクロック発振器	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能
中速オンチップオシレータ	選択可能	停止	選択可能
低速オンチップオシレータ	選択可能	選択可能	選択可能
IWDT 専用オンチップオシレータ	選択可能 ^(注4)	選択可能 ^(注4)	選択可能 ^(注4)
クロック／ブザー出力機能	選択可能	選択可能 ^(注3)	選択可能
CPU	停止（保持）	停止（保持）	停止（保持）
SRAM	選択可能	停止（保持）	選択可能
フラッシュメモリ	動作	停止（保持）	停止（保持）
データトランスファコントローラ (DTC)	選択可能	停止（保持）	選択可能
ウォッチドッグタイマ (WDT)	選択可能 ^(注4)	停止（保持）	停止（保持）

表 10.2 各低消費電力モードの動作状態 (2/2)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード(注1)
独立ウォッチドッグタイマ (IWDG)	選択可能(注4)	選択可能(注4)	選択可能(注4)
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能
タイマアレイユニット (TAU)	選択可能	停止 (保持)	選択可能
32 ビットインターバルタイマ (TMR32)	選択可能	選択可能(注5)	選択可能(注5)
12 ビット A/D コンバータ (ADC12)	選択可能	停止 (保持)	選択可能
8 ビット D/A コンバータ (DAC8)	選択可能	停止 (保持)	選択可能
データ演算回路 (DOC)	選択可能	停止 (保持)	選択可能
リモート制御信号レシーバー (REMC)	選択可能	停止 (保持) (注11)	選択可能
シリアルアレイユニット (SAU)	選択可能	停止 (保持) (注10)	選択可能
I ² C バスインタフェース (IICA)	選択可能	停止 (保持) (注9)	選択可能(注9)
シリアルインタフェース UAR _{TA} (UAR _{TA})	選択可能	選択可能(注8)	選択可能
イベントリンクコントローラ (ELC)	選択可能	停止 (保持)	選択可能(注6)
コンパレータ (CMP)	選択可能	選択可能(注7)	選択可能(注7)
NMI、IRQ _n (n = 0~7) 端子割り込み	選択可能	選択可能	選択可能
キー割り込み機能 (KINT)	選択可能	選択可能	選択可能
低電圧検出回路 (LVD)	選択可能	選択可能	選択可能
パワーオンリセット回路	動作	動作	動作
その他の周辺モジュール	選択可能	停止 (保持)	動作禁止
I/O ポート	動作	保持	動作

注. 「選択可能」とは、動作/停止がコントロールレジスタによって選択できることを意味します。
「停止 (保持)」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
そうしないと、スヌーズモードでは適切な動作が保証されません。

注 1. モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。

注 2. スヌーズモードで SAU (UART0/UART2, SPI00/20) を使用する場合、MOSCCR.MOSTP ビットは 1 でなければなりません。

注 3. クロック出力ソース選択ビット (CKOCR.CKOS_{EL}[2:0]) が 010b (LOCO) および 100b (SOSC) 以外の値に設定されている場合は停止します。

注 4. IWDG 専用オンチップオシレータおよび IWDG の場合、IWDG オートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDG 停止制御ビット (IWDGSTOPCTL) の設定により、動作または停止が選択されます。WDT の場合、WDT オートスタートモード時はオプション機能選択レジスタ 0 (OFS0) の WDT 停止制御ビット (WDTSTOPCTL) の設定により、動作または停止が選択されます。また、WDT レジスタスタートモード時は WDTSTOPCTL.SLCSTP ビットの設定により、動作または停止が選択されます。

注 5. TMR32 は LOCO または SOSC を選択した場合に動作可能です。

注 6. イベントは、「10.9.11. スヌーズモードにおける ELC イベント」に記載のものに限定されます。

注 7. VCO_{UT} 機能のみが許可されます。CMP がデジタルフィルタを使用していない場合に、VCO_{UT} 端子は動作します。

注 8. UAR_{TA} は LOCO または SOSC を選択した場合に動作可能です。

注 9. ウェイクアップ割り込みのみが利用可能です。

注 10. RxD/SCK ポートの値が変化する時にスヌーズモードへ遷移可能です。

注 11. RIN ポートの値が変化する時にスヌーズモードへ遷移可能です。

表 10.3 スヌーズモードとソフトウェアスタンバイモードからノーマルモードへ遷移する場合に利用可能な割り込み要因 (1/2)

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
NMI		可能	可能
ポート	PORT_IRQ _n (n = 0~7)	可能	可能
LVD	LVD_LVD1	可能	可能
	LVD_LVD2	可能	可能
IWDG	IWDG_NMIUNDF	可能	可能

表 10.3 スヌーズモードとソフトウェアスタンバイモードからノーマルモードへ遷移する場合に利用可能な割り込み要因 (2/2)

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード
KINT	KEY_INTKR	可能	可能
TML32	TML32_OUTI	可能	可能 ^(注3)
RTC	RTC_ALM_OR_PRD	可能	可能
CMP	COMP_DET0	可能	可能
	COMP_DET1	可能	可能
UARTA	UARTA_RX_ENDI0	可能	可能
	UARTA_RX_ERI0	可能	可能
	UARTA_RX_ENDI1	可能	可能
	UARTA_RX_ERI1	可能	可能
IICA	IIC0_ENDI/IIC0_WUI	可能 ^(注2)	可能 ^(注2)
	IIC1_ENDI/IIC1_WUI	可能 ^(注2)	可能 ^(注2)
REMC	REMC_OUTI	不可能	SELSR0 で可能 ^(注1)
SAU	SAU0_ENDI1	不可能	SELSR0 で可能 ^(注1)
	SAU1_ENDI1	不可能	SELSR0 で可能 ^(注1)
	SAU0_INTSRE0	不可能	SELSR0 で可能 ^(注1)
	SAU1_INTSRE2	不可能	SELSR0 で可能 ^(注1)
DTC	DTC_COMPLETE	不可能	SELSR0 で可能 ^(注1)
DOC	DOC_DOPCI	不可能	SELSR0 で可能 ^(注1)
ADC12	ADC_ENDI	不可能	SELSR0 で可能 ^(注1)

注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。
「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。

注 2. アドレス一致応答が発生した場合。

注 3. SNZEDCR1 レジスタにより許可されるイベントは使用しないでください。

図 10.1 に、通常モードと低消費電力モード間の遷移を示します。

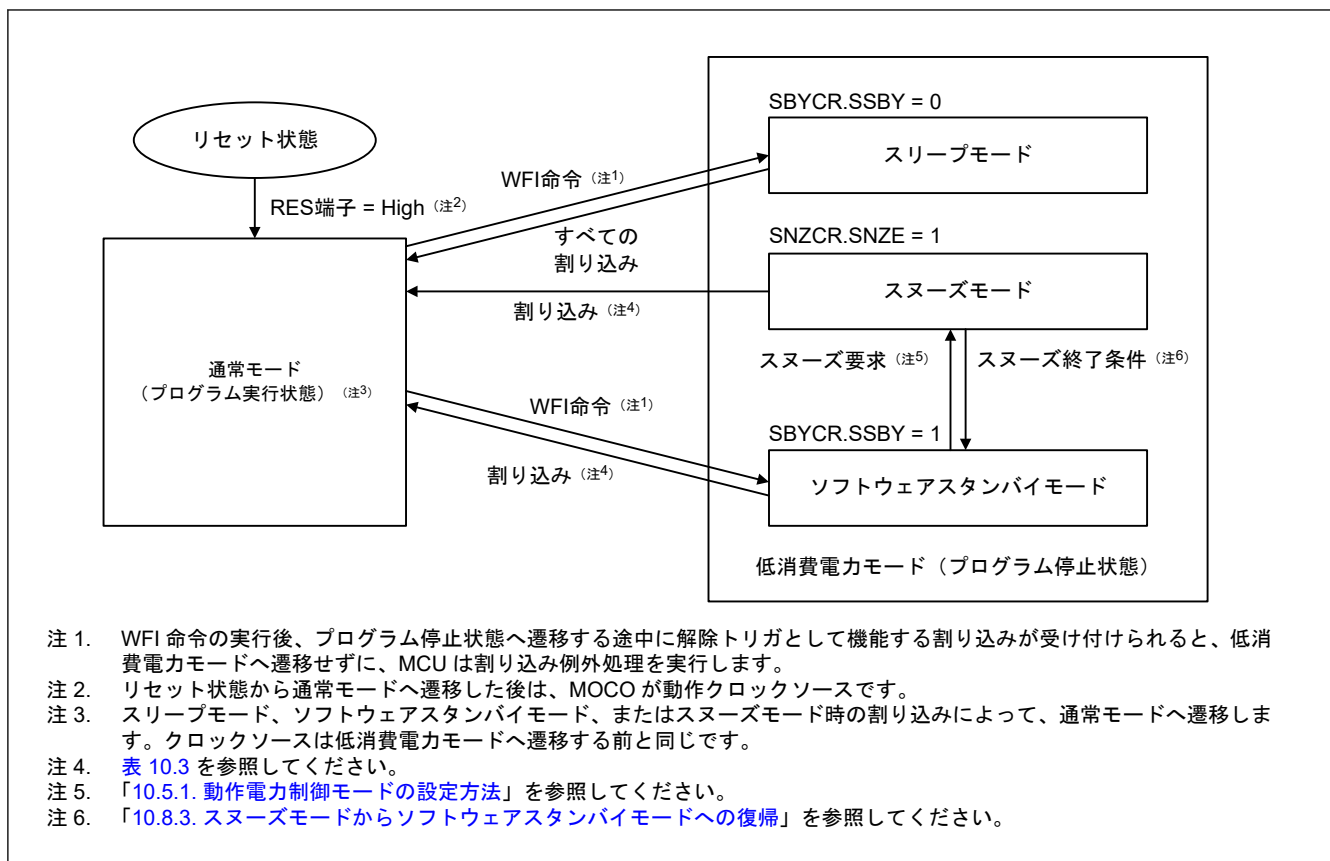


図 10.1 低消費電力モードの遷移

10.2 レジスタの説明

10.2.1 SBYCR : スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むとリセット値が読めます。書く場合、リセット値を書いてください。	R/W
15	SSBY	ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード	R/W

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SSBY ビット（ソフトウェアスタンバイモード選択）

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

FENTRYR.FENTRY0 ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

10.2.2 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: SYSC = 0x4001_E000

Offset address: 0x01C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTP A22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
21:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPA22	DTC のモジュールストップ(注1) 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注 1. MSTPA22 ビットを 0 から 1 に書き換えるときは、あらかじめ DTC を無効にしておいてください。

10.2.3 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4004_7000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	MSTP B21	MSTP B20	—	—	MSTP B17	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MSTP B9	MSTP B8	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	MSTPB8	I ² C バスインタフェース 1 モジュールストップ設定 対象モジュール: IICA1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
9	MSTPB9	I ² C バスインタフェース 0 モジュールストップ設定 対象モジュール: IICA0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
16:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
17	MSTPB17	シリアルインタフェース UARTA0/UARTA1 モジュールストップ 対象モジュール: UARTA0/UARTA1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19:18	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
20	MSTPB20	シリアルアレイユニット1 モジュールストップ 対象モジュール：SAU1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	MSTPB21	シリアルアレイユニット0 モジュールストップ 対象モジュール：SAU0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:22	—	読むと1が読めます。書く場合、1としてください。	R/W

10.2.4 MSTPCRC : モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4004_7000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSTP C28	—	—	—	—	—	MSTP C22	—	—	MSTP C19	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTP C14	MSTP C13	—	—	—	—	—	—	—	—	—	—	—	MSTP C1	MSTP C0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定(注1) 対象モジュール: CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール: CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:2	—	読むと1が読めます。書く場合、1としてください。	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール: DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール: ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
18:15	—	読むと1が読めます。書く場合、1としてください。	R/W
19	MSTPC19	リモート制御信号レシーバモジュールストップ 対象モジュール: REMC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと1が読めます。書く場合、1としてください。	R/W
22	MSTPC22	8ビットD/Aコンバータモジュールストップ設定 対象モジュール: DAC8 MSTPCRD.MSTPD20と同じ値を設定してください。 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27:23	—	読むと1が読めます。書く場合、1としてください。	R/W

ビット	シンボル	機能	R/W
28	MSTPC28	真性乱数生成器モジュールストップ(注2) 対象モジュール：TRNG 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

- 注 1. MSTPC0 ビットの書き換えは、本ビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、発振器によって出力されるクロックのうち、最も遅いクロックが 2 サイクル経過してから WFI 命令を実行してください。
- 注 2. 本 MCU で TRNG を使用しない場合でも、未使用回路を初期化するために、プログラムの最初で一回だけ MSTPC28 ビットを 0 にしてください。「10.9.13. 未使用回路に対するモジュールストップ機能」を参照してください。

10.2.5 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4004_7000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSTP D28	—	—	—	—	—	—	—	MSTP D20	—	—	—	MSTP D16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	MSTP D10	MSTP D9	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
9	MSTPD9	32 ビットインターバルタイマモジュールストップ 対象モジュール：TML32 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10	MSTPD10	タイマアレイユニットモジュールストップ 対象モジュール：TAU 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15:11	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPD16	12 ビット A/D コンバータモジュールストップ設定 対象モジュール：ADC12 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
20	MSTPD20	8 ビット D/A コンバータモジュールストップ設定 対象モジュール：DAC8 MSTPCRC.MSTPC22 と同じ値を設定してください。 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27:21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
28	MSTPD28	コンパレータモジュールストップ 対象モジュール：CMP 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

10.2.6 OPCCR : 動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCM TSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: Middle-speed モード 1 0: 設定禁止 1 1: Low-speed モード	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ リード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

OPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。OPCCR レジスタを設定することにより、使用する動作周波数と動作電圧に応じて消費電力を低減させることができます。動作電力制御モードの変更手順については、「[10.5. 動作電力低減機能](#)」を参照してください。

OPCM[1:0]ビット（動作電力制御モード選択）

OPCM[1:0]ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。

各動作電力制御モードと、OPCM[1:0]、SOPCM の各ビット設定値との関係については、[表 10.4](#)を参照してください。

MCU が以下の条件下にあるとき、OPCCR.OPCM[1:0]に書き込むことは禁止されています。

1. HOCOCR.HCSTP と OSCSF.HOCOSF が 0（HOCO クロックの発振がまだ安定になっていない）のとき
2. MCU がスリープモードかスヌーズモードのとき、MCU がスリープモードまたはスヌーズモードから通常モードへ遷移中のとき、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移中のとき、MCU が動作電源モード遷移中のとき
3. フラッシュがプログラミングモードのとき
4. MCU が Subosc-speed モード（SOPCCR.SOPCM ビットが 1）のとき

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ リード時）

OPCMTSF フラグは、動作電力制御モード切り替え時の切り替え制御状態を表します。本フラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

10.2.7 SOPCCR : サブ動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0AA

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SOPC MTSF	—	—	—	SOPC M
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOPCM	サブ動作電力制御モード選択 0: Subosc-speed モード以外 1: Subosc-speed モード	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SOPCMTSF	動作電力制御モード遷移状態フラグ リード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOPCCR レジスタは、通常モード、スリープモード、およびスヌーズモード時に消費電力を低減させるために使用します。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰を行います。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、「[10.5. 動作電力低減機能](#)」を参照してください。

SOPCM ビット（サブ動作電力制御モード選択）

SOPCM ビットは、通常モード、スリープモード、およびスヌーズモード時の動作電力制御モードを選択します。このビットを 1 にすることで、Subosc-speed モードへ遷移できます。また、本ビットを 0 にすることで、Subosc-speed モード遷移前の動作モード（OPCCR.OPCM[1:0]で設定された動作モード）へ復帰できます。

MCU が以下の状態の場合は、SOPCCR.SOPCM への書き込みが禁止されます。

1. MCU がスリープモードまたはスヌーズモードである、MCU がスリープモード、スヌーズモード、またはソフトウェアスタンバイモードから通常モードに遷移している、MCU が通常モードからスリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移している、または MCU が動作電力モードの遷移状態にある。
2. フラッシュがプログラミングモードである。
3. EXTAL が動作中である（MOSCCR.MOSTP ビットが 0）、HOCO が動作中である（HOCOCR.HCSTP ビットが 0）、または MOCO が動作中である（MOCOCR.MCSTP ビットが 0）。
4. SCKDIVCR レジスタの値が 0x00000000 でない。
5. データフラッシュが無効である（DFLCTL.DFLEN ビットが 0）。

表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

SOPCMTSF フラグ（動作電力制御モード遷移状態フラグ リード時）

SOPCMTSF フラグは、動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4 動作電力制御モード

動作電力制御モード	OPCM[1:0]ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	High
Middle-speed モード	01b	0	↓
Low-speed モード	11b	0	↓
Subosc-speed モード	xxb	1	Low

10.2.8 SNZCR : スヌーズコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SNZE	—	—	REMCOREQEN	RXD2REQEN	RXD0REQEN	SNZDTCEN	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	SNZDTCEN	スヌーズモード時の DTC 許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
2	RXD0REQEN	RXD0/SCK00 スヌーズ要求許可 0: ソフトウェアスタンバイモード時に RXD0 または SCK00 のエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 または SCK00 のエッジを検出	R/W
3	RXD2REQEN	RXD2/SCK20 スヌーズ要求許可 0: ソフトウェアスタンバイモード時に RXD2 または SCK20 のエッジを無視 1: ソフトウェアスタンバイモード時に RXD2 または SCK20 のエッジを検出	R/W
4	REMCOREQEN	RIN0 スヌーズ要求許可 0: ソフトウェアスタンバイモード時に RIN0 のエッジを無視 1: ソフトウェアスタンバイモード時に RIN0 のエッジを検出	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SNZE	スヌーズモード許可 0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

注: PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

SNZDTCEN ビット (スヌーズモード時の DTC 許可)

SNZDTCEN ビットは、スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn レジスタを設定することで、DTC を起動することが可能です。

RXD0REQEN ビット (RXD0/SCK00 スヌーズ要求許可)

RXD0REQEN ビットは、ソフトウェアスタンバイモード時に RXD0 端子または SCK00 端子のエッジを検出するか否かを指定します。RXD0 端子または SCK00 端子のエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子または SCK00 端子のエッジが検出されると、MCU はスヌーズモードへ遷移します。

RXD2REQEN ビット (RXD2/SCK20 スヌーズ要求許可)

RXD2REQEN ビットは、ソフトウェアスタンバイモード時に RXD2 端子または SCK20 端子のエッジを検出するか否かを指定します。RXD2 端子または SCK20 端子のエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD2 端子または SCK20 端子のエッジが検出されると、MCU はスヌーズモードへ遷移します。

REMCOREQEN ビット (RIN0 スヌーズ要求許可)

REMCOREQEN ビットは、ソフトウェアスタンバイモード時に RIN0 端子のエッジを検出するか否かを指定します。RIN0 端子のエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RIN0 端子のエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZE ビット（スヌーズモード許可）

SNZE ビットは、ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.6 に示すトリガによって、MCU はスヌーズモードへ遷移します。本 MCU がソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったん 0 にしてから再設定してください。詳細は、「10.8. スヌーズモード」を参照してください。

10.2.9 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x094

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	ADNC RED	DTCN ZRED	DTCZ RED	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	DTCZRED	最後の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
2	DTCNZRED	最後以外の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
3	ADNCRED	ADC コンペア不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZEDCR0 レジスタは、スヌーズモードからソフトウェアスタンバイモードへの切り替え条件を制御します。表 10.7 に示すトリガをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用する場合は、SNZEDCR0 レジスタの対応するビットを 1 にする必要があります。

表 10.3 に示すように、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR0 レジスタで許可しないでください。

DTCZRED ビット（最後の DTC 送信完了時スヌーズ終了許可）

DTCZRED ビットは、最後の DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「14. データトランスファコントローラ (DTC)」を参照してください。

DTCNZRED ビット（最後以外の DTC 送信完了時スヌーズ終了許可）

DTCNZRED ビットは、各 DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0 以外）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「14. データトランスファコントローラ (DTC)」を参照してください。

ADNCRED ビット（ADC コンペア不一致スヌーズ終了許可）

ADNCRED ビットは、スヌーズモードで ADC 変換が完了し A/D 変換終了割り込み要求信号 (ADC_ENDI) が生成されない場合にスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「29. 12 ビット A/D コンバータ (ADC12)」を参照してください。

10.2.10 SNZEDCR1 : スヌーズ終了コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x095

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	SAU1 NCRE D	SAU0 NCRE D	—	—	REMC NCRE D	TMLOI ED
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMLOIED	TML32 割り込みスヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
1	REMCNCRED	REMC 割り込みなし完了スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SAU0NCRED	SAU0 割り込みなしエラー完了スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
5	SAU1NCRED	SAU1 割り込みなしエラー完了スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SNZEDCR1 レジスタは、スヌーズモードからソフトウェアスタンバイモードへの切り替え条件を制御します。表 10.7 に示すトリガをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用する場合は、SNZEDCR1 レジスタの対応するビットを 1 にする必要があります。

表 10.3 に示すように、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR1 レジスタで許可しないでください。

TMLOIED ビット (TML32 割り込みスヌーズ終了許可)

TMLOIED ビットは、TML32_OUTI 割り込みを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「19.32 ビットインターバルタイマ (TML32)」を参照してください。

REMCNCRED ビット (REMC 割り込みなし完了スヌーズ終了許可)

REMCNCRED ビットは、スヌーズモードでデータ受信が完了し REMC に関する割り込みが発生していない場合にスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「26. リモコン信号受信機能 (REMC)」を参照してください。

SAU0NCRED ビット (SAU0 割り込みなしエラー完了スヌーズ終了許可)

SAU0NCRED ビットは、スヌーズモードでデータ受信がエラー完了し SAU0 に関する割り込みが発生していない場合にスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「23. シリアルアレイユニット (SAU)」を参照してください。

SAU1NCRED ビット (SAU1 割り込みなしエラー完了スヌーズ終了許可)

SAU1NCRED ビットは、スヌーズモードでデータ受信がエラー完了し SAU1 に関する割り込みが発生していない場合にスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「23. シリアルアレイユニット (SAU)」を参照してください。

10.2.11 SNZREQCR0 : スヌーズ要求コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	SNZR EQEN 26	—	SNZR EQEN 24	—	—	—	—	—	—	SNZR EQEN 17	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SNZR EQEN 7	SNZR EQEN 6	SNZR EQEN 5	SNZR EQEN 4	SNZR EQEN 3	SNZR EQEN 2	SNZR EQEN 1	SNZR EQEN 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNZREQEN0	IRQ0 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
1	SNZREQEN1	IRQ1 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
2	SNZREQEN2	IRQ2 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
3	SNZREQEN3	IRQ3 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
4	SNZREQEN4	IRQ4 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
5	SNZREQEN5	IRQ5 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
6	SNZREQEN6	IRQ6 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
7	SNZREQEN7	IRQ7 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
16:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17	SNZREQEN17	KEY_INTKR スヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SNZREQEN24	RTC アラームのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	SNZREQEN26	TML32 スヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SNZREQCR0 レジスタは、ソフトウェアスタンバイモードからスリープモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR0 レジスタの対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR0 レジスタの設定値よりも常に優先順位は高くなります。詳細は、「[10.8. スリープモード](#)」、および「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

10.2.12 PSMCR : パワーセーブメモリコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x09F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	PSMC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PSMC[1:0]	パワーセーブメモリ制御 0 0: ソフトウェアスタンバイモード時に全 SRAM が ON 0 1: ソフトウェアスタンバイモード時に 8 KB SRAM (0x2000_0000~0x2000_0FFF および 0x2000_4000~0x2000_4FFF) が ON 1 0: 設定禁止 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

PSMC[1:0]ビット (パワーセーブメモリ制御)

PSMC[1:0]ビットは、ソフトウェアスタンバイモード時の SRAM 保持域を選択します。これらのビットを 01b (ソフトウェアスタンバイモード時に 8 KB SRAM を ON) に設定すると、消費電流が低減されます。PSMCR レジスタを設定してから、WFI 命令を実行します。

本レジスタは、PRCR.PRC1 ビットで保護されています。

10.2.13 SYOCDCCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッグ有効 オンチップデバッグモードで最初に 1 にしてください。 0: オンチップデバッグは無効 1: オンチップデバッグは有効	R/W

注: PRCR.PRC1 ビットを 1 (書き込み許可) にしてから、このレジスタを書き換えてください。

DBGEN ビット (デバッグ有効)

DBGEN ビットはオンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードで最初に 1 にする必要があります。

[1 になる条件]

- デバッグの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

注. DBGEN ビットの設定を変更できる MCU 状態については、いくつかの制限事項があります。詳細は、「[2.4.5. OCD エミュレータ接続における制限](#)」を参照してください。

10.2.14 LSMRWDIS : ロースピードモジュール R/W 禁止制御レジスタ

Base address: MSTP = 0x4004_7000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								WREN	—	—	—	—	IWDT DIS	WDTDIS	RTCRWDIS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RTCRWDIS	RTC レジスタ R/W 許可制御 RTC レジスタ R/W クロックを停止 (LPOPT.LPOPTEN = 1 のときのみ有効) 0: RTC レジスタ R/W クロックは常にオン 1: RTC レジスタ R/W クロックは停止する	R/W
1	WDTDIS	WDT 動作クロック制御 WDT カウンタクロックとレジスタ R/W クロック (LPOPT.LPOPTEN = 1 のときのみ有効) 0: WDT は通常動作 1: WDT クロックとレジスタ R/W クロックを停止する	R/W
2	IWDTDIS	IWDT レジスタクロック制御 IWDT レジスタ R/W クロックを停止 (LPOPT.LPOPTEN = 1 のときのみ有効) 0: IWDT は通常動作 1: IWDT レジスタ R/W クロックは停止する	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	WREN	ビット[2:0]の書き込み許可 0: ビット[2:0]の書き込み禁止 1: ビット[2:0]の書き込み許可	R/W
15:8	PRKEY[7:0]	LSMRWDIS キーコード LSMRWDIS レジスタへの書き込みを制御します。LSMRWDIS レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに目的の値を、16 ビット単位で書いてください。	W

RTCRWDIS ビット (RTC レジスタ R/W 許可制御)

[1 になる条件]

- このビットは、WREN が 1 の場合のみ書き換えられます。
- LPOPT.LPOPTEN = 1 で、このビットが 1 のとき、このビットは RTC レジスタ R/W クロックを停止します。

WDTDIS ビット (WDT 動作クロック制御)

[1 になる条件]

- 本ビットは、WREN が 1 の場合のみ書き換えられます。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは WDT 動作クロックを停止します。
- WDT がオートスタートモード (OFS0.WDTSTRT = 0) のとき、本ビットを 1 にしないでください。
- WDT が動作中のとき、本ビットを 1 にしないでください。
- 本ビットを 1 にすると、WDT のレジスタスタートモードが無効になります。

IWDTDIS ビット (IWDT レジスタクロック制御)

[1 になる条件]

- このビットは、WREN が 1 の場合のみ書き換えられます。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットは IWDT レジスタ R/W クロックを停止します。
- IWDT がオートスタートモード (OFS0.IWDTSTRT = 0) のとき、本ビットを 1 にしないでください。
- IWDT が動作中のとき、本ビットを 1 にしないでください。

10.2.15 LPOPT : 消費電力低減動作コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x04C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPOP TEN	—	—	—	BPF CLKDIS	—	—	—
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	BPFCLKDIS	BPF クロック禁止制御 フラッシュレジスタ R/W クロックを停止 (LPOPT.LPOPTEN = 1 のときのみ有効) 0: フラッシュレジスタ R/W クロックは通常動作する 1: フラッシュレジスタ R/W クロックは停止する	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	LPOPTEN	消費電力低減動作許可 0: 消費電力低減機能をすべて禁止 1: 消費電力低減機能をすべて許可	R/W

LPOPT レジスタは、PRCR.PRC0 ビットで保護されています。

BPFCLKDIS ビット (BPF クロック禁止制御)

[1 になる条件]

- OCD モードまたは UART (SAU) ブートモード中は、このビットを 1 にしないでください。
- フラッシュレジスタでコードフラッシュまたはデータフラッシュを操作しているときは、このビットを 1 にしないでください。
- データフラッシュ動作中は、本ビットを 1 にしないでください。
- 電力制御モード遷移中 (High-speed モードから Middle-speed モード、High-speed モードから Low-speed モードなど) は、本ビットを 1 にしないでください。
- LPOPT.LPOPTEN = 1 で、本ビットが 1 のとき、本ビットはフラッシュレジスタ R/W クロックを停止します。

LPOPTEN ビット (消費電力低減動作許可)

[1 になる条件]

- 本ビットを 1 にすると MCU の電力消費量が低減されますが、システムに制約が生じます。

10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「[8.2.1. SCKDIVCR : システムクロック分周コントロールレジスタ](#)」を参照してください。

10.4 モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCR_n (n = A~D) レジスタの MSTP_{mi} ビット (m = A~D, i = 31~0) を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTP_{mi} ビットを 0 にすることによって、モジュールストップ状態が解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DTC 以外の全モジュールがモジュールストップ状態になります。MSTP_{mi} ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTP_{mi} ビットを 1 にしないでください。

10.5 動作電力低減機能

動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、スヌーズモード時の消費電力を削減できます。

10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.5 各モードで利用可能な発振器

モード	発振器					
	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	外部クロック入力	サブクロック発振器	IWDT 専用オンチップオシレータ
High-speed	利用可能	利用可能	利用可能	利用可能	利用可能	利用可能
Middle-speed	利用可能	利用可能	利用可能	利用可能	利用可能	利用可能
Low-speed	利用可能	利用可能	利用可能	利用可能	利用可能	利用可能
Subosc-speed	N/A	N/A	利用可能	N/A	利用可能	利用可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1 : High-speed モードから Low-speed モードへの切り替え

(最初は High-speed モードで動作しています)

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最高動作周波数以下にする。
2. Low-speed モードで不要な発振器を OFF にする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. OPCCR.OPCM[1:0] ビットを 11b (Low-speed モード) にする。
5. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。

(動作は Low-speed モードになります)

例 2 : High-speed モードから Subosc-speed モードへの切り替え

(最初は High-speed モードで動作しています)

1. クロックソースをサブクロック発振器に切り替える。HOCO、MOCO、LOCO、および EXTAL を OFF にする。
2. すべてのクロックソース (サブクロック発振器を除く) が停止していることを確認する。
3. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. SOPCCR.SOPCM ビットを 1 (Subosc-speed モード) にする。
5. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。

(動作は Subosc-speed モードになります)

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1 : Subosc-speed モードから High-speed モードへの切り替え

(最初は Subosc-speed モードで動作しています)

1. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. SOPCCR.SOPCM ビットを 0 (High-speed モード) にする。
3. SOPCCR.SOPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードに必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下にする。

(動作は High-speed モードになります)

例 2 : Low-speed モードから High-speed モードへの切り替え

(最初は Low-speed モードで動作しています)

1. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
2. OPCCR.OPCM[1:0] ビットを 00b (High-speed モード) にする。
3. OPCCR.OPCMTSF フラグが 0 (遷移完了) であることを確認する。
4. High-speed モードに必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下とする。

(動作は High-speed モードになります)

10.5.2 動作範囲

図 10.2～図 10.4 に、ICLK の動作電圧と動作周波数を示します。ただし、PCLKB からクロック供給される周辺モジュールは ICLK と同じではありません。

High-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 48 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.8～5.5 V です。

フラッシュプログラム/イレース時では、動作周波数範囲は 1～48 MHz で、動作電圧範囲は 1.8～5.5 V です。

図 10.2 に、High-speed モードにおける動作電圧と動作周波数を示します。

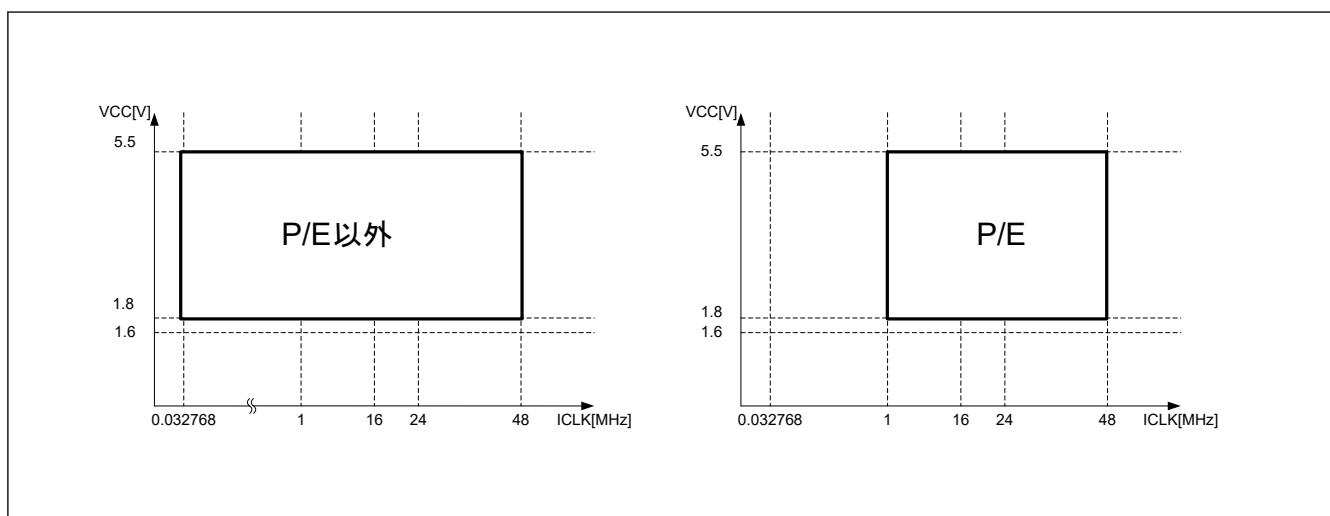


図 10.2 High-speed モードにおける動作電圧と動作周波数

Middle-speed モード

このモードでは、同じ条件下で High-speed モードよりも消費電力を低減できます。

フラッシュ読み出し時の ICLK の最高動作周波数は 24 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。しかし、動作電圧が 1.6～1.8 V の場合、フラッシュ読み出し時の ICLK の最高動作周波数は 4 MHz になります。

フラッシュメモリのプログラム/イレース時の動作周波数範囲は 1～24 MHz、動作電圧範囲は 1.6～5.5 V です。しかし、動作電圧が 1.6～1.8 V の場合、フラッシュメモリのプログラム/イレース時の最高動作周波数は 4 MHz になります。

図 10.3 に、Middle-speed モードにおける動作電圧と動作周波数を示します。

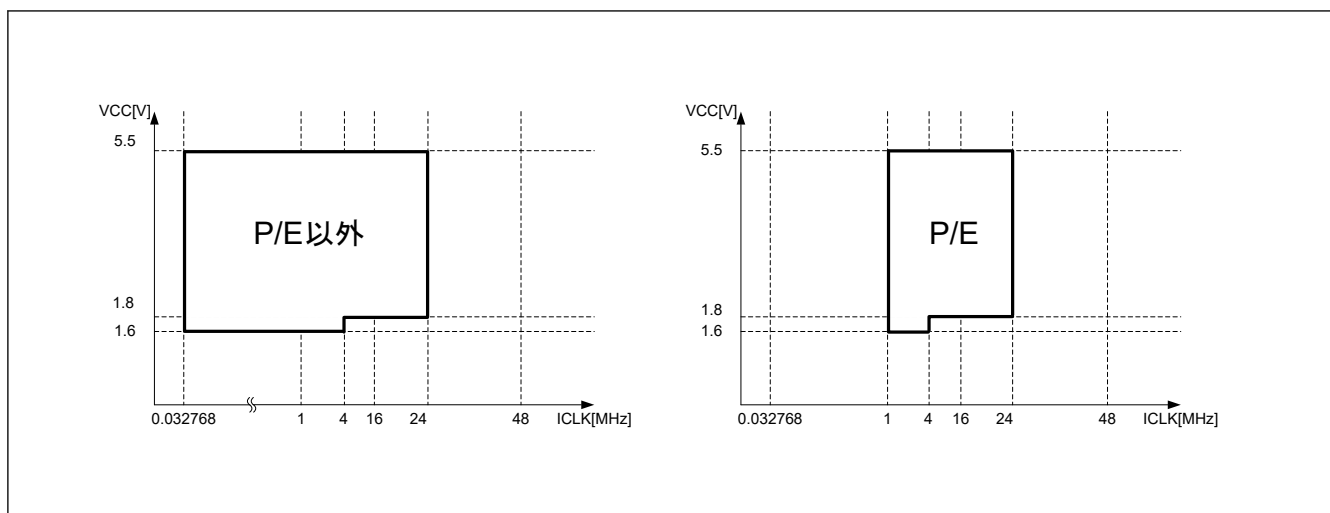


図 10.3 Middle-speed モードにおける動作電圧と動作周波数

Low-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 1 MHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。

フラッシュプログラム/イレース時では、動作周波数は 1 MHz で、動作範囲は 1.6～5.5 V です。

図 10.4 に、Low-speed モードにおける動作電圧と動作周波数を示します。

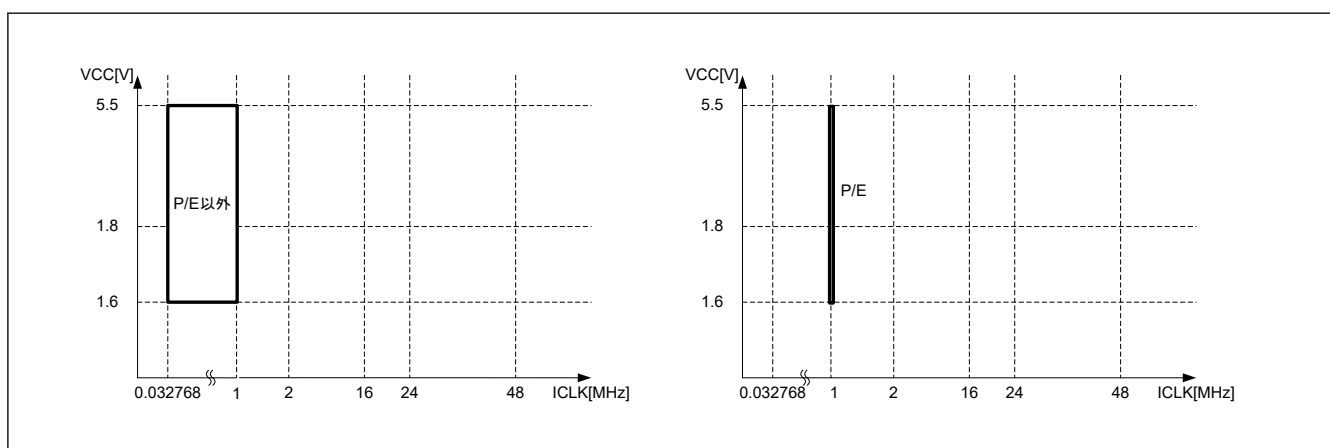


図 10.4 Low-speed モードにおける動作電圧と動作周波数

Subosc-speed モード

フラッシュ読み出し時の ICLK の最高動作周波数は 37.6832 kHz です。フラッシュ読み出し時の動作電圧範囲は 1.6～5.5 V です。フラッシュメモリの P/E 操作は禁止です。

サブクロック発振器と低速オンチップオシレータ以外の発振器は使用禁止です。SCKDIVCR レジスタを 0x00000000 以外の値に設定するのも禁止です。

図 10.5 に、Subosc-speed モードにおける動作電圧と動作周波数を示します。

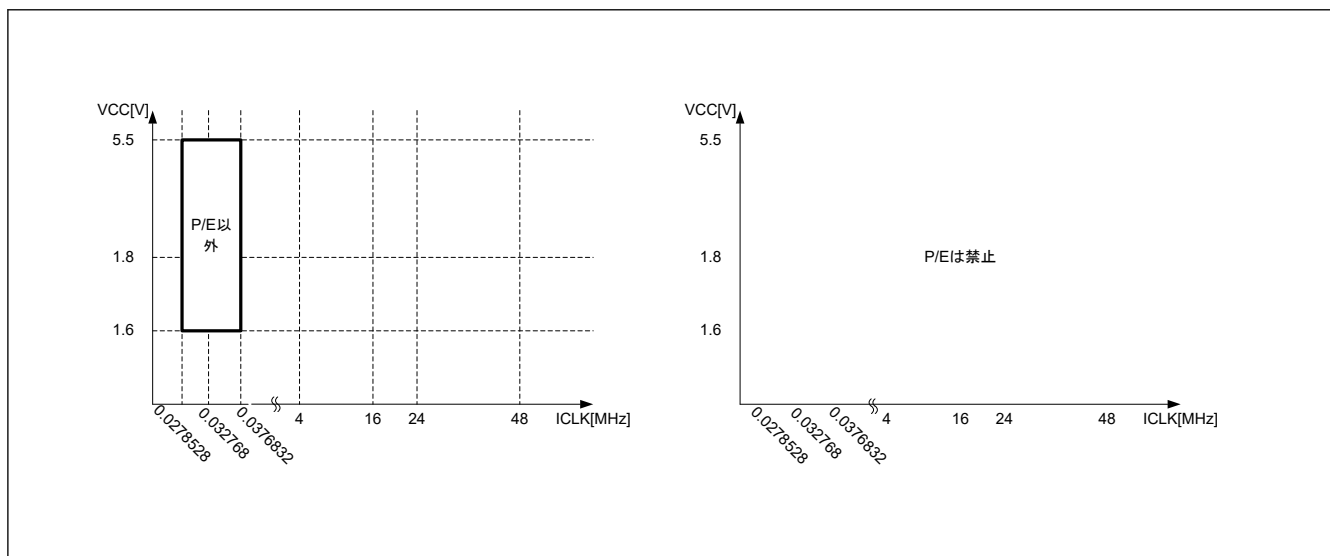


図 10.5 Subosc-speed モードにおける動作電圧と動作周波数

10.6 スリープモード

10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止) の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続) の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 1 (スリープモード時に WDT カウント停止) の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSSTPR.SLCSTP ビットが 0 (スリープモード時に WDT カウント継続) の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

10.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- SRAM パリティエラーリセット

- SRAM ECC エラーリセット
- バスエラーリセット
- IWDT または WDT アンダーフローによるリセット
- デバッグリセット

動作は以下のとおりです。

1. 割り込みによる解除
割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態になります。「37. 電气的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
 - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除
WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
 - OFS0.WDTSTRT = 0 (オートスタートモード) かつ OFS0.WDTSTPCTL = 1
 - OFS0.WDTSTRT = 1 (レジスタスタートモード) かつ WDTCSMPR.SLCSTP = 1
5. スリープモードで利用可能な他のリセットによる解除
その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注 割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.7 ソフトウェアスタンバイモード

10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。「10.1. 概要」に、各内蔵周辺機能と発振器の状態を示します。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については「10.1. 概要」を、ソフトウェアスタンバイモードから復帰させる方法については、「12.2.7. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント停止) の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0 (スリープモード、ソフトウェアスタンバイモード、およびスヌーズモード時に IWDT カウント継続) の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

フラッシュメモリのプログラム/イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム/イレース処理が完了してから WFI 命令を実行してください。

10.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 「10.1. 概要」に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDТ アンダーフローに起因したリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、「12.2.7. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除
利用可能な割り込み要求（「10.1. 概要」を参照）が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していたすべての発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。
2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「37. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDТ リセットによる解除
IWDТ アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDТ が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
 - OFS0.IWDТSTRT = 0 かつ OFS0.IWDТSTPCTL = 1

10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.6 に示します。

この例では、ICU の IRQCRi.IRQMD[1:0] ビットが 00b（立ち下がりエッジ）の状態では IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0] ビットを 01b（立ち上がりエッジ）にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.6 の発振安定時間については、「37. 電気的特性」に示されています。

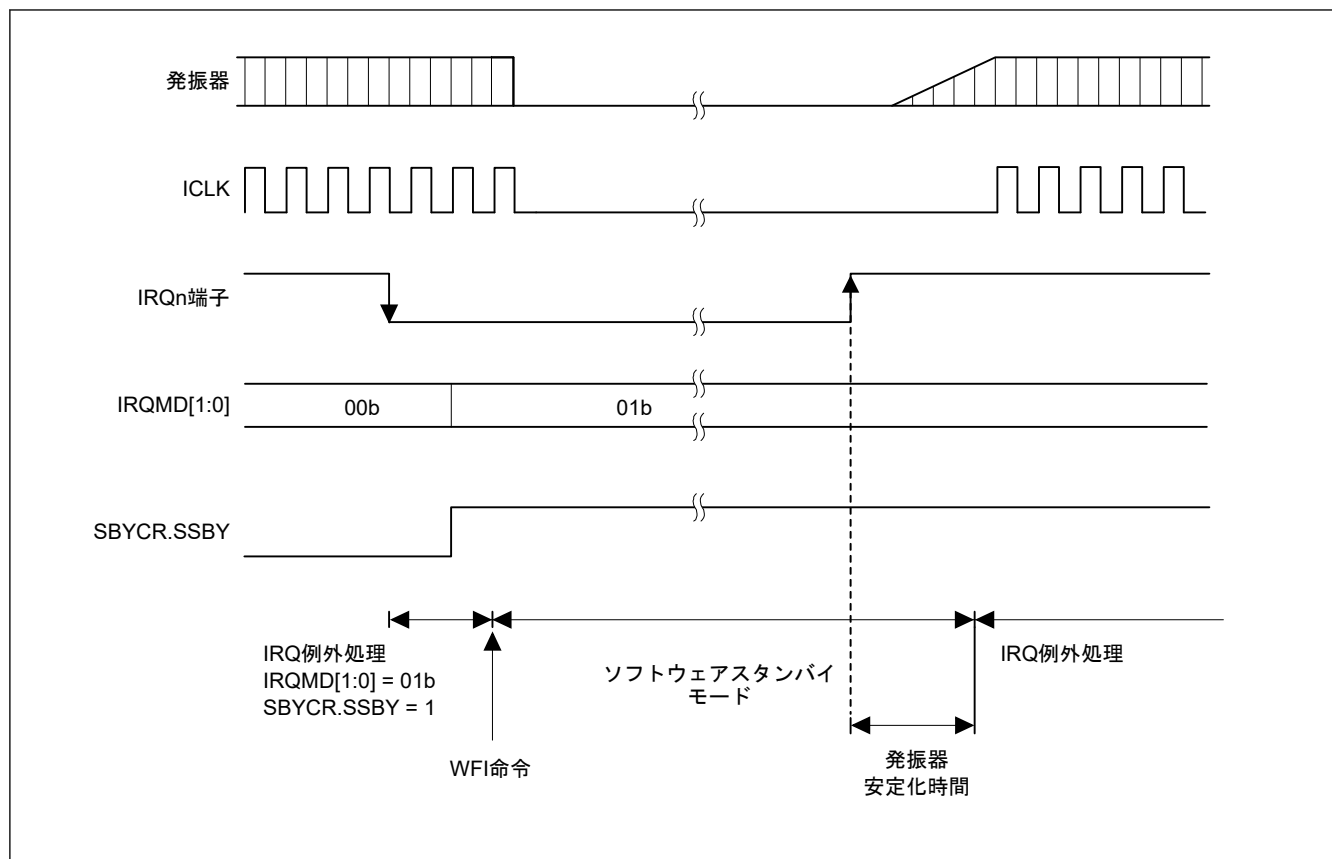


図 10.6 ソフトウェアスタンバイモードの応用例

10.8 スヌーズモード

10.8.1 スヌーズモードへの遷移

図 10.7 にスヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。表 10.2 にスヌーズモードで動作可能な周辺モジュールを示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

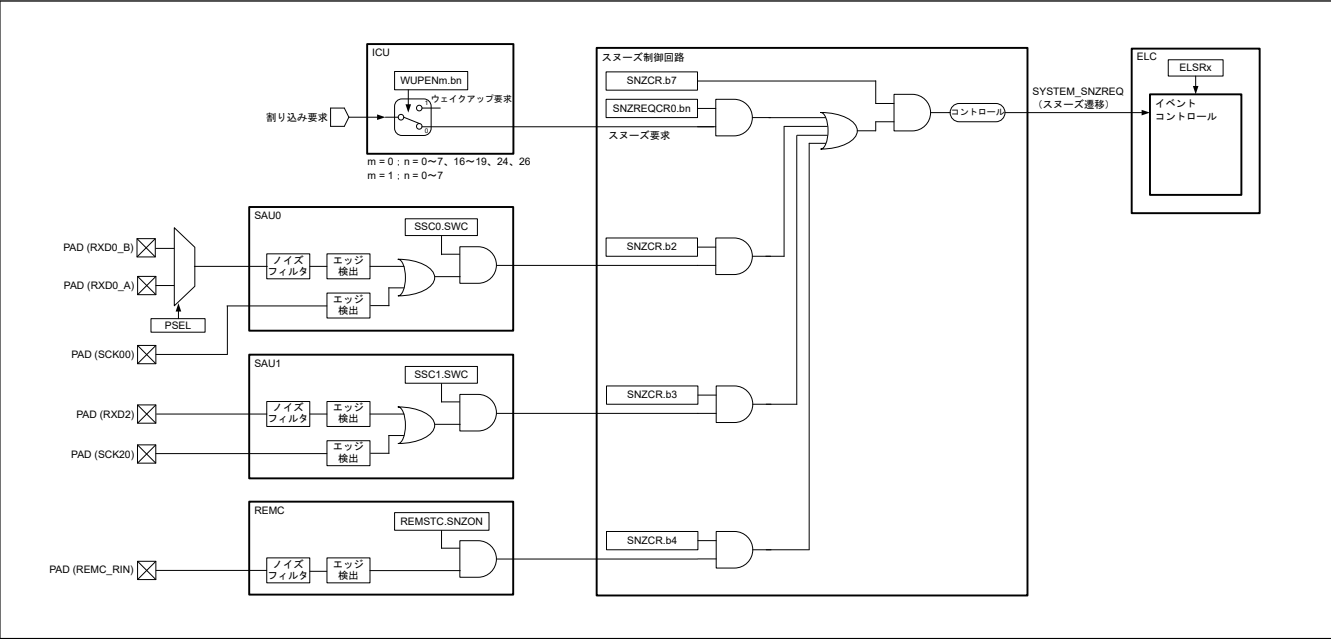


図 10.7 スヌーズモードへの遷移時構成

表 10.6 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR0 レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXD0REQEN ビット、RXD2REQEN ビット、または REMC0REQEN ビットを設定する必要があります。

注 同時に複数のスヌーズ要求を有効にしないでください。

表 10.6 スヌーズモードへの切り替えに利用可能なスヌーズ要求

スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット
PORT_IRQn (n = 0~7)	SNZREQCR0	SNZREQENn (n = 0~7)
KEY_INTKR	SNZREQCR0	SNZREQEN17
RTC_ALM_OR_PRD	SNZREQCR0	SNZREQEN24
TML32_OUTI	SNZREQCR0	SNZREQEN26
RXD0 立ち下がり／立ち上がりエッジ SCK00 立ち下がり／立ち上がりエッジ	SNZCR	RXD0REQEN
RXD2 立ち下がり／立ち上がりエッジ SCK20 立ち下がり／立ち上がりエッジ	SNZCR	RXD2REQEN
RIN0 立ち下がり／立ち上がりエッジ	SNZCR	REMC0REQEN

スヌーズモード時に DTC を使用する場合を除き、DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

10.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 で選択した割り込み要求を契機に実行される動作によってスヌーズモードが解除されます。スヌーズモードを解除するための割り込みは、対応する割り込み処理の CLIC とリンクさせるため、IELSRn で選択してください。SELSR0 レジスタと IELSRn レジスタについては、「12. 割り込みコントローラユニット (ICU)」を参照してください。

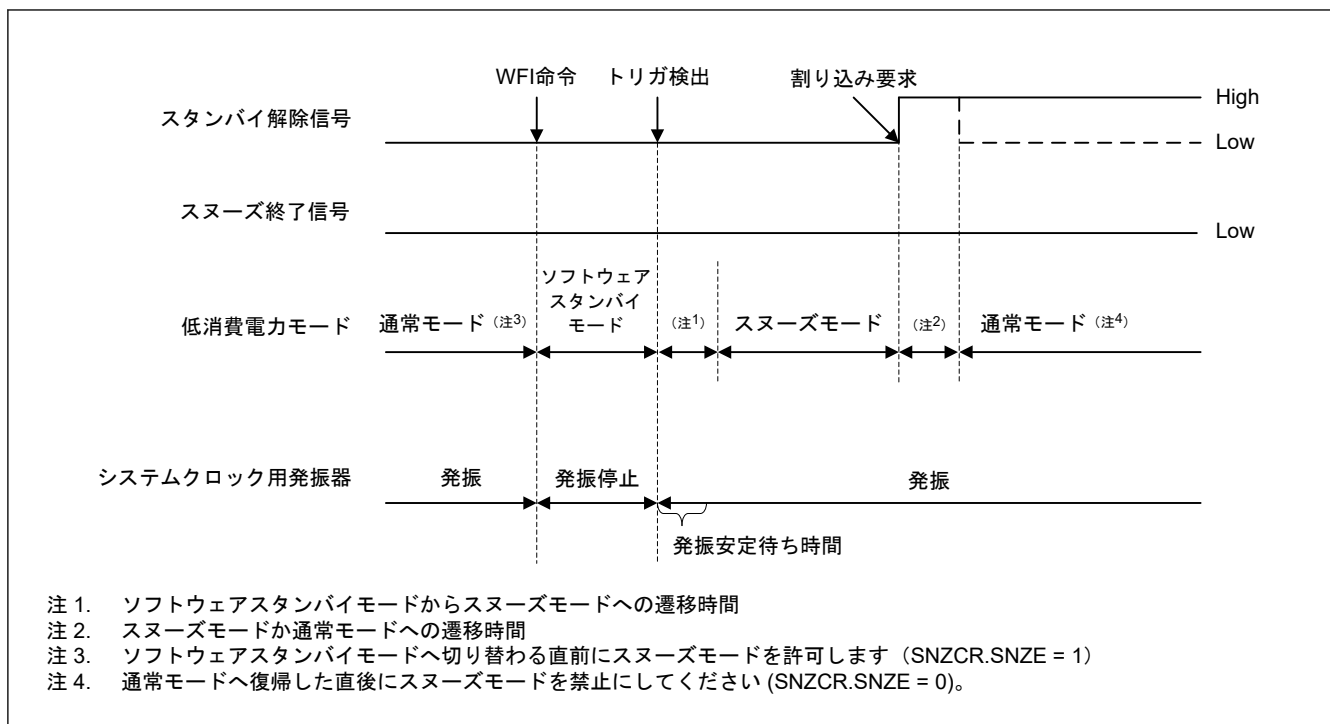


図 10.8 割り込み要求信号が発生する場合のスリープモードの解除

10.8.3 スリープモードからソフトウェアスタンバイモードへの復帰

表 10.7 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスリープ終了要求を示します。スリープ終了要求は、スリープモードでのみ利用可能です。MCU がスリープモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスリープモードからソフトウェアスタンバイモードへの遷移を行います。

表 10.8 に、スリープ終了条件を構成するスリープ終了要求と周辺モジュールの条件を示します。ADC12、REMC、SAU、DTC の各モジュールは、それらの動作が完了するまで本 MCU をスリープモードに保つことができます。

図 10.9 に、スリープモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCRn レジスタで設定したスリープ終了要求に従って発生します。ソフトウェアスタンバイモードへ復帰後、スリープ要求は自動的にクリアされます。

表 10.7 利用可能なスリープ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

周辺モジュール	スリープ終了要求	許可／禁止制御	
		レジスタ名	記号
DTC	最終 DTC 転送未了 (DTC_TRANSFER)	SNZEDCR0	DTCNZRED
DTC	最終 DTC 転送終了 (DTC_COMPLETE)	SNZEDCR0	DTCZRED
ADC12	ADC コンペア不一致完了	SNZEDCR0	ADNCRED
TML32	TML32 割り込み (TML32_OUTI)	SNZEDCR1	TMLOIED
REMC	REMC 割り込みなし完了	SNZEDCR1	REMCNCRED
SAU0	SAU0 割り込みなしエラー完了	SNZEDCR1	SAU0NCRED
SAU1	SAU1 割り込みなしエラー完了	SNZEDCR1	SAU1NCRED

表 10.8 スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求
DTC	本表に記載されている全モジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する
ADC12	
SAU (UART0, UART2, SPI00, SPI20)	
REMC	
その他の全モジュール	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する

注. DTC を用いて ADC12、REMC、または SAU を起動した場合は、スヌーズ終了要求の発生後、MCU はソフトウェアスタンバイモードへ遷移します。

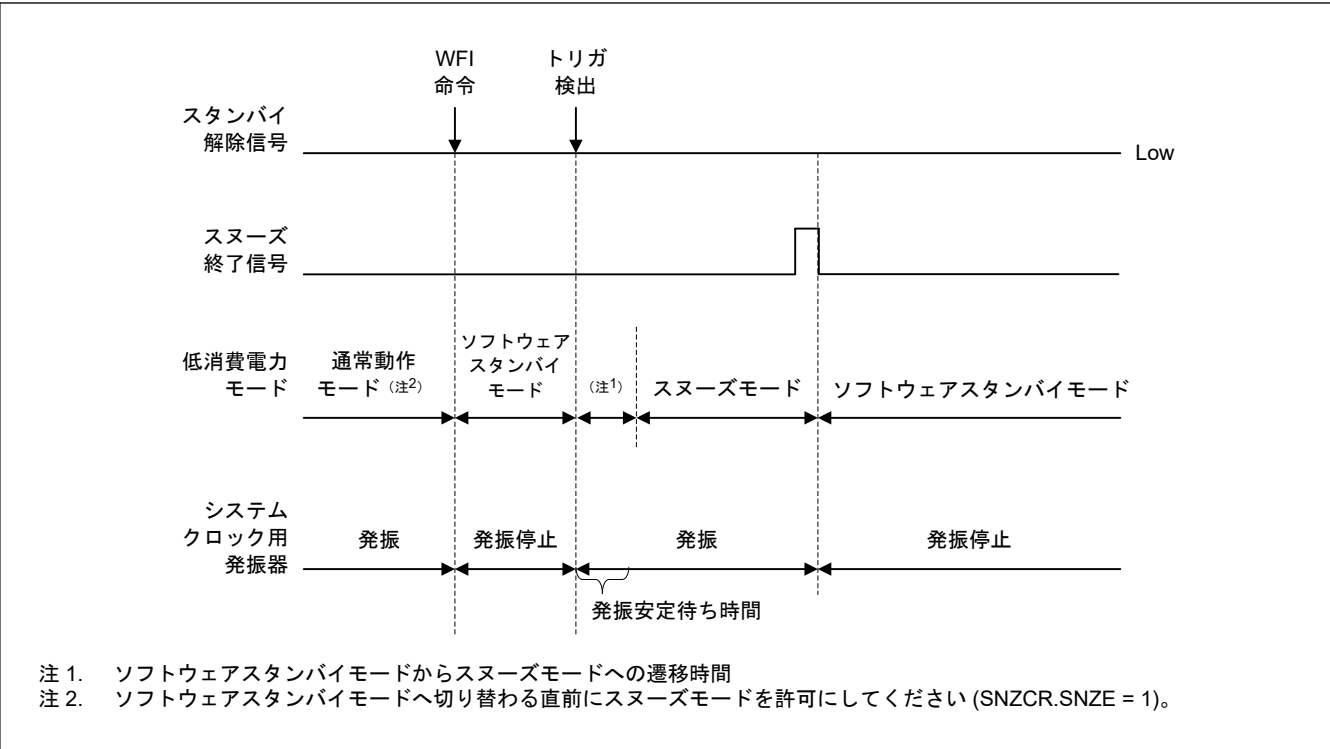


図 10.9 割り込み要求信号が発生しない場合のスヌーズモードの解除

10.8.4 スヌーズモードの動作例

図 10.10 に、スヌーズモードで ELC を使用する場合の設定例を示します。

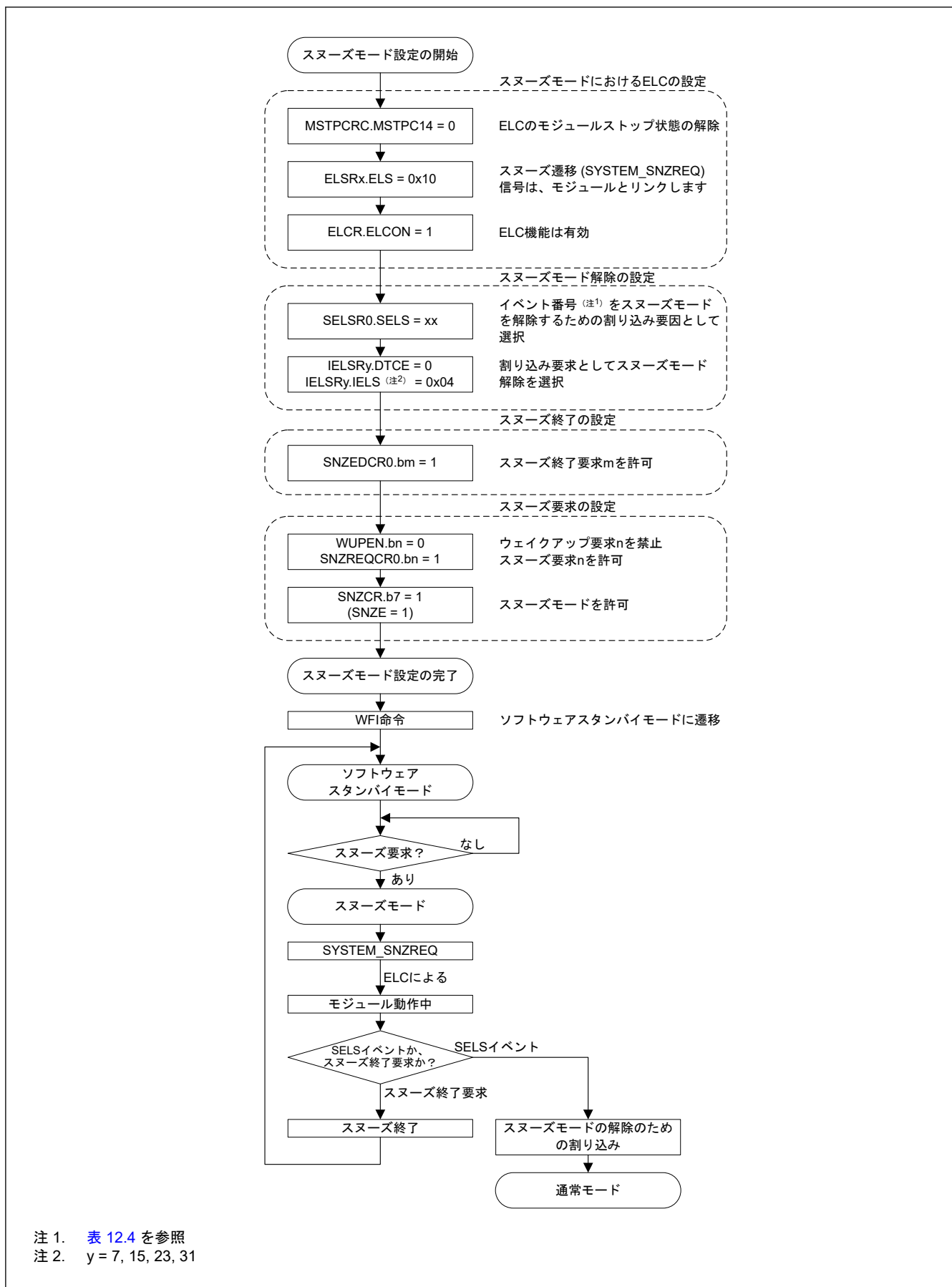


図 10.10 スリープモードで ELC を使用するための設定例

(1) SAU による非同期データ転送

本 MCU は、CPU を介さずに SAU の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SAU を使用する場合、以下の動作モードのいずれかを使用してください。

- High-speed モード
- Middle-speed モード
- Low-speed モード

Subosc-speed モードは使用しないでください。

10.9 使用上の注意

10.9.1 レジスタアクセス

(1) 下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- “SYSTEM”という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1 (動作電力制御モード遷移中)
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- フラッシュ P/E モード、データフラッシュ P/E モード

(2) クロック関連レジスタに対する有効な設定値

表 10.9 と表 10.10 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。これら有効な設定値以外を書き込まないようにしてください。書き込んでも無視されます。また、各レジスタには、動作電力制御モードに関連する条件以外の特定の条件下で禁止される設定値もあります。これらの各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.9 クロック関連レジスタに対する有効な設定値 (1)

モード	設定有効値						
	SCKSCR. CKSEL[2:0] CKOCR. CKOSEL[2:0]	SCKDIVCR. ICK[2:0]	HOCOCCR. HCSTP	MOCOCCR. MCSTP	LOCOCCR. LCSTP	MOSCCR. MOSTP	SOSCCR. SOSTP
High-speed Middle-speed Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b (EXTAL) 100b (SOSC)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)	0 (動作) 1 (停止)
Subosc-speed	010b (LOCO) 100b (SOSC)	000b (1/1)	1 (停止)	1 (停止)	0 (動作) 1 (停止)	1 (停止)	0 (動作) 1 (停止)

表 10.10 クロック関連レジスタに対する有効な設定値 (2) (1/2)

動作発振器	設定有効値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
高速オンチップオシレータ	0	00b、01b、11b
中速オンチップオシレータ		
外部クロック入力		

表 10.10 クロック関連レジスタに対する有効な設定値 (2) (2/2)

動作発振器	設定有効値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
低速オンチップオシレータ	0、1	00b、01b、11b
サブクロック発振器		
IWDT 専用オンチップオシレータ		

(3) 下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

[レジスタ]

- SCKSCR、OPCCR

[条件]

- SOPCCR.SOPCM = 1 (Subosc-speed モード)

(4) DTC によって、下記のレジスタに書き込まないでください。

[レジスタ]

- MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD

(5) スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

[レジスタ]

- SNZCR、SNZEDCR0、SNZEDCR1、SNZREQCR0

(6) PRCR.PRC1 ビットが 0 の場合、下記のレジスタに対する書き込みは無効です。

[レジスタ]

- SBYCR、SNZCR、SNZEDCR0、SNZEDCR1、SNZREQCR0、PSMCR、OPCCR、SOPCCR

10.9.2 I/O ポートの端子状態

ソフトウェアスタンバイモードおよびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポートの端子状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

10.9.3 DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「[14. データトランスファコントローラ \(DTC\)](#)」を参照してください。

10.9.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

10.9.5 WFI 命令のタイミング

WFI 命令は、I/O レジスタの書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

10.9.6 スリープモード／スヌーズモード時の DTC による WDT/IWDT のレジスタの書き込みについて

WDT/IWDT はスリープモードやスヌーズモードに遷移すると停止します。停止中は DTC で WDT/IWDT に関連するレジスタを書き換えないでください。

10.9.7 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効にする必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

10.9.8 REMC (RIN0) 信号および SAU (RXD0/RXD2/SCK00/SCK20) 信号のエッジ検出によるスヌーズモードへの遷移

スヌーズモードで SAU (UART/SPI) および REMC を使用する場合は、SNZCR レジスタの RXD0REQEN、RXD2REQEN、REMC0REQEN の各ビットを 1 にして、対応する端子からの入力信号のエッジ検出を許可してください。各モジュールは本 MCU のモードをソフトウェアスタンバイモードからスヌーズモードに変更します。モジュールの動作が完了すると、スヌーズモードからソフトウェアスタンバイモードまたは通常モードに遷移することができます。

10.9.9 スヌーズモード時の REMC/SAU (UART/SPI) の使用について

スヌーズモードで SAU (UART/SPI) または REMC を使用するときは、スヌーズ要求（該当する端子信号のエッジ検出）が WUPEN レジスタで設定するウェイクアップ要求と競合しないようにしてください。競合が発生した場合の各モジュールの動作については保証されません。

10.9.10 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが ADC12 の開始トリガとなります。ソフトウェアトリガやハードウェアトリガ (TAU0_ENDI1, RTC_ALM_OR_PRD, TML32_OUTI) は使用しないでください。ソフトウェアスタンバイモードで ELC イベント信号により ADC12 を起動する場合、ADC12 がハードウェアトリガ待機モードからソフトウェアスタンバイモードに遷移するようにしてください。スヌーズモードでは、システムクロック (ICLK) と ADC12 クロック (PCLKB) の周波数比 (ICLK:PCLKB) が N:1 ($N \leq 8$) となるようにしてください。

10.9.11 スヌーズモードにおける ELC イベント

本節ではスヌーズモードで利用できる ELC イベントを示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードへの遷移 (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)
- A/D 変換終了 (ADC_ENDI)
- データ演算回路割り込み (DOC_DOPCI)

10.9.12 ADC12 に対するモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC12 をモジュールストップ状態に設定して消費電力を削減することが推奨されます。この場合、DTC を用いて ADC12 のモジュールストップを解除すると、スヌーズモードで ADC12 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

10.9.13 未使用回路に対するモジュールストップ機能

ユーザーモードで使用されない回路はリセットされない可能性があり、また、MCU のリセット中はクロックが供給されないため不安定な状態のまま動作する恐れもあります。このような場合は、MCU が Low-speed モード

またはソフトウェアスタンバイモードに移行すると、供給電流が、本ユーザーズマニュアルで既定された値よりも高い値に上昇する可能性があります。そのため、未使用回路は図 10.11 に示す方法で初期化してください。

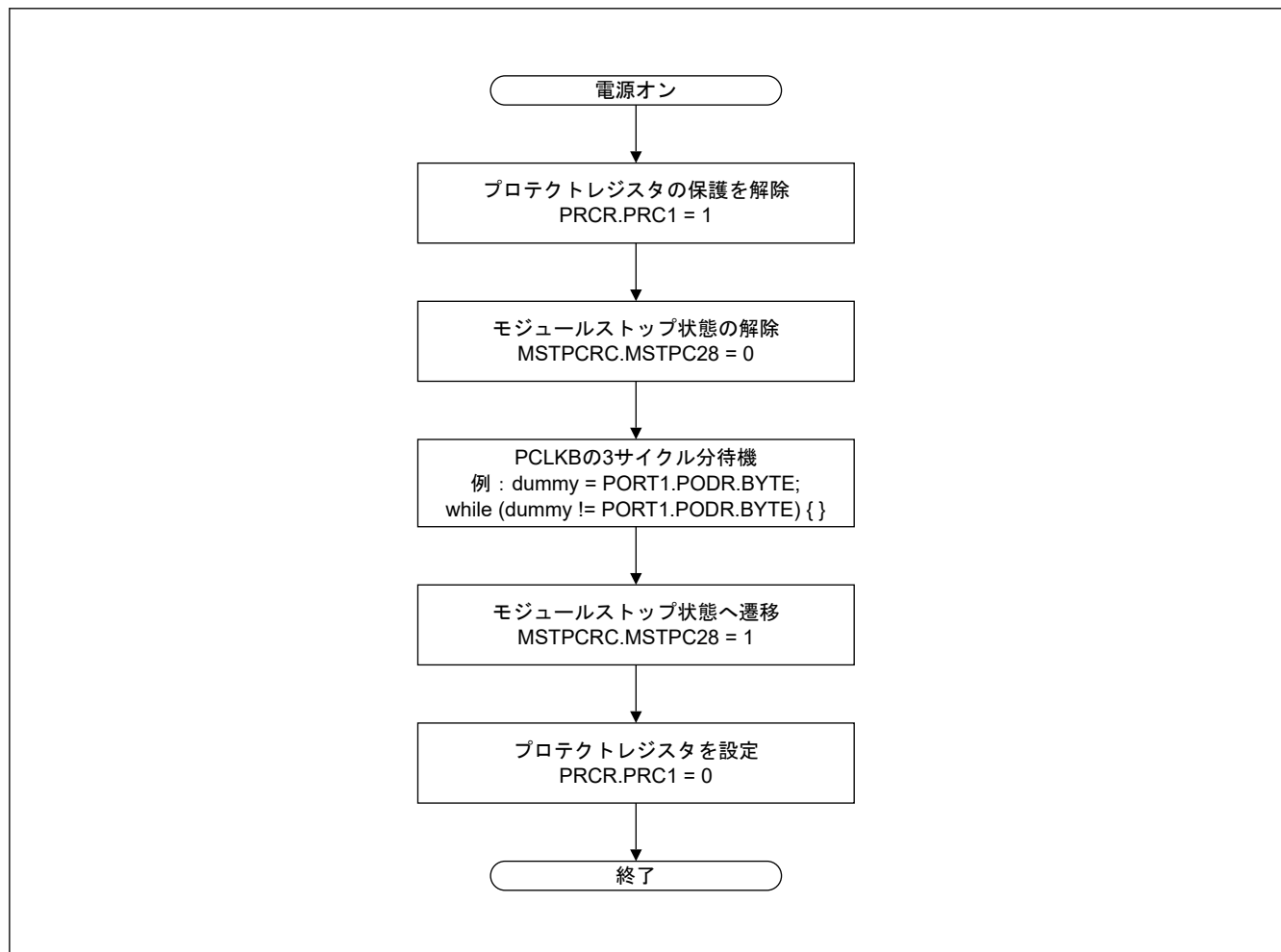


図 10.11 未使用回路の初期設定フロー例

11. レジスタライトプロテクション

11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	クロック発生回路関連レジスタ SCKDIVCR, SCKSCR, HOCOCR, HOCOCR2, MOCOCR, CKOCR, HOCOUTCR, LOCOCR, LPOPT, OSMCR, MOSCCR, SOSCCR, SOMCR, SOMRG, MEMWAIT, LOCOUTCR, MOCOUTCR
PRC1	低消費電力モードに関連するレジスタ: SBYCR, OPCCR, SNZCR, SNZEDCR0, SNZEDCR1, SNZREQCR0, SOPCCR, SYOCDCR, PSMCR
PRC3	LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCR, LVDLVLRL, LVD1CR0, LVD2CR0

11.2 レジスタの説明

11.2.1 PRCR : プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3FE

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: PRKEY[7:0] — — — — PRC3 — PRC1 PRC0

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モードに関連するレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

PRCn ビット (プロテクトビット n) (n = 0, 1, 3)

PRCn ビットによって、表 11.1 に記載されているレジスタの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可になり、0 にすると書き込み禁止になります。

12. 割り込みコントローラユニット (ICU)

12.1 概要

割り込みコントローラユニット (ICU) は、コアローカル割り込みコントローラ (CLIC) およびデータ転送ファクタコントローラ (DTC) の両モジュールにどのイベント信号がリンクされるかを制御します。ICU はノンマスクブル割り込みも制御します。

表 12.1 に ICU の仕様、図 12.1 に ICU のブロック図、表 12.2 に ICU の入出力端子を示します。

表 12.1 ICU の仕様

項目		内容
マスクブル割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 要因数：52
	外部端子割り込み	- 割り込み検出方式：Low レベル^(注1)、立ち下がりエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能。 - デジタルフィルタ機能 8 要因 (IRQi (i = 0~7) 端子からの割り込み)
	CPU (CLIC) への割り込み要求	32 本の割り込み要求を CLIC に対して出力 - マスクブル割り込みの要因を 8 つのグループに分けて配置しており、グループに配置された 31 要因から 1 要因を個別に選択可能
	DTC 制御	- 割り込み要因によって DTC の起動が可能^(注2) - 割り込み要因の選択方式は CLIC への割り込み要求と同一
ノンマスクブル割り込み ^(注3)	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ - デジタルフィルタ機能
	WDT アンダーフロー／リフレッシュエラー ^(注4)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー／リフレッシュエラー ^(注4)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	低電圧検出 1 ^(注4)	電圧監視 1 回路の電圧監視 1 割り込み (LVD_LVD1)
	低電圧検出 2 ^(注4)	電圧監視 2 回路の電圧監視 2 割り込み (LVD_LVD2)
	RPEST	SRAM パリティエラー発生時の割り込み
	RECCST	SRAM ECC エラー発生時の割り込み
	BUSST	BUS エラー発生時の割り込み
低消費電力モード		- スリープモード：ノンマスクブル割り込みまたはその他の割り込み要因によって復帰 - ソフトウェアスタンバイモード：復帰は WUPEN0/1 レジスタで選択できる割り込みによって開始 - スヌーズモード：復帰は SELSR0 レジスタおよび WUPEN0/1 レジスタで選択できる割り込みによって開始 「12.2.7. WUPEN0：ウェイクアップ割り込みイネーブルレジスタ 0」、「12.2.8. WUPEN1：ウェイクアップ割り込みイネーブルレジスタ 1」、および「12.2.10. SELSR0：SYS イベントリンク設定レジスタ」を参照してください。

注 1. 割り込み検出後にクリアされない割り込み要求については、フラグが立ち続けます。

注 2. DTC 起動要因については、表 12.4 を参照してください。

注 3. リセット解除後に 1 回だけノンマスクブル割り込みを許可することができます。

注 4. これらのノンマスクブル割り込みは、マスクブル割り込みとしても使用可能です。マスクブル割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 割り込みと電圧監視 2 割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。

図 12.1 に ICU のブロック図を示します。

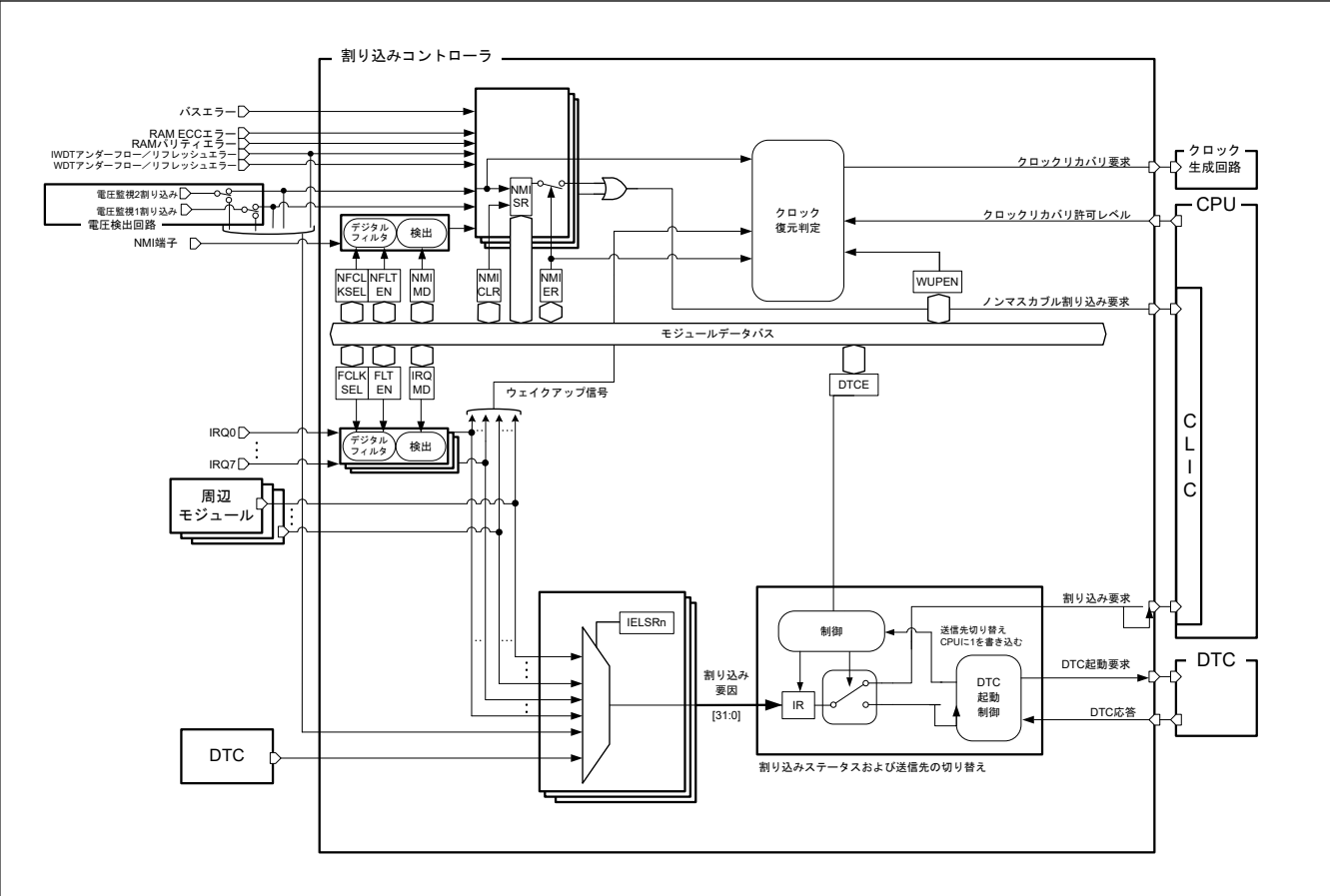


図 12.1 ICU のブロック図

表 12.2 に ICU の入出力端子を示します。

表 12.2 ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスクابل割り込み要求端子
IRQi (i = 0~7)	入力	外部割り込み要求端子

12.2 レジスタの説明

本節では CLIC の内部レジスタについては説明していません。これらのレジスタについては、「2.8.6. 参考資料」の「参考資料 1」を参照してください。

12.2.1 IRQCRi : IRQ コントロールレジスタ i (i = 0~7)

Base address: ICU = 0x4000_6000

Offset address: 0x000 + 0x1 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]	—	—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Low レベル	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: 無効 1: 有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0~31) を設定する必要があります。
対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：
IRQCRi レジスタの設定を変更してから、対象の WUPEN0.IRQWUPEN[n] (n = 0~7) ビットを設定する必要があります。
対象の WUPEN0.IRQWUPEN[n] ビットが 0 の場合に、レジスタ値の変更が可能です。

IRQMD[1:0]ビット (IRQi 検出センス選択)

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「[12.5.6. 外部端子割り込みの設定手順](#)」を参照してください。

FCLKSEL[1:0]ビット (IRQi デジタルフィルタサンプリングクロック選択)

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB (1 サイクルに 1 回)
- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

FLTEN ビット (IRQi デジタルフィルタ有効)

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

12.2.2 NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BUSST	—	—	RECCST	RPEST	NMIST	—	—	—	LVD2ST	LVD1ST	WDTST	IWDTST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
1	WDTST	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	LVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	LVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
6:4	—	読むと 0 が読めます。	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
8	RPEST	SRAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
9	RECCST	SRAM ECC エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
11:10	—	読むと 0 が読めます。	R
12	BUSST	BUS エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
15:13	—	読むと 0 が読めます。	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタには影響しません。ノンマスカブル割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ (IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ)

IWDTST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ (WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ)

WDTST フラグは WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

LVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

LVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生したとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMISCLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMISCLR ビットに 1 を書いたとき

RPEST フラグ（SRAM パリティエラー割り込みステータスフラグ）

RPEST フラグは SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

RECCST フラグ（SRAM ECC エラー割り込みステータスフラグ）

RECCST フラグは SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RECCCLR ビットに 1 を書いたとき

BUSST フラグ（BUS エラー割り込みステータスフラグ）

BUSST フラグはバスマスタ MPU エラー割り込み要求を示します。

[1 になる条件]

バスエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSCLR ビットに 1 を書いたとき

12.2.3 NMIER: ノンマスカブル割り込みイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BUSE N	—	—	RECC EN	RPEE N	NMIE N	—	—	—	LVD2E N	LVD1E N	WDTEN	IWDT EN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
2	LVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
3	LVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
8	RPEEN	SRAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
9	RECCEN	SRAM ECC エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	BUSEN	バスエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。

注 2. 要因がマスカブル割り込みとして使用されている場合は、このビットに 1 を書き込まないでください。

IWDTEN ビット (IWDT アンダーフロー／リフレッシュエラー割り込み許可)

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTEN ビット (WDT アンダーフロー／リフレッシュエラー割り込み許可)

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット (電圧監視 1 割り込み許可)

LVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

LVD2EN ビット (電圧監視 2 割り込み許可)

LVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。

NMIEN ビット (NMI 端子割り込み許可)

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット (SRAM パリティエラー割り込み許可)

RPEEN ビットは、NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

RECCEN ビット (SRAM ECC エラー割り込み許可)

RECCEN ビットは、NMI の起動要因となる SRAM ECC エラー割り込みを許可します。

BUSEN ビット (バスエラー割り込み許可)

BUSEN ビットは、NMI の起動要因となるバスエラー割り込みを許可します。

12.2.4 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	BUSC LR	—	—	RECC CLR	RPEC LR	NMICL R	—	—	—	LVD2C LR	LVD1C LR	WDTC LR	IWDT CLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)
1	WDTCLR	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	LVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD1ST フラグをクリア	R/W(注1)
3	LVD2CLR	電圧監視 2 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD2ST フラグをクリア	R/W(注1)
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
8	RPECLR	SRAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RPEST フラグをクリア	R/W(注1)
9	RECCCLR	SRAM ECC エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RECCST フラグをクリア	R/W(注1)
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	BUSCLR	バスエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSST フラグをクリア	R/W(注1)
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットには 1 のみ書けます。

IWDTCLR ビット (IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア)

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット (WDT アンダーフロー/リフレッシュエラー割り込みステータスフラグクリア)

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

LVD1CLR ビット (電圧監視 1 割り込みステータスフラグクリア)

LVD1CLR ビットに 1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

LVD2CLR ビット (電圧監視 2 割り込みステータスフラグクリア)

LVD2CLR ビットに 1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット (NMI 端子割り込みステータスフラグクリア)

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット (SRAM パリティエラー割り込みステータスフラグクリア)

RPECLR ビットに 1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RECCCLR ビット (SRAM ECC エラー割り込みステータスフラグクリア)

RECCCLR ビットに 1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

BUSCLR ビット (バスエラー割り込みステータスフラグクリア)

BUSCLR ビットに 1 を書き込むことにより、NMISR.BUSST フラグをクリアします。読むと 0 が読めます。

12.2.5 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTE N	—	NFCLKSEL[1:0]	—	—	—	—	NMIM D

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 無効 1: 有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可 (NMIER.NMIEN ビットを 1) にしてください。

NMIMD ビット (NMI 検出設定)

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

NFCLKSEL[1:0] ビット (NMI デジタルフィルタサンプリングクロック選択)

NFCLKSEL[1:0] ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB (1 サイクルに 1 回)

- PCLKB/8 (8 サイクルに 1 回)
- PCLKB/32 (32 サイクルに 1 回)
- PCLKB/64 (64 サイクルに 1 回)

デジタルフィルタの詳細は、「[12.5.5. デジタルフィルタ](#)」を参照してください。

NFLTEN ビット (NMI デジタルフィルタ有効)

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、「[12.5.5. デジタルフィルタ](#)」を参照してください。

12.2.6 IELSRn : ICU イベントリンク設定レジスタ n (n = 0~31)

Base address: ICU = 0x4000_6000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	IELS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	IELS[4:0]	ICU イベントリンク選択 0x00: 対応する CLIC モジュールまたは DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、「 12.3.3. ICU および DTC のイベント番号 」を参照してください。	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求が発生したとき	R/W(注1)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: DTC 起動を禁止 1: DTC 起動を許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 1 を書き込まないでください。

IELSRn レジスタは CLIC により使用される IRQi 要因を選択します。IELSRn (n = 0~31) は CLIC IRQ 入力要因番号に対応します。

IELS[4:0]ビット (ICU イベントリンク選択)

IELS[4:0]ビットは、対応する CLIC または DTC モジュールにリンクするイベント信号を指定します。イベント選択肢の組み合わせは、8 グループ (グループ 0~7) に分類されています。詳細は、[表 12.3](#) および [表 12.4](#) を参照してください。

IR フラグ (割り込みステータスフラグ)

IR フラグは IELS[4:0]ビットで指定されたイベントからの割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- IR フラグに 0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法：

- 割り込み入力信号をネゲートする。
- 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
- 0 を書き込んで IR フラグをクリアする。

DTCE ビット (DTC 起動許可)

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- DTCE ビットに 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

12.2.7 WUPEN0 : ウェイクアップ割り込みイネーブルレジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	TML32 WUPE N	—	RTCW UPEN	—	—	—	—	LVD2 WUPE N	LVD1 WUPE N	KEYW UPEN	IWDT WUPE N
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	IRQWUPEN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	IRQWUPEN[7:0]	IRQn (n = 0~7) 割り込みソフトウェアスタンバイ/スヌーズ復帰許可 (IRQn は IRQWUPEN[n] に対応) 0: IRQn 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
17	KEYWUPEN	Key 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: キー割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: キー割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
18	LVD1WUPEN	LVD1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: LVD1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: LVD1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
19	LVD2WUPEN	LVD2 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: LVD2 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: LVD2 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W

ビット	シンボル	機能	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	RTCWUPEN	RTC 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: RTC 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: RTC 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26	TML32WUPEN	TML32 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: TML32 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: TML32 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタの各ビットにはそれぞれ対応する割り込みがあり、割り込みによってソフトウェアスタンバイ/スヌーズモードの CPU をウェイクアップさせることができるかどうかを対応するビットで制御します。

IRQWUPEN[7:0]ビット (IRQn (n = 0~7) 割り込みソフトウェアスタンバイ/スヌーズ復帰許可 (IRQn は IRQWUPEN[n] に対応))

IRQWUPEN[7:0]ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために IRQn 割り込みを使用することを許可します。

IWDTWUPEN ビット (IWDT 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

IWDTWUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために IWDT 割り込みを使用することを許可します。

KEYWUPEN ビット (Key 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

KEYWUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するためにキー割り込みを使用することを許可します。

LVD1WUPEN ビット (LVD1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

LVD1WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために LVD1 割り込みを使用することを許可します。

LVD2WUPEN ビット (LVD2 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

LVD2WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために LVD2 割り込みを使用することを許可します。

RTCWUPEN ビット (RTC 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

RTCWUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために RTC 割り込みを使用することを許可します。

TML32WUPEN ビット (TML32 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

TML32WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために TML32 割り込みを使用することを許可します。

12.2.8 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x1A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	COMP DET1 WUPE N	COMP DET0 WUPE N	UART ARXE RI1W UPEN	UART ARXE NDI1 WUPE N	UART ARXE RI0W UPEN	UART ARXE NDI0 WUPE N	IICA1 WUPE N	IICA0 WUPE N
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICA0WUPEN	IIC0_ENDI/IIC0_WUI 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: IIC0_ENDI/IIC0_WUI 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: IIC0_ENDI/IIC0_WUI 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
1	IICA1WUPEN	IIC1_ENDI/IIC1_WUI 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: IIC1_ENDI/IIC1_WUI 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: IIC1_ENDI/IIC1_WUI 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
2	UARTARXENDI0WUPEN	UARTA_RX_ENDI0 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: UARTA_RX_ENDI0 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: UARTA_RX_ENDI0 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
3	UARTARXERI0WUPEN	UARTA_RX_ERI0 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: UARTA_RX_ERI0 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: UARTA_RX_ERI0 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
4	UARTARXENDI1WUPEN	UARTA_RX_ENDI1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: UARTA_RX_ENDI1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: UARTA_RX_ENDI1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
5	UARTARXERI1WUPEN	UARTA_RX_ERI1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: UARTA_RX_ERI1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: UARTA_RX_ERI1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
6	COMPDET0WUPEN	COMP_DET0 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: COMP_DET0 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: COMP_DET0 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
7	COMPDET1WUPEN	COMP_DET1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可 0: COMP_DET1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰禁止 1: COMP_DET1 割り込みによるソフトウェアスタンバイ/スヌーズモード復帰許可	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタの各ビットにはそれぞれ対応する割り込みがあり、割り込みによってソフトウェアスタンバイ/スヌーズモードの CPU をウェイクアップさせることができるかどうかを対応するビットで制御します。

IICA0WUPEN ビット (IIC0_ENDI/IIC0_WUI 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

IICA0WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために IIC0_ENDI/IIC0_WUI (IICA チャンネル 0 通信完了/アドレス一致) 割り込みを使用することを許可します。

IICA1WUPEN ビット (IIC1_ENDI/IIC1_WUI 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

IICA1WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために IIC1_ENDI/IIC1_WUI (IICA チャンネル 1 通信完了/アドレス一致) 割り込みを使用することを許可します。

UARTARXENDI0WUPEN ビット (UARTA_RX_ENDI0 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

UARTARXENDI0WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために UARTA_RX_ENDI0 (UARTA0 受信転送完了) 割り込みを使用することを許可します。

UARTARXERI0WUPEN ビット (UARTA_RX_ERI0 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

UARTARXERI0WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために UARTA_RX_ERI0 (UARTA0 受信転送完了通信エラー発生) 割り込みを使用することを許可します。

UARTARXENDI1WUPEN ビット (UARTA_RX_ENDI1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

UARTARXENDI1WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために UARTA_RX_ENDI1 (UARTA1 受信転送完了) 割り込みを使用することを許可します。

UARTARXERI1WUPEN ビット (UARTA_RX_ERI1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

UARTARXERI1WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために UARTA_RX_ERI1 (UARTA1 受信転送完了通信エラー発生) 割り込みを使用することを許可します。

COMPDET0WUPEN ビット (COMP_DET0 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

COMPDET0WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために COMP_DET0 (コンパレータ検出 0) 割り込みを使用することを許可します。

COMPDET1WUPEN ビット (COMP_DET1 割り込みソフトウェアスタンバイ/スヌーズモード復帰許可)

COMPDET1WUPEN ビットは、ソフトウェアスタンバイ/スヌーズモードを解除するために COMP_DET1 (コンパレータ検出 1) 割り込みを使用することを許可します。

12.2.9 IELEN : ICU イベントイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x1C0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	IELEN	RTCE N

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	RTCEN	RTC 割り込み許可 (LPOPT.LPOPTEN ビット = 1 のとき) 0: 禁止 1: 許可	R/W
1	IELEN	パーツ非同期割り込み許可 (LPOPTEN ビットが 1 の場合) 0: 禁止 1: 許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタのビットは対応する割り込みの使用可否を制御します。

RTCEN ビット (RTC 割り込み許可 (LPOPT.LPOPTEN ビット = 1 のとき))

RTCEN ビットは、RTC 割り込みイベントの使用を許可します。

IELEN ビット (パーツ非同期割り込み許可 (LPOPTEN ビットが 1 の場合))

IELEN ビットは、以下に示すパーツ非同期割り込みの使用を許可します。

- LVD_LVD1, LVD_LVD2, IWDI_NMIUNDF, PORT_IRQ0~PORT_IRQ7, KEY_INTKR, TML32_OUTI, IIC0_ENDI0/IIC0_WUI, IIC1_ENDI/IIC1_WUI, UARTA_RX_ENDI0, UARTA_RX_ERI0, UARTA_RX_ENDI1, UARTA_RX_ERI1, COMP_DET0, COMP_DET1

12.2.10 SELSR0 : SYS イベントリンク設定レジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x200

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SELS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SELSR0 レジスタでは、CPU をスヌーズモードからウェイクアップさせるためのイベントを設定します。使用できるイベントは、表 12.4 の「スヌーズモードの解除」列に✓マークが入っているイベントだけです。本レジスタで指定されるイベントは、表 12.4 では ICU_SNZCANCEL と定義されています。

SELSR0 イベント割り込みによって CPU がスヌーズモードからウェイクアップします。

IELSRn.IELS[7:0]で ICU_SNZCANCEL を選択した場合は、CPU への SELSR0 イベント割り込みが要求されます。

12.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込みの優先順位は CLIC で設定されます。これらのレジスタについては、「2. CPU」を参照してください。

12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、CLIC の仕様（ベクタ化モード）に従います。

表 12.3 割り込みベクタテーブル (1/2)

ID	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	—	予約
1	—	0x004	—	予約
2	—	0x008	—	予約
3	—	0x00C	マシンタイマ	マシンのソフトウェア割り込み (msip)
4	—	0x010	—	予約
5	—	0x014	—	予約
6	—	0x018	—	予約
7	—	0x01C	マシンタイマ	マシンのタイマ割り込み (mtip)
8	—	0x020	—	予約
9	—	0x024	—	予約
10	—	0x028	—	予約
11	—	0x02C	—	予約
12	—	0x030	—	予約
13	—	0x034	—	予約

表 12.3 割り込みベクタテーブル (2/2)

ID	IRQ 番号	ベクタオフセット	要因	内容
14	—	0x038	—	予約
15	—	0x03C	—	予約
16	—	0x040	—	予約
17	—	0x044	—	予約
18	—	0x048	—	予約
19	0	0x04C	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
20	1	0x050	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
21	2	0x054	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
22	3	0x058	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
23	4	0x05C	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
24	5	0x060	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
25	6	0x064	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
26	7	0x068	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
27	8	0x06C	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
28	9	0x070	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
29	10	0x074	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
30	11	0x078	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
31	12	0x07C	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
32	13	0x080	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
33	14	0x084	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
34	15	0x088	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
35	16	0x08C	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
36	17	0x090	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
37	18	0x094	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
38	19	0x098	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
39	20	0x09C	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
40	21	0x0A0	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
41	22	0x0A4	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
42	23	0x0A8	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
43	24	0x0AC	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
44	25	0x0B0	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
45	26	0x0B4	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
46	27	0x0B8	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
47	28	0x0BC	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
48	29	0x0C0	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
49	30	0x0C4	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
50	31	0x0C8	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

12.3.2 イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	内容
割り込み要求発生元	割り込み要求の発生元の名称
名称	割り込みの名称
CLIC に接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 12.4 イベントテーブル (1/2)

イベント番号 (注3)	割り込み要求発生元	名称	CLIC に接続 (注6)	DTC の起動 (注7)	スヌーズモードの解除	ソフトウェアスタンバイモードの解除
0x01	ポート	PORT_IRQ0	✓	✓	✓	✓
0x02		PORT_IRQ1	✓	✓	✓	✓
0x03		PORT_IRQ2	✓	✓	✓	✓
0x04		PORT_IRQ3	✓	✓	✓	✓
0x05		PORT_IRQ4	✓	✓	✓	✓
0x06		PORT_IRQ5	✓	✓	✓	✓
0x07		PORT_IRQ6	✓	✓	✓	✓
0x08		PORT_IRQ7	✓	✓	✓	✓
0x09	DTC	DTC_COMPLETE	✓	—	✓(注4)	—
0x0B	ICU	ICU_SNZCANCEL	✓	—	✓	✓
0x0C	FLASH	FCU_FRDYI	✓	—	—	—
0x0D	LVD1	LVD_LVD1	✓	—	✓	✓
0x0E	LVD2	LVD_LVD2	✓	—	✓	✓
0x10	LPW	SYSTEM_SNZREQ	—	✓	—	—
0x11	IWDT	IWDT_NMIUNDF	✓	—	✓	✓
0x12	CWDT	WDT_NMIUNDF	✓	—	—	—
0x13	RTC	RTC_ALM_OR_PRD	✓	—	✓	✓
0x2B	IICA	IIC0_ENDI/IIC0_WUI	✓	✓	✓	✓
0x2C		IIC1_ENDI/IIC1_WUI	✓	✓	✓	✓
0x30	KEYI	KEY_INTKR	✓	—	✓(注5)	✓(注5)
0x31	CAC	CAC_FEERI	✓	—	—	—
0x32		CAC_MENDI	✓	—	—	—
0x33		CAC_OVFI	✓	—	—	—
0x34	I/O ポート	IOPORT_GROUP1	✓	✓(注1)	—	—
0x35		IOPORT_GROUP2	✓	✓(注1)	—	—
0x38	TRNG	TRNG_RD_REQ	✓	—	—	—
0x39	ELC	ELC_SWEVT0	✓(注2)	✓	—	—
0x3A		ELC_SWEVT1	✓(注2)	✓	—	—

表 12.4 イベントテーブル (2/2)

イベント番号 (注3)	割り込み要求発生元	名称	CLIC に接続 (注6)	DTC の起動 (注7)	スリープモードの解除	ソフトウェア スタンバイモ ードの解除
0x3B	SAU	SAU0_ENDI0	✓	✓	✓(注4)	—
0x3C		SAU0_ENDI1	✓	✓	✓(注4)	—
0x3D		SAU0_ENDI2	✓	✓	—	—
0x3E		SAU0_ENDI3	✓	✓	—	—
0x3F		SAU1_ENDI0	✓	✓	✓(注4)	—
0x40		SAU1_ENDI1	✓	✓	✓(注4)	—
0x43		SAU0_INTSRE0	✓	—	✓(注4)	—
0x44		SAU0_INTSRE1	✓	—	—	—
0x45		SAU1_INTSRE2	✓	—	✓(注4)	—
0x47	TAU	TAU0_ENDI0	✓	✓	—	—
0x48		TAU0_ENDI1	✓	✓	—	—
0x49		TAU0_ENDI2	✓	✓	—	—
0x4A		TAU0_ENDI3	✓	✓	—	—
0x4B		TAU0_ENDI4	✓	✓	—	—
0x4C		TAU0_ENDI5	✓	✓	—	—
0x4D		TAU0_ENDI6	✓	✓	—	—
0x4E		TAU0_ENDI7	✓	✓	—	—
0x4F		TAU0_MODE8_ENDI1	✓	✓	—	—
0x50		TAU0_MODE8_ENDI3	✓	✓	—	—
0x5B	TML32	TML32_OUTI	✓	✓	✓	✓
0x5C	REMC	REMC_OUTI	✓	✓	✓(注4)	—
0x5D	UARTA	UARTA_TX_ENDI0	✓	✓	—	—
0x5E		UARTA_RX_ENDI0	✓	✓	✓	✓(注8)
0x5F		UARTA_RX_ERI0	✓	—	✓	✓(注8)
0x60		UARTA_TX_ENDI1	✓	✓	—	—
0x61		UARTA_RX_ENDI1	✓	✓	✓	✓(注8)
0x62		UARTA_RX_ERI1	✓	—	✓	✓(注8)
0x63	CMP	COMP_DET0	✓	—	✓	✓
0x64		COMP_DET1	✓	—	✓	✓
0x65	ADC12	ADC_ENDI	✓	✓	✓(注4)	—
0x69	DOC	DOC_DOPCI	✓	—	✓(注4)	—

注 1. 最初のエッジ検出のみが有効です。

注 2. DTC 転送後の割り込みのみがサポートされます。

注 3. CPU 割り込みと DTC 割り込みの設定については、表 12.7 を参照してください。

注 4. SELSR0 を使用します。

注 5. KRCTL.KRMD が 1 の場合にのみサポートされます。

注 6. 「-」印のイベントが DTC のトリガとなる場合、意図しない動作が発生することがあります。

注 7. 「-」印のイベントがトリガとなり割り込みが発生した場合、意図しない動作が発生することがあります。

注 8. UARTA の動作クロックが UARTALCLK または UARTASCLK の場合のみサポートされます。

12.3.3 ICU および DTC のイベント番号

表 12.5 および表 12.6 に、CPU 割り込みまたは DTC 起動要求時の IELSRn.IELS[4:0]設定値を示します。表 12.7 に各イベント選択のレジスタ設定値を示します。

表 12.5 ICU 入力リンク選択 (1)

IELS[4:0]	グループ 0 (割り込みチャネル IELSR0/8/16/24)	グループ 1 (割り込みチャネル IELSR1/9/17/25)	グループ 2 (割り込みチャネル IELSR2/10/18/26)	グループ 3 (割り込みチャネル IELSR3/11/19/27)
0x00	割り込み禁止	割り込み禁止	割り込み禁止	割り込み禁止
0x01	PORT_IRQ0	PORT_IRQ1	PORT_IRQ2	PORT_IRQ3
0x02	DTC_COMPLETE	設定禁止	FCU_FRDYI	設定禁止
0x03	設定禁止	設定禁止	設定禁止	IWDT_NMIUNDF
0x04	LVD_LVD1	LVD_LVD2	設定禁止	設定禁止
0x05	設定禁止	RTC_ALM_OR_PRD	SYSTEM_SNZREQ	設定禁止
0x06	WDT_NMIUNDF	設定禁止	設定禁止	設定禁止
0x07	設定禁止	設定禁止	設定禁止	設定禁止
0x08	設定禁止	設定禁止	設定禁止	設定禁止
0x09	設定禁止	設定禁止	設定禁止	設定禁止
0x0A	設定禁止	設定禁止	設定禁止	設定禁止
0x0B	IIC0_ENDI/IIC0_WUI	IIC1_ENDI/IIC1_WUI	設定禁止	設定禁止
0x0C	設定禁止	設定禁止	設定禁止	KEY_INTKR
0x0D	設定禁止	ELC_SWEVT0	設定禁止	設定禁止
0x0E	TRNG_RD_REQ	設定禁止	設定禁止	設定禁止
0x0F	設定禁止	設定禁止	設定禁止	設定禁止
0x10	設定禁止	設定禁止	CAC_FEERI	CAC_MENDI
0x11	設定禁止	設定禁止	IOPORT_GROUP1	設定禁止
0x12	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3
0x13	設定禁止	設定禁止	設定禁止	設定禁止
0x14	設定禁止	SAU0_INTSRE0	設定禁止	SAU0_INTSRE1
0x15	設定禁止	設定禁止	設定禁止	設定禁止
0x16	TAU0_ENDI0	TAU0_ENDI1	TAU0_ENDI2	TAU0_ENDI3
0x17	設定禁止	設定禁止	TAU0_MODE8_ENDI1	TAU0_MODE8_ENDI3
0x18	設定禁止	設定禁止	設定禁止	設定禁止
0x19	TML32_OUTI	設定禁止	REMC_OUTI	設定禁止
0x1A	設定禁止	設定禁止	設定禁止	設定禁止
0x1B	設定禁止	設定禁止	設定禁止	設定禁止
0x1C	UARTA_TX_ENDI0	UARTA_RX_ENDI0	UARTA_RX_ERI0	設定禁止
0x1D	COMP_DET0	COMP_DET1	設定禁止	設定禁止
0x1E	設定禁止	設定禁止	設定禁止	ADC_ENDI
0x1F	設定禁止	設定禁止	設定禁止	DOC_DOPCI

表 12.6 ICU 入力リンク選択 (2) (1/2)

IELS[4:0]	グループ 4 (割り込みチャネル IELSR4/12/20/28)	グループ 5 (割り込みチャネル IELSR5/13/21/29)	グループ 6 (割り込みチャネル IELSR6/14/12/30)	グループ 7 (割り込みチャネル IELSR7/15/23/31)
0x00	割り込み禁止	割り込み禁止	割り込み禁止	割り込み禁止
0x01	PORT_IRQ0	PORT_IRQ1	PORT_IRQ2	PORT_IRQ3
0x02	DTC_COMPLETE	設定禁止	FCU_FRDYI	設定禁止
0x03	設定禁止	設定禁止	設定禁止	IWDT_NMIUNDF
0x04	LVD_LVD1	LVD_LVD2	設定禁止	ICU_SNZCANCEL
0x05	設定禁止	RTC_ALM_OR_PRD	SYSTEM_SNZREQ	設定禁止

表 12.6 ICU 入力リンク選択 (2) (2/2)

IELS[4:0]	グループ 4 (割り込みチャネル IELSR4/12/20/28)	グループ 5 (割り込みチャネル IELSR5/13/21/29)	グループ 6 (割り込みチャネル IELSR6/14/12/30)	グループ 7 (割り込みチャネル IELSR7/15/23/31)
0x06	WDT_NMIUNDF	設定禁止	設定禁止	設定禁止
0x07	設定禁止	設定禁止	設定禁止	設定禁止
0x08	設定禁止	設定禁止	設定禁止	設定禁止
0x09	設定禁止	設定禁止	設定禁止	設定禁止
0x0A	設定禁止	設定禁止	設定禁止	設定禁止
0x0B	設定禁止	設定禁止	設定禁止	設定禁止
0x0C	設定禁止	ELC_SWEVT1	設定禁止	KEY_INTKR
0x0D	設定禁止	設定禁止	設定禁止	設定禁止
0x0E	設定禁止	設定禁止	設定禁止	設定禁止
0x0F	設定禁止	設定禁止	設定禁止	設定禁止
0x10	CAC_OVFI	設定禁止	設定禁止	設定禁止
0x11	設定禁止	設定禁止	IOPORT_GROUP2	PORT_IRQ7
0x12	SAU1_ENDI0	SAU1_ENDI1	設定禁止	設定禁止
0x13	設定禁止	PORT_IRQ5	PORT_IRQ6	設定禁止
0x14	設定禁止	SAU1_INTSRE2	設定禁止	設定禁止
0x15	TAU0_ENDI4	TAU0_ENDI5	TAU0_ENDI6	TAU0_ENDI7
0x16	PORT_IRQ4	設定禁止	設定禁止	設定禁止
0x17	設定禁止	設定禁止	設定禁止	設定禁止
0x18	設定禁止	設定禁止	設定禁止	設定禁止
0x19	設定禁止	設定禁止	REMC_OUTI	設定禁止
0x1A	設定禁止	設定禁止	設定禁止	設定禁止
0x1B	UARTA_TX_ENDI1	UARTA_RX_ENDI1	UARTA_RX_ERI1	設定禁止
0x1C	設定禁止	設定禁止	設定禁止	設定禁止
0x1D	設定禁止	設定禁止	設定禁止	設定禁止
0x1E	SAU0_ENDI0	SAU0_ENDI1	設定禁止	設定禁止
0x1F	TML32_OUTI	設定禁止	設定禁止	ADC_ENDI

表 12.7 イベントのレジスタ設定 (1/3)

名称	IELSRn.IELS[4:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
PORT_IRQ0	0x01	—	—	—	0x01	—	—	—
PORT_IRQ1	—	0x01	—	—	—	0x01	—	—
PORT_IRQ2	—	—	0x01	—	—	—	0x01	—
PORT_IRQ3	—	—	—	0x01	—	—	—	0x01
PORT_IRQ4	—	—	—	—	0x16	—	—	—
PORT_IRQ5	—	—	—	—	—	0x13	—	—
PORT_IRQ6	—	—	—	—	—	—	0x13	—
PORT_IRQ7	—	—	—	—	—	—	—	0x11
DTC_COMPLETE	0x02(注1)	—	—	—	0x02(注1)	—	—	—
ICU_SNZCANCEL	—	—	—	—	—	—	—	0x04(注1)

表 12.7 イベントのレジスタ設定 (2/3)

名称	IELSRn.IELS[4:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
FCU_FRDYI	—	—	0x02(注1)	—	—	—	0x02(注1)	—
LVD_LVD1	0x04(注1)	—	—	—	0x04(注1)	—	—	—
LVD_LVD2	—	0x04(注1)	—	—	—	0x04(注1)	—	—
SYSTEM_SNZREQ	—	—	0x05(注2)	—	—	—	0x05(注2)	—
IWDT_NMIUNDF	—	—	—	0x03(注1)	—	—	—	0x03(注1)
WDT_NMIUNDF	0x06(注1)	—	—	—	0x06(注1)	—	—	—
RTC_ALM_OR_PRD	—	0x05(注1)	—	—	—	0x05(注1)	—	—
IIC0_ENDI/IIC0_WUI	0x0B	—	—	—	—	—	—	—
IIC1_ENDI/IIC1_WUI	—	0x0B	—	—	—	—	—	—
KEY_INTKR	—	—	—	0x0C(注1)	—	—	—	0x0C(注1)
CAC_FERRI	—	—	0x10(注1)	—	—	—	—	—
CAC_MENDI	—	—	—	0x10(注1)	—	—	—	—
CAC_OVFI	—	—	—	—	0x10(注1)	—	—	—
IOPORT_GROUP1	—	—	0x11	—	—	—	—	—
IOPORT_GROUP2	—	—	—	—	—	—	0x11	—
TRNG_RD_REQ	0x0E(注1)	—	—	—	—	—	—	—
ELC_SWEVT0	—	0x0D	—	—	—	—	—	—
ELC_SWEVT1	—	—	—	—	—	0x0C	—	—
SAU0_ENDI0	0x12	—	—	—	0x1E	—	—	—
SAU0_ENDI1	—	0x12	—	—	—	0x1E	—	—
SAU0_ENDI2	—	—	0x12	—	—	—	—	—
SAU0_ENDI3	—	—	—	0x12	—	—	—	—
SAU1_ENDI0	—	—	—	—	0x12	—	—	—
SAU1_ENDI1	—	—	—	—	—	0x12	—	—
SAU0_INTSRE0	—	0x14(注1)	—	—	—	—	—	—
SAU0_INTSRE1	—	—	—	0x14(注1)	—	—	—	—
SAU1_INTSRE2	—	—	—	—	—	0x14(注1)	—	—
TAU0_ENDI0	0x16(注1)	—	—	—	—	—	—	—
TAU0_ENDI1	—	0x16(注1)	—	—	—	—	—	—
TAU0_ENDI2	—	—	0x16(注1)	—	—	—	—	—
TAU0_ENDI3	—	—	—	0x16(注1)	—	—	—	—
TAU0_ENDI4	—	—	—	—	0x15(注1)	—	—	—
TAU0_ENDI5	—	—	—	—	—	0x15(注1)	—	—
TAU0_ENDI6	—	—	—	—	—	—	0x15(注1)	—
TAU0_ENDI7	—	—	—	—	—	—	—	0x15(注1)
TAU0_MODE8_ENDI1	—	—	0x17(注1)	—	—	—	—	—
TAU0_MODE8_ENDI3	—	—	—	0x17(注1)	—	—	—	—

表 12.7 イベントのレジスタ設定 (3/3)

名称	IELSRn.IELS[4:0]							
	グループ 0 (n = 0/8/16/24)	グループ 1 (n = 1/9/17/25)	グループ 2 (n = 2/10/18/26)	グループ 3 (n = 3/11/19/27)	グループ 4 (n = 4/12/20/28)	グループ 5 (n = 5/13/21/29)	グループ 6 (n = 6/14/22/30)	グループ 7 (n = 7/15/23/31)
TML32_OUTI	0x19	—	—	—	0x1F	—	—	—
REMC_OUTI	—	—	0x19	—	—	—	0x19	—
UARTA_TX_ENDI0	0x1C	—	—	—	—	—	—	—
UARTA_RX_ENDI0	—	0x1C	—	—	—	—	—	—
UARTA_RX_ERI0	—	—	0x1C ^(注1)	—	—	—	—	—
UARTA_TX_ENDI1	—	—	—	—	0x1B	—	—	—
UARTA_RX_ENDI1	—	—	—	—	—	0x1B	—	—
UARTA_RX_ERI1	—	—	—	—	—	—	0x1B ^(注1)	—
COMP_DET0	0x1D ^(注1)	—	—	—	—	—	—	—
COMP_DET1	—	0x1D ^(注1)	—	—	—	—	—	—
ADC_ENDI	—	—	—	0x1E	—	—	—	0x1F
DOC_DOPCI	—	—	—	0x1F ^(注1)	—	—	—	—

注 1. CPU 割り込みのみで使用します。

注 2. DTC 割り込みのみで使用します。

12.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択 (CPU 割り込み、DTC 起動など)

12.4.1 割り込み検出選択

ICU は、IELSRn.IELS[4:0]で周辺機能割り込みまたは外部端子割り込みから入力されるイベント要因を選択します。

受け付けた割り込み要因は、IELSRn.IR フラグを 1 にして、CLIC へ割り込み要求を伝えます。clicintip[i]レジスタには、割り込み入力ごとに専用の割り込み保留ビットがあります。

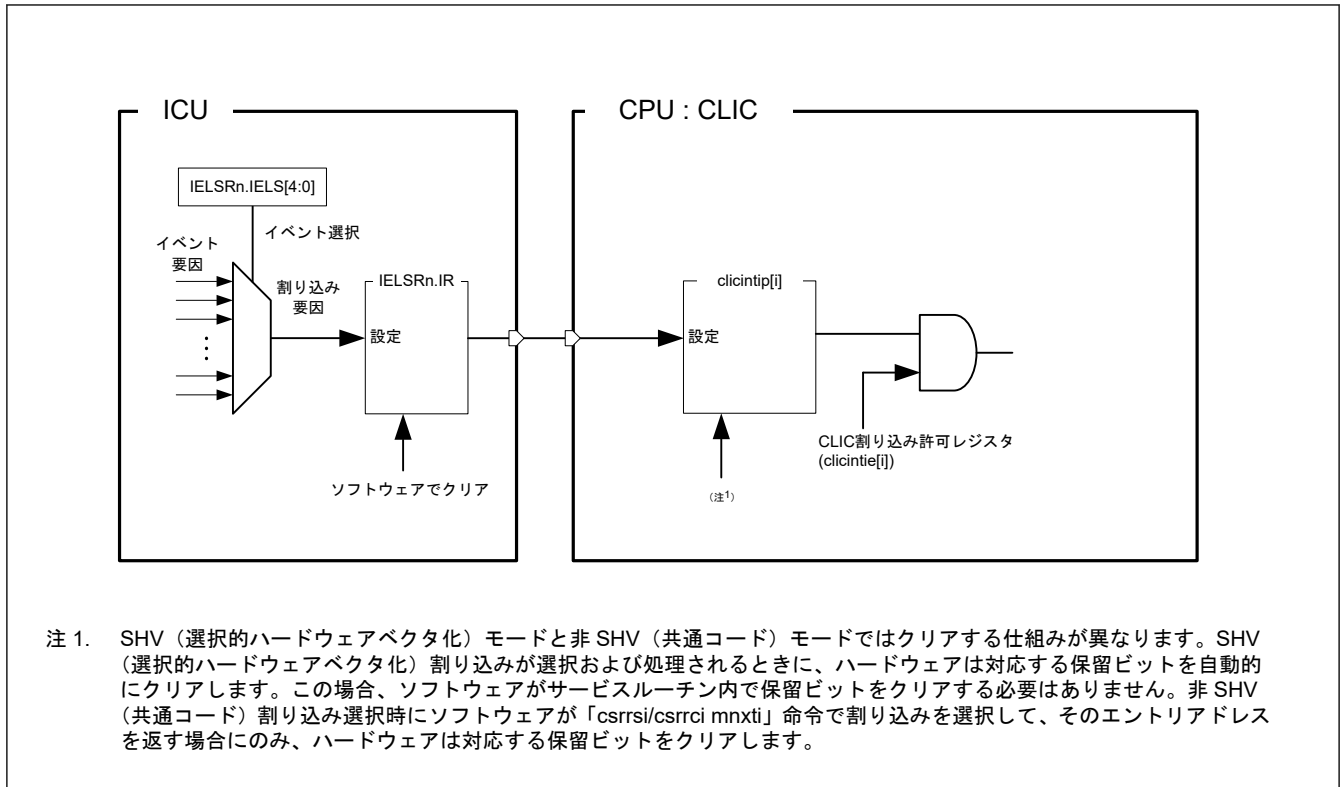


図 12.2 ICU および CPU の割り込み経路 (CLIC)

12.4.2 割り込みの検出

外部端子割り込み要求は、割り込み信号のエッジまたはレベルのいずれかにより検出されます (立ち下がりエッジ、立ち上がりエッジ、両エッジ、または Low レベル)。IRQ_i 端子用の検出モードを選択するために、IRQCR_i レジスタの IRQMD[1:0] ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 12.3 および表 12.4 を参照してください。

12.5 割り込みの設定手順

12.5.1 割り込み要求の許可

割り込み要求を許可する手順を以下に示します。

1. CLIC 割り込み許可レジスタ (clicintie[i]) を設定します。
2. 割り込み要因として、IELSRn.IELS[4:0] ビットを設定します。
3. ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する動作の設定をします。

12.5.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する動作を禁止します。
2. 割り込み要因の設定をクリアしてください (IELSRn.IELS[4:0] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
4. エッジトリガ割り込みの場合、CLIC 割り込み許可レジスタ (clicintie[i]) と CLIC 割り込み保留レジスタ (clicintip[i]) をクリアしてください。

12.5.3 割り込みのポーリング

割り込み要求のポーリングをする手順を以下に示します。

1. CLIC 割り込み許可レジスタ (clicintie[i]) を設定します。
2. 割り込み要因として、IELSRn.IELS[4:0]ビットを設定します。
3. ソフトウェアスタンバイモードの解除 (WUPEN レジスタの設定) など、イベント要因に対する動作の設定をします。
4. 割り込み保留レジスタ (clicintip[i]) をポーリングします。

12.5.4 割り込み要求先の選択

割り込み出力要求先 (CPU または DTC) は、割り込み要因ごとに個別に選択できます。

選択可能な要求先は、表 12.3、表 12.4、表 12.5、および表 12.6 に示されているように、割り込みごとに固定されています。

イベント一覧表に✓印の記載がある割り込み要求先の設定を使用してください。

DTC が IRQi 端子からの割り込み要求先として選択された場合、その割り込み要求に対して IRQCRi レジスタの IRQMD[1:0]ビットをエッジ検出を選択するために設定してください。

12.5.4.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが CLIC に出力されます。IELSRn.IELS[4:0]ビットを設定し、IELSRn.DTCE ビットを 0 にします。

12.5.4.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. 対象イベントに対応する IELSRn.IELS[4:0]ビットを設定し、IELSRn.DTCE ビットを 1 にします。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 12.8 に DTC が割り込み要求先となる場合の動作を示します。

表 12.8 DTC が割り込み要求先となる場合の動作

割り込み要求先	DISSEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の割り込み要求先
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU (IELSRn.DTCE ビットがクリアされる)
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU (IELSRn.DTCE ビットが自動的にクリアされる)

注 1. DTC.MRB.DISEL ビットで DTC から CPU への割り込み要求の発生のタイミングを設定します。

注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求 (DTC 起動要求) は無視されます。

注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISSEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「14. データトランスファクタローラ (DTC)」の表 14.2 を参照してください。

12.5.5 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子 IRQi (i = 0~7) と NMI 端子割り込みのために用意されています。デジタルフィルタ機能は、フィルタの入力信号を PCLKB サンプリングクロックでサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

IRQi 端子に対してデジタルフィルタを用いるには、以下のようになしてください。

1. $IRQCRi.FCLKSEL[1:0]$ ビット ($i=0\sim7$) で、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは $PCLKB$ 、 $PCLKB/8$ 、 $PCLKB/32$ 、または $PCLKB/64$ です。
2. $IRQCRi.FLTEN$ ビット ($i=0\sim7$) を 1 (デジタルフィルタ有効) に設定してください。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. $NMICR.NFCLKSEL[1:0]$ ビットで、サンプリングクロックサイクルを設定してください。設定可能なクロックサイクルは $PCLKB$ 、 $PCLKB/8$ 、 $PCLKB/32$ 、または $PCLKB/64$ です。
2. $NMICR.NFLTEN$ ビットを 1 (デジタルフィルタ有効) に設定してください。

図 12.3 にデジタルフィルタの動作例を示します。

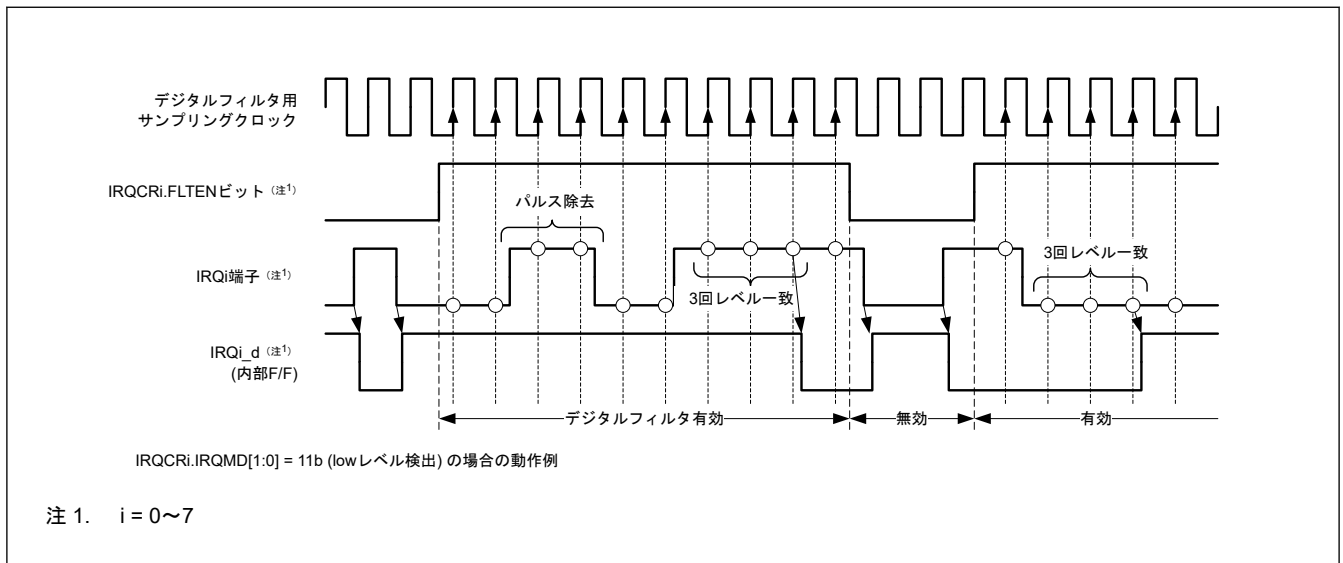


図 12.3 デジタルフィルタの動作例

ソフトウェアスタンバイモードに移行する前に、 $IRQCRi.FLTEN$ ビットと $NMICR.NFLTEN$ ビットによりデジタルフィルタを無効にしてください。ソフトウェアスタンバイモードでは、ICU クロックは停止します。

ソフトウェアスタンバイモード終了時、回路はスタンバイモード前後の状態を比較することにより、エッジを検出します。ソフトウェアスタンバイモード中に入力に変化すると、不適切なエッジが検出される可能性があります。ソフトウェアスタンバイモード終了後は、再度、デジタルフィルタを有効にすることができます。

12.5.6 外部端子割り込みの設定手順

外部端子割り込みを使用する時の手順を以下に示します。

1. I/O ポートの設定をしてください。
2. $IRQCRi.FLTEN$ ビット ($i=0\sim7$) を 0 (デジタルフィルタ無効) にしてください。
3. 所与の $IRQCRi$ レジスタ ($i=0\sim7$) の $IRQMD[1:0]$ ビットを設定して検出センスを選択してください。
4. $IRQCRi$ レジスタの $FCLKSEL[1:0]$ ビット、および $FLTEN$ ビットを設定してください。
5. IRQ 端子を以下のように選択してください。
 - IRQ 端子を CPU への割り込み要求に使用の場合は、 $IELSRn.IELS[4:0]$ ビットを設定し、 $IELSRn.DTCE$ ビットを 0 にしてください。
 - IRQ 端子を DTC の起動に使用の場合は、 $IELSRn.IELS[4:0]$ ビットを設定し、 $IELSRn.DTCE$ ビットを 1 にしてください。

12.6 ノンマスカブル割り込みの設定手順

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み

- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- SRAM ECC エラー割り込み
- バスエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順を実行してください。

1. NMICR.NFLTEN ビットを 0 にしてください (デジタルフィルタ無効)。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEEN ビットを 1 にしてノンマスカブル割り込みを許可にしてください。

NMIEEN レジスタに 1 が書き込まれた後、NMIEEN.NMIEEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

12.7 低消費電力モードからの復帰

スリープモード、スヌーズモード、またはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を、表 12.4 に示します。詳細は、「10. 低消費電力モード」を参照してください。

12.7.1 スリープモードからの復帰

スリープモードからの復帰は、すべての割り込み要因で可能です。

ノンマスカブル割り込み

- NMIEEN レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

- 割り込み要求先を CPU にしてください。
- CLIC で割り込みを許可してください。

12.7.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みまたはマスカブル割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスカブル割り込みについては、表 12.4 を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

ノンマスカブル割り込み：

- NMIEEN レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み：

- ソフトウェアスタンバイモードから復帰できる割り込み要因を選択してください。
- WUPEN レジスタによって該当する割り込み要求を許可してください。
- 割り込み要求先として CPU を選択してください。
- CLIC で割り込みを許可してください。

これらの条件を満たさない IRQ_n 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

12.7.3 スヌーズモードからの復帰

ICU は、スヌーズモード用に提供された割り込みを使用して、スヌーズモードから通常モードに復帰することができます。

スヌーズモードから通常モードに復帰するには：

1. スヌーズモードから通常モードへ復帰するトリガに使用したいイベントを SELSR0.SELS[7:0]に設定してください。
2. IELSR_n.IELS[4:0] (n = 7/15/23/31) に、値 0x04 (ICU_SNZCANCEL) を設定してください。
3. 割り込み要求先を CPU にしてください。
4. CLIC で割り込みを許可してください。

注. スヌーズモードでは、クロックが ICU に供給されます。IELSR_n で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクリッジを実行できます。

13. バス

13.1 概要

バスサブシステムは、デバイス内のバスマスタとバススレーブ間のトランザクションのルーティングを処理します。さらに、バスモジュールは、バスエラー監視、エラーステータスログ、フラッシュ読み出し保護を提供します。

表 13.1 にバスの仕様を、図 13.1 にバスの構成図を、表 13.2 にバス種類別アドレス対応表を示します。

バスエラーの監視とエラーステータスログの詳細については、「13.3. バスエラー監視」を参照してください。フラッシュ読み出し保護機能の詳細については、「13.4. フラッシュ読み出し保護」を参照してください。

表 13.1 バスの仕様

バスの種類		説明
メインバス	命令バス (CPU)	- CPU 命令バスに接続 - 内蔵メモリと内部周辺バスに接続
	データバス (CPU)	- CPU データバスに接続 - 内蔵メモリと内部周辺バスに接続
	DMA バス	- DTC に接続 - 内蔵メモリと内部周辺バスに接続
スレーブインタフェース	メモリバス 1	コードフラッシュメモリに接続
	メモリバス 4	SRAM0 に接続
	内部周辺バス 1	周辺モジュール（デバッグモジュール以外）関連のシステムコントロールに接続
	内部周辺バス 3	周辺モジュール（CAC、I/O ポート、WDT、IWDTC、ADC12、CMP、DOC、ICU、ELC、KINT、TAU、SAU、RTC、IICA、UARTA、DAC8、TSN、TRNG、および CRC）に接続
	内部周辺バス 9	フラッシュメモリに接続（P/E（プログラム/イレース）時）
	内部周辺バス 10	デバッグモジュール (DM) に接続
	内部周辺バス 11	データフラッシュメモリに接続

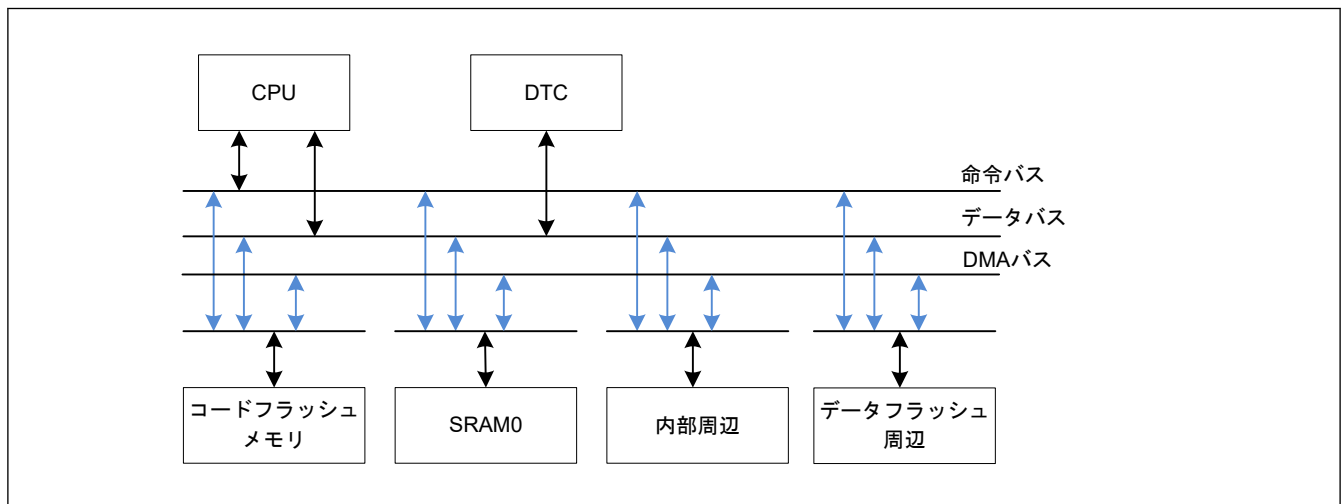


図 13.1 バスの構成図

表 13.2 各バスに割り当てられたアドレス (1/2)

アドレス	バス	領域
0x0000_0000~0x01FF_FFFF	メモリバス 1	コードフラッシュメモリ
0x2000_0000~0x2000_7FFF	メモリバス 4	SRAM0
0x4000_0000~0x4001_8FFF	内部周辺バス 1	周辺機能レジスタ

表 13.2 各バスに割り当てられたアドレス (2/2)

アドレス	バス	領域
0x4001_A000~0x4001_BFFF	内部周辺バス 1	周辺機能レジスタ
0x4001_C000~0x4001_CFFF	内部周辺バス 9	周辺機能レジスタ
0x4001_D000~0x4001_FFFF	内部周辺バス 1	周辺機能レジスタ
0x4004_0000~0x400B_FFFF	内部周辺バス 3	周辺機能レジスタ
0x4010_0000~0x407D_FFFF	内部周辺バス 11	データフラッシュメモリ
0x407E_0000~0x407F_FFFF	内部周辺バス 9	フラッシュメモリ (P/E 時)
0xE200_0000~0xE67F_FFFF	内部周辺バス 1	周辺機能レジスタ
0xE680_0000~0xE680_0FFF	内部周辺バス 10	デバッグモジュール (DM) のレジスタ

注: すべての内部周辺モジュールは同じスレーブバスに属しています。

13.2 バスの説明

13.2.1 メインバス

メインバスは、CPU 命令バス、CPU データバス、および DMA バスで構成されます。これらのバスは以下のスレーブバスに接続されています。

- コードフラッシュメモリ
- SRAM0
- 内部周辺モジュール

CPU 命令バスは、CPU が命令をフェッチする時に使用します。CPU データバスは、CPU がデータにアクセスする時に使用します。

DMA バスは、DTC モジュールによるアクセスに使用されます。

13.2.2 スレーブインタフェース

メインバスからスレーブインタフェースへの接続については、「[13.1. 概要](#)」に記載のスレーブインタフェースを参照してください。

CPU 命令バス、CPU データバス、および DMA バスからのバスアクセスは調停され、以下の固定優先順位になります。

DMA バス > CPU データバス > CPU 命令バス

異なるマスタとスレーブ間の転送の組み合わせは、同時進行することができます。

13.2.3 並列動作

それぞれのバスマスタが異なるスレーブバス（コードフラッシュメモリバス、SRAM0 バス、および内部周辺バス）にアクセスする場合、並列動作が可能です。並列動作の例を[図 13.2](#)に示します。この例では、フラッシュメモリと SRAM それぞれに同時アクセスを行う際、CPU は命令バスとデータバスを使用します。さらに、DTC は同時に周辺バスへのアクセスに DMA バスを使用します。

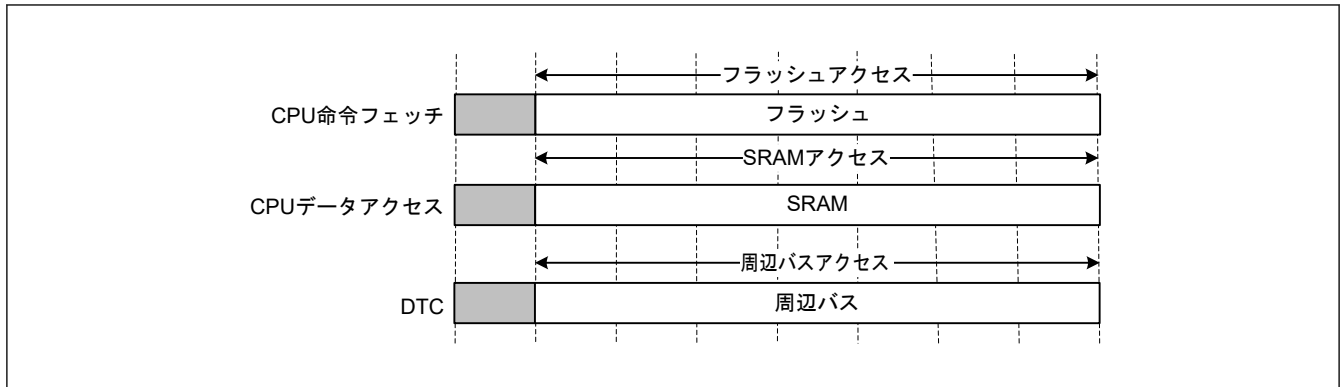


図 13.2 並列動作の例

13.2.4 エンディアンに関する制限事項

CPU コアで命令コードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

13.3 バスエラー監視

監視システムは、各領域へのアクセスを監視します。違反が検出されるとエラーが発生し、記録されます。

13.3.1 バスによって生じるエラーの種類

それぞれのマスタバスでは、次の3種類のエラーが生じる可能性があります。

- 不正アドレスアクセスエラー
- スレーブバスエラー
- 不正メモリアccessエラー

バスマスタがシステム内のバススレーブにアクセスする代わりに予約領域にアクセスしようとするすると不正アドレスアクセスエラーが発生します。

バススレーブが AHB-Lite エラー応答プロトコルで要求元マスタにエラーを返すとスレーブバスエラーが発生します。CPU が誤って動作し、周辺モジュールへの命令フェッチやコードフラッシュへの書き込みなど、不適切なアクセスを試みた場合に不正メモリアccessエラーが発生します。

13.3.2 バスエラー発生時の動作

(不正アドレスアクセス、不正メモリアccess、またはスレーブバスエラーにより) バスエラーが発生した場合の動作は保証されず、エラーは要求元マスタ IP に返却されます。エラーが CPU アクセスによるもので、BUSMCNTx.IERES を使用してエラー報告が有効になっている場合、BUSCNTx.OAD ビットの値に応じて、バスエラーノンマスカブル割り込み (NMI) またはバスエラーリセットが要求されます。CPU がエラーを受信するには、ICU.NMIER.BUSEN ビットを使用して NMI 要求を許可に設定する必要があります。NMI 要求が許可に設定されていない場合、CPU にエラーは通知されません。ICU.NMIER.BUSEN ビットで NMI を許可する前に、ソフトウェアはエラーステータスレジスタ (BUSnERRSTAT) を参照してエラーが発生していないことを確認する必要があります。ノンマスカブル割り込みステータスは ICU.NMISR.BUSST で示され、ICU.NMICLR.BUSCLR でクリアできます。リセットの状態は SYSTEM.RSTSR1.BUSERRF フラグに示されます。

さらに、バスエラー情報は対応する BUSnERRSTAT レジスタと BUSnERRADD レジスタに格納されます。これらのレジスタは、バスエラーリセット以外のシステムリセットによってクリアされます。バスエラー発生後、エラーステータスレジスタによってバスエラーの原因が確認された後にシステム動作を継続するには、システムリセットが必要です。そうしないと、次のバスエラーを記録できません。

DTC アクセスによるエラーの場合、DTC はバスエラーを受け取らず、転送は続行されます。CPU は、DTC アクセス中にエラーが発生したかどうかを確認するために、バスエラーステータスとアドレスレジスタをポーリングする必要があります。

13.3.3 不正アドレスアクセスエラーを引き起こす条件

表 13.3 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。

表 13.3 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	メインバス		
		命令バス (CPU)	データバス (CPU)	DMA バス
0x0000_0000~0x01FF_FFFF	メモリバス 1	—	—	—
0x0200_0000~0x1FFF_FFFF	予約	E	E	E
0x2000_0000~0x2000_7FFF	メモリバス 4	—	—	—
0x2000_8000~0x3FFF_FFFF	予約	E	E	E
0x4000_0000~0x4001_8FFF	内部周辺バス 1	—	—	—
0x4001_9000~0x4001_9FFF	予約	E	E	E
0x4001_A000~0x4001_FFFF	内部周辺バス 1、9	—	—	—
0x4002_0000~0x4003_FFFF	予約	E	E	E
0x4004_0000~0x400B_FFFF	内部周辺バス 3	—	—	—
0x400C_0000~0x400F_FFFF	予約	E	E	E
0x4010_0000~0x407F_FFFF	内部周辺バス 9、11	—	—	—
0x4080_0000~0xE1FF_FFFF	予約	E	E	E
0xE200_0000~0xE680_0FFF	内部周辺バス 1、10	—	—	—
0xE680_1000~0xFFFF_FFFF	予約	E	E	E

注 「E」は不正アドレスアクセスエラーが発生するバスを示します。

「—」は不正アドレスアクセスエラーが発生しないバスを示します。

注 バスモジュールは、予約領域へのアクセスに起因するアクセスエラー（例えば、スレーブに領域が割り当てられていない場合など）を検出します。

0x0200_0000~0x1FFF_FFFF：アクセスエラー検出あり。

0x0000_0000~0x01FF_FFFF：アクセスエラー検出なし（メモリバス 1）。

13.3.4 デバッグモジュール (DM) アクセス時にスレーブバスエラーを引き起こす条件

バススレーブが AHB-Lite エラー応答プロトコルで要求元マスタにエラーを返すとスレーブバスエラーが発生します。

デバッグモードの CPU だけがデバッグモジュール (DM) にアクセスできます。デバッグモード以外でデバッグモジュール (DM) に CPU がアクセスを試みるとスレーブバスエラーが発生します。また、DTC が DM にアクセスする場合は、スレーブバスエラー応答がトリガされます。

13.3.5 不正メモリアccessエラーを引き起こす条件

IEC60730 標準では、CPU の正常動作を確認することが定められています。

本 MCU には、CPU が不正なメモリ領域をアクセスした際に NMI またはリセット要求を発生させる機能があります。図 13.3 において「Not allowed」（不許可）と記載されている領域へのアクセスは不正アクセスと見なされ、不正メモリアccessエラーとなります。予約領域へのアクセスは、バスデコーダによる不正アドレスアクセスエラーとなります。

		読み出し	書き込み	命令フェッチ
0xFFFF_FFFF	予約	予約	予約	予約
0xE680_1000				
0xE680_0FFF	デバッグモジュール			
0xE680_0000		許可	許可	許可
0xE67F_FFFF	周辺I/Oレジスタ			
0xE200_0000				不可
0xE1FF_FFFF	予約	予約	予約	予約
0x4080_0000				
0x407F_FFFF	フラッシュI/Oレジスタ		許可	
0x407E_0000		許可		不可
0x407D_FFFF	データフラッシュ		不可	
0x4010_0000				
0x400F_FFFF	予約	予約	予約	予約
0x400C_0000				
0x400B_FFFF	周辺I/Oレジスタ	許可	許可	不可
0x4004_0000				
0x4003_FFFF	予約	予約	予約	予約
0x4002_0000				
0x4001_FFFF	周辺I/Oレジスタ			
0x4001_D000				
0x4001_CFFF	フラッシュI/Oレジスタ	許可	許可	不可
0x4001_C000				
0x4001_BFFF	周辺I/Oレジスタ			
0x4001_A000				
0x4001_9FFF	予約	予約	予約	予約
0x4001_9000				
0x4001_8FFF	周辺I/Oレジスタ	許可	許可	不可
0x4000_0000				
0x3FFF_FFFF	予約	予約	予約	予約
0x2000_8000				
0x2000_7FFF	SRAM	許可	許可	許可
0x2000_0000				
0x1FFF_FFFF	予約	予約	予約	予約
0x0200_0000				
0x01FF_FFFF				
0x0000_0000	コードフラッシュ	許可	不可	許可

図 13.3 不正アクセス領域（「Not allowed」（不許可）と記載された領域）

13.4 フラッシュ読み出し保護

13.4.1 フラッシュ読み出し保護機能

フラッシュ読み出し保護機能により、コードフラッシュメモリ領域の指定範囲 (0x00000000～0x000FFFFF) を、CPU および DTC による読み出しアクセスから保護することができます。

保護領域に対するデータアクセス要求は、エラー、NMI、またはリセットを引き起こすことなく破棄されます。

当該領域から CPU が命令をフェッチすることは可能です。保護領域からプログラムコードを実行する場合でも、その保護領域にあるデータを読み出すことはできません。

通常の命令フェッチが許可されているときに、フラッシュ読み出し保護機能が保護領域（開始アドレスと終了アドレスで指定された範囲）をどのように保護するかを図 13.4 に示します。それぞれオプション設定メモリにある、フラッシュ読み出し保護開始アドレスレジスタ (FLRPROTS) とフラッシュ読み出し保護終了アドレスレジスタ (FLRPROTE) を使用して、開始アドレスと終了アドレスを設定できます。

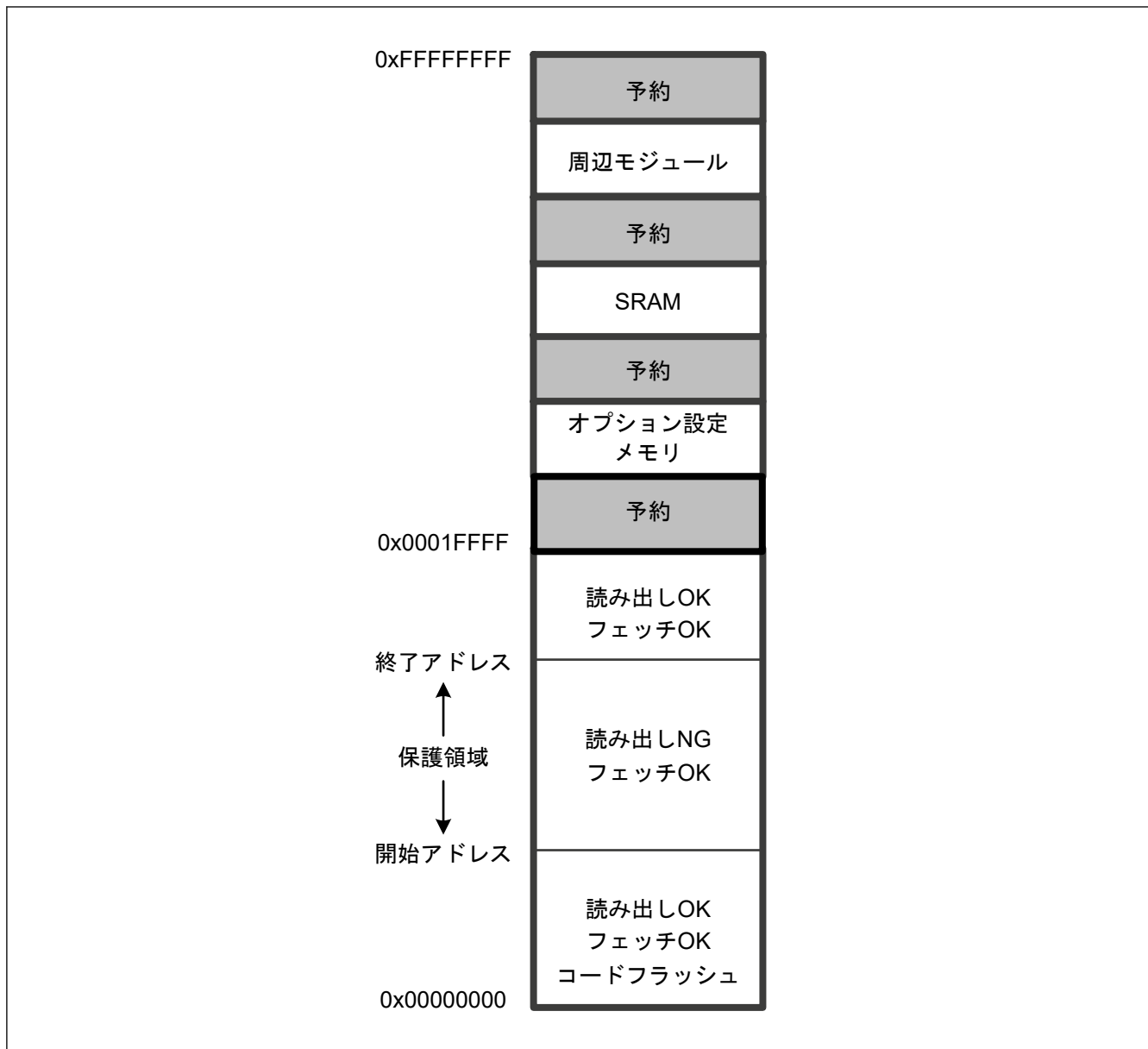


図 13.4 フラッシュ読み出し保護（保護領域へのデータアクセスの保護）

13.4.2 フラッシュ読み出し保護設定

オプション設定メモリにおけるフラッシュ読み出し保護は、フラッシュメモリプログラマ、オンチップデバッガを使用したシリアルプログラミング、またはセルフプログラミングによって設定されます。設定後、フラッシュの読み出し保護範囲内のコードフラッシュメモリ領域にあるアドレスに対する読み出しアクセスは、不可能になります。

実行するプログラムは、コードフラッシュまたは SRAM 領域の最後から 3 ワードには配置しないでください。CPU は、現在のプログラムカウンタ (PC) から 3 ワード先までの命令をプリフェッチすることができます。

13.4.3 コード領域でのデータ配置

保護領域から実行するコードに対応するデータは、保護領域の外側に配置する必要があります。また、ベクタフェッチはデータアクセスとみなされるため、割り込みベクタテーブルも保護領域の外に配置する必要があります。

13.5 レジスタの説明

13.5.1 BUSMCNTx : コントロールレジスタ x (x = INST, DAT, DMA)

Base address: BUS = 0x4000_3000

Offset address: 0x1000 (BUSMCNTINST)
0x1004 (BUSMCNTDAT)
0x1008 (BUSMCNTDMA)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IERES	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	IERES	エラー応答無視 0: バスエラーを通知する 1: バスエラーを通知しない	R/W

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

バスエラーは、ノンマスカブル割り込み要求によって CPU に通知されます。CPU がエラーを受信するには、IERES ビットを 0 にするとともに、ICU.NMIER.BUSEN ビットを使用して NMI 要求を許可に設定にする必要があります。バスエラーが発生した後に NMI 要求を許可しても、新しく発生したエラーのステータスとアドレスは BUSnERRSTAT と BUSnERRADD に記録されません。ICU.NMIER.BUSEN ビットで NMI を許可する前に、ソフトウェアはエラーステータスレジスタ (BUSnERRSTAT) を参照してエラーが発生していないことを確認する必要があります。

IERES ビット (エラー応答無視)

IERES ビットは、AHB-Lite プロトコルにおけるエラー応答の許可または禁止を指定します。

表 13.4 に、バスの種類とレジスタの対応を示します。

表 13.4 バスマスタ種類とレジスタの対応

バスの種類	コントロールレジスタ	バスエラーアドレスレジスタ	バスエラーステータスレジスタ
命令バス (CPU)	BUSMCNTINST	BUS1ERRADD	BUS1ERRSTAT
データバス (CPU)	BUSMCNTDAT	BUS2ERRADD	BUS2ERRSTAT
DMA バス	BUSMCNTDMA	BUS3ERRADD	BUS3ERRSTAT

13.5.2 BUSCNTOAD : バス制御エラー検出後動作レジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1400

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可または禁止します。	R/W(注1)

注 1. 書き込みデータは保持されません。

OAD ビットは、バスエラーが発生した時は、エラー種別（不正アドレスアクセスエラー、スレーブバスエラー、または不正なメモリアクセスエラー）に関わらず、リセットまたはノンマスクブル割り込みを生成します。エラー種別の詳細については、「[13.3.1. バスによって生じるエラーの種類](#)」を参照してください。

KEY[7:0]ビット (キーコード)

KEY[7:0]ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットに書き込みを行う時は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと OAD ビットは更新されません。KEY[7:0]は読むと常に 0x00 が読み出されます。

0



Value after reset: x x x x x x x x x x x x x x x x x x x x x x x x x x x x x x

BUSnERRADD は、バスエラーリセット以外のシステムリセットによってクリアされます。詳細は、「[5. リセット](#)」を参照してください。

バスマスタが受信した最初のエラーのアドレスだけが **BUSnERRADD** に記録されます。同バスマスタが受信したそれ以降のエラーは、(バスエラーリセット以外の) システムリセットが発生するまで記録されません。

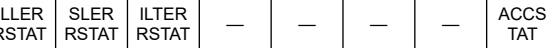
表 13.4 に、バスマスタの種類に対応したレジスタを示します。

BERAD[31:0]ビットは、バスエラーが発生した場合、そのアクセスアドレスを格納します。

値が有効になるのは、BUSnERRSTAT (n = 1, 2, 3) レジスタのフラグ (ILLERRSTAT, SLERRSTAT, ILTERRSTAT) の 1 つが 1 のときだけです。

詳細については、「[13.5.4. BUSnERRSTAT : バスエラーステータスレジスタ n \(n = 1, 2, 3\)](#)」の、ILLERRSTAT、SLERRSTAT、ILTERRSTAT の各フラグの説明を参照してください。

7 6 5 4 3 2 1 0



Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ACCSTAT	エラーアクセス状態 エラー発生時のアクセス状態 0: リードアクセス 1: ライトアクセス	R
4:1	—	読むと 0 が読めます。	R
5	ILTERRSTAT	不正メモリアクセスエラーステータスフラグ 0: バスエラー発生なし 1: バスエラー発生あり	R
6	SLERRSTAT	スレーブバスエラーステータスフラグ 0: バスエラー発生なし 1: バスエラー発生あり	R
7	ILLERRSTAT	不正アドレスアクセスエラーステータスフラグ 0: バスエラー発生なし 1: バスエラー発生あり	R

BUSnERRSTAT は、バスエラーリセット以外のシステムリセットによってクリアされます。詳細は、「[5. リセット](#)」を参照してください。

バスマスタが受信した最初のエラーのステータスだけが BUSnERRSTAT に記録されます。同バスマスタが受信したそれ以降のエラーは、(バスエラーリセット以外の) システムリセットが発生するまで記録されません。

表 13.4 に、バスの種類に対応したレジスタを示します。

ACCSTAT フラグ (エラーアクセス状態)

ACCSTAT フラグはバスにエラーが発生した場合、そのアクセス状態 (ライトアクセスまたはリードアクセス) を示します。値が有効になるのは、BUSnERRSTAT (n = 1, 2, 3) レジスタのフラグ (ILLERRSTAT, SLERRSTAT, ILTERRSTAT) の 1 つが 1 のときだけです。

ILTERRSTAT フラグ (不正メモリアクセスエラーステータスフラグ)

ILTERRSTAT フラグは、不正メモリアクセスが発生したか否かを示します。不正メモリアクセスエラーが発生した場合、そのアクセスアドレスとアクセス状態 (ライトアクセスまたはリードアクセス) が格納されます。さらに、ILLERRSTAT フラグが 1 になります。

SLERRSTAT フラグ (スレーブバスエラーステータスフラグ)

SLERRSTAT フラグは、バス上で発生したエラーをバススレーブが返したかどうかを示します。スレーブバスエラーが発生した場合は、アクセスのアドレスとステータス (書き込み/読み出し) が保存されます。さらに、SLERRSTAT フラグが 1 になります。

ILLERRSTAT フラグ (不正アドレスアクセスエラーステータスフラグ)

ILLERRSTAT フラグは、バス上で不正アドレスアクセスエラーが発生したかどうかを示します。バスエラーが発生した場合は、アクセスのアドレスとステータス (書き込み/読み出し) が保存されます。さらに、ILTERRSTAT フラグが 1 になります。

13.5.5 ILTMEMCTL : 不正メモリアクセス検出コントロールレジスタ

Base address: BUS = 0x4000_3000

Offset address: 0xC00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	ILTMEN	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
2	ILTMEMEN	不正メモリアクセス検出許可 0: 禁止 1: 許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ILTMEMEN ビットへの書き込みを許可または禁止します。	R/W(注1)

注. 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

注 1. 書き込みデータは保持されません。

ILTMEMEN ビット（不正メモリアクセス検出許可）

ILTMEMEN ビットは、不正メモリアクセス検出機能を有効または無効にするために使用されます。有効にした場合、不正メモリアクセスが検出された時にバスエラー NMI またはリセット要求が発生します。

ILTMEMEN ビットを設定する時は、同時にハーフワードアクセスで KEY[7:0] ビットに 0xA5 を書き込んでください。

KEY[7:0] ビット（キーコード）

KEY[7:0] ビットは、ILTMEMEN ビットへの書き込みを許可または禁止します。ILTMEMEN ビットに書き込みを行う時は、同時に KEY[7:0] ビットに 0xA5 を書き込んでください。他の値を書き込むと、ILTMEMEN ビットは更新されません。KEY[7:0] は読むと常に 0x00 が読み出されます。

13.6 レジスタの説明（オプション設定メモリ）

フラッシュ読み出し保護レジスタはすべてオプション設定メモリです。オプション設定メモリとは、リセット後のマイコンの状態を選択するために利用可能な一連のレジスタを指します。オプション設定メモリはフラッシュメモリに配置されます。詳細は、「[6. オプション設定メモリ](#)」を参照してください。

13.6.1 FLRPROTS : フラッシュ読み出し保護開始アドレスレジスタ

Address: 0x0000_0418/0x0000_2418(注1)

Bit position:	31	23	0
Bit field:	— — — — — — — —	FLRPROTS[23:0]	
Value after reset:	0 0 0 0 0 0 0 0	ユーザー設定値	

ビット	シンボル	機能	R/W
23:0	FLRPROTS[23:0]	領域開始アドレス 領域スタートアドレス（領域決定に使用）値の範囲は 0x0000_0000～0x0001_FFFC です（予約領域を除く）。 下位 2 ビットは読むと 0 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 0 としてください。	R/W
31:24	—	読むと 0 が読めます。コードフラッシュに書き込む場合、0 としてください。	R/W

注 1. ブートスワップ設定時は、これらのレジスタのアドレスが変わります。

13.6.2 FLRPROTE : フラッシュ読み出し保護終了アドレスレジスタ

Address: 0x0000_041C/0x0000_241C(注1)

Bit position:	31	23	0
Bit field:	— — — — — — — —	FLRPROTE[23:0]	
Value after reset:	0 0 0 0 0 0 0 0	ユーザー設定値	

ビット	シンボル	機能	R/W
23:0	FLRPROTE[23:0]	領域終了アドレス 領域エンドアドレス（領域決定に使用）値の範囲は 0x0000_0003~0x0001_FFFF です（予約領域を除く）。 下位 2 ビットは読むと 1 が読めます。コードフラッシュに書き込む場合、下位 2 ビットは 1 としてください。	R/W
31:24	—	読むと 0 が読めます。コードフラッシュに書き込む場合、0 としてください。	R/W

注 1. ブートスワップ設定時は、これらのレジスタのアドレスが変わります。

13.6.3 FLRPROTAC : フラッシュ読み出し保護アクセスコントロールレジスタ

Address: 0x0000_0438/0x0000_2438^(注1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DIS
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	(注2)

ビット	シンボル	機能	R/W
0	DIS	フラッシュ読み出し保護無効 0: 有効 1: 無効	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注 1. ブートスワップ設定時は、これらのレジスタのアドレスが変わります。

注 2. ユーザの設定値

DIS ビット（フラッシュ読み出し保護無効）

DIS ビットは、フラッシュ読み出し保護機能の有効／無効を制御します。有効にした場合、FLRPROTS と FLRPROTE で設定した範囲内のコードフラッシュメモリ領域にあるデータが、CPU と DTC からの読み出しアクセスから保護されます。

13.7 使用上の注意事項

13.7.1 デバッグ使用時の注意事項

フラッシュ読み出し保護機能が有効であるとメモリのデバッグはできません。プログラムのデバッグをするときは、フラッシュ読み出し保護を無効にしてください。OCD デバッグが有効なのは、FLRPROTAC レジスタが 0xFFFF_FFFF のときだけです。

13.8 参考資料

1. RISC-V External Debug Support (Version 0.13.2)

14. データトランスファコントローラ (DTC)

14.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 14.1 に DTC の仕様を、図 14.1 に DTC のブロック図を示します。

表 14.1 DTC の仕様

項目	内容
転送モード	- ノーマル転送モード 1 回の起動で 1 データを転送 - リピート転送モード 1 回の起動で 1 データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート回数は最大 256 回設定可能で、最大 256 × 32 ビット (1024 バイト) 転送可能 - ブロック転送モード 1 回の起動で 1 ブロックを転送 ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
転送チャネル	- 割り込み要因に対応するチャネルの転送が可能 (ICU からの DTC 起動要求で転送) 1 つの起動要因に対して複数データの転送が可能 (チェーン転送) - チェーン転送は「カウンタが 0 のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	0x0000_0000~0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	1 データ : 1 バイト (8 ビット)、1 ハーフワード (16 ビット)、1 ワード (32 ビット) 1 ブロックサイズ : 1~256 データ
CPU 割り込み要因	- DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 1 回のデータ転送後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1 回のデータ転送後 (ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態の設定が可能

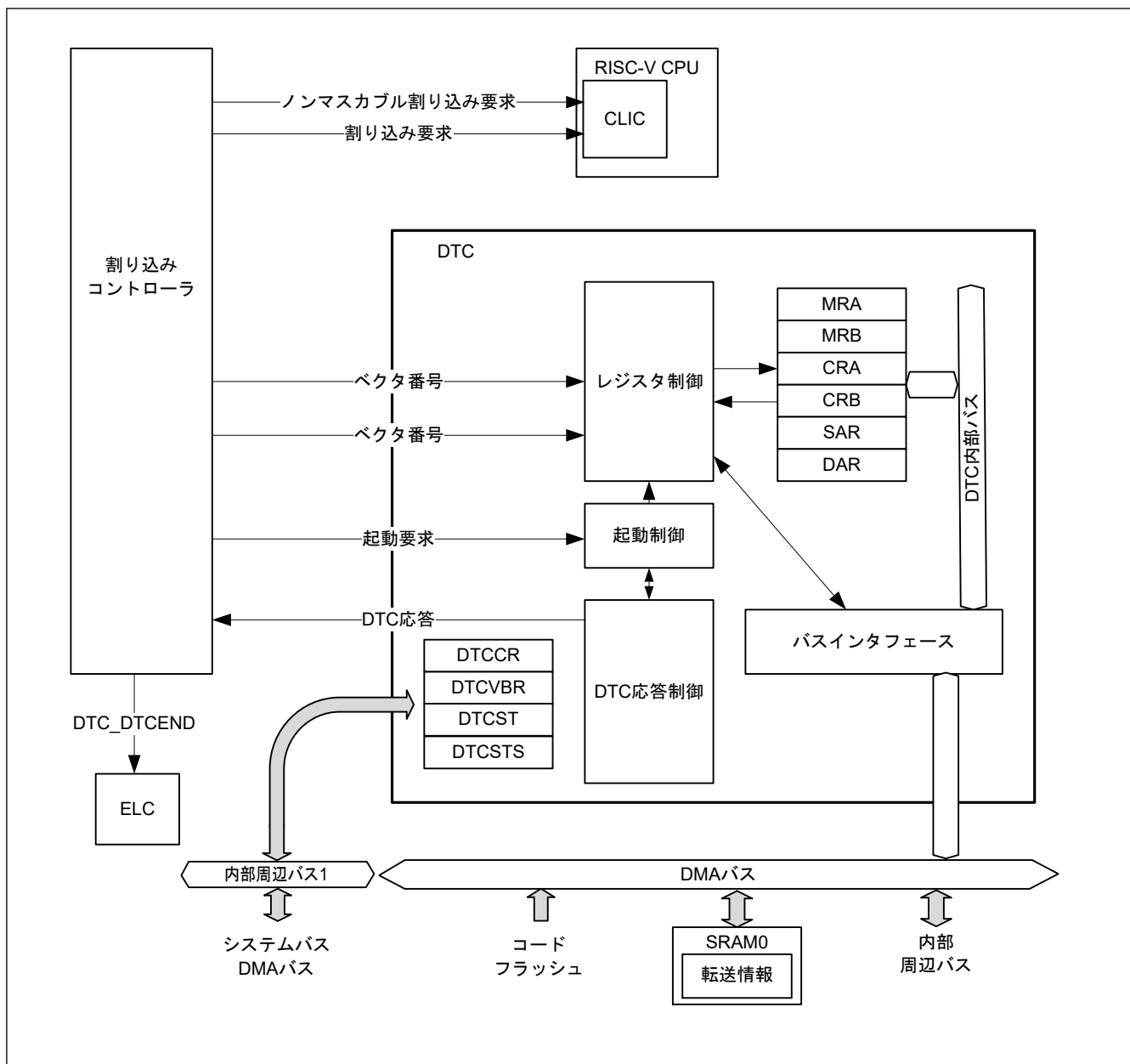


図 14.1 DTC のブロック図

DTC と CLIC (CPU 内) の接続関係については、「12. 割り込みコントローラユニット (ICU)」の「12.1. 概要」を参照してください。

14.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

14.2.1 MRA : DTC モードレジスタ A

Base address: DTCVBR

Offset address: 0x03 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 7 6 5 4 3 2 1 0

Bit field:	MD[1:0]	SZ[1:0]	SM[1:0]	—	—

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 0 1: SAR レジスタはアドレス固定 (SAR レジスタへのライトバックをスキップ) 1 0: 転送後 SAR レジスタをインクリメント: SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント: SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト (8 ビット) 転送 0 1: ハーフワード (16 ビット) 転送 1 0: ワード (32 ビット) 転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域 (転送情報 (n) の開始アドレス+0x03) に MRA レジスタ設定値を設定します。DTC は、SRAM 領域 (転送情報 (n) の開始アドレス+0x03) から、MRA レジスタへ設定値を転送します。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

14.2.2 MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position: 7 6 5 4 3 2 1 0

Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0としてください。リセット後の値は不定値です。	—

ビット	シンボル	機能	R/W
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 0 1: DAR レジスタはアドレス固定 (DAR レジスタへのライトバックをスキップ) 1 0: 転送後 DAR レジスタをインクリメント: MRA.SZ[1:0]ビットが 00b のとき+1 MRA.SZ[1:0] = 01b のとき+2 MRA.SZ[1:0] = 10b のとき+4 1 1: 転送後 DAR レジスタをデクリメント: MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0] = 01b のとき-2 MRA.SZ[1:0] = 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x02）に MRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x02）から、MRB レジスタへ設定値を転送します。「[14.3.1. 転送情報の配置と DTC ベクタテーブル](#)」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

DTS ビット（DTC 転送モード選択）

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット（DTC 割り込み選択）

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット（DTC チェーン転送選択）

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、[表 14.3](#) を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

CHNE ビットはチェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。チェーン転送の詳細については、「[14.4.6. チェーン転送](#)」を参照してください。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。

(2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (-1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

14.2.6 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR

Offset address: 0x0C + 0x4 × ベクタ番号

(CPU から直接アクセス不可。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント (-1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

14.2.7 DTCCR : DTC コントロールレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RRS ビット (DTC 転送情報リードスキップ許可)

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ (CRA レジスタ) が 0 になっている場合と、ブロック転送で転送カウンタ (CRB レジスタ) が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

14.2.8 DTCVBR : DTC ベクタベースアドレス

Base address: DTC = 0x4000_5400

Offset address: 0x04

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス DTC ベクタベースアドレスを設定 (下位 10 ビットは 0 にしてください)	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0x0000_0000~0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

14.2.9 DTCST : DTC モジュール起動レジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0C

Bit position: 7 6 5 4 3 2 1 0

Bit field:

—	—	—	—	—	—	—	DTCST

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DTCST ビット (DTC モジュール起動)

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- ソフトウェアスタンバイモード

これらの遷移については、「[14.9. 低消費電力機能](#)」と「[10. 低消費電力モード](#)」を参照してください。

14.2.10 DTCSTS : DTC ステータスレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中 (ACT フラグが 1 の場合) にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

VECN[7:0]ビット (DTC アクティブベクタ番号モニタ)

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1 (DTC 転送動作中) であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0 (DTC 転送動作なし) であれば、読み出された VECN[7:0]ビットの値は無効です。

ACT フラグ (DTC アクティブフラグ)

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

14.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn レジスタで設定されたセクタ出力番号 n ($n=0\sim31$) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 n に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[4:0] ($n=0\sim31$) ビットによって選択されます。このビットの設定方法については、「[12. 割り込みコントローラユニット \(ICU\)](#)」の「[12.3.2. イベント番号](#)」を参照してください。ソフトウェアによる起動については、「[15.2.2. ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ \$n\$ \(\$n=0, 1\$ \)](#)」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時 (チェーン転送の場合、連続した最後の転送時)、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が発生する

- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

14.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 n を持つ転送情報 n の開始アドレスは、ベクタテーブルのベースアドレス + $4n$ 番地でなければいけません。

図 14.2 に DTC ベクタテーブルと転送情報の対応関係を示します。SRAM 領域上の転送情報の配置を図 14.3 に示します。

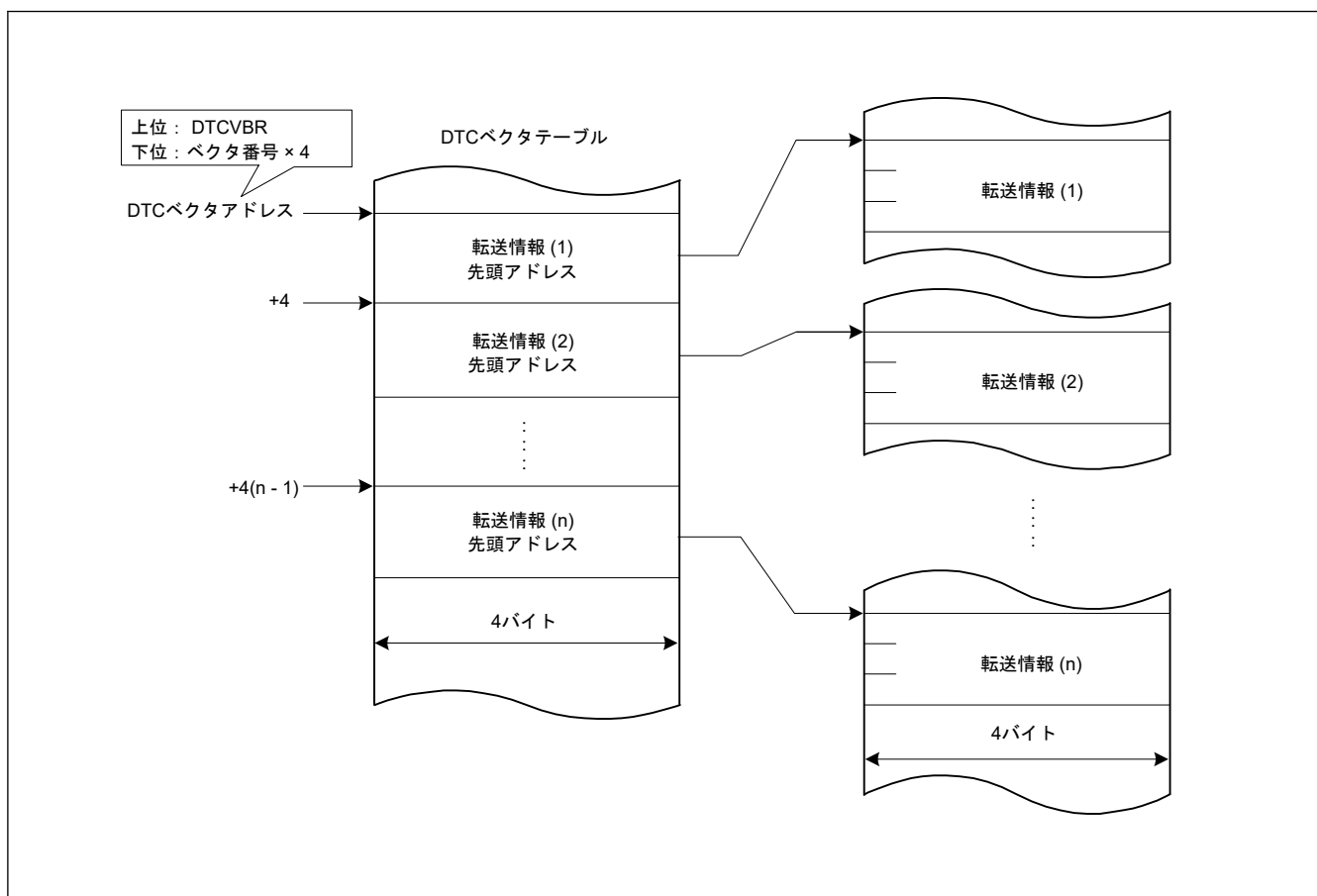


図 14.2 DTC ベクタテーブルと転送情報の対応関係

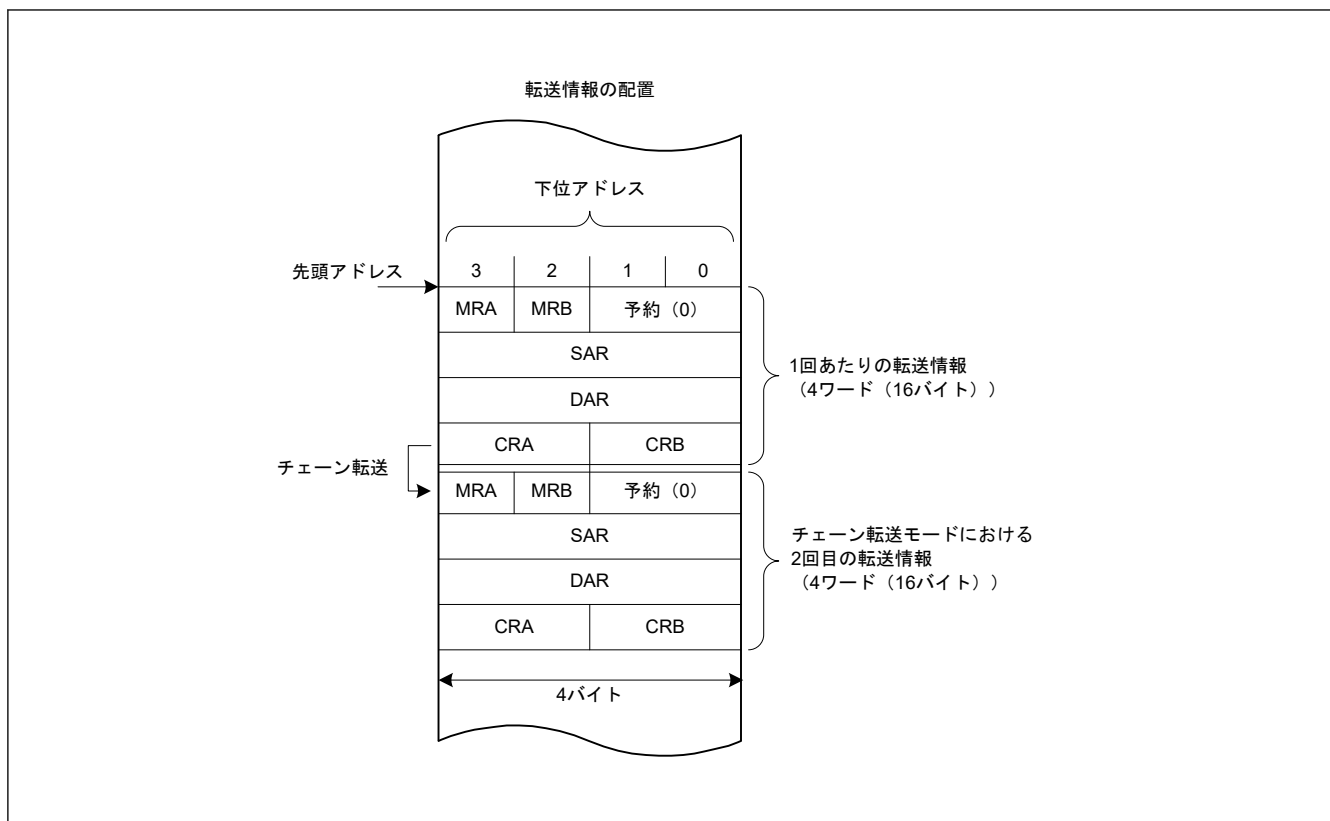


図 14.3 SRAM 領域上の転送情報の配置

14.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 14.2 に DTC の転送モードを示します。

表 14.2 DTC の転送モード

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回
リピート転送モード (注1)	1 バイト (8 ビット) / 1 ハーフワード (16 ビット) / 1 ワード (32 ビット)	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ (1~256 バイト / 1~256 ハーフワード (2~512 バイト) / 1~256 ワード (4~1024 バイト))	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1~65536 回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。

注 2. 転送元または転送先のいずれかをブロック領域に設定します。

注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 14.4 に DTC の動作フローチャートを示します。表 14.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。

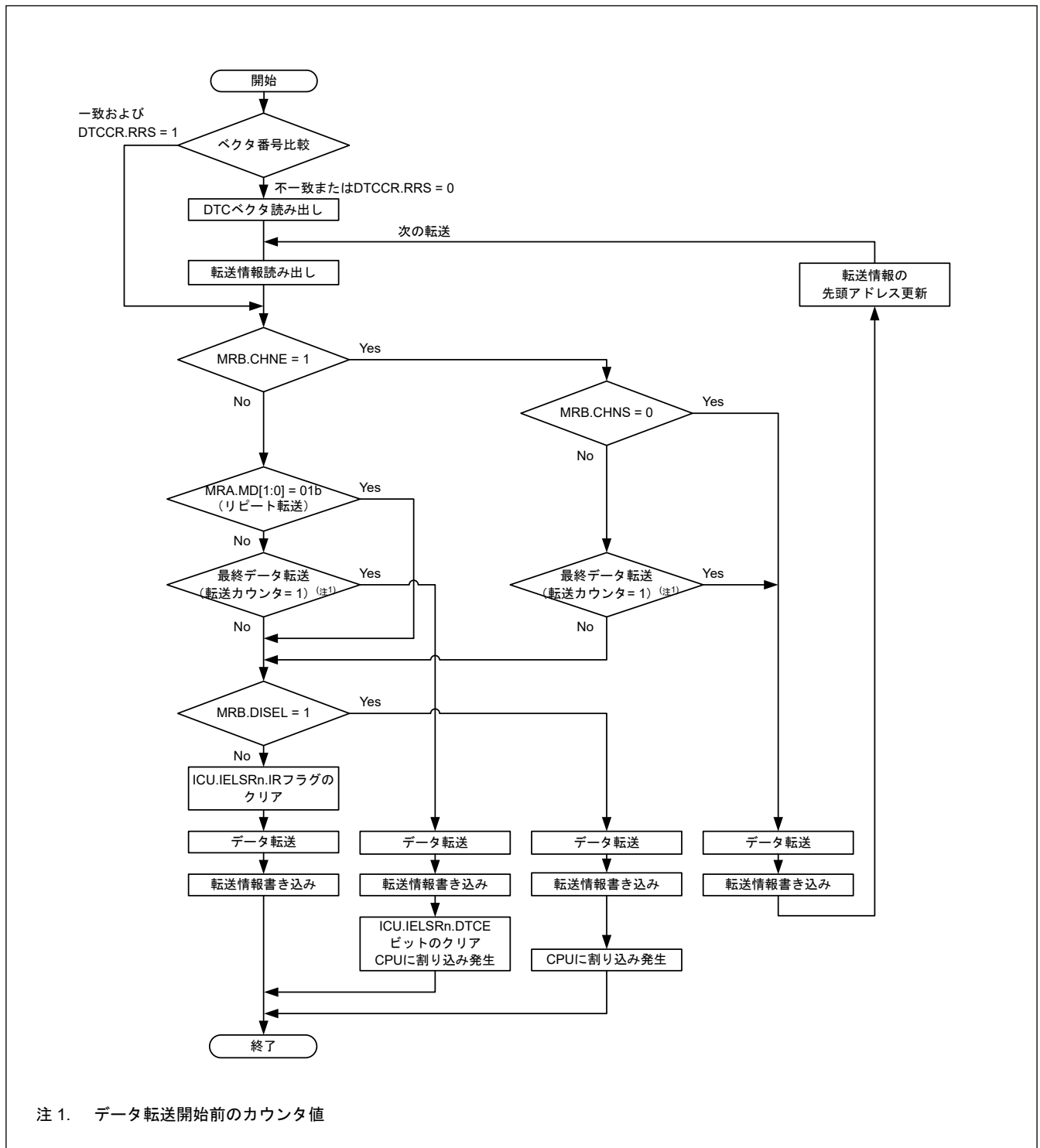


図 14.4 DTC 動作フローチャート

表 14.3 チェーン転送の条件

第 1 転送				第 2 転送 ^(注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ ^{(注1) (注2)}	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ ^{(注1) (注2)}	
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ 割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ 割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。

ノーマル転送モード：CRA レジスタ

リピート転送モード：CRAL レジスタ

ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。

ノーマル転送モードとブロック転送モードでは (1→0)

リピート転送モードでは (1→CRAH)

表中の (1→*) は、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

14.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ (CRA レジスタ) が 0 になっている場合と、前回のブロック転送中に転送カウンタ (CRB レジスタ) が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 14.12 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

14.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。表 14.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされません。

表 14.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

14.4.3 ノーマル転送モード

ノーマル転送モードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット）のデータ転送が可能です。転送回数は1～65536回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

表 14.5 にノーマル転送モードのレジスタ機能を、図 14.5 にノーマル転送モードのメモリマップを示します。

表 14.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定 ^(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定 ^(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

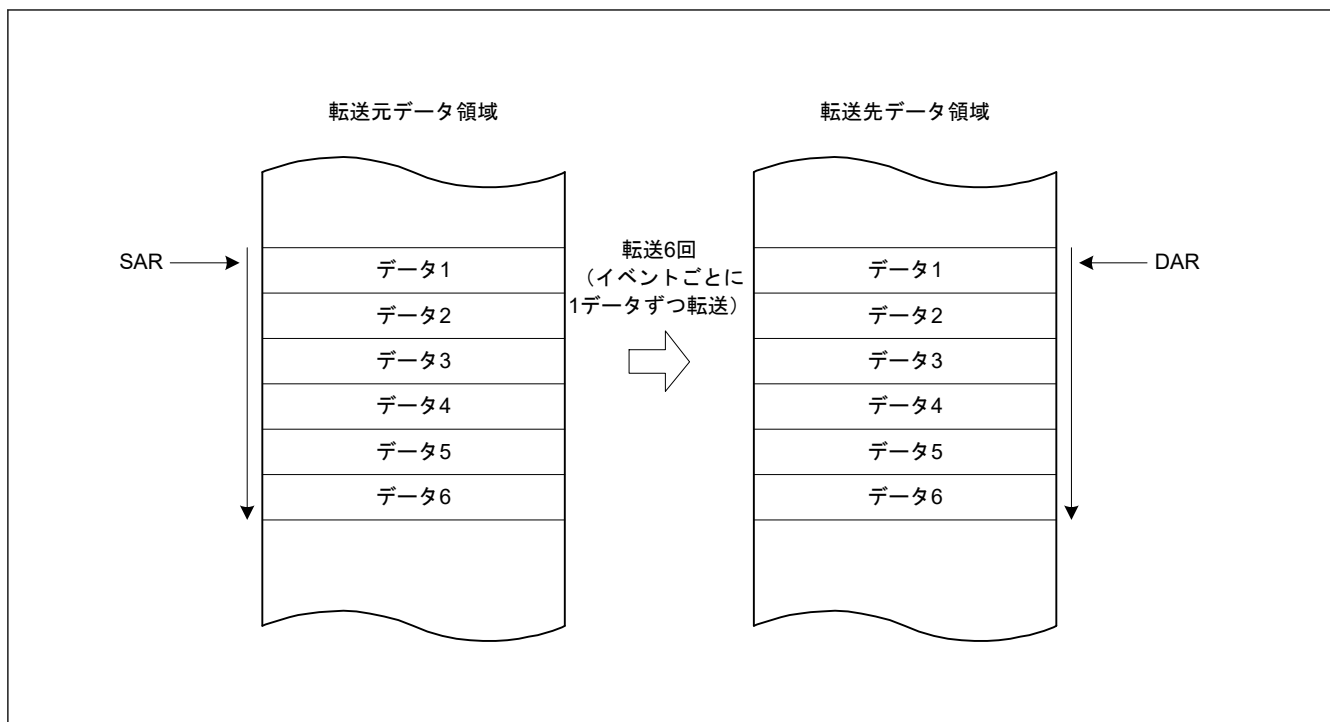


図 14.5 ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

14.4.4 リピート転送モード

このモードでは、1つの起動要因で、1バイト（8ビット）、1ハーフワード（16ビット）、または1ワード（32ビット）のデータ転送が可能です。MRB.DTSビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は1～256回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRALレジスタ）が0x00になると、CRALレジスタの値はCRAHレジスタで設定した値に更新されます。このため、転送カウンタが0x00にならないので、MRB.DISELビットが0になっていると、CPUへの割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPUへの割り込みが発生します。

表 14.6 にリピート転送モードのレジスタ機能を、図 14.6 にリピート転送モードのメモリマップを示します。

表 14.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定 ^(注1)	（MRB.DTS = 0 のとき）インクリメント／デクリメント／固定^(注1) （MRB.DTS = 1 のとき）SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定 ^(注1)	（MRB.DTS = 0 のとき）DAR レジスタの初期値 （MRB.DTS = 1 のとき）インクリメント／デクリメント／固定^(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

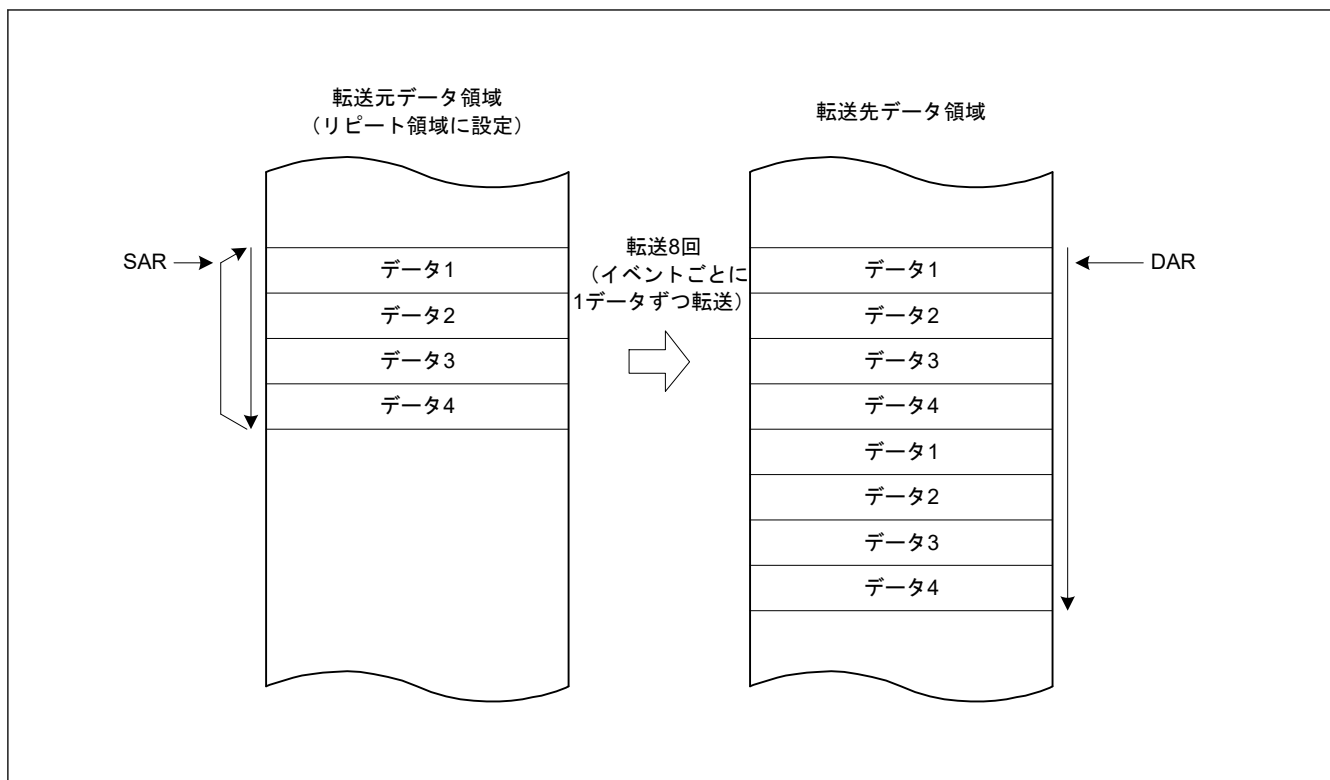


図 14.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合) (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

14.4.5 ブロック転送モード

このモードでは、1つの起動要因で1ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1~256 バイト、1~256 ハーフワード (2~512 バイト)、または1~256 ワード (4~1024 バイト) に設定できます。指定された1ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL レジスタ) と、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが1のときは SAR レジスタ、MRB.DTS ビットが0のときは DAR レジスタ) は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数 (ブロック数) は、1~65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 14.7 にブロック転送モードのレジスタ機能を、図 14.7 にブロック転送モードのメモリマップを示します。

表 14.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	• (MRB.DTS = 0 のとき) インクリメント/デクリメント/固定(注1) • (MRB.DTS = 1 のとき) SAR レジスタの初期値
DAR	転送先アドレス	• (MRB.DTS = 0 のとき) DAR レジスタの初期値 • (MRB.DTS = 1 のとき) インクリメント/デクリメント/固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

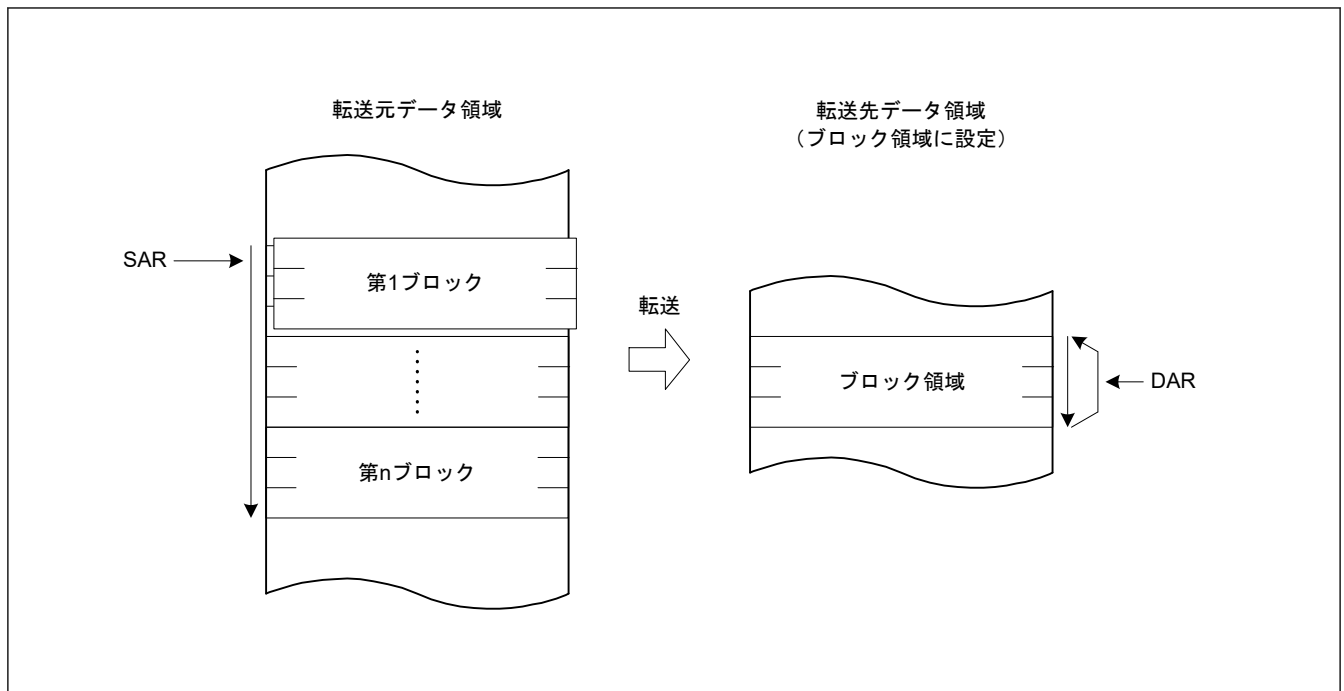


図 14.7 ブロック転送モードのメモリマップ

14.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 14.8 にチェーン転送の動作を示します。

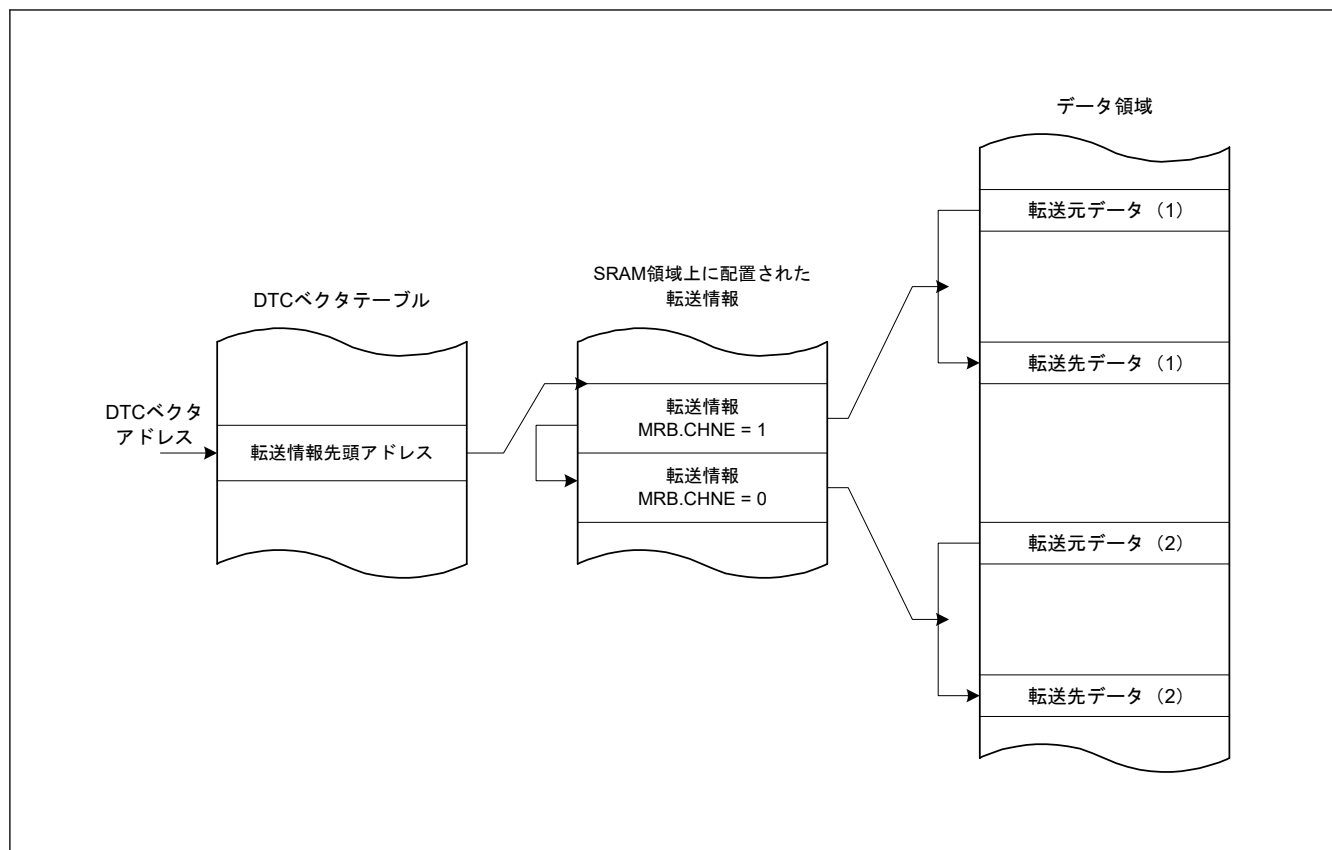


図 14.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 14.3 を参照してください。

14.4.7 動作タイミング

図 14.9～図 14.12 に示すタイミング図は、最小実行サイクル数を示しています。

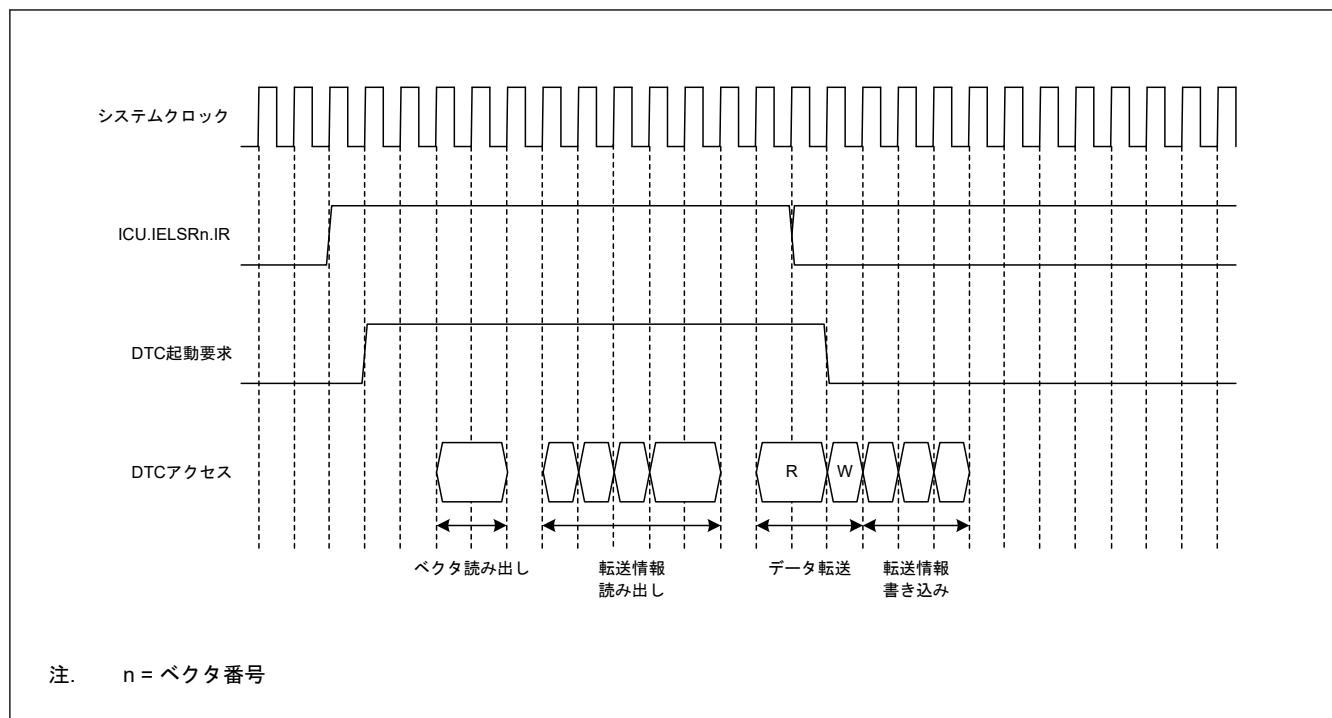


図 14.9 動作タイミング例 (1) (ノーマル転送モード、リピート転送モードの場合)

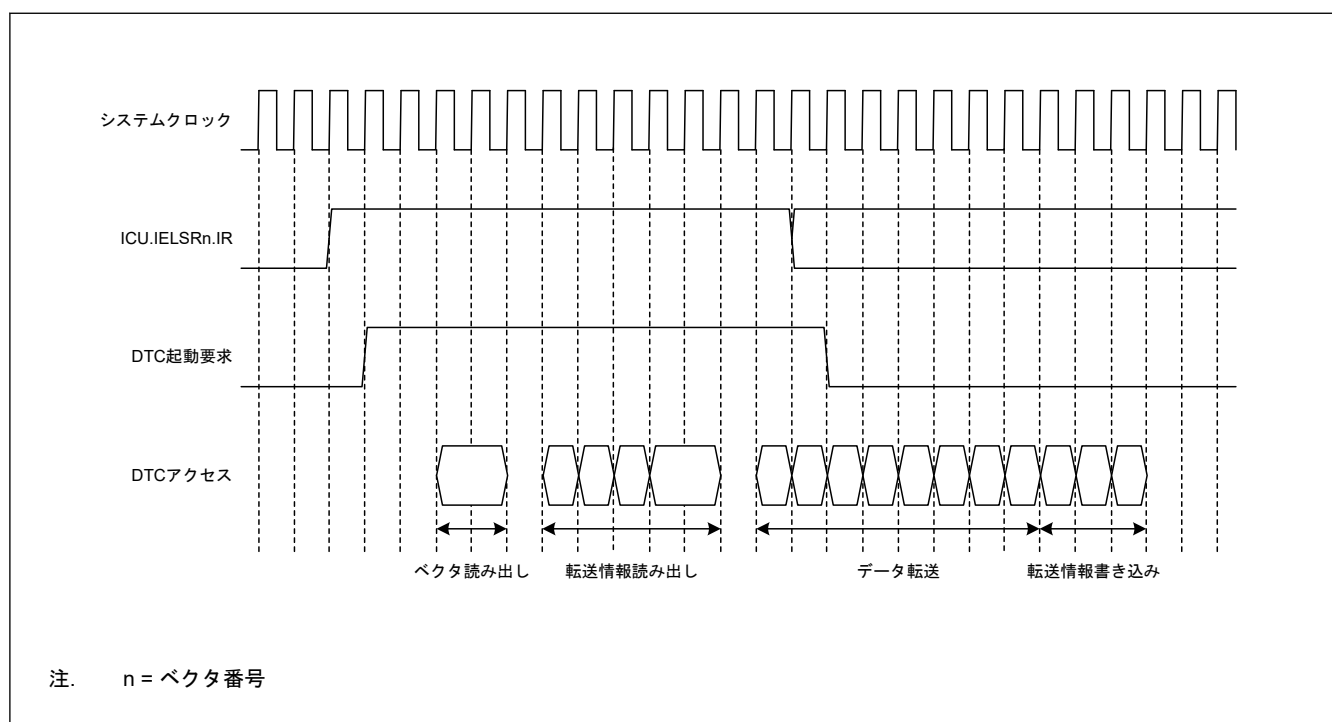


図 14.10 動作タイミング例 (2) (ブロック転送モード、ブロックサイズ = 4 の場合)

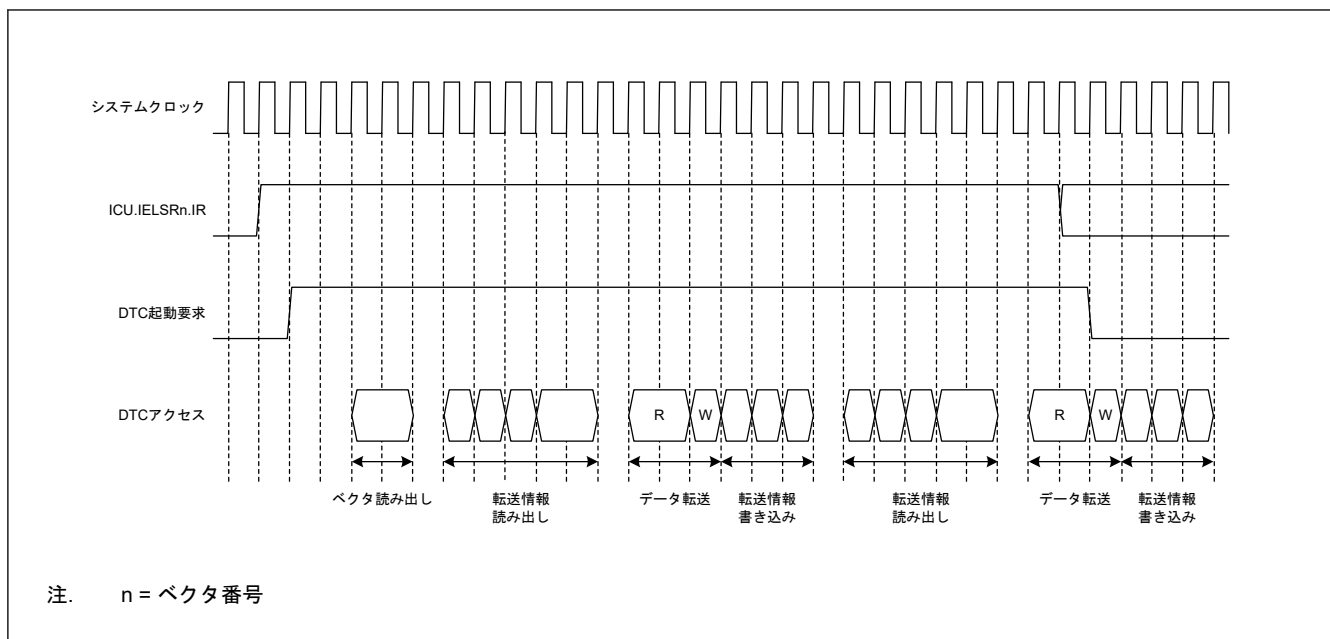


図 14.11 動作タイミング例 (3) (チェーン転送の場合)

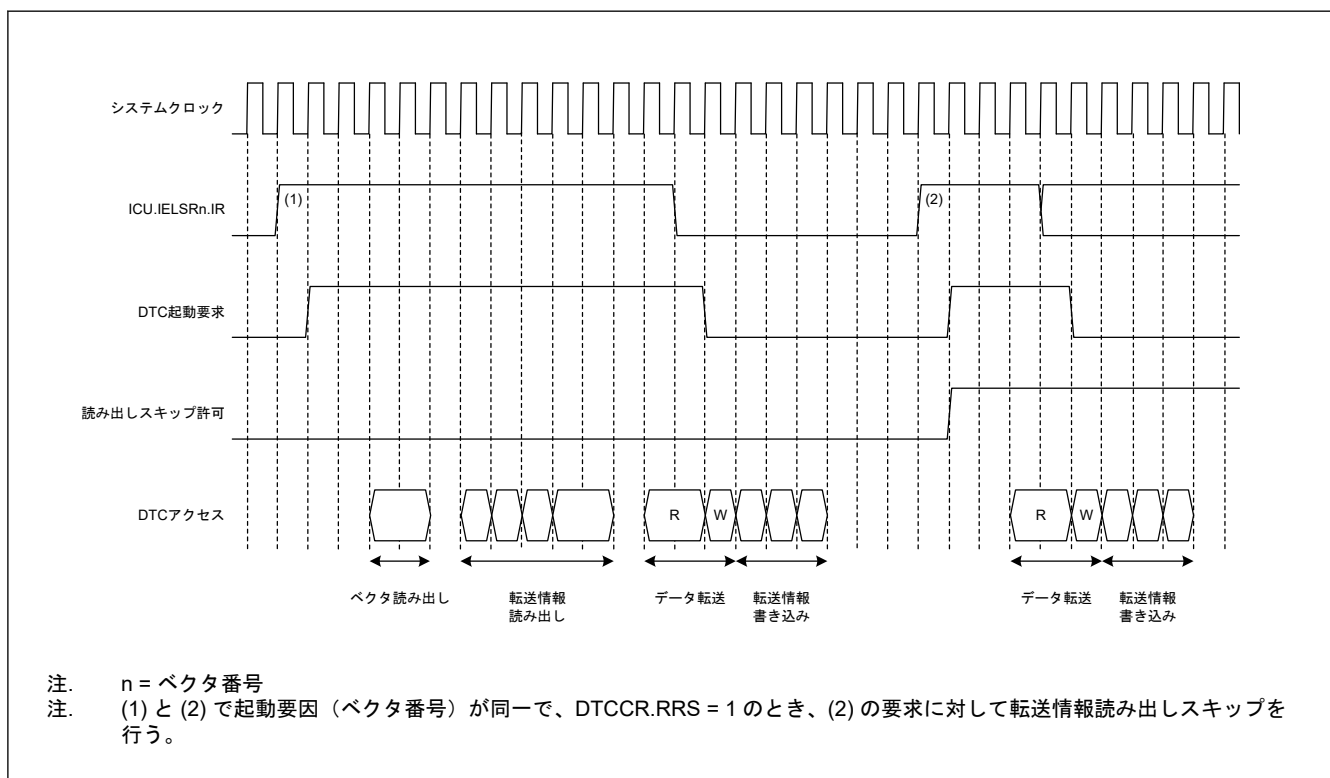


図 14.12 転送情報リードスキップ実行時の動作例 (ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合)

14.4.8 DTC の実行サイクル

表 14.8 に DTC の 1 回のデータ転送の実行サイクルを示します。各実行状態の順序については、「[14.4.7. 動作タイミング](#)」を参照してください。

表 14.8 DTC の実行サイクル

P: ブロックサイズ (CRAH および CRAL レジスタの初期設定値)

Cv: ベクタ転送情報格納先へのアクセスサイクル

Ci: 転送情報格納先アドレスへのアクセスサイクル

Cr: データリード先へのアクセスサイクル

Cw: データライト先へのアクセスサイクル

ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、いずれもシステムクロック (ICLK) です。

Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「34. SRAM」、「35. フラッシュメモリ」および「13. バス」を参照してください。

システムクロックと周辺クロックの周波数比も考慮されています。

DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。

表 14.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	Cr + 1	Cw + 1	2	0(注1)
リピート								Cr + 1	Cw + 1		
ブロック(注5)								P × Cr	P × Cw		

注 1. 転送情報がリードスキップされる場合

注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合

注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合

注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合

注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

14.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「13. バス」を参照してください。

14.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。ICU.IELSRn.IELS[4:0] ビットを 0 にしてください。また、CLIC で割り込みを禁止して、表 14.9 の設定を行ってください。

表 14.9 DTC の設定手順 (1/2)

No.	手順	内容
1	DTCCR.RRS ビットを 0 に設定する。	DTCCR.RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したとき、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「14.2. レジスタの説明」を参照してください。転送情報の配置方法は、「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「14.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR.RRS ビットを 1 に設定する。	DTCCR.RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットは 1 に設定できますが、DTC 転送中の設定は、次の転送から有効になります。
5	ICU.IELSRn.DTCE ビットを 1 にします。 ICU.IELSRn.IELS[4:0] ビットを割り込み要因として設定します。この割り込みは CLIC で許可に設定する必要があります。	ICU.IELSRn.DTCE ビットを 1 にしてください。また、DTC の起動トリガとなる割り込み要因として ICU.IELSRn.IELS[4:0] ビットを設定してください。この割り込みは CLIC で許可に設定する必要があります。「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。

表 14.9 DTC の設定手順 (2/2)

No.	手順	内容
7	DTCST.DTCST ビットを 1 にします。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。

14.6 DTC の使用例

14.6.1 ノーマル転送

ここでは、DTC の使用例として、SAU から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0 および MRB.DISEL = 0) を設定します。MRB.DTS ビットおよび CHNS ビットは任意の値を設定できます。SAR レジスタには SAU の SDRmn レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

SAU 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SAU 割り込みとして ICU.IELSRn.IELS[4:0] ビットを設定します。この割り込みは CLIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SAU の設定

SAU の SMRmn.MD0 ビットを 0 にして SAUm_ENDIn 割り込みを許可します。SAU の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるような設定を使用してください。

(5) DTC 転送

SAU が 1 バイトのデータ受信を完了するごとに SAUm_ENDIn 割り込みが発生し、DTC が起動します。DTC によって、受信データが SAU の SDRmn レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する SAUm_ENDIn 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11

14.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、タイマアレイユニット (TAU) によってパルスを出力する場合を示します。チェーン転送を利用して、コンペアデータを転送し、TAU 用マルチ PWM 出力の周期を変更することができます。

チェーン転送の最初の転送には、TDR0n レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、TDR0p レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、TDR0q レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、TDR0n レジスタによるタイマ割り込みの使用方法を説明します。

(1) 第1転送情報の設定

TDR0n レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ハーフワード転送 (MRA.SZ[1:0] = 01b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに TDR0n レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第2転送情報の設定

TDR0p レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ハーフワード転送 (MRA.SZ[1:0] = 01b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに TDR0p レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第3転送情報の設定

TDR0q レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ハーフワード転送 (MRA.SZ[1:0] = 01b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、1回の割り込みで1回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに TDR0q レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

TDR0q レジスタへの転送で使用する転送情報は、TDR0n レジスタと TDR0p レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、TDR0n レジスタと TDR0p レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. タイマ割り込み (TAU0_ENDIn) に関連する ICU.IELSRx.DTCE ビットを設定します。
2. ICU.IELSRx.IELS[4:0] ビットを設定し、タイマ割り込み (TAU0_ENDIn) を指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) TAU の設定

詳細は、「[18.8.3. マルチ PWM 出力機能の動作](#)」を参照してください。

1. TDR0p レジスタと TDR0q レジスタがアウトプットコンペアレジスタとして動作できるように、TOE0 レジスタと TOM0 レジスタを設定します。
2. TDR0p レジスタおよび TDR0q レジスタにデフォルトの比較値を設定します。
3. TDR0n レジスタにデフォルトの周期値を設定します。
4. PghPFS.PDR の出力ビットを 1 にして、PghPFS.PSEL[4:0] の周辺モジュール選択ビットを 11001b にします。

(8) TAU の起動

TS0.TS[n]、TS[p]、および TS[q] ビットを 1 にして、TCR0n、TCR0p、および TCR0q カウンタを開始します。

(9) DTC 転送

TDR0n レジスタでタイマ割り込み (TAU0_ENDIn) が発生するたびに、次の比較値が TDR0p レジスタと TDR0q レジスタに転送されます。

(10) 割り込み処理

指定した回数の転送終了後 (たとえば、TAU 転送用 CRA レジスタの値が 0 になると)、CPU に対して TAU タイマ割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

14.6.3 転送カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 転送の転送カウンタが 0 になったときにだけ実行されます。第 1 転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 14.13 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
 - (a) 転送元アドレス = 固定
 - (b) CRA = 0x0200 (512 回)
 - (c) MRB.CHNE = 1 (チェーン転送許可)
 - (d) MRB.CHNS = 1 (転送カウンタが 0 の場合のみチェーン転送を行う)
 - (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域 (コードフラッシュメモリなど) に用意してください。たとえば、入力バッファを 0x8000~0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
 - (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード (転送元および転送先アドレスは固定) に設定
 - (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
 - (c) MRB.CHNE = 1 (チェーン転送許可)
 - (d) MRB.CHNS = 0 (連続チェーン転送を選択)
 - (e) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
 - (f) CRA = 0x0101 (転送回数は 1 回)
4. 第 3 転送は以下のように設定してください。
 - (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード (転送元をリピート領域) に設定
 - (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
 - (c) MRB.CHNE = 0 (チェーン転送禁止)
 - (d) MRB.DISEL = 0 (指定されたデータ転送の終了時、CPU への割り込み要求が発生)
 - (e) 入力バッファを 0x8000~0x83FF にした場合は、転送カウンタ = 2

5. 1回の割り込みで、第1転送が512回実行されます。第1転送の転送カウンタが0になると、第2転送がスタートします。第1転送の転送カウンタを0x0200にしてください。第1転送の転送先アドレスの下位8ビット（転送カウンタ）は0x0200になっています。
6. 1回の割り込みで、第2転送が1回実行されます。第1転送の転送カウンタが0になると、第3転送がスタートします。第1転送の転送先アドレスの上位8ビットを0x82にしてください。転送先アドレスの下位8ビットは0x00、第1転送の転送カウンタは0x0200になっています。
7. 引き続き1回の割り込みで、第1転送用に指定された512回だけ、第1転送が実行されます。第1転送の転送カウンタが0になると、第2転送がスタートします。第1転送の転送カウンタを0x0200にしてください。第1転送の転送先アドレスの下位8ビット（転送カウンタ）は0x0200になっています。
8. 1回の割り込みで、第2転送が1回実行されます。第1転送の転送カウンタが0になると、第3転送がスタートします。第1転送の転送先アドレスの上位8ビットを0x80にしてください。転送先アドレスの下位8ビットは0x00、第1転送の転送カウンタは0x0200になっています。
9. 手順5と8が無限に繰り返されます。第2転送はリピート転送モードのため、CPUへの割り込み要求は発生しません。

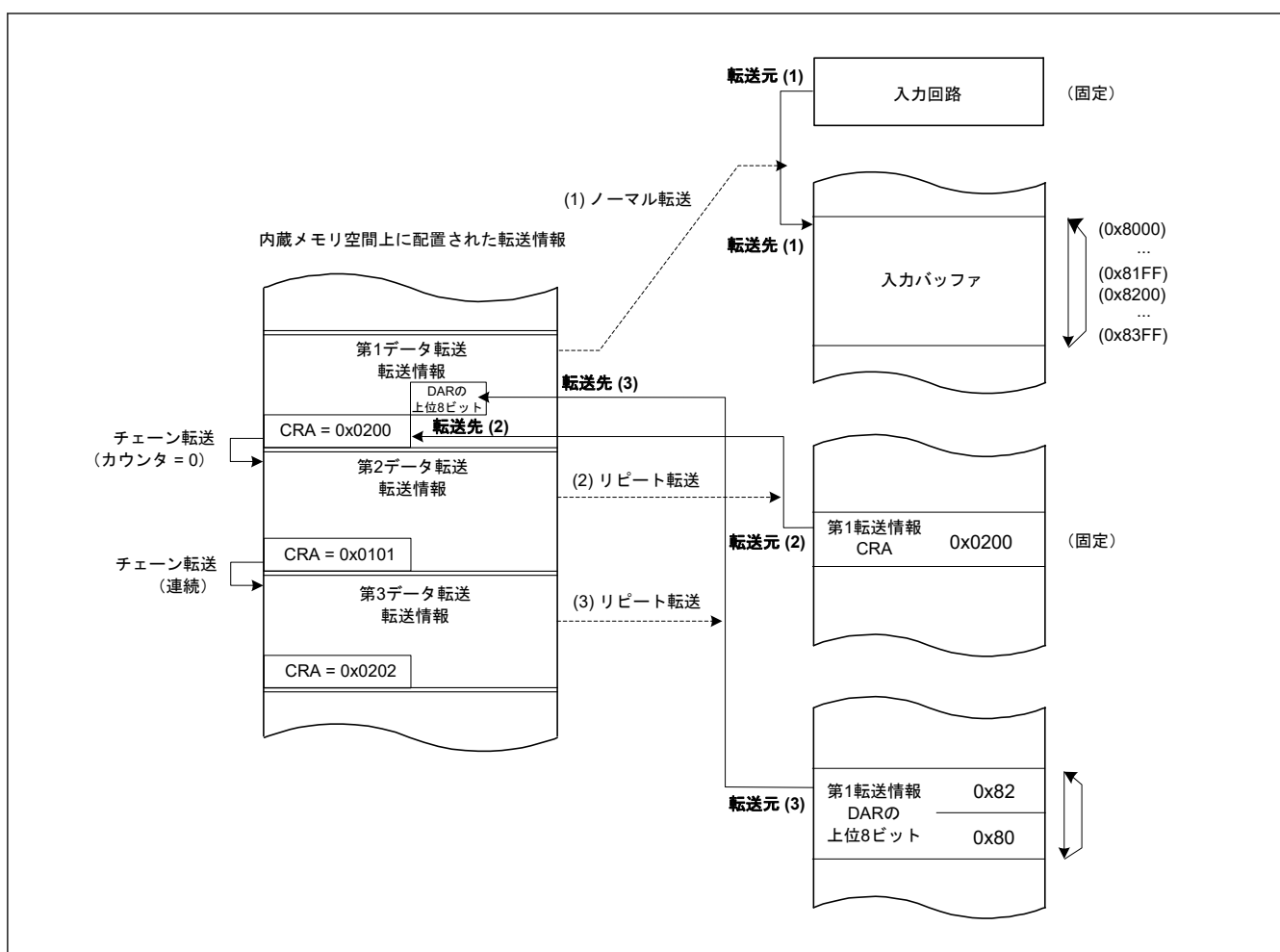


図 14.13 転送カウンタ = 0 のときのチェーン転送

14.7 割り込み

14.7.1 割り込み要因

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み（チャンネルごと）と、イベント信号 DTC_COMPLETE に起因する割り込み（全チャンネル共通）の 2 種類の割り込みが使用可能です。CPU に対する割り込みは、CLIC および ICU.IELSRn.IELS[4:0] ビットの設定に従って制御されま

す。「12. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決まる起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、CLIC の優先順位で決定されます。

14.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

14.9 低消費電力機能

モジュールストップ状態またはソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。「10. 低消費電力モード」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。
MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。
MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード

「10.7.1. ソフトウェアスタンバイモードへの遷移」の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

低消費電力モードから復帰した後に、DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「12.4.2. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

14.10 使用上の注意

14.10.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

15. イベントリンクコントローラ (ELC)

15.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 15.1 に ELC の仕様を、図 15.1 にブロック図を示します。

表 15.1 ELC の仕様

項目	内容
イベントリンク機能	52 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能

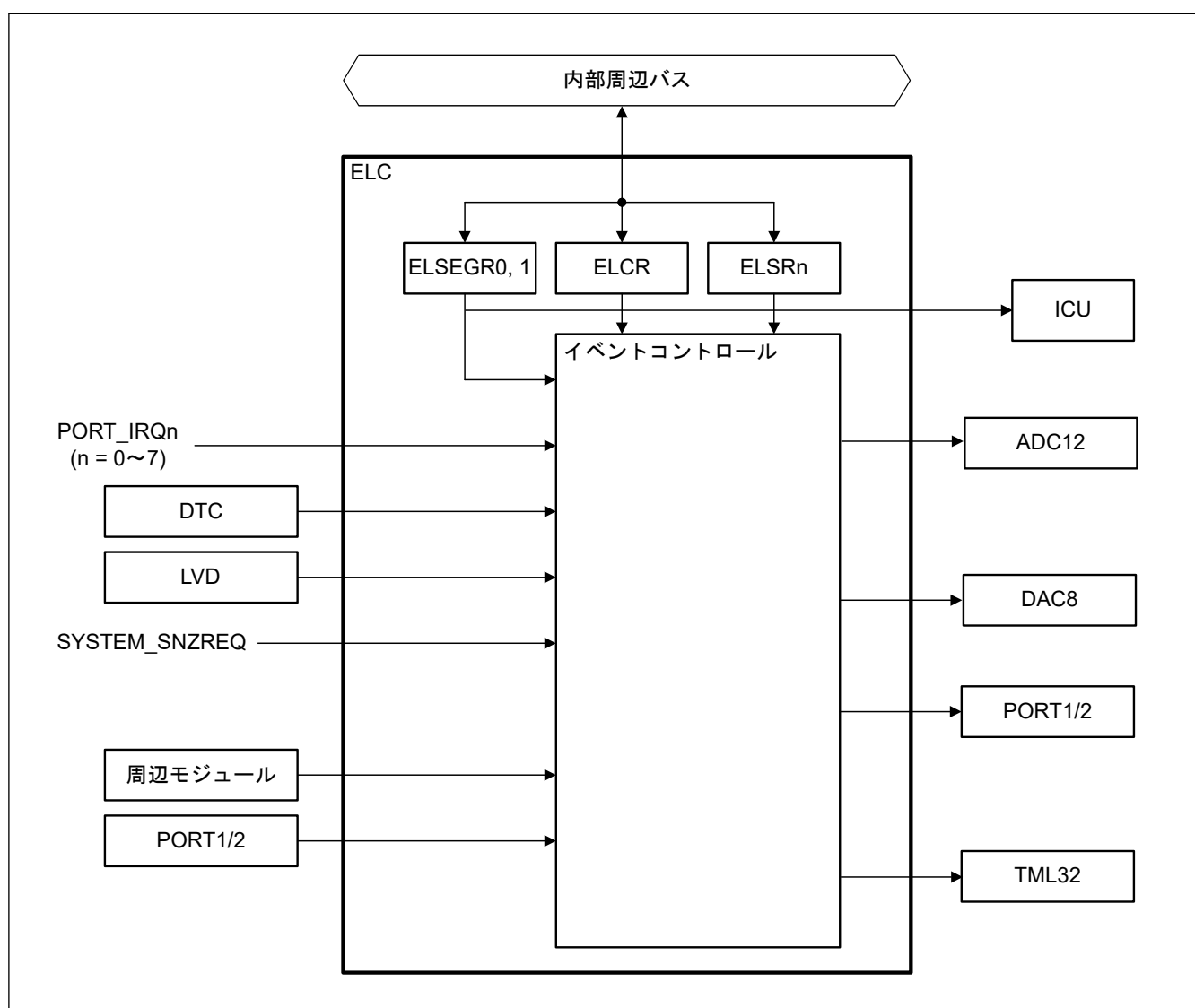


図 15.1 ELC のブロック図

15.2 レジスタの説明

15.2.1 ELCR : イベントリンクコントローラレジスタ

Base address: ELC = 0x4004_1000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCON	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク許可 0: ELC 機能は無効 1: ELC 機能は有効	R/W

ELCR レジスタは、ELC の動作を制御します。

15.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)

Base address: ELC = 0x4004_1000

Offset address: 0x02 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

SEG ビット (ソフトウェアイベント発生)

WE ビットが 1 の状態で、SEG ビットに 1 を書くと、ソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットに書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット (SEG ビット書き込み許可)

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、本ビットに書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、0 を書いたとき

WI ビット (ELSEGR レジスタ書き込み禁止)

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE ビットまたは SEG ビットを設定する必要があります。

15.2.3 ELSRn : イベントリンク設定レジスタ n (n = 8, 14, 15, 19, 20, 23)

Base address: ELC = 0x4004_1000

Offset address: 0x10 + 0x04 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ELS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	ELS[7:0]	イベントリンク選択 0x00: 対応する周辺モジュールへのイベント出力は禁止 0x01: リンクするイベント信号の番号を指定 ⋮ 0xAA: リンクするイベント信号の番号を指定 その他: 設定禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ELSRn レジスタは、各周辺モジュールに対してリンクするイベント信号を指定します。表 15.2 に、ELSRn レジスタと周辺モジュールの対応を示します。表 15.3 に、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を示します。

表 15.2 ELSRn レジスタと周辺機能の対応

レジスタ名称	周辺機能 (モジュール)	イベント名
ELSR8	ADC12	ELC_AD00
ELSR14	PORT1	ELC_PORT1
ELSR15	PORT2	ELC_PORT2
ELSR19	DAC8ch1	ELC_DAC8ch1
ELSR20	DAC8ch0	ELC_DAC8ch0
ELSR23	TML32	ELC_TML32

表 15.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (1/3)

イベント番号	割り込み要求発生元	名称	内容
0x01	ポート	PORT_IRQ0 ^(注1)	外部端子割り込み 0
0x02		PORT_IRQ1 ^(注1)	外部端子割り込み 1
0x03		PORT_IRQ2 ^(注1)	外部端子割り込み 2
0x04		PORT_IRQ3 ^(注1)	外部端子割り込み 3
0x05		PORT_IRQ4 ^(注1)	外部端子割り込み 4
0x06		PORT_IRQ5 ^(注1)	外部端子割り込み 5
0x07		PORT_IRQ6 ^(注1)	外部端子割り込み 6
0x08		PORT_IRQ7 ^(注1)	外部端子割り込み 7
0x0A	DTC	DTC0_DTCEND ^(注3)	DTC 転送終了

表 15.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (2/3)

イベント番号	割り込み要求発生元	名称	内容
0x0D	LVD	LVD_LVD1	電圧監視 1 割り込み
0x0E		LVD_LVD2	電圧監視 2 割り込み
0x10	低消費電力モード	SYSTEM_SNZREQ ^(注2) (注3)	スヌーズエントリ
0x11	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x12	WDT	WDT_NMIUNDF	WDT アンダーフロー
0x13	RTC	RTC_ALM_OR_PRD	アラーム、固定周期割り込み信号
0x2B	IICA	IIC0_ENDI/IIC0_WUI	IICA0 通信完了／アドレス一致ウェイクアップ
0x2C		IIC1_ENDI/IIC1_WUI	IICA1 通信完了／アドレス一致ウェイクアップ
0x34	I/O ポート	IOPORT_GROUP1	ポート 1 イベント
0x35		IOPORT_GROUP2	ポート 2 イベント
0x39	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x3A		ELC_SWEVT1	ソフトウェアイベント 1
0x3B	SAU	SAU0_ENDI0	UART0 送信転送終了またはバッファ空き割り込み／SPI00 転送終了またはバッファ空き割り込み／IIC00 転送終了
0x3C		SAU0_ENDI1	UART0 受信転送終了／SPI01 転送終了またはバッファ空き割り込み／IIC01 転送終了
0x3D		SAU0_ENDI2	UART1 送信転送終了またはバッファ空き割り込み／SPI10 転送終了またはバッファ空き割り込み／IIC10 転送終了
0x3E		SAU0_ENDI3	UART1 受信転送終了／SPI11 転送終了またはバッファ空き割り込み／IIC11 転送終了
0x3F		SAU1_ENDI0	UART2 送信転送終了またはバッファ空き割り込み／SPI20 転送終了またはバッファ空き割り込み／IIC20 転送終了
0x40		SAU1_ENDI1	UART2 受信転送終了／SPI21 転送終了またはバッファ空き割り込み／IIC21 転送終了
0x43		SAU0_INTSRE0	UART0 受信通信エラー発生
0x44		SAU0_INTSRE1	UART1 受信通信エラー発生
0x45		SAU1_INTSRE2	UART2 受信通信エラー発生
0x47	TAU	TAU0_ENDI0	カウント／キャプチャ完了時の割り込み
0x48		TAU0_ENDI1	カウント／キャプチャ完了時の割り込み
0x49		TAU0_ENDI2	カウント／キャプチャ完了時の割り込み
0x4A		TAU0_ENDI3	カウント／キャプチャ完了時の割り込み
0x4B		TAU0_ENDI4	カウント／キャプチャ完了時の割り込み
0x4C		TAU0_ENDI5	カウント／キャプチャ完了時の割り込み
0x4D		TAU0_ENDI6	カウント／キャプチャ完了時の割り込み
0x4E		TAU0_ENDI7	カウント／キャプチャ完了時の割り込み
0x4F		TAU0_MODE8_ENDI1	8 ビットモード選択時、チャンネル 1 でカウント／キャプチャ完了時の割り込み
0x50		TAU0_MODE8_ENDI3	8 ビットモード選択時、チャンネル 3 でカウント／キャプチャ完了時の割り込み
0x5B	TML32	TML32_OUTI	割り込み出力

表 15.3 ELSRn.ELS[7:0]ビットに設定するイベント信号名と信号番号の対応 (3/3)

イベント番号	割り込み要求発生元	名称	内容
0x5D	UARTA	UARTA_TX_ENDI0	送信転送完了、バッファ空き割り込み
0x5E		UARTA_RX_ENDI0	受信転送完了割り込み
0x5F		UARTA_RX_ERI0	受信転送完了通信エラー発生割り込み
0x60		UARTA_TX_ENDI1	送信転送完了、バッファ空き割り込み
0x61		UARTA_RX_ENDI1	受信転送完了割り込み
0x62		UARTA_RX_ERI1	受信転送完了通信エラー発生割り込み
0x63	CMP	COMP_DET0	コンパレータ検出 0
0x64		COMP_DET1	コンパレータ検出 1
0x65	ADC12	ADC_ENDI	A/D 変換終了
0x69	DOC	DOC_DOPCI(注3)	データ演算回路割り込み

注 1. パルス（エッジ検出）のみがサポートされています。

注 2. ELSR8, 14, 15, 23 が、このイベントを選択できます。

注 3. このイベントはスヌーズモードで発生します。

15.3 動作説明

15.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

15.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) にトリガとして設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 15.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 15.4 イベント発生時のモジュール動作

モジュール	イベント入力時の動作
ADC12	A/D 変換開始
I/O ポート	- EORR（リセット）または EOSR（セット）に基づく端子出力の変化 - 端子状態を EIDR にラッチ - ELC で使用可能なポート ポート 1 ポート 2
TML32	カウンタ動作開始
DAC8	D/A 変換開始

15.3.3 イベントリンクの動作設定手順例

イベントリンクの手順は以下の通りです。

1. イベントをリンクするモジュールの動作を設定してください。
2. イベントをリンクするモジュールに対して、ELSRn.ELS[7:0]ビットを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にしてください。
4. イベント出力元モジュールの設定を行い、モジュールを起動させてください。これにより、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS ビットを 0 にします。また、ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

LVD のイベントリンク出力機能を使用する場合は、LVD の設定を行った後、ELC を設定してください。LVD を無効にするには、対応する ELSRn レジスタを 0x00 にしてから実施してください。

15.4 使用上の注意事項

15.4.1 DTC 転送終了のイベントリンクを使用する場合

DTC 転送終了のイベントリンクを使用する場合、DTC 転送先とイベントリンク先を同一の周辺モジュールに設定しないでください。設定すると周辺モジュールへの DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

15.4.2 クロックの設定

イベントリンクを使用するには、ELC と対象モジュールを動作可能な状態にしなければなりません。対象モジュールがモジュールストップ状態の場合、または対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。

モジュールによっては、スヌーズモードで動作できるものもあります。詳細は、表 15.3 と「10. 低消費電力モード」を参照してください。

15.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を許可または禁止することができます。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細は、表 15.3 と「10. 低消費電力モード」を参照してください。

15.4.4 ELC 遅延時間

図 15.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 15.5 に ELC 遅延時間を示します。

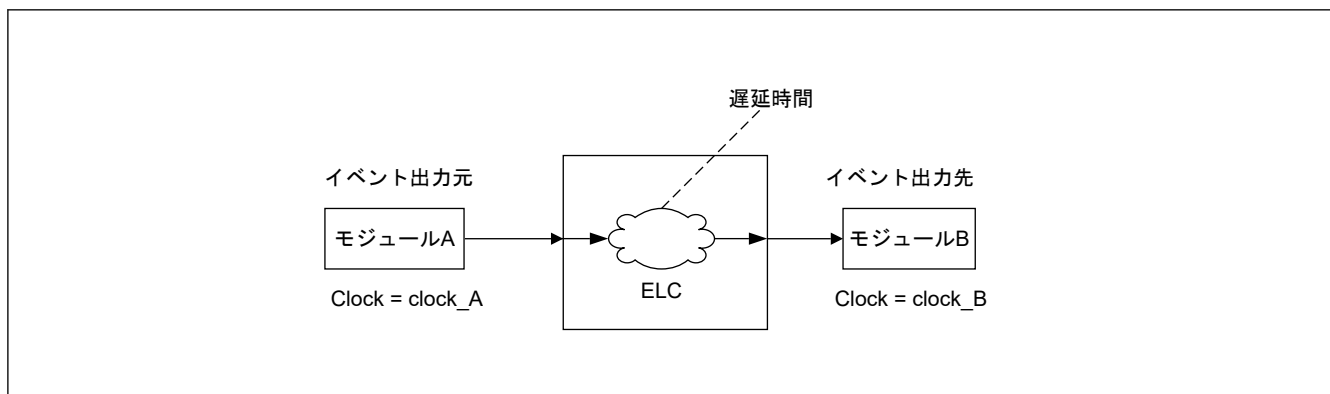


図 15.2 ELC 遅延時間

表 15.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1～2 サイクル
	clock_A > clock_B	clock_B 1～2 サイクル
	clock_A < clock_B	clock_A 1～2 サイクル

16. I/O ポート

16.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、関連するレジスタで指定されます。

図 16.1 に、I/O ポートレジスタの接続図を示します。パッケージによって I/O ポートの構成は異なります。表 16.1 にパッケージ別の I/O ポートの仕様を、表 16.2 に I/O ポートの機能を示します。

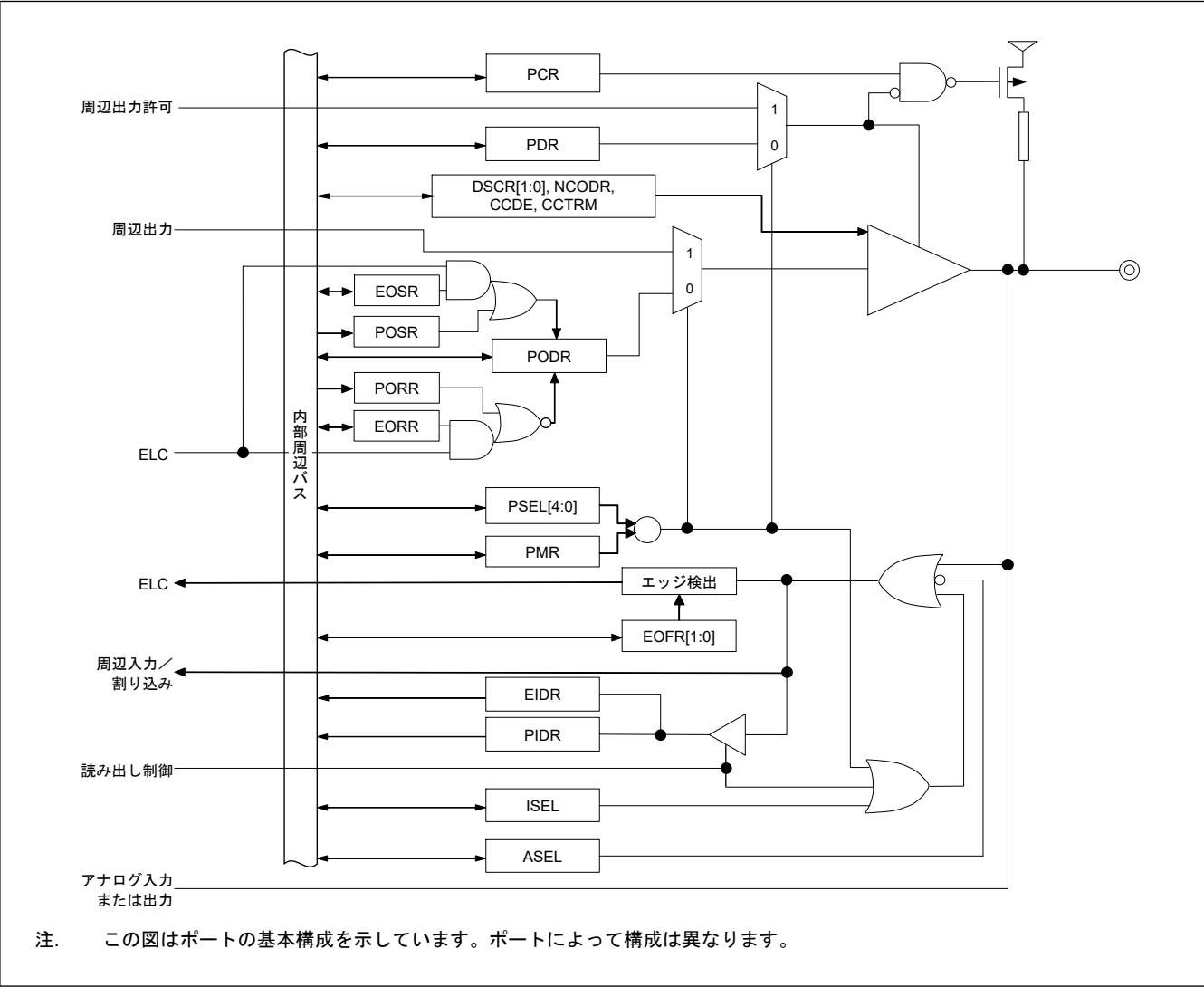


図 16.1 I/O ポートレジスタの接続図

表 16.1 に I/O ポートの仕様を、表 16.2 に I/O ポートの機能を示します。

表 16.1 I/O ポートの仕様 (1/2)

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	48 ピン QFN	端子数	32 ピン QFN	端子数	24 ピン QFN	端子数	16 ピン WLCSP	端子数
ポート 0	P000~P003、 P006~P011	10	P000~P003、 P006~P007	6	P000~P003	4	P000~P003	4
ポート 1	P100~P111	12	P100~P111	12	P100~P107	8	P100、P107	2

表 16.1 I/O ポートの仕様 (2/2)

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	48 ピン QFN	端子数	32 ピン QFN	端子数	24 ピン QFN	端子数	16 ピン WLCSP	端子数
ポート 2	P200~P207	8	P200~P203	4	P200、P203	2	P200、P203	2
ポート 3	P300~P307	8	P300~P303	4	P300~P303	4	P300~P303	4
ポート 4	P400~P403	4	—	—	—	—	—	—

表 16.2 I/O ポートの機能

ポート	ポート名	電流制御	入力プルアップ	オープンドレイン 出力	5 V トレラント	入力/出力
ポート 0	P000~P001	—	✓	✓	—	入出力
	P002~P003、 P006~P007	—	✓	—	—	入出力
	P008~P009	—	✓	✓	—	入出力
	P010~P011	—	✓	✓	✓	入出力
ポート 1	P100	✓	✓	✓	—	入出力
	P101~P103	—	✓	✓	✓	入出力
	P104~P111	—	✓	✓	—	入出力
ポート 2	P200	—	—	—	—	入力
	P201~P207	—	✓	✓	—	入出力
ポート 3	P300	—	✓	✓	—	入出力
	P301	—	✓	✓	—	入出力
	P302~P303	✓	✓	✓	—	入出力
	P304~P308	—	✓	✓	—	入出力
ポート 4	P400~P401	—	✓	—	—	入出力
	P402~P403	—	✓	✓	—	入出力

注. ✓ : 利用可能
 — : 設定禁止

16.2 レジスタの説明

16.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1

Base address: PORTi = 0x4004_0000 + 0x0020 × i (i = 0, 3, 4)
 PORTj = 0x4004_0000 + 0x0020 × j (j = 1, 2)

Offset address: 0x000 (PCNTR1/PODR)
 0x002 (PDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR1 5	PDR1 4	PDR1 3	PDR1 2	PDR11	PDR1 0	PDR0 9	PDR0 8	PDR0 7	PDR0 6	PDR0 5	PDR0 4	PDR0 3	PDR0 2	PDR0 1	PDR0 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15~PDR00	端子と端子方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W

ビット	シンボル	機能	R/W
31:16	PODR15~PODR00	端子と端子出力データ 0: Low 出力 1: High 出力	R/W

注. $i = 0, 3 \sim 4, j = 1 \sim 2, n = 00 \sim 15$

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ポート方向およびポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn (PCNTR1 のビット[15:0]) および PODRn (PCNTR1 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット (端子と端子方向)

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTi.PCNTR1.PDRn ビットおよび PORTj.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200 は入力専用のポート、PDRn ビットは予約ビットになります。PORTi.PCNTR1 レジスタおよび PORTj.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能です。

PODRn ビット (端子と端子出力データ)

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P200 は入力専用のポート、PODRn ビットは予約ビットになります。PORTi.PCNTR1 レジスタおよび PORTj.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能です。

16.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2

Base address: PORTi = 0x4004_0000 + 0x0020 × i (i = 0, 3, 4)
PORTj = 0x4004_0000 + 0x0020 × j (j = 1, 2)

Offset address: 0x004 (PCNTR2/EIDR)
0x006 (PIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR1 5	EIDR1 4	EIDR1 3	EIDR1 2	EIDR1 1	EIDR1 0	EIDR0 9	EIDR0 8	EIDR0 7	EIDR0 6	EIDR0 5	EIDR0 4	EIDR0 3	EIDR0 2	EIDR0 1	EIDR0 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR1 5	PIDR1 4	PIDR1 3	PIDR1 2	PIDR1 1	PIDR1 0	PIDR0 9	PIDR0 8	PIDR0 7	PIDR0 6	PIDR0 5	PIDR0 4	PIDR0 3	PIDR0 2	PIDR0 1	PIDR0 0
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15~PIDR00	端子と端子状態 0: Low レベル 1: High レベル	R
31:16	EIDR15~EIDR00	ポートイベント入力データ(注1) ELC_PORTj 信号の発生時: 0: Low 入力 1: High 入力	R

注. $i = 0, 3 \sim 4, j = 1 \sim 2, n = 00 \sim 15$

注 1.

- j = 1~2 (EIDR のみ)

- ポート 1 とポート 2 に対応 (j = 1~2)

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態へのリードアクセスを可能にします。

PCNTR2 は端子と端子状態およびポートイベント入力データを指定し、32 ビット単位でアクセスされます。

PIDRn (PCNTR2 のビット[15:0]) および EIDRn (PCNTR2 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット (端子と端子状態)

PIDRn ビットは、PmnPFS.PMR ビット、PORTi.PCNTR1.PDRn ビットおよび PORTj.PCNTR1.PDRn ビットの設定値にかかわらず、ポートの個々の端子状態を反映します。PORTi.PCNTR2 レジスタおよび PORTj.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- サブクロック発振器 (SOSC)
- アナログ機能 (ASEL = 1)

EIDRn ビット (ポートイベント入力データ)

EIDRn ビットは、ELC_PORTj 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTj.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。

PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

16.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3

Base address: PORTi = 0x4004_0000 + 0x0020 × i (i = 0, 3, 4)
PORTj = 0x4004_0000 + 0x0020 × j (j = 1, 2)

Offset address: 0x008 (PCNTR3/PORR)
0x00A (POSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15~POSR00	端子と端子出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15~PORR00	端子と端子出力リセット 0: 出力に影響なし 1: Low 出力	W

注. i = 0, 3~4, j = 1~2, n = 00~15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込み可能なレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

POSRn (PCNTR3 のビット[15:0]) および PORRn (PCNTR3 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット (端子と端子出力設定)

POSR がソフトウェア書き込みによって設定されると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用のポート、PORRn ビットは予約ビットになります。

PORRn ビット（端子と端子出力リセット）

PORR がソフトウェア書き込みによってリセットされると、PODR が変更されます。たとえば P100 端子の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用のポート、PORRn ビットは予約ビットになります。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

16.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4

Base address: PORTj = 0x4004_0000 + 0x0020 × j (j = 1, 2)

Offset address: 0x00C (PCNTR4/EORR)
0x00E (EOSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15~EOSR00	端子と端子イベント出力設定 ELC_PORTj 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15~EORR00	端子と端子イベント出力リセット ELC_PORTj 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. j = 1, 2, n = 00~15

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn (PCNTR4 のビット[15:0]) および EORRn (PCNTR4 のビット[31:16]) はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット（端子と端子イベント出力設定）

EOSR が ELC_PORTj 信号の発生によって設定されると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTj の発生時に PORT1.PCNTR4.EOSR00 が 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR4.EOSR00 は予約ビットです。

EORRn ビット（端子と端子イベント出力リセット）

EORR が ELC_PORTj 信号の発生によってリセットされると、PODR が変更されます。たとえば P100 端子の場合、ELC_PORTj の発生時に PORT1.PCNTR4.EORR00 が 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P200 は入力専用なので、PORT2.PCNTR4.EORR00 は予約ビットです。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

16.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0~4, n = 00~15)

Base address: PFS = 0x4004_0800

Offset address: 0x000 + 0x040 × m + 0x004 × n (PmnPFS)
 0x002 + 0x040 × m + 0x004 × n (PmnPFS_HA)
 0x003 + 0x040 × m + 0x004 × n (PmnPFS_BY)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSEL[4:0]				—	—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0 ^(注1)
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASEL	ISEL	EOFR[1:0]	DSCR[1:0]	—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0 ^(注1)	0	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R
2	PDR	ポート方向 0: 入力 (入力端子として機能) 1: 出力 (出力端子として機能)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W
9:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:10	DSCR[1:0]	ポート出力電流選択 ^(注3) 0 0: 2 mA 0 1: 5 mA 1 x: 10 mA	R/W
13:12	EOFR[1:0]	立ち下がり時イベント (EOF) / 立ち上がり時イベント (EOR) ^(注2) 0 0: Don't care 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. P203、P300～P303 の初期値は 0x00000000 ではありません。P203 の初期値は 0x00000010 です。P300、P301、および P303 の初期値は 0x00010010 です。P302 の初期値は 0x00010000 です。

注 2. ポート 1 とポート 2 に対応しています。

注 3. CCDE のビットで選択したポートが有効の場合のみ、P100、P302、および P303 に対応します。「16.2.8. CCDE : 出力電流制御許可レジスタ」を参照してください。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) は、32 ビット、16 ビット、および 8 ビットの読み出し／書き込みコントロールレジスタで、ポート mn 端子機能を選択し、32 ビット単位でアクセスされます。PmnPFS_HA (PmnPFS のビット[15:0]) は 16 ビット単位でアクセスされます。PmnPFS_BY (PmnPFS のビット[7:0]) は 8 ビット単位でアクセスされます。

PODR ビット (ポート出力データ)、PIDR ビット (ポート状態)、PDR ビット (ポート方向)

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビット (プルアップ制御)

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。入力状態にあり PmnPFS.PCR の関連するビットが 1 になっている端子については、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。プルアップ抵抗はリセット状態でも無効になります (P203、P300、P301、および P303 を除く)。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビット (N チャネルオープンドレイン制御)

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

DSCR[1:0] ビット (ポート出力電流選択)

DSCR[1:0] ビットは、出力電流制御許可レジスタ (CCDE) の出力電流制御端子として選択したポート端子の出力電流を設定するために使用します。また、出力電流をハイインピーダンス状態にするときもこのビットを使用します。電流制御については、端子は 2 mA、5 mA、または 10 mA の Low レベル出力電流を生成するよう制御されます。

EOFR[1:0] ビット (立ち下がり時イベント (EOF)／立ち上がり時イベント (EOR))

EOFR[1:0] ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0] ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が CPU にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビット (IRQ 入力許可)

ISEL ビットは、IRQ 入力端子を指定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn (外部端子割り込み) を 2 つ以上の端子で許可することは禁止です。

ASEL ビット (アナログ入力許可)

ASEL ビットは、アナログ端子を設定します。本ビットでアナログ端子に設定する場合、以下のように指定します。

- ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
- プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。
- ポート方向ビット (PmnPFS.PDR) で、入力を指定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQ_n に対する ISEL ビットは予約ビットです。未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビット (ポートモード制御)

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

PSEL[4:0]ビット (周辺機能選択)

PSEL[4:0]ビットは、周辺機能を割り当てます。製品ごとの周辺選択設定に関する詳細は「[16.6. 製品ごとの周辺選択設定](#)」を参照してください。

16.2.6 PWPR : 書き込みプロテクトレジスタ

Base address: PFS = 0x4004_0800

Offset address: 0x503

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BOWI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	BOWI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット (PmnPFS レジスタ書き込み許可)

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に BOWI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

BOWI ビット (PFSWE ビット書き込み禁止)

BOWI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

16.2.7 PRWCNTR : ポート読み出しウェイトコントロールレジスタ

Base address: PFS = 0x4004_0800

Offset address: 0x50F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	WAIT[1:0]	—
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	WAIT[1:0]	ウェイトサイクルコントロール 0 0: 設定禁止 0 1: 1 サイクルウェイトを挿入 1 0: 2 サイクルウェイトを挿入 1 1: 3 サイクルウェイトを挿入	W
7:2	—	書く場合、0 としてください。	W

WAIT[1:0]ビット（ウェイトサイクルコントロール）

WAIT[1:0]ビットは、PCNTR2 レジスタと PFS レジスタにアクセスする際のウェイトサイクル数を指定します。

16.2.8 CCDE : 出力電流制御許可レジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x48

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CCDE 02	CCDE 01	CCDE 00
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CCDE00	CCDE00 (P100) 出力制御機能 0: 禁止（デジタル I/O） 1: 許可（電流制御機能）	R/W
1	CCDE01	CCDE01 (P302) 出力制御機能 0: 禁止（デジタル I/O） 1: 許可（電流制御機能）	R/W
2	CCDE02	CCDE02 (P303) 出力制御機能 0: 禁止（デジタル I/O） 1: 許可（電流制御機能）	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CCDE レジスタは、8 ビット読み出し／書き込みレジスタで、ポートの出力電流制御機能の設定または再設定を制御します。

CCDE0n ビット（ポートの出力制御機能）

CCDE0n ビットは、P100、P302、および P303 を 1 ビット単位で出力電流制御ポート端子として使用することを指定します。出力制御レジスタの対応する設定 (PFS.DSCR[1:0]) によって、端子を Low レベルの選択した出力電流（Low レベル出力電流）で駆動するか、ハイインピーダンス状態で駆動するかを選択します。

- 注.
- ポートを出力電流制御端子として使用する場合は、出力電流制御機能を設定してから PFS.PDR レジスタの対応するビットでモードを「出力」に設定してください。
 - CCDE レジスタの対応するビットに 1 を書き込んだ後に、端子の状態が安定するには 10 μ s を要します。

16.2.9 CCTRM : 出力電流制御トリミングレジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x81

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	IADJ[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	IADJ[3:0]	出力電流制御トリミング このビットは、電流制御機能を有効にしたポートの出力電流を調整します。	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CCTRM レジスタは、8 ビット読み出し／書き込みレジスタで、ポートの出力電流の設定または再設定を制御します。

IADJ[3:0]ビット（出力電流制御トリミング）

電流制御サポート端子（P100、P302、および P303）を出力電流制御ポートとして使用する場合、IADJ[3:0]ビットは、電流制御サポート端子（P100、P302、および P303）すべての電流を選択した使用に合わせて同時に調整または微調整します。CCDE.CCDE0n ビットが 1 のとき、各ポートの出力電流は、ポートに対応する出力電流制御レジスタの設定 (PFS.DSCR[1:0]) に従います。

表 16.3 に、VCC = 4 V、PFS.DSCR[1:0] = 00 (= 2 mA) のときの各 IADJ[3:0] 設定の出力電流の概算値を示します。表中の値は出力電流の概算値であり、保証されません。このため、本レジスタを使用して、選択した仕様に合わせて出力電流を調整してください。

表 16.3 出力電流調整（VCC = 4 V、PFS.DSCR[1:0] = 00 のとき）

IADJ[3:0]	出力電流（単位：mA）
0x0	2.42
0x1	2.25
0x2	2.08
0x3	1.91
0x4	1.81
0x5	1.70
0x6	1.60
0x7	1.49
0x8	1.42
0x9	1.35
0xA	1.29
0xB	1.22
0xC	1.17
0xD	1.13
0xE	1.08
0xF	1.03

注. 表中の値は概算値であり保証されません。

16.3 動作説明**16.3.1 汎用入出力ポート**

P300、P301、P302、P303 以外のすべての端子は、リセット後は汎用入出力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn: n = 1~4) によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「[16.2. レジスタの説明](#)」を参照してください。

各ポートのビットを以下に示します。

- ポート方向ビット (PDRn)：入力／出力の方向を選択する
- ポート出力データビット (PODRn)：出力用データを格納する
- ポート入力データビット (PIDRn)：端子状態を示す
- イベント入力データビット (EIDRn)：ELC_PORT1/2 信号発生時の端子状態を示す
- ポート出力設定ビット (POSRn)：ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット (PORRn)：ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット (EOSRn)：ELC_PORT1/2 信号発生時の出力値を示す
- イベント出力リセットビット (EORRn)：ELC_PORT1/2 信号発生時の出力値を示す

16.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- 入出力設定：CMOS 出力またはオープンドレイン出力、およびプルアップ制御
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子は、ポート **mn** 端子機能選択レジスタ (**PmnPFS**) に関連付けられます。このレジスタには対応するビット **PODR**、**PIDR**、および **PDR** があります。さらに、**PmnPFS** レジスタには以下のビットがあります。

- **PCR**：入力プルアップ MOS のオン/オフを切り替えるためのプルアップ抵抗制御ビット
- **NCODR**：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- **EOFR[1:0]**：ポートグループから入力されるイベントのエッジを選択
- **ISEL**：IRQ 入力端子を設定するための IRQ 入力許可ビット
- **ASEL**：アナログ端子を設定するためのアナログ入力許可ビット
- **PMR**：各ポートの端子機能を設定するためのポートモードビット
- **PSEL[4:0]**：対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート **mn** 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は、「[16.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY：ポート mn 端子機能選択レジスタ \(m = 0~4, n = 00~15\)](#)」を参照してください。

16.3.3 出力電流制御機能

P100、P302、P303 の各ポートは、次の関連レジスタで出力電流制御機能をサポートします。

- 出力電流制御許可 (CCDE) レジスタ。Low レベル出力電流を生成する出力電流制御機能を許可する端子を選択します。

注. PFS.PDR レジスタを出力モードに設定し CCDE レジスタの対応するビットに 1 を書き込んだ後、端子状態が安定するまでには 10 μ s が必要です。
- **PmnPFS.DSCR[1:0]** (**Pmn** = P100、P302、または P303)。ポート出力電流制御ビット。CCDE.CCDE0n ビットを 1 にして出力電流制御機能を許可した場合、Low レベル出力に使用する定電流を選択します。2 mA、5 mA、または 10 mA を選択できます。
- 出力電流制御トリミングレジスタ (CCTRM)。出力電流制御機能が許可されたすべてのポートに対して、Low レベル出力電流を選択した使用に合わせて調整または微調整するときに使用するレジスタです。

16.3.4 ELC のポートグループ割り込み機能

本 MCU では、ポート 1~2 が ELC ポートグループ機能に割り当てられています。

16.3.4.1 ELC から ELC_PORT1 または ELC_PORT2 が入力された場合の動作

ELC から ELC_PORT1 信号または ELC_PORT2 信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能 (**PmnPFS** レジスタで **PDR** = 0 および **PMR** = 0) では、ELC から ELC_PORT1 信号または ELC_PORT2 信号が入力されると、入出力セルの入力許可がアサートされ、その後に外部端子からのデータが EIDR ビットに読み出されます。

GPO 機能 (**PDR** = 1) または周辺モード (**PMR** = 1) では、外部端子から EIDR ビットに 0 が入力されます。

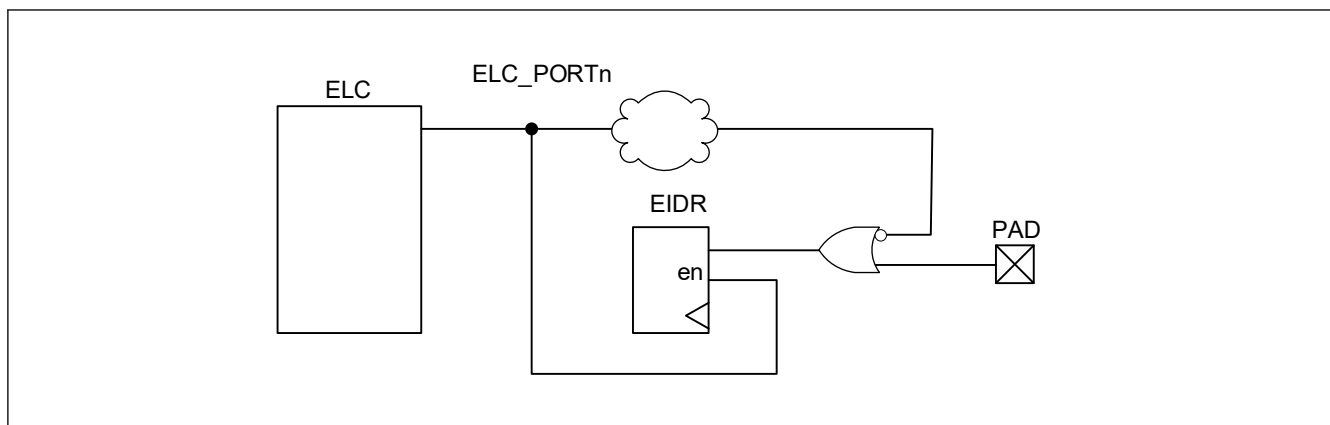


図 16.2 イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORT1 信号または 2 信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORT1 または ELC_PORT2 発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC_PORT1 または ELC_PORT2 発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。

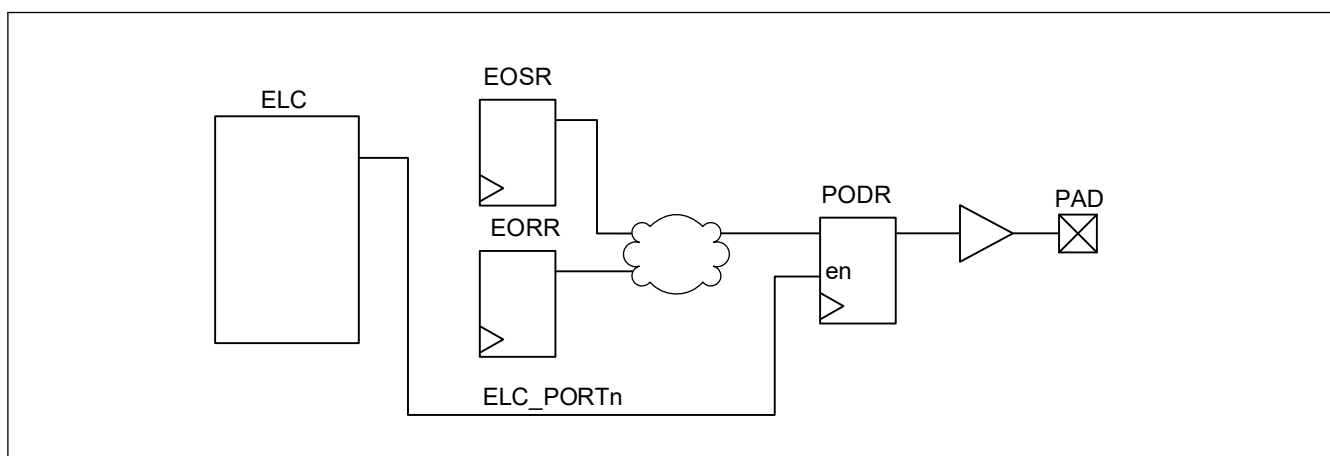


図 16.3 イベントポート出力データ

16.3.4.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを入力するには、PmnPFS レジスタの EOFR[1:0] ビットを設定します。詳細は、「[16.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY: ポート mn 端子機能選択レジスタ \(m = 0~4, n = 00~15\)](#)」を参照してください。EOFR[1:0] ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P103 ヘデータが入力されると、これら 4 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 の動作もこれと同様です。

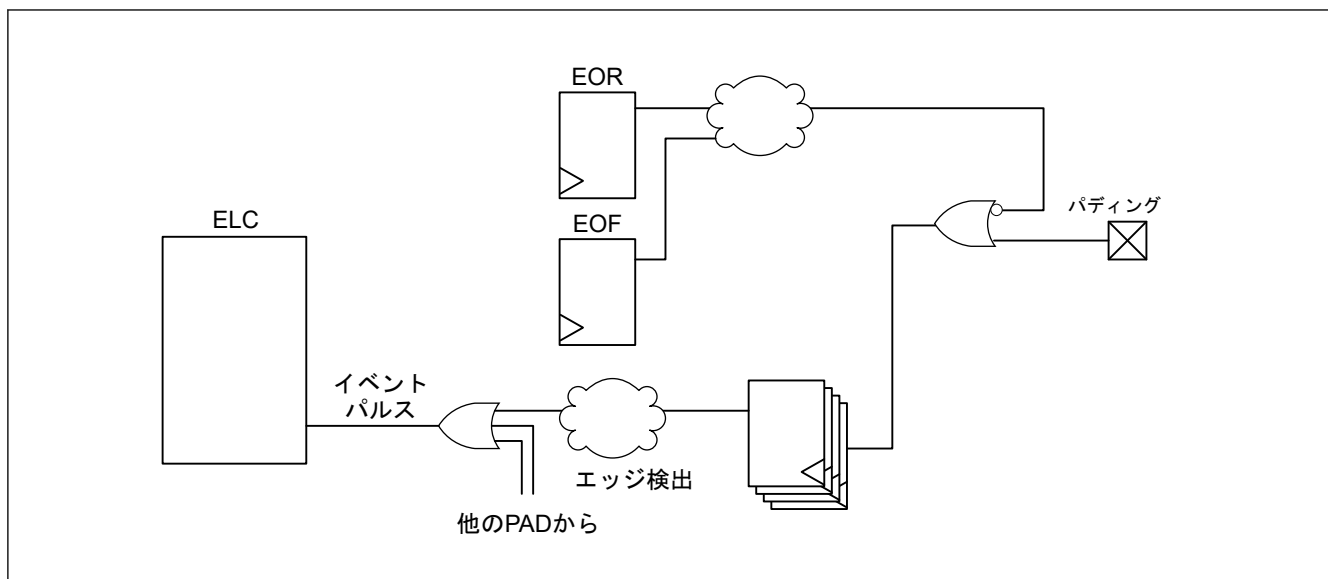


図 16.4 イベントパルスの発生

16.3.5 ポート読み出し時のウェイト機能

ポート入力データを読み出し時のウェイトサイクル数は、**PRWCNTR.WAIT[1:0]**ビットで以下のように設定できます。

- PCNTR2 または PFS レジスタを読み出すことで、ポート入力データ (PIDR) を読み出します。
- PORT1 信号または PORT2 信号発生時に、ポート端子状態を立ち下がり時イベント／立ち上がり時イベントレジスタ (EOFR) にラッチします。

アクセスサイクル数は、PRWCNTR.WAIT[1:0]の値に1を足した値です。たとえば、PRWCNTR.WAIT[1:0]が10bのとき、ウェイトサイクルは2サイクル、アクセスサイクルは3クロックサイクルになります。

表 16.4 に、電圧、周波数、ウェイトサイクルの関係を示します。

表 16.4 電圧、周波数、ウェイトサイクルの関係

VCC	アクセスサイクル(注1)	ウェイトサイクル(注2)
2.7 V 超	2～4	1～3
2.4～2.7 V	3～4	2～3
1.8～2.4 V	4	3
1.6～1.8 V	2～4	1～3

注 1. バスレイテンシは含まれません。

注2. ポート読み出しウェイトコントロールレジスタ (PRWCNTR) に設定されるウェイトサイクル

16.4 未使用端子の処理

表 16.5 に未使用端子の処理方法を示します。

表 16.5 未使用端子処理 (1/2)

端子名	未使用時の処理
P203/MD	モード端子として使用
RES	抵抗を介して VCC に接続（プルアップ）
P200/NMI	抵抗を介して VCC に接続（プルアップ）
P300/EXTAL	外部クロック入力を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P300）に設定する。この端子をポート P300 として使用しない場合、ポート P0x~P4x と同じ方法で設定する。
XT1	サブクロック発振器を使用しない場合は、SOSCCR.SOSTP ビットを 1 にし、抵抗を介して対応する端子を VSS に接続（プルダウン）する。

表 16.5 未使用端子の処理 (2/2)

端子名	未使用時の処理
XT2	サブクロック発振器を使用しない場合は、SOSCCR.SOSTP ビットを 1 にし、対応する端子を解放したままにする。
その他ポート P0x~P4x	- 方向を「入力」(PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続 (プルアップ)、または抵抗を介して VSS に接続 (プルダウン) する。(注1)(注2) - 方向を「出力」(PCNTR1.PDRn = 1) に設定した場合、端子を開放したままにする(注1)
P006~P007、P400~P401	- 方向を「入力」(PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVCC に接続 (プルアップ)、または抵抗を介して AVSS に接続 (プルダウン) に接続する(注1) - 方向を「出力」(PCNTR1.PDRn = 1) に設定した場合、端子を開放したままにする(注1)
P003/AVREFM	- 方向を「入力」(PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVSS に接続 (プルダウン) に接続する(注1) - 方向を「出力」(PCNTR1.PDRn = 1) に設定した場合、端子を開放したままにする(注1)
P002/AVREFP	- 方向を「入力」(PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVCC に接続 (プルアップ) に接続する(注1) - 方向を「出力」(PCNTR1.PDRn = 1) に設定した場合、端子を開放したままにする(注1)

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。

注 2. P203、P300、P301、および P303 は初期値から入力プルアップを有効にする必要があります (PmnPFS.PCR = 1)。

16.5 使用上の注意事項

16.5.1 SAU 機能使用時の注意事項

周辺機能選択ビット (PSEL) を 10001b にして SAU が選択されている場合に SAU 機能を使用する際は、SCK ポートと SCL ポートを除くすべての SAU ポートの出力バッファがデフォルトで ON になります。同時に、入力モード中は SAU からの出力信号は論理 1 に維持されます。SAU ポートを入力モードに切り替えるには、オープンドレイン制御ビット (NCODR) を 1 に設定します。この動作により、出力は Hi-Z 状態になり、端子からの信号が入力バッファに入るようになります。図 16.5 を参照してください。

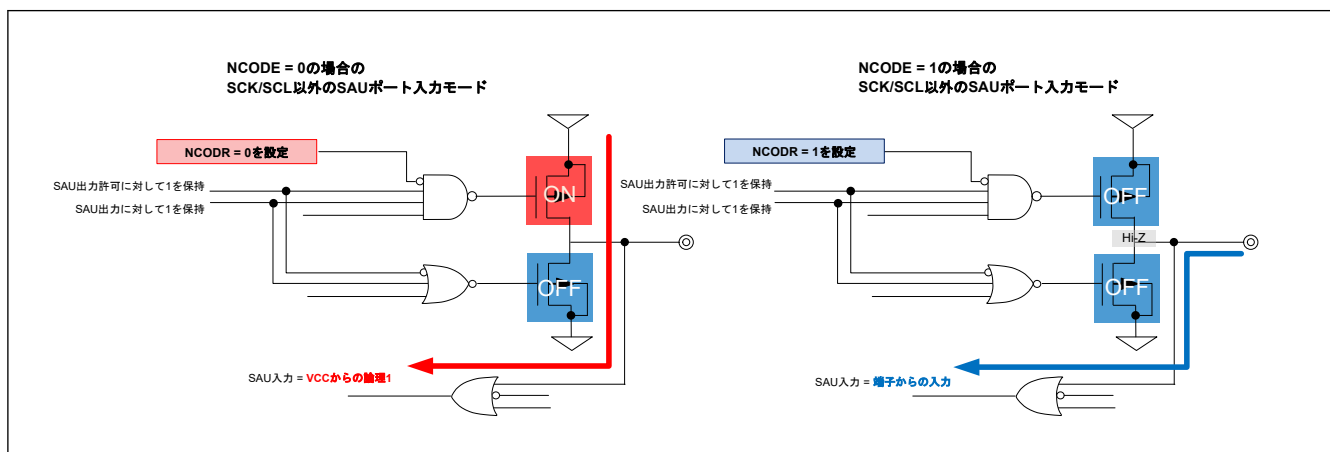


図 16.5 SCK/SCL 入力モード以外の SAU ポート

SCK ポートと SCL ポートについては、ポート mn 端子機能選択レジスタ (PmnPFS.PDR) のポート方向ビット (PDR) で SAU 機能に応じたポート方向を設定してください。

16.5.2 TAU 機能使用時の注意事項

周辺機能選択ビットで TAU を選択している場合 (PSEL = 11001b) に TAU 機能を使用するときは、ポート mn 端子機能選択レジスタ (PmnPFS.PDR) のポート方向ビット (PDR) で TAU 機能に応じたポート方向を設定してください。TIxx などのようにポートが入力を使用される場合は、PDR ビットを 0 (ポート方向 = 入力) にします。TOxx などのようにポートが出力に使用される場合は、PDR ビットを 1 (ポート方向 = 出力) にします。

注. サフィックスが「_A」または「_B」の端子グループで、xx は TAU ポート名 00~07 を示します。

16.5.3 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.BOWI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.BOWI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

16.5.4 ポートグループ入力の使用手順

ポートグループ入力（ポート 1、2）を使用するには、下記の手順に従ってください。

1. IELSRn.IELS[4:0] ビットをすべて 0 にして、意図しないパルスが無視します。詳細は、「[15. イベントリンクコントロール \(ELC\)](#)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0] ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100 ns）待ちます。意図しないパルスが無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0] ビットを設定して、イベント信号を許可します。

16.5.5 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORT1、2 信号の発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力する。
2. ELC_PORT1、2 信号の発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力する。
3. PCNTR3.PORR が 1 になると、0 を出力する。
4. PCNTR3.POSR が 1 になると、1 を出力する。
5. PCNTR1.PODRn が設定されると、0 または 1 を出力する。
6. PmnPFS.PODRn が設定されると、0 または 1 を出力する。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の「[16.5.5. ポート出力データレジスタ \(PODR\) の概要](#)」と 3. が同時に発生した場合、優先順位の高い「[16.5.5. ポート出力データレジスタ \(PODR\) の概要](#)」が実行されます。

16.5.6 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

16.5.7 端子数の少ないパッケージ製品における存在しない端子の取り扱いに関する注意事項

端子数の少ないパッケージ（32 ピン／24 ピン／16 ピン）の製品では、一部の端子が削除されています。存在しない端子の設定がリセット後の初期値と異なるような I/O 関連レジスタの設定を行わないでください。これらの端子に関連する設定は初期値のままにしておいてください。さもないと GPIO 入力がフローティングして不要な電流が流れます。

16.6 製品ごとの周辺選択設定

本項では、PmnPFS レジスタでの端子機能選択設定について説明します。いくつかの端子名には、接尾語として A、B、C、D、E、または F が付加されています。これらの接尾語は、機能の割り当て時には無視できます。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることは禁止されます。PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。

表 16.6 ポート 0 における入出力端子機能のレジスタ設定

PSEL[4:0]設定値	機能	端子									
		P000	P001	P002	P003	P006	P007	P008	P009	P010	P011
00000b (リセット後の値)	Hi-Z/cJTAG	Hi-Z									
00110b	UARTA	—	—	—	—	—	—	RxDA1	TxDA0	RxDA0	CLKA0
00111b	IICA	—	—	—	—	—	—	—	—	SDAA1	SCLA1
10001b	SAU	RxD1	TxD1	—	—	—	—	SI10/SDA10	SCK10/SCL10	—	—
10010b	KINT	—	—	—	—	—	—	—	—	—	—
11001b	TAU	TO00	TI00	—	—	—	—	—	—	—	TI07_B/ TO07_B
ASEL ビット	ADC12	ANI16	ANI17	ANI0	ANI1	ANI4	ANI5	—	—	—	—
	DAC8	DACOUT0	DACOUT1	—	—	—	—	—	—	—	—
	CMP	IVREF0(注1)	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ6_A	IRQ5_A	—	IRQ7_A	IRQ4_A	IRQ3_A	—	—	—	—
DSCR[1:0]ビット	電流制御	—	—	—	—	—	—	—	—	—	—
NCODR ビット	N チャネルオーバーブンドレイン	✓	✓	—	—	—	—	✓	✓	✓	✓
PCR ビット	ブルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
端子数	48 ピン製品	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
	32 ピン製品	✓	✓	✓	✓	✓	✓	—	—	—	—
	24 ピン製品	✓	✓	✓	✓	—	—	—	—	—	—
	16 ピン製品	✓	✓	✓	✓	—	—	—	—	—	—

✓：利用可能

—：設定禁止

所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 1. IVREF0 機能は 16 ピン製品ではサポートされていません。

表 16.7 ポート 1 における入出力端子機能のレジスタ設定 (1/2)

PSEL[4:0]設定値	機能	端子											
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111
00000b (リセット後の値)	Hi-Z/cJtag	Hi-Z											
00111b	IICA	—	—	SCLA0_B	SDAA0_B	—	—	—	—	—	—	—	—
01001b	CMP (デジタル)	—	—	—	—	—	VCOUT0	—	—	—	—	—	—
01010b	CAC	—	—	—	—	—	—	—	CACREF	—	—	—	—
10001b	SAU	SO00/ TxD0_A	SCK20/ SCL20	SI20/ SDA20/ RxD2	SO20/ TxD2	SCK11/ SCL11	SI11/ SDA11	SO11	—	—	—	—	—
10010b	KINT	—	—	—	—	—	—	—	—	KR04	KR05	—	—
11001b	TAU	TI05/TO05	TI02_B/ TO02_B	TI01/TO01	TI02_A/ TO02_A	—	—	—	TI03_A/ TO03_A	—	—	—	—
11011b	RTC	—	—	—	—	—	RTC1HZ	—	—	—	—	—	—
ASEL ビット	ADC12	—	—	—	—	—	ANI18	ANI19	—	—	—	—	—
	CMP	—	—	—	—	IVREF1	—	IVCMP0	IVCMP1	—	—	—	—
ISEL ビット		IRQ6_C	IRQ7_C	IRQ2_A	—	—	—	—	—	IRQ4_B	IRQ5_B	IRQ7_B	IRQ6_B
DSCR[1:0]ビット	電流制御	2/5/10 mA	—	—	—	—	—	—	—	—	—	—	—

表 16.7 ポート 1 における入出力端子機能のレジスタ設定 (2/2)

PSEL[4:0] 設定値	機能	端子											
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
端子数	48 ピン製品	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
	32 ピン製品	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
	24 ピン製品	✓	✓	✓	✓	✓	✓	✓	✓	—	—	—	—
	16 ピン製品	✓	—	—	—	—	—	—	✓	—	—	—	—

✓：利用可能

—：設定禁止

所属グループを示すため、端子名の末尾に"_A"や"_B"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

表 16.8 ポート 2 における入出力端子機能のレジスタ設定

PSEL[4:0] 設定値	機能	端子							
		P200	P201	P202	P203	P204	P205	P206	P207
00000b (リセット後の値)	Hi-Z/cJtag	Hi-Z			入力プルアップ	Hi-Z			
01001b	CLKOUT	—	—	CLKOUT_B	—	—	—	—	—
01110b	REMC	—	—	RIN0	—	—	—	—	—
10001b	SAU	—	—	—	—	SCK21/SCL21	SI21/SDA21	SO21	SCK01/SCL01
10010b	KINT	—	—	—	—	—	—	—	KR02
ASEL ビット		—	—	—	—	—	—	—	—
ISEL ビット		NMI	IRQ3_C	IRQ2_C	—	—	—	—	—
DSCR[1:0] ビット	電流制御	—	—	—	—	—	—	—	—
NCODR ビット	N チャネルオープンドレイン	—	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	—	✓	✓	✓	✓	✓	✓	✓
端子数	48 ピン製品	✓	✓	✓	✓	✓	✓	✓	✓
	32 ピン製品	✓	✓	✓	✓	—	—	—	—
	24 ピン製品	✓	—	—	✓	—	—	—	—
	16 ピン製品	✓	—	—	✓	—	—	—	—

✓：利用可能

—：設定禁止

所属グループを示すため、端子名の末尾に"_A"や"_B"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

表 16.9 入出力端子機能のレジスタ設定 (PORT3) (1/2)

PSEL[4:0] 設定値	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
00000b (リセット後の値)	Hi-Z/cJTAG	TCKC	TMSC	Hi-Z	入力プルアップ	Hi-Z			
00111b	IICA	—	—	SCLA0_A	SDAA0_A	—	—	—	—
01001b	CLKOUT/CMP (デジタル)	—	—	VCOUT1	CLKOUT_A	—	—	—	—
10001b	SAU	SCK00/SCL00	SI00/SDA00/RxD0_A	TxD0_B	RxD0_B	SO01	SI01/SDA01	—	—
10010b	KINT	—	—	—	—	KR00	KR01	KR03	—
11001b	TAU	TI07_A/TO07_A	TI06/TO06	TI03_B/TO03_B	TI04/TO04	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—
ISEL ビット		IRQ0_A	IRQ1_A	IRQ3_B	IRQ2_B	—	—	—	—
DSCR[1:0] ビット	電流制御	—	—	2/5/10 mA	2/5/10 mA	—	—	—	—

表 16.9 入出力端子機能のレジスタ設定 (PORT3) (2/2)

PSEL[4:0]設定値	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓
端子数	48 ピン製品	✓	✓	✓	✓	✓	✓	✓	✓
	32 ピン製品	✓	✓	✓	✓	—	—	—	—
	24 ピン製品	✓	✓	✓	✓	—	—	—	—
	16 ピン製品	✓	✓	✓	✓	—	—	—	—

✓：利用可能

—：設定禁止

所属グループを示すため、端子名の末尾に"_A"や"_B"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

表 16.10 ポート 4 における入出力端子機能のレジスタ設定

PSEL[4:0]設定値	機能	端子			
		P400	P401	P402	P403
00000b (リセット後の値)	Hi-Z/cJtag	Hi-Z			
00110b	UARTA	—	—	CLKA1	TxDA1
10001b	SAU	—	—	—	SO10
ASEL ビット	ADC12	ANI2	ANI3	—	—
ISEL ビット		—	—	—	—
DSCR[1:0]ビット	電流制御	—	—	—	—
NCODR ビット	N チャネルオープンドレイン	—	—	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓
端子数	48 ピン製品	✓	✓	✓	✓
	32 ピン製品	—	—	—	—
	24 ピン製品	—	—	—	—
	16 ピン製品	—	—	—	—

✓：利用可能

—：設定禁止

所属グループを示すため、端子名の末尾に"_A"や"_B"などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

17. キー割り込み機能 (KINT)

17.1 概要

キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。図 17.1 にブロック図を、表 17.1 に入出力端子を示します。

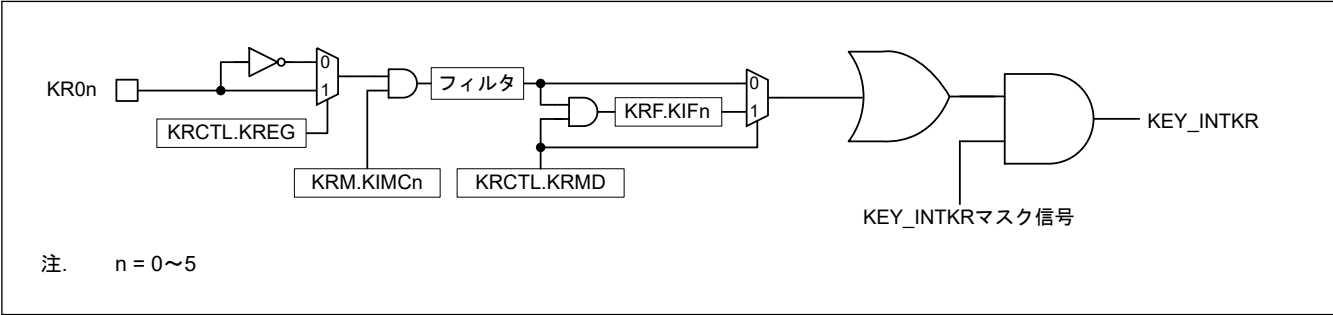


図 17.1 KINT のブロック図

すべてのキー割り込み信号は 1 つの OR ゲートに入力され、その OR ゲートの出力が KEY_INTKR マスク信号によってマスクされた信号がキー割り込み信号 (KEY_INTKR 信号) になります。キー割り込みフラグ KRF.KIFn を使用する場合 (KRCTL.KRMD = 1)、KEY_INTKR マスク信号は、KRF.KIFn フラグをクリアすることでアサートされる出力マスクとして使用されます。

表 17.1 KINT の入出力端子

端子名	入出力	機能
KR00~KR05	入力	キー割り込み入力端子

キー割り込み入力チャネルの数は製品によって異なります。これについては、表 17.2 を参照してください。

表 17.2 キー割り込みの数

24 ピン製品	32 ピン製品	48 ピン製品
—	2 チャネル (KR04~KR05)	6 チャネル (KR00~KR05)

17.2 レジスタの説明

17.2.1 KRCTL : キーリターン制御レジスタ

Base address:	KINT = 0x4008_0000
Offset address:	0x00
Bit position:	7 6 5 4 3 2 1 0
Bit field:	KRMD — — — — — — KREG
Value after reset:	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	KREG	検出エッジ選択 (端子 KR00~KR05) 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	KRMD	キー割り込みフラグ使用状態 (KRF.KIF0~KRF.KIF5) 0: キー割り込みフラグを使用しない 1: キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ KRF.KIFn (n = 0~5) の状態を制御し、検出エッジを設定するためのレジスタです。

17.2.2 KRF : キーリターンフラグレジスタ

Base address: KINT = 0x4008_0000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	KIF5	KIF4	KIF3	KIF2	KIF1	KIF0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	KIF0~KIF5	キー割り込みフラグ n 0: 割り込みの検出なし 1: 割り込みの検出あり	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

レジスタは、KRF キー割り込みフラグ (KIFn) を制御します。

KRCTL.KRMD = 0 の場合、KIFn フラグを 1 にすることは禁止です。KIFn フラグを 1 に設定しても、KIFn フラグの値は変化しません。

KIFn フラグをクリアする場合には、クリアするフラグが 1 であることを確認した後、クリアするフラグに 0、その他のフラグに 1 を同時に書いてください。

17.2.3 KRM : キーリターンモードレジスタ

Base address: KINT = 0x4008_0000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	KIMC5	KIMC4	KIMC3	KIMC2	KIMC1	KIMC0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	KIMC0~KIMC5	キー割り込みモード制御 n 0: キー割り込み信号を検出しない 1: キー割り込み信号を検出する	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

KRM レジスタは、キー割り込みモードを設定するレジスタです。

KR0n 端子へ入力中の信号が Low レベル (KRCTL.KREG = 0) または High レベル (KRCTL.KREG = 1) のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KINT は PmnPFS.PSEL[4:0] ビットで割り当てることができます。対応するキー割り込み入力端子をプルアップ機能に設定することで、内蔵プルアップ抵抗の適用も可能です。詳細は「16. I/O ポート」を参照してください。

17.3 動作説明

17.3.1 キー割り込みフラグを使用しない場合の動作 (KRCTL.KRMD = 0)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、キー割り込み信号 KEY_INTKR が発生します。有効エッジが入力されたチャンネルを判別するには、KEY_INTKR 発生後にポートレジスタを読み出して、ポートのレベルをチェックしてください。

KEY_INTKR 信号は、KR0n 端子の入力レベルに応じて変化します。

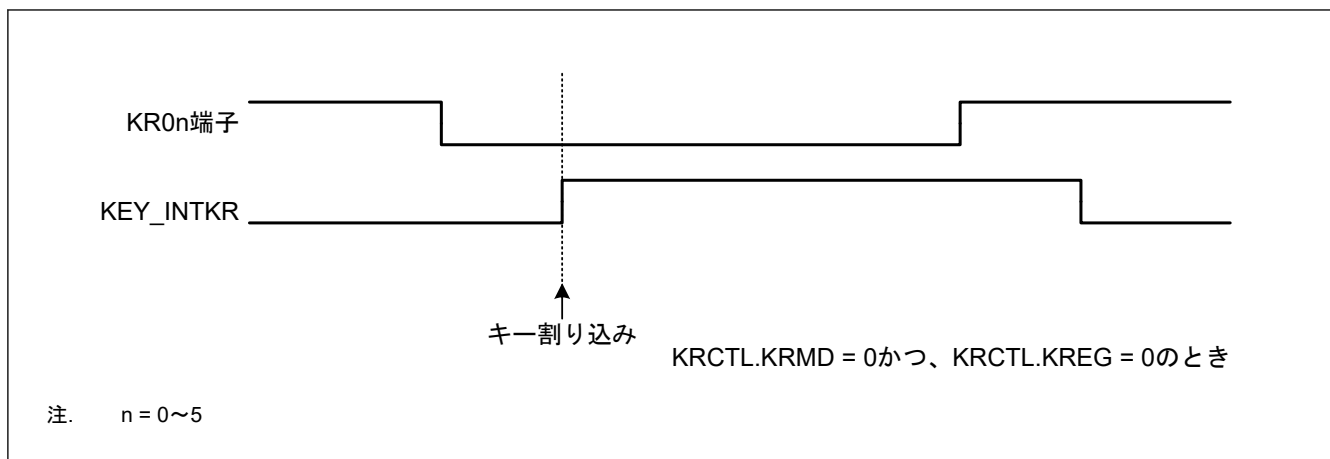


図 17.2 キー割り込みが1つのチャンネルに入力された場合の KEY_INTKR 信号の動作

図 17.3 に、有効エッジが複数の KR0n 端子に入力された場合の動作を示します。一方の端子に Low レベルが入力中であると、KEY_INTKR 信号がセットされます (KRCTL.KREG = 0 の場合)。そのため、この期間中に他の端子に立ち下がりエッジが入力されても、再度 KEY_INTKR は発生しません。図 17.3 の[1]を参照してください。

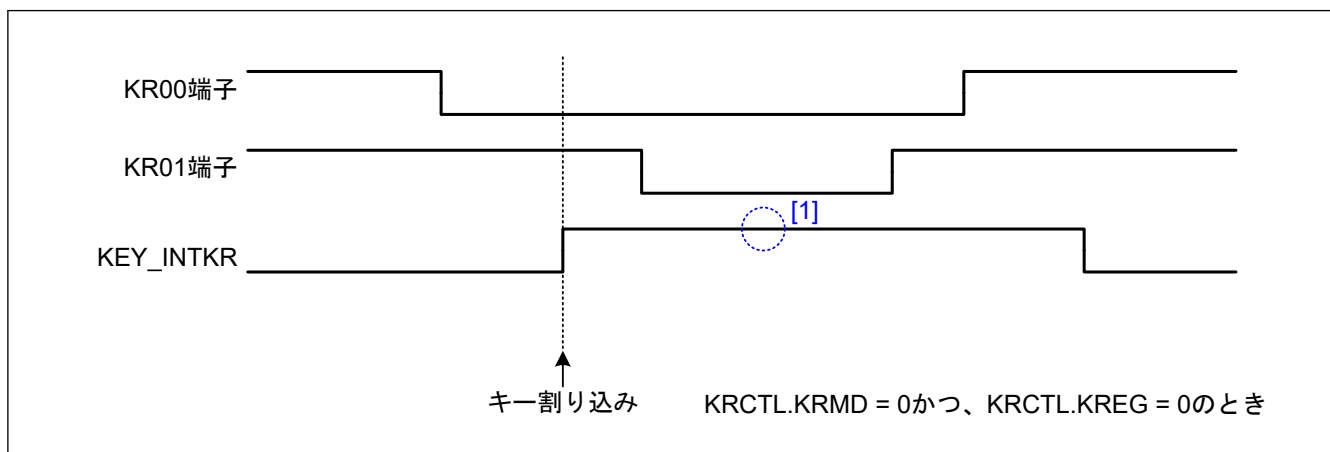


図 17.3 キー割り込みが複数のチャンネルに入力された場合の KEY_INTKR 信号の動作

17.3.2 キー割り込みフラグを使用する場合の動作 (KRCTL.KRMD = 1)

KR0n 端子に、KRCTL.KREG ビットで指定された有効エッジが入力されたとき、KEY_INTKR 信号が発生します。有効エッジが入力されたチャンネルを判別するには、KEY_INTKR の発生後にキーリターンフラグレジスタ (KRF) を読み出します。KRCTL.KRMD ビットが 1 になっている場合は、KRF レジスタの対応するビットをクリアして、KEY_INTKR 信号をクリアしてください。

図 17.4 に示すように、1 つのチャンネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します (KRCTL.KREG = 0 の場合)。立ち上がりエッジが入力される前や後に KRF.KIFn フラグがクリアされても、それ以上割り込みは発生しません。

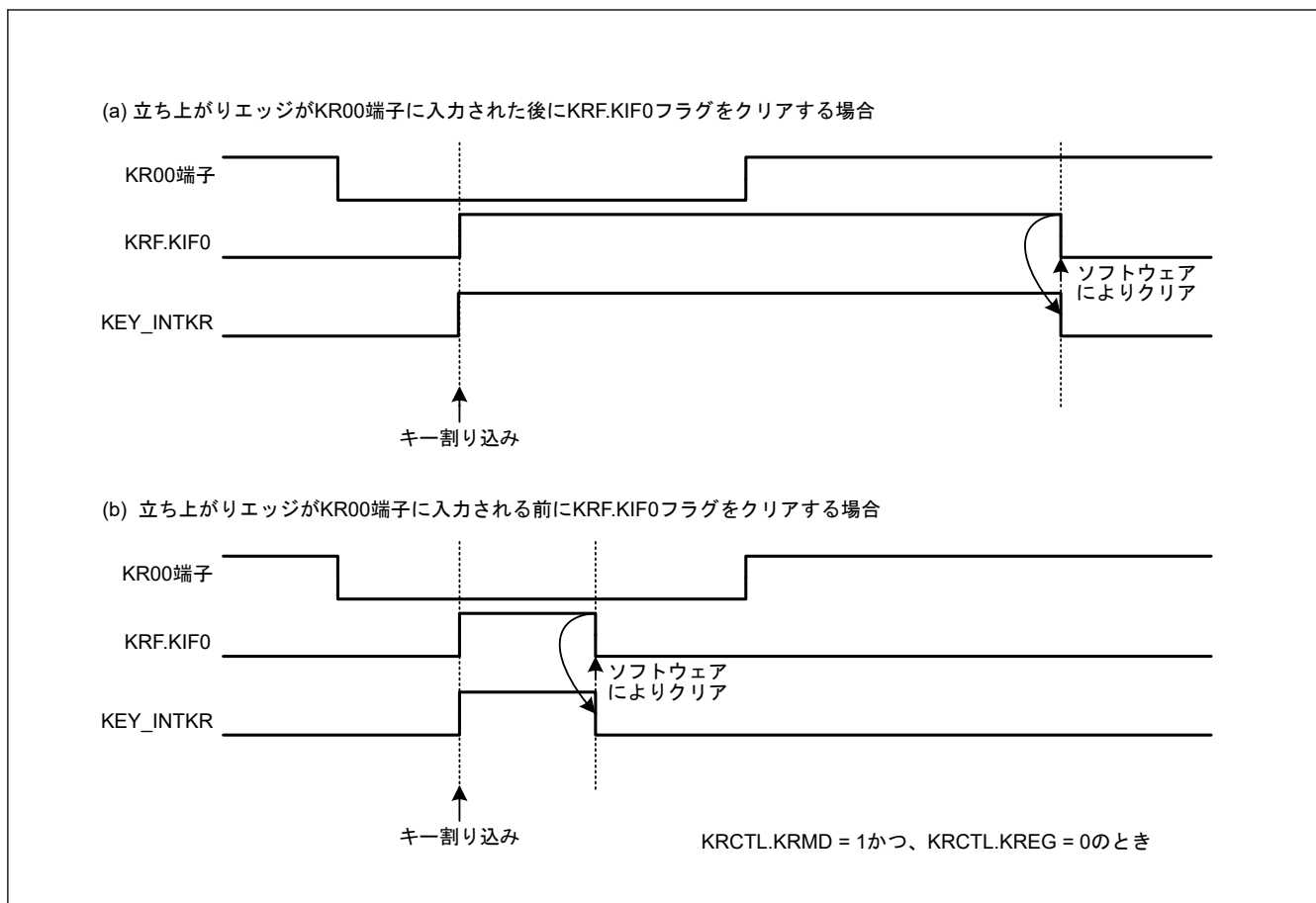


図 17.4 キー割り込みフラグを使用する場合の KEY_INTKR 信号の基本動作

図 17.5 に、有効エッジが複数の KR0n 端子に入力された場合の動作を示します。KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されます (KRCTL.KREG = 0 の場合)。KRF.KIF0 フラグがクリアされたとき、KRF.KIF1 フラグはセット状態になっています。KRF.KIF0 フラグがクリアされてから PCLKB クロックの 1 サイクル後に、KEY_INTKR 信号はネゲートされます。図 17.5 の[1]を参照してください。

また、KR05 端子に立ち下がりエッジが入力された後に、KRF.KIF5 フラグがセットされます。図中の[2]で KRF.KIF1 フラグがクリアされます。KRF.KIF1 フラグがクリアされてから PCLKB クロックの 1 サイクル後に、KEY_INTKR 信号はネゲートされます。図中の[3]を参照してください。したがって、複数チャネルに有効エッジが入力されたとき、各キー割り込みを発生させることが可能です。

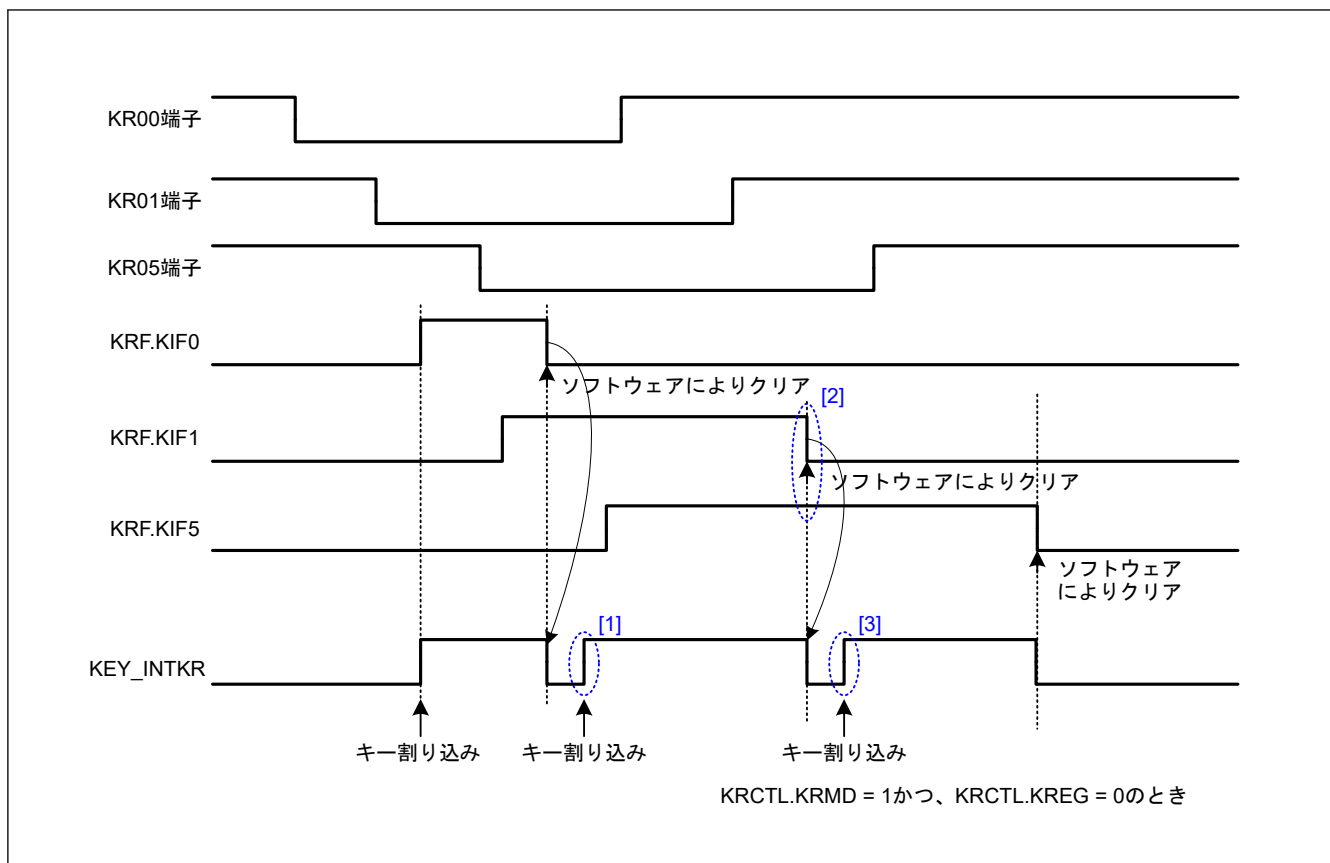


図 17.5 キー割り込みが複数入力された場合の KEY_INTKR 信号の動作

17.4 使用上の注意事項

- KEY_INTKR をスヌーズ要求として用いる場合は、KRCTL.KRMD ビットを 0 にしてください。
- KEY_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRCTL.KRMD ビットを 1 にしてください。
- KINT が端子に割り当てられる場合、この端子入力はソフトウェアスタンバイモード時に常に許可されています。また、端子レベルが変化すると、対応する KRF.KIFn フラグがセットされる可能性があります。そのため、ソフトウェアスタンバイモードの解除時に、KEY_INTKR が発生する場合があります。ソフトウェアスタンバイモード時の KR0n 端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM.KIMCn ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM.KIMCn ビットをセットする前に、KRF.KIFn フラグをクリアする必要があります。
- KINT を使用して ELC を介してスヌーズモードで ADC をトリガする場合、KEY_INTKR レベル割り込みをクリアするために DTC をリピート転送モードに設定する必要があります。

図 17.6 に、DTC によって KEY_INTKR 割り込みがクリアされた状態で、KINT を使用して ADC をスヌーズモードでトリガする設定例を示しています。

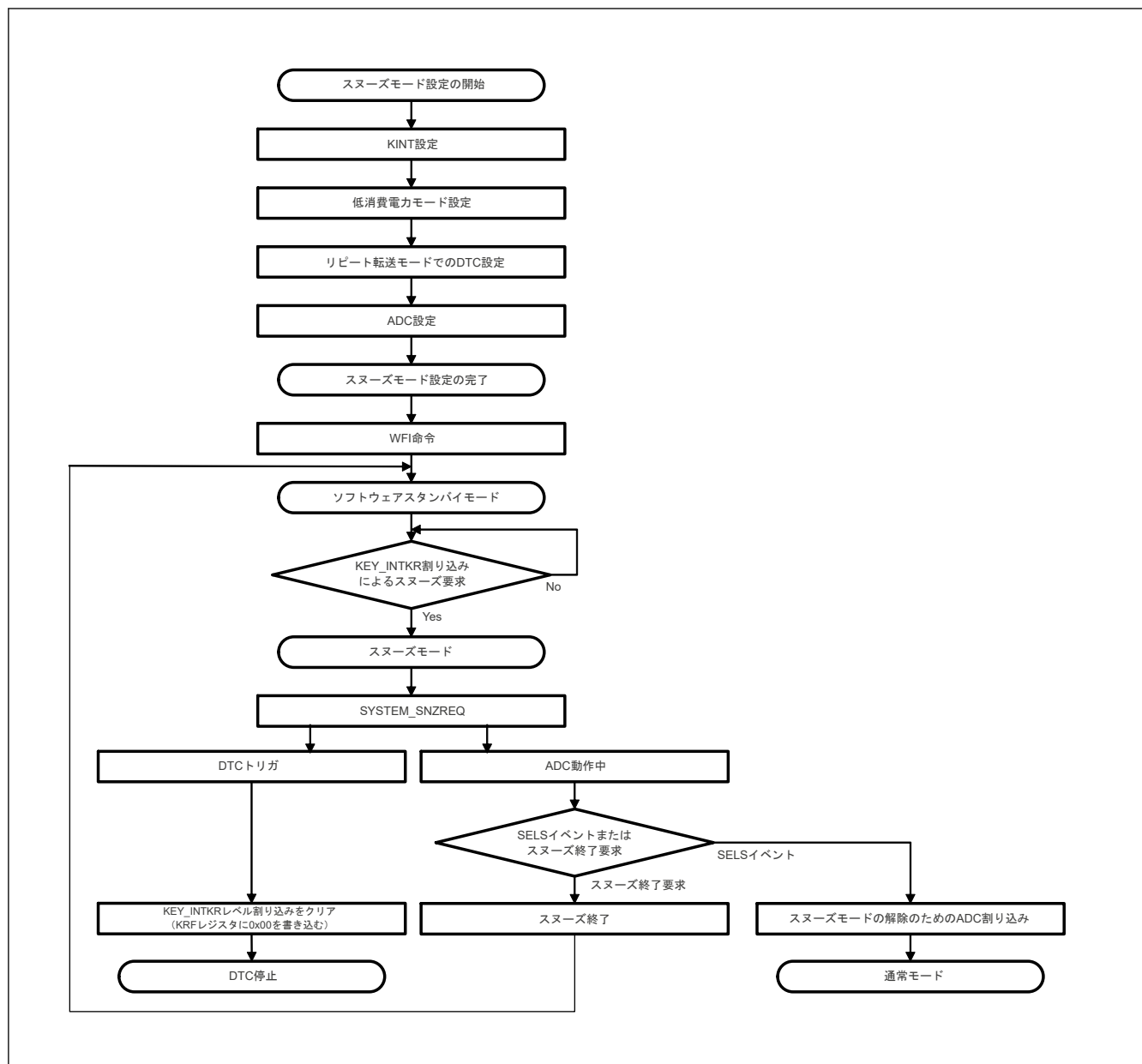


図 17.6 DTC によって KEY_INTKR 割り込みがクリアされた状態で、KINT を使用して ADC をスヌーズモードでトリガする設定例

図 17.7 に、リポート転送モードでの DTC の設定例を示します。

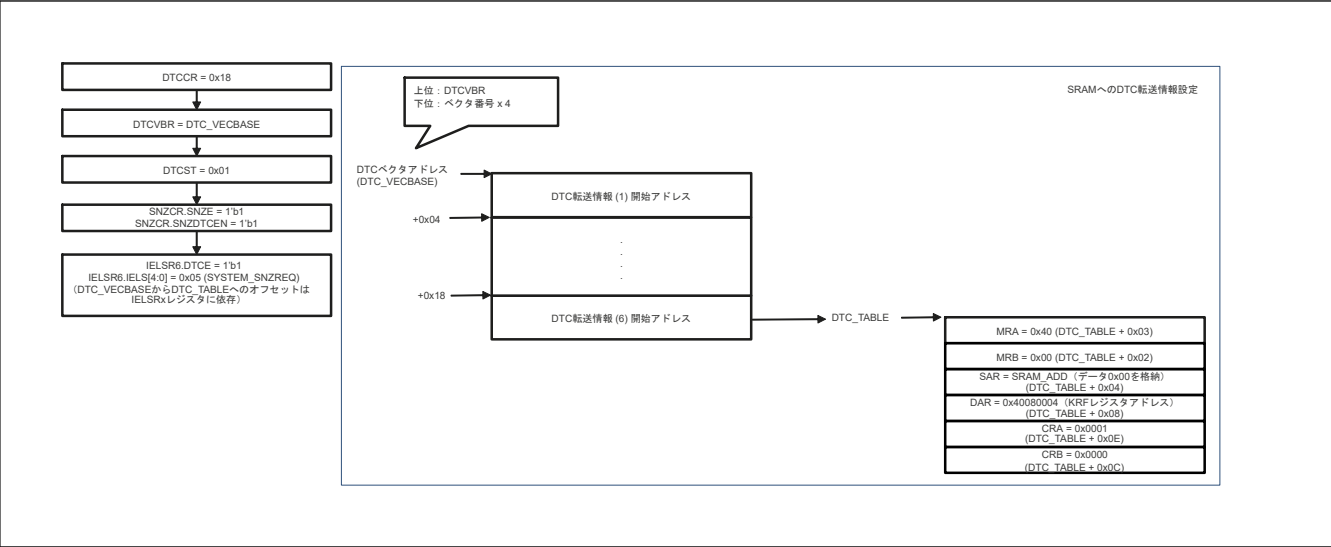


図 17.7 リピート転送モードでの DTC の設定例

18. タイマアレイユニット (TAU)

18.1 概要

タイマアレイユニットは 16 ビットタイマを 8 つ搭載しています。

各 16 ビットタイマはチャンネルと呼ばれ、個別に使用することができます。複数のチャンネルで高精度タイマを構成することもできます。

図 18.1 にタイマアレイユニットのチャンネル構成を示します。

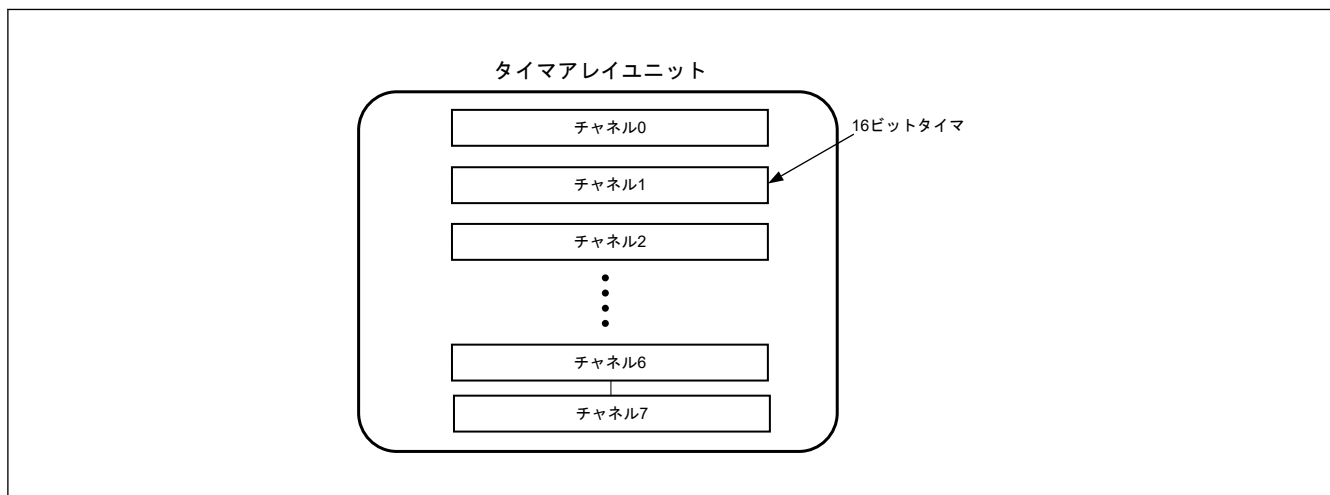


図 18.1 チャンネル構成

チャンネル 1 と 3 では、16 ビットタイマ 1 つを 8 ビットタイマ 2 つ（上位タイマと下位タイマ）に分割して使用することができます。チャンネル 1 と 3 で 8 ビットタイマを使用できる機能は以下の通りです。

- インターバルタイマ（上位または下位 8 ビットタイマ）および矩形波出力（下位 8 ビットタイマのみ）
- 外部イベントカウンタ（下位 8 ビットタイマのみ）
- ディレイカウンタ（下位 8 ビットタイマのみ）

チャンネル 7 とシリアルアレイユニットの UART2 とを連携して LIN-bus 通信動作を実現できます。

表 18.1 に TAU の機能一覧を示します。図 18.2～図 18.11 に各機能のイメージを示します。

表 18.1 TAU の機能一覧

項目	内容	
単独チャネル動作機能(注1)	インターバルタイマ	各タイマは、定周期で割り込み (TAU0_ENDIn) を発生させる基準タイマとして使用できます。
	矩形波出力	TAU0_ENDIn 割り込みが発生するたびにトグル動作が行われ、タイマ出力端子 (TO0n) からデューティ比 50% の矩形波が出力されます。
	外部イベントカウンタ	各タイマは、タイマ入力端子 (TI0n) に入力された信号の有効エッジの数が規定の値に達した時に割り込みを発生させるイベントカウンタとして使用できます。
	分周器機能 (チャネル 0 のみ)	タイマ入力端子 (TI00) からのクロック入力分周され出力端子 (TO00) から出力されます。
	入力パルスの間隔の測定	タイマ入力端子 (TI0n) に入力されるパルス信号の有効エッジでカウントが開始します。タイマのカウント値は次のパルスの有効エッジでキャプチャされます。この方法で入力パルスの間隔は測定されます。
	入力信号の High/Low レベル幅の測定	タイマ入力端子 (TI0n) に入力される信号の片エッジでカウントが開始し、もう片方のエッジでカウント値がキャプチャされます。この方法で入力信号の High/Low レベル幅は測定されます。
	ディレイカウンタ	タイマ入力端子 (TI0n) に入力される信号の有効エッジでカウントが開始し、任意のディレイ期間後に割り込みが発生します。
同時チャネル動作機能(注2)	ワンショットパルス出力	一対のチャネルを使用して特定の出力タイミングとパルス幅を持つワンショットパルスを生成します。
	PWM (Pulse Width Modulation) 出力	一対のチャネルを使用して特定の周期とデューティ比を持つパルスを生成します。
	マルチ PWM (Pulse Width Modulation) 出力	PWM 機能を拡張し、マスタチャネル 1 つと複数のスレーブチャネルを使用して、特定の周期とデューティ比を持つ PWM 信号を最大 7 種類生成できます。
8 ビットタイマ動作機能 (チャネル 1 と 3 のみ) (注3)		8 ビットタイマ動作機能により、16 ビットタイマ 1 チャネルを 8 ビットタイマ 2 チャネル構成として使用できます。
LIN-bus サポート機能 (チャネル 7 のみ) (注4)	ウェイクアップ信号の検出	UART2 のシリアルデータ入力端子 (RxD2) に入力される信号の立ち下がりエッジでタイマはカウントを開始し、タイマのカウント値は立ち上がりエッジでキャプチャされます。この方法で Low レベル幅を測定できます。Low レベル幅が所定の値を上回る場合にウェイクアップ信号と認識されます。
	ブレークフィールドの検出	ウェイクアップ信号検出後、UART2 のシリアルデータ入力端子 (RxD2) に入力される信号の立ち下がりエッジでタイマはカウントを開始し、タイマのカウント値は立ち上がりエッジでキャプチャされます。この方法で Low レベル幅が測定されます。Low レベル幅が所定の値を上回る場合にブレークフィールドと認識されます。
	シンクフィールドのパルス幅の測定	ブレークフィールド検出後、UART2 のシリアルデータ入力端子 (RxD2) に入力される信号の Low レベル幅と High レベル幅が測定されます。この方法で測定されたシンクフィールドのビット間隔からボーレートが算出されます。

注 1. この機能は他のチャネルの動作モードの影響を受けることなく使用することができます。詳細は、「18.7. タイマアレイユニットの単独チャネル動作機能」を参照してください。

注 2. この機能を使用すると、マスタチャネル (おもにサイクルを制御する基準タイマ) とスレーブチャネル (マスタチャネルに応じて動作するタイマ) を組み合わせることができます。詳細は、「18.8. タイマアレイユニットの同時チャネル動作機能」を参照してください。

注 3. 8 ビットタイマ動作機能を使用するにはいくつかのルールがあります。詳細は、「18.3.2. 8 ビットタイマ動作機能の基本ルール (チャネル 1 と 3 のみ)」を参照してください。

注 4. タイマアレイユニットは、LIN-bus 通信で受信した信号が LIN-bus 通信フォーマットに適合しているかどうかを確認するために使用します。LIN-bus 通信を実現するための動作設定の詳細については、「18.2.15. ISC : 入力切り替え制御レジスタ」と「18.7.5. 入力信号の High/Low レベル幅測定の動作」を参照してください。

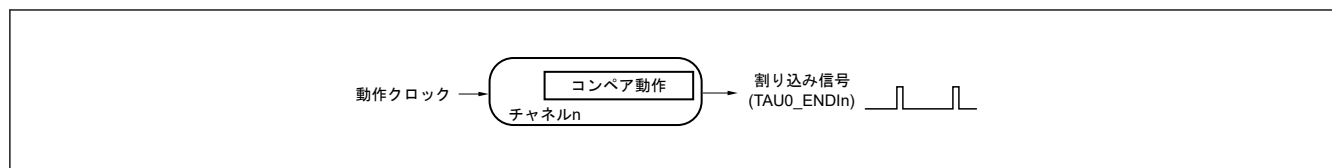


図 18.2 インターバルタイマの機能イメージ

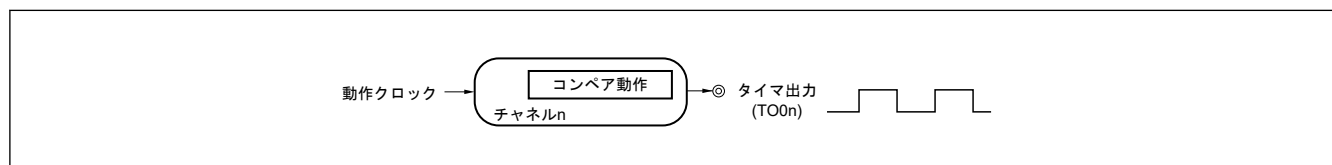


図 18.3 矩形波出力の機能イメージ

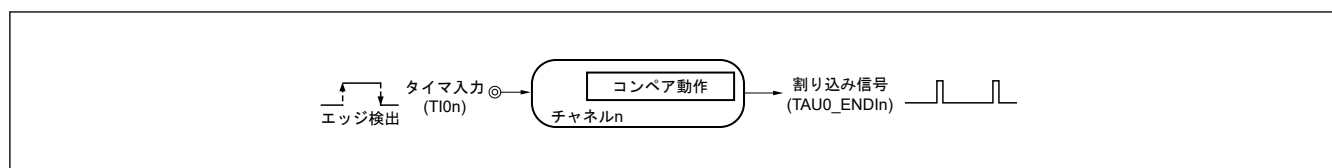


図 18.4 外部イベントカウンタの機能イメージ

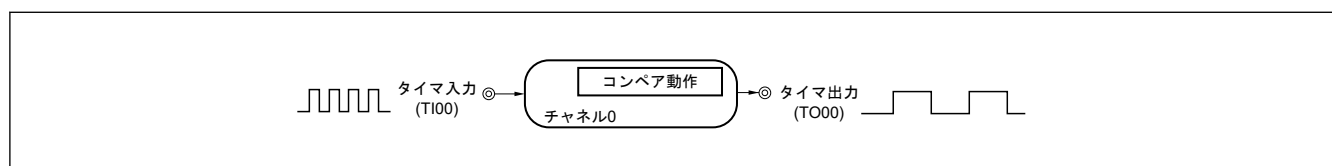


図 18.5 分周器機能の機能イメージ

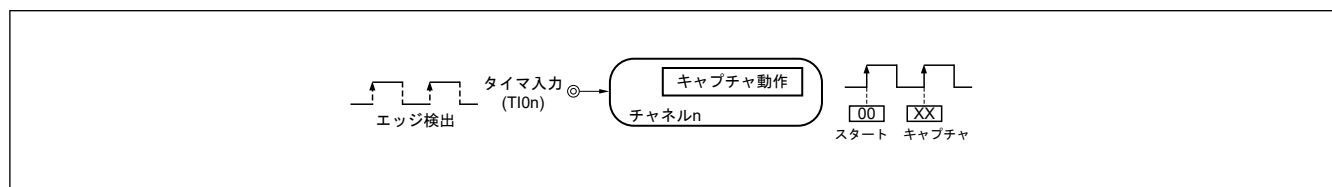


図 18.6 入力パルスの間隔測定の機能イメージ

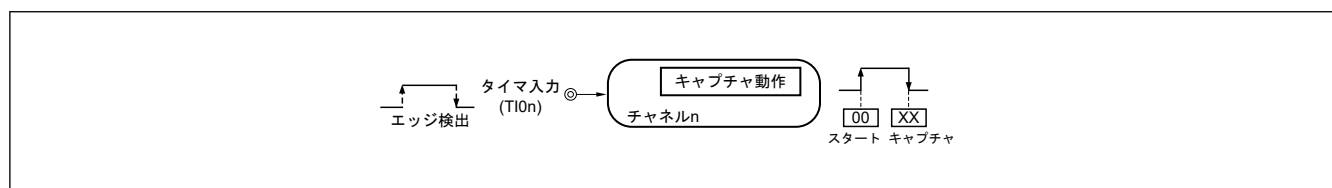


図 18.7 入力信号の High/Low レベル幅測定の機能イメージ

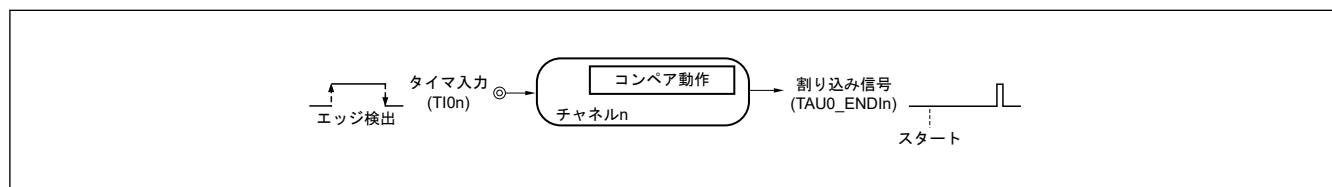


図 18.8 デイレイカウンタの機能イメージ

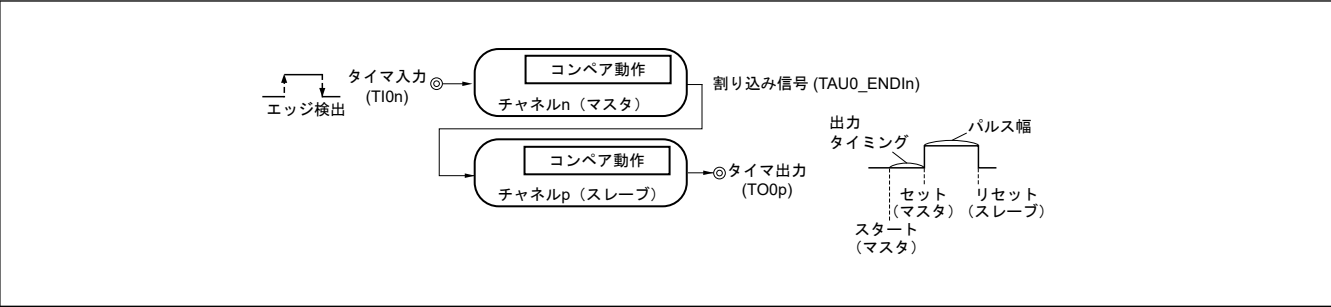


図 18.9 ワンショットパルス出力の機能イメージ

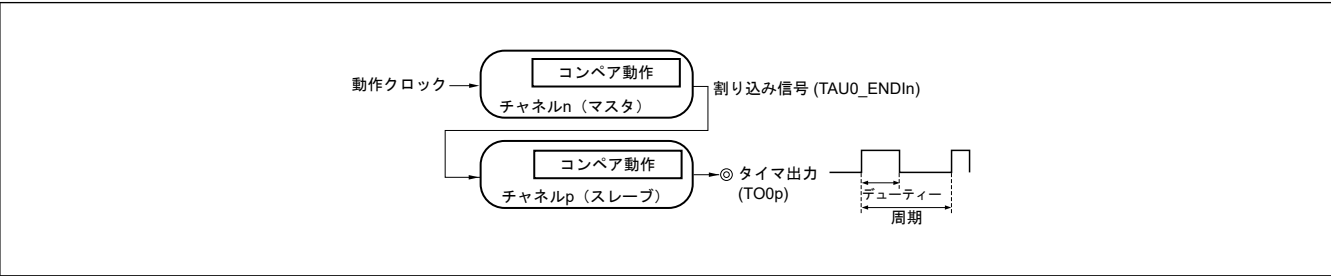


図 18.10 PWM 出力の機能イメージ

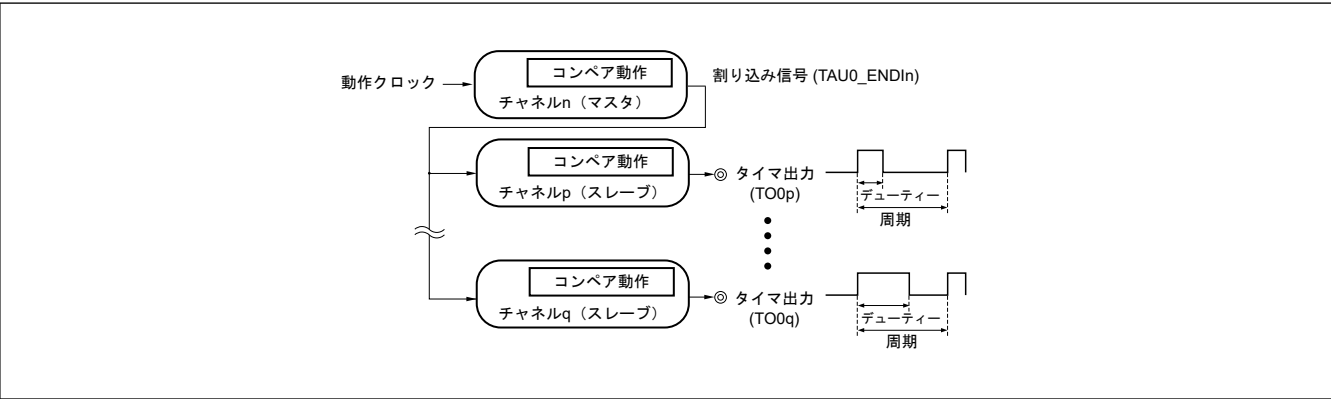


図 18.11 マルチ PWM 出力の機能イメージ

注. n: チャンネル番号 (n = 0~7)、p, q: スレーブチャンネル番号 (n < p < q ≤ 7)

タイマアレiyユニットを構成するハードウェアを[表 18.2](#)に示します。

表 18.2 タイマアレiyユニットの構成

項目	設定
タイマ／カウンタ	タイマカウンタレジスタ 0n (TCR0n)
レジスタ	タイマデータレジスタ 0n (TDR0n)
タイマ入力	TI00~TI07、RxD2 端子 (LIN-bus 用)
タイマ出力	TO00~TO07 端子、出力制御回路

[図 18.12](#) にタイマアレiyユニットのブロック図を示します。[図 18.13](#)~[図 18.18](#) に各チャンネルのブロック図を示します。

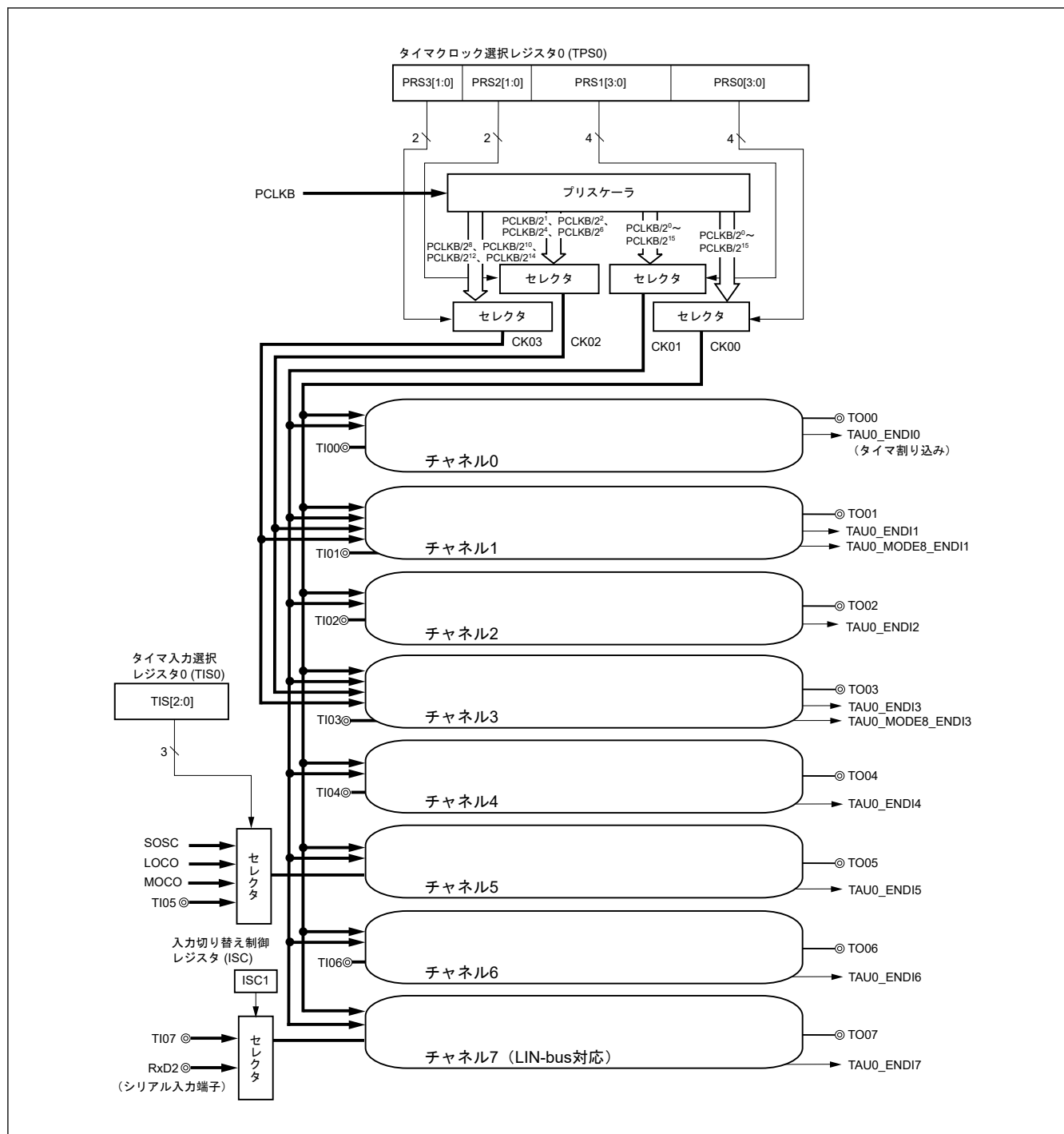


図 18.12 タイマアレユニットの全体構成

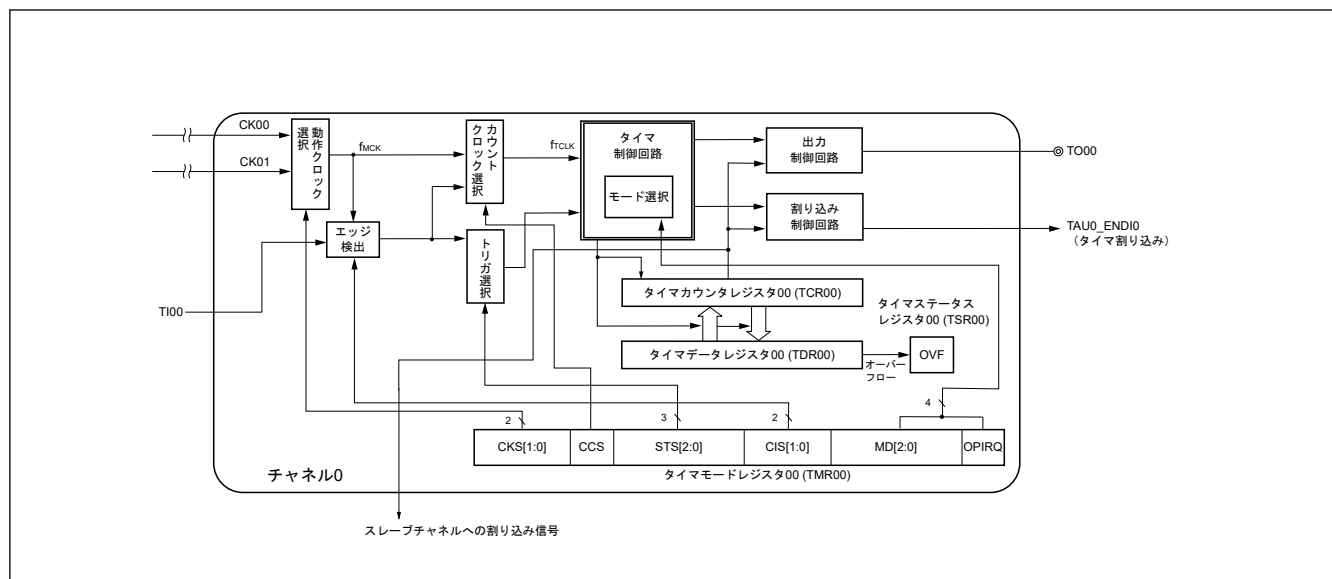


図 18.13 タイマアレユニットのチャンネル0の内部ブロック図

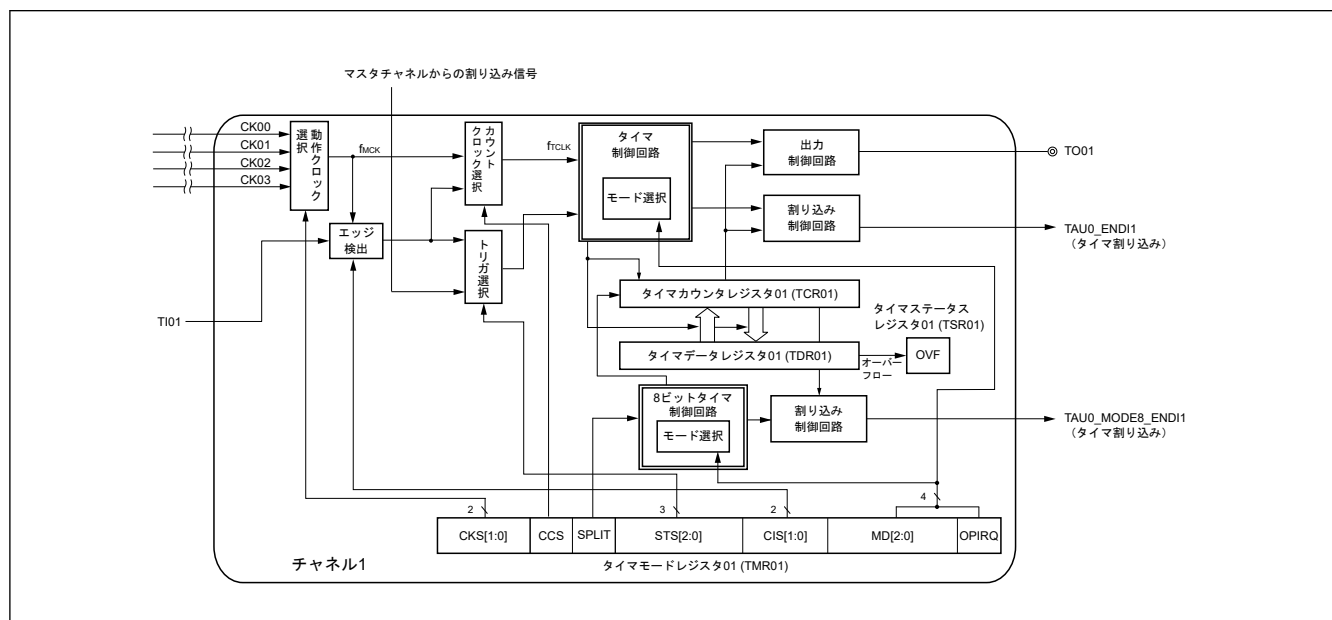


図 18.14 タイマアレユニットのチャンネル1の内部ブロック図

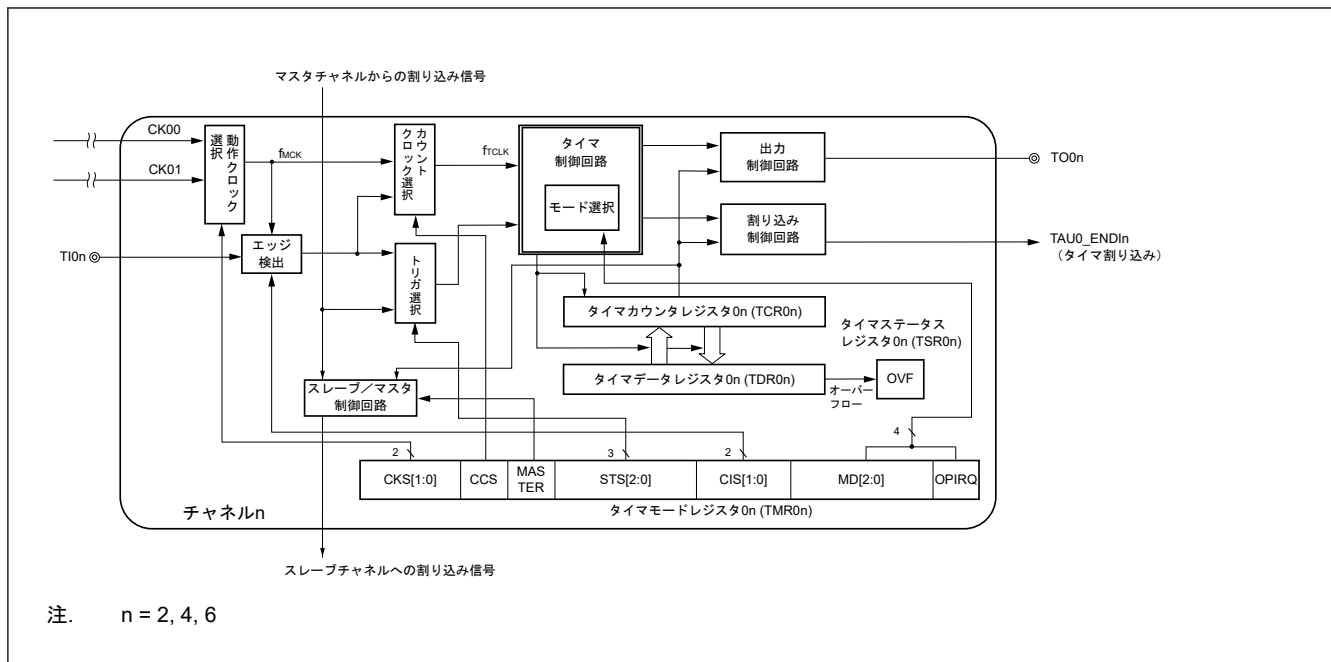


図 18.15 タイマアレiyユニットのチャンネル 2、4、6 の内部ブロック図

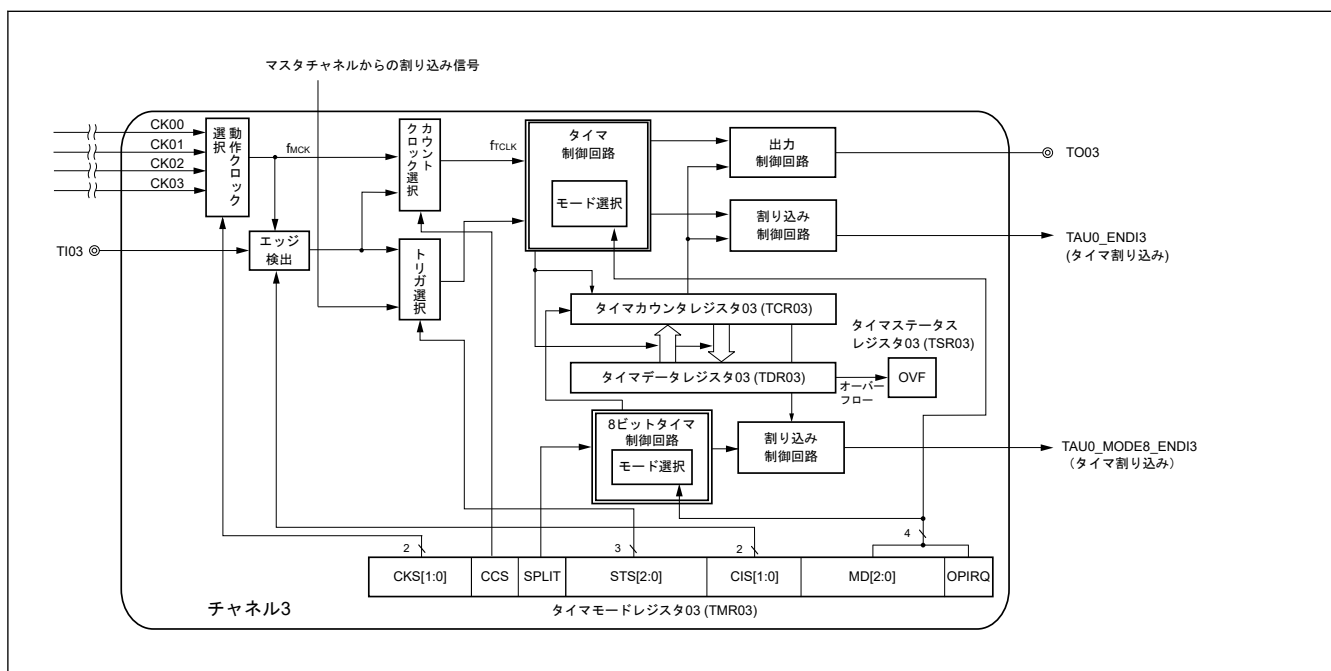


図 18.16 タイマアレiyユニットのチャンネル 3 の内部ブロック図

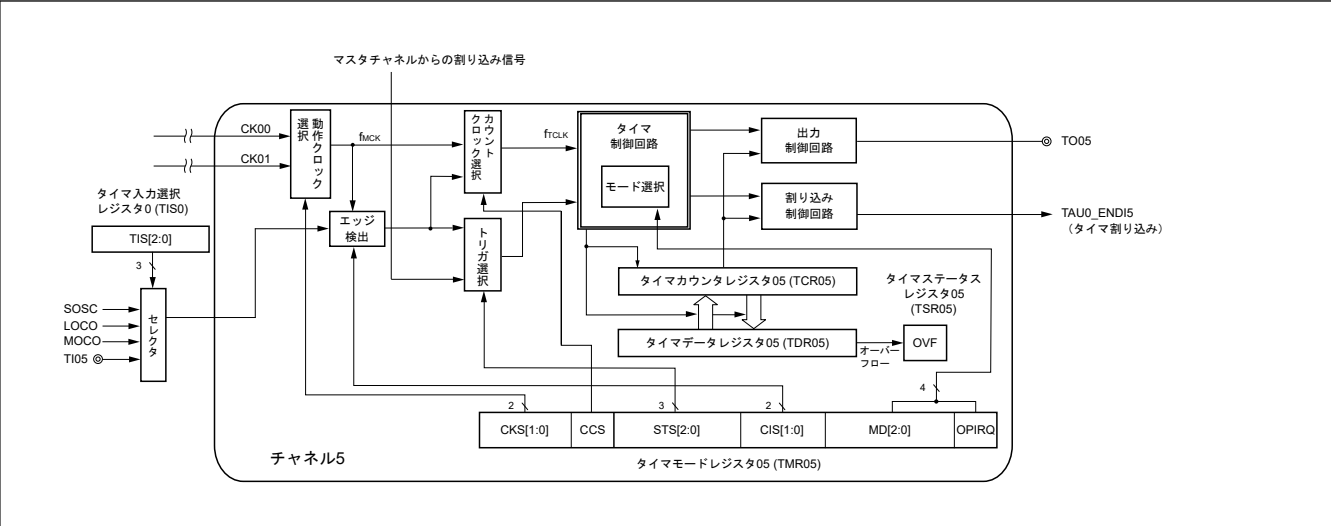


図 18.17 タイマアレユニットのチャンネル 5 の内部ブロック図

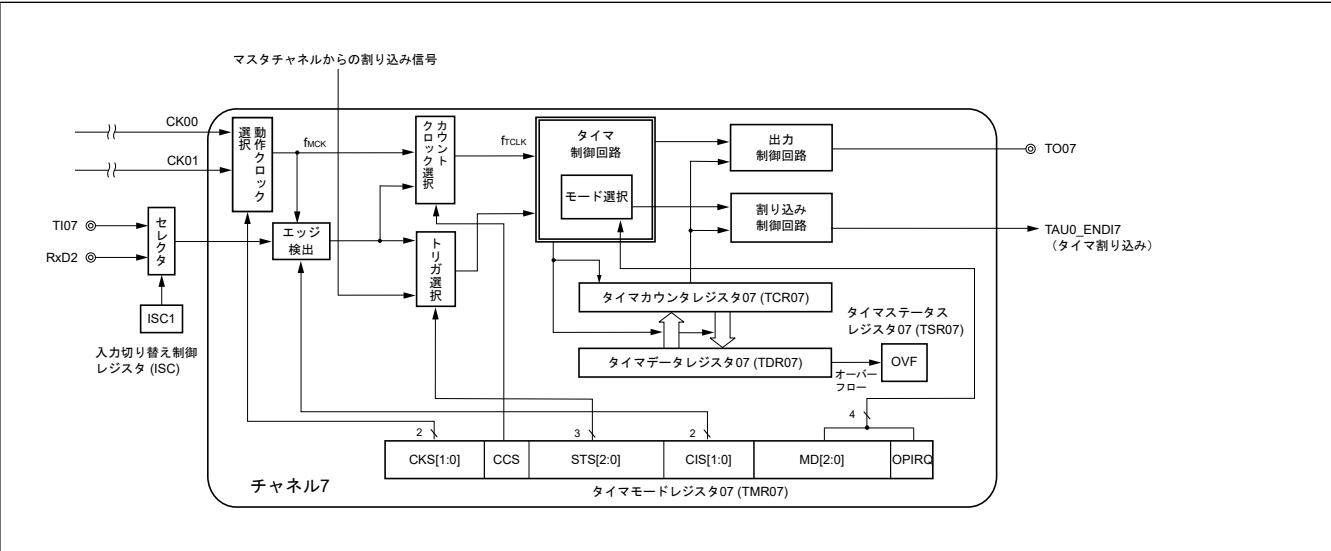


図 18.18 タイマアレユニットのチャンネル 7 の内部ブロック図

18.2 レジスタの説明

18.2.1 TCR0n : タイマカウンタレジスタ 0n (n = 0~7)

Base address: TAU = 0x4009_5000
Offset address: 0x0080 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	n/a	チャンネル n の 16 ビットクロックカウント結果	R

TCR0n は、クロックのカウントに使用する読み出し専用 16 ビットレジスタです。
本カウンタの値は、カウントクロックの立ち上がりエッジに同期してインクリメントまたはデクリメントします。インクリメントとデクリメントのどちらになるかは、タイマモードレジスタ 0n (TMR0n) の MD[2:0] ビット

と OPIRQ ビットで選択した動作モード（「18.2.4. TMR0n : タイマモードレジスタ 0n (n = 0, 2, 4, 5, 6, 7)」と「18.2.5. TMR0n : タイマモードレジスタ 0n (n = 1, 3)」を参照）に従います。

タイマカウンタレジスタ 0n (TCR0n) を読み出すとカウント値が読めます。以下の場合ではカウント値が 0xFFFF になります。

- リセット信号が発生したとき
- PWM 出力モードでスレーブチャネルのカウントが完了したとき
- ディレイカウンタモードでスレーブチャネルのカウントが完了したとき
- ワンショットパルス出力モードでマスタチャネルまたはスレーブチャネルのカウントが完了したとき
- マルチ PWM 出力モードでスレーブチャネルのカウントが完了したとき

以下の場合ではカウント値が 0x0000 にクリアされます。

- キャプチャモードでスタートトリガが入力されたとき
- キャプチャモードでキャプチャが完了したとき

注. TCR0n レジスタを読み出してもカウント値はタイマデータレジスタ 0n (TDR0n) にキャプチャされません。

TCR0n レジスタの読み出し値は、動作モードと動作状態によって異なります。詳細は、表 18.3 を参照してください。

表 18.3 各動作モードでのタイマカウンタレジスタ 0n (TCR0n) の読み出し値

動作モード	カウントモード	タイマカウンタレジスタ 0n (TCR0n) の読み出し値(注1)			
		リセット解除後に動作モードが変更された時の値	カウント動作を暫定的に停止した (TT0.TT[n] = 1) 時の値	カウント動作を暫定的に停止した (TT0.TT[n] = 1) 後に動作モードが変更された時の値	ワンカウント後のスタートトリガを待っている時の値
インターバルタイマモード	ダウンカウント	0xFFFF	カウント停止時の値	不定	—
キャプチャモード	アップカウント	0x0000	カウント停止時の値	不定	—
イベントカウンタモード	ダウンカウント	0xFFFF	カウント停止時の値	不定	—
ワンカウントモード	ダウンカウント	0xFFFF	カウント停止時の値	不定	0xFFFF
キャプチャ & ワンカウントモード	アップカウント	0x0000	カウント停止時の値	不定	TDR0n レジスタのキャプチャ値 + 1

注 1. チャネル n のタイマ動作が停止し (TE0.TE[n] = 0) カウンタ動作が許可されている (TS0.TS[n] = 1) 場合に TCR0n レジスタから読み出される値です。読み出した値はカウント動作が始まるまで TCR0n レジスタに保持されます。

18.2.2 TDR0n/TDR01x/TDR03x : タイマデータレジスタ 0n (n = 0~7) (x = L, H)

Base address: TAU = 0x4009_5000

Offset address: 0x0000 (TDR00)
 0x0002 (TDR01/TDR01L)
 0x0003 (TDR01H)
 0x0004 (TDR02)
 0x0006 (TDR03/TDR03L)
 0x0007 (TDR03H)
 0x0008 (TDR04)
 0x000A (TDR05)
 0x000C (TDR06)
 0x000E (TDR07)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	n/a	16 ビットタイマキャプチャ結果またはチャネル n のコンペアデータ設定	R/W

キャプチャ機能とコンペア機能の選択に使用する 16 ビットレジスタです。

キャプチャ機能とコンペア機能は、タイマモードレジスタ 0n (TMR0n) の TMR0n.MD[2:0] ビットと TMR0n.OPIRQ ビットで選択した動作モードに応じて切り替わります。

TDR0n レジスタの値はいつでも変更できます。本レジスタは 16 ビット単位で読み出し／書き込みが可能です。

また、TDR01 レジスタと TDR03 レジスタについては、8 ビットタイマモードのとき (TMR01.SPLIT ビットと TMR03.SPLIT ビットが 1 のとき)、8 ビット単位でデータの読み出し／書き込みが可能です。この時、TDR01H と TDR03H は上位 8 ビットとして、TDR01L と TDR03L は下位 8 ビットとして使用されます。

(i) タイマデータレジスタ 0n (TDR0n) をコンペアレジスタとして使用する場合

TDR0n レジスタの設定値を初期値にダウンカウントが開始します。カウント値が 0x0000 に達すると、割り込み信号 (TAU0_ENDIn) が発生します。TDR0n レジスタの値は書き換えられるまで保持されます。

注. コンペア機能設定時、キャプチャトリガが入力されても TDR0n レジスタはキャプチャ動作を行いません。

(ii) タイマデータレジスタ 0n (TDR0n) をキャプチャレジスタとして使用する場合

キャプチャトリガが入力されると、タイマカウンタレジスタ 0n (TCR0n) のカウント値が TDR0n レジスタにキャプチャされます。

TI0n 端子の有効エッジをキャプチャトリガとして選択できます。この選択は、タイマモードレジスタ 0n (TMR0n) で行えます。

18.2.3 TPS0 : タイマクロック選択レジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00B6

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PRS3[1:0]	—	—	PRS2[1:0]	PRS1[3:0]			PRS0[3:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PRS0[3:0]	動作クロック (CK00) の選択(注1) (注2) (注3) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W

ビット	シンボル	機能	R/W
7:4	PRS1[3:0]	動作クロック (CK01) の選択(注1)(注2)(注3) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W
9:8	PRS2[1:0]	動作クロック (CK02) の選択(注1)(注4) 0x0: PCLKB/2 0x1: PCLKB/2 ² 0x2: PCLKB/2 ⁴ 0x3: PCLKB/2 ⁶	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	PRS3[1:0]	動作クロック (CK03) の選択(注1)(注4) 0x0: PCLKB/2 ⁸ 0x1: PCLKB/2 ¹⁰ 0x2: PCLKB/2 ¹² 0x3: PCLKB/2 ¹⁴	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PCLKB に選択したクロックを変更する時は、タイマアレイユニットを停止 (TT0 = 0x00FF) してください。

注 2. 動作クロック (CK0k) として PCLKB (分周なし) が選択され TDR0n (n = 0~7) に 0x0000 が設定された場合、タイマアレイユニットから出力される割り込み要求は使用できません。

注 3. TPS0 レジスタで選択するクロックの、立ち上がりエッジから PCLKB の 1 サイクルの間 High レベルとなる波形。詳細は、「18.4.1. カウントクロック (f_{CLK})」を参照してください。

注 4. 動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジを選択した場合でも、タイマアレイユニットを停止してください。

TPS0 は、各チャネルに共通に供給される 2 種類または 4 種類の動作クロック (CK00、CK01、CK02、CK03) を選択するための 16 ビットレジスタです。CK00 は PRS0[3:0] ビットで選択し、CK01 は PRS1[3:0] ビットで選択します。また、チャネル 1 と 3 に限っては CK02 と CK03 も選択できます。CK02 は PRS2[1:0] ビットで選択し、CK03 は PRS3[1:0] ビットで選択します。

以下の場合では、タイマ動作中に TPS0 レジスタを書き換えることができます。

- PRS0[3:0] ビットが書き換え可能な場合 (n = 0~7) :
動作クロックとして CK00 が選択されている (TMR0n.CKS[1:0] = 00b) 全てのチャネルが停止します (TE0.TE[n] = 0)。
- PRS1[3:0] ビットが書き換え可能な場合 (n = 0~7) :
動作クロックとして CK01 が選択されている (TMR0n.CKS[1:0] = 01b) 全てのチャネルが停止します (TE0.TE[n] = 0)。
- PRS2[1:0] ビットが書き換え可能な場合 (n = 1, 3) :
動作クロックとして CK02 が選択されている (TMR0n.CKS[1:0] = 10b) 全てのチャネルが停止します (TE0.TE[n] = 0)。
- PRS3[1:0] ビットが書き換え可能な場合 (n = 1, 3) :
動作クロックとして CK03 が選択されている (TMR0n.CKS[1:0] = 11b) 全てのチャネルが停止します (TE0.TE[n] = 0)。

PRS0[3:0]ビット（動作クロック (CK00) の選択）

PRS0[3:0] ビットで選択できる入力ソースを表 18.4 に示します。

PRS1[3:0]ビット（動作クロック (CK01) の選択）

PRS1[1:0] ビットで選択できる入力ソースを表 18.4 に示します。

表 18.4 動作クロック (PRSk (k = 0, 1)) の選択

PRSk[3:0]	動作クロック (CK0k) ^(注1) (k = 0, 1) の選択						
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz	PCLKB = 48 MHz
0x0	PCLKB	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz	48 MHz
0x1	PCLKB/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	24 MHz
0x2	PCLKB/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	12 MHz
0x3	PCLKB/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz	6 MHz
0x4	PCLKB/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz
0x5	PCLKB/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz	1.5 MHz
0x6	PCLKB/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz	750 kHz
0x7	PCLKB/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz	375 kHz
0x8	PCLKB/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	187.5 kHz
0x9	PCLKB/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz	93.8 kHz
0xA	PCLKB/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz	46.9 kHz
0xB	PCLKB/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz	23.4 kHz
0xC	PCLKB/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.7 kHz
0xD	PCLKB/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz	5.86 kHz
0xE	PCLKB/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.93 kHz
0xF	PCLKB/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz	1.46 kHz

注. 動作クロック (CK0k) として PCLKB（分周なし）が選択され TDR0n（n = 0~7）に 0x0000 が設定された場合、タイマアレギュニットから出力される割り込み要求は使用できません。

注. TPS0 レジスタで選択するクロックの、立ち上がりエッジから PCLKB の 1 サイクルの間 High レベルとなる波形。詳細は、「18.4.1. カウントクロック (f_{CLK})」を参照してください。

注 1. PCLKB に選択したクロックを変更する時は、タイマアレギュニットを停止 (TT0 = 0x00FF) してください。

PRS2[1:0] ビット（動作クロック (CK02) の選択）

PRS2[1:0] ビットで選択できる入力ソースを表 18.5 に示します。

表 18.5 動作クロック (PRS2[1:0]) の選択

PRS2[1:0]	動作クロック (CK02) の選択 ^(注1)						
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz	PCLKB = 48 MHz
00b	PCLKB/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	24 MHz
01b	PCLKB/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	12 MHz
10b	PCLKB/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz
11b	PCLKB/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz	750 kHz

注 1. PCLKB に選択したクロックを変更する時は、タイマアレギュニットを停止 (TT0 = 0x00FF) してください。

動作クロック (f_{MCK}) または TIO_n 端子から入力された信号の有効エッジを選択した場合でも、タイマアレギュニットを停止してください。

PRS3[1:0] ビット（動作クロック (CK03) の選択）

PRS3[1:0] ビットで選択できる入力ソースを表 18.6 に示します。

表 18.6 動作クロック (PRS3[1:0]) の選択

PRS3[1:0]	動作クロック (CK03) の選択 ^(注1)						
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz	PCLKB = 48 MHz
00b	PCLKB/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	188 kHz
01b	PCLKB/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz	46.9 kHz
10b	PCLKB/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.7 kHz
11b	PCLKB/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.93 kHz

注 1. PCLKB に選択したクロックを変更する時は、タイマアレギュニットを停止 (TT0 = 0x00FF) してください。
動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジを選択した場合でも、タイマアレギュニットを停止してください。

8 ビットタイマモードでチャンネル 1 と 3 を使用し動作クロックとして CK02 または CK03 を指定した場合、インターバルタイマ機能で表 18.7 に示すインターバル時間を実現することが可能になります。

表 18.7 動作クロック CK02 または CK03 で適用可能なインターバル時間

クロック		インターバル時間 ^(注1) (PCLKB = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CK02	PCLKB/2	✓	—	—	—
	PCLKB/2 ²	✓	—	—	—
	PCLKB/2 ⁴	✓	✓	—	—
	PCLKB/2 ⁶	✓	✓	—	—
CK03	PCLKB/2 ⁸	—	✓	✓	—
	PCLKB/2 ¹⁰	—	✓	✓	—
	PCLKB/2 ¹²	—	—	✓	✓
	PCLKB/2 ¹⁴	—	—	✓	✓

注. TPS0 レジスタで選択した PCLKB/2ⁿ の信号の詳細については、「18.4.1. カウントクロック (f_{TCLK})」を参照してください。

注 1. 5%以内が許容範囲です。

18.2.4 TMR0n : タイマモードレジスタ 0n (n = 0, 2, 4, 5, 6, 7)

Base address: TAU = 0x4009_5000

Offset address: 0x0090 (TMR00)
0x0094 (TMR02)
0x0098 (TMR04)
0x009A (TMR05)
0x009C (TMR06)
0x009E (TMR07)

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	CKS[1:0]	—	CCS	MASTER	STS[2:0]	CIS[1:0]	—	—	MD[2:0]	OPIRQ

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	OPIRQ	カウント開始と割り込みの設定	R/W
3:1	MD[2:0]	チャンネル n の動作モードの選択 000: インターバルタイマモード 010: キャプチャモード 011: イベントカウンタモード 100: ワンカウントモード 110: キャプチャ&ワンカウントモード その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	CIS[1:0]	TI0n 端子入力の有効エッジの選択 0 0: 立ち下がリエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ (Low レベル幅測定時) スタートトリガ: 立ち下がリエッジ、キャプチャトリガ: 立ち上がりエッジ 1 1: 両エッジ (High レベル幅測定時) スタートトリガ: 立ち上がりエッジ、キャプチャトリガ: 立ち下がリエッジ	R/W
10:8	STS[2:0]	チャンネル n のスタートトリガまたはキャプチャトリガの設定 0 0 0: ソフトウェアトリガスタートのみ有効 (他のトリガ要因は未選択) 0 0 1: TI0n 端子入力の有効エッジをスタートトリガとキャプチャトリガの両方に使用 0 1 0: TI0n 端子入力の両エッジをスタートトリガとキャプチャトリガに使用 1 0 0: マスタチャンネルの割り込み信号を使用 (同時チャンネル動作機能でチャンネルがスレーブチャンネルとして使用されている場合) その他: 設定禁止	R/W
11(注1)	MASTER	チャンネル n を単独で使用するか他のチャンネルと同時に (スレーブまたはマスタとして) 使用するかの選択 0: 単独チャンネル動作機能で動作するか、または同時チャンネル動作機能でスレーブチャンネルとして動作する 1: 同時チャンネル動作機能でマスタチャンネルとして動作する	R/W
12	CCS	チャンネル n のカウントクロック (f_{CLK}) の選択 0: CKS[1:0] ビットで指定した動作クロック (f_{MCK}) 1: TI0n 端子から入力される入力信号の有効エッジ - チャンネル 5 では、TIS0 レジスタで選択した入力信号の有効エッジ - チャンネル 7 では、ISC レジスタで選択した入力信号の有効エッジ	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	CKS[1:0]	チャンネル n の動作クロック (f_{MCK}) の選択 0 0: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK00 0 1: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK02 1 0: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK01 1 1: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK03	R/W

注. PCLKB に選択したクロックを変更する場合は、CKS[1:0] ビットで指定した動作クロック (f_{MCK}) または TI0n 端子から入力された信号の有効エッジがカウントクロック (f_{CLK}) に選択されていても、タイマアレギュニットを停止 (TT0 = 0x00FF) させてください。

注 1. n が 0、5、または 7 のときはサポートしていません。TMR00、TMR05、TMR07 の各レジスタのマスタビットは 0 に固定です。当該ビットに値を書き込んでも無視されます。

TMR0n レジスタはチャンネル n の動作モードを設定します。本レジスタを使用して次の設定を行えます。・動作クロック (f_{MCK}) の選択・カウントクロックの選択・マスタ/スレーブの選択・16 ビットタイマの選択・スタートトリガとキャプチャトリガの指定・タイマ入力の有効エッジの選択・動作モード (インターバルタイマ/キャプチャ/イベントカウンタ/ワンカウント/キャプチャ&ワンカウント) の指定

レジスタ動作中 (TE0.TE[n] が 1 のとき) に TMR0n レジスタを書き換えることは禁止です。ただし、レジスタが何かの機能で動作しているとき (TE0.TE[n] が 1 のとき) であっても、CIS[1:0] ビットは書き換え可能です。詳細は、「[18.7. タイマアレギュニットの単独チャンネル動作機能](#)」および「[18.8. タイマアレギュニットの同時チャンネル動作機能](#)」を参照してください。

OPIRQ ビット (カウント開始と割り込みの設定)

表 18.8 に、MD[2:0] ビットと OPIRQ ビットで選択できる動作モードを示します。

表 18.8 OPIRQ ビットで選択する動作モード (1/2)

動作モード (MD[2:0])	OPIRQ	カウント開始と割り込みの設定
- インターバルタイマモード (000b) - キャプチャモード (010b)	0	カウント開始時にタイマ割り込みは発生しない (タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みが発生する (タイマ出力も変化する)。
イベントカウンタモード (011b)	0	カウント開始時にタイマ割り込みは発生しない (タイマ出力も変化しない)。

表 18.8 OPIRQ ビットで選択する動作モード (2/2)

動作モード (MD[2:0])	OPIRQ	カウント開始と割り込みの設定
ワンカウントモード (100b) ^(注1)	0	カウント動作中に発生するスタートトリガは無効となる。 その時、割り込みは発生しない。
	1	カウント動作中に発生するスタートトリガは有効となる。 ^(注2) その時、割り込みは発生する。
キャプチャ & ワンカウントモード (110b)	0	カウント開始時にタイマ割り込みは発生しない (タイマ出力も変化しない)。 カウント動作中に発生するスタートトリガは無効となる。 その時、割り込みは発生しない。
上記以外		設定禁止

注 1. ワンカウントモードでは、カウント動作開始時の割り込み出力 (TAU0_ENDIn) と TOOn 出力は制御されません。

注 2. 動作中にスタートトリガ (TS0.TS[n] = 1) が発行されるとカウンタは初期化され、再カウントが開始します (割り込み要求は発生しません)。

MD[2:0] ビット (チャネル n の動作モードの選択)

各モードにおける動作は TMR0n.OPIRQ ビットの値によって変わります (表 18.8 参照)。

表 18.9 に、MD[2:0] ビットで選択できる動作モードを示します。

表 18.9 MD[2:0] ビットで選択する動作モード

MD[2:0]	チャネル n の動作モード	対応する機能	TCR のカウント動作
000b	インターバルタイマモード	インターバルタイマまたは 矩形波出力または 分周器機能または PWM 出力 (マスタ)	ダウンカウント
010b	キャプチャモード	入力パルスの間隔の測定	アップカウント
011b	イベントカウンタモード	外部イベントカウンタ	ダウンカウント
100b	ワンカウントモード	ディレイカウンタまたは ワンショットパルス出力または PWM 出力 (スレーブ)	ダウンカウント
110b	キャプチャ & ワンカウントモード	入力信号の High/Low レベル幅の測定	アップカウント
上記以外		設定禁止	

CIS[1:0] ビット (TI0n 端子入力の有効エッジの選択)

STS[2:0] ビットの値が 010b 以外で両エッジが指定されている場合は、CIS[1:0] ビットに 10b を設定してください。

STS[2:0] ビット (チャネル n のスタートトリガまたはキャプチャトリガの設定)

このビットはチャネル n のスタートトリガまたはキャプチャトリガの設定に使用します。

MASTER ビット (チャネル n を単独で使用するか他のチャネルと同時に (スレーブまたはマスタとして) 使用するかの選択)

マスタチャネル (MASTER = 1) として設定できるのはチャネル 2、4、または 6 だけです。チャネル 0、5、7 は 0 固定となります。チャネル 0 は最上位チャネルなので、ビット設定に関係なくマスタとして動作します。単独チャネル動作機能で使用するチャネルは、MASTER ビットを 0 にしてください。

CCS ビット (チャネル n のカウントクロック (f_{TCLK}) の選択)

カウントクロック (f_{TCLK}) は、カウンタ、出力制御回路、および割り込み制御回路に使用されます。

CKS[1:0]ビット（チャンネル n の動作クロック (f_{MCK}) の選択）

動作クロック (f_{MCK}) はエッジ検出回路が使用します。カウントクロック (f_{TCLK}) とサンプリングクロックは、CCS ビットの設定に従って生成されます。

動作クロック CK02、CK03 はチャンネル 1、3 のみ選択可能です。

18.2.5 TMR0n : タイマモードレジスタ 0n (n = 1, 3)

Base address: TAU = 0x4009_5000

Offset address: 0x0092 (TMR01)
0x0096 (TMR03)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CKS[1:0]	—	CCS	SPLIT	STS[2:0]	CIS[1:0]	—	—	—	—	—	—	MD[2:0]	—	—	OPIRQ
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OPIRQ	カウント開始と割り込みの設定	R/W
3:1	MD[2:0]	チャンネル n の動作モードの選択 000: インターバルタイマモード 010: キャプチャモード 011: イベントカウンタモード 100: ワンカウントモード 110: キャプチャ & ワンカウントモード その他: 設定禁止	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	CIS[1:0]	Ti0n 端子入力の有効エッジの選択 00: 立ち下がりエッジ 01: 立ち上がりエッジ 10: 両エッジ (Low レベル幅測定時) スタートトリガ: 立ち下がりエッジ、キャプチャトリガ: 立ち上がりエッジ 11: 両エッジ (High レベル幅測定時) スタートトリガ: 立ち上がりエッジ、キャプチャトリガ: 立ち下がりエッジ	R/W
10:8	STS[2:0]	チャンネル n のスタートトリガまたはキャプチャトリガの設定 000: ソフトウェアトリガスタートのみ有効 (他のトリガ要因は未選択) 001: Ti0n 端子入力の有効エッジをスタートトリガとキャプチャトリガの両方に使用 010: Ti0n 端子入力の両エッジをスタートトリガとキャプチャトリガに使用 100: マスタチャンネルの割り込み信号を使用 (同時チャンネル動作機能でチャンネルがスレーブチャンネルとして使用されている場合) その他: 設定禁止	R/W
11	SPLIT	チャンネル 1 とチャンネル 3 のタイマ動作選択 (8 ビット/16 ビット) 0: 16 ビットタイマとして動作 (単独チャンネル動作機能で動作するか、または同時チャンネル動作機能でスレーブチャンネルとして動作する) 1: 8 ビットタイマとして動作	R/W
12	CCS	チャンネル n のカウントクロック (f_{TCLK}) の選択 0: CKS[1:0] ビットで指定した動作クロック (f_{MCK}) 1: Ti0n 端子から入力される入力信号の有効エッジ	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	CKS[1:0]	チャンネル n の動作クロック (f_{MCK}) の選択 00: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK00 01: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK02 10: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK01 11: タイマクロック選択レジスタ 0 (TPS0) で設定した動作クロック CK03	R/W

注: PCLKB に選択したクロックを変更する場合は、CKS[1:0] ビットで指定した動作クロック (f_{MCK}) または Ti0n 端子から入力された信号の有効エッジがカウントクロック (f_{TCLK}) に選択されていても、タイマアレイユニットを停止 (TT0 = 0x00FF) させてください。

TMR0n レジスタはチャンネル n の動作モードを設定します。本レジスタを使用して次の設定を行えます。・動作クロック (f_{MCK}) の選択・カウントクロックの選択・マスタ/スレーブの選択・タイマ動作 (16 ビット/8 ビット) の選択 (チャンネル 1 と 3 のみ)・スタートトリガとキャプチャトリガの指定・タイマ入力の有効エッジの選択・動作モード (インターバルタイマ/キャプチャ/イベントカウンタ/ワンカウント/キャプチャ & ワンカウント) の指定

レジスタ動作中 (TE0.TE[n] が 1 のとき) に TMR0n レジスタを書き換えることは禁止です。ただし、レジスタが何かの機能で動作しているとき (TE0.TE[n] が 1 のとき) であっても、CIS[1:0] ビットは書き換え可能です。詳細は、「[18.7. タイマアレイユニットの単独チャンネル動作機能](#)」および「[18.8. タイマアレイユニットの同時チャンネル動作機能](#)」を参照してください。

OPIRQ ビット (カウント開始と割り込みの設定)

表 18.8 に、MD[2:0] ビットと OPIRQ ビットで選択できる動作モードを示します。

MD[2:0] ビット (チャンネル n の動作モードの選択)

各モードにおける動作は OPIRQ ビットの値によって変わります (表 18.8 参照)。

表 18.9 に、MD[2:0] ビットで選択できる動作モードを示します。

CIS[1:0] ビット (TI0n 端子入力の有効エッジの選択)

STS[2:0] ビットの値が 010b 以外で両エッジが指定されている場合は、CIS[1:0] ビットに 10b を設定してください。

STS[2:0] ビット (チャンネル n のスタートトリガまたはキャプチャトリガの設定)

このビットはチャンネル n のスタートトリガまたはキャプチャトリガの設定に使用します。

SPLIT ビット (チャンネル 1 とチャンネル 3 のタイマ動作選択 (8 ビット/16 ビット))

このビットは、チャンネル 1 と 3 のタイマ動作 (8 ビット/16 ビット) を選択するときに使用します。

CCS ビット (チャンネル n のカウントクロック (f_{TCLK}) の選択)

カウントクロック (f_{TCLK}) は、カウンタ、出力制御回路、および割り込み制御回路に使用されます。

CKS[1:0] ビット (チャンネル n の動作クロック (f_{MCK}) の選択)

動作クロック (f_{MCK}) はエッジ検出回路が使用します。カウントクロック (f_{TCLK}) とサンプリングクロックは、CCS ビットの設定に従って生成されます。

18.2.6 TSR0n: タイマステータスレジスタ 0n (n = 0~7)

Base address: TAU = 0x4009_5000

Offset address: 0x00A0 + 0x2 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OVF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVF	チャンネル n のカウンタオーバーフロー状態 0: オーバーフローの発生なし 1: オーバーフロー発生	R
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

TSR0n レジスタは、チャンネル n のカウンタのオーバーフロー状態を示します。

TSR0n レジスタが有効になるのは、キャプチャモード (TMR0n.MD[2:0] = 010b) とキャプチャ & ワンカウントモード (TMR0n.MD[2:0] = 110b) だけです。各動作モードでの OVF ビットの動作およびセット/クリア条件については、表 18.10 を参照してください。

TSR0n レジスタの下位 8 ビットは TSR0nL として扱うことができ、8 ビットアクセスで読み出すことができます。

OVF ビット（チャンネル n のカウンタオーバーフロー状態）

OVF が 1 の場合、オーバーフローの発生がないときに次の値がキャプチャされると、このフラグはクリア (OVF = 0) されます。

各動作モードでの OVF ビットの動作およびセット／クリア条件を表 18.10 に示します。

表 18.10 各動作モードでの OVF ビットの動作およびセット／クリア条件

タイマの動作モード	OVF ビット	セット／クリア条件
- キャプチャモード - キャプチャ & ワンカウントモード	クリア	キャプチャ時にオーバーフローが発生していない場合
	セット	キャプチャ時にオーバーフローが発生している場合
- インターバルタイマモード - イベントカウンタモード - ワンカウントモード	クリア	— (使用禁止)
	セット	

注. OVF ビットが変化するのはカウンタがオーバーフローした直後ではなく、次回キャプチャが行われた時です。

18.2.7 TE0：タイマチャンネル許可ステータスレジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00B0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	TEH3	—	TEH1	—	TE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TE[7:0]	チャンネル n の動作状態（許可／禁止）の表示 このビットは、チャンネル 1 または 3 が 8 ビットタイマモードの場合に、TE[1] ビットと TE[3] ビットに対応する下位 8 ビットタイマの動作状態（許可／禁止）を表示します。 0: 動作禁止状態 1: 動作許可状態	R
8	—	読むと 0 が読めます。	R
9	TEH1	チャンネル 1 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作状態（許可／禁止）の表示 0: 動作禁止状態 1: 動作許可状態	R
10	—	読むと 0 が読めます。	R
11	TEH3	チャンネル 3 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作状態（許可／禁止）の表示 0: 動作禁止状態 1: 動作許可状態	R
15:12	—	読むと 0 が読めます。	R

各チャンネルのタイマ動作の制御（許可／禁止）に TE0 レジスタを使用します。

TE0 レジスタの各ビットは、タイマチャンネル起動レジスタ 0 (TS0) とタイマチャンネル停止レジスタ 0 (TT0) の各ビットに対応します。TS0 レジスタのあるビットが 1 になると、それに対応する本レジスタのビットが 1 になります。TT0 レジスタのあるビットが 1 になると、それに対応する本レジスタのビットが 0 になります。

TE0 レジスタの下位 8 ビットは 8 ビットアクセスで読み出せます。

18.2.8 TS0 : タイマチャネル起動レジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00B2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	TSH3	—	TSH1	—	TS[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TS[7:0]	チャネル n の動作許可（スタート）トリガ これらのビットは、チャネル 1 または 3 が 8 ビットタイマモードの場合に、TS[1] および TS[3] ビットに対応する下位 8 ビットタイマの動作（起動動作）を許可するトリガとして働きます。 0: トリガ動作なし 1: TE0.TE[n] ビットが 1 になりカウント動作が許可される	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
9	TSH1	チャネル 1 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作許可（スタート）トリガ 0: トリガ動作なし 1: TE0.TEH1 ビットが 1 になりカウント動作が許可される	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
11	TSH3	チャネル 3 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作許可（スタート）トリガ 0: トリガ動作なし 1: TE0.TEH3 ビットが 1 になりカウント動作が許可される	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注: TIO_n 端子入力を使用しない機能から使用する機能に切り替える場合は、タイマモードレジスタ 0_n (TMR0_n) を設定してから TS[n] (TSH1/TSH3) ビットが 1 になるまでの間に、以下のウェイト期間が必要です。

TIO_n 端子のノイズフィルタ (TNFEN.TNFEN0_n = 1) が有効の場合: 動作クロック (f_{MCK}) の 4 サイクル

TIO_n 端子のノイズフィルタ (TNFEN.TNFEN0_n = 0) が無効の場合: 動作クロック (f_{MCK}) の 2 サイクル

注: TS0 レジスタの読み出し値は常に 0 となります。

注 1: ビット[15:12]、ビット[10]およびビット[8]には、必ず 0 を設定してください。

TS0 レジスタは、タイマカウンタレジスタ 0_n (TCR0_n) の初期化と各チャネルのカウント動作の開始に使用するトリガレジスタです。

本レジスタのいずれかのビットを 1 にすると、タイマチャネル許可ステータスレジスタ 0 (TE0) の対応するビットが 1 になります。TS0 レジスタの TS[n]、TSH1、TSH3 の各ビットはトリガビットなので、動作が許可されると (TE0 レジスタの TE[n]、TEH1、TEH3 の各ビットに 1 が設定されると) 即座にクリアされます。

18.2.9 TT0 : タイマチャネル停止レジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00B4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	TTH3	—	TTH1	—	TT[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TT[7:0]	チャネル n の動作停止トリガ このビットは、チャネル 1 または 3 が 8 ビットタイマモードの場合に、TT[1] および TT[3] ビットに対応する下位 8 ビットタイマの動作停止トリガとして働きます。 0: トリガ動作なし 1: TE0.TE[n] ビットが 0 になりカウント動作が停止する	R/W

ビット	シンボル	機能	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
9	TTH1	チャンネル 1 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作停止トリガ 0: トリガ動作なし 1: TE0.TEH1 ビットが 0 になりカウント動作が停止する	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
11	TTH3	チャンネル 3 が 8 ビットタイマモードの場合の上位 8 ビットタイマの動作停止トリガ 0: トリガ動作なし 1: TE0.TEH3 ビットが 0 になりカウント動作が停止する	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注. TT0 レジスタは常に 0 が読めます。

注 1. ビット[15:12]、ビット[10]およびビット[8]には、必ず 0 を設定してください。

TT0 レジスタは、各チャンネルのカウント動作の停止に使用するトリガレジスタです。

本レジスタのいずれかのビットを 1 にすると、タイマチャンネル許可ステータスレジスタ 0 (TE0) の対応するビットが 0 になります。TT0 レジスタの TT[n]、TTH1、TTH3 の各ビットはトリガビットなので、動作が停止されると (TE0 レジスタの TE[n]、TEH1、TEH3 の各ビットに 1 が設定されると) 即座にクリアされます。

18.2.10 TIS0 : タイマ入力選択レジスタ 0

Base address: PORGA = 0x4009_1000

Offset address: 0x0004

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TIS[2:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	TIS[2:0]	チャンネル 5 で使用するタイマ入力の選択 0 0 0: タイマ入力端子 (TI05) の入力信号 0 1 1: 中速オンチップオシレータ (MOCO) 1 0 0: 低速オンチップオシレータ (LOCO) 1 0 1: サブクロックオシレータ (SOSC) その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 選択するタイマ入力の High レベル幅と Low レベル幅はどちらも $1/f_{MCK} + 10 \text{ ns}$ 以上でなければなりません。このため、PCLKB として SOSC を選択する場合は、TIS[2] ビットを 1 にすることができません。

TIS0 レジスタは、チャンネル 5 のタイマ入力を選択するときに使用するレジスタです。

18.2.11 TOE0 : タイマ出力許可レジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00BA

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOE[7:0]							

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	TOE[7:0]	チャンネル n のタイマ出力の許可／禁止 0: タイマ出力を禁止する 1: タイマ出力を許可する	R/W

ビット	シンボル	機能	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

各チャンネルのタイマ出力の制御（許可／禁止）に TOE0 レジスタを使用します。

タイマ出力が許可されているチャンネル n は、タイマ出力レジスタ 0 (TO0)（後述）の TO[n] ビットの値をソフトウェアで書き換えることができなくなり、カウント動作時にタイマ出力機能の設定によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0 レジスタの下位 8 ビットは 8 ビットアクセスで設定できます。

TOE[7:0]ビット（チャンネル n のタイマ出力の許可／禁止）

TOE[n] が 0 の場合

この設定では、対応する TO0.TO[n] ビットにタイマ動作が反映されません。したがって、TO0.TO[n] ビットの出力レベルは TO0 レジスタに書き込まれたレベルから変わりません。

TO0.TO[n] ビットへの書き込みが許可され、TO0.TO[n] ビットに設定されたレベルが TO0n 端子から出力されます。

TOE[n] が 1 の場合

この設定では、対応する TO0.TO[n] ビットにタイマ動作が反映されます。したがって、出力波形が生成されます。

TO0.TO[n] ビットへの書き込みは無視されます。

注. n : チャンネル番号 ($n = 0 \sim 7$)。

18.2.12 TO0 : タイマ出力レジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00B8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TO[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TO[7:0]	チャンネル n のタイマ出力 0: タイマ出力値が 0 1: タイマ出力値が 1	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TO0 レジスタは、各チャンネルのタイマ出力のバッファレジスタです。

本レジスタの各ビットの値は各チャンネルのタイマ出力端子 (TO0n) から出力されます。

タイマ出力が禁止されているとき (TOE0.TO[n] = 0) に限り、ソフトウェアで本レジスタの TO0n ビットを書き換えることができます。タイマ出力が許可されているとき (TOE0.TO[n] = 1) は、ソフトウェアによる本レジスタの書き換えは無視され、タイマ動作によってのみ値は変化します。

タイマアレイユニットの入力・出力と兼用のポート機能を使用するときは、ポート gh 端子機能選択レジスタ (PghPFS) の PSEL[4:0] ビットを設定して機能を選択してください。詳細は、「16. I/O ポート」を参照してください。

TO0 レジスタの下位 8 ビットは 8 ビットアクセスで設定できます。

注. n : チャンネル番号 ($n = 0 \sim 7$)

gh: ポート番号 ($g = 0 \sim 4$, $h = 00 \sim 15$)

18.2.13 TOL0 : タイマ出力レベルレジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00BC

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Bit field:	—	—	—	—	—	—	—	—	TOL[6:0]								—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	TOL[6:0]	チャンネル n のタイマ出力制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. タイマ動作中に本レジスタの値が書き換えられた場合は、(書き換え直後ではなく) タイマ出力信号が次回変化した時に、タイマ出力ロジックが反転します。

TOL0 レジスタは、各チャンネルのタイマ出力レベルを制御します。

本レジスタによるチャンネル n の反転出力設定は、スレーブチャンネル出力モード (TOM0.TOM[n-1] = 1) でタイマ出力が許可 (TOE0.TOE[n] = 1) されているときにタイマ出力信号がセットまたはリセットされたタイミングで反映されます。マスタチャンネル出力モード (TOM0.TOM[n-1] = 0) では、本レジスタの設定は無効です。

TOL0 レジスタの下位 8 ビットは 8 ビットアクセスで設定できます。

注. n: チャンネル番号 (n = 0~7)

18.2.14 TOM0 : タイマ出力モードレジスタ 0

Base address: TAU = 0x4009_5000

Offset address: 0x00BE

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Bit field:	—	—	—	—	—	—	—	—	TOM[6:0]								—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	TOM[6:0]	チャンネル n のタイマ出力モードの制御 0: マスタチャンネル出力モード (タイマ割り込み要求信号 (TAU0_ENDIn) によりトグル出力を行う) 1: スレーブチャンネル出力モード (マスタチャンネルのタイマ割り込み要求信号 (TAU0_ENDIn) で出力がセット、スレーブチャンネルのタイマ割り込み要求信号 (TAU0_ENDIp) で出力がリセットされる)	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

各チャンネルのタイマ出力モードの制御に TOM0 レジスタを使用します。

単独チャンネル動作機能に使用するチャンネルについては、当該チャンネルに対応するビットを 0 にしてください。

同時チャンネル動作機能 (PWM 出力、ワンショットパルス出力、またはマルチ PWM 出力) に使用するチャンネルについては、マスタチャンネルに対応するビットを 0 に、スレーブチャンネルに対応するビットを 1 にしてください。

本レジスタによる各チャンネル (n) の設定が反映されるタイミングは、タイマ出力が許可されている (TOE0.TOE[n] = 1) 場合にタイマ出力信号がセットまたはリセットされた時です。

TOM0 レジスタの下位 8 ビットは 8 ビットアクセスで設定できます。

注. n: チャンネル番号 (n = 0~7) (マスタチャンネルでは、n = 0、2、4、または 6)、p: スレーブチャンネル番号 (n < p ≤ 7)
マスタチャンネルとスレーブチャンネルの関係の詳細については「[18.3.1. 同時チャンネル動作機能の基本ルール](#)」を参照してください。

18.2.15 ISC : 入力切り替え制御レジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x0003

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ISC76[1:0]	—	ISC43[1:0]	—	ISC1	—	—	—

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ISC1 ^(注1)	タイマアレイユニットのチャンネル 7 の入力切り替え 0: TI07 端子の入力信号をタイマ入力に使用する (通常動作) 1: RxD2 端子の入力信号をタイマ入力に使用する (ウェイクアップ信号の検出、およびブレークフィールドの Low 幅とシンクフィールドのパルス幅の測定)	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4:3	ISC43[1:0] ^(注2)	SPI00 のシリアルクロック入力元切り替え 0 0: SCK00 端子の入力信号 (通常動作) 1 0: TO01 出力信号 その他: 設定禁止	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	ISC76[1:0] ^(注3)	SPI01 のシリアルクロック入力元切り替え 0 0: SCK01 端子の入力信号 (通常動作) 1 0: TO01 出力信号 その他: 設定禁止	R/W

注 1. LIN-bus 通信機能使用時は、ISC1 ビットを 1 にして RxD2 端子の入力信号を選択してください。

注 2. チャンネル 0 に UART モードまたは簡易 I²C モードを選択する場合は、ISC43[1:0] ビットを 0 にしてください。

注 3. チャンネル 1 に UART モードまたは簡易 I²C モードを選択する場合は、ISC76[1:0] ビットを 0 にしてください。

ISC1 ビット (タイマアレイユニットのチャンネル 7 の入力切り替え)

ISC1 ビットは、UART2 とタイマアレイユニットとの連携によって LIN-bus 通信動作を実現するために使用します。このビットを 1 にすると、シリアルデータ入力 (RxD2) 端子の入力信号がタイマ入力に選択されます。その結果、ウェイクアップ信号を検出でき、ブレークフィールドの Low 幅とシンクフィールドのパルス幅をタイマで測定することができるようになります。

ISC43[1:0] ビット (SPI00 のシリアルクロック入力元切り替え)

ISC43[1:0] ビットは SPI00 のシリアルデータとシリアルクロックの入力ソースを選択するために使用します。このビットを使用すると、SPI00 のシリアルクロックの入力ソースとして SCK00 端子入力または TO01 出力信号を選択できます。

ISC76[1:0] ビット (SPI01 のシリアルクロック入力元切り替え)

ISC76[1:0] ビットは SPI01 のシリアルデータとシリアルクロックの入力ソースを選択するために使用します。このビットを使用すると、SPI01 のシリアルクロックの入力ソースとして SCK01 端子入力または TO01 出力信号を選択できます。

18.2.16 TNFEN : TAU ノイズフィルタ許可レジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x0001

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TNFE N07	TNFE N06	TNFE N05	TNFE N04	TNFE N03	TNFE N02	TNFE N01	TNFE N00
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TNFEN00	TI00 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
1	TNFEN01	TI01 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
2	TNFEN02	TI02 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
3	TNFEN03	TI03 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
4	TNFEN04	TI04 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
5	TNFEN05	TI05 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
6	TNFEN06	TI06 端子のノイズフィルタの使用の許可／禁止 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W
7	TNFEN07	TI07 端子のノイズフィルタの使用の許可／禁止 ^(注1) 0: ノイズフィルタを OFF にする 1: ノイズフィルタを ON にする	R/W

注 1. TI07 端子については、ISC レジスタの ISC1 ビットの設定によって制御対象が他の端子に切り替わります。
ISC.ISC1 ビットが 0 の場合：ノイズフィルタの制御（許可／禁止）対象を TI07 端子とします。
ISC.ISC1 ビットが 1 の場合：ノイズフィルタの制御（許可／禁止）対象を RxD2 端子とします。

TNFEN レジスタは、各チャネルへのタイマ入力信号に対してノイズフィルタの適用を可能にするかどうかを設定するために使用します。

ノイズ除去が必要な端子にノイズフィルタを許可するには、当該端子に対応するビットを 1 にしてください。

ノイズフィルタが許可された場合、対象チャネルの動作クロック (f_{MCK}) と同期した後に、信号が 2 クロックサイクルの間同じ値を維持するかどうかの確認が行われます。

ノイズフィルタが禁止された場合、入力信号は対象チャネルの動作クロック (f_{MCK}) と同期するだけです。^(注1)

注 1. 詳細については、[\(2\) TI0n 端子からの入力信号の有効エッジを選択した場合 \(TMR0n.CCS = 1\)](#)、「[18.4.2. カウント開始タイミング](#)」、および「[18.6. タイマ入力 \(TI0n\) の制御](#)」を参照してください。

18.3 タイマアレイユニットの基本ルール

18.3.1 同時チャネル動作機能の基本ルール

複数のチャネル — すなわち 1 本のマスタチャネル（主にサイクルをカウントする基準タイマ）と複数のスレーブチャネル（マスタチャネルに応じて動作するタイマ）の組み合わせ — を同時に使用する場合は以下のルールが適用されます。

1. マスタチャネルとして設定できるのは、偶数番号のチャネル（チャネル 0、2、4、...）だけです。

2. スレーブチャンネルには、チャンネル 0 以外の全てのチャンネルを設定できます。
3. スレーブチャンネルのチャンネル番号はマスタチャンネルのチャンネル番号より大きくなければなりません。
(例) チャンネル 2 をマスタチャンネルに設定した場合にスレーブチャンネルに設定できるのは、チャンネル 3 以降 (チャンネル 3、4、5、...) です。
4. 1 本のマスタチャンネルに対して 2 本以上のスレーブチャンネルを設定できます。
5. 2 本以上のマスタチャンネルを使用する場合、マスタチャンネルを間に挟む スレーブチャンネルを設定できない場合があります。
(例) マスタチャンネルとしてチャンネル 0 と 4 を設定した場合、マスタチャンネル 0 のスレーブチャンネルとして設定できるのはチャンネル 1~3 です。チャンネル 5~7 は、マスタチャンネル 0 のスレーブチャンネルとして設定できません。
6. マスタチャンネルと組み合わせるスレーブチャンネルには、マスタチャンネルと同じ動作クロックを使用してください。マスタチャンネルとの組み合わせによって動作するスレーブチャンネルの TMR0n.CKS[1:0] ビットの設定は、マスタチャンネルの同ビット設定と一致させる必要があります。
7. マスタチャンネルは、TAU0_ENDIn (割り込み)、スタートソフトウェアトリガ、およびカウントクロックを、当該マスタチャンネルより番号の大きいチャンネルへ送達することができます。
8. スレーブチャンネルは、マスタチャンネルの TAU0_ENDIn (割り込み)、スタートソフトウェアトリガ、またはカウントクロックをソースクロックとして使用できますが、当該スレーブチャンネルの TAU0_ENDIn (割り込み)、スタートソフトウェアトリガ、またはカウントクロックを、当該スレーブチャンネルより番号の大きいチャンネルへ送達することはできません。
9. 番号の大きいマスタチャンネルは、番号の小さいマスタチャンネルの TAU0_ENDIn (割り込み)、スタートソフトウェアトリガ、またはカウントクロックをソースクロックとして使用できません。
10. 連携して動作する複数のチャンネルを同時にスタートする場合は、当該チャンネルの各チャンネルスタートトリガビット (TS0.TS[n]) を同時に設定してください。
11. マスタチャンネルの TS0.TS[n] ビットまたは同時に動作している全てのチャンネルの各 TS0.TS[n] ビットはカウント動作中に設定することができます。このルールはスレーブチャンネルのみの TS0.TS[n] ビットには適用されません。
12. 連携して動作する複数のチャンネルを同時に停止する場合は、当該チャンネルの各チャンネル停止トリガビット (TT0.TT[n]) を同時に設定してください。
13. 複数のチャンネルが同時に動作しているときは、CK02 と CK03 を選択できません。これは、マスタチャンネルとスレーブチャンネルの動作クロックが同期する必要があるからです。
14. タイマモードレジスタ 00 (TMR00) に MASTER ビットはありません (0 に固定)。ただし、チャンネル 0 は最上位チャンネルなので、同時動作中にマスタチャンネルとして使用できます。

同時チャンネル動作機能の各ルールは、チャンネルグループ (1 つの同時チャンネル動作機能を構成するマスタチャンネルとスレーブチャンネル) の単位で適用されます。

連携して動作しないチャンネルグループが複数指定されている場合は、本項に記している同時チャンネル動作機能の基本ルールは当該チャンネルグループには適用されません。

注. n: チャンネル番号 (n = 0~7)

タイマアレギュニット (TAU) の使用例を図 18.19 に示します。

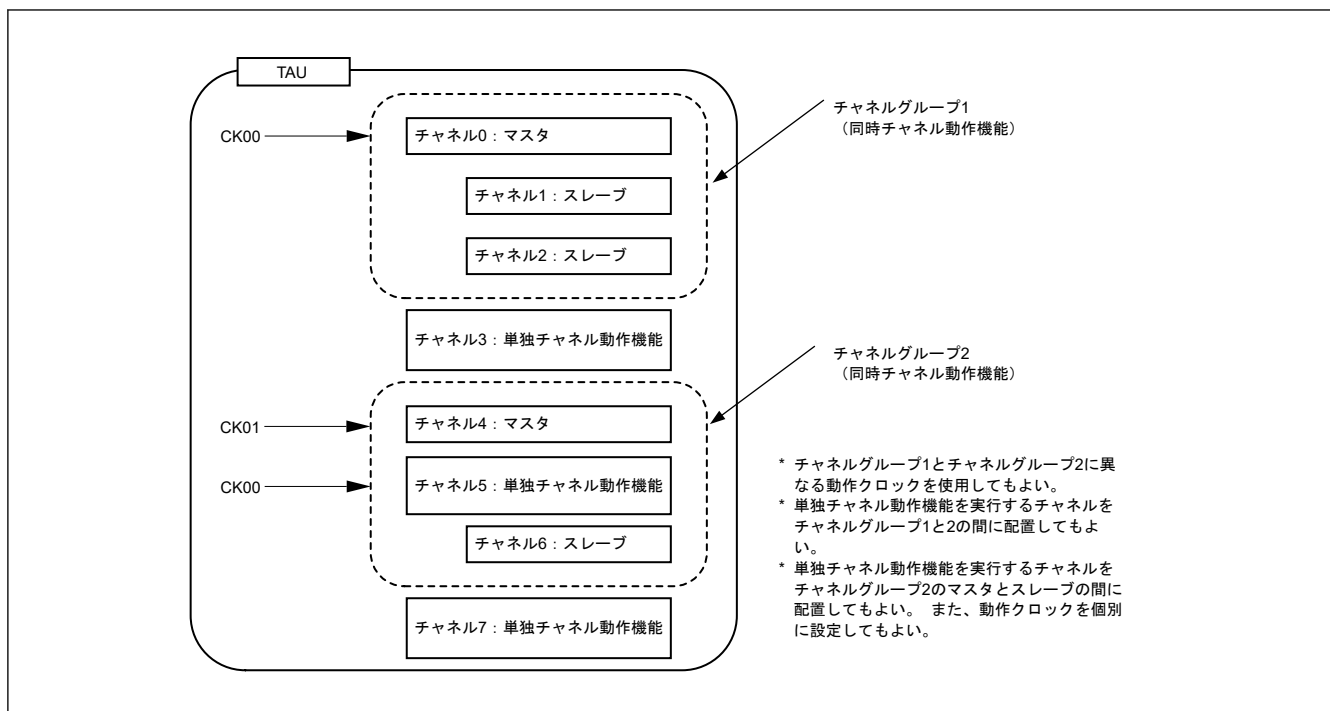


図 18.19 TAU の使用例

18.3.2 8 ビットタイマ動作機能の基本ルール (チャンネル 1 と 3 のみ)

8 ビットタイマ動作機能を使用すると、16 ビットタイマ 1 チャンネルで 8 ビットタイマ 2 チャンネルを構成することができます。

本機能はチャンネル 1 と 3 でだけ使用でき、使用するにはいくつかのルールがあります。

本機能の基本ルールは以下の通りです。

- 8 ビットタイマ動作機能を使用できるのはチャンネル 1 と 3 だけです。
- 8 ビットタイマを使用するには、タイマモードレジスタ 0n (TMR0n) の SPLIT ビットを 1 にします。
- 上位 8 ビットはインターバルタイマ機能として使用できます。
- 動作開始時に、上位 8 ビットは TAU0_MODE8_ENDI1 と TAU0_MODE8_ENDI3 (割り込み) を出力します (TMR0n.OPIRQ ビットを 1 にしたときと同じ動作です)。
- 上位 8 ビットの動作クロックは、下位ビットを担当する TMR0n レジスタの CKS[1:0] ビットに応じて選択されます。
- 上位 8 ビットについては、TS0 レジスタの TSH1 ビットと TSH3 ビットを操作してチャンネル動作を開始し、TT0 レジスタの TTH1 ビットと TTH3 ビットを操作して停止します。チャンネルの状態は、TE0 レジスタの TEH1 ビットと TEH3 ビットで確認できます。
- 下位 8 ビットは TMR0n レジスタの設定に従って動作します。下位 8 ビットの動作をサポートするのは以下の 3 つの機能です。
 - インターバルタイマ機能と矩形波出力機能
 - 外部イベントカウンタ機能
 - デイレイカウンタ機能
- 下位 8 ビットについては、TS0 レジスタの TS[1] ビットと TS[3] ビットを操作してチャンネル動作を開始し、TT0 レジスタの TT[1] ビットと TT[3] ビットを操作して停止します。チャンネルの状態は、TE0 レジスタの TE[1] ビットと TE[3] ビットで確認できます。
- 16 ビット動作中に TS0 レジスタの TSH1 ビットと TSH3 ビット、および TT0 レジスタの TTH1 ビットと TTH3 ビットを操作しても無効です。TS0 レジスタの TS[1] ビットと TS[3] ビット、および TT0 レジスタの TT[1] ビットと TT[3] ビットは、チャンネル 1 と 3 を操作するために使用します。TE0 レジスタの TEH1 ビットと TEH3 ビットは変更されません。

10. 8 ビットタイマ機能には同時動作機能（ワンショットパルス、PWM、およびマルチ PWM）を使用できません。

注. n: チャンネル番号 (n = 1, 3)

18.4 カウンタの動作

18.4.1 カウントクロック (f_{TCLK})

タイマアレイユニットのカウントクロック (f_{TCLK}) は、タイマモードレジスタ 0n (TMR0n) の CCS ビットで選択できます。選択できるのは以下のクロックです。

- TMR0n.CKS[1:0] ビットで指定した動作クロック (f_{MCK})
- TI0n 端子から入力される入力信号の有効エッジ

タイマアレイユニットは PCLKB と同期して動作するため、カウントクロック (f_{TCLK}) のタイミングは以下に示すようになります。

(1) TMR0n.CKS[1:0] ビットで指定した動作クロック (f_{MCK}) を選択した場合 (TMR0n.CCS = 0)

カウントクロック (f_{TCLK}) は、タイマクロック選択レジスタ 0 (TPS0) を設定することにより、PCLKB ~ PCLKB/2¹⁵ の範囲内で選択できます。分周した PCLKB を TPS0 レジスタで選択した場合、信号は PCLKB の立ち上がりエッジから 1 サイクルの間 High レベルとなります。PCLKB を選択した場合、信号に対して High レベルを保持します。

タイマカウンタレジスタ 0n (TCR0n) のカウントは PCLKB と同期しているため、カウントクロックの立ち上がりエッジから、PCLKB のクロックで 1 周期の遅延が生じますが、このことを便宜上「カウントクロックの立ち上がりエッジでカウントする」と表現します。

図 18.20 に、TMR0n.CCS が 0 のときのカウントクロック (f_{TCLK}) の PCLKB からのタイミングを示します。

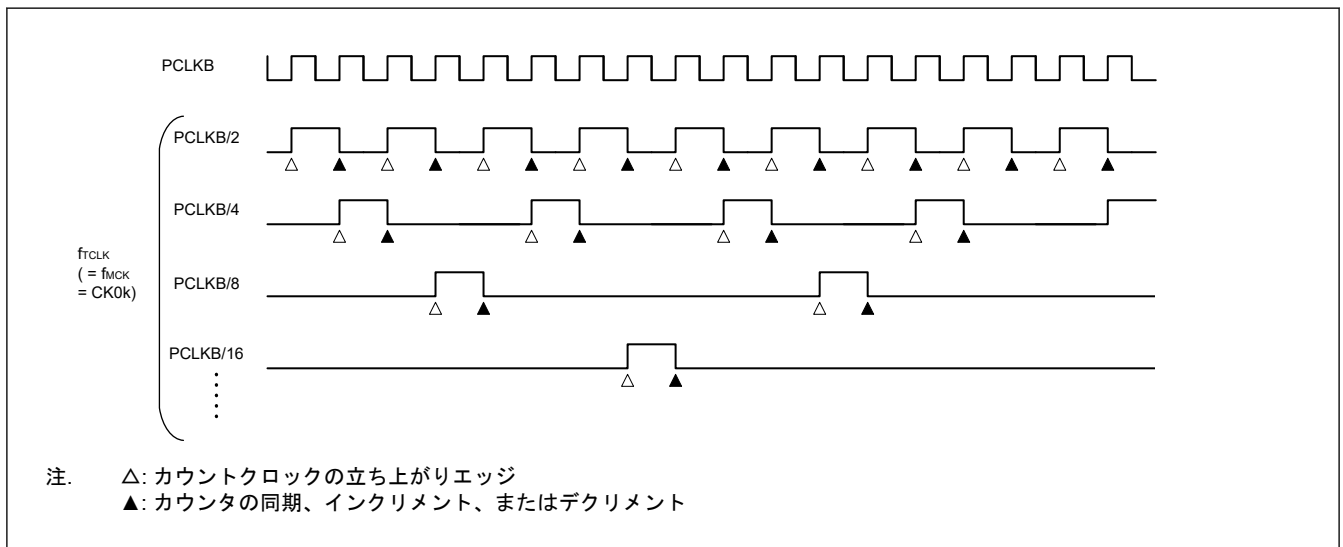


図 18.20 PCLKB とカウントクロック (f_{TCLK}) のタイミング (TMR0n.CCS が 0 のとき)

(2) TI0n 端子からの入力信号の有効エッジを選択した場合 (TMR0n.CCS = 1)

カウントクロック (f_{TCLK}) は、TI0n 端子からの入力信号の有効エッジを検出する信号となり、 f_{MCK} の次の立ち上がりエッジで同期します。カウントクロック (f_{TCLK}) では、TI0n 端子からの入力信号に対して、 f_{MCK} クロックで 1~2 周期分（ノイズフィルタ使用時は 3~4 周期分）の遅延が生じます。

タイマカウンタレジスタ 0n (TCR0n) のカウントは PCLKB と同期しているため、カウントクロックの立ち上がりエッジから、PCLKB のクロックで 1 周期の遅延が生じますが、このことを便宜上「TI0n 端子からの入力信号の有効エッジでカウントする」と表現します。

図 18.21 に、TMR0n.CCS が 1 かつノイズフィルタ未使用のときのカウントクロック (f_{TCLK}) の PCLKB からのタイミングを示します。

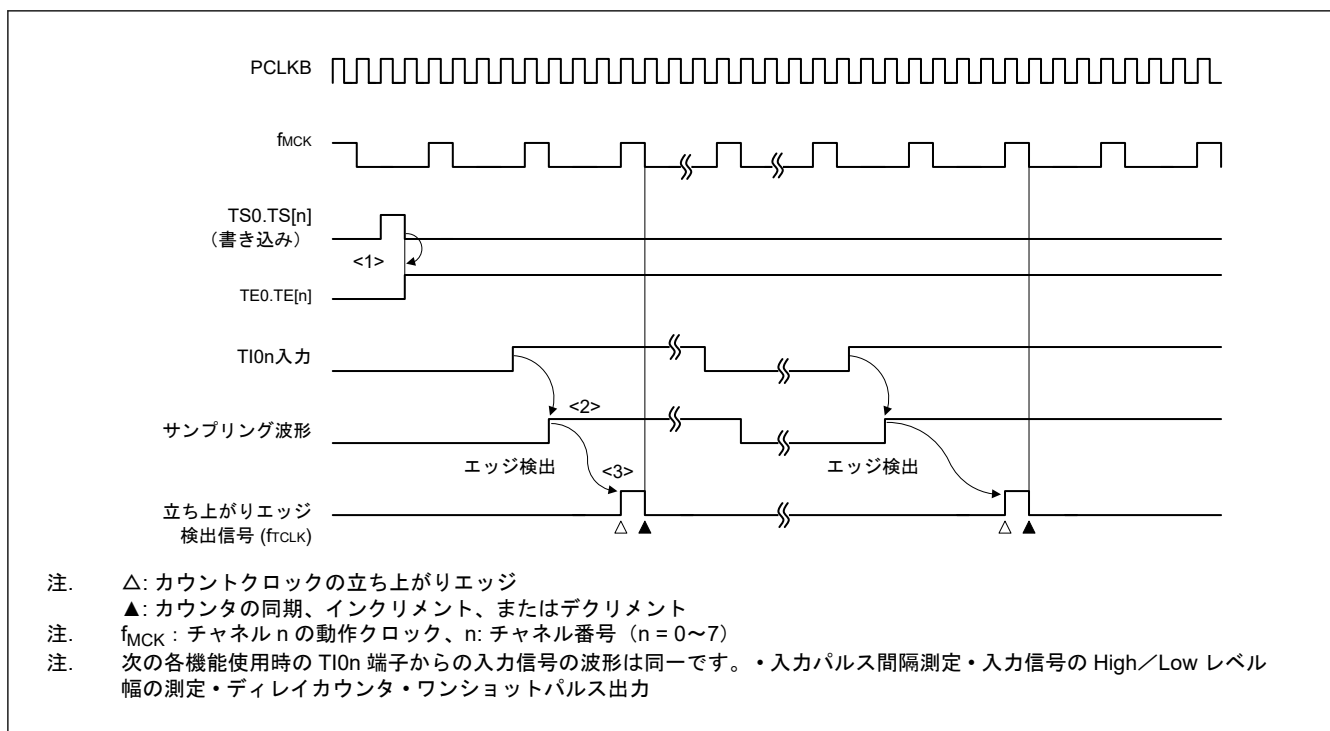


図 18.21 PCLKB とカウントクロック (f_{TCLK}) のタイミング (TMR0n.CCS が 1 かつノイズフィルタ未使用のとき)

<1> TS0.TS[n] ビットを 1 にすると、タイマが動作を開始し、TI0n 端子からの入力信号の有効エッジ待ち状態になる。

<2> TI0n 端子からの入力信号の立ち上がりが f_{MCK} でサンプリングされる。

<3> サンプリングした信号の立ち上がりでエッジが検出され、検出信号 (カウントクロック) が出力される。

18.4.2 カウント開始タイミング

タイマカウンタレジスタ 0n (TCR0n) の動作は、タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビットを 1 にすることで許可されます。

カウント動作が許可状態になってからタイマカウンタレジスタ 0n (TCR0n) によるカウントが開始するまでの動作を表 18.11 に示します。

表 18.11 カウント動作が許可状態になってからタイマカウンタレジスタ 0n (TCR0n) によるカウントが開始するまでの動作 (1/2)

タイマの動作モード	TS0.TS[n] が 1 になった時の動作
● インターバルタイマモード	スタートトリガを検出 (TS0.TS[n] = 1) してからカウントクロックが生成されるまでは何も動作は実行されません。 カウントクロックの第 1 サイクルで TDR0n レジスタの値が TCR0n レジスタにロードされ、以降のサイクルでダウンカウンタ動作が行われます ((1) インターバルタイマモードでの動作参照)。
● イベントカウンタモード	TS0.TS[n] ビットに 1 を書き込むと TDR0n レジスタの値が TCR0n レジスタにロードされます。TI0n 入力のエッジを検出すると、カウントクロックの以降のサイクルでダウンカウンタ動作が行われます ((2) イベントカウンタモードでの動作参照)。
● キャプチャモード	スタートトリガを検出 (TS0.TS[n] = 1) してからカウントクロックが生成されるまでは何も動作は実行されません。 カウントクロックの第 1 サイクルで 0x0000 が TCR0n レジスタにロードされ、以降のサイクルでアップカウンタ動作が行われます ((3) キャプチャモードでの動作 (入力パルスの間隔の測定) 参照)。

表 18.11 カウント動作が許可状態になってからタイマカウンタレジスタ 0n (TCR0n) によるカウントが開始するまでの動作 (2/2)

タイマの動作モード	TS0.TS[n] が 1 になった時の動作
ワンカウントモード	タイマ停止時 (TE0.TE[n] = 0) に TS0.TS[n] ビットに 1 を書き込むとスタートトリガ待ち状態に遷移します。スタートトリガを検出してからカウントクロックが生成されるまでは何も動作は実行されません。カウントクロックの第 1 サイクルで TDR0n レジスタの値が TCR0n レジスタにロードされ、以降のサイクルでダウンカウント動作が行われます ((4) ワンカウントモードでの動作参照)。
キャプチャ & ワンカウントモード	タイマ停止時 (TE0.TE[n] = 0) に TS0.TS[n] ビットに 1 を書き込むとスタートトリガ待ち状態に遷移します。スタートトリガを検出してからカウントクロックが生成されるまでは何も動作は実行されません。カウントクロックの第 1 サイクルで 0x0000 が TCR0n レジスタにロードされ、以降のサイクルでアップカウント動作が行われます ((5) キャプチャ & ワンカウントモードでの動作 (High レベル幅の測定) 参照)。

注. n: チャンネル番号 (n = 0~7)

18.4.3 カウンタの動作

各モードにおけるカウンタ動作を以下に説明します。

(1) インターバルタイマモードでの動作

<1> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。タイマカウンタレジスタ 0n (TCR0n) は、カウントクロックが発生するまで初期値を保持する。

<2> 動作許可後、カウントクロックの最初のサイクルでスタートトリガが発生する。

<3> TMR0n.OPIRQ ビットが 1 になると、スタートトリガによって TAU0_ENDIn が発生する。

<4> 動作許可後、カウントクロックの最初のサイクルまでにタイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされ、インターバルタイマモードでカウントが開始する。

<5> TCR0n レジスタがダウンカウントを行い、カウント値が 0x0000 に達すると、TAU0_ENDIn が発生し、タイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされ、カウントが続行する。

図 18.22 にインターバルタイマモードで動作しているときのタイミングを示します。

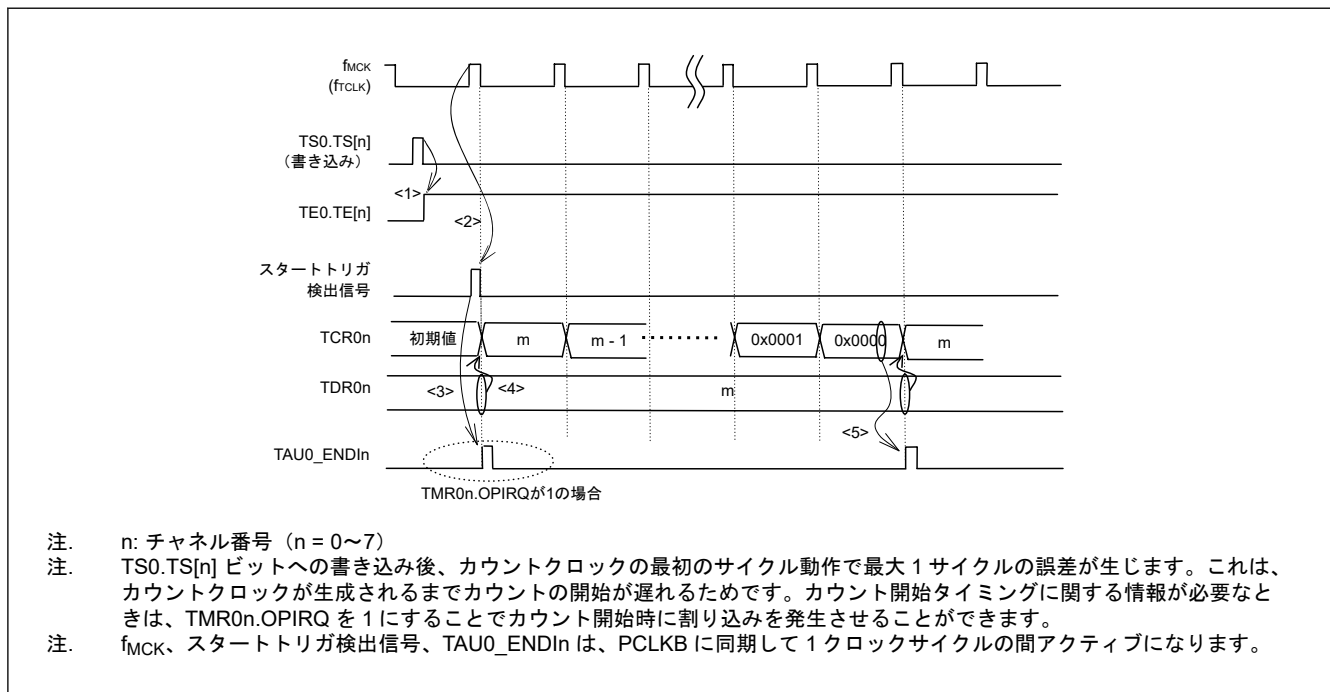


図 18.22 インターバルタイマモードで動作しているときのタイミング

(2) イベントカウンタモードでの動作

<1> 動作が停止している間 (TE0.TE[n] = 0) は、タイマカウンタレジスタ 0n (TCR0n) は初期値を保持する。

<2> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。

<3> TS0.TS[n] ビットに 1 が書き込まれて TE0.TE[n] ビットが 1 になると同時に、タイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされてカウントが開始する。

<4> その後、TCR0n レジスタは、TI0n 入力の有効エッジのカウントクロックに従って値をダウンカウントする。

図 18.23 にイベントカウンタモードで動作しているときのタイミングを示します。

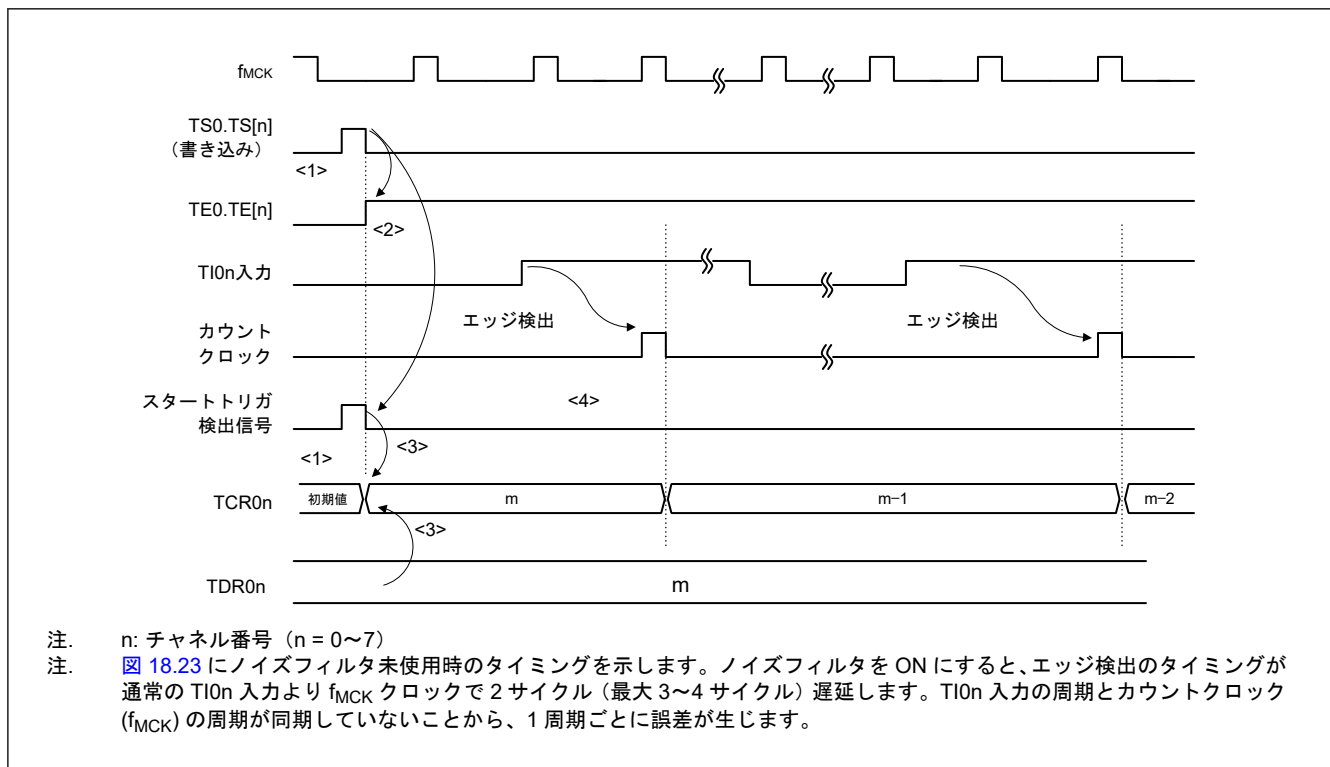


図 18.23 イベントカウンタモードで動作しているときのタイミング

(3) キャプチャモードでの動作 (入力パルスの間隔の測定)

<1> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。

<2> タイマカウンタレジスタ 0n (TCR0n) は、カウントクロックが発生するまで初期値を保持する。

<3> 動作許可後、カウントクロックの最初のサイクルでスタートトリガが発生する。その後、値 0x0000 が TCR0n レジスタにロードされ、キャプチャモードでカウントが開始する。(TMR0n.OPIRQ ビットが 1 になると、スタートトリガによって TAU0_ENDIn が発生する。)

<4> TI0n 入力の有効エッジを検出すると、TCR0n レジスタの値がタイマデータレジスタ 0n (TDR0n) にキャプチャされ、TAU0_ENDIn が発生する。ただし、キャプチャされた値に意味はない。TCR0n レジスタは値 0x0000 からカウントを続行する。

<5> TI0n 入力の次の有効エッジを検出すると、TCR0n レジスタの値がタイマデータレジスタ 0n (TDR0n) にキャプチャされ、TAU0_ENDIn が発生する。

図 18.24 に、キャプチャモードで動作 (入力パルスの間隔の測定) しているときのタイミングを示します。

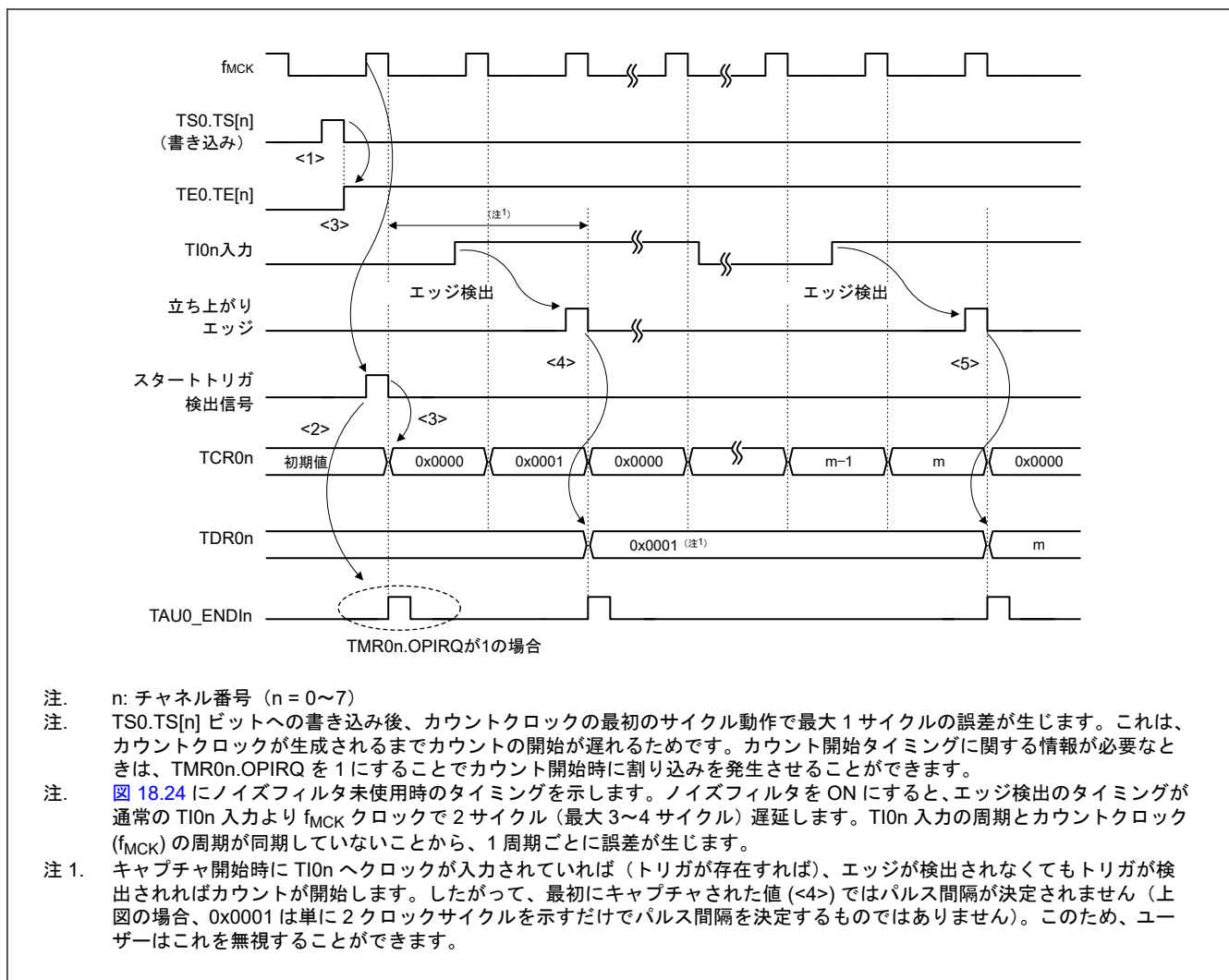


図 18.24 キャプチャモードで動作 (入力パルスの間隔の測定) しているときのタイミング

(4) ワンカウントモードでの動作

<1> TS0.TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。

<2> タイマカウンタレジスタ 0n (TCR0n) は、スタートトリガが発生するまで初期値を保持する。

<3> TI0n 入力の立ち上がりエッジが検出される。

<4> スタートトリガ検出時、タイマデータレジスタ 0n (TDR0n) の値が TCR0n レジスタにロードされてカウントが開始する。

<5> TCR0n レジスタがダウンカウントを行い、カウント値が 0x0000 に達すると、TAU0_ENDIn が発生し TCR0n レジスタの値が 0xFFFF になり、カウントが停止する。

図 18.25 にワンカウントモードで動作しているときのタイミングを示します。

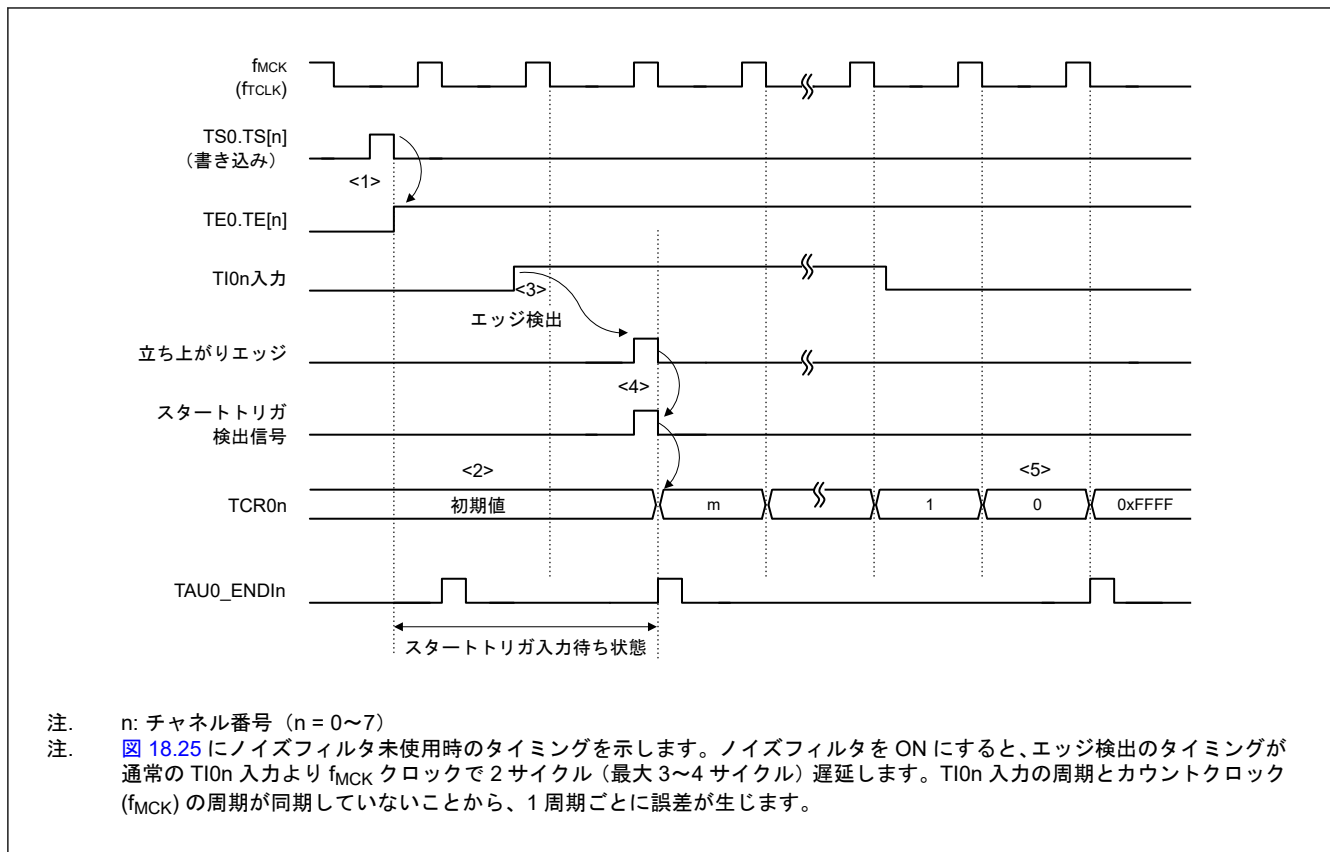


図 18.25 ワンカウントモードで動作しているときのタイミング

(5) キャプチャ & ワンカウントモードでの動作 (High レベル幅の測定)

<1> タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビットに 1 を書くことで動作が許可される (TE0.TE[n] = 1)。

<2> タイマカウンタレジスタ 0n (TCR0n) は、スタートトリガが発生するまで初期値を保持する。

<3> TI0n 入力の立ち上がりエッジが検出される。

<4> スタートトリガ検出時、値 0x0000 が TCR0n レジスタにロードされてカウントが開始する。

<5> TI0n 入力の立ち下がりエッジを検出すると、TCR0n レジスタの値がタイマデータレジスタ 0n (TDR0n) にキャプチャされ、TAU0_ENDIn が発生する。

図 18.26 に、キャプチャ & ワンカウントモードで動作 (High レベル幅の測定) しているときのタイミングを示します。

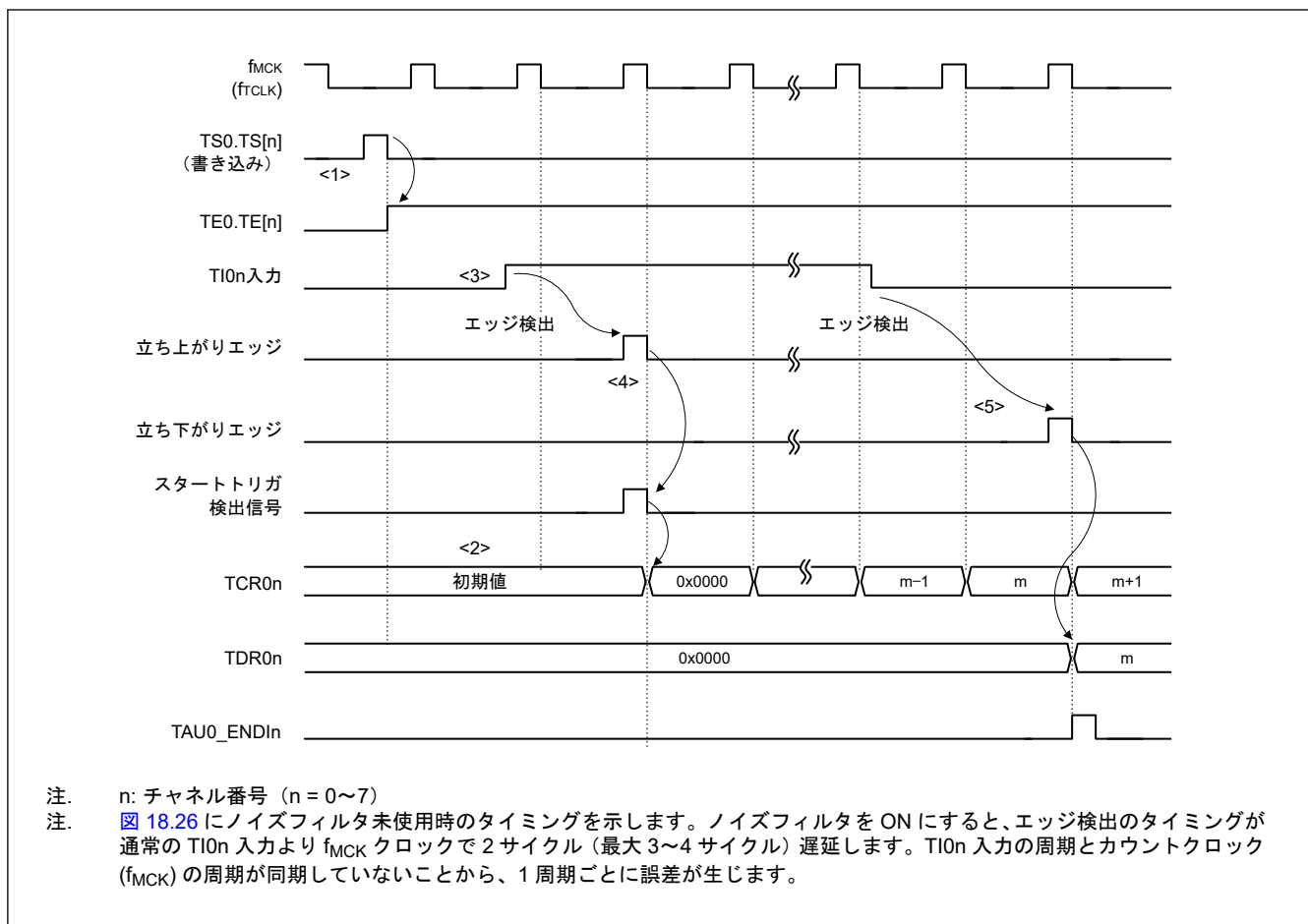


図 18.26 キャプチャ & ワンカウントモードで動作 (High レベル幅の測定) しているときのタイミング

18.5 チャンネル出力 (TO0n Pin) 制御

18.5.1 TO0n 端子出力回路の構成

TO0n 端子出力回路を図 18.27 に示します。

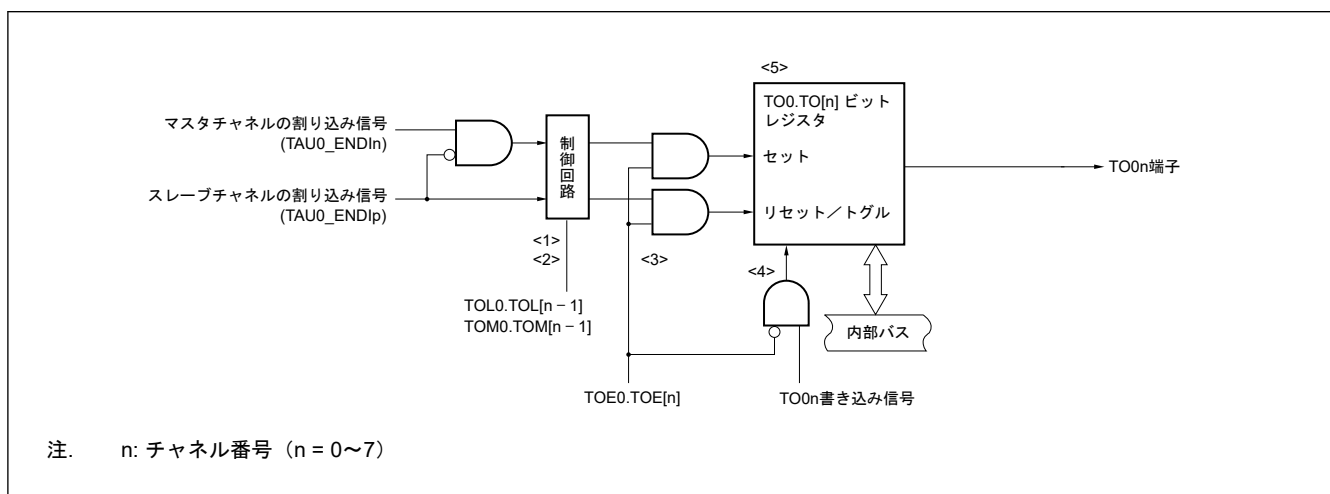


図 18.27 出力回路の構成

TO0n 端子出力回路を以下に説明します。

<1> TOM0.TOM[n-1] が 0 (マスタチャネル出力モード) のとき、タイマ出力レベルレジスタ 0 (TOL0) の設定値は無視され TAU0_ENDIp (スレーブチャネルのタイマ割り込み) だけがタイマ出力レジスタ 0 (TO0) に送信されます。

<2> TOM0.TOM[n-1] が 1 (スレーブチャネル出力モード) のときは、TAU0_ENDIn (マスタチャネルのタイマ割り込み) と TAU0_ENDIp (スレーブチャネルのタイマ割り込み) の両方が TO0 レジスタに送信されます。

この時、TOL0 レジスタは有効になり、信号は以下のように制御されます。

TOL0.TOL[n-1] が 0 のとき：正論理出力 (TAU0_ENDIn → セット、TAU0_ENDIp → リセット)

TOL0.TOL[n-1] が 1 のとき：負論理出力 (TAU0_ENDIn → リセット、TAU0_ENDIp → セット)

TAU0_ENDIn と TAU0_ENDIp が同時に発生する場合 (PWM の 0% 出力) は、TAU0_ENDIp (リセット信号) が優先し、TAU0_ENDIn (セット信号) はマスクされます。

<3> タイマ出力が許可されている (TOE0.TOE[n] = 1) のときは、TAU0_ENDIn (マスタチャネルのタイマ割り込み) と TAU0_ENDIp (スレーブチャネルのタイマ割り込み) が TO0 レジスタに送信されます。TO0 レジスタへの書き込み (TO0n 書き込み信号) は無効になります。

TOE0.TOE[n] が 1 のとき、TO0n 端子出力は割り込み信号以外の信号では変化しません。

TO0n 端子の出力レベルを初期化する場合、タイマ動作を停止 (TOE0.TOE[n] = 0) に設定して TO0 レジスタに値を書き込む必要があります。

<4> タイマ出力が禁止されている (TOE0.TOE[n] = 0) のとき、対象チャネルに対応する TO0.TO[n] ビット (TO0n 書き込み信号) への書き込みは有効になります。タイマ出力が禁止されている (TOE0.TOE[n] = 0) のときは、TAU0_ENDIn (マスタチャネルのタイマ割り込み) と TAU0_ENDIp (スレーブチャネルのタイマ割り込み) のどちらも TO0 レジスタに送信されません。

<5> TO0 レジスタは常に読み出し可能なため TO0n 端子の出力レベルを確認できます。

注. n: チャネル番号

n = 0~7 (マスタチャネルでは、n = 0、2、4、6)

p: スレーブチャネル番号

n < p ≤ 7

18.5.2 TO0n 端子出力設定

TO0n 出力端子の初期設定からタイマ動作の開始までの手順と状態遷移を図 18.28 に示します。

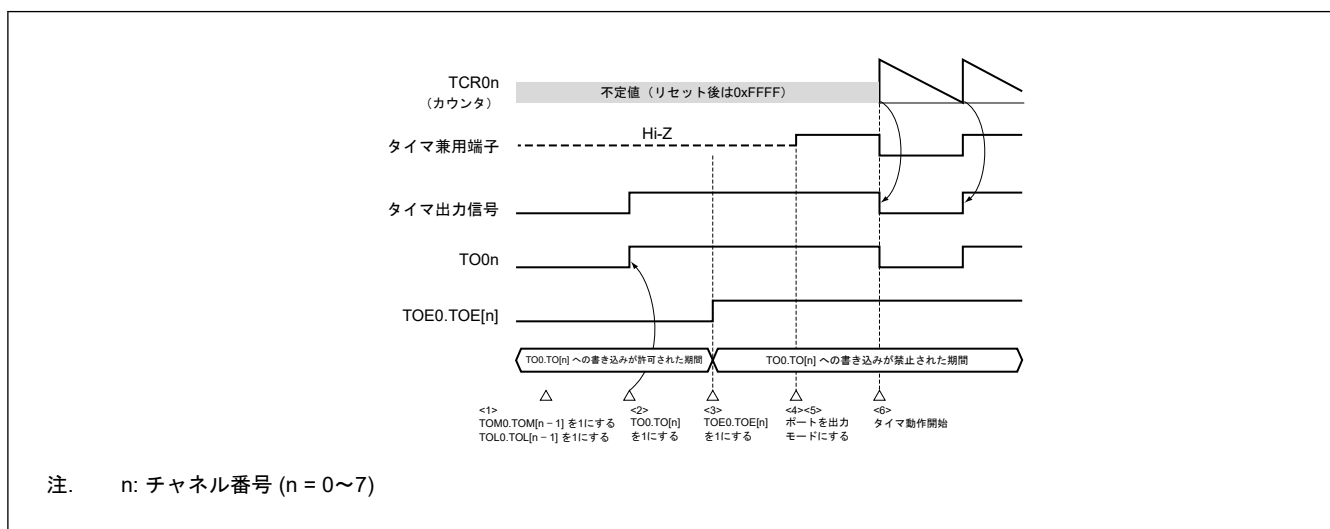


図 18.28 タイマ出力の設定からタイマ動作の開始までの状態遷移

<1> タイマ出力の動作モードが設定される。

- TOM0.TOM[n-1] ビット (0: マスタチャネル出力モード、1: スレーブチャネル出力モード)
- TOL0.TOL[n-1] ビット (0: 正論理出力、1: 負論理出力)

<2> タイマ出力レジスタ 0 (TO0) を設定することによりタイマ出力信号が初期状態になる。

<3> TOE0.TOE[n] ビットに 1 を書き込む (TO0 レジスタへの書き込みの禁止) ことでタイマ出力動作を許可する。

<4> ポート gh 端子機能選択レジスタ (PghPFS) (「16.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0~4, n = 00~15)」を参照) の PSEL[4:0] ビットでポートを周辺出力に設定する。

<5> PghPFS レジスタの PDR ビットでポートの入力/出力設定を「出力」に設定する。

<6> タイマ動作が許可される (TS0.TS[n] = 1)。

注. n: チャンネル番号 (n = 0~7)

gh: ポート番号 (g = 0~4, h = 00~15)

18.5.3 チャンネル出力動作に関する注意

(1) タイマ動作中の TO0、TOE0、TOL0 の各レジスタの設定値の変更について

タイマ動作 (タイマカウンタレジスタ 0n (TCR0n) とタイマデータレジスタ 0n (TDR0n) の動作) は TO0n 出力回路から独立しており、タイマ出力レジスタ 0 (TO0)、タイマ出力許可レジスタ 0 (TOE0)、およびタイマ出力レベルレジスタ 0 (TOL0) に設定された値を変更してもタイマ動作には影響がありません。このため、タイマ動作中にこれらの値を変更することができます。ただし、タイマ動作で TO0n 端子から期待する波形を出力するには、TO0、TOE0、TOL0、TOM0 の各レジスタを、「18.6. タイマ入力 (TI0n) の制御」と「18.7. タイマアレイユニットの単独チャンネル動作機能」の各動作設定例に記された値に設定してください。

各チャンネルのタイマ割り込み (TAU0_ENDIn) 発生と近いタイミングで TOE0 レジスタと TOM0 レジスタ (TO0 レジスタは含まれない) の設定値を変更する場合は注意が必要です。変更するタイミングがタイマ割り込み (TAU0_ENDIn) 発生の前か後かによって TO0n 端子に出力される波形が変わることがあります。

注. n: チャンネル番号 (n = 0~7)

(2) TO0n 端子の初期レベルとタイマ動作開始後の出力レベル

次に示す動作が順番に行われたとします。1) タイマ出力が禁止されている (TOE0.TOE[n] = 0) ときにタイマ出力レジスタ 0 (TO0) に書き込みが行われる 2) 初期レベルが変更される 3) ポート出力が許可される前にタイマ出力が許可される (TOE0.TOE[n] = 1) このときの TO0n 端子の出力レベルの変化を以下に示します。

マスタチャンネル出力モード (TOM0.TOM[n - 1] = 0) 設定で動作が開始する場合

マスタチャンネル出力モード (TOM0.TOM[n - 1] = 0) ではタイマ出力レベルレジスタ 0 (TOL0) の設定は無効になります。初期レベル設定後にタイマ動作が開始すると、トグル信号が生成され、TO0n 端子の出力レベルが反転します。

図 18.29 に、トグル出力時 (TOM0.TOM[n - 1] = 0) の TO0n 端子の出力状態を示します。

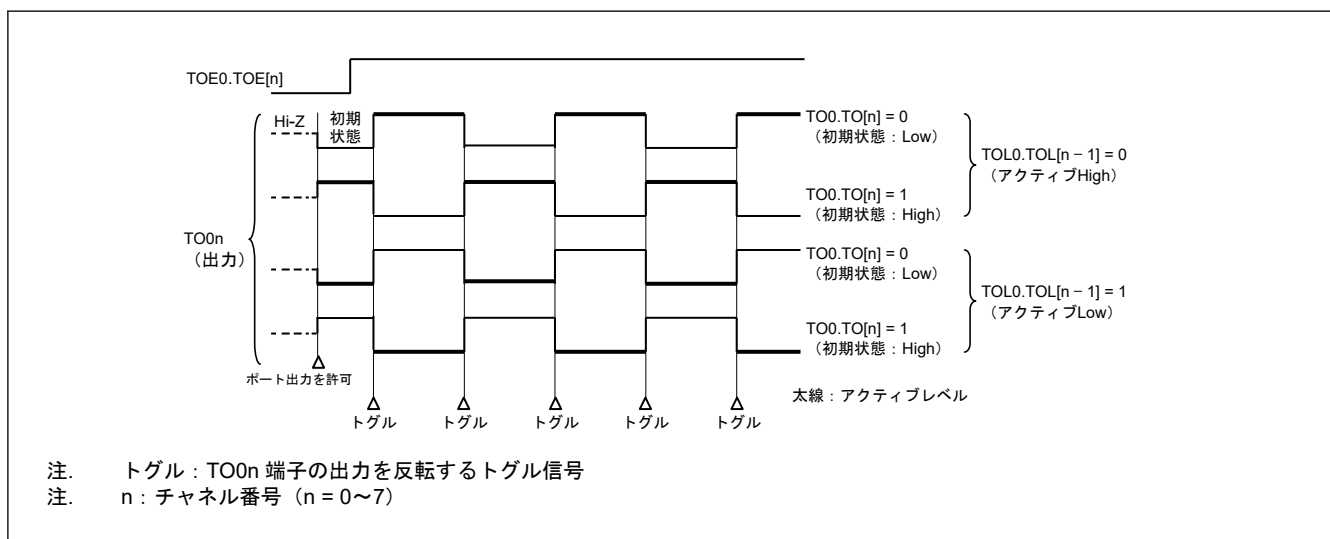


図 18.29 トグル出力時 (TOM0.TOM[n - 1] = 0) の TO0n 端子の出力状態

スレーブチャネル出力モード (TOM0.TOM[n - 1] = 1) 設定 (PWM 出力) で動作が開始する場合

スレーブチャネル出力モード (TOM0.TOM[p - 1] = 1) では、タイマ出力レベルレジスタ 0 (TOL0) の設定でアクティブレベルが決定されます。

図 18.30 に、PWM 出力時 (TOM0.TOM[p - 1] = 1) の TO0p 端子の出力状態を示します。

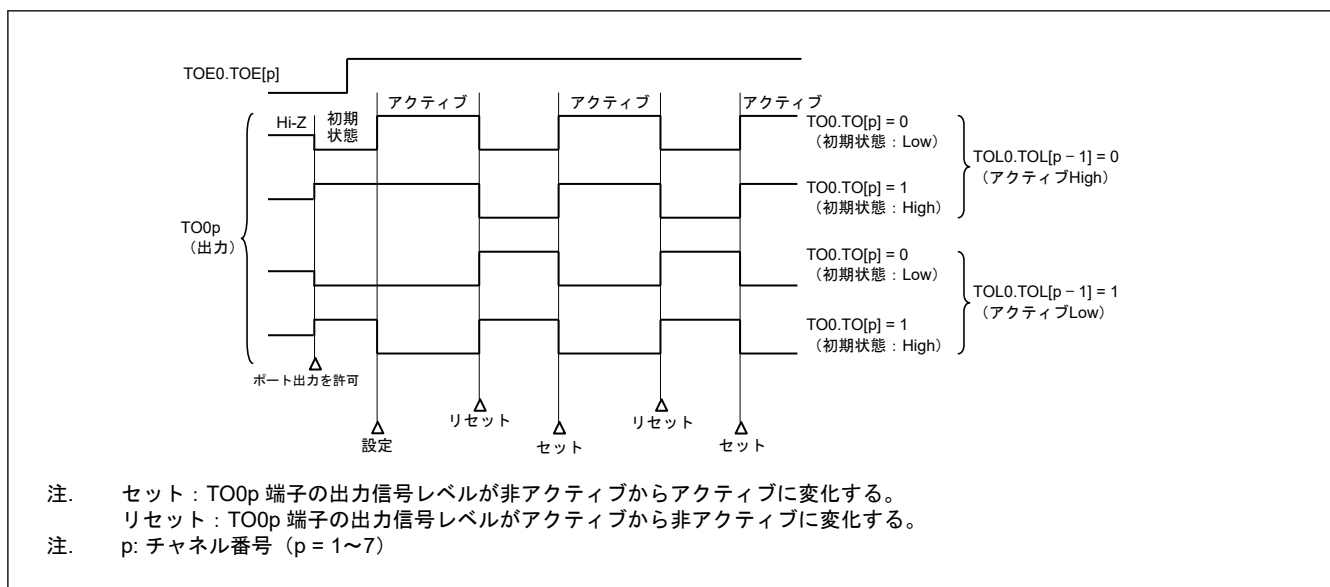


図 18.30 PWM 出力時 (TOM0.TOM[p - 1] = 1) の TO0p 端子の出力状態

(3) スレーブチャネル出力モード (TOM0.TOM[n - 1] = 1) の TO0n 端子の動作

タイマ動作中にタイマ出力レベルレジスタ 0 (TOL0) の該当ビットの値が変わる場合

タイマ動作中に TOL0 レジスタの設定が変わった場合、TO0n 端子変化条件が発生するタイミングで新しい設定が有効になります。TOL0 レジスタを書き換えても TO0n 端子の出力レベルは変わりません。

TOM0.TOM[n - 1] が 1 でタイマ動作中 (TE0.TE[n] = 1) に TOL0 レジスタの値が変わった場合の動作を図 18.31 に示します。

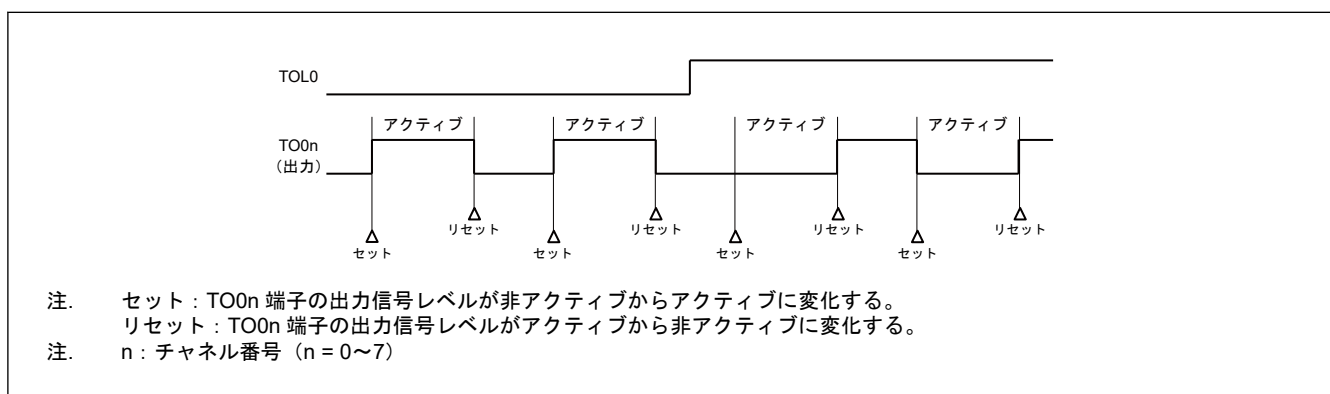


図 18.31 タイマ動作中に TOL0 レジスタの該当ビットが変化した場合の動作

セットとリセットのタイミング

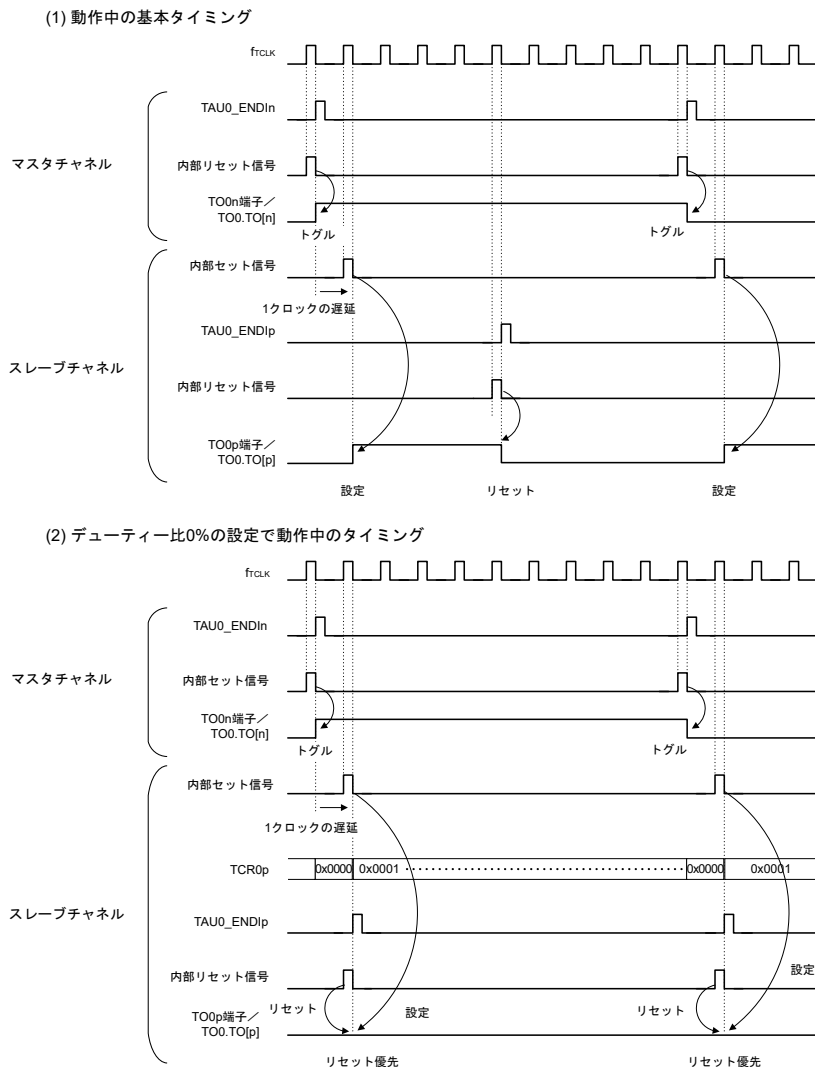
マスタチャネル側でタイマ割り込み (TAU0_ENDIn) が発生した時は、スレーブチャネル側でカウントクロック 1 サイクルの遅延を行ってから TO0n 端子と TO0.TOE[n] ビットをセットすることで、0%と 100%の PWM 出力を実現します。

セット条件とリセット条件が同時に発生した場合は、後者が優先となります。

図 18.32 に、マスタチャネルとスレーブチャネルが下記のように設定されている場合のセット信号とリセット信号発生後の動作状態を示します。

マスタチャンネル : $\text{TOE0.TOE}[n] = 1, \text{TOM0.TOM}[n-1] = 0, \text{TOL0.TOL}[n-1] = 0$

スレーブチャンネル : $\text{TOE0.TOE}[p] = 1, \text{TOM0.TOM}[p-1] = 1, \text{TOL0.TOL}[p-1] = 0$



- 注. 内部リセット信号 : TO0n 端子リセット／トグル信号
内部セット信号 : TO0n 端子セット信号
- 注. n: チャンネル番号
n = 0~7 (マスタチャンネルでは、n = 0、2、4、または 6)
p: スレーブチャンネル番号
n < p ≤ 7

図 18.32 セット信号とリセット信号発生後の動作状態

18.5.4 $\text{TO0.TO}[n]$ ビットの一括操作

タイマ出力レジスタ 0 (TO0) では、タイマチャンネル起動レジスタ 0 (TS0) と同様に、全てのチャンネルの設定ビットが 1 つのレジスタに集まっています。このため、全てのチャンネルの各 $\text{TO0.TO}[n]$ ビットを一括で操作することができます。

出力に使用するチャンネル (TO0n) に対応する $\text{TO0.TO}[n]$ ビットにのみ書き込みを許可する ($\text{TOE0.TOE}[n] = 0$) ことで、任意のビットだけを操作することもできます。

表 18.12 に、 $\text{TO0.TO}[n]$ ビットの一括操作例を示します。

表 18.12 TO0.TO[n] ビットの一括操作例

ビット位置 :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
書き込み前	TO0	—	—	—	—	—	—	—	—	TO[7]	TO[6]	TO[5]	TO[4]	TO[3]	TO[2]	TO[1]	TO[0]
	TOE0	—	—	—	—	—	—	—	—	TOE[7]	TOE[6]	TOE[5]	TOE[4]	TOE[3]	TOE[2]	TOE[1]	TOE[0]
書き込むデータ	TO0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
										↓ ●	↓ ●	↓ x	↓ ●	↓ x	↓ x	↓ x	↓ x
書き込み後	TO0	—	—	—	—	—	—	—	—	TO[7]	TO[6]	TO[5]	TO[4]	TO[3]	TO[2]	TO[1]	TO[0]
		0	0	0	0	0	0	0	0	1	1	1	0	0	0	1	0

TOE0.TOE[n] ビットが 0 のときは TO0.TO[n] ビットへの書き込みが有効となり、TOE0.TOE[n] ビットが 1 のときは TO0.TO[n] ビットへの書き込みは無視されます。

TOE0.TOE[n] ビットに 1 を設定した TO0n (チャネル出力) は書き込み動作による影響を受けません。TO0.TO[n] ビットへの書き込み動作が行われても無視され、タイマ動作による出力変更は正常に行われます。

図 18.33 に、TO0.TO[n] ビットの一括操作例を示します。

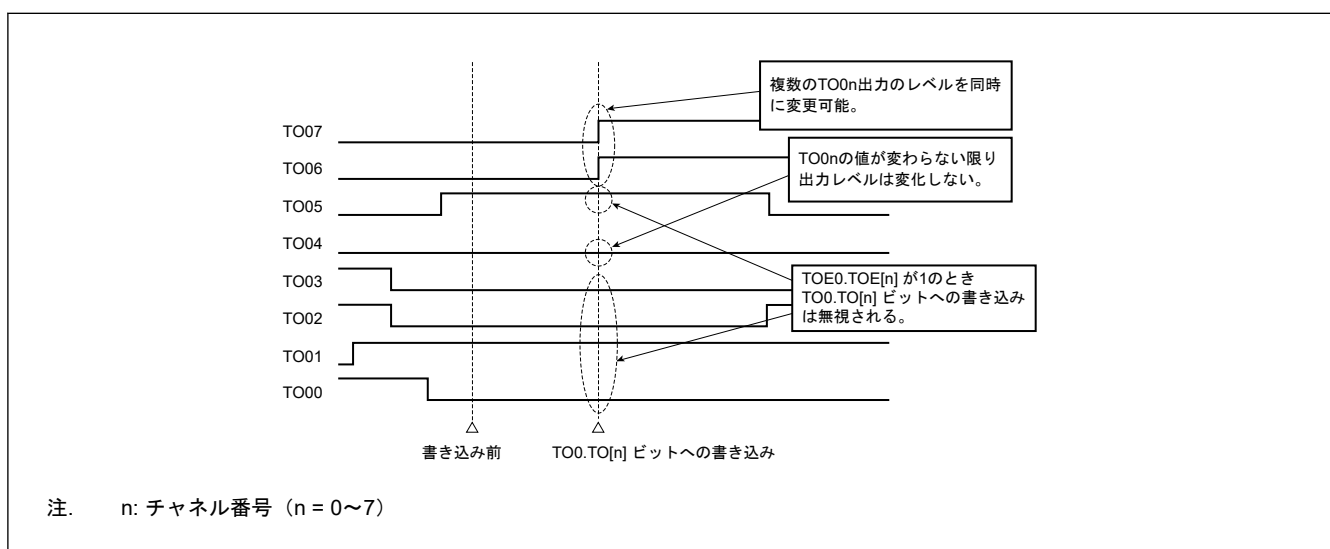


図 18.33 TO0.TO[n] ビットの一括操作による TO0n 端子の状態

18.5.5 カウント開始時のタイマ割り込みと TO0n 出力

インターバルタイマモードまたはキャプチャモードでは、タイマモードレジスタ 0n (TMR0n) の TMR0n.OPIRQ ビットでカウント開始時にタイマ割り込みを発生させるかどうかを設定します。

TMR0n.OPIRQ ビットを 1 にすると、タイマ割り込み (TAU0_ENDIn) を発生させることによってカウント動作開始タイミングを知ることができます。それ以外のモードでは、カウント動作開始時にタイマ割り込みや TO0n 出力を制御できません。

インターバルタイマモード (TOE0.TOE[n] = 1, TOM0.TOM[n - 1] = 0) 設定時の動作例を図 18.34 に示します。

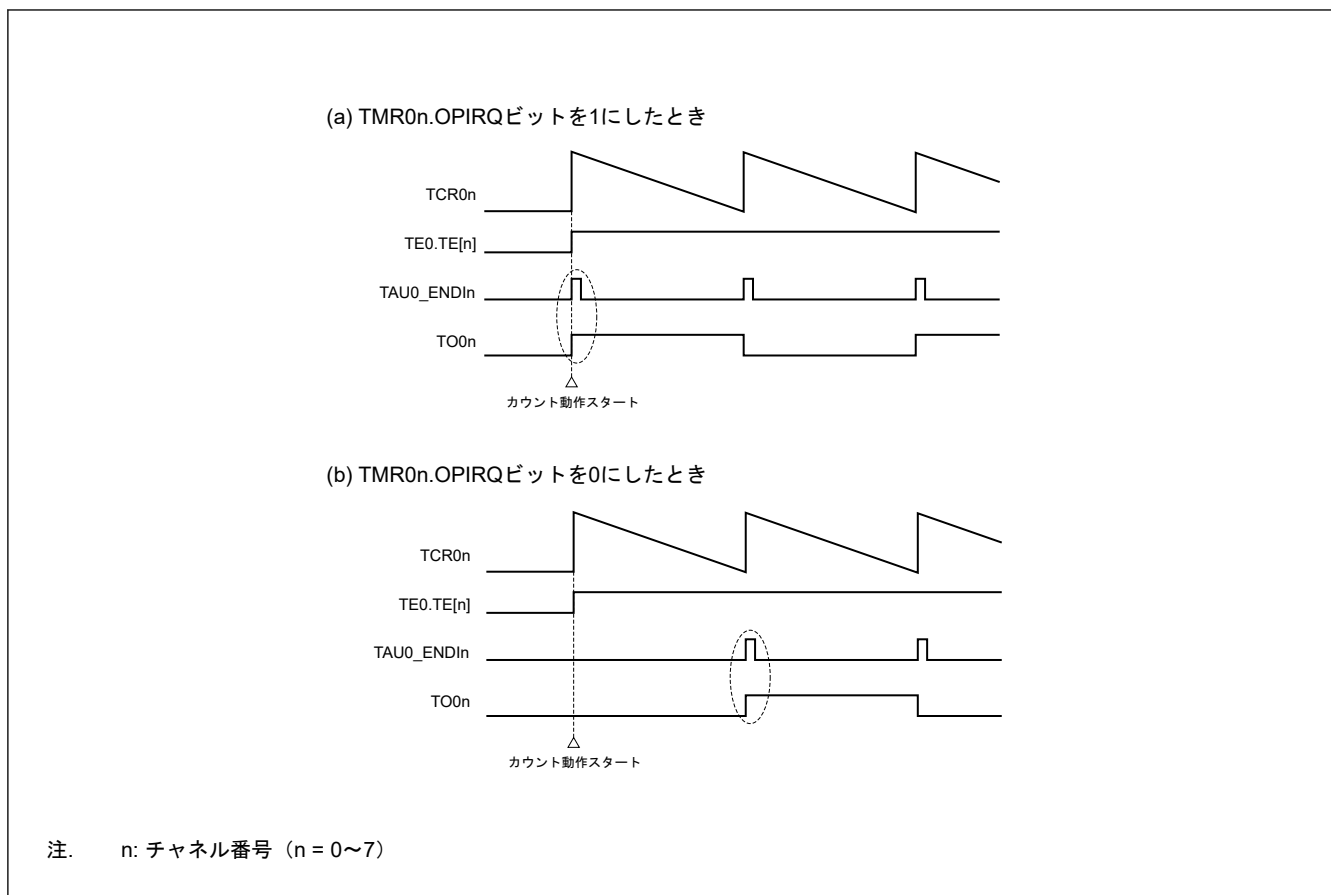


図 18.34 カウント開始時のタイマ割り込みと TO0n 出力の動作例

TMR0n.OPIRQ ビットを 1 にすると、カウント動作開始時にタイマ割り込み (TAU0_ENDIn) が出力され、TO0n はトグル動作を行います。

TMR0n.OPIRQ ビットを 0 にすると、カウント動作開始時にタイマ割り込み (TAU0_ENDIn) は出力されず、TO0n も変化しません。1 サイクル経過してから TAU0_ENDIn が出力され TO0n がトグル動作を行います。

18.6 タイマ入力 (TI0n) の制御

18.6.1 TI0n 入力回路の構成

タイマ入力端子から入力された信号はノイズフィルタとエッジ検出回路を經由してタイマ制御回路に送られます。ノイズ除去が必要な端子にはノイズフィルタを許可してください。図 18.35 に、入力回路の構成を示します。

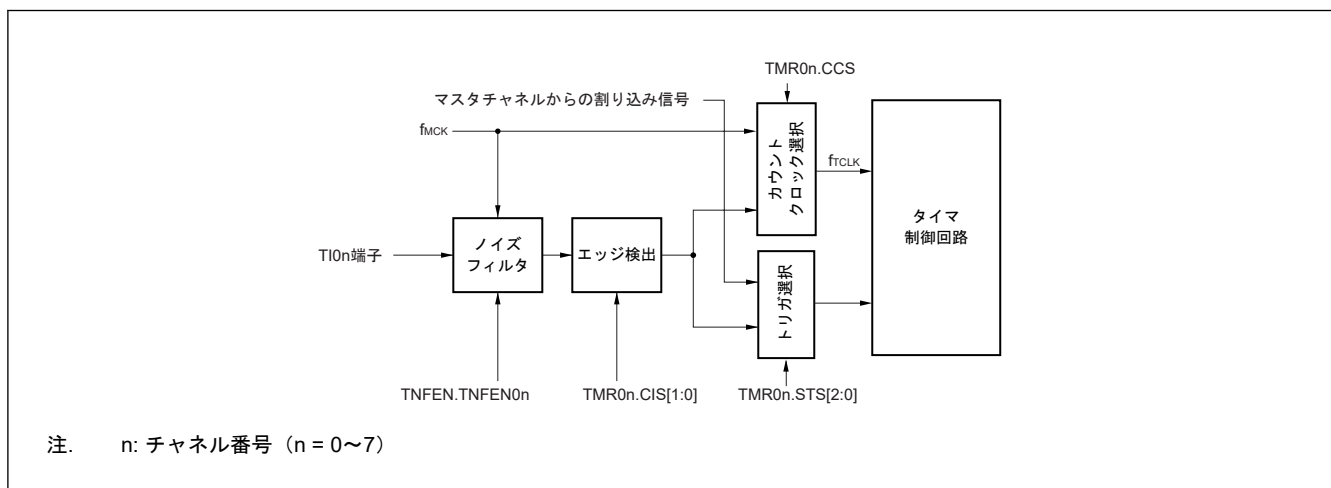


図 18.35 入力回路の構成

18.6.2 ノイズフィルタ

ノイズフィルタが無効の場合、入力信号はチャンネル n の動作クロック (f_{MCK}) とだけ同期します。ノイズフィルタが有効の場合、チャンネル n の動作クロック (f_{MCK}) と同期した後に、信号が 2 クロックサイクルの間同じ値を維持するかどうかを検出されます。図 18.36 に、ノイズフィルタが有効な場合と無効な場合のノイズフィルタからの出力波形の違いを示します。

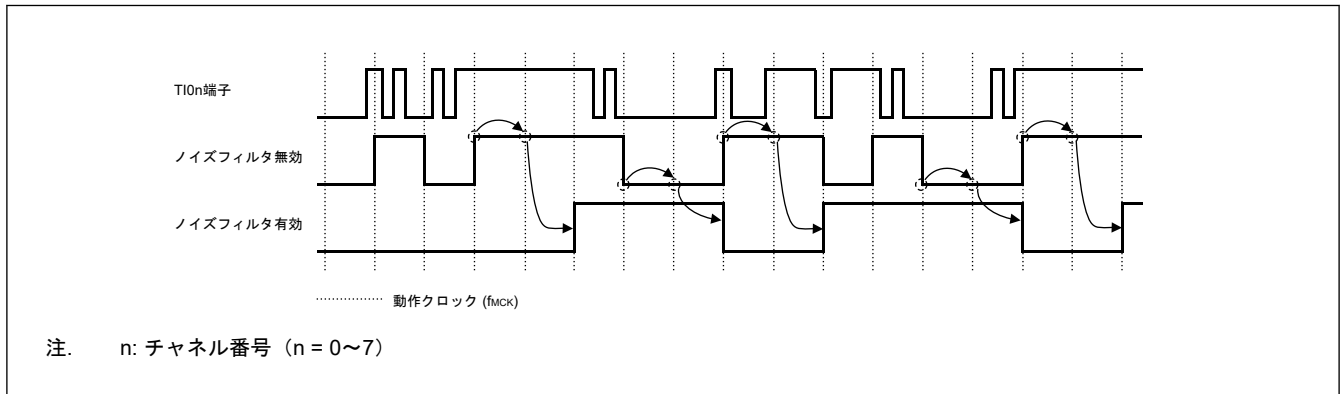


図 18.36 TI0n 入力端子に対するノイズフィルタが有効な場合と無効な場合のサンプリング波形

18.6.3 チャンネル入力動作に関する注意

タイマ入力端子が未使用に設定されている場合、ノイズフィルタに動作クロックは供給されません。このため、タイマ入力端子を使用する設定を行った後は、下記に示すウェイトを行ってから、トリガを指定してタイマ入力端子に対応するチャンネルの動作を許可してください。

1. ノイズフィルタが無効の場合
タイマモードレジスタ 0n (TMR0n) の CCS ビットおよび STS[1:0] ビットがすべて 0 の状態でいずれかのビットを 1 にした場合は、動作クロック (f_{MCK}) が 2 サイクル以上経過するのを待ってから、タイマチャンネル起動レジスタ 0 (TS0) の動作許可トリガビットを 1 にしてください。
2. ノイズフィルタが有効の場合
タイマモードレジスタ 0n (TMR0n) の CCS ビットおよび STS[1:0] ビットがすべて 0 の状態でいずれかのビットを 1 にした場合は、動作クロック (f_{MCK}) が 4 サイクル以上経過するのを待ってから、タイマチャンネル起動レジスタ 0 (TS0) の動作許可トリガビットを 1 にしてください。

18.7 タイマアレイユニットの単独チャンネル動作機能

18.7.1 インターバルタイマまたは矩形波出力機能の動作

(1) インターバルタイマ

一定周期で TAU0_ENDIn (タイマ割り込み) を発生させる基準タイマとしてタイマアレイユニットを使用できます。割り込み発生周期は以下の式より求めることができます。

TAU0_ENDIn (タイマ割り込み) の発生周期 = カウントクロックの周期 × (TDR0n の設定値 + 1)

(2) 矩形波出力機能の動作

TO0n は、TAU0_ENDIn が発生すると即座にトグル動作を行い、デューティ比 50% で矩形波を出力します。

TO0n が出力する矩形波の周期と周波数は以下の式より求めることができます。

- TO0n が出力する矩形波の周期 = カウントクロックの周期 × (TO0n の設定値 + 1) × 2
- TO0n が出力する矩形波の周波数 = カウントクロックの周波数 / {(TDR0n の設定値 + 1) × 2}

インターバルタイマモードでは、タイマカウンタレジスタ 0n (TCR0n) はダウンカウンタとして動作します。

タイマチャンネル起動レジスタ 0 (TS0) のチャンネルスタートトリガビット (TS[n], TSH1, TSH3) が 1 になった後、カウントクロックの第 1 サイクルで、TCR0n レジスタにはタイマデータレジスタ 0n (TDR0n) の値がロードされます。この時にタイマモードレジスタ 0n (TMR0n) の OPIRQ ビットが 0 であると、TAU0_ENDIn は出力されず、

TO0n の出力はトグルされません。TMR0n レジスタの OPIRQ ビットが 1 であると、TAU0_ENDIn が出力され、TO0n の出力はトグルされます。

その後、TCR0n レジスタはカウントクロックに同期してダウンカウントを行います。

TCR0n の値が 0x0000 に達すると、カウントクロックの次のサイクルで TAU0_ENDIn が出力され、TO0n の出力がトグルされます。それと同時に、TCR0n レジスタには TDR0n レジスタの値が再びロードされます。その後、同じ動作を繰り返します。

TDR0n レジスタはいつでも書き換えることができます。TDR0n レジスタの書き換え後の値は次の周期から有効になります。

注. n: チャンネル番号 (n = 0~7)

図 18.37 に、インターバルタイマまたは矩形波出力機能の動作のブロック図を示します。

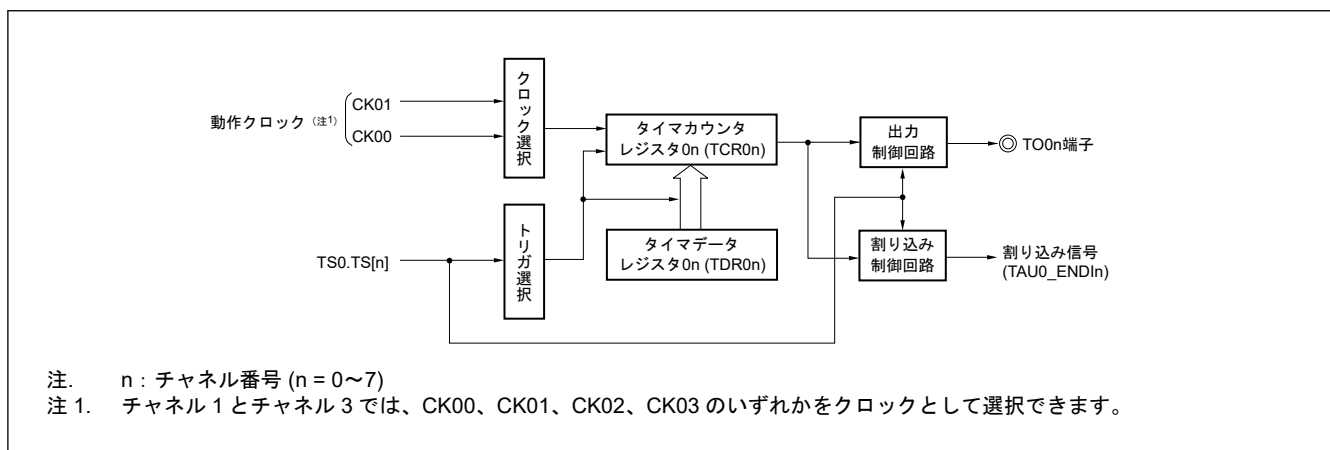


図 18.37 インターバルタイマまたは矩形波出力機能の動作のブロック図

図 18.38 に、インターバルタイマまたは矩形波出力機能 (TMR0n.OPIRQ = 1) として動作する場合の基本タイミング例を示します。

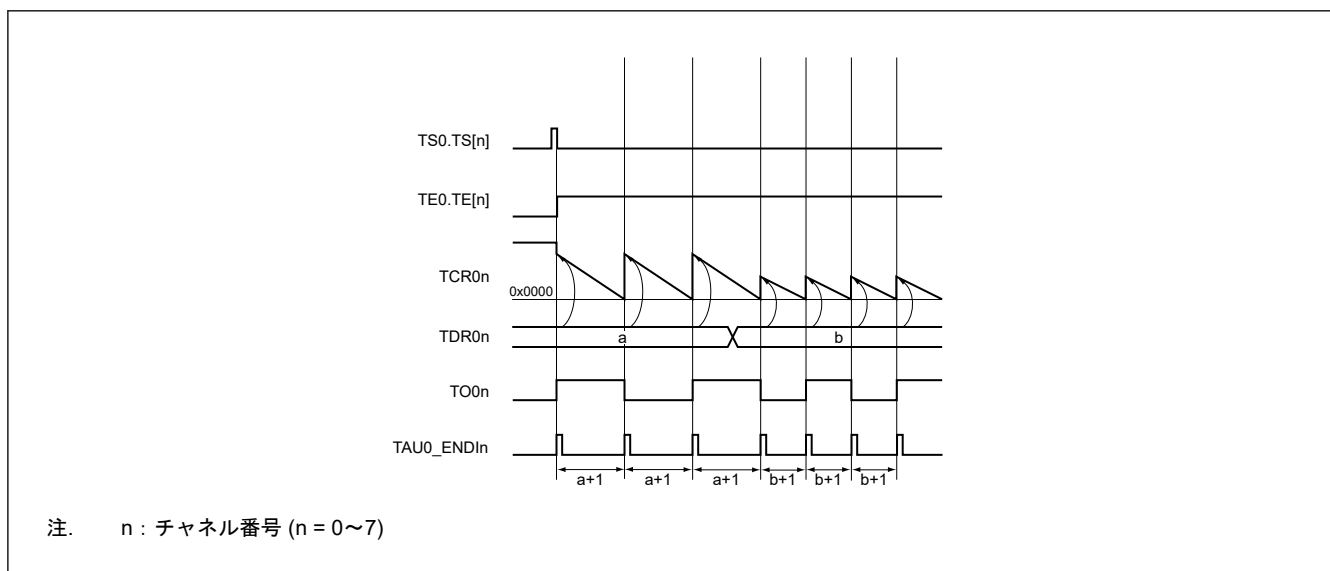


図 18.38 インターバルタイマまたは矩形波出力機能 (TMR0n.OPIRQ = 1) として動作する場合の基本タイミング例

表 18.13~表 18.18 に、インターバルタイマまたは矩形波出力機能動作時のレジスタ設定と手順を示します。

表 18.13 インターバルタイマまたは矩形波出力機能動作時の TMR0n 設定例

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	カウント開始時の動作設定 0: カウント開始時に TAU0_ENDIn を発生させずタイマ出力の反転も行わない 1: カウント開始時に TAU0_ENDIn を発生させてタイマ出力の反転を行う
3:1	MD[2:0]	000b	チャンネル n の動作モード 0 0 0: インターバルタイマモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	Tl0n 端子入力のエッジ選択 0 0: Tl0n 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	000b	スタートトリガの選択 0 0 0: ソフトウェアスタートだけを選択する
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	1/0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード 1: 8 ビットタイマモード
	MASTER (n = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f_{MCK}) の選択 0 0: チャンネル n の動作クロックとして CK00 を選択する 0 1: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能) 1 0: チャンネル n の動作クロックとして CK01 を選択する 1 1: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)

表 18.14 インターバルタイマまたは矩形波出力機能動作時の TO0 設定例

ビット	シンボル	設定値	機能
n	TO[n]	1/0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する 1: TO0n から 1 を出力する

表 18.15 インターバルタイマまたは矩形波出力機能動作時の TOE0 設定例

ビット	シンボル	設定値	機能
n	TOE[n]	1/0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する 1: カウンタとしての TO0n 出力動作を許可する

表 18.16 インターバルタイマまたは矩形波出力機能動作時の TOL0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n - 1] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 18.17 インターバルタイマまたは矩形波出力機能動作時の TOM0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

注. n: チャンネル番号 (n = 0~7)

表 18.18 インターバルタイマまたは矩形波出力機能使用時の動作手順

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—
チャンネルの初期設定	<2>	タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。 タイマデュータレジスタ 0n (TDR0n) にインターバル (周期) の値を設定する。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<3>	TO0n 出力を使用するには TOM0.TOM[n - 1] ビットを 0 にクリアする (マスタチャンネル出力モード)。 TOL0.TOL[n - 1] ビットを 0 にクリアする。	TO0n 端子が Hi-Z 出力状態になる。
		TO0.TO[n] ビットを 1 にし、TO0n 出力の初期レベルを決定する。 TOE0.TOE[n] ビットを 1 にし、TO0n の動作を許可する。 ポート方向レジスタ (PDR) の対応するビットを 1 にする。	→ ポート方向レジスタ (PDR) の対応するビットが出力モードの場合、TO0n の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO0n は変化しない。 → TO0n 端子から TO0n 設定レベルが出力される。
動作開始	<4>	(TO0n 出力を使用し動作を再開する場合のみ TOE0.TOE[n] ビットを 1 にする。) TS0.TS[n] (TSH1, TSH3) ビットを 1 にする。 TS0.TS[n] (TSH1, TSH3) ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] (TEH1, TEH3) に 1 が設定されカウント動作が開始する。TDR0n レジスタの値がタイマカウンタレジスタ 0n (TCR0n) にロードされる。TMR0n レジスタの OPIRQ ビットが 1 の場合は、TAU0_ENDIn が発生し TO0n はトグル動作を行う。
動作中	<5>	TMR0n レジスタの設定値は変更不可。TOM0.TOM[n - 1] ビットと TOL0.TOL[n - 1] ビットの設定値も変更不可。 TDR0n レジスタの設定値の変更が可能。TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは使用しない。 TO0 レジスタと TOE0 レジスタの設定値の変更が可能。	→ カウンタ (TCR0n) がダウンカウントを行う。カウント値が 0x0000 に達すると、TDR0n レジスタの値が TCR0n レジスタに再びロードされ、カウント動作は続行する。TCR0n が 0x0000 になったことを検出すると、TAU0_ENDIn が発生し TO0n はトグル動作を行う。 その後、上記の動作を繰り返す。
動作停止	<6>	TT0.TT[n] (TTH1, TTH3) ビットを 1 にする。 TT0.TT[n] (TTH1, TTH3) ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] (TEH1, TEH3) に 0 が設定されカウント動作が停止する。TCR0n レジスタはカウント値を保持して停止する。 TO0n 出力は初期化されず現在の状態を維持する。
	<7>	TOE0.TOE[n] ビットが 0 にクリアされ、TO0.TO[n] ビットに値が設定される。 動作を再開する場合は、ステップ <4> へ進む。 動作を終了する場合は、ステップ <8> へ進む。	→ TO0n 端子から TO0.TO[n] ビットで設定したレベルが出力される。
TAU 停止	<8>	TO0n 端子の出力レベルを保持するには 保持する値をポート出力データレジスタ (PODR) の対応するビットに設定した後、PSEL[4:0] ビットに 00000b を設定する。 TO0n 端子の出力レベルを保持する必要がない場合は設定不要。	→ ポート機能により TO0n 端子の出力レベルが保持される。

注. n: チャンネル番号 (n = 0~7)

18.7.2 外部イベントカウンタとしての動作

TI0n 端子で有効な入力エッジ (外部イベント) が検出された回数をカウントする外部イベントカウンタとしてタイマアレユニットを使用することができます。規定のカウント値に達するとイベントカウンタは割り込みを発生させます。規定のカウント値は以下の式より求めることができます。

規定のカウント値 = TDR0n の設定値 + 1

イベントカウンタモードでは、タイマカウンタレジスタ 0n (TCR0n) はダウンカウンタとして動作します。

いずれかの TS0.TS[n] ビットを 1 にすると、TCR0n レジスタにはタイマデータレジスタ 0n (TDR0n) の値がロードされます。

TI0n 端子の有効な入力エッジを検出するたびに TCR0n レジスタはダウンカウントを行います。TCR0n の値が 0x0000 に達すると、TCR0n レジスタには TDR0n レジスタの値が再びロードされ、TAU0 ENDIn を出力します。

その後、上記の動作を繰り返します。

TO0n 端子からは外部イベントに依存する不規則な波形が出力されます。タイマ出力許可レジスタ 0 (TOE0) の TOE[n] ビットを 0 にして出力を停止してください。

TDR0n レジスタはいつでも書き換えることができます。TDR0n レジスタの書き換え後の値は次のカウント周期で有効になります。

図 18.39 に、外部イベントカウンタとしての動作のブロック図を示します。

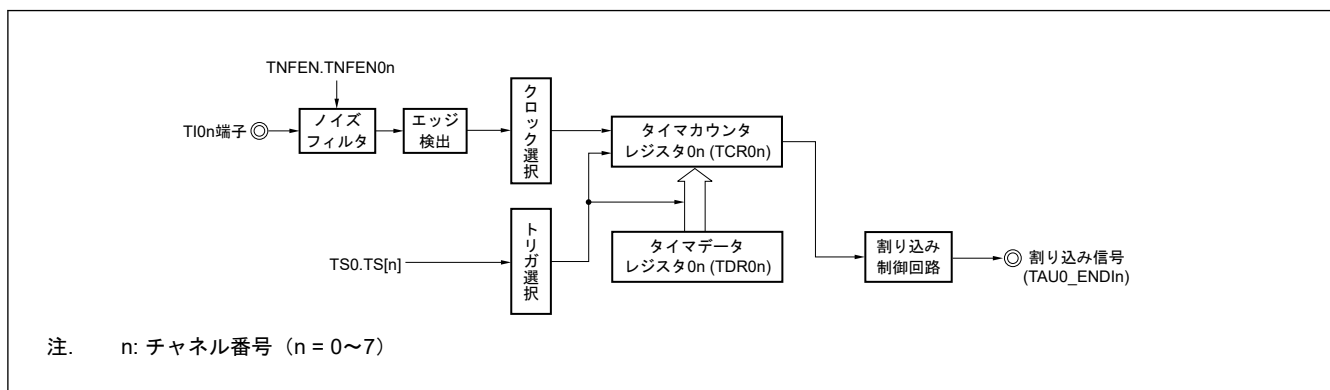


図 18.39 外部イベントカウンタとしての動作のブロック図

図 18.40 に、外部イベントカウンタとして動作する場合の基本タイミング例を示します。

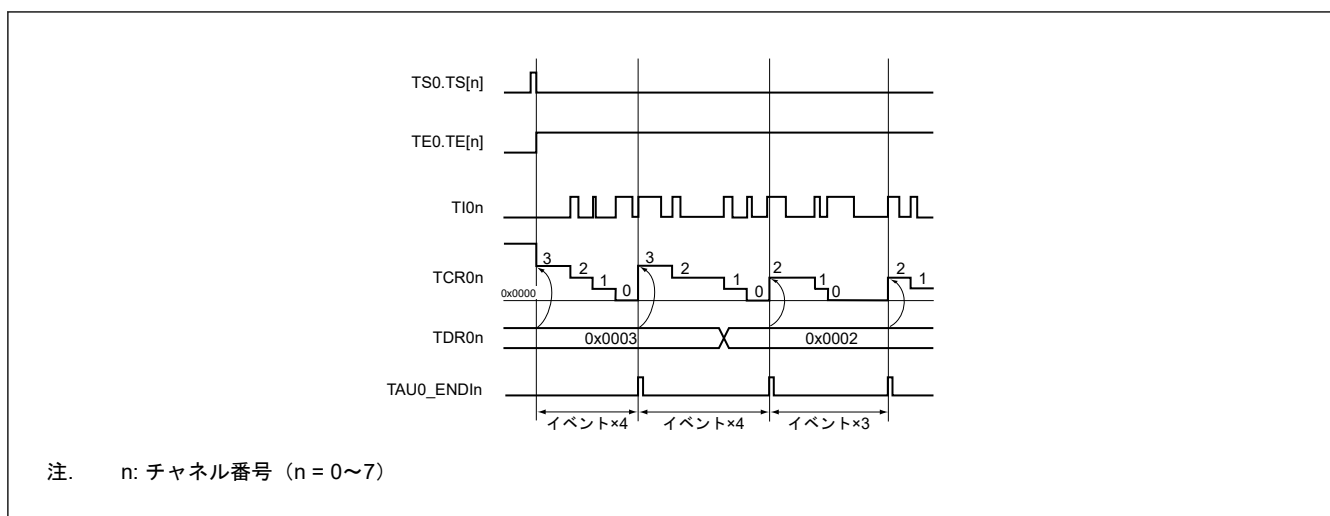


図 18.40 外部イベントカウンタとして動作する場合の基本タイミング例

表 18.19～表 18.24 に、外部イベントカウンタとして動作する場合のレジスタ設定と手順を示します。

表 18.19 外部イベントカウンタモードの TMR0n 設定例

ビット	シンボル	設定値	機能
0	OPIRQ	0	カウント開始時の動作設定 0: カウント開始時に TAU0_ENDIn を発生させずタイマ出力の反転も行わない
3:1	MD[2:0]	011b	チャンネル n の動作モード 0 1 1: イベントカウンタモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ~ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がりエッジを検出する 0 1: 立ち上がりエッジを検出する 1 0: 両エッジを検出する その他: 設定禁止
10:8	STS[2:0]	000b	スタートトリガの選択 0 0 0: ソフトウェアスタートだけを選択する
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	1/0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード 1: 8 ビットタイマモード
	MASTER (n = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能
12	CCS	1	カウントクロックの選択 1: TI0n 端子入力の有効エッジを選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f_{MCK}) の選択 0 0: チャンネル n の動作クロックとして CK00 を選択する 0 1: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能) 1 0: チャンネル n の動作クロックとして CK01 を選択する 1 1: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)

表 18.20 外部イベントカウンタモードの TO0 設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する

表 18.21 外部イベントカウンタモードの TOE0 設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する

表 18.22 外部イベントカウンタモードの TOL0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n - 1] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 18.23 外部イベントカウンタモードの TOM0 設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

表 18.24 外部イベントカウンタを使用する場合の動作手順

	ステップ	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—
チャンネルの初期設定	<2>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。 タイマデータレジスタ 0n (TDR0n) にカウント数を設定する。 タイマ出力許可レジスタ 0 (TOE0) の TOE[n] ビットを 0 にクリアする。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<3>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] が 1 になりカウント動作が始まる。 TDR0n レジスタの値がタイマカウンタレジスタ 0n (TCR0n) にロードされ、TI0n 端子入力のエッジ検出待ちとなる。
動作中	<4>	TDR0n レジスタの設定値の変更が可能。TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは使用しない。 TMR0n レジスタの設定値は変更不可。TOM0.TOM[n - 1] ビット、TOL0.TOL[n - 1] ビット、TO0.TO[n] ビット、および TOE0.TOE[n] ビットの設定値も変更不可。	→ カウンタ (TCR0n) は、TI0n 端子の入力エッジを検出するたびにダウンカウントを行う。カウント値が 0x0000 に達すると、TDR0n レジスタの値が TCR0n レジスタに再びロードされ、カウント動作は続行する。TCR0n の値として 0x0000 を検出することで、TAU0_ENDIn 出力が発生する。 その後、上記の動作を繰り返す。
動作停止	<5>	TT0.TT[n] ビットを 1 にする。 TT0.TT[n] ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ <3> へ進む。	→ TE0.TE[n] が 0 になりカウント動作が停止する。 TCR0n レジスタはカウント値を保持して停止する。

注. n: チャンネル番号 (n = 0~7)

18.7.3 分周器としての動作 (チャンネル 0 のみ)

TI00 端子へのクロック入力を分周して分周結果を TO00 端子から出力する分周器としてタイマアレイユニットを使用できます。

TO00 端子から出力される分周後のクロック周波数は以下の式より求めることができます。

- 立ち上がりエッジまたは立ち下がりエッジを選択した場合：
分周後のクロック周波数 = 入力クロック周波数 / {(TDR00 の設定値 + 1) × 2}
- 両エッジを選択した場合：
分周後のクロック周波数 ≈ 入力クロック周波数 / (TDR00 の設定値 + 1)

インターバルタイマモードでは、タイマカウンタレジスタ 00 (TCR00) はダウンカウンタとして動作します。

タイマチャンネル起動レジスタ 0 (TS0) のチャンネルスタートトリガビット (TS[0]) が 1 になった後、TI00 の有効エッジを検出すると、TCR00 レジスタにはタイマデータレジスタ 00 (TDR00) の値がロードされます。

この時にタイマモードレジスタ 00 (TMR00) の OPIRQ ビットが 0 であると、TAU0_ENDI0 は出力されず、TO00 の出力はトグルされません。タイマモードレジスタ 00 (TMR00) の OPIRQ ビットが 1 であると、TAU0_ENDI0 は出力され、TO00 の出力はトグルされます。

その後、TCR00 レジスタは TI00 端子の有効エッジでダウンカウントを行います。TCR00 の値が 0x0000 に達すると、TO00 の出力はトグルされます。それと同時に、TCR00 レジスタは TDR00 レジスタの値を再びロードしてカウントを続けます。

TI00 端子の両エッジ検出を選択した場合、入力クロックのデューティ比の誤差が TO00 出力の分周後のクロック周期に影響します。

TO00 出力のクロック周期には、動作クロックの 1 周期分のサンプリング誤差が含まれます。

TO00 出力のクロック周期 = 理想の TO00 出力クロック周期 ± 動作クロック周期 (誤差)

TDR00 レジスタはいつでも書き換えることができます。TDR00 レジスタの書き換え後の値は次のカウント周期で有効になります。

図 18.41 に、分周器として動作する場合のブロック図を示します。

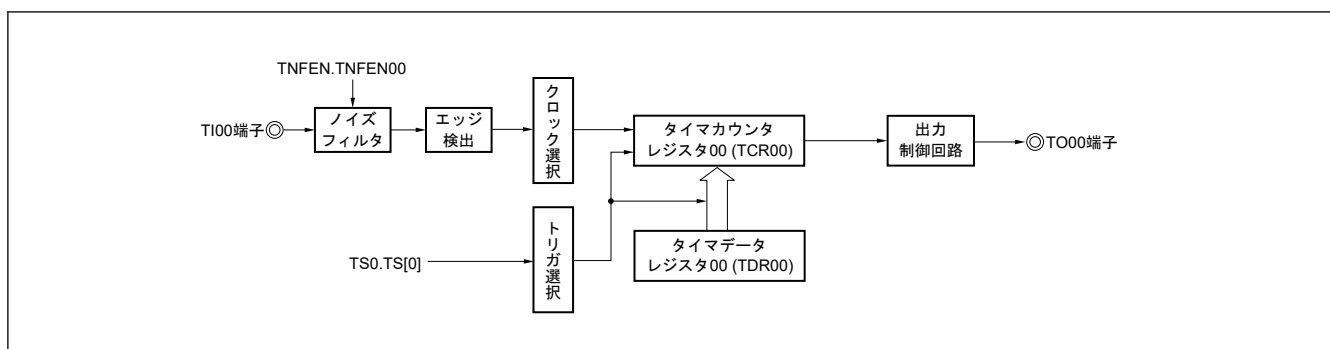


図 18.41 分周器として動作する場合のブロック図

図 18.42 に、分周器として動作する場合 (TMR00.OPIRQ = 1) の基本タイミング例を示します。

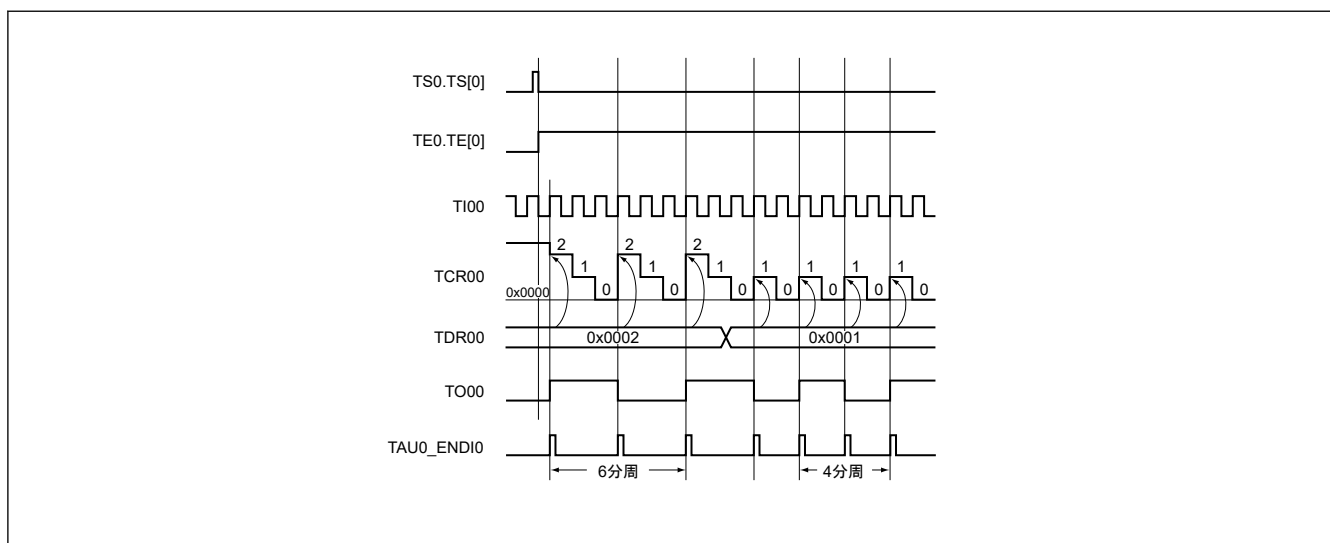


図 18.42 分周器として動作する場合 (TMR00.OPIRQ = 1) の基本タイミング例

表 18.25～表 18.30 に、分周器として動作する場合のレジスタ設定と手順を示します。

表 18.25 分周器として動作する場合の TMR00 レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	カウント開始時の動作設定 0: カウント開始時に TAU0_ENDI0 を発生させずタイマ出力の反転も行わない 1: カウント開始時に TAU0_ENDI0 を発生させてタイマ出力の反転を行う
3:1	MD[2:0]	000b	チャンネル 0 の動作モード 0 0 0: インターバルタイマモード
5:4	—	00b	0 に固定

表 18.25 分周器として動作する場合の TMR00 レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
7:6	CIS[1:0]	00b ～ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がりエッジを検出する 0 1: 立ち上がりエッジを検出する 1 0: 両エッジを検出する その他: 設定禁止
10:8	STS[2:0]	000b	スタートトリガの選択 0 0 0: ソフトウェアスタートだけを選択する
11	—	0	0 に固定
12	CCS	1	カウントクロックの選択 1: TI00 端子入力の有効エッジを選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 0 0: チャンネル 0 の動作クロックとして CK00 を選択する 1 0: チャンネル 0 の動作クロックとして CK01 を選択する

表 18.26 分周器として動作する場合の TO0 レジスタ設定例

ビット	シンボル	設定値	機能
0	TO[0]	1/0	チャンネル 0 のタイマ出力 0: TO00 から 0 を出力する 1: TO00 から 1 を出力する

表 18.27 分周器として動作する場合の TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
0	TOE[0]	1/0	チャンネル 0 のタイマ出力の許可／禁止 0: カウンタとしての TO00 出力動作を停止する 1: カウンタとしての TO00 出力動作を許可する

表 18.28 分周器として動作する場合の TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
0	—	0	0 に固定 (チャンネル 0)

表 18.29 分周器として動作する場合の TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
0	—	0	0 に固定 (チャンネル 0)

表 18.30 分周器を使用する場合の動作手順 (1/2)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00～CK03 のクロック周波数を決定する。	

表 18.30 分周器を使用する場合の動作手順 (2/2)

	手順	ソフトウェアの動作	ハードウェアの状態
チャンネルの初期設定	<2>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 00 (TMR00) を設定する (チャンネルの動作モードを決定し検出エッジを選択する)。タイマデータレジスタ 00 (TDR00) にインターバル (周期) の値を設定する。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<3>	TO0.TO[0] ビットを 1 にし、TO00 出力の初期レベルを決定する。 TOE0.TOE[0] ビットを 1 にし、TO00 の動作を許可する。 ポート方向レジスタ (PDR) の対応するビットを 1 にする。	→ ポート方向レジスタ (PDR) の対応するビットが出力モードの場合、TO00 の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO00 は変化しない。 → TO00 端子から TO00 設定レベルが出力される。
	<4>	TOE0.TOE[0] ビットを 1 にする (動作を再開する場合のみ)。 TS0.TS[0] ビットを 1 にする。 TS0.TS[0] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[0] が 1 になりカウント動作が始まる。TDR00 レジスタの値がタイマカウンタレジスタ 00 (TCR00) にロードされる。TMR00 レジスタの OPIRQ ビットが 1 の場合は、TAU0_ENDI0 が発生し TO00 はトグル動作を行う。
動作中	<5>	TDR00 レジスタの設定値の変更が可能。TCR00 レジスタは常に読み出し可能。 TSR00 レジスタは使用しない。 TO0 レジスタと TOE0 レジスタの設定値の変更が可能。 TMR00 レジスタの設定値の変更は不可能。	→ カウンタ (TCR00) がダウンカウントを行う。カウント値が 0x0000 に達すると、TDR00 レジスタの値が TCR00 レジスタに再びロードされ、カウント動作は続行する。TCR00 が 0x0000 になったことを検出すると、TAU0_ENDI0 が発生し TO00 はトグル動作を行う。 その後、上記の動作を繰り返す。
動作停止	<6>	TT0.TT[0] ビットを 1 にする。 TT0.TT[0] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[0] が 0 になりカウント動作が停止する。TCR00 レジスタはカウント値を保持して停止する。TO00 出力は初期化されず現在の状態を維持する。
	<7>	TOE0.TOE[0] ビットが 0 にクリアされ、TO0.TO[0] ビットに値が設定される。 動作を再開する場合は、ステップ <4> へ進む。 動作を終了する場合は、ステップ <8> へ進む。	→ TO00 端子から TO00 設定レベルが出力される。
TAU 停止	<8>	TO00 端子の出力レベルを保持するには保持する値をポート出力データレジスタ (PODR) の対応するビットに設定した後、PSEL[4:0] ビットに 00000b を設定する。 TO00 端子の出力レベルを保持する必要がある場合は設定不要。	→ ポート機能により TO00 端子の出力レベルが保持される。

18.7.4 入力パルスの間隔の測定を行う際の動作

カウント値は TI0n の有効エッジでキャプチャできるため、TI0n に入力されるパルスの間隔を測定することができます。また、TE0.TE[n] ビットが 1 のときはソフトウェア動作 (TS0.TS[n] = 1) をキャプチャトリガに使用することでカウント値をキャプチャすることができます。

パルスの間隔は以下の式より求めることができます。

$$\text{TI0n 入力パルスの間隔} = \text{カウントクロックの周期} \times ((0x10000 \times \text{TSR0n.OVF}) + (\text{TDR0n のキャプチャ値} + 1))$$

注. TI0n 端子入力のサンプリングはタイマモードレジスタ 0n (TMR0n) の CKS[1:0] ビットで選択した動作クロックを基に実行されるため、動作クロックで最大 1 サイクルの誤差が生じます。

キャプチャモードでは、タイマカウンタレジスタ 0n (TCR0n) はアップカウンタとして動作します。

タイマチャンネル起動レジスタ 0 (TS0) のチャンネルスタートトリガビット (TS[n]) が 1 になると、TCR0n レジスタはカウントクロックに同期して、0x0000 を初期値に、アップカウントを行います。

TI0n 端子入力の有効エッジが検出されると、TCR0n レジスタのカウント値がタイマデータレジスタ 0n (TDR0n) に転送 (キャプチャ) されます。また、それと同時に TCR0n レジスタが 0x0000 にクリアされ、TAU0_ENDI0n が出力されます。この時、カウンタがオーバーフローすると、タイマステータスレジスタ 0n (TSR0n) の OVF ビット

トが 1 になります。カウンタがオーバーフローしない場合、TSR0n.OVF ビットはクリアされます。その後、上記の動作を繰り返します。

カウント値が TDR0n レジスタにキャプチャされるとその直後に、測定期間中にカウンタがオーバーフローしたかどうかに応じて TSR0n レジスタの OVF ビットが更新されます。このため、キャプチャされた値がオーバーフローしたかどうかを確認することができます。

カウンタ値が最大値になったまま 2 周期以上経過するとオーバーフローが発生したと見なされ、TSR0n レジスタの OVF ビットが 1 になります。なお、オーバーフローが 2 回以上発生した場合は、OVF ビットで正常な間隔値を測定することはできません。

TI0n の有効エッジをスタートトリガとキャプチャトリガとして使用するために、TMR0n レジスタの STS[2:0] ビットを 001b に設定してください。

図 18.43 に、入力パルスの間隔測定機能として動作する場合のブロック図を示します。

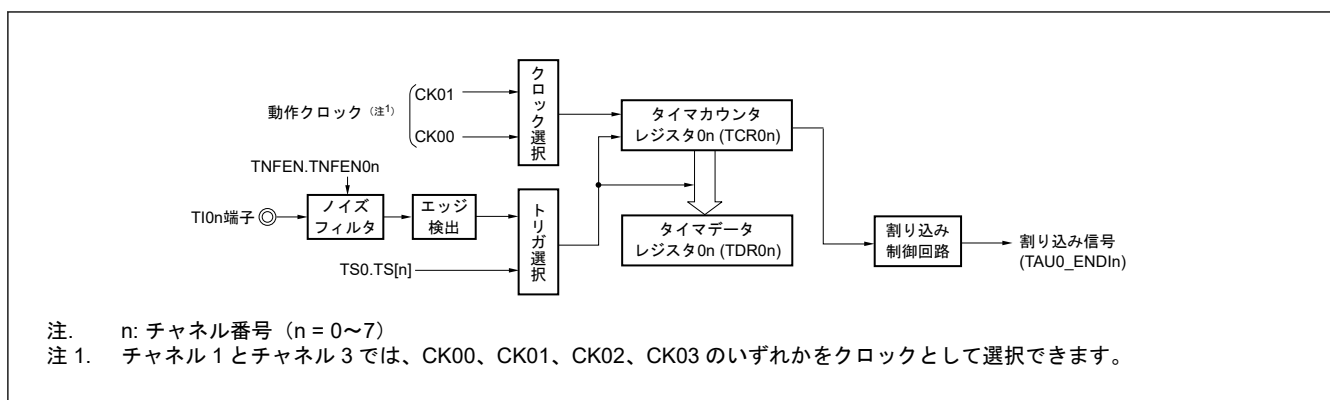


図 18.43 入力パルスの間隔測定機能として動作する場合のブロック図

図 18.44 に、入力パルスの間隔測定機能として動作する場合 (TMR0n.OPIRQ = 0) の基本タイミング例を示します。

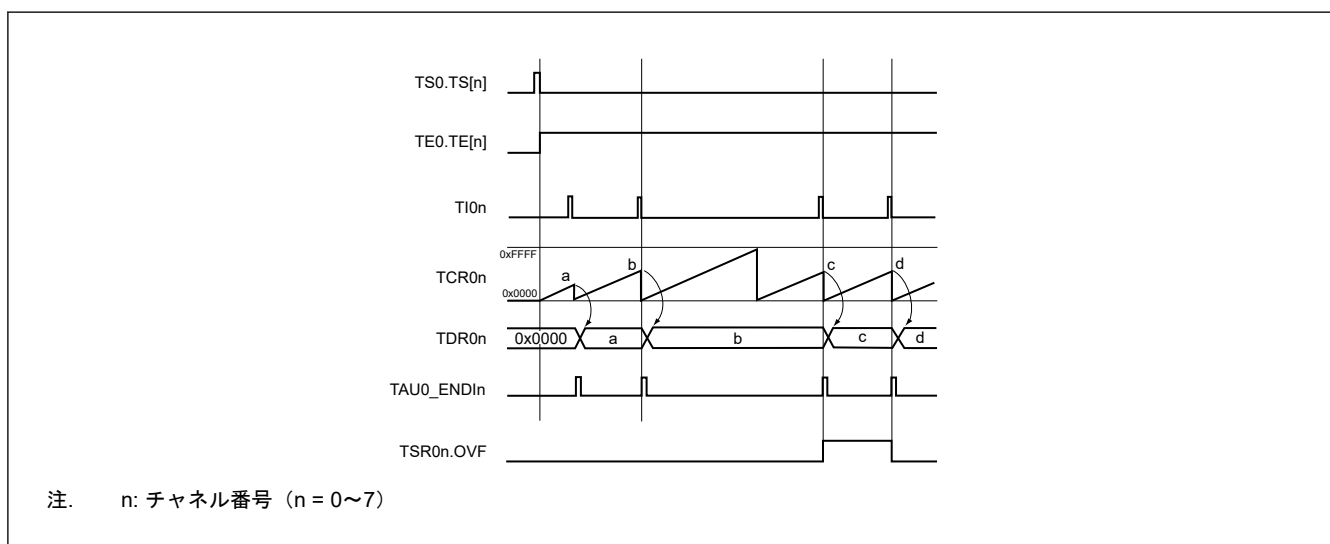


図 18.44 入力パルスの間隔測定機能として動作する場合 (TMR0n.OPIRQ = 0) の基本タイミング例

表 18.31~表 18.36 に、入力パルスの間隔を測定する動作に関するレジスタ設定と手順を示します。

表 18.31 入力パルスの間隔測定機能として動作する場合の TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	カウント開始時の動作設定 0: カウント開始時に TAU0_ENDIn を発生させずタイマ出力の反転も行わない 1: カウント開始時に TAU0_ENDIn を発生させてタイマ出力の反転を行う

表 18.31 入力パルスの間隔測定機能として動作する場合の TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
3:1	MD[2:0]	010b	チャンネル n の動作モード 0 1 0: キャプチャモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ~ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がリエッジを検出する 0 1: 立ち上がりエッジを検出する 1 0: 両エッジを検出する その他: 設定禁止
10:8	STS[2:0]	001b	スタートトリガの選択 0 0 1: TI0n 端子入力の有効エッジを選択する
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード
	MASTER (n = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f_{MCK}) の選択 0 0: チャンネル n の動作クロックとして CK00 を選択する 0 1: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能) 1 0: チャンネル n の動作クロックとして CK01 を選択する 1 1: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)

表 18.32 入力パルスの間隔測定機能として動作する場合の TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する

表 18.33 入力パルスの間隔測定機能として動作する場合の TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する

表 18.34 入力パルスの間隔測定機能として動作する場合の TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n - 1] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 18.35 入力パルスの間隔測定機能として動作する場合の TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

表 18.36 入力パルスの間隔測定機能を使用する場合の動作手順

	ステップ	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—
チャンネルの初期設定	<2>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<3>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] が 1 になりカウント動作が始まる。 タイマカウンタレジスタ 0n (TCR0n) が 0x0000 にクリアされる。 TMR0n レジスタの OPIRQ ビットが 1 になると TAU0_ENDIn が発生する。
動作中	<4>	TMR0n レジスタの CIS[1:0] ビットの設定値だけが変更可能。 TDR0n レジスタは常に読み出し可能。 TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは常に読み出し可能。 TOM0.TOM[n] ビット、TOL0.TOL[n - 1] ビット、TO0.TO[n - 1] ビット、および TOE0.TOE[n] ビットの設定値は変更不可。	→ カウンタ (TCR0n) が 0x0000 を初期値にアップカウントを行う。TI0n 端子入力の有効エッジが検出された時または TS0.TS[n] ビットが 1 になった時、カウント値がタイマデータレジスタ 0n (TDR0n) に転送 (キャプチャ) される。それと同時に、TCR0n レジスタが 0x0000 にクリアされ、TAU0_ENDIn 信号が発生する。 この時、オーバーフローが発生すると、タイママスターレジスタ 0n (TSR0n) の OVF ビットが 1 になる。オーバーフローが発生しないと TSR0n.OVF ビットがクリアされる。 その後、上記の動作を繰り返す。
動作停止	<5>	TT0.TT[n] ビットを 1 にする。 TT0.TT[n] ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ <3> へ進む。	→ TE0.TE[n] が 0 になりカウント動作が停止する。 TCR0n レジスタはカウント値を保持して停止する。 TSR0n レジスタの OVF ビットも保持される。

注. n: チャンネル番号 (n = 0~7)

18.7.5 入力信号の High/Low レベル幅測定の動作

注. LIN-bus 通信を行うためにチャンネルを使用する場合は、入力切り替え制御レジスタ (ISC) の ISC1 ビットを 1 にしてください。本項では、「TI0n」を「Rx02」と読み替えてください。

TI0n 端子入力的一方のエッジでカウントを開始し、カウント数を他方のエッジでキャプチャすることによって、TI0n 端子の信号幅 (High/Low レベル幅) を測定することができます。TI0n の信号幅は以下の式より求めることができます。

$$\text{TI0n 入力の信号幅} = \text{カウントクロックの周期} \times ((0x10000 \times \text{TSR0n.OVF}) + (\text{TDR0n のキャプチャ値} + 1))$$

注. TI0n 端子入力のサンプリングはタイマモードレジスタ 0n (TMR0n) の CKS[1:0] ビットで選択した動作クロックを基に実行されるため、動作クロックで 1 サイクル分の誤差が生じます。

キャプチャ & ワンカウントモードでは、タイマカウンタレジスタ 0n (TCR0n) はアップカウンタとして動作します。

タイマチャンネル起動レジスタ 0 (TS0) のチャンネルスタートトリガビット (TS[n]) が 1 になると、TE0.TE[n] ビットが 1 になり、TI0n 端子スタートエッジ検出待ち状態になります。

TI0n 端子入力スタートエッジ (High レベル幅測定時の TI0n 端子入力の立ち上がりエッジ) が検出されると、カウンタは、カウントクロックに同期して、0x0000 を初期値にアップカウントを行います。その後、有効なキャプチャエッジ (High レベル幅測定時の TI0n 端子入力の立ち下がりエッジ) を検出すると、カウント値はタイマデータレジスタ 0n (TDR0n) に転送され、それと同時に TAU0_ENDIn が出力されます。この時、カウンタがオーバ

一フローすると、タイマステータスレジスタ 0n (TSR0n) の OVF ビットが 1 になります。カウンタがオーバーフローしない場合、TSR0n.OVF ビットはクリアされます。TCR0n レジスタは、値が「TDR0n レジスタに転送した値 + 1」になると停止し、TI0n 端子スタートエッジ検出待ち状態になります。その後、上記の動作を繰り返します。

カウンタ値が TDR0n レジスタにキャプチャされるとその直後に、測定期間中にカウンタがオーバーフローしたかどうかに応じて TSR0n レジスタの OVF ビットが更新されます。このため、キャプチャされた値がオーバーフローしたかどうかを確認することができます。

カウンタ値が最大値になったまま 2 周期以上経過するとオーバーフローが発生したと見なされ、TSR0n レジスタの OVF ビットが 1 になります。なお、オーバーフローが 2 回以上発生した場合は、OVF ビットで正常な間隔値を測定することはできません。

TI0n 端子の High レベル幅と Low レベル幅のどちらを測定するかは、TMR0n レジスタの CIS[1:0] ビットで選択できます。

本機能は TI0n 端子入力の信号幅を測定するために使用されるため、TE0.TE[n] ビットが 1 の間は TS0.TS[n] ビットを 1 にすることはできません。

TMR0n レジスタの CIS[1:0] ビットが 10b の場合 : Low レベル幅が測定されます。

TMR0n レジスタの CIS[1:0] ビットが 11b の場合 : High レベル幅が測定されます。

図 18.45 に、入力信号の High/Low レベル幅を測定する動作のブロック図を示します。

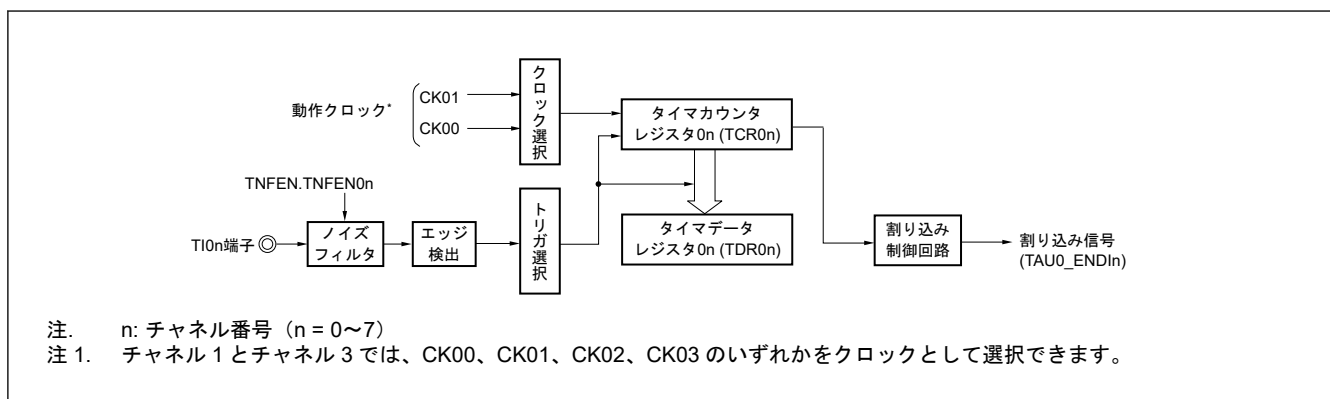


図 18.45 入力信号の High/Low レベル幅を測定する動作のブロック図

図 18.46 に、入力信号の High/Low レベル幅を測定する動作の基本タイミング例を示します。

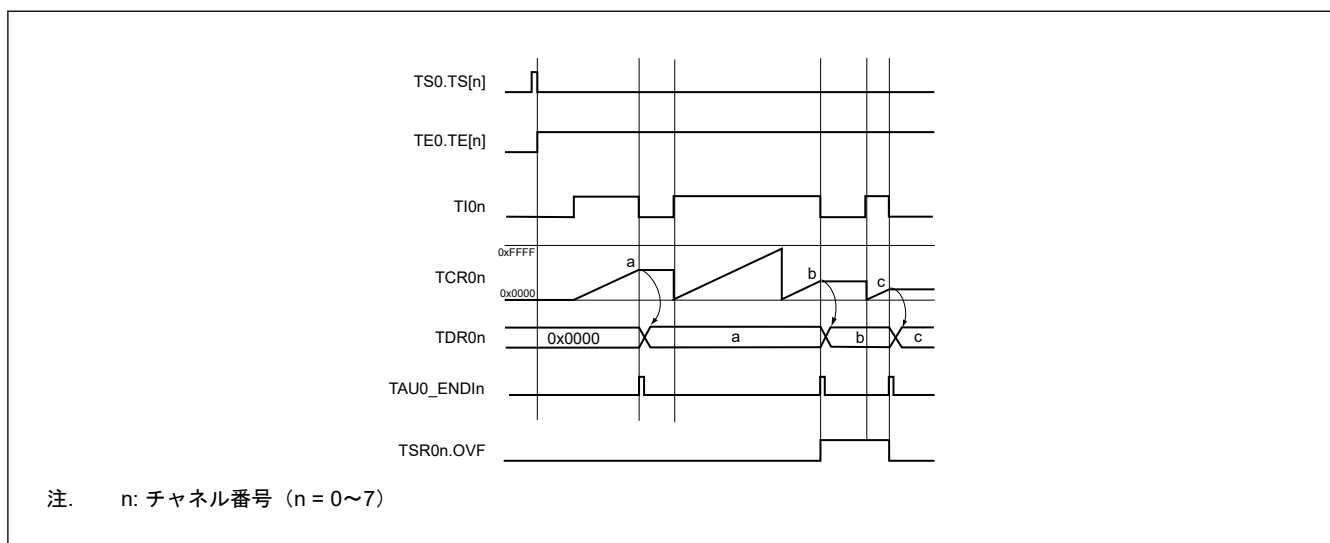


図 18.46 入力信号の High/Low レベル幅を測定する動作の基本タイミング例

表 18.37~表 18.42 に、入力信号の High/Low レベル幅を測定する動作に関するレジスタ設定と手順を示します。

表 18.37 入力信号の High/Low レベル幅を測定する動作に関する TMR0n レジスタ設定例

ビット	シンボル	設定値	機能
0	OPIRQ	0	カウント開始時の動作設定 0: カウント開始時に TAU0_ENDIn を発生させずタイマ出力の反転も行わない
3:1	MD[2:0]	110b	チャンネル n の動作モード 110: キャプチャ & ワンカウント
5:4	—	00b	0 に固定
7:6	CIS[1:0]	10b ~ 11b	TI0n 端子入力の有効エッジの選択 10: 両エッジ (Low レベル幅を測定する場合) 11: 両エッジ (High レベル幅を測定する場合) その他: 設定禁止
10:8	STS[2:0]	010b	スタートトリガの選択 010: TI0n 端子入力の有効エッジを選択する
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード
	MASTER (n = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f_{MCK}) の選択 00: チャンネル n の動作クロックとして CK00 を選択する 01: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能) 10: チャンネル n の動作クロックとして CK01 を選択する 11: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)

表 18.38 入力信号の High/Low レベル幅を測定する動作に関する TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する

表 18.39 入力信号の High/Low レベル幅を測定する動作に関する TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する

表 18.40 入力信号の High/Low レベル幅を測定する動作に関する TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n - 1] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 18.41 入力信号の High/Low レベル幅を測定する動作に関する TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

表 18.42 入力信号 High/Low レベル幅測定機能を使用する場合の動作手順

	ステップ	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—
チャンネルの初期設定	<2>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。 TOE0.TOE[n] ビットを 0 にし、TO0n の動作を停止する。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<3>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] が 1 になり、TI0n 端子スタートエッジ検出待ち状態になる。
	<4>	TI0n 端子入力カウント開始の有効エッジを検出する。	→ タイマカウンタレジスタ 0n (TCR0n) を 0x0000 にクリアしアップカウントを開始する。
動作中	<5>	TDR0n レジスタの設定値は常に読み出し可能。 TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは常に読み出し可能。 TMR0n レジスタの設定値は変更不可。TOM0.TOM[n - 1] ビット、TOL0.TOL[n - 1] ビット、TO0.TO[n] ビット、および TOE0.TOE[n] ビットの設定値も変更不可。	TI0n 端子スタートエッジが検出されると、カウンタ (TCR0n) は 0x0000 を初期値にアップカウントを行う。TI0n 端子のキャプチャエッジを検出するとカウント値はタイマデータレジスタ 0n (TDR0n) に転送され、TAU0_ENDIn が発生する。 この時、オーバーフローが発生すると、タイマステータスレジスタ 0n (TSR0n) の OVF ビットが 1 になる。オーバーフローが発生しないと TSR0n.OVF ビットがクリアされる。TCR0n レジスタは、次の TI0n 端子スタートエッジを検出するまでカウント動作を停止する。
動作停止	<6>	TT0.TT[n] ビットを 1 にする。 TT0.TT[n] ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ <3> へ進む。	→ TE0.TE[n] が 0 になりカウント動作が停止する。 TCR0n レジスタはカウント値を保持して停止する。 TSR0n レジスタの OVF ビットも保持される。

注: n: チャンネル番号 (n = 0~7)

18.7.6 ディレイカウンタとしての動作

TI0n 端子入力の有効エッジの検出 (外部イベント) を契機にダウンカウントを開始したのち、任意の間隔で TAU0_ENDIn (タイマ割り込み) を発生させることができます。

TE0.TE[n] が 1 のときにソフトウェアで TS0.TS[n] を 1 にすることによってダウンカウントを開始し、任意の間隔で TAU0_ENDIn (タイマ割り込み) を発生させることもできます。

割り込み発生周期は以下の式より求めることができます。

$$\text{TAU0\_ENDIn (タイマ割り込み) の発生周期} = \text{カウントクロックの周期} \times (\text{TDR0n の設定値} + 1)$$

ワンカウントモードでは、タイマカウンタレジスタ 0n (TCR0n) はダウンカウンタとして動作します。

タイマチャンネル起動レジスタ 0 (TS0) のチャンネルスタートトリガビット (TS[n], TSH1, TSH3) を 1 にすると、TE0.TE[n]、TEH1、TEH3 の各ビットが 1 になり、TI0n 端子入力有効エッジ検出待ち状態になります。

タイマカウンタレジスタ 0n (TCR0n) は、TI0n 端子入力有効エッジの検出を契機に動作を開始し、タイマデータレジスタ 0n (TDR0n) から値がロードされます。TCR0n レジスタは、TDR0n レジスタからロードされた値を初期値として、カウントクロックに同期してダウンカウントを行います。TCR0n の値が 0x0000 に達すると、TAU0_ENDIn を出力し、次の TI0n 端子入力有効エッジが検出されるまでカウントを停止します。

TDR0n レジスタはいつでも書き換えることができます。TDR0n レジスタの書き換え後の値は次の周期から有効になります。

図 18.47 に、ディレイカウンタとして動作する場合のブロック図を示します。

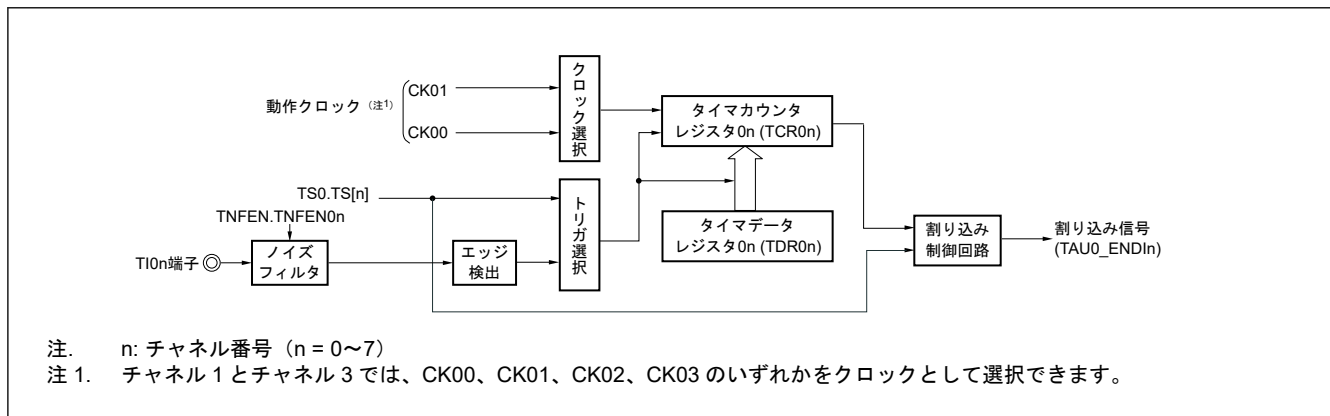


図 18.47 ディレイカウンタとして動作する場合のブロック図

図 18.48 に、ディレイカウンタとして動作する場合の基本タイミング例を示します。

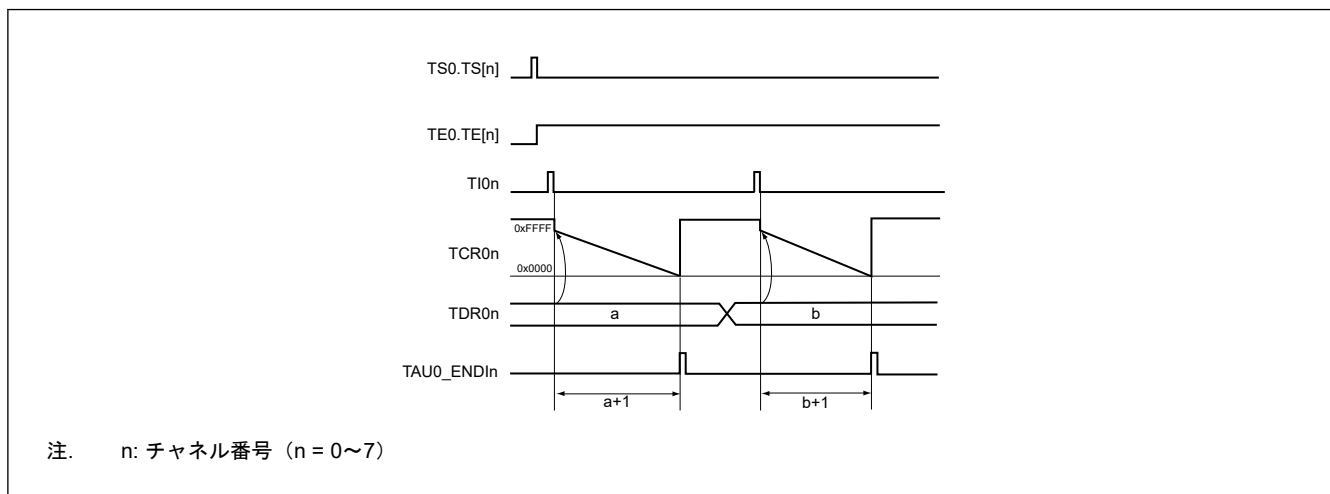


図 18.48 ディレイカウンタとして動作する場合の基本タイミング例

表 18.43~表 18.48 に、ディレイカウンタとして動作する場合のレジスタ設定と手順を示します。

表 18.43 ディレイカウンタとして動作する場合の TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1/0	動作中のスタートトリガ 0: トリガ入力は無効 1: トリガ入力是有効
3:1	MD[2:0]	100b	チャンネル n の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ~ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がりエッジを検出する 0 1: 立ち上がりエッジを検出する 1 0: 両エッジを検出する その他: 設定禁止
10:8	STS[2:0]	001b	スタートトリガの選択 0 0 1: TI0n 端子入力の有効エッジを選択する

表 18.43 ディレイカウンタとして動作する場合の TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
11	— (n = 0, 5, 7)	0	0 に固定 (チャンネル 0/5/7)
	SPLIT (n = 1, 3)	1/0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード 1: 8 ビットタイマモード
	MASTER (n = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: 単独チャンネル動作機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b ~ 11b	動作クロック (f_{MCK}) の選択 00: チャンネル n の動作クロックとして CK00 を選択する 01: 動作クロックとして CK02 を選択する (チャンネル 1 と 3 にのみ選択可能) 10: チャンネル n の動作クロックとして CK01 を選択する 11: 動作クロックとして CK03 を選択する (チャンネル 1 と 3 にのみ選択可能)

表 18.44 ディレイカウンタとして動作する場合の TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する

表 18.45 ディレイカウンタとして動作する場合の TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する

表 18.46 ディレイカウンタとして動作する場合の TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力の制御 0: TOM0.TOM[n - 1] が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 18.47 ディレイカウンタとして動作する場合の TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n - 1] (n = 1 ~ 7)		チャンネル n (チャンネル 1~7) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

表 18.48 ディレイカウンタ機能を使用する場合の動作手順 (1/2)

	ステップ	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00~CK03 のクロック周波数を決定する。	—

表 18.48 ディレイカウンタ機能を使用する場合の動作手順 (2/2)

	ステップ	ソフトウェアの動作		ハードウェアの状態
チャンネルの初期設定	<2>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 0 (OFF) または 1 (ON) にする。タイマモードレジスタ 0n (TMR0n) を設定する (チャンネルの動作モードを決定する)。 TAU0_ENDIn の出力遅延がタイマデータレジスタ 0n (TDR0n) に設定される。 TOE0.TOE[n] ビットを 0 にし、TO0n の動作を停止する。		チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
動作開始	<3>	TS0.TS[n] ビットを 1 にする。 TS0.TS[n] ビットはトリガビットなので自動的に 0 に戻る。	→	TE0.TE[n] が 1 になり、スタートトリガ検出 (TI0n 端子入力の有効エッジが検出されるか、TS0.TS[n] ビットが 1 になる) の待ち状態となる。
	<4>	次のスタートトリガ検出を契機にカウンタはダウンカウントを開始する。 • TI0n 端子入力の有効エッジを検出する。 • ソフトウェアで TS0.TS[n] ビットを 1 にする。	→	TDR0n レジスタの値がタイマカウンタレジスタ 0n (TCR0n) にロードされる。
動作中	<5>	TDR0n レジスタの設定値の変更が可能。TCR0n レジスタは常に読み出し可能。 TSR0n レジスタは使用しない。		カウンタ (TCR0n) がダウンカウントを行う。TCR0n のカウント値が 0x0000 に達すると、TAU0_ENDIn が発生し、次のスタートトリガ検出 (TI0n 端子入力の有効エッジが検出されるか、TS0.TS[n] ビットが 1 になる) までカウント動作が停止する。
動作停止	<6>	TT0.TT[n] ビットを 1 にする。 TT0.TT[n] ビットはトリガビットなので自動的に 0 に戻る。 動作を再開する場合は、ステップ <3> へ進む。	→	TE0.TE[n] が 0 になりカウント動作が停止する。 TCR0n レジスタはカウント値を保持して停止する。

注. n: チャンネル番号 (n = 0~7)

18.8 タイマアレイユニットの同時チャンネル動作機能

18.8.1 ワンショットパルス出力機能の動作

一対のチャンネルを使用し、TI0n 端子への信号入力から任意のディレイパルス幅を持つワンショットパルスを生成できます。

ディレイ時間とパルス幅は以下の式より求めることができます。

$$\text{ディレイ時間} = \{\text{TDR0n の設定値 (マスタ)} + 2\} \times \text{カウントクロックの周期}$$

$$\text{パルス幅} = \{\text{TDR0p の設定値 (スレーブ)}\} \times \text{カウントクロックの周期}$$

マスタチャンネルはワンカウントモードで動作しディレイをカウントします。マスタチャンネルのタイマカウンタレジスタ 0n (TCR0n) はスタートトリガの検出を契機に動作を開始し、タイマデータレジスタ 0n (TDR0n) の値をロードします。

TCR0n レジスタは、TDR0n レジスタからロードされた値を初期値として、カウントクロックに同期してダウンカウントを行います。TCR0n が 0x0000 に達すると TAU0_ENDIn を出力し、次のスタートトリガを検出するまでカウントを停止します。

スレーブチャンネルはワンカウントモードで動作しパルス幅をカウントします。スレーブチャンネルの TCR0p レジスタは、マスタチャンネルの TAU0_ENDIn をスタートトリガとして動作を開始します。この時、TDR0p レジスタの値がロードされます。TCR0p レジスタは、TDR0p レジスタからロードされた値を初期値として、カウント値に同期してダウンカウントを行います。カウント値が 0x0000 に達すると、TAU0_ENDIp を出力し、次のスタートトリガ (マスタチャンネルの TAU0_ENDIn) を検出するまでカウントを停止します。マスタチャンネルから TAU0_ENDIn が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルはアクティブになり、TCR0p の値が 0x0000 に達すると非アクティブになります。

TI0n 端子入力を使用する代わりにソフトウェア動作 (TS0.TS[n] = 1) をスタートトリガにしてワンショットパルスを出力することもできます。

注. マスタチャンネルのタイマデータレジスタ 0n (TDR0n) が値をロードするタイミングは、スレーブチャンネルの TDR0p レジスタがそれを行うタイミングとは異なります。TDR0n レジスタと TDR0p レジスタが動作中に書き換えられると、不正な波形が出力されます。TDR0n レジスタは TAU0_ENDIn 発生後に書き換え、TDR0p レジスタは TAU0_ENDIp 発生後に書き換えるようにしてください。

注. n : マスタチャンネル番号 ($n = 0, 2, 4, 6$)
 p : スレーブチャンネル番号 ($n < p \leq 7$)

図 18.49 に、ワンショットパルス出力機能として動作する場合のブロック図を示します。

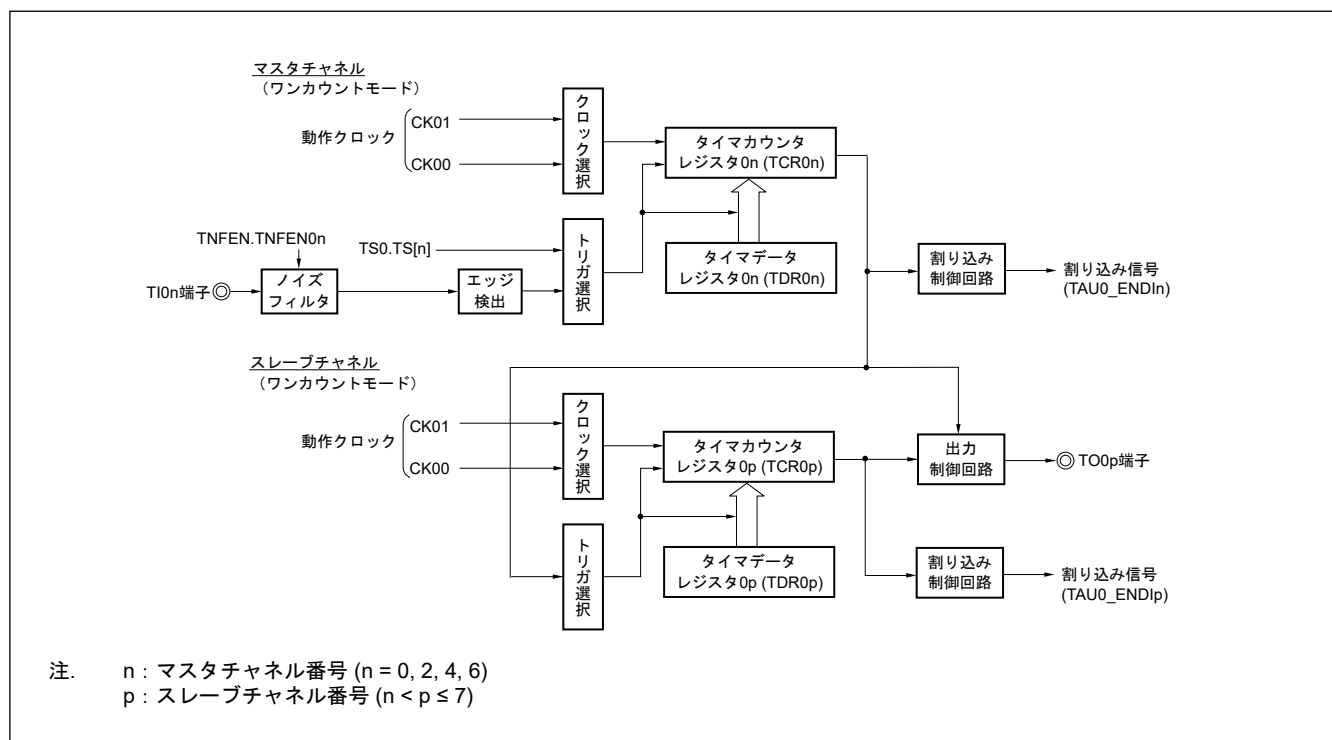


図 18.49 ワンショットパルス出力機能として動作する場合のブロック図

図 18.50 に、ワンショットパルス出力機能として動作する場合の基本タイミング例を示します。

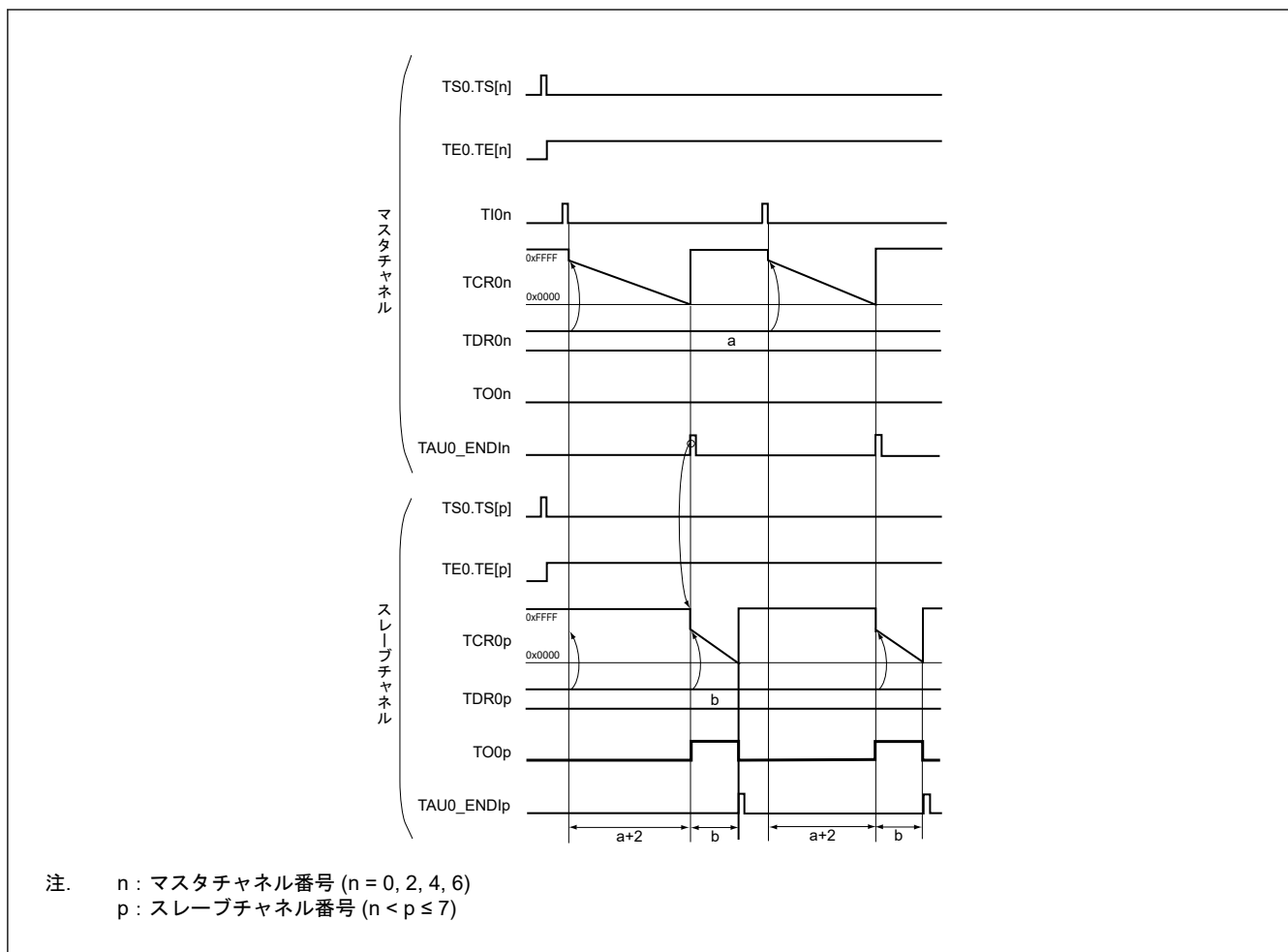


図 18.50 ワンショットパルス出力機能として動作する場合の基本タイミング例

表 18.49～表 18.53 に、ワンショットパルス出力機能を使用する場合のマスタチャンネルのレジスタ設定を示します。

表 18.49 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	0	動作中のスタートトリガ 0: トリガ入力は無効
3:1	MD[2:0]	100b	チャンネル n の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b ～ 10b	TI0n 端子入力のエッジ選択 0 0: 立ち下がリエッジを検出する 0 1: 立ち上がりエッジを検出する 1 0: 両エッジを検出する その他: 設定禁止
10:8	STS[2:0]	001b	スタートトリガの選択 0 0 1: TI0n 端子入力の有効エッジを選択する
11	— (n = 0)	0	0 に固定 (チャンネル 0)
	MASTER (n = 2, 4, 6)	1	MASTER ビットの設定 (チャンネル 2/4/6) 1: マスタチャンネル

表 18.49 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f _{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f _{MCK}) の選択 00: チャンネル n の動作クロックとして CK00 を選択する 10: チャンネル n の動作クロックとして CK01 を選択する

表 18.50 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャンネル n のタイマ出力 0: TO0n から 0 を出力する

表 18.51 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャンネル n のタイマ出力の許可／禁止 0: カウンタとしての TO0n 出力動作を停止する

表 18.52 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOL[n - 1] (n = 2, 4, 6)		チャンネル n (チャンネル 2/4/6) のタイマ出力の制御 0: TOM0.TOM[n-1]が 0 (マスタチャンネル出力モード) のときにこのビットを 0 に設定する

表 18.53 ワンショットパルス出力機能を使用する場合のマスタチャンネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャンネル 0)
	TOM[n - 1] (n = 2, 4, 6)		チャンネル n (チャンネル 2/4/6) のタイマ出力モードの制御 0: マスタチャンネル出力モードを設定する

表 18.54～表 18.58 に、ワンショットパルス出力機能を使用する場合のスレーブチャンネルのレジスタ設定を示します。

表 18.54 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TMR0p レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	0	動作中のスタートトリガ 0: トリガ入力は無効
3:1	MD[2:0]	100b	チャンネル p の動作モード 100: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0p 端子入力のエッジ選択 00: TI0p 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	スタートトリガの選択 100: マスタチャンネルの TAU0_ENDIn を選択する

表 18.54 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TMR0p レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
11	— (p = 5, 7)	0	0 に固定 (チャンネル 5/7)
	SPLIT (p = 1, 3)	0	SPLIT ビットの設定 (チャンネル 1/3) 0: 16 ビットタイマモード
	MASTER (p = 2, 4, 6)	0	MASTER ビットの設定 (チャンネル 2/4/6) 0: スレーブチャンネル動作機能
12	CCS	0	カウントクロックの選択 0: 動作クロック (f _{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f _{MCK}) の選択 (マスタチャンネルと設定を合わせる) 00: チャンネル p の動作クロックとして CK00 を選択する 10: チャンネル p の動作クロックとして CK01 を選択する

表 18.55 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TO[p]	1/0	チャンネル p のタイマ出力 0: TO0p から 0 を出力する 1: TO0p から 1 を出力する

表 18.56 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOE[p]	1/0	チャンネル p のタイマ出力の許可/禁止 0: カウンタとしての TO0p 出力動作を停止する 1: カウンタとしての TO0p 出力動作を許可する

表 18.57 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOL[p - 1]	1/0	チャンネル p のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)

表 18.58 ワンショットパルス出力機能を使用する場合のスレーブチャンネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOM[p - 1]	1	チャンネル p (チャンネル 1~7) のタイマ出力モードの制御 1: スレーブチャンネル出力モードを設定する

表 18.59 に、ワンショットパルス出力機能を使用する場合の動作手順を示します。

表 18.59 ワンショットパルス出力機能を使用する場合の動作手順 (1/3)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00 と CK01 のクロック周波数を決定する。	—

表 18.59 ワンショットパルス出力機能を使用する場合の動作手順 (2/3)

	手順	ソフトウェアの動作	ハードウェアの状態
チャンネルの初期設定	<2>	TAU ノイズフィルタ許可レジスタ (TNFEN) の対応するビットを 1 にする。 使用する 2 チャンネルのタイマモードレジスタ 0n および 0p (TMR0n および TMR0p) を設定する (チャンネルの動作モードを決定する)。 出力遅延がマスタチャンネルのタイマデータレジスタ 0n (TDR0n) に設定され、パルス幅がスレーブチャンネルの TDR0p レジスタに設定される。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<3>	スレーブチャンネルを設定する。 タイマ出力モードレジスタ 0 (TOM0) の TOM[p - 1] ビットを 1 にする (スレーブチャンネル出力モード)。 TOL0.TOL[p - 1] ビットを設定する。 TO0.TO[p] ビットを 1 にし、TO0p 出力の初期レベルを決定する。 TOE0.TO[p] ビットを 1 にし、TO0p の動作を許可する。 ポート方向レジスタ (PDR) の対応するビットを 1 にする。	TO0p 端子が Hi-Z 出力状態になる。 → ポート方向レジスタ (PDR) の対応するビットが出力モードの場合、TO0p の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO0p は変化しない。 → TO0p 端子から TO0p 設定レベルが出力される。
動作開始	<4>	TOE0.TO[p] ビット (スレーブ) を設定する (動作を再開する場合のみ)。 タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビット (マスタ) と TS[p] ビット (スレーブ) を同時に 1 にする。 TS0 レジスタの TS[n] ビットと TS[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0 レジスタの TE[n] ビットと TE[p] ビットは 1 になり、マスタチャンネルはスタートトリガが検出される (TI0n 端子入力の有効エッジが検出されるか、マスタチャンネルの TS0.TS[n] ビットが 1 になる) のを待つ。カウンタは動作を停止する。
	<5>	マスタチャンネルのスタートトリガが検出されるとマスタチャンネルのカウント動作が開始する。 - TI0n 端子入力の有効エッジを検出する。 - ソフトウェアでマスタチャンネルの TS0.TS[n] ビットを 1 にする。(注1)	マスタチャンネルはカウントを開始する。
動作中	<6>	TMR0n レジスタの CIS[1:0] ビットの設定値だけが変更可能。 TMR0p レジスタ、TDR0n レジスタ、および TDR0p レジスタの設定値は変更不可。TOM0 レジスタの TOM[n - 1] ビットと TOM[p - 1] ビット、ならびに TOL0 レジスタの TOL[n - 1] ビットと TOL[p - 1] ビットも変更不可。 TCR0n レジスタと TCR0p レジスタは常に読み出し可能。TSR0n レジスタと TSR0p レジスタは使用しない。 スレーブチャンネルの TO0 レジスタと TOE0 レジスタの設定値の変更が可能。	スタートトリガが検出される (TI0n 端子入力の有効エッジが検出されるか、マスタチャンネルの TS0.TS[n] ビットが 1 になる) と、マスタチャンネルは TDR0n レジスタの値をタイマカウンタレジスタ 0n (TCR0n) にロードし、カウンタはダウンカウントを開始する。TCR0n のカウンタ値が 0x0000 に達すると TAU0_ENDIn 出力が発生し、次のスタートトリガが検出されるまでカウンタは停止する。 マスタチャンネルでの TAU0_ENDIn の発生を契機に、スレーブチャンネルは TDR0p レジスタの値を TCR0p レジスタにロードし、カウンタはダウンカウントを開始する。マスタチャンネルから TAU0_ENDIn が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルがアクティブになる。TCR0p の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。 その後、上記の動作を繰り返す。
動作停止	<7>	TT0 レジスタの TT[n] ビット (マスタ) と TT[p] ビット (スレーブ) を同時に 1 にする。 TT0 レジスタの TT[n] ビットと TT[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0 レジスタの TE[n] と TE[p] が 0 になりカウント動作が停止する。 TCR0n レジスタと TCR0p レジスタはカウンタ値を保持して停止する。 TO0p 出力は初期化されず現在の状態を維持する。
	<8>	スレーブチャンネルの TOE0.TO[p] ビットは 0 にクリアされ、TO0.TO[p] ビットに値が設定される。 動作を再開する場合は、ステップ <4> へ進む。 動作を終了する場合は、ステップ <9> へ進む。	→ TO0p 端子から TO0p 設定レベルが出力される。

表 18.59 ワンショットパルス出力機能を使用する場合の動作手順 (3/3)

	手順	ソフトウェアの動作		ハードウェアの状態
TAU 停止	<9>	TO0p 端子の出力レベルを保持するには保持する値をポート出力データレジスタ (PODR) の対応するビットに設定した後、PSEL[4:0] ビットに 00000b を設定する。 TO0p 端子の出力レベルを保持する必要がない場合は設定不要。	→	ポート機能により TO0p 端子の出力レベルが保持される。

注. n : マスタチャンネル番号 (n = 0, 2, 4, 6)

p : スレーブチャンネル番号 (n < p ≤ 7)

注 1. スレーブチャンネルの TS0.TS[n] ビットを 1 にしないでください。

18.8.2 PWM 機能の動作

一対のチャンネルを使用して任意の周期とデューティ比を持つパルスを生成することができます。

出力パルスの周期とデューティ比は以下の式より求めることができます。

パルス周期 = {TDR0n の設定値 (マスタ) + 1} × カウントクロックの周期

デューティ比 [%] = {TDR0p の設定値 (スレーブ)} / {TDR0n の設定値 (マスタ) + 1} × 100

0%出力 : TDR0p の設定値 (スレーブ) = 0x0000

100%出力 : TDR0p の設定値 (スレーブ) ≥ {TDR0n の設定値 (マスタ) + 1}

注. 「TDR0p の設定値 (スレーブ) > (TDR0n の設定値 (マスタ) + 1)」の場合、デューティ比は 100%を超えますが、100%出力に集約されます。

マスタチャンネルはインターバルタイマモードで動作します。タイマチャンネル起動レジスタ 0 (TS0) のチャンネルスタートトリガビット (TS[n]) が 1 になると、割り込み (TAU0_ENDIn) が出力され、タイマデータレジスタ 0n (TDR0n) の設定値がタイマカウンタレジスタ 0n (TCR0n) にロードされ、カウンタはカウントクロックに同期してダウンカウントを行います。カウンタの値が 0x0000 に達すると TAU0_ENDIn が出力され、TDR0n レジスタの値が再び TCR0n レジスタにロードされ、カウンタはダウンカウントを行います。この動作は、タイマチャンネル停止レジスタ 0 (TT0) のチャンネル停止トリガビット (TT[n]) が 1 になるまで繰り返されます。

2 チャンネルを使って 1 つの PWM 波形を出力している場合、マスタチャンネルのダウンカウント値が 0x0000 に達するまでの期間が PWM 出力 (TO0p) の周期となります。

スレーブチャンネルはワンカウントモードで動作します。マスタチャンネルからの TAU0_ENDIn をスタートトリガとして使用することで、TDR0p レジスタの値が TCR0p レジスタにロードされ、カウンタは 0x0000 に達するまでダウンカウントを行います。カウンタが 0x0000 に達すると、カウンタは TAU0_ENDIp を出力し、次のスタートトリガ (マスタチャンネルからの TAU0_ENDIn) が発生するまで待機します。

2 チャンネルを使って 1 つの PWM 波形を出力している場合、スレーブチャンネルのダウンカウント値が 0x0000 に達するまでの期間が PWM 出力 (TO0p) のデューティとなります。

マスタチャンネルで TAU0_ENDIn が発生してから 1 クロックサイクル以上が経過し、スレーブチャンネルの TCR0p レジスタが 0x0000 になると、PWM 出力 (TO0p) のレベルがアクティブになります。

注. マスタチャンネルのタイマデータレジスタ 0n (TDR0n) とスレーブチャンネルの TDR0p レジスタの両方を書き換える場合は、2 回の書き込みが必要です。TDR0n レジスタと TDR0p レジスタの値がそれぞれ TCR0n レジスタと TCR0p レジスタにロードされるタイミングは、マスタチャンネルで TAU0_ENDIn が発生する時です。このため、マスタチャンネルで TAU0_ENDIn が発生する前と後に分かれて書き換えが行われた場合、TO0p 端子からの出力は期待する波形になりません。したがって、マスタの TDR0n レジスタとスレーブの TDR0p レジスタの両方を書き換える場合は、マスタチャンネルから TAU0_ENDIn が発生した直後に両方のレジスタを書き換えるようにしてください。

注. n: マスタチャンネル番号 (n = 0, 2, 4, 6)

p : スレーブチャンネル番号 (n < p ≤ 7)

図 18.51 に、PWM 機能として動作する場合のブロック図を示します。

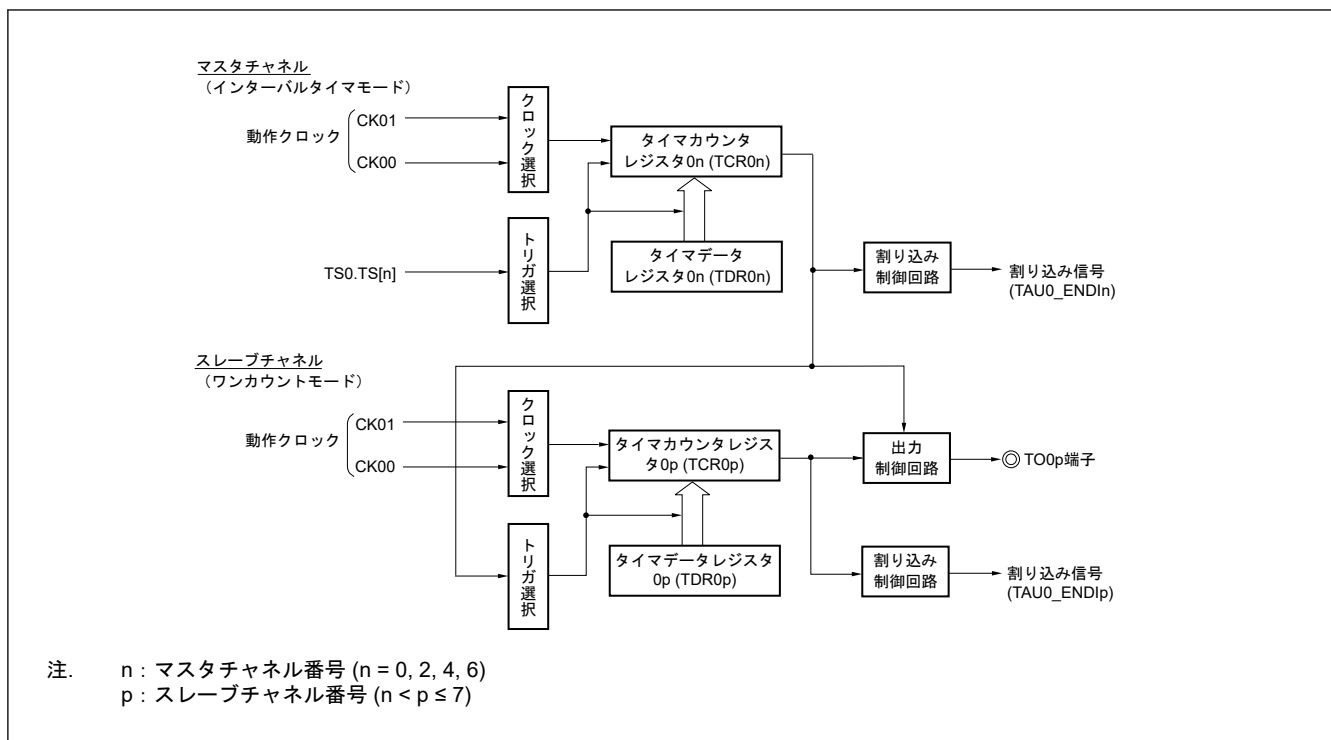


図 18.51 PWM 機能として動作する場合のブロック図

図 18.52 に、PWM 機能として動作する場合の基本タイミング例を示します。

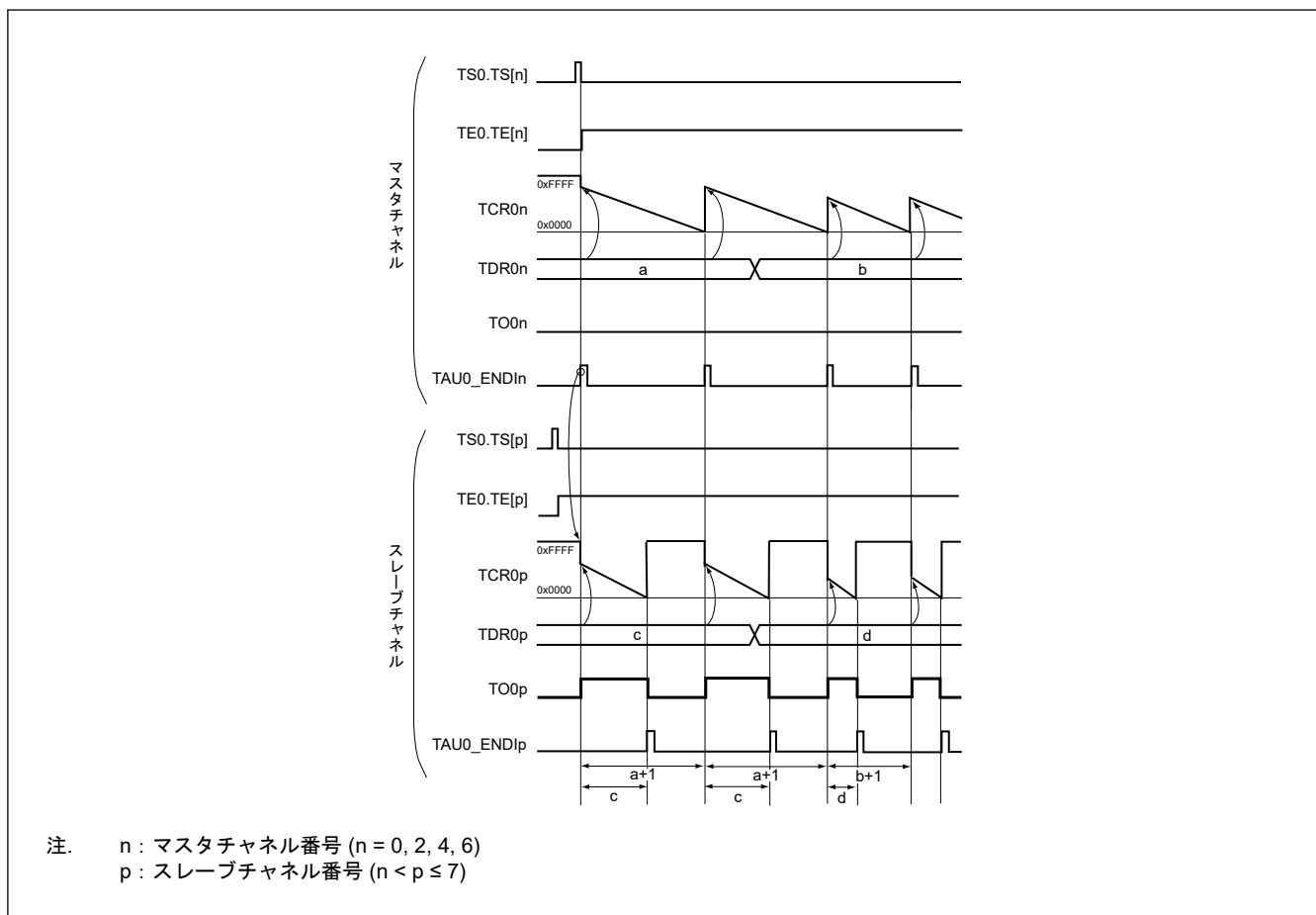


図 18.52 PWM 機能として動作する場合の基本タイミング例

表 18.60～表 18.64 に、PWM 機能を使用する場合のマスタチャンネルのレジスタ設定を示します。

表 18.60 PWM 機能を使用する場合のマスタチャネルの TMR0n レジスタ設定例

ビット	シンボル	設定値	機能
0	OPIRQ	1	カウント開始時の動作設定 1: カウント開始時に TAU0_ENDIn を発生させる
3:1	MD[2:0]	000b	チャネル n の動作モード 000: インターバルタイマ
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0n 端子入力のエッジ選択 00: TI0n 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	000b	スタートトリガの選択 000: ソフトウェアスタートだけを選択する
11	— (n = 0)	0	0 に固定 (チャネル 0)
	MASTER (n = 2, 4, 6)	1	MASTER ビットの設定 (チャネル 2/4/6) 1: マスタチャネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f _{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f _{MCK}) の選択 00: チャネル n の動作クロックとして CK00 を選択する 10: チャネル n の動作クロックとして CK01 を選択する

表 18.61 PWM 機能を使用する場合のマスタチャネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャネル n のタイマ出力 0: TO0n から 0 を出力する

表 18.62 PWM 機能を使用する場合のマスタチャネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する

表 18.63 PWM 機能を使用する場合のマスタチャネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOL[n - 1] (n = 2, 4, 6)		チャネル n (チャネル 2/4/6) のタイマ出力の制御 0: TOM0.TOM[n - 1] が 0 (マスタチャネル出力モード) のときにこのビットを 0 に設定する

表 18.64 PWM 機能を使用する場合のマスタチャネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOM[n - 1] (n = 2, 4, 6)		チャネル n (チャネル 2/4/6) のタイマ出力モードの制御 0: マスタチャネル出力モードを設定する

表 18.65～表 18.69 に、PWM 機能を使用する場合のスレーブチャネルのレジスタ設定を示します。

表 18.65 PWM 機能を使用する場合のスレーブチャネルの TMR0p レジスタ設定例

ビット	シンボル	設定値	機能
0	OPIRQ	1	動作中のスタートトリガ 1: トリガ入力は有効
3:1	MD[2:0]	100b	チャネル p の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0p 端子入力の有効エッジの選択 0 0: TI0p 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	スタートトリガの選択 1 0 0: マスタチャネルの TAU0_ENDIn を選択する
11	— (p = 5, 7)	0	0 に固定 (チャネル 5/7)
	SPLIT (p = 1, 3)	0	SPLIT ビットの設定 (チャネル 1/3) 0: 16 ビットタイマモード
	MASTER (p = 2, 4, 6)	0	MASTER ビットの設定 (チャネル 2/4/6) 0: スレーブチャネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 (マスタチャネルと設定を合わせる) 0 0: チャネル p の動作クロックとして CK00 を選択する 1 0: チャネル p の動作クロックとして CK01 を選択する

表 18.66 PWM 機能を使用する場合のスレーブチャネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TO[p]	1/0	チャネル p のタイマ出力 0: TO0p から 0 を出力する 1: TO0p から 1 を出力する

表 18.67 PWM 機能を使用する場合のスレーブチャネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOE[p]	1/0	チャネル p のタイマ出力の許可/禁止 0: カウンタとしての TO0p 出力動作を停止する 1: カウンタとしての TO0p 出力動作を許可する

表 18.68 PWM 機能を使用する場合のスレーブチャネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOL[p - 1]	1/0	チャネル p のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)

表 18.69 PWM 機能を使用する場合のスレーブチャネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
p	TOM[p - 1]	1	チャネル p (チャネル 1~7) のタイマ出力モードの制御 1: スレーブチャネル出力モードを設定する

注. n: マスタチャネル番号 (n = 0, 2, 4, 6)
p: スレーブチャネル番号 (n < p ≤ 7)

表 18.70 に、PWM 機能を使用する場合の動作手順を示します。

表 18.70 PWM 機能を使用する場合の動作手順

	ステップ	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00 と CK01 のクロック周波数を決定する。	
チャンネルの初期設定	<2>	使用する 2 チャンネルのタイマモードレジスタ 0n および 0p (TMR0n および TMR0p) を設定する (チャンネルの動作モードを決定する)。 インターバル (周期) の値がマスタチャンネルのタイマデータレジスタ 0n (TDR0n) に設定され、デューティ比がスレーブチャンネルの TDR0p レジスタに設定される。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<3>	スレーブチャンネルを設定する。 タイマ出力モードレジスタ 0 (TOM0) の TOM[p - 1] ビットを 1 にする (スレーブチャンネル出力モード)。 TOL0.TOL[p - 1] ビットを設定する。 TO0.TO[p] ビットを 1 にし、TO0p 出力の初期レベルを決定する。 TOE0.TO[p] ビットを 1 にし、TO0p の動作を許可する。 ポート方向レジスタ (PDR) の対応するビットを 1 にする。	TO0p 端子が Hi-Z 出力状態になる。 → ポート方向レジスタ (PDR) の対応するビットが出力モードの場合、TO0p の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO0p は変化しない。 → TO0p 端子から TO0p 設定レベルが出力される。
動作開始	<4>	TOE0.TO[p] ビット (スレーブ) を設定する (動作を再開する場合のみ)。 タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビット (マスタ) と TS[p] ビット (スレーブ) を同時に 1 にする。 TS0 レジスタの TS[n] ビットと TS[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n] = 1, TE0.TE[p] = 1 マスタチャンネルがカウントを開始する時に TAU0_ENDIn が発生する。この割り込みの発生を契機にスレーブチャンネルもカウントを開始する。
動作中	<5>	TMR0n レジスタおよび TMR0p レジスタの設定値は変更不可。TOM0 レジスタの TOM[n - 1] ビットと TOM[p - 1] ビット、ならびに TOL0 レジスタの TOL[n - 1] ビットと TOL[p - 1] ビットも変更不可。 マスタチャンネルの TAU0_ENDIn 発生後に、TDR0n レジスタおよび TDR0p レジスタの設定値を変更可能。 TCR0n レジスタと TCR0p レジスタは常に読み出し可能。TSR0n レジスタと TSR0p レジスタは使用しない。	マスタチャンネルのカウントは TDR0n レジスタの値をタイマカウンタレジスタ 0n (TCR0n) にロードし、ダウンカウントを行う。TCR0n のカウント値が 0x0000 に達すると、TAU0_ENDIn 出力が発生する。同時に、TDR0n レジスタの値が TCR0n レジスタにロードされ、カウンタは再びダウンカウントを開始する。 スレーブチャンネルでは、マスタチャンネルでの TAU0_ENDIn の発生を契機に TDR0p レジスタの値が TCR0p レジスタにロードされ、カウンタがダウンカウントを開始する。マスタチャンネルから TAU0_ENDIn 出力が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルがアクティブになる。TCR0p の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。 その後、上記の動作を繰り返す。
動作停止	<6>	TT0 レジスタの TT[n] ビット (マスタ) と TT[p] ビット (スレーブ) を同時に 1 にする。 TT0 レジスタの TT[n] ビットと TT[p] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0 レジスタの TE[n] と TE[p] が 0 になりカウント動作が停止する。 TCR0n レジスタと TCR0p レジスタはカウント値を保持して停止する。 TO0p 出力は初期化されず現在の状態を維持する。
	<7>	スレーブチャンネルの TOE0.TO[p] ビットは 0 にクリアされ、TO0.TO[p] ビットに値が設定される。 動作を再開する場合は、ステップ <4> へ進む。 動作を終了する場合は、ステップ <8> へ進む。	→ TO0p 端子から TO0p 設定レベルが出力される。
TAU 停止	<8>	TO0p 端子の出力レベルを保持するには保持する値をポート出力データレジスタ (PODR) の対応するビットに設定した後、PSEL[4:0] ビットに 00000b を設定する。 TO0p 端子の出力レベルを保持する必要がない場合は設定不要。	→ ポート機能により TO0p 端子の出力レベルが保持される。

注. n : チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブチャンネル番号 ($n < p \leq 7$)

18.8.3 マルチ PWM 出力機能の動作

PWM 機能を拡張し複数のスレーブチャンネルを使用することによって、デューティ値の異なる多数の PWM 波形を出力することができます。

たとえば、スレーブチャンネルを 2 つを使用する場合、出力パルスの周期とデューティ比は以下の式より求めることができます。

パルス周期 = {TDR0n の設定値 (マスタ) + 1} × カウントクロックの周期

デューティ比 1 [%] = {TDR0p の設定値 (スレーブ 1)} / {TDR0n の設定値 (マスタ) + 1} × 100

デューティ比 2 [%] = {TDR0q の設定値 (スレーブ 2)} / {TDR0n の設定値 (マスタ) + 1} × 100

注. 「TDR0p の設定値 (スレーブ 1) > {TDR0n の設定値 (マスタ) + 1}」の場合または「{TDR0q の設定値 (スレーブ 2)} > {TDR0n の設定値 (マスタ) + 1}」の場合、デューティ比は 100% を超えますが、100% 出力に集約されます。

マスタチャンネルのタイマカウンタレジスタ 0n (TCR0n) はインターバルタイマモードで動作して周期をカウントします。スレーブチャンネル 1 の TCR0p レジスタはワンカウントモードで動作し、デューティ比をカウントし、TO0p 端子から PWM 波形を出力します。TCR0p レジスタは、マスタチャンネルの TAU0_ENDIn をスタートトリガとしてダウンカウントを開始します。この時、タイマデータレジスタ 0p (TDR0p) の値がロードされます。TCR0p の値が 0x0000 に達すると、TCR0p は TAU0_ENDIp を出力し、次のスタートトリガ (マスタチャンネルの TAU0_ENDIn) が入力されるまでカウントを停止します。マスタチャンネルから TAU0_ENDIn が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルはアクティブになり、TCR0p の値が 0x0000 に達すると非アクティブになります。

スレーブチャンネル 1 の TCR0p レジスタと同様に、スレーブチャンネル 2 の TCR0q レジスタはワンカウントモードで動作し、デューティ比をカウントし、TO0q 端子から PWM 波形を出力します。TCR0q レジスタは、マスタチャンネルの TAU0_ENDIn をスタートトリガに使用して TDR0q レジスタの値をロードし、ダウンカウントを開始します。

TCR0q の値が 0x0000 に達すると、TCR0q レジスタは TAU0_ENDIq を出力し、次のスタートトリガ (マスタチャンネルの TAU0_ENDIn) が入力されるまでカウントを停止します。マスタチャンネルから TAU0_ENDIn が発生してからカウントクロックの 1 サイクルが経過した後、TO0q の出力レベルはアクティブになり、TCR0q の値が 0x0000 に達すると非アクティブになります。

上記のようにチャンネル 0 がマスタチャンネルとして使用されている場合、最大 7 種類の PWM 信号を同時に出力することができます。

注. マスタチャンネルのタイマデータレジスタ 0n (TDR0n) とスレーブチャンネル 1 の TDR0p レジスタの両方を書き換える場合は書き込みアクセスが 2 回以上必要になります。TDR0n レジスタと TDR0p レジスタの値が TCR0n レジスタと TCR0p レジスタにロードされるのは、マスタチャンネルから TAU0_ENDIn が発生した後です。このため、TAU0_ENDIn の発生前と発生後に別々に書き換えが行われると、TO0p 端子から期待通りの波形を出力することができません。マスタの TDR0n レジスタとスレーブの TDR0p レジスタの両方を書き換える場合は、マスタチャンネルから TAU0_ENDIn が発生した直後に書き換えるようにしてください (スレーブチャンネル 2 の TDR0q レジスタを使用する場合も同様)。

注. n : マスタチャンネル番号 ($n = 0, 2, 4$)

p : スレーブチャンネル番号、q : スレーブチャンネル番号

$n < p < q \leq 7$ (p と q は n より大きい整数)

図 18.53 に、マルチ PWM 出力機能のブロック図 (2 種類の PWM 波形を出力する場合) を示します。

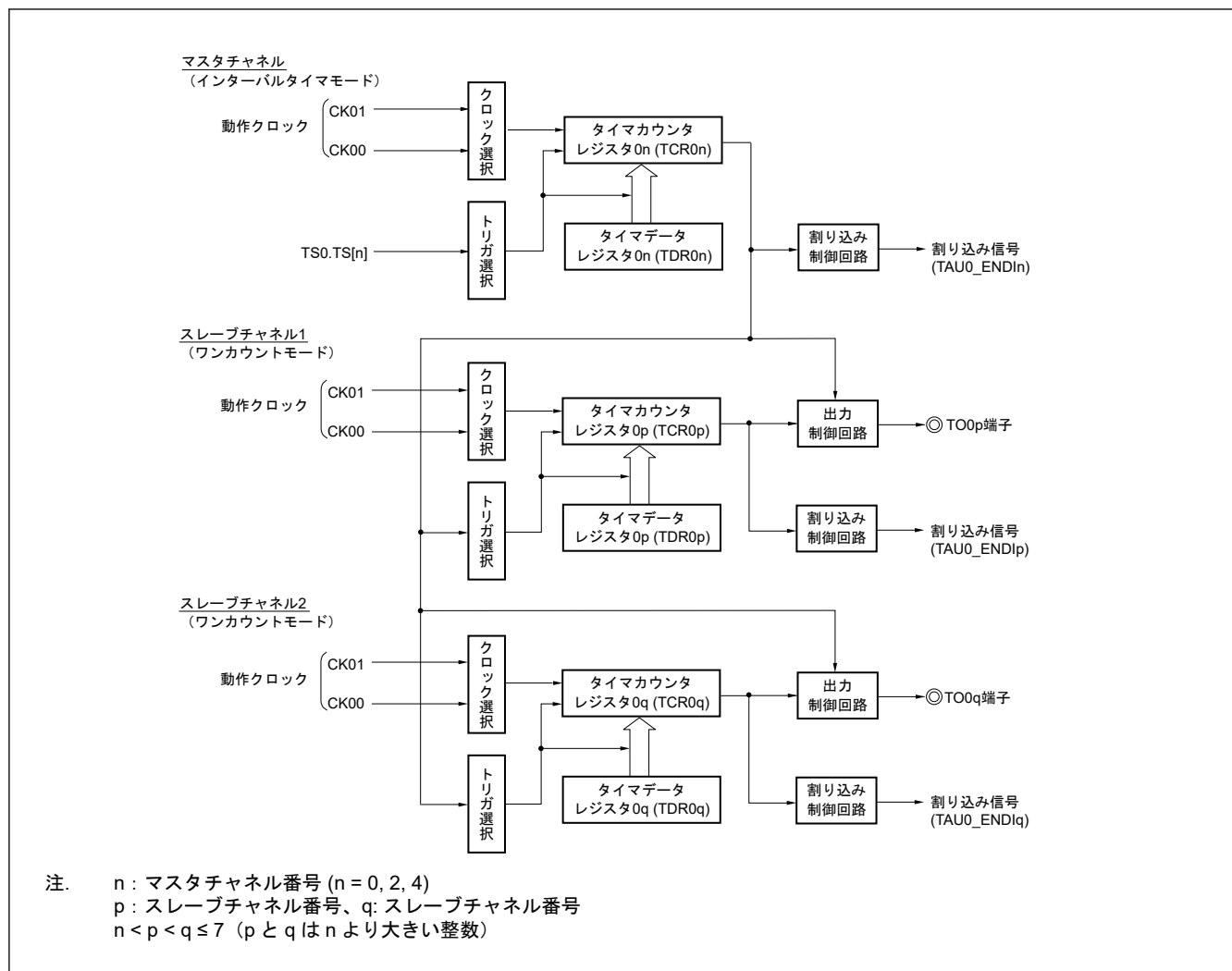
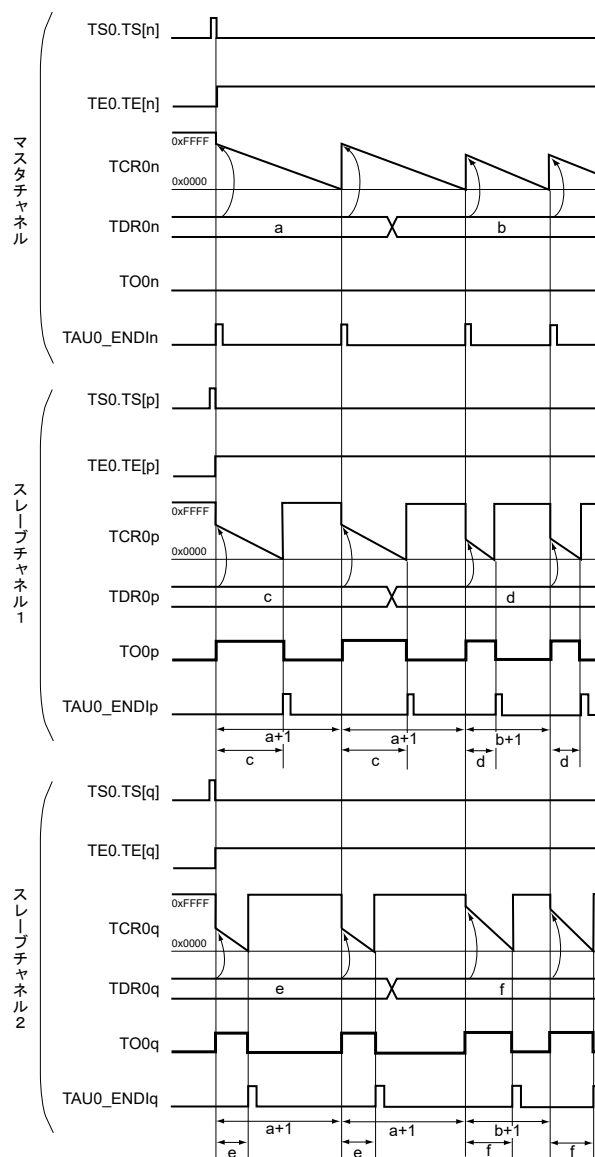


図 18.53 マルチ PWM 出力機能のブロック図 (2 種類の PWM 波形を出力する場合)

図 18.54 に、マルチ PWM 出力機能として動作する場合の基本タイミング例 (2 種類の PWM 波形を出力する場合) を示します。



注. n : マスタチャンネル番号 (n = 0, 2, 4)
 p : スレーブチャンネル番号、q: スレーブチャンネル番号
 $n < p < q \leq 7$ (p と q は n より大きい整数)

図 18.54 マルチ PWM 出力機能として動作する場合の基本タイミング例 (2 種類の PWM 波形を出力する場合)

表 18.71～表 18.75 に、マルチ PWM 出力機能を使用する場合のマスタチャンネルのレジスタ設定を示します。

表 18.71 マルチ PWM 出力機能を使用する場合のマスタチャンネルの TMR0n レジスタ設定例 (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1	カウント開始時の動作設定 1: カウント開始時に TAU0_ENDIn を発生させる
3:1	MD[2:0]	000b	チャンネル n の動作モード 0 0 0: インターバルタイマ
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0n 端子入力のエッジ選択 0 0: TI0n 入力端子は使用しないため 00b を設定する

表 18.71 マルチ PWM 出力機能を使用する場合のマスタチャネルの TMR0n レジスタ設定例 (2/2)

ビット	シンボル	設定値	機能
10:8	STS[2:0]	000b	スタートトリガの選択 0 0 0: ソフトウェアスタートだけを選択する
11	— (n = 0)	0	0 に固定 (チャネル 0)
	MASTER (n = 2, 4)	1	MASTER ビットの設定 (チャネル 2/4) 1: マスタチャネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f _{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f _{MCK}) の選択 0 0: チャネル n の動作クロックとして CK00 を選択する 1 0: チャネル n の動作クロックとして CK01 を選択する

表 18.72 マルチ PWM 出力機能を使用する場合のマスタチャネルの TO0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TO[n]	0	チャネル n のタイマ出力 0: TO0n から 0 を出力する

表 18.73 マルチ PWM 出力機能を使用する場合のマスタチャネルの TOE0 レジスタ設定例

ビット	シンボル	設定値	機能
n	TOE[n]	0	チャネル n のタイマ出力の許可/禁止 0: カウンタとしての TO0n 出力動作を停止する

表 18.74 マルチ PWM 出力機能を使用する場合のマスタチャネルの TOL0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOL[n - 1] (n = 2, 4)		チャネル n (チャネル 2/4) のタイマ出力の制御 0: TOM0.TOM[n - 1] が 0 (マスタチャネル出力モード) のときにこのビットを 0 に設定する

表 18.75 マルチ PWM 出力機能を使用する場合のマスタチャネルの TOM0 レジスタ設定例

ビット	シンボル	設定値	機能
n	— (n = 0)	0	0 に固定 (チャネル 0)
	TOM[n - 1] (n = 2, 4)		チャネル n (チャネル 2/4) のタイマ出力モードの制御 0: マスタチャネル出力モードを設定する

表 18.76～表 18.81 に、マルチ PWM 出力機能を使用する場合のスレーブチャネルのレジスタ設定 (2 種類の PWM 波形を出力する場合) を示します。

表 18.76 マルチ PWM 出力機能を使用する場合のスレーブチャネルの TMR0p レジスタ設定例 (2 種類の PWM 波形を出力する場合) (1/2)

ビット	シンボル	設定値	機能
0	OPIRQ	1	動作中のスタートトリガ 1: トリガ入力是有効
3:1	MD[2:0]	100b	チャネル p の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定

表 18.76 マルチ PWM 出力機能を使用する場合のスレーブチャネルの TMR0p レジスタ設定例 (2 種類の PWM 波形を出力する場合) (2/2)

ビット	シンボル	設定値	機能
7:6	CIS[1:0]	00b	TI0p 端子入力のエッジ選択 0 0: TI0p 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	スタートトリガの選択 1 0 0: マスタチャネルの TAU0_ENDIn を選択する
11	— (p = 5)	0	0 に固定 (チャネル 5)
	SPLIT (p = 1, 3)	0	SPLIT ビットの設定 (チャネル 1/3) 0: 16 ビットタイマモード
	MASTER (p = 2, 4, 6)	0	MASTER ビットの設定 (チャネル 2/4/6) 0: スレーブチャネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 (マスタチャネルと設定を合わせる) 0 0: チャネル p の動作クロックとして CK00 を選択する 1 0: チャネル p の動作クロックとして CK01 を選択する

表 18.77 マルチ PWM 出力機能を使用する場合のスレーブチャネルの TMR0q レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
0	OPIRQ	1	動作中のスタートトリガ 1: トリガ入力是有効
3:1	MD[2:0]	100b	チャネル q の動作モード 1 0 0: ワンカウントモード
5:4	—	00b	0 に固定
7:6	CIS[1:0]	00b	TI0p 端子入力のエッジ選択 0 0: TI0q 入力端子は使用しないため 00b を設定する
10:8	STS[2:0]	100b	スタートトリガの選択 1 0 0: マスタチャネルの TAU0_ENDIn を選択する
11	— (q = 5, 7)	0	0 に固定 (チャネル 5/7)
	SPLIT (q = 3)	0	SPLIT ビットの設定 (チャネル 3) 0: 16 ビットタイマモード
	MASTER (q = 2, 4, 6)	0	MASTER ビットの設定 (チャネル 2/4/6) 0: スレーブチャネル
12	CCS	0	カウントクロックの選択 0: 動作クロック (f_{MCK}) を選択する
13	—	0	0 に固定
15:14	CKS[1:0]	00b または 10b	動作クロック (f_{MCK}) の選択 (マスタチャネルと設定を合わせる) 0 0: チャネル q の動作クロックとして CK00 を選択する 1 0: チャネル q の動作クロックとして CK01 を選択する

表 18.78 マルチ PWM 出力機能を使用する場合のスレーブチャンネルの TO0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TO[p]	1/0	チャンネル p のタイマ出力 0: TO0p から 0 を出力する 1: TO0p から 1 を出力する
q	TO[q]	1/0	チャンネル q のタイマ出力 0: TO0q から 0 を出力する 1: TO0q から 1 を出力する

表 18.79 マルチ PWM 出力機能を使用する場合のスレーブチャンネルの TOE0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TOE[p]	1/0	チャンネル p のタイマ出力の許可／禁止 0: カウンタとしての TO0p 出力動作を停止する 1: カウンタとしての TO0p 出力動作を許可する
q	TOE[q]	1/0	チャンネル q のタイマ出力の許可／禁止 0: カウンタとしての TO0q 出力動作を停止する 1: カウンタとしての TO0q 出力動作を許可する

表 18.80 マルチ PWM 出力機能を使用する場合のスレーブチャンネルの TOL0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TOL[p - 1]	1/0	チャンネル p のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)
q	TOL[q - 1]	1/0	チャンネル q のタイマ出力の制御 0: 正論理出力 (アクティブ High) 1: 負論理出力 (アクティブ Low)

表 18.81 マルチ PWM 出力機能を使用する場合のスレーブチャンネルの TOM0 レジスタ設定例 (2 種類の PWM 波形を出力する場合)

ビット	シンボル	設定値	機能
p	TOM[p - 1]	1	チャンネル p (チャンネル 1~6) のタイマ出力モードの制御 1: スレーブチャンネル出力モードを設定する
q	TOM[q - 1]	1	チャンネル q (チャンネル 2~7) のタイマ出力モードの制御 1: スレーブチャンネル出力モードを設定する

表 18.82 に、マルチ PWM 出力機能を使用する場合の動作手順を示します。

表 18.82 マルチ PWM 出力機能を使用する場合の動作手順 (2 種類の PWM 波形を出力する場合) (1/3)

	手順	ソフトウェアの動作	ハードウェアの状態
TAU の初期設定	<1>	タイマクロック選択レジスタ 0 (TPS0) を設定する。 CK00 と CK01 のクロック周波数を決定する。	—

表 18.82 マルチ PWM 出力機能を使用する場合の動作手順 (2 種類の PWM 波形を出力する場合) (2/3)

	手順	ソフトウェアの動作	ハードウェアの状態
チャンネルの初期設定	<2>	使用する各チャンネルのタイマモードレジスタ 0n、0p、および 0q (TMR0n、TMR0p、および TMR0q) を設定する (チャンネルの動作モードを決定する)。インターバル (周期) の値がマスタチャンネルのタイマデータレジスタ 0n (TDR0n) に設定され、デューティ比がスレーブチャンネルの TDR0p レジスタと TDR0q レジスタに設定される。	チャンネルは動作を停止する。 (クロックは供給されるため電力は多少消費される。)
	<3>	スレーブチャンネルを設定する。 タイマ出力モードレジスタ 0 (TOM0) の TOM[p - 1] ビットと TOM[q - 1] ビットを 1 にする (スレーブチャンネル出力モード)。 TOL0 レジスタの TOL[p - 1] ビットと TOL[q - 1] ビットを設定する。 TO0 レジスタの TO[p] ビットと TO[q] ビットを設定して TO0p 出力と TO0q 出力の初期レベルを決定する。 TOE0 レジスタの TOE[p] ビットと TOE[q] ビットを 1 にし、TO0p と TO0q の動作を許可する。 ポート方向レジスタ (PDR) の対応するビットを 1 にする。	TO0p 端子と TO0q 端子が Hi-Z 出力状態になる。 → ポート方向レジスタ (PDR) の対応するビットが出力モードの場合、TO0p と TO0q の初期設定レベルが出力される。 → チャンネルは動作を停止するため TO0p と TO0q は変化しない。 → TO0p 端子と TO0q 端子から TO0p と TO0q で設定したレベルが出力される。
動作開始	<4>	(動作を再開する場合のみ TOE0 レジスタの TOE[p] ビットと TOE[q] ビット (スレーブ) を 1 にする。) タイマチャンネル起動レジスタ 0 (TS0) の TS[n] ビット (マスタ) と TS[p] ビットおよび TS[q] ビット (スレーブ) を同時に 1 にする。 TS0 レジスタの TS[n] ビット、TS[p] ビット、および TS[q] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0.TE[n], TE[p], TE[q] = 1 マスタチャンネルがカウントを開始する時に TAU0_ENDIn が発生する。この割り込みの発生を契機にスレーブチャンネルもカウントを開始する。
動作中	<5>	TMR0n レジスタ、TMR0p レジスタ、および TMR0q レジスタの設定値は変更不可。TOM0 レジスタの TOM[n - 1] ビット、TOM[p - 1] ビット、および TOM[q - 1] ビット、ならびに TOL0 レジスタの TOL[n - 1] ビット、TOL[p - 1] ビット、および TOL[q - 1] ビットも変更不可。 マスタチャンネルの TAU0_ENDIn 発生後に、TDR0n レジスタ、TDR0p レジスタ、および TDR0q レジスタの設定値を変更可能。 TCR0n、TCR0p、TCR0q の各レジスタは常に読み出し可能。 TSR0n、TSR0p、TSR0q の各レジスタは使用しない。	マスタチャンネルのカウントは TDR0n レジスタの値をタイマカウンタレジスタ 0n (TCR0n) にロードし、ダウンカウントを行う。TCR0n のカウント値が 0x0000 に達すると、TAU0_ENDIn 出力が発生する。同時に、TDR0n レジスタの値が TCR0n レジスタにロードされ、カウンタは再びダウンカウントを開始する。 スレーブチャンネル 1 では、マスタチャンネルでの TAU0_ENDIn の発生を契機に TDR0p レジスタの値が TCR0p レジスタへ転送され、カウンタがダウンカウントを開始する。マスタチャンネルから TAU0_ENDIn 出力が発生してからカウントクロックの 1 サイクルが経過した後、TO0p の出力レベルがアクティブになる。TCR0p の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。 スレーブチャンネル 2 では、マスタチャンネルでの TAU0_ENDIn の発生を契機に TDR0q レジスタの値が TCR0q レジスタへ転送され、カウンタがダウンカウントを開始する。マスタチャンネルから TAU0_ENDIn 出力が発生してからカウントクロックの 1 サイクルが経過した後、TO0q の出力レベルがアクティブになる。TCR0q の値が 0x0000 に達すると非アクティブになりカウント動作が停止する。 その後、上記の動作を繰り返す。
動作停止	<6>	TT0 レジスタの TT[n] ビット (マスタ)、および TT[p] ビットと TT[q] ビット (スレーブ) を同時に 1 にする。 TT0 レジスタの TT[n] ビット、TT[p] ビット、および TT[q] ビットはトリガビットなので自動的に 0 に戻る。	→ TE0 レジスタの TE[n], TE[p], および TE[q] が 0 になりカウント動作が停止する。TCR0n、TCR0p、TCR0q の各レジスタはカウント値を保持して停止する。 TO0p 出力と TO0q 出力は初期化されず現在の状態を維持する。
	<7>	スレーブチャンネルの TOE0 レジスタの TOE[p] ビットと TOE[q] ビットは 0 にクリアされ、TO0 レジスタの TO[p] ビットと TO[q] ビットに値を設定する。 動作を再開する場合は、ステップ <4> へ進む。 動作を終了する場合は、ステップ <8> へ進む。	→ TO0p 端子と TO0q 端子から TO0p と TO0q で設定したレベルが出力される。

表 18.82 マルチ PWM 出力機能を使用する場合の動作手順 (2 種類の PWM 波形を出力する場合) (3/3)

	手順	ソフトウェアの動作		ハードウェアの状態
TAU 停止	<8>	TO0p 端子と TO0q 端子の出力レベルを保持するには、保持する値をポート出力データレジスタ (PODR) の対応するビットに設定した後、PSEL[4:0] ビットに 00000b を設定する。 TO0p 端子と TO0q 端子の出力レベルを保持する必要がある場合は設定不要。	→	ポート機能により TO0p 端子と TO0q 端子の出力レベルが保持される。

注. n: マスタチャネル番号 (n = 0, 2, 4)
p: スレーブチャネル番号、q: スレーブチャネル番号
n < p < q ≤ 7 (p と q は n より大きい連続する整数)

18.9 使用上の注意事項

18.9.1 タイマ出力使用時の注意

端子はタイマ出力機能と代替機能に兼用されることがあります。割り当ては製品によって異なります。タイマ出力を使用したい場合は、他の全ての兼用端子機能からの出力を初期値に設定してください。

詳細は、「16. I/O ポート」を参照してください。

19. 32 ビットインターバルタイマ (TML32)

19.1 概要

32 ビットインターバルタイマは、8 ビットインターバルタイマ 4 つ（チャンネル 0～3）で構成されています。各 8 ビットインターバルタイマは独立して動作することができますが、異なる機能で動作することはできません。8 ビットインターバルタイマのチャンネル 2 つを接続して 16 ビットインターバルタイマ 1 つを構成することができます。8 ビットインターバルタイマのチャンネル 4 つを接続して 32 ビットインターバルタイマ 1 つを構成することができます。

32 ビットインターバルタイマは、TML32MCLK、TML32LCLK/TML32SCLK、TML32HCLK、TML32MOCLK、または CPU の動作とは非同期の ELC からのイベント入力により動作します。

32 ビットインターバルタイマには次のカウンタモードがあります：

- 8 ビットカウンタモード：一定の間隔で割り込み (TML32_OUTI) を発生する 8 ビットインターバルタイマ 4 つとして 8 ビットタイマを使用できます。8 ビットインターバルタイマ×4 構成の機能イメージを図 19.1 に示します。
- 16 ビットカウンタモード：一定の間隔で割り込み (TML32_OUTI) を発生する 16 ビットインターバルタイマ 2 つとして 8 ビットタイマを使用できます。16 ビットインターバルタイマ×2 構成の機能イメージを図 19.2 に示します。
- 16 ビットキャプチャモード：一定の間隔で割り込み (TML32_OUTI) を発生する 16 ビットインターバルタイマ 2 つとして 8 ビットタイマを使用できます。所定のキャプチャトリガが発生した時に 16 ビットインターバルタイマの値をキャプチャレジスタに格納することもできます。16 ビットインターバルタイマと 16 ビットキャプチャの機能イメージを図 19.3 に示します。
- 32 ビットカウンタモード：一定の間隔で割り込み (TML32_OUTI) を発生する 32 ビットインターバルタイマとして 8 ビットタイマを使用できます。32 ビットインターバルタイマ構成の機能イメージを図 19.4 に示します。

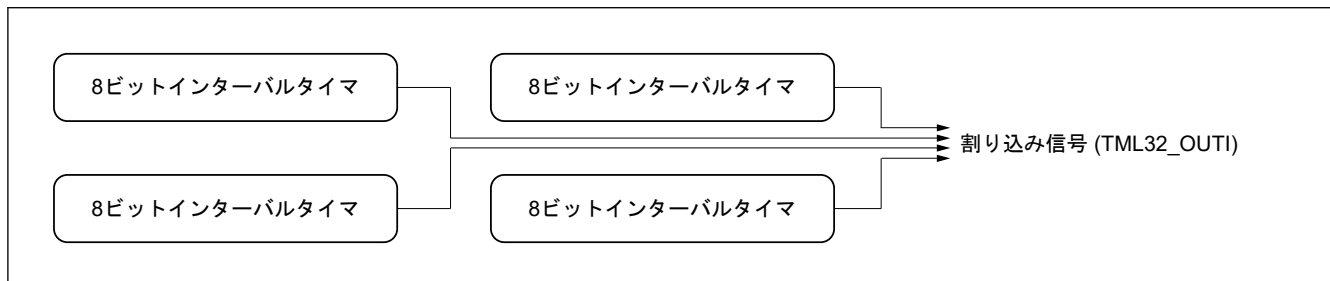


図 19.1 8 ビットインターバルタイマ×4 の機能イメージ

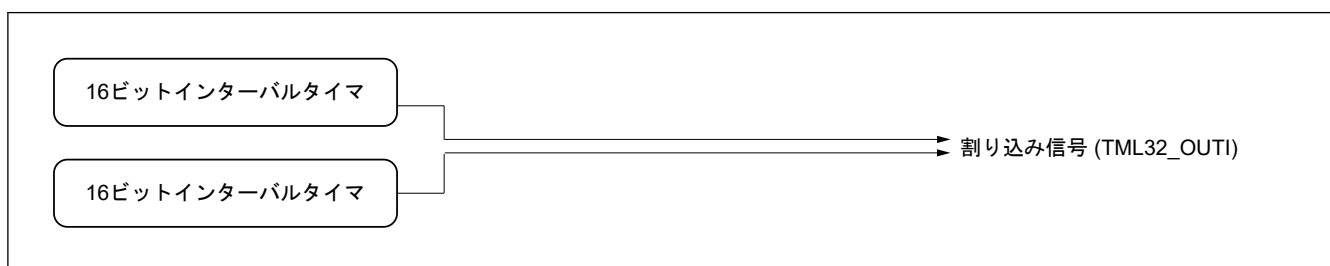


図 19.2 16 ビットインターバルタイマ×2 の機能イメージ



図 19.3 16 ビットインターバルタイマと 16 ビットキャプチャの機能イメージ

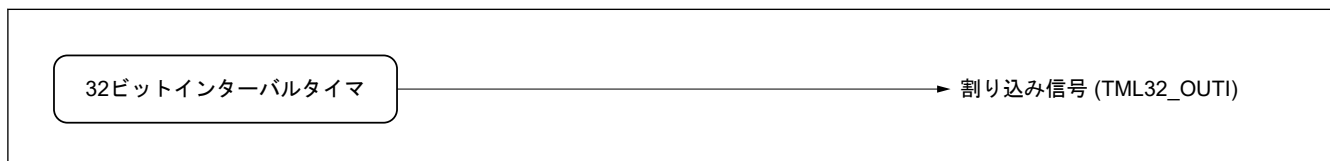


図 19.4 32 ビットインターバルタイマの機能イメージ

表 19.1 に 32 ビットインターバルタイマの各機能を、図 19.5 に 32 ビットインターバルタイマのブロック図を示します。

表 19.1 32 ビットインターバルタイマの動作仕様

項目	説明
カウントソース（動作クロック）	• TML32MCLK • TML32LCLK/TML32SCLK • TML32HCLK • TML32MOCLK • ELC からのイベント入力
キャプチャクロック（キャプチャトリガを発生可能なタイマで選択可能なカウントソース）	• TML32MCLK • TML32LCLK/TML32SCLK • TML32HCLK • TML32MOCLK • ELC からのイベント入力
分周比	• 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128
動作モード	• 8 ビットカウンタモード チャンネル 0~3 はそれぞれ独立した 8 ビットカウンタとして動作。 • 16 ビットカウンタモード チャンネル 0~1 およびチャンネル 2~3 の組み合わせを 2 つの 16 ビットカウンタとしてカスケード接続可能。 • 32 ビットカウンタモード チャンネル 0~3 を接続して 1 つの 32 ビットカウンタとして動作。 • 16 ビットキャプチャモード チャンネル 0~1 を接続してカウントソース使用の 16 ビットカウンタとして動作。チャンネル 2~3 を接続してキャプチャクロック使用の 16 ビットカウンタとして動作。両カウンタを接続してキャプチャ動作に使用。
割り込み	• 5 つの割り込み要因を 1 つの割り込み信号に統合し、TML32_OUTI 信号として出力。 – チャンネル 0~3 の各カウンタ値がコンペア値と一致した時に出力。 – キャプチャモードでカウンタ値のキャプチャが完了した時に出力。

注.

- TML32MCLK : TML32 外部クロック
- TML32SCLK : TML32 サブクロック
- TML32HCLK : TML32 HOCO クロック
- TML32MOCLK : TML32 MOCO クロック
- TML32LCLK : TML32 LOCO クロック

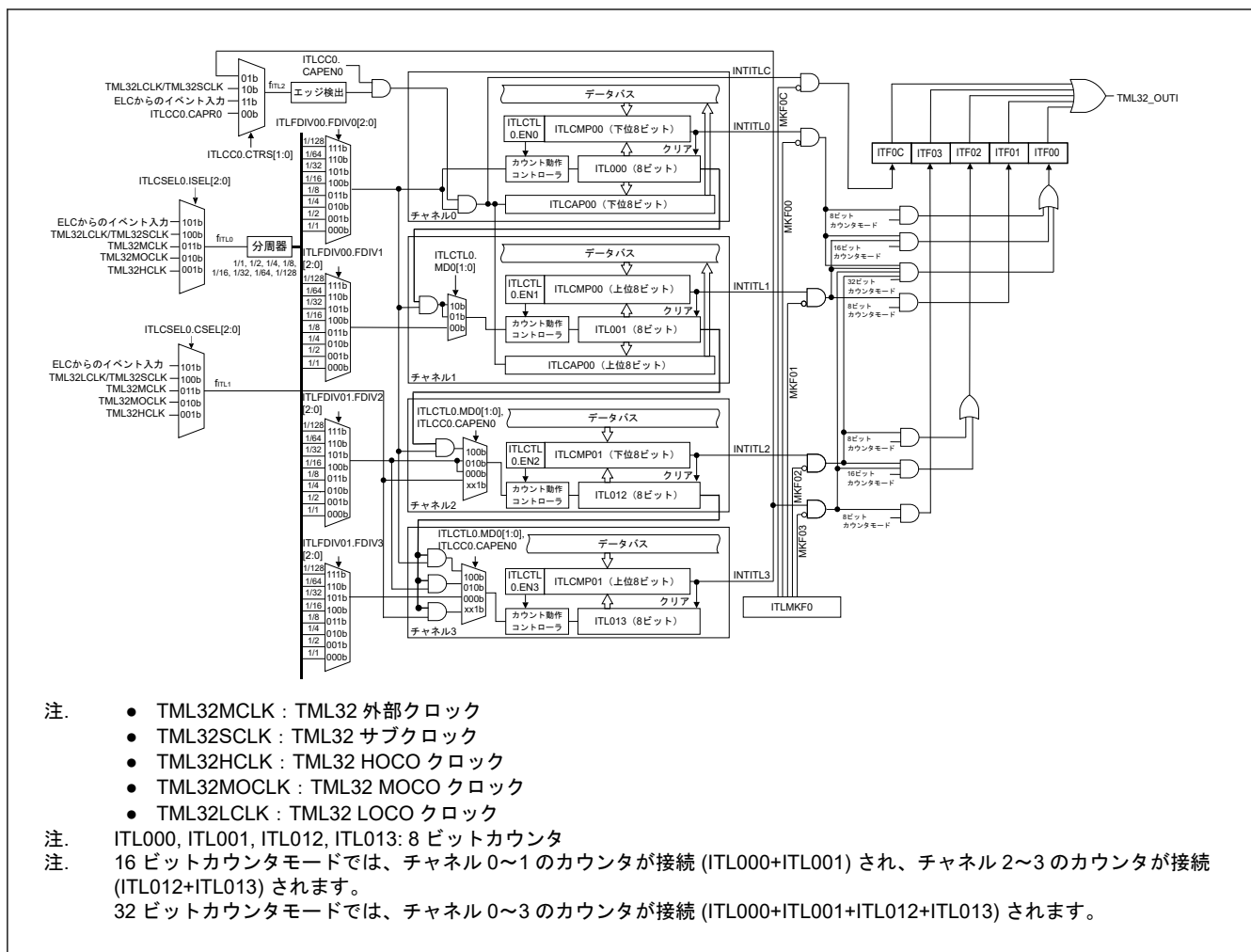


図 19.5 32 ビットインターバルタイマのブロック図

19.2 レジスタの説明

19.2.1 ITLCMP0n: インターバルタイマコンペアレジスタ 0n (n = 0, 1)

Base address: TML32 = 0x4009 2200

Offset address: $0x00 + 0x2 \times n$

[illegible]

ビット	シンボル	機能	R/W
15:0	CMP16[15:0]	ユニット n 用 16 ビットタイマ設定比較データ	R/W(注1)

注 1. ITLCMP00 レジスタへの書き込みは、16 ビットカウンタモードでは、ITLCTL0 レジスタの EN0 ビットが 0 のときに行ってください。8 ビットカウンタモードでは、ITLCTL0 レジスタの EN0 ビットと EN1 ビットがどちらも 0 のときに行ってください。ITLCMP01 レジスタへの書き込みは、16 ビットカウンタモードでは、ITLCTL0 レジスタの EN2 ビットが 0 のときに行ってください。32 ビットカウンタモードでは、ITLCTL0 レジスタの EN0 ビットが 0 のときに行ってください。8 ビットカウンタモードでは、ITLCTL0 レジスタの EN2 ビットと EN3 ビットがどちらも 0 のときに行ってください。

これらは 8 ビット、16 ビット、32 ビットの各カウンタモードで使用するコンペアレジスタです。

これらのレジスタは16ビットアクセスでのみ設定できます。

0x0001～0xFFFF の値が設定可能です。これらのレジスタに 0x0000 を設定することは禁止されています。

これらのレジスタに保持される値は、カウンタの値との比較に使用されます。比較対象のカウンタはカウンタモードによって異なります。32 ビットカウンタモードでは、ITL000+ITL001+ITL012+ITL013 のカウンタが比較対象です。16 ビットカウンタモードでは、ITL000+ITL001 または ITL012+ITL013 のカウンタが比較対象です。8 ビットカウンタモードでは、ITL000～ITL013 のいずれかのカウンタが比較対象です。

ITLCTL0.MD0[1:0]ビットを 10b に設定すると、これらのレジスタは、32 ビットカウンタモード用のコンペアレジスタとして使用されます。上位 16 ビットのコンペア値を ITLCMP01 レジスタに、下位 16 ビットのコンペア値を ITLCMP00 レジスタに設定してください。

ITLCTL0.MD0[1:0]ビットを 00b に設定すると、これらのレジスタは、8 ビットカウンタモード用のコンペアレジスタとして使用されます。これらのレジスタは以下のように設定してください。

- ITLCMP00.CMP16[7:0]ビット：チャンネル 0
- ITLCMP00.CMP16[15:8]ビット：チャンネル 1
- ITLCMP01.CMP16[7:0]ビット：チャンネル 2
- ITLCMP01.CMP16[15:8]ビット：チャンネル 3

ITLCMP00.CMP16[7:0]ビットまたは ITLCMP01.CMP16[7:0]ビットに対して 8 ビットアクセスで書き込みを行った場合は、ITLCMP00.CMP16[15:8]ビットまたは ITLCMP01.CMP16[15:8]ビットも上書きされます。

19.2.2 ITLCAP00：インターバルタイマキャプチャレジスタ 00

Base address: TML32 = 0x4009_2200

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	ユニット 0 の 16 ビットキャプチャ結果データ	R

インターバルタイマが 16 ビットキャプチャモードで動作しているときは、キャプチャした 16 ビット値が本レジスタに保持されます。

ITLCC0 レジスタの CAPEN0 ビットが 1 のときに、ITLCC0 レジスタで選択したキャプチャトリガが発生すると、16 ビットカウンタ (ITL000+ITL001) の値が ITLCAP00 レジスタに格納されます。

「ITLCMP01 レジスタのコンペアマッチ割り込み」を使用する場合は、ITLCSEL0 レジスタでカウントクロックを選択し、ITLCMP01 レジスタでコンペア値を設定してください。

19.2.3 ITLCTL0：インターバルタイマコントロールレジスタ

Base address: TML32 = 0x4009_2200

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD0[1:0]	—	—	EN3	EN2	EN1	EN0	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EN0	8 ビットカウンタモード：ITL000 によるカウントの許可 ^(注1) 16 ビットカウンタモード：ITL000+ITL001 によるカウントの許可 ^(注1) 32 ビットカウンタモード：ITL000+ITL001+ITL012+ITL013 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W

ビット	シンボル	機能	R/W
1	EN1	8 ビットカウンタモード : ITL001 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W
2	EN2	8 ビットカウンタモード : ITL012 によるカウントの許可 ^(注1) 16 ビットカウンタモード : ITL012+ITL013 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W
3	EN3	8 ビットカウンタモード : ITL013 によるカウントの許可 ^(注1) 0: カウント停止 1: カウント開始	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	MD0[1:0]	カウンタモード (8 ビット/16 ビット/32 ビット) の選択 ^(注2) 0 0: 8 ビットカウンタモードでインターバルタイマが動作する。 0 1: 16 ビットカウンタモードでインターバルタイマが動作する (チャンネル 0 とチャンネル 1、およびチャンネル 2 とチャンネル 3 が接続)。 1 0: 32 ビットカウンタモードでインターバルタイマが動作する (チャンネル 0~3 が接続)。 1 1: 設定禁止	R/W

注 1. EN3~EN0 ビットのいずれかが 0 にクリアされたときは、対応するカウンタがカウントクロックと非同期に 0 にクリアされます。

注 2. タイマモードを変更する場合は、EN0、EN1、EN2、EN3 の各ビットがすべて 0 のときにだけ MD0[1:0] ビットへの書き込みを行うようにしてください。

インターバルタイマによるカウントの開始/停止の制御、およびカウンタモード (8 ビット/16 ビット/32 ビット) の選択は本レジスタで行います。

EN0 ビット (8 ビットカウンタモード: ITL000 によるカウントの許可、16 ビットカウンタモード: ITL000+ITL001 によるカウントの許可、32 ビットカウンタモード: ITL000+ITL001+ITL012+ITL013 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL000 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットに 1 を書き込むと ITL000+ITL001 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

32 ビットカウンタモードでは、このビットに 1 を書き込むと ITL000+ITL001+ITL012+ITL013 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

EN1 ビット (8 ビットカウンタモード: ITL001 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL001 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットを 0 にしてください。

32 ビットカウンタモードでは、このビットを 0 にしてください。

EN2 ビット (8 ビットカウンタモード: ITL012 によるカウントの許可、16 ビットカウンタモード: ITL012+ITL013 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL012 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットに 1 を書き込むと ITL012+ITL013 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

32 ビットカウンタモードでは、このビットを 0 にしてください。

EN3 ビット (8 ビットカウンタモード: ITL013 によるカウントの許可)

8 ビットカウンタモードでは、このビットに 1 を書き込むと ITL013 カウンタによるカウントアップが開始し、0 を書き込むと停止します。

16 ビットカウンタモードでは、このビットを 0 にしてください。

32 ビットカウンタモードでは、このビットを 0 にしてください。

MD0[1:0]ビット（カウンタモード（8 ビット／16 ビット／32 ビット）の選択）

表 19.2 に、MD0[1:0]ビットおよび EN0～EN3 ビットの設定で動作可能な対象カウンタを示します。

表 19.2 対象カウンタ設定

モード	MD0[1:0]	EN3	EN2	EN1	EN0	対象カウンタ
8 ビットモード	00b	—	—	—	✓	ITL000
		—	—	✓	—	ITL001
		—	✓	—	—	ITL012
		✓	—	—	—	ITL013
16 ビットモード	01b	常に 0 となります。	—	常に 0 となります。	✓	ITL000+ITL001
		常に 0 となります。	✓	常に 0 となります。	—	ITL012+ITL013
32 ビットモード	10b	常に 0 となります。	常に 0 となります。	常に 0 となります。	✓	ITL000+ITL001+ITL012+ITL013

注. ✓：対象カウンタによるカウントが許可されることを示します。

注. 8 ビットカウンタモードでは、EN3～EN0 ビットのうちの複数のビットを同時に 1 または 0 に設定することができます。

注. 16 ビットカウンタモードでは、EN2 ビットと EN0 ビットを同時に 1 または 0 に設定することができます。

19.2.4 ITLCSEL0：インターバルタイマクロック選択レジスタ 0

Base address: TML32 = 0x4009_2200

Offset address: 0x07

Bit position: 7 6 5 4 3 2 1 0

Bit field:	—	CSEL[2:0]	—	ISEL[2:0]

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	ISEL[2:0]	インターバルタイマのカウントクロックの選択 (f_{ITL0})(注1) 0 0 0: カウント停止 0 0 1: TML32HCLK 0 1 0: TML32MOCLK 0 1 1: TML32MCLK 1 0 0: TML32LCLK/TML32SCLK 1 0 1: ELC からのイベント入力 その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CSEL[2:0]	キャプチャに使用するインターバルタイマのカウントクロックの選択 (f_{ITL1})(注1) 0 0 0: カウント停止 0 0 1: TML32HCLK 0 1 0: TML32MOCLK 0 1 1: TML32MCLK 1 0 0: TML32LCLK/TML32SCLK 1 0 1: ELC からのイベント入力 その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

- 注.
- TML32MCLK : TML32 外部クロック
 - TML32SCLK : TML32 サブクロック
 - TML32HCLK : TML32 HOCO クロック
 - TML32MOCLK : TML32 MOCO クロック
 - TML32LCLK : TML32 LOCO クロック

注 1. CSEL[2:0]ビットと ISEL[2:0]ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3～EN0 ビットがすべて 0 のときだけです。

本レジスタは、インターバルタイマのカウントソースを選択する時に使用します。

19.2.5 ITLFDIV00 : インターバルタイマ分周レジスタ 0

Base address: TML32 = 0x4009_2200

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	FDIV1[2:0]			—	FDIV0[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	FDIV0[2:0]	8 ビットカウンタモード : ITL000 に使用するカウントクロック(注1) 16 ビットカウンタモード : ITL000 + ITL001 に使用するカウントクロック(注1) 32 ビットカウンタモード : ITL000+ITL001+ITL012+ITL013 に使用するカウントクロック(注1) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	FDIV1[2:0]	8 ビットカウンタモード : ITL001 に使用するカウントクロック(注2) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. FDIV0[2:0]ビットに書き込みを行えるのは、ITLCTL0.EN0 ビットが 0 のときだけです。

注 2. 8 ビットカウンタモードで FDIV1[2:0]ビットに書き込みを行えるのは、ITLCTL0.EN1 ビットが 0 のときだけです。

本レジスタは、インターバルタイマのカウントクロックを選択する時に使用します。

FDIV0[2:0]ビット (8 ビットカウンタモード : ITL000 に使用するカウントクロック、16 ビットカウンタモード : ITL000 + ITL001 に使用するカウントクロック、32 ビットカウンタモード : ITL000+ITL001+ITL012+ITL013 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL000 は、FDIV0[2:0]ビットで設定したカウントクロックのサイクルをカウントします。

16 ビットカウンタモードでは、ITL000+ITL001 は、FDIV0[2:0]ビットで設定したカウントクロックのサイクルをカウントします。

32 ビットカウンタモードでは、ITL000+ITL001+ITL012+ITL013 は、FDIV0[2:0]ビットで設定したカウントクロックのサイクルをカウントします。

FDIV1[2:0]ビット (8 ビットカウンタモード : ITL001 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL001 は、FDIV1[2:0]ビットで指定したカウントクロックのサイクルをカウントします。

16 ビットカウンタモードでは、このビットを 000b にしてください。

32 ビットカウンタモードでは、このビットを 000b にしてください。

19.2.6 ITLFDIV01 : インターバルタイマ分周レジスタ 1

Base address: TML32 = 0x4009_2200

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	FDIV3[2:0]			—	FDIV2[2:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	FDIV2[2:0]	8 ビットカウンタモード : ITL012 に使用するカウントクロック(注1) 16 ビットカウンタモード : ITL012+ITL013 に使用するカウントクロック(注1) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	FDIV3[2:0]	8 ビットカウンタモード : ITL013 に使用するカウントクロック(注2) 0 0 0: f_{ITL0} 0 0 1: $f_{ITL0}/2$ 0 1 0: $f_{ITL0}/4$ 0 1 1: $f_{ITL0}/8$ 1 0 0: $f_{ITL0}/16$ 1 0 1: $f_{ITL0}/32$ 1 1 0: $f_{ITL0}/64$ 1 1 1: $f_{ITL0}/128$	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 8 ビットカウンタモードまたは 16 ビットカウンタモードで FDIV2[2:0] ビットに書き込みを行えるのは、ITLCTL0.EN2 ビットが 0 のときだけです。

注 2. 8 ビットカウンタモードで FDIV3[2:0] ビットに書き込みを行えるのは、ITLCTL0.EN3 ビットが 0 のときだけです。

本レジスタは、インターバルタイマのカウントクロックを選択する時に使用します。

FDIV2[2:0] ビット (8 ビットカウンタモード : ITL012 に使用するカウントクロック、16 ビットカウンタモード : ITL012+ITL013 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL012 は、FDIV2[2:0] ビットで設定したカウントクロックのサイクルをカウントします。

16 ビットカウンタモードでは、ITL012 + ITL013 は、FDIV2[2:0] ビットで設定したカウントクロックのサイクルをカウントします。

32 ビットカウンタモードでは、このビットは使用しないため、このビットには 000b を書き込んでください。

FDIV3[2:0] ビット (8 ビットカウンタモード : ITL013 に使用するカウントクロック)

8 ビットカウンタモードでは、ITL013 は、FDIV3[2:0] ビットで設定したカウントクロックのサイクルをカウントします。

16 ビットカウンタモードでは、このビットを 000b にしてください。

32 ビットカウンタモードでは、このビットを 000b にしてください。

19.2.7 ITLCC0 : インターバルタイマキャプチャコントロールレジスタ 0

Base address: TML32 = 0x4009_2200

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CAPE N0	CAPF OCR	CAPF 0	CAPR 0	CAPC OCR	—	CTRS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CTRS[1:0]	キャプチャトリガの選択(注1)(注2) 0 0: ソフトウェアトリガ 0 1: ITLCMP01 とのコンペアマッチ割り込み(注3) 1 0: TML32LCLK/TML32SCLK (立ち上がりエッジ) 1 1: ELC からのイベント入力 (立ち上がりエッジ)	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CAPC0CR	キャプチャ完了後にキャプチャカウンタをクリアするか否かの選択(注4) 0: キャプチャカウンタの値はキャプチャ完了後も保持される 1: キャプチャカウンタの値はキャプチャ完了後にクリアされる	R/W
4	CAPR0	ソフトウェアキャプチャトリガ(注2) (注5) 0: トリガ動作は抑止される 1: キャプチャ用ソフトウェアトリガが発生する	R/W
5	CAPF0	キャプチャ完了フラグ 0: キャプチャが完了していない 1: キャプチャが完了している CTRS[1:0] ビットで選択したキャプチャトリガの発生後に本フラグが 1 になり、キャプチャされたデータは ITLCAP00 に格納されます。 CAPF0CR ビットに 1 を書き込むと本フラグが 0 になります。	R
6	CAPF0CR	キャプチャ完了フラグクリア(注6) 0: キャプチャ完了フラグ CAPF0 の値は保持される 1: キャプチャ完了フラグ CAPF0 の値はクリアされる	R/W
7	CAPEN0	キャプチャ許可(注7) 0: キャプチャ禁止 1: キャプチャ許可	R/W

注 1. CTRS[1:0] ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3~EN0 ビットがすべて 0 のときだけです。

注 2. キャプチャ動作では、キャプチャトリガ発生間隔をカウントクロックの 2 サイクル以上としてください。

注 3. キャプチャトリガとして ITLCMP01 レジスタとのコンペアマッチ割り込みが選択されている場合、カウンタ値のキャプチャ時に ITLS0.ITF02 および ITF0C フラグが設定されます。キャプチャ検出フラグのみを使用する場合は、ITLMKF0 レジスタを設定してチャンネル 2 のコンペアマッチ検出フラグをマスクしてください。

注 4. CAPC0CR ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3~EN0 ビットがすべて 0 のときだけです。

注 5. CAPR0 ビットは読むと常に 0 が読めます。

注 6. CAPF0CR ビットは読むと常に 0 が読めます。

注 7. CAPEN0 ビットに書き込みを行えるのは、ITLCTL0 レジスタの EN3~EN0 ビットがすべて 0 のときだけです。

本レジスタを使用して行えるのは、インターバルタイマのキャプチャ機能を許可するか否かを設定すること、キャプチャ完了フラグの値を保持するか否かを設定すること、ソフトウェアトリガを設定すること、およびキャプチャトリガを選択することです。

19.2.8 ITLS0 : インターバルタイマステータスレジスタ

Base address: TML32 = 0x4009_2200

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ITF0C	ITF03	ITF02	ITF01	ITF00
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ITF00	チャンネル 0 のコンペアマッチ検出フラグ 0: チャンネル 0 でコンペアマッチ信号は検出されていない 1: チャンネル 0 でコンペアマッチ信号は検出されている	R/W
1	ITF01	チャンネル 1 のコンペアマッチ検出フラグ 0: チャンネル 1 でコンペアマッチ信号は検出されていない 1: チャンネル 1 でコンペアマッチ信号は検出されている	R/W
2	ITF02	チャンネル 2 のコンペアマッチ検出フラグ 0: チャンネル 2 でコンペアマッチ信号は検出されていない 1: チャンネル 2 でコンペアマッチ信号は検出されている	R/W
3	ITF03	チャンネル 3 のコンペアマッチ検出フラグ 0: チャンネル 3 でコンペアマッチ信号は検出されていない 1: チャンネル 3 でコンペアマッチ信号は検出されている	R/W
4	ITF0C	キャプチャ検出フラグ 0: キャプチャの完了は検出されていない 1: キャプチャの完了は検出されている	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: 各ビットへの 1 の書き込みは無視されます。ITF0C ビットまたは ITF0i ビット (i = 0, 1, 2, 3) をクリアするには、対象ビットに 0 を書き込み、他のビットに 1 を書き込んでください。

注: ITF0C、ITF03、ITF02、ITF01、ITF00 の各フラグビットのどれかを 0 にしても ITLS0 レジスタの値が 0x00 にならない場合は、割り込み要求 (TML32_OUTI) が発生します。

注: ITLS0 レジスタのフラグビットをクリアするときは、値が 1 のビットにだけ 0 を書き込んでください。これは、値が 0 のビットに 0 を書き込むと、それと同時に生成されたコンペアマッチ信号またはキャプチャ検出信号を検出できなくなる恐れがあるからです。たとえば、ITF01 フラグビットの値が 1 のとき、ITLS0 レジスタに 00011101b を書き込んで ITF01 フラグビットをクリアしてください。

これはインターバルタイマ用のステータスレジスタです。

ITL0mn カウンタ (mn = 00, 01, 12, 13) の値が ITLCMP00 と ITLCMP01 の両レジスタに設定した値と一致すると、対応するチャンネルのコンペアマッチフラグが設定されます。

ITLCC0 レジスタの CAPEN0 ビットが 1 のときにキャプチャトリガが発生すると、ITL0mn カウンタの値が ITLCAP00 レジスタに格納された後にキャプチャ検出フラグが設定されます。

本レジスタの ITF0C ビットおよび ITF03~ITF00 ビットの各値の論理和 (OR) が、TML32_OUTI 割り込み信号として出力されます。表 19.3 に、ITLCTL0.MD0[1:0] ビットで選択される各タイマモードでのステータスフラグが設定される条件を示します。

表 19.3 各タイマモードでのステータスフラグが設定される条件

モード	ITLCTL0.MD0[1:0]	ITLCC0.CAPEN0	ステータスフラグ	ステータスフラグが設定される条件
8 ビットモード	00b	x	ITF00	ITLCMP00 の下位 8 ビットと ITL000 の値が一致した後の次のカウンタクロックの立ち上がりエッジ
		x	ITF01	ITLCMP00 の上位 8 ビットと ITL001 の値が一致した後の次のカウンタクロックの立ち上がりエッジ
		x	ITF02	ITLCMP01 の下位 8 ビットと ITL012 の値が一致した後の次のカウンタクロックの立ち上がりエッジ
		x	ITF03	ITLCMP01 の上位 8 ビットと ITL013 の値が一致した後の次のカウンタクロックの立ち上がりエッジ
16 ビットモード	01b	x	ITF00	ITLCMP00 の値と ITL000+ITL001 の値が一致した後の次のカウンタクロックの立ち上がりエッジ
		x	ITF02	ITLCMP01 の値と ITL012+ITL013 の値が一致した後の次のカウンタクロックの立ち上がりエッジ
		1	ITF0C	キャプチャトリガ発生後に ITL000+ITL001 の値が ITLCAP00 に格納される
32 ビットモード	10b	—	ITF00	ITLCMP00+ITLCMP01 の値と ITL000+ITL001+ITL012+ITL013 の値が一致した後の次のカウンタクロックの立ち上がりエッジ

19.2.9 ITLMKF0 : インターバルタイマー一致検出マスクレジスタ

Base address: TML32 = 0x4009_2200

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MKF0 C	MKF0 3	MKF0 2	MKF0 1	MKF0 0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MKF00	チャンネル 0 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF00 をマスクしない。 1: ITLS0.ITF00 をマスクする。	R/W
1	MKF01	チャンネル 1 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF01 をマスクしない。 1: ITLS0.ITF01 をマスクする。	R/W
2	MKF02	チャンネル 2 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF02 をマスクしない。 1: ITLS0.ITF02 をマスクする。	R/W
3	MKF03	チャンネル 3 のコンペアマッチステータスフラグのマスク(注1) 0: ITLS0.ITF03 をマスクしない。 1: ITLS0.ITF03 をマスクする。	R/W
4	MKF0C	キャプチャ検出ステータスフラグのマスク(注1) 0: ITLS0.ITF0C をマスクしない。 1: ITLS0.ITF0C をマスクする。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このレジスタの各ビットは ITLS0 レジスタ内の各ビットに対応します。このレジスタのビットを 1 にすると、ITLS0 レジスタの対応するビットがマスクされ設定できなくなります。これにより、コンペアマッチとキャプチャ完了のソフトウェア検出ができなくなります。チャンネル 0～3 のうちのいずれかのチャンネルでコンペアマッチを使用する場合は、所定のステータスフラグに対応するビットを 0 にして、そのフラグがマスクされないようにしてください。一方、キャプチャ完了の状態については、インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0) の CAPF0 フラグを使用して検出することができます。MKF0C ビットを 1 にして ITLS0.ITF0C フラグをマスクしている場合でも検出が可能です。

インターバルタイマステータスレジスタ (ITLS0) の各有効ビットを 1 にすることの許可／禁止を本レジスタで設定します。

MKF0C ビットまたは MKF0i (i = 0～3) ビットを 1 にすると、ITF0C と ITF0i (i = 0～3) の対応するステータスフラグがマスクされます。以後、コンペアレジスタとのコンペアマッチやキャプチャ完了が検出されても、該当のフラグは 1 になりません。ステータスフラグが 1 にならないため、インターバル検出割り込み (TML32_OUTI) も発生しません。

19.3 動作

19.3.1 カウンタモード設定

32 ビットインターバルタイマには 3 種類のカウンタモードがあります: 8 ビットカウンタモード、16 ビットカウンタモード、32 ビットカウンタモード。表 19.4～表 19.6 に、各カウンタモードに使用するレジスタと設定を示します。

表 19.4 8 ビットカウンタモードで使用するレジスタと設定 (1/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	CMP16[7:0]	チャンネル 0 の 8 ビットコンペア値を設定する。
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	CMP16[15:8]	チャンネル 1 の 8 ビットコンペア値を設定する。

表 19.4 8 ビットカウンタモードで使用するレジスタと設定 (2/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 01 (ITLCMP01)	CMP16[7:0]	チャンネル 2 の 8 ビットコンペア値を設定する。
インターバルタイマコンペアレジスタ 01 (ITLCMP01)	CMP16[15:8]	チャンネル 3 の 8 ビットコンペア値を設定する。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0 のカウントの開始/停止を設定する。
	EN1	チャンネル 1 のカウントの開始/停止を設定する。
	EN2	チャンネル 2 のカウントの開始/停止を設定する。
	EN3	チャンネル 3 のカウントの開始/停止を設定する。
	MD0[1:0]	00b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0 のカウントクロックを選択する。
	FDIV1[2:0]	チャンネル 1 のカウントクロックを選択する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	チャンネル 2 のカウントクロックを選択する。
	FDIV3[2:0]	チャンネル 3 のカウントクロックを選択する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	インターバルタイマのカウントクロックを選択する。
	CSEL[2:0]	000b に設定する。
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	ビット 7~0	0 に設定する。

表 19.5 16 ビットカウンタモードで使用するレジスタと設定

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	CMP16[15:0]	チャンネル 0 とチャンネル 1 の 16 ビットコンペア値を設定する。
インターバルタイマコンペアレジスタ 01 (ITLCMP01)	CMP16[15:0]	チャンネル 2 とチャンネル 3 の 16 ビットコンペア値を設定する。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0 とチャンネル 1 のカウントの開始/停止を設定する。
	EN1	0 に設定する。
	EN2	チャンネル 2 とチャンネル 3 のカウントの開始/停止を設定する。
	EN3	0 に設定する。
	MD0[1:0]	01b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0 とチャンネル 1 のカウントクロックを選択する。
	FDIV1[2:0]	000b に設定する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	チャンネル 2 とチャンネル 3 のカウントクロックを選択する。
	FDIV3[2:0]	000b に設定する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	インターバルタイマのカウントクロックを選択する。
	CSEL[2:0]	000b に設定する。
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	ビット 7~0	0 に設定する。

表 19.6 32 ビットカウンタモードで使用するレジスタと設定 (1/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	CMP16[15:0]	32 ビットカウンタモードのコンペア値を設定する。 チャンネル 0 とチャンネル 1 にコンペア値の下位 16 ビットを設定する (ITLCMP00)。

表 19.6 32 ビットカウンタモードで使用するレジスタと設定 (2/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 01 (ITLCMP01)	CMP16[15:0]	32 ビットカウンタモードのコンペア値を設定する。 チャンネル 2 とチャンネル 3 にコンペア値の上位 16 ビットを設定する (ITLCMP01)。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0~3 のカウントの開始/停止を設定する。
	EN1	0 に設定する。
	EN2	0 に設定する。
	EN3	0 に設定する。
	MD0[1:0]	10b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0~3 のカウントクロックを選択する。
	FDIV1[2:0]	000b に設定する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	000b に設定する。
	FDIV3[2:0]	000b に設定する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	インターバルタイマのカウントクロックを選択する。
	CSEL[2:0]	000b に設定する。
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	ビット 7~0	0 に設定する。

19.3.2 キャプチャモード設定

チャンネル 0~1 に 16 ビットキャプチャモードが使用される場合、選択したキャプチャトリガに応じてインターバルタイマキャプチャレジスタ 00 (ITLCAP00) にカウンタ値が格納されます。

表 19.7 に、16 ビットキャプチャモードで使用するレジスタと設定を示します。

表 19.7 16 ビットキャプチャモードで使用するレジスタと設定 (1/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマコンペアレジスタ 00 (ITLCMP00)	CMP16[15:0]	チャンネル 0 とチャンネル 1 の 16 ビットコンペア値を設定する。
インターバルタイマコンペアレジスタ 01 (ITLCMP01)(注1)	CMP16[15:0]	チャンネル 2 とチャンネル 3 の 16 ビットコンペア値を設定する。
インターバルタイマコントロールレジスタ 0 (ITLCTL0)	EN0	チャンネル 0 とチャンネル 1 のカウントの開始/停止を設定する。
	EN1	0 に設定する。
	EN2	チャンネル 2 とチャンネル 3 のカウントの開始/停止を設定する。
	EN3	0 に設定する。
	MD0[1:0]	01b に設定する。
インターバルタイマ分周レジスタ 0 (ITLFDIV00)	FDIV0[2:0]	チャンネル 0 のカウントクロックを選択する。
	FDIV1[2:0]	000b に設定する。
インターバルタイマ分周レジスタ 1 (ITLFDIV01)	FDIV2[2:0]	000b に設定する。
	FDIV3[2:0]	000b に設定する。
インターバルタイマクロック選択レジスタ 0 (ITLCSEL0)	ISEL[2:0]	チャンネル 0 とチャンネル 1 で使用するインターバルタイマのカウントクロックを選択する。
	CSEL[2:0]	チャンネル 2 とチャンネル 3 で使用するキャプチャ用インターバルタイマのカウントクロックを選択する。

表 19.7 16 ビットキャプチャモードで使用するレジスタと設定 (2/2)

レジスタ名 (シンボル)	ビット	設定
インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0)	CAPEN0	1 に設定する。
	CAPC0CR	キャプチャ完了後にチャンネル 0 とチャンネル 1 のカウンタ値をクリアするか保持するかを設定する。
	CTRS0[1:0]	キャプチャトリガを選択する。

注 1. 「ITLCMP01 とのコンペアマッチ検出時の割り込み」をキャプチャトリガに使用しない場合に 16 ビットカウンタモードで使用できるのはチャンネル 2 とチャンネル 3 だけです。

19.3.3 タイマ動作

ITL0mn カウンタは、インターバルタイマ分周レジスタ (ITLFDIV00 および ITLFDIV01) に設定したカウントクロックによりカウントアップします。カウンタ値がコンペア値と一致した後の次のクロックで、割り込み要求信号 (TML32_OUTI) が発生します。割り込み要求信号 (TML32_OUTI) は、ITLS0 レジスタの値が 0x00 になるまで High のままとなります。

割り込み要求信号 (TML32_OUTI) が High の間は、動作中のチャンネルでコンペアマッチまたはキャプチャ完了が検出されても、以降の割り込み要求 (TML32_OUTI) は発生しません。

ITLCTL0 レジスタの EN0～EN3 ビットを 0 にするとカウンタ値はクリアされます。

図 19.6 にタイマの動作例を示します。

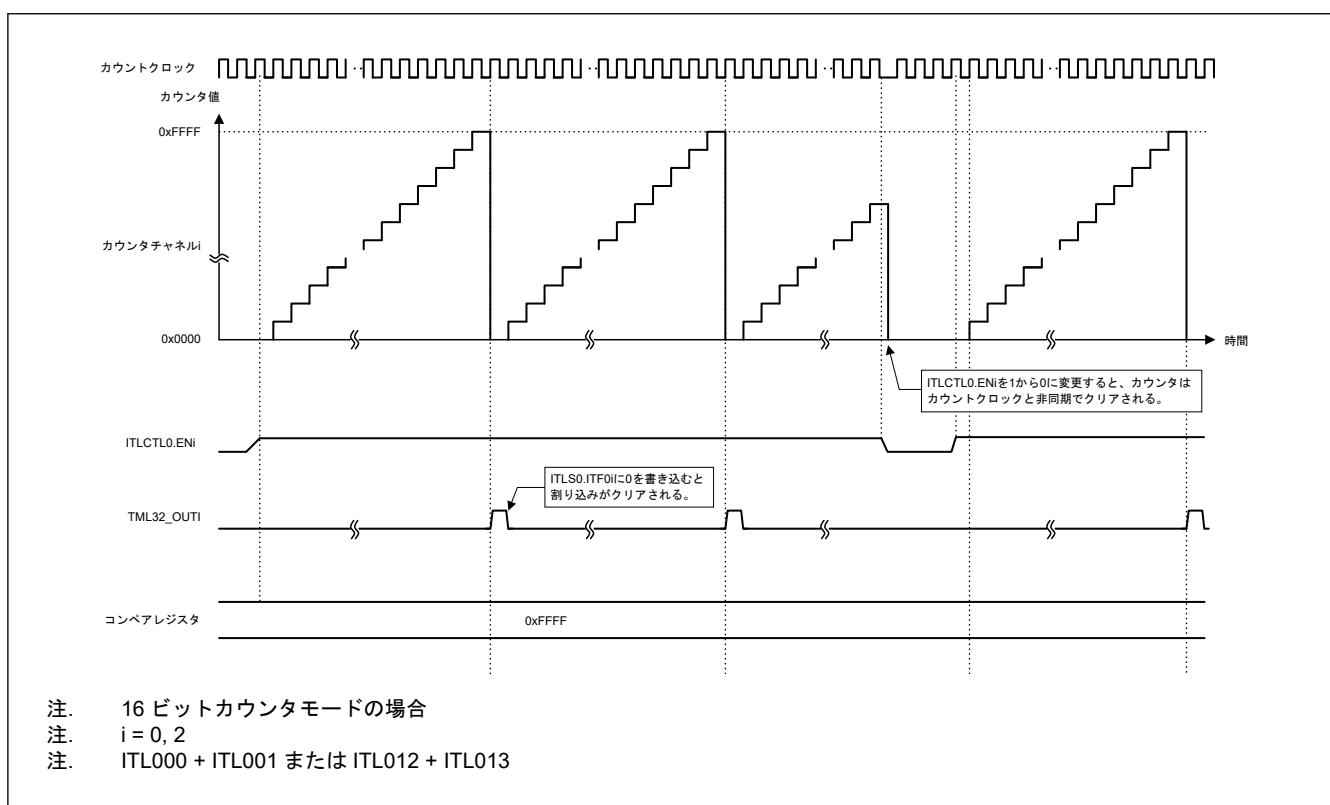


図 19.6 タイマの動作例

19.3.4 キャプチャ動作

インターバルタイマキャプチャコントロールレジスタ 0 (ITLCC0) の CAPEN0 ビットの設定が 1 のときに ITLCC0 レジスタで選択されたキャプチャトリガにより、16 ビットカウンタ (ITL000 + ITL001) の値はインターバルタイマキャプチャレジスタ 00 (ITLCAP00) に格納されます。

キャプチャトリガとして選択できるのは、「ITLCMP01 レジスタのコンペアマッチ割り込み」、「TML32LCLK/TML32SCLK」、「ELC からのイベント入力」、および「ソフトウェアトリガ (ITLCC0.CAPR0 ビットを 1 にする)」です。ITLCMP01 のコンペアマッチ割り込みをキャプチャトリガに使用する場合は、インターバルタイマクロック選択レジスタ 0 (ITLSEL0) でカウントクロックを選択し、インターバルタイマコンペアレジスタ 01

(ITLCMP01) でコンペア値を設定します。「TML32LCLK/TML32SCLK」、「ELC からのイベント入力」、または「ソフトウェアトリガ (ITLCC0.CAPR0 ビットを 1 にする)」をキャプチャトリガに使用する場合は、16 ビットカウンタモードでチャンネル 2 とチャンネル 3 を使用できます。

キャプチャトリガが入力されカウンタ値がインターバルタイマキャプチャレジスタに格納された後、割り込み要求信号 (TML32_OUTI) が出力され、キャプチャ完了フラグ (ITLCC0.CAPF0) とキャプチャ検出フラグ (ITLS0.ITF0C) が 1 になります。これらのフラグ値は、明示的にクリアされるまで保持されます(注1)。

ITLCC0.CAPF0 フラグは、ITLCC0.CAPF0CR ビットを 1 にすることでクリアすることができます。ITLS0 レジスタの ITF0C フラグは、0 の書き込みでクリアされます。キャプチャ動作はカウントクロックに基づくため、キャプチャトリガ発生間隔はカウントクロックの 5 サイクル以上としてください。キャプチャトリガの発生後、カウントクロックの 2 サイクル以内に再びキャプチャトリガが発生した場合は、ITLCC0.CAPF0 ビットが設定されないことがあります。

注 1. ITLS0 レジスタの値が 0x00 以外の場合は、キャプチャ検出フラグ (ITLS0.ITF0C) が 1 になっても割り込み動作は発生しません。これは、割り込み要求信号 (TML32_OUTI) が High レベルのままのためです。

図 19.7 にキャプチャ動作例を示します。

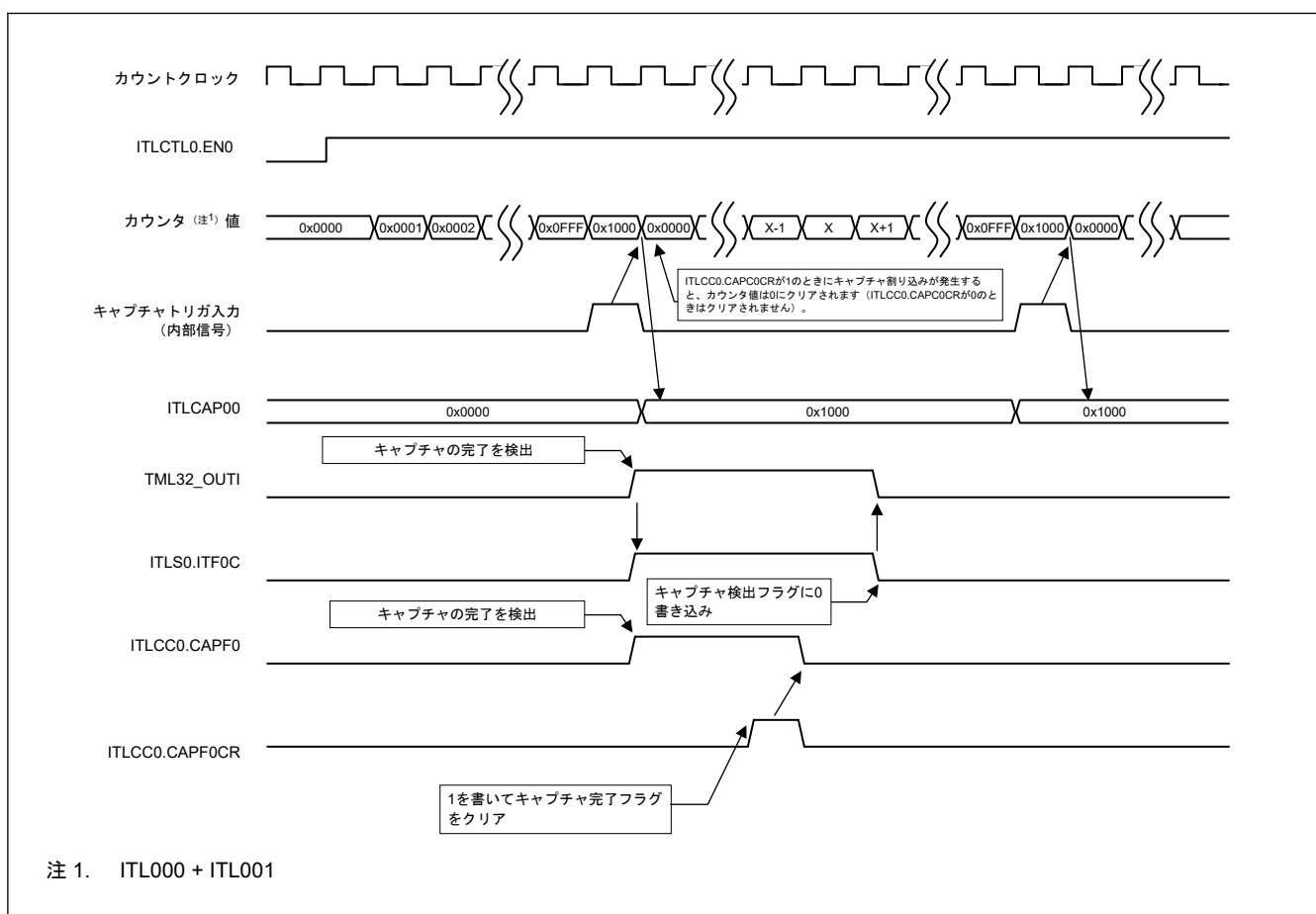


図 19.7 キャプチャ動作例

ITLCC0 レジスタの CAPC0CR ビットが 1 (キャプチャ完了後にキャプチャカウンタ値がクリアされるモード) の間に、カウンタ値がコンペア値と一致すると、次のカウントクロックでカウンタ値がクリアされます。ITLCC0.CAPC0CR ビットが 0 (キャプチャ完了後もキャプチャカウンタ値が維持されるモード) の場合、この方法でカウンタ値がクリアされることはありません。

19.3.5 割り込み

表 19.8 に、8 ビット、16 ビット、32 ビットの各カウンタモードでの割り込み要因を示します。

ITF00～ITF03 ビットと ITF0C ビットは、ITLS0 レジスタにある割り込みステータスフラグです。これらの割り込みステータスフラグのいずれかが設定されると、TML32_OUTI 信号として割り込み要求が出力されます。

表 19.8 8 ビット、16 ビット、32 ビットの各カウンタモードでの割り込み要因

割り込み要因	8 ビットカウンタモードでの割り込み発生条件	16 ビットカウンタモードでの割り込み発生条件	32 ビットカウンタモードでの割り込み発生条件
ITLS0.ITF00	チャンネル 0 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	チャンネル 0~1 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	コンペアマッチ後の次のカウントクロックの立ち上がりエッジ
ITLS0.ITF01	チャンネル 1 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	発生しない	発生しない
ITLS0.ITF02	チャンネル 2 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	チャンネル 2~3 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	発生しない
ITLS0.ITF03	チャンネル 3 でコンペアマッチ後の次のカウントクロックの立ち上がりエッジ	発生しない	発生しない
ITLS0.ITF0C	発生しない (ITLCC0 レジスタの設定が 0x00 の場合)	キャプチャトリガ入力後のキャプチャレジスタにカウンタ値を格納するタイミング	発生しない (ITLCC0 レジスタの設定が 0x00 の場合)

ITLS0 レジスタの値が 0x00 以外の場合、割り込み要求信号 (TML32_OUTI) は High レベルのままとなります。その結果、動作中のチャンネルでコンペアマッチやキャプチャ完了が検出されても、それ以降の割り込み要求 (TML32_OUTI) は発生しません。

ただし、ITLS0 レジスタのいずれかのビットが 0 になった後の ITLS0 レジスタの値が 0x00 でない場合は、TML32_OUTI 端子に Low レベルパルス信号が出力されます。これにより、割り込み処理などの処理中に ITLS0 レジスタにあるステータスフラグのいずれかをクリアすると、他のステータスフラグが 1 になった時に発生する割り込みを検出することが可能になります。図 19.8 に、検出フラグのクリアとインターバル検出割り込み信号の関係を示します。

図 19.8 に示した動作を以下で説明します。

ITLS0 レジスタの値が 0x00 の間にチャンネル 1 でコンペアマッチが検出されると、ITF01 フラグが 1 になり、インターバル検出割り込み信号 (TML32_OUTI) が High になります。インターバル検出割り込み信号 (TML32_OUTI) が High の間は、動作中のチャンネルでコンペアマッチまたはキャプチャ完了が検出されても、以降の割り込み要求 (TML32_OUTI) は発生しません。

なお、ITLS0.ITF0x (x = 0, 1, 2, 3, C) フラグビットを 0 にする直前に他の検出フラグが 1 になった場合は、当該フラグビットが 0 になった後、TML32_OUTI の出力は一時的に Low レベルになります。

<1> チャンネル 1 でコンペアマッチが検出されると ITLS0.ITF01 フラグが 1 になり、インターバル検出割り込み信号 (TML32_OUTI) は High になります。インターバル検出割り込み処理が実行されます。

<2> インターバル検出割り込み処理の内部から、ITLS0 レジスタにあるどの検出フラグが 1 になっているかを確認します。図 19.8 に示す場合では、ITLS0 レジスタの ITF01 フラグと ITF00 フラグが 1 になったことを確認できます。

<3> ステップ 2 で検出された ITLS0 レジスタの ITF01 フラグと ITF00 フラグをクリアするために、ITLS0 レジスタに 00011100b を書き込みます。当該レジスタの値は 0x00 になります。(注1)

<4> ITLS0 レジスタの ITF01 フラグと ITF00 フラグが 1 になると、それぞれに対応する処理シーケンスが実行されます。

注 1. 割り込み要因をクリアする処理をフラグごとに繰り返すことでも、割り込み要因を見失うことを防ぐことができます。

<5> チャンネル 1 で再びコンペアマッチが検出されると、ITLS0.ITF01 フラグが 1 になり、インターバル検出割り込み信号 (TML32_OUTI) は High になります。インターバル検出割り込み処理が実行されます。

<6> インターバル検出割り込み処理の内部から、ITLS0 レジスタにあるどの検出フラグが 1 になっているかを確認します。図 19.8 に示す場合では、ITLS0 レジスタの ITF01 フラグが 1 になったことを確認できます。

<7> ステップ 6 で検出された ITLS0 レジスタの ITF01 フラグをクリアするために、ITLS0 レジスタに 00011101b を書き込みます。当該レジスタの値は 0x00 になります。このとき、チャンネル 0 でコンペアマッチが検出される

と ITLS0.ITF00 フラグも 1 になりますが、このフラグに対応する処理は行われないため、このフラグはクリアされません。

<8> ステップ 7 で ITLS0.ITF01 フラグが 0 にクリアされると同時に ITLS0.ITF00 フラグが 1 になるため、TML32_OUTI 信号は一時的に Low になります。

<9> ITLS0.ITF01 フラグが 1 になった時に対応する処理が実行されます。

<10> インターバル検出割り込み処理の内部から、ITLS0 レジスタにあるどの検出フラグが 1 になっているかを確認します。図 19.8 に示す場合は、ITLS0 レジスタの ITF00 フラグが 1 になったことを確認できます。

<11> ステップ 10 で検出された ITLS0 レジスタの ITF01 フラグをクリアするために、ITLS0 レジスタに 00011110b を書き込みます。当該レジスタの値は 0x00 になります。

<12> ITLS0.ITF00 フラグが 1 になった時に対応する処理が実行されます。

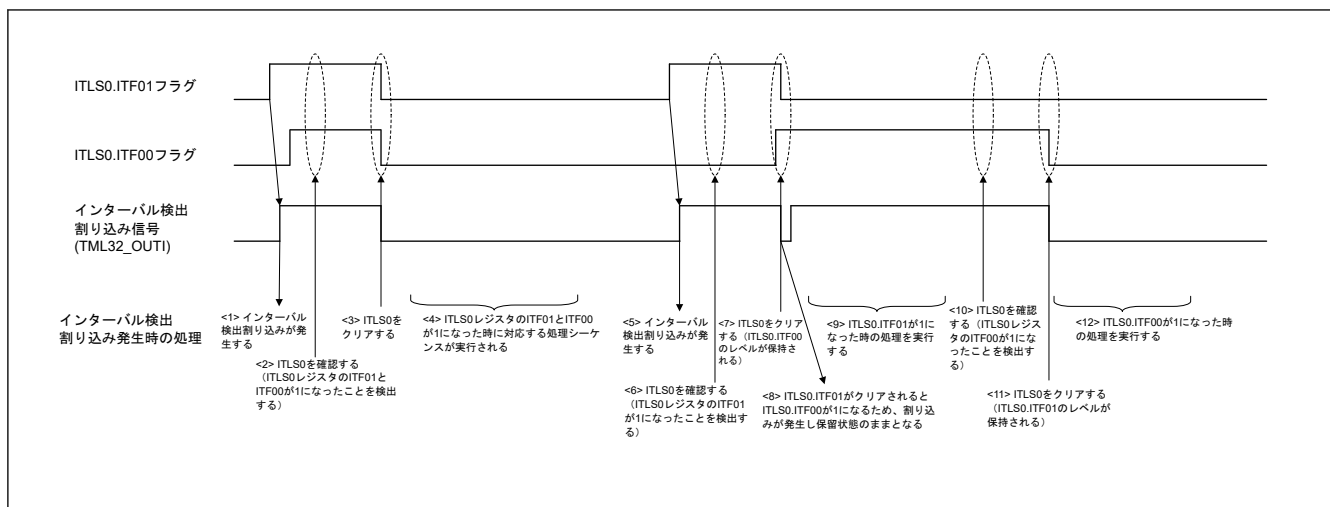


図 19.8 検出されたフラグがクリアされる例

19.3.6 インターバルタイマ設定手順

32 ビットインターバルタイマの設定手順を表 19.9 に示します。

表 19.9 32 ビットインターバルタイマの開始手順

手順		プロセス	詳細説明
32 ビットインターバルタイマの開始	<1>	動作開始	—
	<2>	カウンタモード (8 ビット/16 ビット/32 ビット) を選択する。	ITLCTL0.MD0[1:0]ビットを設定する。
	<3>	インターバルタイマのカウンタクロックを選択する。 カウンタソースの分周比を選択する。 コンペア値を設定する。	ITLCSEL0.ISEL[2:0]ビットを設定する。 ITLFDIV0n レジスタを設定する。 ITLCMP0n レジスタを設定する。
	<4>	キャプチャ機能を使用する場合 - キャプチャを許可する。 - キャプチャ完了フラグをクリアする。 - キャプチャタイマのカウンタクロックを選択する。 - キャプチャ完了後にチャネル 0 とチャネル 1 のカウンタ値をクリアするように設定する。 - キャプチャトリガを選択する。	ITLCC0.CAPEN0 ビットを設定します。 ITLCC0.CAPF0CR ビットをクリアする。 ITLCSEL0.CSEL[2:0]ビットを設定する。 ITLCC0.CAPC0CR ビットをクリアする。 ITLCC0.CTRS[1:0]ビットを設定する。
	<5>	割り込みを使用する場合(注1) - ITLS0.ITF0i 割り込みステータスフラグをクリアする。 - ITLS0.ITF0i ステータスフラグのマスクを設定する。	ITLCC0.CAPF0CR ビットをクリアする。 ITLCSEL0.CSEL[2:0]ビットを設定する。
	<6>	32 ビットインターバルタイマを開始する。	ITLCTL0.ENi ビットを設定する。
	<7>	ソフトウェアキャプチャトリガを使用する場合は ITLCC0.CAPR0 ビットを 1 にする。	ITLCC0.CAPR0 ビットを設定する。
	<8>	割り込みを待つ。	—

注. n = 0 または 1、i = 0~3

注 1. 本タイマをインターバルタイマとして使用する場合は、割り込みをマスクしないでください。チャネル 2 とチャネル 3 において、16 ビットカウンタモードでコンペアマッチをキャプチャトリガに選択する場合は、ITLMKF0.MKF02 ビットを 1 にしてマスクを設定してください。

32 ビットインターバルタイマの停止手順を表 19.10 に示します。

表 19.10 32 ビットインターバルタイマの停止手順

手順		プロセス	詳細説明
32 ビットインターバルタイマの停止	<1>	カウンタ停止処理の開始	—
	<2>	ITLS0.ITF0i ステータスフラグのマスクを設定する。 ITLS0.ITF0i 割り込みステータスフラグをクリアする。	ITLMKF0.MKF0i ビットを設定する。 ITLS0.ITF0i ビットをクリアする。
	<3>	キャプチャ機能を使用している場合 - ITLS0.ITF0C ステータスフラグのマスクを設定する。 - ITLS0.ITF0C 割り込みステータスフラグをクリアする。	ITLMKF0.MKF0C ビットを設定する。 ITLS0.ITF0C ビットをクリアする。
	<4>	32 ビットインターバルタイマを停止する。 ソースクロックの 1 サイクル後にカウンタ動作が停止する。	ITLCTL0.ENi ビットをクリアする。
	<5>	カウンタ停止処理の完了	—

注. i = 0~3

32 ビットインターバルタイマの動作モードの変更手順を表 19.11 に示します。

表 19.11 32 ビットインターバルタイマの動作モードの変更手順

手順	プロセス	詳細説明
32 ビットインターバルタイマの動作モードの変更	<1>	動作モードの変更開始
	<2>	ITLS0.ITF0i ステータスフラグのマスクを設定する。 ITLS0.ITF0i 割り込みステータスフラグをクリアする。
	<3>	キャプチャ機能を使用している場合 - ITLS0.ITF0C ステータスフラグのマスクを設定する。 - ITF0C 割り込みステータスフラグをクリアする。
	<4>	32 ビットインターバルタイマのカウントをすべて無効にする。
	<5>	タイマが停止するまでカウントソースを 1 サイクル以上待つ。
	<6>	32 ビットインターバルタイマの動作モードを変更する。 (表 19.9 を参照。)
	<7>	動作モードの変更完了

注. i = 0~3

ELC からのイベント入力を開始する手順を表 19.12 に示します。

表 19.12 ELC からのイベント入力の開始手順

手順	プロセス	詳細説明
ELC からのイベント入力の開始	<1>	ELC からのイベント入力を開始する手順の開始
	<2>	出力先 32 ビットインターバルタイマを選択する。
	<3>	ELCR(注1)レジスタを設定して出力を許可する。
	<4>	イベント発生源の動作モードを設定する。
	<5>	32 ビットインターバルタイマの動作モードを設定する。
	<6>	イベント発生源の動作を開始する。
	<7>	ELC からのイベント入力を開始する手順の完了

注 1. 詳細は、「15. イベントリンクコントローラ (ELC)」を参照してください。

ELC からのイベント入力を停止する手順を表 19.13 に示します。

表 19.13 ELC からのイベント入力の停止手順

手順	プロセス	詳細説明
ELC からのイベント入力の停止	<1>	ELC からのイベント入力を停止する手順の開始
	<2>	イベント発生源の動作を停止する。
	<3>	32 ビットインターバルタイマを停止する。
	<4>	ELSR19 レジスタ(注1)を設定して出力を禁止する。 (任意で、ELCR(注1)レジスタを設定してすべてのイベントリンクを無効にする。)
	<5>	ELC からのイベント入力を停止する手順の完了

注 1. 詳細は、「15. イベントリンクコントローラ (ELC)」を参照してください。

19.3.7 スヌーズモード機能

TML32 を使用して ELC を介してスヌーズモードで ADC をトリガする場合、TML32 レベル割り込みをクリアするために DTC をリピータ転送モードに設定する必要があります。

図 19.9 に、DTC によって TML32 割り込みがクリアされた状態で、TML32 を使用して ADC をスヌーズモードでトリガする設定例を示しています。

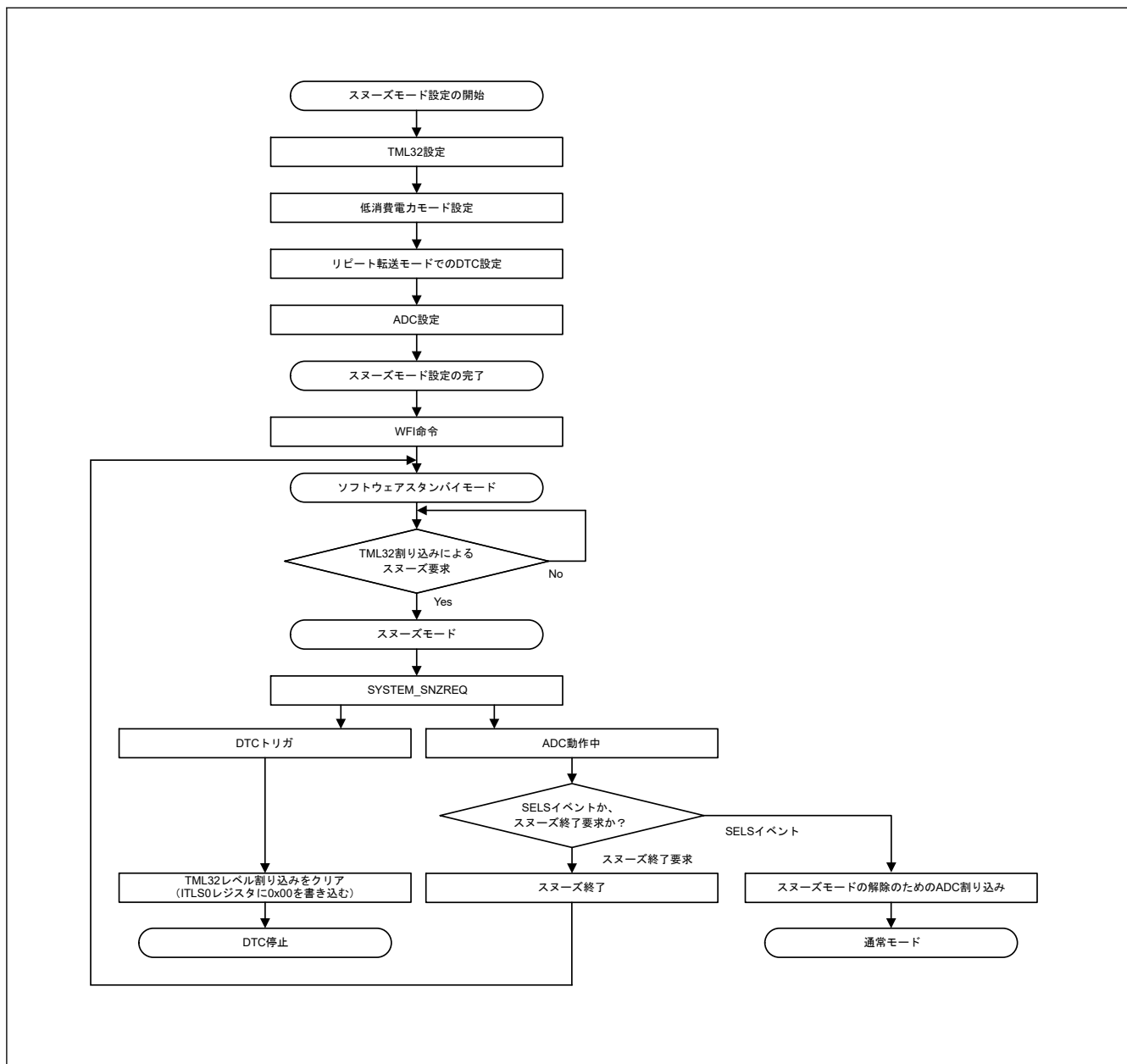


図 19.9 DTC によって TML32 割り込みがクリアされた状態で、TML32 を使用して ADC をスヌーズモードでトリガする設定例

図 19.10 に、リピータ転送モードでの DTC の設定例を示します。

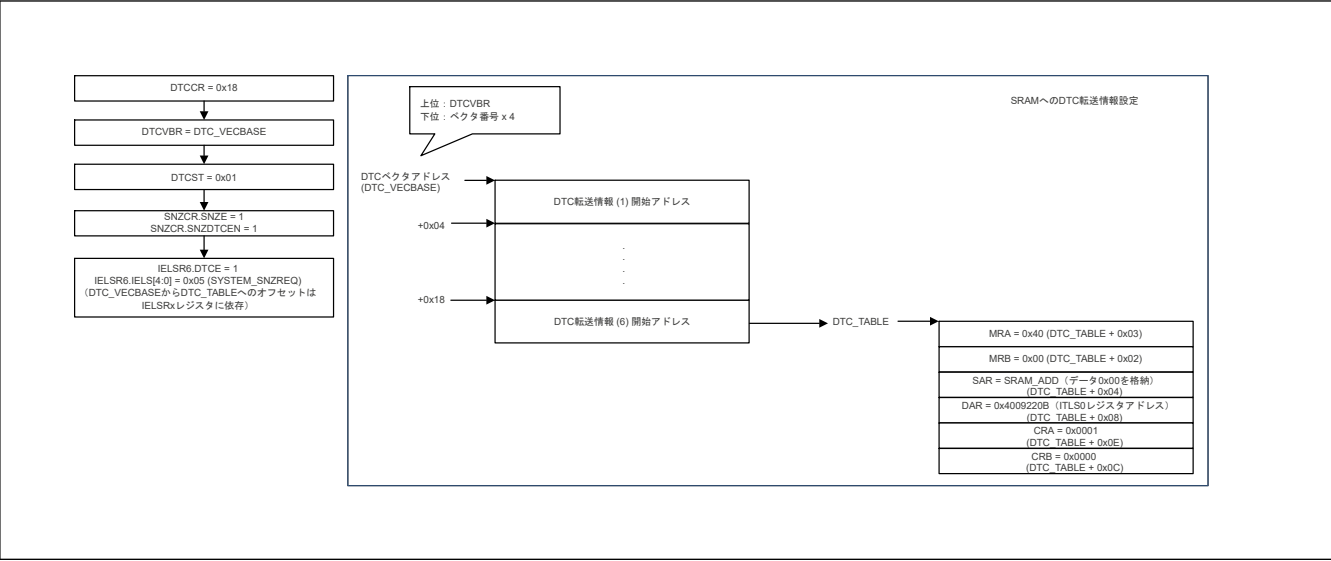


図 19.10 リピート転送モードでの DTC の設定例

20. リアルタイムクロック (RTC)

20.1 概要

表 20.1 に、RTC の仕様を示します。

表 20.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード
カウントソース	RTCSCLK と RTCS128CLK/RTCLCLK から選択可能
カレンダー機能	年、月、日、曜日、時、分、および秒を 99 年までカウント
割り込み (RTC_ALM_OR_PRD)	- 固定周期割り込み - 周期を 0.5 秒、1 秒、1 分、1 時間、1 日、1 か月から選択可能 - アラーム割り込み - 曜日、時、分でアラーム設定
端子出力機能	1 Hz クロック出力

注.

- RTCSCLK : RTC サブクロック
- RTCS128CLK : RTC サブ 128 Hz クロック
- RTCLCLK : RTC LOCO クロック

リアルタイムクロック割り込み信号 (RTC_ALM_OR_PRD) は、本 MCU をソフトウェアスタンバイモードからウェイクアップさせるために使用できます。また、スリープモードへ遷移するトリガとして使用することもできます。さらに、本 MCU をスリープモードからウェイクアップさせることが可能です。

リアルタイムクロックのブロック図を図 20.1 に示します。

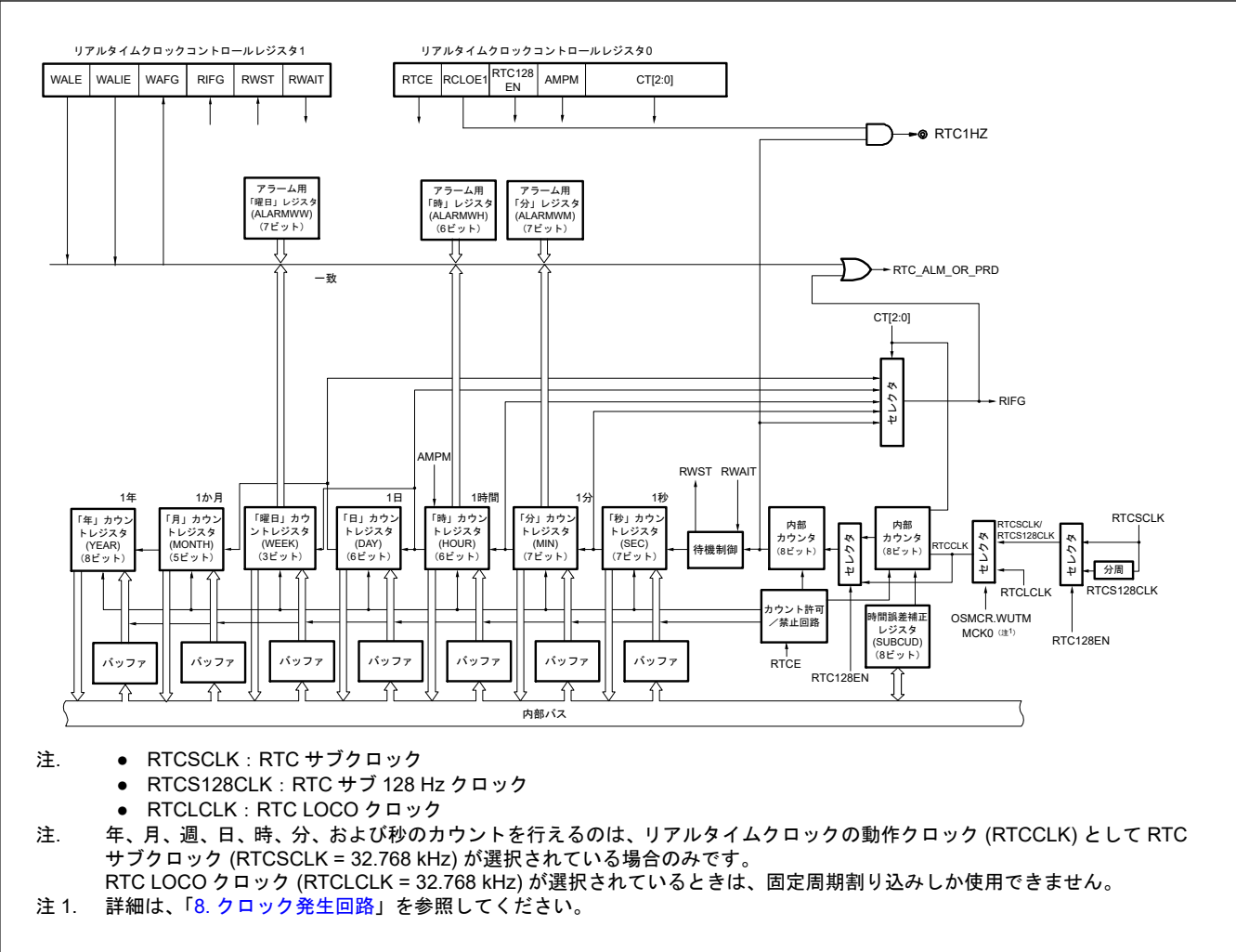


図 20.1 リアルタイムクロックのブロック図

20.2 レジスタの説明

表 20.2 に、リセット要因ごとのレジスタの状態を示します。

表 20.2 リセット要因ごとのレジスタの状態

リセット要因	システム関連レジスタ(注1)	カレンダー関連レジスタ(注2)
POR	リセットされる	リセットされない
外部リセット	保持	保持
WDT	保持	保持
IWDT	保持	保持
LVD	保持	保持
上記以外の内部リセット要因	保持	保持

注 1. RTCC0、RTCC1、および SUBCUD

注 2. SEC、MIN、HOUR、DAY、WEEK、MONTH、YEAR、ALARMWM、ALARMWH、および ALARMWW

SEC、MIN、HOUR、DAY、WEEK、MONTH、YEAR、ALARMWM、ALARMWH、ALARMWW の各レジスタは、リセット信号のアサートではリセットされません。これらのレジスタすべてを電源 ON 後に初期化してください。

20.2.1 RTCC0 : リアルタイムクロックコントロールレジスタ 0

Base address: RTC = 0x4009_2000

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RTCE	—	RCLO E1	RTC12 8EN	AMPM	CT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CT[2:0]	固定周期割り込み (RTC_ALM_OR_PRD) 選択 0 0 0: 固定周期割り込みを使用しない 0 0 1: 0.5 秒ごと (秒のカウントアップに同期) 0 1 0: 1 秒ごと (秒のカウントアップと同時) 0 1 1: 1 分ごと (毎分の 00 秒) 1 0 0: 1 時間ごと (毎時の 00 分 00 秒) 1 0 1: 1 日ごと (毎日の 00 時 00 分 00 秒) その他: 1 月ごと (毎月の 1 日午前 00 時 00 分 00 秒)	R/W
3	AMPM	12 時間制/24 時間制の選択 0: 12 時間制 (午前/午後を表示する) 1: 24 時間制	R/W
4	RTC128EN	リアルタイムクロックの動作クロックの選択 (RTCSCCLK/RTCS128CLK) 0: RTCSCCLK (32.768 kHz) を選択 1: RTCS128CLK (128 Hz) を選択	R/W
5	RCLOE1	RTC1HZ 端子の出力制御 0: RTC1HZ 端子の出力 (1 Hz) を禁止する。 1: RTC1HZ 端子の出力 (1 Hz) を許可する。	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
7	RTCE(注2)	リアルタイムクロック動作制御 0: カウンタの動作を停止する。 1: カウンタの動作を開始する。	R/W

注. RTCE が 1 のときは RCLOE1 ビットの値を変更しないでください。

注. RTCE が 0 のときは、RCLOE1 を 1 にしても 1 Hz の信号は出力されません。

- 注.
- RTCSCCLK : RTC サブクロック
 - RTCS128CLK : RTC サブ 128 Hz クロック

注 1. ビット[6] を必ず 0 にしてください。

注 2. RTCE ビットを 1 にした直後にソフトウェアスタンバイモードに移移する場合は、[図 20.3](#) に記した手順に従ってください。

RTCC0 レジスタは、リアルタイムクロックの動作開始/停止、および RTC1HZ 端子の制御に使用します。また、12 時間制/24 時間制、および固定周期割り込みの設定にも使用します。

CT[2:0]ビット (固定周期割り込み (RTC_ALM_OR_PRD) 選択)

カウントが動作中 (RTCE = 1) のときに CT[2:0]ビットの値を変更するには、RTC_ALM_OR_PRD の割り込み処理を禁止した後に CT[2:0]ビットの値を書き換えてください。そして CT[2:0]ビットの値を書き換えた後、RTCC1.RIFG フラグをクリアしてから割り込み処理を許可してください。

AMPM ビット (12 時間制/24 時間制の選択)

- リアルタイムクロックコントロールレジスタ 1 (RTCC1) の RWAIT ビットを 1 にした後に、AMPM ビットの値を書き換えてください。AMPM ビットの値が書き換わると、指定した時間制 (12 時間/24 時間) に応じて「時」カウントレジスタ (HOUR) の値も変わります。
- [表 20.3](#) に、このビットの設定による「時」データの違いを示します。

RTC128EN ビット (リアルタイムクロックの動作クロックの選択 (RTCSCCLK/RTCS128CLK))

- このビットを 1 にすると、リアルタイムクロックは 128 Hz で動作し、消費電力が低減されます。
- このビットが 1 のときはクロック誤差補正を行えません。

- このビットが1のときは、OSMCR レジスタの WUTMMCK0 ビットを0にしてください。詳細は、「[8. クロック発生回路](#)」を参照してください。

RCLOE1 ビット (RTC1HZ 端子の出力制御)

このビットは RTC1HZ 端子の出力制御に使用します。

RTCE ビット (リアルタイムクロック動作制御)

このビットはリアルタイムクロックの動作制御に使用します。

20.2.2 RTCC1: リアルタイムクロックコントロールレジスタ 1

Base address: RTC = 0x4009_2000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WALE	WALIE	—	WAFG	RIFG	—	RWST	RWAIT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RWAIT	リアルタイムクロックのウェイト制御 0: カウンタは動作可能 1: SEC~YEAR の各カウンタを停止する。カウンタ値の読み出しと書き込みが可能	R/W
1	RWST	リアルタイムクロックのウェイト状態フラグ 0: カウンタ動作中 1: カウンタ値の読み出しと書き込みが可能	R
2	—	読むと0が読めます。書く場合、0としてください。	R/W
3	RIFG	固定周期割り込みステータスフラグ 0: 固定周期割り込みは発生していない 1: 固定周期割り込みが発生している	R/W
4	WAFG	アラーム検出ステータスフラグ 0: アラーム不一致 1: アラーム一致を検出	R/W
5	—	読むと0が読めます。書く場合、0としてください。	R/W
6	WALIE	アラーム割り込みの制御 (RTC_ALM_OR_PRD) 0: アラーム一致時に割り込みは発生しない 1: アラーム一致時に割り込みが発生する	R/W
7	WALE	アラーム動作制御 0: 一致処理を禁止 1: 一致処理を許可	R/W

注. 書き込み時に RIFG フラグと WAFG フラグがクリアされるのを防ぐには、対応するビットに1を設定して書き込みを禁止してください。

注. 固定周期割り込みとアラーム一致割り込みは同一の割り込み要因 (RTC_ALM_OR_PRD) を使用します。これら2種類の割り込みを同時に使用している場合は、RTC_ALM_OR_PRD 発生時に固定周期割り込みステータスフラグ (RIFG) とアラーム検出ステータスフラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判別できます。

注. 「秒」カウントレジスタ (SEC) に値が書き込まれると内部カウンタ (16 ビット) がクリアされます。

RTCC1 レジスタはアラーム割り込みとカウンタの待機時間を制御するために使用します。

RWAIT ビット (リアルタイムクロックのウェイト制御)

このビットはカウンタの動作を制御します。

カウンタ値の読み書きを行う場合はこのビットに1を書き込んでください。

16 ビット内部カウンタの動作を続けるためには、読み出しまたは書き込みを1秒以内に完了し、このビットの値を0に戻してください。アラーム割り込み発生が許可されている間にカウンタの読み出し／書き込みが必要な場合は、まず RTCC0.CT[2:0] ビットを 010b (1 秒に1回の一定周期割り込み発生) に設定します。その後、RWAIT ビットを1にセットしてから0にセットするまでの処理を完了してから、次の一定周期割り込みを発生させます。

このビットを 1 にした後、カウンタ値の読み書きを実際に行える (RWST = 1) ようになるまで最大で RTCCLK 1 サイクルの時間がかかります。(注1)(注2)

このビットが 1 のときに内部カウンタ (16 ビット) がオーバーフローすると、RWAIT が 0 になった後、カウンタのオーバーフロー状態は保持され、その後カウントアップを続行します。

なお、「秒」カウントレジスタに値を書き込んだ場合、オーバーフロー状態は保持されません。

注 1. RTCC0.RTCE ビットを 1 にした後、RTCCLK が 1 サイクル経過する前に RWAIT ビットに 1 を設定しても、RWST ビットの設定が実際に 1 になるまでには動作クロック (RTCCLK) で最大 2 サイクルの時間が必要になる場合があります。

注 2. スリープモード、ソフトウェアスタンバイモード、またはスヌーズモードから抜けた後、RTCCLK の 1 サイクル以内に RWAIT ビットを 1 にしても、RWST ビットの設定が実際に 1 になるまでには動作クロック (RTCCLK) で最大 2 サイクルの時間が必要になる場合があります。

RWST フラグ (リアルタイムクロックのウェイト状態フラグ)

本フラグは、RWAIT ビットの設定が有効か否かを示します。

カウンタ値の読み書きを行う前に、本フラグの値が 1 であることを確認してください。

RIFG フラグ (固定周期割り込みステータスフラグ)

本フラグは、固定周期割り込みの発生状態を示します。固定周期割り込みが発生すると 1 になります。本フラグは 0 の書き込みによりクリアされます。1 の書き込みは無効です。

WAFG フラグ (アラーム検出ステータスフラグ)

アラームとの一致を検出したことを示すフラグです。有効になるのは WALE が 1 のときだけです。アラームの一致を検出後、RTCCLK クロックの 1 サイクル後に 1 になります。本フラグは 0 の書き込みによりクリアされます。1 の書き込みは無効です。

WALIE ビット (アラーム割り込みの制御 (RTC_ALM_OR_PRD))

このビットはアラーム割り込み (RTC_ALM_OR_PRD) を制御するために使用します。

WALE ビット (アラーム動作制御)

カウントが動作中 (RTCC0.RTCE = 1) かつ WALIE が 1 の場合に値を WALE ビットに設定するときは、RTC_ALM_OR_PRD の割り込み処理を禁止した後 WALE ビットの値を書き換えてください。

そして、WALE ビットを書き換えた後に WAFG フラグをクリアしてください。アラーム関連レジスタ (リアルタイムクロックコントロールレジスタ 1 (RTCC1) の WALIE フラグ、アラーム用「分」レジスタ (ALARMWM)、アラーム用「時」レジスタ (ALARMWH)、アラーム用「曜日」レジスタ (ALARMWW)) のいずれかを設定するときは、WALE ビットを 0 にして一致処理を禁止してください。

20.2.3 SEC : 「秒」カウントレジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x00

Bit position: 7 6 5 4 3 2 1 0

Bit field: — SEC10[2:0] SEC1[3:0]

Value after reset: 0 x x x x x x x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒単位カウント 1 秒ごとに 0 から 9 までカウントします。桁上げが生じると、十の位に 1 が加算されます。	R/W
6:4	SEC10[2:0]	10 秒単位カウント 10 秒単位のカウンタを 0 から 5 まで計 60 秒間行います。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. カウンタ動作中 (RTCC0.RTCE = 1) に本レジスタからの読み出しまたは本レジスタへの書き込みを行う場合は、「20.3.3. リアルタイムクロックのカウンタに対する読み書き」に記載の手順に従ってください。

注. 「秒」カウントレジスタ (SEC) に値を書き込むと内部カウンタ (16 ビット) がクリアされます。

SEC レジスタは、0～59 の値（10 進）で「秒」のカウンタ値を示すレジスタです。内部カウンタ（16 ビット）がオーバーフローするたびに本カウンタの値はカウンタアップします。本レジスタに書き込まれたデータは、いったんバッファに書き込まれた後、RTCCLK クロックの最大 2 サイクル後にカウンタへ書き込まれます。本レジスタには 00～59 の 10 進値を BCD コードで設定してください。本レジスタはリセット信号では初期化されません。

20.2.4 MIN：「分」カウンタレジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			
Value after reset:	0	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分単位カウンタ 1 分ごとに 0 から 9 までカウントします。桁上げが生じると、十の位に 1 が加算されます。	R/W
6:4	MIN10[2:0]	10 分単位カウンタ 10 分単位のカウンタを 0 から 5 まで計 60 分間行います。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: カウンタ動作中 (RTCC0.RTCE = 1) に本レジスタからの読み出しまたは本レジスタへの書き込みを行う場合は、「[20.3.3. リアルタイムクロックのカウンタに対する読み書き](#)」に記載の手順に従ってください。

MIN レジスタは、0～59 の値（10 進）で「分」のカウンタ値を示すレジスタです。このカウンタは、「秒」カウンタがオーバーフローするたびにカウンタアップします。本レジスタに書き込まれたデータは、いったんバッファに書き込まれた後、RTCCLK クロックの最大 2 サイクル後にカウンタへ書き込まれます。本レジスタの書き込み中に「秒」カウンタレジスタがオーバーフローしても、オーバーフローは無視されて本レジスタに値が書き込まれます。本レジスタには 00～59 の 10 進値を BCD コードで設定してください。本レジスタはリセット信号では初期化されません。

20.2.5 HOUR：「時」カウンタレジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	HOUR10[1:0]		HOUR1[3:0]			
Value after reset:	0	0	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HOUR1[3:0]	1 時間単位カウンタ 1 時間ごとに 0 から 9 までカウントします。桁上げが生じると、十の位に 1 が加算されます。	R/W
5:4	HOUR10[1:0]	10 時間単位カウンタ 一の位からの桁上げごとに 3 回、0 から 1 までカウントします。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: RTCC0.AMPM が 0 のとき（12 時間制選択時）HOUR10[1] ビットは、AM（午前）か PM（午後）かを示します。0 は AM、1 は PM を示します。

注: カウンタ動作中 (RTCC0.RTCE = 1) に本レジスタからの読み出しまたは本レジスタへの書き込みを行う場合は、「[20.3.3. リアルタイムクロックのカウンタに対する読み書き](#)」に記載の手順に従ってください。

HOUR レジスタは、00～23 または 01～12、および 21～32 の値（10 進）で「時」のカウンタ値を示すレジスタです。このカウンタは、「分」カウンタがオーバーフローするたびにカウンタアップします。本レジスタに書き込まれたデータは、いったんバッファに書き込まれた後、RTCCLK クロックの最大 2 サイクル後にカウンタへ書き込まれます。本レジスタの書き込み中に「分」カウンタレジスタがオーバーフローしても、オーバーフローは無視されません。

視されて本レジスタに値が書き込まれます。リアルタイムクロックコントロールレジスタ 0 (RTCC0) の AMPM ビットで設定した時間制 (12 時間制 / 24 時間制) に応じて、00~23、01~12、または 21~32 の 10 進値を BCD コードで指定します。RTCC0.AMPM ビットの値が書き換わると、設定した時間制 (12 時間 / 24 時間) に応じて HOUR レジスタの値も変わります。本レジスタはリセット信号では初期化されません。

表 20.3 に、RTCC0.AMPM ビットの設定値、「時」カウントレジスタ (HOUR) の値、および時刻の関係を示します。

表 20.3 「時」の桁に表示される値

24 時間表示 (RTCC0.AMPM = 1)		12 時間表示 (RTCC0.AMPM = 0)	
時間	HOUR レジスタ	時間	HOUR レジスタ
0	0x00	12 a.m.	0x12
1	0x01	1 a.m.	0x01
2	0x02	2 a.m.	0x02
3	0x03	3 a.m.	0x03
4	0x04	4 a.m.	0x04
5	0x05	5 a.m.	0x05
6	0x06	6 a.m.	0x06
7	0x07	7 a.m.	0x07
8	0x08	8 a.m.	0x08
9	0x09	9 a.m.	0x09
10	0x10	10 a.m.	0x10
11	0x11	11 a.m.	0x11
12	0x12	12 p.m.	0x32
13	0x13	1 p.m.	0x21
14	0x14	2 p.m.	0x22
15	0x15	3 p.m.	0x23
16	0x16	4 p.m.	0x24
17	0x17	5 p.m.	0x25
18	0x18	6 p.m.	0x26
19	0x19	7 p.m.	0x27
20	0x20	8 p.m.	0x28
21	0x21	9 p.m.	0x29
22	0x22	10 p.m.	0x30
23	0x23	11 p.m.	0x31

HOUR レジスタの値は RTCC0.AMPM ビットの設定によって変わります。当該ビットが 0 のときは 12 時間表示用の値、1 のときは 24 時間表示用の値となります。12 時間表示では、HOUR10[1] ビットで AM (午前) / PM (午後) の違いを表します。0 は AM を、1 は PM を表します。

20.2.6 DAY: 「日」カウントレジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DAY10[1:0]		DAY1[3:0]			

Value after reset: 0 0 x x x x x x

ビット	シンボル	機能	R/W
3:0	DAY1[3:0]	1 日単位カウント 1 日ごとに 0 から 9 までカウントします。桁上げが生じると、十の位に 1 が加算されます。	R/W
5:4	DAY10[1:0]	10 日単位カウント 一の位からの桁上げごとに 3 回、0 から 1 までカウントします。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: カウンタ動作中 (RTCC0.RTCE = 1) に本レジスタからの読み出しまたは本レジスタへの書き込みを行う場合は、「[20.3.3. リアルタイムクロックのカウンタに対する読み書き](#)」に記載の手順に従ってください。

DAY レジスタは、1～31 の値 (10 進) で「日」のカウント値を示すレジスタです。

このカウンタは、「時」カウンタがオーバーフローするたびにカウントアップします。「日」カウンタによるカウントは以下のように行われます。

- 01～31 (1 月、3 月、5 月、7 月、8 月、10 月、12 月)
- 01～30 (4 月、6 月、9 月、11 月)
- 01～29 (2 月、うるう年)
- 01～28 (2 月、うるう年以外)

本レジスタに書き込まれたデータは、いったんバッファに書き込まれた後、RTCCLK クロックの最大 2 サイクル後にカウンタへ書き込まれます。本レジスタの書き込み中に「時」カウントレジスタがオーバーフローしても、オーバーフローは無視されて本レジスタに値が書き込まれます。本レジスタには 01～31 の範囲の 10 進値を BCD コードで設定してください。

本レジスタはリセット信号では初期化されません。

20.2.7 WEEK: 「曜日」カウントレジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	WEEK[2:0]		
Value after reset:	0	0	0	0	0	x	x	x

ビット	シンボル	機能	R/W
2:0	WEEK[2:0]	曜日カウント 0 0 0: 日曜日 0 0 1: 月曜日 0 1 0: 火曜日 0 1 1: 水曜日 1 0 0: 木曜日 1 0 1: 金曜日 1 1 0: 土曜日 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: 「月」カウントレジスタ (MONTH) または「日」カウントレジスタ (DAY) に対応する値は、「曜日」カウントレジスタ (WEEK) に自動的に格納されません。「曜日」カウントレジスタには設定ごとに書き込んでください。

注: カウンタ動作中 (RTCC0.RTCE = 1) に本レジスタからの読み出しまたは本レジスタへの書き込みを行う場合は、「[20.3.3. リアルタイムクロックのカウンタに対する読み書き](#)」に記載の手順に従ってください。

WEEK レジスタは、0～6 の値 (10 進) で「曜日」のカウント値を示すレジスタです。本レジスタの値は、「日」カウンタと同期してカウントアップします。本レジスタに書き込まれたデータは、いったんバッファに書き込まれた後、RTCCLK クロックの最大 2 サイクル後にカウンタへ書き込まれます。本レジスタには 00～06 の 10 進値を BCD コードで設定してください。本レジスタはリセット信号では初期化されません。

20.2.8 MONTH: 「月」 カウントレジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MONT H10	MONTH1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MONTH1[3:0]	1 か月単位カウント 1 か月ごとに 0 から 9 までカウントします。桁上げが生じると、十の位に 1 が加算されます。	R/W
4	MONTH10	10 か月単位カウント 一の位からの桁上げごとに 1 回、0 から 1 までカウントします。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. カウンタ動作中 (RTCC0.RTCE = 1) に本レジスタからの読み出しまたは本レジスタへの書き込みを行う場合は、「[20.3.3. リアルタイムクロックのカウンタに対する読み書き](#)」に記載の手順に従ってください。

MONTH レジスタは、1～12 の値 (10 進) で「月」のカウント値を示すレジスタです。

このカウンタは、「日」カウンタがオーバーフローするたびにカウントアップします。本レジスタに書き込まれたデータは、いったんバッファに書き込まれた後、RTCCLK クロックの最大 2 サイクル後にカウンタへ書き込まれます。本レジスタの書き込み中に「日」カウントレジスタがオーバーフローしても、オーバーフローは無視されて本レジスタに値が書き込まれます。本レジスタには 01～12 の 10 進値を BCD コードで設定してください。本レジスタはリセット信号では初期化されません。

20.2.9 YEAR: 「年」 カウントレジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	YEAR10[3:0]				YEAR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YEAR1[3:0]	1 年単位カウント 1 年ごとに 0 から 9 までカウントします。桁上げが生じると、十の位に 1 が加算されます。	R/W
7:4	YEAR10[3:0]	10 年単位カウント 一の位からの桁上げごとに 1 回、0 から 1 までカウントします。	R/W

注. カウンタ動作中 (RTCC0.RTCE = 1) に本レジスタからの読み出しまたは本レジスタへの書き込みを行う場合は、「[20.3.3. リアルタイムクロックのカウンタに対する読み書き](#)」に記載の手順に従ってください。

YEAR レジスタは、0～99 の値 (10 進) で「年」のカウント値を示すレジスタです。このカウンタは、「月」カウントレジスタ (MONTH) がオーバーフローするたびにカウントアップします。

00、04、08、...、92、および 96 はうるう年です。本レジスタに書き込まれたデータは、いったんバッファに書き込まれた後、RTCCLK クロックの最大 2 サイクル後にカウンタへ書き込まれます。本レジスタの書き込み中に「月」カウントレジスタがオーバーフローしても、オーバーフローは無視されて本レジスタに値が書き込まれます。本レジスタには 00～99 の範囲の 10 進値を BCD コードで設定してください。本レジスタはリセット信号では初期化されません。

20.2.10 SUBCUD : 時間誤差補正レジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DEV	F6	F[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	F[5:0]	補正值	R/W
6	F6	時間誤差補正值の設定 0: $(F[5:0] - 1) \times 2$ だけ増加 1: $(F[5:0] + 1) \times 2$ だけ減少	R/W
7	DEV	時間誤差補正のタイミング 0: 「秒」の桁が 00、20、および 40 の時に (20 秒ごとに) 時間誤差を補正する。 1: 「秒」の桁が 00 の時だけに (60 秒ごとに) 時間誤差を補正する。	R/W

時間に遅れや進みが生じた時に高精度で補正を行うためのレジスタです。内部カウンタ (16 ビット) から「秒」カウントレジスタ (SEC) へオーバーフローする値を補正します (基準値: 0x7FFF)。

注. 時間誤差補正は 128 Hz 動作モード (RTCC0.RTC128EN = 1) では行えません。RTCC0.RTC128EN ビットが 0 のときにだけ行えます。

F[5:0]ビット (補正值)

プリスケアラの補正值を指定するビットです。

F6 ビット (時間誤差補正值の設定)

(F6, F[5:0]) が *00000*b のとき、時間誤差は補正されません。「*」は 0 または 1 です。

「F[5:0]」は各ビットを反転した値です (例: 111100b の場合、000011b)。

補正值の範囲

- (F6 が 0 のとき) 2、4、6、8、...、120、122、124
- (F6 が 1 のとき) -2、-4、-6、-8、...、-120、-122、-124

DEV ビット (時間誤差補正のタイミング)

下記のタイミングで SUBCUD レジスタに書き込みを行うことは禁止です。

- DEV が 0 の場合: SEC が 0x00、0x20、または 0x40 の時
- DEV が 1 の場合: SEC が 0x00 の時

時間誤差補正レジスタ (SUBCUD) で補正できる値の範囲を [表 20.4](#) に示します。

表 20.4 時間誤差補正レジスタ (SUBCUD) による補正可能範囲

	DEV = 0 (20 秒ごとに補正)	DEV = 1 (60 秒ごとに補正)
補正可能範囲	-189.2 ~ 189.2 ppm	-63.1 ~ 63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

注. 補正可能範囲が -63.1 ppm 以下および 63.1 ppm 以上の場合は、DEV に 0 を設定してください。

20.2.11 ALARMWM : アラーム用「分」レジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	WM10[2:0]			WM1[3:0]			
Value after reset:	0	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	WM1[3:0]	「分」の 1 の位の設定 「分」の 1 の位の値。	R/W
6:4	WM10[2:0]	「分」の 10 の位の設定 「分」の 10 の位の値。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

アラームの「分」の値を設定するレジスタです。本レジスタはリセット信号では初期化されません。

注. 本レジスタには 00~59 の範囲の 10 進値を BCD コードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

20.2.12 ALARMWH : アラーム用「時」レジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	WH10[1:0]		WH1[3:0]			
Value after reset:	0	0	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	WH1[3:0]	「時」の 1 の位の設定 「時」の 1 の位の値。	R/W
5:4	WH10[1:0]	「時」の 10 の位の設定 「時」の 10 の位の値。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. RTCC0.AMPM が 0 のとき (12 時間制選択時) WH10[1] ビットは、AM (午前) か PM (午後) かを示します。0 は AM、1 は PM を示します。

アラームの「時」の値を設定するレジスタです。本レジスタはリセット信号では初期化されません。

注. 本レジスタには 00~23、01~12、または 21~32 の範囲の 10 進値を BCD コードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

20.2.13 ALARMWW : アラーム用「曜日」レジスタ

Base address: RTC = 0x4009_2000

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	WW6	WW5	WW4	WW3	WW2	WW1	WW0
Value after reset:	0	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
0	WW0	アラーム許可設定—日曜日 0: 当該曜日のアラーム設定を禁止する。 1: 当該曜日のアラーム設定を許可する。	R/W
1	WW1	アラーム許可設定—月曜日 0: 当該曜日のアラーム設定を禁止する。 1: 当該曜日のアラーム設定を許可する。	R/W
2	WW2	アラーム許可設定—火曜日 0: 当該曜日のアラーム設定を禁止する。 1: 当該曜日のアラーム設定を許可する。	R/W
3	WW3	アラーム許可設定—水曜日 0: 当該曜日のアラーム設定を禁止する。 1: 当該曜日のアラーム設定を許可する。	R/W
4	WW4	アラーム許可設定—木曜日 0: 当該曜日のアラーム設定を禁止する。 1: 当該曜日のアラーム設定を許可する。	R/W
5	WW5	アラーム許可設定—金曜日 0: 当該曜日のアラーム設定を禁止する。 1: 当該曜日のアラーム設定を許可する。	R/W
6	WW6	アラーム許可設定—土曜日 0: 当該曜日のアラーム設定を禁止する。 1: 当該曜日のアラーム設定を許可する。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

アラームの「曜日」の値を設定するレジスタです。本レジスタはリセット信号では初期化されません。

表 20.5 に、アラームの設定例を示します。

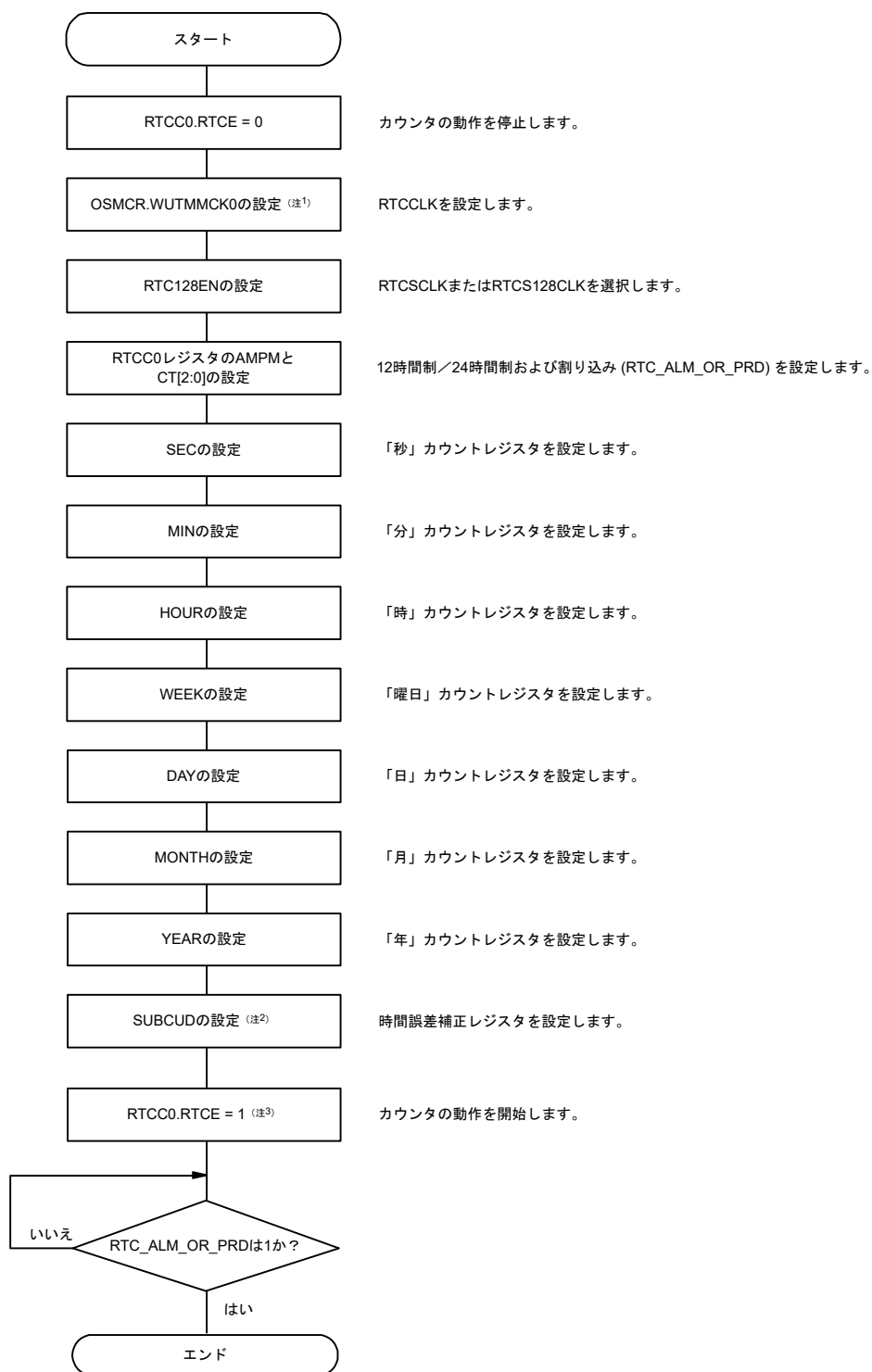
表 20.5 アラームの設定例

アラームの時刻	曜日							12 時間表示				24 時間表示			
	日曜日 WW0	月曜日 WW1	火曜日 WW2	水曜日 WW3	木曜日 WW4	金曜日 WW5	土曜日 WW6	「時」の 10 の位	「時」の 1 の位	「分」の 10 の位	「分」の 1 の位	「時」の 10 の位	「時」の 1 の位	「分」の 10 の位	「分」の 1 の位
毎日、0:00 a.m.	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日、1:30 a.m.	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日、11:59 a.m.	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金曜日、 0:00p.m.	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜日、1:30 p.m.	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月、水、金曜日、 11:59 p.m.	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

20.3 動作

20.3.1 リアルタイムクロックの動作開始

リアルタイムクロックの動作開始手順を図 20.2 に示します。



注. ● RTCCLK : RTC サブクロック

● RTC128CLK : RTC サブ 128 Hz クロック

注 1. 詳細は、「8. クロック発生回路」を参照してください。

注 2. SUBCUD レジスタは、時間誤差の補正が必要な場合にだけ設定してください。補正値の算出方法の詳細については、「20.3.6. リアルタイムクロックによる時間誤差補正例」を参照してください。

RTCC0.RTC128EN ビットが 1 の間は時間誤差補正を使用できません。

注 3. RTCC0.RTCE が 1 になった後、RTC_ALM_OR_PRD が 1 になるのを待たずにスリープモードまたはソフトウェアスタンバイモードに移行する場合は、「20.3.2. 動作開始後のスリープモードまたはソフトウェアスタンバイモードへの遷移」に記載の手順を確認してください。

図 20.2 リアルタイムクロックの動作開始手順

20.3.2 動作開始後のスリープモードまたはソフトウェアスタンバイモードへの遷移

RTCC0.RTCE ビットを 1 にした直後にスリープモードまたはソフトウェアスタンバイモードへ遷移する場合は、次に示す操作のどちらかを実行してください。なお、RTC_ALM_OR_PRD 割り込み発生後にスリープモードまたはソフトウェアスタンバイモードへ遷移する場合はどちらの操作も実行する必要はありません。

- RTCC0.RTCE ビットを 1 にした後に、カウント用クロック (RTCCLK) が 2 サイクル以上経過してからスリープモードまたはソフトウェアスタンバイモードへ遷移する (図 20.3 の「例 1」を参照)。
- RTCC0.RTCE を 1 にしてから RTCC1.RWAIT ビットを 1 にし、その後 RTCC1.RWST ビットのポーリングを行って 1 になったかどうかを確認する。RTCC1.RWAIT を 0 にし、RTCC1.RWST ビットのポーリングを行って 0 になったかどうかを確認した後で、スリープモードまたはソフトウェアスタンバイモードへ遷移する (図 20.3 の「例 2」を参照)。

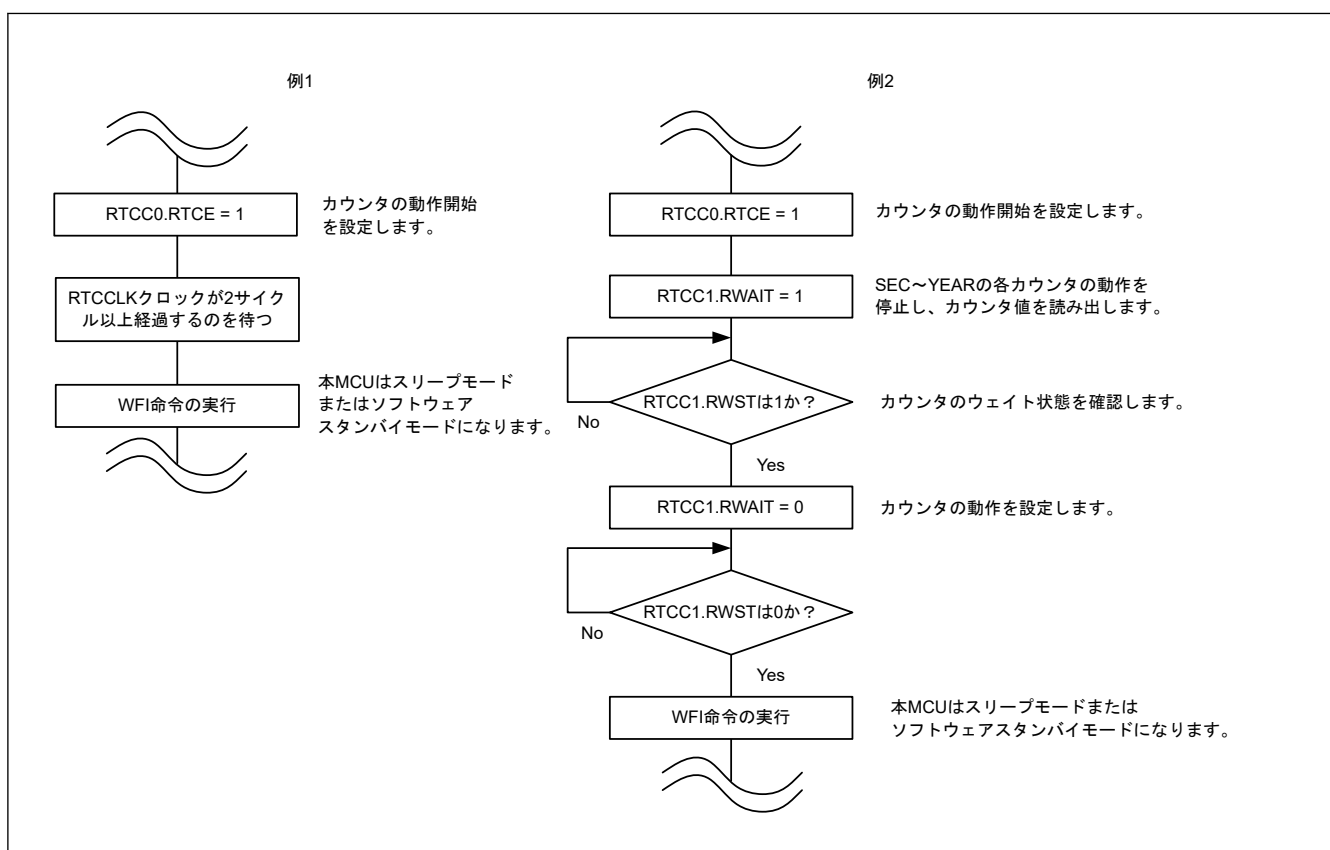


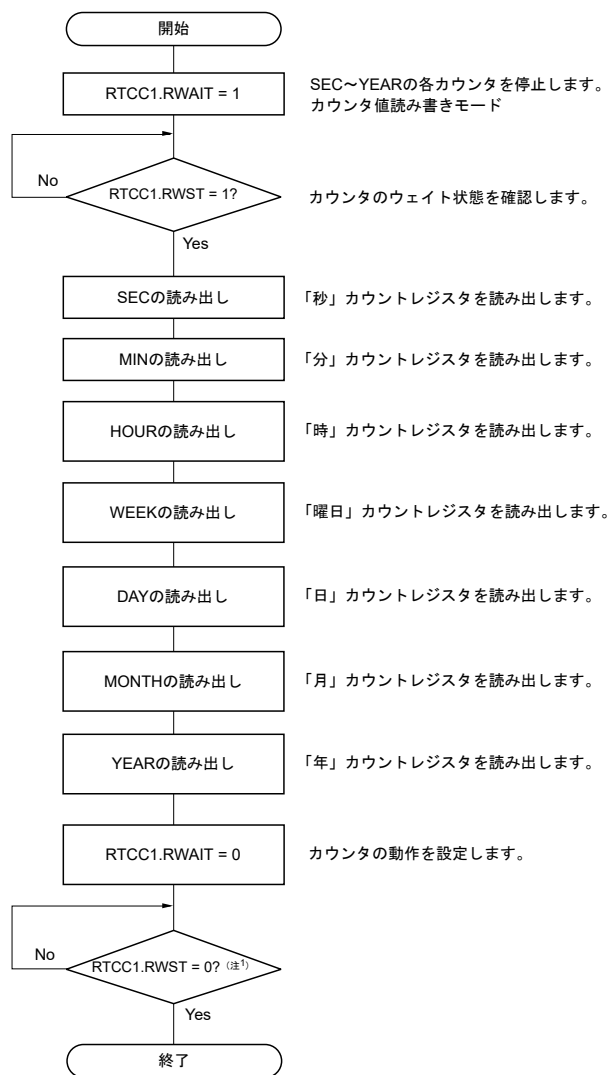
図 20.3 RTCC0.RTCE ビットを 1 にした後にスリープモードまたはソフトウェアスタンバイモードへ遷移する手順

20.3.3 リアルタイムクロックのカウンタに対する読み書き

あらかじめ RTCC1.RWAIT ビットを 1 にしてからカウンタの読み書きを行ってください。

カウンタの読み書きが完了した後は、RTCC1.RWAIT ビットを 0 にしてください。

リアルタイムクロックに対して読み出しを行う時の手順を図 20.4 に示します。



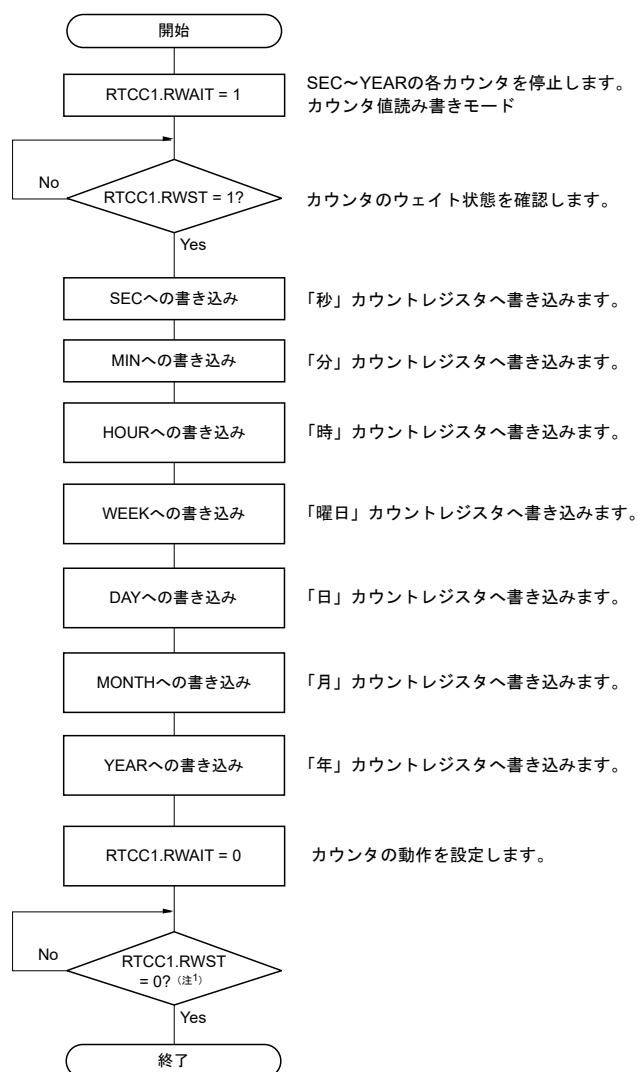
注. RTCC1.RWAIT を 1 にしてから 0 にするまでの一連の処理を 1 秒以内に完了させてください。アラーム割り込み発生が許可されている間にカウンタの読み出し／書き込みが必要な場合は、まず RTCC0.CT[2:0] ビットを 010b (1 秒に 1 回の一定周期割り込み発生) に設定します。その後、RWAIT ビットを 1 にセットしてから 0 にセットするまでの処理を完了してから、次の一定周期割り込みを発生させます。

注. 「秒」カウンタレジスタ (SEC)、「分」カウンタレジスタ (MIN)、「時」カウンタレジスタ (HOUR)、「曜日」カウンタレジスタ (WEEK)、「日」カウンタレジスタ (DAY)、「月」カウンタレジスタ (MONTH)、および「年」カウンタレジスタ (YEAR) から読み出しを行う順序に決まりはありません。すべてのレジスタに読み出しを行う必要はありません。一部のレジスタのみに読み出しを行っても構いません。

注 1. ソフトウェアスタンバイモードに移移する前に、RTCC1.RWST が 0 であることを確認してください。

図 20.4 リアルタイムクロック読み出し手順

リアルタイムクロックに対して書き込みを行う時の手順を図 20.5 に示します。



- 注. RTCC1.RWAIT を 1 にしてから 0 にするまでの一連の処理を 1 秒以内に完了させてください。アラーム割り込み発生が許可されている間にカウンタの読み出し／書き込みが必要な場合は、まず RTCC0.CT[2:0] ビットを 010b (1 秒に 1 回の一定周期割り込み発生) に設定します。その後、RWAIT ビットを 1 にセットしてから 0 にセットするまでの処理を完了してから、次の一定周期割り込みを発生させます。
- 注. カウンタが実行中 (RTCC0.RTCE = 1) の場合に SEC、MIN、HOUR、WEEK、DAY、MONTH、YEAR の各レジスタの値を変更するときは、RTC_ALM_OR_PRD の割り込み処理を禁止してから各レジスタの値を書き換えてください。そして、各レジスタの値を書き換えた後に RTCC1.WAFG フラグと RTCC1.RIFG フラグをクリアしてください。
- 注. 「秒」カウントレジスタ (SEC)、「分」カウントレジスタ (MIN)、「時」カウントレジスタ (HOUR)、「曜日」カウントレジスタ (WEEK)、「日」カウントレジスタ (DAY)、「月」カウントレジスタ (MONTH)、および「年」カウントレジスタ (YEAR) に書き込みを行う順序に決まりはありません。すべてのレジスタを設定する必要はありません。一部のレジスタのみに書き込んで構いません。
- 注 1. ソフトウェアスタンバイモードに移移する前に、RTCC1.RWST が 0 であることを確認してください。

図 20.5 リアルタイムクロック書き込み手順

20.3.4 リアルタイムクロックによるアラーム設定

アラームを設定する前に、まず RTCC1.WALE ビットを 0 に (アラームの動作を禁止) します。

図 20.6 にアラームの処理手順を示します。

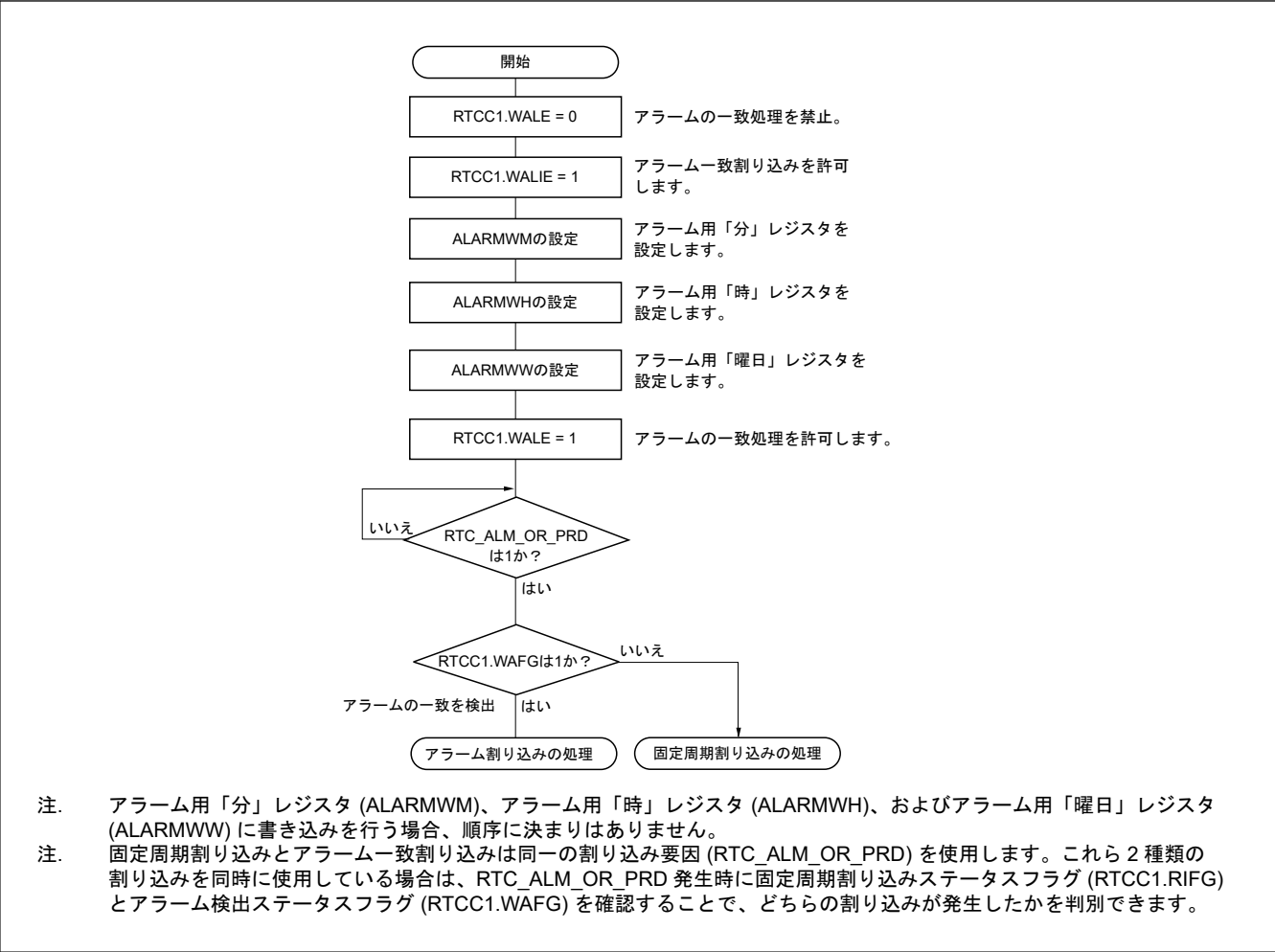


図 20.6 アラームの処理手順

20.3.5 リアルタイムクロックによる 1 Hz 出力

表 20.6 に 1 Hz 出力の設定手順を示します。

表 20.6 1 Hz 出力設定手順

手順	処理	詳細説明
1 Hz 出力設定手順	<1> 1 Hz 出力設定開始	—
	<2> カウンタの動作停止	RTCC0.RTCE ビットを 0 にする。
	<3> ポートの設定	「16. I/O ポート」を参照する。
	<4> RTC1HZ 端子の出力許可	RTCC0.RCLOE1 ビットを 1 にする。
	<5> カウンタの動作開始	RTCC0.RTCE ビットに 1 を設定する。
	<6> RTC1HZ 端子からの出力開始	—

20.3.6 リアルタイムクロックによる時間誤差補正例

時間に誤差が生じたときは、時間誤差補正レジスタで高精度に補正をすることができます。

(1) 補正値の計算例

内部カウンタ（16 ビット）のカウント値を補正するときに使用する補正値は以下に示す式で求めます。

補正範囲が-63.1 ppm 以下または 63.1 ppm 以上の場合は SUBCUD.DEV ビットを 0 にしてください。

(SUBCUD.DEV = 0 の場合)

補正値^(注1) ^(注2) = 1 分間の補正カウント数 ÷ 3 = (発振周波数^(注3) ÷ 目標周波数^(注4) - 1) × 32768 × 60 ÷ 3

(SUBCUD.DEV = 1 の場合)

補正值^(注1)(^{注2}) = 1 分間の補正カウント数 = (発振周波数^(注3) ÷ 目標周波数^(注4) - 1) × 32768 × 60

注 1. 時間誤差補正レジスタ (SUBCUD) の F6 ビットおよび F[5:0] ビットを使用して算出した時間誤差補正値が補正値となります。

(SUBCUD.F6 = 0 の時) 補正値 = (F[5:0] - 1) × 2

(SUBCUD.F6 = 1 の時) 補正値 = -(F[5:0] + 1) × 2

(SUBCUD.F6, F[5:0] = *00000*b の時) 時間誤差補正は行われません。「*」は 0 または 1 です。

「F[5:0]」はビット反転値 (例: 111100b の場合は 000011b)。

注 2. 補正値は、2、4、6、8、... 120、122、124 または -2、-4、-6、-8、... -120、-122、-124。

注 3. カウントクロック (RTCCLK) の周波数が発振周波数となります。時間誤差補正レジスタの設定が初期値 (0x00) の場合、「RTC1HZ 端子の出力周波数 × 32768」で算出できます。

注 4. 時間誤差補正レジスタを使用した補正によって得られた周波数が目標周波数です。

(2) 補正例

32767.4 Hz から 32768 Hz への補正例 (32767.4 Hz + 18.3 ppm)

[発振周波数の測定]

各製品の発振周波数^(注1)を測定する際に、時間誤差補正レジスタ (SUBCUD) の設定が初期値 (0x00) の場合は、約 1 Hz の信号を RTC1HZ 端子から出力することができます。

注 1. RTC1HZ 端子から約 1 Hz の信号を出力する場合の設定手順については「[20.3.5. リアルタイムクロックによる 1 Hz 出力](#)」を参照してください。

[補正値の計算]

RTC1HZ 端子からの出力周波数が 0.9999817 Hz の場合

発振周波数 = 32768 × 0.9999817 ≈ 32767.4 Hz

目標周波数が 32768 Hz の場合 (32767.4 Hz + 18.3 ppm)、SUBCUD.DEV ビットを 1 に設定してください。この場合、SUBCUD.DEV が 1 の場合の補正値計算式が適用されます。

補正値

= 1 分間カウントしたときの補正誤差

= (発振周波数 ÷ 目標周波数 - 1) × 32768 × 60

= (32767.4 ÷ 32768 - 1) × 32768 × 60

= -36

[(SUBCUD.F6, F[5:0]) に設定する値の算出]

補正値が -36 の場合

補正値が 0 以下の場合 (クロックに進みが生じている場合) は SUBCUD.F6 ビットを 0 に設定します。補正値から SUBCUD.F[5:0] ビットを算出します。

-(F[5:0] + 1) × 2 = -36

/F[5:0] = 17

/F[5:0] = 010001b

F[5:0] = 101110b

したがって、32767.4 Hz から 32768 Hz (32767.4 Hz + 18.3 ppm) に補正する場合は、SUBCUD.DEV ビットが 1 で、補正値が -36 ((SUBCUD.F6, F[5:0]) = 1101110b) となるように補正レジスタを設定すると、希望通り 32768 Hz (誤差 0 ppm) の周波数が得られます。

図 20.7 に、(SUBCUD.DEV, F6, F[5:0]) の値が 1101110b の場合の補正動作を示します。

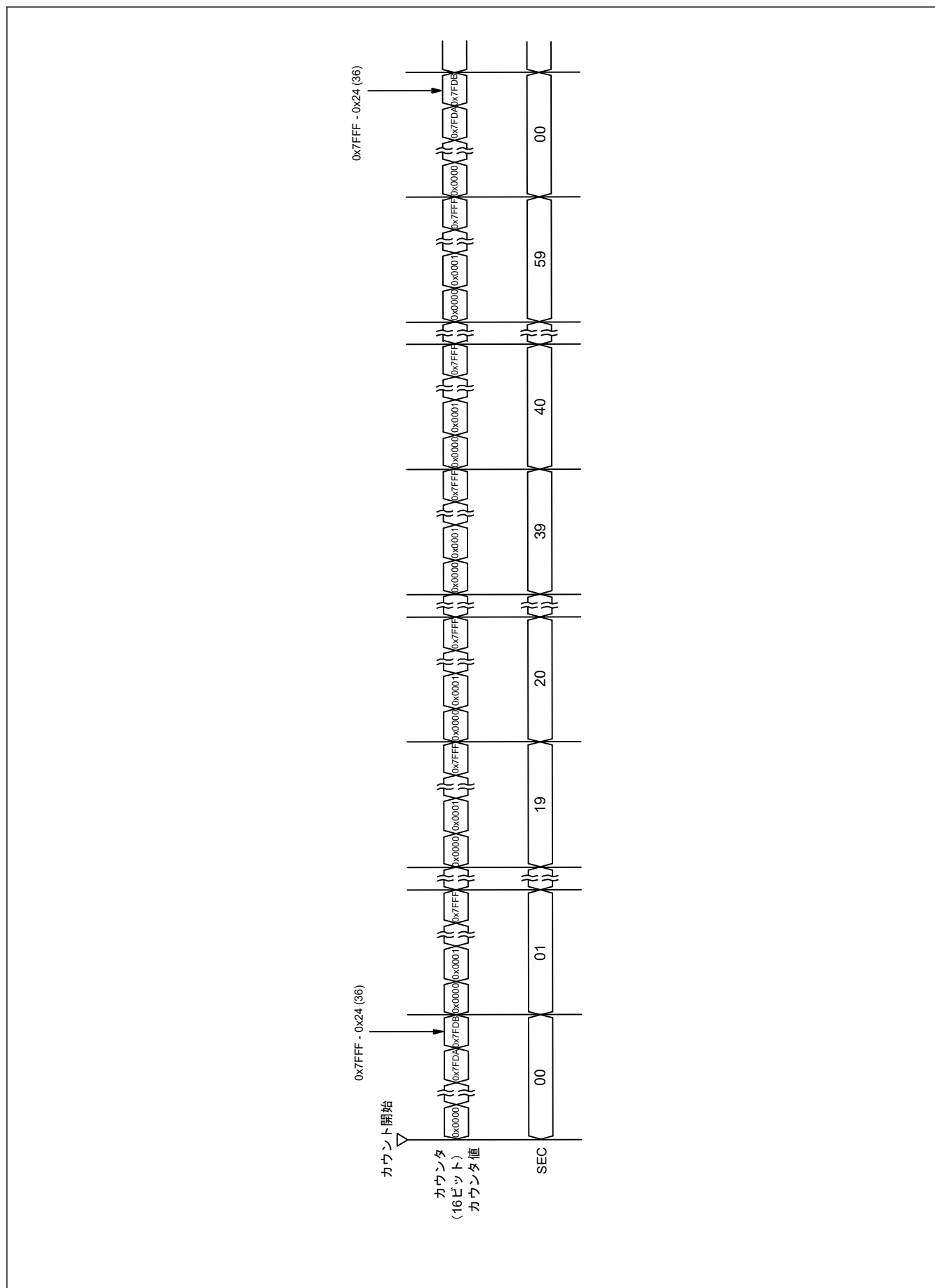


図 20.7 (SUBCUD.DEV, F6, F[5:0]) の値が (11101110b) の場合の補正動作

21. ウォッチドッグタイマ (WDT)

21.1 概要

ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットするのに使用できます。さらに、WDT はノンマスカブル割り込みまたはアンダーフロー割り込みを発生させるのに使用できます。

表 21.1 に WDT の仕様を、図 21.1 に WDT のブロック図を示します。

表 21.1 WDT の仕様

項目	内容
カウントソース(注1)	周辺クロック (PCLKB)
クロック分周比	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	- オートスタートモード: リセット後、またはアンダーフロー/リフレッシュエラー発生後に自動的にカウント開始 - レジスタスタートモード: WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始
カウント停止条件	- リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) - カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット要因	- ダウンカウンタのアンダーフロー - リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	- ダウンカウンタのアンダーフロー - リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能 (出力)	- ダウンカウンタアンダーフローイベント出力 - リフレッシュエラーイベント出力
出力信号 (内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力

注 1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後周波数) となるように設定してください。

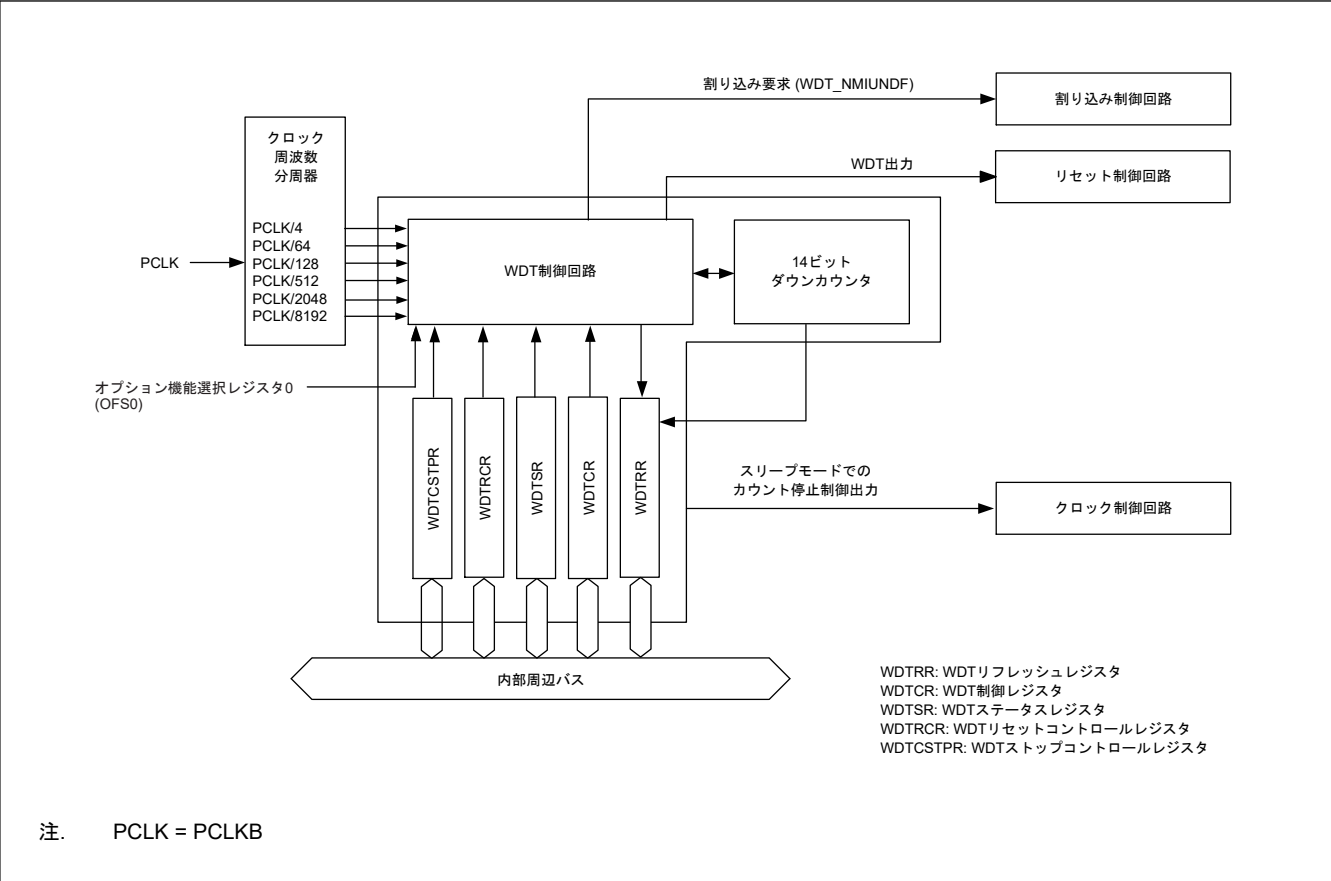


図 21.1 WDT のブロック図

21.2 レジスタの説明

21.2.1 WDTRR : WDT リフレッシュレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x00

Bit position: 7 0

Bit field: []

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定した値からダウンカウンタがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウンタがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「21.3.3. リフレッシュ動作」を参照してください。

21.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]			—		—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0x1: PCLKB/4 0x4: PCLKB/64 0xF: PCLKB/128 0x6: PCLKB/512 0x7: PCLKB/2048 0x8: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0% (ウィンドウ終了位置の設定なし)	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100% (ウィンドウ開始位置の設定なし)	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は「[21.3.2. WDTCR、WDTRCR、および WDTCSSTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「[21.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

TOPS[1:0]ビット (タイムアウト期間選択)

TOPS[1:0]ビットはタイムアウト期間 (ダウンカウンタがアンダーフローするまでの期間) を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／4096 サイクル／8192 サイクル／16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間 (PCLKB サイクル数) は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 21.2 に、CKS[3:0]ビットと TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 21.2 タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間 (サイクル数)	PCLKB クロックサイクル
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

CKS[3:0]ビット（クロック分周比選択）

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、PCLKB クロックの 4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周から選択できます。TOPS[1:0]ビットの設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096～134217728 サイクルから選択できます。

RPES[1:0]ビット（ウィンドウ終了位置選択）

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

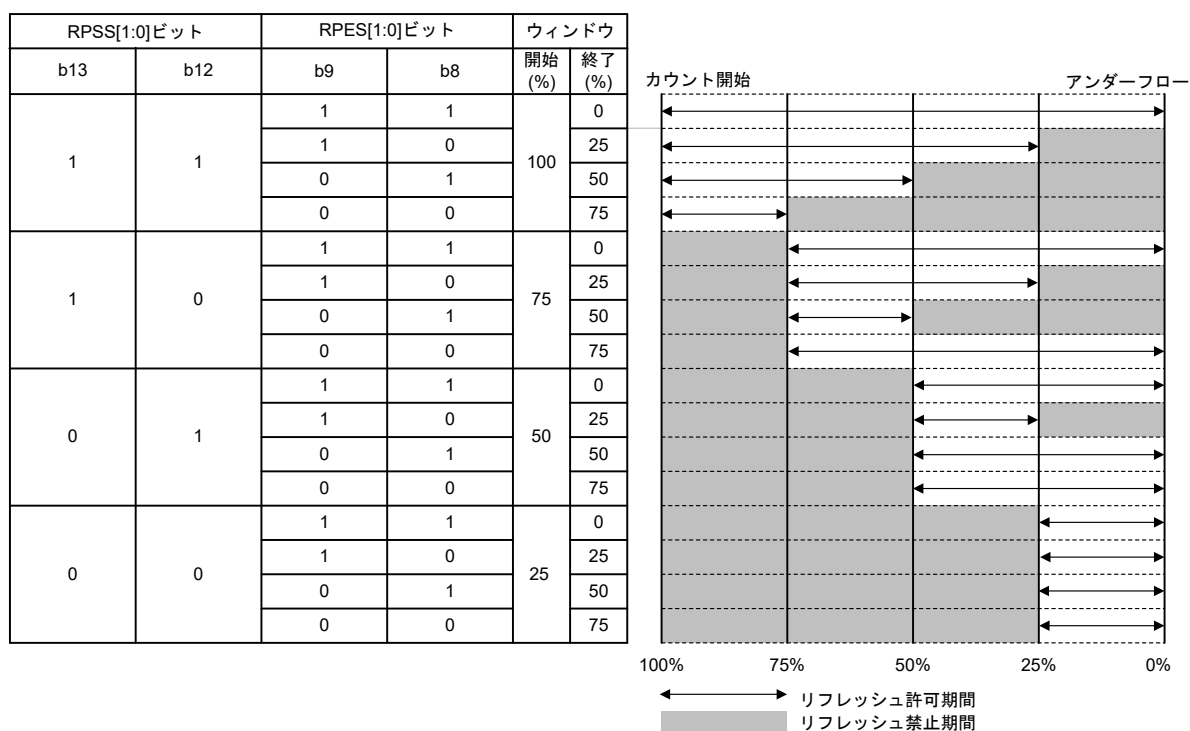
RPSS[1:0]ビット（ウィンドウ開始位置選択）

RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

表 21.3 にウィンドウ開始、終了位置のカウント値を、図 21.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 21.3 タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0] ビット	タイムアウト期間		ウィンドウ開始／終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF



注. ウィンドウ終了位置設定 $\geq$ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 21.2 RPSS[1:0]および RPES[1:0]ビットとリフレッシュ許可期間

21.2.3 WDTSR : WDT ステータスレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x04

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: REFE F UNDF F CNTVAL[13:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)

ビット	シンボル	機能	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウント値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット (ダウンカウンタ値)

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFE フラグ (アンダーフローフラグ)

UNDFE フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFE フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、アンダーフローの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

REFEF フラグ (リフレッシュエラーフラグ)

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。本フラグは禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、PCLKB クロックの N+1 サイクルを要します。また、リフレッシュエラーの発生から PCLKB クロックの N+1 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

21.2.4 WDTSCR : WDT リセットコントロールレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIR QS	—	—	—	—	—	—	—

Value after reset: 1 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「[21.3.2. WDTCR、WDTRCR、および WDTCSNTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「[21.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

21.2.5 WDTCSNTPR : WDT カウント停止コントロールレジスタ

Base address: WDT = 0x4004_4200

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCS TP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SLCSNTP	スリープモードカウント停止コントロールレジスタ 0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSNTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。

WDTCSNTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「[21.3.2. WDTCR、WDTRCR、および WDTCSNTPR レジスタへの書き込み制御](#)」を参照してください。

オートスタートモードの場合、WDTCSNTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSNTPR レジスタと同様の設定が可能です。詳細は、「[21.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

SLCSNTP ビット (スリープモードカウント停止コントロールレジスタ)

SLCSNTP ビットは、スリープモード遷移時に、カウントを停止させるかどうかを選択します。

21.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細は、「[21.3.8. オプション機能選択レジスタ 0 \(OFS0\) と WDT のレジスタの対応関係](#)」を参照してください。

21.3 動作説明

21.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) の設定値が有効となります。

21.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタが無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSPTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

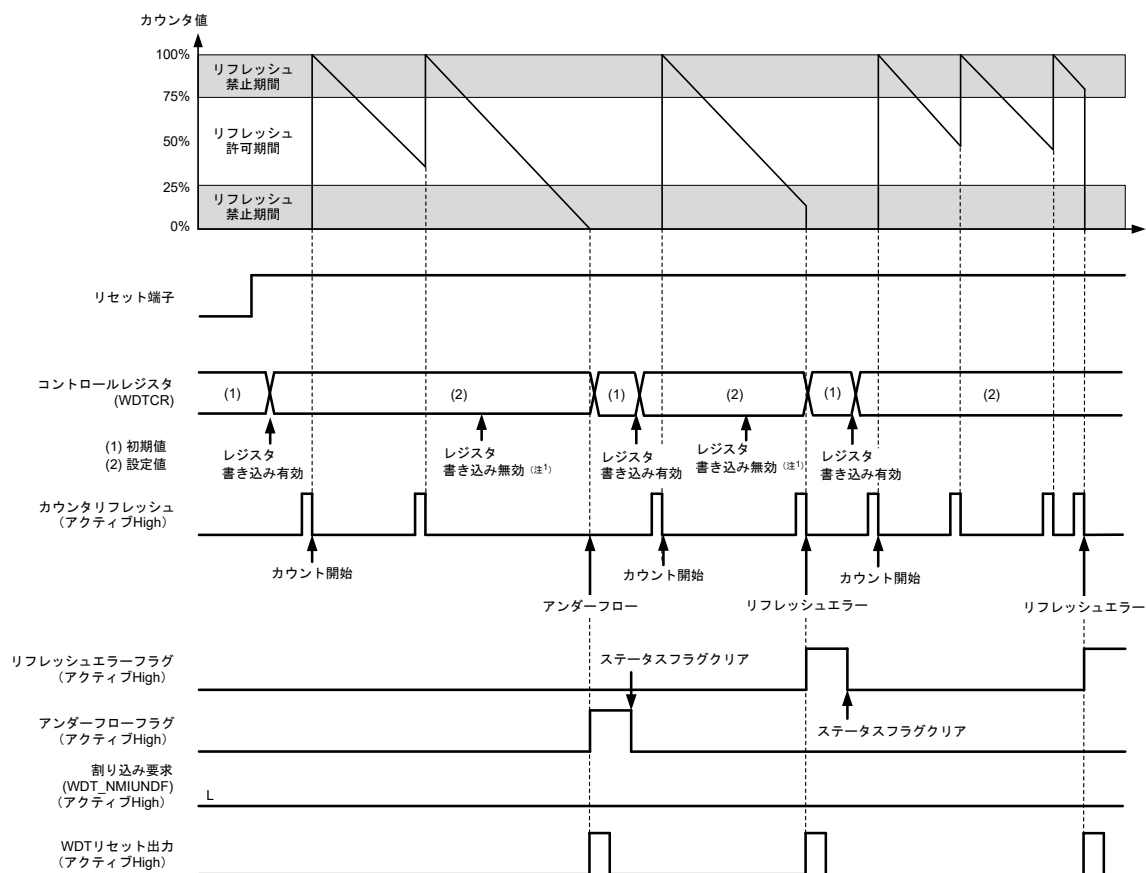
- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始／終了位置
- WDTCR レジスタにおいて、タイムアウト期間
- WDTRCR レジスタにおいて、リセット出力または割り込み要求出力
- スリープモード遷移時の WDTCSPTPR レジスタによるカウンタ停止制御

WDT リフレッシュレジスタ (WDTRR) がダウンカウンタをリフレッシュします。結果として、タイムアウト期間選択ビット (WDTCR.TOPPS[1:0]) で設定した値からダウンカウンタを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウンタを継続します。カウンタが継続する間、WDT はリセット信号またはノンマスクابل割り込み要求／割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュが不可能になったか、あるいはリフレッシュ許可期間外のリフレッシュによってリフレッシュエラーが発生したため、ダウンカウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスクابل割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット (WDTRCR.RSTIRQS) で行います。NMI を動作させるために許可された割り込みは、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 21.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注 1. 「21.3.2. WDTCLR、WDTRCR、および WDTCTPR レジスタへの書き込み制御」を参照してください。
リセット端子 = RES

図 21.3 レジスタスタートモードでの動作例

21.3.1.2 オートスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウント停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウンタが継続する間、WDT はリセット信号またはノンマス

カブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュが不可能になったか、あるいはリフレッシュ許可期間外のリフレッシュによってリフレッシュエラーが発生したため、カウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) をアサートします。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を設定することにより選択できます。ノンマスカブル割り込み要求または割り込み要求は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 21.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)

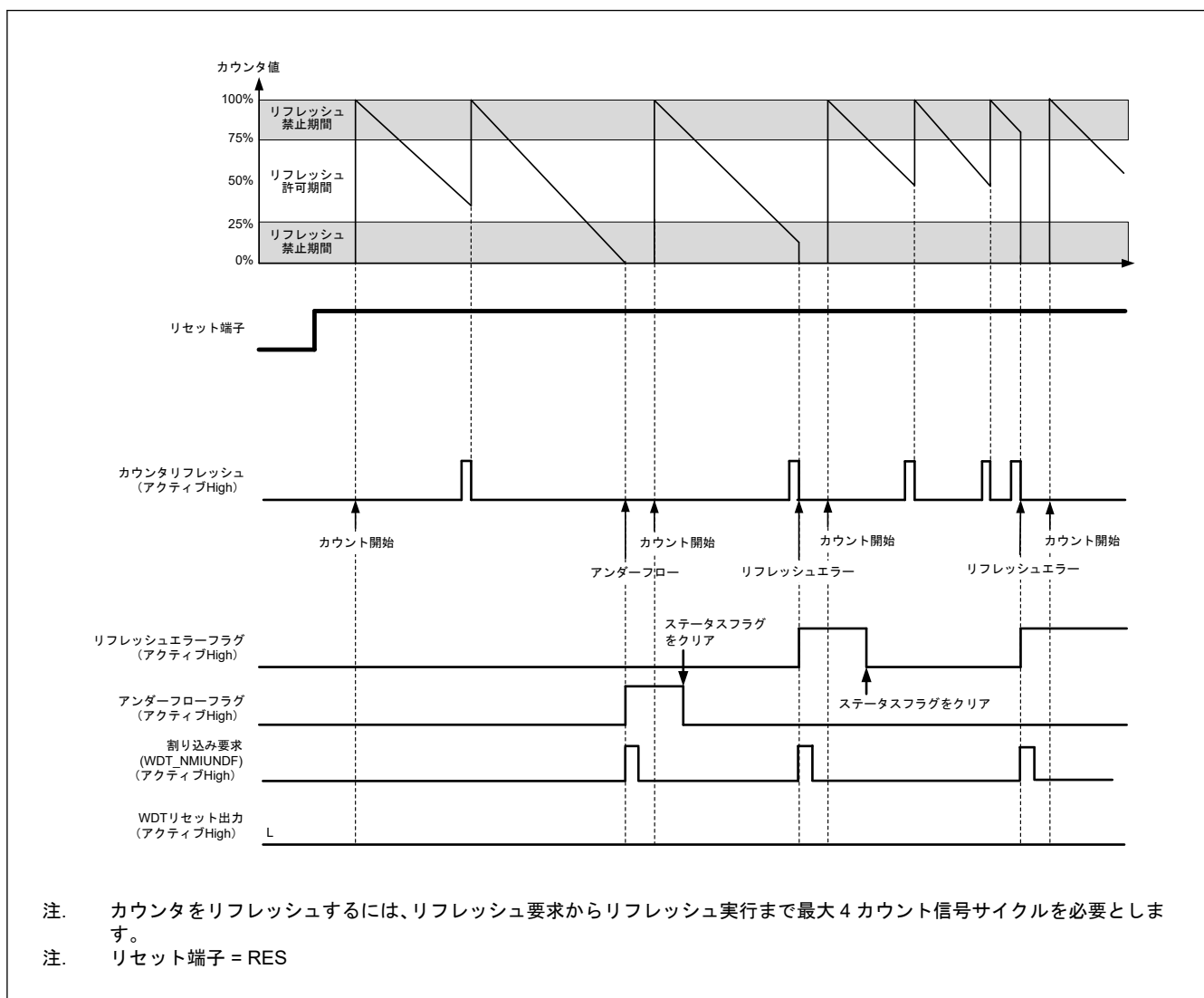


図 21.4 オートスタートモードでの動作例

21.3.2 WDTCR、WDTRCR、および WDTCSNPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSNPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ (カウントスタート) 後、あるいは WDTCR、WDTRCR、または WDTCSNPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSNPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 21.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

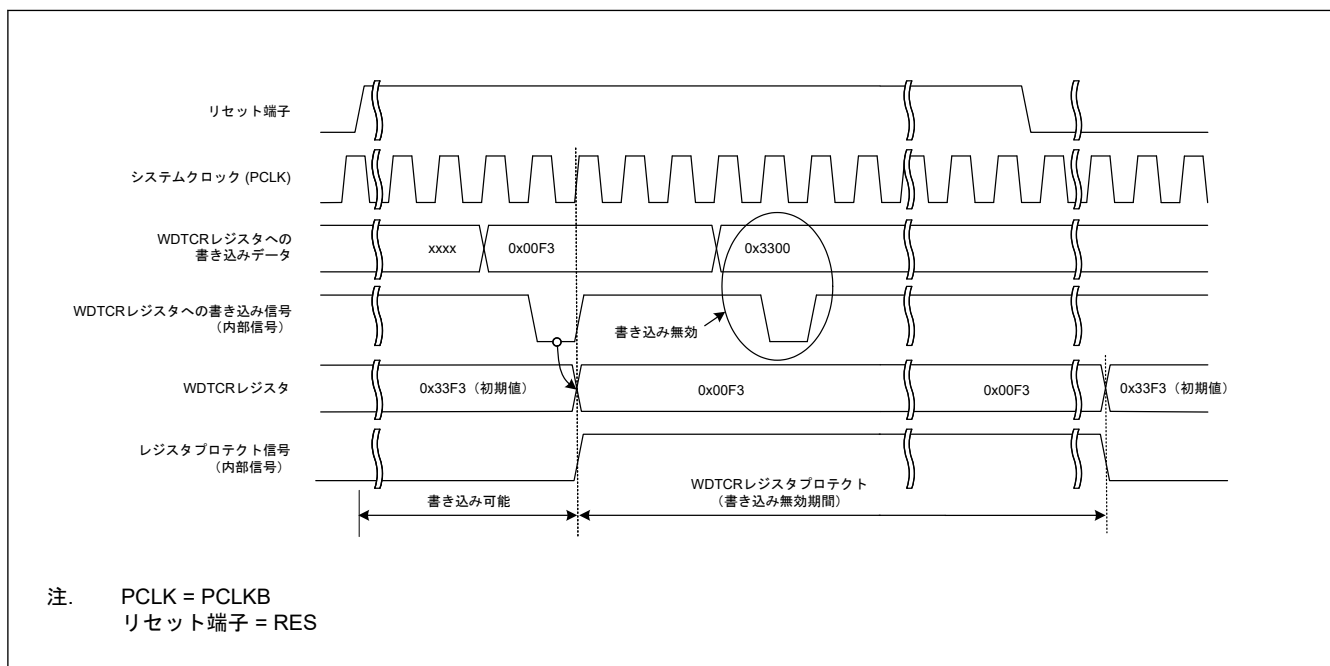


図 21.5 WDTCR レジスタへの書き込みに対して生成される制御波形

21.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ (WDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF
- 0x00 → 別レジスタへのアクセスまたは WDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23 (0x00 以外の値) → 0xFF
- 0x00 → 0x54 (0xFF 以外の値)
- 0x00 → 0xAA (0x00 および 0xFF 以外の値) → 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウンタ信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 21.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

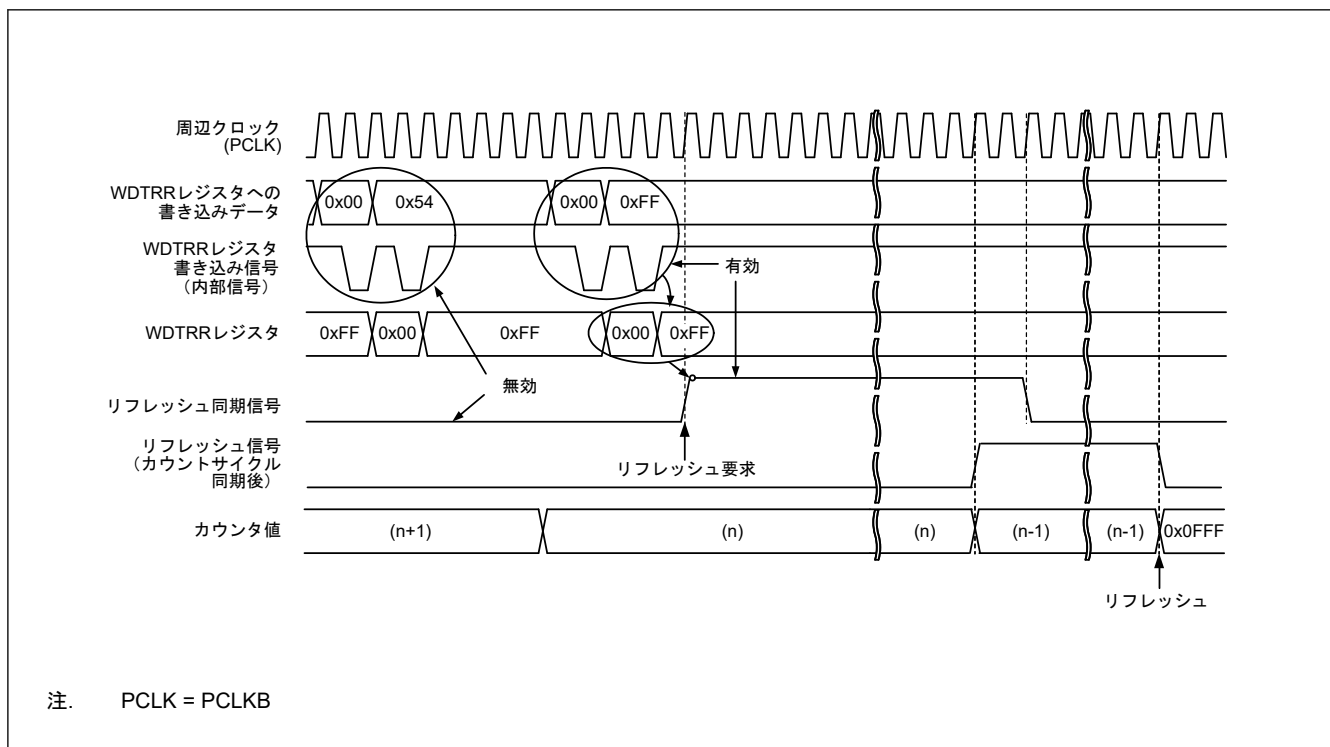


図 21.6 WDT リフレッシュ動作波形 (WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合)

注: リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

21.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしておいても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていなければ、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「21.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

21.3.5 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され (全ビットが 0 になり)、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

21.3.6 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット

(OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (WDT_NMIUNDF) が発生します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「[12. 割り込みコントローラユニット \(ICU\)](#)」を参照してください。

表 21.4 WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DTC の起動
WDT_NMIUNDF	- ダウンカウンタのアンダーフロー - リフレッシュエラー	可能	不可能

21.3.7 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウンタから 1 カウントずれる場合があります。

図 21.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

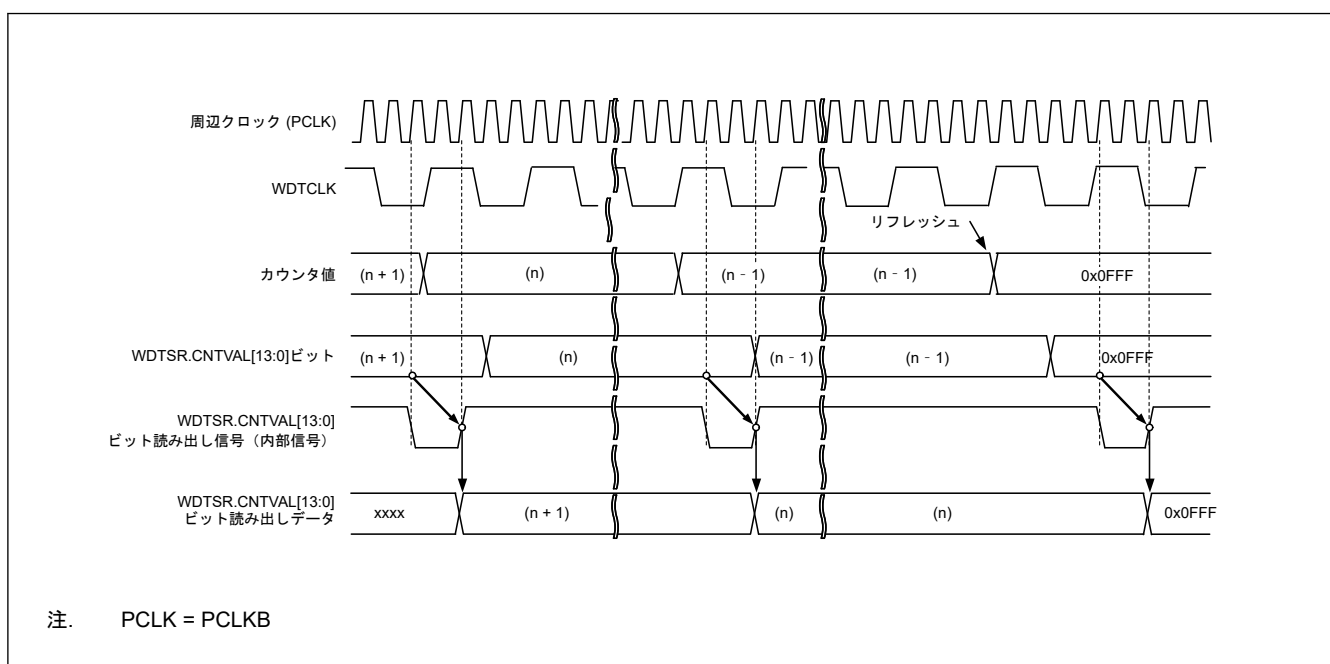


図 21.7 WDT ダウンカウンタ値の読み出し処理 (WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合)

21.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

表 21.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。オプション機能選択レジスタ 0 (OFS0) の詳細については、「[6.2.1. OFS0: オプション機能選択レジスタ 0](#)」を参照してください。

表 21.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (1/2)

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDSTRT = 0	WDT のレジスタ (レジスタスタートモードで有効) OFS0.WDSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTPOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]

表 21.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 (2/2)

制御対象	機能	OFS0 レジスタ (オートスタートモードで有効) OFS0.WDTSTRT = 0	WDT のレジスタ (レジスタスタートモードで有効) OFS0.WDTSTRT = 1
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSR.SLCSTP

21.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT はあらかじめ設定したモジュールに対して、リンク動作が可能です。イベント信号はカウンタのアンダーフローとリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「[15. イベントリンクコントローラ \(ELC\)](#)」を参照してください。

21.5 使用上の注意事項

21.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセット割り込み要求選択ビットをリセット (OFS0.WDTRSTIRQS = 1 または WDTRCR.RSTIRQS = 1) した場合、またはイベントリンク動作を許可 (ELSRn.ELS[7:0] = 0x12) にした場合、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x06 を設定することは禁止されています。

22. 独立ウォッチドッグタイマ (IWDT)

22.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、カウンタのアンダーフローを防止するために定期的に点検する必要があります。IWDT には、MCU をリセットする機能やノンマスカブル割り込みまたはアンダーフロー割り込みを発生させる機能があります。このタイマは独立した専用クロックソースで動作するため、システム暴走時にフェイル-セーフメカニズムとして、MCU を既知の状態に復帰させる際に特に有用です。IWDT は、レジスタのリセット、アンダーフロー、リフレッシュエラー、またはカウント値のリフレッシュにより自動的にトリガできます。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) を分周したものを使用 (PCLKB の影響を受けない)
- IWDT はレジスタスタートモードを非サポート

表 22.1 に IWDT の仕様を、図 22.1 に IWDT のブロック図を示します。

表 22.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	● リセット後、自動的にカウント開始
カウント停止条件	● リセット (ダウンカウンタおよび他のレジスタが初期値に戻る) ● カウンタのアンダーフローまたはリフレッシュエラー発生時自動的にカウント再開
ウィンドウ機能	ウィンドウ開始 / 終了位置を設定可能 (リフレッシュ許可 / 禁止期間)
独立ウォッチドッグタイマリセット要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
ノンマスカブル割り込み / 割り込み要因	● ダウンカウンタのアンダーフロー ● リフレッシュ許可期間外でのリフレッシュ動作 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能	● ダウンカウンタアンダーフローイベント出力 ● リフレッシュエラーイベント出力
出力信号 (内部信号)	● リセット出力 ● 割り込み要求出力 ● スリープモードカウント停止制御出力
オートスタートモード	以下のトリガに対して設定可能 : ● リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) ● 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) ● 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット) ● 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) ● リセット出力または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) ● スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択 (OFS0.IWDTSTPCTL ビット)

注 1. 周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウントクロックソースの分周後の周波数) となるように設定してください。

バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

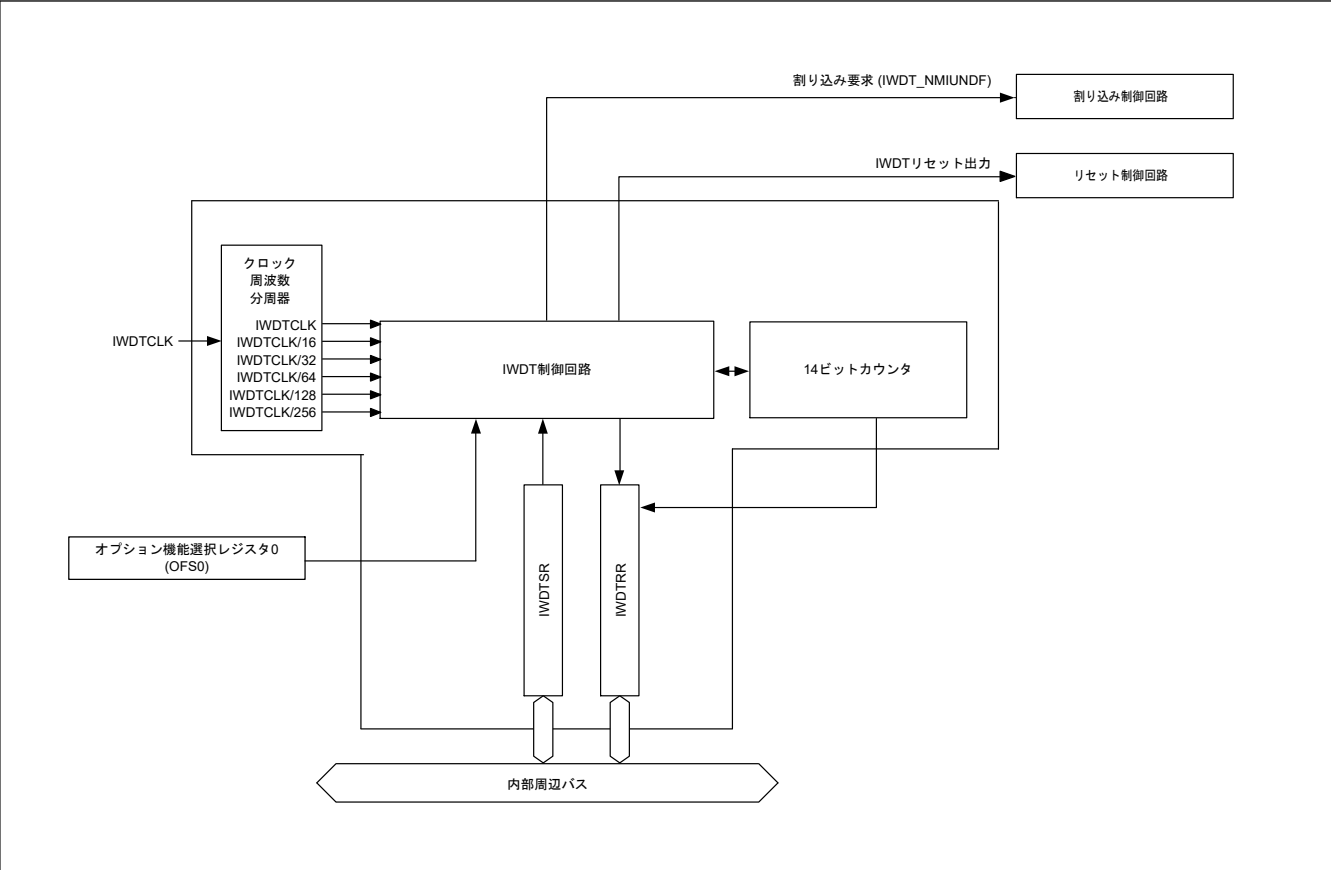


図 22.1 IWDT のブロック図

22.2 レジスタの説明

22.2.1 IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4004_4400

Offset address: 0x00

Bit position: 7 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「22.3.2. リフレッシュ動作」を参照してください。

22.2.2 IWDTSR : IWDТ ステータスレジスタ

Base address: IWDТ = 0x4004_4400

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFE F	UNDF F	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウント値	R
14	UNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFE	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

IWDTSR レジスタは、ダウンカウンタのカウント値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット (ダウンカウンタ値)

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDF フラグ (アンダーフローフラグ)

UNDF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDF フラグのクリアには、IWDТCLK クロックの N+2 サイクルと PCLKB クロックの 2 サイクルを要します。また、アンダーフローの発生から IWDТCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、IWDТCKS[3:0]ビットで指定されます。

- OFS0.IWDТCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDТCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDТCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDТCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDТCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDТCKS[3:0] = 0x5 の時、N = 256

REFE フラグ (リフレッシュエラーフラグ)

REFE フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFE フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFE フラグのクリアには、IWDТCLK クロックの N+2 サイクルと PCLKB クロックの 2 サイクルを要します。また、リフレッシュエラーの発生から IWDТCLK クロックの N+2 サイクルの間は、このフラグをクリアする動作は無視されます。N は以下のように、IWDТCKS[3:0]ビットで指定されます。

- OFS0.IWDТCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDТCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDТCKS[3:0] = 0x3 の時、N = 32

- OFS0.IWDТCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDТCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDТCKS[3:0] = 0x5 の時、N = 256

22.2.3 OFS0 : オプション機能選択レジスタ 0

オプション機能選択レジスタ 0 (OFS0) の詳細は、「[6.2.1. OFS0 : オプション機能選択レジスタ 0](#)」を参照してください。

IWDТТОPS[1:0]ビット (IWDТ タイムアウト期間選択)

IWDТТОPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、IWDТCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（IWDТCLK サイクル数）は、IWDТCKS[3:0]ビットと IWDТТОPS[1:0]ビットの組み合わせで決定されます。

表 22.2 に、IWDТCKS[3:0]および IWDТТОPS[1:0]ビットの設定値、タイムアウト期間、および IWDТCLK サイクル数の関係を示します。

表 22.2 タイムアウト期間の設定

IWDТCKS[3:0]ビット				IWDТТОPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDТCLK サイクル数
b7	b6	b5	b4	b3	b2			
0	0	0	0	0	0	IWDТCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDТCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDТCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDТCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDТCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDТCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDТCKS[3:0]ビット (IWDТ 専用クロック分周比選択)

IWDТCKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDТ 専用クロック (IWDТCLK) の 1 分周/16 分周/32 分周/64 分周/128 分周/256 分周から選択できます。IWDТTOPS[1:0] ビット設定と組み合わせて、IWDТ のカウント期間を IWDТCLK の 128~524288 サイクルから選択できます。

IWDТRPES[1:0]ビット (IWDТ ウィンドウ終了位置選択)

IWDТRPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

IWDТRPSS[1:0]ビット (IWDТ ウィンドウ開始位置選択)

IWDТRPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

ウィンドウ開始、終了位置のカウント値を表 22.3 に、IWDТRPSS[1:0]、IWDТRPES[1:0]、IWDТTOPS[1:0]ビットで設定されるリフレッシュ許可期間を図 22.2 に示します。

表 22.3 タイムアウト期間とウィンドウ開始/終了カウンタ値の対応表

IWDТTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始/終了カウンタ値			
b3	b2	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

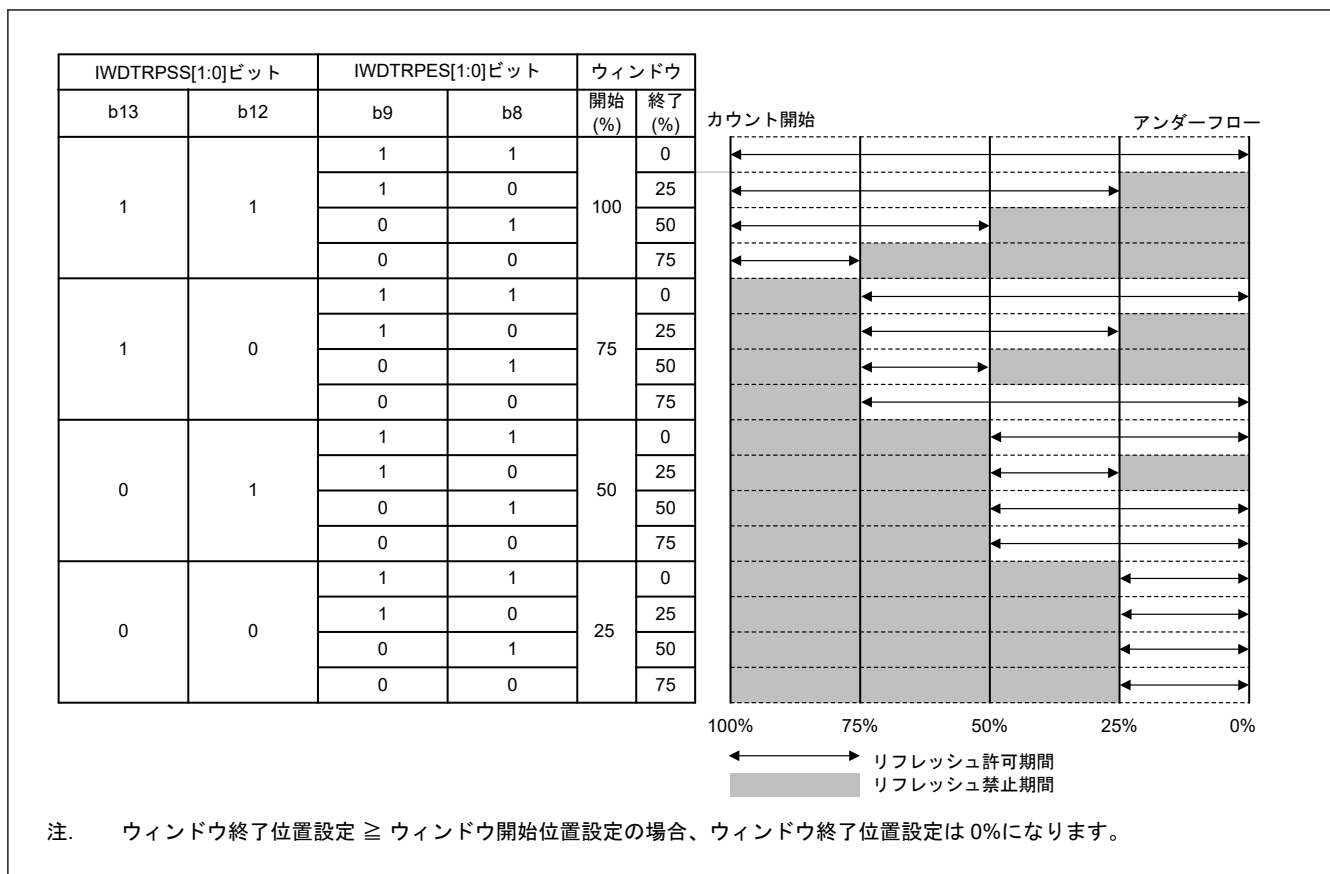


図 22.2 IWDRPSS[1:0]および IWDTRPES[1:0]ビットとリフレッシュ許可期間

IWDRSTRQRS ビット (IWDT リセット割り込み要求選択)

IWDRSTRQRS ビットは、アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、割り込みが選択されます。

IWDTSTPCTL ビット (IWDT 停止制御)

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

22.3 動作説明

22.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。OFS0.IWDTSTRT ビットが 1 の場合、リセット後の IWDT は停止状態です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比 (OFS0.IWDTCKS[3:0])
- ウィンドウ開始および終了位置 (OFS0.IWDRPSS[1:0]、OFS0.IWDTRPES[1:0])
- タイムアウト期間 (OFS0.IWDTTOPS[1:0])
- リセット出力または割り込み要求 (OFS0.IWDRSTRQRS)

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。プログラムの暴走によりダウンカウンタのリフレッシュが行われず、ダウンカ

ウンタのアンダーフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求または割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントを開始します。リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で選択できます。

図 22.3 に、下記の条件下での動作例（ノンマスカブル割り込み）を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作選択：割り込み (OFS0.IWDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)

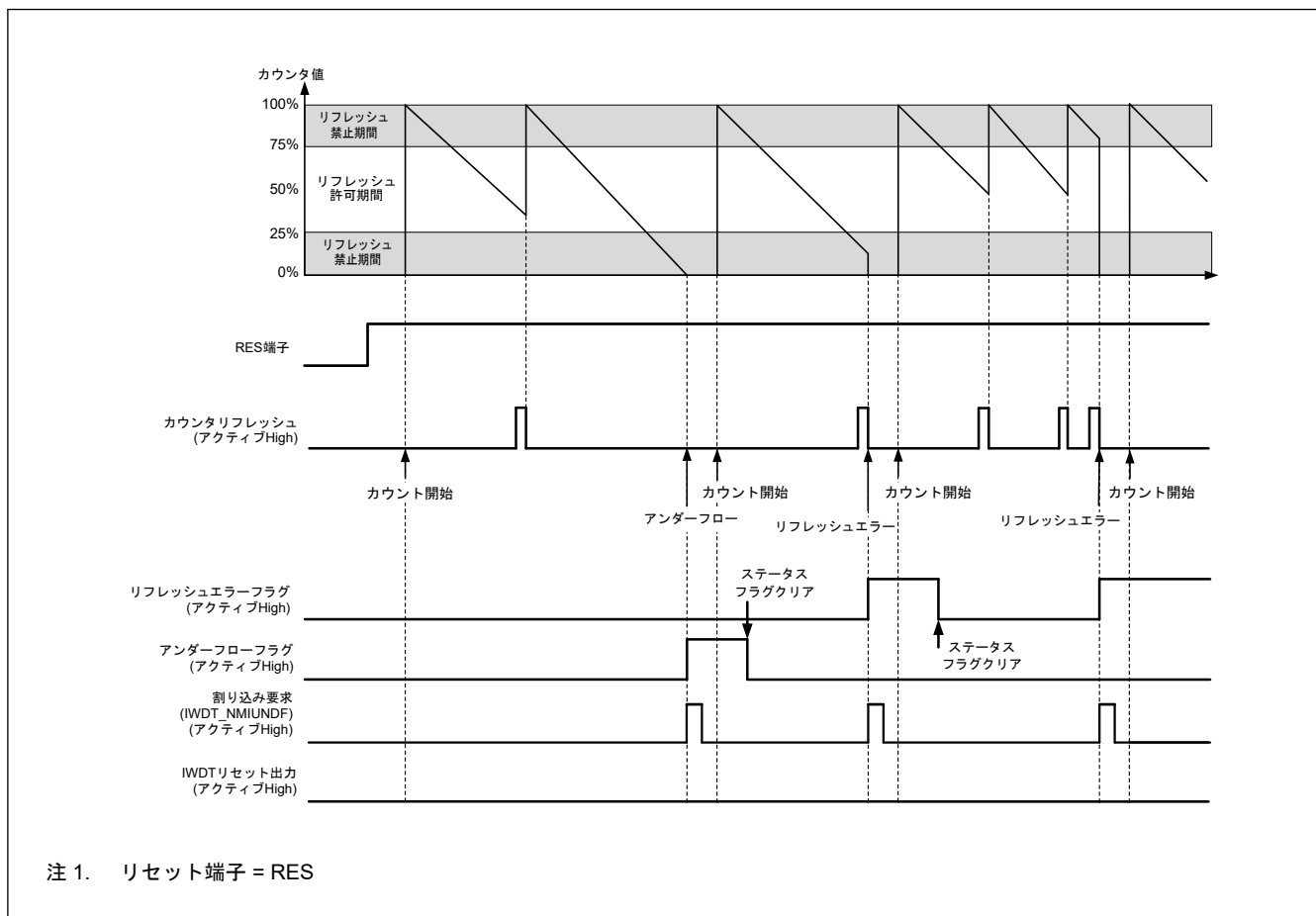


図 22.3 オートスタートモードでの動作例

22.3.2 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、IWDT リフレッシュレジスタ (IWDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

0x00 (1 回目) → 0x00 (2 回目) の順で書き込みを行った場合でも、その後に 0xFF を書き込めば、0x00 → 0xFF の書き込み順序が成立します。0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF という書き込み順序は有効であり、正

常にリフレッシュを行います。0x00 より前の書き込み値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00 (n-1 回目) → 0x00 (n 回目) → 0xFF
- 0x00 → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23 (0x00 以外の値) → 0xFF
- 0x00 → 0x54 (0xFF 以外の値)
- 0x00 → 0xAA (0x00 および 0xFF 以外の値) → 0xFF

ダウンカウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します (1 サイクル間の IWDTRR 専用クロック (IWDTRRCLK) 数は、IWDTRR 専用クロック分周比選択ビット (OFS0.IWDTRRCLK[3:0]) の設定値により異なります)。この要件を満たすには、リフレッシュ許可期間の終了またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの 0xFF 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTRR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 0x01FF とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x01FF より前 (たとえば 0x0202) であっても、IWDTRR.CNTVAL[13:0] ビット値が 0x01FF になってから IWDTRR へ 0xFF を書き込めば、リフレッシュが発生します。
- ウィンドウ終了位置を 0x01FF とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTRR.CNTVAL[13:0] ビットから読み出した値が 0x0203 (0x01FF の 4 カウントサイクル前) 以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTRR.CNTVAL[13:0] ビットから読み出した値が 0x0003 (アンダーフローの 4 カウントサイクル前) 以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 22.4 に、PCLKB > IWDTRRCLK、かつクロック分周比が IWDTRRCLK の 1 分周である場合の IWDTRR リフレッシュ動作波形を示します。

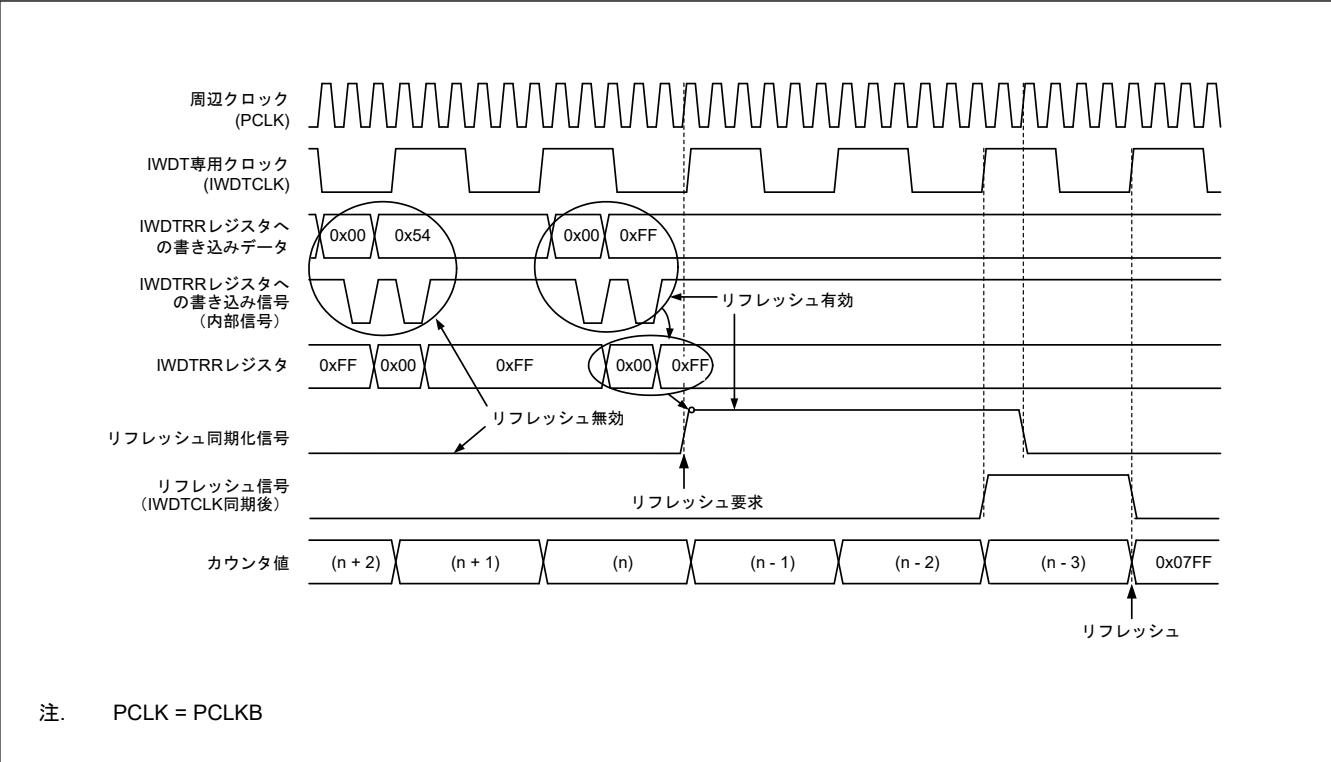


図 22.4 IWDT リフレッシュ動作波形 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

22.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEEF) とアンダーフローフラグ (IWDTSR.UNDF) は、IWDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、IWDTSR.REFEEF フラグと IWDTSR.UNDF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしても、動作に影響を与えません。次に IWDT が割り込み要求を出力したときに、現在のフラグの値にかかわらず、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「22.2.2. IWDTSR : IWDT ステータスレジスタ」を参照してください。

22.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセットが解除された後、自動でダウンカウントを開始します。

22.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 22.4 IWDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DTC の起動
IWDT_NMIUNDF	- ダウンカウンタのアンダーフロー - リフレッシュエラー	可能	不可能

22.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカ

ウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

カウンタ値の読み出しには PCLKB クロックで数サイクル (最大 4 クロックサイクル) を要するため、読み出されるカウンタ値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 22.5 に、 $PCLKB > IWDTCLK$ 、かつクロック分周比が $IWDTCLK \times 1$ 分周である場合の IWDT カウンタ値の読み出し処理を示します。

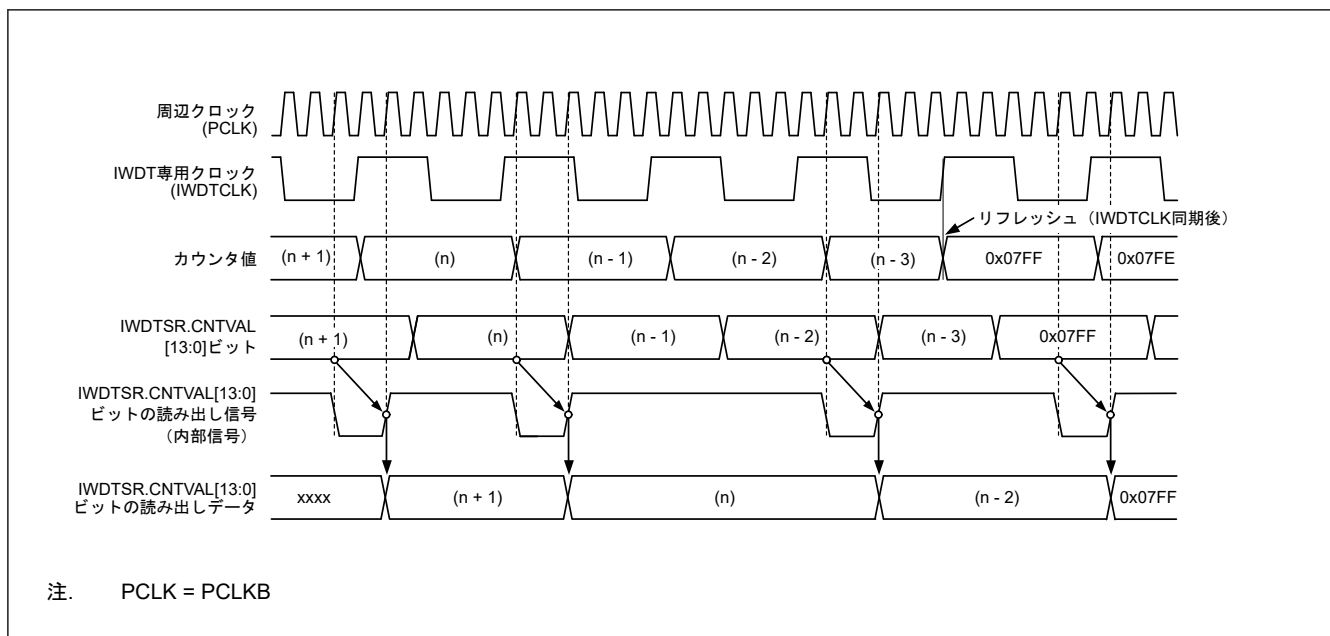


図 22.5 IWDT ダウンカウンタ値の読み出し処理 (OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合)

22.4 使用上の注意事項

22.4.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK のクロックの発振精度を考慮してください。リフレッシュできる値を設定してください。

22.4.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) 周波数 $\geq 4 \times$ (カウンタクロックソースの分周後の周波数) となるように設定してください。

22.4.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

IWDT リセットのアサートを許可 (OFS0.IWDTTRSTIRQS = 1) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[4:0]) に 0x03 を設定することは禁止です。

23. シリアルアレイユニット (SAU)

23.1 概要

シリアルアレイユニットは1つのユニットに最大4つのシリアルチャネルを備えています。各チャネルは3線シリアル（簡易 SPI）、UART、および簡易 I²C の通信機能を実現できます。

本 MCU で対応している各チャネルの機能割り当てを表 23.1～表 23.3 に示します。

表 23.1 16 ピン製品の機能割り当て

ユニット	チャネル	簡易 SPI として使用	UART として使用	簡易 I ² C として使用
0	0	SPI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	—		—

表 23.2 24 ピンおよび 32 ピン製品の機能割り当て

ユニット	チャネル	簡易 SPI として使用	UART として使用	簡易 I ² C として使用
0	0	SPI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	SPI11		IIC11
1	0	SPI20	UART2 (LIN バス対応)	IIC20
	1	—		—

表 23.3 48 ピン製品の機能割り当て

ユニット	チャネル	簡易 SPI として使用	UART として使用	簡易 I ² C として使用
0	0	SPI00	UART0	IIC00
	1	SPI01		IIC01
	2	SPI10	UART1	IIC10
	3	SPI11		IIC11
1	0	SPI20	UART2 (LIN バス対応)	IIC20
	1	SPI21		IIC21

ユニット 0 のチャネル 0 およびチャネル 1 で UART0 を使用するときは、SPI00 や SPI01 を使用することはできません。ただし、チャネル 2 およびチャネル 3 の SPI10、UART1、または IIC10 は使用可能です。

注 この章では、以降の主な説明を、48 ピン製品のユニットおよびチャネル構成を例に説明しています。

本 MCU がサポートする各シリアルインタフェースには、次のような機能を備えています。

- 簡易 SPI
- UART
- 簡易 I²C

23.1.1 簡易 SPI

マスタから出力されるシリアルクロック (SCK) に同期してデータの送信／受信を行います。

シリアルクロック (SCK) 用に 1 本、シリアルデータ送信 (SO) 用に 1 本、そしてシリアルデータ受信 (SI) 用に 1 本の、計 3 本の通信ラインを使用して通信を行うクロック同期式の 3 線シリアル通信機能です。

設定の詳細は、「23.5. 簡易 SPI の動作」を参照してください。

[データ送受信]

- 7 または 8 ビットのデータ長
- 送受信データの位相制御
- MSB ファーストまたは LSB ファーストを選択可能

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送速度(注1)
 - マスタ通信時：最大 PCLKB/2 (SPI00 のみ)、最大 PCLKB/4
 - スレーブ通信時：最大 $f_{MCK}/6$

[割り込み機能]

- 転送終了割り込みまたはバッファ空き割り込み

[エラー検出フラグ]

- オーバーランエラー

さらに、以下のチャンネルの簡易 SPI はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に SCK 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、非同期受信をサポートする以下の簡易 SPI でのみ利用可能です。

- SPI00 と SPI20

注 1. 転送速度は、SCK サイクルタイム (t_{KCY}) を満たす範囲内で設定してください。詳細は、「[37. 電氣的特性](#)」を参照してください。

注. 必要な場合は、汎用ポート端子を使ってチップセレクト信号を送ってください。

23.1.2 UART

シリアルデータ送信 (TxD) とシリアルデータ受信 (RxD) の 2 本のラインによる、調歩同期式通信機能です。この 2 本の通信ラインを使用し、スタートビット、データ、パリティビット、およびストップビットからなる 1 データフレームごとにマイクロコントローラと通信相手間を非同期で (内部ボーレートを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の 2 チャンネルを使用することで、全 2 重 UART 通信が実現できます。また、タイマアレイユニットと外部割り込み (IRQ2) を組み合わせて LIN バスにも対応可能です。

具体的な設定例は、「[23.6. UART 通信の動作](#)」を参照してください。

[データ送受信]

- 7、8、または 9 ビットのデータ長(注1)
- MSB ファーストまたは LSB ファーストを選択可能
- 送受信データのレベル設定、および反転の選択
- パリティビット付加およびパリティチェック機能
- ストップビット付加

[割り込み機能]

- 転送終了割り込みおよびバッファ空き割り込み
- フレーミングエラー、パリティエラー、またはオーバーランエラーの場合にエラー割り込み

[エラー検出フラグ]

- フレーミングエラー、パリティエラー、またはオーバーランエラー

さらに、以下のチャネルの UART 受信はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に Rx/D 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、受信ボーレート調整機能をサポートする以下の UART でのみ利用可能です。

- UART0 と UART2

UART2 (ユニット 1 のチャネル 0 とチャネル 1) は、LIN バスに対応しています。

[LIN バス機能] (注2)

- ウェイクアップ信号検出
- ブレークフィールド (BF) 検出
- シンクフィールド測定、ボーレート算出

注 1. 以下の UART のみ 9 ビットのデータ長をサポートします。

- 16 ピン、24 ピン、32 ピン製品 : UART0
- 48 ピン製品 : UART0 および UART2

注 2. 外部割り込み (IRQ2) とタイマアレイユニットを使用 (チャネル 7)

23.1.3 簡易 I²C

シリアルクロック (SCL) とシリアルデータ (SDA) の 2 本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュメモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタートコンディションおよびストップコンディションの AC スペックを守るように、制御レジスタの操作とともに、ソフトウェアで処理してください。

設定の詳細は、「[23.8. 簡易 I²C モードの動作](#)」を参照してください。

[データ送受信]

- マスタ送信、マスタ受信 (シングルマスタでのマスタ機能のみ)
- ACK 出力機能(注1)および ACK 検出機能
- 8 ビットのデータ長
(アドレス送信時は、上位 7 ビットでアドレス指定し、最下位 1 ビットは R/W 制御に使用)
- スタートコンディションおよびストップコンディションの手動生成

[割り込み機能]

- 転送終了割り込み

[エラー検出フラグ]

- ACK エラーまたはオーバーランエラー

[簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- アービトレーションロスト検出機能
- クロックストレッチ検出

注 1. 最終データの受信時は、SOE ビット (シリアル出力許可レジスタ m (SOEm)) に 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、[\(2\) 処理フロー](#)を参照してください。

注. フル機能の I²C バスをご使用の場合は、「[24. I²C バスインタフェース \(IICA\)](#)」を参照してください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

23.2 シリアルアレイユニットの構成

シリアルアレイユニットは、[表 23.4](#) に示すレジスタと入出力端子により構成されます。

表 23.4 シリアルアレイの構成

項目	設定
シフトレジスタ	8 または 9 ビット(注1)
バッファレジスタ	シリアルデータレジスタ mn (SDRmn) の下位 8 ビットまたは 9 ビット(注1)
シリアルクロック入出力	SCK00、SCK01、SCK10、SCK11、SCK20、SCK21 端子 (簡易 SPI 用) SCL00、SCL01、SCL10、SCL11、SCL20、SCL21 端子 (簡易 I ² C 用)
シリアルデータ入力	SI00、SI01、SI10、SI11、SI20、SI21 端子 (簡易 SPI 用) RxD0、RxD1 端子 (UART 用)、RxD2 端子 (LIN バスをサポートする UART 用)
シリアルデータ出力	SO00、SO01、SO10、SO11、SO20、SO21 端子 (簡易 SPI 用) TxD0、TxD1 端子 (UART 用)、TxD2 端子 (LIN バスをサポートする UART 用)
シリアルデータ入出力	SDA00、SDA01、SDA10、SDA11、SDA20、SDA21 端子 (簡易 I ² C 用)
制御レジスタ	<ユニット設定部のレジスタ> - シリアルクロック選択レジスタ m (SPSm) - シリアルチャネル許可ステータスレジスタ m (SEm) - シリアルチャネル開始レジスタ m (SSm) - シリアルチャネル停止レジスタ m (STm) - シリアル出力許可レジスタ m (SOEm) - シリアル出力レジスタ m (SOM) - シリアル出力レベルレジスタ m (SOLm) - シリアルスタンバイ制御レジスタ (SSCm) - 入力切り替え制御レジスタ (ISC) - SAU ノイズフィルタ許可レジスタ (SNFEN) <各チャネル部のレジスタ> - シリアルデータレジスタ mn (SDRmn) - シリアルモードレジスタ mn (SMRmn) - シリアル通信動作設定レジスタ mn (SCRmn) - シリアルステータスレジスタ mn (SSRmn) - シリアルフラグクリアトリガレジスタ mn (SIRmn) - UART ループバック選択レジスタ (ULBS)

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)

q : UART 番号 (q = 0~2)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21)、mn = 00~03, 10~11

注 1. シフトレジスタおよびバッファレジスタとして使用されるビット数は、ユニットおよびチャネルによって異なります。

- mn = 00, 01, 10, 11 : 下位 9 ビット
- 上記以外 : 下位 8 ビット

図 23.1 にシリアルアレイユニット 0 のブロック図を示します。

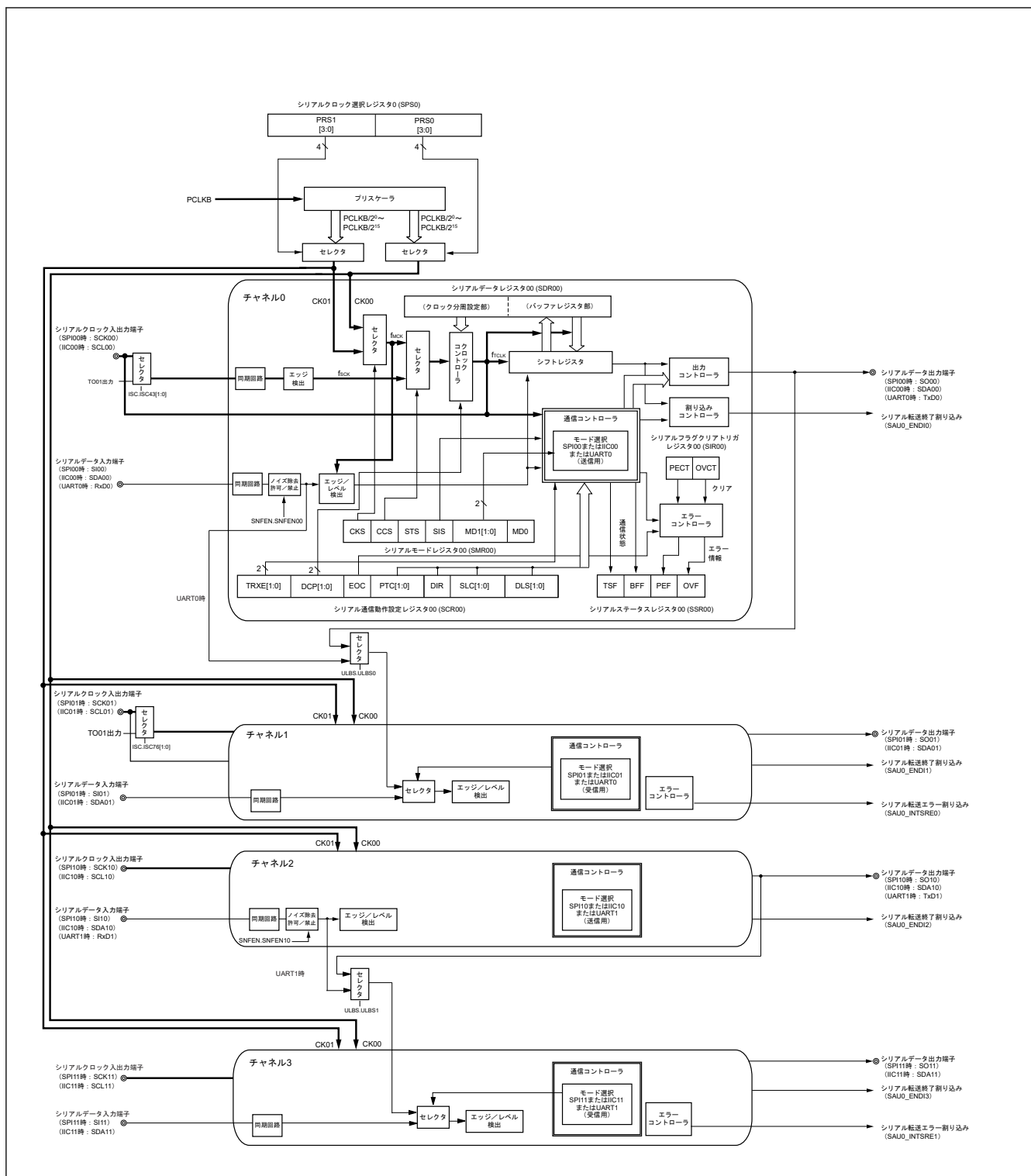


図 23.1 シリアルアレイユニット 0 のブロック図

図 23.2 にシリアルアレイユニット 1 のブロック図を示します。

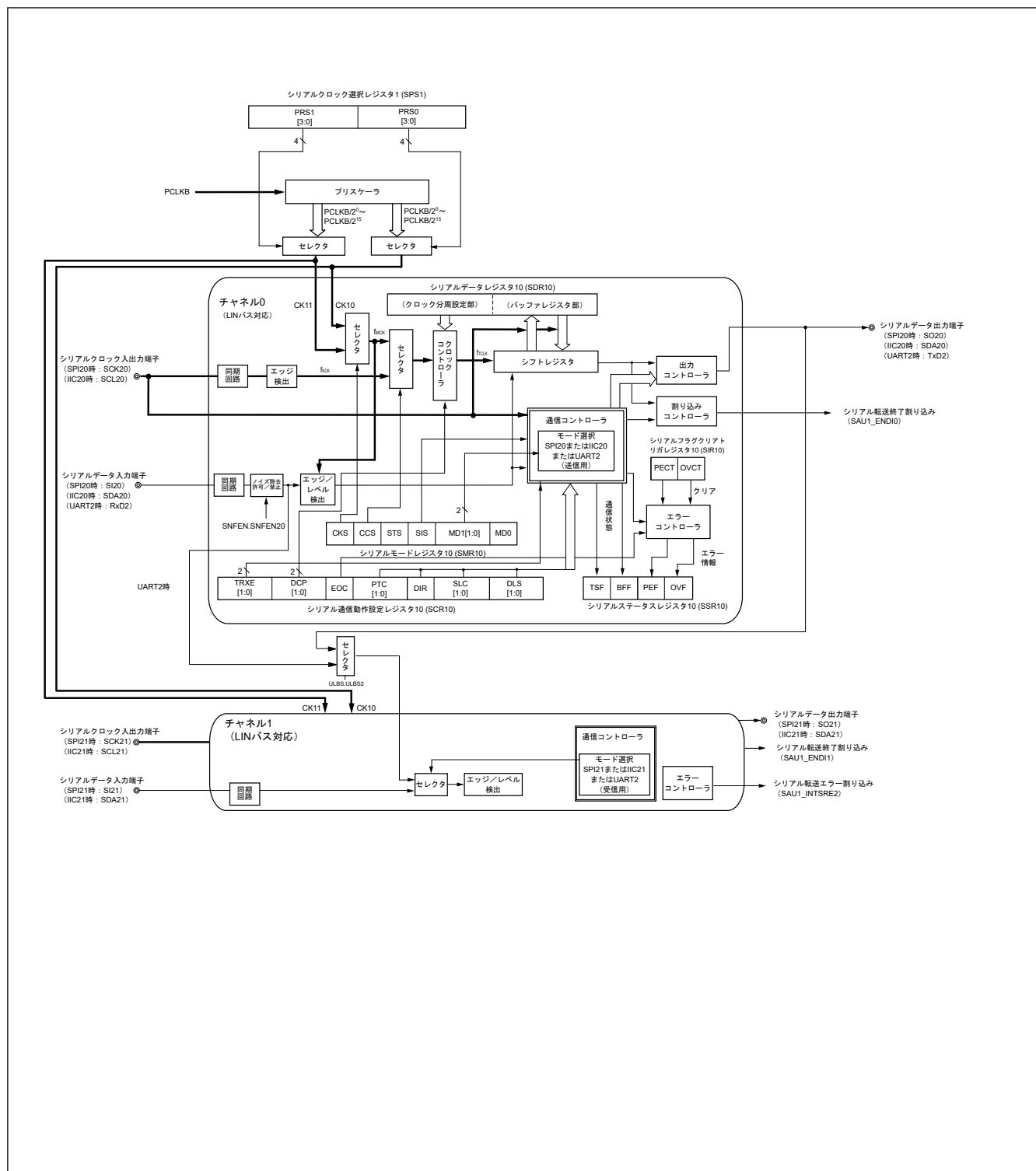


図 23.2 シリアルアレイユニット1のブロック図

23.3 レジスタの説明

23.3.1 SPSm : シリアルクロック選択レジスタ m (m = 0, 1)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x00A6(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—		PRS1[3:0]				PRS0[3:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PRS0[3:0]	動作クロック (CKm0) の選択(注1) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W
7:4	PRS1[3:0]	動作クロック (CKm1) の選択(注1) 0x0: PCLKB 0x1: PCLKB/2 0x2: PCLKB/2 ² 0x3: PCLKB/2 ³ 0x4: PCLKB/2 ⁴ 0x5: PCLKB/2 ⁵ 0x6: PCLKB/2 ⁶ 0x7: PCLKB/2 ⁷ 0x8: PCLKB/2 ⁸ 0x9: PCLKB/2 ⁹ 0xA: PCLKB/2 ¹⁰ 0xB: PCLKB/2 ¹¹ 0xC: PCLKB/2 ¹² 0xD: PCLKB/2 ¹³ 0xE: PCLKB/2 ¹⁴ 0xF: PCLKB/2 ¹⁵	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PCLKB に選択しているクロックを変更する場合は、シリアルアレイユニット (SAU) の動作を停止（シリアルチャネル停止レジスタ m (STm) = 0x000F）させてから変更してください。

SPSm レジスタは、各チャネルに共通して供給される 2 種類の動作クロック (CKm0, CKm1) を選択するのに使用されます。PRS1[3:0] ビットで CKm1 を、PRS0[3:0] で CKm0 を選択します。SPSm レジスタは、レジスタ動作中 (SEm.SE[n] = 1 のとき) の書き換えは禁止です。

PRS0[3:0] ビットと PRS1[3:0] ビットで選択できる入力ソースを、[表 23.5](#) に示します。

表 23.5 動作クロックの選択 (PRSk[3:0] (k = 0, 1))

PRSk[3:0]		動作クロック (CKmk) の選択 (k = 0, 1)					
		PCLKB = 2 MHz	PCLKB = 5 MHz	PCLKB = 10 MHz	PCLKB = 20 MHz	PCLKB = 32 MHz	PCLKB = 48 MHz
0x0	PCLKB	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz	設定禁止
0x1	PCLKB/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz	24 MHz
0x2	PCLKB/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz	12 MHz
0x3	PCLKB/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz	6 MHz
0x4	PCLKB/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz	3 MHz
0x5	PCLKB/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz	1.5 MHz
0x6	PCLKB/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz	750 kHz
0x7	PCLKB/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz	375 kHz
0x8	PCLKB/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz	187 kHz
0x9	PCLKB/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz	93.8 kHz
0xA	PCLKB/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz	46.9 kHz
0xB	PCLKB/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz	23.4 kHz
0xC	PCLKB/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz	11.7 kHz
0xD	PCLKB/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz	5.86 kHz
0xE	PCLKB/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz	2.93 kHz
0xF	PCLKB/2 ¹⁵	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz	1.46 kHz

23.3.2 SMRmn : シリアルモードレジスタ mn (mn = 00, 02, 10)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0090 + 0x02 × n

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:	CKS	CCS	—	—	—	—	—	—	—	—	—	—	MD1[1:0]	MD0

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0

ビット	シンボル	機能	R/W
0	MD0	チャンネル n 割り込み要因の選択 0: 転送終了割り込み 1: バッファ空き割り込み (データが SDRmn レジスタからシフトレジスタに転送されるときに発生)	R/W
2:1	MD1[1:0]	チャンネル n 動作モードの設定 0 0: 簡易 SPI モード 0 1: UART モード 1 0: 簡易 I ² C モード 1 1: 設定禁止	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CCS	チャンネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック 1: SCKp 端子からのクロック入力 f _{SCK} (簡易 SPI モードでのスレーブ転送)	R/W

ビット	シンボル	機能	R/W
15	CKS	チャンネル n の動作クロック (f_{MCK}) の選択 0: SPSm レジスタで設定した動作クロック CKm0 1: SPSm レジスタで設定した動作クロック CKm1	R/W

SMRmn レジスタは、チャンネル n の動作モードを設定するのに使用されるレジスタです。また、動作クロック (f_{MCK}) の選択、シリアルクロック (f_{SCK}) 入力の使用可否、スタートトリガ設定、動作モード（簡易 SPI、UART、または簡易 I²C）設定、および割り込み要因の選択にも使用されます。また UART モード時のみ、受信データのレベルを反転するのにも使用されます。

SMRmn レジスタは、レジスタ動作中（SEm.SE[n] = 1 のとき）の書き換えは禁止です。ただし MD0 ビットは、動作中でも書き換え可能です。

MD0 ビット（チャンネル n 割り込み要因の選択）

連続送信時はこのビットを 1 にして、SDRmn データが空になったら次送信データの書き込みを行います。

MD1[1:0]ビット（チャンネル n 動作モードの設定）

MD1[1:0]ビットはチャンネル n の動作モード設定に使用されます。

CCS ビット（チャンネル n の転送クロック (f_{TCLK}) の選択）

転送クロック (f_{TCLK}) は、シフトレジスタ、通信コントローラ、出力コントローラ、割り込みコントローラ、およびエラーコントローラに使用されます。CCS = 0 の場合は、SDRmn レジスタの STCLK[6:0]ビットで動作クロック (f_{MCK}) の分周設定を行います。

CKS ビット（チャンネル n の動作クロック (f_{MCK}) の選択）

動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCS ビットと SDRmn レジスタの STCLK[6:0] ビットの設定により、転送クロック (f_{TCLK}) を生成します。

23.3.3 SMRmn：シリアルモードレジスタ mn (mn = 01, 03, 11)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0090 + 0x02 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CKS	CCS	—	—	—	—	—	STS	—	SIS0	—	—	—	MD1[1:0]	MD0	
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MD0	チャンネル n 割り込み要因の選択 0: 転送終了割り込み 1: バッファ空き割り込み（データが SDRmn レジスタからシフトレジスタに転送されるときに発生）	R/W
2:1	MD1[1:0]	チャンネル n 動作モードの設定 0 0: 簡易 SPI モード 0 1: UART モード 1 0: 簡易 I ² C モード 1 1: 設定禁止	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
6	SIS0	UART モードでのチャンネル n 受信データのレベル反転の制御 0: 立ち下がりエッジをスタートビットとして検出 入力される通信データは、そのまま取り込まれます。 1: 立ち上がりエッジをスタートビットとして検出 入力される通信データは、反転して取り込まれます。	R/W

ビット	シンボル	機能	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	STS	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効 (簡易 SPI、UART 送信、および簡易 I ² C 時に選択) 1: RxDq 端子の有効エッジ (UART 受信時に選択)	R/W
13:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	CCS	チャンネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック 1: SCKp 端子からのクロック入力 f _{SCK} (簡易 SPI モードでのスレーブ転送)	R/W
15	CKS	チャンネル n の動作クロック (f _{MCK}) の選択 0: SPSm レジスタで設定した動作クロック CKm0 1: SPSm レジスタで設定した動作クロック CKm1	R/W

SMRmn レジスタは、チャンネル n の動作モードを設定するのに使用されるレジスタです。また、動作クロック (f_{MCK}) の選択、シリアルクロック (f_{SCK}) 入力の使用可否、スタートトリガ設定、動作モード (簡易 SPI、UART、または簡易 I²C) 設定、および割り込み要因の選択にも使用されます。また UART モード時のみ、受信データのレベルを反転するのにも使用されます。

SMRmn レジスタは、レジスタ動作中 (SEm.SE[n]=1 のとき) の書き換えは禁止です。ただし MD0 ビットは、動作中でも書き換え可能です。

MD0 ビット (チャンネル n 割り込み要因の選択)

連続送信時はこのビットを 1 にして、SDRmn データが空になったら次送信データの書き込みを行います。

MD1[1:0] ビット (チャンネル n 動作モードの設定)

MD1[1:0] ビットはチャンネル n の動作モード設定に使用されます。

SIS0 ビット (UART モードでのチャンネル n 受信データのレベル反転の制御)

SIS0 ビットは、UART モードでチャンネル n の受信データレベル反転を制御するのに使用されます。

STS ビット (スタートトリガ要因の選択)

SSm レジスタに 1 を設定後、上記の要因が満たされてから転送開始となります。

CCS ビット (チャンネル n の転送クロック (f_{TCLK}) の選択)

転送クロック (f_{TCLK}) は、シフトレジスタ、通信コントローラ、出力コントローラ、割り込みコントローラ、およびエラーコントローラに使用されます。CCS=0 の場合は、SDRmn レジスタの STCLK[6:0] ビットで動作クロック (f_{MCK}) の分周設定を行います。

CKS ビット (チャンネル n の動作クロック (f_{MCK}) の選択)

動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCS ビットと SDRmn レジスタの STCLK[6:0] ビットの設定により、転送クロック (f_{TCLK}) を生成します。

23.3.4 SCRM0 : シリアル通信動作設定レジスタ m0 (m = 0, 1)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0098

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]	DCP[1:0]	—	—	PTC[1:0]	DIR	—	SLC[1:0]	—	—	DLS[1:0]	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
1:0	DLS[1:0]	簡易 SPI モードおよび UART モードでのデータ長の設定 0 0: 設定禁止 0 1: 9 ビットデータ長(SDRm0 レジスタの DAT[8:0]に格納) (UART モードでのみ設定可能) 1 0: 7 ビットデータ長(SDRm0 レジスタの DAT[6:0]に格納) 1 1: 8 ビットデータ長(SDRm0 レジスタの DAT[7:0]に格納)	R/W
2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	SLC[1:0]	UART モードでのストップビットの設定 0 0: ストップビットなし 0 1: ストップビット長 = 1 ビット 1 0: ストップビット長 = 2 ビット 1 1: 設定禁止	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち下がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち上がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 0 の動作モード設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCRm0 レジスタは、データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCRm0 レジスタは、レジスタ動作中 (SEm.SE[0] = 1 のとき) の書き換えは禁止です。

DLS[1:0]ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS[1:0] = 11b に設定してください。

SLC[1:0]ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時で簡易 I²C モード時には、1 ビット (SLC[1:0] = 01b) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC[1:0] = 00b) に設定してください。

UART 送信中は 1 ビット (SLC[1:0] = 01b) または 2 ビット (SLC[1:0] = 10b) に設定してください。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0]ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

DCP[1:0]ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

図 23.3 に、簡易 SPI モードでのデータおよびクロック位相を示します。

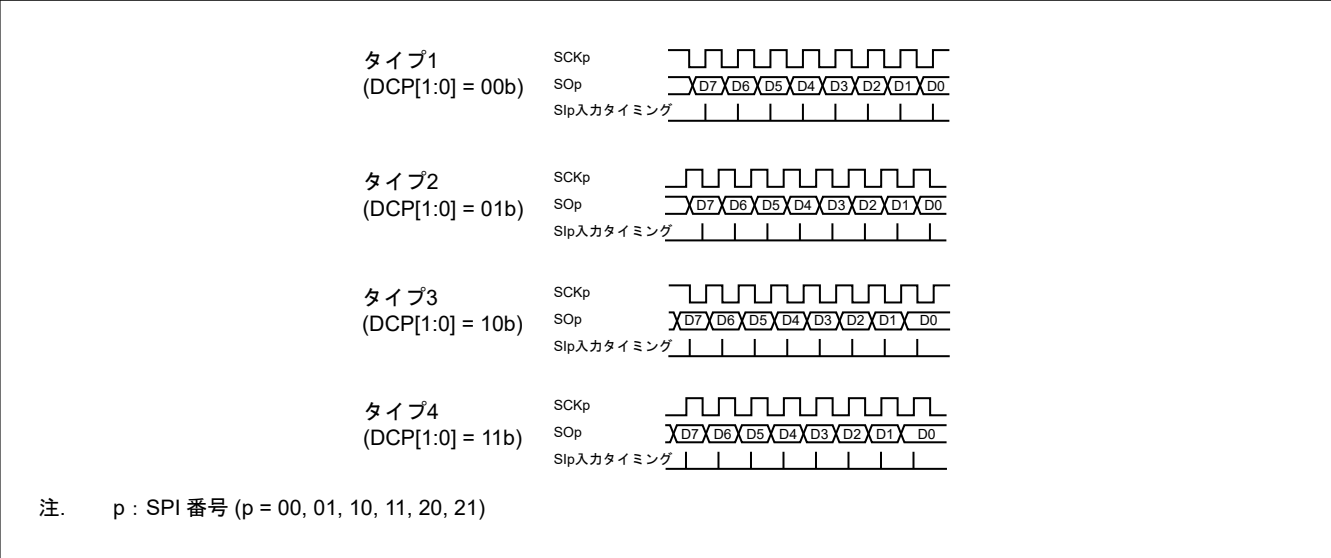


図 23.3 簡易 SPI モードでのデータおよびクロック位相

TRXE[1:0]ビット (チャンネル 0 の動作モード設定)

TRXE[1:0]ビットはチャンネル 0 の動作モード設定に使用されます。

23.3.5 SCRM1 : シリアル通信動作設定レジスタ m1 (m = 0, 1)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x009A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]		DCP[1:0]		—	EOC	PTC[1:0]	DIR	—	—	SLC	—	—	—	DLS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
1:0	DLS[1:0]	簡易 SPI モードおよび UART モードでのデータ長の設定 0 0: 設定禁止 0 1: 9 ビットデータ長(SDRm1 レジスタの DAT[8:0]に格納) (UART モードでのみ設定可能) 1 0: 7 ビットデータ長(SDRm1 レジスタの DAT[6:0]に格納) 1 1: 8 ビットデータ長(SDRm1 レジスタの DAT[7:0]に格納)	R/W
2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SLC	UART モードでのストップビットの設定 0: ストップビットなし 1: ストップビット長 = 1 ビット	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W

ビット	シンボル	機能	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W
10	EOC	エラー割り込み信号 SAU0_INTSRE0 (m = 0)、SAU1_INTSRE2 (m = 1) のマスク制御 0: エラー割り込み SAU0_INTSRE0 (m = 0)、SAU1_INTSRE2 (m = 1) の発生を禁止 (SAUm_ENDI1 が発生) 1: エラー割り込み SAU0_INTSRE0 (m = 0)、SAU1_INTSRE2 (m = 1) の発生を許可 (エラーが発生した場合、SAUm_ENDI1 は発生しない)	R/W
11	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち下がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち上がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 1 の動作モード設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCRm1 レジスタは、データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCRm1 レジスタは、レジスタ動作中 (SEm.SE[1] = 1 のとき) の書き換えは禁止です。

DLS[1:0]ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS[1:0] = 11b に設定してください。

SLC ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時で簡易 I²C モード時には、1 ビット (SLC = 1) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC = 0) に設定してください。

UART 送信中は 1 ビット (SLC = 0) に設定してください。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0]ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

EOC ビット (エラー割り込み信号 SAU0_INTSRE0 (m = 0)、SAU1_INTSRE2 (m = 1) のマスク制御)

簡易 SPI モード、簡易 I²C モード、および UART 送信中は EOC = 0 に設定してください。(注1)

DCP[1:0]ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

[図 23.3](#) を参照してください。

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

TRXE[1:0]ビット (チャンネル 1 の動作モード設定)

TRXE[1:0]ビットはチャンネル 1 の動作モード設定に使用されます。

注 1. SCR01.EOC = 0 にせずに SPI01 を使用すると、エラー割り込み SAU0_INTSRE0 が発生することがあります。
 SCR11.EOC = 0 にせずに SPI21 を使用すると、エラー割り込み SAU1_INTSRE2 が発生することがあります。

23.3.6 SCR02 : シリアル通信動作設定レジスタ 02

Base address: SAU0 = 0x4009_4000

Offset address: 0x009C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]	DCP[1:0]	—	—	PTC[1:0]	DIR	—	SLC[1:0]	—	—	—	—	—	—	—	DLS
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	DLS	簡易 SPI モードおよび UART モードでのデータ長の設定 0: 7 ビットデータ長(SDR02 レジスタの DAT[6:0]に格納) 1: 8 ビットデータ長(SDR02 レジスタの DAT[7:0]に格納)	R/W
2:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	SLC[1:0]	UART モードでのストップビットの設定 0 0: ストップビットなし 0 1: ストップビット長 = 1 ビット 1 0: ストップビット長 = 2 ビット 1 1: 設定禁止	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち下がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち上がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 2 の動作モード設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCR02 レジスタは、データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCR02 レジスタは、レジスタ動作中 (SE0.SE[2] = 1 のとき) の書き換えは禁止です。

DLS ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS = 1 に設定してください。

SLC[1:0]ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時で簡易 I²C モード時には、1 ビット (SLC[1:0] = 01b) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC[1:0] = 00b) に設定してください。

UART 送信中は 1 ビット (SLC[1:0] = 01b) または 2 ビット (SLC[1:0] = 10b) に設定してください。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0]ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

DCP[1:0]ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

[図 23.3](#) を参照してください。

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

TRXE[1:0]ビット (チャンネル 2 の動作モード設定)

TRXE[1:0]ビットはチャンネル 2 の動作モード設定に使用されます。

23.3.7 SCR03 : シリアル通信動作設定レジスタ 03

Base address: SAU0 = 0x4009_4000

Offset address: 0x009E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRXE[1:0]	DCP[1:0]	—	EOC	PTC[1:0]	DIR	—	—	SLC	—	—	—	DLS			
Value after reset:	0	0	0	0	0	0	0	0	1	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
0	DLS	簡易 SPI モードおよび UART モードでのデータ長の設定 0: 7 ビットデータ長 (SDR03 レジスタの DAT[6:0] に格納) 1: 8 ビットデータ長 (SDR03 レジスタの DAT[7:0] に格納)	R/W
2:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SLC	UART モードでのストップビットの設定 0: ストップビットなし 1: ストップビット長 = 1 ビット	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DIR	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う	R/W
9:8	PTC[1:0]	UART モードでのパリティビットの設定 0 0: 送信: パリティビットを出力しない 受信: パリティなしで受信 0 1: 送信: 0 パリティを出力(注1) 受信: パリティ判定を行わない 1 0: 送信: 偶数パリティを出力 受信: 偶数パリティとして判定を行う 1 1: 送信: 奇数パリティを出力 受信: 奇数パリティとして判定を行う	R/W

ビット	シンボル	機能	R/W
10	EOC	エラー割り込み信号 SAU0_INTSRE1 のマスク制御 0: エラー割り込み SAU0_INTSRE1 の発生を禁止 (SAU0_ENDI3 が発生) 1: エラー割り込み SAU0_INTSRE1 の発生を許可 (エラーが発生した場合、SAU0_ENDI3 は発生しない)	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DCP[1:0]	簡易 SPI モードでのデータおよびクロック位相の選択 0 0: タイプ 1 (SCK: 反転、入力タイミング: 立ち上がりエッジ) 0 1: タイプ 2 (SCK: 非反転、入力タイミング: 立ち下がりエッジ) 1 0: タイプ 3 (SCK: 反転、入力タイミング: 立ち下がりエッジ) 1 1: タイプ 4 (SCK: 非反転、入力タイミング: 立ち上がりエッジ)	R/W
15:14	TRXE[1:0]	チャンネル 3 の動作モードの設定 0 0: 通信を無効にする 0 1: 受信のみ 1 0: 送信のみ 1 1: 送受信	R/W

注 1. データの内容にかかわらず必ず 0 が付加されます。

SCR03 レジスタは、データ送受信モード、データとクロックの位相、エラー信号のマスクの有無、パリティビット、スタートビット、ストップビット、およびデータ長を設定するのに使用されます。

SCR03 レジスタは、レジスタ動作中 (SE0.SE[3] = 1 のとき) の書き換えは禁止です。

DLS ビット (簡易 SPI モードおよび UART モードでのデータ長の設定)

簡易 I²C モードでは、必ず DLS = 1 に設定してください。

SLC ビット (UART モードでのストップビットの設定)

転送終了割り込みが選択されている場合、すべてのストップビットが完全に転送されてから割り込みが発生します。

UART 受信時で簡易 I²C モード時には、1 ビット (SLC = 1) に設定してください。簡易 SPI モード時には、ストップビットなし (SLC = 0) に設定してください。

UART 送信中は 1 ビット (SLC = 0) に設定してください。

DIR ビット (簡易 SPI モードおよび UART モードでのデータ転送順序の選択)

簡易 I²C モードでは、必ず DIR を 0 にクリアしてください。

PTC[1:0] ビット (UART モードでのパリティビットの設定)

簡易 SPI モードおよび簡易 I²C モード時には、必ず PTC[1:0] = 00b に設定してください。

EOC ビット (エラー割り込み信号 SAU0_INTSRE1 のマスク制御)

簡易 SPI モード、簡易 I²C モード、および UART 送信中は EOC = 0 に設定してください。(注1)

DCP[1:0] ビット (簡易 SPI モードでのデータおよびクロック位相の選択)

図 23.3 を参照してください。

UART モードおよび簡易 I²C モード時には、必ず DCP[1:0] = 00b に設定してください。

TRXE[1:0] ビット (チャンネル 3 の動作モードの設定)

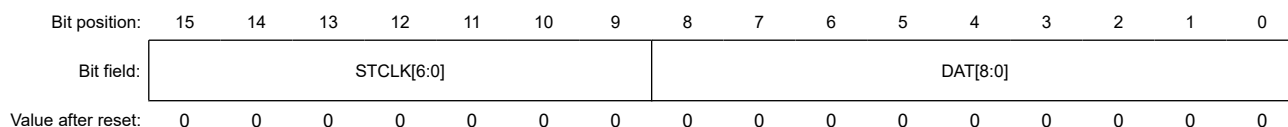
TRXE[1:0] ビットはチャンネル 3 の動作モード設定に使用されます。

注 1. EOC = 0 にせずに SPI11 を使用すると、エラー割り込み SAU0_INTSRE1 が発生することがあります。

23.3.8 SDRmn : シリアルデータレジスタ mn (mn = 00, 01, 02, 03, 10, 11)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0000 + 0x02 × n



ビット	シンボル	機能	R/W
8:0	DAT[8:0]	送受信データバッファ	R/W ^(注1)
15:9	STCLK[6:0] ^{(注2) (注3)}	動作クロックの分周による転送クロックの設定 0x00: f _{MCK} /2 0x01: f _{MCK} /4 0x02: f _{MCK} /6 0x03: f _{MCK} /8 ⋮ 0x7C: f _{MCK} /250 0x7D: f _{MCK} /252 0x7E: f _{MCK} /254 0x7F: f _{MCK} /256	R/W

注 1. SDR02.DAT[8]ビットと SDR03.DAT[8]ビットは予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

注 2. UART 使用時は、STCLK[6:0]を 0x00 または 0x01 に設定することは禁止されています。

注 3. 簡易 I²C 使用時は、STCLK[6:0]を 0x00 に設定することは禁止されています。STCLK[6:0]は 0x01 以上に設定してください。

SDRmn レジスタは、ユニット m、チャンネル n の送受信データレジスタ（16 ビット）です。

SDR00、SDR01、SDR10、および SDR11 の DAT[8:0]ビットまたは SDR02 および SDR03 レジスタの DAT[7:0]ビットは送受信バッファレジスタとして機能し、STCLK[6:0]ビットは動作クロック (f_{MCK}) の分周比を設定するレジスタとして使用されます。

シリアルモードレジスタ mn (SMRmn) の CCS ビットを 0 にクリアした場合、動作クロックをこの STCLK[6:0]ビットで分周設定したクロックが、転送クロックとして使用されます。

シリアルモードレジスタ mn (SMRmn) の CCS ビットが 1 に設定されている場合は、SDR00、SDR01、SDR10、および SDR11 の STCLK[6:0]ビットを 0x00 に設定してください。SCK_p 端子からの入力クロック f_{SCK}（簡易 SPI モードのスレーブ転送）が転送クロックとして使用されます。

DAT[7:0]ビットまたは DAT[8:0]ビットが送受信バッファレジスタとして機能します。受信時は DAT[7:0]ビットまたは DAT[8:0]ビットにシフトレジスタで変換されたパラレルデータが格納され、送信時は DAT[7:0]ビットまたは DAT[8:0]ビットにシフトレジスタに送信するデータが設定されます。

DAT[7:0]ビットまたは DAT[8:0]ビットに格納されるデータは、データの出力順序に関係なく、シリアル通信動作設定レジスタ mn (SCRmn) の DLS[1:0]ビットの設定により以下ようになります。

- 7 ビットデータ長 (DAT[6:0]ビットに格納)
- 8 ビットデータ長 (DAT[7:0]ビットに格納)
- 9 ビットデータ長 (DAT[8:0]ビットに格納) ^(注1)

SDRmn レジスタは、16 ビット単位で読み出し／書き込みが可能です。ただし、STCLK[6:0]ビットは動作停止時 (SEm.SE[n] = 0) にのみ書き込みまたは読み出しが可能です。動作中 (SEm.SE[n]=1) は DAT[7:0]ビットまたは DAT[8:0]ビットにのみ値が書き込まれます。動作中に SDRmn レジスタを読み出すと、STCLK[6:0]ビットは常に 0 が読み出されます。

注 1. 以下の UART のみ 9 ビットのデータ長をサポートします。

- 16 ピン、24 ピン、32 ピン製品 : UART0
- 48 ピン製品 : UART0 および UART2

注. p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)

23.3.9 SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 00, 02, 10)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0088 + 0x02 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PECT	OVCT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVCT	チャンネル n のオーバーランエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの OVF フラグを 0 にクリアする	R/W
1	PECT	チャンネル n のパリティエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの PEF フラグを 0 にクリアする	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SIRmn レジスタは、チャンネル n の各エラーフラグをクリアするために使用されるトリガレジスタです。

各ビット (PECT, OVCT) を 1 にすると、シリアルステータスレジスタ mn (SSRmn) の対応フラグ (PEF, OVF) が 0 にクリアされます。SIRmn レジスタはトリガレジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐクリアされます。SIRmn レジスタの読み出し値は常に 0x0000 となります。

23.3.10 SIRmn : シリアルフラグクリアトリガレジスタ mn (mn = 01, 03, 11)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0088 + 0x02 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	FECT	PECT	OVCT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVCT	チャンネル n のオーバーランエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの OVF フラグを 0 にクリアする	R/W
1	PECT	チャンネル n のパリティエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの PEF フラグを 0 にクリアする	R/W
2	FECT	チャンネル n のフレーミングエラーフラグのクリアトリガ 0: クリアしない 1: SSRmn レジスタの FEF フラグを 0 にクリアする	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SIRmn レジスタは、チャンネル n の各エラーフラグをクリアするために使用されるトリガレジスタです。

各ビット (FECT, PECT, OVCT) を 1 にすると、シリアルステータスレジスタ mn (SSRmn) の対応フラグ (FEF, PEF, OVF) が 0 にクリアされます。SIRmn レジスタはトリガレジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐクリアされます。SIRmn レジスタの読み出し値は常に 0x0000 となります。

23.3.11 SSRmn : シリアルステータスレジスタ mn (mn = 00, 02, 10)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0080 + 0x02 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TSF	BFF	—	—	—	PEF	OVF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVF	チャンネル n のオーバーランエラー検出フラグ 0: エラー発生なし 1: エラー発生	R
1	PEF	チャンネル n のパリティまたは ACK エラー検出フラグ 0: エラー発生なし 1: パリティエラー発生 (UART 受信時)、または ACK 未検出発生 (I ² C 送信時)	R
4:2	—	読むと 0 が読めます。	R
5	BFF	チャンネル n のバッファレジスタ状態表示フラグ 0: 有効なデータが SDRmn レジスタに格納されていない 1: 有効なデータが SDRmn レジスタに格納されている	R
6	TSF	チャンネル n の通信状態表示フラグ 0: 通信動作停止状態または通信動作待機状態 1: 通信動作状態	R
15:7	—	読むと 0 が読めます。	R

注: 簡易 SPI がスヌーズモード (SSCm.SWC = 1) で受信処理をしている場合、OVF フラグおよび BFF フラグは変化しません。

注: BFF = 1 のときに SDRmn レジスタに書き込みをすると、レジスタに格納されている送信/受信データが破棄され、オーバーランエラー (OVF = 1) が検出されます。

SSRmn レジスタは、チャンネル n の通信状態およびエラー発生状況を表示するレジスタです。表示するエラーは、フレーミングエラー、パリティエラー、およびオーバーランエラーです。

OVF フラグ (チャンネル n のオーバーランエラー検出フラグ)

<0 になる条件>

- SIRmn レジスタの OVCT ビットに 1 が書かれたとき

<1 になる条件>

- SCRmn レジスタの TRXE[0] ビットが 1 (各通信モードでの受信または送受信モード時) の状態で、受信データが SDRmn レジスタに格納されているのに、そのデータの読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
- 簡易 SPI モードのスレーブ送信/送受信で、送信データが準備できていないとき

PEF フラグ (チャンネル n のパリティまたは ACK エラー検出フラグ)

<0 になる条件>

- SIRmn レジスタの PECT ビットに 1 が書かれたとき

<1 になる条件>

- UART 受信終了時に、送信データのパリティとパリティビットが一致しないとき (パリティエラー)
- I²C 送信時に、ACK 受信タイミングにスレーブ側から ACK 信号の応答がなかったとき (ACK 未検出)

BFF フラグ (チャンネル n のバッファレジスタ状態表示フラグ)

<0 になる条件>

- 送信時において SDRmn レジスタからシフトレジスタへ送信データの転送が終了したとき
- 受信時において SDRmn レジスタから受信データの読み出しが終了したとき

- STm レジスタの ST[n] ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n] ビットに 1 を設定時（通信許可状態）

<1 になる条件>

- SCRmn レジスタの TRXE[1] ビットが 1（各通信モードでの送信または送受信モード時）の状態です DRmn レジスタに送信データを書き込んだとき
- SCRmn レジスタの TRXE[0] ビットが 1（各通信モードでの受信または送受信モード時）の状態です DRmn レジスタに受信データが格納されたとき
- 受信エラー時

TSF フラグ（チャンネル n の通信状態表示フラグ）

<0 になる条件>

- STm レジスタの ST[n] ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n] ビットに 1 を設定時（通信待機状態）
- 通信動作が終了時

<1 になる条件>

- 通信動作を開始時

23.3.12 SSRmn : シリアルステータスレジスタ mn (mn = 01, 03, 11)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x0080 + 0x02 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TSF	BFF	—	—	FEF	PEF	OVF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVF	チャンネル n のオーバーランエラー検出フラグ 0: エラー発生なし 1: エラー発生	R
1	PEF	チャンネル n のパリティまたは ACK エラー検出フラグ 0: エラー発生なし 1: パリティエラー発生 (UART 受信時)、または ACK 未検出発生 (I ² C 送信時)	R
2	FEF	チャンネル n のフレーミングエラー検出フラグ 0: エラー発生なし 1: エラー発生 (UART 受信時)	R
4:3	—	読むと 0 が読めます。	R
5	BFF	チャンネル n のバッファレジスタ状態表示フラグ 0: 有効なデータが SDRmn レジスタに格納されていない 1: 有効なデータが SDRmn レジスタに格納されている	R
6	TSF	チャンネル n の通信状態表示フラグ 0: 通信動作停止状態または通信動作待機状態 1: 通信動作状態	R
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. BFF = 1 のときに SDRmn レジスタに書き込みをすると、レジスタに格納されている送信／受信データが破棄され、オーバーランエラー (OVF = 1) が検出されます。

SSRmn レジスタは、チャンネル n の通信状態およびエラー発生状況を表示するレジスタです。表示するエラーは、フレーミングエラー、パリティエラー、およびオーバーランエラーです。

OVF フラグ（チャンネル n のオーバーランエラー検出フラグ）

<0 になる条件>

- SIRmn レジスタの OVCT ビットに 1 が書かれたとき

<1 になる条件>

- SCRmn レジスタの TRXE[0]ビットが 1（各通信モードでの受信または送受信モード時）の状態、受信データが SDRmn レジスタに格納されているのに、そのデータの読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
- 簡易 SPI モードのスレーブ送信／送受信で、送信データが準備できていないとき

PEF フラグ（チャンネル n のパリティまたは ACK エラー検出フラグ）

<0 になる条件>

- SIRmn レジスタの PECT ビットに 1 が書かれたとき

<1 になる条件>

- UART 受信終了時に、送信データのパリティとパリティビットが一致しないとき（パリティエラー）
- I²C 送信時に、ACK 受信タイミングにスレーブ側から ACK 信号の応答がなかったとき（ACK 未検出）

FEF フラグ（チャンネル n のフレーミングエラー検出フラグ）

<0 になる条件>

- SIRmn レジスタの FECT ビットに 1 が書かれたとき

<1 になる条件>

- UART 受信終了時に、ストップビットが検出されないとき

BFF フラグ（チャンネル n のバッファレジスタ状態表示フラグ）

<0 になる条件>

- 送信時において SDRmn レジスタからシフトレジスタへ送信データの転送が終了したとき
- 受信時において SDRmn レジスタから受信データの読み出しが終了したとき
- STm レジスタの ST[n]ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n]ビットに 1 を設定時（通信許可状態）

<1 になる条件>

- SCRmn レジスタの TRXE[1]ビットが 1（各通信モードでの送信または送受信モード時）の状態、SDRmn レジスタに送信データを書き込んだとき
- SCRmn レジスタの TRXE[0]ビットが 1（各通信モードでの受信または送受信モード時）の状態、SDRmn レジスタに受信データが格納されたとき
- 受信エラー時

TSF フラグ（チャンネル n の通信状態表示フラグ）

<0 になる条件>

- STm レジスタの ST[n]ビットに 1 を設定時（通信停止状態）または SSm レジスタの SS[n]ビットに 1 を設定時（通信待機状態）
- 通信動作が終了時

<1 になる条件>

- 通信動作を開始時

23.3.13 SS0 : シリアルチャネル開始レジスタ 0

Base address: SAU0 = 0x4009_4000

Offset address: 0x00A2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SS[3:0]	チャネル n の動作開始トリガ 0: トリガ動作なし 1: SE0.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする(注1)	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。(注2)	R/W

注. UART 受信の場合は、SCR0n レジスタの TRXE[0]ビットを 1 に設定後に、f_{MCK} クロックで 4 サイクル以上間隔をあけてから SS[n] ビットを 1 に設定してください。

注 1. 通信中に SS[n]ビットを 1 にすると、チャネル n の通信が停止し、チャネルは待ち状態になります。このとき、制御レジスタおよびシフトレジスタの値、SCKp 端子および SOp 端子の状態、および各エラーフラグ（SSR0n.FEF、PEF、および OVF）の値は保持されます。

注 2. ビット[15:4]には、必ず 0 を設定してください。

SS0 レジスタは、通信／カウント開始の許可をシリアルアレイユニット 0 のチャネルごとに設定するトリガレジスタです。

SS[n]ビットに 1 を書き込むと、シリアルチャネル許可ステータスレジスタ 0 (SE0) の対応ビット (SE[n]) が 1（動作許可状態）になります。SS[n]ビットはトリガビットなので、SE0.SE[n] = 1 になるとすぐ SS[n]ビットはクリアされます。SS0 レジスタの読み出し値は常に 0x0000 となります。

注. p : SPI 番号 (p = 00, 01, 10, 11)、n : チャネル番号 (n = 0~3)

23.3.14 SS1 : シリアルチャネル開始レジスタ 1

Base address: SAU1 = 0x4009_4100

Offset address: 0x00A2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SS[1:0]	チャネル n の動作開始トリガ 0: トリガ動作なし 1: SE1.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする(注1)	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。(注2)	R/W

注. UART 受信の場合は、SCR1n レジスタの TRXE[0]ビットを 1 に設定後に、f_{MCK} クロックで 4 サイクル以上間隔をあけてから SS[n] ビットを 1 に設定してください。

注 1. 通信中に SS[n]ビットを 1 にすると、チャネル n の通信が停止し、チャネルは待ち状態になります。このとき、制御レジスタおよびシフトレジスタの値、SCKp 端子および SOp 端子の状態、および各エラーフラグ（SSR1n.FEF、PEF、および OVF）の値は保持されます。

注 2. ビット[15:2]には、必ず 0 を設定してください。

SS1 レジスタは、通信／カウント開始の許可をシリアルアレイユニット 1 のチャネルごとに設定するトリガレジスタです。

SS[n]ビットに 1 を書き込むと、シリアルチャネル許可ステータスレジスタ 1 (SE1) の対応ビット (SE[n]) が 1（動作許可状態）になります。SS[n]ビットはトリガビットなので、SE1.SE[n] = 1 になるとすぐ SS[n]ビットはクリアされます。SS1 レジスタの読み出し値は常に 0x0000 となります。

注. p : SPI 番号 (p = 20, 21)、n : チャネル番号 (n = 0, 1)

23.3.15 ST0 : シリアルチャネル停止レジスタ 0

Base address: SAU0 = 0x4009_4000

Offset address: 0x00A4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	ST[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ST[3:0]	チャネル n の動作停止トリガ 0: トリガ動作なし 1: SE0.SE[n]ビットを 0 にクリアし、通信動作を停止する ^(注1)	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。 ^(注2)	R/W

注 1. 制御レジスタおよびシフトレジスタの値、SCKp 端子および SOp 端子の状態、および各エラーフラグ (SSR0n.FEF、PEF、および OVF) の値は保持されます。

注 2. ビット[15:4]には、必ず 0 を設定してください。

ST0 レジスタは、通信／カウント停止の許可をシリアルアレイユニット 0 のチャネルごとに設定するトリガレジスタです。

ST[n]ビットに 1 を書き込むと、シリアルチャネル許可ステータスレジスタ 0 (SE0) の対応ビット (SE[n]) が 0 にクリア (動作停止状態) されます。ST[n]ビットはトリガビットなので、SE0.SE[n] = 0 になるとすぐ ST[n]ビットはクリアされます。ST0 レジスタの読み出し値は常に 0x0000 となります。

注. p : SPI 番号 (p = 00, 01, 10, 11)、n : チャネル番号 (n = 0~3)

23.3.16 ST1 : シリアルチャネル停止レジスタ 1

Base address: SAU1 = 0x4009_4100

Offset address: 0x00A4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ST[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ST[1:0]	チャネル n の動作停止トリガ 0: トリガ動作なし 1: SE1.SE[n]ビットを 0 にクリアし、通信動作を停止する ^(注1)	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。 ^(注2)	R/W

注 1. 制御レジスタおよびシフトレジスタの値、SCKp 端子および SOp 端子の状態、および各エラーフラグ (SSR1n.FEF、PEF、および OVF) の値は保持されます。

注 2. ビット[15:2]には、必ず 0 を設定してください。

ST1 レジスタは、通信／カウント停止の許可をシリアルアレイユニット 1 のチャネルごとに設定するトリガレジスタです。

ST[n]ビットに 1 を書き込むと、シリアルチャネル許可ステータスレジスタ 1 (SE1) の対応ビット (SE[n]) が 0 にクリア (動作停止状態) されます。ST[n]ビットはトリガビットなので、SE1.SE[n] = 0 になるとすぐ ST[n]ビットはクリアされます。ST1 レジスタの読み出し値は常に 0x0000 となります。

注. p : SPI 番号 (p = 20, 21)、n : チャネル番号 (n = 0, 1)

23.3.17 SE0 : シリアルチャネル許可ステータスレジスタ 0

Base address: SAU0 = 0x4009_4000

Offset address: 0x00A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SE[3:0]	チャネル n の動作許可／停止状態の表示 0: 動作停止状態 1: 動作許可状態	R
15:4	—	読むと 0 が読めます。	R

SE0 レジスタは、シリアルアレイユニット 0 の各チャネルのデータ送受信動作許可／停止状態を表示するレジスタです。シリアルチャネル開始レジスタ 0 (SS0) の各ビットに 1 を書き込むと、このレジスタの対応ビットが 1 になります。シリアルチャネル停止レジスタ 0 (ST0) の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャネル n では、後述のシリアル出力レジスタ 0 (SO0) の CKO[n] ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアルクロック端子から出力されます。

動作を停止したチャネル n は、SO0 レジスタの CKO[n] ビットの値をソフトウェアで設定することができ、その値をシリアルクロック端子から出力できます。これにより、スタートコンディションあるいはストップコンディションなどの任意の波形をソフトウェアで作成することができます。

注. n : チャネル番号 (n = 0~3)

23.3.18 SE1 : シリアルチャネル許可ステータスレジスタ 1

Base address: SAU1 = 0x4009_4100

Offset address: 0x00A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SE[1:0]	チャネル n の動作許可／停止状態の表示 0: 動作停止状態 1: 動作許可状態	R
15:2	—	読むと 0 が読めます。	R

SE1 レジスタは、シリアルアレイユニット 1 の各チャネルのデータ送受信動作許可／停止状態を表示するレジスタです。シリアルチャネル開始レジスタ 1 (SS1) の各ビットに 1 を書き込むと、このレジスタの対応ビットが 1 になります。シリアルチャネル停止レジスタ 1 (ST1) の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャネル n では、後述のシリアル出力レジスタ 1 (SO1) の CKO[n] ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアルクロック端子から出力されます。

動作を停止したチャネル n は、SO1 レジスタの CKO[n] ビットの値をソフトウェアで設定することができ、その値をシリアルクロック端子から出力できます。これにより、スタートコンディションあるいはストップコンディションなどの任意の波形をソフトウェアで作成することができます。

注. n : チャネル番号 (n = 0, 1)

23.3.19 SOE0 : シリアル出力許可レジスタ 0

Base address: SAU0 = 0x4009_4000

Offset address: 0x00AA

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SOE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	SOE[3:0]	チャンネル n のシリアル出力許可または停止 0: シリアル通信動作による出力停止 1: シリアル通信動作による出力許可	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. ビット[15:4]には、必ず 0 を設定してください。

SOE0 レジスタは、シリアルアレイユニット 0 の各チャンネルのシリアル通信動作の出力許可または停止を設定するレジスタです。

シリアル出力を許可したチャンネル n では、後述のシリアル出力レジスタ 0 (SO0) の SO[n] ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアルデータ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SO0 レジスタの SO[n] ビットの値をソフトウェアで設定することができ、その値をシリアルデータ出力端子から出力できます。これにより、スタートコンディションあるいはストップコンディションなどの任意の波形をソフトウェアで作成することができます。

注. n : チャンネル番号 (n = 0~3)

23.3.20 SOE1 : シリアル出力許可レジスタ 1

Base address: SAU1 = 0x4009_4100

Offset address: 0x00AA

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SOE[1:0]	チャンネル n のシリアル出力許可または停止 0: シリアル通信動作による出力停止 1: シリアル通信動作による出力許可	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. ビット[15:2]には、必ず 0 を設定してください。

SOE1 レジスタは、シリアルアレイユニット 1 の各チャンネルのシリアル通信動作の出力許可または停止を設定するレジスタです。

シリアル出力を許可したチャンネル n では、後述のシリアル出力レジスタ 1 (SO1) の SO[n] ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアルデータ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SO1 レジスタの SO[n] ビットの値をソフトウェアで設定することができ、その値をシリアルデータ出力端子から出力できます。これにより、スタートコンディションあるいはストップコンディションなどの任意の波形をソフトウェアで作成することができます。

注. n : チャンネル番号 (n = 0, 1)

23.3.21 SO0 : シリアル出力レジスタ 0

Base address: SAU0 = 0x4009_4000

Offset address: 0x00A8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CKO[3:0]				—	—	—	—	SO[3:0]			
Value after reset:	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
3:0	SO[3:0]	チャンネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
11:8	CKO[3:0]	チャンネル n のシリアルクロック出力 0: シリアルクロック出力値が 0 1: シリアルクロック出力値が 1	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. ビット[15:12]とビット[7:4]には、必ず 0 を設定してください。

SO0 レジスタは、シリアルアレイユニット 0 の各チャンネルのシリアル出力バッファレジスタです。

SO[n]ビットの値が、チャンネル n のシリアルデータ出力端子から出力されます。

CKO[n]ビットの値が、チャンネル n のシリアルクロック出力端子から出力されます。

SO[n]ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOE0.SOE[n] = 0) 時のみ可能です。シリアル出力許可 (SOE0.SOE[n] = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみレジスタの値が変更されます。

CKO[n]ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SE0.SE[n] = 0) 時のみ可能です。チャンネル動作許可 (SE0.SE[n] = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ CKO[n] の値が変更されます。

また、シリアルインタフェース用端子をポート機能端子として使用する場合は、該当する CKO[n]ビットおよび SO[n]ビットを 1 にしてください。

注. n : チャンネル番号 (n = 0~3)

23.3.22 SO1 : シリアル出力レジスタ 1

Base address: SAU1 = 0x4009_4100

Offset address: 0x00A8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CKO[1:0]				—	—	—	—	SO[1:0]	
Value after reset:	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
1:0	SO[1:0]	チャンネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1	R/W
3:2	—	読むと 1 が読めます。書く場合、1 としてください。(注1)	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
9:8	CKO[1:0]	チャンネル n のシリアルクロック出力 0: シリアルクロック出力値が 0 1: シリアルクロック出力値が 1	R/W

ビット	シンボル	機能	R/W
11:10	—	読むと 1 が読めます。書く場合、1 としてください。(注1)	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. 必ず、ビット[15:12]と[7:4]には 0 を、ビット[11:10]とビット[3:2]には 1 を設定してください。

SO1 レジスタは、シリアルアレイユニット 1 の各チャネルのシリアル出力バッファレジスタです。

SO[n]ビットの値が、チャネル n のシリアルデータ出力端子から出力されます。

CKO[n]ビットの値が、チャネル n のシリアルクロック出力端子から出力されます。

SO[n]ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOE1.SOE[n] = 0) 時のみ可能です。シリアル出力許可 (SOE1.SOE[n] = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみレジスタの値が変更されます。

CKO[n]ビットのソフトウェアによる書き換えは、チャネル動作停止 (SE1.SE[n] = 0) 時のみ可能です。チャネル動作許可 (SE1.SE[n] = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ CKO[n] の値が変更されます。

また、シリアルインタフェース用端子をポート機能端子として使用する場合は、該当する CKO[n]ビットおよび SO[n]ビットを 1 にしてください。

注. n : チャネル番号 (n = 0, 1)

23.3.23 SOL0 : シリアル出力レベルレジスタ 0

Base address: SAU0 = 0x4009_4000

Offset address: 0x00B4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SOL2	—	SOL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOL0	UART モードでのチャネル 0 送信データのレベル反転の選択 0: 通信データをそのまま出力 1: 通信データを反転して出力	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
2	SOL2	UART モードでのチャネル 2 送信データのレベル反転の選択 0: 通信データをそのまま出力 1: 通信データを反転して出力	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. ビット[15:3]とビット[1]には、必ず 0 を設定してください。

SOL0 レジスタは、シリアルアレイユニット 0 の各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI モードまたは簡易 I²C モード時は、必ず使用するチャネルに対応するビットに 0 を設定してください。

このレジスタによる各チャネル n の反転設定は、シリアル出力許可 (SOE0.SOE[n] = 1) 時のみ端子出力に反映されます。

シリアル出力禁止 (SOE0.SOE[n] = 0) 時は SO0.SO[n]ビットの値がそのまま出力されます。

SOL0 レジスタは、レジスタ動作中 (SE0.SE[n] = 1 のとき) の書き換えは禁止です。

図 23.4 に、UART 送信中に送信データのレベルを反転する例を示します。

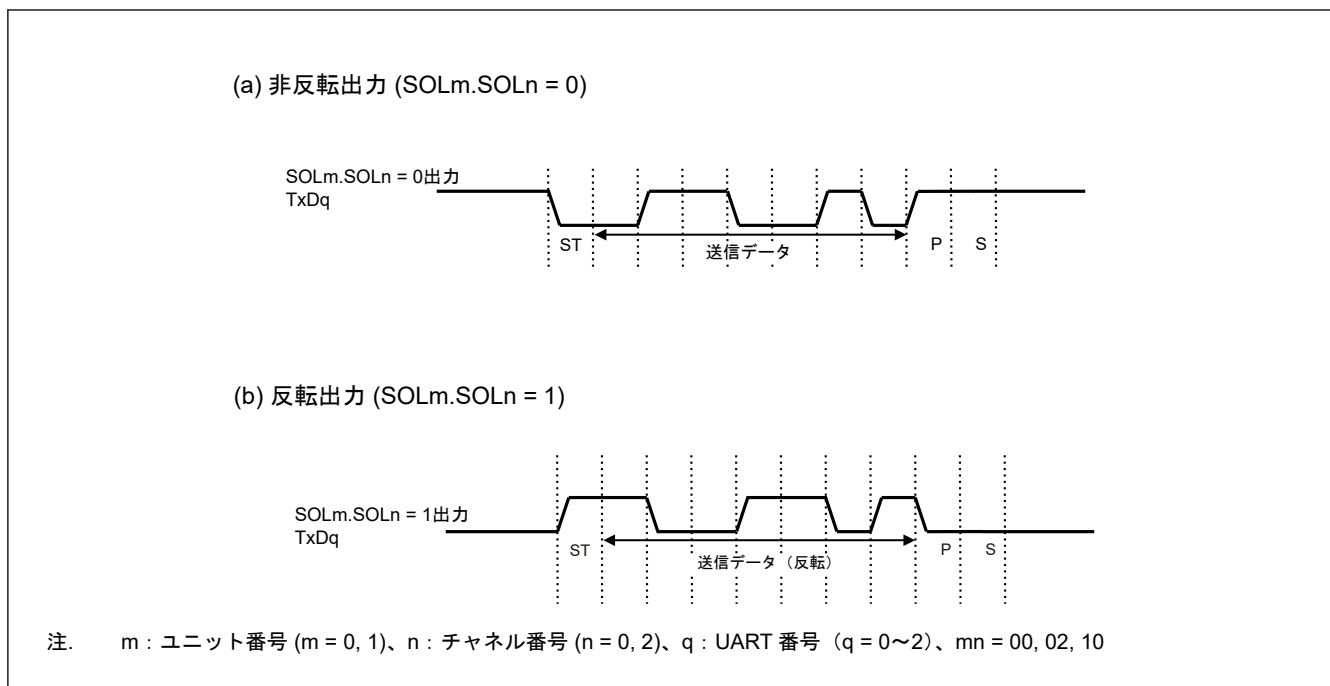


図 23.4 送信データ反転例

23.3.24 SOL1 : シリアル出力レベルレジスタ 1

Base address: SAU1 = 0x4009_4100

Offset address: 0x00B4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOL0	UART モードでのチャネル 0 送信データのレベル反転の選択 0: 通信データをそのまま出力 1: 通信データを反転して出力	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. ビット[15:1]には、必ず 0 を設定してください。

SOL1 レジスタは、シリアルアレイユニット 1 のチャネル 0 のデータ出力レベルの反転を設定するレジスタです。このレジスタは UART モード時のみ設定できます。簡易 SPI モードまたは簡易 I²C モード時は、必ず使用するチャネルに対応するビットに 0 を設定してください。

このレジスタによる各チャネル n の反転設定は、シリアル出力許可 (SOE1.SOE[0] = 1) 時のみ端子出力に反映されます。

シリアル出力禁止 (SOE1.SOE[0] = 0) 時は SO1.SO[0] ビットの値がそのまま出力されます。

SOL1 レジスタは、レジスタ動作中 (SE1.SE[0] = 1 のとき) の書き換えは禁止です。

図 23.4 に、UART 送信中に送信データのレベルを反転する例を示します。

23.3.25 SSCm : シリアルスタンバイ制御レジスタ m (m = 0, 1)

Base address: SAUm = 0x4009_4000 + 0x0100 × m

Offset address: 0x00B8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSEC	SWC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWC	スヌーズモードの設定 0: スヌーズモード機能を使用しない 1: スヌーズモード機能を使用する	R/W
1	SSEC	スヌーズモードにおける通信エラー割り込みの発生を許可するか禁止するかの選択 0: エラー割り込み SAUm_INTSREq の発生を許可 1: エラー割り込み SAUm_INTSREq の発生を禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SSC0 レジスタは、SPI00 または UART0 のシリアルデータ受信時に、ソフトウェアスタンバイモード中の受信起動（スヌーズモード）を制御するために使用します。

SSC1 レジスタは、SPI20 または UART2 のシリアルデータ受信時に、ソフトウェアスタンバイモード中の受信起動（スヌーズモード）を制御するために使用します。

注. スヌーズモードでの最大転送速度は以下のとおりです。

- SPI00、SPI20 を使用する場合：最大 0.5 Mbps
- UART0、UART2 を使用する場合：最大 9600 bps

SWC ビット（スヌーズモードの設定）

- ソフトウェアスタンバイ中にハードウェアトリガ信号があった場合、ソフトウェアスタンバイモードを終了し、CPU を動作させずに簡易 SPI 受信または UART 受信を行います（スヌーズモード）。
- スヌーズモード機能は、CPU および周辺モジュールクロック (PCLKB) に高速オンチップオシレータクロック (HOCO) または中速オンチップオシレータクロック (MOCO) が選択されている場合にのみ指定できます。他のクロックが選択されている場合、このモードの指定は禁止されています。
- スヌーズモードを使用する場合でも、通常動作モードでは必ず SWC ビットを 0 にし、ソフトウェアスタンバイモードに移行する直前に 1 に変更してください。

また、ソフトウェアスタンバイモードから通常動作モードに復帰した後は、必ず SWC ビットを 0 に変更してください。

SSEC ビット（スヌーズモードにおける通信エラー割り込みの発生を許可するか禁止するかの選択）

- SSEC ビットを 1 または 0 に設定できるのは、スヌーズモードで UART 受信中に SWC ビットと SCRmn.EOC ビットの両方が 1 に設定されている場合のみです。その他の場合は、SSEC ビットを 0 にクリアしてください。
- SSEC, SWC = 1, 0 にすることは禁止です。

スヌーズモードでの UART 受信動作中の割り込みを、表 23.6 に示します。

表 23.6 スヌーズモードでの UART 受信動作中の割り込み

SCRmn.EOC ビット	SSEC ビット	受信正常終了	受信エラー終了
0	0	SAUm_ENDIn が発生	SAUm_ENDIn が発生
0	1	SAUm_ENDIn が発生	SAUm_ENDIn が発生
1	0	SAUm_ENDIn が発生	SAUm_INTSREq が発生
1	1	SAUm_ENDIn が発生	割り込み発生なし

注. q : UART 番号 (q = 0, 2)

23.3.26 ISC : 入力切り替え制御レジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x0003

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ISC76[1:0]	—	ISC43[1:0]	—	ISC1	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ISC1 ^(注1)	タイマアレイユニットのチャンネル 7 入力切り替え 0: TI07 端子の入力信号をタイマ入力に使用 (通常動作) 1: RxD2 端子の入力信号をタイマ入力に使用 (ウェイクアップ信号を検出し、ブレークフィールドの Low 幅とシンクフィールドのパルス幅を測定する)	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4:3	ISC43[1:0] ^(注2)	SPI00 のシリアルクロック入力元切り替え 0 0: SCK00 端子の入力信号 (通常動作) 1 0: TO01 出力信号 その他: 設定禁止	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	ISC76[1:0] ^(注3)	SPI01 のシリアルクロック入力元切り替え 0 0: SCK01 端子の入力信号 (通常動作) 1 0: TO01 出力信号 その他: 設定禁止	R/W

注 1. LIN バス通信機能を使用する場合は、ISC1 ビットを 1 にして RxD2 端子の入力信号を選択します。

注 2. チャンネル 0 で UART モードまたは簡易 I²C モードを選択する場合は、ISC43[1:0] ビットを 0 にします。

注 3. チャンネル 1 で UART モードまたは簡易 I²C モードを選択する場合は、ISC76[1:0] ビットを 0 にします。

ISC1 ビット (タイマアレイユニットのチャンネル 7 入力切り替え)

ISC1 ビットはタイマアレイユニットと連携して UART2 による LIN バス通信動作を実現するために使用されます。このビットを 1 に設定すると、シリアルデータ入力 (RxD2) 端子の入力信号がタイマ入力として選択され、ウェイクアップ信号の検出、ブレークフィールドの Low 幅、およびシンクフィールドのパルス幅をタイマで計測することができます。

ISC43[1:0] ビット (SPI00 のシリアルクロック入力元切り替え)

ISC43[1:0] ビットは SPI00 のシリアルデータ入力元とシリアルクロック入力元を選択するのに使用されます。これらのビットを使用して、SPI00 のシリアルクロック入力元として SCK00 端子入力または TO01 出力信号を選択することができます。

ISC76[1:0] ビット (SPI01 のシリアルクロック入力元切り替え)

ISC76[1:0] ビットは SPI01 のシリアルデータ入力元とシリアルクロック入力元を選択するのに使用されます。これらのビットを使用して、SPI01 のシリアルクロック入力元として SCK01 端子入力または TO01 出力信号を選択することができます。

23.3.27 SNFEN : SAU ノイズフィルタ許可レジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x0000

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SNFE N20	—	SNFE N10	—	SNFE N00
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNFEN00	RxD0 端子のノイズフィルタ使用 0: ノイズフィルタ OFF 1: ノイズフィルタ ON	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
2	SNFEN10	RxD1 端子のノイズフィルタ使用 0: ノイズフィルタ OFF 1: ノイズフィルタ ON	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
4	SNFEN20	RxD2 端子のノイズフィルタ使用 0: ノイズフィルタ OFF 1: ノイズフィルタ ON	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W

注 1. ビット[7:5]、ビット[3]およびビット[1]には、必ず 0 を設定してください。

SNFEN レジスタは、シリアルデータ入力端子からの入力信号に対するノイズフィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易 SPI または簡易 I²C 通信に使用する端子は、本レジスタの対応するビットに 0 を設定して、ノイズフィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットを 1 に設定して、ノイズフィルタを有効にしてください。ノイズフィルタが有効な場合、対象チャンネルの動作クロック (f_{MCK}) と同期をとった後、2 クロック一致検出を行います。ノイズフィルタが無効な場合、対象チャンネルの動作クロック (f_{MCK}) との同期のみが行われます。

SNFEN00 ビット (RxD0 端子のノイズフィルタ使用)

RxD0 端子を使用する場合は SNFEN00 を 1 に設定します。

RxD0 端子以外を使用する場合は SNFEN00 を 0 に設定します。

SNFEN10 ビット (RxD1 端子のノイズフィルタ使用)

RxD1 ピンを使用する場合は SNFEN10 を 1 に設定します。

RxD1 端子以外を使用する場合は SNFEN10 を 0 に設定します。

SNFEN20 ビット (RxD2 端子のノイズフィルタ使用)

RxD2 端子を使用する場合は SNFEN20 を 1 に設定します。

RxD2 端子以外を使用する場合は SNFEN20 を 0 に設定します。

23.3.28 ULBS : UART ループバック選択レジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x0009

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	ULBS5	ULBS4	—	ULBS2	ULBS1	ULBS0

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ULBS0	UART0 ループバック機能の選択 0: シリアルアレイユニット UART0 の RxD0 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタから受信シフトレジスタへ出力をループバック	R/W
1	ULBS1	UART1 ループバック機能の選択 0: シリアルアレイユニット UART1 の RxD1 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタから受信シフトレジスタへ出力をループバック	R/W
2	ULBS2	UART2 ループバック機能の選択 0: シリアルアレイユニット UART2 の RxD2 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタから受信シフトレジスタへ出力をループバック	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	ULBS4	UARTA0 ループバック機能の選択 0: シリアルインタフェース UARTA0 の RxDA0 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタから受信シフトレジスタへ出力をループバック	R/W
5	ULBS5	UARTA1 ループバック機能の選択 0: シリアルインタフェース UARTA1 の RxDA1 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタから受信シフトレジスタへ出力をループバック	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ULBS レジスタは UART ループバック機能を有効にするために使用されます。このレジスタには UART チャネルを個別に制御するビットがあります。各チャネルに対応するビットが 1 に設定されると、UART ループバック機能が選択され、送信シフトレジスタからの出力が受信シフトレジスタにループバックされます。

23.4 動作停止モード

シリアルアレイユニットの各シリアルインタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。またこのモードでは、シリアルインタフェース用端子をポート機能端子として使用できます。

チャネルごとに動作停止する場合は、以下の各レジスタで設定します。

表 23.7～表 23.10 に、チャネルごとに動作停止とする場合の各レジスタの設定を示します。

(a) シリアルチャネル停止レジスタ m (STm)

STm レジスタは、通信／カウント停止の許可をチャネルごとに設定するトリガレジスタです。

表 23.7 チャネルごとに動作停止とする場合のシリアルチャネル停止レジスタ m (STm) の設定

ビット	シンボル	設定値	機能
n	ST[n]	1	チャネル n の動作停止トリガ ST[n]ビットはトリガビットなので、SEm.SE[n] = 0 になるとすぐ ST[n]ビットはクリアされます。 1: SEm.SE[n]ビットを 0 にクリアし、通信動作を停止する

(b) シリアルチャネル許可ステータスレジスタ m (SEm)

本レジスタは、各チャネルのデータ送受信動作許可／停止状態を表示するレジスタです。

表 23.8 チャネルごとに動作停止とする場合のシリアルチャネル許可ステータスレジスタ m (SEm) の状態

ビット	シンボル	読み出し値	機能
n	SE[n]	1 または 0	チャネル n の動作許可／停止状態の表示 動作を停止したチャネルは、SOm レジスタの CKO[n] ビットの値をソフトウェアで設定することができます。 SEm は読み出し専用のステータスレジスタであり、その動作は STm レジスタを使用して停止されます。 0: 動作停止 1: 動作許可

(c) シリアル出力許可レジスタ m (SOEm)

本レジスタは、各チャネルのシリアル通信動作の出力許可または停止を設定するレジスタです。

表 23.9 チャネルごとに動作停止とする場合のシリアル出力許可レジスタ m (SOEm) の設定

ビット	シンボル	設定値	機能
n	SOE[n]	0	チャネル n のシリアル出力許可または停止 シリアル出力を停止したチャネル n は、SOm レジスタの SO[n] ビットの値をソフトウェアで設定することができます。 0: シリアル通信動作による出力の停止

(d) シリアル出力レジスタ m (SOM)

SOM レジスタは、各チャネルのシリアル出力バッファレジスタです。

表 23.10 チャネルごとに動作停止とする場合のシリアル出力レジスタ m (SOM) の設定

ビット	シンボル	設定値	機能
n	SO[n]	1	チャネル n のシリアルデータ出力 各チャネルに対応する端子をポート機能端子として使用する場合は、該当する SO[n] ビットを 1 にしてください。 1: シリアルデータ出力値が 1
n+8	CKO[n]	1	チャネル n のシリアルクロック出力 各チャネルに対応する端子をポート機能端子として使用する場合は、該当する CKO[n] ビットを 1 にしてください。 1: シリアルクロック出力値が 1

注. ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

23.5 簡易 SPI の動作

シリアルクロック (SCK) とシリアルデータ (SI および SO) の 3 本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7 または 8 ビットのデータ長
- 送受信データの位相制御
- MSB ファーストまたは LSB ファーストを選択可能

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャネル内カウンタによる転送周期の設定
- 最大転送速度^(注1)

- － マスタ通信時：
 - ・ 最大 PCLKB/2 (SPI00 のみ)
 - ・ 最大 PCLKB/4
- － スレーブ通信時：
 - ・ 最大 $f_{MCK}/6$

[割り込み機能]

- 転送終了割り込みまたはバッファ空き割り込み

[エラー検出フラグ]

- オーバーランエラー

さらに、以下のチャンネルの簡易 SPI はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に SCK 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、非同期受信をサポートする SPI00 および SPI20 のみ利用可能です。

注 1. 転送速度は、SCK サイクルタイム (t_{KCY}) を満たす範囲内で設定してください。詳細は「37. 電気的特性」を参照してください。★

注. 必要な場合は、汎用ポート端子を使ってチップセレクト信号を送ってください。

簡易 SPI に対応しているチャンネルは、SAU0 のチャンネル 0～3 と SAU1 のチャンネル 0～1 です。表 23.1～表 23.3 を参照してください。

簡易 SPI の通信動作は、以下の 7 種類があります。

- マスタ送信（「23.5.1. マスタ送信」を参照）
- マスタ受信（「23.5.2. マスタ受信」を参照）
- マスタ送受信（「23.5.3. マスタ送受信」を参照）
- スレーブ送信（「23.5.4. スレーブ送信」を参照）
- スレーブ受信（「23.5.5. スレーブ受信」を参照）
- スレーブ送受信（「23.5.6. スレーブ送受信」を参照）
- スヌーズモード機能（「23.5.7. スヌーズモード機能」を参照）

23.5.1 マスタ送信

マスタ送信とは、マイクロコントローラが転送クロックを出力し、他デバイスへデータを送信する動作です。

表 23.11 に簡易 SPI のマスタ送信の仕様を示します。

表 23.11 簡易 SPI のマスタ送信の仕様 (1/2)

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1	SAU0 のチャンネル 2	SAU0 のチャンネル 3	SAU1 のチャンネル 0	SAU1 のチャンネル 1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。					
エラー検出フラグ	なし					
転送データ長	7 ビットまたは 8 ビット					
転送速度 ^(注1)	最大 PCLKB /2 [Hz] (SPI00 のみ)、PCLKB /4 [Hz] 最小 PCLKB ($2 \times 2^{15} \times 128$) [Hz]					

表 23.11 簡易 SPI のマスタ送信の仕様 (2/2)

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
データ位相	SCRmn レジスタの DCP[1] ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始からデータ出力を開始。 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ出力を開始。					
クロック位相	SCRmn レジスタの DCP[0] ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転					
データ方向	MSB ファーストまたは LSB ファースト					

注. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0~3), mn = 00~03, 10~11

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のマスタ送信に対するレジスタ内容の例を表 23.12~表 23.17 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.12 簡易 SPI のマスタ送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャンネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャンネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効 (初期値に設定されます)
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効 (初期値に設定されます)
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効 (簡易 SPI、UART 送信、および簡易 I ² C 時に選択)
13:9	—	00000b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f _{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.13 簡易 SPI のマスタ送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)

表 23.13 簡易 SPI のマスタ送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効（初期値に設定されます）
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「 23.3. レジスタの説明 」を参照してください。
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 SPI マスタ送信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.14 簡易 SPI のマスタ送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ～ 0xFF	送信データ (送信データの設定)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ボーレート設定 (動作クロック (f _{MCK}) の分周設定)

(d) シリアル出力レジスタ m (SOm)

対象チャネルのビットのみ設定してください。

表 23.15 簡易 SPI のマスタ送信に対するシリアル出力レジスタ m (SOm) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 23.16 簡易 SPI のマスタ送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 23.17 簡易 SPI のマスタ送信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.18 に、マスタ送信の初期設定手順を示します。

表 23.18 マスタ送信の初期設定手順

手順	処理	詳細
マスタ送信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 転送ボーレートを設定する (動作クロック (f_{MCK}) を分周して転送クロックを設定)。
	<6>	SOM レジスタの設定 シリアルクロック (SOM.CKO[n]) およびシリアルデータ (SOM.SO[n]) の初期出力レベルを設定する。
	<7>	SOEm レジスタの設定 SOEm.SOE[n]ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<8>	ポートの設定 対象チャネルのデータ出力およびクロック出力を許可する。
	<9>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n]ビットに 1 を設定し、SEm.SE[n] = 1 に設定することにより動作を許可する。
	<10>	初期設定完了 SAU の設定が完了。 SDRmn.DAT[7:0]ビットに送信データを書き込み、通信開始する。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.19 に、マスタ送信の停止手順を示します。

表 23.19 マスタ送信の停止手順

手順	処理	詳細
マスタ送信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。緊急に停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n]ビットに 1 を書き込む (SEm.SE[n] = 0 を設定することにより動作停止状態にする)。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOM レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルクロック (SOM.CKO[n]) およびシリアルデータ (SOM.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 マスタ送信が停止。 次の処理に進む。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.20 に、マスタ送信の再開手順を示します。

表 23.20 マスタ送信の再開手順

手順	処理	詳細
マスタ送信の再開手順	<1>	再開設定開始
	<2>	スレーブが準備完了になるまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	SOEm レジスタの設定変更 (任意)
	<9>	SOM レジスタの設定変更 (任意)
	<10>	SOEm レジスタの設定変更
	<11>	ポート操作
	<12>	SSm レジスタへの書き込み
	<13>	再開設定完了

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

(3) 処理フロー (シングル送信モード時)

図 23.5 に、マスタ送信のタイミングを示します (シングル送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

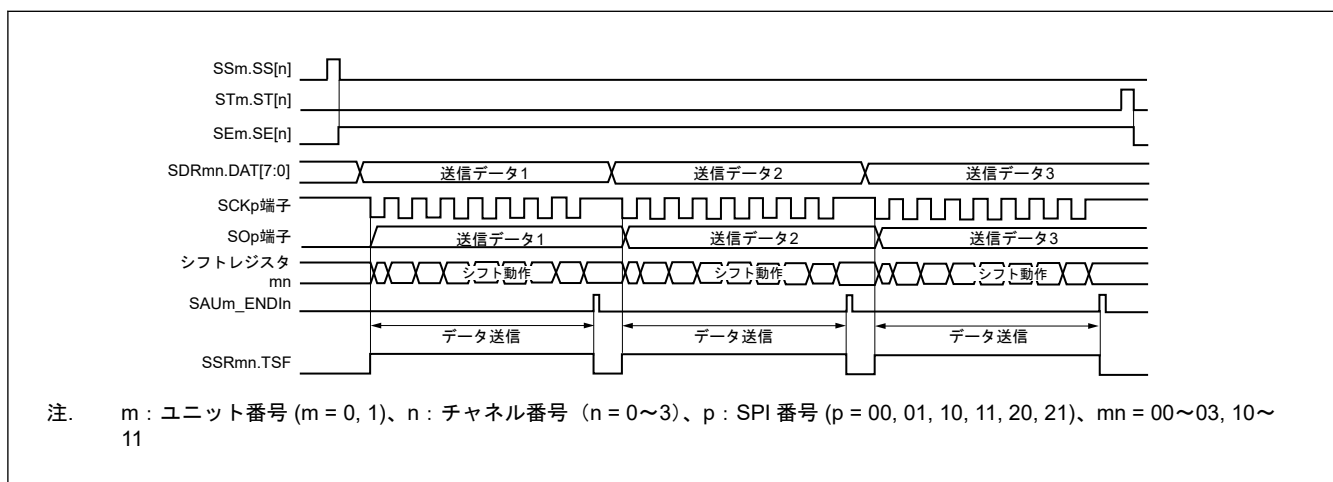


図 23.5 マスタ送信のタイミング (シングル送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.6 に、マスタ送信のフローチャート (シングル送信モード時) を示します。

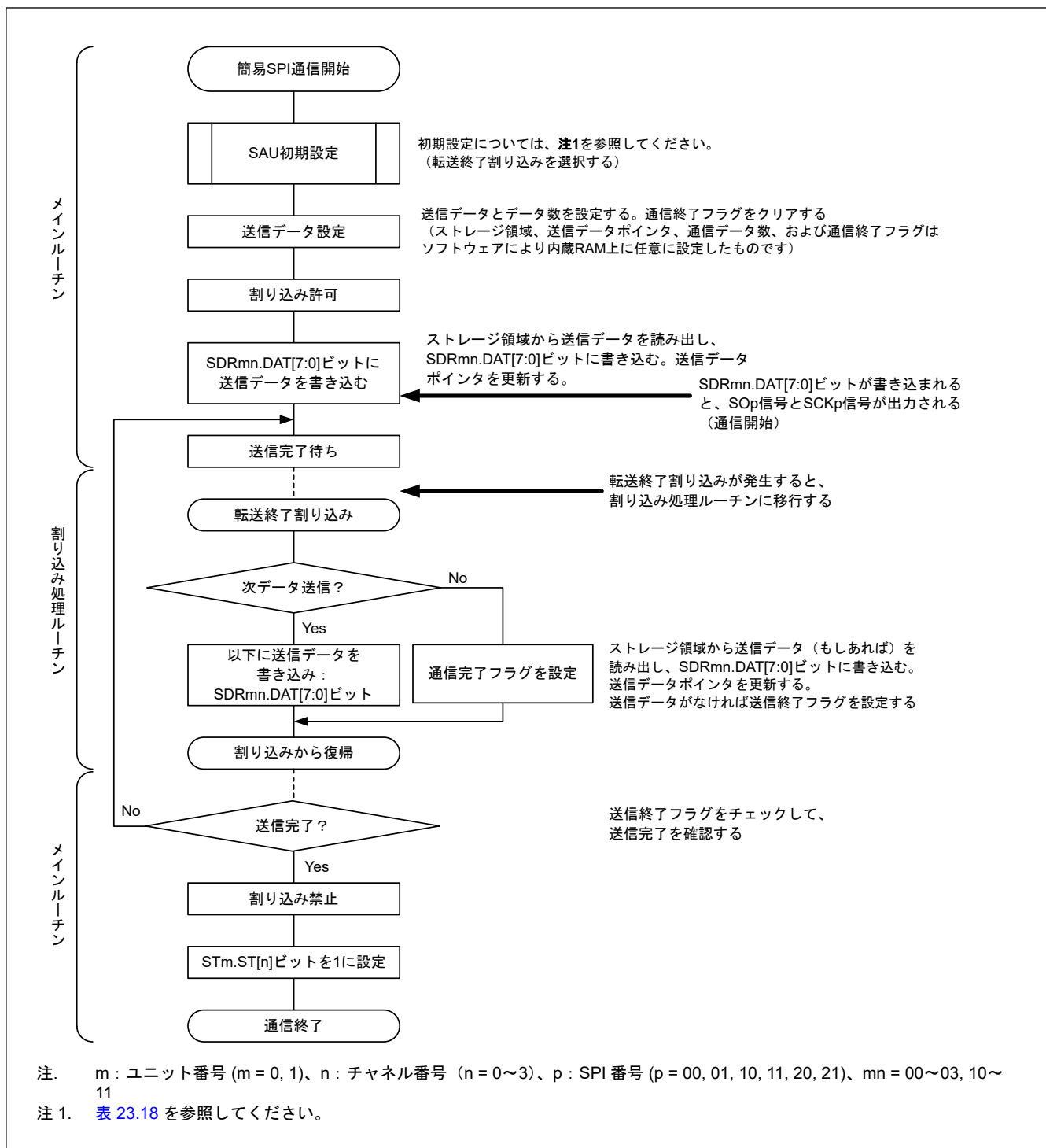
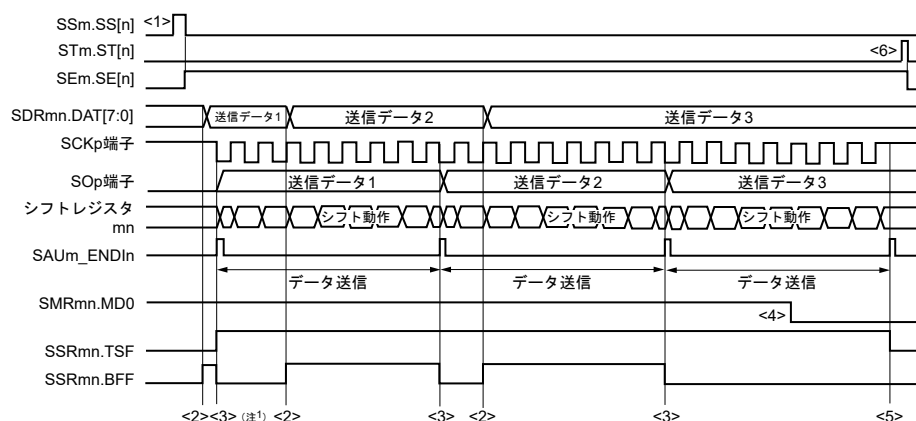


図 23.6 マスタ送信のフローチャート (シングル送信モード時)

(4) 処理フロー (連続送信モード時)

図 23.7 に、マスタ送信のタイミングを示します (連続送信モード時) (タイプ 1: SCRmn.DCP[1:0] = 00b)。



- 注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。
- 注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00~03, 10~11
- 注 1. シリアルステータスレジスタ mn (SSRmn) の BFF フラグが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

図 23.7 マスタ送信のタイミング (連続送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.8 に、マスタ送信のフローチャート (連続送信モード時) を示します。

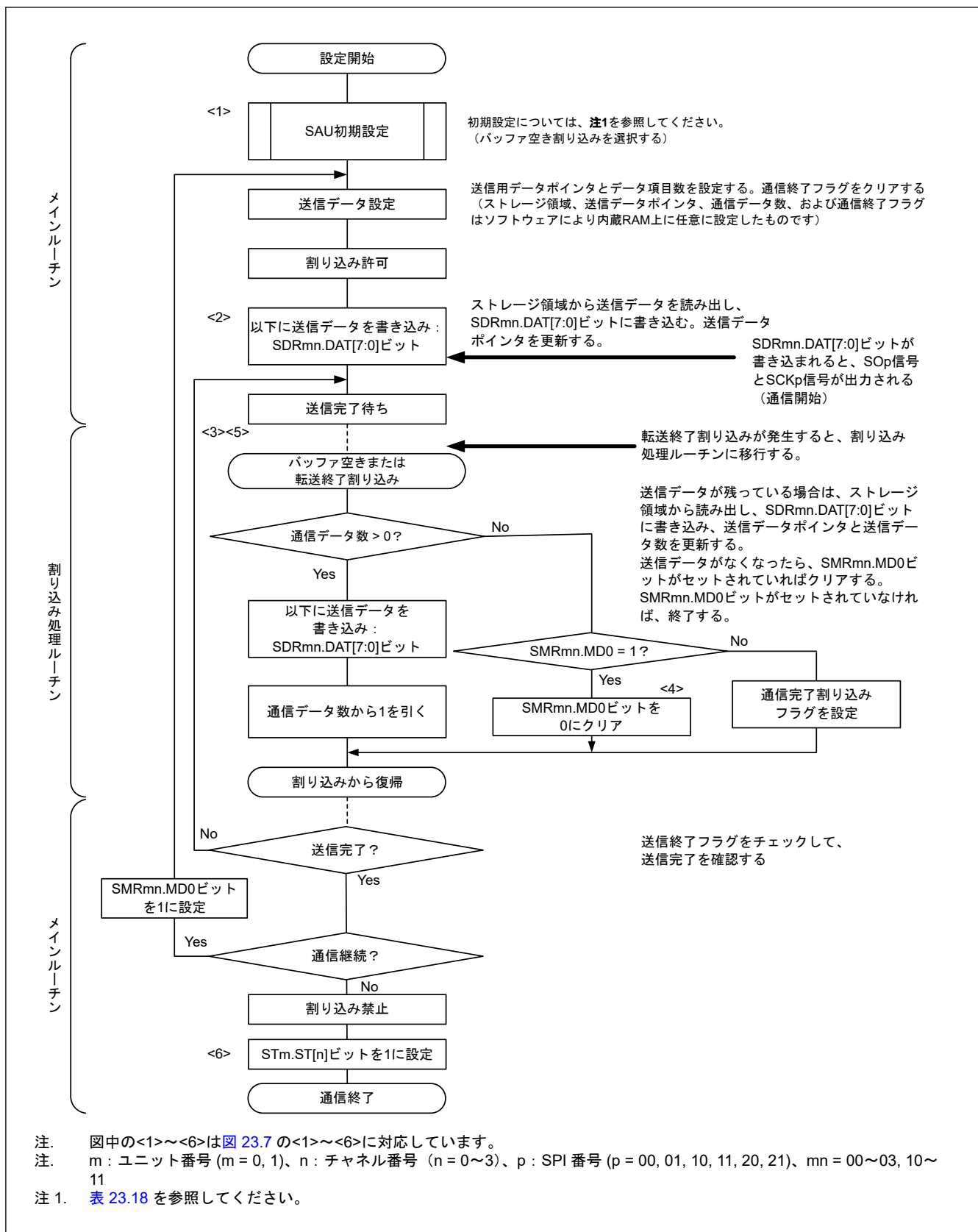


図 23.8 マスタ送信のフローチャート (連続送信モード時)

23.5.2 マスタ受信

マスタ受信とは、マイクロコントローラが転送クロックを出力し、他デバイスからデータを受信する動作です。

表 23.21 に簡易 SPI のマスタ受信の仕様を示します。

表 23.21 簡易 SPI のマスタ受信の仕様

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1	SAU0 のチャンネル 2	SAU0 のチャンネル 3	SAU1 のチャンネル 0	SAU1 のチャンネル 1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。					
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ					
転送データ長	7 ビットまたは 8 ビット					
転送速度 ^(注1)	最大 PCLKB/2 [Hz] (SPI00 のみ)、PCLKB/4 [Hz] 最小 PCLKB/(2 × 2 ¹⁵ × 128)[Hz]					
データ位相	SCRmn レジスタの DCP[1]ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始からデータ入力を開始。 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ入力を開始。					
クロック位相	SCRmn レジスタの DCP[0]ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転					
データ方向	MSB ファーストまたは LSB ファースト					

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のマスタ受信に対するレジスタ内容の例を表 23.22～表 23.27 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.22 簡易 SPI のマスタ受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャンネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャンネル n の動作モードの設定 0 0: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	0	チャンネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f _{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.23 簡易 SPI のマスタ受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「23.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、簡易 SPI マスタ受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.24 簡易 SPI のマスタ受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	受信データ (ダミーデータとして 0xFF を書き込む)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ボーレート設定 (動作クロック (f _{MCK}) の分周設定)

(d) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 23.25 簡易 SPI のマスタ受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

このレジスタは本モードでは使用しません。

表 23.26 簡易 SPI のマスタ受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 23.27 簡易 SPI のマスタ受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

注. × : シリアルアレイユニットで使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.28 に、マスタ受信の初期設定手順を示します。

表 23.28 マスタ受信の初期設定手順

手順	処理	詳細
マスタ受信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モード等を設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 転送ボーレートを設定する (動作クロック (f _{MCK}) を分周して転送クロックを設定)。
	<6>	SOM レジスタの設定 シリアルクロック (SOM.CKO[n]) の初期出力レベルを設定する。
	<7>	ポートの設定 対象チャネルのクロック出力を有効にする。
	<8>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n] ビットに 1 を設定し、SEm.SE[n] = 1 に設定することにより動作を許可する。
	<9>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0] ビットにダミーデータを設定し、通信開始する。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.29 に、マスタ受信の停止手順を示します。

表 23.29 マスタ受信の停止手順

手順	処理	詳細
マスタ受信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n] ビットに 1 を書き込む (SEm.SE[n] = 0 を設定することにより動作停止状態にする)。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n] ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOM レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルクロック (SOM.CKO[n]) およびシリアルデータ (SOM.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.30 に、マスタ受信の再開手順を示します。

表 23.30 マスタ受信の再開手順

手順	処理	詳細
マスタ受信の再開手順	<1>	再開設定開始
	<2>	スレープの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	SOM レジスタの設定変更 (任意)
	<9>	エラーフラグのクリア
	<10>	ポート操作
	<11>	SSm レジスタへの書き込み
	<12>	再開設定完了

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

(3) 処理フロー (シングル受信モード時)

図 23.9 に、マスタ受信のタイミングを示します (シングル受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

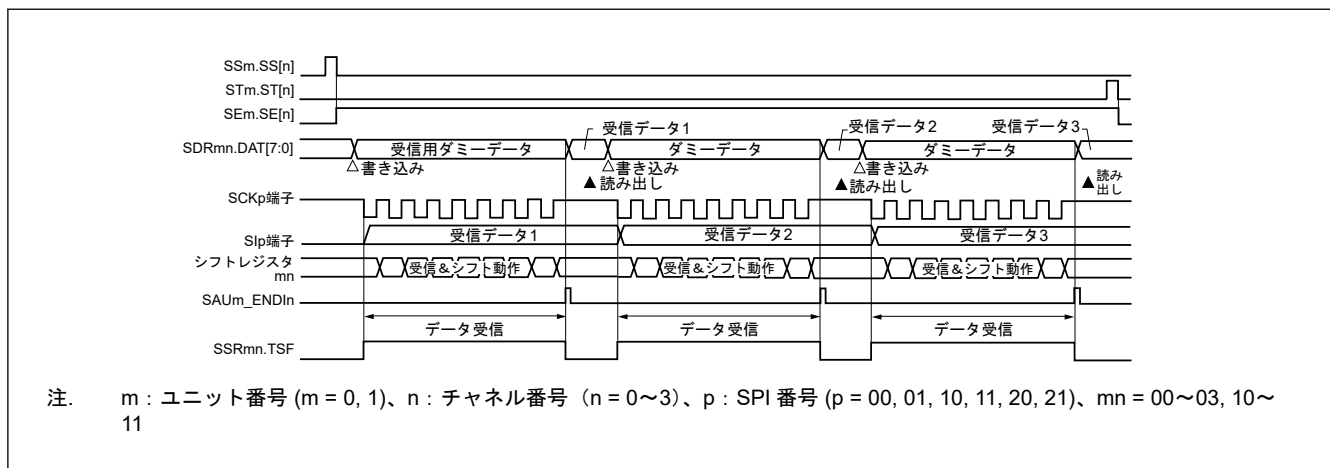


図 23.9 マスタ受信のタイミング (シングル受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.10 に、マスタ受信のフローチャート (シングル受信モード時) を示します。

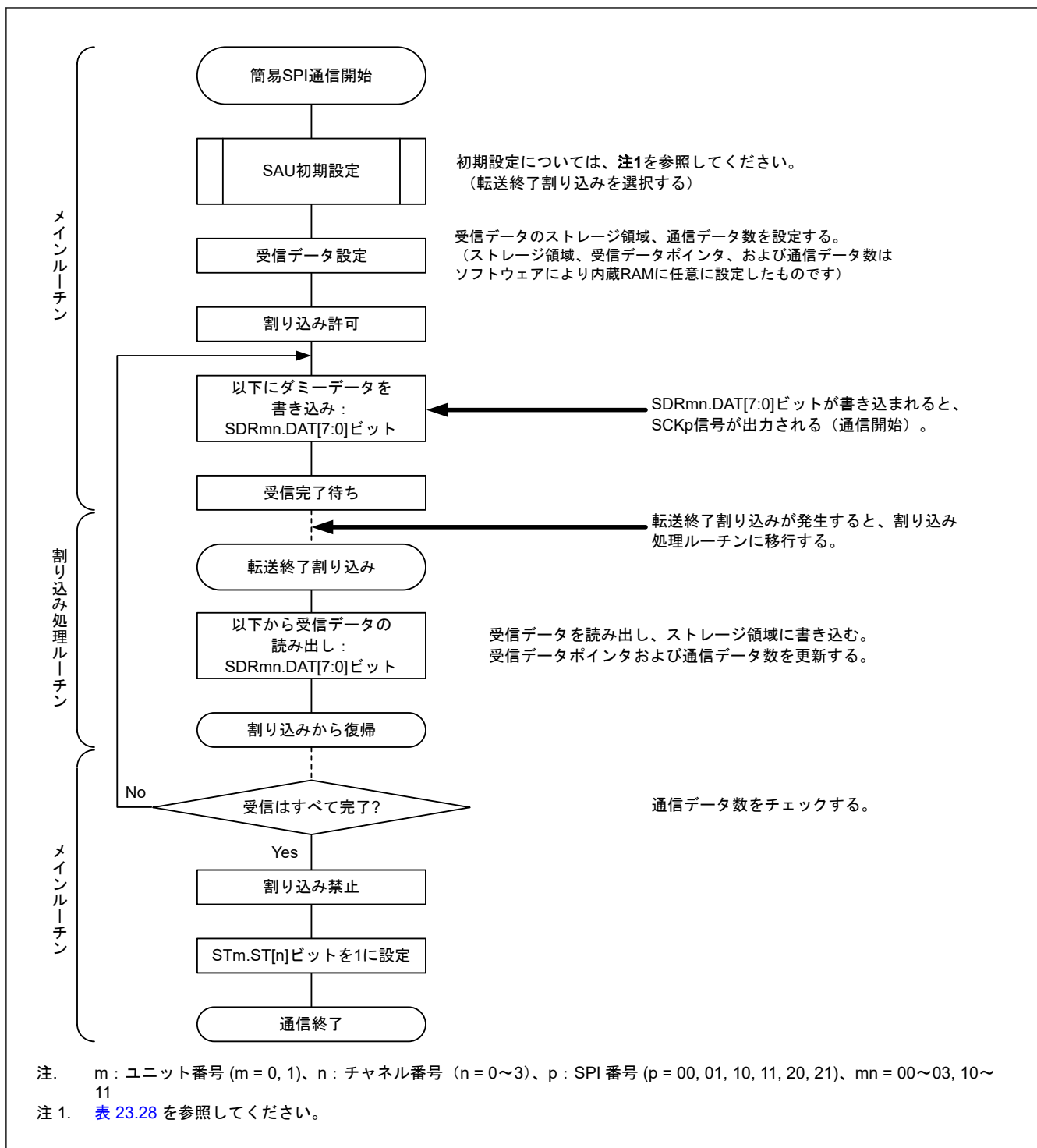
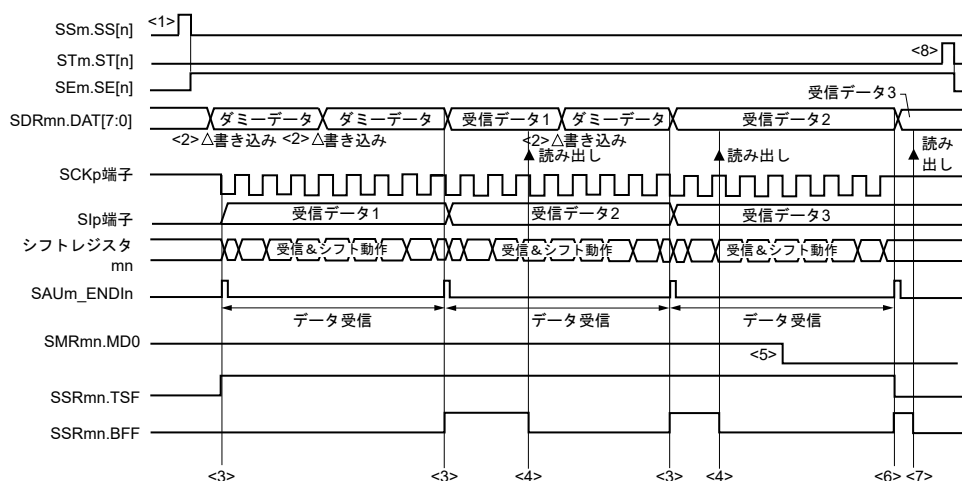


図 23.10 マスタ受信のフローチャート (シングル受信モード時)

(4) 処理フロー (連続受信モード時)

図 23.11 に、マスタ受信のタイミングを示します (連続受信モード時) (タイプ 1: SCRmn.DCP[1:0] = 00b)。



- 注. SMRmn.MD0 ビットは、動作中でも書き換えることができます。ただし、最後の受信データの転送終了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。
- 注. 図中の<1>～<8>は図 23.12 の<1>～<8>に対応しています。
- 注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0～3)、p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00～03, 10～11

図 23.11 マスタ受信のタイミング (連続受信モード時) (タイプ 1 : DCPmn[1:0] = 00b)

図 23.12 に、マスタ受信のフローチャート (連続受信モード時) を示します。

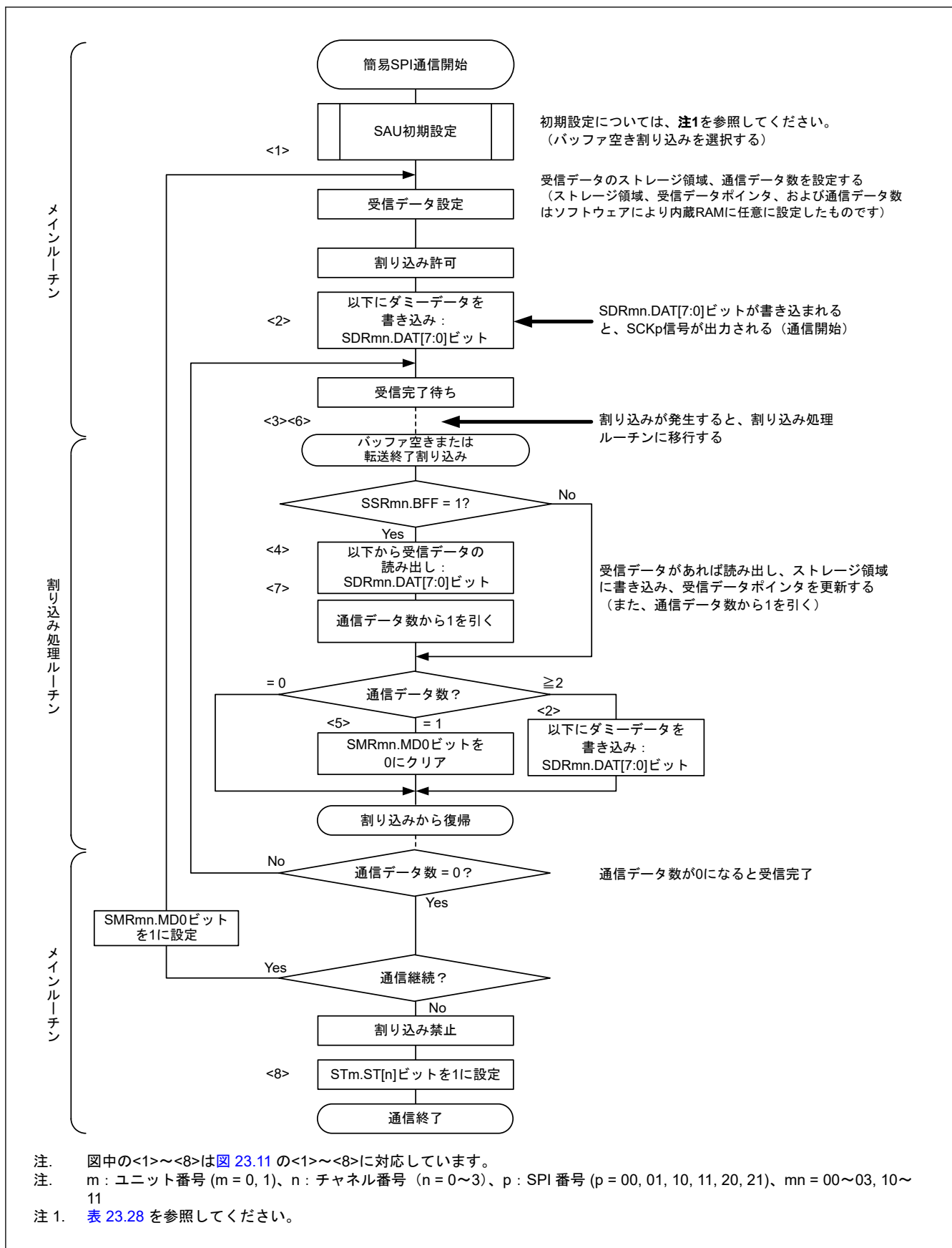


図 23.12 マスタ受信のフローチャート（連続受信モード時）

23.5.3 マスタ送受信

マスタ送受信とは、マイクロコントローラが転送クロックを出力し、他デバイスとデータを送受信する動作です。

表 23.31 に簡易 SPI のマスタ送受信の仕様を示します。

表 23.31 簡易 SPI のマスタ送受信の仕様

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 1	SAU0 のチャネル 2	SAU0 のチャネル 3	SAU1 のチャネル 0	SAU1 のチャネル 1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。					
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ					
転送データ長	7 ビットまたは 8 ビット					
転送速度(注1)	最大 PCLKB /2 [Hz] (SPI00 のみ)、PCLKB /4 [Hz] 最小 PCLKB/(2 × 2 ¹⁵ × 128)[Hz]					
データ位相	SCRmn レジスタの DCP[1]ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始によりデータ入出力を開始。 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ入出力を開始。					
クロック位相	SCRmn レジスタの DCP[0]ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転					
データ方向	MSB ファーストまたは LSB ファースト					

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

注 1. この動作は、上記の条件および電氣的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電氣的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のマスタ送受信に対するレジスタ内容の例を表 23.32~表 23.37 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.32 簡易 SPI のマスタ送受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
0	MD0	0/1	チャネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	0	チャネル n の転送クロック (f _{TCLK}) の選択 0: CKS ビットで指定した動作クロック f _{MCK} の分周クロック

表 23.32 簡易 SPI のマスタ送受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.33 簡易 SPI のマスタ送受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「23.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	11b	TRXE[1:0] = 11b の設定は、簡易 SPI マスタ送受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.34 簡易 SPI のマスタ送受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	送信データまたは受信データ 送信データを設定し、ダミーデータとして 0xFF を書き込む
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00 ～ 0x7F	ボーレート設定 動作クロック (f_{MCK}) の分周設定

(d) シリアル出力レジスタ m (SOM)

対象チャンネルのビットのみ設定してください。

表 23.35 簡易 SPI のマスタ送受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャンネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 23.36 簡易 SPI のマスタ送受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 23.37 簡易 SPI のマスタ送受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.38 に、マスタ送受信の初期設定手順を示します。

表 23.38 マスタ送受信の初期設定手順

手順	処理	詳細
マスタ送受信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 転送ボーレートを設定する (動作クロック (f _{MCK}) を分周して転送クロックを設定)。
	<6>	SOm レジスタの設定 シリアルクロック (SOm.CKO[n]) およびシリアルデータ (SOm.SO[n]) の初期出力レベルを設定する。
	<7>	SOEm レジスタの設定変更 SOEm.SOE[n] ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<8>	ポートの設定 対象チャネルのデータ出力およびクロック出力を有効にする。
	<9>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n] ビットに 1 を設定し、SEEm.SE[n] ビットを 1 にすることにより動作を許可する。
	<10>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0] ビットに送信データを設定し、開始する。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.39 に、マスタ送受信の停止手順を示します。

表 23.39 マスタ送受信の停止手順

手順	処理	詳細
マスタ送受信の停止手順	<1>	停止設定開始
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意)
	<3>	STm レジスタへの書き込み
	<4>	SOEm レジスタの設定変更
	<5>	SOm レジスタの設定変更 (任意)
	<6>	停止設定完了

注. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0~3), mn = 00~03, 10~11

表 23.40 に、マスタ送受信の再開手順を示します。

表 23.40 マスタ送受信の再開手順

手順	処理	詳細
マスタ送受信の再開手順	<1>	再開設定開始
	<2>	スレーブの準備完了を確認する
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	エラーフラグのクリア (任意)
	<9>	SOEm レジスタの設定変更 (任意)
	<10>	SOm レジスタの設定変更 (任意)
	<11>	SOEm レジスタの設定変更 (任意)
	<12>	ポート操作
	<13>	SSm レジスタへの書き込み
	<14>	再開設定完了

注. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0~3), mn = 00~03, 10~11

(3) 処理フロー (シングル送受信モード時)

図 23.13 に、マスタ送受信のタイミングを示します (シングル送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

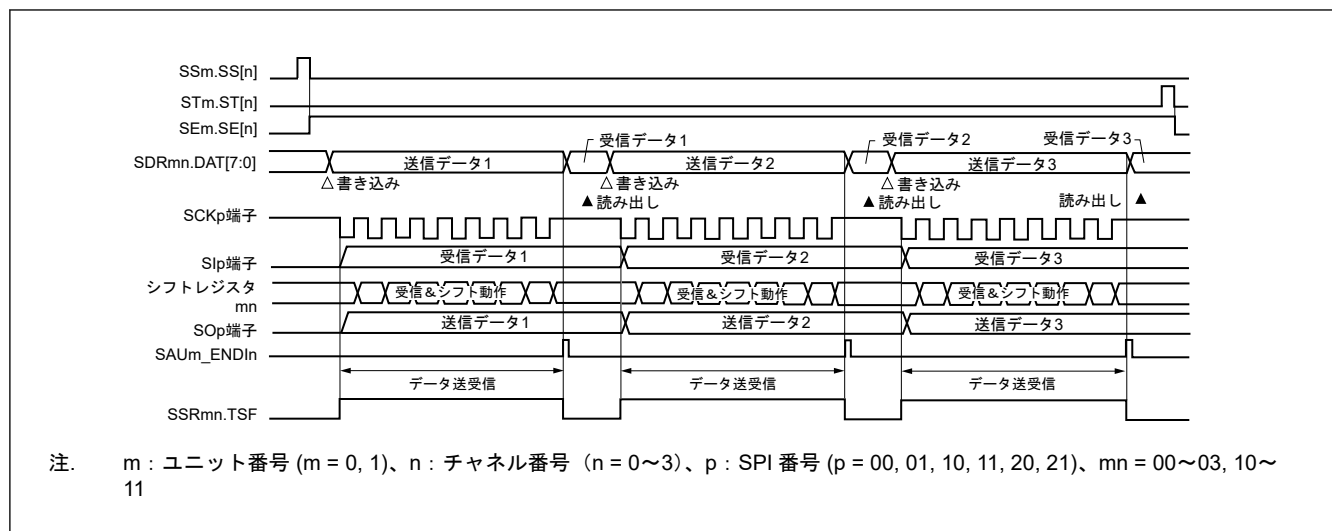


図 23.13 マスタ送受信のタイミング (シングル送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.14 に、マスタ送受信のフローチャート (シングル送受信モード時) を示します。

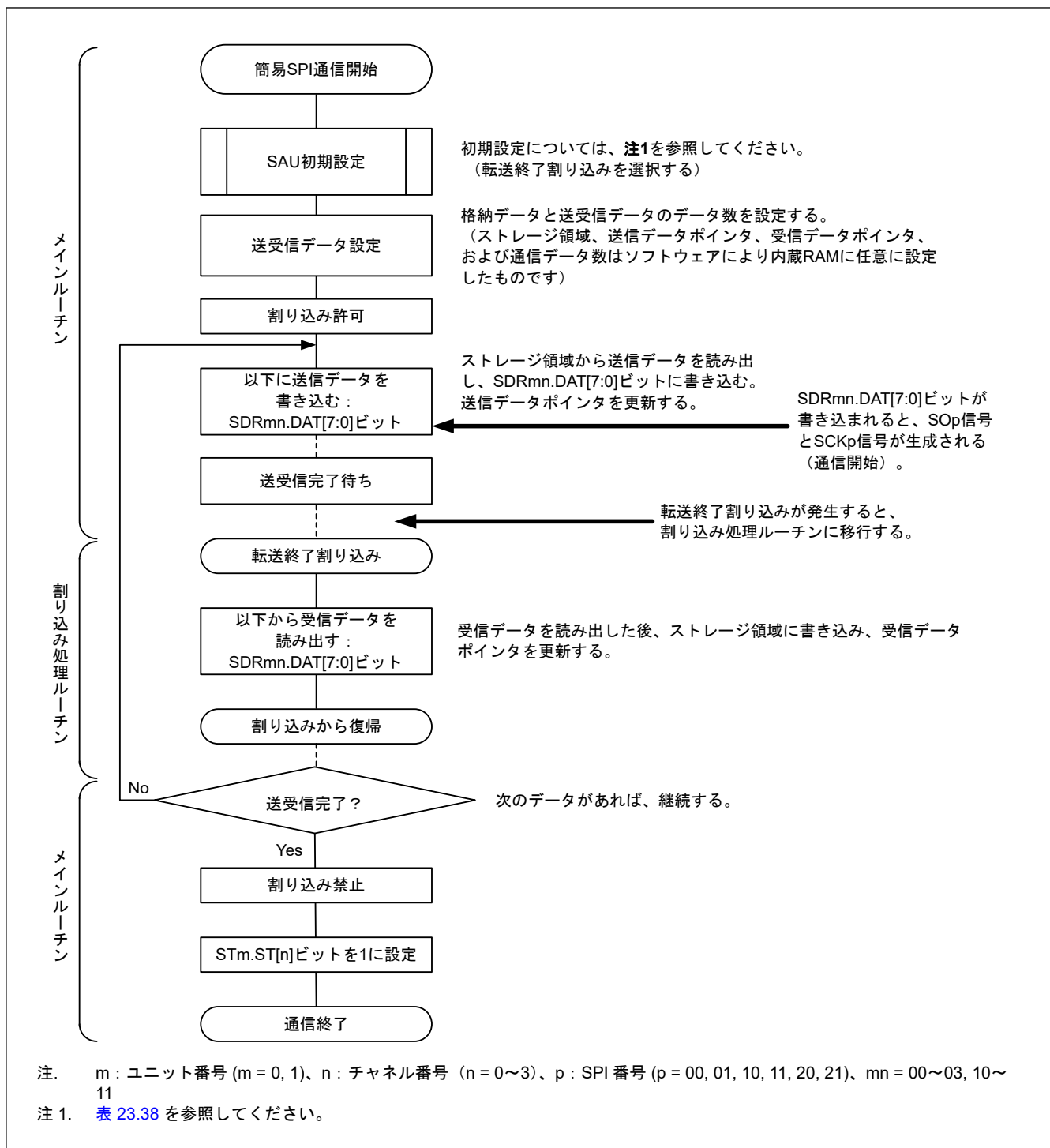
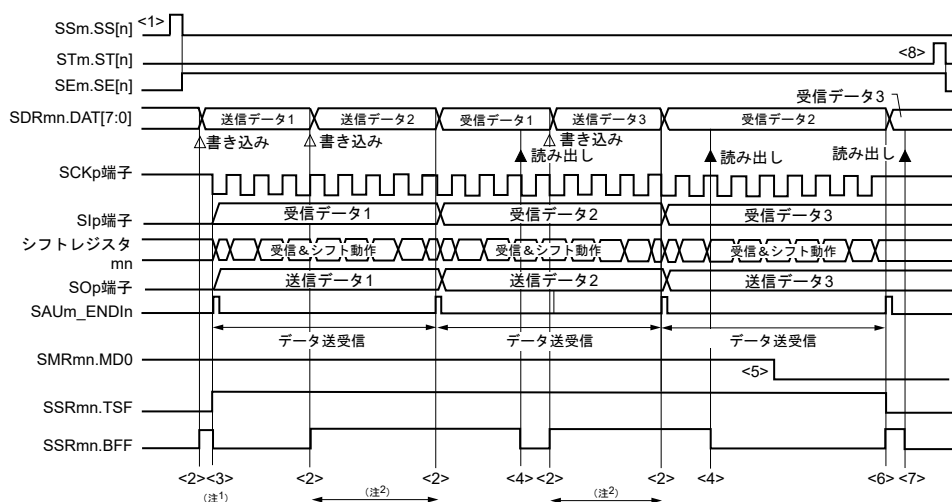


図 23.14 マスタ送受信のフローチャート (シングル送受信モード時)

(4) 処理フロー (連続送受信モード時)

図 23.15 に、マスタ送受信のタイミングを示します (連続送受信モード時) (タイプ 1: SCRmn.DCP[1:0] = 00b)。



- 注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。
- 注. 図中の<1>~<8>は図 23.16 の<1>~<8>に対応しています。
- 注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)
mn = 00~03, 10~11
- 注 1. シリアルステータスレジスタ mn (SSRmn) の BFF フラグが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注 2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。本レジスタを読み出しても転送動作は影響を受けません。

図 23.15 マスタ送受信のタイミング (連続送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.16 に、マスタ送受信のフローチャート (連続送受信モード時) を示します。

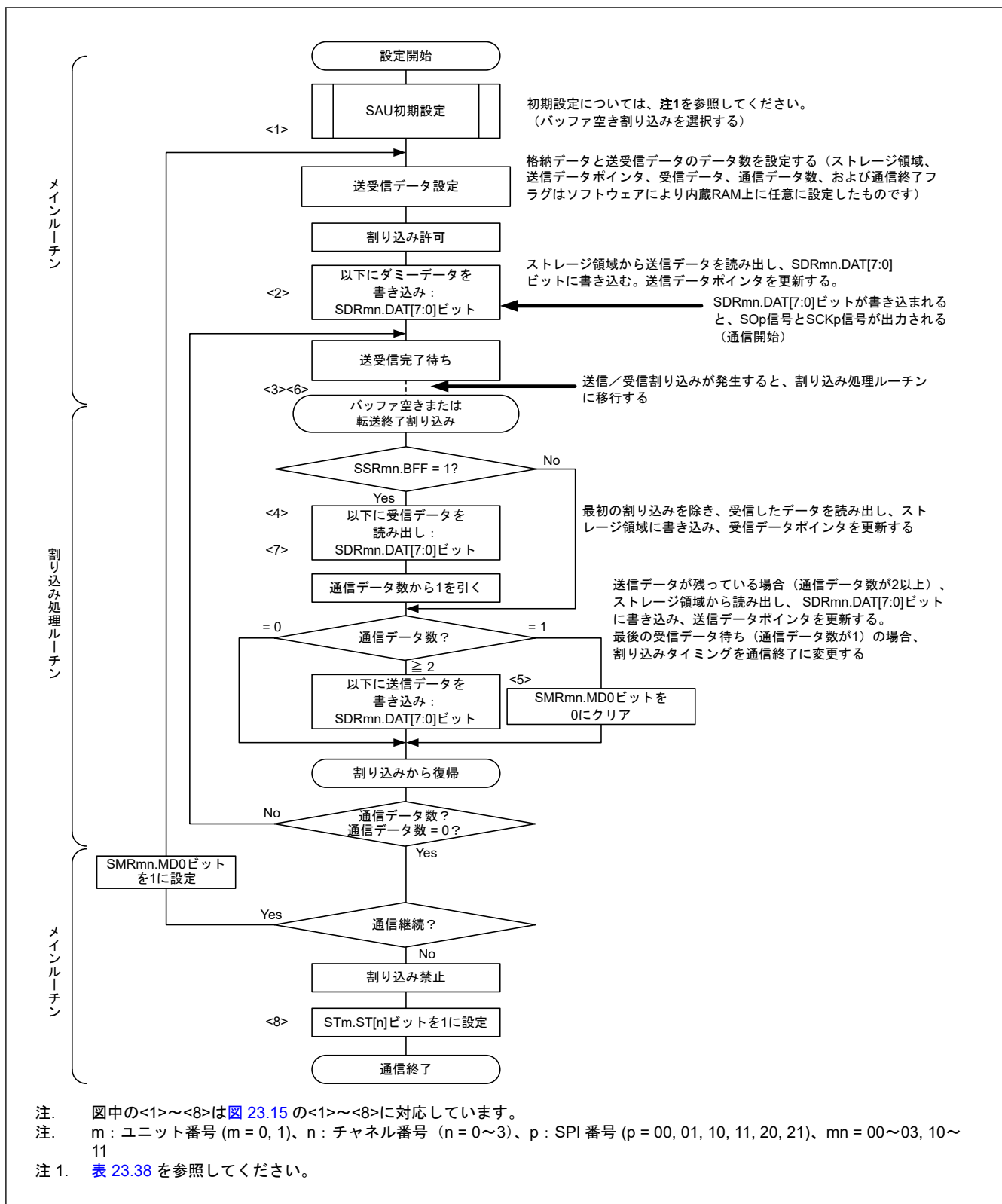


図 23.16 マスタ送受信のフローチャート (連続送受信モード時)

23.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、マイクロコントローラが他デバイスへデータを送信する動作です。

表 23.41に簡易 SPI のスレーブ送信の仕様を示します。

表 23.41 簡易 SPI のスレーブ送信の仕様

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1	SAU0 のチャンネル 2	SAU0 のチャンネル 3	SAU1 のチャンネル 0	SAU1 のチャンネル 1
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。					
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ					
転送データ長	7 ビットまたは 8 ビット					
転送速度	最大 $f_{MCK}/6$ [Hz] (注1) (注2)					
データ位相	SCRmn レジスタの DCP[1] ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始からデータ出力を開始 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ出力を開始					
クロック位相	SCRmn レジスタの DCP[0] ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転					
データ方向	MSB ファーストまたは LSB ファースト					

注. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{SCK} : シリアルクロック周波数

注. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0~3), mn = 00~03, 10~11

注 1. SCK00, SCK01, SCK10, SCK11, SCK20, および SCK21 端子に入力される外部シリアルクロックは、内部でサンプリングして使用されるため、最大転送速度は $f_{MCK}/6$ [Hz] となります。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のスレーブ送信に対するレジスタ内容の例を表 23.42～表 23.47 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.42 簡易 SPI のスレーブ送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャンネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャンネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	1	チャンネル n の転送クロック (f_{CLK}) の選択 1: SCKp 端子からのクロック入力 f_{SCK} （簡易 SPI モードでのスレーブ転送）
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.43 簡易 SPI のスレーブ送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 データおよびクロック位相の選択 (設定の詳細は、「23.3. レジスタの説明」を参照してください。)
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 SPI スレーブ送信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.44 簡易 SPI のスレーブ送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ～ 0xFF	送信データ 送信データの設定
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00	ボーレート設定 (スレーブモードでは使用しない)

(d) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 23.45 簡易 SPI のスレーブ送信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 23.46 簡易 SPI のスレーブ送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャンネル開始レジスタ m (SSm)

対象チャンネルのビットのみ 1 に設定してください。

表 23.47 簡易 SPI のスレーブ送信に対するシリアルチャンネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャンネル n の動作開始トリガ 1: SEm.SE[n]ビットに 1 を設定し、チャンネルを通信待機状態にする

注. m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0~3)、p: SPI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00~03, 10~11

注. ×: シリアルアレイユニットで使用しないビット (他の周辺機能の設定による)
0/1: ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.48 に、スレーブ送信の初期設定手順を示します。

表 23.48 スレーブ送信の初期設定手順

手順	処理	詳細
スレーブ送信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 ボーレート設定のために SDRmn.STCLK[6:0]ビットを 0x00 に設定する。
	<6>	SOm レジスタの設定 シリアルデータ (SOm.SO[n]) の初期出力レベルを設定する。
	<7>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 1 を設定し、対象チャンネルのデータ出力を許可する。
	<8>	ポートの設定 対象チャンネルのデータ出力を有効にする。
	<9>	SSm レジスタへの書き込み 対象チャンネルの SSm.SS[n]ビットに 1 を設定し、SEm.SE[n]ビットを 1 に設定することにより動作を許可する。
	<10>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0]ビットに送信データを設定し、マスタからのクロックを待つ

注. m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.49 に、スレーブ送信の停止手順を示します。

表 23.49 スレーブ送信の停止手順

手順	処理	詳細
スレーブ送信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある、待たない。
	<3>	STm レジスタへの書き込み 対象チャンネルの STm.ST[n]ビットに 1 を書き込み、SEm.SE[n]ビットを 0 に設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 0 を設定し、対象チャンネルの出力を停止する。
	<5>	SOm レジスタの設定変更 (任意) 必要に応じて、対象チャンネルのシリアルデータ (SOm.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m: ユニット番号 (m = 0, 1)、n: チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.50 に、スレーブ送信の再開手順を示します。

表 23.50 スレーブ送信の再開手順

手順	処理	詳細
スレーブ送信の再開手順	<1>	再開設定開始
	<2>	マスタの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	エラーフラグのクリア (任意)
	<9>	SOEm レジスタの設定変更 (任意)
	<10>	SOM レジスタの設定変更
	<11>	SOEm レジスタの設定変更
	<12>	ポート操作
	<13>	SSm レジスタへの書き込み
	<14>	通信開始
	<15>	再開設定完了

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

(3) 処理フロー (シングル送信モード時)

図 23.17 に、スレーブ送信のタイミングを示します (シングル送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

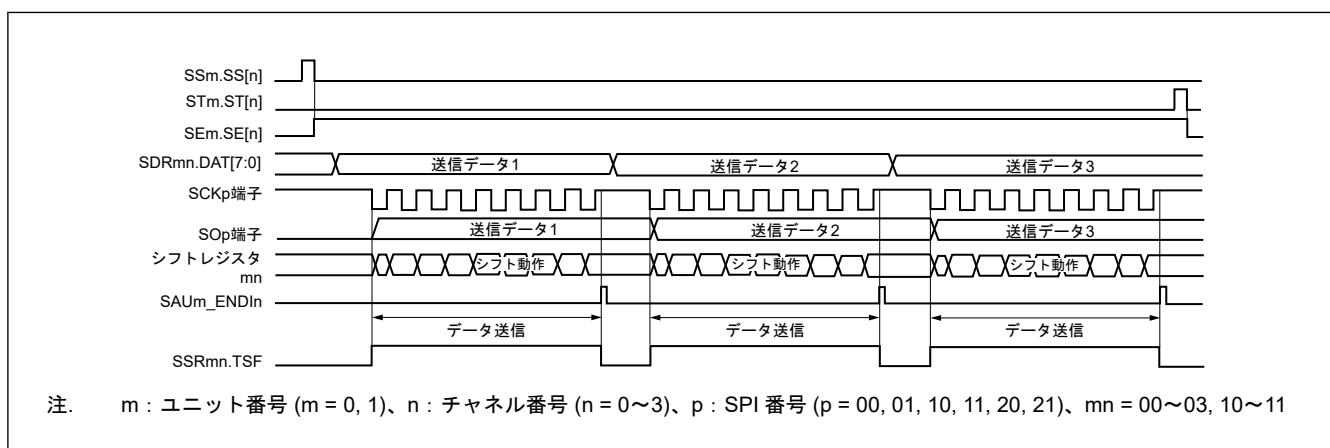


図 23.17 スレーブ送信のタイミング (シングル送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.18 に、スレーブ送信のフローチャート (シングル送信モード時) を示します。

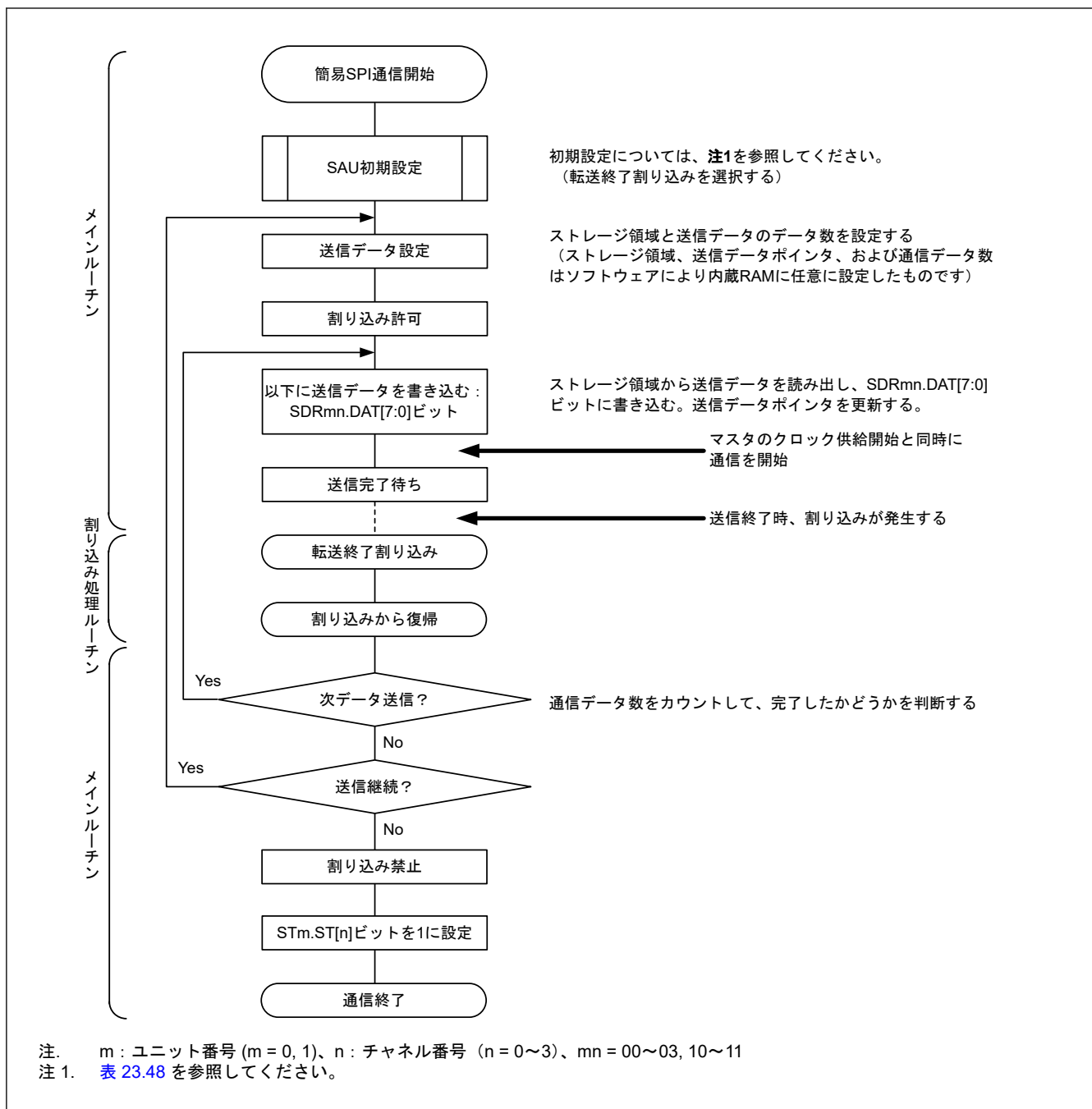
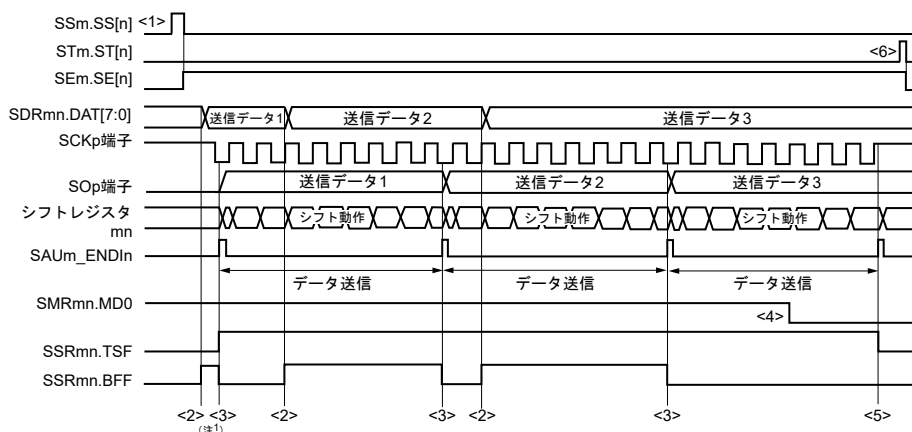


図 23.18 スレーブ送信のフローチャート (シングル送信モード時)

(4) 処理フロー (連続送信モード時)

図 23.19 に、スレーブ送信のタイミングを示します (連続送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。



注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00~03, 10~11

注 1. シリアルステータスレジスタ mn (SSRmn) の BFF フラグが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

図 23.19 スレーブ送信のタイミング (連続送信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.20 に、スレーブ送信のフローチャート (連続送信モード時) を示します。

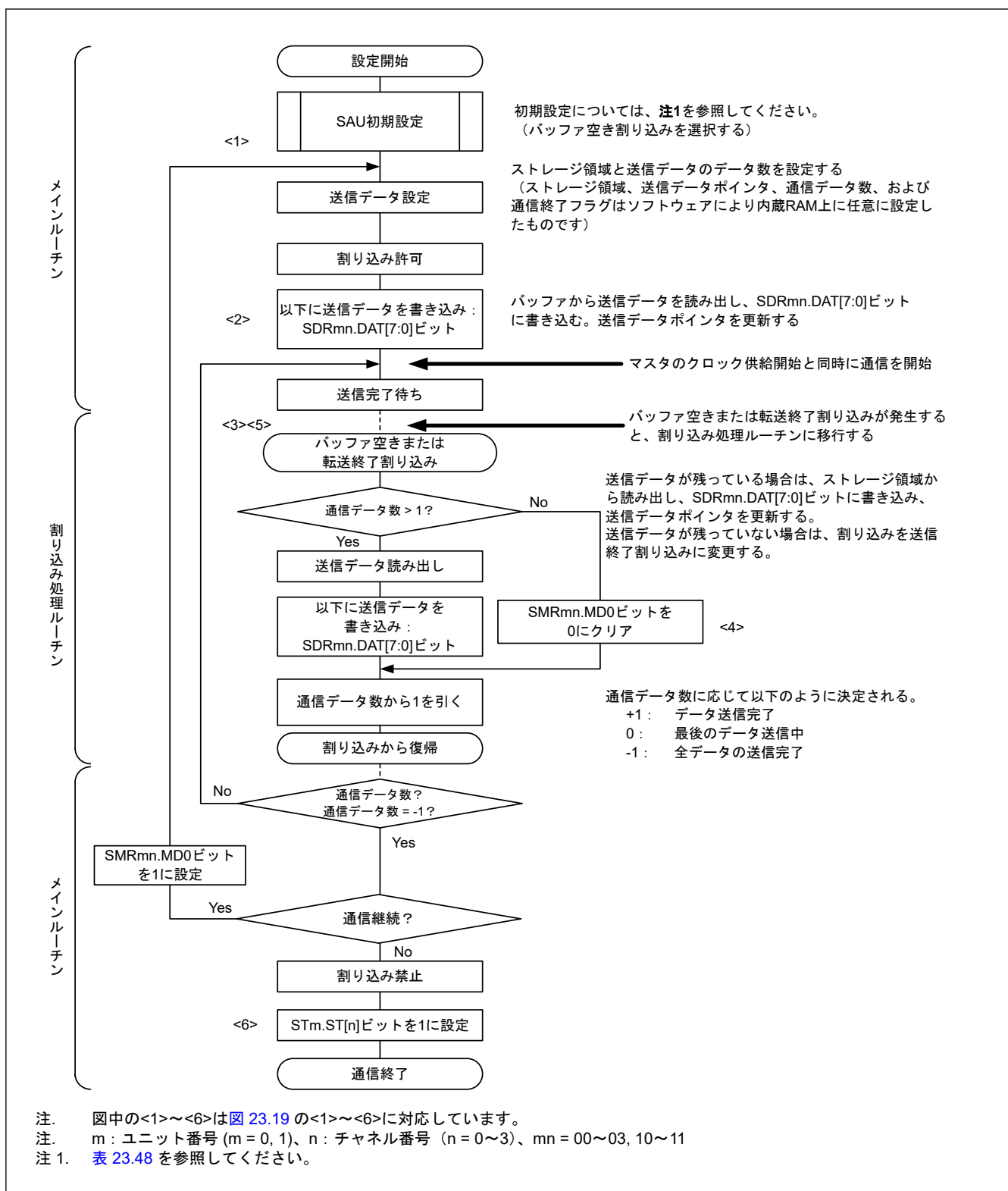


図 23.20 スレーブ送信のフローチャート (連続送信モード時)

23.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、マイクロコントローラが他デバイスからデータを受信する動作です。

表 23.51 に簡易 SPI のスレーブ受信の仕様を示します。

表 23.51 簡易 SPI のスレーブ受信の仕様

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 1	SAU0 のチャネル 2	SAU0 のチャネル 3	SAU1 のチャネル 0	SAU1 のチャネル 1
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込みのみ（パッファ空き割り込みは設定禁止。）					
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ					
転送データ長	7 ビットまたは 8 ビット					
転送速度	最大 $f_{MCK}/6$ [Hz](注1)(注2)					
データ位相	SCRmn レジスタの DCP[1]ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始からデータ入力を開始 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ入力を開始					
クロック位相	SCRmn レジスタの DCP[0]ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転					
データ方向	MSB ファーストまたは LSB ファースト					

注. f_{MCK} : 対象チャネルの動作クロック周波数

f_{SCK} : シリアルクロック周波数

注. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0~3), mn = 00~03, 10~11

注 1. SCK00, SCK01, SCK10, SCK11, SCK20, および SCK21 端子に入力される外部シリアルクロックは、内部でサンプリングして使用されるため、最大転送速度は $f_{MCK}/6$ [Hz]となります。

注 2. この動作は、上記の条件および電氣的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電氣的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のスレーブ受信に対するレジスタ内容の例を表 23.52～表 23.57 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.52 簡易 SPI のスレーブ受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	00b	チャネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	1	チャネル n の転送クロック (f_{CLK}) の選択 1: SCKp 端子からのクロック入力 f_{SCK} （簡易 SPI モードでのスレーブ転送）
15	CKS	0/1	チャネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.53 簡易 SPI のスレーブ受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS [1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「23.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、簡易 SPI スレーブ受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

読み出しのみ可能。

表 23.54 簡易 SPI のスレーブ受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	受信データ
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00	ボーレート設定 (スレーブモードでは使用しない)

(d) シリアル出力レジスタ m (SOM)

このレジスタは本モードでは使用しません。

表 23.55 簡易 SPI のスレーブ受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(e) シリアル出力許可レジスタ m (SOEm)

このレジスタは本モードでは使用しません。

表 23.56 簡易 SPI のスレーブ受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 23.57 簡易 SPI のスレーブ受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. m: ユニット番号 (m = 0, 1)、n: チャネル番号 (n = 0~3)、p: SPI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00~03, 10~11

注. ×: シリアルアレイユニットで使用しないビット (他の周辺機能の設定による)
0/1: ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.58 に、スレーブ受信の初期設定手順を示します。

表 23.58 スレーブ受信の初期設定手順

手順	処理	詳細
スレーブ受信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 ボーレート設定のために SDRmn.STCLK[6:0] ビットを 0x00 に設定する。
	<6>	ポートの設定 対象チャネルのデータ入力およびクロック入力を有効にする。
	<7>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n] ビットに 1 を設定し、SEm.SE[n] ビットを 1 にすることにより動作を許可する。マスタからのクロックを待つ。
	<8>	初期設定完了 —

注. m: ユニット番号 (m = 0, 1)、n: チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.59 に、スレーブ受信の停止手順を示します。

表 23.59 スレーブ受信の停止手順

手順	処理	詳細
スレーブ受信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n] ビットに 1 を書き込み、SEm.SE[n] = 0 を設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n] ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	停止設定完了 停止設定完了後、次の処理に進む。

注. m: ユニット番号 (m = 0, 1)、n: チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.60 に、スレーブ受信の再開手順を示します。

表 23.60 スレーブ受信の再開手順

手順	処理	詳細
スレーブ受信の再開手順	<1>	再開設定開始
	<2>	マスタの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SMRmn レジスタの設定変更 (任意)
	<6>	SCRmn レジスタの設定変更 (任意)
	<7>	エラーフラグのクリア (任意)
	<8>	ポート操作
	<9>	SSm レジスタへの書き込み
	<10>	再開設定完了

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

(3) 処理フロー (シングル受信モード時)

図 23.21 に、スレーブ受信のタイミングを示します (シングル受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

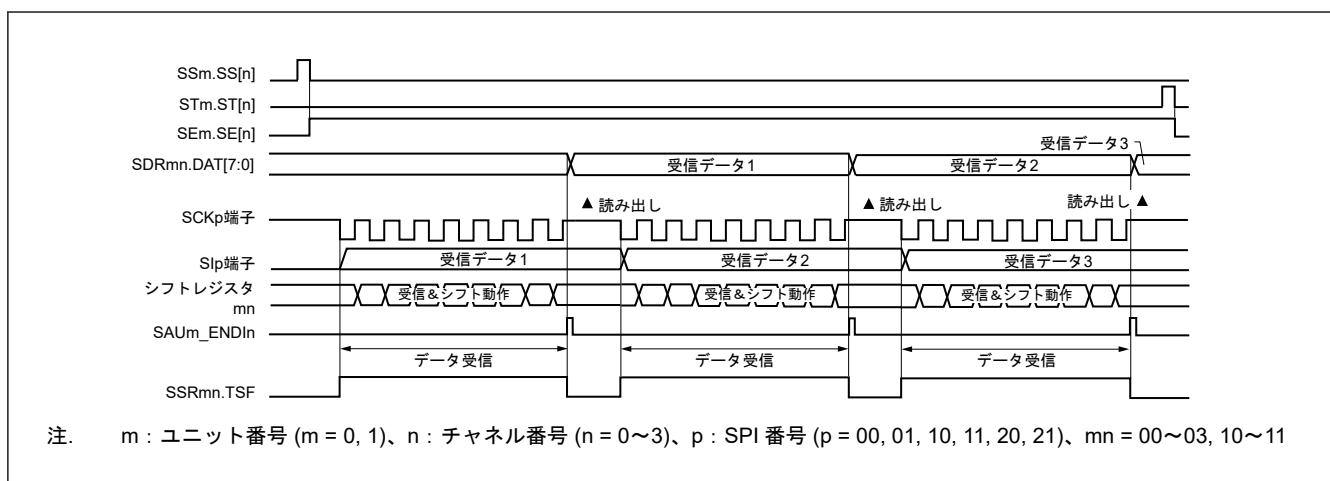


図 23.21 スレーブ受信のタイミング (シングル受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.22 に、スレーブ受信のフローチャート (シングル受信モード時) を示します。

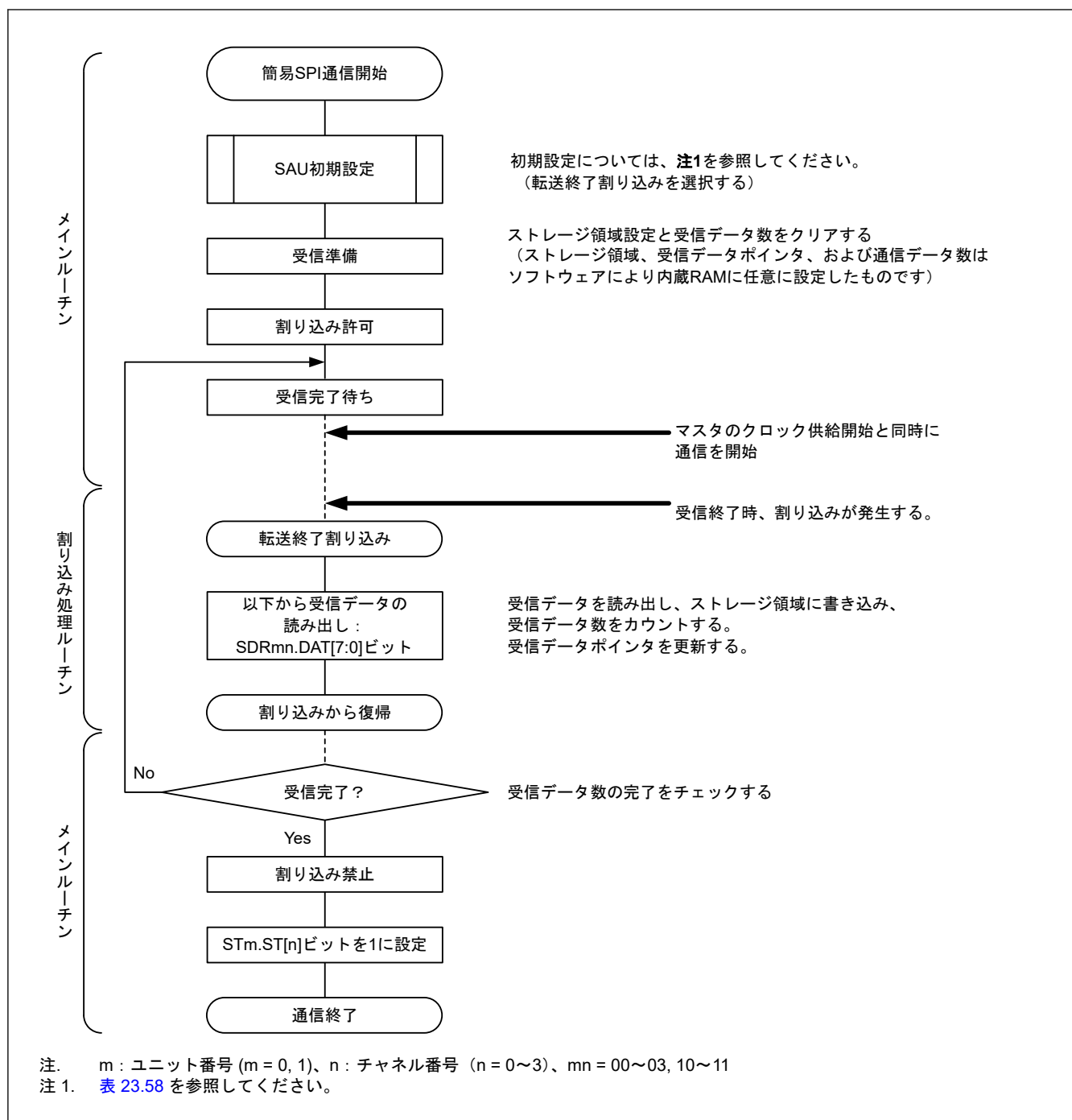


図 23.22 スレーブ受信のフローチャート (シングル受信モード時)

23.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、マイクロコントローラが他デバイスとデータを送受信する動作です。

[表 23.61](#) に簡易 SPI のスレーブ送受信の仕様を示します。

表 23.61 簡易 SPI のスレーブ送受信の仕様 (1/2)

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1	SAU0 のチャンネル 2	SAU0 のチャンネル 3	SAU1 のチャンネル 0	SAU1 のチャンネル 1

表 23.61 簡易 SPI のスレーブ送受信の仕様 (2/2)

簡易 SPI	SPI00	SPI01	SPI10	SPI11	SPI20	SPI21
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。					
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ					
転送データ長	7 ビットまたは 8 ビット					
転送速度	最大 $f_{MCK}/6$ [Hz] ^(注1) (注2)					
データ位相	SCRmn レジスタの DCP[1] ビットにより選択可能 - DCP[1] = 0 : シリアルクロックの動作開始によりデータ入出力を開始 - DCP[1] = 1 : シリアルクロック動作開始の半クロック前からデータ入出力を開始					
クロック位相	SCRmn レジスタの DCP[0] ビットにより選択可能 - DCP[0] = 0 : 非反転 - DCP[0] = 1 : 反転					
データ方向	MSB ファーストまたは LSB ファースト					

注. f_{MCK} : 対象チャネルの動作クロック周波数

f_{SCK} : シリアルクロック周波数

注. m : ユニットの番号 (m = 0, 1), n : チャネル番号 (n = 0~3), mn = 00~03, 10~11

注 1. SCK00, SCK01, SCK10, SCK11, SCK20, および SCK21 端子に入力される外部シリアルクロックは、内部でサンプリングして使用されるため、最大転送速度は $f_{MCK}/6$ [Hz] となります。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 SPI のスレーブ送受信に対するレジスタ内容の例を表 23.62～表 23.67 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.62 簡易 SPI のスレーブ送受信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	00b	チャネル n の動作モードの設定 00: 簡易 SPI モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 SPI モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	1	チャネル n の転送クロック (f_{CLK}) の選択 1: SCKp 端子からのクロック入力 f_{SCK} （簡易 SPI モードでのスレーブ転送）
15	CKS	0/1	チャネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.63 簡易 SPI のスレーブ送受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	10b または 11b	データ長の設定 10: 7 ビットデータ長 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b	このビットは UART モード専用なので、簡易 SPI モードでは固定
10	EOC	0	このビットは UART 受信モード専用なので、簡易 SPI モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b ～ 11b	簡易 SPI モードでのデータおよびクロック位相の選択 設定の詳細は、「23.3. レジスタの説明」を参照してください。
15:14	TRXE[1:0]	11b	TRXE[1:0] = 11b の設定は、簡易 SPI マスタ送受信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.64 簡易 SPI のスレーブ送受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	送信データまたは受信データ (送信データ設定および受信データ読み出し)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x00	ボーレート設定 (スレーブモードでは使用しない)

(d) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 23.65 簡易 SPI のスレーブ送受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャネルのシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n + 8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(e) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 23.66 簡易 SPI のスレーブ送受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 23.67 簡易 SPI のスレーブ送受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

注. マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)、mn = 00~03, 10~11

注. × : シリアルアレイユニットで使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.68 に、スレーブ送受信の初期設定手順を示します。

表 23.68 スレーブ送受信の初期設定手順

手順	処理	詳細
スレーブ送受信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 ボーレート設定のために SDRmn.STCLK[6:0]ビットを 0x00 に設定する。
	<6>	SOm レジスタの設定 シリアルデータ (SOm.SO[n]) の初期出力レベルを設定する。
	<7>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<8>	ポートの設定 対象チャネルのデータ出力を有効にする
	<9>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n]ビットに 1 を設定し、SEm.SE[n] = 1 に設定することにより動作を許可する。
	<10>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0]ビットに送信データを設定し、マスタからのクロックを待つ

注. マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.69 に、スレーブ送受信の停止手順を示します。

表 23.69 スレーブ送受信の停止手順

手順	処理	詳細
スレーブ送受信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n]ビットに 1 を書き込み、SEm.SE[n] = 0 を設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定変更 SOEm.SOE[n]ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOm レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルデータ (SOm.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

表 23.70 に、スレーブ送受信の再開手順を示します。

表 23.70 スレーブ送受信の再開手順

手順	処理	詳細
スレーブ送受信の再開手順	<1>	再開設定開始
	<2>	マスタの準備が完了するまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SMRmn レジスタの設定変更 (任意)
	<6>	SCRmn レジスタの設定変更 (任意)
	<7>	エラーフラグのクリア (任意)
	<8>	SOEm レジスタの設定変更 (任意)
	<9>	SOM レジスタの設定変更 (任意)
	<10>	SOEm レジスタの設定変更 (任意)
	<11>	ポート操作
	<12>	SSm レジスタへの書き込み
	<13>	通信開始
	<14>	再開設定完了

注. マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

(3) 処理フロー (シングル送受信モード時)

図 23.23 に、スレーブ送受信のタイミングを示します (シングル送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

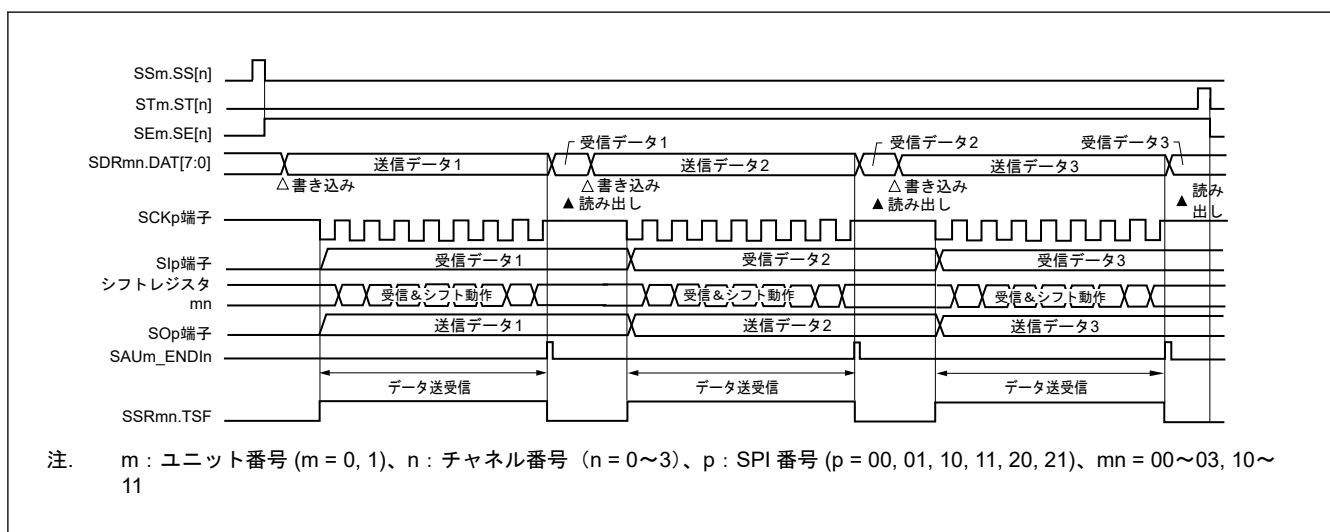


図 23.23 スレーブ送受信のタイミング (シングル送受信モード時)

図 23.24 に、スレーブ送受信のフローチャート (シングル送受信モード時) を示します。

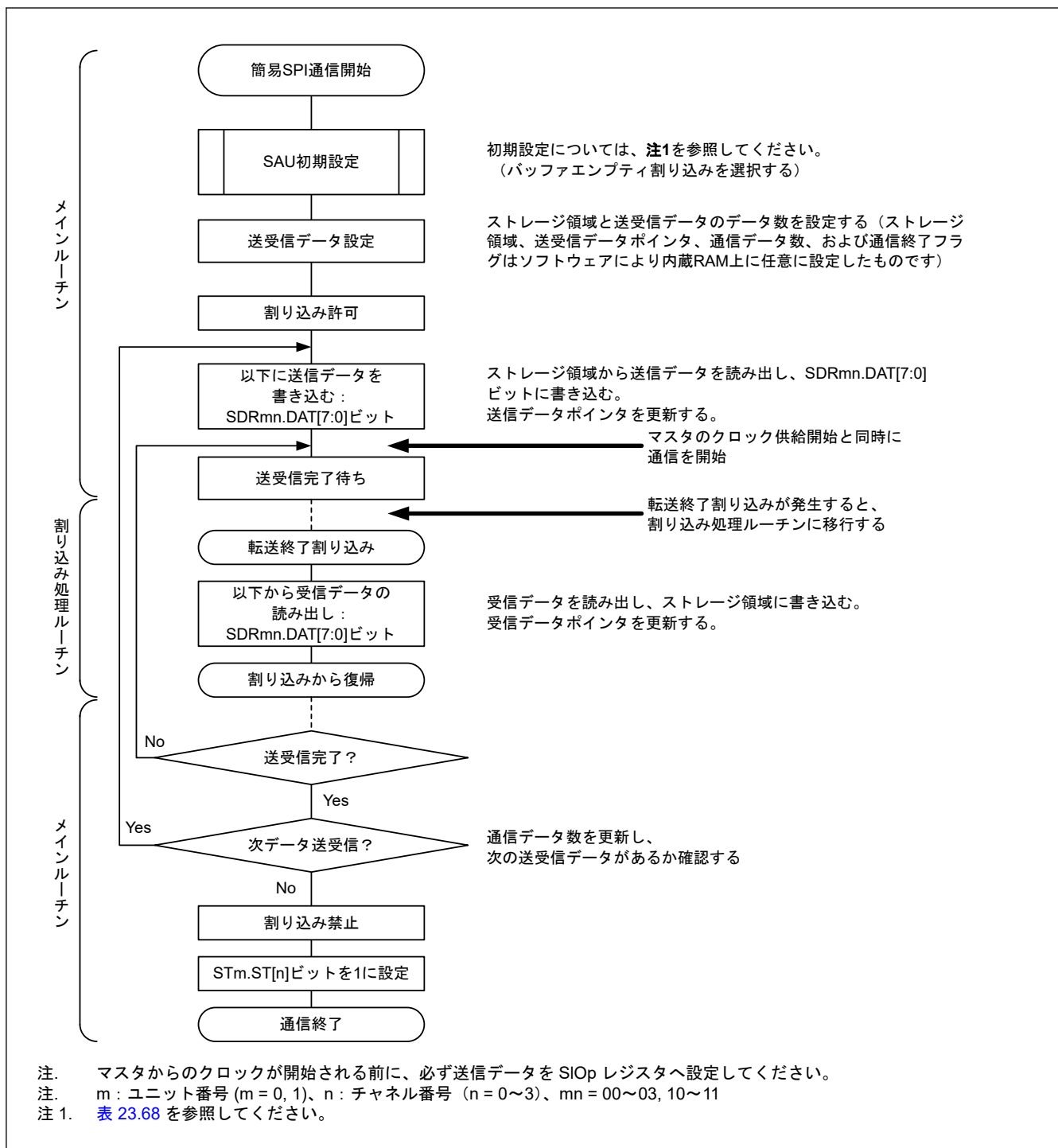
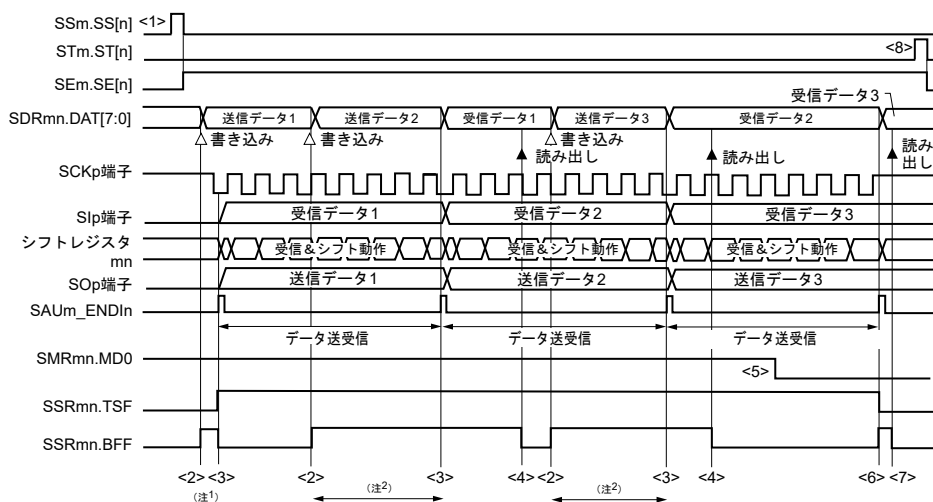


図 23.24 スレーブ送受信のフローチャート (シングル送受信モード時)

(4) 処理フロー (連続送受信モード時)

図 23.25 に、スレーブ送受信のタイミングを示します (連続送受信モード時) (タイプ 1: SCRmn.DCP[1:0] = 00b)。



- 注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。
- 注. 図中の<1>～<8>は図 23.26 の<1>～<8>に対応しています。
- 注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0～3)、p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)
mn = 00～03, 10～11
- 注 1. シリアルステータスレジスタ mn (SSRmn) の BFF フラグが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。
- 注 2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

図 23.25 スレーブ送受信のタイミング (連続送受信モード時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.26 に、スレーブ送受信のフローチャート (連続送受信モード時) を示します。

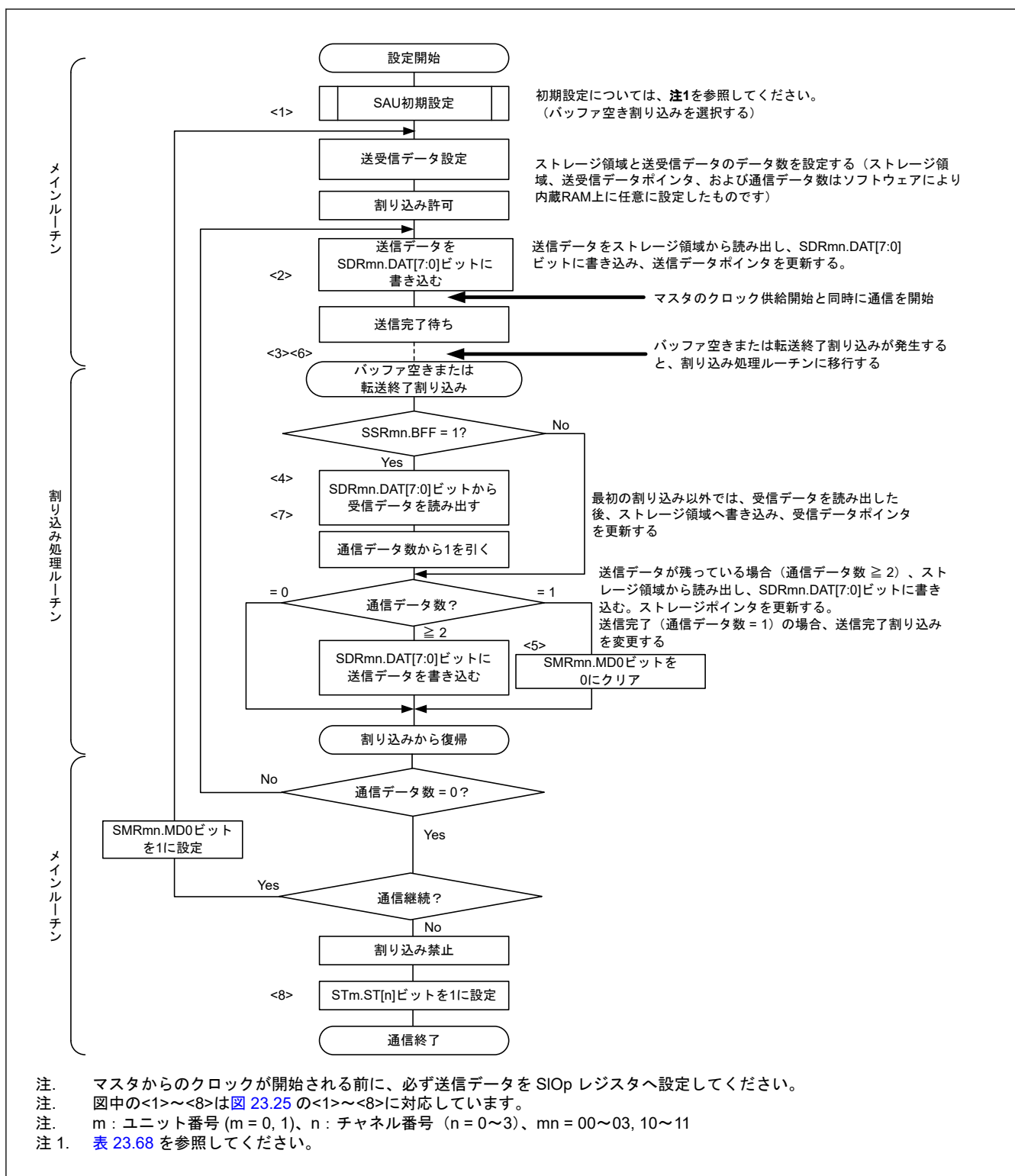


図 23.26 スレーブ送受信のフローチャート (連続送受信モード時)

23.5.7 スヌーズモード機能

ソフトウェアスタンバイモード時に SCKp 端子入力の検出により簡易 SPI の受信動作をさせるモードです。通常ソフトウェアスタンバイモード時に簡易 SPI は通信動作を停止しますが、スヌーズモードを使うことで、SCKp 端子入力の検出によって CPU を動作させずに簡易 SPI の受信動作を行うことができます。スヌーズモードは、SPI00 チャネルと SPI20 チャネルのみ設定可能です。

簡易 SPI をスヌーズモードで使用する場合は、ソフトウェアスタンバイモードに移行する前に次の設定を行います (図 23.28 および図 23.30 を参照)。

- スヌーズモード機能を使用する場合、ソフトウェアスタンバイモードに移行する直前にシリアルスタンバイ制御レジスタ m (SSCm) の SWC ビットを 1 に設定してください。初期設定完了後、シリアルチャネル開始レジスタ m (SSm) の SS[0] ビットを 1 に設定します。
- CPU は、ソフトウェアスタンバイモードに移行後、SCKp 信号の有効なエッジを検出すると、スヌーズモードに移行します。
SPIp は SCKp 端子のシリアルクロックの入力を検出すると受信を開始します。

注. スヌーズモードは、PCLKB に高速オンチップオシレータクロック (HOCO) または中速オンチップオシレータクロック (MOCO) が選択されている場合にのみ指定できます。

注. SPIp をスヌーズモードで使用するときの最大転送速度は 0.5 Mbps です。

注. m : ユニット番号 (m = 0, 1)、p : SPI 番号 (p = 00, 20)

(1) スヌーズモード動作 (起動時)

図 23.27 に、スヌーズモード動作のタイミングを示します (起動時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

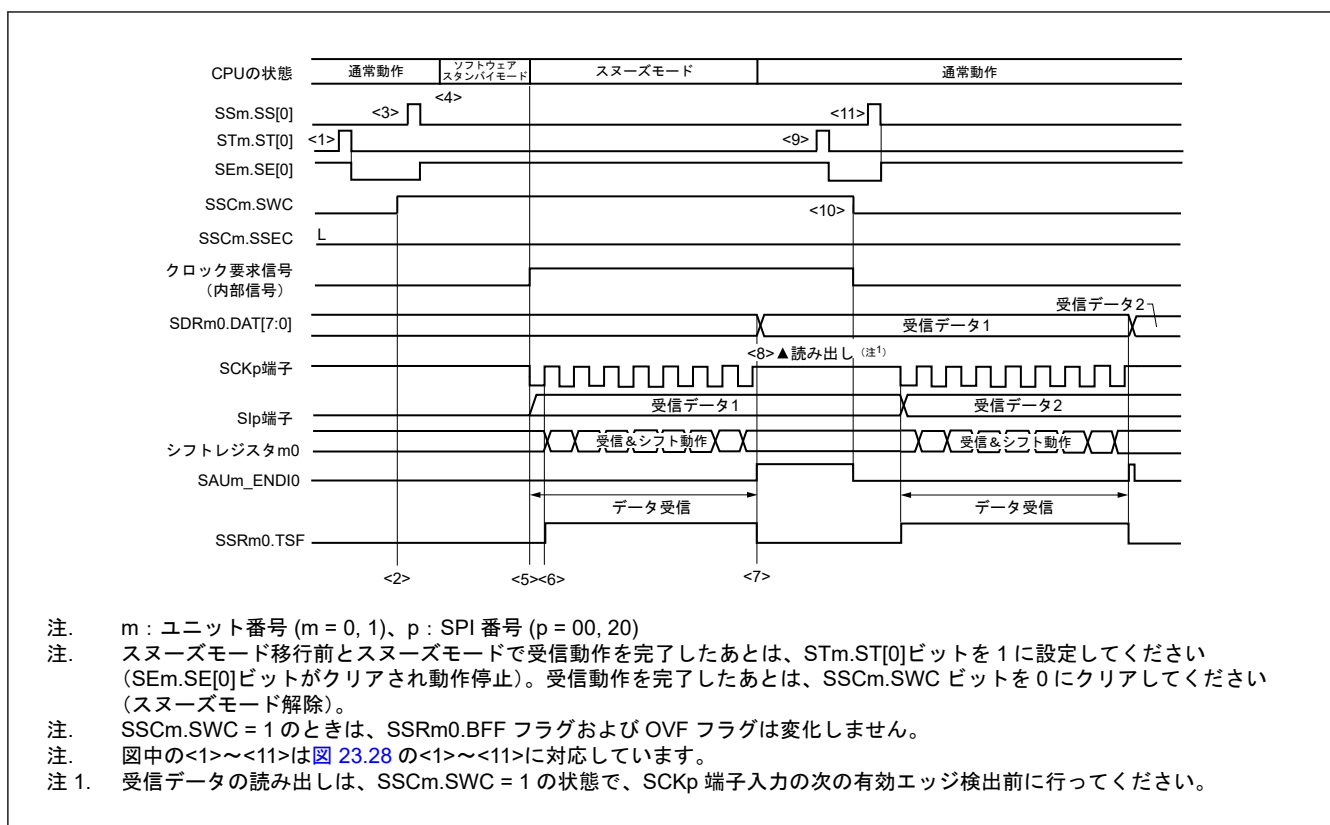


図 23.27 スヌーズモード動作のタイミング (起動時) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.28 に、スヌーズモード動作のフローチャート (起動時) を示します。

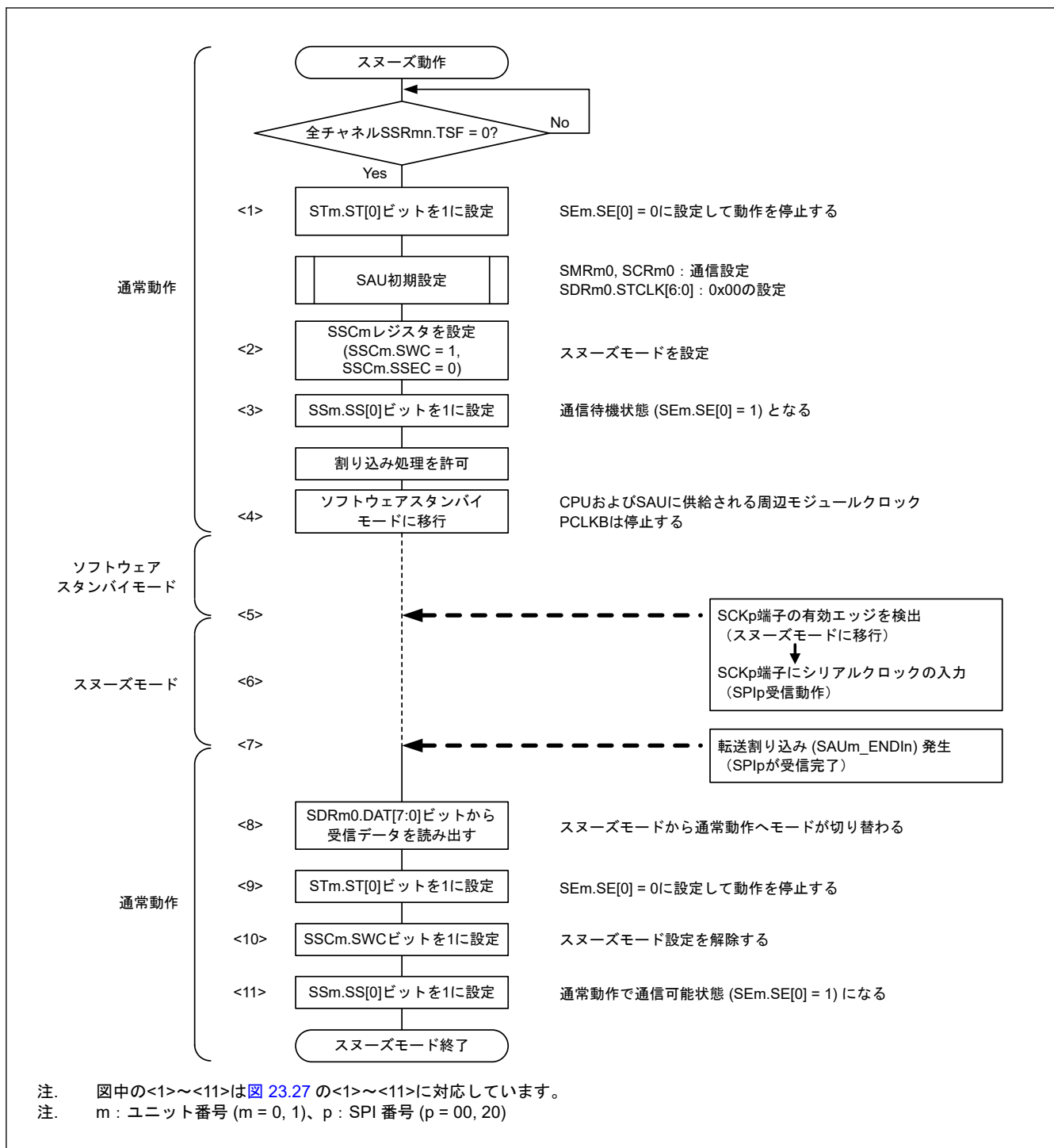


図 23.28 スリープモード動作のフローチャート (起動時)

(2) スリープモード動作 (連続起動)

図 23.29 に、スリープモードのタイミングを示します (連続起動) (タイプ 1 : SCRmn.DCP[1:0] = 00b)。

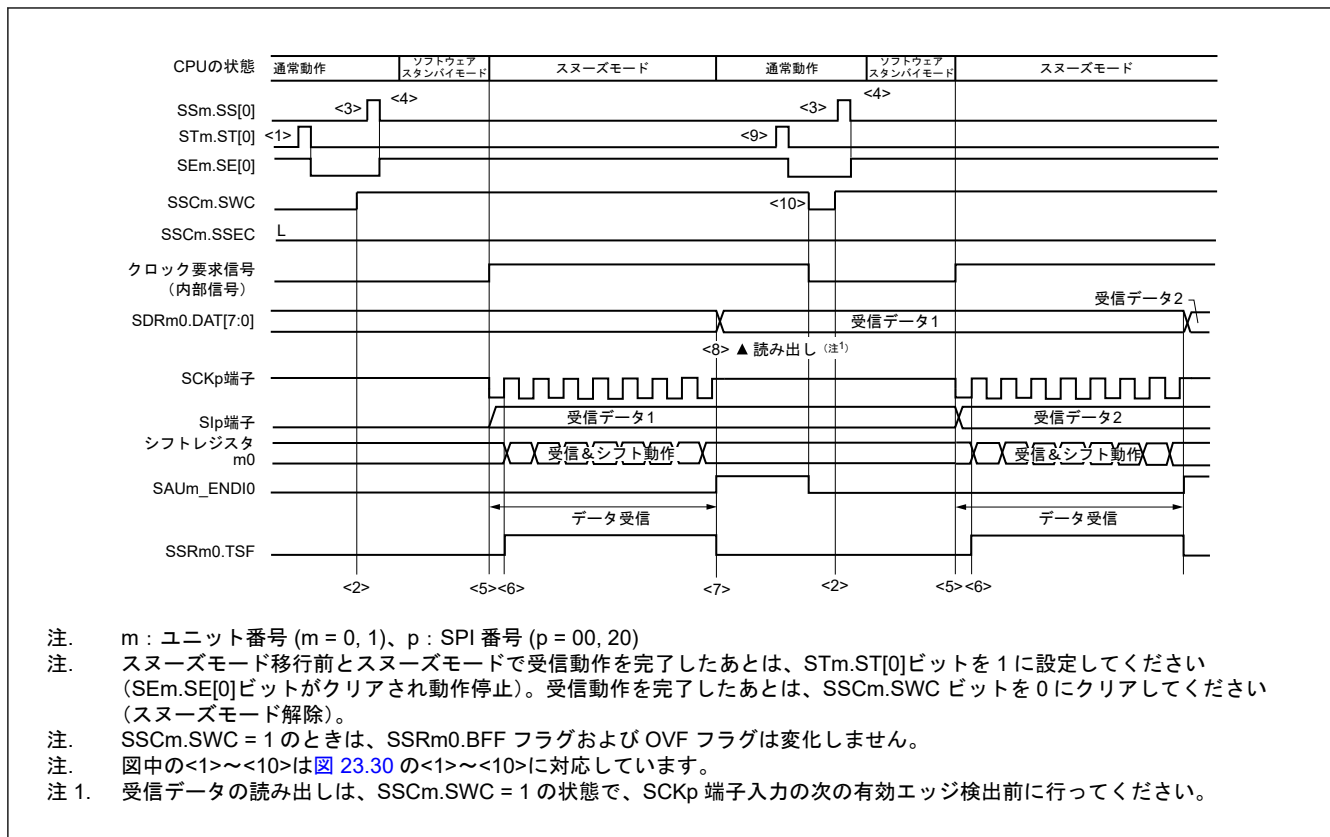


図 23.29 スヌーズモード動作のタイミング (連続起動) (タイプ 1 : SCRmn.DCP[1:0] = 00b)

図 23.30 に、スヌーズモード動作のフローチャート (連続起動) を示します。

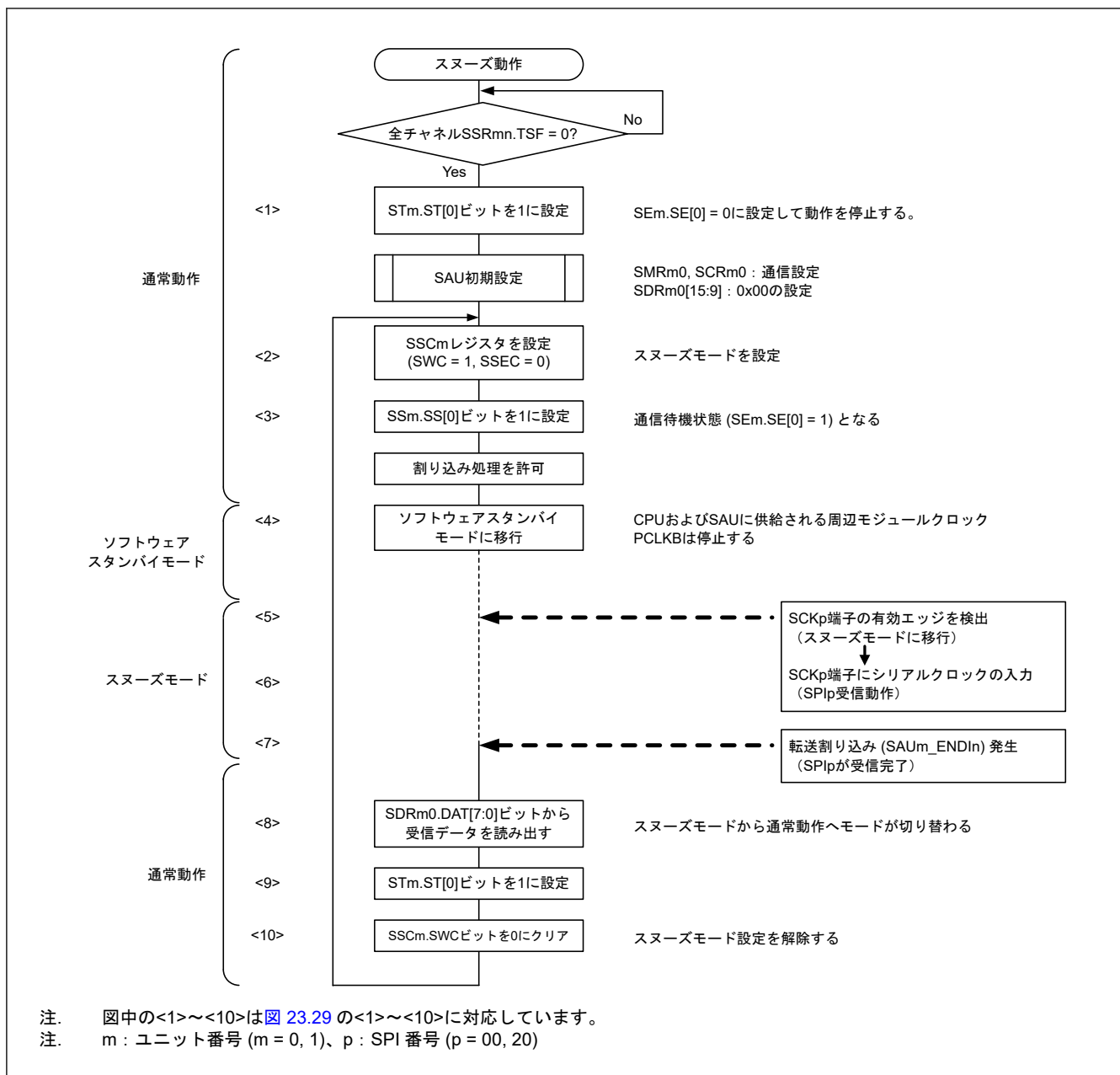


図 23.30 スリープモード動作のフローチャート (連続起動)

23.5.8 転送クロック周波数の算出

簡易 SPI 通信での転送クロック周波数は下記の計算式にて算出できます。

- マスタの場合
(転送クロック周波数) = {対象チャンネルの動作クロック (f_{MCK}) 周波数} $\div$ (SDRmn.STCLK[6:0] + 1) $\div$ 2 [Hz]
- スレーブの場合
(転送クロック周波数) = {マスタが供給するシリアルクロック (SCK) 周波数}^(注1) [Hz]

注 1. 最大許容転送クロック周波数は $f_{MCK}/6$ となります。

表 23.71 に示すとおり、動作クロック (f_{MCK}) は、シリアルクロック選択レジスタ m (SPSm) とシリアルモードレジスタ mn (SMRmn) の CKS ビットで決まります。

表 23.71 簡易 SPI、UART、および簡易 I²C の動作クロックの選択

SMRmn レジスタ	SPSm レジスタ		動作クロック (f _{MCK}) (注1)		
CKS	PRS1[3:0]	PRS0[3:0]	PCLKB/2 ⁿ	PCLKB = 32 MHz	PCLKB = 48 MHz
0	0xX	0x0	PCLKB	32 MHz	設定禁止
		0x1	PCLKB/2	16 MHz	24 MHz
		0x2	PCLKB/2 ²	8 MHz	12 MHz
		0x3	PCLKB/2 ³	4 MHz	6 MHz
		0x4	PCLKB/2 ⁴	2 MHz	3 MHz
		0x5	PCLKB/2 ⁵	1 MHz	1.5 MHz
		0x6	PCLKB/2 ⁶	500 kHz	750 kHz
		0x7	PCLKB/2 ⁷	250 kHz	375 kHz
		0x8	PCLKB/2 ⁸	125 kHz	188 kHz
		0x9	PCLKB/2 ⁹	62.5 kHz	93.8 kHz
		0xA	PCLKB/2 ¹⁰	31.25 kHz	46.9 kHz
		0xB	PCLKB/2 ¹¹	15.63 kHz	23.4 kHz
		0xC	PCLKB/2 ¹²	7.81 kHz	11.7 kHz
		0xD	PCLKB/2 ¹³	3.91 kHz	5.86 kHz
		0xE	PCLKB/2 ¹⁴	1.95 kHz	2.93 kHz
		0xF	PCLKB/2 ¹⁵	977 Hz	1.46 kHz
1	0x0	0xX	PCLKB	32 MHz	設定禁止
	0x1		PCLKB/2	16 MHz	24 MHz
	0x2		PCLKB/2 ²	8 MHz	12 MHz
	0x3		PCLKB/2 ³	4 MHz	6 MHz
	0x4		PCLKB/2 ⁴	2 MHz	3 MHz
	0x5		PCLKB/2 ⁵	1 MHz	1.5 MHz
	0x6		PCLKB/2 ⁶	500 kHz	750 kHz
	0x7		PCLKB/2 ⁷	250 kHz	375 kHz
	0x8		PCLKB/2 ⁸	125 kHz	188 kHz
	0x9		PCLKB/2 ⁹	62.5 kHz	93.8 kHz
	0xA		PCLKB/2 ¹⁰	31.25 kHz	46.9 kHz
	0xB		PCLKB/2 ¹¹	15.63 kHz	23.4 kHz
	0xC		PCLKB/2 ¹²	7.81 kHz	11.7 kHz
	0xD		PCLKB/2 ¹³	3.91 kHz	5.86 kHz
	0xE		PCLKB/2 ¹⁴	1.95 kHz	2.93 kHz
	0xF		PCLKB/2 ¹⁵	977 kHz	1.46 kHz
上記以外(注2)				設定禁止	設定禁止

注. X : Don't care

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

注 1. PCLKB に選択しているクロックを変更する場合は、シリアルアレイユニット (SAU) の動作を停止 (シリアルチャネル停止レジスタ m (STm) = 0x000F) させてから変更してください。

注 2. 簡易 I²C モードでは、0xB を超える値の設定は禁止されています。

23.5.9 簡易 SPI 通信時におけるエラー発生時の処理手順

簡易 SPI 通信時にエラーが発生した場合の処理手順を表 23.72 に示します。

表 23.72 オーバーランエラー発生時の処理手順

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す	→	SSRmn レジスタの BFF フラグが 0 となり、チャンネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す	—	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に 1 を書き込む	→	エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

23.6 UART 通信の動作

シリアルデータ送信 (TxD) とシリアルデータ受信 (RxD) の 2 本のラインによる、調歩同期式通信機能です。この 2 本の通信ラインを使用し、スタートビット、データ、パリティビット、およびストップビットからなる 1 データフレームごとにマイクロコントローラと通信相手間を非同期で (内部ボーレートをを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の 2 チャンネルを使用することで、全二重非同期通信 UART 通信が実現できます。UART2 とタイマアレイユニット (チャンネル 7) と外部割り込み (IRQ2) を組み合わせて LIN バスにも対応可能です。

[データ送受信]

- 7、8、または 9 ビットのデータ長^(注1)
- MSB ファーストまたは LSB ファーストを選択可能
- 送受信データのレベル設定 (レベルを反転するかどうかの選択)
- パリティビット付加およびパリティチェック機能
- ストップビット付加およびストップビットチェック機能

[割り込み機能]

- 転送終了割り込みまたはバッファ空き割り込み
- フレーミングエラー、パリティエラー、またはオーバーランエラーの場合にエラー割り込み

[エラー検出フラグ]

- フレーミングエラー、パリティエラー、またはオーバーランエラー

さらに、以下のチャンネルの UART 受信はスヌーズモードをサポートします。スヌーズモードでは、ソフトウェアスタンバイモード時に RxD 入力を検出すると、CPU 処理なしでデータを受信できます。スヌーズモードは、受信ボーレート調整機能をサポートする UART0 および UART2 でのみ利用可能です。

UART2 (ユニット 1 のチャンネル 0 とチャンネル 1) は、LIN バスに対応しています。

[LIN バス機能]

● ウェイクアップ信号検出 ● ブレークフィールド (BF) 検出 ● シンクフィールド測定、ボーレート算出	}	外部割り込み (IRQ2) とタイマアレイユニットを使用 (チャンネル 7)

注 1. 以下の UART のみ 9 ビットのデータ長をサポートします。

- 16 ピン、24 ピン、32 ピン製品 : UART0
- 48 ピン製品 : UART0 および UART2

PCLKB に中速オンチップオシレータクロック (MOCO) または低速オンチップオシレータクロック (LOCO) が選択された場合、MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR) および LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) を使用します。

- UART0 では、SAU0 のチャンネル 0 およびチャンネル 1 を使用します。
- UART1 では、SAU0 のチャンネル 2 およびチャンネル 3 を使用します。
- UART2 では、SAU1 のチャンネル 0 およびチャンネル 1 を使用します。

表 23.1～表 23.3 を参照してください。

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば、ユニット 0 のチャンネル 0 およびチャンネル 1 で UART0 を使用するとき、SPI00 および SPI01 機能を使用することはできません。ただしこの時、同じユニットのチャンネル 2 または 3 は、SPI10、UART1、IIC10 など、UART0 以外の機能に使用することができます。

注. シリアルアレイユニットを UART として使用する場合は、送信側（偶数チャンネル）と受信側（奇数チャンネル）のどちらも UART にしか使用できません。

UART の通信動作は、以下の 4 種類があります。

- UART 送信（「23.6.1. UART 送信」を参照）
- UART 受信（「23.6.2. UART 受信」を参照）
- LIN 送信（UART2 のみ）（「23.7.1. LIN 送信」を参照）
- LIN 受信（UART2 のみ）（「23.7.2. LIN 受信」を参照）

23.6.1 UART 送信

UART 送信は、マイクロコントローラから他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART 送信では、UART に使用する 2 チャンネルのうち、偶数チャンネルのほうを使用します。

表 23.73 に UART 送信の仕様を示します。

表 23.73 UART 送信の仕様

UART	UART0	UART1	UART2
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 2	SAU1 のチャンネル 0
使用端子	TxD0	TxD1	TxD2
割り込み	SAU0_ENDI0	SAU0_ENDI2	SAU1_ENDI0
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。		
エラー検出フラグ	なし		
転送データ長	7 ビット、8 ビットまたは 9 ビット(注1)		
転送速度(注2)	最大 $f_{MCK}/6$ [bps]（SDRmn.STCLK[6:0] = 2 以上）、最小 PCLKB/ (2 × 2 ¹⁵ × 128) [bps]		
データ位相	非反転出力（デフォルト：High レベル） 反転出力（デフォルト：Low レベル）		
パリティビット	以下の選択が可能 • パリティビットなし • 0 パリティを付加 • 偶数パリティを付加 • 奇数パリティを付加		
ストップビット	以下の選択が可能 • 1 ビットを付加 • 2 ビットを付加		
データ方向	MSB ファーストまたは LSB ファースト		

注. f_{MCK} ：対象チャンネルの動作クロック周波数

注. m：ユニット番号 (m = 0, 1)、n：チャンネル番号 (n = 0, 2)、mn = 00, 02, 10

注 1. 以下の UART のみ 9 ビットのデータ長をサポートします。

- 16 ピン、24 ピン、32 ピン製品 : UART0
- 48 ピン製品 : UART0 および UART2

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

(1) レジスタ設定

UART 送信に対するレジスタ内容の例を表 23.74～表 23.80 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.74 UART 送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0/1	チャンネル n の割り込み要因 0: 転送終了割り込み 1: バッファ空き割り込み
2:1	MD1[1:0]	01b	チャンネル n の動作モードの設定 0 1: UART モード
13:3	—	000_0000_0100 b	設定無効（初期値に設定されます）
14	CCS	0	チャンネル n の転送クロック (f_{TCLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.75 UART 送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	01b ～ 11b	データ長の設定 0 1: 9 ビットデータ長 1 0: 7 ビットデータ長 1 1: 8 ビットデータ長
3:2	—	01b	設定無効（初期値に設定されます）
5:4	SLC[1:0]	01b または 10b	ストップビットの設定 0 1: 1 ビットを付加 1 0: 2 ビットを付加
6	—	0	設定無効（初期値に設定されます）
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b ～ 11b	パリティビットの設定 0 0: パリティなし 0 1: 0 パリティを付加 1 0: 偶数パリティを付加 1 1: 奇数パリティを付加
10	EOC	0	このビットは UART 受信モード専用なので、UART 送信モードでは固定
11	—	0	設定無効（初期値に設定されます）

表 23.75 UART 送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
13:12	DCP[1:0]	00b	このビットは他モード専用なので、UART モードでは固定
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、UART 送信モードで固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.76 UART 送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
6:0	DAT[6:0]	0x00 ~ 0x7F	送信データ[6:0]設定
7	DAT[7]	0/1	送信データ[7]設定 (8 ビットおよび 9 ビットデータ長)
		0	0 固定 (7 ビットデータ長)
8	DAT[8] ^(注1)	0/1	送信データ[8]設定 (9 ビットデータ長)
		0	0 固定 (7 ビットおよび 8 ビットデータ長)
15:9	STCLK[6:0]	0x02 ~ 0x7F	ポーレート設定 (動作クロック (f _{MCK}) の分周設定)

注 1. UART が 9 ビットデータ長での通信を行う場合は、SDRm0.DAT[8:0]ビットが送信データ指定領域になります。

(d) シリアル出力レベルレジスタ m (SOLm)

対象チャネルのビットのみ設定してください。

表 23.77 UART 送信に対するシリアル出力レベルレジスタ m (SOLm) 内容例

ビット	シンボル	設定値	機能
n	SOLn	0/1	UART モードでのチャネル 0 送信データのレベル反転の選択 0: 非反転 (通常) 送信 1: 反転送信

(e) シリアル出力レジスタ m (SOM)

対象チャネルのビットのみ設定してください。

表 23.78 UART 送信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n] ^(注1)	0/1	チャネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

注 1. 対象チャネルの SOLm.SOLn ビットを 0 に設定している場合は 1 に、SOLm.SOLn ビットを 1 に設定している場合は 0 を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

(f) シリアル出力許可レジスタ m (SOEm)

対象チャネルのビットのみ 1 に設定してください。

表 23.79 UART 送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(g) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 23.80 UART 送信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、q : UART 番号 (q = mx2 + n/2)、mn = 00, 02, 10

注. × : シリアルアレイユニットで使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.81 に、UART 送信の初期設定手順を示します。

表 23.81 UART 送信の初期設定手順

手順	処理	詳細
UART 送信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 転送ボーレートを設定する (動作クロック (f _{MCK}) を分周して転送クロックを設定)。
	<6>	SOLm レジスタの設定変更 出力データレベルを設定する。
	<7>	SOm レジスタの設定 シリアルデータ (SOm.SO[n]) の初期出力レベルを設定する。
	<8>	SOEm レジスタの設定変更 SOEm.SOE[n] ビットに 1 を設定し、対象チャネルのデータ出力を許可する。
	<9>	ポートの設定 対象チャネルのデータ出力を有効にする。
	<10>	SSm レジスタへの書き込み 対象チャネルの SSm.SS[n] ビットに 1 を設定し、SEm.SE[n] ビットを 1 に設定することにより動作を許可する。
	<11>	初期設定完了 初期設定が完了。 SDRmn.DAT[7:0] (8 ビット) または SDRmn.DAT[8:0] (9 ビット) に、送信データを設定することで通信を開始する。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、mn = 00, 02, 10

表 23.82 に、UART 送信の停止手順を示します。

表 23.82 UART 送信の停止手順

手順	処理	詳細
UART 送信の停止手順	<1>	停止設定開始 —
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意) 転送中のデータがあれば、その完了を待つ。停止する必要がある場合は、待たない。
	<3>	STm レジスタへの書き込み 対象チャネルの STm.ST[n] ビットに 1 を書き込み、SEm.SE[n] = 0 を設定することにより動作停止状態にする。
	<4>	SOEm レジスタの設定 SOEm.SOE[n] ビットに 0 を設定し、対象チャネルの出力を停止する。
	<5>	SOm レジスタの設定変更 (任意) 必要に応じて、対象チャネルのシリアルデータ (SOm.SO[n]) のレベルを変更可能。
	<6>	停止設定完了 停止設定完了後、次の処理に進む。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、mn = 00, 02, 10

表 23.83 に、UART 送信の再開手順を示します。

表 23.83 UART 送信の再開手順

手順	処理	詳細
UART 送信の再開手順	<1>	再開設定開始
	<2>	通信対象の準備ができるまで待つ
	<3>	ポート操作
	<4>	SPSm レジスタの設定変更 (任意)
	<5>	SDRmn レジスタの設定変更 (任意)
	<6>	SMRmn レジスタの設定変更 (任意)
	<7>	SCRmn レジスタの設定変更 (任意)
	<8>	SOLm レジスタの設定変更 (選択)
	<9>	SOEm レジスタの設定変更 (任意)
	<10>	SOM レジスタの設定変更 (任意)
	<11>	SOEm レジスタの設定変更
	<12>	ポート操作
	<13>	SSm レジスタへの書き込み
	<14>	再開設定完了
		設定完了。 SDRmn.DAT[7:0] (8 ビット) または SDRmn.DAT[8:0] (9 ビット) に、送信データを設定することで通信を開始する。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、mn = 00, 02, 10

(3) 処理フロー (シングル送信モード時)

図 23.31 に、UART 送信のタイミング (シングル送信モード時) を示します。

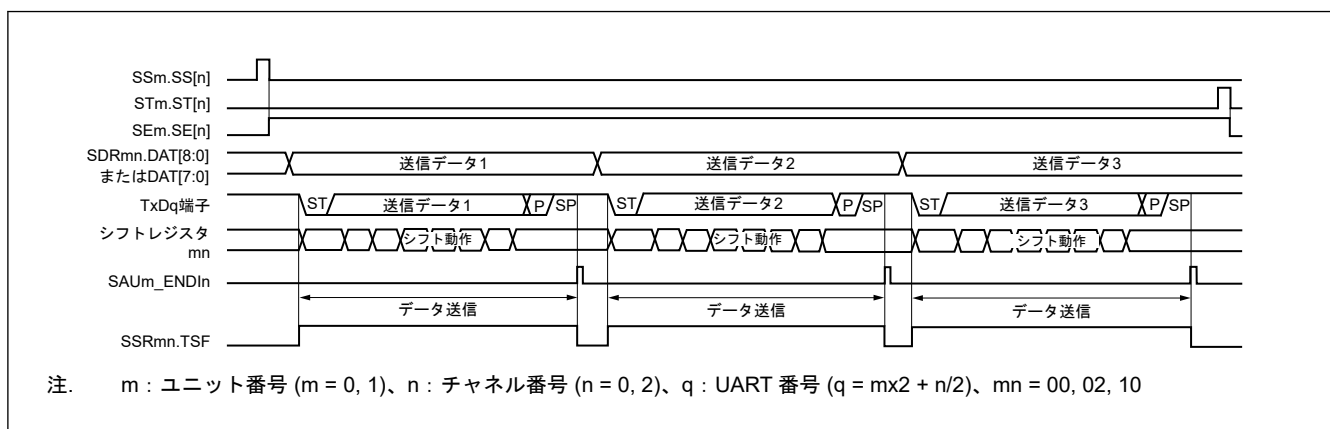


図 23.31 UART 送信のタイミング (シングル送信モード時)

図 23.32 に、UART 送信のフローチャート (シングル送信モード時) を示します。

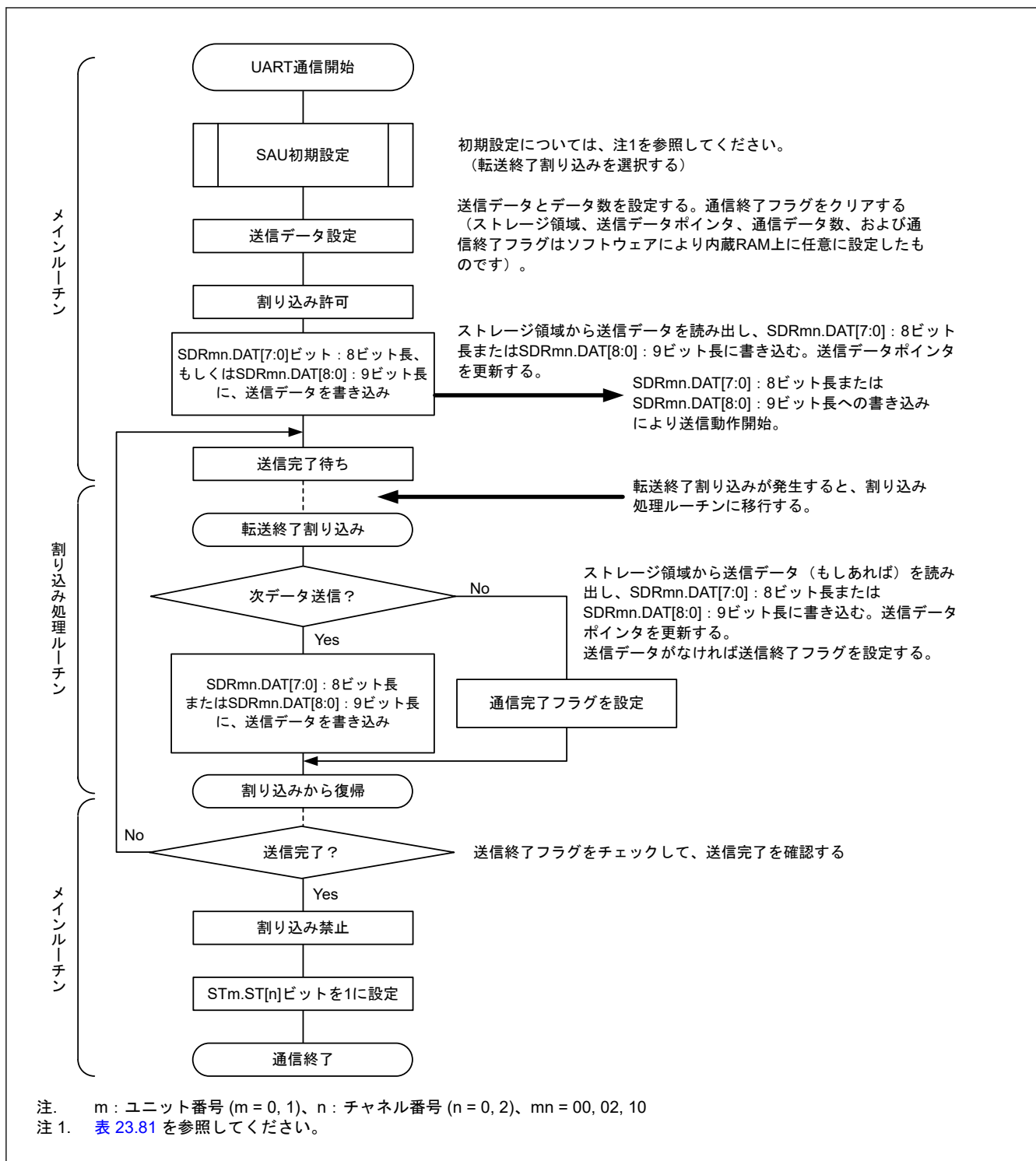
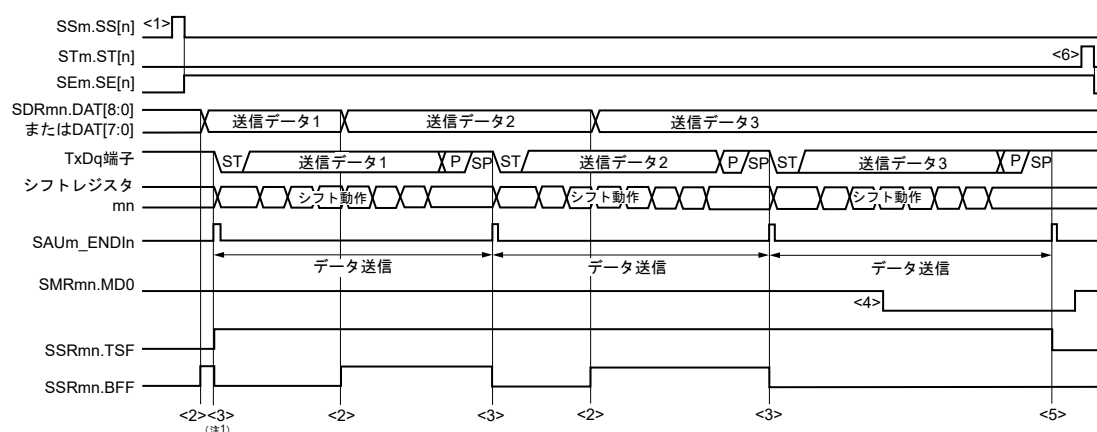


図 23.32 UART 送信のフローチャート (シングル送信モード時)

(4) 処理フロー (連続送信モード時)

図 23.33 に、UART 送信のタイミング (連続送信モード時) を示します。



- 注. シリアルモードレジスタ mn (SMRmn) の MD0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送終了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。
- 注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、q : UART 番号 (q = mx2 + n/2)、mn = 00, 02, 10
- 注 1. シリアルステータスレジスタ mn (SSRmn) の BFF フラグが 1 の期間 (有効なデータがシリアルデータレジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

図 23.33 UART 送信のタイミング (連続送信モード時)

図 23.34 に、UART 送信のフローチャート (連続送信モード時) を示します。

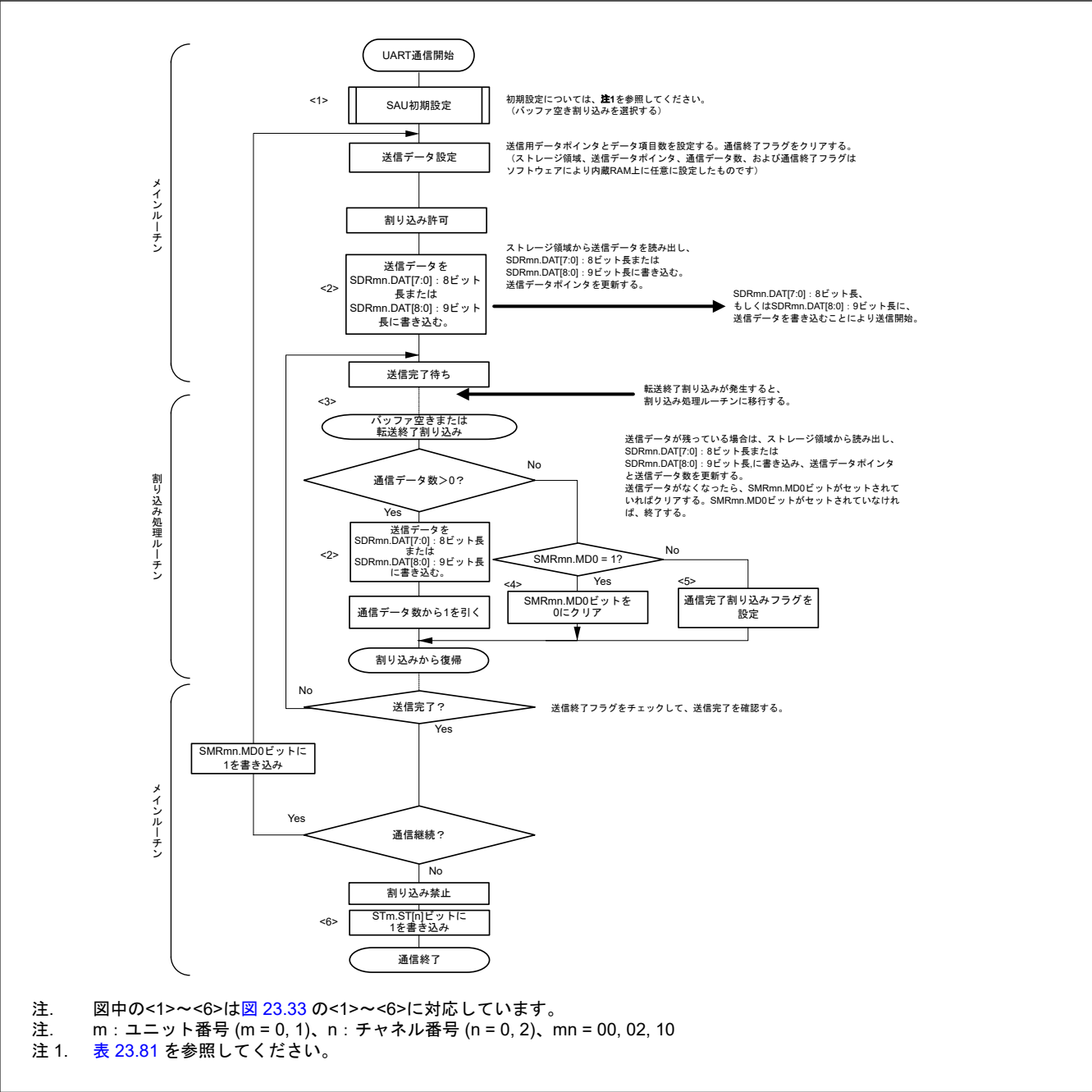


図 23.34 UART 送信のフローチャート（連続送信モード時）

23.6.2 UART 受信

UART 受信は、他デバイスからマイクロコントローラが非同期（調歩同期）でデータを受信する動作です。UART 受信では、その UART に使用する 2 チャンネルのうち、奇数チャンネルのほうを使用します。奇数チャンネルと偶数チャンネルの両方の SMRmn レジスタを設定する必要があります。

[表 23.84](#) に UART 受信の仕様を示します。

表 23.84 UART 受信の仕様 (1/2)

UART	UART0	UART1	UART2
対象チャンネル	SAU0 のチャンネル 1	SAU0 のチャンネル 3	SAU1 のチャンネル 1
使用端子	RxD0	RxD1	RxD2

表 23.84 UART 受信の仕様 (2/2)

UART	UART0	UART1	UART2
割り込み	SAU0_ENDI1	SAU0_ENDI3	SAU1_ENDI1
	転送終了割り込みのみ（バッファ空き割り込みは設定禁止。）		
エラー割り込み	SAU0_INTSRE0	SAU0_INTSRE1	SAU1_INTSRE2
エラー検出フラグ	- フレーミングエラー検出フラグ (SSRmn.FEF) - パリティエラー検出フラグ (SSRmn.PEF) - オーバーランエラー検出フラグ (SSRmn.OVF)		
転送データ長	7 ビット、8 ビット、または 9 ビット(注1)		
転送速度(注2)	最大 $f_{MCK}/6$ [bps] (SDRmn.STCLK[6:0] = 2 以上)、最小 PCLKB/ (2 × 2 ¹⁵ × 128) [bps]		
データ位相	非反転出力（デフォルト：High レベル） 反転出力（デフォルト：Low レベル）		
パリティビット	以下の選択が可能 - パリティビットなし（パリティチェックなし） - パリティ判定なし（0 パリティ） - 偶数パリティチェック - 奇数パリティチェック		
ストップビット	1 ビットを付加		
データ方向	MSB ファーストまたは LSB ファースト		

注. f_{MCK} ：対象チャネルの動作クロック周波数

f_{SCK} ：シリアルクロック周波数

注. m：ユニット番号 (m = 0, 1)、n：チャネル番号 (n = 1, 3)、mn = 01, 03, 11

注 1. 以下の UART のみ 9 ビットのデータ長をサポートします。

- 16 ピン、24 ピン、32 ピン製品：UART0
- 48 ピン製品：UART0 および UART2

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

(1) レジスタ設定

UART 受信に対するレジスタ内容の例を表 23.85～表 23.91 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.85 UART 受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
0	MD0	0	チャネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	01b	チャネル n の動作モードの設定 0 1: UART モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0/1	UART モードでのチャネル n 受信データのレベル反転の制御 0: 通常の受信動作 1: 反転受信
7	—	0	設定無効（初期値に設定されます）
8	STS	1	スタートトリガ要因の選択 1: RxDq 端子の有効エッジ
13:9	—	0_0000b	設定無効（初期値に設定されます）
14	CCS	0	チャネル n の転送クロック (f_{TCLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック

表 23.85 UART 受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアルモードレジスタ mr (SMRmr)

表 23.86 UART 受信に対するシリアルモードレジスタ mr (SMRmr) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャンネル r の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	01b	チャンネル r の動作モードの設定 0 1: UART モード
13:3	—	000_0000_0100 b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル r の転送クロック (f_{TCLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャンネル r の動作クロック (f_{MCK}) (SMRmn.CKS ビットと同じ設定値) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(c) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.87 UART 受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	01b ~ 11b	データ長の設定 0 1: 9 ビットデータ長 1 0: 7 ビットデータ長 1 1: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b	ストップビットの設定 0 1: 1 ビットを付加
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0/1	簡易 SPI モードおよび UART モードでのデータ転送順序の選択 0: MSB ファーストでデータ入出力を行う 1: LSB ファーストでデータ入出力を行う
9:8	PTC[1:0]	00b ~ 11b	パリティビットの設定 0 0: パリティなし 0 1: 0 パリティを付加 1 0: 偶数パリティを付加 1 1: 奇数パリティを付加
10	EOC	0/1	エラー割り込み信号 SAUm_INTSREq のマスク制御 0: エラー割り込み SAUm_INTSREq の発生を禁止 (SAUm_ENDIn が発生) 1: エラー割り込み SAUm_INTSREq の発生を許可 (エラーが発生した場合、SAUm_ENDIn は発生しない)
11	—	0	設定無効 (初期値に設定されます)

表 23.87 UART 受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
13:12	DCP[1:0]	00b	このビットは他モード専用なので、UART モードでは固定
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、UART 受信モードで固定

(d) シリアルデータレジスタ mn (SDRmn)

表 23.88 UART 受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
6:0	DAT[6:0]	0x00 ～ 0x7F	受信データ[6:0]
7	DAT[7]	0/1	受信データ[7] (8 ビットおよび 9 ビットデータ長)
		0	0 固定 (7 ビットデータ長)
8	DAT[8] ^(注1)	0/1	受信データ[8] (9 ビットデータ長)
		0	0 固定 (7 ビットおよび 8 ビットデータ長)
15:9	STCLK[6:0]	0x02 ～ 0x7F	ポーレート設定 (動作クロック (f _{MCK}) の分周設定)

注 1. UART が 9 ビットデータ長での通信を行う場合は、SDRm1 レジスタの DAT[8:0] ビットが受信データ指定領域になります。

(e) シリアル出力レジスタ m (SOM)

このレジスタは本モードでは使用しません。

表 23.89 UART 受信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
n+8	CKO[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(f) シリアル出力許可レジスタ m (SOEm)

このレジスタは本モードでは使用しません。

表 23.90 UART 受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	x	このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

(g) シリアルチャネル開始レジスタ m (SSm)

対象チャネルのビットのみ 1 に設定してください。

表 23.91 UART 受信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	1	チャネル n の動作開始トリガ 1: SEm.SE[n] ビットに 1 を設定し、チャネルを通信待機状態にする

注. UART 受信時は、チャネル n とペアになるチャネル r の SMRmr レジスタも必ず UART 送信モードに設定してください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11
r : チャネル番号 (r = n - 1)

注. x : シリアルアレイユニットで使用しないビット (他の周辺機能の設定による)
0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.92 に、UART 受信の初期設定手順を示します。

表 23.92 UART 受信の初期設定手順

手順	処理	詳細
UART 受信の初期設定手順	<1>	初期設定開始
	<2>	SPSm レジスタの設定
	<3>	SMRmn レジスタおよび SMRmr レジスタの設定
	<4>	SCRmn レジスタの設定
	<5>	SDRmn レジスタの設定
	<6>	ポートの設定
	<7>	SSm レジスタへの書き込み
	<8>	初期設定完了

注. SCRmn レジスタの TRXE[0]ビットを 1 に設定後に、 f_{MCK} クロックで 4 サイクル以上間隔をあけてから SSm.SS[n]ビットを 1 に設定してください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11

表 23.93 に、UART 受信の停止手順を示します。

表 23.93 UART 受信の停止手順

手順	処理	詳細
UART 送信の停止手順	<1>	停止設定開始
	<2>	SSRmn.TSF フラグがクリアされるまで待つ (任意)
	<3>	STm レジスタへの書き込み
	<4>	停止設定完了

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11

表 23.94 に、UART 受信の再開手順を示します。

表 23.94 UART 受信の再開手順

手順	処理	詳細
UART 受信の再開手順	<1>	再開設定開始
	<2>	通信対象の準備ができるまで待つ
	<3>	SPSm レジスタの設定変更（任意）
	<4>	SDRmn レジスタの設定変更（任意）
	<5>	SMRmn レジスタおよび SMRmr レジスタの設定変更（任意）
	<6>	SCRmn レジスタの設定変更（任意）
	<7>	エラーフラグのクリア
	<8>	ポートの設定
	<9>	SSm レジスタへの書き込み
	<10>	再開設定完了

注. SCRmn レジスタの TRXE[0]ビットを 1 に設定後に、 f_{MCK} クロックで 4 サイクル以上間隔をあけてから SSm.SS[n]ビットを 1 に設定してください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、r : チャネル番号 (r = n - 1)、mn = 01, 03, 11

(3) 処理フロー

図 23.35 に UART 受信のタイミングを示します。

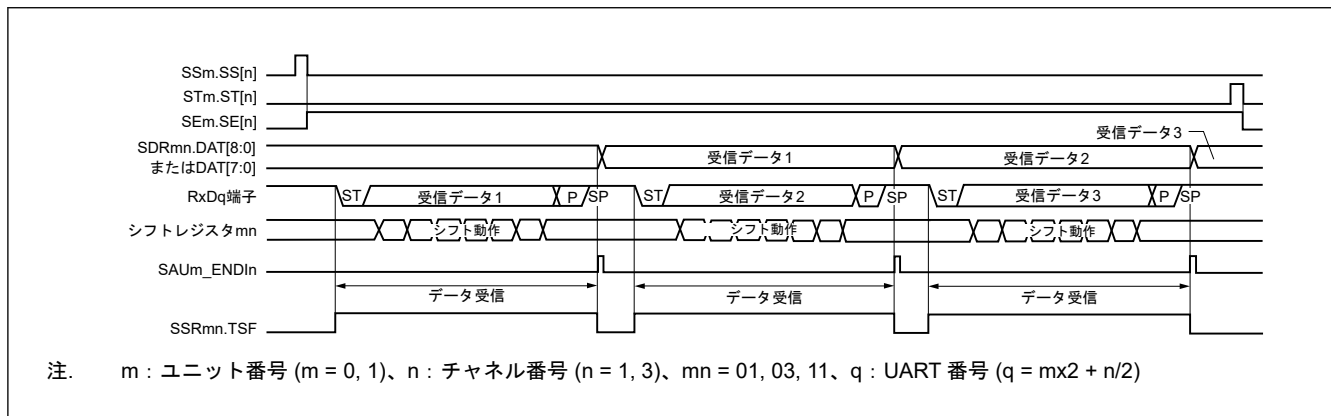


図 23.35 UART 受信のタイミング

図 23.36 に UART 受信のフローチャートを示します。

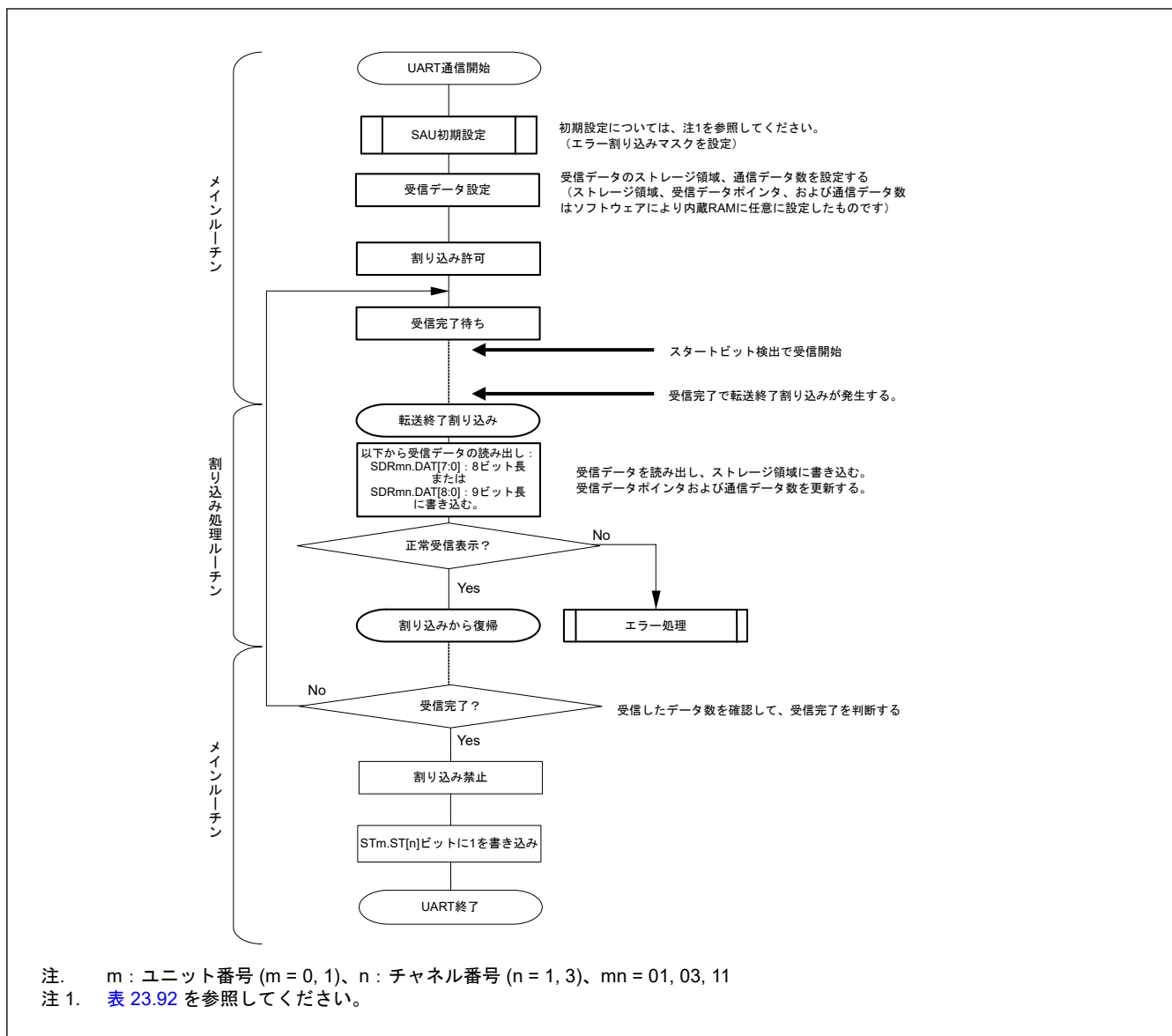


図 23.36 UART 受信のフローチャート

23.6.3 スヌーズモード機能

ソフトウェアスタンバイモード時に RxDq 端子入力の検出により UART の受信動作をさせるモードです。通常ソフトウェアスタンバイモード時に UART は通信動作を停止しますが、スヌーズモードを使うことで、CPU を動作させずに UART の受信動作を行うことができます。

スヌーズモードは、UART0 チャネルと UART2 チャネルのみ設定可能です。

UARTq をスヌーズモードで使用する場合は、ソフトウェアスタンバイモードに移行する前に次の設定を行います。(図 23.39 と図 23.41 を参照してください。)

- スヌーズモード時は、UART 受信ボーレートの設定を通常動作時とは異なる値に変更する必要があります。
表 23.95 を参照して SPSm レジスタおよび SDRmn.STCLK[6:0] ビットを設定してください。
- SCRmn.EOC ビットおよび SSCm.SSEC ビットを設定します。これにより、通信エラーが発生した場合にエラー割り込み (SAU0_INTSRE0) の発生許可/停止を設定することができます。
- スヌーズモード機能を使用する場合、ソフトウェアスタンバイモードに移行する直前にシリアルスタンバイ制御レジスタ m (SSCm) の SWC ビットを 1 に設定してください。初期設定完了後、シリアルチャネル開始レジスタ m (SSm) の SS[1] ビットを 1 に設定します。
- CPU がソフトウェアスタンバイモードに遷移後、RxDq 端子にスタートビット入力を検出すると、UARTq はスヌーズモードで受信を開始します。

- 注. スヌーズモードは、PCLKB に高速オンチップオシレータクロック (HOCO) または中速オンチップオシレータクロック (MOCO) が選択されている場合にのみ使用できます。
中速オンチップオシレータクロック (MOCO) を選択した場合、MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR) を使用して発振周波数の精度を補正してください。
- 注. スヌーズモードでの最大転送速度は 9600 bps です。
- 注. SSCm.SWC = 1 の設定では、ソフトウェアスタンバイモード中に受信動作開始した時のみ UARTq を使用できます。
他のスヌーズモード機能や割り込みと同時に使用して、次のようなソフトウェアスタンバイモード以外の状態で受信動作開始した場合は、正しくデータ受信できず、フレーミングエラーもしくはパリティエラーが発生することがあります。
- SSCm.SWC ビットを 1 に設定後、ソフトウェアスタンバイモードに移行する前に受信動作開始した場合
 - 他の機能がスヌーズモード中に受信動作開始した場合
 - ソフトウェアスタンバイモードから割り込みなどで通常動作に復帰後、SSCm.SWC ビットが 0 に戻る前に受信動作開始した場合
- 注. SSCm.SSEC ビットが 1 の設定では、パリティエラー、フレーミングエラー、オーバーランエラー時に SSRmn.PEF、FEF、または OVF フラグはセットされず、エラー割り込み (SAUm_INTSReq) も発生しません。そのため、SSCm.SSEC = 1 の設定で使用するときは、SSCm.SWC ビットを 1 に設定する前に SSRmn.PEF、FEF、および OVF フラグをクリアし、また、SDRm1 レジスタの DAT[7:0] ビット値を読み出してください。
- 注. CPU は、RxDq 信号の有効エッジ検出によりソフトウェアスタンバイモードからスヌーズモードへ移行します。
ただし、RxDq ピンの入力パルスが短すぎてスタートビットとして検出できない場合は、UART チャンネルの転送が開始されず、CPU がスヌーズモードのままになることがあります。このような場合、次の UART 受信で正しくデータ受信できず、フレーミングエラーもしくはパリティエラーが発生することがあります。
- 注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、q : UART 番号 (q = 0, 2)、mn = 01, 11

表 23.95 にスヌーズモードでの UART 受信のボーレート設定を示します。

表 23.95 スヌーズモードでの UART 受信のボーレート設定

ボーレート	高速オンチップオシレータ (HOCO)	動作クロック (f_{MCK})	SDRmn.STCLK[6:0]	最大許容値	最小許容値
4800 bps	32 MHz $\pm$ 1% (注1)	PCLKB/2 ⁵	106	1.45%	-1.67%
	24 MHz $\pm$ 1% (注1)	PCLKB/2 ⁵	79	1.77%	-1.37%
9600 bps	32 MHz $\pm$ 1% (注1)	PCLKB/2 ⁴	106	1.45%	-1.67%
	24 MHz $\pm$ 1% (注1)	PCLKB/2 ⁴	79	1.77%	-1.37%

注 1. HOCO のクロック周波数精度が $\pm 1.5\%$ または $\pm 2.0\%$ の場合は、次のように許容範囲が狭くなります。

- HOCO $\pm 1.5\%$ の場合は、上表の最大許容値に -0.5%、最小許容値に +0.5% してください。
- HOCO $\pm 2.0\%$ の場合は、上表の最大許容値に -1.0%、最小許容値に +1.0% してください。

注. 最大許容値および最小許容値は、UART 受信時のボーレート許容値です。この範囲に送信側のボーレートが収まるように設定してください。

(1) スヌーズモード動作 (SCRm1.EOC = 0, SSCm.SSEC = 0/1)

SCRm1.EOC = 0 の設定のため SSCm.SSEC ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み (SAUm_INTSReq) は発生しません。しかしながら、転送終了割り込み (SAUm_ENDI1) は発生します。

図 23.37 に、スヌーズモード動作のタイミングを示します (SCRm1.EOC = 0, SSCm.SSEC = 0/1)。

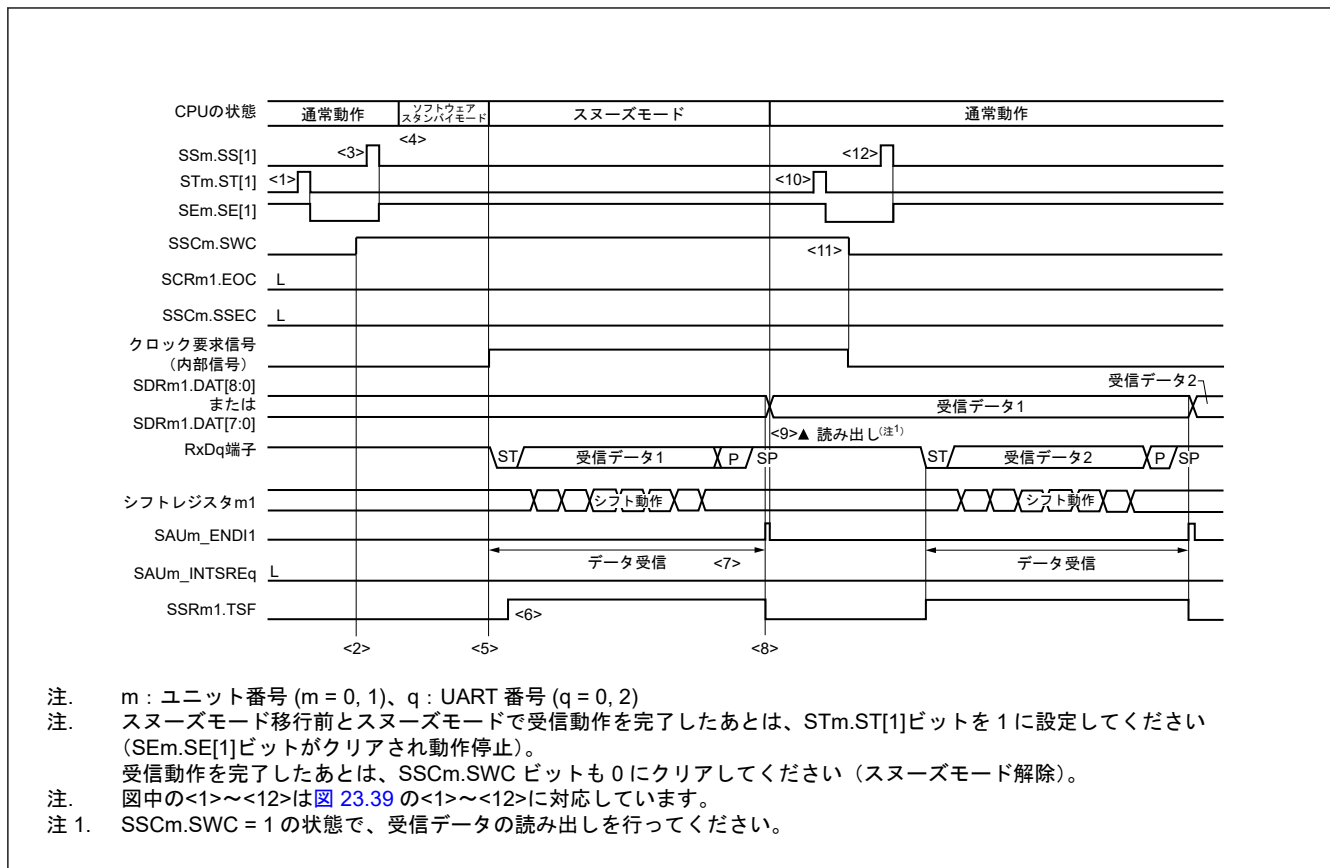
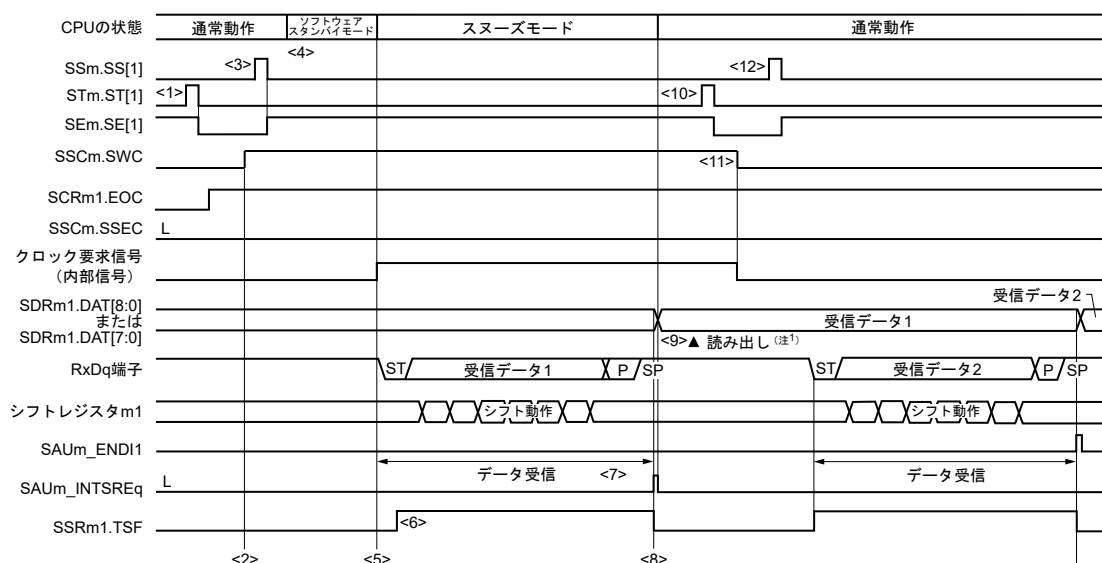


図 23.37 スヌーズモード動作のタイミング (SCRm1.EOC = 0, SSCm.SSEC = 0/1)

(2) スヌーズモード動作 (SCRm1.EOC = 1, SSCm.SSEC = 0 : エラー割り込み (SAUm_INTSREq) 発生を許可)

SCRm1.EOC = 1 および SSCm.SSEC = 0 のため、通信エラーが発生した場合にエラー割り込み (SAUm_INTSREq) を発生します。

[図 23.38](#) に、スヌーズモード動作のタイミングを示します (SCRm1.EOC = 1, SSCm.SSEC = 0)。



- 注. m : ユニット番号 (m = 0, 1)、q : UART 番号 (q = 0, 2)
- 注. スリープモード移行前とスリープモードで受信動作を完了したあとは、STm.ST[1]ビットを 1 に設定してください (SEm.SE[1]ビットがクリアされ動作停止)。
受信動作を完了したあとは、SSCm.SWC ビットも 0 にクリアしてください (スリープモード解除)。
- 注. 図中の<1>~<12>は図 23.39 の<1>~<12>に対応しています。
- 注 1. SSCm.SWC = 1 の状態で、受信データの読み出しを行ってください。

図 23.38 スリープモード動作のタイミング (SCRm1.EOC = 1, SSCm.SSEC = 0)

図 23.39 に、スリープモード動作のフローチャートを示します (SCRm1.EOC = 0、SSCm.SSEC = 0/1 または SCRm1.EOC = 1、SSCm.SSEC = 0)。

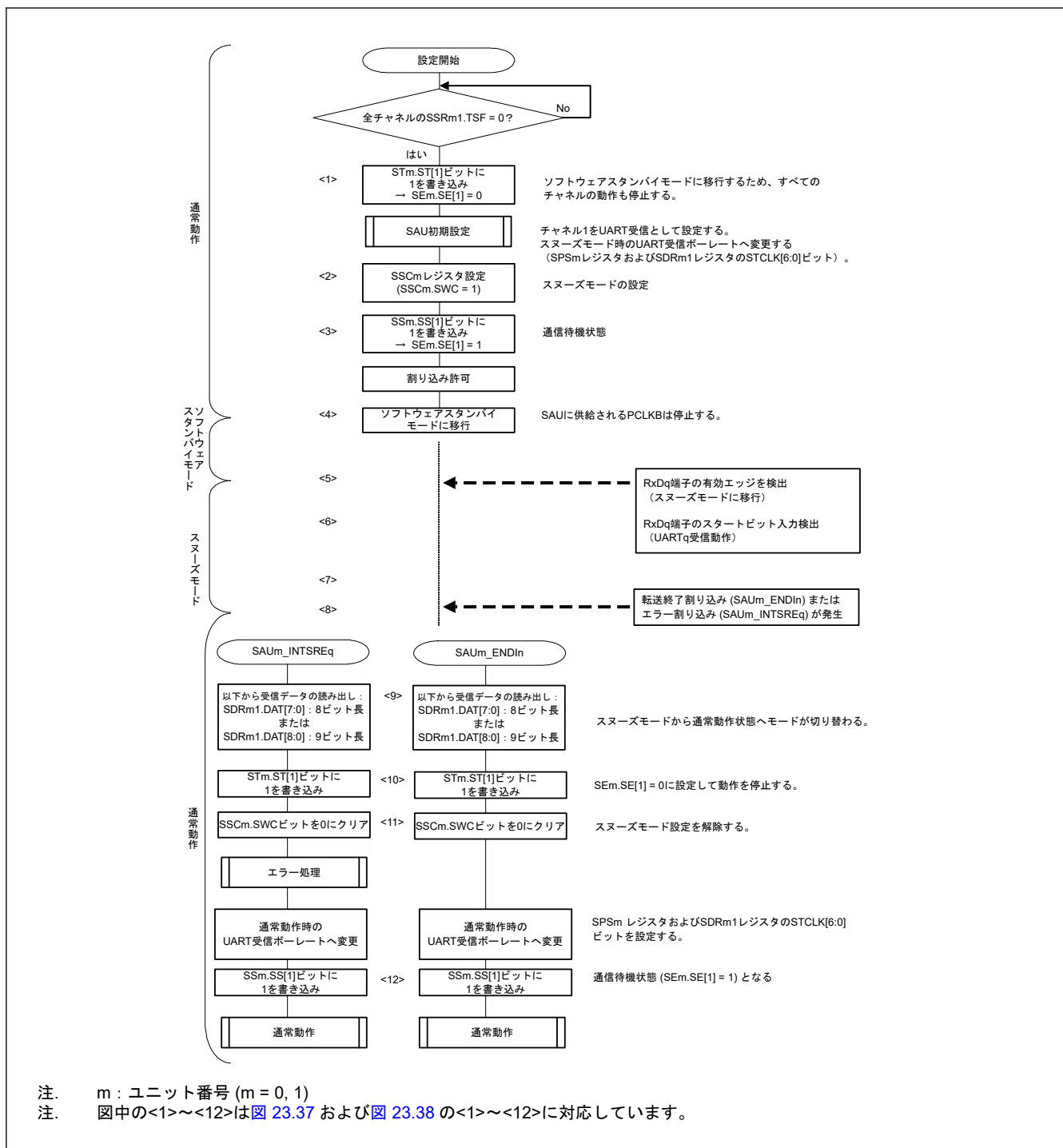
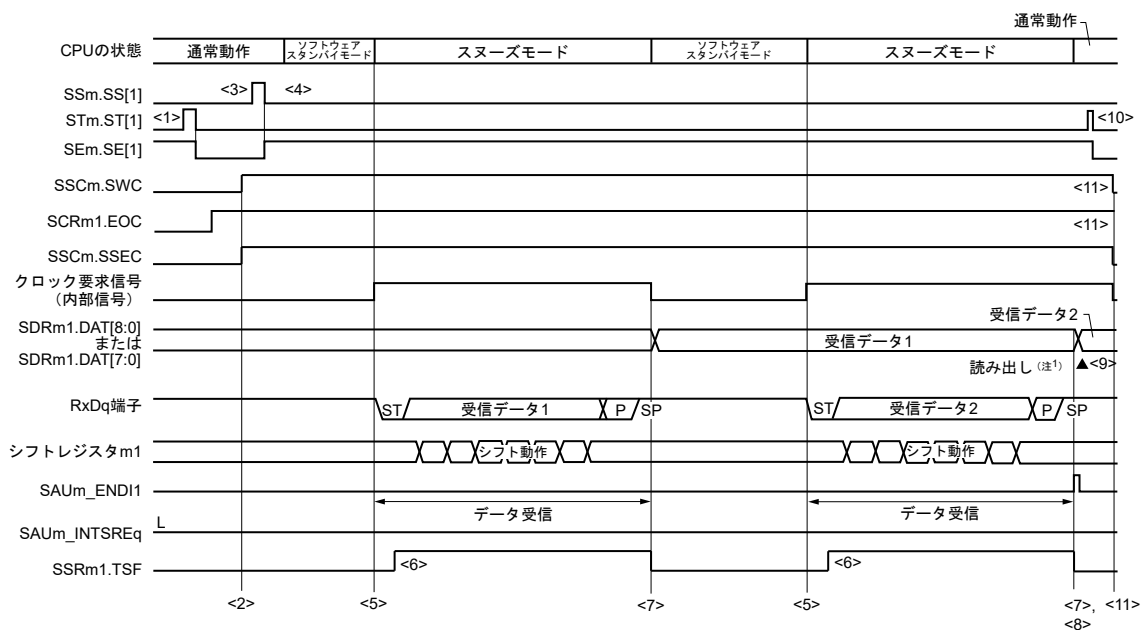


図 23.39 スリープモード動作のフローチャート (SCRm1.EOC = 0、SSCm.SSEC = 0/1 または SCRm1.EOC = 1、SSCm.SSEC = 0)

(3) スリープモード動作 (SCRm1.EOC = 1、SSCm.SSEC = 1: エラー割り込み (SAUm_INTSReq) 発生を停止)

SCRm1.EOC = 1 および SSCm.SSEC = 1 のため、通信エラーが発生した場合にエラー割り込み (SAUm_INTSReq) は発生しません。

図 23.40 に、スリープモード動作のタイミングを示します (SCRm1.EOC = 1, SSCm.SSEC = 1)。



- 注. m : ユニット番号 (m = 0, 1)、q : UART 番号 (q = 0, 2)
- 注. スヌーズモード移行前とスヌーズモードで受信動作を完了したあとは、STm.ST[1]ビットを 1 に設定してください (SEm.SE[1]ビットがクリアされ動作停止)。
受信動作を完了したあとは、SSCm.SWC ビットも 0 にクリアしてください (スヌーズモード解除)。
- 注. SSCm.SSEC ビットが 1 の設定では、パリティエラー、フレーミングエラー、オーバーランエラー時に SSRm1.PEF、FEF、または OVF フラグはセットされず、エラー割り込み (SAUm_INTSREq) も発生しません。そのため、SSCm.SSEC = 1 の設定で使用するときは、SSCm.SWC ビットを 1 に設定する前に SSRm1.PEF、FEF、および OVF フラグをクリアし、また、SDRm1.DAT[7:0] (8 ビット) または SDRm1.DAT[8:0] (9 ビット) 値を読み出してください。
- 注. 図中の<1>～<11>は図 23.41 の<1>～<11>に対応しています。
- 注 1. SSCm.SWC = 1 の状態で、受信データの読み出しを行ってください。

図 23.40 スヌーズモード動作のタイミング (SCRm1.EOC = 1, SSCm.SSEC = 1)

図 23.41 に、スヌーズモード動作のフローチャートを示します (SCRm1.EOC = 1, SSCm.SSEC = 1)。

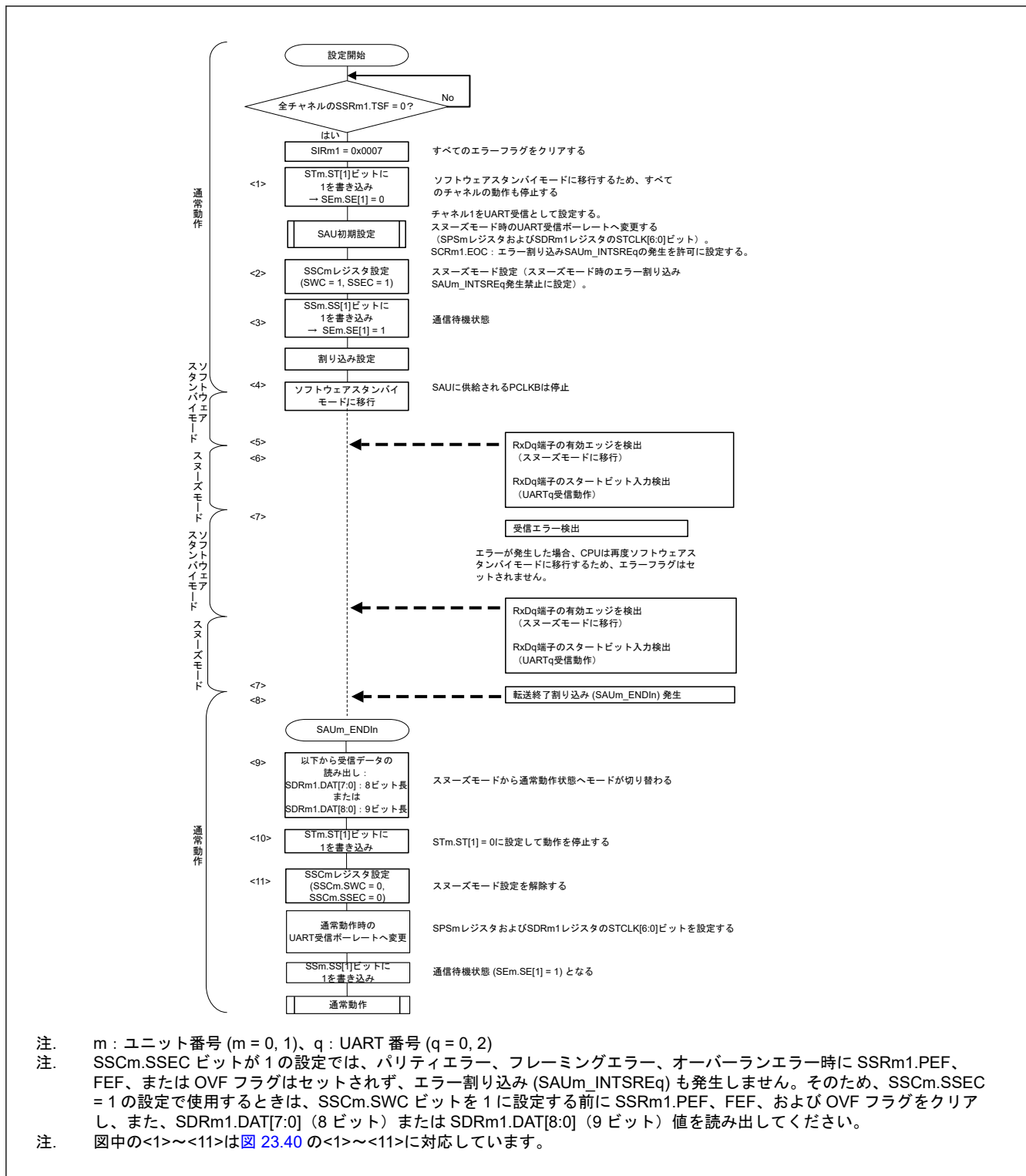


図 23.41 スヌーズモード動作のフローチャート (SCRm1.EOC = 1, SSCm.SSEC = 1)

23.6.4 ボーレートの算出

(1) ボーレートの計算式

UART 通信でのボーレートは下記の計算式にて算出できます。

$$(\text{ボーレート}) = \{\text{対象チャネルの動作クロック (f}_{\text{MCK}}) \text{ 周波数}\} \div (\text{SDRmn.STCLK}[6:0] + 1) \div 2 [\text{bps}]$$

注. SDRmn.STCLK[6:0] = (0x00, 0x01) は設定禁止です。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

動作クロック (f_{MCK}) は、シリアルクロック選択レジスタ m (SPSm) とシリアルモードレジスタ mn (SMRmn) の CKS ビットで決まります。表 23.71 を参照してください。

(2) 送信中のボーレート誤差

UART 通信の送信時のボーレート誤差は下記の計算式にて算出できます。送信側のボーレートが受信側の許容ボーレート範囲内であることを確認してください。

$$(\text{ボーレート誤差}) = (\text{計算されたボーレート値}) \div (\text{目標ボーレート}) \times 100 - 100 [\%]$$

表 23.96 に PCLKB = 32 MHz の場合の UART ボーレート設定例を示します。

表 23.96 PCLKB = 32 MHz の場合の UART ボーレート設定例

UART ボーレート (目標ボーレート)	PCLKB = 32 MHz			
	動作クロック (f_{MCK})	SDRmn.STCLK[6:0]	算出ボーレート	目標ボーレートとの誤差
300 bps	PCLKB/2 ⁹	103	300.48 bps	+0.16%
600 bps	PCLKB/2 ⁸	103	600.96 bps	+0.16%
1200 bps	PCLKB/2 ⁷	103	1201.92 bps	+0.16%
2400 bps	PCLKB/2 ⁶	103	2403.85 bps	+0.16%
4800 bps	PCLKB/2 ⁵	103	4807.69 bps	+0.16%
9600 bps	PCLKB/2 ⁴	103	9615.38 bps	+0.16%
19200 bps	PCLKB/2 ³	103	19230.8 bps	+0.16%
31250 bps	PCLKB/2 ³	63	31250.0 bps	±0.0%
38400 bps	PCLKB/2 ²	103	38461.5 bps	+0.16%
76800 bps	PCLKB/2	103	76923.1 bps	+0.16%
153600 bps	PCLKB	103	153846 bps	+0.16%
312500 bps	PCLKB	50	313725.5 bps	+0.39%

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0, 2)、mn = 00, 02, 10

(3) 受信時のボーレート許容範囲

UART 通信での、受信時のボーレート許容範囲は、下記の計算式にて算出できます。送信側のボーレートが受信側の許容ボーレート範囲内であることを確認してください。

$$(\text{受信可能な最大ボーレート}) = \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボーレート}) = \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times \text{Brate}$$

- Brate : 受信側の算出ボーレート値 ((1) ボーレートの計算式参照してください。)
- k : SDRmn.STCLK[6:0] + 1
- Nfr : 1 データフレーム長 [ビット] = (スタートビット) + (データ長) + (パリティビット) + (ストップビット)

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 1, 3)、mn = 01, 03, 11

図 23.42 に受信時の許容ボーレート範囲 (1 データフレーム長 = 11 ビットの場合) を示します。

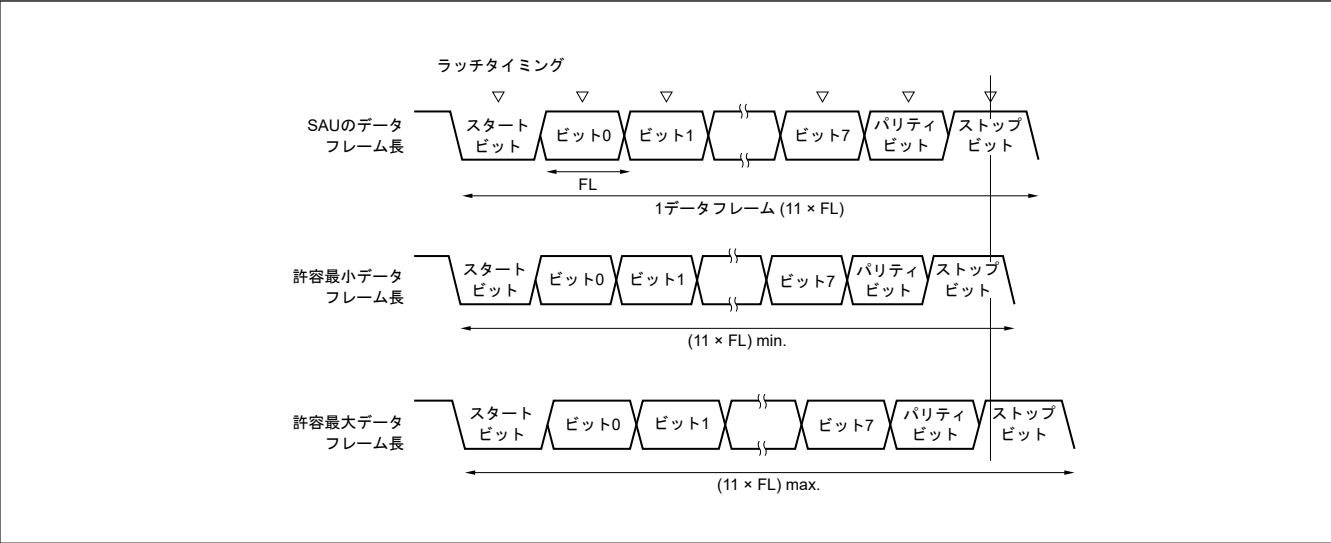


図 23.42 受信時の許容ポーレート範囲（1 データフレーム長 = 11 ビットの場合）

図 23.42 に示すように、スタートビット検出後はシリアルデータレジスタ mn (SDRmn) の STCLK[6:0]ビットで設定した分周比により、受信データのラッチタイミングが決定されます。このラッチタイミングに最終データ（ストップビット）までが間に合えば正常に受信できます。

23.6.5 UART 通信時におけるエラー発生時の処理手順

UART 通信時にエラーが発生した場合の処理手順を表 23.97 および表 23.98 に示します。

表 23.97 パリティエラーまたはオーバーランエラーの処理手順

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す。	→	SSRmn レジスタの BFF フラグが 0 となり、チャンネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	—	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に 1 を書き込む。	→	エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。

表 23.98 フレーミングエラーの処理手順 (1/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す。	→	SSRmn レジスタの BFF フラグが 0 となり、チャンネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	—	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に書き込む。	→	エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。
<4>	シリアルチャンネル停止レジスタ m (STm) の ST[n]ビットを 1 に設定する。	→	シリアルチャンネル許可ステータスレジスタ m (SEm) の SE[n]ビットが 0 となり、チャンネル n は動作停止状態になる。	—

表 23.98 フレーミングエラーの処理手順 (2/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<5>	通信相手との同期処理を行う		—	スタートビットがずれているためにフレーミングエラーが起きたと考えられるため、他の通信相手との同期を取り直して通信を再開する。
<6>	シリアルチャネル開始レジスタ m (SSm) の SS[n] ビットを 1 に設定する。	→	シリアルチャネル許可ステータスレジスタ m (SEm) の SE[n] ビットが 1 となり、チャネル n は動作可能状態になる。	—

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

23.7 LIN 通信の動作

23.7.1 LIN 送信

UART 送信のうち、UART2 は LIN 通信に対応しています。

LIN 送信では、ユニット 1 のチャネル 0 を使用します。

表 23.99 に LIN 送信の仕様を示します。

表 23.99 LIN 送信の仕様

UART	UART0	UART1	UART2
LIN 通信対応	なし	なし	あり
対象チャネル	—	—	SAU1 のチャネル 0
使用端子	—	—	TxD2
割り込み	—	—	SAU1_ENDI0
	転送終了割り込み（シングル転送モード時）またはバッファ空き割り込み（連続転送モード時）を選択できます。		
エラー検出フラグ	なし		
転送データ長	8 ビット		
転送速度(注1)	最大 $f_{MCK}/6$ [bps] (SDR10.STCLK[6:0] = 2 以上)、最小 PCLKB/ (2 × 2 ¹⁵ × 128) [bps]		
データ位相	非反転出力（デフォルト：High レベル） 反転出力（デフォルト：Low レベル）		
パリティビット	パリティビットなし		
ストップビット	1 ビットを付加		
データ方向	LSB ファースト		

注. f_{MCK} : 対象チャネルの動作クロック周波数

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。LIN 通信では通常 2.4、9.6、または 19.2 kbps がよく用いられます。

LIN とは、Local Interconnect Network の略称で、車載ネットワークのコストダウンを目的とする低速（1~20 kbps）のシリアル通信プロトコルです。

LIN の通信はシングルマスタ通信で、1 つのマスタに対し最大 15 のスレーブが接続可能です。LIN のスレーブは、スイッチ、アクチュエータ、およびセンサの制御に使用され、これらが LIN を介してマスタに接続されます。LIN のマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LIN バスはシングルワイヤ方式で、ISO9141 に準拠したトランシーバを介して各ノードが接続されます。

LIN のプロトコルでは、マスタはフレームにボーレート情報をつけて送信し、スレーブはこれを受信してマスタとのボーレート誤差を補正します。スレーブのボーレート誤差が ±15% 以下であれば、通信可能です。

LIN の送信動作の概略を、図 23.43 に示します。

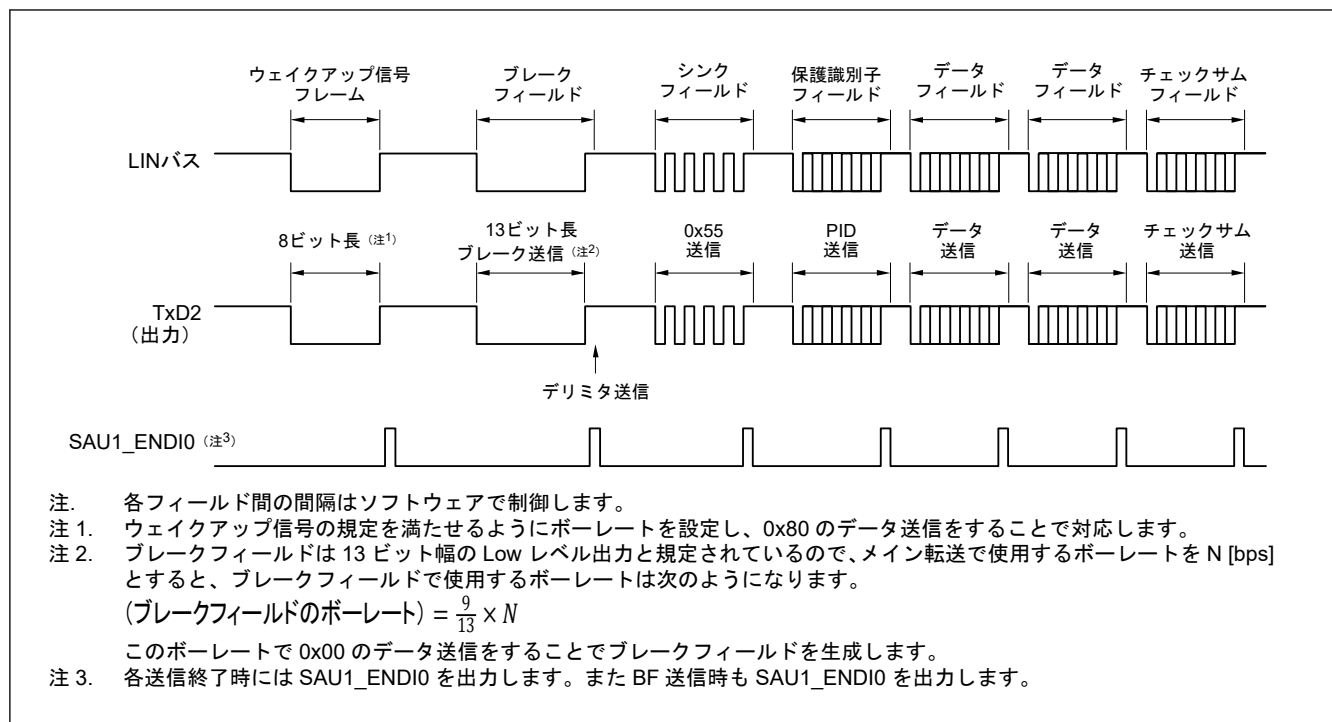


図 23.43 LIN の送信動作

図 23.44 に、LIN 送信のフローチャートを示します。

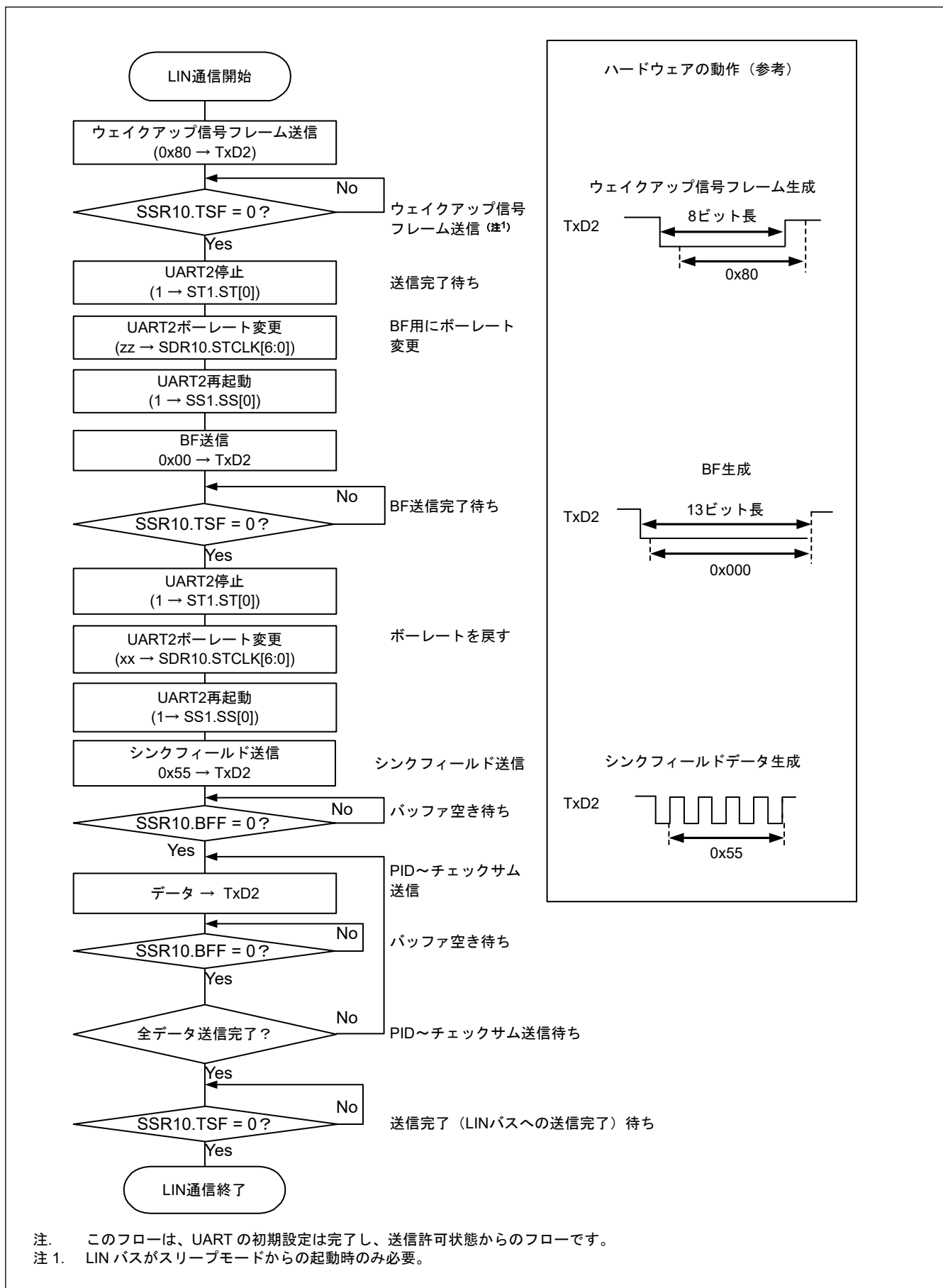


図 23.44 LIN 送信のフローチャート

23.7.2 LIN 受信

UART 受信のうち、UART2 は LIN 通信に対応しています。

LIN 受信では、ユニット 1 のチャンネル 1 を使用します。

表 23.100 に LIN 受信の仕様を示します。

表 23.100 LIN 受信の仕様

UART	UART0	UART1	UART2
LIN 通信対応	なし	なし	あり
対象チャンネル	—	—	SAU1 のチャンネル 1
使用端子	—	—	RxD2
割り込み	—	—	SAU1_ENDI1
	転送終了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	—	—	SAU1_INTSRE2
エラー検出フラグ	- フレーミングエラー検出フラグ (SSR11.FEF) - オーバーランエラー検出フラグ (SSR11.OVF)		
転送データ長	8 ビット		
転送速度(注1)	最大 $f_{MCK}/6$ [bps] (SDR11.STCLK[6:0] = 2 以上)、最小 PCLKB/ ($2 \times 2^{15} \times 128$) [bps]		
データ位相	非反転出力（デフォルト：High レベル） 反転出力（デフォルト：Low レベル）		
パリティビット	パリティビットなし（パリティビットをチェックしない）		
ストップビット	最初のビットをチェック		
データ方向	LSB ファースト		

注. f_{MCK} ：対象チャンネルの動作クロック周波数

注 1. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

LIN の受信動作を図 23.45 に示します。

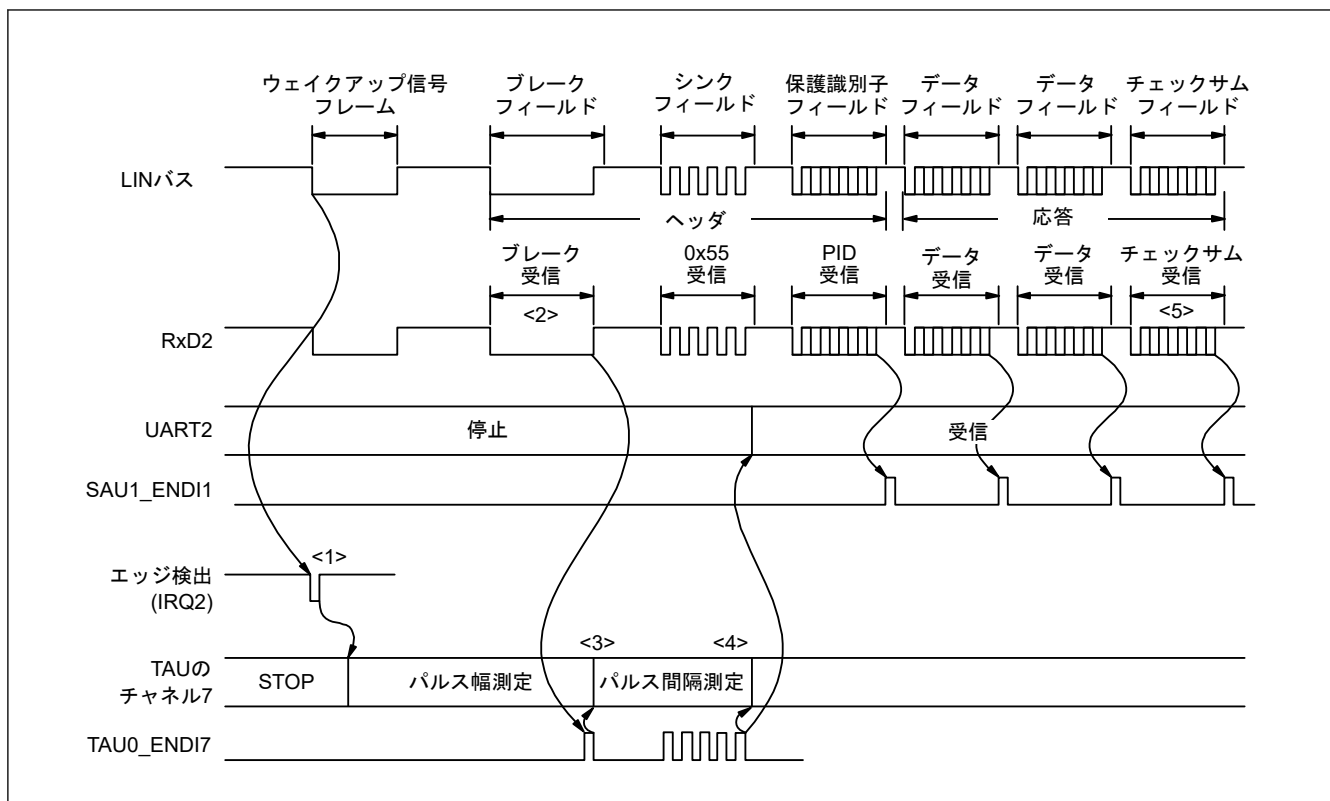


図 23.45 LIN の受信動作

受信処理の流れを次に示します。

<1> ウェイクアップ信号の検出は、外部割り込み端子 (IRQ2) のエッジ検出で行います。ウェイクアップ信号を検出したら、TAU のチャンネル 7 を BF 信号の Low レベル幅測定のためにパルス幅測定機能に設定して、BF 信号受信待ち状態にします。

<2> TAU のチャンネル 7 は、BF 信号の立ち下がりを検出したら、Low レベル幅の測定を開始し、BF 信号の立ち上がりでデータキャプチャを行います。キャプチャされたデータから BF 信号かどうかの判定を行います。

<3> BF 信号受信を正常終了した場合、TAU のチャンネル 7 をパルス間隔測定に設定し、シンクフィールドの RxD2 信号の立ち下がりの間隔を 4 回測定します (「18.7.4. 入力パルスの間隔の測定を行う際の動作」を参照してください)。

<4> シンクフィールド (SF) のビット間隔からボーレート誤差を算出します。いったん UART2 を動作停止にしてからボーレートを調整 (再設定) します。

<5> チェックサムフィールドの区別はソフトウェアで行ってください。チェックサムフィールド受信後に UART2 を初期化し、再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図 23.46 に LIN 受信のフローチャートを示します。

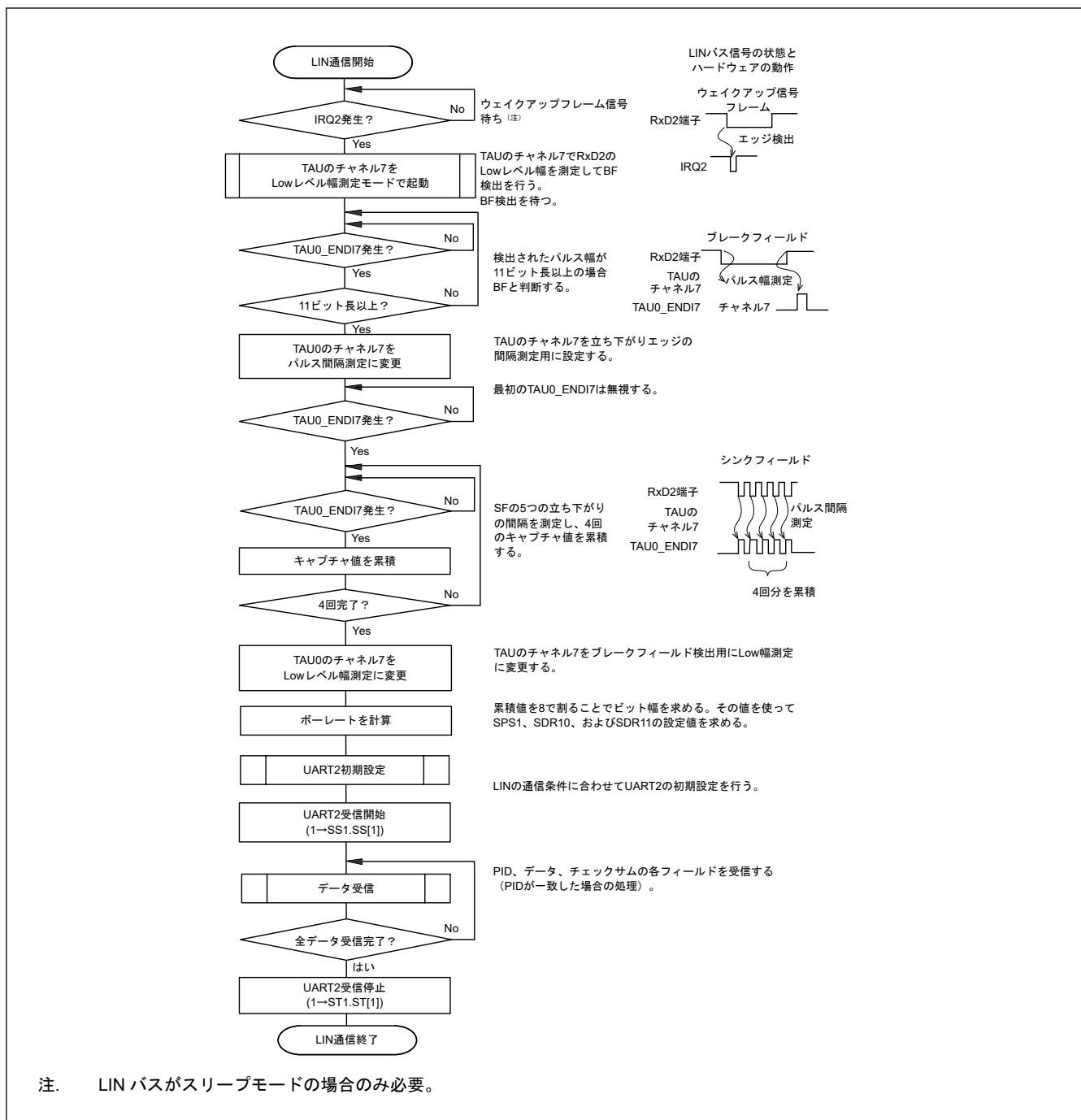


図 23.46 LIN 受信のフローチャート

LIN のマスタから送信されるウェイクアップ信号の受信を、外部割り込み (IRQ2) のエッジ検出にて行います。また、マスタから送信されるシンクフィールドの長さをタイマアレイユニットの外部イベントキャプチャ動作で計測し、ボーレート誤差を算出することができます。

ポート入力切り替え制御 (ISC.ISC1 ビット) により、外部で追加の結線をせずに、受信ポート (Rx/D2) への信号入力をタイマアレイユニットへ入力することができます。

RxD2 を IRQ2 入力端子として使用するには、対応する P102PFS.ISEL ビットを 1 に設定します。詳細は、「16. I/O ポート」を参照してください。

LIN 通信動作に使用される周辺機能は以下のとおりです。

<使用する周辺機能>

- 外部割り込み (IRQ2) : ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し、通信開始を検出

- タイマアレイユニットのチャネル 7: ボーレート誤差検出、ブレイクフィールド検出
用途: シンクフィールド (SF) の長さを検出し、ビット数で割ることでボーレート誤差を検出 (RxD2 へのエッジ入力の間隔をキャプチャモードで測定)
Low レベル幅を測定し、ブレイクフィールド (BF) かを判定
- シリアルアレイユニット 1 (SAU1) のチャネル 0 とチャネル 1 (UART2)

23.8 簡易 I²C モードの動作

シリアルクロック (SCL) とシリアルデータ (SDA) の 2 本のラインによる、複数デバイスとのクロック通信機能です。この簡易 I²C では、EEPROM、フラッシュメモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタートコンディションおよびストップコンディションを設定するには、I²C バスのバスラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

[データ送受信]

- マスタ送信、マスタ受信 (シングルマスタでのマスタ機能のみ)
- ACK 出力機能^(注1)および ACK 検出機能
- 8 ビットのデータ長
(アドレス送信時は、上位 7 ビットでアドレス指定し、最下位 1 ビットは R/W 制御に使用)
- ソフトウェアによるスタートコンディションおよびストップコンディションの生成

[割り込み機能]

- 転送終了割り込み

[エラー検出フラグ]

- オーバーランエラー
- ACK エラー

[簡易 I²C でサポートしていない機能]

- スレーブ送信、スレーブ受信
- マルチマスタ機能 (アービトレーションロスト検出機能)
- クロックストレッチ検出

注 1. 最終データの受信時は、SOEm.SOE[n]ビットに 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、[\(2\) 処理フロー](#)を参照してください。

注. m: ユニット番号 (m = 0, 1)、n: チャネル番号 (n = 0~3)、mn = 00~03, 10~11

簡易 I²C に対応しているチャネルは、SAU0 のチャネル 0~3 と SAU1 のチャネル 0 とチャネル 1 です。各製品において簡易 I²C をサポートしているチャネルを「[23. シリアルアレイユニット \(SAU\)](#)」～「[23. シリアルアレイユニット \(SAU\)](#)」に示します。

簡易 I²C の通信動作は、以下の 4 種類があります。

- アドレスフィールド送信 ([「23.8.1. アドレスフィールド送信」](#)を参照)
- データ送信 ([「23.8.2. データ送信」](#)を参照)
- データ受信 ([「23.8.3. データ受信」](#)を参照)
- ストップコンディション生成 ([「23.8.4. ストップコンディションの生成」](#)を参照)

23.8.1 アドレスフィールド送信

アドレスフィールド送信は、転送対象 (スレーブ) を特定するために、I²C 通信でまず最初に行う送信動作です。スタートコンディションを生成したあとに、アドレス (7 ビット) と転送方向 (1 ビット) を 1 フレームとして送信します。

表 23.101 に簡易 I²C のアドレスフィールド送信の仕様を示します。

表 23.101 簡易 I²C のアドレスフィールド送信の仕様

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャネル	SAU0 のチャネル 0	SAU0 のチャネル 1	SAU0 のチャネル 2	SAU0 のチャネル 3	SAU1 のチャネル 0	SAU1 のチャネル 1
使用端子	SCL00, SDA00(注1)	SCL01, SDA01(注1)	SCL10, SDA10(注1)	SCL11, SDA11(注1)	SCL20, SDA20(注1)	SCL21, SDA21(注1)
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込みのみ（バッファ空き割り込みは設定禁止）					
エラー検出フラグ	ACK エラー検出フラグ (SSRmn.PEF)					
転送データ長	8 ビット（上位 7 ビットをアドレス、下位 1 ビットを R/W 制御として指定し送信）					
転送速度(注2)	最大 $f_{MCK}/4$ [Hz] (SDRmn.STCLK[6:0] = 1 以上)。ただし、I ² C の各モードにより、以下の条件を満たしてください。 - 最大 1 MHz（ファーストモードプラス） - 最大 400 kHz（ファーストモード） - 最大 100 kHz（標準モード）					
データレベル	非反転出力（デフォルト：High レベル）					
パリティビット	パリティビットなし					
ストップビット	1 ビット付加（ACK 送受信タイミング用）					
データ方向	MSB ファースト					

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11、gh : ポート番号 (g = 0~4、h = 00~15)

注. f_{MCK} : 対象チャネルの動作クロック周波数

注 1. 簡易 I²C による通信を行う場合は、ポート gh 端子機能選択レジスタ (PghPFS) に NMOS オープンドレイン出力モードを設定してください。詳細は、「16. I/O ポート」を参照してください。

注 2. この動作は、上記の条件および電氣的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電氣的特性」を参照してください。

(1) レジスタ設定

簡易 I²C のアドレスフィールド送信に対するレジスタ内容の例を表 23.102～表 23.107 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

表 23.102 簡易 I²C のアドレスフィールド送信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
0	MD0	0	チャネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	10b	チャネル n の動作モードの設定 10: 簡易 I ² C モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 I ² C モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	0	チャネル n の転送クロック (f_{CLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック

表 23.102 簡易 I²C のアドレスフィールド送信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

表 23.103 簡易 I²C のアドレスフィールド送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	11b	データ長の設定 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b	ストップビットの設定 0 1: 1 ビットを付加 (ACK)
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0	このビットは簡易 SPI モードと UART モード用なので、簡易 I ² C モードでは固定
9:8	PTC[1:0]	00b	このビットは UART モード用なので、簡易 I ² C モードでは固定
10	EOC	0	このビットは UART 受信モード用なので、簡易 I ² C モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b	このビットは簡易 SPI モード用なので、簡易 I ² C モードでは固定
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 I ² C アドレスフィールド送信で固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.104 簡易 I²C のアドレスフィールド送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ~ 0xFF	スレーブアドレス + R/W (送信データの設定)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x01 ~ 0x7F	ボーレート設定 (動作クロック (f_{MCK}) の分周設定)

(d) シリアル出力レジスタ m (SOm)

SOm.SO[n] ビットを操作して、スタートコンディションを生成します。

表 23.105 簡易 I²C のアドレスフィールド送信に対するシリアル出力レジスタ m (SOm) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	チャンネル n のシリアルデータ出力 0: シリアルデータ出力値が 0 1: シリアルデータ出力値が 1
n+8	CKO[n]	0/1	クロック位相が非反転 (SCRmn.DCP[0] = 0) のときは 1 で通信開始します。クロック位相が反転 (SCRmn.DCP[0] = 1) のときは 0 で通信開始します

(e) シリアル出力許可レジスタ m (SOEm)

スタートコンディションを生成までは SOEm.SOE[n] = 0 とし、生成後は SOEm.SOE[n] = 1 とします。

表 23.106 簡易 I²C のアドレスフィールド送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	0/1	チャンネル n のシリアル出力許可または停止 0: シリアル通信動作による出力の停止 1: シリアル通信動作による出力許可

(f) シリアルチャンネル開始レジスタ m (SSm)

対象チャンネルのビットのみ 1 に設定してください。スタートコンディションを生成までは SSm.SS[n] = 0 とし、生成後は SSm.SS[n] = 1 とします。

表 23.107 簡易 I²C のアドレスフィールド送信に対するシリアルチャンネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	0/1	チャンネル n の動作開始トリガ 0: トリガ動作なし 1: SEm.SE[n] ビットに 1 を設定し、チャンネルを通信待機状態にする

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

(2) 動作手順

表 23.108 に、簡易 I²C におけるアドレスフィールド送信の初期設定手順を示します。

表 23.108 簡易 I²C におけるアドレスフィールド送信の初期設定手順

手順	処理	詳細
簡易 I ² C におけるアドレスフィールド送信の初期設定手順	<1>	初期設定開始 —
	<2>	SPSm レジスタの設定 動作クロックを設定する。
	<3>	SMRmn レジスタの設定 動作モードを設定する。
	<4>	SCRmn レジスタの設定 通信フォーマットを設定する。
	<5>	SDRmn レジスタの設定 転送ボーレートを設定する (動作クロック (f _{MCK}) を分周して転送クロックを設定)。
	<6>	SOm レジスタの設定 シリアルデータ (SOm.SO[n]) およびシリアルクロック (SOm.CKO[n]) の初期出力レベル (1) を設定する。
	<7>	ポートの設定 対象チャンネルのデータ出力、クロック出力、および NMOS オープンドレイン出力を有効にする。
	<8>	初期設定完了 —

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

(3) 処理フロー

図 23.47 に、アドレスフィールド送信のタイミングを示します。

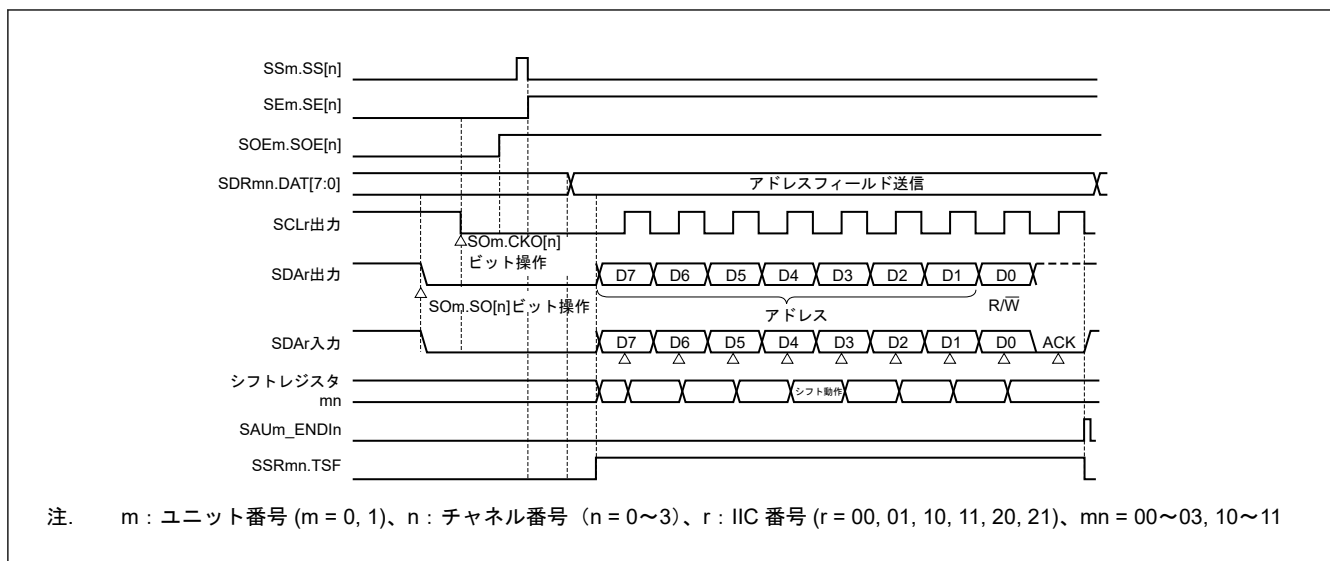


図 23.47 アドレスフィールド送信のタイミング

表 23.109 に、簡易 I²C におけるアドレスフィールド送信の手順を示します。

表 23.109 簡易 I²C におけるアドレスフィールド送信の手順

手順	処理	詳細
簡易 I ² C におけるアドレスフィールド送信の手順	<1>	アドレスフィールド送信
	<2>	初期設定
	<3>	S0m.SO[n]ビットに 0 を書き込む
	<4>	ウェイト
	<5>	S0m.CKO[n]ビットに 0 を書き込む
	<6>	SOEm.SOE[n]ビットに 1 を書き込む
	<7>	SSm.SS[n]ビットに 1 を書き込む
	<8>	SDRmn.DAT[7:0]ビットにアドレスと R/W のデータを書き込む
	<9>	転送終了割り込みが発生するまで待つ。
	<10>	ACK 応答を確認。 確認できた場合はステップ<11>に進む。 確認できなかった場合は通信エラー処理に進む
	<11>	アドレスフィールド送信完了
	<12>	データ送信フローおよびデータ受信フローに進む

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

23.8.2 データ送信

データ送信は、アドレスフィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップコンディションを生成し、バスを開放します。

表 23.110 に簡易 I²C のデータ送信の仕様を示します。

表 23.110 簡易 I²C のデータ送信の仕様 (1/2)

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1	SAU0 のチャンネル 2	SAU0 のチャンネル 3	SAU1 のチャンネル 0	SAU1 のチャンネル 1

表 23.110 簡易 I²C のデータ送信の仕様 (2/2)

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
使用端子	SCL00, SDA00(注1)	SCL01, SDA01(注1)	SCL10, SDA10(注1)	SCL11, SDA11(注1)	SCL20, SDA20(注1)	SCL21, SDA21(注1)
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
転送終了割り込みのみ（バッファ空き割り込みは設定禁止。）						
エラー検出フラグ	ACK エラーフラグ (SSRmn.PEF)					
転送データ長	8 ビット					
転送速度(注2)	最大 $f_{MCK}/4$ [Hz] (SDRmn.STCLK[6:0] = 1 以上)。ただし、I ² C の各モードにより、以下の条件を満たしてください。 - 最大 1 MHz（ファーストモードプラス） - 最大 400 kHz（ファーストモード） - 最大 100 kHz（標準モード）					
データレベル	非反転出力（デフォルト：High レベル）					
パリティビット	パリティビットなし					
ストップビット	1 ビット付加（ACK 受信タイミング用）					
データ方向	MSB ファースト					

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11、gh : ポート番号 (g = 0~4、h = 00~15)

注. f_{MCK} : 対象チャネルの動作クロック周波数

注 1. 簡易 I²C による通信を行う場合は、ポート gh 端子機能選択レジスタ (PghPFS) にて NMOS オープンドレイン出力モードを設定してください。詳細は、「16. I/O ポート」を参照してください。

注 2. この動作は、上記の条件および電氣的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電氣的特性」を参照してください。

(1) レジスタ設定

簡易 I²C のデータ送信に対するレジスタ内容の例を表 23.111～表 23.116 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

データ送受信中はこのレジスタを操作しないでください。

表 23.111 簡易 I²C のデータ送信に対するシリアルモードレジスタ mn (SMRmn) 内容例

ビット	シンボル	設定値	機能
0	MD0	0	チャネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	10b	チャネル n の動作モードの設定 1 0: 簡易 I ² C モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 I ² C モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）
13:9	—	00000b	設定無効（初期値に設定されます）
14	CCS	0	チャネル n の転送クロック (f_{CLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

TRXE[1:0]ビット以外、データ送受信中はこのレジスタのビットを操作しないでください。

表 23.112 簡易 I²C のデータ送信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	11b	データ長の設定 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b	ストップビットの設定 01: 1 ビットを付加 (ACK)
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0	このビットは簡易 SPI モードと UART モード用なので、簡易 I ² C モードでは固定
9:8	PTC[1:0]	00b	このビットは UART モード用なので、簡易 I ² C モードでは固定
10	EOC	0	このビットは UART 受信モード用なので、簡易 I ² C モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b	このビットは簡易 SPI モード用なので、簡易 I ² C モードでは固定
15:14	TRXE[1:0]	10b	TRXE[1:0] = 10b の設定は、簡易 I ² C データ送信で固定

(c) シリアルデータレジスタ mn (SDRmn)

データ送受信中は下位 8 ビットのみ有効です。

表 23.113 簡易 I²C のデータ送信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0x00 ～ 0xFF	送信データ (送信データの設定)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x01 ～ 0x7F	ボーレート設定 アドレスフィールドの送信で設定が完了しているので、以前と同じ値を設定してください。

(d) シリアル出力レジスタ m (SOM)

データ送受信中はこのレジスタを操作しないでください。

表 23.114 簡易 I²C のデータ送信に対するシリアル出力レジスタ m (SOM) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	通信動作中は通信データにより値が変わります。
n+8	CKO[n]	0/1	通信動作中は通信データにより値が変わります。

(e) シリアル出力許可レジスタ m (SOEm)

データ送受信中はこのレジスタを操作しないでください。

表 23.115 簡易 I²C のデータ送信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	1	チャンネル n のシリアル出力許可または停止 1: シリアル通信動作による出力許可

(f) シリアルチャネル開始レジスタ m (SSm)

データ送受信中はこのレジスタを操作しないでください。

表 23.116 簡易 I²C のデータ送信に対するシリアルチャネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	0/1	チャネル n の動作開始トリガ 0: トリガ動作なし 1: SEm.SE[n]ビットに 1 を設定し、チャネルを通信待機状態にする

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定します。

(2) 処理フロー

図 23.48 に、データ送信のタイミングを示します。

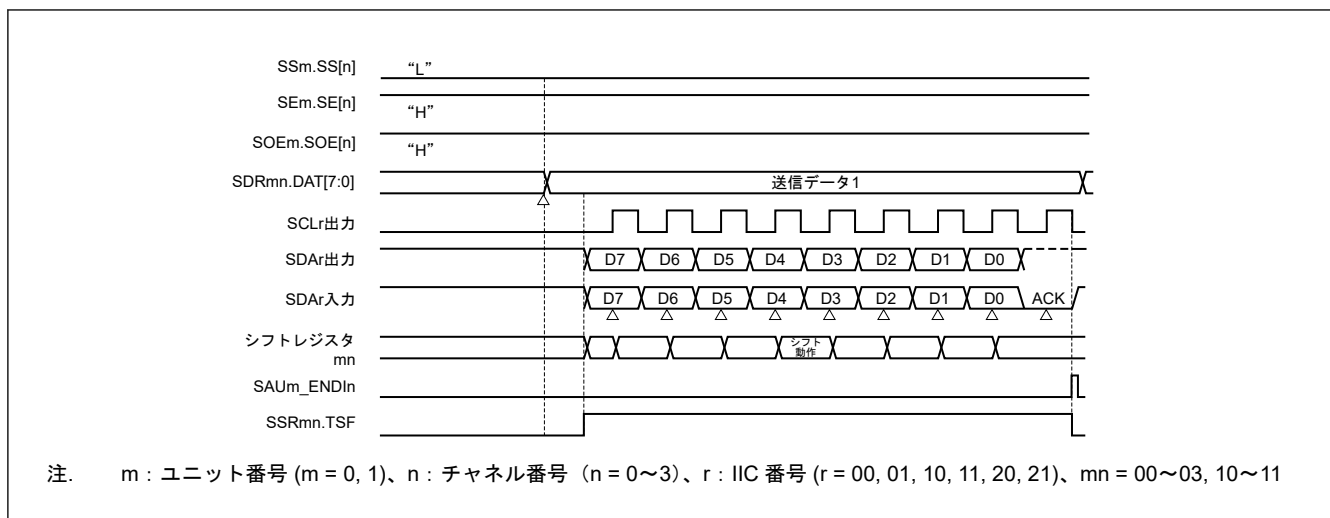


図 23.48 データ送信のタイミング

表 23.117 に、簡易 I²C におけるデータ送信の手順を示します。

表 23.117 簡易 I²C におけるデータ送信の手順

手順		処理	詳細
簡易 I ² C におけるデータ送信の手順	<1>	アドレスフィールド送信完了	—
	<2>	データ送信開始	—
	<3>	SDRmn.DAT[7:0]ビットにデータを書き込む	書き込みにより送信開始
	<4>	転送終了割り込みが発生するまで待つ。	送信完了を待つ。 割り込み要求を許可する。
	<5>	ACK 応答を確認 確認できた場合はステップ<6>に進む。 確認できなかった場合は通信エラー処理に進む。	スレーブからの ACK 応答を確認する。 ACK (SSRmn.PEF = 0) の場合は次の処理に進む。 NACK (SSRmn.PEF = 1) の場合はエラー処理に進む。
	<6>	データ転送が完了した場合はステップ<7>に進む。 完了していない場合はステップ<3>に進む。	—
	<7>	データ送信完了	—
	<8>	ストップコンディション生成	—

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

23.8.3 データ受信

データ受信は、アドレスフィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信した後は、ストップコンディションを生成し、バスを開放します。

表 23.118 に簡易 I²C のデータ受信の仕様を示します。

表 23.118 簡易 I²C のデータ受信の仕様

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21
対象チャンネル	SAU0 のチャンネル 0	SAU0 のチャンネル 1	SAU0 のチャンネル 2	SAU0 のチャンネル 3	SAU1 のチャンネル 0	SAU1 のチャンネル 1
使用端子	SCL00, SDA00 ^(注1)	SCL01, SDA01 ^(注1)	SCL10, SDA10 ^(注1)	SCL11, SDA11 ^(注1)	SCL20, SDA20 ^(注1)	SCL21, SDA21 ^(注1)
割り込み	SAU0_ENDI0	SAU0_ENDI1	SAU0_ENDI2	SAU0_ENDI3	SAU1_ENDI0	SAU1_ENDI1
	転送終了割り込みのみ（パツファ空き割り込みは設定禁止）					
エラー検出フラグ	オーバーランエラー検出フラグ (SSRmn.OVF) のみ					
転送データ長	8 ビット					
転送速度 ^(注2)	最大 $f_{MCK}/4$ [Hz] (SDRmn.STCLK[6:0] = 1 以上)。ただし、I ² C の各モードにより、以下の条件を満たしてください。 - 最大 1 MHz（ファーストモードプラス） - 最大 400 kHz（ファーストモード） - 最大 100 kHz（標準モード）					
データレベル	非反転出力（デフォルト：High レベル）					
パリティビット	パリティビットなし					
ストップビット	1 ビットを付加（ACK 送信）					
データ方向	MSB ファースト					

注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11、gh : ポート番号 (g = 0~4、h = 00~15)

注. f_{MCK} : 対象チャンネルの動作クロック周波数

注 1. 簡易 I²C による通信を行う場合は、ポート gh 端子機能選択レジスタ (PghPFS) にて NMOS オープンドレイン出力モードを設定してください。詳細は、「16. I/O ポート」を参照してください。

注 2. この動作は、上記の条件および電気的特性で指定する周辺機能特性を満たす範囲内で使用してください。詳細は、「37. 電気的特性」を参照してください。

(1) レジスタ設定

簡易 I²C のデータ受信に対するレジスタ内容の例を表 23.119～表 23.124 に示します。

(a) シリアルモードレジスタ mn (SMRmn)

データ送受信中はこのレジスタを操作しないでください。

表 23.119 簡易 I²C のデータ受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (1/2)

ビット	シンボル	設定値	機能
0	MD0	0	チャンネル n の割り込み要因 0: 転送終了割り込み
2:1	MD1[1:0]	10b	チャンネル n の動作モードの設定 1 0: 簡易 I ² C モード
5:3	—	100b	設定無効（初期値に設定されます）
6	SIS0	0	簡易 I ² C モード時設定固定
7	—	0	設定無効（初期値に設定されます）
8	STS	0	スタートトリガ要因の選択 0: ソフトウェアトリガのみ有効（簡易 SPI、UART 送信、および簡易 I ² C 時に選択）

表 23.119 簡易 I²C のデータ受信に対するシリアルモードレジスタ mn (SMRmn) 内容例 (2/2)

ビット	シンボル	設定値	機能
13:9	—	00000b	設定無効 (初期値に設定されます)
14	CCS	0	チャンネル n の転送クロック (f_{TCLK}) の選択 0: CKS ビットで指定した動作クロック f_{MCK} の分周クロック
15	CKS	0/1	チャンネル n の動作クロック (f_{MCK}) 0: SPSm レジスタで設定したプリスケアラ出カクロック CKm0 1: SPSm レジスタで設定したプリスケアラ出カクロック CKm1

(b) シリアル通信動作設定レジスタ mn (SCRmn)

TRXE[1:0]ビット以外、データ送受信中はこのレジスタのビットを操作しないでください。

表 23.120 簡易 I²C のデータ受信に対するシリアル通信動作設定レジスタ mn (SCRmn) 内容例

ビット	シンボル	設定値	機能
1:0	DLS[1:0]	11b	データ長の設定 11: 8 ビットデータ長
3:2	—	01b	設定無効 (初期値に設定されます)
5:4	SLC[1:0]	01b	ストップビットの設定 0 1: 1 ビットを付加 (ACK)
6	—	0	設定無効 (初期値に設定されます)
7	DIR	0	このビットは簡易 SPI モードと UART モード用なので、簡易 I ² C モードでは固定
9:8	PTC[1:0]	00b	このビットは UART モード用なので、簡易 I ² C モードでは固定
10	EOC	0	このビットは UART 受信モード用なので、簡易 I ² C モードでは固定
11	—	0	設定無効 (初期値に設定されます)
13:12	DCP[1:0]	00b	このビットは簡易 SPI モード用なので、簡易 I ² C モードでは固定
15:14	TRXE[1:0]	01b	TRXE[1:0] = 01b の設定は、簡易 I ² C データ受信で固定

(c) シリアルデータレジスタ mn (SDRmn)

表 23.121 簡易 I²C のデータ受信に対するシリアルデータレジスタ mn (SDRmn) 内容例

ビット	シンボル	設定値	機能
7:0	DAT[7:0]	0xFF	受信データ (ダミー送信データ設定 0xFF)
8	DAT[8]	0	0 固定
15:9	STCLK[6:0]	0x01 ~ 0x7F	ポーレート設定 アドレスフィールドの送信で設定が完了しているので、以前と同じ値を設定してください。

(d) シリアル出力レジスタ m (SOm)

データ送受信中はこのレジスタを操作しないでください。

表 23.122 簡易 I²C のデータ受信に対するシリアル出力レジスタ m (SOm) 内容例

ビット	シンボル	設定値	機能
n	SO[n]	0/1	通信動作中は通信データにより値が変わります。
n+8	CKO[n]	0/1	通信動作中は通信データにより値が変わります。

(e) シリアル出力許可レジスタ m (SOEm)

データ送受信中はこのレジスタを操作しないでください。

表 23.123 簡易 I²C のデータ受信に対するシリアル出力許可レジスタ m (SOEm) 内容例

ビット	シンボル	設定値	機能
n	SOE[n]	0/1	チャンネル n のシリアル出力許可または停止 0: シリアル通信動作による出力停止 1: シリアル通信動作による出力許可

(f) シリアルチャンネル開始レジスタ m (SSm)

データ送受信中はこのレジスタを操作しないでください。

表 23.124 簡易 I²C のデータ受信に対するシリアルチャンネル開始レジスタ m (SSm) 内容例

ビット	シンボル	設定値	機能
n	SS[n]	0/1	チャンネル n の動作開始トリガ 0: トリガ動作なし 1: SEm.SE[n]ビットに 1 を設定し、チャンネルを通信待機状態にする

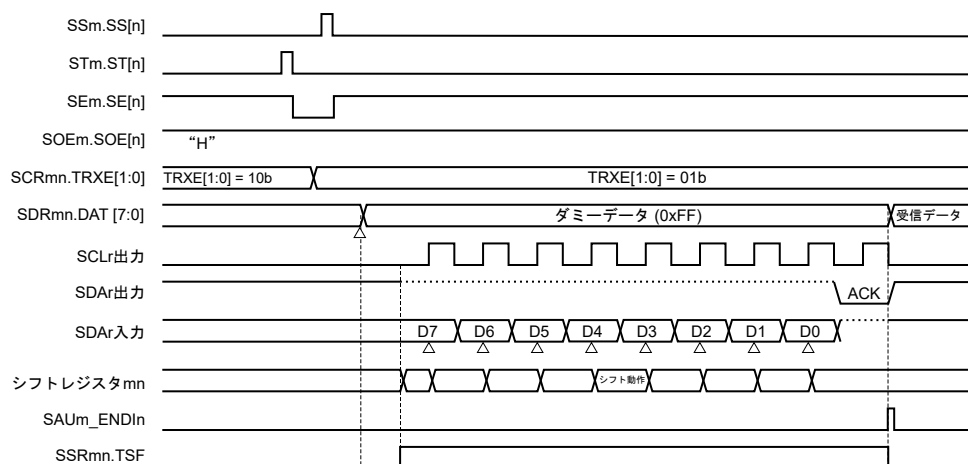
注. m : ユニット番号 (m = 0, 1)、n : チャンネル番号 (n = 0~3)、mn = 00~03, 10~11

注. 0/1 : ユーザの用途に応じて 0 または 1 に設定

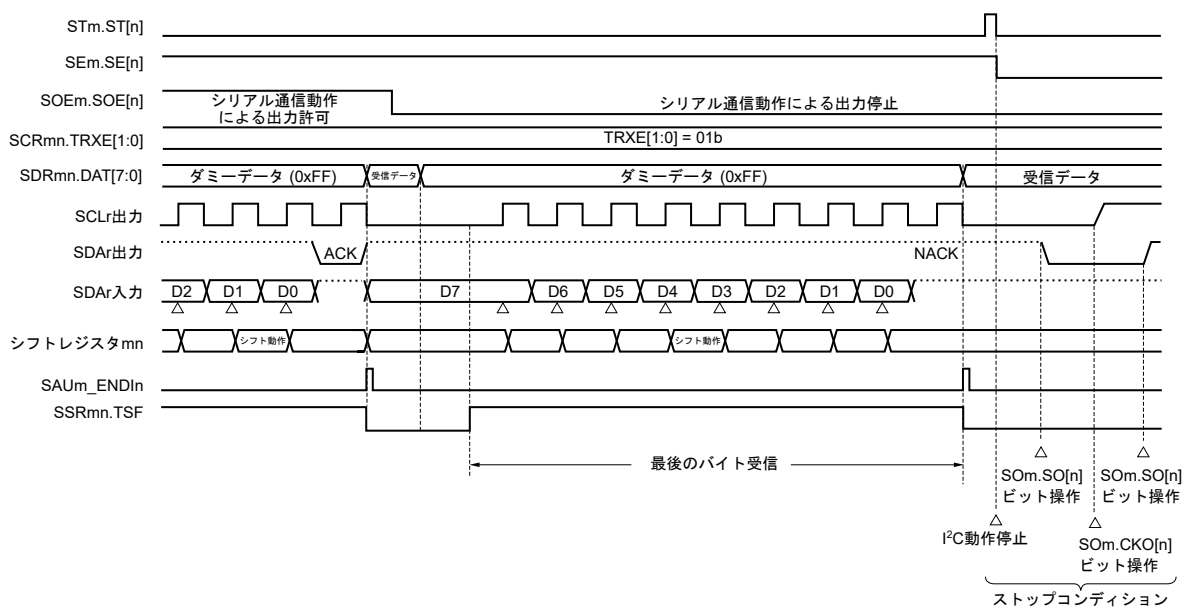
(2) 処理フロー

図 23.49 に、データ受信のタイミングを示します。

(a) データ受信開始時



(b) 最終データ受信時



注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、r : IIC 番号 (r = 00, 01, 10, 11, 20, 21)、mn = 00~03, 10~11

図 23.49 データ受信のタイミング

表 23.125 に、データ受信の手順を示します。

表 23.125 データ受信の手順

手順	処理	詳細
データ受信の手順	<1>	アドレスフィールド送信完了
	<2>	データ受信
	<3>	STm.ST[n]ビットに 1 を書き込む
	<4>	SCRmn.TRXE[1:0]ビットに 01b を書き込む
	<5>	SSm.SS[n]ビットに 1 を書き込む
	<6>	最後のバイトを受信したかどうかを確認する 確認できた場合はステップ<7>に進む。 確認できない場合はステップ<8>に進む。
	<7>	SOEm.SOE[n]ビットに 0 を書き込む
	<8>	SDRmn.DAT[7:0]ビットにダミーデータ (0xFF) を書き込む
	<9>	転送終了割り込みが発生したかどうかを確認する 確認できた場合はステップ<10>に進む。 確認できない場合はステップ<9>に進む。
	<10>	SDRmn.DAT[7:0]ビットを読み出す
	<11>	データ転送が完了したかどうかを確認する 確認できた場合はステップ<12>へ 確認できない場合はステップ<6>へ
	<12>	データ受信完了
	<13>	ストップコンディション生成

注. 最終データの受信時は ACK を出力しません (NACK)。その後、シリアルチャネル停止レジスタ m (STm) の ST[n]ビットに 1 を設定して動作停止としてから、ストップコンディションを生成することにより通信完了します。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

23.8.4 ストップコンディションの生成

対象スレーブにすべてのデータを送信または対象スレーブからすべてのデータを受信した後は、ストップコンディションを生成し、バスを開放します。

(1) 処理フロー

図 23.50 に、ストップコンディション生成のタイミングを示します。

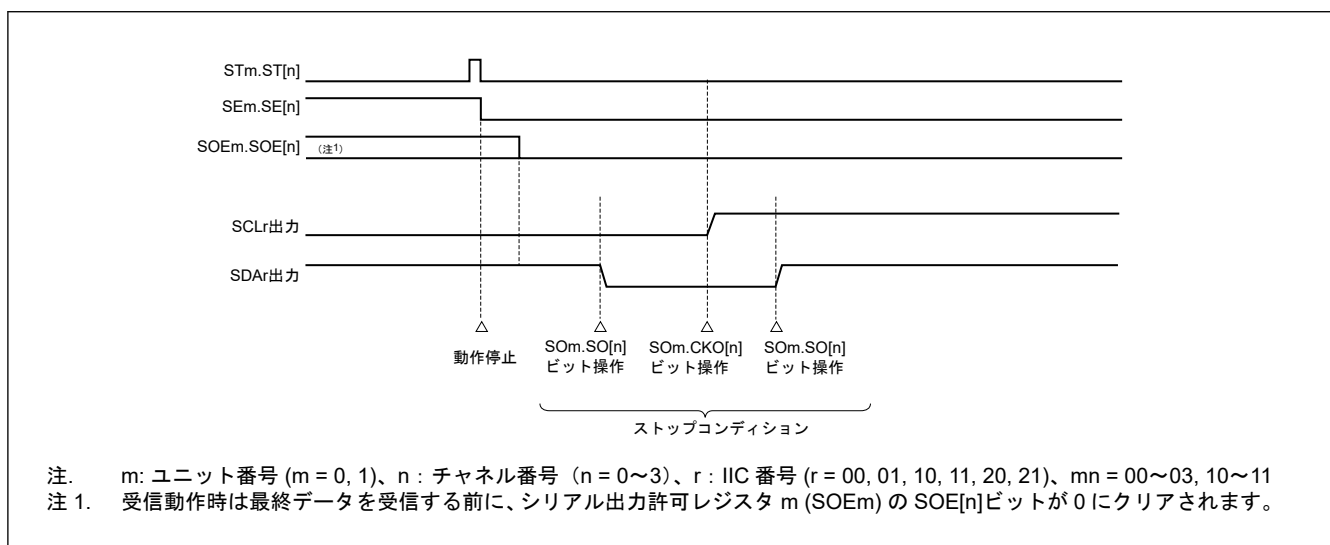


図 23.50 ストップコンディション生成のタイミング

表 23.126 に、ストップコンディション生成の手順を示します。

表 23.126 ストップコンディション生成の手順

手順	処理	詳細
ストップコンディション生成の手順	<1>	データ送信およびデータ受信完了
	<2>	ストップコンディション生成開始
	<3>	STm.ST[n]ビットに 1 を書き込む (SEm.SE[n]ビットは 0 にクリア)
	<4>	SOEm.SOE[n]ビットに 0 を書き込む
	<5>	SOM.SO[n]ビットに 0 を書き込む
	<6>	SOM.CKO[n]ビットに 1 を書き込む
	<7>	ウェイト
	<8>	SOM.SO[n]ビットに 1 を書き込む
	<9>	I ² C 通信終了

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

23.8.5 転送速度の算出

簡易 I²C 通信での転送速度は下記の計算式にて算出できます。

$$(\text{転送速度}) = \{ \text{対象チャネルの動作クロック (f}_{\text{MCK}} \text{ 周波数)} \div (\text{SDRmn.STCLK}[6:0] + 1) \div 2$$

注. SDRmn.STCLK[6:0] = 0x00 は設定禁止です。SDRmn.STCLK[6:0] = 0x01 以上に設定してください。

簡易 I²C の SCL 信号出力のデューティ比は 50% です。I²C バス規格では、SCL 信号の Low レベル幅が High レベル幅より長くなっています。このため、400 kbps (ファストモード) または 1 Mbps (ファストモードプラス) に設定すると、SCL 出力信号の Low レベル幅が I²C バスの規格値より短くなります。SDRmn.STCLK[6:0] ビットには、この I²C バス規格を満たす値を設定してください。

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

動作クロック (f_{MCK}) は、シリアルクロック選択レジスタ m (SPSm) とシリアルモードレジスタ mn (SMRmn) の CKS ビットで決まります。表 23.71 を参照してください。

表 23.127 に、f_{MCK} = PCLKB = 32 MHz とする I²C 転送速度の設定例を示します。

表 23.127 f_{MCK} = PCLKB = 32 MHz とする I²C 転送速度の設定例

I ² C 転送モード (希望転送速度)	PCLKB = 32 MHz			
	動作クロック (f _{MCK})	SDRmn.STCLK[6:0]	算出転送速度	希望転送速度との誤差
100 kHz	PCLKB/2	79	100 kHz	0.0%
400 kHz	PCLKB	41	380 kHz	5.0%(注1)
1 MHz	PCLKB	18	0.84 MHz	16.0%(注1)

注 1. SCL 信号がデューティ比 50% なので、誤差を 0% 程度に設定することはできません。

23.8.6 簡易 I²C 通信時におけるエラー発生時の処理手順

I²C 通信時にエラーが発生した場合の処理手順を表 23.128 および表 23.129 に示します。

表 23.128 オーバーランエラーの処理手順 (1/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルデータレジスタ mn (SDRmn) を読み出す。	→	SSRmn レジスタの BFF フラグが 0 となり、チャネル n はデータ受信可能状態になる。	エラー処理中に次の受信を完了した場合にオーバーランエラーになるのを防ぐために行う。

表 23.128 オーバーランエラーの処理手順 (2/2)

手順	ソフトウェア操作		ハードウェアの状態	備考
<2>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	→	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<3>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に 1 を書き込む。		エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。

表 23.129 簡易 I²C モード時の ACK エラー発生時の処理手順

手順	ソフトウェア操作		ハードウェアの状態	備考
<1>	シリアルステータスレジスタ mn (SSRmn) を読み出す。	→	—	エラーの種類の判別を行い、読み出し値はエラーフラグのクリアに使用する。
<2>	シリアルフラグクリアトリガレジスタ mn (SIRmn) に書き込む。		エラーフラグがクリアされる。	SSRmn レジスタの読み出し値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる。
<3>	シリアルチャネル停止レジスタ m (STm) の ST[n] ビットを 1 に設定する。	→	シリアルチャネル許可ステータスレジスタ m (SEm) の SE[n] ビットが 0 となり、チャネル n は動作停止状態になる。	ACK が返信されていないので、スレーブの受信準備ができていない。そのため、ストップコンディションを作成してバスを開放し、再度スタートコンディションから通信を開始する。もしくはリスタートコンディションを生成し、アドレス送信からやり直すことも可能。
<4>	ストップコンディションを作成する。		—	
<5>	スタートコンディションを作成する。		—	
<6>	シリアルチャネル開始レジスタ m (SSm) の SS[n] ビットを 1 に設定する。	→	シリアルチャネル許可ステータスレジスタ m (SEm) の SE[n] ビットが 1 となり、チャネル n は動作可能状態になる。	—

注. m : ユニット番号 (m = 0, 1)、n : チャネル番号 (n = 0~3)、mn = 00~03, 10~11

24. I²C バスインタフェース (IICA)

24.1 概要

I²C バスインタフェースには次の 3 種類のモードがあります。

- 動作停止モード
- I²C バスモード (マルチマスタ対応)
- ウェイクアップモード

表 24.1 に、I²C バスインタフェースの仕様を示します。

表 24.1 I²C 仕様 (1/2)

項目	内容
通信フォーマット	● I²C バスフォーマット ● マスタモード/スレーブモードを選択可能 ● 転送速度に応じたセットアップ時間、ホールド時間、およびバスフリー時間を自動確保
転送速度	● 標準モード (～100 kbps) ● ファストモード対応 (～400 kbps) ● ファストモードプラス対応 (～1 Mbps)
SCL クロック	マスタ動作時、SCLAn クロックのデューティ比を選択可能
コンディション発行・コンディション検出	● スタートコンディション、リスタートコンディション、およびストップコンディションの自動生成 ● スタートコンディション (リスタートコンディション含む) とストップコンディションの検出が可能
スレーブアドレス	7 ビットおよび 10 ビットアドレスフォーマットに対応 (同時使用可能)
アクノリッジ応答	● 受信側は 8 ビットデータを受信するたびに ACK を返す。 ● 送信側は通常 8 ビットデータ送信後に ACK を受け取る。 ● データ受信時の ACK 生成方法は、以下に示すようにクロックストレッチのタイミング設定によって異なる。 － 第 8 サイクルでクロックストレッチが挿入される場合：クロックストレッチ状態を解除する前に IICCTLn0.ACKE ビットを 1 にすると、SCLAn 端子の第 8 クロックサイクルの立ち下がりがエッジで ACK が生成される。 － 第 9 サイクルでクロックストレッチが挿入される場合：あらかじめ IICCTLn0.ACKE ビットを 1 にしている場合に ACK が生成される。
ウェイト機能 (クロックストレッチ)	受信時、SCLAn クロックの Low ホールドによる下記期間のウェイトが可能： ● 第 8 クロックサイクルと第 9 クロックサイクルの間をウェイト ● 第 9 クロックサイクルと次転送の第 1 クロックサイクルの間をウェイト
アービトレーション	● 複数のマスタデバイスが同時にスタートコンディションを生成した場合、各マスタデバイス間の通信は、データが変化するまでクロック数が調整されるように行われる。 ● 1 台のマスタデバイスにアービトレーションロストが発生すると、SCLAn ラインと SDAAn ラインはどちらもハイインピーダンスとなり、バスが解放される。 ● アービトレーションロストは、次割り込み要求のタイミングでソフトウェアが「IICSn.ALD = 1」を確認することで検出される。
ノイズ除去	SCLAn および SDAAn 信号用のデジタルノイズフィルタ
割り込み要因	● 自局アドレスを受信する。 ● 全アドレス一致機能が有効のときに自局以外のアドレスを受信する。 ● 拡張コードを受信する。 ● ストップコンディションを検出する。

表 24.1 I²C 仕様 (2/2)

項目	内容
モジュールストップ機能	モジュールストップ状態の設定が可能
IIC の動作モード	● マスタ送信 ● マスタ受信 ● スレーブ送信 ● スレーブ受信
イベントリンク機能（出力）	● 自局アドレスを受信する。 ● 全アドレス一致機能が有効のときに自局以外アドレスを受信する。 ● 拡張コードを受信する。 ● ストップコンディションを検出する。
ウェイクアップ機能	CPU はウェイクアップイベントを使用して、ソフトウェアスタンバイモードおよびスヌーズモードから復帰可能

図 24.1 に、I²C バスインタフェースのブロック図を示します。

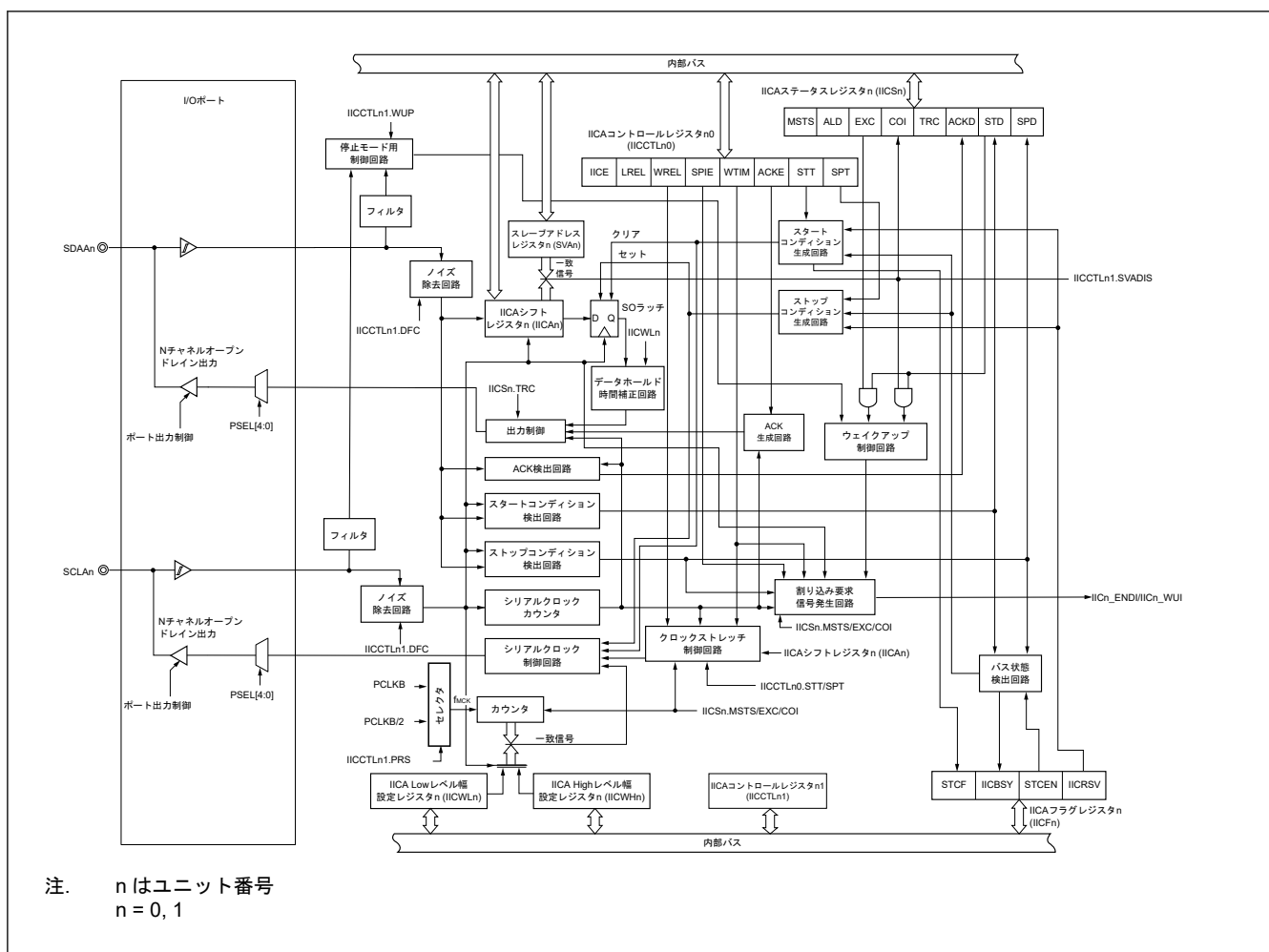


図 24.1 I^2C バスインタフェースのブロック図

(1) 動作停止モード

シリアル転送が行われていない時に使用されるモードです。このモードでは動作電力を低減することが可能です。

(2) I²C バスモード (マルチマスタ対応)

複数デバイスによるシリアルクロック (SCLAn) ラインとシリアルデータバス (SDAAn) ラインを使用した 8 ビットデータ転送に使用するモードです。

このモードは I²C バスフォーマットに準拠します。このモードでは、シリアルデータバスを通じてマスタデバイスからスレーブデバイスへ、スタートコンディション、アドレス、転送方向、アクノリッジ (ACK)、データ、およびストップコンディションを送信することができます。スレーブデバイスはハードウェアでこれらの状態およびデータを自動的に検出します。本機能は I²C バスを制御するアプリケーションプログラムの一部を単純化することができます。

SCLAn 端子と SDAAn 端子はオープンドレイン出力に使用されるため、I²C バスインタフェースには、シリアルクロックライン用とシリアルデータバスライン用のプルアップ抵抗が必要です。

(3) ウェイクアップモード

ソフトウェアスタンバイモード時、マスタデバイスからの拡張コードまたは自局アドレスが受信されている場合、割り込み要求信号 (IICn_ENDI/IICn_WUI) を発生させることでソフトウェアスタンバイモードを解除することができます。これは IICA コントロールレジスタ n1 (IICCTLn1) の WUP ビットで設定できます。

ICCTLn1 レジスタの SVADIS ビットを 1 にすると全アドレス一致機能が有効になり、いずれの受信アドレスも一致アドレスとみなすことが可能になります。

(4) SO ラッチ

SO ラッチは SDAAn 端子の出力レベルを保持するために使用します。

(5) ウェイクアップ制御回路

特定の条件で割り込み要求信号 (IICn_ENDI/IICn_WUI) を発生させる回路です。本回路が当該信号を発生させるのは、受信したアドレス値がスレーブアドレスレジスタ n (SVAn) に設定したアドレス値と一致した時、全アドレス一致機能が有効で何らかのアドレスを受信した時、または拡張コードを受信した時です。

(6) シリアルクロックカウンタ

送信／受信動作中に出力または入力されるシリアルクロックのサイクル数を数えるカウンタです。8 ビットデータが送信または受信されたことを確認するために使用します。

(7) 割り込み要求信号発生回路

割り込み要求信号 (IICn_ENDI/IICn_WUI) の発生を制御する回路です。I²C 割り込み要求は次の 2 種類のトリガによって発生します。

- シリアルクロックの第 8 または第 9 サイクルのどちらか (IICCTLn0.WTIM ビットで設定) の立ち下がりエッジ
- ストップコンディション検出時に発生する割り込み要求 (ICCTLn0.SPIE ビットで許可)

(8) シリアルクロック制御回路

マスタモードでシリアルクロックを生成する回路です。シリアルクロックは SCLAn 端子に出力されます。

(9) クロックストレッチ制御回路

クロックストレッチのタイミングを制御する回路です。

(10) ACK 生成回路、ストップコンディション検出回路、スタートコンディション検出回路、および ACK 検出回路

各種状態の生成や検出を行う回路です。

(11) データホールド時間補正回路

シリアルクロックの立ち下がりエッジ検出後に生成されるデータのホールド時間を補正する回路です。

(12) スタートコンディション生成回路

IICCTLn0.STT ビットが 1 になった時にスタートコンディションを生成する回路です。ただし、通信予約が禁止 (IICFn.IICRSV = 1) されバスがビジー (IICFn.IICBSY = 1) の場合、スタートコンディション要求は無視され、IICFn.STCF ビットが 1 になります。

(13) ストップコンディション生成回路

IICCTLn0.SPT ビットが 1 になった時にストップコンディションを生成する回路です。

(14) バス状態検出回路

スタートコンディションまたはストップコンディションを検出することでバスが解放されているか否かを判定する回路です。なお、IICA の動作を許可した直後のバス状態は検出できないため、初期状態は IICFn.STCEN ビットで設定します。

図 24.2 に、I²C バスを使用したシリアルバス構成例を示します。

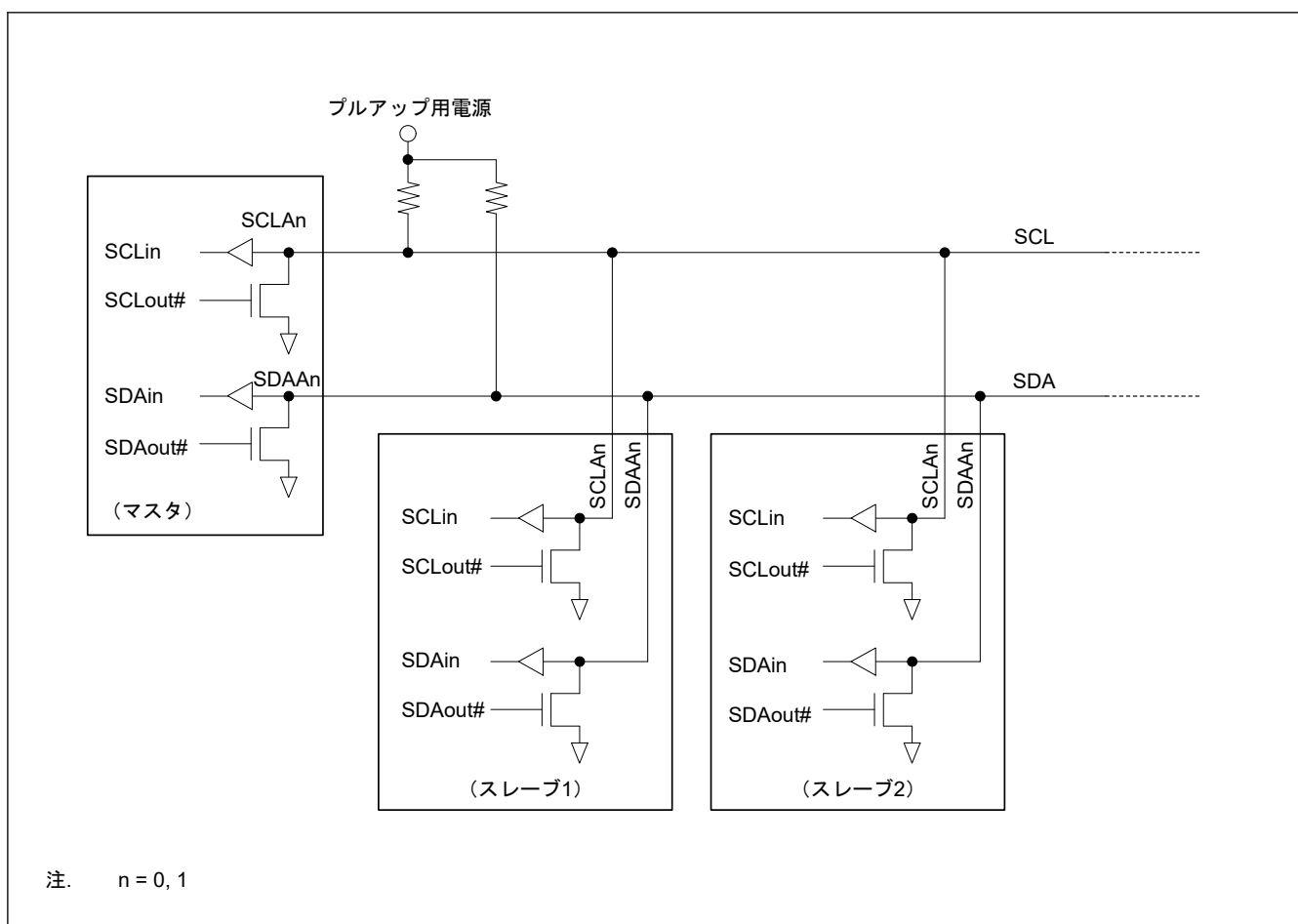


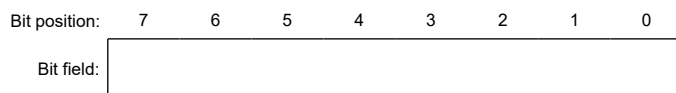
図 24.2 I²C バスを使用したシリアルバス構成例

24.2 レジスタの説明

24.2.1 IICAn : IICA シフトレジスタ n (n = 0, 1)

Base address: IICA = 0x4009_3000

Offset address: 0x00 + 0x100 × n



Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	n/a	ユニット n の IICA 用 8 ビット送信/受信データ	R/W

IICAn レジスタは、シリアルクロックに同期して 8 ビットのシリアルデータからパラレルデータへ（およびその逆）の変換を行うときに使用します。IICAn レジスタは送信と受信のどちらにも使用できます。

実際の送受信動作は IICAn レジスタへの書き込みまたは IICAn レジスタからの読み出しで制御できます。クロックストレッチ期間に IICAn レジスタにデータを書き込むことで I²C バスインタフェースのクロックストレッチ状態を解除しデータ転送を開始してください。

データ転送中に IICAn レジスタにデータを書き込まないでください。

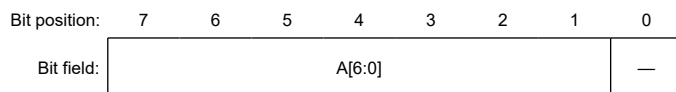
IICAn レジスタの読み書きは、必ずクロックストレッチ期間に行うようにしてください。クロックストレッチ期間以外に通信状態の IICAn レジスタにアクセスするのは禁止です。ただし、デバイスがマスタとして動作している場合は、通信トリガビット (IICCTLn0.STT) を 1 にした後に IICAn レジスタへの書き込みを 1 回だけ行うことができます。

通信予約時は、ストップコンディションによる割り込みが検出された後に IICAn レジスタへデータを書き込んでください。

24.2.2 SVAn : スレーブアドレスレジスタ n (n = 0, 1)

Base address: IICA = 0x4009_3000

Offset address: 0x84 + 0x100 × n



Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:1	A[6:0]	ユニット n のスレーブモード時の 7 ビット自局アドレス	R/W

スレーブモード時の自局アドレスの 7 ビット (A[6:0]) を保持するレジスタです。

ただし、IICSn.STD が 1 のとき（スタートコンディションが検出されているとき）は、本レジスタの書き換えは禁止です。

24.2.3 IICCTLn0 : IICA コントロールレジスタ n0 (n = 0, 1)

Base address: IICA = 0x4009_3000

Offset address: 0x80 + 0x100 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	SPT ^(注1)	ストップコンディショントリガ 0: ストップコンディションを生成しない。 1: ストップコンディションを生成する (マスタデバイス転送の終了)。	R/W
1	STT ^{(注2) (注3)}	スタートコンディショントリガ 0: スタートコンディションを生成しない。 1: バス解放時 (IICFn.IICBSY が 0 のときはスタンバイ状態): このビットが 1 に設定された場合は、スタートコンディションが生成される (マスタとして起動)。 第三者が通信している場合: - 通信予約機能が有効 (IICFn.IICRSV = 0) の場合: このビットはスタートコンディション予約フラグとして機能します。このビットが 1 のとき、バス解放後、スタートコンディションが自動的に生成されます。 - 通信予約機能が無効 (IICFn.IICRSV = 1) の場合: このビットが 1 でも、STT ビットは 0 になり、STT クリアフラグ (IICFn.STCF) は 1 になります。スタートコンディションは生成されません。 クロックストレッチ状態の場合 (マスタデバイスの場合): クロックストレッチ状態の解除後にリスタートコンディションが生成されます。	R/W
2	ACKE ^{(注4) (注5)}	アクノリッジ制御 0: アクノリッジを禁止する。 1: アクノリッジを許可する。第 9 クロックサイクルで SDAAn ラインは Low レベルとなる。	R/W
3	WTIM ^(注4)	クロックストレッチの制御と割り込み要求の発生 0: 第 8 クロックサイクルの立ち下がりエッジで割り込み要求発生。 マスタモード: クロックパルスが 8 つ出力された後、クロック出力は Low レベルとなり、クロックストレッチが設定される。 スレーブモード: クロックパルスが 8 つ入力された後、クロックは Low レベルとなり、マスタデバイスにクロックストレッチが設定される。 1: 第 9 クロックサイクルの立ち下がりエッジで割り込み要求発生。 マスタモード: クロックパルスが 9 つ出力された後、クロック出力は Low レベルとなり、クロックストレッチが設定される。 スレーブモード: クロックパルスが 9 つ入力された後、クロックは Low レベルとなり、マスタデバイスにクロックストレッチが設定される。	R/W
4	SPIE ^(注6)	ストップコンディション検出時の割り込み要求の発生の許可/禁止 0: 禁止 1: 許可	R/W
5	WREL ^{(注6) (注7)}	クロックストレッチ状態の解除 0: インタフェースのクロックストレッチ状態は解除されない。 1: インタフェースのクロックストレッチ状態は解除される。クロックストレッチ状態の解除後、このビットは自動的に 0 になる。	R/W
6	LREL ^{(注6) (注7)}	通信終了 0: 通常動作 1: IICA は現在の通信を終了しスタンバイモードに入る。実行後、本設定は自動的に 0 になる。このビットは、自局に無関係な拡張コードを受信した場合などに使用されます。SCLAn ラインと SDAAn ラインはハイインピーダンスとなります。IICA コントロールレジスタ n0 (IICCTLn0) と IICA ステータスレジスタ n (IICSn) の下記の各フラグは 0 になります。 - IICCTLn0.STT, SPT - IICSn.MSTS, EXC, COI, TRC, ACKD, STD	R/W

ビット	シンボル	機能	R/W
7	IICE	I ² C 動作許可 0: 動作を停止する。IICA ステータスレジスタ n (IICSn) をリセットする。(注8).内部動作を停止する。 1: 動作を許可する。	R/W

注 1. SPT ビットは読むと常に 0 が読めます。

注 2. IICE ビットが 0 のときはこのビットの信号は無効になります。

注 3. STT ビットは読むと常に 0 が読めます。

注 4. IICE ビットが 0 のときはこのビットの信号は無効になります。このビットはこの期間に設定してください。

注 5. コードが拡張コード以外の場合または全アドレス一致機能が無効の場合、アドレス転送時の設定値は無効です。デバイスがスレーブとして動作しアドレスが一致する場合、設定値に関わらずアクノリッジが発生します。

注 6. IICE ビットの設定が 0 のとき、このビットの設定は無効となります。

注 7. LREL ビットと WREL ビットを読み出すと常に 0 が返されます。

注 8. IICA ステータスレジスタ n (IICSn)、IICA フラグレジスタ n (IICFn) の STCF ビットと IICBSY ビット、および IICA コントロールレジスタ n1 (IICCTLn1) の CLD ビットと DAD ビットはリセットされます。

このビットで行えるのは、I²C 動作の許可／禁止の制御、クロックストレッチのタイミング設定、およびその他の I²C 動作の設定です。

なお、SPIE、WTIM、ACKE の各ビットを 1 にする時は、IICE ビットの設定が 0 であること、または本モジュールがクロックストレッチ状態にあることを確認してください。IICE ビットを 1 にする時に、これらの各ビットを同時に 1 にすることができます。

IICA ステータスレジスタ n (IICSn) の TRC ビットが 1 (送信状態) のとき、第 9 クロックサイクルで IICA コントロールレジスタ n0 (IICCTLn0) の WREL ビットが 1 になり、インタフェースのクロックストレッチ状態は解除されます。その後、IICSn.TRC ビットが 0 (受信状態) になり、SDAAn ラインはハイインピーダンス状態となります。IICSn.TRC ビットが 1 (送信状態) のときに、IICA シフトレジスタ n への書き込みにより、インタフェースのクロックストレッチ状態を解除してください。

SCLAn ラインが High レベル、SDAAn ラインが Low レベル、かつデジタルフィルタが ON (IICCTLn1.DFC = 1) のときに I²C の動作が許可 (IICE = 1) されると、意図しないスタートコンディションが即座に検出されます。この場合は、I²C 動作を許可 (IICE = 1) した直後に LREL ビットを 1 にしてください。

SPT ビット (ストップコンディショントリガ)

設定タイミングに関する注意

- マスタ受信について：転送時にこのビットを 1 にすることはできません。
ACKE ビットが 0 の場合、およびスレーブに最終受信が通知されている場合、このビットを 1 にすることができるのはクロックストレッチ期間だけです。
- マスタ送信について：アクノリッジ期間には正常にストップコンディションを生成できません。
このため、第 9 クロックサイクル出力後のクロックストレッチ期間に 1 にしてください。
- このビットはスタートコンディショントリガ (STT) と同時に 1 にすることはできません。
- SPT ビットを 1 にすることができるのはマスタモードのときだけです。
- WTIM ビットが 0 のとき、クロックパルスが 8 つ出力された後のクロックストレッチ期間に SPT ビットを 1 にする際は、クロックストレッチ状態解除後、High レベルの第 9 クロックサイクルでストップコンディションが生成されることに注意してください。クロックパルスが 8 つ出力された後のクロックストレッチ期間に WTIM ビットを 0 から 1 に変更し、第 9 クロックサイクル出力後のクロックストレッチ期間に SPT ビットを 1 にしてください。
- SPT が 1 に設定された後、クリア条件が満たされる前に、それを再び 1 に設定することは許可されません。

0 になる (SPT = 0) 条件

- アービトレーションロストによってクリアされた
- ストップコンディション検出後、自動的にクリアされた
- LREL を 1 (通信終了) にすることでクリアされた
- IICE が 0 (動作停止)
- リセットが発生した

1 になる (SPT = 1) 条件

- 命令によって 1 が設定された

注. データ設定後、SPT ビットの読み出し値は常に 0 になります。

STT ビット (スタートコンディショントリガ)

設定タイミングに関する注意

- マスタ受信について：転送時にこのビットを 1 にすることはできません。
ACKE ビットが 0 の場合、およびスレーブに最終受信が通知されている場合、このビットを 1 にすることができるのはクロックストレッチ期間だけです。
- マスタ送信について：アクノリッジ期間には通常スタートコンディションを生成できません。
第 9 クロックサイクル出力後のクロックストレッチ期間に 1 にしてください。
- このビットはストップコンディションのトリガ (SPT) と同時に 1 にすることはできません。
- STT を 1 にした場合は、クリア条件が満足する前に再び 1 にすることは禁止です。

0 になる (STT=0) 条件

- 通信予約が禁止されているときに STT ビットを 1 にすることでクリアされた
- アービトレーションロストによってクリアされた
- マスタデバイスによるスタートコンディション生成後にクリアされた
- LREL を 1 (通信終了) にすることでクリアされた
- IICE が 0 (動作停止)
- リセットが発生した

1 になる (STT=1) 条件

- 命令によって 1 が設定された

ACKE ビット (アクノリッジ制御)

0 になる (ACKE=0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (ACKE=1) 条件

- 命令によって 1 が設定された

WTIM ビット (クロックストレッチの制御と割り込み要求の発生)

このビットの設定に関わらず、アドレス転送時、第 9 クロックサイクルの立ち下がりエッジで割り込みが発生します。アドレス転送が完了するとこのビットの設定が有効になります。マスタモードでは、アドレス転送時、第 9 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。自局アドレスを受信したスレーブデバイスについては、アクノリッジ (ACK) 発生後に第 9 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。ただし、スレーブデバイスが受信したのが拡張コードだった場合は、第 8 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。全アドレス一致機能が有効のときに自局以外アドレスを受信した場合は、第 8 クロックサイクルの立ち下がりエッジでクロックストレッチが挿入されます。

0 になる (WTIM=0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (WTIM=1) 条件

- 命令によって 1 が設定された

SPIE ビット (ストップコンディション検出時の割り込み要求の発生の許可／禁止)

IICA コントロールレジスタ n1 (IICCTLn1) の WUP ビットが 1 の場合は、SPIE ビットが 1 でもストップコンディション割り込みは発生しません。

0 になる (SPIE = 0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (SPIE = 1) 条件

- 命令によって 1 が設定された

WREL ビット (クロックストレッチ状態の解除)

送信状態 (IICSn.TRC = 1) で第 9 クロックパルスのクロックストレッチ期間に (クロックストレッチ状態を解除するために) WREL ビットを 1 にすると、SDAAn ラインはハイインピーダンス状態 (IICSn.TRC = 0) となります。

0 になる (WREL = 0) 条件

- 実行後、自動的にクリアされた
- リセットが発生した

1 になる (WREL = 1) 条件

- 命令によって 1 が設定された

LREL ビット (通信終了)

通信が終了した後は、下記の通信遷移条件が満たされるまでスタンバイモードのままとなります。

- ストップコンディション検出後にマスタモードで再起動します。
- スタートコンディション検出後、アドレス一致、拡張コード受信、または全アドレス一致機能有効時のアドレス受信が発生します。

0 になる (LREL = 0) 条件

- 実行後、自動的にクリアされた
- リセットが発生した

1 になる (LREL = 1) 条件

- 命令によって 1 が設定された

IICE ビット (I²C 動作許可)

SCLAn ラインと SDAAn ラインが High レベルのときにこのビットを 1 にしてください。

0 になる (IICE = 0) 条件

- 命令によってクリアされた
- リセットが発生した

1 になる (IICE = 1) 条件

- 命令によって 1 が設定された

24.2.4 IICSn : IICA ステータスレジスタ n (n = 0, 1)

Base address: IICA = 0x4009_3000

Offset address: 0x01 + 0x100 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPD	ストップコンディション検出 0: ストップコンディションは検出されなかった。 1: ストップコンディションが検出された。マスタデバイスの通信は終了しバスは解放される。	R
1	STD	スタートコンディション検出 0: スタートコンディションは検出されなかった。 1: スタートコンディションが検出された。アドレス転送周期が有効であることを示す。	R
2	ACKD	アクノリッジ (ACK) 検出 0: アクノリッジは検出されなかった。 1: アクノリッジが検出された。	R
3	TRC	送受信状態検出 0: 受信状態 (送信状態以外)。SDAAn ラインはハイインピーダンスになる。 1: 送信状態。SDAAn ラインへの出力を行うため SOn ラッチの値が有効に (先頭バイトの第 9 クロックサイクルの立ち下がりがリッジでの開始が有効に) なる。	R
4	COI	アドレス一致検出 0: アドレス不一致。 1: アドレス一致。または、全アドレス一致機能が有効。	R
5	EXC	拡張コード受信検出 0: 拡張コードは受信されなかった。 1: 拡張コードが受信された。または、全アドレス一致機能が有効。	R
6	ALD	アービトレーションロスト検出 0: アービトレーションが行われなかったか、またはアービトレーションによって使用権を獲得したことを意味する。 1: アービトレーションによって使用権を獲得できなかったことを意味する。MSTS ビットはクリアされる。	R
7	MSTS	マスタ状態確認フラグ 0: スレーブデバイス状態または通信待機状態。 1: マスタデバイス通信状態。	R

本レジスタは I²C の状態を示します。

IICSn レジスタから読み出しを行えるのは、IICCTLn0.STT が 1 のとき、または本モジュールがクロックストレッチ状態に置かれているときだけです。

ソフトウェアスタンバイモードでアドレス一致ウェイクアップ機能が有効のとき (IICCTLn1.WUP = 1) に IICSn レジスタの読み出しを行うことは禁止です。IICCTLn1.WUP ビットを 1 から 0 (ウェイクアップ動作停止) に変更した場合、IICn_ENDI/IICn_WUI 割り込み要求信号に関わらず、次のスタートコンディションまたはストップコンディションが検出されるまで状態の変更は反映されません。ウェイクアップ機能を使用するには、ストップコンディション検出時の割り込み発生を許可 (IICCTLn0.SPIE = 1) し、割り込み検出後に IICSn レジスタを読み出してください。

SPD ビット (ストップコンディション検出)

0 になる (SPD = 0) 条件

- このビットを設定しスタートコンディションを検出した後に、アドレス転送バイトの第 1 クロックサイクルの立ち上がりリッジを検出した
- IICCTLn1.WUP ビットが 1 から 0 に変わった

- IICCTLn0.IICE ビットが 1 から 0（動作停止）に変わった
- リセットが発生した

1 になる (SPD = 1) 条件

- ストップコンディションを検出した

STD ビット（スタートコンディション検出）

0 になる (STD = 0) 条件

- ストップコンディションを検出した
- アドレス転送後に次バイトの第 1 クロックサイクルの立ち上がりエッジを検出した
- 「IICCTLn0.LREL = 1」（通信終了）によってクリアされた
- IICCTLn0.IICE ビットが 1 から 0（動作停止）に変わった
- リセットが発生した

1 になる (STD = 1) 条件

- スタートコンディションを検出した

ACKD ビット（アクノリッジ (ACK) 検出）

0 になる (ACKD = 0) 条件

- ストップコンディションを検出した
- 次バイトの第 1 クロックサイクルの立ち上がりエッジを検出した
- 「IICCTLn0.LREL = 1」（通信終了）によってクリアされた
- IICCTLn0.IICE ビットが 1 から 0（動作停止）に変わった
- リセットが発生した

1 になる (ACKD = 1) 条件

- SDAAn ラインのレベルが Low になった後に、SCLAn ラインの第 9 クロックサイクルの立ち上がりエッジを検出した

TRC ビット（送受信状態検出）

0 になる (TRC = 0) 条件

<マスタ・スレーブ共通>

- ストップコンディションを検出した
- 「IICCTLn0.LREL = 1」（通信終了）によってクリアされた
- IICCTLn0.IICE ビットが 1 から 0（動作停止）に変わった
- 「IICCTLn0.WREL = 1」（クロックストレッチ状態の解除）によってクリアされた^(注1)
- ALD ビットが 0 から 1（アービトレーションロスト）に変わった
- リセットが発生した
- 通信に使用されていない (MSTS, EXC, COI = 0)

<マスタ>

- 先頭バイトの LSB（転送方向指示ビット）に 1 が出力された

<スレーブ>

- スタートコンディションを検出した
- 先頭バイトの LSB（転送方向指示ビット）に 0 が入力された

注 1. TRC ビットが 1 (送信状態) のとき、第 9 クロックサイクルで IICA コントロールレジスタ n0 (IICCTLn0) の WREL ビットが 1 になり、インタフェースのクロックストレッチ状態は解除されます。その後、TRC ビットが 0 (受信状態) になり、SDAAn ラインはハイインピーダンス状態となります。TRCn ビットが 1 (送信状態) のときに、IICA シフトレジスタ n への書き込みにより、インタフェースのクロックストレッチ状態を解除してください。

1 になる (TRC = 1) 条件

<マスタ>

- スタートコンディションが生成された
- 先頭バイトの LSB (転送方向指示ビット) に 0 (マスタ送信) が出力された (アドレス転送時)

<スレーブ>

- マスタから先頭バイトの LSB (転送方向指示ビット) に 1 (スレーブ送信) が入力された (アドレス転送時)

COI ビット (アドレス一致検出)

0 になる (COI = 0) 条件

- スタートコンディションを検出した
- ストップコンディションを検出した
- 「IICCTLn0.LREL = 1」(通信終了) によってクリアされた
- IICCTLn0.IICE ビットが 1 から 0 (動作停止) に変わった
- リセットが発生した

1 になる (COI = 1) 条件

- 受信したアドレスが自局アドレス (スレーブアドレスレジスタ n (SVAn)) (第 8 クロックサイクルの立ち上がりエッジで設定) と一致した
- 全アドレス一致機能が有効 (IICCTLn1.SVADIS = 1) (第 8 クロックサイクルの立ち上がりエッジで設定) のときに自局以外アドレスを受信した

EXC ビット (拡張コード受信検出)

0 になる (EXC = 0) 条件

- スタートコンディションを検出した
- ストップコンディションを検出した
- 「IICCTLn0.LREL = 1」(通信終了) によってクリアされた
- IICCTLn0.IICE ビットが 1 から 0 (動作停止) に変わった
- リセットが発生した

1 になる (EXC = 1) 条件

- 受信したアドレスデータの上位 4 ビット (第 8 クロックサイクルの立ち上がりエッジで設定) が 0000b と 1111b のどちらか
- 全アドレス一致機能が有効 (IICCTLn1.SVADIS = 1) (第 8 クロックサイクルの立ち上がりエッジで設定) のときに自局以外アドレスを受信した

ALD ビット (アービトレーションロスト検出)

0 になる (ALD = 0) 条件

- IICSn レジスタ読み出し後に自動的にクリアされた
- IICCTLn0.IICE ビットが 1 から 0 (動作停止) に変わった
- リセットが発生した

1 になる (ALD = 1) 条件

- アービトレーションによって使用権を獲得できなかった

MSTS フラグ (マスタ状態確認フラグ)

0 になる (MSTS = 0) 条件

- ストップコンディションを検出した
- ALD = 1 (アービトレーションロスト)
- 「IICCTLn0.LREL = 1」 (通信終了) によってクリアされた
- IICCTLn0.IICE ビットが 1 から 0 (動作停止) に変わった
- リセットが発生した

1 になる (MSTS = 1) 条件

- スタートコンディションが生成された

24.2.5 IICFn : IICA フラグレジスタ n (n = 0, 1)

Base address: IICA = 0x4009_3000

Offset address: 0x02 + 0x100 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	STCF	IICBSY	—	—	—	—	STCEN	IICRSV
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICRSV	通信予約禁止ビット 0: 通信予約を許可する。 1: 通信予約を禁止する。	R/W
1	STCEN	初期スタート許可トリガ 0: 動作を許可 (IICCTLn0.IICE = 1) にした後、ストップコンディション検出時にスタートコンディションの生成を許可する。 1: 動作を許可 (IICCTLn0.IICE = 1) にした後、ストップコンディションを検出せずにスタートコンディションの生成を許可する。	R/W
5:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IICBSY	I ² C バス状態フラグ 0: バス解放状態 (STCEN が 1 のときの通信初期状態) 1: バス通信状態 (STCEN が 0 のときの通信初期状態)	R
7	STCF	IICCTLn0.STT クリアフラグ 0: スタートコンディションを生成する。 1: スタートコンディションの生成に失敗し、IICCTLn0.STT フラグをクリアする。	R

I²C の動作モードを設定し、I²C バスの状態を示すレジスタです。

IICRSV ビットで通信予約の許可／禁止を制御できます。

STCEN ビットで IICBSY ビットの初期値を設定できます。

IICRSV ビットと STCEN ビットに書き込みを行えるのは、I²C の動作を禁止 (IICCTLn0.IICE=0) にしているときだけです。I²C の動作を許可している場合、IICFn レジスタは読み出し専用です。

STCEN = 1 のときは、実際のバス状態に関わらずバス解放状態 (IICBSY = 0) であると認識されます。スタートコンディションを初めて生成するとき (IICCTLn0.STT = 1) は、他の通信を破壊しないように、第三者通信が実行中でないことを確認する必要があります。

IICRSV ビット (通信予約禁止ビット)

IICRSV ビットへの書き込みは、動作が停止 (IICCTLn0.IICE = 0) しているときにだけ行ってください。

0 になる (IICRSV = 0) 条件

- 命令によってクリアされた

- リセットが発生した

1 になる (IICRSV = 1) 条件

- 命令によって 1 が設定された

STCEN ビット (初期スタート許可トリガ)

STCEN ビットへの書き込みは、動作が停止 (IICCTLn0.IICE = 0) しているときにだけ行ってください。

0 になる (STCEN = 0) 条件

- 命令によってクリアされた
- スタートコンディションを検出した
- リセットが発生した

1 になる (STCEN = 1) 条件

- 命令によって 1 が設定された

IICBSY フラグ (I²C バス状態フラグ)

0 になる (IICBSY = 0) 条件

- ストップコンディションを検出した
- IICCTLn0.IICE が 0 (動作停止)
- リセットが発生した

1 になる (IICBSY = 1) 条件

- スタートコンディションを検出した
- STCEN が 0 のときに IICCTLn0.IICE ビットが 1 になる

STCF フラグ (IICCTLn0.STT クリアフラグ)

0 になる (STCF = 0) 条件

- 「IICCTLn0.STT = 1」によってクリアされた
- IICCTLn0.IICE が 0 (動作停止)
- リセットが発生した

1 になる (STCF = 1) 条件

- 通信予約を禁止 (IICRSV = 1) にしているときにスタートコンディションの生成に失敗し IICCTLn0.STT ビットが 0 になった

24.2.6 IICCTLn1 : IICA コントロールレジスタ n1 (n = 0, 1)

Base address: IICA = 0x4009_3000

Offset address: 0x81 + 0x100 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WUP	SVADIS	CLD	DAD	SMC	DFC	—	PRS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRS	IICA 動作クロック (f _{MCK}) 0: PCLKB を選択 (1 MHz ≤ PCLKB ≤ 20 MHz) 1: PCLKB/2 を選択 (20 MHz < PCLKB ≤ 32 MHz)	R/W

ビット	シンボル	機能	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	DFC	デジタルフィルタ動作制御 0: デジタルフィルタ OFF 1: デジタルフィルタ ON	R/W
3	SMC	動作モード切り替え 0: 標準モードで動作（最高転送速度：100 kbps） 1: ファストモード（最高転送速度：400 kbps）またはファストモードプラス（最高転送速度：1 Mbps）で動作	R/W
4	DAD	SDAAn 端子レベルの検出（IICCTLn0.IICE が 1 のときのみ有効） 0: Low レベルで SDAAn 端子が検出された 1: High レベルで SDAAn 端子が検出された	R
5	CLD	SCLAn 端子レベルの検出（IICCTLn0.IICE が 1 のときのみ有効） 0: Low レベルで SCLAn 端子が検出された 1: High レベルで SCLAn 端子が検出された	R
6	SVADIS	アドレス一致無効化フラグ 0: 全アドレス一致機能を無効にする 1: 全アドレス一致機能を有効にする	R/W
7	WUP	アドレス一致ウェイクアップの制御 0: ソフトウェアスタンバイモード時のアドレス一致ウェイクアップ機能の動作を禁止する 1: ソフトウェアスタンバイモード時のアドレス一致ウェイクアップ機能の動作を許可する	R/W

I²C の動作モードを設定し、SCLAn 端子と SDAAn 端子の状態を検出するために使用するレジスタです。

IICCTLn1 レジスタ（WUP ビットを除く）は、I²C の動作が禁止されているとき（IICCTLn0.IICE = 0）に設定してください。

IICA 動作クロック（f_{MCK}）の動作周波数は最高 20 MHz です。

PCLKB の動作周波数が 20 MHz を超える場合のみ、PRS ビットを 1 にしてください。

I²C バスインタフェース使用時、32 MHz を超える動作周波数を PCLKB に設定することは禁止です。

転送クロックを設定する時は、PCLKB の最低動作周波数に注意してください。

I²C バスインタフェースの PCLKB の最低動作周波数はモードによって決まります。

ファストモード：PCLKB = 3.5 MHz（最小）

ファストモードプラス：PCLKB = 10 MHz（最小）

通常モード：PCLKB = 1 MHz（最小）

PRS ビット（IICA 動作クロック（f_{MCK}））

PRS ビットは、IICA 動作クロック（f_{MCK}）を設定するために使用します。

DFC ビット（デジタルフィルタ動作制御）

デジタルフィルタはファストモードおよびファストモードプラスでのみ使用してください。

デジタルフィルタはノイズ除去の目的で使用します。

DFC ビットが 1 に設定されるか、または 0 にクリアされるかには関係なく、転送クロックは変わりません。

SMC ビット（動作モード切り替え）

SMC ビットは動作モードの切り替えに使用します。

DAD ビット（SDAAn 端子レベルの検出（IICCTLn0.IICE が 1 のときのみ有効））

0 になる（DAD = 0）条件

- SDAAn 端子が Low レベル
- IICCTLn0.IICE が 0（動作停止）

- リセットが発生した

1 になる (DAD = 1) 条件

- SDAAn 端子が High レベル

CLD ビット (SCLAn 端子レベルの検出 (IICCTLn0.IICE が 1 のときのみ有効))

0 になる (CLD = 0) 条件

- SCLAn 端子が Low レベル
- IICCTLn0.IICE が 0 (動作停止)
- リセットが発生した

1 になる (CLD = 1) 条件

- SCLAn 端子が High レベル

SVADIS ビット (アドレス一致無効化フラグ)

SVADIS が 1 のとき、IICA は全てのアドレスに対してアドレス一致と見なし、拡張コード受信時と同じ動作を実行します。

このため、IICSn.COI ビットは 1 になり、IICSn.EXC ビットは 1 になります。

拡張コード受信の詳細については、「[24.4.11. 拡張コード](#)」を参照してください。

WUP フラグ (アドレス一致ウェイクアップの制御)

WUP が 1 のときにソフトウェアスタンバイモードに遷移する場合は、WUP ビットを 1 に (表 24.5 参照) した後、 f_{MCK} クロックの 3 サイクル以上が経過してから WFI 命令を実行してください。

WUP ビットを 0 にする場合は、自局アドレスが一致した後、全アドレス一致機能が有効で自局以外のアドレスを受信した後、または拡張コードを受信した後に行ってください。WUP ビットを 0 にすることで後続の通信に参加することができます。インタフェースのクロックストレッチ状態の解除および送信データの書き込みは、WUP ビットを 0 にした後に行う必要があります。

自局アドレスが一致し、全アドレス一致機能が有効で自局以外のアドレスを受信した場合、または拡張コードを受信した場合の WUP が 1 のときの割り込みタイミングは、WUP が 0 のときの割り込みタイミングと同じです。(クロックのサンプリング差異による遅延が発生します。) さらに、WUP が 1 のときは、IICCTLn0.SPIE ビットが 1 であってもストップコンディション割り込みは発生しません。

0 になる (WUP = 0) 条件

- 命令によってクリアされた (自局アドレスの一致、全アドレス一致機能有効時の自局以外のアドレスの受信、または拡張コードの受信)

1 になる (WUP = 1) 条件

- 命令によって 1 が設定された (IISn レジスタの MSTS ビット、EXC ビット、および COI ビットが 0、かつ IICSn レジスタの STD ビットも 0 (通信不参加))

図 24.3 に示す期間内に、IICA ステータスレジスタ n (IICSn) の状態を確認し WUP ビットを 1 にする必要があります。

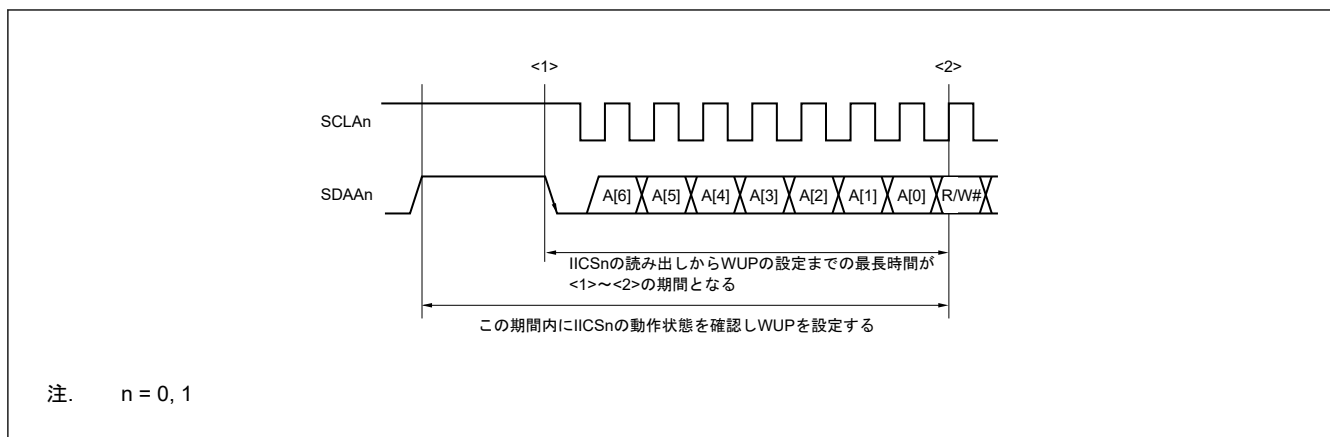


図 24.3 WUP ビット設定期間

24.2.7 IICWLn : IICA Low レベル幅設定レジスタ n ($n = 0, 1$)

Base address: IICA = 0x4009_3000

Offset address: $0x82 + 0x100 \times n$

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	ユニット n の SCLAn 端子 Low 幅コンフィグレーションデータ	R/W

I²C バスインタフェースで出力される SCLAn 端子信号の Low レベル幅 (t_{LOW}) の設定と、SDAAn 端子信号の制御に使用するレジスタです。

IICWLn レジスタは、I²C の動作が禁止されている (IICCTLn0.IICE = 0) ときに設定してください。

IICWLn レジスタの設定の詳細については、「[24.3.2. IICWLn レジスタと IICWHn レジスタによる転送クロック設定](#)」を参照してください。データホールド時間は IICWLn レジスタに設定された時間の 1/4 です。

24.2.8 IICWHn : IICA High レベル幅設定レジスタ n ($n = 0, 1$)

Base address: IICA = 0x4009_3000

Offset address: $0x83 + 0x100 \times n$

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	ユニット n の SCLAn 端子 High 幅コンフィグレーションデータ	R/W

I²C バスインタフェースで出力される SCLAn 端子信号の High レベル幅の設定と、SDAAn 端子信号の制御に使用するレジスタです。

IICWHn レジスタは、I²C の動作が禁止されている (IICCTLn0.IICE = 0) ときに設定してください。

マスタ側の転送クロックの設定手順およびスレーブ側の IICWLn レジスタと IICWHn レジスタの設定手順については、それぞれ(1) [マスタ側の転送クロック設定](#)と(2) [スレーブ側の IICWLn レジスタと IICWHn レジスタの設定](#)を参照してください。

24.2.9 I²C 入出力端子と兼用するポートの機能を制御するレジスタ

入出力ポートの設定方法については、「16. I/O ポート」を参照してください。

IICCTLn0.IICE ビットが 0 のときは SCLAn 端子と SDAAn 端子からは Low レベル (固定) が出力されるため、出力モードを設定する前に IICCTLn0.IICE ビットを 1 にしてください。

24.3 I²C バスモードの機能

24.3.1 端子構成

シリアルクロック端子 (SCLAn) とシリアルデータバス端子 (SDAAn) は以下に示すように構成されています。

1. SCLAn: 本端子はシリアルクロック入力とシリアルクロック出力に使用します。
本端子は、マスタデバイスとスレーブデバイスの両方に使用可能な N チャネルオープンドレイン出力です。
入力はシュミット入力です。
2. SDAAn: 本端子はシリアルデータ入力とシリアルデータ出力に使用します。
本端子は、マスタデバイスとスレーブデバイスの両方に使用可能な N チャネルオープンドレイン出力です。
入力はシュミット入力です。

シリアルクロックラインとシリアルデータバスラインからの出力は N チャネルオープンドレイン出力なので、外部プルアップ抵抗が必要となります。図 24.2 に、I²C バスを使用したシリアルバス構成例を示します。

24.3.2 IICWLn レジスタと IICWHn レジスタによる転送クロック設定

(1) マスタ側の転送クロック設定

$$\text{転送クロック} = \frac{f_{\text{MCK}}}{\text{IICWLn} + \text{IICWHn} + f_{\text{MCK}}(t_R + t_F)}$$

上記の場合の IICWLn レジスタと IICWHn レジスタの最適な設定値を以下に示します。(すべての設定値の小数部は切り上げとします。)

- ファストモードの場合

$$\text{IICWLn} = \frac{0.52}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$
- 通常モードの場合

$$\text{IICWLn} = \frac{0.47}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$
- ファストモードプラスの場合

$$\text{IICWLn} = \frac{0.50}{\text{転送クロック}} \times f_{\text{MCK}}$$

$$\text{IICWHn} = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{\text{MCK}}$$

(2) スレーブ側の IICWLn レジスタと IICWHn レジスタの設定

すべての設定値の小数部は切り上げとします。

- ファストモードの場合

$$\text{IICWLn} = 1.3 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (1.2 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$
- 通常モードの場合

$$\text{IICWLn} = 4.7 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (5.3 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$
- ファストモードプラスの場合

$$\text{IICWLn} = 0.50 \mu\text{s} \times f_{\text{MCK}}$$

$$\text{IICWHn} = (0.50 \mu\text{s} - t_R - t_F) \times f_{\text{MCK}}$$

注. SDAAn 信号と SCLAn 信号の立ち上がり時間 (t_R) と立ち下がり時間 (t_F) はプルアップ抵抗と配線容量によって変わるため、これらの時間は別々に算出してください。

注. IICWLn: IICA Low レベル幅設定レジスタ n

IICWHn: IICA High レベル幅設定レジスタ n

t_F : SDAAn 信号と SCLAn 信号の立ち下がり時間

t_R : SDAAn 信号と SCLAn 信号の立ち上がり時間

f_{MCK} : IICA 動作クロック周波数

注. n = 0, 1

24.4 I²C バスの定義と制御方式

I²C シリアルデータバス通信フォーマットと I²C バスが使用する信号を次に示します。図 24.4 に、I²C のシリアルデータバスを使用して出力される「スタートコンディション」、「アドレス」、「データ」、「ストップコンディション」の転送タイミングを示します。

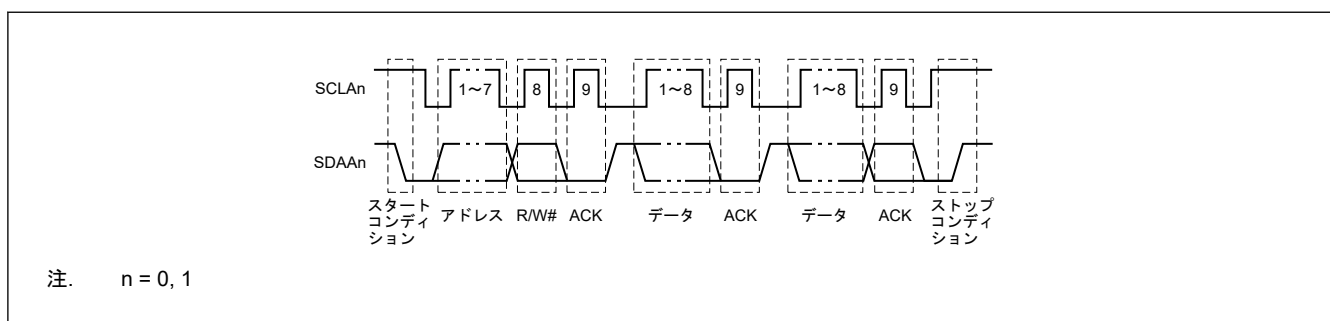


図 24.4 I²C シリアルデータバス転送タイミング

マスタデバイスはスタートコンディション、スレーブアドレス、およびストップコンディションを生成します。マスタデバイスからもスレーブデバイスからもアクノリッジ (ACK) を生成できます (通常は、8 ビットデータを受信するデバイスから出力されます)。

シリアルクロック (SCLAn) は絶えずマスタデバイスから出力されます。なお、スレーブデバイスについては、SCLAn 端子のレベルが Low になる期間を延長でき、クロックストレッチを挿入できます。

24.4.1 スタートコンディション

SCLAn 端子のレベルが High のとき、SDAAn 端子のレベルを High から Low に変更すると、スタートコンディションが生成されます。

スタートコンディションは、シリアル転送開始時にマスタデバイスがスレーブデバイスに送る信号です。デバイスがスレーブとして使用されている場合は、スタートコンディションを検出できます。図 24.5 にスタートコンディションを示します。

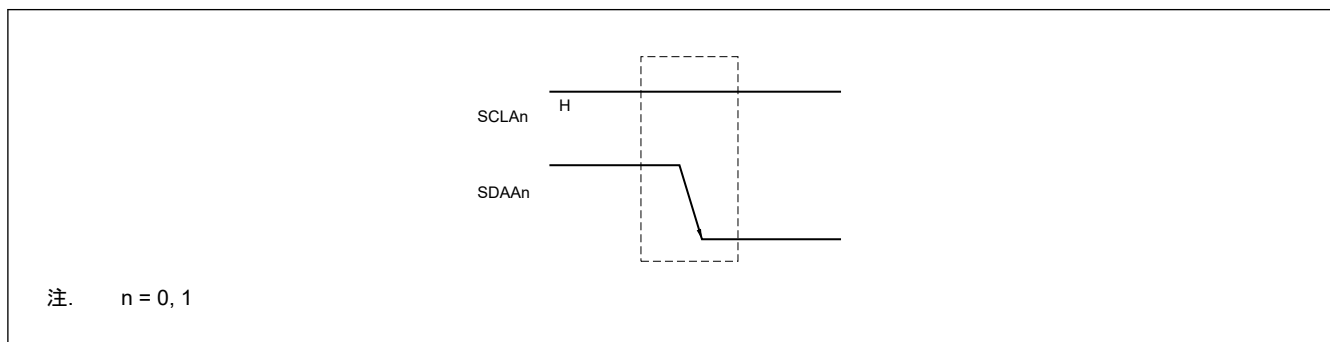


図 24.5 スタートコンディション

ストップコンディション検出 (IICS_n.SPD = 1) 後、IICA コントロールレジスタ n0 (IICCTL_n0) の STT ビットが 1 になるとスタートコンディションが出力されます。スタートコンディションが検出されると IICS_n レジスタの STD ビットが 1 になります。

24.4.2 アドレス

アドレスはスタートコンディションに続く 7 ビットのデータで定義されます。

アドレスは、バスライン経由でマスタデバイスに接続されるスレーブデバイスの一つを選択するために出力される 7 ビットのデータセグメントです。このため、バスライン経由で接続される各スレーブデバイスは一意のアドレスを持つ必要があります。スタートコンディションを検出し、7 ビットアドレスデータがスレーブアドレスレジスタ n (SVAn) に格納されたデータ値と一致するか否かを確認するハードウェアもスレーブデバイスに含まれます。アドレスデータが SVAn レジスタの設定値と一致した場合、そのスレーブデバイスが選択され、マスタデバイスがスタートコンディションまたはストップコンディションを生成するまでそのスレーブデバイスがマスタデバイスと通信します。図 24.6 にアドレスを示します。

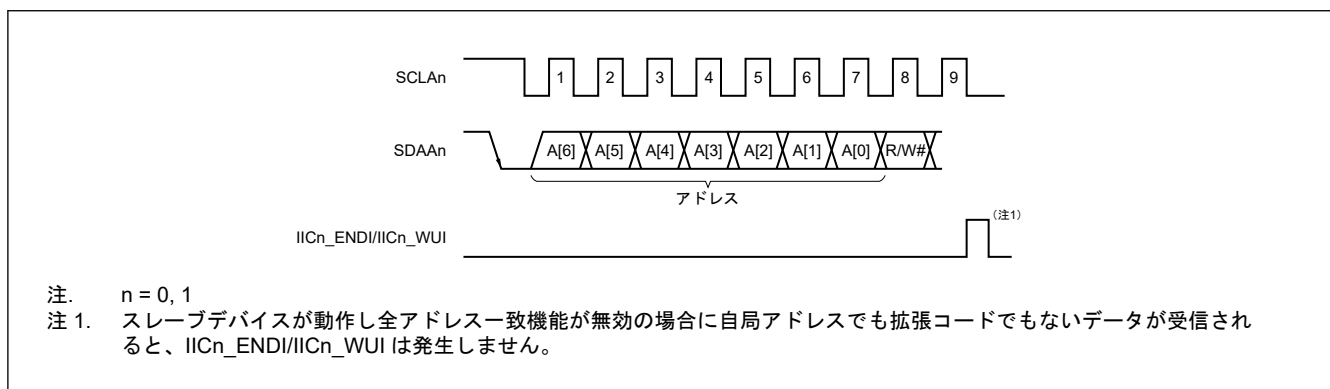


図 24.6 アドレス

スレーブアドレスと転送方向（「24.4.3. 転送方向指示」参照）の合計 8 ビットが IICA シフトレジスタ n (IICAn) に書き込まれると、アドレスが出力されます。受信したアドレスは IICAn レジスタに書き込まれます。

スレーブアドレスは IICAn レジスタの上位 7 ビットに割り当てられます。

24.4.3 転送方向指示

マスタデバイスは 7 ビットアドレスデータを送信する際に転送方向を示す 1 ビットを付加します。

転送方向指示ビットの値が 0 のときはマスタデバイスがスレーブデバイスへデータを送信します。転送方向指示ビットの値が 1 のときはマスタデバイスがスレーブデバイスからデータを受信します。図 24.7 に転送方向指示を示します。

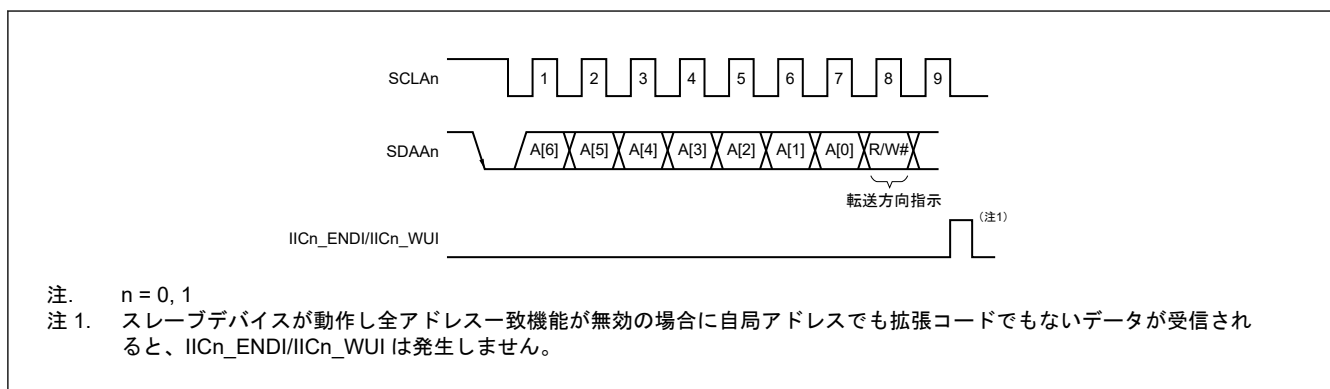


図 24.7 転送方向指示

24.4.4 アクノリッジ (ACK)

送受信の両側でシリアルデータの状態を確認するときにアクノリッジ (ACK) を使用します。受信側は、8 ビットデータを受信するたびに ACK を返します。

送信側は、通常 8 ビットデータ送信後に ACK を受け取ります。受信側から ACK が返されると、受信が正常に行われたものとして処理を続行します。ACK が検出されたかどうかは、IICA ステータスレジスタ n (IICSn) の ACKD ビットで確認できます。

マスタが最後のデータを受信した時は、ACK を返さずにストップコンディションを生成します。データ受信後にスレーブが ACK を返さない場合、マスタはストップコンディションまたはリスタートコンディションを出力し、送信を停止します。ACK が返されない場合に考えられる原因を以下に示します。

1. 受信が正常に行われなかった。
2. 最後のデータが受信された。
3. アドレスで指定された受信側が存在しない。

ACK を生成するには、受信側は第 9 クロックサイクルで SDAAn ラインを Low (通常受信動作) にします。ACK の自動生成を有効にするには、IICA コントロールレジスタ n0 (IICCTLn0) の ACKE ビットを 1 にしてください。IICSn レジスタの TRC ビットには、7 ビットアドレス情報に続く第 8 ビットの値が設定されます。通常、受信 (IICCTLn0.TRC = 0) の場合は IICCTLn0.ACKE ビットを 1 に設定してください。

受信時 (IICCTLn0.TRC = 0) にスレーブがこれ以上データを受信できなくなった場合、またはスレーブが次のデータを必要としなくなった場合、スレーブは IICCTLn0.ACKE ビットを 0 にして、後続データを受信しない旨をマスタに通知しなければなりません。

受信時 (IICCTLn0.TRC = 0) にマスタが次のデータを必要としなくなった場合、ACK が発生しないよう、マスタは IICCTLn0.ACKE ビットを 0 にしなければなりません。この場合、送信側のスレーブにマスタは後続データを必要としない旨 (送信の停止) を通知します。図 24.8 に ACK を示します。

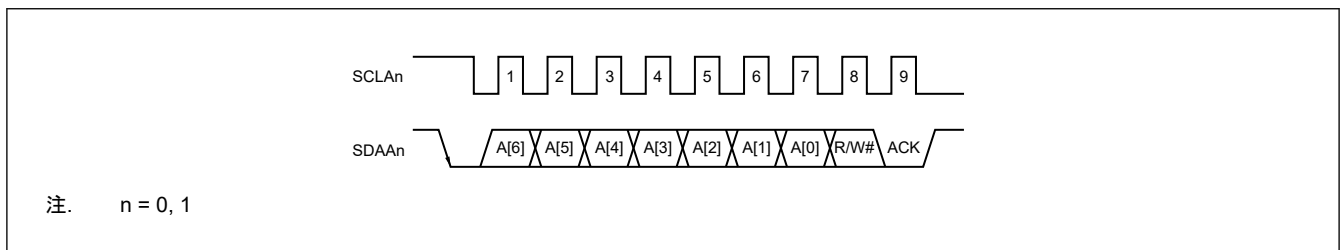


図 24.8 ACK

自局アドレスが受信されると、IICCTLn0.ACKE ビットの値に関わらず ACK が自動的に生成されます。自局アドレス以外のアドレスが受信されても ACK は生成されません (NACK)。

拡張コードが受信された場合、または全アドレス一致機能有効時に自局以外のアドレスが受信された場合、あらかじめ IICCTLn0.ACKE ビットが 1 になっていれば ACK が生成されます。

データ受信時の ACK 生成方法は、以下に示すようにクロックストレッチのタイミング設定によって異なります。

- 第 8 サイクルでクロックストレッチが挿入される設定 (IICCTLn0.WTIM=0) の場合：
クロックストレッチ状態を解除する前に IICCTLn0.ACKE ビットを 1 にすると、SCLAn 端子の第 8 クロックサイクルの立ち下がりエッジで ACK が生成されます。
- 第 9 サイクルでクロックストレッチが挿入される設定 (IICCTLn0.WTIM=1) の場合：
あらかじめ IICCTLn0.ACKE ビットを 1 にしている場合に ACK が生成されます。

24.4.5 ストップコンディション

SCLAn 端子のレベルが High のとき、SDAAn 端子のレベルを Low から High に変更すると、ストップコンディションが生成されます。ストップコンディションは、シリアル転送が完了した時にマスタデバイスがスレーブデバイスに送る信号です。デバイスがスレーブとして使用されている場合は、ストップコンディションを検出できます。

図 24.9 にストップコンディションを示します。

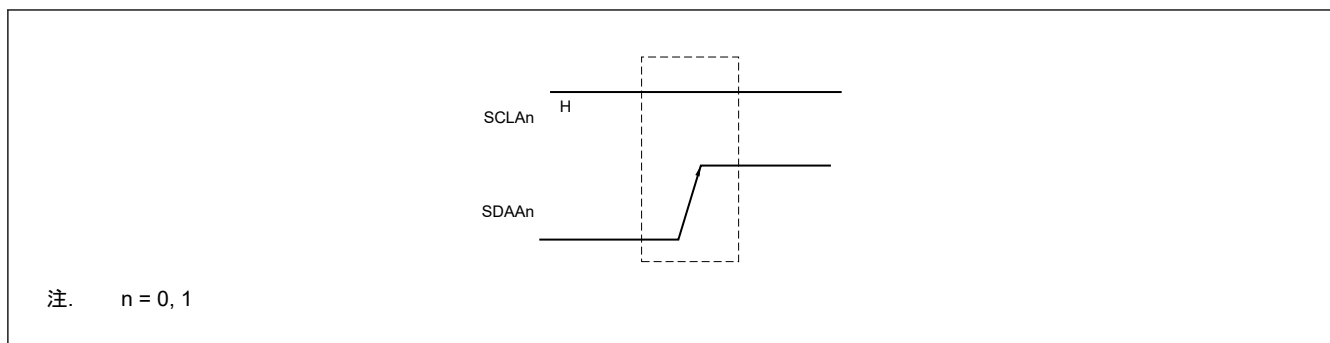


図 24.9 ストップコンディション

IICA コントロールレジスタ $n0$ (IICCTLn0) の SPT ビットを 1 にするとストップコンディションが生成されます。ストップコンディションが検出されると IICA ステータスレジスタ n (IICSn) の SPD ビットが 1 になり、IICCTLn0 レジスタの SPIE ビットが 1 の場合、IICn_ENDI/IICn_WUI が発生します。

24.4.6 クロックストレッチ

クロックストレッチの使用目的は、デバイス（マスタまたはスレーブ）が通信相手にデータの送信または受信が準備中であること（例えば、インタフェースがクロックストレッチ状態であること）を通知することです。

SCLAn 端子のレベルを Low にすると、相手にクロックストレッチ状態を示すことになります。マスタデバイスとスレーブデバイスのどちらもクロックストレッチ状態でなくなると次のデータ転送を行えます。図 24.10 と図 24.11 にクロックストレッチを示します。

- (1) マスタデバイスでは第 9 クロックサイクルに、スレーブデバイスでは第 8 クロックサイクルにクロックストレッチを設定する場合（マスタ：送信、スレーブ：受信、IICCTLn0.ACKE = 1）

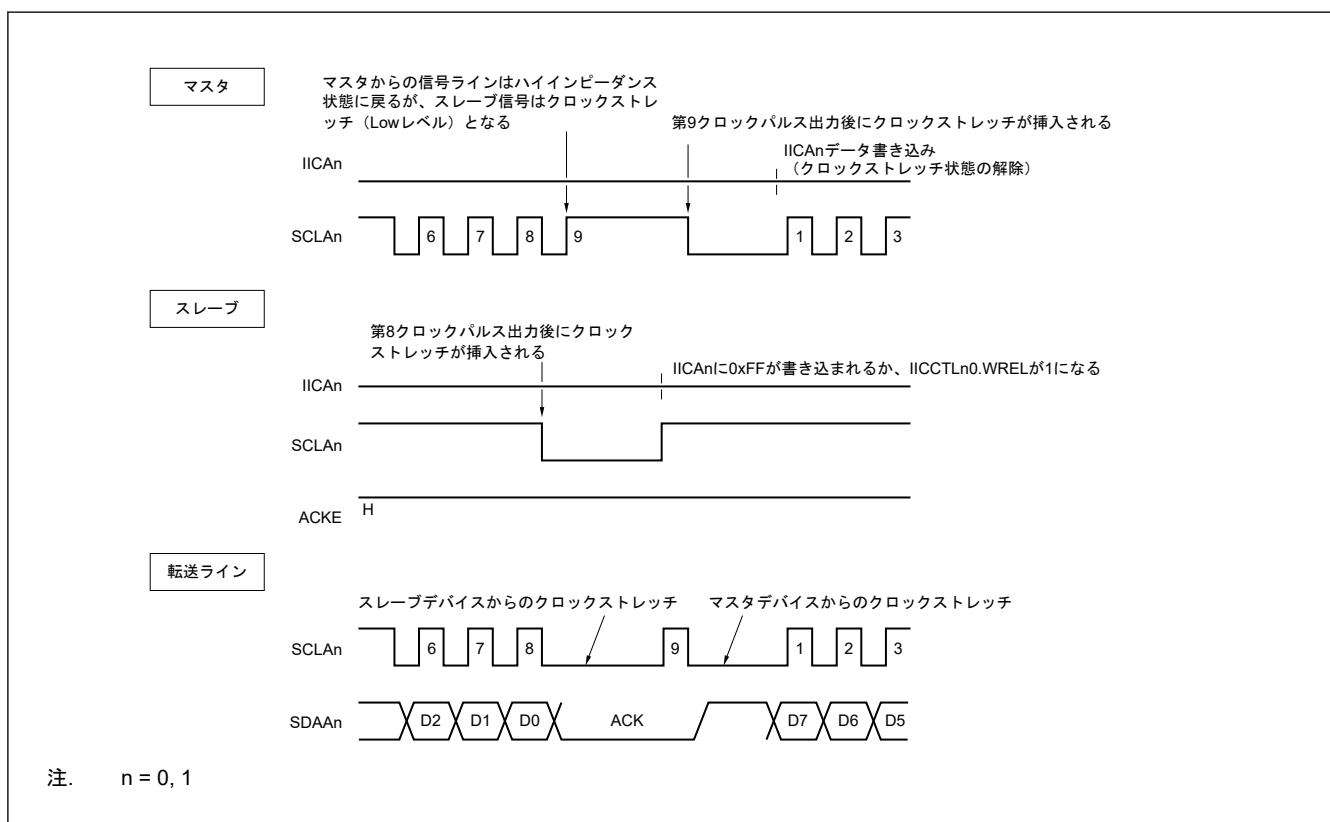


図 24.10 クロックストレッチ (1/2)

(2) マスタデバイスとスレーブデバイスの両方で第9クロックサイクルにクロックストレッチを設定する場合（マスタ：送信、スレーブ：受信、IICCTLn0.ACKE = 1）

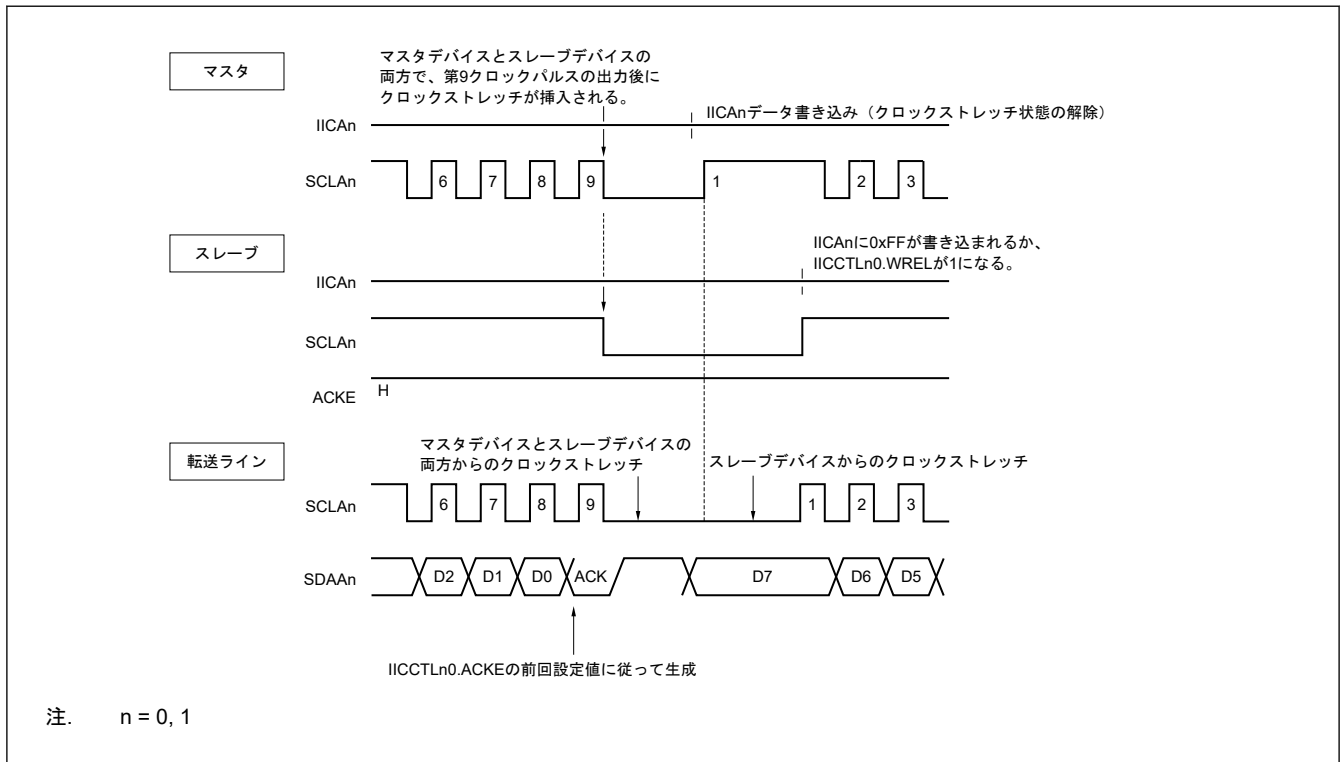


図 24.11 クロックストレッチ (2/2)

IICA コントロールレジスタ n0 (IICCTLn0) の WTIM ビットの設定によっては、クロックストレッチが自動的に行われます。

通常、受信側は、IICCTLn0 レジスタの WREL ビットが 1 になった時または IICA シフトレジスタ n (IICAn) に 0xFF が書き込まれた時にクロックストレッチ状態を解除し、送信側は、IICAn レジスタにデータが書き込まれた時にクロックストレッチ状態を解除します。

マスタデバイスは次のどちらかの方法でもクロックストレッチ状態を解除できます。

- IICCTLn0 レジスタの STT ビットを 1 にする
- IICCTLn0 レジスタの SPT ビットを 1 にする

24.4.7 クロックストレッチの解除

I²C インタフェースでは、通常以下の処理でクロックストレッチ状態が解除されます。

- IICA シフトレジスタ n (IICAn) にデータを書き込む
- IICA コントロールレジスタ n0 (IICCTLn0) の WREL ビットを 1（クロックストレッチ状態を解除）にする
- IICCTLn0 レジスタの STT ビットを 1（スタートコンディションを生成）にする(注1)
- IICCTLn0 レジスタの SPT ビットを 1（ストップコンディションを生成）にする(注1)

注 1. マスタの場合に限る

上記のクロックストレッチ状態解除処理を実行すると IICA はクロックストレッチ状態を解除します。その後通信が再開されます。

クロックストレッチ状態を解除しデータ（アドレスを含む）を送信する場合は、IICAn レジスタにデータを書き込んでください。

クロックストレッチ状態の解除後にデータを受信したりデータ送信を完了したりする場合は、IICCTLn0 レジスタの WREL ビットを 1 にしてください。

クロックストレッチ状態の解除後にリスタートコンディションを生成する場合は、IICCTLn0 レジスタの STT ビットを 1 にしてください。

クロックストレッチ状態の解除後にストップコンディションを生成する場合は、IICCTLn0 レジスタの SPT ビットを 1 にしてください。

解除処理はクロックストレッチ状態の期間ごとに 1 回だけ行ってください。

たとえば、IICCTLn0.WREL ビットを 1 にしてクロックストレッチ状態を解除した後に IICAn レジスタにデータが書き込まれた場合は、SDAAn ラインへ不正な値が出力される恐れがあります。これは、SDAAn ラインを変更するタイミングと IICAn レジスタへ書き込みを行うタイミングが衝突するためです。

上記に加え、通信が中断しているときに IICCTLn0.IICE ビットが 0 になると、クロックストレッチ状態を解除できるよう通信が停止します。

ノイズが原因で I²C バスにデッドロックが生じた場合は、IICCTLn0 レジスタの LREL ビットを 1 にすることで、デバイスはクロックストレッチ状態を解除できるよう通信を終了することができます。

IICCTLn1.WUP が 1 のときにクロックストレッチ状態解除処理を実行してもクロックストレッチ状態は解除されません。

24.4.8 割り込み要求信号 (IICn_ENDI/IICn_WUI) の発生タイミングおよびクロックストレッチの制御

表 24.2 に示すように、IICn_ENDI/IICn_WUI の発生タイミングの決定とクロックストレッチの制御は、IICA コントロールレジスタ n0 (IICCTLn0) の WTIM ビットの設定に従って行われます。

表中の数字はシリアルクロック信号のパルス数を示します。割り込み要求とクロックストレッチの制御はどちらもこれらのクロックパルスの立ち下がりエッジに同期します。

表 24.2 IICn_ENDI/IICn_WUI 発生タイミングとクロックストレッチの制御

IICCTLn0.WTIM	スレーブデバイス動作時			マスタデバイス動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	g(注1) (注2)	g(注2)	g(注2)	9	8	8
1	g(注1) (注2)	g(注2)	g(注2)	9	9	9

- 注 1. スレーブアドレスレジスタ n (SVA_n) に設定されたアドレスとの一致が検出された時だけ、スレーブデバイスの IICn_ENDI/IICn_WUI 信号とクロックストレッチは、第 9 クロックサイクルの立ち下がりエッジで発生します。
この時、IICCTLn0.ACKE ビットの設定値とは関係なく ACK が発生します。拡張コードを受信したスレーブデバイス、または全アドレス一致機能が有効のときに自局以外のアドレスを受信したスレーブデバイスについては、第 8 クロックサイクルの立ち下がりエッジで IICn_ENDI/IICn_WUI が発生します。
ただし、リスタート後にアドレスが一致しない場合、第 9 クロックサイクルの立ち下がりエッジで IICn_ENDI/IICn_WUI が発生しますがクロックストレッチは発生しません。
- 注 2. 受信したアドレスがスレーブアドレスレジスタ n (SVA_n) の内容と一致しない場合、全アドレス一致機能は無効になり、拡張コードは受信されません。また、IICn_ENDI/IICn_WUI もクロックストレッチも発生しません。

1. アドレス送信／受信時

- スレーブデバイス動作：割り込みとクロックストレッチのタイミングは、IICCTLn0.WTIM ビットの設定に関わらず、表 24.2 の注 1 と注 2 に示す条件に従います。
- マスタデバイス動作：IICCTLn0.WTIM ビットの設定に関わらず、割り込みとクロックストレッチは第 9 クロックサイクルの立ち下がりエッジで発生します。

2. データ受信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTLn0.WTIM ビットの設定に従います。

3. データ送信時

- 全ての動作：割り込みとクロックストレッチのタイミングは IICCTLn0.WTIM ビットの設定に従います。

4. クロックストレッチの解除

クロックストレッチを解除する処理には次の 4 種類があります。

- IICA シフトレジスタ n (IICAn) にデータを書き込む
- IICA コントロールレジスタ n0 (IICCTLn0) の WREL ビットを 1 (クロックストレッチ状態を解除) にする
- IICCTLn0 レジスタの STT ビットを 1 (スタートコンディションを生成) にする(注1)

- IICCTLn0 レジスタの SPT ビットを 1 (ストップコンディションを生成) にする(注1)

注 1. マスタの場合に限る

クロックストレッチ発生タイミングとして第 8 クロックサイクルを選択した場合 (IICCTLn0.WTIM を 0 にした場合)、クロックストレッチ状態を解除する前に ACK 発生の有無を判定する必要があります。

5. ストップコンディションの検出

ストップコンディションが検出されると IICn_ENDI/IICn_WUI が発生します (IICCTLn0.SPIE が 1 の場合のみ)。

24.4.9 アドレス一致検出方法

I²C バスモードでは、マスタデバイスはスレーブデバイスのアドレスを送信することで特定のスレーブデバイスを選ぶことができます。

アドレス一致はハードウェアで自動的に検出できます。割り込み要求信号 (IICn_ENDI/IICn_WUI) は特定条件下のみ発生します。当該信号が発生するのは、マスタデバイスが送信したスレーブアドレスがスレーブアドレスレジスタ n (SVAn) に設定されたアドレスと一致した時、全アドレス一致機能が有効 (IICCTLn1.SVADIS = 1) で自局以外のアドレスを受信した時、または拡張コードを受信した時だけです。

24.4.10 エラー検出

I²C バスモードでは、データ送信時のシリアルデータバス (SDAAn) の状態は送信元デバイスの IICA シフトレジスタ n (IICAn) でキャプチャされます。このため、送信前の IICA データと送信後の IICA データを比較することで送信エラーを検出することが可能です。両データ値が一致しなかった場合は送信エラーと見なされます。

24.4.11 拡張コード

1. 受信したアドレスの上位 4 ビットが 0000b または 1111b の場合、拡張コード受信フラグ (IICSn.EXC) が 1 (拡張コード受信) になり、第 8 クロックサイクルの立ち下がりエッジで割り込み要求信号 (IICn_ENDI/IICn_WUI) が発生します。

全アドレス一致機能が有効のときにアドレスを受信すると、拡張コードが受信されたことも判定されます。スレーブアドレスレジスタ n (SVAn) に格納された自局アドレスには影響が及びません。

2. SVAn レジスタの設定が 11110xx0b のときにマスタから 10 ビットアドレス転送方式で 11110xx0b が転送された場合、または全アドレス一致機能が有効のときに何らかのアドレスが受信された場合は、下記ようになります。なお、IICn_ENDI/IICn_WUI は第 8 クロックサイクルの立ち下がりエッジで発生します。

- データの上位 4 ビットが一致した場合または全アドレス一致機能が有効の場合：IICSn.EXC = 1
- 7 ビットデータが一致した場合または全アドレス一致機能が有効の場合：IICSn.COI = 1

3. 割り込み要求発生後の処理はソフトウェアによって行われます。これは、拡張コードに続くデータによって異なるためです。

デバイスがスレーブとして動作しているときに、拡張コードが受信された場合、または全アドレス一致機能が有効で何らかのアドレスが受信された場合、当該スレーブデバイスはアドレスが一致しなくとも通信に参加します。

たとえば、拡張コード受信後に対象デバイスをスレーブデバイスとして動作させたくない場合は、IICA コントロールレジスタ n0 (IICCTLn0) の LREL ビットを 1 にして、次回通信動作に待機状態を設定してください。

主要な拡張コードのビット定義を表 24.3 に示します。

表 24.3 主要な拡張コードのビット定義

スレーブアドレス	R/W#ビット	説明
0 0 0 0 0 0 0	0	ジェネラルコールアドレス
1 1 1 1 0 x x	0	10 ビットスレーブアドレスの指定 (アドレス認証時)
1 1 1 1 0 x x	1	10 ビットスレーブアドレスの指定 (アドレス一致後の読み出しコマンド発行時)

注. 上記以外の拡張コードの詳細については、NXP 社が発行している I²C バス仕様書を参照してください。

24.4.12 アービトレーション

複数のマスタデバイスが同時にスタートコンディションを生成した場合（IICSn.STD ビットが 1 になる前に IICCTLn0.STT ビットが 1 になった場合）、各マスタデバイス間の通信は、データが変化するまでクロック数が調整されるように行われる。このような処理を「アービトレーション」と呼びます。

マスタデバイスの 1 つが使用权を獲得できなかった場合、アービトレーションロストが発生したタイミングでアービトレーションロストフラグ (IICSn.ALD) が 1 になり、SCLAn ラインと SDAAn ラインはどちらもハイインピーダンス状態となり、バスを解放します。

次の割り込み要求が発生した時に（例えば、ストップコンディション検出時の第 8 または第 9 クロックサイクルで）ソフトウェアで IICSn.ALD が 1 であることを確認することでアービトレーションロストが検出されます。

割り込み要求のタイミングの詳細については、「[24.4.8. 割り込み要求信号 \(IICn_ENDI/IICn_WUI\) の発生タイミングおよびクロックストレッチの制御](#)」を参照してください。

図 24.12 にアービトレーションタイミング例を示します。

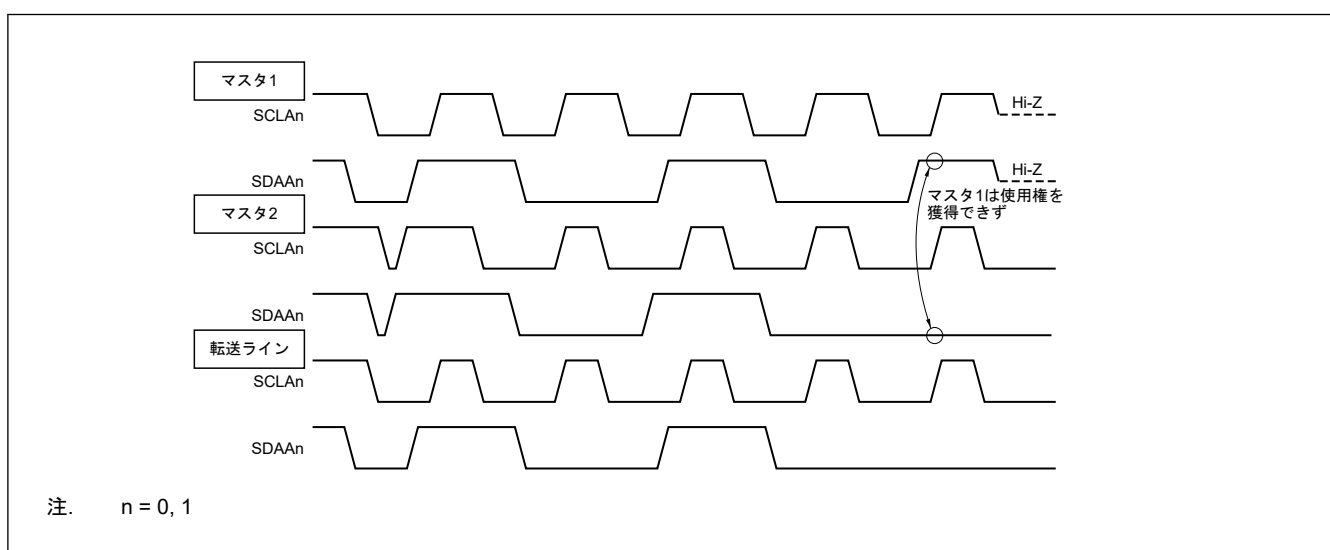


図 24.12 アービトレーションタイミング例

表 24.4 に、アービトレーション時の状態と割り込み要求の発生タイミングを示します。

表 24.4 アービトレーション時の状態と割り込み要求の発生タイミング

アービトレーション時の状態	割り込み要求発生タイミング
アドレス送信時	バイト転送後の第 8 または第 9 クロックサイクルの立ち下がりエッジ(注1)
アドレス送信後の読み出し／書き込みデータ	
拡張コード送信時	
拡張コード送信後の読み出し／書き込みデータ	
データ送信時	
データ送信後の ACK 転送期間	
データ転送時にリスタートコンディションを検出した	ストップコンディションが発生した（IICCTLn0.SPIE が 1 のとき）(注2)
データ転送時にストップコンディションを検出した	
リスタートコンディション生成試行時にデータが Low レベルになった	バイト転送後の第 8 または第 9 クロックサイクルの立ち下がりエッジ(注1)
リスタートコンディション生成試行時にストップコンディションを検出した	ストップコンディションが発生した（IICCTLn0.SPIE が 1 のとき）(注2)
ストップコンディション生成試行時にデータが Low レベルになった	バイト転送後の第 8 または第 9 クロックサイクルの立ち下がりエッジ(注1)
リスタートコンディション生成試行時に SCLAn が Low レベルになった	

- 注 1. IICCTLn0.WTIM が 1 の場合は、第 9 クロックサイクルの立ち下がりエッジで割り込み要求が発生します。IICCTLn0.WTIM が 0 の場合は、拡張コードのスレーブアドレスが受信された時、または、全アドレス一致機能が有効で自局以外のアドレスが受信された時に、第 8 クロックサイクルの立ち下がりエッジで割り込み要求が発生します。
- 注 2. アービトレーションが発生する可能性があれば、マスタデバイス動作に対して「IICCTLn0.SPIE = 1」を設定してください。

24.4.13 ウェイクアップ機能

自局アドレスを受信した時、全アドレス一致機能が有効で自局以外のアドレスを受信した時、または拡張コードを受信した時に割り込み要求信号 (IICn_ENDI/IICn_WUI) を発生させる I²C バススレーブ機能です。

この機能は、全アドレス一致機能が無効でアドレスが一致しない場合に不要な IICn_ENDI/IICn_WUI 信号が発生するのを防ぐことで処理の効率化を図ります。

スタートコンディションが検出されると、ウェイクアップ待機状態になります。スタートコンディションを生成したマスタでも、アドレス送信中にウェイクアップ待機状態になります。それは、アービトレーションロストによってマスタがスレーブになる可能性があるからです。

ソフトウェアスタンバイモードでウェイクアップ機能を使用するには、IICCTLn1.WUP ビットを 1 にしてください。動作クロックとは非同期にアドレスを受信することができます。自局アドレスを受信した時、全アドレス一致機能が有効で自局以外のアドレスを受信した時、または拡張コードを受信した時は、割り込み要求信号 (IICn_ENDI/IICn_WUI) も発生します。この割り込み要求信号の発生後に IICCTLn1.WUP ビットをクリア (0 に) する命令を実行することで通常動作に復帰します。

IICCTLn1.WUP を 1 にする手順を表 24.5 に示します。アドレス一致を検出した時 (または全アドレス一致機能を有効にした時) に IICCTLn1.WUP を 0 にする手順を表 24.6 に示します。

表 24.5 IICCTLn1.WUP を 1 にする手順

手順	処理	詳細説明
IICCTLn1.WUP を 1 にする	<1> 動作開始	—
	<2> 状態を確認	IICSn (IICA ステータスレジスタ n) が次の状態になるまで待つ。 • MSTS ビット = 0 • STD ビット = 0 • EXC ビット = 0 • COI ビット = 0
	<3> アドレス一致ウェイクアップ機能の動作を許可する	IICCTLn1.WUP ビットを 1 にする。
	<4> ウェイト	f _{MCK} クロックが 3 サイクル経過するのを待つ。
	<5> WFI 命令の実行	—

表 24.6 アドレス一致を検出した時 (または全アドレス一致機能を有効にした時) に IICCTLn1.WUP を 0 にする処理の流れ (拡張コードの受信を含む)

手順	処理	詳細説明
アドレス一致を検出した時 (または全アドレス一致機能を有効にした時) に IICCTLn1.WUP を 0 にする (拡張コードの受信を含む)	<1> 動作開始	ソフトウェアスタンバイモード状態
	<2> 割り込みを確認	IICn_ENDI/IICn_WUI が 1 になるまで待つ。
	<3> アドレス一致ウェイクアップ機能の動作を禁止する	IICCTLn1.WUP ビットをクリアする。
	<4> ウェイト	f _{MCK} クロックが 5 サイクル経過するのを待つ。
	<5> IICSn の読み出し	I ² C バスインタフェースの動作状態確認後に実行される動作に対応する処理を実行する。
	<6> 次の処理を実行する	—

I²C バスインタフェースから発生する割り込み要求信号 (IICn_ENDI/IICn_WUI) 以外でソフトウェアスタンバイモードから復帰する処理を実行する際に使用するフローを以下に示します。

- 次の IIC 通信時にマスタとして動作する場合：表 24.7 に示すフロー
- 次の IIC 通信時にスレーブとして動作する場合：
IICn_ENDI/IICn_WUI 割り込みで復帰する場合：表 24.6 に示すフローと同様

IICn_ENDI/IICn_WUI 割り込み以外で復帰する場合：IICCTLn1.WUP を 1 にしたまま IICn_ENDI/IICn_WUI 割り込みを待つ

表 24.7 IICn_ENDI/IICn_WUI 以外でソフトウェアスタンバイモードから復帰した後にマスタデバイスとして動作する場合

手順	処理	詳細説明
IICn_ENDI/IICn_WUI 以外でソフトウェアスタンバイモードから復帰した後にマスタデバイスとして動作する場合	<1> 動作開始	—
	<2> 割り込み要求の発生を許可する	IICCTLn0.SPIE ビットを 1 にする。
	<3> アドレス一致ウェイクアップ機能の動作を許可する	IICCTLn1.WUP ビットを 1 にする。
	<4> ウェイト	f _{MCK} クロックが 3 サイクル経過するのを待つ。
	<5> WFI 命令の実行	ソフトウェアスタンバイ状態
	<6> ソフトウェアスタンバイモードから復帰	IICn_ENDI/IICn_WUI 以外の割り込みでソフトウェアスタンバイモードから復帰する。
	<7> アドレス一致ウェイクアップ機能の動作を禁止する	IICCTLn1.WUP ビットをクリアする。
	<8> 割り込みを確認	IICn_ENDI/IICn_WUI が 1 になるまで待つ。
	<9> IICSn の読み出し	I ² C バスインタフェースの動作状態確認後に実行される動作に対応する処理を実行する。
	<10> 次の処理を実行する	—

24.4.14 通信予約

(1) 通信予約機能が有効 (IICFn.IICRSV = 0) の場合

バス解放時のスタートコンディション送信を許可するために通信予約をしておく、バスがアイドルになった時にマスタデバイス通信を開始することができます。以下の 2 つの状況でバスがアイドルとなります。

- アービトレーションの結果がマスタ動作でもスレーブ動作でもない
- 全アドレス一致機能が無効のとき、拡張コードを受信しスレーブ動作が禁止されている (ACK が返されず IICA コントロールレジスタ n0 (IICCTLn0) の LREL ビットを 1 にすることでバスが解放され通信が終了する)

バスがアイドルのときに IICCTLn0 レジスタの STT ビットを 1 にするとスタートコンディションが自動的に生成され、バス解放後にウェイト状態に入ります (ストップコンディション検出後)。

IICCTLn0 レジスタの SPIE ビットが 1 になった後に IICA シフトレジスタ n (IICAn) にアドレスが書き込まれ、割り込み要求信号 (IICn_ENDI/IICn_WUI) の発生によってバスが解放されたことを検出した (ストップコンディションを検出した) 場合、デバイスは自動的にマスタとして通信を開始します。ストップコンディション検出前に IICAn レジスタに書き込まれたデータは無効です。

IICCTLn0.STT ビットが 1 の場合は、バスの状態に応じて動作モード (スタートコンディション生成/通信予約) が決定されます。

- バスが解放されている場合...スタートコンディション生成
- バスが解放されていない場合 (待機状態) ...通信予約

IICCTLn0.STT ビットが 1 になり待ち時間が経過した後に、IICSn.MSTS ビットを使用して通信予約が動作しているか否かを確認してください。

以下の式から算出される待ち時間をソフトウェアで確保してください。

IICCTLn0.STT が 1 になってから IICSn.MSTS フラグを確認するまでの待ち時間：

$$(IICWLn \text{ の設定値} + IICWHn \text{ の設定値} + 4) / f_{MCK} + t_F \times 2$$

注. IICWLn: IICA Low レベル幅設定レジスタ n

IICWHn: IICA High レベル幅設定レジスタ n

t_F: SDAAn 信号と SCLAn 信号の立ち下がり時間

f_{MCK} : IICA 動作クロック周波数

通信予約のタイミングを図 24.13 に示します。

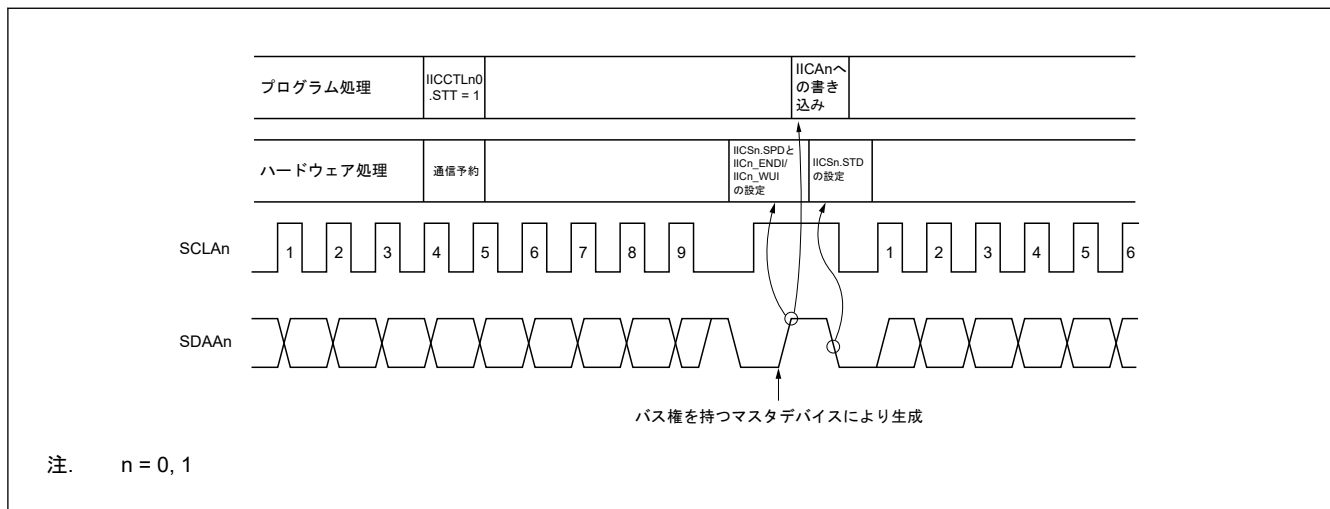


図 24.13 通信予約のタイミング

通信予約は図 24.14 に示すタイミングで受理されます。IICA ステータスレジスタ n (IICSn) の STD ビットが 1 になった後、ストップコンディション検出前に IICA コントロールレジスタ $n0$ (IICCTLn0) の STT ビットを 1 にすることで通信予約が可能になります。

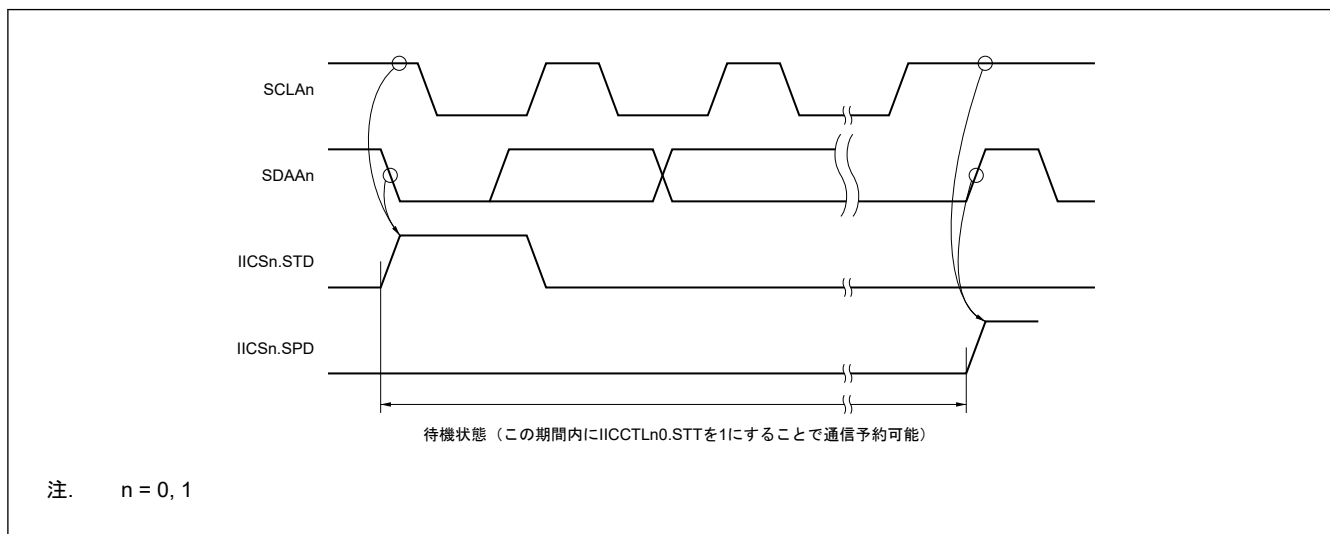


図 24.14 通信予約が受理されるタイミング

通信予約の処理手順を図 24.15 に示します。

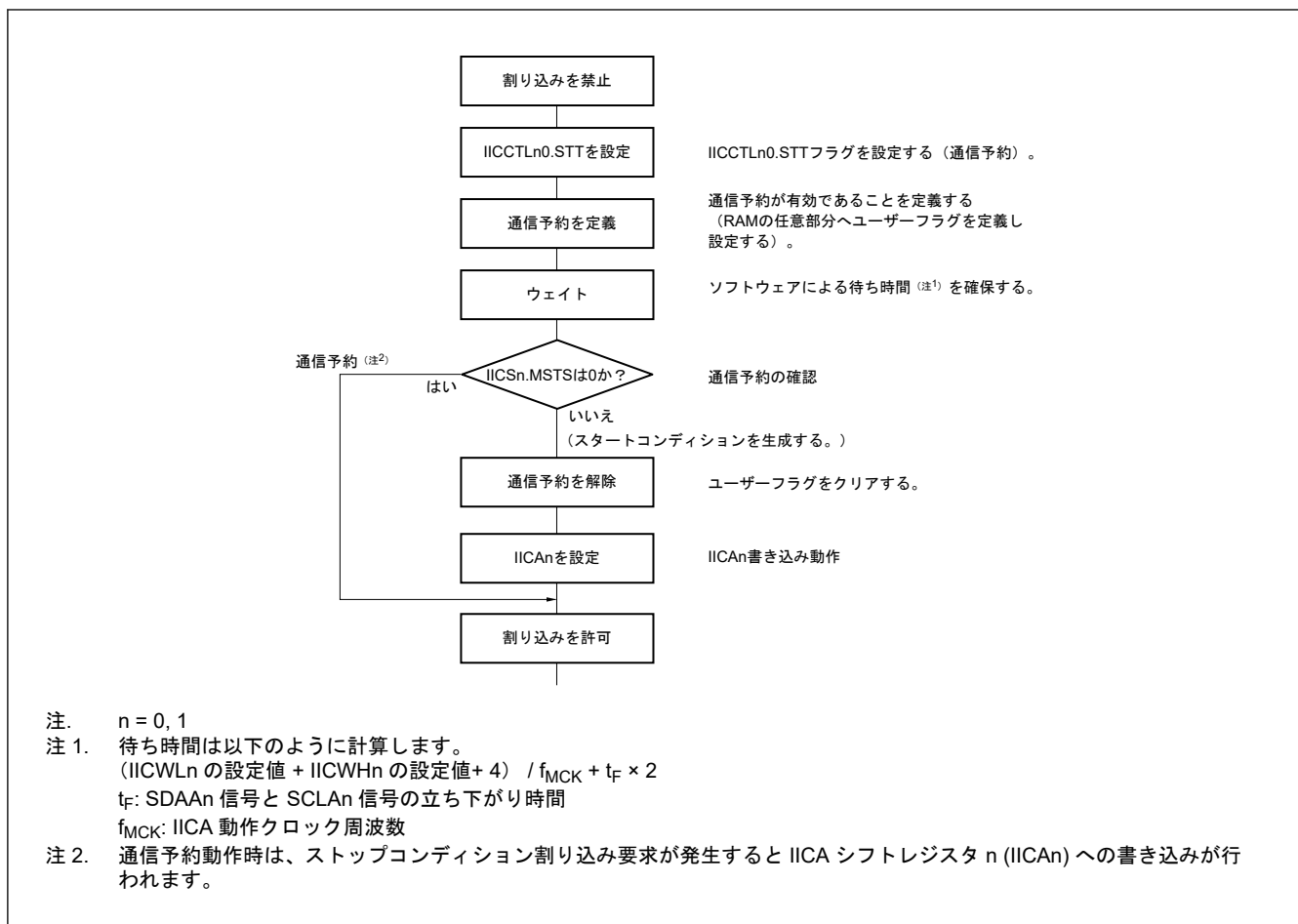


図 24.15 通信予約の処理手順

(2) 通信予約機能が無効 (IICFn.IICRSV = 1) の場合

バス通信中の通信でバスがアイドルの場合に IICA コントロールレジスタ n0 (IICCTLn0) の STT ビットが 1 になると、要求は拒否されスタートコンディションは生成されません。バスがアイドルになる状態には次の 2 つがあります。

- アービトレーションの結果がマスタ動作でもスレーブ動作でもない
- 全アドレス一致機能が無効のとき、拡張コードを受信しスレーブ動作が禁止されている (ACK が返されず IICCTLn0 レジスタの LREL ビットを 1 にすることでバスが解放され通信が終了する)

スタートコンディションが生成されたか、それとも要求が拒否されたかは、IICFn.STCF ビットで確認できます。IICCTLn0.STT ビットが 1 になってから IICFn.STCF ビットが 1 になるまでには、 f_{MCK} クロックの最大 5 サイクルが必要です。したがって、この時間をソフトウェアで確保してください。

24.4.15 使用上の注意事項

1. IICFn.STCEN が 0 の場合

I²C の動作を許可 (IICCTLn0.IICE = 1) にした直後、実際のバス状態に関わらず、バス通信状態 (IICFn.IICBSY = 1) と認識されます。ストップコンディションが検出されていない状態からマスタデバイス通信を行うときは、ストップコンディションを生成してバスを解放してからマスタデバイス通信を行ってください。複数マスタ使用時に、バスが解放されていない (ストップコンディションが検出されていない) 場合はマスタデバイス通信を行えません。

下記の順番でストップコンディションを生成してください。

- <1> IICA コントロールレジスタ n1 (IICCTLn1) を設定する。
- <2> IICA コントロールレジスタ n0 (IICCTLn0) の IICE ビットを 1 にする。
- <3> IICCTLn0 レジスタの SPT ビットを 1 にする。

2. IICFn.STCEN が 1 の場合

I²C の動作を許可 (IICCTLn0.IICE = 1) にした直後、実際のバス状態に関わらず、バス解放状態 (IICFn.IICBSY = 0) と認識されます。1 回目のスタートコンディションを生成する場合 (IICCTLn0.STT = 1) は、他の通信を妨げないようにバスが解放されていることを確認してください。

3. 他の I²C 通信が既に実行中の場合

SDAAn 端子のレベルが Low で SCLAn 端子のレベルが High のとき、I²C の動作が許可され通信に参加しているデバイスが実行中の場合、IICA は SDAAn 端子が Low になったことを認識します (スタートコンディションを検出します)。この時、バス上の値が拡張コードとして認識されることがあるか、または全アドレス一致機能が有効の場合、ACK が返されますが、これは他の I²C 通信の妨げとなります。これを避けるには、下記の順番で IICA を起動してください。

<1> IICCTLn0 レジスタの SPIE ビットを 0 にして、ストップコンディションを検出した時の割り込み要求信号 (IICn_ENDI/IICn_WUI) の発生を禁止する。

<2> IICCTLn0 レジスタの IICE ビットを 1 にして IICA の動作を許可する。

<3> スタートコンディションが検出されるまで待つ。

<4> IICCTLn0.IICE ビットを 1 にしてから ACK が返るまでの間に (f_{MCK} クロックの 4~72 サイクル)、IICCTLn0 レジスタの LREL ビットを 1 にして強制的に検出を無効にする。

4. IICCTLn0.STT ビットと IICCTLn0.SPT ビットを 1 にした後、0 にする前に再び 1 にすることは禁止です。

5. 送信予約をした場合は、ストップコンディション検出時に割り込み要求が発生するよう、IICCTLn0.SPIE ビットを 1 にしてください。割り込み要求発生後、IICA シフトレジスタ n (IICAn) に通信データを書き込むと転送が開始します。ストップコンディション検出時に割り込み要求が発生しない限り、通信開始時に割り込み要求が発生しないため、デバイスはウェイト状態で停止します。なお、ソフトウェアが IICSn.MSTS ビットを検出した時に IICCTLn0.SPIE ビットを 1 にする必要はありません。

24.4.16 通信動作

本項では、以下の 3 種類の動作手順をフローチャートと共に示します。

1. シングルマスタシステムでのマスタ動作

本製品をシングルマスタシステムのマスタとして使用する場合のフローチャートを図 24.16 に示します。このフローチャートは、初期設定と通信処理の二つの大きな区分に分かれています。初期設定は起動時に行います。スレーブとの通信が必要な場合は、通信の準備をしてから通信処理を行います。

2. マルチマスタシステムでのマスタ動作

I²C バスのマルチマスタシステムにおいて、I²C バス仕様では、デバイスが通信に参加しているときにバスがアイドルかビジーかを判定することはできません。この動作では、データとクロックが一定期間 (1 フレーム) High レベルとなっている時に、本製品はバス解放状態で通信に参加します。

このフローチャートは、初期設定、通信待ち、通信処理の三つの大きな区分に分かれています。図 24.17 のフローチャートは、本製品がマスタとして動作している場合の処理だけを示します。アービトレーションロスとなりスレーブに指定された場合の処理は省略されています。起動時に初期設定を行って通信に参加します。そして、マスタとして通信要求を待つか、スレーブとして指定されるのを待ちます。実際の通信は通信処理で行われます。この通信処理では、スレーブとの送受信、および他マスタとのアービトレーションをサポートしています。

3. スレーブ動作

本製品を I²C バススレーブとして使用する場合の例を図 24.21 と図 24.22 に示します。

スレーブとして使用される場合、動作は割り込みによって開始されます。起動時に初期設定に行ってから、IICn_ENDI/IICn_WUI 割り込みの発生を待ってください (通信待ち)。IICn_ENDI/IICn_WUI 割り込みが発生すると、通信の状態が判定され、判定結果はフラグとしてメイン処理に渡されます。このフラグを確認して必要な通信処理を行います。

(1) シングルマスタシステムでのマスタ動作

送信フォーマットと受信フォーマットについては、通信中の製品の仕様に従います。

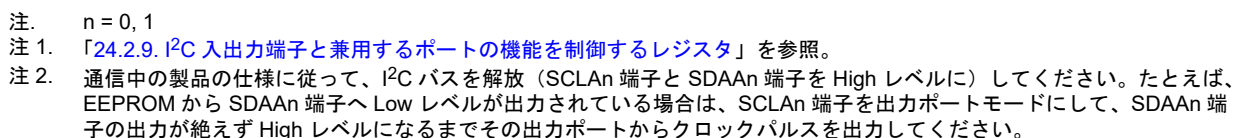


図 24.16 シングルマスタシステムでのマスタ動作

(2) マルチマスタシステムでのマスタ動作

送信フォーマットと受信フォーマットについては、通信中の製品の仕様に従います。

マルチマスタシステムにおいてデバイスをマスタの一つとして使用する場合は、割り込み IICn_ENDI/IICn_WUI が発生するたびに IICSn.MSTS ビットを読んでアービトラーションの結果を確認してください。

マルチマスタシステムにおいてデバイスをスレーブとして使用する場合は、割り込み IICn_ENDI/IICn_WUI が発生するたびに IICA ステータスレジスタ n (IICSn) と IICA フラグレジスタ n (IICFn) で状態を確認して次に行う処理を決定してください。

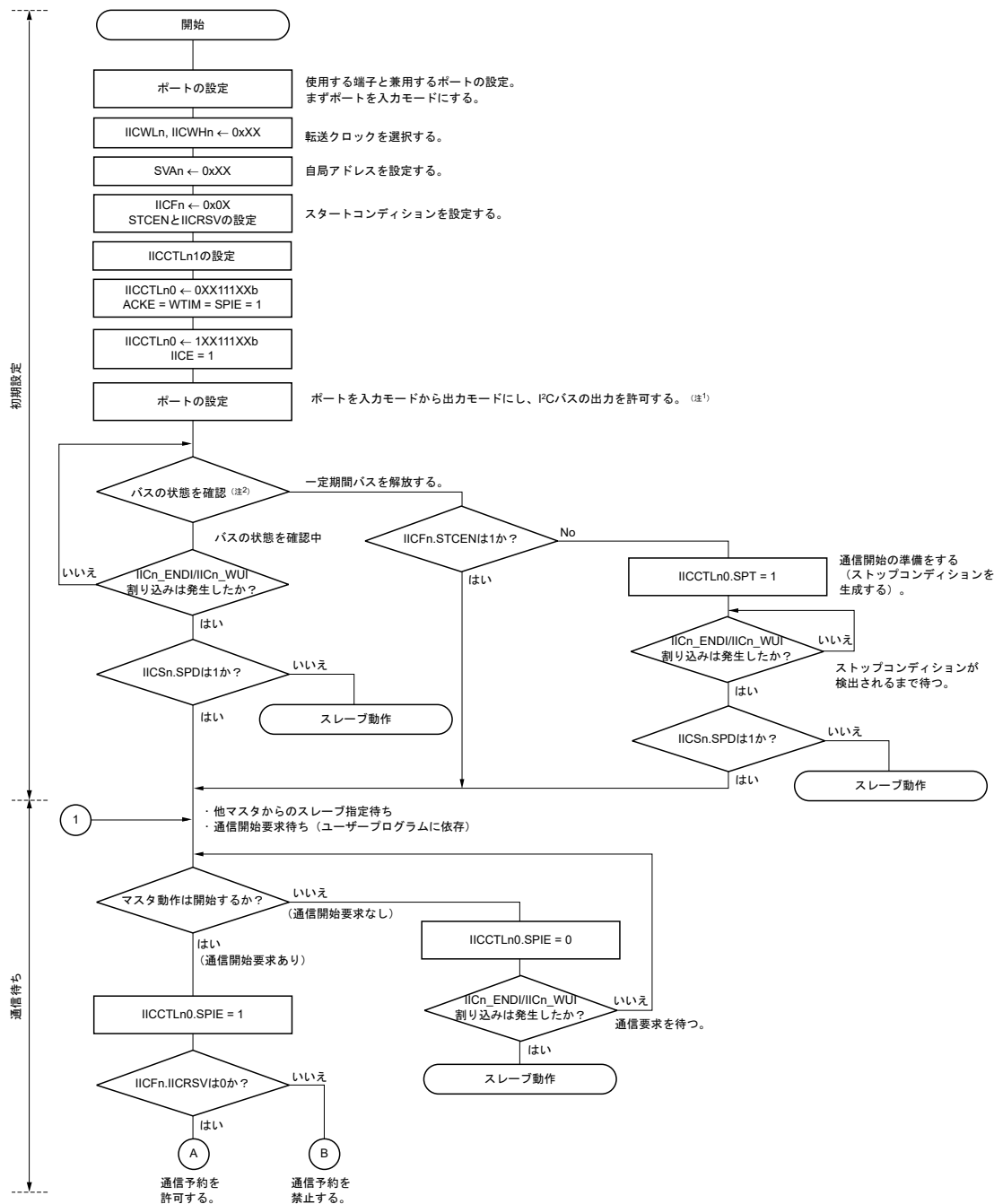


図 24.17 マルチマスタシステムでのマスタ動作 (1/3)

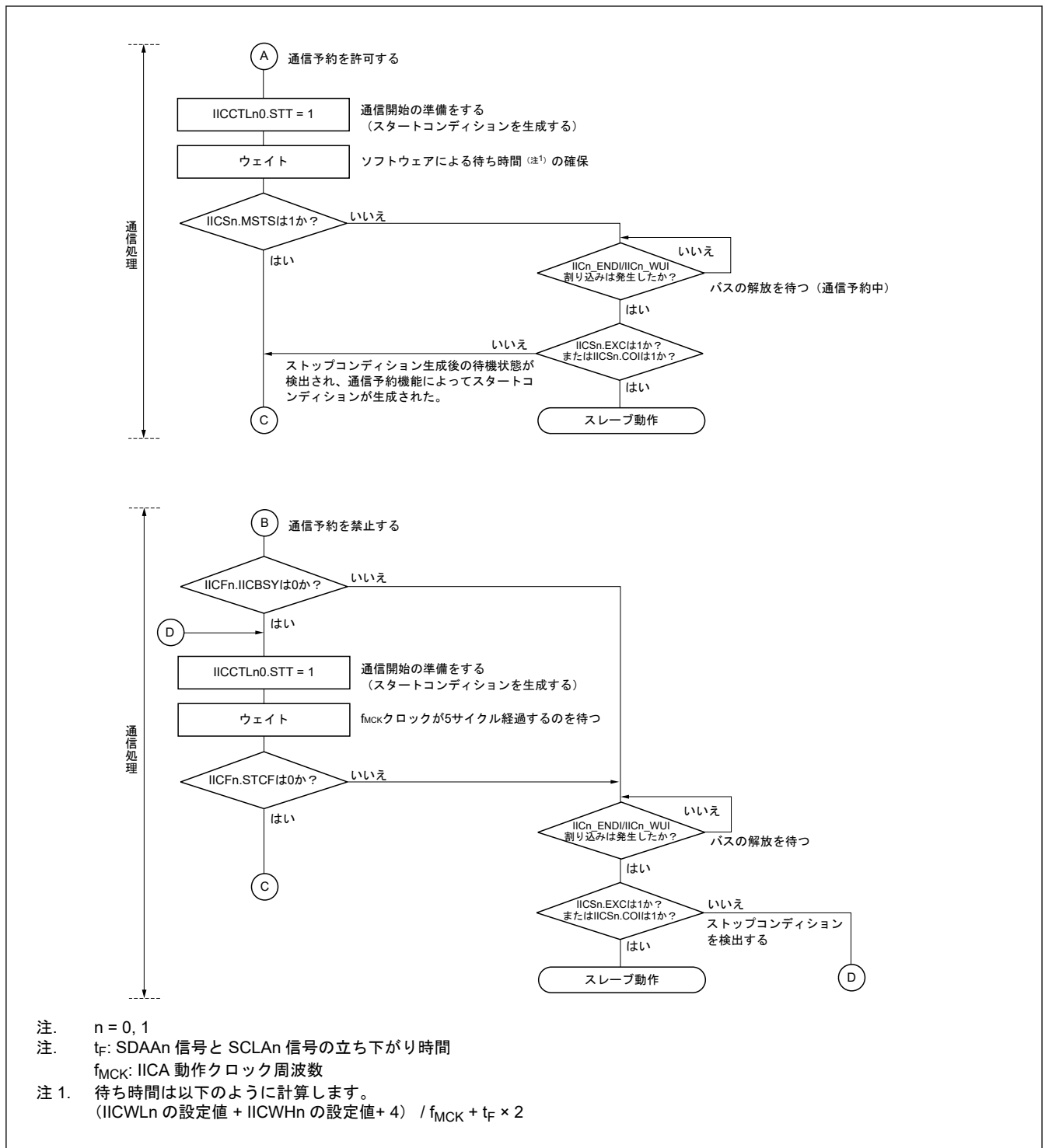


図 24.18 マルチマスタシステムでのマスタ動作 (2/3)

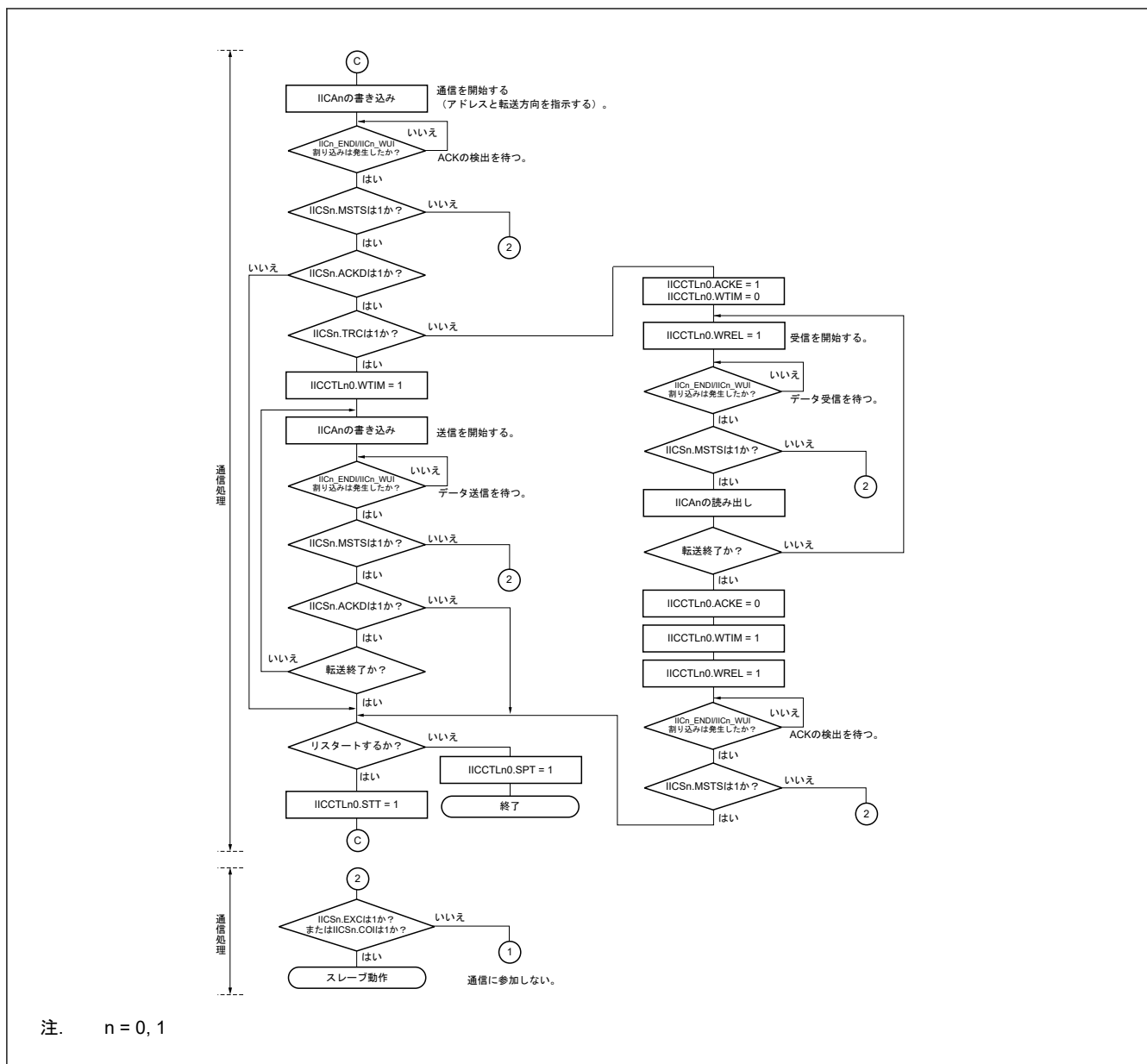


図 24.19 マルチマスタシステムでのマスタ動作 (3/3)

(3) スレーブ動作

スレーブ動作の処理手順を以下に示します。

基本的に、スレーブ動作はイベント駆動で行われます。したがって、IICn_ENDI/IICn_WUI 割り込みによる処理（通信中にストップコンディション検出のような動作状態の大幅な変更を行う処理）が必要です。

以下の説明は、全アドレス一致機能は無効でデータ通信については拡張コードをサポートしていない環境を前提としています。また、IICn_ENDI/IICn_WUI 割り込み発生処理は状態遷移処理にのみ使用され、実際のデータ通信はメイン処理で行われることも前提となっています。

図 24.20 に、スレーブ動作におけるメイン処理によるインタフェース構成を示します。

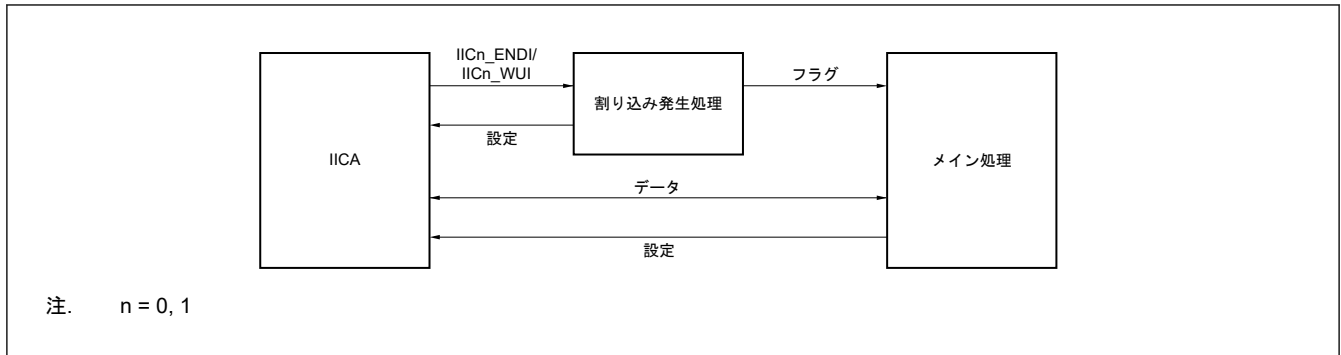


図 24.20 スレーブ動作におけるメイン処理によるインタフェース構成

したがって、データ通信処理は、以下の3種類のフラグを用意し、IICn_ENDI/IICn_WUI 割り込みの代わりにこれらのフラグをメイン処理に渡すことで行われます。

<1> 通信モードフラグ

このフラグは以下の2種類の通信状態を示します。

- クリアモード：データ通信が行われない状態
- 通信モード：データ通信が行われる状態（有効アドレスを検出してからストップコンディションを検出するまで。マスタからの ACK 検出なし。アドレス不一致）

<2> レディフラグ

このフラグはデータ通信が許可されていることを示します。このフラグの役割は、通常データ通信で使用される IICn_ENDI/IICn_WUI 割り込みと同じです。このフラグは割り込み発生処理によって1になり、メイン処理によって0にクリアされます。通信が開始されたら割り込み発生処理でこのフラグをクリアしてください。なお、最初のデータを送信する時に、割り込み発生処理ではレディフラグは1になりません。したがって、フラグがクリアされずに最初のデータは送信されます（アドレス一致は次データ要求と解釈されます）。

<3> 通信方向フラグ

このフラグは通信方向を示します。値は TRC ビットと同一です。

スレーブ動作の主な処理を次に示します。

I²C バスインタフェースを起動し通信が許可されるまで待ちます。通信が許可されたら、通信モードフラグとレディフラグを使用して通信を実行します（ストップコンディションとスタートコンディションの処理は割り込みで実行されます。ここでは、これらのフラグを使って状態を確認します）。

マスタが ACK を返さなくなるまで送信動作が繰り返されます。マスタから ACK が返されなくなると通信完了です。

受信については必要量のデータを受信します。次データとして ACK が返されなくなると通信完了です。その後、マスタはストップコンディションまたはリスタートコンディションを生成し、通信状態を終了します。

送信フォーマットと受信フォーマットについては、通信中の製品の仕様に従います。

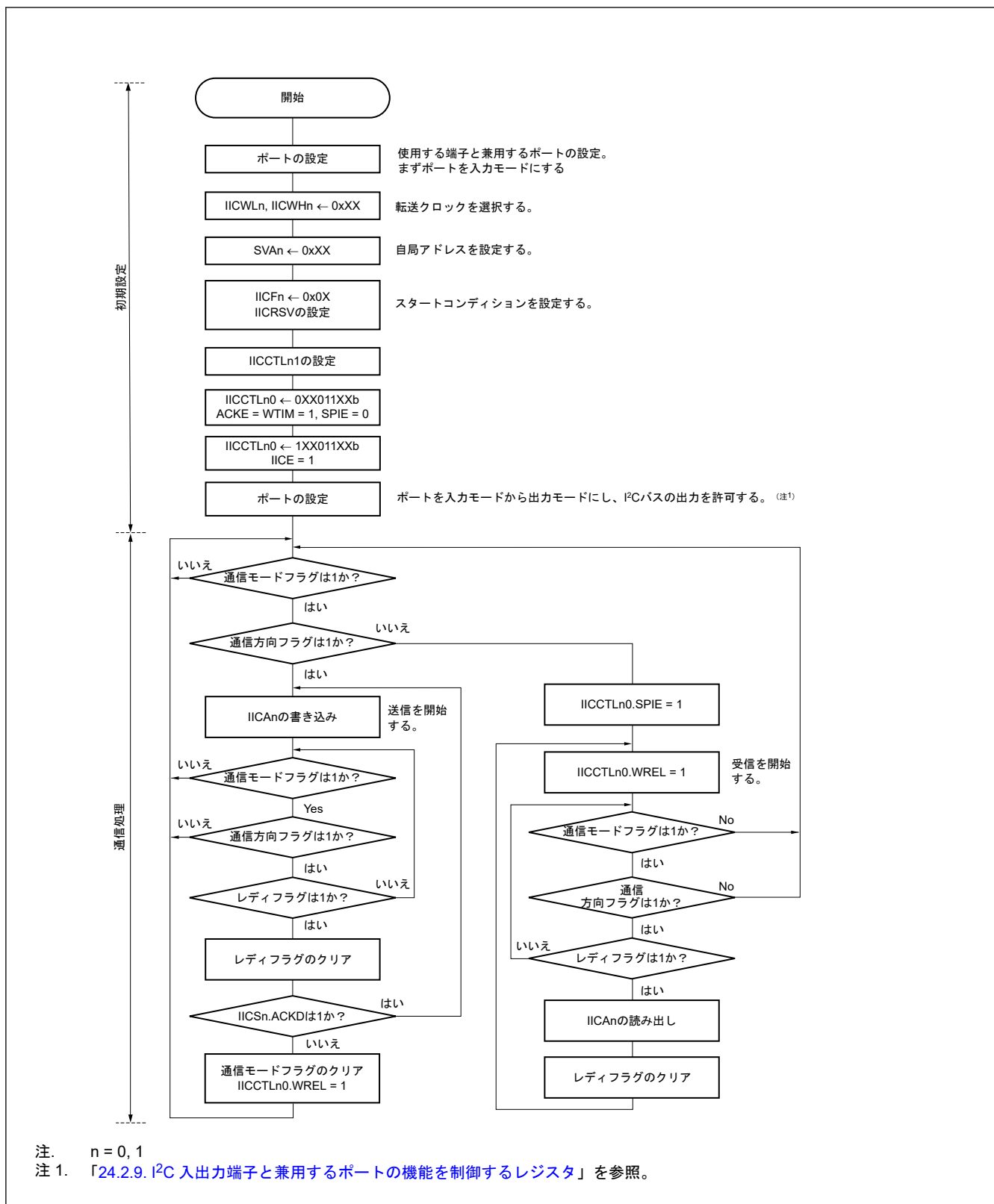


図 24.21 スレーブ動作のフローチャート (1)

IICn_ENDI/IICn_WUI 割り込みによるスレーブの処理手順例 (全アドレス一致機能は無効で拡張コードは不使用の場合) を以下に示します。IICn_ENDI/IICn_WUI 割り込みで状態を確認した後、次の処理が行われます。

<1> ストップコンディションが発行されると通信が停止する。

<2> スタートコンディションが発行されるとアドレス確認が行われ、アドレスが不一致の場合は通信完了となる。

アドレスが一致した場合、ウェイト状態が終了して通信モードとなり、割り込みから処理が復帰する（レディフラグがクリアされる）。

<3> データ送信／受信については、レディフラグだけが設定される。I²C バスがウェイト状態のままで割り込みから処理が復帰する。

注. 上記の <1>～<3> は、図 24.22 の <1>～<3> に対応します。

スレーブ動作で使用する割り込みのフローチャートを図 24.22 に示します。

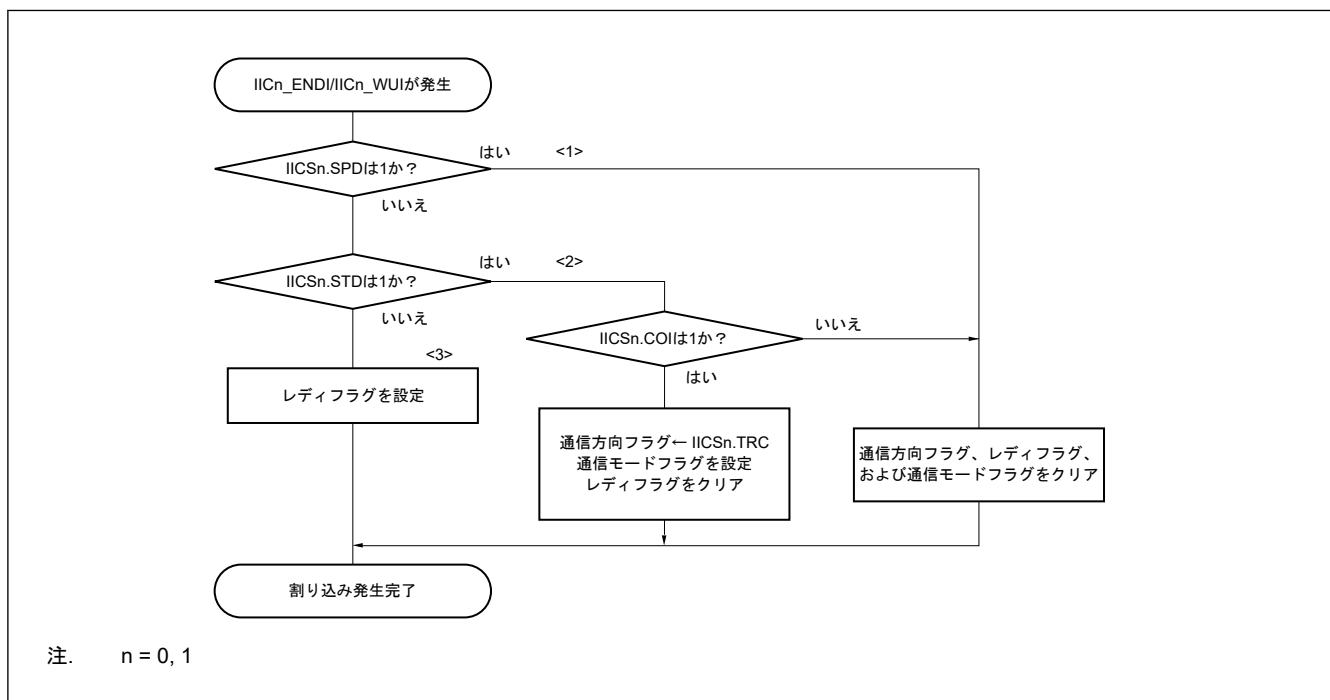


図 24.22 スレーブ動作のフローチャート (2)

24.4.17 I²C 割り込み要求信号 (IICn_ENDI/IICn_WUI) 発生のタイミング

図 24.23～図 24.62 に、データの送受信タイミング、割り込み要求信号 (IICn_ENDI/IICn_WUI) の発生タイミング、および IICn_ENDI/IICn_WUI 信号発生時の IICA ステータスレジスタ n (IICSn) の値を示します。

注. ST: スタートコンディション

AD6～AD0: アドレスビット

R/W#: 転送方向指示ビット

ACK: アクノリッジビット

D7～D0: データビット

SP: ストップコンディション

n = 0, 1

(1) マスタデバイスの動作

(a) ST...アドレス...データ...データ...SP (受信／送信)

1.IICCTLn0.WTIM が 0 の場合

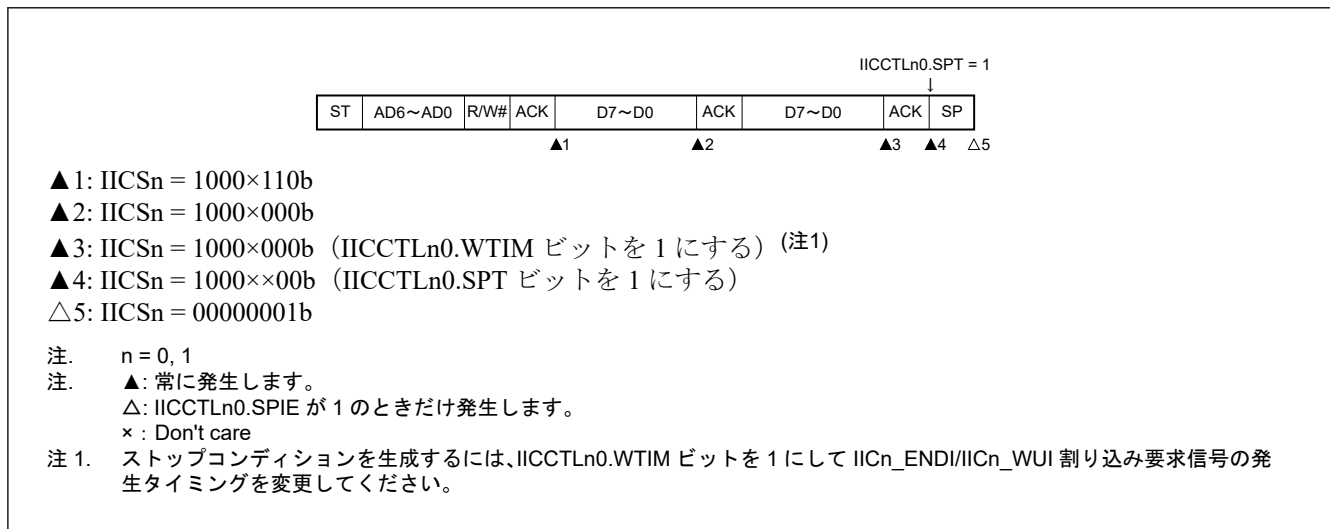


図 24.23 マスタデバイスの動作（受信／送信）(IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

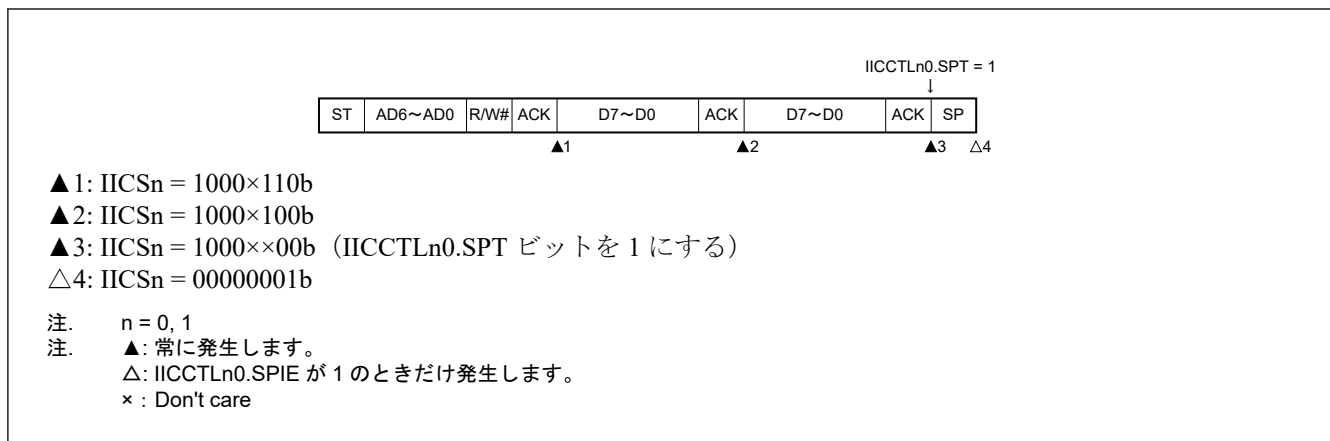


図 24.24 マスタデバイスの動作（受信／送信）(IICCTLn0.WTIM が 1 の場合)

(b) ST...アドレス...データ...ST...アドレス...データ...SP（リスタート）

1.IICCTLn0.WTIM が 0 の場合

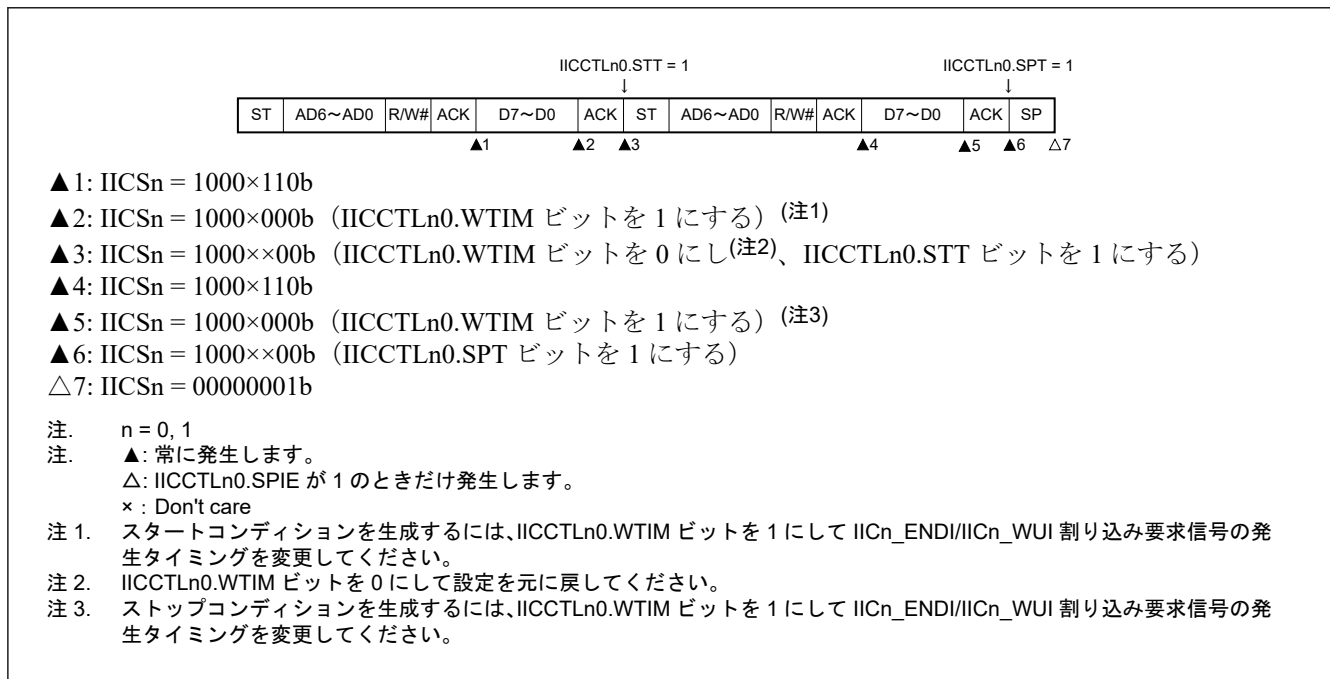


図 24.25 マスタデバイスのリスタート動作 (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

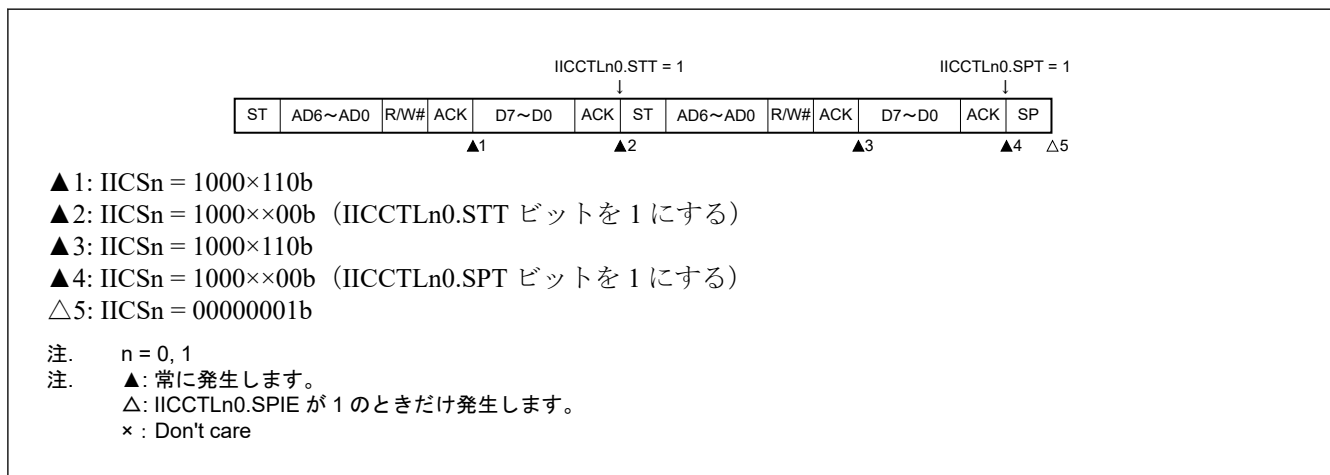


図 24.26 マスタデバイスのリスタート動作 (IICCTLn0.WTIM が 1 の場合)

(c) ST...コード...データ...データ...SP (拡張コード送信)

1.IICCTLn0.WTIM が 0 の場合

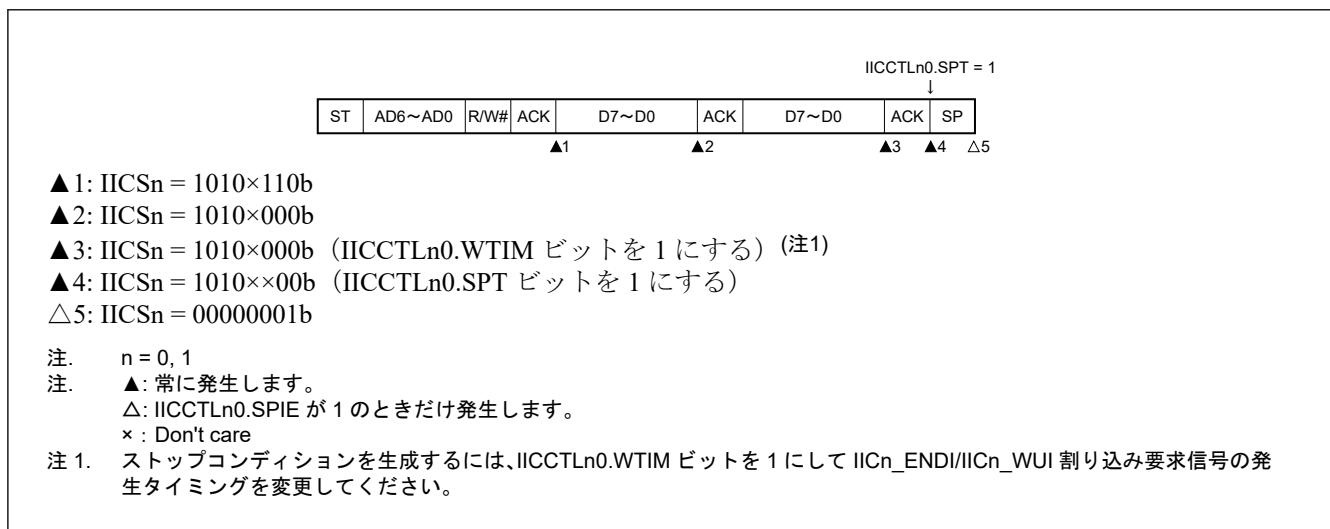


図 24.27 マスタデバイスの拡張コード送信動作 (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

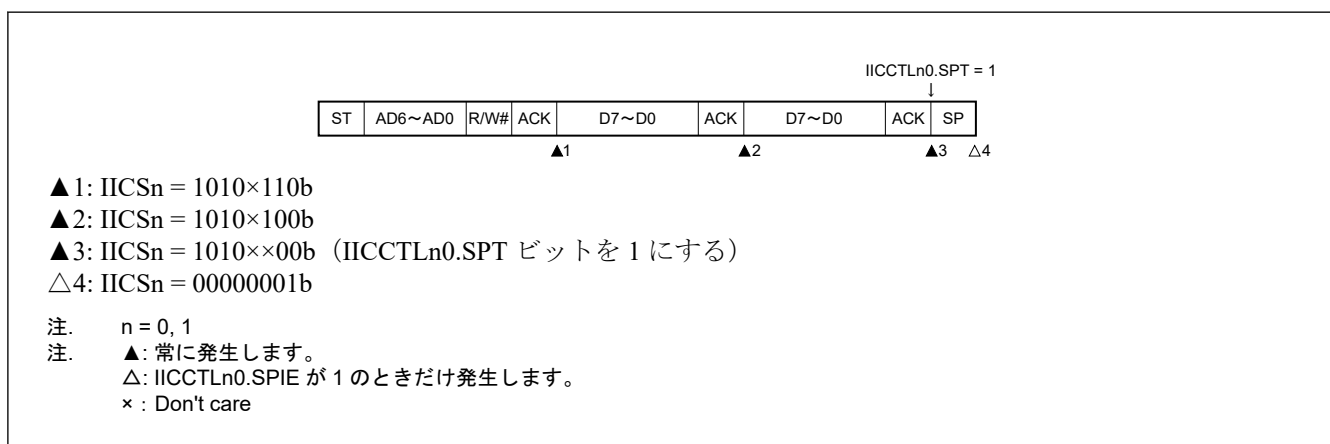


図 24.28 マスタデバイスの拡張コード送信動作 (IICCTLn0.WTIM が 1 の場合)

(2) スレーブデバイスの動作 (スレーブアドレスデータ受信)

(a) ST...アドレス...データ...データ...SP

1.IICCTLn0.WTIM が 0 の場合

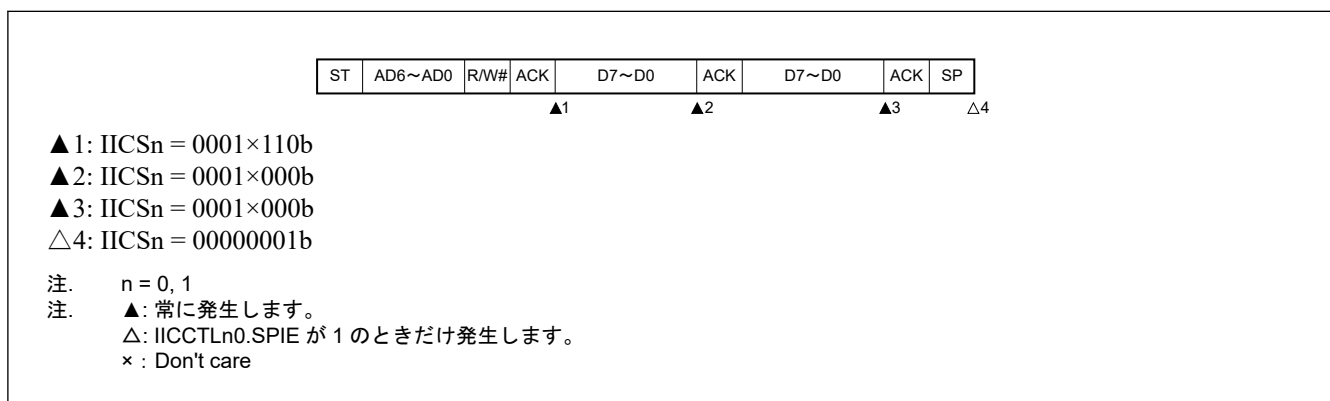


図 24.29 スレーブデバイスのスレーブアドレスデータ受信動作 (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

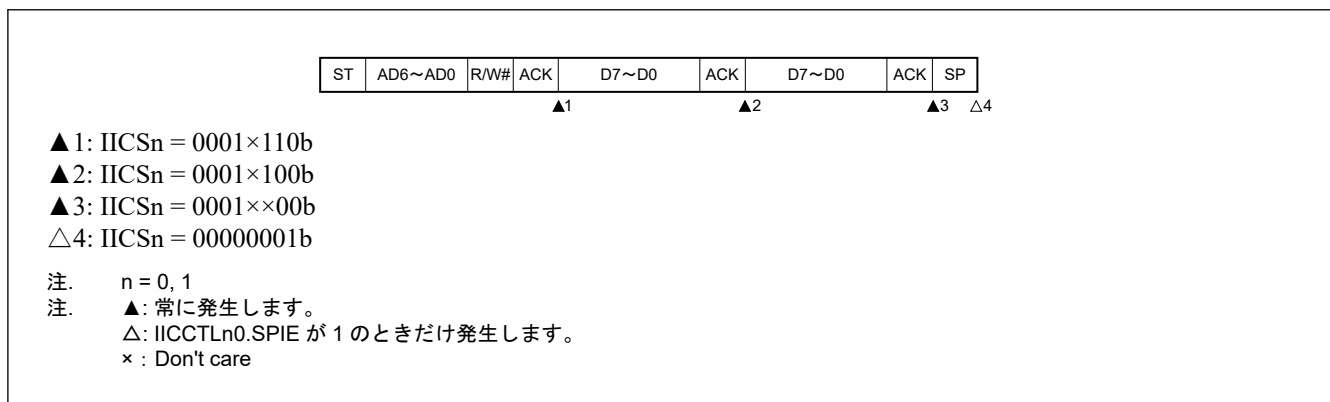


図 24.30 スレーブデバイスのスレーブアドレスデータ受信動作 (IICCTLn0.WTIM が 1 の場合)

(b) ST...アドレス...データ...ST...アドレス...データ...SP

1.IICCTLn0.WTIM が 0 の場合 (リスタート後、SVAn 一致、全アドレス一致機能は無効)

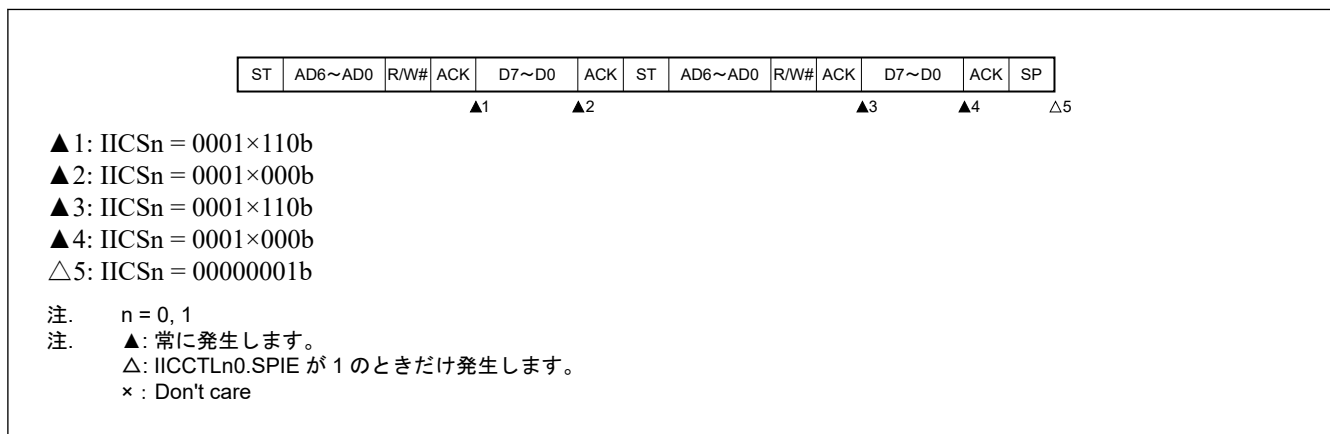


図 24.31 通常アクセス、SVAn との一致後のスレーブデバイスの動作 (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合 (リスタート後、SVAn 一致、全アドレス一致機能は無効)

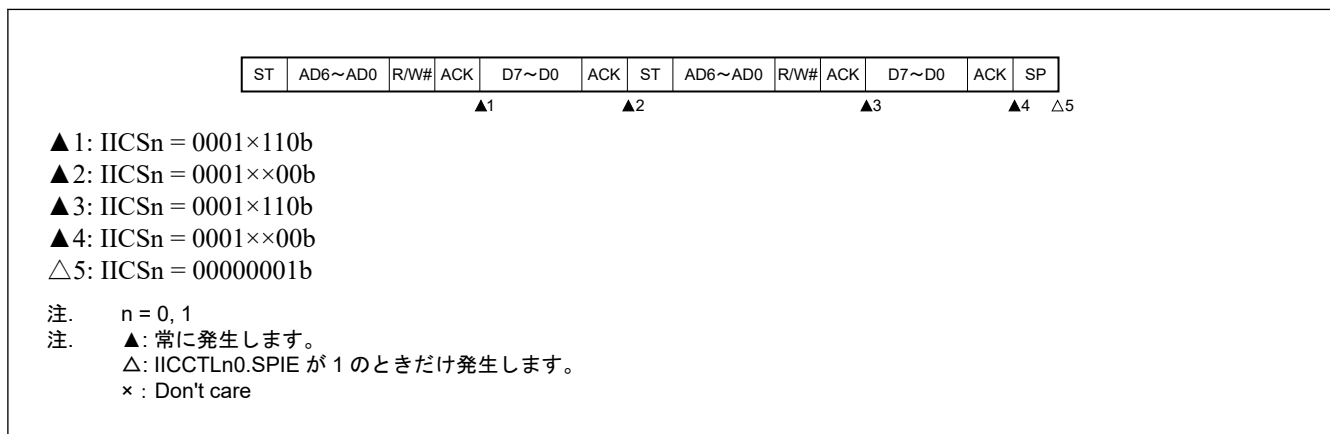


図 24.32 通常アクセス、SVAn との一致後のスレーブデバイスの動作 (IICCTLn0.WTIM が 1 の場合)

(c) ST...アドレス...データ...ST...コード...データ...SP

1.IICCTLn0.WTIM が 0 の場合

(リスタート後、アドレス不一致 (= 拡張コード、全アドレス一致機能は無効))

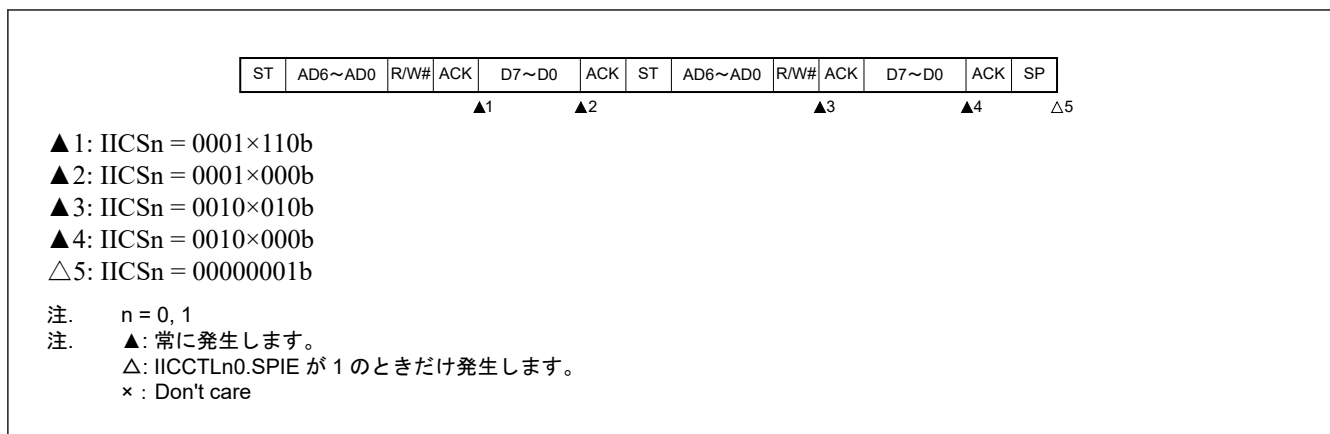


図 24.33 通常アクセス、拡張コードとの一致後のスレーブデバイスの動作 (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

(リスタート後、アドレス不一致 (= 拡張コード、全アドレス一致機能は無効))

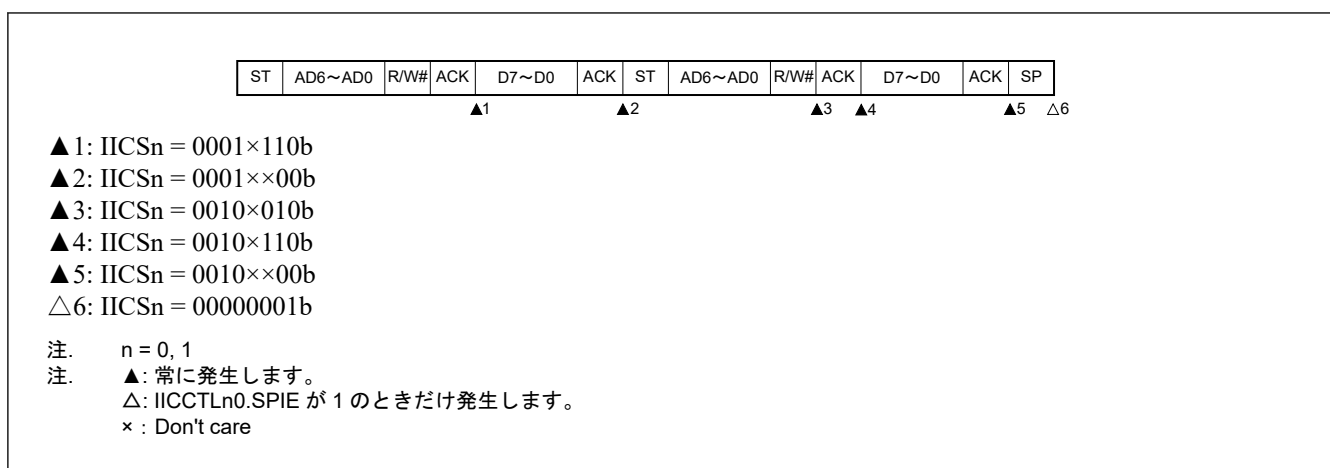


図 24.34 通常アクセス、拡張コードとの一致後のスレーブデバイスの動作 (IICCTLn0.WTIM が 1 の場合)

(d) ST...アドレス...データ...ST...アドレス...データ...SP**1.IICCTLn0.WTIM が 0 の場合**

(リスタート後、アドレス不一致 (= 拡張コード以外、全アドレス一致機能は無効))

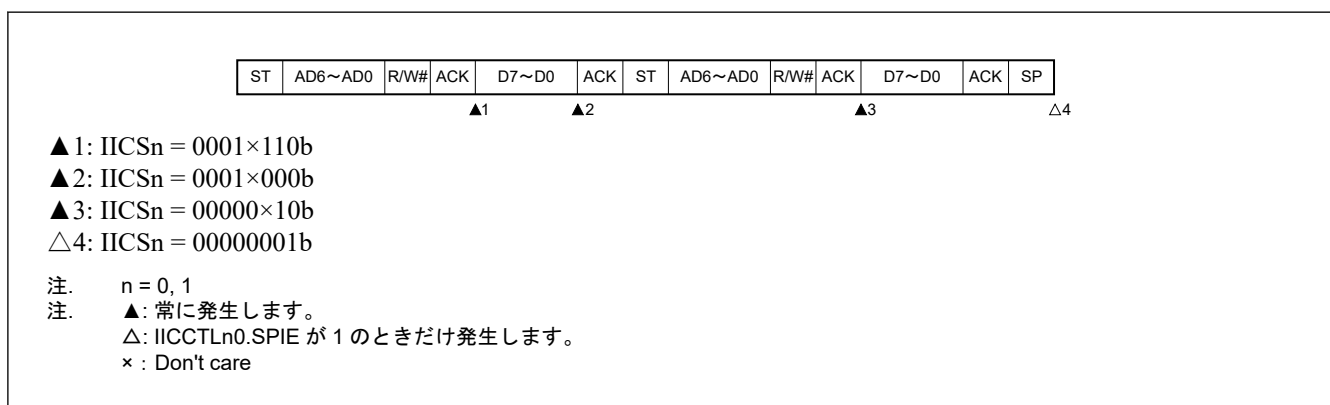


図 24.35 通常アクセス、不一致後のスレーブデバイスの動作 (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

(リスタート後、アドレス不一致 (= 拡張コード以外、全アドレス一致機能は無効))

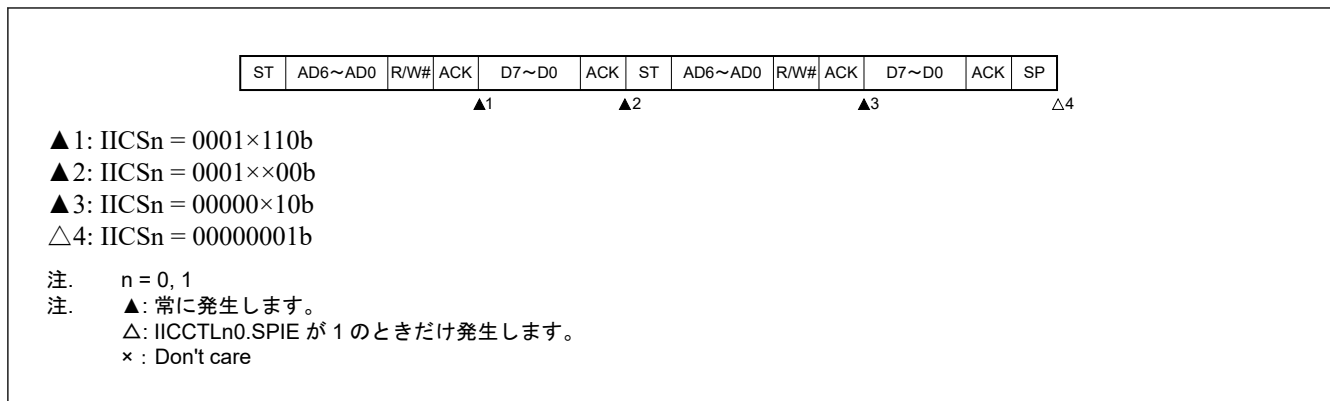


図 24.36 通常アクセス、不一致後のスレーブデバイスの動作 (IICCTLn0.WTIM が 1 の場合)

(3) スレーブデバイスの動作 (拡張コード受信および全アドレス一致機能無効の場合)

デバイスが拡張コードを受信する時は常に通信に参加しています。

(a) ST...コード...データ...データ...SP

1.IICCTLn0.WTIM が 0 の場合

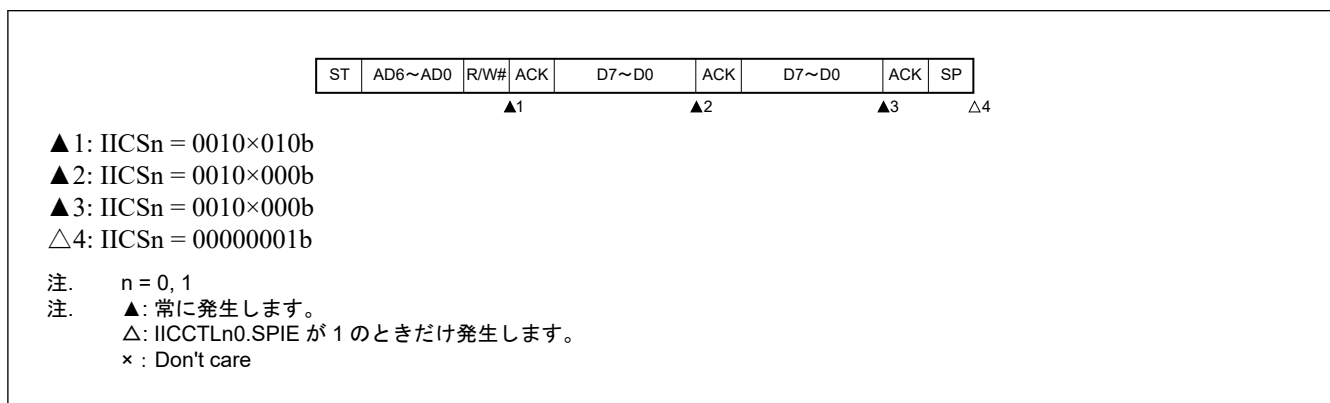


図 24.37 スレーブデバイスの拡張コード受信動作 (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

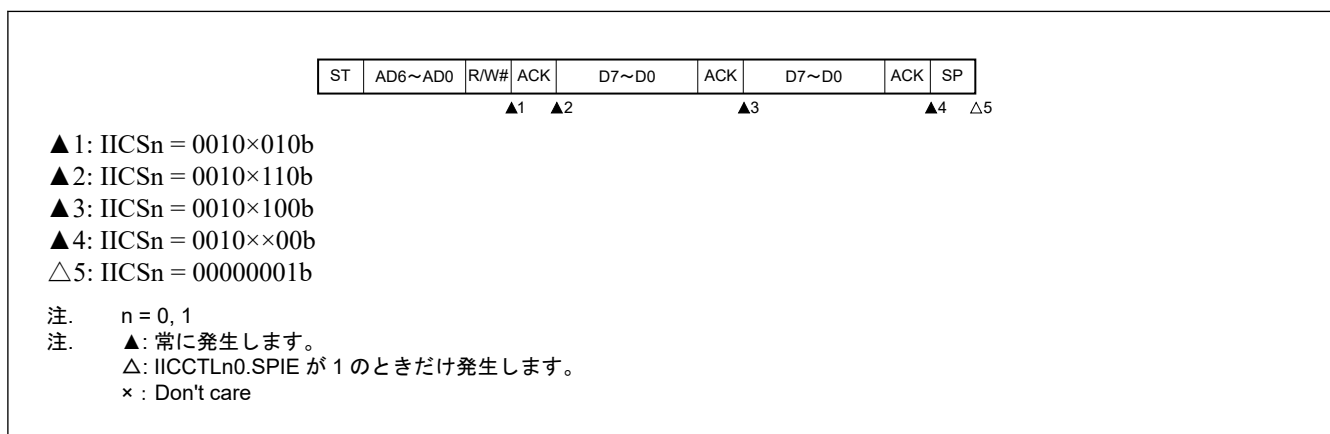


図 24.38 スレーブデバイスの拡張コード受信動作 (IICCTLn0.WTIM が 1 の場合)

(b) ST...コード...データ...ST...アドレス...データ...SP

1.IICCTLn0.WTIM が 0 の場合（リスタート後、SVAn 一致、全アドレス一致機能は無効）

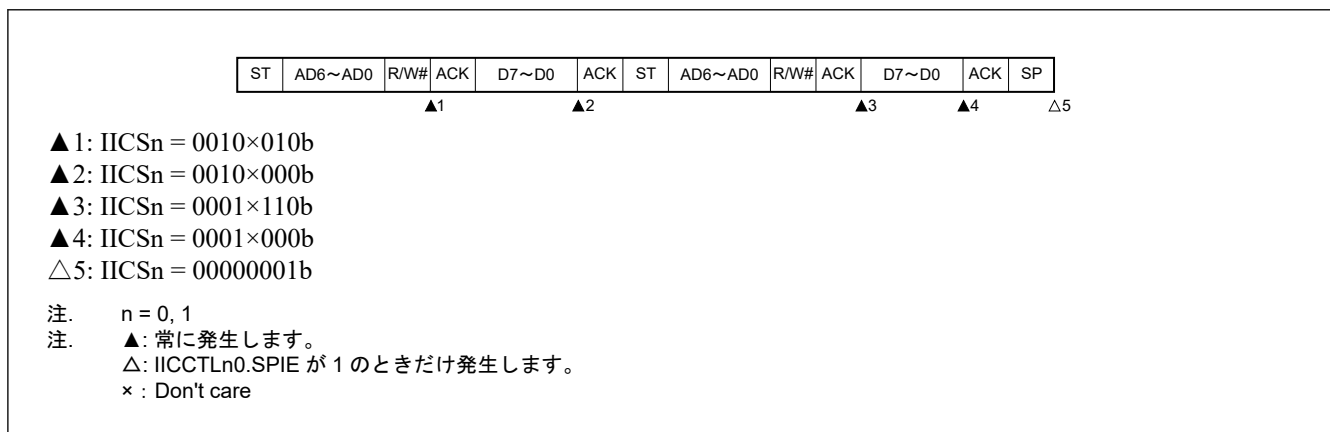


図 24.39 コードアクセス、SVAn との一致後のスレーブデバイスの動作（IICCTLn0.WTIM が 0 の場合）

2.IICCTLn0.WTIM が 1 の場合（リスタート後、SVAn 一致、全アドレス一致機能は無効）

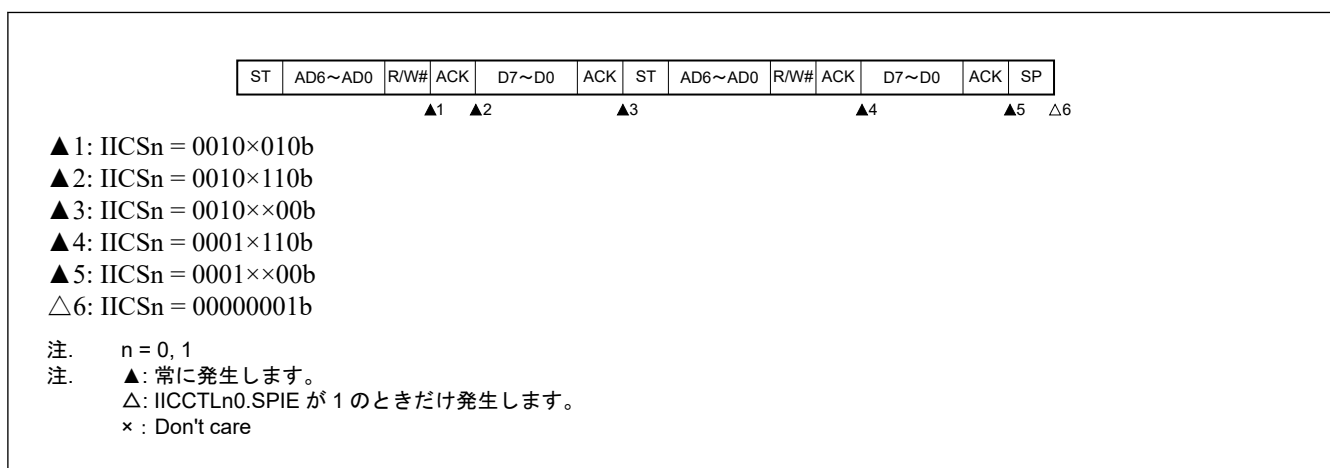


図 24.40 コードアクセス、SVAn との一致後のスレーブデバイスの動作（IICCTLn0.WTIM が 1 の場合）

(c) ST...コード...データ...ST...コード...データ...SP

1.IICCTLn0.WTIM が 0 の場合（リスタート後、拡張コード受信、全アドレス一致機能は無効）

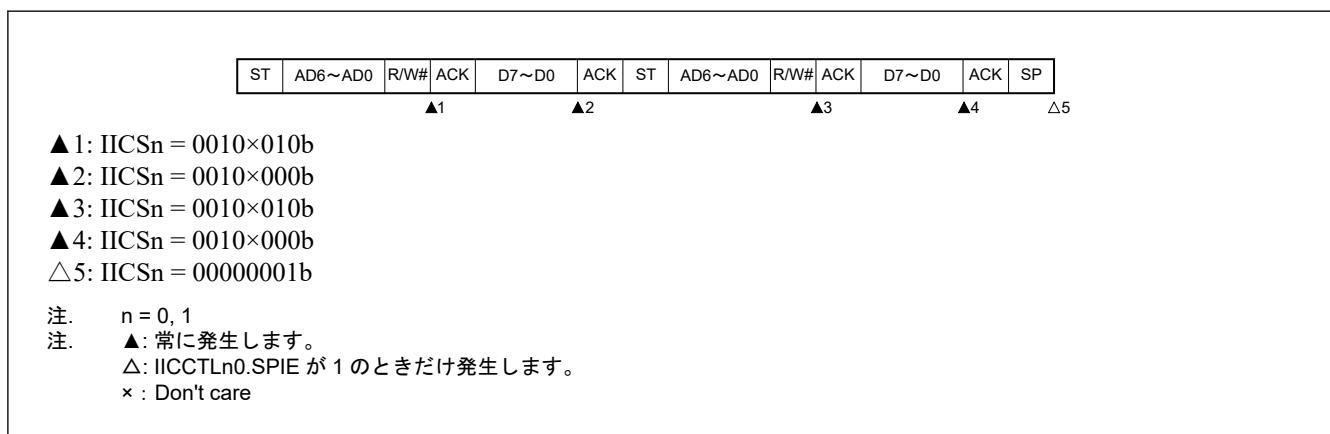
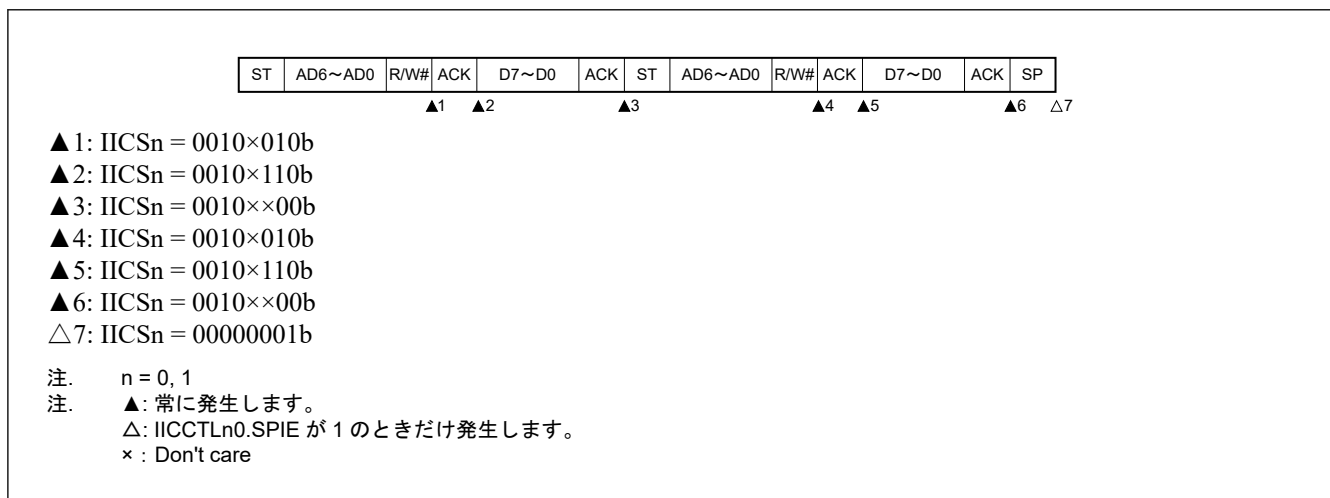
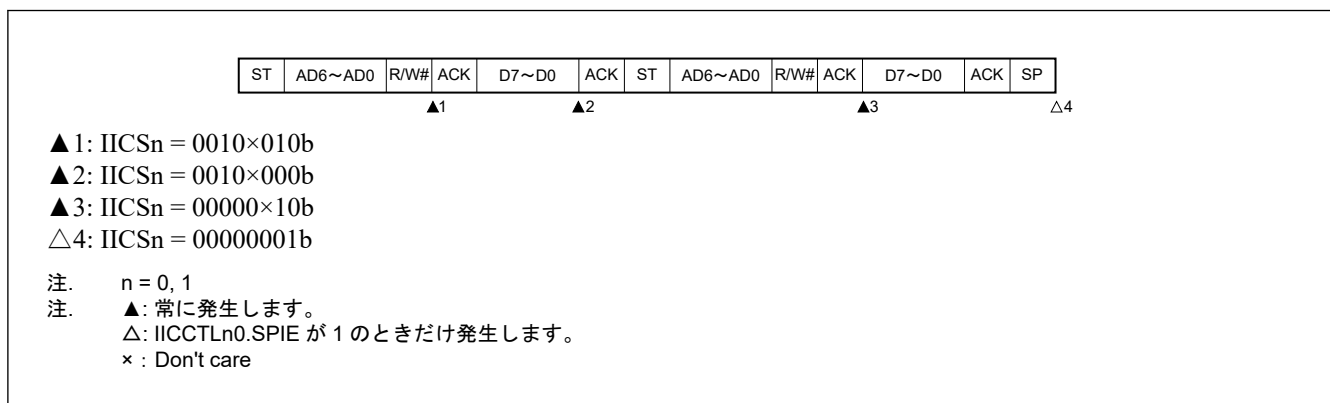


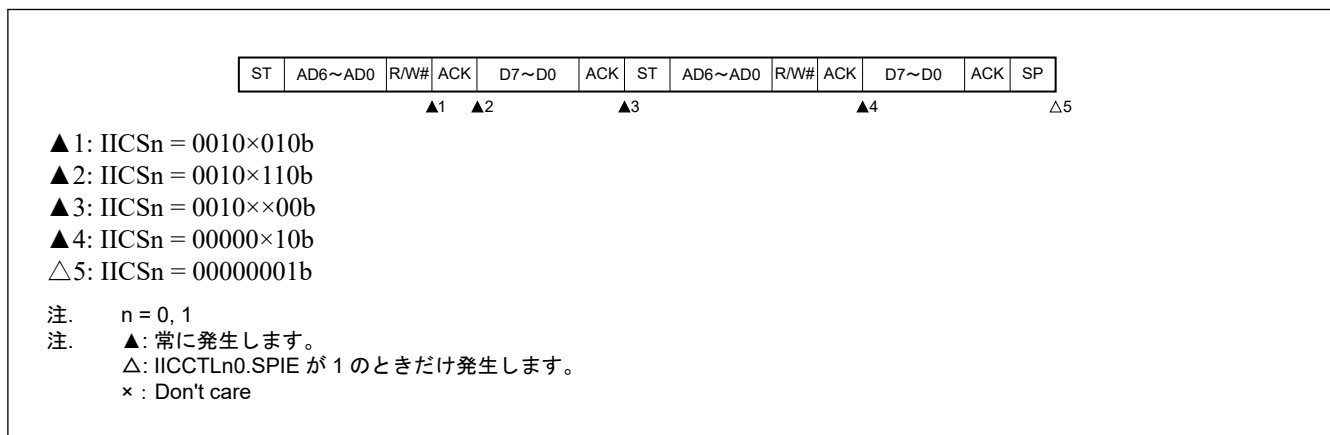
図 24.41 コードアクセス、拡張コードとの一致後のスレーブデバイスの動作（IICCTLn0.WTIM が 0 の場合）

IICCTLn0.WTIM が 1 の場合（リスタート後、拡張コード受信、全アドレス一致機能は無効）**図 24.42** コードアクセス、拡張コードとの一致後のスレーブデバイスの動作（IICCTLn0.WTIM が 1 の場合）**(d) ST...コード...データ...ST...アドレス...データ...SP****1.IICCTLn0.WTIM が 0 の場合**

（リスタート後、アドレス不一致（= 拡張コード以外、全アドレス一致機能は無効））

**図 24.43** コードアクセス、不一致後のスレーブデバイスの動作（IICCTLn0.WTIM が 0 の場合）**2.IICCTLn0.WTIM が 1 の場合**

（リスタート後、アドレス不一致（= 拡張コード以外、全アドレス一致機能は無効））

**図 24.44** コードアクセス、不一致後のスレーブデバイスの動作（IICCTLn0.WTIM が 1 の場合）

(4) 通信を伴わない動作

(a) ST...コード...データ...データ...SP

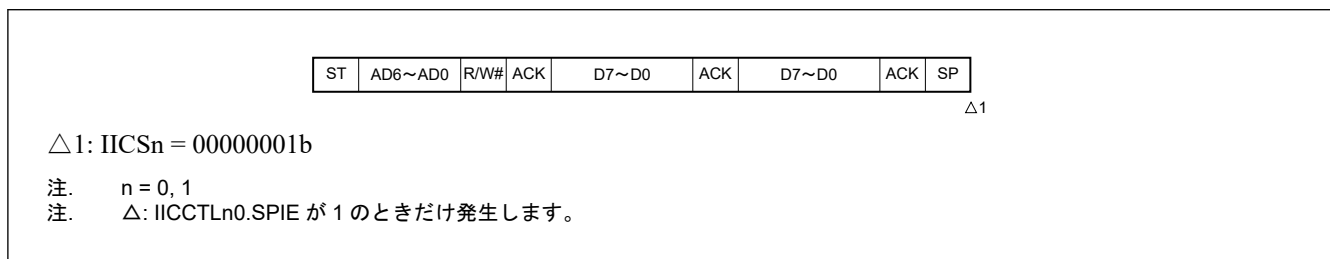


図 24.45 通信を伴わない動作

(5) アービトレーションロスト動作（アービトレーションロスト後のスレーブ動作）

マルチマスタシステムにおいてデバイスがマスタとして使用されている場合、割り込み要求信号の IICn_ENDI/ IICn_WUI が発生するたびに IICSn.MSTS ビットを読んでアービトレーションの結果を確認してください。

(a) スレーブアドレスデータの送信時にアービトレーションロストが発生した場合

1.IICCTLn0.WTIM が 0 の場合

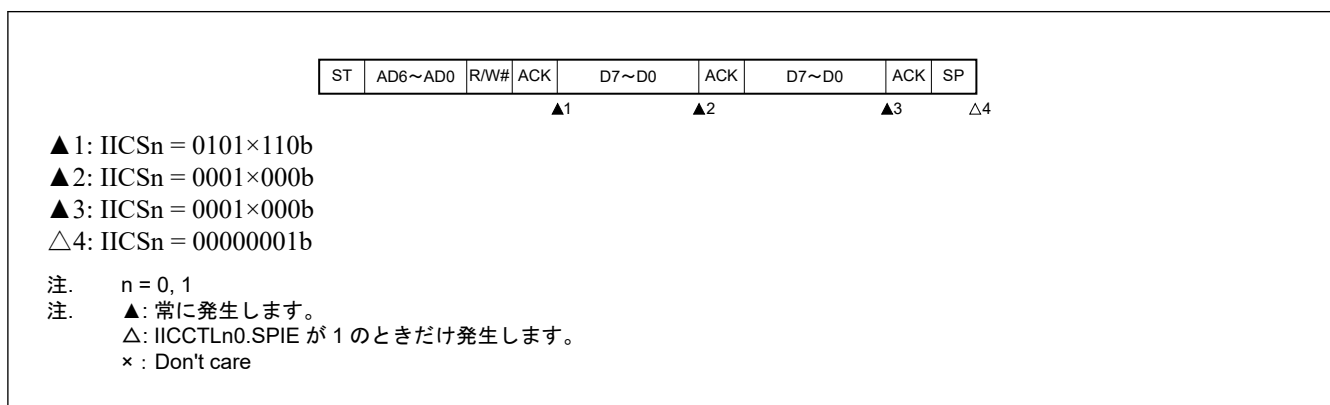


図 24.46 スレーブアドレスデータ送信時のアービトレーションロスト（IICCTLn0.WTIM が 0 の場合）

2.IICCTLn0.WTIM が 1 の場合

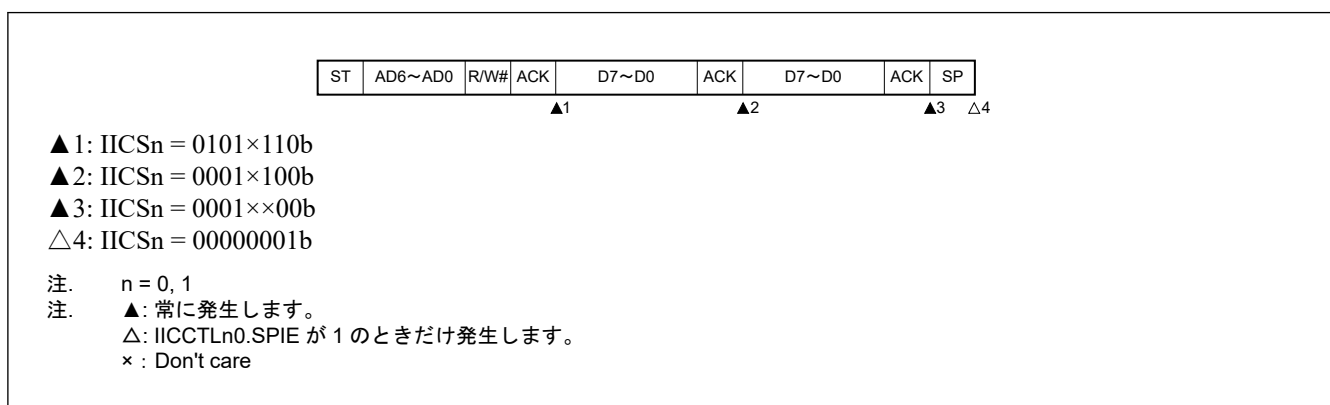


図 24.47 スレーブアドレスデータ送信時のアービトレーションロスト（IICCTLn0.WTIM が 1 の場合）

(b) 拡張コードの送信時にアービトレーションロストが発生した場合（全アドレス一致機能は無効）

1.IICCTLn0.WTIM が 0 の場合

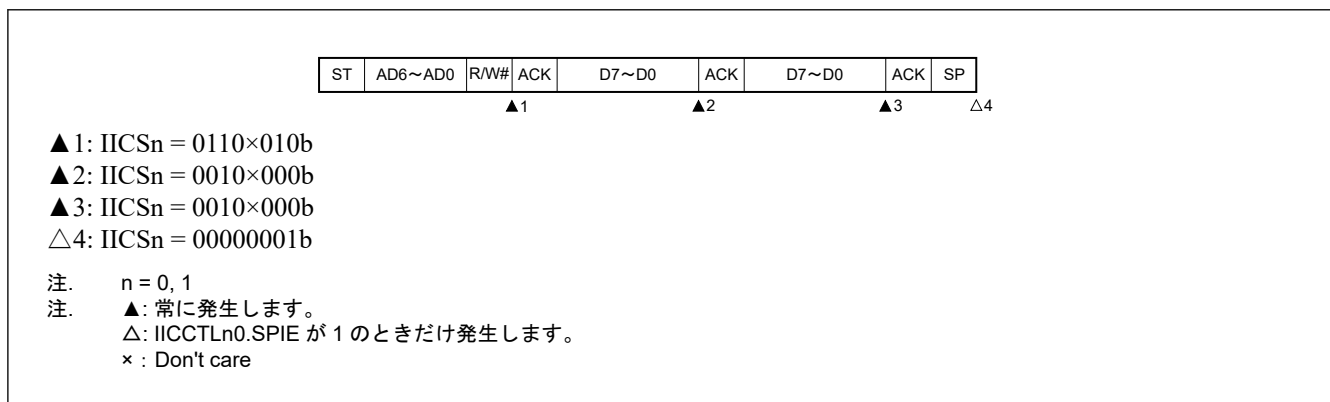


図 24.48 拡張コード送信時のアービトレーションロスト (IICCTLn0.WTIM が 0 の場合)

2.IICCTLn0.WTIM が 1 の場合

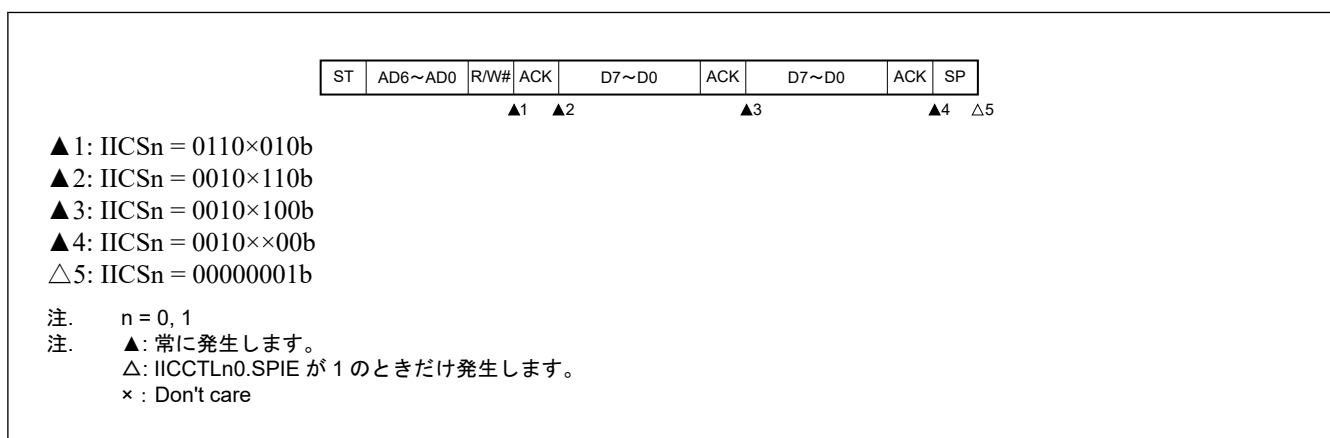


図 24.49 拡張コード送信時のアービトレーションロスト (IICCTLn0.WTIM が 1 の場合)

(6) アービトレーションロスト発生時の動作 (アービトレーションロスト後に通信なし)

マルチマスタシステムにおいてデバイスがマスタとして使用されている場合、割り込み要求信号の IICn_ENDI/ IICn_WUI が発生するたびに IICSn.MSTS ビットを読んでアービトレーションの結果を確認してください。

(a) スレーブアドレスデータの送信時にアービトレーションロストが発生した場合 (IICCTLn0.WTIM が 1 の場合)

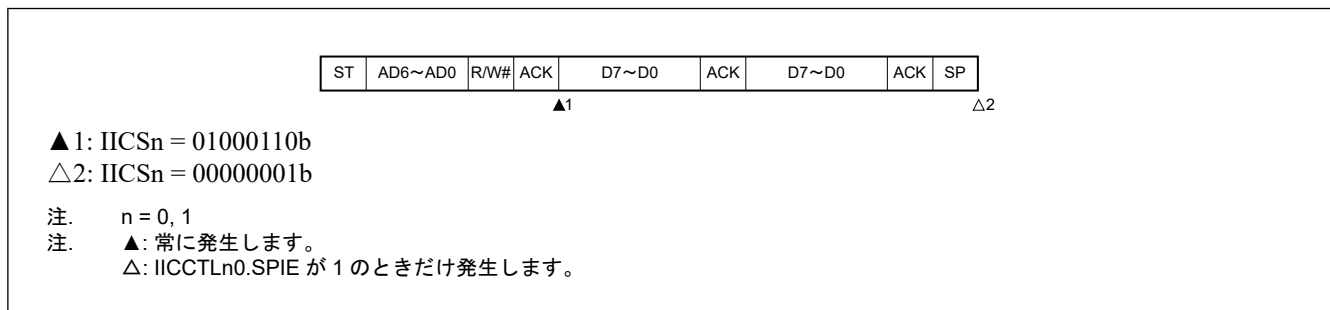


図 24.50 スレーブアドレスデータ転送時にアービトレーションロストが発生した場合の動作 (IICCTLn0.WTIM が 1 の場合)

(b) 拡張コードの送信時にアービトレーションロストが発生した場合（全アドレス一致機能は無効）

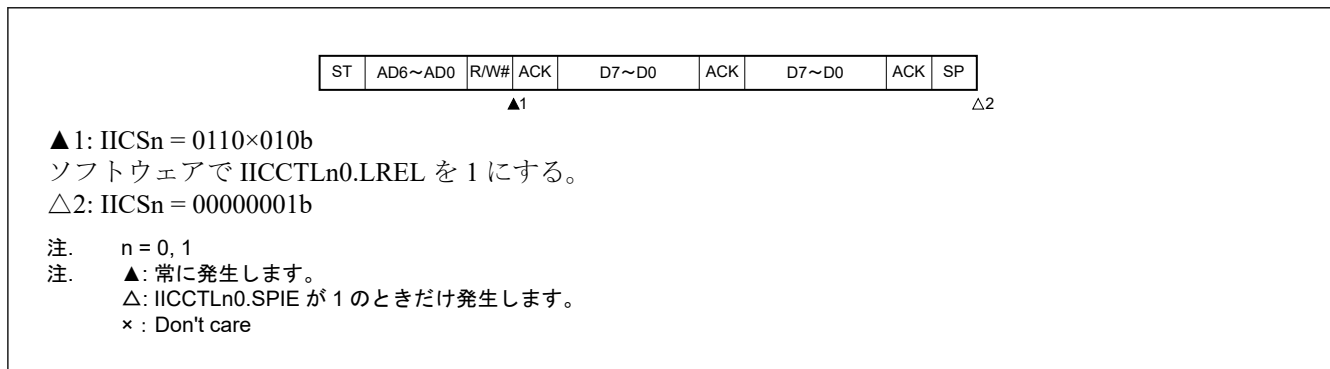


図 24.51 拡張コード転送時にアービトレーションロストが発生した場合の動作

(c) データの送信時にアービトレーションロストが発生した場合

1. IICCTLn0.WTIM が 0 の場合

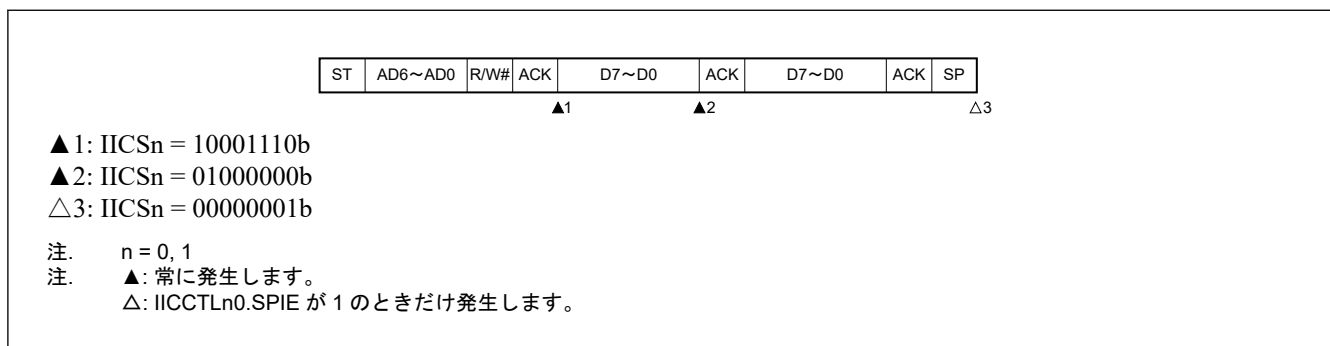


図 24.52 データ転送時にアービトレーションロストが発生した場合の動作（IICCTLn0.WTIM が 0 の場合）

2. IICCTLn0.WTIM が 1 の場合

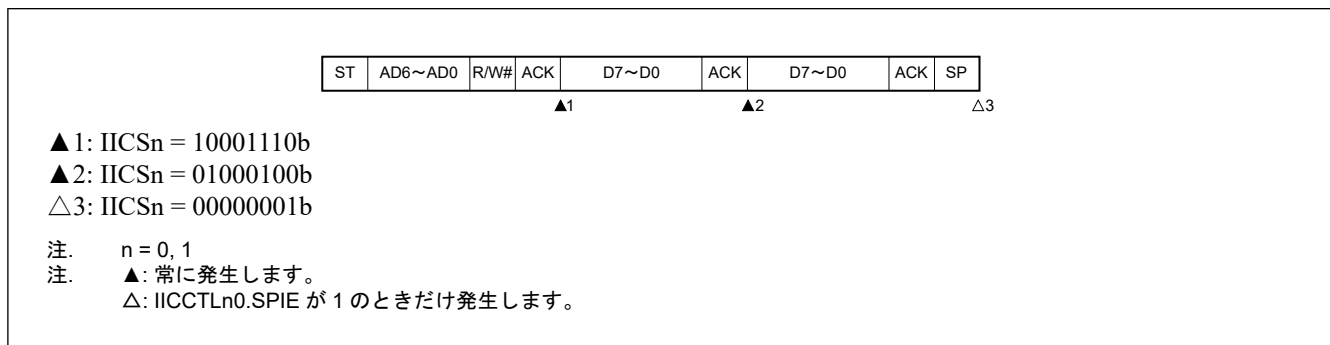


図 24.53 データ転送時にアービトレーションロストが発生した場合の動作（IICCTLn0.WTIM が 1 の場合）

(d) データ転送時にリスタートコンディションによりアービトレーションロストが発生した場合

1. 拡張コード以外（例：SVAn と不一致、全アドレス一致機能無効）

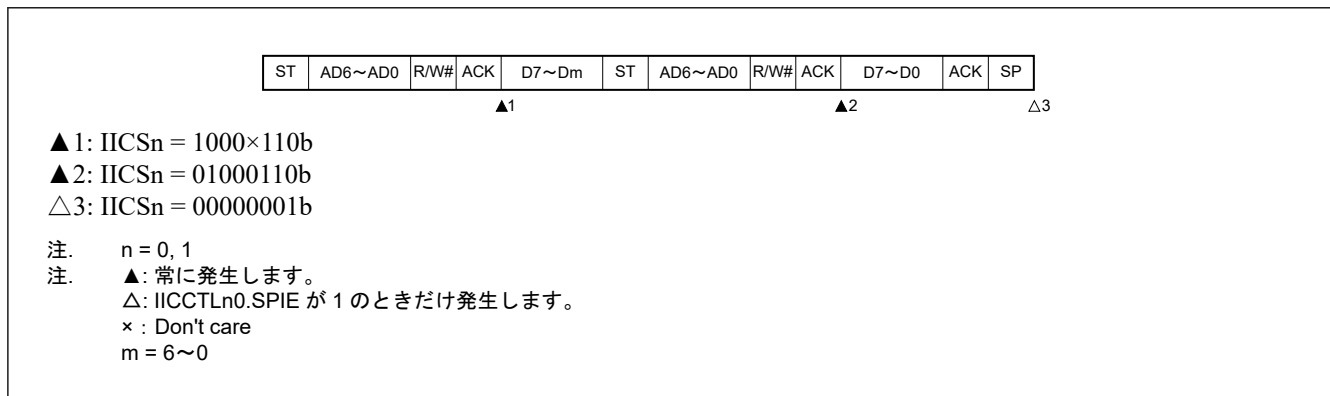


図 24.54 データ転送時にリスタートによりアービトレーションロストが発生した場合の動作（拡張コード以外）

2. 拡張コード（全アドレス一致機能無効）

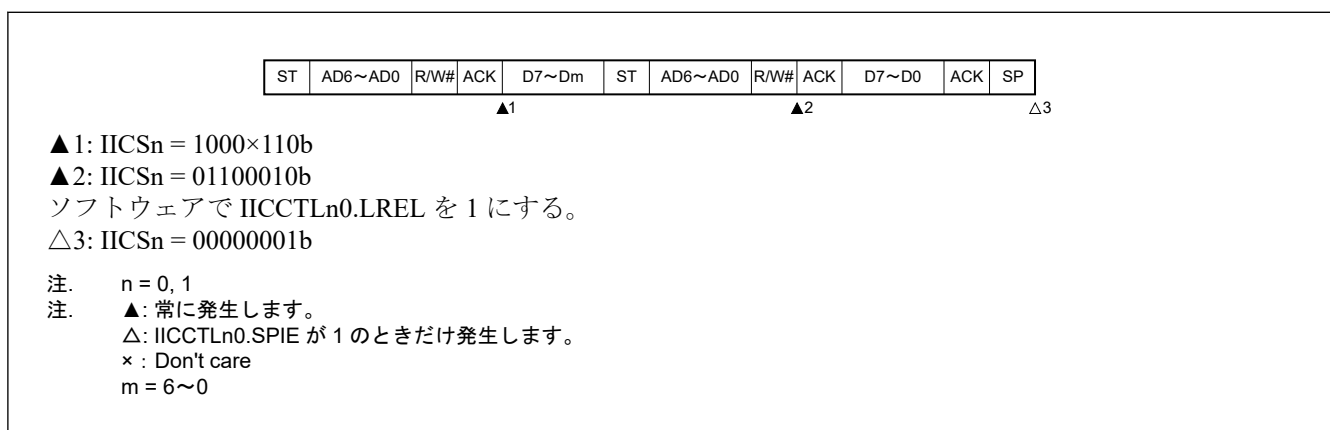


図 24.55 データ転送時にリスタートによりアービトレーションロストが発生した場合の動作（拡張コード）

(e) データ転送時にストップコンディションによりアービトレーションロストが発生した場合

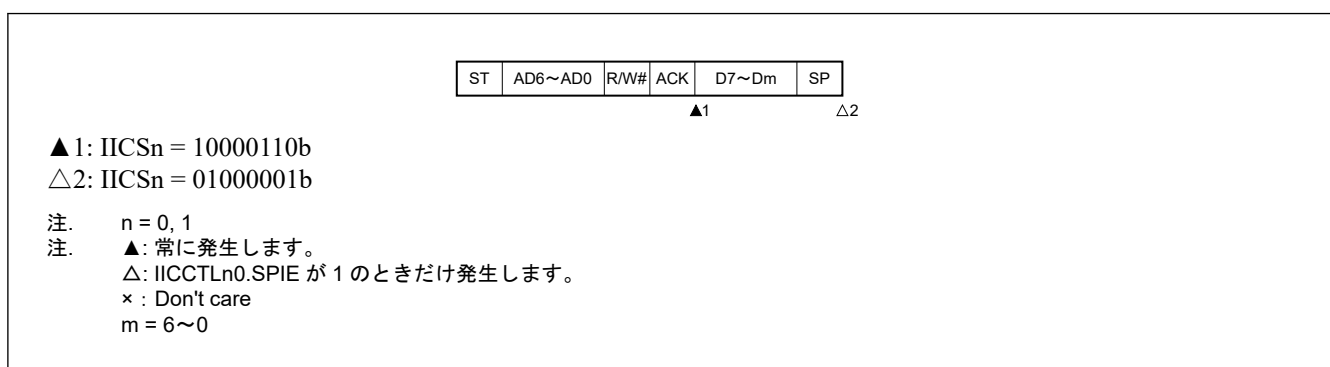


図 24.56 データ転送時にストップコンディションによりアービトレーションロストが発生した場合の動作

(f) リスタートコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合

1. IICCTLn0.WTIM が 0 の場合

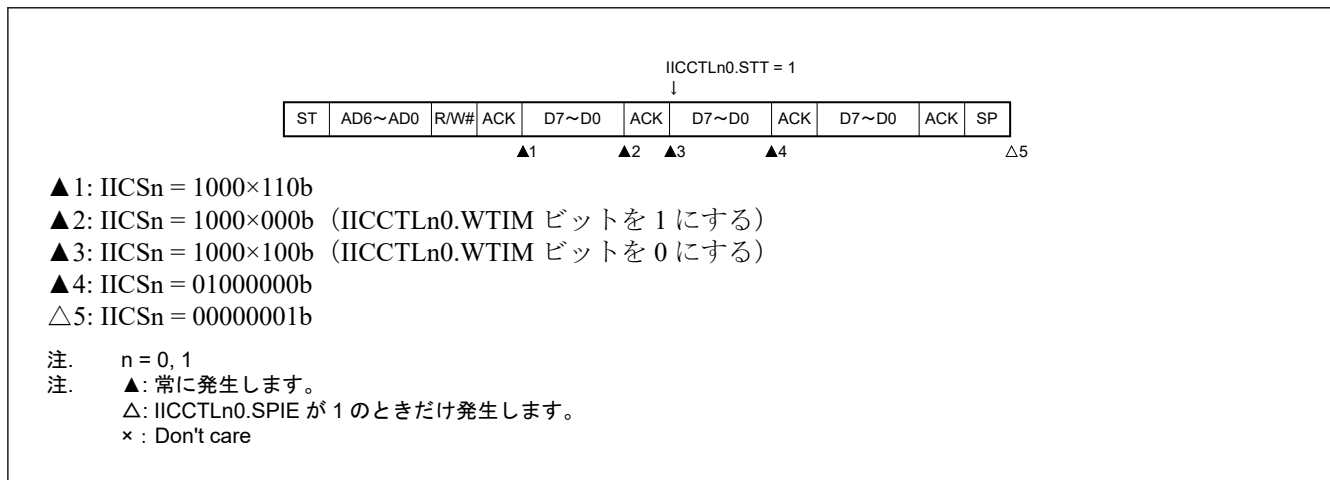


図 24.57 リスタートコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTLn0.WTIM = 0)

2. IICCTLn0.WTIM が 1 の場合

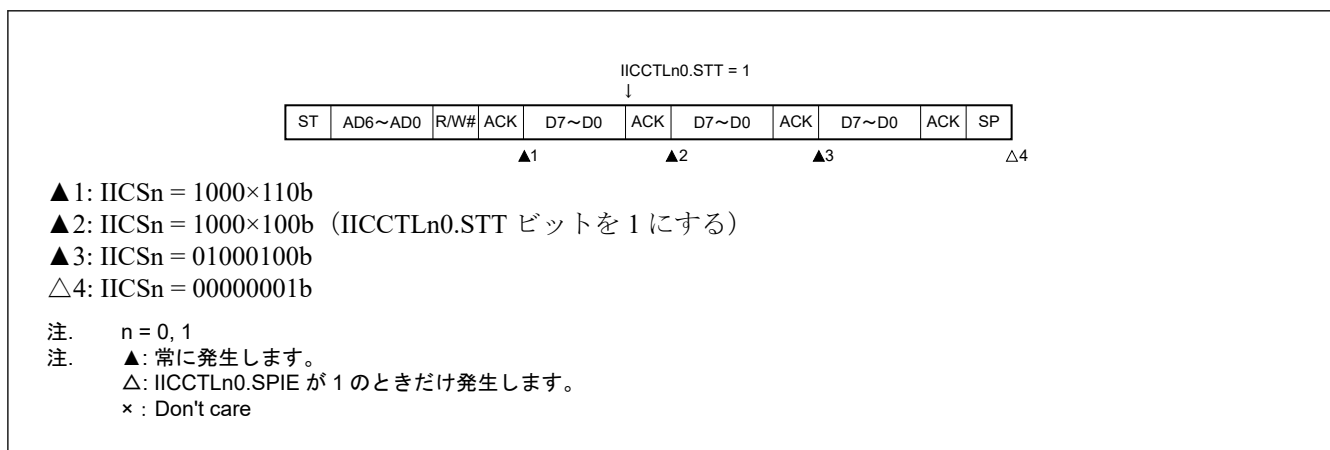


図 24.58 リスタートコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTLn0.WTIM = 1)

(g) リスタートコンディションの生成を試みた時にストップコンディションによりアービトレーションロストが発生した場合

1. IICCTLn0.WTIM が 0 の場合

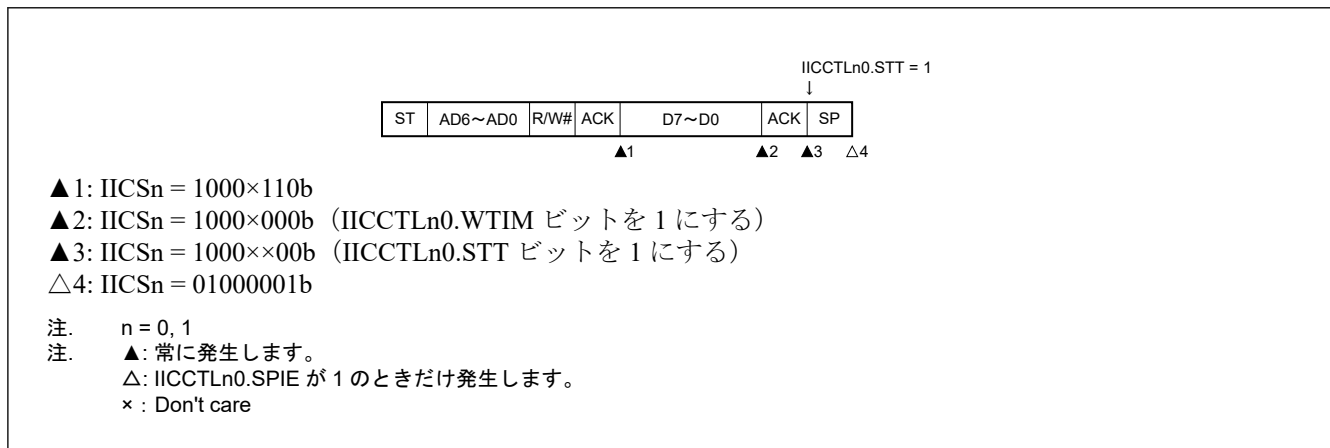


図 24.59 リスタートコンディションの生成を試みた時にストップコンディションによりアービトレーションロストが発生した場合の動作 (IICCTLn0.WTIM = 0)

2. IICCTLn0.WTIM が 1 の場合

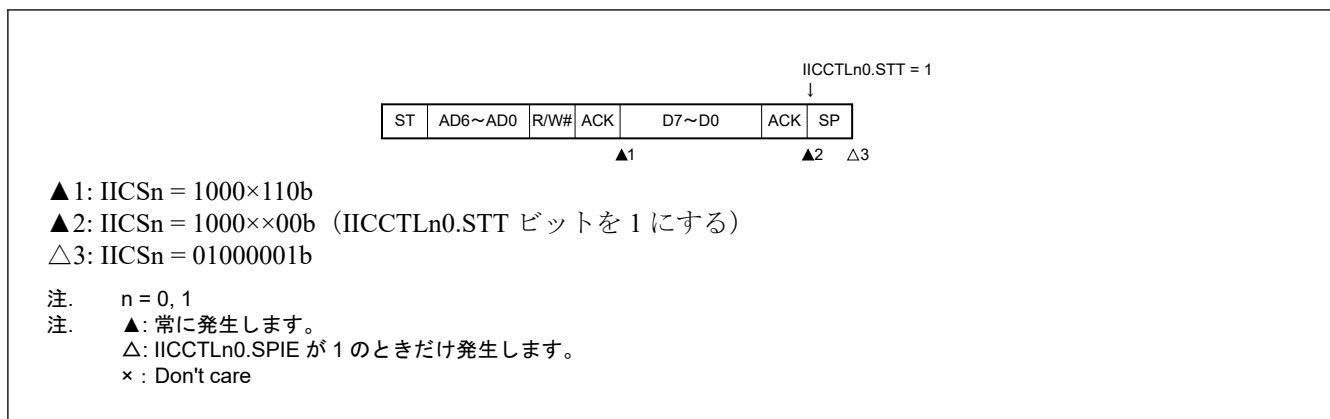


図 24.60 リスタートコンディションの生成を試みた時にストップコンディションによりアービトレーションロストが発生した場合の動作 (IICCTLn0.WTIM = 1)

(h) ストップコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合

1.IICCTLn0.WTIM が 0 の場合

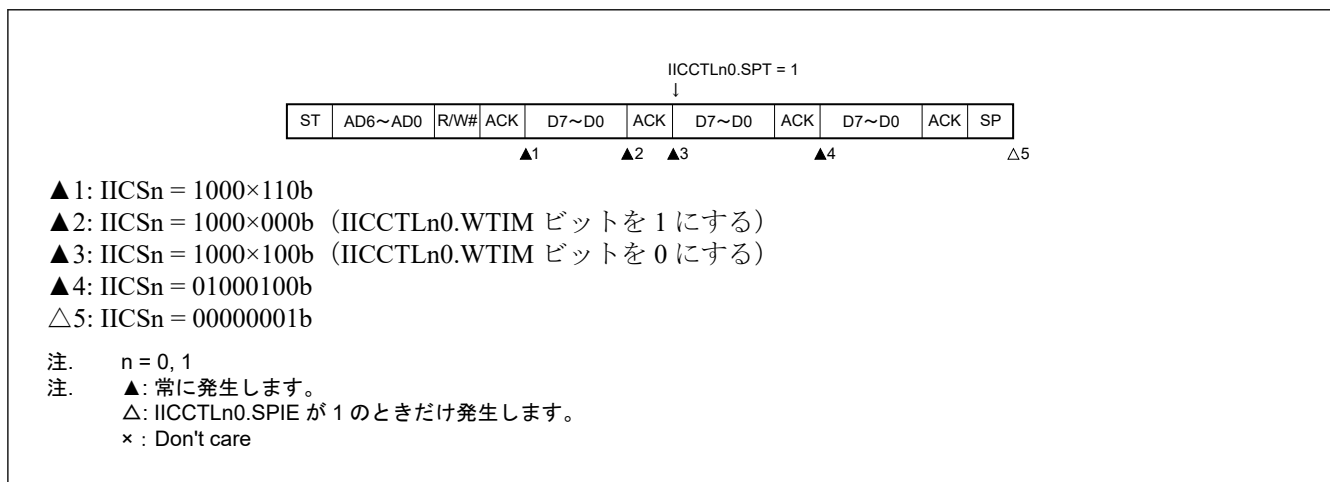


図 24.61 ストップコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTLn0.WTIM = 0)

2.IICCTLn0.WTIM が 1 の場合

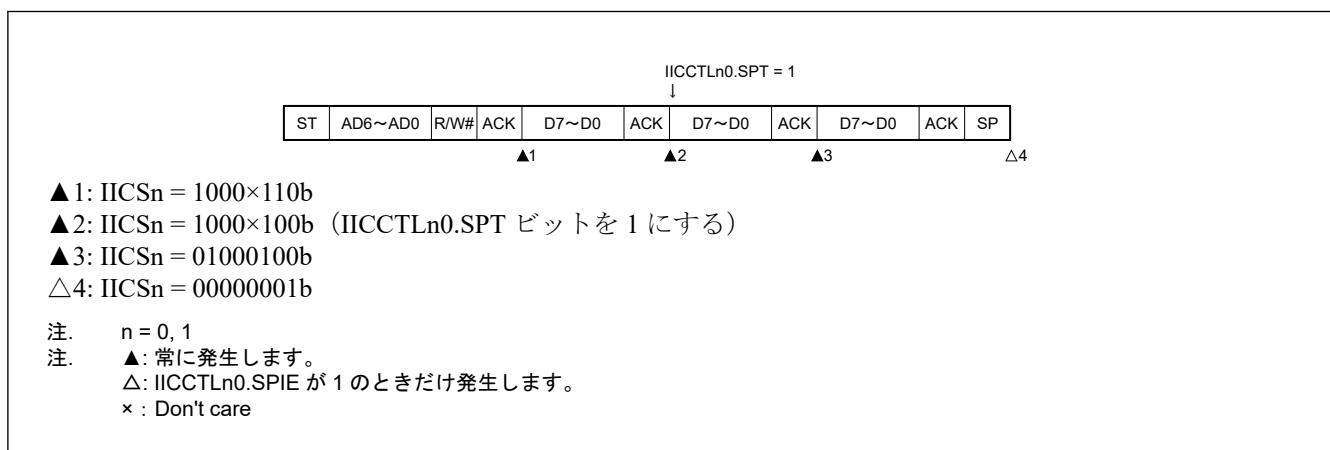


図 24.62 ストップコンディションの生成を試みた時に Low レベルデータによりアービトレーションロストが発生した場合の動作 (IICCTLn0.WTIM = 1)

24.5 タイミングチャート

I²C バスモード使用時、マスタデバイスは、シリアルバスを通じてスレーブアドレスを出力し、通信相手となるスレーブデバイスを選択します。

マスタデバイスは、スレーブアドレス出力後、データ転送方向を指定する IICSn.TRC ビットを送信し、選択したスレーブデバイスとのシリアル通信を開始します。

(1) マスタからスレーブへ通信する場合の例 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合)と(2) スレーブからマスタへ通信する場合の例 (クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合)にデータ通信のタイミングチャートを示します。

IICA シフトレジスタ n (IICAn) のシフト動作はシリアルクロック (SCLAn) の立ち下がりエッジと同期します。送信データは SO ラッチに送られ SDAAn 端子で出力されます (MSB ファースト)。

SDAAn 端子を通じて入力されたデータは SCLAn の立ち上がりエッジで IICAn にキャプチャされます。

本節に示すタイミングチャートは、全アドレス一致機能が無効になっていることを前提としています。

(1) マスタからスレーブへ通信する場合の例 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合)

1. スタートコンディション → アドレス → データ

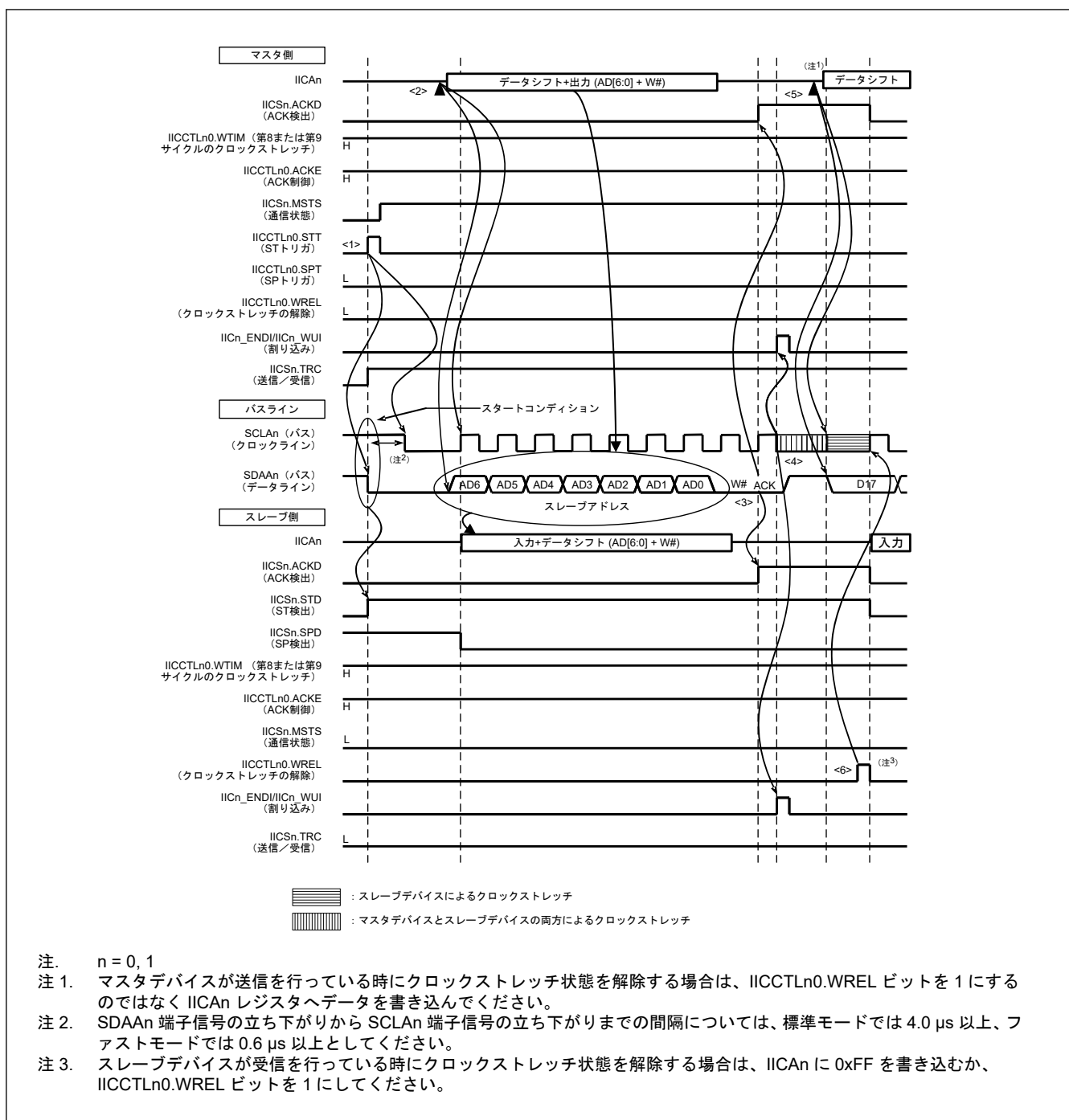


図 24.63 マスタからスレーブへ通信する場合の例 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合) (1/4)

図 24.63 の <1> ~ <6> の意味を以下に示します。

<1> マスタデバイスによってスタートコンディションのトリガが設定され (IICCTLn0.STT = 1)、バスデータライン (SDAAn) が Low になるとスタートコンディションが生成されます (SCLAn が 1 になり SDAAn が 1 から 0 に変わります)。

その後スタートコンディションが検出されると、マスタデバイスはマスタデバイス通信状態に入ります (IICSn.MSTS = 1)。ホールド時間経過後、バスクロックラインが Low に (SCLAn = 0) になるとマスタデバイスは通信可能な状態となります。

<2> マスタデバイスは「アドレス + W (送信)」を IICA シフトレジスタ n (IICAn) に書き込み、スレーブアドレスを送信します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス (SVAn 値) があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<4> マスタデバイスは第 9 クロックサイクルの立ち下がりエッジで IICn_ENDI/IICn_WUI 割り込み (アドレス送信の終了) を発生させます。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定 (SCLAn = 0) し、IICn_ENDI/IICn_WUI 割り込み (アドレス一致) を発生させます。

<5> マスタデバイスは送信データを IICAn レジスタに書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<6> スレーブデバイスがクロックストレッチ状態を解除する (IICCTLn0.WREL = 1) と、マスタデバイスはスレーブデバイスへのデータ転送を開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません (NACK: SDAAAn = 1)。スレーブデバイスも IICn_ENDI/IICn_WUI 割り込み (アドレス一致) を発生させず、クロックストレッチ状態も設定しません。

しかしながら、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、IICn_ENDI/IICn_WUI 割り込み (アドレス送信の終了) を発生させます。

注. (1) マスタからスレーブへ通信する場合の例 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合) の <1> ~ <15> は、I²C バスを使ってデータ通信を行う場合の完全な手順を示します。

図 24.63 に、<1> ~ <6> の各ステップの処理を示します。

図 24.64 に、<3> ~ <10> の各ステップの処理を示します。

図 24.65 に、<7> ~ <15> の各ステップの処理を示します。

2. アドレス → データ → データ

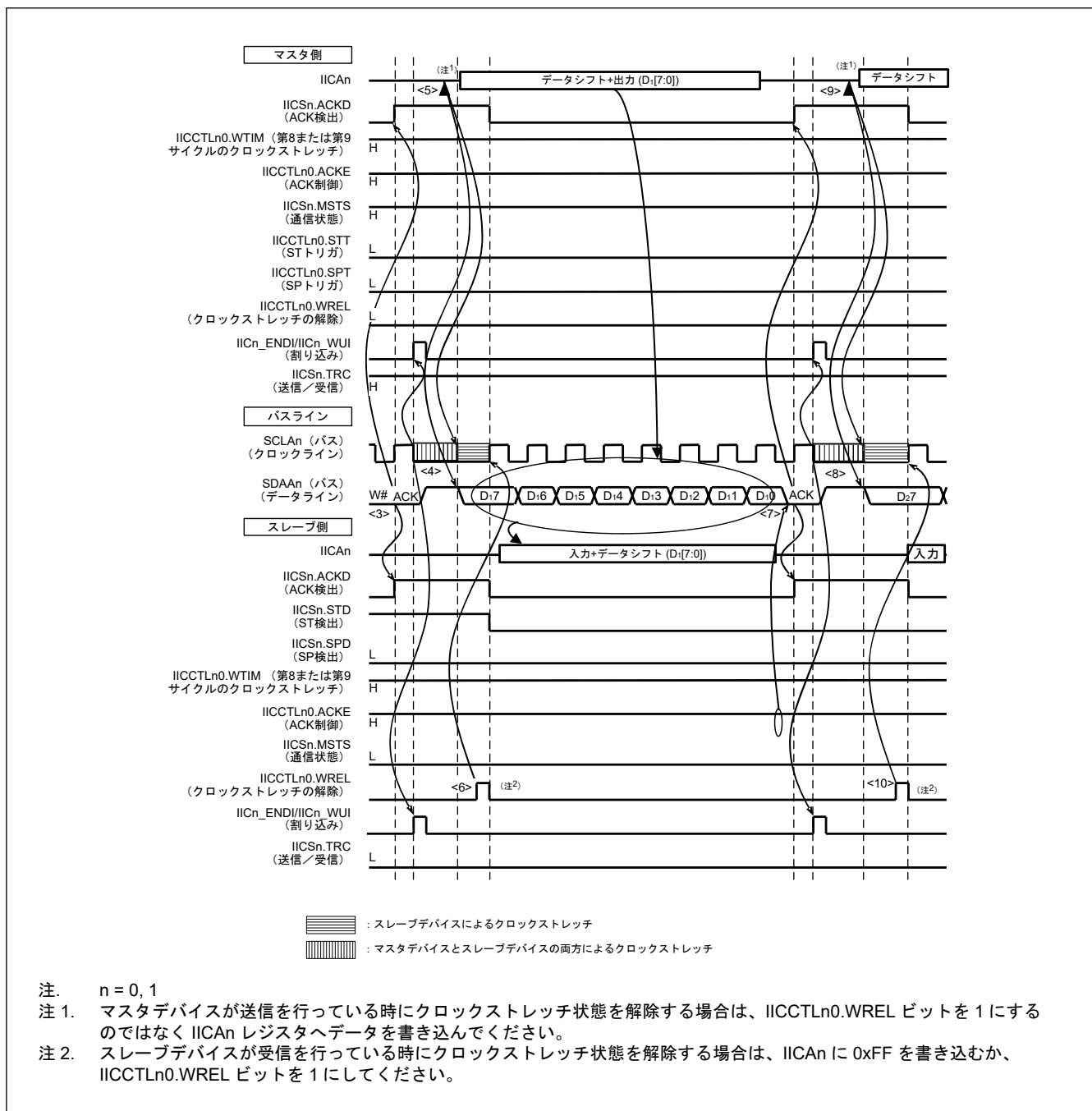


図 24.64 マスタからスレーブへ通信する場合 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合) (2/4)

図 24.64 の <3> ~ <10> の意味を以下に示します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス (SVAn 値) があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<4> マスタデバイスは第 9 クロックサイクルの立ち下がりエッジで IICn_ENDI/IICn_WUI 割り込み (アドレス送信の終了) を発生させます。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定 (SCLAn = 0) し、IICn_ENDI/IICn_WUI 割り込み (アドレス一致) を発生させます。

<5> マスタデバイスは送信データを IICA シフトレジスタ n (IICAn) に書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<6> スレーブデバイスがクロックストレッチ状態を解除する ($IICCTLn0.WREL = 1$) と、マスタデバイスはスレーブデバイスへのデータ転送を開始します。

<7> データ転送が完了すると $IICCTLn0.ACKE$ が 1 になるため、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します ($IICSn.ACKD = 1$)。

<8> マスタデバイスとスレーブデバイスは第 9 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し ($SCLAn = 0$)、両デバイスは $IICn\_ENDI/IICn\_WUI$ 割り込み (転送終了) を発生させます。

<9> マスタデバイスは送信データを $IICAn$ レジスタに書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<10> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します ($IICCTLn0.WREL = 1$)。マスタデバイスはスレーブデバイスへのデータ転送を開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません ($NACK: SDAAn = 1$)。スレーブデバイスも $IICn\_ENDI/IICn\_WUI$ 割り込み (アドレス一致) を発生させず、クロックストレッチ状態も設定しません。

しかしながら、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、 $IICn\_ENDI/IICn\_WUI$ 割り込み (アドレス送信の終了) を発生させます。

注. (1) マスタからスレーブへ通信する場合の例 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合)の <1> ~ <15> は、I²C バスを使ってデータ通信を行う場合の完全な手順を示します。

図 24.63 に、<1> ~ <6> の各ステップの処理を示します。

図 24.64 に、<3> ~ <10> の各ステップの処理を示します。

図 24.65 に、<7> ~ <15> の各ステップの処理を示します。

3. データ → データ → ストップコンディション

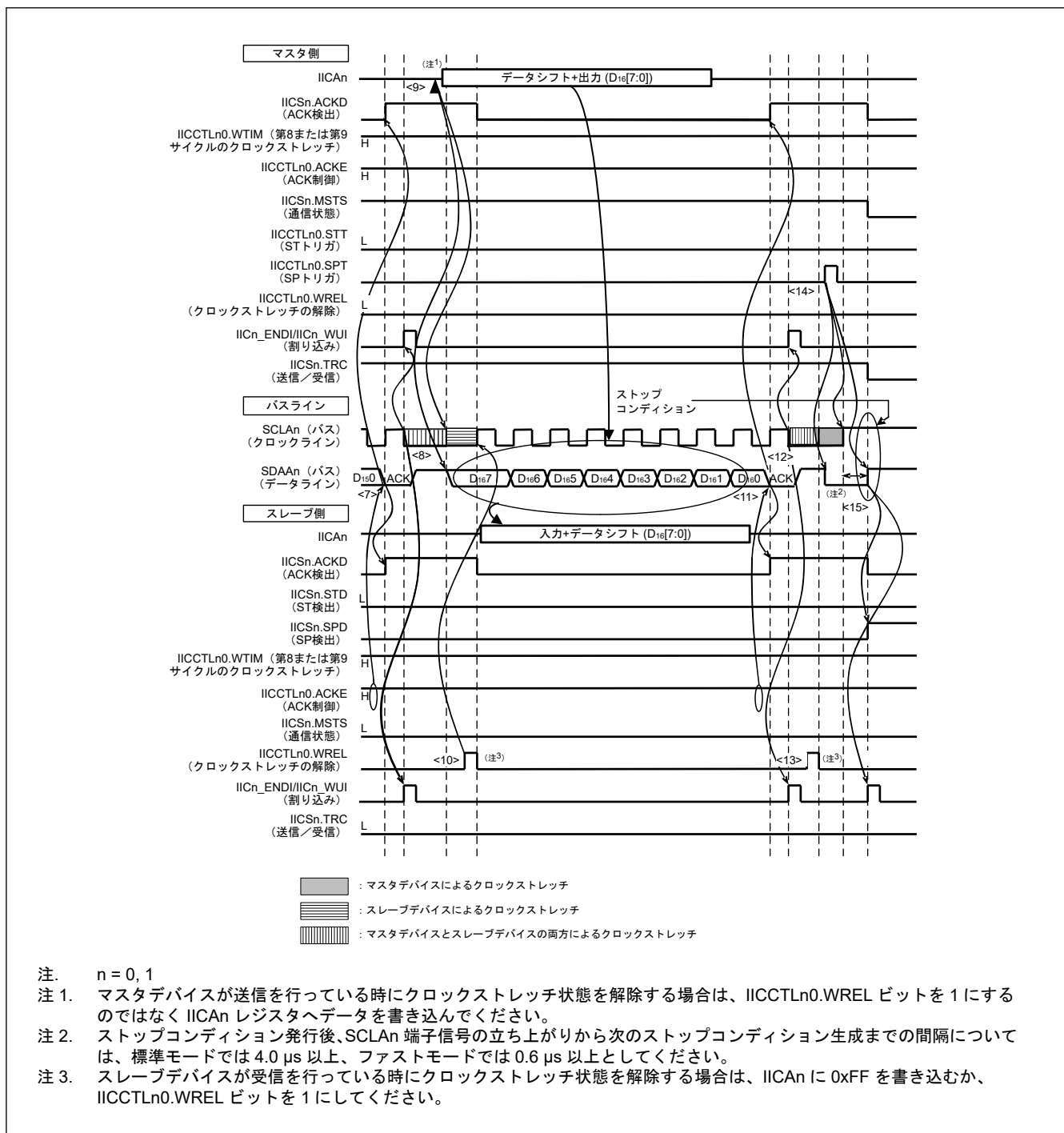


図 24.65 マスタからスレーブへ通信する場合の例 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合) (3/4)

図 24.65 の <7> ~ <15> の意味を以下に示します。

<7> データ転送が完了すると IICCTLn0.ACKE が 1 になるため、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<8> マスタデバイスとスレーブデバイスは第 9 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、両デバイスは IICn_ENDI/IICn_WUI 割り込み (転送終了) を発生させます。

<9> マスタデバイスは送信データを IICA シフトレジスタ n (IICAn) に書き込み、マスタデバイスが設定したクロックストレッチ状態を解除します。

<10> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTLn0.WREL = 1)。マスタデバイスはスレーブデバイスへのデータ転送を開始します。

<11> データ転送が完了する (IICCTLn0.ACKE = 1) と、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。

マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<12> マスタデバイスとスレーブデバイスは第 9 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、両デバイスは IICn_ENDI/IICn_WUI 割り込み（転送終了）を発生させます。

<13> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTLn0.WREL = 1)。

<14> マスタデバイスがストップコンディションのトリガを設定する (IICCTLn0.SPT = 1) ことで、バスデータラインは 0 になり (SDAAn = 0)、バスクロックラインは 1 になります (SCLAn = 1)。ストップコンディションセットアップ時間の経過後、バスデータラインが 1 になる (SDAAn = 1) と、ストップコンディションが生成されます (SCLAn が 1 になり、SDAAn が 0 から 1 に変わります)。

<15> ストップコンディションが生成されると、スレーブデバイスはストップコンディションを検出し、IICn_ENDI/IICn_WUI 割り込み（ストップコンディション）を発生させます。

注. (1) マスタからスレーブへ通信する場合の例（第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合）の <1> ~ <15> は、I²C バスを使ってデータ通信を行う場合の完全な手順を示します。

図 24.63 に、<1> ~ <6> の各ステップの処理を示します。

図 24.64 に、<3> ~ <10> の各ステップの処理を示します。

図 24.65 に、<7> ~ <15> の各ステップの処理を示します。

4. データ → リスタートコンディション → アドレス

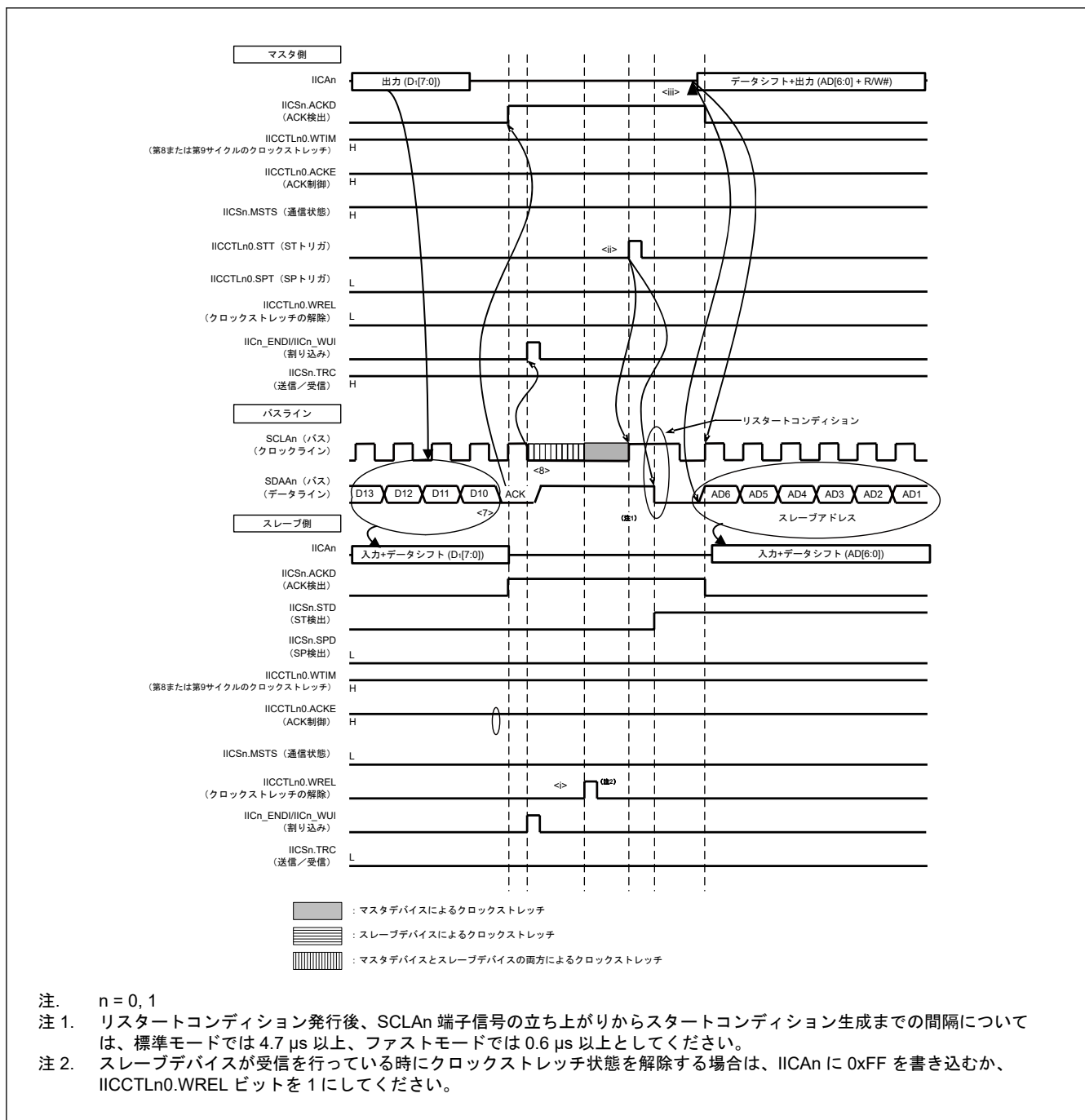


図 24.66 マスタからスレーブへ通信する場合の例 (第 9 サイクルでクロックストレッチがマスタとスレーブの両方に挿入される場合) (4/4)

図 24.66 に示した動作を以下で説明します。ステップ <7> とステップ <8> の動作後、ステップ <i> ~ <iii> の動作が行われます。その後、処理はデータ送信を行うステップ <3> に戻ります。

<7> データ転送が完了すると IICCTLn0.ACKE が 1 になるため、スレーブデバイスはハードウェアで ACK をマスタデバイスへ送ります。マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<8> マスタデバイスとスレーブデバイスは第 9 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、両デバイスは IICn_ENDI/IICn_WUI 割り込み (転送終了) を発生させます。

<i> スレーブデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTLn0.WREL = 1)。

<ii> マスタデバイスによってスタートコンディションのトリガが再び設定され (IICCTLn0.STT = 1)、リスタートコンディションセットアップ時間の経過後、バスクロックラインが High になり (SCLAn = 1) バスデータラインが Low になる (SDAAn = 0) と、スタートコンディションが生成されます (SCLAn が 1 になり SDAAn が 1 から 0 に変わります)。その後、スタートコンディションが検出され、ホールド時間が経過してからバスクロックラインが Low に (SCLAn = 0) となるとマスタデバイスは通信可能な状態となります。

<iii> マスタデバイスが「アドレス + R/W (送信)」を IICA シフトレジスタ (IICAn) に書き込むことで、スレーブアドレスが送信可能になります。

(2) スレーブからマスタへ通信する場合の例 (クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合)

1. スタートコンディション → アドレス → データ

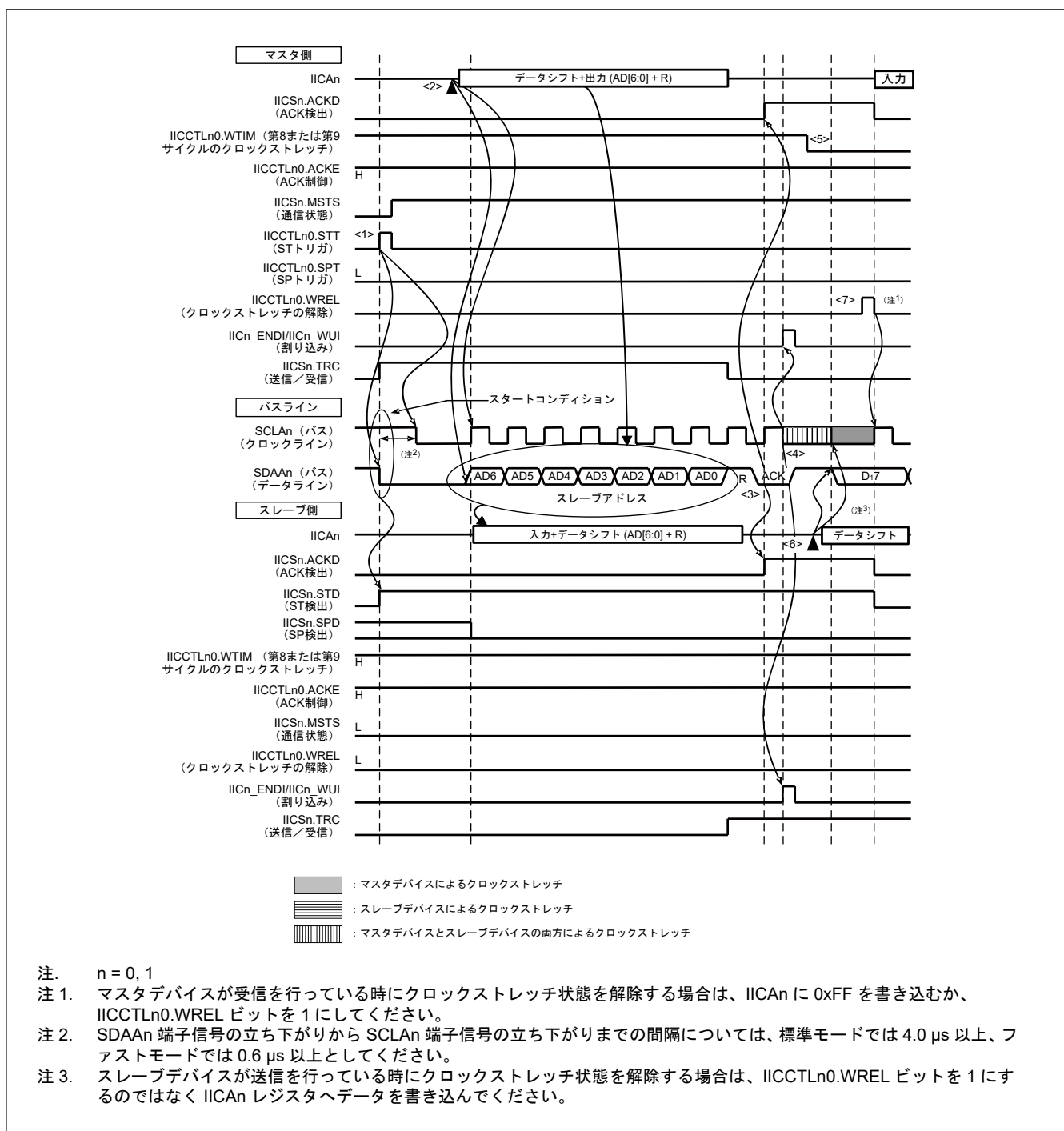


図 24.67 スレーブからマスタへ通信する場合の例 (クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合) (1/3)

図 24.67 の <1> ~ <7> の意味を以下に示します。

<1> マスタデバイスによってスタートコンディションのトリガが設定され (IICCTLn0.STT = 1)、バスデータライン (SDAAn) が Low になるとスタートコンディションが生成されます (SCLAn が 1 になり SDAAn が 1 から 0 に変わります)。その後スタートコンディションが検出されると、マスタデバイスはマスタデバイス通信状態に入ります (IICSn.MSTS = 1)。ホールド時間経過後、バスクロックラインが Low に (SCLAn = 0) になるとマスタデバイスは通信可能な状態となります。

<2> マスタデバイスは「アドレス+R (受信)」を IICA シフトレジスタ n (IICAn) に書き込み、スレーブアドレスを送信します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス (SVAn 値) があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<4> マスタデバイスは第 9 クロックサイクルの立ち下がりエッジで IICn_ENDI/IICn_WUI 割り込み (アドレス送信の終了) を発生させます。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定 (SCLAn = 0) し、IICn_ENDI/IICn_WUI 割り込み (アドレス一致) を発生させます。

<5> マスタデバイスがクロックストレッチ状態を設定するタイミングが第 8 クロックサイクルに変わります (IICCTLn0.WTIM = 0)。

<6> スレーブデバイスは送信データを IICAn レジスタに書き込み、スレーブデバイスが設定したクロックストレッチ状態を解除します。

<7> マスタデバイスがクロックストレッチ状態を解除すると (IICCTLn0.WREL = 1)、スレーブデバイスからマスタデバイスへのデータ転送が開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません (NACK: SDAAn = 1)。スレーブデバイスも IICn_ENDI/IICn_WUI 割り込み (アドレス一致) を発生させず、クロックストレッチ状態も設定しません。

しかしながら、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、IICn_ENDI/IICn_WUI 割り込み (アドレス送信の終了) を発生させます。

注. (2) スレーブからマスタへ通信する場合の例 (クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合)の <1> ~ <19> は、I²C バスを使ってデータ通信を行う場合の完全な手順を示します。

図 24.67 に、<1> ~ <7> の各ステップの処理を示します。

図 24.68 に、<3> ~ <12> の各ステップの処理を示します。

図 24.69 に、<8> ~ <19> の各ステップの処理を示します。

2. アドレス → データ → データ

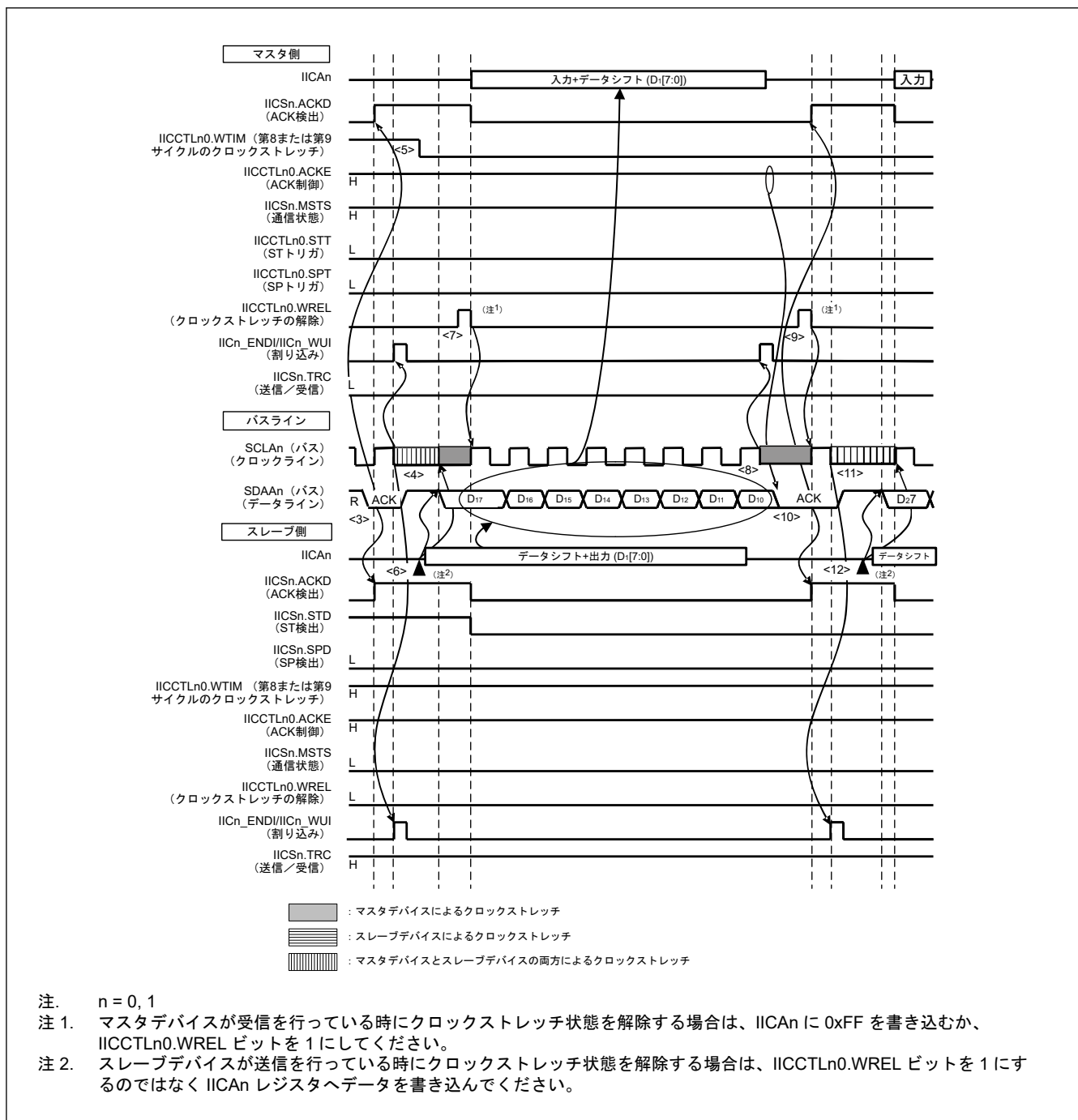


図 24.68 スレーブからマスタへ通信する場合の例 (クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合) (2/3)

図 24.68 の <3> ~ <12> の意味を以下に示します。

<3> 受信したスレーブアドレスに一致するスレーブデバイスのアドレス (SVAn 値) があれば、そのスレーブデバイスはハードウェアで ACK をマスタデバイスに送ります。マスタデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<4> マスタデバイスは第 9 クロックサイクルの立ち下がりエッジで IICn_ENDI/IICn_WUI 割り込み (アドレス送信の終了) を発生させます。送信したスレーブアドレスに一致するアドレスを持つスレーブデバイスは、クロックストレッチ状態を設定 (SCLAn = 0) し、IICn_ENDI/IICn_WUI 割り込み (アドレス一致) を発生させます。

<5> マスタデバイスはクロックストレッチのタイミングを第 8 クロックサイクルに (IICCTLn0.WTIM = 0) 変更します。

<6> スレーブデバイスは送信データを IICA シフトレジスタ n (IICAn) に書き込み、スレーブデバイスが設定したクロックストレッチ状態を解除します。

<7> マスタデバイスがクロックストレッチ状態を解除すると (IICCTLn0.WREL = 1)、スレーブデバイスからマスタデバイスへのデータ転送が開始します。

<8> マスタデバイスは第 8 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、IICn_ENDI/IICn_WUI 割り込み (転送終了) を発生させます。マスタデバイスでは IICCTLn0.ACKE が 1 になるため、マスタデバイスはハードウェアで ACK をスレーブデバイスに送ります。

<9> マスタデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTLn0.WREL = 1)。

<10> スレーブデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<11> スレーブデバイスは第 9 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、IICn_ENDI/IICn_WUI 割り込み (転送終了) を発生させます。

<12> スレーブデバイスが送信データを IICAn レジスタに書き込むことで、スレーブデバイスが設定したクロックストレッチ状態が解除されます。スレーブデバイスはマスタデバイスへのデータ転送を開始します。

送信したアドレスに一致するアドレスを持つスレーブデバイスがない場合、ACK はマスタデバイスに返されません (NACK: SDAAn = 1)。スレーブデバイスも IICn_ENDI/IICn_WUI 割り込み (アドレス一致) を発生させず、クロックストレッチ状態も設定しません。

しかしながら、マスタデバイスは、ACK と NACK のどちらを受け取ったかに関わらず、IICn_ENDI/IICn_WUI 割り込み (アドレス送信の終了) を発生させます。

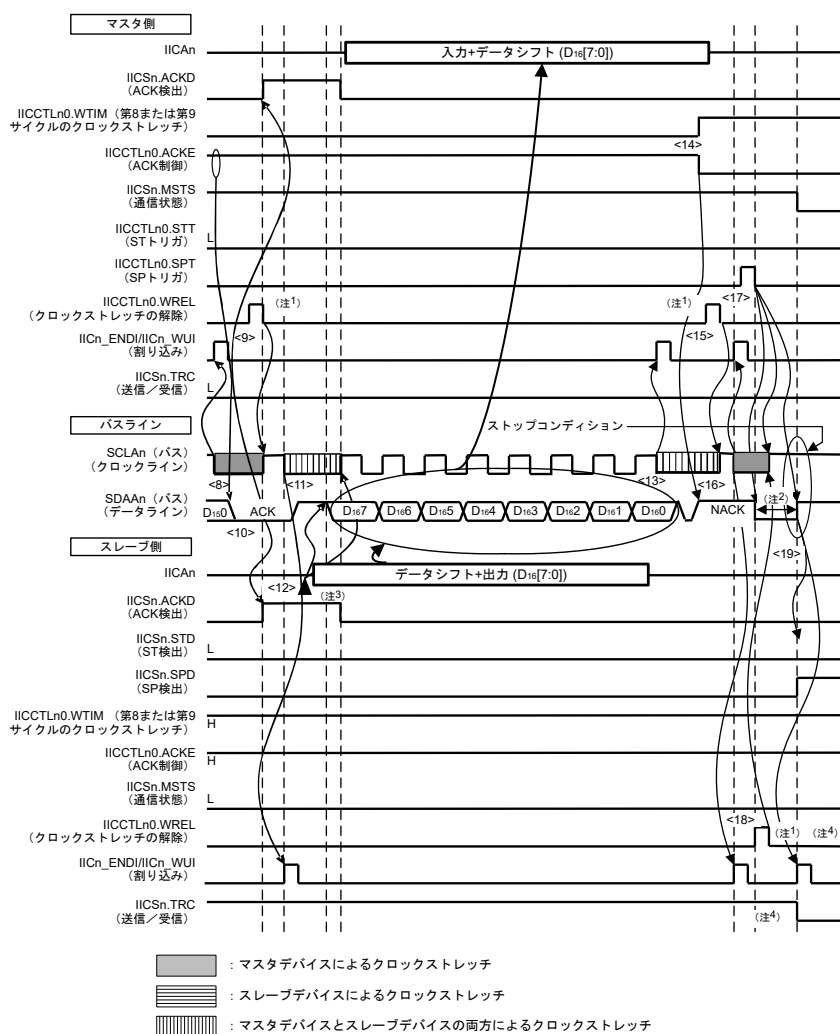
注. (2) スレーブからマスタへ通信する場合の例 (クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合)の <1> ~ <19> は、I²C バスを使ってデータ通信を行う場合の完全な手順を示します。

図 24.67 に、<1> ~ <7> の各ステップの処理を示します。

図 24.68 に、<3> ~ <12> の各ステップの処理を示します。

図 24.69 に、<8> ~ <19> の各ステップの処理を示します。

3. データ → データ → ストップコンディション



注. n = 0, 1

注 1. クロックストレッチ状態を解除する場合は、IICAn に 0xFF を書き込むか、IICCTLn0.WREL ビットを 1 にしてください。

注 2. ストップコンディション発行後、SCLAn 端子信号の立ち上がりから次のストップコンディション生成までの間隔については、標準モードでは 4.0 μs 以上、ファストモードでは 0.6 μs 以上としてください。

注 3. スレーブデバイスが送信を行っている時にクロックストレッチ状態を解除する場合は、IICCTLn0.WREL ビットを 1 にするのではなく IICAn レジスタヘッダを書き込んでください。

注 4. スレーブデバイスによる送信中に IICCTLn0.WREL ビットを 1 にしてクロックストレッチ状態を解除すると、IICSn.TRRC ビットが 0 になります。

図 24.69 スレーブからマスタへ通信する場合の例 (クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合) (3/3)

図 24.69 の <8> ~ <19> の意味を以下に示します。

<8> マスタデバイスは第 8 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、IICn_ENDI/IICn_WUI 割り込み (転送終了) を発生させます。マスタデバイスでは IICCTLn0.ACKE が 0 になるため、マスタデバイスはハードウェアで ACK をスレーブデバイスに送ります。

<9> マスタデバイスは受信したデータを読み出し、クロックストレッチ状態を解除します (IICCTLn0.WREL = 1)。

<10> スレーブデバイスは、第 9 クロックサイクルの立ち上がりエッジで ACK を検出します (IICSn.ACKD = 1)。

<11> スレーブデバイスは第 9 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、IICn_ENDI/IICn_WUI 割り込み (転送終了) を発生させます。

- <12> スレーブデバイスが送信データを IICAn レジスタに書き込むことで、スレーブデバイスが設定したクロックストレッチ状態が解除されます。スレーブデバイスはマスタデバイスへのデータ転送を開始します。
- <13> マスタデバイスは第 8 クロックサイクルの立ち下がりエッジで IICn_ENDI/IICn_WUI 割り込み（転送終了）を発生させ、クロックストレッチ状態を設定します (SCLAn = 0)。ACK 制御 (IICCTLn0.ACKE = 1) が行われるため、この段階でバスデータラインは Low レベルに (SDAAn = 0) になります。
- <14> マスタデバイスは NACK で応答 (IICCTLn0.ACKE = 0) し、クロックストレッチ状態を設定するタイミングを第 9 クロックサイクルに変更します (IICCTLn0.WTIM = 1)。
- <15> マスタデバイスがクロックストレッチ状態を解除すると (IICCTLn0.WREL = 1)、スレーブデバイスは第 9 クロックサイクルの立ち上がりエッジで NACK (ACK = 0) を検出します。
- <16> マスタデバイスとスレーブデバイスは第 9 クロックサイクルの立ち下がりエッジでクロックストレッチ状態を設定し (SCLAn = 0)、両デバイスは IICn_ENDI/IICn_WUI 割り込み（転送終了）を発生させます。
- <17> マスタデバイスがストップコンディションを発生させる (IICCTLn0.SPT = 1) と、バスデータラインは 0 になり (SDAAn = 0)、マスタデバイスはクロックストレッチ状態を解除します。マスタデバイスはバスクロックラインが 1 になる (SCLAn = 1) まで待ちます。
- <18> スレーブデバイスは NACK を認識し、送信を中断し、クロックストレッチ状態を解除 (IICCTLn0.WREL = 1) して通信を終了します。スレーブデバイスがクロックストレッチを解除するとバスクロックラインが 1 になります (SCLAn = 1)。
- <19> バスクロックラインが 1 に (SCLAn = 1) なったことをマスタデバイスが認識し、ストップコンディションセットアップ時間が経過すると、マスタデバイスはバスデータラインを 1 にし (SDAAn = 1) ストップコンディションを発生させます (SCLAn が 1 になり SDAAn が 0 から 1 に変わります)。スレーブデバイスは生成されたストップコンディションを検出し、IICn_ENDI/IICn_WUI 割り込み（ストップコンディション）を発生させます。

注. (2) スレーブからマスタへ通信する場合の例（クロックストレッチが第 8 サイクルでマスタに、第 9 サイクルでスレーブに挿入される場合）の <1> ~ <19> は、I²C バスを使ってデータ通信を行う場合の完全な手順を示します。

図 24.67 に、<1> ~ <7> の各ステップの処理を示します。

図 24.68 に、<3> ~ <12> の各ステップの処理を示します。

図 24.69 に、<8> ~ <19> の各ステップの処理を示します。

25. シリアルインタフェース UARTA (UARTA)

25.1 概要

表 25.1 にシリアルインタフェース UARTA の仕様を示します。

表 25.1 UARTA の仕様

項目	仕様
シリアルインタフェースモード	- 動作停止モード - UART モード
インタフェース	- TxDAn: 送信データ出力端子 - RxDAn: 受信データ入力端子 - CLKAn: 送信クロック出力端子
動作クロックソース	システム/周辺モジュールクロックから独立した動作クロックを UARTAMCLK、UARTALCLK/UARTASCLK、UARTAHCLK、UARTAMOCLK から選択可能
転送速度	最大 153.6 kbps
ボーレート	専用の内部 8 ビットボーレートジェネレータで設定可能
データフォーマット	- MSB ファーストまたは LSB ファーストを選択可能 - 転送ビット長を 5 ビット、7 ビット、8 ビットから選択可能
割り込み要因	- 転送完了割り込み - 受信転送終了 - 受信エラー割り込み
その他の機能	- 送信と受信が互いに独立（全二重通信） - 通信論理レベルの反転制御あり - ループバックモード
モジュールストップ機能	消費電力低減のためにモジュールストップ状態を設定可能

- 注.
- UARTAMCLK: UARTA 外部クロック
 - UARTASCLK: UARTA サブクロック
 - UARTAHCLK: UARTA HOCO クロック
 - UARTAMOCLK: UARTA MOCO クロック
 - UARTALCLK: UARTA LOCO クロック

注. n: ユニット番号 (n = 0, 1)

図 25.1 に UARTAn のブロック図を、表 25.2 に UARTAn の端子構成を示します。

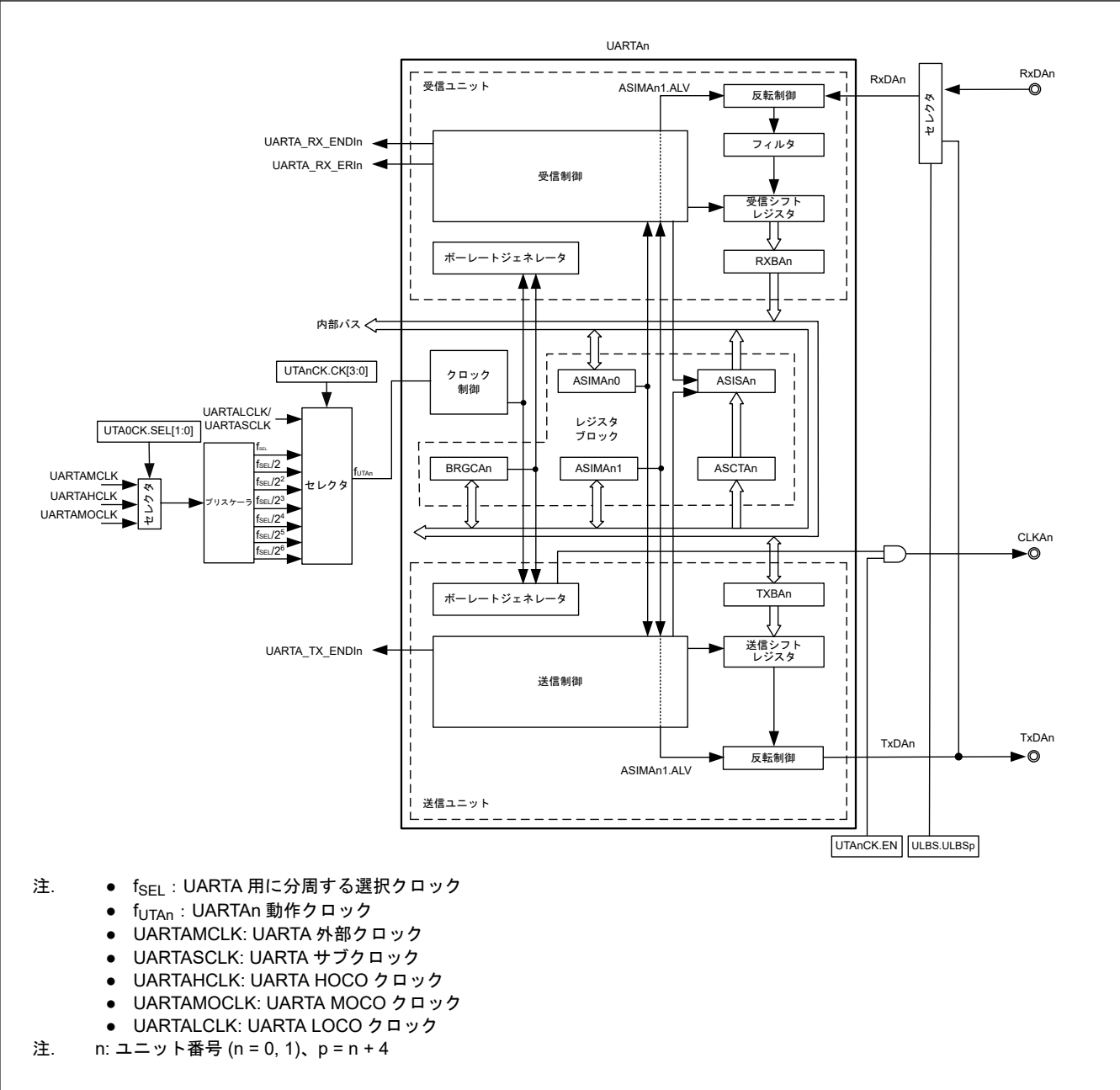


図 25.1 UARTA のブロック図

表 25.2 UARTA 端子構成

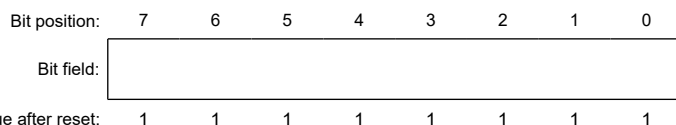
名称	入出力	機能
RxDAp	入力	シリアルデータ入力信号
TxDAp	出力	シリアルデータ出力信号
CLKAp	出力	シリアルクロック出力信号

25.2 レジスタの説明

25.2.1 TXBAn : 送信バッファレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_6000

Offset address: 0x00 + 0x8 × n



ビット	シンボル	機能	R/W
7:0	n/a	送信データバッファ	R/W

TXBAn は、送信データを設定するためのバッファレジスタです。

送信用データを TXBAn レジスタに書き込むことにより、送信開始します。

8 ビットのキャラクタ長を指定した場合：

- TXBAn のビット[7:0]のデータが転送されます。

7 ビットのキャラクタ長を指定した場合：

- TXBAn のビット[6:0]のデータが MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット 7 は無効です。

5 ビットのキャラクタ長を指定した場合：

- TXBAn のビット[4:0]のデータが MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット[7:5]は無効です。

注. ASISAn レジスタの TXBFA ビットが 1 のときは、送信用データを TXBAn レジスタに書き込まないでください。

注. ASIMAn0 レジスタの TXEA ビットを 1 にした後、UARTAn 動作クロック (f_{UTAn}) の 1 サイクル以上の期間待ってから、最初の送信用データを TXBAn レジスタに設定してください。ASIMAn0.TXEA ビットを 1 にしてから UARTAn 動作クロックの 1 サイクル以内に送信用データを設定すると、送信開始が UARTAn 動作クロックの 1 サイクル分遅れます。

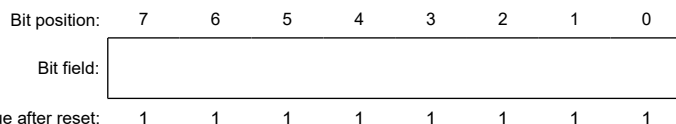
注. データは TXBAn レジスタから本レジスタに転送されてから、シリアルデータとして TxDAn 端子を介して送信されます。最初の送信では、TXBAn レジスタにデータを書き込んだ直後に TXBAn レジスタから本レジスタにデータが転送されます。連続送信では、1 フレームの送信後の転送完了割り込みの発生直前にデータが転送されます。

送信シフトレジスタはソフトウェアで直接操作できません。

25.2.2 RXBAn : 受信バッファレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_6000

Offset address: 0x01 + 0x8 × n



ビット	シンボル	機能	R/W
7:0	n/a	受信データバッファ	R

RXBAn レジスタは、受信シフトレジスタが変換したパラレルデータを格納します。1 バイト分のデータを受信するたびに、次の受信データが受信シフトレジスタ(注1)から本レジスタに転送されます。

注 1. 受信シフトレジスタは、RxDAn 端子を介して入力したシリアルデータをパラレルデータに変換します。

受信シフトレジスタはソフトウェアで直接操作できません。

8 ビットのキャラクタ長を指定した場合：

- 受信データは本レジスタのビット[7:0]に転送されます。

7 ビットのキャラクタ長を指定した場合：

- 受信データは本レジスタのビット[6:0]に MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット 7 は常に 0 です。

5 ビットのキャラクタ長を指定した場合：

- 受信データは本レジスタのビット[4:0]に MSB ファーストモードまたは LSB ファーストモードで転送されます。ビット[7:5]は常に 0 です。

注. オーバーランエラー (ASISAn.OVEA) が発生した場合、その時点で受信したデータは RXBAn レジスタに格納されません。

25.2.3 ASIMAn0 : 動作モード設定レジスタ n0 (n = 0, 1)

Base address: UARTA = 0x4009_6000

Offset address: 0x02 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EN	TXEA	RXEA	—	—	—	ISSMA	ISRNA

Value after reset: 0 0 0 0 0 0 0 0 1

ビット	シンボル	機能	R/W
0	ISRNA	受信割り込みモード選択 0: 受信エラー発生時に UARTA_RX_ERIn 割り込みを発生させる (UARTA_RX_ENDIn は発生しない) 1: 受信エラー発生時に UARTA_RX_ENDIn 割り込みを発生させる (UARTA_RX_ERIn は発生しない)	R/W
1	ISSMA	送信割り込みモード選択 0: 送信完了時に UARTA_TX_ENDIn 割り込みを発生させる 1: 送信バッファが空になったときに UARTA_TX_ENDIn 割り込みを発生させる (連続送信の場合)	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。(注1)	R/W
5	RXEA	受信許可 0: 受信禁止 (受信回路をリセット) 1: 受信許可	R/W
6	TXEA	送信許可 0: 送信禁止 (送信回路をリセット) 1: 送信許可	R/W
7	EN ^(注2)	UART 動作許可 0: UART 動作クロック禁止 (内部回路をリセット ^(注3)) 1: UART 動作クロック許可	R/W

注 1. ビット[4:2]には、必ず 0 を設定してください。

注 2. EN = 0 のとき、TxDA_n 端子から出力するレベルと RxDAn 端子から入力するレベルは以下に示すように ASIMAn1.ALV ビット設定に従って決定されます。

- ASIMAn1.ALV = 0 の場合、TxDA_n 端子からの出力は High
- ASIMAn1.ALV = 1 の場合、TxDA_n 端子からの出力は Low

注 3. ASISAn レジスタと RXBAn レジスタは、EN ビットを 0 にすることによりリセットされます。

ASIMAn0 レジスタは、シリアルインタフェース UARTAn のシリアル通信を制御します。

送信を開始するには、EN ビットを 1 にした後、TXEA ビットを 1 にしてください。送信を停止するには、TXEA ビットを 0 にした後、EN ビットを 0 にしてください。

受信を開始するには、EN ビットを 1 にした後、RXEA ビットを 1 にしてください。受信を停止するには、RXEA ビットを 0 にした後、EN ビットを 0 にしてください。

EN ビットを 1 にした後、RXEA ビットを 1 にする場合は、以下の手順で行います。

- ASIMAn1.ALV = 0 の場合
RxDAn 端子に入力中のレベルが High のときに設定を行う必要があります。それ以外の場合、その時点で受信が開始され、フレーミングエラーになる可能性があります。
- ASIMAn1.ALV = 1 の場合
RxDAn 端子に入力中のレベルが Low のときに設定を行う必要があります。それ以外の場合、その時点で受信が開始され、フレーミングエラーになる可能性があります。

TXEA ビットと RXEA ビットは UARTAn 動作クロック (f_{UARTAn}) と同期されます。

送信または受信を再度許可するには、TXEA ビットまたは RXEA ビットを 0 にしてから UARTAn 動作クロックの 2 サイクル以上後に、TXEA ビットまたは RXEA ビットを 1 にします。0 にしてから UARTAn 動作クロックの 2 サイクル以内にビットを 1 にすると、送信または受信回路が初期化できない場合があります。

TXEA ビットを 1 にした後、UARTAn 動作クロック (f_{UARTAn}) の 1 サイクル以上待ってから送信データを TXBAn レジスタに設定してください。

ISRMA ビットを変更する前に、RXEA ビットを 0 にしてください。

25.2.4 ASIMAn1 : 動作モード設定レジスタ n1 (n = 0, 1)

Base address: UARTA = 0x4009_6000

Offset address: 0x03 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PS[1:0]	CL[1:0]	SL	DIR	ALV		
Value after reset:	0	0	0	1	1	0	1	0

ビット	シンボル	機能	R/W
0	ALV	送受信レベル設定 0: 正論理 (待機時 = High レベル、スタートビット = Low レベル、ストップビット = High レベル) 1: 負論理 (待機時 = Low レベル、スタートビット = High レベル、ストップビット = Low レベル)	R/W
1	DIR	送受信順序設定 0: MSB ファースト 1: LSB ファースト	R/W
2	SL	送信ストップビット長設定 0: ストップビット長 = 1 ビット 1: ストップビット長 = 2 ビット	R/W
4:3	CL[1:0]	送受信キャラクタ長設定 0 0: データのキャラクタ長 = 5 ビット 0 1: 設定禁止 1 0: データのキャラクタ長 = 7 ビット 1 1: データのキャラクタ長 = 8 ビット	R/W
6:5	PS[1:0]	送受信パリティビット設定 0 0: 送信: パリティビットの出力なし。 受信: パリティなしでデータ受信。 0 1: 送信: ゼロパリティを出力。 受信: ゼロパリティでデータ受信(注1)。 1 0: 送信: 奇数パリティを出力。 受信: 奇数パリティのチェックを実行。 1 1: 送信: 偶数パリティを出力。 受信: 偶数パリティのチェックを実行。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 「ゼロパリティでデータ受信」を設定すると、パリティチェックは実行されません。したがって、ASISAn レジスタの PEA ビットは設定されず、受信エラー割り込みは発生しません。

ASIMAn1 レジスタは、シリアルインタフェース UARTAn のシリアル通信を制御します。

ASIMAn1 レジスタの変更は、ASIMAn0.TXEA = 0 かつ ASIMAn0.RXEA = 0 のときに行う必要があります。

ASIMAn1 レジスタを変更する前に、ASIMAn0.TXEA ビットと RXEA ビットを 0 にしてください。受信は常にストップビットを含むものとして扱われます。SL ビットの設定値は受信には影響しません。

25.2.5 BRGCA_n : ボーレートジェネレータコントロールレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_6000

Offset address: 0x04 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	UART ボーレート（シリアル転送速度）を制御する 8 ビットカウンタ出力クロック ($f_{\text{UTAn}} / \text{BRGCA}_n$) の選択 0x02: $f_{\text{UTAn}}/2$ 0x03: $f_{\text{UTAn}}/3$: : 0xFC: $f_{\text{UTAn}}/252$ 0xFD: $f_{\text{UTAn}}/253$ 0xFE: $f_{\text{UTAn}}/254$ 0xFF: $f_{\text{UTAn}}/255$ その他: 設定禁止	R/W

BRGCA_n レジスタは、シリアルインタフェース UARTAn の 8 ビットカウンタの分周比を設定します。

ASIMAn0.TXEA ビットと RXEA ビットが 0（送受信停止状態）のときに、BRG[7:0] ビットを変更してください。ボーレートは、8 ビットカウンタからの出力信号クロックの周波数の 2 分の 1 です。ボーレート設定の例については、(c) ボーレート設定例を参照してください。

25.2.6 ASISAn : ステータスレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_6000

Offset address: 0x05 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	TXBFA	TXSFA	—	PEA	FEA	OVEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVEA	オーバーランエラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
1	FEA	フレーミングエラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
2	PEA	パリティエラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
3	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
4	TXSFA	送信シフトレジスタデータフラグ 0: データ送信中ではない 1: データ送信中	R
5	TXBFA	送信バッファデータフラグ 0: TXBAn レジスタに有効データなし 1: TXBAn レジスタに有効データあり	R
7:6	—	読むと 0 が読めます。	R

ASISAn レジスタは、シリアルインタフェース UARTAn の受信完了時のエラー状態および送信状態を示します。このレジスタは 3 つのエラーフラグビット (PEA、FEA、および OVEA) と 2 つの送信ステータスフラグビット (TXBFA および TXSFA) で構成されます。

PEA ビット、FEA ビット、OVEA ビットは、ASIMAn0.EN ビットまたは RXEA ビットを 0 にすることにより初期化されます。これらのビットは ASCTAn レジスタの対応するビットに書き込みをすることでもクリアされます。TXBFA フラグと TXSFA フラグは、ASIMAn0.EN ビットまたは TXEA ビットを 0 にすることにより初期化されます。

連続送信の場合、最初の送信データ (1 バイト目) を TXBAn レジスタに書き込んだ後、必ず TXBFA フラグが 0 であることを確認してから、次の送信データ (2 バイト目) を TXBAn レジスタに書き込んでください。そうしないと、送信データは不定となります。ただし、バッファ空き割り込み (ASIMAn0.ISSMA ビット = 1) を使用して連続送信を実行する場合は、TXBFA フラグの確認は不要です。

連続送信の完了後に送信ユニットを初期化する (ASIMAn0.TXEA = 0) 場合は、転送完了割り込みの発生後に、必ず TXSFA フラグが 0 であることを確認してからユニットを初期化してください。そうしないと、送信データは不定となります。

PEA ビットの動作は ASIMAn1 レジスタの PS[1:0] ビットの設定値に依存します。受信データの場合、ストップビット長にかかわらずストップビットの最初の 1 ビットのみ確認します。オーバーランエラーが発生すると、次の受信データを RXBAn レジスタに書き込まずに破棄します。

OVEA フラグ (オーバーランエラーフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは RXEA ビットを 0 にしたとき。
- ASCTAn.OVECTA ビットに 1 を書き込んだとき。

[1 になる条件]

- RXBAn レジスタの受信データを読み出す前に次の受信が完了したとき。

FEA フラグ (フレーミングエラーフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは RXEA ビットを 0 にしたとき。
- ASCTAn.FECTA ビットに 1 を書き込んだとき。

[1 になる条件]

- データの受信時にストップビットが検出されないとき。

PEA フラグ (パリティエラーフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは RXEA ビットを 0 にしたとき。
- ASCTAn.PECTA ビットに 1 を書き込んだとき。

[1 になる条件]

- 受信データのパリティがパリティビットに一致しないとき。

TXSFA フラグ (送信シフトレジスタデータフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは TXEA ビットを 0 にしたとき。
- 転送完了後に TXBAn レジスタより次のデータ転送がなかったとき。

[1 になる条件]

- TXBAn レジスタからデータを転送したとき。(データ送信中のとき)

TXBFA フラグ (送信バッファデータフラグ)

[0 になる条件]

- ASIMAn0.EN ビットまたは TXEA ビットを 0 にしたとき。
- 送信シフトレジスタにデータを転送したとき。

[1 になる条件]

- TXBAn レジスタにデータを書き込んだとき。(TXBAn レジスタにデータが存在するとき)

25.2.7 ASCTAn : ステータスクリアトリガレジスタ n (n = 0, 1)

Base address: UARTA = 0x4009_6000

Offset address: 0x06 + 0x8 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PECT A	FECT A	OVEC TA

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	OVECTA ^(注1)	オーバーランエラーフラグクリアトリガ 0: ASISAn.OVEA フラグをクリアしない (フラグを保持) 1: ASISAn.OVEA フラグをクリア	R/W
1	FECTA ^(注1)	フレーミングエラーフラグクリアトリガ 0: ASISAn.FEA フラグをクリアしない (フラグを保持) 1: ASISAn.FEA フラグをクリア	R/W
2	PECTA ^(注1)	パリティエラーフラグクリアトリガ 0: ASISAn.PEA フラグをクリアしない (フラグを保持) 1: ASISAn.PEA フラグをクリア	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. ASCTAn レジスタを読むと、0 が返されます。

ASCTAn レジスタは、シリアルインタフェース UARTAn の受信の完了時にエラー状態をクリアするトリガを設定します。本レジスタには 3 ビットのエラークリアトリガフラグ (PECTA、FECTA、および OVECTA) が含まれます。

ASCTAn レジスタの読み出し値は常に 0x00 になります。

PECTA ビット、FECTA ビット、および OVECTA ビットに 1 を書き込むと、ASISAn レジスタの PEA フラグ、FEA フラグ、OVEA フラグがそれぞれクリアされます。0 を書き込んだとき、対応するエラーフラグはクリアされません。

トリガビットに 1 を書き込んだ後、対応するエラーフラグは動作クロック (f_{UTAn}) の次の立ち上がりエッジでクリアされます。したがって、トリガビットに 1 を書き込んだ直後に ASISAn レジスタを読み出すときは、対応するエラーフラグがまだクリアされていないことがあります。

25.2.8 UTA0CK : UARTA クロック選択レジスタ 0

Base address: UARTA = 0x4009_6000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EN	—	SEL[1:0]	CK[3:0]				
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CK[3:0]	UTA0 動作クロック選択 (f_{UTA0}) 0x0: f_{SEL} 0x1: $f_{SEL}/2$ 0x2: $f_{SEL}/4$ 0x3: $f_{SEL}/8$ 0x4: $f_{SEL}/16$ 0x5: $f_{SEL}/32$ 0x6: $f_{SEL}/64$ 0x8: UARTALCLK/UARTASCLK その他: 設定禁止	R/W
5:4	SEL[1:0]	f_{SEL} クロック選択 0 0: 停止 0 1: UARTAMCLK 1 0: UARTAHCLK 1 1: URTAMOCLK	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	EN	UTA0 クロック出力機能の許可 0: CLKA0 出力を禁止 1: CLKA0 出力を許可	R/W

- 注.
- f_{SEL} : UARTA 用に分周する選択クロック
 - UARTAMCLK: UARTA 外部クロック
 - UARTASCLK: UARTA サブクロック
 - URTAHCLK: UARTA HOCO クロック
 - URTAMOCLK: UARTA MOCO クロック
 - URTALCLK: UARTA LOCO クロック

UTA0CK レジスタは UTA_n の動作クロックを選択します。SEL[1:0]ビットは、UTA_n のクロックソース (f_{SEL}) を UARTAMCLK、UARTAHCLK、および URTAMOCLK から選択します。CK[3:0]ビットは、UTA0 の動作クロックを $f_{SEL} \sim f_{SEL}/64$ 、および URTALCLK/UARTASCLK から選択します。

EN ビットを 1 にすると、UTA0 クロック出力モードが選択され、UTA0 の動作クロックは CLKA0 端子から出力されます。

ASIMAn0.TXEA ビットおよび RXEA ビットが 0 (送受信停止状態) のときに、本レジスタを読み書きしてください。

25.2.9 UTA1CK : UARTA クロック選択レジスタ 1

Base address: UARTA = 0x4009_6000

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EN	—	—	—	CK[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CK[3:0]	UARTA1 動作クロック選択 (f_{UTA1}) 0x0: f_{SEL} 0x1: $f_{SEL}/2$ 0x2: $f_{SEL}/4$ 0x3: $f_{SEL}/8$ 0x4: $f_{SEL}/16$ 0x5: $f_{SEL}/32$ 0x6: $f_{SEL}/64$ 0x8: UARTALCLK/UARTASCLK その他: 設定禁止	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	EN	UARTA1 クロック出力機能の許可 0: CLKA1 出力を禁止 1: CLKA1 出力を許可	R/W

- 注.
- f_{SEL} : UARTA 用に分周する選択クロック
 - UARTALCLK: UARTA LOCO クロック
 - UARTASCLK: UARTA サブクロック

UTA1CK レジスタは UARTA1 の動作クロックを選択します。CK[3:0]ビットは、UARTA1 の動作クロックを f_{SEL} ~ $f_{SEL}/64$ 、および UARTALCLK/UARTASCLK から選択します。

EN ビットを 1 にすると、UARTA1 クロック出力モードが選択され、UARTA1 の動作クロックは CLKA1 端子から出力されます。

ASIMA10.TXEA ビットおよび RXEA ビットが 0 (送受信停止状態) のときに、本レジスタを読み書きしてください。

25.2.10 ULBS : UART ループバック選択レジスタ

Base address: PORGA = 0x4009_1000

Offset address: 0x0009

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	ULBS5	ULBS4	—	ULBS2	ULBS1	ULBS0

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ULBS0	UART0 ループバック機能の選択 0: シリアルアレイユニット UART0 の RxD0 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタの出力を受信シフトレジスタにループバック	R/W
1	ULBS1	UART1 ループバック機能の選択 0: シリアルアレイユニット UART1 の RxD1 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタの出力を受信シフトレジスタにループバック	R/W
2	ULBS2	UART2 ループバック機能の選択 0: シリアルアレイユニット UART2 の RxD2 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタの出力を受信シフトレジスタにループバック	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	ULBS4	UARTA0 ループバック機能の選択 0: シリアルインタフェース UARTA0 の RxD A0 端子の状態を受信シフトレジスタに入力 1: 送信シフトレジスタの出力を受信シフトレジスタにループバック	R/W

ビット	シンボル	機能	R/W
5	ULBS5	UARTA1 ループバック機能の選択 0: シリアルインタフェース UARTA1 の RxDA1 端子の状態を受信シフトレジスタに 入力 1: 送信シフトレジスタの出力を受信シフトレジスタにループバック	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ULBS レジスタは、UART ループバック機能を有効にするために使用します。本レジスタには、UART チャネルを個別に制御するビットがあります。各チャネルに対応するビットを 1 にすると、UART ループバック機能が選択され、送信シフトレジスタの出力が受信シフトレジスタにループバックされます。

25.3 動作

UARTAn は次の 2 つのモードで動作します。

- 動作停止モード
- UART モード

25.3.1 動作停止モード

動作停止モードではシリアル通信を行わないので、消費電力を削減できます。また、このモードでは各端子を通常ポート端子として使用できます。動作停止モードを設定するには、ASIMAn0 レジスタの EX ビット、TXEA ビット、RXEA ビットをすべて 0 にしてください。

25.3.2 UART モード

本モードでは、1 バイトのデータが送信され、スタートビットに続いて 1 バイトが受信されます。これは全二重モードの動作を意味します。

UART 専用のボーレートジェネレータが組み込まれているので、広範囲のボーレートで通信が実行できます。

(1) 通信手順

表 25.3 に通信手順を示します。

表 25.3 通信手順

手順		プロセス	詳細説明
通信手順	<1>	ボーレート設定	BRGCAn レジスタを設定する。
	<2>	動作モード設定 1	ASIMAn1 レジスタの ALV、DIR、SL、CL[1:0]、PS[1:0] ビットを設定する。
	<3>	動作モード設定 2	ASIMAn0 レジスタの ISSMA ビットと ISRMA ビットを設定する。
	<4>	動作許可	ASIMAn0 レジスタの EN ビットを 1 にする。
	<5>	通信許可	ASIMAn0 レジスタの TXEA ビットを 1 にして送信を許可する。 ASIMAn0 レジスタの RXEA ビットを 1 にして受信を許可する。
	<6>	送信データ書き込み	送信データを TXBAn レジスタに書き込む。
	<7>	送信開始	—

注. 受信機能を使うときは、受信用に割り当てたポート端子をポートコントロールレジスタで入力モードに設定します。送信機能を使うときは、送信用に割り当てたポート端子をポートコントロールレジスタで出力モードに設定します。

注. n : ユニット番号 (n = 0, 1)

入出力ポートの設定方法については、「16. I/O ポート」の説明を参照してください。

(2) 送受信データのフォーマットと波形例

UARTAn の通信データフォーマットについて以下に説明します。

図 25.2 にデータフォーマットを示します。

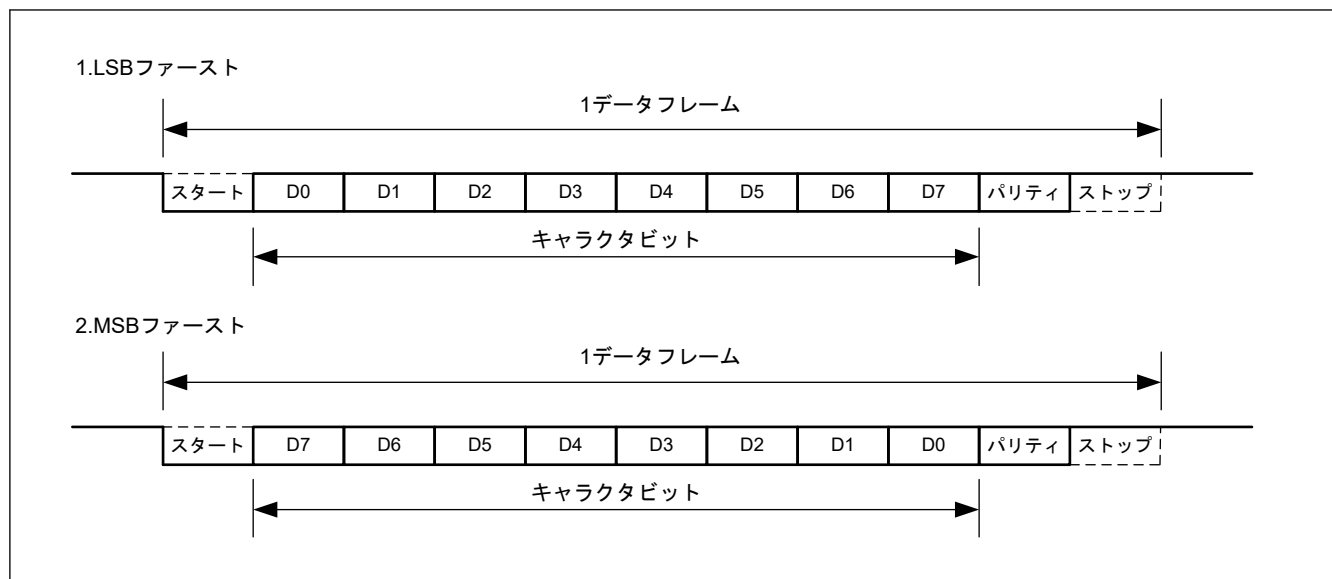


図 25.2 送受信データフォーマット

1 データフレームは以下のビットで構成されています。

- スタートビット：1 ビット
- キャラクタビット：5 ビット、7 ビット、または 8 ビット
- パリティビット：偶数パリティ、奇数パリティ、ゼロパリティ、またはパリティなし
- ストップビット：1 ビットまたは 2 ビット

1 データフレームのキャラクタビット長、パリティ、ストップビット長、転送方向 (LSB ファーストまたは MSB ファースト)、TxDA_n 端子出力 (直接または反転) は ASIMAn1 レジスタで指定します。

注. n : ユニット番号 (n = 0, 1)

図 25.3 に送受信データ波形の例を示します。

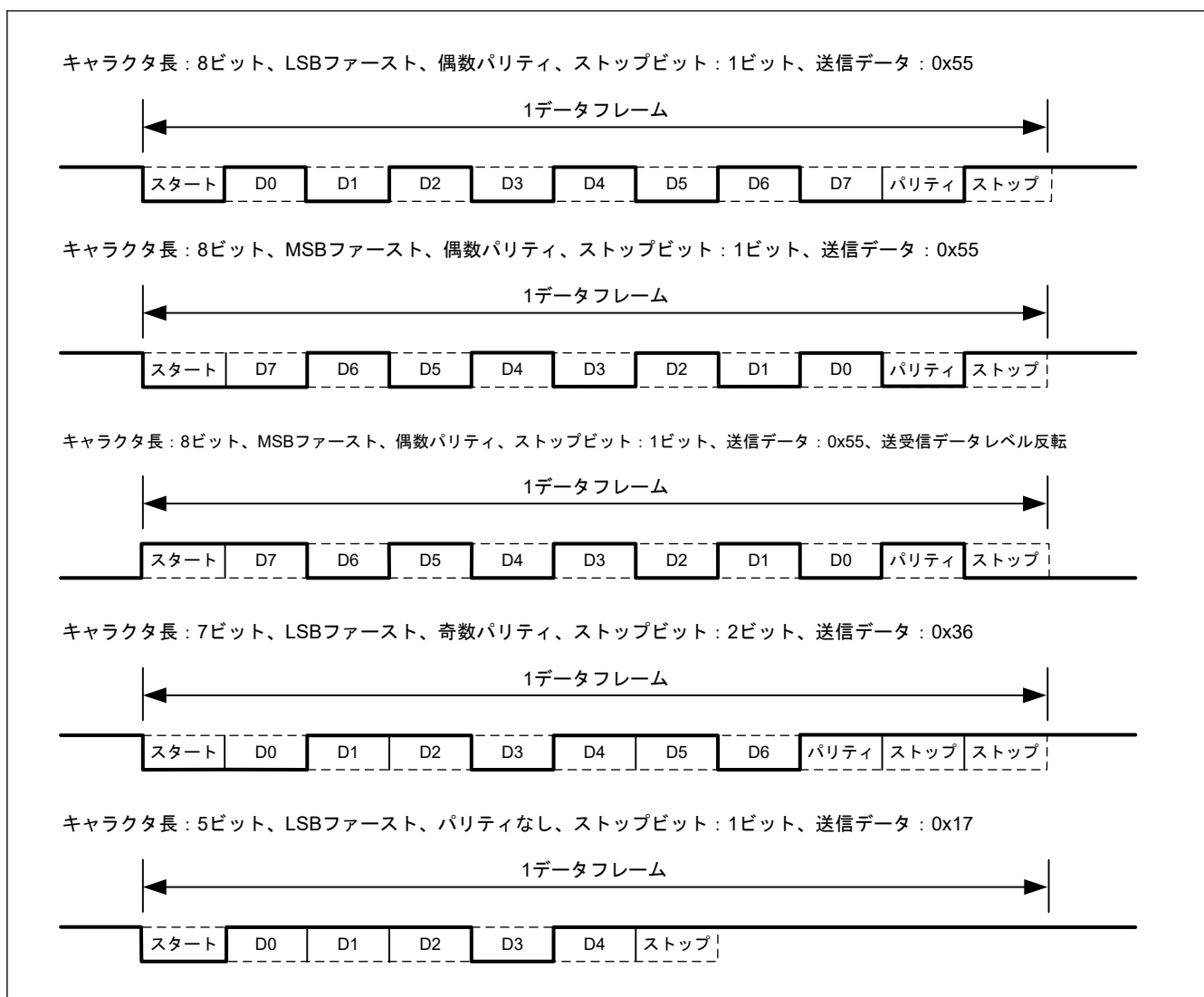


図 25.3 送受信データ波形の例

(3) パリティの種類と動作

パリティビットは通信データ内のビットエラーの検出に使用します。通常は、送信側と受信側で同じ種類のパリティビットを使用します。偶数および奇数パリティの場合、1ビット（奇数個）エラーが検出できます。ゼロパリティおよびパリティなしの場合、エラーは検出できません。

(a) 偶数パリティ

- 送信時
パリティビットを含む送信用データ内の、値が1のビット数が偶数個になるように制御します。パリティビットの値は以下のように設定します。
送信用データ内の値が1のビット数が奇数個の場合：1
送信用データ内の値が1のビット数が偶数個の場合：0
- 受信時
パリティビットを含む受信用データ内の、値が1のビット数をカウントし、奇数個の場合、パリティエラーが発生します。

(b) 奇数パリティ

- 送信時
偶数パリティとは異なり、パリティビットを含む送信用データ内の、値が1のビット数が奇数個になるように制御します。
送信用データ内の値が1のビット数が奇数個の場合：0
送信用データ内の値が1のビット数が偶数個の場合：1

- 受信時

パリティビットを含む受信用データ内の、値が 1 のビット数をカウントし、偶数個の場合、パリティエラーが発生します。

(c) ゼロパリティ

送信データにかかわらず、データの送信時にパリティビットを 0 にします。

データの受信時にパリティビットの検出を行いません。したがって、パリティビットが 0 でも 1 でもパリティエラーは発生しません。

(d) パリティなし

送信データにパリティを付加しません。

受信はパリティビットなしを想定して行います。パリティビットがないのでパリティエラーは発生しません。

(4) 通常送信

動作モード設定レジスタ 0 (ASIMAn0) の EN ビットを 1 にしてから ASIMAn0 の TXEA ビットを 1 にすることにより、送信許可状態になり、送信用データを送信バッファレジスタ (TXBAn) に書き込むことにより、送信開始できます。データにはスタートビット、パリティビット、ストップビットが自動的に付加されます。送信開始時、TXBAn レジスタのデータが送信シフトレジスタに転送されます。その後、送信シフトレジスタから TxDAn 端子に、送信データが転送方向指定に従って順次出力されます。送信完了すると、ASIMAn0 レジスタで設定したパリティビットとストップビットが付加され、転送完了割り込み要求信号 (UARTA_TX_ENDIn) が発生します。

次の送信データが TXBAn レジスタに書き込まれるまで、送信はサスペンド状態になります。

図 25.4 に転送完了割り込み要求信号 (UARTA_TX_ENDIn) のタイミングを示します。UARTA_TX_ENDIn は以下のタイミングで発行されます。

- ASIMAn0.ISSMA = 0 のとき (UARTA_TX_ENDIn は転送完了割り込みとして機能)
UARTA_TX_ENDIn は最終ストップビットの出力後に発行されます。
- ASIMAn0.ISSMA = 1 のとき (UARTA_TX_ENDIn はバッファ空き割り込みとして機能)
UARTA_TX_ENDIn はスタートビットの出力時に発行されます。

注. n : ユニット番号 (n = 0, 1)

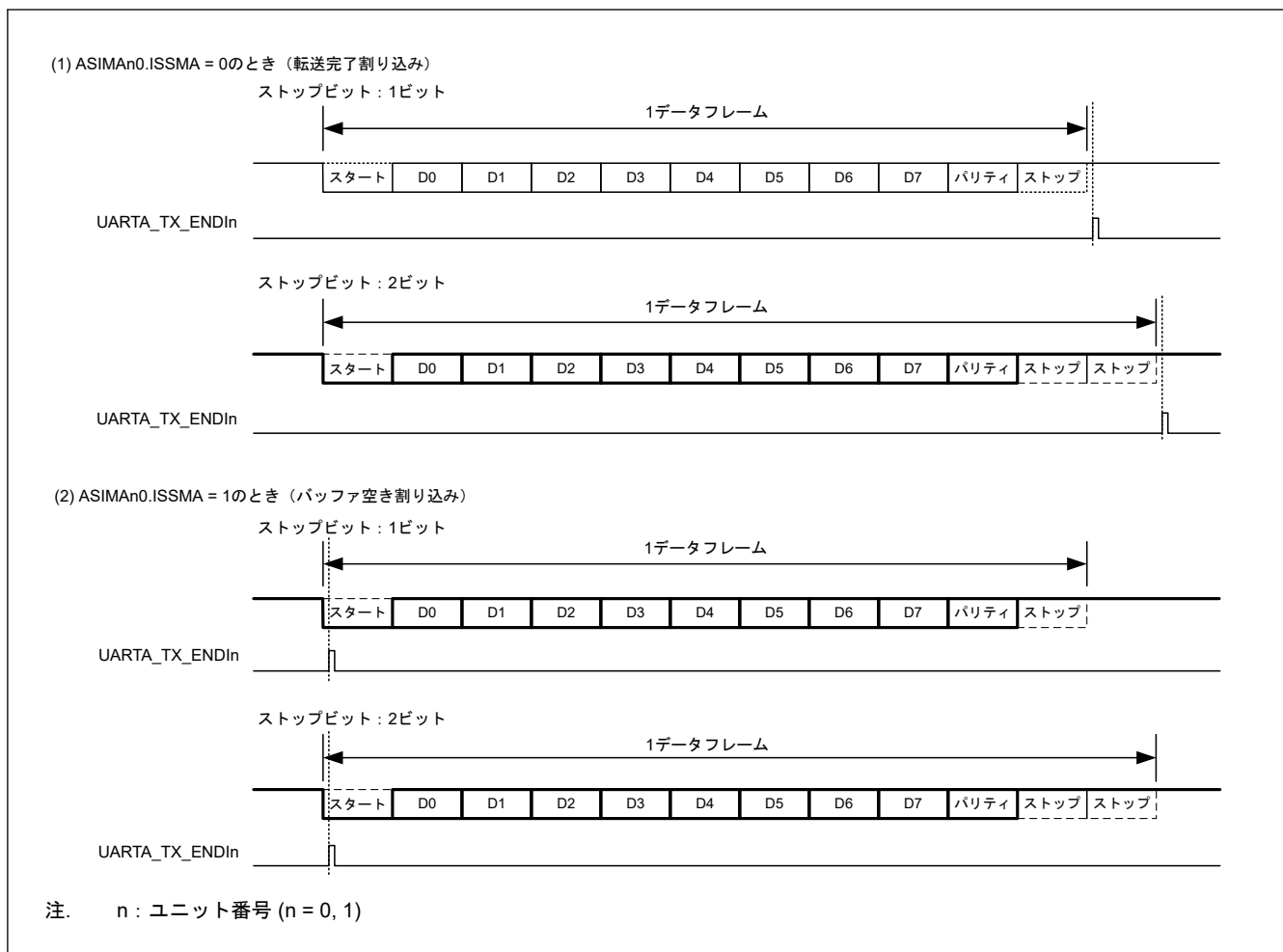


図 25.4 割り込み出力タイミング

(5) 連続送信

UARTAn では連続送信を実現するために送信バッファレジスタ (TXBAn) と送信シフトレジスタを分離しています。

送信シフトレジスタがシフト動作を開始した時点で、次の送信データを送信バッファレジスタ (TXBAn) に書き込むことができます。この動作により連続送信が可能となり、それにより通信レートを向上できます。

バッファ空き割り込みの発生から以下に定義した最大クロックサイクル数以内に TXBAn への書き込みが完了しなければ、連続送信はできないので注意してください。

最大クロックサイクル数 = データ転送長 $\times 2k - (2k + 3)$

k : BRGCAn レジスタの設定値 (k = 2, 3, 4, 5, 6, ..., 255)

最大クロックサイクル数の算出例を以下に説明します。BRGCAn レジスタ = 0x02 (k = 2)、

スタートビット = 1 ビット、キャラクタ長 = 8 ビット、パリティ使用、ストップビット = 1 ビットの場合

最大クロックサイクル数 = 転送長 $\times 2k - (2k + 3) = 11 \times 2 \times 2 - (2 \times 2 + 3) = 37$

(UARTAn 動作クロック (f_{UTAn}) の 37 サイクル以内に書き込みを完了させる必要があります。)

連続送信には以下の 2 つの方法があります。

(a) ポーリングによる連続送信

ステータスレジスタ (ASISAn) の TXBFA フラグと TXSFA フラグのポーリングにより、連続送信を実現します。

この方法を使用する場合は、動作モード設定レジスタ 0 (ASIMAn0) の ISSMA ビットを 0 にしてください。

連続送信の開始時および連続送信中

連続送信開始時は、TXBAn レジスタに 1 バイト目のデータを書き込み、送信バッファデータフラグ (ASISAn.TXBFA) が 0 であることを確認してから 2 バイト目のデータを書き込みます。同様に、ASISAn.TXBFA フラグが 0 であることを確認してから、以降のデータを TXBAn レジスタに書き込みます。

表 25.4 に連続送信開始時の TXBAn レジスタへの書き込み許可／禁止を示す判別フラグを示します。

表 25.4 連続送信開始時の TXBAn レジスタへの書き込み許可／禁止を示す判別フラグ

ASISAn.TXBFA	内容
0	書き込み許可
1	書き込み禁止

注. 連続送信を許可しているか禁止しているかを判別するには、ASISAn.TXBFA フラグのみを確認します。ASISAn.TXSFA フラグをこのフラグと組み合わせて判定に使用することはできません。

注. n : ユニット番号 (n = 0, 1)

連続送信の完了

連続送信では、必要数のデータを TXBAn レジスタに書き込んだ後に送信シフトレジスタおよび TXBAn レジスタ内のデータを送信したときに連続送信が完了します。完了を確認するには、送信シフトレジスタデータフラグ (ASISAn.TXSFA) の設定を確認します。

表 25.5 に送信中かどうかを示す確認フラグを示します。

表 25.5 送信中かどうかを示す確認フラグ

ASISAn.TXSFA	内容
0	送信完了
1	送信中

注. 連続送信完了後に送信ユニットを初期化する場合は、転送完了割り込みの発生後に ASISAn.TXSFA フラグが 0 であることを確認してから、ユニットを初期化してください。

注. 連続送信中は、1 データフレームの送信後、UARTA_TX_ENDIn 割り込み処理の実行前に次の送信が完了する可能性があります。対策として、送信データ数をカウントするプログラムを組み込み、ASISAn.TXSFA フラグを参照することで検出できます。

注. n : ユニット番号 (n = 0, 1)

表 25.6 に、ポーリングによる連続送信処理手順の例を示します。

表 25.6 ポーリングによる連続送信処理手順の例

手順	プロセス	詳細説明
ポーリングによる連続送信処理手順の例	<1> レジスタの設定	ASISAn0.ISSMA = 0
	<2> 必要数の送信データを TXBAn レジスタに書き込んだかどうか確認する。 「はい」の場合は<5>に進む 「いいえ」の場合は<3>に進む	—
	<3> ASISAn.TXBFA フラグがクリアされるまで待つ。	データを送信シフトレジスタへ転送する。
	<4> 送信データを TXBAn レジスタに書き込む。 <2>に進む。	—
	<5> ASISAn.TXSFA フラグがクリアされるまで待つ。	送信シフトレジスタからデータを転送し、転送完了後に TXBAn レジスタから次のデータ転送がなかったとき。
	<6> 送信処理の終了	—

注. n : ユニット番号 (n = 0, 1)

(b) 割り込みを使用した連続送信

割り込み (UARTA_TX_ENDIn) を使用して連続送信を実現します。

動作モード設定レジスタ 0 (ASISAn0) の ISSMA ビットを 1 にすることにより、送信バッファレジスタ (TXBAn) のデータを送信シフトレジスタに転送したときに割り込みを発生させることができます。

これにより、バッファ空き割り込み発生時に TXBAn レジスタにデータを書き込むことにより、連続送信が可能になります。

さらに、最後の送信データを TXBAn レジスタに書き込んだ後に ISSMA ビットを 0 にすることにより、連続送信の完了時に転送完了割り込みを発生させることができます。

表 25.7 に、割り込みを使用した連続送信手順の例を示します。

表 25.7 割り込みを使用した連続送信手順の例

手順	プロセス	詳細説明
割り込みを使用した連続送信手順の例	<1> レジスタの設定	ASIMAn0.ISSMA = 1
	<2> TXBAn レジスタへの書き込み	—
	<3> UARTA_TX_ENDIn の待機	バッファ空き割り込み
	<4> UARTA_TX_ENDIn の発生	—
	<5> 必要数の送信データを TXBAn レジスタに書き込んだかどうか確認する。 「はい」の場合は<6>に進む。 「いいえ」の場合は<2>に進む。	—
	<6> ASIMAn0 レジスタの設定	ASIMAn0.ISSMA = 0
	<7> UARTA_TX_ENDIn の待機	転送完了割り込み
	<8> UARTA_TX_ENDIn の発生	—
	<9> 送信処理の終了	—

注. n : ユニット番号 (n = 0, 1)

図 25.5 に連続送信開始のタイミングを、図 25.6 に連続送信完了のタイミングを示します。

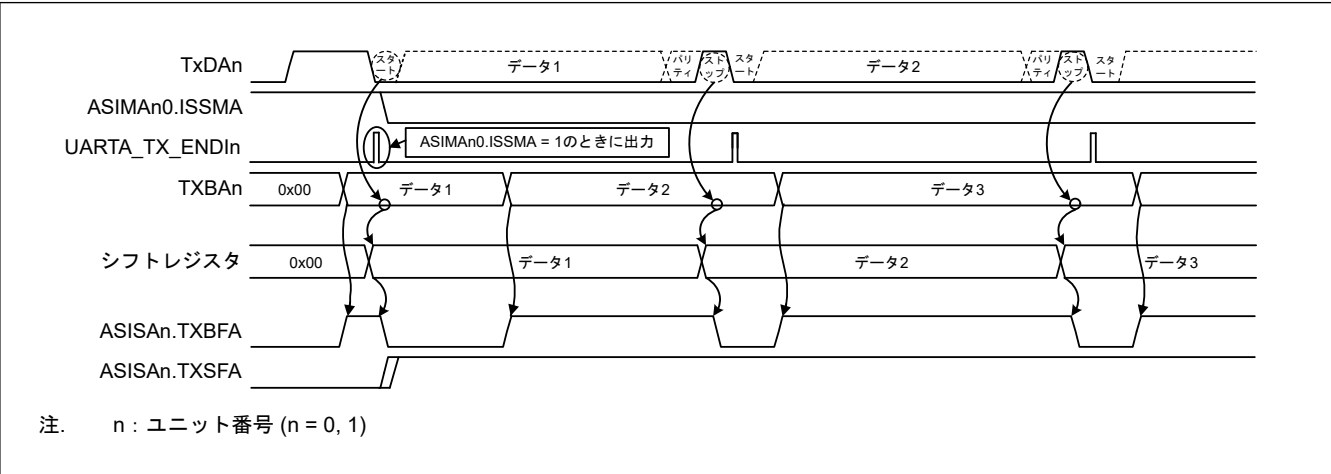


図 25.5 連続送信開始のタイミング

注. ASISAn レジスタを読むと、ASISAn.TXBFA フラグと TXSFA フラグの両方が 1 の期間が存在します。したがって、ASISAn.TXBFA フラグのみを使用して書き込み許可／禁止を判定してください。

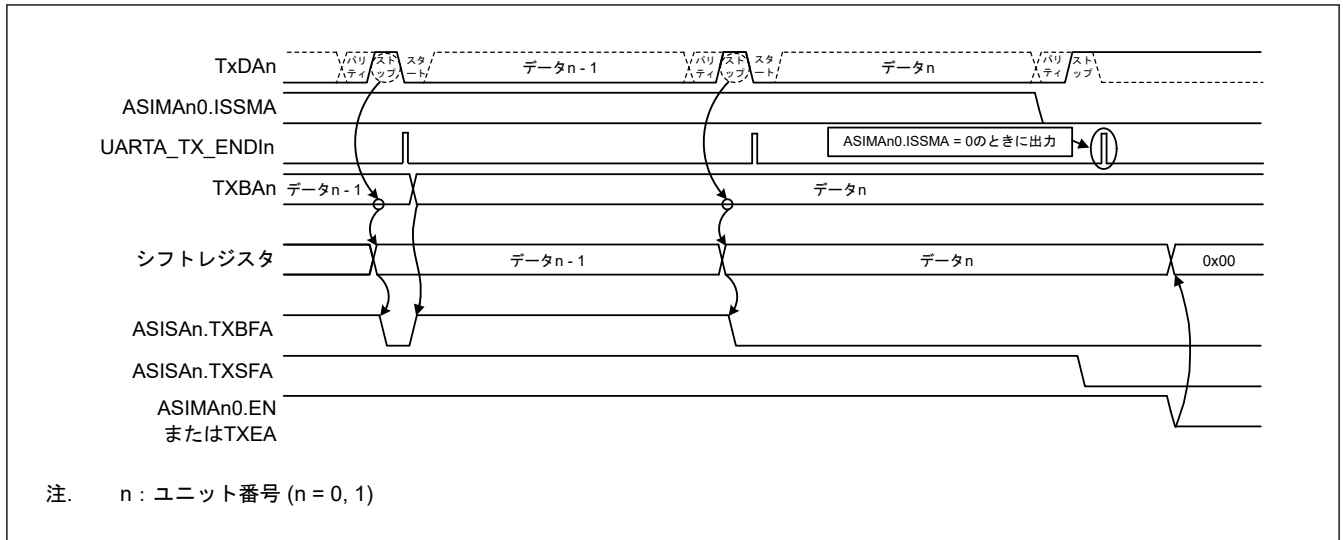


図 25.6 連続送信完了のタイミング

(6) 通常の受信動作

動作モード設定レジスタ 0 (ASIMAn0) の EN ビットを 1 にしてから ASIMAn0 レジスタの RXEA ビットを 1 にすると、受信許可状態となり、RxDAn 端子への入力のサンプリングを実行します。

ASIMAn1.ALV ビットが 0 の場合、ボーレートジェネレータの 8 ビットカウンタは RxDAn 端子の立ち下がりエッジの検出でカウントを開始します。カウンタがボーレートジェネレータコントロールレジスタ (BRGCAn) の設定値に達すると、RxDAn 端子への入力が (図 25.7 の▽で示すポイントで) 再度サンプリングされます。RxDAn 端子が Low の場合、スタートビットと見なされます。

ASIMAn1.ALV ビットが 1 の場合、ボーレートジェネレータの 8 ビットカウンタは RxDAn 端子の立ち上がりエッジの検出でカウントを開始します。カウンタがボーレートジェネレータコントロールレジスタ (BRGCAn) の設定値に達すると、RxDAn 端子への入力が (図 25.7 の▽で示すポイントで) 再度サンプリングされます。RxDAn 端子が High の場合、スタートビットと見なされます。

図 25.7 に、受信動作のタイミング図を示します。

スタートビットを検出すると受信動作を開始し、シリアルデータを指定されたボーレートで受信シフトレジスタに順次格納します。ストップビットを受信すると転送完了割り込み (UARTA_RX_ENDIn) が発生し、同時に受信シフトレジスタ内のデータが受信バッファレジスタ (RXBAn) に書き込まれます。

オーバーランエラー (ASISAn.OVEA) が発生した場合、エラー発生時に受信したデータは RXBAn レジスタに書き込まれないので注意してください。

受信中にパリティエラー (ASISAn.PEA) またはフレーミングエラー (ASISAn.FEA) が発生した場合、ストップビットを受信するまで受信継続します。受信完了後、ASIMAn0.ISRMA ビットに設定した受信エラー割り込み (UARTA_RX_ENDIn または RTA_RX_ERIn) が発生します。

受信エラーが発生した場合、ステータスレジスタ (ASISAn) を読み出してから受信バッファレジスタ (RXBAn) を読み出してエラーフラグをクリアしてください。

受信バッファレジスタ (RXBAn) を読み出さないと、次データの受信時にオーバーランエラーが発生し、受信エラー状態が継続します。

受信は常にストップビットを含むものとして扱われます。したがって、2 ビット目のストップビットは無視されます。

注. n : ユニット番号 (n = 0, 1)

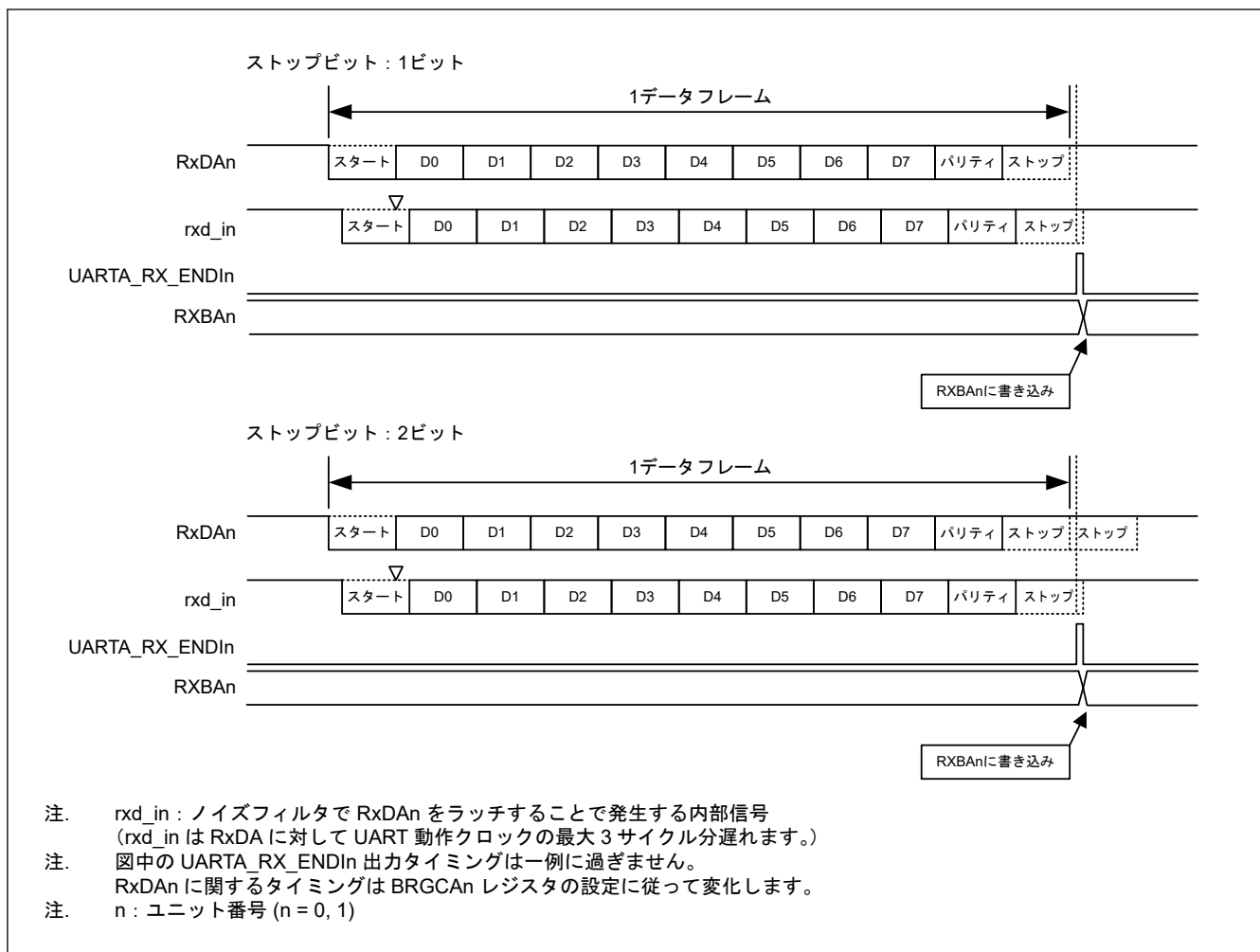


図 25.7 UART 受信動作のタイミング

(7) 受信エラー

受信中に発生する可能性があるエラーはパリティエラー、フレーミングエラー、オーバーランエラーの 3 種類です。

このようなエラーが発生した場合、対応するエラーフラグがステータスレジスタ (ASISAn) に設定されて、受信エラー割り込み要求信号 (UARTA_RX_ENDIn または UARTA_RX_ERIn) が発生します。

ステータスレジスタ (ASISAn) の内容を読み出して確認する受信エラー割り込み処理ルーチンにより、受信エラーの種類を識別できます。

ASISAn レジスタの内容は、ステータスクリアトリガレジスタ (ASCTAn) の対応するビットを 1 にすることで 0 になります。

表 25.8 に各受信エラーの要因を示します。

表 25.8 受信エラーの要因

エラーフラグ	受信エラー	要因
ASISAn.PEA	パリティエラー	受信用に指定したパリティが受信データのパリティに一致しない。
ASISAn.FEA	フレーミングエラー	ストップビットが検出されない。
ASISAn.OVEA	オーバーランエラー	受信バッファから受信データを読み出す前に、次データの受信が完了。

動作モード設定レジスタ 0 (ASIMAn0) の ISRMA ビットを 0 にすると、受信エラー割り込みを UARTA_RX_ENDIn から分離して、UARTA_RX_ERIn として発生させる事ができます。

図 25.8 に、ASIMAn0.ISRMA ビット設定値によって変化する割り込み出力波形を示します。

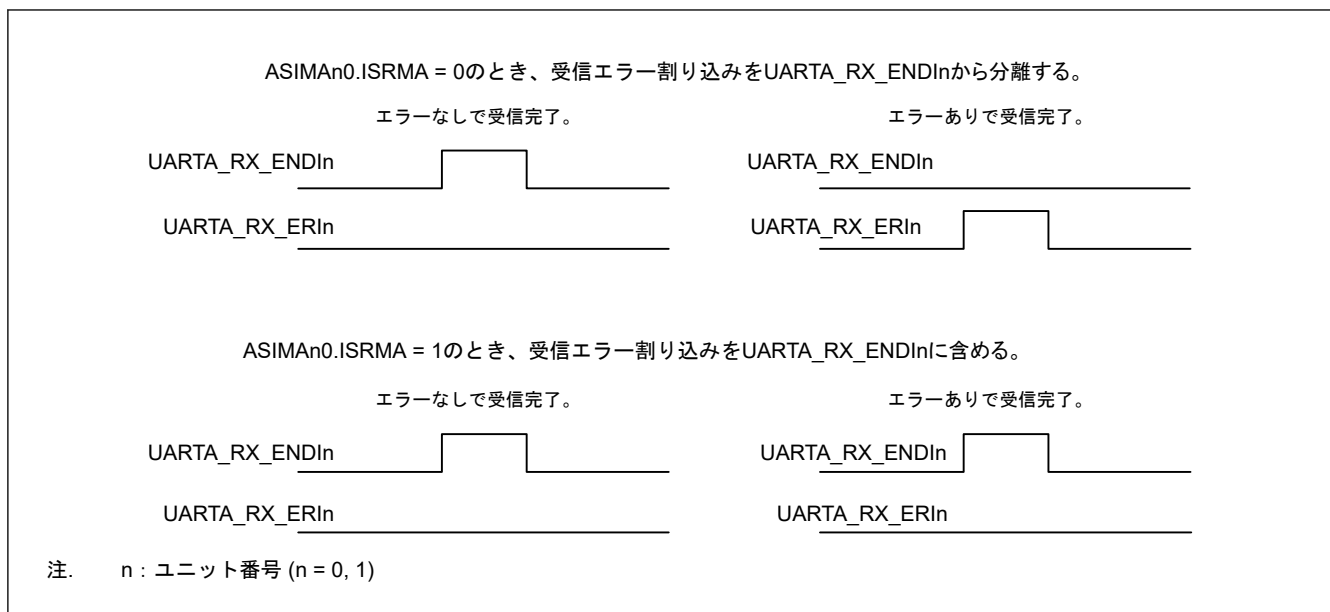


図 25.8 ASIMAn0.ISRMA 設定値によって変化する割り込み出力

25.3.3 受信データノイズフィルタ

本フィルタは受信データ (RxDAn) をサンプリングし、2 回一致したらレベルが確定したとみなします。回路構成により、受信データは動作クロックの最大 3 サイクル分遅れします。

図 25.9 にノイズフィルタ回路を示します。

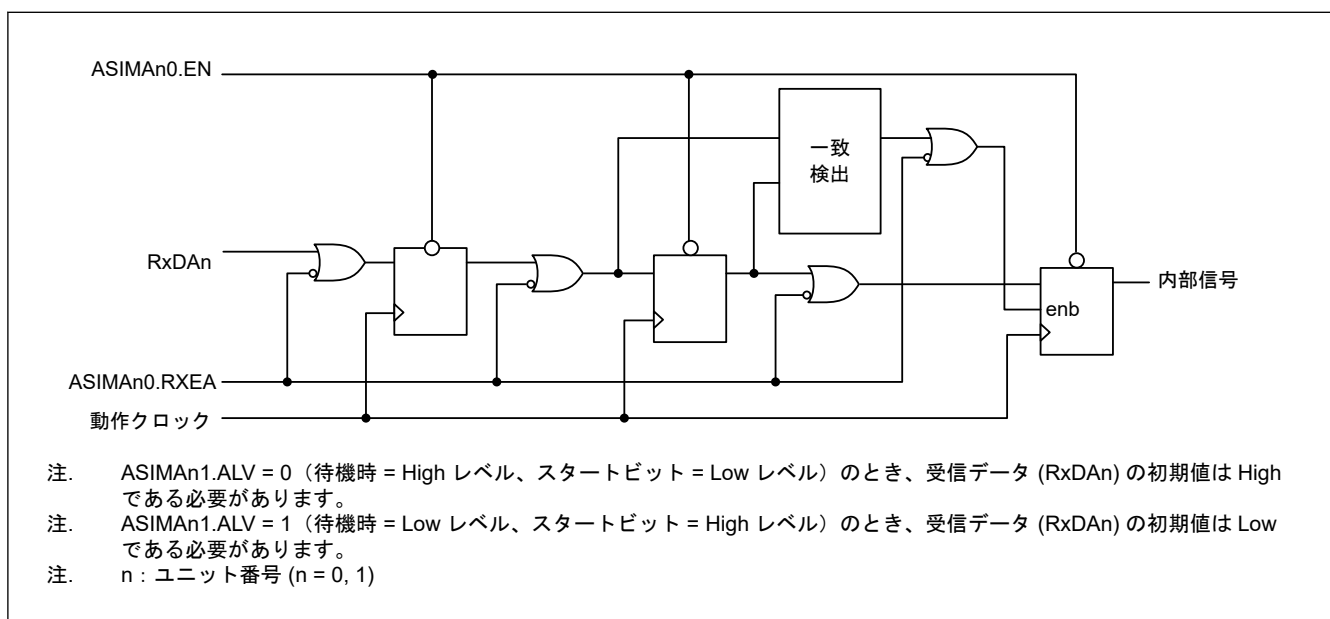


図 25.9 ノイズフィルタ

25.3.4 ボーレートジェネレータ

ボーレートジェネレータは 8 ビットプログラマブルカウンタで構成され、UARTAn の送受信のシリアルクロックを発生させます。

送信用と受信用にそれぞれ一つずつ 8 ビットカウンタが存在します。

(1) ボーレートジェネレータの構成

(a) UARTAn 動作クロック

ASIMAn0.EN = 1 のとき、UARTAn 動作クロック (f_{UTAn}) が各モジュールに供給されます。ASIMAn0.EN = 0 のとき、UARTAn 動作クロックは Low レベルに固定されます。

(b) 送信カウンタ

ASIMAn0.EN = 0 または ASIMAn0.TXEA = 0 になると、このカウンタは 0 にクリアされて停止します。ASIMAn0.EN = 1 かつ ASIMAn0.TXEA = 1 のときに、カウントを再開します。

最初の送信データを送信バッファレジスタ (TXBAn) に書き込むと、カウンタが 0 にクリアされます。

連続送信を行う場合、1 フレーム分のデータの送信が完了すると、カウンタが再度 0 にクリアされます。次に送信するデータがない場合、カウンタは 0 にクリアされず、ASIMAn0.EN ビットまたは TXEA ビットが 0 にクリアされるまでカウントを継続します。ASIMAn0.EN = 0 または ASIMAn0.TXEA = 0 の場合、カウンタは 0x00 で停止します。

(c) 受信カウンタ

ASIMAn0.EN = 0 または ASIMAn0.RXEA = 0 になると、このカウンタは 0 にクリアされて停止します。スタートビットの検出時にカウントを開始します。

1 フレームの受信後、次のスタートビットが検出されるまでカウンタ動作を停止します。ASIMAn0.EN = 0 または ASIMAn0.RXEA = 0 の場合、カウンタは 0x00 で停止します。

注. n : ユニット番号 (n = 0, 1)

図 25.10 にボーレートジェネレータの構成を示します。

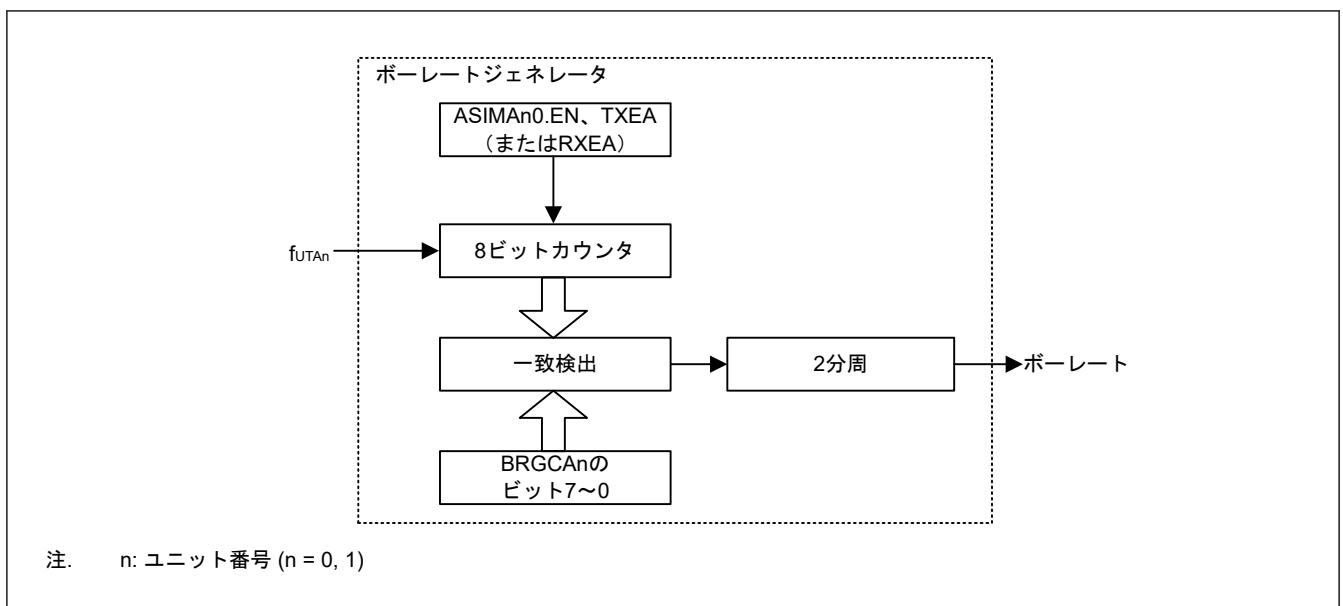


図 25.10 ボーレートジェネレータの構成

(2) シリアルクロックの生成

生成対象のシリアルクロックはボーレートジェネレータコントロールレジスタ (BRGCAn) を使って指定できます。

ボーレートジェネレータは、8 ビットカウンタへの入力クロック信号 (f_{UTAn}) の周波数を、BRGCAn レジスタで設定した除数で分周します。この分周結果をさらに 2 分周してシリアルクロックを生成します。

(3) ボーレートの計算

(a) ボーレートの計算式

ボーレートは以下の式で算出できます。

$$\text{ボーレート} = f_{UTAn} \div (2 \times k) \text{ [bps]}$$

f_{UTAn} : 動作クロックの周波数

k : BRGCAn レジスタのビット 7～0 で設定した値 (k = 2, 3, 4, ..., 255)

(b) ボーレート誤差

ボーレート誤差は以下の式で算出できます。

$$\text{誤差} = \left[\frac{\text{実際のボーレート(誤差ありのボーレート)}}{\text{所望のボーレート(正確なボーレート)}} - 1 \right] \times 100[\%]$$

注. 送信時のボーレート誤差は、受信側の許容誤差範囲内に抑えてください。

注. 受信時のボーレート誤差が、受信時の許容ボーレート誤差範囲を満たすようにしてください。受信時の許容ボーレート誤差は、(d) 受信時の許容ボーレート範囲で説明します。

注. n : ユニット番号 (n = 0, 1)

(c) ボーレート設定例

表 25.9～表 25.12 にボーレートジェネレータの設定データを示します。

表 25.9 ボーレートジェネレータの設定データ (1/4)

所望のボーレート	UARTAHCLK = 32 MHz (UTA0CK.SEL[1:0] = 10b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差
200 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
300 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
600 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
1200 bps	禁止		禁止		禁止		禁止		禁止		禁止		208	0.16%
2400 bps	禁止		禁止		禁止		禁止		禁止		208	0.16%	104	0.16%
4800 bps	禁止		禁止		禁止		禁止		208	0.16%	104	0.16%	52	0.16%
9600 bps	禁止		禁止		禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%
19200 bps	禁止		禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
38400 bps	禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止	
76800 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止		禁止	
115200 bps	139	-0.08%	69	0.64%	35	-0.79%	17	2.12%	禁止		禁止		禁止	
153600 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止		禁止		禁止	

表 25.10 ボーレートジェネレータの設定データ (2/4) (1/2)

所望のボーレート	UARTAMOCK = 4 MHz (UTA0CK.SEL[1:0] = 11b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差
200 bps	禁止		禁止		禁止		禁止		禁止		禁止		156	0.16%
300 bps	禁止		禁止		禁止		禁止		禁止		208	0.16%	104	0.16%
600 bps	禁止		禁止		禁止		禁止		208	0.16%	104	0.16%	52	0.16%
1200 bps	禁止		禁止		禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%
2400 bps	禁止		禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%

表 25.10 ポーレートジェネレータの設定データ (2/4) (2/2)

所望のボーレート	UARTAMCLK = 4 MHz (UTA0CK.SEL[1:0] = 11b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差	k	所望のボーレートからの誤差
4800 bps	禁止		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止	
9600 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止		禁止	
19200 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	禁止		禁止		禁止	
38400 bps	52	0.16%	26	0.16%	13	0.16%	禁止		禁止		禁止		禁止	
76800 bps	26	0.16%	13	0.16%	禁止		禁止		禁止		禁止		禁止	
115200 bps	17	2.12%	禁止		禁止		禁止		禁止		禁止		禁止	
153600 bps	13	0.16%	禁止		禁止		禁止		禁止		禁止		禁止	

表 25.11 ポーレートジェネレータの設定データ (3/4)

希望のポーレート	UARTAMCLK = 20 MHz (UTA0CK.SEL[1:0] = 01b) で動作時													
	分周なし		2 分周		4 分周		8 分周		16 分周		32 分周		64 分周	
	(UTAnCK.CK[3:0] = 0x0)		(UTAnCK.CK[3:0] = 0x1)		(UTAnCK.CK[3:0] = 0x2)		(UTAnCK.CK[3:0] = 0x3)		(UTAnCK.CK[3:0] = 0x4)		(UTAnCK.CK[3:0] = 0x5)		(UTAnCK.CK[3:0] = 0x6)	
	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差	k	希望のポーレートからの誤差
200 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
300 bps	禁止		禁止		禁止		禁止		禁止		禁止		禁止	
600 bps	禁止		禁止		禁止		禁止		禁止		禁止		255	2.12%
1200 bps	禁止		禁止		禁止		禁止		禁止		255	2.12%	130	0.16%
2400 bps	禁止		禁止		禁止		禁止		255	2.12%	130	0.16%	65	0.16%
4800 bps	禁止		禁止		禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%
9600 bps	禁止		禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%
19200 bps	禁止		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%
38400 bps	255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%
76800 bps	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	禁止	
115200 bps	87	-0.22%	43	0.94%	22	-1.36%	11	-1.36%	禁止		禁止		禁止	
153600 bps	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	禁止		禁止	

表 25.12 ポーレートジェネレータの設定データ (4/4) (1/2)

希望のポーレート	UARTALCLK/UARTASCLK = 32.768 kHz で動作時 (UTAnCK.CK[3:0] = 0x8)	
	k	希望のポーレートからの誤差
200 bps	82	-0.10%
300 bps	55	-0.70%
600 bps	27	-1.14%

表 25.12 ポーレートジェネレータの設定データ (4/4) (2/2)

所望のポーレート	UARTALCLK/UARTASCLK = 32.768 kHz で動作時 (UTAnCK.CK[3:0] = 0x8)	
	k	所望のポーレートからの誤差
1200 bps	14	-2.48%
2400 bps	7	-2.48%
4800 bps	禁止	
9600 bps	禁止	
19200 bps	禁止	
38400 bps	禁止	
76800 bps	禁止	
115200 bps	禁止	
153600 bps	禁止	

- 注.
- UARTAMCLK: UARTA 外部クロック
 - UARTASCLK: UARTA サブクロック
 - UARAHCLK: UARTA HOCO クロック
 - UARTAMOCK: UARTA MOCO クロック
 - UARTALCLK: UARTA LOCO クロック

- 注. k: ポーレートジェネレータコントロールレジスタ (BRGCAn) のビット 7~0 で設定した値 (k = 2, 3, 4, ..., 255)
n: ユニット番号 (n = 0, 1)

(d) 受信時の許容ポーレート範囲

図 25.11 に、受信時の送信側のポーレートの許容誤差を示します。

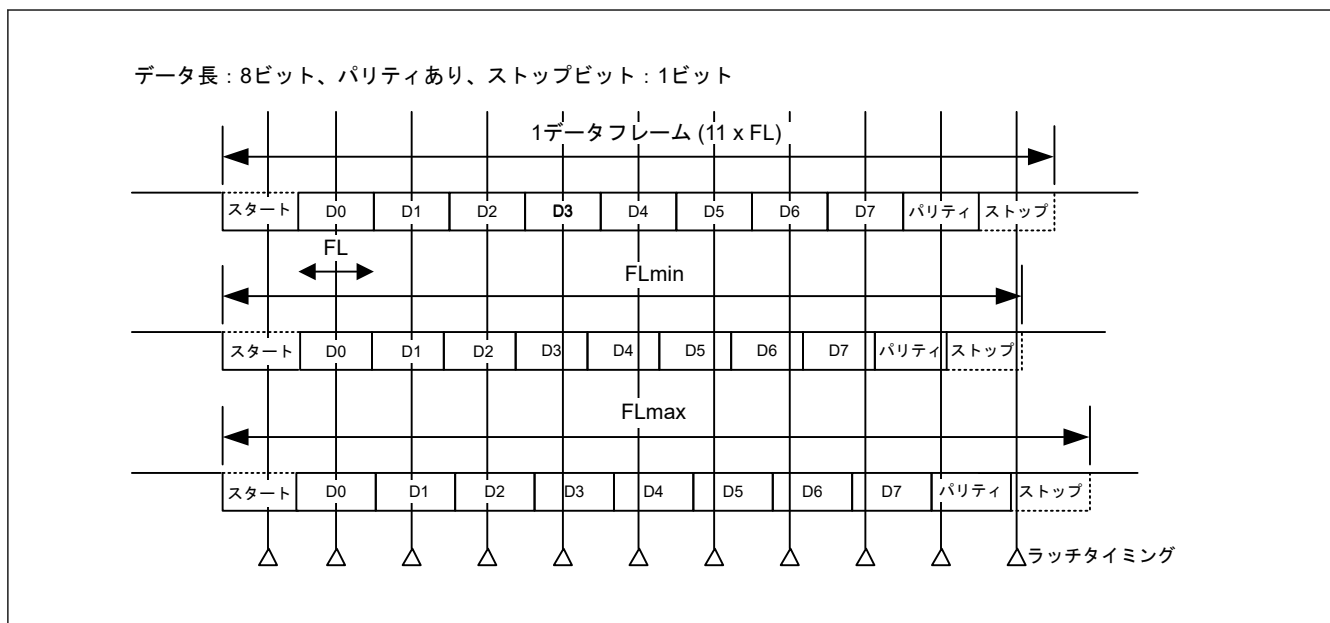


図 25.11 受信時の許容ポーレート範囲

- 注. 受信時のポーレート誤差が許容誤差範囲内になるように設定を行ってください。誤差が許容範囲内かどうかは以下の計算式で確認してください。

スタートビットの検出後、ポーレートジェネレータコントロールレジスタ (BRGCAn) で指定したカウンタにより、受信データのラッチタイミングが決定されます。ストップビットを含むフレーム全体をこのラッチより前に受信していれば、正常に受信できます。

11 ビットのデータを受信したと仮定した場合、理論値は以下のように算出できます。

- 1 ビットデータ長とポーレートとの関係

$$FL = (\text{Brate}) - 1$$
 Brate: UART のポーレート

k : BRGCAn レジスタの値を設定します。

FL : 1 ビットデータ長

ラッチタイミングのマージン : 1 クロック

- 許容最小データフレーム長 (FLmin)

$$FLmin = 11 \times FL - \frac{k-1}{2k} \times FL = \frac{21k+1}{2k} FL$$

- 受信可能な送信先の許容最大ボーレート (BRmax)

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+1} Brate$$

- 許容最大データフレーム長 (FLmax)

$$FLmax = \frac{21k+1}{20k} FL \times 11$$

- 受信可能な送信先の許容最小ボーレート (BRmin)

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-1} Brate$$

表 25.13 に、上記の許容最大／最小ボーレート式から算出できる、UART と送信側との間の許容ボーレート誤差を示します。

表 25.13 許容最大／最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
2	+2.32%	-2.43%
4	+3.52%	-3.61%
8	+4.14%	-4.19%
20	+4.51%	-4.53%
50	+4.66%	-4.67%
100	+4.71%	-4.71%
255	+4.74%	-4.74%

注. 受信の許容誤差は、1 フレームのビット数、入力クロック周波数、および分周比 (k) に依存します。

入力クロック周波数と分周比 (k) が高いほど、許容誤差も大きくなります。

注. k : BRGCAn レジスタの値を設定します。

注. n : ユニット番号 (n = 0, 1)

25.4 使用上の注意事項

25.4.1 RxDAn 端子のポート設定

ASIMAn1.ALV = 0 (待機時 = High レベル、スタートビット = Low レベル) のとき、受信データ (RxDAn) の初期値は High である必要があります。ASIMAn1.ALV = 1 (待機時 = Low レベル、スタートビット = High レベル) のとき、受信データ (RxDAn) の初期値は Low である必要があります。したがって、ASIMAn0.EN = 1 を設定する前に RxDAn 端子のポート設定が必要です。

25.4.2 UARTAn 動作クロック (f_{UTAn}) を選択するときの注意点

f_{UTAn} に UARTAMOCK を選択すると、中速オンチップオシレータの発振周波数精度により通信が正しく実行されないことがあります。したがって、MOCO ユーザトリミングコントロールレジスタ (MOCOUTCR) を使って精度を調整してください。

f_{UTAn} に UARTALCLK/UARTASCLK を選択し、かつ UARTALCLK/UARTASCLK に UARTALCLK を選択すると、低速オンチップオシレータの発振周波数精度により通信が正しく実行されないことがあります。したがって、LOCO ユーザトリミングコントロールレジスタ (LOCOUTCR) を使って精度を調整してください。

26. リモコン信号受信機能 (REMC)

26.1 概要

リモコン信号受信機能は、外部パルス入力信号の幅と周期を確認することでデータを受信できます。表 26.1 にリモコン信号受信機能の仕様を示します。図 26.1 にリモコン信号受信機能のブロック図を示します。

表 26.1 リモコン信号受信機能の仕様

項目	説明
搭載ユニット数	1
外部パルス入力	RINO
動作クロック	REMCLCLK/REMCCLK タイマ割り込み (TAU0_ENDI6)
検出パターン	ヘッダパターン データ 0 パターン データ 1 パターン 特殊データパターン
受信バッファ	8 バイト (64 ビット)
比較ビット数	1~16 ビット
割り込み要求信号	REMC_OUTI
割り込み要因	ヘッダパターン一致 ^(注1) コンペアー一致 ^(注1) データ受信完了 ^(注1) 特殊データパターン一致 ^(注1) データ 0 パターンまたはデータ 1 パターン一致 受信バッファフル 受信エラー
選択可能な機能	入力信号反転 デジタルフィルタ (2 回または 3 回一致) ^(注2) パターンエンド設定
消費電力低減機能	MSTPCRC.MSTPC19 ビットの設定によりクロック供給の停止が可能。 REMC 割り込み要求信号によりスリープモードから通常動作モードに移行可能。

注. • REMCLCLK: REMC LOCO クロック

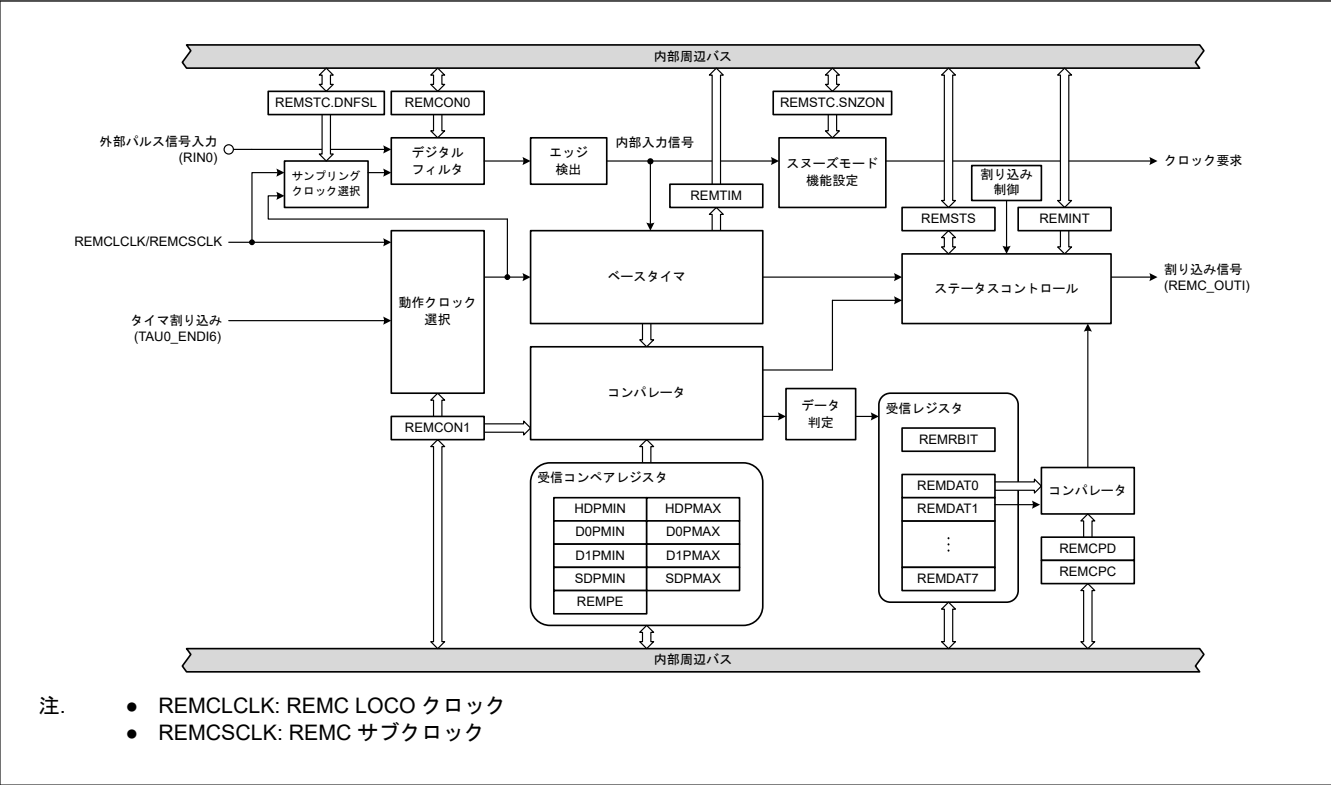
• REMCCLK: REMC サブクロック

注 1. 割り込みモードにはノーマル割り込みモードまたはシーケンシャル割り込みモードが選択できます。

ノーマル割り込みモードでは、複数の割り込み要因の OR 条件が適用されます。

シーケンシャル割り込みモードでは、複数の割り込み要因の AND 条件が適用されます。

注 2. デジタルフィルタのサンプリングクロックは、REMCN1.CSRC ビットまたは REMCLCLK/REMCCLK で選択した動作クロックです。スリープモードへの遷移を許可している場合、REMCLCLK/REMCCLK をデジタルフィルタのサンプリングクロックに選択してください。



注.

- REMCLCLK: REMC LOCO クロック
- REMCCLK: REMC サブクロック

図 26.1 リモコン信号受信機能のブロック図

表 26.2 にリモコン信号受信機能で使用する入力端子を示します。

表 26.2 リモコン信号受信機能の端子設定

端子名	入出力	機能
RIN0	入力	外部パルス信号入力

26.2 レジスタの説明

26.2.1 REMCON0：機能選択レジスタ 0

Base address: REMC = 0x4009_2100

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	FILSE L	—	EC	INFLG	FIL	INV	ENFL G

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	ENFLG(注1)	リモートコントロールステータスフラグ リモコン信号受信機能が停止しているか動作中かを本フラグで確認できます。 REMCN1.EN ビットに任意の値を書き込むと、動作クロックの 0~1 サイクル後に本フラグが変わります。 0: 停止 1: 動作中	R
1	INV(注2)	入力信号反転 0: 反転なし 1: 反転あり	R/W
2	FIL(注2)	デジタルフィルタ有効/無効設定 0: 2 回または 3 回一致用のデジタルフィルタ無効 1: 2 回または 3 回一致用のデジタルフィルタ有効	R/W

ビット	シンボル	機能	R/W
3	INFLG ^(注1)	入力信号フラグ 本フラグで、リモコン信号受信機能の内部入力信号のレベルを確認できます。 確認したレベルは INV ビットと FIL ビットで設定した結果となります。 0: リモコン信号受信機能の内部入力信号のレベルは Low 1: リモコン信号受信機能の内部入力信号のレベルは High	R
4	EC ^(注2)	受信エラーキャプチャ動作選択 このビットで、エラーパターン受信後の REMRBIT レジスタおよび REMDATj レジスタ (j = 0~7) へのキャプチャ動作を設定できます。 0: エラーパターン受信後にデータをキャプチャする 1: エラーパターン受信後にデータをキャプチャしない	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	FILSEL ^(注2)	デジタルフィルタ機能選択 0: 3 回一致用のデジタルフィルタ 1: 2 回一致用のデジタルフィルタ	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. REMCON1.EN ビットを 0 にすると、これらのフラグは 0 になります。

注 2. これらのビットは、REMCN1.EN ビットと REMCON0.ENFLG フラグの両方が 0 (REMC 停止) のときに書き換え可能です。

REMCN0 レジスタにはリモコン信号受信機能の動作状態および入力信号のレベルを示すフラグがあり、入力信号反転の制御、デジタルフィルタの制御、受信エラーキャプチャ動作の選択に使用します。

REMC の動作中 (REMCN1.EN = 1 のとき) は REMCON0 レジスタの書き換え禁止です。

26.2.2 REMCON1 : 機能選択レジスタ 1

Base address: REMC = 0x4009_2100

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	CSRC	—	INTMD	EN	TYP[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TYP[1:0] ^(注1)	受信モード選択 0 0: フォーマット A 0 1: フォーマット B 1 0: フォーマット C 1 1: 設定禁止	R/W
2	EN	リモコン制御 0: 動作禁止 1: 動作許可	R/W
3	INTMD ^(注2)	割り込みモード選択 0: ノーマル割り込みモード (OR 条件) 1: シーケンシャル割り込みモード (AND 条件)	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	CSRC ^(注2)	動作クロック選択 0: REMCLCLK/REMCCLK 1: タイマ割り込み (TAU0_ENDI6) インターバルタイマモードでタイマアレイユニットのチャンネル 6 を使用	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ● REMCLCLK: REMC LOCO クロック

● REMCCLK: REMC サブクロック

注 1. REMCON1.EN ビットまたは REMCON0.ENFLG フラグが 1 (REMC 動作中) のときに TYP[1:0] ビットを書き換える場合は、これらのビットの値を一度に 1 ビットずつ変更してください。

注 2. これらのビットは、REMCN1.EN ビットと REMCON0.ENFLG フラグの両方が 0 (REMC 停止) のときに書き換え可能です。

REMCN1 レジスタは、リモコン信号受信機能の動作クロック、受信モード、割り込みモードなどの動作条件の設定に使用します。

TYP[1:0]ビット（受信モード選択）

リモートコントロール信号波形をキャプチャするフォーマットの選択に使用できるビットです。

各フォーマットの詳細は、「[26.3.3. パターン設定](#)」を参照してください。

EN ビット（リモコン制御）

REMC 動作を許可または禁止するビットです。

動作を開始したかどうかは REMCN0.ENFLG フラグで確認してください。

INTMD ビット（割り込みモード選択）

割り込みモードの選択に使用できるビットです。

ノーマル割り込みモードでは、割り込み制御レジスタ (REMINT) で許可（1 に設定）された割り込み要因の OR 条件が満たされると、割り込みが発生します。

シーケンシャル割り込みモードでは、REMINT レジスタの割り込み許可ビットが 1 に設定されている要因（コンペアー一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致）のすべての割り込み発生条件が満たされると、割り込み (REMC_OUTI) が発生します。

CSRC ビット（動作クロック選択）

リモコン信号受信機能の動作クロックを選択するビットです。

26.2.3 REMSTS : ステータスレジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SDFL G	D1FL G	D0FL G	HDFL G	BFULF LG	DRFL G	REFL G	CPFL G

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CPFLG	コンペアー一致フラグ 0: 不一致 1: 一致	R
1	REFLG	受信エラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
2	DRFLG	データ受信フラグ 0: データ受信待機中 1: データ受信	R
3	BFULFLG(注1)	受信バッファフルフラグ 0: 受信バッファが空である 1: 受信バッファフル (64 ビットを受信)	R/W
4	HDFLG	ヘッダパターン一致フラグ 0: 不一致 1: 一致	R
5	D0FLG	データ 0 パターン一致フラグ 0: 不一致 1: 一致	R
6	D1FLG	データ 1 パターン一致フラグ 0: 不一致 1: 一致	R

ビット	シンボル	機能	R/W
7	SDFLG	特殊データパターン一致フラグ 0: 不一致 1: 一致	R

注. データの更新と読み出しが重なった場合、不定値が読み出される可能性があります。本レジスタ読み出しの詳細については、「[26.4.5. レジスタ読み出し](#)」を参照してください。

注. REMCON1.EN ビットを 0 にすると本レジスタは 0x00 になります。

注 1. BFULFLG ビットには、フラグをクリアする 0 しか書き込めません。ただし、REMCN0.INFLG フラグの変更時に本フラグに書き込みを行った場合、本フラグの読み出し値が不定になる可能性があります。

REMSTS レジスタは、リモコン信号受信機能の受信状態およびエラー発生状態を表示します。

CPFLG フラグ（コンペアー一致フラグ）

本フラグは、REMCPC.CPN[3:0]ビットで指定した REMCPD レジスタの値と REMDAT1 レジスタおよび REMDAT0 レジスタに格納するデータとの比較結果を示します。

[0 になる条件]

- DRFLG フラグが 0 から 1 に変わったとき（次フレーム受信開始）
- HDFLG フラグが 0 から 1 に変わったとき

[1 になる条件]

- REMCPD レジスタの値が REMDAT1 レジスタおよび REMDAT0 レジスタに格納する値と一致したとき（REMCPC.CPN[3:0]ビットの設定値が n のときに、REMCPC レジスタのビット $n \sim 0$ が REMDAT1 レジスタおよび REMDAT0 レジスタのビット $n \sim 0$ と一致）

REFLG フラグ（受信エラーフラグ）

本フラグは、受信エラーが発生したことを示します。1 になる条件は REMCON1.TYP[1:0]ビットの値によって異なります。

[0 になる条件]

- ヘッダパターンを検出したとき。
- DRFLG フラグが 0 から 1 に変わったとき。（次フレーム受信開始）

[1 になる条件]

REMCN1.TYP[1:0]ビットが 00b（フォーマット A）の場合

- ヘッダパターンを受信する前にデータ 0 パターン、データ 1 パターン、または特殊データパターンを検出したとき。
- 入力信号の立ち上がりエッジから次の立ち上がりエッジまでの幅が、ヘッダパターン、データ 0 パターン、データ 1 パターン、特殊データパターンではないとき（REMCN0.INV ビットが 0 の場合）。
- データ受信の完了（DRFLG フラグが 1 から 0 に変わるタイミング）と新しい入力信号の変化が競合したとき。

REMCN1.TYP[1:0]ビットが 01b（フォーマット B）の場合

- ヘッダパターンを受信する前にデータ 0 パターン、データ 1 パターン、または特殊データパターンを検出したとき。
- 入力信号の立ち下がりエッジから次の立ち下がりエッジまでの幅が、データ 0 パターン、データ 1 パターン、特殊データパターンではないとき（REMCN0.INV ビットが 0 の場合）。
- データ受信の完了（DRFLG フラグが 1 から 0 に変わるタイミング）と新しい入力信号の変化が競合したとき。

REMCN1.TYP[1:0]ビットが 10b（フォーマット C）の場合

- 入力信号の立ち上がりエッジから次の立ち上がりエッジまでの幅が、ヘッダパターン、データ 0 パターン、データ 1 パターン、特殊データパターンではないとき（REMCN0.INV ビットが 0 の場合）。
- データ受信の完了（DRFLG フラグが 1 から 0 に変わるタイミング）と新しい入力信号の変化が競合したとき。

DRFLG フラグ（データ受信フラグ）

リモコン信号の受信状態を示します。

[0 になる条件]

- ベースタイマの値が HDPMAX、D0PMAX、D1PMAX、SDPMAX、REMPE レジスタのどの値よりも大きい場合（動作クロックの 1 サイクル後に 0 になる。）

[1 になる条件]

- REMC 内部入力信号の立ち上がりエッジ（REMC0.INV ビットが 0 の場合）

BFULFLG フラグ（受信バッファフルフラグ）

[0 になる条件]

- HDFLG フラグが 0 から 1 に変わったとき
- DRFLG フラグが 0 から 1 に変わったとき（次フレーム受信開始）
- BFULFLG フラグに 0 を書き込むと、本フラグは動作クロックの 1~2 サイクル後に 0 になります。

[1 になる条件]

- REMRBIT レジスタの値が 64 になったとき

HDFLG フラグ（ヘッダパターン一致フラグ）

[0 になる条件]

- DRFLG フラグが 0 から 1 に変わったとき（次フレーム受信開始）
- REFLG フラグが 0 から 1 に変わったとき
- 表 26.3 を参照してください。

[1 になる条件]

- 表 26.3 を参照してください。

D0FLG フラグ（データ 0 パターン一致フラグ）

[0 になる条件]

- DRFLG フラグが 0 から 1 に変わったとき（次フレーム受信開始）
- REFLG フラグが 0 から 1 に変わったとき
- 表 26.3 を参照してください。

[1 になる条件]

- 表 26.3 を参照してください。

D1FLG フラグ（データ 1 パターン一致フラグ）

[0 になる条件]

- DRFLG フラグが 0 から 1 に変わったとき（次フレーム受信開始）
- REFLG フラグが 0 から 1 に変わったとき
- 表 26.3 を参照してください。

[1 になる条件]

- 表 26.3 を参照してください。

SDFLG フラグ（特殊データパターン一致フラグ）

[0 になる条件]

- DRFLG フラグが 0 から 1 に変わったとき（次フレーム受信開始）

- REFLG フラグが 0 から 1 に変わったとき
- 表 26.3 を参照してください。

[1 になる条件]

- 表 26.3 を参照してください。

表 26.3 に測定結果とフラグを示します。

表 26.3 測定結果とフラグ

REMTIM レジスタの値（測定結果）と各レジスタの比較結果	フラグ値			
	HDFLG	D0FLG	D1FLG	SDFLG
HDPMIN 以上 HDPMAX 以下	1	0	0	0
D0PMIN 以上 D0PMAX 以下	0	1(注1)	0	0
D1PMIN 以上 D1PMAX 以下	0	0	1(注1)	0
SDPMIN 以上 SDPMAX 以下	0	0	0	1(注1)
上記以外の値	0	0	0	0

注 1. REMCON1.TYP[1:0]ビットが 00b または 01b の場合、D0FLG フラグ、D1FLG フラグ、SDFLG フラグはヘッダパターンが検出されるまで変化しません。

26.2.4 REMINT : 割り込み制御レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SDINT	—	DINT (注1)	HDINT	BFULINT	DRINT	REINT	CPINT

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	CPINT	コンペアー致割り込み許可 0: 禁止 1: 許可	R/W
1	REINT	受信エラー割り込み許可 0: 禁止 1: 許可	R/W
2	DRINT(注1)	データ受信割り込み許可 0: 禁止 1: 許可	R/W
3	BFULINT	受信バッファフル割り込み許可 0: 禁止 1: 許可	R/W
4	HDINT	ヘッダパターン一致割り込み許可 0: 禁止 1: 許可	R/W
5	DINT(注1)	データ 0 パターンまたはデータ 1 パターン一致割り込み許可 0: 禁止 1: 許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SDINT	特殊データパターン一致割り込み許可 0: 禁止 1: 許可	R/W

注 1. このビットの書き換えは REMC 動作中でも可能です (REMCN1.EN = 1 の場合)。

REMINT レジスタは、各割り込みの発生を許可または禁止するために使用します。

REMC の動作中は REMINT レジスタの書き換え禁止です。REMC0N1.EN ビットと REMCON0.ENFLG フラグの両方が 0 (REMC 停止) のときに、本レジスタを書き換えてください。

26.2.5 REMCPC : コンペア制御レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CPN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CPN[3:0]	コンペアビットカウント指定 0x0: REMCPD レジスタのビット 0 を REMDAT0 レジスタのビット 0 と比較 0x1: REMCPD レジスタのビット 1 および 0 を、REMDAT0 レジスタのビット 1 および 0 と比較 ⋮ 0x7: REMCPD レジスタのビット 7~0 を REMDAT0 レジスタのビット 7~0 と比較 ⋮ 0x9: REMCPD レジスタのビット 9~0 を、REMDAT1 レジスタのビット 1 と 0 および REMDAT0 レジスタのビット 7~0 と比較 ⋮ 0xF: REMCPD レジスタのビット 15~0 を、REMDAT1 レジスタのビット 7~0 および REMDAT0 レジスタのビット 7~0 と比較	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

REMCPC レジスタは、コンペア機能使用時に、REMCPC レジスタの値と REMDAT1、REMDAT0 レジスタに格納するデータを比較するビット数を指定するために使用します。

REMC の動作中は REMCPC レジスタの書き換え禁止です。本レジスタは、REMC0N1.EN ビットと REMCON0.ENFLG フラグの両方が 0 (REMC 停止) のときに書き換え可能です。

CPN[3:0]ビット (コンペアビットカウント指定)

CPN[3:0]ビットの設定値が n のとき、ビット n~0 を比較します。

26.2.6 REMCPD : 比較値設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x06

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	受信データと比較する値の設定	R/W

REMCPC レジスタは、コンペア機能使用時に REMDAT1 レジスタおよび REMDAT0 レジスタのデータと比較する値を設定するために使用します。比較対象のビット数は REMCPC.CPN[3:0]ビットで設定できます。REMC の動作中 (REMC0N1.EN = 1 の場合) は REMCPC レジスタの書き換え禁止です。

26.2.7 HDPMIN : ヘッダパターン最小幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x08

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HDMIN[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	HDMIN[10:0]	ヘッダパターンの最小幅を設定	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

HDPMIN レジスタは、ヘッダパターンの最小幅の設定に使用します。設定範囲は 0x000~0x7FF です。ベースタイマを使って測定した外部入力信号のエッジ間隔が HDPMIN 以上 HDPMAX 以下である場合、その信号のパターンをヘッダパターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は HDPMIN レジスタの書き換え禁止です。

26.2.8 HDPMAX : ヘッダパターン最大幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x0A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HDMAX[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	HDMAX[10:0]	ヘッダパターンの最大幅を設定	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

HDPMAX レジスタは、ヘッダパターンの最大幅の設定に使用します。設定範囲は 0x000~0x7FF です。ベースタイマを使って測定した外部入力信号のエッジ間隔が HDPMIN 以上 HDPMAX 以下である場合、その信号のパターンをヘッダパターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は HDPMAX レジスタの書き換え禁止です。

26.2.9 D0PMIN : データ 0 パターン最小幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	n/a	データ 0 パターンの最小幅を設定	R/W

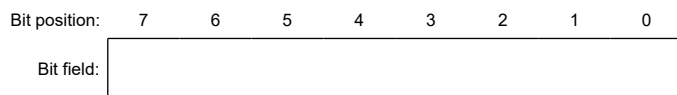
D0PMIN レジスタは、データ 0 パターンの最小幅の設定に使用します。設定範囲は 0x00~0xFF です。ベースタイマを使って測定した外部入力信号のエッジ間隔が D0PMIN 以上 D0PMAX 以下である場合、その信号のパターンをデータ 0 パターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は D0PMIN レジスタの書き換え禁止です。

26.2.10 D0PMAX : データ 0 パターン最大幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x0D



Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	n/a	データ 0 パターンの最大幅を設定	R/W

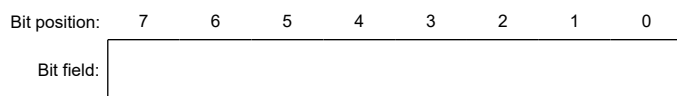
D0PMAX レジスタは、データ 0 パターンの最大幅の設定に使用します。設定範囲は 0x00~0xFF です。ベースタイムを使って測定した外部入力信号のエッジ間隔が D0PMIN 以上 D0PMAX 以下である場合、その信号のパターンをデータ 0 パターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は D0PMAX レジスタの書き換え禁止です。

26.2.11 D1PMIN : データ 1 パターン最小幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x0E



Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	n/a	データ 1 パターンの最小幅を設定	R/W

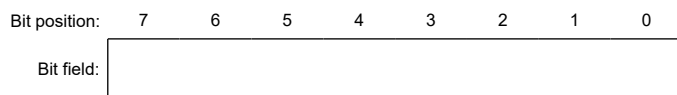
D1PMIN レジスタは、データ 1 パターンの最小幅の設定に使用します。設定範囲は 0x00~0xFF です。ベースタイムを使って測定した外部入力信号のエッジ間隔が D1PMIN 以上 D1PMAX 以下である場合、その信号のパターンをデータ 1 パターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は D1PMIN レジスタの書き換え禁止です。

26.2.12 D1PMAX : データ 1 パターン最大幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x0F



Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	n/a	データ 1 パターンの最大幅を設定	R/W

D1PMAX レジスタは、データ 1 パターンの最大幅の設定に使用します。設定範囲は 0x00~0xFF です。ベースタイムを使って測定した外部入力信号のエッジ間隔が D1PMIN 以上 D1PMAX 以下である場合、その信号のパターンをデータ 1 パターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は D1PMAX レジスタの書き換え禁止です。

26.2.13 SDPMIN : 特殊データパターン最小幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SDMIN[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	SDMIN[10:0]	特殊データパターンの最小幅を設定	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SDPMIN レジスタは、特殊データパターンの最小幅の設定に使用します。設定範囲は 0x000～0x7FF です。

ベースタイマを使って測定した外部入力信号のエッジ間隔が SDPMIN 以上 SDPMAX 以下である場合、その信号のパターンを特殊データパターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は SDPMIN レジスタの書き換え禁止です。

26.2.14 SDPMAX : 特殊データパターン最大幅設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x12

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SDMAX[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	SDMAX[10:0]	特殊データパターンの最大幅を設定	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SDPMAX レジスタは、特殊データパターンの最大幅の設定に使用します。設定範囲は 0x000～0x7FF です。

ベースタイマを使って測定した外部入力信号のエッジ間隔が SDPMIN 以上 SDPMAX 以下である場合、その信号のパターンを特殊データパターンとして検出します。

REMC の動作中 (REMCN1.EN = 1 の場合) は SDPMAX レジスタの書き換え禁止です。

26.2.15 REMPE : パターンエンド設定レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	PE[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	PE[10:0]	パターンエンドの幅を設定	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

REMPE レジスタは、パターンエンドの幅の設定に使用します。設定範囲は 0x000～0x7FF です。

REMSTS.DRFLG フラグが 1 から 0 に変わるタイミングを設定可能です。

REMC の動作中 (REMC0N1.EN = 1 の場合) は REMPE レジスタの書き換え禁止です。

26.2.16 REMSTC : レシーバスタンバイコントロールレジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x16

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	DNFS L	SNZO N
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNZON ^(注1)	スヌーズモード動作制御 0: ソフトウェアスタンバイモードからスヌーズモードへの遷移禁止 1: ソフトウェアスタンバイモードからスヌーズモードへの遷移許可	R/W
1	DNFSL ^(注1)	デジタルフィルタクロック選択 0: REMC 動作クロックをサンプリングクロックに選択 1: REMCLCLK/REMCCLK をサンプリングクロックに選択	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. ● REMCLCLK: REMC LOCO クロック

● REMCCLK: REMC サブクロック

注 1. REMCON1.EN ビットと REMCON0.ENFLG フラグの両方が 0 (REMC 停止) のときに、このビットを 1 にしてください。

REMSTC レジスタは、ソフトウェアスタンバイモードでのリモコン信号の受信による受信開始 (スヌーズモード) の制御と、デジタルフィルタのサンプリングクロックの選択に使用します。

REMC の動作中 (REMC0N1.EN = 1 の場合) は REMSTC レジスタの書き換え禁止です。

SNZON ビット (スヌーズモード動作制御)

- ソフトウェアスタンバイモードで RIN0 端子の入力レベルを変更すると、ソフトウェアスタンバイモードが終了し、CPU を動作させずにリモコン受信動作を行います (スヌーズモード)。
- タイマ割り込み (TAU0_ENDI6) を REMC 動作クロックに選択しているときのみスヌーズモードを使用してください。この場合、スヌーズモードで動作可能なクロックをタイマアレイユニットのチャンネル 6 のカウントクロックに選択します。
- スヌーズモードを使用するときは、タイマアレイユニットのチャンネル 6 をインターバルタイマモードに設定し、ソフトウェアスタンバイモードへの移行前にカウント動作を許可してください。
- スヌーズモードを使用する場合でも、スヌーズモードからの復帰後は SNZON ビットを 0 にしてください。ソフトウェアスタンバイモードへの遷移を繰り返すときは、SNZON ビットを 1 にします。
- SNZON ビットを 1 にするときは、REMC0N0.FIL ビットを 1 (デジタルフィルタ有効)、かつ DNFSL ビットを 1 (REMCLCLK/REMCCLK をサンプリングクロックに選択) にしてください。
- コンペアー一致割り込みまたはヘッダパターン一致割り込みによるソフトウェアスタンバイモードからの復帰後は、SNZON ビットを 0 にしてください。

DNFSL ビット (デジタルフィルタクロック選択)

このビットはデジタルフィルタのサンプリングクロックの選択に使用します。SNZON ビットを 1 (ソフトウェアスタンバイモードからスヌーズモードへの遷移許可) にするときは、このビットを 1 にしてください。

26.2.17 REMRBIT : 受信ビットカウントレジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x17

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RBIT[5:0]							RBIT0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RBIT0	受信ビットカウントチェック (ビット 0) 0: 本レジスタをクリア (0x00) その他: 設定禁止	R/W
6:1	RBIT[5:0]	受信ビットカウントチェック (ビット 6~1)	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. データの更新と読み出しが重なった場合、不定値が読み出される可能性があります。本レジスタ読み出しの詳細については、「[26.4.5. レジスタ読み出し](#)」を参照してください。

REMRBIT レジスタは受信ビット数を示します。

REMCN1.EN ビットの設定値が 0 の場合、REMRBIT レジスタのすべてのビットが初期化されます。

これらのビットは、検出されたデータ 0 パターンまたはデータ 1 パターンのカウントにより、格納対象のバッファのビット位置を示します。

- 受信ビットカウントが 64 (0x40) を超えると、値は 1 に戻ります。
- ヘッダパターンと特殊データパターンはカウントされません。
- REMCN0.EC ビットが 1 のときにエラーを検出した場合、データ 0 パターンまたはデータ 1 パターンが検出されても値はインクリメントされません。
- REMSTS.DRFLG フラグが 0 から 1 に変わると、REMRBIT レジスタが 0 になります。
- REMSTS.HDFLG フラグが 0 から 1 に変わると、REMRBIT レジスタが 0 になります。

RBIT0 ビットに 0 を書き込むと、REMRBIT レジスタの値は動作クロックの 1~2 サイクル後に 0x00 になります。

26.2.18 REMDAT0 : 受信データ 0 レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAT[6:0]							DAT0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DAT0	受信データ 0 格納 (ビット 0) 0: 本レジスタをクリア (0x00) その他: 設定禁止	R/W
7:1	DAT[6:0]	受信データ 0 格納 (ビット 7~1)	R

注. データの更新と読み出しが重なった場合、不定値が読み出される可能性があります。本レジスタ読み出しの詳細については、「[26.4.5. レジスタ読み出し](#)」を参照してください。

REMDAT0 レジスタは受信データを保持します。

REMCN1.EN ビットの設定値が 0 の場合、REMDAT0 レジスタのすべてのビットが初期化されます。

データ 0 パターンまたはデータ 1 パターンを検出すると、その結果が受信データとして REMDAT0.DAT0 ビットから 1 ビットずつ順次格納されます。受信データ格納の詳細については、「[26.3.8. 受信データバッファ](#)」を参照してください。

DAT0 ビットに 0 を書き込むと、REMDAT0 レジスタの値は動作クロックの 1~2 サイクル後に 0x00 になります。

26.2.19 REMDATj : 受信データ j レジスタ (j = 1~7)

Base address: REMC = 0x4009_2100

Offset address: 0x18 + 0x1 × j

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAT[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DAT[7:0]	受信データ格納	R

注. データの更新と読み出しが重なった場合、不定値が読み出される可能性があります。本レジスタ読み出しの詳細については、「[26.4.5. レジスタ読み出し](#)」を参照してください。

REMDATj レジスタは受信データを保持します。

REMCN1.EN ビットの設定値が 0 の場合、REMDATj レジスタのすべてのビットが初期化されます。

DAT[7:0]ビット (受信データ格納)

データ 0 パターンまたはデータ 1 パターンを検出すると、その結果が受信データとして DAT[0]ビットから 1 ビットずつ順次格納されます。受信データ格納の詳細については、「[26.3.8. 受信データバッファ](#)」を参照してください。

26.2.20 REMTIM : 測定結果レジスタ

Base address: REMC = 0x4009_2100

Offset address: 0x20

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TIM[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	TIM[10:0]	測定結果	R
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. データの更新と読み出しが重なった場合、不定値が読み出される可能性があります。本レジスタ読み出しの詳細については、「[26.4.5. レジスタ読み出し](#)」を参照してください。

REMTIM レジスタは、各パターン幅の測定結果を示します。

REMCN1.EN ビットの設定値が 0 の場合、REMTIM レジスタのすべてのビットが初期化されます。

TIM[10:0]ビット (測定結果)

以下のパターンのどれかを検出したときに、ベースタイマの値をキャプチャします。

- ヘッドパターン
- データ 0 パターン
- データ 1 パターン
- 特殊データパターン
- 上記以外のデータパターン (受信エラー)

26.3 動作説明

26.3.1 REMC 動作の概要

リモコン信号の動作例を図 26.2 に示します。信号はヘッダで始まり、その後にデータのシーケンスが続きます。このヘッダは後続データのシーケンスとは波形が異なるので、ヘッダとデータの区別ができます。データのシーケンスにはカスタムコードとデータコードが含まれており、ビット長により 0 か 1 かが区別されます。ストップビットの後は信号が変化しない区間（フレームスペース）があり、1 フレームを構成します。

外部入力信号の各エッジ間の時間は REMC のベースタイマで測定します。リモコン信号のパターンが検出され、測定結果に応じてデータがキャプチャされます。

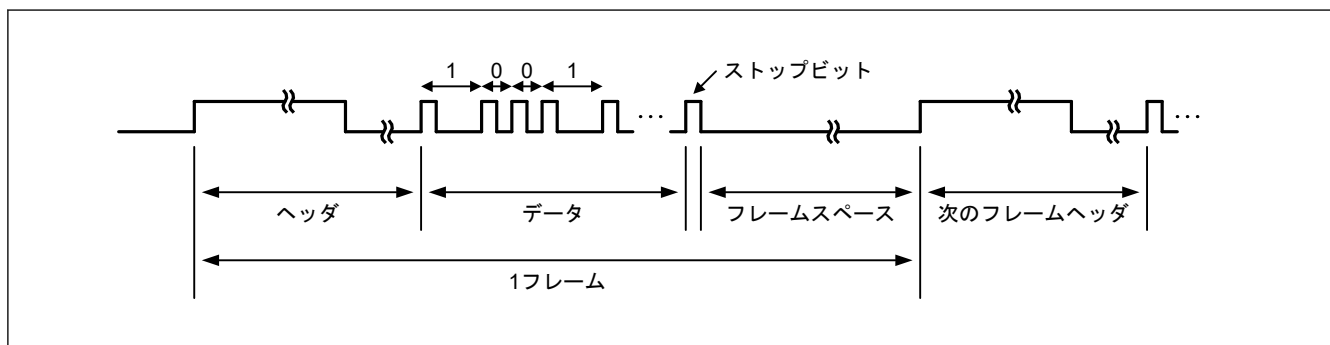


図 26.2 リモコン信号の例

26.3.2 初期設定

リモコン信号を受信するには、表 26.4 に示す手順に従って REMC を初期化します。

REMC が動作中の場合は、REMCN1.EN ビットを 0 にしてください。すると、REMCN0.ENFLG フラグが 0 になり、REMC が動作停止します。

リモコン信号波形のフォーマットを REMCON1.TYP[1:0] ビットで設定し、信号の反転または非反転を REMCON0.INV ビットで選択し、動作クロックを REMCON1.CSRC ビットで選択します。また、REMCN0.ENFLG フラグが 0 のときに、デジタルフィルタを REMCON0.FIL ビット、REMCN0.FILSEL ビット、REMSTC.DNFSL ビットで設定します。データパターンごとの検出幅を HDPMIN、HDPMAX、DOPMIN、DOPMAX、DIPMIN、DIPMAX、SDPMIN、SDPMAX、REMPE レジスタに設定します。必要に応じて、割り込み許可などその他の設定を REMINT レジスタで、比較機能を REMCPC レジスタと REMCPD レジスタで設定します。

必要なレジスタ設定がすべて完了したら、REMCN1.EN ビットを 1 に設定して REMC 動作を開始します。

表 26.4 REMC の初期設定の手順例

手順	処理	詳細
REMC の初期設定の手順例	<1>	動作開始 —
	<2>	REMC が動作中の場合は停止する。 REMC0N1.EN = 1 または REMC0N0.ENFLG = 1 の場合 REMC0N1.EN ビットをクリア。 REMC0N0.ENFLG がクリアされるまで待機。
	<3>	リモコン信号波形のフォーマットを選択。 REMC0N1.TYP[1:0] ビットを設定。
	<4>	入力信号を反転させるかどうかを選択。 お使いのシステムで信号を反転させたい場合は、REMC0N0.INV ビットを設定してください。
	<5>	REMC 動作クロックを選択。 REMC0N1.CSRC ビットを設定。
	<6>	デジタルフィルタ設定。 REMC0N0.FIL ビットと REMC0N0.FILSEL ビットを設定。 REMC0N0.DNFSL ビットを設定。
	<7>	データパターン検出幅ごとの最小値と最大値を設定。 HDPMIN レジスタと HDPMAX レジスタを設定。 D0PMIN レジスタと D0PMAX レジスタを設定。 D1PMIN レジスタと D1PMAX レジスタを設定。 SDPMIN レジスタと SDPMAX レジスタを設定。 REMPE レジスタを設定。
	<8>	必要に応じてその他のレジスタを設定。 その他のレジスタを設定。
	<9>	次の処理を実行。 —

26.3.3 パターン設定

REMC0N1.TYP[1:0] ビットの設定により、リモコン信号受信波形をキャプチャするフォーマットを設定できます。REMC0N1.TYP[1:0] ビットを設定してキャプチャしたリモコン信号受信波形の例を図 26.3 と図 26.4 に示します。

REMC0N1.TYP[1:0] ビットが 00b (フォーマット A) のとき

内部入力信号の立ち上がりエッジのヘッダパターンの設定値から測定結果を判定します。

ヘッダパターンの受信時に、内部入力信号の立ち上がりエッジでデータ 0 パターン、データ 1 パターン、および特殊データパターンの設定値から測定結果を判定します。

REMC0N1.TYP[1:0] ビットが 01b (フォーマット B) のとき

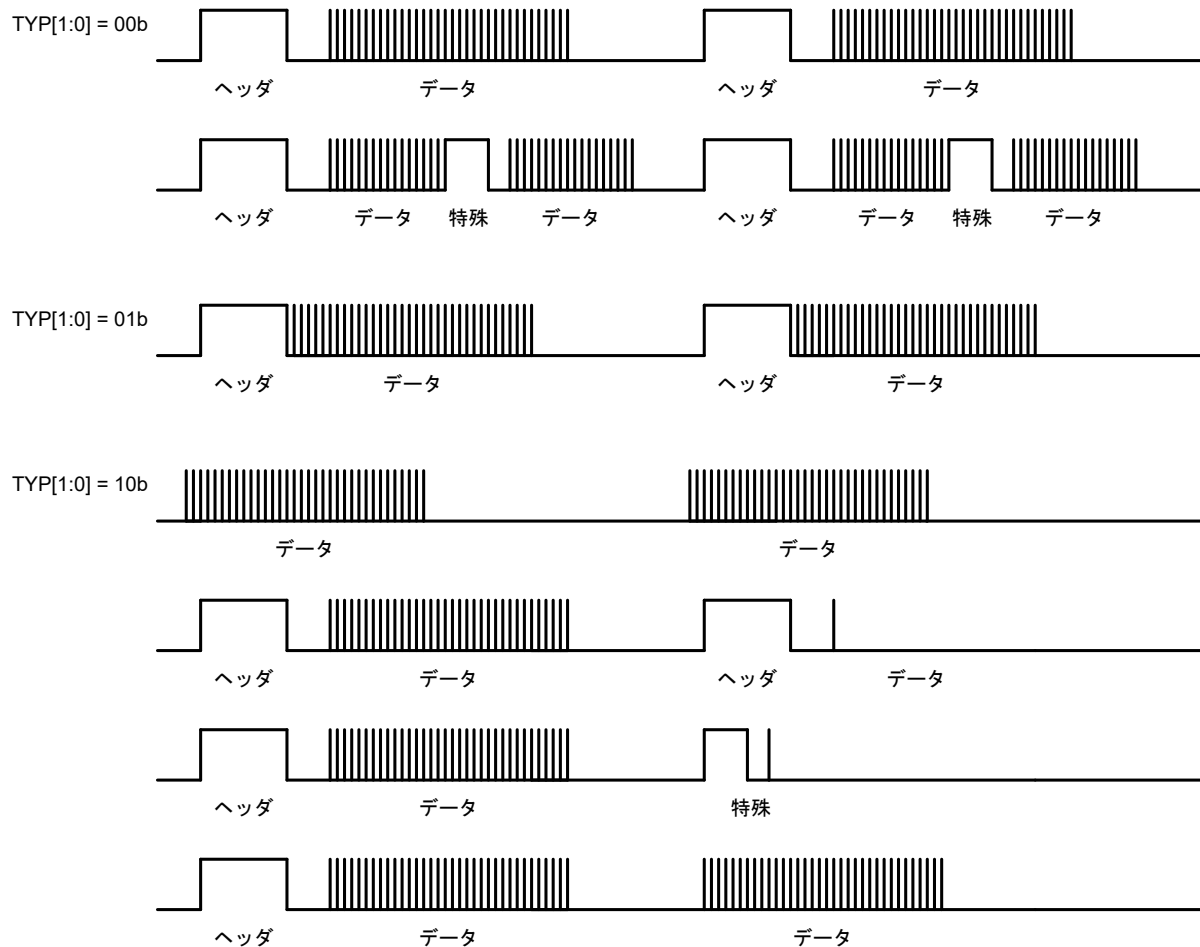
内部入力信号の立ち下がりエッジのヘッダパターンの設定値から測定結果を判定します。

ヘッダパターンの受信時に、内部入力信号の立ち下がりエッジでデータ 0 パターン、データ 1 パターン、および特殊データパターンの設定値から測定結果を判定します。

ヘッダパターンは 1 フレーム内で 1 回検出します。

REMC0N1.TYP[1:0] ビットが 10b (フォーマット C) のとき

内部入力信号の立ち上がりエッジでヘッダパターン、データ 0 パターン、データ 1 パターン、および特殊データパターンの設定値から測定結果を判定します。



TYP[1:0]	ヘッダパターン	データ0パターン	データ1パターン	特殊データパターン
TYP[1:0] = 00b				
TYP[1:0] = 01b				
TYP[1:0] = 10b				

TYP[1:0]: REMCON1レジスタのビット

↑ ↓ … 測定開始

↑ ↓ … パターン決定

TYP[1:0] = 01bの場合、受信フレーム内のヘッダパターン検出回数は1回です。
上記の図は、REMC0.INVビットが0の場合に該当します。

図 26.3 REMCON1.TYP[1:0]ビットを設定してキャプチャしたリモコン信号受信波形の例 (REMC0.INV = 0)

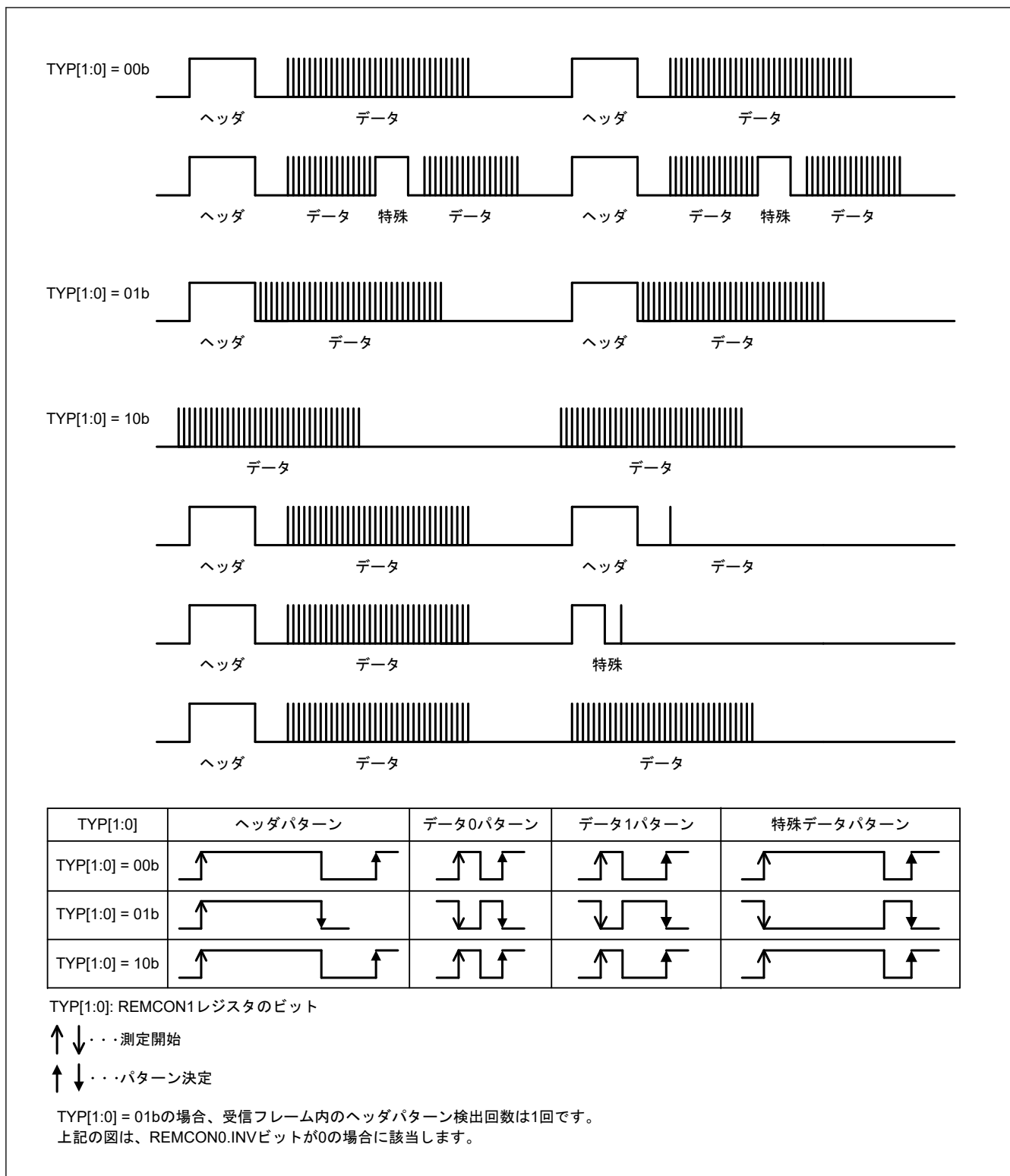


図 26.4 REMCON1.TYP[1:0]ビットを設定してキャプチャしたリモコン信号受信波形の例 (REMCN0.INV = 1)

26.3.4 動作クロック

REMC は、REMCLCLK/REMCCLK またはタイマ割り込み (TAU0_ENDI6) のいずれかのクロック信号を動作クロックとして使用できます。ソフトウェアスタンバイモードからスリープモードへの遷移を許可している場合、REMCLCLK/REMCCLK をデジタルフィルタのクロックに選択してください。タイマ割り込み (TAU0_ENDI6) を REMC 動作クロックに選択する場合は、「18. タイマアレイユニット (TAU)」を参照してタイマアレイユニットのチャンネル 6 の動作クロック設定を確認してください。

それぞれのクロック信号の供給方法について以下に説明します。

26.3.4.1 REMCLK/REMCCLK を REMC 動作クロックとして使用する場合

本項では、REMCLCLK/REMCCLK を REMC 動作クロックとして使用する手順を説明します。詳細は、「[8. クロック発生回路](#)」を参照してください。

1. REMCLCLK を REMCLCLK/REMCCLK として使用する場合
OSCMR.WUTMMCK0 ビットを 1 に、REMCN1.CSRC ビットを 0 にすることで、REMCLCLK が REMC の動作クロックとして供給されます。
2. REMCCLK を REMCLCLK/REMCCLK として使用する場合
OSCMR.WUTMMCK0 ビットを 0 に、SOSCCR.SOSTP ビットを 0 にすることで、REMCCLK が発振開始します。その後、タイマ機能などによりサブクロックの発振安定待機時間が確保されてから、REMCN1.CSRC ビットを 0 にすることで、ソフトウェアを使用して、REMCCLK が REMC の動作クロックとして供給されます。

26.3.4.2 TAU0 ENDI6 を REMC 動作クロックとして使用する場合

RECOM1.CSRC ビットを 1 にすることで、タイマ割り込み (TAU0_ENDI6) が REMC 動作クロックとして供給されます。タイマアレイユニットのチャンネル 6 をインターバルタイマモードで動作させてください。

タイマアレイユニットの動作の詳細については、「[18. タイマアレイユニット \(TAU\)](#)」を参照してください。

26.3.5 RIN0 入力

以下のオプションを RIN0 入力で選択できます。

- 入力極性
- デジタルフィルタ

図 26.5 に、RIN0 内部入力信号生成の構成を示します。

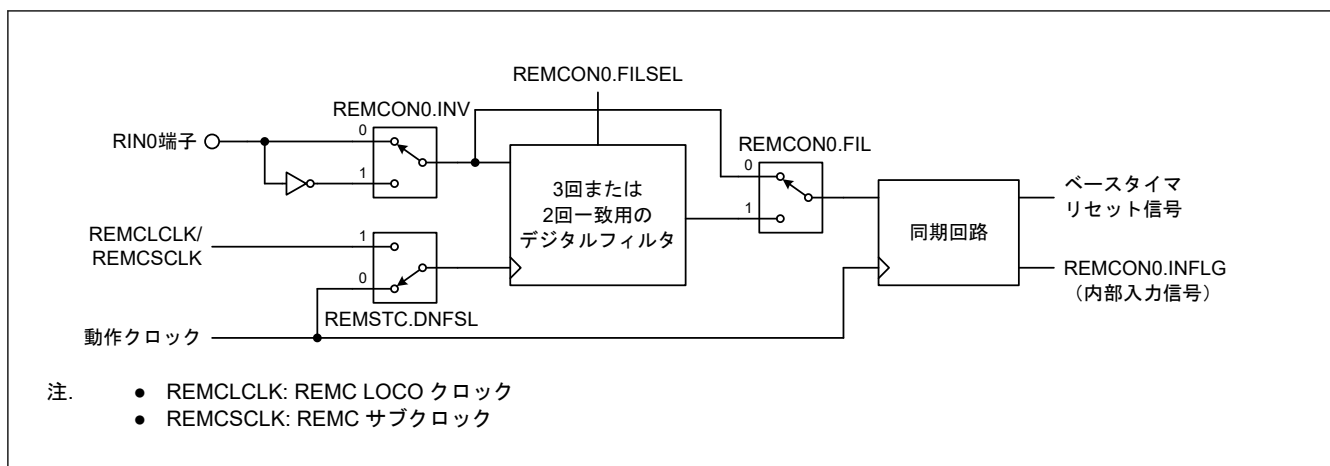


図 26.5 RIN0 内部入力信号生成の構成

RIN0 端子の入力極性は反転可能です。反転させるかどうかは REMCON0.INV ビットで選択できます。REMCN0.FIL ビットが 1（デジタルフィルタ有効）のとき、RIN0 端子への信号入力が k 個の連続サイクル（k = 3 または 2、REMCN0.FILSEL ビットで選択した値）の間同じレベルを保持している場合、そのレベルは内部回路に転送されます。これにより、サンプリングクロックの k 個のサイクルからノイズを除去できます。デジタルフィルタのサンプリングクロックは、REMSTC.DNFSL ビットの設定により REMC 動作クロックおよび REMCLCLK/REMCCLK から選択できます。REMSTC.SNZON ビットを 1（ソフトウェアスタンバイモードからスリープモードへの遷移許可）にするときは、REMCN0.FIL ビットを 1（デジタルフィルタ有効）にし、REMSTC.DNFSL ビットを 1（REMCLCLK/REMCCLK をサンプリングクロックに選択）にしてください。

RIN0 端子への入力は、REMCN0.INFLG フラグ（入力信号フラグ）およびベースタイマリセット信号として、動作クロックと同期して内部回路に転送されます。ベースタイマリセット信号は、内部ベースタイマを REMCN1.TYP[1:0]設定に対応するパターン検出に初期化するために使用します。RIN0 端子への入力の変更後、

これらの信号が生成されるまでに、内部処理による遅延があります。図 26.6 に RIN0 入力のデジタルフィルタ動作を示します。

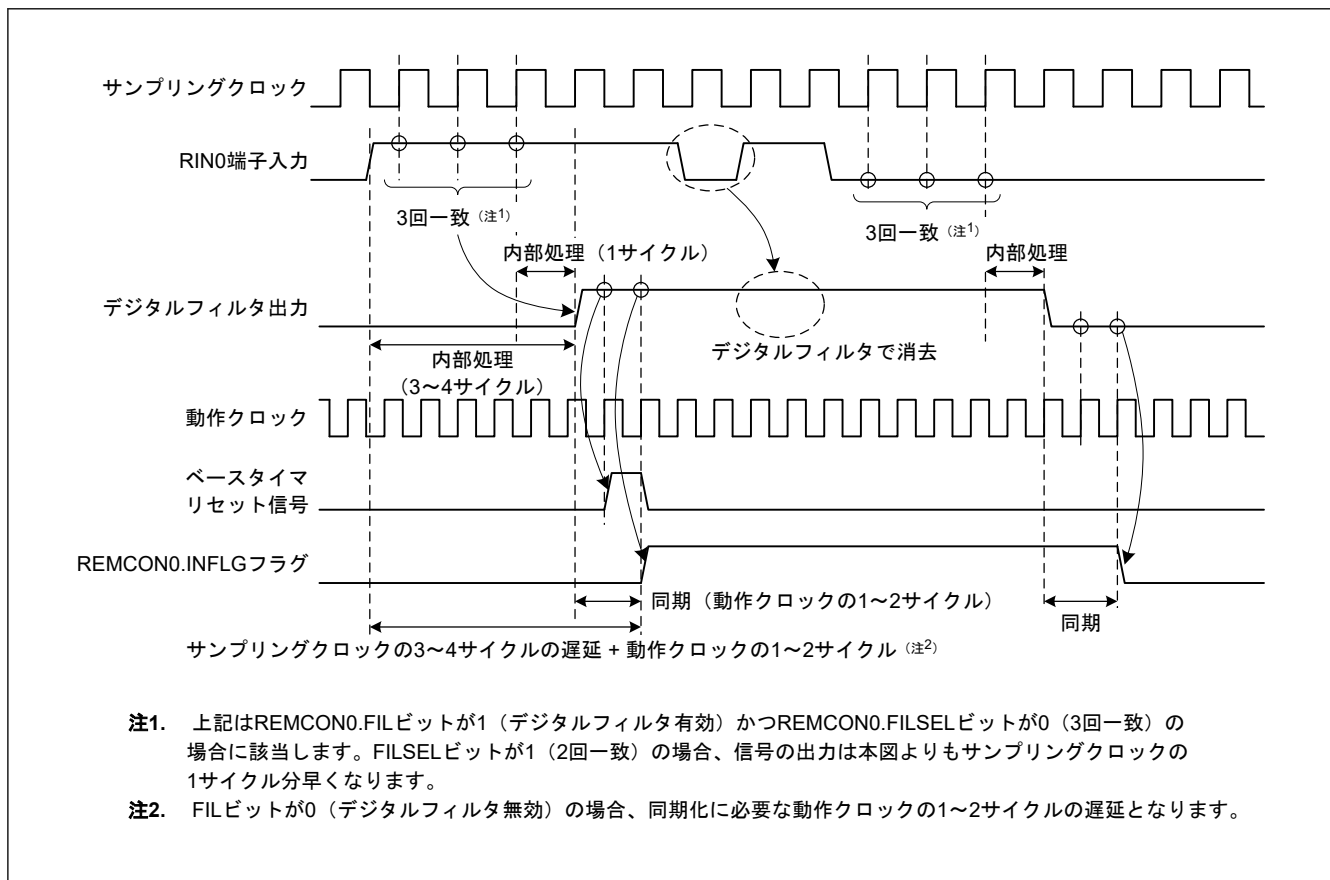


図 26.6 RIN0 入力のデジタルフィルタ動作

26.3.6 パターン検出

REMC には以下のパターンを検出する機能があります。

- ヘッダパターン
- データ 0 パターン
- データ 1 パターン
- 特殊データパターン

REMC に内蔵されたベースタイマを使用して、外部入力信号のエッジ間の時間を測定し、測定結果と一致するパターンを判定します。これにより、リモコン信号の検出とデータのキャプチャができます。各パターンを判定する幅は、各パターン設定レジスタで任意の値に設定できます。図 26.7 に、REMC の動作波形を示します。

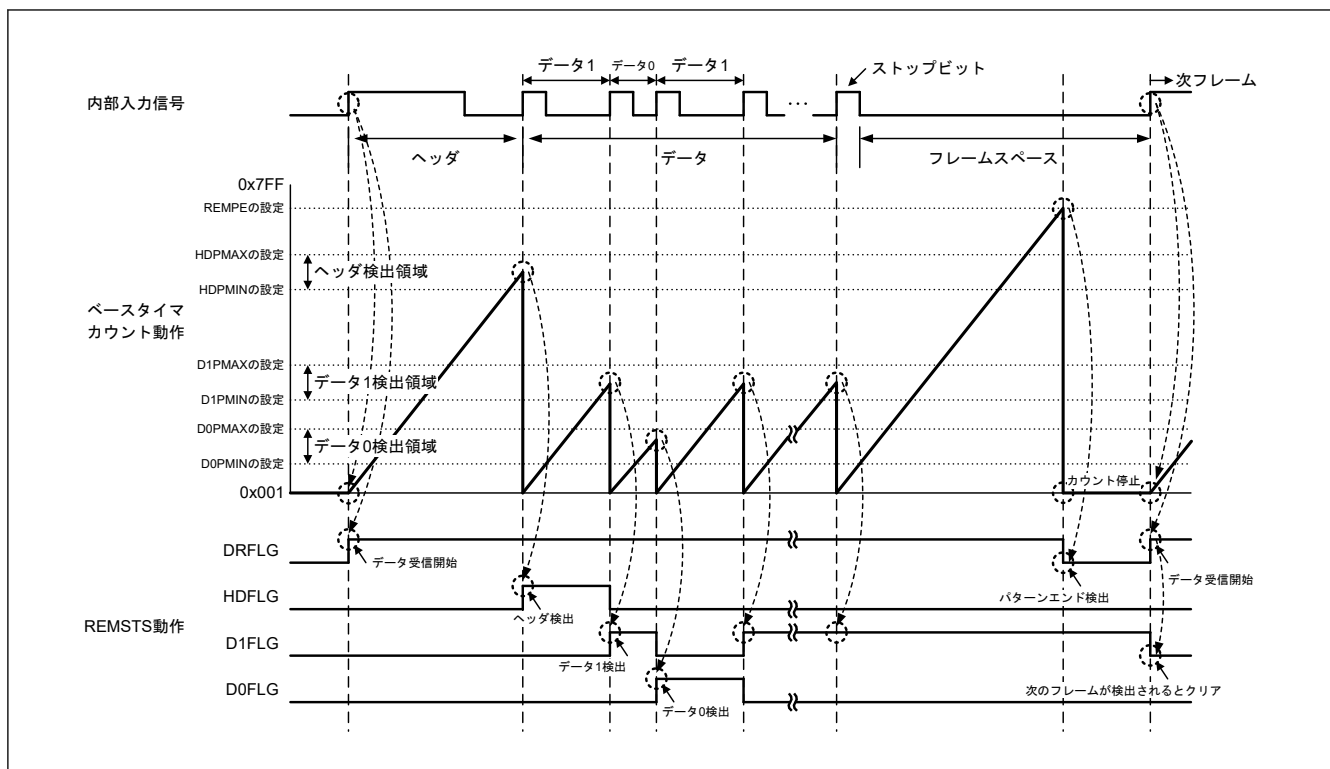


図 26.7 REMC の動作波形

26.3.6.1 ヘッダパターン検出

ヘッダパターンの最小幅を HDPMIN レジスタに設定し、最大幅を HDPMAX レジスタに設定することでヘッダパターンを検出できます。

ヘッダパターンの最小幅と最大幅は、「 $1 < \text{HDPMIN レジスタの値} \leq \text{HDPMAX レジスタの値}$ 」でなければなりません。

$$\text{設定値}n = \frac{\text{ヘッダパターンの最小幅(最大幅)}}{\text{動作クロックサイクル時間}}$$

ヘッダパターンを使用しない場合は、HDPMIN レジスタと HDPMAX レジスタに 0x000 を設定します。

ヘッダパターンの設定値がデータ 0 パターン、データ 1 パターン、および特殊データパターンの設定値と異なるようにし、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0]ビットが 00b または 01b のときに、ヘッダパターンの検出前にデータ 0 パターン、データ 1 パターン、または特殊データパターンを検出した場合は、以下のようになります。

- REMSTS.REFLG フラグが 1 (エラー発生) になる。
- REMSTS.D0FLG フラグ、REMSTS.D1FLG フラグ、REMSTS.SDFLG フラグは変化なし。
- REMDAT0 レジスタ～REMDAT7 レジスタは変化なし。

REMCN1.TYP[1:0]ビットが 01b のとき、DRFLG フラグが 1 の状態では、ヘッダパターンの検出回数は 1 回です。

26.3.6.2 データ 0 パターン検出

データ 0 パターンの最小幅を D0PMIN レジスタに設定し、最大幅を D0PMAX レジスタに設定することでデータ 0 パターンを検出できます。

データ 0 パターンの最小幅と最大幅は、「 $1 < \text{D0PMIN レジスタの値} \leq \text{D0PMAX レジスタの値}$ 」でなければなりません。

$$\text{設定値}n = \frac{\text{データ0パターンの最小幅(最大幅)}}{\text{動作クロックサイクル時間}}$$

データ 0 パターンを使用しない場合は、D0PMIN レジスタと D0PMAX レジスタに 0x00 を設定します。

データ 0 パターンの設定値が、ヘッダパターン、データ 1 パターン、および特殊データパターンの設定値と異なるようにし、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0]ビットが 00b または 01b のときに、ヘッダパターンの検出前にデータ 0 パターンまたはデータ 1 パターンを検出した場合は、以下ようになります。

- REMSTS.REFLG フラグが 1 (エラー発生) になる。
- REMSTS.D0FLG フラグ、REMSTS.D1FLG フラグ、REMSTS.SDFLG フラグは変化なし。
- REMDAT0 レジスタ～REMDAT7 レジスタは変化なし。

26.3.6.3 データ 1 パターン検出

データ 1 パターンの最小幅を DIPMIN レジスタに設定し、最大幅を DIPMAX レジスタに設定することでデータ 1 パターンを検出できます。

データ 1 パターンの最小幅と最大幅は、「 $1 < \text{DIPMIN レジスタの値} \leq \text{DIPMAX レジスタの値}$ 」でなければなりません。

$$\text{設定値}n = \frac{\text{データ1パターンの最小幅(最大幅)}}{\text{動作クロックサイクル時間}}$$

データ 1 パターンを使用しない場合は、DIPMIN レジスタと DIPMAX レジスタに 0x00 を設定します。

データ 1 パターンの設定値が、ヘッダパターン、データ 0 パターン、および特殊データパターンの設定値と異なるようにし、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0]ビットが 00b または 01b のときに、ヘッダパターンの検出前にデータ 0 パターンまたはデータ 1 パターンを検出した場合は、以下ようになります。

- REMSTS.REFLG フラグが 1 (エラー発生) になる。
- REMSTS.D0FLG フラグ、REMSTS.D1FLG フラグ、REMSTS.SDFLG フラグは変化なし。
- REMDAT0 レジスタ～REMDAT7 レジスタは変化なし。

26.3.6.4 特殊データパターン検出

特殊データパターンの最小幅を SDPMIN レジスタに設定し、最大幅を SDPMAX レジスタに設定することで特殊データパターンを検出できます。

特殊データパターンの最小幅と最大幅は、「 $1 < \text{SDPMIN レジスタの値} \leq \text{SDPMAX レジスタの値}$ 」でなければなりません。

$$\text{設定値}n = \frac{\text{特殊データパターンの最小幅(最大幅)}}{\text{動作クロックサイクル時間}}$$

特殊データパターンを使用しない場合は、SDPMIN レジスタと SDPMAX レジスタに 0x000 を設定します。

特殊データパターンの設定値がヘッダパターン、データ 0 パターン、およびデータ 1 パターンの設定値と異なるようにし、かつ設定範囲が重複しないようにしてください。

REMCN1.TYP[1:0]ビットが 00b または 01b のときに、ヘッダパターンの検出前に特殊データパターンを検出した場合は、以下ようになります。

- REMSTS.REFLG フラグが 1 (エラー発生) になる。
- REMSTS.SDFLG フラグは変化なし。
- REMDAT0 レジスタ～REMDAT7 レジスタは変化なし。

26.3.6.5 パターン設定レジスタの設定例

ヘッダパターン設定レジスタ、データ 0 パターン設定レジスタ、データ 1 パターン設定レジスタ、特殊データパターン設定レジスタは、[図 26.8](#) に示すように各パターンの最小値～最大値が異なるようにし、設定範囲が重複しないようにしてください。

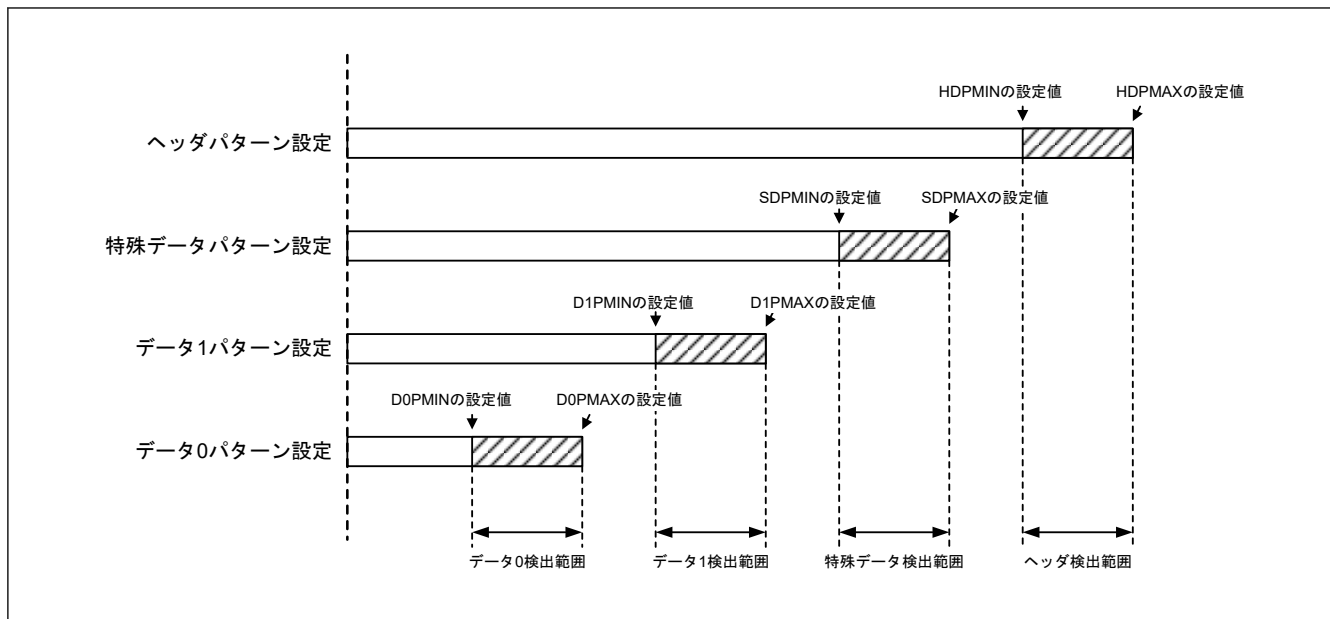


図 26.8 パターン設定レジスタの設定例

26.3.6.6 パターン検出時のステータスフラグの更新

検出されたパターンは、ヘッダパターン一致フラグ (REMSTS.HDFLG)、データ 0 パターン一致フラグ (REMSTS.D0FLG)、データ 1 パターン一致フラグ (REMSTS.D1FLG)、特殊データパターン一致フラグ (REMSTS.SDFLG) を読み出すことで確認できます。各フラグは別のパターンを検出するとクリアされます。上記以外のパターンが検出された場合、エラーパターンとして検出されます。これは、受信エラーフラグ (REMSTS.REFLG) を読み出すことで確認できます。このフラグは次のフレームを受信するとクリアされます。[図 26.9](#) に、パターン検出とフラグ動作の例を示します。

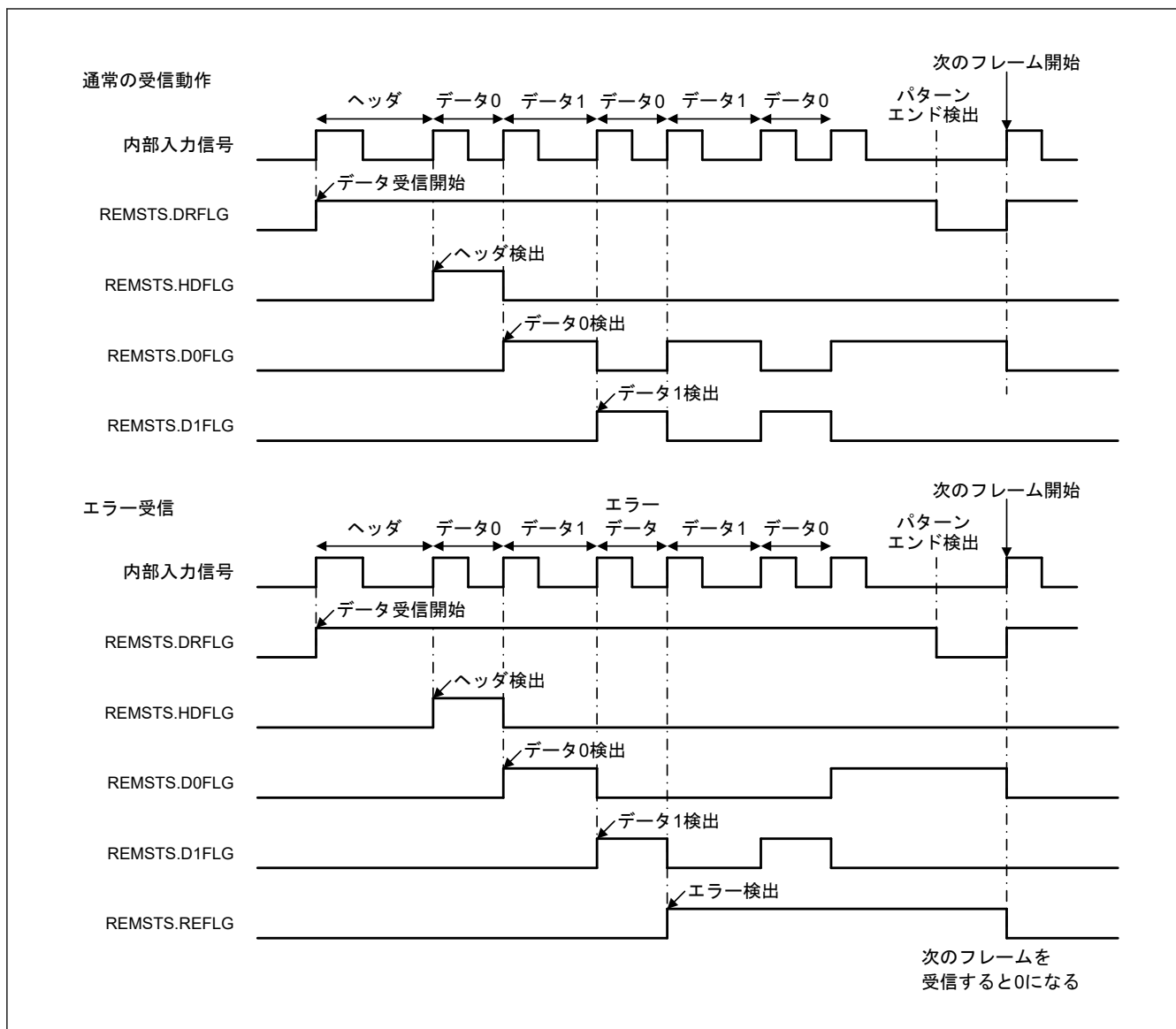


図 26.9 フラグ動作例

26.3.7 パターンエンド

REMSTS.DRFLG フラグが 0 になるタイミングが設定可能です。

REMPE レジスタを設定するときは、必ず REMPE の値 > HDPMAX、D0PMAX、D1PMAX、または SDPMAX の値になるように設定してください。

REMPE の値が HDPMAX、D0PMAX、D1PMAX、または SDPMAX の値以下の場合、REMPE レジスタの指定値は REMSTS.DRFLG フラグが 0 になるタイミングの設定には使用されません。この場合、HDPMAX レジスタ、D0PMAX レジスタ、D1PMAX レジスタ、SDPMAX レジスタの設定値の内、最も大きな値に従ってデータ受信が完了します。

図 26.10 に、パターンエンド設定ごとのデータ受信完了フラグの動作を示します。

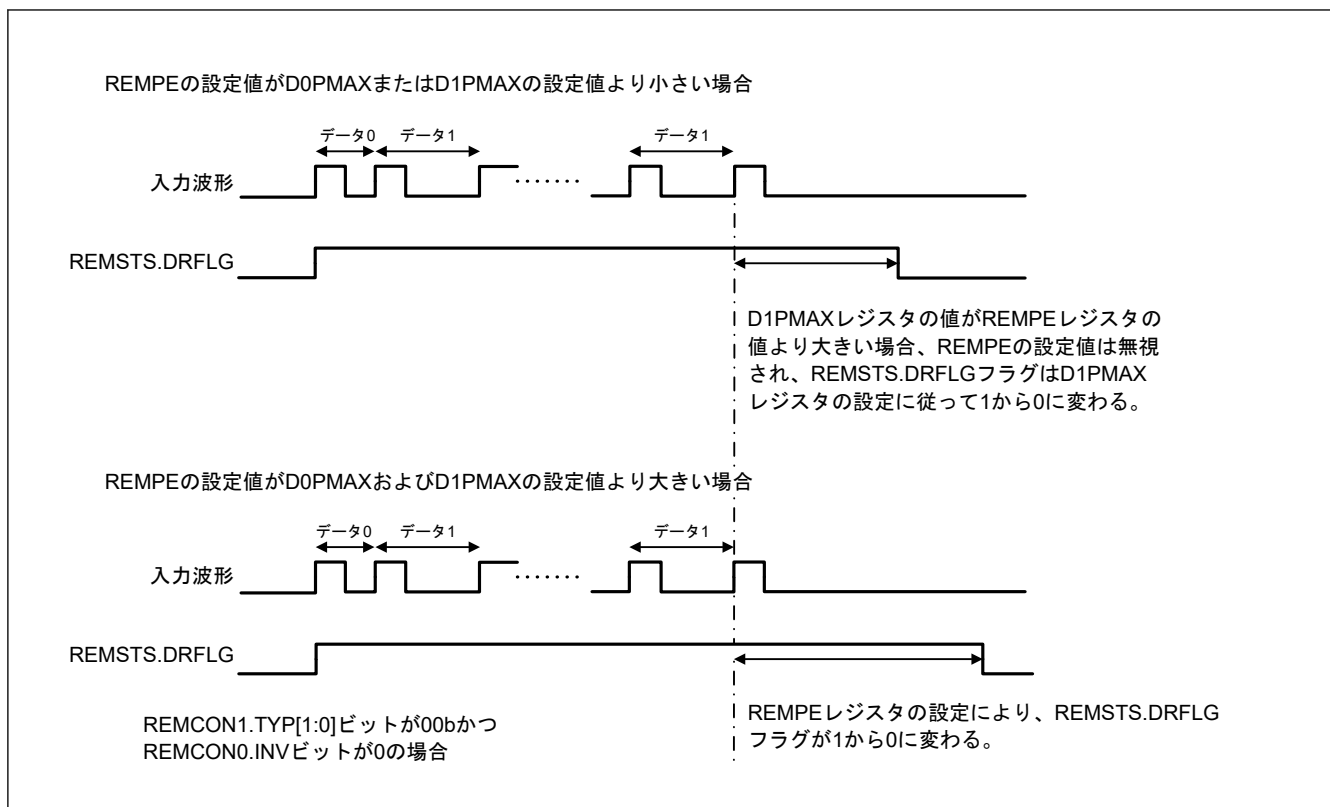


図 26.10 パターンエンド設定ごとのデータ受信完了フラグの動作

26.3.8 受信データバッファ

受信データ j レジスタ (REMDAT j) ($j = 0 \sim 7$) は、受信データを格納する 8 バイト (64 ビット) のバッファです。データ 0 パターンまたはデータ 1 パターンを検出すると、検出結果が受信データとして図 26.11 に示すように REMDAT0.DAT0 ビットから順次格納されます。同時に REMRBIT がカウントアップされるので、現在の受信ビット数は REMRBIT レジスタの読み出しで確認できます。受信ビット数とデータ格納場所の関係については、表 26.5 を参照してください。ヘッダパターンまたは特殊データパターンを受信しても、REMDAT j レジスタと REMRBIT レジスタの値は変わりません。データ更新中に REMDAT j レジスタまたは REMRBIT レジスタを読み出した場合、読み出し値が不定になる可能性があります。

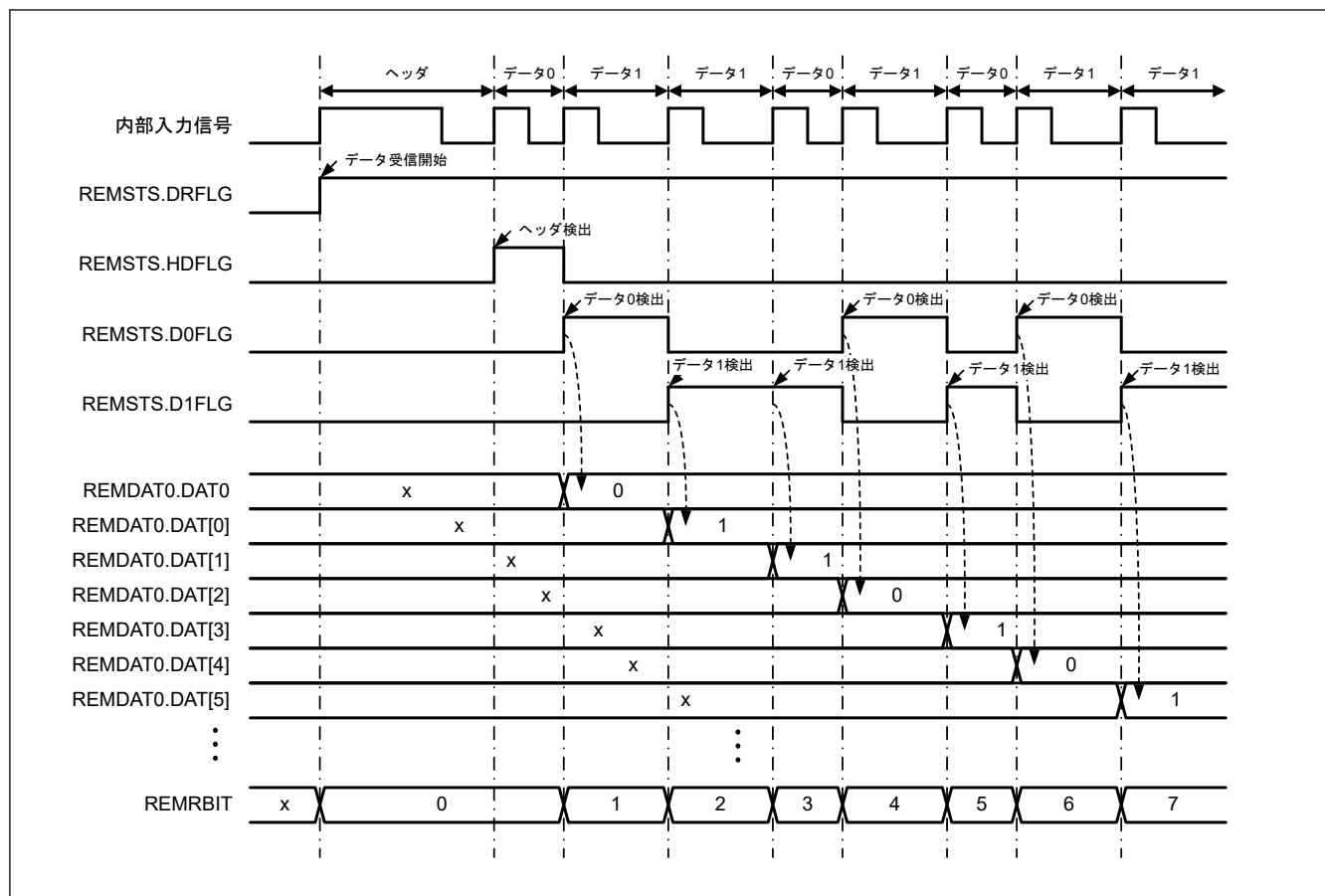


図 26.11 受信データバッファの動作

表 26.5 受信ビット数とデータ格納場所の関係

受信ビット数	データ格納場所		受信ビット数	データ格納場所	
	レジスタ名	ビット名		レジスタ名	ビット名
1	REMDAT0	DAT0	33	REMDAT4	DAT[0]
2		DAT[0]	34		DAT[1]
3		DAT[1]	35		DAT[2]
4		DAT[2]	36		DAT[3]
5		DAT[3]	37		DAT[4]
6		DAT[4]	38		DAT[5]
7		DAT[5]	39		DAT[6]
8		DAT[6]	40		DAT[7]
9	REMDAT1	DAT[0]	41	REMDAT5	DAT[0]
10		DAT[1]	42		DAT[1]
11		DAT[2]	43		DAT[2]
12		DAT[3]	44		DAT[3]
13		DAT[4]	45		DAT[4]
14		DAT[5]	46		DAT[5]
15		DAT[6]	47		DAT[6]
16		DAT[7]	48		DAT[7]
17	REMDAT2	DAT[0]	49	REMDAT6	DAT[0]
18		DAT[1]	50		DAT[1]
19		DAT[2]	51		DAT[2]
20		DAT[3]	52		DAT[3]
21		DAT[4]	53		DAT[4]
22		DAT[5]	54		DAT[5]
23		DAT[6]	55		DAT[6]
24		DAT[7]	56		DAT[7]
25	REMDAT3	DAT[0]	57	REMDAT7	DAT[0]
26		DAT[1]	58		DAT[1]
27		DAT[2]	59		DAT[2]
28		DAT[3]	60		DAT[3]
29		DAT[4]	61		DAT[4]
30		DAT[5]	62		DAT[5]
31		DAT[6]	63		DAT[6]
32		DAT[7]	64		DAT[7]

注. データが 64 ビットを超えると、REMDATj レジスタは先頭ビットから順次上書きされます。

REMDAT0.DAT0 ビットに 0 を書き込むと、REMDAT0 レジスタ～REMDAT7 レジスタの値は動作クロックの 1～2 サイクル後に 0x00 になります。REMDAT0 レジスタに 0x00 を書き込んだときの REMDATj レジスタと REMRBIT レジスタの動作を図 26.12 に示します。

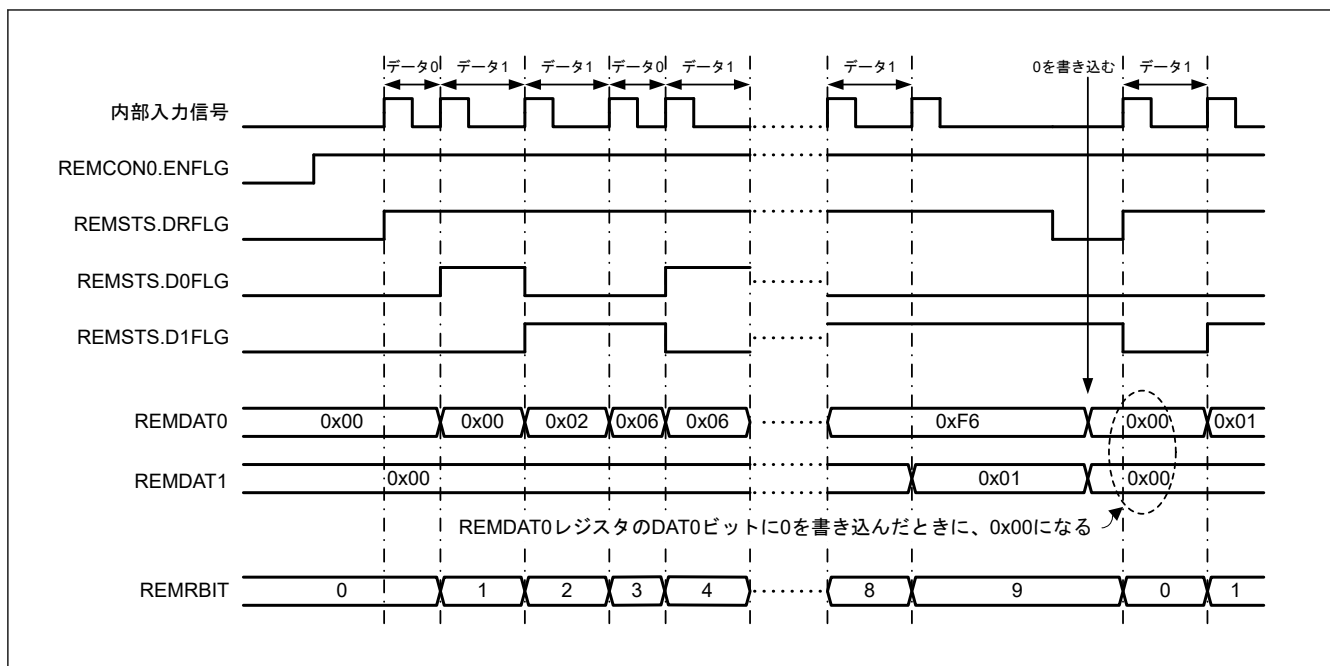


図 26.12 REMDATj レジスタと REMRBIT レジスタの動作 (REMDAT0 レジスタに 0x00 を書き込み)

REMRBIT.RBIT0 ビットに 0 を書き込むと、REMRBIT レジスタの値は動作クロックの 1~2 サイクル後に 0x00 になります。REMC0N1.TYP[1:0] ビットが 00b または 01b の場合、データ受信中にヘッダパターンを検出すると、REMRBIT レジスタの値が 0x00 に初期化され、受信データが REMDAT0.DAT0 ビットから順次上書きされます。

図 26.13 に、データ受信時のヘッダパターン検出の動作を示します。

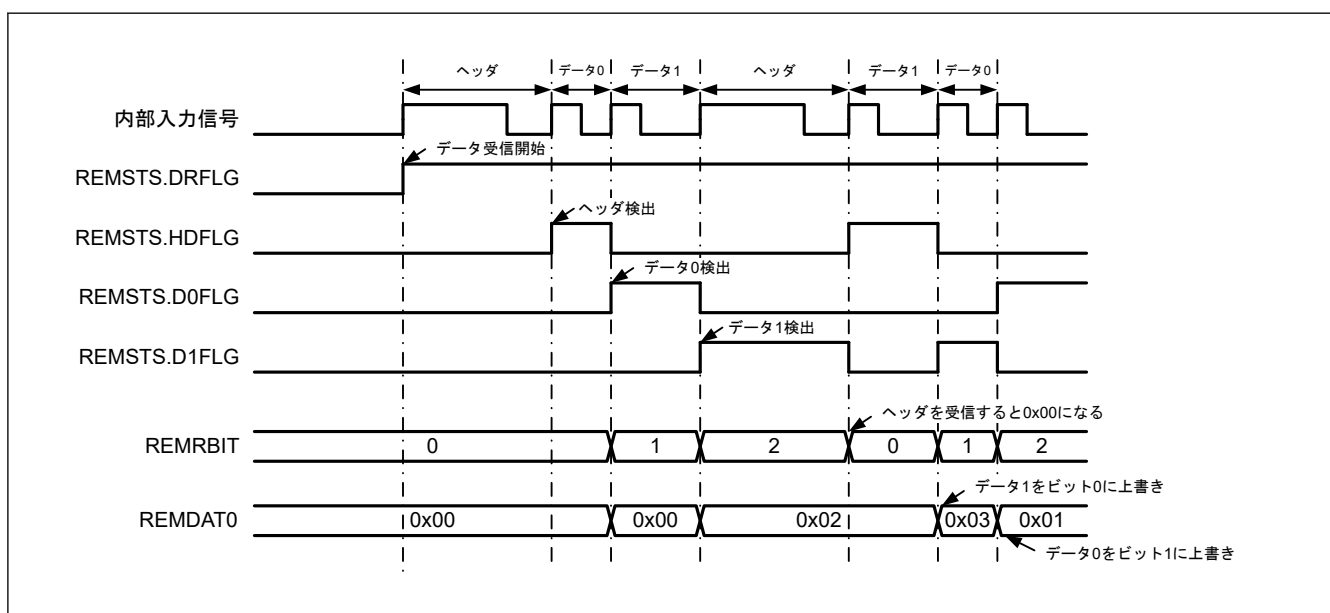


図 26.13 データ受信時のヘッダパターン検出の動作

データが 64 ビットを超えるとバッファは先頭ビットから順次上書きされます。図 26.14 に、REMSTS.BFULFLG フラグが 1 になったときの REMRBIT レジスタの動作を示します。

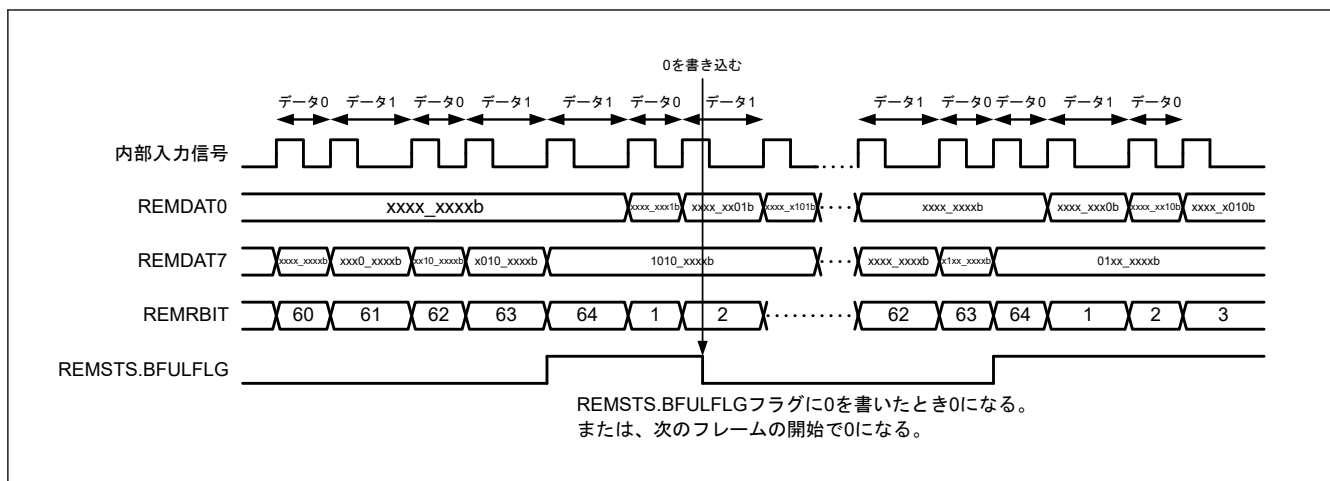


図 26.14 REMRBIT レジスタの動作 (REMCSTS.BFULFLG フラグ = 1)

26.3.9 コンペア機能

REMC には、REMCPC レジスタの値を REMDAT1 レジスタや REMDAT0 レジスタの値と比較する機能があります。比較の結果、リモコン信号の最初の 1～16 ビットが特定の値であることを検出できます。図 26.15 に受信バッファとコンペア機能の動作タイミングを示します。

コンペア機能を使用する場合は以下に示すようにレジスタを設定します。

- REMCPC.CPN[3:0] ビットを設定して、比較対象のビットを選択する。
(設定値が n ($n: 0 \sim 15$) の場合、ビット $n \sim 0$ を比較)
- REMCPD レジスタにコンペアデータを設定する。
REMRBIT レジスタの値が REMCPC.CPN[3:0] ビットで指定したビット数になったとき、REMDAT1 レジスタと REMDAT0 レジスタの値が REMCPD レジスタの値と一致すると、REMCSTS.CPFLG フラグが 1 (コンペア一致) になります。

64 ビット以上の受信時に REMRBIT レジスタの値が REMCPC.CPN[3:0] ビットで指定したビット数と一致する場合は、REMDAT1 レジスタと REMDAT0 レジスタの値が REMCPD レジスタの値と一致しても、REMCSTS.CPFLG フラグは 1 (コンペア一致) になりません。

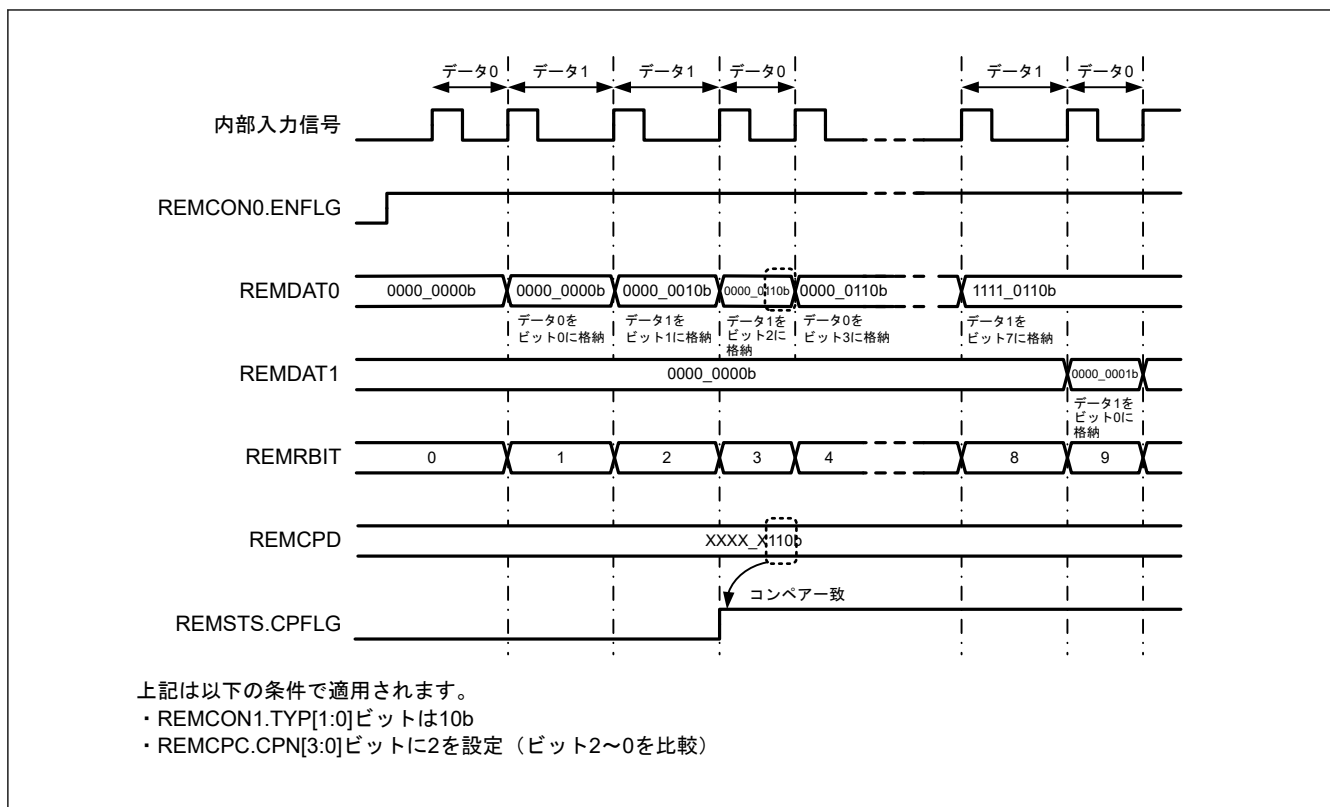


図 26.15 受信バッファとコンペア機能

26.3.10 エラーパターン受信

データ受信中にエラーパターンを検出した場合、以降の動作は REMCON0.EC ビットの設定値により異なります。

図 26.16 に、REMC0.EC ビットを 0 に設定したときの REMDAT0 レジスタと REMRBIT レジスタの動作を示します。REMC0.EC ビットが 0 の状態でエラーを検出した場合、エラー検出時のデータはキャプチャされませんが、後でデータ 0 パターンまたはデータ 1 パターンを検出したときはデータがキャプチャされます。

図 26.17 に、REMC0.EC ビットを 1 に設定したときの REMDAT0 レジスタと REMRBIT レジスタの動作を示します。REMC0.EC ビットが 1 の状態でエラーを検出した場合、後でデータ 0 パターンまたはデータ 1 パターンを検出しても REMRBIT レジスタと REMDAT0~REMDAT7 レジスタの値は更新されません。一度 REMSTS.DRFLG フラグをクリアし、データ受信完了後にデータ受信を再開すると、REMSTS.REFLG フラグがクリアされ、データがキャプチャされます。

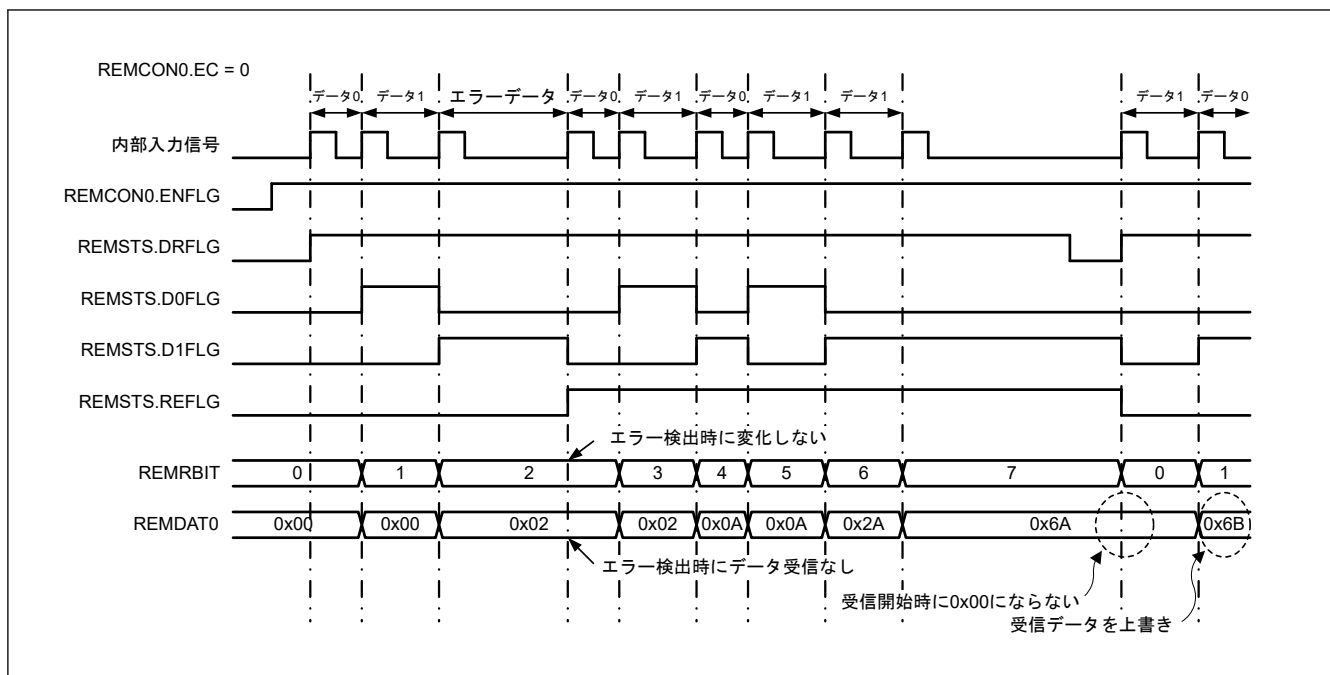


図 26.16 エラー検出時の REMDAT0 レジスタと REMRBIT の動作 (REMC0.EC = 0)

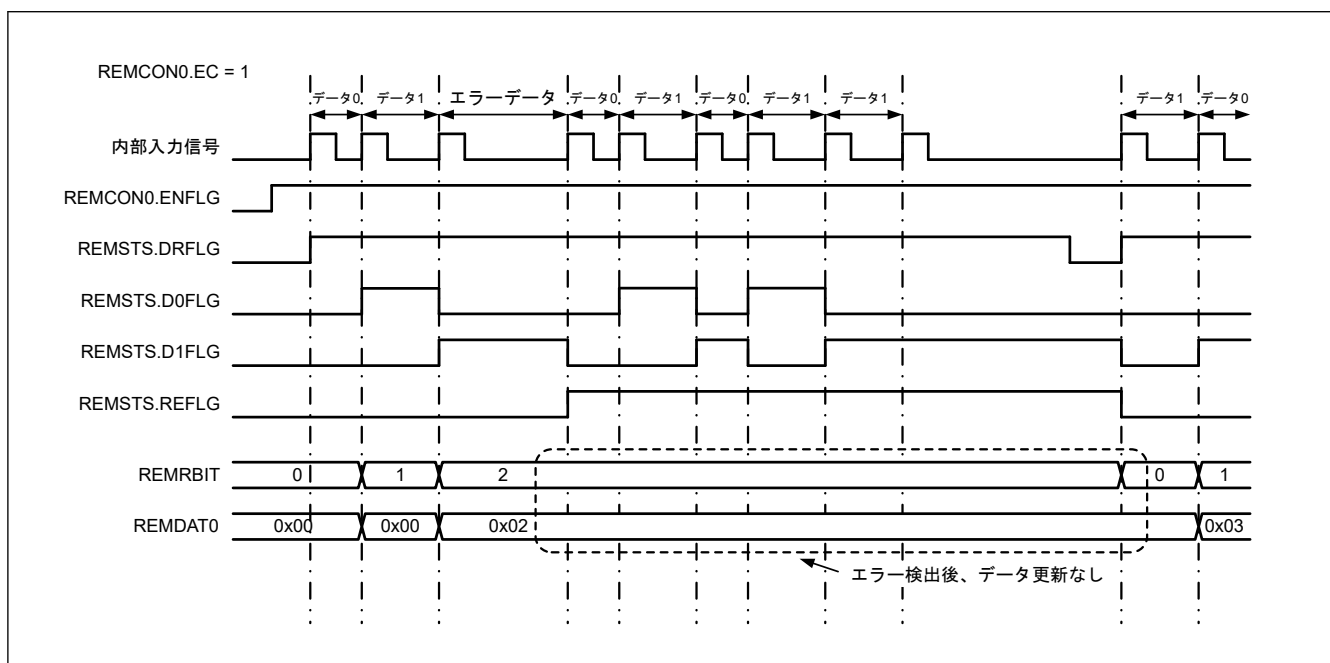


図 26.17 エラー検出時の REMDAT0 レジスタと REMRBIT の動作 (REMC0.EC = 1)

26.3.11 パターン検出時のベースタイマの格納

測定結果レジスタ (REMTIM) は、以下のパターンを検出したときのベースタイマ値を保持します。本レジスタにより各パターン幅の測定ができます。測定機能の動作例を図 26.18 に示します。

- ヘッダパターン
- データ 0 パターン
- データ 1 パターン
- 特殊データパターン
- 上記以外のデータパターン (受信エラー)

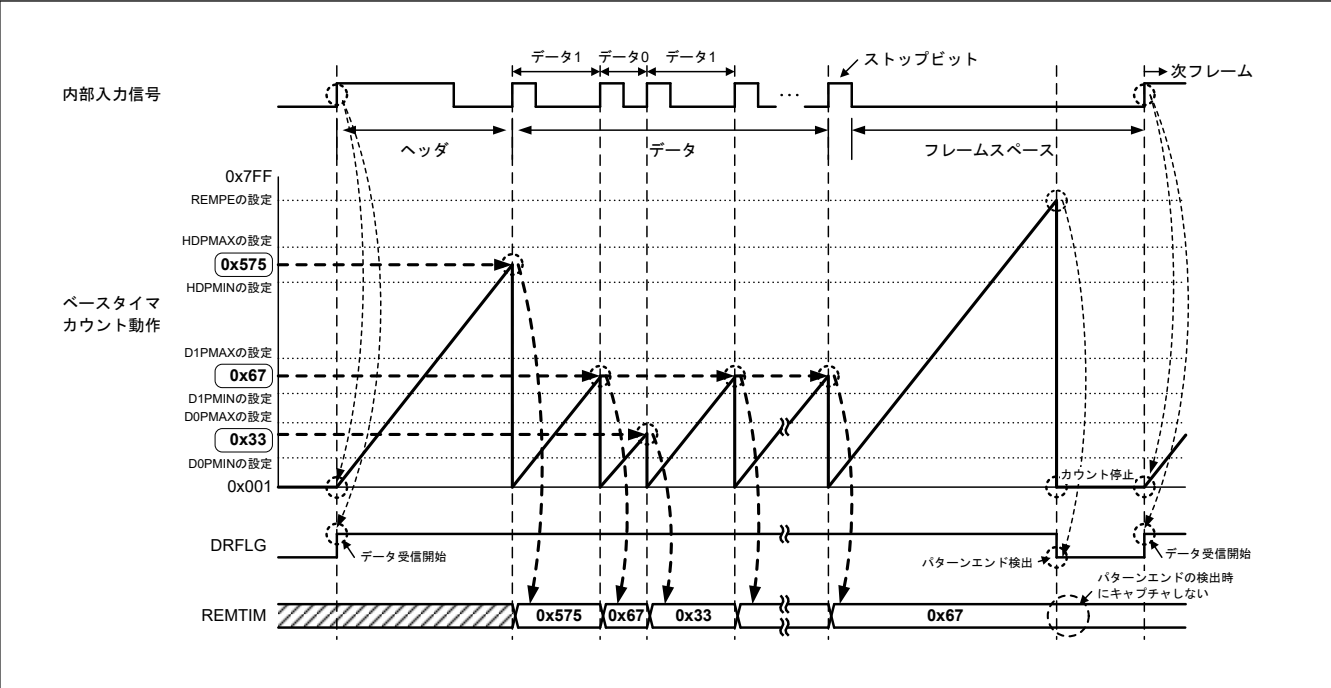


図 26.18 測定機能の動作例

26.3.12 割り込み

REMC は、コンペアー一致、受信エラー、データ受信完了、受信バッファフル、ヘッダパターン一致、データ 0 パターンまたはデータ 1 パターン一致、特殊データパターン一致の割り込み要求を発生させます。これらの割り込み要求の発生条件および選択された割り込みモードの発生条件が満たされると、割り込み要求が出力されます。

割り込みモードには、ノーマル割り込みモード (OR 条件) とシーケンシャル割り込みモード (AND 条件) の 2 つがあり、REMCN1.INTMD ビットで選択できます。ノーマル割り込みモードでは、REMINT レジスタの割り込み許可ビットが 1 に設定されている要因の割り込み発生条件のいずれかが満たされると、割り込み要求信号 (REMC_OUTI) が発生します。シーケンシャル割り込みモードでは、REMINT レジスタの割り込み許可ビットが 1 に設定されている要因 (コンペアー一致、データ受信完了、ヘッダパターン一致、特殊データパターン一致) のすべての割り込み発生条件が満たされると、割り込み (REMC_OUTI) が発生します。

表 26.6 に REMC の割り込み要因を示します。割り込み制御の詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 26.6 REMC 割り込み要因

割り込み要因	割り込み要求発生条件	割り込みステータスフラグ	割り込み許可ビット
コンペアー一致	REMSTS.CPFLG フラグが 0 から 1 に変わったとき	REMSTS.CPFLG	REMINT.CPINT
受信エラー	REMSTS.REFLG フラグが 0 から 1 に変わったとき (受信エラーを検出したとき)	REMSTS.REFLG	REMINT.REINT
データ受信完了	REMSTS.DRFLG フラグが 1 から 0 に変わったとき	REMSTS.DRFLG	REMINT.DRINT
受信バッファフル	REMSTS.BFULFLG フラグが 0 から 1 に変わったとき	REMSTS.BFULFLG	REMINT.BFULINT
ヘッダパターン一致	REMSTS.HDFLG フラグが 0 から 1 に変わったとき (ヘッダパターンを検出したとき)	REMSTS.HDFLG	REMINT.HDINT
データ 0 パターンまたはデータ 1 パターン一致	- REMSTS.D0FLG フラグが 0 から 1 に変わったとき (データ 0 パターンを検出したとき) - REMSTS.D1FLG フラグが 0 から 1 に変わったとき (データ 1 パターンを検出したとき)	REMSTS.D0FLG, REMSTS.D1FLG	REMINT.DINT
特殊データパターン一致	REMSTS.SDFLG フラグが 0 から 1 に変わったとき (特殊データパターンを検出したとき)	REMSTS.SDFLG	REMINT.SDINT

26.3.13 スヌーズモード機能

スヌーズモードでは、REMC は RIN0 端子の入力レベルの変化を検出したときにリモコンのデータ受信動作を実行します。タイマ割り込み (TAU0_ENDI6) を REMC 動作クロックに選択した場合、通常は REMC 受信動作はソフトウェアスタンバイモードで停止します。ただし、スヌーズモードを使用すると、RIN0 端子の入力レベルの変化を検出したときに CPU 動作なしでリモコンのデータ受信動作を実行できます。

スヌーズモードは、タイマ割り込み (TAU0_ENDI6) を REMC 動作クロックに選択しているときのみ使用できます。この場合、スヌーズモードで動作可能な CPU および周辺ハードウェアクロックをタイマアレイユニットのチャンネル 6 のカウントクロックに選択してください。

REMC をスヌーズモードで使用する場合、ソフトウェアスタンバイモードに切り替える前に以下の設定を行ってください。

- ソフトウェアスタンバイモードに切り替える直前に各レジスタの初期設定を行います。スヌーズモードでのリモコンのデータ受信を許可するには、REMCN0.FIL ビットを 1 (デジタルフィルタ有効) にし、REMSTC.DNFSL ビットを 1 (REMCLCLK/REMCCLK をサンプリングクロックに選択) にします。
- 初期設定完了後、REMSTC.SNZON ビットを 1 にしてから、REMCN1.EN ビットを 1 にします。
- ソフトウェアスタンバイモードへの遷移後に RIN0 端子入力の有効エッジを検出すると、CPU はスヌーズモードに移行します。タイマ割り込み (TAU0_ENDI6) が REMC 動作クロックとして供給されると、REMC は受信を開始します。
- REMINT レジスタに指定したコンペアー一致割り込みやヘッダパターン一致割り込みなどの割り込み要因の発生により通常動作モードに復帰した後は、REMSTC.SNZON ビットを 0 にしてください。

注. 高速オンチップオシレータクロック (HOCO) または中速オンチップオシレータクロック (MOCO) をタイマアレイユニットのチャンネル 6 のカウントクロックに選択した場合のみ、スヌーズモードを指定できます。

注. REMCLCLK/REMCCLK を動作クロックに選択した場合は、ソフトウェアスタンバイモードでもリモコンのデータ受信動作が可能です。ソフトウェアスタンバイモードでの消費電流は大きいです。したがって、お使いのシステムに応じたモードを選択してください。

表 26.7 に、スヌーズモードから通常動作モードへの復帰条件と割り込みモードとの関係を示します。

表 26.7 割り込みモードとスヌーズモードからの遷移

	ノーマル割り込みモード	シーケンシャル割り込みモード
選択可能な割り込み要因	ヘッダパターン一致 コンペアー一致 データ受信完了 特殊データパターン一致 データ 0 パターンまたはデータ 1 パターン一致 受信バッファフル 受信エラー	ヘッダパターン一致 コンペアー一致 特殊データパターン一致 データ受信完了 データ 0 パターンまたはデータ 1 パターン一致(注1) 受信バッファフル(注1) 受信エラー(注1)
スヌーズ→通常動作モードへの復帰条件	REMINT で許可されている以下の割り込みのいずれかが発生 ヘッダパターン一致 コンペアー一致 特殊データパターン一致 データ受信完了 データ 0 パターンまたはデータ 1 パターン一致 受信バッファフル 受信エラー	次の条件のいずれかの場合 - 以下の割り込み要因のうち、REMINT で許可された割り込み要因がすべて発生 ヘッダパターン一致 コンペアー一致 特殊データパターン一致 データ受信完了 - REMINT で許可されている以下の割り込みのいずれかが発生 データ 0 パターンまたはデータ 1 パターン一致 受信バッファフル 受信エラー
スヌーズ→ソフトウェアスタンバイモードへの遷移条件	データ受信完了割り込み禁止の状態データ受信が完了し、かつ許可された割り込みが一つも発生していない	データ受信完了割り込み禁止の状態データ受信が完了し、かつ許可された割り込みがすべて発生したわけではない

注 1. シーケンシャル割り込みモードにおける AND 条件の要因には含まず、ノーマル割り込みモードと同様に OR 条件で割り込みが発生します。

コンペア不一致によりスヌーズモードで動作を継続するタイミング図を図 26.19 に、コンペア一致によりスヌーズモードから復帰するタイミング図を図 26.20 に示します。

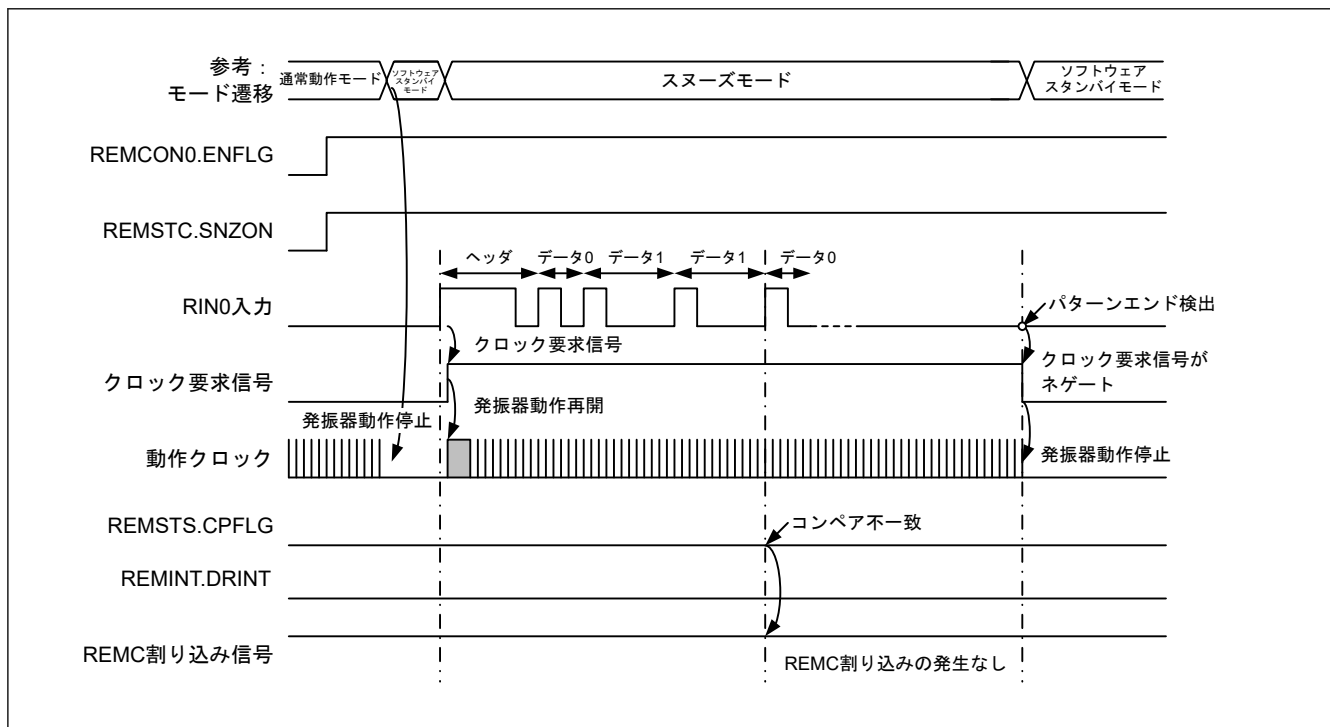


図 26.19 コンペア不一致によるスヌーズモード継続

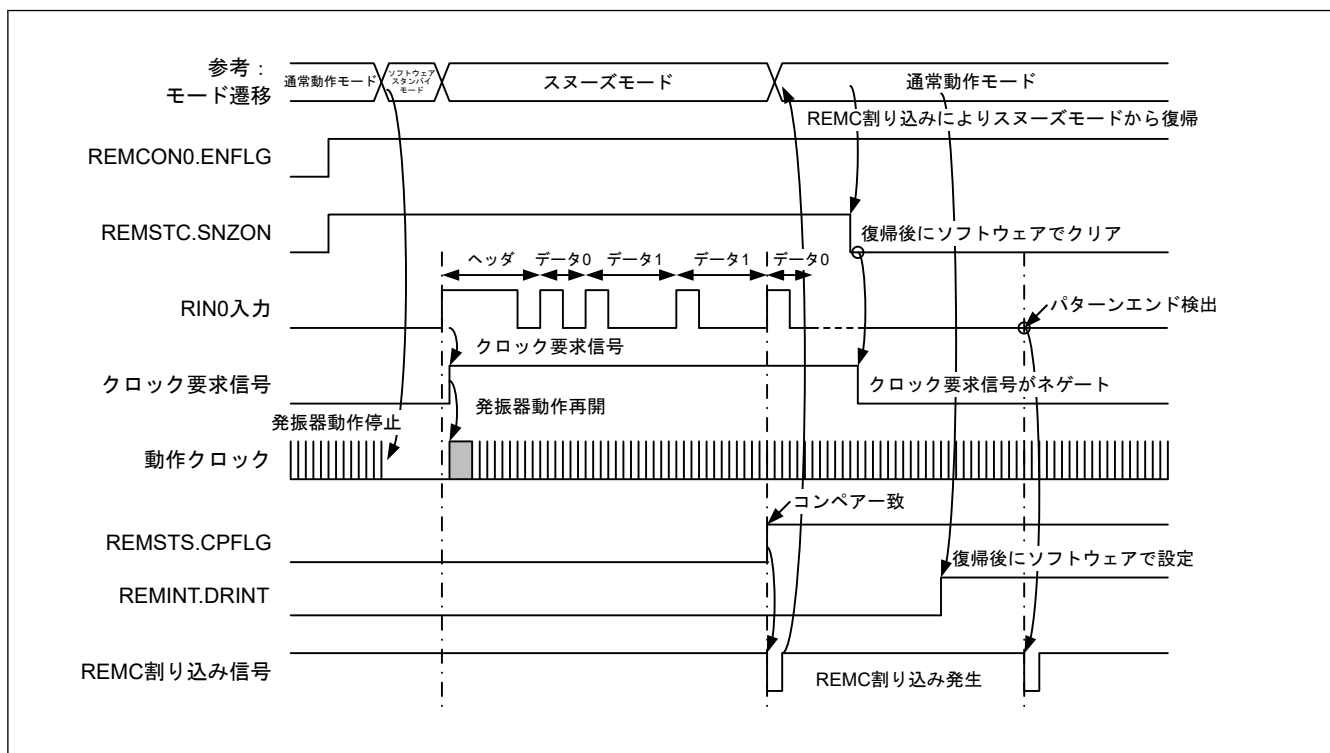


図 26.20 コンペア一致によるスヌーズモードからの復帰

表 26.8 にスヌーズモードの設定例を示します。

表 26.8 スヌーズモード設定手順の例

手順	処理	詳細
CPU : 正常動作	<1>	動作開始
	<2>	リモコン受信動作を禁止
	<3>	REMC の初期設定
	<4>	TAU0_ENDI6 を動作クロックに設定。
	<5>	デジタルフィルタ有効。
	<6>	REMCLCLK/REMCCLK をデジタルフィルタのクロックに設定。 スヌーズモード動作を許可。
	<7>	REMINT レジスタの設定。
	<8>	タイマアレイユニットのチャンネル 6 の初期設定。
	<9>	タイマアレイユニットのチャンネル 6 の動作を許可。
	<10>	リモコン受信動作を許可。
	<11>	割り込み許可。
	<12>	ソフトウェアスタンバイモードへの遷移
CPU: ソフトウェアスタンバイモード	<13>	RIN0 端子の有効エッジの検出まで待機。
CPU : スヌーズモード	<14>	REMINT を確認して、許可されている割り込みを発生させる。 割り込みが発生したら、<16>に進む。
	<15>	データ受信完了 <13>に進む。
CPU : 通常動作	<16>	スヌーズモード動作を禁止。
	<17>	次の処理を実行

26.4 使用上の注意事項

26.4.1 リモコン信号受信機能の動作開始時のレジスタアクセス

REMCN1.EN ビットはリモコン信号受信機能の動作開始と停止を制御します。REMCN0.ENFLG フラグは動作を許可しているか禁止しているかを示します。REMCN1.EN ビットを 1（動作許可）にしてから、REMC 回路が動作開始して REMCN0.ENFLG フラグが 1 になるまで、最大で動作クロックの 0~1 サイクルかかります。この期間中は、REMCN0.ENFLG フラグ以外の REMC 関連レジスタ（「[26.2.1. REMCN0 : 機能選択レジスタ 0](#)」～「[26.2.20. REMTIM : 測定結果レジスタ](#)」に記載）にアクセスしないでください。

26.4.2 レジスタ値の変更タイミング

以下のレジスタの変更は、REMCN1.EN ビットと REMCN0.ENFLG フラグの両方が 0（REMC 停止）のときのみ行ってください。

- REMCON0 レジスタ
- REMCON1 レジスタ (ビット 0～2 以外)
- REMINT レジスタ (ビット 2～5 以外)
- REMCPC レジスタ
- REMCPD レジスタ
- ヘッダパターン、データ 0 パターン、データ 1 パターン、特殊データパターンのパターン幅設定レジスタ
- パターンエンド設定レジスタ
- REMSTC レジスタ

REMCN1.EN ビットまたは REMCON0.ENFLG フラグが 1 (REMC 動作中) のときに REMCON1.TYP[1:0] ビットを書き換える場合は、これらのビットの値を一度に 1 ビットずつ変更してください。REMCN0.INFLG フラグの変化時に REMCON1.TYP[1:0] フラグを書き換えると、リモコン信号受信機能にキャプチャされた信号が不定になる可能性があります。

REMDAT0 レジスタまたは REMRBIT レジスタのビット 0 または REMSTS.BFULFLG フラグに 0 を書き込んでから、動作クロックの 2 サイクルの間は同じビットに再度 0 を書き込まないでください。REMCN0.INFLG フラグの変化時に 0 を書き込むと、REMDATj レジスタ、REMRBIT レジスタ、および REMSTS.BFULFLG フラグの値が不定になる可能性があります。

26.4.3 RIN0 入力制御

IREMCN0.FILSEL ビット、FIL ビット、または INV ビットを書き換えると、リモコン信号受信機能にキャプチャされる信号は、デジタルフィルタサンプリングクロックの 3 サイクルの間、不定となります。

26.4.4 動作クロックの変更

REMCN1.CSRC ビットを書き換えたときは、REMCN0、REMCN1、REMINT、REMCPC、REMCPCD、REMPE、およびヘッダ、データ 0、データ 1、および特殊データパターン幅設定レジスタを再設定してください。

26.4.5 レジスタ読み出し

データ変更中に以下のレジスタを読み出すと、不定値が読み出される可能性があります。

REMCN0 および REMSTS レジスタのフラグ (REMSTS.DRFLG フラグを除く)、および REMTIM、REMDAT0～REMDAT7、REMRBIT レジスタ

以下の手順に従って不定値の読み出しを防止します。

- 割り込みを使用
REMINT.DRINT ビットを 1 (データ受信完了割り込み許可) にし、REMC 割り込みルーチン内でレジスタを読み出します。
- ソフトウェアによるポーリング
 1. REMSTS.DRFLG フラグをポーリングします。
 2. REMSTS.DRFLG フラグが 1 になったら、このフラグを 0 になるまでポーリングします。
 3. REMSTS.DRFLG フラグが 0 になったら、必要なレジスタの内容を読み出します。

27. 巡回冗長検査 (CRC)

27.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) 演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスを監視できます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しを監視する場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 27.1 に CRC 演算器の仕様を、図 27.1 にブロック図を示します。

表 27.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ ^(注1)	8n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)	32n ビット単位の任意データに対し CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] $X^8 + X^2 + X + 1$ (CRC-8) [16 ビット CRC] $X^{16} + X^{15} + X^2 + 1$ (CRC-16) $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] ^(注2) $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みの監視	—

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

注 2. 32 ビット CRC はスヌープ機能が無効 (CRCCR1.CRCSN=0) のときのみサポートされます。

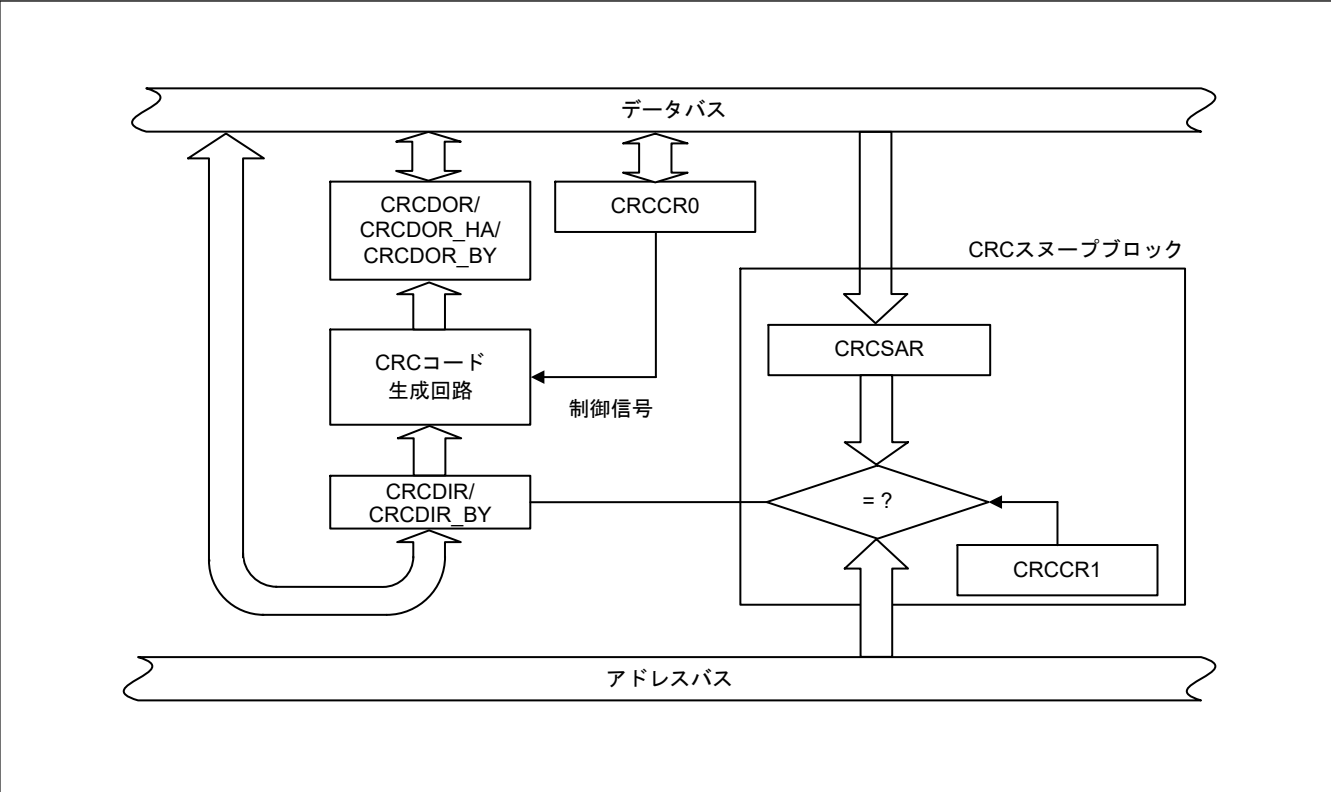


図 27.1 CRC 演算器のブロック図

27.2 レジスタの説明

27.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4007_4000							
Offset address: 0x00							
Bit position: 7 6 5 4 3 2 1 0							
Bit field: DORCLR LMS — — — GPS[2:0]							
Value after reset: 0 0 0 0 0 0 0 0							

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16 ビット CRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32 ビット CRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W

GPS[2:0]ビット (CRC 生成多項式切り替え)

GPS[2:0]ビットは、CRC 生成多項式を選択します。

LMS ビット (CRC 演算切り替え)

LMS ビットは、生成した CRC コードのビットオーダーを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、「[27.3. 動作説明](#)」を参照してください。

DORCLR ビット (CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア)

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0x00000000 になります。読むと 0 が読めます。このビットには 1 のみ書けます。

27.2.2 CRCCR1 : CRC コントロールレジスタ 1

Base address: CRC = 0x4007 4000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CRCS EN	CRCS WR	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CRCSWR	スヌープオンライト／リード切り替え 0: スヌープオンリード 1: スヌープオンライト	R/W
7	CRCSEN	スヌープ許可 0: 禁止 1: 許可	R/W

CRC5WR ビット (スヌープオンライト／リード切り替え)

CRC5WR ビットはCRC スヌープ機能でのアクセス方向を選択します。

このビットを 0（初期値）にすると、特定のレジスタの読み出しに対して CRC スヌープ動作が有効になります。
このビットを 1 にすると、特定のレジスタの書き込みに対して CRC スヌープ動作が有効になります。

CRCSEN ビット (スヌープ許可)

CRCSN ビットを 1 にすると、CRC スヌープ動作が有効になります。このビットを 0 にすると、CRC スヌープ動作が無効になります。

27.2.3 CRCDIR/CRCDIR BY : CRC データ入力レジスタ

Base address: CRC = 0x4007 4000

Offset address: 0x04

[illegible]

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]) レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

27.2.4 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ

Base address: CRC = 0x4007_4000

Offset address: 0x08

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し／書き込みレジスタです。 CRCDOR_HA (CRCDOR[31:16]) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 CRCDOR_BY (CRCDOR[31:24]) レジスタは、CRC-8 演算用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0x00000000 です。初期値以外を用いて演算する場合は、CRCDOR レジスタ、CRCDOR_HA レジスタ、または CRCDOR_BY レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーなしと判断できます。	R/W

27.2.5 CRCSAR : スヌープアドレスレジスタ

Base address: CRC = 0x4007_4000

Offset address: 0x0C

Bit position:

15

14

13

12

11

10

9

8

7

6

5

4

3

2

1

0

Bit field:

—

—

CRCSA[13:0]

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
13:0	CRCSA[13:0]	レジスタスヌープアドレス スヌープ対象となる、SAU モジュールの SDRmn レジスタアドレスを格納します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CRCSA[13:0]ビット (レジスタスヌープアドレス)

CRCSA[13:0]ビットは、CRC スヌープ動作で監視されるレジスタのアドレス下位 14 ビットを指定します。

CRCSA[13:0]ビットで使用できるのは、以下のアドレスのみです。

- 0x4009_4000: SAU0.SDR00
- 0x4009_4002: SAU0.SDR01
- 0x4009_4004: SAU0.SDR02
- 0x4009_4006: SAU0.SDR03
- 0x4009_4100: SAU1.SDR10

- 0x4009_4102: SAU1.SDR11

27.3 動作説明

27.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 27.2 と図 27.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。図 27.4 と図 27.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

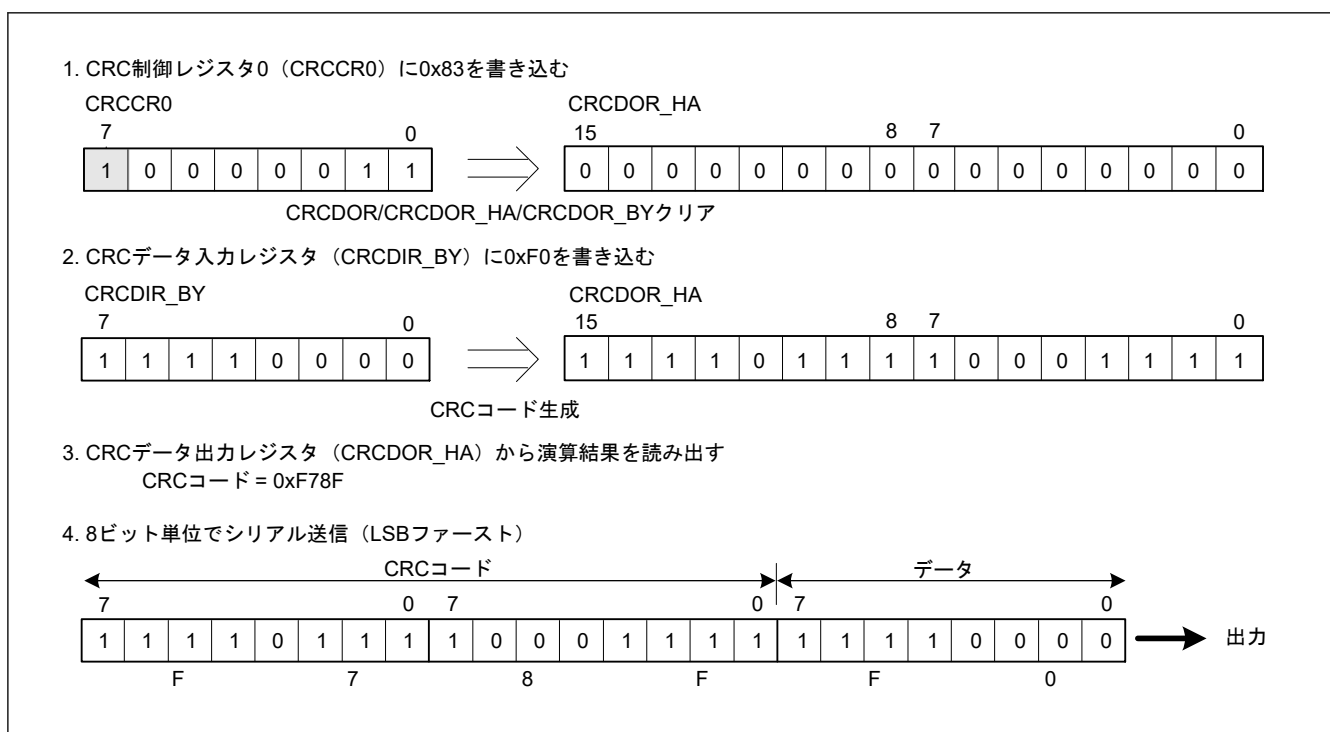


図 27.2 LSB ファーストのデータ送信

1. CRC制御レジスタ0 (CRCCR0) に0xC3を書き込む



2. CRCデータ入力レジスタ (CRCDIR_BY) に0xF0を書き込む



3. CRCデータ出力レジスタ (CRCDOR_HA) から演算結果を読み出す
CRCコード = 0xEF1F

4. 8ビット単位でシリアル送信 (MSBファースト)

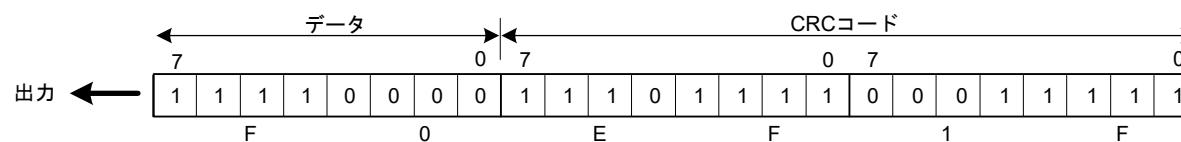
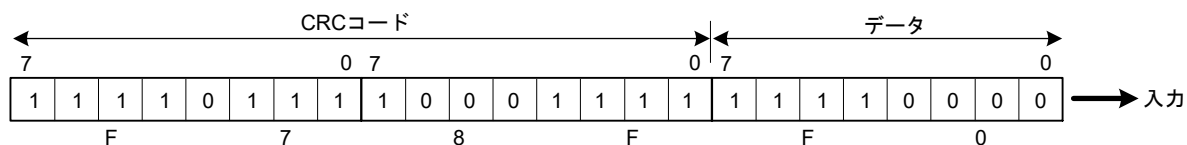
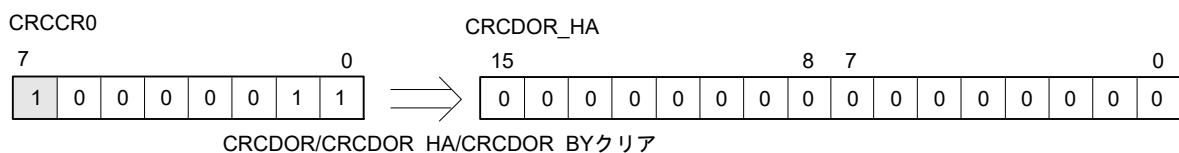


図 27.3 MSB ファーストのデータ送信

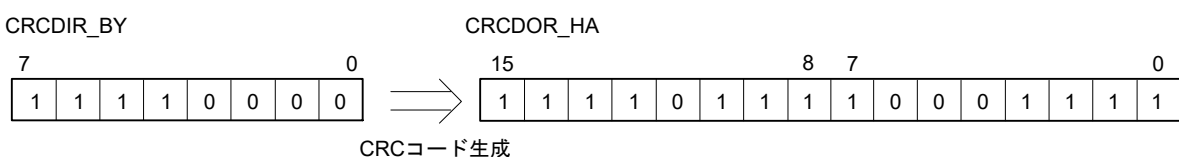
1. 8ビット単位でシリアル受信 (LSBファースト)



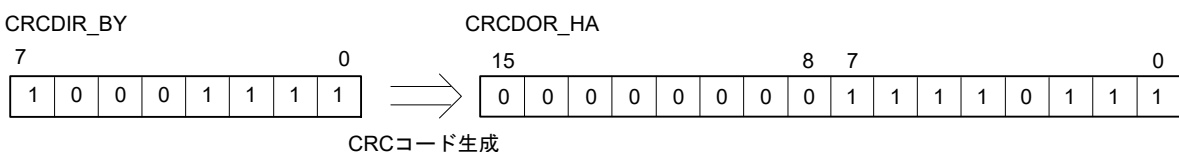
2. CRC制御レジスタ0 (CRCCR0) に0x83を書き込む



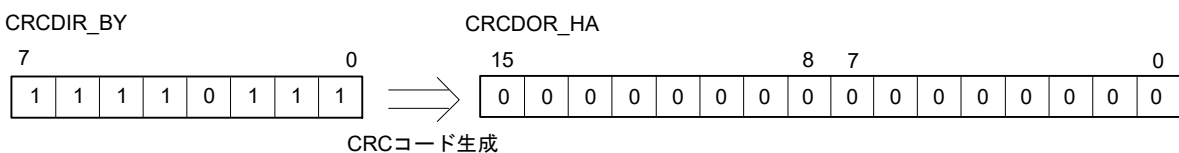
3. CRCデータ入力レジスタ (CRCDIR_BY) に0xF0を書き込む



4. CRCデータ入力レジスタ (CRCDIR_BY) に0x8Fを書き込む



5. CRCデータ入力レジスタ (CRCDIR_BY) に0xF7を書き込む

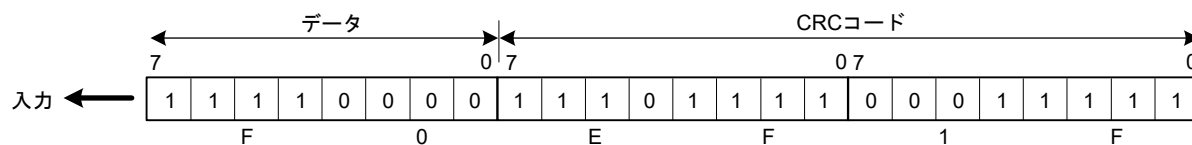


6. CRCデータ出力レジスタ (CRCDOR_HA) から演算結果を読み出す

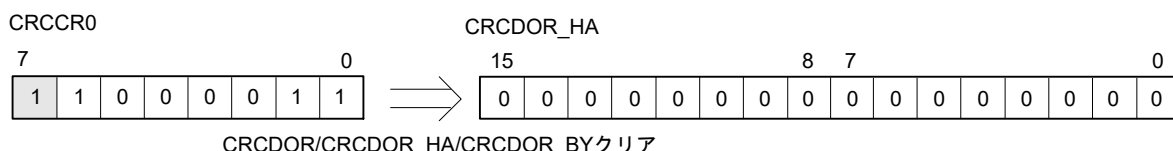
CRCコード = 0x0000 → エラーなし

図 27.4 LSB ファーストのデータ受信

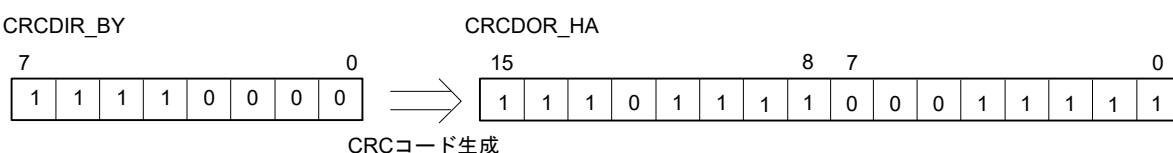
1. 8ビット単位でシリアル受信 (MSBファースト)



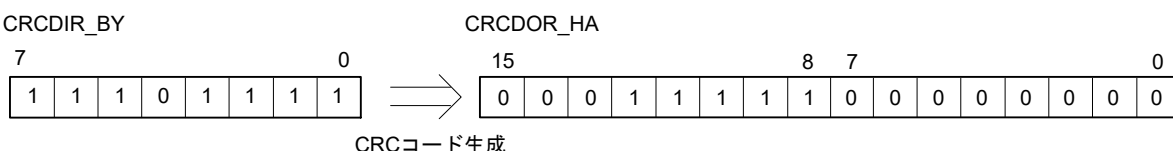
2. CRC制御レジスタ0 (CRCCR0) に0xC3を書き込む



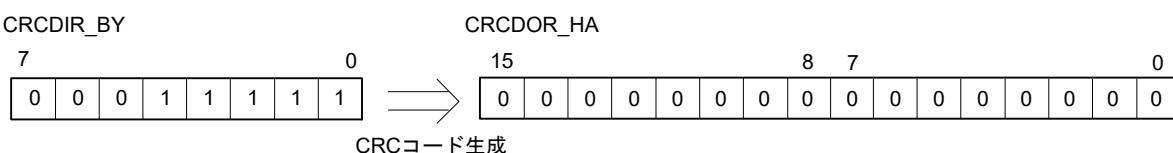
3. CRCデータ入力レジスタ (CRCDIR_BY) に0xF0を書き込む



4. CRCデータ入力レジスタ (CRCDIR_BY) に0xEFを書き込む



5. CRCデータ入力レジスタ (CRCDIR_BY) に0x1Fを書き込む



6. CRCデータ出力レジスタ (CRCDOR_HA) から演算結果を読み出す

CRCコード = 0x0000 → エラーなし

図 27.5 MSB ファーストのデータ受信

27.3.2 CRC スヌープ機能

CRC スヌープ機能では、特定のレジスタアドレスの読み出しおよび書き込みを監視し、そのレジスタアドレスで読み出し／書き込みしたデータに自動 CRC 演算を実行します。CRC スヌープ機能は、特定のレジスタアドレスに対する読み出しと書き込みを CRC 演算を自動的に実行するトリガとして認識するため、CRCDIR_BY レジスタにデータを書き込む必要がありません。「27.2.5. CRCSAR : スヌープアドレスレジスタ」で指定したすべての I/O レジスタが、CRC スヌープの対象となります。CRC スヌープ機能は、SAUm.SDRmn レジスタにおける読み出しと書き込みを監視する時に役立ちます。

この機能を使用するには、特定のレジスタの下位アドレス 14 ビットを CRCSAR レジスタの CRCSA[13:0] ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象レジスタへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象レジスタからの読み出しに対してスヌープを有効にします。CRCSWR ビットの書き込みが完了する前に対象 I/O レジスタへのアクセスを実行することは可能です。この場合、データは CRCDIR レジスタに格納されません。この問題を避けるには、I/O レジスタにアクセスする前に、CRCSWR ビットを読み戻して、書き込みの完了を確認してください。

CRCSEN ビットと CRCSWR ビットの両方を 1 にして、バスマスタモジュール (CPU、DTC など) の対象となるレジスタにデータを書き込むと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール (CPU、DTC など) の対象となるレジスタからデータを読み出すと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して CRC 演算を実行します。

CRC-8、CRC-16 および CRC-CCITT の生成多項式を使用して CRC コードが生成される場合、対象となるレジスタはバイト (8 ビット) でアクセスできます。CRC-32 および CRC-32C の生成多項式を使用してワード (32 ビット) 単位で対象レジスタにアクセスすることは禁止です。

27.4 使用上の注意事項

27.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止/許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「[10. 低消費電力モード](#)」を参照してください。

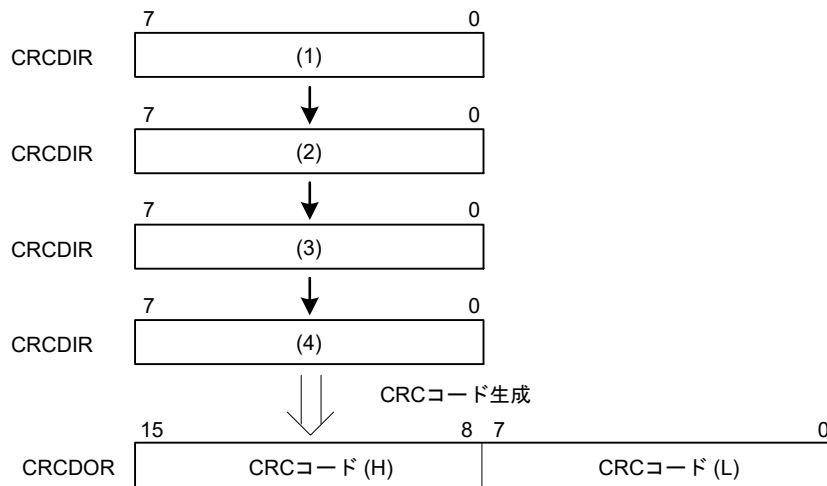
27.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。[図 27.6](#) に LSB ファーストと MSB ファーストのデータ送信を示します。

32ビットのデータを送信する場合（8ビット単位での並列処理）

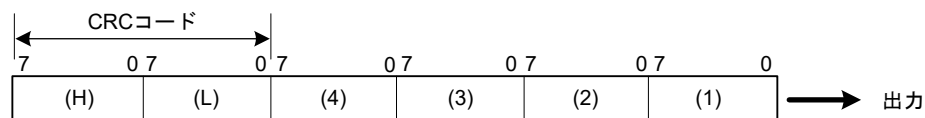
1. CRCコード

生成演算方法を指定後、(1) → (2) → (3) → (4) の順でCRCDIRにデータを書く



2. 送信データ

(i) LSBファーストで送信する場合



(ii) MSBファーストで送信する場合

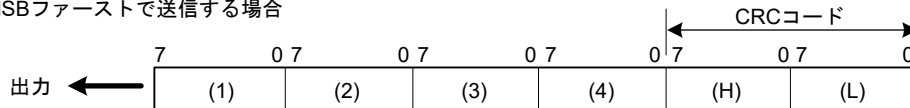


図 27.6 LSB ファーストと MSB ファーストのデータ送信

28. 真性乱数生成器 (TRNG)

28.1 概要

真性乱数生成器は 32 ビットの（真性乱数である）乱数シードを生成します。

28.2 レジスタの説明

28.2.1 TRNGSCR0 : 乱数シードコマンドレジスタ 0

Base address: TRNG = 0x4009_1100

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RDY	—	—	—	EN	ST	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	ST	乱数シード生成開始トリガ 0: トリガ無効 1: 乱数シード生成開始	R/W
3	EN	真性乱数生成器の動作制御 0: 真性乱数生成器の動作停止 1: 真性乱数生成器の動作許可	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RDY	乱数シード生成ステータスフラグ 0: 乱数シードが生成されていない、または TRNGSDR レジスタからの 4 回の読み出しが完了した 1: 乱数シードが生成された	R/W

TRNGSCR0 レジスタは、真性乱数生成器の動作を制御します。EN ビットを 1 にしてから ST ビットを 1 にすると、乱数シードの生成を開始します。真性乱数生成器による乱数シードの生成が終了すると、RDY ビットが 1 になります。

ST ビットは乱数シード生成開始トリガとして機能するため、1 が書き込まれた直後に 0 にクリアされます。

28.2.2 TRNGSCR1 : 乱数シードコマンドレジスタ 1

Base address: TRNG = 0x4009_1100

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	INTEN
Value after reset:	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	INTEN	TRNG 割り込み 0: 無効 1: 有効	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

28.2.3 TRNGSDR : 乱数シードデータレジスタ

Base address: TRNG = 0x4009_1100

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	n/a	乱数シードデータ	R

注. TRNGSCR0.RDY ビットの値が 0 のとき、TRNGSDR レジスタの値は 0x00 です。

TRNGSDR レジスタは、真性乱数生成器で生成された乱数シードのバイトを保持するための 8 ビットのレジスタです。このレジスタから乱数シードを読み出す場合、TRNGSCR0.RDY ビットを 1 にした後読み出しできます。1 つの乱数シードは 32 ビットのため、各シードに対して 4 回のレジスタアクセスが必要です。4 回のアクセスが終了すると、TRNGSCR0.RDY ビットは 0 にクリアされます。

28.3 真性乱数生成器の動作

表 28.1 に、真性乱数生成器を使用して乱数シードを生成する手順を示します。

表 28.1 真性乱数生成器を使用して乱数シードを生成する手順

手順	処理	詳細説明
真性乱数生成器を使用して乱数シードを生成する手順	<1> 乱数シード生成開始。	—
	<2> TRNGSCR0 レジスタを設定。	TRNGSCR0.EN ビットを 1 にし、真性乱数生成器を有効にします。
	<3> TRNGSCR1 レジスタを設定。	乱数シードの生成には、次の 2 つの動作があります。 1. ポーリング動作: この処理は不要です。 2. 割り込み動作: TRNGSCR1.INTEN ビットを 1 にし、TRNG 割り込み出力を有効にします。
	<4> TRNGSCR0 レジスタを設定。	TRNGSCR0.ST ビットを 1 にし、乱数シードの生成を開始します。
	<5> TRNGSDR から読み出す。	乱数シードの生成には、次の 2 つの動作があります。 1. ポーリング動作: TRNGSCR0.RDY ビットが 1 になった後、TRNGSDR レジスタを 4 回読み出します。 2. 割り込み動作: TRNG 割り込みが発生した後、TRNGSDR レジスタを 4 回読み出します。
	<6> TRNGSCR0 レジスタを設定します。	TRNGSCR0.EN ビットを 0 にし、真性乱数生成器を無効にします。
	<7> TRNGSCR1 レジスタをクリア。	乱数シードの生成には、次の 2 つの動作があります。 1. ポーリング動作: この処理は不要です。 2. 割り込み動作: TRNGSCR1.INTEN ビットを 0 にし、TRNG 割り込み出力を無効にします。
	<8> 乱数シード生成終了。	—

29. 12 ビット A/D コンバータ (ADC12)

12 ビット A/D コンバータのアナログ入力チャネル数は製品により異なります。表 29.1 に 12 ビット A/D コンバータのアナログ入力チャネル数を製品ごとに示します。

表 29.1 製品ごとの 12 ビット A/D コンバータのアナログ入力チャネル数

端子数	16 ピン	24 ピン	32 ピン	48 ピン
アナログ入力チャネル数	4 (ANI0, ANI1, ANI16, ANI17)	6 (ANI0, ANI1, ANI16～ANI19)	8 (ANI0, ANI1, ANI4, ANI5, ANI16～ANI19)	10 (ANI0～ANI5, ANI16～ANI19)

29.1 12 ビット A/D コンバータの機能

12 ビット A/D コンバータは、アナログ入力信号をデジタル値に変換するために使用し、最大 10 チャネルの 12 ビット A/D コンバータアナログ入力 (ANI0～ANI5 および ANI16～ANI19) を制御するよう構成されています。12 ビット A/D コンバータモードレジスタ 2 (ADM2) の ADTYP[1:0] ビットで、12 ビット、10 ビット、8 ビットの分解能を選択できます。12 ビット A/D コンバータには以下の機能があります。

- 12 ビット、10 ビット、8 ビット分解能の A/D 変換
ANI0～ANI5 および ANI16～ANI19 から選択した 1 つのアナログ入力チャネルに対して、12 ビット、10 ビット、または 8 ビット分解能の A/D 変換を繰り返し実行します。A/D 変換動作が終了するたびに、割り込み要求信号 (ADC_ENDI) が発生します (セレクトモード時)。

表 29.2 に示すモードの組み合わせを使って各種 A/D 変換モードを指定できます。

表 29.2 A/D 変換モード

A/D 変換モード	内容	
トリガモード	ソフトウェアトリガ待機なしモード	ソフトウェアで ADCE ビットを 1 にしてから A/D 電源安定待機時間が経過した後に ADCS ビットを 1 にすることで、変換が開始されます。
	ソフトウェアトリガ待機モード	A/D 変換が停止中のときにソフトウェアで ADCS ビットを 1 にすることで電源がオンになり、A/D 電源安定待機時間が経過した後に自動的に変換が開始されます。
	ハードウェアトリガ待機なしモード	ハードウェアトリガの検出によって変換が開始されます。
	ハードウェアトリガ待機モード	12 ビット A/D コンバータがオフで変換待機状態のときに、ハードウェアトリガの検出により 12 ビット A/D コンバータへの電源がオンになり、安定化待機時間が経過した後に自動的に変換が開始されます。スヌーズモード機能を使用する場合は、ハードウェアトリガ待機モードを指定してください。
チャネルセレクトモード	セレクトモード	選択した 1 つのチャネルのアナログ入力を A/D 変換します。
	スキャンモード	4 つのチャネルのアナログ入力を順番に A/D 変換します。アナログ入力チャネルには ANI0～ANI5 から 4 つの連続したチャネルを選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルの A/D 変換を一回実行します。
	連続変換モード	ソフトウェアで停止するまで、選択したチャネルの A/D 変換を順次実行します。

表 29.3 に動作電圧モードごとのサンプリングクロック数を示します。

表 29.3 動作電圧モードごとのサンプリングクロック数

動作電圧モード(注1)	サンプリングクロック数	
通常モード 1	43 f _{AD}	アナログ入力ソースの出力インピーダンスに応じてサンプリングキャパシタが十分に充電されるように、サンプリングクロック数を設定します。
通常モード 2	160 f _{AD}	
低電圧モード 1	53 f _{AD}	
低電圧モード 2	80 f _{AD}	

注 1. 選択できる動作モードはアナログ入力チャネル、V_{CC} 電圧、AV_{REFP} 電圧、トリガモード、PCLKB により異なります。詳細は、「29.3.1. ADM0: A/D コンバータモードレジスタ 0」を参照してください。

図 29.1 に 12 ビット A/D コンバータのブロック図を示します。

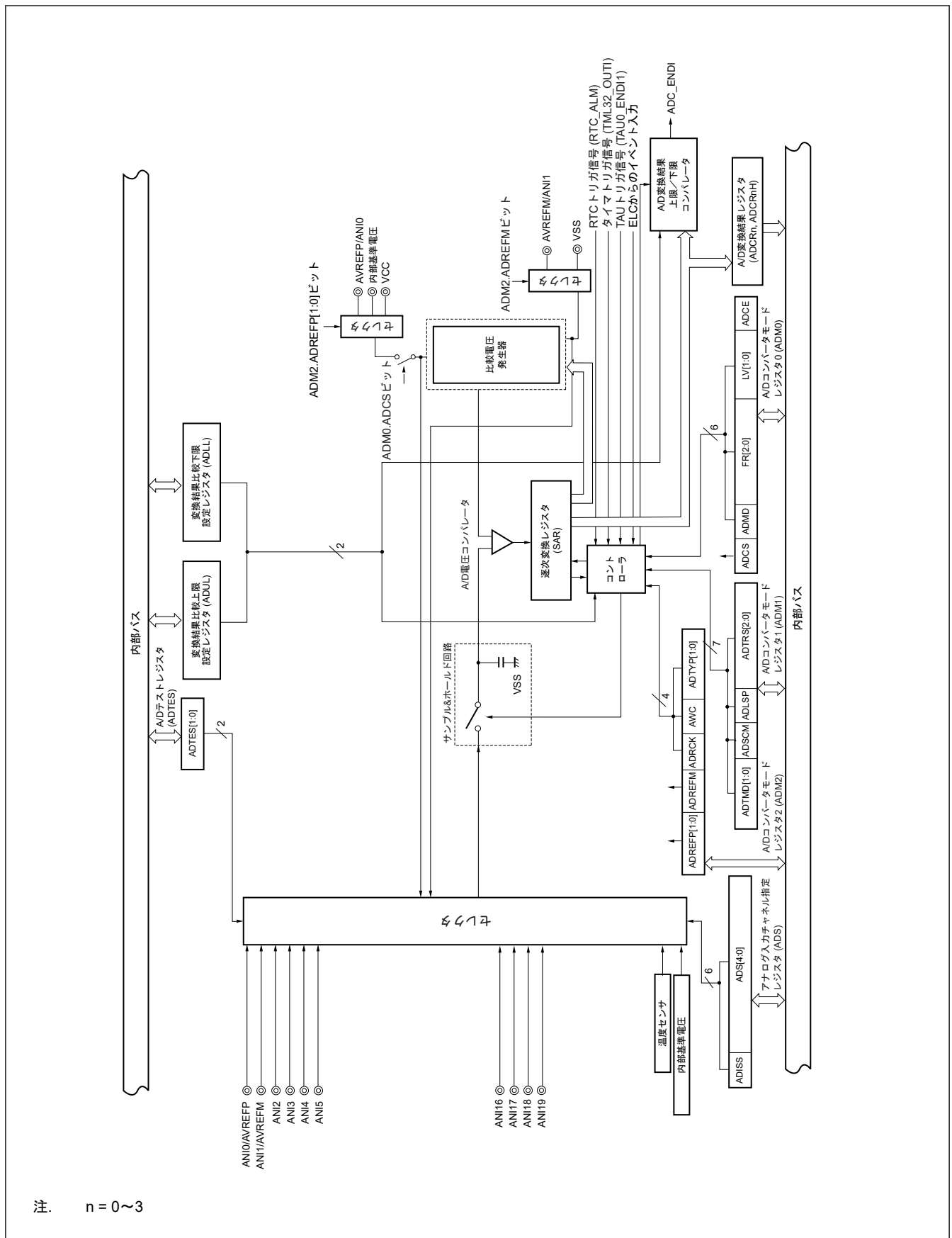


図 29.1 12 ビット A/D コンバータのブロック図

29.2 12 ビット A/D コンバータの構成

12 ビット A/D コンバータは以下のハードウェアを備えています。

1. ANI0～ANI5 端子および ANI16～ANI19 端子
12 ビット A/D コンバータの 10 チャンネルのアナログ入力端子です。デジタル信号に変換するアナログ信号を入力します。アナログ入力端子に選択された端子以外の端子は、入出力ポート端子として使用できます。
 2. サンプル&ホールド回路
サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力電圧をそれぞれサンプリングし、A/D 電圧コンパレータに送ります。この回路は、A/D 変換中にサンプリングされたアナログ入力電圧も保持します。
 3. A/D 電圧コンパレータ
本 A/D 電圧コンパレータは、比較電圧発生器の電圧タップから発生した電圧とアナログ入力電圧を比較します。比較の結果、アナログ入力電圧が基準電圧 ($1/2 AV_{REF}$) よりも大きいことが判明した場合は、逐次変換レジスタ (SAR) の最上位ビット (MSB) が設定されます。アナログ入力電圧が基準電圧 ($1/2 AV_{REF}$) 未満の場合、SAR の MSB はリセットされます。その後、SAR レジスタのビット 10 が自動的に設定され、次の比較が行われます。比較電圧発生器の電圧タップは、結果がすでに設定されているビット 11 の値によって選択されます。
ビット 11 = 0: ($1/4 AV_{REF}$)
ビット 11 = 1 の場合: ($3/4 AV_{REF}$)
比較電圧発生器の電圧タップとアナログ入力電圧を比較し、比較結果に応じて SAR レジスタのビット 10 が操作されます。
アナログ入力電圧 $\geq$ 比較電圧発生器の電圧タップの場合: ビット 10 = 1
アナログ入力電圧 $\leq$ 比較電圧発生器の電圧タップの場合: ビット 10 = 0
このようにして SAR レジスタのビット 0 まで比較を続けます。
 AV_{REF} : 12 ビット A/D コンバータの「+」側の基準電圧。 AV_{REFP} 、内部基準電圧(注1)、VCC から選択できます。
- 注 1. 内部基準電圧の詳細は、「37. 電氣的特性」を参照してください。
4. 比較電圧発生器
比較電圧発生器は、アナログ入力端子からの入力と比較する電圧を発生させます。
 5. 逐次変換レジスタ (SAR)
SAR は、比較電圧発生器からの値がアナログ入力端子の電圧値と一致する電圧タップデータを、最上位ビット (MSB) から一度に 1 ビットずつ設定するために使用します。
SAR レジスタの最下位ビット (LSB) (A/D 変換の終わり) までデータを設定すると、SAR レジスタの内容 (変換結果) は A/D 変換結果レジスタ (ADCRn) に保持されます。指定された A/D 変換動作がすべて終了すると、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。
 6. 12 ビットまたは 10 ビット A/D 変換結果レジスタ (ADCRn)
A/D 変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、さらに以下の動作が実行されます。
12 ビット分解能の場合、A/D 変換結果をレジスタの下位 12 ビットで保持します (上位 4 ビットは 0 に固定されます)。
10 ビット分解能の場合、A/D 変換結果をレジスタの上位 10 ビットで保持します (下位 6 ビットは 0 に固定されます)。
 7. 8 ビット A/D 変換結果レジスタ (ADCRnH)
A/D 変換が完了するたびに、逐次変換レジスタから本レジスタに A/D 変換結果がロードされ、ADCRnH レジスタは A/D 変換結果の上位 8 ビットを保持します。
 8. コントローラ
本回路は、デジタル信号に変換するアナログ入力信号の変換時間、および変換動作の開始と停止を制御します。A/D 変換が完了すると、本コントローラは A/D 変換結果上限/下限コンパレータにより ADC_ENDI を発生させます。
 9. AV_{REFP} 端子
外部基準電圧 (AV_{REFP}) を入力する端子です。
 AV_{REFP} を 12 ビット A/D コンバータの「+」側の基準電圧として使用する場合、A/D コンバータモードレジスタ 2 (ADM2) の ADREFP[1:0] ビットを 01b に設定してください。

ANI2～ANI5 および ANI16～ANI19 に入力したアナログ信号は、 AV_{REFP} と「-」側の基準電圧 (AV_{REFM}/V_{SS}) との間に印加される電圧に基づいてデジタル信号に変換されます。

AV_{REFP} に加えて、 V_{CC} または内部基準電圧(注1)を 12 ビット A/D コンバータの「+」側の基準電圧に選択できます。

10. AV_{REFM} 端子

外部基準電圧 (AV_{REFM}) を入力する端子です。 AV_{REFM} を 12 ビット A/D コンバータの「-」側の基準電圧として使用するには、ADM2 レジスタの ADREFM ビットを 1 にしてください。

AV_{REFM} に加えて、 V_{SS} を 12 ビット A/D コンバータの「-」側の基準電圧に選択できます。

29.3 12 ビット A/D コンバータを制御するレジスタ

12 ビット A/D コンバータの制御には以下のレジスタを使用します。

- 「29.3.1. ADM0 : A/D コンバータモードレジスタ 0」
- 「29.3.2. ADM1 : A/D コンバータモードレジスタ 1」
- 「29.3.3. ADM2 : A/D コンバータモードレジスタ 2」
- 「29.3.4. ADCR/ADCRn : 12 ビットまたは 10 ビット A/D 変換結果レジスタ n (n = 0～3)」
- 「29.3.5. ADCRH/ADCRnH : 8 ビット A/D 変換結果レジスタ n (n = 0～3)」
- 「29.3.6. ADS : アナログ入力チャネル指定レジスタ」
- 「29.3.7. ADUL : 変換結果比較上限設定レジスタ」
- 「29.3.8. ADLL : 変換結果比較下限設定レジスタ」
- 「29.3.9. ADTES : A/D テストレジスタ」

29.3.1 ADM0 : A/D コンバータモードレジスタ 0

Base address: ADC120 = 0x4009_C000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADCS	ADMD	FR[2:0]			LV[1:0]		ADCE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADCE	A/D 電圧コンパレータ動作制御(注2) 0: A/D 電圧コンパレータ動作を停止 1: A/D 電圧コンパレータ動作を許可	R/W
2:1	LV[1:0](注1)	動作電圧モードの選択 0 0: 通常モード 1 0 1: 通常モード 2 1 0: 低電圧モード 1 1 1: 低電圧モード 2	R/W
5:3	FR[2:0](注1)	変換クロック (f_{AD}) の選択 0 0 0: PCLKB/32 0 0 1: PCLKB/16 0 1 0: PCLKB/8 0 1 1: PCLKB/4 1 0 0: PCLKB/2 1 0 1: PCLKB その他: 設定禁止	R/W
6	ADMD	A/D 変換チャネルセレクトモードの指定 0: セレクトモード 1: スキャンモード	R/W

ビット	シンボル	機能	R/W
7	ADCS	A/D 変換動作制御 0: 変換動作を停止 [読み出し時] ● 変換は停止中または待機中 1: 変換動作を許可 [読み出し時] ● 待機なしモード中 (ソフトウェアトリガモードとハードウェアトリガモード) 変換有効 ● 待機モード中 (ソフトウェアトリガモードとハードウェアトリガモード) A/D 電源安定待機時間 + 変換	R/W

注. ADMD ビット、FR[2:0] ビット、LV[1:0] ビットの変更は、変換が停止 (ADCS = 0, ADCE = 0) した後 0.2 μ s 以上経過してから行う必要があります。

注. ADMD ビット、FR[2:0] ビット、LV[1:0] ビットを変更した後に ADCE = 1 または ADCS = 1 にする場合、4.8 μ s 以上経過してから行ってください。

注. 変換停止状態 (ADCS = 0, ADCE = 0) から ADCE = 1 または ADCS = 1 にする場合、5 μ s 以上待機してから行ってください。

注. ADCS = 1 かつ ADCE = 1 から ADCS = 1 かつ ADCE = 0 への設定変更は禁止です。

注. ADCS ビットと ADCE ビットを 8 ビット操作命令で同時に 0 から 1 に変更しないでください。必ず「[29.7. 12 ビット A/D コンバータ設定手順](#)」に記載の手順に従ってください。

注 1. FR[2:0] ビット、LV[1:0] ビット、A/D 変換の詳細については、[表 29.9](#)～[表 29.10](#) を参照してください。

注 2. ソフトウェアトリガ待機なしモードまたはハードウェアトリガ待機なしモード中は、A/D 電圧コンパレータの動作は ADCS ビットと ADCE ビットで制御され、動作開始から動作が安定するまで 1 μ s + 変換クロック (f_{AD}) の 2 サイクルかかります。したがって、ADCS ビットを 1 に設定した直後、ADCE ビットを 1 に設定した時点から少なくとも 1 μ s + 変換クロック (f_{AD}) の 2 サイクル経過していれば、変換結果が有効になります。ADCE = 0 の状態で ADCS を 1 に設定すると、安定待機時間の経過後に A/D 変換を開始します。1 μ s + 変換クロック (f_{AD}) の 2 サイクルが経過する前に ADCS を設定した場合は、1 回目の変換のデータを無視してください。

本レジスタは、アナログ入力をデジタルデータに変換する時間を設定し、変換の開始と停止を行います。

ADM0 レジスタは 1 ビットメモリ操作命令または 8 ビットメモリ操作命令で設定できます。

リセットが発生すると本レジスタの値は 0x00 になります。

ADCE ビット (A/D 電圧コンパレータ動作制御)

A/D 電圧コンパレータ動作の制御に使用されるビットです。

LV[1:0] ビット (動作電圧モードの選択)

動作電圧モードの選択に使用されるビットです。

FR[2:0] ビット (変換クロック (f_{AD}) の選択)

変換クロック (f_{AD}) の選択に使用されるビットです。

ADMD ビット (A/D 変換チャンネルセレクトモードの指定)

A/D 変換チャンネルセレクトモードの指定に使用されるビットです。

ADCS ビット (A/D 変換動作制御)

A/D 変換動作の制御に使用されるビットです。

ADCS ビットと ADCE ビットの関係と A/D 動作状態を[表 29.4](#)に示します。

表 29.4 ADCS ビットと ADCE ビットの関係と A/D 動作状態 (1/2)

ADCS	ADCE	A/D 変換モード	A/D 動作状態
0	0	すべてのモード	変換停止状態
0	1	ハードウェアトリガ待機モード	トリガ待機状態
		ハードウェアトリガ待機モード以外	変換待機状態
1	0	ソフトウェアトリガ待機モード	変換動作状態
		ソフトウェアトリガ待機モード以外	変換停止状態

表 29.4 ADCS ビットと ADCE ビットの関係と A/D 動作状態 (2/2)

ADCS	ADCE	A/D 変換モード	A/D 動作状態
1	1	ハードウェアトリガ待機なしモード	トリガ待機状態または変換動作状態
		ハードウェアトリガ待機モード または ソフトウェアトリガ待機なしモード	変換動作状態

ADCS ビットが 1 になる条件と 0 になる条件を表 29.5 に示します。

表 29.5 ADCS ビットが 1 になる条件と 0 になる条件

A/D 変換モード			1 になる条件	0 になる条件
ソフトウェアトリガ待機なしモード	セレクトモード	連続変換モード	ADCS に 1 を書き込んだとき	ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。
	スキャンモード	連続変換モード		ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - 指定された 4 つのチャンネルの A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。
ソフトウェアトリガ待機モード	セレクトモード	連続変換モード		ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。
	スキャンモード	連続変換モード		ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - 指定された 4 つのチャンネルの A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。
ハードウェアトリガ待機なしモード	セレクトモード	連続変換モード		ADCS に 0 を書き込んだとき
		ワンショット変換モード		ADCS に 0 を書き込んだとき
	スキャンモード	連続変換モード		ADCS に 0 を書き込んだとき
		ワンショット変換モード		ADCS に 0 を書き込んだとき
ハードウェアトリガ待機モード	セレクトモード	連続変換モード	ハードウェアトリガを入力したとき	ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。
	スキャンモード	連続変換モード		ADCS に 0 を書き込んだとき
		ワンショット変換モード		- ADCS に 0 を書き込んだとき - 指定された 4 つのチャンネルの A/D 変換が終了すると、ビットは自動的に 0 にクリアされます。

A/D 電圧コンパレータを使用するときのタイミングを図 29.2 と図 29.3 に示します。

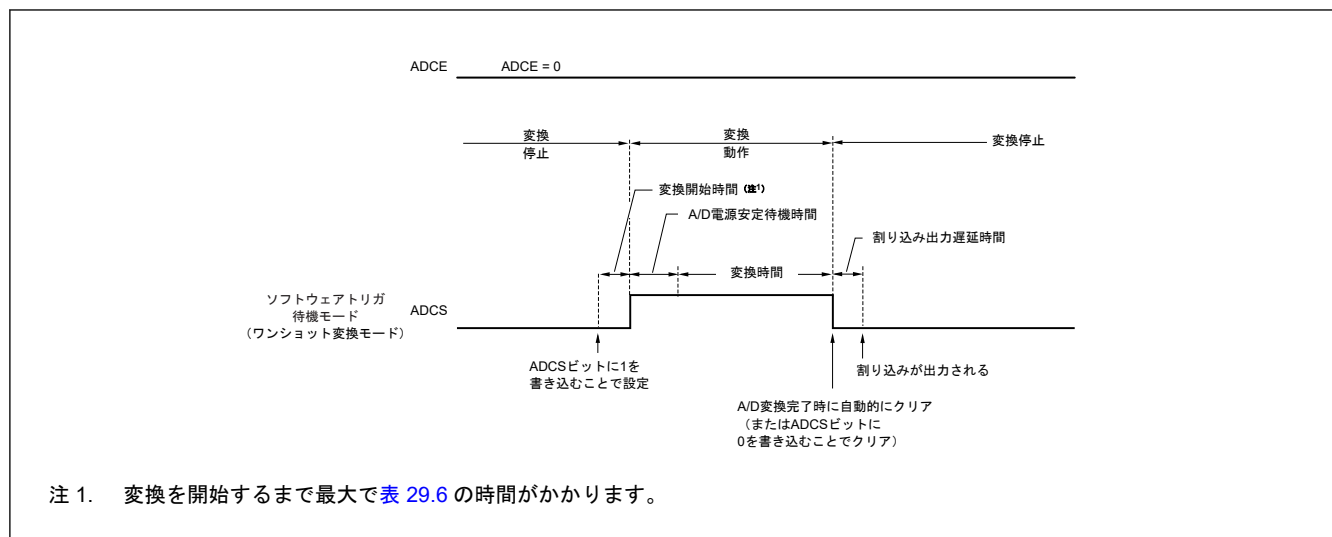
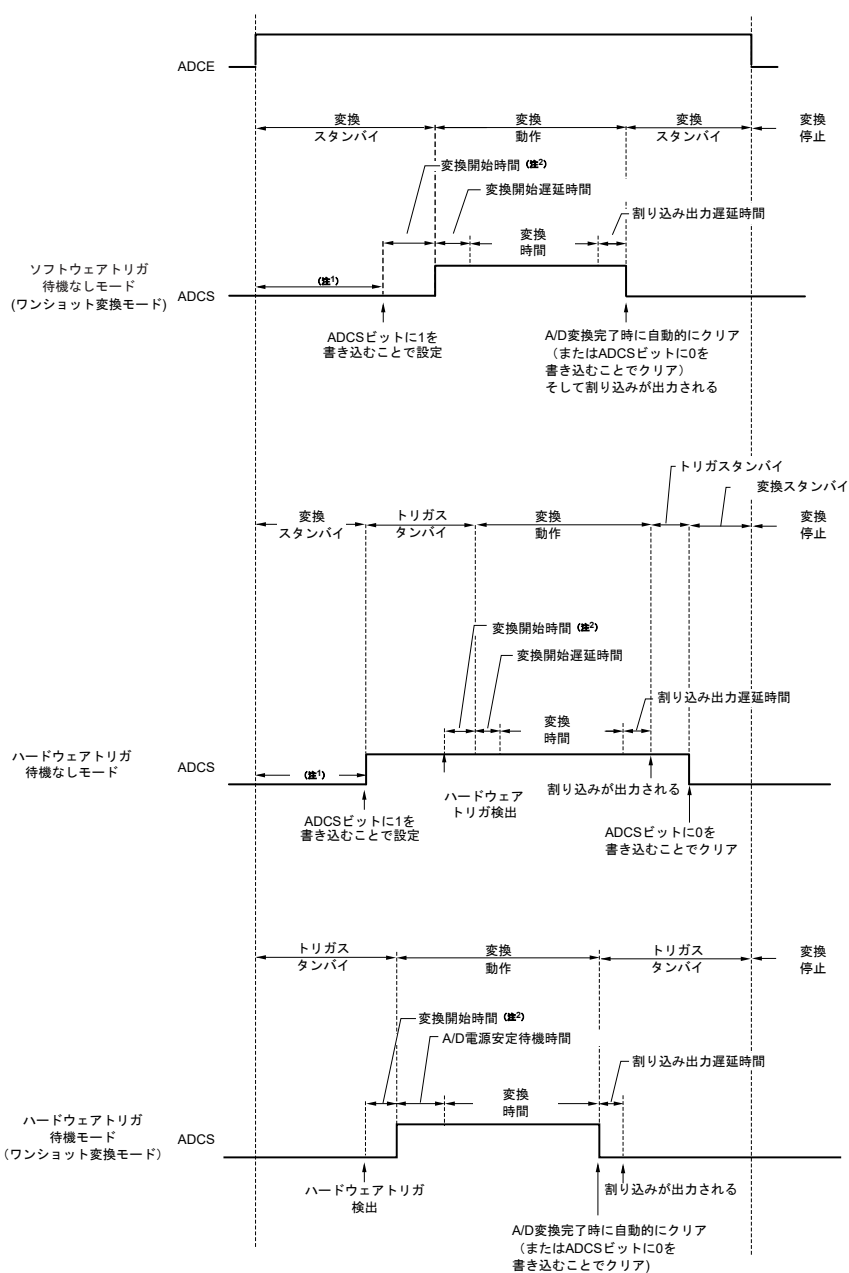


図 29.2 12 ビット A/D コンバータが使用されるタイミング (ソフトウェアトリガ待機モード)



- 注 1. ソフトウェアトリガ待機なしモードまたはハードウェアトリガ待機なしモードでは、内部回路を安定させるために、ADCE ビットの立ち上がりから ADCS ビットの立ち上がりまでの時間は $1\ \mu\text{s} + \text{変換クロック}(f_{\text{AD}})$ の 2 サイクル以上でなければなりません。
- 注 2. 変換を開始するまで最大で表 29.6 の時間がかかります。

図 29.3 12 ビット A/D コンバータが使用されるタイミング (ソフトウェアトリガ待機モード以外)

FR[2:0] ビットと ADLSP ビットの設定値による変換開始時間を表 29.6 に示します。

表 29.6 変換開始時間の設定 (1/2)

ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f_{AD})	変換開始時間 (PCLKB クロック数)	
			ソフトウェアトリガ待機なしモード/ ハードウェアトリガ待機なしモード	ソフトウェアトリガ待機モード/ ハードウェアトリガ待機モード
0	000b	PCLKB/32	31	1
0	001b	PCLKB/16	15	1

表 29.6 変換開始時間の設定 (2/2)

ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f_{AD})	変換開始時間 (PCLKB クロック数)	
			ソフトウェアトリガ待機なしモード/ ハードウェアトリガ待機なしモード	ソフトウェアトリガ待機モード/ ハードウェアトリガ待機モード
0	010b	PCLKB/8	7	1
0	011b	PCLKB/4	3	1
0	100b	PCLKB/2	1	1
0	101b	PCLKB	1	1
1	011b	PCLKB/4	3	1
1	100b	PCLKB/2	1	1
1	101b	PCLKB	1	1

ただし、連続変換モードでの 2 回目以降の変換およびスキャン 1、2、3 に指定されたチャネルのスキャンモードでの変換の場合、ハードウェアトリガの検出後は変換開始時間と A/D 電源の安定待機時間は発生しません。

注. ハードウェアトリガ待機モードを使用する場合、ADCS ビットを 1 に設定することは禁止です（ただし、このビットはハードウェアトリガ信号が検出されると自動的に 1 に切り替わります）。ただし、A/D 変換待機状態を指定するために ADCS ビットを 0 にクリアすることは可能です。

注. ハードウェアトリガ待機なしモードのワンショット変換モード中は、ADCS ビットは A/D 変換の終了時に自動的に 0 にクリアされません。その代わりに、1 を保持します。

注. ADCE ビットの値の書き換えは、ADCS = 0（変換停止／変換待機状態）のときのみ行ってください。

注. A/D 変換を完了するには、下記以上の時間をハードウェアトリガ間隔に指定してください。

- ハードウェアトリガ待機なしモード：3 PCLKB クロックサイクル + 変換開始時間 + 変換時間
- ハードウェアトリガ待機モード：3 PCLKB クロックサイクル + 変換開始時間 + A/D 電源安定待機時間 + 変換時間 + 5 μ s

表 29.7 に動作電圧モードと変換時間の関係を示します。

表 29.7 各動作モードの変換時間

動作電圧モード	ADM0.LV[1:0]	変換時間 (f_{AD} クロック数) [サイクル数]	
		セレクトモード	スキャンモード(注1)
通常モード 1	00b	64	256
通常モード 2	01b	181	724
低電圧モード 1	10b	80	320
低電圧モード 2	11b	107	428

注 1. この列の値は、4 チャネル分の変換時間を示しています。

表 29.8 に、変換開始遅延時間、A/D 電源安定待機時間、割り込み出力遅延時間の間の関係を示します。

表 29.8 、変換開始遅延時間、A/D 電源安定待機時間、割り込み出力遅延時間の間の関係 (1/2)

ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f_{AD})	変換開始遅延時間 (f_{AD} クロック数) [サイクル数]	A/D 電源安定待機 時間 (f_{AD} クロ ック数) [サイク ル数]	割り込み出力遅延時間 (f_{AD} クロック 数) [サイクル数]	
			待機なしモード (注1)	待機モード(注2)	待機なしモード (注1)	待機モード(注2) (注3)
0	000b	PCLKB/32	1	4	1	4
0	001b	PCLKB/16	1	4	1	4
0	010b	PCLKB/8	1	6	1	4
0	011b	PCLKB/4	1	10	1	4
0	100b	PCLKB/2	1	18	1	4

表 29.8 、変換開始遅延時間、A/D 電源安定待機時間、割り込み出力遅延時間の間の関係 (2/2)

ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f_{AD})	変換開始遅延時間 (f_{AD} クロック数) [サイクル数]	A/D 電源安定待機 時間 (f_{AD} クロッ ク数) [サイクル 数]	割り込み出力遅延時間 (f_{AD} クロック 数) [サイクル数]	
			待機なしモード (注1)	待機モード(注2)	待機なしモード (注1)	待機モード(注2) (注3)
0	101b	PCLKB	1	34	1	4
1	011b	PCLKB/4	1	4	1	4
1	100b	PCLKB/2	1	4	1	4
1	101b	PCLKB	1	6	1	4

注 1. 待機なしモードは、ソフトウェアトリガ待機なしモード、ハードウェアトリガ待機なしモードのいずれかです。

注 2. 待機モードは、ソフトウェアトリガ待機モード、ハードウェアトリガ待機モードのいずれかです。

注 3. この欄の値はワンショット変換モードを選択した場合に適用されます。連続変換モードを選択した場合は、クロックサイクル数が変換クロック (f_{AD}) の 3 サイクル分短くなります。

FR[2:0]ビット、LV[1:0]ビット、ADLSP ビットの設定による A/D 変換時間を表 29.9～表 29.10 に示します。

表 29.9 通常モード 1 および 2 における A/D 変換時間 (1/2)

ADM0.LV[1:0]	ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f_{AD})	PCLKB の条件 [MHz]	電圧条件 (注4)	A/D 変換時間 [μs] (注1)			
						セレクトモード		スキャンモード	
						待機なしモード (注2)	待機モード (注3) (注5)	待機なしモード (注2)	待機モード (注3) (注5)
00b (通常モード 1)	0	000b	PCLKB/32	PCLKB = 48, 32	$2.4 V \leq AVREFP \leq VCC \leq 5.5 V$	66 x 32/ PCLKB	72 x 32/ PCLKB	258 x 32/ PCLKB	264 x 32/ PCLKB
	0	001b	PCLKB/16	$16 \leq PCLKB \leq 32$		66 x 16/ PCLKB	72 x 16/ PCLKB	258 x 16/ PCLKB	264 x 16/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	010b	PCLKB/8	$8 \leq PCLKB \leq 32$		66 x 8/ PCLKB	74 x 8/ PCLKB	258 x 8/ PCLKB	266 x 8/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	011b	PCLKB/4	$4 < PCLKB \leq 32$		66 x 4/ PCLKB	78 x 4/ PCLKB	258 x 4/ PCLKB	270 x 4/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	100b	PCLKB/2	$4 < PCLKB \leq 32$	$2.7 V \leq AVREFP \leq VCC \leq 5.5 V$	66 x 2/ PCLKB	86 x 2/ PCLKB	258 x 2/ PCLKB	278 x 2/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	101b	PCLKB	$4 < PCLKB \leq 32$		66 x 1/ PCLKB	102 x 1/ PCLKB	258 x 1/ PCLKB	294 x 1/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	1	011b	PCLKB/4	PCLKB = 4	$2.4 V \leq AVREFP \leq VCC \leq 5.5 V$	66 x 4/ PCLKB	72 x 4/ PCLKB	258 x 4/ PCLKB	264 x 4/ PCLKB
	1	100b	PCLKB/2	$2 \leq PCLKB \leq 4$		66 x 2/ PCLKB	72 x 2/ PCLKB	258 x 2/ PCLKB	264 x 2/ PCLKB
	1	101b	PCLKB	$1 \leq PCLKB \leq 4$		66 x 1/ PCLKB	74 x 1/ PCLKB	258 x 1/ PCLKB	266 x 1/ PCLKB
	上記以外は設定しないでください		—	—	—	—	—	—	—

表 29.9 通常モード 1 および 2 における A/D 変換時間 (2/2)

ADM0.LV[1:0]	ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f _{AD})	PCLKB の条件 [MHz]	電圧条件(注4)	A/D 変換時間 [μs](注1)			
						セレクトモード		スキャンモード	
						待機なしモード(注2)	待機モード(注3)(注5)	待機なしモード(注2)	待機モード(注3)(注5)
01b (通常モード 2)	0	000b	PCLKB/32	PCLKB = 48, 32	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V	183 x 32/ PCLKB	189 x 32/ PCLKB	726 x 32/ PCLKB	732 x 32/ PCLKB
	0	001b	PCLKB/16	16 ≤ PCLKB ≤ 32		183 x 16/ PCLKB	189 x 16/ PCLKB	726 x 16/ PCLKB	732 x 16/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	010b	PCLKB/8	8 ≤ PCLKB ≤ 32		183 x 8/ PCLKB	191 x 8/ PCLKB	726 x 8/ PCLKB	734 x 8/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	011b	PCLKB/4	4 < PCLKB ≤ 32		183 x 4/ PCLKB	195 x 4/ PCLKB	726 x 4/ PCLKB	738 x 4/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	100b	PCLKB/2	4 < PCLKB ≤ 32	2.7 V ≤ AVREFP ≤ VCC ≤ 5.5 V	183 x 2/ PCLKB	203 x 2/ PCLKB	726 x 2/ PCLKB	746 x 2/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	101b	PCLKB	4 < PCLKB ≤ 32		183 x 1/ PCLKB	219 x 1/ PCLKB	726 x 1/ PCLKB	762 x 1/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	1	011b	PCLKB/4	PCLKB = 4	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V	183 x 4/ PCLKB	189 x 4/ PCLKB	726 x 4/ PCLKB	732 x 4/ PCLKB
	1	100b	PCLKB/2	2 ≤ PCLKB ≤ 4		183 x 2/ PCLKB	189 x 2/ PCLKB	726 x 2/ PCLKB	732 x 2/ PCLKB
	1	101b	PCLKB	1 ≤ PCLKB ≤ 4		183 x 1/ PCLKB	191 x 1/ PCLKB	726 x 1/ PCLKB	734 x 1/ PCLKB
	上記以外は設定しないでください		—	—	—	—	—	—	—

注. A/D 変換時間は、「37.4. ADC12 特性」に記載した変換時間 (t_{CONV}) の範囲内で設定してください。

注. FR[2:0]ビット、LV[1:0]ビットの別の値への書き換えは変換が停止しているとき (ADCS = 0, ADCE = 0) に行ってください。FR[2:0]ビットと LV[1:0]ビットの変更は、変換が停止 (ADCS = 0, ADCE = 0) した後 0.2 μs 以上経過してから行います。

注. 上記の A/D 変換時間には変換開始時間は含まれません。変換開始時間を加算して、1 回目の変換の時間を取得します。また、A/D 変換時間にはクロック周波数誤差は含まれません。A/D 変換時間を選択するときはクロック周波数誤差を考慮してください。

注. 内部基準電圧または温度センサ出力電圧を A/D 変換対象に選択した場合は、通常モード 2、および周波数が 32 MHz 以下の変換クロック (f_{AD}) を使用してください。

注. 内部基準電圧を正の基準電圧に選択した場合、通常モード 1 と 2 は使用できません。低電圧モード 1 または 2 を使用してください。

注 1. A/D 変換時間は、変換開始遅延時間、A/D 電源安定待機時間、変換時間、割り込み出力遅延時間から成ります。

図 29.2、図 29.3、表 29.7、表 29.8 を参照してください。

注 2. 待機なしモードは、ソフトウェアトリガ待機なしモード、ハードウェアトリガ待機なしモードのいずれかです。

注 3. 待機モードは、ソフトウェアトリガ待機モード、ハードウェアトリガ待機モードのいずれかです。連続変換モードでの 2 回目以降の変換およびスキャン 1、2、3 に指定されたチャンネルのスキャンモードでの変換の場合、ソフトウェアトリガまたはハードウェアトリガの検出後は変換開始時間と A/D 電源安定待機時間は発生しません。

注 4. ICLK の周波数と VCC の条件については、「10.5.2 動作範囲」を参照してください。周波数と VCC は、この条件を満たすように設定します。

注 5. この欄の値はワンショット変換モードを選択した場合に適用されます。連続変換モードを選択した場合は、クロックサイクル数が変換クロック (f_{AD}) の 3 サイクル分短くなります。

表 29.10 低電圧モード 1 および 2 における A/D 変換時間 (1/2)

ADM0.LV[1:0]	ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f _{AD})	PCLKB の条件 [MHz] (注4)	電圧条件 (注4)	A/D 変換時間 [μs] (注1)			
						セレクトモード		スキャンモード	
						待機なしモード (注2)	待機モード (注3) (注5)	待機なしモード (注2)	待機モード (注3) (注5)
10b (低電圧モード 1)	0	000b	PCLKB/32	PCLKB = 48, 32	1.6 V ≤ AVREFP ≤ VCC ≤ 5.5 V	82 x 32/ PCLKB	88 x 32/ PCLKB	322 x 32/ PCLKB	328 x 32/ PCLKB
	0	001b	PCLKB/16	16 ≤ PCLKB ≤ 32		82 x 16/ PCLKB	88 x 16/ PCLKB	322 x 16/ PCLKB	328 x 16/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	010b	PCLKB/8	8 ≤ PCLKB ≤ 32	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	82 x 8/ PCLKB	90 x 8/ PCLKB	322 x 8/ PCLKB	330 x 8/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	011b	PCLKB/4	4 < PCLKB ≤ 32	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	82 x 4/ PCLKB	94 x 4/ PCLKB	322 x 4/ PCLKB	334 x 4/ PCLKB
				PCLKB = 48	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V		設定禁止		設定禁止
	0	100b	PCLKB/2	4 < PCLKB ≤ 16	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	82 x 2/ PCLKB	102 x 2/ PCLKB	322 x 2/ PCLKB	342 x 2/ PCLKB
				4 < PCLKB ≤ 32	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V				
				PCLKB = 48	2.7 V ≤ AVREFP ≤ VCC ≤ 5.5 V		設定禁止		設定禁止
	0	101b	PCLKB	4 < PCLKB ≤ 8	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	82 x 1/ PCLKB	118 x 1/ PCLKB	322 x 1/ PCLKB	358 x 1/ PCLKB
				4 < PCLKB ≤ 16	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V				
				4 < PCLKB ≤ 24	2.7 V ≤ AVREFP ≤ VCC ≤ 5.5 V				
	1	011b	PCLKB/4	PCLKB = 4	1.6 V ≤ AVREFP ≤ VCC ≤ 5.5 V	82 x 4/ PCLKB	88 x 4/ PCLKB	322 x 4/ PCLKB	328 x 4/ PCLKB
	1	100b	PCLKB/2	2 ≤ PCLKB ≤ 4		82 x 2/ PCLKB	88 x 2/ PCLKB	322 x 2/ PCLKB	328 x 2/ PCLKB
	1	101b	PCLKB	1 ≤ PCLKB ≤ 4		82 x 1/ PCLKB	90 x 1/ PCLKB	322 x 1/ PCLKB	330 x 1/ PCLKB
	上記以外は設定しないでください		—	—	—	—	—	—	—

表 29.10 低電圧モード 1 および 2 における A/D 変換時間 (2/2)

ADM0.LV[1:0]	ADM1.ADLSP	ADM0.FR[2:0]	変換クロック (f _{AD})	PCLKB の条件 [MHz] (注4)	電圧条件 (注4)	A/D 変換時間 [μs] (注1)			
						セレクトモード		スキャンモード	
						待機なしモード (注2)	待機モード (注3) (注5)	待機なしモード (注2)	待機モード (注3) (注5)
11b (低電圧モード 2)	0	000b	PCLKB/32	PCLKB = 48, 32	1.6 V ≤ AVREFP ≤ VCC ≤ 5.5 V	109 x 32/ PCLKB	115 x 32/ PCLKB	430 x 32/ PCLKB	436 x 32/ PCLKB
	0	001b	PCLKB/16	16 ≤ PCLKB ≤ 32		109 x 16/ PCLKB	115 x 16/ PCLKB	430 x 16/ PCLKB	436 x 16/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	010b	PCLKB/8	8 ≤ PCLKB ≤ 32	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	109 x 8/ PCLKB	117 x 8/ PCLKB	430 x 8/ PCLKB	438 x 8/ PCLKB
				PCLKB = 48			設定禁止		設定禁止
	0	011b	PCLKB/4	4 < PCLKB ≤ 32	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	109 x 4/ PCLKB	121 x 4/ PCLKB	430 x 4/ PCLKB	442 x 4/ PCLKB
				PCLKB = 48	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V				設定禁止
	0	100b	PCLKB/2	4 < PCLKB ≤ 16	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	109 x 2/ PCLKB	129 x 2/ PCLKB	430 x 2/ PCLKB	450 x 2/ PCLKB
				4 < PCLKB ≤ 32	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V				
				PCLKB = 48	2.7 V ≤ AVREFP ≤ VCC ≤ 5.5 V		設定禁止		設定禁止
	0	101b	PCLKB	4 < PCLKB ≤ 8	1.8 V ≤ AVREFP ≤ VCC ≤ 5.5 V	109 x 1/ PCLKB	145 x 1/ PCLKB	430 x 1/ PCLKB	466 x 1/ PCLKB
				4 < PCLKB ≤ 16	2.4 V ≤ AVREFP ≤ VCC ≤ 5.5 V				
				4 < PCLKB ≤ 24	2.7 V ≤ AVREFP ≤ VCC ≤ 5.5 V				
	1	011b	PCLKB/4	PCLKB = 4	1.6 V ≤ AVREFP ≤ VCC ≤ 5.5 V	109 x 4/ PCLKB	115 x 4/ PCLKB	430 x 4/ PCLKB	436 x 4/ PCLKB
	1	100b	PCLKB/2	2 ≤ PCLKB ≤ 4		109 x 2/ PCLKB	115 x 2/ PCLKB	430 x 2/ PCLKB	436 x 2/ PCLKB
	1	101b	PCLKB	1 ≤ PCLKB ≤ 4		109 x 1/ PCLKB	117 x 1/ PCLKB	430 x 1/ PCLKB	438 x 1/ PCLKB
	上記以外は設定しないでください		—	—	—	—	—	—	—

注. A/D 変換時間は、「37.4. ADC12 特性」に記載した変換時間 (t_{CONV}) の範囲内で設定してください。

注. FR[2:0]ビット、LV[1:0]ビットの別の値への書き換えは変換が停止しているとき (ADCS = 0, ADCE = 0) に行ってください。FR[2:0]ビットと LV[1:0]ビットの変更は、変換が停止 (ADCS = 0, ADCE = 0) した後 0.2 μs 以上経過してから行います。

注. 上記の A/D 変換時間には変換開始時間は含まれません。変換開始時間を加算して、1 回目の変換の時間を取得します。また、A/D 変換時間にはクロック周波数誤差は含まれません。A/D 変換時間を選択するときはクロック周波数誤差を考慮してください。

注. 内部基準電圧または温度センサ出力電圧を A/D 変換対象に選択した場合は、低電圧モード 2 および周波数が 16 MHz 以下の変換クロック (f_{AD}) を使用してください。

- 注. 内部基準電圧を正の基準電圧に選択した場合は、変換クロック (f_{AD}) は 1~2 MHz の範囲内になければなりません。
- 注 1. A/D 変換時間は、変換開始遅延時間、A/D 電源安定待機時間、変換時間、割り込み出力遅延時間から成ります。
図 29.2、図 29.3、表 29.7、表 29.8 を参照してください。
- 注 2. 待機なしモードは、ソフトウェアトリガ待機なしモード、ハードウェアトリガ待機なしモードのいずれかです。
- 注 3. 待機モードは、ソフトウェアトリガ待機モード、ハードウェアトリガ待機モードのいずれかです。連続変換モードでの 2 回目以降の変換およびスキャン 1、2、3 に指定されたチャネルのスキャンモードでの変換の場合、ソフトウェアトリガまたはハードウェアトリガの検出後は変換開始時間と A/D 電源安定待機時間は発生しません。
- 注 4. ICLK の周波数と VCC の条件については、「10.5.2. 動作範囲」を参照してください。周波数と VCC は、この条件を満たすように設定します。
- 注 5. この欄の値はワンショット変換モードを選択した場合に適用されます。連続変換モードを選択した場合は、クロックサイクル数が変換クロック (f_{AD}) の 3 サイクル分短くなります。

図 29.4 に、サンプリングと A/D 変換のタイミングを示します。

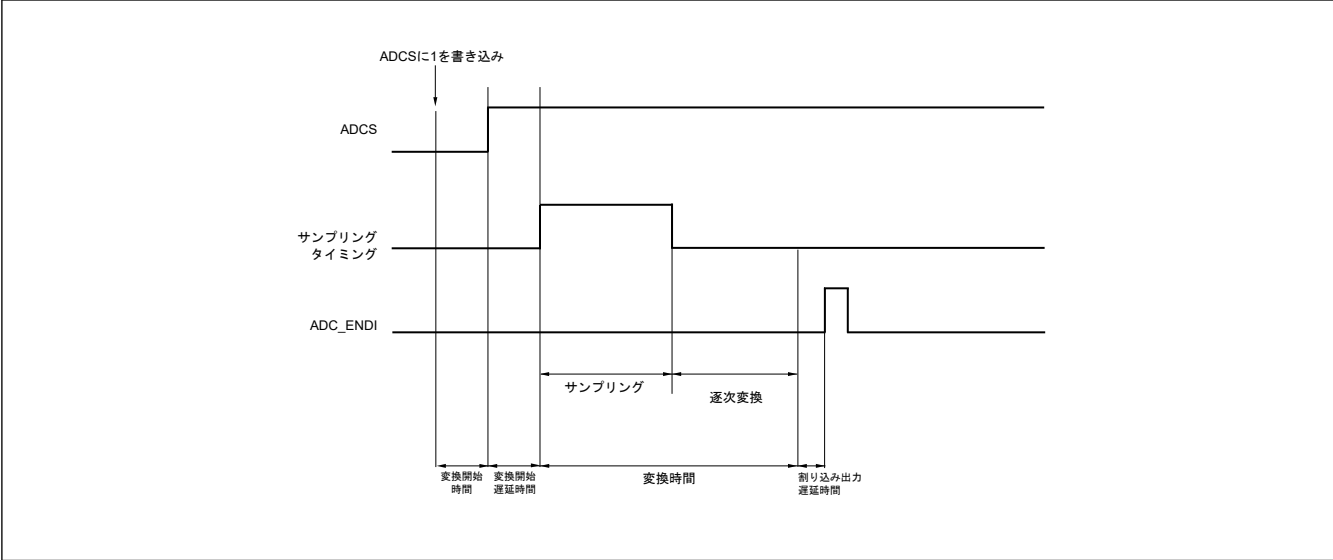


図 29.4 12 ビット A/D コンバータのサンプリングと A/D 変換のタイミング（ソフトウェアトリガ待機なしモード、セレクトモード、ワンショット変換モードの例）

29.3.2 ADM1 : A/D コンバータモードレジスタ 1

Base address: ADC120 = 0x4009_C000
Offset address: 0x02

Bit position: 7 6 5 4 3 2 1 0

Bit field:	ADTMD[1:0]	ADSC M	—	ADLS P	ADTRS[2:0]
Value after reset:	0 0	0	0	0	0 0 0

ビット	シンボル	機能	R/W
2:0	ADTRS[2:0]	ハードウェアトリガ信号の選択 0 0 0: タイマアレイユニットチャネル 1 カウントまたはキャプチャ終了割り込み信号 (TAU0_ENDI1) 0 1 0: リアルタイムクロック割り込み信号 (RTC_ALM) 0 1 1: 32 ビット内部タイマ割り込み信号 (TML32_OUTI) 1 0 0: ELC からのイベント入力 その他: 設定禁止	R/W
3	ADLSP	PCLKB 入力周波数設定 0: 4 MHz < PCLKB ≤ 48 MHz 1: 1 MHz ≤ PCLKB ≤ 4 MHz	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ADSCM	A/D 変換モードの指定 0: 連続変換モード 1: ワンショット変換モード	R/W

ビット	シンボル	機能	R/W
7:6	ADTMD[1:0]	A/D 変換トリガモードの選択 1 0: ハードウェアトリガ待機なしモード 1 1: ハードウェアトリガ待機モード その他: ソフトウェアトリガ待機なしモードまたはソフトウェアトリガ待機モード	R/W

注: ADM1 レジスタの値の書き換えは、変換動作が停止している (ADCS = 0, ADCE = 0) ときのみに行ってください。

注: A/D 変換を完了するには、下記以上の時間をハードウェアトリガ間隔に指定してください。

ハードウェアトリガ待機なしモード: 3 PCLKB クロックサイクル + 変換開始時間 + A/D 変換時間

ハードウェアトリガ待機モード: 3 PCLKB クロックサイクル + 変換開始時間 + A/D 電源安定待機時間 + A/D 変換時間 + 5 μ s

注: スヌーズモード以外のモードでは、最初の RTC_ALM または TML32_OUTI が入力されてから最大 4 PCLKB サイクルの間、次の RTC_ALM または TML32_OUTI の入力の有効なハードウェアトリガとして認識されません。

本レジスタは、A/D 変換トリガ、変換モード、ハードウェアトリガ信号の指定に使用します。ADM1 レジスタは、1 ビットまたは 8 ビットメモリ操作命令で設定できます。

リセットが発生すると本レジスタの値は 0x00 になります。

ADTRS[2:0]ビット (ハードウェアトリガ信号の選択)

ハードウェアトリガ信号の選択に使用されるビットです。

ADLSP ビット (PCLKB 入力周波数設定)

PCLKB 入力周波数の設定に使用されるビットです。

ADSCM ビット (A/D 変換モードの指定)

A/D 変換モードの指定に使用されるビットです。

ADTMD[1:0] ビット (A/D 変換トリガモードの選択)

A/D 変換トリガモードの選択に使用されるビットです。

29.3.3 ADM2 : A/D コンバータモードレジスタ 2

Base address: ADC120 = 0x4009_C000

Offset address: 0x90

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADREFP[1:0]	ADREFM	—	ADRC K	AWC	ADTYP[1:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADTYP[1:0]	ハードウェアトリガ信号の選択 0 0: 分解能: 10 ビット 0 1: 分解能: 8 ビット 1 0: 分解能: 12 ビット その他: 設定禁止	R/W
2	AWC	スヌーズモードの指定 0: スヌーズモード機能を使用しない 1: スヌーズモード機能を使用する	R/W
3	ADRCCK	変換結果の上限と下限の確認 0: ADLL レジスタ $\leq$ ADRCn レジスタ $\leq$ ADUL レジスタ (AREA 1) のときに、割り込み信号 (ADC_ENDI) を出力 1: ADRCn レジスタ $\leq$ ADLL レジスタ (AREA 2) または ADUL レジスタ < ADRCn レジスタ (AREA 3) のときに、割り込み信号 (ADC_ENDI) を出力	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ADREFM	12 ビット A/D コンバータの「-」側の基準電圧の選択 0: V _{SS} から供給 1: AVREFM から供給	R/W

ビット	シンボル	機能	R/W
7:6	ADREFP[1:0]	12 ビット A/D コンバータの「+」側の基準電圧ソースの選択 0 0: V_{CC} から供給 0 1: AVREFP から供給 1 0: 内部基準電圧から供給(注1) 1 1: 内部回路をディスチャージ	R/W

- 注. ADM2 レジスタの値の書き換えは、変換動作が停止している ($ADCS = 0$, $ADCE = 0$) ときのみに行ってください。
- 注. ソフトウェアスタンバイモードに移行するとき、または CPU がサブシステムクロックで動作中にスリープモードに移行するときは、ADREFP[1]ビットを 1 に設定しないでください。内部基準電圧を選択した場合 ($ADREFP[1:0] = 10b$)、「37.2.5. 動作電流とスタンバイ電流」に示す 12 ビット A/D コンバータ内部基準電圧電流 (I_{ADREF}) が I_{CC} に加算されます。
- 注. AVREFP と AVREFM を使用する場合は、ANI0 と ANI1 をアナログ入力チャネルに指定し、ポート mn 端子機能選択レジスタを使って入力モードを指定します。
- 注 1. 内部基準電圧の詳細は、「37. 電気的特性」を参照してください。

本レジスタは、12 ビット A/D コンバータの「+」側と「-」側の基準電圧の選択、A/D 変換結果の上限と下限の確認、分解能の選択、およびスヌーズモード使用の有無の指定に使用します。

ADM2 レジスタは 1 ビットメモリ操作命令または 8 ビットメモリ操作命令で設定できます。

リセットが発生すると本レジスタの値は 0x00 になります。

ADTYP[1:0]ビット (ハードウェアトリガ信号の選択)

ハードウェアトリガ信号の選択に使用されるビットです。

AWC ビット (スヌーズモードの指定)

スヌーズモードの指定に使用されるビットです。

- スヌーズモード機能を使用する場合は、AWC を 1 にします。
- ソフトウェアトリガ待機なしモード、ソフトウェアトリガ待機モード、ハードウェアトリガ待機なしモードでは、スヌーズモード機能は使用禁止です。
- 連続変換モード時のハードウェアトリガ待機モードでは、スヌーズモード機能は使用禁止です。
- スヌーズモード機能を使用する場合、ハードウェアトリガ間隔に「変換開始時間 + A/D 電源安定待機時間 + A/D 変換時間 + 3 PCLKB クロックサイクル + 5 μ s」以上の時間を設定します。
- スヌーズモードを使用する場合でも、通常動作時は必ず AWC ビットを 0 にし、ソフトウェアスタンバイモードに移行する直前に 1 に変えてください。
また、ソフトウェアスタンバイモードから通常動作に復帰後は、必ず AWC ビットを 0 に変えてください。
AWC ビットを 1 のままにしておくと、以降のスヌーズモードまたは通常動作にかかわらず A/D 変換が正常に開始されなくなります。

ADRCK ビット (変換結果の上限と下限の確認)

変換結果の上限と下限の確認に使用されるビットです。

図 29.5 に、AREA 1～AREA 3 の割り込み信号 (ADC_ENDI) の発生範囲を示します。

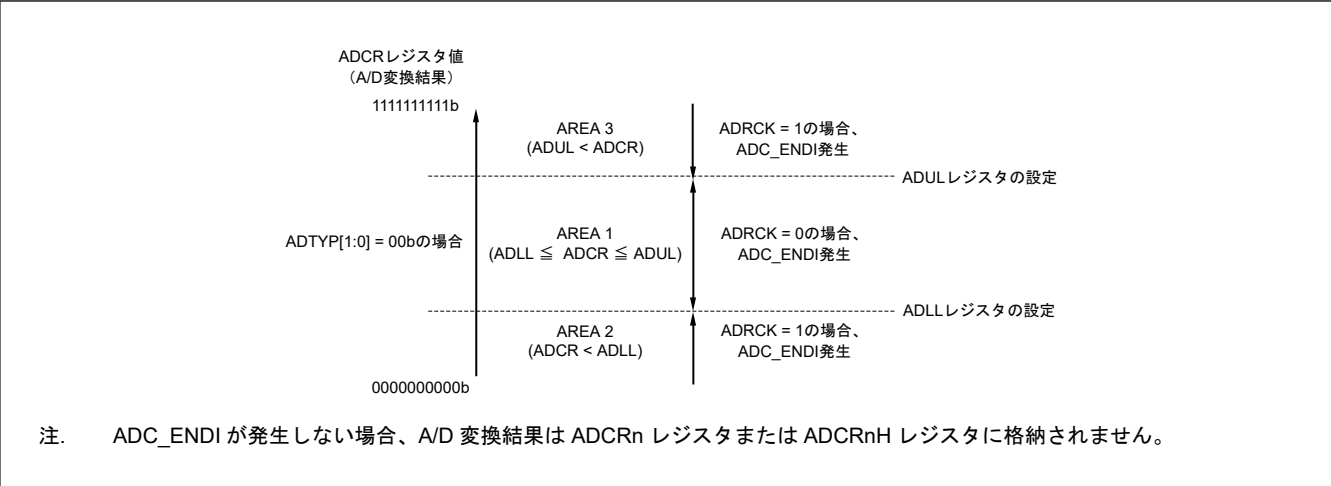


図 29.5 ADRCK ビット割り込み信号発生範囲 (10 ビット分解能モード時)

ADREFM ビット (12 ビット A/D コンバータの「-」側の基準電圧の選択)

12 ビット A/D コンバータの「-」側の基準電圧の選択に使用されるビットです。

ADREFP[1:0] ビット (12 ビット A/D コンバータの「+」側の基準電圧ソースの選択)

12 ビット A/D コンバータの「+」側の基準電圧ソースの選択に使用されるビットです。

ADREFP[1:0] ビットの書き換えは表 29.11 の手順で行ってください。

表 29.11 ADREFP[1:0]書き換え用のレジスタ設定

手順	処理	詳細説明
ADREFP[1:0]書き換え用のレジスタ設定	<1> ADM0.ADCE = 0 を設定	—
	<2> 0.2 μs 以上待機	—
	<3> ADREFP[1:0] = 11b を設定	この手順は、ADREFP[1:0]の値を 10b に変更した場合にのみ必要です。
	<4> 基準電圧ディスチャージ時間 : 1 μs	
	<5> ADREFP[1:0]の値を変更	「+」側の基準の設定
	<6> 基準電圧安定待機時間 (A)	ADREFP[1:0] = 10b の場合 : A = 5 μs ADREFP[1:0] = 00b または 01b の場合 : A = 4.8 μs
	<7> ADM0.ADCE = 1 を設定	—
	<8> 基準電圧安定待機時間 (B)	B = 1 μs + 変換クロック (f _{AD}) の 2 サイクル
	<9> A/D 変換開始	—

29.3.4 ADCR/ADCRn : 12 ビットまたは 10 ビット A/D 変換結果レジスタ n (n = 0~3)

Base address: ADC120 = 0x4009_C000

Offset address: 0x06 (ADCR)
0xA0 (ADCR0)
0xA2 (ADCR1)
0xA4 (ADCR2)
0xA6 (ADCR3)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	A/D 変換結果が格納されます。 12 ビット分解能の A/D 変換を選択した場合、上位 4 ビットは 0 に固定されます。 10 ビット分解能の A/D 変換を選択した場合、下位 6 ビットは 0 に固定されます。 8 ビット分解能の A/D 変換を選択した場合、下位 8 ビットは 0 に固定されます。	R

注. ADCR レジスタの内容は ADCR0 レジスタに格納されます。

注. 8 ビット分解能の A/D 変換を選択した場合 (A/D コンバータモードレジスタ 2 (ADM2) の ADTYP[1:0] ビットを 01b に設定した場合)、ADCRn レジスタを読み出すと、上位 8 ビット以外のビットから 0 が読み出されます。

注. ADCRn レジスタに 16 ビット単位でアクセスし、10 ビット分解能の A/D 変換を選択した場合、変換結果の上位 10 ビットが ADCRn レジスタのビット 15 から順に読み出されます。
12 ビット分解能の A/D 変換を選択した場合、変換結果の上位 12 ビットが ADCRn レジスタのビット 11 から順に読み出されます。

注. 以下のレジスタのいずれかに書き込みを行うと、ADCRnH レジスタの内容が不定になる可能性があります。

- A/D コンバータモードレジスタ 0 (ADM0)
- アナログ入力チャネル指定レジスタ (ADS)

これらのレジスタに書き込みを行う前に、変換完了後の変換結果を読み出してください。さもないと、正しい変換結果が得られない場合があります。

ADCRn は、A/D 変換結果を保持する 16 ビットのレジスタです。

12 ビット分解能の A/D 変換を選択した場合、上位 4 ビットは 0 に固定されます。

10 ビット分解能の A/D 変換を選択した場合、下位 6 ビットは 0 に固定されます。

A/D 変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。ADCRn レジスタは、16 ビットメモリ操作命令で読み出せます。

本レジスタの値はリセット後に 0x0000 になります。

セレクトモードでは、変換結果は ADCR レジスタまたは ADCR0 レジスタに格納されます(注1)。スキャンモードでは、スキャン 0 の変換結果は ADCR レジスタまたは ADCR0 レジスタに格納され、スキャン 1~3 の変換結果は ADCR1~ADCR3 レジスタに格納されます。(注1)

注 1. A/D 変換結果が A/D 変換比較機能で指定した範囲 (ADM2 レジスタの ADRCK ビット、ADUL レジスタ、ADLL レジスタで設定、図 29.5 参照) 外の場合、結果は格納されません。

29.3.5 ADCRH/ADCRnH : 8 ビット A/D 変換結果レジスタ n(n = 0~3)

Base address: ADC120 = 0x4009_C000

Offset address: 0x07 (ADCRH)
0xA1 (ADCR0H)
0xA3 (ADCR1H)
0xA5 (ADCR2H)
0xA7 (ADCR3H)

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	n/a	A/D 変換結果が格納されます。12 ビット分解能の上位 8 ビットが格納されます。	R

注. ADCRH レジスタの内容は ADCR0H レジスタに格納されます。

注. 以下のレジスタのいずれかに書き込みを行うと、ADCRnH レジスタの内容が不定になる可能性があります。

- A/D コンバータモードレジスタ 0 (ADM0)
- アナログ入力チャネル指定レジスタ (ADS)

これらのレジスタに書き込みを行う前に、変換完了後の変換結果を読み出してください。さもないと、正しい変換結果が得られない場合があります。

ADCRnH は、A/D 変換結果を保持する 8 ビットのレジスタです。12 ビット分解能の上位 8 ビットが格納されます(注1)。ADCRnH レジスタは、8 ビットメモリ操作命令で読み出せます。

リセットが発生すると本レジスタの値は 0x00 になります。

注 1. A/D 変換結果が A/D 変換比較機能で指定した範囲（ADM2 レジスタの ADRCK ビット、ADUL レジスタ、ADLL レジスタで設定、[図 29.5](#) 参照）外の場合、結果は格納されません。

29.3.6 ADS : アナログ入力チャネル指定レジスタ

Base address: ADC120 = 0x4009_C000

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ADISS	—	—	ADS[4:0]				

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
4:0	ADS[4:0]	アナログ入力チャネルの選択（ 表 29.12 ～ 表 29.13 参照）	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ADISS	内部または外部アナログ入力の選択（ 表 29.12 ～ 表 29.13 参照） 0: 外部入力 1: 内部回路入力	R/W

- 注. ADISS ビットの値の書き換えは、変換が停止している (ADCS = 0, ADCE = 0) ときに行ってください。
- 注. AV_{REFP} を 12 ビット A/D コンバータの「+」側の基準電圧として使用する場合は、ANI0 を A/D 変換チャネルに選択しないでください。
- 注. AV_{REFM} を 12 ビット A/D コンバータの「-」側の基準電圧として使用する場合は、ANI1 を A/D 変換チャネルに選択しないでください。
- 注. ADISS ビットの設定値が 1 の場合、内部基準電圧は A/D コンバータの「+」側の基準電圧には使用できません。ADISS ビットを 1 に設定した後、1 回目の変換結果は使用できません。設定の流れについては、「[29.7.5. 温度センサ出力電圧または内部基準電圧と、ソフトウェアトリガ待機なしモードおよびワンショット変換モード選択時の ADC 使用例](#)」を参照してください。
- 内部基準電圧の詳細は、「[37. 電氣的特性](#)」を参照してください。
- 注. ソフトウェアスタンバイモードに移行するとき、または CPU がサブシステムクロックで動作中にスリープモードに移行するときは、ADISS ビットを 1 に設定しないでください。ADISS ビットを 1 に設定した場合、「[37.2.5. 動作電流とスタンバイ電流](#)」に示す 12 ビット A/D コンバータ内部基準電圧電流 (I_{ADREF}) が I_{CC} に加算されます。
- 注. ADISS ビットの設定値が 1 の場合、ハードウェアトリガ待機モードかつワンショット変換モードの同時使用はできません。

本レジスタは、A/D 変換対象のアナログ電圧の入力チャネルを指定します。

ADS レジスタは、1 ビットまたは 8 ビットメモリ操作命令で設定できます。

リセットが発生すると本レジスタの値は 0x00 になります。

ADS[4:0]ビット（アナログ入力チャネルの選択）

アナログ入力チャネルの選択に使用されるビットです。

ADISS ビット（内部または外部アナログ入力の選択）

内部または外部アナログ入力の選択に使用されるビットです。

[表 29.12](#) および [表 29.13](#) に、ADS[4:0]ビットと ADISS ビットに選択できる入力ソースを動作モードごとに示します。

<セレクトモード (ADMD = 0)>

表 29.12 セレクトモードでの ADS[4:0]ビットと ADISS ビットによる入力ソース選択 (1/2)

ADISS	ADS[4:0]	アナログ入力チャネル	入力ソース
0	00000b	ANI0	P002
0	00001b	ANI1	P003
0	00010b	ANI2	P400
0	00011b	ANI3	P401
0	00100b	ANI4	P006
0	00101b	ANI5	P007
0	10000b	ANI16	P000

表 29.12 セレクトモードでの ADS[4:0]ビットと ADISS ビットによる入力ソース選択 (2/2)

ADISS	ADS[4:0]	アナログ入力チャネル	入力ソース
0	10001b	ANI17	P001
0	10010b	ANI18	P106
0	10011b	ANI19	P105
1	00000b	—	温度センサ出力電圧
1	00001b	—	内部基準電圧(注1)
上記以外		設定禁止	

注 1. 内部基準電圧の詳細は、「37. 電氣的特性」を参照してください。

<スキャンモード (ADMD = 1)>

表 29.13 スキャンモードでの ADS[4:0]ビットと ADISS ビットによる入力ソース選択

ADISS	ADS[4:0]	アナログ入力チャネル			
		スキャン 0	スキャン 1	スキャン 2	スキャン 3
0	00000b	ANI0	ANI1	ANI2	ANI3
0	00001b	ANI1	ANI2	ANI3	ANI4
0	00010b	ANI2	ANI3	ANI4	ANI5
上記以外		設定禁止			

29.3.7 ADUL : 変換結果比較上限設定レジスタ

Base address: ADC120 = 0x4009_C000

Offset address: 0x91

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	n/a	A/D 変換結果の上限の設定	R/W

本レジスタは、A/D 変換結果の上限を確認するために使用します。

A/D 変換結果と ADUL レジスタの値を比較し、A/D コンバータモードレジスタ 2 (ADM2) の ADRCK ビットで指定された範囲内で割り込み信号 (ADC_ENDI) の発生を制御します (図 29.5 参照)。

ADUL レジスタは、8 ビットメモリ操作命令で設定できます。

本レジスタの値はリセット後に 0xFF になります。

29.3.8 ADLL : 変換結果比較下限設定レジスタ

Base address: ADC120 = 0x4009_C000

Offset address: 0x92

Bit position: 7 6 5 4 3 2 1 0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	n/a	A/D 変換結果の下限の設定	R/W

本レジスタは、A/D 変換結果の下限を確認するために使用します。

A/D 変換結果と ADLL レジスタの値を比較し、A/D コンバータモードレジスタ 2 (ADM2) の ADRCK ビットで指定された範囲内で割り込み信号 (ADC_ENDI) の発生を制御します (図 29.5 参照)。

ADLL レジスタは、8 ビットメモリ操作命令で設定できます。

本レジスタの値はリセット後に 0x00 になります。

注. 10 ビット分解能の A/D 変換を選択した場合、A/D 変換結果レジスタ ADCRn[15:8]の値を、ADUL レジスタおよび ADLL レジスタの値と比較します。12 ビット分解能の A/D 変換を選択した場合、A/D 変換結果レジスタ ADCRn[11:4]の値を、ADUL レジスタおよび ADLL レジスタの値と比較します。

注. ADUL レジスタおよび ADLL レジスタへの新しい値の書き込みは、変換が停止している (ADCS = 0, ADCE = 0) ときにのみ行ってください。

注. ADUL レジスタの設定値は ADLL レジスタの設定値より大きくなければなりません。

29.3.9 ADTES : A/D テストレジスタ

Base address: ADC120 = 0x4009_C000

Offset address: 0x93

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ADTES[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADTES[1:0]	テスト用 A/D 変換対象の選択 0 0: ANIxx、温度センサ出力電圧、または内部基準電圧(注1) (アナログ入力チャネル指定レジスタ (ADS) で設定) 1 0: 「-」側の基準電圧 (ADM2 レジスタの ADREFM ビットで選択) 1 1: 「+」側の基準電圧 (ADM2 レジスタの ADREFP[1:0]ビットで選択) その他: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 内部基準電圧の詳細は、「37. 電気的特性」を参照してください。

本レジスタは、A/D 変換対象を選択するために使用します。A/D 変換対象は、「+」側の基準電圧、「-」側の基準電圧、アナログ入力チャネル、温度センサ、および内部基準電圧(注1)を選択可能です。

本レジスタを使ってコンバータをテストする場合は、以下のように設定します。

- ゼロスケール測定の場合は、「-」側の基準電圧を変換対象に選択します。
- フルスケール測定の場合は、「+」側の基準電圧を変換対象に選択します。

ADTES レジスタは、8 ビットメモリ操作命令で設定可能です。

リセットが発生すると本レジスタの値は 0x00 になります。

ADTES[1:0]ビット (テスト用 A/D 変換対象の選択)

テスト用 A/D 変換対象の選択に使用されるビットです。

29.4 12 ビット A/D コンバータの動作モード

12 ビット A/D コンバータ変換動作を以下に説明します。

<1> 選択したアナログ入力チャネルに入力されている電圧をサンプル&ホールド回路でサンプリングします。

<2> 一定期間サンプリングを行ってから、サンプル&ホールド回路はホールド状態となり、サンプリングされた電圧は A/D 変換動作が終了するまで保持されます。

<3> 逐次変換レジスタ (SAR) のビット 11 が 1 に設定されます。タップセレクトにより、直列抵抗ストリング電圧タップが 1/2 AVREF に設定されます。

<4> 電圧コンパレータで、直列抵抗ストリング電圧タップとサンプリングされた電圧との間の電圧差を比較します。アナログ入力が $1/2 AV_{REF}$ より大きい場合、SAR レジスタの MSB は 1 設定のままとなります。アナログ入力が $1/2 AV_{REF}$ より小さい場合、MSB は 0 にリセットされます。

<5> 次に、SAR レジスタのビット 10 が自動的に 1 なり、動作は次の比較へと進みます。以下に示すように、ビット 11 のプリセット値に従って直列抵抗ストリング電圧タップが選択されます。

- ビット 11 = 1 の場合： $(3/4) AV_{REF}$
- ビット 11 = 0 の場合： $(1/4) AV_{REF}$

電圧タップとサンプリングされた電圧を比較し、SAR レジスタのビット 10 を以下のように操作します。

- サンプリングされた電圧 $\geq$ 電圧タップの場合：ビット 10 = 1
- サンプリングされた電圧 < 電圧タップの場合：ビット 10 = 0

<6> このようにして SAR レジスタのビット 0 まで比較を続けます。

<7> 12 ビットの比較が完了すると、SAR レジスタには有効なデジタル結果値が残り、その結果値は A/D 変換結果レジスタ (ADCRn, ADCRnH) に転送されてからラッチされます(注1)。

同時に、A/D 変換終了割り込み要求信号 (ADC_ENDI) を発生させることも可能です(注1)。

<8> ADCS ビットが 0 にクリアされるまで<1>～<7> を繰り返します。(注2)

12 ビット A/D コンバータを停止するには、ADCS ビットを 0 にクリアしてください。

注. 2 種類の A/D 変換結果レジスタが使用可能です。

- ADCRn レジスタ (16 ビット)：12 ビットまたは 10 ビット A/D 変換値を格納
- ADCRnH レジスタ (8 ビット)：8 ビット A/D 変換値を格納

注. AV_{REF} ：12 ビット A/D コンバータの「+」側の基準電圧。 AV_{REFP} 、内部基準電圧、 V_{CC} から選択できます。
内部基準電圧の詳細は、「37. 電気的特性」を参照してください。

注. $n = 0 \sim 3$

注 1. A/D 変換結果が ADRCK ビットと ADUL レジスタ、ADLL レジスタで指定された A/D 変換結果範囲外の場合 (図 29.5 参照)、A/D 変換終了割り込み要求信号は発生せず、A/D 変換結果を ADCRn レジスタや ADCRnH レジスタに格納しません。

注 2. 連続変換モード中は、ADCS フラグは自動的に 0 にクリアされません。ハードウェアトリガ待機なしモードのワンショット変換モード中も、このフラグは自動的に 0 にクリアされません。その代わりに、1 を保持します。

図 29.6 に、ソフトウェアトリガ待機なしモード時の 12 ビット A/D コンバータの変換動作を示します。

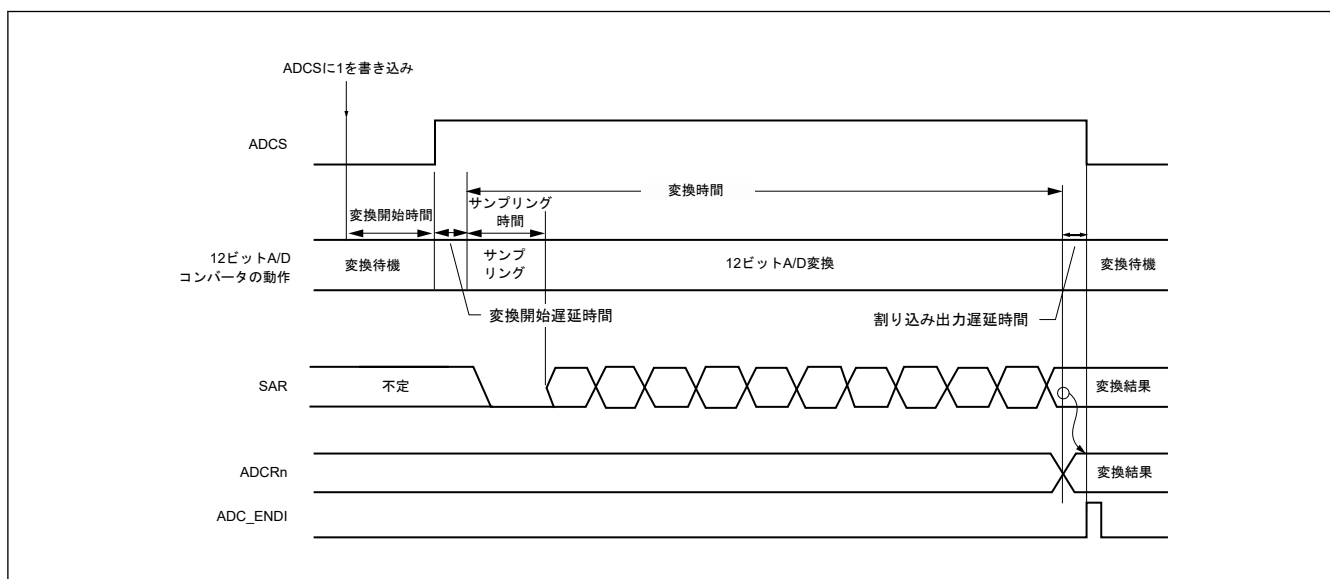


図 29.6 12 ビット A/D コンバータの変換動作 (ソフトウェアトリガ待機なしモード)

ワンショット変換モードでは、ADCS ビットは A/D 変換完了後に自動的に 0 にクリアされます。

連続変換モードでは、12 ビット A/D コンバータモードレジスタ 0 (ADM0) のビット 7 (ADCS) がソフトウェアで 0 にクリアされるまで、A/D 変換動作は継続します。

A/D 変換中にアナログ入力チャネル指定レジスタ (ADS) に書き込みを行うと、現在の変換を中断してから、ADS レジスタで指定されたアナログ入力の A/D 変換を開始します。実行中だった A/D 変換のデータは破棄されます。

A/D 変換結果レジスタ (ADCRn, ADCRnH) の値は、リセット後に 0x00 または 0x0000 となります。

29.5 入力電圧と変換結果

アナログ入力端子 (ANI0～ANI5、ANI16～ANI19) に入力したアナログ電圧と理論的な A/D 変換結果 (12 ビットまたは 10 ビット A/D 変換結果レジスタ (ADCRn) に格納) の関係は、次式で表されます。

$$\text{ADCRn} = \text{INT}\left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 4096 + 0.5\right)$$

または

$$(\text{ADCRn} - 0.5) \times \frac{V_{\text{REF}}}{4096} \leq V_{\text{AIN}} < (\text{ADCRn} + 0.5) \times \frac{V_{\text{REF}}}{4096}$$

ここで、

INT () : 括弧内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

V_{REF} : V_{REF} 端子電圧

ADCRn : 12 ビットまたは 10 ビット A/D 変換結果レジスタ (ADCRn) の値

図 29.7 にアナログ入力電圧と A/D 変換結果の関係を示します。

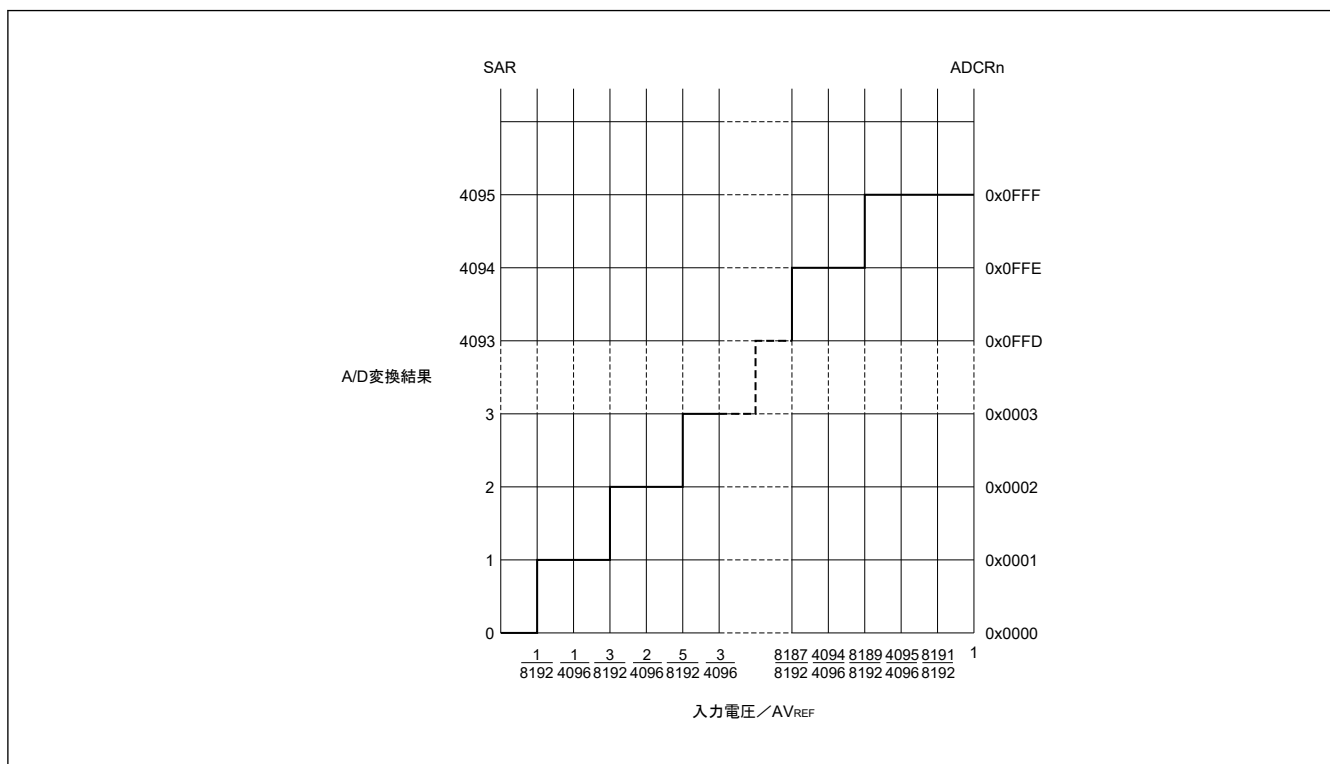


図 29.7 アナログ入力電圧と A/D 変換結果の関係

V_{REF} : 12 ビット A/D コンバータの「+」側の基準電圧。 V_{REFP} 、内部基準電圧(注1)、 V_{CC} から選択できます。

注 1. 内部基準電圧の詳細は、「37. 電気的特性」を参照してください。

29.6 12 ビット A/D コンバータの動作モード

各 12 ビット A/D コンバータモードの動作を以下に説明します。また、各モードの指定手順を「[29.7.12 ビット A/D コンバータ設定手順](#)」に説明します。

29.6.1 ソフトウェアトリガ待機なしモード（セレクトモード、連続変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。

<2> ソフトウェアで安定待機時間 ($1\mu\text{s} + \text{変換クロック}(f_{\text{AD}})$ の 2 サイクル) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。A/D 変換終了後、すぐに次の A/D 変換が開始します。

<4> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き込むと、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<6> 変換動作中にハードウェアトリガを入力しても、A/D 変換は開始しません。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に遷移します。

<8> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に遷移します。

図 29.8 にソフトウェアトリガ待機なしモード（セレクトモード、連続変換モード）動作タイミングの例を示します。

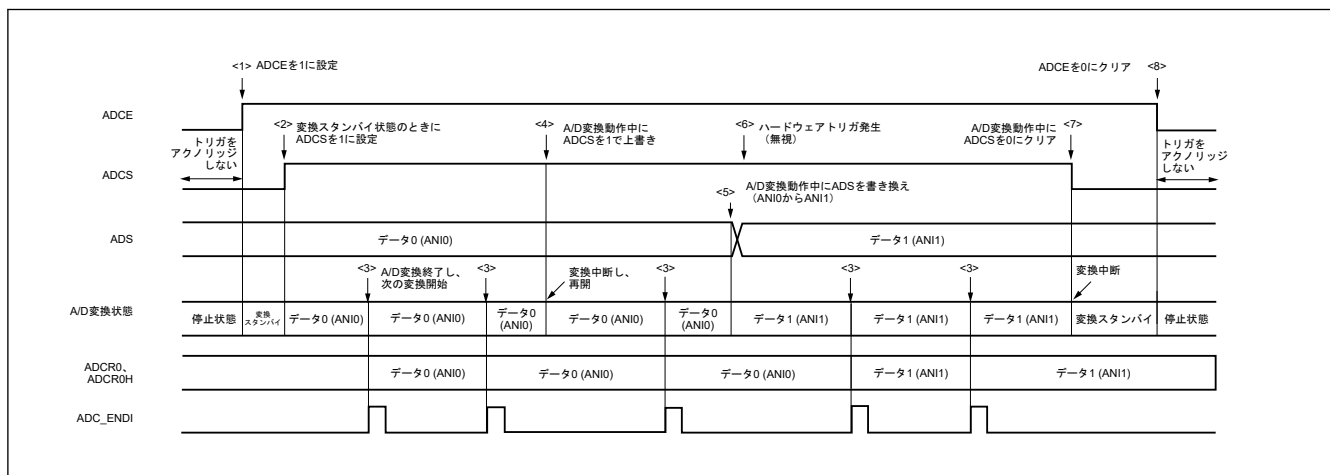


図 29.8 ソフトウェアトリガ待機なしモード（セレクトモード、連続変換モード）動作タイミングの例

注. 変換中に <4> または <5> が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.2 ソフトウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。

<2> ソフトウェアで安定待機時間 ($1\mu\text{s} + \text{変換クロック}(f_{\text{AD}})$ の 2 サイクル) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

<4> A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、12 ビット A/D コンバータは変換待機状態に移ります。

<5> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に移ります。

<8> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に移ります。また、A/D 変換待機状態のときにハードウェアトリガを入力しても、A/D 変換を開始しません。

図 29.9 にソフトウェア選択待機なしモード (セレクトモード、ワンショット変換モード) 動作タイミングの例を示します。

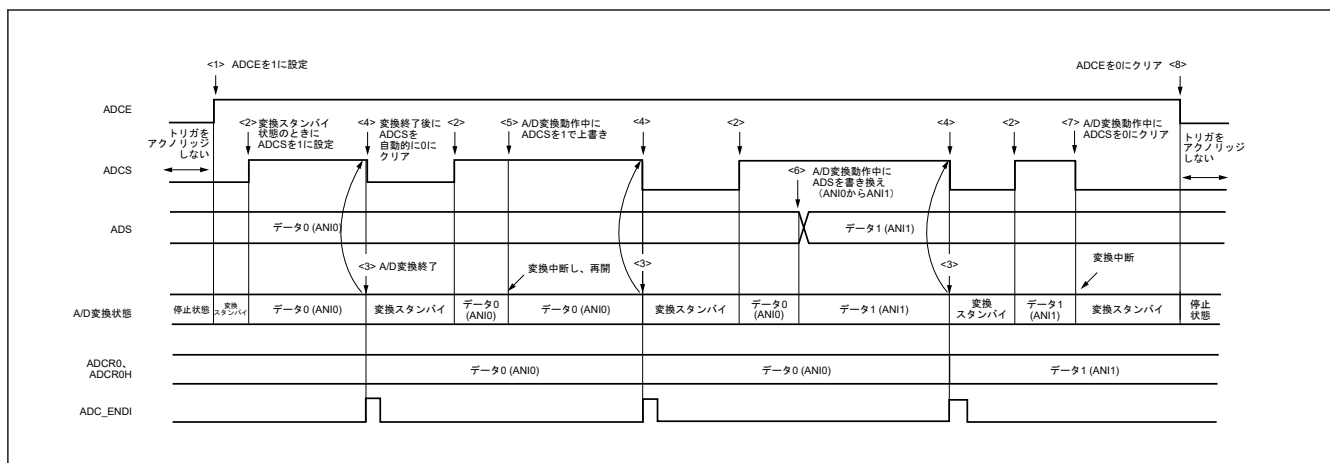


図 29.9 ソフトウェア選択待機なしモード (セレクトモード、ワンショット変換モード) 動作タイミングの例

注. 変換中に <5> または <6> が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.3 ソフトウェアトリガ待機なしモード (スキャンモード、連続変換モード)

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に移ります。

<2> ソフトウェアで安定待機時間 ($1\mu s +$ 変換クロック (f_{AD}) の 2 サイクル) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル (スキャン 0～スキャン 3 で指定) の A/D 変換を実行します。スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<3> 4 つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn、ADCRnH) に格納され、4 つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。4 つのチャネルの A/D 変換の終了後、指定されたチャネルの次の A/D 変換が自動的に開始します (4 つのチャネルがすべて完了するまで)。

<4> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、最初のチャネルから変換を再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<6> 変換動作中にハードウェアトリガを入力しても、A/D 変換は開始しません。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に遷移します。

<8> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に遷移します。

図 29.10 にソフトウェアトリガ待機なしモード（スキャンモード、連続変換モード）動作タイミングの例を示します。

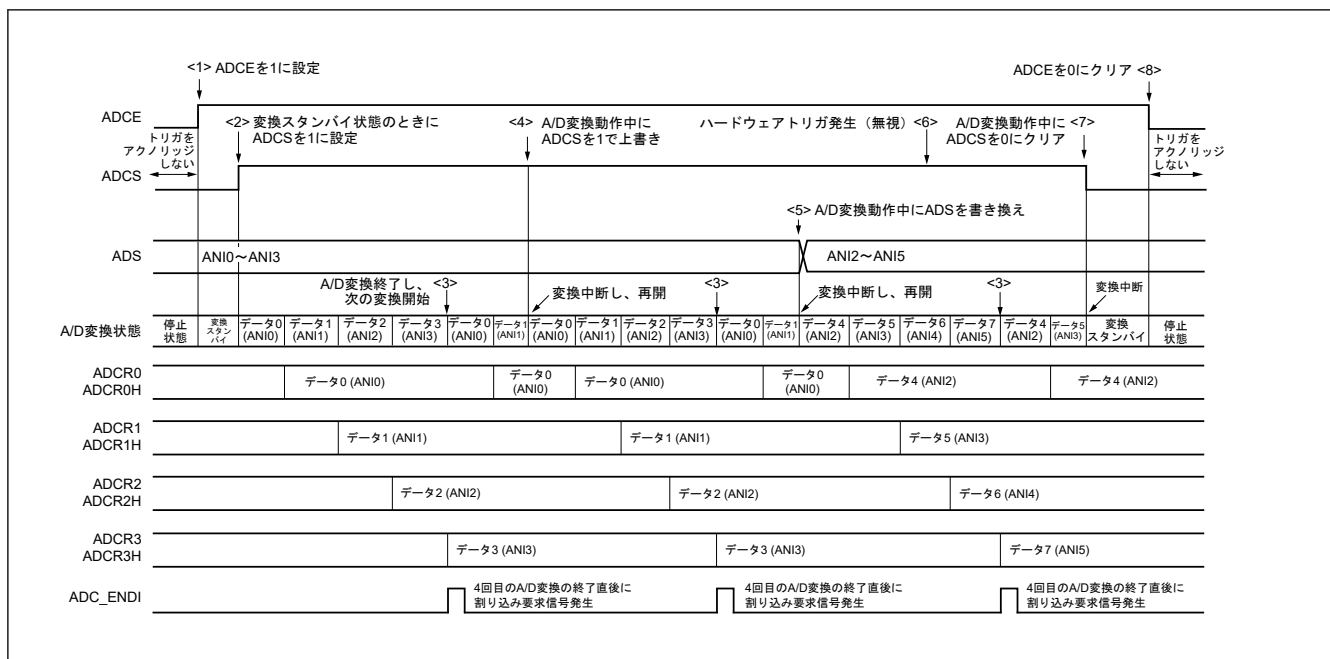


図 29.10 ソフトウェアトリガ待機なしモード（スキャンモード、連続変換モード）動作タイミングの例

注. 変換中に <4> または <5> が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.4 ソフトウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。

<2> ソフトウェアで安定待機時間 ($1\mu s + \text{変換クロック}(f_{AD})$ の 2 サイクル) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル（スキャン 0～スキャン 3 で指定）の A/D 変換を実行します。スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<3> 4 つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn、ADCRnH) に格納され、4 つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

<4> 4 つのチャネルの A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、12 ビット A/D コンバータは変換待機状態に遷移します。

<5> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、最初のチャネルから変換を再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に遷移します。

<8> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に遷移します。また、A/D 変換待機状態のときにハードウェアトリガを入力しても、A/D 変換を開始しません。

図 29.11 にソフトウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）動作タイミングの例を示します。

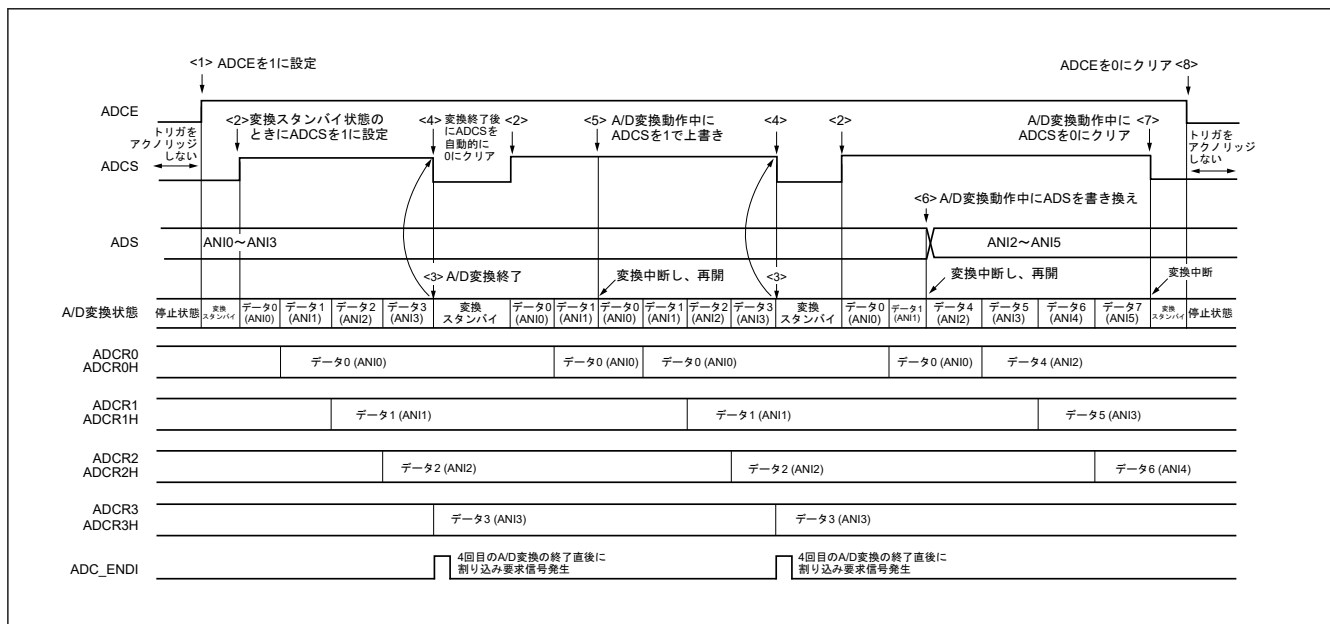


図 29.11 ソフトウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）動作タイミングの例

注. 変換中に<5> または<6> が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.5 ソフトウェアトリガ待機モード（セレクトモード、連続変換モード）

<1> ソフトウェアトリガ待機モードに移行するには、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 0（変換停止状態）に設定する必要があります。

<2> 変換停止状態で ADCS を 1 に設定すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します（ソフトウェアトリガ待機モード）。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。A/D 変換終了後、すぐに次の A/D 変換が開始します。

<4> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<6> 変換動作中にハードウェアトリガを入力しても、A/D 変換は開始しません。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換停止状態に移ります。

図 29.12 にソフトウェアトリガ待機モード（セレクトモード、連続変換モード）動作タイミングの例を示します。

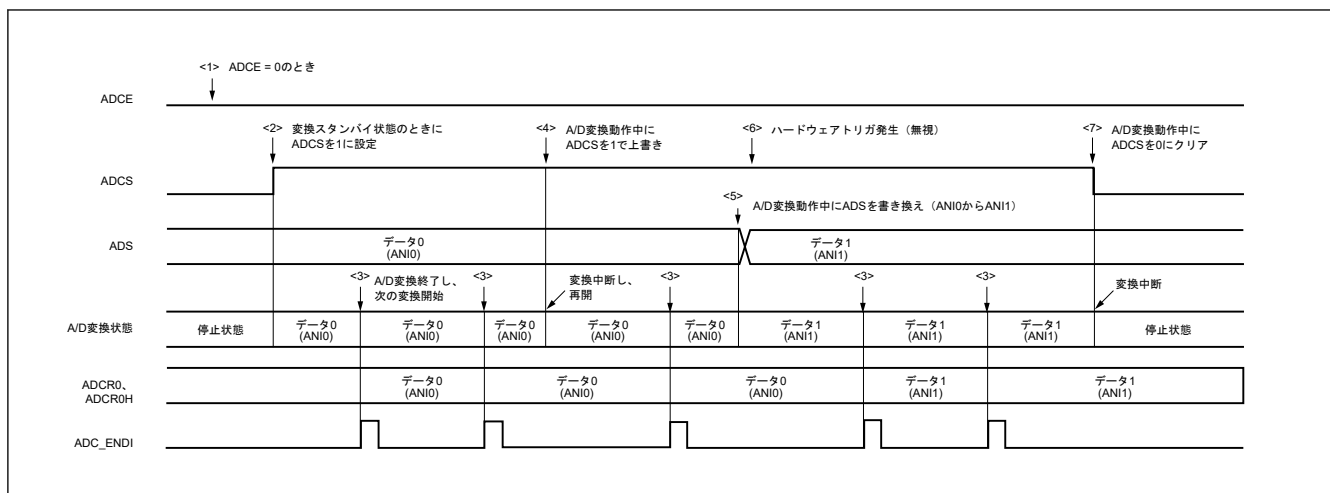


図 29.12 ソフトウェアトリガ待機モード（セレクトモード、連続変換モード）動作タイミングの例

注. 変換動作中に <4> または <5> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.6 ソフトウェアトリガ待機モード（セレクトモード、ワンショット変換モード）

<1> ソフトウェアトリガ待機モードに移行するには、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 0 (変換停止状態) に設定する必要があります。

<2> 変換停止状態で ADCS を 1 に設定すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します (ソフトウェアトリガ待機モード)。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

<4> A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、12 ビット A/D コンバータは変換停止状態に移ります。

<5> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは初期化されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換停止状態に移ります。

<8> 変換動作中にハードウェアトリガを入力しても、受け付けられません。

図 29.13 にソフトウェアトリガ待機モード（セレクトモード、ワンショット変換モード）動作タイミングの例を示します。

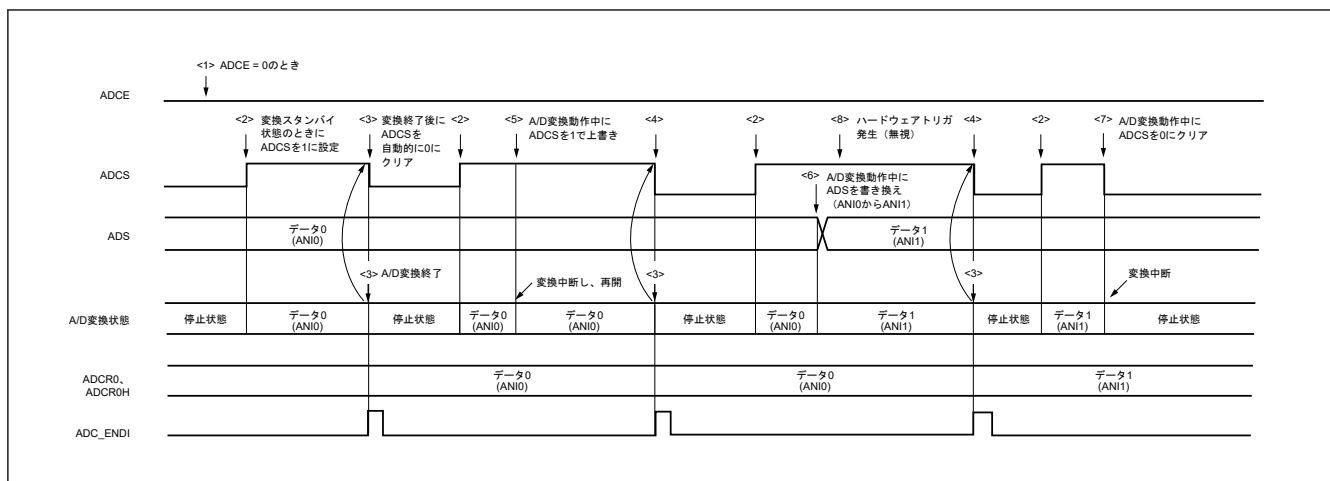


図 29.13 ソフトウェアトリガ待機モード（セレクトモード、ワンショット変換モード）動作タイミングの例

注. 変換動作中に <5> または <6> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.7 ソフトウェアトリガ待機モード（スキャンモード、連続変換モード）

<1> ソフトウェアトリガ待機モードに移行するには、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 0（変換停止状態）に設定する必要があります。

<2> 変換停止状態で ADCS を 1 に設定すると、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル（スキャン 0～スキャン 3 で指定）の A/D 変換を実行します（ソフトウェアトリガ待機モード）。

スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<3> 4 つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn、ADCRnH) に格納され、4 つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。4 つのチャネルの A/D 変換の終了後、指定されたチャネルの次の A/D 変換が自動的に開始します。

<4> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<6> 変換動作中にハードウェアトリガを入力しても、受け付けられません。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換停止状態に遷移します。

図 29.14 にソフトウェアトリガ待機モード（スキャンモード、連続変換モード）動作タイミングの例を示します。

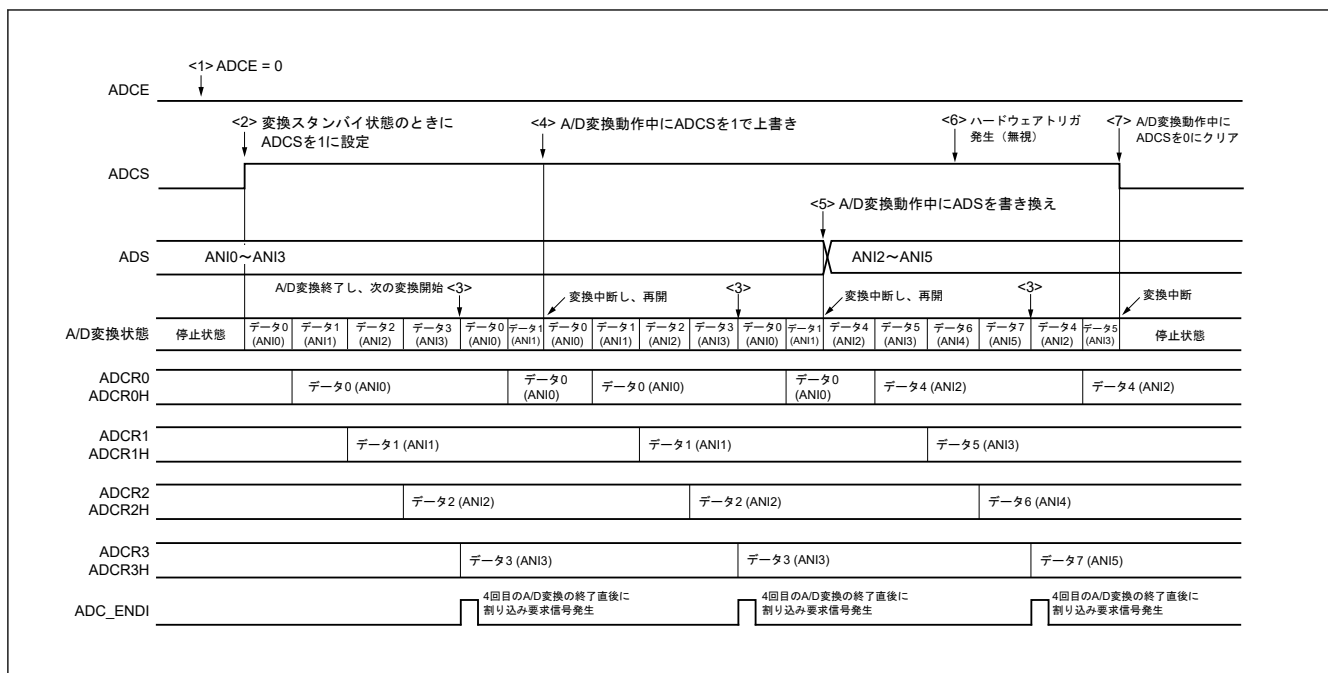


図 29.14 ソフトウェアトリガ待機モード（スキャンモード、連続変換モード）動作タイミングの例

注. 変換動作中に <4> または <5> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.8 ソフトウェアトリガ待機モード（スキャンモード、ワンショット変換モード）

<1> ソフトウェアトリガ待機モードに移行するには、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 0 (変換停止状態) に設定する必要があります。

＜2＞ 変換停止状態で ADCS を 1 に設定すると、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル (スキャン 0～スキャン 3 で指定) の A/D 変換を実行します (ソフトウェアトリガ待機モード)。

スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<3> 4つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn, ADCRnH) に格納され、4つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC ENDI) が発生します。

<4> A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、12 ビット A/D コンバータは変換停止状態に移移します。

<5> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換停止状態に遷移します。

<8> 変換動作中にハードウェアトリガを入力しても、受け付けられません。

図 29.15 にソフトウェアトリガ待機モード（スキャンモード、ワンショット変換モード）動作タイミングの例を示します。

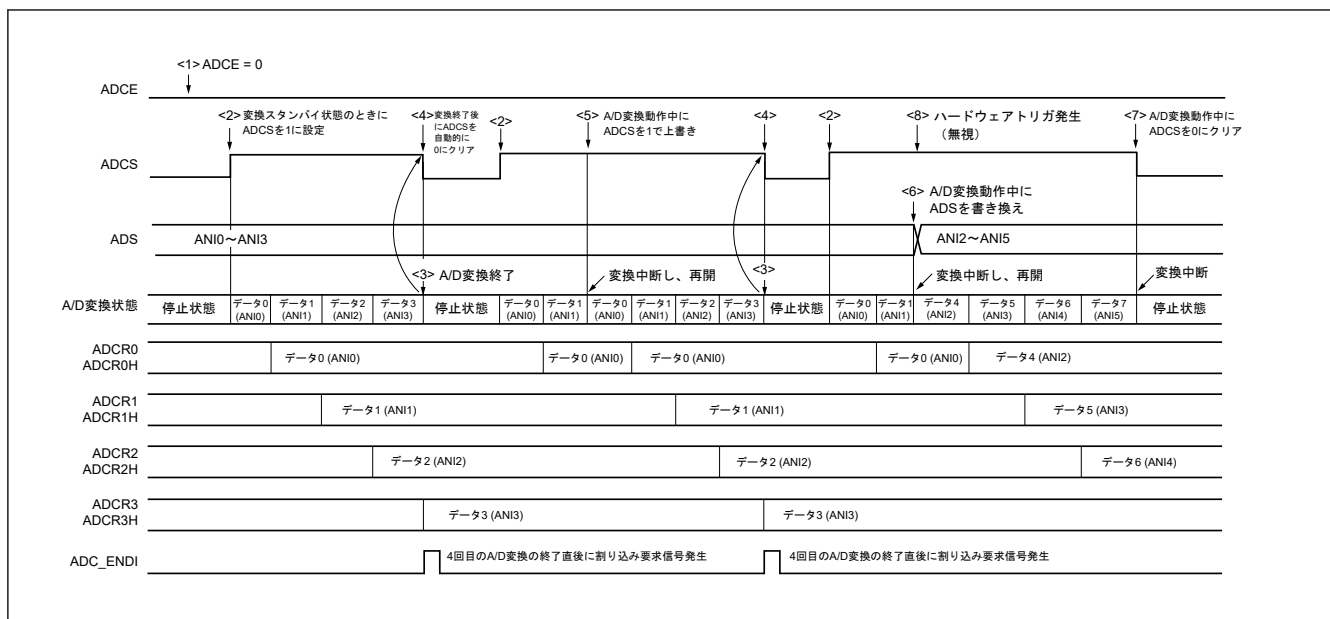


図 29.15 ソフトウェアトリガ待機モード（スキャンモード、ワンショット変換モード）動作タイミングの例

注. 変換動作中に <5> または <6> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.9 ハードウェアトリガ待機なしモード（セレクトモード、連続変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。

<2> ソフトウェアで安定待機時間 ($1 \mu s +$ 変換クロック (f_{AD}) の 2 サイクル) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態になります（この段階では変換は開始しません）。この状態では、ADCS を 1 にしても A/D 変換は開始しないので注意してください。

<3> ADCS = 1 の状態でハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<4> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。A/D 変換終了後、すぐに次の A/D 変換が開始します。

<5> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<8> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に遷移します。ただし、この状態では 12 ビット A/D コンバータは停止しません。

<9> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に遷移します。

ADCS = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 29.16 にハードウェアトリガ待機なしモード（セレクトモード、連続変換モード）動作タイミングの例を示します。

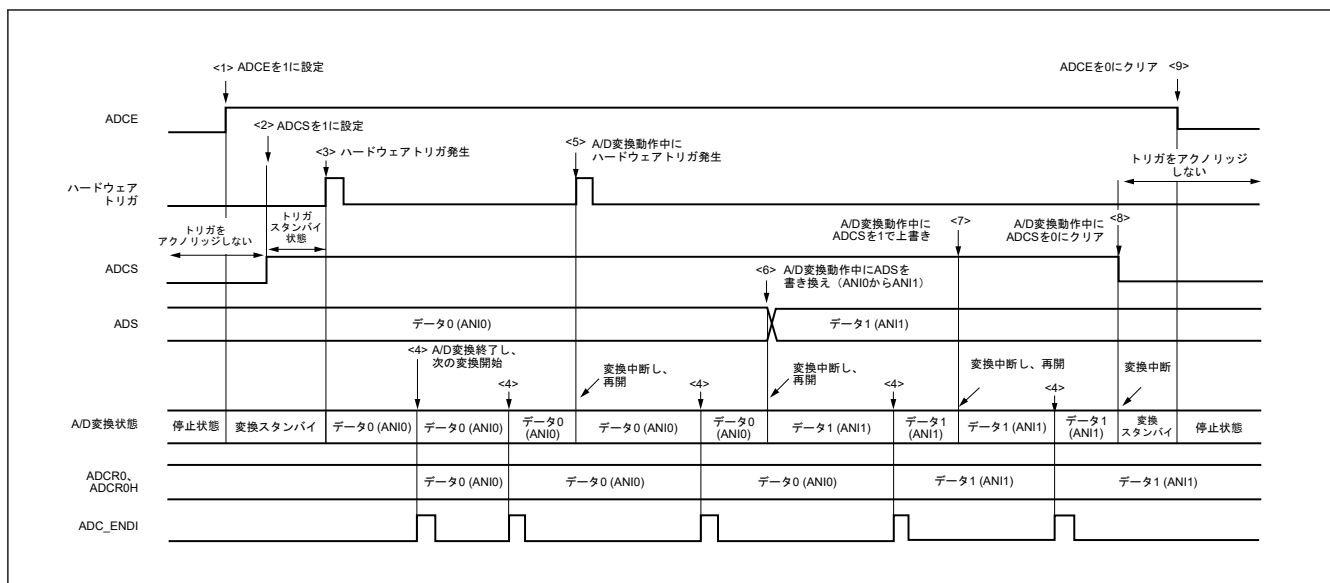


図 29.16 ハードウェアトリガ待機なしモード（セレクトモード、連続変換モード）動作タイミングの例

注. 変換中に <5>、<6>、または <7> が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.10 ハードウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に移移します。

<2> ソフトウェアで安定待機時間 ($1 \mu s + \text{変換クロック } (f_{AD}) \text{ の } 2 \text{ サイクル}$) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態になります（この段階では変換は開始しません）。この状態では、ADCS を 1 にしても A/D 変換は開始しないので注意してください。

<3> ADCS = 1 の状態でハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。

<4> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

<5> A/D 変換の終了後、ADCS ビットは 1 のままで、12 ビット A/D コンバータは変換待機状態に移移します。

<6> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<8> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<9> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に移移します。ただし、この状態では 12 ビット A/D コンバータは停止しません。

<10> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に移移します。

ADCS = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 29.17 にハードウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）動作タイミングの例を示します。

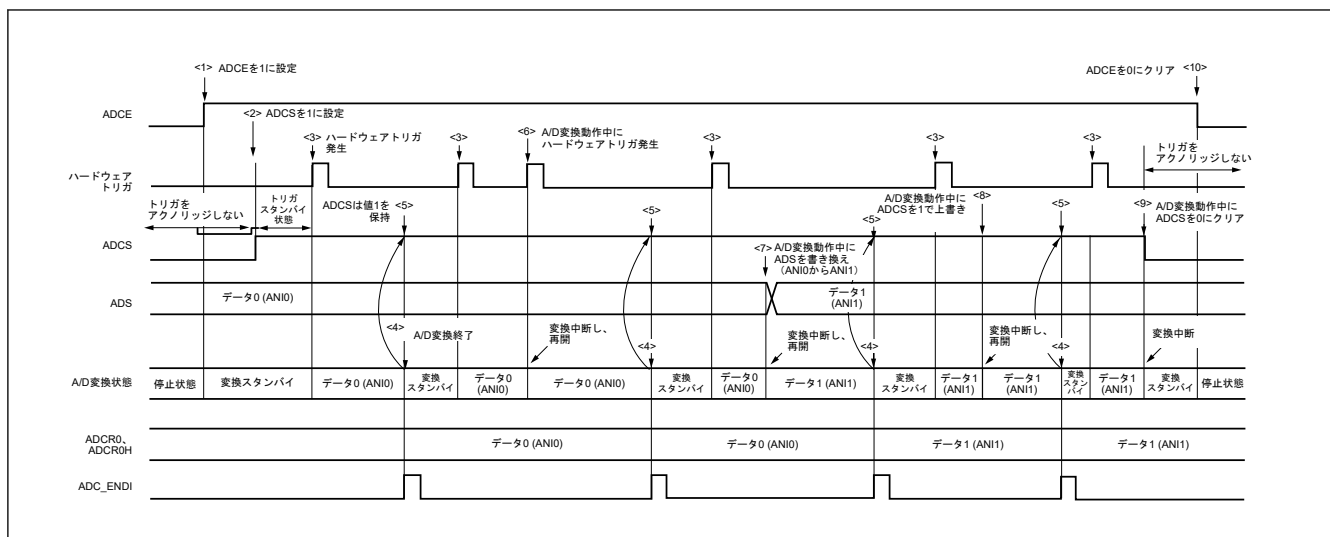


図 29.17 ハードウェアトリガ待機なしモード（セレクトモード、ワンショット変換モード）動作タイミングの例

注. 変換中に <6>、<7>、または <8> が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.11 ハードウェアトリガ待機なしモード（スキャンモード、連続変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に移移します。

<2> ソフトウェアで安定待機時間 (1 μ s + 変換クロック (f_{AD}) の 2 サイクル) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態になります（この段階では変換は開始しません）。この状態では、ADCS を 1 にしても A/D 変換は開始しないので注意してください。

<3> ADCS = 1 の状態でハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル（スキャン 0～スキャン 3 で指定）の A/D 変換を実行します。スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<4> 4 つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn、ADCRnH) に格納され、4 つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。4 つのチャネルの A/D 変換の終了後、指定されたチャネルの次の A/D 変換が自動的に開始します。

<5> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、最初のチャネルから変換を再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<8> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に移移します。ただし、この状態では 12 ビット A/D コンバータは停止しません。

<9> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に移移します。

ADCE = 0 の場合、ADCS に 1 を指定しても無視され、A/D 変換は開始しません。

図 29.18 にハードウェアトリガ待機なしモード（スキャンモード、連続変換モード）動作タイミングの例を示します。

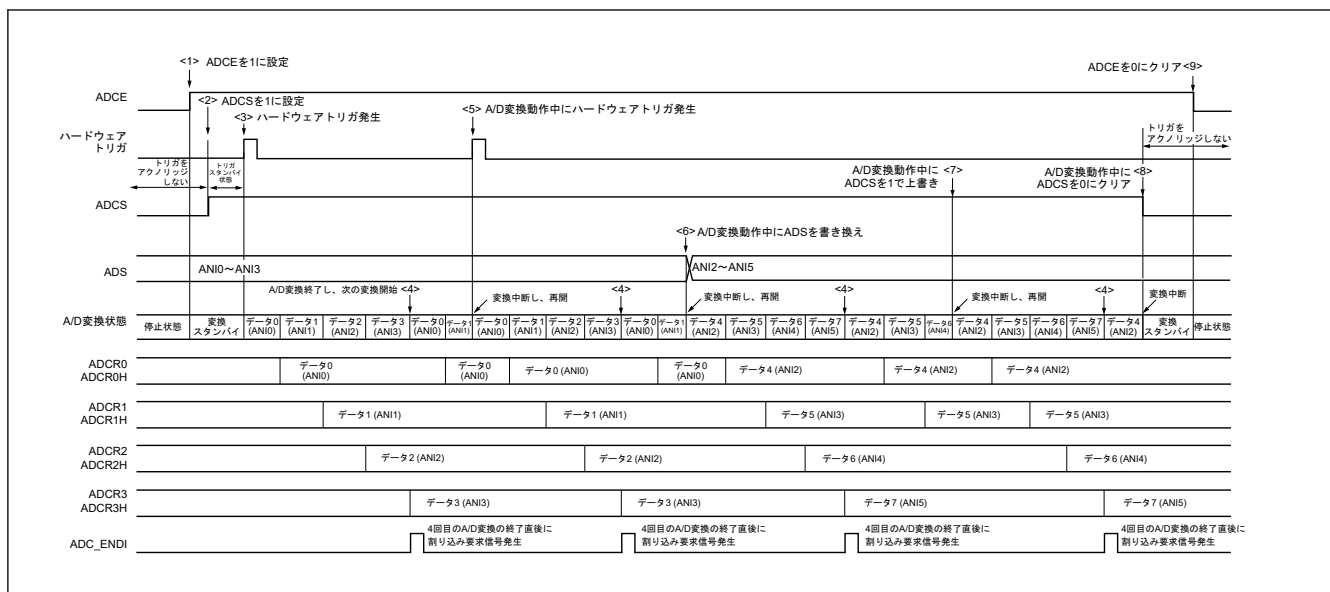


図 29.18 ハードウェアトリガ待機なしモード（スキャンモード、連続変換モード）動作タイミングの例

注. 変換中に<5>、<6>、または<7>が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換再開動作時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.12 ハードウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。

<2> ソフトウェアで安定待機時間 ($1 \mu s + \text{変換クロック } (f_{AD}) \text{ の } 2 \text{ サイクル}$) までカウントアップした後、ADM0 レジスタの ADCS ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態になります（この段階では変換は開始しません）。この状態では、ADCS を 1 にしても A/D 変換は開始しないので注意してください。

<3> ADCS = 1 の状態でハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル（スキャン 0～スキャン 3 で指定）の A/D 変換を実行します。スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<4> 4 つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn、ADCRnH) に格納され、4 つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

<5> 4 つのチャネルの A/D 変換の終了後、ADCS ビットは 1 のままで、12 ビット A/D コンバータは変換待機状態に遷移します。

<6> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、最初のチャネルから変換を再開します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<8> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、最初のチャネルから変換を再開します。部分的に変換したデータは破棄されます。

<9> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータは変換待機状態に遷移します。ただし、この状態では 12 ビット A/D コンバータは停止しません。

<10> A/D 変換待機状態のときに ADCE を 0 にクリアすると、12 ビット A/D コンバータは変換停止状態に遷移します。

ADCS = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 29.19 にハードウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）動作タイミングの例を示します。

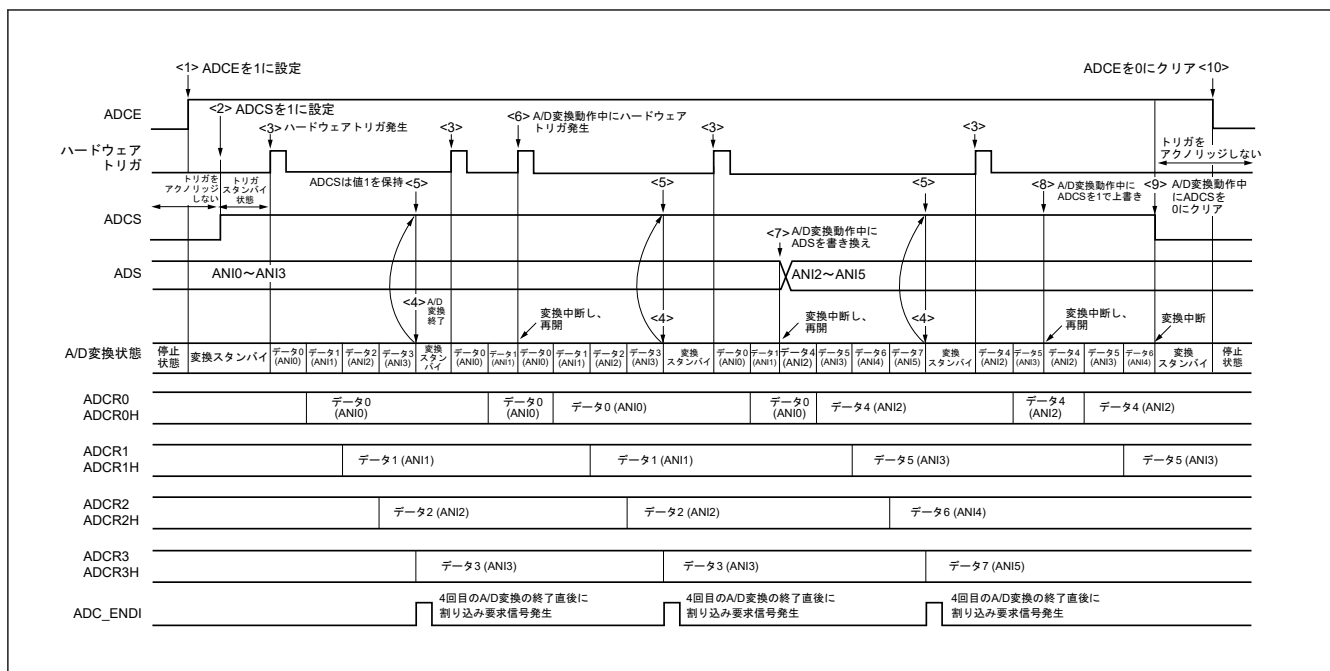


図 29.19 ハードウェアトリガ待機なしモード（スキャンモード、ワンショット変換モード）動作タイミングの例

注. 変換中に <6>、<7>、または <8> が検出された場合、変換クロック (f_{AD}) の次のサイクルの立ち上がりエッジから変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.13 ハードウェアトリガ待機モード（セレクトモード、連続変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移します。

<2> ハードウェアトリガ待機状態のときにハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。ハードウェアトリガ入力に従い、ADM0 レジスタの ADCS ビットが自動的に 1 に設定されます。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。A/D 変換終了後、すぐに次の A/D 変換が開始します。（このとき、ハードウェアトリガは不要です。）

<4> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移してから、変換停止状態に遷移します。ADCE = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 29.20 にハードウェアトリガ待機モード（セレクトモード、連続変換モード）動作タイミングの例を示します。

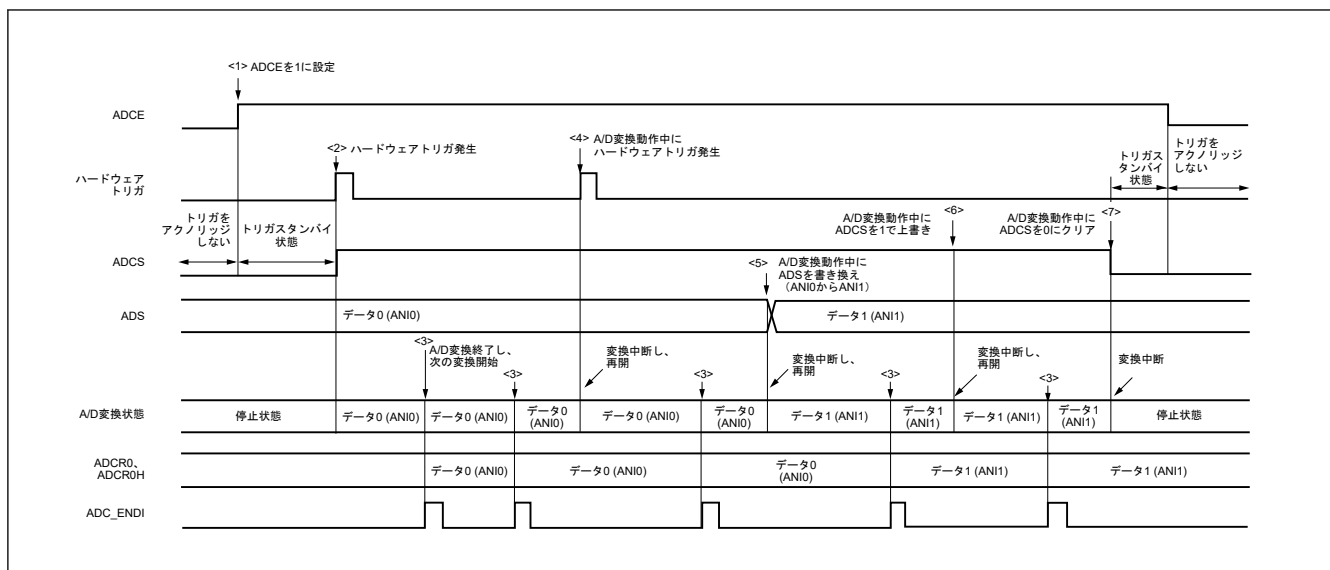


図 29.20 ハードウェアトリガ待機モード（セレクトモード、連続変換モード）動作タイミングの例

注. 変換動作中に <4>、<5>、または <6> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.14 ハードウェアトリガ待機モード（セレクトモード、ワンショット変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移します。

<2> ハードウェアトリガ待機状態のときにハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定されたアナログ入力を A/D 変換します。ハードウェアトリガ入力に従い、ADM0 レジスタの ADCS ビットが自動的に 1 に設定されます。

<3> A/D 変換が終了すると、変換結果が A/D 変換結果レジスタ (ADCR、ADCRH、ADCR0、ADCR0H) に格納され、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

<4> A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、12 ビット A/D コンバータは変換停止状態に遷移します。

<5> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、変換を再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定されたアナログ入力を A/D 変換します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは初期化されます。

<8> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移してから、変換停止状態に遷移します。ADCE = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 29.21 にハードウェアトリガ待機モード（セレクトモード、ワンショット変換モード）動作タイミングの例を示します。

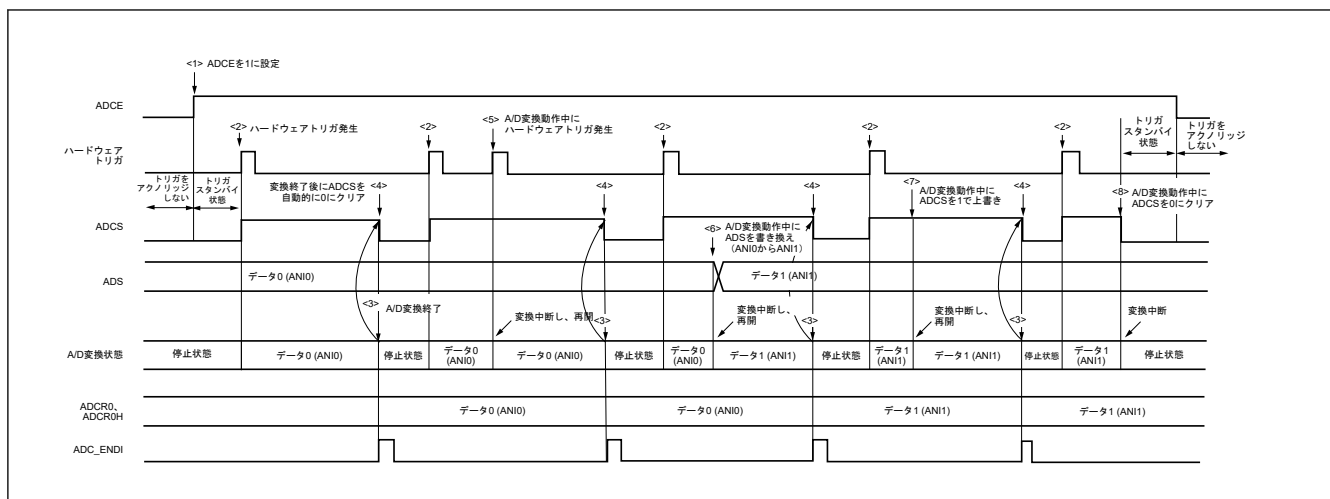


図 29.21 ハードウェアトリガ待機モード（セレクトモード、ワンショット変換モード）動作タイミングの例

注. 変換動作中に <5>、<6>、または <7> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

注. ハードウェアトリガ待機モード（セレクトモードおよびワンショット変換モード）では、ADISS を 1（入力ソースは温度センサ出力電圧または内部基準電圧）に設定した使用はできません。

29.6.15 ハードウェアトリガ待機モード（スキャンモード、連続変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移します。

<2> ハードウェアトリガ待機状態のときにハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル（スキャン 0～スキャン 3 で指定）の A/D 変換を実行します。ハードウェアトリガ入力に従い、ADM0 レジスタの ADCS ビットが自動的に 1 に設定されます。スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<3> 4 つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn、ADCRnH) に格納され、4 つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。4 つのチャネルの A/D 変換の終了後、指定されたチャネルの次の A/D 変換が自動的に開始します。

<4> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、最初のチャネルから変換を再開します。部分的に変換したデータは破棄されます。

<5> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移してから、変換停止状態に遷移します。ADCE = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 29.22 にハードウェアトリガ待機モード（スキャンモード、連続変換モード）動作タイミングの例を示します。

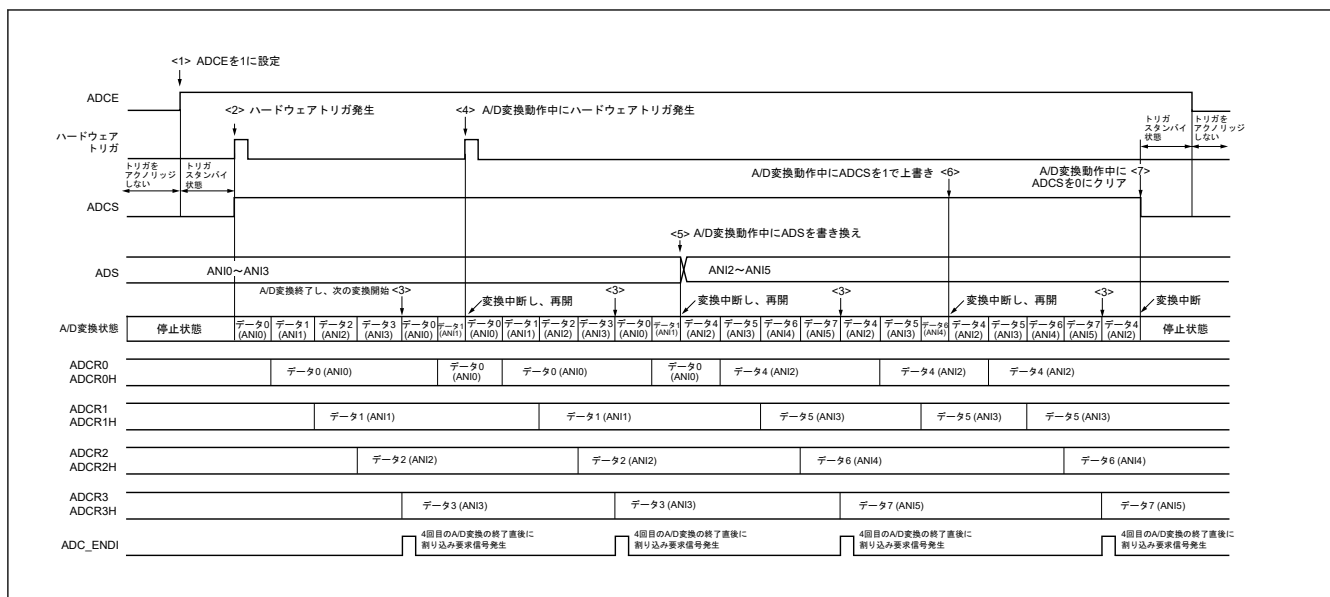


図 29.22 ハードウェアトリガ待機モード（スキャンモード、連続変換モード）動作タイミングの例

注. 変換動作中に <4>、<5>、または <6> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.6.16 ハードウェアトリガ待機モード（スキャンモード、ワンショット変換モード）

<1> 変換停止状態で、A/D コンバータモードレジスタ 0 (ADM0) の ADCE ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移します。

<2> ハードウェアトリガ待機状態のときにハードウェアトリガを入力すると、アナログ入力チャネル指定レジスタ (ADS) で指定された 4 つのアナログ入力チャネル（スキャン 0～スキャン 3 で指定）の A/D 変換を実行します。ハードウェアトリガ入力に従い、ADM0 レジスタの ADCS ビットが自動的に 1 に設定されます。スキャン 0 で指定したアナログ入力チャネルから順に A/D 変換します。

<3> 4 つのアナログ入力チャネルの A/D 変換を順次実行します。変換終了ごとに変換結果が A/D 変換結果レジスタ (ADCRn、ADCRnH) に格納され、4 つのチャネルの A/D 変換が終了した直後に A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

<4> A/D 変換の終了後、ADCS ビットは自動的に 0 にクリアされ、12 ビット A/D コンバータは変換停止状態に遷移します。

<5> 変換動作中にハードウェアトリガを入力すると、現在の A/D 変換を中断し、最初のチャネルから変換を再開します。部分的に変換したデータは破棄されます。

<6> 変換動作中に ADS レジスタの値を書き換えまたは上書きすると、現在の A/D 変換を中断し、ADS レジスタで再指定された最初のチャネルの A/D 変換を実行します。部分的に変換したデータは破棄されます。

<7> 変換動作中に ADCS を 1 で上書きすると、現在の A/D 変換を中断し、変換が再開します。部分的に変換したデータは破棄されます。

<8> 変換動作中に ADCS を 0 にクリアすると、現在の A/D 変換を中断し、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移してから、変換停止状態に遷移します。ADCE = 0 の場合、ハードウェアトリガの入力は無視され、A/D 変換は開始しません。

図 29.23 にハードウェアトリガ待機モード（スキャンモード、ワンショット変換モード）動作タイミングの例を示します。

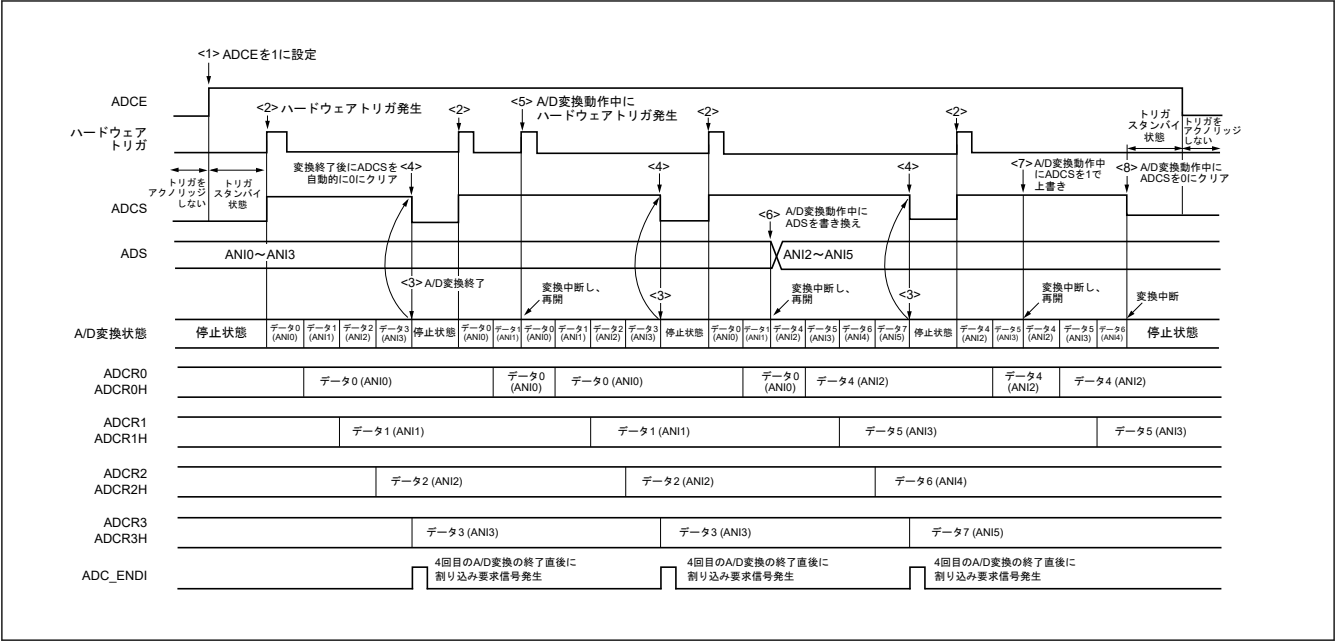


図 29.23 ハードウェアトリガ待機モード（スキャンモード、ワンショット変換モード）動作タイミングの例

注. 変換動作中に <5>、<6>、または <7> を検出すると、次の変換クロック (f_{AD}) の立ち上がりエッジから安定待機時間が経過した後に変換が自動的に再開されます。最初の変換動作再開時の変換時間は、ソフトウェアトリガ待機モードまたはハードウェアトリガ待機モードで A/D 電源安定待機時間がある場合と同じです。表 29.9 と表 29.10 を参照してください。

29.7 12 ビット A/D コンバータ設定手順

動作モードごとの 12 ビット A/D コンバータ設定手順を次のセクションで説明します。

29.7.1 ソフトウェアトリガ待機なしモードの設定

表 29.14 に、ソフトウェアトリガ待機なしモードでの設定手順を示します。

表 29.14 ソフトウェアトリガ待機なしモードの設定

手順	処理	詳細	
ソフトウェアトリガ待機なしモードの設定	<1>	● ADM0 レジスタの設定 ● ADM1 レジスタの設定 ● ADM2 レジスタの設定 ● ADUL レジスタと ADLL レジスタの設定 ● ADS レジスタの設定 (設定の順序は関係なし)	● ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ADMD ビット：セレクトモードまたはスキャンモード ● ADM1 レジスタ ADTMD[1:0]ビット：ソフトウェアトリガ待機なしモードの指定に使用します。 ADSCM ビット：連続変換モードまたはワンショット変換モード ● ADM2 レジスタ ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP[1:0]ビット：12 ビット、10 ビット、8 ビット分解能 ● ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 ● ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<2>	内部基準電圧から供給かどうか	● 内部基準電圧から供給の場合 － ADM2 レジスタの設定：ADREFP[1:0]ビットを 11b に設定 － 基準電圧ディスチャージ時間：1 μs 待機 ● その他の電圧ソースから供給の場合 本手順は終了です。
	<3>	ADM2 レジスタの設定	● ADM2 レジスタ ADREFM ビット：「-」側の基準電圧ソースの選択に使用します。 ADREFP[1:0]ビット：「+」側の基準電圧ソースの選択に使用します。内部基準電圧の供給設定 (ADREFP[1:0] = 10b) の前に、基準電圧ディスチャージ時間 (1 μs) が必要です。
	<4>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μs ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<5>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。
	<6>	基準電圧安定待機時間カウンタ B	ソフトウェアを使用して、基準電圧安定待機時間カウンタ B (1 μs + 変換クロック (fAD) の 2 サイクル) が経過するまで待機制御します。
	<7>	ADCS ビットの設定	基準電圧安定待機時間カウンタ B が経過してから、ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D 変換が開始します。
	<8>	A/D 変換開始	—
	—	⋮	A/D 変換動作が実行されます。
	<9>	A/D 変換終了	A/D 変換終了割り込み (ADC_ENDI) が発生します。(注1)
	<10>	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCRn レジスタや ADCRnH レジスタに格納しません。

29.7.2 ソフトウェアトリガ待機モードの設定

表 29.15 に、ソフトウェアトリガ待機モードでの設定手順を示します。

表 29.15 ソフトウェアトリガ待機モードの設定

手順	処理	詳細	
ソフトウェアトリガ待機モードの設定	<1>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 (設定の順序は関係なし)	- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ADMD ビット：セレクトモードまたはスキャンモード - ADM1 レジスタ ADTMD[1:0]ビット：ソフトウェアトリガ待機モードの指定に使用します。 ADSCM ビット：連続変換モードまたはワンショット変換モード - ADM2 レジスタ ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP[1:0]ビット：12 ビット、10 ビット、8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<2>	内部基準電圧から供給かどうか	- 内部基準電圧から供給の場合 - ADM2 レジスタの設定：ADREFP[1:0]ビットを 11b に設定 - 基準電圧ディスチャージ時間：1 μs 待機 - その他の電圧ソースから供給の場合 本手順は終了です。
	<3>	ADM2 レジスタの設定	ADM2 レジスタ ADREFM ビット：「-」側の基準電圧ソースの選択に使用します。 ADREFP[1:0]ビット：「+」側の基準電圧ソースの選択に使用します。内部基準電圧の供給設定 (ADREFP[1:0] = 10b) の前に、基準電圧ディスチャージ時間 (1 μs) が必要です。
	<4>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μs。 ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<5>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを設定しないでください。 12 ビット A/D コンバータは停止状態のままでなければなりません。
	<6>	ADCS ビットの設定	ADM0 レジスタの ADCS ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。
	<7>	A/D 電源の安定待機時間	12 ビット A/D コンバータは、A/D 電源の安定待機時間まで自動的にカウントアップします。
	<8>	A/D 変換開始	A/D 電源の安定待機時間までのカウントアップが終了してから、A/D 変換が開始します。
	—	:	A/D 変換動作が実行されます。
	<9>	A/D 変換終了	A/D 変換終了割り込み (ADC_ENDI) が発生します。(注1)
	<10>	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCRn レジスタや ADCRnH レジスタに格納しません。

29.7.3 ハードウェアトリガ待機なしモードの設定

表 29.16 に、ハードウェアトリガ待機なしモードでの設定手順を示します。

表 29.16 ハードウェアトリガ待機なしモードの設定

手順	処理	詳細	
ハードウェアトリガ待機なしモードの設定	<1>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 (設定の順序は関係なし)	- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ADMD ビット：セレクトモードまたはスキャンモード - ADM1 レジスタ ADTMD[1:0]ビット：ハードウェアトリガ待機なしモードの指定に使用します。 ADSCM ビット：連続変換モードまたはワンショット変換モード - ADM2 レジスタ ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP[1:0]ビット：12 ビット、10 ビット、8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<2>	内部基準電圧から供給かどうか	- 内部基準電圧から供給の場合 - ADM2 レジスタの設定：ADREFP[1:0]ビットを 11b に設定 - 基準電圧ディスチャージ時間：1 μs 待機 - その他の電圧ソースから供給の場合 本手順は終了です。
	<3>	ADM2 レジスタの設定	ADM2 レジスタ ADREFM ビット：「-」側の基準電圧ソースの選択に使用します。 ADREFP[1:0]ビット：「+」側の基準電圧ソースの選択に使用します。内部基準電圧の供給設定 (ADREFP[1:0] = 10b) の前に、基準電圧ディスチャージ時間 (1 μs) が必要です。
	<4>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μs ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<5>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。
	<6>	基準電圧安定待機時間カウンタ B	ソフトウェアを使用して、基準電圧安定待機時間カウンタ B (1 μs + 変換クロック (f _{AD}) の 2 サイクル) が経過するまで待機制御します。
	<7>	ADCS ビットの設定	基準電圧安定待機時間カウンタ B が経過してから、ADM0 レジスタの ADCS ビットが 1 に設定され、A/D コンバータはハードウェアトリガ待機状態に遷移します。
	<8>	A/D 変換開始	ハードウェアトリガが発生すると、12 ビット A/D 換を開始します。
	—	:	A/D 変換動作が実行されます。
	<9>	A/D 変換終了	A/D 変換終了割り込み (ADC_ENDI) が発生します。(注1)
	<10>	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCRn レジスタや ADCRnH レジスタに格納しません。

29.7.4 ハードウェアトリガ待機モードの設定

表 29.17 に、ハードウェアトリガ待機モードでの設定手順を示します。

表 29.17 ハードウェアトリガ待機モードの設定

手順	処理	詳細	
ハードウェアトリガ待機モードの設定	<1>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 (設定の順序は関係なし)	- ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ADMD ビット：セレクトモードまたはスキャンモード - ADM1 レジスタ ADTMD[1:0]ビット：ハードウェアトリガ待機モードの指定に使用します。 ADSCM ビット：連続変換モードまたはワンショット変換モード - ADM2 レジスタ ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ADTYP[1:0]ビット：12 ビット、10 ビット、8 ビット分解能 - ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 - ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<2>	内部基準電圧から供給かどうか	- 内部基準電圧から供給の場合 - ADM2 レジスタの設定：ADREFP[1:0]ビットを 11b に設定 - 基準電圧ディスチャージ時間：1 μs 待機 - その他の電圧ソースから供給の場合 本手順は終了です。
	<3>	ADM2 レジスタの設定	ADM2 レジスタ ADREFM ビット：「-」側の基準電圧ソースの選択に使用します。 ADREFP[1:0]ビット：「+」側の基準電圧ソースの選択に使用します。内部基準電圧の供給設定 (ADREFP[1:0] = 10b) の前に、基準電圧ディスチャージ時間 (1 μs) が必要です。
	<4>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μs ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<5>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、12 ビット A/D コンバータはハードウェアトリガ待機状態に遷移します。
	<6>	ハードウェアトリガ発生	—
	<7>	A/D 電源の安定待機時間	12 ビット A/D コンバータは、A/D 電源の安定待機時間まで自動的にカウンタアップします。
	<8>	A/D 変換開始	A/D 電源の安定待機時間までのカウンタが終了してから、A/D 変換が開始します。
	—	⋮	A/D 変換動作が実行されます。
	<9>	A/D 変換終了	A/D 変換終了割り込み (ADC_ENDI) が発生します。(注1)
	<10>	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCRn レジスタや ADCRnH レジスタに格納しません。

29.7.5 温度センサ出力電圧または内部基準電圧と、ソフトウェアトリガ待機なしモードおよびワンショット変換モード選択時の ADC 使用例

表 29.18 に、温度センサ出力電圧と内部基準電圧を選択したときの設定手順を示します。

表 29.18 温度センサ出力電圧と内部基準電圧を選択したときの設定

手順		処理	詳細
温度センサ出力電圧と内部基準電圧を選択したときの設定	<1>	● ADM0 レジスタの設定 ● ADM1 レジスタの設定 ● ADM2 レジスタの設定 ● ADUL レジスタと ADLL レジスタの設定 ● ADS レジスタの設定	● ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ● ADMD ビット：セレクトモードの指定に使用します。 ● ADM1 レジスタ ADTMD[1:0]ビット：ソフトウェアトリガ待機なしモードの指定に使用します。 ● ADSCM ビット：ワンショット変換モード ● ADM2 レジスタ ADREFP[1:0]ビットと ADREFM ビット：基準電圧の選択に使用します。 ● ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ● ADTYP[1:0]ビット：12 ビット、10 ビット、8 ビット分解能 ● ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 ● ADS レジスタ ADISS ビットと ADS[4:0]ビット温度センサ出力電圧または内部基準電圧の選択に使用します。
	<2>	基準電圧安定待機時間カウンタ A	ADREFP[1:0]ビットの値を変更すると、基準電圧安定待機時間カウンタ A が必要になる場合があります。 ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。 ADREFP[1:0]の値を 10b に設定することは禁止です。
	<3>	ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。
	<4>	基準電圧安定待機時間カウンタ B	ソフトウェアを使用して、基準電圧安定待機時間カウンタ B（1 μs + 変換クロック (fAD) の 2 サイクル）が経過するまで待機制御します。
	<5>	ADCS ビットの設定	基準電圧安定待機時間カウンタ B が経過してから、ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D 変換が開始します。
	<6>	A/D 変換開始	—
	<7>	A/D 変換終了	A/D 変換終了割り込み (ADC_ENDI) が発生します。 ADISS を 1 に設定した後は、初期変換結果を使用できません。
	<8>	ADCS ビットの設定	ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D 変換が開始します。
	<9>	A/D 変換開始	—
	<10>	A/D 変換終了	A/D 変換終了割り込み (ADC_ENDI) が発生します。(注1)
	<11>	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCRn レジスタや ADCRnH レジスタに格納しません。

29.7.6 テストモードの設定

表 29.19 に、テストモードでの設定手順を示します。

表 29.19 テストモードの設定

手順	処理	詳細
テストモードの設定	<1>	- ADM0 レジスタの設定 - ADM1 レジスタの設定 - ADM2 レジスタの設定 - ADUL レジスタと ADLL レジスタの設定 - ADS レジスタの設定 - ADTES レジスタの設定 (設定の順序は関係なし)
	<2>	- 内部基準電圧から供給かどうか - 内部基準電圧から供給の場合 - ADM2 レジスタの設定: ADREFP[1:0] ビットを 11b に設定 - 基準電圧ディスチャージ時間: 1 μs 待機 - その他の電圧ソースから供給の場合 本手順は終了です。
	<3>	- ADM2 レジスタの設定 - ADM2 レジスタ ADREFM ビット: 「-」側の基準電圧ソースの選択に使用します。 ADREFP[1:0] ビット: 「+」側の基準電圧ソースの選択に使用します。内部基準電圧の供給設定 (ADREFP[1:0] = 10b) の前に、基準電圧ディスチャージ時間 (1 μs) が必要です。
	<4>	基準電圧安定待機時間カウンタ A ADREFP[1:0] ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0] の値を 10b に変更した場合: A = 5 μ s ADREFP[1:0] の値を 00b または 01b に変更した場合は、待機は不要です。
	<5>	ADCE ビットの設定 ADM0 レジスタの ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。
	<6>	基準電圧安定待機時間カウンタ B ソフトウェアを使用して、基準電圧安定待機時間カウンタ B (1 μ s + 変換クロック (f_{AD}) の 2 サイクル) が経過するまで待機制御します。
	<7>	ADCS ビットの設定 基準電圧安定待機時間カウンタ B が経過してから、ADM0 レジスタの ADCS ビットを 1 に設定することで、A/D 変換が開始します。
	<8>	A/D 変換開始
	<9>	A/D 変換終了
	<10>	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納 変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納します。

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により、割り込み信号が発生しない可能性があります。この場合、結果を ADCRn レジスタや ADCRnH レジスタに格納しません。

29.8 スヌーズモード機能

スヌーズモード機能により、CPU を実行せずに A/D 変換ができます。これは動作電流の削減に効果があります。

29.8.1 ハードウェアトリガの入力による A/D 変換

スヌーズモードでは、ハードウェアトリガの入力により A/D 変換がトリガされます。

スヌーズモードでハードウェアトリガを入力することで A/D 変換を実行する場合、以下の 2 つの変換モードのみ使用できます。

- ハードウェアトリガ待機モード (セレクトモード、ワンショット変換モード)
- ハードウェアトリガ待機モード (スキャンモード、ワンショット変換モード)

ADUL レジスタと ADLL レジスタを使って A/D 変換結果の範囲を指定した場合、一定間隔で A/D 変換結果を判定できます。この機能を使用すれば、A/D 入力に基づいた電源電圧監視と入力キー判定ができます。

スヌーズモード機能を使用する場合、ソフトウェアスタンバイモードに遷移する前に各レジスタの初期設定を指定します（各設定の詳細については、表 29.20 を参照）。ソフトウェアスタンバイモードへの移行直前に、A/D コンバータモードレジスタ 2 (ADM2) のビット 2 (AWC) を 1 にしてください。初期設定の指定後、A/D コンバータモードレジスタ 0 (ADM0) のビット 0 (ADCE) を 1 にしてください。

スヌーズモードへの切り替え後にハードウェアトリガを入力すると、12 ビット A/D コンバータが A/D 電源安定待機時間まで自動的にカウントアップしてから、A/D 変換が開始します。

A/D 変換終了後のスヌーズモードの動作は、割り込み信号の発生の有無および SELSR0 レジスタと SNZEDCR0 レジスタの設定により異なります。（注1）

注. スヌーズモードでは、ELC のみが 12 ビット A/D コンバータの開始トリガとなれます。

注 1. A/D 変換結果比較機能の設定（ADRCK ビット、ADUL レジスタ、ADLL レジスタ）により、割り込み信号が発生しない可能性があります。

(1) A/D 変換終了後に割り込みが発生する場合

A/D 変換結果の値が A/D 変換結果比較機能で指定した値の範囲（ADRCK ビット、ADUL レジスタ、ADLL レジスタで設定）内の場合、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

セレクトモードでは、A/D 変換が終了したときに A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

スキャンモードでは、4 つのチャンネルの A/D 変換結果の値が 1 つでも A/D 変換結果比較機能で指定した範囲内に入れば、A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生します。

- A/D 変換終了割り込みをスヌーズ解除要因として使用する場合
MCU はスヌーズモードから通常モードに復帰します。
このとき、12 ビット A/D コンバータモードレジスタ 2 (ADM2) のビット 2 を必ずクリア (AWC = 0) してください。
AWC ビットを 1 のままにしておくと、以降のスヌーズモードまたは通常動作モードで A/D 変換が正常に開始されません。
- A/D コンペア不一致をソフトウェアスタンバイ遷移要因として使用する場合
不一致は発生しないので、MCU がソフトウェアスタンバイモードに移行することはありません。
A/D 変換終了割り込み発生後の MCU の状態は以降のソフトウェアの処理に依存します。

図 29.24 に、A/D 変換終了後に割り込みが発生する場合の動作例（スキャンモード時）を示します。

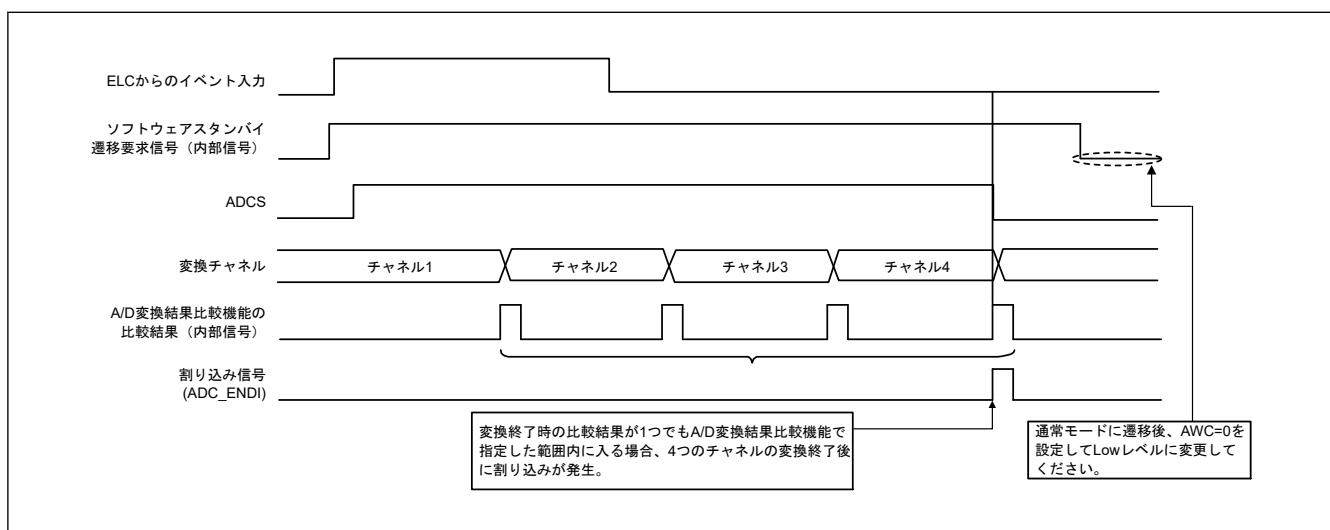


図 29.24 A/D 変換終了割り込みをスヌーズ解除要因として使用する場合の動作例（スキャンモード時）

(2) A/D 変換終了後に割り込みが発生しない場合

A/D 変換結果の値が A/D 変換結果比較機能で指定した値の範囲（ADRCK ビット、ADUL レジスタ、ADLL レジスタで設定）外の場合、A/D 変換終了割り込み要求信号 (ADC_ENDI) は発生しません。

- A/D 変換終了割り込みをスヌーズ解除要因として使用する場合
A/D 変換終了割り込みが発生しないので、スヌーズモードのまま次のハードウェアトリガ入力を待ちます。
- A/D コンペア不一致をソフトウェアスタンバイ遷移要因として使用する場合
MCU はソフトウェアスタンバイモードに移行します。詳細は、表 10.8 を参照してください。

図 29.25 に、A/D 変換終了後に割り込みが発生しない場合の動作例（スキャンモード時）を示します。

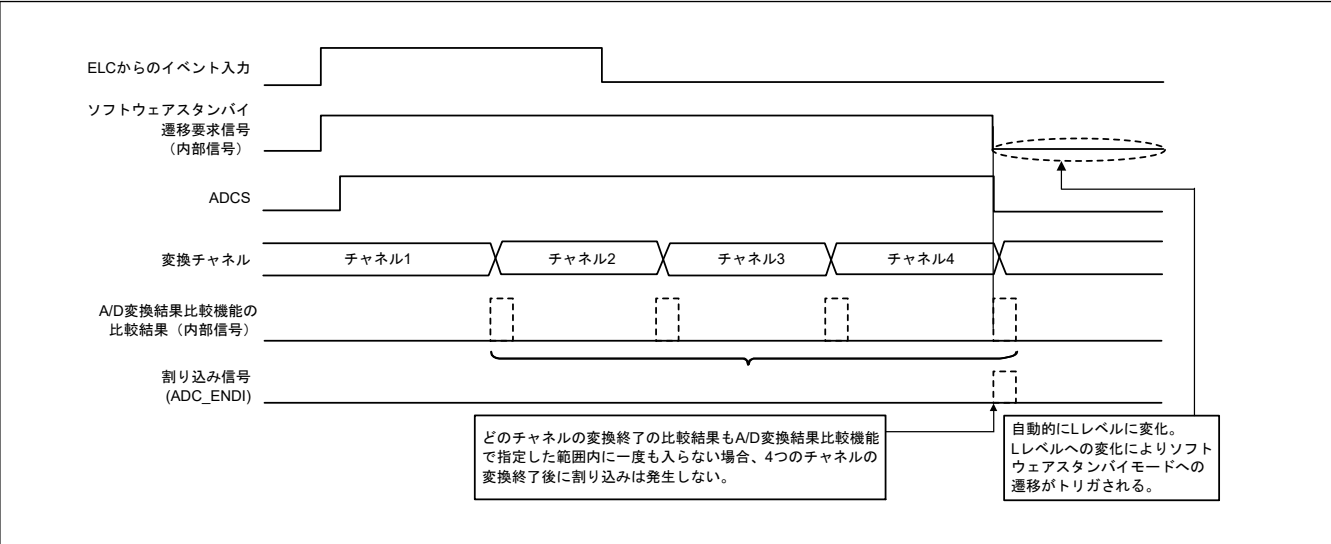


図 29.25 A/D コンペア不一致をソフトウェアスタンバイ遷移要因として使用する場合の動作例（スキャンモード時）

表 29.20 に、スヌーズモード（ハードウェアトリガ）の設定手順を示します。

表 29.20 スヌーズモード（ハードウェアトリガ）の設定手順 (1/2)

手順	処理	詳細
通常動作	<1>	● ADM0 レジスタの設定 ● ADM1 レジスタの設定 ● ADM2 レジスタの設定 ● ADUL レジスタと ADLL レジスタの設定 ● ADS レジスタの設定 (設定の順序は関係なし) ● ADM0 レジスタ FR[2:0]ビット、LV[1:0]ビット：A/D 変換時間の指定に使用します。 ● ADMD ビット：セレクトモードまたはスキャンモード ● ADM1 レジスタ ADTMD[1:0]ビット：ハードウェアトリガ待機モードの指定に使用します。 ● ADSCM ビット：ワンショット変換モード ● ADM2 レジスタ ADREFP[1:0]ビットと ADREFM ビット：基準電圧の選択に使用します。 ● ADRCK ビット：割り込み信号を発生させる A/D 変換結果比較値の範囲を AREA 1、AREA 3、AREA 2 から選択するビットです。 ● ADTYP[1:0]ビット：12 ビット、10 ビット、8 ビット分解能 ● ADUL レジスタと ADLL レジスタ A/D 変換結果比較値の上限と下限の指定に使用します。 ● ADS レジスタ ADS[4:0]ビット：アナログ入力チャネルの選択に使用します。
	<2>	基準電圧安定待機時間カウンタ A ADREFP[1:0]ビットの値を変更すると、以下 A に示す基準電圧安定待機時間カウンタが必要になる場合があります。 ADREFP[1:0]の値を 10b に変更した場合：A = 5 μ s 上記の変更を行う前に、ADREFP[1:0]を 11b に設定して基準電源デイスチャージ (1 μ s) を実行してください。 ADREFP[1:0]の値を 00b または 01b に変更した場合は、待機は不要です。
	<3>	AWC ビットの設定 停止モードに移行する直前に、ADM2 レジスタの AWC ビットを 1 にしてスヌーズモードを許可してください。

表 29.20 スヌーズモード（ハードウェアトリガ）の設定手順 (2/2)

手順	処理	詳細
ソフトウェアスタンバイモード	<4> ADCE ビットの設定	ADM0 レジスタの ADCE ビットを 1 に設定することで、12 ビット A/D コンバータは変換待機状態に遷移します。
	<5> ソフトウェアスタンバイモードに遷移	—
スヌーズモード	<6> スヌーズモードに遷移	他モジュールのスヌーズ要求でスヌーズモードに遷移します。
	<7> ハードウェアトリガ発生	ハードウェアトリガ発生後、12 ビット A/D コンバータが A/D 電源の安定待機時間まで自動的にカウントアップしてから、A/D 変換をスヌーズモードで開始します。
	—	A/D 変換動作が実行されます。
	<8> A/D 変換終了	—
	<9> ADC_ENDI 発生？	• ADC_ENDI 発生あり：<10> に進みます。 • ADC_ENDI 発生なし：<7> に進みます(注1)。
通常動作	<10> 変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納	変換結果を ADCRn レジスタまたは ADCRnH レジスタに格納します。
	<11> AWC ビットの設定	ADM2 レジスタの AWC ビットを 0 にクリアします(注2)。
	<12> 通常動作	—

注 1. ADRCK ビット、ADUL レジスタ、ADLL レジスタの設定により A/D 変換終了割り込み要求信号 (ADC_ENDI) が発生しない場合、結果は ADCRn レジスタまたは ADCRnH レジスタに格納されません。MCU はスヌーズモードのまま、次のハードウェアトリガ入力待ちます。その後、ハードウェアトリガを入力すると、スヌーズモードで再度 A/D 変換動作を実行します。

注 2. AWC ビットを 1 のままにしておくと、以降のスヌーズモードまたは通常動作モードで A/D 変換が正常に開始されなくなります。必ず AWC ビットを 0 にクリアしてください。

29.9 12 ビット A/D コンバータ特性表の読み方

本節では、12 ビット A/D コンバータ独自の専門用語を説明します。

(1) 分解能

識別可能な最小のアナログ入力電圧です。つまり、デジタル出力のビットあたりのアナログ入力電圧のパーセンテージを、1 LSB（最下位ビット）と呼びます。フルスケールに対する 1 LSB のパーセンテージは、%FSR（フルスケール範囲）で表されます。

分解能が 12 ビットの場合の 1 LSB は以下の通りです。

$$1 \text{ LSB} = 1/2^{12} = 1/4096$$

$$\approx 0.024 \% \text{FSR}$$

精度は分解能とは無関係ですが、絶対精度により判定されます。

(2) 絶対精度

実際の測定値と理論値との間の最大誤差値を示します。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差、およびこれらの誤差の組み合わせで絶対精度を表します。

量子化誤差は、特性表の絶対精度には含まれないので注意してください。

(3) 量子化誤差

アナログ値をデジタル値に変換すると、 $\pm 1/2$ LSB 誤差が自然に発生します。12 ビット A/D コンバータでは、 $\pm 1/2$ LSB の範囲内のアナログ入力電圧は同じデジタルコードに変換されるので、量子化誤差は避けられません。

量子化誤差は、特性表の絶対精度、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれないので注意してください。

図 29.26 に絶対精度を、図 29.27 に量子化誤差を示します。

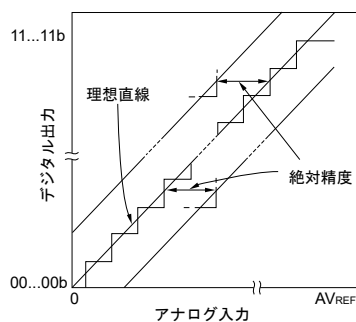


図 29.26 絶対精度

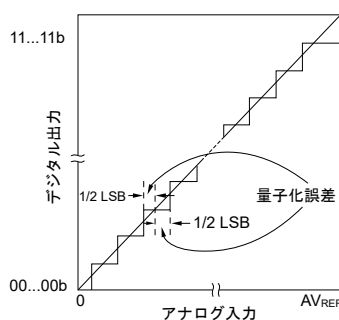


図 29.27 量子化誤差

(4) ゼロスケール誤差

デジタル出力が 0.....000b から 0.....001b に変化したときのアナログ入力電圧の実際の測定値と理論値 (1/2 LSB) との差を示します。

実際の測定値が理論値より大きい場合、デジタル出力が 0.....001b から 0.....010b に変化したときのアナログ入力電圧の実際の測定値と理論値 (3/2 LSB) との差を示します。

(5) フルスケール誤差

デジタル出力が 1.....110b から 1.....111b に変化したときのアナログ入力電圧の実際の測定値と理論値 (フルスケール - 3/2 LSB) との差を示します。

(6) 積分直線性誤差

変換特性が理想的な線形関係からどの程度逸脱しているかを示します。ゼロスケール誤差とフルスケール誤差が 0 のときの、実際の測定値と理想直線との差の最大値を示します。

(7) 微分直線性誤差

コード出力の理想的な幅が 1 LSB のとき、実際の測定値と出力コードの幅の理想値との差を示します。

ゼロスケール誤差を図 29.28 に、フルスケール誤差を図 29.29 に、積分直線性誤差を図 29.30 に、微分直線性誤差を図 29.31 に示します。

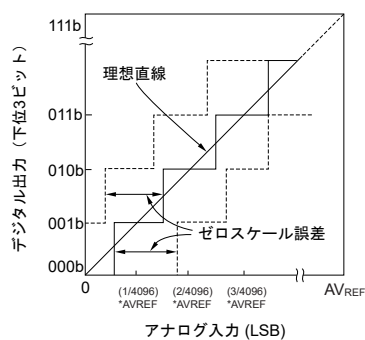


図 29.28 ゼロスケール誤差

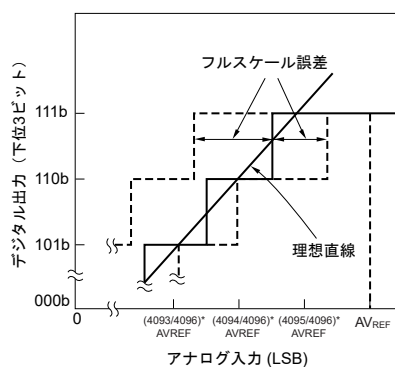


図 29.29 フルスケール誤差

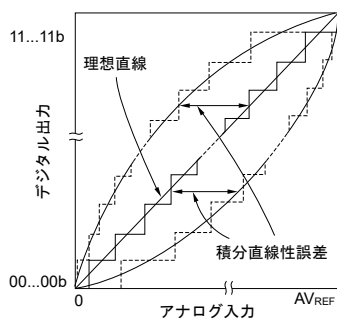


図 29.30 積分直線性誤差

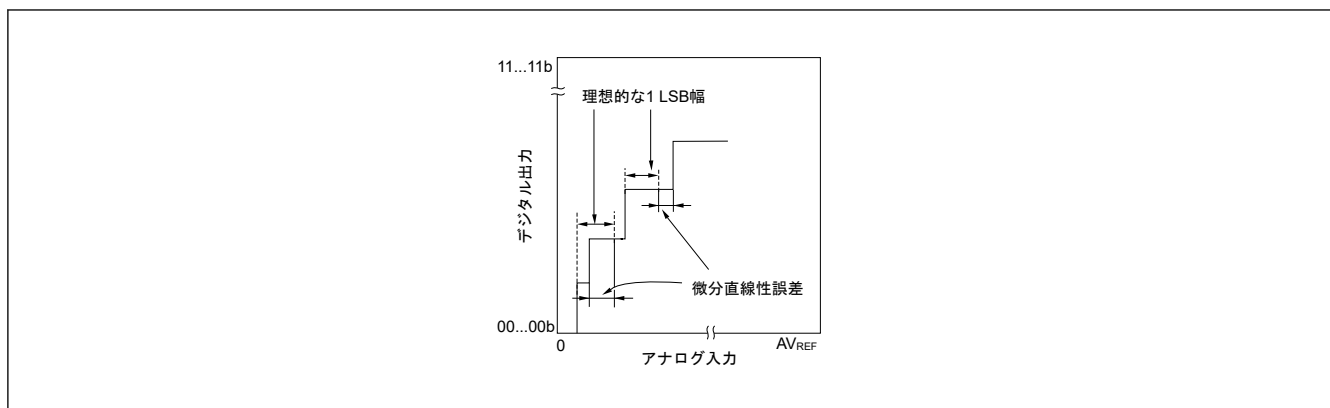


図 29.31 微分直線性誤差

(8) 変換時間

サンプリング開始からデジタル出力を取得するまでの時間を表します。サンプリング時間は特性表の変換時間に含まれます。

(9) サンプリング時間

サンプル&ホールド回路でアナログ電圧をサンプリングするためにアナログスイッチがオンになる時間です。

図 29.32 に A/D 変換時間のサンプリング時間を示します。

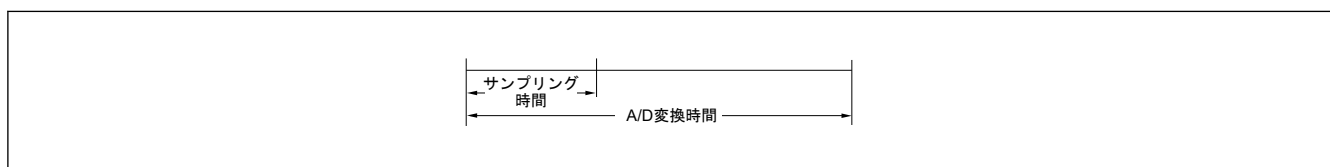


図 29.32 A/D 変換時間のサンプリング時間

29.10 12 ビット A/D コンバータを使用する場合の注意事項

(1) ソフトウェアスタンバイモード時の動作電流

(A/D コンバータモードレジスタ 0 (ADM0) のビット 7 (ADCS) を 0 にして) 12 ビット A/D コンバータを停止後、ソフトウェアスタンバイモードに移行します。同時に ADM0 レジスタのビット 0 (ADCE) を 0 にすることで、動作電流を削減できます。

ソフトウェアスタンバイ状態から再開する場合は、対応する IELSRn レジスタの IR ビットをクリアしてから動作を開始します。

(2) ANI0～ANI5 端子および ANI16～ANI19 端子の入力範囲

ANI0～ANI5 端子および ANI16～ANI19 端子の入力電圧の定格範囲を順守してください。VCC および AVREFP を超えた電圧または VSS および AVREFM より低い電圧（絶対最大定格の範囲内でも）をアナログ入力チャンネルに入力すると、そのチャンネルの変換値が不定になります。また、他のチャンネルの変換値にも影響を与える恐れがあります。

12 ビット A/D コンバータの「+」側の基準電圧に内部基準電圧を選択した場合は、内部基準電圧以上の電圧を ADS レジスタで選択した端子に入力しないでください。ただし、ADS レジスタで選択していない端子に内部基準電圧以上の電圧を入力しても問題ありません。

注 内部基準電圧の詳細は、「37. 電気的特性」を参照してください。

(3) 競合動作

<1> 変換終了時の A/D 変換結果レジスタ (ADCRn または ADCRnH) への変換結果の格納と、命令による ADCRn レジスタまたは ADCRnH レジスタの読み出しアクセスとの競合

ADCRn レジスタまたは ADCRnH レジスタの読み出しを優先します。読み出し動作後、新しい変換結果が ADCRn レジスタまたは ADCRnH レジスタに書き込まれます。

<2> 変換終了時の A/D 変換結果レジスタ (ADCRn または ADCRnH) への変換結果の格納と、命令による A/D 変換モードレジスタ 0 (ADM0) またはアナログ入力チャネル指定レジスタ (ADS) の書き込みアクセスとの競合

ADM0 レジスタおよび ADS レジスタの書き込みを優先します。ADCRn レジスタと ADCRnH レジスタの書き込みは実行せず、変換終了割り込み信号 (ADC_ENDI) も発生しません。

(4) ノイズ対策

12 ビットまたは 10 ビットの分解能を維持するには、AVREFP、VCC、ANI0～ANI5、および ANI16～ANI19 端子へのノイズ入力に注意する必要があります。

<1> 等価抵抗が低く、周波数応答が良好なキャパシタ (0.1 μ F 程度) を、比較的太い配線でできるだけ短い距離で VCC 端子と AVREFP 端子に接続します。

<2> アナログ入力ソースの出力インピーダンスが高いほど、影響が大きくなります。ノイズを削減するには、外部キャパシタを図 29.33 に示すように接続することをお勧めします。

<3> 変換中は上記の端子を他の端子に切り替えしないでください。

図 29.33 に VCC 端子、AVREFP 端子、アナログ入力端子の接続を示します。

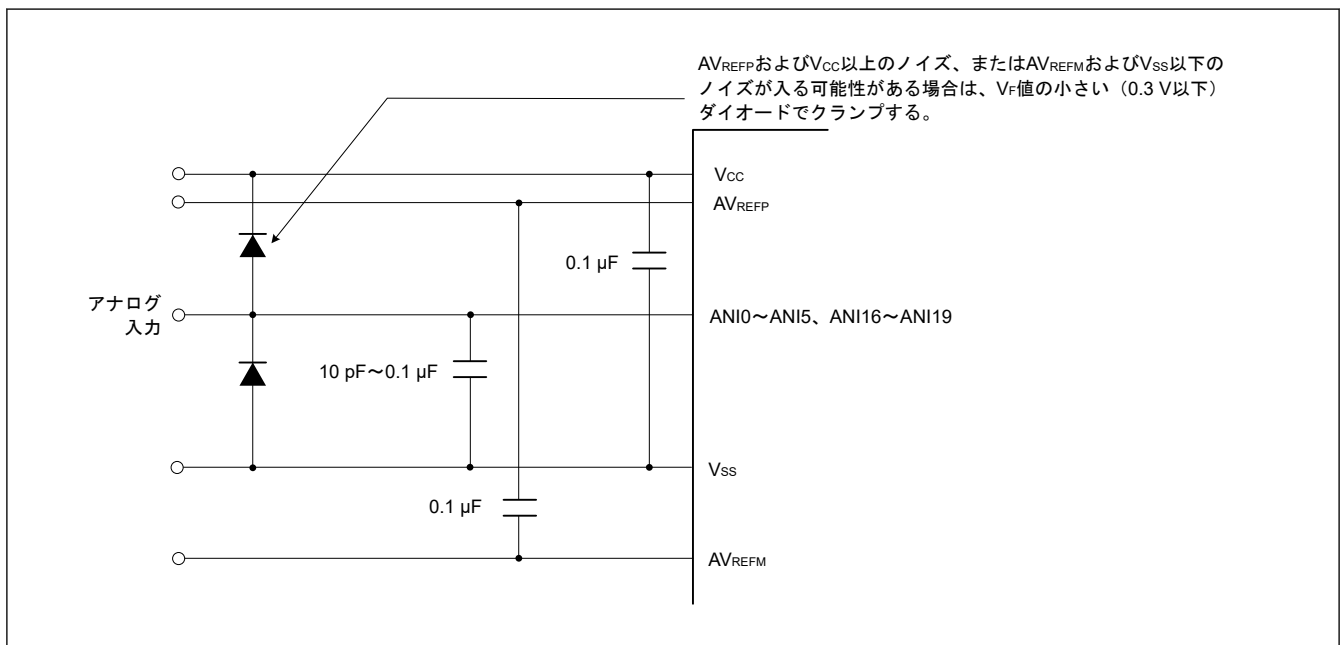


図 29.33 VCC 端子、AVREFP 端子、アナログ入力端子の接続

(5) アナログ入力 (ANlxx) 端子

<1> アナログ入力端子 (ANI0～ANI5 および ANI16～ANI19) は、入力ポート端子 (P000～P003、P006、P007、P105、P106、P400、P401) としても使用します。ANI0～ANI5、ANI16～ANI19 端子のいずれかを選択して 12 ビット A/D 変換を実行する場合、変換中 P000～P003、P006、P007、P105、P106、P400、P401 の出力値を変更しないでください。変更すると、変換分解能が低下することがあります。

<2> A/D 変換中の端子に隣接する端子をデジタル入出力ポート端子として使用している場合、結合ノイズのために A/D 変換結果が期待値と異なることがあります。変換中は、デジタル信号や同様の急激な遷移を持つ信号の入力または出力を避けてください。

(6) アナログ入力 (ANlxx) 端子の入力インピーダンス

本 A/D コンバータは、サンプリング時間中にサンプリングキャパシタに充電してサンプリングを行います。

したがって、サンプリング実行中でないときはリーク電流のみが流れ、サンプリング中はキャパシタを充電する電流が流れます。その結果、入力インピーダンスはサンプリングが実行中かどうかによって変動します。

ただし、サンプリングが効果的であることを確認するには、出力インピーダンスが 1 k Ω 以下のアナログ入力ソースでコンバータを使用することをお勧めします。ソースの出力インピーダンスがもっと高い場合は、サンプリング時間を長くするか、より大きな (約 0.1 μ F の値の) キャパシタをソースが接続されている ANI0～ANI5 およ

び ANI16～ANI19 のうち、いずれかの端子に接続してください (図 29.33 参照)。サンプリングキャパシタは ADCS ビットの設定が 0 のときやサンプリングの再開直後に充電中の場合があるので、これらの時点では定義されていません。したがって、ADCS ビットを 1 にした後の次回の変換ラウンドでの充電開始後、または変換を繰り返す場合の変換状態は不定です。したがって、アナログ信号の変動の大きさに関係なく確実にフル充電するには、アナログ入力ソースの出力インピーダンスが低いことを確認するか、サンプリングの完了に十分な時間を確保してください。

(7) 割り込みステータスフラグ (IR)

アナログ入力チャネル指定レジスタ (ADS) を変更しても、割り込みステータスフラグ (IR) はクリアされません。

したがって、A/D 変換中にアナログ入力を変更すると、ADS レジスタの書き換え前に、変更前のアナログ入力に対する A/D 変換結果と IR フラグが設定されている場合があります。ADS レジスタの書き換え直後に IR フラグを読み出すと、変更後のアナログ入力に対する A/D 変換が終了していなくても IR フラグが設定されるので注意してください。

A/D 変換を停止してから再開する場合は、A/D 変換動作を再開する前に IR フラグをクリアしてください。

図 29.34 に A/D 変換終了割り込み要求発生タイミングを示します。

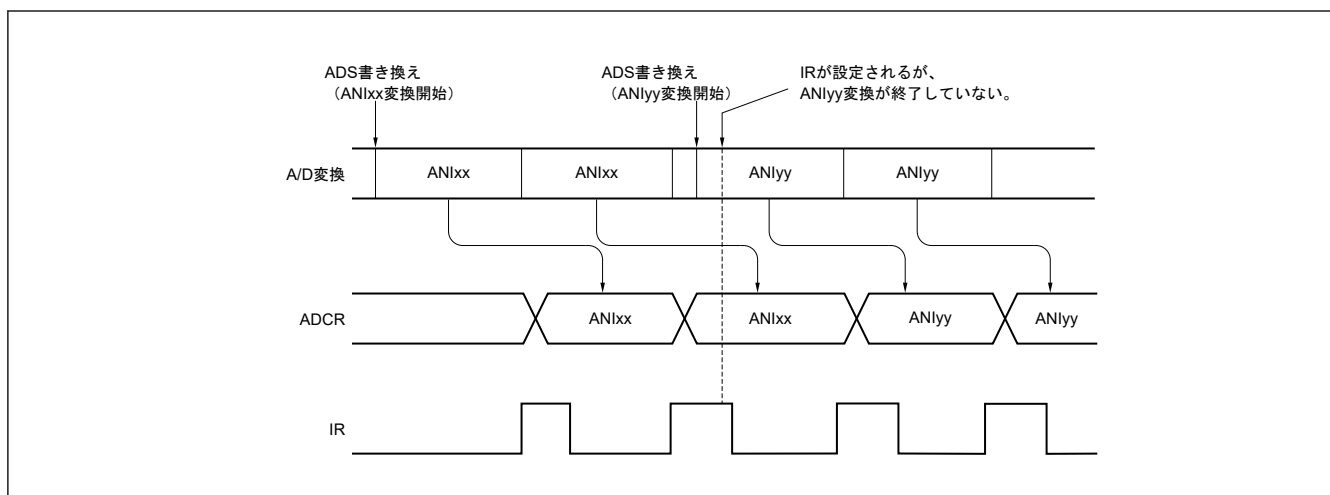


図 29.34 A/D 変換終了割り込み要求発生タイミング

(8) A/D 変換開始直後の変換結果

ソフトウェアトリガ待機なしモードまたはハードウェアトリガ待機なしモードでは、ADCE ビットを 1 にしてから $1\ \mu\text{s} + \text{変換クロック}(f_{\text{AD}})$ の 2 サイクル以内に ADCS ビットを 1 にした場合、A/D 変換開始直後の最初の A/D 変換値が定格範囲に入らないことがあります。A/D 変換終了割り込み要求信号 (ADC_ENDI) をポーリングし、最初の変換結果を削除するなどの対策を行ってください。

(9) A/D 変換結果レジスタ (ADCRn, ADCRnH) の読み出し動作

A/D コンバータモードレジスタ 0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポートコントロールレジスタ 0～4、ポート mn 端子機能選択レジスタへの書き込み動作を実行すると、ADCRn レジスタと ADCRnH レジスタの内容が不定になることがあります。変換完了後、ADM0、ADS、ポートコントロールレジスタ 0～4、ポート mn 端子機能選択レジスタに書き込みを行う前に、変換結果を読み出してください。さもないと不正な変換結果を読み出すことがあります。

(10) 内部等価回路

図 29.35 にアナログ入力ブロックの等価回路を、表 29.21 に電圧ごとの等価回路定数を示します。

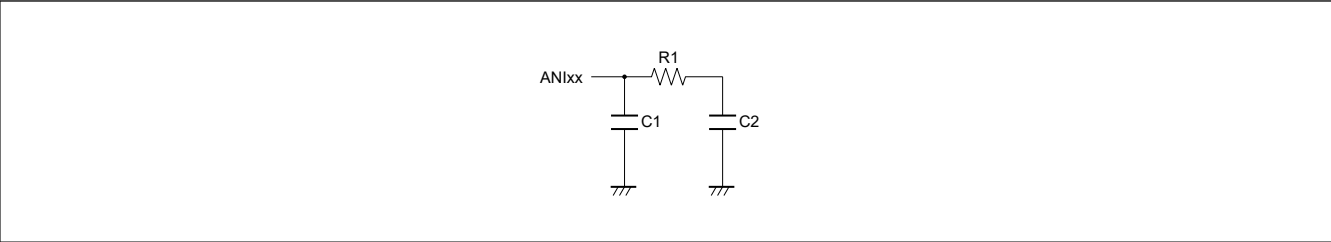


図 29.35 ANIxx 端子の内部等価回路

表 29.21 等価回路の抵抗値と容量値（参考値）

AVREFP、VCC	ANIxx 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
2.4 V ≤ VCC ≤ 5.5 V	ANI0～ANI5	11	8	9
	ANI16～ANI19	12	8	10
1.8 V ≤ VCC < 2.4 V	ANI0～ANI5	55	8	9
	ANI16～ANI19	60	8	10
1.6 V ≤ VCC < 1.8 V	ANI0～ANI5	110	8	9
	ANI16～ANI19	120	8	10

注. 表 29.21 に示す抵抗値と容量値は保証値ではありません。

(11) 12 ビット A/D コンバータの動作開始

12 ビット A/D コンバータの動作は AVREFP 電圧と VCC 電圧が安定してから開始してください。

(12) 電源投入時または遮断時の注意事項

AVREFP を基準電圧として使用する場合、電源投入時または遮断時においても、AVREFP ≤ VCC を維持してください。この条件が維持されない場合、装置の永久的な破壊を引き起こすことがあります。

30. 8 ビット D/A コンバータ (DAC8)

30.1 概要

本 MCU は、8 ビット D/A コンバータ (DAC8) を内蔵しています。D/A コンバータはアナログ出力端子へ出力することができますが、主にコンパレータ (CMP) の基準入力電圧を生成するために使用されます。表 30.1 に DAC8 の仕様を、図 30.1 にブロック図を、表 30.2 に入出力端子を示します。

表 30.1 DAC8 の仕様

項目	説明
分解能	8 ビット
出力チャンネル	2 チャンネル
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能 (入力)	イベント信号の入力により、DA0 および DA1 変換の開始が可能

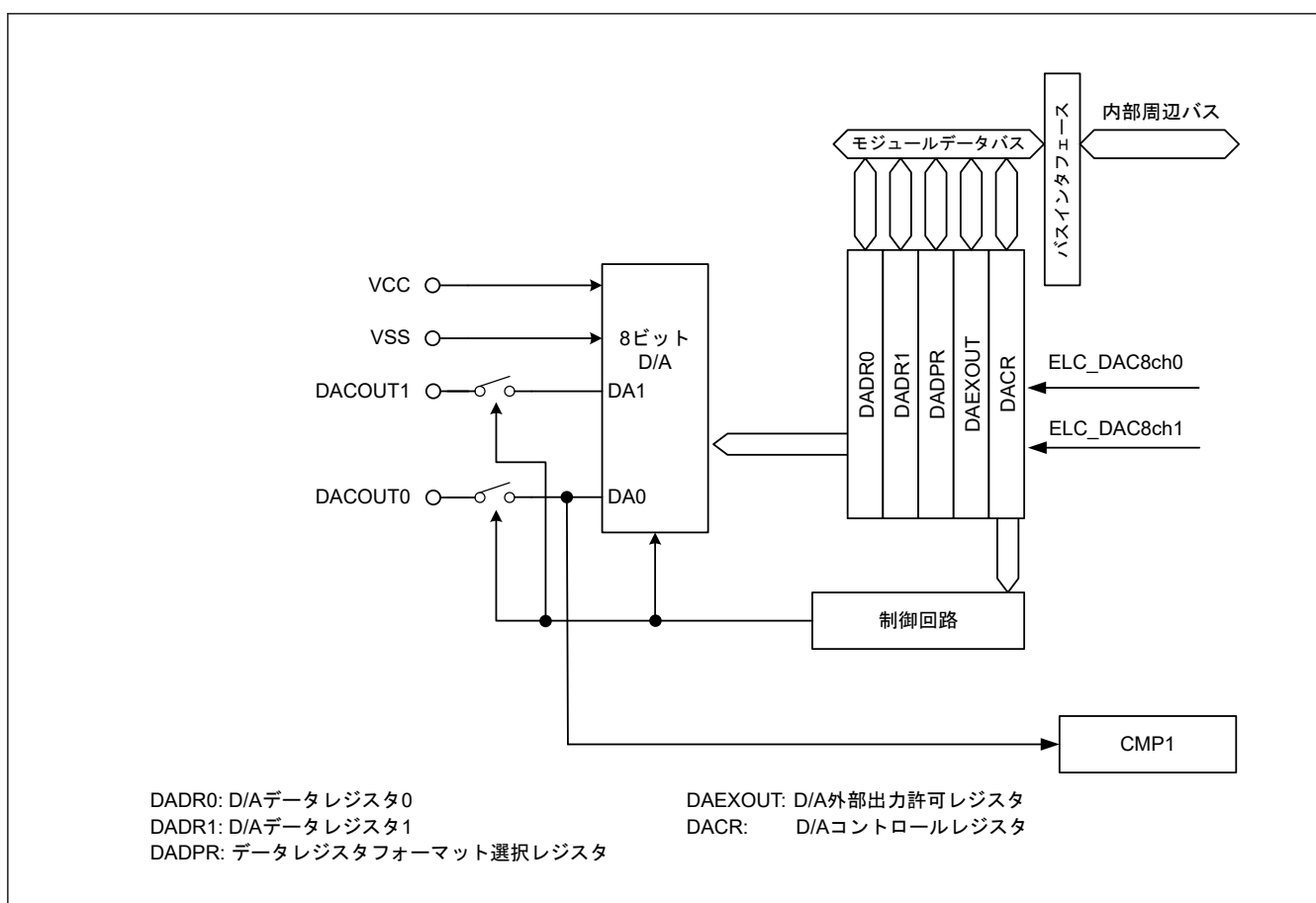


図 30.1 DAC8 のブロック図

表 30.2 に DAC8 の端子構成を示します。

表 30.2 DAC8 の入出力端子

端子名	入出力	機能
VCC	入力	アナログ部の電源端子
VSS	入力	アナログ部の電源グランド端子
DACOUT0	出力	DAC8 で処理されるアナログ信号用のチャンネル 0 出力端子
DACOUT1	出力	DAC8 で処理されるアナログ信号用のチャンネル 1 出力端子

30.2 レジスタの説明

30.2.1 DADRn : D/A データレジスタ n (n = 0, 1)

Base address: DAC8 = 0x4005_E000

Offset address: 0x00 + 0x02 × n

Bit position:	15																0
Bit field:																	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRn レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し／書き込みレジスタです。アナログ出力を許可すると、DADRn レジスタの値が変換されアナログ出力端子に出力されます。

8 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 8 ビット ([7:0]) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 8 ビット ([15:8]) が有効です。

30.2.2 DACR : D/A コントロールレジスタ

Base address: DAC8 = 0x4005_E000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAOE 1	DAOE 0	—	—	—	—	—	—
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAOE0	D/A 出力許可 0 0: チャンネル 0 (DA0) のアナログ出力を禁止 1: チャンネル 0 の D/A 変換を許可 チャンネル 0 (DA0) のアナログ出力を許可	R/W
7	DAOE1	D/A 出力許可 1 0: チャンネル 1 (DA1) のアナログ出力を禁止 1: チャンネル 1 の D/A 変換を許可 チャンネル 1 (DA1) のアナログ出力を許可	R/W

DAOE0 ビット (D/A 出力許可 0)

DAOE0 ビットは D/A 変換とアナログ出力を制御します。

DAOE1 ビット (D/A 出力許可 1)

DAOE1 ビットは D/A 変換とアナログ出力を制御します。

30.2.3 DADPR : DADRn フォーマット選択レジスタ

Base address: DAC8 = 0x4005_E000

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSE L	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DPSEL	DADRn フォーマット選択 0: 右詰め 1: 左詰め	R/W

30.2.4 DAEXOUT : D/A 外部出力許可レジスタ

Base address: DAC8 = 0x4005_E000

Offset address: 0x700

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DAEX O1	DAEX O0	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAEXO0	D/A 外部端子出力許可 0 0: DACOUT0 端子への DA0 出力を禁止 1: DACOUT0 端子への DA0 出力を許可	R/W
7	DAEXO1	D/A 外部端子出力許可 1 0: DACOUT1 端子への DA1 出力を禁止 1: DACOUT1 端子への DA1 出力を許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DAEXO0 ビット (D/A 外部端子出力許可 0)

DAEXO0 ビットは、外部端子 DACOUT0 への D/A 変換出力 (DA0) を制御します。

DAEXO1 ビット (D/A 外部端子出力許可 1)

DAEXO1 ビットは、外部端子 DACOUT1 への D/A 変換出力 (DA1) を制御します。

30.3 動作

DAC8 には D/A 変換回路が 2 チャンネル分あり、各チャンネルはそれぞれ独立して動作することができます。DACR の DAOEn ビット (n=0, 1) を 1 にすると、DAC8 が有効になり、変換結果が出力されます。

以下にチャンネル 0 での D/A 変換例を示します。図 30.2 に、このときの動作タイミングを示します。

チャンネル 0 で D/A 変換を実行する場合の手順は以下のとおりです。

1. DADR0 レジスタに D/A 変換を行うためのデータ、DADPR.DPSEL ビットにデータフォーマットを設定します。
2. DACR.DAOE0 ビットを 1 にすると、D/A 変換を開始します。t_{DCONV} 時間経過後、変換結果はアナログ出力端子 DA0 から出力されます。DADR0 レジスタを書き換えるか、DAOE0 ビットを 0 にするまで、変換結果は出力され続けます。出力値 (参考) は以下の式で計算します。

$$\frac{\text{DADRmの設定}}{256} \times VCC$$

3. 変換を再度開始するため、別の値を DADR0 へ書き込みます。t_{DCONV} 時間経過後、変換結果が出力されます。
4. アナログ出力を禁止する場合は、DAOE0 ビットを 0 にしてください。

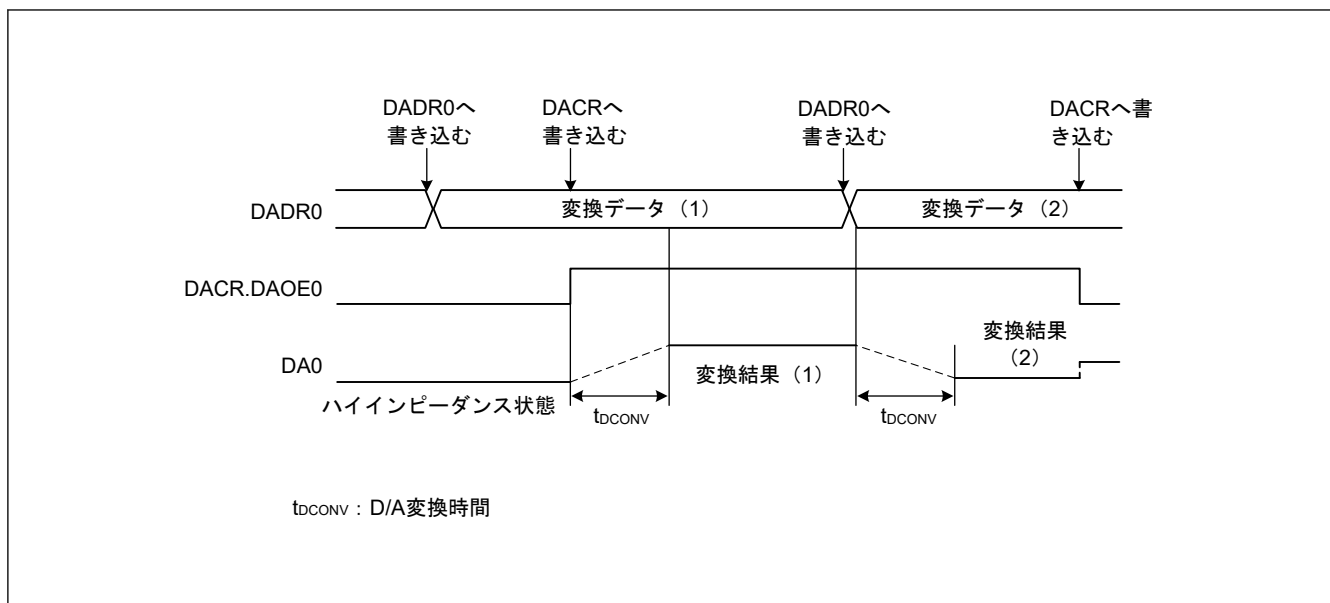


図 30.2 DAC8 の動作例

30.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

30.4.1 DA0 イベントリンクの動作設定手順

DA0 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DAC8ch0 イベント信号が ELSR20 レジスタの各周辺モジュールとリンクするように設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャンネル 0 の D/A 変換が開始されます。
5. DAC8 チャンネル 0 のイベントリンク動作を停止するときは、ELSR20 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

30.4.2 DA1 イベントリンクの動作設定手順

DA1 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR1 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DAC8ch1 イベント信号が ELSR19 レジスタの各周辺モジュールとリンクするように設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE1 ビットが 1 になり、チャンネル 1 の D/A 変換が開始されます。
5. DAC8 チャンネル 1 のイベントリンク動作を停止するときは、ELSR19 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

30.4.3 イベントリンク動作における注意事項

- DACR.DAOE0 ビットへの書き込み実行中に ELC_DAC8ch0 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります
- DACR.DAOE1 ビットへの書き込み実行中に ELC_DAC8ch1 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります

30.5 使用上の注意

30.5.1 モジュールストップ機能の設定

モジュールストップ制御レジスタにより、8 ビット D/A コンバータの動作を無効または有効に設定することが可能です。初期値では、8 ビット D/A コンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

30.5.2 モジュールストップ状態の D/A コンバータの動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1 ビットと DAOE0 ビットを 0 にして D/A 変換を禁止してください。

30.5.3 ソフトウェアスタンバイモードの D/A コンバータの動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになると、D/A コンバータ出力は保持され、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1 ビットと DAOE0 ビットを 0 にして D/A 変換を禁止してください。

30.5.4 D/A コンバータの設定

D/A コンバータの出力電圧をコンパレータ (CMP) の基準入力電圧として使用する場合、D/A コンバータを設定した後、コンパレータを有効にする前に、D/A コンバータの出力セトリング時間 ($t_{D\text{CONV}}$) だけ待機してください。同様に、D/A コンバータの設定を変更する場合も、設定変更前にコンパレータを一時的に停止し、設定変更後、コンパレータを有効にする前に、D/A コンバータ出力セトリング時間だけ待機してください。

30.5.5 D/A コンバータ出力

D/A コンバータの出力インピーダンスが高いため、DACOUT0 端子と DACOUT1 端子の電流を取得することはできません。負荷入力インピーダンスが低い場合は、負荷と DACOUT0 端子および DACOUT1 端子の間にフォロワーアンプを挿入してください。出力インピーダンスが高いため、フォロワーアンプと負荷の配線はできる限り短くしてください。配線が長くなる場合は、グラウンドパターンで配線をシールドすることを検討してください。コンパレータの基準に D/A コンバータを使用する場合は、DACOUT0 端子と DACOUT1 端子を使用しないでください。これらの端子からのノイズがコンパレータの機能に影響するためです。

31. コンパレータ (CMP)

31.1 コンパレータの機能

コンパレータには次の機能があります。

- コンパレータ High-speed モードまたは Low-speed モード
- 基準電圧として、外部基準電圧入力、内部基準電圧^(注1)、または D/A コンバータ出力^(注1)のいずれかを選択可能
- ノイズ除去デジタルフィルタの除去幅を選択可能
- コンパレータ出力のアクティブエッジ検出による割り込み信号の生成が可能
- コンパレータ出力のアクティブエッジ検出によるロジックおよびイベントリンクコントローラ (ELC) へのイベント信号の出力が可能

注. コンパレータ 0 は R9A02G0214CBY では利用できません。

注 1. コンパレータ 0 は内部基準電圧を、コンパレータ 1 は D/A コンバータ 0 の出力を選択可能です。

31.2 コンパレータの構成

図 31.1 に、コンパレータのブロック図を示します。

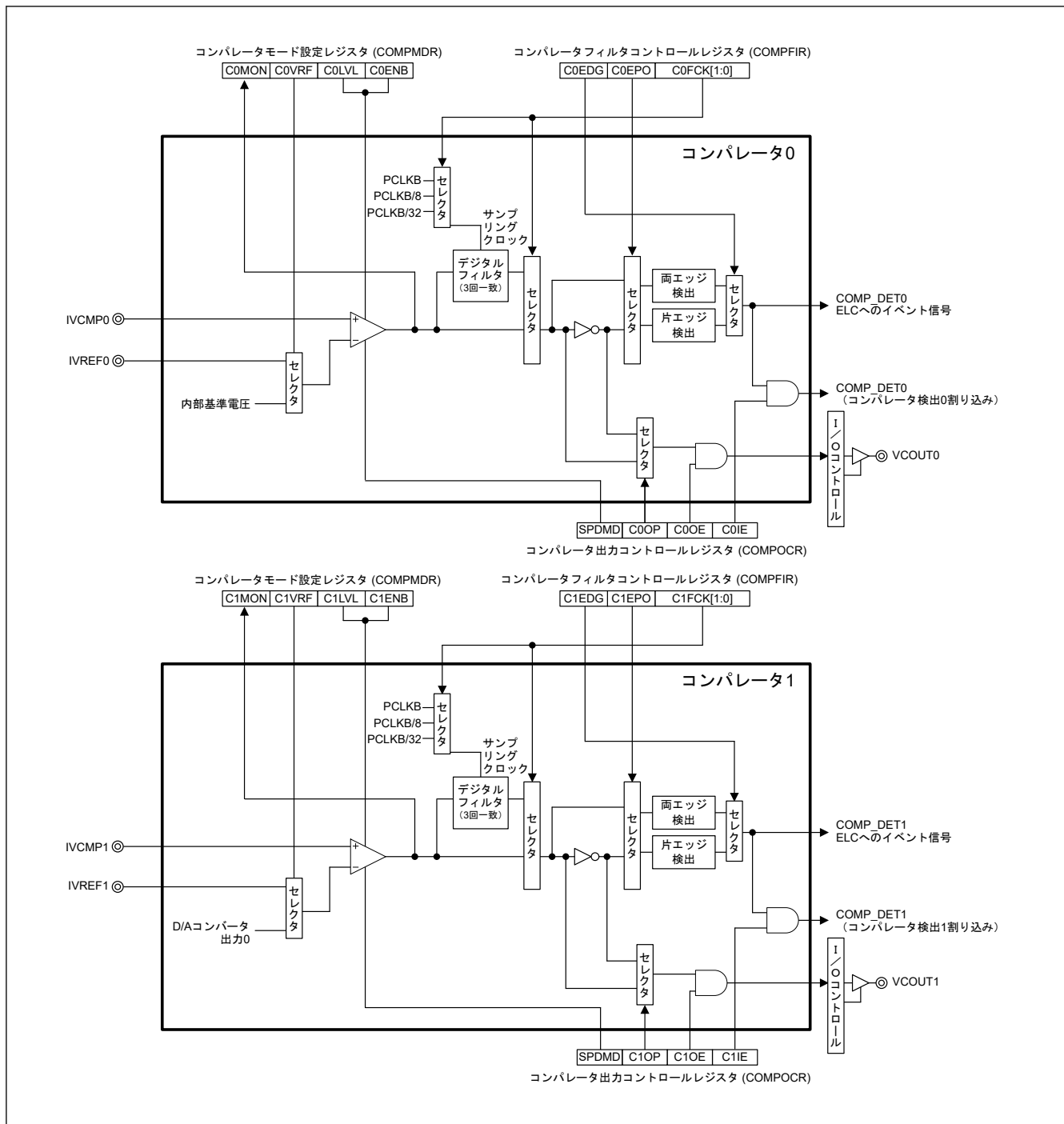


図 31.1 コンパレータのブロック図

31.3 コンパレータを制御するためのレジスタ

コンパレータを制御するためのレジスタを下記に示します。

- COMPMDR : コンパレータモード設定レジスタ
- COMPFIR : コンパレータフィルタコントロールレジスタ
- COMPOCR : コンパレータ出力コントロールレジスタ

31.3.1 COMPMDR : コンパレータモード設定レジスタ

Base address: CMP = 0x4009_1200

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	C1MON	C1VRF(注4)	C1LVL	C1ENB	C0MON	C0VRF	C0LVL	C0ENB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	C0ENB(注1) (注3)	コンパレータ 0 動作許可 0: コンパレータ 0 の動作を禁止 1: コンパレータ 0 の動作を許可	R/W
1	C0LVL(注2) (注3)	コンパレータ 0 基準電圧範囲の選択 0: 0~VCC - 1.4 V 1: 1.4 V~VCC	R/W
2	C0VRF(注2) (注3)	コンパレータ 0 基準電圧の選択 0: IVREF0 端子からの電圧を供給 1: 内部基準電圧を供給	R/W
3	C0MON(注3)	コンパレータ 0 監視フラグ 0: IVCMP0 < コンパレータ 0 基準電圧 (IVREF0 または内部基準電圧) 1: IVCMP0 > コンパレータ 0 基準電圧 (IVREF0 または内部基準電圧)	R
4	C1ENB	コンパレータ 1 動作許可 0: コンパレータ 1 の動作を禁止 1: コンパレータ 1 の動作を許可	R/W
5	C1LVL	コンパレータ 1 基準電圧範囲の選択 0: 0~VCC - 1.4 V 1: 1.4 V~VCC	R/W
6	C1VRF(注4)	コンパレータ 1 基準電圧の選択 0: IVREF1 端子からの電圧を供給 1: D/A コンバータ出力 0 を供給	R/W
7	C1MON	コンパレータ 1 監視フラグ 0: IVCMP1 < コンパレータ 1 基準電圧 (IVREF1 または D/A コンバータ出力 0) 1: IVCMP1 > コンパレータ 1 基準電圧 (IVREF1 または D/A コンバータ出力 0)	R

注 1. リセット解除直後の初期値は 0 です。しかし、コンパレータの動作がいったん許可された後に C0ENB および C1ENB が 0 に設定された場合、値は不定となります。

注 2. 内部基準電圧 (C0VRF = 1) をコンパレータ 0 の基準電圧に使用する場合は、「C0LVL = 0」と「VCC ≥ (内部基準電圧 (最大) + 1.4 V)」の条件を満足する必要があります。

注 3. コンパレータ 0 は R9A02G0214CBY では利用できません。書く場合、0 としてください。

注 4. IVREF1 端子は R9A02G0214CBY では利用できません。基準電圧は DAC に設定してください。

COMPMDR レジスタを使用すると、コンパレータ 0 とコンパレータ 1 に関するさまざまな設定を行うことができます。たとえば、基準電圧を選択したり、比較動作の開始/終了を制御したりできます。また、比較結果を示すときにも使用されます。

COMPMDR レジスタは 1 ビットメモリ操作命令または 8 ビットメモリ操作命令で設定できます。なお CnMON ビットは読み出し専用ビットです。

リセットが発生すると本レジスタの値は 0x00 になります。

31.3.2 COMPFIR : コンパレータフィルタコントロールレジスタ

Base address: CMP = 0x4009_1200

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	C1ED G	C1EP O	C1FCK[1:0]	C0ED G	C0EP O	C0FCK[1:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	C0FCK[1:0] ^{(注2)(注3)} (注4)	コンパレータ 0 デジタルフィルタ選択 0 0: コンパレータ 0 フィルタなし 0 1: コンパレータ 0 フィルタ有効、PCLKB でサンプリング 1 0: コンパレータ 0 フィルタ有効、PCLKB/8 でサンプリング 1 1: コンパレータ 0 フィルタ有効、PCLKB/32 でサンプリング	R/W
2	C0EPO ^{(注2)(注4)}	コンパレータ 0 エッジ極性切り替え 0: コンパレータ 0 の立ち上がりエッジで割り込み要求 1: コンパレータ 0 の立ち下がりエッジで割り込み要求	R/W
3	C0EDG ^{(注2)(注4)}	コンパレータ 0 エッジ検出選択 0: コンパレータ 0 の片エッジ検出で割り込み要求 1: コンパレータ 0 の両エッジ検出で割り込み要求	R/W
5:4	C1FCK[1:0] ^(注1) (注3)	コンパレータ 1 デジタルフィルタ選択 0 0: コンパレータ 1 フィルタなし 0 1: コンパレータ 1 フィルタ有効、PCLKB でサンプリング 1 0: コンパレータ 1 フィルタ有効、PCLKB/8 でサンプリング 1 1: コンパレータ 1 フィルタ有効、PCLKB/32 でサンプリング	R/W
6	C1EPO ^(注1)	コンパレータ 1 エッジ極性切り替え 0: コンパレータ 1 の立ち上がりエッジで割り込み要求 1: コンパレータ 1 の立ち下がりエッジで割り込み要求	R/W
7	C1EDG ^(注1)	コンパレータ 1 エッジ検出選択 0: コンパレータ 1 の一方のエッジ検出で割り込み要求 1: コンパレータ 1 の両方のエッジ検出で割り込み要求	R/W

注 1. C1FCK[1:0]ビットフィールドを変更したり、C1EPO ビットまたは C1EDG ビットを変更したりすると、ELC へのイベント信号とコンパレータ 1 割り込み要求が発生する恐れがあります。コンパレータ 1 からの出力が ELC への入力信号として選択されておらずコンパレータ 1 割り込みがマスクされていることを必ず確認してからこれらのビットを変更してください。その後でコンパレータ 1 割り込みを使用する場合は、ELSRn レジスタの IR フラグを 0 にして割り込み状態をクリアしてください。

C1FCK[1:0]ビットの設定を 00b (コンパレータ 1 フィルタなし) から別の値 (コンパレータ 1 フィルタ有効) に変更した場合は、サンプリングが 4 回行われてフィルタ出力が更新されるまでの時間が経過するのを待ってから、コンパレータ 1 割り込み要求または ELC へのイベント信号を使用してください。

注 2. C0FCK[1:0]ビットフィールドを変更したり、C0EPO ビットまたは C0EDG ビットを変更したりすると、ELC へのイベント信号とコンパレータ 0 割り込み要求が発生する恐れがあります。コンパレータ 0 からの出力が ELC への入力信号として選択されておらずコンパレータ 0 割り込みがマスクされていることを必ず確認してからこれらのビットを変更してください。その後でコンパレータ 0 割り込みを使用する場合は、ELSRn レジスタの IR フラグを 0 にして割り込み状態をクリアしてください。

C0FCK[1:0]ビットの設定を 00b (コンパレータ 0 フィルタなし) から別の値 (コンパレータ 0 フィルタ有効) に変更した場合は、サンプリングが 4 回行われてフィルタ出力が更新されるまでの時間が経過するのを待ってから、コンパレータ 0 割り込み要求または ELC へのイベント信号を使用してください。

注 3. コンパレータをソフトウェアスタンバイモードで使用する場合は、フィルタを使用しない設定 (C0FCK[1:0] = 00b, C1FCK[1:0] = 00b) を行ってください。

注 4. コンパレータ 0 は R9A02G0214CBY では利用できません。書く場合、0 としてください。

COMPFIR レジスタは、コンパレータ割り込み信号で使用する有効なエッジ、およびデジタルフィルタを使用するか否かを選択するために使用します。ノイズ除去が必要な場合に、CnFCK[1:0]ビットを設定してデジタルフィルタを有効にします。デジタルフィルタが有効のときは、フィルタ用サンプリングクロックで 3 サイクルの一致を検出した後に、フィルタは入力レベルを伝達します。

COMPFIR レジスタは 1 ビットメモリ操作命令または 8 ビットメモリ操作命令で設定できます。

リセットが発生すると本レジスタの値は 0x00 になります。

31.3.3 COMPOCR : コンパレータ出力コントロールレジスタ

Base address: CMP = 0x4009_1200

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPDM D	C1OP	C1OE	C1IE	—	C0OP	C0OE	C0IE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	C0IE(注3)(注4)	コンパレータ 0 割り込み要求許可 0: コンパレータ 0 の割り込み要求を禁止 1: コンパレータ 0 の割り込み要求を許可	R/W
1	C0OE(注4)	VCOUT0 端子出力許可 0: コンパレータ 0 の VCOUT0 端子出力を禁止 1: コンパレータ 0 の VCOUT0 端子出力を許可	R/W
2	C0OP(注4)	VCOUT0 出力極性選択 0: コンパレータ 0 の出力を VCOUT0 へ出力 1: コンパレータ 0 の出力を反転して VCOUT0 へ出力	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	C1IE(注2)	コンパレータ 1 割り込み要求許可 0: コンパレータ 1 の割り込み要求を禁止 1: コンパレータ 1 の割り込み要求を許可	R/W
5	C1OE	VCOUT1 端子出力許可 0: コンパレータ 1 の VCOUT1 端子出力を禁止 1: コンパレータ 1 の VCOUT1 端子出力を許可	R/W
6	C1OP	VCOUT1 出力極性選択 0: コンパレータ 1 の出力を VCOUT1 へ出力 1: コンパレータ 1 の出力を反転して VCOUT1 へ出力	R/W
7	SPDMD(注1)	コンパレータ速度選択 0: コンパレータ Low-speed モード 1: コンパレータ High-speed モード	R/W

注 1. SPDMD ビットを書き換える時は、あらかじめ COMPMDR レジスタの CiENB ビット (i = 0, 1) を設定してください。

注 2. C1IE ビットを 0 (割り込み要求禁止) から 1 (割り込み要求許可) に変更すると、コンパレータ割り込み要求が発生する可能性があります。これらのビットを変更する前に、ELSRn レジスタに 0 (CMP 出力をリンクしない) を設定してください。これらのビットの変更後、IELSRn レジスタの IR フラグを 0 にクリアして、割り込み状態をクリアしてください。

注 3. C0IE ビットを 0 (割り込み要求禁止) から 1 (割り込み要求許可) に変更すると、コンパレータ割り込み要求が発生する可能性があります。これらのビットを変更する前に、ELSRn レジスタに 0 (CMP 出力をリンクしない) を設定してください。これらのビットの変更後、IELSRn レジスタの IR フラグを 0 にクリアして、割り込み状態をクリアしてください。

注 4. コンパレータ 0 は R9A02G0214CBY では利用できません。書く場合、0 としてください。

COMPOCR レジスタは、コンパレータの応答速度、VCOUTn の出力を制御するか否か、割り込み要求信号を許可するか否かなどを選択するために使用します。

COMPOCR レジスタは 1 ビットメモリ操作命令または 8 ビットメモリ操作命令で設定できます。

リセットが発生すると本レジスタの値は 0x00 になります。

31.3.4 アナログ入力端子のレジスタ制御ポート機能

IVCMP0、IVCMP1、IVREF0、IVREF1、VCOUT0、VCOUT1 の各端子を使用する時は、ポート mn 端子機能選択レジスタ (PmnPFS) の対応するビットを設定してください。

31.4 動作説明

コンパレータ 0 とコンパレータ 1 は独立して動作します。設定の方法と操作は同一です。表 31.1 に、コンパレータ関連レジスタの設定手順を示します。

表 31.1 コンパレータ関連レジスタの設定手順

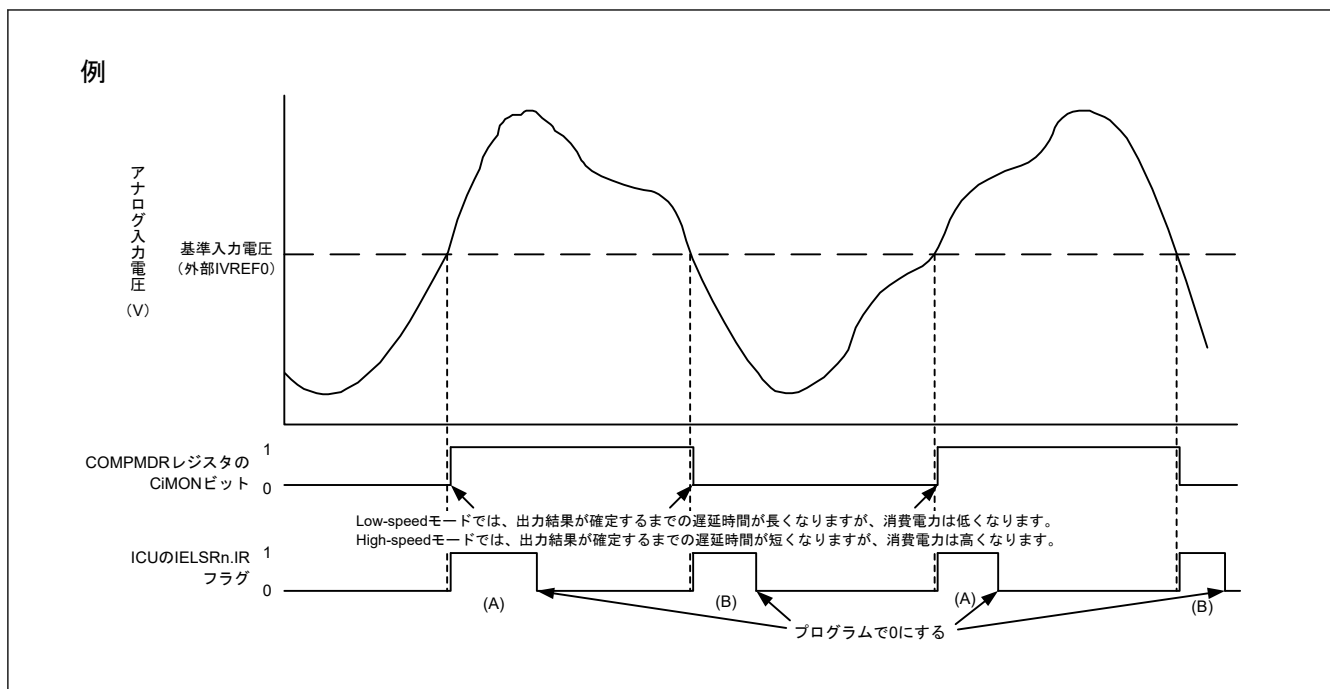
手順	レジスタ	ビット	設定値
1	関連する MSTPCRD レジスタ	MSTPD28	0: モジュールストップ状態の解除
2	関連する端子機能コントロールレジスタ (PFS)	ASEL	1: IVREF 端子と IVCMP 端子の機能を選択する。
3	関連する D/A コンバータ		D/A コンバータを使用する時は D/A コンバータレジスタを設定する。
4	COMPOCR	SPDMD	コンパレータの応答速度を選択する (0: Low-speed モード、1: High-speed モード) (注1)。
5	COMPMDR	CIvRF	基準電圧を選択する。 (i = 0 のとき...0: IVREF0 端子への入力、1: 内部基準電圧) (i = 1 のとき...0: IVREF1 端子への入力、1: D/A コンバータ)
		CIvLV	基準入力電圧範囲を選択する (0: $0 \sim V_{CC} - 1.4 \text{ V}$ 、1: $1.4 \text{ V} \sim V_{CC}$)。
6	COMPMDR	CIENB	1 (動作許可)
7	コンパレータ安定時間 t_{CMP} の経過を待つ。		
8	COMPFIR	CIvFCK[1:0]	サンプリングクロックとデジタルフィルタ使用有無を選択する。
		CIvEPO、CIvEDG	割り込み要求のエッジ検出条件 (立ち上がりエッジ、立ち下がりエッジ、または両エッジ) を選択する。
9	COMPOCR	CIvOP、CIvOE	VCOUTi 出力を設定する (極性を選択し、出力許可/禁止を設定する)。
		CIvIE	割り込み要求出力を許可するか否かを設定する。
10	関連する端子機能コントロールレジスタ (PFS)	PSEL、PMR	VCOUTi ポート機能を選択する。
11	IELSRn	IR、IELS[4:0]	割り込みを使用するときは、割り込みステータスフラグと ICU イベントリンクを選択する。(注2)

注. i = 0, 1

注 1. コンパレータ 0 とコンパレータ 1 を個別に設定することはできません。

注 2. コンパレータを設定した後、動作が安定するまで不要な割り込みが発生する場合があるため、割り込みフラグを初期化してください。

図 31.2 にコンパレータ i (i = 0, 1) の動作例を示します。Low-speed モードと High-speed モードのどちらでも、アナログ入力電圧が基準入力電圧より高いと COMPMDR レジスタの CiMON ビットは 1 になり、低いと 0 になります。選択した IVREF0 端子への入力電圧は基準電圧に使用されます。

図 31.2 コンパレータ i ($i = 0, 1$) の動作例

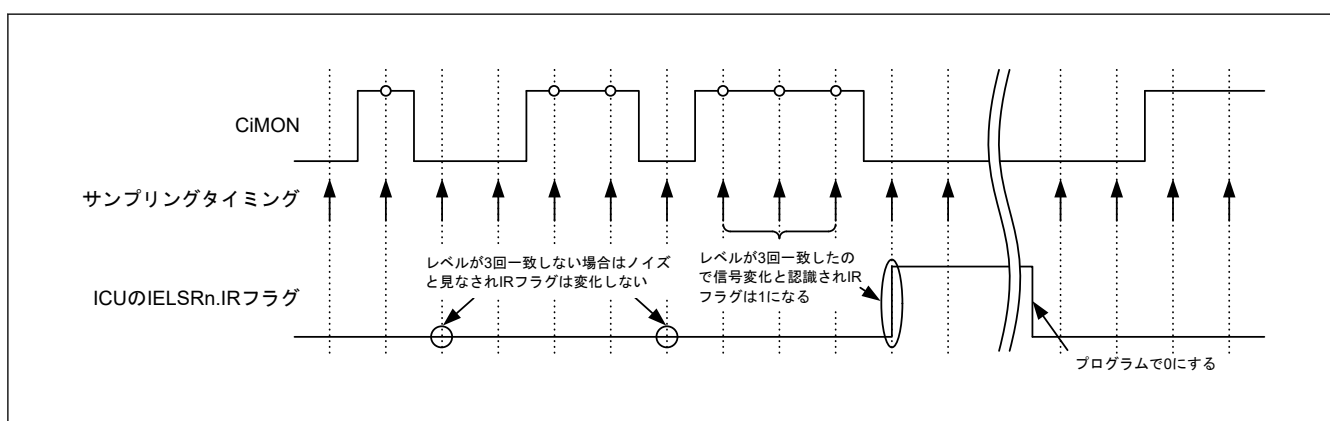
注. 上図は、COMPFIR レジスタの CiFCK[1:0] ビットが 00b (フィルタ無効) で CiEDG ビットが 1 (両エッジ) の場合を前提としています。CiEDG ビットが 0 で CiEPO ビットが 0 の場合 (立ち上がりエッジ)、IELSR.IR フラグは (A) で示すタイミングでのみ変化します。CiEDG ビットが 0 で CiEPO ビットが 1 の場合 (立ち下がりエッジ)、IELSR.IR フラグは (B) で示すタイミングでのみ変化します。

31.4.1 コンパレータ i デジタルフィルタ ($i = 0, 1$)

コンパレータ i にはデジタルフィルタがあります。COMPFIR レジスタの CiFCK[1:0] ビットでサンプリングクロックを選択できます。

コンパレータ i 出力信号はサンプリングクロックの周期でサンプリングされ、レベルが 3 回一致すると次サンプリングクロックのデジタルフィルタ出力として値が確定します。

図 31.3 に、コンパレータ i デジタルフィルタ ($i = 0, 1$) と割り込みの動作例を示します。

図 31.3 コンパレータ i デジタルフィルタ ($i = 0, 1$) と割り込みの動作例

注. 上記の動作例は、COMPFIR レジスタの CiFCK[1:0] ビットが 01b、10b、または 11b (デジタルフィルタ有効) の場合を前提としています。

31.4.2 コンパレータ i ($i = 0, 1$) 割り込み

割り込み要求は、コンパレータ 0 とコンパレータ 1 の 2 つの要因で発生します。

コンパレータ i 割り込みを使用するときは、COMPOCR レジスタの CiIE ビットを 1 (割り込み要求出力許可) にします。さらに、割り込みコントローラユニット (ICU) の IELSR レジスタを設定します。COMPFIR レジスタで割り込み要求の発生条件を設定することができます。コンパレータ出力はデジタルフィルタをパススルーすることもできます。デジタルフィルタに使用するサンプリングクロックは 3 種類の中から選ぶことができます。

レジスタ設定と割り込み要求発生の詳細については、「[31.3.2. COMPFIR : コンパレータフィルタコントロールレジスタ](#)」と「[31.3.3. COMPOCR : コンパレータ出力コントロールレジスタ](#)」を参照してください。

31.4.3 イベントリンクコントローラ (ELC) のイベント信号出力

COMPFIR レジスタで設定したデジタルフィルタ出力のエッジを検出すると ELC へのイベント信号が生成されます。これは、割り込み要求が生成される条件と同じです。しかし、割り込み要求とは異なり、ELC へのイベント信号は、COMPOCR レジスタの CiIE ビットの設定に関わらず常に出力されます。

割り込み要求とデジタルフィルタによって生成される ELC へのイベント信号出力を図 31.4 に示します。

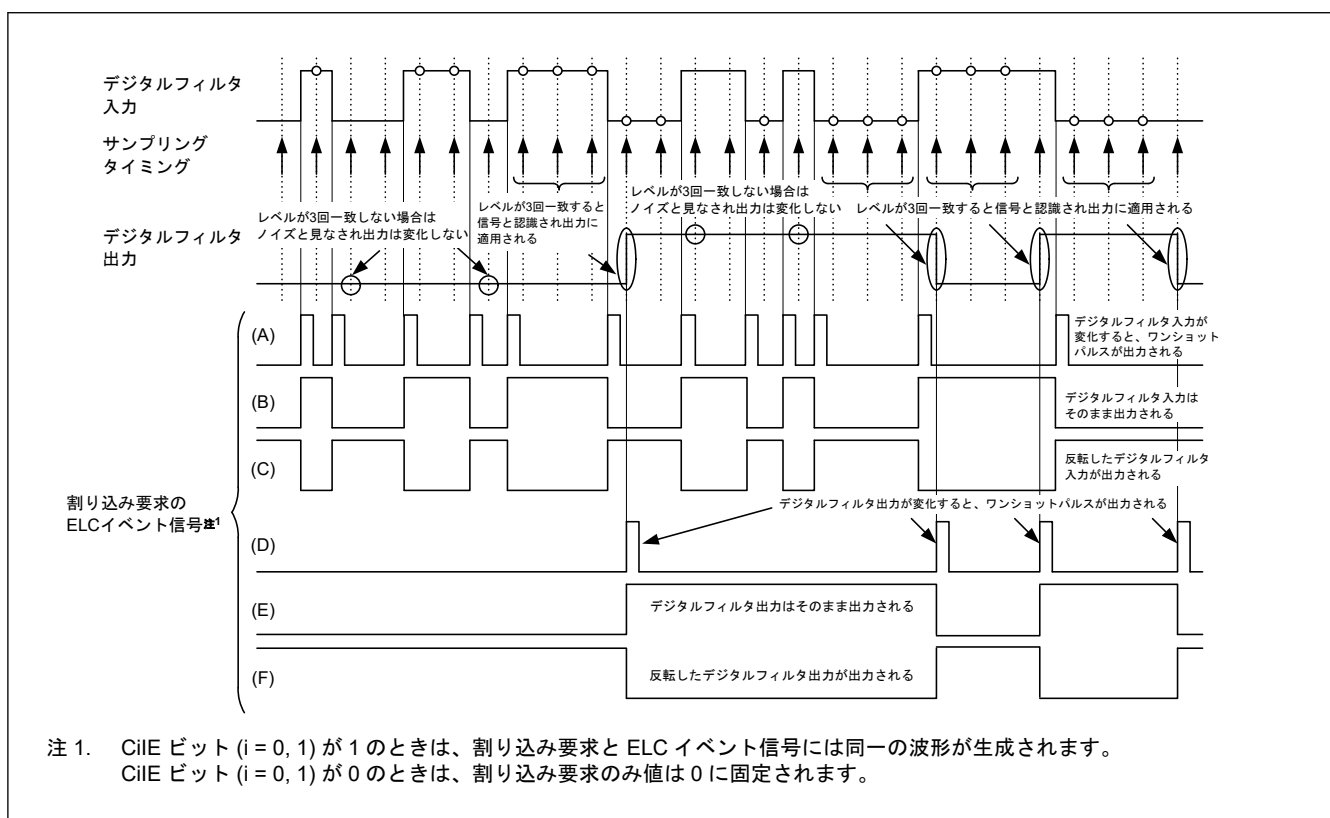


図 31.4 割り込み要求とデジタルフィルタによって生成される ELC へのイベント信号出力

(A)、(B)、(C) の各波形は、COMPFIR レジスタの CiFCK[1:0] ビット ($i = 0, 1$) が 00b (デジタルフィルタ無効) のときの動作例です。(D)、(E)、(F) の各波形は、COMPFIR レジスタの CiFCK[1:0] ビット ($i = 0, 1$) が 01b、10b、または 11b (デジタルフィルタ有効) のときの動作例です。

(A) と (D) は、CiEDG ビットが 1 (両エッジ) の場合に該当します。(B) と (E) は、CiEDG ビットが 0 かつ CiEPO ビットが 0 (立ち上がりエッジ) の場合に該当します。(C) と (F) は、CiEDG ビットが 0 かつ CiEPO ビットが 1 (立ち下がりエッジ) の場合に該当します。

31.4.4 コンパレータ i の出力 ($i = 0, 1$)

コンパレータからの比較結果は外部端子に出力できます。COMPOCR レジスタの CiOP ビットと CiOE ビットを使用して、出力極性 (非反転出力/反転出力) と出力の許可/禁止を設定できます。

レジスタ設定とコンパレータ出力の対応については、「[31.3.3. COMPOCR : コンパレータ出力コントロールレジスタ](#)」を参照してください。

コンパレータの比較結果を VCOUT i 出力端子に出力する場合は、対応するポート mn 端子機能コントロールレジスタ (PmnPFS) を I/O レジスタで設定します。

31.5 使用上の注意事項

31.5.1 DTC の起動について

次に示す条件のいずれかにおいて、DTC の起動を許可した場合、DTC 転送が開始し、転送完了後に割り込みが発生します。このため、必要に応じて、DTC が起動する前に、コンパレータの監視フラグ (CnMON) ($n = 0, 1$) を確認してください。

- コンパレータの割り込み要求発生条件の設定が、立ち上がりエッジ (CnEPO = 0) の片エッジ検出 (CnEDG = 0) で、「IVCMP > コンパレータ n の基準電圧」である
- コンパレータの割り込み要求発生条件の設定が、立ち下がりエッジ (CnEPO = 1) の片エッジ検出 (CnEDG = 0) で、「IVCMP < コンパレータ n の基準電圧」である

31.5.2 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、CMP の動作を無効または有効にすることが可能です。リセット後の初期状態では、CMP の動作は停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細は「[10. 低消費電力モード](#)」を参照してください。

31.5.3 モジュールストップ状態における CMP の動作

CMP の動作中にモジュールストップ状態に遷移すると、CMP のアナログ回路は停止せず、アナログ電源電流は CMP 使用時と同じです。モジュールストップ状態でアナログ電源電流を低減する必要がある場合、COMPMDR.CiENB ビットを 0 に設定して、CMP を停止させてください。

31.5.4 ソフトウェアスタンバイモード状態での CMP の動作

CMP の動作中にソフトウェアスタンバイモードに遷移すると、CMP のアナログ回路は停止せず、アナログ電源電流は CMP 使用時と同じです。モジュールストップ状態でアナログ電源電流を低減する必要がある場合、COMPMDR.CiENB を 0 に設定して、CMP を停止させてください。

31.5.5 基準電圧生成のための D/A コンバータの設定

D/A コンバータを設定し、基準電圧を生成してください。コンパレータを有効にする前に、D/A コンバータ変換時間だけ待機してください。同様に、D/A コンバータの設定を変更する前に、コンパレータを一時的に停止してください。D/A コンバータの設定変更後、コンパレータを有効にする前に、D/A コンバータ変換時間だけ待機してください。

32. 温度センサ回路 (TSN)

32.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を決定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 32.1 に TSN の仕様を、図 32.1 に TSN のブロック図を示します。

表 32.1 TSN の仕様

項目	内容
温度センサ電圧出力	温度センサは 12 ビット A/D コンバータへ電圧を出力します。

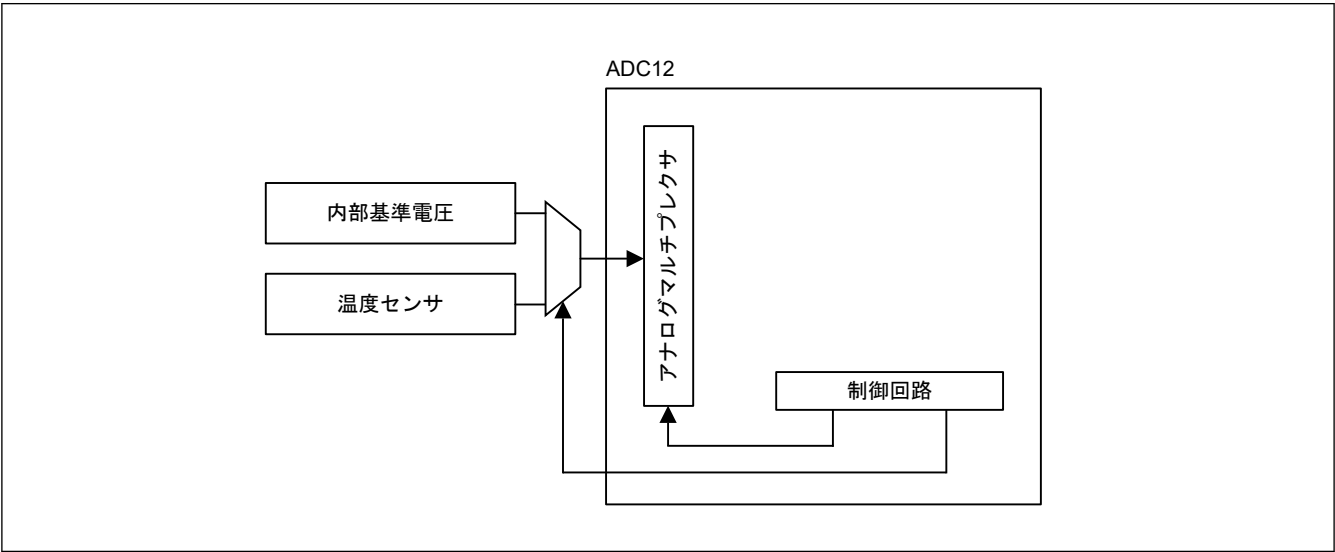


図 32.1 TSN のブロック図

32.2 レジスタの説明

32.2.1 TSCDR : 温度センサ校正データレジスタ

Base address: FLCN = 0x407E_C000
Offset Address: 0x0228

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field: TSCDR[15:0]

Value after reset: チップごとの固有値

ビット	シンボル	機能	R/W
15:0	TSCDR[15:0]	温度センサ補正データ チップごとの固有値	R

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。温度センサ校正データは、「Tj = 140°C、VCC = 3.3 V」の条件で温度センサが出力する電圧を、12 ビット A/D コンバータでデジタル変換した値です。温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されます。

32.3 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は 12 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

32.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

$$T = (V_s - V_1) / \text{slope} + T_1$$

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜 (V/°C) $\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. 12 ビット A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、12 ビット A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 ($\text{Slope} = (V_2 - V_1) / (T_2 - T_1)$) を求めます。
4. この slope の値を温度特性の式 ($T = (V_s - V_1) / \text{Slope} + T_1$) に代入し、温度を求めます。

また、「[37. 電氣的特性](#)」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

$$T = (V_s - V_1) / \text{slope} + T_1$$

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU では、「 $T_a = T_j = 140^\circ\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ 」の条件で測定した温度センサの温度値 (CAL140) が TSCDR レジスタに格納されます。この値を 1 点目の試行測定結果として使用することで、温度センサ使用前の準備を省略することができます。

V1 は CAL140 から求めます：

$$V_1 = 3.3 \times \text{CAL140} \div 4096 [\text{V}] \quad (12 \text{ ビット精度の場合})$$

となり、これを用いると、測定温度は下記の式にて算出できます。

$$T = (V_s - V_1) \div \text{slope} + 140 [^\circ\text{C}]$$

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- V1 : 「 $T_a = T_j = 140^\circ\text{C}$ 、 $V_{CC} = 3.3\text{ V}$ (V)」のときに温度センサが出力する電圧
- Slope: 温度センサの温度傾斜^(注1) / 1000 (V/°C)

注 1. 「[37. 電氣的特性](#)」を参照してください。

32.3.2 温度センサ回路の使用手順

詳細は、「[29. 12 ビット A/D コンバータ \(ADC12\)](#)」を参照してください。

33. データ演算回路 (DOC)

33.1 概要

データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用されます。以下の条件が適用される場合、割り込みが発生可能です。

- 16 ビットまたは 32 ビットの比較値が検出条件と一致するとき
- 16 ビットまたは 32 ビットのデータの加算結果がオーバーフローするとき
- 16 ビットまたは 32 ビットのデータの減算結果がアンダーフローするとき

表 33.1 にデータ演算回路の仕様を、図 33.1 にデータ演算回路のブロック図を示します。

表 33.1 DOC の仕様

項目	内容
データ演算機能	• 16 ビットまたは 32 ビットのデータの比較、しきい値を上回る、あるいは下回るデータの検出比較、およびウィンドウ比較 • 16 ビットまたは 32 ビットのデータの加算と減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込み	• 比較値が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい
イベントリンク機能 (出力)	• データ比較の結果が検出条件と一致する • データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい • データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

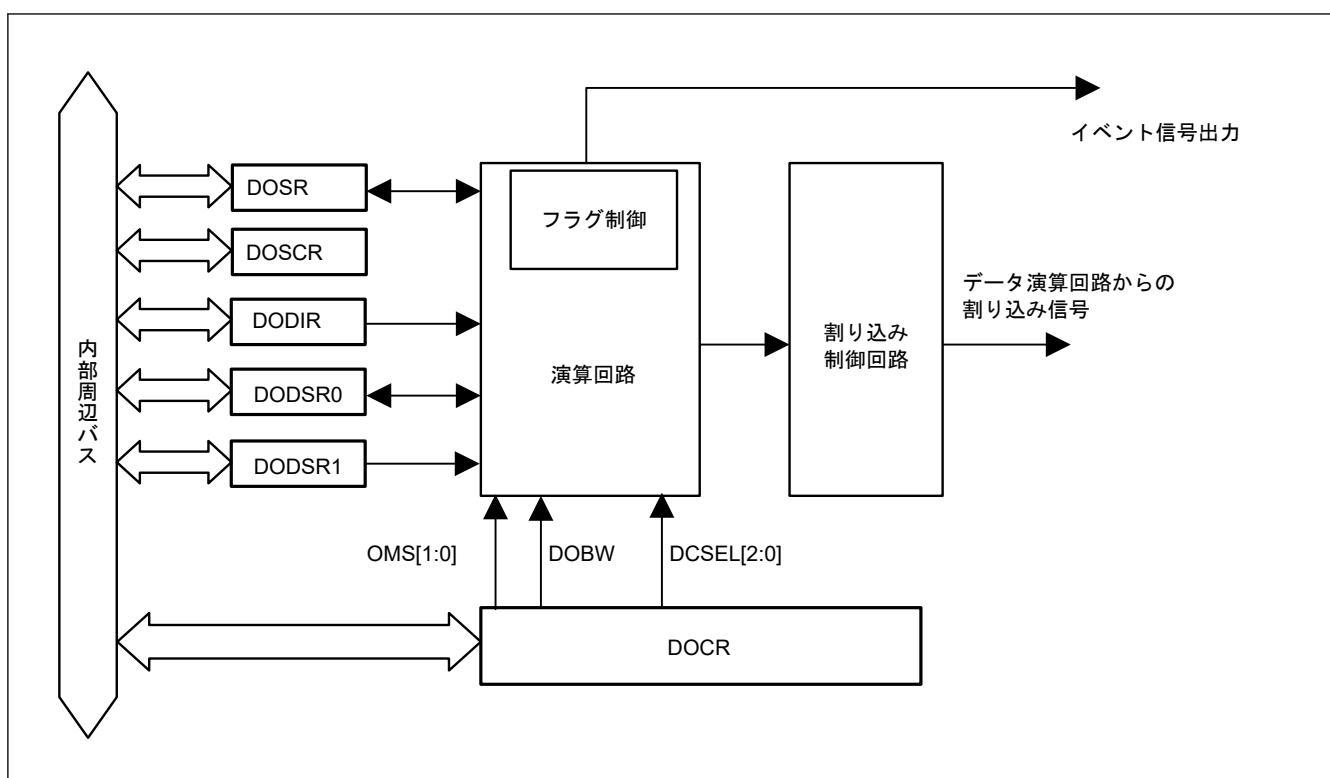


図 33.1 DOC のブロック図

33.2 レジスタの説明

33.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC = 0x4008_5F00

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DCSEL[2:0]			DOBW	—	OMS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DOBW	データ演算ビット幅選択 0: 16 ビット 1: 32 ビット	R/W
6:4	DCSEL[2:0] ^(注1)	検出条件選択 0 0 0: 不一致 (DODSR0 ≠ DODIR) 0 0 1: 一致 (DODSR0 = DODIR) 0 1 0: 小さい (DODSR0 > DODIR) 0 1 1: 大きい (DODSR0 < DODIR) 1 0 0: 範囲内 (DODSR0 < DODIR < DODSR1) 1 0 1: 範囲外 (DODIR < DODSR0, DODSR1 < DODIR) その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. データ比較モード選択時のみ有効

DOCR は、データ演算回路の動作モードと割り込みの許可／禁止を設定できるレジスタです。

OMS[1:0]ビット（動作モード選択）

これらのビットは、データ演算回路の動作モードを選択します。

DOBW ビット（データ演算ビット幅選択）

このビットは、データ演算のビット幅を選択します。

DCSEL[2:0]ビット（検出条件選択）

これらのビットは、データ比較モード選択時のみ有効です。

これらのビットは、データ比較モードにおける検出条件を選択します。

33.2.2 DOSR: DOC フラグステータスレジスタ

Base address: DOC = 0x4008_5F00

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPC F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCF	データ演算回路フラグ 演算結果を示します。	R
7:1	—	読むと 0 が読めます。	R

DOSR レジスタは、データ演算のステータスを表示するレジスタです。

DOPCF フラグ（データ演算回路フラグ）

[1 になる条件]

- DOCR.OMS[1:0] = 00b（データ比較モード）：比較値が DOCR.DCSEL[2:0] ビットで選択した検出条件と一致する
- DOCR.OMS[1:0] = 01b（データ加算モード）：データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- DOCR.OMS[1:0] = 10b（データ減算モード）：データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

[0 になる条件]

- DOSCR.DOPCFCL ビットに 1 を書いたとき

33.2.3 DOSCR : DOC フラグステータスクリアレジスタ

Base address: DOC = 0x4008_5F00

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DOPCFCL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DOPCFCL	DOPCF クリア 0: DOPCF フラグの状態を維持 1: DOPCF フラグをクリア	W
7:1	—	書く場合、0 としてください。	W

DOSCR は、データ操作のステータスをクリアできるレジスタです。このレジスタを読むと 0x00 が読めます。

DOPCFCL ビット（DOPCF クリア）

このビットを 1 にすると DOPCF フラグをクリアします。

33.2.4 DODIR : DOC データインプットレジスタ

Base address: DOC = 0x4008_5F00

Offset address: 0x0C

Bit position:	31	0
Bit field:		
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	n/a	DODIR レジスタは、演算対象のデータを格納する読み書き可能なレジスタです。 DOCR.DOBW ビットによって選択されたデータ操作のビット幅で DODIR にアクセスします。	R/W

33.2.5 DODSR0 : DOC データ設定レジスタ 0

Base address: DOC = 0x4008_5F00

Offset address: 0x10

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットによって選択されたデータ操作のビット幅で DODSR0 にアクセスします。 このレジスタはデータ比較モードで基準として使用されるデータを格納します。ウィンドウ比較の選択時は (DOCR.DCSEL[2:0] = 100b, 101b)、DODSR1 未満の値を設定します (DODSR1 > DODSR0)。 また、データ加算モードおよびデータ減算モードでは演算結果を格納します。	R/W

33.2.6 DODSR1: DOC データ設定レジスタ 1

Base address: DOC = 0x4008_5F00

Offset address: 0x14

Bit position: 31

0

Bit field:

Value after reset: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
31:0	n/a	DOCR.DOBW ビットによって選択されたデータ操作のビット幅で DODSR1 にアクセスします。 このレジスタはデータ比較モードで基準として使用されるデータを格納します。ウィンドウ比較の選択時は (DOCR.DCSEL[2:0] = 100b, 101b)、DODSR0 より大きい値を設定します (DODSR1 > DODSR0)。 このレジスタは、ウィンドウ比較にのみ使用されます。	R/W

33.3 動作説明

33.3.1 データ比較モード

図 33.2 から図 33.7 に、データ演算回路によるデータ比較モードの動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

- DOCR.OMS[1:0] ビットに 00b を書き込むと、データ比較モードが選択されます。DOCR.DCSEL[2:0] ビットを設定すると、検出条件が選択されます。
- DODSR0 および DODSR1 レジスタに、基準となる 32 ビットのデータを設定します。(注1)
- DODIR レジスタに、比較する 32 ビットのデータを書き込みます。
- DODIR に書き込まれた値が DOCR.DCSEL[2:0] ビットで設定した検出条件と一致すると、DOCR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注. 比較演算は、DODIR に書き込むことによるのみ実行されます

注 1. DODSR1 レジスタ設定は、ウィンドウ比較が選択された場合のみ必要です。DODSR0 より大きい値を設定してください (DODSR1 > DODSR0)。

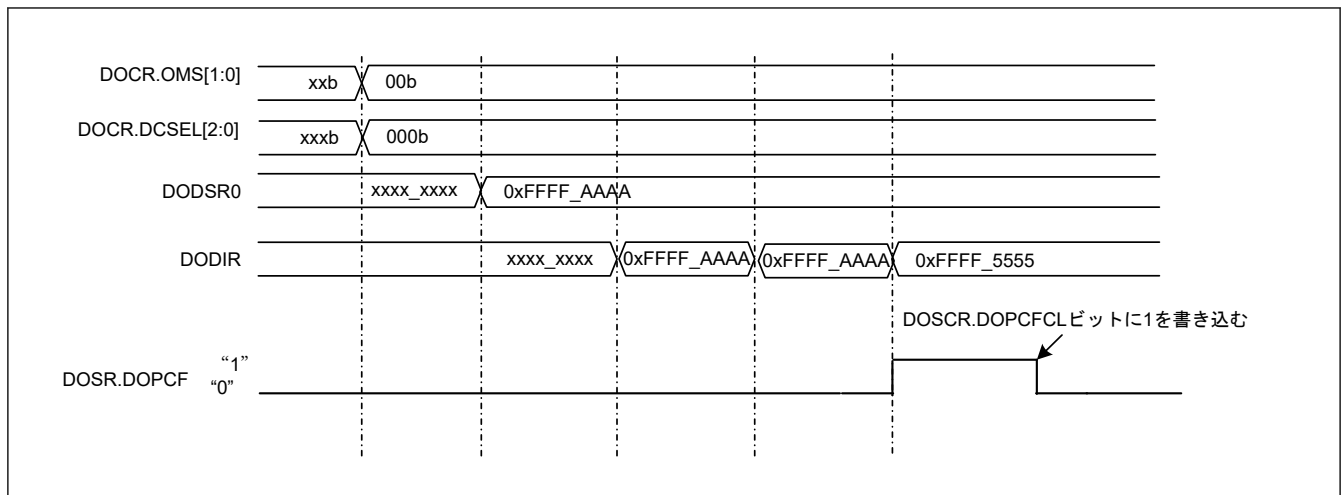


図 33.2 データ比較モードの動作例 (検出条件：不一致)

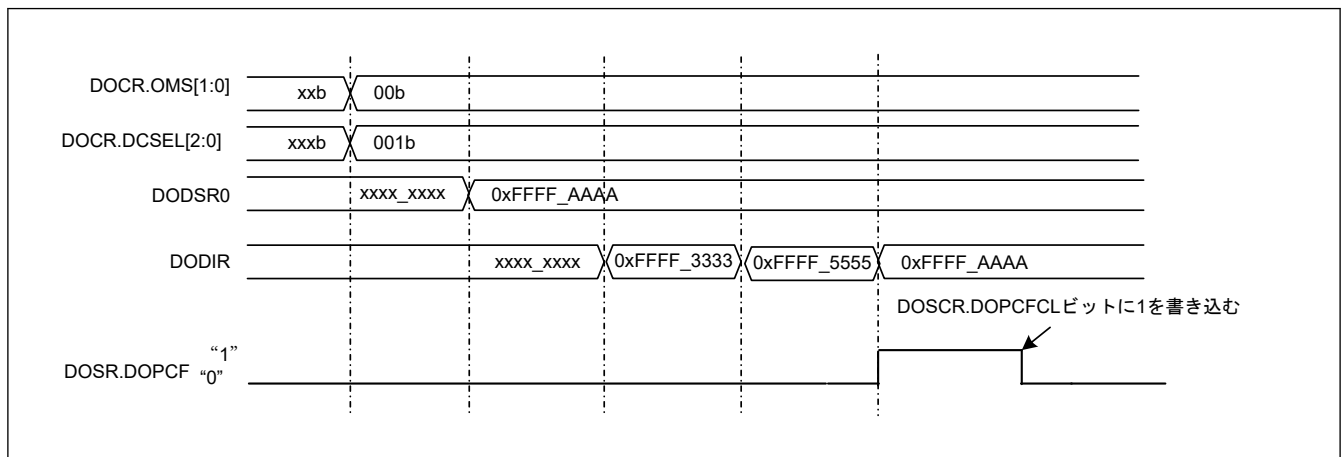


図 33.3 データ比較モードの動作例 (検出条件：一致)

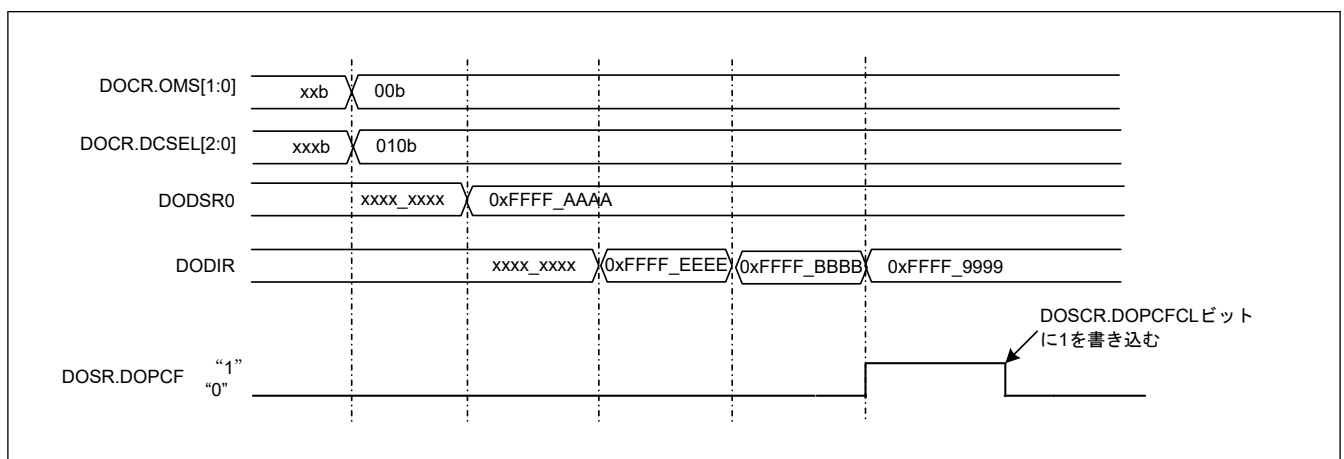


図 33.4 データ比較モードの動作例 (検出条件：小さい)

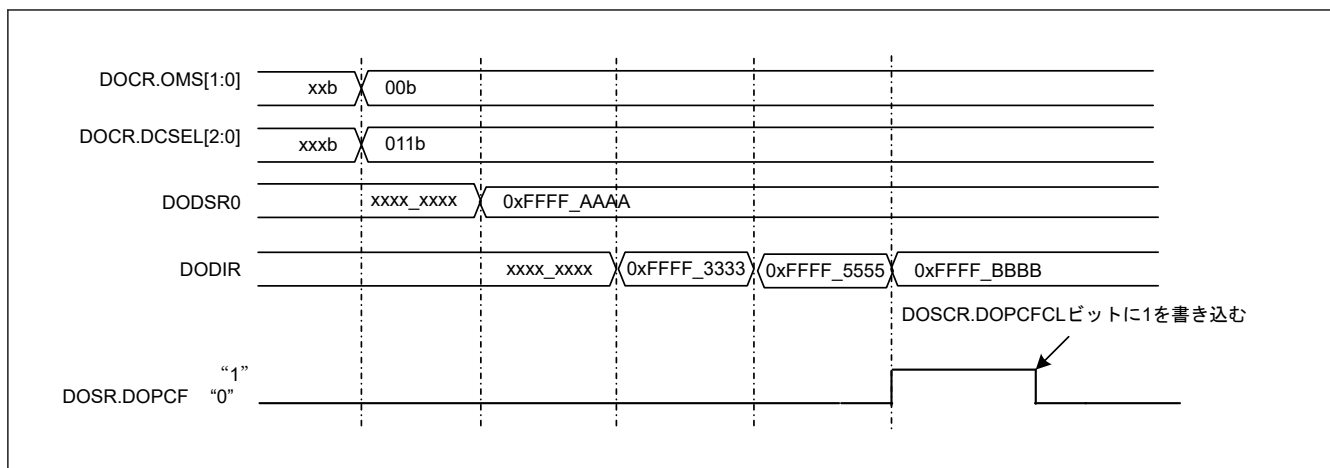


図 33.5 データ比較モードの動作例 (検出条件：大きい)

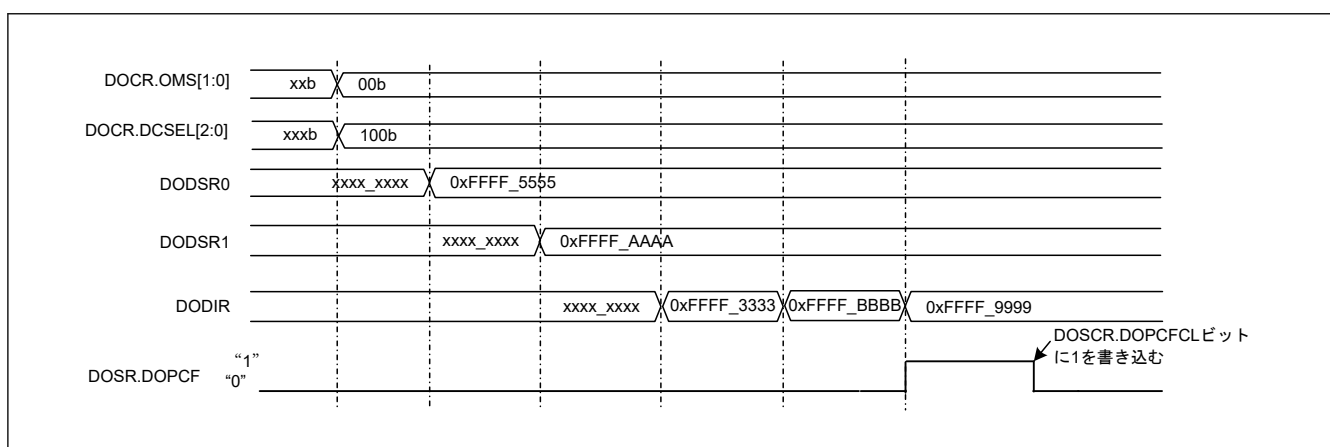


図 33.6 データ比較モードの動作例 (検出条件：範囲内)

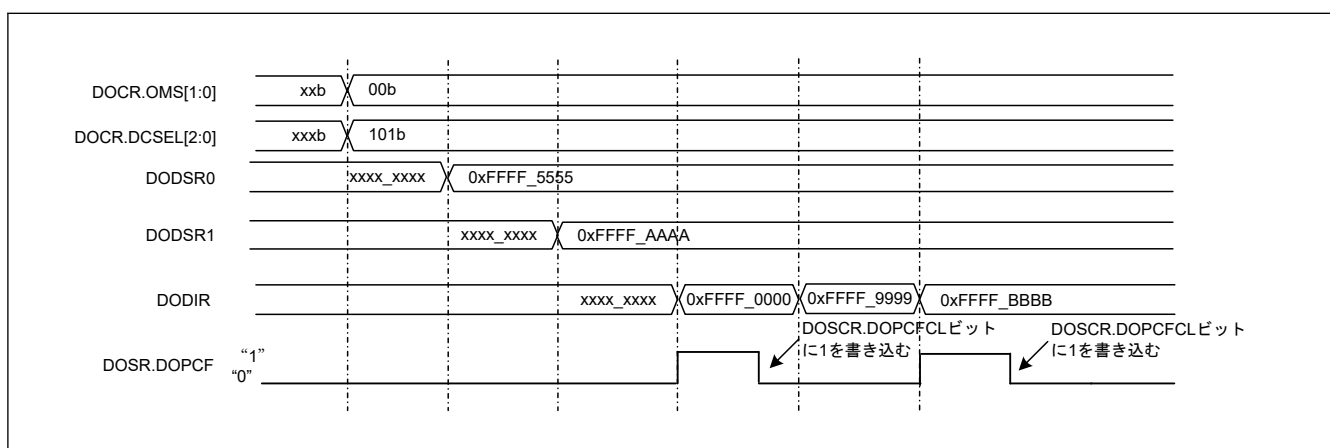


図 33.7 データ比較モードの動作例 (検出条件：範囲外)

33.3.2 データ加算モード

図 33.8 に、データ演算回路によるデータ加算モード(注1)動作の手順例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. **DOCR.OMS[1:0]**ビットに `01b` を書き込むと、データ加算モードになります。
2. **DODSR0** レジスタに初期値として 32 ビットのデータを設定します。
3. 加算される 32 ビットデータが **DODIR** に書き込まれます。演算結果は **DODSR0** レジスタに格納されます。

4. 加算するすべてのデータの書き込みが完了するまで、続けて 32 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0xFFFF_FFFF より大きい場合、DOSR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1. 加算は、DODIR への書き込みによってのみ実行されます。

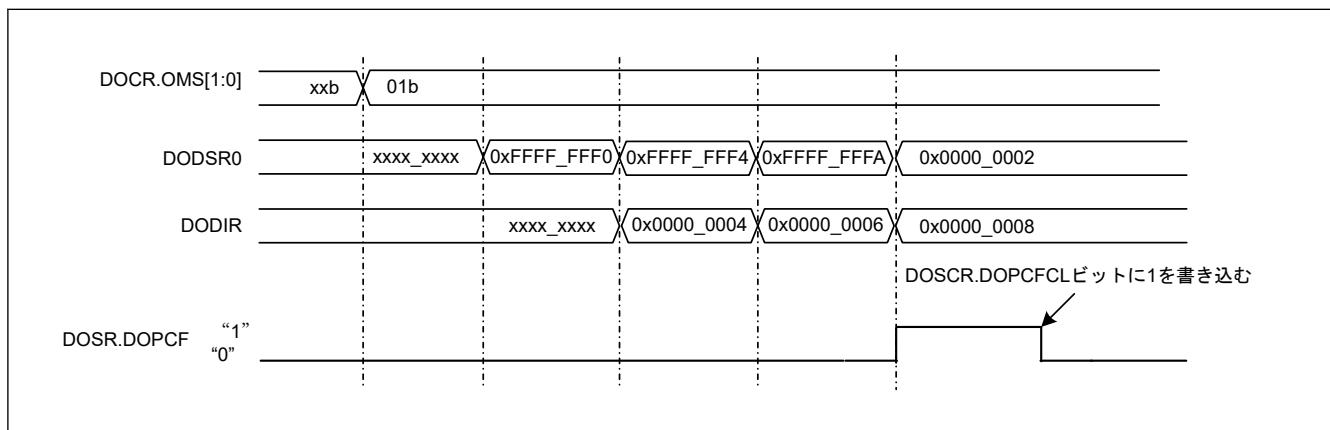


図 33.8 データ加算モードの動作例

33.3.3 データ減算モード

図 33.9 にデータ演算回路によるデータ減算モード(注1)の動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCSR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. DODIR レジスタに減算する 32 ビットのデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
4. すべての減算データの書き込みが完了するまで、DODIR レジスタに減算する 32 ビットのデータを書き込みます。
5. 演算結果が 0x0000_0000 より小さい場合、DOSR.DOPCF フラグが 1 になり、ELC イベントとデータ演算回路割り込みが発生します。

注 1. 減算は、DODIR への書き込みによってのみ実行されます。

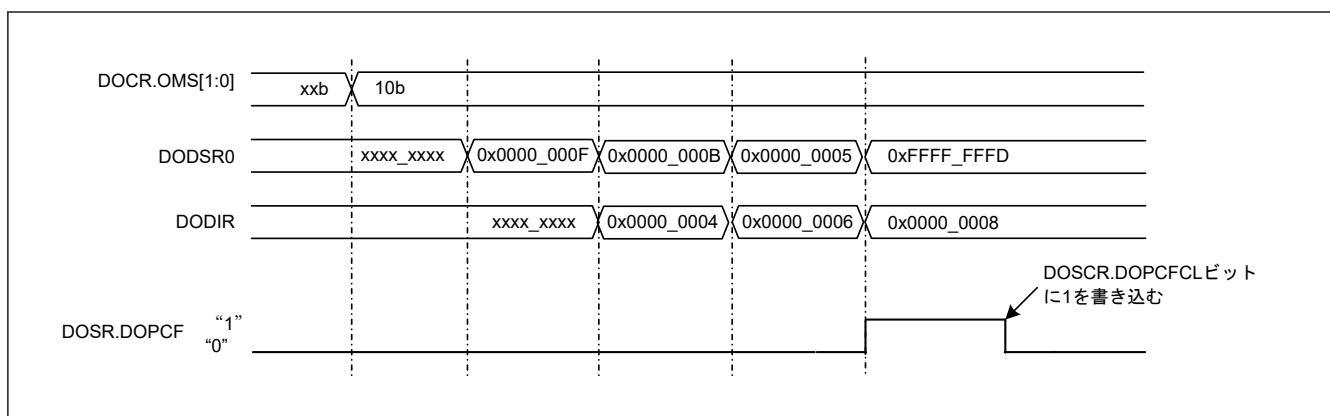


図 33.9 データ減算モードの動作例

33.4 割り込み要因

データ演算回路は、割り込み要求として、データ演算回路割り込み (DOC_DOPCI) を生成します。割り込み要因が発生すると、割り込みに対応するデータ演算回路フラグが 1 になり、その後割り込み要求信号が発生します。表 33.2 に割り込み要求を示します。

表 33.2 DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	- 比較した値が検出基準に一致している - データ加算の結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい - データ減算の結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

33.5 イベントリンク出力

DOC は以下の条件でイベントリンクコントローラ (ELC) にイベント信号を出力することで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

- 比較した値が検出基準に一致している
- データの加算結果が 0xFFFF (DOCR.DOBW = 0) または 0xFFFF_FFFF (DOCR.DOBW = 1) より大きい
- データ減算結果が 0x0000 (DOCR.DOBW = 0) または 0x0000_0000 (DOCR.DOBW = 1) より小さい

33.6 使用上の注意事項

33.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止／許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

34. SRAM

34.1 概要

本 MCU は、パリティビットチェック機能または誤り訂正コード (ECC) を備えた高密度内蔵 SRAM モジュールを搭載しています。ECC の対象は SRAM0 の最初の 4 KB 領域です。パリティチェックは、その他の領域で実行されます。

SRAM の仕様を表 34.1 に示します。

表 34.1 SRAM の仕様

項目	ECC なし	ECC あり
SRAM 容量	SRAM0: 12 KB	SRAM0: 4 KB
SRAM アドレス	SRAM0: 0x2000_4000~0x2000_6FFF	SRAM0: 0x2000_0000~0x2000_0FFF
アクセス	0 ウェイト 詳細は、「34.3.6. アクセスサイクル」を参照してください。	
パリティ	8 ビットデータと 1 ビットパリティの偶数パリティ	パリティなし
エラーチェック	偶数パリティエラーチェック	1 ビット誤り訂正、最大 2 ビットの誤り検出

34.2 レジスタの説明

34.2.1 PARIOAD : SRAM パリティエラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、常に SRAMPRCR レジスタの SRAMPRCR ビットを 1 に設定してください。SRAM にアクセス中は、PARIOAD レジスタへ書き込まないでください。

OAD ビット (検出後の動作)

OAD ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。一般に、OAD ビットは、SRAM0 (ECC なし) で使用されます。

34.2.2 SRAMPRCR : SRAM プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW[6:0]							SRAM PRCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRAMPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード SRAMPRCR ビットへの書き込みを許可または禁止します。	W

SRAMPRCR ビット (レジスタ書き込み制御)

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合は、常に KW[6:0] ビットに 0x78 を同時に書き込んでください。

KW[6:0] ビット (書き込みキーコード)

KW[6:0] ビットは、SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、常にそれらのビットに 0x78 を同時に書き込んでください。0x78 以外の値を KW[6:0] ビットに書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 0x00 が読み出されます。

34.2.3 ECCMODE : ECC 動作モードコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ECCMOD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ECCMOD[1:0]	ECC 動作モード選択 0 0: ECC 機能は無効 0 1: 設定禁止 1 0: ECC 機能は有効/エラーチェックなし 1 1: ECC 機能は有効/エラーチェックあり	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCMODE レジスタへの書き込み中は、SRAM にアクセスしないでください。

ECCMOD[1:0] ビット (ECC 動作モード選択)

ECCMOD[1:0] ビットは、SRAM0 の ECC 領域へのアクセスモードを設定します。

34.2.4 ECC2STS : ECC 2 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC2 ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC2ERR	ECC 2 ビットエラーステータス 0: ECC 2 ビットエラー発生なし 1: ECC 2 ビットエラー発生	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC2ERR ビット (ECC 2 ビットエラーステータス)

ECC2ERR ビットは SRAM0 の ECC 領域で ECC 2 ビットエラーが発生したかどうかを示します。「ECC 有効/エラーチェックあり」の場合、2 ビットエラーが検出されると ECC2ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC2ERR ビットに 0 を書き込むことにより、ECC 2 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にアクセスしないでください。

34.2.5 ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	E1STS EN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	E1STSEN	ECC 1 ビットエラー情報更新許可 0: ECC 1 ビットエラー情報の更新禁止 1: ECC 1 ビットエラー情報の更新許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ECC1STSEN レジスタは、SRAM0 (ECC 領域) の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。

E1STSEN ビット (ECC 1 ビットエラー情報更新許可)

E1STSEN ビットは、SRAM0 の ECC 領域における 1 ビットエラー発生時に、SRAM (ECC 領域) の 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可または禁止します。このレジスタは、割り込みまたはリセットマスクとしても機能します。

34.2.6 ECC1STS : ECC 1 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC1 ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC1ERR	ECC 1 ビットエラーステータス 0: ECC 1 ビットエラー発生なし 1: ECC 1 ビットエラー発生	R/(W) (注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC1ERR ビット (ECC 1 ビットエラーステータス)

ECC1ERR ビットは SRAM0 の ECC 領域で ECC 1 ビットエラーが発生したかどうかを示します。「ECC 有効/エラーチェックあり」の場合、1 ビットエラーが検出されると ECC1ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC1ERR ビットに 0 を書き込むことにより、ECC 1 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にアクセスしないでください。

34.2.7 ECCPRCR : ECC プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW[6:0]							ECCP RCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード 0x78: ECCPRCR ビットへの書き込み許可 その他: ECCPRCR ビットへの書き込みを禁止	W

ECCPRCR ビット (レジスタ書き込み制御)

ECCPRCR ビットは、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタの書き込みを制御します。本ビットが 1 のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。本ビットへ書き込む際は、同時に KW[6:0] ビットに 0x78 を書き込んでください。

KW[6:0] ビット (書き込みキーコード)

KW[6:0] ビットは、ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 0x78 を書き込んでください。0x78 以外の値を KW[6:0] ビットに書き込むと、ECCPRCR ビットは更新されません。KW[6:0] ビットは読むと常に 0x00 が読み出されます。

34.2.8 ECCPRCR2 : ECC プロテクトレジスタ 2

Base address: SRAM = 0x4000_2000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW2[6:0]							ECCP RCR2
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR2	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW2[6:0]	書き込みキーコード 0x78: ECCPRCR2 ビットへの書き込みを許可 その他: ECCPRCR2 ビットへの書き込みを禁止	W

ECCPRCR2 ビット（レジスタ書き込み制御）

ECCPRCR2 ビットは、ECCETST レジスタのライトモードを制御します。ECCPRCR2 ビットが 1 のとき、ECCETST レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW2[6:0] ビットに 0x78 を書き込んでください。

KW2[6:0] ビット（書き込みキーコード）

KW2[6:0] ビットは、ECCPRCR2 ビットへの書き込みを許可または禁止します。ECCPRCR2 ビットに書き込む場合、同時に KW2[6:0] ビットに 0x78 を書き込んでください。0x78 以外の値を KW2[6:0] ビットに書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0] ビットは読むと常に 0x00 が読み出されます。

34.2.9 ECCETST : ECC テストコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TSTB YP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTBYP	ECC バイパス選択 0: ECC バイパスは無効 1: ECC バイパスは有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタへの書き込みは ECC プロテクトレジスタ 2 (ECCPRCR2) によって保護されています。まず、ECCPRCR2 レジスタの ECCPRCR2 ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCETST レジスタへの書き込み中は、SRAM にアクセスしないでください。

TSTBYP ビット（ECC バイパス選択）

TSTBYP ビットは、ECC 機能をバイパスして ECC コードへの直接アクセスを許可します。ECC バイパス機能は、ECCMODE.ECCMOD[1:0] ビットを 00b にして使用します。ECC は、32 ビットデータと同じアドレスで、32 ビットでアクセスしてください。ECC コードは、32 ビットデータの下位 7 ビットに割り当てられます。ECC コード書き込みの際、上位 25 ビットは無視されます。ECC コード読み出しの際、上位 25 ビットは不定値が読み出されます。

注. ECC テストの詳細については、「34.3.3. ECC デコーダのテスト方法」を参照してください。

34.2.10 ECCOAD : SRAM ECC エラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCOAD レジスタへの書き込み中は、SRAM にアクセスしないでください。

OAD ビット（検出後の動作）

OAD ビットは、ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD レジスタの OAD ビットは、SRAM0（ECC 領域）で使用されます。

34.3 動作説明

34.3.1 ECC 機能

ECC 機能は、ECCMODE レジスタの設定によって、有効または無効に設定可能です。デフォルトでは、ECC 機能は無効で、ECC チェックのタイプは SEC-DED（Single-Error-Correction/Double-Error-Detection：単一誤り訂正/二重誤り検出）です。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 ビットのチェックビットが付与されます。読み出し時は、SRAM（ECC 領域）から 39 ビットデータ（32 ビットデータと 7 ビットのチェックビット）が読み出されます。

ECC 機能とエラーチェックの両方が有効の場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。ビットエラーが発生すると、誤りが検出され（誤り訂正なし）、ECC2STS.ECC2ERR ビットが 1 になります。

「ECC 有効/エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、誤りが検出されますが ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。そのため、ECC1ERR ビットまたは ECC2ERR ビットの更新は行われません。

エラーを検出した場所は確認できません。そのため、エラー発生後は SRAM に 32 ビットデータを書き込んで、すべてのデータを更新してください。

電源投入後、SRAM データは不定です。そのため、ECC 機能とエラーチェックの両方が有効の場合、SRAM にアクセスを行うと ECC エラーが発生します。この問題を避けるには、ECC 機能を使用する前に、SRAM で使用する領域に 32 ビットデータを書き込んでください。

ライトアクセスの後にリードアクセスが続いて発生すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

34.3.2 ECC エラー発生

SRAM0（ECC 領域）が「ECC 有効/エラーチェックあり」モードのとき、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 になると、ECC エラーが発生します。

ECC 1 ビットエラーをマスクする場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 無効時、または「ECC 有効／エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ECCOAD レジスタでの指定に基づきノンマスカブル割り込みまたはリセットのいずれかを発生させます。ECCOAD.OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD.OAD ビットが 0 のとき、ECC エラーはノンマスカブル割り込みとして ICU に出力されます。

34.3.3 ECC デコーダのテスト方法

図 34.1 に ECC デコーダのテスト方法を示します。

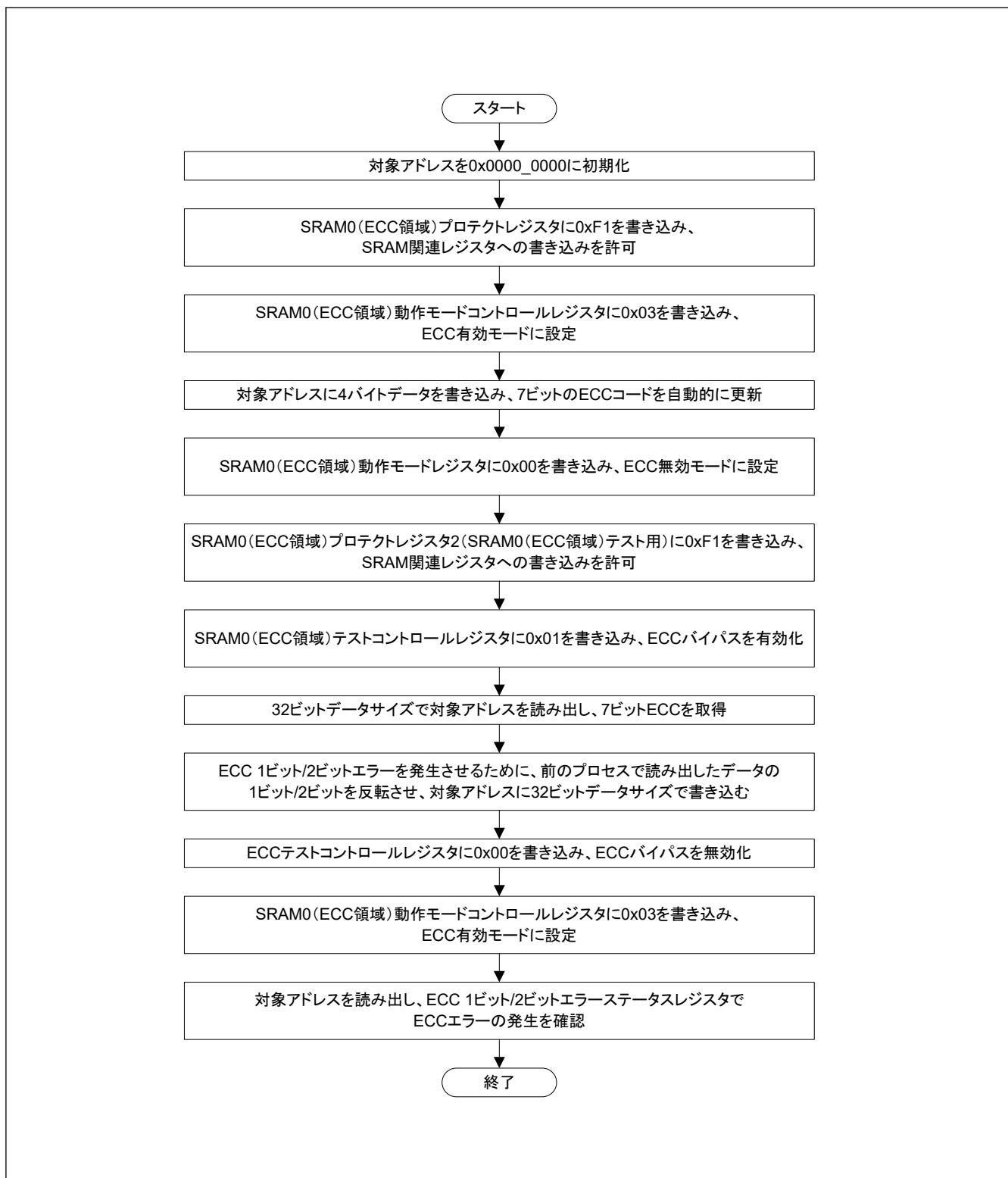


図 34.1 ECC デコーダのテスト方法

34.3.4 パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、PARIOAD.OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

パリティエラーはノイズにより発生することもあります。パリティエラーの原因がノイズか破損かを確認するには、図 34.2 および図 34.3 に示されたパリティチェックフローに従ってください。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。

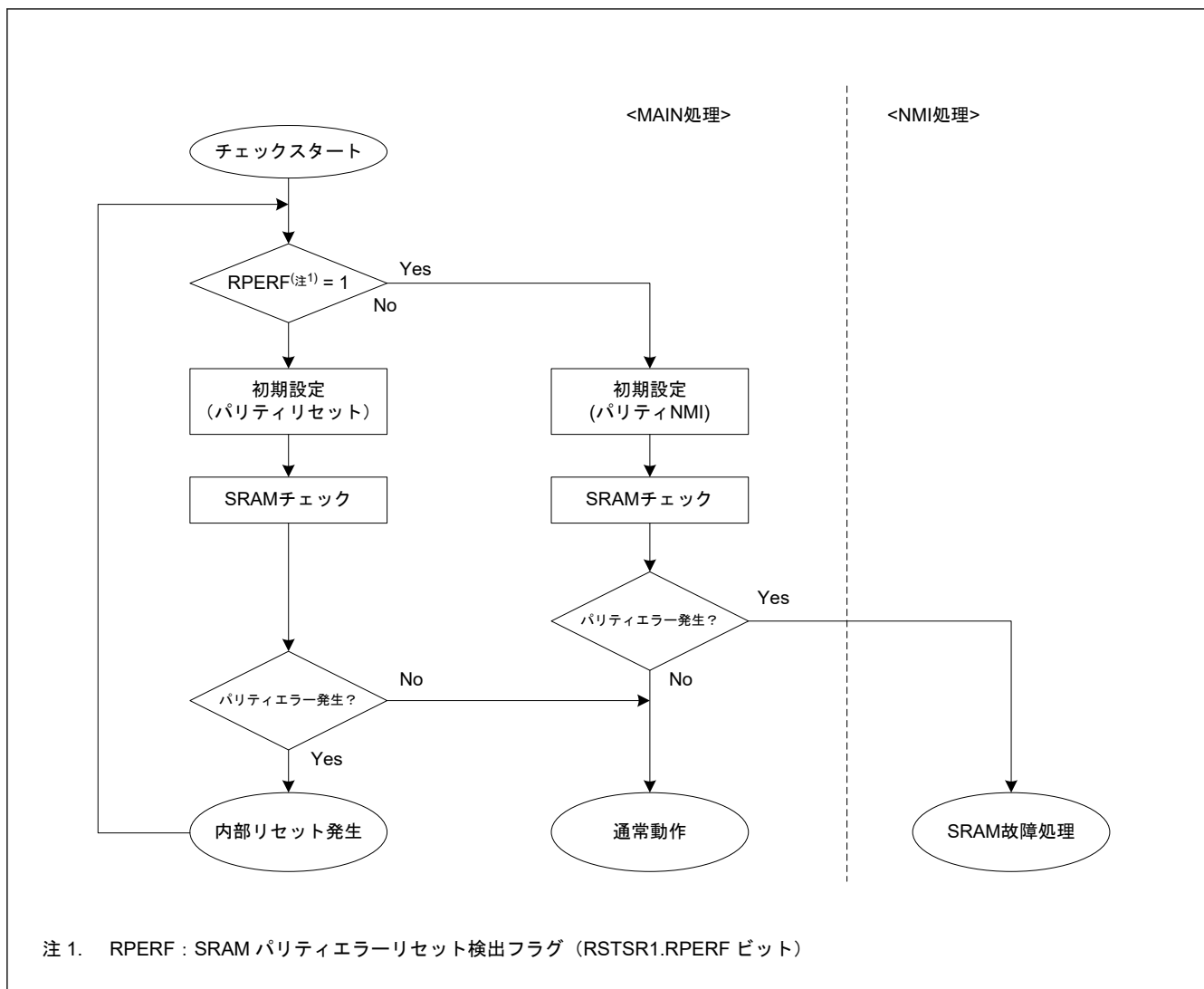


図 34.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー

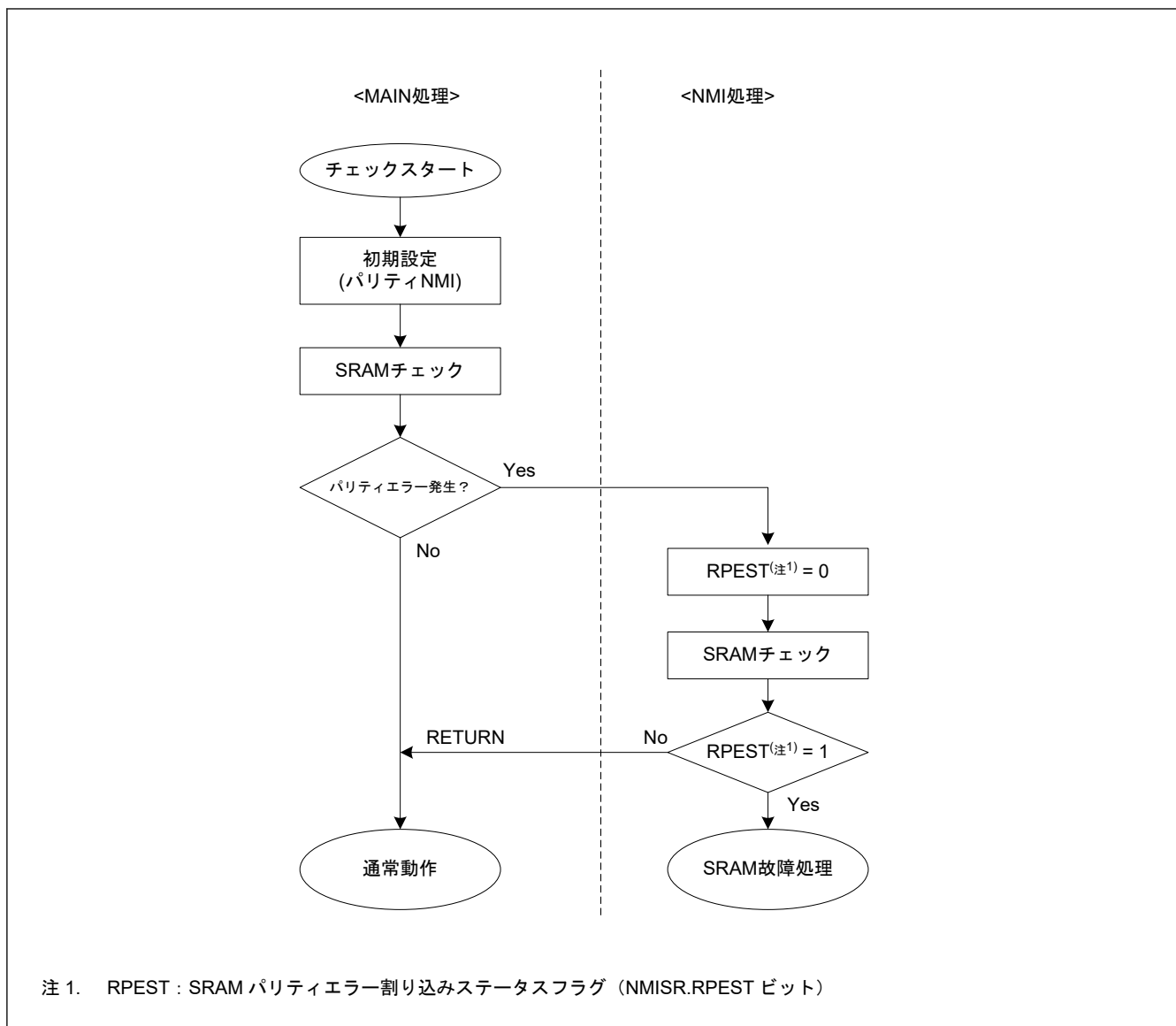


図 34.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

34.3.5 SRAM エラー要因

SRAM エラーの要因は、ECC エラーまたはパリティエラーのいずれかです。ECC エラーおよびパリティエラーは、PARIOAD.OAD ビットの選択に基づき、ノンマスカブル割り込みまたはリセットのいずれかを発生させることが可能です。SRAM ECC エラーおよび SRAM パリティエラーでは、DTC の起動はサポートされていません。

表 34.2 SRAM エラー要因

SRAM エラー要因	DTC の起動
ECC エラー (ECC ありの SRAM0 領域)	不可能
パリティエラー (ECC なしの SRAM0 領域)	不可能

34.3.6 アクセスサイクル

表 34.3 SRAM0 (ECC 領域 0x2000_0000~0x2000_0FFF)

ECC On/Off	読み出し (サイクル)		書き込み (サイクル)	
	ワードアクセス	ハーフワード/バイトアクセス	ワードアクセス	ハーフワード/バイトアクセス
ECC Off ECCMOD[1] = 0	2		2	
ECC On ECCMOD[1] = 1	2		2	4

表 34.4 SRAM0 (パリティ領域 0x2000_4000~0x2000_6FFF)

読み出し (サイクル)		書き込み (サイクル)	
ワードアクセス	ハーフワード/バイトアクセス	ワードアクセス	ハーフワード/バイトアクセス
2		2	

34.3.7 低消費電力機能

SRAM0 のヘッド領域である SRAM0 (パリティ領域) の 4KB (0x2000_4000~0x2000_4FFF) を除き、SRAM0 の供給電圧はオフにできるため、ソフトウェアスタンバイモードでの消費電力はさらに低減できます。ソフトウェアスタンバイモードの詳細は、「[10. 低消費電力モード](#)」を参照してください。

34.4 使用上の注意事項

34.4.1 SRAM 領域からの命令フェッチ

SRAM0 を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチすると、ECC エラーまたはパリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 2 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

34.4.2 SRAM ストアバッファ

SRAM と CPU 間の高速アクセスのために、ストアバッファを使用します。SRAM へのストア命令の後、ロード命令が同じアドレスから実行されるとき、ロード命令は、SRAM のデータを読み出す代わりにバッファからデータを読み出すことがあります。SRAM のデータを正しく読み出すためには、以下の手順のいずれかを使います。

- SRAM (address = A) へ書き込みを行った後、C.NOP 命令を 2 回使い、それから SRAM (address = A) から読み出しを行います。
- SRAM (address = A) へ書き込みを行った後、SRAM 以外の領域からデータ読み出しを行い、それから SRAM (address = A) から読み出しを行います。
- SRAM (address = A) へ書き込みを行った後、SRAM (address ≠ A) へ書き込みを行い、それから SRAM (address = A) から読み出しを行います。

35. フラッシュメモリ

35.1 概要

本 MCU は、最大 128 KB のコードフラッシュメモリと 4 KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールブロック (FCB) は、プログラムコマンドを制御します。本製品では Silicon Storage Technology 社のライセンスである SuperFlash®技術を使用しています。

表 35.1 にコードフラッシュメモリとデータフラッシュメモリの仕様を、図 35.1 に関連モジュールのブロック図を示します。図 35.2 にコードフラッシュメモリの構成を、図 35.3 にデータフラッシュメモリの構成を示します。

表 35.1 コードフラッシュメモリとデータフラッシュメモリの仕様 (1/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	128 KB のユーザー領域 - コンフィグレーション設定領域 (「6. オプション設定メモリ」を参照)	4 KB のデータ領域
リードサイクル	- ICLK 周波数 ≤ 48 MHz MEMWAIT = 1 (ウェイトあり) 1 回の読み出し動作に 3 サイクル必要 - ICLK 周波数 ≤ 32 MHz MEMWAIT = 0 (ウェイトなし) 1 回の読み出し動作に 2 サイクル必要	- ICLK 周波数 ≤ 48 MHz FLDWAIT1 = 1 (2 ウェイトあり) 1 回の読み出し動作に 4 サイクル必要 - ICLK 周波数 ≤ 32 MHz MEMWAIT = 0 (1 ウェイトあり) 1 回の読み出し動作に 3 サイクル必要
イレース後の値	0xFF	0xFF
プログラム/イレース方式	- レジスタに設定した FCB コマンドを使用してコードフラッシュメモリおよびデータフラッシュメモリをプログラム/イレース - 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム (シリアルプログラミング) - ユーザープログラムによるフラッシュメモリのプログラム (セルフプログラミング) (注1)	
プロテクション機能	フラッシュメモリの不正改ざん/不正リードを防止 フラッシュメモリの誤オーバーライトを防止 - ユーザー ID - フラッシュ読み出し保護 オンチップデバッグ接続プロテクション - オンチップデバッグへの接続を OCDDIS ビットで保護	
バックグラウンド動作 (BGO)	データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム/イレース単位	- ユーザー領域のプログラム : 64 ビット単位 - ユーザー領域のイレース : 2 KB 単位 - データ領域のプログラム : 8 ビット単位 - データ領域のイレース : 1 KB 単位	
ソフトウェアコマンド	シリアルプログラミングモードまたはセルフプログラミングモードには以下のコマンドとプログラムがあります。 - ブランクチェック - ブロックイレース - チップイレース - プログラム - アクセスウィンドウ情報プログラム - スタートアップ領域情報およびプロテクションプログラム - ユーザー ID 情報プログラム シリアルプログラミングモードでは、チェックサムを実行できます。 - セルフプログラミングモードでは、ブロックイレースコマンドのサスペンドを実行できます。	
スタートアッププログラムプロテクション機能	ユーザー領域 (最初の 32 KB のアドレス) は 16 KB 単位でスワップ可能です。	
その他の機能	セルフプログラミング中の割り込み受け付け	
	本 MCU の初期設定でフラッシュメモリ拡張領域 (オプションバイト) の設定可能	

表 35.1 コードフラッシュメモリとデータフラッシュメモリの仕様 (2/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
オンボードプログラミング	シリアルプログラミングモード (UART (SAU) ブートモード) でのプログラム - 調歩同期式シリアルインターフェース (SAU_2) を使用 - 転送速度は自動調整 オンチップデバッグモードによるプログラム - cJTAG インターフェースを使用 - 専用ハードウェアは必要なし ユーザープログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム - システムをリセットすることなくコードフラッシュメモリ/データフラッシュメモリのプログラムが可能	

注 1. HOCO を安定的に発振させてください。「[35.12. セルフプログラミング](#)」を参照してください。

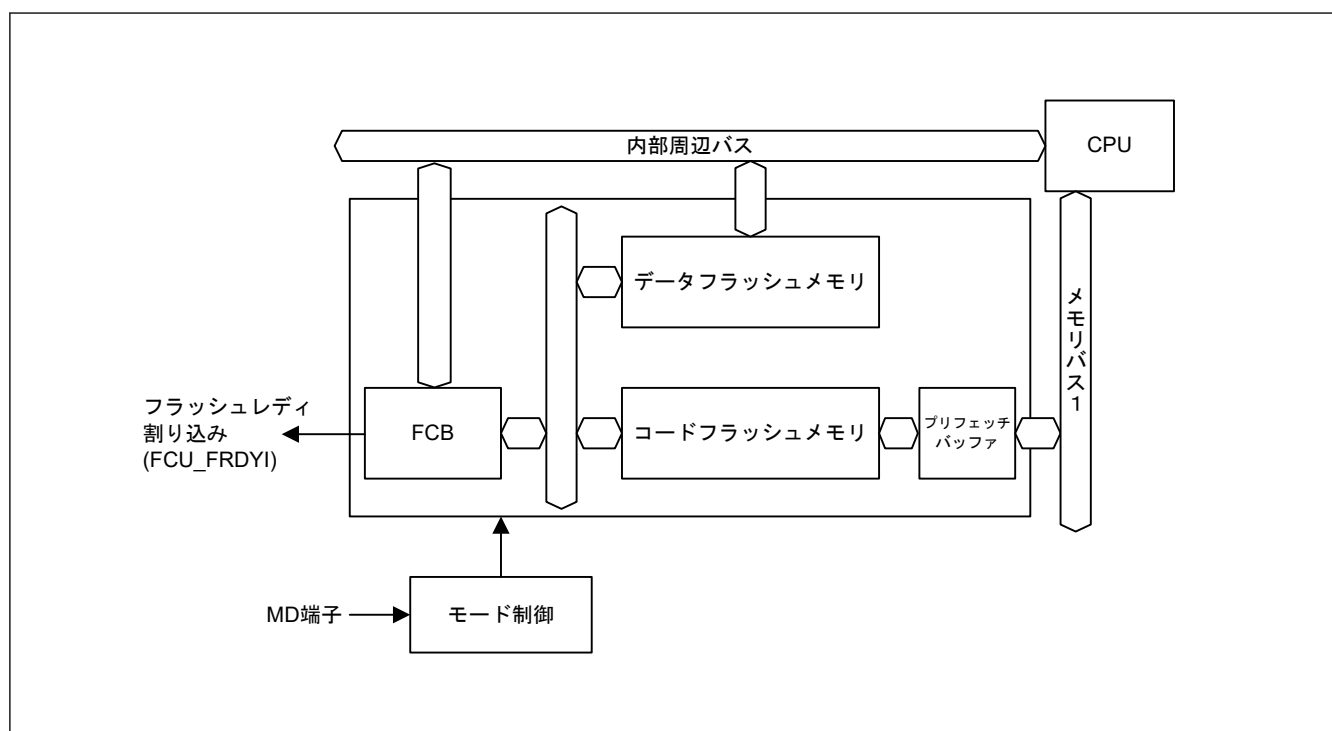


図 35.1 フラッシュメモリ関連モジュールのブロック図

35.2 メモリ構造

図 35.2 にコードフラッシュメモリのマッピングを、表 35.2 にコードフラッシュメモリのリードアドレスとプログラム/イレース (P/E) アドレスを示します。コードフラッシュメモリのユーザー領域は 2 KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザー領域は、ユーザープログラムの格納に使用できます。

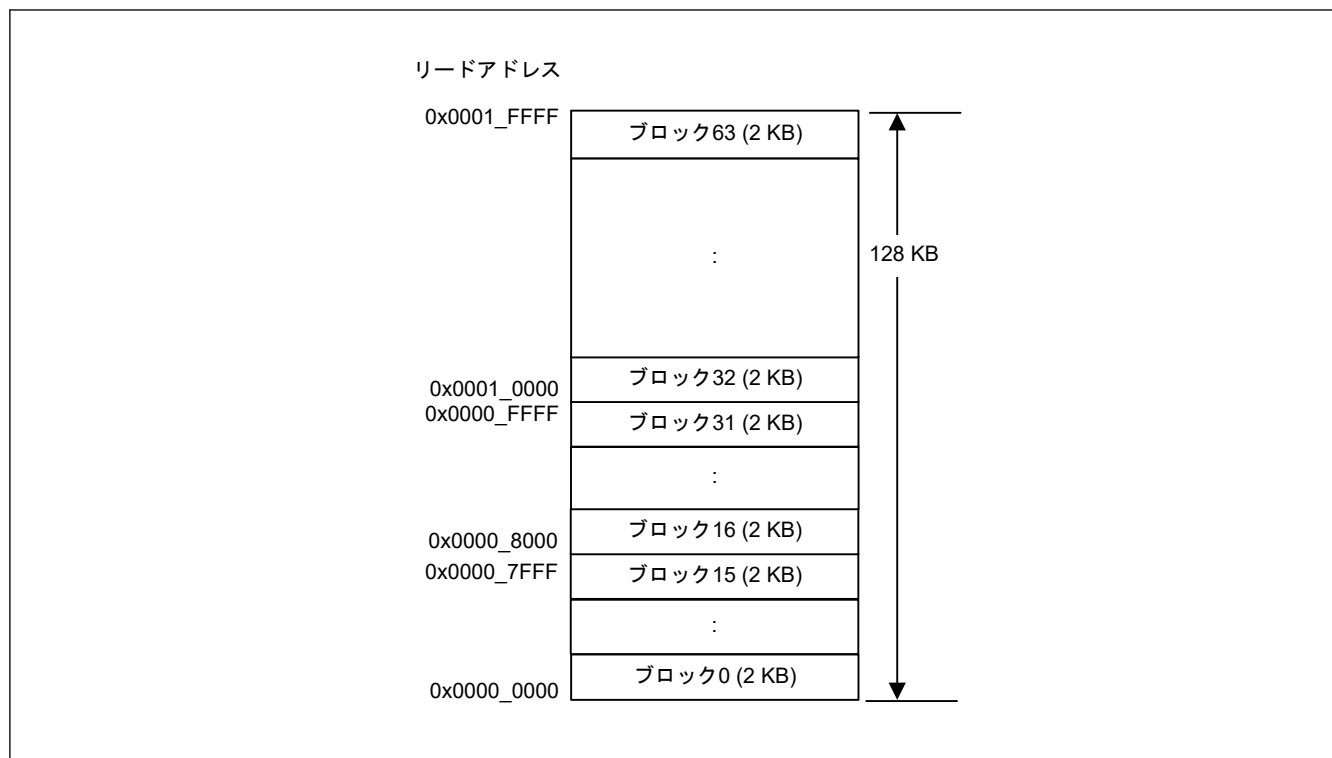


図 35.2 コードフラッシュメモリマッピング

表 35.2 コードフラッシュメモリのリードアドレスと P/E アドレス

コードフラッシュメモリのサイズ	リードアドレス	P/E アドレス	ブロック数
128 KB	0x0000_0000~0x0001_FFFF	0x0000_0000~0x0001_FFFF	0~63

図 35.3 にデータフラッシュメモリのマッピングを、表 35.3 にデータフラッシュメモリのリードアドレスとプログラム/イレース (P/E) アドレスを示します。データフラッシュメモリのデータ領域は 1 KB のブロックに分割されており、各ブロック単位でイレース可能です。

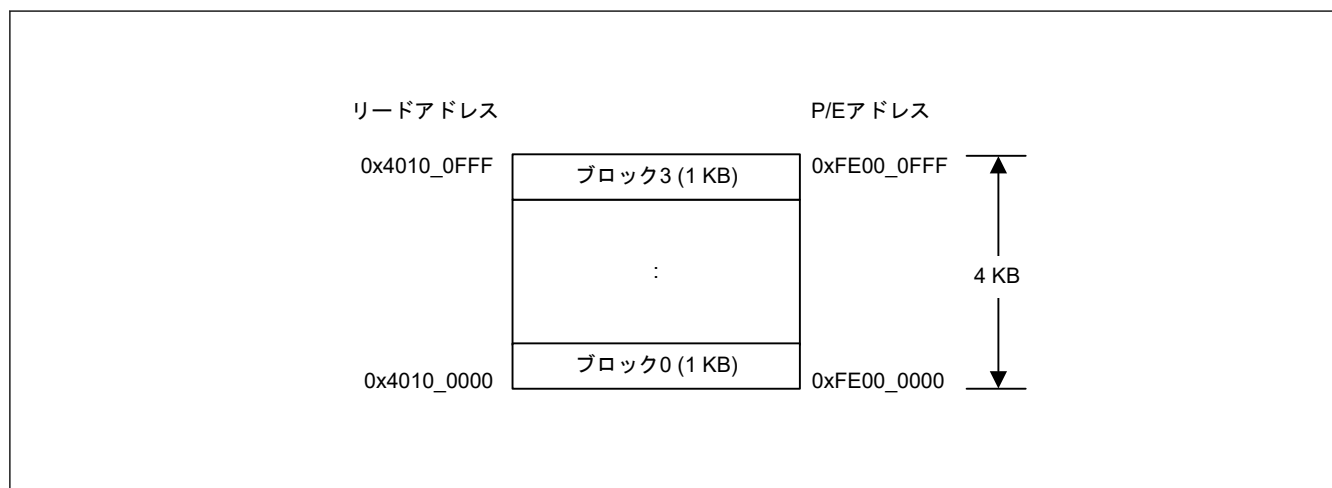


図 35.3 データフラッシュメモリマッピング

表 35.3 データフラッシュメモリのリードアドレスと P/E アドレス

データフラッシュメモリのサイズ	リードアドレス	P/E アドレス	ブロック数
4-KB	0x4010_0000~0x4010_0FFF	0xFE00_0000~0xFE00_0FFF	0~3

35.3 レジスタの説明

35.3.1 DFLCTL : データフラッシュコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0090

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DFLEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DFLEN	データフラッシュアクセス許可 ^(注1) 0: データフラッシュへのアクセス禁止 1: データフラッシュへのアクセス許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. スタートアップ領域情報およびプロテクションプログラムコマンド、アクセスウィンドウ情報プログラムコマンド、およびユーザー ID プログラムコマンドを発行する前に、DFLCTL.DFLEN ビットが 1 になっている必要があります。

DFLCTL レジスタは、データフラッシュへのアクセス（読み出し、プログラム、イレース）の許可／禁止を設定します。DFLCTL.DFLEN ビットを設定すると、データフラッシュの読み出し前、またはデータフラッシュ P/E モード移行前に、データフラッシュ STOP 復帰時間 (t_{DSTOP}) が必要になります。

35.3.2 PFBER : プリフェッチバッファイネーブルレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x3FC8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PFBE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFBE	プリフェッチバッファイネーブルビット 0: プリフェッチバッファ無効 1: プリフェッチバッファ有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

35.3.3 FENTRYR : フラッシュ P/E モードエントリレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x3FB0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEKEY[7:0]								FENTRYD	—	—	—	—	—	—	FENTRY0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FENTRY0	コードフラッシュ P/E モードエントリ 0 0: コードフラッシュはリードモード 1: コードフラッシュは P/E モード	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	FENTRYD	データフラッシュ P/E モードエントリ 0: データフラッシュはリードモード 1: データフラッシュは P/E モード	R/W
15:8	FEKEY[7:0]	キーコード	W

コードフラッシュやデータフラッシュの書き込みをするには、FENTRY0 ビットまたは FENTRYD ビットのいずれかに 1 を設定して、P/E モードに遷移する必要があります。FENTRY0 ビットまたは FENTRYD ビットをクリアすると、コードフラッシュやデータフラッシュはリードモードになりますが、これらのビットの値を変更する際はその値を事前に確認する必要があります。「[35.13.1. シーケンサモード](#)」を参照してください。

FENTRY0 ビット (コードフラッシュ P/E モードエントリ 0)

[1 になる条件]

- FENTRYR レジスタが 0x0000 から 0xAA01 になったとき

[0 になる条件]

- バイトアクセスによってデータが書き込まれたとき
- FEKEY[7:0] ビットに 0xAA 以外の値が設定され、FENTRYR レジスタに書き込まれたとき
- FENTRYR レジスタが 0xAA00 に設定されたとき
- FENTRYR レジスタが 0x0000 以外の状態で、レジスタにデータが書き込まれたとき

FENTRYD ビット (データフラッシュ P/E モードエントリ)

[1 になる条件]

- FENTRYR レジスタが 0x0000 から 0xAA80 になったとき

[0 になる条件]

- バイトアクセスによってデータが書き込まれたとき
- FEKEY[7:0] ビットに 0xAA 以外の値が設定され、FENTRYR レジスタにデータが書き込まれたとき
- FENTRYR レジスタが 0xAA00 に設定されたとき
- FENTRYR レジスタが 0x0000 以外の状態で、FENTRYR レジスタにデータが書き込まれたとき

FEKEY[7:0] ビット (キーコード)

FEKEY[7:0] ビットは、FENTRY0 ビットまたは FENTRYD ビットを不正な設定から保護します。

FEKEY[7:0] を 0xAA にすると、FENTRY0 ビットまたは FENTRYD ビットの設定が許可されます。FEKEY[7:0] ビットは、読むと 0x00 が読めます。

35.3.4 FPR : プロテクションアンロックレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0180

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FPR[7:0]							

Value after reset: x x x x x x x x

ビット	シンボル	機能	R/W
7:0	FPR[7:0]	プロテクションの解除 本レジスタは、CPU が暴走したときに、FPMCR レジスタが誤って書き換えられないよう保護します。	R/W

FPR[7:0] ビット（プロテクションの解除）

FPMCR レジスタへの書き込みは、以下の手順を使用してレジスタにアクセスした際にのみ許可されます。

プロテクションを解除する手順：

1. FPR レジスタに 0xA5 を書きます。
2. FPMCR レジスタに設定値を書きます。
3. FPMCR レジスタに反転した設定値を書きます。
4. FPMCR レジスタにもう一度設定値を書きます。

データの書き込みに上記以外の手順が使用された場合、FPSR.PERR フラグが 1 になります。

35.3.5 FPSR：プロテクションアンロックステータスレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0184

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PERR	プロテクトエラーフラグ 0: エラーなし 1: エラー発生	R
7:1	—	読むと 0 が読めます。	R

PERR ビット（プロテクトエラーフラグ）

FPMCR レジスタが「プロテクションを解除する手順」で説明した方法以外でアクセスされた場合、データはレジスタに書き込まれず、このフラグが 1 になります。

[1 になる条件]

- FPMCR レジスタが「[35.3.4. FPR：プロテクションアンロックレジスタ](#)」の「プロテクションを解除する手順」に記載した方法以外でアクセスされたとき

[0 になる条件]

- FPMCR レジスタが「[35.3.4. FPR：プロテクションアンロックレジスタ](#)」の「プロテクションを解除する手順」に記載した方法でアクセスされたとき

35.3.6 FPMCR：フラッシュ P/E モードコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	FMS1	RPDIS	—	FMS0	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
1	FMS0	フラッシュ動作モード選択 0 0: FMS1 = 0: 読み出しモード FMS1 = 1: データフラッシュ P/E モード 1: FMS1 = 0: コードフラッシュ P/E モード FMS1 = 1: 設定禁止	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RPDIS	コードフラッシュ P/E 禁止 0: コードフラッシュ書き込みを許可 1: コードフラッシュ書き込みを禁止	R/W
4	FMS1	フラッシュ動作モード選択 1 FMS0 ビットの説明を参照	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FLWT レジスタは、フラッシュメモリの動作モードを設定します。権限なく設定はできないように保護されています。

このレジスタ書き込み制御方法については、[図 35.16](#) と [図 35.18](#) を参照してください。

保護の解除の方法については、「[35.3.4. FPR : プロテクションアンロックレジスタ](#)」を参照してください。

FMS0 ビット、FMS1 ビット（フラッシュ動作モード選択 0、フラッシュ動作モード選択 1）

本ビットは、フラッシュメモリの動作モードを設定します。

[コードフラッシュメモリをリードモードからフラッシュ P/E モードに遷移する方法]

FMS1 ビット = 0、FMS0 ビット = 1、RPDIS ビット = 0 に設定してください。モード設定時間 t_{MS} （「[37. 電気的特性](#)」を参照）待機してください。

[データフラッシュメモリをリードモードからフラッシュ P/E モードに遷移する方法]

FMS1 ビット = 1、FMS0 ビット = 0、RPDIS ビット = 0 に設定してください。

[コードフラッシュメモリをコードフラッシュ P/E モードからリードモードに遷移する方法]

FMS1 ビット = 0、FMS0 ビット = 0、RPDIS ビット = 1 に設定してください。

リードモード遷移時間（「[37. 電気的特性](#)」を参照）待機してください。

RPDIS ビット（コードフラッシュ P/E 禁止）

RPDIS ビットは、権限なく書き込みができないように保護されています。RPDIS ビットを 0 に設定することで、コードフラッシュメモリの書き込みをできるようになります。

35.3.7 FISR : フラッシュ初期設定レジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01D8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SAS[1:0]		PCKA[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	PCKA[5:0]	Flash-IF クロック通知	R/W
7:6	SAS[1:0]	スタートアップ領域選択 1 0: スタートアップ領域が一時的にデフォルト領域に切り替わる 1 1: スタートアップ領域が一時的に代替領域に切り替わる その他: スタートアップ領域はエクストラ領域の設定に従って選択される	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、SAS[1:0]ビットは、FSPR ビットまたは BTPR ビットが 1 のときに設定およびクリアできます。FSPR ビットと BTPR ビットは、アクセスウィンドウ/設定ブートフラグの保護フラグであり、エクストラ領域に格納されます。

PCKA[5:0]ビット（Flash-IF クロック通知）

FlashIF クロック (ICLK) の周波数を設定するために使用されるビットです。フラッシュ書き込みのハードウェアシーケンスは、PCKA[5:0]ビットに従ってコマンドを実行します。そのため、PCKA [5:0]ビットへの周波数の設定は、書き込みの実行前に行う必要があり、書き込み中は変更できません。

注. 誤った周波数設定は、フラッシュマクロを破損する恐れがあります。

周波数が整数でない（たとえば 31.5 MHz）ときに、PCKA[5:0] ビットを設定する方法を以下に説明します。

[周波数が 4 MHz より高い場合]

非整数の周波数の切り上げ値を設定します。

たとえば、周波数が 31.5 MHz ならば、32 MHz (PCKA = 011111b) を設定します。

[周波数が 4 MHz 以下である場合]

非整数の周波数を使用してはなりません。1、2、3、または 4 MHz の周波数を使用します。

表 35.4 周波数設定

Flash-IF クロック 周波数 [MHz]	PCKA[5:0]	Flash-IF クロック 周波数 [MHz]	PCKA[5:0]	Flash-IF クロック 周波数 [MHz]	PCKA[5:0]
48	100111b	32	011111b	24	010111b
20	010011b	19	010010b	18	010001b
17	010000b	16	001111b	15	001110b
14	001101b	13	001100b	12	001011b
11	001010b	10	001001b	9	001000b
8	000111b	7	000110b	6	000101b
5	000100b	4	000011b	3	000010b
2	000001b	1	000000b	—	—

SAS[1:0] ビット（スタートアップ領域選択）

SAS[1:0]ビットは、スタートアップ領域を選択します。スタートアップ領域を変更するには、次の 3 つの方法を使用できます。

- SAS[1:0]ビットが 00b または 01b で、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域を選択する場合、スタートアップ領域はエクストラ領域のスタートアップ領域設定に従って選択されます。設定は、リセット解除後に有効になります。
- SAS[1:0] ビットに 10b を書いて、スタートアップ領域を一時的にデフォルト領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、本レジスタにデータが書き込まれた直後に、スタートアップ領域がデフォルト領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。
- SAS[1:0] ビットに 11b を書いて、スタートアップ領域を一時的に代替領域に切り替える場合、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域は代替領域に切り替わります。その後にリセットが発生した場合、領域は、エクストラ領域のスタートアップ領域設定に従って選択されます。

35.3.8 FRESETR：フラッシュリセットレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0124

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRES ET

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	FRESET	レジスタのソフトウェアリセット 0: フラッシュプログラミング関連のレジスタをリセットしない 1: フラッシュプログラミング関連のレジスタをリセットする	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FRESET ビット（レジスタのソフトウェアリセット）

このビットが 1 になると、FASR、FSARH、FSARL、FEARH、FEARL、FWBH0/1、FWBL0/1、FCR、および FEXCR レジスタがリセットされます。このビットを 0 にすると、対応するレジスタのリセット状態を解除できます。FRESET ビットが 1 のとき、ソフトウェアコマンドの実行は許可されません。

35.3.9 FASR : フラッシュ領域選択レジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0104

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EXS

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
0	EXS	エクストラ領域選択 0: ユーザー領域またはデータ領域 1: エクストラ領域	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注: 本レジスタは、P/E モード時のみ設定およびクリアできます。

EXS ビット（エクストラ領域選択）

FEXCR レジスタを使用してエクストラ領域をプログラムするときは、EXS ビットを 1 に設定してください。エクストラ領域をプログラムしない場合は、本ビットを 0 にします。

35.3.10 FCR : フラッシュコントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x0114

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	STOP	—	—	CMD[3:0]			

Value after reset: 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
3:0	CMD[3:0]	ソフトウェアコマンド設定 0x1: プログラム 0x3: ブランクチェック（コードフラッシュ） 0x4: ブロックイレース 0x6: チップイレース 0xB: ブランクチェック（データフラッシュ） その他: 設定禁止 ^(注1)	R/W
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	STOP	処理強制停止 本ビットを 1 に設定すると、実行中の処理を強制的に停止できます。	R/W

ビット	シンボル	機能	R/W
7	OPST	処理開始 0: 処理停止 1: 処理開始	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1. FSTATR1.FRDY ビットが 1 である場合の、FCR レジスタへの 0x00 書き込みは除きます。

CMD[3:0]ビット（ソフトウェアコマンド設定）

以下に、各ソフトウェアコマンドの機能を説明します。

[プログラム]

FWBH0/1 レジスタと FWBL0/1 レジスタのデータを、フラッシュマクロへ FSARH レジスタと FSARL レジスタで示すアドレスに書き込みます。

[ブランクチェック]

フラッシュマクロが FSARH レジスタと FSARL レジスタで示す開始アドレスから FEARH レジスタと FEARL レジスタで示す終了アドレスにかけてブランク（書き込みされていない）状態であるかどうかを確認します。ブランクチェックコマンドは、フラッシュマクロの領域内で実行可能です。

注. ブランクチェック結果で、フラッシュメモリが消去されたことを保証することはできません。

[ブロックイレース]

フラッシュメモリのブロックを消去します。

消去対象のブロックの開始アドレスを FSARH レジスタと FSARL レジスタで設定し、消去対象のブロックの終了アドレスを FEARH レジスタと FEARL レジスタで設定します。指定以外の設定をした場合、消去は正しく実行されません。ブロックイレースコマンドは、フラッシュマクロの領域内で実行可能です。

[チップイレース]

フラッシュマクロの全ブロックを消去します。

消去対象のブロックの開始アドレスを FSARH レジスタと FSARL レジスタで設定し、消去対象のブロックの終了アドレスを FEARH レジスタと FEARL レジスタで設定します。指定以外の設定をした場合、消去は正しく実行されません。

STOP ビット（処理強制停止）

STOP ビットは、イレースコマンドやブランクチェックコマンドの実行を停止します。

STOP ビットに 1 を設定したら、FSTATR1.FRDY ビットが 1（処理完了）になるのを待ってから、OPST ビットを 0 にしてください。

OPST ビット（処理開始）

OPST ビットは、CMD[2:0]ビットに設定されたコマンドを開始します。OPST ビットを 0 に設定したら、FSTATR1 レジスタの FRDY ビットが 1 になってからコマンドの実行を停止します。それから、FRDY ビットが 0 になったことを確認する必要があります。

- 注.
- フラッシュプログラマの ID 認証がフェイルした場合は、コマンドを実行できません。
 - プログラミングおよびブロックイレースコマンドは、各コマンドがアクセスウィンドウで保護された領域を指定した場合、実行できません。

35.3.11 FEXCR：フラッシュエクストラ領域コントロールレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01DC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OPST	—	—	—	—	CMD[2:0]		

Value after reset: 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
2:0	CMD[2:0]	ソフトウェアコマンドの設定 0 0 1: プロテクション設定 0 1 0: アクセスウィンドウ情報プログラム 0 1 1: ユーザー ID1 プログラム 1 0 0: ユーザー ID2 プログラム 1 0 1: ユーザー ID3 プログラム 1 1 0: ユーザー ID4 プログラム その他: 設定禁止 ^(注1)	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OPST	処理開始 0: 処理が停止する 1: 処理が開始する	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。また、ソフトウェアコマンドを実行している時には、FRESETR レジスタでリセットできません。

注 1. これには、FSTATR1.EXRDY ビットが 1 のときに FEXCR レジスタに 0x00 を書くことは含まれません。

FEXCR レジスタは、エクストラ領域をプログラムします。各コマンドを実行する前に、FWBL0 および FWBH0 レジスタにデータを設定する必要があります。

FEXCR レジスタを使用してプログラムする場合、実行前にプログラミング領域が自動的に消去されるため、事前に消去する必要はありません。

CMD[2:0]ビット（ソフトウェアコマンドの設定）

CMD[2:0]ビットは、以下からソフトウェアコマンドを選択します。

- プロテクション設定
- アクセスウィンドウ情報プログラム
- ユーザー ID プログラム

[プロテクション設定]

このコマンドは、FWBL0 レジスタと FWBH0 レジスタにデータを設定します。このコマンドではプロテクションおよび製品情報が設定できます。P/N コード 0 と P/N コード 1 は製品情報に使用します。

FWBH0 レジスタのビット[15:0]は 0 または 1（P/N コード 1 設定製品情報）です。

FWBL0 レジスタのビット[14]は 0（アクセスウィンドウおよびユーザー ID 情報プログラムコマンドが実行不可のため、アクセスウィンドウおよびユーザー ID 情報の更新不可）です。

FWBL0 レジスタのビット[13]は 0（オンチップデバッグの接続不可）です。

FWBL0 レジスタのビット[7:0]は 0 または 1（P/N コード 0 設定製品情報）です。

表 35.5 にスタートアップ領域選択およびプロテクション設定のエクストラビットマッピングを示します。

表 35.5 スタートアップ領域選択およびプロテクション設定のエクストラビットのマッピング（アドレス (P/E) : 0x0000_0008)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
P/N コード 1[15:0]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	FAPR (注1)	OCDD IS(注1) (注2)	—	—	—	BTPR (注1) (注2)	BTFL G	P/N コード 0[7:0]							

注 1. これらのビット内のデータは、一度 0 にするとプロテクション設定で 1 に変更することはできません。

注 2. このビットは、ALeRASE シーケンスで 0 から 1 に変更できます。

[アクセスウィンドウ情報プログラム]

このコマンドは、領域プロテクションに使用されるアクセスウィンドウを設定します。保護された領域のプログラムコマンドおよびブロックイレースコマンドは実行できません。アクセスウィンドウが設定されている（アクセスウィンドウの開始ブロックアドレスが終了ブロックアドレスと等しくない）とき、チップイレースコマンド

は実行できません。アクセスウィンドウ情報プログラムコマンドを実行する前に、アクセスウィンドウの開始ブロックアドレスを FWBL0 レジスタのビット[10:0]に設定し、アクセスウィンドウの終了ブロックアドレスの次のブロックアドレスを FWBH0 レジスタのビット[10:0]に設定する必要があります。開始アドレスと終了アドレスを同じ値に設定すると、コードフラッシュの全領域がアクセス可能になります。開始アドレスが終了ブロックアドレスより大きい場合、コードフラッシュの全領域がアクセス不可能になります。

アクセスウィンドウを設定する（アクセスウィンドウの終了ブロックアドレスが開始ブロックアドレスより大きい）場合、開始ブロックアドレスの FWBL0[10]ビットは 0 にしなければなりません。

アクセスウィンドウ情報プログラムのエクストラビットのマッピングを以下に示します。

表 35.6 アクセスウィンドウ情報プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0010)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	FAWE[10:0]										
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	FAWS[10:0]										

[ユーザー ID1~4 プログラム]

これらのコマンドは、ユーザー ID[127:0]ビットを設定します。

表 35.7 ユーザー ID の設定

コマンド	ユーザー ID	FWBH0	FWBL0
ユーザー ID1 プログラム	ユーザー ID[31:0]	ユーザー ID[31:16]	ユーザー ID[15:0]
ユーザー ID2 プログラム	ユーザー ID[63:32]	ユーザー ID[63:48]	ユーザー ID[47:32]
ユーザー ID3 プログラム	ユーザー ID[95:64]	ユーザー ID[95:80]	ユーザー ID[79:64]
ユーザー ID4 プログラム	ユーザー ID[127:96]	ユーザー ID[127:112]	ユーザー ID[111:96]

ユーザー ID1~4 プログラムのエクストラビットのマッピングを以下に示します。

表 35.8 ユーザー ID1~4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0018)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
ユーザー ID[31:16]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ユーザー ID[15:0]															

表 35.9 ユーザー ID1~4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0020)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
ユーザー ID[63:48]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ユーザー ID[47:32]															

表 35.10 ユーザー ID1~4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0028)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
ユーザー ID[95:80]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ユーザー ID[79:64]															

表 35.11 ユーザー ID1~4 プログラムのエクストラビットのマッピング（アドレス (P/E): 0x0000_0030) (1/2)

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
ユーザー ID[127:112]															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0

表 35.11 ユーザー ID1~4 プログラムのエクストラビットのマッピング (アドレス (P/E): 0x0000_0030) (2/2)

ユーザー ID[111:96]

OPST ビット (処理開始)

OPST ビットは、CMD[2:0] ビットに設定されたコマンドを開始します。OPST ビットを 0 にすると、FSTATR1 レジスタの EXRDY ビットが 1 になった後、コマンドの実行が終了されます。EXRDY ビットが 0 であることを確認する必要があります。

35.3.12 FSARH : フラッシュ処理開始アドレスレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x0110

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSARH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSARH[15:0]	フラッシュ処理開始アドレス H フラッシュ処理開始アドレス上位 16 ビット 詳細は、FSARL を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。b8~b5 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

35.3.13 FSARL : フラッシュ処理開始アドレスレジスタ L

Base address: FLCN = 0x407E_C000

Offset address: 0x0108

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSARL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FSARL[15:0]	フラッシュ処理開始アドレス L フラッシュ処理開始アドレス下位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FSARH および FSARL レジスタは、ソフトウェアコマンドの開始アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FSARH および FSARL レジスタを読み出すと、値は不定値になります。プログラムコマンドの実行後、ソフトウェアコマンドのシーケンサによって、データは自動的にインクリメントされます。プログラムコマンドの自動インクリメント機能は、次のアドレスが連続アドレスの場合、FSARH および FSARL レジスタへの次のアドレスの設定を破棄します。インクリメントの単位は次のとおりです。

コードフラッシュ : +0x8

データフラッシュ : +0x1

フラッシュメモリのアドレス詳細については、[図 35.2](#) と [図 35.3](#) を参照してください。

35.3.14 FEARH : フラッシュ処理終了アドレスレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x0120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARH[15:0]	フラッシュ処理終了アドレス H フラッシュ処理終了アドレスの上位 16 ビット 詳細は、FEARL を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。b8~b5 ビットに書き込む場合は、0 としてください。読むと 0 が読めます。

35.3.15 FEARL : フラッシュ処理終了アドレスレジスタ L

Base address: FLCN = 0x407E_C000

Offset address: 0x0118

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEARL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEARL[15:0]	フラッシュ処理終了アドレス L フラッシュ処理終了アドレスの下位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FEARH レジスタおよび FEARL レジスタは、ブランクチェック、ブロックイレース、およびチップイレースの終了アドレスを設定します。FEXCR レジスタで設定されるソフトウェアコマンドを実行中に、FEARH レジスタおよび FEARL レジスタを読み出すと、値は不定値になります。

フラッシュメモリのアドレスについて詳しくは、[図 35.2](#) と [図 35.3](#) を参照してください。

35.3.16 FWBL0 : フラッシュライトバッファレジスタ L0

Base address: FLCN = 0x407E_C000

Offset address: 0x0130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WDATA[15:0]	フラッシュライトバッファ L0 フラッシュライトバッファデータ下位 16 ビット 詳細は、FWBH0 を参照してください。	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

35.3.17 FWBH0 : フラッシュライトバッファレジスタ H0

Base address: FLCN = 0x407E_C000

Offset address: 0x0138

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/Wf
15:0	WDATA[15:0]	フラッシュライトバッファ H0 フラッシュライトバッファデータの上位 16 ビット	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FWBH0 レジスタと FWBL0 レジスタは、プログラムコマンド、スタートアップ選択およびプロテクション設定コマンド、アクセスウィンドウ情報プログラムコマンド、およびユーザー ID プログラムコマンドのプログラムデータを設定します。以下の表に、各コマンドによるデータの設定方法を説明します。

レジスタ	レジスタに設定される内容
FWBH0 FWBL0	- コードフラッシュのプログラムコマンドのプログラムデータのビット[31:0] - データフラッシュのプログラムコマンドのプログラムデータのビット[7:0] - スタートアップ選択およびプロテクション設定コマンド、アクセスウィンドウ情報プログラムコマンド、およびユーザー ID プログラムコマンドのプログラムデータのビット[31:0]

35.3.18 FWBL1 : フラッシュライトバッファレジスタ L1

Base address: FLCN = 0x407E_C000

Offset address: 0x0140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WDATA[15:0]	フラッシュライトバッファ L1 ビット[47:32]	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

35.3.19 FWBH1 : フラッシュライトバッファレジスタ H1

Base address: FLCN = 0x407E_C000

Offset address: 0x0144

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WDATA[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WDATA[15:0]	フラッシュライトバッファ L1 ビット[63:48]	R/W

注. 本レジスタは、P/E モード時のみ設定およびクリアできます。

FWBL0 レジスタ、FWBH0 レジスタ、FWBL1 レジスタ、FWBH1 レジスタには、プログラムコマンド、プロテクション設定コマンド、アクセスウィンドウ情報プログラムコマンド、ユーザー ID 情報のプログラムデータを設定します。以下の表に、各コマンドによるデータの設定方法を説明します。

表 35.12

レジスタ	レジスタに設定される内容
FWBH1 FWBL1	コードフラッシュのプログラムデータのビット 63~32
FWBH0 FWBL0	- コードフラッシュのプログラムコマンドのプログラムデータのビット 31~0 - プロテクション設定コマンド、アクセスウィンドウ情報プログラムコマンド、およびユーザー ID 情報のプログラムデータのビット 31~0

35.3.20 FSTATR00 : フラッシュステータスレジスタ 0

Base address: FLCN = 0x407E_C000

Offset address: 0x0128

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	EILGL ERR	ILGLE RR	BCER R0	—	PRGE RR0	ERER R0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ERERR0	イレースエラーフラグ 0 0: イレースが正常終了 1: イレース中にエラー発生	R
1	PRGERR0	プログラムエラーフラグ 0 0: プログラムが正常終了 1: プログラム中にエラー発生	R
2	—	読むと 0 が読めます。	R
3	BCERR0	ブランクチェックエラーフラグ 0 0: ブランクチェックが正常終了 1: ブランクチェック中にエラー発生	R
4	ILGLERR	イリーガルコマンドエラーフラグ 0: 不正なソフトウェアコマンドまたは不正なアクセスの検出なし 1: 不正なコマンドまたは不正なアクセスの検出あり	R
5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ 0: エクストラ領域への不正なコマンドまたは不正なアクセスの検出なし 1: エクストラ領域への不正なコマンドまたは不正なアクセスの検出あり	R
7:6	—	読むと 0 または 1 が読めます。	R
15:8	—	読むと 0 が読めます。	R

FSTATR00 は、ソフトウェアコマンドの実行結果を確認するために使用されるステータスレジスタです。各エラーフラグは、次のソフトウェアコマンド実行時に 0 にセットされます。

ERERR0 フラグ（イレースエラーフラグ 0）

イレース中に FCR.STOP ビットが 1 になった場合（処理が強制停止された場合）、ERERR0 ビットの値は不定になります。

PRGERR0 フラグ（プログラムエラーフラグ 0）

FCR レジスタのプログラムコマンドまたは FEXCR レジスタの各コマンドが異常終了すると、PRGERR0 ビットが 1 になります。

BCERR0 フラグ（ブランクチェックエラーフラグ 0）

ブランクチェック中に FCR.STOP ビットが 1 になった場合（処理が強制停止された場合）、BCERR0 ビットの値は不定になります。

ILGLERR フラグ（イリーガルコマンドエラーフラグ）

ILGLERR フラグは、FCR レジスタのソフトウェアコマンドの予期せぬ条件での実行を示します。

[1 になる条件]

- プログラミング／イレースコマンドが、アクセスウィンドウ範囲で保護された領域に対して実行された。
- アクセスウィンドウが設定されている（アクセスウィンドウの開始ブロックアドレスが終了ブロックアドレスと等しくない）状態で、チップイレースコマンドが実行されたとき
- FSARH および FSARL レジスタに設定された開始アドレスが FEARH および FEARL レジスタに設定された終了アドレスより大きい状態で、ブランクチェックコマンド、ブロックイレースコマンド、およびチップイレースコマンドが実行されたとき
- FASR.EXS ビットが 1 の状態で、プログラム、ブロックイレース、チップイレース、およびブランクチェックコマンドが実行されたとき
- BTPR ビットが 0 の状態で、プログラムコマンド、ブロックイレースコマンド、およびチップイレースコマンドが実行されたとき
- FSARH および FSARL レジスタにデータフラッシュアドレスが設定された状態で、ソフトウェアコマンドがコードフラッシュ P/E モードで実行されたとき
- FSARH および FSARL レジスタにコードフラッシュアドレスが設定された状態で、ソフトウェアコマンドがデータフラッシュ P/E モードで実行されたとき
- コードフラッシュとデータフラッシュが同時に P/E モードに設定されている状態で、ソフトウェアコマンドが実行されたとき

[0 になる条件]

- 次のソフトウェアコマンドが実行されたとき

EILGLERR フラグ（エクストラ領域イリーガルコマンドエラーフラグ）

EILGLERR フラグは、FEXCR レジスタのソフトウェアコマンドの予期せぬ条件での実行を示します。

[1 になる条件]

- FASR レジスタの EXS ビットが 0 の状態で、FEXCR レジスタのソフトウェアコマンドが実行されたとき
- FAPR ビットが 0 の状態で、アクセスウィンドウまたはユーザー ID 情報プログラムコマンドが実行されたとき

[0 になる条件]

- 次のソフトウェアコマンドが実行されたとき

35.3.21 FSTATR1：フラッシュステータスレジスタ 1

Base address: FLCN = 0x407E_C000

Offset address: 0x012C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EXRD Y	FRDY	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	—	読むと 0 が読めます。	R
2	—	読むと 1 が読めます。	R
5:3	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
6	FRDY	フラッシュレディフラグ 0: FCR レジスタのソフトウェアコマンドが終了していない。 1: FCR レジスタのソフトウェアコマンドが終了した。	R
7	EXRDY	エクストラ領域レディフラグ 0: FEXCR レジスタのソフトウェアコマンドが終了していない。 1: FEXCR レジスタのソフトウェアコマンドが終了した。	R

FSTATR1 は、ソフトウェアコマンドの実行結果を確認するために使用されるステータスレジスタです。各フラグは、次のソフトウェアコマンド実行時に 0 にセットされます。

35.3.22 FEAMH : フラッシュエラーアドレスモニタレジスタ H

Base address: FLCN = 0x407E_C000

Offset address: 0x01E8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAMH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAMH[15:0]	フラッシュエラーアドレスモニタレジスタ H フラッシュエラーアドレスモニタの上位 16 ビット 詳細は、FEAML を参照してください。	R/W

35.3.23 FEAML : フラッシュエラーアドレスモニタレジスタ L

Base address: FLCN = 0x407E_C000

Offset address: 0x01E0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FEAML[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FEAML[15:0]	フラッシュエラーアドレスモニタレジスタ L フラッシュエラーアドレスモニタの下位 16 ビット	R/W

ソフトウェアコマンドの実行の後、エラーアドレスが FEAMH レジスタと FEAML レジスタから取り出されます。フラッシュメモリのアドレス詳細については、[図 35.2](#) と [図 35.3](#) を参照してください。

35.3.24 FSECMR : フラッシュプロテクションフラグモニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x1C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	FAPR	OCDD IS	—	—	—	BTPR	BTFL G	—	—	—	—	—	—	—	—
Value after reset:	0	ユーザー設定値(注1)		1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。	R
8	BTFLG	スタートアップ領域選択プロテクションフラグ 0: スタートアップ領域は代替ブロック (ブロック 1) 1: スタートアップ領域は代替ブロック (ブロック 0)	R
9	BTPR	スタートアップ領域選択プロテクションフラグ 0: スタートアップ領域選択設定をロックする 1: スタートアップ領域選択設定をロックしない	R
12:10	—	読むと 1 が読めます。	R
13	OCDDIS	オンチップデバッグ接続禁止フラグ 0: オンチップデバッグ接続は無効 1: オンチップデバッグ接続は有効	R
14	FAPR	アクセスウィンドウプロテクションフラグ 0: アクセスウィンドウ設定をロック 1: アクセスウィンドウ設定をロックしない	R
15	—	読むと 0 が読めます。	R

注 1. リセット後の値は、エクストラ領域の状態によって決まります。

FSECMR レジスタは、エクストラ領域設定をモニタします。本レジスタのデータは、リセットシーケンス時、または FEXCR レジスタのソフトウェアコマンド実行時に更新されます。

35.3.25 FAWSMR : フラッシュアクセスウィンドウ開始アドレスモニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01C8

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

—	—	—	—	—	FAWS[10:0]										

Value after reset: 0 0 0 0 0 ユーザー設定値(注1)

ビット	シンボル	機能	R/W
10:0	FAWS[10:0]	アクセスウィンドウ開始アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ開始アドレスの設定値を確認するために使用されます。	R
15:11	—	読むと 0 が読めます。	R

注 1. ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBH0 レジスタの[10:0]ビットに設定された値と同じになります。

35.3.26 FAWEMR : フラッシュアクセスウィンドウ終了アドレスモニタレジスタ

Base address: FLCN = 0x407E_C000

Offset address: 0x01D0

Bit position: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

Bit field:

—	—	—	—	—	FAWE[10:0]										

Value after reset: 0 0 0 0 0 ユーザー設定値(注1)

ビット	シンボル	機能	R/W
10:0	FAWE[10:0]	アクセスウィンドウ終了アドレス このレジスタは、領域プロテクションに使用されるアクセスウィンドウ終了アドレスの設定値を確認するために使用されます。	R
15:11	—	読むと 0 が読めます。	R

注 1. ブランク品は、1 です。アクセスウィンドウ情報プログラムコマンド実行後は、FWBL0 レジスタの[10:0]ビットに設定された値と同じになります。

35.4 フラッシュメモリからの命令プリフェッチ

フラッシュメモリには、コードの実行を高速化するための命令プリフェッチ機能があります。プリフェッチ機能は、プリフェッチバッファを有効にすることで使用できます。プリフェッチバッファを有効にするには、PFBER.PFBE ビットを 1 にします。

注. フラッシュメモリがプログラム/イレース動作中の場合、内部 SRAM のユーザープログラミングプログラムの PFBER.PFBE ビットをあらかじめ 0 にしてください。

35.5 フラッシュメモリ関連の動作モード

図 35.4 にフラッシュメモリに関するモード遷移図を示します。モードの設定方法については、「3. 起動モード」を参照してください。

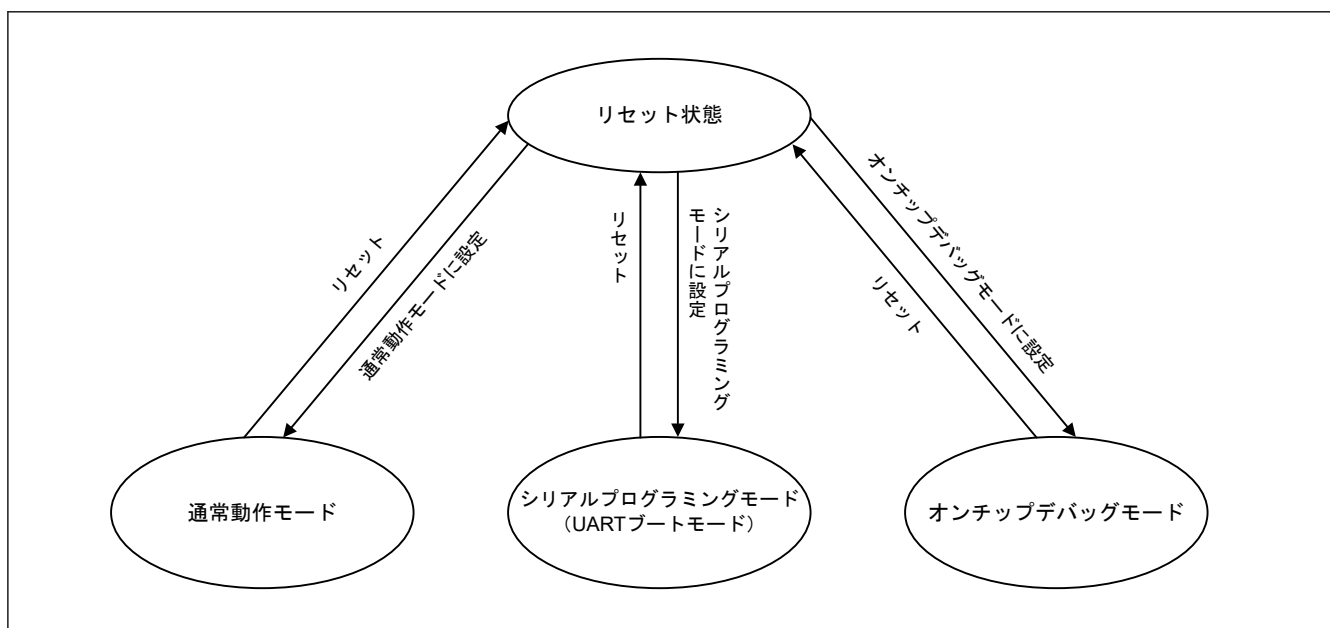


図 35.4 フラッシュメモリに関するモード遷移図

プログラム/イレースが可能なフラッシュメモリの領域、およびリセット時ブートプログラムを実行するフラッシュメモリの領域は各モードで異なります。表 35.13 に各モードの相違点を示します。

表 35.13 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード (UART ブートモード)	オンチップデバッグモード
プログラム/イレースが可能な領域	- コードフラッシュメモリ - データフラッシュメモリ	- コードフラッシュメモリ - データフラッシュメモリ	- コードフラッシュメモリ - データフラッシュメモリ
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザー領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

35.5.1 ID コードプロテクト

この機能は、プログラミングとオンチップデバッグを禁止します。ID コードプロテクト機能が有効な場合、デバイスはホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッグは、この 2 つが一致する場合に限り許可されます。

フラッシュメモリの ID コードは、4 つの 32 ビットワードで構成されます。ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効/無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 35.14 に示します。

表 35.14 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (UART ブートモード) オンチップデバッグモード	0xFF, ..., 0xFF (すべてのバイトが 0xFF)	プロテクト無効	ID コードは検証されません。ID コードは常に一致して、シリアルプログラマまたはオンチップデバッグ(注1)への接続が許可されます。
	ビット[127] = 1、ビット[126] = 1、かつ 16 バイトのうちの少なくとも 1 バイトが 0xFF 以外	プロテクト有効	ID コードの一致は、認証が終了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。シリアルプログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALERASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) であると、ユーザーフラッシュ(コードおよびデータ)領域およびコンフィグレーション領域の内容は消去されます。ただし、FAPR ビットが 0 であれば、強制消去は実行されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コードの一致は、認証が終了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。ID コードの不一致は、ID コードプロテクト待機状態への遷移を示します。
	ビット[127] = 0	プロテクト有効	ID コードは検証されません。ID コードは常に不一致であり、シリアルプログラマまたはオンチップデバッグへの接続は禁止されます。オンチップデバッグから送られてきた ID コードが ASCII コードの ALERASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) であると、ユーザーフラッシュ(コードおよびデータ)領域およびコンフィグレーション領域の内容は消去されます。ただし、FAPR ビットが 0 であれば、強制消去は実行されません。

注 1. オンチップデバッグから ID コードを送信しないでください。または、オンチップデバッグから 0xFF, ..., 0xFF (すべてのバイトが 0xFF) の ID コードを送信してください。

35.6 機能概要

シリアルインタフェース経由 (シリアルプログラミングモード)、または cJTAG インタフェース経由 (オンチップデバッグモード) で、専用フラッシュメモリプログラマを使用して内蔵フラッシュメモリを書き換えることにより、ターゲットシステムへの実装前/実装後にかかわらずデバイスのプログラムが可能です。また、ユーザープログラムの書き換えを禁止するプロテクション機能により、第三者によるプログラムの改ざんを防止できます。

ユーザープログラムによるプログラミング (セルフプログラミング) は、システムの製造/出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 35.15 は、プログラミング方式と関連する動作モードを示しています。

表 35.15 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	UART インタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリをオンボードで書き換えることができます。 UART インタフェースおよび専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	シリアルプログラミングモード
セルフプログラミング	シリアルプログラミング実行前にメモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。	通常動作モード
cJTAG プログラム	cJTAG 経由で接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。 cJTAG および専用プログラミングアダプタボードを経由して接続されている専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	オンチップデバッグモード

表 35.16 に内蔵フラッシュメモリの機能一覧を示します。シリアルプログラミングではシリアルプログラマコマン
ドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用して内蔵フラッシュメモ
リの読み出しまたはユーザープログラムの実行を行ってください。

表 35.16 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング/ cJTAG プログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。	なし	あり
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
リード	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし（ユーザープログラムにて読み出しは可能）
ID コードプロテクト機能	ホストが送信した ID コードとコードフラッシュメモリに格納されているコードとを比較します。これら 2 つが一致する場合、FCB は待機状態に遷移してホストからのプログラミングとイレースコマンドを待ちます。	あり	なし（ID 認証は行わない）
プロテクション設定	シリアルプログラミング用のプロテクション機能の設定を行います。	△（有効から無効への切り替えのみ許可）	△（有効から無効への切り替えのみ許可）
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	あり	あり

内蔵フラッシュメモリは ID コードチェック機能をサポートしています。ID コードチェック認証は、シリアルプ
ログラミングと cJTAG プログラミングで使用できるプロテクション機能です。内蔵フラッシュメモリでサポ
ートしているプロテクション機能を表 35.17 に、プロテクション設定時の動作を表 35.18 に示します。

表 35.17 プロテクション機能

機能	内容
ID 認証	シリアルプログラミング時のシリアルプログラマ接続を ID 認証結果で制御可能です。

表 35.18 プロテクション設定時の動作

機能	各プロテクション設定時のイレース/プログラム/リード動作		プロテクション設定に関する制限事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	
ID 認証	ID が不一致の場合 - ブロックイレースコマンド：使用不可 - プログラミングコマンド：使用不可 - リードコマンド：使用不可 - プロテクション設定コマンド：使用不可 ID が一致した場合 - ブロックイレースコマンド：使用可能 - プログラミングコマンド：使用可能 - リードコマンド：使用可能 - プロテクション設定コマンド：使用可能	- ブランクチェック：使用可能 - ブロックイレース：使用可能 - プログラミング：使用可能 - プロテクション設定：使用可能	ID 認証は行わない

35.6.1 コンフィグレーション設定領域ビットマップ

図 35.5 に、ID 認証機能、スタートアップ領域選択機能、アクセスウィンドウプロテクション機能、プロテクション設定機能で使用するビットを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

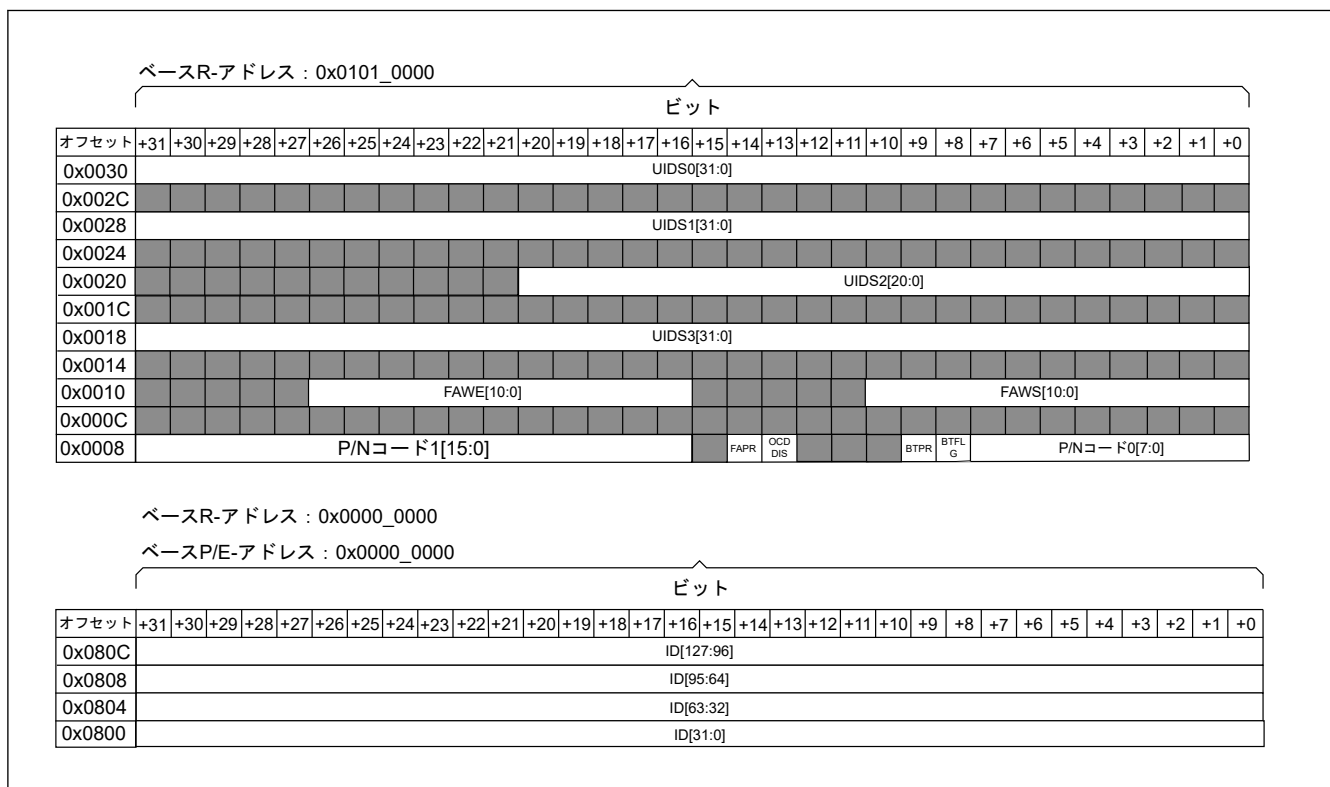


図 35.5 構成領域ビットマップ

35.6.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域のサイズは 16 KB で、ユーザー領域に配置されています。FCB は、構成領域スタートアップ領域選択フラグ (SECS.BTFLG) に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は BTPR ビットでロックすることが可能です。

図 35.6 に、スタートアッププログラムプロテクションの概要を示します。この図では、開始アドレスから 16 KB の領域がデフォルト領域、それに続く 16 KB の領域が代替領域を示しています。

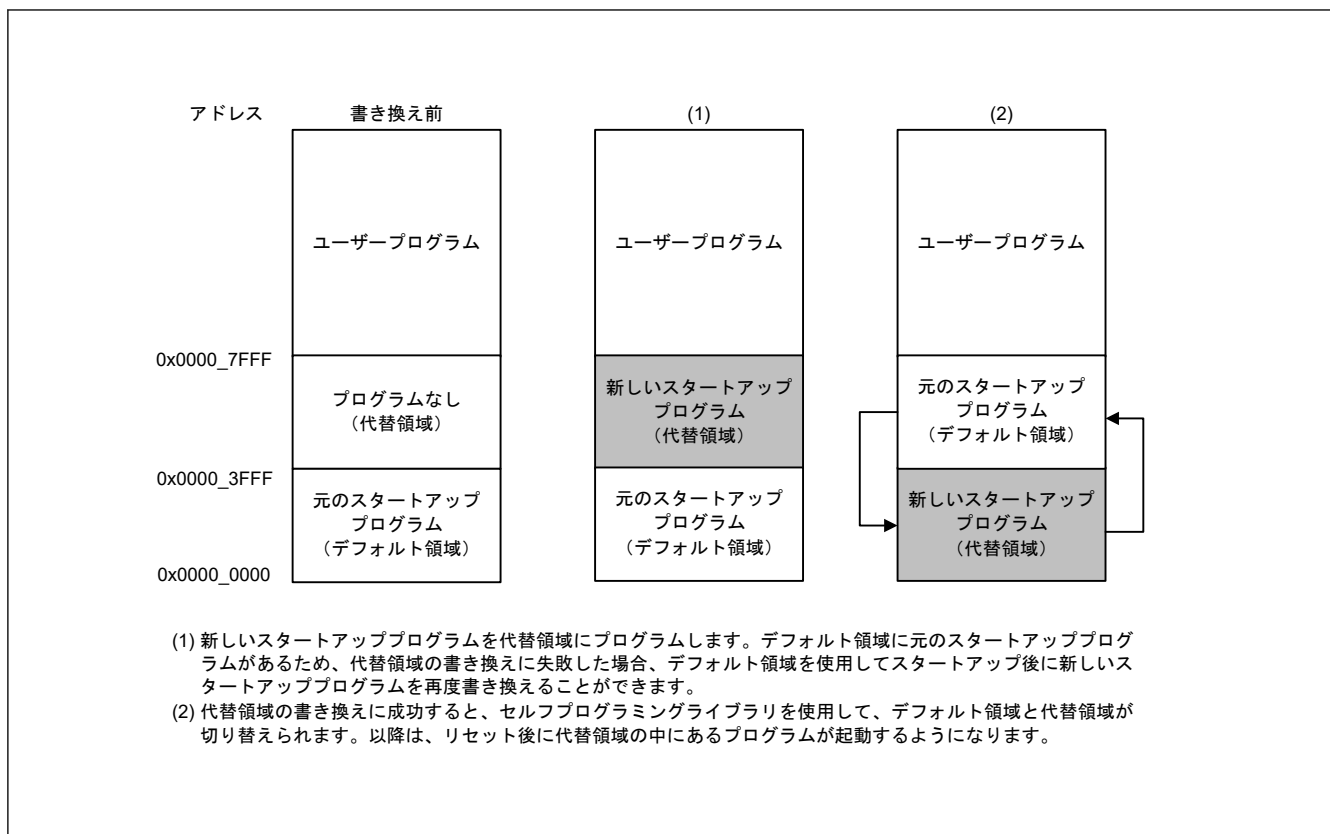


図 35.6 スタートアッププログラムプロテクションの概要

35.6.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザー領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウの外側にあるフラッシュメモリ領域への読み出しコマンドの発行は、シリアルプログラミングモード時に保護されます。図 35.7 に、フラッシュ領域プロテクションの概要を示します。

アクセスウィンドウは、FAWS[10:0]ビットおよびFAWE[10:0]ビットの両方で指定されています。「6.2.4. AWS : アクセスウィンドウ設定レジスタ」を参照してください。以下に、各種条件でのFAWE[10:0]ビットおよびFAWS[10:0]ビットの設定を説明します。

- FAWE[10:0] = FAWS[10:0] : P/E 読み出しコマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できます。
- FAWE[10:0] > FAWS[10:0] : P/E 読み出しコマンドは、FAWS ビットで指示されたブロックから、FAWE[10:0] ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE[10:0] < FAWS[10:0] : P/E 読み出しコマンドは、コードフラッシュメモリのユーザー領域のどこでも実行できません。

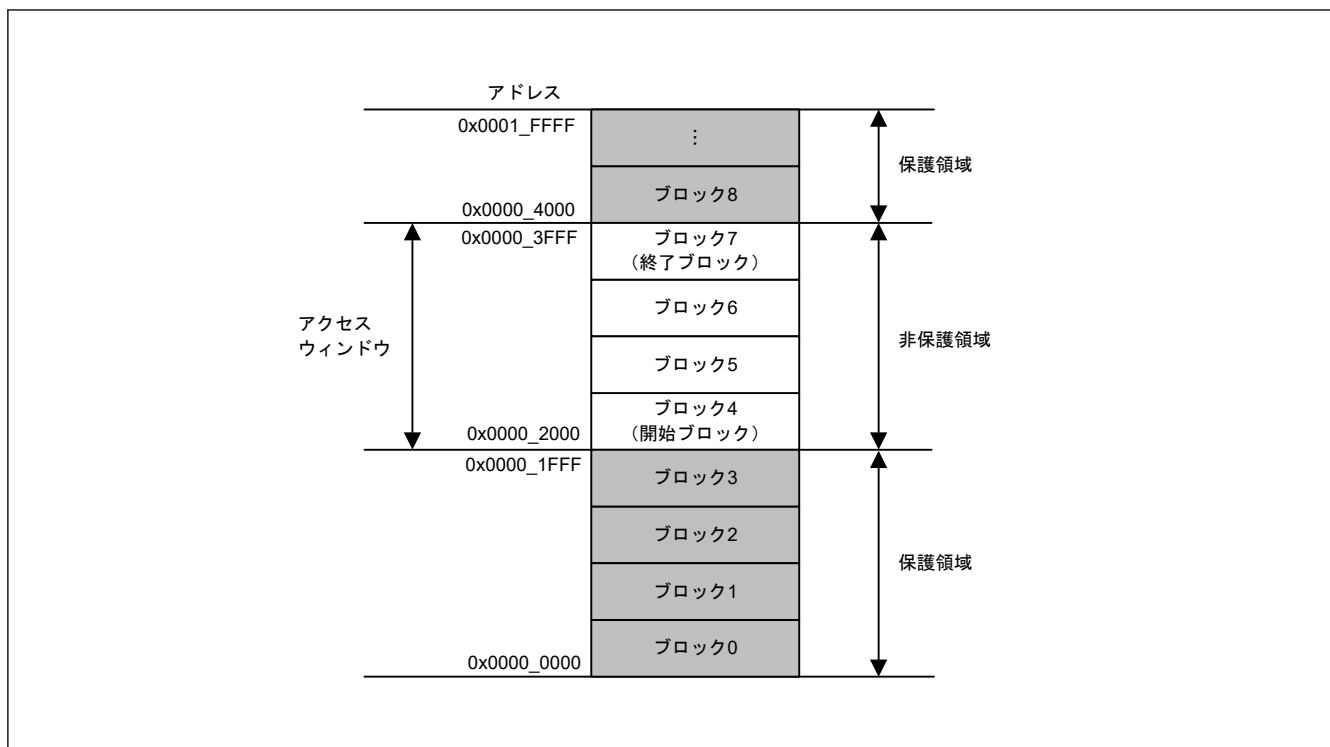


図 35.7 フラッシュ領域プロテクションの概要

35.7 プログラムコマンド

FCB は、プログラムコマンドを制御します。

35.8 サスペンド動作

強制停止コマンドは、ブランクチェックコマンド、ブロックイレースコマンド、またはチップイレースコマンドを強制的に停止します。強制停止が実行されると、停止されたアドレスの値はレジスタに格納されます。これらのアドレス値をコピーすることにより、コマンド実行用レジスタをリセットした後、停止アドレスからコマンドを再開できます。

チップイレースコマンドの最中に強制停止コマンドが実行された場合、チップイレースコマンドを再度実行してから再開してください。

35.9 プロテクション機能

以下の種類のプロテクションが提供されています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション
- ユーザー ID 読み出しプロテクション

35.9.1 スタートアッププログラムプロテクション

一時的な停電によってスタートアップ領域のプログラムが中断した場合、スタートアッププログラムが正常にプログラムされず、ユーザープログラムが正常に起動しないことがあります。

スタートアッププログラムプロテクションにより、既存のスタートアッププログラムを消去せずにスタートアッププログラムを書き込むことで、この問題を回避できます。

図 35.8 に、スタートアッププログラムプロテクションの概要を示します。この図では、開始アドレスから 16 KB の領域がデフォルト領域、それに続く 16 KB の領域が代替領域を示しています。

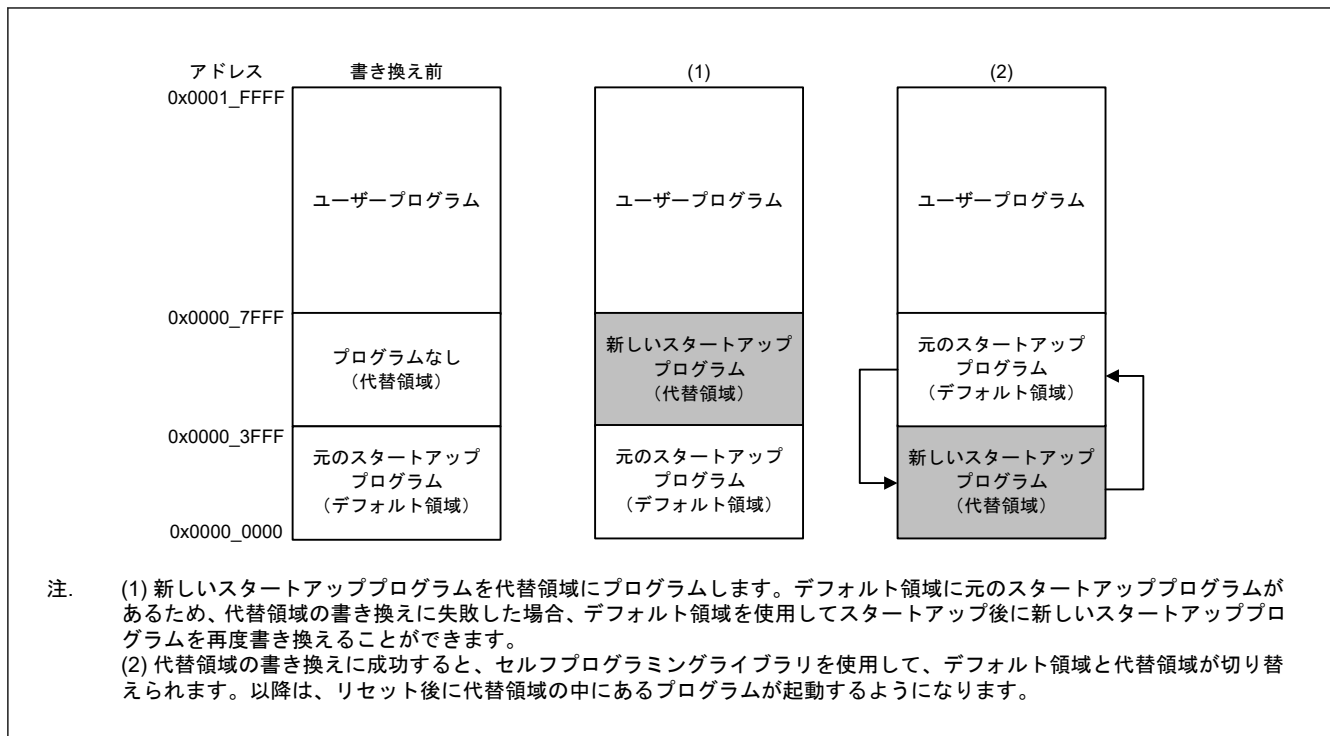


図 35.8 スタートアッププログラムプロテクションの概要

35.9.2 領域プロテクション

領域プロテクションは、ユーザー領域の選択したブロックのみ（アクセスウィンドウ）の書き換えを許可し、他のブロックのプログラミングを禁止します。データフラッシュはアクセスウィンドウで保護されません。

開始ブロックと終了ブロックを選択し、アクセスウィンドウを設定します。アクセスウィンドウは、プログラミングモード（ブートモード、セルフプログラミングモード、および OCD モード）において変更可能かつ有効です。

図 35.9 に領域プロテクションの概要を示します。

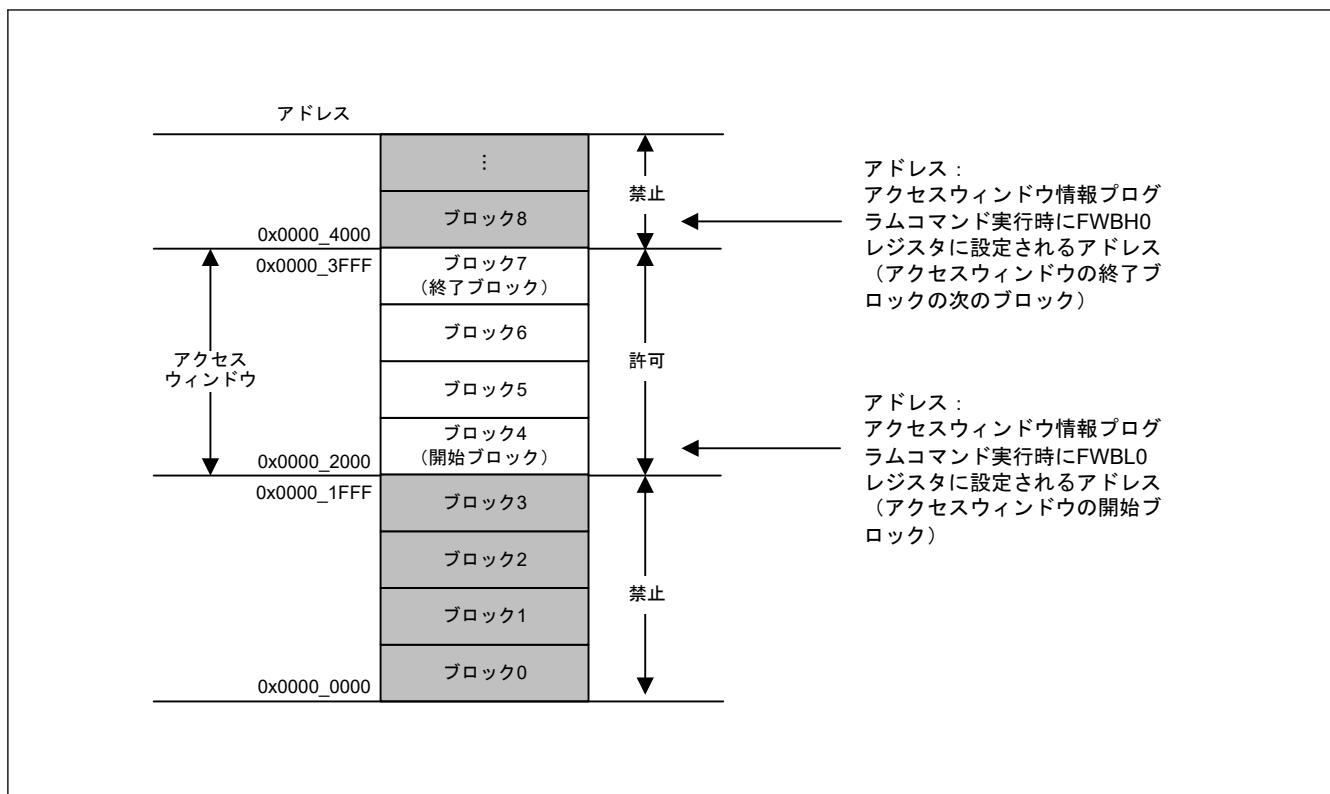


図 35.9 領域プロテクションの概要

35.9.3 ユーザー ID 読み出しプロテクション

ユーザーはユーザー ID 機能を使用してソフトウェアの個々の実行対象を制限することができます。この機能は、エクストラ領域に任意の 64 ビット値を入力すれば使用可能となります。ユーザー ID はユーザー ID 情報プログラムコマンドで設定できます。ユーザー ID は、読み出し条件が満たされた場合のみレジスタから読み出すことができます。図 35.10 に、ユーザー ID 機能のブロック図を示します。

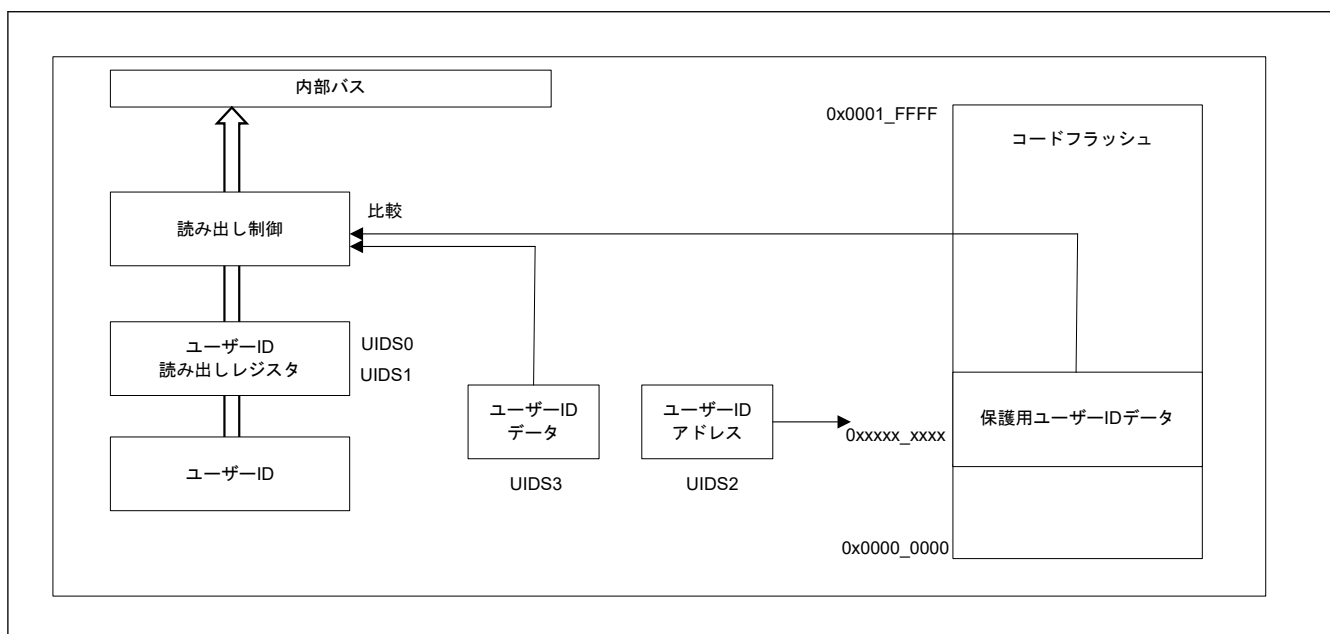


図 35.10 ユーザー ID 機能のブロック図

ユーザー ID はリセットシーケンスによりユーザー ID 読み出しレジスタに格納されます。その後、ユーザー ID データ (UIDS3) と保護用ユーザー ID データが比較されます。一致している場合、ユーザー ID 読み出しレジスタ (UIDS0 および UIDS1) からの読み出しが可能となります。不一致の場合、ユーザー ID 読み出しレジスタからの

読み出しは禁止となり、値は常に 0x0000_0000 となります。詳細は、「6.2.6. UIDSn : ユーザ ID 設定レジスタ n (n = 0~3)」を参照してください。

35.10 シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SAU_2 を使用するブートモード

表 35.19 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 35.19 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	UART ブートモード (シリアルプログラミングモード)	動作モードの選択
P303/RXD0	入力	UART ブートモード	ホスト通信における UART 経由データ受信用
P302/TXD	出力		ホスト通信における UART 経由データ送信用

35.10.1 UART (SAU) ブートモード

ブートモードでは、ホストから制御コマンドやプログラミングデータを送信して、コードフラッシュメモリ領域およびデータフラッシュメモリ領域へのプログラム/イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の UART を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、UART のビットレートの自動調整とホストからの制御コマンドを受けて、プログラミングおよびイレースを制御します。

図 35.11 に、SCI ブートモードで動作するためのシステム構成を示します。

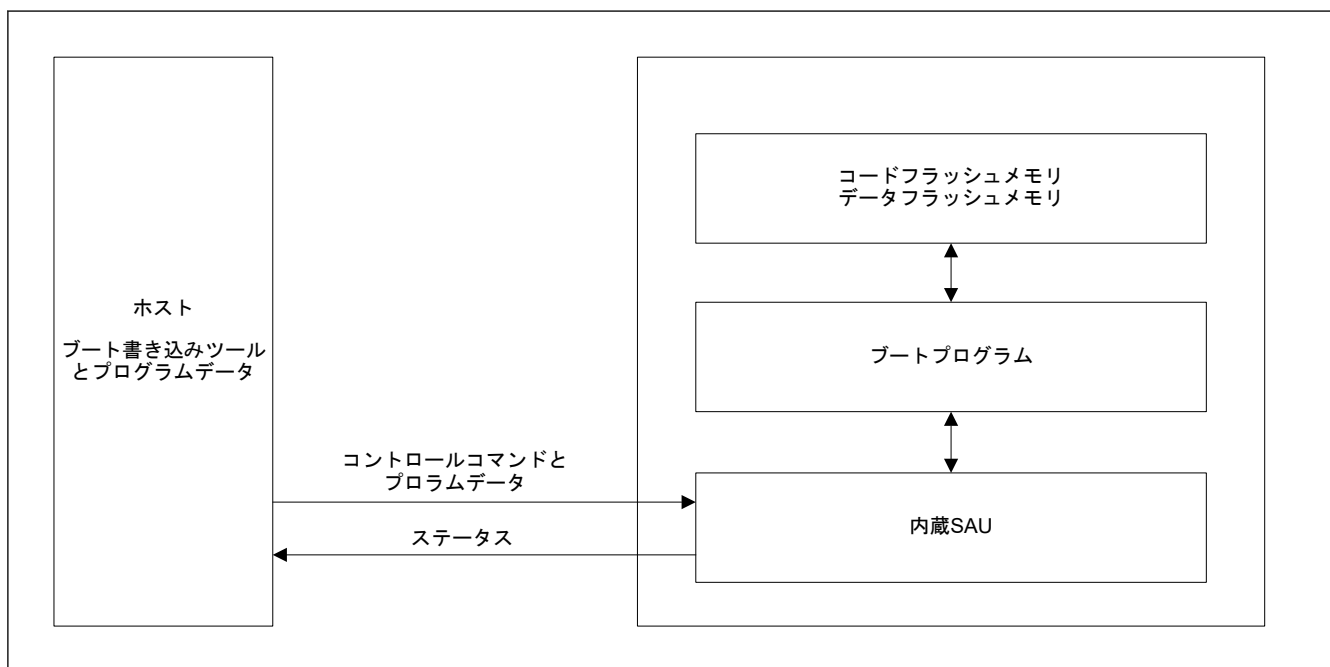


図 35.11 UART (SAU) ブートモード時のシステム構成

35.11 シリアルプログラマを使用する場合

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリのプログラムを行うことができます。

35.11.1 シリアルプログラミング

本 MCU は、シリアルプログラミング用にシステムボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

図 35.12 に、本 MCU のフラッシュメモリにデータをプログラミングするための推奨される環境を示します。

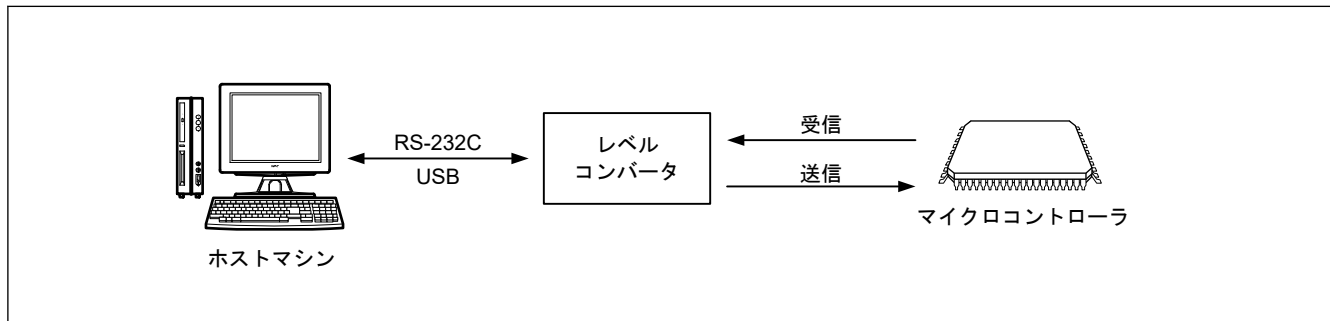


図 35.12 フラッシュメモリにプログラムを書き込むための環境

35.12 セルフプログラミング

35.12.1 概要

本 MCU は、ユーザープログラムによるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザーのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリを書き換えることができます。したがって、ユーザープログラムの更新と、定数データフィールドの書き換えが可能になります。

バックグラウンドオペレーション機能を利用して図 35.13 に示す条件でコードフラッシュメモリ上のプログラムを実行して、データフラッシュメモリを書き換えることができます。このプログラムを事前に内蔵 SRAM に複製し、そこから実行することも可能です。内蔵 SRAM からの実行時、本プログラムはコードフラッシュメモリ領域を書き換えることもできます。

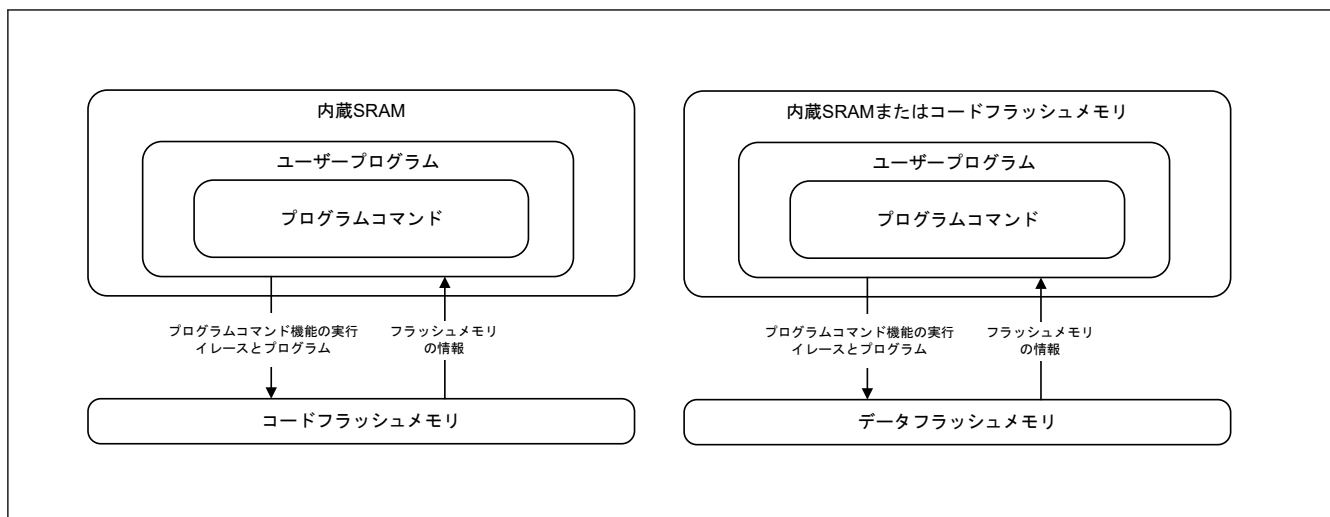


図 35.13 セルフプログラミングの概念

35.12.2 バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 35.20 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 35.20 バックグラウンドオペレーションの利用可能な条件

製品	書き込み可能範囲	読み出し可能範囲
全製品	データフラッシュメモリ	コードフラッシュメモリ

35.13 プログラムとイレース

コードフラッシュとデータフラッシュのプログラムとイレースは、プログラムおよびイレース用専用シーケンサのモードを変更するか、プログラムおよびイレース用のコマンドを発行することによって行えます。

コードフラッシュとデータフラッシュのプログラムまたはイレースに必要なモード遷移とコマンドについて、この後の各項で説明します。以下の説明は、ブートモードとシングルチップモードに共通して適用されます。

35.13.1 シーケンサモード

シーケンサには4つのモードがあります。モード間の遷移は、FENTRYR レジスタまたはDFLCTL レジスタへの書き込み、あるいはFPMCR レジスタを設定するコマンドの発行によって発生します。図 35.14 にフラッシュメモリのモード遷移を示します。

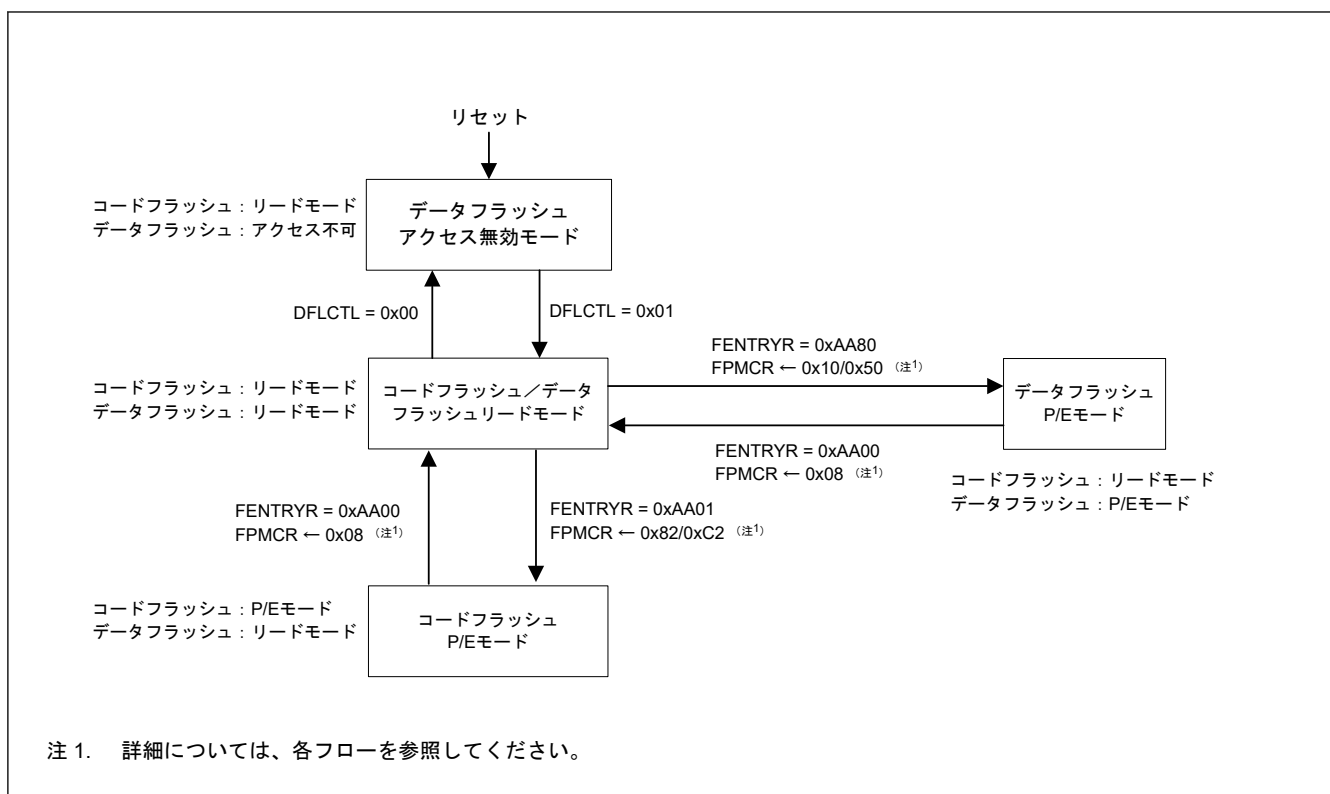


図 35.14 フラッシュメモリのモード遷移

35.13.1.1 データフラッシュアクセス禁止モード

データフラッシュアクセス禁止モードは、データフラッシュへのアクセスを禁止します。このモードはリセット時に発生します。DFLCTL.DFLEN ビットを1にすると、データフラッシュはリードモードに遷移します。

35.13.1.2 リードモード

リードモードは、コードフラッシュとデータフラッシュの高速読み出しに使用します。

(1) コードフラッシュおよびデータフラッシュリードモード

このモードは、コードフラッシュおよびデータフラッシュの読み出しに使用されます。FENTRYR.FENTRY0 ビットが0で、かつFENTRYR.FENTRYD ビットが0のとき、シーケンサはこのモードに遷移します。

35.13.1.3 P/E モード

(1) コードフラッシュ P/E モード

コードフラッシュ P/E モードは、コードフラッシュのプログラムとイレースに使用されます。FENTRYR.FENTRYD ビットが 0 で、かつ FENTRYR.FENTRY0 ビットが 1 のとき、シーケンサはこのモードに遷移します。このモードでは、データフラッシュにアクセスすることはできません。

(2) データフラッシュ P/E モード

データフラッシュ P/E モードは、データフラッシュのプログラムとイレースに使用されます。コードフラッシュからの高速読み出しが可能です。FENTRYR.FENTRY0 ビットが 0 で、かつ FENTRYR.FENTRYD ビットが 1 のとき、シーケンサはこのモードに遷移します。

35.13.2 ソフトウェアコマンド

ソフトウェアコマンドは、プログラムとイレースのためのコマンドと、スタートアッププログラム領域情報およびアクセスウィンドウ情報をプログラムするためのコマンドで構成されます。表 35.21 にフラッシュメモリで利用できるソフトウェアコマンドの一覧を示します。

表 35.21 ソフトウェアコマンド

コマンド	機能
プログラム	コードフラッシュプログラミング (8 バイト) データフラッシュプログラミング (1 バイト)
ブロックイレース	コードフラッシュ／データフラッシュイレース
チップイレース	コードフラッシュ／データフラッシュイレース
ブランクチェック	指定された領域がブランクであるかどうかをチェックします。 領域にデータがプログラムされていないことを確認します。このコマンドは、領域が消去されたままであることを保証するものではありません。
スタートアップ領域情報および プロテクションプログラム	FAPR、OCDDIS、BTPR、または BTFLG をエクストラ領域に設定します。
アクセスウィンドウ情報プログラム	領域プロテクションに使用されるアクセスウィンドウをエクストラ領域に設定します。
ユーザー ID プログラム	ユーザー ID をエクストラ領域に設定します。

35.13.3 ソフトウェアコマンドの使用方法

以下の各項では、各ソフトウェアコマンドの使用方法について説明します。

(1) データフラッシュアクセス禁止モードからリードモードへの切り替え

データフラッシュアクセス禁止モードから、コードフラッシュ／データフラッシュリードモードに遷移する必要があります。図 35.15 に、データフラッシュアクセス禁止モードからコードフラッシュ／データフラッシュリードモードに遷移する手順を示します。

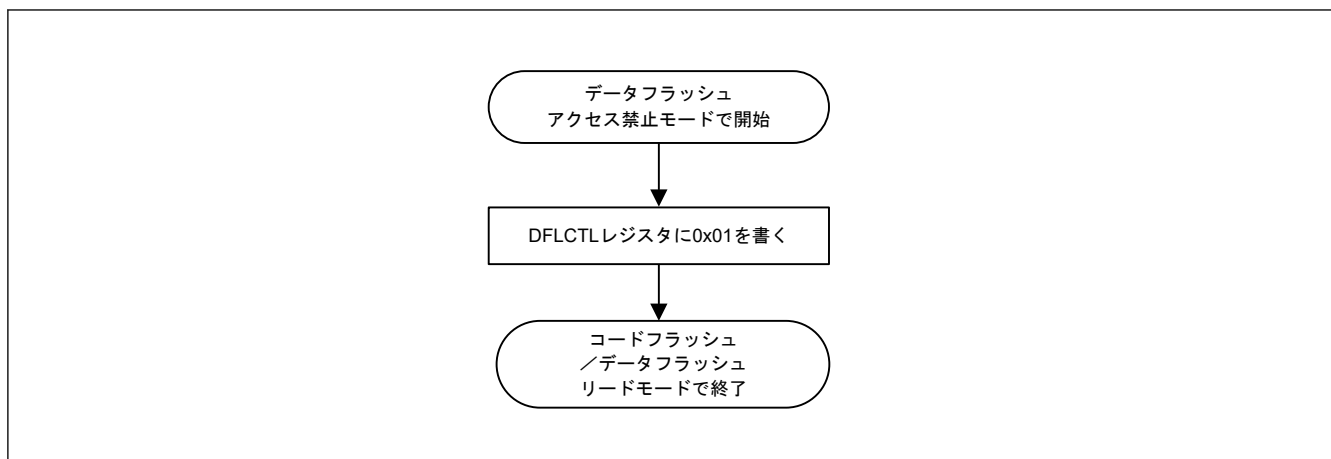


図 35.15 データフラッシュアクセス禁止モードからリードモードへのモード遷移

(2) コードフラッシュ P/E モードへの切り替え

コードフラッシュのソフトウェアコマンドを実行する前に、FENTRYR レジスタの FENTRY0 ビットをセットして、コードフラッシュ P/E モードに遷移する必要があります。図 35.16 に、コードフラッシュ P/E モードに遷移する手順を示します。

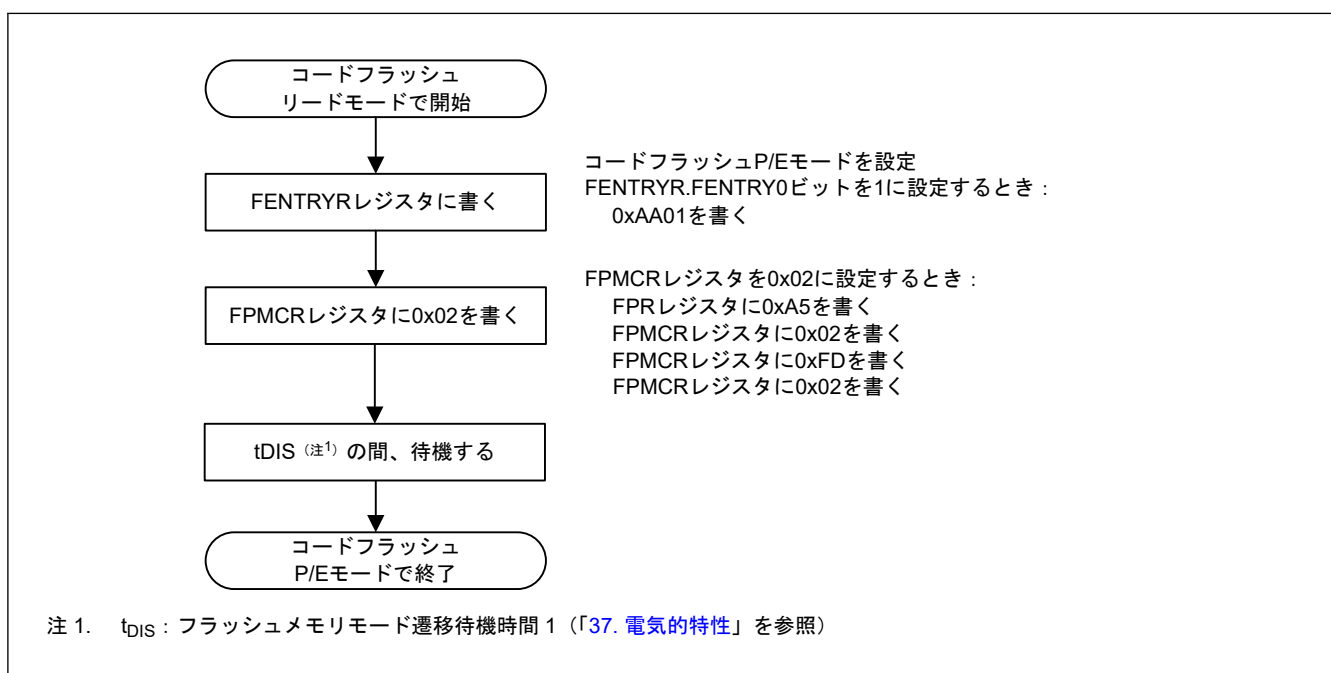


図 35.16 リードモードからコードフラッシュ P/E モードへの変更手順

データフラッシュのソフトウェアコマンドを実行する前に、FENTRYR レジスタの FENTRYD ビットをセットして、データフラッシュ P/E モードに遷移する必要があります。図 35.17 に、データフラッシュ P/E モードに遷移する手順を示します。

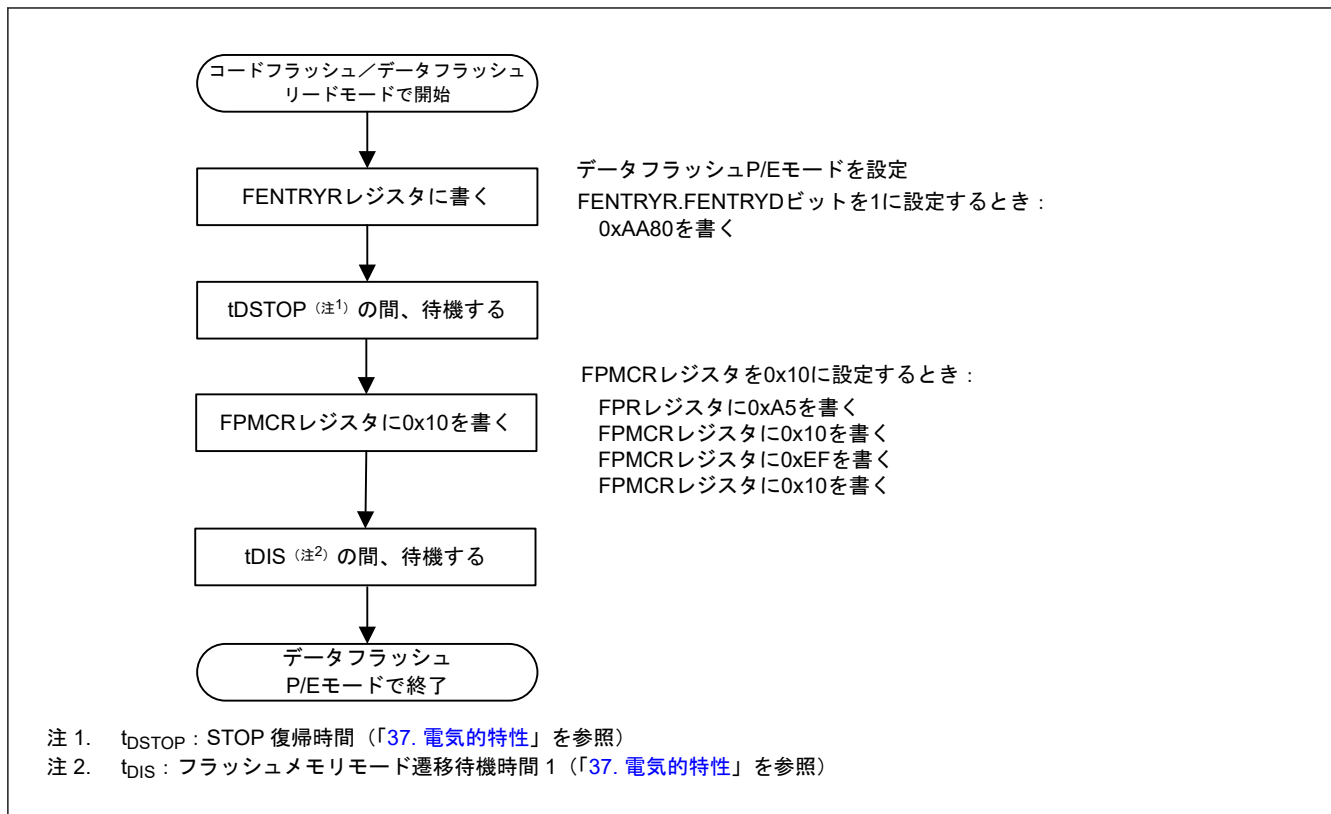


図 35.17 リードモードからデータフラッシュ P/E モードに切り替える手順

- (3) コードフラッシュ P/E モードまたはデータフラッシュ P/E モードからリードモードへの切り替え

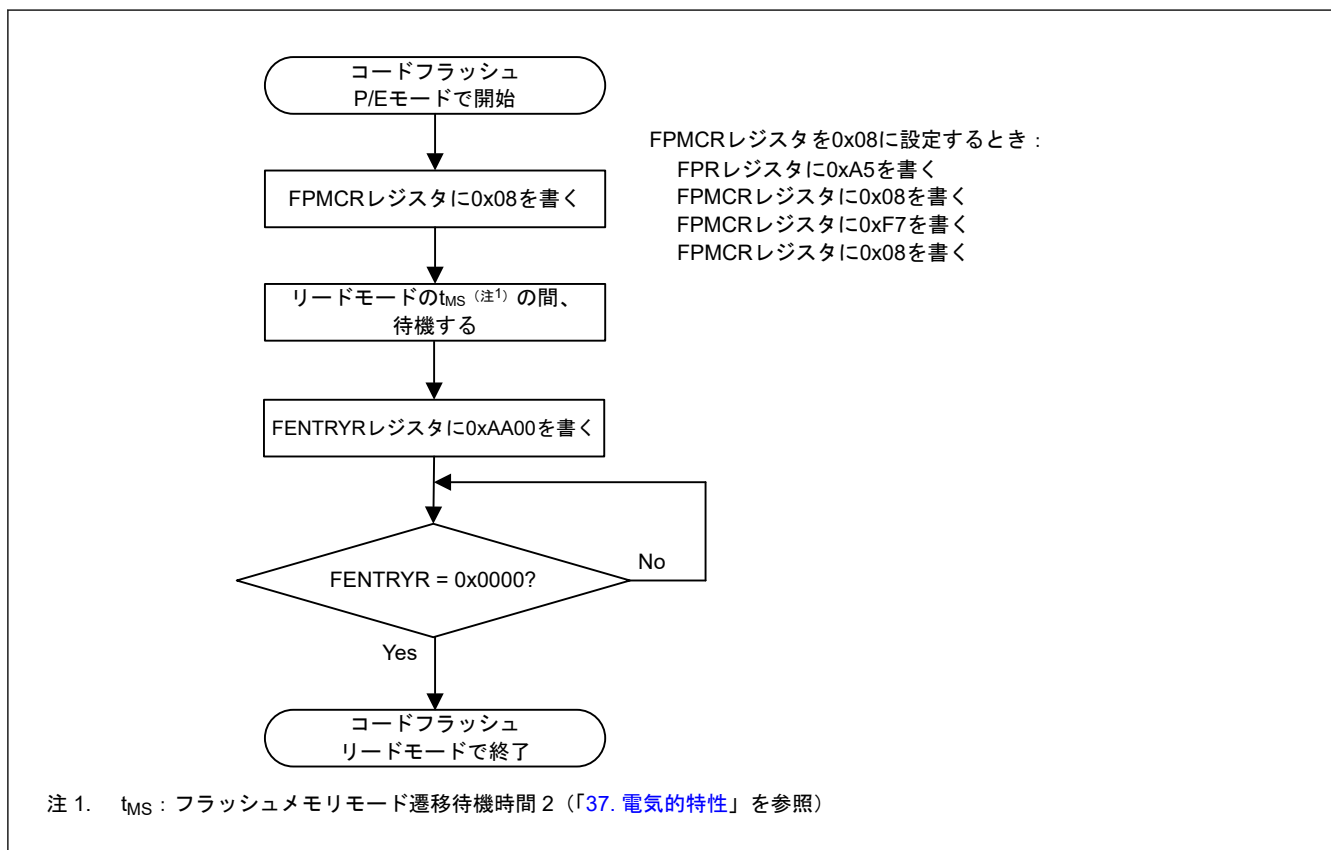


図 35.18 コードフラッシュ P/E モードからリードモードへの変更手順

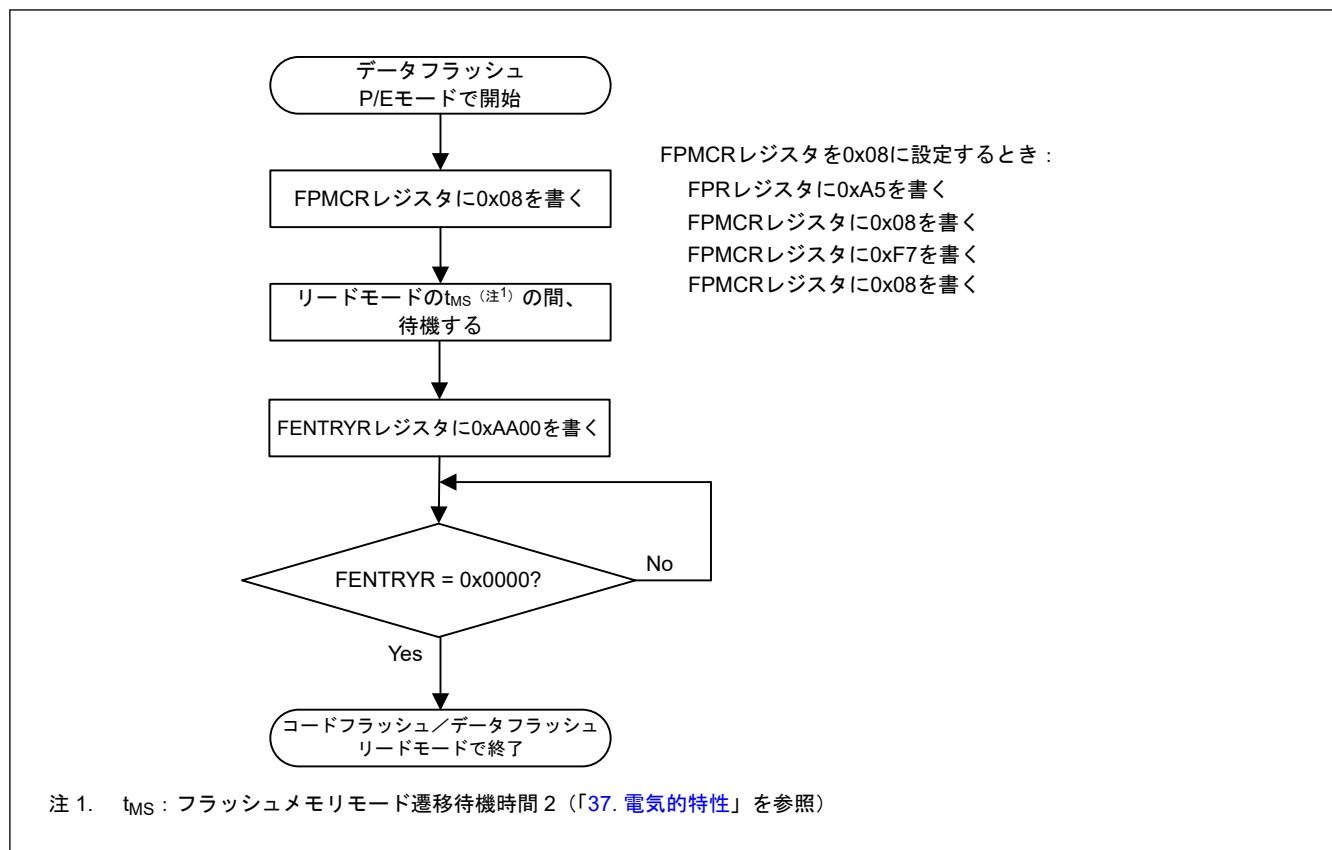


図 35.19 データフラッシュ P/E モードからリードモードへの変更手順

(4) コードフラッシュまたはデータフラッシュのプログラム時のフローチャート

以下の図は、コードフラッシュまたはデータフラッシュをプログラムするフローを示します。

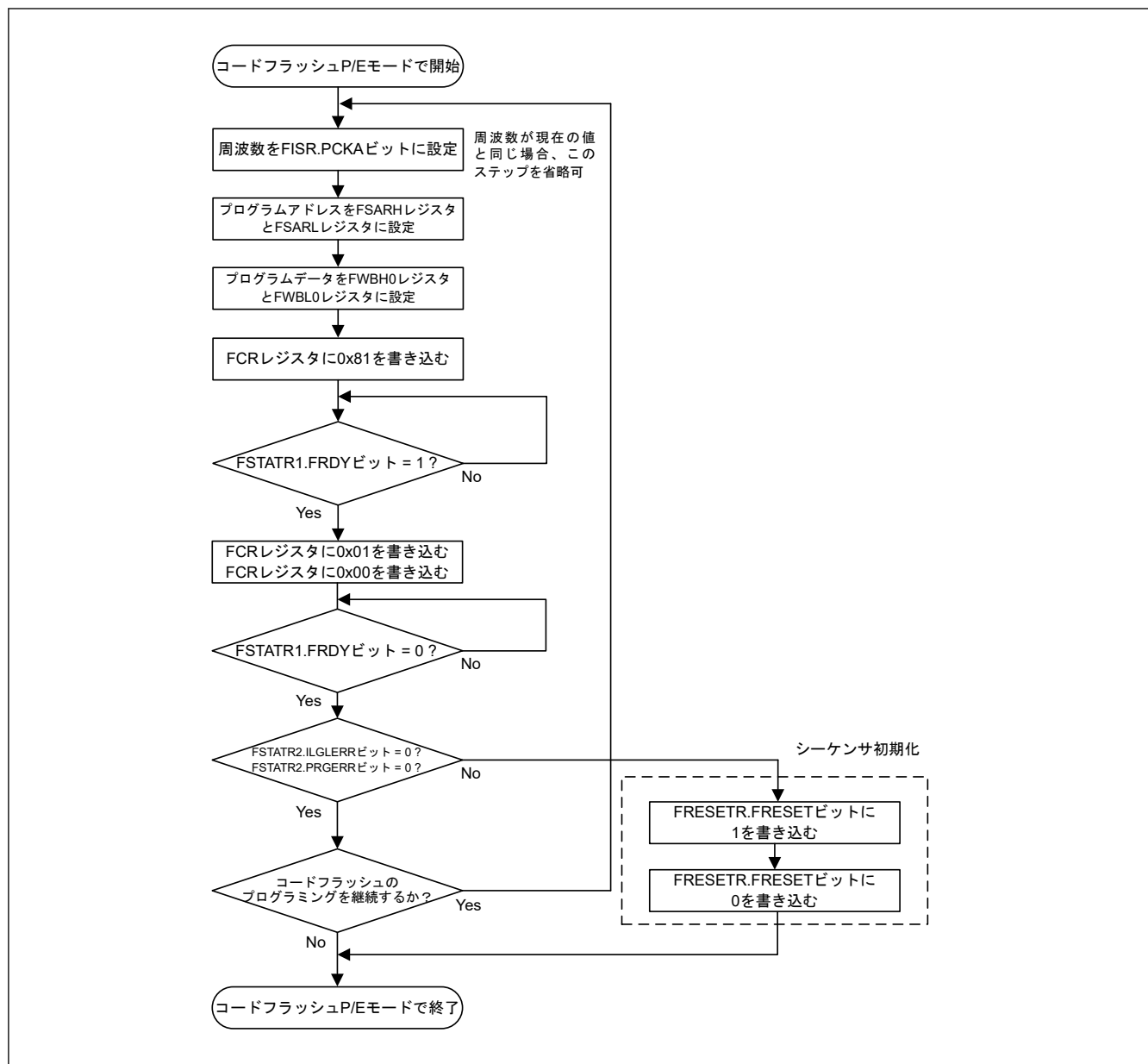


図 35.20 コードフラッシュのプログラム時のフローチャート

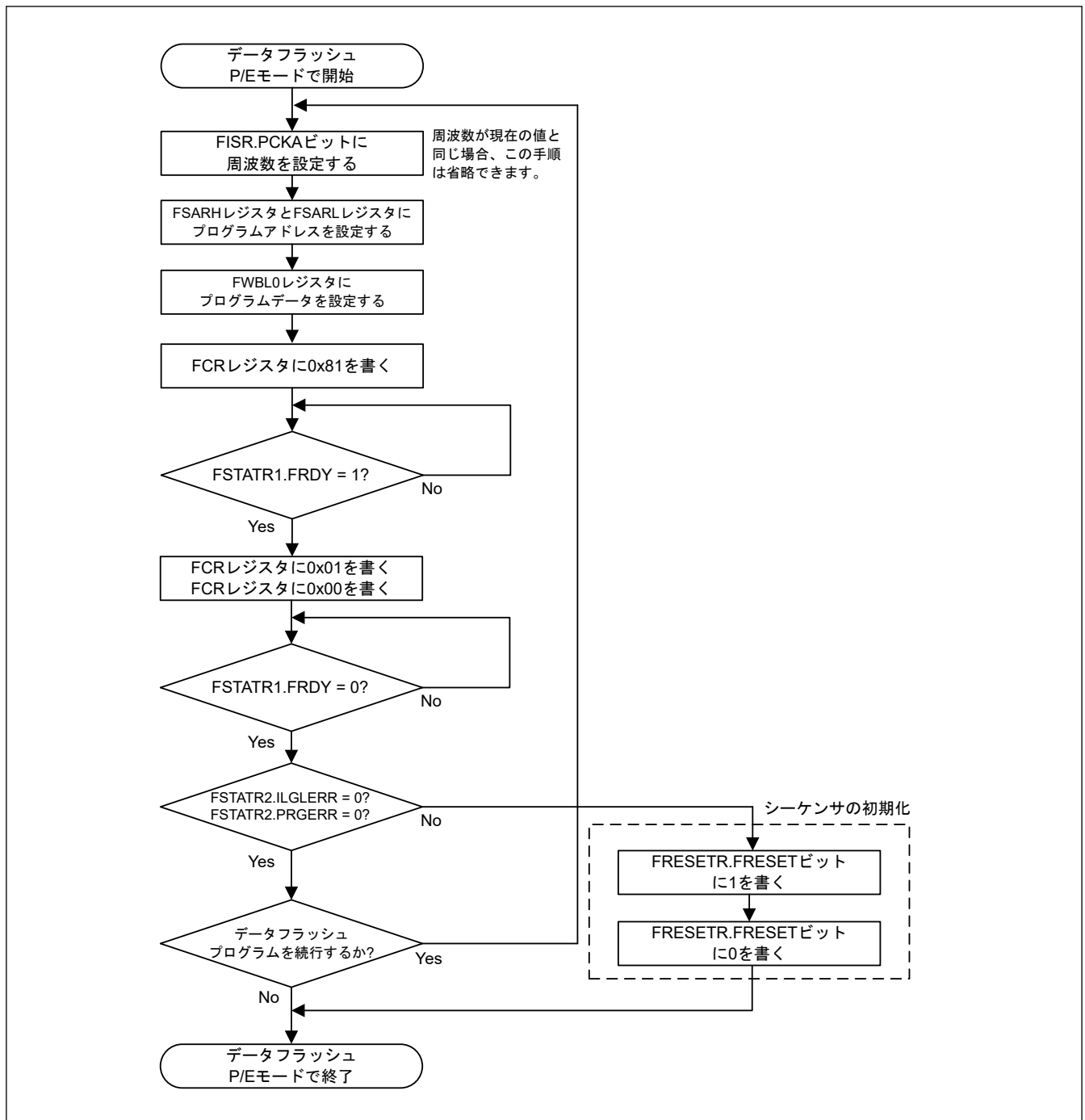


図 35.21 データフラッシュのプログラム時のフローチャート

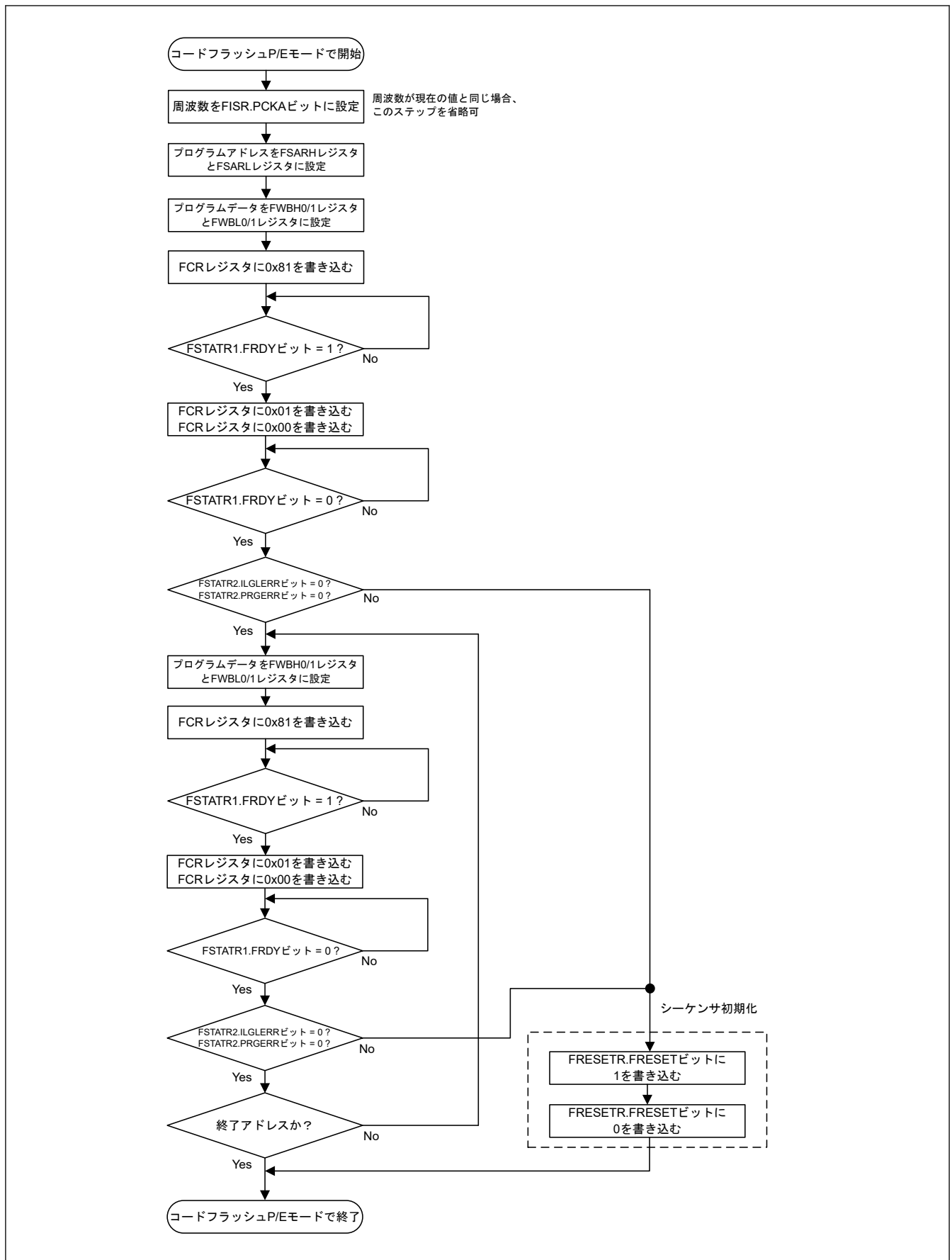


図 35.22 コードフラッシュの連続プログラム時のフローチャート

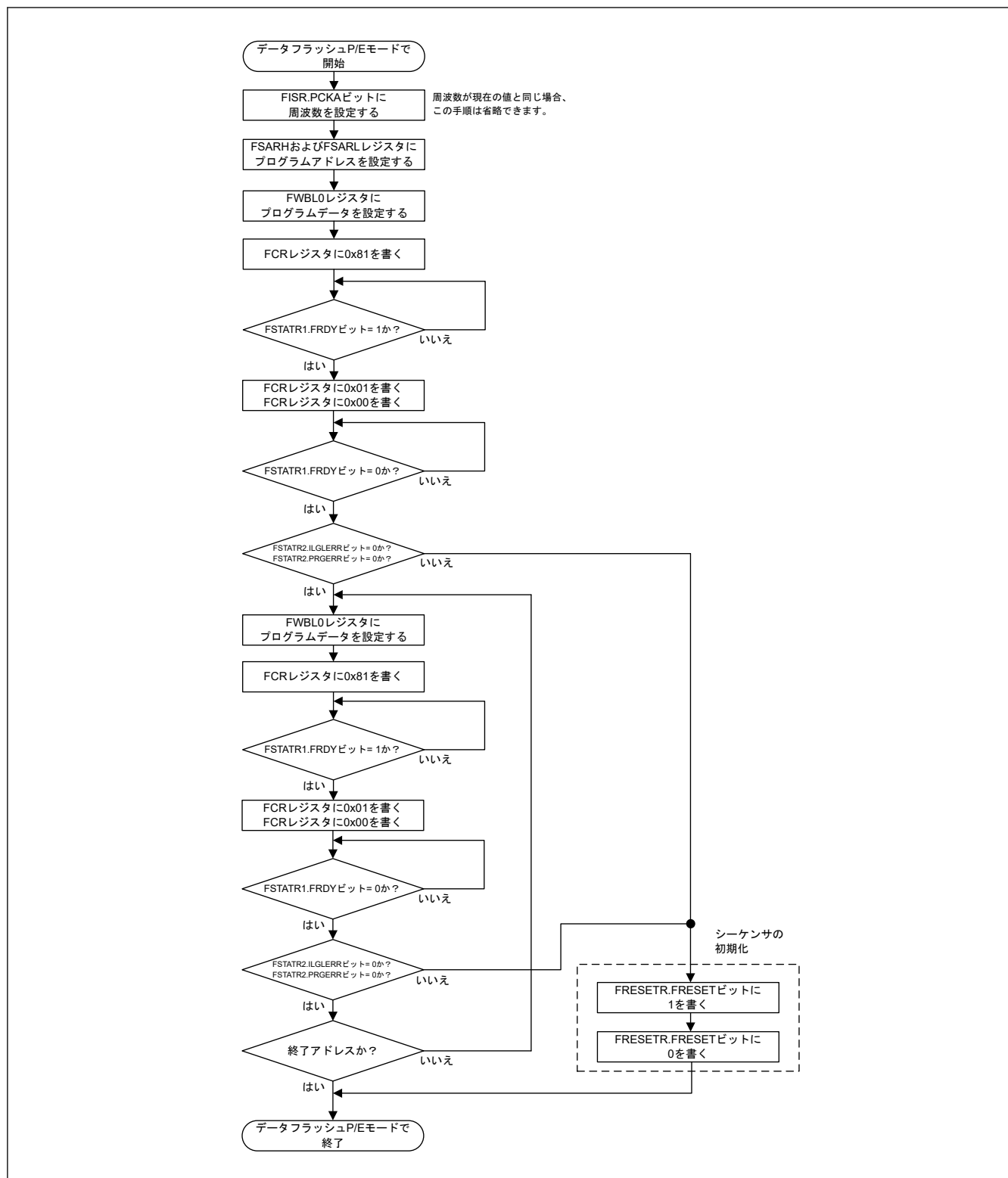


図 35.23 データフラッシュの連続プログラム時のフローチャート

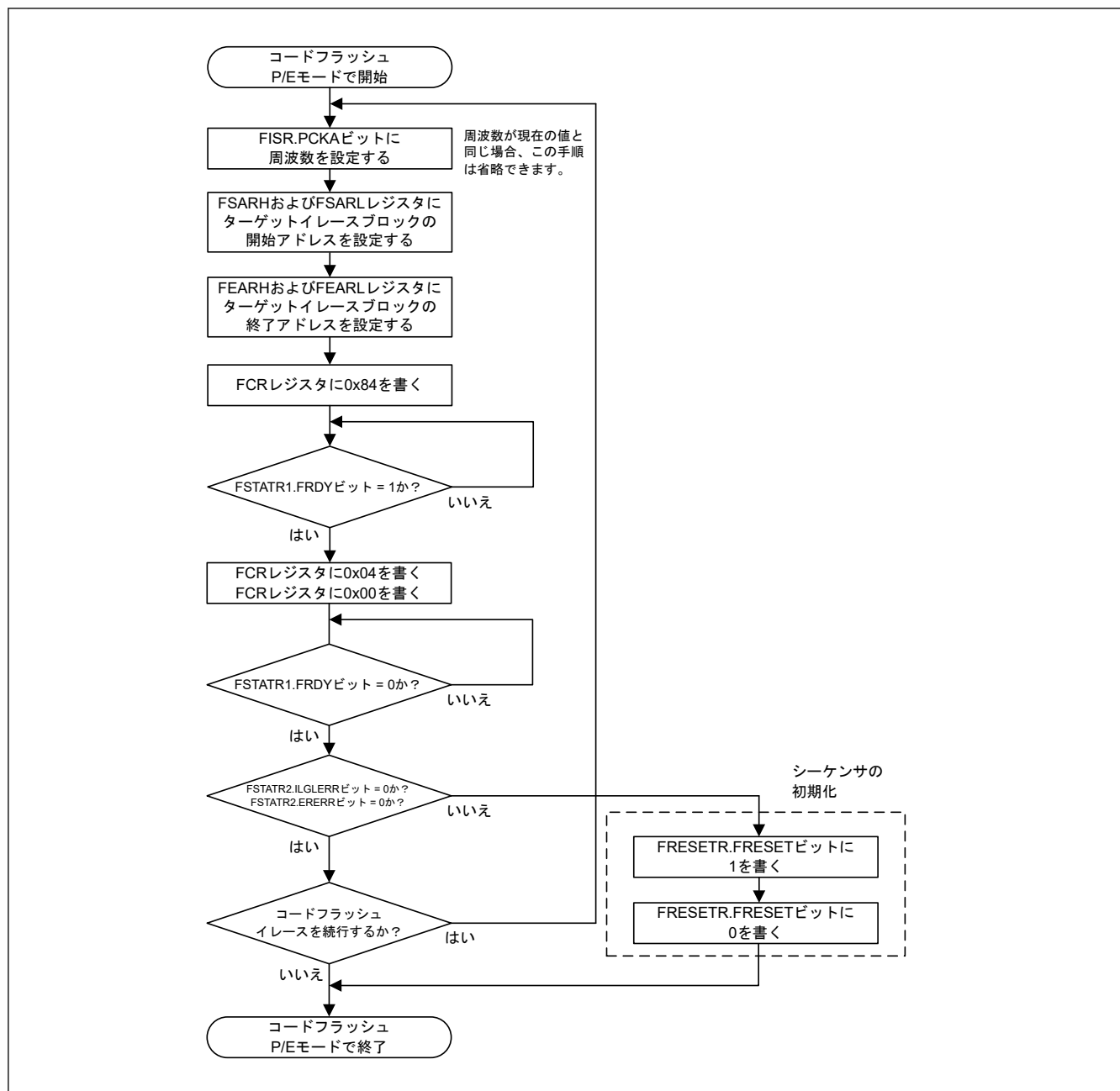


図 35.24 コードフラッシュブロックイレース手順のフローチャート

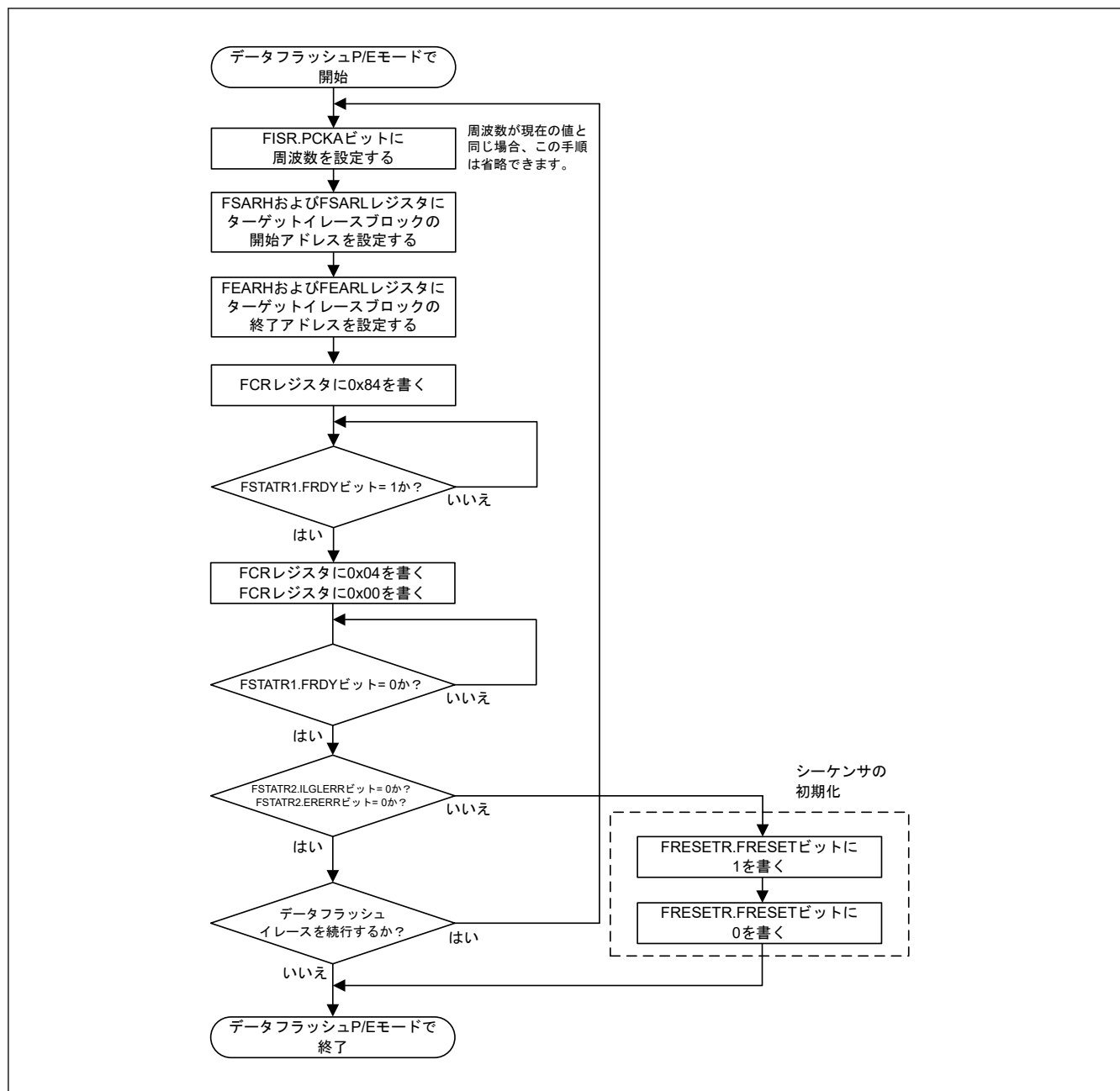


図 35.25 データフラッシュブロックイレース手順のフローチャート

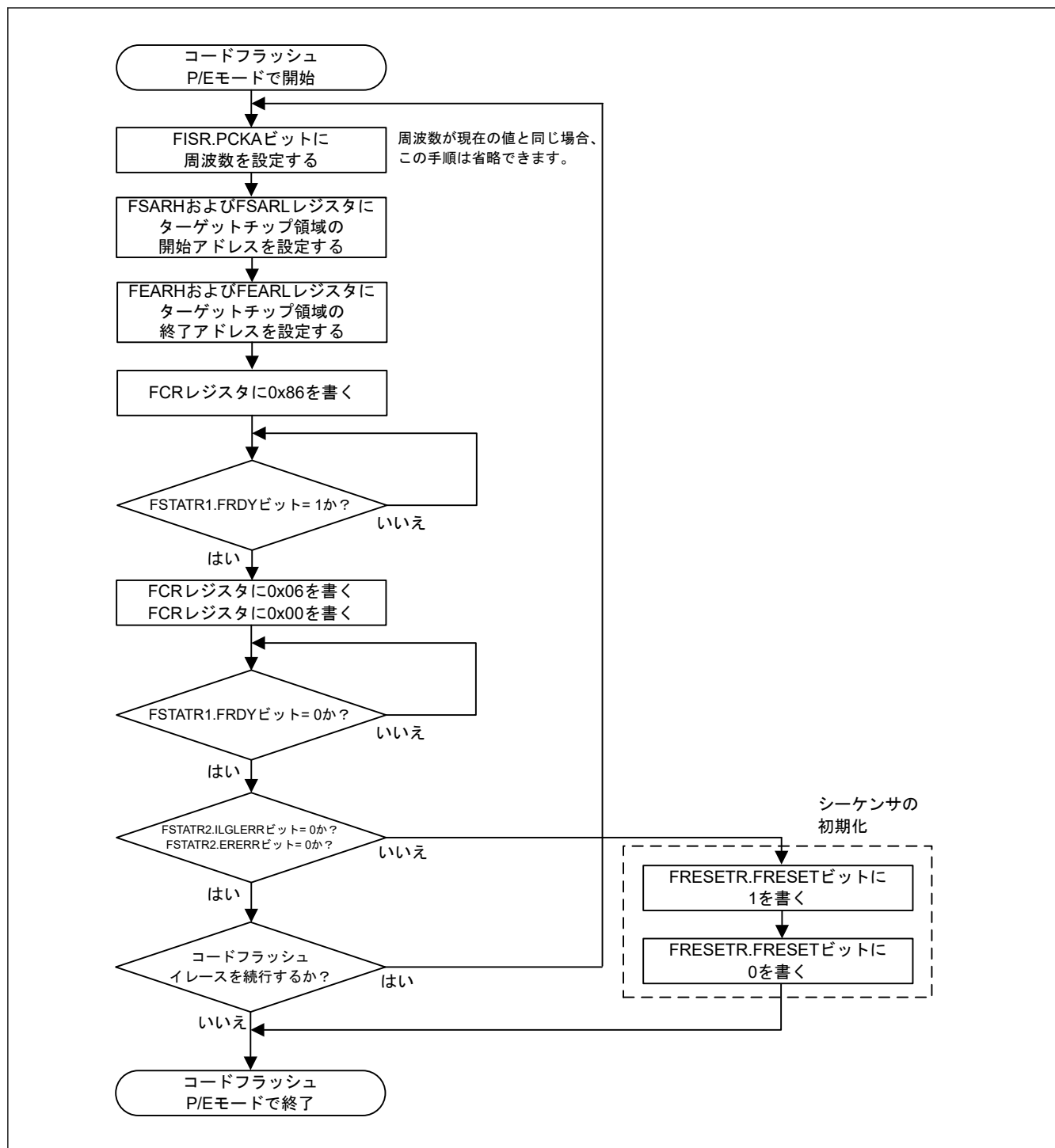


図 35.26 コードフラッシュチップイレース手順のフローチャート

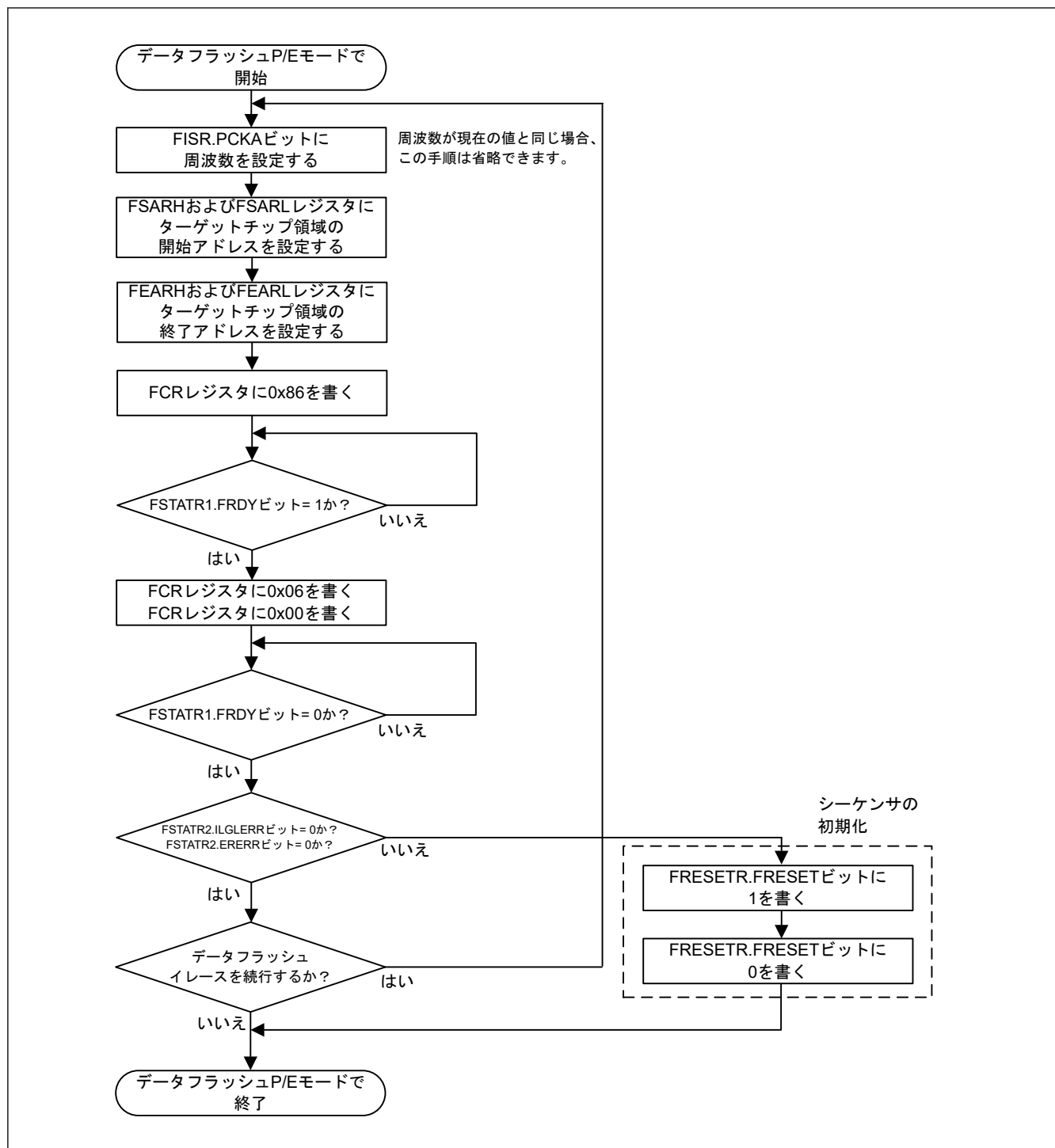


図 35.27 データフラッシュチップイレース手順のフローチャート

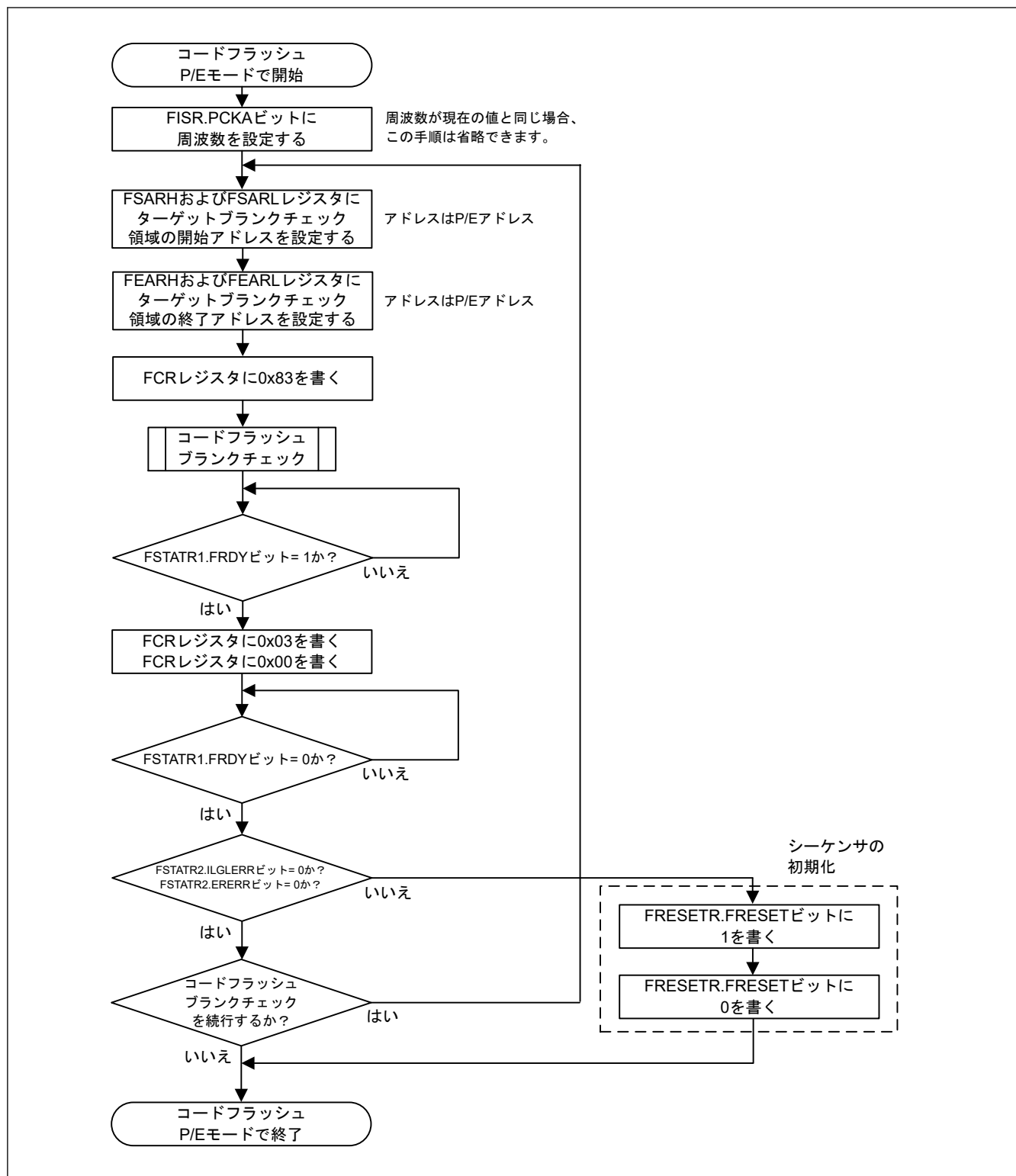


図 35.28 コードフラッシュブランクチェック手順のフローチャート

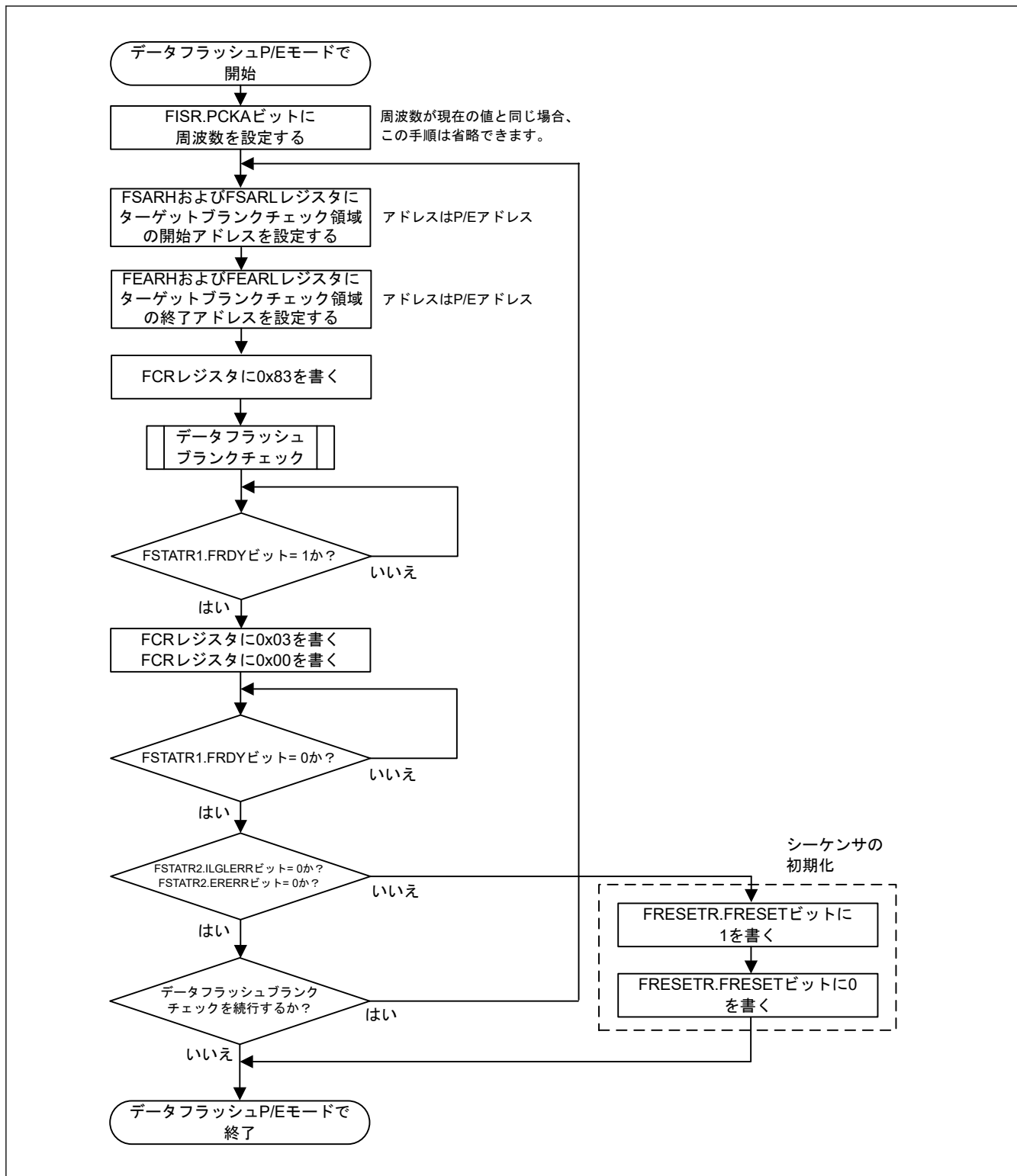
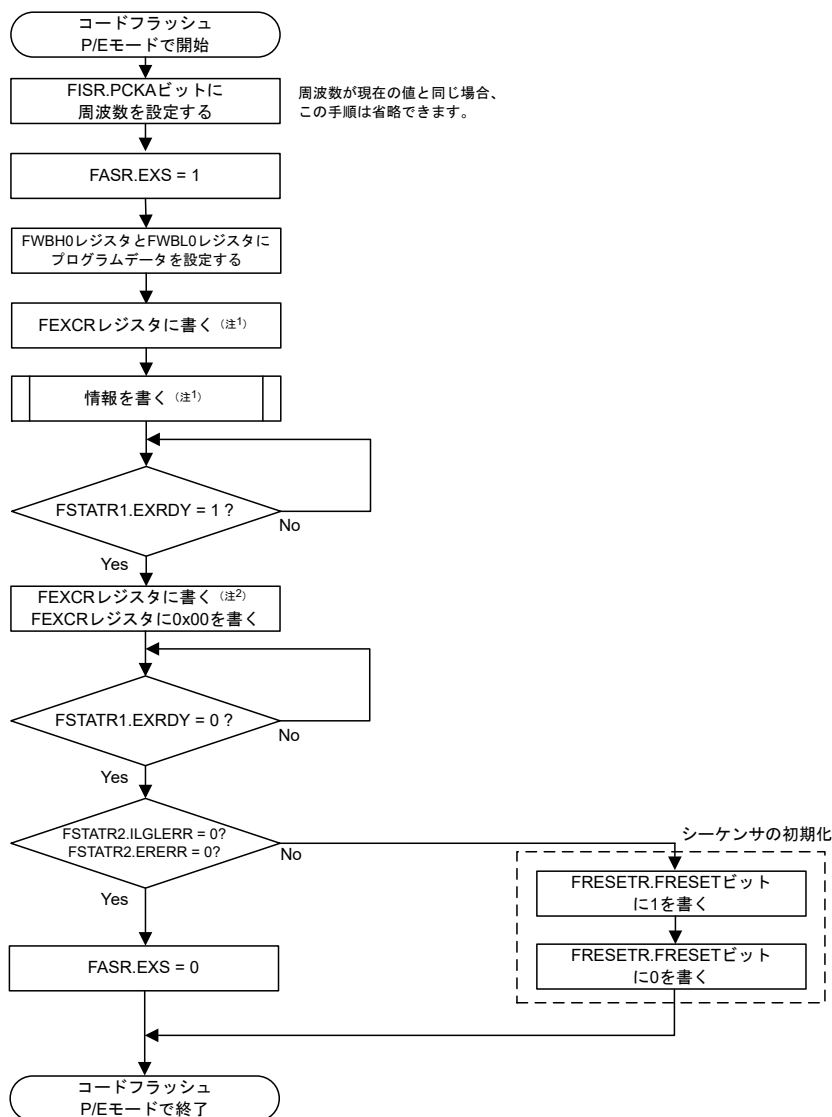


図 35.29 データフラッシュブランクチェック手順のフローチャート

- (5) スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/ユーザー ID 情報プログラム

図 35.30 は、アクセスウィンドウ情報プログラム/ユーザー ID 情報プログラムの手順を示す簡易フローチャートです。



注. プロテクション設定プログラムによる FAPR ビットの設定順序

注 1. ライトデータ:

0x81: プロテクション設定

0x82: スタートアップ領域情報および FSPR ビットアクセスウィンドウ情報

0x83: ユーザー ID1 情報

0x84: ユーザー ID2 情報

0x85: ユーザー ID3 情報

0x86: ユーザー ID4 情報

注 2. 0x0y (y = 1~6)

図 35.30 スタートアップ領域情報および FSPR プログラム/アクセスウィンドウ情報プログラム/ユーザー ID 情報プログラム/プロテクション設定プログラムの手順を示す簡易フローチャート

プロテクション設定プログラムによる FAPR ビットの設定順序は、アクセスウィンドウ情報およびユーザー ID 情報のプログラム後に FAPR ビットを設定します。アクセスウィンドウ情報およびユーザー ID 情報のプログラム前に FAPR ビットを設定すると、FAPR の保護機能によりアクセスウィンドウ情報およびユーザー ID 情報のプログラムが実行できなくなります。ヘキサファイルを使用してプログラムする場合、プログラムはアドレスの昇順になります。この場合、アクセスウィンドウ情報およびユーザー ID 情報の前に FAPR ビットが書き込まれます。そのため、FAPR のヘキサファイルを別のファイルに分割し、アクセスウィンドウ情報およびユーザー ID 情報の設定後にそのファイルを使用してください。

(6) ソフトウェアコマンドによる強制停止

図 35.31 は、ブランクチェックコマンド、ブロックイレースコマンド、またはチップイレースコマンドを強制的に停止する、強制停止手順の簡易フローチャートを示します。強制停止コマンドを実行すると、FEAMH/FEAML レジスタに停止されたアドレス値が格納されます。ブランクチェックコマンドの場合、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにそれぞれコピーすることで、停止されたアドレスからブランクチェックを再開できます。

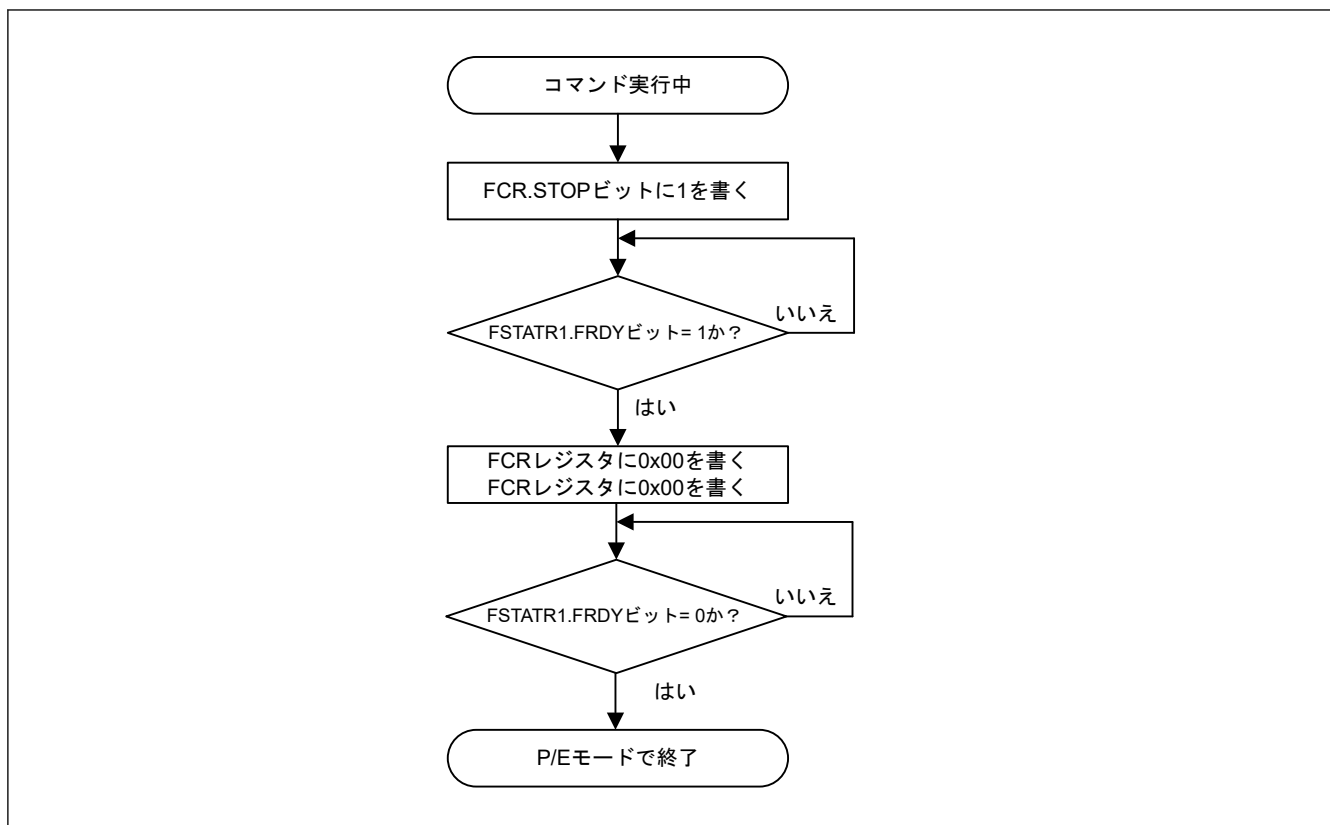


図 35.31 強制停止手順の簡易フローチャート

35.14 フラッシュメモリの読み出し

35.14.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後に再プログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、全ビットから1が読み出されます。

35.14.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。ただし、データフラッシュアクセス無効モードが読み出しを無効にするリセットを発行する場合を除きます。この場合、アプリケーションはデータフラッシュ読み出しモードへの遷移が必要です。イレース後に再プログラミングしていない（未プログラム状態の）データフラッシュを読み出すと、全ビットから1が読み出されます。

35.15 使用上の注意事項

35.15.1 イレースを中断した領域

イレース動作を中断した領域のデータは不定です。不定データの読み出しによる誤動作を回避するためには、イレース動作を中断した領域でコマンドやデータリードを実行しないでください。

35.15.2 追加の書き込みに関する制限

構成領域を除き、同一領域に2回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は上書き可能です。

35.15.3 プログラム／イレース中のリセット

RES 端子からリセットを入力する場合、 t_{RESW} 以上のリセット入力時間が経過してからリセットを解除してください。「[37.3.3. リセットタイミング](#)」を参照してください。タイミングのリセットは、電気的特性で定義された動作電圧の範囲内で行ってください。

IWDT リセットおよびソフトウェアリセットでは、 t_{RESW} 入力時間は必要ありません。

35.15.4 プログラム／イレース中における割り込みベクタの配置

デフォルト設定として、プログラムおよびイレース中に割り込みが発生すると、コードフラッシュメモリからベクタをフェッチできます。コードフラッシュメモリからベクタをフェッチしないようにするには、割り込み表でコードフラッシュメモリ以外の領域を割り込みベクタのフェッチ先に指定してください。

35.15.5 Subosc-Speed 動作モードでのプログラム／イレース

消費電力低減機能のために SOPCCR レジスタで Subosc-Speed 動作モードが選択されている場合、フラッシュメモリのプログラム／イレースは実行しないでください。

35.15.6 プログラム／イレース中の異常終了

プログラムおよびイレース中に電圧が動作電圧範囲を超えた場合、またはリセットや「[35.15.7. プログラム／イレース中に禁止されているアクション](#)」に記載の禁止動作が原因でプログラム／イレース動作が正常に終了しなかった場合、その領域を再度イレースしてください。

35.15.7 プログラム／イレース中に禁止されているアクション

フラッシュメモリの損傷を防ぐため、プログラム／イレース中は以下の指示に従ってください。

- 動作電圧範囲外の MCU 電源を使用しない
- OPCCR.OPCM[1:0] ビット値を更新しない
- SOPCCR.SOPCM ビット値を更新しない
- システムクロック (ICLK) の分周比を変更しない
- MCU をソフトウェアスタンバイモードにしない
- コードフラッシュメモリへのプログラム／イレース中にデータフラッシュメモリにアクセスしない
- データフラッシュへのプログラム／イレース動作中に DFLCTL.DFLEN ビットの値を変更しない

35.15.8 プログラム／イレース中の Flash-IF クロック (ICLK)

セルフプログラミングによるプログラム／イレースでは、フラッシュ初期設定レジスタ (FISR) を設定することで整数の周波数を指定する必要があります。

注. 周波数 (ICLK) が 4~48 MHz の場合、12.5 MHz などの非整数の周波数に対しては切り上げ値を設定しなければなりません (たとえば、12.5 MHz は 13 MHz に切り上げます)。

36. 内部電圧レギュレータ

36.1 概要

本 MCU は 1 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ (LDO)

このレギュレータは、I/O およびアナログドメイン以外のすべての内部回路およびメモリに電圧を供給します。

36.2 動作説明

表 36.1 に LDO モードの端子設定を、図 36.1 に LDO モードの設定を示します。LDO モードでは、内部電圧は VCC から生成します。

表 36.1 LDO モード端子設定

端子	設定内容
VCC	● 端子をシステムの電源に接続してください。 ● 端子を 0.1 μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VCL	端子を 4.7 μF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。

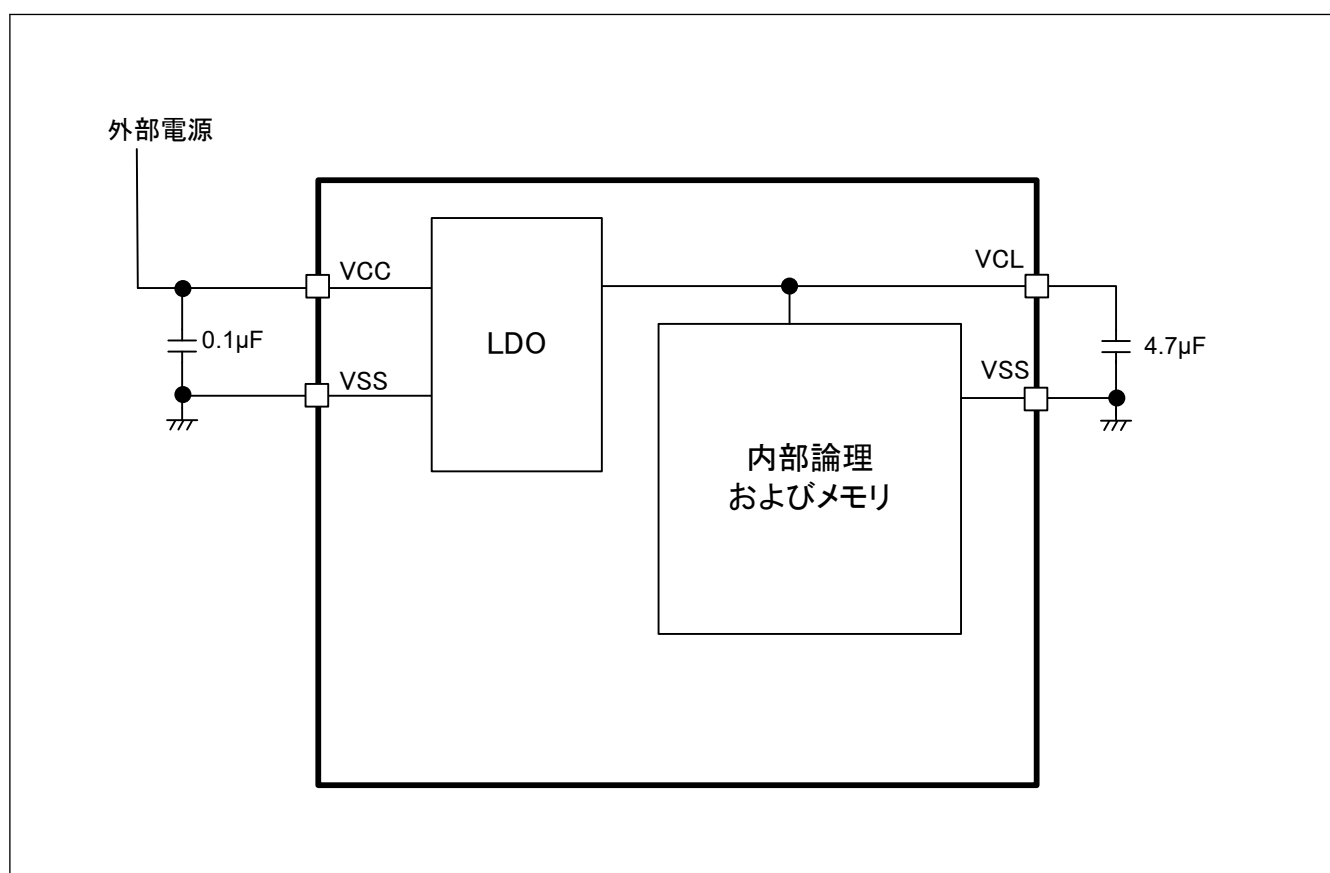


図 36.1 LDO モード設定

37. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

$V_{CC} = 1.6 \sim 5.5 \text{ V}$

$V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$

図 37.1 にタイミング条件を示します。

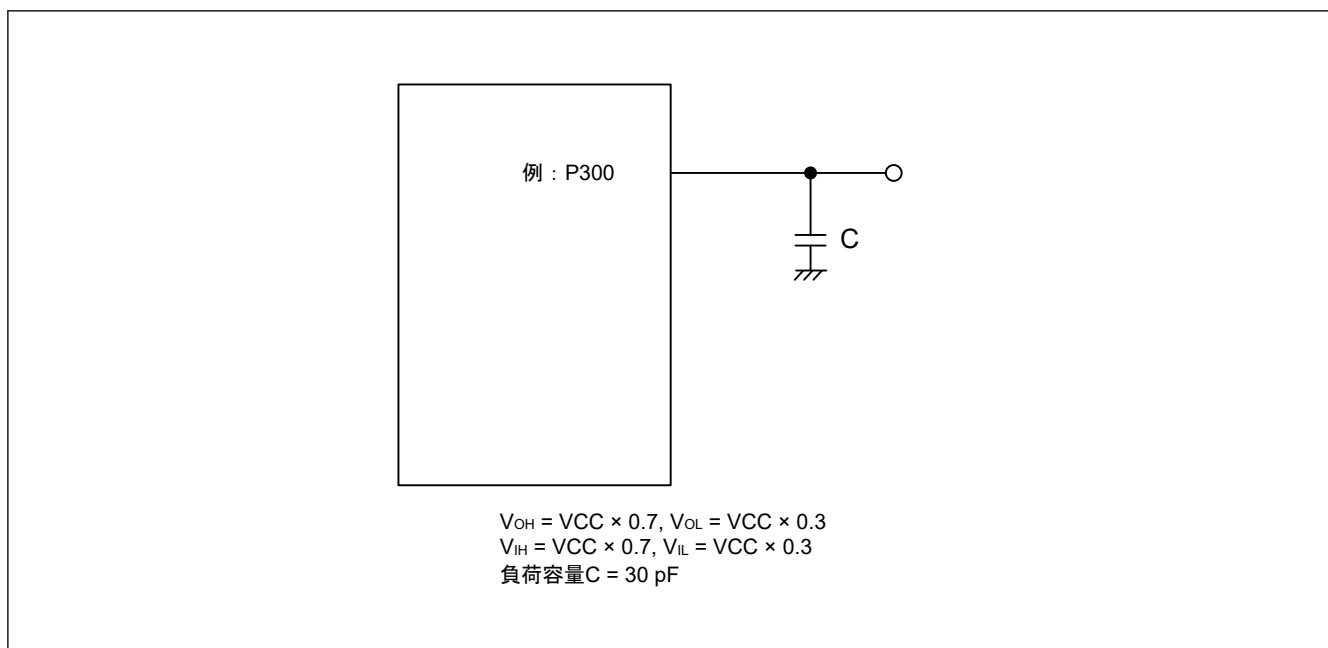


図 37.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザーシステムの条件に合うように、各端子の駆動能力を調整してください。

同じ機能に使用される各機能端子は、同じ駆動能力を選択してください。各機能端子の I/O 駆動能力が混在する場合、各機能の A/C 仕様は保証されません。

37.1 絶対最大定格

表 37.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	V_{CC}	$-0.5 \sim +6.5$	V
入力電圧	V_{in}	$-0.3 \sim V_{CC} + 0.3$	V
アナログ入力電圧	V_{AN}	$-0.3 \sim V_{CC} + 0.3$	V
動作温度(注1)	T_{opr}	$-40 \sim +125$	°C
保存温度	T_{stg}	$-55 \sim +140$	°C

注 1. 「37.2.1. T_j/T_a の定義」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

AVREFP が ADC12 の高電位基準電圧に選択されている場合に、ノイズ干渉による誤動作を防止するには、 V_{CC} 端子と V_{SS} 端子の間、AVREFP 端子と AVREFM 端子の間には周波特性の良いコンデンサを挿入してください。以下に示す値のコンデンサをできる限り各電源端子の近くに配置し、最短距離かつできる限り太いトレースを使用してください。

- V_{CC} と V_{SS} : 約 $0.1 \mu\text{F}$
- AVREFP と AVREFM : 約 $0.1 \mu\text{F}$

また、コンデンサは安定容量として接続してください。

VCL 端子は、4.7 μ F のコンデンサを介して VSS 端子に接続してください。各コンデンサは端子の近くに配置してください。

表 37.2 推奨動作条件

項目	シンボル	Min	Typ	Max	単位
電源電圧	VCC	1.6	—	5.5	V
	VSS	—	0	—	V

37.2 DC 特性

37.2.1 Tj/Ta の定義

表 37.3 DC 特性

条件：動作周囲温度 (Ta) が -40~+105°C の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	—	140	°C	High-speed モード Middle-speed モード Low-speed モード Subosc-speed モード

注: $T_j = T_a + \theta_{ja} \times \text{総消費電力 (W)}$ となるようにしてください。このとき、総消費電力 = $(V_{CC} - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CCmax} \times V_{CC}$ です。

37.2.2 I/O V_{IH} , V_{IL}

表 37.4 I/O V_{IH} , V_{IL}

条件：VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
シュミットトリガ入力電圧	5 V トレラント対応ポート (P010, P011, P101, P102, P103)	V_{IH}	$V_{CC} \times 0.7$	—	5.8	V	—
		V_{IL}	—	—	$V_{CC} \times 0.3$		
	RES、NMI その他の周辺入力端子	V_{IH}	$V_{CC} \times 0.8$	—	—		—
		V_{IL}	—	—	$V_{CC} \times 0.2$		

37.2.3 I/O I_{OH} , I_{OL}

表 37.5 I/O I_{OH} , I_{OL} (1/2)

条件：VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（端子ごとの平均値）	ANI0~ANI5 ポート (P002, P003, P006, P007, P400, P401)	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	8.0	mA	
	5 V トレラント対応ポート (P010, P011, P101~P103)	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	8.0	mA	
	その他の出力端子(注1)	I_{OH}	—	—	-4.0	mA	—
		I_{OL}	—	—	20.0	mA	

表 37.5 I/O I_{OH} 、 I_{OL} (2/2)

条件 : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
許容出力電流（全端子の最大値）（注1）	ANI0~ANI5 ポートの合計 (P002, P003, P006, P007, P400, P401)	$\Sigma I_{OH} (max)$	—	—	-24.0	mA	VCC = 2.7~5.5 V
			—	—	-6.0	mA	VCC = 1.8~2.7 V
			—	—	-3.0	mA	VCC = 1.6~1.8 V
		$\Sigma I_{OL} (max)$	—	—	48.0	mA	VCC = 2.7~5.5 V
			—	—	3.6	mA	VCC = 1.8~2.7 V
			—	—	1.8	mA	VCC = 1.6~1.8 V
	5 V トレラント対応ポート (P010, P011, P101~P103)	$\Sigma I_{OH} (max)$	—	—	-20.0	mA	VCC = 2.7~5.5 V
			—	—	-5.0	mA	VCC = 1.8~2.7 V
			—	—	-2.0	mA	VCC = 1.6~1.8 V
		$\Sigma I_{OL} (max)$	—	—	40.0	mA	VCC = 2.7~5.5 V
			—	—	3.0	mA	VCC = 1.8~2.7 V
			—	—	1.5	mA	VCC = 1.6~1.8 V
	他の出力ポートの合計	$\Sigma I_{OH} (max)$	—	—	-30.0	mA	VCC = 2.7~5.5 V
			—	—	-12.0	mA	VCC = 1.8~2.7 V
			—	—	-6.0	mA	VCC = 1.6~1.8 V
		$\Sigma I_{OL} (max)$	—	—	50.0	mA	VCC = 2.7~5.5 V
			—	—	9.0	mA	VCC = 1.8~2.7 V
			—	—	4.5	mA	VCC = 1.6~1.8 V
	全出力端子の総和	$\Sigma I_{OH} (max)$	—	—	-50.0	mA	—
		$\Sigma I_{OL} (max)$	—	—	95.0	mA	

注 1. デューティ比 $\leq 70\%$ の条件下での仕様です。
 デューティ比 $> 70\%$ の場合、出力電流値は次式で計算できます（デューティ比を 70% から $n\%$ に変更するとき）。
 $\text{端子の合計出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$
 <例> $n = 80\%$ で、 $I_{OH} = -30.0 \text{ mA}$ のとき
 $\text{端子の合計出力電流} = (-30.0 \times 0.7) / (80 \times 0.01) \approx -26.2 \text{ mA}$
 ただし、1 つの端子に入力可能な電流はデューティ比によって変化しません。

【使用上の注意】MCU の信頼性を確保するため、出力電流値は表 37.5 の値を超えないようにしてください。

37.2.4 I/O V_{OH} 、 V_{OL} 、その他の特性

表 37.6 I/O V_{OH} 、 V_{OL} (1)

条件 : VCC = 4.0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	出力端子(注1)	V_{OH}	VCC - 0.8	—	—	V	$I_{OH} = -4.0 \text{ mA}$
	P002, P003, P006, P007, P400, P401	V_{OL}	—	—	0.8		$I_{OL} = 8.0 \text{ mA}$
	P010, P011, P101~P103	V_{OL}	—	—	0.8		$I_{OL} = 8.0 \text{ mA}$
	その他の出力端子(注1)	V_{OL}	—	—	1.2		$I_{OL} = 20.0 \text{ mA}$

注 1. ポート P200（入力ポート）、および XT1 と XT2（SOSC ポート）は除きます。

表 37.7 I/O V_{OH} 、 V_{OL} (2)

条件 : VCC = 2.7~4.0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	出力端子(注1)	V_{OH}	VCC - 0.8	—	—	V	$I_{OH} = -4.0 \text{ mA}$
	出力端子(注1)	V_{OL}	—	—	0.8		$I_{OL} = 8.0 \text{ mA}$

注 1. ポート P200（入力ポート）、および XT1 と XT2（SOSC ポート）は除きます。

表 37.8 I/O V_{OH} 、 V_{OL} (3)

条件：VCC = 1.6~2.7 V

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	出力端子(注1)	V_{OH}	VCC - 0.5	—	—	V	IOH = -1.0 mA VCC = 1.8~2.7 V
			VCC - 0.5	—	—		IOH = -0.5 mA VCC = 1.6~1.8 V
	出力端子(注1)	V_{OL}	—	—	0.4		IOL = 0.6 mA VCC = 1.8~2.7 V
			—	—	0.4		IOL = 0.3 mA VCC = 1.6~1.8 V

注 1. ポート P200（入力ポート）、および XT1 と XT2（SOSC ポート）は除きます。

表 37.9 I/O その他の特性

条件：VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
Low レベル定電流出力(注1)	P100、P302、P303	$CCDI_{OL}$	1.15	2	2.87	mA	PmnPFS.DSCR = b00、VCC = 4.0 V~5.5 V
			0.97	1.7	2.59	mA	PmnPFS.DSCR = b00、VCC = 2.7 V~4.0 V
			2.95	5	6.97	mA	PmnPFS.DSCR = b01、VCC = 4.0 V~5.5 V
			2.64	4.2	6.38	mA	PmnPFS.DSCR = b01、VCC = 3.0 V~4.0 V
			5.97	10	13.48	mA	PmnPFS.DSCR = b1x、VCC = 4.0 V~5.5 V
			5.6	8.5	12.38	mA	PmnPFS.DSCR = b1x、VCC = 3.3 V~4.0 V
入力リーク電流	RES、P200、XT1、XT2	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0 V$ $V_{in} = VCC$
スリーステートリーク電流（オフ状態）	5 V トレラント対応ポート (P010, P011, P101~P103)	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0 V$ $V_{in} = 5.8 V$
	その他のポート (P200、XT1、XT2、5 V トレラント対応ポートを除く)		—	—	1.0	μA	$V_{in} = 0 V$ $V_{in} = VCC$
入力プルアップ抵抗	全ポート (P200、XT1、XT2 を除く)	R_U	10	20	100	k Ω	$V_{in} = 0 V$
入力容量	P200	C_{in}	—	—	30	pF	$V_{in} = 0 V$ $f = 1 MHz$ $T_a = 25^\circ C$
	その他の入力端子		—	—	15		

注 1. 表に示す電流は、出力電流制御機能が有効な場合に適用されます。

37.2.5 動作電流とスタンバイ電流

表 37.10 動作電流とスタンバイ電流 (1) (1/2)

条件(注1)(注2) : VCC = 1.6~5.5 V

項目					シンボル	Typ (注11)	Max	単位	測定条件			
消費電流 (注3)	High-speed モード(注4)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュ から実行(注7)	ICLK = 48 MHz	I _{CC}	7.80	—	mA	(注9) (注12)			
				ICLK = 32 MHz		6.45	—		(注9)			
				ICLK = 16 MHz		4.00	—					
				ICLK = 8 MHz		2.70	—					
			すべての周辺クロックが有効、コードはフラッシュから実行(注7)	ICLK = 48 MHz		—	17.4		(注12)			
		スリープ モード	すべての周辺クロックが無効(注7)	ICLK = 48 MHz		1.80	—		(注9)			
				ICLK = 32 MHz		1.40	—					
				ICLK = 16 MHz		1.00	—					
				ICLK = 8 MHz		0.80	—					
			すべての周辺クロックが有効(注7)	ICLK = 48 MHz		3.70	—		(注10)			
				ICLK = 32 MHz		2.60	—					
				ICLK = 16 MHz		1.65	—					
				ICLK = 8 MHz		1.10	—					
			BGO 動作時の増加分(注8)				1.95		—	—		
	Middle-speed モード(注4)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュ から実行(注7)	ICLK = 24 MHz	I _{CC}	4.80	—	mA	(注9)			
				ICLK = 4 MHz		1.35	—					
			すべての周辺クロックが有効、コードはフラッシュから実行(注7)	ICLK = 24 MHz		—	10.1		(注10)			
		スリープ モード	すべての周辺クロックが無効(注7)	ICLK = 24 MHz		1.20	—		(注9)			
				ICLK = 4 MHz		0.70	—					
			すべての周辺クロックが有効(注7)	ICLK = 24 MHz		2.20	—		(注10)			
		BGO 動作時の増加分(注8)				2.05	—		—			
		Low-speed モード(注5)	通常モード	すべての周辺クロックが無効、CoreMark コードはフラッシュ から実行(注7)		ICLK = 1 MHz	I _{CC}		0.35	—	mA	(注9)
						すべての周辺クロックが有効、コードはフラッシュから実行(注7)			ICLK = 1 MHz	—		2.8
			スリープ モード	すべての周辺クロックが無効(注7)		ICLK = 1 MHz			0.20	—		(注9)
	すべての周辺クロックが有効(注7)				ICLK = 1 MHz	0.25		—	(注10)			

表 37.10 動作電流とスタンバイ電流 (1) (2/2)

条件(注1)(注2) : VCC = 1.6~5.5 V

項目				シンボル	Typ (注11)	Max	単位	測定条件
消費電流 (注3)	Subosc- speed モード(注6)	通常モード	すべての周辺クロックが有効、コードはフラッシュから実行(注7)	I _{CC}	—	1.6	mA	(注10)
		スリープモード	すべての周辺クロックが無効(注7)		2.30	—	μA	(注10)
			すべての周辺クロックが有効(注7)		3.65	—		(注10)

注 1. High-speed モードの条件は、VCC = 1.8~5.5 V です。

注 2. Middle-speed モードの条件は、ICLK = 24 MHz の時、VCC = 1.8~5.5V です。

注 3. 消費電流は、VCC に流れ込む電流の合計で、アナログ電源電流を含みます。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 4. クロックソースは HOCO です。

注 5. クロックソースは MOCO です。

注 6. クロックソースはサブクロック発振器です。

注 7. BGO 動作は含まれません。

注 8. プログラム実行中に、データ格納用のフラッシュメモリのプログラム/イレースを実行した場合の増加分です。

注 9. PCLKB は、64 分周に設定されています。

注 10. PCLKB は、ICLK と同じ周波数です。

注 11. VCC = 3.3 V

注 12. プリフェッチが動作中です。

表 37.11 動作電流とスタンバイ電流 (2)

条件 : VCC = 1.6~5.5 V

項目					シンボル	Typ ^(注3)	Max	単位	測定条件		
消費電流 ^(注1)	ソフトウェアスタンバイモード ^(注2)	周辺モジュール停止	すべての SRAM (0x2000_0000～0x2000_0FFF および 0x2000_4000～0x2000_6FFF) がオン	T _a = 25℃	I _{CC}	0.30	1.8	μA	—		
				T _a = 55℃		0.45	5.1				
				T _a = 85℃		1.15	20				
				T _a = 105℃		2.75	48				
				T _a = 125℃		6.95	112				
			8 KB の SRAM (0x2000_0000～0x2000_0FFF および 0x2000_4000～0x2000_4FFF) がオン	T _a = 25℃		0.30	1.8				
				T _a = 55℃		0.45	4.8				
				T _a = 85℃		1.15	19				
				T _a = 105℃		2.75	47				
				T _a = 125℃		6.95	108				
		低速オンチップでの RTC 動作時増加分 ^(注4)					0.65		—	—	
		サブクロック発振器での通常動作モードの RTC 動作時増加分 ^(注4)					0.23		—	SOMCR.SODRV[1:0] = 11b (低消費電力モード 3) RTCC0.RTC128EN = 0 (通常動作モードの RTC 動作)	
							0.97		—	SOMCR.SODRV[1:0] = 00b (通常モード) RTCC0.RTC128EN = 0 (通常動作モードの RTC 動作)	
		サブクロック発振器での低消費電力クロックモードの RTC 動作時増加分 ^(注4)					0.22		—	SOMCR.SODRV[1:0] = 11b (低消費電力モード 3) RTCC0.RTC128EN = 1 (低消費電力クロックモードの RTC 動作)	
							0.95		—	SOMCR.SODRV[1:0] = 00b (通常モード) RTCC0.RTC128EN = 1 (低消費電力クロックモードの RTC 動作)	

注 1. 消費電流は、VCC に流れ込む電流の合計で、アナログ電源電流を含みます。内部プルアップ MOS が OFF 状態のとき、消費電流値が適用されます。また、これらの値にはいずれの端子からの出力充放電電流も含まれません。

注 2. IWDT と LVD は動作していません。

注 3. VCC = 3.3 V

注 4. 低速オンチップオシレータまたはサブ発振回路の電流を含みます。

表 37.12 動作電流とスタンバイ電流 (3)

条件(注1)、(注2) : VCC = 1.6~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
アナログ電源電流	12 ビット A/D 変換中 (高速変換時)	I _{VCCADC}	—	—	1.44	mA	—
	12 ビット A/D 変換中 (低消費電力変換時)		—	—	0.78	mA	—
	CMP 有効 (High-speed モード時、チャンネルごと)	I _{VCCCMP}	—	6.0	—	μA	—
	CMP 有効 (Low-speed モード時、チャンネルごと)		—	2.0	—	μA	—
	DAC8 有効 (チャンネルごと) (注1)	I _{VCCDAC}	—	—	0.5	mA	—
基準電源電流	12 ビット A/D 変換中	I _{REFH}	—	—	0.15	mA	—
温度センサ (TSN) 動作電流(注2)		I _{TSN}	—	0.13	—	mA	—
12 ビット A/D コンバータ内部基準電圧電流(注2)		I _{ADREF}	—	0.13	—	mA	—
出力電流制御動作電流	CCDE レジスタが 0x00 ではない	I _{CCDA}	—	120(注3)	—	μA	—
	単一出力電流制御ポートあたり(注4)	I _{CCDP}	—	30	—		Low レベル出力電流の設定 : Hi-Z
			—	200	—		Low レベル出力電流の設定 : 2~15 mA

注 1. DAC8 の使用条件は、VCC = 2.7~5.5 V です。

注 2. TSN と内部基準電圧の使用条件は、VCC = 1.8~5.5 V です。

注 3. VCC = 4 V の場合、出力電圧制御ポートが CCDIOL 標準電流 CCTRM.IADJ 設定時にこの電流は電源電流に加算されます。

注 4. この電流には、I/O ポート端子に流れる電流は含まれていません。

37.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 37.13 VCC 立ち上がり／立ち下がり勾配の特性

条件 : VCC = 0~5.5 V

項目		シンボル	Min	Typ	Max	単位	測定条件
電源投入時の VCC 立ち上がり勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.02	—	2	ms/V	—
	起動時電圧モニタ 0 リセット有効(注1)				—		

注 1. OFS1.LVDAS = 0 のとき

表 37.14 立ち上がり／立ち下がり勾配とリップル周波数特性

条件 : VCC = 1.6~5.5 V

リップル電圧は、VCC 上限 (5.5 V) と下限 (1.6 V) の範囲内で、許容リップル周波数 $f_r(VCC)$ を満たす必要があります。VCC 変動が VCC±10% を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 $dt/dVCC$ を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 37.2 $V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 37.2 $V_r(VCC) \leq VCC \times 0.08$
		—	—	10	MHz	図 37.2 $V_r(VCC) \leq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC 変動が VCC±10% を超える場合

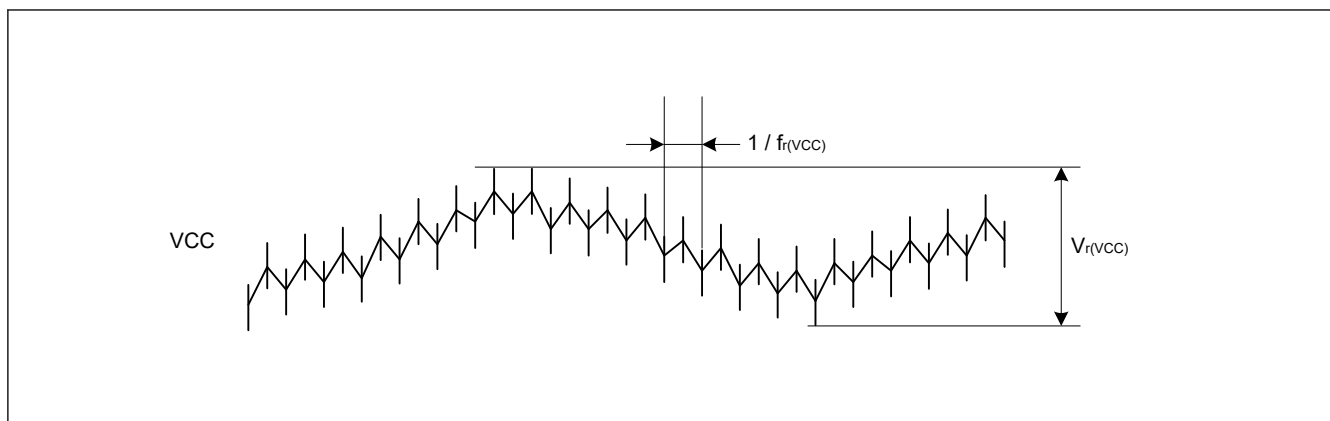


図 37.2 リップル波形

37.3 AC 特性

37.3.1 周波数

表 37.15 High-speed モード時の動作周波数

条件 : VCC = 1.8~5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1) (注2) (注3)	1.8~5.5 V	f	0.032768	—	48	MHz
	周辺モジュールクロック (PCLKB)(注3)	1.8~5.5 V		—	—	48	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 3. ICLK と PCLKB の周波数関係については「8. クロック発生回路」を参照してください。

注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 37.19 を参照してください。

表 37.16 Middle-speed モードの動作周波数

条件 : VCC = 1.6~5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1) (注2) (注3)	1.8~5.5 V	f	0.032768	—	24	MHz
		1.6~1.8 V		0.032768	—	4	
	周辺モジュールクロック (PCLKB)(注3)	1.8~5.5 V		—	—	24	
		1.6~1.8 V		—	—	4	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。フラッシュメモリのプログラムまたはイレースに ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 3. ICLK と PCLKB の周波数関係については「8. クロック発生回路」を参照してください。

注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 37.19 を参照してください。

表 37.17 Low-speed モードの動作周波数

条件 : VCC = 1.6~5.5 V

項目			シンボル	Min	Typ	Max(注4)	単位
動作周波数	システムクロック (ICLK)(注1) (注2) (注3)	1.6~5.5 V	f	0.032768	—	1	MHz
	周辺モジュールクロック (PCLKB)(注3)	1.6~5.5 V		—	—	1	

注 1. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注 2. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 3. ICLK と PCLKB の周波数関係については「8. クロック発生回路」を参照してください。

注 4. 動作周波数の最大値には内蔵オシレータの誤差は含まれていません。保証される動作範囲の詳細は、表 37.19 を参照してください。

表 37.18 Subosc-speed モードの動作周波数

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK) ^(注1) (注2)	1.6～5.5 V	f	27.8528	32.768	37.6832	kHz
	周辺モジュールクロック (PCLKB) ^(注2)	1.6～5.5 V		—	—	37.6832	

注 1. フラッシュメモリのプログラムおよびイレースはできません。

注 2. ICLK と PCLKB の周波数関係については「8. クロック発生回路」を参照してください。

37.3.2 クロックタイミング

表 37.19 クロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t _{XCYC}	50	—	—	ns	図 37.3
EXTAL 外部クロック入力 High レベルパルス幅	t _{XH}	20	—	—	ns	—
EXTAL 外部クロック入力 Low レベルパルス幅	t _{XL}	20	—	—	ns	—
EXTAL 外部クロック立ち上がり時間	t _{Xr}	—	—	5	ns	—
EXTAL 外部クロック立ち下がり時間	t _{Xf}	—	—	5	ns	—
EXTAL 外部クロック入力待機時間 ^(注1)	t _{EXWT}	0.3	—	—	μs	—
EXTAL 外部クロック入力周波数	f _{EXTAL}	—	—	20	MHz	1.8 ≤ VCC ≤ 5.5
		—	—	4	MHz	1.6 ≤ VCC < 1.8
LOCO クロック発振周波数	f _{LOCO}	27.8528	32.768	37.6832	kHz	—
LOCO クロック発振安定時間	t _{LOCO}	—	—	100	μs	図 37.4
IWDT 専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	—
MOCO クロック発振周波数	f _{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定時間	t _{MOCO}	—	—	1	μs	—
HOCO クロック発振周波数 ^(注5)	f _{HOCO24}	23.64	24	24.36	MHz	Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f _{HOCO32}	31.52	32	32.48		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
	f _{HOCO48}	47.28	48	48.72		Ta = -40~125°C 1.6 ≤ VCC ≤ 5.5
HOCO クロック発振安定待機時間 ^(注3) (注4)	t _{HOCO24} t _{HOCO32} t _{HOCO48}	—	6.7	7.7	μs	図 37.5
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	—
サブクロック発振安定時間 ^(注2)	t _{SUBOSC}	—	0.5	—	s	図 37.6

注 1. 外部クロックが安定しているとき、外部クロック入力停止ビット (MOSCCR.MOSTP) を 0 (動作中) にしてからクロックが使用できるようになるまでの時間

注 2. サブクロック発振器の動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、サブクロック発振器の使用は必ずサブクロック発振安定待機時間が経過してから開始してください。サブクロック発振安定待ち時間は発振器製造者の推奨値を使用してください。

注 3. MOCO 停止状態で HOCOCR.HCSTP ビットを 0 (発振) にした場合の特性です。MOCO 発振中に HOCOCR.HCSTP ビットを 0 (動作) にすると、この仕様は 1 μs 短くなります。

注 4. OSCSF.HOCOSF を確認して、安定時間が経過したかを確認してください。

注 5. 出荷テスト時の精度

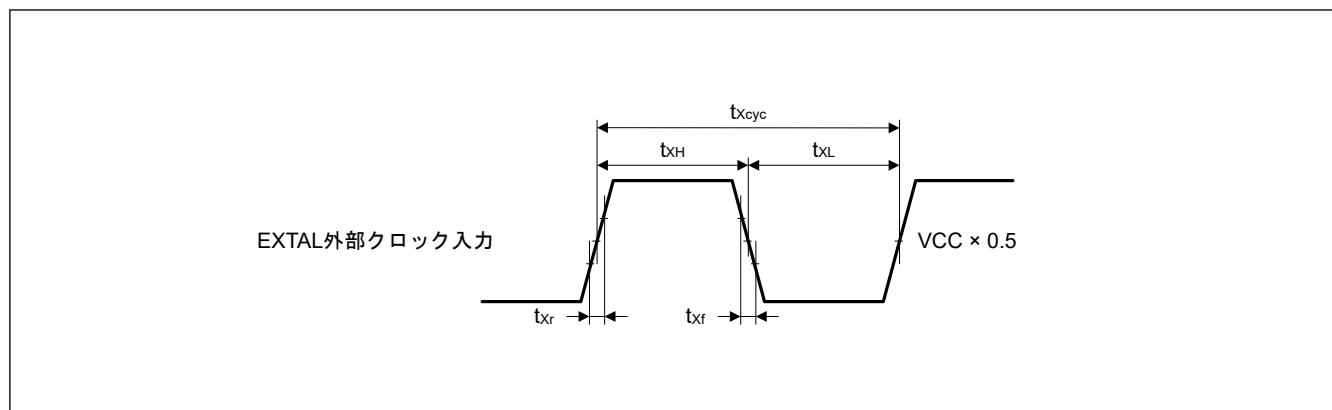


図 37.3 EXTAL 外部クロック入力タイミング

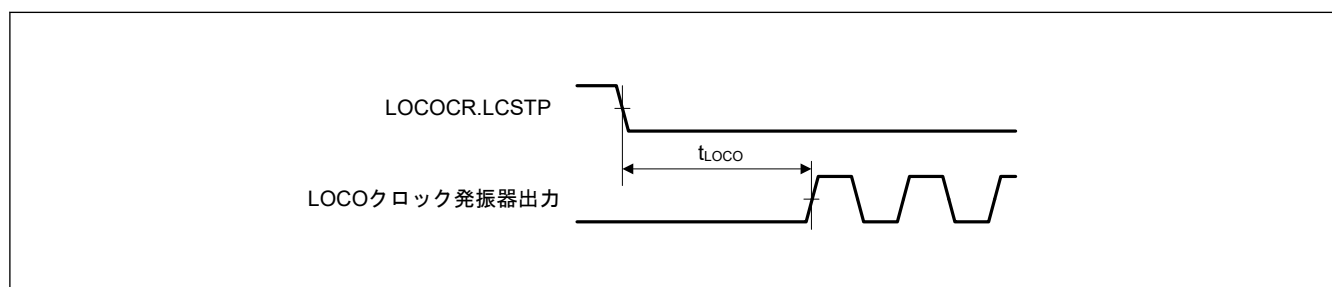


図 37.4 LOCO クロック発振開始タイミング

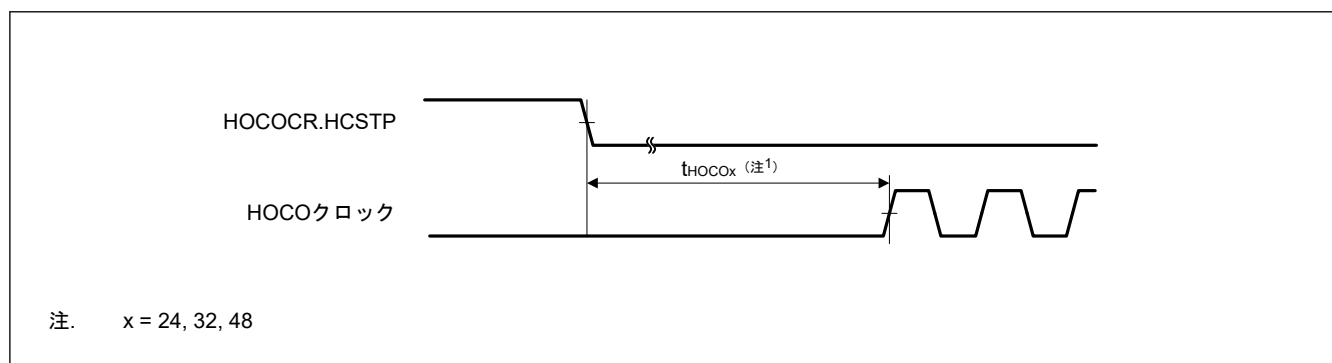


図 37.5 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定により開始)

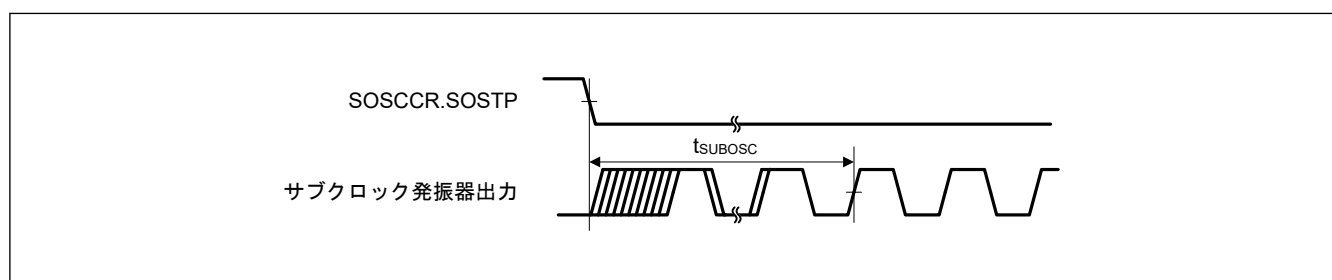


図 37.6 サブクロック発振開始タイミング

37.3.3 リセットタイミング

表 37.20 リセットタイミング (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	電源投入時	t_{RESWP}	10	—	—	ms	図 37.7
	電源投入時以外	t_{RESW}	30	—	—	μs	図 37.8

表 37.20 リセットタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES 解除後の待機時間（電源投入時）	LVD0 有効(注1)	t_{RESWT}	—	0.9	—	ms	図 37.7
	LVD0 無効(注2)		—	0.2	—		
RES 解除後の待機時間（電源投入中）	LVD0 有効(注1)	t_{RESWT2}	—	0.9	—	ms	図 37.8
	LVD0 無効(注2)		—	0.2	—		
内部リセット解除後の待機時間（ウォッチドッグタイマリセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスエラーリセット、デバッグリセット、ソフトウェアリセット）	LVD0 有効(注1)	t_{RESWT3}	—	0.9	—	ms	図 37.9
	LVD0 無効(注2)		—	0.2	—		

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

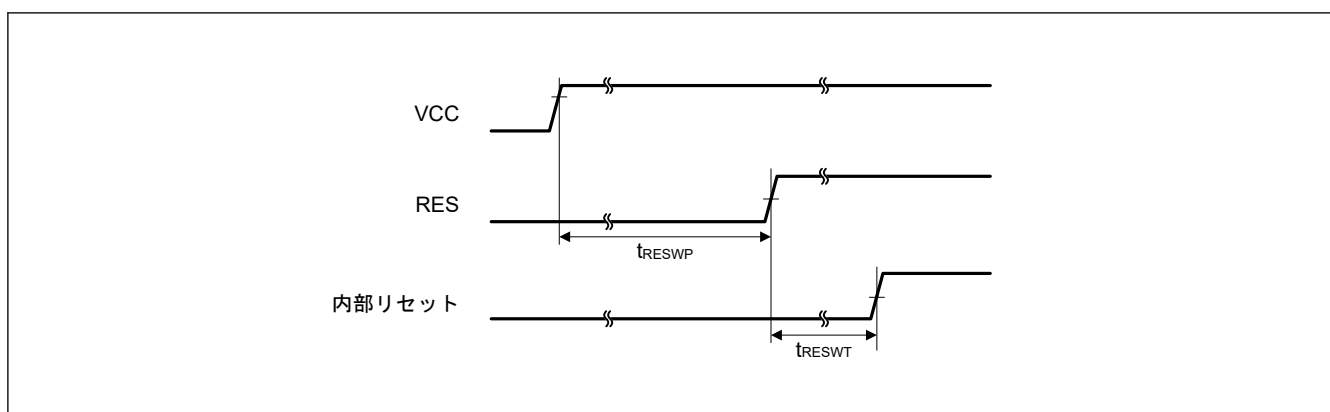


図 37.7 電源投入時リセット入力タイミング

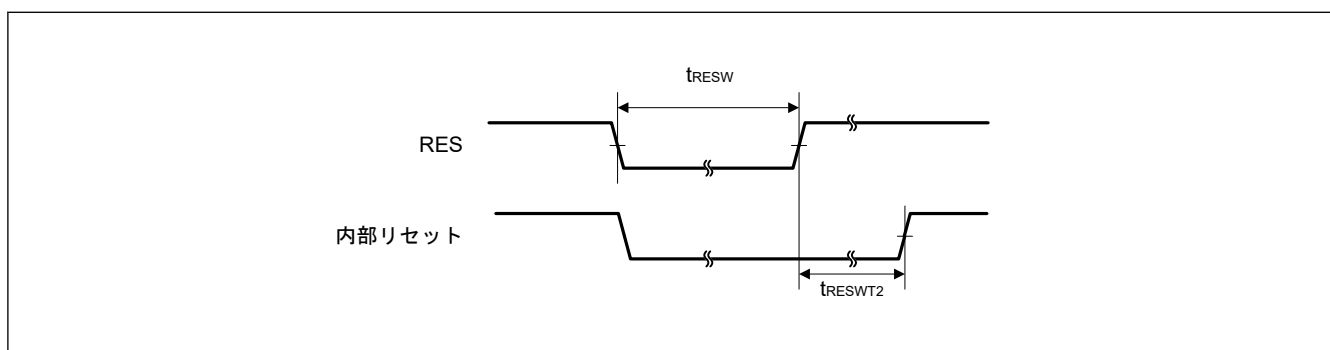


図 37.8 リセット入力タイミング (1)

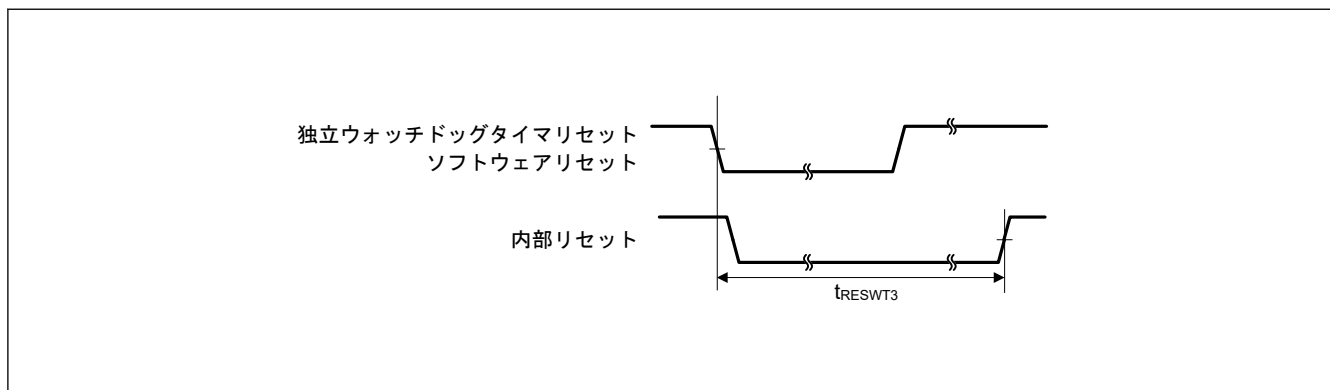


図 37.9 リセット入力タイミング (2)

37.3.4 ウェイクアップ時間

表 37.21 低消費電力モードからの復帰タイミング (1)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェア アスタンバイ モードから の復帰時間 (注1)	High- speed モ ード	外部クロック入力	システムクロックソースは外部クロック入力 (20 MHz)	t _{SBYEX}	—	2.4	3.1	μs	図 37.10
		システムクロックソースは HOCO (HOCO クロックは 32 MHz) (注2)		t _{SBYHO}	—	7.4	9.1	μs	
		システムクロックソースは HOCO (HOCO クロックは 48 MHz) (注3)				7.2	8.9	μs	
		システムクロックソースは MOCO (8 MHz)		t _{SBYMO}	—	4	5	μs	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. システムクロックは 32 MHz です。

注 3. システムクロックは 48 MHz です。

表 37.22 低消費電力モードからの復帰タイミング (2)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェア アスタンバイ モードから の復帰時 間(注1)	Middle- speed モ ード	外部クロック 入力	システムクロック ソースは外部クロ ック入力 (20 MHz) VCC = 1.8 V~5.5 V	t _{SBYEX}	—	2.4	3.1	μs	図 37.10
			システムクロック ソースは外部クロ ック入力 (20 MHz) VCC = 1.6 V~1.8 V		—	11.7	13		
		システムクロ ックソースは HOCO(注2)	VCC = 1.8 V~5.5 V	t _{SBYHO}	—	7.7	9.4	μs	
			VCC = 1.6 V~1.8 V		—	15.7	17.9		
		システムクロ ックソースは MOCO (8 MHz)	VCC = 1.8 V~5.5 V	t _{SBYMO}	—	4	5	μs	
			VCC = 1.6 V~1.8 V		—	7.2	9		

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

注 2. システムクロックは 24 MHz です。

表 37.23 低消費電力モードからの復帰タイミング (3)

項目				シンボル	Min	Typ	Max	単位	測定条件
ソフトウェア アスタンバイ モードから の復帰時 間(注1)	Low- speed モ ード	外部クロック入力	システ ムクロ ックソ ースは 外部ク ロック 入力 (1 MHz)	t _{SBYEX}	—	25	40	μs	図 37.10
		システムクロックソースは MOCO (1 MHz)		t _{SBYMO}	—	26	40	μs	

注 1. ICLK と PCLKx の分周比は許容周波数範囲の最小分周比です。復帰時間は、システムクロックソースにより決定されます。

表 37.24 低消費電力モードからの復帰タイミング (4)

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間 ^(注1)	Subosc-speed モード	システムクロックソースはサブクロック発振器 (32.768 kHz)	t_{SBYSC}	—	0.85	1	ms	図 37.10
		システムクロックソースは LOCO (32.768 kHz)	t_{SBYLO}	—	0.85	1.2	ms	

注 1. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードでも引き続き発振します。

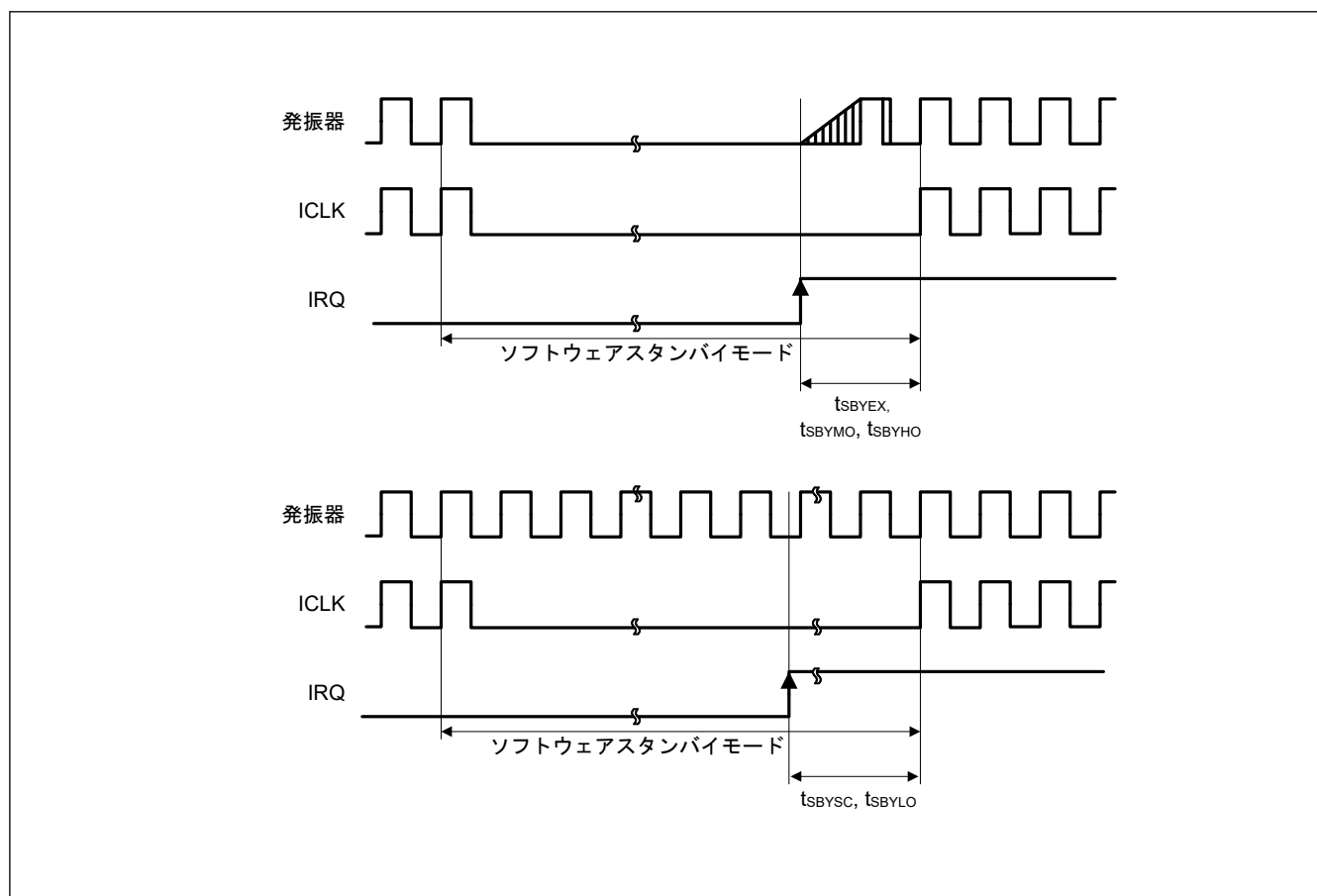


図 37.10 ソフトウェアスタンバイモード解除タイミング

表 37.25 低消費電力モードからの復帰タイミング (5)

項目		シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	High-speed モード システムクロックソースは HOCO	t_{SNZ}	—	6.6	8.1	μs	図 37.11
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.8 V ~ 5.5 V	t_{SNZ}	—	6.7	8.2	μs	
	Middle-speed モード システムクロックソースは HOCO (24 MHz) VCC = 1.6 V ~ 1.8 V	t_{SNZ}	—	10.8	12.9	μs	
	Low-speed モード システムクロックソースは MOCO (1 MHz)	t_{SNZ}	—	9.2	16	μs	

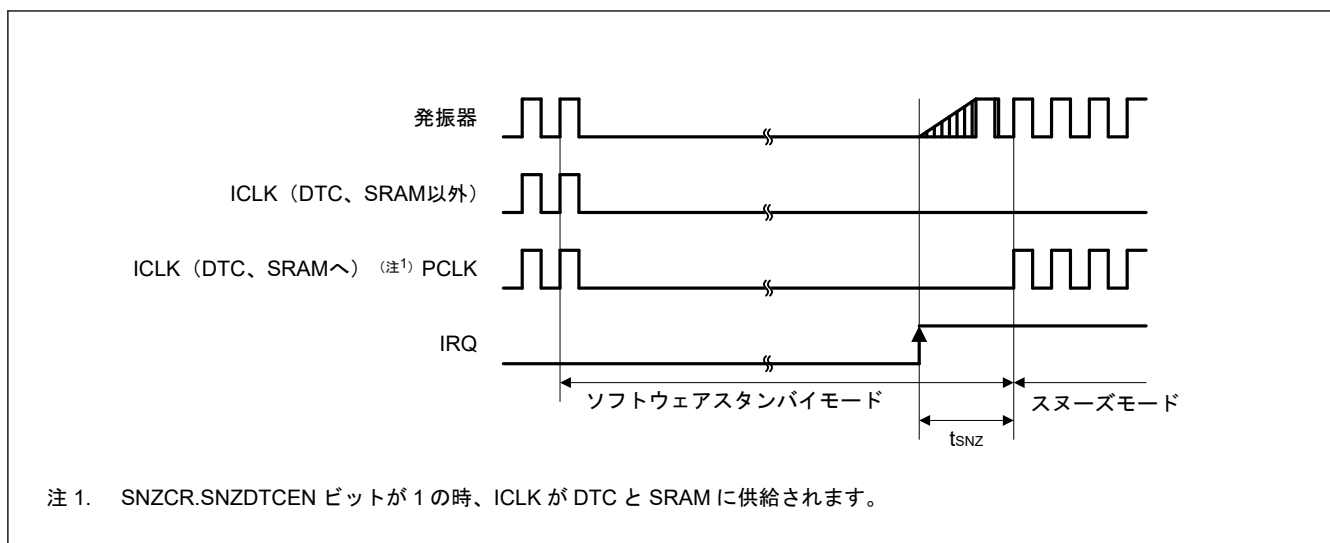


図 37.11 ソフトウェアスタンバイモードからスヌーズモードへの復帰時間

37.3.5 NMI/IRQ ノイズフィルタ

表 37.26 NMI/IRQ ノイズフィルタ (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200 \text{ ns}$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200 \text{ ns}$
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leq 200 \text{ ns}$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200 \text{ ns}$

表 37.26 NMI/IRQ ノイズフィルタ (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件	
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leq 200$ ns
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leq 200$ ns
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注. ソフトウェアスタンバイモード時は最小 200 ns です。

注. クロックソースを切り替える場合、切り替えられるクロックソースの 4 クロックサイクルを足す必要があります。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQ_i デジタルフィルタサンプリングクロックの周期を示します ($i = 0 \sim 7$)。

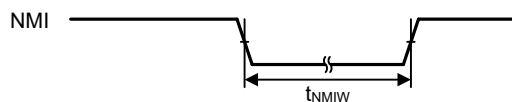


図 37.12 NMI 割り込み入力タイミング

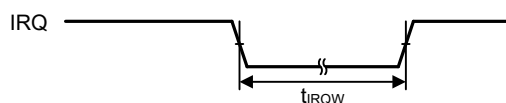


図 37.13 IRQ 割り込み入力タイミング

37.3.6 I/O ポート、KINT、ADC12 のトリガタイミング

表 37.27 I/O ポート、KINT、ADC12 のトリガタイミング

項目			シンボル	Min	Max	単位(注1)	測定条件
I/O ポート	入力データパルス幅	1.6 V ≤ VCC ≤ 5.5 V	tPRW	2	—	tPcyc	図 37.14
KINT	KRn (n = 00～05) パルス幅		tKR	250	—	ns	図 37.15

注. クロックソースを切り替える場合、切り替えるクロックソースに 4 クロックサイクルを足します。

注 1. t_{Pcyc} : PCLKB サイクル

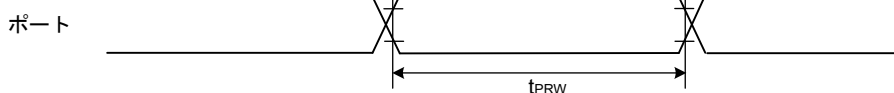


図 37.14 I/O ポート入力タイミング

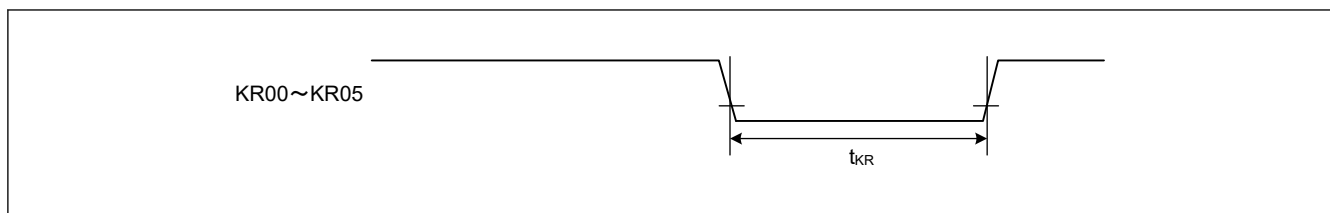


図 37.15 KINT 入力タイミング

37.3.7 TAU タイミング

表 37.28 TAU タイミング

条件 : Ta = -40~+125°C、VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
TI00~TI07 入力 High レベル幅	t_{TIH}	$1/f_{MCK} + 10$	—	—	ns	図 37.16
TI00~TI07 入力 Low レベル幅	t_{TIL}	—	—	—	—	
TO00~TO07 出力周波数	High-speed モード $2.7\text{ V} \leq VCC \leq 5.5\text{ V}$ $2.4\text{ V} \leq VCC \leq 2.7\text{ V}$ $1.8\text{ V} \leq VCC \leq 2.4\text{ V}$	f_{TO}	—	—	24	
		—	—	—	12	
		—	—	—	6	
	Middle-speed モード $2.7\text{ V} \leq VCC \leq 5.5\text{ V}$ $2.4\text{ V} \leq VCC \leq 2.7\text{ V}$ $1.8\text{ V} \leq VCC \leq 2.4\text{ V}$ $1.6\text{ V} \leq VCC \leq 1.8\text{ V}$	—	—	—	24	
		—	—	—	12	
		—	—	—	6	
		—	—	—	2	
	Low-speed モード $1.6\text{ V} \leq VCC \leq 5.5\text{ V}$	—	—	—	1	

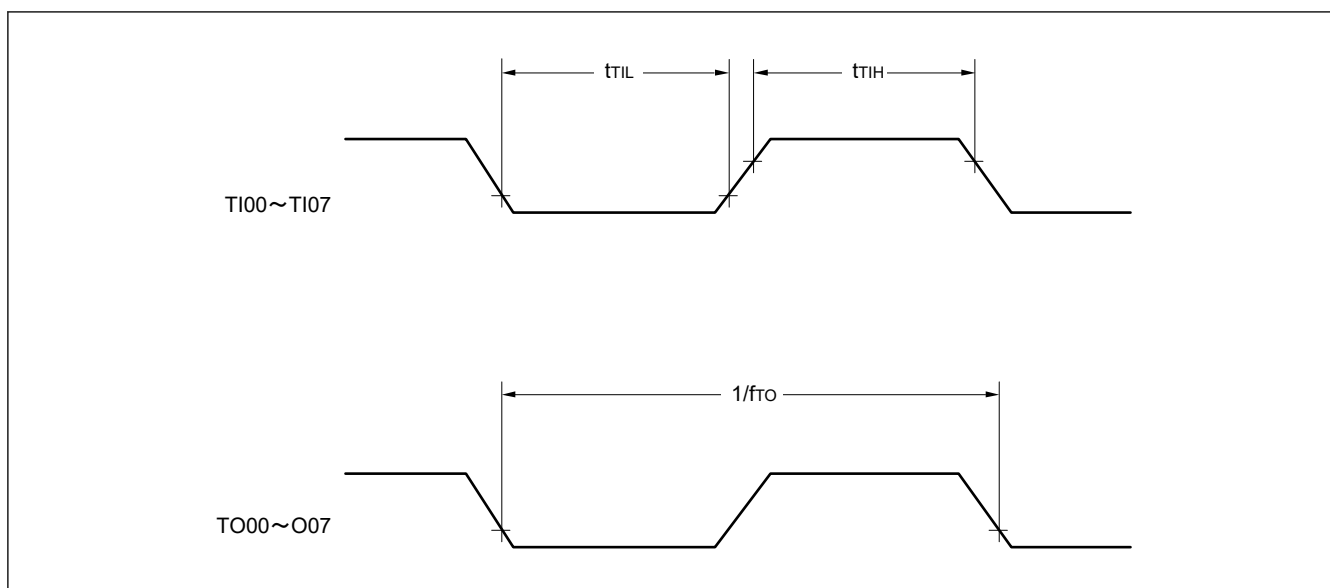
注. f_{MCK} : タイマアレイユニット動作クロック周波数

図 37.16 TAU 入出力タイミング

37.3.8 CAC タイミング

表 37.29 CAC タイミング

条件 : VCC = 1.6~5.5 V

項目	シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅 $t_{P_{cyc}}^{(注1)} \leq t_{CAC}^{(注2)}$	$4.5 \times t_{CAC} + 3 \times t_{P_{cyc}}$	—	—	ns	—
	$t_{P_{cyc}}^{(注1)} > t_{CAC}^{(注2)}$	$5 \times t_{CAC} + 6.5 \times t_{P_{cyc}}$	—	—	ns	

注 1. $t_{P_{cyc}}$: PCLKB サイクル注 2. t_{CAC} : CAC カウントクロックソースの周期

37.3.9 CLKOUT タイミング

表 37.30 CLKOUT タイミング

項目			シンボル	Min	Max	単位	測定条件
CLKOUT	CLKOUT 端子出力サイクル (注1)	2.7 V ≤ VCC ≤ 5.5 V	t _{Cyc}	62.5	—	ns	図 37.17
		1.8 V ≤ VCC < 2.7 V		125	—		
		1.6 V ≤ VCC < 1.8 V		250	—		
	CLKOUT 端子 High レベルパ ルス幅(注2)	2.7 V ≤ VCC ≤ 5.5 V	t _{CH}	15	—	ns	
		1.8 V ≤ VCC < 2.7 V		30	—		
		1.6 V ≤ VCC < 1.8 V		150	—		
	CLKOUT 端子 Low レベルパ ルス幅(注2)	2.7 V ≤ VCC ≤ 5.5 V	t _{CL}	15	—	ns	
		1.8 V ≤ VCC < 2.7 V		30	—		
		1.6 V ≤ VCC < 1.8 V		150	—		
	CLKOUT 端子出力立ち上がり 時間	2.7 V ≤ VCC ≤ 5.5 V	t _{Cr}	—	12	ns	
		1.8 V ≤ VCC < 2.7 V		—	25		
		1.6 V ≤ VCC < 1.8 V		—	50		
	CLKOUT 端子出力立ち下がり 時間	2.7 V ≤ VCC ≤ 5.5 V	t _{Cf}	—	12	ns	
		1.8 V ≤ VCC < 2.7 V		—	25		
		1.6 V ≤ VCC < 1.8 V		—	50		

注 1. EXTAL 外部クロック入力の 1 分周 (CKOCR.CKOSSEL[2:0] ビット = 011b かつ CKOCR.CKODIV[2:0] ビット = 000b) を使用して CLKOUT から出力する場合は、入力デューティサイクル 45~55% で表 37.30 の仕様を満たします。

注 2. クロック出力ソースに MOCO が選択されている場合 (CKOCR.CKOSSEL[2:0] ビット = 001b)、クロック出力分周比を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

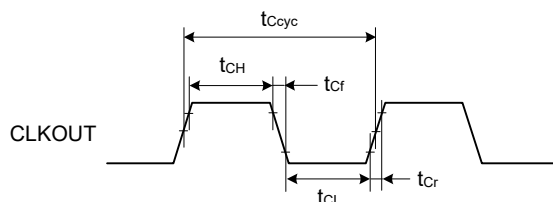
測定条件 : $V_{OH} = VCC \times 0.7$, $V_{OL} = VCC \times 0.3$, $I_{OH} = -1.0 \text{ mA}$, $I_{OL} = 1.0 \text{ mA}$, $C = 30 \text{ pF}$

図 37.17 CLKOUT 出力タイミング

37.3.10 シリアルアレイユニット (SAU)

表 37.31 UART 通信

条件 : $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 1.6 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目	シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
転送速度(注1)	$1.6 \leq V_{CC} \leq 5.5\text{ V}$	—	$f_{MCK}/6$	—	$f_{MCK}/6$	—	$f_{MCK}/6$	bps	図 37.18 図 37.19
	最大転送速度 f_{MCK} の理論上の値 = $PCLKB$ (注2)	—	5.3	—	4	—	0.16	Mbps	

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、TxDq 端子の CMOS 出力を選択します。

注. • q : UART 番号 (q = 0~2)、gh: ポート番号 (g = 0~4、h = 00~15)

• f_{MCK} : シリアルアレイユニット動作クロック周波数

注 1. スヌーズモードでの転送速度は 4800~9600 bps の範囲内です。

注 2. PCLKB の最大動作周波数は以下のとおりです。

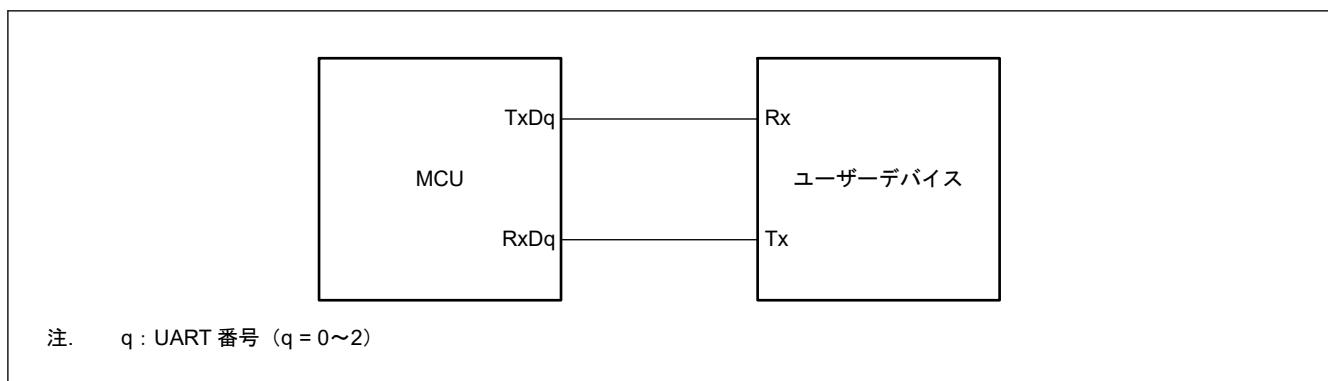
High-speed モード : 32 MHz ($1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$)Middle-speed モード : 24 MHz ($1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$)、4 MHz ($1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$)Low-speed モード : 1 MHz ($1.6\text{ V} \leq V_{CC} \leq 5.5\text{ V}$)

図 37.18 UART 通信での接続

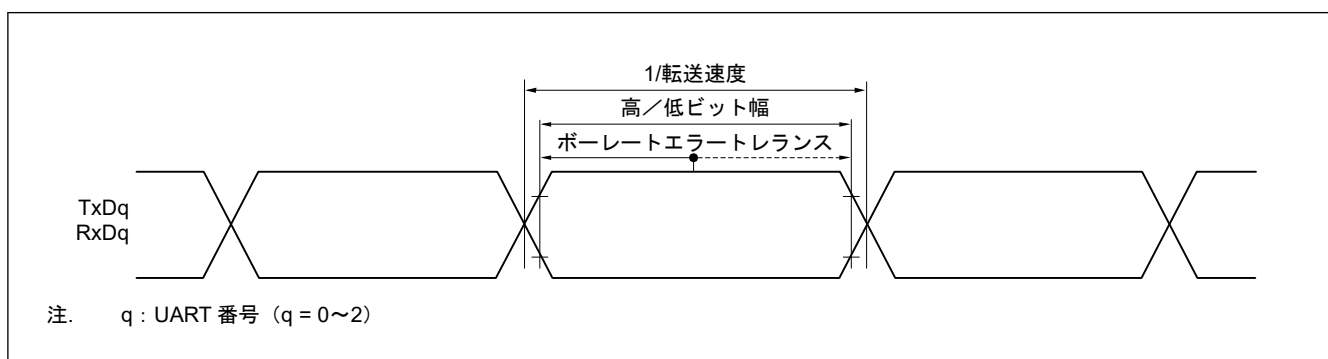


図 37.19 UART 通信のビット幅

表 37.32 マスタモードでの簡易 SPI 通信 (SPI00 のみ)

条件: $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 2.7 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目			シンボル	High-speed モード		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクル タイム	$t_{\text{KCY1}} \geq 2 / \text{PCLKB}$	$4.0 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$	t_{KCY1}	62.5	—	83.3	—	1000	—	ns	図 37.21 図 37.22
		$2.7 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$		83.3	—	125	—	1000	—	ns	
SCKp High／Low レベル幅	$4.0 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$		$t_{\text{KH1}}, t_{\text{KL1}}$	$t_{\text{KCY1}}/2 - 7$	—	$t_{\text{KCY1}}/2 - 10$	—	$t_{\text{KCY1}}/2 - 50$	—	ns	
	$2.7 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$			$t_{\text{KCY1}}/2 - 10$	—	$t_{\text{KCY1}}/2 - 15$	—	$t_{\text{KCY1}}/2 - 50$	—	ns	
Slp セットアップ 時間 (SCKp↑ま で) (注1)	$4.0 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$		t_{SIK1}	23	—	33	—	110	—	ns	
	$2.7 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$			33	—	50	—	110	—	ns	
Slp ホールド時間 (SCKp↑から) (注1)	$2.7 \text{ V} \leq \text{VCC} \leq 5.5 \text{ V}$		t_{KSI1}	10	—	10	—	10	—	ns	
SCKp↓から SOP 出力までの遅延 時間(注2)	$C = 20 \text{ pF}$ (注3)		t_{KSO1}	—	10	—	10	—	10	ns	

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SOp 端子および SCKp 端子の CMOS 出力を選択します。

注. p : SPI 番号 (p = 00)、m : ユニット番号 (m = 0)、n : チャネル番号 (n = 0)、gh : ポート番号 (g = 0~4、h = 00~15)

注 1. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] が 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 2. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] = 01b または 10b のとき、SOp 出力までの遅延時間の設定が「SCKp↑から」変わります。

注 3. C は SCKp および SOp 出力回線の負荷容量です。

表 37.33 マスタモードでの簡易 SPI 通信 (SPI00 以外)

条件: $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 1.6 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目			シンボル	High-speed モード(注1)		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクルタイム	$t_{\text{KCY1}} \geq 4/\text{PCLKB}$	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{KCY1}	125	—	166	—	2000	—	ns	図 37.21 図 37.22
		$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		250	—	250	—	2000	—	ns	
		$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		500	—	500	—	2000	—	ns	
		$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	—	1000	—	2000	—	ns	
SCKp High／Low レベル幅	$4.0\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	$t_{\text{KH1}}, t_{\text{KL1}}$	$t_{\text{KCY1}}/2 - 12$	—	$t_{\text{KCY1}}/2 - 21$	—	$t_{\text{KCY1}}/2 - 50$	—	ns		
	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{KCY1}}/2 - 18$	—	$t_{\text{KCY1}}/2 - 25$	—	$t_{\text{KCY1}}/2 - 50$	—	ns		
	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{KCY1}}/2 - 38$	—	$t_{\text{KCY1}}/2 - 38$	—	$t_{\text{KCY1}}/2 - 50$	—	ns		
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		$t_{\text{KCY1}}/2 - 50$	—	$t_{\text{KCY1}}/2 - 50$	—	$t_{\text{KCY1}}/2 - 50$	—	ns		
	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	—	$t_{\text{KCY1}}/2 - 100$	—	$t_{\text{KCY1}}/2 - 100$	—	ns		
Slp セットアップ時間 (SCKp↑まで) (注2)	$4.0\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{SIK1}	44	—	54	—	110	—	ns		
	$2.7\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		44	—	54	—	110	—	ns		
	$2.4\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		75	—	75	—	110	—	ns		
	$1.8\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		110	—	110	—	110	—	ns		
	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$		—	—	220	—	220	—	ns		
Slp ホールド時間 (SCKp↓から) (注2)	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$	t_{KSI1}	19	—	19	—	19	—	ns		
SCKp↓から SOP 出力までの遅延時間(注3)	$1.6\text{ V} \leq \text{VCC} \leq 5.5\text{ V}$ C = 30 pF(注4)	t_{KSO1}	—	25	—	25	—	25	ns		

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SOp 端子および SCKp 端子の CMOS 出力を選択します。

注. p : SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m : ユニット番号、n : チャネル番号 (mn = 00~03, 10~11)、gh : ポート番号 (g = 0~4、h = 00~15)

注 1. High-speed モード時の動作電圧は、 $1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ です。

注 2. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] が 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 3. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] = 01b または 10b のとき、SOp 出力までの遅延時間の設定が「SCKp↑から」変わります。

注 4. C は SCKp および SOp 出力回線の負荷容量です。

表 37.34 スレープモードでの簡易 SPI 通信

条件: $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 1.6 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目			シンボル	High-speed モード(注1)		Middle-speed モード		Low-speed モード		単位	測定条件
				Min	Max	Min	Max	Min	Max		
SCKp サイクルタイム(注2)	4.0 V ≦ VCC ≦ 5.5 V	20 MHz < fMCK	tKCY2	8/fMCK	—	8/fMCK	—	—	—	ns	図 37.21 図 37.22
		fMCK ≦ 20 MHz		6/fMCK	—	6/fMCK	—	6/fMCK	—	ns	
	2.7 V ≦ VCC ≦ 5.5 V	16 MHz < fMCK		8/fMCK	—	8/fMCK	—	—	—	ns	
		fMCK ≦ 16 MHz		6/fMCK	—	6/fMCK	—	6/fMCK	—	ns	
	2.4 V ≦ VCC ≦ 5.5 V			6/fMCK + 500	—	6/fMCK + 500	—	6/fMCK + 500	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V			6/fMCK + 750	—	6/fMCK + 750	—	6/fMCK + 750	—	ns	
	1.6 V ≦ VCC ≦ 5.5 V			—	—	6/fMCK + 1500	—	6/fMCK + 1500	—	ns	
	SCKp High／Low レベル幅	4.0 V ≦ VCC ≦ 5.5 V		tKH2、 tKL2	tKCY2/2 - 7	—	tKCY2/2 - 7	—	tKCY2/2 - 7	—	
2.7 V ≦ VCC ≦ 5.5 V		tKCY2/2 - 8	—		tKCY2/2 - 8	—	tKCY2/2 - 8	—	ns		
1.8 V ≦ VCC ≦ 5.5 V		tKCY2/2 - 18	—		tKCY2/2 - 18	—	tKCY2/2 - 18	—	ns		
1.6 V ≦ VCC ≦ 5.5 V		—	—		tKCY2/2 - 66	—	tKCY2/2 - 66	—	ns		
Slp セットアップ時間 (SCKp↑まで) (注3)	2.7 V ≦ VCC ≦ 5.5 V		tSIK2	1/fMCK + 20	—	1/fMCK + 30	—	1/fMCK + 30	—	ns	
	1.8 V ≦ VCC ≦ 5.5 V			1/fMCK + 30	—	1/fMCK + 30	—	1/fMCK + 30	—	ns	
	1.6 V ≦ VCC ≦ 5.5 V			—	—	1/fMCK + 40	—	1/fMCK + 40	—	ns	
Slp ホールド時間 (SCKp↑から) (注3)	1.8 V ≦ VCC ≦ 5.5 V		tKSI2	1/fMCK + 31	—	1/fMCK + 31	—	1/fMCK + 31	—	ns	
	1.6 V ≦ VCC ≦ 5.5 V			—	—	1/fMCK + 250	—	1/fMCK + 250	—	ns	
SCKp↓から SOP 出力までの遅延時間(注4)	C = 30 pF(注5)	2.7 V ≦ VCC ≦ 5.5 V	tKSO2	—	2/fMCK + 44	—	2/fMCK + 110	—	2/fMCK + 110	ns	
		2.4 V ≦ VCC ≦ 5.5 V		—	2/fMCK + 75	—	2/fMCK + 110	—	2/fMCK + 110	ns	
		1.8 V ≦ VCC ≦ 5.5 V		—	2/fMCK + 110	—	2/fMCK + 110	—	2/fMCK + 110	ns	
		1.6 V ≦ VCC ≦ 5.5 V		—	—	—	2/fMCK + 220	—	2/fMCK + 220	ns	

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SOP 端子の CMOS 出力を選択します。

注.

- p: SPI 番号 (p = 00, 01, 10, 11, 20, 21)、m: ユニット番号、n: チャンネル番号 (mn = 00~03, 10~11)、gh: ポート番号 (g = 0~4、h = 00~15)

- f_{MCK} : シリアルアレイユニット動作クロック周波数

注 1. High-speed モード時の動作電圧は、 $1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ です。

注 2. ストリープモードでの転送速度は最大 0.5 Mbps です。

注 3. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] が 01b または 10b の場合、Slp セットアップ時間の設定は「SCKp↓まで」になり、Slp ホールド時間の設定は「SCKp↓から」になります。

注 4. この設定は SCRmn.DCP[1:0] = 00b または 11b のときに適用されます。SCRmn.DCP[1:0] = 01b または 10b のとき、SOp 出力までの遅延時間の設定が「SCKp↑から」変わります。

注 5. C は SOp 出力回線の負荷容量です。

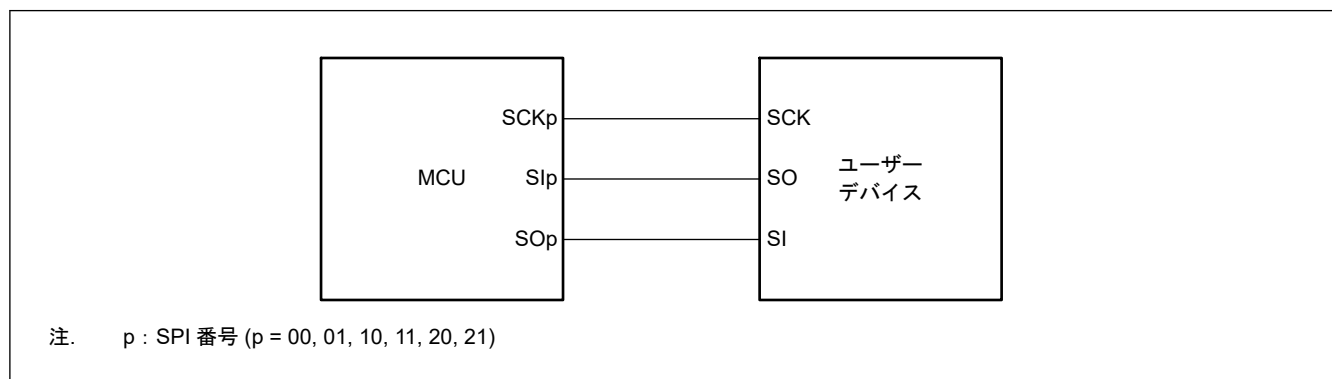


図 37.20 簡易 SPI 通信での接続

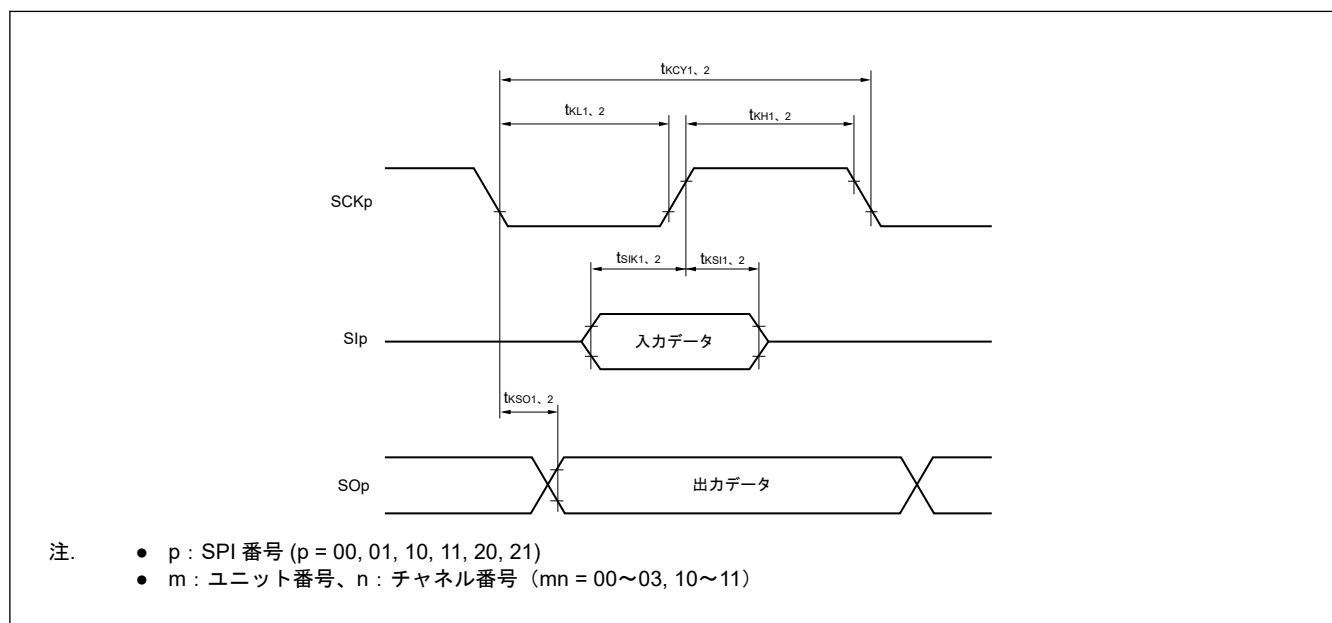


図 37.21 SCRmn.DCP[1:0]=00b または 11b の場合の簡易 SPI 通信でのシリアル転送タイミング

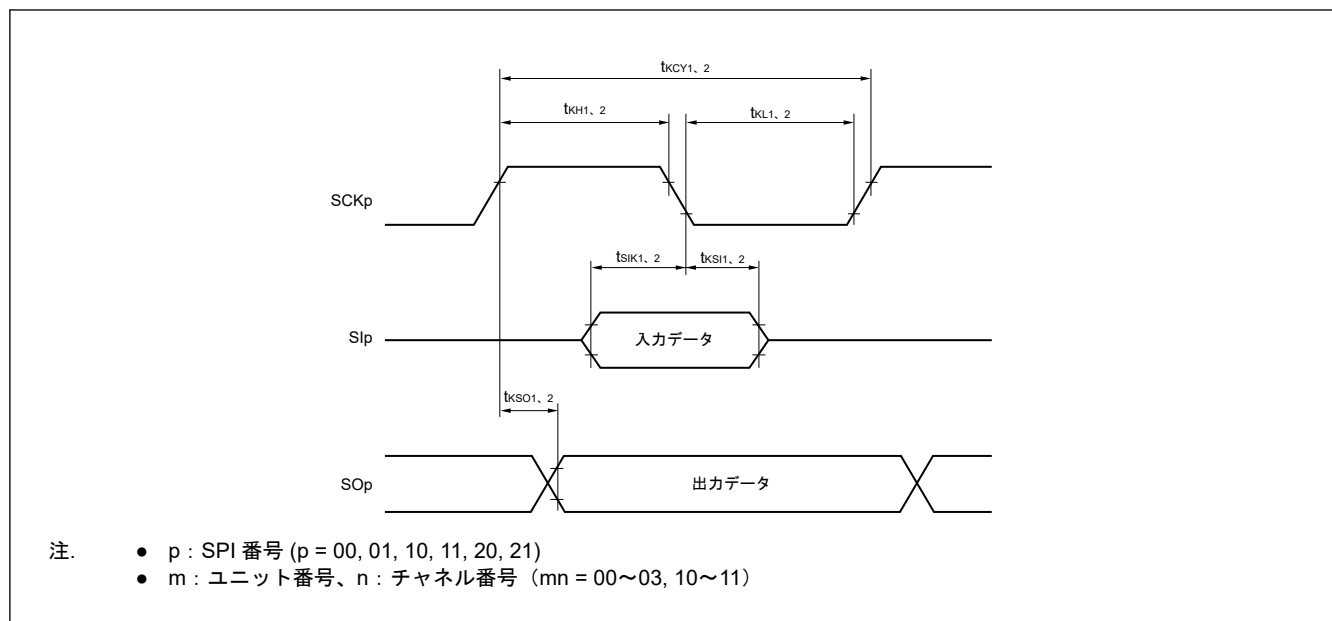


図 37.22 SCRmn.DCP[1:0]=01b または 10b の場合の簡易 SPI 通信でのシリアル転送タイミング

表 37.35 簡易 I²C 通信条件: $T_a = -40 \sim +125^\circ\text{C}$, $V_{CC} = 1.6 \sim 5.5\text{ V}$, $V_{SS} = 0\text{ V}$

項目	シンボル	High-speed モード ^(注1)		Middle-speed モード		Low-speed モード		単位	測定条件
		Min	Max	Min	Max	Min	Max		
SCLr クロック周波数	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	—	1000 ^(注2)	—	1000 ^(注2)	—	400 ^(注2)	kHz	図 37.23 図 37.24
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	—	400 ^(注2)	—	400 ^(注2)	—	400 ^(注2)	kHz	
	$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	—	300 ^(注2)	—	300 ^(注2)	—	300 ^(注2)	kHz	
	$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	—	—	—	250 ^(注2)	—	250 ^(注2)	kHz	
SCLr が Low の場合のホールド時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	475	—	475	—	1150	—	ns	
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	1150	—	1150	—	1150	—	ns	
	$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	1550	—	1550	—	1550	—	ns	
	$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	—	—	1850	—	1850	—	ns	
SCLr が High の場合のホールド時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	475	—	475	—	1150	—	ns	
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	1150	—	1150	—	1150	—	ns	
	$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	1550	—	1550	—	1550	—	ns	
	$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	—	—	1850	—	1850	—	ns	
データセットアップ時間 (受信)	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	$1/f_{MCK} + 85$ ^(注3)	—	$1/f_{MCK} + 85$ ^(注3)	—	$1/f_{MCK} + 145$ ^(注3)	—	ns	
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	$1/f_{MCK} + 145$ ^(注3)	—	$1/f_{MCK} + 145$ ^(注3)	—	$1/f_{MCK} + 145$ ^(注3)	—	ns	
	$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	$1/f_{MCK} + 230$ ^(注3)	—	$1/f_{MCK} + 230$ ^(注3)	—	$1/f_{MCK} + 230$ ^(注3)	—	ns	
	$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	—	—	$1/f_{MCK} + 290$ ^(注3)	—	$1/f_{MCK} + 290$ ^(注3)	—	ns	
データホールド時間 (送信)	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 50\text{ pF}$, $R_b = 2.7\text{ k}\Omega$	0	305	0	305	0	305	ns	
	$1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 3\text{ k}\Omega$	0	355	0	355	0	355	ns	
	$1.8\text{ V} \leq V_{CC} < 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	0	405	0	405	0	405	ns	
	$1.6\text{ V} \leq V_{CC} < 1.8\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 5\text{ k}\Omega$	—	—	0	405	0	405	ns	

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、SDAr 端子の NMOS オープンドレイン出力および SCLr 端子の CMOS 出力を選択します。

注. r : IIC 番号 ($r = 00, 01, 10, 11, 20, 21$)、gh: ポート番号 ($g = 0 \sim 4$, $h = 00 \sim 15$)

• f_{MCK} : シリアルアレイユニット動作クロック周波数

• $R_b[\Omega]$: 通信ライン (SDAr) のプルアップ抵抗、 $C_b[F]$: 通信ライン (SDAr, SCLr) の負荷容量

注 1. High-speed モード時の動作電圧は、 $1.8\text{ V} \leq V_{CC} \leq 5.5\text{ V}$ です。

注 2. 表に示す時間は、 $f_{MCK}/4$ 以下である必要があります。

注 3. SCLr が Low または High の場合に f_{MCK} がホールド時間を超えないように設定してください。

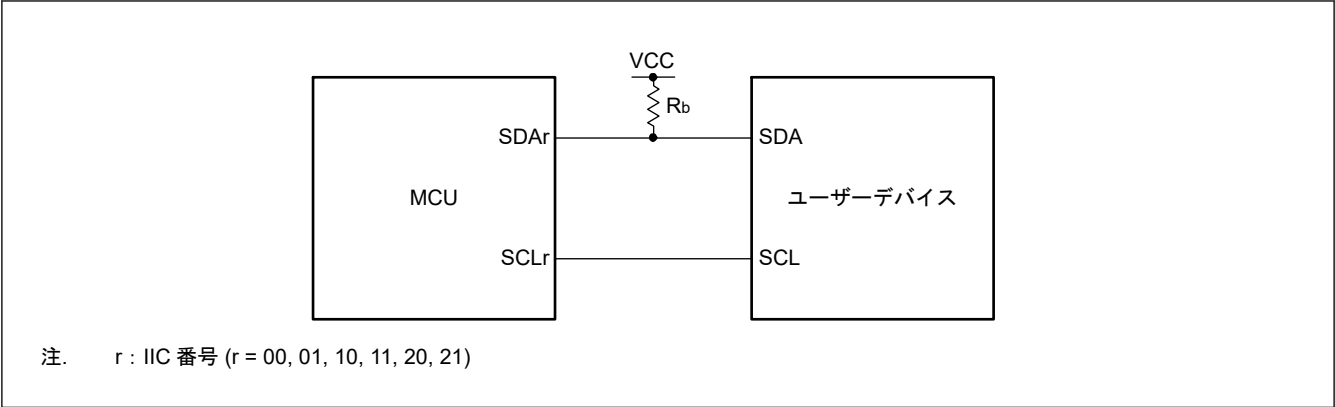


図 37.23 簡易 I²C 通信での接続

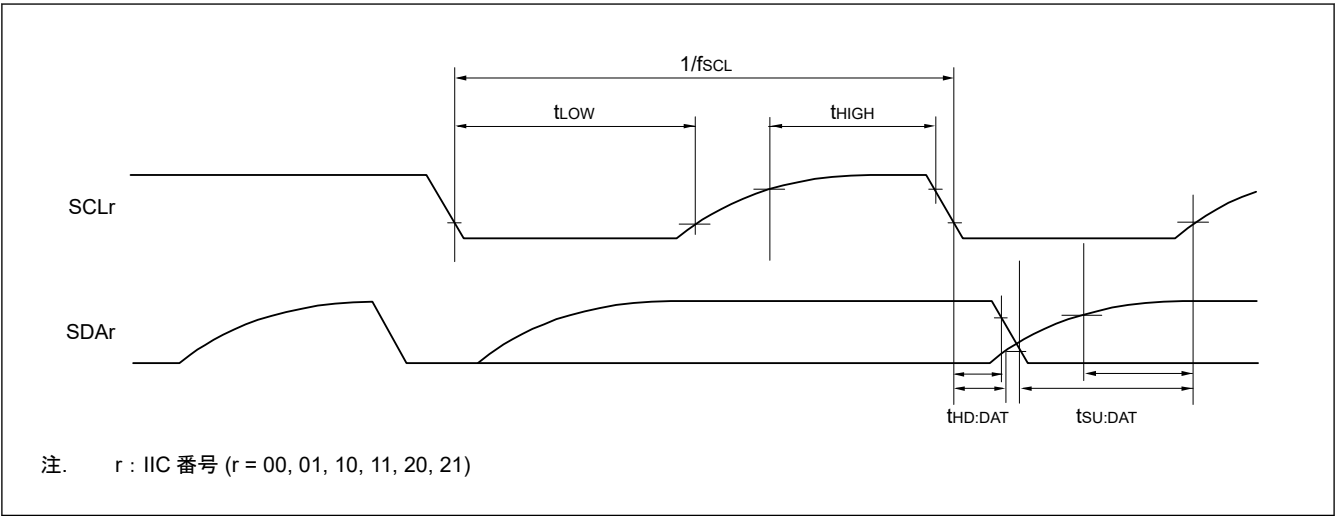


図 37.24 簡易 I²C 通信でのシリアル転送タイミング

37.3.11 シリアルインタフェース UARTA (UARTA)

表 37.36 UARTA 通信

条件 : T_a = -40~+125°C, VCC = 1.6~5.5 V, VSS = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
転送速度	—	200	—	153600	bps	—

注. ポート gh 端子機能選択レジスタ (PghPFS) の NCODR ビットを使用して、TxDAn 端子の CMOS 出力を選択します。

注. n : ユニット番号 (n = 0, 1), gh : ポート番号 (g = 0~4, h = 00~15)

37.3.12 I²C バスインタフェース (IICA)表 37.37 I²C 標準モード条件: T_a = -40~+125°C, VCC = 1.6~5.5 V, VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	標準モード: PCLKB ≥ 1 MHz	f _{SCL}	0	—	100	kHz	図 37.25
リスタートコンディションセットアップ時間	—	t _{SU:STA}	4.7	—	—	μs	
ホールド時間(注1)	—	t _{HD:STA}	4	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t _{LOW}	4.7	—	—	μs	
SCLAn が High の場合のホールド時間	—	t _{HIGH}	4	—	—	μs	
データセットアップ時間 (受信)	—	t _{SU:DAT}	250	—	—	ns	
データホールド時間 (送信) (注2)	—	t _{HD:DAT}	0	—	3.45	μs	
ストップコンディションセットアップ時間	—	t _{SU:STO}	4	—	—	μs	
バスフリー時間	—	t _{BUF}	4.7	—	—	μs	

注. n = 0, 1

注. 通信回線容量 (Cb) と通信回線プルアップ抵抗 (Rb) の最大値は以下のとおりです。

Cb = 400 pF, Rb = 2.7 kΩ

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。表 37.38 I²C ファストモード条件: T_a = -40~+125°C, VCC = 1.8~5.5 V, VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモード: PCLKB ≥ 3.5 MHz	f _{SCL}	0	—	400	kHz	図 37.25
リスタートコンディションセットアップ時間	—	t _{SU:STA}	0.6	—	—	μs	
ホールド時間(注1)	—	t _{HD:STA}	0.6	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t _{LOW}	1.3	—	—	μs	
SCLAn が High の場合のホールド時間	—	t _{HIGH}	0.6	—	—	μs	
データセットアップ時間 (受信)	—	t _{SU:DAT}	100	—	—	ns	
データホールド時間 (送信) (注2)	—	t _{HD:DAT}	0	—	0.9	μs	
ストップコンディションセットアップ時間	—	t _{SU:STO}	0.6	—	—	μs	
バスフリー時間	—	t _{BUF}	1.3	—	—	μs	

注. n = 0, 1

注. 通信回線容量 (Cb) と通信回線プルアップ抵抗 (Rb) の最大値は以下のとおりです。

Cb = 320 pF, Rb = 1.1 kΩ

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。

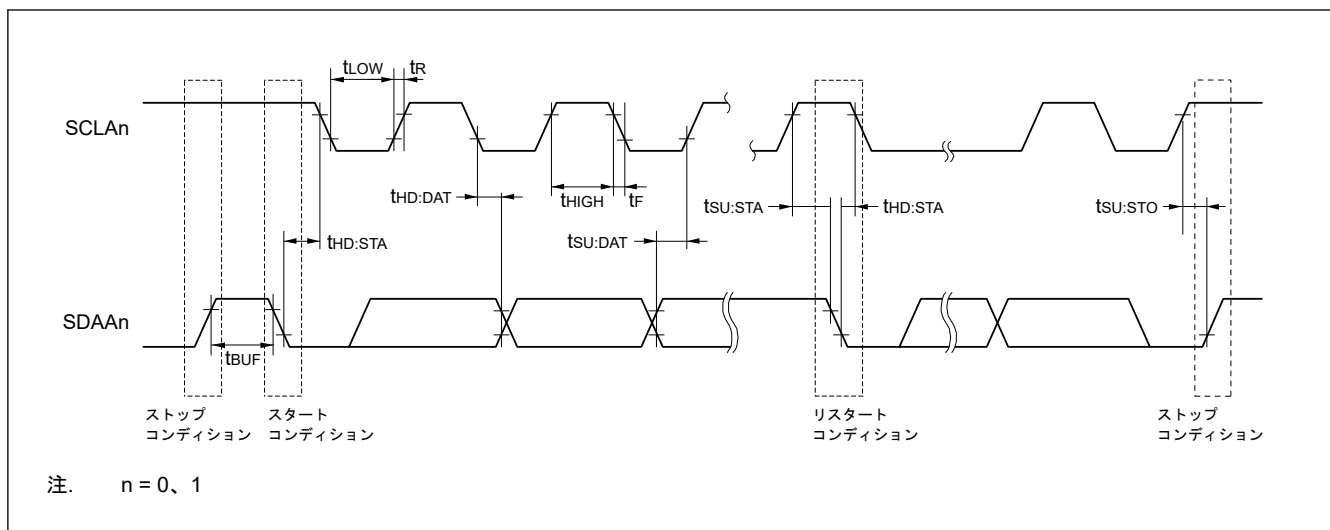
表 37.39 I²C ファストモードプラス条件: T_a = -40~+125°C, VCC = 2.7~5.5 V, VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
SCLAn クロック周波数	ファストモードプラス: PCLKB ≥ 10 MHz	f _{SCL}	0	—	1000	kHz	図 37.25
リスタートコンディションセットアップ時間	—	t _{SU:STA}	0.26	—	—	μs	
ホールド時間(注1)	—	t _{HD:STA}	0.26	—	—	μs	
SCLAn が Low の場合のホールド時間	—	t _{LOW}	0.5	—	—	μs	
SCLAn が High の場合のホールド時間	—	t _{HIGH}	0.26	—	—	μs	
データセットアップ時間 (受信)	—	t _{SU:DAT}	50	—	—	ns	
データホールド時間 (送信) (注2)	—	t _{HD:DAT}	0	—	0.45	μs	
ストップコンディションセットアップ時間	—	t _{SU:STO}	0.26	—	—	μs	
バスフリー時間	—	t _{BUF}	0.5	—	—	μs	

注. n = 0, 1

注. 通信回線容量 (Cb) と通信回線プルアップ抵抗 (Rb) の最大値は以下のとおりです。
Cb = 120 pF, Rb = 1.1 kΩ

注 1. スタートコンディションまたはリスタートコンディションの検出時、この期間の後に 1 つ目のクロックパルスが生成されます。

注 2. t_{HD:DAT} の最大値は通常転送に適用されます。クロックストレッチはアクノリッジ (ACK) 信号の受信時に挿入されます。図 37.25 I²C シリアル転送タイミング

37.4 ADC12 特性

表 37.40 通常モード 1 および 2 における A/D 変換特性 (1) (1/2)

条件: VCC = AVREFP = 4.5~5.5 V, VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	48	MHz	—
変換時間(注4)	1.33	—	—	μs	—
オフセット誤差(注1) (注2) (注3)	—	—	±7.0	LSB	—

表 37.40 通常モード 1 および 2 における A/D 変換特性 (1) (2/2)

条件: VCC = AVREFP = 4.5~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
フルスケール誤差(注1) (注2) (注3)	—	—	±7.0	LSB	—
絶対精度(注1) (注2) (注3)	—	—	±7.5	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.0	—	LSB	—
INL 積分非直線性誤差(注1) (注3) (注3)	—	—	±3.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V)) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V)) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、通常モード 2、fAD=32 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 37.41 通常モード 1 および 2 における A/D 変換特性 (2)

条件: VCC = AVREFP = 2.7~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	48	MHz	—
変換時間(注4)	1.33	—	—	μs	—
オフセット誤差(注1) (注2) (注3)	—	—	±8.5	LSB	—
フルスケール誤差(注1) (注2) (注3)	—	—	±8.5	LSB	—
絶対精度(注1) (注2) (注3)	—	—	±9.0	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.0	—	LSB	—
INL 積分非直線性誤差(注1) (注3)	—	—	±3.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V)) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V)) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、通常モード 2、fAD=32 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 37.42 通常モード 1 および 2 における A/D 変換特性 (3) (1/2)

条件: VCC = AVREFP = 2.4~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—

表 37.42 通常モード 1 および 2 における A/D 変換特性 (3) (2/2)

条件: VCC = AVREFP = 2.4~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧、温度センサ出力電圧

項目	Min	Typ	Max	単位	測定条件
変換クロック (PCLKB)	1	—	32	MHz	—
変換時間(注4)	2.0	—	—	μs	—
オフセット誤差(注1) (注2) (注3)	—	—	±9.0	LSB	—
フルスケール誤差(注1) (注2) (注3)	—	—	±9.0	LSB	—
絶対精度(注1) (注2) (注3)	—	—	±9.5	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.0	—	LSB	—
INL 積分非直線性誤差(注1) (注3)	—	—	±3.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V)) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V)) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、通常モード 2、fAD=32 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 37.43 低電圧モード 1 および 2 における A/D 変換特性 (1)

条件: VCC = AVREFP = 2.7~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧(注4)、および温度センサ出力電圧(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	24	MHz	—
変換時間(注5)	3.33	—	—	μs	—
オフセット誤差(注1) (注2) (注3)	—	—	±8.5	LSB	—
フルスケール誤差(注1) (注2) (注3)	—	—	±8.5	LSB	—
絶対精度(注1) (注2) (注3)	—	—	±9.0	LSB	—
DNL 微分非直線性誤差(注1)	—	±1.5	—	LSB	—
INL 積分非直線性誤差(注1) (注3)	—	—	±4.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V)) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V)) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 37.44 低電圧モード 1 および 2 における A/D 変換特性 (2)

条件: VCC = AVREFP = 2.4~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧^(注4)、および温度センサ出力電圧^(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	16	MHz	—
変換時間 ^(注5)	5.0	—	—	μs	—
オフセット誤差 ^(注1) (注2) (注3)	—	—	±9.0	LSB	—
フルスケール誤差 ^(注1) (注2) (注3)	—	—	±9.0	LSB	—
絶対精度 ^(注1) (注2) (注3)	—	—	±9.5	LSB	—
DNL 微分非直線性誤差 ^(注1)	—	±1.5	—	LSB	—
INL 積分非直線性誤差 ^(注1) (注3)	—	—	±4.0	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 37.45 低電圧モード 1 および 2 における A/D 変換特性 (3)

条件: VCC = AVREFP = 1.8~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧^(注4)、および温度センサ出力電圧^(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (fAD)	1	—	8	MHz	—
変換時間 ^(注5)	10.0	—	—	μs	—
オフセット誤差 ^(注1) (注2) (注3)	—	—	±13.0	LSB	—
フルスケール誤差 ^(注1) (注2) (注3)	—	—	±13.0	LSB	—
絶対精度 ^(注1) (注2) (注3)	—	—	±13.5	LSB	—
DNL 微分非直線性誤差 ^(注1)	—	±2.0	—	LSB	—
INL 積分非直線性誤差 ^(注1) (注3)	—	—	±4.5	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 37.46 低電圧モード 1 および 2 における A/D 変換特性 (4)

条件: VCC = AVREFP = 1.6~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = AVREFP、基準電圧 (-) = AVREFM

変換対象端子: ANI2~ANI5、内部基準電圧^(注4)、および温度センサ出力電圧^(注4)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
変換クロック (PCLKB)	1	—	4	MHz	—
変換時間 ^(注5)	20.0	—	—	μs	—
オフセット誤差 ^(注1) (注2) (注3) (注4)	—	—	±13.5	LSB	—
フルスケール誤差 ^(注1) (注2) (注3) (注4)	—	—	±13.5	LSB	—
絶対精度 ^(注1) (注2) (注3) (注4)	—	—	±14.0	LSB	—
DNL 微分非直線性誤差 ^(注1)	—	±2.0	—	LSB	—
INL 積分非直線性誤差 ^(注1) (注3) (注4)	—	—	±4.5	LSB	—
アナログ入力電圧範囲	0	—	AVREFP	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

注 2. ANI16~ANI19 端子を変換対象端子に選択した場合の最大値は以下のとおりです。

絶対精度: 最大値に ±3 LSB を加える。

オフセット/フルスケール誤差: 最大値に ±2 LSB を加える。

注 3. AVREFP < VCC のとき、最大値は以下のとおりです。

絶対精度/オフセット誤差/フルスケール誤差: 最大値に (±0.75 LSB × (VCC 電圧 (V) - AVREFP 電圧 (V))) を加える。

INL 積分非直線性誤差: 最大値に (±0.2 LSB × (VDD 電圧 (V) - AVREFP 電圧 (V))) を加える。

注 4. 内部基準電圧または温度センサ出力電圧を A/D 変換する場合、VCC は 1.8 V 以上でなければなりません。

注 5. 内部基準電圧または温度センサ出力電圧を変換対象に選択した場合、サンプリング時間は 5 μs 以上である必要があります。従って、低電圧モード 2、fAD=16 MHz 以下で、サンプリング時間を長くしてご使用ください。

表 37.47 低電圧モード 1 および 2 における A/D 変換特性 (内部基準電圧を基準電圧 (+) に選択した場合)

条件: VCC = 1.8~5.5 V、VSS = AVREFM = 0 V

基準電圧 (+) = 内部基準電圧、基準電圧 (-) = AVREFM

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	8	ビット	—
変換クロック (fAD)	1	—	2	MHz	—
オフセット誤差 ^(注1)	—	—	2	LSB	—
DNL 微分非直線性誤差 ^(注1)	—	1	—	LSB	—
INL 積分非直線性誤差 ^(注1)	—	—	2	LSB	—
アナログ入力電圧範囲	0	—	VBGR	V	—

注. 本仕様値は、A/D 変換動作中および CPU がスリープモード中で、A/D 以外の周辺モジュールがモジュールスタンバイ中に適用されます。

A/D 変換中に CPU が動作していたり、A/D 以外の周辺モジュールが動作している場合、表示範囲に収まらない場合があります。

注 1. この値には量子化誤差 (±1/2 LSB) は含まれません。

表 37.48 12 ビット A/D コンバータチャネル分類

分類	チャネル	条件	注意点
高精度チャネル	ANI0~ANI5	VCC = 1.6~5.5 V	ANI0~ANI5 端子は、汎用 I/O、TS 送信に使用不可 (A/D コンバータが使用中の場合)
通常精度チャネル	ANI16~ANI19		—
内部基準電圧入力チャネル	内部基準電圧	VCC = 1.8~5.5 V	—
温度センサ入力チャネル	温度センサ出力		—

表 37.49 A/D 内部基準電圧特性

条件 : VCC = 1.8~5.5 V、VSS = 0 V

項目	Min	Typ	Max	単位	測定条件
内部基準電圧入力チャネル(注1)	1.40	1.47	1.54	V	—
サンプリング時間(注2)	5.0	—	—	μs	—

注 1. 12 ビット A/D 内部基準電圧は、内部基準電圧を 12 ビット A/D コンバータに入力する場合の電圧を示します。

注 2. 内部基準電圧の変換時

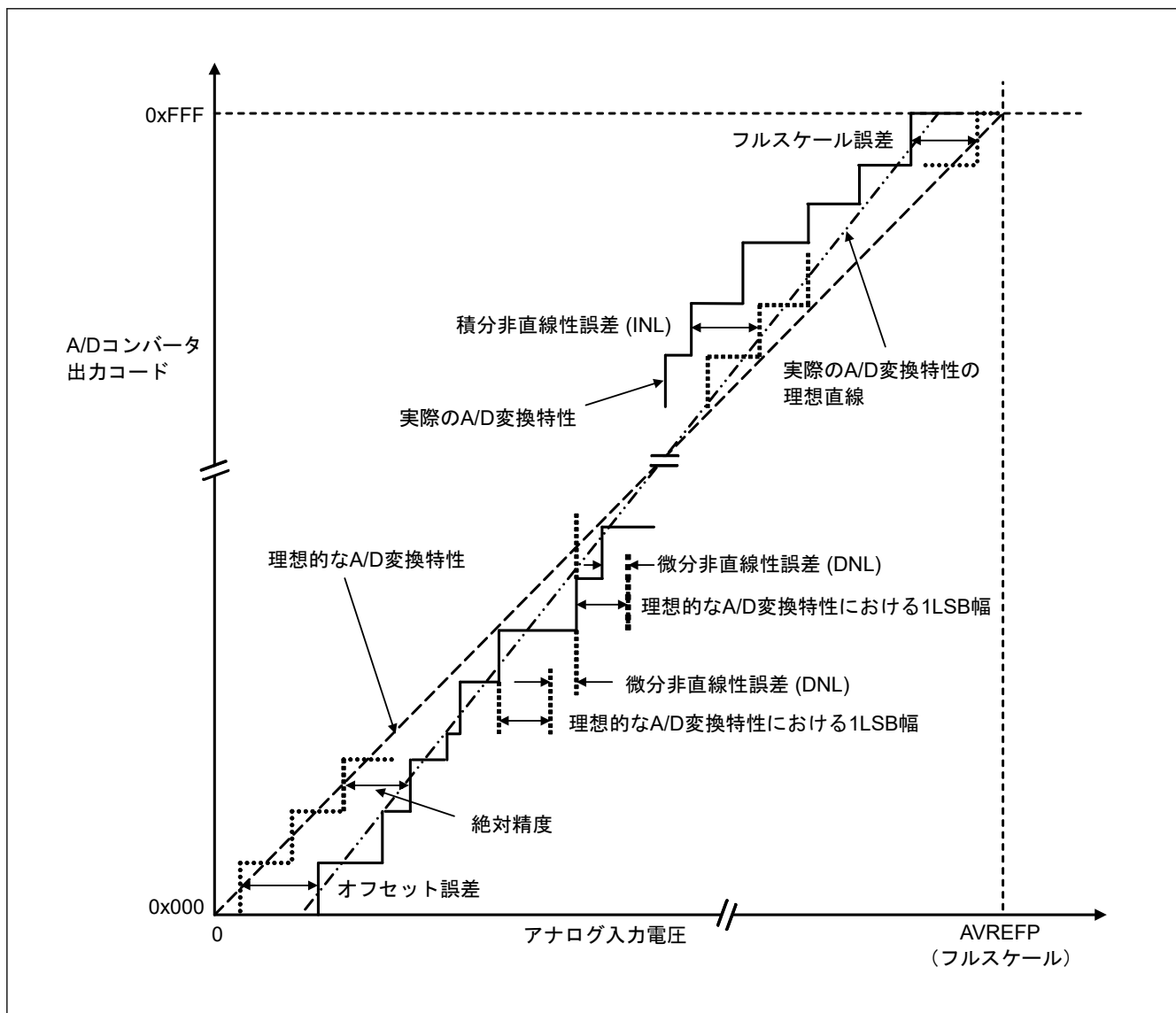


図 37.26 12 ビット A/D コンバータ特性用語の例

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅 (1-LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 AVREFP = 3.072 V の場合、1 LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、および 1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003~0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1 LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

37.5 CMP 特性**表 37.50 CMP 特性**

条件 : VCC = 1.6~5.5 V、VSS = 0 V

項目		シンボル	Min	Typ	Max	単位	測定条件
入力電圧範囲		IVREF	0	—	VCC - 1.4	V	IVREF0 端子および IVREF1 端子への入力 COLVL = 0, C1LVL = 0
			1.4	—	VCC		IVREF0 端子および IVREF1 端子への入力 COLVL = 1, C1LVL = 1
		IVCMP	-0.3	—	VCC + 0.3		IVCMP0 端子および IVCMP1 端子への入力
出力遅延時間	High-speed モード	—	—	—	1.5	μs	VCC = 3.0 V 入力スルーレート > 1 V/us
	Low-speed モード		—	3.0	—		
オフセット電圧	High-speed モード	—	—	—	50	mV	—
	Low-speed モード		—	—	40		
動作安定待機時間		t _{CMP}	30	—	—	μs	—
内部基準電圧(注1)		—	1.34	1.44	1.54	V	—

注 1. 1.8 V ≤ VCC ≤ 5.5 V であるときだけ、内部基準電圧を CMP 基準電圧として選択できます。

37.6 DAC8 特性**表 37.51 D/A 変換特性**

条件 : VCC = 2.7~5.5 V、VSS = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
分解能	—	—	—	8	ビット	—
変換時間	t _{DCONV}	—	—	3.0	μs	—
絶対精度	—	—	—	±3.0	LSB	—
負荷抵抗	—	4	—	—	MΩ	—
負荷容量(注1)	—	—	—	35	pF	—
出力抵抗	—	—	9.0	—	kΩ	—

注 1. 15 pF の IO 入力容量を含みます。

37.7 TSN 特性

表 37.52 TSN 特性

条件 : VCC = 1.8~5.5 V、VSS = 0 V

項目	シンボル	Min	Typ	Max	単位	測定条件
温度傾斜	—	—	-3.3	—	mV/°C	—
出力電圧 (25°C時)	—	—	1.05	—	V	VCC = 3.3 V
サンプリング時間	—	5.0	—	—	μs	—

37.8 POR と LVD の特性

表 37.53 パワーオンリセット回路、電圧検出回路の特性 (1) (1/2)

項目			シンボル	Min	Typ	Max	単位	測定条件				
電圧検出レベル (注1)	パワーオンリセット (POR)	電源上昇時	V _{POR}	1.47	1.51	1.55	V	図 37.27				
		電源下降時	V _{PDR}	1.46	1.50	1.54						
	電圧検出回路 (LVD0) ^(注2)	電源上昇時	V _{det0_0}	3.74	3.91	4.06	V	図 37.29 VCC 立ち下がリエッジ時				
		電源下降時		3.68	3.85	4.00						
		電源上昇時	V _{det0_1}	2.73	2.9	3.01						
		電源下降時		2.68	2.85	2.96						
		電源上昇時	V _{det0_2}	2.44	2.59	2.70						
		電源下降時		2.38	2.53	2.64						
		電源上昇時	V _{det0_3}	1.83	1.95	2.07						
		電源下降時		1.78	1.90	2.02						
		電源上昇時	V _{det0_4}	1.66	1.75	1.88						
		電源下降時		1.60	1.69	1.82						
		電圧検出レベル (注1)	電圧検出回路 (LVD1) ^(注3)	電源上昇時	V _{det1_0}	4.23			4.39	4.55	V	図 37.30 VCC 立ち下がリエッジ時
				電源下降時		4.13			4.29	4.45		
電源上昇時	V _{det1_1}			4.07	4.25	4.39						
電源下降時				3.98	4.16	4.30						
電源上昇時	V _{det1_2}			3.97	4.14	4.29						
電源下降時				3.86	4.03	4.18						
電源上昇時	V _{det1_3}			3.74	3.92	4.06						
電源下降時				3.68	3.86	4.00						
電源上昇時	V _{det1_4}			3.05	3.17	3.29						
電源下降時				2.98	3.10	3.22						
電源上昇時	V _{det1_5}			2.95	3.06	3.17						
電源下降時				2.89	3.00	3.11						
電源上昇時	V _{det1_6}			2.86	2.97	3.08						
電源下降時				2.79	2.90	3.01						
電源上昇時	V _{det1_7}	2.74	2.85	2.96								
電源下降時		2.68	2.79	2.90								

表 37.53 パワーオンリセット回路、電圧検出回路の特性 (1) (2/2)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル (注1)	電圧検出回路 (LVD1)(注3)	電源上昇時	V _{det1_8}	2.63	2.75	2.85	V	図 37.30 VCC 立ち下がりエ ッジ時
		電源下降時		2.58	2.68	2.78		
		電源上昇時	V _{det1_9}	2.54	2.64	2.75		
		電源下降時		2.48	2.58	2.68		
		電源上昇時	V _{det1_A}	2.43	2.53	2.63		
		電源下降時		2.38	2.48	2.58		
		電源上昇時	V _{det1_B}	2.16	2.26	2.36		
		電源下降時		2.10	2.20	2.30		
		電源上昇時	V _{det1_C}	1.88	2	2.09		
		電源下降時		1.84	1.96	2.05		
		電源上昇時	V _{det1_D}	1.78	1.9	1.99		
		電源下降時		1.74	1.86	1.95		
		電源上昇時	V _{det1_E}	1.67	1.79	1.88		
		電源下降時		1.63	1.75	1.84		
		電源上昇時	V _{det1_F}	1.65	1.7	1.78		
		電源下降時		1.60	1.65	1.73		
電圧検出レベル (注1)	電圧検出回路 (LVD2)(注4)	電源上昇時	V _{det2_0}	4.20	4.40	4.57	V	図 37.31 VCC 立ち下がりエ ッジ時
		電源下降時		4.11	4.31	4.48		
		電源上昇時	V _{det2_1}	4.05	4.25	4.42		
		電源下降時		3.97	4.17	4.34		
		電源上昇時	V _{det2_2}	3.91	4.11	4.28		
		電源下降時		3.83	4.03	4.20		
		電源上昇時	V _{det2_3}	3.71	3.91	4.08		
		電源下降時		3.64	3.84	4.01		

注 1. これらの特性は、ノイズが電源に重畳されていない場合に適用されます。設定により電圧検出レベルが電圧検出回路のそれと重複する場合、LVD1 と LVD2 のどちらを電圧検出に使用するかを指定できません。

注 2. V_{det0_#}の#は OFS1.VDSEL0[2:0]ビットの値を示しています。

注 3. V_{det1_#}の#は LVDLVL.R.LVD1LVL[4:0]ビットの値を示しています。

注 4. V_{det2_#}の#は LVDLVL.R.LVD2LVL[2:0]ビットの値を示しています。

表 37.54 パワーオンリセット回路と電圧検出回路の特性 (2) (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
パワーオンリセット解除後の待機時間	LVD0：有効	t _{POR}	—	4.3	—	ms	—
	LVD0：無効	t _{POR}	—	3.7	—	ms	—
電圧監視 0、1、2 リセット解除後の待機時間	LVD0：有効 ^(注1)	t _{LVD0, 1, 2}	—	1.4	—	ms	—
	LVD0：無効 ^(注2)	t _{LVD1, 2}	—	0.7	—	ms	—
パワーオンリセット応答遅延時間 ^(注3)		t _{det}	—	—	500	μs	図 37.27 、 図 37.28
LVD0 応答遅延時間 ^(注3)		t _{det}	—	—	500	μs	図 37.29
LVD1 応答遅延時間 ^(注3)		t _{det}	—	—	350	μs	図 37.30
LVD2 応答遅延時間 ^(注3)		t _{det}	—	—	600	μs	図 37.31
最小 VCC 低下時間		t _{VOFF}	500	—	—	μs	図 37.27 、VCC = 1.0 V 以上
パワーオンリセット有効時間		t _W (POR)	1	—	—	ms	図 37.28 、VCC = 1.0 V 未満
LVD1 動作安定時間（LVD1 有効切り替え後）		T _d (E-A)	—	—	300	μs	図 37.30

表 37.54 パワーオンリセット回路と電圧検出回路の特性 (2) (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
LVD2 動作安定時間 (LVD2 有効切り替え後)	T_d (E-A)	—	—	1200	μs	図 37.31
ヒステリシス幅 (POR)	V_{PORH}	—	10	—	mV	—
ヒステリシス幅 (LVD0, LVD1, LVD2)	V_{LVH}	—	60	—	mV	LVD0 選択時
		—	110	—		$V_{det1\_0} \sim V_{det1\_2}$ を選択
		—	70	—		$V_{det1\_3} \sim V_{det1\_9}$ を選択
		—	60	—		$V_{det1\_A} \sim V_{det1\_B}$ を選択
		—	50	—		$V_{det1\_C} \sim V_{det1\_F}$ を選択
		—	90	—		LVD2 選択時

注 1. OFS1.LVDAS = 0 のとき

注 2. OFS1.LVDAS = 1 のとき

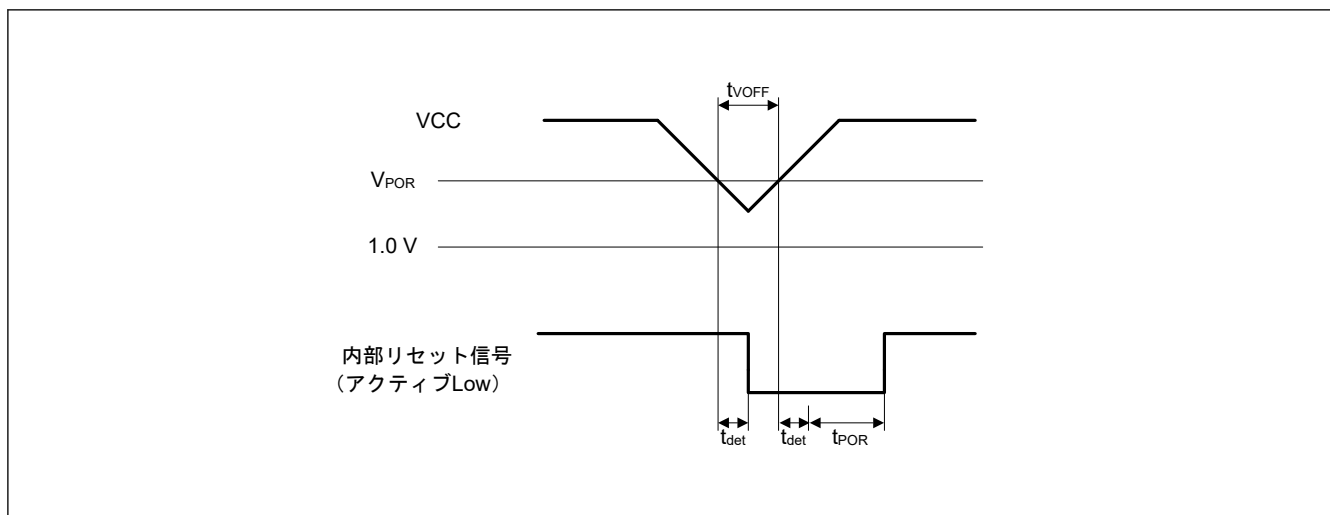
注 3. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR} 、 V_{det0} 、 V_{det1} 、 V_{det2} の最小値を下回っている時間です。

図 37.27 電圧検出しリセットタイミング

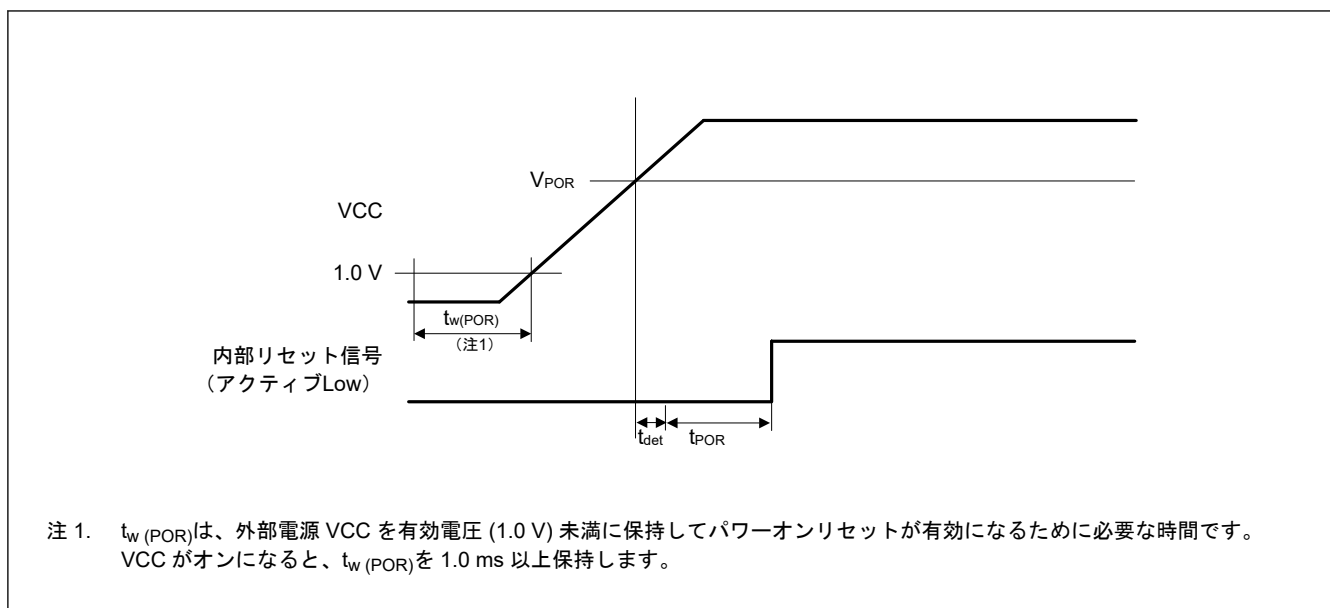
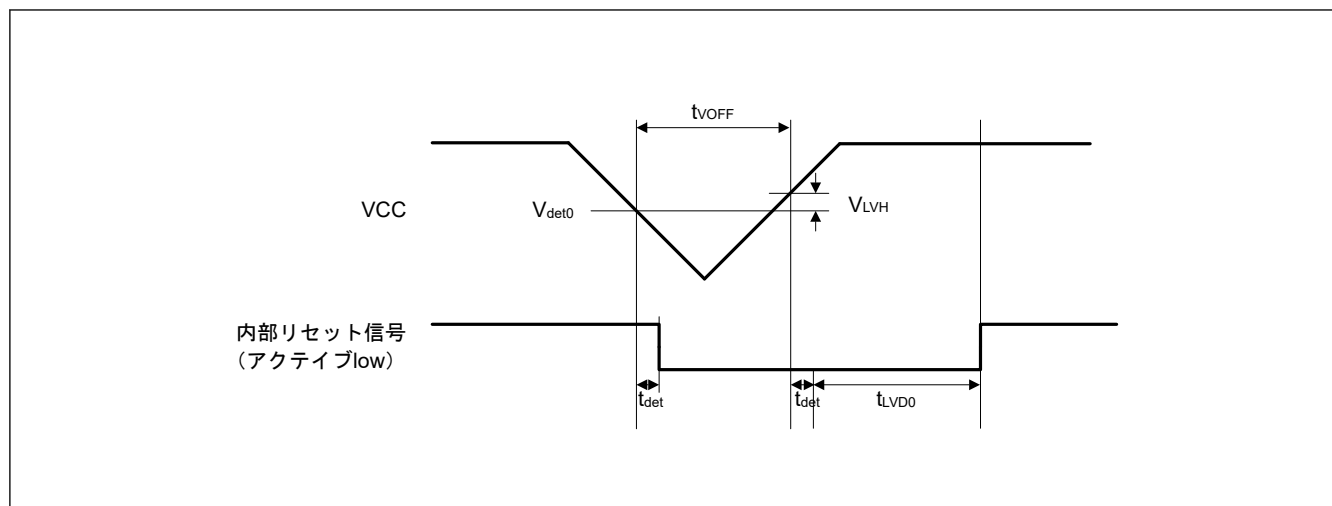
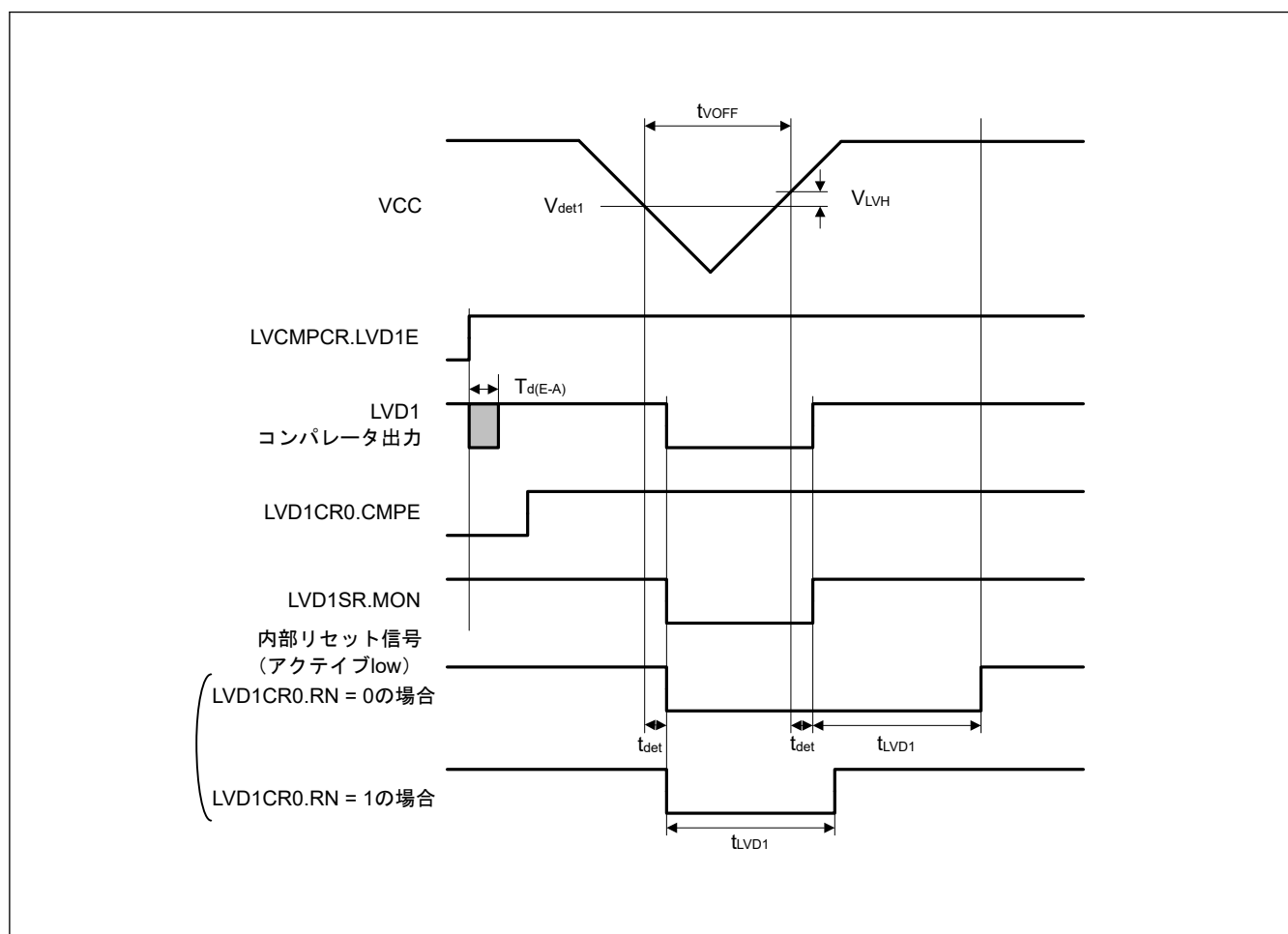


図 37.28 パワーオンリセットタイミング

図 37.29 電圧検出回路タイミング (V_{det0})図 37.30 電圧検出回路タイミング (V_{det1})

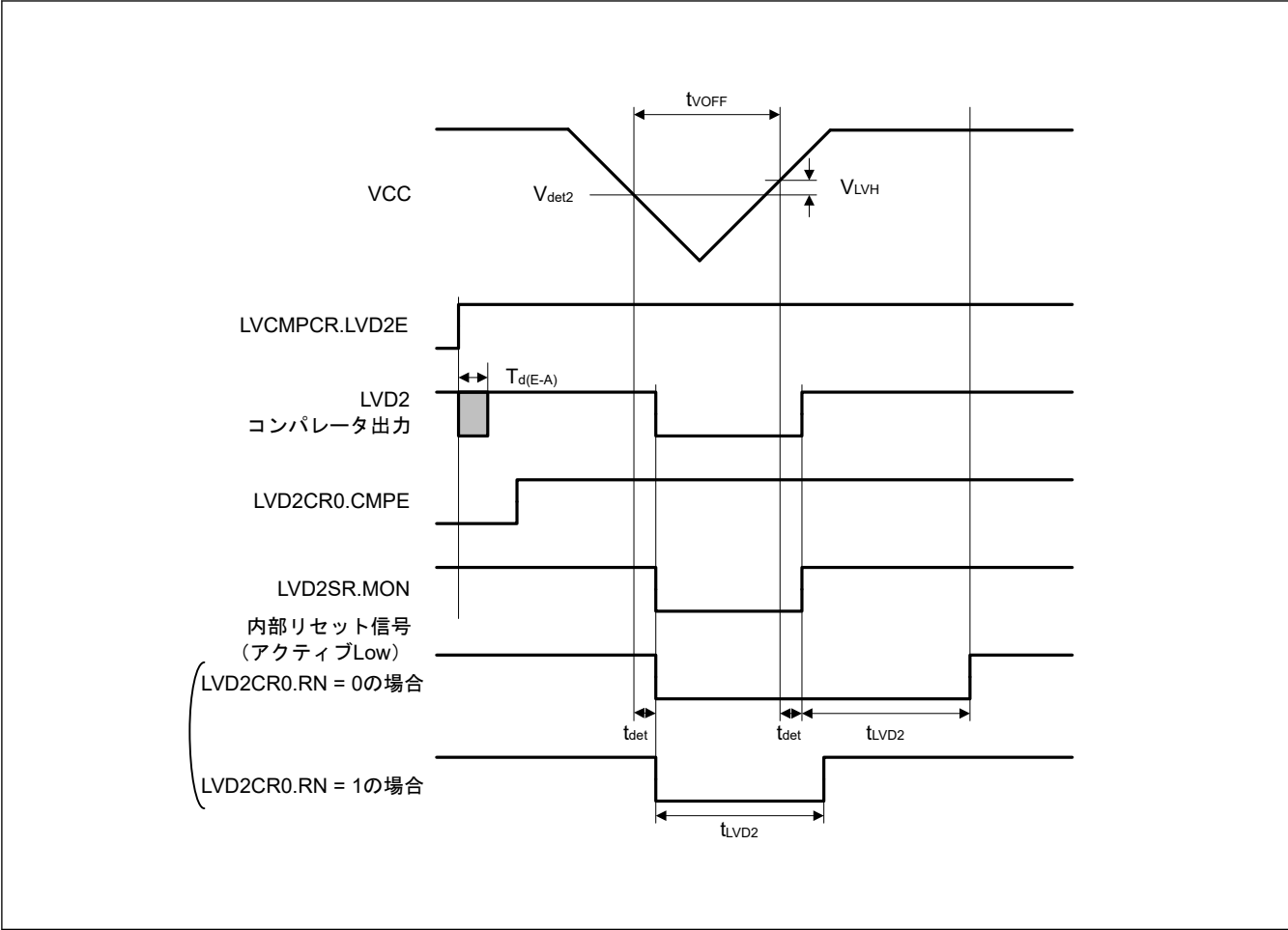


図 37.31 電圧検出回路タイミング (V_{det2})

37.9 フラッシュメモリ特性

37.9.1 コードフラッシュメモリ特性

表 37.55 コードフラッシュ特性 (1)

項目	シンボル	Min	Typ	Max	単位	条件
再プログラム／イレースサイクル(注1)	NPEC	10000	—	—	回	—
データ保持時間	10000 回の NPEC の後	20(注2) (注3)	—	—	年	$T_a = 105^{\circ}\text{C}$
		10	—	—		$T_a = 125^{\circ}\text{C}$

- 注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 ($n = 1.0000$) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、2 KB のブロックについて、それぞれ異なるアドレスに 8 バイト書き込みを 256 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。
- 注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。
- 注 3. この結果は目標仕様です。信頼性試験後に変更される可能性があります。

表 37.56 コードフラッシュ特性 (2) (1/2)

High-speed モード
条件 : $V_{CC} = 1.8 \sim 5.5 \text{ V}$, $T_a = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8 バイト	t _{p4}	—	97	843	—	47	446	μs
イレース時間	2 KB	t _{E2K}	—	8.7	282	—	5.7	221	ms

表 37.56 コードフラッシュ特性 (2) (2/2)

High-speed モード

条件: VCC = 1.8~5.5 V, T_a = -40°C~125°C

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
ブランクチェック時間	8 バイト	t _{BC4}	—	—	45	—	—	8.7	μs
	2 KB	t _{BC2K}	—	—	3239	—	—	235	μs
イレースサスペンド時間		t _{SED}	—	—	22.8	—	—	11.0	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	16.3	509	—	11.8	444	ms
OCD/シリアルプログラマ ID 設定時間		t _{OSIS}	—	65.1	2036	—	46.9	1773.9	μs
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

表 37.57 コードフラッシュ特性 (3)

Middle-speed モード

条件: VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	8 バイト	t _{P4}	—	97	843	—	48	450	μs
イレース時間	2 KB	t _{E2K}	—	8.7	282	—	5.7	220	ms
ブランクチェック時間	8 バイト	t _{BC4}	—	—	45	—	—	9.1	μs
	2 KB	t _{BC2K}	—	—	3239	—	—	236	μs
イレースサスペンド時間		t _{SED}	—	—	22.8	—	—	11.2	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	16.3	509	—	11.4	442	ms
OCD/シリアルプログラマ ID 設定時間(注1)		t _{OSIS}	—	84.7	2280	—	45.3	1690	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC = AVCC0 ≤ 5.5 V の場合

表 37.58 コードフラッシュ特性 (4)

Low-speed モード

条件 : VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目		シンボル	ICLK = 1 MHz			単位
			Min	Typ	Max	
プログラム時間	8 バイト	t _{p4}	—	97	843	μs
イレース時間	2 KB	t _{E2K}	—	8.7	282	ms
ブランクチェック時間	8 バイト	t _{BC4}	—	—	45	μs
	2 KB	t _{BC2K}	—	—	3239	μs
イレースサスペンド時間		t _{SED}	—	—	22.8	μs
アクセスウィンドウ情報プログラムのスタートアップ領域選択およびセキュリティ設定時間		t _{AWSSAS}	—	16.3	509	ms
OCD/シリアルプログラマ ID 設定時間		t _{OSIS}	—	65.1	2036	ms
フラッシュメモリモード遷移待機時間 1		t _{DIS}	2	—	—	μs
フラッシュメモリモード遷移待機時間 2		t _{MS}	15	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.5%とします。クロックソースの周波数精度を確認してください。

37.9.2 データフラッシュメモリ特性

表 37.59 データフラッシュ特性 (1)

項目		シンボル	Min	Typ	Max	単位	条件
再プログラム/イレースサイクル(注1)		N _{DPEC}	100000	1000000	—	回	—
データ保持時間	10000 回の NDPEC の後	t _{DDRP}	20(注2) (注3)	—	—	年	T _a = 105°C
			10	—	—	年	T _a = 125°C
			5(注2) (注3)	—	—	年	
	1000000 回の NDPEC の後	—	—	1(注2) (注3)	—	年	T _a = 25°C

注 1. 再プログラム/イレースサイクルは、ブロックごとの消去回数です。再プログラム/イレースサイクルが n 回 (n = 100,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、1 KB のブロックについて、それぞれ異なるアドレスに 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書き禁止）。

注 2. 弊社提供のフラッシュメモリプログラマおよびセルフプログラミングライブラリを使用した場合の特性です。

注 3. これらの結果は目標仕様です。信頼性試験後に変更される可能性があります。

表 37.60 データフラッシュ特性 (2)

High-speed モード

条件 : VCC = 1.8~5.5 V, T_a = -40°C~125°C

項目		シンボル	ICLK = 1 MHz			ICLK = 48 MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t _{DP1}	—	84	708	—	36	336	μs
イレース時間	1 KB	t _{DE1K}	—	8.6	281	—	6.3	234	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	14.8	—	—	8.7	μs
	1 KB	t _{DBC1K}	—	—	1602	—	—	450	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	22.8	—	—	11.0	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。
- 注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

表 37.61 データフラッシュ特性 (3)

Middle-speed モード

条件 : VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目		シンボル	ICLK = 1 MHz			ICLK = 24 MHz(注1)			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	1 バイト	t _{DP1}	—	84	708	—	40	365	μs
イレース時間	1 KB	t _{DE1K}	—	8.6	281	—	7	249	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	14.8	—	—	11.2	μs
	1 KB	t _{DBC1K}	—	—	1602	—	—	806	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	22.8	—	—	11.2	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	250	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。ICLK を 4 MHz 未満で使用する場合、周波数は 1 MHz、2 MHz、または 3 MHz に設定できます。1.5 MHz などの非整数周波数は設定できません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

注 1. 1.8 V ≤ VCC ≤ 5.5 V の場合

表 37.62 データフラッシュ特性 (4)

Low-speed モード

条件 : VCC = 1.6~5.5 V, T_a = -40°C~125°C

項目		シンボル	ICLK = 1 MHz			単位
			Min	Typ	Max	
プログラム時間	1 バイト	t _{DP1}	—	84	708	μs
イレース時間	1 KB	t _{DE1K}	—	8.6	281	ms
ブランクチェック時間	1 バイト	t _{DBC1}	—	—	14.8	μs
	1 KB	t _{DBC1K}	—	—	1602	μs
イレース実行中のサスペンド時間		t _{DSED}	—	—	22.8	μs
データフラッシュ STOP 復帰時間		t _{DSTOP}	250	—	—	μs

注. ソフトウェアによる命令実行からフラッシュメモリの各動作が起動するまでの時間は含みません。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK 下限周波数は 1 MHz です。

注. フラッシュメモリのプログラムまたはイレース実行時の ICLK の周波数精度は±1.0%とします。クロックソースの周波数精度を確認してください。

37.10 Compact JTAG (cJTAG)

表 37.63 cJTAG 特性

条件 : VCC = 2.7~5.5 V

No.	項目	シンボル	Min	Max	単位
1	TCKC クロックサイクル時間	t _{CTCKcyc}	160	—	ns
1a	TCKC クロック High レベルパルス幅	t _{CTCKH}	70	—	ns
1b	TCKC クロック Low レベルパルス幅	t _{CTCKL}	70	—	ns
2	TMSC セットアップ時間	t _{CTMSS}	14	—	ns
3	TMSC ホールド時間	t _{CTMSH}	2	—	ns
4	遅延時間、TCKC~TMSC 有効/無効	t _d (CTCKL-CTMS)	5	60	ns

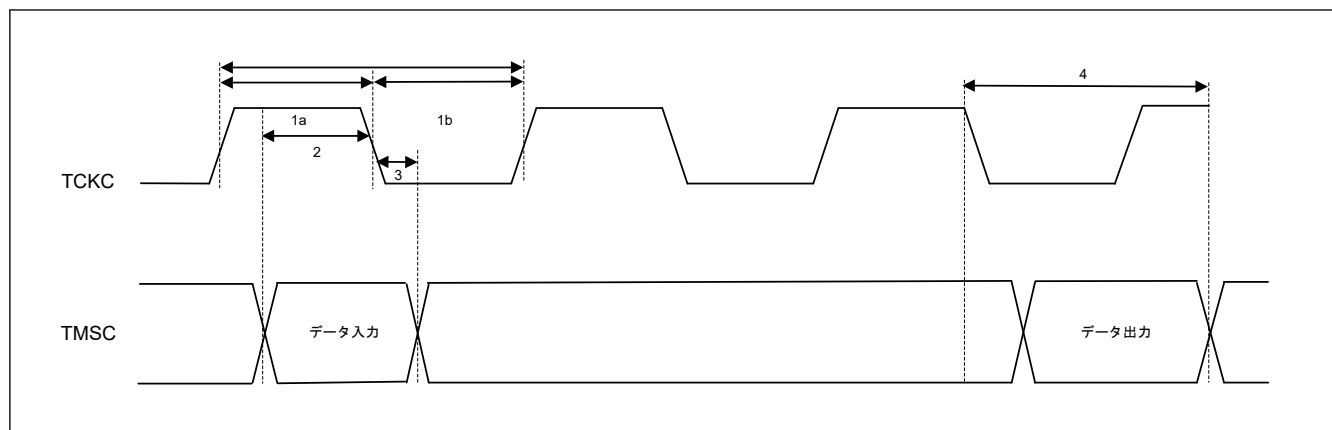


図 37.32 cJTAG タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード
モード	MD	プルアップ	Keep-O
cJTAG	TMSC/TCKC	プルアップ	Keep-O
IRQ	IRQn	Hi-Z	Keep-O(注1) (注2)
	NMI	Hi-Z	Hi-Z(注3)
SOSC	XT1、XT2	Hi-Z	[サブクロック発振器を選択] サブクロック発振器動作 [上記以外] Hi-Z
KINT	KR0n	Hi-Z	Keep-O(注1) (注2)
SAU	[UART モード]RXD0、RXD2 [SPI モード]SCK00、SCK20	Hi-Z	Keep-O(注2)
IICA	SCLAn/SDAAn	Hi-Z	Keep-O(注1)
UARTA	TxDAn/RxDAn/CLKAn	Hi-Z	Keep-O(注1)
REMC	RIN0	Hi-Z	Keep-O(注2)
RTC	RTC1HZ	Hi-Z	[RTC 選択]RTC1HZ 出力
CLKOUT	CLKOUT_A/B	Hi-Z	[CLKOUT 選択]CLKOUT 出力
CMP	VCOUTn	Hi-Z	[VCOUT 選択]VCOUT 出力
DAC8	DACOUTn	Hi-Z	[DACOUTn 出力 (DAOE = 1)] D/A 出力保持
P303	—	プルアップ	Keep-O
その他	—	Hi-Z	Keep-O

注. Hi-Z : ハイインピーダンス

Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。

注 1. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイの解除要因に指定されている場合、入力が許可されます。

注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイモードでのスヌーズモード要求トリガに指定されている場合、入力が許可されます。

注 3. 入力が許可されます。

付録 2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

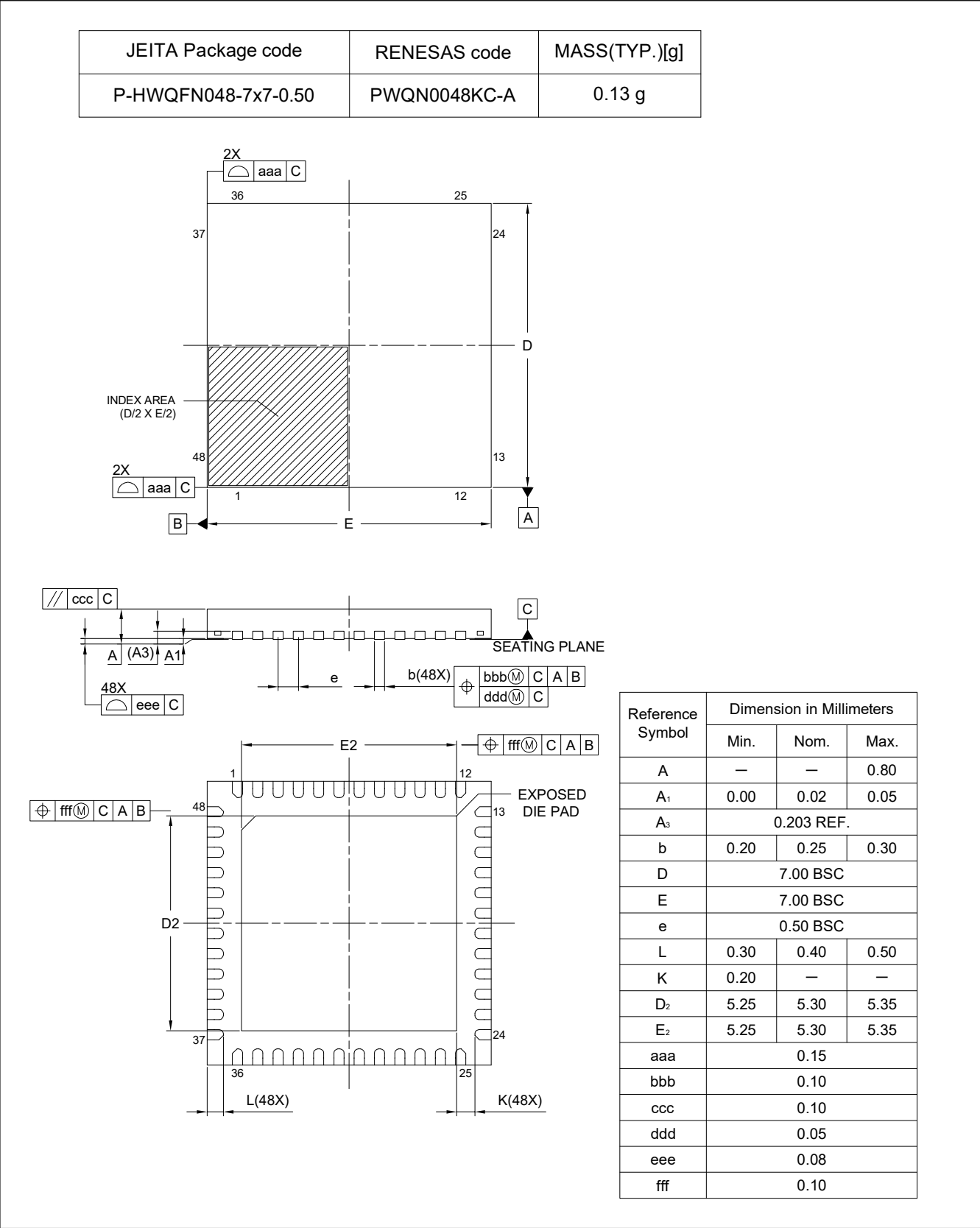
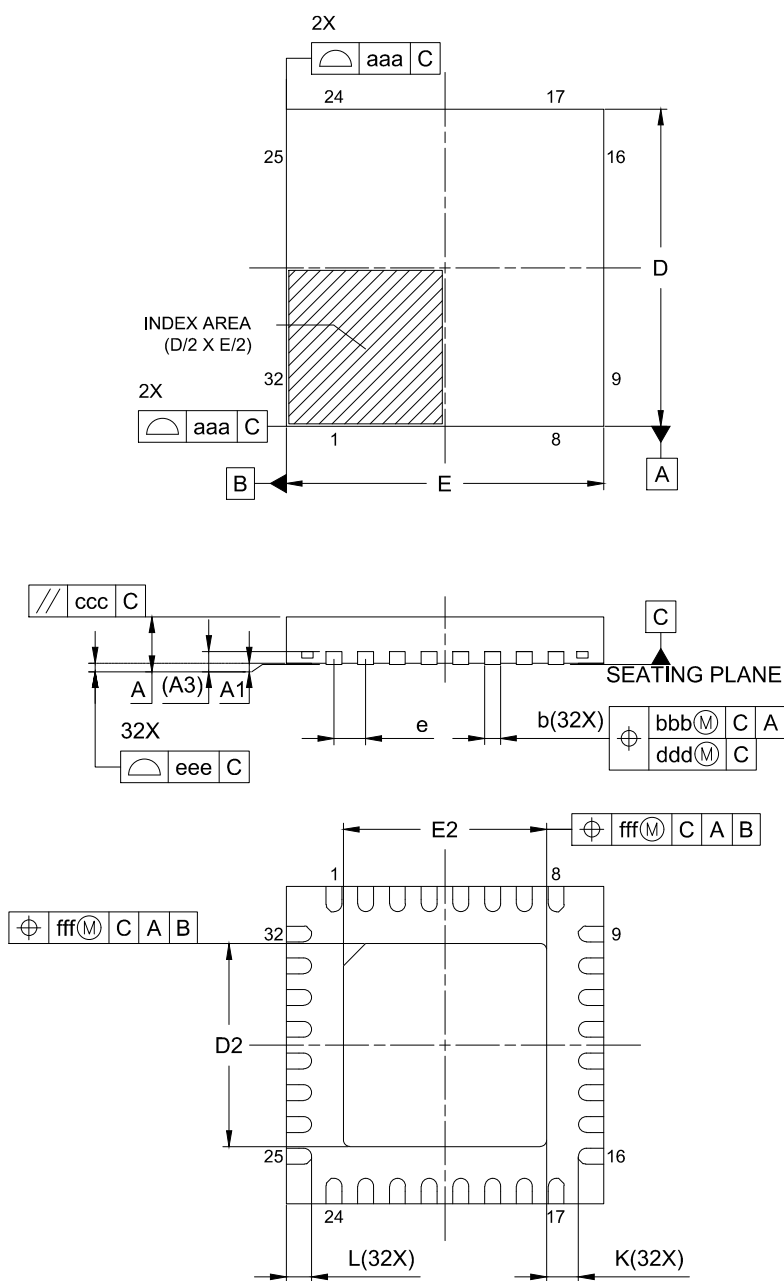


図 2.1 HWQFN 48 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	3.15	3.20	3.25
E ₂	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.2 HWQFN 32 ピン

JEITA Package Code	RENESAS Code	MASS (Typ.) [g]
P-HWQFN24-4 × 4-0.50	PWQN0024KG-A	0.04

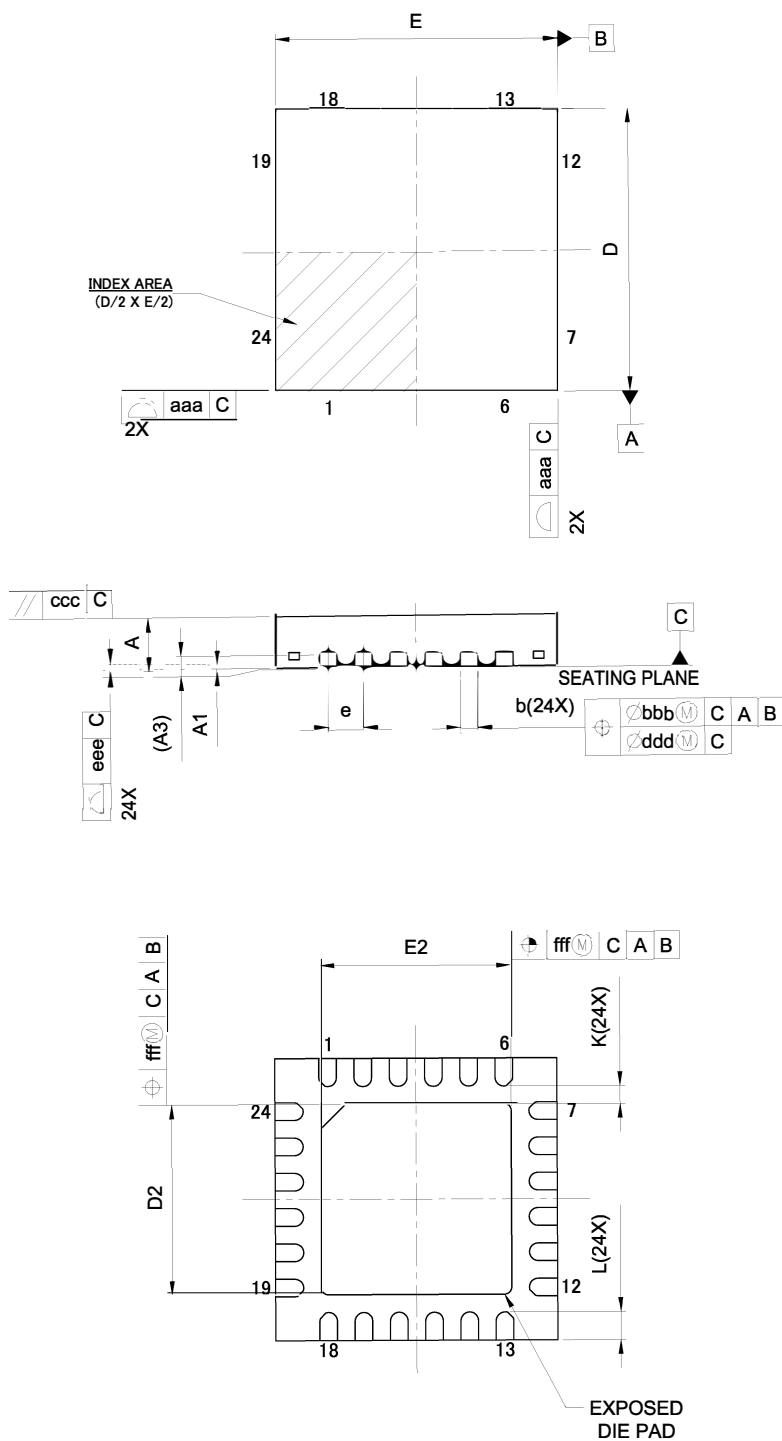
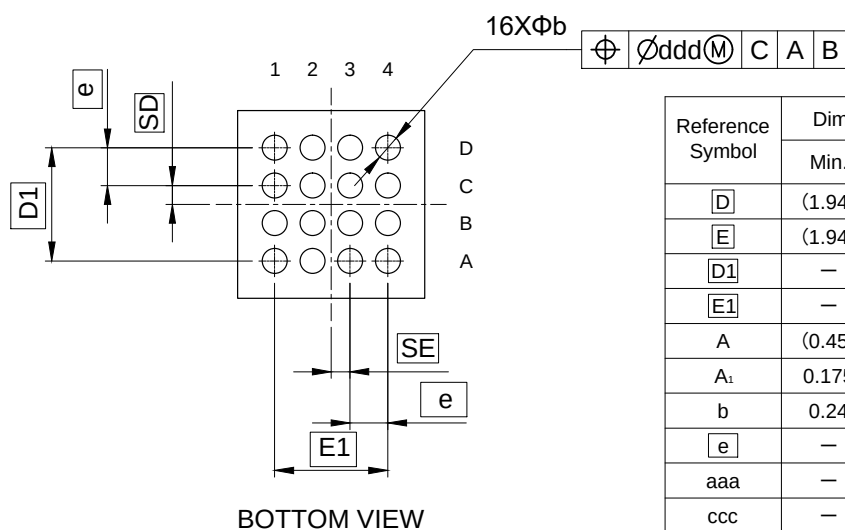
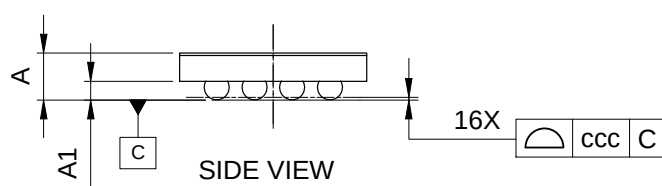
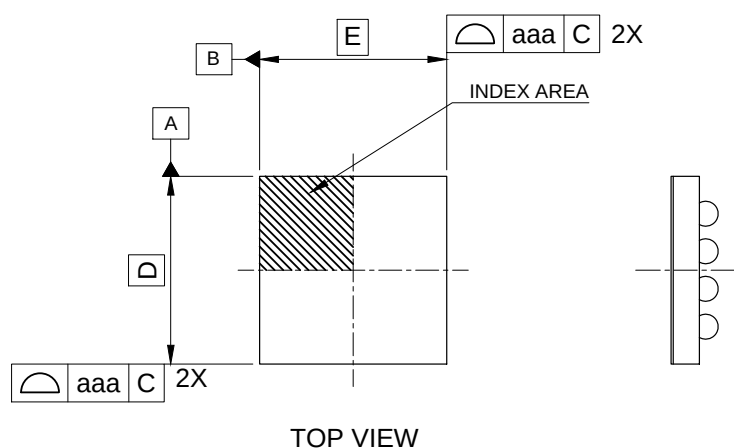


図 2.3 HWQFN 24 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
S-UFBGA16-1.99x1.99-0.40	SUBG0016LC-A	0.01



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
<u>D</u>	(1.94)	1.99	(2.04)
<u>E</u>	(1.94)	1.99	(2.04)
<u>D1</u>	—	1.20	—
<u>E1</u>	—	1.20	—
A	(0.45)	(0.50)	0.55
A ₁	0.175	0.20	0.225
b	0.24	0.265	0.29
<u>e</u>	—	0.40	—
aaa	—	—	0.05
ccc	—	—	0.05
ddd	—	—	0.05
<u>SD</u>	—	0.200	—
<u>SE</u>	—	0.200	—

図 2.4 WLCSP 16 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、リセット値について機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。

表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1 周辺機能のベースアドレス (1/2)

名称	内容	ベースアドレス
SRAM	SRAM 制御	0x4000_2000
バス	バス制御	0x4000_3000
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CPU_AUX	CPU 補助レジスタ	0x4001_A000
CPU_DBG	デバッグ機能	0x4001_B000
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4004_0000
PORT1	ポート 1 コントロールレジスタ	0x4004_0020
PORT2	ポート 2 コントロールレジスタ	0x4004_0040
PORT3	ポート 3 コントロールレジスタ	0x4004_0060
PORT4	ポート 4 コントロールレジスタ	0x4004_0080
PFS	Pmn 端子機能コントロールレジスタ	0x4004_0800
ELC	イベントリンクコントロール	0x4004_1000
WDT	ウォッチドッグタイマ	0x4004_4200
IWDT	独立ウォッチドッグタイマ	0x4004_4400
CAC	クロック周波数精度測定回路	0x4004_4600
MSTP	モジュールストップコントロール B、C、D	0x4004_7000
DAC8	8 ビット D/A コンバータ	0x4005_E000
CRC	CRC 演算器	0x4007_4000
KINT	キー割り込み機能	0x4008_0000
DOC	データ演算回路	0x4008_5F00
PORGA	製品構成レジスタ	0x4009_1000
TRNG	真性乱数生成器	0x4009_1100
CMP	コンパレータ	0x4009_1200
RTC	リアルタイムクロック	0x4009_2000
REMC	リモートコントロール信号受信器	0x4009_2100
TML32	32 ビットインターバルタイマ	0x4009_2200
IICA0	I ² C バスインタフェース 0	0x4009_3000
IICA1	I ² C バスインタフェース 1	0x4009_3100
SAU0	シリアルアレイユニット 0	0x4009_4000
SAU1	シリアルアレイユニット 1	0x4009_4100
TAU	タイマアレイユニット	0x4009_5000
UARTA	シリアルインタフェース UARTA	0x4009_6000
ADC12	12 ビット A/D コンバータ	0x4009_C000

表 3.1 周辺機能のベースアドレス (2/2)

名称	内容	ベースアドレス
FLCN	フラッシュ I/O レジスタ	0x407E_C000
CLIC	コアローカル割り込みコントローラ	0xE200_0000
IMT	マシンタイマ	0xE600_0000
DBG	デバッグモジュール	0xE680_0000

注. 名称 = 周辺機能の名称
 内容 = 周辺機能
 ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

以下の情報は、表 3.2 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 にレジスタのアクセスサイクルを示します。

表 3.2 アクセスサイクル (1/2)

周辺機能	アドレス		アクセスサイクル数						関連機能
			ICLK = PCLK		ICLK > PCLK(注1)		サイクル単位		
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み			
RAM, BUS, DTC, ICU, CPU_AUX, CPU_DBG	0x4000_0000	0x4001_BFFF	2				ICLK	メモリプロテクションユニット、SRAM、バス、データトランスファコントローラ、割り込みコントローラ、CPU	
SYSC(注2)	0x4001_E000	0x4001_EFFF	4				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション	
PORT、PFS、ELC	0x4004_0000	0x4004_1FFF	3(注3)	3	2～4(注3)	2～4	PCLKB	I/O ポート、イベントリンクコントロール	
WDT, IWDT, CAC, MSTP, DAC8	0x4004_2000	0x4005_FFFF	3		2～4		PCLKB	ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール、データ演算回路、12 ビット A/D コンバータ、8 ビット D/A コンバータ	
CRC	0x4007_4000	0x4007_40FF	3		2～4		PCLKB	CRC 演算器	
KINT	0x4008_0000	0x4008_00FF	2		2	1～3	PCLKB	キー割り込み機能	

表 3.2 アクセスサイクル (2/2)

周辺機能	アドレス		アクセスサイクル数					関連機能
			ICLK = PCLK		ICLK > PCLK(注1)		サイクル単位	
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
DOC	0x4008_5F00	0x4008_5FFF	3		3	2〜4	PCLKB	データ演算回路
PORGA	0x4009_1000	0x4009_10FF	2		1〜3		PCLKB	製品構成レジスタ
TRNG	0x4009_1100	0x4009_11FF	3		2〜4		PCLKB	真性乱数生成器
CMP, RTC	0x4009_1200	0x4009_20FF	2		2	1〜3	PCLKB	コンパレータ、リアルタイムクロック
REMC, TML32	0x4009_2100	0x4009_22FF	2		1〜3		PCLKB	リモート制御信号レシーバー、32ビットインターバルタイマ
IICA, SAU, TAU, UARTA, ADC12	0x4009_3000	0x4009_C0FF	2		1〜3		PCLKB	I ² C バスインタフェース、シリアルアレイユニット、タイマアレイユニット、シリアルインタフェース UARTA、12ビット A/D コンバータ
FLCN	0x407E_0000	0x407F_FFFF	3				ICLK	温度センサ、フラッシュコントロール
CLIC、IMT、DBG	0xE200_0000	0xE680_0FFF	2				ICLK	CPU

注. 16ビットレジスタ (RDRHL, TDRHL, CDR) にアクセスを行う場合は、表 3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。

注 1. PCLK サイクル数が整数ではない (たとえば 1.5) 場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。(たとえば、1.5~2.5 は 1~3)

注 2. CPU からの最小アクセスサイクルを示します。SCKSCR、SCKDIVCR レジスタを変更した後の、ICLK のクロックソース、周波数変更に必要なサイクル数は含みません。

注 3. PCNTR2 レジスタ、PIDR レジスタ、PmnPFS*レジスタの読み出し時は、この値よりも PRWCNTR レジスタの設定値 (サイクル数) 分多いアクセスサイクルとなります。

改訂履歴

Revision 1.00 — 2023 年 12 月 26 日

初版発行

Revision 1.10 — 2024 年 02 月 29 日

特長：

- 接続性とタイマについての情報を更新

1. 概要：

- 図 1.1 ブロック図を更新

2. CPU：

- 図 2.1 RISC-V CPU コアのブロック図を追加
- 表 2.20 命令スループットとレイテンシを更新
- 表 2.21 命令の種類と命令の対応を更新

5. リセット：

- RSTSR0：リセットステータスレジスタ 0、RSTSR1：リセットステータスレジスタ 1、および RSTSR2：リセットステータスレジスタ 2 のシンボルの 0 になる条件を更新

7. 低電圧検出回路 (LVD)：

- LVD1CR0：電圧監視 1 回路コントロールレジスタ 0 と LVD2CR0：電圧監視 2 回路コントロールレジスタ 0 の RN シンボルの機能説明を更新

12. 割り込みコントローラユニット (ICU)：

- 図 12.2 ICU および CPU の割り込み経路 (CLIC) の注 1 を更新

18. タイマアレイユニット (TAU)：

- 表 18.8 OPIRQ ビットで選択する動作モードのワンカウントモードの説明を更新
- TNFEN：TAU ノイズフィルタ許可レジスタの注を削除
- 18.4.1 カウントクロック (fTCLK) を更新
- 図 18.32 セット信号とリセット信号発生後の動作状態を更新
- 表 18.18 インターバルタイマまたは矩形波出力機能使用時の動作手順を更新
- 表 18.52 ワンショットパルス出力機能を使用する場合のマスタチャネルの TOL0 レジスタ設定例を更新
- 図 18.32 セット信号とリセット信号発生後の動作状態を更新

19. 32 ビットインターバルタイマ (TMR32)：

- 表 19.8 8 ビット、16 ビット、32 ビットの各カウンタモードでの割り込み要因のステップ 11 の説明を更新

21. ウォッチドッグタイマ (WDT)：

- 21.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限を更新

22. 独立ウォッチドッグタイマ (IWDT)：

- 22.4.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限を更新

23. シリアルアレイユニット (SAU)：

- 表 23.65 簡易 SPI のスレーブ送受信に対するシリアル出力レジスタ m (SOM) 内容例から (n = 0~3) を削除
- 表 23.109 簡易 I2C におけるアドレスフィールド送信の手順のステップ 9 の説明を更新
- 表 23.117 簡易 I2C におけるデータ送信の手順のステップ 4 の説明を更新
- 表 23.125 データ受信の手順のステップ 9 の説明を更新

24. I2C バスインタフェース (IICA)：

- 24.4.1 スタートコンディションの説明を更新

25. シリアルインタフェース UARTA (UARTA)：

- 表 25.3 通信手順の注を更新

26. リモコン信号受信機能 (REMC)：

- 26.2.17 REMRBIT：受信ビットカウントレジスタの RBIT0 ビットと RBIT[5:0]ビットの説明を更新

29. 12 ビット A/D コンバータ (ADC12)：

- 表 29.9 通常モード 1 および 2 における A/D 変換時間の注 4 を更新
- 表 29.10 低電圧モード 1 および 2 における A/D 変換時間の注 4 を更新
- 29.3.6 ADS：アナログ入力チャネル指定レジスタの注を更新
- 図 29.18 ハードウェアトリガ待機なしモード（スキャンモード、連続変換モード）動作タイミングの例の注を追加
- 表 29.15 ソフトウェアトリガ待機モードの設定のステップ<5>を更新
- 表 29.20 スヌーズモード（ハードウェアトリガ）の設定手順のステップ<9>を更新

35. フラッシュメモリ：

- 35.3.11 FEXCR：フラッシュエクストラ領域コントロールレジスタの注 1 のレジスタ名を FCR から FEXCR に修正
- 35.3.11 FEXCR：フラッシュエクストラ領域コントロールレジスタの注 1 のビット名を FRDY から EXRDY に修正

Revision 1.10 — 2024 年 02 月 29 日

37. 電気的特性：

- 表 37.4 I/O VIH, VIL を更新
- 表 37.10 動作電流とスタンバイ電流 (1) の Typ 欄の値を更新
- 表 37.11 動作電流とスタンバイ電流 (2) の注を更新
- 表 37.12 動作電流とスタンバイ電流 (3) を更新
- 表 37.56 コードフラッシュ特性 (2) を更新
- 表 37.57 コードフラッシュ特性 (3) を更新
- 表 37.58 コードフラッシュ特性 (4) を更新
- 表 37.60 データフラッシュ特性 (2) を更新
- 表 37.61 データフラッシュ特性 (3) を更新
- 表 37.62 データフラッシュ特性 (4) を更新

R9A02G021 ユーザーズマニュアル ハードウェア編

発行年月日 Rev.1.10 Feb 29, 2024
Rev.1.00 Dec 26, 2023

発行 ルネサスエレクトロニクス株式会社

R9A02G021