ISL85012

12A、3.8V ～ 18V 入力、同期整流型降圧レギュレータ

FN8677
Rev.2.00
2017年3月17日

ISL85012 は、3.8V ～ 18V の入力電源によって 12A の連続出力電流を供給できる高効率のモノリシック同期整流型降圧レギュレータです。高速過渡応答と優れたループ安定性を備えた電流モード制御アーキテクチャを採用しています。

ISL85012 は超低オン抵抗のハイサイドおよびローサイド FET を内蔵することで、効率を最大限に高め、外付け部品点数を最小限に抑えています。最小限の部品点数と簡単にレイアウトできるフットプリントは、スペース制約の厳しいシステムに最適です。

このデバイスの動作周波数はFREQピンで以下のように設定できます。600kHz (FREQ = フロート状態)、300kHz (FREQ = GND)。最大 1MHz の外部クロックに同期させることもできます。

ハイサイドおよびローサイド MOSFET の電流リミットと逆電流リミットは、過電流イベントの際もレギュレータを完全に保護します。選択可能な OCP 方式により各種アプリケーションに適合できます。さらに、入力 / 出力過電圧、温度過上昇などの保護機能も内蔵しているため、フォルト条件が発生した際のシステムレベルの安全性を確保できます。

ISL85012 は優れた放熱性能を備え、最大高さ 0.8mm の小型 15 ピン 3.5mmx3.5mm 鉛フリー TQFN パッケージで提供しています。

関連ドキュメント

- 関連文書の一覧は弊社ウェブページを参照してください。
  - ISL85012 の製品ページ

特長

- 電源入力電圧範囲：3.8V ～ 18V
- PWM 出力電圧：0.6V から調整可能
- 最大出力負荷電流：12A
- プリバイアス・スタートアップ、3ms 固定のソフトスタート
- 選択可能な f_{SW} (300kHz/600kHz)、最大 1MHz の外部同期
- ピーク電流モード制御
  - DCM/CCM
  - 熱的に補償された電流リミット
  - 内部 / 外部位相補償
- オープン・ドレイン、PG ウィンドウ・コンパレータ
- 出力過電圧保護およびサーマル・プロテクション
- 入力過電圧保護
- アンダーボルテージ検出機能付きブート・ダイオード内蔵
- 選択可能な OCP 方式
  - ヒカップ・モード
  - ラッチオフ・モード
- コンパクトなサイズ：3.5mmx3.5mm

アプリケーション

- サーバーおよびクラウド・インフラの POL
- IPC、工業用オートメーション、PLC
- 通信およびネットワーク・システム
- ストレージ・システム
- テスト計測機器

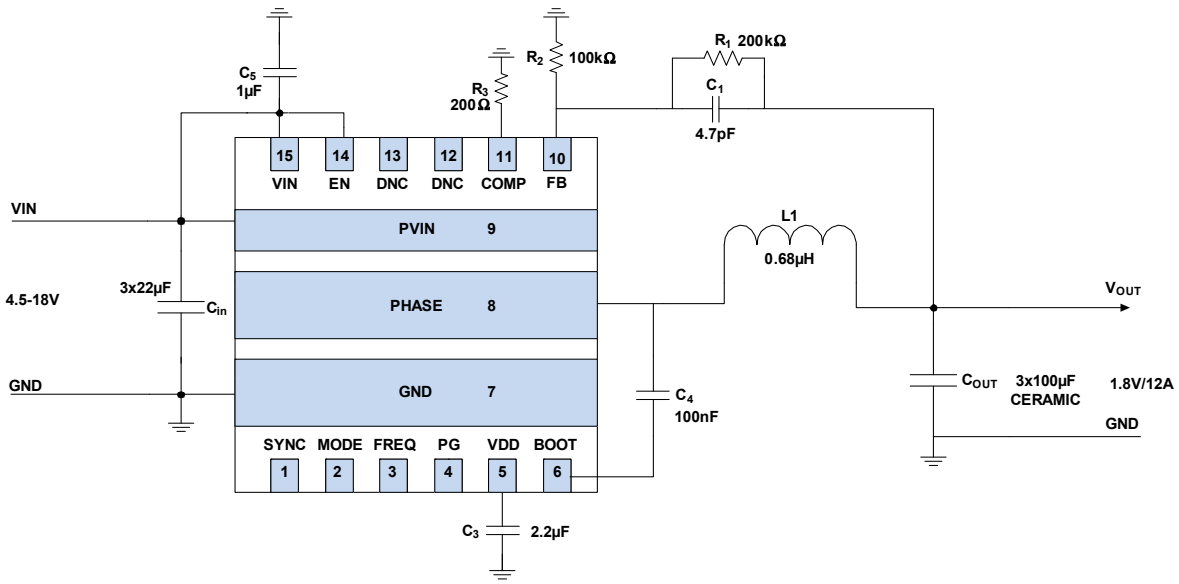


図 1. アプリケーション回路例 (内部位相補償)

アプリケーション回路例

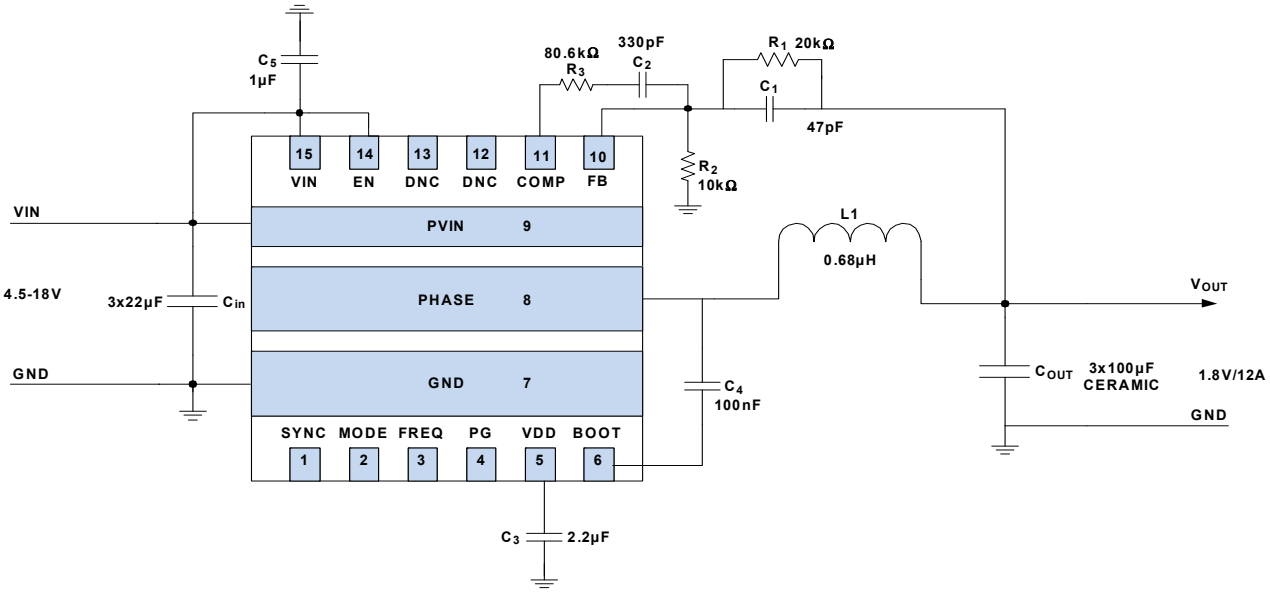


図 2. アプリケーション回路例 (外部位相補償)

表 1. 各種出力電圧の設計表

V_{OUT} (V)	0.9	1	1.2	1.5	1.8	2.5	3.3	5
V_{IN} (V)	4.5 ～ 18	4.5 ～ 18	4.5 ～ 18	4.5 ～ 18	4.5 ～ 18	4.5 ～ 18	4.5 ～ 18	6 ～ 18
周波数 (kHz)	300	300	300	600	600	600	600	600
位相補償	内部	内部	内部	内部	内部	内部	内部	内部
C_{in} (µF)	3x22	3x22	3x22	3x22	3x22	3x22	3x22	3x22
C_{out} (µF)	2x560 + 4x100	2x330 + 3x100	2x330 + 3x100	4x100	3x100	4x47	4x47	4x47
L_1 (µH)	0.68	0.68	1	0.68	0.68	1	1	1.5
R_1 (kΩ)	100	100	147	150	200	301	365	365
R_2 (kΩ)	200	150	147	100	100	95.3	80.6	49.9
C_1 (pF)	DNP	DNP	DNP	10	4.7	4.7	3.3	3.3

NOTE :

1. この設計表は図 1 に示す回路図を指しています。
2. セラミック・コンデンサは表内の 22µF ～ 100µF を選択します。
3. 560µF (14mΩ) と 330µF (10mΩ) は低 ESR 導電性ポリマー・アルミニウム固体コンデンサを選択します。
4. 上記の用途にはウルトエレクトロニクス社のインダクタ 7443340068 (0.68µH)、7443340100 (1µH)、7443340150 (1.5µH) を選択します。
5. インダクタのピーク・ツー・ピーク電流を 5A 未満に保つことを推奨します。

表 2. 当製品ファミリにおける主な機能の違い

製品型番	内部 / 外部位相補償	外部周波数同期	プログラム可能ソフトスタート	スイッチング周波数 (kHz)	電流定格 (A)
ISL85003	あり	あり	なし	500	3
ISL85003A	あり	なし	あり	500	3
ISL85005	あり	あり	なし	500	5
ISL85005A	あり	なし	あり	500	5
ISL85012	あり	あり	なし	300 と 600 のどちらかを選択可能	12

注文情報

製品型番 (Note 6、7、8)	製品マーキング	温度範囲 (℃)	テープ & リール (個)	パッケージ (RoHS 準拠)	パッケージの外形図 #
ISL85012FRZ-T	5012	-40 ～ +125	6k	15 Ld 3.5mmx3.5mm TQFN	L15.3.5x3.5
ISL85012FRZ-T7A	5012	-40 ～ +125	250	15 Ld 3.5mmx3.5mm TQFN	L15.3.5x3.5
ISL85012EVAL1Z	評価基板				

NOTE：

6. リールの詳細仕様については、TB347 を参照してください。
7. インターシルのこれらの鉛フリー・プラスチック・パッケージ製品には、専用の鉛フリー素材セット、モールド材料 / ダイ・アタッチ素材を使用するとともに、錫 100% の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は、鉛フリー・ピークリフロー温度で MSL 分類に対応し、IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
8. 吸湿性レベル (MSL) については、ISL85012 の製品情報ページを参照してください。MSL の詳細については、テクニカル・ブリーフ TB363 を参照してください。

機能ブロック図

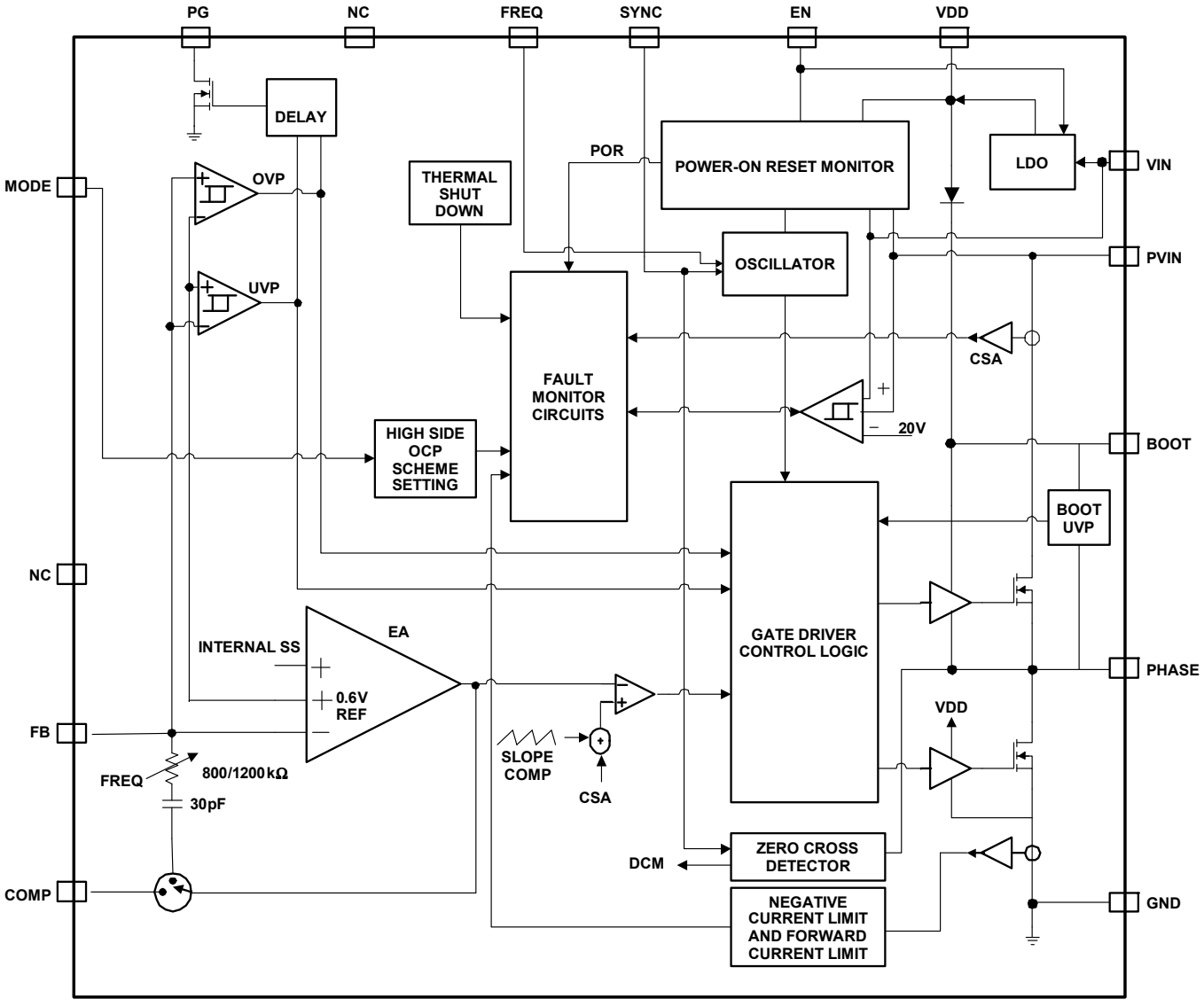
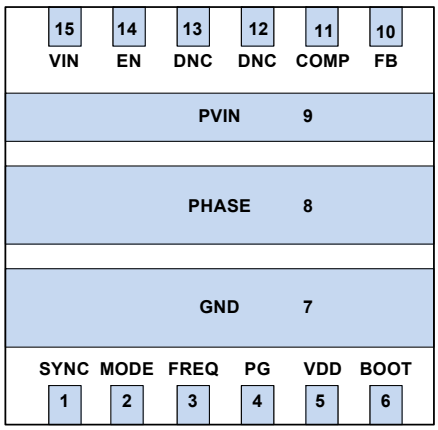


図 3. 機能ブロック図

ピン配置

ISL85012
(15 LD 3.5mmx3.5mm TQFN)
TOP VIEW



ピンの説明

ピン番号	ピン名称	説明
1	SYNC	外部同期およびモード選択ピンです。VDD に接続するかフロート状態にすると、PWM モードが選択されます。GND に接続すると、軽負荷条件向けの DCM モードが選択されます。外部クロック信号に接続すると、立ち上がりエッジをトリガとして同期します。
2	MODE	OCP 方式選択ピンです。GND に接続すると、ラッチオフ・モードが選択されます。フロート状態にすると、ヒカップ・モードが選択されます。
3	FREQ	デフォルト周波数選択ピンです。GND に接続すると、300kHz が選択されます。フロート状態にすると、600kHz が選択されます。
4	PG	パワーグッド、オープン・ドレイン出力です。PG と VDD(または 5.5V 以下の電圧源) の間にプルアップ抵抗 (10kΩ ～ 100kΩ) が必要です。FB が意図した値の約 90% から約 116% の範囲にある場合、PG は High になります。
5	VDD	低ドロップアウト・リニアレギュレータのデカップリング・ピンです。VDD は、内部的に生成された 5V の電源電圧であり、VIN から得られます。VDD は、すべての内部コア・アナログ制御ブロックおよびドライバに電力を供給するために使用されます。2.2µF コンデンサを VDD と基板グラウンド層の間に接続します。V_{IN} が 3V ～ 5.5V の場合、効率を向上させるため、VDD を VIN に直接接続します。
6	BOOT	ハイサイド・パワー MOSFET ゲート・ドライバ用のブートストラップ供給ピンです。ブートストラップ・コンデンサ (通常 0.1µF) を BOOT と PHASE の間に接続します。
7	GND	パワー回路の基準源です。放熱のため、グラウンド層にビアで接続する必要があります。
8	PHASE	内蔵パワー MOSFET (ハイサイド FET のソースとローサイド FET のドレイン) と外付け出力インダクタに接続するスイッチイング・ノードです。
9	PVIN	PWM レギュレータ・パワー段の電源入力です。デカップリング・コンデンサ (通常はセラミック) をこのピンと GND の間に接続する必要があります。
10	FB	電圧ループ誤差アンプへの反転入力です。出力電圧は、FB に接続された外付け抵抗分圧回路によって設定されます。
11	COMP	誤差アンプの出力です。COMP と FB の間に位相補償ネットワークを接続すると、外部位相補償を構成できます。COMP と GND の間に 200Ω の抵抗を接続すると、内部位相補償が選択されます。内部位相補償を使ってほとんどのアプリケーションに対応できます。
12、13	DNC	接続しないピンです。これらのピンはフロート状態にします。
14	EN	イネーブル入力です。このピンをグラウンドに引き下げると、レギュレータはオフに維持されます。このピンの電圧が約 0.6V まで上がると、製品がイネーブルされます。
15	VIN	制御回路と、IC にバイアスを供給する内蔵リニア・レギュレータのソースのための入力電源です。デカップリング・コンデンサ (通常は 1µF セラミック) を VIN と GND の間に接続する必要があります。

絶対最大定格

VIN、EN ～ GND . . . . . -0.3V ～ +24V
PVIN ～ GND . . . . . -0.3V ～ +24V
PHASE ～ GND . . . . . -0.7V ～ +24V (DC)
PHASE ～ GND . . . . . -2V ～ +24V (40ns)
BOOT ～ PHASE . . . . . -0.3V ～ +7V
VDD、COMP、SYNC、PG、FB、MODE、
FREQ、SS、IOCP ～ GND . . . . . -0.3V ～ +7V
ESD 定格
人体モデル (JS-001-2014 に従ってテスト済み) 2.5kV
帯電デバイスモデル (JS-002-2014 に従ってテスト済み) 1kV
ラッチアップ (JESD78E、クラス 2、レベル A、
+125 ℃に従ってテスト済み) 100mA

温度情報

熱抵抗	θ_{JA} (℃ /W)	θ_{JC} (℃ /W)
TQFN パッケージ (Note 9、10)	33	1.2

最大保存温度範囲 . . . . . -65 ℃～ +150 ℃
ジャンクション温度範囲 . . . . . -55 ℃～ +150 ℃
鉛フリー・リフロープロファイル . . . . . TB49 参照

推奨動作条件

VIN 電源電圧範囲 . . . . . 4.5V ～ 18V
PVIN 電源電圧範囲 . . . . . 3.8V ～ 18V
負荷電流範囲 . . . . . 0A ～ 12A

注意 : 過度に長い時間にわたって最大定格点または最大定格点付近で動作させないでください。そのような動作条件を課すと製品の信頼性に悪影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE :

9. θ_{JA} は、デバイスを放熱効率の高い「ダイレクト・アタッチ」機能対応 (GND 層に接続する GND エキスポーズド・パッド下の 3 個のビアと VIN 層に接続する VIN エキスポーズド・パッド下の 2 個のビアは除く) の試験基板に実装し、自由大気中で測定した値です。テクニカル・ブリーフ TB379 を参照してください。
10. θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、すべてのパラメータ・リミットは推奨動作条件にわたり規定されています。代表仕様は以下の条件で測定されています。特記のない限り、T_J = -40 ℃～ +125 ℃、V_{IN} = 4.5V ～ 18V 代表値は T_A = +25 ℃に対する値です。**太字のリミット値は動作温度範囲 -40 ℃～ +125 ℃に対して適用されます。**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 11)	TYP	MAX (Note 11)	UNIT
SUPPLY VOLTAGE						
PVIN Voltage Range	PVIN		**3.8**		**18**	V
V_{IN} Voltage Range	VIN		**4.5**		**18**	V
V_{IN} Quiescent Supply Current	I_Q	EN = 2V, FB = 0.64V		3	**5**	mA
V_{IN} Shutdown Supply Current	I_{SD}	EN = GND		8	**13**	µA
POWER-ON RESET						
PVIN POR Threshold		Rising edge			**2.9**	V
		Falling edge	**1.9**			V
V_{IN} POR Threshold		Rising edge			**4.49**	V
		Falling edge	**3.4**			V
EN POR Threshold		Rising edge	**0.5**	0.6	**0.7**	V
		Hysteresis		100		mV
V_{DD} POR Threshold		Rising edge			**3.6**	V
		Falling edge	**2.4**			V
INTERNAL VDD LDO						
V_{DD} Output Voltage Regulation Range		V_{IN} = 6V to 18V, I_{VDD} = 0mA to 30mA	**4.3**	5.0	**5.5**	V
V_{DD} Output Current Limit				80		mA
LDO Dropout Voltage		V_{IN} = 5V, I_{VDD} = 30mA			**0.65**	V
OSCILLATOR						
Nominal Switching Frequency	f_{SW1}	FREQ = float	**540**	600	**660**	kHz
Nominal Switching Frequency	f_{SW2}	FREQ = GND	**250**	280	**310**	kHz
Minimum On-Time	t_{ON}	I_{OUT} = 0mA		90	**150**	ns
Minimum Off-Time	t_{OFF}			140	**170**	ns
Synchronization Range			**100**		**1000**	kHz
SYNC Logic Input Low					**0.5**	V
SYNC Logic Input High			**1.2**			V

電気的特性 特記のない限り、すべてのパラメータ・リミットは T_J = -40 ℃～ +125 ℃の推奨動作条件にわたり、V_{IN} = 4.5V ～ 18V で規定されています。代表値は T_A = +25 ℃に対する値です。**太字のリミット値は動作ジャンクション温度範囲である -40 ℃～ +125 ℃に対して適用されます。 (続き)**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 11)	TYP	MAX (Note 11)	UNIT
ERROR AMPLIFIER						
FB Regulation Voltage	V_{FB}		**0.588**	0.600	**0.612**	V
FB Leakage Current		V_{FB} = 0.6V			**10**	nA
Open Loop Bandwidth	BW			5.5		MHz
Gain				70		dB
Output Drive		High-side clamp = 1.5V, low-side clamp = 0.4V		±100		µA
Current-Sense Gain	RT		**0.050**	0.055	**0.063**	Ω
Slope Compensation	Se	Tested at 600kHz		470		mV/µs
SOFT-START						
Default Soft-Start Time			**1.9**	3	**4.7**	ms
PG						
Output Low Voltage		I_{PG} = 5mA		0.3		V
PG Pin Leakage Current				0.01		µA
PG Lower Threshold		Percentage of output regulation	**81**	87	**92**	%
PG Upper Threshold		Percentage of output regulation	**110**	116	**121**	%
PG Thresholds Hysteresis		SYNC is short-to-GND		3		%
Delay Time		Rising edge		1.5		ms
		Falling edge		23		µs
FAULT PROTECTION						
V_{IN}/PVIN Overvoltage Lockout		Rising edge	**19**	20.5	**22**	V
		Falling edge	**18**	19.5	**21**	V
		Hysteresis		1		V
Positive Overcurrent Protection Threshold	I_{POCP}	High-side OCP	**15.5**	18	**19.5**	A
		Low-side OCP		21		
Negative Overcurrent Protection Threshold	I_{NOCP}	Current forced into PHASE node, high-side MOSFET is off	**-10.8**	-7.5	**-5.5**	A
Hiccup Blanking Time				150		ms
FB Overvoltage Threshold			**110**	116	**121**	%
Thermal Shutdown Temperature	T_{SD}	Rising threshold		160		°C
	T_{HYS}	Hysteresis		10		°C
POWER MOSFET						
High-Side	R_{HDS}	IPHASE = 900mA		15		mΩ
Low-Side	R_{LDS}	IPHASE = 900mA		7		mΩ
PHASE Pull-Down Resistor		EN = GND		22.5		kΩ

NOTE :

11. データシートのリミット値に対する整合性は、製造時テスト、特性評価、設計のいずれか 1 つまたは複数によって保証されています。

代表的な性能曲線

図 2 の回路です。2 ページの設計表に、各種出力電圧に対するコンポーネントの値を示します。各プロットは ISL85012EVAL1Z 評価基板で計測しました。特記のない限り、V_{IN} = 12V、V_{OUT} = 1.8V、FREQ = 600kHz、CCM、T_J = -40 ℃～ +125 ℃です。代表値は T_A = +25 ℃における値です。

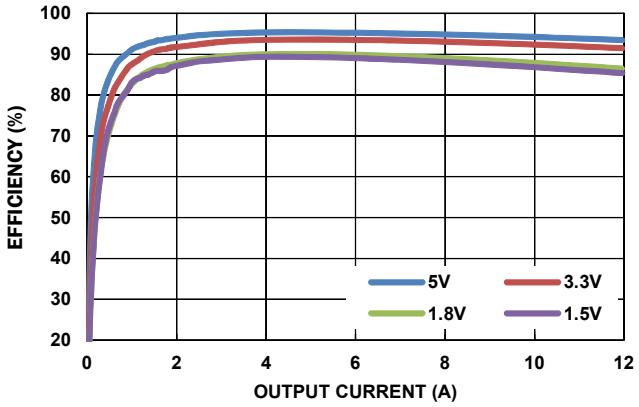


図 4. 効率 vs 負荷 (V_{IN} = 12V、CCM、600kHz)

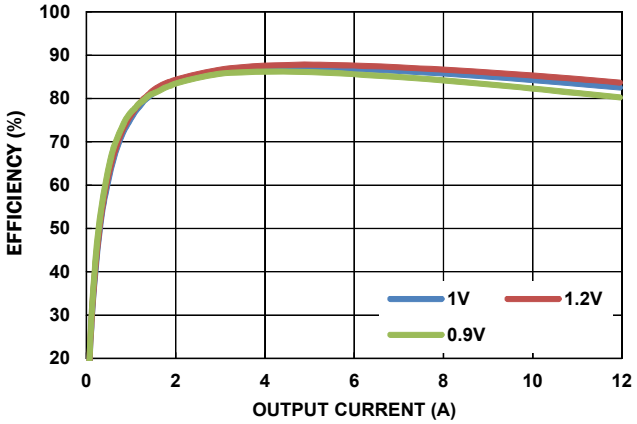


図 5. 効率 vs 負荷 (V_{IN} = 12V、CCM、300kHz)

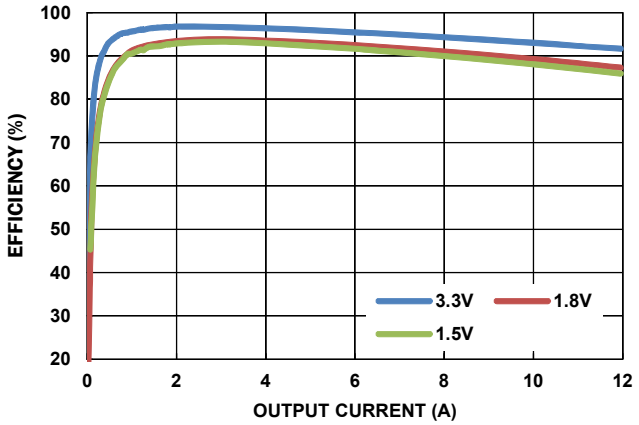


図 6. 効率 vs 負荷 (V_{IN} = 5V、CCM、600kHz)

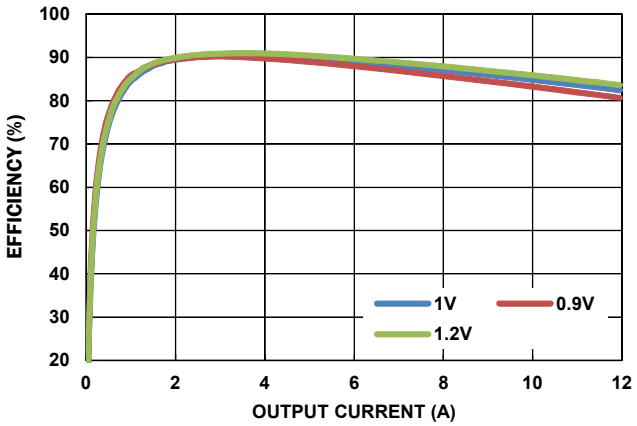


図 7. 効率 vs 負荷 (V_{IN} = 5V、CCM、300kHz)

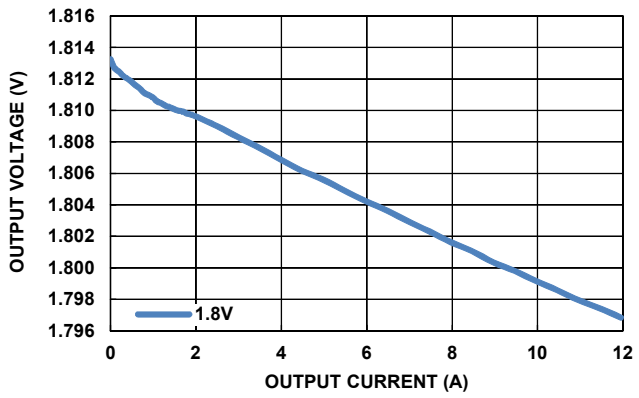


図 8. V_{OUT} のレギュレーション vs 負荷 (V_{IN} = 12V、CCM、600kHz)

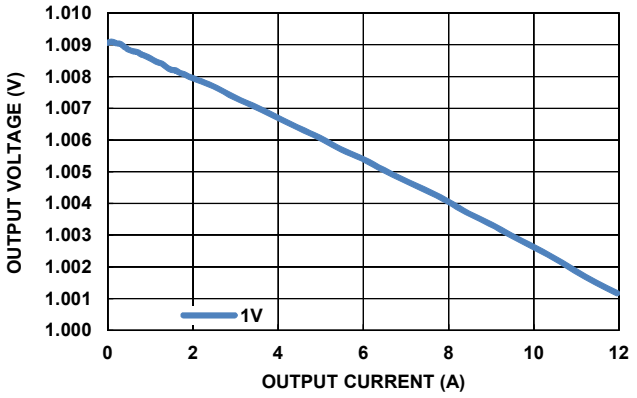


図 9. V_{OUT} のレギュレーション vs 負荷 (V_{IN} = 12V、CCM、300kHz)

代表的な性能曲線

図 2 の回路です。2 ページの設計表に、各種出力電圧に対するコンポーネントの値を示します。各プロットは ISL85012EVAL1Z 評価基板で計測しました。特記のない限り、V_{IN} = 12V、V_{OUT} = 1.8V、FREQ = 600kHz、CCM、T_J = -40 ℃～ +125 ℃です。代表値は T_A = +25 ℃における値です。**(続き)**

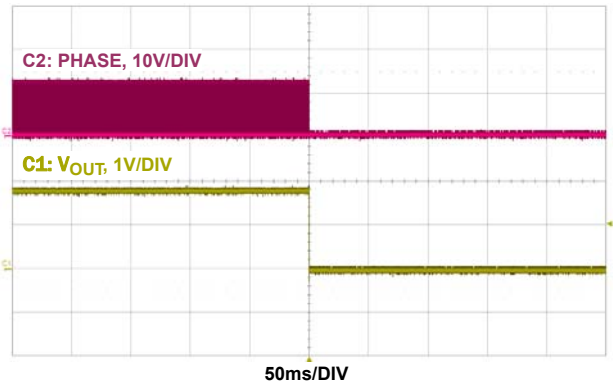


図 10. ラッチオフ・モード OCP
(V_{IN} = 12V、V_{OUT} = 1.8V、600kHz、CCM)

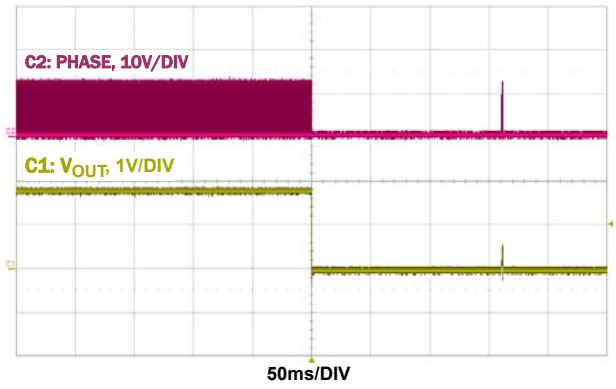


図 11. ヒカップ・モード OCP
(V_{IN} = 12V、V_{OUT} = 1.8V、600kHz、CCM)

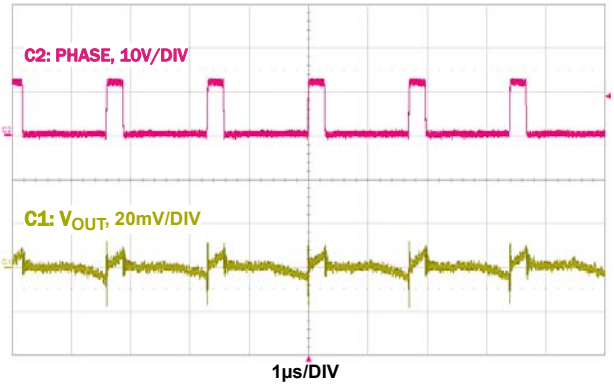


図 12. 出力電圧リップル
(V_{IN} = 12V、V_{OUT} = 1.8V @ 12A、600kHz、CCM)

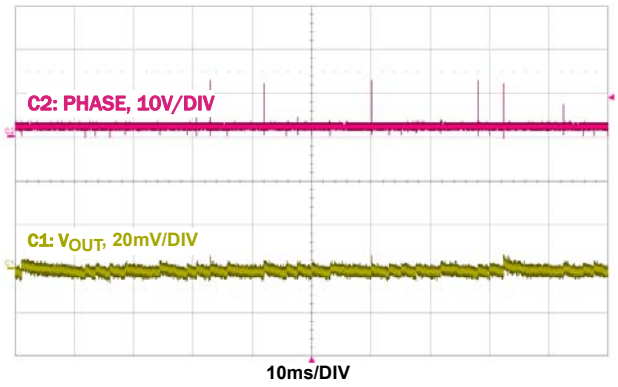


図 13. 出力電圧リップル
(V_{IN} = 12V、V_{OUT} = 1.8V @ 0A、600kHz、DCM)

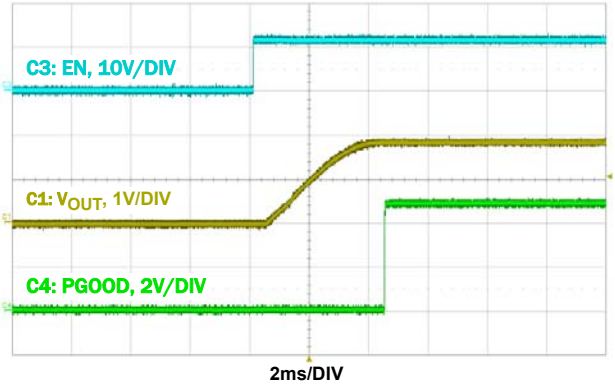


図 14. EN によるスタートアップ
(V_{IN} = 12V、V_{OUT} = 1.8V @ 12A、600kHz、CCM)

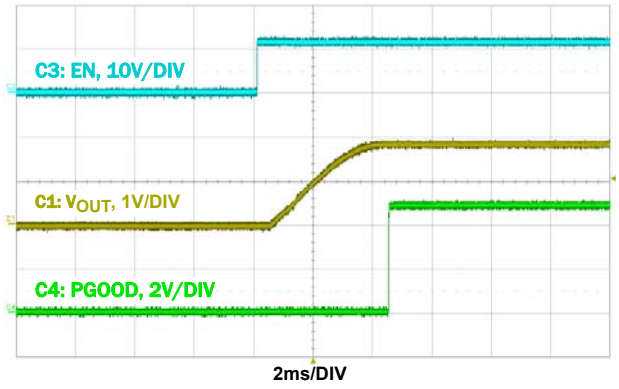


図 15. EN によるスタートアップ
(V_{IN} = 12V、V_{OUT} = 1.8V @ 0A、600kHz、DCM)

代表的な性能曲線

図 2 の回路です。2 ページの設計表に、各種出力電圧に対するコンポーネントの値を示します。各プロットは ISL85012EVAL1Z 評価基板で計測しました。特記のない限り、V_{IN} = 12V、V_{OUT} = 1.8V、FREQ = 600kHz、CCM、T_J = -40 ℃～ +125 ℃です。代表値は T_A = +25 ℃における値です。**(続き)**

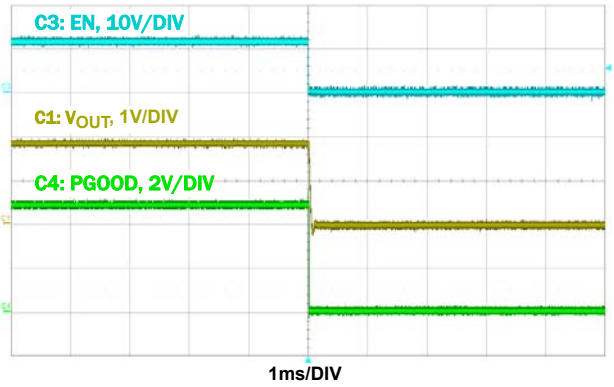


図 16. EN によるシャットダウン
(V_{IN} = 12V、V_{OUT} = 1.8V @ 12A、600kHz、CCM)

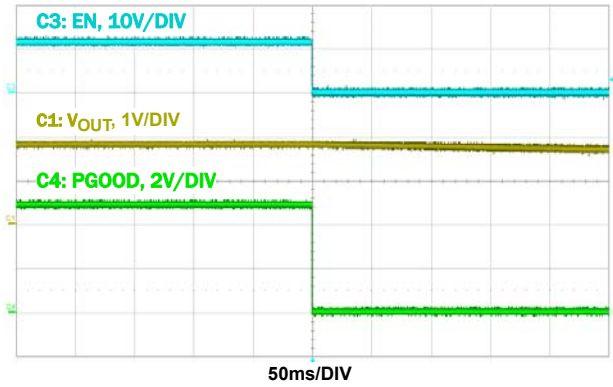


図 17. EN によるシャットダウン
(V_{IN} = 12V、V_{OUT} = 1.8V @ 0A、600kHz、DCM)

代表的な特性

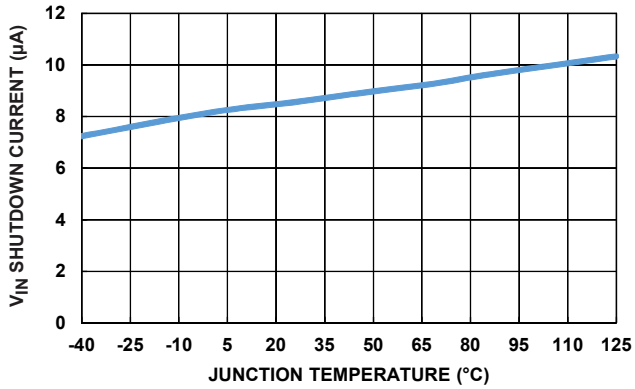


図 18. V_{IN} シャットダウン電流 vs 温度

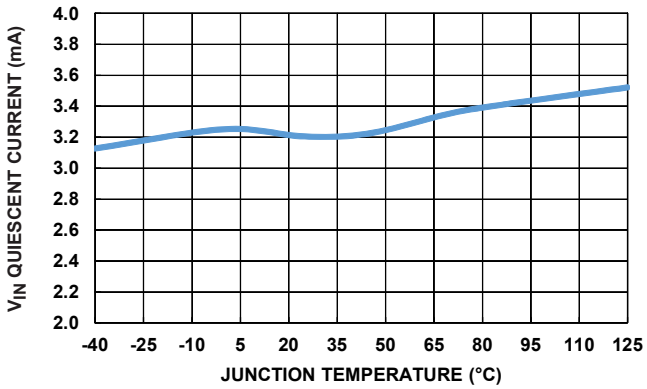


図 19. V_{IN} 静止電流 vs 温度

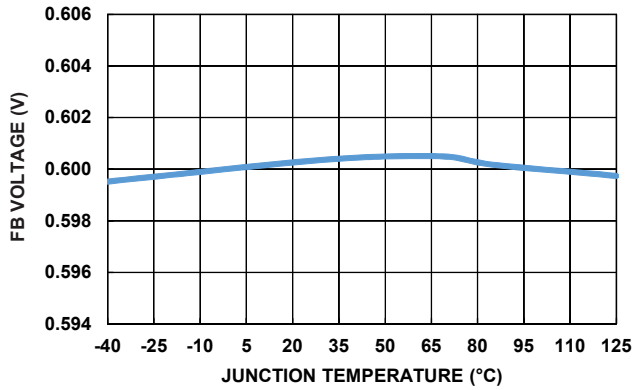


図 20. 帰還電圧 vs 温度

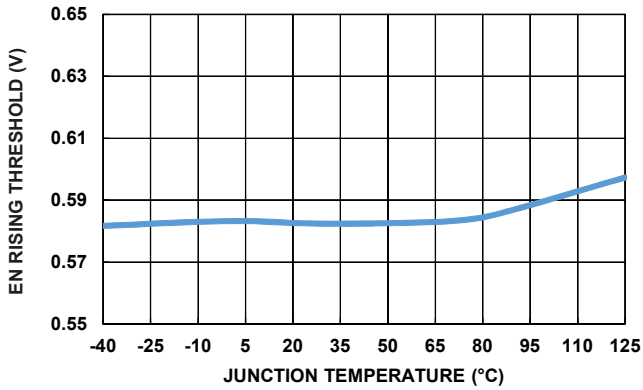


図 21. イネーブル・スレッショルド vs 温度

代表的な特性 (続き)

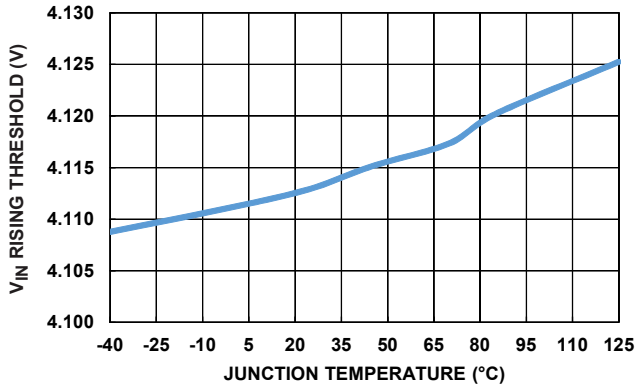


図 22. V_{IN} POR (立ち上がり) vs 温度

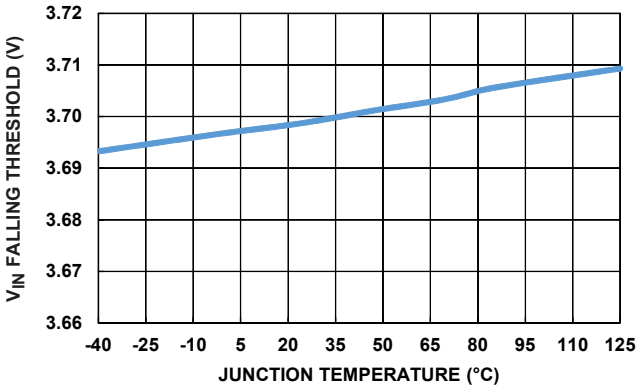


図 23. V_{IN} POR (立ち下がり) vs 温度

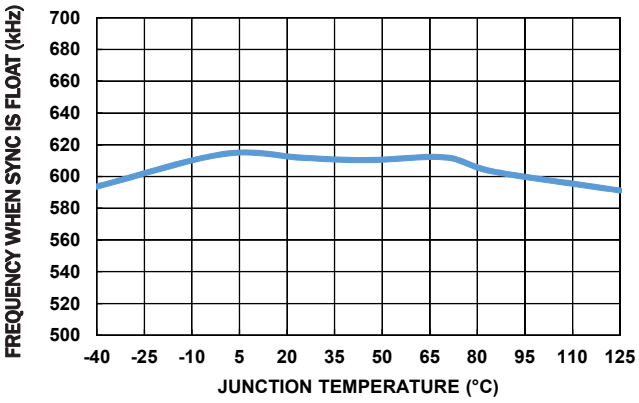


図 24. 周波数 (600kHz 設定) vs 温度

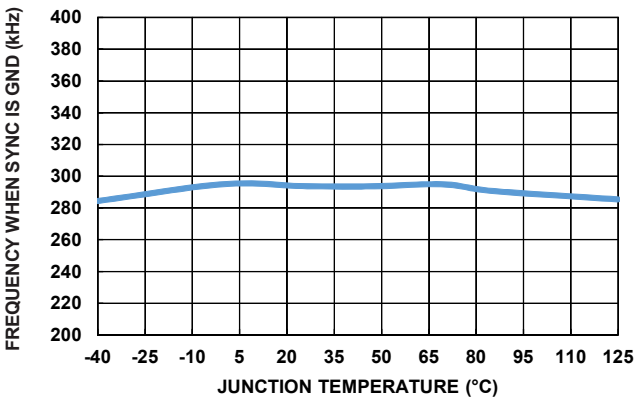


図 25. 周波数 (300kHz 設定) vs 温度

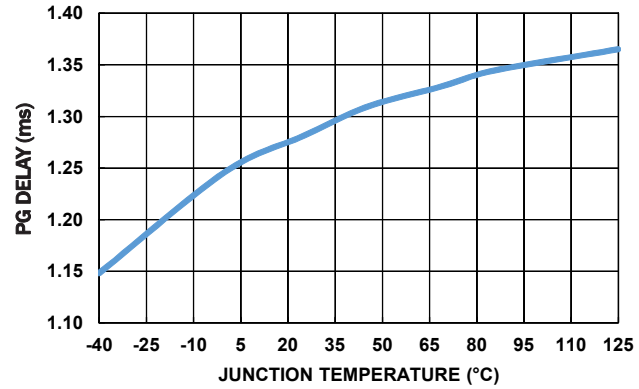


図 26. PG ディレイ vs 温度

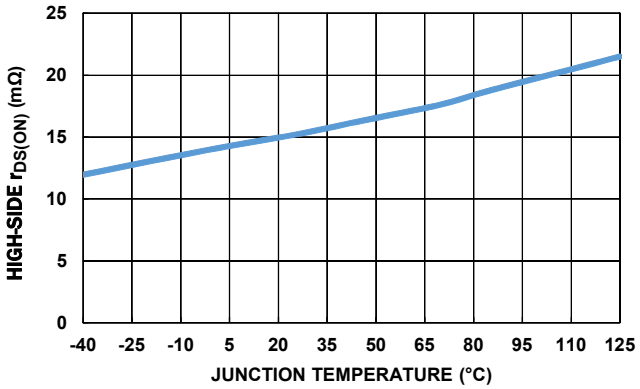


図 27. ハイサイド $r_{DS(ON)}$ vs 温度

代表的な特性 (続き)

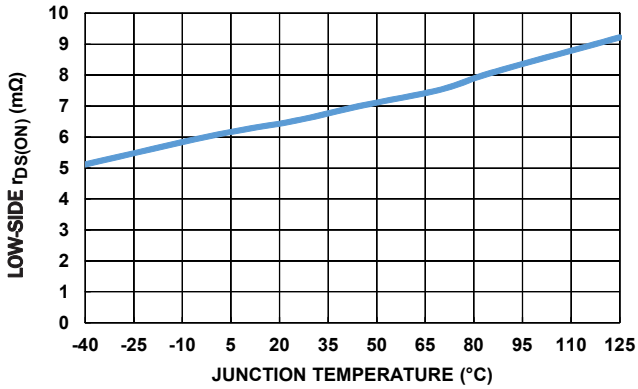


図 28. ローサイド $r_{DS(ON)}$ vs 温度

詳細説明

ISL85012 は、同期整流型降圧コントローラと一対の内蔵スイッチング MOSFET を組み合わせたものです。降圧コントローラは、内蔵しているハイサイドおよびローサイド N チャネル MOSFET を駆動し、最大 12A の負荷電流を供給します。この降圧レギュレータは、レギュレートされていない +3.8V ～ +18V の DC ソース (バッテリなど) で動作します。内蔵の 5V LDO 電圧レギュレータは、コントローラをバイアスするために使用されます。コンバータの出力電圧は外付けの抵抗分圧回路を使用してプログラムされ、最低 0.6V のレギュレートされた電圧を生成します。これらの機能により、このレギュレータは幅広いアプリケーションに対応できます。

このコントローラは電流モード・ループを使用するため、ループ位相補償が簡素化され、幅広い入出力電圧範囲において固定周波数動作が可能になります。内部設定された帰還ループ位相補償オプションを使用すると、回路設計がさらに簡単になります。デフォルトのスイッチング周波数として 600kHz (FREQ = フロート状態) または 300kHz (FREQ = GND) を選択できます。またこのレギュレータは、SYNC ピンを使って 100kHz から 1MHz に同期させることもできます。

この降圧レギュレータは、ロスレス電流リミット方式を備えています。出力ステージの電流は、内部パワー MOSFET のドレイン～ソース間電圧の温度補償済み計測値から得られます。

動作の初期化

パワーオン・リセット回路とイネーブル入力は、PWM レギュレータ出力のスタートアップの誤動作を防止します。すべての入力基準が満たされると (図 29 参照)、コントローラは出力電圧を設定したレベルまでソフトスタートさせます。

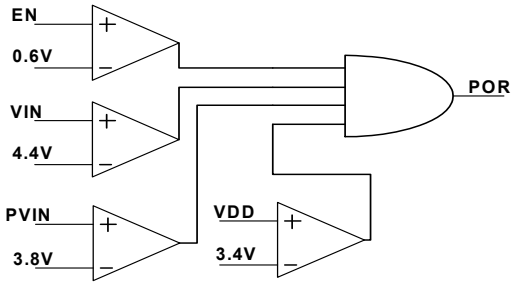


図 29. POR 回路

イネーブルとソフトスタート

V_{IN}、PVIN、V_{DD} が、立ち上がり POR トリップ・ポイントを超えるとチップ動作が開始します。EN ピンが外部的に Low に維持されている場合、EN ピンが解放されるまで動作は開始されません。EN ピンの電圧が 0.6V を超えると、LDO が起動しソフトスタート制御が開始します。ISL85012 はソフトスタート中、不連続導通モード (DCM) で動作します。ソフトスタート時間は 3ms です。EN は、VIN または外付け電源で直接駆動できます。EN を駆動する信号にノイズが乗っている場合、EN ピンに RC フィルタを追加することを推奨します。

この製品はプリバイアスされた負荷へのスタートアップをサポートするように設計されています (プリバイアス電圧は設定する出力電圧より小さくする必要があります)。内部 SS 電圧がスタートアップ中に FB 電圧を超えるまでハイサイドおよびローサイドスイッチは両方共オフになっています。

PWM 制御方式

高速過渡応答を実現するため、ISL85012 は電流モード・パルス幅変調 (PWM) 制御方式を採用しています。電流ループは、発振器、PWM コンパレータ、電流検出回路、傾き補償回路によって構成されています。電流検出回路のゲインは通常 55mV/A であり、傾き補償は 780mV/t_{SS} (t_{SS} = 周期) です。電流ループの制御リファレンスは、誤差アンプ (EA) の出力によって供給されます。これは FB ピンでの帰還信号を 0.6V の内蔵リファレンス電圧と比較するものです。

スイッチング・レギュレータが 600kHz 設定 (FREQ = フロート状態) で動作する場合と SYNC ピンで外部同期する場合のどちらでも、内部位相補償に設定 (COMP を 200Ω 抵抗で GND に接続) すると、電圧ループは 30pF と 800kΩ の RC ネットワークで内部的に位相補償されます。スイッチング・レギュレータが 300kHz 設定 (FREQ = GND) で動作する場合、内部位相補償のために 30pF と 1200kΩ の RC ネットワークが実装されます。

PWM 動作は、発振器からのクロックによって初期化されます。PWM サイクルの開始時にハイサイド MOSFET がターンオンし、MOSFET 内の電流がランプアップしはじめます。電流アンプ (CSA) と傾き補償 ($780mV/t_{SS}$) の和が電流ループの制御リファレンス (COMP) に達すると、PWM コンパレータは PWM ロジックに信号を送り、ハイサイド MOSFET をターンオフ、ローサイド MOSFET をターンオンします。ローサイド MOSFET は PWM サイクルの終りまでオンのままです。図 30 に、連続導通モード (CCM) 動作中の代表的な動作波形を示します。点線は、傾き補償と電流検出アンプの出力の和を表します。

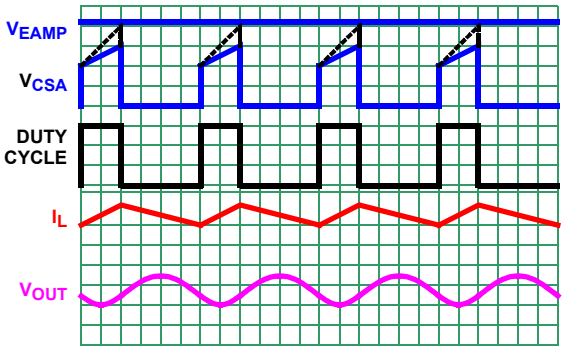


図 30. PWM 動作波形

軽負荷の動作

ISL85012 は、ローサイド MOSFET の電流と FB ノードの電圧の両方をモニタリングしてレギュレーション動作します。SYNC ピンを Low にするとレギュレータは、軽負荷時にローサイド MOSFET をダイオード・エミュレーション・モード (DEM) で動作させる不連続動作に入ることができます。このモードでは、インダクタ内に逆電流が流れず、ハイサイド MOSFET が次のサイクルのために切り換わる前に出力はレギュレーション電圧まで自然に低下します。CCM モードでは、境界条件は式 1 で設定されます。

$$I_{OUT} = \frac{V_{OUT}(1-D)}{2Lf_{SW}} \quad (式\ 1)$$

ここで、D = デューティ・サイクル、f_{SW} = スイッチング周波数、L = インダクタ値、I_{OUT} = 出力負荷電流、V_{OUT} = 出力電圧です。表 3 に、SYNC ピンで決定される各動作モードを示します。

表 3. 動作モードの設定

SYNC	
フロート状態	GND
CCM に強制	DEM

外部同期

ISL85012 は、SYNC ピンに印加する外部信号を使って 100kHz から 1MHz に同期させることができます。SYNC の立ち上がりエッジが PHASE パルスの立ち上がりエッジをトリガします。SYNC パルスのオン時間は 100ns より大きくする必要があります。

出力電圧の選択

レギュレータの出力電圧は、内部リファレンス電圧を基準に帰還電圧をスケーリングする外付けの抵抗分圧回路を使用して設定できます。スケーリングされた電圧は、誤差アンプの反転入力に帰還されます (図 31 参照)。

出力電圧設定抵抗 R_2 は、帰還抵抗 R_1 および目標出力電圧 V_{OUT} として選択した値に依存します (式 2 参照)。R_1 の値は帰還ループのゲインを決定します。詳細は 15 ページの「ループ位相補償の設計」を参照してください。この帰還抵抗は通常は 1kΩ ～ 370kΩ の間の値です。

$$R_2 = \frac{R_1 \cdot 0.6V}{V_{OUT} - 0.6V} \quad (式\ 2)$$

目標とする出力電圧が 0.6V の場合、R_2 は未設定のままにします。しかし、モジュレータ位相補償の低周波数ポールを設定するために、R_1 は必要です。

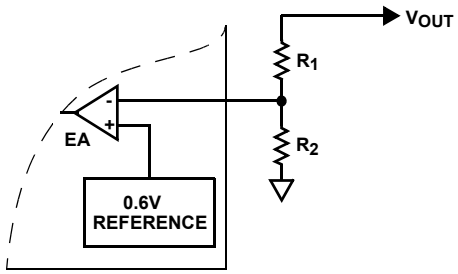


図 31. 外付けの抵抗分圧回路

保護機能

この製品では、チップ上のすべてのパワー・デバイスの電流を制限します。過電流リミットは 2 つの出力スイッチング MOSFET のほか、V_{DD} に供給する LDO リニア・レギュレータにも適用されます。スイッチング・レギュレータの出力の過電圧保護回路により、堅牢な保護が提供されます。

ハイサイド MOSFET の過電流保護

オン時間中、内部ハイサイド・スイッチング MOSFET を流れる電流がモニタリングされます。この電流 (温度補償済み) はデフォルトの 18A の過電流リミットと比較されます。ISL85012 は、オン時間の過電流保護を実装するため 2 つの OCP 方式を提供しています。これらの方式は MODE ピンで設定できます (表 4 参照)。

表 4. OCP 方式の設定

MODE	
フロート状態	GND
サイクルごとのリミットを 8 回連続で超えた場合、ヒカップ・モードに入ります。ブランキング時間は 150ms です。	サイクルごとのリミットを 8 回連続で超えた場合、ラッチオフ・モードに入ります。

計測電流が過電流リミットを超えると、ハイサイド MOSFET は即座にオフし、次のスイッチング・サイクルまでオンしません。過電流イベントが 8 サイクル続けて検出されると、コンバータは MODE ピン設定に従って選択された OCP 方式で動作します。過電流条件が検出されないサイクルがあるとカウンタはリセットされます。

OCP が始動し PWM オン時間が 250ns 未満の場合、インダクタの平均電流を下げるためにスイッチング周波数は折り返されます。

ローサイド MOSFET の過電流保護

ローサイドの電流リミットは順方向電流リミット (GND から PHASE) と逆電流リミット (PHASE から GND) から成ります。

ハイサイド MOSFET のオフ時間中、ローサイド・スイッチング MOSFET を流れる電流がサンプリングされます。ローサイド MOSFET の電流が 21A (順方向) を超えると、ローサイド OCP コンパレータはフラグを立てます。電流が 15A を下回るとフラグをリセットします。フラグがセットされた場合 PWM はサイクルをスキップし、スイッチング再開までにインダクタ電流が安全なレベルまで減衰できるようにします (図 32参照)。

順方向過電流と同様に、逆電流保護はローサイド MOSFET を流れる電流をモニタリングすることで実現されます。ローサイド MOSFET の電流が -7.5A に達すると、同期整流器がターンオフします。これにより、レギュレータが出力をアクティブに引き下げる能力を制限します。

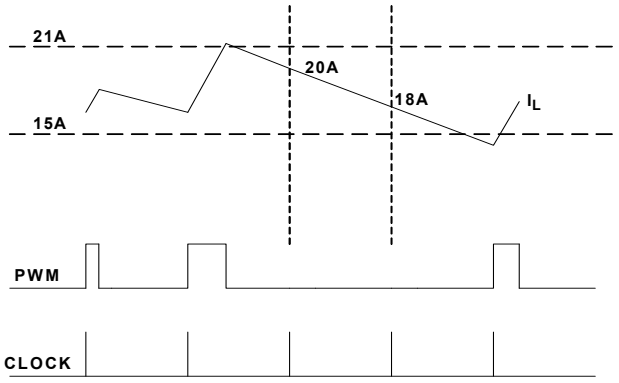


図 32. ローサイドの順方向 OCP

出力過電圧保護

過電圧保護は、出力電圧が設定電圧の 116% を超えるとトリガされます。この状態では、出力がレギュレーション範囲内に戻るまでハイサイドおよびローサイド MOSFET はオフになります。出力がレギュレーションに戻ると、コントローラは内部 SS 制御の下で再始動します。

入力過電圧保護

入力過電圧保護システムは、入力電圧が 20V を超えるとスイッチング・レギュレータの動作を停止します。ハイサイドおよびローサイド MOSFET はオフになり、入力電圧が通常に戻るとコンバータは内部 SS 制御の下で再始動します。

サーマル・プロテクション

サーマル・プロテクションは最高ダイ温度を制限するため、レギュレータ内の合計電力損失も制限されます。チップ上のセンサがジャンクション温度をモニタリングします。ジャンクション温度 (T_J) が +160 ℃を超えると、信号がフォルト・モニタリング回路に送信され、スイッチング・レギュレータおよび LDO がシャットダウンされます。

チップのジャンクション温度が 10 ℃下がると、スイッチング・レギュレータが再度ターンオンしソフトスタートします。スイッチング・レギュレータは、連続的な熱過負荷状態中、ヒカップ・モードで動作します。連続動作をさせる場合、+125 ℃のジャンクション温度定格を超えないようにしてください。

BOOT アンダーボルテージ検出

ハイサイド FET の内部ドライバには、BOOT アンダーボルテージ (UV) 検出回路が備わっています。BOOT と PHASE 間の電圧差が 2.8V 未満になると、UV 検出回路はローサイド MOSFET を 250ns の間オンにし、ブートストラップ・コンデンサを再充電します。

ISL85012 は内部ブートストラップ・ダイオードを搭載していますが、外付けの電源電圧およびブートストラップ・ショットキー・ダイオードを使用して効率を向上できます。外付けダイオードの電源は、固定の外部 5V 電源、もしくはスイッチング・レギュレータの出力 (5V の場合) から供給できます。このブートストラップ・ダイオードには、BAT54 などの低価格タイプを使用できます (図 33 参照)。

パワーグッド

ISL85012 は、パワーグッド (PG) インジケータ (MOSFET のオープン・ドレイン) を備えています。PG は VDD またはその他の電圧源 (5.5V 未満) に抵抗 (通常 10k ～ 100kΩ) でプルアップする必要があります。PG は、ソフトスタート中に FB 電圧がリファレンス電圧の 90% に達した 1.5ms 後にアサートされます。PG は、通常動作中に FB 電圧がリファレンス電圧の 87% を下回るか、リファレンス電圧の 116% を上回った場合、Low に引き下げられます。製品をディスエーブルにしても PG は Low に引き下げられます。PG は、過電圧保護を始動した後、SYNC が Low の場合、FB 電圧低下がリファレンス電圧の 113% まで回復すると再度アサートされます。SYNC がフロート状態 /High の場合、FB 電圧低下がリファレンス電圧の 100% まで回復すると再度アサートされます。

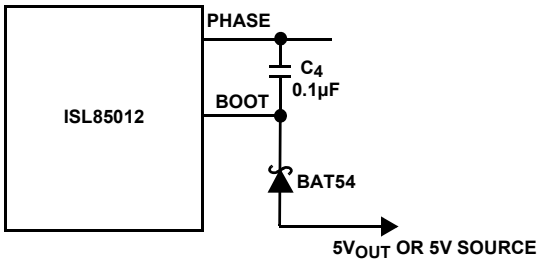


図 33. 外付けのブートストラップ・ダイオード

アプリケーションのガイドライン

降圧レギュレータの出力コンデンサの選択

インダクタ電流をフィルタリングし負荷変動電流を供給するため、出力コンデンサが必要です。フィルタリング要件は、スイッチング周波数、リップル電流、必要な出力リップルの関数です。負荷変動要件は、スルーレート (di/dt)、変動負荷電流の大きさの関数です。これらの要件を満たすには、通常、コンデンサの種類の選び方と注意深いレイアウトの両方が必要です。

高周波数セラミック・コンデンサは、最初にトランジェントを供給し、バルク・コンデンサで供給する電流負荷レートを遅くします。バルクフィルタ・コンデンサの値は、通常、実際のコンデンサ容量よりも、ESR (等価直列抵抗) と電圧定格要件によって決まります。

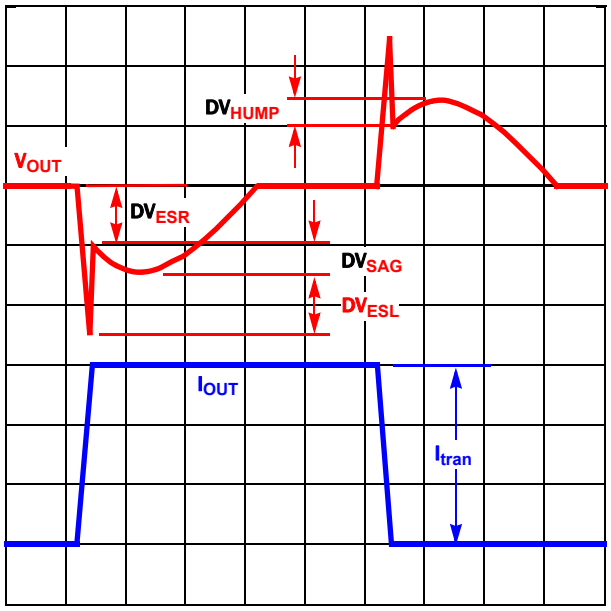


図 34. 代表的な過渡応答

高周波数デカップリング・コンデンサは、負荷のパワー・ピンに物理的にできる限り近い場所に配置しなければなりません。回路基板配線のインダクタンスが増えないよう注意してください。これらの低インダクタンス部品の有用性が損なわれる可能性があります。特定のデカップリング要件については、負荷となる製品のメーカーにお問い合わせください。

最終的には、ワーストケース負荷条件を示す負荷変動中の出力電圧波形の形状により、出力コンデンサの数と種類が決定します。この負荷変動がコンバータに加わると、最初は、負荷に必要なほとんどのエネルギーが出力コンデンサから供給されます。これは、インダクタ電流が負荷に要求される出力電流レベルに立ち上がるための時間が限られているためです。この現象により、出力電圧が一時的に低下します。トランジェントのエッジにおいて、各コンデンサの ESL (等価直列インダクタンス) によりスパイクが生じ、ESR (等価直列抵抗) による既存の電圧低下に加わります。

コンデンサの ESR と ESL による最初のスパイクの後、出力電圧は低下します。この低下は、出力の容量の直接の結果です。

同様に出力負荷が除去される間、インダクタに蓄積されているエネルギーが出力コンデンサにダンプされます。エネルギーがダンプされると、一時的に出力電圧が上昇します。この電圧上昇は、電圧低下と同様、出力の総容量に起因します。図 34 に、負荷変動に対する代表的な応答を示します。

各種電圧変動の振幅は、式 3、4、5、6 を使用して推定できます。

$$\Delta V_{ESR} = ESR \bullet I_{TRAN} \quad (式\ 3)$$

$$\Delta V_{ESL} = ESL \bullet \frac{I_{TRAN}}{dt} \quad (式\ 4)$$

$$\Delta V_{SAG} = \frac{L_{out} \bullet I_{TRAN}^{2}}{2C_{OUT} \bullet (V_{IN} - V_{OUT})} \quad (式\ 5)$$

$$\Delta V_{HUMP} = \frac{L_{out} \bullet I_{TRAN}^{2}}{2C_{OUT} \bullet V_{OUT}} \quad (式\ 6)$$

ここで、I_{TRAN} = 出力負荷電流の変動、C_{OUT} = 合計出力容量です。

一般的なコンバータ設計では、過渡応答は出力コンデンサ・バンクの ESR によって決まります。通常、出力容量の決定に関わる主要要素は、ESR と ESL です。出力コンデンサの数は、コンデンサの ESR と ESL を負荷変動ステップと負荷変動中の許容出力電圧変動(ΔV_o)に関連付ける式である式 7で決まります。

$$\text{Number of Capacitors} = \frac{\frac{ESL \bullet I_{TRAN}}{dt} + ESR \bullet I_{TRAN}}{\Delta V_o} \quad (式\ 7)$$

ΔV_{SAG} と ΔV_{HUMP} の両方またはどちらかが出力電圧リミットに対して大きすぎる場合、容量も大きくする必要があります。その場合、出力インダクタンスと出力容量のトレードオフが必要なことがあります。

コンデンサの ESL は上式で重要なパラメータとなっていますが、仕様には記載されていません。実用上、特定のコンデンサについてインピーダンス vs 周波数の曲線が与えられれば、式 8 を使用して推定できます。

$$ESL = \frac{1}{C(2 \bullet \pi \bullet f_{res})^{2}} \quad (式\ 8)$$

ここで、f_{res} は、インピーダンスが最も低くなる周波数 (共振周波数) です。

コンデンサの ESL は、電流変化が激しい負荷に電力を供給する回路を設計するときに問題になります。

出力インダクタの選択

出力インダクタは、出力電圧リップル要件が満たされ、負荷変動に対するコンバータの応答時間が最短になるように選択します。インダクタの値によってコンバータのリップル電流が決まり、リップル電圧はリップル電流の関数です。リップル電圧および電流は式 9 および 10 によって概算できます。

$$\Delta I = \frac{(V_{IN} - V_{OUT})}{f_{SW} \bullet L} \bullet \frac{V_{OUT}}{V_{IN}} \quad (式\ 9)$$

$$\Delta V_{OUT} = \Delta I \bullet ESR \quad (式\ 10)$$

インダクタンス値を大きくすると、リップル電流は減少しリップル電圧も低下します。ただし、インダクタンス値が大きくなると、コンバータの負荷変動での応答時間が悪化します。最適な性能を実現するため、インダクタ電流リップルを最大出力電流の約 30% に設定することを推奨します。ISL85012 のアプリケーションでは、インダクタ電流リップルは 5A を超えないよう設計することを推奨します。

コンバータの負荷変動応答を制限するパラメータの 1 つは、インダクタ電流を変更するのに必要な時間です。十分に高速な制御ループに設計されている場合、ISL85012 は、負荷変動に応答して 0% または 100% いずれかのデューティ・サイクルを提供します。応答時間は、インダクタ電流の値を初期値から過渡電流レベルにするのに必要な時間です。この時間中、インダクタ電流と過渡電流レベルの差は、出力コンデンサによって供給する必要があります。応答時間を最小限にすることで、必要な出力容量も最小限で済みます。

負荷変動への応答時間は、負荷に電流を流し込む場合と負荷から電流を引き抜く場合で異なります。式 11 および 12 で、負荷変動に電流を流し込む場合と負荷変動から電流を引き抜く場合の応答時間を概算できます。

$$t_{RISE} = \frac{L \times I_{TRAN}}{V_{IN} - V_{OUT}} \quad (式\ 11)$$

$$t_{FALL} = \frac{L \times I_{TRAN}}{VOUT} \quad (式\ 12)$$

ここで、I_{TRAN} は負荷変動電流ステップ、t_{RISE} は負荷に電流を流し込む場合の応答時間、t_{FALL} は負荷から電流を引き抜く場合の応答時間です。ワーストケースの応答時間は、負荷に電流を流し込む場合と負荷から電流を引き抜く場合のどちらかになります。ワーストケースの応答時間については、両方の式で最小出力レベルと最大出力レベルを確認してください。

入力コンデンサの選択

複数の入力バイパス・コンデンサを組み合わせて、入力電圧リップルを制御します。高周波デカップリング用にセラミック・コンデンサを使用し、スイッチング MOSFET のターンオンごとに必要な電流を供給するのにバルク・コンデンサを使用します。セラミック・コンデンサは MOSFET の VIN ピン (スイッチング MOSFET のドレイン) と PGND に物理的に近い場所に配置します。

バルク入力コンデンサで重要なパラメータは、電圧定格と RMS 電流定格です。動作の信頼性を確保するため、電圧定格と電流定格がそれぞれ回路に必要な最大入力電圧と最大 RMS 電流を上回っているバルク・コンデンサを選択してください。電圧定格は最大入力電圧の少なくとも 1.25 倍必要であり、確実な電圧定格のガイドラインは 1.5 倍です。ほとんどの場合、降圧レギュレータの入力コンデンサの RMS 電流定格要件は DC 負荷電流の約 1/2 です。

レギュレータに必要な最大RMS電流は、式 13で概算できます。

$$I_{RMS_{MAX}} = \sqrt{\frac{V_{OUT}}{V_{IN}} \bullet \left({I_{OUT_{MAX}}}^2 + \frac{1}{12} \bullet \left(\frac{V_{IN} - V_{OUT}}{L \bullet f_{SW}} \bullet \frac{V_{OUT}}{V_{IN}} \right)^2 \right)} \quad (式\ 13)$$

スルーホール設計では、特に -25℃未満の温度では、複数の電解コンデンサが必要な場合もあります。電解コンデンサの ESR は、室温の場合の 10 倍に上昇することがあり、入力ラインが発振する恐れがあります。その場合、X7R セラミック・コンデンサなどの、温度安定性に優れたコンデンサを使用する必要があります。表面実装設計では、固形タンタル・コンデンサを使用できますが、コンデンサのサージ電流定格について注意を払う必要があります。信頼性の高いメーカーからは、サージ電流についてテスト済みのコンデンサのシリーズも提供されています。

ループ位相補償の設計

COMP が 200Ω の抵抗で GND に接続されていない場合、COMP ピンは外部ループ位相補償を有効にします。レギュレータは、定周波数ピーク電流モード制御アーキテクチャを使用して、高速ループ過渡応答を実現します。ハイサイド・スイッチと並列に接続された高精度な電流センス・アンプを使用して、ピーク電流制御信号と過電流保護を行います。ピーク電流は一定なため、インダクタを状態変数とみなす必要はなく、系は一次系になります。電圧モード制御でループを安定させるより、電流モード制御でタイプII補償回路を設計する方がはるかに簡単です。ピーク電流モード制御には、本来、入力電圧フィード・フォワード機能が備わっているため、良好なライン・レギュレーションが得られます。図 35 に、同期整流型降圧レギュレータの小信号モデルを示します。

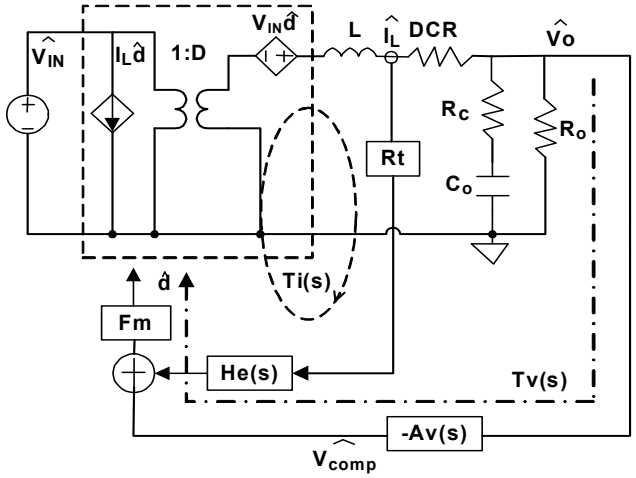


図 35. 同期整流型降圧レギュレータの小信号モデル

解析を簡単にするため、サンプル・ホールド効果ブロック He(s) と傾き補償は無視します。V_{comp} は電流検出信号 ILxRt と等しく、かつインダクタの DCR は無視できると仮定すると、このパワートレインは、出力コンデンサと負荷抵抗に電流を供給する電圧制御電流源によって近似できます (図 36 参照)。図 37 に、その伝達関数の周波数応答を示します。

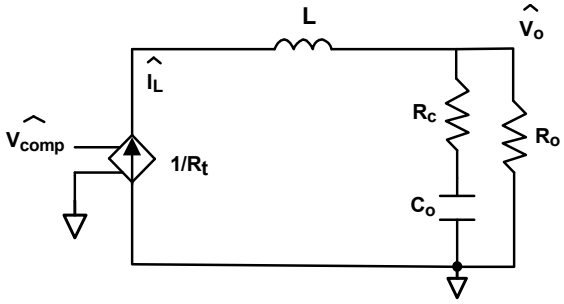


図 36. パワートレインの小信号モデル

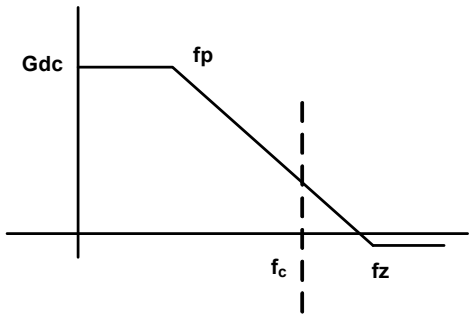


図 37. パワートレインの小信号周波数応答

式 14 に、単純化した伝達関数を示します。

$$Gp(S) = \frac{\hat{v}_o}{\hat{v}_{comp}} = Gdc \frac{1 + \frac{S}{\omega_z}}{1 + \frac{S}{\omega_p}} \quad (式\ 14)$$

ここで、

$$Gdc = \frac{R_o}{R_t};\ \omega_z = 2\pi fz = \frac{1}{R_c x C_o};\ \omega_p = 2\pi fp = \frac{1}{(R_o + R_c) x C_o}$$

(式 15)

C_o はレギュレータから見える実際の容量であることに注意します。これは、高周波数デカップリング用セラミック・コンデンサと出力用バルク・コンデンサを含む場合があります。セラミックは誘電材料、電圧ストレス、温度に応じて、場合によっては約 40% ディレーティングする必要があります。

通常、タイプ II 補償ネットワークは、ピーク電流モード制御コンバータを補償するために使います。図 38 に、代表的なタイプ II 補償ネットワークを示し、その伝達関数は式 16 で表されます。図 39 に、その周波数応答を示します。

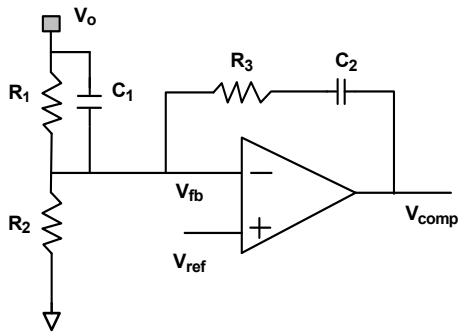


図 38. タイプ II 補償ネットワーク

$$A_V(S) = \frac{\hat{v}_{comp}}{\hat{v}_o} = \frac{\left(1 + \frac{S}{\omega_{cz1}}\right)\left(1 + \frac{S}{\omega_{cz2}}\right)}{SC_2R_1}$$

(式 16)

ここで、

$$\omega_{cz1} = 2\pi f_{z1} = \frac{1}{R_3C_2},\ \omega_{cz2} = 2\pi f_{z2} = \frac{1}{R_1C_1},\ f_{pc} = \frac{1}{2\pi R_1C_2}$$

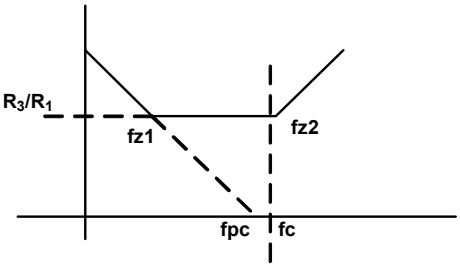


図 39. パワートレインの周波数応答

設計例 : V_{IN} = 12V、V_O = 1.8V、I_O = 10A、f_{SW} = 600kHz、R_1 = 200kΩ、R_2 = 100kΩ、C_o = 3x100µF/3mΩ 6.3V セラミック (実際には約 150µF)、L = 0.68µH

f_c = 80kHz を選択します。Gp(s)xAv(s) のゲインは、クロスオーバー周波数でユニティゲインになるはずです。したがって、R_3 は以下のように求めることができます。

$$R_3 = 2\pi f_c C_o R_t R_1 = 829k\Omega$$

(式 17)

R_3 に 800kΩ を選択します。-20dB/dec のロールオフを実現するため、ゼロ f_{z1} をポール fp の近くに設定します。

$$C_2 = \frac{(Ro + Rc) x C_o}{R_3} = 29pF$$

(式 18)

ここで、Rc は出力コンデンサの ESR です。

C_2 に 30pF を選択します。ゼロ f_{z2} は位相に余裕を増やすための位相ブースト・ゼロです。これは、f_c と 1/2 スイッチング周波数の間に設定します。この場合、4.7pF コンデンサを選択し、ゼロは以下のように f_{z2} に設定します。

$$f_{z2} = \frac{1}{2\pi R_1 C_1} = 169kHz$$

(式 19)

R_1、R_2、C_1、R_3、C_2 の計算値は、内部位相補償を使った推奨設計の 1.8V 出力アプリケーション (2 ページの表 1 参照) と一致しています。実際のアプリケーションでは寄生的な影響を避けるため、R_1 に 370kΩ より高い抵抗値は選択しないでください。

実際問題として、外部位相補償アプリケーションの R_1/R_2 と R_3 にさらに低い抵抗値を選択することを推奨します。通常、内部補償の場合と比べて 10 分の 1 から始めることを推奨します。

レイアウトに関する考慮事項

高周波数スイッチング・コンバータの設計では、レイアウトがきわめて重要です。パワー・デバイスが 600kHz で効率的にスイッチングを行う場合、デバイス間の電流遷移によって、相互接続インピーダンスと寄生回路素子で電圧スパイクが発生します。こうした電圧スパイクは、効率の低下、回路へのノイズ放出、デバイスへの過電圧ストレスにつながる場合があります。部品のレイアウトとプリント回路基板の設計を慎重に行えば、このような電圧スパイクを最小限に抑えられます。

例として、ハイサイド MOSFET のターンオフ遷移について検討してみます。ターンオフ前の MOSFET には、負荷電流がフルに流れています。ターンオフ中、電流は MOSFET を流れなくなり、ローサイド MOSFET の内部ボディ・ダイオードにピックアップされます。切り替えられた電流パスに寄生インダクタンスがある場合、スイッチング期間中に大きな電圧スパイクが発生します。慎重な部品選択、重要な部品の正確なレイアウト、短くて幅広のトレースの採用によって、電圧スパイクを最小限に抑えられます。

多層式のプリント回路基板を推奨します。図 40 および 41 に、1 ページの図 1 の回路図の最上層と内層 1 の推奨レイアウトを示します。

1. 入力セラミック・コンデンサを PVIN ピンと GND ピンの間に接続します。これらは、ピンのできるだけ近くに配置します。
2. 1µF のデカップリング入力セラミック・コンデンサを推奨します。これは、VIN ピンのできるだけ近くに配置します。
3. VDD ピンには 2.2µF のデカップリング・セラミック・コンデンサを推奨します。これは、VDD ピンのできるだけ近くに配置します。
4. ノイズの結合を低減するため、内層 1 全体を GND 層にすることを推奨します。
5. スイッチング・ノード (PHASE) 層は帰還ネットワークから遠ざける必要があります。抵抗分圧回路は IC の近くに配置します。
6. GND ピンに 3 ～ 5 個のビアを配置して別の層の GND 層に接続することで放熱性能を向上させます。これにより IC から熱を逃がします。ビアは小さく保ちます。ただし、ビアの内径をあまり小さくするとリフロー中にハンダがビアを通って這い上がるので、それを防止できるほどの内径にします。この評価基板では 15 mil 径のビアと 8 mil の穴を使っています。「放熱」パターンを使ってビアを接続しないでください。メッキ加工スルーホールが各層まで完全に接続していることが重要です。

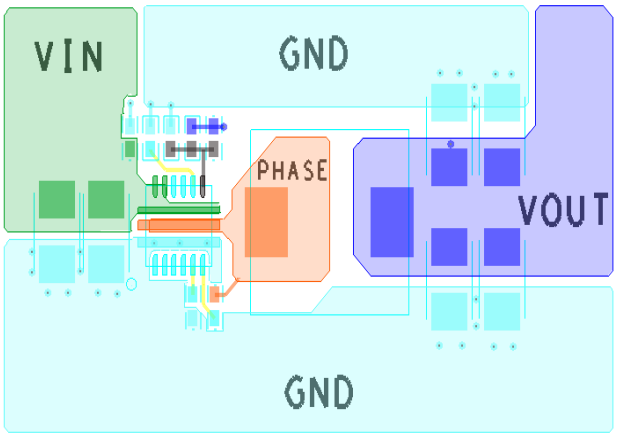


図 40. 最上層の推奨レイアウト

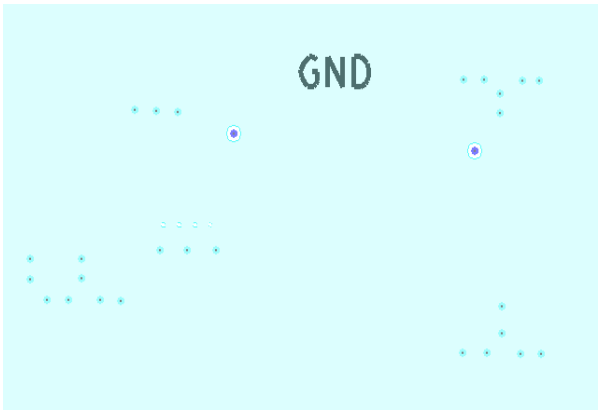


図 41. 内層 1 のベタグラウンド層

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートは、インターシルのウェブサイトでご確認ください。

日付	レビジョン	変更点
2017 年 3 月 17 日	FN8677.2	13 ページの「パワーグッド」で、88% を 87% に、そして 114% を 113% に更新しました。 式 7 の上方の記述を更新しました。 式 10 および 18 を更新しました。 式 17 の上方 (60kHz を 80kHz に変更)、式 18 の上方 (800Ω を 800kΩ に変更)、式 19 の上方 (R3 を C2 に変更) の記述を更新しました。 明確化のために、レイアウトに関する考慮事項を更新しました。
2017 年 1 月 5 日	FN8677.1	注文情報の表を更新し、バルク製品を削除、およびテープ & リールバージョンを追加しました。 2 ページの表 2 を追加しました。 11 ページの「イネーブルとソフトスタート」の第 1 段落の最後の 2 文を追加し、EN ピンの使い方を示しました。
2016 年 10 月 3 日	FN8677.0	初版

インターシルについて

インターシルは、革新的なパワーマネジメントと高精度アナログ・ソリューションのプロバイダとして世界をリードしています。インターシルの製品は、産業用機器 / インフラ、モバイル・コンピューティング、ハイエンド・コンシューマの分野で特に規模の大きな市場向けに開発されています。

最新のデータシート、アプリケーション・ノート、関連ドキュメント、関連製品については、www.intersil.com の各製品情報ページを参照してください。

弊社の文書で使用している一般用語の定義と略語の一覧は、www.intersil.com/glossary をご覧ください。

本データシートに対するご意見は www.intersil.com/ask にお寄せください。

信頼性に関するデータも www.intersil.com/support に掲載されています。

© Copyright Intersil Americas LLC 2016-2017.All Rights Reserved.
すべての商標と登録商標はそれぞれの権利所有者に帰属します。

そのほかの製品については www.intersil.com/product_tree/ をご覧ください。

インターシルは、
www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、その変更が製品の外形、適合性、機能に影響を与えない限り、いかなる時点においても予告無しに製品の回路設計および / または仕様を変更する場合があります。製品を購入されるお客様は、必ず、データシートが最新であることをご確認くださいますようお願いいたします。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

インターシルの会社概要については www.intersil.com をご覧ください。

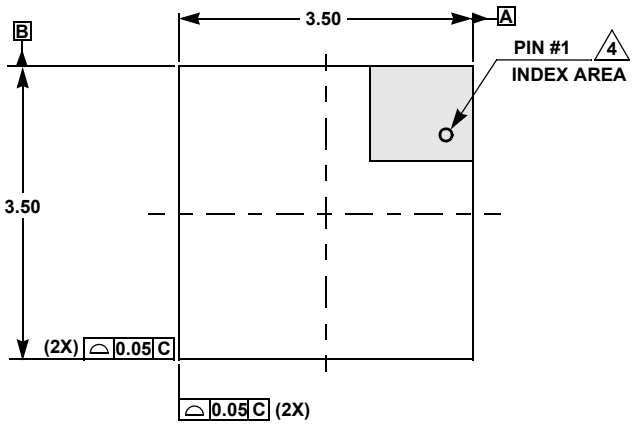
パッケージ寸法図

L15.3.5x3.5

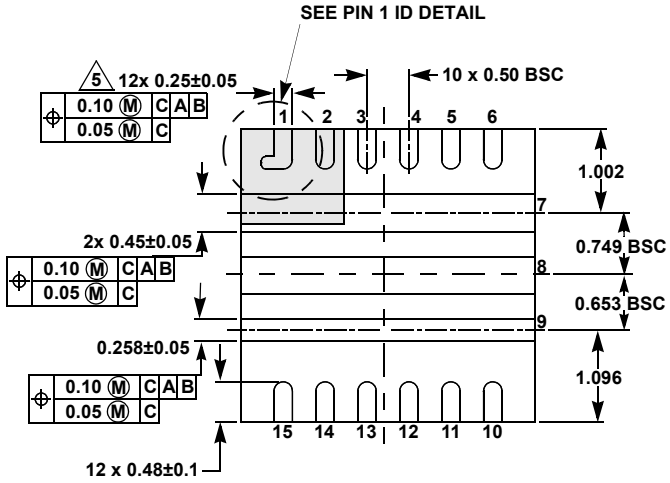
15 LEAD THIN QUAD FLAT NO-LEAD PACKAGE (TQFN)

Rev 1, 9/14

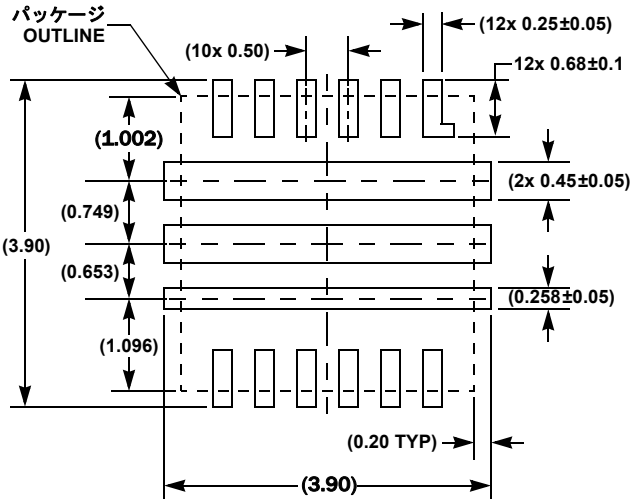
最新のパッケージ外形図は L15.3.5x3.5 を参照してください。



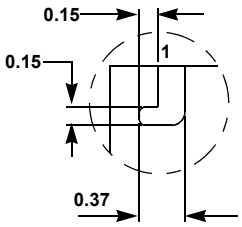
上面図



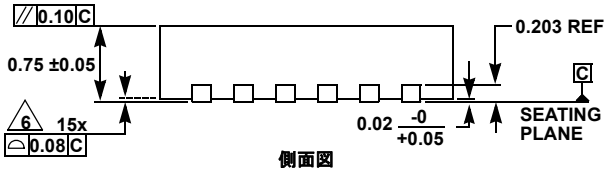
底面図



推奨ランドパターンの例



PIN 1 ID DETAIL



側面図

NOTE:

1. 寸法と公差は ASME Y14.5m-1994 に従っています。
2. 寸法の単位は mm です。
3. N は端子の総数です。
4. 1 ピン識別子のマーク位置はハッチングを掛けた領域内にあります。
5. 寸法は金属端子に適用され、端子先端から 0.15mm ～ 0.30mm のポイントで計測した値です。端子の一端が円弧になっている場合、その円弧領域は寸法 b に含みません。
6. コプラナリティは端子とすべての裏面金属部に適用されます。