

Predisporre la base Utilizzo in bandabase dello standard sRIO

Trevor Hiatt
Applications manager
Divisione Flow-Control Management (FCM)
IDT

I parte

Oggi, lo standard serial RapidIO (sRIO) rappresenta la soluzione d'interconnessione embedded preferita da molti progettisti. A trainare la diffusione di questo standard è l'infrastruttura delle telecomunicazioni wireless, in particolare la bandabase

L'evidenza di questo trend è riscontrabile dal fatto che attualmente molti dei principali OEM in tutto il mondo hanno in produzione progetti di sistemi basati sulle specifiche serial RapidIO, versioni 1.2 e 1.3.

Serial RapidIO è sempre stato considerato uno standard di interconnessione a bassa latenza, larga banda e alta affidabilità per componenti embedded. Oggi questi dispositivi continuano a evolvere con switch ed endpoint di seconda e terza generazione. I dispositivi della generazione corrente offrono una serie di potenziamenti che vanno oltre il subset minimo di specifiche serial RapidIO. Tra questi si segnala l'estensione con le specifiche serial RapidIO opzionali ma anche l'estensione con set di caratteristiche proprietarie. Questo articolo – il primo di tre interventi sullo standard serial RapidIO – prende in esame l'uso dello standard sRIO in bandabase e pone la base per una serie di ulteriori approfondimenti sull'uso delle capacità di pre-processing per potenziare l'area della commutazione e il cammino dati.

Comprendere sRIO

Serial RapidIO standardizza la rete commutata peer-to-peer. Infatti, le caratteristiche e le funzioni fondamentali degli switch

stessi sono standard per specifica. Gli switch basati su Serial RapidIO permettono di conseguire latenze e throughput all'avanguardia, oltre che topologie di rete particolarmente flessibili. Gli switch possono garantire un supporto di backplane modulare e flessibile, soprattutto in ambienti standard quali ATCA o microTCA.

Lo standard sRIO consente la sincronizzazione di tutti i dispositivi – specialmente gli endpoint – grazie all'uso di simboli di con-

destinazioni collegate alle sue porte di uscita con la latenza più bassa possibile. In bandabase questa capacità è molto utile per la sincronizzazione di tutti i componenti durante la fase di sincronizzazione di trama.

Tutti i dispositivi sRIO-based offrono almeno una gestione di flusso receiver-controlled. Questo garantisce che i dispositivi possano gestire le congestioni sulle porte d'ingresso del livello fisico del-

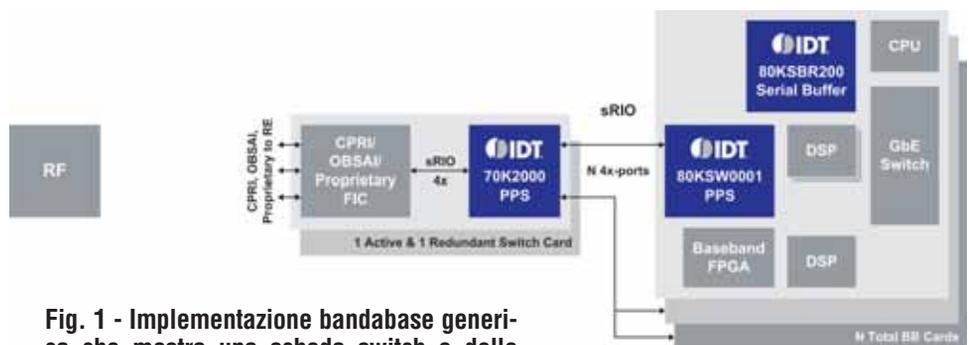


Fig. 1 - Implementazione bandabase generica che mostra una scheda switch e delle schede baseband (BB). In questa configurazione viene utilizzato come backplane Serial RapidIO. Come bridge tra il RapidIO e il protocollo dell'interfaccia in aria (quale CPRI, OBSAI o proprietaria) può essere utilizzato un FIC (fabric interface chip)

trollo eventi di tipo multicast. L'host genera il simbolo di controllo mentre allo switch è richiesto di eseguire l'inoltro a tutte le

l'hardware senza perdere pacchetti. Tutte le transazioni sono contrassegnate con un transaction ID. Anche le risposte ai pacchetti inviati sono contraddistinte con questo transaction ID. Sia la backpressure sia il completamento delle transazioni sono gestiti a livello fisico, garantendo tempi di risposta in condizioni di congestione e tempi di inoltro dei pacchetti minimi. Un elemento standard previsto dalle speci-

fiche è il cosiddetto doorbell packet. Questi pacchetti agiscono come interrupt per gli endpoint di un sistema serial RapidIO. In bandabase, i DSP utilizzano questi interrupt per indicare che è stato ricevuto un blocco completo di dati IQ e che è necessario iniziarne l'elaborazione. Un processore host può utilizzare il doorbell per notificare un determinato evento di sistema.

Considerazioni legate alla bandabase

Benché gli standard sRIO e ATCA garantiscano entrambi modularità, l'architettura commutata di sRIO comporta anche l'estensibilità dell'hardware. Sfruttando questo elemento di flessibilità, gli Original Equipment Manufacturers (OEM) possono ridurre i costi e supportare più standard wireless. L'architettura che si è affermata prevede più schede bandabase dotate di quattro o più DSP e aggregate da un'unica scheda switch (Fig. 1).

Oggi vari fornitori offrono DSP all'avanguardia dotati di interconnessioni sRIO. Questi DSP utilizzano più engine Direct Memory Access (DMA) ad alte prestazioni per trasferire i dati dalla memoria interna alla porta sRIO e vice-versa, spesso massimizzando il throughput della porta stessa. Alla maggior parte dei dispositivi sono assegnati più device ID. Questo consente loro di essere indirizzati individualmente da un "unicast ID" o di essere compresi tra vari ricevitori multicast quando più DSP sono configurati con lo stesso "multicast ID." Oltre a questo, alcuni DSP offrono delle modalità promiscue che prevedono la ricezione dei pacchetti di qualsiasi ID target. Questa flessibilità è un elemento chiave che permette di supportare il traffico di controllo destinato a un particolare DSP e di eseguire l'uplink di dati spesso in multicast a una molteplicità di DSP. La modalità promiscua è spesso utile in sistemi con specifiche di data path complesse in quanto permette di superare le restrizioni di instradamento.

Gli FPGA spesso offrono funzioni di co-processing in bandabase che vanno ad

aggiungersi alla farm DSP, assicurando un elevato parallelismo di elaborazione del segnale. Essi sono tipicamente predisposti come dispositivi di supporto e sono dotati di una singola porta sRIO; occasionalmente sono utilizzati in linea con un data path dotato di due porte sRIO. A causa dell'alto costo di implementazione di più porte sRIO e della matrice di commutazione, gli FPGA normalmente non vengono utilizzati per lo switching.

Gli FPGA offrono un livello di controllo del layer fisico che consente di profilare il traffico di sistema in modo che le prestazioni possano essere ottimizzate quando il sistema è implementato in linea. Questo aspetto è particolarmente critico per soddisfare un adeguato timing Inter-Packet Gap (IPG) a livello di processore o pre-processore in ricezione. Sebbene sRIO supporti i meccanismi di backpressure precedentemente illustrati, in bandabase è spesso utile disporre di un dispositivo FPGA capace di favorire ulteriormente il traffico tra endpoint. Questo rende più omogenea la spaziatura del traffico, evitando andamenti impulsivi.

A titolo di esempio è utile considerare come il meccanismo principale di trasferimento dati di un DSP sia il DMA, il quale tende a creare dei lunghi treni di pacchetti alla massima velocità possibile. Questo andamento impulsivo può provocare delle congestioni al terminale o allo switch di ricezione, e può innescare un reinvio di traffico dal DSP. Assicurare un IPG costante permette di ottenere un traffico più ordinato e consente alle funzioni di elaborazione negli endpoint di evitare overflow nei buffer di ingresso e di conseguenza la ritrasmissione dei pacchetti. L'IPG può essere controllato con un'elevata risoluzione temporale fornendo dei cicli di clock liberi tra i pacchetti al livello fisico IP (Internet Protocol) dell'FPGA.

A livello di scheda bandabase è previsto almeno un processore host incaricato di gestire il funzionamento e la manutenzione del sistema, nonché di fornire delle informazioni di controllo. Per soddisfare

le specifiche di disponibilità dell'infrastruttura wireless, sRIO prevede le specifiche per una soluzione dual host con tutte le funzioni di arbitraggio più appropriate. Per soddisfare le specifiche di ritardo di trama in uplink, o anche per operare come memoria globale di immagazzinaggio, è possibile implementare un grosso buffer capace di supportare l'elevata velocità di throughput dello standard sRIO. Per l'implementazione IDT – per esempio – questo dispositivo è realizzato sulla scheda bandabase. Per supportare più standard con una determinata piattaforma, questo buffer opzionale può essere reso modulare. Molti OEM stanno iniziando a comprendere l'importanza di questo buffer separato.

I progettisti di sistema sono giunti a capire che le implementazioni che utilizzano la memoria dell'endpoint (per esempio la memoria DSP) come spazio di memorizzazione centralizzato possono portare a una congestione sulla porta del terminale. Questo influenza il valore reale dell'endpoint nel caso in cui prevalessero le condizioni di congestione. Trasferendo le specifiche di memoria in un dispositivo separato è possibile ridurre questa strozzatura. Quando si decide se è appropriato o meno condividere a livello globale la memoria del terminale è sempre meglio prestare particolare attenzione alle considerazioni progettuali legate alle specifiche di banda della porta dell'endpoint.

La crescente diffusione dello standard serial RapidIO in applicazioni come le infrastrutture di telecomunicazioni wireless rende sempre più cruciale la comprensione, da parte dei progettisti di sistemi, sia dello standard sia delle varie considerazioni di progetto. Questo è particolarmente utile quando si sviluppano applicazioni 3G+ di alto livello. Un'adeguata implementazione dello standard serial RapidIO può consentire di raggiungere livelli superiori di configurabilità, ben al di là delle specifiche sRIO.

IDT
readerservice.it n. 17