

## 基站射频卡时钟树需要注意的问题

IDT公司 Ian Dobson

### 简化网络部署和升级

为了支持简化且经济的网络部署和升级，OEM都在寻求支持软件重新配置并可以在多个类似设计中重复使用的射频卡元件。

由于偶尔需要支持远程射频头内的射频卡，大多数射频卡会采用一个基于链路到基站的恢复时钟作为输入时钟。这些单输入时钟的质量很差，可能需要清理明显的抖动，为的是有效生成射频卡上的其他时钟。

因此，射频卡时钟树的核心必须是一个具有可编程输出频率的抖动衰减器。本文的其余部分将讨论性能属性和需要这些性能属性的原因，以及其他时钟树要求。

### 射频卡架构注意事项

当今，大多数基站射频卡设计执行的许多操作都需要在数字域中建立或终止LTE或多载波GSM等协议信号。这是处理错误校正、信道映射和数字分割I、Q数据流的更简单方法。这种复合信号的复杂数据流还需要在发送和接收两个方向进行非常细心的滤波/信号处理。在数字域这样做可以避免像精密元件值匹配的代价。

尽管数字操作多种多样，在某些时候信号必须调制成一个载波，它可以在824MHz~2.62GHz范围内并以模拟信号传输。大多数基站架构的地址多信道协议包括LTE、WiMax和多载波GSM使用的单级模拟转换方法，如图1所示。

在发送端，除第一次调制外，各子载波都合并成一个数字流。这个基带信号随后由DAC转换为移相偏移模拟I、Q数据流，然后通过正交模拟混频器向上转换为传输频率。可变和固定增益放大器以及双工滤波器用于将有用信号沿着路径提高到其传输频段的所需强度，而只增加了少量噪声及失真，同时最大限度减少了传输频段

以外的能量，以防止对其他射频信道的干扰。

在接收端，射频信号通常经过放大、滤波，然后通过一个混频器转换为75~250MHz范围的较低中频(IF)，在该范围内射频信号通过一个可变数量、经过滤波并最后由一个流水线ADC根据奈奎斯特准则采样进一步放大。然后，在数字域中处理子载波的下变频和解调。接收器的目标是在ADC获得最小附加噪声和互调失真之前，完成这个信号调理，同时避免超过ADC的最大范围。

射频卡架构师更愿意尽可能地集成时钟树。不仅是上述理由，而是由于每个时钟树元件都有自己的抖动贡

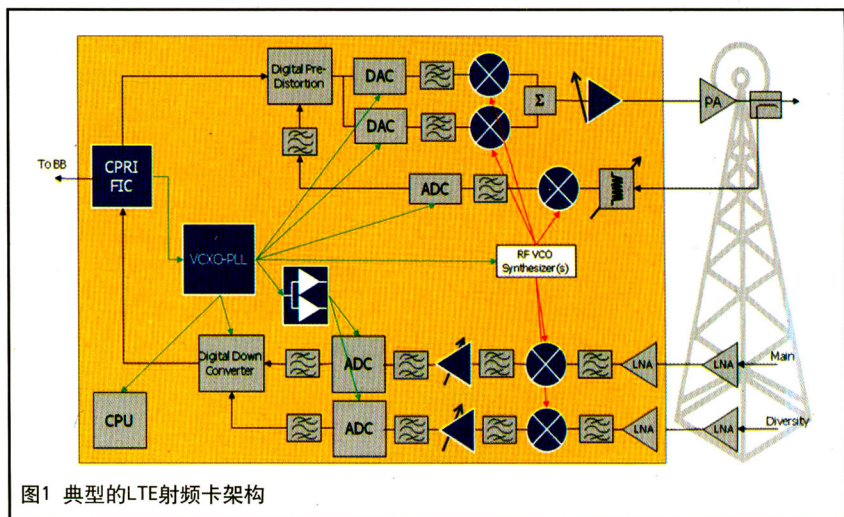


图1 典型的LTE射频卡架构

献，它可以推动时钟信号超出规范。有了这种集成，不仅可产生射频与中频调制时钟，而且可以产生ADC和DAC的采样时钟及其他数字元件时钟，如CPU、ASIC和FPGA。

与涉及射频信号路径的时钟相比，这些数字元件的时钟通常有更宽松的规格；周期抖动是最常见的主要问题。当随着这些更敏感的时钟在同一个芯片上生成这些时钟时，会出现两个问题。首先，数字时钟信号很少是射频卡输入时钟信号的整倍数，所以必须利用分数反馈或小数输出分频技术来生成。然而，这两种技术要在时钟芯片内和时钟输出上引入明显的寄生含量。其次，数字时钟芯片（或生成时产生的任何寄生含量）降至接近射频、中频或采样频率无法轻易过滤掉，所以必须加以避免。这些响应区域以外的频率分量可能降低信噪比，无论是否作为宽带噪声（如果没有滤波）还是通过混叠进入临界频率范围都是如此。

### 混频器、ADC和DAC的频率影响

混频器是一种用来将高频率信号与低频率信号相互转换的模拟元件。

在大多数基站射频卡设计中，混频器是将信号从射频转换到中频或从基带转换到射频。时钟树设计关注的主要问题是频率混叠问题。当多个频率通过一个非线性器件时，这些频率会互相影响。这些相互作用被称为互调积。混频器的功能是获得两个输入频率并生成一个输出频率，要么是两个频率的和（上转换），要么是两个频率的（降频）差。

现今的射频卡旨在恢复多载波性质的信号。因此，理想的信号不是单音频线的有用信号，而是包含全系列的音频线，它均匀分布在整个响应频段。这些线代表被恢复的各个信道。不幸的是，因为这个多载波信号贯穿于混频器等非线性元件，这里的每个信道都将彼此互调。信道的整齐间隔将导致奇数阶积几乎完全落在被恢复的信道顶部。放在混频器前的滤波器将用于减弱噪声，这将有助于实现偶数阶积。放在混频器后的滤波器将消除下降到响应频段以外的互调积，但对于带内奇数阶积什么事也做不了，因为它们下降得过于接近有用信号。

虽然放在混频器后的带通滤波器可以省去不需要的洁音线，这还算不

错，但采样时钟的任何抖动都会将洁音线转入一个边缘（skirt），如图2所示。来自每个不受欢迎积的边缘的尾巴将对滤波器通带内有一定的影响，这称为宽带噪声。混频器产生的任何时钟（或ADC或DAC）必须有一个极低的噪声层，以减少其宽带噪声。

不需要的信号被称为“干扰”或“阻断（blocker）”，进入混频器的输入将对时钟信号的规格产生影响。它们可能包含通过天线接收的其他信号，或耦合进入接收信号路径的系统内部信号。虽然可将有用信号从广泛频率中分离出来的“阻断”可通过预滤波器得到明显抑制，但接近有用信号的频率仍会通过。此外，在像LTE这样的协议中，有用信号具有较低的平均功率，即使是通过滤波器来衰减“阻断”，可能仍然含有足够的能量与有用信号竞争。

这种就是进入混频器的时钟相位噪声边缘必须尽可能“窄”的原因。

“阻断”上相互混频的相位噪声的传播必须保持在最低限度。射频卡设计的主要挑战之一是选择卡的频率，着眼于最大限度地从有用信号的频率中分离“阻断”及其互调积。

### ADC抖动的其他影响

由于ADC是采样数据系统，而不是完全线性的转换，在有用输入信号、不需要的（“阻断”）信号和采样时钟之间，它们也将受到互调积所有相同的影响。

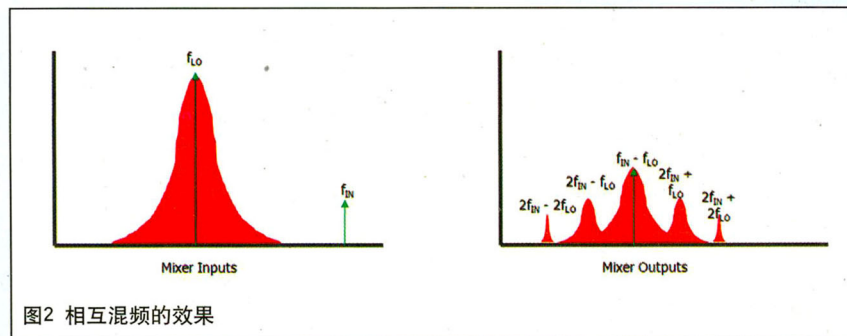


图2 相互混频的效果

然而，还有另一种推动ADC采样时钟规格的影响。这就是孔径抖动效果，如图3所示。

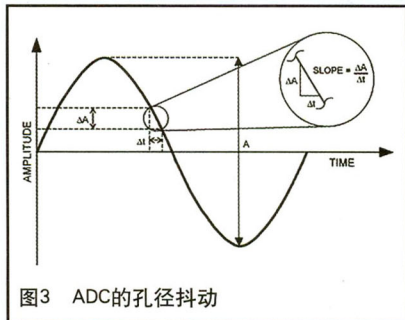


图3 ADC的孔径抖动

其基本概念是，任何时间不确定性的采样都可以通过三角法转换成该采样振幅的不确定性。振幅的不确定性可导致ADC信噪比的下降。一旦已知了输入信号的频率，RMS抖动目标可确定为ADC的理想信噪比。一旦达到目标，ADC内的时钟树固有抖动即可分解出来，以确定采样时钟的目标RMS抖动规格。

### 时钟抖动对DAC的影响

用于发送路径的数模转换器(DAC)把一个数字表示的基带信号转换为一个模拟表示的基带信号，以便随后转换为RF频率，并放大到所需的发射功率。射频卡设计师将关注固定卡的频率规划，以确保DAC的采样频率不会与接收卡端的临界频段重叠。这很重要，因为DAC受到来自两个潜在机制的频率生成图像的影响。

第一种机制与ADC和混频器中发生的情况相同，采样时钟的卷积( $f_{LO}$ )和输入信号( $f_{IN}$ )产生的频率都在 $N \cdot f_{LO} + M \cdot f_{IN}$ 。此卷积结果来自于转换

器的非线性。对采样时钟抖动有关要求的影响与ADC类似。

第二个机制是大多数DAC工作方式中不可避免的结果。如图4所示，在每个采样时钟沿，DAC的输出将很快切换到一个新的电压等级以代表数字采样值。此值将保持到下一次采样的时钟沿。输出仅匹配每一次采样时钟的所需波形。

这将导致引入误差能量。此外，大多数DAC都将受到某种时钟馈通的影响，导致 $N \cdot f_{LO}$ 进一步出现尖峰。为此，采样时钟频率往往会大大高于奈奎斯特的要求，这样馈通尖峰就远远超出了响应频率，因此可以很容易地滤波。

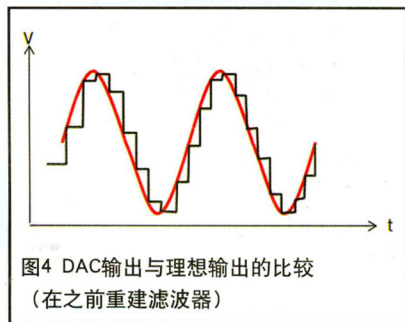


图4 DAC输出与理想输出的比较  
(在之前重建滤波器)

DAC输出波形将通过模拟重建滤波器尽可能多地消除这类不必要的频率。如果时钟抖动和相位噪声边缘可以很好地控制，滤波器的设计将更加容易，实现成本也较低。除了采样时钟在特定偏移条件下的具体位噪声水平要求，还有一个频率范围内集成RMS抖动的规范。这是由于时钟抖动造成理想输出波形的畸变。这将降低DAC的总谐波失真(THD)或信噪比失真比(SINAD)；必须保持在规范

以内，以防止降低射频卡的误差矢量幅度(EVM)。在发送端，较低的时钟抖动可直接让EVM更好，或用来放宽波峰因数/峰均功率比降低电路的设计限制。

### 射频卡内的相位调整要求

除了基本的语音和数据传输服务，许多移动用户还需要其他服务。例如，利用一组信号发射塔通过三角法实现用户的精确定位。当所有天线在彼此发射和接收相位校准信号时，通过射频三角法可以实现最佳的精确定位。一些这样的服务需要独立的基站在其之间以少于50ns的速度运行。一个射频卡的预算在于：相对于同一系统中的其他无线卡，它可能引入多少相差异。这就是每个射频卡利用一个内部时钟输入信号生成其内部所有频率的另一个原因。它可确保卡上所有时钟的相位校准至少有一个共同的出发点。

### 总结

射频卡需要利用一个往往有噪声的输入时钟生成各种时钟。这些输出时钟当中很少与输入时钟是整数关系。所有时钟必须注意其总噪声数量，以防止噪声耦合到关键电路。专门针对混频功能的时钟包括ADC和DAC，对RMS抖动以及噪声边缘都有严格的规范，以避免射频信号路径中产生阻断信号。