

RZ/N1D, RZ/N1S, RZ/N1L グループ

外部バスインタフェース (MSEBI) の設定ガイド

要旨

本アプリケーションノートでは、RZ/N1 グループの外部バスインターフェース MSEBI(Medium Speed External Bus Interface)について 2 つの使用例を示します。1 つ目は 8 ビット同期式接続、2 つ目は 16 ビット非同期式接続です。

8 ビット同期式接続は、RZ/N1S もしくは RZ/N1D(以下 RZ/N1x)の CPU を 2 つ対向して接続する例で説明します。動作には、RZ/N1x CPU ボードと RZ/N1 拡張ボードが 2 セット必要となります。

16 ビット非同期式接続は、RZ/N1x と外部 SRAM を接続する構成を例に説明しますが、RZ/N1x CPU ボードには MSEBI に接続された外部 SRAM が搭載されていないため、お客様にて別途動作環境を用意頂く必要があります。

動作確認デバイス

RZ/N1D

RZ/N1S

目次

1. 仕様	3
2. 動作確認条件	5
3. 関連アプリケーションノート	5
4. ハードウェア説明	6
4.1 ハードウェア構成	6
4.1.1 8 ビット同期式接続	6
4.1.2 16 ビット非同期式接続	6
4.2 使用端子一覧	7
4.2.1 8 ビット同期式接続	7
4.2.2 16 ビット非同期式接続	8
5. ソフトウェア説明	8
5.1 動作概要	8
5.1.1 8 ビット同期式接続	8
5.1.2 16 ビット非同期式接続	8
5.2 レジスタ設定一覧	9
5.2.1 8 ビット同期式接続	9
5.2.1.1 CPU を用いたバーストアクセス	9
5.2.1.2 DMA を用いたバーストアクセス	11
5.2.2 16 ビット非同期式接続	14
5.3 定数一覧	15

5.4	変数一覧.....	15
5.5	関数一覧.....	16
5.6	関数仕様.....	16
5.7	フローチャート	17
5.7.1	メイン処理	17
5.7.2	初期設定.....	19
5.7.3	書き込み/読み出し処理	21
5.8	ドライブ強度の設定について	24
6.	サンプルプログラム	25
7.	参考ドキュメント.....	25

1. 仕様

本アプリケーションノートで使用する接続構成を表 1.1 に示します。

表 1.1 接続構成

	8 ビット同期式接続		16 ビット非同期式接続
マスタデバイス	RZ/N1x		RZ/N1x
スレーブデバイス	RZ/N1x		外部 SRAM
バス幅	8 ビット		16 ビット
同期／非同期	同期式		非同期式
アクセスモード	バーストアクセス		シングルアクセス
バスマスタ	CPU	DMA	CPU

MSEBI を用いて、マスタデバイスがスレーブデバイスにデータの書き込み及び読み出しを行います。

2 つの接続構成について、下記に示します。

1) 8 ビット同期式接続

2 つの RZ/N1x はそれぞれ MSEBI マスタと MSEBI スレーブに分かれ、8 ビットのバス幅をもつ MSEBI を用いて接続します。8 ビット同期式接続構成のブロック図を図 1.1 に示します。また MSEBI マスタとスレーブ間は同期モードで通信を行います。本アプリケーションノートでは CPU を用いた MSEBI バーストアクセスと DMA を用いた MSEBI バーストアクセスについて説明します。

2) 16 ビット非同期式接続

RZ/N1x を MSEBI マスタ、外部 SRAM をスレーブデバイスとし 16 ビットのバス幅で接続します。16 ビット非同期式接続構成のブロック図を図 1.2 に示します。MSEBI マスタは非同期式モードで通信を行います。本アプリケーションノートでは CPU を用いた MSEBI シングルアクセスについて説明します。DMA を用いたアクセスについては 8 ビット同期式接続を参照してください。

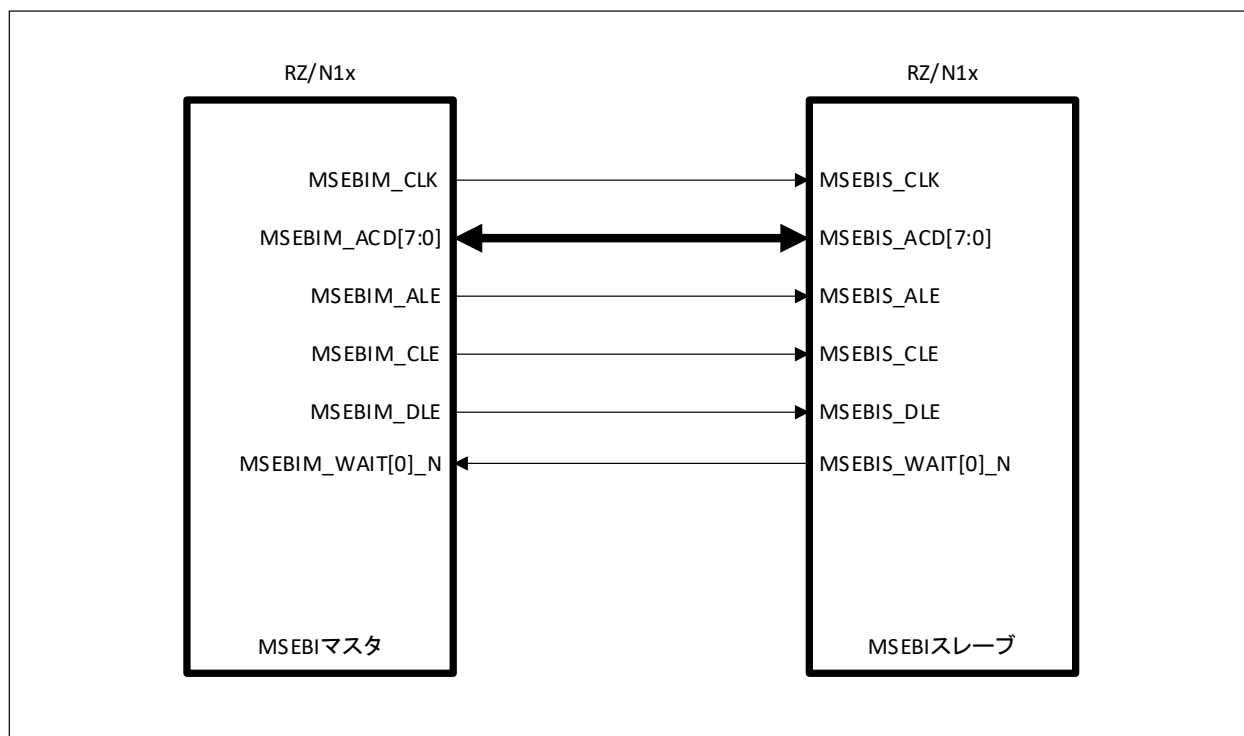


図 1.1 ブロック図（8 ビット同期式接続構成）

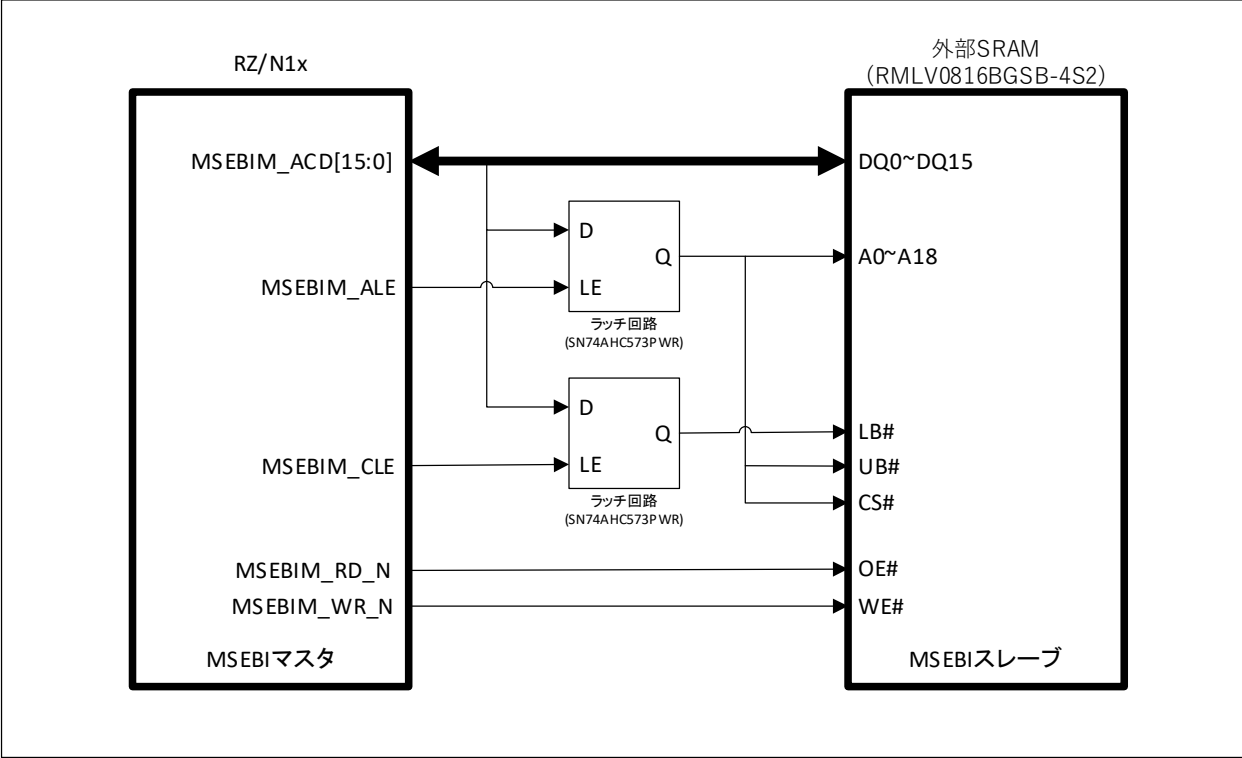


図 1.2 ブロック図（16 ビット非同期式接続構成）

表 1.2 に使用する周辺機能と用途を、表 1.3 に外部 SRAM(RMLV0816BGSB-4S2)の仕様を示します。

表 1.2 使用する周辺機能と用途

周辺機能	用途
MSEBI	RZ/N1x または外部 SRAM との接続
DMAC	内部 RAM と MSEBI 間のデータ転送

表 1.3 外部 SRAM(RMLV0816BGSB-4S2)仕様

項目	内容
製品名	RMLV0816BGSB-4S2(ルネサスエレクトロニクス製)
構成	512K words x 16bit
容量	8Mbits
アクセス時間	45ns(max.)

2. 動作確認条件

本アプリケーションノートのサンプルプログラムは、下記の条件で動作を確認しています。

表 2.1 動作確認条件

項目	内容
対象マイコン	R9A06G032NGBG (RZ/N1D) R9A06G033NGBG (RZ/N1S)
CPU	Arm® Cortex®-A7 Arm® Cortex®-M3
動作周波数	メインクロック : 40MHz システムクロック : 125MHz Cortex-A7 : 500MHz(システムクロック 4 通倍) Cortex-M3 : 125MHz MSEBI_HCLK : 125MHz
ドライブ強度	MSEBI クロック端子 : 8mA MSEBI クロック端子以外 : 4mA
動作電圧	3.3V
統合開発環境	IAR Embedded Workbench for ARM 8.30.2
Bare metal drivers のバージョン	MSEBI ドライバ : 1.7 DMAC ドライバ : 1.11 (ソリューションキット V1.4.4 参照)
サンプルプログラムのバージョン	Version 2.00
対象ボード	RZ/N1x CPU ボード RZ/N1 拡張ボード 外部 SRAM 接続用ボード (非売品)
外部 SRAM	Renesas RMLV0816BGSB-4S2(512K word x 16bit)

3. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。併せて参照してください。

RZ/N1xGroup (D, S, L) Bare Metal Drivers Rev.0.19 (R11AN0282EJ0019)

上記アプリケーションノートの Bare metal Drivers を、本アプリケーションノートのサンプルプログラムで使用しています。Rev.は本アプリケーションノートを作成した時点のものです。

最新版がある場合は、最新版に差し替えて使用してください。最新版はルネサスエレクトロニクスホームページで確認及び入手してください。

4. ハードウェア説明

4.1 ハードウェア構成

4.1.1 8ビット同期式接続

はじめに「RZ/N1x Group CONNECT IT! – ETHERNET RZ/N1x Quick Start Guide」を参照し DIP スイッチの設定、ブートローダの設定を行ってください。

RZ/N1x CPU ボード 2 台を RZ/N1 拡張ボードの CN7 コネクタを用いて図 4.1 に示すように接続します。接続端子のピン配置については「使用端子一覧」を参照してください。また DIP スイッチ SW5 の 3 番スイッチを「ON」にしてください。

(注) ボード間を接続する配線長によってはドライブ強度や MSEBI クロック周波数 (MSEBIM_CLK) を調整する必要があります。ドライブ強度の設定に関する詳細は 5.8 節を参照してください。なお、弊社で動作確認した時の配線長は約 15cm です。

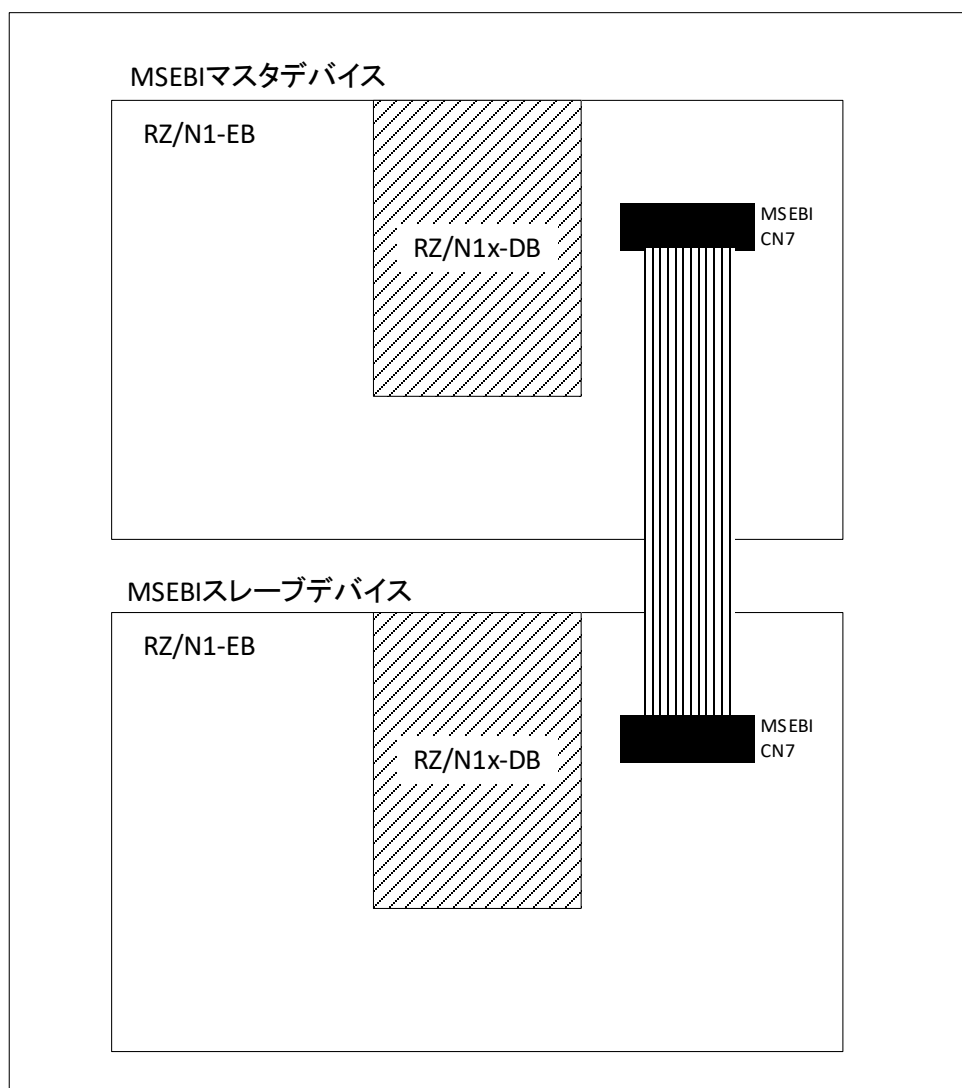


図 4.1 RZ/N1x-DB 用いた接続構成

4.1.2 16ビット非同期式接続

RZ/N1 の MSEBI バスは専用のマルチプレックスを使用しているため、パラレルバスをもつデバイスとの接続には専用のラッチ回路を実装する必要があります。詳細についてはサポート窓口までお問い合わせください。

4.2 使用端子一覧

4.2.1 8ビット同期式接続

表 4.1、表 4.2 に使用する信号と機能、表 4.3 に MSEBI マスタと MSEBI スレーブを接続するための外部端子の対応を示します。

表 4.1 使用する信号と機能（MSEBI マスタ）

信号名	入出力	内容
MSEBIM_CLK	出力	クロック
MSEBIM_ACD[7:0]	入出力	アドレス、制御データ、及びデータのマルチプレクス
MSEBIM_ALE	出力	アドレスラッチイネーブル
MSEBIM_CLE	出力	アドレス&コントロールラッチイネーブル
MSEBIM_DLE	出力	データラッチイネーブル
MSEBIM_WAIT[0]_N	入力	スレーブによるウェイト信号入力

表 4.2 使用する信号と機能（MSEBI スレーブ）

信号名	入出力	内容
MSEBIS_CLK	入力	クロック
MSEBIS_ACD[7:0]	入出力	アドレス、制御データ、及びデータのマルチプレクス
MSEBIS_ALE	入力	アドレスラッチイネーブル
MSEBIS_CLE	入力	アドレス&コントロールラッチイネーブル
MSEBIS_DLE	入力	データラッチイネーブル
MSEBIS_WAIT[0]_N	出力	スレーブによるウェイト信号出力

表 4.3 接続端子の対応表

信号名	コネクタ：CN7	
	MSEBI マスタ	MSEBI スレーブ
MSEBI(y)_ACD[0]	3 ピン	3 ピン
MSEBI(y)_ACD[1]	4 ピン	4 ピン
MSEBI(y)_ACD[2]	5 ピン	5 ピン
MSEBI(y)_ACD[3]	6 ピン	6 ピン
MSEBI(y)_ACD[4]	7 ピン	13 ピン
MSEBI(y)_ACD[5]	8 ピン	11 ピン
MSEBI(y)_ACD[6]	9 ピン	15 ピン
MSEBI(y)_ACD[7]	10 ピン	17 ピン
MSEBI(y)_CLK	11 ピン	8 ピン
MSEBI(y)_ALE	13 ピン	7 ピン
MSEBI(y)_CLE	15 ピン	9 ピン
MSEBI(y)_DLE	17 ピン	10 ピン
MSEBI(y)_WAIT[0]_N	19 ピン	19 ピン

MSEBI マスタのとき MSEBI(y) は MSEBIM とする。また MSEBI スレーブのとき MSEBI(y) は MSEBIS とする。

4.2.2 16 ビット非同期式接続

表 4.4 に使用する信号と機能を示します。

表 4.4 使用する信号と機能 (MSEBI マスタ)

信号名	入出力	内容
MSEBIM_ACD[15:0]	入出力	アドレス、制御データ、及びデータのマルチプレクス
MSEBIM_ALE	出力	アドレスラッチイネーブル
MSEBIM_CLE	出力	アドレス&コントロールラッチイネーブル
MSEBIM_WR_N	出力	書き込みイネーブル
MSEBIM_RD_N	出力	読み出しイネーブル

5. ソフトウェア説明

5.1 動作概要

マスタデバイスはスレーブデバイスの RAM 領域に 32K バイトのデータを書き込み、その後書き込んだデータをスレーブデバイスから読み出します。マスタデバイス上で書き込みデータと読み出しデータを比較し、正しく書き込みおよび読み出しができたか確認します。

5.1.1 8 ビット同期式接続

本節では CPU または DMA を用いたバーストアクセスのためのソフトウェア動作について説明します。

1 回の MSEBI バーストアクセスでは最大 1K バイト書き込みまたは読み出しが可能です。MSEBI バーストアクセスごとに ALE フェーズ、CLE フェーズ、DLE フェーズを行います。

(1) CPU を用いたバーストアクセス

マスタデバイスはチップセレクト 0(CS0)のベースアドレス領域にデータを書き込みます。すべてのデータの送信を終えると、スレーブデバイスに対してブロック終了イベント(CPUTX)を送信します。次に 1 秒間待機後、マスタデバイスは CS0 のベースアドレス領域に対して読み出しを行います。すべてのデータの受信を終えると、スレーブデバイスに対してブロック終了イベント(CPURX)を送信します。

一方、スレーブデバイスはマスタデバイスからのブロック終了イベントが検出するまで待機します。MSEBI スレーブの割り込みによってブロック終了イベントが検出されると、待機処理を終了します。

(2) DMA を用いたバーストアクセス

マスタデバイスにおける書き込み時の DMA 転送先には、DMA 送信 FIFO アドレスを設定します。また読み出し時の DMA 転送元には、DMA 受信 FIFO アドレスを設定します。

マスタデバイスは MSEBI の DMA 送信許可ビットをセットすることで DMA 転送を開始します。すべてのデータの送信を終えると、スレーブデバイスに対してブロック終了イベント(DMATX)を送信します。次に 1 秒間待機後、マスタデバイスは MSEBI の DMA 受信許可ビットをセットすることで DMA 転送を開始します。すべてのデータの送信を終えると、スレーブデバイスに対してブロック終了イベント(DMARX)を送信します。

一方、スレーブデバイスは CPU を用いたバーストアクセスと同様の処理を行います。

5.1.2 16 ビット非同期式接続

本節では CPU を用いた MSEBI シングルアクセスのためのソフトウェア動作について説明します。

1 回の MSEBI シングルアクセスごとに ALE フェーズ、CLE フェーズ、DLE フェーズを行います。

マスタデバイスは CS0 のベースアドレス領域にデータを書き込みます。すべてのデータの送信が終わると 1 秒間待機します。次に、マスタデバイスは CS0 のベースアドレス領域に対して読み出しを行います。すべてのデータの受信が終わると、データ比較処理を行います。

5.2 レジスタ設定一覧

5.2.1 8ビット同期式接続

5.2.1.1 CPU を用いたバーストアクセス

CPU を用いたバーストアクセスで使用する MSEBI マスタのレジスタ設定一覧を表 5.1～表 5.4 に示します。また MSEBI スレーブのレジスタ設定一覧を表 5.5～表 5.8 に示します。

表 5.1 コモンコンフィグレジスタ（rMSEBIM_CONFIG）

ビット名	設定値	内容
bMSEBIM_BURST_SIZEMAX_CPUREAD	4	無制限
bMSEBIM_BURST_SIZEMAX_CPUWRITE	4	無制限
bMSEBIM_CLKENABLE	1	クロック出力を有効
bMSEBIM_CLKH	3	4 MSEBIM_HCLK
bMSEBIM_CLKL	3	4 MSEBIM_HCLK

表 5.2 チップセレクトサイクルサイズレジスタ（rMSEBIM_CYCLESIZE_CS[n]_N）

ビット名	設定値	機能
bMSEBIM_WRDLEDATA_NB	1	2 MSEBIM_CLK
bMSEBIM_RDDLEDATA_NB	1	2 MSEBIM_CLK
bMSEBIM_WRDLEDATA_B	1	2 MSEBIM_CLK
bMSEBIM_RDDLEDATA_B	1	2 MSEBIM_CLK
bMSEBIM_CLEDATA	1	2 MSEBIM_CLK
bMSEBIM_ALEDATA	1	2 MSEBIM_CLK

表 5.3 チップセレクトセットアップホールドレジスタ（rMSEBIM_SETUPHOLD_CS[n]_N）

ビット名	設定値	機能
bMSEBIM_WRDLEHOLD	1	1 MSEBIM_CLK
bMSEBIM_RDDLEHOLD	1	1 MSEBIM_CLK
bMSEBIM_WRDLESETUP	1	1 MSEBIM_CLK
bMSEBIM_RDDLESETUP	1	1 MSEBIM_CLK

表 5.4 チップセレクトコンフィグレジスタ（rMSEBIM_CONFIG_CS[n]_N）

ビット名	設定値	機能
bMSEBIM_ALE_MODE	0	シリアルモード
bMSEBIM_ALE_NUMBER	2	2 MSEBIM_ALE 使用
bMSEBIM_BURST_ENABLE	1	バースト有効
bMSEBIM_MODE_WAIT	2	MSEBIM_WAIT0_N 端子を使用
bMSEBIM_CONFIG	5	同期式、8ビット、マルチプレクス、モード 8、バースト可

表 5.5 コモンコンフィグレジスタ (rMSEBIS_CONFIG)

ビット名	設定値	機能
bMSEBIS_AHB_MASTER_BUF	0	バッファ無効
bMSEBIS_BURST_SIZEMAX_CPUWRITE	3	16 ワード
bMSEBIS_BURST_SIZEMAX_CPUREAD	3	16 ワード

表 5.6 チップセレクトサイクルサイズレジスタ (rMSEBIS_CYCLESIZE_CS[n]_N)

ビット名	設定値	内容
bMSEBIS_WRDLEDATA_NB	1	2 MSEBIS_CLK
bMSEBIS_RDDLEDATA_NB	1	2 MSEBIS_CLK
bMSEBIS_WRDLEDATA_B	1	2 MSEBIS_CLK
bMSEBIS_RDDLEDATA_B	1	2 MSEBIS_CLK
bMSEBIS_CLEDATA	1	2 MSEBIS_CLK

表 5.7 チップセレクトセットアップホールドレジスタ (rMSEBIS_SETUPHOLD_CS[n]_N)

ビット名	設定値	機能
bMSEBIS_WRDLESETUP	1	1 MSEBIS_CLK
bMSEBIS_RDDLESETUP	1	1 MSEBIS_CLK

表 5.8 チップセレクトコンフィグレジスタ (rMSEBIS_CONFIG_CS[n]_N)

ビット名	設定値	機能
bMSEBIS_CS_ENABLE	1	スレーブ受信許可
bMSEBIS_ADDR_MODE	1	MMU モード
bMSEBIS_BURST_ENABLE	1	バースト有効
bMSEBIS_MODE_WAIT	2	MSEBIS_WAIT0_N 端子を使用
bMSEBIS_WEN	1	書き込み許可
bMSEBIS_CONFIG	2	同期式、8 ビット、マルチプレクス、モード 8、バースト可

5.2.1.2 DMA を用いたバーストアクセス

DMA を用いたバーストアクセスでは 5.2.1.1 項で示したレジスタ設定に加えて、DMA 転送のためのレジスタ設定が必要です。表 5.9～表 5.14 に DMA 転送に関する MSEBI マスタのレジスタ設定一覧、表 5.15～表 5.18 に MSEBI スレーブのレジスタ設定一覧を示します。

表 5.9 DMA 送信コントロール&ステータスレジスタ(rMSEBIM_TDMACR_CS[n]_N)

ビット名	設定値	内容
bMSEBIM_DEST_BLOCK_SIZE	データサイズ / 8	ブロック転送サイズ
bMSEBIM_DEST_BURST_SIZE	1	シングルトランザクション数 : 4
bMSEBIM_TDMAE1	1	DMA 送信許可

表 5.10 DMA 受信コントロール&ステータスレジスタ(rMSEBIM_RDMACR_CS[n]_N)

ビット名	設定値	内容
bMSEBIM_SRC_BLOCK_SIZE	データサイズ / 8	ブロック転送サイズ
bMSEBIM_SRC_BURST_SIZE	1	シングルトランザクション数 : 4
bMSEBIM_RDMAE1	1	DMA 受信許可

表 5.11 DMA 送信データレベルレジスタ(rMSEBIM_DMATDLR_CS[n]_N)

ビット名	設定値	内容
bMSEBIM_USE_EXT_WRDMA_REQ	0	外部端子による DMA 制御禁止
bMSEBIM_BURST_SIZEMAX_DMAWRITE	5	無制限
bMSEBIM_DMATDLR	28	送信ウォーターマークレベル : 28

表 5.12 DMA 受信データレベルレジスタ(rMSEBIM_DMARDLR_CS[n]_N)

ビット名	設定値	内容
bMSEBIM_USE_EXT_RDDMA_REQ	0	外部端子による DMA 制御禁止
bMSEBIM_BURST_SIZEMAX_DMAREAD	5	無制限
bMSEBIM_DMARDLR	28	受信ウォーターマーク : 28

表 5.13 DMA 読み出しアドレスレジスタ(rMSEBIM_ADDRDMA_READ_CS[n]_N)

ビット名	設定値	内容
bMSEBIM_ADDRDMA_READ	0x80200000	読み出し先スレーブアドレス

表 5.14 DMA 書き込みアドレスレジスタ(rMSEBIM_ADDRDMA_WRITE_CS[n]_N)

ビット名	設定値	内容
bMSEBIM_ADDRDMA_WRITE	0x80200000	書き込み先スレーブアドレス

表 5.15 DMA 送信要求レジスタ (rMSEBIS_DMATX_REQ_CS[n]_N)

ビット名	設定値	機能
bMSEBIS_DMATX_ENABLE	1	DMA 要求を受信可能
bMSEBIS_DMATX_FORCE	0	MSEBIS_DMA_WR[n]_N を 0 に設定

表 5.16 DMA 受信要求レジスタ (rMSEBIS_DMARX_REQ_CS[n]_N)

ビット名	設定値	機能
bMSEBIS_DMARX_ENABLE	1	DMA 要求を受信可能
bMSEBIS_DMARX_FORCE	0	MSEBIS_DMA_WR[n]_N を 0 に設定

表 5.17 DMA 送信データレベルレジスタ (rMSEBIS_DMATDLR_CS[n]_N)

ビット名	設定値	内容
bMSEBIS_DMATX_FLOW_CTRL	0	DMA フロー制御無効
bMSEBIS_DMATX_OPT_BURST	1	バーストサイズの最適化有効
bMSEBIS_DMATX_MAX_BURST	3	16 ワード

表 5.18 DMA 送信データレベルレジスタ (rMSEBIS_DMARDLR_CS[n]_N)

ビット名	設定値	内容
bMSEBIS_DMARX_FLOW_CTRL	0	DMA フロー制御無効
bMSEBIS_DMARX_OPT_BURST	1	バーストサイズの最適化有効
bMSEBIS_DMARX_MAX_BURST	3	16 ワード

また、DMA コントローラのレジスタ設定について表 5.19～表 5.22 に示します。

表 5.19 チャンネル [n] ソースアドレスレジスタ(SAR[n])

ビット名	設定値	内容
SAR	0x80100000 0x40080000	(書き込み時) 送信データ格納アドレス (読み出し時) DMA 受信 FIFO アドレス

表 5.20 チャンネル [n] デスティネーションアドレスレジスタ(DAR[n])

ビット名	設定値	内容
DAR	0x40090000 0x80200000	(書き込み時) DMA 送信 FIFO アドレス (読み出し時) 受信データ格納アドレス

表 5.21 チャンネル [n] 制御レジスタ(CTL[n])

ビット名	設定値	内容
TT_FC	4 6	(書き込み時) 周辺機能からメモリ フローコントローラは周辺機能 (読み出し時) メモリから周辺機能 フローコントローラは周辺機能
SRC_MSIZE	1	SRC バーストトランザクション数 : 4
DEST_MSIZE	1	DST バーストトランザクション数 : 4
SINC	0 2	(書き込み時) インクリメント (読み出し時) 固定
DINC	2 0	(書き込み時) 固定 (読み出し時) インクリメント
SRC_TR_WIDTH	3	64 bits
DST_TR_WIDTH	3	64 bits
INT_EN	0	割り込み有効

表 5.22 チャンネル [n] コンフィグレーションレジスタ (CFG[n])

ビット名	設定値	内容
DEST_PER	11	要求インターフェイス 11 MSEBI1(CS0_N の TX) (書き込み時のみ)
SRC_PER	10	要求インターフェイス 10 MSEBI0(CS0_N の RX) (読み出し時のみ)
HS_SEL_SRC	0	ハードウェア要求インターフェイス (読み出し時のみ)
HS_SEL_DST	0	ハードウェア要求インターフェイス (書き込み時のみ)

5.2.2 16 ビット非同期式接続

16 ビット非同期式接続で使用する MSEBI マスタのレジスタ設定一覧を表 5.23～表 5.26 に示します。

表 5.23 コモンコンフィグレジスタ (rMSEBIM_CONFIG)

ビット名	設定値	内容
bMSEBIM_BURST_SIZEMAX_CPUREAD	0	1 ワード
bMSEBIM_BURST_SIZEMAX_CPUWRITE	0	1 ワード
bMSEBIM_CLKENABLE	0	クロック出力を無効
bMSEBIM_CLKH	0	1 MSEBIM_HCLK
bMSEBIM_CLKL	0	1 MSEBIM_HCLK

表 5.24 チップセレクトサイクルサイズレジスタ (rMSEBIM_CYCLESIZE_CS[n]_N)

ビット名	設定値	機能
bMSEBIM_WRDLEDATA_NB	1	2 MSEBIM_CLK
bMSEBIM_RDDLEDATA_NB	1	2 MSEBIM_CLK
bMSEBIM_WRDLEDATA_B	1	2 MSEBIM_CLK
bMSEBIM_RDDLEDATA_B	1	2 MSEBIM_CLK
bMSEBIM_CLEDATA	1	2 MSEBIM_CLK
bMSEBIM_ALEDATA	1	2 MSEBIM_CLK

表 5.25 チップセレクトセットアップホールドレジスタ (rMSEBIM_SETUPHOLD_CS[n]_N)

ビット名	設定値	機能
bMSEBIM_WRDLEHOLD	1	1 MSEBIM_CLK
bMSEBIM_RDDLEHOLD	1	1 MSEBIM_CLK
bMSEBIM_WRDLESETUP	1	1 MSEBIM_CLK
bMSEBIM_RDDLESETUP	1	1 MSEBIM_CLK

表 5.26 チップセレクトコンフィグレジスタ (rMSEBIM_CONFIG_CS[n]_N)

ビット名	設定値	機能
bMSEBIM_ALE_MODE	0	シリアルモード
bMSEBIM_ALE_NUMBER	1	1 MSEBIM_ALE 使用
bMSEBIM_BURST_ENABLE	0	バースト無効
bMSEBIM_MODE_WAIT	0	MSEBIM_WAIT0_N 端子を使用
bMSEBIM_CONFIG	0	非同期式、16 ビット、マルチプレクス、モード 16、非バースト

5.3 定数一覧

サンプルプログラムで使用する定数を表 5.27、変数型を表 5.28 に示します。

表 5.27 定数

定数名	設定値	内容
MSEBI_DATA_SIZE	0x00008000	データサイズ：32KB
MSEBIM_WRITE_ADDR	0x80100000	書き込みデータアドレス
MSEBIM_READ_ADDR	0x80200000	読み出しデータアドレス
MSEBIM_DMA_FIFOREAD_CS0	0x40080000	MSEBIM DMA 受信 FIFO(CS0)アドレス
MSEBIM_DMA_FIFOWRITE_CS0	0x40090000	MSEBIM DMA 送信 FIFO(CS0)アドレス
MSEBIS_DATA_ADDR	0x80200000	受信データ格納アドレス
MSEBIS_INT_CPURX_SET	0x00000001	rMSEBIS_INT レジスタの CPURX 設定値
MSEBIS_INT_CPUTX_SET	0x00000010	rMSEBIS_INT レジスタの CPUTX 設定値
MSEBIS_INT_DMARX_SET	0x00000100	rMSEBIS_INT レジスタの DMARX 設定値
MSEBIS_INT_DMATX_SET	0x00001000	rMSEBIS_INT レジスタの DMATX 設定値
MSEBIS_MMU_MASK_SIZE	0x00007FFF	MMU 変換マスクサイズ
MSEBIS_EOB_ADDR	0x20000000	ブロック転送ディスクリプタ書き込みアドレス
MSEBI_DMA_DIR_READ	0	DMA 転送方向：読み出し
MSEBI_DMA_DIR_WRITE	1	DMA 転送方向：書き込み

表 5.28 変数型

型	型名	内容
typedef enum	msebi_opeation_t	動作モード CPU_SYNC_8 = 0, DMA_SYNC_8 = 1, CPU_ASYNC_16 = 2

5.4 変数一覧

サンプルプログラムで使用するグローバル変数を表 5.29、ローカル変数を表 5.30 に示します。

表 5.29 グローバル変数

型	変数名	内容
static uint32_t *	msebim_wr_buf	書き込みデータポインタ
static uint32_t *	msebim_rd_buf	読み出しデータポインタ
static uint32_t *	msebis_int	rMSEBIS_INT レジスタポインタ
static bool	dma_memtomem_completed	DMA 転送完了フラグ

表 5.30 ローカル変数

型	変数名	内容
msebi_opeation_t	msebim_op	MSEBI マスタの動作モード
msebi_opeation_t	msebis_op	MSEBI スレーブの動作モード

5.5 関数一覧

関数を表 5.31 に示します。

表 5.31 関数

関数	概要
msebim_main	MSEBI マスタのメイン処理
mesbis_main	MSEBI スレーブのメイン処理
msebim_set_init	MSEBI マスタの初期設定
msebis_set_init	MSEBI スレーブの初期設定

5.6 関数仕様

サンプルプログラムの関数仕様を示します。

msebim_main	
概 要	MSEBI マスタのメイン処理
ヘッダ	なし
宣 言	static void msebim_main(void)
説 明	動作モード選択後、各モードにおいて初期設定、書き込み、読み出しを行います。
引 数	なし
リターン値	なし
msebis_main	
概 要	MSEBI スレーブのメイン処理
ヘッダ	なし
宣 言	static void msebis_main(void)
説 明	動作モード選択後、各モードにおいて初期設定、書き込み、読み出しを行います。
引 数	なし
リターン値	なし
msebim_set_init	
概 要	MSEBI マスタの初期設定
ヘッダ	なし
宣 言	static void msebim_set_init(msebi_opeation_t operation)
説 明	MSEBI マスタの初期設定を行います。
引 数	msebi_opeation_t 型 operation : 動作モード
リターン値	エラー値
msebis_set_init	
概 要	MSEBI スレーブの初期設定
ヘッダ	なし
宣 言	static void msebis_set_init(msebi_opeation_t operation)
説 明	MSEBI スレーブの初期設定を行います。
引 数	msebi_opeation_t 型 operation : 動作モード
リターン値	エラー値

5.7 フローチャート

5.7.1 メイン処理

図 5.1 に MSEBI マスタのメイン処理、図 5.2 に MSEBI スレーブのメイン処理のフローチャートを示します。

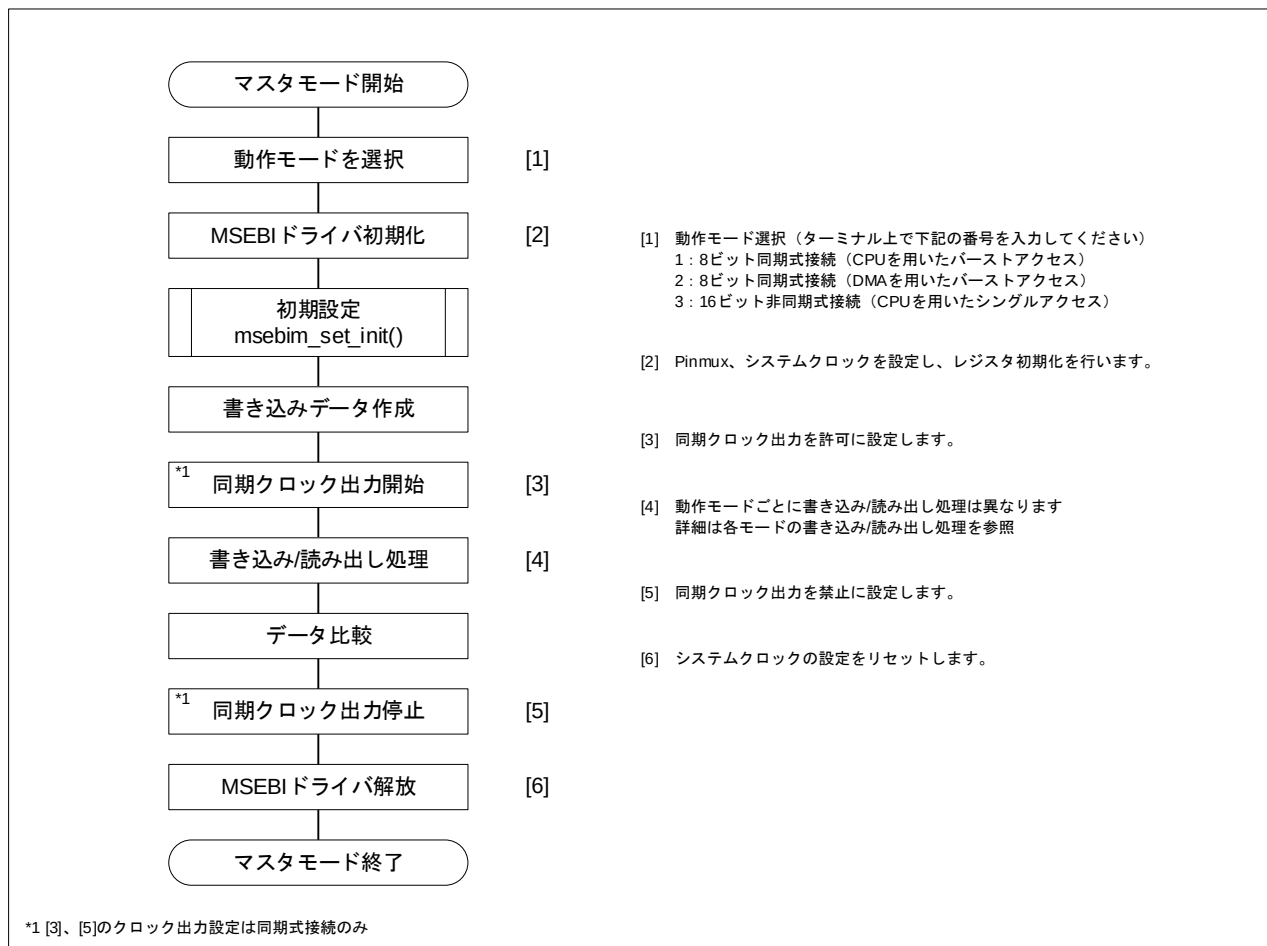


図 5.1 MSEBI マスタのメイン処理

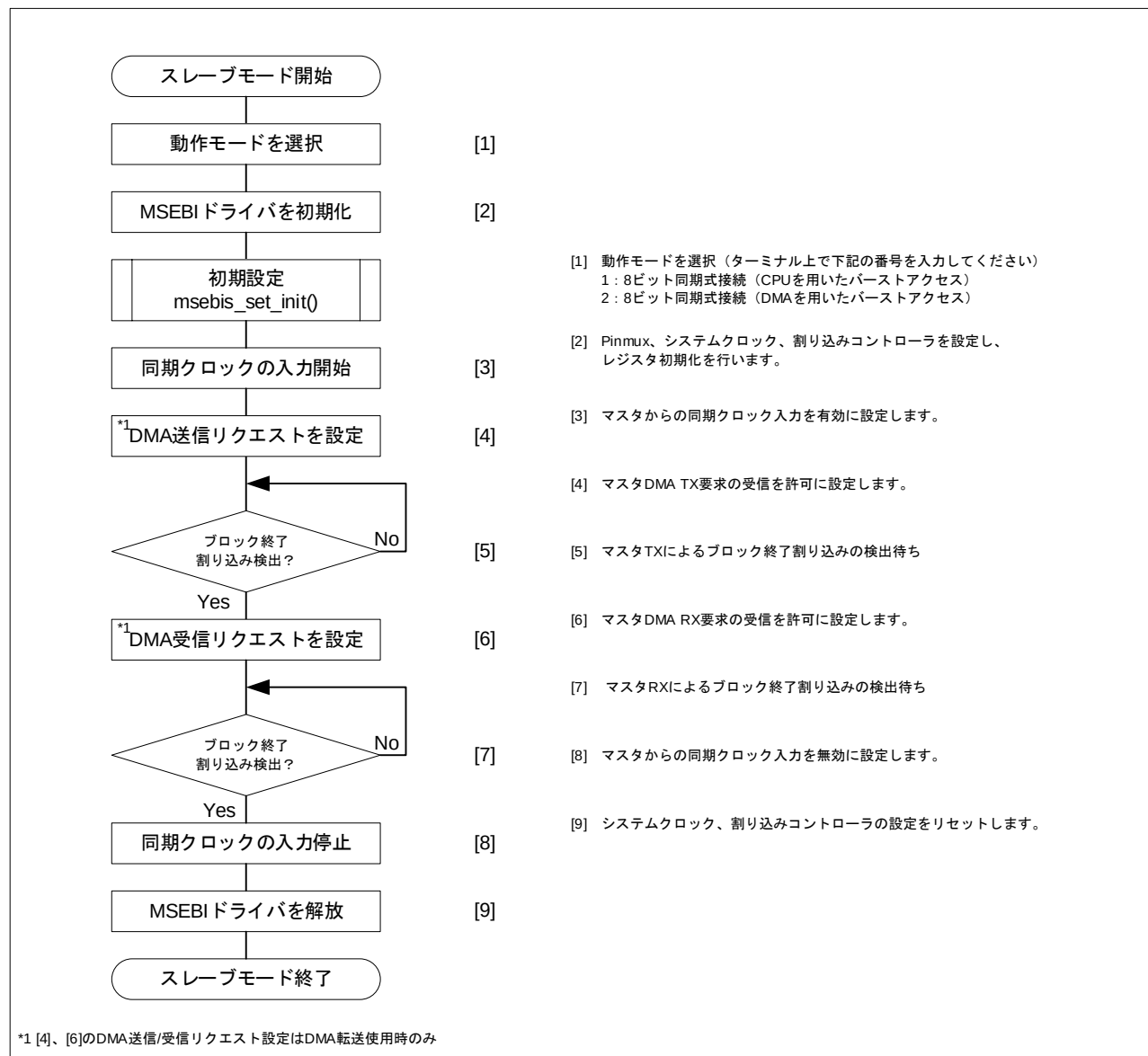


図 5.2 MSEBI スレーブのメイン処理

5.7.2 初期設定

図 5.3 に MSEBI マスタの動作設定、図 5.4 に MSEBI スレーブの動作設定のフローチャートを示します。

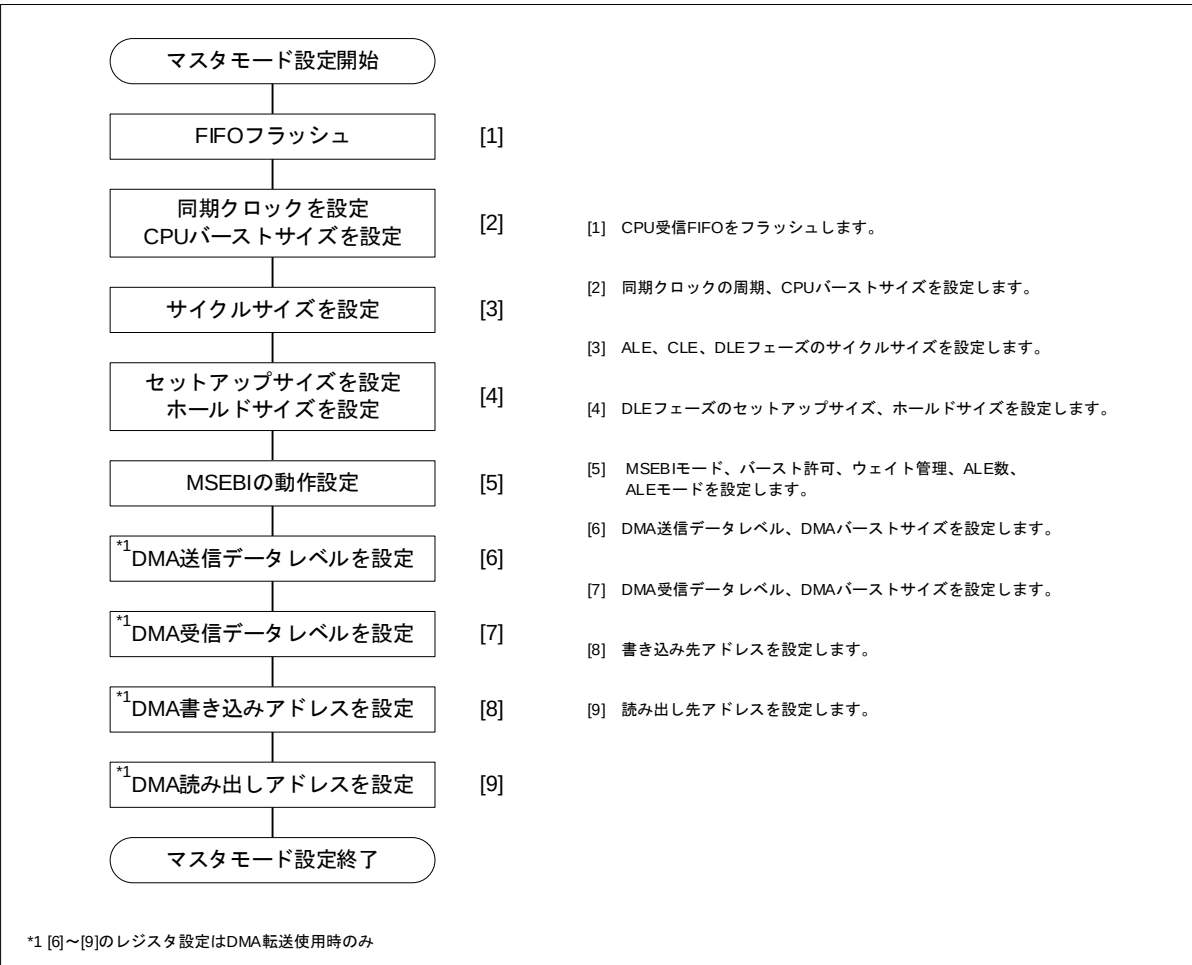


図 5.3 MSEBI マスタの動作設定

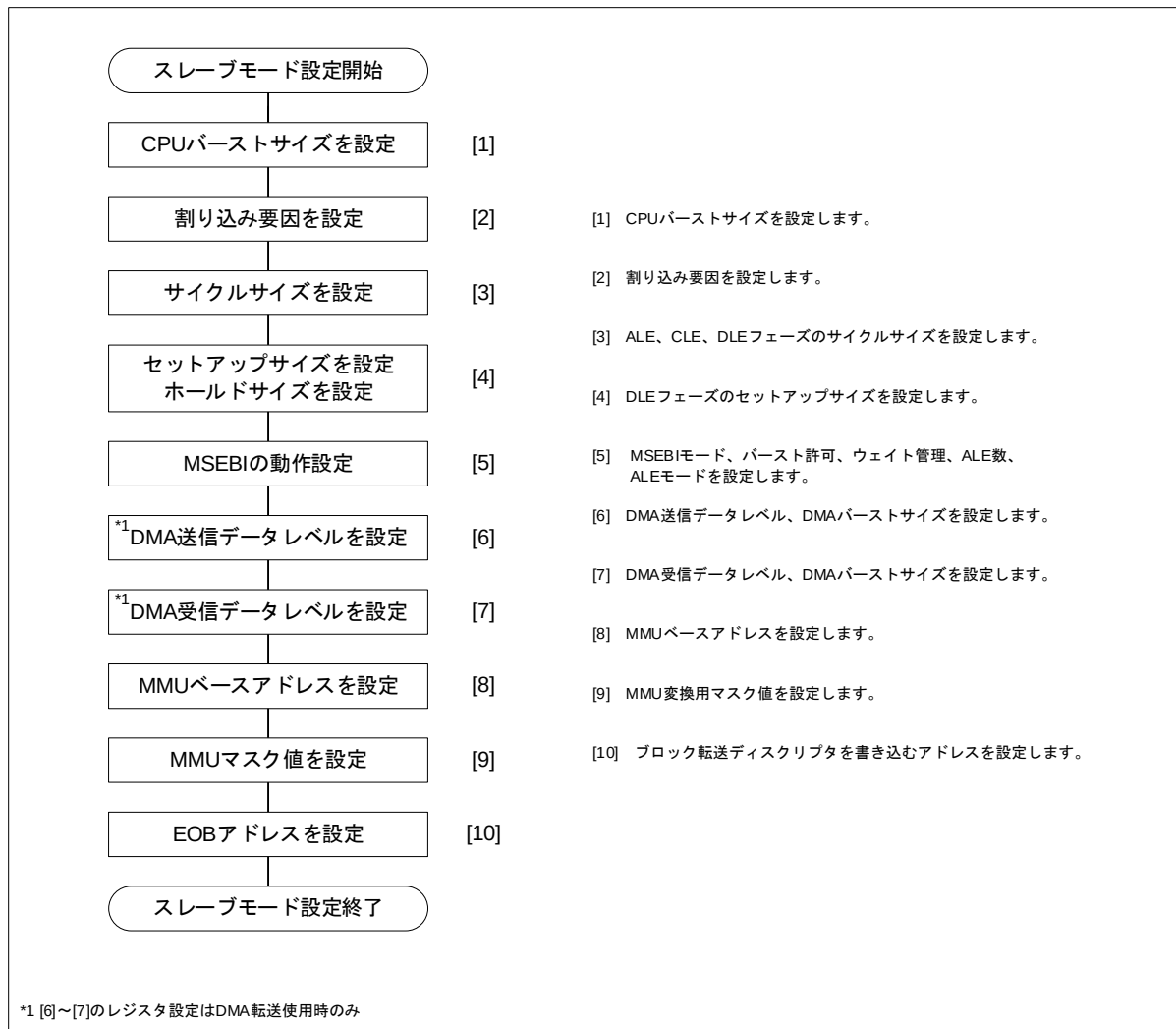


図 5.4 MSEBI スレーブの動作設定

5.7.3 書き込み/読み出し処理

各動作モードにおける MSEBI マスタのデータ書き込み及び読み出し処理のフローチャートを図 5.5、図 5.6、図 5.7 に示します。

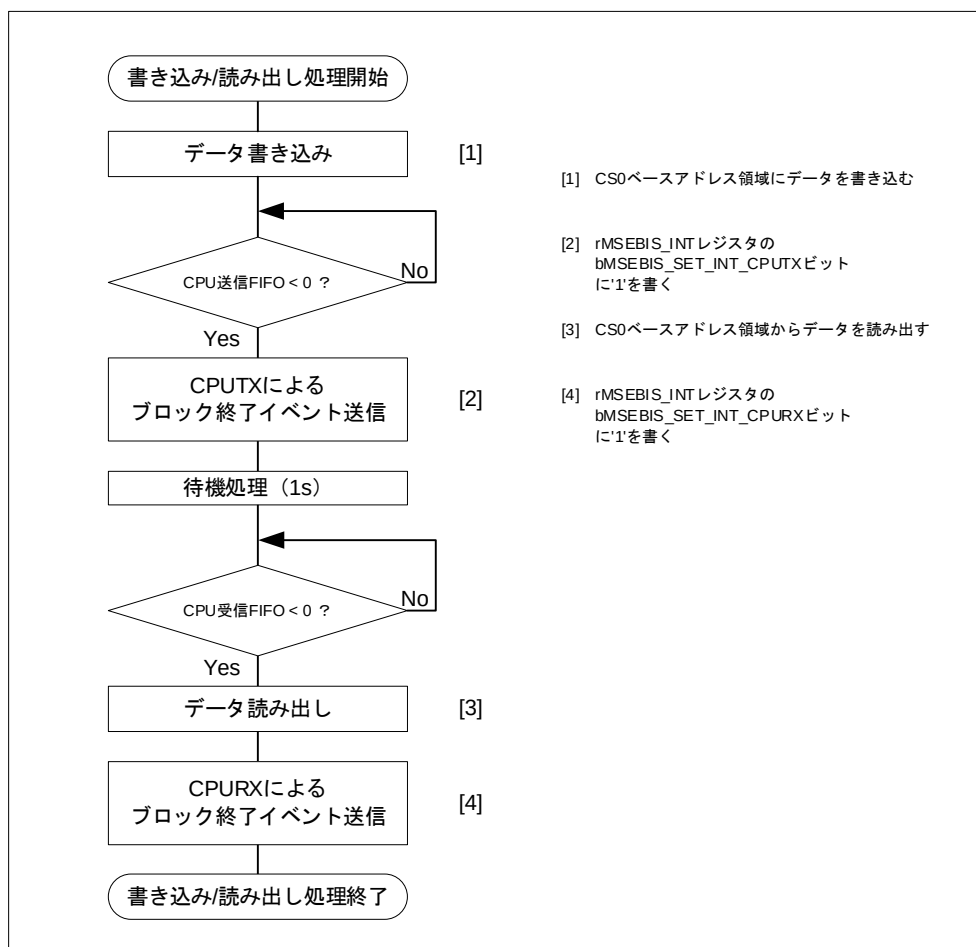


図 5.5 8ビット同期式接続（CPU を用いたバーストアクセス）の書き込み/読み出し処理

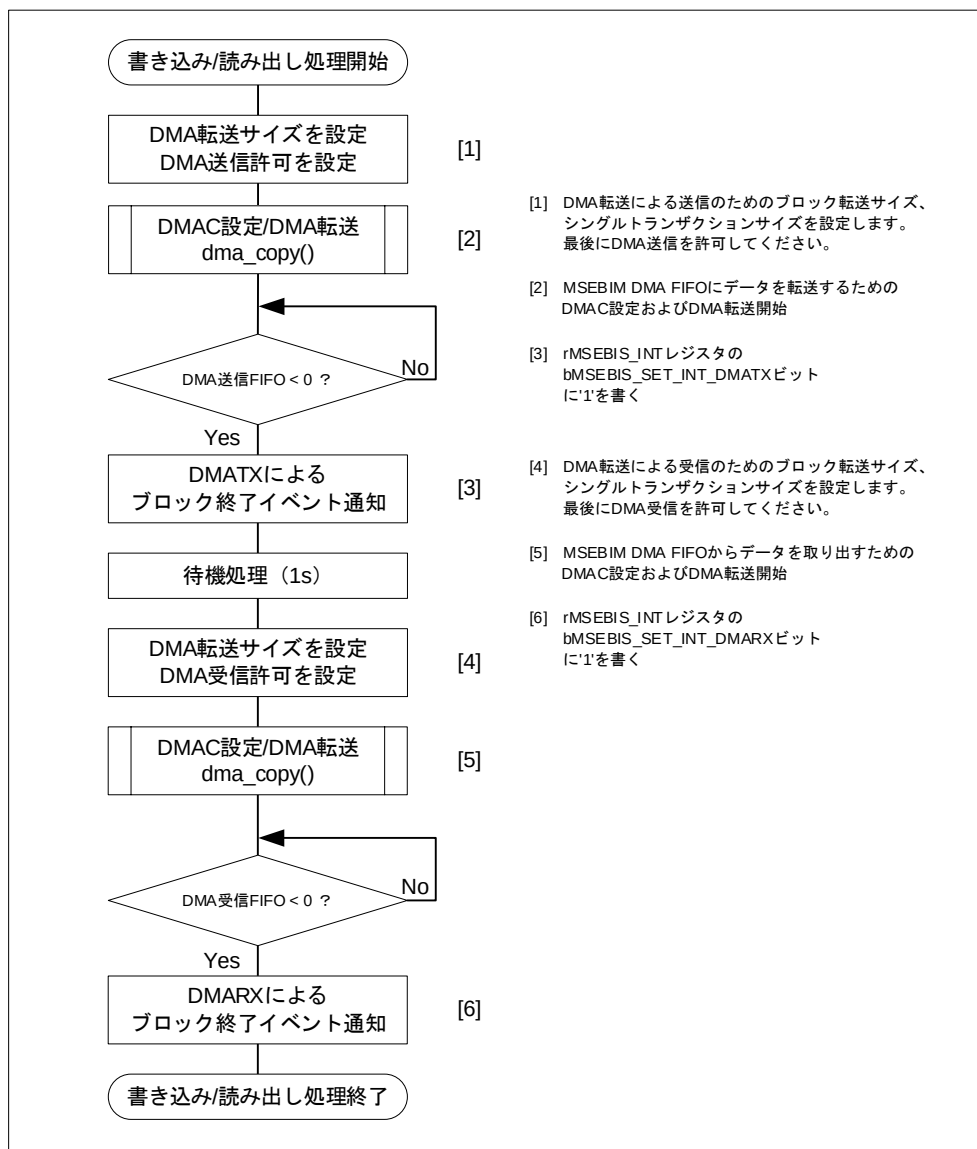


図 5.6 8ビット同期式接続（DMA を用いたバーストアクセス）の書き込み/読み出し処理

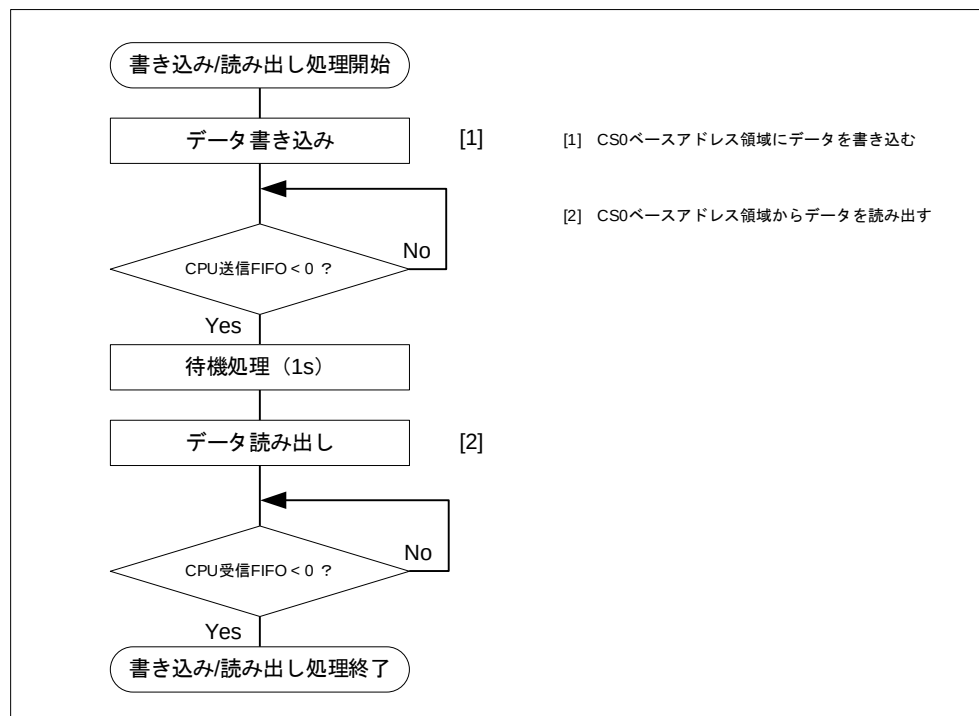


図 5.7 16 ビット非同期式接続（CPU を用いたシングルアクセス）の書き込み/読み出し処理

5.8 ドライブ強度の設定について

RZ/N1x CPU ボード同士を接続する場合、ボード間を接続する配線長によっては MSEBI がデータを正しく取り込めないことがあるため、必要に応じて接続端子のドライブ強度を調節してください。

本アプリケーションノートでは、MSEBI_CLK のドライブ能力を 8mA に設定しています。またサンプルプログラムでは、ドライブ強度を設定するためソースファイル「r_msebi_rzn1.c」にある以下のコードで設定しています。

```

1740
1741 /******
1742  * Function Name:MSEBI_PinMux
1743  ******
1744 ER_RET MSEBI_PinMux (bool master)
1745 {
1746     ER_RET ret_val = ER_OK;
1747     iomux_pin_properties_t pin_mux = {
1748         .function      = RZN1_FUNC_MSEBIS,
1749         .drive_strength = RZN1_MUX_DRIVE_4MA,
1750         .pull_level    = RZN1_MUX_PULL_NONE
1751     };
1752
1753     /* First pin at 105. 14 sequential to match CN7 connection */
1754     if (master)
1755     {
1756         /* Master */
1757         pin_mux.function = RZN1_FUNC_MSEBIM;
1758     }
1759
1760     for (uint8_t pin = 105; pin <= 116; pin++)
1761     {
1762         ret_val = R_IOMUX_PinCtrl(pin, IOMUX_CONTROL_SET_PIN_PROPERTIES, &pin_mux);
1763     }
1764
1765     pin_mux.pull_level = RZN1_MUX_PULL_UP; /* Pull the two wait pins down to flag as not ready */
1766     ret_val |= R_IOMUX_PinCtrl(117, IOMUX_CONTROL_SET_PIN_PROPERTIES, &pin_mux); /* MSEBIS_WAIT_N[0] */
1767     ret_val |= R_IOMUX_PinCtrl(118, IOMUX_CONTROL_SET_PIN_PROPERTIES, &pin_mux); /* MSEBIS_WAIT_N[1] */
1768
1769     /* Change drive strength of MSEBI_CLK */
1770     pin_mux.drive_strength = RZN1_MUX_DRIVE_8MA;
1771     pin_mux.pull_level = RZN1_MUX_PULL_NONE;
1772
1773     if (master)
1774     {
1775         /* MSEBIM_CLK @GPIO110 */
1776         ret_val |= R_IOMUX_PinCtrl(110, IOMUX_CONTROL_SET_PIN_PROPERTIES, &pin_mux);
1777     }
1778     else
1779     {
1780         /* MSEBIS_CLK @GPIO114 */
1781         ret_val |= R_IOMUX_PinCtrl(114, IOMUX_CONTROL_SET_PIN_PROPERTIES, &pin_mux);
1782     }
1783     /******
1784     return ret_val;
1785 }
1786
1787 /******
1788 End of function MSEBI_PinMux
1789  ******

```

クロック端子の PinMux 設定箇所

図 5.8 MSEBI_PinMux 関数の変更箇所

6. サンプルプログラム

サンプルプログラムは、ルネサス エレクトロニクスホームページから入手してください。

7. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ

ユーザーズマニュアル アーキテクチャ・製品データ編

ユーザーズマニュアル システム・周辺機能 1 編

ユーザーズマニュアル 周辺機能 2 編

ユーザーズマニュアル：Quick Start Guide

RZ/N1S Group CONNECT IT! – ETHERNET RZ/N1S Quick Start Guide

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2020/07/01		初版発行
2.00	2020/12/14	すべて	全面改訂
		5	表 2.1 に「ドライブ強度」項目を追加
		6	ソリューションキットのバージョン更新
		21,22,23	サンプルプログラムのバージョン更新
		24	4.1.1 に注意事項を追加
			5.7.3 の図 5.5, 図 5.6, 図 5.7 を変更
			5.8 「ドライブ強度の設定について」を追加

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。