

# RX65N、H8SX/1668

## ADC 移行ガイド : H8SX/1668⇒RX65N

### 要旨

本アプリケーションノートは、RX65N および H8SX/1668 デバイスの A/D コンバータモジュールの相違点について説明します。

### 動作確認デバイス

RX65N

H8SX/1668

### 目次

1. 特長 .....	3
2. 一般的な注意事項 .....	5
3. 参考資料 .....	5
3.1 ハードウェアマニュアルの関連する章 .....	5
3.2 関連するレジスタ .....	6
4. ハードウェアの詳細 .....	8
5. レジスタの詳細 .....	9
5.1 A/D データレジスタ : ADDRy .....	11
5.1.1 RX65N .....	11
5.1.2 H8SX/1668 .....	11
5.2 A/D コントロールレジスタ : ADCSR, A/D コントロールレジスタ : ADCR .....	12
5.2.1 RX65N .....	12
5.2.2 H8SX/1668 .....	13
5.3 A/D コントロール/ステータスレジスタ : ADCSR .....	14
5.3.1 RX65N .....	14
5.3.2 H8SX/1668 .....	14
5.4 A/D チャンネル選択レジスタ A0 : ADANSA0 .....	16
5.4.1 RX65N .....	16
5.4.2 H8SX/1668 .....	16
5.5 A/D チャンネル選択レジスタ A1 : ADANSA1 .....	17
5.5.1 RX65N .....	17
5.5.1 H8SX/1668 .....	17
5.6 A/D コントロール拡張レジスタ : ADCER .....	18
5.6.1 RX65N .....	18
5.6.2 H8SX/1668 .....	18
5.7 A/D 変換開始トリガ選択レジスタ : ADSTRGR .....	19
5.7.1 RX65N .....	19
5.7.2 H8SX/1668 .....	20

5.8	A/D サンプリングステートレジスタ n : ADSSTRn (n=0~15、L、T、O) .....	21
5.8.1	RX65N .....	21
5.8.2	H8XS/1668 .....	21
5.9	A/D サンプル&ホールド回路コントロールレジスタ : ADShCR .....	22
5.9.1	RX65N .....	22
5.9.2	H8SX/1668 .....	22
5.10	A/D サンプル&ホールド動作モード選択レジスタ : ADShMSR .....	23
5.10.1	RX65N .....	23
5.10.2	H8SX/1668 .....	23
6.	使用上の注意 .....	24
6.1	RX スマート・コンフィグレータ .....	24
6.2	I/O レジスタマクロ .....	24
6.3	A/D 変換終了のポーリング .....	24
6.4	H8SX/1668 と RX65N の A/D タイミングの相違点 .....	25
	改訂記録 .....	26

## 1. 特長

表 1.1 に RX65N および H8SX/1668 デバイスの A/D コンバータの特長を示します。相違点は網掛けをしています。

表 1.1 A/D コンバータの特長(1/2)

項目	仕様	
	RX65N	H8SX/1668
分解能	12 ビット	10 ビット
ユニット数	2 つのユニット : ユニット 0 およびユニット 1	
入力チャネル	合計 30 8 : ユニット 0 22 : ユニット 1	合計 8 4 : ユニット 0 4 : ユニット 1 または 8 : ユニット 0 0 : ユニット 1
1 チャネル当たりの変換時間	0.48μs 12 ビット変換モード 0.45μs 10 ビット変換モード 0.42μs 8 ビット変換モード (A/D 変換クロック ADCLK=60MHz 動作時)	2.7μs (周辺クロック PCLK=35MHz 動作時)
フルスピード変換のための最大信号源インピーダンス	1.0kΩ	5.0kΩ
A/D 変換クロック	4 種類 : <sup>[注1]</sup> PCLK PCLK/2 PCLK/4 PCLK/8 動作クロックをユニット毎に設定可能 (ユニット 0 : PCLKC、ユニット 1 : PCLKD で動作)	1 種類 : Pφ
動作モード	<ul style="list-style-type: none"> <li>シングルスキャンモード</li> <li>連続スキャンモード</li> <li>グループスキャンモード</li> </ul>	<ul style="list-style-type: none"> <li>シングルモード</li> <li>スキャンモード</li> </ul>
変換開始	<ul style="list-style-type: none"> <li>ソフトウェア</li> <li>TPU、MTU、TMR、ELC からのトリガ</li> <li>外部トリガ : #ADTRG ピン</li> </ul>	<ul style="list-style-type: none"> <li>ソフトウェア</li> <li>TPU または TMR によるトリガ</li> <li>外部トリガ : #ADTRG ピン</li> </ul>

表 1.2 A/D コンバータの特長(2/2)

項目	仕様	
	RX65N	H8SX/1668
機能	<ul style="list-style-type: none"> <li>• サンプル&amp;ホールド機能</li> <li>• チャンネル専用サンプル&amp;ホールド機能 : 3ch (ユニット0のみ)</li> <li>• サンプリングステート数可変機能 (チャンネルごとに設定可能)</li> <li>• 12ビット A/D コンバータの自己診断機能</li> <li>• A/D 変換値加算モードと平均モードが選択可能</li> <li>• アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能)</li> <li>• ダブルトリガモード (A/D 変換データ二重化機能)</li> <li>• 12/10/8ビット変換切り替え機能</li> <li>• A/D データレジスタオートクリア機能</li> <li>• 拡張アナログ入力機能</li> <li>• コンペア機能 (ウィンドウ A、ウィンドウ B)</li> </ul>	<ul style="list-style-type: none"> <li>• サンプル&amp;ホールド機能</li> </ul>
割り込み要因	<ul style="list-style-type: none"> <li>• A/D 変換終了割り込み (S12ADI)</li> <li>• グループ B A/D 変換終了割り込み (S12GBADI)</li> <li>• グループ C A/D 変換終了割り込み (S12GCADI)</li> <li>• コンペア割り込み (S12CMPAI)</li> <li>• DMAC トリガ可能</li> <li>• DTC トリガ可能</li> </ul>	<ul style="list-style-type: none"> <li>• A/D 変換終了割り込み (ADI)</li> <li>• DMAC トリガ可能</li> <li>• DTC トリガ可能 (ユニット0のみ)</li> </ul>
イベントリンク	<ul style="list-style-type: none"> <li>• すべてのスキャン終了時に ELC イベント発生</li> <li>• ELC からのトリガによりスキャン開始可能</li> </ul>	
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

【注】1. クロック供給源は、ユニット0 : PCLKC、ユニット1 : PCLKD となります。  
PCLK とは PCLKB を指します。

## 2. 一般的な注意事項

- 変換速度が高速化したことにより、外部信号調整回路の変更が必要な場合があります。新しいクロック生成回路および変換オプションにより、そのような変更を最小あるいは、不要とすることができます。
- 結果レジスタは、既存のソフトウェアとの互換性を維持するために左詰めまたは右詰めを選択することができます。また、ビット数を 12、10、8 ビットから選択することができます。  
RX65N はデフォルトでは結果が右詰めされ、読み取り値は 16 ビットレジスタの最下 12 ビットに格納されます。H8SX から移植されたアプリケーションコードとの互換性のために A/D コントロール拡張レジスタ (ADCER) の ADRFMT ビットを b'1 に設定することによりデータを左詰めに設定。また ADPRC[1:0] ビットを b'01 に設定することにより 10 ビット変換モードに設定します。
- 新しい診断レジスタにより、内部基準電圧を読み取り、ADC が正常に動作していることの確認ができます。  
1 サイクルスキャンモード(RX65N ではシングルスキャンモード)は、RX65N のユニット 0 とユニット 1 の両方で使用することができます。H8SX/1668 では、ユニット 1 のみで使用することができます。

## 3. 参考資料

- RX65N ハードウェアマニュアル :  
R01UH0590JJ0230 : RX65N グループ、RX651 グループユーザーズマニュアル ハードウェア編
  - RX65N ソフトウェアマニュアル :  
R01US0071JJ0100 : RX ファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編
- (最新版をルネサス エレクトロニクスホームページから入手してください。)

### 3.1 ハードウェアマニュアルの関連する章

- クロック発生回路  
ADC で使用される周辺クロックのセットアップ方法の詳細
- I/O レジスタ  
すべてのレジスタの一覧を示します。
- 消費電力低減機能  
モジュールストップコントロールレジスタの詳細
- 割り込みコントローラ  
ADC から割り込みコントローラへの割り込みの許可について
- イベントリンクコントローラ  
ADC のイベントリンク設定レジスタの詳細
- マルチファンクションピンコントローラ  
ADC 関連の端子に関連する端子機能制御レジスタの詳細
- 12 ビット A/D コンバータ  
ADC 固有のレジスタと動作モードの詳細

## 3.2 関連するレジスタ

RX65N の A/D コンバータモジュール(S12ADFa)の動作に関連するレジスタを以下に示します。

表 3.1 A/D コンバータの動作に関連するレジスタ(1/2)

名前	説明	ハードウェアマニュアルの章
SYSTEM.SCKCR	システムクロックコントロールレジスタ	クロック発生回路
SYSTEM.MSTPCRA	モジュールストップコントロールレジスタ A	消費電力低減機能
ICU.IRn	割り込み要求レジスタ	割り込みコントローラ
ICU.IERm	割り込み要求許可レジスタ	
ICU.IPRr	割り込み要因プライオリティレジスタ	
ICU.SLIBRx	選択型割り込み B 要因選択レジスタ	
ICU.GRPBLx	グループ BLx 割り込み要求レジスタ	
ICU.GENBLx	グループ BLx 割り込み要求許可レジスタ	
ELC.ELSRn	イベントリンク設定レジスタ	
MPC.PmnPFS	Pmn 端子機能制御レジスタ	マルチファンクションピンコントローラ
S12ADx.ADDRy	A/D データレジスタ	12 ビット A/D コンバータ
S12ADx.ADDRBLDR	A/D データ二重化レジスタ	
S12ADx.ADDRBLDRA	A/D データ二重化レジスタ A	
S12ADx.ADDRBLDRB	A/D データ二重化レジスタ B	
S12ADx.ADTSDR	A/D 温度センサデータレジスタ	
S12ADx.ADOCDR	A/D 内部基準電圧データレジスタ	
S12ADx.ADRD	A/D 自己診断データレジスタ	
S12ADx.ADCSR	A/D コントロールレジスタ	
S12ADx.ADANSA0	A/D チャネル選択レジスタ A0	
S12ADx.ADANSA1	A/D チャネル選択レジスタ A1	
S12ADx.ADANSB0	A/D チャネル選択レジスタ B0	
S12ADx.ADANSB1	A/D チャネル選択レジスタ B1	
S12ADx.ADANSC0	A/D チャネル選択レジスタ C0	
S12ADx.ADANSC1	A/D チャネル選択レジスタ C1	
S12ADx.ADADS0	A/D 変換値加算/平均機能チャネル選択レジスタ 0	
S12ADx.ADADS1	A/D 変換値加算/平均機能チャネル選択レジスタ 1	
S12ADx.ADADC	A/D 変換値加算/平均回数選択レジスタ	
S12ADx.ADCER	A/D コントロール拡張レジスタ	
S12ADx.ADSTRGR	A/D 変換開始トリガ選択レジスタ	
S12ADx.ADEXICR	A/D 変換拡張入力コントロールレジスタ	
S12ADx.ADGCEXCR	A/D グループ C 拡張入力コントロールレジスタ	
S12ADx.ADGCTRGR	A/D グループ C トリガ選択レジスタ	
S12ADx.ADSSTR	A/D サンプリングステートレジスタ	
S12ADx.ADSHCR	A/D サンプル&ホールド回路コントロールレジスタ	
S12ADx.ADSHMSR	A/D サンプル&ホールド動作モード選択レジスタ	

表 3.2 A/D コンバータの動作に関連するレジスタ(2/2)

名前	説明	ハードウェアマニュアルの章
S12ADx.ADDISCR	A/D 断線検出コントロールレジスタ	12 ビット A/D コンバータ
S12ADx.ADGSPCR	A/D グループスキャン優先コントロールレジスタ	
S12ADx.ADCMPCR	A/D コンペア機能コントロールレジスタ	
S12ADx.ADCMPANSR0	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0	
S12ADx.ADCMPANSR1	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1	
S12ADx.ADCMPANSER	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ	
S12ADx.ADCMPLR0	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0	
S12ADx.ADCMPLR1	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1	
S12ADx.ADCMPLER	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ	
S12ADx.ADCMPDR0	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ	
S12ADx.ADCMPDR1	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ	
S12ADx.ADCMPSR0	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0	
S12ADx.ADCMPSR1	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1	
S12ADx.ADCMPSER	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ	
S12ADx.ADWINMON	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ	
S12ADx.ADCMPBNSR	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ	
S12ADx.ADWINLLB	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ	
S12ADx.ADWINULB	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ	
S12ADx.ADCMPBSR	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ	
S12ADx.ADSAM	A/D 逐次変換時間設定レジスタ	
S12ADx.ADSAMPR	A/D 逐次変換時間設定プロテクト解除レジスタ	

#### 4. ハードウェアの詳細

RX65Nには、H8SX/1668に対して、追加端子VREFL0があります。ユニット0の基準電源はVREFH0、VREFL0から入力可能です。ユニット1の基準電源は、アナログ電源であるAVCC、AVSSと共通で使用します。また、ユニット毎にAVCCとAVSSが分かれています。(ユニット0 : AVCC0、AVSS0、ユニット1 : AVCC1、AVSS1)。

表 4.1 RX65N と H8SX/1668 のアナログ端子

ユニット	RX65N	H8SX/1668
ユニット0	AVCC0	AVCC
	AVSS0	AVSS
	VREFH0	VREF
	VREFL0	-
ユニット1	AVCC1	AVCC
	AVSS1	AVSS
	-	VREF

グラウンドの接続、電源、およびバイパスの詳細については、RX65Nのデータシートを参照してください。VREFH0の有効な電圧は、2.7V~AVCCです。

RX65NのADCの高速化を活用するには、アナログ入力に接続された信号処理回路を低インピーダンス化する必要があります。

表 4.2 RX65N と H8SX/1668 の信号源インピーダンス

名前	RX65N	H8SX/1668
最大周辺クロック	ADCLK : 60MHz	PCLK : 35MHz
最大変換速度	0.48 $\mu$ s / チャンネル (12ビット変換モード) 0.45 $\mu$ s / チャンネル (10ビット変換モード) 0.42 $\mu$ s / チャンネル (8ビット変換モード)	2.7 $\mu$ s / チャンネル
最大信号源インピーダンス	1.0k $\Omega$	5.0k $\Omega$

新しいクロック生成回路および変換オプションを用い、外部回路のハードウェアの変更を最小にあるいは、不要とすることができます。「6.4 H8SX/1668 と RX65N の A/D タイミングの相違点」を参照してください。

## 5. レジスタの詳細

表 5.1 に RX65N および H8SX/1668 デバイスの A/D コンバータのレジスタ一覧を示します。H8SX/1668 の機能と関連するレジスタに網掛けをしています。それ以外のレジスタに関しましては RX65N ハードウェアマニュアルを参照ください。

表 5.1 A/D コンバータのレジスタ一覧(1/2)

RX65N	H8SX/1668
A/D データレジスタ y (ADDRy) (y=0~7 : ユニット 0,y=0~20 : ユニット 1)	A/D データレジスタ y (y=A~H : ユニット 0,y=E~H : ユニット 1)
A/D データ二重化レジスタ (ADDRBLDR)	
A/D データ二重化レジスタ A (ADDRBLDRA)	
A/D データ二重化レジスタ B (ADDRBLDRB)	
A/D 温度センサデータレジスタ (ADTSDR)	
A/D 内部基準電圧データレジスタ (ADOCDR)	
A/D 自己診断データレジスタ (ADRD)	
A/D コントロールレジスタ (ADCSR)	A/D コントロールレジスタ (ADCR)
	A/D コントロール/ステータスレジスタ (ADCSR)
A/D チャンネル選択レジスタ A0 (ADANSA0)	
A/D チャンネル選択レジスタ A1 (ADANSA1)	
A/D チャンネル選択レジスタ B0 (ADANSB0)	
A/D チャンネル選択レジスタ B1 (ADANSB1)	
A/D チャンネル選択レジスタ C0 (ADANSC0)	
A/D チャンネル選択レジスタ C1 (ADANSC1)	
A/D 変換値加算/平均機能チャンネル選択レジスタ 0 (ADADS0)	
A/D 変換値加算/平均機能チャンネル選択レジスタ 1 (ADADS1)	
A/D 変換値加算/平均回数選択レジスタ (ADADC)	
A/D コントロール拡張レジスタ (ADCER)	
A/D 変換開始トリガ選択レジスタ (ADSTRGR)	
A/D 変換拡張入力コントロールレジスタ (ADEXICR)	
A/D グループ C 拡張入力コントロールレジスタ (ADGCEXCR)	
A/D グループ C トリガ選択レジスタ (ADGCTRGR)	
A/D サンプリングステートレジスタ (ADSSTRn) (n=0~15,L,T,O)	
A/D サンプル&ホールド回路コントロールレジスタ (ADSHCR)	
A/D サンプル&ホールド動作モード選択レジスタ (ADSHMSR)	
A/D 断線検出コントロールレジスタ (ADDISCR)	
A/D グループ スキャン優先コントロールレジスタ (ADGSPCR)	

表 5.2 A/D コンバータのレジスタ一覧(2/2)

RX65N	H8SX/1668
A/D コンペア機能コントロールレジスタ (ADCMPCR)	
A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMANSR0)	
A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCMANSR1)	
A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMANSER)	
A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	
A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)	
A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)	
A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPCR0)	
A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPCR1)	
A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0 (ADCMPSR0)	
A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1 (ADCMPSR1)	
A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ (ADCMPSER)	
A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	
A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)	
A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)	
A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)	
A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ (ADCMPBSR)	
A/D 逐次変換時間設定レジスタ (ADSAM)	
A/D 逐次変換時間設定プロテクト解除レジスタ (ADSAMPR)	

## 5.1 A/D データレジスタ : ADDRy

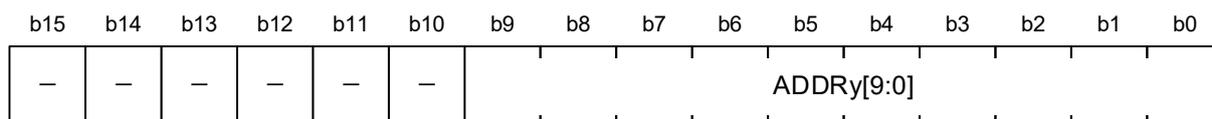
ADDRy レジスタは、A/D 変換の結果を格納する 16 ビットの読み出し専用レジスタです。

RX65N では、5.6 A/D コントロール拡張レジスタ : ADCER にて、A/D 変換結果のビット数、右詰め、左詰めを指定することができます。

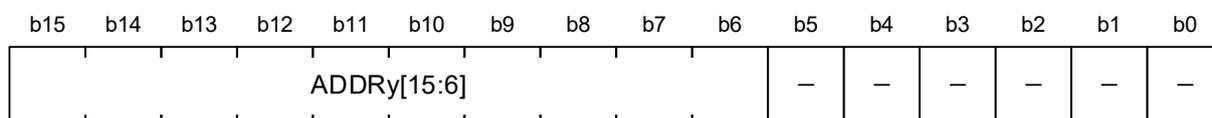
H8SX/1668 では、A/D 変換結果は 10 ビットで、ADDRy[15:6]に格納されます。

### 5.1.1 RX65N

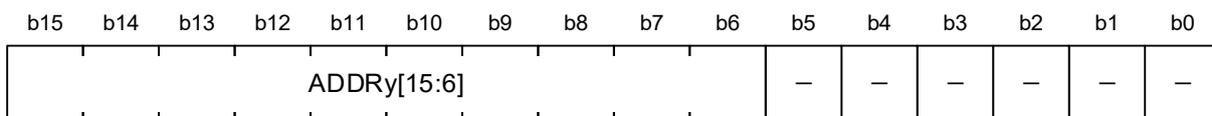
ADCER.ADRFMT = 0,  
ADCER.ADPRC[1:0] = b' 01



ADCER.ADRFMT = 1,  
ADCER.ADPRC[1:0] = b' 01



### 5.1.2 H8SX/1668



## 5.2 A/D コントロールレジスタ : ADCSR,A/D コントロールレジスタ : ADCR

## 5.2.1 RX65N

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTR G	DBLE	GBAD IE	—						DBLANS[4:0]

表 5.3 RX65N ADCSR レジスタ

ビット	説明	備考
15	A/D 変換スタートビット 0 : A/D 変換停止 1 : A/D 変換開始	
[14:13]	スキャンモード選択ビット 00 : シングルスキャンモード 01 : グループスキャンモード 10 : 連続スキャンモード 11 : 設定禁止	
12	スキャン終了割り込み許可ビット 0 : スキャン終了後の割り込み発生の禁止 1 : スキャン終了後の割り込み発生の許可	
[11:10]	予約ビット	
9	トリガ開始許可ビット 0 : 同期、非同期トリガによる A/D 変換の開始を禁止 1 : 同期、非同期トリガによる A/D 変換の開始を許可	
8	トリガ選択ビット 0 : 同期トリガによる A/D 変換の開始を選択 1 : 非同期トリガによる A/D 変換の開始を選択	
7	ダブルトリガモード選択ビット 0 : ダブルトリガモード非選択 1 : ダブルトリガモード選択	
6	グループ B スキャン終了割り込み許可ビット 0 : グループ B のスキャン終了後に割り込み発生を禁止 1 : グループ B のスキャン終了後に割り込み発生を許可	
5	予約ビット	
[4:0]	ダブルトリガ対象チャンネル選択ビット ダブルトリガ対象のアナログ入力を 1 チャンネル選択します。ダブルトリガモード選択時のみ有効です	

## 5.2.2 H8SX/1668

H8SX/1668 では、A/D コントロールレジスタ (ADCR) となり、レジスタ名称とレジスタ内容が異なります。

	b7	b6	b5	b4	b3	b2	b1	b0
Unit 0	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	EXTRG
Unit 1	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADST CLR	EXTRG

表 5.4 H8SX/1668ADCR レジスタ

ビット	説明	備考
[7:6],0	タイマトリガセレクト 1、0、拡張トリガセレクト 000 : 外部トリガによる A/D 変換開始を禁止 010 : TPU (ユニット 0) からの変換トリガによる A/D 変換開始 100 : TMR (ユニット 0、1) からの変換トリガによる A/D 変換開始 110 : ADTRG0 による A/D 変換開始 001 : 外部トリガ無効 011 : 設定禁止 101 : 設定禁止 111 : ADTRG0 による A/D 変換開始 (ユニット同時起動)	
[5:4]	スキャンモード 0X : シングルモード 10 : スキャンモード (1~4 チャンルの連続 A/D 変換) 11 : スキャンモード (1~8 チャンルの連続 A/D 変換)	
[3:2]	クロックセレクト 1、0 (ユニット 0) 00 : 変換時間 =528 ステート 01 : 変換時間 =268 ステート 10 : 変換時間 =138 ステート 11 : 変換時間 =73 ステート  拡張クロックセレクト、クロックセレクト 1、0 (ユニット 1) 000 : 変換時間 =528 ステート 001 : 変換時間 =268 ステート 010 : 変換時間 =138 ステート 011 : 変換時間 =73 ステート 100 : 変換時間 =336 ステート 101 : 変換時間 =172 ステート 110 : 変換時間 =90 ステート 111 : 変換時間 =49 ステート	ユニット 1 は ADCSR1.EXCKS の値を使用
1	A/D スタートクリア 0 : スキャンモードのとき、ADST ビットの自動的なクリアを禁止 1 : スキャンモードのとき、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされます	ユニット 0 は予 約ビット

## 5.3 A/D コントロール/ステータスレジスタ : ADCSR

## 5.3.1 RX65N

RX65N では、A/D コントロールレジスタ (ADCSR) となり、一部名称とレジスタ内容が異なります。RX65N の ADCSR は「5.2.1 RX65N」を参照ください。

## 5.3.2 H8SX/1668

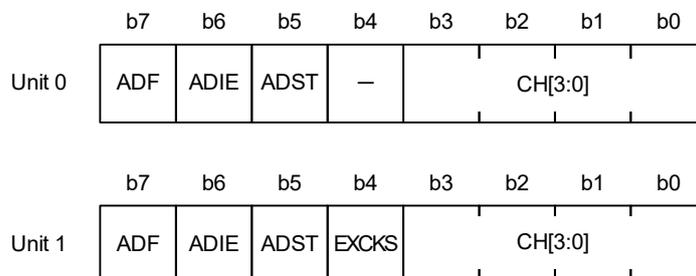


表 5.5 H8SX/1668 ADCSR レジスタ(1/2)

ビット	説明	備考
7	A/D エンドフラグ A/D 変換の終了を示すステータスフラグ	
6	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。	
5	A/D スタート 0 : A/D 変換を停止し、待機状態 1 : A/D 変換を開始	
4	拡張クロックセレクト ADCR の CKS1/0 と合わせて AD 変換時間の設定を行います。	ユニット0は 予約ビット

表 5.6 H8SX/1668 ADCSR レジスタ(2/2)

ビット	説明	備考																
[3:0]	<p>チャンネルセレクト3~0 ADCRのSCANEビット、SCANSビットとともに、アナログ入力を選択します。</p> <ul style="list-style-type: none"> <li>● ユニット0</li> </ul> <table border="1"> <thead> <tr> <th>シングルモード (ADCR.SCANE=0)</th> <th>スキャンモード：4チャンネル (ADCR.SCANE=1、 ADCR.SCANS=0)</th> </tr> </thead> <tbody> <tr> <td>0000 : AN0 0001 : AN1 0010 : AN2 0011 : AN3 0100 : AN4 0101 : AN5 0110 : AN6 0111 : AN7 1XXX : 設定禁止</td> <td>0000 : AN0 0001 : AN0、AN1 0010 : AN0~AN2 0011 : AN0~AN3 0100 : AN4 0101 : AN4、AN5 0110 : AN4~AN6 0111 : AN4~AN7 1XXX : 設定禁止</td> </tr> <tr> <td></td> <th>スキャンモード：8チャンネル (ADCR.SCANE=1、 ADCR.SCANS=1)</th> </tr> <tr> <td></td> <td>0000 : AN0 0001 : AN0、AN1 0010 : AN0~AN2 0011 : AN0~AN3 0100 : AN0~AN4 0101 : AN0~AN5 0110 : AN0~AN6 0111 : AN0~AN7 1XXX : 設定禁止</td> </tr> </tbody> </table> <ul style="list-style-type: none"> <li>● ユニット1</li> </ul> <table border="1"> <thead> <tr> <th>シングルモード (ADCR.SCANE=0)</th> <th>スキャンモード：4チャンネル (ADCR.SCANE=1、 ADCR.SCANS=0)</th> </tr> </thead> <tbody> <tr> <td>00XX : 設定禁止 0100 : AN4 0101 : AN5 0110 : AN6 0111 : AN7 1XXX : 設定禁止</td> <td>00XX : 設定禁止 0100 : AN4 0101 : AN4、AN5 0110 : AN4~AN6 0111 : AN4~AN7 1XXX : 設定禁止</td> </tr> <tr> <td></td> <th>スキャンモード：8チャンネル (ADCR.SCANE=1、 ADCR.SCANS=1)</th> </tr> <tr> <td></td> <td>XXXX : 設定禁止</td> </tr> </tbody> </table>	シングルモード (ADCR.SCANE=0)	スキャンモード：4チャンネル (ADCR.SCANE=1、 ADCR.SCANS=0)	0000 : AN0 0001 : AN1 0010 : AN2 0011 : AN3 0100 : AN4 0101 : AN5 0110 : AN6 0111 : AN7 1XXX : 設定禁止	0000 : AN0 0001 : AN0、AN1 0010 : AN0~AN2 0011 : AN0~AN3 0100 : AN4 0101 : AN4、AN5 0110 : AN4~AN6 0111 : AN4~AN7 1XXX : 設定禁止		スキャンモード：8チャンネル (ADCR.SCANE=1、 ADCR.SCANS=1)		0000 : AN0 0001 : AN0、AN1 0010 : AN0~AN2 0011 : AN0~AN3 0100 : AN0~AN4 0101 : AN0~AN5 0110 : AN0~AN6 0111 : AN0~AN7 1XXX : 設定禁止	シングルモード (ADCR.SCANE=0)	スキャンモード：4チャンネル (ADCR.SCANE=1、 ADCR.SCANS=0)	00XX : 設定禁止 0100 : AN4 0101 : AN5 0110 : AN6 0111 : AN7 1XXX : 設定禁止	00XX : 設定禁止 0100 : AN4 0101 : AN4、AN5 0110 : AN4~AN6 0111 : AN4~AN7 1XXX : 設定禁止		スキャンモード：8チャンネル (ADCR.SCANE=1、 ADCR.SCANS=1)		XXXX : 設定禁止	<p>ユニット0と ユニット1で 設定が異なる</p>
シングルモード (ADCR.SCANE=0)	スキャンモード：4チャンネル (ADCR.SCANE=1、 ADCR.SCANS=0)																	
0000 : AN0 0001 : AN1 0010 : AN2 0011 : AN3 0100 : AN4 0101 : AN5 0110 : AN6 0111 : AN7 1XXX : 設定禁止	0000 : AN0 0001 : AN0、AN1 0010 : AN0~AN2 0011 : AN0~AN3 0100 : AN4 0101 : AN4、AN5 0110 : AN4~AN6 0111 : AN4~AN7 1XXX : 設定禁止																	
	スキャンモード：8チャンネル (ADCR.SCANE=1、 ADCR.SCANS=1)																	
	0000 : AN0 0001 : AN0、AN1 0010 : AN0~AN2 0011 : AN0~AN3 0100 : AN0~AN4 0101 : AN0~AN5 0110 : AN0~AN6 0111 : AN0~AN7 1XXX : 設定禁止																	
シングルモード (ADCR.SCANE=0)	スキャンモード：4チャンネル (ADCR.SCANE=1、 ADCR.SCANS=0)																	
00XX : 設定禁止 0100 : AN4 0101 : AN5 0110 : AN6 0111 : AN7 1XXX : 設定禁止	00XX : 設定禁止 0100 : AN4 0101 : AN4、AN5 0110 : AN4~AN6 0111 : AN4~AN7 1XXX : 設定禁止																	
	スキャンモード：8チャンネル (ADCR.SCANE=1、 ADCR.SCANS=1)																	
	XXXX : 設定禁止																	

## 5.4 A/D チャンネル選択レジスタ A0 : ADANSA0

## 5.4.1 RX65N

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Unit 0	—	—	—	—	—	—	—	—	ANSA 007	ANSA 006	ANSA 005	ANSA 004	ANSA 003	ANSA 002	ANSA 001	ANSA 000
Unit 1	ANSA 015	ANSA 014	ANSA 013	ANSA 012	ANSA 011	ANSA 010	ANSA 009	ANSA 008	ANSA 007	ANSA 006	ANSA 005	ANSA 004	ANSA 003	ANSA 002	ANSA 001	ANSA 000

表 5.7 RX65N ADANSA0 レジスタ (ユニット 0)

ビット	説明	備考
[15:8]	予約ビット	
[7:0]	A/D 変換チャンネル選択ビット ANSA000 ビットが AN100 に、ANSA015 ビットが AN115 に対応 0 : 変換対象から外す 1 : 変換対象とする	ユニット 0 の 有効ビットは 7~0

表 5.8 RX65N ADANSA0 レジスタ(ユニット 1)

ビット	説明	備考
[15:0]	A/D 変換チャンネル選択ビット ANSA000 ビットが AN100 に、ANSA015 ビットが AN115 に対応 0 : 変換対象から外す 1 : 変換対象とする	ユニット 1 の 有効ビットは 15~0

## 5.4.2 H8SX/1668

H8SX/1668 には、A/D チャンネル選択レジスタ A0 はありません。チャンネルの選択は ADCR の CH3-0 ビットで実施します。

## 5.5 A/D チャンネル選択レジスタ A1 : ADANSA1

## 5.5.1 RX65N

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
Unit 1	-	-	-	-	-	-	-	-	-	-	-	ANSA 104	ANSA 103	ANSA 102	ANSA 101	ANSA 100

表 5.9 RX65N ADANSA1 レジスタ(ユニット 1)

ビット	説明	備考
[15:5]	予約ビット	
[4:0]	A/D 変換チャンネル選択ビット ANSA100 ビットが AN116 に、ANSA104 ビットが AN120 に対応 0 : 変換対象から外す 1 : 変換対象とする	ユニット 1 のみ有効

## 5.5.1 H8SX/1668

H8SX/1668 には、A/D チャンネル選択レジスタ A1 はありません。チャンネルの選択は ADCR の CH3-0 ビットで実施します。

## 5.6 A/D コントロール拡張レジスタ : ADCER

## 5.6.1 RX65N

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADRF MT	—	—	—	DIAG M	DIAGL D	DIAGVAL [1:0]	—	—	ACE	—	—	ADPRC[1:0]	—			

表 5.10 RX65N ADCER レジスタ

ビット	説明	備考
15	A/D データレジスタフォーマット選択ビット 0 : A/D データレジスタのフォーマットを右詰めにする 1 : A/D データレジスタのフォーマットを左詰めにする	
[14:12]	予約ビット	
11	自己診断イネーブルビット 0 : 12 ビット A/D コンバータの自己診断を実施しない 1 : 12 ビット A/D コンバータの自己診断を実施する	
10	自己診断モード選択ビット 0 : 自己診断電圧ローテーションモード 1 : 自己診断電圧固定モード	
[9:8]	自己診断変換電圧選択ビット 00 : 自己診断電圧固定モード時は設定禁止 01 : 0V の電圧を使って自己診断を行う 10 : 基準電源 × 1/2 の電圧を使って自己診断を行う 11 : 基準電源の電圧を使って自己診断を行う	
[7:6]	予約ビット	
5	A/D データレジスタ自動クリアイネーブルビット 0 : 自動クリアを禁止 1 : 自動クリアを許可	
[4:3]	予約ビット	
[2:1]	A/D 変換精度指定ビット 00 : 12 ビット精度で A/D 変換を実施 01 : 10 ビット精度で A/D 変換を実施 10 : 8 ビット精度で A/D 変換を実施 11 : 設定しないでください	
0	予約ビット	

## 5.6.2 H8SX/1668

H8SX/1668 には、A/D コントロール拡張レジスタはありません。データは常に ADDRy[15:6] に格納されます。また、常に 10 ビット精度で A/D 変換を実施します。

## 5.7 A/D 変換開始トリガ選択レジスタ : ADSTRGR

## 5.7.1 RX65N

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—				TRSA[5:0]			—	—				TRSB[5:0]		

表 5.11 RX65N ADSTRGR レジスタ(1/2)

ビット	説明	備考
[15:14]	予約ビット	
[13:8]	<p>A/D 変換開始トリガ選択ビット</p> <p>111111 : トリガ要因非選択状態</p> <p>000001 : MTU0.TGRA のコンペアマッチ/インプットキャプチャ</p> <p>000010 : MTU1.TGRA のコンペアマッチ/インプットキャプチャ</p> <p>000011 : MTU2.TGRA のコンペアマッチ/インプットキャプチャ</p> <p>000100 : MTU3.TGRA のコンペアマッチ/インプットキャプチャ</p> <p>000101 : MTU4.TGRA のコンペアマッチ/インプットキャプチャ、 または相補 PWM モード時 MTU4.TCNT のアンダフロー (谷)</p> <p>000110 : MTU6.TGRA のコンペアマッチ/インプットキャプチャ</p> <p>000111 : MTU7.TGRA のコンペアマッチ/インプットキャプチャ、 または相補 PWM モード時 MTU7.TCNT のアンダフロー (谷)</p> <p>001000 : MTU0.TGRE のコンペアマッチ</p> <p>001001 : MTU4.TADCORA と MTU4.TCNT のコンペアマッチ</p> <p>001010 : MTU4.TADCORB と MTU4.TCNT のコンペアマッチ</p> <p>001011 : MTU4.TADCORA と MTU4.TCNT のコンペアマッチ、 または MTU4.TADCORB と MTU4.TCNT のコンペアマッチ</p> <p>001100 : MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、 MTU4.TADCORB と MTU4.TCNT のコンペアマッチ (割り込み間引き機能 2 を使用時)</p> <p>001101 : MTU7.TADCORA と MTU7.TCNT のコンペアマッチ</p> <p>001110 : MTU7.TADCORB と MTU7.TCNT のコンペアマッチ</p> <p>001111 : MTU7.TADCORA と MTU7.TCNT のコンペアマッチ、 または MTU7.TADCORB と MTU7.TCNT のコンペアマッチ</p> <p>010000 : MTU7.TADCORA と MTU7.TCNT のコンペアマッチと、 MTU7.TADCORB と MTU7.TCNT のコンペアマッチ (割り込み間引き機能 2 を使用時)</p> <p>011101 : TMR0.TCORA と TMR0.TCNT のコンペアマッチ</p> <p>011110 : TMR2.TCORA と TMR2.TCNT のコンペアマッチ</p> <p>011111 : TPU<sub>n</sub>.TGRA<sub>n</sub> (n=0~5) のコンペアマッチ/インプットキャプチャ</p> <p>100000 : TPU0.TGRA0 のコンペアマッチ/インプットキャプチャ</p> <p>110000 : イベントリンク</p>	
[7:6]	予約ビット	

表 5.12 RX65N ADSTRGR レジスタ(1/2)

ビット	説明	備考
[5:0]	グループ B 専用 A/D 変換開始トリガ選択ビット 111111 : トリガ要因非選択状態 000001 : MTU0.TGRA のコンペアマッチ/インプットキャプチャ 000010 : MTU1.TGRA のコンペアマッチ/インプットキャプチャ 000011 : MTU2.TGRA のコンペアマッチ/インプットキャプチャ 000100 : MTU3.TGRA のコンペアマッチ/インプットキャプチャ 000101 : MTU4.TGRA のコンペアマッチ/インプットキャプチャ、 または相補 PWM モード時 MTU4.TCNT のアンダフロー (谷) 000110 : MTU6.TGRA のコンペアマッチ/インプットキャプチャ 000111 : MTU7.TGRA のコンペアマッチ/インプットキャプチャ、 または相補 PWM モード時 MTU7.TCNT のアンダフロー (谷) 001000 : MTU0.TGRE のコンペアマッチ 001001 : MTU4.TADCORA と MTU4.TCNT のコンペアマッチ 001010 : MTU4.TADCORB と MTU4.TCNT のコンペアマッチ 001011 : MTU4.TADCORA と MTU4.TCNT のコンペアマッチ、 または MTU4.TADCORB と MTU4.TCNT のコンペアマッチ 001100 : MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、 MTU4.TADCORB と MTU4.TCNT のコンペアマッチ (割り込み間引き機能 2 を使用時) 001101 : MTU7.TADCORA と MTU7.TCNT のコンペアマッチ 001110 : MTU7.TADCORB と MTU7.TCNT のコンペアマッチ 001111 : MTU7.TADCORA と MTU7.TCNT のコンペアマッチ、 または MTU7.TADCORB と MTU7.TCNT のコンペアマッチ 010000 : MTU7.TADCORA と MTU7.TCNT のコンペアマッチと、 MTU7.TADCORB と MTU7.TCNT のコンペアマッチ (割り込み間引き機能 2 を使用時) 011101 : TMR0.TCORA と TMR0.TCNT のコンペアマッチ 011110 : TMR2.TCORA と TMR2.TCNT のコンペアマッチ 011111 : TPU <sub>n</sub> .TGRA <sub>n</sub> (n=0~5) のコンペアマッチ/インプットキャプチャ 100000 : TPU0.TGRA0 のコンペアマッチ/インプットキャプチャ 110000 : イベントリンク	

### 5.7.2 H8SX/1668

H8SX/1668 には、A/D 変換開始トリガ選択レジスタはありません。トリガ選択は ADCR の TRGS1-0 ビット、EXTRGS ビットで実施します。

## 5.8 A/D サンプリグステートレジスタ n : ADSSTRn (n=0~15、L、T、O)

## 5.8.1 RX65N

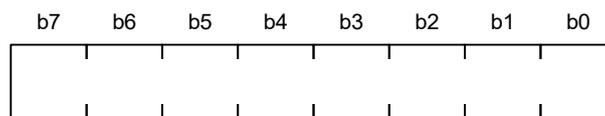


表 5.13 RX65N ADSSTR レジスタ

ビット	説明	備考
[7:0]	サンプリング時間の設定	

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート=1ADCLK (A/D 変換クロック) 幅で ADCLK クロックが 60MHz であれば 1 ステート=16.7ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。サンプリング時間の設定下限値は、PCLK と ADCLK の周波数比により異なります。

PCLK : ADCLK 周波数比=1 : 1、2 : 1、4 : 1、8 : 1 の場合、5 ステート以上の値を設定してください。

サンプリング時間、ADSSTR および ADCLK の関係は、以下のようになります。

サンプリング時間=ADSSTRn (n=0~15、L、T、O) 設定値 (初期値 0Bh) × ADCLK

## 5.8.2 H8XS/1668

H8SX/1668 には、A/D サンプリグステートレジスタはありません。

## 5.9 A/D サンプル&amp;ホールド回路コントロールレジスタ : ADSHCR

## 5.9.1 RX65N

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	SHANS[2:0]			SSTSH[7:0]							

表 5.14 RX65N ADSHCR レジスタ

ビット	説明	備考
[15:11]	予約ビット	
[10:8]	チャンネル専用サンプル&ホールド回路バイパス選択ビット AN000~AN002 のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0 : チャンネル専用サンプル&ホールド回路をバイパス 1 : チャンネル専用サンプル&ホールド回路を使用	
[7:0]	チャンネル専用サンプル&ホールド回路サンプリング時間設定ビット 4~255 ステートの間でサンプリング時間を設定します。	

1 ステート=1ADCLK クロック (A/D 変換クロック) 幅で ADCLK クロックが 60MHz であれば 1 ステート=16.7ns になります。初期値は 24 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。サンプリング時間の設定値は、4 ステート以上 255 ステート以下の値を設定してください。また、サンプリング時間が 0.4  $\mu$ s 以上となるように設定してください。

例えば、ADCLK が 60MHz であれば、サンプリングステート設定値の下限は 24 ステートとなります。

サンプリング時間、ADSSTR および ADCLK の関係は、以下のようになります。

サンプリング時間=ADSHCR.SSTSH[7:0]の設定値 (初期値 18h)  $\times$  ADCLK

## 5.9.2 H8SX/1668

H8SX/1668 には、A/D サンプル&ホールド回路コントロールレジスタはありません。H8SX/1668 はサンプル&ホールド回路機能付きの A/D 変換器となります。

## 5.10 A/D サンプル&amp;ホールド動作モード選択レジスタ : ADHMSR

## 5.10.1 RX65N

b7	b6	b5	b4	b3	b2	b1	b0
-	-	-	-	-	-	-	SHMD

表 5.15 RX65N ADHMSR レジスタ

ビット	説明	備考
[7:1]	予約ビット	
0	チャンネル専用サンプル&ホールド回路動作モード設定ビット 0 : チャンネル専用サンプル&ホールド回路の常時サンプリングを無効 1 : チャンネル専用サンプル&ホールド回路の常時サンプリングを有効	

## 5.10.2 H8SX/1668

H8SX/1668 には、A/D サンプル&ホールド動作モード選択レジスタはありません。H8SX/1668 はサンプル&ホールド回路機能付きの A/D 変換器となります。

## 6. 使用上の注意

### 6.1 RX スマート・コンフィグレータ

A/D コンバータのコード作成において、RX ファミリでは RX スマート・コンフィグレータを用いる事ができます。RX スマート・コンフィグレータでは GUI 上で A/D コンバータの機能を選択、設定することで対応するドライバコードを自動生成することが可能です。RX ファミリへの移行においてはスマート・コンフィグレータの使用をおすすめします。

### 6.2 I/O レジスタマクロ

RX ファミリメンバ用の `iodefine.h` の新規マクロにより、周辺モジュールと関連する論理名で ICU コントロールレジスタ、モジュールストップレジスタ、DTC 許可レジスタ、割り込みベクタ番号を簡単に参照することができます。これらのマクロにより、CPU 間で異なる特定のレジスタおよびベクタ番号を共通の表記で表現できるため、RX ファミリメンバ間のプログラム移行にも役立ちます。詳細については、`iodefine.h` に含まれる文書を参照してください。

表 6.1 使用例(ベクタ番号 186 に S12ADI を指定している場合)

マクロ	使用例
<code>IR("module name", "bit name")</code>	<code>if ( IR(PERIB, INTB186) == 1)...</code>
<code>IEN("module name", "bit name")</code>	<code>IEN(PERIB, INTB186) = 1U;</code>
<code>IPR("module name", "bit name")</code>	<code>IPR(PERIB, INTB186) = 0xF;</code>
<code>MSTP("module name")</code>	<code>MSTP(S12AD) = 0U;</code>
<code>VECT("module name", "bit name")</code>	<code>#pragma interrupt r_Config_S12AD0_interrupt(vect=VECT(PERIB,INTB186))</code>

### 6.3 A/D 変換終了のポーリング

H8SX では、A/D コントロール/ステータスレジスタの ADF ビットが設定されるのを待つことで、A/D 変換の終了を監視しながら待つことができます。これにより、ソフトウェアは割り込みを使用しないで A/D 変換の終了をポーリングすることができます。

RX65N では、ADF ビットは削除されていますが、以下の方法でポーリングが可能です。

- ADCSR の ADIE ビットを設定することにより、A/D コンバータの A/D 割り込み許可を有効にします。これにより、割り込みコントローラ (ICU) の IR フラグが有効になります。
- ICU では、A/D 割り込みを有効にしないでください (IER レジスタの対応するビットをクリアしたままにします)。
- A/D 変換を開始する前に、ICU の該当する割り込み要求レジスタ (IRn) にゼロを書き込むことにより、ICU の割り込み要求フラグをクリアします。
- A/D 変換を開始します。
- A/D 変換が終了すると、割り込み要求が ICU に送信され、割り込み要求レジスタの IR ビットがセットされます。割り込みは発生しません。
- ソフトウェアは、IR ビットが 1 になり、A/D 変換が完了して結果が A/D データレジスタ (ADDRy) に格納されたことが示されるまで待つことができます。

これにより、A/D 変換終了割り込みを使用せずに A/D 変換の終了をポーリングすることができます。

## 6.4 H8SX/1668 と RX65N の A/D タイミングの相違点

A/D 変換速度は、以下の条件によって決定されます。

- 1 信号源インピーダンス
- 2 RX65N の場合は、A/D 変換クロック(ADCLK)速度設定、H8SX/1668 の場合は、周辺クロック (PCLK) 速度設定
- 3 ADC サブシステムの構成設定

H8SX/1668 から RX65N にアプリケーションを移植する場合、これらの各項目の影響を考慮しなければなりません。一般に、周辺クロック速度が上昇すると、変換時間が短くなります。変換時間が短くなると、信号源インピーダンスを下げる必要があります。

最大 35MHz の周辺クロックで動作する場合は、H8SX/1668 の変換時間は  $2.7\mu\text{s}$ /チャンネルとなります。RX65N では最大 ADCLK 周波数は 60MHz になります。周波数が上昇し、ADC の内部キャパシタンスが減少したため、RX65N の変換時間は  $0.45\mu\text{s}$ /チャンネルに向上しています (10 ビット変換モード時)。しかし、この改善により、外部信号処理回路は特定の設計基準に適合する必要があります。RX65N の変換速度  $0.45\mu\text{s}$ /チャンネルを実現するためには、入力信号源のインピーダンスは、 $1\text{k}\Omega$  以下でなければなりません。

表 6.2 RX65N と H8SX/1668 の信号源インピーダンス

名前	RX65N	H8SX/1668
最大周辺クロック	ADCLK : 60MHz	PCLK : 35MHz
最大変換速度	$0.48\mu\text{s}$ /チャンネル (12 ビット変換モード) $0.45\mu\text{s}$ /チャンネル (10 ビット変換モード) $0.42\mu\text{s}$ /チャンネル (8 ビット変換モード)	$2.7\mu\text{s}$ /チャンネル
最大信号源インピーダンス	$1.0\text{k}\Omega$	$5.0\text{k}\Omega$

アナログ入力を駆動する信号処理回路を変更する代替方法として、従来のハードウェアに影響がないようにソフトウェアを使用して RX65N の ADC タイミングを調整することができます。ADC タイミングは、周辺クロック (PCLK) ベース周波数を変更し、AD タイミング基準としてポストスケール PCLK を使用して、ADC サンプルを構成するタイミングステートの数を変更することにより、調整することができます。

ベース PCLK 周波数は、クロック発生回路のシステムクロックコントロールレジスタ (SCKCR) に設定されます。A/D サンプリグステートレジスタ n (ADSSTRn) は、AD サンプリグ時間の最終的な調整を行い、インピーダンスがより高い回路を内蔵するためにサンプリグ時間を長くするか、低速の PCLK 設定を考慮してサンプリグ時間を短くすることができます。

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2023.03.27	—	初版発行

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。