RX65N、H8SX/1668

8 ビットタイマ（TMR）移行ガイド：H8SX/1668⇒RX65N

要旨

本アプリケーションノートは、RX65N および H8SX/1668 デバイスの 8 ビットタイマ（TMR）モジュールの相違点について説明します。

動作確認デバイス

RX65N

H8SX/1668

目次

1.　特長 3

2.　一般的な注意事項 5

3.　参考資料 5
3.1　ハードウェアマニュアルの関連する章 6
3.2　関連するレジスタ 7

4.　ハードウェアの詳細 8

5.　レジスタの相違点の概要 8
5.1　タイマコントロールレジスタ（TCR）の変更点 8
5.2　タイマカウンタコントロールレジスタ（TCCR）の変更点 9
5.3　タイマコントロール/ステータスレジスタ（TCSR）の変更点 9

6.　レジスタの詳細 10
6.1　タイマカウンタレジスタ（TCNT） 10
6.1.1　RX65N 10
6.1.2　H8SX/1668 10
6.2　タイムコンスタントレジスタ A（TCORA） 11
6.2.1　RX65N 11
6.2.2　H8SX/1668 11
6.3　タイムコンスタントレジスタ B（TCORB） 12
6.3.1　RX65N 12
6.3.2　H8SX/1668 12
6.4　タイマコントロールレジスタ（TCR） 13
6.4.1　RX65N 13
6.4.2　H8SX/1668 14
6.5　タイマカウンタコントロールレジスタ（TCCR） 15
6.5.1　RX65N 15
6.5.2　H8SX/1668 16
6.6　タイマコントロール/ステータスレジスタ（TCSR） 19
6.6.1　RX65N 19
6.6.2　H8SX/1668 20
6.7　タイマカウンタスタートレジスタ（TCSTR） 21
6.7.1　RX65N 21

7.　使用上の注意 22
7.1　RX スマート・コンフィグレータ 22
7.2　タイマコンペアおよびオーバーフローのポーリング 22
7.3　H8SX/1668 と RX65N のタイミングの相違点 23
7.4　I/O レジスタマクロ 23

改訂記録 24

1.　特長

表 1.1 に RX65N および H8SX/1668 デバイスの TMR モジュール*(注)の特長を示します。相違点には網掛けをしています。

表 1.1　8 ビットタイマの特徴(1/2)

項目	仕様	
	RX65N	H8SX/1668
ユニット数	2	4
チャネル／ユニット	2	
チャネル数合計	4	8
クロックソース	ユニット 0 および 1: • 内部クロック： PCLK、PCLK/2、PCLK/8、CLK/32、PCLK/64、PCLK/1024、PCLK/8192 • 外部クロック：外部カウントクロック	ユニット 0 および 1: • 内部クロック： Pφ/2、Pφ/8、Pφ/32、Pφ/64、Pφ/1024、Pφ/8192 • 外部クロック：外部カウントクロック ユニット 2 および 3: • 内部クロックのみ： Pφ、Pφ/2、Pφ/8、Pφ/32、Pφ/64、Pφ/1024、Pφ/8192
コンペアマッチ	8 ビットモードおよび 16 ビットモード	
カウンタクリア	• ユニット 0 および 1： コンペアマッチ A、コンペアマッチ B、または外部リセット信号	• ユニット 0 および 1： コンペアマッチ A、コンペアマッチ B、または外部リセット信号 • ユニット 2 および 3： コンペアマッチ A、コンペアマッチ B
タイマ出力	任意のデューティ比のパルス出力、PWM 出力	
2 チャネルのカスケード接続	16 ビットカウントモード： TMR0 を上位、TMR1 を下位とする 16 ビットタイマ（16 ビット×2 チャンネルとして動作可能） コンペアマッチカウントモード： TMR1 は TMR0 のコンペアマッチをカウント（TMR3 は TMR2 のコンペアマッチをカウント）	16 ビットカウントモード： TMR_0 を上位、TMR_1 を下位とする 16 ビットタイマ（16 ビット×4 チャンネルとして動作可能） コンペアマッチカウントモード： TMR_1 は TMR_0 のコンペアマッチをカウント（TMR_3 は TMR_2 のコンペアマッチをカウント）
割り込み要因	• ユニット 0 および 1： コンペアマッチ A、コンペアマッチ B、オーバーフロー	• ユニット 0 および 1： コンペアマッチ A、コンペアマッチ B、オーバーフロー • ユニット 2 および 3： コンペアマッチ A、コンペアマッチ B
DTC 起動	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みにより起動可能	• ユニット 0 および 1： コンペアマッチ A 割り込み、コンペアマッチ B 割り込みにより起動可能（ユニット 0、1 のみ）

表 1.2　8 ビットタイマの特徴(2/2)

項目	仕様	
	RX65N	H8SX/1668
ADC 起動トリガ	TMR0、TMR2 のコンペアマッチ A	TMR_0、TMR_2、TMR_4、TMR_6 のコンペアマッチ A
SCI ボーレート生成	SCI5、SCI6、SCI12 のボーレートクロックを生成	SCI5、SCI6 のボーレートクロックを生成（ユニット 2、3 のみ）
イベントリンク機能(出力)	コンペアマッチ A、コンペアマッチ B、オーバーフロー(TMR0～3)	-
イベントリンク機能(入力)	イベント受付により、3 種類のうち 1 つの動作が可能 (1)　カウントスタート動作(TMR0～3) (2)　イベントカウンタ動作(TMR0～3) (3)　カウントリスタート動作(TMR0～3)	-
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	

- 注：H8SX/1668 のタイマユニット 2 および 3 は、RX65N にはありません。ただし、上位互換のタイマである TPU や MTU を保有しています。より多くのタイマ数が必要な場合は TPU や MTU をご使用ください。

2. 一般的な注意事項

- 周辺クロックは TMR のタイムベースです。RX65N コアは、高速化により最大 60MHz の周辺クロックで動作します。H8SX/1668 の最大周辺クロック周波数は 35MHz です。
- 周辺クロックのパフォーマンスの向上を活用するためには、アプリケーションのタイマ設定を修正する必要があります。その結果、最小および最大許容時間遅延が変わる場合があります。
- RX65N のクロックソース選択ビットとクロック選択ビットは、タイマカウンタコントロールレジスタ（TCCR）に含まれています。H8SX/1668 では、これらのビットは TCCR および TCR レジスタの間で分割されます。
- ローカル割り込みフラグビット CMFA、CMFB、および OVF は使用できなくなりました。同じ機能のフラグが ICU の選択型割り込み B 要求レジスタ（PIBR）にあります（「7.2　タイマコンペアおよびオーバーフローのポーリング」を参照してください）。

3. 参考資料

- RX65N ハードウェアマニュアル：
  R01UH0590JJ0230：RX65N グループ、RX651 グループユーザーズマニュアル　ハードウェア編
- RX65N ソフトウェアマニュアル：
  R01US0071JJ0100：RX ファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル　ソフトウェア編
- RX ファミリアプリケーションノート：
  R01AN2178JJ0110：RX ファミリ 例外ベクタテーブルと選択型割り込みの使い方

(最新版をルネサス エレクトロニクスホームページから入手してください。)

3.1　ハードウェアマニュアルの関連する章

- I/O レジスタ
  すべてのレジスタの一覧を示します。
- クロック発生回路
  TMR で使用される周辺クロックのセットアップ方法の詳細
- 消費電流低減機能
  モジュールストップコントロールレジスタの詳細
- 割り込みコントローラ（ICU）
  TMR から割り込みコントローラへの割り込みの許可について
- I/O ポート
  TMR 関連のポート設定の詳細
- マルチファンクションピンコントローラ（MPC）
  TMR 関連のポート割り付けについて
- 8 ビットタイマレジスタ（TMR）
  TMR 固有のレジスタと動作モードの詳細
- イベントリンクコントローラ（ELC）
  TMR 関連のイベントリンクオプションの詳細

基本的なタイミング機能以外に、TMR は SCI 用のボーレート生成および A/D コンバータのクロックサンプリングのために使用することができます。これらの機能を使用する場合にはさらに以下の章を参照してください。

- シリアル通信インタフェース（SCI）
  ボーレート生成のための TMR の使用方法の詳細
- 12 ビット A/D コンバータ
  コンバータのトリガを調整するための TMR の使用方法の詳細

3.2　関連するレジスタ

RX65N の 8 ビットタイマ(TMR)の動作に関連するレジスタを以下に示します。

表 3.1　TMR 動作と関連するレジスタ

名前	説明	ハードウェアマニュアルの章
SYSTEM.SCKCR	システムクロックコントロールレジスタ	クロック発生回路
SYSTEM.MSTPCRA	モジュールストップコントロールレジスタ A	消費電力低減機能
ICU.IRn	割り込み要求レジスタ	割り込みコントローラ
ICU.IERm	割り込み要求許可レジスタ	
ICU.IPRr	割り込み要因プライオリティレジスタ	
ICU.PIBRx	選択型割り込み B 要求レジスタ	
ICU.SLIBXRn	選択型割り込み B 要因選択レジスタ Xn	
ICU.SLIBRn	選択型割り込み B 要因選択レジスタ n	
ICU.SLIPRCR	選択型割り込み要因選択レジスタ書き込み保護レジスタ	
PORTx.PDR	ポート方向レジスタ	I/O ポート
PORTx.PMR	ポートモードレジスタ	
ELC.ELSRn	イベントリンク設定レジスタ n	イベントリンクコントローラ
ELC.ELOPD	イベントリンクオプション設定レジスタ D	
MPC.PWPR	書き込みプロテクトレジスタ	マルチファンクションピンコントローラ
MPC.P0nPFS	P0n 端子機能制御レジスタ	
MPC.P1nPFS	P1n 端子機能制御レジスタ	
MPC.P2nPFS	P2n 端子機能制御レジスタ	
MPC.P3nPFS	P3n 端子機能制御レジスタ	
MPC.P5nPFS	P5n 端子機能制御レジスタ	
MPC.PAnPFS	PAn 端子機能制御レジスタ	
MPC.PBnPFS	PBn 端子機能制御レジスタ	
MPC.PCnPFS	PCn 端子機能制御レジスタ	
TMRn.TCNT	タイマカウンタ	8 ビットタイマ
TMRn.TCORA	タイムコンスタントレジスタ A	
TMRn.TCORB	タイムコンスタントレジスタ B	
TMRn.TCR	タイマコントロールレジスタ	
TMRn.TCCR	タイマカウンタコントロールレジスタ	
TMRn.TCSR	タイマコントロール/ステータスレジスタ	
TMRn.TCSTR	タイマカウンタスタートレジスタ	

4.　ハードウェアの詳細

H8SX/1668 の一部のタイマチャネルは、RX65N では削除されています。

表 4.1　タイマチャネル

ユニット	チャネル	タイマチャネルの有無	
		RX65N	H8SX/1668
0	TMR0	あり	あり
	TMR1	あり	あり
1	TMR2	あり	あり
	TMR3	あり	あり
2	TMR4	なし	あり
	TMR5	なし	あり
3	TMR6	なし	あり
	TMR7	なし	あり

5.　レジスタの相違点の概要

表 5.1 に RX65N および H8SX/1668 デバイスの 8 ビットタイマのレジスタを示します。各タイマチャネルに対して 6 本のレジスタセットがあります。RX65N で変更されたレジスタは網掛をしています。各レジスタの詳細については、以下のセクションで説明します。

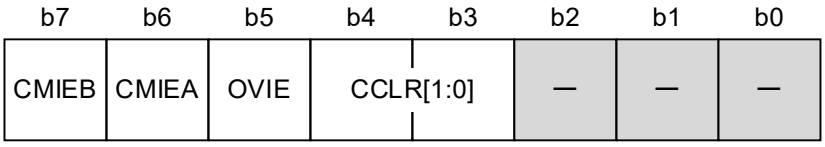
表 5.1　TMR レジスタ

レジスタ名	記号
タイマカウンタ	TCNT
タイムコンスタントレジスタ A	TCORA
タイムコンスタントレジスタ B	TCORB
タイマコントロールレジスタ	TCR
タイマカウンタコントロールレジスタ	TCCR
タイマコントロール/ステータスレジスタ	TCSR
新規：タイマカウンタスタートレジスタ	TCSTR

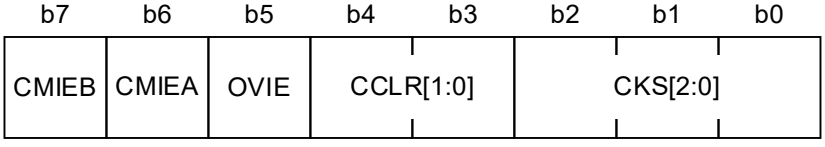
5.1　タイマコントロールレジスタ（TCR）の変更点

RX65N では、クロック選択ビット CKS[2:0]は、TCCR レジスタに移動しました。

- TCR（RX65N）



- TCR（H8SX/1668）



5.2　タイマカウンタコントロールレジスタ（TCCR）の変更点

ビット TMRIS は b7 に移動しました。

ICKS（内部クロック選択）フィールドは CCS（クロックソース選択）に名称が変更されました。

- TCCR（RX65N）

b7	b6	b5	b4	b3	b2	b1	b0
TMRIS	—	—	CSS[1:0]		CKS[2:0]		

- TCCR（H8SX/1668）

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	TMRIS	—	ICKS[1:0]	

5.3　タイマコントロール/ステータスレジスタ（TCSR）の変更点

コンペア A（CMFA）、コンペア B（CMFB）、およびタイマオーバーフローフラグ（OVF）は削除されました。これらのビットと同等なものは、ICU の RX65N の選択型割り込み B 要求レジスタ（PIBR）にあります。詳細については、「7.2　タイマコンペアおよびオーバーフローのポーリング」を参照してください。

OS[3:0]フィールドは OSB[1:0]および OSA[1:0]フィールドに分割されました。機能は変更ありません。

- TCSR（RX65N）

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	ADTE	OSB[1:0]		OSA[1:0]	

- TCSR（H8SX/1668）

b7	b6	b5	b4	b3	b2	b1	b0
CMFB	CMFA	OVF	ADTE	OS[3:0]			

6.　レジスタの詳細

6.1　タイマカウンタレジスタ（TCNT）

TCNT は、8 ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT と TMR1.TCNT（TMR2.TCNT と TMR3.TCNT）を 16 ビットカウンタとしてワードアクセスすることも可能です。

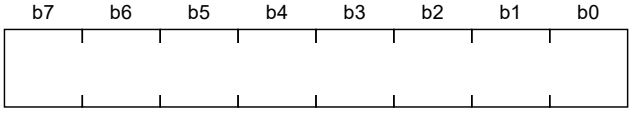
- RX65N
  TCCR.CSS[1:0]および CKS[2:0]ビットでクロックを選択します。
- H8SX/1668
  TCR.CKS[2:0]および TCCR.ICKS[1:0]ビットでクロックを選択します。

TCNT は、外部リセット入力信号、コンペアマッチ A 信号またはコンペアマッチ B 信号によってクリアすることができます。カウンタをクリアするために使用する信号は、TCR.CCLR[1:0]ビットによって選択されます。

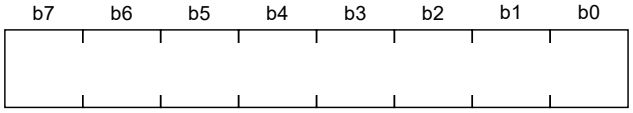
- RX65N
  TCR.OVIE がセットされていれば、FFh から 00h への TCNT のオーバーフローにより、割り込みコントローラ（ICU）に割り込みフラグがセットされます。
- H8SX/1668
  FFh から 00h への TCNT のオーバーフローにより、TCSR の OVF ビットがセットされます。

6.1.1　RX65N

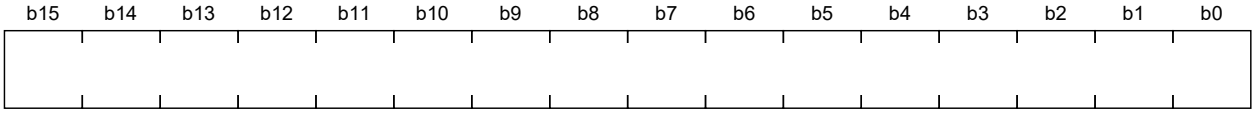
TMR0 TMR2.TCNT
（8ビットアクセス）



TMR1 TMR3.TCNT
（8ビットアクセス）

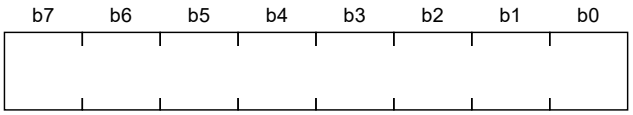


TMR01 TMR23.TCNT
（16ビットアクセス）

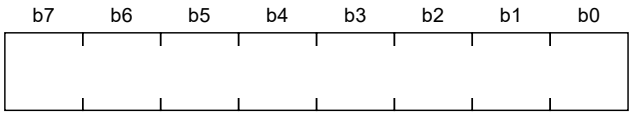


6.1.2　H8SX/1668

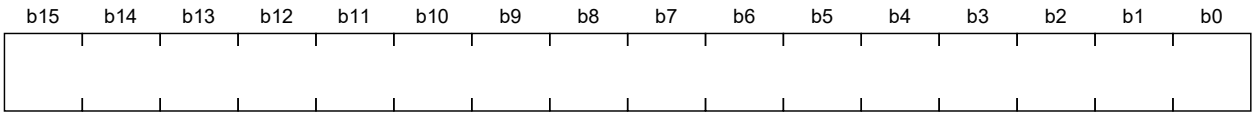
TMR_0 TMR_2 TMR_4 TMR_6.TCNT
（8ビットアクセス）



TMR_1 TMR_3 TMR_5 TMR_7.TCNT
（8ビットアクセス）



TMR_0 TMR_2 TMR_4 TMR_6.TCNT
（16ビットアクセス）



6.2　タイムコンスタントレジスタ A（TCORA）

TCORA は、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORA レジスタと TMR1.TCORA レジスタ（TMR2.TCORA レジスタと TMR3.TCORA レジスタ）を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタの値と常に比較されています。

一致が検出されると、対応するコンペアマッチ A 信号が 1 にセットされます。ただし、TCORA レジスタへの書き込み中には、比較は行いません。また、このコンペアマッチ A 信号と TCSR レジスタの設定によって、TMOn 端子からのタイマ出力を制御することができます。

- RX65N

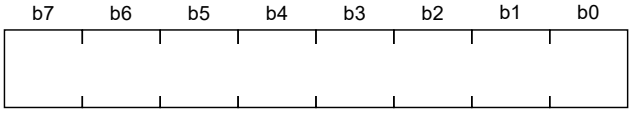
コンペアマッチの状態は各タイマの ICU.PIBRx レジスタに格納されます（このためには TCR.CMIEA を設定する必要があります。「7.2　タイマコンペアおよびオーバーフローのポーリング」を参照してください）。

- H8SX/1668

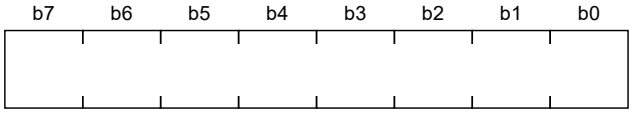
コンペアマッチの状態は TCSR.CMFA に格納されます。

6.2.1　RX65N

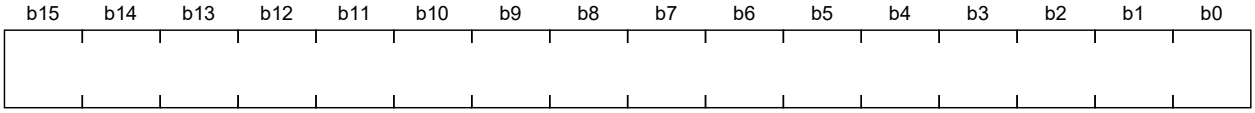
TMR0 TMR2.TCORA
（8ビットアクセス）



TMR1 TMR3.TCORA
（8ビットアクセス）

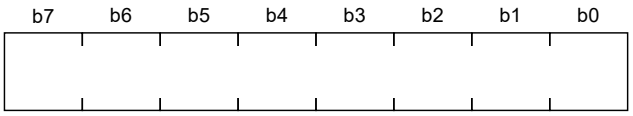


TMR01 TMR23.TCORA
（16ビットアクセス）

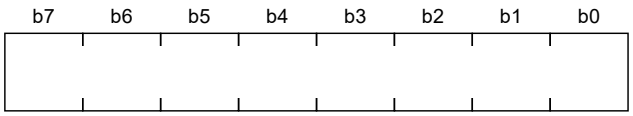


6.2.2　H8SX/1668

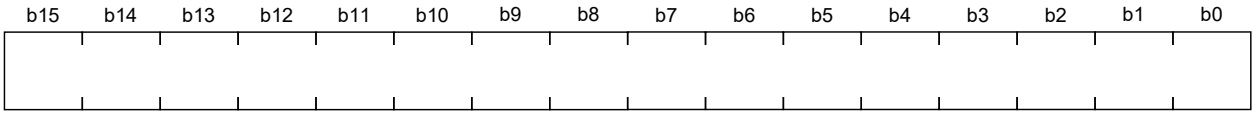
TMR_0 TMR_2 TMR_4 TMR_6.TCORA
（8ビットアクセス）



TMR_1 TMR_3 TMR_5 TMR_7.TCORA
（8ビットアクセス）



TMR_0 TMR_2 TMR_4 TMR_6.TCORA
（16ビットアクセス）



6.3　タイムコンスタントレジスタ B（TCORB）

TCORB は、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ（TMR2.TCORB レジスタと TMR3.TCORB レジスタ）を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタの値と常に比較されています。

一致が検出されると、対応するコンペアマッチ B 信号が 1 にセットされます。ただし、TCORB レジスタへの書き込み中には、比較は行いません。また、このコンペアマッチ B 信号と TCSR レジスタの設定によって、TMOn 端子からのタイマ出力を制御することができます。

- RX65N

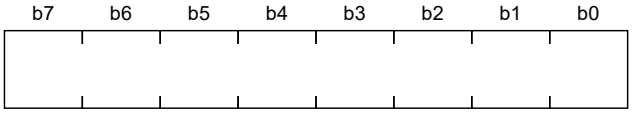
コンペアマッチの状態は各タイマの ICU.PIBRx レジスタに格納されます（このためには TCR.CMIEB を設定する必要があります。「7.2　タイマコンペアおよびオーバーフローのポーリング」を参照してください）。

- H8SX/1668

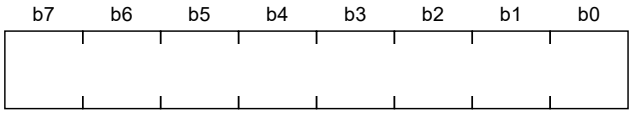
コンペアマッチの状態は TCSR.CMFB に格納されます。

6.3.1　RX65N

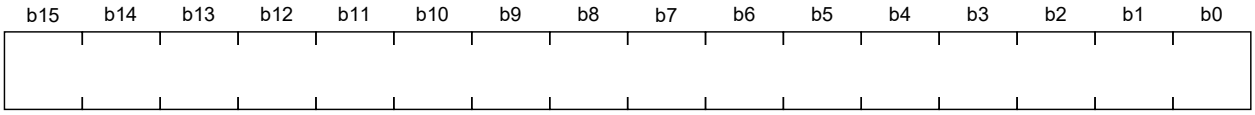
TMR_0 TMR_2.TCORB
（8ビットアクセス）



TMR_1 TMR_3.TCORB
（8ビットアクセス）

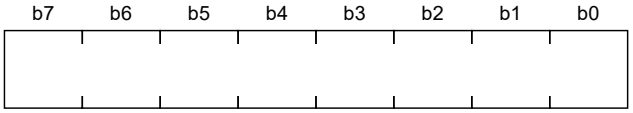


TMR_01 TMR_23.TCORB
（16ビットアクセス）

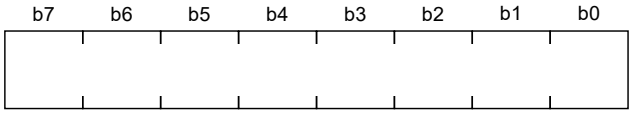


6.3.2　H8SX/1668

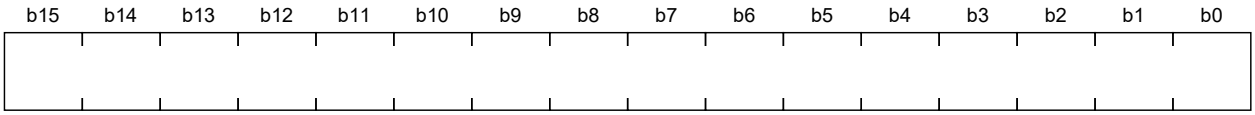
TMR_0 TMR_2 TMR_4 TMR_6.TCORB
（8ビットアクセス）



TMR_1 TMR_3 TMR_5 TMR_7.TCORB
（8ビットアクセス）



TMR_0 TMR_2 TMR_4 TMR_6.TCORB
（16ビットアクセス）



6.4　タイマコントロールレジスタ（TCR）

6.4.1　RX65N

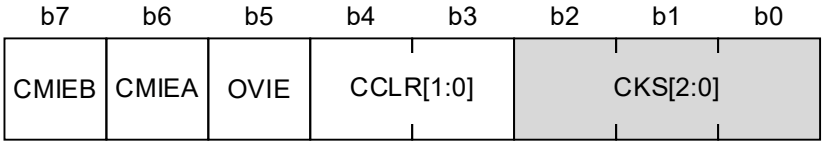
TMR0 TMR1 TMR2 TMR3.TCR

b7	b6	b5	b4	b3	b2	b1	b0
CMIEB	CMIEA	OVIE	CCLR[1:0]		—	—	—

ビット	説明
7	CMIEB：コンペアマッチ割り込み許可 B ビット 0：コンペアマッチ B による割り込み要求(CMIBn)を禁止 1：コンペアマッチ B による割り込み要求(CMIBn)を許可
6	CMIEA：コンペアマッチ割り込み許可 A 0：コンペアマッチ A による割り込み要求(CMIAn)を禁止 1：コンペアマッチ A による割り込み要求(CMIAn)を許可
5	OVIE：タイマオーバフロー割り込み許可ビット 0：オーバフローによる割り込み要求(OVIn)を禁止 1：オーバフローによる割り込み要求(OVIn)を許可
[4:3]	CCLR[1:0]：カウンタクリアビット [1:0] 0 0：クリアを禁止 0 1：コンペアマッチ A によりクリア 1 0：コンペアマッチ B によりクリア 1 1：外部カウンタリセット信号によりクリア (TCCR.TMRIS ビットでエッジまたはレベルを選択)
[2:0]	予約ビット：読むと“0”が読めます。書く場合、“0”としてください

6.4.2　H8SX/1668

TMR_0 TMR_1 TMR_2 TMR_3
TMR_4 TMR_5 TMR_6 TMR_7.TCR

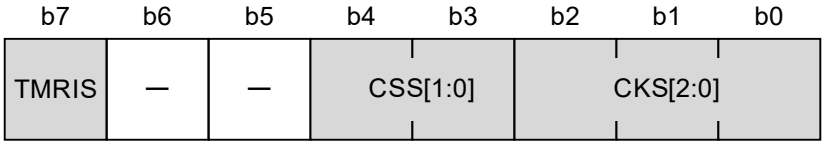


ビット	説明
7	CMIEB：コンペアマッチインタラプトイネーブル B 0：CMFB による割り込み要求（CMIB）を禁止 1：CMFB による割り込み要求（CMIB）を許可
6	CMIEA：コンペアマッチインタラプトイネーブル A 0：CMFA による割り込み要求（CMIA）を禁止 1：CMFA による割り込み要求（CMIA）を許可
5	OVIE：タイマオーバフローインタラプトイネーブル 0：OVF による割り込み要求（OVI）を禁止 1：OVF による割り込み要求（OVI）を許可
[4:3]	CCLR[1:0]：カウンタクリア 1、0 [1:0] 0 0：クリアを禁止 0 1：コンペアマッチ A によりクリア 1 0：コンペアマッチ B によりクリア 1 1：外部リセット入力の立ち上がりエッジ（TCCR の TMRIS=0）、 　　または、ハイレベル（TCCR の TMRIS=1）によりクリア
[2:0]	CKS[2:0]：クロックセレクト 2～0 TCNT に入力するクロックとカウント条件を選択します。表 6.3 を参照してください。

6.5　タイマカウンタコントロールレジスタ（TCCR）

6.5.1　RX65N

TMR0 TMR1 TMR2 TMR3.TCCR



ビット	説明
7	TMRIS：タイマリセット検出条件選択ビット 0：外部カウンタリセット信号の立ち上がりでクリア 1：外部カウンタリセット信号の High でクリア
[6:5]	予約ビット：読むと“0”が読めます。書く場合、“0”としてください
[4:0]	CSS[1:0]：クロックソース選択ビット CKS[2:0]：クロック選択ビット 表 6.1 を参照してください。

表 6.1　TCNT カウンタに入力するクロックとカウント条件(1/2)

チャネル	TCCR レジスタ					説明
	CSS[1:0]		CKS[2:0]			
	B4	B3	B2	B1	B0	
TMR0 (TMR2)	0	0	-	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント*1
				1	0	外部カウントクロックの立ち下がりエッジでカウント*1
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント*1
	0	1	0	0	0	内部クロック：PCLK でカウント
					1	内部クロック：PCLK/2 でカウント
				1	0	内部クロック：PCLK/8 でカウント
					1	内部クロック：PCLK/32 でカウント
			1	0	0	内部クロック：PCLK/64 でカウント
					1	内部クロック：PCLK/1024 でカウント
				1	0	内部クロック：PCLK/8192 でカウント
					1	クロック入力を禁止
	1	0	-	-	-	設定しないでください
	1	1	-	-	-	TMR1.TCNT(TMR3.TCNT)のオーバフロー信号でカウント*2

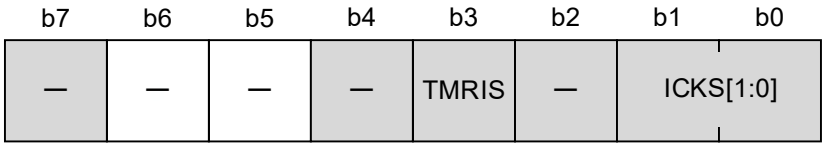
表 6.2　TCNT カウンタに入力するクロックとカウント条件(2/2)

チャネル	TCCR レジスタ					説明
	CSS[1:0]		CKS[2:0]			
	B4	B3	B2	B1	B0	
TMR1 (TMR3)	0	0	-	0	0	クロック入力を禁止
					1	外部カウントクロックの立ち上がりエッジでカウント*1
				1	0	外部カウントクロックの立ち下がりエッジでカウント*1
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント*1
	0	1	0	0	0	内部クロック：PCLK でカウント
					1	内部クロック：PCLK/2 でカウント
				1	0	内部クロック：PCLK/8 でカウント
					1	内部クロック：PCLK/32 でカウント
			1	0	0	内部クロック：PCLK/64 でカウント
					1	内部クロック：PCLK/1024 でカウント
				1	0	内部クロック：PCLK/8192 でカウント
					1	クロック入力を禁止
	1	0	-	-	-	設定しないでください
	1	1	-	-	-	TMR0.TCNT(TMR2.TCNT)のコンペアマッチ A でカウント*2

【注】 1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編」の「22. I/O ポート」、および「23. マルチファンクションピンコントローラ(MPC)」を参照してください。
2. TMR0 および TMR1（TMR2 および TMR3）の CSS[1:0]は両方を同時に「11」に設定することはできません。

6.5.2　H8SX/1668

TMR_0 TMR_1 TMR_2 TMR_3
TMR_4 TMR_5 TMR_6 TMR_7.TCCR



ビット	説明
[7:4]	予約ビット
3	TMRIS：タイマリセット入力セレクト 0：外部リセットの立ち上がりでクリア 1：外部リセットのハイレベルでクリア
2	予約ビット
[1:0]	ICKS[1:0]：インターナルクロックセレクト 1、0 ICKS1、0 は、TCR の CKS2～0 ビットとともに、内部クロックを選択します。表 6.3 を参照してください。

表 6.3　TCNT への H8SX/1668 クロック入力およびカウント条件（ユニット 0、ユニット 1）

チャネル	TCR			TCCR		説明
	CKS[2:0]			ICKS[1:0]		
	B2	B1	B0	B1	B0	
TMR_0（TMR_2）	0	0	0	-	-	クロック入力を禁止
	0	0	1	0	0	内部クロック：Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック：Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック：Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/1024 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT_1(TCNT_3)のオーバフロー信号でカウント*1
TMR_1（TMR_3）	0	0	0	-	-	クロック入力を禁止
	0	0	1	0	0	内部クロック：Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック：Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック：Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/1024 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT_0(TCNT_2)のコンペアマッチ A でカウント*1
All	1	0	1	-	-	外部クロックの立ち上がりエッジでカウント*2
	1	1	0	-	-	外部クロックの立ち下がりエッジでカウント*2
	1	1	1	-	-	外部クロックの立ち上がり／立ち下がり両エッジでカウント*

【注】 1. チャネル 0（チャネル 2）のクロック入力を TCNT_1（TCNT_3）オーバーフロー信号とし、チャネル 1（チャネル 3）のクロック入力を TCNT_0（TCNT_2）コンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

2. 外部クロックを使用する場合は、該当する端子の DDR レジスタのビットを 0 に、ICR レジスタのビットを 1 にしてください。詳細はデータシートの「I/O ポート」のセクションを参照してください。

表 6-2　TCNT への H8SX/1668 クロック入力およびカウント条件（ユニット 2、ユニット 3）

チャネル	TCR			TCCR		説明
	CKS[2:0]			ICKS[1:0]		
	B2	B1	B0	B1	B0	
TMR_4（TMR_6）	0	0	0	-	-	クロック入力禁止
	0	0	1	0	0	内部クロック：Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック：Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック：Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/1024 立ち下がりエッジでカウント
	1	0	0	-	-	TMR_5（TMR_7）のオーバーフローでカウント*1
TMR_5（TMR_7）	0	0	0	-	-	クロック入力禁止
	0	0	1	0	0	内部クロック：Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック：Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック：Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック：Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック：Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック：Pφ/1024 立ち下がりエッジでカウント
	1	0	0	-	-	TMR_4（TMR_6）のコンペアマッチ A でカウント*1
All	1	0	1	-	-	設定禁止
	1	1	0	-	-	設定禁止
	1	1	1	-	-	設定禁止

【注】　1. チャネル 4（チャネル 6）のクロック入力を TCNT_5（TCNT7）オーバーフロー信号とし、チャネル 5（チャネル 7）のクロック入力を TCNT_4（TCNT_6）コンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

6.6　タイマコントロール/ステータスレジスタ（TCSR）

6.6.1　RX65N

TMR0 TMR2.TCSR

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	ADTE	OSB[1:0]		OSA[1:0]	

TMR1 TMR3.TCSR

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	OSB[1:0]		OSA[1:0]	

ビット	説明
[7:5]	予約ビット：読んだ場合、その値は不定。書く場合、1 としてください
4	• TMR0,TMR2 ADTE：A/D トリガ許可ビット 0：コンペアマッチ A による A/D 変換開始要求を禁止 1：コンペアマッチ A による A/D 変換開始要求を許可 • TMR1,TMR3 予約ビット：読むと“1”が読めます。書く場合、“1”としてください
[3:2]	OSB[1:0]：アウトプット選択ビット B [1:0] 0 0：変化しない 0 1：Low 出力 1 0：High 出力 1 1：反転出力(トグル出力)
[1:0]	OSA[1:0]：アウトプット選択ビット A [1:0] 0 0：変化しない 0 1：Low 出力 1 0：High 出力 1 1：反転出力(トグル出力)

6.6.2　H8SX/1668

TMR_0 TMR_2 TMR_4 TMR_6.TCSR

b7	b6	b5	b4	b3	b2	b1	b0
CMFB	CMFA	OVF	ADTE	OS[1:0]		OS[1:0]	

TMR_1 TMR_3 TMR_5 TMR_7.TCSR

b7	b6	b5	b4	b3	b2	b1	b0
CMFB	CMFA	OVF	—	OS[1:0]		OS[1:0]	

ビット	説明
7	CMFB：コンペアマッチフラグ B *1 ［セット条件］ TCNT の値と TCORB の値が一致したとき ［クリア条件］ • CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき （割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。） • CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき*3
6	CMFA：コンペアマッチフラグ A *1 ［セット条件］ TCNT の値と TCORA の値が一致したとき ［クリア条件］ • CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき （割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。） • CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき*3
5	OVF：タイマオーバーフローフラグ *1 タイマオーバフローフラグ ［セット条件］ TCNT の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき （割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。）
4	• TMR_0,TMR_2,TMR_4,TMR_6 ADTE：A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0：コンペアマッチ A による A/D 変換開始要求を禁止 1：コンペアマッチ A による A/D 変換開始要求を許可 • TMR_1,TMR_3,TMR_5,TMR_7 予約ビット：リードすると常に 1 が読み出されます。ライトは無効です。

ビット	説明
[3:2]	OS[1:0]：アウトプットセレクト 3、2 *2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 [1:0] 0 0：変化しない 0 1：0 出力 1 0：1 出力 1 1：反転出力（トグル出力）
[1:0]	OS[1:0]：アウトプットセレクト 1、0 *2 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 [1:0] 0 0：変化しない 0 1：0 出力 1 0：1 出力 1 1：反転出力（トグル出力）

【注】 1. フラグをクリアするための 0 ライトのみ可能です。
2. OS3～OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

6.7 タイマカウンタスタートレジスタ（TCSTR）

6.7.1 RX65N

TMR0 TMR1 TMR2 TMR3.TCSTR

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	TCS

ビット	説明
[7:1]	予約ビット：読んだ場合、その値は不定。書く場合、0 としてください
0	TCS：タイマカウンタステータスビット 0：ELC によるカウント停止状態 1：ELC によるカウント開始状態

7. 使用上の注意

7.1 RX スマート・コンフィグレータ

TMR のコード作成において、RX ファミリでは RX スマート・コンフィグレータを用いる事ができます。RX スマート・コンフィグレータでは GUI 上で TMR の機能を選択、設定することで対応するドライバコードを自動生成することが可能です。RX ファミリへの移行においてはスマート・コンフィグレータの使用をおすすめします。

7.2 タイマコンペアおよびオーバーフローのポーリング

H8SX では、タイマコントロールステータスレジスタ（TCSR）の CMFB、CMFA、および OVF ビットがセットされるまで待つことで、タイマイベントを監視しながら、待機することができます。

RX65N では、これらのビットは削除されていますが、選択型割り込み B[*1] を使用してポーリングモードが使用可能です。

まずは、以下の手順で割り込み設定を行います。

- 設定する選択型割り込みの IERm.IENj ビット（選択型割り込み B の場合：m=10h~19h、j=0~7）を"0"にして、割り込み要求を禁止します。（リセット後の値から変更していなければ不要）
- SLIBXRn レジスタ（n=128~143）または SLIBRn レジスタ（n=144~207）に割り込み要因番号を設定します。選択型割り込み B に分類された割り込み要因の要因番号は、RX65N ハードウェアマニュアルの「表 15.3 選択型割り込み B 要員一覧」を参照してください。
- 選択型割り込みによって EXDMAC を起動する場合は、SELEXDR レジスタの各ビットに値を設定します。
- SLIPRCR.WPRC ビットを"1"にして、SLIBXRn または SLIBRn の書き込みを禁止します。
- 割り込み要求先（CPU、DTC、DMAC）を選択します。設定手順は、「RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編」の「15.7.3.1 割り込み要求先の設定手順」を参照してください。
- IRn.IR フラグ（選択型割り込み B の場合：n=128~207）を"0"にします。
- IERm.IENj ビットを"1"にして、割り込み要求を許可します。

以下の手順で、PIBKk レジスタの PIRj フラグを参照して割り込み要求のポーリングを行います。

- ポーリング対象の PIBRk レジスタの PIRj フラグに"1"を書いて[*2] フラグをクリアします。
- TCR の CMIEB、CMIEA、OVIE ビットをセットすることにより、タイマのコンペアまたはオーバーフロー割り込みを許可します。
- 適宜、PIBRk レジスタの PIRj フラグを読み出し、値を確認します。
- PIBRk レジスタの PIRj フラグをクリアする場合は、対象となるフラグに"1"を書きます。[*2]
- 以降必要に応じて、PIRj フラグの読み出しとクリアを繰り返します。

【注】 1. 選択型割り込みとは、割り込みベクタ番号 128~255 に複数の周辺モジュールの割り込み要因から任意の 1 つを選択して割り当てることができる機能です。また、それらは周辺モジュールの動作クロックにより、選択型割り込み B と選択型割り込み A に分類されています。TMR のコンペアマッチやオーバーフローは、選択型割り込み B に分類されています。

2. ビット操作命令は使用しないでください。ビット操作命令を使用すると複数のステータスフラグをクリアしてしまう可能性があります。フラグをクリアする場合は、対象のフラグを”1”、その他のフラグを”0”にしてバイト単位で書いてください。

7.3　H8SX/1668 と RX65N のタイミングの相違点

RX65N は H8SX/1668 よりも高い周辺クロック周波数で動作することができます。周辺クロック（PCLK）は TMR サブシステムを駆動します。PCLK 周波数を変更すると、以下の 1 つまたは複数の項目を変更する必要があります。

- TCSR のクロックソース選択ビット
- タイマコンスタントレジスタ（TCORA、TCORB）
- ある頻度でタイマ割り込みが発生することを目的とする割り込みハンドラ

7.4　I/O レジスタマクロ

RX ファミリのメンバ用の iodefine.h 内の新しいマクロにより、周辺モジュールと関連する論理名で ICU 制御レジスタ、モジュールストップレジスタ、DTC 許可レジスタ、割り込みベクタ番号を簡単に参照することができます。これらのマクロにより、特定のレジスタおよびベクタ番号を隠すことで RX ファミリメンバ間の移行が実現されます。詳細については、iodefine.h に含まれる文書を参照してください。

表 7.1　使用例(ベクタ番号 146 に CMIA を指定している場合)

マクロ	使用例
IR(“module name”, “bit name”)	if (IR(PERIB, INTB146) == 1)
IEN(“module name”, “bit name”)	IEN(PERIB, INTB146) = 1;
IPR(“module name”, “bit name”)	IPR(PERIB, INTB146) = 0x02;
MSTP(“module name”)	MSTP(TMR0) = 0;
VECT(“module name”, “bit name”)	#pragma interrupt r_Config_TMR0_cmia0_interrupt vect=VECT(PERIB,INTB146))

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2023.03.27	—	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2023 Renesas Electronics Corporation. All rights reserved.