

RL78/F23、F24

硬件设计指南

要点

本篇应用说明旨在提供 RL78/F23、RL78/F24 的相关硬件信息与使用建议。使用时应同时参考对应产品的硬件手册（含电气特性）。

目录

1	典型电路原理图	2
1.1	电源电路	4
1.1.1	电源引脚	4
1.1.2	电源时序	4
1.2	REGC 引脚	6
1.3	RESET 引脚	6
1.4	振荡电路	6
1.4.1	时钟输入输出引脚	6
1.4.2	主系统时钟	7
1.4.3	子系统时钟	8
1.4.4	振荡电路的注意事项	8
1.5	I/O 端口的注意事项	11
1.5.1	I/O 端口的输出特性	11
1.5.2	I/O 端口的输出特性	12
1.5.3	外设 I/O 重定向功能	13
1.5.4	注入电流输入	14
1.6	使用 A/D 转换器时的注意事项	14
1.6.1	模拟输入	14
1.6.2	基板设计时的注意事项	15
1.6.3	噪声对策	15
1.6.4	内部等效电路	17
1.7	片上调试电路	18
	相关资料	19
	更新履历	20

1 典型电路原理图

图 1 为 RL78/F23、RL78/F24 的典型电路原理图。表 1 为图 1 中所需的最简外部元件清单。

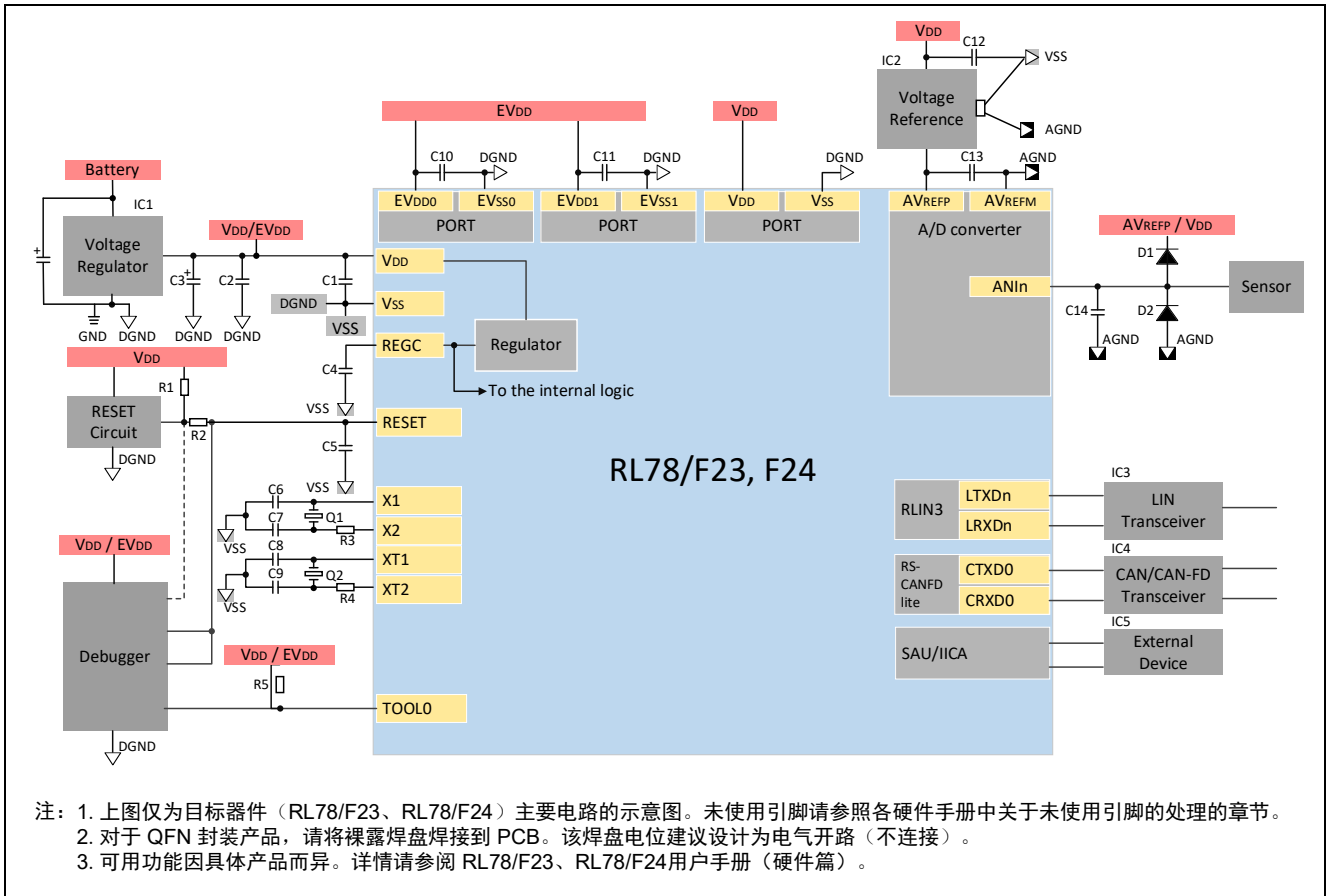


图 1. RL78/F23、RL78/F24 的电路图

表 1. 最简外部元件清单

类别	组件	值 (典型值)	目的	备注	补充
电源	IC1	无推荐 IC	V _{DD} 供电电源	取决于用户系统。	1.1
	C1	0.1μF	旁路电容	参考值。连接为短路并且尽可能与 V _{DD} 和 V _{SS} 引脚等距。	
	C2、C3	无推荐值	稳定输出电压调节器的电压	遵循电压调节器 IC 的数据表。	
	C4	0.47μF~1.0μF	稳定内部调节器输出电压	尽可能短地连接 REGC 和 V _{SS} 引脚。	1.2
	C10	0.1μF	旁路电容	参考值。连接尽可能短且距离 EV _{DD0} 和 EV _{SS0} 引脚等距。	-
	C11	0.1μF	旁路电容	参考值。连接尽可能短且距离 EV _{DD1} 和 EV _{SS1} 引脚等距。	
复位	R1	1.0 kΩ	上拉电阻	取决于外部复位电路。	1.3
	C5	0.1μF	电容	参考值。尽可能短地连接复位和 V _{SS} 引脚。	
振荡器电路 (主系统时钟)	Q1	2.0 MHz~20.0 MHz	为主系统时钟生成时钟信号源	请客户咨询谐振器制造商，以选择合适的谐振器并确定合适的振荡常数。将 C6 和 C7 的 GND 侧尽可能短地连接到 V _{SS} 引脚。	1.4.2
	C6、C7	无推荐值			1.4.4
	R3	无推荐值			
振荡器电路 (子系统时钟)	Q2	32.768 kHz	为子系统时钟生成时钟信号源	请客户咨询谐振器制造商，以选择合适的谐振器并确定合适的振荡常数。将 C8 和 C9 的 GND 侧尽可能短地连接到 V _{SS} 引脚。	1.4.3
	C8、C9	无推荐值			1.4.4
	R4	无推荐值			
A/D 转换器	IC2	无推荐 IC	电压基准	取决于用户系统。	1.6
	C12	无推荐值	旁路电容	取决于外部基准电压 IC。	
	C13	0.1μF	旁路电容	尽可能短地连接 AVREFP 和 AVREFM 引脚。	
	D1、D2	V _F ≤ 0.3 V	噪音防护	取决于用户系统。	
	C14	100pF~0.1μF	稳定采样操作	取决于用户系统。尽可能短地连接 ANIn 和 V _{SS} 引脚。	
调试	R2	10 kΩ	限制复位电路与调试器之间的电流	取决于外部复位电路。	1.7
	R5	10 kΩ	上拉电阻	当启用片上调试时，请确保从外部上拉该引脚（禁止下拉）。	
LIN	IC3	无推荐 IC	LIN 收发器	取决于用户系统。	-
CAN/ CAN-FD	IC4	无推荐 IC	CAN/CAN-FD 收发器	取决于用户系统。	-
SAU/IICA	IC5	无推荐 IC	控制外部设备	取决于用户系统。	-

注意：引脚和外设功能因产品而异。有关详细信息，请参阅所用产品的硬件手册。

1.1 电源电路

1.1.1 电源引脚

电源引脚应通过旁路电容连接到 GND。旁路电容建议使用频率特性良好的电容（例如陶瓷电容）。此外，请尽可能使电源引脚（正端）、旁路电容以及成对电源引脚（负端）的布线最短且等距。旁路电容应始终连接在成对的电源引脚之间，例如： V_{DD} 与 V_{SS} 、 EV_{DD0}/EV_{DD1} 与 EV_{SS0}/EV_{SS1} 、 AV_{REFP} 与 AV_{REFM} 。电源引脚走线应比其他信号线更粗。并且请按图 1 所示设计为 $V_{DD} = EV_{DD0}/EV_{DD1}$ 、 $V_{SS} = EV_{SS0}/EV_{SS1}$ 。

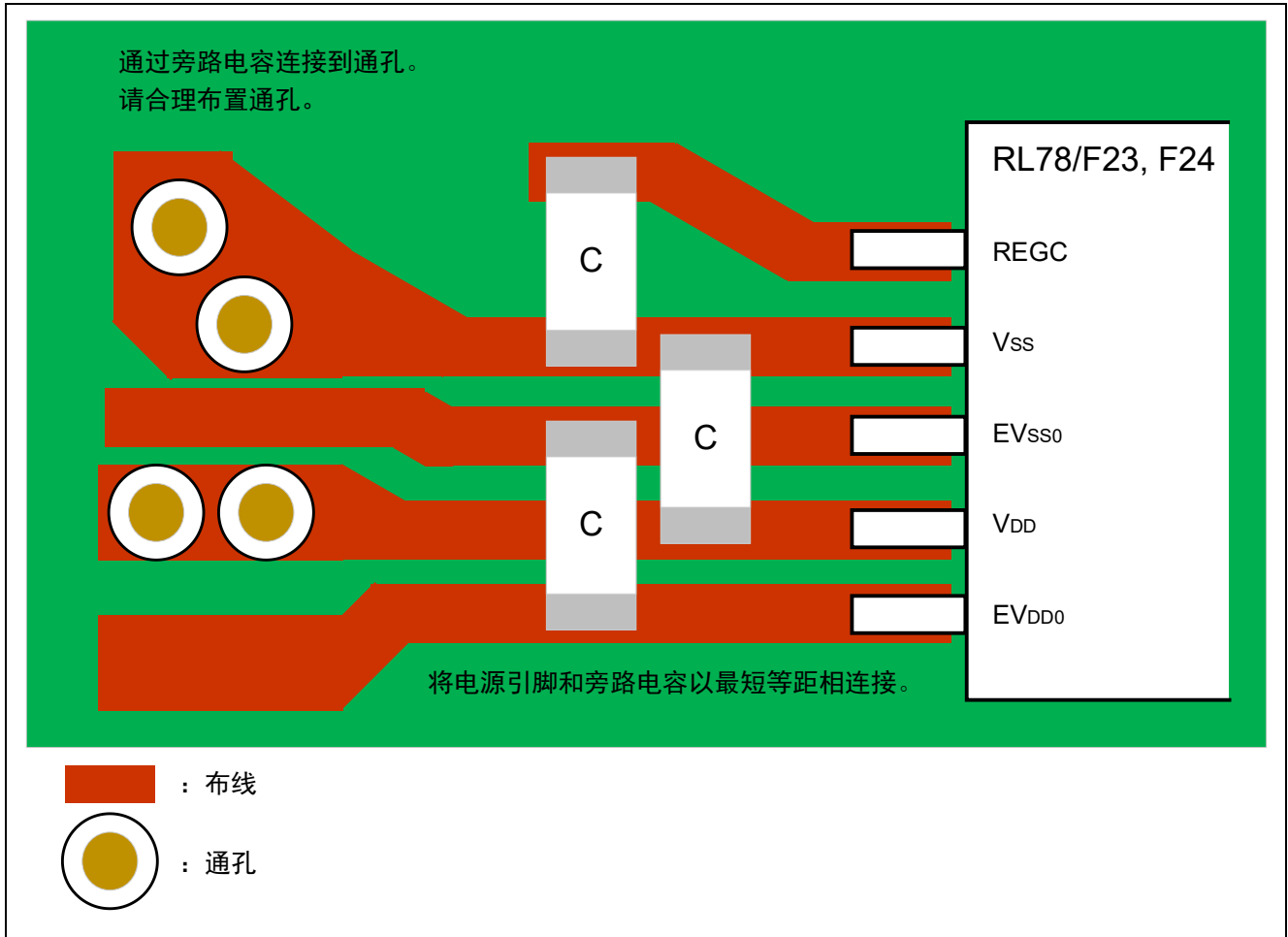


图 2. 电源引脚与旁路电容的连接示例

1.1.2 电源时序

电路的电源时序注意事项如下。

(1) 使用外部复位电路时

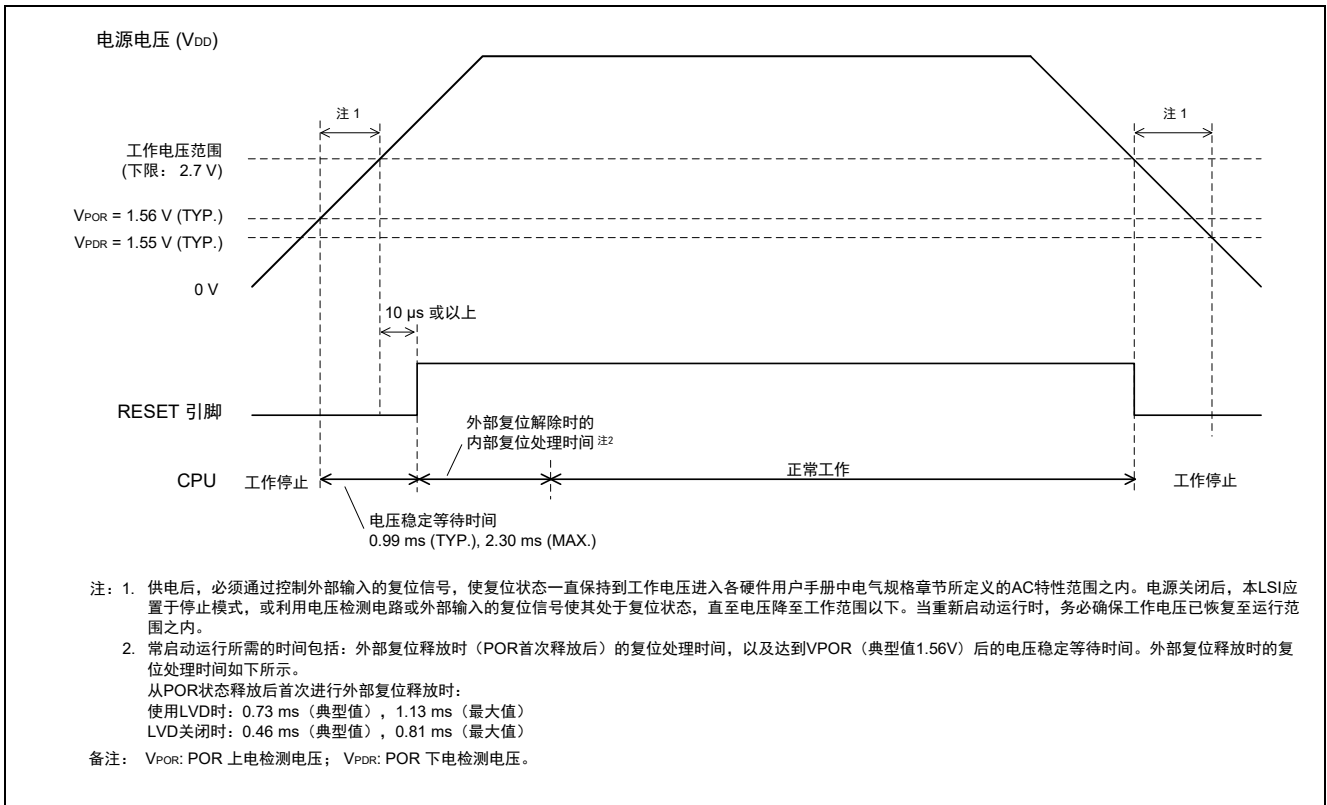


图 3. 使用外部复位电路时的电源时序

(2) 使用 LVD 时 (中断及复位模式)

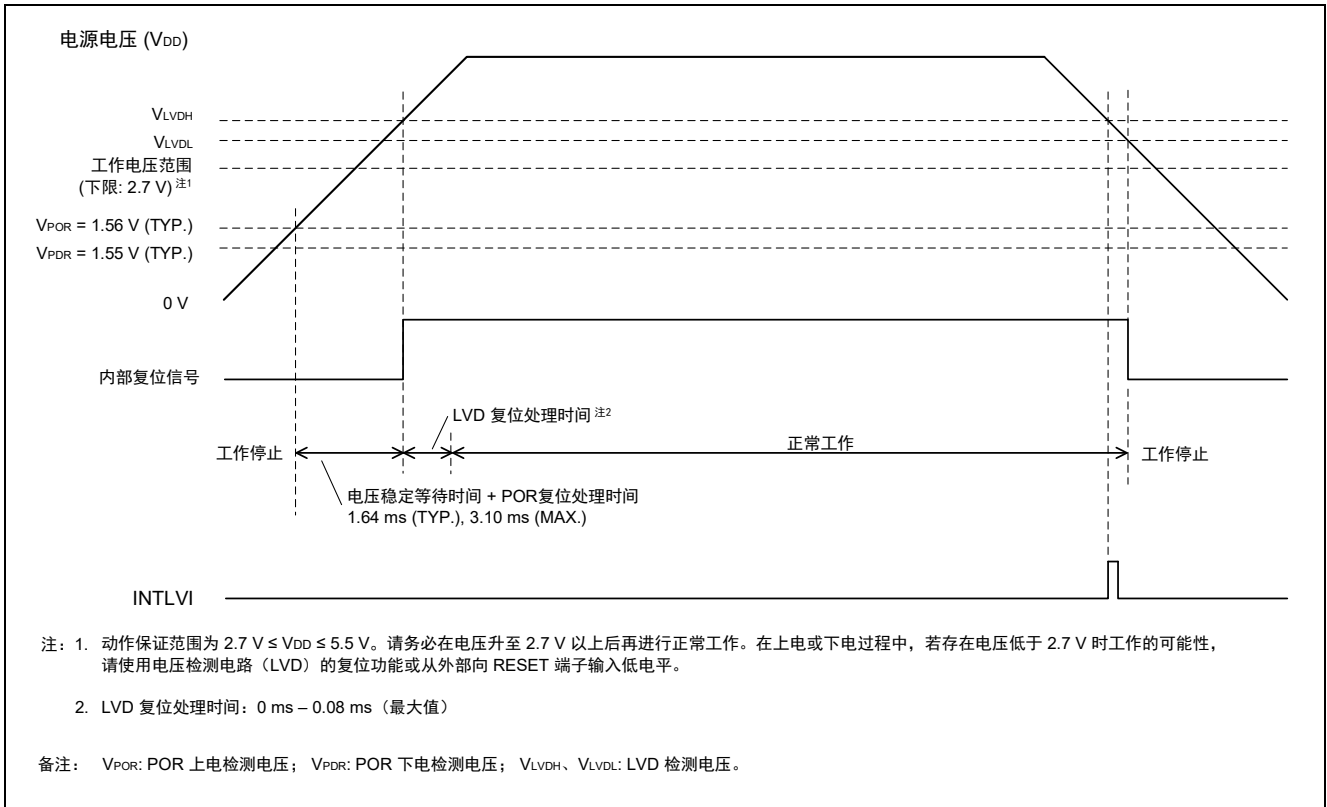


图 4. 使用 LVD 时的电源时序

1.2 REGC 引脚

RL78/F23、F24 内置内部稳压器。为了稳定内部稳压器的输出，请通过电容（ $0.47\ \mu\text{F}\sim 1.0\ \mu\text{F}$ ）将 REGC 引脚连接到 V_{SS} 。选用电容时请选择特性优良的产品。

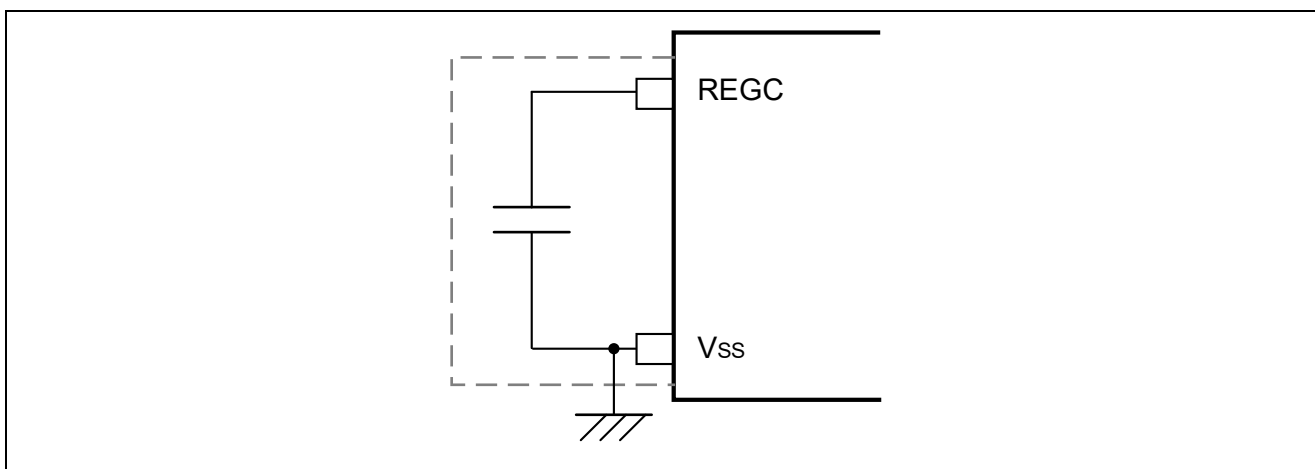


图 5. REGC 引脚的连接

注意：请尽量缩短上图中虚线所示的布线。

1.3 RESET 引脚

RL78/F23、F24 内置上电复位（POR）电路。因此，复位电路的最小配置为：通过一个上拉电阻（ $1\ \text{k}\Omega\sim 10\ \text{k}\Omega$ ）将 RESET 引脚连接到 V_{DD} 。

使用热插拔功能时，请在 RESET 引脚附近配置一个电容（约 $0.1\ \mu\text{F}$ ），以消除连接调试器时的噪声。

若出于功能安全等考虑，请根据用户系统规格决定是否使用外部 RESET IC 等方案。

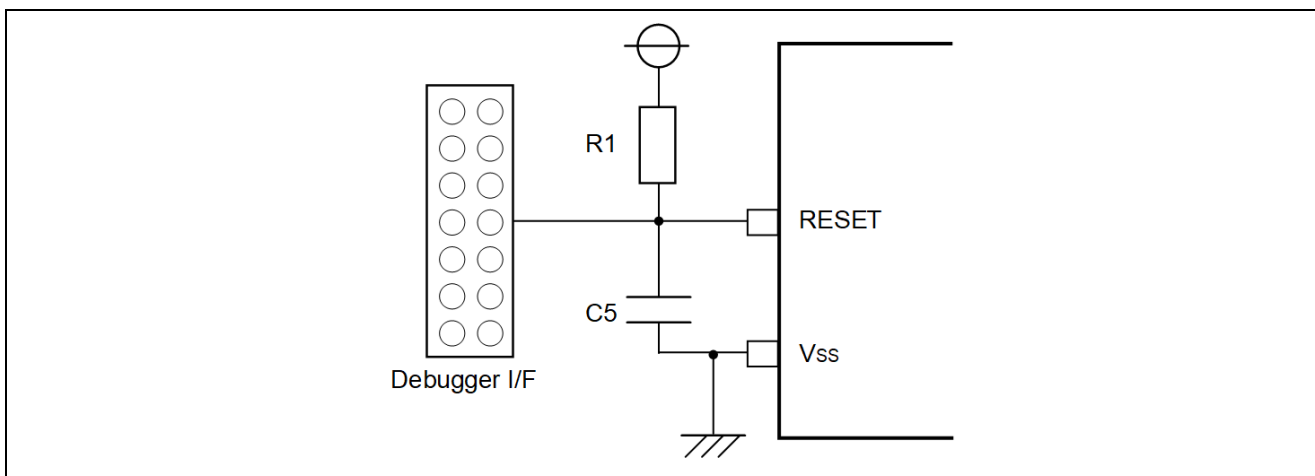


图 6. RESET 引脚的连接（最简电路示意图）

1.4 振荡电路

1.4.1 时钟输入输出引脚

时钟输入输出引脚（X1、X2、XT1、XT2）的布线应尽可能短，包括其周边电路。另外，时钟输入输出引脚的走线应避免与其他走线（如流经大电流的信号线或高速开关的信号线）并行或交叉，并用稳定的 V_{SS} 走线进行保护。详情请参考“1.4.4 振荡电路的注意事项”。图 7 为时钟输入输出电路的连接模式示例。使用子系统时钟时，请将图中的 X1、X2 替换为 XT1、XT2。

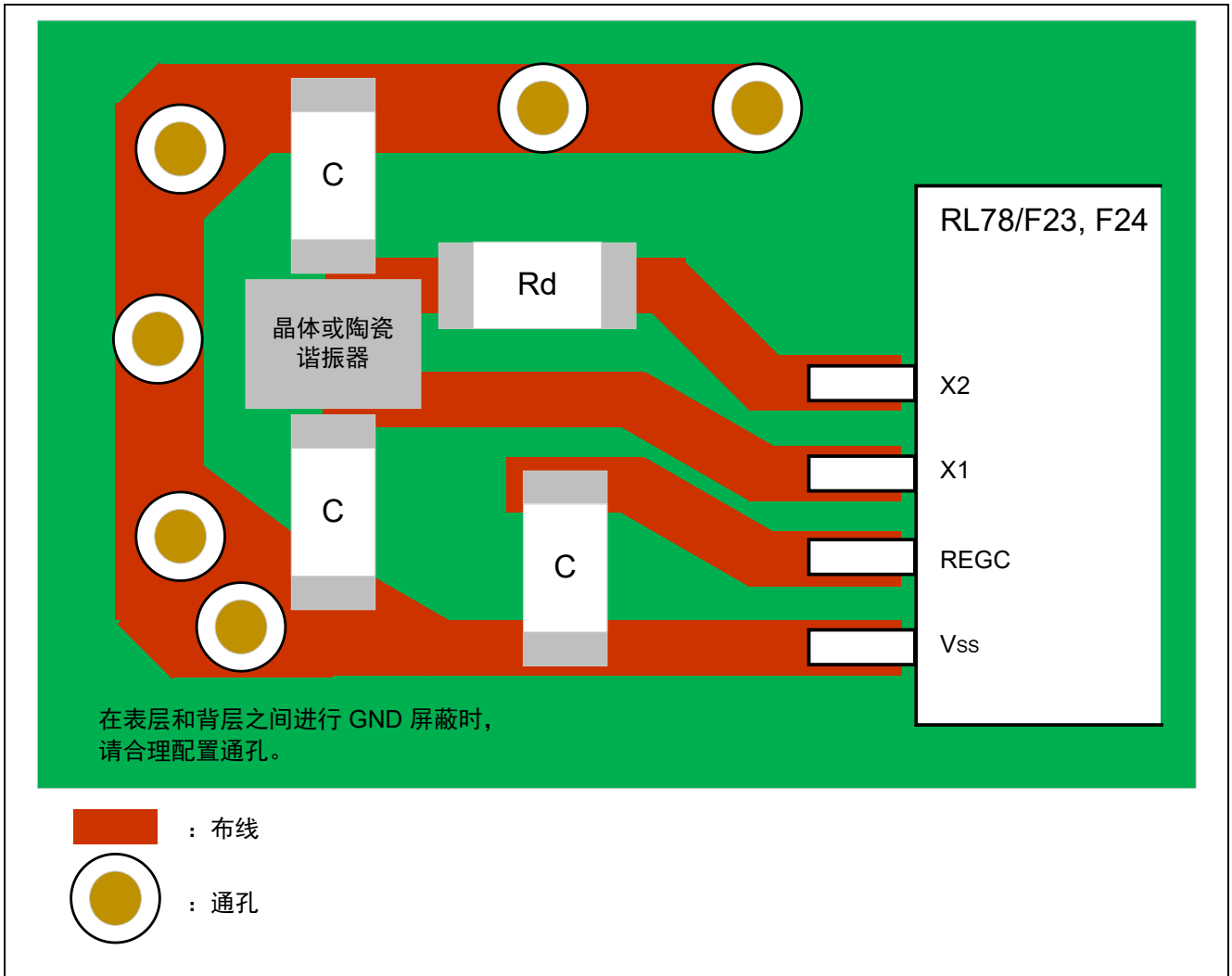


图 7. 时钟输入输出电路的连接示例

1.4.2 主系统时钟

主系统时钟的连接示例如下图所示。使用晶体或陶瓷振荡器（2 MHz ~ 20 MHz），并将其连接到 X1、X2 引脚。构成电路的电阻值及电容值，请向所使用的振荡器制造商确认。此外，也可以从外部向 EXCLK 引脚提供时钟信号。

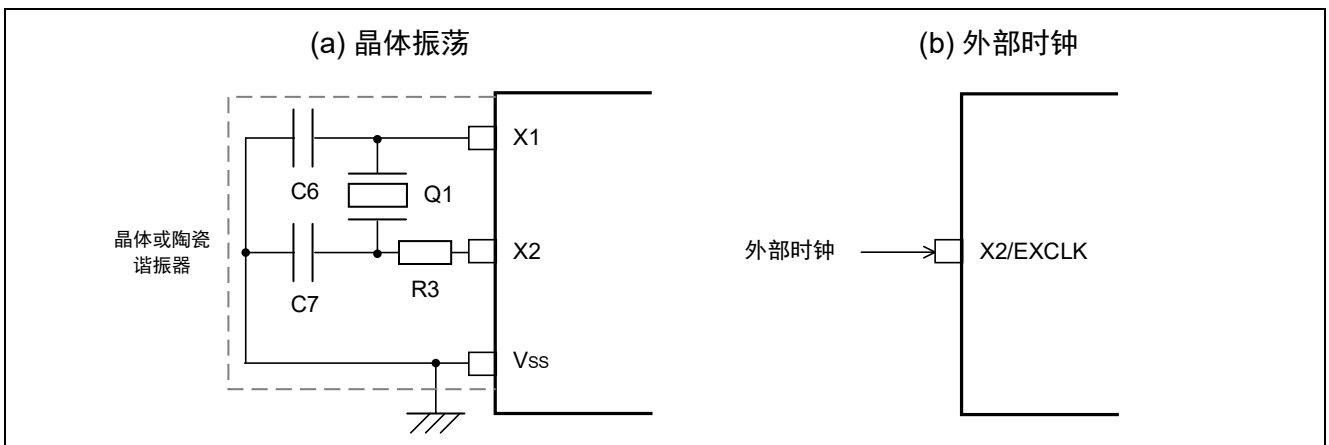


图 8. 主系统时钟的连接

1.4.3 子系统时钟

子时钟的连接示例如下图所示。XT1 振荡器通过连接在 XT1 和 XT2 引脚之间的晶体谐振器进行振荡（标准频率：32.768 kHz）。

有关电路的电阻值及电容值信息，请向振荡器厂商确认。

此外，也可以输入外部时钟向 EXCLKS 引脚提供时钟信号。

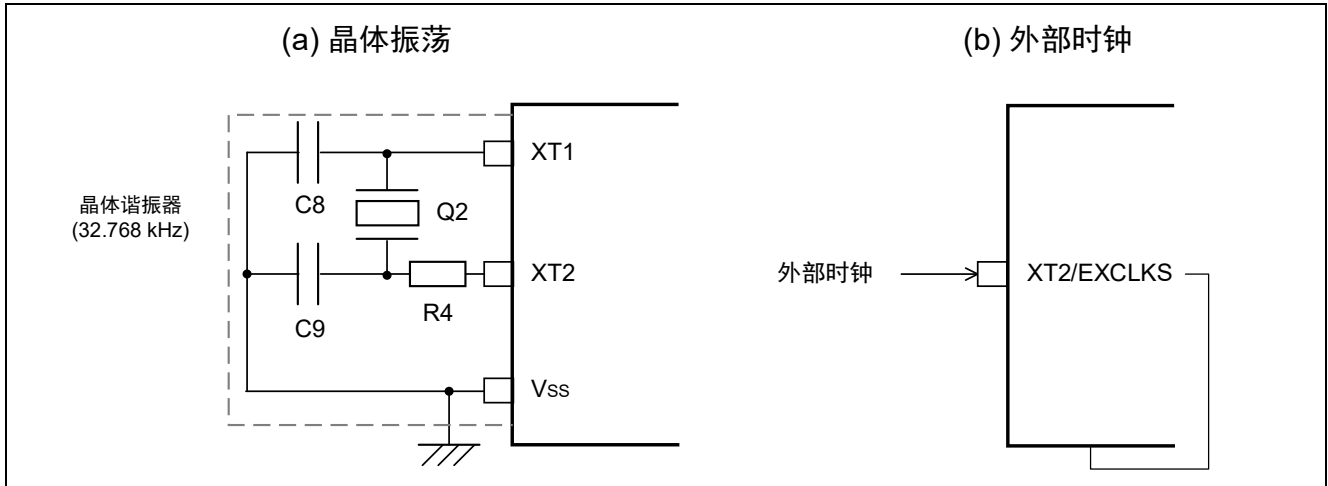


图 9. 子系统时钟的连接

1.4.4 振荡电路的注意事项

请客户咨询谐振器制造商以选择合适的谐振器并确定适当的振荡常数。

使用 X1 振荡电路和 XT1 振荡电路时，为避免布线电容的影响，请将图 8 和图 9 中虚线框内的部分按以下要求进行布线：

- 请尽量缩短布线长度。
- 请勿与其他信号线交叉，也不要靠近有变化大电流流过的线路。
- 振荡电路所用电容的接地点，请始终保持与 V_{SS} 同电位。请勿将其接到有大电流流过的接地图案上。
- 请勿从振荡电路中引出信号。否则可能因附加寄生电容和布线电阻而导致振荡强度下降。

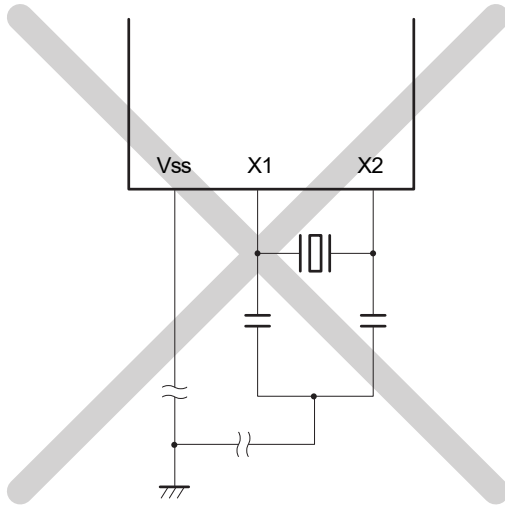
尤其是 XT1 振荡电路，为了降低功耗，其放大倍数较低。进行电路设计时，请注意以下几点：

- 引脚和电路板包含寄生电容。因此，请在实际使用的电路板上进行充分的振荡评估，确认没有问题。
- 请尽量缩短 XT1、XT2 引脚与振荡器之间的布线，以减小寄生电容和布线电阻成分。特别是在选择超低功耗振荡（AMPHS[1:0] = 10B）时，请格外注意。
- 请选用寄生电容和布线电阻成分较少的材质来构成电路板。
- 请在 XT1 振荡电路周围尽可能配置与 V_{SS} 同电位的接地图案。
请勿使 XT1、XT2 引脚与振荡器之间的信号线与其他信号交叉，也不要使其靠近有变化大电流流过的线路。
- 在高湿度环境下，电路板吸湿或板上结露可能导致 XT1 引脚与 XT2 引脚之间的阻抗降低，从而引起振荡故障。在此类环境中使用时，请采取防湿措施，例如对电路板进行涂层处理。

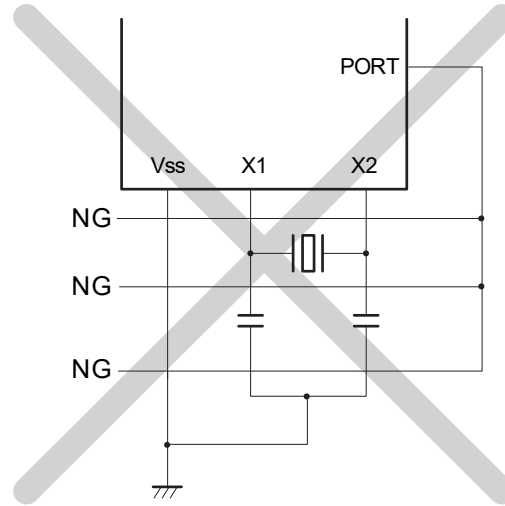
- 在对电路板进行涂层处理时，请选用不会在 XT1 和 XT2 引脚之间产生电容或泄漏的材料。

以下为振荡电路的不良连接示例。

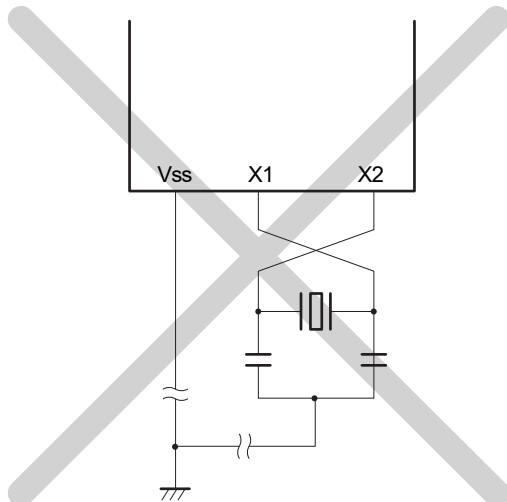
(a) 布线太长



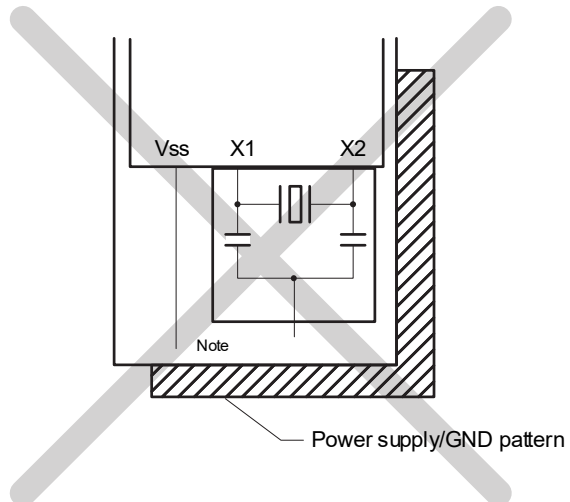
(b) 信号线交叉



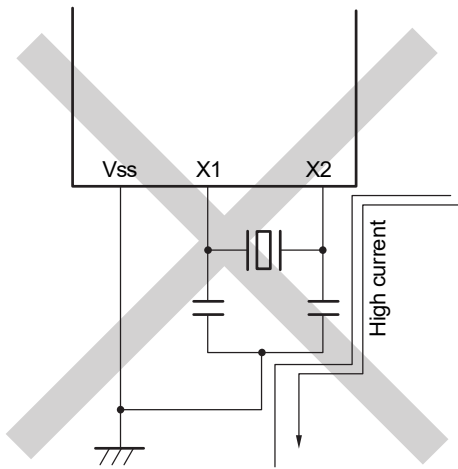
(c) X1 与 X2 信号线的布线有交叉



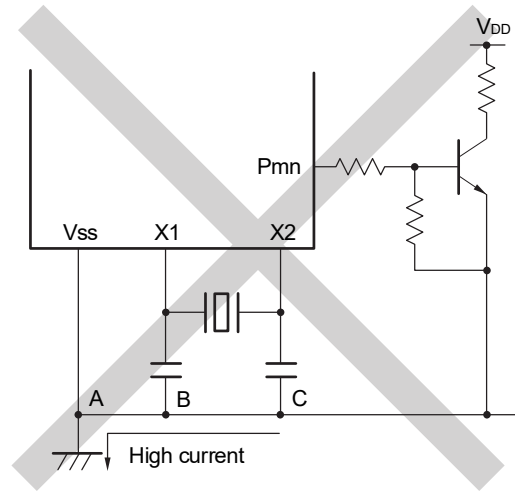
(d) X1 与 X2 信号线下存在电源/GND 走线



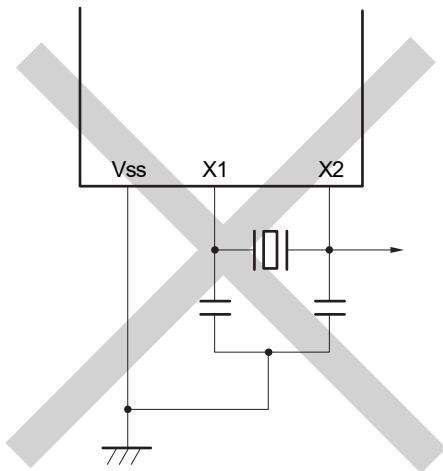
(e) 靠近大电流流经的信号线



(f) 在振荡电路的接地线路上有电流（A点、B点、C点的电位发生变化）



(g) 引出其他信号



注意 当 X2 与 XT1 在 PCB 上以平行方式布线时，X2 上的串扰噪声可能会叠加到 XT1 上，从而引起误动作。

备注 使用子系统时钟时，请将本图中的 X1、X2 分别视为 XT1、XT2。此外，请在 XT2 侧插入阻尼电阻。

1.5 I/O 端口的注意事项

1.5.1 I/O 端口的输出特性

RL78/F23、F24 的通用 I/O 端口分两种： V_{DD} 型和 EV_{DD} 型。由于两种端口的输出电流存在差异，使用时请务必注意。

表 2. Grade-3 产品的 IOH 及 IOL 特性

端口类型	适用的通用 I/O	条件	端口特性 (IOH 和 IOL)
V_{DD} 型	P33、P34、P80~P87、P90~P97、 P100~P105 的每个引脚	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	IOH2: -0.1 mA IOL2: 0.4 mA
	所有 V_{DD} 型引脚	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	IOH2: -2.0 mA IOL2: 5.0 mA
EV_{DD} 型	P00~P03、P10~P17、P30~P32、 P40~P47、P50~P57、P60~P67、 P70~P77、P106、P107、P120、 P125~P127、P130、P140、 P150~P157 的每个引脚	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$	IOH1: -3.0 mA IOL1: 4.0 mA
	所有 EV_{DD} 型引脚	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$	IOH1: -50.0 mA IOL1: 65.0 mA
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$	IOH1: -29.0 mA IOL1: 50.0 mA

表 3. Grade-4 产品的 IOH 及 IOL 特性

端口类型	适用的通用 I/O	条件	端口特性 (IOH 和 IOL)
V_{DD} 型	P33、P34、P80~P87、P90~P97、 P100~P105 的每个引脚	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	IOH2: -0.1 mA IOL2: 0.4 mA
	所有 V_{DD} 型引脚	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	IOH2: -2.0 mA IOL2: 5.0 mA
EV_{DD} 型	P00~P03、P10~P17、P30~P32、 P40~P47、P50~P57、P60~P67、 P70~P77、P106、P107、P120、 P125~P127、P130、P140、 P150~P157 的每个引脚	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$	IOH1: -3.0 mA IOL1: 4.0 mA
	所有 EV_{DD} 型引脚	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$	IOH1: -42.0 mA IOL1: 65.0 mA
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$	IOH1: -29.0 mA IOL1: 50.0 mA

表 4. Grade-5 产品的 IOH 及 IOL 特性

端口类型	适用的通用 I/O	条件	端口特性 (IOH 和 IOL)
V _{DD} 型	P33、P34、P80~P87、P90~P97、P100~P105 的每个引脚	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	IOH2: -0.1 mA IOL2: 0.4 mA
	所有 V _{DD} 型引脚	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	IOH2: -2.0 mA IOL2: 5.0 mA
EV _{DD} 型	P00~P03、P10~P17、P30~P32、P40~P47、P50~P57、P60~P67、P70~P77、P106、P107、P120、P125~P127、P130、P140、P150~P157 的每个引脚	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$	IOH1: -5.0 mA IOL1: 8.5 mA
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$	IOH1: -3.0 mA IOL1: 4.0 mA
	所有 EV _{DD} 型引脚	$4.0\text{ V} \leq EV_{DD} \leq 5.5\text{ V}$	IOH1: -32.0 mA IOL1: 55.0 mA
		$2.7\text{ V} \leq EV_{DD} < 4.0\text{ V}$	IOH1: -29.0 mA IOL1: 45.0 mA

备注 某些产品的部分通用 I/O 引脚可能未引出。

P121~P124 和 P137 为仅输入引脚。

1.5.2 I/O 端口的输出特性

RL78/F23、F24 产品的未使用引脚的推荐连接如表 5 所示。

表 5. 未使用引脚的推荐连接

端口类型	Pin 名称	未使用引脚的推荐连接
V _{DD} 型	P121~P124、P137 (仅输入引脚)	通过电阻独立连接到 V _{DD} 或 V _{SS} 。
	P121~P124 和 P137 外的所有 V _{DD} 型引脚	输入: 通过电阻独立连接到 V _{DD} 或 V _{SS} 。[参考电阻值: 用 20 kΩ 电阻上拉] 输出: 保持开路。
	复位	直接或通过电阻连接到 V _{DD} 。
EV _{DD} 型	P40 ^注	输入: 通过电阻独立连接到 EV _{DD} 。[基准电阻值: 10kΩ] 输出: 保持开路。
	P130 (仅输出引脚)	保持开路。
	除 P40 和 P130 外的所有 EV _{DD} 型引脚	输入: 通过电阻独立连接到 EV _{DD} 或 EV _{SS} 。[基准电阻值: 10kΩ] 输出: 保持开路。

注 TOOL0 (片上调试器 / Flash 存储器编程接口引脚) 功能分配在 P40 引脚上。当在板上使用 TOOL0 功能时, 请将该引脚设置为输入模式, 并通过一个电阻 (10 kΩ) 连接到 EV_{DD}。

1.5.3 外设 I/O 重定向功能

RL78/F23、F24 产品的外设 I/O 引脚可通过 PIORx 寄存器和 STPSTC 寄存器进行分配。

表 6. 外设 I/O 重定向功能

寄存器	位符号	可分配的外设 I/O 功能
PIOR0	PIOR00~PIOR07	TI00~TI07 (定时器阵列单元的输入引脚)
PIOR1	PIOR10~PIOR17	TO00~TO07 (定时器阵列单元的输出引脚)
PIOR2	PIOR20~PIOR27	TI10~TI17(定时器阵列单元的输入引脚)
PIOR3	PIOR30~PIOR37	TO10~TO17 (定时器阵列单元的输出引脚)
PIOR4	PIOR40	SI00/SDA00/RXD0、SO00/TXD0、SCL00/SCK00、SSI00 (串行阵列单元 I/O 引脚)
	PIOR41	SI01、SO01、SCK01、SSI01 (串行阵列单元 I/O 引脚)
	PIOR42	SI10/RXD1、SO10/TXD1、SCK10、SSI10 (串行阵列单元 I/O 引脚)
	PIOR43	SI11、SO11、SCK11、SSI11 (串行阵列单元 I/O 引脚)
	PIOR44	LRXD0、LTXD0 (RLIN3 模块的串行数据 I/O 引脚)
	PIOR45	LRXD1、LTXD1 (RLIN3 模块的串行数据 I/O 引脚)
	PIOR46	CRXD0、CTXD0 (RS-CANFD lite 模块的串行数据 I/O 引脚)
PIOR5	PIOR50	KR0~KR7 (按键返回输入引脚)
	PIOR52	INTP2 (外部中断输入引脚)
	PIOR53	INTP3 (外部中断输入引脚)
PIOR6	PIOR60~PIOR67	SNZOUT0~SNZOUT7 (SNOOZE 状态输出引脚)
PIOR7	PIOR70	TRDIOA0/TRDCLK0 (定时器 RDe I/O 引脚)
	PIOR71	TRDIOB0 (定时器 RDe I/O 引脚)
	PIOR73	TRDIOD0 (定时器 RDe I/O 引脚)
PIOR8	PIOR80	RTC1HZ (实时时钟校正时钟信号输出引脚)
PIOR9	PIOR90	TO01、TO02、TO03、TO07 (定时器阵列单元输出引脚)
	PIOR91	SI10/RXD1、SCK10 (串行阵列单元 I/O 引脚)
	PIOR92	SO11 (串行阵列单元的串行数据输出引脚)
	PIOR93	LRXD1、LTXD1 (RLIN3 模块的串行数据 I/O 引脚)
STPSTC	STPSEL	STOPST (停止状态输出引脚)

1.5.4 注入电流输入

本产品支持注入电流输入。

请注意不同引脚的电气特性可能有所不同。

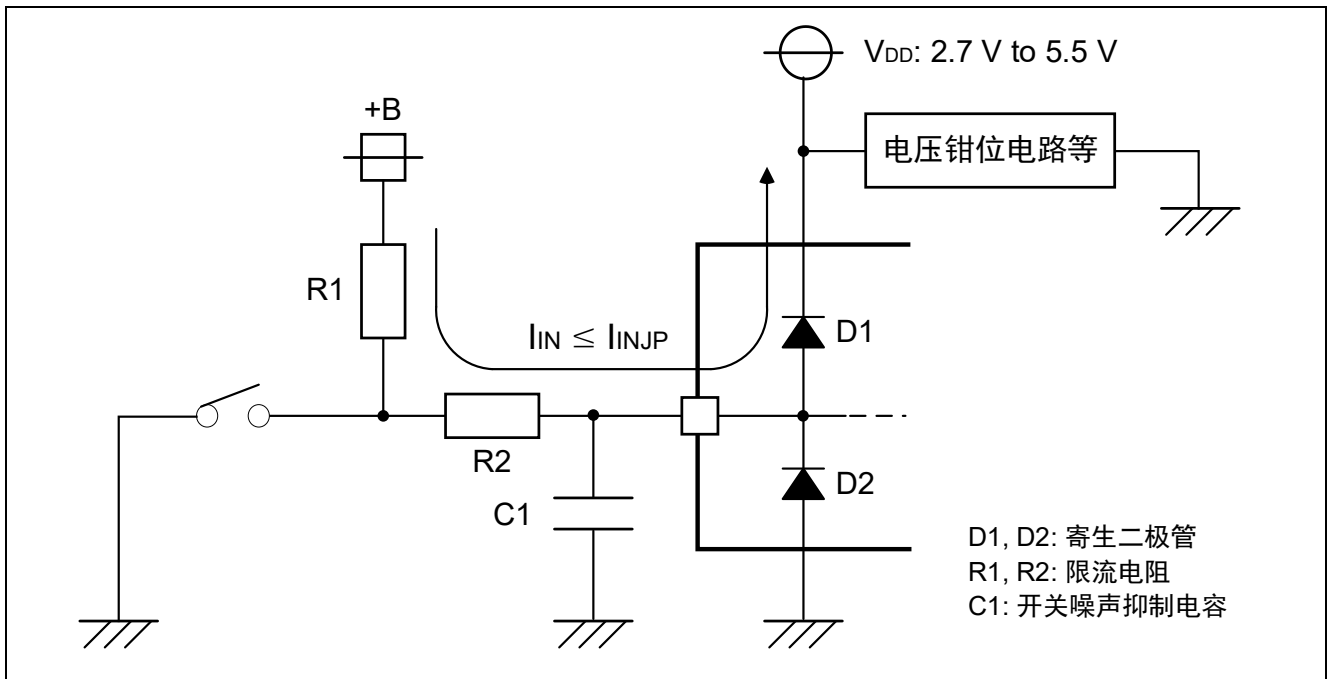


图 10. 注入电流输入电路示例

表 7. 注入电流的输入规格

项目	端口类型	条件	注入电流质量标准（最大值）
正注入电流 ($V_{IN} \geq V_{DD}$)	EV _{DD} 型	P40、P130（仅输出引脚）	禁止
		P40、P70~P74、P120、P125 和 P130 外的所有 EV _{DD} 型引脚	0.4 mA（每个引脚）， 4.0 mA（所有 EV _{DD} 型引脚）
		P70~P74、P120、P125	0.15 mA（每个引脚）， 1.0 mA（所有引脚（包括 V _{DD} 型引 脚））
	V _{DD} 型	P33、P34、P81~P84、P121 至 P124 和 P137 外的所有 V _{DD} 型引 脚	0.15 mA（每个引脚）， 1.0 mA（所有引脚（包括 EV _{DD} 型引 脚（P70~P74、P120、P125））
		P33、P34、P121~P124、P137	禁止
		P81~P84	0.15 mA（每个引脚）， 0.15 mA（所有引脚）

注意：产品出货时不对本规格进行检查。本规格是基于开发阶段的设计研讨及产品特性而制定的。

1.6 使用 A/D 转换器时的注意事项

1.6.1 模拟输入

请按照以下条件进行模拟输入的设计。

- 模拟输入引脚的电压范围

AN_{IN}（模拟输入引脚的电压范围）： $AV_{REFM} \leq V_{AIN} \leq AV_{REFP}$ ， $V_{SS} \leq V_{AIN} \leq V_{DD}$

AV_{REFP}（模拟基准电压引脚的电压范围）： $AV_{REFP} \leq V_{DD}$

- 模拟电源引脚 (AV_{REFP} - AV_{REFM} , V_{DD} - V_{SS}) 之间的关系

请在模拟电源引脚上连接电阻成分低、响应特性良好的电容。

如图 11 所示, 请在各电源引脚对之间尽量缩短布线长度并连接旁路电容。

同时请确保如下电压范围:

$$AV_{REFM} = V_{SS}$$

未使用 A/D 转换器时, 应满足以下条件:

$$AV_{REFP} = V_{DD}, AV_{REFM} = V_{SS}$$

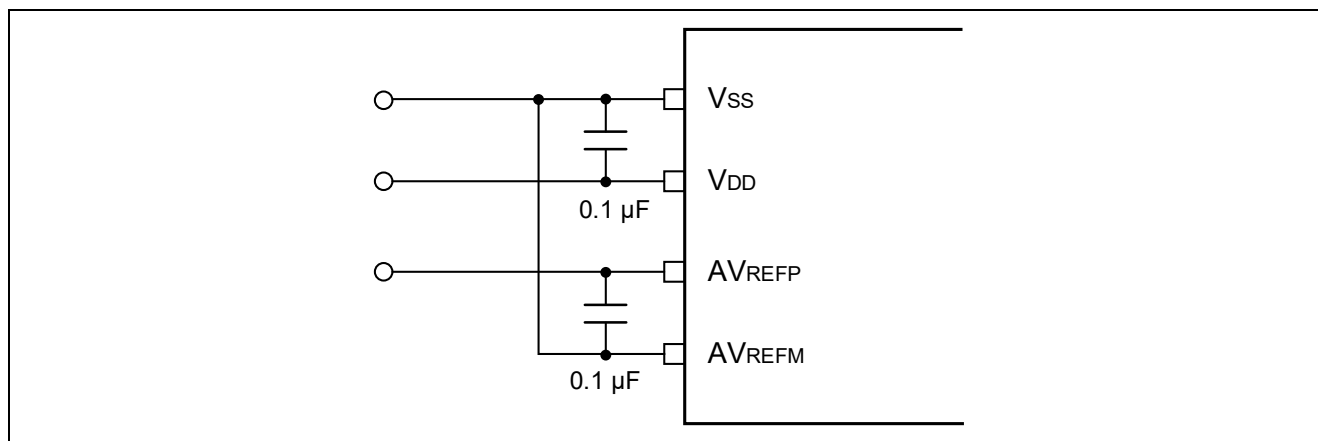


图 11. 模拟电源引脚的连接示例

1.6.2 基板设计时的注意事项

- 模拟电源 (AV_{REFP} 、 AV_{REFM}) 的供电走线, 应与数字电源 (V_{DD} 、 EV_{DD0} 、 EV_{DD1} 、 V_{SS} 、 EV_{SS0} 、 EV_{SS1}) 的供电走线分离, 并尽量使用较宽的走线进行布局。

- 通过分别设置模拟电源 (AV_{REFP} 、 AV_{REFM}) 与数字电源 (V_{DD} 、 EV_{DD0} 、 EV_{DD1} 、 V_{SS} 、 EV_{SS0} 、 EV_{SS1}) 的独立供电电源, 可以减小数字电源噪声的影响。

- 当模拟电源 (AV_{REFP} 、 AV_{REFM}) 与数字电源 (V_{DD} 、 EV_{DD0} 、 EV_{DD1} 、 V_{SS} 、 EV_{SS0} 、 EV_{SS1}) 作为共用电源使用时, 应在电源供给端的输出端将模拟电源与数字电源分开后再进行供电。

- 模拟地 (AV_{REFM}) 的走线, 应与基板上稳定的数字地 (V_{SS}) 走线通过单点连接, 以减小来自数字地噪声的影响。

1.6.3 噪声对策

- 为防止由于过大浪涌等异常电压导致模拟输入引脚 ($ANI0 \sim ANI30$) 损坏, 请按图 12 所示, 在 V_{DD} 与 V_{SS} 之间、 AV_{REFP} 与 AV_{REFM} 之间连接电容, 并在模拟输入引脚 ($ANI0 \sim ANI30$) 上连接保护电路。

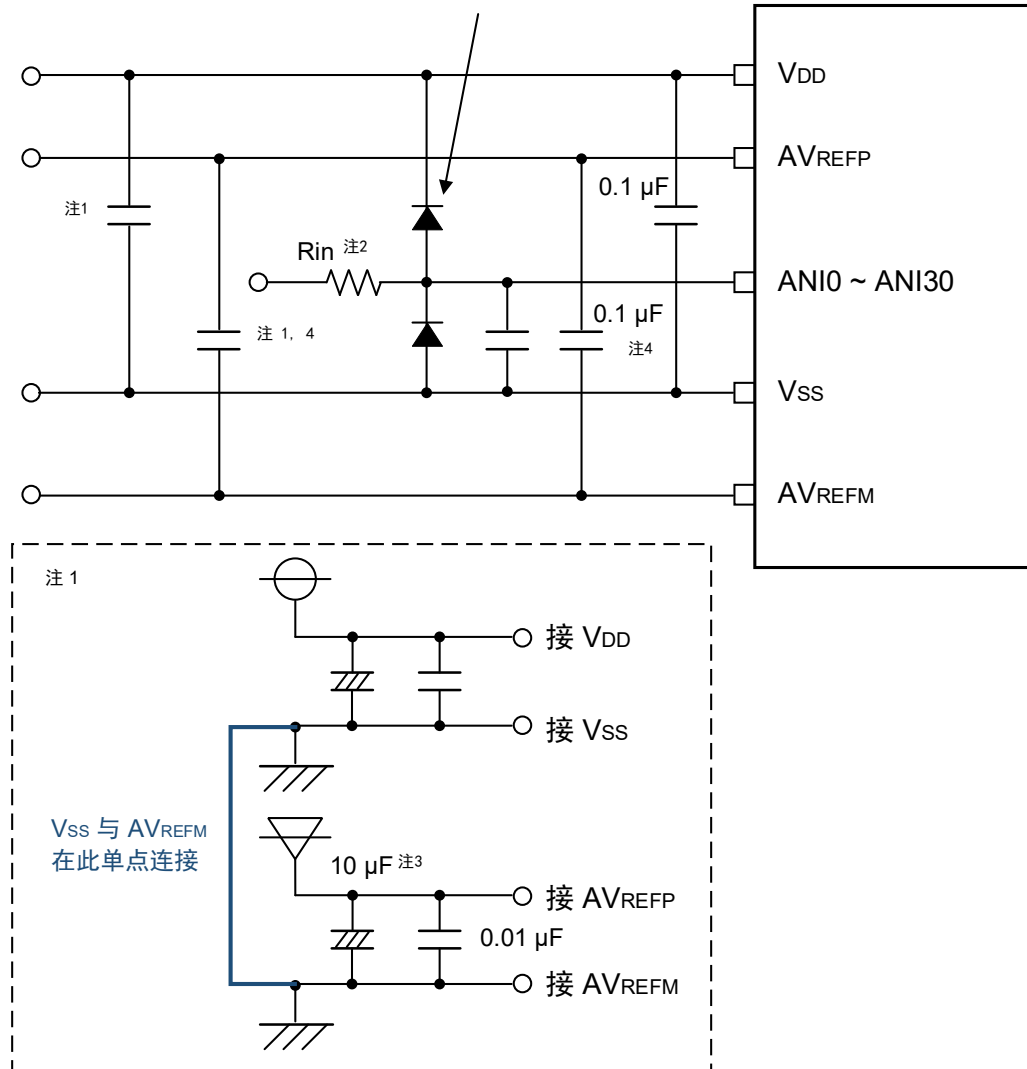
- 当进行闪存擦除或写入操作, 或端口输出电流发生变化引起电源电压波动时, 可能会对 A/D 转换结果产生影响。此外, 当模拟输入引脚 ($ANIX$)、电源引脚 (V_{DD} 、 V_{SS}) 或模拟基准电压输入引脚 (AV_{REFP} 、 AV_{REFM}) 受到外来噪声干扰时, 也会影响 A/D 转换结果。为避免 A/D 转换结果波动对系统造成影响, 对系统中使用的 A/D 转换结果应进行软件处理。

软件处理示例如下:

- 使用多次 A/D 转换结果的平均值
- 从多次 A/D 转换结果中剔除波动幅度较大的数据
- 在启动 A/D 转换后立即进入 HALT 模式, 可提高 A/D 转换精度。
- 在 A/D 转换过程中, 若改变 P33、P34、P70~P74、P80~P87、P90~P97、P100~P105、P120 以及 P125 引脚的输出电平, 可能会导致 A/D 转换精度下降。

• 若在 A/D 转换过程中，将与 A/D 转换引脚相邻的引脚用作数字输入 / 输出端口，可能会因耦合噪声导致 A/D 转换结果与期望值不一致。因此，在 A/D 转换过程中，请避免在相邻引脚上输入或输出如数字信号般急剧变化的脉冲信号。

若可能产生大于等于 AV_{REFP} 和 V_{DD} 、或小于等于 AV_{REFM} 和 V_{SS} 的噪声，请使用 V_F 较小（0.3 V 以下）的二极管进行钳位保护。



- 注： 1. 此处给出的数值仅供参考。
 2. R_{in} : 信号源阻抗。
 3. 当选择 AV_{REFP} 作为 A/D 转换器的高电位参考电压时，请通过 10 μF 电容将 AV_{REFP} 引脚与 AV_{REFM} 引脚连接。
 4. 当选择 AV_{REFP} 作为 A/D 转换器的高电位参考电压时，旁路电容仅需连接至 AV_{REFM} 引脚。

图 12. 模拟输入保护电路示例

1.6.4 内部等效电路

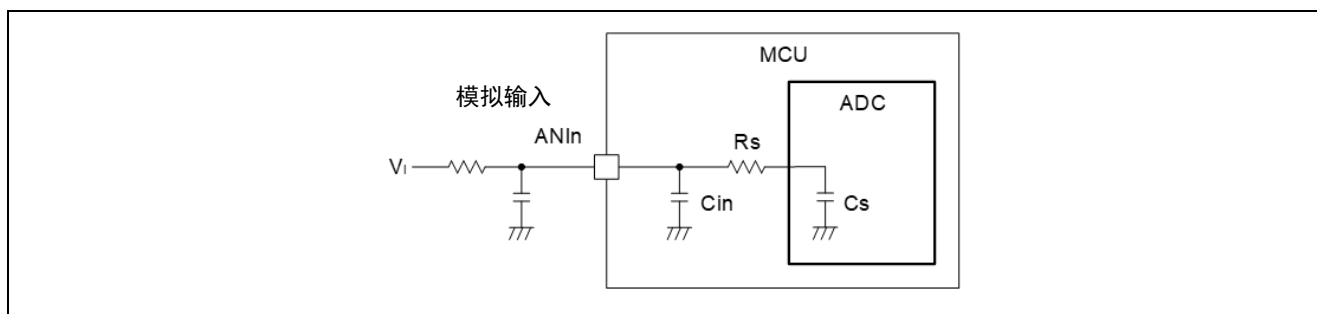


图 13. ANIn 引脚等效电路

表 8. 内部等效电路的规格示例

ANIn	C_{in} [pF]	R_s [k Ω]	C_s [pF]
ANI0、ANI3~ANI5、ANI8~ANI15	8	2.5	8
ANI1、ANI2（无通道专用 S&H 电路）	8	2.5	8
ANI1、ANI2（带通道专用 S&H 电路）	8	10.5	3
ANI6、ANI7	10	2.5	8
ANI16~ANI30	8	6.7	9

注：上表数值仅供参考，不作保证。

1.7 片上调试电路

RL78/F23、F24 与 E2 / E2 Lite 仿真器连接时，使用 V_{DD}、EV_{DD0}、RESET、TOOL0、V_{SS} 引脚。与仿真器之间的通信采用单线式 UART。详情请参阅《E1/E20/E2 Emulator, E2 Emulator Lite Additional Document for User’s Manual (Notes on Connection of RL78)》[文件号：R20UT1994EJ]。

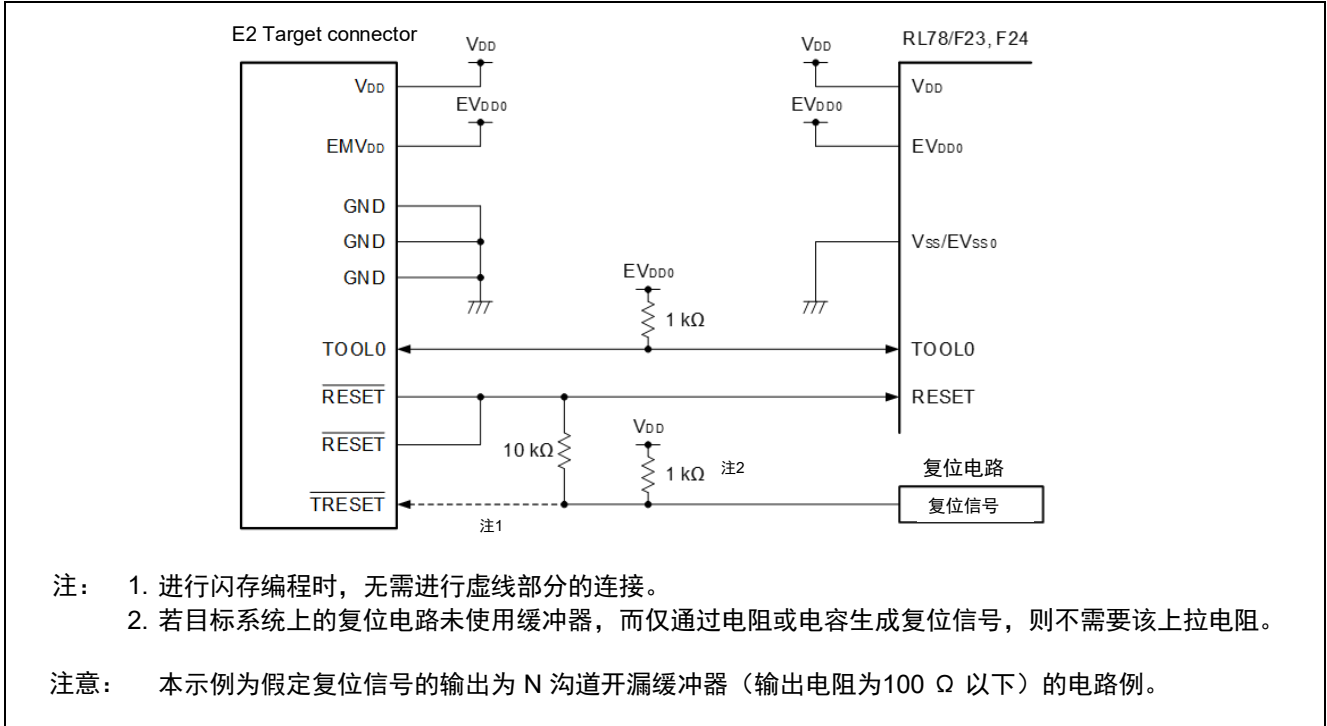


图 14. E2 片上调试仿真器与 RL78F23、F24 的连接示例的示例

相关资料

资料名称	资料编号
RL78/F23, F24 User's Manual: Hardware	R01UH0944E
E1/E20/E2 Emulator, E2 Emulator Lite Additional Document for User's Manual (Notes on Connection of RL78)	R20UT1994E

更新履历

版本号	日期	说明	
		页数	概述
1.00	2022.11.30	-	初版发布
2.00	2023. 9.30	P2	更新图 1 的电路示例（修改 V _{SS} / DGND / AGND 的标注等）
		P3	修改表 1 备注栏中的说明内容
		P4	新增 1.1.1 电源引脚的说明，并追加图 2 的布线示例
		P7	新增 1.4.1 时钟引脚的说明，并追加图 7 的布线示例
		P16	修改图 12 的电路示例

注意

1. 本文件中电路、软件和其他相关信息的描述仅用于说明半导体产品的操作和应用示例。用户应对产品或系统设计中电路、软件和信息纳入或任何其他用途承担全部责任。对于您或第三方因使用这些电路、软件或信息而引起的任何损失和损害，Renesas Electronics 不承担任何责任。
2. Renesas Electronics 特此声明，对于因使用本文件中所述的 Renesas Electronics 产品或技术信息（包括但不限于产品数据、图纸、图表、程序、算法和应用示例）而引起的侵权或与第三方有关的专利、版权或其他知识产权的任何其他索赔，概不承担任何责任和赔偿。
3. 对 Renesas Electronics 或其他公司的任何专利、版权或其他知识产权均不授予任何明示、暗示或其他形式的许可。
4. 您应负责确定需要从任何第三方获得哪些许可，并在需要时为合法进口、出口、制造、销售、使用、分销或以其他方式处置包含 Renesas Electronics 产品的任何产品获得此类许可。
5. 不得对 Renesas Electronics 产品的全部或部分进行更改、修改、复制或逆向工程。对于因更改、修改、复制或逆向工程而导致您或第三方蒙受的任何损失或损害，Renesas Electronics 不承担任何责任。
6. Renesas Electronics 产品根据以下两个质量等级进行分类：“标准”和“优质”。Renesas Electronics 每种产品的预期应用取决于产品的质量等级，具体如下所示。

“标准”：计算机、办公设备、通信设备、测试和测量设备、视听设备、家用电器、机械工具、个人电子设备、工业机器人等

“优质”：运输设备（汽车、火车、轮船等）；交通管制（交通信号灯）；大型通信设备；关键金融终端系统；安全控制设备等

除非在 Renesas Electronics 数据手册或 Renesas Electronics 其他文档中明确指定为高可靠性产品或用于恶劣环境的产品，否则 Renesas Electronics 产品不适合或不授权用于可能对人类生命构成直接威胁或造成人身伤害（人造生命支持设备或系统；手术植入物等），或者可能造成严重的财产损失（空间系统、海底中继器、核动力控制系统、飞机控制系统、关键设备系统、军事装备等）的产品或系统。对于因使用任何与 Renesas Electronics 数据手册、用户手册或其他 Renesas Electronics 文档不一致的 Renesas Electronics 产品而引起的您或任何第三方所造成的任何损坏或损失，Renesas Electronics 不承担任何责任。
7. 没有任何半导体产品是绝对安全的。尽管 Renesas Electronics 的硬件或软件产品中可能实施了任何安全措施或功能，Renesas Electronics 对因任何漏洞或侵袭（包括但不限于以任何未经授权的方式访问或使用 Renesas Electronics 产品或使用 Renesas Electronics 产品的系统）而产生的任何后果概不负责。RENESAS ELECTRONICS 不担保或保证 RENESAS ELECTRONICS 产品或使用 RENESAS ELECTRONICS 产品创建的任何系统不会被破坏，或者可免于数据损坏、攻击、病毒、干扰、黑客攻击、数据丢失或失窃或其他安全入侵（“漏洞问题”）。RENESAS ELECTRONICS 不承担任何由任何漏洞问题引起的或与之相关的任何和所有责任或义务。此外，在适用法律允许的范围内，RENESAS ELECTRONICS 不对本文件和任何相关或附带的软件或硬件提供任何和所有明示或暗示的保证，包括但不限于对适用性或特定用途的适用性的暗示保证。
8. 使用 Renesas Electronics 产品时，请参见最新的产品信息（数据手册、用户手册、应用笔记、可靠性手册中的“处理和使用半导体器件的一般说明”等），并确保使用条件符合 Renesas Electronics 在最大额定值、工作电源电压范围、散热特性和安装等方面的规定。对于因在超出上述规定范围的情况下使用 Renesas Electronics 产品而引起的任何失常、故障或事故，Renesas Electronics 不承担任何责任。
9. 尽管 Renesas Electronics 致力于提高 Renesas Electronics 产品的质量和可靠性，但半导体产品具有特定的特性，例如在特定速率下发生故障以及在某些使用条件下出现故障。除非在 Renesas Electronics 数据手册或 Renesas Electronics 其他文档中指定为高可靠性产品或用于恶劣环境的产品，否则 Renesas Electronics 的产品将不受抗辐射设计的约束。用户应负责采取安全措施，以防止人身伤害、火灾造成的伤害，和/或因 Renesas Electronics 产品发生故障或失常而对公众造成的危险，例如硬件和设备的安全设计，包括但不限于冗余、火控和故障预防、针对老化退化的适当处理或任何其他适当的措施。由于对微型计算机软件进行评估非常困难且无实操性，因此用户有责任评估自己生产的最终产品或系统的安全性。
10. 请联系 Renesas Electronics 销售办事处，以获取有关环境事宜的详细信息，例如每个 Renesas Electronics 产品的环境相容性。用户有责任认真、充分地研究有关纳入或使用受控物质的适用法律和法规（包括但不限于欧盟 RoHS 指令），并按照所有适用法律和法规使用 Renesas Electronics 产品。对于因您未遵守适用的法律和法规而造成的损坏或损失，Renesas Electronics 不承担任何责任。
11. Renesas Electronics 产品和技术不得被用于或纳入为任何适用的本国或外国法律、法规所禁止制造、使用或销售的产品或系统范围内。用户应遵守由对当事方或交易拥有管辖权的任何国家/地区的政府颁布和管理的任何可适用的出口控制法律和法规。
12. 应由 Renesas Electronics 产品的购买方或分销商，或者对产品进行分发、处置或以其他方式出售或转让给第三方的任何其他当事方，负责将本文件中阐明的内容和条件提前通知前述第三方。
13. 未经 Renesas Electronics 事先书面同意，不得以任何形式全部或部分重印、再现或复制本文件。
14. 如果对本文件中包含的信息或 Renesas Electronics 产品有任何疑问，请联系 Renesas Electronics 销售办事处。

（注 1）本文件中的“Renesas Electronics”是指 Renesas Electronics Corporation，也包括其直接或间接控制的子公司。

（注 2）“Renesas Electronics 产品”是指 Renesas Electronics 开发或制造的任意产品。

（版本 5.0-1 2020 年 10 月）

公司总部

TOYOSU FORESIA, 3-2-24 Toyosu,
Koto-ku, Tokyo 135-0061, Japan
www.renesas.com

商标

Renesas 和 Renesas 徽标是 Renesas Electronics Corporation 的商标。所有商标和注册商标都是各自所有者的财产。

联系信息

有关产品、技术、文档最新版本或离您最近的销售办事处的更多信息，请访问：www.renesas.com/contact/。