

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4559グループ パワーダウン機能

1. 要約

この資料は4559グループのパワーダウン機能の設定方法例、及び応用例について説明しています。

2. はじめに

この資料で説明する応用例は、次のマイコン、条件での利用に適用されます。

- マイコン : 4559グループ
- 発振周波数 : 32.768kHz : 但し、サブクロック f(XCIN)として
- システムクロック : スルーモード(分周なし)使用

本サンプルプログラムでは、制御レジスタのビット配置の都合上、使用しない機能のビットを操作している場合があります。これらの設定値はユーザシステムの使用状況に合わせて設定してください。

3. 関連レジスタ

3.1 割り込み制御レジスタ V2

表3.1に割り込み制御レジスタV2のビット構成を示します。

レジスタV2への書き込みは、レジスタAに値を設定した後、TV2A命令で行います。

また、TAV2命令でレジスタV2の内容をレジスタAに転送できます。

表 3.1 割り込み制御レジスタ V2 のビット構成

割り込み制御レジスタ V2		リセット時 : 0000 ₂	パワーダウン時 : 0000 ₂	R/W TAV2/TV2A
V2 ₃	使用しません	0	このビットに機能はありませんがR/Wは可能です。	
		1		
V2 ₂	使用しません	0	このビットに機能はありませんがR/Wは可能です。	
		1		
V2 ₁	使用しません	0	このビットに機能はありませんがR/Wは可能です。	
		1		
V2 ₀	タイマ3割り込み可能ビット	0	発生禁止 (SNZT3命令有効)	
		1	発生可能 (SNZT3命令無効)	

注 1. “R” は読み出し可、“W” は書き込み可を表します。

注 2. : パワーダウン機能の設定時使用しないビットです。

3.2 割り込み制御レジスタ I1

表3.2に割り込み制御レジスタI1のビット構成を示します。

レジスタI1への書き込みは、レジスタAに値を設定した後、TI1A命令で行います。

また、TAI1命令でレジスタI1の内容をレジスタAに転送できます。

表 3.2 割り込み制御レジスタ I1 のビット構成

割り込み制御レジスタ I1		リセット時 : 0000 ₂	パワーダウン時 : 状態保持	R/W TAI1/TI1A
I1 ₃	INT端子入力制御ビット(注2)	0	入力禁止	
		1	入力可能	
I1 ₂	INT端子割り込み有効波形/ 復帰レベル選択ビット(注2)	0	立ち下がり波形/Lレベル (SNZIO命令はINT端子のLレベル認識)	
		1	立ち上がり波形/Hレベル (SNZIO命令はINT端子のHレベル認識)	
I1 ₁	INT端子エッジ検出回路制御ビット	0	片エッジ検出	
		1	両エッジ検出	
I1 ₀	INT端子タイマ1カウント開始 同期回路選択ビット	0	タイマ1カウント開始同期回路非選択	
		1	タイマ1カウント開始同期回路選択	

注 1. “R” は読み出し可、“W” は書き込み可を表します。

注 2. これらのビット (I1₂、I1₃) の内容を変更した際に、外部割り込み要求フラグ (EXF0) がセットされる場合があります。

注 3. : パワーダウン機能の設定時使用しないビットです。

3.3 LCD制御レジスタ L1

表3.3にLCD制御レジスタL1のビット構成を示します。

レジスタL1への書き込みは、レジスタAに値を設定した後、TL1A命令で行います。
また、TAL1命令でレジスタL1の内容をレジスタAに転送できます。

表 3.3 LCD 制御レジスタ L1 のビット構成

LCD 制御レジスタ L1		リセット時 : 0000 ₂		パワーダウン時 : 状態保持		R/W TAL1/TL1A	
L13	LCD電源用 内部分割抵抗選択ビット(注2)	0	2r × 3、2r × 2				
		1	r × 3、r × 2				
L12	LCD制御ビット	0	停止(消灯)				
		1	動作				
L11	LCDデューティ/バイアス選択ビット	L11	L10	デューティ		バイアス	
		0	0	使用禁止		使用禁止	
		0	1	1/2		1/2	
		1	0	1/3		1/3	
L10		1	1	1/4		1/3	

注 1. “R” は読み出し可、“W” は書き込み可を表します。

注 2. 1/3 バイアス選択時は” × 3”、1/2 バイアス選択時は” × 2” の抵抗を使用します。

3.4 LCD制御レジスタ L2

表3.4にLCD制御レジスタL2のビット構成を示します。

レジスタL2への書き込みは、レジスタAに値を設定した後、TL2A命令で行います。

表 3.4 LCD 制御レジスタ L2 のビット構成

LCD 制御レジスタ L2		リセット時 : 0000 ₂		パワーダウン時 : 状態保持		W TL2A	
L23	SEG0/VLC3端子機能選択ビット(注2)	0	SEG0				
		1	VLC3				
L22	SEG1/VLC2端子機能選択ビット(注3)	0	SEG1				
		1	VLC2				
L21	SEG2/VLC1端子機能選択ビット(注3)	0	SEG2				
		1	VLC1				
L20	LCD電源用内部分割抵抗制御ビット	0	内部分割抵抗有効				
		1	内部分割抵抗無効				

注 1. “W” は書き込み可を表します。

注 2. SEG0 端子を選択した場合、VLC3 は内部で VDD に接続されます。

注 3. SEG1、SEG2 端子を選択した場合は、必ず内部分割抵抗を使用して下さい。

3.5 LCD制御レジスタ L3

表3.5にLCD制御レジスタL3のビット構成を示します。

レジスタL3への書き込みは、レジスタAに値を設定した後、TL3A命令で行います。

表 3.5 LCD 制御レジスタ L3 のビット構成

LCD 制御レジスタ L3		リセット時 : 1111 ₂	パワーダウン時 : 状態保持	W TL3A
L3 ₃	P2 ₃ /SEG ₂₇ 端子機能選択ビット	0	SEG ₂₇	
		1	P2 ₃	
L3 ₂	P2 ₂ /SEG ₂₆ 端子機能選択ビット	0	SEG ₂₆	
		1	P2 ₂	
L3 ₁	P2 ₁ /SEG ₂₅ 端子機能選択ビット	0	SEG ₂₅	
		1	P2 ₁	
L3 ₀	P2 ₀ /SEG ₂₄ 端子機能選択ビット	0	SEG ₂₄	
		1	P2 ₀	

注 1. “W” は書き込み可を表します。

3.6 LCD制御レジスタ C1

表3.6にLCD制御レジスタC1のビット構成を示します。

レジスタC1への書き込みは、レジスタAに値を設定した後、TC1A命令で行います。

表 3.6 LCD 制御レジスタ C1 のビット構成

LCD 制御レジスタ C1		リセット時 : 1111 ₂	パワーダウン時 : 状態保持	W TC1A
C1 ₃	P0 ₃ /SEG ₁₉ 端子機能選択ビット	0	SEG ₁₉	
		1	P0 ₃	
C1 ₂	P0 ₂ /SEG ₁₈ 端子機能選択ビット	0	SEG ₁₈	
		1	P0 ₂	
C1 ₁	P0 ₁ /SEG ₁₇ 端子機能選択ビット	0	SEG ₁₇	
		1	P0 ₁	
C1 ₀	P0 ₀ /SEG ₁₆ 端子機能選択ビット	0	SEG ₁₆	
		1	P0 ₀	

注 1. “W” は書き込み可を表します。

3.7 LCD制御レジスタ C2

表3.7にLCD制御レジスタC2のビット構成を示します。

レジスタC2への書き込みは、レジスタAに値を設定した後、TC2A命令で行います。

表 3.7 LCD制御レジスタ C2のビット構成

LCD制御レジスタ C2		リセット時：1111 ₂	パワーダウン時：状態保持	W TC2A
C23	P13/SEG ₂₃ 端子機能選択ビット	0	SEG ₂₃	
		1	P13	
C22	P12/SEG ₂₂ 端子機能選択ビット	0	SEG ₂₂	
		1	P12	
C21	P11/SEG ₂₁ 端子機能選択ビット	0	SEG ₂₁	
		1	P11	
C20	P10/SEG ₂₀ 端子機能選択ビット	0	SEG ₂₀	
		1	P10	

注1. “W” は書き込み可を表します。

3.8 LCD制御レジスタ C3

表3.8にLCD制御レジスタC3のビット構成を示します。

レジスタC3への書き込みは、レジスタAに値を設定した後、TC3A命令で行います。

表 3.8 LCD制御レジスタ C3のビット構成

LCD制御レジスタ C3		リセット時：1111 ₂	パワーダウン時：状態保持	W TC3A
C33	P33/SEG ₃₁ 端子機能選択ビット	0	SEG ₃₁	
		1	P33	
C32	P32/SEG ₃₀ 端子機能選択ビット	0	SEG ₃₀	
		1	P32	
C31	P31/SEG ₂₉ 端子機能選択ビット	0	SEG ₂₉	
		1	P31	
C30	P30/SEG ₂₈ 端子機能選択ビット	0	SEG ₂₈	
		1	P30	

注1. “W” は書き込み可を表します。

3.9 タイマ制御レジスタ W3

表3.9にタイマ制御レジスタ W3のビット構成を示します。

レジスタ W3への書き込みは、レジスタ Aに値を設定した後、TW3A 命令で行います。

また、TAW3 命令でレジスタ W3の内容をレジスタ Aに転送できます。

表 3.9 タイマ制御レジスタ W3 のビット構成

タイマ制御レジスタ W3		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAW3/TW3A
W3 ₃	タイマ3カウントソース選択ビット	0	XCIN入力	
		1	プリスケアラ出力(ORCLK)の2分周信号	
W3 ₂	タイマ3制御ビット	0	停止(初期状態)	
		1	動作	
W3 ₁	タイマ3カウント値選択ビット	W3 ₁	W3 ₀	カウント値
		0	0	8192カウントごとにアンダフロー発生
		0	1	16384カウントごとにアンダフロー発生
W3 ₀		1	0	32768カウントごとにアンダフロー発生
		1	1	65536カウントごとにアンダフロー発生

注 1. “R” は読み出し可、“W” は書き込み可を表します。

3.10 タイマ制御レジスタ W4

表3.10にタイマ制御レジスタ W4のビット構成を示します。

レジスタ W4への書き込みは、レジスタ Aに値を設定した後、TW4A 命令で行います。

また、TAW4 命令でレジスタ W4の内容をレジスタ Aに転送できます。

表 3.10 タイマ制御レジスタ W4 のビット構成

タイマ制御レジスタ W4		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAW4/TW4A
W4 ₃	タイマLC制御ビット	0	停止(状態保持)	
		1	動作	
W4 ₂	タイマLCカウントソース選択ビット	0	タイマ3のビット4(T3 ₄)	
		1	システムクロック(STCK)	
W4 ₁	CNTR 端子 出力自動制御回路選択ビット	0	CNTR 端子出力自動制御回路非選択	
		1	CNTR 端子出力自動制御回路選択	
W4 ₀	CNTR 端子 入力カウントエッジ選択ビット	0	立ち下がリエッジ	
		1	立ち上がりエッジ	

注 1. “R” は読み出し可、“W” は書き込み可を表します。

注 2. : パワーダウン機能の設定時使用しないビットです。

3.11 キーオンウェイクアップ制御レジスタ K2

表3.11にキーオンウェイクアップ制御レジスタ K2のビット構成を示します。
レジスタ K2への書き込みは、レジスタ Aに値を設定した後、TK2A 命令で行います。
また、TAK2 命令でレジスタ K2の内容をレジスタ Aに転送できます。

表 3.11 キーオンウェイクアップ制御レジスタ K2 のビット構成

キーオンウェイクアップ制御レジスタ K2		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAK2/TK2A
K2 ₂	ポート P3 ₂ 、P3 ₃ (注3) キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K2 ₂	ポート P3 ₀ 、P3 ₁ (注2) キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K2 ₁	INT 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K2 ₀	INT 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

- 注 1. “R” は読み出し可、“W” は書き込み可を表します。
 注 2. ポート P3₀、P3₁ のキーオンウェイクアップを無効 (K2₂=”0”) にする場合は、レジスタ K3₀、K3₁ の値を ”0” に設定してください。
 注 3. ポート P3₂、P3₃ のキーオンウェイクアップを無効 (K2₃=”0”) にする場合は、レジスタ K3₂、K3₃ の値を ”0” に設定してください。
 注 4. : パワーダウン機能の設定時使用しないビットです。

3.12 ポート出力形式制御レジスタ FR2

表3.12にポート出力形式制御レジスタ FR2のビット構成を示します。
レジスタ FR2への書き込みは、レジスタ Aに値を設定した後、TFR2A 命令で行います。

表 3.12 ポート出力形式制御レジスタ FR2 のビット構成

ポート出力形式制御レジスタ FR2		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR2A
FR2 ₃	ポート P3 ₂ 、P3 ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₂	ポート P3 ₀ 、P3 ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₁	ポート D ₅ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₀	ポート D ₄ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

- 注 1. “W” は書き込み可を表します。
 注 2. : パワーダウン機能の設定時使用しないビットです。

3.13 クロック制御レジスタ RG

表3.13にクロック制御レジスタRGのビット構成を示します。

レジスタRGへの書き込みは、レジスタAに値を設定した後、TRGA命令で行います。

表 3.13 クロック制御レジスタ RG のビット構成

クロック制御レジスタ RG		リセット時 : 000 ₂	パワーダウン時 : 状態保持	W TRGA
RG ₂	サブクロック f(XCIN)) 制御ビット (注2)	0	サブクロック (f(XCIN)) 発振可能、ポート D6、D7 非選択	
		1	サブクロック (f(XCIN)) 発振停止、ポート D6、D7 選択	
RG ₁	メインクロック f(XIN)) 制御ビット (注2)	0	メインクロック (f(XIN)) 発振可能	
		1	メインクロック (f(XIN)) 発振停止	
RG ₀	オンチップオシレータ (f(RING)) 制御ビット (注2)	0	オンチップオシレータ (f(RING)) 発振可能	
		1	オンチップオシレータ (f(RING)) 発振停止	

注 1. “W” は書き込み可を表します。

注 2. システムクロックに選択している発振回路を停止することはできません。

4. パワーダウン機能の応用例

4.1 時計動作モード

サブクロックに32.768kHz水晶発振子を用いてPOF命令を使用することにより、低消費電力で精度の高い時計を実現できます。

ポイント：POF命令使用により消費電力を低減できます。

仕様：LCDと32.768kHz水晶発振子を使用して時刻を表示します。

図4.1にLCD表示パネル例、図4.2にLCD表示用RAM配置例、図4.3にLCD表示パネル用セグメント配置例を示します。

図4.4に状態遷移図を、図4.5に時計動作モード設定例(1)を、図4.6に時計動作モード設定例(2)を示します。

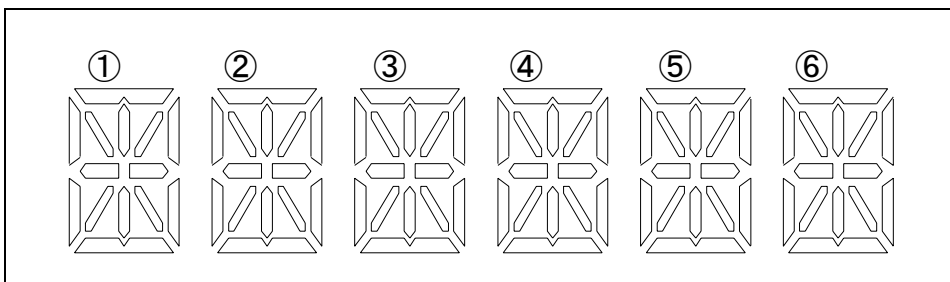


図 4.1 LCD 表示パネル例

レジスタZ	1															
レジスタX	0				1				2				3			
レジスタY	3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0
8	SEG0	SEG0	SEG0	SEG0	SEG8	SEG8	SEG8	SEG8	SEG16	SEG16	SEG16	SEG16	SEG24	SEG24	SEG24	SEG24
9	SEG1	SEG1	SEG1	SEG1	SEG9	SEG9	SEG9	SEG9	SEG17	SEG17	SEG17	SEG17	SEG25	SEG25	SEG25	SEG25
10	SEG2	SEG2	SEG2	SEG2	SEG10	SEG10	SEG10	SEG10	SEG18	SEG18	SEG18	SEG18	SEG26	SEG26	SEG26	SEG26
11	SEG3	SEG3	SEG3	SEG3	SEG11	SEG11	SEG11	SEG11	SEG19	SEG19	SEG19	SEG19	SEG27	SEG27	SEG27	SEG27
12	SEG4	SEG4	SEG4	SEG4	SEG12	SEG12	SEG12	SEG12	SEG20	SEG20	SEG20	SEG20	SEG28	SEG28	SEG28	SEG28
13	SEG5	SEG5	SEG5	SEG5	SEG13	SEG13	SEG13	SEG13	SEG21	SEG21	SEG21	SEG21	SEG29	SEG29	SEG29	SEG29
14	SEG6	SEG6	SEG6	SEG6	SEG14	SEG14	SEG14	SEG14	SEG22	SEG22	SEG22	SEG22	SEG30	SEG30	SEG30	SEG30
15	SEG7	SEG7	SEG7	SEG7	SEG15	SEG15	SEG15	SEG15	SEG23	SEG23	SEG23	SEG23	SEG31	SEG31	SEG31	SEG31
COM	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

図 4.2 LCD 表示用 RAM 配置例

レジスタZ	1											
レジスタX	0				1				2			
レジスタY	3	2	1	0	3	2	1	0	3	2	1	0
8	①-d	①-c	①-b	①-a	③-d	③-c	③-b	③-a	⑤-d	⑤-c	⑤-b	⑤-a
9	①-h	①-g	①-f	①-e	③-h	③-g	③-f	③-e	⑤-h	⑤-g	⑤-f	⑤-e
10	①-k	①-j		①-i	③-k	③-j		③-i	⑤-k	⑤-j		⑤-i
11	①-n	①-l		①-m	③-n	③-l		③-m	⑤-n	⑤-l		⑤-m
12	②-d	②-c	②-b	②-a	④-d	④-c	④-b	④-a	⑥-d	⑥-c	⑥-b	⑥-a
13	②-h	②-g	②-f	②-e	④-h	④-g	④-f	④-e	⑥-h	⑥-g	⑥-f	⑥-e
14	②-k	②-j		②-i	④-k	④-j		④-i	⑥-k	⑥-j		⑥-i
15	②-n	②-l		②-m	④-n	④-l		④-m	⑥-n	⑥-l		⑥-m
COM	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

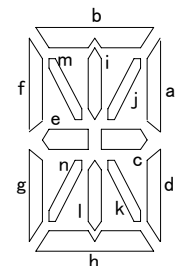


図 4.3 LCD 表示パネル用セグメント配置例

4.2 RAMバックアップモード

POF2 命令を使用することにより、RAM 及びリセット回路の機能及び状態を保持したまま発振を停止するため、RAMのデータを失うことなく低消費電力で実現できます。

ポイント：POF2 命令使用により消費電力を低減できます。

仕様：SW 押下によりキーオンウェイクアップし、LCD にその回数を最大 9 回まで表示します。

但し、10 回目は 0 回目から再度、カウントを行います。

LCD パネルは本アプリの 4.1 時計動作モードと同じのを使用します。

図 4.7 に RAM バックアップモード設定例 (1) を、図 4.8 に RAM バックアップモード設定例 (2)、図 4.9 に RAM バックアップモード設定例 (3) 示します。

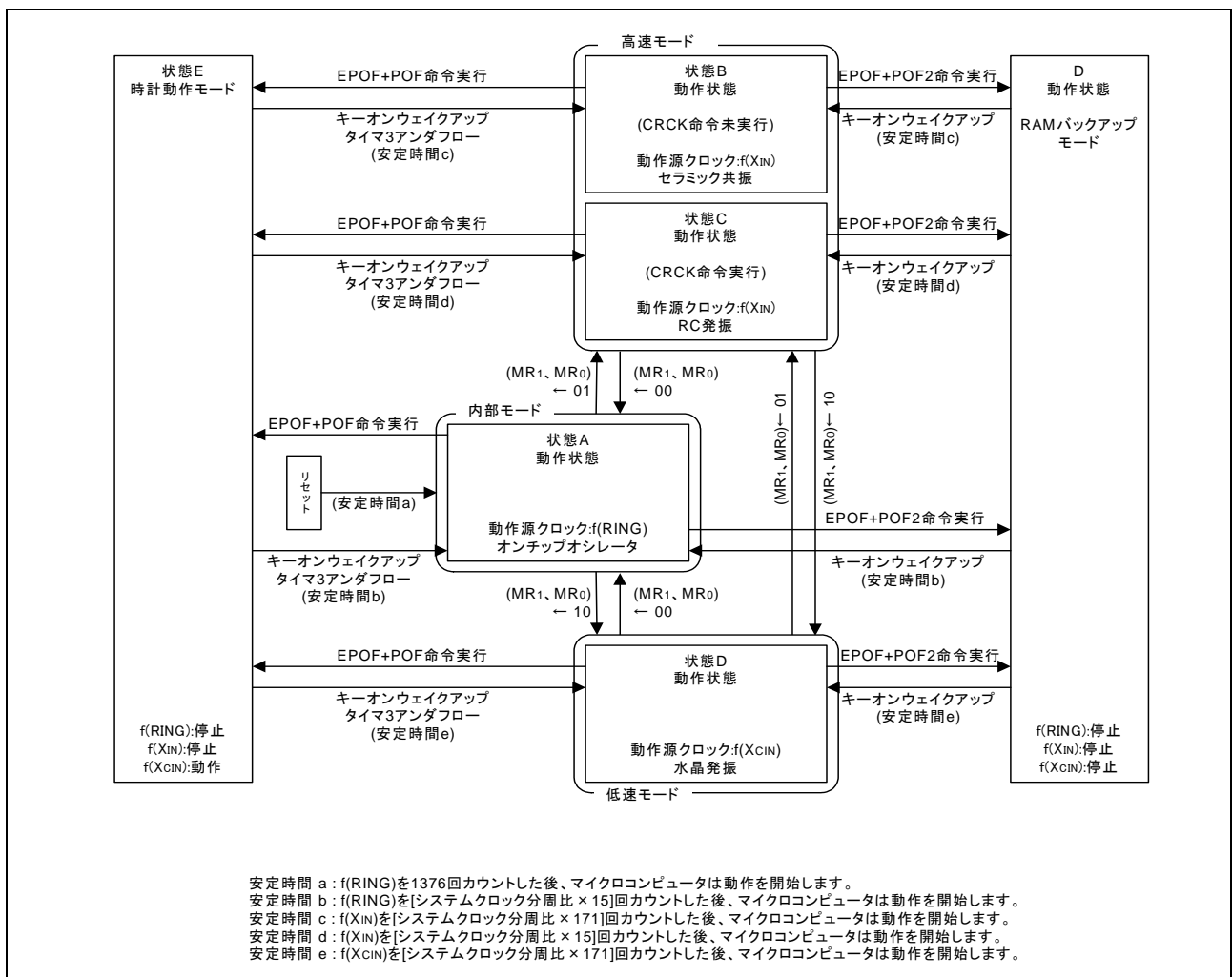


図 4.4 状態遷移図

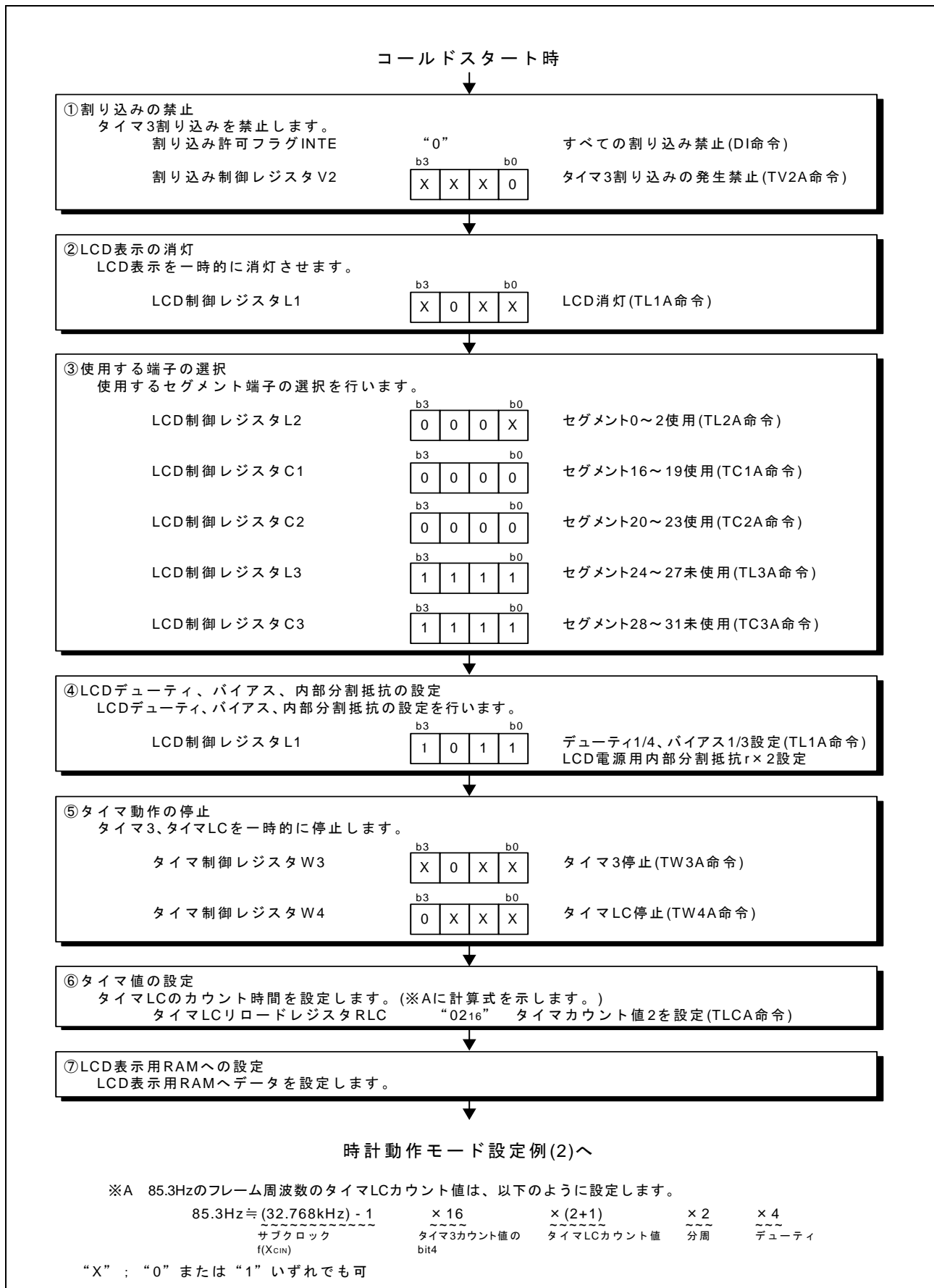


図 4.5 時計動作モード設定例(1)

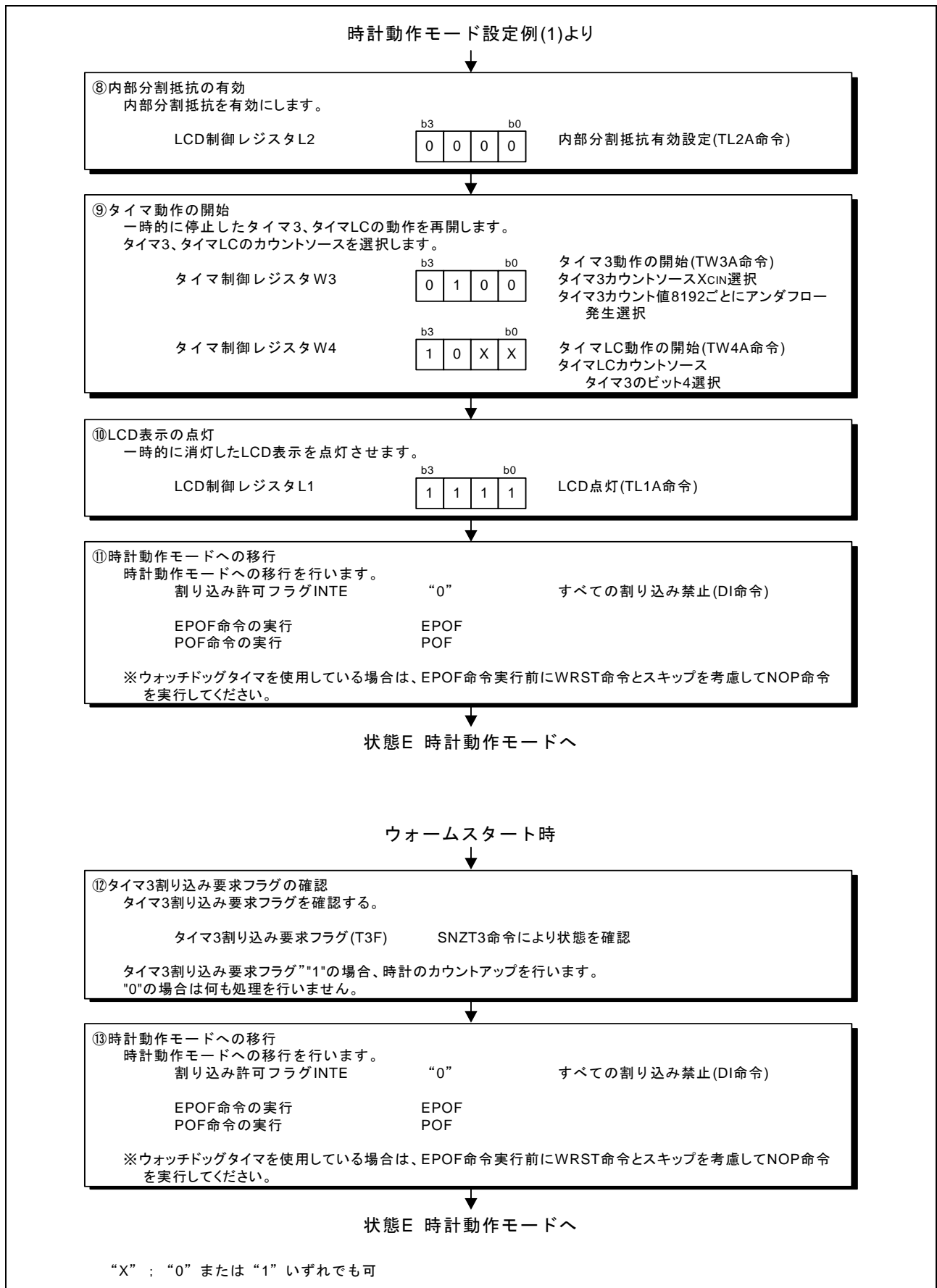


図 4.6 時計動作モード設定例 (2)

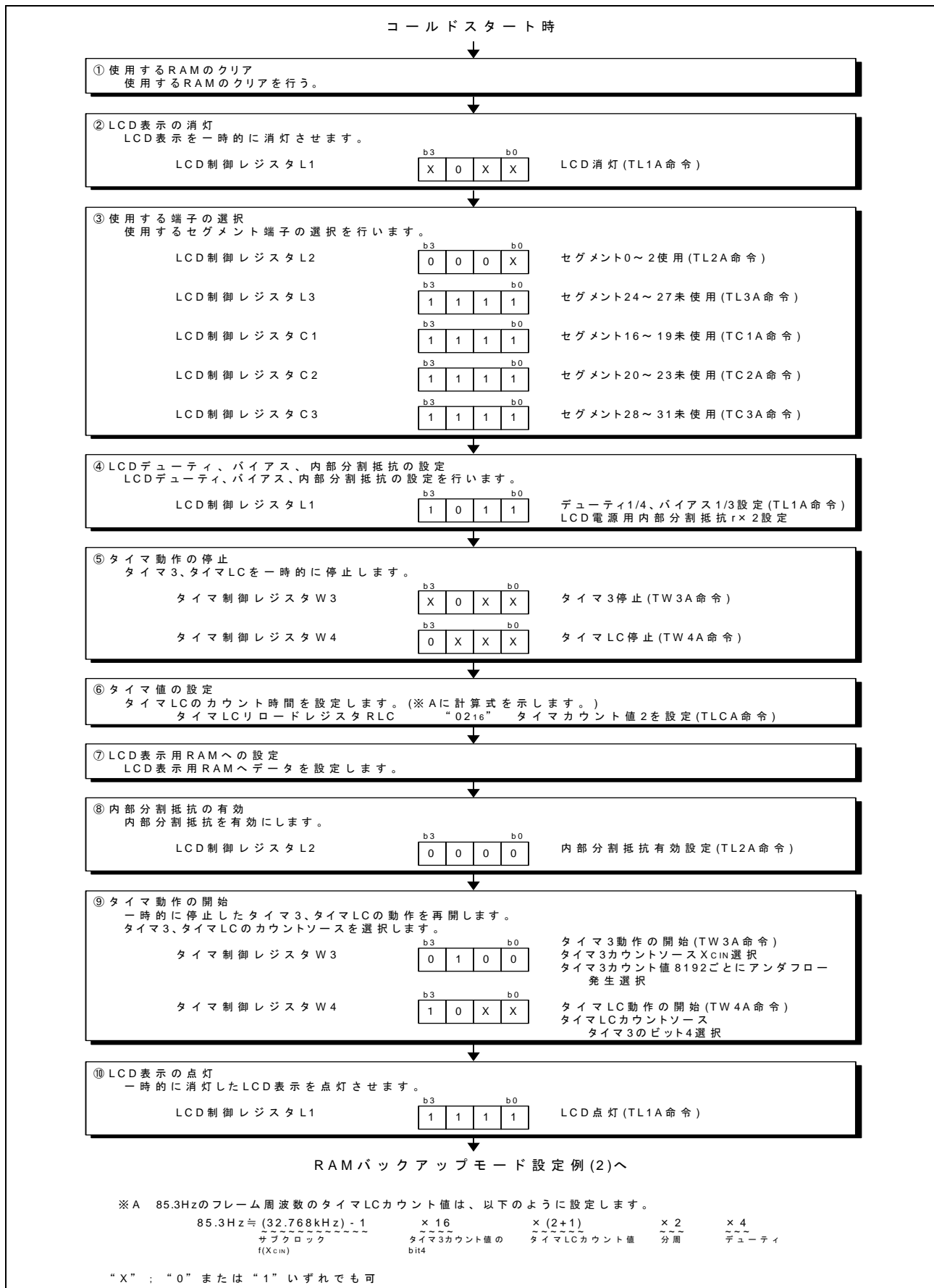


図 4.7 RAMバックアップモード設定例(1)

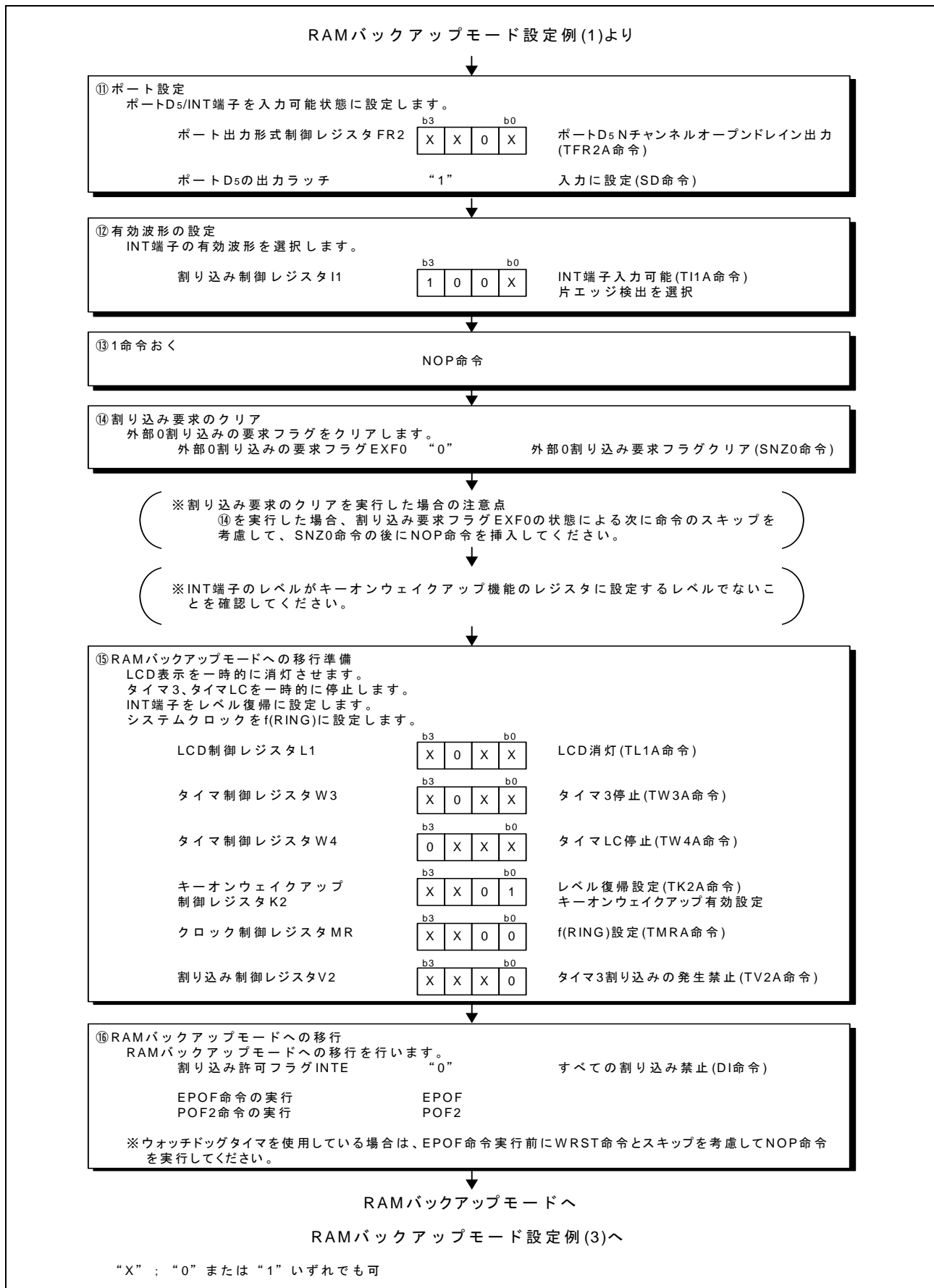


図 4.8 RAMバックアップモード設定例 (2)

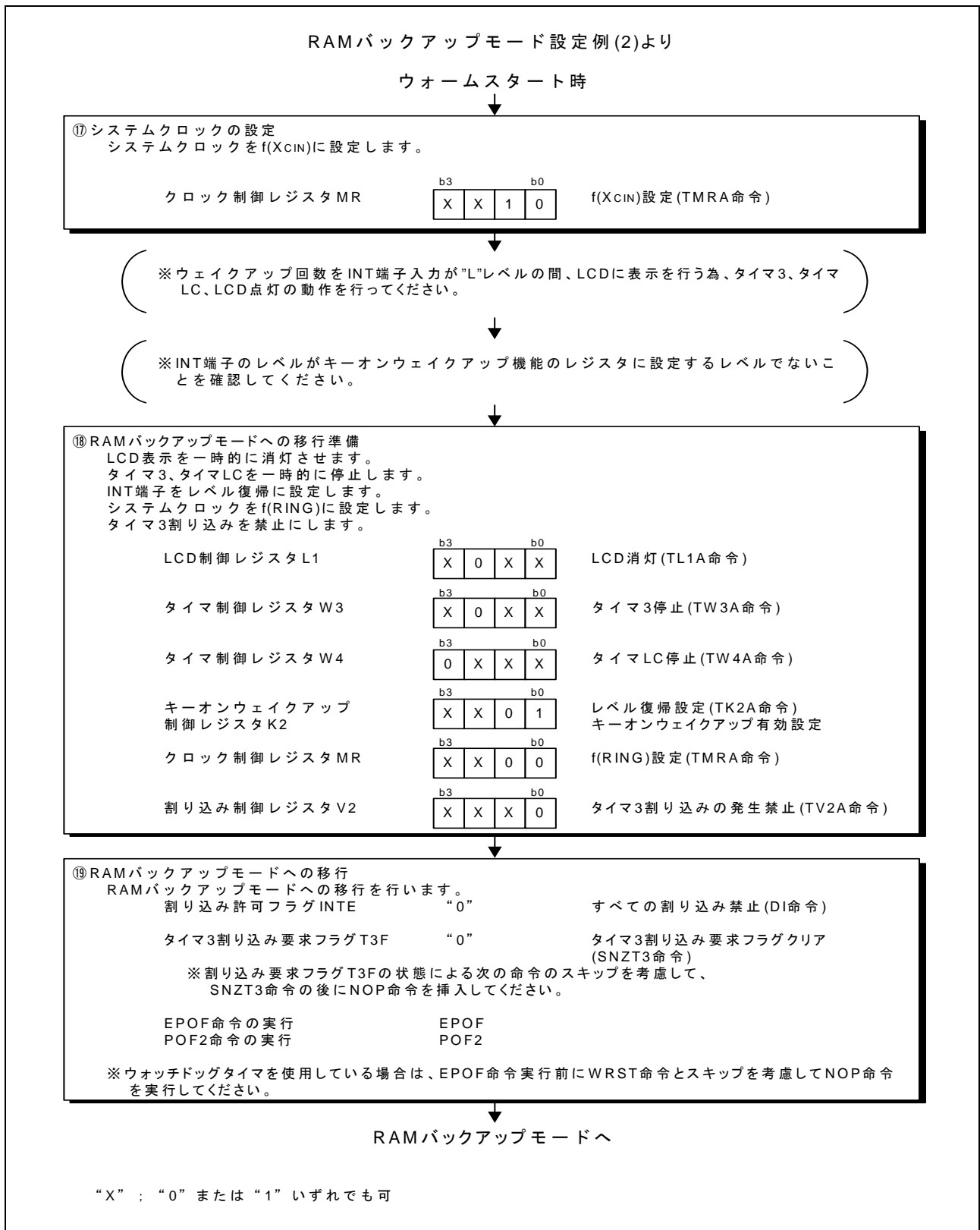


図 4.9 RAMバックアップモード設定例(3)

5. 参考プログラム例

参考プログラムは、ルネサステクノロジホームページから入手してください。
4559グループのページの画面左メニュー「アプリケーションノート」をクリックしてください。

6. 参考ドキュメント

データシート
4559グループデータシート

最新版をルネサステクノロジホームページから入手してください。

7. ホームページとサポート窓口

ルネサステクノロジホームページ
<http://japan.renesas.com/>

お問い合わせ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

改訂記録	4559 グループパワーダウン機能 アプリケーションノート
------	----------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.11.01	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。