

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

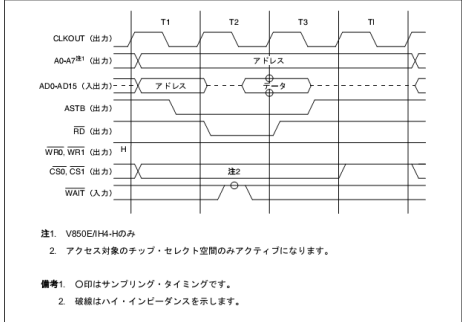
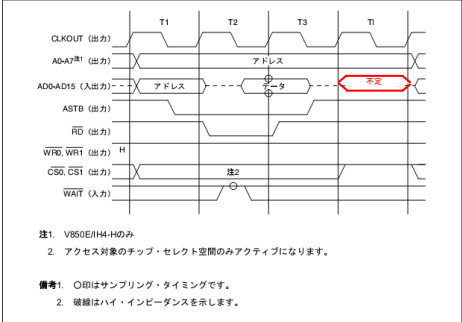
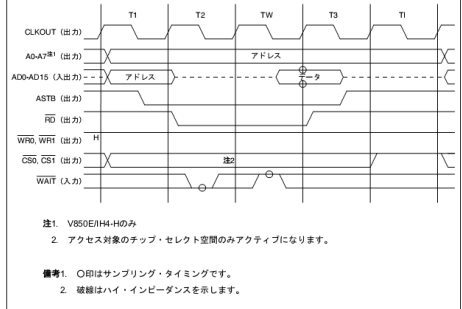
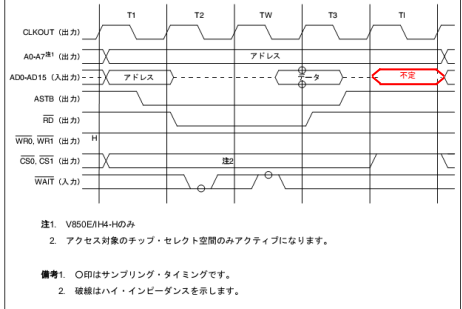
製品分類	MPU & MCU	発行番号	TN-V85-A020A/J	Rev.	第1版
題名	V850E/IG4-H、V850E/IH4-H バス制御機能の制限事項		情報分類	技術情報	
適用製品	V850E/IG4-H、V850E/IH4-H シリーズ	対象ロット等	関連資料	・ V850E/IG4-H、V850E/IH4-H ユーザーズマニュアル ハードウェア編 (Rev.3.00) R01UH0306JJ0300	
		全ロット			

V850E/IG4-H、V850E/IH4-H に関して、バス制御機能の制限事項が判明しました。

## 1. 制限事項内容

バス制御機能においてアイドル・ステート時の AD0-AD15 端子の状態が不定となります。

ユーザーズマニュアルにつきましても以下が正しい記載となります。

項番	頁	訂正箇所	誤	正
1	1172	(1) バス・サイクル・コントロール・レジスタ (BCC)	<p>注意1: 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。</p> <p>2: BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。</p> <p>3: アイドル・ステート時にチップ・セレクト信号 (CS<sub>n</sub>) はアクティブにはなりません (n = 0, 1)。</p>	<p>注意1: 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。</p> <p>2: BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。</p> <p>3: アイドル・ステート時にチップ・セレクト信号 (CS<sub>n</sub>) はアクティブにはなりません (n = 0, 1)。</p> <p>4: アイドル・ステート中、AD0-AD15 端子は不定出力となります。</p>
2	1177	(3) リード・サイクル (アイドル・ステート挿入時)	<p>(3) リード・サイクル (アイドル・ステート挿入時)</p>  <p>注1: V850E/IH4-Hのみ 2: アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2: 破線はハイ・インピーダンスを示します。</p>	<p>(3) リード・サイクル (アイドル・ステート挿入時)</p>  <p>注1: V850E/IH4-Hのみ 2: アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2: 破線はハイ・インピーダンスを示します。</p>
3	1178	(4) リード・サイクル (データ・ウェイト・ステート (1ウェイト), アイドル・ステート挿入時)	<p>(4) リード・サイクル (データ・ウェイト・ステート (1ウェイト), アイドル・ステート挿入時)</p>  <p>注1: V850E/IH4-Hのみ 2: アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2: 破線はハイ・インピーダンスを示します。</p>	<p>(4) リード・サイクル (データ・ウェイト・ステート (1ウェイト), アイドル・ステート挿入時)</p>  <p>注1: V850E/IH4-Hのみ 2: アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2: 破線はハイ・インピーダンスを示します。</p>

項番	頁	訂正箇所	誤	正																		
4	1182	(8) ライト・サイクル (アイドル・ステート挿入時)	<p>(8) ライト・サイクル(アイドル・ステート挿入時)</p> <p>注1. V850EH4-Hのみ 2. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>3. アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル	<p>(8) ライト・サイクル(アイドル・ステート挿入時)</p> <p>注1. V850EH4-Hのみ 2. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>3. アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				
5	1183	(9) ライト・サイクル (データ・ウエイト・ステート (1ウエイト), アイドル・ステート挿入時)	<p>(9) ライト・サイクル(データ・ウエイト・ステート (1ウエイト), アイドル・ステート挿入時)</p> <p>注1. V850EH4-Hのみ 2. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>3. アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル	<p>(9) ライト・サイクル(データ・ウエイト・ステート (1ウエイト), アイドル・ステート挿入時)</p> <p>注1. V850EH4-Hのみ 2. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>3. アクセス対象のチップ・セレクト空間のみアクティブになります。</p> <p>備考1: O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				

2. 回避策

バス制御機能でアイドル・ステート時には AD0-AD15 端子で信号衝突が発生しないようご使用願います。

また誠に申し訳ございませんが本制限事項は修正せず制限事項とさせていただきます。

詳細につきましては弊社販売員、または特約店を通じてご相談ください。

以上