

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A903A/J	Rev.	第1版
題名	シリアルコミュニケーションインタフェース(SCD)の SCSPTR レジスタ使用上の注意事項		情報分類	技術情報	
適用製品	SH7147 シリーズ	対象ロット等	関連資料	SH7147 グループハードウェアマニュアル Rev.3.00 (RJ09B0234-0300)	
		全ロット			

上記適用製品のユーザーズマニュアル ハードウェア編のシリアルコミュニケーションインタフェース(SCD)章において、SCSPTR レジスタに関する訂正事項があります。

■13.3.8 シリアルポートレジスタ(SCSPTR)の説明を以下の様に訂正致します。

【訂正前】

ビット：	7	6	5	4	3	2	1	0
	EIO	—	—	—	SPB1IO	SPB1DT	SPB0IO	SPB0DT
初期値：	0	0	0	0	0	不定	0	不定
R/W：	R/W	—	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	EIO	0	R/W	エラー割り込みオンリー EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。このビットは RXI 割り込みの許可/禁止を設定します。 0：RIE ビットが RXI と ERI 割り込みを許可/禁止する RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる 1：RIE ビットが 1 のとき、ERI 割り込みだけが INTC へ送られる
6~4	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	SPB1IO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR の C/A ビットと SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0：SCK 端子に SPB1DT ビットの値を出力しない 1：SCK 端子に SPB1DT ビットの値を出力する
2	SPB1DT	不定	R/W	シリアルポートクロックポートデータ シリアルポートの SCK 端子の出力データを指定します。出力有効であるかは SPB1IO ビットで指定します(詳細は SPB1IO ビットの説明を参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。 0：出力データがローレベル 1：出力データがハイレベル
1	SPB0IO	0	R/W	シリアルポートブレイク出力 SPB0DT ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。

0	SPB0DT	不定	R/W	<p>シリアルポートブ레이크データ SPB0IO ビット、SCSCR の TE ビットとあわせて、TXD 端子を制御します。 ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択しておく必要があります。</p> <table border="1" data-bbox="671 315 1442 600"> <thead> <tr> <th data-bbox="671 315 842 409">SCSCR の TE ビット 設定値</th> <th data-bbox="842 315 986 409">SPB0IO ビット 設定値</th> <th data-bbox="986 315 1134 409">SPB0DT ビット 設定値</th> <th data-bbox="1134 315 1442 409">TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td data-bbox="671 409 842 472">0</td> <td data-bbox="842 409 986 472">0</td> <td data-bbox="986 409 1134 472">*</td> <td data-bbox="1134 409 1442 472">SPB0DT 出力無効状態 (初期状態)</td> </tr> <tr> <td data-bbox="671 472 842 504">0</td> <td data-bbox="842 472 986 504">1</td> <td data-bbox="986 472 1134 504">0</td> <td data-bbox="1134 472 1442 504">ローレベル出力</td> </tr> <tr> <td data-bbox="671 504 842 535">0</td> <td data-bbox="842 504 986 535">1</td> <td data-bbox="986 504 1134 535">1</td> <td data-bbox="1134 504 1442 535">ハイレベル出力</td> </tr> <tr> <td data-bbox="671 535 842 600">1</td> <td data-bbox="842 535 986 600">*</td> <td data-bbox="986 535 1134 600">*</td> <td data-bbox="1134 535 1442 600">シリアルコア論理に従って送信データ出力</td> </tr> </tbody> </table> <p data-bbox="683 629 874 658">【注】 * Don't care</p>	SCSCR の TE ビット 設定値	SPB0IO ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態	0	0	*	SPB0DT 出力無効状態 (初期状態)	0	1	0	ローレベル出力	0	1	1	ハイレベル出力	1	*	*	シリアルコア論理に従って送信データ出力
SCSCR の TE ビット 設定値	SPB0IO ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態																					
0	0	*	SPB0DT 出力無効状態 (初期状態)																					
0	1	0	ローレベル出力																					
0	1	1	ハイレベル出力																					
1	*	*	シリアルコア論理に従って送信データ出力																					

【訂正後】

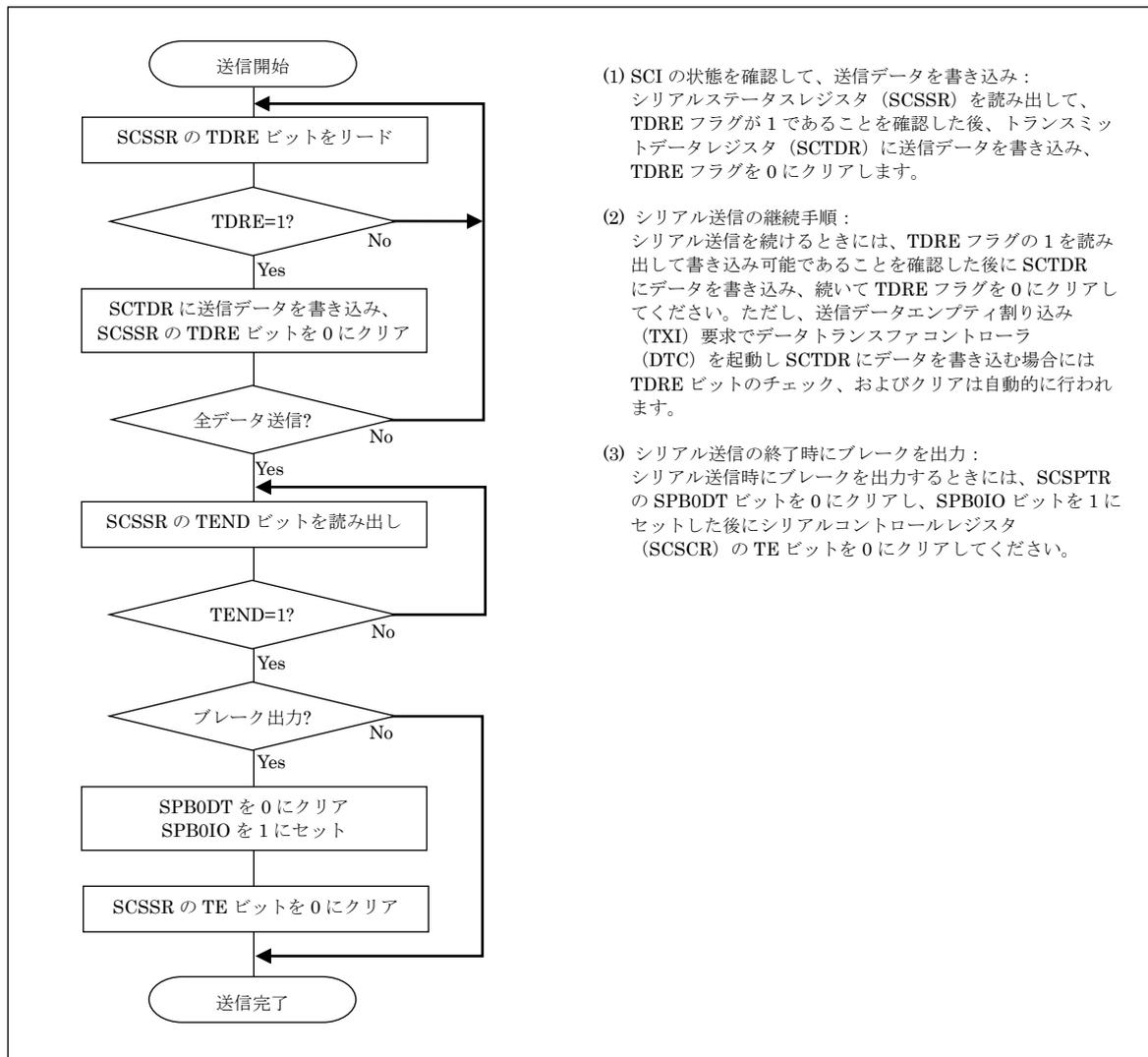
ビット：	7	6	5	4	3	2	1	0
	EIO	—	—	—	SPB1IO	SPB1DT	—	SPB0DT
初期値：	0	0	0	0	0	不定	0	1
R/W：	R/W	—	—	—	R/W	W	—	W

ビット	ビット名	初期値	R/W	説明												
7	EIO	0	R/W	<p>エラー割り込みオンリー</p> <p>EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。このビットは RXI 割り込みの許可/禁止を設定します。</p> <p>0：RIE ビットが RXI と ERI 割り込みを許可/禁止する</p> <p>RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる</p> <p>1：RIE ビットが 1 のとき、ERI 割り込みだけが INTC へ送られる</p>												
6~4	—	すべて 0	—	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>												
3	SPB1IO	0	R/W	<p>シリアルポートクロックポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR の C/A ビットと SCSCR の CK1、CK0 ビットを 0 に設定してください。</p> <p>0：SCK 端子に SPB1DT ビットの値を出力しない</p> <p>1：SCK 端子に SPB1DT ビットの値を出力する</p>												
2	SPB1DT	不定	W	<p>シリアルポートクロックポートデータ</p> <p>シリアルポートの SCK 端子の出力データを指定します。出力有効であるかは SPB1IO ビットで指定します(詳細は SPB1IO ビットの説明を参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。</p> <p>0：出力データがローレベル</p> <p>1：出力データがハイレベル</p> <p>また、本ビットは書き込み専用ビットです。読み出すと不定値が読み出されます。</p>												
1	—	0	—	リザーブビット												
0	SPB0DT	1	W	<p>シリアルポートブ레이크データ</p> <p>SCSCR の TE ビットとあわせて、TXD 端子を制御します。ただし、ピンファンクションコントローラ (PFC) で TXD 端子機能を選択しておく必要があります。</p> <p>また、本ビットは書き込み専用ビットです。読み出すと不定値が読み出されます。</p> <table border="1" data-bbox="667 1505 1404 1700"> <thead> <tr> <th>SCSCR の TE ビット 設定値</th> <th>SPB0DT ビット 設定値</th> <th>TXD 端子状態</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>ローレベル出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>ハイレベル出力 (初期値)</td> </tr> <tr> <td>1</td> <td>*</td> <td>送信データ出力</td> </tr> </tbody> </table>	SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態	0	0	ローレベル出力	0	1	ハイレベル出力 (初期値)	1	*	送信データ出力
SCSCR の TE ビット 設定値	SPB0DT ビット 設定値	TXD 端子状態														
0	0	ローレベル出力														
0	1	ハイレベル出力 (初期値)														
1	*	送信データ出力														

【注】 * Don't care

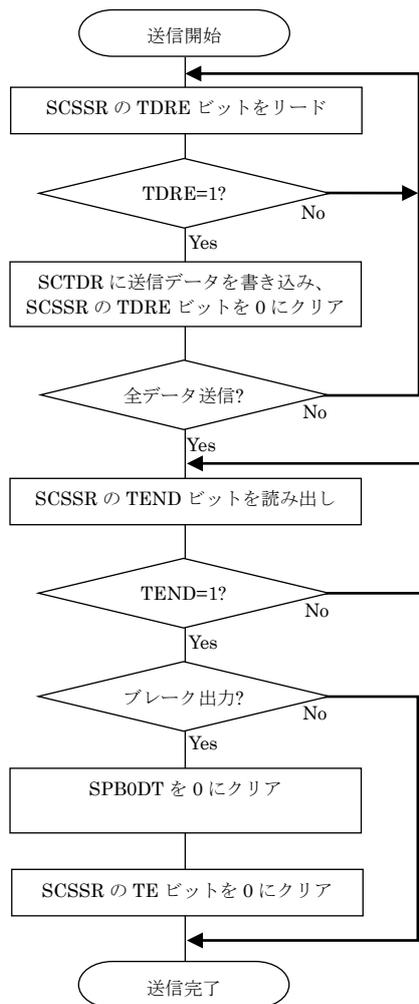
■図 13.4 シリアル送信のフローチャートの例を以下のように訂正致します。

【訂正前】



- (1) SCI の状態を確認して、送信データを書き込み：
シリアルステータスレジスタ (SCSSR) を読み出して、TDRE フラグが 1 であることを確認した後、トランスミットデータレジスタ (SCTDR) に送信データを書き込み、TDRE フラグを 0 にクリアします。
- (2) シリアル送信の継続手順：
シリアル送信を続けるときには、TDRE フラグの 1 を読み出して書き込み可能であることを確認した後に SCTDR にデータを書き込み、続いて TDRE フラグを 0 にクリアしてください。ただし、送信データエンプティ割り込み (TXI) 要求でデータ転送コントローラ (DTC) を起動し SCTDR にデータを書き込む場合には TDRE ビットのチェック、およびクリアは自動的に行われます。
- (3) シリアル送信の終了時にブレイクを出力：
シリアル送信時にブレイクを出力するときには、SCSPTR の SPB0DT ビットを 0 にクリアし、SPB0IO ビットを 1 にセットした後にシリアルコントロールレジスタ (SCSSR) の TE ビットを 0 にクリアしてください。

【訂正後】



- (1) SCI の状態を確認して、送信データを書き込み：
シリアルステータスレジスタ (SCSSR) を読み出して、TDRE フラグが 1 であることを確認した後、トランスミットデータレジスタ (SCTDR) に送信データを書き込み、TDRE フラグを 0 にクリアします。
- (2) シリアル送信の継続手順：
シリアル送信を続けるときには、TDRE フラグの 1 を読み出して書き込み可能であることを確認した後に SCTDR にデータを書き込み、続いて TDRE フラグを 0 にクリアしてください。ただし、送信データエンプティ割り込み (TXI) 要求でデータトランスファコントローラ (DTC) を起動し SCTDR にデータを書き込む場合には TDRE ビットのチェック、およびクリアは自動的に行われます。
- (3) シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、SCSPTR の SPB0DT ビットを 0 にクリアした後にシリアルコントロールレジスタ (SCSCR) の TE ビットを 0 にクリアしてください。

■図 13.20 SPBIO ビット、SPBDT ビットと TXD 端子との関係を以下のように訂正致します。

【訂正前】

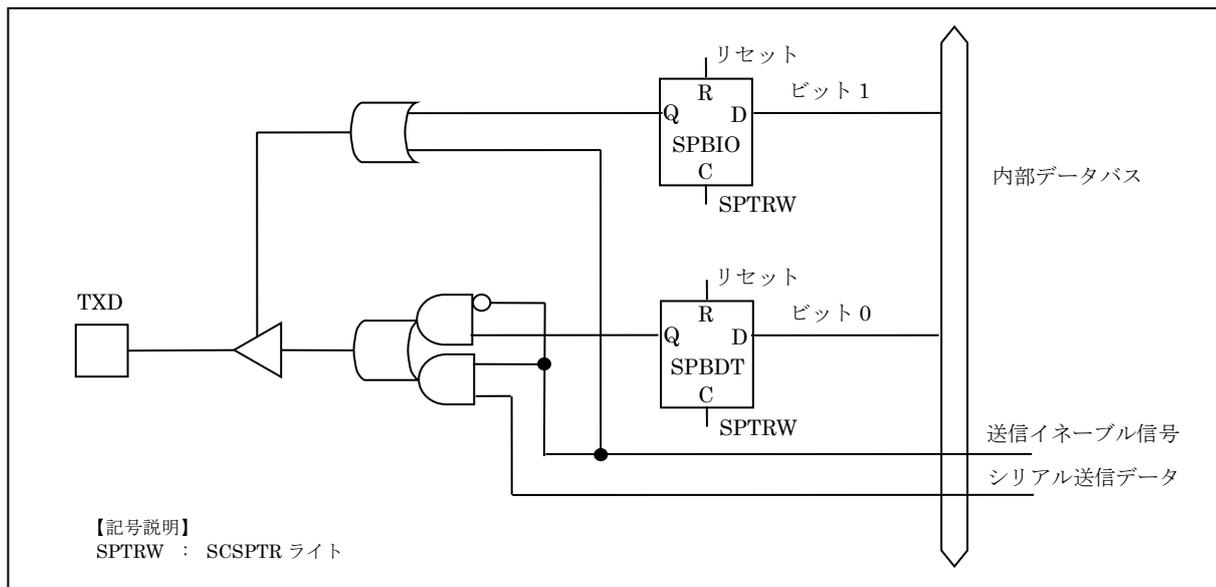


図 13.20 SPBIO ビット、SPBDT ビットと TXD 端子との関係

【訂正後】

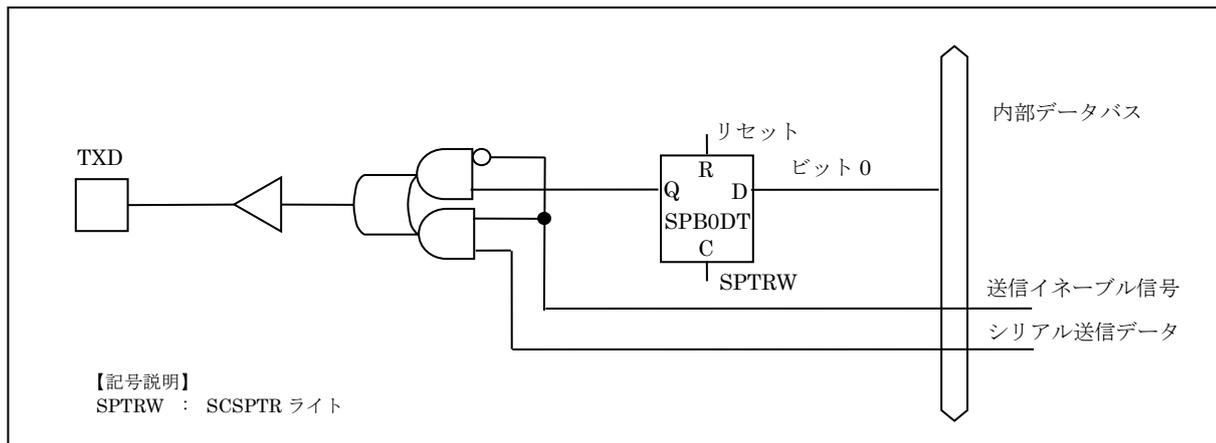


図 13.20 SPBDT ビットと TXD 端子との関係

■13.7.4 ブレークの送り出しの説明本文を以下のように訂正致します。

【訂正前】

TXD 端子は、シリアルポートレジスタ (SCSPTR) の SPB0IO、SPB0DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB0DT ビットの値で代替えされます。このため、最初は SPB0IO と SPB0DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB0DT ビットを 0 にクリア (ローレベル) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子からは 0 が出力されます。

【訂正後】

TXD 端子は、シリアルポートレジスタ (SCSPTR) の SPB0DT ビットで出力レベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TXD 端子として機能しません。この間は、マーク状態は SPB0DT ビットの値で代替えされます。このため、最初は SPB0DT ビットを 1 に設定 (ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB0DT ビットを 0 にクリア (ローレベル) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子からは SPB0DT ビットで設定したレベルが出力されます。