

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A011A/J	Rev.	第1版
題名	マルチファンクションタイマパルスユニット 2 (MTU2) に関する注意事項		情報分類	技術情報	
適用製品	RX62N、RX621 グループ RX630 グループ RX63N、RX631 グループ	対象ロット等	関連資料	ユーザーズマニュアル ハードウェア編 (末尾に記載)	

マルチファンクションタイマパルスユニット 2 (MTU2) に以下に示す注意事項がありますので、該当する場合は対策に示す方法で使用してください。また、これらに伴いマニュアルを訂正しますので、訂正内容を示します。訂正内容は RX62N グループ、RX621 グループ ユーザーズマニュアル ハードウェア編を例に説明します。その他のグループのマニュアルでの掲載箇所は末尾の「表 1. マニュアルと MTU2 の章番号」を参考にしてください。

1. タイマアウトプットマスタイネーブルレジスタ(TOER)

1.1 注意事項

カウンタの動作中に、TOER レジスタのビットを“1” (MTU 出力許可) から“0” (MTU 出力禁止) に変更すると、再度“1”にした時に、設定と異なるデューティ比の PWM 波形が出力される場合があります。TOER レジスタのビットを“0”に変更する場合は、カウンタを停止させてから実施してください。

1.2 対策

カウンタを動作させた後に、TOER レジスタのビットを“1”から“0”にする場合、以下の手順に従ってください。

- (1) タイマスタートレジスタ (TSTR) の該当するカウンタのビットに“0” (カウント停止) を書く
- (2) TOER レジスタのビットに“0”を書く

1.3 マニュアルの記述訂正

「17.2.17 タイマアウトプットマスタイネーブルレジスタ (TOER)」の本文に下記の文を追加します。赤字の部分が追加した内容です。

【訂正後】

TOER レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B、MTIOC10D、MTIOC10C、MTIOC9D、MTIOC10B、MTIOC10A、MTIOC9B の出力設定の許可/禁止を行います。

これらの端子は TOER レジスタの各ビットの設定をしないと正しく出力されません。チャンネル 3、4、9、10 において、TOER レジスタはチャンネル 3、4、9、10 の TIOR レジスタ設定の前に値を設定してください。

MTUA.TOER レジスタは、MTUA.TSTR レジスタの CST3、CST4 ビットを“0”にした後で設定してください。
MTUB.TOER レジスタは、MTUB.TSTR レジスタの CST0、CST1 ビットを“0”にした後で設定してください (図 17.36、図 17.39 参照)。

2. タイマアウトプットコントロールレジスタ 1 (TOCR1)、タイマアウトプットコントロールレジスタ 2 (TOCR2)

2.1 注意事項

デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、TOCR1 レジスタでは OLS_P ビットのみ有効となり、OLS_N ビットの値は無視されます。また、TOCR2 レジスタでは OLS_{iP} ビット (i = 1~3) のみ有効となり、OLS_{iN} ビットの値は無視されます。

2.2 対策

デッドタイムを生成しない場合、正相、逆相の出力レベルは OLS_P ビット、OLS_{iP} ビットで制御してください。

2.3 マニュアルの記述訂正

「17.2.18 タイマアウトプットコントロールレジスタ 1 (TOCR1)」の表に注 3 を追加します。

【訂正後】(変更箇所のみ抜粋)

ビット	シンボル	ビット名	機能	R/W
b0	OLS _P	出力レベル選択Pビット (注2、注3)	表17.32を参照してください。	R/W
b1	OLS _N	出力レベル選択Nビット (注2、注3)	表17.33を参照してください。	R/W

注 3. デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLS_P ビットのみ有効となります。

「17.2.19 タイマアウトプットコントロールレジスタ 2 (TOCR2)」の表の「注」を「注 1」に変更し、「注 2」を追加します。

【訂正後】(変更箇所のみ抜粋)

ビット	シンボル	ビット名	機能	R/W
b0	OLS _{1P}	出力レベル選択1Pビット (注1、注2)	リセット動機PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します。 表17.34を参照してください	R/W
b1	OLS _{1N}	出力レベル選択1Nビット (注1、注2)	リセット動機PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します。 表17.35を参照してください	R/W
b2	OLS _{2P}	出力レベル選択2Pビット (注1、注2)	リセット動機PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します。 表17.36を参照してください	R/W
b3	OLS _{2N}	出力レベル選択2Nビット (注1、注2)	リセット動機PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します。 表17.37を参照してください	R/W
b4	OLS _{3P}	出力レベル選択3Pビット (注1、注2)	リセット動機PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します。 表17.38を参照してください	R/W
b5	OLS _{3N}	出力レベル選択3Nビット (注1、注2)	リセット動機PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します。 表17.39を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択 ビット	TOLBRからTOCR2へのバッファ転送タイミングを選択します。 詳細は表17.40を参照してください	R/W

注1. チャンネル3と9、チャンネル4と10はそれぞれ同一機能であるため、ここではユニット0を説明しています。

TOCR1.TOCSビットを"1"に設定することにより、この設定が有効になります。

注2. **デッドタイムを生成しない場合、逆相の出力は常に正相の逆のレベルになります。このとき、OLS_{iP} ビットのみ有効となります。(i=1, 2, 3)**

3. 相補 PWM モードでの同期カウンタクリア時出力波形制御

3.1 注意事項

相補 PWM モードで TWCR.WRE ビットが “1” (同期クリア直前の波形を保持する) の場合、以下の条件(1)、条件(2) のいずれかを満たすと、下記の現象が発生します。

条件(1) 初期出力の抑止期間⑩にて、PWM 出力のデッドタイム期間中に、同期クリアが発生する (図 1)。

条件(2) デューティレジスタ (MTU3.TGRB、MTU4.TGRA、MTU4.TGRB、MTU9.TGRB、MTU10.TGRA、MTU10.TGRB) のいずれかの設定値が、デッドタイムレジスタ (TDDR) の設定値以下のときに、初期出力の抑止期間⑩、⑪にて、同期クリアが発生する (図 2)。

現象

- ・ PWM 出力端子のデッドタイムが短くなる (もしくは消失する)。
- ・ PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

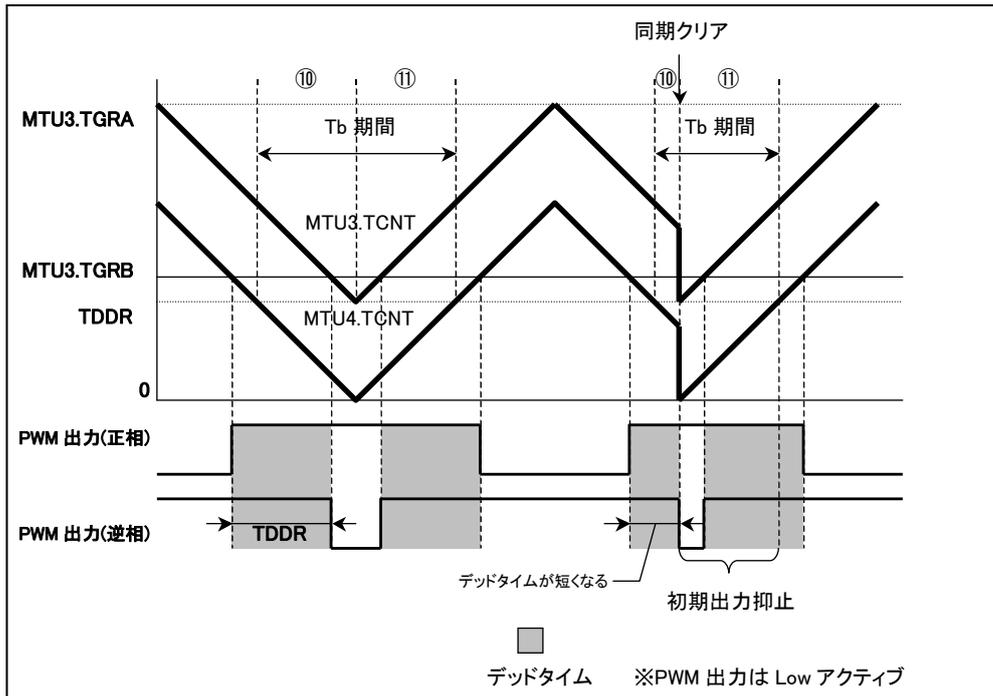


図 1 条件(1)の同期クリア例

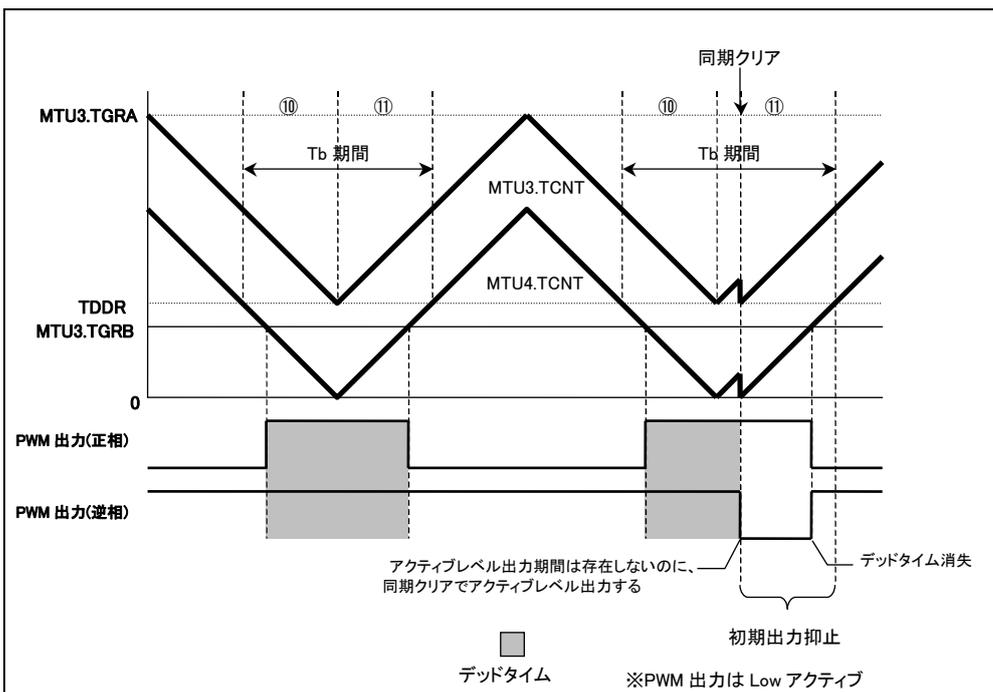


図 2 条件(2)の同期クリア例

3.2 対策

TWCR.WRE ビットが“1”の場合、それぞれのレジスタの値が次のすべての条件を満足するときに同期クリアを実施してください。

$$MTU3.TGRB \geq TDDR \times 2, MTU4.TGRA \geq TDDR \times 2, MTU4.TGRB \geq TDDR \times 2$$

3.3 マニュアルの記述訂正

・「17.2.30 タイマ波形コントロールレジスタ (TWCR)」の WRE ビットのビット名と、機能欄の説明を変更します。

【訂正前】(変更箇所のみ抜粋)

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0 : TOCRレジスタで設定した初期出力値を出力 1 : 同期クリア直前の波形を保持する	R/(W)

【訂正後】(変更箇所のみ抜粋)

ビット	シンボル	ビット名	機能	R/W
b0	WRE	初期出力抑止許可ビット	0 : TOCRレジスタで設定した初期出力値を出力 1 : 初期出力を抑止する	R/(W)

・「17.2.30 タイマ波形コントロールレジスタ (TWCR)」の WRE ビットのビット説明を変更します

【訂正前】(変更箇所のみ抜粋)

WRE ビット(波形保持許可ビット)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

この機能によって波形が保持されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです

【訂正後】(変更箇所のみ抜粋)

WRE ビット(**初期出力抑止許可ビット**)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

この機能によって**初期出力が抑止される**のは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです

4.カスケード接続動作

4.1 注意事項

カスケード動作時に、MTUn.TCNT と MTUm.TCNT (n=1, 7 m=2, 8) で同時にインプットキャプチャを行う場合、2本の端子の入力信号をインプットキャプチャ条件にできます。この場合、2つの入力信号の論理和を取った後の信号のエッジがインプットキャプチャ条件になります。したがって、いずれか一方が High レベルのとき、もう一方が変化してもインプットキャプチャを行いません。

4.2 対策

なし。

4.3 マニュアルの記述訂正

・表 17.48 下の本文に説明文を追加します。下記の赤字の部分が追加内容です。

【訂正後】

カスケード動作時に、MTUn.TCNT と MTUm.TCNT の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。**インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方が High レベルのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例 (c)」を参照してください。**カスケード接続時のインプットキャプチャについては「17.6.20 カスケード接続における MTUn.TCNT、MTUm.TCNT 同時インプットキャプチャ」を参照してください。

・図 17.24 に下記のとおり注意事項を追加します。

【訂正前】

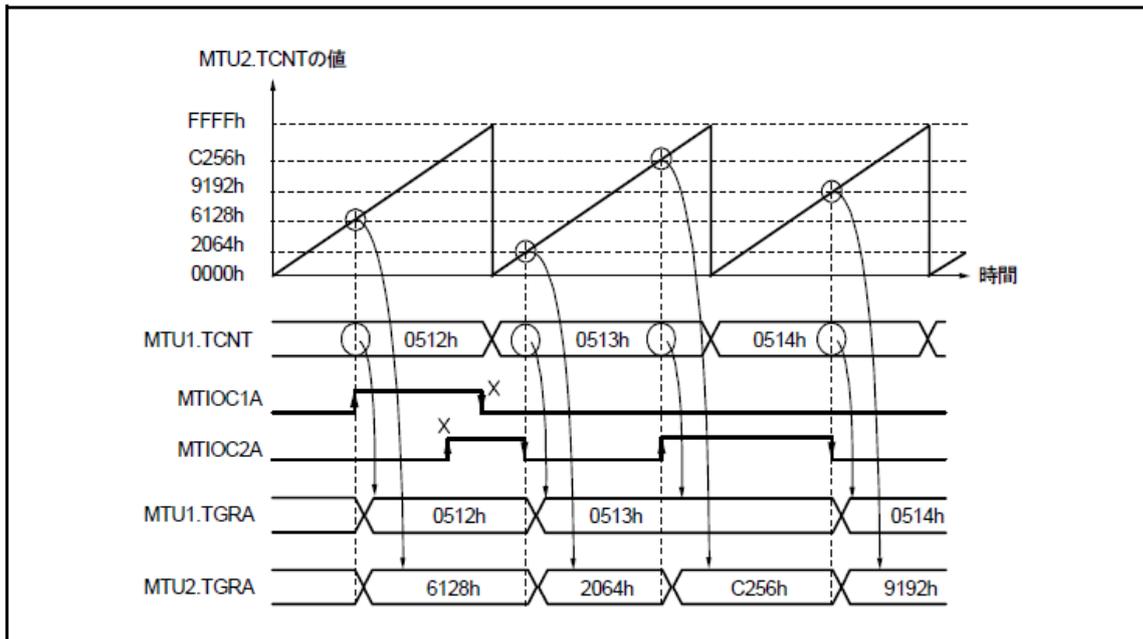


図 17.24 カスケード接続動作例 (c)

【訂正後】

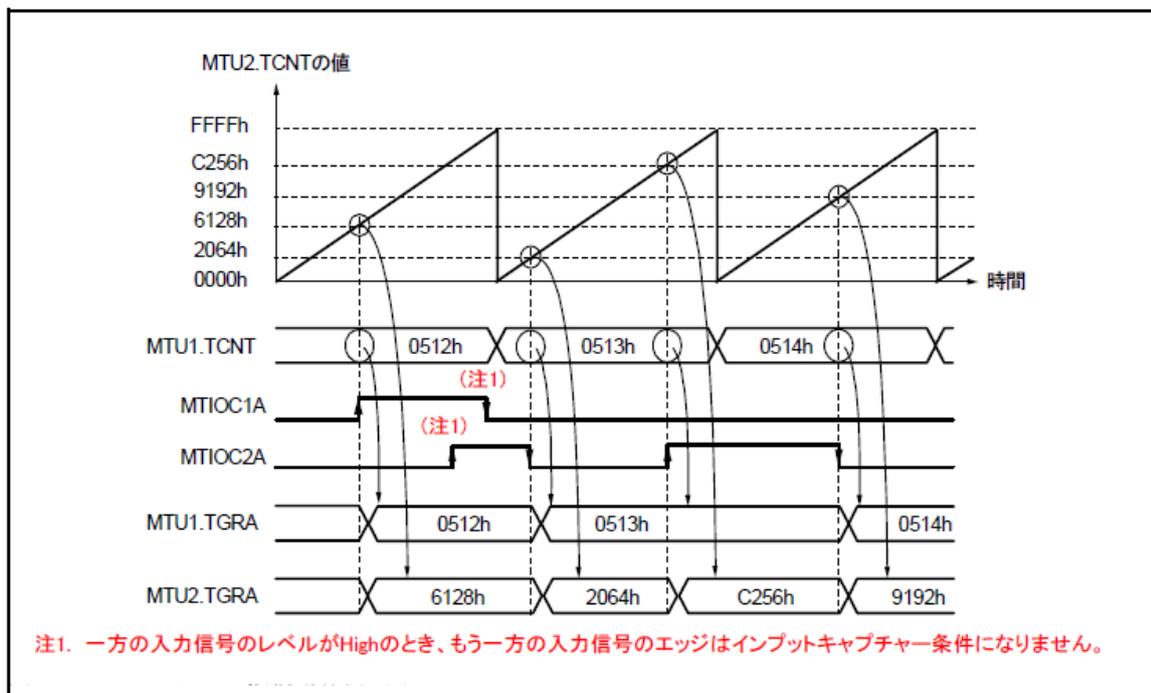


図17.24 カスケード接続動作例 (c)

5. 相補 PWM モード

5.1 注意事項

バッファレジスタのデータは、バッファ転送許可期間にテンポラリレジスタに転送されます。このため、割り込み要求発生からキャリア周期の1周期以内に、バッファレジスタを書き換えた場合、そのデータはすぐにテンポラリレジスタに転送され、次に TCNTS がアップカウントして MTUn.TGRA レジスタの値と一致するとき、コンペアレジスタに転送されます。

割り込み要求発生からキャリア周期の1周期以上経過した後に、バッファレジスタを書き換えた場合、そのデータは次のバッファ転送許可期間にテンポラリレジスタに転送され、その後 TCNTS がアップカウントして MTUn.TGRA レジスタの値と一致するとき、コンペアレジスタに転送されます。

5.2 対策

なし。

5.3 マニュアルの記述訂正

「図 17.72 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例 (ユニット 0)」に誤記がありましたので下記のとおり訂正します。

【訂正前】

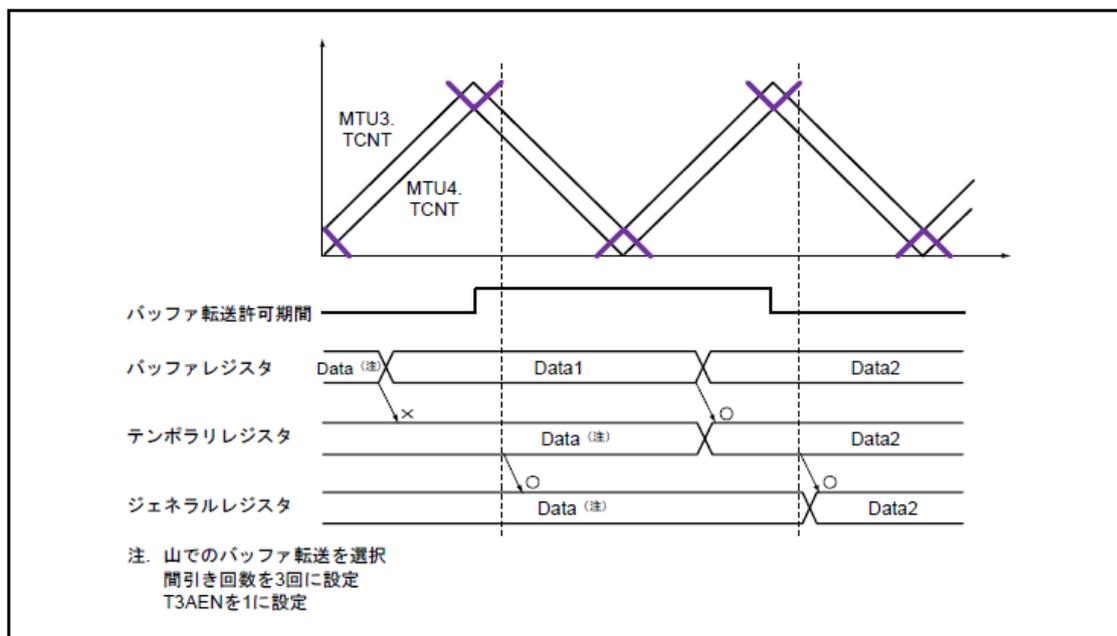


図 17.72 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例 (ユニット 0)

【訂正後】

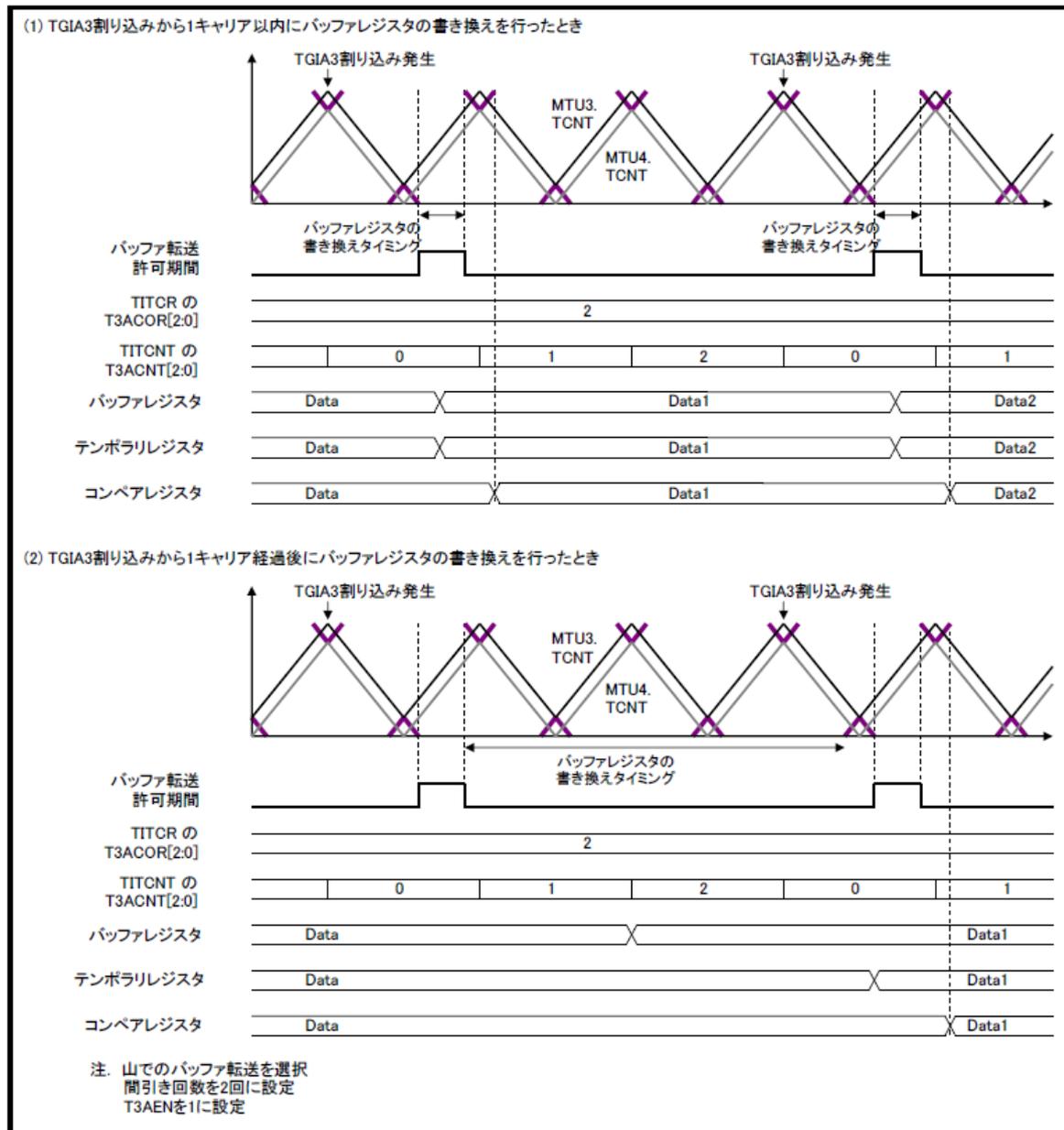


図 17.72 バッファ転送を割り込み間引きと連動する設定 (BTE1 = 1、BTE0 = 0) にした場合の動作例 (ユニット 0)

6. 割り込みタイミング

6.1 注意事項

チャンネル5およびチャンネル11は、TCNTが停止中でもコンペアマッチが発生します。

6.2 対策

なし。

6.3 マニュアルの記述訂正

「図17.101 TGI割り込みタイミング（コンペアマッチ）（チャンネル5または11）」に以下のように注記を追加します。

【訂正後】

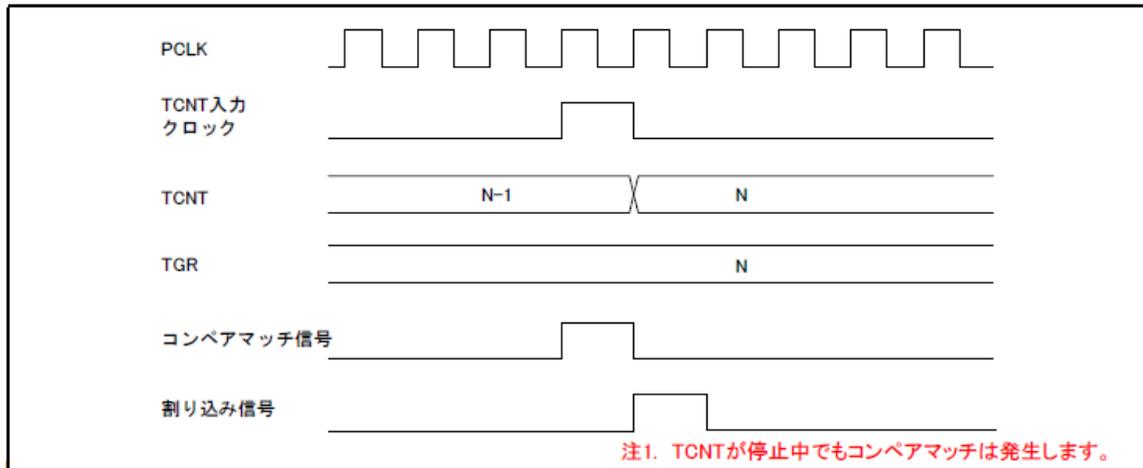


図17.101 TGI割り込みタイミング（コンペアマッチ）（チャンネル5または11）

表1 マニュアルとMTU2の章番号

グループ	関連資料	Rev.	管理番号	MTU2の章番号
RX62N、RX621	RX62N グループ、RX621 グループ ユーザーズマニュアル ハードウェア編	1.20	R01UH0033JJ0120	17
RX630	RX630 グループ ユーザーズマニュアル ハードウェア編	1.01	R01UH0040JJ0101	21
RX63N、RX631	RX63N グループ、RX631 グループ ユーザーズマニュアル ハードウェア編	0.90	R01UH0041JJ0090	22

以上