

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 <http://japan.renesas.com/inquiry>
E-mail: csc@renesas.com

製品分類	MPUMCU	発行番号	TN-H8*-A402A/J	Rev.	第1版
題名	H8S/20103,H8S/20203,H8S/20223 グループ使用上の注意事項		情報分類	技術情報	
適用製品	H8S/20103,H8S/20203,H8S/20223 グループ	対象ロット等 全ロット	関連資料	H8S/20103,H8S/20203,H8S/20223 グループハードウェアマニュアル第一版 RJJ09B0491-0100 (Rev.1.00)	

H8S/20103、H8S/20203、H8S/20223 グループにおいて下記の使用上の注意事項がありますのでご連絡します。

1 . FLASHROM

EW0 モード時、ソフトウェアコマンド許可状態 (FLMCR1 の FMCMDEN ビットが 1) でユーザ ROM 領域をリードする場合は、バスマスタ動作クロック s を 5MHz 以下に設定してください。

2 . ウォッチドッグタイマ

ウォッチドッグタイマのタイマモードレジスタ WD (TMWD) を書き換えるときは、バスマスタ動作クロック s が分周されていない状態 (低電圧電力制御レジスタ 3 (LPCR3) の PHIS [2:0] = B'000) で行ってください。

3 . sub ノイズ除去サンプリング回路

SYSCCR の SUBNC[1:0] ビットの設定し sub ノイズ除去サンプリング回路を使用する場合、サンプリング回路有効の設定は、システムクロックを $loco$ から osc へ切り替え完了後に行ってください。システムクロックが $loco$ の状態でサンプリング回路有効の設定を行った場合、システムクロックを $loco$ から osc へ切り替え時、 osc 発振安定待機ステート期間 sub の供給が停止します。

またシステムクロックを low - osc 間で相互に切り替えて使用するアプリケーションにおいて sub ノイズ除去サンプリング回路を使用する場合は、システムクロックが low のとき、一旦 sub ノイズ除去サンプリング回路を無効に設定してください。

4 . 外部クロックバックアップ機能

外部クロックバックアップ機能を使用する場合、バックアップ機能の設定は、システムクロックを $loco$ から osc へ切り替え完了後に行ってください。バックアップ機能を有効に設定し、システムクロックを $loco$ から osc へ切り替えた場合、クロック停止検出回路が誤検出し、クロック切り替えが正常に動作しない場合があります。またシステムクロックを

low - osc 間で相互に切り替えて使用するアプリケーションにおいてバックアップ機能を使用する場合は、システムクロックが low のとき、一旦バックアップ機能を無効に設定してください。システムクロックの切り替え方法により設定フローは 2 通りあります。次ページ以降にフローを示します。

(1) システムクロック切り替え時、LSI が動作停止するバックアップ機能設定フローを図1に示します。

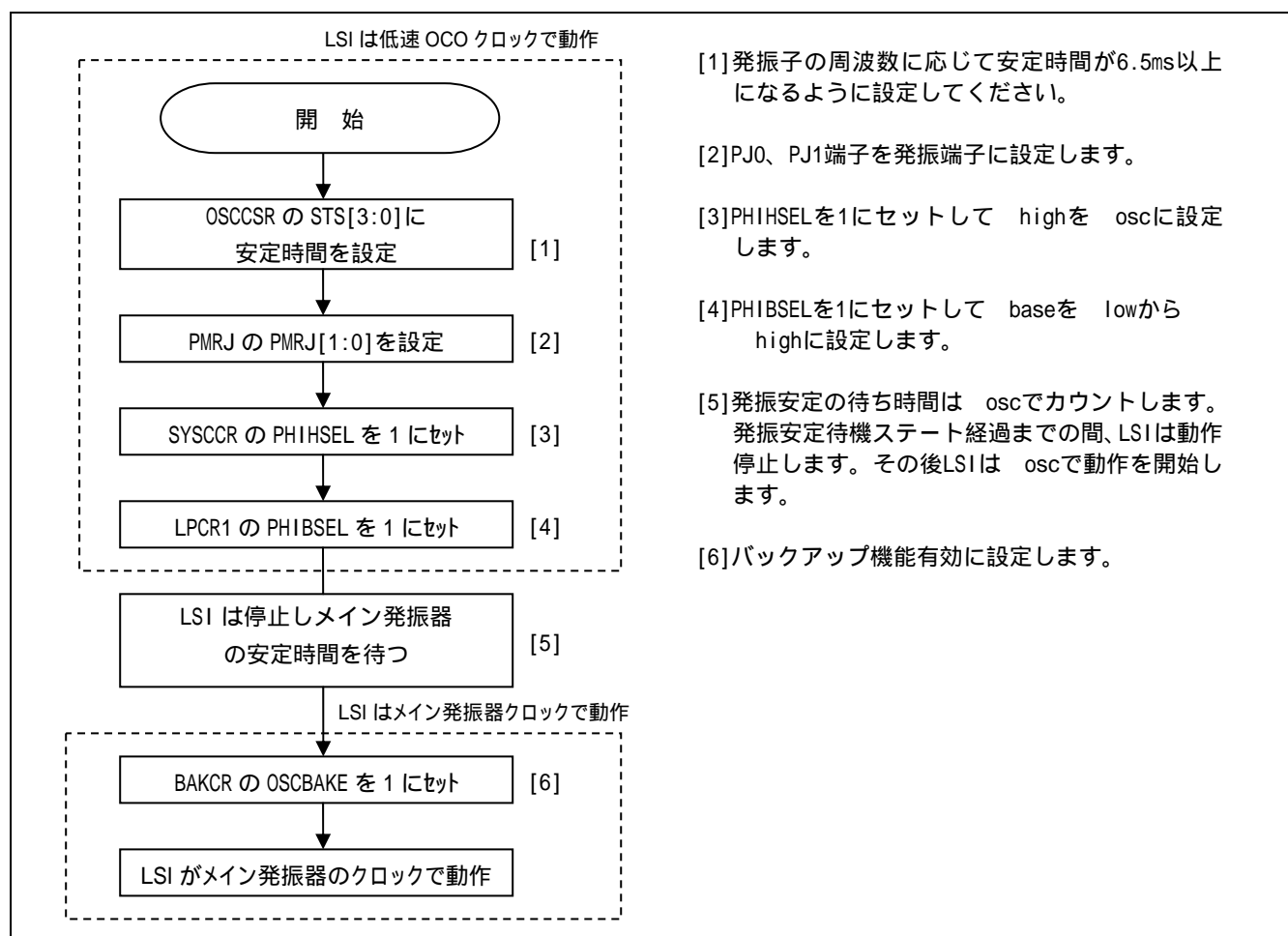
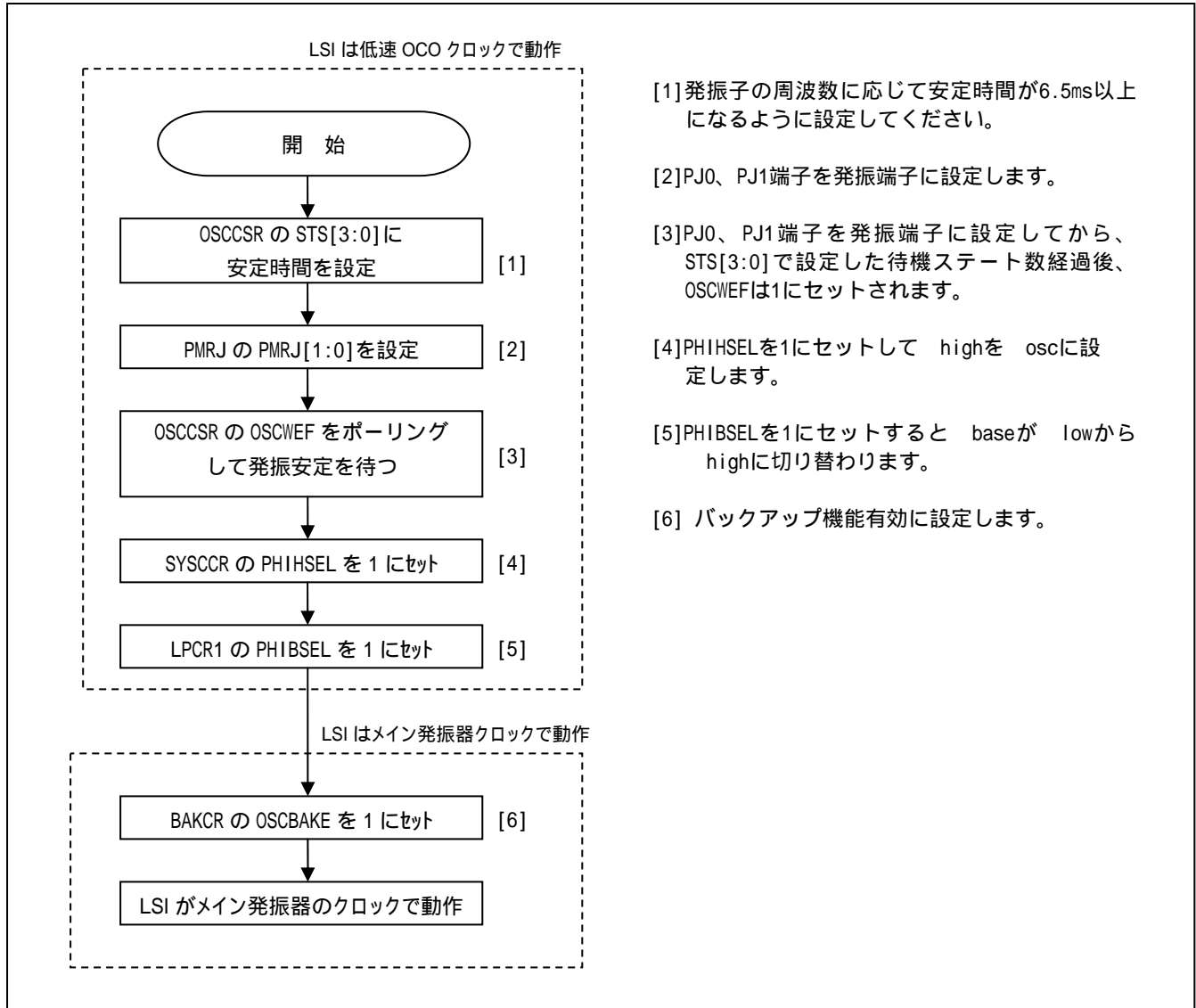


図1 バックアップ機能設定フロー(1)

(2) システムクロック切り替え時、LSI は動作停止しないバックアップ機能設定フローを図2に示します。



- [1] 発振子の周波数に応じて安定時間が6.5ms以上になるように設定してください。
- [2] PJ0、PJ1端子を発振端子に設定します。
- [3] PJ0、PJ1端子を発振端子に設定してから、STS[3:0]で設定した待機状態数経過後、OSCWEFは1にセットされます。
- [4] PHIBSELを1にセットして highを oscに設定します。
- [5] PHIBSELを1にセットすると baseが lowから highに切り替わります。
- [6] バックアップ機能有効に設定します。

図2 バックアップ機能設定フロー(2)

(3) OSC発振安定コントロールステータスレジスタ(OSCCSR)のbit7の機能を公開します。

ビット	シンボル	ビット名	機能	R/W
7	OSCWEF	osc 発振安定待機状態完了フラグ	0: osc 待機状態未完了 1: osc 待機状態完了 【1になる条件】 ・メインクロック発振開始から、STS[3:0]で設定した状態数経過したとき 【0になる条件】 ・PJ0、PJ1 端子が汎用 I/O 端子から発振端子に設定したとき ・PJ0、PJ1 端子を発振端子に設定し、スタンバイモードに移したとき ・バックアップ機能が有効で osc 発振の停止検出をしたとき	R
6~4	-	予約ビット	リードすると0が読み出されます。ライト時0をライトしてください。	-
3~0	STS[3:0]	osc 発振安定時間セレクトビット3~0	osc 発振安定の待機状態数を設定します。設定値と待機状態数については表5.2を参照してください。	R/W

以上