

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A084A/J	Rev.	第1版
題名	12 ビット A/D コンバータの注意事項		情報分類	技術情報	
適用製品	RX62T グループ RX62G グループ RX63T グループ	対象ロット等	関連資料	RX62T グループ ユーザーズマニュアル ハードウェア編 Rev.1.31 (R01UH0034JJ0131) RX62G グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0321JJ0100) RX63T グループ ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0238JJ0210)	
		全ロット			

RX62T グループ、RX62G グループ、RX63T グループにおいて、12 ビット A/D コンバータに不具合があることが判明しました。つきましては、不具合内容、使用上の注意、および対応策を以下に報告いたします。

■不具合内容 (RX62T グループ、RX62G グループ)

RX62T グループ、RX62G グループのダブルデータレジスタ機能選択時 (ADSTRGR 設定値：0Bh, 0Fh, 19h, 1Ah, 1Bh, 1Ch の時) に、トリガ発生タイミングの競合が原因で格納先データレジスタを誤選択する不具合を検出しました。

- (1) A/D 変換開始要因として選択したトリガ TRG4AN/TRG7AN/GTADTRAnN ($n = 0 \sim 3$) 発生タイミングと A/D 変換開始要因として選択/非選択に関わらず TRG4BN/TRG7BN/GTADTRBnN ($n = 0 \sim 3$) の内、任意のトリガが同タイミングに発生すると、ADDR0A に格納されるデータが ADDR0B に格納されてしまいます。正常動作/不具合動作を対比したタイミングチャートを図.1 に示します。

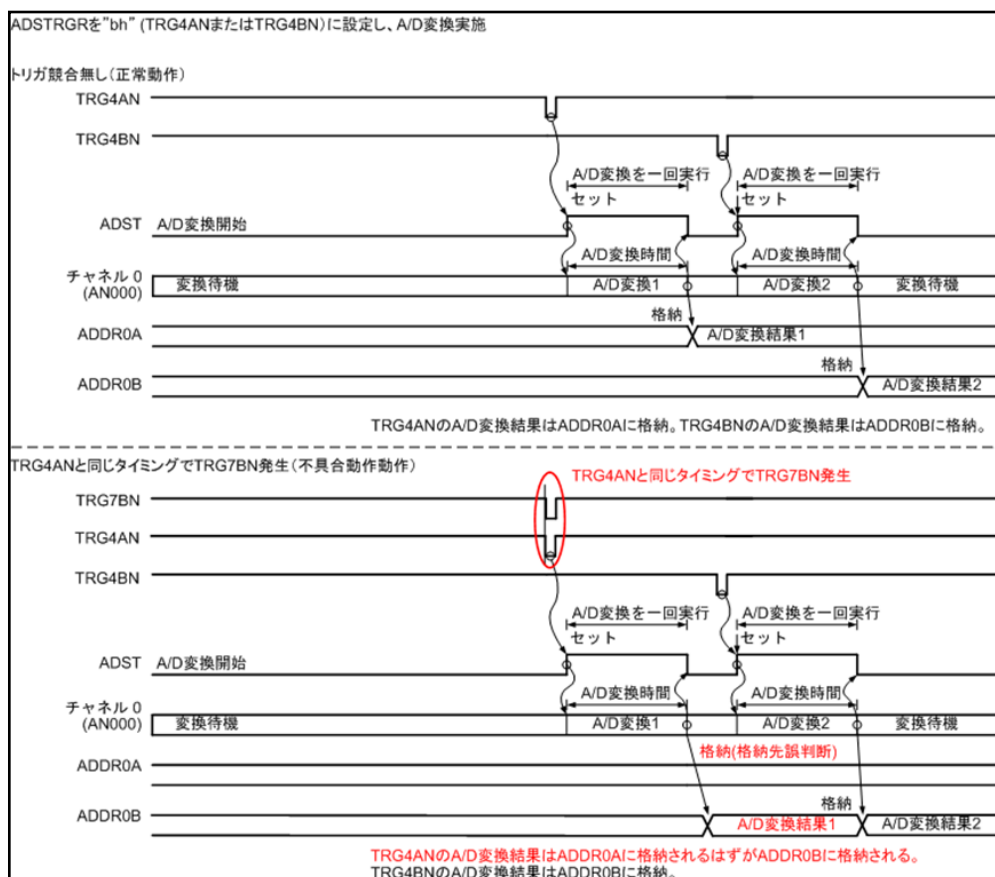


図.1 ダブルデータレジスタ不具合動作 (1)

- (2) A/D 変換開始要因として選択したトリガ TRG4BN/TRG7BN/GTADTRBnN ($n = 0 \sim 3$) 発生タイミングと A/D 変換開始要因として非選択の TRG4BN/TRG7BN/GTADTRBnN ($n = 0 \sim 3$) の内、任意のトリガが選択したトリガの 1 サイクル前に発生すると、ADDR0B に格納されるデータが ADDR0A に格納されてしまいます。正常動作/不具合動作を対比したタイミングチャートを図.2 に示します。

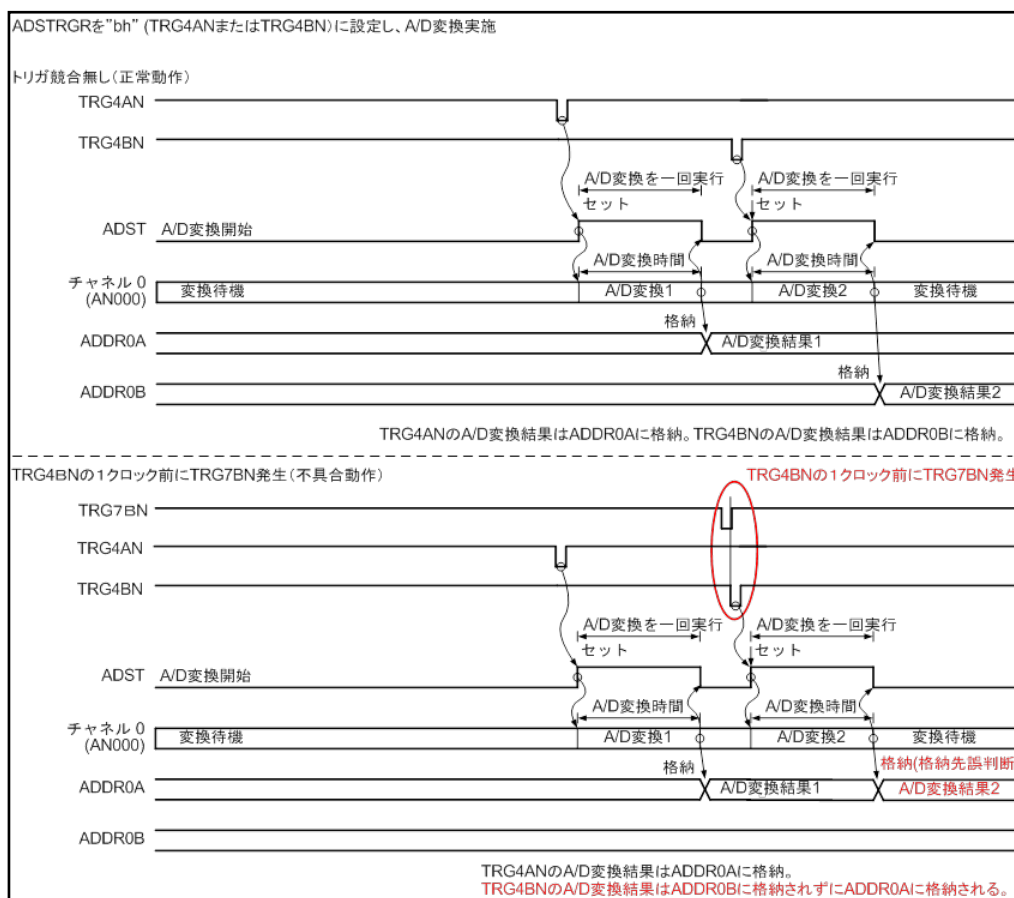


図.2 ダブルデータレジスタ不具合動作 (2)

以下に、A/D 変換開始要因として選択したトリガの発生タイミングと競合するトリガの発生タイミングと不具合発生の関係を示します。

表 1. 不具合発生条件

競合タイミング	競合トリガ	選択したトリガ			動作状態
		TRGnBN ($n=4,7$) GTADTRGBmN ($m=0,1,2,3$)	TRGnAN ($n=4,7$) GTADTRGAmN ($m=0,1,2,3$)	その他	
2サイクル以上前に発生	全て	○	○	○	正常動作
1サイクル前に発生	TRGnBN ($n=4,7$) GTADTRGBmN ($m=0,1,2,3$)	×	○	○	X: ADDR0Aに誤格納
	その他	○	○	○	正常動作
同時に発生	TRGnBN ($n=4,7$) GTADTRGBmN ($m=0,1,2,3$)	○	×	○	X: ADDR0Bに誤格納
	その他	○	○	○	正常動作
1サイクル以上後に発生	全て	○	○	○	正常動作

■不具合内容 (RX63T グループ)

RX63T グループのダブルトリガモードの拡張動作選択時 (ADSTRGR 設定値：0Bh, 0Fh, 19h, 1Ah, 1Bh, 1Ch, 25h, 26h, 27h, 28h の時) に、トリガ発生タイミングの競合が原因で格納先データレジスタを誤選択する不具合を検出しました。

- (1) A/D 変換開始要因として選択したトリガ TRG4AN/TRG7AN/GTADTRAnN (n = 0~7) 発生タイミングと A/D 変換開始要因として選択/非選択に関わらず TRG4BN/TRG7BN/GTADTRBnN (n = 0~7) の内、任意のトリガが同タイミングに発生すると、ADDR0A に格納されるデータが ADDR0B に格納されてしまいます。正常動作/不具合動作を対比したタイミングチャートを図.1 に示します。

以下に、A/D 変換開始要因として選択したトリガの発生タイミングと競合するトリガの発生タイミングと不具合発生 の関係を示します。

競合タイミング	競合トリガ	選択したトリガ			動作状態
		TRGnBN (n=4,7) GTADTRGBmN (m=0~7)	TRGnAN (n=4,7) GTADTRGAmN (m=0~7)	その他	
1サイクル以上 前に発生	全て	○	○	○	正常動作
同時に発生	TRGnBN (n=4,7) GTADTRGBmN (m=0~7)	○	×	○	X: ADDR0B に誤格納
	その他	○	○	○	正常動作
1サイクル以上 後に発生	全て	○	○	○	正常動作

■使用上の注意事項

不具合対策として、下記の仕様制約が発生します。

- (1) RX62T グループ、RX62G グループのダブルデータレジスタ機能、及び RX63T グループ【144/120/112/100 ピン版】のダブルトリガモードの拡張動作を選択しないでください。
- (2) RX62T グループ、RX62G グループのダブルデータレジスタ機能を選択した場合、A/D 変換開始要因として選択した TRG4BN/TRG7BN/GTADTRBnN (n = 0~3) トリガを除き、TRG4BN/TRG7BN/GTADTRBnN (n = 0~3) を発生させないでください。
- (3) RX63T グループ【144/120/112/100 ピン版】のダブルトリガモードの拡張動作を選択した場合、A/D 変換開始要因として選択した TRG4BN/TRG7BN/GTADTRBnN (n = 0~7) トリガを除き、TRG4BN/TRG7BN/GTADTRBnN (n = 0~7) を発生させないでください。
- (4) RX63T グループ【64/48 ピン版】の場合は、A/D 変換開始要因として使用するトリガ以外を発生しないようにすることで不具合を回避できます。

■恒久対策

RX62T グループ、RX62G グループ、及び RX63T グループ【144/120/112/100 ピン版】は、上記使用上の仕様制約に対する改訂版を計画しております。

以 上