

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
ルネサス エレクトロニクス株式会社
問合せ窓口 <http://japan.renesas.com/contact/>
E-mail: csc@renesas.com

製品分類	MPU & MCU		発行番号	TN-RX*-A110A/J		Rev.	第1版
題名	RX111 グループ 製品改訂に伴う仕様の変更について			情報分類	技術情報		
適用製品	RX111 グループ 発注型名の末尾が#3A または#UA の各製品		対象ロット等	関連資料	RX111 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0365JJ0110) RX111 グループ フラッシュメモリに関するユーザーズマニュアルの誤記訂正 (TN-RX*-A109A/J)		
			全ロット				

RX111 グループの製品改訂に伴い、改訂版の製品では、ユーザーズマニュアル ハードウェア編 Rev.1.10 から下記のとおりに仕様変更が生じますので連絡いたします。

- 発注型名の変更
- サブクロック発振器ドライブ能力の選択肢追加
- AVCC0に関する制限事項の緩和
- 温度センサ校正データレジスタの追加
- ユニーク ID の追加

1. 発注型名の変更

発注型名の末尾が#30、#U0から、それぞれ#3A、#UAに変更になります。

例: R5F51115AGFM#30 → R5F51115AGFM#3A
R5F51114ADLF#U0 → R5F51114ADLF#UA

2. サブクロック発振回路ドライブ能力の選択肢追加

• Page 599 of 1244

「23.2.19 RTC コントロールレジスタ 3 (RCR3)」の RTCDV[2:0] ビットの機能欄に、以下のとおり「標準CL用ドライブ能力」を追加いたします。また、既存の設定値に対する表記を変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 000: ドライブ能力中 (4.4pF タイプ) 001: ドライブ能力高 (6.0pF タイプ) 010: ドライブ能力低 (3.7pF タイプ) 上記以外は設定しないでください	R/W

【変更後】

ビット	シンボル	ビット名	機能	R/W
b3-b1	RTCDV[2:0]	サブクロック発振器ドライブ能力制御ビット	b3 b1 000: 低CL用ドライブ能力中 001: 低CL用ドライブ能力高 010: 低CL用ドライブ能力低 100: 標準CL用ドライブ能力 上記以外は設定しないでください	R/W

3. AVCC0に関する制限事項の緩和

•Page 344 of 1244

「18.5 未使用端子の処理」の表18.7を以下のとおり変更いたします。

【変更前】

表 18.7 未使用端子の処理内容

端子名	処理内容
(省略)	
ポート0～5、A～C、E、H、 J (64ピン未満で存在する端子に対して)	• 入力に設定 (PORTn.PDRビット="0") し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDRビット="1") し、出力データを"0"に設定 (PORTn.PODRビット="0") とし、端子を開放 (注1、注2)
(省略)	

【変更後】

表 18.7 未使用端子の処理内容

端子名	処理内容
(省略)	
ポート0～ 3 、5、A～C、E、H (64ピン未満で存在する端子に対して)	• 入力に設定 (PORTn.PDRビット="0") し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDRビット="1") し、出力データを"0"に設定 (PORTn.PODRビット="0") とし、端子を開放 (注1、注2)
ポート4、J (64ピン未満で存在する端子に対して)	• 入力に設定 (PORTn.PDRビット="0") し、1端子ごとに抵抗を介してAVCC0に接続 (プルアップ)、または1端子ごとに抵抗を介してAVSS0に接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDRビット="1") し、出力データを"0"に設定 (PORTn.PODRビット="0") とし、端子を開放 (注1、注2)
(省略)	

•Page 1077 of 1244

「30.7.10 アナログ電源端子他の設定範囲」の2項目目、「各電源端子 (AVCC0 – AVSS0、VREFH0 – VREFL0、VCC – VSS) の関係」の本文を以下のとおり変更いたします。

【変更前】

AVCC0、AVSS0と**VCC**、VSSとの関係は**AVCC0 = VCC**かつAVSS0 = VSSとしてください。また、**図30.16**に示すように各々の電源間に最短で閉ループが形成できるように0.1μFのコンデンサを接続し、供給元でVREFL0 = AVSS0 = VSSになるように接続してください。12ビットA/Dコンバータを使用しない場合は、VREFH0 = AVCC0 = VCC、VREFL0 = AVSS0 = VSSとしてください。

【変更後】

AVSS0とVSSとの関係はAVSS0 = VSSとしてください。また、**図30.16**に示すように各々の電源間に最短で閉ループが形成できるように0.1μFのコンデンサを接続し、供給元でVREFL0 = AVSS0 = VSSになるように接続してください。12ビットA/Dコンバータを使用しない場合は、VREFH0 = AVCC0 = VCC、VREFL0 = AVSS0 = VSSとしてください。

• Page 1180 of 1244

「表 36.2 推奨動作条件」のAVCC0に関する規格を以下のとおり変更いたします。

【変更前】

表 36.2 推奨動作条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC	USB未使用時	1.8	—	3.6	V
		USB使用時	3.0	—	3.6	V
	VSS		—	0	—	V
USB電源電圧	VCC_USB		—	VCC	—	V
	VSS_USB		—	0	—	V
アナログ電源電圧	AVCC0 (注1)		—	VCC	—	V
	AVSS0		—	0	—	V

注1. 詳細は、「30.7.10アナログ電源端子他の設定範囲」を参照してください。

【変更後】

表 36.2 推奨動作条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注1)	USB未使用時	1.8	—	3.6	V
		USB使用時	3.0	—	3.6	V
	VSS		—	0	—	V
USB電源電圧	VCC_USB		—	VCC	—	V
	VSS_USB		—	0	—	V
アナログ電源電圧	AVCC0 (注1、注2)		1.8	—	3.6	V
	AVSS0		—	0	—	V

注1. AVCC0とVCCの電源投入順序は、同時もしくはVCCを先に投入してください。

注2. AVCC0の電圧は「30.7.10アナログ電源端子他の設定範囲」を参考に決定してください。

• Page 1181 of 1244

「表36.3 DC特性(1)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。

【変更前】

表36.3 DC特性(1)

条件：VCC = AVCC0 = VCC_USB = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	(省略)					
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V _{IH}	VCC × 0.9	—	VCC + 0.3	V
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3	
	ポート40 ~ 44, 46、ポートJ6, J7		VCC × 0.7	—	VCC + 0.3	
	RIIC入力端子 (SMBus)		2.1	—	VCC + 0.3	
	MD	V _{IL}	-0.3	—	VCC × 0.1	
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2	
	ポート40 ~ 44, 46、ポートJ6, J7		-0.3	—	VCC × 0.3	
	RIIC入力端子 (SMBus)		-0.3	—	0.8	

【変更後】

表36.3 DC特性(1)

条件：VCC = VCC_USB = 2.7 ~ 3.6V、AVCC0 = 2.7 ~ 3.6V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	(省略)					
入力電圧 (シュミット トリガ入力端子 を除く)	MD	V _{IH}	VCC × 0.9	—	VCC + 0.3	V
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3	
	ポート40 ~ 44, 46、ポートJ6, J7		AVCC0 × 0.7	—	AVCC0 + 0.3	
	RIIC入力端子 (SMBus)		2.1	—	VCC + 0.3	
	MD	V _{IL}	-0.3	—	VCC × 0.1	
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2	
	ポート40 ~ 44, 46、ポートJ6, J7		-0.3	—	AVCC0 × 0.3	
	RIIC入力端子 (SMBus)		-0.3	—	0.8	

• Page 1181 of 1244

「表36.4 DC特性(2)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。また、存在しない信号線名VREFLを削除いたします。

【変更前】

表 36.4 DC特性(2)

条件：VCC = AVCC0 = VCC_USB = 1.8 ~ 2.7V、VSS = AVSS0 = VREFL = VREFL0 = VSS_USB = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	(省略)						
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V _{IH}	VCC × 0.9	—	VCC + 0.3	V	
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3		
	ポート40 ~ 44, 46、ポートJ6, J7		VCC × 0.7	—	VCC + 0.3		
	MD	V _{IL}	-0.3	—	VCC × 0.1		
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2		
	ポート40 ~ 44, 46、ポートJ6, J7		-0.3	—	VCC × 0.3		

【変更後】

表 36.4 DC特性(2)

条件：VCC = VCC_USB = 1.8 ~ 2.7V、AVCC0 = 1.8 ~ 2.7V、VSS = AVSS0 = VREFL0 = VSS_USB = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	(省略)						
入力電圧 (シュミット トリガ入力端子 を除く)	MD	V _{IH}	VCC × 0.9	—	VCC + 0.3	V	
	XTAL (外部クロック入力)		VCC × 0.8	—	VCC + 0.3		
	ポート40 ~ 44, 46、ポートJ6, J7		AVCC0 × 0.7	—	AVCC0 + 0.3		
	MD	V _{IL}	-0.3	—	VCC × 0.1		
	XTAL (外部クロック入力)		-0.3	—	VCC × 0.2		
	ポート40 ~ 44, 46、ポートJ6, J7		-0.3	—	AVCC0 × 0.3		

• Page 1190 of 1244

「表36.17 出力電圧値(1)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。

【変更前】

表36.17 出力電圧値(1)

条件: VCC = AVCC0 = VCC_USB = 2.7 ~ 3.6V, VSS = AVSS0 = VREFL0 = VSS_USB = 0V, Ta = -40 ~ +105°C

項目	記号	min	max	単位	測定条件
出力Lowレベル	(省略)				
出力Highレベル	全出力端子 (ポート4、ポートJ以外)	V _{OH}	VCC - 0.5	—	I _{OH} = -2.0mA
	ポート40 ~ 44, 46、ポートJ6, J7		AVCC0 - 0.5	—	I _{OH} = -0.1mA

【変更後】

表36.17 出力電圧値(1)

条件: VCC = VCC_USB = 2.7 ~ 3.6V, AVCC0 = 2.7 ~ 3.6V, VSS = AVSS0 = VREFL0 = VSS_USB = 0V, Ta = -40 ~ +105°C

項目	記号	min	max	単位	測定条件
Lowレベル出力電圧	(省略)				
Highレベル出力電圧	全出力端子 (ポート4、ポートJ以外)	V _{OH}	VCC - 0.5	—	I _{OH} = -2.0mA
	ポート40 ~ 44, 46、ポートJ6, J7		AVCC0 - 0.5	—	I _{OH} = -0.1mA

• Page 1190 of 1244

「表36.18 出力電圧値(2)」のAVCC0に関する条件、およびポート4、ポートJの規格を以下のとおり変更いたします。

【変更前】

表36.18 出力電圧値(2)

条件: VCC = AVCC0 = VCC_USB = 1.8 ~ 2.7V, VSS = AVSS0 = VREFL0 = VSS_USB = 0V, Ta = -40 ~ +105°C

項目	記号	min	max	単位	測定条件
出力Lowレベル	(省略)				
出力Highレベル	全出力端子 (ポート4、ポートJ以外)	V _{OH}	VCC - 0.5	—	I _{OH} = -1.0mA
	ポート40 ~ 44, 46、ポートJ6, J7		VCC - 0.5	—	I _{OH} = -0.1mA

【変更後】

表36.18 出力電圧値(2)

条件: VCC = VCC_USB = 1.8 ~ 2.7V, AVCC0 = 1.8 ~ 2.7V, VSS = AVSS0 = VREFL0 = VSS_USB = 0V, Ta = -40 ~ +105°C

項目	記号	min	max	単位	測定条件
Lowレベル出力電圧	(省略)				
Highレベル出力電圧	全出力端子 (ポート4、ポートJ以外)	V _{OH}	VCC - 0.5	—	I _{OH} = -1.0mA
	ポート40 ~ 44, 46、ポートJ6, J7		AVCC0 - 0.5	—	I _{OH} = -0.1mA

4. 温度センサ校正データレジスタの追加

•Page 113 of 1244

「5. I/O レジスタ」章の「表5.1 I/O レジスタアドレス一覧(15/15)」を以下のとおり変更いたします。

【変更前】

表 5.1 I/O レジスタアドレス一覧(15/15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参考章
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB 以上	25章
(省略)							
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2~3FCLK	35章
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	35章
(省略)							

【変更後】

表 5.1 I/O レジスタアドレス一覧(15/15)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセス サイクル数	参考章
000A 0070h	USB0	パイプ1コントロールレジスタ	PIPE1CTR	16	16	9PCLKB 以上	25章
(省略)							
007F C090h	FLASH	E2データフラッシュ制御レジスタ	DFLCTL	8	8	2~3FCLK	35章
007F C0ACh	TEMPS	温度センサ校正データレジスタ	TSCDRL	8	8	1~2PCLKB	32章
007F C0ADh	TEMPS	温度センサ校正データレジスタ	TSCDRH	8	8	1~2PCLKB	32章
007F C0B0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK	35章
(省略)							

•Page 1085 of 1244

「32. 温度センサ」章に「32.2 レジスタの説明」節、および以下のレジスタを追加いたします。

32.2.1 温度センサ校正データレジスタ (TSCDRH, TSCDRL)

アドレス TSCDRL 007F C0ACh



アドレス TSCDRH 007F C0ADh



TSCDRH、TSCDRL レジスタには、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、 $T_a = T_j = 88^{\circ}\text{C}$ 、 $AVCC0 = VREFH0 = 3.3\text{ V}$ の条件における温度センサの出力電圧を、12ビット A/D コンバータでデジタル変換した値です。TSCDRH レジスタには変換値の上位4ビット、TSCDRL レジスタには下位8ビットが格納されています。

5. ユニーク ID の追加

MCU の個体識別用に、各製品に「ユニーク ID」を付与いたします。これに伴い、「ユニーク ID レジスタ」の追加、「連続リードコマンド」から「ユニーク ID リードコマンド」への変更を行います。

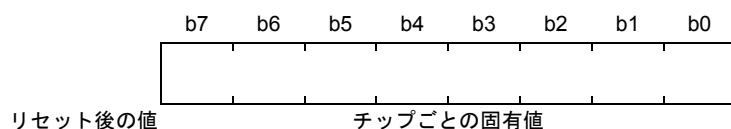
5.1 ユニーク ID レジスタの追加

•Page 1117 of 1244

「35. フラッシュメモリ」章に以下のレジスタを追加いたします。

35.4.26 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 31)

アドレス 0850h ~ 086Fh (エクストラ領域)



UIDRn レジスタは、MCU の個体を識別するために用意された 32 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。値を読み出す場合は、フラッシュメモリのユニーク ID リードコマンドを使用してください。

5.2 「連続リードコマンド」から「ユニーク ID リードコマンド」への変更

•Page 1096 of 1244

「表 35.1 フラッシュメモリの仕様」のソフトウェアコマンド欄を以下のとおり変更いたします。

【変更前】

表 35.1 フラッシュメモリの仕様

項目	内容
メモリ空間	(省略)
ソフトウェアコマンド	• ブートモードおよびセルフプログラミング時に以下を実行可能 ブランクチェック、ブロックイレーズ、プログラム、リード、アクセスウィンドウの設定 (省略)
(省略)	

【変更後】

表 35.1 フラッシュメモリの仕様

項目	内容
メモリ空間	(省略)
ソフトウェアコマンド	• ブートモードおよびセルフプログラミング時に以下を実行可能 ブランクチェック、ブロックイレーズ、プログラム、ユニーク ID リード、アクセスウィンドウの設定 (省略)
(省略)	

• Page 1099 of 1244

「35.4.1 E2データフラッシュ制御レジスタ (DFLCTL)」の説明を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0: E2データフラッシュへのアクセスおよびP/Eモード時に けるコードフラッシュへのアクセス ^(注1) 禁止 1: E2データフラッシュへのアクセスおよびP/Eモード時に けるコードフラッシュへのアクセス ^(注1) 許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. P/Eモード時の連続リードおよびスタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム

DFLCTLレジスタは、E2データフラッシュへのアクセス（読み出し、プログラム、イレーズ）の許可/禁止およびP/Eモード時におけるコードフラッシュへのアクセス（連続リード、スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム）を許可/禁止するためのレジスタです。

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	DFLEN	E2データフラッシュアクセス許可ビット	0: E2データフラッシュへのアクセスおよびP/Eモード時に けるエクストラ領域へのアクセス ^(注1) 禁止 1: E2データフラッシュへのアクセスおよびP/Eモード時に けるエクストラ領域へのアクセス ^(注1) 許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユニークIDリード、スタートアップ領域情報プログラム、およびアクセスウィンドウ情報プログラム

DFLCTLレジスタは、E2データフラッシュへのアクセス（読み出し、プログラム、イレーズ）の許可/禁止およびP/Eモード時におけるエクストラ領域へのアクセス（ユニークIDリード、スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム）を許可/禁止するためのレジスタです。

• Page 1106 of 1244

「35.4.9 フラッシュ制御レジスタ (FCR)」の機能および説明を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0 0 0 1: プログラム 0 1 0 0: ブロックイレーズ 0 1 0 1: 連続リード 0 0 1 1: ブランクチェック 上記以外は設定しないでください ^(注1)	R/W
b4	DRC	データリード完了ビット	0: データ未リード/次データ要求 1: データリード完了	R/W
(省略)				

注1. FSTATR1.FRDYビットが“1”のとき、FCRレジスタに“00h”を書き込むことは除きます。

(省略)

[ROMが384Kバイトまたは512Kバイトの製品の場合]

256Kバイト境界をまたいだ連続リード、ブランクチェックはできません。

【変更後】

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0 0 0 1: プログラム 0 0 1 1: ブランクチェック 0 1 0 0: ブロックイレーズ 0 1 0 1: ユニークIDリード 上記以外は設定しないでください(注1)	R/W
b4	DRC	データリード完了ビット	0: データリード開始 1: データリード完了	R/W
(省略)				

注1. FSTATR1.FRDYビットが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

(省略)

[ROMが384Kバイトまたは512Kバイトの製品の場合]

256Kバイト境界をまたいだブランクチェックはできません。

•Page 1106, 1107 of 1244

「35.4.9 フラッシュ制御レジスタ (FCR)」のCMD[3:0]ビット、DRCビットの説明を以下のとおり変更いたします。

【変更前】

CMD[3:0]ビット（ソフトウェアコマンド設定ビット）

ソフトウェアコマンド（プログラム、ブロックイレーズ、**連続リード**、ブランクチェック）を設定します。それぞれのコマンドの機能を以下に示します。

(省略)

[**連続リード**]

ROM P/Eモード、E2データフラッシュ P/Eモード中にFSARH/FSARLレジスタに設定したアドレスから、FEARH/FEARLレジスタに設定したアドレスまでのリードを行います。リードしたデータはFRBH/FRBLレジスタに格納されます。

DRCビット（データリード完了ビット）

連続リードコマンドを実行し、FRBH, FRBLレジスタの読み出しが終わった後、DRCビットに“1”を書き込み、データリードの完了処理を行います。次のデータのリード要求を出す場合、DRCビットに“0”を書き込みます。

【変更後】

CMD[3:0] ビット（ソフトウェアコマンド設定ビット）

ソフトウェアコマンド（プログラム、ブロックイレーズ、**ユニーク ID リード**、ブランクチェック）を設定します。それぞれのコマンドの機能を以下に示します。

（省略）

[ユニーク ID リード]

FSARH レジスタに“00h”、FSARL レジスタに“0850h”、FEARH レジスタに“00h”、FEARL レジスタに“086Fh”を設定しユニーク ID リードを実行すると、FRBH/FRBL レジスタにユニーク ID が順次格納されます。

DRC ビット（データリード完了ビット）

ユニーク ID リードコマンドとともに用いて、シーケンサの状態を制御します。

このビットを“0”にしてユニーク ID リードコマンドを発行すると、FSARH/FSARL レジスタに設定したアドレスからデータが読み出され、FRBH/FRBL レジスタに格納されます。

FRBH/FRBL レジスタからデータを読み出した後、このビットを“1”にしてユニーク ID リードコマンドを発行すると、シーケンサのリードサイクルが終了し、待機状態になります。

再び、このビットを“0”にしてユニーク ID リードコマンドを発行すると、シーケンサの内部アドレスがインクリメント(+4)され、次のデータが読み出されます。

• Page 1110 of 1244

「35.4.15 フラッシュリードバッファレジスタ H（FRBH）」の説明を以下のとおり変更いたします。

【変更前】

連続リードを実行したときに、ROM から読み出したデータの上位 16 ビットが格納されるレジスタです。
E2 データフラッシュをリードした場合、FRBL レジスタの b7-b0 にリードデータが格納されます。

【変更後】

ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の上位 2 バイトが格納されるレジスタです。

• Page 1110 of 1244

「35.4.16 フラッシュリードバッファレジスタ L（FRBL）」の説明を以下のとおり変更いたします。

【変更前】

連続リードを実行したときに、ROM から読み出したデータの下位 16 ビットまたは E2 データフラッシュから読み出したデータが格納されるレジスタです。

E2 データフラッシュをリードした場合、b15-b8 には“00h”が格納されます。

【変更後】

ユニーク ID リードを実行したときに、エクストラ領域から 4 バイト単位で読み出されたユニーク ID の下位 2 バイトが格納されるレジスタです。

• Page 1114 of 1244

「35.4.20 フラッシュステータスレジスタ1 (FSTATR1)」に以下のとおり DRRDY フラグの説明文を追加いたします。

DRRDYフラグ（データリードレディフラグ）

FRBH、FRBLレジスタへのリードデータの格納状態を確認するためのフラグです。

シーケンサがフラッシュメモリから読み出したデータをFRBH、FRBLレジスタに格納すると、DRRDYフラグが“1”になります。FCR.DRCビットを“1”にしてユニークIDコマンドを発行すると、シーケンサのリードサイクルが終了し、DRRDYフラグが“0”になります。

なお、FEARH/FEARLレジスタに設定したアドレスのデータを読み出した後は、FCR.DRCビットを“0”にしてユニークIDコマンドを発行してもDRRDYフラグは“1”にならず、FRDYフラグが“1”になります。

• Page 1121 of 1244

「表35.4 ソフトウェアコマンド一覧」を以下のとおり変更いたします。

【変更前】

表 35.4 ソフトウェアコマンド一覧

コマンド	機能
	(省略)
連続リード	ROM P/Eモード、E2データフラッシュ P/Eモード中に指定した領域内のリードを行います
	(省略)

【変更後】

表 35.4 ソフトウェアコマンド一覧

コマンド	機能
	(省略)
ユニークIDリード	エクストラ領域にあるユニークIDのリードを行います
	(省略)

• Page 1133 of 1244

「35.7.3 ソフトウェアコマンド使用方法」の「(5) 連続リード」を以下のとおり「(5) ユニーク ID リード」に変更いたします。

【変更前】

(5) 連続リード

図 35.17 に連続リードの概略フローを示します。

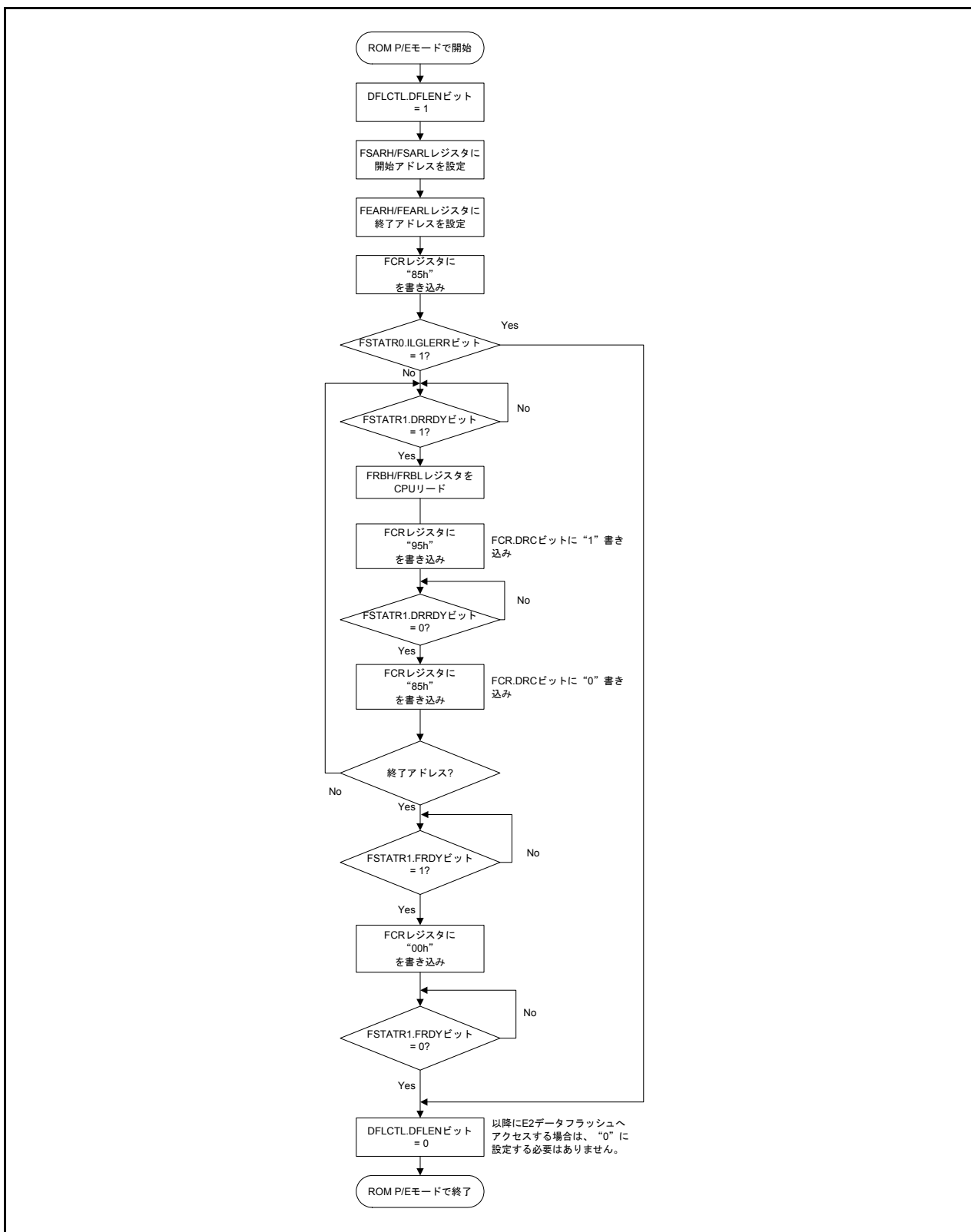


図 35.17 連続リードの概略フロー

【変更後】

(5) ユニークIDリード

図 35.17 にユニークIDリードコマンドの発行フローを示します。

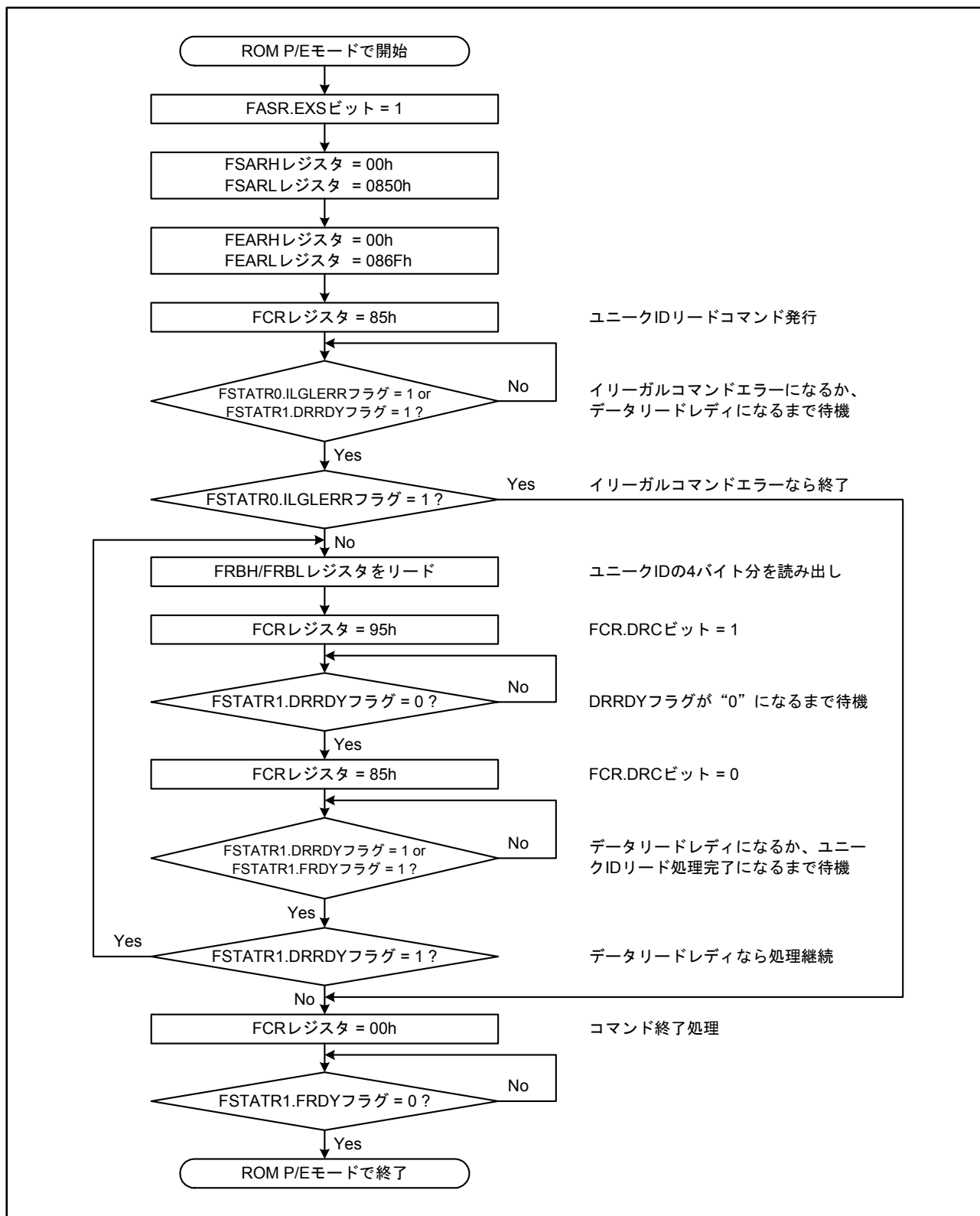


図 35.17 ユニークIDリードコマンドの発行フロー

以上