

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A837A/J	Rev.	第1版
題名	SH7786 アドレス空間に関するマニュアル訂正		情報分類	技術情報	
適用製品	SH7786 グループ	対象ロット等	関連資料	SH7786 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 2010年11月30日発行 (RJJ09B0533-0100)	
		全ロット			

SH7786 のアドレス空間の説明に関して、ユーザーズマニュアルの訂正があります。

取り消し線部分が削除、網掛け部分が追加になります。

## 【訂正内容】

### 1. 1.5 アドレスマップ 図 1.4 SH7786 アドレスマップ

関連資料 p1-20 図 1.4：1 行目、CS2～CS5 DBSC、H'8000 0000 以降のアドレスおよび空間。

MMSEL.R.MM\_SEL[2:0]の値:

000 001 010 011 100 101 110 111

H'0000 0000～H'03FF FFFF	CS0	LBSC								
H'0400 0000～H'07FF FFFF	CS1	LBSC								
H'0800 0000～H'0BFF FFFF	CS2	DBSC(2)			<del>DBSC(2)</del> LBSC					
H'0C00 0000～H'0FFF FFFF	CS3	DBSC(3)			<del>DBSC(3)</del> LBSC					
H'1000 0000～H'13FF FFFF	CS4	LBSC	PCI Express 0ch	DBSC(4)	LBSC	PCI Express 0ch	<del>DBSC(4)</del> LBSC			
H'1400 0000～H'147F FFFF	CS5	LBSC	LBSC	CPU0 IL メモリ/ OL メモリ	DBSC(5)	LBSC	LBSC	CPU0 IL メモリ/ OL メモリ	<del>DBSC(5)</del> LBSC	
H'1480 0000～H'14FF FFFF			CPU1 IL メモリ/ OL メモリ							CPU1 IL メモリ/ OL メモリ
H'1500 0000～H'17FF FFFF			RESERVED							RESERVED
H'1800 0000～H'1BFF FFFF	CS6	LBSC								
:		:								
H'7C00 0000～H'7FFF FFFF		DBSC(15)								
H'8000 0000～H'83FF FFFF		PCI Express 2ch				<del>PCI Express 2ch</del> DBSC(16)		DBSC(16)		
H'8400 0000～H'87FF FFFF						<del>PCI Express 2ch</del> DBSC(17)		DBSC(17)		
:		:								
H'9C00 0000～H'9FFF FFFF		PCI Express 1ch				<del>PCI Express 2ch</del> DBSC(23)		DBSC(23)		
H'A000 0000～H'A3FF FFFF						<del>PCI Express 1ch</del> DBSC(24)		DBSC(24)		
:		:								
H'BC00 0000～H'BFFF FFFF		PCI Express 1ch				<del>PCI Express 1ch</del> DBSC(31)		DBSC(31)		
H'C000 0000～H'DFFF FFFF						<del>PCI Express 1ch</del> DBSC(31)		DBSC(31)		
		PCI Express 0ch								

H'E400 0000~H'E4FF FFFF	共有メモリ*
H'E500 0000~ <del>H'E7FF FFFF</del> H'E7FF FFFF	
<del>H'F800 0000~H'F87F FFFF</del> H'E800 0000~H'E87F FFFF	
H'E880 0000~H'E8FF FFFF	
H'E900 0000~H'FBFF FFFF	
H'FC00 0000~H'FFFF FFFF	
	CPU 内蔵モジュール
	CPU0 IL メモリ/OL メモリ
	CPU1 IL メモリ/OL メモリ
	CPU 内蔵モジュール
	周辺モジュール

【注】\* 2次キャッシュを共有メモリとして使用する場合、H'E4000000~H'E403FFFF(256KB時)がRAMになります。

2. 11.3 エリアの概要 表11.2 ローカルバスメモリ空間マップ

関連資料p11-6、7 表11.2：アクセスサイズ、エリア2~5 DDR3-SDRAM、エリア5 LRAM、欄外注3および8。

エリア	ローカルバス アドレス	容量	接続可能メモリ	設定可能 バス幅(ビット)	アクセスサイズ*7
0	H'0000 0000 ~H'03FF FFFF	64MB	SRAM	8、16、32*1	8、16、32ビット
			:	:	8、16、32バイト
1	H'0400 0000 ~H'07FF FFFF	64MB	SRAM	8、16、32*2	8、16、32ビット
			:	:	8、16、32バイト
2	H'0800 0000 ~H'0BFF FFFF	64MB	:	:	8、16、32ビット
			(DDR3-SDRAM)*3	<del>16</del> 、32*3	8、16、32バイト
3	H'0C00 0000 ~H'0FFF FFFF	64MB	:	:	8、16、32ビット
			(DDR3-SDRAM)*3	<del>16</del> 、32*3	8、16、32バイト
4	H'1000 0000 ~H'13FF FFFF	64MB	:	:	8、16、32ビット
			(DDR3-SDRAM)*3	<del>16</del> 、32*3	8、16、32バイト
			(PCIEC)*4	32 -	
5	H'1400 0000 ~H'17FF FFFF	64MB	:	:	8、16、32ビット
			(DDR3-SDRAM)*2-3	<del>16</del> 、32	8、16、32バイト
			(LRAM)*3-8	-	
6	H'1800 0000 ~H'1BFF FFFF	64MB	SRAM	8、16、32*2	8、16、32ビット
			:	:	8、16、32バイト

【注】\*1 外部端子でメモリバス幅を指定します。

:

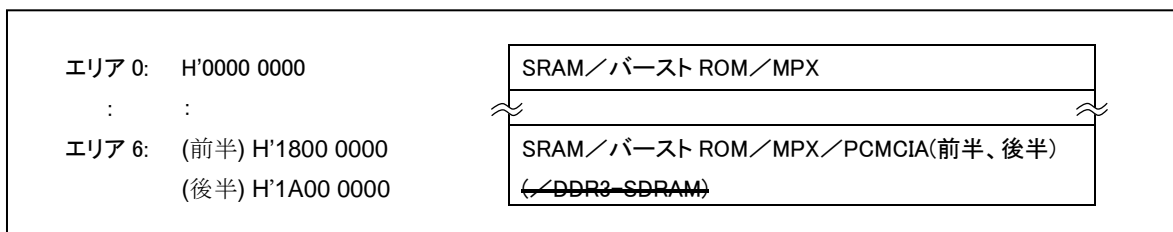
\*3 該当エリアを、MMSELRの設定により、~~DDR2~~DDR3-SDRAMに割り当てることができます。詳細は「第12章 DDR3-SDRAMインタフェース(DBSC3)」を参照してください。

:

\*8 該当エリアを、MMSELRの設定により、LRAM~~メモリ~~に割り当てることができます。

3. 11.3 エリアの概要 図11.3 ローカルバスメモリ空間割り付け

関連資料p11-7 図11.3：エリア6



以上