

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A726A/J	Rev.	第1版
題名	SH7763 ハードウェアマニュアル Rev.2.00 誤記訂正 その1		情報分類	技術情報	
適用製品	SH7763 グループ	対象ロット等	関連資料	SH7763 ハードウェアマニュアル Rev.2.00 (RJJ09B0260-0200)	
		全ロット			

拝啓 貴社ますますご清栄のこととお喜び申し上げます。また、日頃より弊社半導体製品に格段のご愛顧を賜り深謝申し上げます。さて、「SH7763 ハードウェアマニュアル Rev.2.00」の誤記訂正のご連絡を致します。本内容をご配慮の上、ご使用下さいますよう、お願い申し上げます。

敬具

— 記 —

1. コンペアマッチタイマコントロール/ステータスレジスタ(CMCSR) CMF ビット記述 (ページ 21-5、21-6)

・変更前

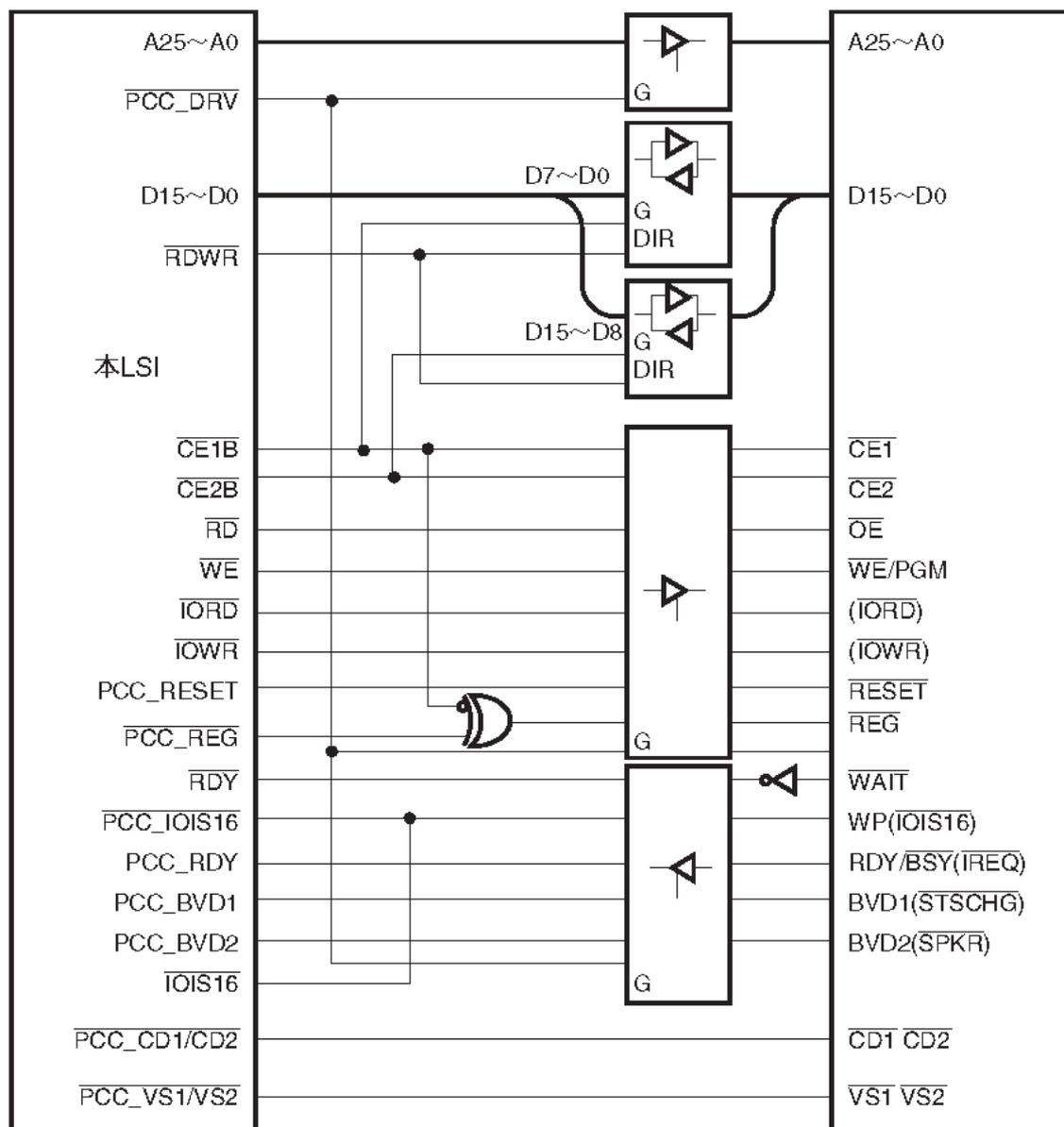
ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタ ントレジスタ (CMCOR) の値が一致したか否かを示すフラグです。 ソフトウェアによる 1 書き込みはできません。 カウンタの動作にワンショット動作を選択した場合、本ビットをクリアすると カウント動作を再開します。</p> <p>0 : CMCNT と CMCOR の値は不一致 [クリア条件] CMF=1 を読み出し後、CMF に 0 を書き込んだとき 1 : CMCNT と CMCOR の値が一致</p>
14	OVF	0	R/(W)*	<p>オーバーフローフラグ コンペアマッチタイマカウンタ (CMCNT) がオーバーフローし 0 クリアしたか を示すフラグです。ソフトウェアによる 1 書き込みはできません。</p> <p>0 : CMCNT はオーバーフローしていない [クリア条件] OVF=1 を読み出し後、OVF に 0 を書き込んだとき 1 : CMCNT はオーバーフロー発生</p>

・変更後

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタ ントレジスタ (CMCOR) の値が一致したか否かを示すフラグです。 ソフトウェアによる 1 書き込みはできません。 カウンタの動作にワンショット動作を選択した場合、本ビットをクリアすると カウント動作を再開します。</p> <p>0 : CMCNT と CMCOR の値は不一致 [クリア条件] <u>CMF に 0 を書き込んだとき</u> 1 : CMCNT と CMCOR の値が一致</p>
14	OVF	0	R/(W)*	<p>オーバーフローフラグ コンペアマッチタイマカウンタ (CMCNT) がオーバーフローし 0 クリアしたか を示すフラグです。ソフトウェアによる 1 書き込みはできません。</p> <p>0 : CMCNT はオーバーフローしていない [クリア条件] <u>OVF に 0 を書き込んだとき</u> 1 : CMCNT はオーバーフロー発生</p>

2. PC カード接続仕様（インタフェース図、該当端子）（ページ 32-19）

・変更前

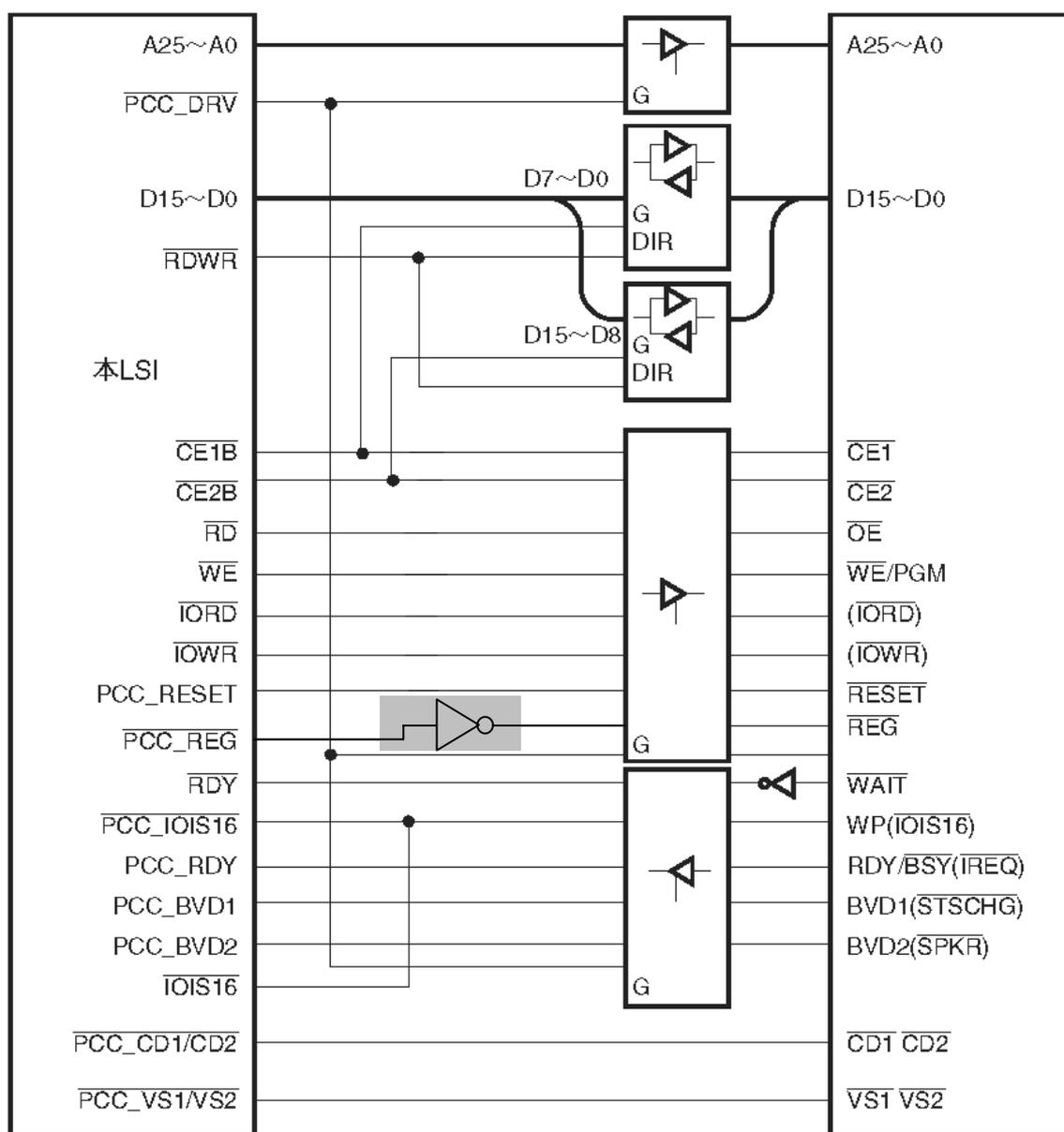


エリア6PCカード (メモリまたはI/O)

【注】 IOIS16については、「第11章 ローカルバスステートコントローラ (LBSC)」を参照してください。

図 32.4 SH7763 インタフェース

・変更後



エリア6PCカード (メモリまたはI/O)

【注】 IOIS16については、「第11章 ローカルバスステートコントローラ (LBSC)」を参照してください。

図 32.4 SH7763 インタフェース (PCC0GCR.P0USE=1 設定時)

3. GETHER モジュール信号タイミング (ページ 43-44、43-46)

・変更前

表 43.20 イーサネットコントローラタイミング (GMII)

$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{CCQ-DDR} = 2.3 \sim 2.7V$, $V_{DD} = 1.15 \sim 1.35V$, $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	参照図
GETn_GTX_CLK サイクル時間	t _{GTcyC}	8			ns	43.45
ETn_TX-EN 出力遅延時間	t _{GTEND}	0.5		5.5		
GETn_ETXD7 ~ GETn_ETXD4, ETn_ETXD3 ~ ETn_ETXD0 出力遅延時間	t _{GETDD}	0.5		5.5		
ETn_RX-CLK サイクル時間	t _{GRcyC}	8				43.46
ETn_RX-DV セットアップ時間	t _{GRDVS}	2.5				
ETn_RX-DV ホールド時間	t _{GRDVH}	0.5				
GETn_ERXD7 ~ GETn_ERXD4, ETn_ERXD3 ~ ETn_ERXD0 セットアップ時間	t _{GERDS}	2.5				
GETn_ERXD7 ~ GETn_ERXD4, ETn_ERXD3 ~ ETn_ERXD0 ホールド時間	t _{GERDH}	0.5				
ETn_RX-ER セットアップ時間	t _{GRERS}	2.5				43.47
ETn_RX-ER ホールド時間	t _{GRERH}	0.5				
ETn_WOL 出力遅延時間	t _{GWOLD}	0		18		43.48

・変更後

表 43.20 イーサネットコントローラタイミング (GMII)

$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{CCQ-DDR} = 2.3 \sim 2.7V$, $V_{DD} = 1.15 \sim 1.35V$, $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	参照図
REF125CK クロック入力周波数	f _{REF125CK}	125 - 100ppm		125 + 100ppm	MHz	
GETn_GTX_CLK サイクル時間	t _{GTcyC}	8			ns	43.45
ETn_TX-EN 出力遅延時間	t _{GTEND}	0.5		5.5		
GETn_ETXD7 ~ GETn_ETXD4, ETn_ETXD3 ~ ETn_ETXD0 出力遅延時間	t _{GETDD}	0.5		5.5		
ETn_RX-CLK サイクル時間	t _{GRcyC}	8				43.46
ETn_RX-DV セットアップ時間	t _{GRDVS}	2.5				
ETn_RX-DV ホールド時間	t _{GRDVH}	0.5				
GETn_ERXD7 ~ GETn_ERXD4, ETn_ERXD3 ~ ETn_ERXD0 セットアップ時間	t _{GERDS}	2.5				
GETn_ERXD7 ~ GETn_ERXD4, ETn_ERXD3 ~ ETn_ERXD0 ホールド時間	t _{GERDH}	0.5				
ETn_RX-ER セットアップ時間	t _{GRERS}	2.5				43.47
ETn_RX-ER ホールド時間	t _{GRERH}	0.5				
ETn_WOL 出力遅延時間	t _{GWOLD}	0		18		43.48

・変更前

表 43.21 イーサネットコントローラタイミング (RMII)

$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{CCQ-DDR} = 2.3 \sim 2.7V$, $V_{DD} = 1.15 \sim 1.35V$, $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	参照図
REF50CK サイクル時間	t_{RTcyC}	20			ns	43.49
RMIIIn_TXD_EN, RMII1M_TXD_EN 出力遅延時間	t_{RTEND}	2.5		10		
RMIIIn_TXD1, RMIIIn_TXD0, RMII1M_TXD1, RMII1M_TXD0 出力遅延時間	t_{RETDD}	2.5		10		
RMIIIn_CRS_DV, RMII1M_CRS_DV セットアップ時間	t_{RRDVS}	4				43.50
RMIIIn_CRS_DV, RMII1M_CRS_DV ホールド時間	t_{RRDVH}	2.5				
RMIIIn_RXD1, RMIIIn_RXD0, RMII1M_RXD1, RMII1M_RXD0 セットアップ時間	t_{RERDS}	4				
RMIIIn_RXD1, RMIIIn_RXD0, RMII1M_RXD1, RMII1M_RXD0 ホールド時間	t_{RERDH}	2.5				
RMIIIn_RX_ER セットアップ時間	t_{RRERS}	4				43.51
RMIIIn_RX_ER ホールド時間	t_{RRERH}	2.5				

・変更後

表 43.21 イーサネットコントローラタイミング (RMII)

$V_{CCQ} = V_{DD-RTC} = AV_{CC} = 3.0 \sim 3.6V$, $V_{CCQ-DDR} = 2.3 \sim 2.7V$, $V_{DD} = 1.15 \sim 1.35V$, $T_a = -20 \sim 75$

項目	記号	Min.	Typ.	Max.	単位	参照図
REF50CK クロック入力周波数	f_{RTcyC}	50 – 50ppm		50 + 50ppm	MHz	43.49
RMIIIn_TXD_EN, RMII1M_TXD_EN 出力遅延時間	t_{RTEND}	2.5		10	ns	43.50
RMIIIn_TXD1, RMIIIn_TXD0, RMII1M_TXD1, RMII1M_TXD0 出力遅延時間	t_{RETDD}	2.5		10		
RMIIIn_CRS_DV, RMII1M_CRS_DV セットアップ時間	t_{RRDVS}	4				
RMIIIn_CRS_DV, RMII1M_CRS_DV ホールド時間	t_{RRDVH}	2.5				
RMIIIn_RXD1, RMIIIn_RXD0, RMII1M_RXD1, RMII1M_RXD0 セットアップ時間	t_{RERDS}	4				
RMIIIn_RXD1, RMIIIn_RXD0, RMII1M_RXD1, RMII1M_RXD0 ホールド時間	t_{RERDH}	2.5				
RMIIIn_RX_ER セットアップ時間	t_{RRERS}	4				43.51
RMIIIn_RX_ER ホールド時間	t_{RRERH}	2.5				

4. 外形寸法図 (ページ付録-9)

・変更前

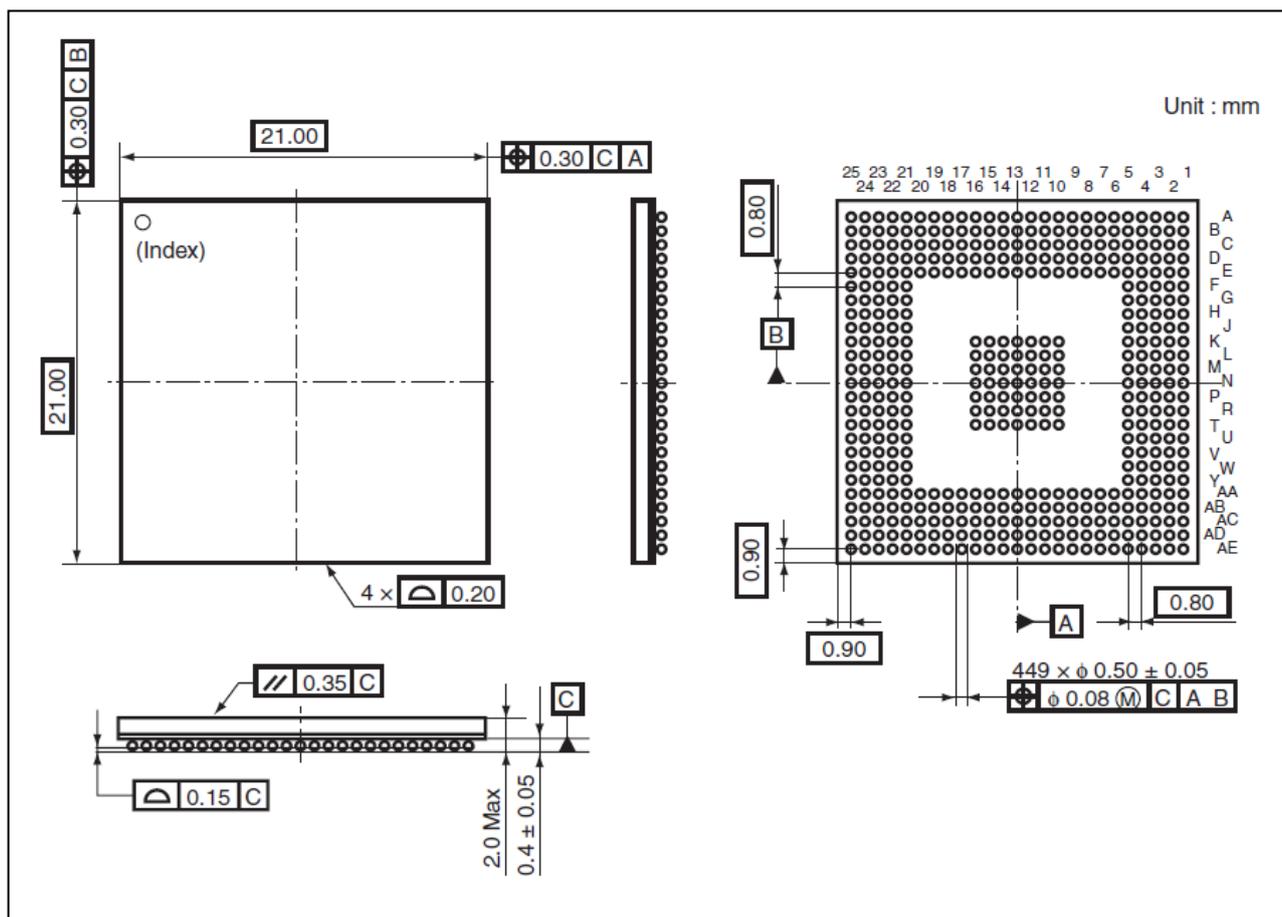


図 F.1 外形寸法図 (449ピン BGA)

・変更後

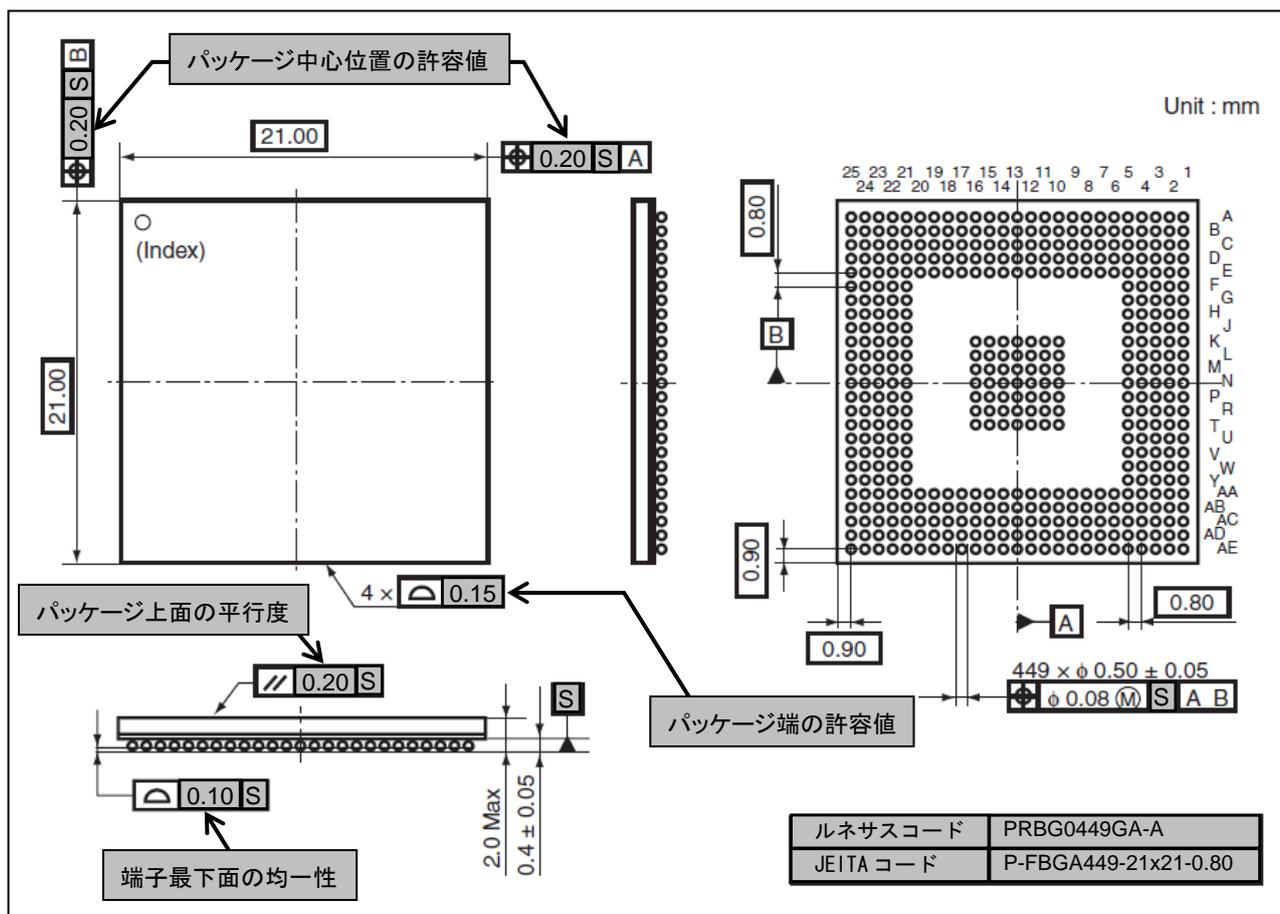


図 F.1 外形寸法図 (449ピン BGA)

表 訂正箇所一覧

呼 称	照合文字	公差記号	データム			訂正前	訂正後	単位
			第1		第2			
			訂正前	訂正後				
パッケージ中心位置の許容値	w	⊕	C	S	A	0.30	0.20	mm
			C	S	B	0.30	0.20	mm
パッケージ上面の平行度	y1	//	C	S	—	0.35	0.20	mm
パッケージ端の許容値	v	⌒	—	—	—	0.20	0.15	mm
端子最下面の均一性	y		C	S	—	0.15	0.10	mm

注) パッケージについては、弊社 web サイトのパッケージデータブックも参照してください。

以上