

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A792A/J	Rev.	第1版
題名	SH7730 ハードウェアマニュアルの改訂について		情報分類	技術情報	
適用製品	SH7730 グループ	対象ロット等	関連資料	SH7730 ハードウェアマニュアル (RJJ09B0339)	
		全ロット			

SH7730 ハードウェアマニュアルにつき、Rev.3.00 に改訂いたしましたのでご連絡いたします。

Rev.3.00 で修正または追加された箇所は以下をご参照ください。

修正項目	ページ	修正内容（詳細はマニュアル参照）																																							
1.1 本 LSI の特長 表 1.1 本 LSI の特長	1-3	表を修正 <table><thead><tr><th>項目</th><th>特 長</th></tr></thead><tbody><tr><td>バスステート コントローラ (BSC)</td><td> - 物理アドレス空間はそれぞれ最大128Mバイトの領域、最大64Mバイトの領域、および最大32Mバイトの領域をサポート - 各エリアには独立に次の機能を設定可能 - データバス幅：8/16/32ビット（ただし、エリア0は16/32ビット） - アクセスウェイトサイクル数：リード／ライトで独立ウェイト設定可のエリアあり - アイドルウェイトサイクル設定：同一エリア／別エリア - エリアごとに接続するメモリを指定することによってSRAM、バーストROM、SDRAM、バイト選択機能付SRAM、PCMCIAをサポート - 該当する領域にチップセレクト信号CS0、CS2～CS4、CS5A/CS5B、CS6A/CS6Bを出力 - SDRAM - 最大512Mビットのメモリを2個接続および最大1Gのビットのメモリを1個接続可能 - データバス幅：16ビット／32ビット - オートリフレッシュ／セルフリフレッシュ をサポート - オートプリチャージモード／バンクアクティブモード </td></tr></tbody></table>	項目	特 長	バスステート コントローラ (BSC)	- 物理アドレス空間はそれぞれ最大128Mバイトの領域、最大64Mバイトの領域、および最大32Mバイトの領域をサポート - 各エリアには独立に次の機能を設定可能 - データバス幅：8/16/32ビット（ただし、エリア0は16/32ビット） - アクセスウェイトサイクル数：リード／ライトで独立ウェイト設定可のエリアあり - アイドルウェイトサイクル設定：同一エリア／別エリア - エリアごとに接続するメモリを指定することによってSRAM、バーストROM、SDRAM、バイト選択機能付SRAM、PCMCIAをサポート - 該当する領域にチップセレクト信号CS0、CS2～CS4、CS5A/CS5B、CS6A/CS6Bを出力 - SDRAM - 最大512Mビットのメモリを2個接続および最大1Gのビットのメモリを1個接続可能 - データバス幅：16ビット／32ビット - オートリフレッシュ／セルフリフレッシュ をサポート - オートプリチャージモード／バンクアクティブモード																																			
項目	特 長																																								
バスステート コントローラ (BSC)	- 物理アドレス空間はそれぞれ最大128Mバイトの領域、最大64Mバイトの領域、および最大32Mバイトの領域をサポート - 各エリアには独立に次の機能を設定可能 - データバス幅：8/16/32ビット（ただし、エリア0は16/32ビット） - アクセスウェイトサイクル数：リード／ライトで独立ウェイト設定可のエリアあり - アイドルウェイトサイクル設定：同一エリア／別エリア - エリアごとに接続するメモリを指定することによってSRAM、バーストROM、SDRAM、バイト選択機能付SRAM、PCMCIAをサポート - 該当する領域にチップセレクト信号CS0、CS2～CS4、CS5A/CS5B、CS6A/CS6Bを出力 - SDRAM - 最大512Mビットのメモリを2個接続および最大1Gのビットのメモリを1個接続可能 - データバス幅：16ビット／32ビット - オートリフレッシュ／セルフリフレッシュ をサポート - オートプリチャージモード／バンクアクティブモード																																								
	1-4	表を修正 <table><thead><tr><th>項目</th><th>特 長</th></tr></thead><tbody><tr><td>クロックパルス 発振器 (CPG)</td><td> - クロックモード：入力クロックを外部入力（EXTAL）、水晶振動子から選択可能 - 出力クロック：バスクロック（Bφ） 4種類のシステムクロックを生成 - CPUクロック（Iφ）：最大266.7MHz - SH（SuperHiway）クロック（Sφ）：最大133.4MHz - バスクロック（Bφ）：最大66.7MHz - 周辺クロック（Pφ）：最大33.4MHz - パワーダウンモードのサポート - スリープモード - ソフトウェアスタンバイモード - モジュールスタンバイ機能 </td></tr></tbody></table>	項目	特 長	クロックパルス 発振器 (CPG)	- クロックモード：入力クロックを外部入力（EXTAL）、水晶振動子から選択可能 - 出力クロック：バスクロック（Bφ） 4種類のシステムクロックを生成 - CPUクロック（Iφ）：最大266.7MHz - SH（SuperHiway）クロック（Sφ）：最大133.4MHz - バスクロック（Bφ）：最大66.7MHz - 周辺クロック（Pφ）：最大33.4MHz - パワーダウンモードのサポート - スリープモード - ソフトウェアスタンバイモード - モジュールスタンバイ機能																																			
項目	特 長																																								
クロックパルス 発振器 (CPG)	- クロックモード：入力クロックを外部入力（EXTAL）、水晶振動子から選択可能 - 出力クロック：バスクロック（Bφ） 4種類のシステムクロックを生成 - CPUクロック（Iφ）：最大266.7MHz - SH（SuperHiway）クロック（Sφ）：最大133.4MHz - バスクロック（Bφ）：最大66.7MHz - 周辺クロック（Pφ）：最大33.4MHz - パワーダウンモードのサポート - スリープモード - ソフトウェアスタンバイモード - モジュールスタンバイ機能																																								
1.3.2 端子機能 表 1.3 端子機能表	1-17	表を修正 <table><thead><tr><th>分類</th><th>端子名</th><th>機能</th><th>入出力</th><th>説 明</th></tr></thead><tbody><tr><td rowspan="7">バス制御</td><td>A25～A0</td><td>アドレスバス</td><td>出力</td><td>アドレスを出力します。</td></tr><tr><td>D31～D0</td><td>データバス</td><td>入出力</td><td>データバス</td></tr><tr><td>BS</td><td>バスサイクル開始</td><td>出力</td><td>バスサイクルの開始を示す信号です。</td></tr><tr><td>CS0、CS2、CS3、CS4</td><td>チップセレクト</td><td>出力</td><td>チップセレクト</td></tr><tr><td>CS5A/CE2A</td><td>チップセレクト</td><td>出力</td><td>チップセレクト アドレスマップ1、3のときのみアクティブ PCMCIA使用時は、PCMCIAカードセレクト信号D15～D8対応</td></tr><tr><td>CS5B/CE1A</td><td>チップセレクト</td><td>出力</td><td>チップセレクト PCMCIA使用時は、PCMCIAカードセレクト信号D7～D0対応</td></tr><tr><td>CS6A/CE2B</td><td>チップセレクト</td><td>出力</td><td>チップセレクト アドレスマップ1、3のときのみアクティブ PCMCIA使用時は、PCMCIAカードセレクト信号D15～D8対応</td></tr><tr><td></td><td>CS6B/CE1B</td><td>チップセレクト</td><td>出力</td><td>チップセレクト PCMCIA使用時は、PCMCIAカードセレクト信号D7～D0対応</td></tr></tbody></table>	分類	端子名	機能	入出力	説 明	バス制御	A25～A0	アドレスバス	出力	アドレスを出力します。	D31～D0	データバス	入出力	データバス	BS	バスサイクル開始	出力	バスサイクルの開始を示す信号です。	CS0、CS2、CS3、CS4	チップセレクト	出力	チップセレクト	CS5A/CE2A	チップセレクト	出力	チップセレクト アドレスマップ1、3のときのみアクティブ PCMCIA使用時は、PCMCIAカードセレクト信号D15～D8対応	CS5B/CE1A	チップセレクト	出力	チップセレクト PCMCIA使用時は、PCMCIAカードセレクト信号D7～D0対応	CS6A/CE2B	チップセレクト	出力	チップセレクト アドレスマップ1、3のときのみアクティブ PCMCIA使用時は、PCMCIAカードセレクト信号D15～D8対応		CS6B/CE1B	チップセレクト	出力	チップセレクト PCMCIA使用時は、PCMCIAカードセレクト信号D7～D0対応
分類	端子名	機能	入出力	説 明																																					
バス制御	A25～A0	アドレスバス	出力	アドレスを出力します。																																					
	D31～D0	データバス	入出力	データバス																																					
	BS	バスサイクル開始	出力	バスサイクルの開始を示す信号です。																																					
	CS0、CS2、CS3、CS4	チップセレクト	出力	チップセレクト																																					
	CS5A/CE2A	チップセレクト	出力	チップセレクト アドレスマップ1、3のときのみアクティブ PCMCIA使用時は、PCMCIAカードセレクト信号D15～D8対応																																					
	CS5B/CE1A	チップセレクト	出力	チップセレクト PCMCIA使用時は、PCMCIAカードセレクト信号D7～D0対応																																					
	CS6A/CE2B	チップセレクト	出力	チップセレクト アドレスマップ1、3のときのみアクティブ PCMCIA使用時は、PCMCIAカードセレクト信号D15～D8対応																																					
	CS6B/CE1B	チップセレクト	出力	チップセレクト PCMCIA使用時は、PCMCIAカードセレクト信号D7～D0対応																																					

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																								
1.3.2 端子機能	1-18	表を修正 <table><tr><th>分類</th><th>端子名</th><th>機能</th><th>入出力</th><th>説 明</th></tr><tr><td>ダイレクトメモリアクセスコントローラ (DMAC)</td><td>DREQ0、DREQ1</td><td>DMA要求</td><td>入力</td><td>外部デバイスからDMA転送要求の入力信号です。</td></tr><tr><td></td><td>DACK0、DACK1</td><td>DMAアクノリッジ</td><td>出力</td><td>外部デバイスへのDMA転送要求に対するストローブを出力します。</td></tr><tr><td></td><td>TEND0、TEND1</td><td>DMA終了通知</td><td>出力</td><td>外部デバイスへのDMA転送終了の出力信号です。</td></tr></table>	分類	端子名	機能	入出力	説 明	ダイレクトメモリアクセスコントローラ (DMAC)	DREQ0、DREQ1	DMA要求	入力	外部デバイスからDMA転送要求の入力信号です。		DACK0、DACK1	DMAアクノリッジ	出力	外部デバイスへのDMA転送要求に対するストローブを出力します。		TEND0、TEND1	DMA終了通知	出力	外部デバイスへのDMA転送終了の出力信号です。																																				
分類	端子名	機能	入出力	説 明																																																						
ダイレクトメモリアクセスコントローラ (DMAC)	DREQ0、DREQ1	DMA要求	入力	外部デバイスからDMA転送要求の入力信号です。																																																						
	DACK0、DACK1	DMAアクノリッジ	出力	外部デバイスへのDMA転送要求に対するストローブを出力します。																																																						
	TEND0、TEND1	DMA終了通知	出力	外部デバイスへのDMA転送終了の出力信号です。																																																						
表 1.3 端子機能表																																																										
7.8.2 アンバッファードライトの設定時のご注意について	7-50、7-51	新規追加																																																								
8.1 特長	8-2	図タイトルを修正																																																								
図 8.1 オペランドキャッシュの構成																																																										
図 8.2 命令キャッシュの構成	8-3	図タイトルを修正																																																								
8.3.1 読み出し動作	8-10	説明を修正																																																								
4. キャッシュミス（書き戻しなし）		仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます。データの読み込みは 該当するデータがキャッシュへ到着した時点で、CPU へ読み出しデータを返します。……																																																								
5. キャッシュミス（書き戻しあり）		説明を修正 置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます。データの読み込みは 該当するデータがキャッシュへ到着した時点で、CPU へ読み出しデータを返します。……																																																								
8.6.1 IC アドレスアレイ	8-20	図タイトルを修正																																																								
図 8.5 メモリ割り付け IC アドレスアレイ																																																										
8.6.2 IC データアレイ	8-21	図タイトルを修正																																																								
図 8.6 メモリ割り付け IC データアレイ																																																										
8.6.3 OC アドレスアレイ	8-22	図タイトルを修正																																																								
図 8.7 メモリ割り付け OC アドレスアレイ																																																										
8.6.4 OC データアレイ	8-23	図タイトルを修正																																																								
図 8.8 メモリ割り付け OC データアレイ																																																										
10.3.1 割り込みコントロールレジスタ 0（ICR0）	10-6	説明を修正 ICR0 は、外部割り込み入力端子 NMI、IRQ、IRL、PINT 端子の入力信号検出モードを設定し、NMI 端子に入力されている信号レベルを示します。																																																								
10.3.5 割り込み要因レジスタ 00（INTREQ00）	10-11	表を修正 <table><tr><th rowspan="2">ビット</th><th rowspan="2">ビット名</th><th rowspan="2">初期値</th><th rowspan="2">R/W</th><th colspan="2">説 明</th></tr><tr><th>エッジ検出時 (ICR1.IRQnS=B'00 または B'01)</th><th>レベル検出時 (ICR1.IRQnS=B'10 または B'11)</th></tr><tr><td>7</td><td>IRQ0</td><td>0</td><td>R/W</td><td>IRQn 割り込みを検出したことを示すフラグです。</td><td>【ICR0.LSH=1 の場合】 IRQn 端子から有効な割り込み要求が入力されていることを示します。</td></tr><tr><td>6</td><td>IRQ1</td><td>0</td><td>R/W</td><td>• 読み込み時 0：割り込みが検出されていません</td><td>• 読み込み時 0：割り込みが入力されていません</td></tr><tr><td>5</td><td>IRQ2</td><td>0</td><td>R/W</td><td>• 書き込み時 1：割り込みが検出されました</td><td>1：割り込みが入力されています</td></tr><tr><td>4</td><td>IRQ3</td><td>0</td><td>R/W</td><td>• 読み込み時 0：1 を読み出したビットにかぎり 0 にクリアされます</td><td>• 書き込みは無視されます</td></tr><tr><td>3</td><td>IRQ4</td><td>0</td><td>R/W</td><td>• 書き込み時 1：1 の書き込みは無視されます。クリアするビット以外のビットには 1 を書き込んでください。</td><td>【ICR0.LSH=0 の場合】 IRQn 割り込みを検出したことを示すフラグです。</td></tr><tr><td>2</td><td>IRQ5</td><td>0</td><td>R/W</td><td>• 読み込み時 0：割り込みが検出されていません</td><td>• 読み込み時 0：割り込みが検出されていません</td></tr><tr><td>1</td><td>IRQ6</td><td>0</td><td>R/W</td><td>• 書き込み時 1：割り込みが検出されました</td><td>1：割り込みが検出されました</td></tr><tr><td>0</td><td>IRQ7</td><td>0</td><td>R/W</td><td>• 書き込み時 1：割り込みが検出されました</td><td>• 書き込みは無視されます</td></tr></table>	ビット	ビット名	初期値	R/W	説 明		エッジ検出時 (ICR1.IRQnS=B'00 または B'01)	レベル検出時 (ICR1.IRQnS=B'10 または B'11)	7	IRQ0	0	R/W	IRQn 割り込みを検出したことを示すフラグです。	【ICR0.LSH=1 の場合】 IRQn 端子から有効な割り込み要求が入力されていることを示します。	6	IRQ1	0	R/W	• 読み込み時 0：割り込みが検出されていません	• 読み込み時 0：割り込みが入力されていません	5	IRQ2	0	R/W	• 書き込み時 1：割り込みが検出されました	1：割り込みが入力されています	4	IRQ3	0	R/W	• 読み込み時 0：1 を読み出したビットにかぎり 0 にクリアされます	• 書き込みは無視されます	3	IRQ4	0	R/W	• 書き込み時 1：1 の書き込みは無視されます。クリアするビット以外のビットには 1 を書き込んでください。	【ICR0.LSH=0 の場合】 IRQn 割り込みを検出したことを示すフラグです。	2	IRQ5	0	R/W	• 読み込み時 0：割り込みが検出されていません	• 読み込み時 0：割り込みが検出されていません	1	IRQ6	0	R/W	• 書き込み時 1：割り込みが検出されました	1：割り込みが検出されました	0	IRQ7	0	R/W	• 書き込み時 1：割り込みが検出されました	• 書き込みは無視されます
ビット	ビット名	初期値					R/W	説 明																																																		
			エッジ検出時 (ICR1.IRQnS=B'00 または B'01)	レベル検出時 (ICR1.IRQnS=B'10 または B'11)																																																						
7	IRQ0	0	R/W	IRQn 割り込みを検出したことを示すフラグです。	【ICR0.LSH=1 の場合】 IRQn 端子から有効な割り込み要求が入力されていることを示します。																																																					
6	IRQ1	0	R/W	• 読み込み時 0：割り込みが検出されていません	• 読み込み時 0：割り込みが入力されていません																																																					
5	IRQ2	0	R/W	• 書き込み時 1：割り込みが検出されました	1：割り込みが入力されています																																																					
4	IRQ3	0	R/W	• 読み込み時 0：1 を読み出したビットにかぎり 0 にクリアされます	• 書き込みは無視されます																																																					
3	IRQ4	0	R/W	• 書き込み時 1：1 の書き込みは無視されます。クリアするビット以外のビットには 1 を書き込んでください。	【ICR0.LSH=0 の場合】 IRQn 割り込みを検出したことを示すフラグです。																																																					
2	IRQ5	0	R/W	• 読み込み時 0：割り込みが検出されていません	• 読み込み時 0：割り込みが検出されていません																																																					
1	IRQ6	0	R/W	• 書き込み時 1：割り込みが検出されました	1：割り込みが検出されました																																																					
0	IRQ7	0	R/W	• 書き込み時 1：割り込みが検出されました	• 書き込みは無視されます																																																					

修正項目	ページ	修正内容（詳細はマニュアル参照）
		説明を追加 本レジスタのビットは以下の方法でクリアできます。 (1) エッジ検出の場合 該当するビットが 1 であることを読み出した後に 0 を書き込むことで、割り込み要因をクリアすることができます。このとき、クリアしたくないビットには 1 を書き込んでください。 (2) レベル検出の場合（ICR0.LSH=1 のとき） IRQ 端子状態を変更して割り込み要求を取り下げることにより自動的にクリアされます。ソフトウェアによるクリアは不要です。 (3) レベル検出の場合（ICR0.LSH=0 のとき） IRQ 端子状態を変更して要求を取り下げた後、INTMSK00 レジスタの該当するビットに 1 を書き込んでください。
10.4.1 NMI 割り込み	10-18	説明を修正 ICR0 の NMIE ビットを書き換えた場合、書き換えてから最大 6 バスクロック期間、NMI 割り込みを検出しません。 CPUOPM.INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル（SR.IMASK）は、NMI 割り込み受け付けによってレベル 15 に自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、NMI 割り込み受け付けによって SR.IMASK が影響されることはありません。
10.4.2 IRQ 割り込み	10-18	説明を修正 IRQ 割り込みは、IRQ7～IRQ0 端子から入力される割り込みです。ICR1 の IRQnS ビット（n=0～7）の設定により、エッジ検出、レベル検出の選択が可能です。レベル検出の場合、ICR0.LSH の設定値により動作が異なります。ICR0.LSH の初期値は 0 ですが、1 に変更してから INTC を使用することを推奨します。 (1) ICR0.LSH=1 の場合 割り込み要求は、INTC 内部で保持されません。CPU が割り込みを受け付けて割り込み処理を開始するまで IRQ 端子の状態を保持してください。 (2) ICR0.LSH=0 の場合 IRQ 端子からの割り込み要求が INTC で検出されると、INTREQ00 レジスタに割り込み要求が保持されます。CPU が受け付ける前に IRQ 端子からの割り込み要求が取り下げられた場合にも、INTREQ00 の値は保持されます。IRQ 端子からの要求を取り下げた後、CPU が何らかの割り込み（IRQ 割り込みとは限りません）を受け付けるか、INTMSK00 レジスタの該当するビットを 1 にセットすることで INTREQ00 の値はクリアされます。BL ビットクリアや RTE 命令実行によって割り込みを許可する前に INTREQ00 のフラグをクリアしてください。
11.1 特長 (6) PCMCIA インタフェース	11-2	説明を修正 JEIDA 仕様 Ver4.2（PCMCIA2.1）で定める「IC メモリカードおよび I/O カードインタフェース」をサポート



修正項目	ページ	修正内容（詳細はマニュアル参照）															
11.4.6 リフレッシュタイマ コントロール／ステータスレジスタ (RTCSR)	11-40	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>31～8</td><td>—</td><td>すべて0</td><td>R</td><td>リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	31～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。					
ビット	ビット名	初期値	R/W	説 明													
31～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。													
11.4.7 リフレッシュタイマ カウンタ (RTCNT)	11-41	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>31～8</td><td>—</td><td>すべて0</td><td>R</td><td>リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。</td></tr><tr><td>7～0</td><td>CNT</td><td>すべて0</td><td>R/W</td><td>8ビットのカウンタ</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	31～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。	7～0	CNT	すべて0	R/W	8ビットのカウンタ
ビット	ビット名	初期値	R/W	説 明													
31～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。													
7～0	CNT	すべて0	R/W	8ビットのカウンタ													
11.4.8 リフレッシュタイム コンスタントレジスタ (RTCOR)	11-42	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>31～8</td><td>—</td><td>すべて0</td><td>R</td><td>リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。</td></tr><tr><td>7～0</td><td>COR</td><td>すべて0</td><td>R/W</td><td>8ビットのカウンタの比較値</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	31～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。	7～0	COR	すべて0	R/W	8ビットのカウンタの比較値
ビット	ビット名	初期値	R/W	説 明													
31～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込むときは、H'A55A00を書き込んでください。													
7～0	COR	すべて0	R/W	8ビットのカウンタの比較値													
11.5.5 SDRAM インタフェ ース (12) ローパワーSDRAM	—	項目を削除															
11.5.6 バースト ROM(クロッ ク非同期) インタフェース	11-84	注を追加 【注】 CS0 空間をバースト ROM として使用する場合は、CS0 以外の空間（内蔵 RAM 等）のプログラムにて、CS0BCR、CS0WCR を設定後にバースト ROM をアクセスしてください。															
11.5.8 PCMCIA インタフェ ース	11-90	説明を修正 本 LSI では、CMNCR の MAP ビットにてアドレスマップ（2）を選択した場合、エリア 5、エリア 6 で PCMCIA インタフェースの設定が可能です。物理空間のエリア 5 およびエリア 6 は CSnBCR（n＝5B、6B）の TYPE[3:0]ビットを B'0101 に設定することで、JEIDA 仕様 Ver4.2（PCMCIA2.1 ）で定める「IC メモリカードおよび I/O カードインタフェース」になります。……															
11.6 使用上の注意事項 (1) リセット	11-98	説明を修正 フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、7 ビットのカウンタ（RBWTCNT）を用意しています。パワーオンリセットによりこのカウンタは 0 クリアされ、リセット期間中は 0 の状態を保持します。															
12.3.7 DMA チャンネルコント ロールレジスタ_0～5（CHCR_0～CHCR_5）	12-10	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>23</td><td>DO</td><td>0</td><td>R/W</td><td>DMA オーバーラン DREQをレベル検出で使用する場合、オーバーラン0で検出するか、オーバーラン1で検出するかを選択します。本ビットはCHCR_0、CHCR_1で有効です。 0：DREQをオーバーラン0で検出 1：DREQをオーバーラン1で検出</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	23	DO	0	R/W	DMA オーバーラン DREQをレベル検出で使用する場合、オーバーラン0で検出するか、オーバーラン1で検出するかを選択します。本ビットはCHCR_0、CHCR_1で有効です。 0：DREQをオーバーラン0で検出 1：DREQをオーバーラン1で検出					
ビット	ビット名	初期値	R/W	説 明													
23	DO	0	R/W	DMA オーバーラン DREQをレベル検出で使用する場合、オーバーラン0で検出するか、オーバーラン1で検出するかを選択します。本ビットはCHCR_0、CHCR_1で有効です。 0：DREQをオーバーラン0で検出 1：DREQをオーバーラン1で検出													
12.3.7 DMA チャンネルコント ロールレジスタ_0～5（CHCR_0～CHCR_5）	12-11	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>18</td><td>HIE</td><td>0</td><td>R/W</td><td>ハーフエンドイネーブルビット 転送回数が、転送開始前にセットしたTCRの値が1/2になった転送の読み出しサイクルが終わった時点で、CPUに割り込み要求するかどうかを指定します。HIEビットを1にセットした場合、HEビットがセットされるとCPUに対し割り込みを要求します。TCRの値が1/2転送完了を確認するには割り込み発生後、SYNCO命令を発行した後に、転送先空間にダミーリードを行ってください。 リロードモード設定時は本ビットを0に設定してください。本ビットはCHCR_0～3でのみ有効となります。 0：ハーフエンドで割り込みを禁止 1：ハーフエンドで割り込みを許可</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	18	HIE	0	R/W	ハーフエンドイネーブルビット 転送回数が、転送開始前にセットしたTCRの値が1/2になった転送の読み出しサイクルが終わった時点で、CPUに割り込み要求するかどうかを指定します。HIEビットを1にセットした場合、HEビットがセットされるとCPUに対し割り込みを要求します。TCRの値が1/2転送完了を確認するには割り込み発生後、SYNCO命令を発行した後に、転送先空間にダミーリードを行ってください。 リロードモード設定時は本ビットを0に設定してください。本ビットはCHCR_0～3でのみ有効となります。 0：ハーフエンドで割り込みを禁止 1：ハーフエンドで割り込みを許可					
ビット	ビット名	初期値	R/W	説 明													
18	HIE	0	R/W	ハーフエンドイネーブルビット 転送回数が、転送開始前にセットしたTCRの値が1/2になった転送の読み出しサイクルが終わった時点で、CPUに割り込み要求するかどうかを指定します。HIEビットを1にセットした場合、HEビットがセットされるとCPUに対し割り込みを要求します。TCRの値が1/2転送完了を確認するには割り込み発生後、SYNCO命令を発行した後に、転送先空間にダミーリードを行ってください。 リロードモード設定時は本ビットを0に設定してください。本ビットはCHCR_0～3でのみ有効となります。 0：ハーフエンドで割り込みを禁止 1：ハーフエンドで割り込みを許可													

修正項目	ページ	修正内容（詳細はマニュアル参照）																																									
	12-13	表を修正 <table><thead><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr></thead><tbody><tr><td>2</td><td>IE</td><td>0</td><td>R/W</td><td>インタラプトイネーブル DMA最終転送時にCPUに割り込み要求するかどうかを指定します。IEビットを1にセットした場合、TEビットがセットされDMA最終転送の読み出しサイクルが終わったときに、CPUに対し割り込み（DMINT）を要求します。最終転送完了を確認するには割り込み発生後、SYNCO命令を発行した後に、転送先空間にダミーリードを行ってください。 0：割り込み要求を禁止 1：割り込み要求を許可</td></tr><tr><td>1</td><td>TE</td><td>0</td><td>R(W)※</td><td>トランスファエンドフラグ DMAトランスファカウンタレジスタ（TCR）の値が0になり（DMA最終転送の実行を開始するとき）、TEビットは1にセットされます。TCRが0にならないときに、NMI割り込み、DMAアドレスエラーによって転送が終了した場合、およびDEビット、DMAオペレーションレジスタ（DMAOR）のDMEビットをクリアして転送を終了させた場合には、TEビットはセットされません。TEビットをクリアするには、TEビットの1を読み出してから0を書き込みます。 TEビットがセットされていると、DEビットを1にしても転送は許可されません。 0：DMA転送中またはDMA転送の転送中断 【クリア条件】 TEビットの1読み出し後、0書き込み 1：TCR=0（DMA最終転送中またはDMA転送終了）</td></tr></tbody></table>	ビット	ビット名	初期値	R/W	説 明	2	IE	0	R/W	インタラプトイネーブル DMA最終転送時にCPUに割り込み要求するかどうかを指定します。IEビットを1にセットした場合、TEビットがセットされDMA最終転送の読み出しサイクルが終わったときに、CPUに対し割り込み（DMINT）を要求します。最終転送完了を確認するには割り込み発生後、SYNCO命令を発行した後に、転送先空間にダミーリードを行ってください。 0：割り込み要求を禁止 1：割り込み要求を許可	1	TE	0	R(W)※	トランスファエンドフラグ DMAトランスファカウンタレジスタ（TCR）の値が0になり（DMA最終転送の実行を開始するとき）、TEビットは1にセットされます。TCRが0にならないときに、NMI割り込み、DMAアドレスエラーによって転送が終了した場合、およびDEビット、DMAオペレーションレジスタ（DMAOR）のDMEビットをクリアして転送を終了させた場合には、TEビットはセットされません。TEビットをクリアするには、TEビットの1を読み出してから0を書き込みます。 TEビットがセットされていると、DEビットを1にしても転送は許可されません。 0：DMA転送中またはDMA転送の転送中断 【クリア条件】 TEビットの1読み出し後、0書き込み 1：TCR=0（DMA最終転送中またはDMA転送終了）																										
ビット	ビット名	初期値	R/W	説 明																																							
2	IE	0	R/W	インタラプトイネーブル DMA最終転送時にCPUに割り込み要求するかどうかを指定します。IEビットを1にセットした場合、TEビットがセットされDMA最終転送の読み出しサイクルが終わったときに、CPUに対し割り込み（DMINT）を要求します。最終転送完了を確認するには割り込み発生後、SYNCO命令を発行した後に、転送先空間にダミーリードを行ってください。 0：割り込み要求を禁止 1：割り込み要求を許可																																							
1	TE	0	R(W)※	トランスファエンドフラグ DMAトランスファカウンタレジスタ（TCR）の値が0になり（DMA最終転送の実行を開始するとき）、TEビットは1にセットされます。TCRが0にならないときに、NMI割り込み、DMAアドレスエラーによって転送が終了した場合、およびDEビット、DMAオペレーションレジスタ（DMAOR）のDMEビットをクリアして転送を終了させた場合には、TEビットはセットされません。TEビットをクリアするには、TEビットの1を読み出してから0を書き込みます。 TEビットがセットされていると、DEビットを1にしても転送は許可されません。 0：DMA転送中またはDMA転送の転送中断 【クリア条件】 TEビットの1読み出し後、0書き込み 1：TCR=0（DMA最終転送中またはDMA転送終了）																																							
12.4.3 DMA 転送の種類	12-25	表を修正 <table><thead><tr><th rowspan="2">転送元</th><th colspan="5">転送先</th></tr><tr><th>DACK付外部デバイス</th><th>外部メモリ</th><th>メモリマップト外部デバイス</th><th>内蔵周辺モジュール</th><th>ILメモリ</th></tr></thead><tbody><tr><td>DACK付外部デバイス</td><td>不可</td><td>○</td><td>○</td><td>不可</td><td>不可</td></tr><tr><td>外部メモリ</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td></tr><tr><td>メモリマップト外部デバイス</td><td>○</td><td>○</td><td>○</td><td>○</td><td>○</td></tr><tr><td>内蔵周辺モジュール</td><td>不可</td><td>○</td><td>○</td><td>○</td><td>○</td></tr><tr><td>ILメモリ</td><td>不可</td><td>○</td><td>○</td><td>○</td><td>○</td></tr></tbody></table> 注を修正 【記号説明】 ○：転送可能 【注】 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。	転送元	転送先					DACK付外部デバイス	外部メモリ	メモリマップト外部デバイス	内蔵周辺モジュール	ILメモリ	DACK付外部デバイス	不可	○	○	不可	不可	外部メモリ	○	○	○	○	○	メモリマップト外部デバイス	○	○	○	○	○	内蔵周辺モジュール	不可	○	○	○	○	ILメモリ	不可	○	○	○	○
転送元	転送先																																										
	DACK付外部デバイス	外部メモリ	メモリマップト外部デバイス	内蔵周辺モジュール	ILメモリ																																						
DACK付外部デバイス	不可	○	○	不可	不可																																						
外部メモリ	○	○	○	○	○																																						
メモリマップト外部デバイス	○	○	○	○	○																																						
内蔵周辺モジュール	不可	○	○	○	○																																						
ILメモリ	不可	○	○	○	○																																						

修正項目	ページ	修正内容（詳細はマニュアル参照）																		
12.4.3 DMA 転送の種類 (2) バスモード (a) サイクルスチールモード ・ インタミットモード 16、インタミットモード 64、インタミットモード 256	12-28	説明を修正 サイクルスチールのインタミットモードでは、DMAC は一回の転送単位（バイト、ワード、ロングワード、8 バイト単位、16 バイト単位、または 32 バイト単位）の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、Bφカウンタで 16 クロック、64 クロックまたは 256 クロック待った後に、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。…… 図を修正 																		
(3) DMA 転送区間とリクエストモード、バスモードの関係	12-29	表を修正 <table><tr><th>アドレスモード</th><th>転送区間</th><th>リクエストモード</th><th>バスモード</th><th>転送サイズ (バイト)</th><th>使用可能チャネル</th></tr><tr><td>デュアル</td><td>DACK付き外部デバイスと外部メモリ</td><td>外部</td><td>B/C</td><td>1/2/4/8/16/32</td><td>0.1</td></tr><tr><td></td><td>DACK付き外部デバイスとメモリマップト外部デバイス</td><td>外部</td><td>B/C</td><td>1/2/4/8/16/32</td><td>0.1</td></tr></table>	アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (バイト)	使用可能チャネル	デュアル	DACK付き外部デバイスと外部メモリ	外部	B/C	1/2/4/8/16/32	0.1		DACK付き外部デバイスとメモリマップト外部デバイス	外部	B/C	1/2/4/8/16/32	0.1
アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (バイト)	使用可能チャネル															
デュアル	DACK付き外部デバイスと外部メモリ	外部	B/C	1/2/4/8/16/32	0.1															
	DACK付き外部デバイスとメモリマップト外部デバイス	外部	B/C	1/2/4/8/16/32	0.1															
12.4.7 DREQ 端子のサンプリングタイミング	12-33	説明を追加 各バスモードに対する DREQ 入力のサンプリングタイミングを図 12.12 ~ 図 12.15 に示します。 DREQ の検出（エッジ、レベル検出）は、アサート、ネゲートともに CKO の立ち上がりでサンプリングされます。 このため、DREQ のセットアップ／ホールド時間を確保することができれば、クロックごとにアサート、ネゲートは可能です。 ただし、アサートに関しては不感帯の期間がありますので、この期間はリクエストは受け付けられないことになります。																		
図 12.12 サイクルスチールモード、エッジ検出時の DREQ 入力検出タイミング例	12-34	図を修正 																		
図 12.14 バーストモード、エッジ検出時の DREQ 入力検出タイミング例		図を修正 																		
12.5.5 DMA 拡張リソースセクタの設定について	12-37	新規追加																		
13.1 特長 (5) 制御回路	13-3	説明を修正 制御回路は、MD0、MD1 端子、および周波数制御レジスタの設定に従ってクロック周波数の制御を行います。また、各種低消費電力モードの制御を行います。																		
(6) スタンバイ制御回路 (7) 周波数制御レジスタ (FRQCR) (8) スタンバイコントロールレジスタ (STBCR) (9) PLL 制御レジスタ (PLLCR) (10) IrDA クロック制御レジスタ (IrDACLKCR) (11) 発振安定期間監視タイマ制御レジスタ (OSCWTCR)		項目を削除																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
13.4.1 周波数制御レジスタ (FRQCR)	13-5	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>29</td><td>—</td><td>不定¹⁾</td><td>R</td><td>リザーブビット 書き込む値は常に0にしてください。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	29	—	不定 ¹⁾	R	リザーブビット 書き込む値は常に0にしてください。										
ビット	ビット名	初期値	R/W	説 明																		
29	—	不定 ¹⁾	R	リザーブビット 書き込む値は常に0にしてください。																		
	13-6	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>19～16</td><td>—</td><td>不定¹⁾</td><td>R</td><td>リザーブビット 書き込む値は常に0にしてください。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	19～16	—	不定 ¹⁾	R	リザーブビット 書き込む値は常に0にしてください。										
ビット	ビット名	初期値	R/W	説 明																		
19～16	—	不定 ¹⁾	R	リザーブビット 書き込む値は常に0にしてください。																		
	13-7	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>7～4</td><td>—</td><td>不定¹⁾</td><td>R</td><td>リザーブビット 書き込む値は常に0にしてください。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	7～4	—	不定 ¹⁾	R	リザーブビット 書き込む値は常に0にしてください。										
ビット	ビット名	初期値	R/W	説 明																		
7～4	—	不定 ¹⁾	R	リザーブビット 書き込む値は常に0にしてください。																		
13.5.2 分周率の変更	13-11	説明を修正 分周率変更は、FRQCR の各分周設定ビットを書き換えることで行います。 FRQCR 変更後直ちに設定されたクロックに切り替わります。																				
14.4.3 ソフトウェアスタンバイモード (2) ソフトウェアスタンバイモードの解除 (a) 割り込みによる解除	14-12	説明を修正 外部入力クロックをクロック供給源としている場合、または、水晶振動子をクロック供給源としてソフトウェアスタンバイ時に水晶発振を停止させない場合、NMI、IRQ（エッジ検出）、PINT、RTC 割り込みが発生すると、ソフトウェアスタンバイモードが解除され、STATUS0 端子がローレベルになります。 なお、IRQ（レベル検出）割り込みによってソフトウェアスタンバイモードが解除されるためには、EXTAL_RTC、XTAL_RTC に水晶振動子を接続して、クロックを供給する必要があります。																				
16.5.4 PWM モード	16-22	説明を修正 • デューティ 0%： デューティレジスタ (TPUn_TGRA) に対して周期レジスタ (TPUn_TGRB) の設定値を TGRB+1 にした場合																				
17.1 特長 図 17.1 RTC のブロック図	17-2	図を修正																				
17.3.16 RTC コントロールレジスタ 1 (RCR1)	17-14	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>7</td><td>CF</td><td>不定</td><td>R/W</td><td>相上げフラグ (CUI) このフラグが1にセットされた場合、秒カウンタ相上げ、または64Hzカウンタ読み出し時に64Hzカウンタ相上げが発生したことを示し、この時点で読み出したカウンタレジスタの値は、保証されません。再度の読み出しが必要です。</td></tr><tr><td>4</td><td>CIE</td><td>0</td><td>R/W</td><td>相上げ割り込みイネーブルフラグ (CUI) 相上げフラグ (CF) が1にセットされているとき、割り込み発生を許可するビットです。</td></tr><tr><td>3</td><td>AIE</td><td>0</td><td>R/W</td><td>アラーム割り込みイネーブルフラグ (ATI) アラームフラグ (AF) が1にセットされているとき、割り込み発生を許可するビットです。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	7	CF	不定	R/W	相上げフラグ (CUI) このフラグが1にセットされた場合、秒カウンタ相上げ、または64Hzカウンタ読み出し時に64Hzカウンタ相上げが発生したことを示し、この時点で読み出したカウンタレジスタの値は、保証されません。再度の読み出しが必要です。	4	CIE	0	R/W	相上げ割り込みイネーブルフラグ (CUI) 相上げフラグ (CF) が1にセットされているとき、割り込み発生を許可するビットです。	3	AIE	0	R/W	アラーム割り込みイネーブルフラグ (ATI) アラームフラグ (AF) が1にセットされているとき、割り込み発生を許可するビットです。
ビット	ビット名	初期値	R/W	説 明																		
7	CF	不定	R/W	相上げフラグ (CUI) このフラグが1にセットされた場合、秒カウンタ相上げ、または64Hzカウンタ読み出し時に64Hzカウンタ相上げが発生したことを示し、この時点で読み出したカウンタレジスタの値は、保証されません。再度の読み出しが必要です。																		
4	CIE	0	R/W	相上げ割り込みイネーブルフラグ (CUI) 相上げフラグ (CF) が1にセットされているとき、割り込み発生を許可するビットです。																		
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ (ATI) アラームフラグ (AF) が1にセットされているとき、割り込み発生を許可するビットです。																		
	17-15	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>0</td><td>AF</td><td>0</td><td>R/W</td><td>アラームフラグ (ATI) アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENBビットを1に設定したレジスタのみ) とカウンタが一致したときに1にセットされるフラグです。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	0	AF	0	R/W	アラームフラグ (ATI) アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENBビットを1に設定したレジスタのみ) とカウンタが一致したときに1にセットされるフラグです。										
ビット	ビット名	初期値	R/W	説 明																		
0	AF	0	R/W	アラームフラグ (ATI) アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENBビットを1に設定したレジスタのみ) とカウンタが一致したときに1にセットされるフラグです。																		
17.3.17 RTC コントロールレジスタ 2 (RCR2)	17-15	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>7</td><td>PEF</td><td>0</td><td>R/W</td><td>周期割り込みフラグ (PRI) PES[2:0]ビットで設定された周期で割り込み発生を示すフラグです。このフラグが1にセットされた場合、周期割り込みが発生します。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	7	PEF	0	R/W	周期割り込みフラグ (PRI) PES[2:0]ビットで設定された周期で割り込み発生を示すフラグです。このフラグが1にセットされた場合、周期割り込みが発生します。										
ビット	ビット名	初期値	R/W	説 明																		
7	PEF	0	R/W	周期割り込みフラグ (PRI) PES[2:0]ビットで設定された周期で割り込み発生を示すフラグです。このフラグが1にセットされた場合、周期割り込みが発生します。																		

修正項目	ページ	修正内容（詳細はマニュアル参照）															
	17-16	表を修正 <table><thead><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr></thead><tbody><tr><td>6～4</td><td>PE[2:0]</td><td>すべて0</td><td>R/W</td><td>割り込みイネーブルフラグ (PRI) 周期割り込みの周期を設定します。</td></tr><tr><td>3</td><td>—</td><td>1</td><td>R</td><td>リザーブビット 読み出すと1が読み出されます。書き込む時も常に1にしてください。</td></tr></tbody></table>	ビット	ビット名	初期値	R/W	説 明	6～4	PE[2:0]	すべて0	R/W	割り込みイネーブルフラグ (PRI) 周期割り込みの周期を設定します。	3	—	1	R	リザーブビット 読み出すと1が読み出されます。書き込む時も常に1にしてください。
ビット	ビット名	初期値	R/W	説 明													
6～4	PE[2:0]	すべて0	R/W	割り込みイネーブルフラグ (PRI) 周期割り込みの周期を設定します。													
3	—	1	R	リザーブビット 読み出すと1が読み出されます。書き込む時も常に1にしてください。													
20.3.2 I ² C バスコントロールレジスタ 2 (ICCR2)	20-8	表を修正 <table><thead><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr></thead><tbody><tr><td>1</td><td>IICRST</td><td>0</td><td>R/W</td><td>IICコントロール部リセット IICRSTはI²Cバスのレジスタを除くコントロール部をリセットします。I²Cバスの動作中に通信不具合等によりハングアップしたとき、IICRSTビットを1にセットするとIICのICMRレジスタのBC[2:0]ビットとIICの内部回路をリセットすることができます。</td></tr></tbody></table>	ビット	ビット名	初期値	R/W	説 明	1	IICRST	0	R/W	IICコントロール部リセット IICRSTはI ² Cバスのレジスタを除くコントロール部をリセットします。I ² Cバスの動作中に通信不具合等によりハングアップしたとき、IICRSTビットを1にセットするとIICのICMRレジスタのBC[2:0]ビットとIICの内部回路をリセットすることができます。					
ビット	ビット名	初期値	R/W	説 明													
1	IICRST	0	R/W	IICコントロール部リセット IICRSTはI ² Cバスのレジスタを除くコントロール部をリセットします。I ² Cバスの動作中に通信不具合等によりハングアップしたとき、IICRSTビットを1にセットするとIICのICMRレジスタのBC[2:0]ビットとIICの内部回路をリセットすることができます。													
20.3.5 I ² C バスステータスレジスタ (ICSR)	20-12	表を修正 <table><thead><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr></thead><tbody><tr><td>3</td><td>STOP</td><td>0</td><td>R/W</td><td>停止条件検出フラグ [クリア条件] ●1の状態をリードした後、0をライトしたとき [セット条件] ●マスタモード時、フレームの転送の完了後に停止条件を検出したとき ●スリープモード時、開始条件検出後の第1バイトのスリープアドレスとSARに設定したアドレスが一致した後、停止条件を検出したとき</td></tr></tbody></table>	ビット	ビット名	初期値	R/W	説 明	3	STOP	0	R/W	停止条件検出フラグ [クリア条件] ●1の状態をリードした後、0をライトしたとき [セット条件] ●マスタモード時、フレームの転送の完了後に停止条件を検出したとき ●スリープモード時、開始条件検出後の第1バイトのスリープアドレスとSARに設定したアドレスが一致した後、停止条件を検出したとき					
ビット	ビット名	初期値	R/W	説 明													
3	STOP	0	R/W	停止条件検出フラグ [クリア条件] ●1の状態をリードした後、0をライトしたとき [セット条件] ●マスタモード時、フレームの転送の完了後に停止条件を検出したとき ●スリープモード時、開始条件検出後の第1バイトのスリープアドレスとSARに設定したアドレスが一致した後、停止条件を検出したとき													
20.6 ビット同期回路 図 20.18 ビット同期回路のタイミング	20-29	図を差し替え															
表 20.6 SCL をモニタする時間	20-30	表を修正 <table><thead><tr><th>CKS[3]</th><th>CKS[2]</th><th>SCL をモニタする時間^{*1}</th></tr></thead><tbody><tr><td rowspan="2">0</td><td>0</td><td>9tpcy^{*2}</td></tr><tr><td>1</td><td>21tpcy^{*2}</td></tr><tr><td rowspan="2">1</td><td>0</td><td>39tpcy^{*2}</td></tr><tr><td>1</td><td>87tpcy^{*2}</td></tr></tbody></table>	CKS[3]	CKS[2]	SCL をモニタする時間 ^{*1}	0	0	9tpcy ^{*2}	1	21tpcy ^{*2}	1	0	39tpcy ^{*2}	1	87tpcy ^{*2}		
CKS[3]	CKS[2]	SCL をモニタする時間 ^{*1}															
0	0	9tpcy ^{*2}															
	1	21tpcy ^{*2}															
1	0	39tpcy ^{*2}															
	1	87tpcy ^{*2}															
20.7.3 マスタ受信モードの注意事項について	20-30	新規追加															
20.7.4 マスタ受信モード、ACKBT 設定時の注意	20-31	新規追加															
20.7.5 停止／開始条件発行時の注意	20-31	新規追加															
21.5.2 転送中断時の注意事項	21-42	新規追加															
22.4.3 クロック同期式モードの動作 (c) SCIF の初期化（クロック同期式） 図 22.12 SCIF の初期化フローチャートの例	22-34	図を修正 SCSCRのTEまたはREビットを1にセット およびTIEまたはRIE、REIEビットを設定 (5) 終了															
(d) シリアルデータ送信（クロック同期式） 図 22.14 SCIF の送信時の動作例	22-36	図を修正 同期クロック シリアルデータ TDFE TEND															
22.5 SCIF 割り込み要因とDMAC	22-41	説明を修正 SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI、BRI 割り込み要求だけを出すことができます。															

修正項目	ページ	修正内容（詳細はマニュアル参照）										
23.1 特長	23-1	説明を修正 2 種類の割り込み要因（クロック同期式モード時） - 送信 FIFO データエンプティ時と受信 FIFO データフル時に DMA コントローラ（DMAC）を起動させてデータの転送を行うことができます。 - モデムコントロール機能（CTS、RTS）を内蔵しています。										
23.3.6 シリアルコントローラレジスタ（SCASCR）	23-13	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>1, 0</td><td>CKE[1:0]</td><td>00</td><td>R/W</td><td>【注】 *1 内蔵ボーレートジェネレータでデータサンプリングする場合は、CKE[1:0]を00に設定してください。 *2 出力クロックの周波数はビットレートと同じ *3 ビットレートの8倍の周波数のクロックを入力してください。 サンプリングレートは1/16固定となります。 外部クロックを入力しない場合は、CKE[1:0]を00に設定してください。</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	1, 0	CKE[1:0]	00	R/W	【注】 *1 内蔵ボーレートジェネレータでデータサンプリングする場合は、CKE[1:0]を00に設定してください。 *2 出力クロックの周波数はビットレートと同じ *3 ビットレートの8倍の周波数のクロックを入力してください。 サンプリングレートは1/16固定となります。 外部クロックを入力しない場合は、CKE[1:0]を00に設定してください。
ビット	ビット名	初期値	R/W	説 明								
1, 0	CKE[1:0]	00	R/W	【注】 *1 内蔵ボーレートジェネレータでデータサンプリングする場合は、CKE[1:0]を00に設定してください。 *2 出力クロックの周波数はビットレートと同じ *3 ビットレートの8倍の周波数のクロックを入力してください。 サンプリングレートは1/16固定となります。 外部クロックを入力しない場合は、CKE[1:0]を00に設定してください。								
23.4.2 調歩同期式モード 外部クロックを選択した場合：	23-24	説明を修正 サンプリングレートは 1/16 に固定となり、ビットレートの 8 倍の周波数のクロックを入力することが必要										
23.4.3 調歩同期式モードのシリアル動作 (2) クロック	23-25	説明を修正 外部クロックを SCK 端子に入力する場合には、サンプリングレートは 1/16 に固定となり、ビットレートの 8 倍の周波数のクロックを入力してください。										
(3) データの送信／受信動作 (c) 送信データストップ機能	23-30	説明を修正 送信データストップ機能とは、SCATDSR レジスタの値と送信データ数が一致すると、送信動作を停止する機能です。TSIE ビット（割り込みイネーブルビット）をセットしておくことで、割り込みが発生します。										
23.5 割り込み要因と DMAC	23-45	説明を修正 SCASSR の TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ要因による割り込み要求が発生します。SCASSR の TSF フラグが 1 にセットされると、送信データストップ要因による割り込み要求が発生します。送信 FIFO データエンプティ要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。DMAC 転送要求は、DMAC で SCAFTDR に送信トリガ設定数を超えるデータが書き込まれると自動的にクリアされます。…… ただし、各要因による割り込みのベクタは共通となります。また、同一要因により、DMAC 起動と割り込みを同時に発生させることはできません。DMAC 起動を使用する場合は、発生要因に対応する割り込みイネーブルビット（TIE、RIE）と、転送要求イネーブルビット（TDRQE、RDRQE）を 1 にセットしてください。										
表 23.7 SCIFA の割り込み要因		表を修正 <table><tr><th colspan="2">割り込み要因の内容</th><th>DMACの起動</th></tr><tr><td>受信エラー（ER）、ブレイク（BRK）、データレディ（DR）または送信データストップ（TSF）による割り込み</td><td></td><td>不可</td></tr><tr><td>受信FIFOデータフル（RDF）または送信FIFOデータエンプティ（TDFE）割り込み</td><td></td><td>可</td></tr></table>	割り込み要因の内容		DMACの起動	受信エラー（ER）、ブレイク（BRK）、データレディ（DR）または送信データストップ（TSF）による割り込み		不可	受信FIFOデータフル（RDF）または送信FIFOデータエンプティ（TDFE）割り込み		可	
割り込み要因の内容		DMACの起動										
受信エラー（ER）、ブレイク（BRK）、データレディ（DR）または送信データストップ（TSF）による割り込み		不可										
受信FIFOデータフル（RDF）または送信FIFOデータエンプティ（TDFE）割り込み		可										
23.6 使用上の注意事項 (5) クロック同期モードでの同時送受信時の制約事項	23-47	項目を追加										
26.3.1 A/D データレジスタ A～D（ADDRA～ADDRD）	26-5	表を修正 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr><tr><td>11, 10</td><td>TRGE[1:0]</td><td>すべて 0</td><td>R/W</td><td>トリガイネーブル 外部トリガ入力によるA/D変換の許可または禁止を選択します。 00：外部トリガ入力によるA/D変換の開始を禁止 01：予約（設定不可） 10：予約（設定不可） 11：A/D変換トリガ入力端子（ADTRG）の立ち下がりエッジでA/D変換を開始</td></tr></table>	ビット	ビット名	初期値	R/W	説 明	11, 10	TRGE[1:0]	すべて 0	R/W	トリガイネーブル 外部トリガ入力によるA/D変換の許可または禁止を選択します。 00：外部トリガ入力によるA/D変換の開始を禁止 01：予約（設定不可） 10：予約（設定不可） 11：A/D変換トリガ入力端子（ADTRG）の立ち下がりエッジでA/D変換を開始
ビット	ビット名	初期値	R/W	説 明								
11, 10	TRGE[1:0]	すべて 0	R/W	トリガイネーブル 外部トリガ入力によるA/D変換の許可または禁止を選択します。 00：外部トリガ入力によるA/D変換の開始を禁止 01：予約（設定不可） 10：予約（設定不可） 11：A/D変換トリガ入力端子（ADTRG）の立ち下がりエッジでA/D変換を開始								

修正項目	ページ	修正内容（詳細はマニュアル参照）																																							
26.4.3 スキャンモード 図 26.4 A/D 変換器の動作例（スキ ャンモード AN0～AN2 の 3 チャネ ル選択時）	26-12	図を修正 																																							
33.2 電源投入および切断 順序	33-2	図を修正 																																							
33.4 AC 特性 表 33.6 動作周波数範囲	33-6	表を修正 <table><tr><th>項 目</th><th>記号</th><th>Min.</th><th>Typ.</th><th>Max.</th><th>単位</th><th>備考</th></tr><tr><td rowspan="5">動作周波数</td><td>CPUクロック (Iφ)</td><td>f</td><td>24</td><td>—</td><td>266.7</td><td rowspan="5">MHz</td><td rowspan="5">266MHz品 200MHz品</td></tr><tr><td>SHクロック (Sφ)</td><td>24</td><td>—</td><td>200</td></tr><tr><td>バスクロック (Bφ)</td><td>24</td><td>—</td><td>133.4</td></tr><tr><td>周辺クロック (Pφ)</td><td>8</td><td>—</td><td>66.7</td></tr><tr><td>PLL回路の出力クロック</td><td>75</td><td>—</td><td>266.7</td></tr><tr><td></td><td></td><td>75</td><td>—</td><td>200</td><td></td><td></td><td>266MHz品 200MHz品</td></tr></table>	項 目	記号	Min.	Typ.	Max.	単位	備考	動作周波数	CPUクロック (Iφ)	f	24	—	266.7	MHz	266MHz品 200MHz品	SHクロック (Sφ)	24	—	200	バスクロック (Bφ)	24	—	133.4	周辺クロック (Pφ)	8	—	66.7	PLL回路の出力クロック	75	—	266.7			75	—	200			266MHz品 200MHz品
項 目	記号	Min.	Typ.	Max.	単位	備考																																			
動作周波数	CPUクロック (Iφ)	f	24	—	266.7	MHz	266MHz品 200MHz品																																		
	SHクロック (Sφ)	24	—	200																																					
	バスクロック (Bφ)	24	—	133.4																																					
	周辺クロック (Pφ)	8	—	66.7																																					
	PLL回路の出力クロック	75	—	266.7																																					
		75	—	200			266MHz品 200MHz品																																		
33.4.6 SDRAM タイミング 図 33.19 SDRAM バーストリード バスサイクル（シングルリード×8） （オートプリチャージモード、CAS レイテンシ 2、TRCD=2 サイクル、 TRP=1 サイクル）	33-23	図を修正 																																							