

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0100B/J	Rev.	第2版
題名	誤記訂正通知 RL78/G23 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G23 グループ	対象ロット等 全ロット	関連資料	RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0896JJ0100 (Apr.2021)	

RL78/G23 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0896JJ0100) において、下記訂正がございます。

今回通知する訂正内容 (1/3)

訂正箇所	該当ページ	内容
1.1 特徴 中速オンチップ・オシレータ	p.17	誤記訂正
1.6 機能概要 静電容量式タッチセンサ	p.18, p.19	誤記訂正
2.2.2 機能説明 TS00-TS15, TS20-TS35, TSCAP	p.20	誤記訂正
表2-3 各端子の未使用端子処理 P123,P124	p.21	注意追加
図2-20 端子タイプ 7-39-1の端子ブロック図	p.22	誤記訂正
図2-25 端子タイプ 8-31-1の端子ブロック図	p.23	誤記訂正
図2-33 端子タイプ 12-38-3の端子ブロック図	p.24	注意変更
表3-8 拡張SFR (2nd SFR) 一覧 (2/16) PFCMDレジスタ	p.25	誤記訂正
表3-8 拡張SFR (2nd SFR) 一覧 (7/16) MIOTRMレジスタ	p.26	誤記訂正
4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)	p.27	注意追加
4.5.4 使用するポート機能および兼用機能のレジスタ設定例	p.28	注意追加
表4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ96KB・128KBの30ピン製品~64ピン製品) (4/17)	p.29	誤記訂正
表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (1/21)	p.30	誤記訂正
表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (4/21)	p.31	誤記訂正
図6-9 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット RTCLPCビット	p.32	誤記訂正
9.2.11 インターバル・タイマ・ステータス・レジスタ (ITLS0)	p.33	注意追加
表12-3 A/D変換時間の選択 (3/8)	p.34	誤記訂正
12.3.6 12ビット/10ビットA/D変換結果レジスタ (ADCRn)	p.35	注意追加
図12-12 アナログ入力チャネル指定レジスタ (ADS) のフォーマット 入力ソース	p.36, p.37	注意追加および 誤記訂正
12.6.2 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)	p.38	誤記訂正

今回通知する訂正内容 (2/3)

訂正箇所	該当ページ	内容
12.6.4 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)	p.39	誤記訂正
12.6.6 ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	p.40	誤記訂正
12.6.8 ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)	p.41	誤記訂正
12.6.9 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)	p.42	誤記訂正
12.6.10 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)	p.43	誤記訂正
12.6.11 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)	p.44	誤記訂正
12.6.12 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)	p.45	誤記訂正
12.6.14 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	p.46	注意追加および誤記訂正
12.6.16 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)	p.47	誤記訂正
図15 - 35 3線シリアルSPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例	p.48	誤記訂正
表15 - 3 SNOOZEモード時のUART受信ポーレート設定	p.49	説明変更
17.3.2 UARTモード (5) 連続送信	p.50	説明追加
図23 - 4 シャットダウン・モードから通常モードへの設定手順	p.51	注意追加
表23 - 1 HALTモード時の動作状態 (1) (2/2)	p.52	説明追加
表23 - 2 HALTモード時の動作状態 (2) (2/2)	p.53	説明追加
表23 - 3 STOPモード時の動作状態 (2/2)	p.54	説明追加
表23 - 4 SNOOZEモード時の動作状態 (2/2)	p.54	説明追加
図26 - 11 LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延	p.55	誤記訂正
図28 - 3 真性乱数発生器の乱数シードの生成手順	p.56	説明追加
28.2.2 フラッシュ・リード・プロテクションの設定	p.57	注意変更
第30章 静電容量センサユニット (CTS2L) 静電容量センサユニットの出力チャネル数	p.58	誤記訂正
表30 - 1 CTSUの機能概要 相互容量方式送信電源切り替え	p.59	誤記訂正
表30 - 2 CTSUで使用する外部端子	p.60	誤記訂正
図30 - 7 CTSU制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット	p.61, p.62	説明変更
図30 - 15 CTSU キャリブレーションレジスタL, H (CTSUDBGR0, CTSUDBGR1) のフォーマット	p.63	誤記訂正
第30章 静電容量センサユニット (CTS2L) 静電容量センサユニット使用時の注意事項	p.64	説明追加
31.1 レギュレータの概要	p.65	説明追加
図32 - 5 ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット	p.66	誤記訂正
図33 - 8 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ	p.67	説明変更
33.6.2.1 フラッシュ・アドレス・ポインタ・レジスタH, L (FLAPH, FLAPL)	p.68	注意変更
33.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L (FLSEDH, FLSEDL)	p.69	注意変更
33.6.2.3 フラッシュ・ライト・バッファ・レジスタH, L (FLWH, FLWL)	p.70	注意変更
33.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	p.71	注意追加
33.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)	p.72, p.73	注意追加および説明変更

今回通知する訂正内容 (3/3)

訂正箇所	該当ページ	内容
33.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)	p.74, p.75	注意追加および説明変更
33.6.2.10 フラッシュ・エクストラ用シーケンサ制御レジスタ (FSSE)	p.76, p.77	注意追加および説明変更
33.6.2.11 フラッシュ・レジスタ初期化レジスタ (FLRST)	p.78	注意変更
33.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH, FSASTL)	p.79	誤記訂正
33.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)	p.80	誤記訂正および説明追加
33.6.2.14 フラッシュFSWモニタ・レジスタE (FLFSWE)	p.81	注意変更および説明変更
33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)	p.82	説明変更
33.6.3 フラッシュ・メモリ制御モードの設定	p.83	説明変更
33.6.3.1 特定シーケンス実行手順	p.84	説明変更
33.6.6.4 コード・フラッシュ領域書き換えの操作	p.85, p.86	注意追加および説明変更
33.6.6.5 データ・フラッシュ領域書き換えの操作	p.87, p.88	注意追加および説明変更
33.6.6.7 エクストラ領域の書き換えの操作	p.89, p.90	説明変更
33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ	p.91~p.95	全面変更
33.6.8 フラッシュ・シールド・ウインドウ機能	p.96, p.97	注意変更および説明変更
33.6.10.3 エクストラ領域書き換え時のコマンド実行例	p.98	説明変更
33.6.11 セルフ・プログラミング時の注意事項	p.99, p.100	注意変更および注意追加
33.7 セキュリティ設定	p.101~p.104	注意追加および説明変更
34.2 外部デバイス (UART内蔵) との接続	p.105	注意変更
37.1 絶対最大定格	p.106	誤記訂正
37.2.1 X1, XT1発振回路特性	p.107	誤記訂正
37.3.1 端子特性	p.108~p.111	誤記訂正
37.3.2 電源電流特性	p.112~p.122	仕様変更および仕様追加
37.5.2 シリアル・インタフェースUARTA	p.123	仕様変更
37.6.1 A/Dコンバータ特性 (1) 標準モード1, 2	p.124	説明変更
37.6.1 A/Dコンバータ特性 (2) 低電圧モード1, 2	p.125	説明変更
37.6.4 コンパレータ特性	p.126	仕様変更
37.8 フラッシュ・メモリ・プログラミング特性	p.127	誤記訂正
38.4 40ピン製品	p.128	仕様追加
38.6 48ピン製品	p.129	仕様追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧 (1/3)

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0896JJ0100	
1	端子接続図 44ピン製品		p.13	p.7
2	機能概要 44ピン製品		p.26	p.8
3	ポートの端子機能 44ピン製品		p.46	p.9
4	製品別の搭載機能 44ピン製品		p.69	p.10
5	表4-1 ポートの構成(2/2)		p.175	p.11
6	ポートの構成 ポート5		p.178	p.12
7	図4-12 出力電流制御許可レジスタのフォーマット (CCDE)		p.203	p.13
8	表4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ96KB・128KBの30ピン製品~64ピン製品) (9/17)		p.226	p.14
9	表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (9/21)		p.242	p.15
10	図32-4 ユーザ・オプション・バイト (000C1H/040C1H) のフォーマット (3/3)		p.1304	p.16
11	1.1 特徴 中速オンチップ・オシレータ		p.2	p.17
12	1.6 機能概要 30~48ピン製品の静電容量式タッチセンサ		p.27	p.18
13	1.6 機能概要 52~128ピン製品の静電容量式タッチセンサ		p.31	p.19
14	2.2.2 機能説明 TS00-TS15, TS20-TS35, TSCAP		p.75	p.20
15	表2-3 各端子の未使用端子処理 P123,P124		p.77	p.21
16	図2-20 端子タイプ 7-39-1の端子ブロック図		p.96	p.22
17	図2-25 端子タイプ 8-31-1の端子ブロック図		p.102	p.23
18	図2-33 端子タイプ 12-38-3の端子ブロック図		p.111	p.24
19	表3-8 拡張SFR (2nd SFR) 一覧 (2/16) PFCMDレジスタ		p.143	p.25
20	表3-8 拡張SFR (2nd SFR) 一覧 (7/16) MIOTRMレジスタ		p.148	p.26
21	4.3.7 ポート・モード・コントロールA・レジスタ (PMCAxx)		p.197	p.27
22	4.5.4 使用するポート機能および兼用機能のレジスタ設定例		p.217	p.28
23	表4-7 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ96KB・128KBの30ピン製品~64ピン製品) (4/17)		p.221	p.29
24	表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (1/21)		p.234	p.30
25	表4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (フラッシュ・メモリ192KB~768KBの製品、フラッシュ・メモリ128KBの80ピン・100ピン製品) (4/21)		p.237	p.31
26	図6-9 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット RTCLPCビット		p.288	p.32
27	9.2.11 インターバル・タイマ・ステータス・レジスタ (ITLS0)		p.508	p.33
28	表12-3 A/D変換時間の選択 (3/8)		p.552	p.34
29	12.3.6 12ビット/10ビットA/D変換結果レジスタ (ADCRn)		p.566	p.35
30	図12-12 アナログ入力チャネル指定レジスタ (ADS) のフォーマット 入力ソース		p.569	p.36, p.37
31	12.6.2 ソフトウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)		p.578	p.38
32	12.6.4 ソフトウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)		p.580	p.39
33	12.6.6 ソフトウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)		p.582	p.40
34	12.6.8 ソフトウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)		p.584	p.41
35	12.6.9 ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、連続変換モード)		p.585	p.42

ユーザーズマニュアルの訂正一覧 (2/3)

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0896JJ0100	
36	12.6.10	ハードウェア・トリガ・ノーウエイト・モード (セレクト・モード、ワンショット変換モード)	p.586	p.43
37	12.6.11	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、連続変換モード)	p.588	p.44
38	12.6.12	ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード)	p.589	p.45
39	12.6.14	ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード)	p.591	p.46
40	12.6.16	ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード)	p.593	p.47
41	図15 - 35	3線シリアルSPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例	p.703	p.48
42	表15 - 3	SNOOZEモード時のUART受信ポー・レート設定	p.775	p.49
43	17.3.2	UARTモード (5) 連続送信	p.937	p.50
44	図23 - 4	シャットダウン・モードから通常モードへの設定手順	p.1134	p.51
45	表23 - 1	HALTモード時の動作状態 (1) (2/2)	p.1136	p.52
46	表23 - 2	HALTモード時の動作状態 (2) (2/2)	p.1138	p.53
47	表23 - 3	STOPモード時の動作状態 (2/2)	p.1143	p.54
48	表23 - 4	SNOOZEモード時の動作状態 (2/2)	p.1150	p.54
49	図26 - 11	LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延	p.1181	p.55
50	図28 - 3	真性乱数発生器の乱数シードの生成手順	p.1214	p.56
51	28.2.2	フラッシュ・リード・プロテクションの設定	p.1216	p.57
52	第30章	静電容量センサユニット (CTS2L) 静電容量センサユニットの出力チャンネル数	p.1263	p.58
53	表30 - 1	CTS2Lの機能概要 相互容量方式送信電源切り替え	p.1265	p.59
54	表30 - 2	CTS2Lで使用する外部端子	p.1266	p.60
55	図30 - 7	CTS2L制御レジスタAL, AH (CTSUCRAL, CTSUCRAH) のフォーマット	p.1272, p.1273, p.1274	p.61, p.62
56	図30 - 15	CTS2L キャリブレーションレジスタL, H (CTS2LDBGR0, CTS2LDBGR1) のフォーマット	p.1290, p.1292	p.63
57	第30章	静電容量センサユニット (CTS2L) 静電容量センサユニット使用時の注意事項	p.1297	p.64
58	31.1	レギュレータの概要	p.1298	p.65
59	図32 - 5	ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット	p.1305	p.66
60	図33 - 8	セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ	p.1324	p.67
61	33.6.2.1	フラッシュ・アドレス・ポインタ・レジスタH, L (FLAPH, FLAPL)	p.1327	p.68
62	33.6.2.2	フラッシュ・エンド・アドレス・ポインタ・レジスタH, L (FLSEDH, FLSEDL)	p.1328	p.69
63	33.6.2.3	フラッシュ・ライト・バッファ・レジスタH, L (FLWH, FLWL)	p.1330	p.70
64	33.6.2.6	フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC)	p.1333	p.71
65	33.6.2.8	フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)	p.1335	p.72, p.73
66	33.6.2.9	フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)	p.1337, p.1338	p.74, p.75
67	33.6.2.10	フラッシュ・エクストラ用シーケンサ制御レジスタ (FSSE)	p.1339	p.76, p.77

ユーザーズマニュアルの訂正一覧 (3/3)

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0896JJ0100	
68	33.6.2.11	フラッシュ・レジスタ初期化レジスタ (FLRST)	p.1341	p.78
69	33.6.2.12	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L (FSASTH,FSASTL)	p.1342	p.79
70	33.6.2.13	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC)	p.1344	p.80
71	33.6.2.14	フラッシュFSWモニタ・レジスタE (FLFSWE)	p.1345	p.81
72	33.6.2.16	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	p.1347	p.82
73	33.6.3	フラッシュ・メモリ制御モードの設定	p.1350	p.83
74	33.6.3.1	特定シーケンス実行手順	p.1350	p.84
75	33.6.6.4	コード・フラッシュ領域書き換えの操作	p.1354	p.85, p.86
76	33.6.6.5	データ・フラッシュ領域書き換えの操作	p.1355	p.87, p.88
77	33.6.6.7	エクストラ領域の書き換えの操作	p.1356	p.89, p.90
78	33.6.6.8	エクストラ領域シーケンサのコマンドの設定データ	p.1357, p.1358	p.91~p.95
79	33.6.8	フラッシュ・シールド・ウィンドウ機能	p.1362	p.96, p.97
80	33.6.10.3	エクストラ領域書き換え時のコマンド実行例	p.1367	p.98
81	33.6.11	セルフ・プログラミング時の注意事項	p.1368	p.99, p.100
82	33.7	セキュリティ設定更	p.1369, p.1370	p.101~ p.104
83	34.2	外部デバイス (UART内蔵) との接続	p.1374	p.105
84	37.1	絶対最大定格	p.1402	p.106
85	37.2.1	X1, XT1発振回路特性	p.1403	p.107
86	37.3.1	端子特性	p.1405, p.1407	p.108~ p.111
87	37.3.2	電源電流特性	p1414 - p.1421	p.112~ p.122
88	37.5.2	シリアル・インタフェースUARTA	p.1457	p.123
89	37.6.1	A/Dコンバータ特性 (1) 標準モード1, 2	p.1461	p.124
90	37.6.1	A/Dコンバータ特性 (2) 低電圧モード1, 2	p.1463	p.125
91	37.6.4	コンパレータ特性	p.1466	p.126
92	37.8	フラッシュ・メモリ・プログラミング特性	p.1473	p.127
93	38.4	40ピン製品	p.1479	p.128
94	38.6	48ピン製品	p.1482	p.129

誤記訂正の該当箇所は、**誤)**太字下線、**正)**グレー・ハッチングで記載します。

発行文書履歴

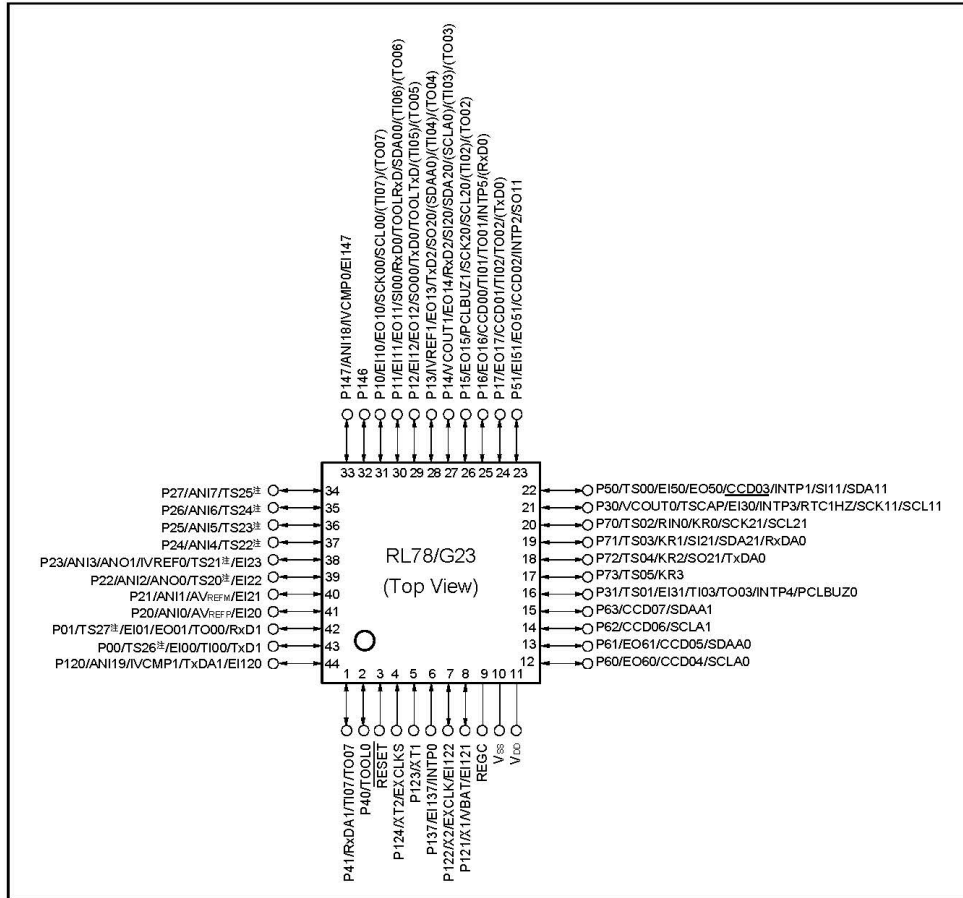
RL78/G23 ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0100A/J	2021年6月29日	初版発行 訂正一覧の No.1 ~ No.10 の誤記訂正
TN-RL*-A0100B/J	2021年11月24日	訂正一覧の No.11 ~ No.94 の誤記訂正 (本通知です。)

1. 端子接続図 44ピン製品 (p.13)

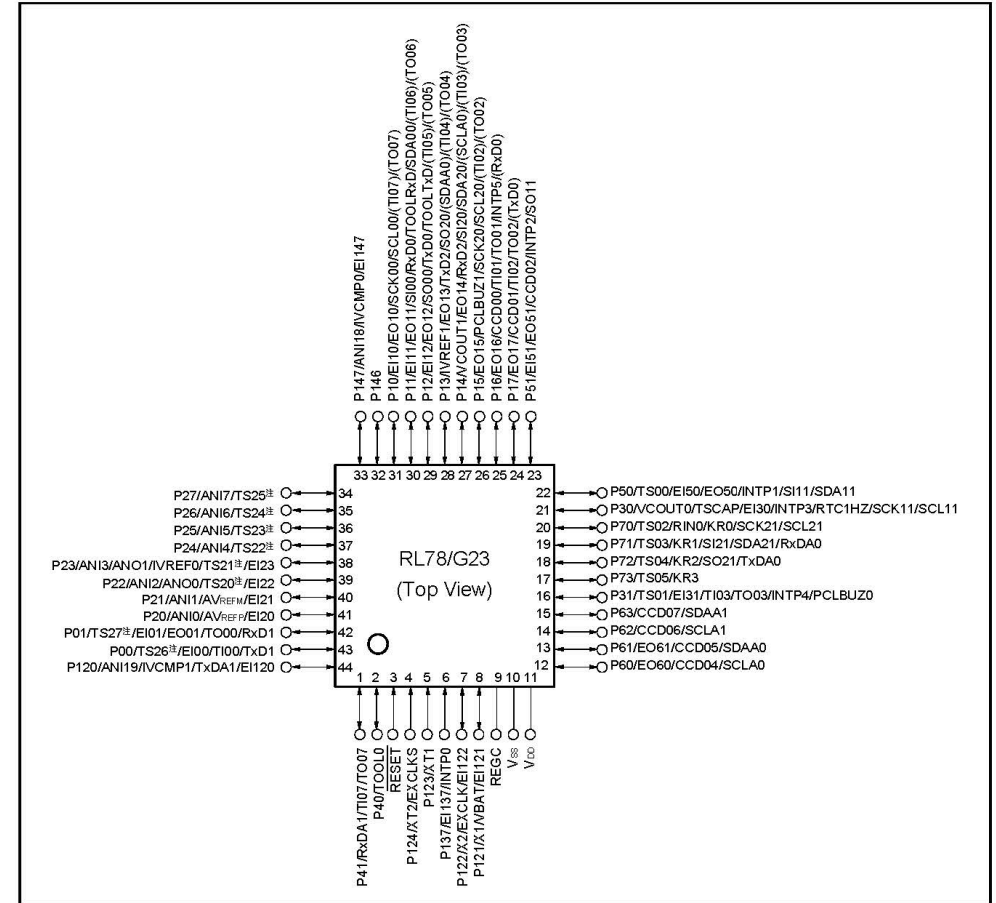
誤)

- 44ピン・プラスチック LQFP (10 × 10 mm、0.80 mm ピッチ)



正)

- 44ピン・プラスチック LQFP (10 × 10 mm、0.80 mm ピッチ)



2. 機能概要 44ピン製品 (p.26)

誤)

【30ピン、32ピン、36ピン、40ピン、44ピン、48ピン製品】

項目		30ピン	44ピン	48ピン
		R7F100GAx	R7F100GFx	R7F100GGx
I/Oポート	合計	26	40	44
	CMOS入出力	23 (N-chオープン・ドレイン 出力/入力 [VDD耐圧]: 10)	33 (N-chオープン・ドレイン 出力/入力 [VDD耐圧]: 12)	36 (N-chオープン・ドレイン 出力/入力 [VDD耐圧]: 13)
	CMOS入力	1	3	3
	CMOS出力	-	-	1
	N-chオープン・ドレイン出力/入力 (6V耐圧)	2	4	4
	出力電流制御ポート	6	8	8

正)

【30ピン、32ピン、36ピン、40ピン、44ピン、48ピン製品】

項目		30ピン	44ピン	48ピン
		R7F100GAx	R7F100GFx	R7F100GGx
I/Oポート	合計	26	40	44
	CMOS入出力	23 (N-chオープン・ドレイン 出力/入力 [VDD耐圧]: 10)	33 (N-chオープン・ドレイン 出力/入力 [VDD耐圧]: 12)	36 (N-chオープン・ドレイン 出力/入力 [VDD耐圧]: 13)
	CMOS入力	1	3	3
	CMOS出力	-	-	1
	N-chオープン・ドレイン出力/入力 (6V耐圧)	2	4	4
	出力電流制御ポート	6	7	8

3. ポートの端子機能 44ピン製品 (p.46)

誤)

2.1.5 44ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/CCD03/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	

正)

2.1.5 44ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-39-1	入出力	入力ポート	TS00/EI50/EO50/ INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力（VDD耐圧）に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P51は出力電流制御ポートに設定可能。
P51	7-38-1			EI51/EO51/CCD02/INTP2/ SO11	

4. 製品別の搭載機能 44ピン製品 (p.69)

誤)

2.2.1 製品別の搭載機能

機能名称	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
CCD00	○	○	○	○	○	○	○	○	○	○	○
CCD01	○	○	○	○	○	○	○	○	○	○	○
CCD02	○	○	○	○	○	○	○	○	○	○	○
CCD03	○	○	○	○	○	○	○	○	○	○	○

正)

2.2.1 製品別の搭載機能

機能名称	128 ピン	100 ピン	80 ピン	64 ピン	52 ピン	48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン
CCD00	○	○	○	○	○	○	○	○	○	○	○
CCD01	○	○	○	○	○	○	○	○	○	○	○
CCD02	○	○	○	○	○	○	○	○	○	○	○
CCD03	○	○	○	○	○	○	■	○	○	○	○

5. 表 4-1 ポートの構成(2/2) (p.175)

誤)

表 4-1 ポートの構成(2/2)

項目	構成
ポート	<ul style="list-style-type: none"> • 36ピン製品： 合計：32本（CMOS入出力：28本（N-ch O.D.入出力[VDD耐圧]：12本，出力電流制御ポート：7本）、 CMOS入力：1本、N-chオープン・ドレイン入出力[6V耐圧]：3本） • 40ピン製品： 合計：36本（CMOS入出力：30本（N-ch O.D.入出力[VDD耐圧]：12本，出力電流制御ポート：7本）、 CMOS入力：3本、N-chオープン・ドレイン入出力[6V耐圧]：3本） • 44ピン製品： 合計：40本（CMOS入出力：33本（N-ch O.D.入出力[VDD耐圧]：12本，出力電流制御ポート：8本）、 CMOS入力：3本、N-chオープン・ドレイン入出力[6V耐圧]：4本）

正)

表 4-1 ポートの構成(2/2)

項目	構成
ポート	<ul style="list-style-type: none"> • 36ピン製品： 合計：32本（CMOS入出力：28本（N-ch O.D.入出力[VDD耐圧]：12本，出力電流制御ポート：7本）、 CMOS入力：1本、N-chオープン・ドレイン入出力[6V耐圧]：3本） • 40ピン製品： 合計：36本（CMOS入出力：30本（N-ch O.D.入出力[VDD耐圧]：12本，出力電流制御ポート：7本）、 CMOS入力：3本、N-chオープン・ドレイン入出力[6V耐圧]：3本） • 44ピン製品： 合計：40本（CMOS入出力：33本（N-ch O.D.入出力[VDD耐圧]：12本，出力電流制御ポート：7本）、 CMOS入力：3本、N-chオープン・ドレイン入出力[6V耐圧]：4本）

6. ポートの構成 ポート5 (p.178)

誤)

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1 ビット単位で入力モード／出力モードの指定ができます。P50-P57 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1 ビット単位で内蔵プルアップ抵抗を使用できます。

P53-P55 端子の入力は、ポート入力モード・レジスタ5 (PIM5) の設定により1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P50, P52-P55 端子の出力は、ポート出力モード・レジスタ5 (POM5) により1 ビット単位でN-ch オープン・ドレイン出力 (V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2}) に設定可能です。

P50, P51 端子の出力は、出力電流制御許可レジスタ (CCDE) により1 ビット単位で出力電流制御ポートに設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力およびクロック入出力、静電容量計測、ロジック&イベント・リンク・コントローラの入出力があります。端子の状態は**4.3** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は表**4-6** を参照してください。

リセット信号の発生により、入力モードになります。

注1. 30~52ピン製品の場合

注2. 64~128ピン製品の場合

正)

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1 ビット単位で入力モード／出力モードの指定ができます。P50-P57 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1 ビット単位で内蔵プルアップ抵抗を使用できます。

P53-P55 端子の入力は、ポート入力モード・レジスタ5 (PIM5) の設定により1 ビット単位で通常入力バッファ／TTL 入力バッファの指定ができます。

P50, P52-P55 端子の出力は、ポート出力モード・レジスタ5 (POM5) により1 ビット単位でN-ch オープン・ドレイン出力 (V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2}) に設定可能です。

P50^{注3}, P51 端子の出力は、出力電流制御許可レジスタ (CCDE) により1 ビット単位で出力電流制御ポートに設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力およびクロック入出力、静電容量計測、ロジック&イベント・リンク・コントローラの入出力があります。端子の状態は**4.3** で示すレジスタで設定します。レジスタの設定値と端子状態の関係は表**4-6** を参照してください。

リセット信号の発生により、入力モードになります。

注1. 30~52ピン製品の場合

注2. 64~128ピン製品の場合

注3. 44ピン製品を除く

7. 図 4 - 12 出力電流制御許可レジスタのフォーマット (CCDE) (p.203)

誤)

図 4 - 12 出力電流制御許可レジスタのフォーマット (CCDE)

CCDE03	CCD03 (P50) 端子のデジタル入出力／出力電流制御の選択
0	デジタル入出力 (出力電流制御以外の兼用機能)
1	出力電流制御

注意1. 出力電流制御ポートを使用する場合は、出力電流制御を設定してからPMxxレジスタを出力モードに設定してください。

正)

図 4 - 12 出力電流制御許可レジスタのフォーマット (CCDE)

CCDE03	CCD03 (P50 [※]) 端子のデジタル入出力／出力電流制御の選択
0	デジタル入出力 (出力電流制御以外の兼用機能)
1	出力電流制御

注意1. 出力電流制御ポートを使用する場合は、出力電流制御を設定してからPMxxレジスタを出力モードに設定してください。

注. 44ピン製品を除く

8. 表 4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例（フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品～64 ピン製品）（9/17）（p.226）

誤)

表 4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例（フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品～64 ピン製品）（9/17）

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMCEX	CCDE	CCSx	PMxx	Pxx	兼用機能出力												
	機能名称	入出力									SAU・UARTA	SAU・UARTA以外	30	32	36	40	44	48	52	64			
											(UARTAのクロック出力を除く)	(UARTAのクロック出力を含む)											
P50	P50	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	CCDE03 = 0	CCS0x = xxx	0	0/1	SDA11 = 1	—	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	0	0	CCDE03 = 0	CCS0x = xxx	0	0/1	—	—	○	○	○	○	○	○	○	○	○	○	○
	TS00	入出力	—	x	1	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
EI50	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
	EO50	出力	—	0/1	0	1	CCDE03 = 0	CCS0x = xxx	0	x	x	—	○	○	○	○	○	○	○	○	○	○	○
CCD03	出力	—	0/1	0	0	CCDE03 = 1	CCS0x = 001 ~ 011	0	0	x	—	○	○	○	○	○	○	○	○	○	○	○	○
INTP1	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
SI11	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
SDA11	入出力	—	1	0	0	CCDE03 = 0	CCS0x = xxx	0	1	x	—	○	○	○	○	○	○	○	○	○	○	○	○

正)

表 4 - 7 端子機能使用時のレジスタ、出力ラッチの設定例（フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品～64 ピン製品）（9/17）

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMCEX	CCDE	CCSx	PMxx	Pxx	兼用機能出力												
	機能名称	入出力									SAU・UARTA	SAU・UARTA以外	30	32	36	40	44	48	52	64			
											(UARTAのクロック出力を除く)	(UARTAのクロック出力を含む)											
P50	P50	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	CCDE03 = 0	CCS0x = xxx	0	0/1	SDA11 = 1	—	○	○	○	○	○	○	○	○	○	○	○
		N-chOD出力	—	1	0	0	CCDE03 = 0	CCS0x = xxx	0	0/1	—	—	○	○	○	○	○	○	○	○	○	○	○
	TS00	入出力	—	x	1	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○
EI50	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
	EO50	出力	—	0/1	0	1	CCDE03 = 0	CCS0x = xxx	0	x	x	—	○	○	○	○	○	○	○	○	○	○	○
CCD03	出力	—	0/1	0	0	CCDE03 = 1	CCS0x = 001 ~ 011	0	0	x	—	○	○	○	○	○	○	○	○	○	○	○	○
INTP1	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
SI11	入力	—	x	0	0	CCDE03 = 0	CCS0x = xxx	1	x	x	—	○	○	○	○	○	○	○	○	○	○	○	○
SDA11	入出力	—	1	0	0	CCDE03 = 0	CCS0x = xxx	0	1	x	—	○	○	○	○	○	○	○	○	○	○	○	○

10. 図 32 - 4 ユーザ・オプション・バイト (000C1H/040C1H) のフォーマット (3/3) (p.1304)

誤)

・LVD0 オフ ($\overline{\text{RESET}}$ 端子による外部リセットを使用)

検出電圧		オプションバイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
—	—	0	x	ⓧ	ⓧ	ⓧ
—		上記以外は設定禁止				

正)

・LVD0 オフ ($\overline{\text{RESET}}$ 端子による外部リセットを使用)

検出電圧		オプションバイト設定値				
VLVD0		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
—	—	0	x	0	1	0
—		上記以外は設定禁止				

11. 1.1 特徴 中速オンチップ・オシレータ (p.2)

誤)

高速オンチップ・オシレータ

- ・ 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- ・ 高精度±1.0% (V_{DD} = 1.8~5.5 V、T_A = -20~+85°C)

中速オンチップ・オシレータ

- ・ 4 MHz/3 MHz/2 MHz/1 MHz から選択 (補正可能)

低速オンチップ・オシレータ

- ・ 32.768 kHz (TYP.) (補正可能)

正)

高速オンチップ・オシレータ

- ・ 32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- ・ 高精度±1.0% (V_{DD} = 1.8~5.5 V、T_A = -20~+85°C)

中速オンチップ・オシレータ

- ・ 4 MHz/2 MHz/1 MHz から選択 (補正可能)

低速オンチップ・オシレータ

- ・ 32.768 kHz (TYP.) (補正可能)

12. 1.6 機能概要 30～48 ピン製品の静電容量式タッチセンサ (p.27)

誤)

項目	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	R7F100GAx	R7F100GBx	R7F100GCx	R7F100GEx	R7F100GFx	R7F100GGx
シリアル・インタフェース	【30ピン、32ピン製品】 ・SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART (LIN-bus対応) : 1チャンネル 【36ピン、40ピン、44ピン製品】 ・SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易I ² C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 【48ピン製品】 ・SPI (CSI) : 2チャンネル/簡易I ² C : 2チャンネル/UART : 1チャンネル ・SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易I ² C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル					
	UARTA		1チャンネル	1チャンネル	2チャンネル	2チャンネル
	I ² Cバス		1チャンネル	1チャンネル	2チャンネル	2チャンネル
リモコン信号受信機能	—	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ (DTC)	30要因	30要因	32要因	33要因	35要因	36要因
ロジック&イベント・リンク・コントローラ (ELCL)	1					
SNOOZEモード・シーケンサ (SMS)	1					
静電容量式タッチセンサ	6	7	11	13	14	16
ベクタ割り込み要因	内部	31	32	35	39	39
	外部	6	6	6	7	7

正)

項目	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	R7F100GAx	R7F100GBx	R7F100GCx	R7F100GEx	R7F100GFx	R7F100GGx
シリアル・インタフェース	【30ピン、32ピン製品】 ・簡易SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART (LIN-bus対応) : 1チャンネル 【36ピン、40ピン、44ピン製品】 ・簡易SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易I ² C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 【48ピン製品】 ・簡易SPI (CSI) : 2チャンネル/簡易I ² C : 2チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/簡易I ² C : 1チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易I ² C : 2チャンネル/UART (LIN-bus対応) : 1チャンネル					
	UARTA		1チャンネル	1チャンネル	2チャンネル	2チャンネル
	I ² Cバス		1チャンネル	1チャンネル	2チャンネル	2チャンネル
リモコン信号受信機能	—	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ (DTC)	30要因	30要因	32要因	33要因	35要因	36要因
ロジック&イベント・リンク・コントローラ (ELCL)	1					
SNOOZEモード・シーケンサ (SMS)	1					
静電容量式タッチセンサ	ROMサイズ	2	3	5	6	8
	ROMサイズ 96~128KB	6	7	11	13	14
ベクタ割り込み要因	内部	31	32	35	35	39
	外部	6	6	6	7	7

13. 1.6 機能概要 52～128 ピン製品の静電容量式タッチセンサ (p.31)

誤)

項目	52ピン	64ピン	80ピン	100ピン	128ピン
	R7F100GJx	R7F100GLx	R7F100GMx	R7F100GPx	R7F100GSx
シリアル・インタフェース	【52ピン製品】 ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・SPI (CSI) : 1チャンネル/簡易IPC : 1チャンネル/UART : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 【64ピン製品】 ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 【80ピン、100ピン、128ピン製品】 ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART (LIN-bus対応) : 1チャンネル ・SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル				
UARTA	2チャンネル	2チャンネル	2チャンネル	2チャンネル	2チャンネル
IPCバス	2チャンネル	2チャンネル	2チャンネル	2チャンネル	2チャンネル
リモコン信号受信機能	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ (DTC)	36要因	37要因	39要因		
ロジック&イベント・リンク・コントローラ (ELCL)	1				
SNOOZEモード・シーケンサ (SMS)	1				
静電容量式タッチセンサ	20	22	30	32	32
ベクタ割り込み要因	内部	39	44	44	48
	外部	12	13	13	13

正)

項目	52ピン	64ピン	80ピン	100ピン	128ピン
	R7F100GJx	R7F100GLx	R7F100GMx	R7F100GPx	R7F100GSx
シリアル・インタフェース	【52ピン製品】 ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/簡易IPC : 1チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 【64ピン製品】 ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART (LIN-bus対応) : 1チャンネル 【80ピン、100ピン、128ピン製品】 ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART (LIN-bus対応) : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/簡易IPC : 2チャンネル/UART : 1チャンネル				
UARTA	2チャンネル	2チャンネル	2チャンネル	2チャンネル	2チャンネル
IPCバス	2チャンネル	2チャンネル	2チャンネル	2チャンネル	2チャンネル
リモコン信号受信機能	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ (DTC)	36要因	37要因	39要因		
ロジック&イベント・リンク・コントローラ (ELCL)	1				
SNOOZEモード・シーケンサ (SMS)	1				
静電容量式タッチセンサ	ROMサイズ96~128KB	10	12	30	32
タッチセンサ	ROMサイズ192~768KB	20	22	30	32
ベクタ割り込み要因	内部	39	39	44	44
	外部	12	13	13	13

14. 2.2.2 機能説明 TS00-TS15, TS20-TS35, TSCAP (p.75)

誤)

機能名称	入出力	機能
ANI0-ANI14, ANI16-ANI26	入力	A/Dコンバータのアナログ入力 (図12 - 52 VDD, AVREFP, アナログ入力端子の処理参照)
ANO0, ANO1	出力	D/Aコンバータ出力
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOU0, VCOU1	出力	コンパレータ出力
TS00-TS15, TS20-TS35	出力	静電容量計測 (タッチセンサ)
TSCAP	出力	タッチセンサ用電源安定容量接続。 コンデンサ (10 nF) を介し、VSSに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
CCD00-CCD07	出力	出力電流制御ポート

正)

機能名称	入出力	機能
ANI0-ANI14, ANI16-ANI26	入力	A/Dコンバータのアナログ入力 (図12 - 52 VDD, AVREFP, アナログ入力端子の処理参照)
ANO0, ANO1	出力	D/Aコンバータ出力
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOU0, VCOU1	出力	コンパレータ出力
TS00-TS15, TS20-TS35	入出力	静電容量計測 (タッチセンサ)
TSCAP	入出力	タッチセンサ用電源安定容量接続。 コンデンサ (10 nF) を介し、VSSに接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
CCD00-CCD07	出力	出力電流制御ポート

15. 表 2 - 3 各端子の未使用端子処理 P123,P124 (p.77)

誤)

表 2 - 3 各端子の未使用端子処理 (1/2)

端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P10-P17		出力時：オープンにしてください。
P20-P27		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
		出力時：オープンにしてください。
P30-P37		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
		出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} に接続またはオープンにしてください。
		出力時：オープンにしてください。
P41-P47		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P50-P57		出力時：オープンにしてください。
P60-P63		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
		出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してEV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P64-P67		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P70-P77		出力時：オープンにしてください。
P80-P87		
P90-P97		
P100-P106		
P110-P117		
P120		
P121, P122	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。	
	出力時：オープンにしてください。	
P123, P124	入力	クロック動作モード制御レジスタ (CMC) のEXCLKSに0、OSCSELSに1、かつクロック動作ステータス制御レジスタ (CSC) のXTSTOPに1を設定し、オープンにしてください。または、個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
	出力時：オープンにしてください。	

正)

表 2 - 3 各端子の未使用端子処理 (1/2)

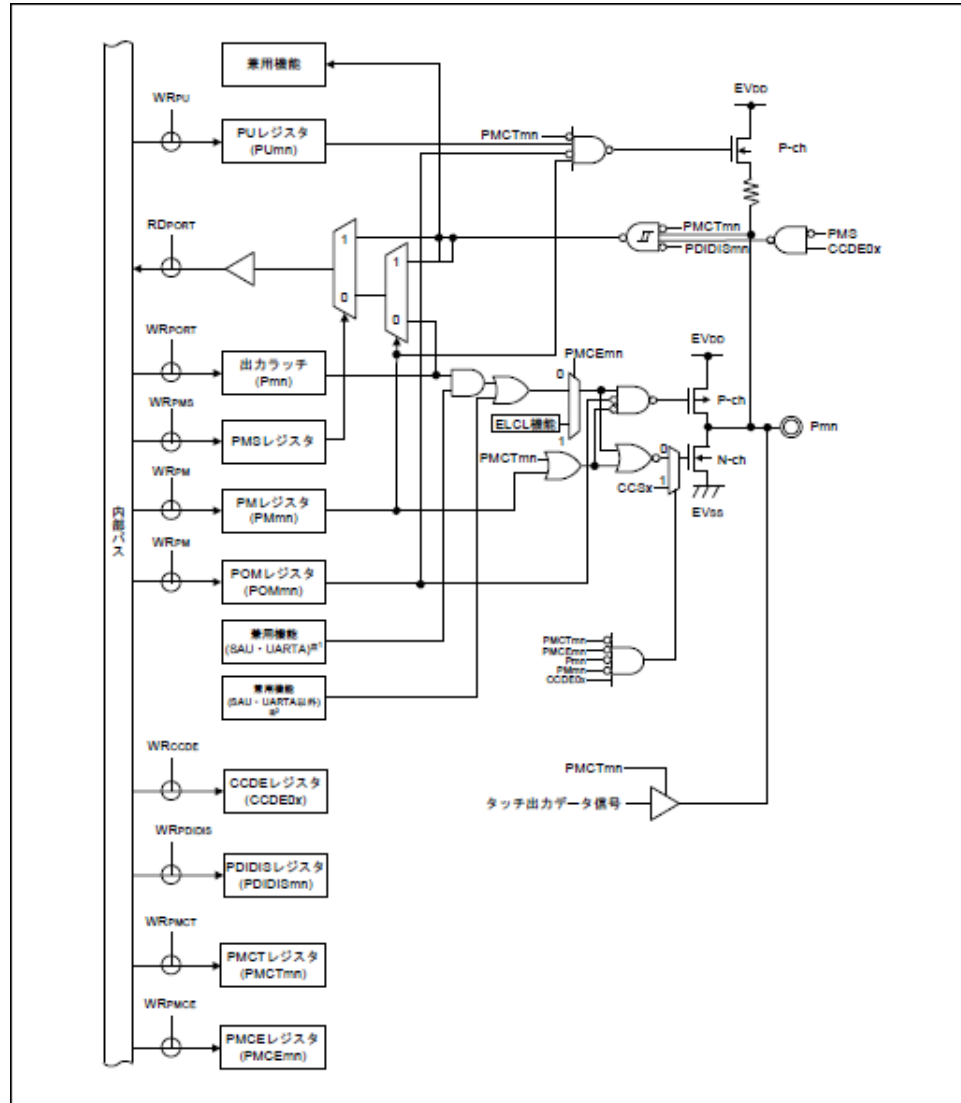
端子名称	入出力	未使用時の推奨接続方法
P00-P07	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P10-P17		出力時：オープンにしてください。
P20-P27		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
		出力時：オープンにしてください。
P30-P37		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
		出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} に接続またはオープンにしてください。
		出力時：オープンにしてください。
P41-P47		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P50-P57		出力時：オープンにしてください。
P60-P63		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
		出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してEV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P64-P67		入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
P70-P77		出力時：オープンにしてください。
P80-P87		
P90-P97		
P100-P106		
P110-P117		
P120		
P121, P122	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。	
	出力時：オープンにしてください。	
P123, P124	入力	クロック動作モード制御レジスタ (CMC) のEXCLKSに0、OSCSELSに1、かつクロック動作ステータス制御レジスタ (CSC) のXTSTOPに1を設定し、オープンにしてください。 ※ または、個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} またはEV _{SS0} 、EV _{SS1} に接続してください。
	出力時：オープンにしてください。	

注 CPU/周辺ハードウェア・クロック (f_{CLK})に低速オンチップ・オシレータ・クロック (f_{IL})を選択したときは、電流が1μA程度増える場合があります。

16. 図 2 - 20 端子タイプ 7-39-1 の端子ブロック図 (p.96)

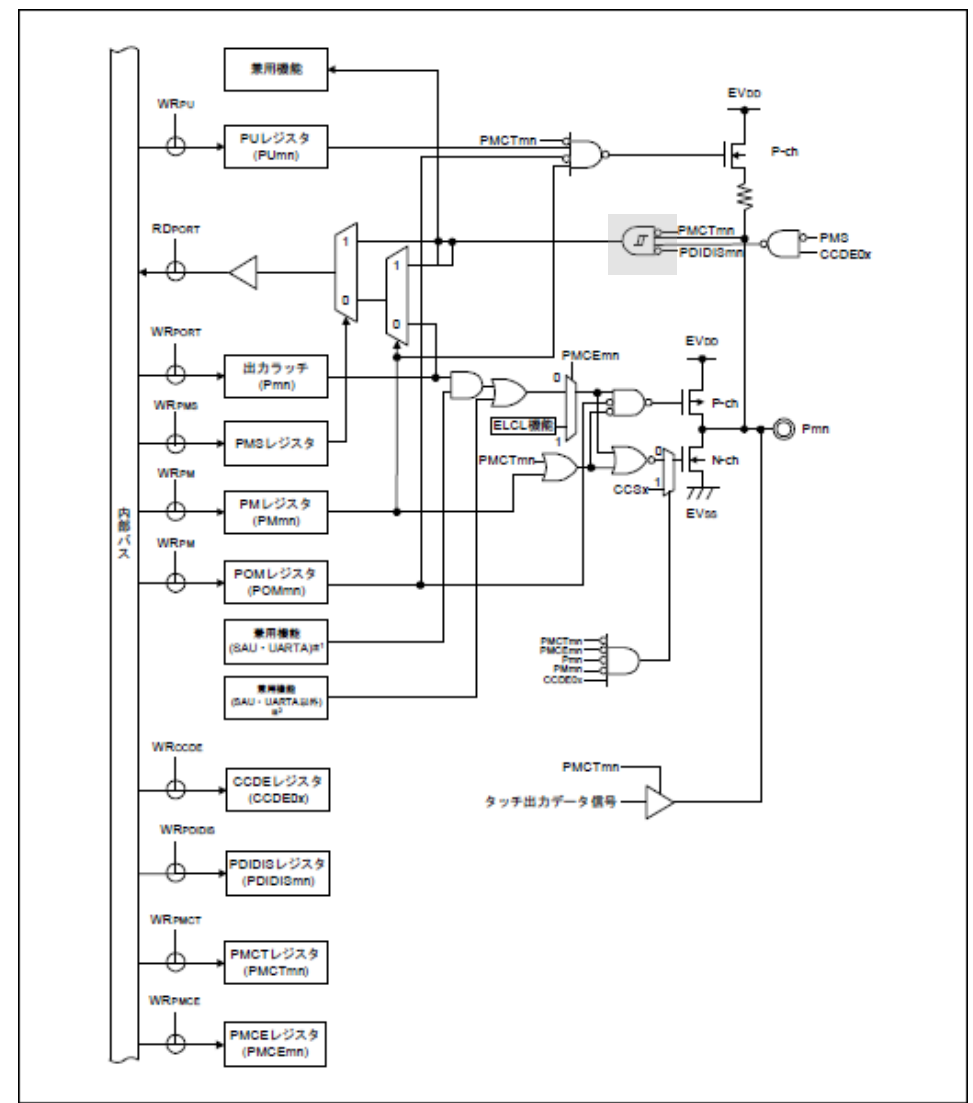
誤)

図 2 - 20 端子タイプ 7-39-1 の端子ブロック図



正)

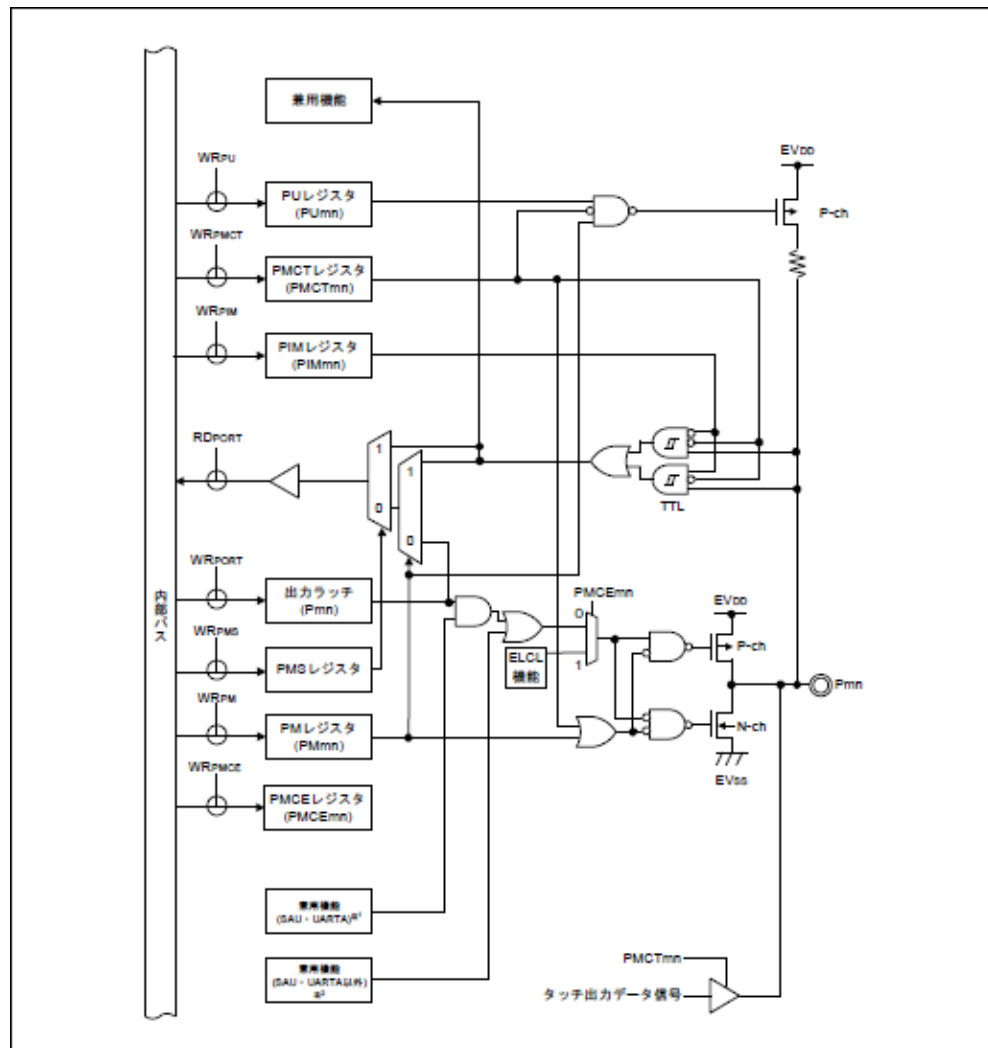
図 2 - 20 端子タイプ 7-39-1 の端子ブロック図



17. 図 2 - 25 端子タイプ 8-31-1 の端子ブロック図 (p.102)

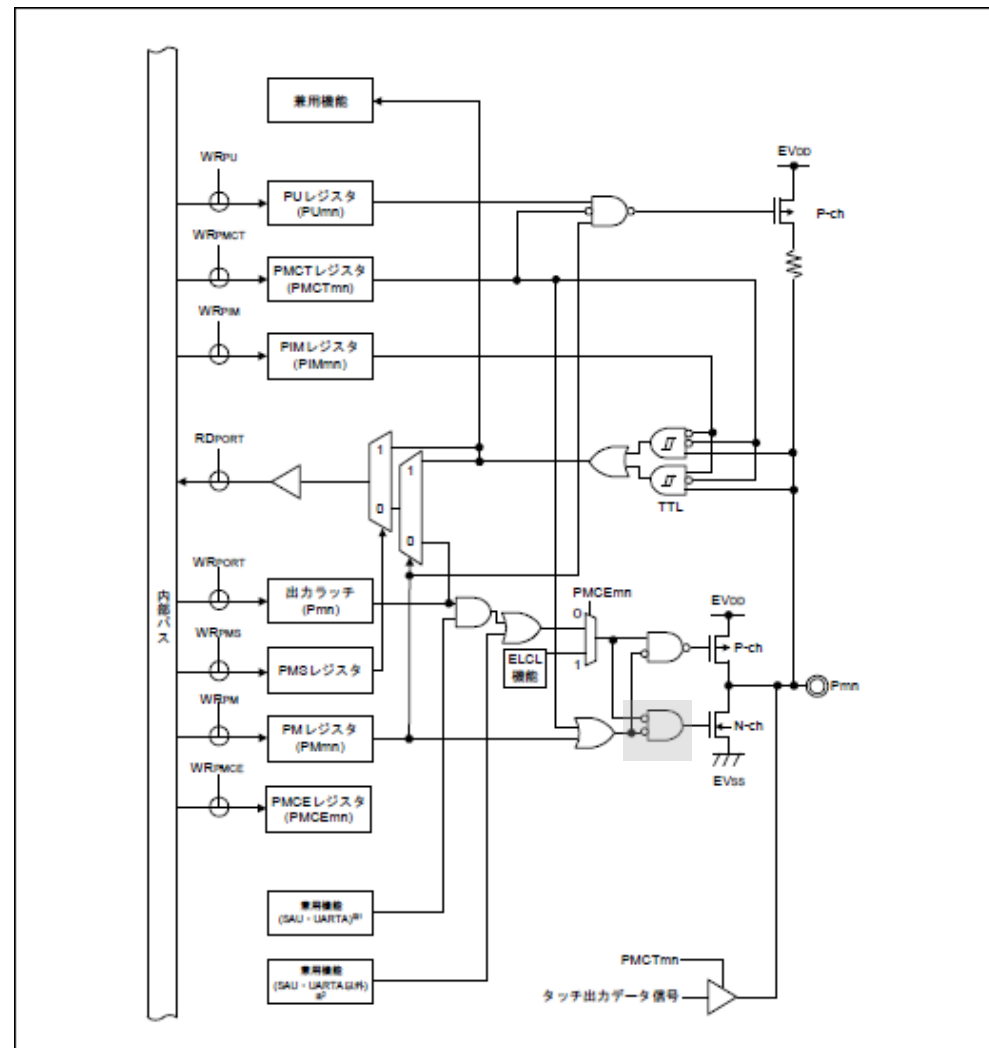
誤)

図 2 - 25 端子タイプ 8-31-1 の端子ブロック図



正)

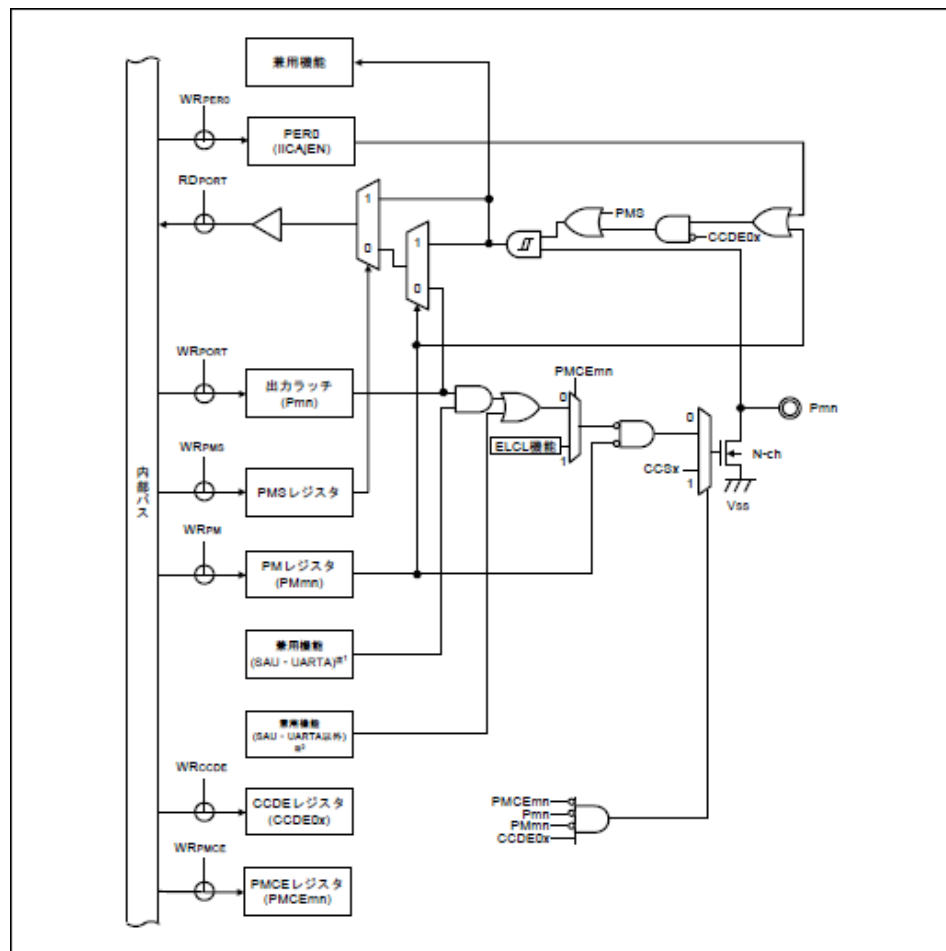
図 2 - 25 端子タイプ 8-31-1 の端子ブロック図



18. 図 2 - 33 端子タイプ 12-38-3 の端子ブロック図 (p.111)

誤)

図 2 - 33 端子タイプ 12-38-3 の端子ブロック図



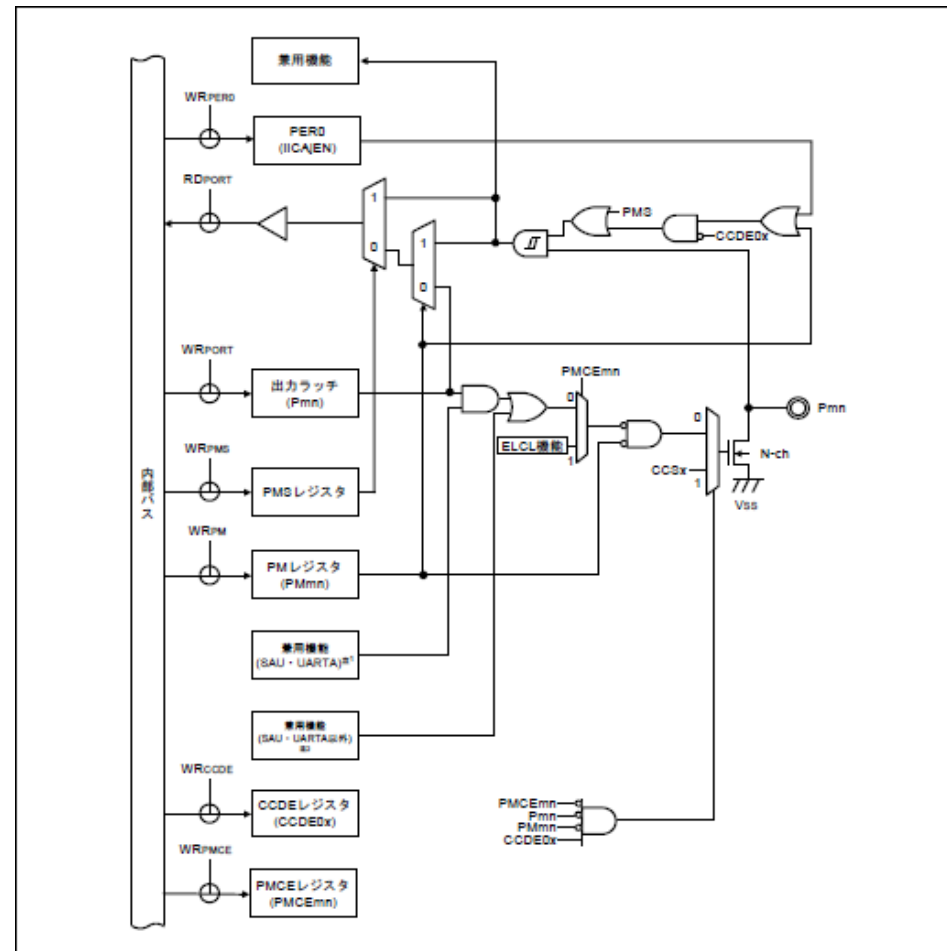
注 1. UARTA のクロック出力を除く

注 2. UARTA のクロック出力を含む

注意 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

正)

図 2 - 33 端子タイプ 12-38-3 の端子ブロック図



注 1. UARTA のクロック出力を除く

注 2. UARTA のクロック出力を含む

注意 PER0 レジスタの IICA|EN=1 にして IICA 機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

19. 表 3 - 8 拡張 SFR (2nd SFR) 一覧 (2/16) PFCMD レジスタ (p.143)

誤)

表 3 - 8 拡張 SFR (2nd SFR) 一覧 (2/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0061H	ポート・モード・コントロールA・レジスタ1	PMCA1	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロールA・レジスタ2	PMCA2	R/W	○	○	—	FFH
F0063H	ポート・モード・コントロールA・レジスタ3	PMCA3	R/W	○	○	—	FFH
F006AH	ポート・モード・コントロールA・レジスタ10	PMCA10	R/W	○	○	—	FFH
F006BH	ポート・モード・コントロールA・レジスタ11	PMCA11	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロールA・レジスタ12	PMCA12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロールA・レジスタ14	PMCA14	R/W	○	○	—	FFH
F006FH	ポート・モード・コントロールA・レジスタ15	PMCA15	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	タイマ入力選択レジスタ1	TIS1	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	UARTループバック選択レジスタ	ULBS	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定値 ¹
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定値 ²
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	—	40H/80H /COH ^{注3}
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	—	00H
F00B0H	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ	FLSEC	R	—	—	○	不定
F00B2H	フラッシュ FSW モニタ・レジスタ S	FLFSWS	R	—	—	○	不定
F00B4H	フラッシュ FSW モニタ・レジスタ E	FLFSWE	R	—	—	○	不定
F00B6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET	R/W	—	○	—	00H
F00B7H	フラッシュ・エクストラ用シーケンサ制御レジスタ	FSSE	R/W	○	○	—	00H
F00C0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD	R/W	—	○	—	—
F00C1H	フラッシュ・ステータス・レジスタ	PFS	R	○	○	—	00H

正)

表 3 - 6 拡張 SFR (2nd SFR) 一覧 (2/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0061H	ポート・モード・コントロールA・レジスタ1	PMCA1	R/W	○	○	—	FFH
F0062H	ポート・モード・コントロールA・レジスタ2	PMCA2	R/W	○	○	—	FFH
F0063H	ポート・モード・コントロールA・レジスタ3	PMCA3	R/W	○	○	—	FFH
F006AH	ポート・モード・コントロールA・レジスタ10	PMCA10	R/W	○	○	—	FFH
F006BH	ポート・モード・コントロールA・レジスタ11	PMCA11	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロールA・レジスタ12	PMCA12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロールA・レジスタ14	PMCA14	R/W	○	○	—	FFH
F006FH	ポート・モード・コントロールA・レジスタ15	PMCA15	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W	○	○	—	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0075H	タイマ入力選択レジスタ1	TIS1	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	UARTループバック選択レジスタ	ULBS	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定値 ¹
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定値 ²
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	—	40H/80H /COH ^{注3}
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	—	00H
F00B0H	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ	FLSEC	R	—	—	○	不定
F00B2H	フラッシュ FSW モニタ・レジスタ S	FLFSWS	R	—	—	○	不定
F00B4H	フラッシュ FSW モニタ・レジスタ E	FLFSWE	R	—	—	○	不定
F00B6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET	R/W	—	○	—	00H
F00B7H	フラッシュ・エクストラ領域シーケンサ制御レジスタ	FSSE	R/W	○	○	—	00H
F00C0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD	W	—	○	—	不定
F00C1H	フラッシュ・ステータス・レジスタ	PFS	R	○	○	—	00H

20. 表 3 - 8 拡張 SFR (2nd SFR) 一覧 (7/16) MIOTRM レジスタ (p.148)

誤)

表 3 - 8 拡張 SFR (2nd SFR) 一覧 (7/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01E2H	タイマ・ステータス・レジスタ 11	TSR11L	TSR11	R	—	○	○	0000H
F01E3H	—	—	—	—	—	—	—	—
F01E4H	タイマ・ステータス・レジスタ 12	TSR12L	TSR12	R	—	○	○	0000H
F01E5H	—	—	—	—	—	—	—	—
F01E6H	タイマ・ステータス・レジスタ 13	TSR13L	TSR13	R	—	○	○	0000H
F01E7H	—	—	—	—	—	—	—	—
F01E8H	タイマ・ステータス・レジスタ 14	TSR14L	TSR14	R	—	○	○	0000H
F01E9H	—	—	—	—	—	—	—	—
F01EAH	タイマ・ステータス・レジスタ 15	TSR15L	TSR15	R	—	○	○	0000H
F01EBH	—	—	—	—	—	—	—	—
F01ECH	タイマ・ステータス・レジスタ 16	TSR16L	TSR16	R	—	○	○	0000H
F01EDH	—	—	—	—	—	—	—	—
F01EEH	タイマ・ステータス・レジスタ 17	TSR17L	TSR17	R	—	○	○	0000H
F01EFH	—	—	—	—	—	—	—	—
F01F0H	タイマ・チャンネル許可ステータス・レジスタ 1	TE1L	TE1	R	○	○	○	0000H
F01F1H	—	—	—	—	—	—	—	—
F01F2H	タイマ・チャンネル開始レジスタ 1	TS1L	TS1	R/W	○	○	○	0000H
F01F3H	—	—	—	—	—	—	—	—
F01F4H	タイマ・チャンネル停止レジスタ 1	TT1L	TT1	R/W	○	○	○	0000H
F01F5H	—	—	—	—	—	—	—	—
F01F6H	タイマ・クロック選択レジスタ 1	TPS1		R/W	—	—	○	0000H
F01F7H	—	—		—	—	—	—	—
F01F8H	タイマ出力レジスタ 1	TO1L	TO1	R/W	—	○	○	0000H
F01F9H	—	—	—	—	—	—	—	—
F01FAH	タイマ出力許可レジスタ 1	TOE1L	TOE1	R/W	○	○	○	0000H
F01FBH	—	—	—	—	—	—	—	—
F01FCH	タイマ出力レベル・レジスタ 1	TOL1L	TOL1	R/W	—	○	○	0000H
F01FDH	—	—	—	—	—	—	—	—
F01FEH	タイマ出力モード・レジスタ 1	TOM1L	TOM1	R/W	—	○	○	0000H
F01FFH	—	—	—	—	—	—	—	—
F0212H	中速オンチップ・オシレータ・トリミング・レジスタ	MIOTRM		R/W	—	○	—	80H
F0213H	低速オンチップ・オシレータ・トリミング・レジスタ	LIOTRM		R/W	—	○	—	80H

正)

表 3 - 6 拡張 SFR (2nd SFR) 一覧 (7/16)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01E2H	タイマ・ステータス・レジスタ 11	TSR11L	TSR11	R	—	○	○	0000H
F01E3H	—	—	—	—	—	—	—	—
F01E4H	タイマ・ステータス・レジスタ 12	TSR12L	TSR12	R	—	○	○	0000H
F01E5H	—	—	—	—	—	—	—	—
F01E6H	タイマ・ステータス・レジスタ 13	TSR13L	TSR13	R	—	○	○	0000H
F01E7H	—	—	—	—	—	—	—	—
F01E8H	タイマ・ステータス・レジスタ 14	TSR14L	TSR14	R	—	○	○	0000H
F01E9H	—	—	—	—	—	—	—	—
F01EAH	タイマ・ステータス・レジスタ 15	TSR15L	TSR15	R	—	○	○	0000H
F01EBH	—	—	—	—	—	—	—	—
F01ECH	タイマ・ステータス・レジスタ 16	TSR16L	TSR16	R	—	○	○	0000H
F01EDH	—	—	—	—	—	—	—	—
F01EEH	タイマ・ステータス・レジスタ 17	TSR17L	TSR17	R	—	○	○	0000H
F01EFH	—	—	—	—	—	—	—	—
F01F0H	タイマ・チャンネル許可ステータス・レジスタ 1	TE1L	TE1	R	○	○	○	0000H
F01F1H	—	—	—	—	—	—	—	—
F01F2H	タイマ・チャンネル開始レジスタ 1	TS1L	TS1	R/W	○	○	○	0000H
F01F3H	—	—	—	—	—	—	—	—
F01F4H	タイマ・チャンネル停止レジスタ 1	TT1L	TT1	R/W	○	○	○	0000H
F01F5H	—	—	—	—	—	—	—	—
F01F6H	タイマ・クロック選択レジスタ 1	TPS1		R/W	—	—	○	0000H
F01F7H	—	—		—	—	—	—	—
F01F8H	タイマ出力レジスタ 1	TO1L	TO1	R/W	—	○	○	0000H
F01F9H	—	—	—	—	—	—	—	—
F01FAH	タイマ出力許可レジスタ 1	TOE1L	TOE1	R/W	○	○	○	0000H
F01FBH	—	—	—	—	—	—	—	—
F01FCH	タイマ出力レベル・レジスタ 1	TOL1L	TOL1	R/W	—	○	○	0000H
F01FDH	—	—	—	—	—	—	—	—
F01FEH	タイマ出力モード・レジスタ 1	TOM1L	TOM1	R/W	—	○	○	0000H
F01FFH	—	—	—	—	—	—	—	—
F0212H	中速オンチップ・オシレータ・トリミング・レジスタ	MIOTRM		R/W	—	○	—	90H
F0213H	低速オンチップ・オシレータ・トリミング・レジスタ	LIOTRM		R/W	—	○	—	80H

21. 4.3.7 ポート・モード・コントロール A・レジスタ (PMCAxx) (p.197)

誤)

図 4-7 ポート・モード・コントロール A・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCA0	1	1	1	1	PMCA0 3	PMCA0 2	PMCA0 1	PMCA0 0	F0080H	FFH	R/W
PMCA1	1	1	1	1	PMCA1 3	1	1	1	F0081H	FFH	R/W
PMCA2	PMCA2 7	PMCA2 6	PMCA2 5	PMCA2 4	PMCA2 3	PMCA2 2	PMCA2 1	PMCA2 0	F0082H	FFH	R/W
PMCA3	PMCA3 7	PMCA3 6	PMCA3 5	1	1	1	1	1	F0083H	FFH	R/W
PMCA10	1	1	1	1	1	1	1	PMCA1 00	F008AH	FFH	R/W
PMCA11	PMCA1 17	PMCA1 16	PMCA1 15	1	1	1	1	1	F008BH	FFH	R/W
PMCA12	1	1	1	1	1	1	1	PMCA1 20	F008CH	FFH	R/W
PMCA14	PMCA1 47	1	1	1	1	1	1	1	F008EH	FFH	R/W
PMCA15	1	PMCA1 56	PMCA1 55	PMCA1 54	PMCA1 53	PMCA1 52	PMCA1 51	PMCA1 50	F008FH	FFH	R/W

PMCAmn	Pmn端子のデジタル入出力/アナログ入力機能の選択 (m = 0-3, 10-12, 14, 15 ; n = 0-7)
0	デジタル入出力
1	アナログ入力機能

- 注意 1. PMCAxx レジスタでアナログ入力機能に設定したポートは、ポート・モード・レジスタ 0-3, 10-12, 14,15 (PM0-PM3, PM10-PM12, PM14, PM15) で入力モードに選択してください。
- 注意 2. PMCAxx レジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) アナログ機能で設定しないでください。
- 注意 3. 搭載していないビットには必ず初期値を設定してください。

正)

図 4-7 ポート・モード・コントロール A・レジスタ (PMCAxx) レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCA0	1	1	1	1	PMCA0 3	PMCA0 2	PMCA0 1	PMCA0 0	F0080H	FFH	R/W
PMCA1	1	1	1	1	PMCA1 3	1	1	1	F0081H	FFH	R/W
PMCA2	PMCA2 7	PMCA2 6	PMCA2 5	PMCA2 4	PMCA2 3	PMCA2 2	PMCA2 1	PMCA2 0	F0082H	FFH	R/W
PMCA3	PMCA3 7	PMCA3 6	PMCA3 5	1	1	1	1	1	F0083H	FFH	R/W
PMCA10	1	1	1	1	1	1	1	PMCA1 00	F008AH	FFH	R/W
PMCA11	PMCA1 17	PMCA1 16	PMCA1 15	1	1	1	1	1	F008BH	FFH	R/W
PMCA12	1	1	1	1	1	1	1	PMCA1 20	F008CH	FFH	R/W
PMCA14	PMCA1 47	1	1	1	1	1	1	1	F008EH	FFH	R/W
PMCA15	1	PMCA1 56	PMCA1 55	PMCA1 54	PMCA1 53	PMCA1 52	PMCA1 51	PMCA1 50	F008FH	FFH	R/W

PMCAmn	Pmn端子のデジタル入出力/アナログ入力機能の選択 (m = 0-3, 10-12, 14, 15 ; n = 0-7)
0	デジタル入出力
1	アナログ入力機能

- 注意 1. PMCAxx レジスタでアナログ入力機能に設定したポートは、ポート・モード・レジスタ 0-3, 10-12, 14,15 (PM0-PM3, PM10-PM12, PM14, PM15) で入力モードに選択してください。
- 注意 2. PMCAxx レジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ (ADS) アナログ機能で設定しないでください。
- 注意 3. 搭載していないビットには必ず初期値を設定してください。
- 注意 4. フラッシュ・メモリ 96 KB・128 KB の 30 ピン製品~64 ピン製品は、PMCA3, PMCA10, PMCA11, PMCA15 レジスタの読み出し値は"00H"となります。

22. 4.5.4 使用するポート機能および兼用機能のレジスタ設定例 (p.217)

誤)

4.5.4 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表 4-7、表 4-8 に示します。ポート機能を制御するレジスタを表 4-7、表 4-8 のように設定してください。なお、表 4-7、表 4-8 の表記については次の備考を参照してください。

備考 ー：対象外

×：don't care

PIOR：周辺 I/O リダイレクション・レジスタ

POMxx：ポート出力モード・レジスタ

PMCAxx：ポート・モード・コントロール A・レジスタ

PMCTxx：ポート・モード・コントロール T・レジスタ

PMCEx：ポート・モード・コントロール E・レジスタ

CCDE：出力電流制御許可レジスタ

CCSx：出力電流選択レジスタ

PMxx：ポート・モード・レジスタ

Pxx：ポートの出力ラッチ

() 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

正)

4.5.4 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表 4-7、表 4-8 に示します。ポート機能を制御するレジスタを表 4-7、表 4-8 のように設定してください。なお、表 4-7、表 4-8 の表記については次の備考を参照してください。

備考 ー：対象外

×：don't care

PIOR：周辺 I/O リダイレクション・レジスタ

POMxx：ポート出力モード・レジスタ

PMCAxx：ポート・モード・コントロール A・レジスタ

PMCTxx：ポート・モード・コントロール T・レジスタ

PMCEx：ポート・モード・コントロール E・レジスタ

CCDE：出力電流制御許可レジスタ

CCSx：出力電流選択レジスタ

PMxx：ポート・モード・レジスタ

Pxx：ポートの出力ラッチ

() 内の機能は、周辺 I/O リダイレクション・レジスタ (PIOR) の設定により、割り当て可能です。

注意 レジスタ設定例では、ポート・デジタル・インプット・ディスエーブル・レジスタ (PDIDISxx) は入力バッファの入力許可の設定です。

26. 図 6 - 9 サブシステム・クロック供給モード制御レジスタ (OSMC) の
フォーマット RTCLPC ビット (p.288)

誤)

図 6 - 9 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H
リセット時: 不定
R/W属性 : R/W#1

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	x	x	0	HIPREC
RTCLPC 位4	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表23-1~表23-4参照)							
1	リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMC KO	リアルタイム・クロック、32ビット・インターバル・タイマ、 シリアル・インターフェースUARTA0、1、リモコン信号受信機能、 クロック出力/ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロックX							
1	低速オンチップ・オシレータ・クロック#2,3							
HIPREC	高速オンチップ・オシレータ・クロックのステータス #5,6							
0	高速オンチップ・オシレータ・クロックは高速起動かつ発振精度安定待ち中#7							
1	高速オンチップ・オシレータ・クロックは高精度動作							

正)

図 6 - 9 サブシステム・クロック供給モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H
リセット時: 不定
R/W属性 : R/W#1

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK 0	x	x	0	HIPREC
RTCLPC 位4	STOPモード時およびサブシステム・クロックXでCPU動作中のHALTモード時の設定							
0	周辺機能へのサブシステム・クロックX供給許可 (動作許可となる周辺機能については、表23-1~表23-4参照)							
1	リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給停止							
WUTMMC KO	リアルタイム・クロック、32ビット・インターバル・タイマ、 シリアル・インターフェースUARTA0、1、リモコン信号受信機能、 クロック出力/ブザー出力制御回路の動作クロックの選択							
0	サブシステム・クロックX							
1	低速オンチップ・オシレータ・クロック#2,3							
HIPREC	高速オンチップ・オシレータ・クロックのステータス #5,6							
0	高速オンチップ・オシレータ・クロックは高速起動かつ発振精度安定待ち中#7							
1	高速オンチップ・オシレータ・クロックは高精度動作							

27. 9.2.11 インターバル・タイマ・ステータス・レジスタ (ITLS0) (p.508)

誤)

図 9-12 インターバル・タイマ・ステータス・レジスタ (ITLS0) のフォーマット

アドレス : F036BH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLS0	0	0	0	ITFOC	ITF03	ITF02	ITF01	ITF00
ITFOC	キャプチャ検出フラグ							
0	キャプチャ完了を未検出							
1	キャプチャ完了を検出							
ITF03	チャンネル3のコンペアー致検出フラグ							
0	チャンネル3コンペアー致信号を未検出							
1	チャンネル3コンペアー致信号を検出							
ITF02	チャンネル2のコンペアー致検出フラグ							
0	チャンネル2コンペアー致信号を未検出							
1	チャンネル2コンペアー致信号を検出							
ITF01	チャンネル1のコンペアー致検出フラグ							
0	チャンネル1コンペアー致信号を未検出							
1	チャンネル1コンペアー致信号を検出							
ITF00	チャンネル0のコンペアー致検出フラグ							
0	チャンネル0コンペアー致信号を未検出							
1	チャンネル0コンペアー致信号を検出							

注“1”の書き込みは無効になります。ITFOC, ITF0i ビットをクリアする場合は、対象ビットに“0”を、他のビットに“1”を8ビット・メモリ操作命令で書き込んでください。

注意 ITLS0 レジスタが 00H 以外の状態では、動作中のチャンネルのコンペアー致またはキャプチャ検出が発生しても割り込み要求フラグ(ITLIF ビット)はセットされず、割り込みが発生しません。このため、検出フラグをクリアする際は、使用する全てのチャンネルを確認して ITLS0 レジスタを 00H にしてください。

正)

図 9-12 インターバル・タイマ・ステータス・レジスタ (ITLS0) のフォーマット

アドレス : F036BH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLS0	0	0	0	ITFOC	ITF03	ITF02	ITF01	ITF00
ITFOC	キャプチャ検出フラグ							
0	キャプチャ完了を未検出							
1	キャプチャ完了を検出							
ITF03	チャンネル3のコンペアー致検出フラグ							
0	チャンネル3コンペアー致信号を未検出							
1	チャンネル3コンペアー致信号を検出							
ITF02	チャンネル2のコンペアー致検出フラグ							
0	チャンネル2コンペアー致信号を未検出							
1	チャンネル2コンペアー致信号を検出							
ITF01	チャンネル1のコンペアー致検出フラグ							
0	チャンネル1コンペアー致信号を未検出							
1	チャンネル1コンペアー致信号を検出							
ITF00	チャンネル0のコンペアー致検出フラグ							
0	チャンネル0コンペアー致信号を未検出							
1	チャンネル0コンペアー致信号を検出							

注 1 の書き込みは無効になります。ITFOC, ITF0i (i = 0, 1, 2, 3) ビットをクリアする場合は、対象ビットに 0 を、他のビットに 1 を 8 ビット・メモリ操作命令で書き込んでください。

注意 1. ITFOC, ITF03, ITF02, ITF01, ITF00 のいずれかのビットを 0 にクリアしたときに、ITLS0 レジスタが 00H にならない場合は割り込み要求信号 (INTITL) が発生し、割り込み要求フラグ (ITLIF) が 1 にセットされます。

注意 2. ITLS0 の各ビットを 0 にクリアする時は、1 になっているビットに対して 0 を設定してください。0 のビットに 0 を書き込むと、0 の書き込みと同時に発生したコンペアー致信号またはキャプチャ検出信号を検出できない場合があります。例えば、ITF01 ビットが 1 にセットされている場合、ITLS0 レジスタに“00011101B”を設定して ITF01 をクリアしてください。

28. 表 12-3 A/D 変換時間の選択 (3/8) (p.552)

誤)

表 12 - 3 A/D 変換時間の選択 (3/8)

(3) A/D 電源安定待ち時間あり 標準モード 1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード/ハードウェア・トリガ・ウェイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)				
A/Dコンバータ・モード・レジスタ1						2.4 V ≦ AVREFP ≦ VDD ≦ 5.5 V										
(ADMD)						fCLK =						fCLK =	fCLK =	fCLK =	fCLK =	
ADL	FR2	FR1	FR0	LV1	LVD	1 MHz						4 MHz	8 MHz	16 MHz	32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72µs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72µs	36µs
0	0	1	0				fCLK/8	6 fAD	64 fAD	4 fAD	592/fCLK	設定禁止	設定禁止	74µs	37µs	18.5µs
0	0	1	1				fCLK/4	10 fAD	64 fAD	4 fAD	312/fCLK	設定禁止	設定禁止	39µs	19.5µs	9.75µs
0	1	0	0				fCLK/2	18 fAD	64 fAD	4 fAD	172/fCLK	設定禁止	設定禁止	21.5µs	10.75µs	5.375µs
0	1	0	1				fCLK	34 fAD	64 fAD	4 fAD	102/fCLK	設定禁止	設定禁止	12.75µs	6.375µs	3.1875µs
1	0	1	1				fCLK/4	4 fAD	64 fAD	4 fAD	288/fCLK	288µs	72µs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	64 fAD	4 fAD	144/fCLK	144µs	36µs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	64 fAD	4 fAD	74/fCLK	74µs	18.5µs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

正)

表 12 - 3 A/D 変換時間の選択 (3/8)

(3) A/D 電源安定待ち時間あり 標準モード 1, 2

(ソフトウェア・トリガ・ウェイト・セレクト・モード/ハードウェア・トリガ・ウェイト・セレクト・モード注1)

A/Dコンバータ・モード・レジスタ0							モード	変換 クロック (fAD)	A/D 電源 安定待ち クロック数	変換 クロック数	割り込み 出力遅延 クロック数 注2	A/D変換時間 (A/D電源安定待ち時間+変換時間+割り込み出力遅延時間)				
A/Dコンバータ・モード・レジスタ1						2.4 V ≦ AVREFP ≦ VDD ≦ 5.5 V										
(ADMD)						fCLK =						fCLK =	fCLK =	fCLK =	fCLK =	
ADL	FR2	FR1	FR0	LV1	LVD	1 MHz						4 MHz	8 MHz	16 MHz	32 MHz	
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72µs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72µs	36µs
0	0	1	0				fCLK/8	6 fAD	64 fAD	4 fAD	592/fCLK	設定禁止	設定禁止	74µs	37µs	18.5µs
0	0	1	1				fCLK/4	10 fAD	64 fAD	4 fAD	312/fCLK	設定禁止	設定禁止	39µs	19.5µs	9.75µs
0	1	0	0				fCLK/2	18 fAD	64 fAD	4 fAD	172/fCLK	設定禁止	設定禁止	21.5µs	10.75µs	5.375µs
0	1	0	1				fCLK	34 fAD	64 fAD	4 fAD	102/fCLK	設定禁止	設定禁止	12.75µs	6.375µs	3.1875µs
1	0	1	1				fCLK/4	4 fAD	64 fAD	4 fAD	288/fCLK	設定禁止	72µs	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	4 fAD	64 fAD	4 fAD	144/fCLK	設定禁止	36µs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	64 fAD	4 fAD	74/fCLK	74µs	18.5µs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

29. 12.3.6 12 ビット/10 ビット A/D 変換結果レジスタ (ADCRn) (p.566)

誤)

図 12 - 10 12 ビット/10 ビット A/D 変換結果レジスタ (ADCRn) のフォーマット

アドレス : FFF1FH, FFF1EH (ADCR) 準, F0021H, F0020H (ADCR0) 準, F0023H, F0022H (ADCR1),
F0025H, F0024H (ADCR2), F0027H, F0026H (ADCR3)
リセット時: 0000H
RW属性 : R



- 注 ADCR0 レジスタには ADCR レジスタの内容が格納されます。
- 注意 1. 8 ビット分解能 A/D 変換を選択時 (A/D コンバータ・モード・レジスタ 2 (ADM2) の ADTYP1-0 = 01) に ADCRn レジスタをリードした場合、上位 8 ビット以外のビットは 0 が読み出されます。
- 注意 2. ADCRn レジスタへ 16 ビット・アクセスした場合、10 ビット分解能 A/D 変換選択時は変換結果上位 10 ビットが ADCRn レジスタのビット 15 から順に読み出せます。12 ビット分解能 A/D 変換選択時は変換結果上位 12 ビットが ADCRn レジスタのビット 11 から順に読み出せます。

正)

図 12 - 10 12 ビット/10 ビット A/D 変換結果レジスタ (ADCRn) のフォーマット

アドレス : FFF1FH, FFF1EH (ADCR) 準, F0021H, F0020H (ADCR0) 準, F0023H, F0022H (ADCR1),
F0025H, F0024H (ADCR2), F0027H, F0026H (ADCR3)
リセット時: 0000H
RW属性 : R



- 注 ADCR0 レジスタには ADCR レジスタの内容が格納されます。
- 注意 1. 8 ビット分解能 A/D 変換を選択時 (A/D コンバータ・モード・レジスタ 2 (ADM2) の ADTYP1-0 = 01) に ADCRn レジスタをリードした場合、上位 8 ビット以外のビットは 0 が読み出されます。
- 注意 2. ADCRn レジスタへ 16 ビット・アクセスした場合、10 ビット分解能 A/D 変換選択時は変換結果上位 10 ビットが ADCRn レジスタのビット 15 から順に読み出せます。12 ビット分解能 A/D 変換選択時は変換結果上位 12 ビットが ADCRn レジスタのビット 11 から順に読み出せます。
- 注意 3. A/D コンバータ・モード・レジスタ 0 (ADM0)、アナログ入力チャネル指定レジスタ (ADS)、ポート・モード・コントロール A レジスタ 0, 2, 3, 10, 11, 12, 14, 15 (PMCA0, PMCA2, PMCA3, PMCA10, PMCA11, PMCA12, PMCA14, PMCA15)、ポート・モード・コントロール T レジスタ 0, 2, 15 (PMCT0, PMCT2, PMCT15)、ポート・モード・コントロール E レジスタ 0 (PMCE0) に対して書き込み動作を行ったとき、ADCRnH レジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PMCTxx, PMCEx レジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

30. 図 12-12 アナログ入力チャンネル指定レジスタ(ADS)のフォーマット 入カソース (p.569)

誤)

図 12 - 12 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット <セレクト・モード (ADMD = 0) > (2/2)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入カソース
0	1	1	0	0	1	ANI25	P116/ANI25端子
0	1	1	0	1	0	ANI26	P115/ANI26端子
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧 ³
上記以外						設定禁止	

注意 1. ビット 6, 5 には必ず 0 を設定してください。

注意 2. PMCAxx, PMCTxx, PMCEx レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ 0, 2, 3, 10-12, 14, 15 (PM0, PM2, PM3, PM10-PM12, PM14, PM15) で入力モードに選択してください。

注意 3. ポート・モード・コントロール A・レジスタ 0, 2, 3, 10, 11, 12, 14, 15 (PMCA0, PMCA2, PMCA3, PMCA10, PMCA11, PMCA12, PMCA14, PMCA15)、ポート・モード・コントロール T・レジスタ 0, 2, 15 (PMCT0, PMCT2, PMCT15)、ポート・モード・コントロール E・レジスタ 0 (PMCE0) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。

注意 4. ADISS ビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意 5. AVREFP を A/D コンバータの+側の基準電圧として使用している場合、ANI0 を A/D 変換チャンネルとして選択しないでください。

注意 6. AVREFM を A/D コンバータの-側の基準電圧として使用している場合、ANI1 を A/D 変換チャンネルとして選択しないでください。

正)

図 12 - 12 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット <セレクト・モード (ADMD = 0) > (2/2)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル	入カソース
0	1	1	0	0	1	ANI25	P116/ANI25端子
0	1	1	0	1	0	ANI26	P115/ANI26端子
0	1	1	0	1	1	設定禁止	
0	1	1	1	1	0	—	CTSU TSCAP 電圧
0	1	1	1	1	1	設定禁止	
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧 ³
上記以外						設定禁止	

注意 1. ビット 6, 5 には必ず 0 を設定してください。

注意 2. PMCAxx, PMCTxx, PMCEx レジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ 0, 2, 3, 10-12, 14, 15 (PM0, PM2, PM3, PM10-PM12, PM14, PM15) で入力モードに選択してください。

注意 3. ポート・モード・コントロール A・レジスタ 0, 2, 3, 10, 11, 12, 14, 15 (PMCA0, PMCA2, PMCA3, PMCA10, PMCA11, PMCA12, PMCA14, PMCA15)、ポート・モード・コントロール T・レジスタ 0, 2, 15 (PMCT0, PMCT2, PMCT15)、ポート・モード・コントロール E・レジスタ 0 (PMCE0) でデジタル入出力として設定する端子を、ADS レジスタで設定しないでください。

注意 4. ADISS ビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意 5. AVREFP を A/D コンバータの+側の基準電圧として使用している場合、ANI0 を A/D 変換チャンネルとして選択しないでください。

注意 6. AVREFM を A/D コンバータの-側の基準電圧として使用している場合、ANI1 を A/D 変換チャンネルとして選択しないでください。

注意 7. ADISS = 1 を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧／内部基準電圧を選択時の設定（例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時）を参照してください。内部基準電圧値は第 37 章 電気的特性 TA = -40°C ~ +105°C を参照してください。

注意 8. STOP モードへ移行、もしくはサブシステム・クロックで CPU 動作中に HALT モードへ移行する場合は、ADISS= 1 に設定しないでください。ADISS = 1 設定時は、37.3.2 電源電流特性に示す A/D コンバータ基準電圧電流（IADREF）の電流値が加算されます。

注意 7. ADISS = 1 を設定した場合、+側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1 に設定後、1 回目の変換結果は使用できません。詳細設定フローは、12.7.5 温度センサ出力電圧／内部基準電圧を選択時の設定（例 ソフトウェア・トリガ・ノーウエイト・モード、ワンショット変換モード時）を参照してください。内部基準電圧値は第 37 章 電気的特性 TA = -40°C ~ +105°C を参照してください。

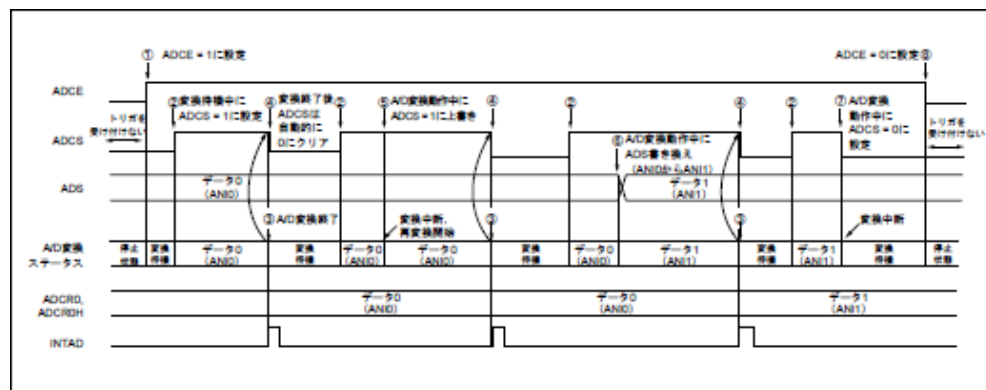
注意 8. STOP モードへ移行、もしくはサブシステム・クロックで CPU 動作中に HALT モードへ移行する場合は、ADISS= 1 に設定しないでください。ADISS = 1 設定時は、37.3.2 電源電流特性に示す A/D コンバータ基準電圧電流（IADREF）の電流値が加算されます。

注意 9. ADISS=1 に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

31. 12.6.2 ソフトウェア・トリガ・ノーウェイト・モード (セレクト・モード、ワンショット変換モード) (p.578)

誤)

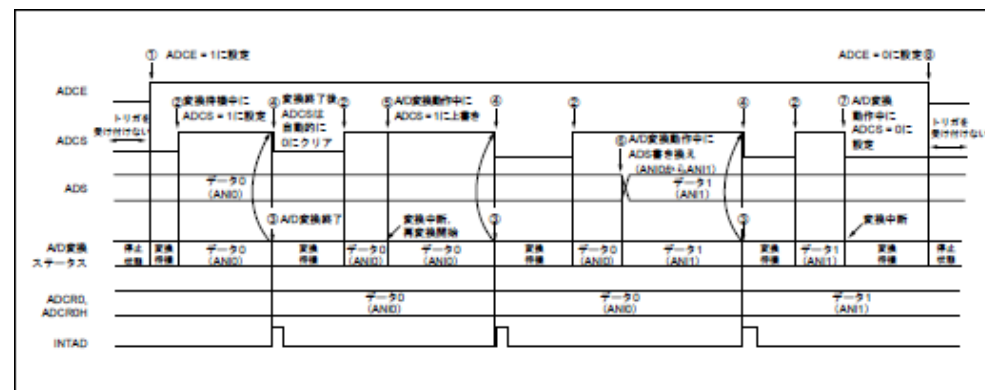
図 12 - 19 ソフトウェア・トリガ・ノーウェイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 19 ソフトウェア・トリガ・ノーウェイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例

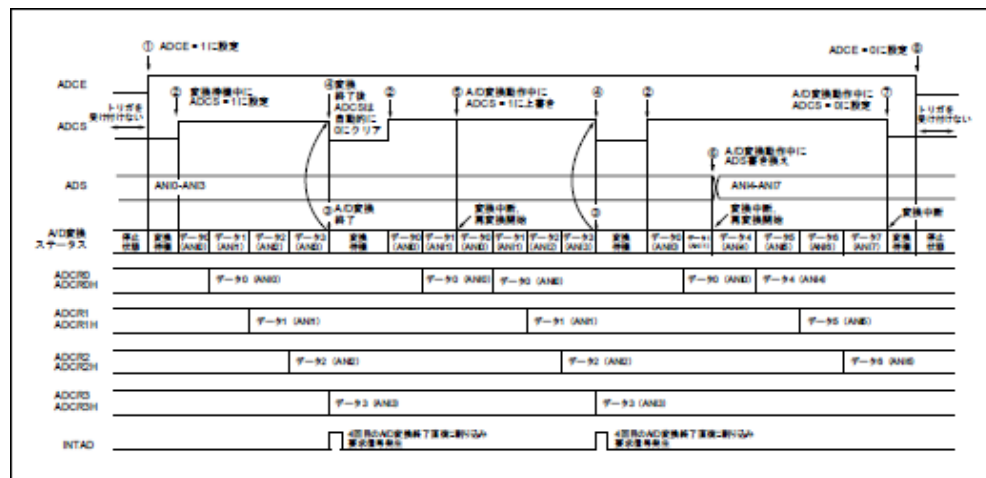


注意 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

32. 12.6.4 ソフトウェア・トリガ・ノーウェイト・モード (スキャン・モード、ワンショット変換モード) (p.580)

誤)

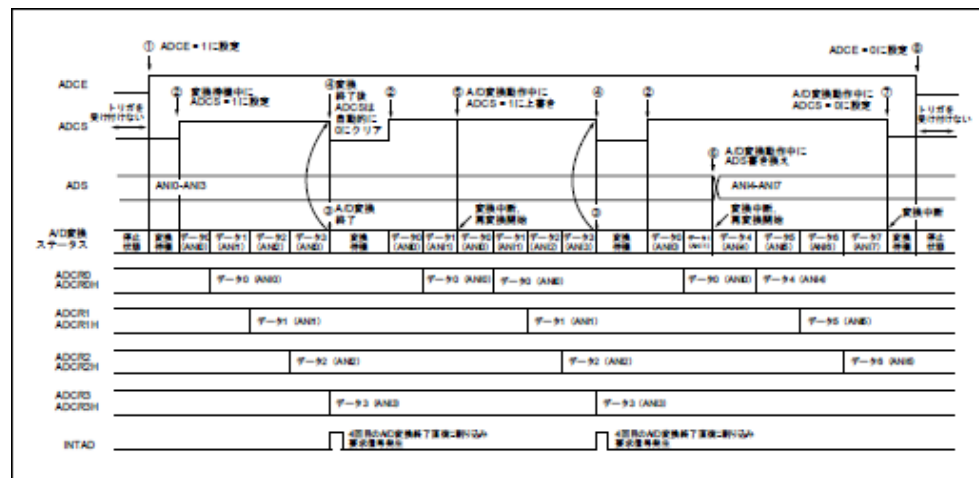
図 12 - 21 ソフトウェア・トリガ・ノーウェイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 21 ソフトウェア・トリガ・ノーウェイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

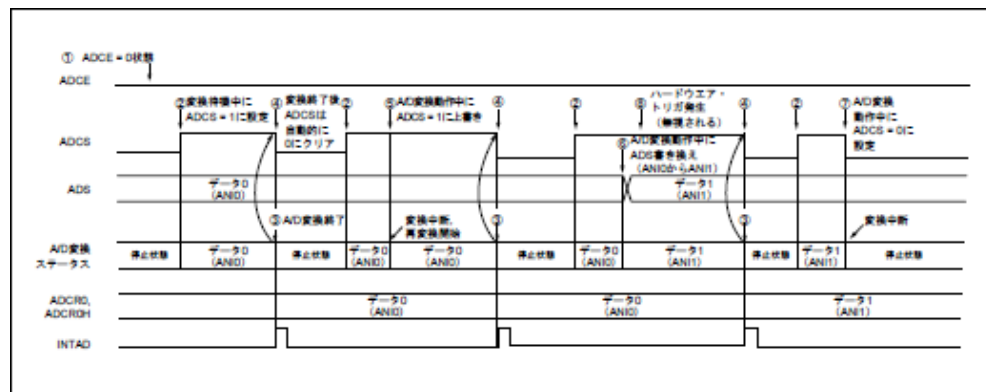


注意 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

33. 12.6.6 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード) (p.582)

誤)

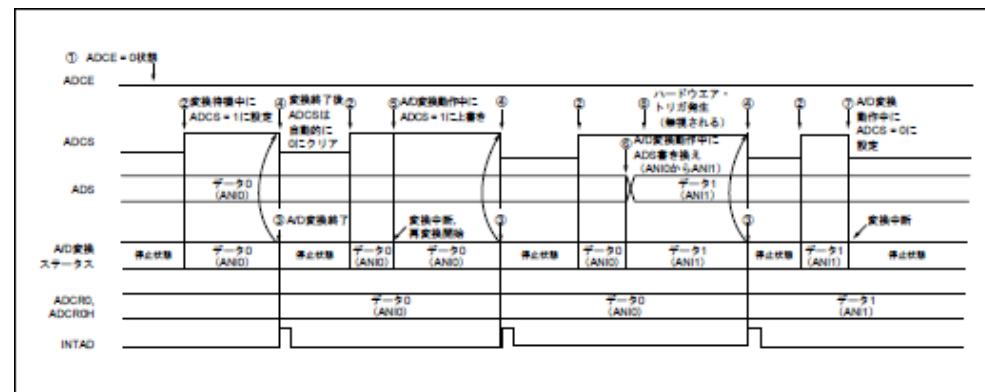
図 12 - 23 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 23 ソフトウェア・トリガ・ウェイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例

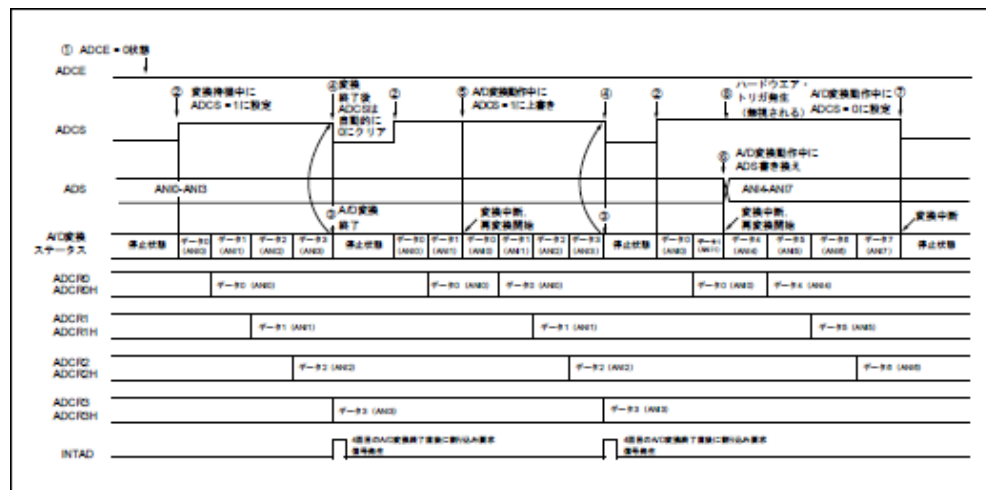


注意 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

34. 12.6.8 ソフトウェア・トリガ・ウェイト・モード（スキャン・モード、 ワンショット変換モード）(p.584)

誤)

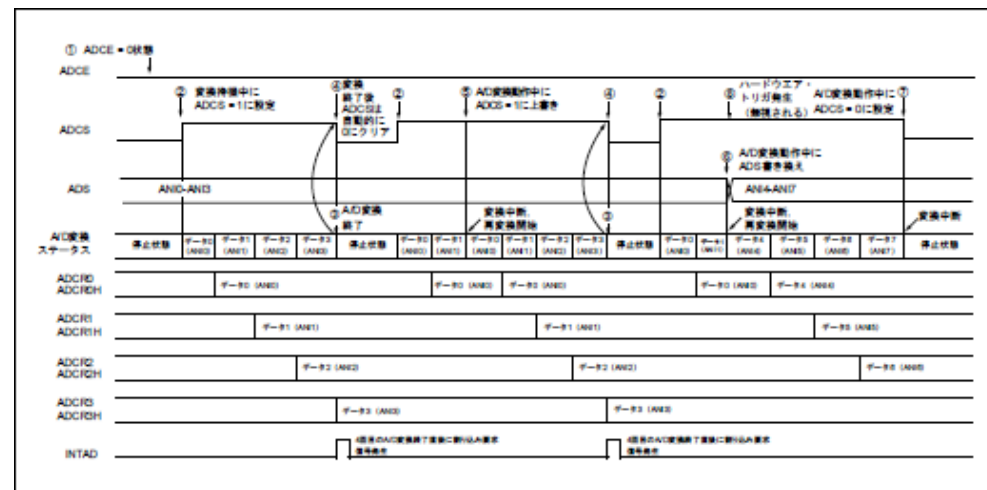
図 12 - 25 ソフトウェア・トリガ・ウェイト・モード（スキャン・モード、ワンショット変換モード）動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 25 ソフトウェア・トリガ・ウェイト・モード（スキャン・モード、ワンショット変換モード）動作タイミング例

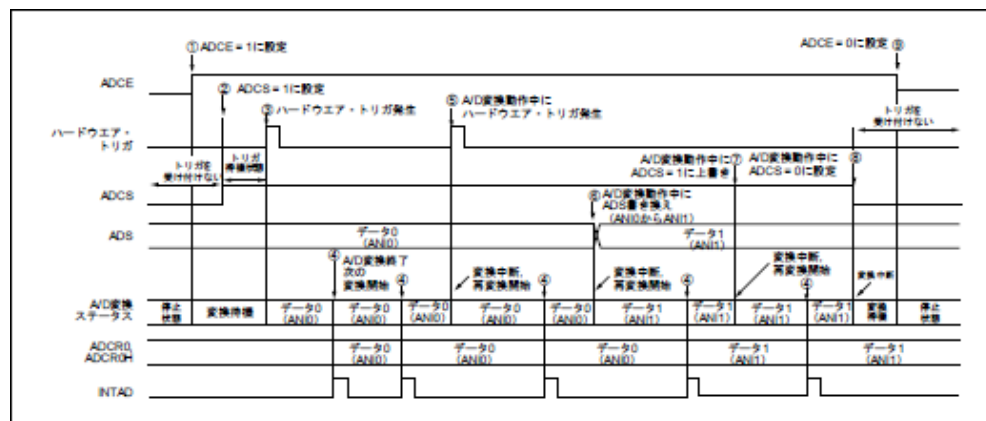


注意 変換動作中に上記⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

35. 12.6.9 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード）（p.585）

誤)

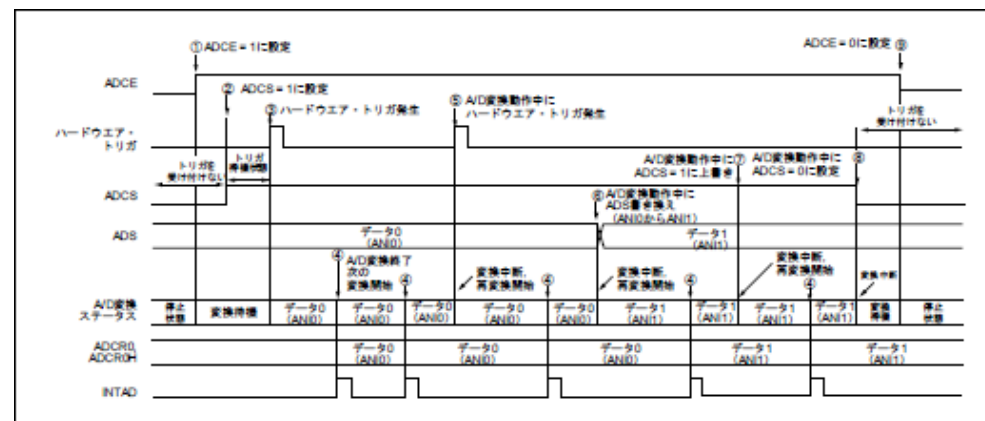
図 12 - 26 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード）動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 26 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード）動作タイミング例

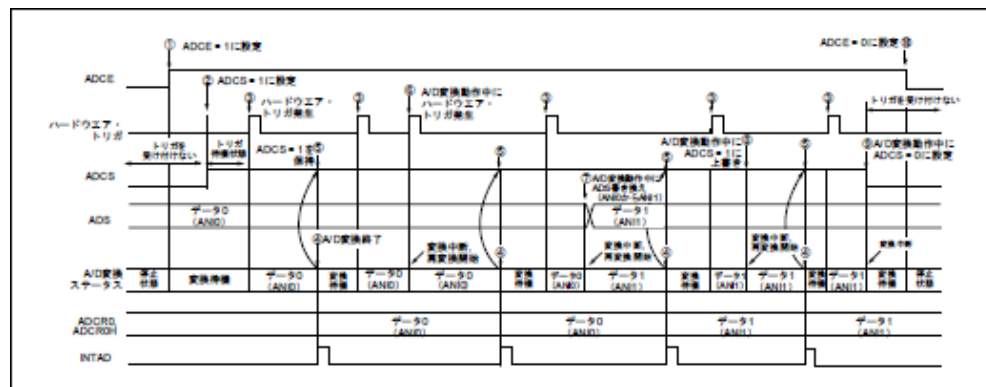


注意 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

36. 12.6.10 ハードウェア・トリガ・ノーウェイト・モード（セレクト・モード、ワンショット変換モード） (p.586)

誤)

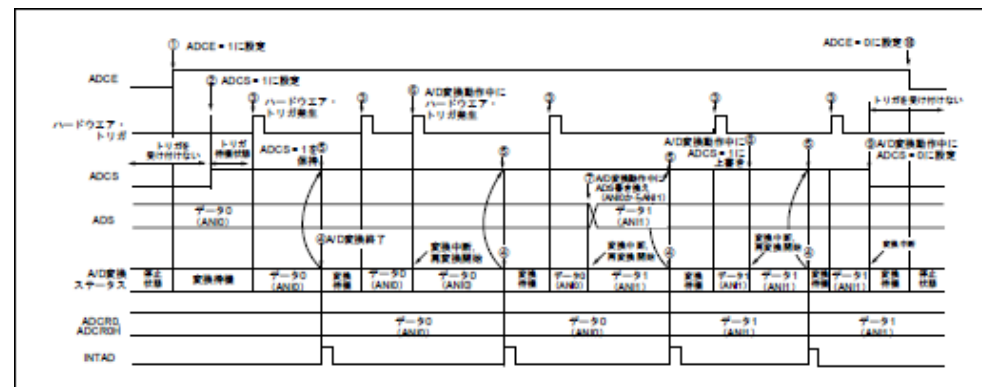
図 12 - 27 ハードウェア・トリガ・ノーウェイト・モード（セレクト・モード、ワンショット変換モード）動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 27 ハードウェア・トリガ・ノーウェイト・モード（セレクト・モード、ワンショット変換モード）動作タイミング例

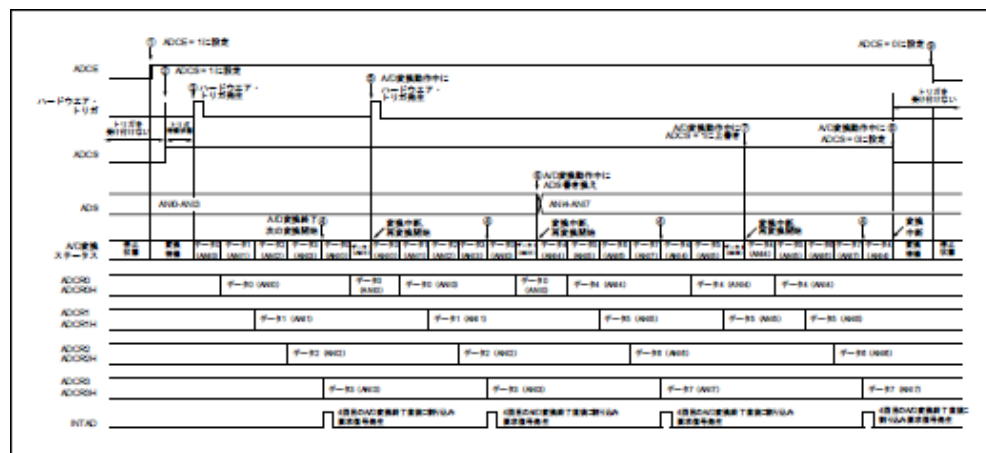


注意 変換動作中に上記⑥⑦⑧を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウェイト・モード/ハードウェア・トリガ・ウェイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

37. 12.6.11 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード） (p.588)

誤)

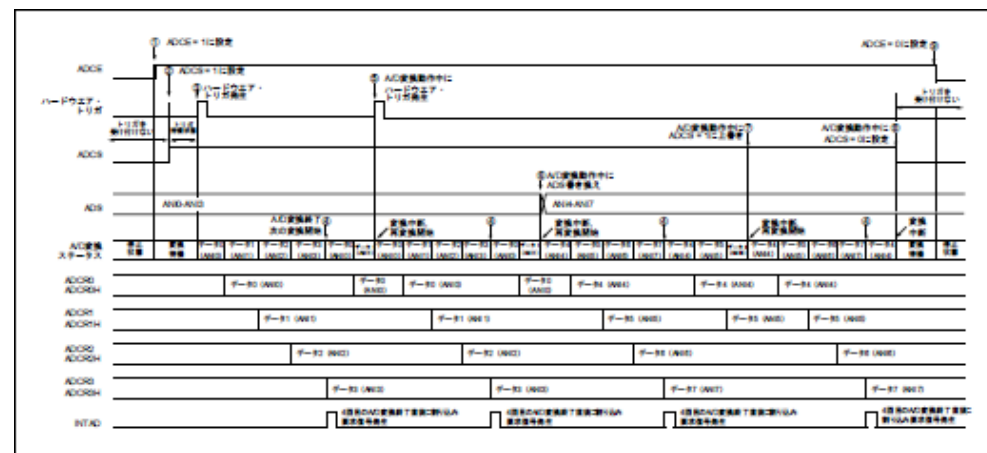
図 12 - 28 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 28 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）動作タイミング例

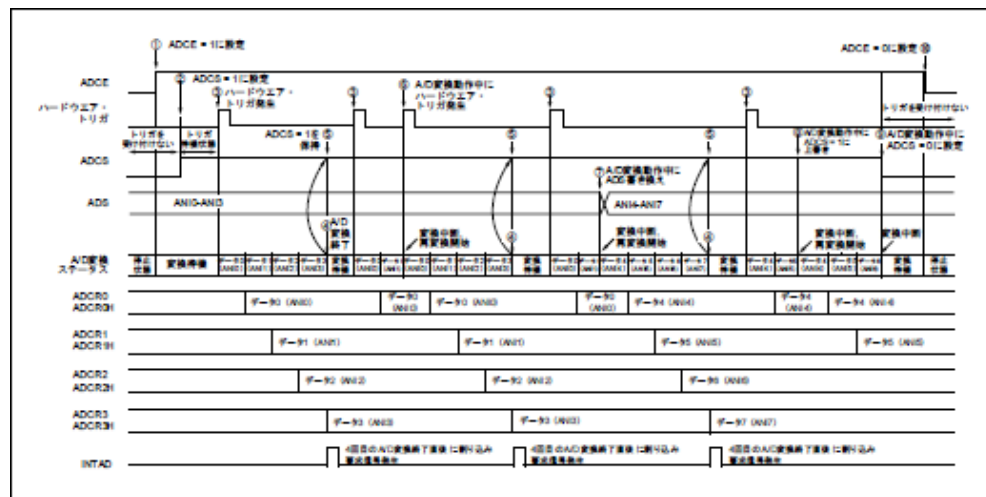


注意 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

38. 12.6.12 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) (p.589)

誤)

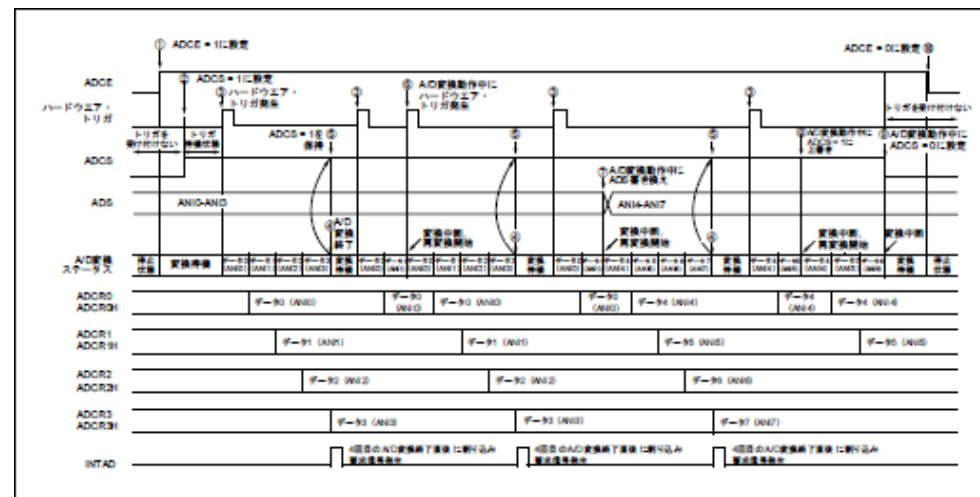
図 12 - 29 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 29 ハードウェア・トリガ・ノーウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例

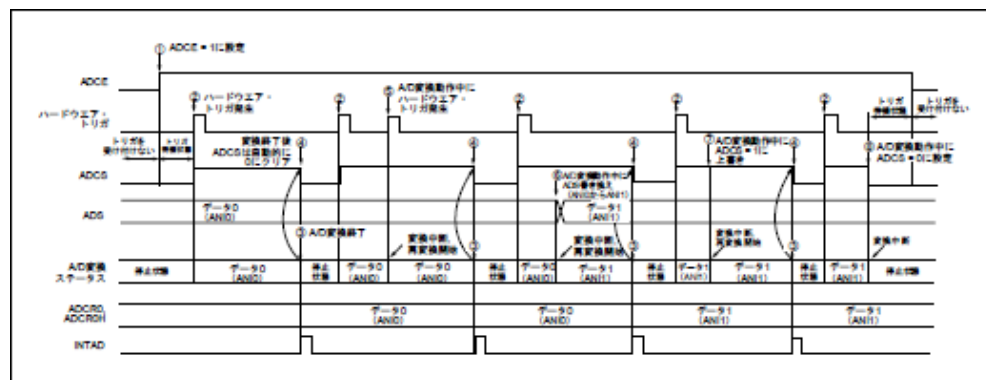


注意 変換動作中に上記⑥⑦⑧を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

39. 12.6.14 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、
ワンショット変換モード) (p.591)

誤)

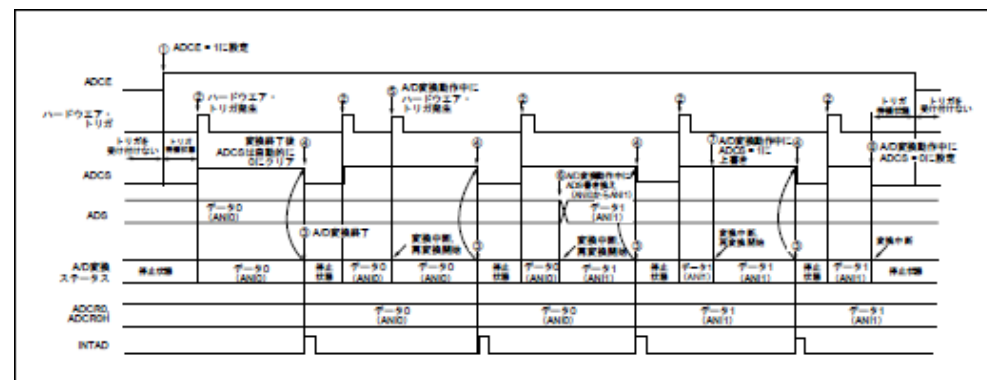
図 12 - 31 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 31 ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) 動作タイミング例



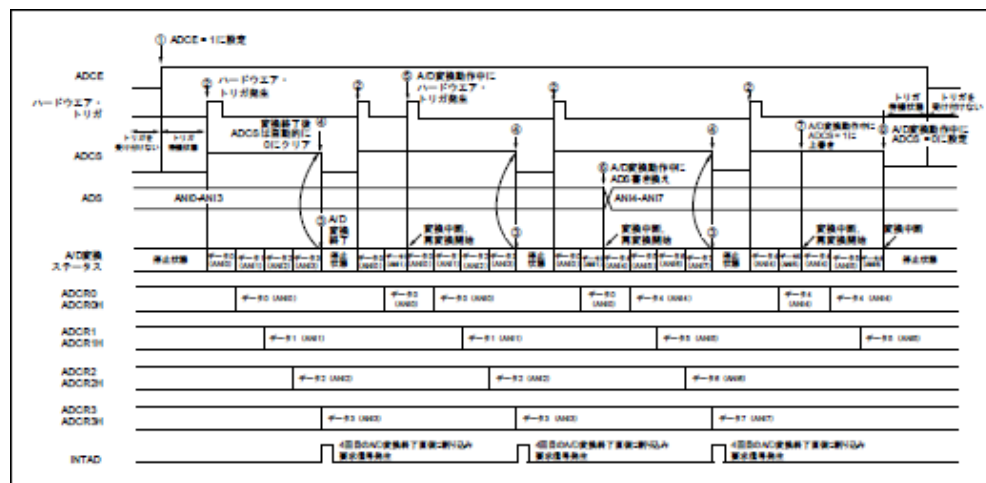
注意 1. 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

注意 2. ハードウェア・トリガ・ウエイト・モード (セレクト・モード、ワンショット変換モード) では、ADISS=1 の設定 (入力ソース = 温度センサ出力電圧、内部基準電圧) は使用できません。

40. 12.6.16 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、
ワンショット変換モード) (p.593)

誤)

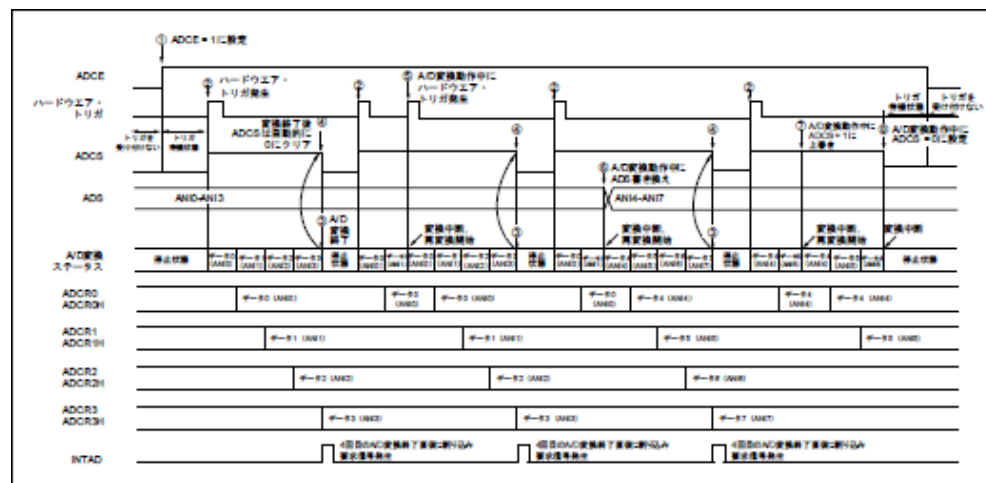
図 12 - 33 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記④⑤⑥を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

正)

図 12 - 33 ハードウェア・トリガ・ウエイト・モード (スキャン・モード、ワンショット変換モード) 動作タイミング例



注意 変換動作中に上記⑤⑥⑦を検出した場合、次の変換クロック (fAD) の立ち上がりから自動的に安定待ち時間経過後に再変換動作を開始します。再変換動作 1 回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード/ハードウェア・トリガ・ウエイト・モードの A/D 電源安定待ち時間ありの場合と同じ時間になります。(表 12 - 3 A/D 変換時間の選択 (3/8)、表 12 - 3 A/D 変換時間の選択 (4/8) 参照)

41. 図 15 - 35 3 線シリアル SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例 (p.703)

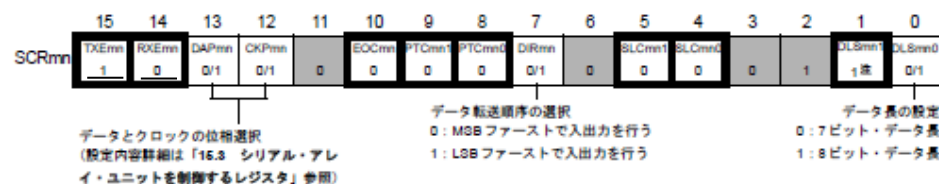
誤)

図 15 - 35 3 線シリアル SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn)



(b) シリアル通信動作設定レジスタ mn (SCRmn)



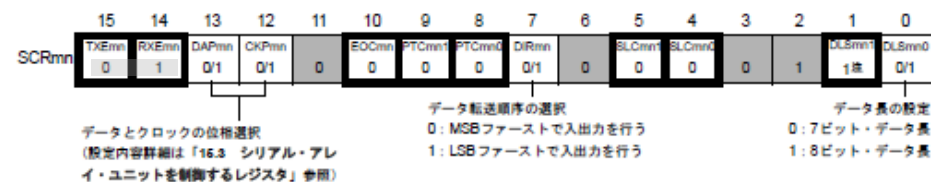
正)

図 15 - 35 3 線シリアル SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn)



(b) シリアル通信動作設定レジスタ mn (SCRmn)



42. 表 15 - 3 SNOOZE モード時の UART 受信ポー・レート設定 (p.775)

誤)

表 15 - 3 SNOOZE モード時の UART 受信ポー・レート設定

高速オンチップ・ オシレータ (fH)	SNOOZEモード時のUART受信ポー・レート			
	ポー・レート4800 bps			
	動作クロック (fMCK)	SDRmin [15:9]	最大許容値	最小許容値
32MHz±1.0%±	fCLK/2 ⁵	106	2.27%	-1.53%
24MHz±1.0%±	fCLK/2 ⁵	79	1.60%	-2.18%
16MHz±1.0%±	fCLK/2 ⁴	106	2.27%	-1.53%
12MHz±1.0%±	fCLK/2 ⁴	79	1.60%	-2.19%
8MHz±1.0%±	fCLK/2 ³	106	2.27%	-1.53%
6MHz±1.0%±	fCLK/2 ³	79	1.60%	-2.19%
4MHz±1.0%±	fCLK/2 ²	106	2.27%	-1.53%
3MHz±1.0%±	fCLK/2 ²	79	1.60%	-2.19%
2MHz±1.0%±	fCLK/2	106	2.27%	-1.54%
1MHz±1.0%±	fCLK	106	2.27%	-1.57%

正)

表 15 - 3 SNOOZE モード時の UART 受信ポー・レート設定 (高速オンチップ・オシレータ
通常起動 (FWKUP = 0))

ポー・レート	高速オンチップ・ オシレータ (fH)	動作クロック (fMCK)	SDRmin [15:9]	最大許容値	最小許容値
4800 bps	32 MHz ± 1 % ±	fCLK/2 ⁵	106	1.45 %	-1.67 %
		fCLK/2 ⁵	79	1.77 %	-1.37 %
9600 bps	32 MHz ± 1 % ±	fCLK/2 ⁴	106	1.45 %	-1.67 %
		fCLK/2 ⁴	79	1.77 %	-1.37 %

表 15 - 4 SNOOZE モード時の UART 受信ポー・レート設定 (高速オンチップ・オシレータ
高速起動 (FWKUP = 1))

ポー・レート	高速オンチップ・ オシレータ (fH)	動作クロック (fMCK)	SDRmin [15:9]	最大許容値	最小許容値
4800 bps	32 MHz ± 1 % ±	fCLK/2 ⁵	106	1.45 %	-1.67 %
9600 bps		fCLK/2 ⁴	106	1.45 %	-1.67 %
19200 bps		fCLK/2 ³	106	1.45 %	-1.67 %
31250 bps		fCLK/2 ³	65	1.05 %	-2.06 %
38400 bps		fCLK/2 ²	106	1.45 %	-1.67 %
76800 bps		fCLK/2	106	1.45 %	-1.67 %
115200 bps		fCLK/2	70	1.93 %	-1.21 %

43. 17.3.2 UART モード (5) 連続送信 (p.937)

誤)

(5) 連続送信

UARTAn では連続送信を実現するために送信バッファ・レジスタ (TXBAn) と送信シフト・レジスタを分離しています。

送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ (TXBAn) へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。なお、連続送信をする場合、送信バッファ (TXBAn) レジスタ空き割り込みが発生してから、TXBAn レジスタヘータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

$$\text{最大クロック数} = \text{転送長} \times 2K - (2K + 3)$$

K : BRGCA_n で設定した値 (k = 2、3、4、5、6、...、255)

以下に最大クロック数の算出例を示します。

BRGCA_n レジスタに 02H (K = 2)

スタート・ビット : 1 ビット、キャラクタ長 : 8 ビット、パリティ有り、ストップ・ビット : 1 ビットの場合

$$\text{最大クロック数} = \text{転送長} \times 2K - (2K + 3) = 11 \times 2 \times 2 - (2 \times 2 + 3) = 37$$

(37 クロック以内の書き込み完了が必要)

連続送信手順には以下にあげる 2 つの方法があります。

正)

(5) 連続送信

UARTAn では連続送信を実現するために送信バッファ・レジスタ (TXBAn) と送信シフト・レジスタを分離しています。

送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタ (TXBAn) へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。なお、連続送信をする場合、バッファ空き割り込みが発生してから、TXBAn レジスタヘータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

$$\text{最大クロック数} = \text{転送長} \times 2K - (2K + 3)$$

K : BRGCA_n で設定した値 (k = 2、3、4、5、6、...、255)

以下に最大クロック数の算出例を示します。

BRGCA_n レジスタに 02H (K = 2)

スタート・ビット : 1 ビット、キャラクタ長 : 8 ビット、パリティ有り、ストップ・ビット : 1 ビットの場合

$$\text{最大クロック数} = \text{転送長} \times 2K - (2K + 3) = 11 \times 2 \times 2 - (2 \times 2 + 3) = 37$$

(UARTAn 動作クロック (fUTAn) で 37 クロック以内の書き込み完了が必要)

連続送信手順には以下にあげる 2 つの方法があります。

44. 図 23 - 4 シャットダウン・モードから通常モードへの設定手順
(p.1134)

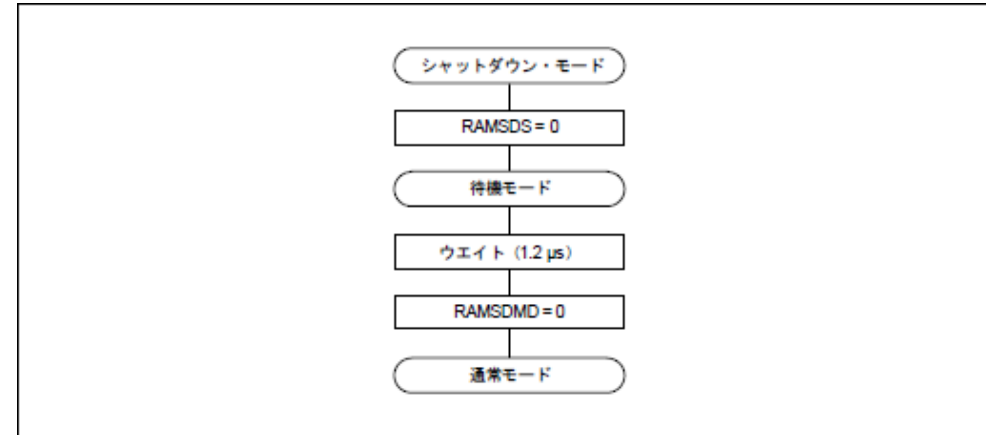
誤)

図 23 - 4 シャットダウン・モードから通常モードへの設定手順



正)

図 23 - 4 シャットダウン・モードから通常モードへの設定手順



注意 シャットダウン・モードから通常モードに復帰した際、FF000H ~ FFEFFH 以外の RAM 領域は不定になります。使用する RAM 領域を初期化してください。

45. 表 23-1 HALT モード時の動作状態 (1) (2/2) (p.1136)

誤)

表 23 - 1 HALT モード時の動作状態 (1) (2/2)

項目	HALTモードの設定	メイン・システム・クロックでCPU動作中のHALT命令実行時			
		高速オンチップ・オシレータ・クロック (fH) でCPU動作時	中速オンチップ・オシレータ・クロック (fM) でCPU動作時	X1クロック (fX) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
クロック出力/ブザー出力		動作可能			
A/Dコンバータ					
D/Aコンバータ					
コンパレータ					
シリアル・アレイ・ユニット					
シリアル・インタフェース IICA					
シリアル・インタフェース UARTA					
リモコン信号受信機能					
データ・トランスファ・コントローラ (DTC)					
SNOOZEモード・シーケンサ					
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
静電容量式タッチセンサ (CTSUS)					
CRC演算機能	高速CRC				
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能			
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

正)

表 23 - 1 HALT モード時の動作状態 (1) (2/2)

項目	HALTモードの設定	メイン・システム・クロックでCPU動作中のHALT命令実行時			
		高速オンチップ・オシレータ・クロック (fH) でCPU動作時	中速オンチップ・オシレータ・クロック (fM) でCPU動作時	X1クロック (fX) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
クロック出力/ブザー出力		動作可能			
A/Dコンバータ					
D/Aコンバータ					
コンパレータ					
シリアル・アレイ・ユニット					
シリアル・インタフェース IICA					
シリアル・インタフェース UARTA					
リモコン信号受信機能					
データ・トランスファ・コントローラ (DTC)					
SNOOZEモード・シーケンサ					
ロジック&イベント・リンク・コントローラ (ELCL)		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
静電容量式タッチセンサ (CTSUS)					
CRC演算機能	高速CRC				
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能			
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器		動作可能			

46. 表 23 - 2 HALT モード時の動作状態 (2) (2/2) (p.1138)

誤)

表 23 - 2 HALT モード時の動作状態 (2) (2/2)

項目	HALTモードの設定	サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) で CPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時	低速オンチップ・オシレータ・ クロック (fIL) でCPU動作時
パワーオン・リセット機能		動作可能		
電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		
静電容量式タッチセンサ (CTS)		RTCLPC = 0のときは動作可能(それ以外は動作禁止)		動作可能
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能		
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能		
RAMパリティ・チェック機能		動作可能		
RAMガード機能		動作可能		
SFRガード機能		動作可能		

正)

表 23 - 2 HALT モード時の動作状態 (2) (2/2)

項目	HALTモードの設定	サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック (fXT) で CPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時	低速オンチップ・オシレータ・ クロック (fIL) でCPU動作時
パワーオン・リセット機能		動作可能		
電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		
静電容量式タッチセンサ (CTS)		RTCLPC = 0のときは動作可能(それ以外は動作禁止)		動作可能
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能		
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能		
RAMパリティ・チェック機能		動作可能		
RAMガード機能		動作可能		
SFRガード機能		動作可能		
真性乱数発生器		動作可能		

47. 表 23 - 3 STOP モード時の動作状態 (2/2) (p.1143)

誤)

表 23 - 3 STOP モード時の動作状態 (2/2)

STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (fH) でCPU動作時	中速オンチップ・オシレータ・クロック (fM) でCPU動作時	X1クロック (fX) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

48. 表 23 - 4 SNOOZE モード時の動作状態 (2/2) (p.1150)

誤)

表 23 - 4 SNOOZE モード時の動作状態 (2/2)

STOPモードの設定		STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (fH) でのCPU動作時	中速オンチップ・オシレータ・クロック (fM) でのCPU動作時
静電容量式タッチセンサ (CTSUS)		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC		
不正メモリ・アクセス検出機能			
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

正)

表 23 - 3 STOP モード時の動作状態 (2/2)

STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック (fH) でCPU動作時	中速オンチップ・オシレータ・クロック (fM) でCPU動作時	X1クロック (fX) でCPU動作時	外部メイン・システム・クロック (fEX) でCPU動作時
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器					

正)

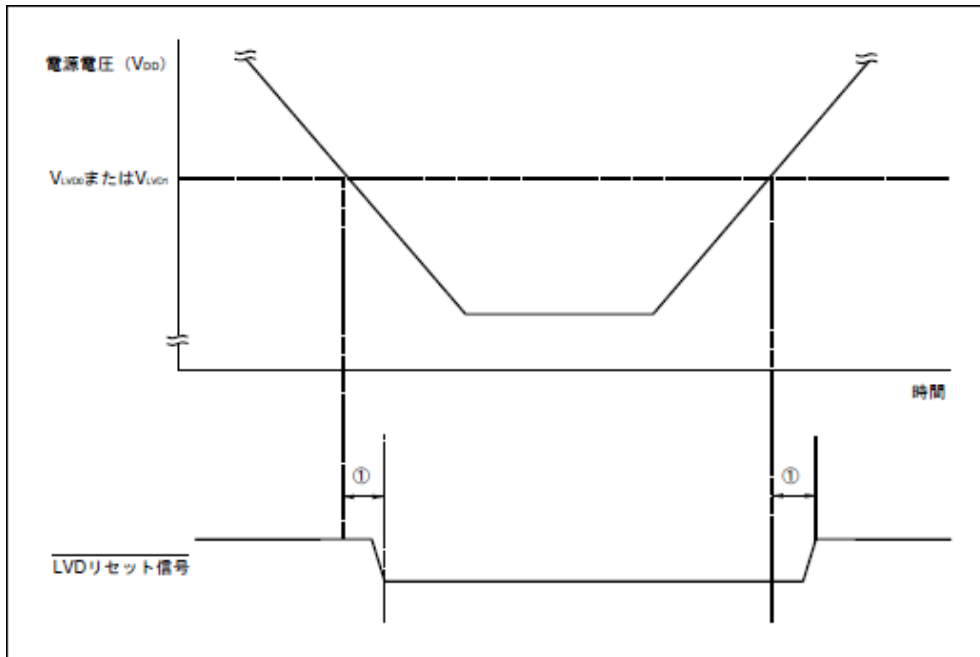
表 23 - 4 SNOOZE モード時の動作状態 (2/2)

STOPモードの設定		STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック (fH) でのCPU動作時	中速オンチップ・オシレータ・クロック (fM) でのCPU動作時
静電容量式タッチセンサ (CTSUS)		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC		
不正メモリ・アクセス検出機能			
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
真性乱数発生器			

49. 図 26 - 11 LVD0, LVD1 リセット要因発生から LVD0, LVD1 リセット発生または解除までの遅延 (p.1181)

誤)

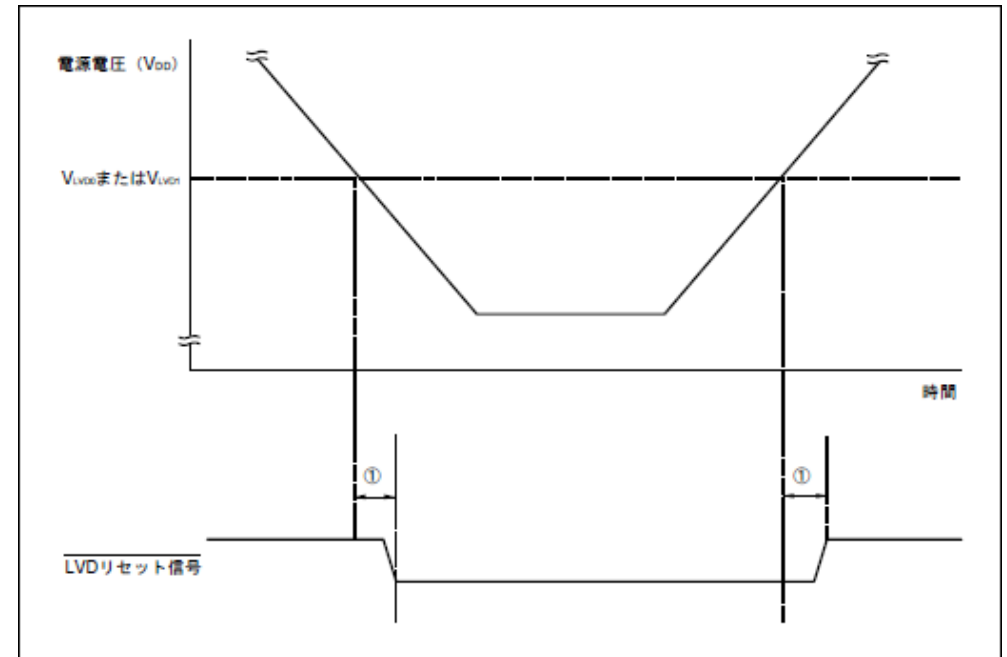
図 26 - 11 LVD0, LVD1 リセット要因発生から LVD0, LVD1 リセット発生または解除までの遅延



①：検出遅延 (300 μ s (MAX.))

正)

図 26 - 11 LVD0, LVD1 リセット要因発生から LVD0, LVD1 リセット発生または解除までの遅延

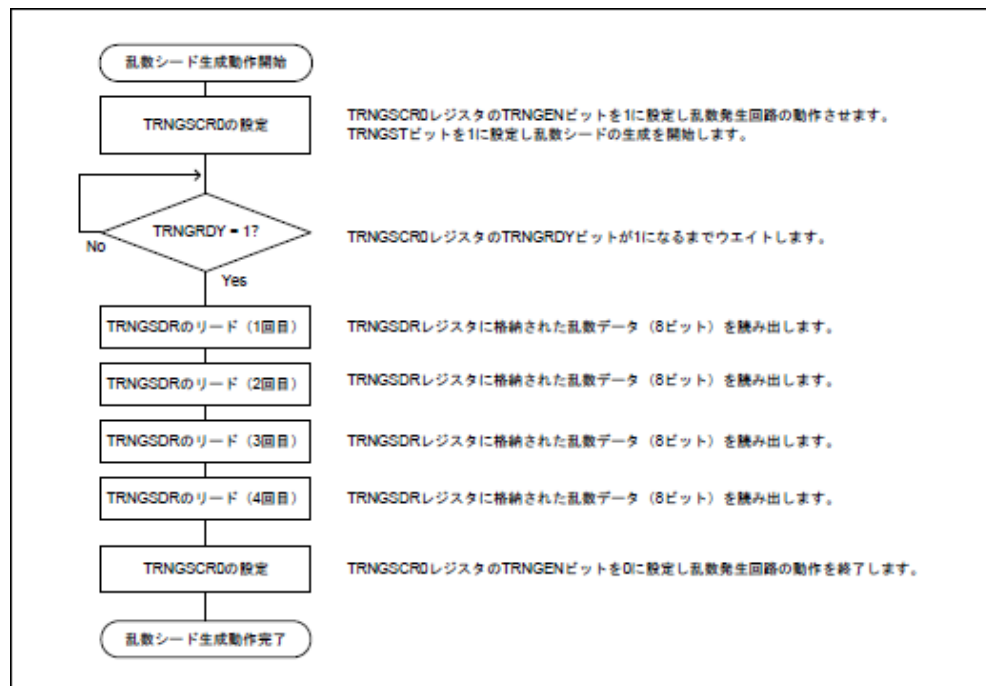


①：検出遅延 (500 μ s (MAX.))

50. 図 28 - 3 真性乱数発生器の乱数シードの生成手順 (p.1214)

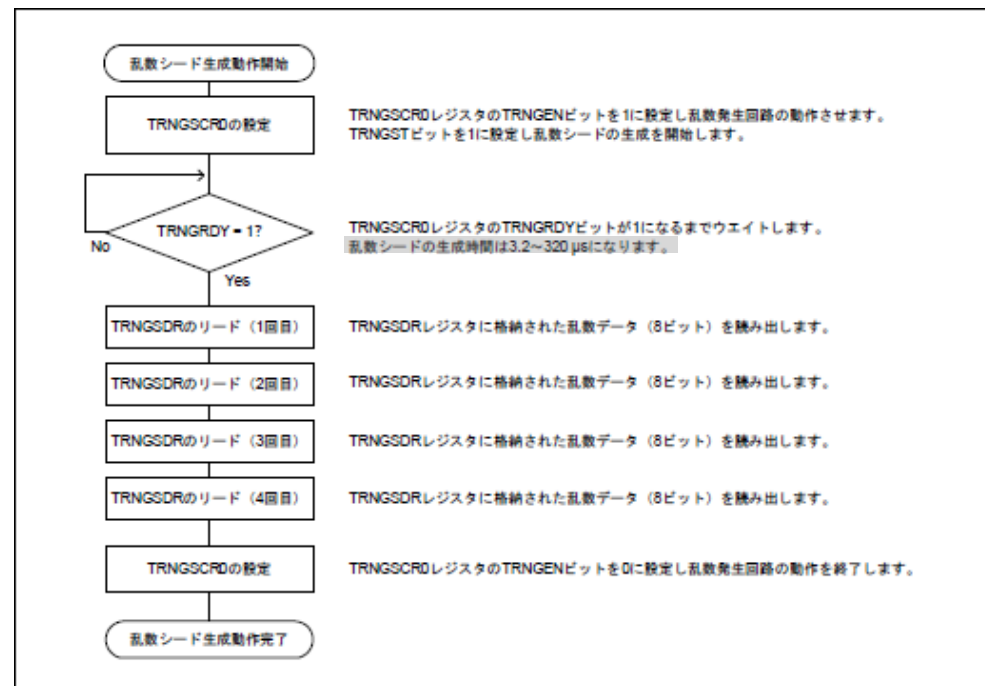
誤)

図 28 - 3 真性乱数発生器の乱数シードの生成手順



正)

図 28 - 3 真性乱数発生器の乱数シードの生成手順



51. 28.2.2 フラッシュ・リード・プロテクションの設定 (p.1216)

誤)

表 28 - 2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクションの固定が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクションの固定が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の固定	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマで設定を解除できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注 設定の解除は“ブロック消去禁止”、“ブート・クラスタ 0 の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

- 注意 1. エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出して FFH であることを確認してください。
- 注意 2. フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。
- 注意 3. 読み出し不可領域はオンチップ・デバッグでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッグによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。
- 注意 4. ブート・クラスタ 0 または 1 の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ 0 または 1 に読み出し不可領域を設定する場合は“ブート・クラスタ 0 書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。

正)

表 28 - 2 フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマで設定を解除できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注 設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

- 注意 1. エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出して FFH であることを確認してください。
- 注意 2. フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。
- 注意 3. 読み出し不可領域はオンチップ・デバッグでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッグによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。
- 注意 4. ブート・クラスタ 0 または 1 の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ 0 または 1 に読み出し不可領域を設定する場合は“ブート領域書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。

52. 第30章 静電容量センサユニット (CTS02L) 静電容量センサユニット

トの出力チャネル数 (p.1263)

誤)

ROMサイズ	64~128KB									
ピン数	30ピン	32ピン	36ピン	40, 44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	
CTS02L 出力 チャネル	2ch TS00-TS01	3ch TS00-TS02	5ch TS00-TS04	6ch TS00-TS05	8ch TS00-TS07	10ch TS00-TS09	12ch TS00-TS11	30ch TS00-TS15, TS20-TS33	32ch TS00-TS15, TS20-TS35	

ROMサイズ	192~768KB										
ピン数	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100, 128ピン	
CTS02L 出力 チャネル	6ch TS00-TS01 TS20-TS21 TS26-TS27	7ch TS00-TS02 TS20-TS21 TS26-TS27	11ch TS00-TS04 TS20-TS23 TS26-TS27	13ch TS00-TS05 TS20-TS24 TS26-TS27	14ch TS00-TS05 TS20-TS27	16ch TS00-TS07 TS20-TS27	20ch TS00-TS09 TS20-TS29	22ch TS00-TS11 TS20-TS29	30ch TS00-TS15, TS20-TS33	32ch TS00-TS15, TS20-TS35	

正)

ROMサイズ	96~128KB								128KB	
ピン数	30ピン	32ピン	36ピン	40, 44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	
CTS02L 出力 チャネル	2ch TS00-TS01	3ch TS00-TS02	5ch TS00-TS04	6ch TS00-TS05	8ch TS00-TS07	10ch TS00-TS09	12ch TS00-TS11	30ch TS00-TS15, TS20-TS33	32ch TS00-TS15, TS20-TS35	

ROMサイズ	192~256KB								192~768KB			256~ 768KB
ピン数	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン	128ピン	
CTS02L 出力 チャネル	6ch TS00-TS01 TS20-TS21 TS26-TS27	7ch TS00-TS02 TS20-TS21 TS26-TS27	11ch TS00-TS04 TS20-TS23 TS26-TS27	13ch TS00-TS05 TS20-TS24 TS26-TS27	14ch TS00-TS05 TS20-TS27	16ch TS00-TS07 TS20-TS27	20ch TS00-TS09 TS20-TS29	22ch TS00-TS11 TS20-TS29	30ch TS00-TS15, TS20-TS33	32ch TS00-TS15, TS20-TS35		

53. 表 30 - 1 CTSU の機能概要 相互容量方式送信電源切り替え (p.1265)

誤)

表 30 - 1 CTSU の機能概要

項目		構成
CTSUL動作電圧条件		V _{DD} = 1.8 ~ 5.5 V
動作クロック		f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8
端子	静電容量計測	TSM (m = 00-15, 20-35) MAX 32チャンネル
	計測用2次電源コンデンサ接続端子	TSCAP (10 nF) 10 nFのコンデンサを接続することを推奨
計測モード	自己容量計測モード	自己容量方式の電極に対する充放電電流から計測
	相互容量計測モード	相互容量方式の送信・受信電極間の容量に対する充放電電流から計測
	DC電流計測モード	測定端子から流れる電流を計測
キャリブレーションモード		計測用電流制御発振器の特性補正機能
ノイズ対策		同期系ノイズ対策、高域ノイズ対策複数周波数計測による多数決判定
端子毎の調整		オフセット電流調整機能 センサドライブパルス周波数指定 計測時間指定
計測開始条件		ソフトウェアトリガ 外部トリガ (ELCL)
低電力機能		SNOOZE機能対応
各種要求	データ転送要求	チャンネル計測設定書き込み要求 計測結果読み出し要求
	割り込み要求	計測終了割り込み要求
相互容量方式送信電源切り替え		相互容量方式送信時の電源をV _{DD} (VCL)、V _{CC} (I/Oポート)、V _{CC} (専用)に切り替え可能

正)

表 30 - 1 CTSU の機能概要

項目		構成
CTSUL動作電圧条件		V _{DD} = 1.8 ~ 5.5 V
動作クロック		f _{CLK} , f _{CLK} /2, f _{CLK} /4, f _{CLK} /8
端子	静電容量計測	TSM (m = 00-15, 20-35) MAX 32チャンネル
	計測用2次電源コンデンサ接続端子	TSCAP (10 nF) 10 nFのコンデンサを接続することを推奨
計測モード	自己容量計測モード	自己容量方式の電極に対する充放電電流から計測
	相互容量計測モード	相互容量方式の送信・受信電極間の容量に対する充放電電流から計測
	電流計測モード	測定端子から流れる電流を計測
キャリブレーションモード		計測用電流制御発振器の特性補正機能
ノイズ対策		同期系ノイズ対策、高域ノイズ対策、複数周波数計測による多数決判定
端子毎の調整		オフセット電流調整機能 センサドライブパルス周波数指定 計測時間指定
計測開始条件		ソフトウェアトリガ 外部トリガ (ELCL)
低電力機能		SNOOZE機能対応
各種割り込み要求	DTC起動要因/割り込み要因	チャンネル毎の設定レジスタ書き込み要求 計測データ転送要求
	割り込み要因	計測終了割り込み
相互容量方式送信電源切り替え		相互容量方式送信時の電源を切り替え可能

54. 表 30 - 2 CTSU で使用する外部端子 (p.1266)

誤)

表 30 - 2 CTSU で使用する外部端子

端子名	入出力	機能
TSm (m = 00-15, 20-35)	出力	静電容量計測端子、相互容量方式送信端子、アクティブシールド制御端子、電流計測端子
TSCAP	—	計測用2次電源コンデンサ接続端子

正)

表 30 - 2 CTSU で使用する外部端子

端子名	入出力	機能
TSm (m = 00-15, 20-35)	入出力	静電容量計測端子、相互容量方式送信端子、アクティブシールド制御端子、電流計測端子
TSCAP	入出力	計測用2次電源コンデンサ接続端子

55. 図 30 - 7 CTSU 制御レジスタ AL, AH (CTSUCRAL, CTSUCRAH) の

フォーマット (p.1272, p.1273, p.1274)

誤)

図 30 - 7 CTSU 制御レジスタ AL, AH (CTSUCRAL, CTSUCRAH) のフォーマット

MD1	計測モード選択1
0	自己容量方式 (1回計測) CHTRCx = 1 (送信) 設定有り → 送信端子は1回目 (同相) のパルスを出力します。 多数設定時はスキャンされます。 CHTRCx = ALL 0 設定 → 送信無で計測します。
1	相互容量方式 (CHTRCx設定要、2回計測) CHTRCx = ALL 0 設定 → スキャンNG、計測しません。
1回計測 (自己容量方式想定)、2回計測 (相互容量方式想定) を選択します。	

TXVSEL	送信電源切替
0	Vcc (I/Oポート)
1	Vdd (VCL)

TXVSEL2	送信電源切替2
0	TXVSELに従う
1	Vcc (専用)

正)

図 30 - 7 CTSU 制御レジスタ AL, AH (CTSUCRAL, CTSUCRAH) のフォーマット

MD1	計測モード選択1
0	自己容量方式 (1回計測) CHTRCx = 1 (送信) の場合、T _{Sm} 端子へ同相のパルスを出力し、計測を行います。 複数のCHTRCxビットを1に設定している場合、計測はスキャンされます。
1	相互容量方式 (2回計測) 計測を行うためにCHTRCxビットを1 (送信) に設定する必要があります。 1回目の計測では、T _{Sm} 端子へ同相のパルスを出力します。 2回目の計測では、T _{Sm} 端子へ逆相のパルスを出力します。
自己容量方式で計測する場合、MD1ビットを0にしてください。 相互容量方式で計測する場合、MD1ビットを1にしてください。	

TXVSEL	TXVSEL2	送信電源切替
0	0	非推奨
0	1	相互容量方式送信時の推奨設定値
1	0	アクティブシールド機能を使用時に設定してください。
1	1	相互容量方式送信時の推奨設定値

注 TXVSEL2 = 1 の場合、同じ送信電源が選択されます。

SNZ	SNOOZE有効				
0	SNOOZE機能無効				
1	SNOOZE機能有効				
外部トリガを選択 (CAP = 1) した場合のSNOOZE動作の有効/無効を選択します。 また、CTSUハードマクロをサスペンド状態にし、待機状態の低電力化が可能となります。					
<CTSUハードマクロの状態制御>					
PON	SNZ	CAP	STRT	外部	ハードマクロ (VDC) の状態
0	0	0	0	-	停止
1	0	-	-	-	動作状態
1	1	1	0	-	サスペンド状態
1	1	1	1	なし (待ち)	サスペンド状態
1	1	1	1	あり (動作)	動作状態
1	1	0	0	-	SWサスペンド状態
上記以外					設定禁止
SNOOZE動作を有効にし、STRTビットを"1"とすることで外部トリガ待機中となった状態で、CPUはSTOPモードへ遷移することができます。STOPモード中に外部トリガの立ち下がりを検出すると、CTSUはクロック発生ブロックに対してクロックリクエストを発行し、SNOOZE状態へ遷移して計測を開始します。完了割り込み後に本ビットをソフトウェアで"0"にクリアしてください。					
表中のSWサスペンド状態は、SNOOZE機能がないシステムでソフトウェアにてCTSUハードマクロをサスペンドにして低電力化するときに使用します。この場合には、CPUが外部割り込みなどで復帰後、SNZビットに"0"を書き込んでから、STRTビットにてソフトウェアトリガで計測を開始してください。					

SNZ	SNOOZE有効				
0	SNOOZE機能無効				
1	SNOOZE機能有効				
外部トリガを選択 (CAP = 1) した場合のSNOOZE動作の有効/無効を選択します。 また、CTSUハードマクロをサスペンド状態にし、待機状態の低電力化が可能となります。					
<CTSUハードマクロの状態制御>					
PON	SNZ	CAP	STRT	トリガ	CTSUの状態
0	0	0	0	-	停止
1	0	0	0	-	計測開始待ち (VDC=ON)
1	0	0	1	-	通常動作モード計測中 (VDC=ON)
1	1	1	0	-	外部トリガ計測設定準備 (VDC=OFF)
1	1	1	1	なし (待ち)	サスペンド状態 (トリガ待ち) (VDC=OFF)
1	1	1	1	あり (動作)	SNOOZEモード計測中 (VDC=ON) ^注
1	1	0	0	-	サスペンド状態 (VDC=OFF)
上記以外					設定禁止
注 STOPモード中にトリガが発生した場合、SNOOZEモードで計測をします。					
SNOOZE動作を有効にし、STRTビットを1とすることで外部トリガ待機中となった状態で、CPUはSTOPモードへ遷移することができます。STOPモード中に外部トリガの立ち下がりを検出すると、CTSUはクロック発生ブロックに対してクロックリクエストを発行し、SNOOZE状態へ遷移して計測を開始します。完了割り込み後に本ビットをソフトウェアで0にクリアしてください。					
表中のSWサスペンド状態は、SNOOZE機能がないシステムでソフトウェアにてCTSUハードマクロをサスペンドにして低電力化するときに使用します。この場合には、CPUが外部割り込みなどで復帰後、SNZビットに0を書き込んでから、STRTビットにてソフトウェアトリガで計測を開始してください。					

56. 図 30 - 15 CTSU キャリブレーションレジスタ L, H (CTSUDBGR0, CTSUDBGR1) のフォーマット (p.1290, p.1292)

誤)

図 30 - 15 CTSU キャリブレーションレジスタ L, H (CTSUDBGR0, CTSUDBGR1) のフォーマット

アドレス : F0528H, F052AH

リセット時: 0000H, 0000H

R/W 属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUDBGR1	TXREV	CCOCALIB	CCOCLK	DACCLK	SUCARRY	SUMSEL	DACCARRY	DACMSEL
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0
略号	15	14	13	12	11	10	9	8
CTSUDBGR0	0	0	0	0	DCOFF	0	IOC	CNTRDSEL
	7	6	5	4	3	2	1	0
	TSOC	SUCLKEN	CLKSEL0[1:0]	DRV	TSOD	TEST[1:0]		

TEST[1:0]		テストモード
0	0	通常動作
0	1	設定禁止
1	0	設定禁止 パーンインモード1 (STRESS)
1	1	設定禁止

CTSU ハードマクロの動作モードを制御します。

- ・パーンインモード1 (STRESS)
基準電圧を上げて、V_{DD}系にストレスを掛ける動作をします。

正)

図 30 - 15 CTSU キャリブレーションレジスタ L, H (CTSUDBGR0, CTSUDBGR1) のフォーマット (1/3)

アドレス : F0528H, F0529H (CTSUDBGR0), F052AH, F052BH (CTSUDBGR1)

リセット時: 0000H, 0000H

R/W 属性 : R/W

略号	15	14	13	12	11	10	9	8
CTSUDBGR1	TXREV	CCOCALIB	CCOCLK	DACCLK	SUCARRY	SUMSEL	DACCARRY	DACMSEL
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0
略号	15	14	13	12	11	10	9	8
CTSUDBGR0	0	0	0	0	DCOFF	0	IOC	CNTRDSEL
	7	6	5	4	3	2	1	0
	TSOC	SUCLKEN	CLKSEL0[1:0]	DRV	TSOD	0	0	

57. 第30章 静電容量センサユニット (CTS2L) 静電容量センサユニット使用時の注意事項 (p.1297)

正)

30.3 静電容量センサユニット使用時の注意事項

(1) 静電容量センサユニット (CTS2L) による検出動作の評価について

最終的にはお客様のシステムを製品出荷時に近い状態で動作させ、QE for Capacitive Touch (静電容量式タッチセンサ対応開発支援ツール) を用いた静電容量計測状態のモニタリングで十分に評価を行い、お客様のシステムにおいて、タッチセンサの検出結果が適切かを判断してください。

ご希望の検出結果が得られない場合は、QE for Capacitive Touch で CapTouch パラメータ (主にタッチ閾値) の調整を行い、再度評価を実施してください。

特に CTS2L を相互容量方式で使用する場合、マイコンのポート出力状態によっては送信電極の出力電圧が変動することにより、静電容量計測値 (カウント値) が変動する可能性があります。

このような現象が発生する場合は、QE for Capacitive Touch でタッチ閾値の調整を行い、カウント値の変動を考慮し

たタッチ閾値を設定してください。自己容量方式では、このような変動は起こりません。

58. 31.1 レギュレータの概要 (p.1298)

誤)

31.1 レギュレータの概要

RL78/G23 は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定として、コンデンサ (0.47 ~ 1 μ F) を介し、VSS に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

正)

31.1 レギュレータの概要

RL78/G23 は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定として、コンデンサ (0.47 ~ 1 μ F) を介し、VSS に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

REGC 端子を外部回路の基準電圧として使用することができます。REGC 端子に接続する外部回路の入カインピーダンスは 1.5 M Ω 以上にしてください。REGC 端子の電圧は 1.5 V (TYP.)、電圧範囲は 1.38 ~ 1.60 V になります。

59. 図 32 - 5 ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット (p.1305)

誤)

図 32 - 5 ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット

アドレス：000C2H/040C2H_{2H}

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
オプションバイト(000C2H)の値	フラッシュ動作モード		動作周波数範囲		動作電圧範囲			
CMODE1	CMODE0							
0	1	LP (低電力メイン) モード	1MHz~2MHz	1.6V~5.5V				
1	0	LS (低速メイン) モード	1MHz~2MHz	1.6V~5.5V				
			1MHz~4MHz (フラッシュ・メモリ 書き換え不可)					
			1MHz~24MHz		1.8V~5.5V			
1	1	HS (高速メイン) モード	1MHz~2MHz	1.6V~5.5V				
			1MHz~4MHz (フラッシュ・メモリ 書き換え不可)					
			1MHz~32MHz		1.8V~5.5V			
上記以外		設定禁止						

正)

図 32 - 5 ユーザ・オプション・バイト (000C2H/040C2H) のフォーマット

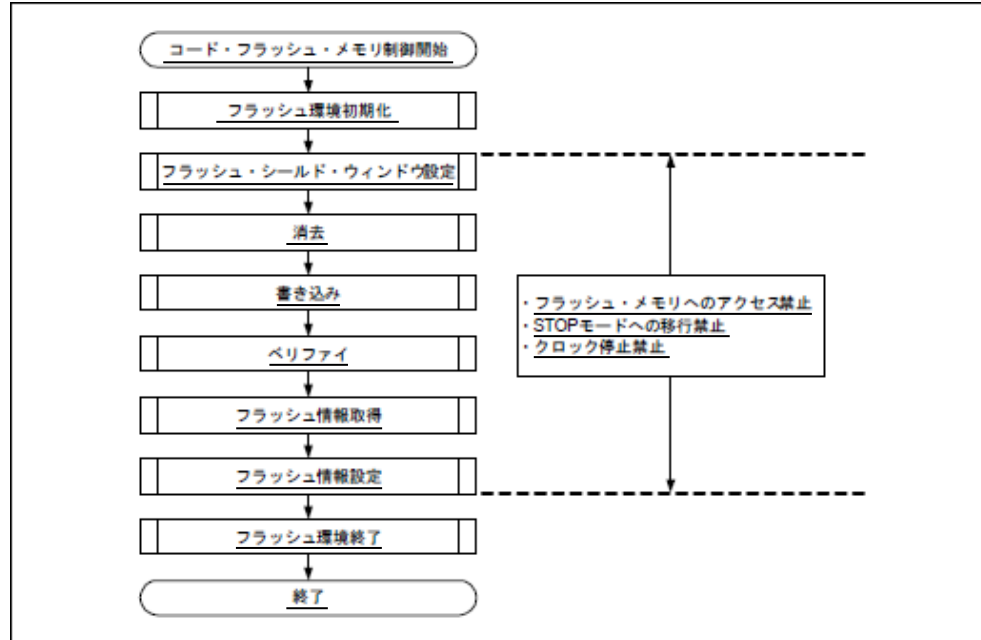
アドレス：000C2H/040C2H_{2H}

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
オプションバイト(000C2H)の値	フラッシュ動作モード		動作周波数範囲		動作電圧範囲			
CMODE1	CMODE0							
0	1	LP (低電力メイン) モード	1MHz~2MHz	1.6V~5.5V				
1	0	LS (低速メイン) モード	1MHz~2MHz	1.6V~5.5V				
			1MHz~4MHz (フラッシュ・メモリ 書き換え不可)					
			1MHz~24MHz		1.8V~5.5V			
1	1	HS (高速メイン) モード	1MHz~2MHz	1.6V~5.5V				
			1MHz~4MHz (フラッシュ・メモリ 書き換え不可)					
			1MHz~32MHz		1.8V~5.5V			
上記以外		設定禁止						

60. 図 33 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）
 の流れ (p.1324)

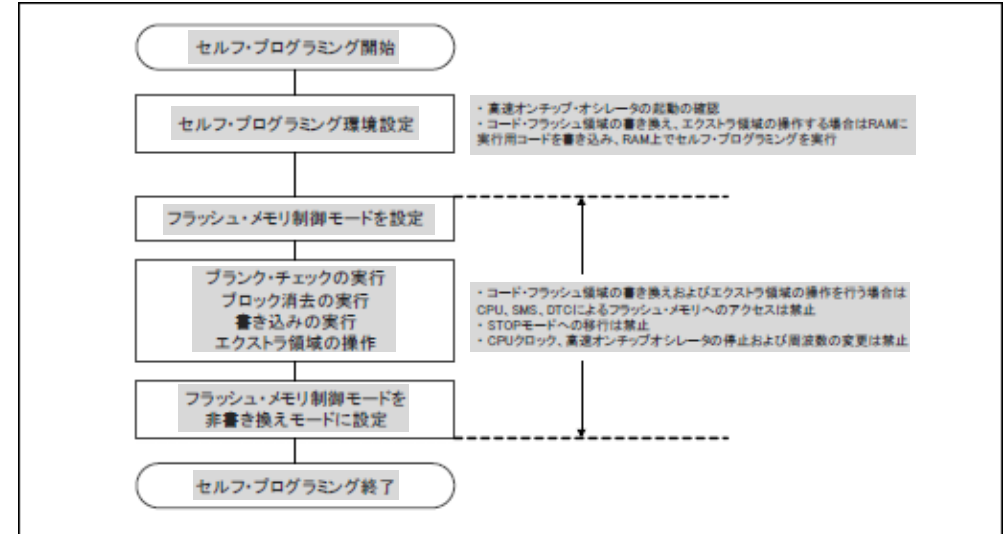
誤)

図 33 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



正)

図 33 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



61. 33.6.2.1 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) (p.1327)

誤)

図 33 - 9 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) のフォーマット

アドレス : F02C4H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス : F02C2H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLAPL	FLAP15	FLAP14	FLAP13	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8
	7	6	5	4	3	2	1	0
	FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

- 注意 1. エクストラ領域シーケンサ・コマンド実行中は、読み出し値は不定です。
 注意 2. コード・フラッシュ・メモリへのプログラミングでは、FLAP1 および FLAP0 ビットの設定は無効です。
 注意 3. フラッシュ・メモリ・シーケンサ動作中は、書き換えできません。

正)

図 33 - 9 フラッシュ・アドレス・ポインタ・レジスタ H, L (FLAPH, FLAPL) のフォーマット

アドレス : F02C4H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス : F02C2H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLAPL	FLAP15	FLAP14	FLAP13	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8
	7	6	5	4	3	2	1	0
	FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

- 注意 1. FLAPH, FLAPL レジスタは以下のいずれかの条件の時に書き換え可能です。
 ・FLPMC レジスタの FLSPM ビットが 1 (コード・フラッシュ領域はプログラミング・モード)
 ・FLPMC レジスタの EEEMD ビットが 1 (データ・フラッシュ領域はプログラミング・モード)
 注意 2. エクストラ領域シーケンサおよびコード/ データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0、ESQEND = 0) の時に書き換えと読み出しを実行してください。

62. 33.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L

(FLSEDH,FLSEDL) (p.1328)

誤)

図 33 - 10 フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL) のフォーマット

アドレス : F02C8H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス : F02C6H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSEDL	EWA15	EWA14	EWA13	EWA12	EWA11	EWA10	EWA9	EWA8
	7	6	5	4	3	2	1	0
	EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	EWA1	EWA0

- 注意 1. エクストラ領域シーケンサ・コマンド実行中は、読み出し値は不定です。
 注意 2. コード・フラッシュ・メモリへのプログラミングでは、EWA1 および EWA0 ビットの設定は無効です。
 注意 3. フラッシュ・メモリ・シーケンサ動作中は、書き換えできません。

正)

図 33 - 10 フラッシュ・エンド・アドレス・ポインタ・レジスタ H, L (FLSEDH, FLSEDL) のフォーマット

アドレス : F02C8H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス : F02C6H
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLSEDL	EWA15	EWA14	EWA13	EWA12	EWA11	EWA10	EWA9	EWA8
	7	6	5	4	3	2	1	0
	EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	EWA1	EWA0

- 注意 1. FLSEDH, FLSEDL レジスタは以下のいずれかの条件の時に書き換え可能です。
 ・FLPMC レジスタの FLSPM ビットが 1 (コード・フラッシュ領域はプログラミング・モード)
 ・FLPMC レジスタの EEEMD ビットが 1 (データ・フラッシュ領域はプログラミング・モード)
 注意 2. エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0、ESQEND = 0) の時に書き換えと読み出しを実行してください。
 注意 3. コード・フラッシュ・メモリへのプログラミングでは、EWA1 および EWA0 ビットの設定は無効です。

63. 33.6.2.3 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)

(p.1330)

誤)

33.6.2.3 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)

フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。

FLWH, FLWL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLWH, FLWL レジスタは 0000H になります。

- ・リセット信号の発生
- ・FLRST レジスタの FLRST = 1
- ・フラッシュ・メモリ・シーケンサの動作完了

FLRST = 1 の期間中は、書き込みはできません。

データ・フラッシュ・メモリの書き込みデータは FLWL レジスタの下位 8 ビットに設定します。

図 33 - 11 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL) のフォーマット

アドレス : F02CEH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24
	7	6	5	4	3	2	1	0
	FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス : F02CCH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8
	7	6	5	4	3	2	1	0
	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

注意 1. シーケンサ・コマンド実行中は、リードできません。

注意 2. データ・フラッシュ・メモリへの書き込みは、FLWL レジスタの下位 8 ビット以外は 0 に設定してください。

注意 3. フラッシュ・メモリ・シーケンサ動作中は、書き換えできません。

正)

33.6.2.3 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL)

フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。

FLWH, FLWL レジスタは、16 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で FLWH, FLWL レジスタは 0000H になります。

- ・リセット信号の発生
- ・FLRST レジスタの FLRST = 1
- ・フラッシュ・メモリ・シーケンサの動作完了

データ・フラッシュ・メモリの書き込みデータは FLWL レジスタの下位 8 ビットに設定します。

図 33 - 11 フラッシュ・ライト・バッファ・レジスタ H, L (FLWH, FLWL) のフォーマット

アドレス : F02CEH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24
	7	6	5	4	3	2	1	0
	FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス : F02CCH
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8
	7	6	5	4	3	2	1	0
	FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

注意 1. FLWH, FLWL レジスタは以下のいずれかの条件の時に書き換え可能です。

- ・FLPMC レジスタの FLSPM ビットが 1 (コード・フラッシュ領域はプログラミング・モード)
- ・FLPMC レジスタの EEEMD ビットが 1 (データ・フラッシュ領域はプログラミング・モード)

注意 2. エクストラ領域シーケンサおよびコード / データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0, ESQEND = 0) の時に書き換えと読み出しを実行してください。

注意 3. データ・フラッシュ・メモリへの書き込みは、FLWL レジスタの下位 8 ビットに書き込みデータを設定してください。それ以外のビットは 0 に設定してください。

64. 33.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) (p.1333)

誤)

図 33 - 14 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : F02C0H
リセット時: 08H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	EEEMD	FWEDIS	0	FLSPM	0
EEEMD	データ・フラッシュ・メモリのプログラミング・モード選択							
0	非書き換えモード							
1	プログラミング・モード							
FWEDIS	コード・フラッシュ・メモリの消去/書き込み許可/禁止のソフトウェア制御							
0	消去/書き込み許可							
1	消去/書き込み禁止							
FLSPM	コード・フラッシュ・メモリのプログラミング・モード選択							
0	非書き換えモード							
1	プログラミング・モード							

注 コード・フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず“0”に設定してください。

正)

図 33 - 14 フラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) のフォーマット

アドレス : F02C0H
リセット時: 08H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	EEEMD	FWEDIS	0	FLSPM	0
EEEMD	データ・フラッシュ・メモリのプログラミング・モード選択							
0	非書き換えモード							
1	プログラミング・モード							
FWEDIS	コード・フラッシュ・メモリの消去/書き込み許可/禁止のソフトウェア制御							
0	消去/書き込み許可							
1	消去/書き込み禁止							
FLSPM	コード・フラッシュ・メモリのプログラミング・モード選択							
0	非書き換えモード							
1	プログラミング・モード							

注 コード・フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず0に設定してください。

注意 エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0、ESQEND = 0) の時に FLPMC レジスタへの書き換えは有効になります。

65. 33.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET)

(p.1335)

誤)

図 33 - 16 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) のフォーマット

アドレス : F00B6H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	0	FSET4	FSET3	FSET2	FSET1	FSET0
TMSPMD	ブート・スワップ指定値							
0	エクストラ領域の情報に従う							
1	TMBTSELビットに従う							
TMBTSEL	テンポラリ・ブート・スワップ設定値							
0	ブート領域にブート・クラスタ0を指定(ブート・スワップを行わない)							
1	ブート領域にブート・クラスタ1を指定(ブート・スワップを行う)							
FSET[4:0]	フラッシュ・メモリ・シーケンサの動作周波数の設定							
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数とFSET[4:0]設定値の関係は表33-12を参照してください。							

注 ブート・プロテクトが設定されている場合(BTPR = 0)、TMSPMD、TMBTSELビットは設定できません。

注意 CPUが動作する周波数の小数点以下を切り上げた整数値を設定してください。
(例：CPUが動作する周波数が4.5 MHzの場合は、5を設定してください)
ただし、CPUが動作する周波数が4 MHz未満の場合は、整数値ではない1.5 MHzなどの周波数は使用できません。

正)

図 33 - 16 フラッシュ・メモリ・シーケンサ初期設定レジスタ (FSSET) のフォーマット

アドレス : F00B6H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	0	FSET4	FSET3	FSET2	FSET1	FSET0
TMSPMD	ブート領域設定の選択値							
0	エクストラ領域のセキュリティ・フラグとブート・スワップ機能の設定領域のEX bit 8(BTFLG)の値に従ってブート領域を指定 BTFLG = 0 : ブート領域はブート・クラスタ1 BTFLG = 1 : ブート領域はブート・クラスタ0 (デフォルト)							
1	TMBTSELビットに従ってブート領域を指定							
TMBTSEL	TMSPMD=1の時のブート領域の指定							
0	ブート領域にブート・クラスタ0を指定							
1	ブート領域にブート・クラスタ1を指定							
FSET4-FSET0	フラッシュ・メモリ・シーケンサの動作周波数の設定							
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0設定値の関係は表33-11を参照してください。							

注 FLSECレジスタのBTPRビットが0 (ブート領域書き換え禁止) の場合、TMSPMD、TMBTSELビットは設定できません。

- 注意1. FSSETレジスタは以下のいずれかの条件の時に書き換え可能です。
- ・FLPMCレジスタのFLSPMビットが1 (コード・フラッシュ領域はプログラミング・モード)
 - ・FLPMCレジスタのEEMDビットが1 (データ・フラッシュ領域はプログラミング・モード)
- 注意2. ブート領域の設定は設定後ただちに反映されます。リセット解除後にブート領域を変更したい場合は、TMSPMDが0の状態ではFSASTLレジスタのMBTSELビットを読み出して、同じ値をTMBTSELビットに設定してください。その後、TMSPMDを1に設定し、エクストラ領域シーケンサでBTFLGビットにリセット解除にブート領域に設定するブート・クラスタを指定してください。次のリセット解除時にBTFLGビットに設定したブート・クラスタをブート領域として起動します。

表 33 - 12 フラッシュ・メモリ・シーケンサの動作周波数と FSET[4:0]設定値の関係

動作周波数 (MHz)	FSET[4:0]設定値	動作周波数 (MHz)	FSET[4:0]設定値	動作周波数 (MHz)	FSET[4:0]設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

表 33 - 11 フラッシュ・メモリ・シーケンサの動作周波数と FSET4-FSET0 設定値の関係

動作周波数 (MHz)	FSET4-FSET0設定値	動作周波数 (MHz)	FSET4-FSET0設定値	動作周波数 (MHz)	FSET4-FSET0設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

注意 CPU が動作する周波数の小数点以下を切り上げた整数値を設定してください。

(例：CPU が動作する周波数が4.5 MHz の場合は、5 を設定してください)

ただし、CPU が動作する周波数が4 MHz 未満の場合は、整数値ではない1.5 MHz などの周波数は使用できません。

66. 33.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ(FSSQ) (p.1337, p.1338)

誤)

33.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)

コード/データ・フラッシュ領域シーケンサ起動時のコマンドを定義するレジスタです。

FSSQ レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- ・リセット信号の発生
- ・FLRST レジスタの FLRST = 1

図 33-17 フラッシュ・シーケンサ制御レジスタ (FSSQ) のフォーマット

アドレス : F02C5H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FSSQ	SQST	FSSTP	0	0	MDCH	SQMD2	SQMD1	SQMD0
SQST	コード/データ・フラッシュ領域シーケンサの動作制御							
0	動作停止							
1	動作開始							
FSSTP	コード/データ・フラッシュ領域シーケンサの強制停止制御							
0	強制停止しない							
1	強制停止する							

正)

33.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ (FSSQ)

コード/データ・フラッシュ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

コード/データ・フラッシュ領域シーケンサは、FSSQ レジスタの SQST ビットを 1 に設定すると MDCH、SQMD2-SQMD0 ビットに設定されたコマンドを実行します。

FSSQ レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- ・リセット信号の発生
- ・FLRST レジスタの FLRST = 1

図 33-17 フラッシュ・シーケンサ制御レジスタ (FSSQ) のフォーマット (1/2)

アドレス : F02C5H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	5	4	3	2	1	0
FSSQ	SQST	FSSTP	0	0	MDCH	SQMD2	SQMD1	SQMD0
SQST	コード/データ・フラッシュ領域シーケンサの動作制御							
0	動作停止							
1	動作開始							
FSSTP	コード/データ・フラッシュ領域シーケンサの強制停止制御							
0	強制停止しない							
1	強制停止する							

SQMD[2:0]	MDCH 設定値	コード/データ・フラッシュ領域シーケンサ制御
01H	CF : 0 DF : 0	書き込み FLAPH, Lレジスタで指定されるアドレスに、FLWH, Lレジスタで指定したデータを書き込みます。 ・コード・フラッシュ (1ワード[4 byte])書き込み : FLWH, FLWLレジスタへ設定。 ・データ・フラッシュ (1 byte)書き込み : FLWLレジスタのFLW[7:0]へ設定。
03H	CF : 0 DF : 1	ブランク・チェック FLAPH, Lレジスタで指定されるアドレスから FLSEDH, Lレジスタで指定されるアドレスまでのブランク・チェックを行います。 ブランク・チェックする対象のフラッシュ・メモリにより、FSSQレジスタのMDCHビットの設定値が異なります。コード・フラッシュではMDCH=0、データ・フラッシュではMDCH=1を設定しておく必要があります。
04H	CF : 0 DF : 0	ブロック消去 FLAPL, Hレジスタで指定されるブロック先頭アドレスから FLSEDL, Hレジスタで指定されるブロック終了アドレスまでのブロック消去を行います。
上記以外		設定禁止

注意 FLRST = 1 による初期化は、シーケンサ停止状態(FSASTH レジスタの SQEND = 0、ESQEND = 0 時)のみ可能です。

MDCH	SQMD2	SQMD1	SQMD0	コード/データ・フラッシュ領域シーケンサのコマンド
0	0	0	1	・書き込み FLWH, FLWL レジスタに格納したデータを FLAPH, FLAPL レジスタで指定されるアドレスに書き込みます。 ^{注2} コード・フラッシュ領域のアドレス指定した場合は4バイトのデータを書き込みます。データ・フラッシュ領域のアドレスを指定した場合はFLWLレジスタの下位 8ビット (FLW7-FLW0) に格納された1バイトを指定したアドレスに書き込みます。
0	0	1	1	・コード・フラッシュ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのコード・フラッシュ領域が0であるかチェックを行います。 ^{注3}
1	0	1	1	・データ・フラッシュ領域のブランク・チェック FLAPH, FLAPLレジスタで指定されるアドレスから、FLSEDH, FLSEDLレジスタで指定されるアドレスまでのコード・フラッシュ領域が0であるかチェックを行います。
0	1	0	0	・ブロック消去 FLAPH, FLAPL レジスタで指定されるアドレスから FLSEDH, FLSEDL レジスタで指定されるアドレスまでのブロックを消去します。 ^{注4}
上記以外				設定禁止

- 注 1. FSASTH レジスタの SQEND=1 (シーケンサの動作終了)を確認した後に、SQST ビットを 0 に設定してコード/データ・フラッシュ領域シーケンサの動作を停止してください。
- 注 2. コード・フラッシュ領域へ書き込み単位は 4 バイトです。FLSEDL レジスタは 4 の倍数になる様に下位 2 ビットは 00B に設定してください。詳細は「33.6.6.4 コード・フラッシュ領域書き換えの操作」を参照してください。
- 注 3. コード・フラッシュ領域のブランクチェックは 4 バイト毎の先頭アドレスを指定します。FLSEDL レジスタは 4 の倍数になる様に下位 2 ビットは 00B に設定してください。詳細は「33.6.6.4 コード・フラッシュ領域書き換えの操作」を参照してください。
- 注 4. コード・フラッシュ領域の消去ブロック単位は 2K バイトです。また、データ・フラッシュの消去ブロック単位は 256 バイトです。消去アドレスの指定は、消去するブロックが全て含まれるように先頭アドレスから終了アドレスを指定してください。詳細は「33.6.6.4 コード・フラッシュ領域書き換えの操作」、「33.6.6.5 データ・フラッシュ領域書き換えの操作」を参照してください。また、アドレスとブロック番号の関係については、表 3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。
- 注意 FSSQ レジスタは以下のいずれかの条件の時に書き換え可能です。
- ・FLPMC レジスタの FLSPM ビットが 1 (コード・フラッシュ領域はプログラミング・モード)かつ FWEDIS ビットが 0 (コード・フラッシュ・メモリの消去/書き込み許可)
 - ・FLPMC レジスタの EEMD ビットが 1 (データ・フラッシュ領域はプログラミング・モード)

67. 33.6.2.10 フラッシュ・エクストラ用シーケンサ制御レジスタ (FSSE)

(p.1339)

誤)

図 33 - 18 フラッシュ・エクストラ用シーケンサ制御レジスタ (FSSE) のフォーマット

ESQMD [3:0]	エクストラ領域シーケンサ制御
01H	<p>エクストラ領域書き込み(FSW関連データのプログラミング)</p> <p>FLWH, FLWLレジスタで指定したデータを書き込みます。FSW、FSWコントロール、FSWプロテクション・フラグの設定を行います。FSWプロテクション・フラグが設定されている場合(FSPR=0)、本アクションは実行できません。実行した場合シーケンサエラー(FSASTLレジスタ・ESEQER=1)になります。</p>
06H	<p>エクストラ領域書き込み(サード・パーティ製ソフトウェア・リード禁止領域、プロテクション・フラグのプログラミング)</p> <p>FLWH, FLWLレジスタで指定したデータを書き込みます。サード・パーティ製ソフトウェア・リード禁止領域、プロテクション・フラグの設定を行います。プロテクション・フラグが設定されている場合(SWPR=0)、本アクションは実行できません。実行した場合シーケンサ・エラー(FSASTLレジスタ・ESEQER=1)になります。</p>
07H	<p>エクストラ領域書き込み(セキュリティ・フラグとブート領域切替フラグのプログラミング)</p> <p>FLWH, FLWLレジスタで指定したデータを書き込みます。セキュリティ・フラグとブート領域切替フラグの設定を行います。セキュリティ・フラグは、現フラグに対して禁止の設定のみ可能です。ブート・プロテクトが設定されている場合(BTPR=0)、ブート領域切替フラグは設定できません。</p>
上記以外	設定禁止

正)

図 33 - 18 フラッシュ・エクストラ用シーケンサ制御レジスタ (FSSE) のフォーマット

ESQMD3	ESQMD2	ESQMD1	ESQMD0	エクストラ領域シーケンサのコマンド
0	0	0	1	<p>・フラッシュ・シールド・ウインドウの設定領域への書き込み</p> <p>FLWH,FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・シールド・ウインドウの設定領域に書き込みます。フラッシュ・シールド・ウインドウ・モード制御、スタート・ブロック、エンド・ブロックを設定します。フラッシュ・シールド・ウインドウの設定領域のEX bit 15 (FSPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。</p>
0	1	1	0	<p>・フラッシュ・リード・プロテクションの設定領域への書き込み</p> <p>FLWH,FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・リード・プロテクションの設定領域に書き込みます。フラッシュ・リード・プロテクション設定の変更禁止、スタート・ブロック、エンド・ブロックを設定します。フラッシュ・リード・プロテクションの設定領域のEX bit 31 (SWPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。</p>
0	1	1	1	<p>・セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み</p> <p>FLWH,FLWLレジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・メモリのセキュリティ・フラグとブート・スワップ機能の設定領域に書き込みます。ブロック消去禁止、書き込み禁止、ブート・クラスタ0の書き換え禁止、ブート領域の選択を設定します。セキュリティ・フラグとブート・スワップ機能の設定領域のEX bit 9 (BTPR) に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ (ESEQER) が1になります。</p>
上記以外				設定禁止

注意 1. FLRST = 1 による初期化はシーケンサ停止状態(FSASTH レジスタの SQEND = 0、ESQEND = 0 時)でのみ可能です。

注意 2. エクストラ領域に書き込みをする場合は、エクストラ領域シーケンサを起動する前に FLARS レジスタの EXA ビットに“1”を設定し、FLWH, FLWL レジスタに書き込みデータを設定してください。

注意 3. エクストラ領域シーケンサを起動した後は、FLAPL, FLWH, FLWL, FSSQ レジスタのリード値は不定です。

注 FSASTH レジスタの ESQEND=1（シーケンサの動作終了）を確認した後に、ESQST ビットを 0 に設定してエクストラ領域シーケンサの動作を停止してください。

注意 1. FSSE レジスタは以下の条件の時に書き換え可能です。

・FLPMC レジスタの FLSPM ビットが 1（コード・フラッシュ領域はプログラミング・モード）かつ FWEDIS ビットが 0（コード・フラッシュ・メモリの消去／書き込み許可）

注意 2. エクストラ領域に書き込みをする場合は、エクストラ領域シーケンサを起動する前に FLARS レジスタの EXA ビットに 1 を設定し、FLWH, FLWL レジスタに書き込みデータを設定してください。

注意 3. ESQMD3-ESQMD0 ビットは、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタの SQEND = 0、ESQEND = 0）の時に書き換えてください。

68. 33.6.2.11 フラッシュ・レジスタ初期化レジスタ (FLRST) (p.1341)

誤)

図 33 - 19 フラッシュ・レジスタ初期化レジスタ (FLRST) のフォーマット

アドレス : F02C9H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST
FLRST	レジスタの初期化制御							
0	初期化しない							
1	初期化する							

注 FLRST レジスタの操作方法の詳細は、33.6.4 フラッシュ・メモリ・シーケンサ用レジスタのクリアを参照してください。

注意 以下に初期化するレジスタを示します。

FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE

正)

図 33 - 19 フラッシュ・レジスタ初期化レジスタ (FLRST) のフォーマット

アドレス : F02C9H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST
FLRST	レジスタの初期化制御							
0	リセット動作しない							
1	FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSEレジスタをリセットする							

注意 1. FLRST = 1 にしてレジスタを初期化は、エクストラ領域シーケンサおよびコード/データ・フラッシュ領域シーケンサが停止状態 (FSASTH レジスタの SQEND = 0、ESQEND = 0 の時) でのみ可能です。

注意 2. シーケンサを使用するときは FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE を設定する前に必ず FLRS ビットを 0 にしてください。また、シーケンサ動作中は FLRST を 1 に設定しないでください。

69. 33.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH,FSASTL) (p.1342)

誤)

図 33 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット

アドレス : F02CBH
リセット時: 00H
R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	0	0	0

アドレス : F02CAH
リセット時: 00H^注
R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

注 MBTSELの初期値は、エクストラ領域に格納しているBTFLG(ブート領域切替フラグ)の値に依存するため、不定です。

正)

図 33 - 20 フラッシュ・メモリ・シーケンサ・ステータス・レジスタ H, L (FSASTH, FSASTL) のフォーマット

アドレス : F02CBH
リセット時: 00H
R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	0	0	0

アドレス : F02CAH
リセット時: 不定^注
R/W属性 : R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

注 MBTSELの初期値は、エクストラ領域に格納しているBTFLG(ブート領域切替フラグ)の値に依存するため、不定です。

70. 33.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ

(FLSEC) (p.1344)

誤)

図 33 - 21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) のフォーマット

略号	15	14	13	12	11	10	9	8
FLSEC	0	0	0	WRPR	0	SEPR	BTPR	BTFLG
	7	6	5	4	3	2	1	0
	0	0	0	0	SWPR	0	1	0
WRPR	書き込み禁止フラグ							
0	書き込み禁止							
1	書き込み許可							
SEPR	ブロック消去禁止フラグ							
0	ブロック消去禁止							
1	ブロック消去許可							
BTPR	ブート領域書き換え禁止フラグ							
0	ブート領域の書き換えを禁止							
1	ブート領域の書き換えを許可							
BTFLG	ブート領域切替フラグ							
0	ブート領域は、ブート・クラスタ0							
1	ブート領域は、ブート・クラスタ1							
SWPR	サード・パーティ製ソフトウェア・リード禁止フラグ							
0	禁止状態							
1	許可状態							

正)

図 33 - 21 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ (FLSEC) のフォーマット

略号	15	14	13	12	11	10	9	8
FLSEC	0	0	0	WRPR	0	SEPR	BTPR	BTFLG
	7	6	5	4	3	2	1	0
	0	0	0	0	SWPR	0	IFPR	IDEN
WRPR	書き込み禁止フラグ							
0	書き込み禁止							
1	書き込み許可							
SEPR	ブロック消去禁止フラグ							
0	ブロック消去禁止							
1	ブロック消去許可							
BTPR	ブート領域書き換え禁止フラグ							
0	ブート領域の書き換えを禁止							
1	ブート領域の書き換えを許可							
BTFLG	ブート領域切替フラグ							
0	ブート領域は、ブート・クラスタ1							
1	ブート領域は、ブート・クラスタ0							
SWPR	フラッシュ・リード・プロテクション設定の変更禁止フラグ							
0	禁止状態							
1	許可状態							
IFPR	プログラマ・オンチップ・デバッグ接続禁止フラグ							
0	接続禁止							
1	接続許可							
IDEN	プログラマ接続ID認証の有効フラグ							
0	ID認証有効							
1	ID認証無効							

71. 33.6.2.14 フラッシュ FSW モニタ・レジスタ E (FLFSWE) (p.1345)

誤)

図 33 - 22 フラッシュ FSW モニタ・レジスタ E (FLFSWE) のフォーマット

略号	15	14	13	12	11	10	9	8
FLFSWE	FSWC	0	0	0	0	0	0	FSWE8
	7	6	5	4	3	2	1	0
	FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0
FSWE[8:0]	フラッシュ・シールド領域のエンド・ブロック番号							
—	エンド・ブロック[ウインドウ範囲の終了ブロック番号+1]準							
FSWC	シールド領域設定							
0	ウインドウ範囲の内側							
1	ウインドウ範囲の外側							

注 シリアル・プログラミング時は異なります。詳細は、表 33 - 13 を参照してください。

正)

図 33 - 22 フラッシュ FSW モニタ・レジスタ E (FLFSWE) のフォーマット

略号	15	14	13	12	11	10	9	8
FLFSWE	FSWC	0	0	0	0	0	0	FSWE8
	7	6	5	4	3	2	1	0
	FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0
FSWC	シールド領域設定							
0	インサイド・シールド・モード フラッシュ・シールド領域がウインドウ範囲の内側							
1	アウト・サイド・シールド・モード フラッシュ・シールド領域がウインドウ範囲の外側							
FSWE8- FSWE0	フラッシュ・シールド領域のエンド・ブロック番号							
—	エンド・ブロック+1準							

注 エクストラ領域に設定された値が示されます。実際のエンド・ブロックのブロック番号は FSWE8-FSWE0 ビットの値から 1 を引いたブロック番号になります。また、シリアル・プログラミング時ではエンド・ブロックのブロック番号を指定しますが、エクストラ領域にはエンド・ブロック+1 で設定されます。詳細は、表 33 - 12 を参照してください。

72. 33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)
(p.1347)

誤)

33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 33 - 24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュのアクセス制御							
0	データ・フラッシュのアクセス禁止							
1	データ・フラッシュのアクセス許可							

正)

33.6.2.16 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュ領域およびエクストラ領域へのアクセス許可／禁止を設定するレジスタです。

DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 33 - 24 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H

リセット時: 00H

R/W属性 : R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN
DFLEN	データ・フラッシュ領域およびエクストラ領域のアクセス制御							
0	データ・フラッシュ領域およびエクストラ領域のアクセス禁止							
1	データ・フラッシュ領域およびエクストラ領域のアクセス許可							

73. 33.6.3 フラッシュ・メモリ制御モードの設定 (p.1350)

誤)

33.6.3 フラッシュ・メモリ制御モードの設定

フラッシュ・メモリ・シーケンサの特定シーケンスを実行することで、フラッシュ・メモリ制御モードをコード・フラッシュおよびデータ・フラッシュを書き換え可能な状態へ設定します。

- コード・フラッシュ(および、エクストラ領域) 書き換え可能状態：コード・フラッシュ・プログラミング・モード
- データ・フラッシュ 書き換え可能状態：データ・フラッシュ・プログラミング・モード
- フラッシュ・メモリ(およびエクストラ領域) 書き換え不可状態：非書き換えモード

注意 エクストラ領域、またはデータ・フラッシュ領域を操作する場合は、データ・フラッシュのアクセス許可(DFLCTLレジスタのDFLEN = 1)の状態で行ってください。

正)

33.6.3 フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード
コード・フラッシュ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード
データ・フラッシュ領域およびエクストラ領域が書き換え可能なモードです。
- 非書き換えモード
フラッシュ・メモリ(コード・フラッシュ領域、データ・フラッシュ領域、エクストラ領域)が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミング・モードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ (PFCMD) とフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) に特定シーケンスを実行します。

注意 エクストラ領域、またはデータ・フラッシュ領域を操作する場合は、データ・フラッシュのアクセス許可(DFLCTLレジスタのDFLEN = 1)の状態で行ってください。

74. 33.6.3.1 特定シーケンス実行手順 (p.1350)

誤)

33.6.3.1 特定シーケンス実行手順

以下の①～④の手順でフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC レジスタ) に書き込むことで、各モードへ移行します。

- ① PFCMD レジスタに“A5H”を書き込む
 - ② FLPMC レジスタに設定したい値を書き込む
 - ③ FLPMC レジスタに設定したい値の反転値を書き込む
 - ④ FLPMC レジスタに設定したい値を書き込む
- ・ 特定シーケンスは FLRST レジスタの FLRST = 0、かつフラッシュ・メモリ・シーケンサが停止中の場合に実行可能です。
 - ・ 特定シーケンスでは、手順①、②、③、④の間で他のメモリやレジスタへの書き込み動作を行った場合、特定レジスタへの書き込みは行われず、プロテクション・エラーが発生し、フラッシュ・ステータス・レジスタ (PFS) の FPRERR フラグが“1”にセットされます。FPRERR フラグは、リセット、または次の特定シーケンス開始時にクリアされます。

正)

33.6.3.1 特定シーケンス実行手順

以下の①～④の手順でフラッシュ・プロテクト・コマンド・レジスタ (PFCMD) とフラッシュ・プログラミング・モード・コントロール・レジスタ (FLPMC) に書き込むことで、各モードへ移行します。

- ① PFCMD レジスタに“A5H”を書き込む
 - ② FLPMC レジスタに設定したい値を書き込む
 - ③ FLPMC レジスタに設定したい値の反転値を書き込む
 - ④ FLPMC レジスタに設定したい値を書き込む
- ・ 特定シーケンスは FLRST レジスタの FLRST = 0、かつフラッシュ・メモリ・シーケンサが停止中の場合に実行可能です。
 - ・ 特定シーケンスでは、手順①、②、③、④の間で他のメモリやレジスタへの書き込み動作を行った場合、特定レジスタへの書き込みは行われず、プロテクション・エラーが発生し、フラッシュ・ステータス・レジスタ (PFS) の FPRERR フラグが 1 にセットされます。FPRERR フラグは、リセット、または次の特定シーケンス開始時にクリアされます。

75. 33.6.6.4 コード・フラッシュ領域書き換えの操作 (p.1354)

誤)

33.6.6.4 コード・フラッシュ領域書き換えの操作

コード・フラッシュ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、コード/データ・フラッシュ領域シーケンサ・コマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

コード・フラッシュ領域書き換え時の消去ブロック単位/書き込み単位

- 消去ブロック単位：2 KB
- 書き込み単位：1 ワード(4 byte)

<操作方法>

対象コマンドは、コード・フラッシュのブロック消去、書き込み、ブランク・チェックです。

- ・コード・フラッシュ・プログラミング・モードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順」を参照してください。
- ・ FLARS レジスタ = 00H (EXA = 0) : 「ユーザ領域選択」を設定します。
- ・各コマンド実行前に、対象レジスタへ指定データを設定します。

(1) ブロック消去

FLAPH/FLAPL レジスタ：コード・フラッシュ・メモリのブロック先頭アドレス (例：0x002000)

FLSEDH/FLSEDL レジスタ：コード・フラッシュ・メモリのブロック終了アドレス (例：0x0027FF)

(2) 書き込み:1 ワード(4 byte)単位の為、アドレスの[bit1-0]には4の倍数(00B)を設定する必要があります。

FLAPH/FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス (例：0x002000)

FLSEDH/FLSEDL レジスタ：ALL"0"、または未設定 (例：0x000000)

FLWH/FLWL レジスタ：書き込むデータ(1 ワード(4 byte))

(3) ブランク・チェック:1 ワード(4 byte)単位の為、アドレスの[bit1-0]には4の倍数(00B)を

正)

33.6.6.4 コード・フラッシュ領域書き換えの操作

コード・フラッシュ領域の書き換えは、コード/データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。なお、コード・フラッシュ領域の書き換え処理ソフトウェアはRAMに配置し、RAM上で実行してください。

コード・フラッシュ領域書き換え時の消去ブロック単位/書き込み単位

- 消去ブロック単位：2 K バイト
- 書き込み単位：4 バイト

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順」を参照してください。
- ② FLARS レジスタの EXA ビットに 0 (コード/データ・フラッシュ領域) を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。

・ ブロック消去

FLAPH, FLAPL レジスタに消去するコード・フラッシュ・メモリのブロック先頭アドレス注 1 (例：0x002000) を設定します。

FLSEDH, FLSEDL レジスタに消去するコード・フラッシュ・メモリのブロック終了アドレス注 1 (例：0x0027FF) を設定します。

・ 書き込み

FLAPH, FLAPL レジスタに書き込むフラッシュ・メモリの先頭アドレス注 2 (例：0x002000) を設定します。

FLWH, FLWL レジスタに書き込むデータ (4 バイト) を設定します。

・ ブランク・チェック

FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス注 2 (例：0x002000) を設定します。

FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了ア

設定する必要があります。

FLAPH/FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス (例：0x002000)

FLSEDH/FLSEDL レジスタ：対象のフラッシュ・メモリの終了アドレス (例：0x0027FF)

※1 ワード(4 byte)のみブランク・チェックする場合は、FLAPH/FLAPL = FLSEDH/FLSEDL を設定します。

・ コード/データ・フラッシュ領域シーケンサ・コマンドの完了を待ちます。コマンドの完了待ち手順は、「33.6.6.9 フラッシュ・メモリ・シーケンサ・コマンドの終了判定手順」のコード/データ・フラッシュ領域シーケンサ・コマンドの終了判定手順を参照してください。

・ コマンド実行後の処理

コマンド処理を継続する場合：

コード・フラッシュ・プログラミング・モードに移行したまま、対象レジスタのデータを更新して同一コマンド実行や、他のコード・フラッシュ領域書き換えコマンドを実行することも可能です。

コマンド処理を完了する場合：

非書き換えモードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.4 非書き換えモード移行手順」を参照してください。

ドレス (例：0x0027FF) を設定します。

なお、4バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。

④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード/データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。

・ ブロック消去：84H

・ 書き込み：81H

・ コード・フラッシュ領域のブランク・チェック：83H

⑤ コード/データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、「33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順」のコード/データ・フラッシュ領域シーケンサ・コマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

<コマンド処理を継続する場合>

コード・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたは他のコマンドを実行することが可能です。

<コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.4 非書き換えモード移行手順」を参照してください。

注1. コード・フラッシュ領域の消去ブロック単位は2Kバイトです。消去アドレスの指定は、消去するブロックが全て含まれるように先頭アドレスと終了アドレスを指定してください。詳細はアドレスとブロック番号の関係については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/3) を参照してください。

注2. コード・フラッシュ領域の書き込み、ブランク・チェックは4バイト単位です。したがってアドレスを示すFLAPLレジスタの下位2ビットは4の倍数である00Bに設定してください。

76. 33.6.6.5 データ・フラッシュ領域書き換えの操作 (p.1355)

誤)

33.6.6.5 データ・フラッシュ領域書き換えの操作

データ・フラッシュ領域の書き換えは、データ・フラッシュ・プログラミング・モードに移行後、コード/データ・フラッシュ領域シーケンサ・コマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

データ・フラッシュ領域書き換え時の消去ブロック単位/書き込み単位

- 消去ブロック単位：256 byte
- 書き込み単位：1 byte

<操作方法>

対象コマンドは、データ・フラッシュのブロック消去、書き込み、ブランク・チェックです。

- ・ データ・フラッシュ・プログラミング・モードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.3 データ・フラッシュ・プログラミング・モード移行手順」を参照してください。
- ・ FLARS レジスタ=00H (EXA ビット =0)：「ユーザ領域選択」を設定します。
- ・ 各コマンド実行前に、対象レジスタへ指定データを設定します。

(1) ブロック消去

FLAPH/FLAPL レジスタ：データ・フラッシュ・メモリのブロック先頭アドレス (例：0x0F1100)

FLSEDH/FLSEDL レジスタ：データ・フラッシュ・メモリのブロック終了アドレス (例：0x0F11FF)

(2) 書き込み：1 byte

FLAPH/FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス (例：0x0F1101)

FLSEDH/FLSEDL レジスタ：ALL“0”、または未設定 (例：0x000000)

FLWH/FLWL レジスタ：書き込むデータを設定(0x00000000-0x000000FF) FLW7-0 ビットのみ有効です。

(3) ブランク・チェック

正)

33.6.6.5 データ・フラッシュ領域書き換えの操作

データ・フラッシュ領域の書き換えは、コード/データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

データ・フラッシュ領域書き換え時の消去ブロック単位/書き込み単位

- 消去ブロック単位：256 バイト
- 書き込み単位：1 バイト

<操作方法>

- ① データ・フラッシュ・プログラミング・モードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.3 データ・フラッシュ・プログラミング・モード移行手順」を参照してください。
- ② FLARS レジスタの EXA ビットに 0 (コード/データ・フラッシュ領域) を設定します。
- ③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。
 - ・ ブロック消去

FLAPH, FLAPL レジスタに消去するデータ・フラッシュ・メモリのブロック先頭アドレス注 (例：0x0F1100) を設定します。

FLSEDH, FLSEDL レジスタに消去するデータ・フラッシュ・メモリのブロック終了アドレス注 (例：0x0F11FF) を設定します。
 - ・ 書き込み

FLAPH, FLAPL レジスタに書き込む対象のフラッシュ・メモリの先頭アドレス (例：0x0F1101) を設定します。

FLWL レジスタの下位 8 ビットに書き込むデータを設定してください。
 - ・ ブランク・チェック

FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス (例：0x0F1100) を設定します。

FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス (例：0x0F11FF) を設定します。

FLAPH/FLAPL レジスタ：対象のフラッシュ・メモリの先頭アドレス (例：0x0F1100)
 FLSEDH/FLSEDL レジスタ：対象のフラッシュ・メモリの終了アドレス (例：0x0F11FF)
 なお、1 バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。

※1 byte のみブランク・チェックする場合は、FLAPH/FLAPL = FLSEDH/FLSEDL を設定します。

・ コード/データ・フラッシュ領域シーケンサ・コマンドの完了を待ちます。コマンドの完了待ち手順は、「33.6.6.9 フラッシュ・メモリ・シーケンサ・コマンドの終了判定手順」のコード/データ・フラッシュ領域シーケンサ・コマンドの終了判定手順を参照してください。

・ コマンド実行後の処理

コマンド処理を継続する場合：

データ・フラッシュ・プログラミング・モードに移行したまま、対象レジスタのデータを更新して同一コマンド実行や、他のデータ・フラッシュ領域書き換えコマンドを実行することも可能です。

コマンド処理を完了する場合：

非書き換えモードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.4 非書き換えモード移行手順」を参照してください。

④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード/データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。

- ・ ブロック消去：84H
- ・ 書き込み：81H
- ・ データ・フラッシュ領域のブランクチェック：8BH

⑤ コード/データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、「33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順」のコード/データ・フラッシュ領域シーケンサ・コマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

<コマンド処理を継続する場合>

データ・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたは他のコマンドを実行することが可能です。

<コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.4 非書き換えモード移行手順」を参照してください。

注 データ・フラッシュ領域のブロック消去は 256 バイト単位です。したがって先頭アドレスを示す FLAPL レジスタの下位 8 ビットは 256 の倍数である 0000 0000B に設定してください。また、終了アドレスを示す FLSEDL レジスタの下位 8 ビットは 1111 1111B を設定してください。

77. 33.6.6.7 エクストラ領域の書き換えの操作 (p.1356)

誤)

33.6.6.7 エクストラ領域の書き換えの操作

エクストラ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、エクストラ領域シーケンサ・コマンドを実行します。各コマンド実行に必要なデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

エクストラ領域書き換え時の書き込み単位

- 書き込み単位：1 ワード(4 byte)
- ※消去コマンド、消去単位はありません。

<操作方法>

対象コマンドは、エクストラ領域データの書き込みです。

- ・ コード・フラッシュ・プログラミング・モードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順」を参照してください。
- ・ FLARS レジスタ=01H (EXA ビット = 1) : 「エクストラ領域選択」を設定します。
- ・ コマンド実行前に FLWH/FLWL レジスタへ 1 ワード(4 byte)のデータを指定します。FLWH/FLWL レジスタの各ビット(FLW31-FLW0)は、対象のエクストラ領域データの [EX bit31-0]に対応します。
- ・ 書き込む領域はコマンドで指定し、FSSE レジスタの ESQMD[3:0]ビットへ対象コマンド番号を入力するとともに、ESQST ビットを“1”に設定します。

(1) FSW 関連データのプログラミング : 81H

(2) サード・パーティ製ソフトウェア・リード禁止領域、プロテクション・フラグのプログラミング : 86H

(3) セキュリティ・フラグとブート領域切替フラグのプログラミング : 87H

- ・ エクストラ領域シーケンサ・コマンドの完了を待ちます。コマンドの完了待ち手順は、「33.6.6.9 フラッシュ・メモリ・シーケンサ・コマンドの終了判定手順」のエクストラ領域シーケンサ・コマンドの終了判定手順を参照してください。

・ コマンド実行後の処理

コマンド処理を継続する場合：

コード・フラッシュ・プログラミング・モードに移行したまま、対象レジスタのデータを

正)

33.6.6.7 エクストラ領域の書き換えの操作

エクストラ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、エクストラ領域シーケンサのコマンドを実行します。各コマンドの実行に必要なデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

<操作方法>

- ① コード・フラッシュ・プログラミング・モードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」および「33.6.3.2 コード・フラッシュ・プログラミング・モード移行手順」を参照してください。
- ② FLARS レジスタの EXA ビットに 1 (エクストラ領域) を設定します。
- ③ コマンド実行前に FLWH, FLWL レジスタへ 4 バイトのデータを設定します。FLWH, FLWL レジスタの各ビット (FLW31-FLW0) は、対象のエクストラ領域データの EX bit31 - EX bit0 に対応します。各コマンドの設定データの詳細は「33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ」を参照してください。
- ④ FSSE レジスタの ESQMD3-ESQMD0 ビットに実行するコマンドの値、ESQST ビットに 1 を設定するとエクストラ領域シーケンサは指定されたコマンドを実行します。ESQMD3-ESQMD0,ESQST ビットは同時に設定可能です。同時に設定する場合の FSSE レジスタに書き込む値は以下になります。
 - ・ フラッシュ・シールド・ウインドウの設定領域への書き込み：81H
 - ・ フラッシュ・リード・プロテクションの設定領域への書き込み：86H
 - ・ セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み：87H
- ⑤ エクストラ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、「33.6.6.9 フラッシュ・メモリ・シーケンサのコマンドの終了判定手順」のエクストラ領域シーケンサ・コマンドの終了判定手順を参照してください。
- ⑥ コマンド実行後の処理

<コマンド処理を継続する場合>

コード・フラッシュ・プログラミング・モードに移行したまま、③のエクストラ領域に設定する FLWH, FLWL レジスタのデータを更新して続けて同じコマンドまたは他のコマンドを実行することが可能です。

<コマンド処理を完了する場合>

非書き換えモードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.4 非書き換えモード移行手順」を参照してください。

更新して同一コマンド実行や、他のエクストラ領域書き換えコマンドを実行することも可能です。

コマンド処理を完了する場合：

非書き換えモードに移行します。移行手順は「33.6.3.1 特定シーケンス実行手順」、および「33.6.3.4 非書き換えモード移行手順」を参照してください。

78. 33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ (p.1357, p.1358)

誤)

33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ

エクストラ領域の書き込みは、変更しないデータも含めて1ワード(4 byte)単位で行います。

対象コマンド毎に示すエクストラ領域データの[EX bit31-0]をFLWH/FLWLレジスタのFLW[31:0]ビットへ設定してからコマンドを実行します。

(1) FSW 関連データのプログラミング

エクストラ領域データの[EX bit31-0]をFLWH/FLWLレジスタのFLW[31:0]へ設定します。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
FSWC	0	0	0	0	0	0	FSWE8

EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
FSPR	0	0	0	0	0	0	FSWS8

EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

- FSWE8-0[bit24-16]は、エンド・ブロック[ウインドウ範囲の終了ブロック番号 + 1]です。

- FSWC[bit31]は、FSW モード制御を設定します。

FSWC = 0 / 1(出荷時) : シールド領域はウインドウ範囲の内側 / シールド領域はウインドウ範囲の外側

- FSWS8-0[bit8-0]は、スタート・ブロック[ウインドウ範囲の先頭ブロック番号]です。

- FSPR[bit15]は、FSW 書き換え禁止を設定します。

FSPR = 0 / 1(出荷時) : FSW 設定の書き換え禁止 / FSW 設定の書き換えを許可

正)

33.6.6.8 エクストラ領域シーケンサのコマンドの設定データ

エクストラ領域の書き込みは、4 バイト単位で行います。

エクストラ領域シーケンサの各コマンドは、FLWH、FLWL レジスタのFLW31-FLW0 ビットに設定したデータを各コマンドに対応したエクストラ領域の Ex Bit31-EX Bit0 に書き込みます。

(1) フラッシュ・シールド・ウインドウの設定領域への書き込み

フラッシュ・シールド・ウインドウの設定領域にFLWH、FLWL レジスタに設定したデータを書き込みます。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
FSWC	1	1	1	1	1	1	FSWE8

EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
FSPR	1	1	1	1	1	1	FSWS8

EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

ビット名称	設定内容
FSWC	フラッシュ・シールド領域の範囲を指定するビットです。 0: フラッシュ・シールド領域はウインドウ範囲の内側 1: フラッシュ・シールド領域はウインドウ範囲の外側 (デフォルト)
FSPR	フラッシュ・シールド・ウインドウ設定の変更禁止を指定するビットです。 0: フラッシュ・シールド・ウインドウ設定領域の変更禁止 1: フラッシュ・シールド・ウインドウ設定領域の変更許可 (デフォルト)
FSWE8 - FSWE0	フラッシュ・シールド・ウインドウのエンド・ブロックの設定領域です。 エンド・ブロック + 1のブロック番号を指定してください。注
FSWS8 - FSWS0	フラッシュ・シールド・ウインドウのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

注 アドレスとブロック番号の関係については、表 3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/3) を参照してください。

注意 専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードの Security Release コマンドを実行することで FSPR = 0 (禁止) から FSPR = 1 (許可) になります。

ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンド、およびシリアル・プログラミング・モードの Security Release コマンドを実行できません。

・ SEPR = 0 (ブロック消去禁止)

・ BTPR = 0 (ブート領域書き換え禁止)

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続 ID 認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため FSPR = 1 (許可) に設定できません。

(2) サード・パーティ製ソフトウェア・リード禁止領域、プロテクション・フラグのプログラミング

以下のエクストラ領域データの[EX bit31-0]を FLWH/FLWL レジスタの[FLW31-FLW0]ビットへ設定します。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
SWPR	—	—	—	—	—	—	UPAddr8

EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
UPAddr7	UPAddr6	UPAddr5	UPAddr4	UPAddr3	UPAddr2	UPAddr1	UPAddr0

EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
—	—	—	—	—	—	—	LOWAddr8

EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
LOWAddr7	LOWAddr6	LOWAddr5	LOWAddr4	LOWAddr3	LOWAddr2	LOWAddr1	LOWAddr0

– UPAddr8-0[bit24-16]は、サード・パーティ製ソフトウェア・リード禁止領域の[エンド・ブロック]です。

– LOWAddr8-0[bit8-0]は、サード・パーティ製ソフトウェア・リード禁止領域の[スタート・ブロック]です。

– SWPR[bit31]は、サード・パーティ製ソフトウェア・リード禁止領域の書き換えを禁止します。

SWPR = 0 / 1(出荷時) : リード禁止領域設定の書き換えを禁止 / リード禁止領域設定の書き換えを許可

(2) フラッシュ・リード・プロテクションの設定領域への書き込み

フラッシュ・リード・プロテクションの設定領域に FLWH, FLWL レジスタに設定したデータを書き込みます。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
SWPR	1	1	1	1	1	1	UPAddr8

EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
UPAddr7	UPAddr6	UPAddr5	UPAddr4	UPAddr3	UPAddr2	UPAddr1	UPAddr0

EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
1	1	1	1	1	1	1	LOWAddr8

EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
LOWAddr7	LOWAddr6	LOWAddr5	LOWAddr4	LOWAddr3	LOWAddr2	LOWAddr1	LOWAddr0

ビット名称	設定内容
SWPR	フラッシュ・リード・プロテクション設定領域の変更禁止を指定するビットです。 0:フラッシュ・リード・プロテクション設定領域の変更禁止 1:フラッシュ・リード・プロテクションの設定領域の変更許可(デフォルト)
UPAddr8 - UPAddr0	フラッシュ・リード・プロテクションのエンド・ブロックの設定領域です。 エンドブロックのブロック番号を指定してください。注
LOWAddr8 - LOWAddr0	フラッシュ・リード・プロテクションのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

注 アドレスとブロック番号の関係については、表 3-1 フラッシュ・メモリのアドレス値とブロック番号の対応(1/3)を参照してください。また、フラッシュ・リード・プロテクションの設定領域はリセット解除後に設定領域の読み出しが不可となります。

注意 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードの Security Release コマンドを実行することで SWPR = 0 (禁止) から SWPR = 1 (許可) になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンド、およびシリアル・プログラミング・モードの Security Release コマンドを実行できません。

- SEPR = 0 (ブロック消去禁止)
- BTPR = 0 (ブート領域書き換え禁止)

また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続 ID 認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため SWPR = 1 (許可) に設定できません。

(3) セキュリティ・フラグとブート領域切替フラグのプログラミング

以下のエクストラ領域データの[EX bit31-0]を FLWH/FLWL レジスタの FLW[31:0]へ設定します。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
1	1	1	1	1	1	1	1
EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
1	1	1	1	1	1	1	1
EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
1	1	1	WRPR	1	SEPR	BTPR	BTFLG
EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
1	1	1	1	1	1	1	1

- WRPR[bit12]は、シリアル・プログラミング・モードでの書き込み禁止を設定します。
WRPR = 0 / 1(出荷時) : シリアル・プログラミング・モードでの書き込みを禁止 / 書き込みを許可
- SEPR[bit10]は、シリアル・プログラミング・モードでのブロック消去禁止を設定します。
SEPR = 0 / 1(出荷時) : シリアル・プログラミング・モードでのブロック消去を禁止 / ブロック消去を許可
- BTPR[bit9]は、シリアル/セルフ・プログラミング両方でのブート領域の書き換え禁止を設定します。
BTPR = 0 / 1(出荷時) : ブート領域の書き換え禁止 / ブート領域の書き換えを許可
- BTFLG[bit8]は、TMSPPMD = 0[ブート・スワップはエクストラ領域の情報(BTFLG)に従う]の場合のブート領域に設定するブート・クラスタを制御します。
BTFLG = 0 / 1(出荷時) : ブート領域はブート・クラスタ 1 / ブート領域はブート・クラスタ 0

- 注意 1. BTFLG を書き換える場合、その他の全てのビットは“1”を設定してください。
- 注意 2. BTFLG 以外のセキュリティ・フラグを“0”(禁止)に書き換える場合、BTFLG(読み込んだ値と同じ値を設定)を除き、その他の全てのビットは“1”を設定してください。
- 注意 3. WRPR = 0(禁止)に設定した場合、シリアル・プログラミング・モードのチップ消去コマンドを実行した場合のみ、WRPR = 1(許可)にすることができます。
ただし、以下のいずれかの禁止が設定されている場合は、シリアル・プログラミング・モードのチップ消去コマンドを実行できません。
- ・ SEPR = 0 (ブロック消去禁止)
 - ・ BTPR = 0 (ブート領域書き換え禁止)

(3) セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み

セキュリティ・フラグとブート・スワップ機能の設定領域に FLWH, FLWL レジスタに設定したデータを書き込みます。セキュリティ設定の詳細は 33.9 セキュリティ設定を参照してください。

EX bit 31	EX bit 30	EX bit 29	EX bit 28	EX bit 27	EX bit 26	EX bit 25	EX bit 24
1	1	1	1	1	1	1	1
EX bit 23	EX bit 22	EX bit 21	EX bit 20	EX bit 19	EX bit 18	EX bit 17	EX bit 16
1	1	1	1	1	1	1	1
EX bit 15	EX bit 14	EX bit 13	EX bit 12	EX bit 11	EX bit 10	EX bit 9	EX bit 8
1	1	1	WRPR	1	SEPR	BTPR	BTFLG
EX bit 7	EX bit 6	EX bit 5	EX bit 4	EX bit 3	EX bit 2	EX bit 1	EX bit 0
1	1	1	1	1	IFPR	1	IDEN

ビット名称	設定内容
WRPR	シリアル・プログラミング・モードでの書き込み禁止を指定するビットです。シリアル・プログラミング・モードでの書き込みを禁止します。 0: シリアル・プログラミング・モードでの書き込み禁止 1: シリアル・プログラミング・モードでの書き込み許可 (デフォルト)
SEPR	ブロック消去禁止を指定するビットです。シリアル・プログラミング・モードでのブロック消去を禁止します。 0: シリアル・プログラミング・モードでのブロック消去禁止 1: シリアル・プログラミング・モードでのブロック消去許可 (デフォルト)
BTPR	ブート領域の書き換え禁止を指定するビットです。ブート・スワップ動作およびブート領域の書き換えを禁止します。 0: ブート領域の書き換え禁止、ブート・スワップ禁止 1: ブート領域の書き換え許可、ブート・スワップ許可 (デフォルト)
BTFLG	FSSETレジスタのTMSPPMD=0の場合にブート領域を指定するビットです。 0: ブート領域はブート・クラスタ 1 1: ブート領域はブート・クラスタ 0 (デフォルト)
IFPR	プログラマ・オンチップ・デバッグ接続禁止を指定するビットです。シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止します。 0: シリアル・プログラミング・モードおよびオンチップ・デバッグの接続禁止 1: シリアル・プログラミング・モードおよびオンチップ・デバッグの接続許可 (デフォルト)
IDEN	プログラマ接続ID認証の有効化を指定するビットです。シリアル・プログラミング・モードで接続するときにID認証を行います。 0: シリアル・プログラミング・モード接続時のID認証は有効 1: シリアル・プログラミング・モード接続時のID認証は無効 (デフォルト)

- 注意 1. BTFLG を書き換える場合、その他の全てのビットは 1 を設定してください。
- 注意 2. BTFLG 以外のセキュリティ・フラグを 0（禁止）に書き換える場合、BTFLG（読み込んだ値と同じ値を設定）を除き、その他の全てのビットは 1 を設定してください。
- 注意 3. WRPR=0（禁止）の設定は、専用フラッシュ・メモリ・プログラムのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードの Security Release コマンドを実行することで WRPR=1（許可）にすることができます。
- ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラムのチップ消去コマンド、およびシリアル・プログラミング・モードの Security Release コマンドを実行できません。
- ・ SEPR = 0（ブロック消去禁止）
 - ・ BTPR = 0（ブート領域書き換え禁止）
- また、プログラマ・オンチップ・デバッグ接続禁止設定、プログラマ接続 ID 認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため WRPR=1（許可）に設定できません。
- 注意 4. SEPR、BTPR、IFPR、IDEN は、0 に設定後に 1 に戻すことはできません。

79. 33.6.8 フラッシュ・シールド・ウインドウ機能 (p.1362)

誤)

33.6.8 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。

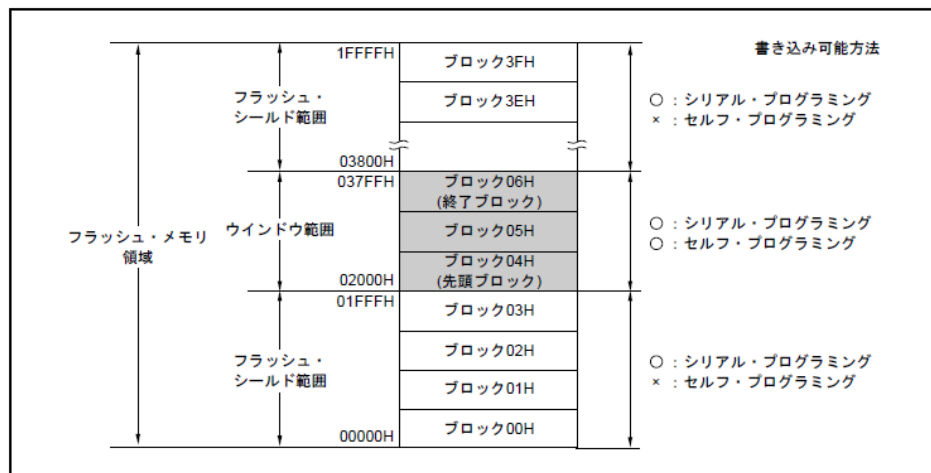
フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲内または範囲外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲内または範囲外の領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲内および範囲外にも書き込み／消去可能です。

図 33 - 29 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：R7F100GLG、先頭ブロック：04H、終了ブロック：06H、FSWC：1の場合)



正)

33.8 フラッシュ・シールド・ウインドウ機能

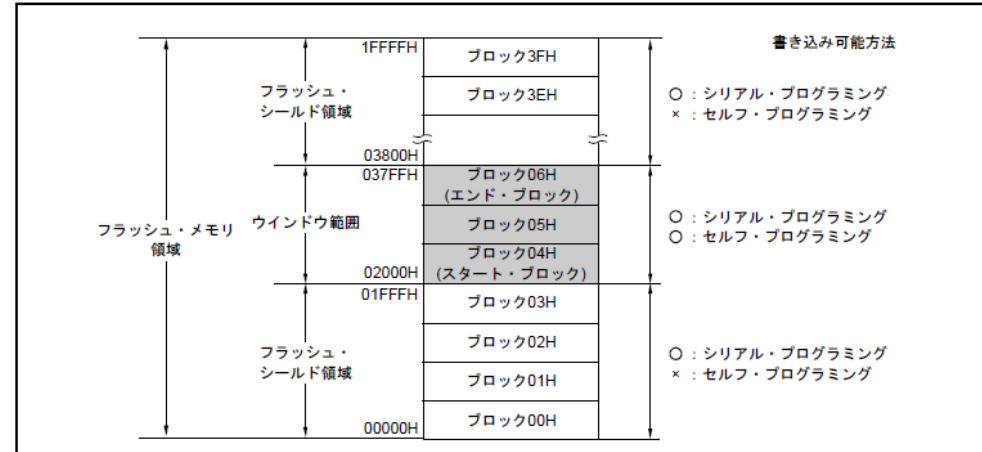
フラッシュ・シールド・ウインドウ機能は、指定したフラッシュ・シールド領域の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

フラッシュ・シールド領域は指定したウインドウ範囲内または範囲外を設定できます。ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。フラッシュ・シールド領域は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

フラッシュ・シールド領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはフラッシュ・シールド領域も書き込み／消去可能です。

図 33 - 32 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：R7F100GLG、先頭ブロック：04H、終了ブロック：06H、FSWC：1の場合)



- 注意 1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ 0 の書き換え禁止領域が重なる場合は、ブート・クラスタ 0 の書き換え禁止が優先され
ます。
- 注意 2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表 33 - 13 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・コードで、ウインドウのスタート・ブロック(先頭ブロック)、エンド・ブロック(最終ブロック+1)を指定する	ウインドウ範囲内または範囲外のみブロック消去できる	ウインドウ範囲内または範囲外のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラムのGUI上などで、ウインドウのスタート・ブロック(先頭ブロック)、エンド・ブロック(最終ブロック)を指定する	ウインドウ範囲内および範囲外もブロック消去可能	ウインドウ範囲内および範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み／消去を禁止したい場合には、33.7 セキュリティ設定を参照してください。

- 注意 1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート領域の書き換え禁止領域が重なる場合は、ブート領域の書き換え禁止が優先されます。
- 注意 2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表 33 - 12 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セルフ・プログラミングでフラッシュ・シールド・ウインドウの設定領域に、ウインドウのスタート・ブロックのブロック番号、エンド・ブロック+1のブロック番号(エンド・ブロックの次のブロック番号)を指定する	フラッシュ・シールド領域内はブロック消去できない	フラッシュ・シールド領域内は書き込みできない
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラムのGUI上などで、ウインドウのスタート・ブロック、エンド・ブロックを指定する	フラッシュ・シールド領域内もブロック消去可能	フラッシュ・シールド領域内も書き込み可能

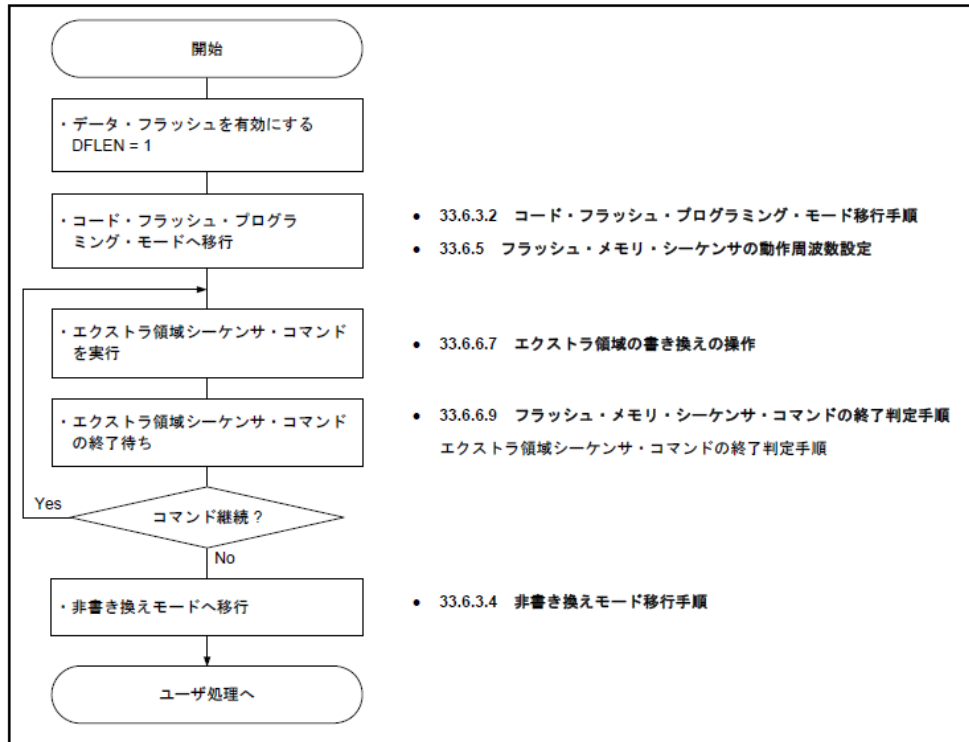
80. 33.6.10.3 エクストラ領域書き換え時のコマンド実行例 (p.1367)

誤)

33.6.10.3 エクストラ領域書き換え時のコマンド実行例

エクストラ領域書き換え時のコマンド実行フローを図 33 - 32 に示します。

図 33 - 32 エクストラ領域書き換え時のコマンド実行フロー

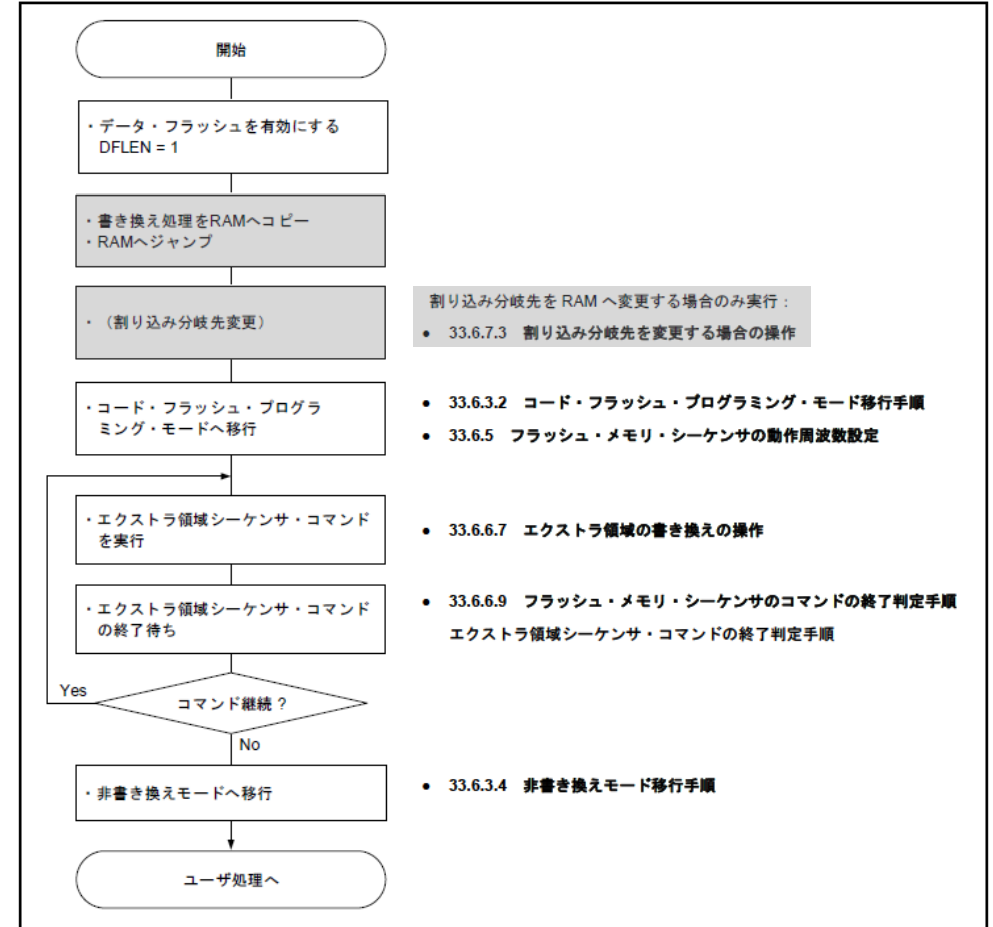


正)

33.6.8.3 エクストラ領域書き換え時のコマンド実行例

エクストラ領域書き換え時のコマンド実行フローを図 33 - 29 に示します。

図 33 - 29 エクストラ領域書き換え時のコマンド実行フロー



81. 33.6.11 セルフ・プログラミング時の注意事項 (p.1368)

誤)

33.6.11 セルフ・プログラミング時の注意事項

- (1) コードフラッシュ/エクストラ領域の書き換え操作
コードフラッシュ/エクストラ領域を書き換える場合は RAM に配置してください。
- (2) データ・フラッシュ領域を操作する場合の前提条件
データ・フラッシュ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ (DFLCTL)の DFLEN = 1(データ・フラッシュのアクセス許可)に設定してください。
- (3) フラッシュ・メモリ書き換え操作中のプログラム実行
セルフ・プログラミングはフラッシュ・メモリ・シーケンサを使用し、フラッシュ・メモリの書き換えを制御します。
フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは、操作対象のフラッシュ・メモリは参照できなくなります。
- ・ コード・フラッシュ・プログラミング・モードでは、コード・フラッシュ・メモリを参照することができません。コード・フラッシュ・プログラミング・モード中に実行する ROM(コード・フラッシュ・メモリ)上のユーザ・プログラム、および参照データは、事前に RAM へコピーして、RAM 上で実行、参照してください。
 - ・ データ・フラッシュ・プログラミング・モードでは、データ・フラッシュ・メモリを参照することができません。データ・フラッシュ・プログラミング・モード中に参照するデータは、事前に RAM へコピーして、RAM 上で参照してください。

正)

33.6.9 セルフ・プログラミング時の注意事項

- (1) コード・フラッシュ/エクストラ領域の書き換え操作
コード・フラッシュ/エクストラ領域を書き換える場合は RAM に配置してください。
- (2) データ・フラッシュ領域およびエクストラ領域を操作する場合の前提条件
データ・フラッシュ領域およびエクストラ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ (DFLCTL) の DFLEN = 1 (データ・フラッシュのアクセス許可)に設定してください。
- (3) フラッシュ・メモリ書き換え操作中のプログラム実行
セルフ・プログラミングはフラッシュ・メモリ・シーケンサを使用し、フラッシュ・メモリの書き換えを制御します。
フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは、操作対象のフラッシュ・メモリは参照できなくなります。
- ・ コード・フラッシュ・プログラミング・モードでは、コード・フラッシュ・メモリを参照することができません。コード・フラッシュ・プログラミング・モード中に実行する ROM (コード・フラッシュ・メモリ) 上のユーザ・プログラム、および参照データは、事前に RAM へコピーして、RAM 上で実行、参照してください。
 - ・ データ・フラッシュ・プログラミング・モードでは、データ・フラッシュ・メモリを参照することができません。データ・フラッシュ・プログラミング・モード中に参照するデータは、事前に RAM へコピーして、RAM 上で参照してください。
- (4) 使用不可領域の範囲の指定
ブランク・チェックおよびブロック消去の範囲の指定は、コード・フラッシュ領域の範囲内またはデータ・フラッシュ領域を範囲内で指定してください。使用不可領域を指定したり、使用不可領域を含めてコード・フラッシュ領域とデータ・フラッシュ領域の両方を指定したりしないでください。

(5) コード・フラッシュ領域の範囲の指定

コード・フラッシュ領域が 512K バイトを超える製品では、512K バイトのアドレスとブロックを跨いだ範囲を指定してブランク・チェックまたはブロック消去は実行できません。ブランク・チェックは 000000H~7FFFFFFH または 800000H~BFFFFFFH のアドレスの範囲を指定してください。ブロック消去は 000H~099H または 100H~17FH のブロックの範囲を指定してください。

82. 33.7 セキュリティ設定 (p.1369, p.1370)

誤)

33.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ・ **ブロック消去禁止**
シリアル・プログラミング時に、コード・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。
ただし、セルフ・プログラミング時でのブロック消去は可能です。
- ・ **書き込み禁止**
シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。
書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。
- ・ **ブート・クラスタ 0 の書き換え禁止**
コード・フラッシュ・メモリ内の**ブート・クラスタ 0 (00000H-00FFFFH)**に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

正)

33.9 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

シリアル・プログラミングまたはセルフ・プログラミングで、次の操作をすることができます。

- ・ **ブロック消去禁止**
シリアル・プログラミング時に、コード・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。
ただし、セルフ・プログラミング時でのブロック消去は可能です。
- ・ **書き込み禁止**
シリアル・プログラミング時に、コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。
書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。
- ・ **ブート領域の書き換え禁止**
コード・フラッシュ・メモリ内の**ブート領域 (00000H-00FFFFH)**に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。
- ・ **プログラマ・オンチップ・デバッグ接続禁止**
専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッグとの接続を禁止にします。
専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッグによるフラッシュ・メモリの操作はできません。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ 0 の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 33 - 14 に示します。

注意 ただし、専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います(詳細は 33.6.8 フラッシュ・シールド・ウインドウ機能を参照)。

・ プログラマ接続 ID 認証の有効化

専用フラッシュ・メモリ・プログラマとの接続時に 10 バイトの任意の ID コードとの認証を有効にします。10 バイトの ID の領域は 000C4H-000CDH 注です。シリアル・プログラミングで ID が一致しない場合は専用フラッシュ・メモリ・プログラマでフラッシュ・メモリの操作はできません。

出荷時の初期状態では、ブロック消去／書き込み／ブート領域の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 33 - 13 に示します。

注 プログラマ接続 ID の 10 バイトの ID コード領域はオンチップ・デバッグ・セキュリティ ID と共用しています。

注意 専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います(詳細は 33.8 フラッシュ・シールド・ウインドウ機能を参照)。

表 33 - 14 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウインドウ機能を使います (詳細は33.6.8 フラッシュ・シールド・ウインドウ機能を参照)。

表 33 - 13 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる
書き込み禁止	ブロック消去できる	書き込みできない
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できない	書き込みできない
プログラマ接続ID認証が有効で認証成功	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効で認証失敗	ブロック消去できない	書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッグ接続禁止	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効	ブロック消去できる	書き込みできる

表 33 - 15 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラムのGUI	設定後、無効にできない
書き込み禁止	上などで設定する	専用フラッシュ・メモリ・プログラムのGUI 上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート・クラスタ 0 の書き換え禁止」に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・コードで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない (シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラムのGUIなどで設定する)
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

表 33 - 14 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラムのGUI上などで設定する。	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラムのGUI 上などで設定する。
ブート領域書き換え禁止		設定後、無効にできない。
プログラマ・オンチップ・デバッグ接続禁止		
プログラマ接続ID認証の有効化		

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート領域の書き換え禁止」に設定されていない状態、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合にのみ可能です。ただし「プログラマ・オンチップ・デバッグ接続禁止」または「プログラマ接続 ID 認証が有効化」によってシリアル・プログラミングが接続禁止の場合は、シリアル・プログラミングが実行できない為、「書き込み禁止」の解除を実行できません。

(2) セルフ・プログラミング時

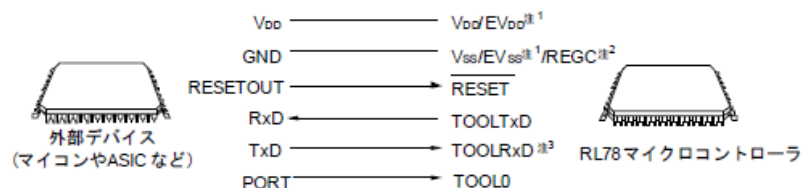
セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	セルフ・プログラミングで設定する。	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない。 専用フラッシュ・メモリ・プログラムのGUI 上などで設定する。
ブート領域書き換え禁止		設定後、無効にできない。
プログラマ・オンチップ・デバッグ接続禁止		
プログラマ接続ID認証の有効化		

83. 34.2 外部デバイス (UART 内蔵) との接続 (p.1374)

誤)

34.2 外部デバイス (UART 内蔵) との接続

オンボード上で RL78 マイクロコントローラと UART 接続されている外部デバイス (マイコンや ASIC) を介して、ホスト・マシンとの通信を行う場合、V_{DD}, $\overline{\text{RESET}}$, TOOL0, V_{SS}, TOOLTxD, TOOLRxD 端子を使用します。外部デバイスと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。



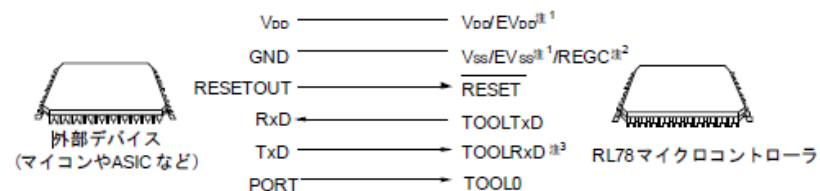
- 注 1. 64 ピン、80 ピン、100 ピン、128 ピン製品のみ
- 注 2. REGC 端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。
- 注 3. TOOLRxD を兼用するポートを入力モードに設定してください。

正)

34.2 外部デバイス (UART 内蔵) との接続

オンボード上で RL78 マイクロコントローラと UART 接続されている外部デバイス (マイコンや ASIC) を介して、ホスト・マシンとの通信を行う場合、V_{DD}, $\overline{\text{RESET}}$, TOOL0, V_{SS}, TOOLTxD, TOOLRxD 端子を使用します。外部デバイスと RL78 マイクロコントローラとの通信は、RL78 マイクロコントローラの TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

接続回路の詳細や注意事項については、シリアルポートを使用した RL78 デバッグ機能 (R20AN0632) を参照してください。



- 注 1. 64 ピン、80 ピン、100 ピン、128 ピン製品のみ
- 注 2. REGC 端子はコンデンサ (0.47~1 μF) を介してグラウンドに接続してください。
- 注 3. TOOLRxD を兼用するポートを入力モードに設定してください。また、PDIDISx レジスタで入力バッファの入力を許可に設定してください。

84. 37.1 絶対最大定格 (p.1402)

誤)

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P121-P124, P150-P156	-0.5	mA
		端子合計		-2	mA
	ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40注
端子合計 170 mA			P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
IOL2		1端子	P20-P27, P121-P124, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度		TA	通常動作時		-40 ~ +105
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65 ~ +150	°C

注 下記のポートを 40 mA ポート出力制御レジスタ (PTDC) で IOL1 = 40.0 mA に選択した場合は 80 mA (定格) です。

64~100 ピンかつフラッシュ ROM 384~768 K バイト製品の P04, P10, P120

100 ピンのフラッシュ ROM 384~768 K バイト製品の P110

30~52 ピン製品の P17, P51, P70

正)

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	-100	mA
	IOH2	1端子	P20-P27, P121-P124, P150-P156	-0.5	mA
		端子合計		-2	mA
	ロウ・レベル出力電流	IOL1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40注
端子合計 170 mA			P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
IOL2		1端子	P20-P27, P121-P124, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度		TA	通常動作時		-40 ~ +105
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65 ~ +150	°C

注 下記のポートを 40 mA ポート出力制御レジスタ (PTDC) で IOL1 = 40.0 mA に選択した場合は 80 mA (定格) です。

64~100 ピンかつフラッシュ ROM 384~768 K バイト製品の P04, P10, P120

100 ピンのフラッシュ ROM 384~768 K バイト製品の P110

30~52 ピン製品の P17, P51

32~52 ピン製品の P70

85. 37.2.1 X1, XT1 発振回路特性 (p.1403)

誤)

37.2.1 X1, XT1 発振回路特性

($T_A = -40 \sim +105^\circ\text{C}$, $1.6\text{V} \leq V_{DD} \leq 5.5\text{V}$, $V_{SS} = 0\text{V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振許容入力周期 注	セラミック発振子/水晶振動子		0.05		1	μs
XT1クロック発振周波数 (f _{XT}) 注	水晶振動子			32.768		kHz

正)

37.2.1 X1, XT1 発振回路特性

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{V} \leq V_{DD} \leq 5.5\text{V}$ (30~36 ピン製品), $1.6\text{V} \leq V_{DD} \leq 5.5\text{V}$ (40~128 ピン製品), $V_{SS} = 0\text{V}$)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振許容入力周期 注	セラミック発振子/水晶振動子		0.05		1	μs
XT1クロック発振周波数 (f _{XT}) 注	水晶振動子			32.768		kHz

86. 37.3.1 端子特性 (p.1405, p.1407)

誤)

37.3.1 端子特性

($T_A = -40 \sim +105^\circ\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)
(1/7)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル許容出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子	$1.6\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-10.0 ^{注2}	mA	
			$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-55.0 ^{注4}	mA	
			$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$			-10.0	mA	
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$			-5.0	mA	
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ \leq 70%時 ^{注3})	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-55.0 ^{注4}	mA	
			$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$			-10.0	mA	
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$			-5.0	mA	
			$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$			-2.5	mA	
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ \leq 70%時 ^{注3})	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-80.0 ^{注5}	mA	
			$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$			-19.0	mA	
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$			-10.0	mA	
			$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$			-5.0	mA	
	全端子合計 (デューティ \leq 70%時 ^{注3})		$1.6\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-135.0 ^{注6}	mA	
	IOH2	P20-P27, P121, P122, P150-P156 1端子	$4.0\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$			-3.0 ^{注2}	mA	
			$2.7\text{ V} \leq \text{VDD} < 4.0\text{ V}$			-1.0 ^{注2}	mA	
			$1.8\text{ V} \leq \text{VDD} < 2.7\text{ V}$			-1.0 ^{注2}	mA	
			$1.6\text{ V} \leq \text{VDD} < 1.8\text{ V}$			-0.5 ^{注2}	mA	
		全端子合計 (デューティ \leq 70%時 ^{注3})		$4.0\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$			-20.0	mA
				$2.7\text{ V} \leq \text{VDD} < 4.0\text{ V}$			-10.0	mA
				$1.8\text{ V} \leq \text{VDD} < 2.7\text{ V}$			-5.0	mA
		$1.6\text{ V} \leq \text{VDD} < 1.8\text{ V}$			-5.0	mA		

注1. EVDD0, EVDD1, VDD 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を超えないでください。

正)

37.3.1 端子特性

($T_A = -40 \sim +105^\circ\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)
(1/7)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル許容出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子	$1.6\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-10.0 ^{注2}	mA	
			$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-55.0 ^{注4}	mA	
			$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$			-10.0	mA	
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$			-5.0	mA	
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ \leq 70%時 ^{注3})	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-55.0 ^{注4}	mA	
			$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$			-10.0	mA	
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$			-5.0	mA	
			$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$			-2.5	mA	
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ \leq 70%時 ^{注3})	$4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-80.0 ^{注5}	mA	
			$2.7\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$			-19.0	mA	
			$1.8\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$			-10.0	mA	
			$1.6\text{ V} \leq \text{EVDD0} < 1.8\text{ V}$			-5.0	mA	
	全端子合計 (デューティ \leq 70%時 ^{注3})		$1.6\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$			-135.0 ^{注6}	mA	
	IOH2	P20-P27, P121, P122, P150-P156 1端子	$4.0\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$			-3.0 ^{注2}	mA	
			$2.7\text{ V} \leq \text{VDD} < 4.0\text{ V}$			-1.0 ^{注2}	mA	
			$1.8\text{ V} \leq \text{VDD} < 2.7\text{ V}$			-1.0 ^{注2}	mA	
			$1.6\text{ V} \leq \text{VDD} < 1.8\text{ V}$			-0.5 ^{注2}	mA	
		全端子合計 (デューティ \leq 70%時 ^{注3})		$4.0\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$			-20.0	mA
				$2.7\text{ V} \leq \text{VDD} < 4.0\text{ V}$			-10.0	mA
				$1.8\text{ V} \leq \text{VDD} < 2.7\text{ V}$			-5.0	mA
		$1.6\text{ V} \leq \text{VDD} < 1.8\text{ V}$			-5.0	mA		

注1. EVDD0, EVDD1, VDD 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. ただし、合計の電流値を超えないでください。

- 注 3. デューティ \leq 70%の条件での出力電流の値です。
 デューティ $>$ 70%に変更した出力電流の値は、次の計算式で求めることができます
 (デューティ比を n%に変更する場合)。
 ・ 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$
 <計算例> $I_{OH} = -10.0$ mA の場合, $n = 80\%$
 端子合計の出力電流 = $(-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7$ mA
 ただし、1 端子あたりに流せる電流は、デューティによって変わることはありません。
 また、絶対最大定格以上の電流は流せません。
- 注 4. 産業用途向け (R7F100Gxx3xxxC) の 85°C~105°Cは-30 mA です。
- 注 5. 産業用途向け (R7F100Gxx3xxxC) の 85°C~105°Cは-50 mA です。
- 注 6. 産業用途向け (R7F100Gxx3xxxC) の-40°C~85°Cは-100 mA, 85°C~105°Cは-60 mA です。

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144 は、N-ch オープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

- 注 3. デューティ \leq 70%の条件での出力電流の値です。
 デューティ $>$ 70%に変更した出力電流の値は、次の計算式で求めることができます
 (デューティ比を n%に変更する場合)。
 ・ 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$
 <計算例> $I_{OH} = -10.0$ mA の場合, $n = 80\%$
 端子合計の出力電流 = $(-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7$ mA
 ただし、1 端子あたりに流せる電流は、デューティによって変わることはありません。
 また、絶対最大定格以上の電流は流せません。
- 注 4. 産業用途向け (R7F100Gxx3Cxx) の 85°C~105°Cは-30 mA です。
- 注 5. 産業用途向け (R7F100Gxx3Cxx) の 85°C~105°Cは-50 mA です。
- 注 6. 産業用途向け (R7F100Gxx3Cxx) の-40°C~85°Cは-100 mA, 85°C~105°Cは-60 mA です。

(注意、備考は次ページに続きます)

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144 は、N-ch オープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)
(2/7)

(TA = -40~+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)
(2/7)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル許容出力電流注1	IoL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子			20.0 注2,3	mA
		P60-P63 1端子			15.0注2	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ ≤ 70%時注4)	4.0 V ≤ EVDD0 ≤ 5.5 V		70.0注5	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		9.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		4.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ ≤ 70%時注4)	4.0 V ≤ EVDD0 ≤ 5.5 V		80.0注5	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		20.0	mA
		全端子合計 (デューティ ≤ 70%時注4)	4.0 V ≤ EVDD0 ≤ 5.5 V		150.0 注6	mA
	2.7 V ≤ EVDD0 < 4.0 V					
	1.8 V ≤ EVDD0 < 2.7 V					
	1.6 V ≤ EVDD0 < 1.8 V					
	IoL2	P20-P27, P121, P122, P150-P156 1端子	4.0 V ≤ VDD ≤ 5.5 V		8.5注2	mA
			2.7 V ≤ VDD < 4.0 V		1.5注2	mA
			1.8 V ≤ VDD < 2.7 V		0.6注2	mA
1.6 V ≤ VDD < 1.8 V				0.4注2	mA	
全端子合計 (デューティ ≤ 70%時注4)		4.0 V ≤ VDD ≤ 5.5 V		20	mA	
		2.7 V ≤ VDD < 4.0 V		20	mA	
		1.8 V ≤ VDD < 2.7 V		15	mA	
		1.6 V ≤ VDD < 1.8 V		10	mA	

- 注 1. 出力端子から EVSS0, EVSS1, VSS 端子に流れ込んでも、デバイスの動作を保証する電流値です。
- 注 2. 合計の電流値を超えないでください。
- 注 3. 下記のポートを 40.0 mA ポート出力制御レジスタ (PTDC) で IoL1 = 40.0 mA に選択した場合は 40 mA (max.) です。
64~100 ピンかつフラッシュ ROM 384~768 K バイト製品の P04, P10, P120
100 ピンのフラッシュ ROM 384~768 K バイト製品の P101
30~52 ピン製品の P17, P51, P70

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル許容出力電流注1	IoL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子			20.0 注2,3	mA
		P60-P63 1端子			15.0注2	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ ≤ 70%時注4)	4.0 V ≤ EVDD0 ≤ 5.5 V		70.0注5	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		9.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		4.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ ≤ 70%時注4)	4.0 V ≤ EVDD0 ≤ 5.5 V		80.0注5	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		20.0	mA
		全端子合計 (デューティ ≤ 70%時注4)	4.0 V ≤ EVDD0 ≤ 5.5 V		150.0 注6	mA
	2.7 V ≤ EVDD0 < 4.0 V					
	1.8 V ≤ EVDD0 < 2.7 V					
	1.6 V ≤ EVDD0 < 1.8 V					
	IoL2	P20-P27, P121, P122, P150-P156 1端子	4.0 V ≤ VDD ≤ 5.5 V		8.5注2	mA
			2.7 V ≤ VDD < 4.0 V		1.5注2	mA
			1.8 V ≤ VDD < 2.7 V		0.6注2	mA
1.6 V ≤ VDD < 1.8 V				0.4注2	mA	
全端子合計 (デューティ ≤ 70%時注4)		4.0 V ≤ VDD ≤ 5.5 V		20	mA	
		2.7 V ≤ VDD < 4.0 V		20	mA	
		1.8 V ≤ VDD < 2.7 V		15	mA	
		1.6 V ≤ VDD < 1.8 V		10	mA	

- 注 1. 出力端子から EVSS0, EVSS1, VSS 端子に流れ込んでも、デバイスの動作を保証する電流値です。
- 注 2. 合計の電流値を超えないでください。
- 注 3. 下記のポートを 40.0 mA ポート出力制御レジスタ (PTDC) で IoL1 = 40.0 mA に選択した場合は 40 mA (max.) です。
64~100 ピンかつフラッシュ ROM 384~768 K バイト製品の P04, P10, P120
100 ピンのフラッシュ ROM 384~768 K バイト製品の P101
30~52 ピン製品の P17, P51
32~52 ピン製品の P70

注 4. デューティ \leq 70%の条件での出力電流の値です。

デューティ $>$ 70%に変更した出力電流の値は、次の計算式で求めることができます
(デューティ比を n%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{oL} \times 0.7) / (n \times 0.01)$$

<計算例> $I_{oL} = 10.0 \text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1 端子あたりに流せる電流は、デューティによって変わることはありません。

また、絶対最大定格以上の電流は流せません。

注 5. 産業用途向け (R7F100Gxx3xxxC) の $85^{\circ}\text{C} \sim 105^{\circ}\text{C}$ は 40 mA です。

注 6. 産業用途向け (R7F100Gxx3xxxC) の $85^{\circ}\text{C} \sim 105^{\circ}\text{C}$ は 80 mA です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

注 4. デューティ \leq 70%の条件での出力電流の値です。

デューティ $>$ 70%に変更した出力電流の値は、次の計算式で求めることができます
(デューティ比を n%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{oL} \times 0.7) / (n \times 0.01)$$

<計算例> $I_{oL} = 10.0 \text{ mA}$ の場合, $n = 80\%$

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1 端子あたりに流せる電流は、デューティによって変わることはありません。

また、絶対最大定格以上の電流は流せません。

注 5. 産業用途向け (R7F100Gxx3Cxx) の $85^{\circ}\text{C} \sim 105^{\circ}\text{C}$ は 40 mA です。

注 6. 産業用途向け (R7F100Gxx3Cxx) の $85^{\circ}\text{C} \sim 105^{\circ}\text{C}$ は 80 mA です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

87. 37.3.2 電源電流特性 (p.1414 - p.1421)

誤)

37.3.2 電源電流特性

(1) 30~64 ピン製品のフラッシュ ROM96~128 KB の製品

(TA = -40~+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ¹⁾	I _{DD1}	動作モード	HS (高速メイン)モード	f _H = 32 MHz ²⁾	基本動作	V _{DD} = 5.0 V	1.4	—	mA	
						V _{DD} = 1.8 V	1.4	—		
				通常動作	V _{DD} = 5.0 V	3.1	5.1	mA		
					V _{DD} = 1.8 V	3.1	5.1			
				LS (低速メイン)モード	f _H = 24 MHz ²⁾	通常動作	V _{DD} = 5.0 V	2.3	3.9	mA
							V _{DD} = 1.8 V	2.3	3.9	
			f _H = 16 MHz ²⁾		通常動作	V _{DD} = 5.0 V	1.7	2.8	mA	
						V _{DD} = 1.8 V	1.7	2.8		
			f _M = 4 MHz ³⁾		通常動作	V _{DD} = 5.0 V	0.4	0.7	mA	
						V _{DD} = 1.6 V	0.4	0.7		
			LP (低電力メイン)モード	f _M = 2 MHz ³⁾	通常動作	V _{DD} = 5.0 V	206	332	μA	
						V _{DD} = 1.6 V	205	331		
		f _M = 1 MHz ³⁾		通常動作	V _{DD} = 5.0 V	115	181	μA		
					V _{DD} = 1.6 V	114	180			
		HS (高速メイン)モード		f _{MX} = 20 MHz ⁴⁾ , 方形波入力	通常動作	V _{DD} = 5.0 V	1.9	3.2	mA	
						V _{DD} = 1.8 V	1.9	3.2		
			LS (低速メイン)モード	f _{MX} = 20 MHz ⁴⁾ , 方形波入力	通常動作	V _{DD} = 5.0 V	1.8	3.0	mA	
						V _{DD} = 1.8 V	1.8	3.0		
				f _{MX} = 20 MHz ⁴⁾ , 発振子接続	通常動作	V _{DD} = 5.0 V	2.0	3.3	mA	
						V _{DD} = 1.8 V	2.0	3.2		
		f _{MX} = 10 MHz ⁴⁾ , 方形波入力		通常動作	V _{DD} = 5.0 V	0.9	1.6	mA		
					V _{DD} = 1.8 V	0.9	1.6			
		f _{MX} = 10 MHz ⁴⁾ , 発振子接続	通常動作	V _{DD} = 5.0 V	1.0	1.7	mA			
				V _{DD} = 1.8 V	1.0	1.7				
f _{MX} = 8 MHz ⁴⁾ , 方形波入力	通常動作	V _{DD} = 5.0 V	0.8	1.3	mA					
		V _{DD} = 1.8 V	0.8	1.3						
f _{MX} = 8 MHz ⁴⁾ , 発振子接続	通常動作	V _{DD} = 5.0 V	0.9	1.4	mA					
		V _{DD} = 1.8 V	0.9	1.4						

正)

37.3.2 電源電流特性

(1) 30~64 ピン製品のフラッシュ ROM96~128 KB の製品

(TA = -40~+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (1/4)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ¹⁾	I _{DD1}	動作モード	HS (高速メイン)モード	f _H = 32 MHz ²⁾	基本動作	V _{DD} = 5.0 V	1.3	—	mA	
						V _{DD} = 1.8 V	1.3	—		
				通常動作	V _{DD} = 5.0 V	3.0	5.0	mA		
					V _{DD} = 1.8 V	3.0	5.0			
				LS (低速メイン)モード	f _H = 24 MHz ²⁾	通常動作	V _{DD} = 5.0 V	2.3	3.8	mA
							V _{DD} = 1.8 V	2.3	3.8	
			f _H = 16 MHz ²⁾		通常動作	V _{DD} = 5.0 V	1.7	2.7	mA	
						V _{DD} = 1.8 V	1.7	2.7		
			f _M = 4 MHz ³⁾		通常動作	V _{DD} = 5.0 V	0.4	0.7	mA	
						V _{DD} = 1.6 V	0.4	0.7		
			LP (低電力メイン)モード	f _M = 2 MHz ³⁾	通常動作	V _{DD} = 5.0 V	200	325	μA	
						V _{DD} = 1.6 V	200	325		
		f _M = 1 MHz ³⁾		通常動作	V _{DD} = 5.0 V	112	178	μA		
					V _{DD} = 1.6 V	111	176			
		HS (高速メイン)モード		f _{MX} = 20 MHz ⁴⁾ , 方形波入力	通常動作	V _{DD} = 5.0 V	1.9	3.2	mA	
						V _{DD} = 1.8 V	1.9	3.2		
			LS (低速メイン)モード	f _{MX} = 20 MHz ⁴⁾ , 方形波入力	通常動作	V _{DD} = 5.0 V	1.8	3.0	mA	
						V _{DD} = 1.8 V	1.7	3.0		
				f _{MX} = 20 MHz ⁴⁾ , 発振子接続	通常動作	V _{DD} = 5.0 V	1.9	3.2	mA	
						V _{DD} = 1.8 V	1.9	3.2		
		f _{MX} = 10 MHz ⁴⁾ , 方形波入力		通常動作	V _{DD} = 5.0 V	0.9	1.6	mA		
					V _{DD} = 1.8 V	0.9	1.6			
		f _{MX} = 10 MHz ⁴⁾ , 発振子接続	通常動作	V _{DD} = 5.0 V	1.0	1.7	mA			
				V _{DD} = 1.8 V	1.0	1.7				
f _{MX} = 8 MHz ⁴⁾ , 方形波入力	通常動作	V _{DD} = 5.0 V	0.8	1.3	mA					
		V _{DD} = 1.8 V	0.7	1.3						
f _{MX} = 8 MHz ⁴⁾ , 発振子接続	通常動作	V _{DD} = 5.0 V	0.9	1.4	mA					
		V _{DD} = 1.8 V	0.8	1.4						

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} ：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} ：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} ：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTYP.値の温度条件は、 $T_A = 25^{\circ}\text{C}$ です。

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注3. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. f_{IH} ：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM} ：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX} ：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTYP.値の温度条件は、 $T_A = 25^{\circ}\text{C}$ です。

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (2/4)

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (2/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位					
電源電流 ¹	I _{DD1}	動作モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ² , 低速オンチップ・オシレータ動作	通常動作	TA = -40°C	3.7	6.3	μA			
						TA = +25°C	4.1	6.8				
						TA = +50°C	4.4	9.7				
						TA = +70°C	5.1	15.0				
						TA = +85°C	6.0	23.4				
						TA = +105°C	8.7	42.5				
						f _{SUB} = 32.768 kHz ² , 方形波入力	通常動作	TA = -40°C		3.3	5.6	μA
								TA = +25°C		3.5	5.7	
								TA = +50°C		3.7	8.4	
		TA = +70°C	4.3	13.5								
		TA = +85°C	5.2	21.3								
		TA = +105°C	7.6	38.7								
		f _{SUB} = 32.768 kHz ² , 発振子接続	通常動作	TA = -40°C	3.3	5.2	μA					
				TA = +25°C	3.6	5.5						
				TA = +50°C	3.8	7.9						
				TA = +70°C	4.4	13.5						
				TA = +85°C	5.3	21.1						
				TA = +105°C	7.9	38.9						

項目	略号	条件		MIN.	TYP.	MAX.	単位					
電源電流 ¹	I _{DD1}	動作モード	サブシステム・クロック動作モード	f _{SUB} = 32.768 kHz ² , 低速オンチップ・オシレータ動作	通常動作	TA = -40°C	3.2	5.5	μA			
						TA = +25°C	3.5	5.8				
						TA = +50°C	3.8	8.5				
						TA = +70°C	4.4	13.8				
						TA = +85°C	5.3	22.1				
						TA = +105°C	7.7	40.9				
						f _{SUB} = 32.768 kHz ² , 方形波入力	通常動作	TA = -40°C		3.2	5.6	μA
								TA = +25°C		3.4	5.7	
								TA = +50°C		3.7	8.5	
		TA = +70°C	4.3	13.7								
		TA = +85°C	5.2	21.4								
		TA = +105°C	7.6	39.0								
		f _{SUB} = 32.768 kHz ² , 発振子接続	通常動作	TA = -40°C	3.2	5.2	μA					
				TA = +25°C	3.4	5.4						
				TA = +50°C	3.7	7.7						
				TA = +70°C	4.3	13.4						
				TA = +85°C	5.2	20.9						
				TA = +105°C	7.7	38.5						

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

備考2. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (3/4)

項目	略号	条件			MIN.	TYP.	MAX.	単位
電源電流値1	I _{DD2}	HALTモード	HS (高速メイン)モード	f _H = 32 MHz ³	V _{DD} = 5.0 V	0.58	1.98	mA
					V _{DD} = 1.8 V	0.58	1.98	
			LS (低速メイン)モード	f _H = 24 MHz ³	V _{DD} = 5.0 V	0.48	1.54	mA
					V _{DD} = 1.8 V	0.48	1.54	
				f _H = 16 MHz ³	V _{DD} = 5.0 V	0.48	1.23	mA
					V _{DD} = 1.8 V	0.48	1.23	
			f _M = 4 MHz ⁴	V _{DD} = 5.0 V	0.09	0.27	mA	
				V _{DD} = 1.6 V	0.09	0.27		
			LP (低電力メイン)モード	f _M = 2 MHz ⁴	V _{DD} = 5.0 V	34	121	μA
					V _{DD} = 1.6 V	34	121	
				f _M = 1 MHz ⁴	V _{DD} = 5.0 V	29	75	μA
					V _{DD} = 1.6 V	29	75	
			HS (高速メイン)モード	f _{MX} = 20 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.23	1.07	mA
					V _{DD} = 1.8 V	0.20	1.04	
			LS (低速メイン)モード	f _{MX} = 20 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.23	1.07	mA
					V _{DD} = 1.8 V	0.20	1.04	
				f _{MX} = 20 MHz ⁶ , 発振子接続	V _{DD} = 5.0 V	0.41	1.29	mA
					V _{DD} = 1.8 V	0.41	1.29	
				f _{MX} = 10 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.14	0.57	mA
					V _{DD} = 1.8 V	0.12	0.55	
				f _{MX} = 10 MHz ⁶ , 発振子接続	V _{DD} = 5.0 V	0.24	0.69	mA
					V _{DD} = 1.8 V	0.24	0.69	
				f _{MX} = 8 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.12	0.47	mA
					V _{DD} = 1.8 V	0.10	0.45	
f _{MX} = 8 MHz ⁶ , 発振子接続	V _{DD} = 5.0 V	0.21		0.58	mA			
	V _{DD} = 1.8 V	0.21		0.58				

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (3/4)

項目	略号	条件			MIN.	TYP.	MAX.	単位
電源電流値1	I _{DD2}	HALTモード	HS (高速メイン)モード	f _H = 32 MHz ³	V _{DD} = 5.0 V	0.54	1.93	mA
					V _{DD} = 1.8 V	0.53	1.92	
			LS (低速メイン)モード	f _H = 24 MHz ³	V _{DD} = 5.0 V	0.45	1.50	mA
					V _{DD} = 1.8 V	0.44	1.49	
				f _H = 16 MHz ³	V _{DD} = 5.0 V	0.45	1.19	mA
					V _{DD} = 1.8 V	0.44	1.18	
			f _M = 4 MHz ⁴	V _{DD} = 5.0 V	0.08	0.26	mA	
				V _{DD} = 1.6 V	0.08	0.26		
			LP (低電力メイン)モード	f _M = 2 MHz ⁴	V _{DD} = 5.0 V	33	120	μA
					V _{DD} = 1.6 V	33	120	
				f _M = 1 MHz ⁴	V _{DD} = 5.0 V	29	76	μA
					V _{DD} = 1.6 V	28	74	
			HS (高速メイン)モード	f _{MX} = 20 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.22	1.07	mA
					V _{DD} = 1.8 V	0.19	1.03	
			LS (低速メイン)モード	f _{MX} = 20 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.22	1.07	mA
					V _{DD} = 1.8 V	0.19	1.03	
				f _{MX} = 20 MHz ⁶ , 発振子接続	V _{DD} = 5.0 V	0.40	1.28	mA
					V _{DD} = 1.8 V	0.39	1.27	
				f _{MX} = 10 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.14	0.57	mA
					V _{DD} = 1.8 V	0.12	0.54	
				f _{MX} = 10 MHz ⁶ , 発振子接続	V _{DD} = 5.0 V	0.24	0.69	mA
					V _{DD} = 1.8 V	0.23	0.68	
				f _{MX} = 8 MHz ⁶ , 方形波入力	V _{DD} = 5.0 V	0.12	0.47	mA
					V _{DD} = 1.8 V	0.10	0.44	
f _{MX} = 8 MHz ⁶ , 発振子接続	V _{DD} = 5.0 V	0.21		0.58	mA			
	V _{DD} = 1.8 V	0.20		0.57				

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. fIH：高速オンチップ・オシレータ・クロック周波数

備考2. fIM：中速オンチップ・オシレータ・クロック周波数

備考3. fMX：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

備考1. fIH：高速オンチップ・オシレータ・クロック周波数

備考2. fIM：中速オンチップ・オシレータ・クロック周波数

備考3. fMX：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTYP.値の温度条件は、TA = 25°Cです。

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(1) 30～64ピン製品のフラッシュROM96～128 KBの製品

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (4/4)

(TA = -40～+105°C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V) (4/4)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ¹	I _{oo2} ²	HALTモード	サブシステム・クロック動作モード	fs _{sub} = 32.768 kHz ³ , 低速オンチップ・オシレータ動作	TA = -40°C	0.85	2.04	μA
					TA = +25°C	1.08	3.25	
					TA = +50°C	1.30	5.95	
					TA = +70°C	1.72	11.05	
					TA = +85°C	2.40	19.17	
					TA = +105°C	4.32	37.31	
				fs _{sub} = 32.768 kHz, 方形波入力 ⁴	TA = -40°C	0.22	2.01	μA
					TA = +25°C	0.29	1.90	
					TA = +50°C	0.44	4.46	
					TA = +70°C	0.80	9.36	
					TA = +85°C	1.44	17.53	
					TA = +105°C	3.24	35.11	
				fs _{sub} = 32.768 kHz, 発振子接続 ⁵	TA = -40°C	0.23	2.06	μA
					TA = +25°C	0.34	2.24	
					TA = +50°C	0.51	4.91	
					TA = +70°C	0.88	9.93	
					TA = +85°C	1.52	18.11	
					TA = +105°C	3.37	36.04	
	I _{oo3}	STOPモード	RAMSDS = 0 ⁶	TA = -40°C	0.15	1.45	μA	
				TA = +25°C	0.23	1.45		
				TA = +50°C	0.45	4		
				TA = +70°C	0.9	9		
				TA = +85°C	1.6	17		
				TA = +105°C	4	35		
RAMSDS = 1 ⁷			TA = -40°C	0.14	1.45	μA		
			TA = +25°C	0.21	1.45			
			TA = +50°C	0.4	3.5			
			TA = +70°C	0.8	8.5			
			TA = +85°C	1.4	15			
			TA = +105°C	3.2	30			
RAMSDS = 1, リアルタイム・クロック 128Hz動作 ⁸			TA = -40°C	0.22	1.53	μA		
			TA = +25°C	0.32	1.56			
			TA = +50°C	0.52	3.62			
			TA = +70°C	0.93	8.63			
			TA = +85°C	1.54	15.14			
			TA = +105°C	3.34	30.14			

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ¹	I _{oo2} ²	HALTモード	サブシステム・クロック動作モード	fs _{sub} = 32.768 kHz ³ , 低速オンチップ・オシレータ動作	TA = -40°C	0.53	2.31	μA		
					TA = +25°C	0.65	2.38			
					TA = +50°C	0.80	4.95			
					TA = +70°C	1.17	9.97			
					TA = +85°C	1.78	17.96			
					TA = +105°C	4.41	37.71			
				fs _{sub} = 32.768 kHz, 方形波入力 ⁴	TA = -40°C	0.20	1.97	μA		
					TA = +25°C	0.29	2.00			
					TA = +50°C	0.54	5.33			
					TA = +70°C	0.99	10.94			
					TA = +85°C	1.70	19.62			
					TA = +105°C	4.10	41.82			
				fs _{sub} = 32.768 kHz, 発振子接続 ⁵	TA = -40°C	0.21	2.04	μA		
					TA = +25°C	0.33	2.28			
					TA = +50°C	0.49	4.98			
					TA = +70°C	1.05	11.36			
					TA = +85°C	1.76	20.04			
					TA = +105°C	4.20	42.52			
				I _{oo3}	STOPモード	RAMSDS = 0 ⁶	TA = -40°C	0.15	1.45	μA
							TA = +25°C	0.23	1.45	
							TA = +50°C	0.45	4	
							TA = +70°C	0.9	9	
							TA = +85°C	1.6	17	
							TA = +105°C	4	35	
	RAMSDS = 1 ⁷	TA = -40°C	0.14			1.45	μA			
		TA = +25°C	0.21			1.45				
		TA = +50°C	0.4			3.5				
		TA = +70°C	0.8			8.5				
		TA = +85°C	1.4			15				
		TA = +105°C	3.2			30				
RAMSDS = 1, リアルタイム・クロック 128Hz動作 ⁸	TA = -40°C	0.22	1.53			μA				
	TA = +25°C	0.32	1.56							
	TA = +50°C	0.53	3.62							
	TA = +70°C	0.94	8.64							
	TA = +85°C	1.55	15.15							
	TA = +105°C	3.40	30.20							

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。RTCに流れる電流を含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。RTCに流れる電流を含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流を含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注6. 全領域のRAMを保持。低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

注7. 4KバイトのRAMを保持。低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注8. 4KバイトのRAMを保持。低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流を含みます。32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数 (XT1 クロック発振周波数)

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックは停止時。RTCに流れる電流を含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。RTCに流れる電流を含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流を含みます。ただし、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注6. 全領域のRAMを保持。低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

注7. 4KバイトのRAMを保持。低速オンチップ・オシレータ、サブシステム・クロック発振は停止時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注8. 4KバイトのRAMを保持。低速オンチップ・オシレータは停止時。RTCLPC = 1、かつ低消費発振3 (AMPHS1, AMPHS0 = 1, 1) 設定時。RTCに流れる電流を含みます。32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. fIL : 低速オンチップ・オシレータ・クロック周波数

備考2. fSUB : サブシステム・クロック周波数 (XT1 クロック発振周波数)

(2) 周辺機能（全製品共通）

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ動作電流	I _{FH} 値1	HIPREC = 0			380	—	μA
		HIPREC = 1			240	—	μA
中速オンチップ・オシレータ動作電流	I _{FM} 値1				20	—	μA
低速オンチップ・オシレータ動作電流	I _{FL} 値1				0.3	—	μA
RTC動作電流	I _{RTC} 値1, 2, 3	f _{RTCCLK} = 32.768 kHz			0.005	—	μA
		f _{RTCCLK} = 128 Hz			0.002	—	μA
32ビット・インターバル・タイマ動作電流	I _{IT} 値1, 2, 4				0.04	—	μA
ウォッチドッグ・タイマ動作電流	I _{WDT} 値1, 2, 5	f _L = 32.768 kHz(typ.)			0.32	—	μA
A/Dコンバータ動作電流	I _{ADC} 値1, 6	最高速度変換時	標準モード、AV _{REFP} = V _{DD} = 5.0 V	0.95	1.6		mA
			低電圧モード、AV _{REFP} = V _{DD} = 3.0 V	0.5	0.75		mA
AV _{REFP} 電流	I _{ADREF} 値7	AV _{REFP} = 5.0 V			52	—	μA
A/Dコンバータ内部基準電圧電流	I _{ADREF} 値1				114	—	μA
温度センサ動作電流	I _{TMPS} 値1				110	—	μA
D/Aコンバータ動作電流	I _{DAC} 値1, 8	1チャンネルあたり			150	—	μA
コンパレータ動作電流	I _{COMP} 値1, 9				6	—	μA
LVD動作電流	I _{LVD0} 値1, 10				0.02	—	μA
	I _{LVD1} 値1, 10				0.02	—	μA
セルフ・プログラミング動作電流	I _{FSP} 値1, 11				2.5	12.2	mA
データ・フラッシュ書き換え動作電流	I _{GO} 値1, 12				2.5	12.2	mA
SNOOZEモード・シーケンサ動作電流	I _{SMS} 値1, 13	f _H = 32 MHz			1.1	—	mA
		f _L = 32.768 kHz			1.2	—	μA
SNOOZE動作電流	I _{SNOZ} 値1	ADC動作	モード遷移中 ¹⁴	0.6	0.81		mA
			変換動作中、低電圧モード、AV _{REFP} = V _{DD} = 3.0 V		1.2	1.56	
		SPI (CSI) /UART動作			0.7	0.92	
リモコン信号受信機能動作電流	I _{REM} 値1, 15				0.03	—	μA
低速周辺クロック供給電流	I _{SLP} 値1, 16	RTCLPC = 0			0.22	—	μA
出力電流制御機能動作電流	I _{OCDA} 値1, 17	OCDE = 00H以外			100	—	μA
	I _{OCDP} 値1, 18	出力電流制御ポート1本あたり	ロウ・レベル出力電流の設定：Hi-Z	30	—		μA
ロウ・レベル出力電流の設定：2 ~ 15 mA			200	—		μA	

(2) 周辺機能（全製品共通）

(TA = -40 ~ +105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ動作電流	I _{FH} 値1	HIPREC = 0			240	—	μA
		HIPREC = 1			380	—	μA
中速オンチップ・オシレータ動作電流	I _{FM} 値1				20	—	μA
低速オンチップ・オシレータ動作電流	I _{FL} 値1				0.3	—	μA
RTC動作電流	I _{RTC} 値1, 2, 3	f _{RTCCLK} = 32.768 kHz			0.005	—	μA
		f _{RTCCLK} = 128 Hz			0.002	—	μA
32ビット・インターバル・タイマ動作電流	I _{IT} 値1, 2, 4				0.04	—	μA
ウォッチドッグ・タイマ動作電流	I _{WDT} 値1, 2, 5	f _L = 32.768 kHz(typ.)			0.32	—	μA
A/Dコンバータ動作電流	I _{ADC} 値1, 6	最高速度変換時	標準モード、AV _{REFP} = V _{DD} = 5.0 V	0.95	1.6		mA
			低電圧モード、AV _{REFP} = V _{DD} = 3.0 V	0.5	0.75		mA
AV _{REFP} 電流	I _{ADREF} 値7	AV _{REFP} = 5.0 V			52	—	μA
A/Dコンバータ内部基準電圧電流	I _{ADREF} 値1				114	—	μA
温度センサ動作電流	I _{TMPS} 値1				110	—	μA
D/Aコンバータ動作電流	I _{DAC} 値1, 8	1チャンネルあたり			150	—	μA
コンパレータ動作電流	I _{COMP} 値1, 9				6	—	μA
LVD動作電流	I _{LVD0} 値1, 10				0.02	—	μA
	I _{LVD1} 値1, 10				0.02	—	μA
セルフ・プログラミング動作電流	I _{FSP} 値1, 11				2.5	12.2	mA
データ・フラッシュ書き換え動作電流	I _{GO} 値1, 12				2.5	12.2	mA
SNOOZEモード・シーケンサ動作電流	I _{SMS} 値1, 13	f _H = 32 MHz	30 ~ 64ピン製品のフラッシュ ROM96 ~ 128 KBの製品		1.1	—	mA
			40 ~ 64ピン製品のフラッシュ ROM192 ~ 256 KBの製品および80ピン製品のフラッシュ ROM96 ~ 256 KBの製品		1.1	—	mA
		f _L = 32.768 kHz	44 ~ 80ピン製品のフラッシュ ROM384 ~ 768 KBの製品および100 ~ 128ピン製品		1.4	—	mA
			30 ~ 64ピン製品のフラッシュ ROM96 ~ 128 KBの製品		1.2	—	μA
		40 ~ 64ピン製品のフラッシュ ROM192 ~ 256 KBの製品および80ピン製品のフラッシュ ROM96 ~ 256 KBの製品		1.2	—	μA	
		44 ~ 80ピン製品のフラッシュ ROM384 ~ 768 KBの製品および100 ~ 128ピン製品		1.6	—	μA	

($T_A = -40 \sim +105^\circ\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)
(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
SNOOZE動作電流	ISNOZ ¹	f _H =32 MHz	ADC動作	モード遷移中 ¹⁴		0.8	0.81	mA
				変換動作中、低電圧モード、 AVREFP = V _{DD} = 3.0 V		1.2	1.56	mA
			簡易SPI (CSI) /UART動作			0.7	0.92	mA
			SMS ¹⁸	30～64ピン製品のフラッシュ ROM96～128 KBの製品		1.6	—	mA
				40～64ピン製品のフラッシュ ROM192～256 KBの製品 および80ピン製品のフラッシュ ROM96～256 KBの製品		1.7	—	
44～80ピン製品のフラッシュ ROM384～768 KBの製品 および100～128ピン製品		2.0		—				
リモコン信号受信機能 動作電流	I _{REM} ^{1, 16}			0.03	—	μA		
低速周辺クロック供給 電流	I _{XP} ^{1, 18}	RTCLPC = 0		0.22	—	μA		
出力電流制御機能動作 電流	I _{CCDA} ^{1, 17}	CCDE = 00H以外		100	—	μA		
	I _{CCDP} ^{1, 18}	出力電流制御 ポート1本 あたり	ロウ・レベル出力電流の設定：Hi-Z ロウ・レベル出力電流の設定：2～15 mA	30	—	μA		
真性乱数発生器動作電流	I _{TRNG} ¹			1.1	—	mA		

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロックは停止時。
- 注3. リアル・タイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 注4. 32ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. AVREFPIに流れる電流です。
- 注8. D/A コンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注9. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注10. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注11. セルフ・プログラミング動作に流れる電流です。
- 注12. データ・フラッシュ書き換え動作に流れる電流です。
- 注13. SNOOZEモード・シーケンサにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのSnoozeモード・シーケンサ動作時は、IDD1またはIDD2を加算した値が、RL78マイクロコントローラの電流値となります。
- 注14. SNOOZEモードへの移行時間は、**18.3.13 SNOOZEモード機能**を参照してください。

- 注1. VDDに流れる電流です。
- 注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロックは停止時。
- 注3. リアル・タイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、IDD1またはIDD2にIRTCを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 注4. 32ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。
- 注5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. AVREFPIに流れる電流です。
- 注8. D/A コンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注9. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注10. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注11. セルフ・プログラミング動作に流れる電流です。
- 注12. データ・フラッシュ書き換え動作に流れる電流です。
- 注13. SNOOZEモード・シーケンサにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのSNOOZEモード・シーケンサ動作時は、IDD1またはIDD2を加算した値が、RL78マイクロコントローラの電流値となります。
- 注14. SNOOZEモードへの移行時間は、**23.3.3 SNOOZEモード**を参照してください。

注15. リモコン信号受信機能にのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリモコン信号受信機能の動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

注16. RTCLPC = 0 かつSTOPモード時、RTCLPC = 0 かつCPUクロックにサブシステム・クロック (fSUB) を選択した状態でのHALTモード時に加算される電流です。

注17. 出力電流制御ポート設定時に加算される電流です。

注18. I/Oポートに流れる電流は含みません。

備考1. fIL：低速オンチップ・オシレータ・クロック周波数

備考2. fSUB：サブシステム・クロック周波数（XT1クロック発振周波数）

備考3. fCLK：CPU／周辺ハードウェア・クロック周波数

備考4. TYP.値の温度条件は、TA = 25°Cです。

注15. リモコン信号受信機能にのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリモコン信号受信機能の動作時は、IDD1またはIDD2にIITを加算した値が、RL78マイクロコントローラの電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。

注16. サブシステム・クロックX (fsX) が発振している状態でRTCLPC = 0 かつSTOPモード時、RTCLPC = 0 かつCPUクロックにサブシステム・クロックX (fsX) を選択した状態でのHALTモード時に加算される電流です。

注17. 出力電流制御ポート設定時に加算される電流です。

注18. I/Oポートに流れる電流は含みません。

注19. SNOOZEモード・シーケンサがIDD1の通常動作に相当する動作を実行したときの電流です。また、SNOOZEモード・シーケンサ以外の周辺機能に流れる電流は含みません。

備考1. fIL：低速オンチップ・オシレータ・クロック周波数

備考2. fsX：サブシステム・クロックX周波数

備考3. fCLK：CPU／周辺ハードウェア・クロック周波数

備考4. TYP.値の温度条件は、TA = 25°Cです。

88. 37.5.2 シリアル・インタフェース UARTA (p.1457)

誤)

($T_A = -40 \sim +105^{\circ}\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			200	0	19200	Bps

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ h (POMh) で、RxDq 端子は通常入力バッファを選択し、TxDq 端子は通常出力モードを選択します。

正)

($T_A = -40 \sim +105^{\circ}\text{C}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			200	0	153600	Bps

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ h (POMh) で、RxDq 端子は通常入力バッファを選択し、TxDq 端子は通常出力モードを選択します。

89. 37.6.1 A/D コンバータ特性 (1) 標準モード 1, 2 (p.1461)

誤)

(1) 標準モード 1, 2

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$,

基準電圧 (+) = AV_{REFP} ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧 (-) = AV_{REFM}

($ADREFM = 1$),

変換対象：ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
変換クロック	f _{AD}		1		32	MHz
総合誤差 ^{1, 3, 4, 6}	AINL	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±7.5	LSB
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±9.0	LSB
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±9.0	LSB
変換時間 ⁸	t _{CONV}	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			μs
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			μs
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			μs
ゼロスケール誤差 ^{1, 2, 3, 4, 6}	E _{ZS}	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.17	%FSR
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
フルスケール誤差 ^{1, 2, 3, 4, 6}	E _{FS}	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.17	%FSR
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
積分直線性誤差 ^{1, 4, 6}	ILE	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±3.0	LSB
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±3.0	LSB
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±3.0	LSB
微分直線性誤差 ¹	DLE	$4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		±1.0		LSB
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		±1.0		LSB
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		±1.0		LSB
アナログ入力電圧	V _{AIN}		0		AV _{REFP}	V

正)

(1) 標準モード 1, 2

($T_A = -40 \sim +105^\circ\text{C}$, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$,

基準電圧 (+) = AV_{REFP} ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧 (-) = AV_{REFM}

($ADREFM = 1$),

変換対象：ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
変換クロック	f _{AD}		1		32	MHz
総合誤差 ^{1, 3, 4, 6}	AINL	12ビット分解能 $4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±7.5	LSB
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±9.0	LSB
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±9.0	LSB
変換時間 ⁸	t _{CONV}	12ビット分解能 $4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			μs
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			μs
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$	2.0			μs
ゼロスケール誤差 ^{1, 2, 3, 4, 6}	E _{ZS}	12ビット分解能 $4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.17	%FSR
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
フルスケール誤差 ^{1, 2, 3, 4, 6}	E _{FS}	12ビット分解能 $4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.17	%FSR
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±0.21	%FSR
積分直線性誤差 ^{1, 4, 6}	ILE	12ビット分解能 $4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±3.0	LSB
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±3.0	LSB
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$			±3.0	LSB
微分直線性誤差 ¹	DLE	12ビット分解能 $4.5\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		±1.0		LSB
		$2.7\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		±1.0		LSB
		$2.4\text{ V} \leq AV_{REFP} = V_{DD} \leq 5.5\text{ V}$		±1.0		LSB
アナログ入力電圧	V _{AIN}		0		AV _{REFP}	V

90. 37.6.1 A/D コンバータ特性 (2) 低電圧モード 1, 2 (p.1463)

誤)

(2) 低電圧モード 1, 2

($T_A = -40 \sim +105^{\circ}\text{C}$, $1.6\text{ V} \leq \text{AVREFP} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$,
 基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM
 (ADREFM = 1),
 変換対象: ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		24	MHz
総合誤差 ^{1, 3, 4, 6}	AINL	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±9	LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±9	LSB
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±11.5	LSB
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±12.0	LSB
変換時間 ⁸	tCONV	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	3.33			µs
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	5.0			µs
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	10.0			µs
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	20.0			µs
ゼロスケール誤差 ^{1, 2, 3, 4, 6}	EzS	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.27	%FSR
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.28	%FSR
フルスケール誤差 ^{1, 2, 3, 4, 6}	EFS	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.27	%FSR
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.28	%FSR
積分直線性誤差 ^{1, 4, 6}	ILE	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.0	LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.0	LSB
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.5	LSB
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.5	LSB
微分直線性誤差 ¹	DLE	$2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±1.5		LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±1.5		LSB
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±2.0		LSB
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±2.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

正)

(2) 低電圧モード 1, 2

($T_A = -40 \sim +105^{\circ}\text{C}$, $1.6\text{ V} \leq \text{AVREFP} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = 0\text{ V}$,
 基準電圧 (+) = AVREFP (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM
 (ADREFM = 1),
 変換対象: ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		24	MHz
総合誤差 ^{1, 3, 4, 6}	AINL	12ビット分解能 $2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±9	LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±9	LSB
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±11.5	LSB
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±12.0	LSB
変換時間 ⁸	tCONV	12ビット分解能 $2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	3.33			µs
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	5.0			µs
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	10.0			µs
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$	20.0			µs
ゼロスケール誤差 ^{1, 2, 3, 4, 6}	EzS	12ビット分解能 $2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.27	%FSR
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.28	%FSR
フルスケール誤差 ^{1, 2, 3, 4, 6}	EFS	12ビット分解能 $2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.21	%FSR
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.27	%FSR
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±0.28	%FSR
積分直線性誤差 ^{1, 4, 6}	ILE	12ビット分解能 $2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.0	LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.0	LSB
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.5	LSB
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$			±4.5	LSB
微分直線性誤差 ¹	DLE	12ビット分解能 $2.7\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±1.5		LSB
		$2.4\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±1.5		LSB
		$1.8\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±2.0		LSB
		$1.6\text{ V} \leq \text{AVREFP} = \text{VDD} \leq 5.5\text{ V}$		±2.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

91. 37.6.4 コンパレータ特性 (p.1466)

誤)

(TA = -40~+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	IVREF	IVREF0端子、IVREF1端子入力。 COLVL, C1LVL = 0	0		$V_{DD} - 1.4$	V
		IVREF0端子、IVREF1端子入力。 COLVL, C1LVL = 1	1.4		V_{DD}	V
	IVCMP	IVCMP0, IVCMP1端子入力	-0.3		$V_{DD} + 0.3$	V
出力遅延	td	VDD = 3.0 V, 入力スループレート > 1 V/μs	高速モード		1.5	μs
			低速モード		3.0	μs
オフセット電圧	—	高速モード			50	mV
		低速モード			40	mV
動作安定待ち時間	tcMP		30			μs
内部基準電圧	VBOR2		1.4		1.6	V

正)

(TA = -40~+105°C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	IVREF	IVREF0端子、IVREF1端子入力 COLVL, C1LVL = 0	0		$V_{DD} - 1.4$ かつ E_{VDD0}	V
		IVREF0端子、IVREF1端子入力 COLVL, C1LVL = 1	1.4		E_{VDD0}	V
	IVCMP	IVCMP0, IVCMP1端子入力	-0.3		$E_{VDD0} + 0.3$	V
出力遅延	td	VDD = 3.0 V, 入力スループレート > 1 V/μs	高速モード		1.5	μs
			低速モード		3.0	μs
オフセット電圧	—	高速モード			50	mV
		低速モード			40	mV
動作安定待ち時間	tcMP		30			μs
内部基準電圧	VBOR2		1.4		1.6	V

92. 37.8 フラッシュ・メモリ・プログラミング特性 (p.1473)

誤)

(2) データ・フラッシュ

(TA = -40~+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			単位	
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
プログラム時間	1 バイト	B14	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	256 バイト	B2K	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	ms
ブランクチェック時間	1 バイト	B04	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	256 バイト	B2K	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	μs
イレース処理強制停止時間		B5D	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
STOP命令解除後プログラミング開始待ち時間			—	20	—	—	20	—	—	20	—	—	20	—	—	—	—	μs
DFLEN = 1 設定後のリード開始待ち時間			—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	—	—	ns

正)

(2) データ・フラッシュ

(TA = -40~+105°C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	fCLK = 1 MHz			fCLK = 2 MHz, 3 MHz			4 MHz ≤ fCLK < 8 MHz			8 MHz ≤ fCLK < 32 MHz			fCLK = 32 MHz			単位	
		MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
プログラム時間	1 バイト	B14	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	256 バイト	B2K	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	ms
ブランクチェック時間	1 バイト	B04	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	256 バイト	B2K	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	μs
イレース処理強制停止時間		B5D	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
STOP命令解除後プログラミング開始待ち時間			—	20	—	—	20	—	—	20	—	—	20	—	—	—	—	μs
DFLEN = 1 設定後のリード開始待ち時間			—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	—	—	μs

93. 38.4 40 ピン製品 (p.1479)

誤)

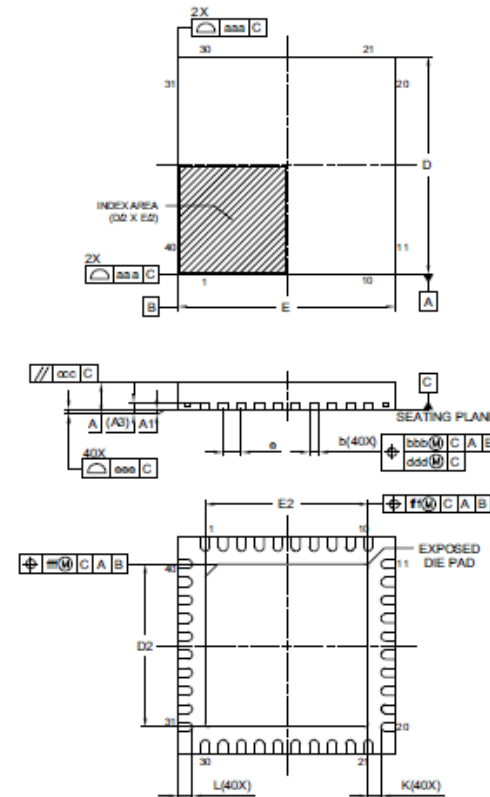
R7F100GEF3CNP, R7F100GEG3CNP, R7F100GEH3CNP, R7F100GEJ3CNP
R7F100GEF2DNP, R7F100GEG2DNP, R7F100GEH2DNP, R7F100GEJ2DNP

現在計画につき、詳細は当社営業窓口まで問い合わせください。

正)

R7F100GEF3CNP, R7F100GEG3CNP, R7F100GEH3CNP, R7F100GEJ3CNP
R7F100GEF2DNP, R7F100GEG2DNP, R7F100GEH2DNP, R7F100GEJ2DNP

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₂	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

94. 38.6 48ピン製品 (p.1482)

誤)

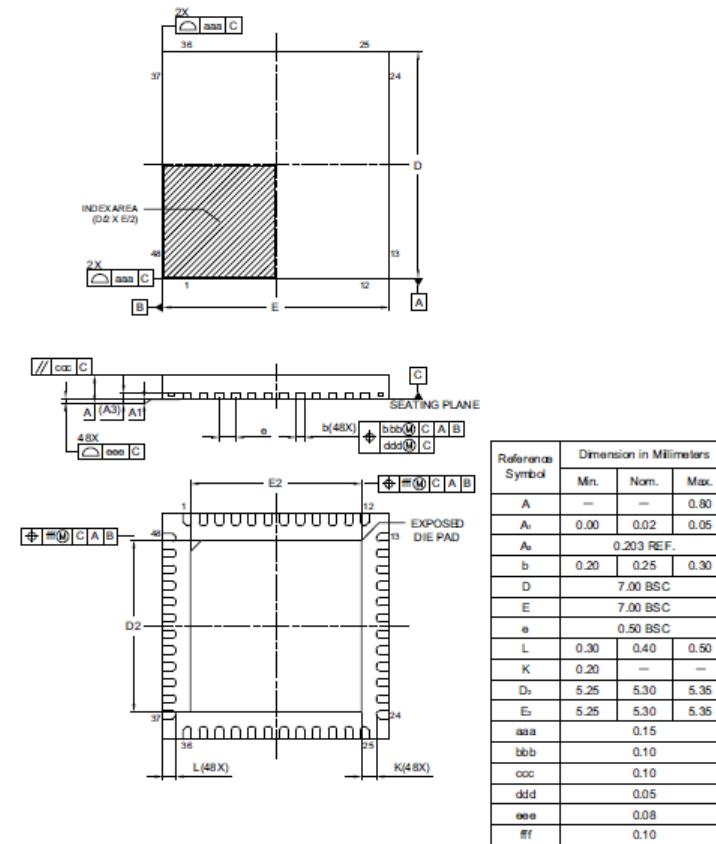
R7F100GGF3CNP, R7F100GGG3CNP, R7F100GGH3CNP, R7F100GGJ3CNP
 R7F100GGK3CNP, R7F100GGL3CNP, R7F100GGN3CNP
 R7F100GGF2DNP, R7F100GGG2DNP, R7F100GGH2DNP, R7F100GGJ2DNP
 R7F100GGK2DNP, R7F100GGL2DNP, R7F100GGN2CNP

現在計画中につき、詳細は当社営業窓口まで問い合わせください。

正)

R7F100GGF3CNP, R7F100GGG3CNP, R7F100GGH3CNP, R7F100GGJ3CNP
 R7F100GGK3CNP, R7F100GGL3CNP, R7F100GGN3CNP
 R7F100GGF2DNP, R7F100GGG2DNP, R7F100GGH2DNP, R7F100GGJ2DNP
 R7F100GGK2DNP, R7F100GGL2DNP, R7F100GGN2CNP

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



以上