

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

日立半導体技術情報

〒100-0004
 東京都千代田区大手町2丁目6番2号
 (日本ビル)
 TEL (03)5201-5214 (ダイヤルイン)
 株式会社 日立製作所 半導体グループ
 AS マイコンビジネスユニット
 SH コントローラマーケティンググループ

製品分類	マイクロコントローラ		発行番号	TN-SH7-397A		
題名	SH7144 シリーズハードウェアマニュアルの誤記訂正及び I ² C バスインターフェースの注意事項について		情報分類	1. 仕様変更 ②. ドキュメント訂正追加等 3. 使用上の注意事項 4. マスク変更 5. ライン変更		
適用製品	SH7144 シリーズ	対象ロット等	関連資料	SH7144 シリーズ ハードウェア マニュアル	Rev.	有効期限
		全ロット			第1版	永年

SH7144 シリーズにおいて、ハードウェアマニュアルに誤記訂正及び I²C バスインターフェースに関する使用上の注意事項がありますので、下記の通りご報告します。

1. ハードウェアマニュアルの誤記訂正について

訂正箇所 1 P1-2 内蔵メモリ容量一覧表の型名欄

(誤)

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F7144	256K バイト	8K バイト	
	HD64F7145	256K バイト	8K バイト	
マスク ROM 版	HD6437144	256K バイト	8K バイト	
	HD6437145	256K バイト	8K バイト	

(正)

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F7144 F50 *	256K バイト	8K バイト	
	HD64F7145 F50 *	256K バイト	8K バイト	
マスク ROM 版	HD6437144 F50 *	256K バイト	8K バイト	
	HD6437145 F50 *	256K バイト	8K バイト	

【注】 開発中

訂正箇所 2 P1-2 汎用入出力ポート本数一覧表の型名欄

(誤)

型名	入出力ポート	入力ポート
HD64F7144/HD6437144	74 本	8 本
HD64F7145/HD6437145	98 本	8 本

(正)

型名	入出力ポート	入力ポート
HD64F7144 F50 */HD6437144 F50 *	74 本	8 本
HD64F7145 F50 */HD6437145 F50 *	98 本	8 本

【注】 開発中

訂正箇所 3 P1-2 パッケージ一覧表の型名欄

(誤)

型名	パッケージ	(コード)	ボディサイズ	ピンピッチ
HD64F7144/HD6437144	QFP-112	FP-112B	20.0mm × 20.0mm	0.65mm
HD64F7145/HD6437145	LQFP-144	FP-144F	20.0mm × 20.0mm	0.5mm

(正)

型名	パッケージ	(コード)	ボディサイズ	ピンピッチ
HD64F7144 F50 */HD6437144 F50 *	QFP-112	FP-112B	20.0mm × 20.0mm	0.65mm
HD64F7145 F50 */HD6437145 F50 *	LQFP-144	FP-144F	20.0mm × 20.0mm	0.5mm

【注】 開発中

訂正箇所 4 P3-2 表 3.2 クロックモードの選択

(誤)

クロック モード番号	端子設定		クロック比(入力クロックを1とした場合)	
	MD3	MD2	システムクロック()	周辺クロック(P)
0	0	0	×1	×1
1	0	1	×2	×2
2	1	0	×4	×4
3	1	1	×4	×2

(正)

クロック モード番号	端子設定		クロック比(入力クロックを1とした場合)		
	MD3	MD2	システムクロック()	周辺クロック(P)	システムクロック出力(CK)
0	0	0	×1	×1	×1
1	0	1	×2	×2	×2
2	1	0	×4	×4	×4
3	1	1	×4	×2	×4

訂正箇所 5 P26-10 表 26.6 パスタイミング

(誤)

項目	記号	min	max	単位	参照図
リードデータアクセス時間	t _{ACC}	t _{CYC} × (n+2) - 40	-	ns	図 2 6 . 9、
リードストロープからのアクセス時間	t _{OE}	t _{CYC} × (n+1.5) - 43	-	ns	図 2 6 . 10

(正)

項目	記号	min	max	単位	参照図
リードデータアクセス時間	t _{ACC}	t _{CYC} × (n+2) - 43	-	ns	図 2 6 . 9、
リードストロープからのアクセス時間	t _{OE}	t _{CYC} × (n+1.5) - 40	-	ns	図 2 6 . 10

なお、電気的特性につきましては上記スペックを含め、「Preliminary」(暫定版)であり、今後変わる可能性があります。

訂正箇所 6 付録-14 C. 型名一覧

(誤)

製品分類	製品型名	パッケージ(パッケージコード)		
SH7144	フラッシュメモリ版	標準品	HD64F7144	QFP-112 (FP-112B)
	マスクROM版	標準品	HD6437144	QFP-112 (FP-112B)
SH7145	フラッシュメモリ版	標準品	HD64F7145	LQFP-144 (FP-144F)
	マスクROM版	標準品	HD6437145	LQFP-144 (FP-144F)

(正)

製品分類	製品型名	パッケージ(パッケージコード)		
SH7144	フラッシュメモリ版	標準品	HD64F7144 F50 *	QFP-112 (FP-112B)
	マスクROM版	標準品	HD6437144 F50 *	QFP-112 (FP-112B)
SH7145	フラッシュメモリ版	標準品	HD64F7145 F50 *	LQFP-144 (FP-144F)
	マスクROM版	標準品	HD6437145 F50 *	LQFP-144 (FP-144F)

【注】 開発中

2. I²C バスインタフェースの使用上の注意について (1)

2. 1 現象について

スレーブモード送信動作では第 1 フレームのアドレス受信でアドレスが一致した場合、8 クロック目の R/W ビットが 1 であれば自動的に TRS ビットが 1 にセットされて送信モードに遷移した後、9 クロック立ち下りから ICDR レジスタにデータがライトされるまで SCL 端子を Low 固定します。

ここで、第 1 フレームのアドレス受信 9 クロック立ち上がりエッジ検出時から 6 周辺クロック期間内(図 1 の網がけの期間)に ICDR レジスタリードまたは ICCR レジスタリード/ライト動作を行った場合、9 クロック立ち下りからの SCL 端子 Low 固定が行われず、マスタ側はスレーブ側が ICDR にライト動作を行う前にクロックの送出を開始してしまいます。この時 SDA 端子には ICDR シフトレジスタ内のデータが出力されるため、結果として意図しないデータがマスタ側に送信されてしまいます。

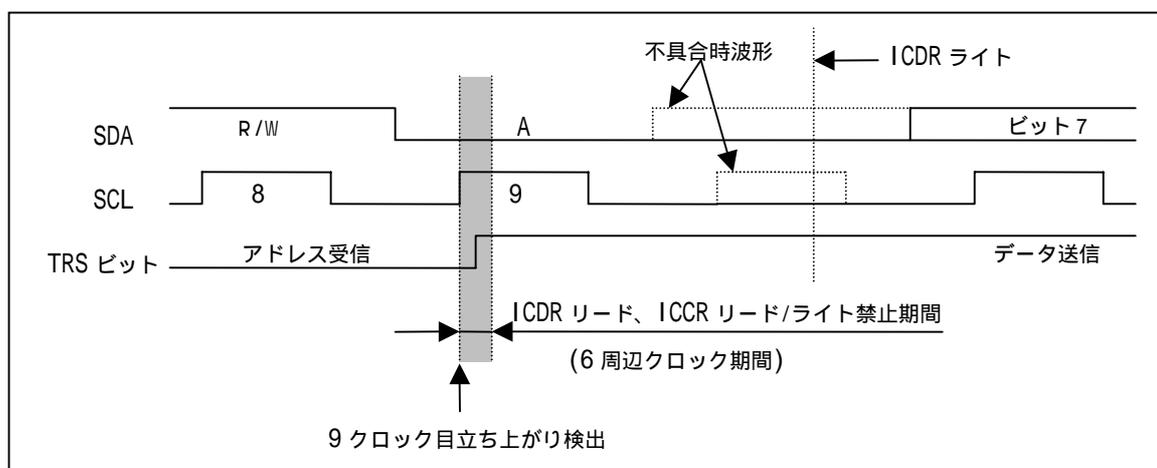


図 1.スレーブ送信動作における注意点

2. 2 本制限事項の回避について

本制限事項を避けるためにはソフトウェア上で、図 1 の網がけ期間中に ICDR レジスタリードまたは ICCR レジスタリード/ライト動作をしないで下さい。

なお、通常 9 クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDR レジスタリードまたは ICCR レジスタリード/ライト動作を行っても網掛け期間を避けることができます。ここで、次のスレーブアドレス受信動作が開始される前にそれまでに受信した ICDR レジスタのリード動作、および ICCR レジスタのリード/ライト動作を完了させるようにして下さい。

その他、ICMR レジスタの BC2-0 カウンタをモニタし、BC2-0=000 (8 クロック目または 9 クロック目) の場合は 2 転送クロック期間以上の待ち時間を設けて、問題となる期間を避けて ICDR レジスタリードまたは ICCR レジスタリード/ライト動作を行ってください。

3. I²C バスインタフェースの使用上の注意について (2)

スレーブモード動作時、スレーブ送信動作 (TRS=1) 状態から停止条件を経由しないで再開条件により次のアドレス受信動作 (TRS=0) に移行する場合には、図 2 に示す (a) の期間中に TRS=0 クリア動作を行ってください。

スレーブモードでは 9 クロック目の立ち上がりエッジ検出または停止条件検出時から次に SCL 端子に立ち上がりエッジを検出するまで (図 2. (a) の期間) は、ICCR レジスタの TRS ビットに設定された値は直ちに有効となります。

しかし、上記以外の期間 (図 2. (b) の期間) に設定された TRS ビットの値は、次に 9 クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、図 2 の (b) TRS ビット設定のケースでは、再開条件入力に続くアドレス受信動作時にも内部的な TRS ビットの実効値は 1 (送信モード) のままとなり、9 クロック目のアドレス受信完了に伴う ACK ビット送信が行われません。

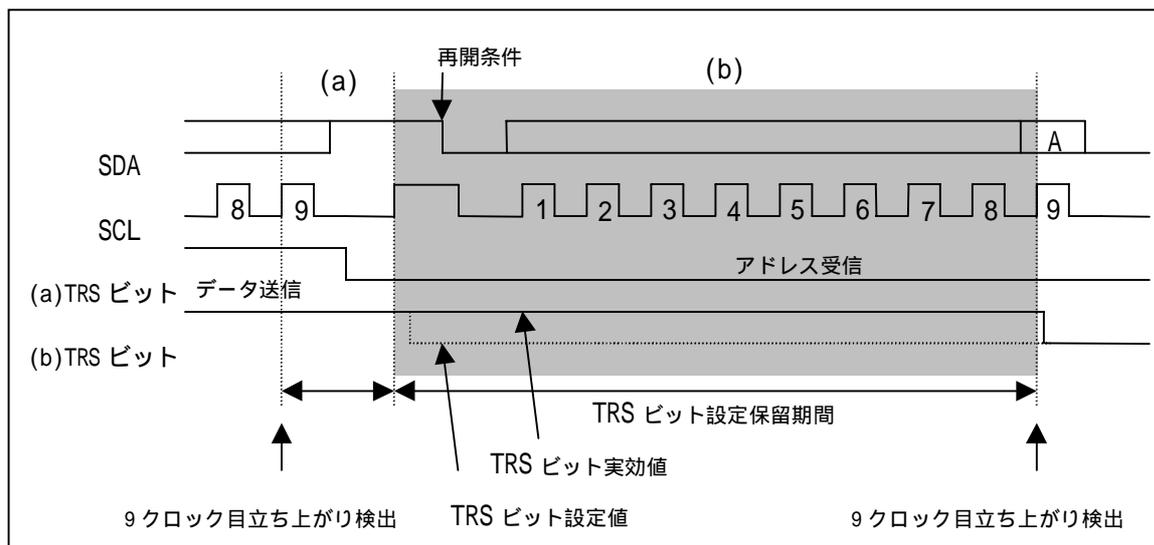


図 2. スレーブモード時 TRS 設定における注意点