

マイクロコンピュータ技術情報

| | | | | |
|---|------------------------------|-----------------------------------|--|------------------------------|
| 技術通知 V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2, μ PD703229Y, μ PD70F3229Y 用 インサーキット・エミュレータ QB-V850ESFX2 使用制限事項の件 | | 発行番号 | ZBG-CD-05-0093号 | 1/3 |
| | | 発行日 | 2005年 10月 25日 | |
| | | 発行元 | NEC エレクトロニクス株式会社 第四システム事業本部 汎用マイコンシステム事業部 開発ツールグループ | |
| 文書分類 | <input type="radio"/> 使用制限事項 | <input type="checkbox"/> バージョンアップ | <input type="checkbox"/> ドキュメント誤記訂正(正誤表) | <input type="checkbox"/> その他 |
| 関連資料 | QB-V850ESFX2 ユーザーズ・マニュアル | | 資料番号: ZUD-CD-05-0129 | |
| | | | | |
| | | | | |

CP(K),O

1. 対象製品

| 製品名 | 管理記号 ^注 | 備考 |
|----------------------|-------------------|---------------------|
| QB-V850ESFX2-xxx-yyy | A, B, C | xxx,yyy は任意のオーダーコード |

注: 管理記号の見分け方については、別紙を参照してください。

2. 新たな制限事項

今回新たに No.17, 18 の制限事項を追加させていただきました。制限事項の詳細は別紙を参照してください。

No.17: 内蔵 RAM でプログラム実行時のイリーガル・ブレイク制限事項2

No.18: 外部バス・アクセスでアドレス信号が保持されない制限事項

また、No.7 の制限事項について、誤記がありましたので訂正させていただきます。なお、一部恒久的な制限事項とさせていただきます。

・訂正箇所 制限事項 No.7「内蔵 RAM でのプログラム実行と DMA 転送に関する不具合」

➤ 訂正前

【内容】 内蔵 RAM を対象とした DMA 転送を実行しており、かつ内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1) もしくは、ミス・アライン・アドレスに対するデータ・アクセス命令を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。
 デッド・ロック中はリセットのみ受付可能です (NMI も割り込みも受け付けられません)。

【回避策】 以下のいずれかの方法により、回避をお願いいたします。

- ・内蔵 RAM 上に配置された命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA を実行する場合は、内蔵 RAM 上に配置された命令実行を行わない。

管理記号 B 以上で修正済みです。

➤ 訂正後

【内容】 下記(1)または(2)の命令実行と内蔵 RAM を対象とした DMA 転送を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。

デッド・ロック中はリセットのみ受付可能です(NMI 割り込みも受け付けられません)。

(1) 内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1)

(2) 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

【回避策】 以下のいずれかの方法により、回避をお願いいたします。

(1) 内蔵 RAM で実行した命令がビット操作命令 (SET1, CLR1, NOT1) の場合

- ・内蔵 RAM 上に配置されたビット操作命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたビット操作命令を実行しない。

管理記号 B 以上で修正済みです。

(2) 内蔵 RAM で実行した命令がミス・アライン・アドレスに対するデータ・アクセス命令の場合

- ・内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。
- ・内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

3. 回避策

今回追加した制限事項 No.17, No.18 の回避策については、別紙を参照してください。

4. 改善計画

No.17: 改善計画はありません。申し訳ありませんが、恒久的な制限とさせていただきます。

No.18: デバイス・ファイルのバージョンアップにて修正いたします。デバイス・ファイルのバージョンアップは下記日程を予定しております。

- | | |
|---------------------------|---------------|
| ・DF703229 V2.01 (次期バージョン) | 2005 年 11 月中旬 |
| ・DF703239 V2.11 (次期バージョン) | 2005 年 11 月中旬 |

★本日程については予告無し変更する場合がございますので、改善品のリリース日程については、別途、弊社営業、または特約店までお問い合わせください。

5. 制限事項一覧

別紙を参照してください。

6. サポート・デバイス追加のお知らせ

次に示すデバイスを QB-V850ESFX2 でサポート・デバイスとして追加しました。

「インサーキット・エミュレータ QB-V850ESFX2 ユーザーズ・マニュアル(ZUD-CD-05-0129)」より、今回追加したサポート・デバイスの使用方法を掲載しています。

- QB-V850ESFX2 で追加するサポート・デバイス
V850ES/HE2, V850ES/HF2, V850ES/HG2, V850ES/HJ2

- QB-V850ESFX2 ユーザーズ・マニュアル
発行日 : 2005 年 9 月 26 日
文書名 : QB-V850ESFX2 ユーザーズ・マニュアル
文書番号 : ZUD-CD-05-0129

7. 発行文書履歴

V850ES/FE2, V850ES/FF2, V850ES/FG2, V850ES/FJ2, μ PD703229Y, μ PD70F3229Y 用
インサーキット・エミュレータ
QB-V850ESFX2 使用制限事項の件

| 文書番号 | 発行日 | 記事 |
|----------------|------------|--|
| ZBG-BG-05-0003 | 2005.4.22 | 初版 |
| ZBG-CD-05-0093 | 2005.10.25 | 第2版 ・制限事項 No.17, No.18 の追加 ・制限事項 No.7 の誤記を修正 ・サポート・デバイスの追加お知らせ追加 ・旧版 (ZBG-BG-05-0003) の制限事項 No.1 ~ No.13 を「QB-V850ESFX2 インサーキット・エミュレータ ユーザーズ・マニュアル」(ZUD-CD-05-0129) 第四章 注意事項へ移動し採番変更 |

以上

QB-V850ESFX2 使用上の注意

本文書はエミュレータのみが該当する制限事項，およびエミュレータで修正予定のある制限事項を記載しています。

対象デバイスの制限事項については下記文書に記載されておりますので，あわせてお読みください。

- ・対象デバイスのユーザーズ・マニュアル
- ・対象デバイスの制限事項文書

また，エミュレータの注意事項についてはエミュレータのユーザーズ・マニュアルに記載されております。

こちらもお合わせてお読みください。

1. 製品バージョン

| 管理記号 ^注 | 備考 |
|-------------------|----|
| A | - |
| B | - |
| C | - |

注) 管理記号とは、ご購入時(バージョンアップを行っていない)は、IECUBE 本体底面のシールに記載されている 10 桁のシリアル・ナンバーの左から 2 桁目の記号です。

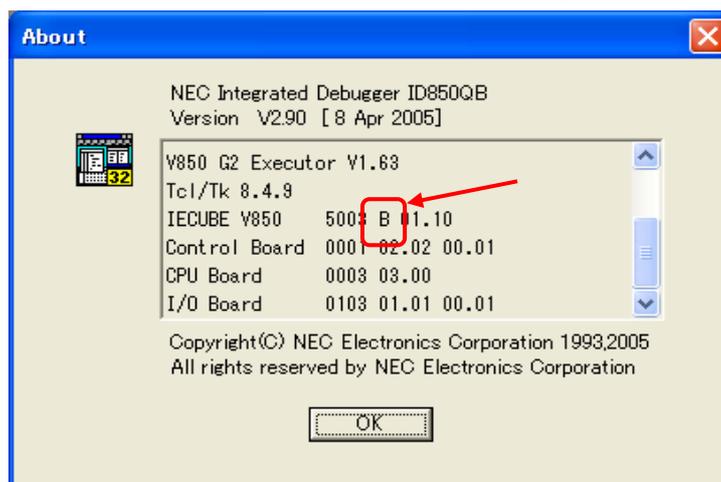
管理記号は次に示すようにデバッガ上でも確認できます。

バージョンアップを行っている場合は、以下の方法により確認してください。

➤ ID850QB の場合

[ヘルプ] [バージョン情報]で確認します。

IECUBE V850 **** X **. **の X が管理記号になります。



➤ Green Hills Software(GHS)社製デバッガ MULTI[®]の場合

850eserv の version コマンドで確認します。

IECUBE Control Code=X の X が管理記号になります。

```
850eserv Version: 3.2342 (for MULTI V4.0.x)
IE type=NU85E Full ICE Generation 2 (IECUBE)
Executor Version=V850 G2 Executor V1.63 Copyright 2004
Device File Format Version=V2.18
Device File File Version=V2.10
IECUBE Control Code=B
IECUBE Firmware Version=V1.10
Control Board Version=V2.02 (FPGA Version=0.01)
CPU Board Version=V3.00
I/O Board Version=V1.01 (FPGA Version=0.01)
```

2. 製品履歴

| 項番 | 仕様変更・追加 / 不具合事項 | 管理記号 | | |
|----------|---------------------------------------|------------------|----------|---|
| | | A | B | C |
| 注 No. 1 | フラッシュ・セルフ・プログラミング機能の注意事項 | 恒久的な制限事項 | | |
| 注 No. 2 | Non-Map-Break の注意事項 | 恒久的な制限事項 | | |
| 注 No. 3 | DBTRAP 命令の注意事項 | 恒久的な制限事項 | | |
| 注 No. 4 | PSC レジスタ・アクセス | 恒久的な制限事項 | | |
| 注 No. 5 | DBPC, DBPSW, ECR レジスタの注意事項 | 恒久的な制限事項 | | |
| 注 No. 6 | トレース表示順序の注意事項 | 恒久的な制限事項 | | |
| 注 No. 7 | 延長プローブの注意事項 | 恒久的な制限事項 | | |
| 注 No. 8 | ハードウェア・ブレイク設定時の 2 命令同時実行 | 恒久的な制限事項 | | |
| 注 No. 9 | オンチップ・デバッグ機能の注意事項 | 恒久的な制限事項 | | |
| 注 No. 10 | スタンバイ・モードの注意事項 | 恒久的な制限事項 | | |
| 注 No. 11 | ブレイク中の動作 | 恒久的な制限事項 | | |
| 注 No. 12 | RAM 保持フラグの注意事項 | 恒久的な制限事項 | | |
| 注 No. 13 | 消費電流の注意事項 | 恒久的な制限事項 | | |
| No. 1 | ブレイク時の UAnRX レジスタ アクセス不具合 (n=0-3) | 恒久的な制限事項 | | |
| No. 2 | ブレイク時の CBnRX レジスタ アクセス不具合 (n=0-2) | 恒久的な制限事項 | | |
| No. 3 | ブレイク時の CnRGPT レジスタ アクセス不具合 (n=0-3) | 恒久的な制限事項 | | |
| No. 4 | ブレイク時の CnTGPT レジスタ アクセス不具合 (n=0-3) | 恒久的な制限事項 | | |
| No. 5 | ブレイク時の CnGNCTRL レジスタ アクセス不具合 (n=0-3) | 恒久的な制限事項 | | |
| No. 6 | DMA 転送強制終了に関する不具合 (n=0-3) | x | | |
| No. 7 | 内蔵 RAM でのプログラム実行と DMA 転送に関する不具合 | (1) ビット操作命令 | x | |
| | | (2) ミス・アライン・アクセス | 恒久的な制限事項 | |
| No. 8 | 内部リセット発生によるハングアップ制限事項 | x | | |
| No. 9 | ダウンロード/ソフトウェア・ブレイク設定時のハングアップ制限事項 | デバッガで対応 | | |
| No. 10 | 外部 RAM 接続時のデータ破壊について | デバッガで対応 | | |
| No. 11 | POC 回路, クロック・モニタのエミュレーションについて | デバッガで対応 | | |
| No. 12 | フラッシュ・マスク・オプションの設定不可について | デバッガで対応 | | |
| No. 13 | 内蔵 RAM でプログラム実行時のイリーガル・ブレイク制限事項1 | 恒久的な制限事項 | | |
| No. 14 | ブレイク中のリセット入力制限事項 | x | | |
| No. 15 | RESET マスク使用時の STOP 移行および解除による不具合 | 恒久的な制限事項 | | |
| No. 16 | ブレイク時の A/D 変換機能不具合 | 恒久的な制限事項 | | |
| No. 17 | 内蔵 RAM でプログラム実行時のイリーガル・ブレイク制限事項 2 | 恒久的な制限事項 | | |
| No. 18 | 外部バス・アクセスでアドレス信号が保持されない制限事項 | デバイス・ファイルで対応 | | |

x : 該当する : 該当しない, または修正済み

注) QB-V850ESFX2 インサーキット・エミュレータのユーザズ・マニュアル (ZUD-CD-05-0129) 第四章 注意事項へ記載を移動しました。

3. 不具合および仕様追加事項詳細

No.1 ブレーク時の UAnRX レジスタ アクセス不具合 (n=0-3)

【内 容】 下記(a) ~ (c)の状況でオーバーラン・エラーが発生します。

- (a)UART 受信バッファ・レジスタ(UAnRX)をリード後ブレークし、デバッガの I/O レジスタ・ウインドウで UAnRX レジスタを表示すると、次回 UART 受信動作時にオーバーラン・エラーが発生
- (b)UART 受信バッファ・レジスタ(UAnRX)をリードした直後にソフトウェア・ブレークが発生すると、I/O レジスタ・ウインドウで表示する/しないにかかわらず、次回 UART 受信動作時にオーバーラン・エラーが発生
- (c)ブレーク中^注に UART 受信バッファ・レジスタ(UAnRX)を転送元とする DMA 転送が発生すると、次回 UART 受信動作時にオーバーラン・エラーが発生

注：RAM モニタ機能，DMM 機能，ステップ実行，フェイル・セーフ・ブレーク，RUN 中のイベント変更によるブレーク中を含みます。ただし，リアルタイム RAM モニタ機能はブレークしないため問題ありません。

ブレーク中に UART がデータを複数回受信した場合もオーバーラン・エラーが発生します。
これはエミュレータの仕様です。

- 【回避策】
- (a)I/O レジスタ・ウインドウで UAnRX レジスタの表示を行わないでください。
 - (b)UAnRX レジスタをリードした直後にブレークを設定する場合，ハードウェア・ブレークを設定してください。
 - (c)申し訳ありませんが，回避策はありません。
申し訳ありませんが，(a)，(b)，(c)共に恒久的な制限事項とさせていただきます。

No.2 ブレーク時の CBnRX レジスタ アクセス不具合 (n=0-2)

【内 容】 CSIBn 受信データ・レジスタ(CSIBn)はリードすると、次の受信動作を開始するのが本来の動作ですが、下記(a)、(b)の状況では CSIBn をリードしても受信動作が開始されません。このため、次の現象が発生します。

- ・通信が停止してしまう
- ・DMA コントローラが停止してしまう

(a)CSIBn 受信データ・レジスタ(CBnRX)をリードした直後にソフトウェア・ブレークが発生した場合

(b)ブレーク中^注に CSIBn 受信データ・レジスタ(CBnRX)を転送元とする DMA 転送が発生した場合

注：RAM モニタ機能，DMM 機能，ステップ実行，フェイル・セーフ・ブレーク，RUN 中のイベント変更によるブレーク中を含みます。ただし，リアルタイム RAM モニタはブレークしないため問題ありません。

【回避策】 (a)CBnRX レジスタをリードした直後にブレークを設定する場合は、ハードウェア・ブレークを設定してください。

(b)申し訳ありませんが、回避策はありません。

申し訳ありませんが、(a)、(b)共に恒久的な制限事項とさせていただきます。

No.3 ブレーク時の CnRGPT レジスタ アクセス不具合 (n=0-3)

【内 容】 下記(a)、(b)の状況で本来インクリメントされるはずの読み出しポインタ(RGPT)がインクリメントされず、前回と同じデータをリードしてしまいます。

(a)CANn モジュール受信履歴・リスト・レジスタ(CnRGPT)をリードした直後にソフトウェア・ブレークが発生した場合

(b)ブレーク中^注に CANn モジュール受信履歴・リスト・レジスタ(CnRGPT)を転送元とする DMA 転送が発生した場合

注：RAM モニタ機能，DMM 機能，ステップ実行，フェイル・セーフ・ブレーク，RUN 中のイベント変更によるブレーク中を含みます。ただし，リアルタイム RAM モニタ機能はブレークしないため問題ありません。

【回避策】 (a)CnRGPT レジスタをリードした直後にブレークを設定する場合はハードウェア・ブレークを設定してください。

(b)申し訳ありませんが、回避策はありません。

申し訳ありませんが、(a)、(b)共に恒久的な制限事項とさせていただきます。

No.4 ブレーク時の CnTGPT レジスタ アクセス不具合 (n=0-3)

【内 容】 下記(a), (b)の状況で本来インクリメントされるはずの読み出しポインタ(TGPT)がインクリメントされず, 前回と同じデータを送信してしまいます。

(a)CANn モジュール送信履歴・リスト・レジスタ(CnTGPT)をリードした直後にソフトウェア・ブレークが発生した場合

(b)ブレーク中^注に CANn モジュール送信履歴・リスト・レジスタ(CnTGPT)を転送元とする DMA 転送が発生した場合

注: RAM モニタ機能, DMM 機能, ステップ実行, フェイル・セーフ・ブレーク, RUN 中のイベント変更によるブレーク中を含みます。ただし, リアルタイム RAM モニタはブレークしないため問題ありません。

【回避策】 (a)CnTGPT レジスタをリードした直後にブレークを設定する場合はハードウェア・ブレークを設定してください。

(b)申し訳ありませんが, 回避策はありません。

申し訳ありませんが, (a), (b)共に恒久的な制限事項とさせていただきます。

No.5 ブレーク時の CnGNCTRL レジスタ アクセス不具合 (n=0-3)

【内 容】 下記のシーケンスでアクセスを行った際, 本来発生しないはずの強制シャットダウンがシーケンス終了後に発生する場合があります。

[発生シーケンス]

(1) CANn モジュール制御レジスタ(CnGMCTRL)の EFSD ビットをセット

(2) I/O レジスタをアクセス^注

(3) CANn モジュール制御レジスタ(CnGMCTRL)の GOM ビットをクリア

注: CnGMCTRL レジスタの GOM ビットをクリアする以外の I/O レジスタ・アクセス強制シャットダウンが発生してしまう条件を下記に示します。

(a) (2)の I/O レジスタ・アクセス直後にブレークが発生した場合

(b) (2)の I/O レジスタ・アクセス直後に RAM モニタ機能, DMM 機能によるブレークが発生した場合

(c) (2)の I/O レジスタ・アクセスをステップ実行した場合

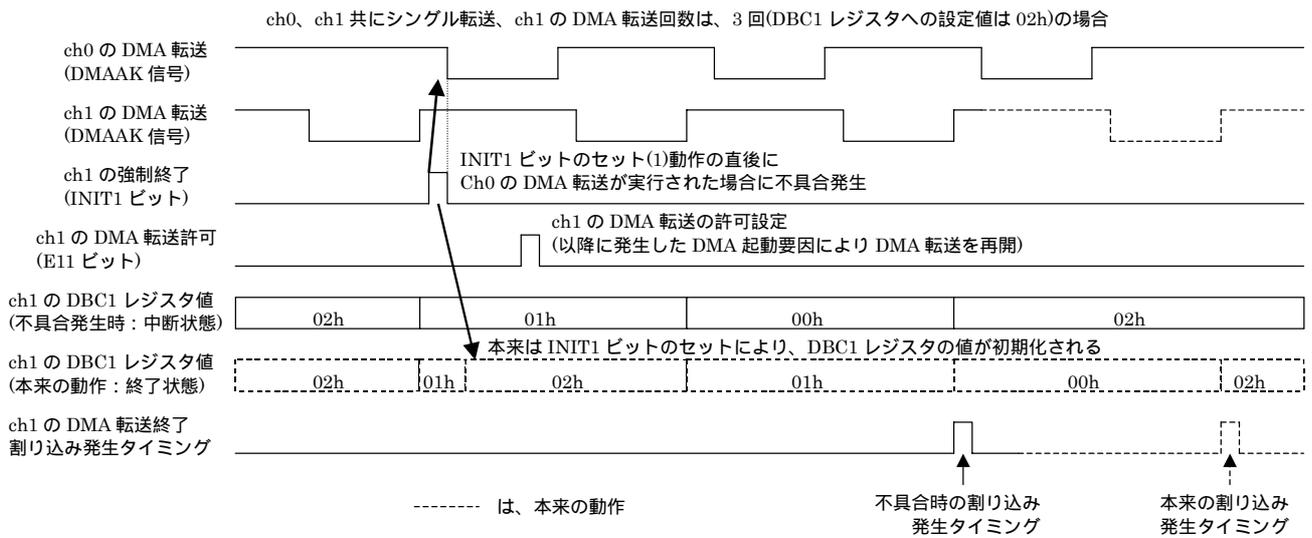
【回避策】 強制シャット・ダウンを行う場合, 必ず EFSD ビットのセットと GOM ビットのクリアを連続して行ってください。

強制シャットダウンを行わない場合, 上記シーケンスでのアクセスは行わないでください。

申し訳ありませんが, 恒久的な制限事項とさせていただきます。

No.6 DMA 転送強制終了に関する不具合 (n=0-3)

【内容】 DCHCn レジスタの INITn ビットの操作により、DMA 転送を強制終了する場合、INITn ビットをセット(1)したにも拘わらず、強制終了されずに中断状態になる場合があります。このため、強制終了させたはずのチャンネルの DMA 転送を再開させた場合に、想定外の転送回数完了後に DMA 転送が終了し、DMA 転送終了割り込みが発生することがあります (n=0-3)。本不具合は、強制終了 (INITn ビットのセット(1)) の直後に DMA 転送が実行された場合に発生します (下図参照)。



本不具合は転送チャンネル数，転送タイプ（2 サイクル / フライバイ），転送対象（メモリ - メモリ，メモリ - I/O；内蔵資源を含む），転送モード（シングル / シングル・ステップ / ブロック），起動要因（外部要求，内蔵周辺 I/O からの割り込み，ソフトウェア）には依存せず，仕様の設定可能ないずれの組み合わせでも発生する可能性があります。また，他のチャンネルの影響も受けます。

なお，以下のレジスタは，マスタ / スレーブの 2 段 FIFO 構成のバッファ・レジスタになっています。このため，DMA 転送中，及び DMA 中断状態にこれらのレジスタを書き換えた場合，マスタ・レジスタに書き込まれます。DMA 転送中，中断状態に書き換えた値は，書き換えたチャンネルの DMA 転送終了時にスレーブ・レジスタに反映されます。

また，上図における初期化とは，マスタ・レジスタの内容をスレーブ・レジスタに反映させることを指しています。

2 段 FIFO 構成のレジスタ

- DMA ソース・アドレス・レジスタ (DSAnH, DSAnL)
- DMA ディスティネーション・アドレス・レジスタ (DDAnH, DDAnL)
- DMA 転送カウント・レジスタ (DBCn)

【回避策】 以下のいずれかの手順によりソフトウェアにて回避可能です。

一時的に全ての DMA チャンネルの転送を停止させる方法

次の点を満たして頂ければ、以下の手順で回避可能です。

- ・以下の回避処理以外で、DCHCn レジスタの TCn ビット=1 となっていることを期待したプログラム構成になっていない (DCHCn レジスタの TCn ビットは読み出しによりクリア (0) されるため、以下 (5) の回避処理ルーチン実行によりクリアされてしまいます)。

不具合回避手順

- (1) 割り込み禁止(DI)状態にする。
- (2) DMA リスタート・レジスタ (DRST) を読み出し、各チャンネルの ENn ビットを汎用レジスタに転送する。(値: A)
- (3) DMA リスタート・レジスタ (DRST) に 00H を書き込む (2 回実行[※])。
2 回実行[※]することにより (4) の処理以前に必ず DMA 転送が停止します。
- (4) 強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット (1) する。
- (5) (2) で読み出した値 (A) に対して次の操作を行う。(値: B)
強制終了するチャンネルのビットをクリア (0) する。
強制終了しない各チャンネルの TCn ビットと ENn ビットが、共に 1 (AND が 1) の場合はそのチャンネルのビットをクリア (0) する。
- (6) (5) で操作した値 (B) を DRST レジスタに書き込む。
- (7) 割り込み許可(EI)状態にする。

: 上記 (5) は、(2) ~ (3) の間に正常終了したチャンネルに対して、再度 ENn ビットを不正にセットすることを防ぐため、必ず行ってください。

注: 転送対象 (転送元または転送先) が内蔵 RAM の場合は、3 回実行してください。

常に強制終了するまで INITn ビットのセットを繰り返し実行する方法 (n=0-3)

不具合回避手順

- (1) 強制終了したいチャンネルの初期転送回数を汎用レジスタにコピーする。
- (2) 強制終了するチャンネルの DCHCn レジスタの INITn ビットをセット (1) する。
- (3) 強制終了するチャンネルの DMA 転送カウンタ・レジスタ (DBCn) の値を読み込み、
(1) でコピーした値と比較する。一致しない場合は (2) ~ (3) を繰り返す。
: (3) で DBCn レジスタを読み込んだ場合、不具合で停止したときは残りの転送回数がリードされます。正常に強制終了した場合には初期転送回数がリードされます。
: この回避方法は、強制終了の対象となっている DMA チャンネル以外の DMA 転送が、頻繁に行われるようなアプリケーションにおいては、強制終了されるまでに、時間を要する可能性がありますのでご注意願います。

管理記号 B 以上で修正済みです。

No.7 内蔵 RAM でのプログラム実行と DMA 転送に関する不具合

【内容】 下記(1)または(2)の命令実行と内蔵 RAM を対象とした DMA 転送を実行した場合、内部バスの競合動作により、CPU がデッド・ロックする可能性があります。

デッド・ロック中はリセットのみ受付可能です (NMI も割り込みも受け付けられません)。

(3) 内蔵 RAM 上に配置されたビット操作命令 (SET1, CLR1, NOT1)

(4) 内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令

【回避策】 以下のいずれかの方法により、回避をお願い致します。

(3) 内蔵 RAM で実行した命令がビット操作命令 (SET1, CLR1, NOT1) の場合

- ・内蔵 RAM 上に配置されたビット操作命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。

- ・内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたビット操作命令を実行しない。

管理記号 B 以上で修正済みです。

(4) 内蔵 RAM で実行した命令がミス・アライン・アドレスに対するデータ・アクセス命令の場合

- ・内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行する場合は、内蔵 RAM を対象とした DMA 転送を行わない。

- ・内蔵 RAM を対象とする DMA 転送を実行する場合は、内蔵 RAM 上に配置されたミス・アライン・アドレスに対するデータ・アクセス命令を実行しない。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.8 内部リセット発生によるハングアップ制限事項

【内容】 ウォッチドッグ・タイマ 2 によるリセットや低電圧検出回路(LVI)によるリセットが発生するとエミュレータがハングアップすることがあります。

【回避策】 リセット・スタート後、ウォッチドッグ・タイマ 2 は停止してください。

低電圧検出(LVI)のエミュレーションは行わないでください。

管理記号 B 以上で修正済みです。

No.9 ダウンロード/ソフトウェア・ブレーク設定時のハングアップ制限事項

【内 容】 内蔵 ROM エリアへのダウンロード中/内蔵 ROM エリアへのソフトウェア・ブレーク設定中に、WAIT 端子、HLDRQ 端子がアクティブ・レベルになっていると、エミュレータがハングアップします。

【回避策】 WAIT 端子、HLDRQ 端子を使用しない場合、デバッガの端子マスク機能で WAIT、HLDRQ をマスクしてください。

WAIT 端子、HLDRQ 端子を使用する場合、内蔵 ROM エリアへのダウンロード中/内蔵 ROM エリアへのソフトウェア・ブレーク設定中にアクティブ・レベルにしないでください。

デバッガのバージョンアップで改善されます。

- ・ ID850QB の場合 V2.81 以上を使用してください。
- ・ Multi の場合 V1.57 以上の EXEC を使用してください。

No.10 外部 RAM 接続時のデータ破壊について

【内 容】 ターゲット・システム上に外部 RAM が存在し、バス制御端子がアクティブのとき、内蔵 ROM へのダウンロードおよび、内蔵 ROM へのソフトウェア・ブレークの設定により、外部 RAM の CS0 領域(0x100000 ~ 0x1FFFFFF)のデータが書き換わる場合があります。

【回避策】 該当する場合は、ダウンロード後のプログラム実行で外部 RAM 値を初期化してください。また、内部 ROM 空間に対してはソフトウェア・ブレークを使用せず、ハードウェア・ブレークを使用してください。

デバッガのバージョンアップで改善されます。

- ・ ID850QB の場合 V2.81 以上を使用してください。
- ・ Multi の場合 V1.57 以上の EXEC を使用してください。

No.11 POC 回路、クロック・モニタのエミュレーションについて

【内 容】 POC 回路およびクロック・モニタのエミュレーションはできません。

【回避策】 申し訳ありませんが、回避策はありません。

デバッガおよびデバイス・ファイルのバージョンアップでの対応を予定しています。

No.12 フラッシュ・マスク・オプションの設定不可について

【内 容】 フラッシュ・マスク・オプションの対象となるオプション・データ領域(0x007A)はプログラムの設定値が 0x007A 番地に反映されますが、実際の動作には反映されません。00H を設定した場合の動作と同じになります。

【回避策】 申し訳ありませんが、回避策はありません。

デバッガのバージョンアップで改善されます。

- ・ ID850QB の場合 V2.81 以上を使用してください。
- ・ Multi の場合 V1.57 以上の EXEC を使用してください。

No.13 内蔵RAMでプログラム実行時のイリーガル・ブレイク制限事項1

【内 容】 内蔵RAMでプログラム実行時に周辺I/Oレジスタへのアクセスを行うと、意図しないブレイクが発生する場合があります。

【回避策】 デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレイクの設定を解除してください。

・ID850QBの場合

コンフィギュレーション・ウインドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。

・Multiの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェイル・セーフ・ブレイクを解除してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.14 ブレイク中のリセット入力制限事項

【内 容】 RESET端子がアクティブな状態(ロー・レベル)でブレイクが発生すると、ハングアップすることがあります。

【回避策】 デバッガの端子マスク機能でRESET端子をマスクしてください。

管理記号B 以上で修正済みです。

No.15 RESET マスク使用時の STOP 移行および解除による不具合

【内 容】 デバッガの端子マスク機能でRESETをマスクし、ウォッチドッグ・タイマ2をリセット・モードで使用するとSTOPモードの移行および解除タイミング(下表1~4のいずれか)により、STOPモード解除後CPUの動作クロックが内蔵発振器になります。一度内蔵発振器に切り替わるとデバッガのCPUリセット・ボタンを押すまで内蔵発振器で動作し続けます。

| No. | ウォッチドッグ・タイマ2の動作クロック | 不具合が発生するタイミング |
|-----|---------------------|--|
| 1 | メイン・クロック | ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 ^注 にSTOPモードへ移行 |
| 2 | サブクロック | ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 ^注 にSTOPモードを解除 |
| 3 | 内蔵発振器 | ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 ^注 にSTOPモードを解除 |
| 4 | | ウォッチドッグ・タイマ2のリセット発生からウォッチドッグ・タイマ2のリセットが解除される間 ^注 に内蔵発振器を停止、その後STOPモードへ移行 |

注:ウォッチドッグ・タイマ2のリセット発生から 2^7 ×ウォッチドッグ・タイマの入力クロックの間、ウォッチドッグ・タイマ2のリセット信号を保持します。

【回避策】 以下のいずれかを行ってください。

- ・ウォッチドッグ・タイマ2のリセットを発生させたくない場合、リセットが発生する前にソフトウェアでウォッチドッグ・タイマ2を停止してください。
- ・ウォッチドッグ・タイマ2のリセットを発生させたい場合、デバッガの端子マスク機能でRESETをマスクしないでください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.16 ブレーク時の A/D 変換機能不具合

【内容】 (1) ペリフェラル・ブレーク・モード(ブレーク中に周辺機能を停止するモード)に設定しており、下記に示す条件<a> ~ <c>のいずれかに該当する場合、A/D変換が開始されません。また、A/D変換終了に伴う割り込み要求も発生しません。

<a> A/D変換を開始するトリガ発生後^{注1}，2命令の実行が完了するまでにブレークが発生した場合^{注2}。

例) (ソフトウェア・トリガ・モードの場合)

| | | |
|--------------------|---|---|
| * set1 0x7, ADAOMO | } | これのどこかでブレークすると A/D 変換が開始されません。 |
| * nop | | |
| * nop | } | これ以降でブレークした場合、A/D 変換は正常に開始されます(ただし、(2)、(3)の不具合に対する注意が必要です)。 |
| * nop | | |

 ソフトウェア・トリガ・モードでA/D変換開始命令から実行開始する場合、かつその命令にソフトウェア・ブレーク、もしくは実行前ブレークが設定されている場合。

例) B set1 0x7, ADAOMO ここからRUNするとA/D変換が開始されません。

<c> A/D変換動作停止中にブレークし、このブレーク中にA/D変換を開始しようとした場合^{注3}。

(2)ペリフェラル・ブレーク・モードに設定した状態で、A/D変換中にブレークすると、再実行直後のA/D変換結果が不正になります。

(3)ペリフェラル・ブレーク・モードに設定した状態で、A/D変換中にブレークし^{注2}，ブレーク中にA/D関連レジスタ^{注4}にライト操作した場合^{注5}，再実行後、ライト前の値で1~2回分変換してしまいます。

- ・ブレーク前が通常変換動作モードだった場合 : 1~2回
- ・高速変換モードでA/D変換中にブレークし、
ブレーク中にADAOCEビットをクリアして再度
セットした場合 : 2回
- ・その他 : 1回

この変換終了後、ライト後の値で変換が始まります。このため、不正なA/D変換結果と割り込みが1~2回発生したように見えます。(本来は再実行の直後から、新しく設定したA/D関連レジスタの値で再変換を行います)

注1：命令実行による開始の他，DMA転送，外部トリガ，タイマ・トリガによる開始も含まれません。

注2：下記ブレーク要因も含まれます。

- ・ステップ実行
- ・フェイル・セーフ・ブレーク
- ・RAMモニタ(リアルタイムRAMモニタは非該当)
- ・DMM
- ・RUN中のイベント変更

上記のうち，RAMモニタ/DMM/RUN中のイベント変更は一瞬ブレークして実現しており，実際にブレークした位置を特定できないため，意図せずにA/D変換が不正となります。

注3：I/Oレジスタ・ウィンドウでADA0CEビットにライト操作した場合の他，DMA転送，外部トリガ，タイマ・トリガによる開始も含まれます。

注4：A/D関連レジスタとはADA0MO，ADA0M1，ADA0M2，ADA0S，ADA0PFT，ADA0PFMです。

注5：I/Oレジスタ・ウィンドウで設定した場合やDMA転送で設定した場合が該当します。

【回避策】 ペリフェラル・ブレークモードを使用しないでください。ペリフェラル・ブレーク・モードを使用する場合は以下の事項を実行してください。

- ・A/D変換開始のトリガからA/D変換終了の間にブレークしないでください。
- ・ソフトウェア・トリガ・モードの設定時は，A/D変換開始命令をステップ実行しないでください。
- ・ブレーク中にA/D関連レジスタにライトしないでください。
- ・RAMモニタをOFFにしてください。
- ・DMMを使用しないでください。
- ・RUN中にイベント変更しないでください。

申し訳ありませんが，恒久的な制限事項とさせていただきます。

No.17 内蔵RAMでプログラム実行時のイリーガル・ブレイク制限事項 2

【内容】 下記の条件を全て満たした場合、正常なプログラムにかかわらず、Non Map Breakが発生いたします。

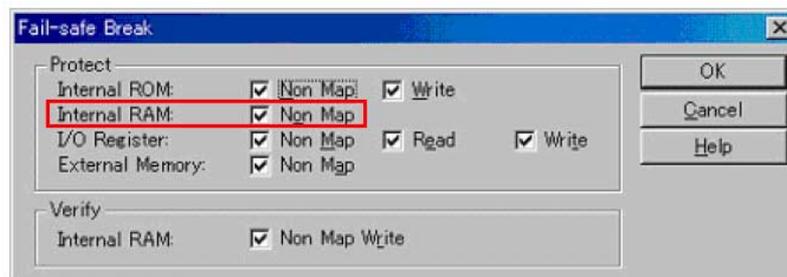
- ・ 内蔵RAM領域でプログラムを実行
- ・ 2回以上連続して内蔵RAM領域へデータ・アクセス
- ・ 上記の連続したデータ・アクセス直後、またはNOP1つを挟んで、JRもしくはJARL命令で内蔵ROM領域へ分岐

【回避策】 下記のいずれかの方法により回避をお願いいたします。

➤ デバッガ上で内蔵RAMに対するフェイル・セーフ・ブレイクの設定を解除してください。

◇ ID850QBの場合

コンフィギュレーション・ウインドウの「Fail-safe Break」欄にある「Detail」ボタンを押して「Internal RAM」のチェックを外してください。



◇ MULTIの場合

「Target flsf」コマンドで「ramgrd」と「ramgrdv」のフェイル・セーフ・ブレイクを解除してください。

➤ 内蔵RAM領域への連続したデータ・アクセスから内蔵ROM領域への分岐の間にNOPを2つ以上挿入してください。

申し訳ありませんが、恒久的な制限事項とさせていただきます。

No.18 外部バス・アクセスでアドレスが保持されない制限事項

【内容】 外部バスの設定が、マルチプレクス・バス出力モード、かつ8ビット・データ・バスの場合、T2ステート以降でアドレスが保持されず、Lowレベルが出力されます。

【回避策】 申し訳ありませんが、回避策はありません。

デバイス・ファイルのバージョンアップで改善されます。

- ・ V850ES/FE2, FF2, FG2, FJ2 の場合
DF703239 V2.11 以上を使用してください。
- ・ μ PD703229Y, μ PD70F3229Y の場合
DF703229 V2.01 以上を使用してください。

4. その他注意事項

4.1 延長プローブに関する注意事項

- ・ 延長プローブを使用する場合、クロックや外部バス等の高速信号を伝搬できる最大動作周波数に制限があります。(下表参照)
QB-V850ESFX2 の場合、対象デバイスの最大動作周波数が 20MHz であるため、最高動作周波数で延長プローブを使用することができます。

| クロック信号使用の有無 (CLKOUT, BUSCLK, SDCLK 等) | 外部バス使用の有無 | 延長プローブを使用時の 上限周波数 |
|--|-----------|----------------------|
| 使用する | 使用する | 32MHz |
| | 使用しない | |
| 使用しない | 使用する | 64MHz |
| | 使用しない | 80MHz |

- ・ 延長プローブには 50 程度のインピーダンスがあります。
- ・ 延長プローブを通すと信号レベルが 0.1V 程度下がります。
このため、A/D 変換等、アナログ信号が伝搬する際の精度が下がります。ご注意ください。
- ・ 延長プローブを通ることで発生するディレイ(伝搬遅延)は 5ns 程度です。
このため、外部バス使用時はデータ・ウェイトやアドレス・ウェイト等の設定が必要な場合があります。
- ・ 延長プローブを使用する際は必ず、延長プローブの GND 線を IECUBE, ターゲットに接続してください。GND 線を使用しない場合、伝搬する信号のレベルが下がってしまう場合があります。