

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	システムLSI	発行番号	TN-RIN-A024A/J	Rev.	第1版
題名	R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編 (Rev.1.00→Rev.2.00) 主な改訂内容：誤記訂正、新規機能追加など		情報分類	技術情報	
適用製品	下記参照	対象ロット等 全ロット	関連資料	R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編 R9J03G019GBG Rev.2.00 (R18UZ0034JJ0200)	

R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編・R9J03G019GBG Rev.2.00 (R18UZ0034JJ0200)をリリースいたします。  
詳細については「2. 改訂内容」を参照願います。なお、「※」マークがついている項目は、デバイスの仕様、制約等に関する重要な項目ですので、必ずご確認願います。

## 1 適用製品

製品分類	マーク型名	製品型名
R-IN32M4-CL2	R9J03G019	R9J03G019GBG

## 2 改訂内容

(1/3)

No	訂正箇所 (Rev.2.00 見出し番号)	該当ページ (Rev.2.00 番号)	内容
1	2.1.2 クロック構成図	p.2-2	補足
2	3.3.1 機能概要	p.3-3	機能追加
3	3.3.2 リード・バッファ機能	p.3-3	誤記訂正
4	3.4.1 機能概要	p.3-4	機能追加
5	3.5.1 機能概要	p.3-5	機能追加
6	8.3.4.1 MIIM レジスタ (GMAC_MIIM)	p.8-9	補足
7	8.3.4.3 TX RESULT レジスタ (GMAC_TXRESULT)	p.8-11	補足
8	8.3.4.5 RX MODE レジスタ (GMAC_RXMODE) ※	p.8-12~8-13	誤記訂正
9	8.3.4.6 TX MODE レジスタ (GMAC_TXMODE) ※	p.8-14~8-15	誤記訂正
10	8.3.4.7 RESET レジスタ (GMAC_RESET) ※	p.8-16	誤記訂正
11	8.3.4.9 RX FLOW CONTROL レジスタ (GMAC_FLWCTL)	p.8-18	誤記訂正
12	8.3.4.10 PAUSE パケットレジスタ (GMAC_PAUSPKT)	p.8-19	補足
13	8.3.4.12 RX FIFO ステータス・レジスタ (GMAC_RXFIFO) ※	p.8-21	誤記訂正
14	8.3.4.13 TX FIFO ステータス・レジスタ (GMAC_TXFIFO)	p.8-22	機能追加
15	8.3.4.14 TCP/IPACC レジスタ (GMAC_ACC)	p.8-23	表記変更
16	8.3.4.16 LPI モード制御レジスタ (GMAC_LPI_MODE)	p.8-24	補足
17	8.3.4.18 受信 Buffer 情報レジスタ (BUFID)	p.8-25	補足
18	8.4.1 ハードウェア・ファンクション	p.8-30	表記変更
19	8.4.1.1 初期設定 ※	p.8-31	誤記訂正
20	8.4.1.3(1) 機能概要	p.8-32	補足
21	8.4.1.3(2)(e) Hardware Function Call 一覧	p.8-35	補足
22	8.4.1.3(2)(e) Hardware Function Call 一覧	p.8-37	表記変更
23	8.4.1.4(2) 受信 MAC DMA 機能 ※	p.8-39	誤記訂正
24	8.4.1.4(2)(a) 搭載されている各機能の説明	p.8-40	補足
25	8.4.1.4(2)(a) 搭載されている各機能の説明	p.8-41	誤記訂正
26	8.4.1.4(2)(b) 使用方法	p.8-42	誤記訂正
27	8.4.1.4(2)(c) Hardware Function Call 一覧	p.8-43	誤記訂正
28	8.4.1.4(2)(c) Hardware Function Call 一覧	p.8-44	誤記訂正
29	8.4.1.4(2)(c) Hardware Function Call 一覧	p.8-45	誤記訂正
30	8.4.1.4(3)(d) Hardware Function Call 一覧 ※	p.8-48	誤記訂正
31	8.4.1.5(2)(a) バッファ RAM - データ RAM 間転送	p.8-49	誤記訂正
32	8.4.1.5(2)(b) バッファ RAM またはデータ RAM のデータ置換	p.8-49	補足
33	8.4.1.5(2)(c) バッファ RAM - バッファ RAM 間転送 ※	p.8-49	補足
34	8.4.1.5(2)(d) Hardware Function Call 一覧	p.8-50	誤記訂正

(2/3)

No	訂正箇所 (Rev2.00 見出し番号)	該当ページ (Rev2.00 番号)	内容
35	8.4.1.5(2)(d) Hardware Function Call 一覧	p.8-51	補足
36	8.4.2 割り込み機能 ※	p.8-53	誤記訂正
37	8.4.2 割り込み機能	p.8-54	誤記訂正
38	8.4.3.1 送信処理用バッファの獲得	p.8-56	誤記訂正
39	8.4.3.2 送信データの作成	p.8-57	補足
40	8.4.3.2(1) 送信フレーム制御情報 ※	p.8-58	補足
41	8.4.3.2(1) 送信フレーム制御情報 ※	p.8-59	誤記訂正
42	8.4.3.2(2) イーサネット・フレーム	p.8-59	補足
43	8.4.3.2(2) イーサネット・フレーム ※	p.8-60~8-61	補足
44	8.4.3.3 送信処理用ディスクリプタの作成	p.8-62	誤記訂正
45	8.4.3.5 送信処理の完了	p.8-63	補足
46	8.4.4.5 受信データ・フォーマット ※	p.8-65	誤記訂正
47	8.4.4.5 受信データ・フォーマット	p.8-65	補足
48	8.4.4.5(1) 受信フレーム情報	p.8-66	表記変更
49	8.4.4.5(1) 受信フレーム情報 ※	p.8-67	補足
50	8.4.4.5(1) 受信フレーム情報	p.8-68	補足
51	8.4.4.5(2) イーサネット・フレーム	p.8-69	補足
52	8.4.4.5(2) イーサネット・フレーム ※	p.8-70	補足
53	8.4.4.5(2) イーサネット・フレーム ※	p.8-71~8-73	補足
54	8.4.5 TCPIP アクセラレータ機能	p.8-74~8-75	補足
55	8.5.1 送信フレーム内の MAC ヘッダ部に対するパディングの追加	p.8-76	補足
56	8.5.2 受信時のチェックサム計算結果の誤判定 ※	p.8-76	補足
57	8.5.3 受信 FIFO オーバーフロー発生時の受信フレーム情報の誤り ※	p.8-76~8-80	補足
58	8.5.4 Padding を含む 64byte を超えるフレーム受信時の受信フレーム情報の誤り ※	p.8-80~8-81	補足
59	9.2 特徴	p.9-2	補足
60	11.1 特徴	p.11-1~p.11-2	誤記訂正
61	11.2 制御レジスタ	p.11-3	誤記訂正
62	11.2.1 ウェイト信号選択レジスタ (WAITZSEL)	p.11-4~p.11-5	誤記訂正
63	11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ (SMADSEL0-3)	p.11-6	表記変更
64	11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ (SMADSEL0-3)	p.11-7	補足
65	11.2.3 バス・クロック分周設定レジスタ (BCLKSEL)	p.11-8	誤記訂正
66	11.2.4 同期式バースト・アクセス MEMC 動作モード設定レジスタ (SMC352MD)	p.11-9	誤記訂正
67	11.2 制御レジスタ	-	削除
68	11.2.5 同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ (DIRECT_CMD)	p.11-10	誤記訂正
69	11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ (SET_CYCLES)	p.11-11	誤記訂正
70	11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ (SET_CYCLES)	p.11-12	補足
71	11.2.7 同期式バースト・アクセス MEMC モード設定レジスタ (SET_OPMODE)	p.11-13	誤記訂正
72	11.2.7 同期式バースト・アクセス MEMC モード設定レジスタ (SET_OPMODE)	p.11-14	誤記訂正
73	11.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ (REF_PERIOD0)	p.11-15	誤記訂正
74	11.2.9 同期式バースト・アクセス MEMC CSZn サイクル・レジスタ (SRAM_CYCLES0_n)	p.11-16	誤記訂正
75	11.2.10 同期式バースト・アクセス MEMC CSZn モード・レジスタ (OPMODE0_0-3)	p.11-17	誤記訂正
76	11.2.11 レジスタ設定手順	p.11-18	誤記訂正
77	11.3.1 バス・クロック制御機能	p.11-19	誤記訂正
78	11.3.2 アドレス出力機能	p.11-20	誤記訂正
79	11.3.3 アドレス/データ・マルチプレクス機能	p.11-20	補足
80	11.3.4 ライト・イネーブル (WRZn) 信号拡張機能	p.11-21	誤記訂正
81	11.3.5 リード・データ・タイミング制御	p.11-22	誤記訂正
82	11.3.6 ウェイト信号制御機能	p.11-23	補足
83	11.3.6 ウェイト信号制御機能	p.11-24	補足
84	11.3.6 ウェイト信号制御機能	p.11-25	補足
85	11.3.7 同期式バースト・アクセス MEMC の動作モード設定	p.11-26	誤記訂正
86	11.3.8 外部メモリ領域マッピング切り替え機能	p.11-27	表記変更
87	11.4 メモリ・アクセス・タイミング例	p.11-28	補足
88	11.4.1 非同期アクセス・タイミング (図 11.7)	p.11-29	補足
89	11.4.1 非同期アクセス・タイミング (図 11.8)	p.11-30	補足
90	11.4.1 非同期アクセス・タイミング (図 11.9)	p.11-31	補足
91	11.4.1 非同期アクセス・タイミング (図 11.10)	p.11-32	補足
92	11.4.1 非同期アクセス・タイミング (図 11.11)	p.11-33	補足
93	11.4.1 非同期アクセス・タイミング (図 11.12)	p.11-34	補足

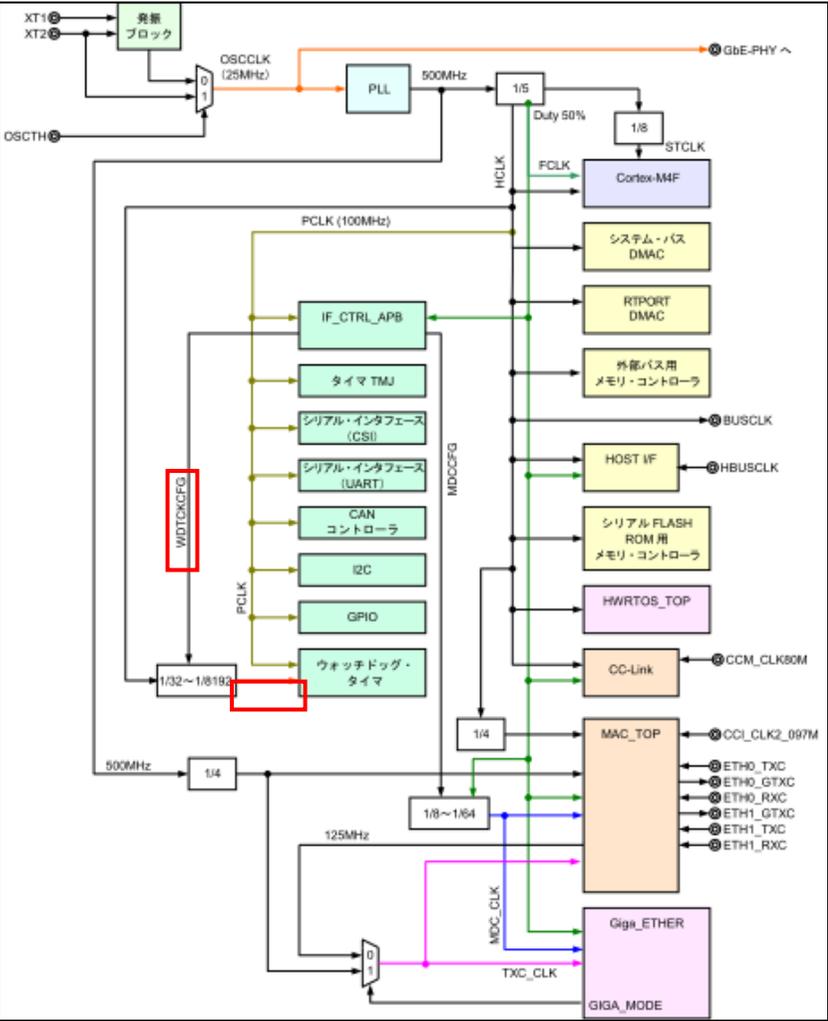
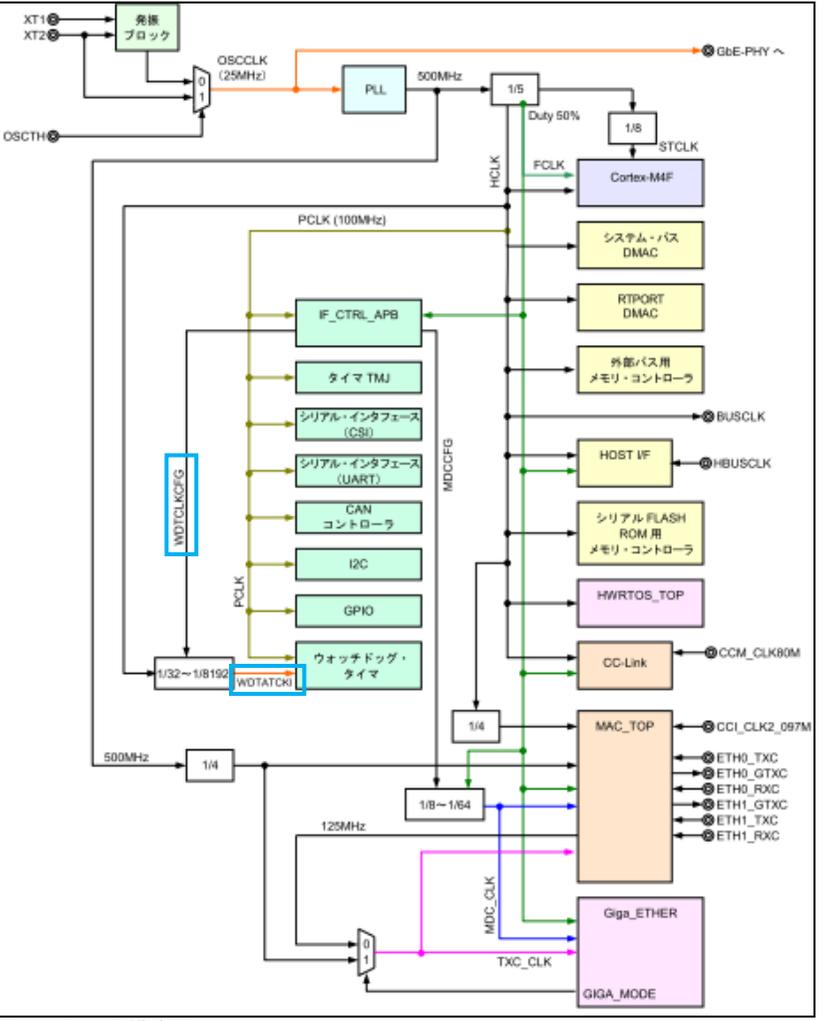
(3/3)

No	訂正箇所 (Rev2.00 見出し番号)	該当ページ (Rev2.00 番号)	内容
94	11.4.1 非同期アクセス・タイミング (図 11.13)	p.11-35	補足
95	11.4.1 非同期アクセス・タイミング (図 11.14)	p.11-36	補足
96	11.4.2 同期アクセス・タイミング (図 11.15)	p.11-37	補足
97	11.4.2 同期アクセス・タイミング (図 11.16)	p.11-38	補足
98	11.4.2 同期アクセス・タイミング (図 11.17)	p.11-39	補足
99	11.4.2 同期アクセス・タイミング (図 11.18)	p.11-40	補足
100	11.4.2 同期アクセス・タイミング (図 11.19)	p.11-41	補足
101	11.4.2 同期アクセス・タイミング (図 11.20)	p.11-42	補足
102	11.4.2 同期アクセス・タイミング (図 11.21)	p.11-43	補足
103	11.4.3 ウェイト・タイミング	p.11-44	補足
104	11.4.3 ウェイト・タイミング	p.11-45	補足
105	13.5 設定例	p.13-45~13-62	補足
106	14.9.1 設定例 1 (レジスタ・モード、シングル転送モード、ハードウェア・トリガ) (表 14.35)	p.14-142	誤記訂正
107	14.9.1 設定例 1 (レジスタ・モード、シングル転送モード、ハードウェア・トリガ) (図 14.38)	p.14-143	誤記訂正
108	14.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ) (表 14.37)	p.14-144	誤記訂正
109	14.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ) (表 14.38)	p.14-145	誤記訂正
110	14.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ) (図 14.39)	p.14-146	誤記訂正
111	14.9.3 設定例 3 (レジスタ・モード: 連続実行、ブロック転送モード、ソフトウェア・トリガ) (表 14.41)	p.14-148	誤記訂正
112	14.9.3 設定例 3 (レジスタ・モード: 連続実行、ブロック転送モード、ソフトウェア・トリガ) (図 14.40)	p.14-149	誤記訂正
113	14.9.4 設定例 4 (リンク・モード、ブロック転送モード、ソフトウェア・トリガ) (表 14.46)	p.14-152	誤記訂正
114	14.9.4 設定例 4 (リンク・モード、ブロック転送モード、ソフトウェア・トリガ) (図 14.41)	p.14-152	誤記訂正
115	21.9.1(2) シングル転送モード時のスレーブ動作設定手順 (図 21.15)	p.21-120	誤記訂正

注意：No.57 と 58 は TN-RIN-A016A/J で通知した不具合と回避策を掲載したものです。

No.1 2.1.2 クロック構成図

図 2.1 クロック構成図を修正

ページ	V1.00 記載内容	V2.00 改訂内容
2-2	<p data-bbox="219 268 427 295"><b>【2.1.2 クロック構成図】</b></p>  <p data-bbox="219 1316 414 1343">図 2.1 クロック構成図</p>	<p data-bbox="1238 268 1447 295"><b>【2.1.2 クロック構成図】</b></p>  <p data-bbox="1238 1316 1433 1343">図 2.1 クロック構成図</p>

No.2 3.3.1 機能概要

ECC エラー割り込み機能の説明と一覧表を追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
3-3	<p><b>【3.3.1 機能概要】</b></p> <ul style="list-style-type: none"> <li>○ 128bit (32bit × 4) のリード・バッファ付</li> <li>○ レイテンシ:リード・アクセス 2 ライト・アクセス 1</li> <li>ただし、リード・バッファ内で HIT した場合は、レイテンシ 1</li> <li>○ AHB バス幅:32bit</li> <li>○ RAM データ・バス幅:128bit (ECC 除く)</li> <li>○ 転送サイズ:16bit 32bit 転送に対応</li> <li>○ バースト転送に対応</li> <li>○ リトル・エンディアン固定</li> <li>○ ECC 対応 (1bit エラー補正)</li> </ul>	3-3	<p><b>【3.3.1 機能概要】</b></p> <ul style="list-style-type: none"> <li>○ 128bit (32bit × 4) のリード・バッファ付</li> <li>○ レイテンシ:リード・アクセス 2 ライト・アクセス 1</li> <li>ただし、リード・バッファ内で HIT した場合は、レイテンシ 1</li> <li>○ AHB バス幅:32bit</li> <li>○ RAM データ・バス幅:128bit (ECC 除く)</li> <li>○ 転送サイズ:16bit 32bit 転送に対応</li> <li>○ バースト転送に対応</li> <li>○ リトル・エンディアン固定</li> <li>○ ECC 対応:1bit エラー補正、2bit エラー検出</li> </ul>

内蔵命令 RAM の割り込み信号	機能	接続先
IRAMECCSEC	内蔵命令 RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ
IRAMECCDED	内蔵命令 RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ

No.3 3.3.2 リード・バッファ機能

2bit ECC エラー発生時の AHB バス動作説明を追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
3-3	<p><b>【3.3.2 機能概要リード・バッファ機能】</b></p> <ul style="list-style-type: none"> <li>○ 128bit (32bit × 4) のリード・バッファ</li> <li>○ リード・バッファ内で HIT した場合は、0 ウェイトで AHB へ応答。</li> <li>○ 2bit ECC エラーが発生した場合には、リード・バッファの内容をクリア</li> </ul>	3-3	<p><b>【3.3.2 機能概要リード・バッファ機能】</b></p> <ul style="list-style-type: none"> <li>○ 128bit (32bit × 4) のリード・バッファ</li> <li>○ リード・バッファ内で HIT した場合は、0 ウェイトで AHB へ応答。</li> <li>○ 2bit ECC エラーが発生した場合には、リード・バッファの内容をクリア。</li> <li>○ リード応答時の 2bit ECC エラーは、ECC エラー割り込みを発生させる。</li> </ul>

No.4 3.4.1 機能概要

ECC エラー割り込み機能の説明と一覧表を追加

V1.00		V2.00										
ページ	記載内容	ページ	改訂内容									
3-4	<p><b>【3.4.1 機能概要】</b></p> <ul style="list-style-type: none"> <li>○ AHB レイテンシ:リード・アクセス/ライト・アクセス共にレイテンシ 1 ただし、ライト・アクセス直後のリード・アクセスのみレイテンシ 2</li> <li>○ Communication-BUS レイテンシ:リード・アクセス/ライト・アクセス共にレイテンシ 1</li> <li>○ 競合時のアクセスのアービトレーション:ラウンドロビン</li> <li>○ AHB バス幅:32bit</li> <li>○ Communication-BUS バス幅:128bit</li> <li>○ RAM バス幅:128bit(ECC 除く)</li> <li>○ AHB 転送サイズ:8/16/32bit 転送に対応</li> <li>○ Communication-BUS 転送サイズ:8/16/32/128bit 転送に対応</li> <li>○ バースト転送に対応</li> <li>○ リトル・エンディアン固定</li> <li>○ ECC 対応 (1bit エラー補正)</li> </ul>	3-4	<p><b>【3.4.1 機能概要】</b></p> <ul style="list-style-type: none"> <li>○ AHB レイテンシ:リード・アクセス/ライト・アクセス共にレイテンシ 1 ただし、ライト・アクセス直後のリード・アクセスのみレイテンシ 2</li> <li>○ Communication-BUS レイテンシ:リード・アクセス/ライト・アクセス共にレイテンシ 1</li> <li>○ 競合時のアクセスのアービトレーション:ラウンドロビン</li> <li>○ AHB バス幅:32bit</li> <li>○ Communication-BUS バス幅:128bit</li> <li>○ RAM バス幅:128bit(ECC 除く)</li> <li>○ AHB 転送サイズ:8/16/32bit 転送に対応</li> <li>○ Communication-BUS 転送サイズ:8/16/32/128bit 転送に対応</li> <li>○ バースト転送に対応</li> <li>○ リトル・エンディアン固定</li> <li>○ ECC 対応:1bit エラー補正、2bit エラー検出</li> </ul>									
		<p>表 3.2 内蔵データ RAM の割り込みと周辺機能への要求</p> <table border="1"> <thead> <tr> <th>内蔵データ RAM の割り込み信号</th> <th>機能</th> <th>接続先</th> </tr> </thead> <tbody> <tr> <td>DRAMECCSEC</td> <td>内蔵データ RAM ECC 1bit エラー補正割り込み</td> <td>・割り込みコントローラ</td> </tr> <tr> <td>DRAMECCDED</td> <td>内蔵データ RAM ECC 2bit エラー検出割り込み</td> <td>・割り込みコントローラ</td> </tr> </tbody> </table>		内蔵データ RAM の割り込み信号	機能	接続先	DRAMECCSEC	内蔵データ RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ	DRAMECCDED	内蔵データ RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ
内蔵データ RAM の割り込み信号	機能	接続先										
DRAMECCSEC	内蔵データ RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ										
DRAMECCDED	内蔵データ RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ										

**No.5 3.5.1 機能概要**

**ECC エラー割り込み機能の説明と一覧表を追加**

V1.00		V2.00										
ページ	記載内容	ページ	改訂内容									
3-5	<p><b>【3.5.1 機能概要】</b></p> <ul style="list-style-type: none"> <li>○ Communication-BUS レイテンシ:リード・アクセス/ライト・アクセス共にレイテンシ 1</li> <li>○ Communication-BUS バス幅: 128bit</li> <li>○ RAM バス幅: 128bit (ECC 回路除く)</li> <li>○ Communication-BUS 転送サイズ: 8/16/32/128bit 転送に対応</li> <li>○ ECC 対応 (1bit エラー補正)</li> </ul>	3-5	<p><b>【3.5.1 機能概要】</b></p> <ul style="list-style-type: none"> <li>○ Communication-BUS レイテンシ:リード・アクセス/ライト・アクセス共にレイテンシ 1</li> <li>○ Communication-BUS バス幅: 128bit</li> <li>○ RAM バス幅: 128bit (ECC 回路除く)</li> <li>○ Communication-BUS 転送サイズ: 8/16/32/128bit 転送に対応</li> <li>○ ECC 対応: 1bit エラー補正、2bit エラー検出</li> </ul> <div style="border: 1px solid black; padding: 5px; margin-top: 10px;"> <p>表 3.3 バッファ RAM の割り込みと周辺機能への要求</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>バッファ RAM の割り込み信号</th> <th>機能</th> <th>接続先</th> </tr> </thead> <tbody> <tr> <td>BRAMECCSEC</td> <td>バッファ RAM ECC 1bit エラー補正割り込み</td> <td>・割り込みコントローラ</td> </tr> <tr> <td>BRAMECCDED</td> <td>バッファ RAM ECC 2bit エラー検出割り込み</td> <td>・割り込みコントローラ</td> </tr> </tbody> </table> </div>	バッファ RAM の割り込み信号	機能	接続先	BRAMECCSEC	バッファ RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ	BRAMECCDED	バッファ RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ
バッファ RAM の割り込み信号	機能	接続先										
BRAMECCSEC	バッファ RAM ECC 1bit エラー補正割り込み	・割り込みコントローラ										
BRAMECCDED	バッファ RAM ECC 2bit エラー検出割り込み	・割り込みコントローラ										

**No.6 8.3.4.1 MIIM レジスタ (GMAC\_MIIM)**

**MIIM レジスタの RWDV ビットの説明を追記**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-9	<p><b>【8.3.4.1 MIIM レジスタ(GMAC_MIIM)】</b> [26 : RWDV] 以下の値を書き込むことで、Read/Write オペレーションを開始します。</p>	8-9	<p><b>【8.3.4.1 MIIM レジスタ(GMAC_MIIM)】</b> [26 : RWDV] 以下の値を書き込むことで、Read/Write オペレーションを開始します。<b>他のビットも同時に設定してください。</b></p>

No.7 8.3.4.3 TX RESULT レジスタ (GMAC\_TXRESULT)

GMAC\_TXRESULT レジスタの説明を追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-10	<p><b>【8.3.4.3 TX RESULT レジスタ(GMAC_TXRESULT)】</b> 本レジスタは、送信フレーム結果を示すレジスタです。</p> <p>送信フレーム結果は本レジスタを読み出すことで更新され、次の読み出しで更新後の送信フレーム結果を読み出すことが可能です。</p> <p>[13 : TCMP] 送信完了 [12 : TABT] 送信アボートが発生した。 [11 : TFAIL] Excessive Collision が発生し、送信が失敗した。 [10 : SCOLLIS] 1 回の衝突を経験した。 [9 : MCOLLIS] 複数回の衝突を経験した。 [8 : CSERR] <b>キャリアセンスエラー</b> 送信中にキャリアセンスがなくなった。 [7 : OVERFW] 1,518 オクテットを超えるフレームが送信 FIFO に書かれた。 [6 : UNDERFW] 最少フレーム長より短いフレームが送信 FIFO に書かれた。 [5 : LCOLLIS] Late Collision を検出した。 [4-1 : RETRYN3-0] リトライ回数 [0 : FIFOUFLOW] 送信中に FIFO がアンダーフローした。</p>	8-11	<p><b>【8.3.4.3 TX RESULT レジスタ(GMAC_TXRESULT)】</b> 本レジスタは、送信フレーム結果を示すレジスタです。<b>GMAC_TXMODE レジスタの TRBMODE1-0 ビットが 00 または 01 の場合のみ有効です。</b></p> <p>送信フレーム結果は、Ether 送信完了割り込み (INTETHXCMP) の発生と同時に送信結果バッファに保持されます。送信結果バッファには、4 フレーム分の情報を保持することが可能です。本レジスタを読み出すことで、送信結果バッファから送信結果が取り出されます。送信結果バッファに保持されているフレーム数は GMAC_TXFIFO.TRBFR ビットから取得できます。 4 フレーム保持した状態で送信を行うと、送信結果が不正となり、TX-FIFO 送信エラー割り込み (INTETHXFIFOERR) が発生します。本レジスタを有効にしている場合、エラーが発生しないように適宜読み出しを行ってください。</p> <p>[13 : TCMP] 送信完了を示します。 [12 : TABT] 送信アボートが発生したことを示します。 [11 : TFAIL] Excessive Collision が発生し、送信が失敗したことを示します。 [10 : SCOLLIS] 1 回の衝突を経験したことを示します。 [9 : MCOLLIS] 複数回の衝突を経験したことを示します。 [8 : CSERR] 送信中にキャリアセンスがなくなったことを示します。 [7 : OVERFW] 1,518 オクテットを超えるフレームが送信 FIFO に書かれたことを示します。 [6 : UNDERFW] 最少フレーム長より短いフレームが送信 FIFO に書かれたことを示します。 [5 : LCOLLIS] Late Collision を検出したことを示します。 [4-1 : RETRYN3-0] リトライ回数を示します。 [0 : FIFOUFLOW] 送信中に FIFO がアンダーフローしたことを示します。</p>

No.8 8.3.4.5 RX MODE レジスタ (GMAC\_RXMODE)

GMAC\_RXMODE レジスタの説明を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-11 ～ 8-12	<p><b>【8.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】</b> 本レジスタは、フレーム受信動作を制御するレジスタです。</p> <p>[15-14 : REMPTH1-0] FIFO 内のデータワード数がこの数値以下になったとき、受信 DMA コントローラは RX FIFO からのデータ転送を中断します。</p> <p>[13-12 : RFULLTH1-0] FIFO 内のデータワード数がこの信号で示される数値以上になったとき、GMAC_RXFIFO レジスタの RFULL ビットが '1' になります。</p> <p>[11-9 : RRTTH2-0] SFRXFIFO ビットが 0 で、かつ、FIFO 内のデータワード数がこの信号で示される数値以上になったとき、受信 DMA コントローラは RX FIFO からメモリにデータを送り始めます。</p>	8-12 ～ 8-13	<p><b>【8.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】</b> 本レジスタは、フレーム受信動作を制御するレジスタです。受信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。</p> <p>[15-14 : REMPTH1-0] FIFO 内のデータワード数がこの数値以下になったとき、GMAC_RXFIFO レジスタの REMP ビットが '1' になります。</p> <p>[13-12 : RFULLTH1-0] FIFO 内の空きデータワード数がこの数値以下になったとき、GMAC_RXFIFO レジスタの RFULL ビットが '1' になります。</p> <p>[11-9 : RRTTH2-0] FIFO 内のデータワード数がこの数値以上になったとき、GMAC_RXFIFO レジスタの RRT ビットが '1' になります。</p> <p>[注] アドレスフィルタリングを有効にした場合でも、MAC アドレスレジスタへの登録の有無に関わらず MAC Control Frame (Pause Packet 等) は常に受信されます。 MAC Control Frame は Destination アドレスが 01-80-C2-00-00-01 のフレームです。</p>

No.9 8.3.4.6 TX MODE レジスタ (GMAC\_TXMODE)

GMAC\_TXMODE レジスタの説明を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-13 ～ 8-14	<p><b>【8.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】</b> 本レジスタは、フレーム送信動作を制御するレジスタです。</p> <p>[13-11 : TEMPTH2-0] TX FIFO 内のデータワード数がこの <b>信号で示される</b> 数値以下になったとき、GMAC_TXFIFO レジスタの TEMP ビットが '1' になります。</p> <p>[10-9 : TFULLTH1-0] TX FIFO 内のデータワード数がこの <b>信号で示される</b> 数値 <b>以上</b> になったとき、GMAC_TXFIFO レジスタの TFULL ビットが '1' になります。</p>	8-14 ～ 8-15	<p><b>【8.3.4.6 TX MODE レジスタ(GMAC_TXMODE)】</b> 本レジスタは、フレーム送信動作を制御するレジスタです。<b>送信 FIFO の 1 ワードは 64 ビット、容量は 4KB です。</b></p> <p>[13-11 : TEMPTH2-0] TX FIFO 内のデータワード数がこの数値以下になったとき、GMAC_TXFIFO レジスタの TEMP ビットが '1' になります。</p> <p>[10-9 : TFULLTH1-0] TX FIFO 内の <b>空き</b> データワード数がこの数値 <b>以下</b> になったとき、GMAC_TXFIFO レジスタの TFULL ビットが '1' になります。</p>

No.10 8.3.4.7 RESET レジスタ (GMAC RESET)

GMAC\_RESET レジスタの説明を修正

V1.00		V2.00																								
ページ	記載内容	ページ	改訂内容																							
8-15	<p><b>【8.3.4.7 RESET レジスタ(GMAC_RESET)】</b>                      本レジスタは、ソフトウェアでギガビット・イーサネット MAC をリセットするトリガレジスタです。                      各ビットに 1 をセットすることでモジュールにリセットをかけることが可能です。<b>1 をセットしリセット処理完了後に各ビットは自動的に 0 に戻ります。</b></p>	8-16	<p><b>【8.3.4.7 RESET レジスタ(GMAC_RESET)】</b>                      本レジスタは、ソフトウェアでギガビット・イーサネット MAC をリセットするトリガレジスタです。                      各ビットに 1 をセットすることでモジュールにリセットをかけることが可能です。                      リセットが完了するまでの時間は、下記のとおり MAC の動作モードに依存します。                      1Gbps(125MHz)動作時:60 ns                      100Mbps(25MHz)動作時:200 ns                      10Mbps(2.5MHz)動作時:2000 ns</p>																							
	<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>ALLRST</td> <td>全ての Ethernet MAC モジュールをリセットします。 0: リセット完了後 1: リセット中</td> </tr> <tr> <td>15</td> <td>TXRST</td> <td>TX MAC, TX FIFO, TX DMA モジュールをリセットします。 0: リセット完了後 1: リセット中</td> </tr> <tr> <td>13</td> <td>RXRST</td> <td>RX MAC, RX FIFO, RX DMA モジュールをリセットします。 0: リセット完了後 1: リセット中</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	31	ALLRST	全ての Ethernet MAC モジュールをリセットします。 0: リセット完了後 1: リセット中	15	TXRST	TX MAC, TX FIFO, TX DMA モジュールをリセットします。 0: リセット完了後 1: リセット中	13	RXRST	RX MAC, RX FIFO, RX DMA モジュールをリセットします。 0: リセット完了後 1: リセット中	<table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>ALLRST</td> <td>全ての Ethernet MAC モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生</td> </tr> <tr> <td>15</td> <td>TXRST</td> <td>TX MAC, TX FIFO, TX DMA モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生</td> </tr> <tr> <td>14</td> <td>RXRST</td> <td>RX MAC, RX FIFO, RX DMA モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	31	ALLRST	全ての Ethernet MAC モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生	15	TXRST	TX MAC, TX FIFO, TX DMA モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生	14	RXRST	RX MAC, RX FIFO, RX DMA モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生
ビット位置	ビット名	意味																								
31	ALLRST	全ての Ethernet MAC モジュールをリセットします。 0: リセット完了後 1: リセット中																								
15	TXRST	TX MAC, TX FIFO, TX DMA モジュールをリセットします。 0: リセット完了後 1: リセット中																								
13	RXRST	RX MAC, RX FIFO, RX DMA モジュールをリセットします。 0: リセット完了後 1: リセット中																								
ビット位置	ビット名	意味																								
31	ALLRST	全ての Ethernet MAC モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生																								
15	TXRST	TX MAC, TX FIFO, TX DMA モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生																								
14	RXRST	RX MAC, RX FIFO, RX DMA モジュールをリセットします。Write Only ビットです。 0: 何もしない 1: リセット発生																								

**No.11 8.3.4.9 RX FLOW CONTROL レジスタ (GMAC\_FLWCTL)**

**GMAC\_FLWCTL レジスタの説明変更および追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-17	<p><b>【8.3.4.9 RX FLOW CONTROL レジスタ(GMAC_FLWCTL)】</b> 本レジスタは、ポーズパケットの送信を制御するレジスタです。</p> <p>[31 : PPRXEN] 1: ポーズパケットの受信機能を有効にします。 0: ポーズパケットの受信機能を無効にします。</p>	8-18	<p><b>【8.3.4.9 RX FLOW CONTROL レジスタ(GMAC_FLWCTL)】</b> 本レジスタは、ポーズパケット受信後の送信サスペンド機能を制御するレジスタです。 本機能が有効の状態ではポーズパケットを受信した場合、ポーズパケットで指定された時間だけ送信がサスペンドされます。</p> <p>[31 : PPRXEN] 1: ポーズパケットの受信後の送信サスペンド機能を有効にします。 0: ポーズパケットの受信後の送信サスペンド機能を無効にします。</p>

**No.12 8.3.4.10 PAUSE パケットレジスタ (GMAC\_PAUSPKT)**

**送出されるパケットのデータフォーマットを追加**

V1.00		V2.00																																																	
ページ	記載内容	ページ	改訂内容																																																
8-17	<p><b>【8.3.4.10 PAUSE パケットレジスタ(GMAC_PAUSPKT)】</b> 本レジスタは、ポーズパケットの送信を制御するレジスタです。 PPR ビットに 1 を書き込むとポーズパケットの送信を開始できます。送信開始後、ポーズパケットの送信が完了すると自動的に 0 になります。</p>	8-19	<p><b>【8.3.4.10 PAUSE パケットレジスタ(GMAC_PAUSPKT)】</b> 本レジスタは、ポーズパケットの送信を制御するレジスタです。 PPR ビットに 1 を書き込むと PAUSE パケットデータレジスタ(GMAC_PAUSEn)に設定されたデータが送信されます。送信が完了すると自動的に 0 になります。</p> <p>送出されるデータのフォーマットを、以下に示します。</p> <div style="border: 1px solid black; padding: 10px; margin: 10px 0;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;"></td> <td style="text-align: right;">31</td> <td style="width: 40%;"></td> <td style="text-align: right;">16</td> <td style="width: 10%;"></td> <td style="text-align: right;">15</td> <td style="width: 20%;"></td> <td style="text-align: right;">0</td> </tr> <tr> <td>GMAC_PAUSE1</td> <td colspan="6" style="text-align: center;">Destination Address</td> <td></td> </tr> <tr> <td>GMAC_PAUSE2</td> <td colspan="3" style="text-align: center;">Source Address</td> <td colspan="3" style="text-align: center;">Destination Address</td> <td></td> </tr> <tr> <td>GMAC_PAUSE3</td> <td colspan="6" style="text-align: center;">Source Address</td> <td></td> </tr> <tr> <td>GMAC_PAUSE4</td> <td colspan="3" style="text-align: center;">Opcode</td> <td colspan="3" style="text-align: center;">Type/Length</td> <td></td> </tr> <tr> <td>GMAC_PAUSE5</td> <td colspan="3" style="text-align: center;">(Not used)</td> <td colspan="3" style="text-align: center;">Time</td> <td></td> </tr> </table> </div>		31		16		15		0	GMAC_PAUSE1	Destination Address							GMAC_PAUSE2	Source Address			Destination Address				GMAC_PAUSE3	Source Address							GMAC_PAUSE4	Opcode			Type/Length				GMAC_PAUSE5	(Not used)			Time			
	31		16		15		0																																												
GMAC_PAUSE1	Destination Address																																																		
GMAC_PAUSE2	Source Address			Destination Address																																															
GMAC_PAUSE3	Source Address																																																		
GMAC_PAUSE4	Opcode			Type/Length																																															
GMAC_PAUSE5	(Not used)			Time																																															



**No.15 8.3.4.14 TCPIPACC レジスタ (GMAC\_ACC)**

**RTCPIDEN ビットの説明を修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-21	<p><b>【8.3.4.14 TCPIPACC レジスタ(GMAC_ACC)】</b>                      [0 : RTCPIDEN]                      1:RX TCPIP Enable                      RX TCPIP アクセラレータを有効にします。                      0:RX TCPIP Disable                      RX TCPIP アクセラレータを完全に無効にします。                      MAC ヘッダ部の Padding も無効になります。</p>	8-23	<p><b>【8.3.4.14 TCPIPACC レジスタ(GMAC_ACC)】</b>                      [0 : RTCPIDEN]                      1:RX TCPIP Enable                      RX TCPIP アクセラレータを有効にします。                      0:RX TCPIP Disable                      RX TCPIP アクセラレータを完全に無効にします。                      MAC ヘッダ部の Padding は挿入されません。</p>

**No.16 8.3.4.16 LPI モード制御レジスタ (GMAC\_LPI\_MODE)**

**GMAC\_LPI\_MODE レジスタの説明を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-22	<p><b>【8.3.4.16 LPI モード制御レジスタ(GMAC_LPI_MODE)】</b>                      本レジスタは、LPI(Low Power Idle)モードの制御をするレジスタです。                      イーサネット・スイッチを経由した場合は、本レジスタで LPI モードに設定することは禁止です。</p>	8-24	<p><b>【8.3.4.16 LPI モード制御レジスタ(GMAC_LPI_MODE)】</b>                      本レジスタは、LPI(Low Power Idle)モードの制御をするレジスタです。LPMEN ビットが 1 のとき、GMAC_LPI_TIMING レジスタの LPRDEF ビットで設定した時間以上送信要求が無い場合に、自動的にリンクパートナーに対し LPI 要求が発行されます。LPI 中に送信要求が発生した場合は LPI を終了し、GMAC_LPI_TIMING レジスタの LPWTIME ビットで設定した時間が経過してからフレームが送信されます。イーサネット・スイッチを経由した場合は、本レジスタで LPI モードに設定することは禁止です。</p>

No.17 8.3.4.18 受信 Buffer 情報レジスタ (BUFID)

レジスタの説明変更及び追加

V1.00			V2.00																																
ページ	記載内容		ページ	改訂内容																															
8-23	<p><b>【8.3.4.18 受信 Buffer 情報レジスタ(BUFID)】</b>                      本レジスタは、<b>受信データが格納されたバッファのアドレス情報と、データのワード数</b>を示すステータスレジスタです。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>NOEMP</td> <td>1: 受信 Buffer にデータ有り 0: 受信 Buffer にデータ無し</td> </tr> <tr> <td>28</td> <td>VALID</td> <td>1: 受信データが有効 0: 受信データが無効</td> </tr> <tr> <td>27-16</td> <td>WORD11-0</td> <td>受信データ (受信 MAC 情報を含む) のワード数</td> </tr> <tr> <td>15-0</td> <td>ADDR15-0</td> <td>受信バッファのアドレス (26~11 ビット)</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	31	NOEMP	1: 受信 Buffer にデータ有り 0: 受信 Buffer にデータ無し	28	VALID	1: 受信データが有効 0: 受信データが無効	27-16	WORD11-0	受信データ (受信 MAC 情報を含む) のワード数	15-0	ADDR15-0	受信バッファのアドレス (26~11 ビット)	8-25	<p><b>【8.3.4.18 受信 Buffer 情報レジスタ(BUFID)】</b>                      本レジスタは、受信 Buffer 情報 (受信データの有無、受信データが格納されたバッファのアドレス、データのワード数)を示すステータスレジスタです。受信 MACDMA の転送が完了すると、受信 Buffer 情報が書き込まれ、最大 32 個保持されます。受信 Buffer 情報にデータが保持されていると、Ether MACDMA 受信完了割り込み (INTETHRXDMA) が発生します。この割り込みは、受信 Buffer 情報を読み出し、NOEMP ビットが 0 になるまでの間、アクティブ状態を保持します。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>NOEMP</td> <td>1: 受信 Buffer にデータ有り 0: 受信 Buffer にデータ無し</td> </tr> <tr> <td>28</td> <td>VALID</td> <td>1: 受信 Buffer のデータが有効 0: 受信 Buffer のデータが無効</td> </tr> <tr> <td>27-16</td> <td>WORD11-0</td> <td>受信データ (受信 MAC 情報を含む) のワード数 (1ワードは 32 ビット)</td> </tr> <tr> <td>15-0</td> <td>ADDR15-0</td> <td>受信バッファのアドレス (26~11 ビット)</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	31	NOEMP	1: 受信 Buffer にデータ有り 0: 受信 Buffer にデータ無し	28	VALID	1: 受信 Buffer のデータが有効 0: 受信 Buffer のデータが無効	27-16	WORD11-0	受信データ (受信 MAC 情報を含む) のワード数 (1ワードは 32 ビット)	15-0	ADDR15-0	受信バッファのアドレス (26~11 ビット)
ビット位置	ビット名	意味																																	
31	NOEMP	1: 受信 Buffer にデータ有り 0: 受信 Buffer にデータ無し																																	
28	VALID	1: 受信データが有効 0: 受信データが無効																																	
27-16	WORD11-0	受信データ (受信 MAC 情報を含む) のワード数																																	
15-0	ADDR15-0	受信バッファのアドレス (26~11 ビット)																																	
ビット位置	ビット名	意味																																	
31	NOEMP	1: 受信 Buffer にデータ有り 0: 受信 Buffer にデータ無し																																	
28	VALID	1: 受信 Buffer のデータが有効 0: 受信 Buffer のデータが無効																																	
27-16	WORD11-0	受信データ (受信 MAC 情報を含む) のワード数 (1ワードは 32 ビット)																																	
15-0	ADDR15-0	受信バッファのアドレス (26~11 ビット)																																	

No.18 8.4.1 ハードウェア・ファンクション

図 8.2 AHB2DMA バスブリッジを追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-28	<p><b>【8.4.1 ハードウェア・ファンクション】</b></p> <p>図 8.2 ハードウェア・ファンクションの概略ブロック図</p>	8-30	<p><b>【8.4.1 ハードウェア・ファンクション】</b></p> <p>図 8.2 ハードウェア・ファンクションの概略ブロック図</p>

No.19 8.4.1.1 初期設定

手順<4>として R0 レジスタの読み出し待ちを追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-29	<p><b>【8.4.1.1 初期設定】</b></p> <p>&lt;4&gt; GMAC_RESET レジスタに 0x8000 0000 を設定し、ギガビット・イーサネット MAC を初期化</p>	8-31	<p><b>【8.4.1.1 初期設定】</b></p> <p>&lt;4&gt; R0 レジスタから、0x8000 0000 が読み出されるまで待ち、その後 R1 レジスタをダミーリード</p> <p>&lt;5&gt; GMAC_RESET レジスタに 0x8000 0000 を設定し、ギガビット・イーサネット MAC を初期化</p>

**No.20 8.4.1.3(1) 機能概要**

**バッファ未確保領域に対する DMA アクセス時の動作説明を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-30	<b>【8.4.1.3(1) 機能概要】</b> 確保していない領域に書き込みを行った場合、書き込みは無視されます。	8-32	<b>【8.4.1.3(1) 機能概要】</b> 確保していない領域に書き込みを行った場合、CPU からの書き込みは無視されますが、ハードウェアファンクションの DMA がアクセスした場合には Exception が発生します。

**No.21 8.4.1.3(2)(e) Hardware Function Call 一覧**

**Buffer Allocator の Hardware Function Call のエラー要因を追記**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-33	<b>【8.4.1.3(2)(e) Hardware Function Call 一覧】</b> (記載なし)	8-35	<b>【8.4.1.3(2)(e) Hardware Function Call 一覧】</b> Hardware Function Call の一覧を以下に示します。 Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。

**No.22 8.4.1.3(2)(e) Hardware Function Call 一覧**

**表 8.6 HWFNC\_Buffer\_Return の戻り値の説明を修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-35	<b>【8.4.1.3(2)(e) Hardware Function Call 一覧】</b> [表 8.6 HWFNC_Buffer_Return] 3' b00x: 成功 3' b010: Invalid System Call 3' b011: 対象アドレスはバッファ未定義 3' b100: 対象アドレスのバッファは既に解放済み	8-37	<b>【8.4.1.3(2)(e) Hardware Function Call 一覧】</b> [表 8.6 HWFNC_Buffer_Return] 3' b00x: 成功 3' b010: Invalid System Call 3' b011: R4 で指定したアドレスはバッファ未定義 3' b100: R5 で指定したアドレスは既にバッファ解放済み

**No.23 8.4.1.4(2) 受信 MAC DMA 機能**

**BUFID に蓄えられる情報数を最大 32 個に修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-37	<p><b>【8.4.1.4(2) 受信 MAC DMA 機能】</b>                      BUFID は、CPU から読み出すことができ、最大 63 個の情報を蓄えることができます。</p>	8-39	<p><b>【8.4.1.4(2) 受信 MAC DMA 機能】</b>                      BUFID は、CPU から読み出すことができ、最大 32 個の情報を蓄えることができます。</p>

**No.24 8.4.1.4(2)(a) 搭載されている各機能の説明**

**受信 MAC DMA の各機能の説明の修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-38	<p><b>【8.4.1.4(2)(a) 搭載されている各機能の説明】</b>                      [バッファの全解放機能]                      ② Rx Frame Control Word の解析の結果、受信したフレームが有効でも無効でもない場合</p>	8-40	<p><b>【8.4.1.4(2)(a) 搭載されている各機能の説明】</b>                      [バッファの全解放機能]                      ② 受信フレーム情報の解析の結果、受信したフレームが HWFNCRX_MACDMA_RX_Control で無効化されていた場合</p>

No.25 8.4.1.4(2)(a) 搭載されている各機能の説明

「図 8.9 受信フレーム良否判定機能の概念図」の修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-39	<p><b>【8.4.1.4(2)(a) 搭載されている各機能の説明】</b>                      [受信フレームの良否判定機能]                      受信フレームの良否を判定し、RX_VALID 割り込み、RX_ERR 割り込みを発行します。それぞれ複数の発生要因を持ち、初期状態ではすべての要因で割り込みの発生が許可されています。                      HWFNC_MACDMA_RX_Control を実行することで、特定の要因を無効化することができます。</p>	8-41	<p><b>【8.4.1.4(2)(a) 搭載されている各機能の説明】</b>                      [受信フレームの良否判定機能]                      受信フレームの良否を判定し、RX_VALID (受信フレーム正常) 割り込み、RX_ERR (Ether 受信フレーム・エラー) 割り込みを発行します。それぞれ複数の発生要因を持ち、初期状態ではすべての要因で割り込みの発生が許可されています。                      HWFNC_MACDMA_RX_Control を実行することで、特定の要因を無効化することができます。無効化された要因に該当するフレームは、バッファの全解放機能により破棄されます。</p>
	<p>図 8.9 受信フレーム良否判定機能の概念図</p>		<p>図 8.9 受信フレーム良否判定機能の概念図</p>

**No.26 8.4.1.4(2)(b) 使用方法**

**レジスタのビット名を修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-40	<p><b>【8.4.1.4(2)(b) 使用方法】</b></p> <p>・バッファ読み出しと解放手順</p> <p>③ Read された BUFID の[15:0]は、獲得したバッファ先頭アドレスの[26:11]です。獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。</p> <p>[31:27] : 00001b                      [26:19] : BUFID の[15:8]に相当(先頭アドレスの[26]は常に 1、[25:19]は <b>LBID</b>[6:0])                      [18:11] : BUFID の[ 7:0]に相当(常に 0)                      [10: 0] : 常に 0</p>	8-42	<p><b>【8.4.1.4(2)(b) 使用方法】</b></p> <p>・バッファ読み出しと解放手順</p> <p>③ Read された BUFID の[15:0]は、獲得したバッファ先頭アドレスの[26:11]です。獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。</p> <p>[31:27] : 00001b                      [26:19] : BUFID の[15:8]に相当(先頭アドレスの[26]は常に 1、[25:19]は <b>LLID</b>[6:0])                      [18:11] : BUFID の[ 7:0]に相当(常に 0)                      [10: 0] : 常に 0</p>

**No.27 8.4.1.4(2)(c) Hardware Function Call 一覧**

**表 8.7 HWFNC\_MACDMA\_RX\_Enable の R7 の説明を修正**

V1.00		V2.00																												
ページ	記載内容	ページ	改訂内容																											
8-41	<p><b>【8.4.1.4(2)(c) Hardware Function Call 一覧】</b></p> <p>引数レジスタ</p> <table border="1"> <tr><td>R4[31:0]</td><td>未使用</td><td></td></tr> <tr><td>R5[31:0]</td><td>未使用</td><td></td></tr> <tr><td>R6[31:0]</td><td>未使用</td><td></td></tr> <tr><td>R7[6:0]</td><td>予約</td><td>常に 0</td></tr> <tr><td>R7[31:8]</td><td>未使用</td><td></td></tr> </table>	R4[31:0]	未使用		R5[31:0]	未使用		R6[31:0]	未使用		R7[6:0]	予約	常に 0	R7[31:8]	未使用		8-43	<p><b>【8.4.1.4(2)(c) Hardware Function Call 一覧】</b></p> <p>引数レジスタ</p> <table border="1"> <tr><td>R4[31:0]</td><td>未使用</td><td></td></tr> <tr><td>R5[31:0]</td><td>未使用</td><td></td></tr> <tr><td>R6[31:0]</td><td>未使用</td><td></td></tr> <tr><td>R7[31:0]</td><td>予約</td><td>常に 0</td></tr> </table>	R4[31:0]	未使用		R5[31:0]	未使用		R6[31:0]	未使用		R7[31:0]	予約	常に 0
R4[31:0]	未使用																													
R5[31:0]	未使用																													
R6[31:0]	未使用																													
R7[6:0]	予約	常に 0																												
R7[31:8]	未使用																													
R4[31:0]	未使用																													
R5[31:0]	未使用																													
R6[31:0]	未使用																													
R7[31:0]	予約	常に 0																												

**No.28 8.4.1.4(2)(c) Hardware Function Call 一覧**

**表 8.8 HWFNC\_MACDMA\_RX\_Disable の R7 の説明を修正**

V1.00			V2.00																																			
ページ	記載内容		ページ	改訂内容																																		
8-42	<b>【8.4.1.4(2)(c) Hardware Function Call 一覧】</b>  引数レジスタ <table border="1"> <tr> <td>R4[0]</td> <td>強制リセット</td> <td>0: 受信中の場合は Disable にしない 1: 受信 DMA が Enable である場合、受信中であるかどうかにかかわらず Disable にする (受信 DMA の強制リセット)。すでに受信 DMA が Disable になっている場合は何もしない</td> </tr> <tr> <td>R4[31:1]</td> <td>未使用</td> <td></td> </tr> <tr> <td>R5[31:0]</td> <td>未使用</td> <td></td> </tr> <tr> <td>R6[31:0]</td> <td>未使用</td> <td></td> </tr> <tr> <td>R7[6:0]</td> <td>予約</td> <td>常に 0</td> </tr> <tr> <td>R7[31:8]</td> <td>未使用</td> <td></td> </tr> </table>		R4[0]	強制リセット	0: 受信中の場合は Disable にしない 1: 受信 DMA が Enable である場合、受信中であるかどうかにかかわらず Disable にする (受信 DMA の強制リセット)。すでに受信 DMA が Disable になっている場合は何もしない	R4[31:1]	未使用		R5[31:0]	未使用		R6[31:0]	未使用		R7[6:0]	予約	常に 0	R7[31:8]	未使用		8-44	<b>【8.4.1.4(2)(c) Hardware Function Call 一覧】</b>  引数レジスタ <table border="1"> <tr> <td>R4[0]</td> <td>強制リセット</td> <td>0: 受信中の場合は Disable にしない 1: 受信 DMA が Enable である場合、受信中であるかどうかにかかわらず Disable にする (受信 DMA の強制リセット)。すでに受信 DMA が Disable になっている場合は何もしない</td> </tr> <tr> <td>R4[31:1]</td> <td>未使用</td> <td></td> </tr> <tr> <td>R5[31:0]</td> <td>未使用</td> <td></td> </tr> <tr> <td>R6[31:0]</td> <td>未使用</td> <td></td> </tr> <tr> <td>R7[31:0]</td> <td>未使用</td> <td></td> </tr> </table>		R4[0]	強制リセット	0: 受信中の場合は Disable にしない 1: 受信 DMA が Enable である場合、受信中であるかどうかにかかわらず Disable にする (受信 DMA の強制リセット)。すでに受信 DMA が Disable になっている場合は何もしない	R4[31:1]	未使用		R5[31:0]	未使用		R6[31:0]	未使用		R7[31:0]	未使用	
R4[0]	強制リセット	0: 受信中の場合は Disable にしない 1: 受信 DMA が Enable である場合、受信中であるかどうかにかかわらず Disable にする (受信 DMA の強制リセット)。すでに受信 DMA が Disable になっている場合は何もしない																																				
R4[31:1]	未使用																																					
R5[31:0]	未使用																																					
R6[31:0]	未使用																																					
R7[6:0]	予約	常に 0																																				
R7[31:8]	未使用																																					
R4[0]	強制リセット	0: 受信中の場合は Disable にしない 1: 受信 DMA が Enable である場合、受信中であるかどうかにかかわらず Disable にする (受信 DMA の強制リセット)。すでに受信 DMA が Disable になっている場合は何もしない																																				
R4[31:1]	未使用																																					
R5[31:0]	未使用																																					
R6[31:0]	未使用																																					
R7[31:0]	未使用																																					

**No.29 8.4.1.4(2)(c) Hardware Function Call 一覧**

**表 8.10 R0 レジスタ Bit1 の説明を修正**

V1.00			V2.00								
ページ	記載内容		ページ	改訂内容							
8-43	<b>【8.4.1.4(2)(c) Hardware Function Call 一覧】</b> [表 8.10 HWFNC_MACDMA_RX_Errstat] 戻り値レジスタ <table border="1"> <tr> <td>R0[3:0]</td> <td>Result</td> <td>[0]: Buffer Get 失敗 [1]: Rx Info FIFO Full [2]: Rx Data Size over 4096 word (16KB) [3]: 強制リセット有効で HWFNC_MACDMA_Rx_Disable を発行</td> </tr> </table>		R0[3:0]	Result	[0]: Buffer Get 失敗 [1]: Rx Info FIFO Full [2]: Rx Data Size over 4096 word (16KB) [3]: 強制リセット有効で HWFNC_MACDMA_Rx_Disable を発行	8-45	<b>【8.4.1.4(2)(c) Hardware Function Call 一覧】</b> [表 8.10 HWFNC_MACDMA_RX_Errstat] 戻り値レジスタ <table border="1"> <tr> <td>R0[3:0]</td> <td>Result</td> <td>[0]: Buffer Get 失敗 [1]: 常に 0 [2]: 受信データが 4096 ワード (16KB) を超えている [3]: 強制リセット有効で HWFNC_MACDMA_Rx_Disable を発行</td> </tr> </table>		R0[3:0]	Result	[0]: Buffer Get 失敗 [1]: 常に 0 [2]: 受信データが 4096 ワード (16KB) を超えている [3]: 強制リセット有効で HWFNC_MACDMA_Rx_Disable を発行
R0[3:0]	Result	[0]: Buffer Get 失敗 [1]: Rx Info FIFO Full [2]: Rx Data Size over 4096 word (16KB) [3]: 強制リセット有効で HWFNC_MACDMA_Rx_Disable を発行									
R0[3:0]	Result	[0]: Buffer Get 失敗 [1]: 常に 0 [2]: 受信データが 4096 ワード (16KB) を超えている [3]: 強制リセット有効で HWFNC_MACDMA_Rx_Disable を発行									

**No.30 8.4.1.4(3)(d) Hardware Function Call 一覧**

**表 8.11 転送可能バイト数を修正**

V1.00		V2.00									
ページ	記載内容	ページ	改訂内容								
8-46	<p><b>【8.4.1.4(3)(d) Hardware Function Call 一覧】</b>                      [表 8.11 HWFNC_MACDMA_TX_Start]</p> <table border="1"> <tr> <td>名称</td> <td>HWFNC_MACDMA_TX_Start</td> </tr> <tr> <td>機能</td> <td>Buffer Memory から Ethernet MAC にデータを転送します。送信ディスクリプの先頭アドレスを R4 に設定します。転送が終了すると割り込みが発生します。一度に転送できるバイト数は、1~16383 バイトです。</td> </tr> </table>	名称	HWFNC_MACDMA_TX_Start	機能	Buffer Memory から Ethernet MAC にデータを転送します。送信ディスクリプの先頭アドレスを R4 に設定します。転送が終了すると割り込みが発生します。一度に転送できるバイト数は、1~16383 バイトです。	8-48	<p><b>【8.4.1.4(3)(d) Hardware Function Call 一覧】</b>                      [表 8.11 HWFNC_MACDMA_TX_Start]</p> <table border="1"> <tr> <td>名称</td> <td>HWFNC_MACDMA_TX_Start</td> </tr> <tr> <td>機能</td> <td>Buffer Memory から Ethernet MAC にデータを転送します。送信ディスクリプタの先頭アドレスを R4 に設定します。転送が終了すると割り込みが発生します。一度に転送できるバイト数は、1~2048 バイトです。</td> </tr> </table>	名称	HWFNC_MACDMA_TX_Start	機能	Buffer Memory から Ethernet MAC にデータを転送します。送信ディスクリプタの先頭アドレスを R4 に設定します。転送が終了すると割り込みが発生します。一度に転送できるバイト数は、1~2048 バイトです。
名称	HWFNC_MACDMA_TX_Start										
機能	Buffer Memory から Ethernet MAC にデータを転送します。送信ディスクリプの先頭アドレスを R4 に設定します。転送が終了すると割り込みが発生します。一度に転送できるバイト数は、1~16383 バイトです。										
名称	HWFNC_MACDMA_TX_Start										
機能	Buffer Memory から Ethernet MAC にデータを転送します。送信ディスクリプタの先頭アドレスを R4 に設定します。転送が終了すると割り込みが発生します。一度に転送できるバイト数は、1~2048 バイトです。										

**No.31 8.4.1.5(2)(a) バッファ RAM - データ RAM 間転送**

**R0 の読み出しで DMA 転送の完了を確認できる旨を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-47	<p><b>【8.4.1.5(2)(a) バッファ RAM - データ RAM 間転送】</b>                      バッファ RAM とデータ RAM 間の転送は、ハードウェア・ファンクション HWFNC_Direct Memory Transfer を発行することで開始されます。コマンド発行後は、<b>ハードウェア・ファンクションの完了待ちを行い、戻り値からエラーなどを確認します。</b></p>	8-49	<p><b>【8.4.1.5(2)(a) バッファ RAM - データ RAM 間転送】</b>                      バッファ RAM とデータ RAM 間の転送は、ハードウェア・ファンクション HWFNC_Direct Memory Transfer を発行することで開始されます。コマンド発行後は、<b>R0 レジスタの bit29 から、ハードウェア・ファンクション・コールの発行が完了したことを確認してください。この時点で DMA 転送は完了しています。</b></p>

**No.32 8.4.1.5(2)(b) バッファ RAM またはデータ RAM のデータ置換**

**R0 の読み出しで DMA 転送の完了を確認できる旨を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-47	<p><b>【8.4.1.5(2)(b) バッファ RAM またはデータ RAM のデータ置換】</b>                      書き込みを行う領域と書き込みサイズは、128 ビット境界である必要があります。</p>	8-49	<p><b>【8.4.1.5(2)(b) バッファ RAM またはデータ RAM のデータ置換】</b>                      書き込みを行う領域と書き込みサイズは、128 ビット境界である必要があります。<b>コマンド発行後は、R0 レジスタの bit29 から、ハードウェア・ファンクション・コールの発行が完了したことを確認してください。この時点でデータ・パターンの書き込みは完了しています。</b></p>

**No.33 8.4.1.5(2)(c) バッファ RAM - バッファ RAM 間転送**  
**DMA 転送完了割り込みで DMA 転送の完了を確認できる旨を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-47	<p><b>【8.4.1.5(2)(c) バッファ RAM - バッファ RAM 間転送】</b>                      バッファ RAM からバッファ RAM へのデータ転送を行うことができます。</p>	8-49	<p><b>【8.4.1.5(2)(c) バッファ RAM - バッファ RAM 間転送】</b>                      バッファ RAM からバッファ RAM へのデータ転送を行うことができます。コマンド発行後は、R0 レジスタの bit29 から、ハードウェア・ファンクション・コールの発行が完了したことを確認してください。ただし、この時点では DMA 転送は完了していません。DMA 転送の完了は、Interbuffer DMA 転送完了割り込みが発生したことで確認してください。</p>

**No.34 8.4.1.5(2) (d) Hardware Function Call 一覧**

**表 8.13 Hardware Function Call の名称を修正**

V1.00		V2.00									
ページ	記載内容	ページ	改訂内容								
8-48	<p><b>【8.4.1.5(2) (d) Hardware Function Call 一覧】</b></p> <p>表8.13 HWFNC_Direct_Memory_Transfer</p> <table border="1"> <tr> <td>名称</td> <td>HWFNC_Direct_Memory_Transfer</td> </tr> <tr> <td>機能</td> <td>データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM への転送はできません。バッファ RAM からバッファ RAM への転送は、HWFNC_INT_BUF をご使用ください。(データ RAM 間は可能です)。</td> </tr> </table>	名称	HWFNC_Direct_Memory_Transfer	機能	データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM への転送はできません。バッファ RAM からバッファ RAM への転送は、HWFNC_INT_BUF をご使用ください。(データ RAM 間は可能です)。	8-50	<p><b>【8.4.1.5(2) (d) Hardware Function Call 一覧】</b></p> <p>表8.13 HWFNC_Direct_Memory_Transfer</p> <table border="1"> <tr> <td>名称</td> <td>HWFNC_Direct_Memory_Transfer</td> </tr> <tr> <td>機能</td> <td>データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM への転送はできません。バッファ RAM からバッファ RAM への転送は、HWFNC_INTBUFF_DMA_Start をご使用ください。(データ RAM 間は可能です)。</td> </tr> </table>	名称	HWFNC_Direct_Memory_Transfer	機能	データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM への転送はできません。バッファ RAM からバッファ RAM への転送は、HWFNC_INTBUFF_DMA_Start をご使用ください。(データ RAM 間は可能です)。
名称	HWFNC_Direct_Memory_Transfer										
機能	データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM への転送はできません。バッファ RAM からバッファ RAM への転送は、HWFNC_INT_BUF をご使用ください。(データ RAM 間は可能です)。										
名称	HWFNC_Direct_Memory_Transfer										
機能	データ RAM からバッファ RAM に、またはバッファ RAM からデータ RAM にデータを転送します。バッファ RAM からバッファ RAM への転送はできません。バッファ RAM からバッファ RAM への転送は、HWFNC_INTBUFF_DMA_Start をご使用ください。(データ RAM 間は可能です)。										

**No.35 8.4.1.5(2) (d) Hardware Function Call 一覧**

**表 8.14 HWFNC\_Direct\_Memory\_Replace の説明を追加**

V1.00		V2.00									
ページ	記載内容	ページ	改訂内容								
8-49	<p><b>【8.4.1.5(2) (d) Hardware Function Call 一覧】</b></p> <p>表8.14 HWFNC_Direct_Memory_Replace</p> <table border="1"> <tr> <td>名称</td> <td>HWFNC_Direct_Memory_Replace</td> </tr> <tr> <td>機能</td> <td>データ RAM またはバッファ RAM の指定されたメモリエリアをあるデータ・パターンで置き換えます。書き込みワード数は4ワード以上でなければなりません。</td> </tr> </table>	名称	HWFNC_Direct_Memory_Replace	機能	データ RAM またはバッファ RAM の指定されたメモリエリアをあるデータ・パターンで置き換えます。書き込みワード数は4ワード以上でなければなりません。	8-51	<p><b>【8.4.1.5(2) (d) Hardware Function Call 一覧】</b></p> <p>表8.14 HWFNC_Direct_Memory_Replace</p> <table border="1"> <tr> <td>名称</td> <td>HWFNC_Direct_Memory_Replace</td> </tr> <tr> <td>機能</td> <td>データ RAM またはバッファ RAM の指定されたメモリエリアをあるデータ・パターンで置き換えます。書き込みワード数は4ワード以上でなければなりません。(1ワードは32ビット)</td> </tr> </table>	名称	HWFNC_Direct_Memory_Replace	機能	データ RAM またはバッファ RAM の指定されたメモリエリアをあるデータ・パターンで置き換えます。書き込みワード数は4ワード以上でなければなりません。(1ワードは32ビット)
名称	HWFNC_Direct_Memory_Replace										
機能	データ RAM またはバッファ RAM の指定されたメモリエリアをあるデータ・パターンで置き換えます。書き込みワード数は4ワード以上でなければなりません。										
名称	HWFNC_Direct_Memory_Replace										
機能	データ RAM またはバッファ RAM の指定されたメモリエリアをあるデータ・パターンで置き換えます。書き込みワード数は4ワード以上でなければなりません。(1ワードは32ビット)										

No.36 8.4.2 割り込み機能

TX-FIFO エラー割り込みの説明を修正

V1.00			V2.00																				
ページ	記載内容		ページ	改訂内容																			
8-51	<p><b>【8.4.2 割り込み機能】</b> [表 8.17 送信動作に関する割り込み]</p> <table border="1"> <thead> <tr> <th>割り込み名称</th> <th>シンボル</th> <th>発生条件/クリア条件</th> </tr> </thead> <tbody> <tr> <td>TX FIFO アンダーフロー 割り込み</td> <td>INTETHTXFIFO</td> <td>ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。</td> </tr> <tr> <td>TX FIFO エラー割り込み</td> <td>INTETHTXFIFOERR</td> <td>GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。 パルスで発生するため、要因のクリア処理は不要です。</td> </tr> </tbody> </table>		割り込み名称	シンボル	発生条件/クリア条件	TX FIFO アンダーフロー 割り込み	INTETHTXFIFO	ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。	TX FIFO エラー割り込み	INTETHTXFIFOERR	GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。 パルスで発生するため、要因のクリア処理は不要です。	8-53	<p><b>【8.4.2 割り込み機能】</b> [表 8.17 送信動作に関する割り込み]</p> <table border="1"> <thead> <tr> <th>割り込み名称</th> <th>シンボル</th> <th>発生条件/クリア条件</th> </tr> </thead> <tbody> <tr> <td>TX FIFO アンダーフロー 割り込み</td> <td>INTETHTXFIFO</td> <td>ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。</td> </tr> <tr> <td>TX FIFO エラー割り込み</td> <td>INTETHTXFIFOERR</td> <td>GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXFIFO.TRBFR ビットの値が 0 になるまで GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。</td> </tr> </tbody> </table>		割り込み名称	シンボル	発生条件/クリア条件	TX FIFO アンダーフロー 割り込み	INTETHTXFIFO	ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。	TX FIFO エラー割り込み	INTETHTXFIFOERR	GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXFIFO.TRBFR ビットの値が 0 になるまで GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。
割り込み名称	シンボル	発生条件/クリア条件																					
TX FIFO アンダーフロー 割り込み	INTETHTXFIFO	ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。																					
TX FIFO エラー割り込み	INTETHTXFIFOERR	GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。 パルスで発生するため、要因のクリア処理は不要です。																					
割り込み名称	シンボル	発生条件/クリア条件																					
TX FIFO アンダーフロー 割り込み	INTETHTXFIFO	ディスクリプタと送信フレーム制御情報で指定した送信サイズが異なる場合に発生します。この時、送信動作は行われません。ディスクリプタと送信フレーム情報の設定を修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。																					
TX FIFO エラー割り込み	INTETHTXFIFOERR	GMAC_TXID/GMAC_TXRESULT レジスタが最大個数（4 個）の情報を保持した状態で、さらに情報の更新が起きた場合に発生します。このエラーが発生した時点で、保持されていた情報の中で一番古いものが上書きされていますので、ご注意ください。 GMAC_TXFIFO.TRBFR ビットの値が 0 になるまで GMAC_TXID/GMAC_TXRESULT レジスタを読み出すことで、保持されていた情報がクリアされ、通常動作に戻ることができます。																					

No.37 8.4.2 割り込み機能

「表 8.19 その他の動作に関する割り込み」の修正

V1.00			V2.00																										
ページ	記載内容		ページ	改訂内容																									
8-52	<p><b>【8.4.2 割り込み機能】</b> [表 8.19 その他の動作に関する割り込み]</p> <table border="1"> <thead> <tr> <th>割り込み名称</th> <th>シンボル</th> <th>発生条件/クリア条件</th> </tr> </thead> <tbody> <tr> <td>Ether MII マネージメント・ アクセス完了割り込み</td> <td>INTETHMIICMP</td> <td>MII マネージメントバスへのリードまたはライトが完了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。</td> </tr> <tr> <td>Ether ポーズ・パケット送信 完了割り込み</td> <td>INTETHPAUSECMP</td> <td>ポーズ・パケットの送信が終了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。</td> </tr> </tbody> </table>		割り込み名称	シンボル	発生条件/クリア条件	Ether MII マネージメント・ アクセス完了割り込み	INTETHMIICMP	MII マネージメントバスへのリードまたはライトが完了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。	Ether ポーズ・パケット送信 完了割り込み	INTETHPAUSECMP	ポーズ・パケットの送信が終了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。	8-54	<p><b>【8.4.2 割り込み機能】</b> [表 8.19 その他の動作に関する割り込み]</p> <table border="1"> <thead> <tr> <th>割り込み名称</th> <th>シンボル</th> <th>発生条件/クリア条件</th> </tr> </thead> <tbody> <tr> <td>Ether MII マネージメント・ アクセス完了割り込み</td> <td>INTETHMII</td> <td>MII マネージメントバスへのリードまたはライトが完了場合に発生します。パルスで発生するため、要因のクリア処理は不要です。</td> </tr> <tr> <td>Ether ポーズ・パケット送信 完了割り込み</td> <td>INTETHPAUSE</td> <td>ポーズ・パケットの送信が終了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。</td> </tr> <tr> <td>InterBuffer DMA 転送完了 割り込み</td> <td>INTBUFDMA</td> <td>バッファ RAM 間の DMA 転送が完了した場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。</td> </tr> <tr> <td>InterBuffer DMA 転送エラー 割り込み</td> <td>INTBUFDMAERR</td> <td>バッファ RAM 間の DMA 転送中に、獲得されていないバッファ領域へアクセスした場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。</td> </tr> </tbody> </table>		割り込み名称	シンボル	発生条件/クリア条件	Ether MII マネージメント・ アクセス完了割り込み	INTETHMII	MII マネージメントバスへのリードまたはライトが完了場合に発生します。パルスで発生するため、要因のクリア処理は不要です。	Ether ポーズ・パケット送信 完了割り込み	INTETHPAUSE	ポーズ・パケットの送信が終了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。	InterBuffer DMA 転送完了 割り込み	INTBUFDMA	バッファ RAM 間の DMA 転送が完了した場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。	InterBuffer DMA 転送エラー 割り込み	INTBUFDMAERR	バッファ RAM 間の DMA 転送中に、獲得されていないバッファ領域へアクセスした場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。
割り込み名称	シンボル	発生条件/クリア条件																											
Ether MII マネージメント・ アクセス完了割り込み	INTETHMIICMP	MII マネージメントバスへのリードまたはライトが完了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。																											
Ether ポーズ・パケット送信 完了割り込み	INTETHPAUSECMP	ポーズ・パケットの送信が終了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。																											
割り込み名称	シンボル	発生条件/クリア条件																											
Ether MII マネージメント・ アクセス完了割り込み	INTETHMII	MII マネージメントバスへのリードまたはライトが完了場合に発生します。パルスで発生するため、要因のクリア処理は不要です。																											
Ether ポーズ・パケット送信 完了割り込み	INTETHPAUSE	ポーズ・パケットの送信が終了した場合に発生します。パルスで発生するため、要因のクリア処理は不要です。																											
InterBuffer DMA 転送完了 割り込み	INTBUFDMA	バッファ RAM 間の DMA 転送が完了した場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。																											
InterBuffer DMA 転送エラー 割り込み	INTBUFDMAERR	バッファ RAM 間の DMA 転送中に、獲得されていないバッファ領域へアクセスした場合に発生します。 パルスで発生するため、要因のクリア処理は不要です。																											

**No.38 8.4.3.1 送信処理用のバッファの獲得**  
**R0の戻り値の説明を修正**

V1.00		V2.00													
ページ	記載内容	ページ	改訂内容												
8-53	<p><b>【8.4.3.1 送信処理用のバッファの獲得】</b></p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>値</th> </tr> </thead> <tbody> <tr> <td>R0</td> <td>0xb かつ R0[29] = 1 のとき: 成功 2'b10: Invalid System Call 2'b11: バッファ不足</td> </tr> <tr> <td>R1</td> <td>確保したメモリ・ブロックの先頭アドレス</td> </tr> </tbody> </table>	レジスタ	値	R0	0xb かつ R0[29] = 1 のとき: 成功 2'b10: Invalid System Call 2'b11: バッファ不足	R1	確保したメモリ・ブロックの先頭アドレス	8-56	<p><b>【8.4.3.1 送信処理用のバッファの獲得】</b></p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>値</th> </tr> </thead> <tbody> <tr> <td>R0</td> <td>2'b0x かつ R0[29] = 1 のとき: 成功 2'b10: Invalid System Call 2'b11: バッファ不足</td> </tr> <tr> <td>R1</td> <td>確保したメモリ・ブロックの先頭アドレス</td> </tr> </tbody> </table>	レジスタ	値	R0	2'b0x かつ R0[29] = 1 のとき: 成功 2'b10: Invalid System Call 2'b11: バッファ不足	R1	確保したメモリ・ブロックの先頭アドレス
レジスタ	値														
R0	0xb かつ R0[29] = 1 のとき: 成功 2'b10: Invalid System Call 2'b11: バッファ不足														
R1	確保したメモリ・ブロックの先頭アドレス														
レジスタ	値														
R0	2'b0x かつ R0[29] = 1 のとき: 成功 2'b10: Invalid System Call 2'b11: バッファ不足														
R1	確保したメモリ・ブロックの先頭アドレス														

No.39 8.4.3.2 送信データの作成

送信フレーム制御情報とイーサネットフレームの配置を明示

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-54	<p><b>【8.4.3.2 送信データの作成】</b></p> <p>図 8.12 送信データ・フォーマット</p> <p>注意 1. 必ずこの送信データ・フォーマットの形式に合わせて使用してください。</p> <p>2. <b>Padding (2Byte)</b>はどのようなデータでも構いません。                  また <b>Padding (2Byte)</b>は Ethernet フレームの指定サイズ (<b>TX_WORD[12:0]</b>, <b>TX_EOB[1:0]</b>) には含まれません。</p>	8-57	<p><b>【8.4.3.2 送信データの作成】</b></p> <p>図 8.12 送信データ・フォーマット</p> <p>注意. 必ずこの送信データ・フォーマットの形式に合わせて使用してください。</p>

No.40 8.4.3.2(1) 送信フレーム制御情報

送信フレーム制御情報の TX\_WORD[12:0]、ICRC、APAD の修正

V1.00		V2.00																																																	
ページ	記載内容	ページ	改訂内容																																																
8-55	<p><b>【8.4.3.2(1) 送信フレーム制御情報】</b> 送信フレーム制御情報の各フィールドの説明を以下に示します。</p> <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>TX_WORD[12:0]</td> <td>送信する Ethernet フレームのワード数を指定します。 最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。</td> </tr> <tr> <td>TX_EOB[1:0]</td> <td>このフレームの最後の 1 ワードにおいて、どのオクテットまで有効であることを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効</td> </tr> <tr> <td>Port<sup>注</sup></td> <td>イーサネット・スイッチの Forced Forwarding 機能を、Port1 で許可します。</td> </tr> <tr> <td>Port0<sup>注</sup></td> <td>イーサネット・スイッチの Forced Forwarding 機能を、Port0 で許可します。</td> </tr> <tr> <td>Forced Forwarding<sup>注</sup></td> <td>イーサネット・スイッチの Forced Forwarding 機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。</td> </tr> <tr> <td>Transmit Timestamp<sup>注</sup></td> <td>イーサネット・スイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。</td> </tr> <tr> <td>TCPIP ACC OFF</td> <td>1：TCPIP アクセラレータを無効 0：TCPIP アクセラレータを有効</td> </tr> <tr> <td>ITAG</td> <td>このフレームに VLAN TAG を含んでいることを示しています。</td> </tr> <tr> <td>ICRC</td> <td>FIFO に書き込まれたフレームはすでに CRC がアタッチされています。</td> </tr> <tr> <td>APAD</td> <td>フレーム長が 64 オクテットに満たないのでパディングを行います。</td> </tr> <tr> <td>Frame ID[31:0]</td> <td>任意のフレーム識別子を指定します。</td> </tr> </tbody> </table> <p>注. イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合にのみ有効です。マネージメント・タグが挿入されない場合には、無効なフィールドとなります。</p>	項目	説明	TX_WORD[12:0]	送信する Ethernet フレームのワード数を指定します。 最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。	TX_EOB[1:0]	このフレームの最後の 1 ワードにおいて、どのオクテットまで有効であることを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効	Port <sup>注</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port1 で許可します。	Port0 <sup>注</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port0 で許可します。	Forced Forwarding <sup>注</sup>	イーサネット・スイッチの Forced Forwarding 機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。	Transmit Timestamp <sup>注</sup>	イーサネット・スイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。	TCPIP ACC OFF	1：TCPIP アクセラレータを無効 0：TCPIP アクセラレータを有効	ITAG	このフレームに VLAN TAG を含んでいることを示しています。	ICRC	FIFO に書き込まれたフレームはすでに CRC がアタッチされています。	APAD	フレーム長が 64 オクテットに満たないのでパディングを行います。	Frame ID[31:0]	任意のフレーム識別子を指定します。	8-58	<p><b>【8.4.3.2(1) 送信フレーム制御情報】</b></p> <p>図7.14 送信フレーム制御情報</p> <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>TX_WORD[12:0]</td> <td>送信する Ethernet フレームのワード数を指定します。 <b>1 ワードは 32 ビット)</b> 最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。</td> </tr> <tr> <td>TX_EOB[1:0]</td> <td>このフレームの最後の 1 ワードにおいて、どのオクテットまで有効であることを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効</td> </tr> <tr> <td>Port1<sup>注1</sup></td> <td>イーサネット・スイッチの Forced Forwarding 機能を、Port1 で許可します。</td> </tr> <tr> <td>Port0<sup>注1</sup></td> <td>イーサネット・スイッチの Forced Forwarding 機能を、Port0 で許可します。</td> </tr> <tr> <td>Forced Forwarding<sup>注1</sup></td> <td>イーサネット・スイッチの Forced Forwarding 機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。</td> </tr> <tr> <td>Transmit Timestamp<sup>注1</sup></td> <td>イーサネット・スイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。</td> </tr> <tr> <td>TCPIP ACC OFF<sup>注2</sup></td> <td>1：TCPIP アクセラレータを無効 0：TCPIP アクセラレータを有効</td> </tr> <tr> <td>ITAG</td> <td>このフレームに VLAN TAG を含んでいることを示しています。</td> </tr> <tr> <td>ICRC</td> <td>このフレームはすでに CRC がアタッチされています。 このビットが 1 のとき、APAD は無効になります。★</td> </tr> <tr> <td>APAD</td> <td>フレーム長が 64 オクテットに満たない場合に自動でパディングを行います。</td> </tr> <tr> <td>Frame ID[31:0]</td> <td>任意のフレーム識別子を指定します。</td> </tr> </tbody> </table> <p>注 1. イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合にのみ有効です。マネージメント・タグが挿入されない場合には、無効なフィールドとなります。</p> <p>2. 以下のフレームを送信する場合は、TCPIP アクセラレータを無効にしてください。★</p> <ul style="list-style-type: none"> <li>・ UDP あるいは TCP パケットを含まない IPv6 フレーム</li> <li>・ IEEE802.3 + IEEE802.2 (LLC) フレーム</li> </ul>	項目	説明	TX_WORD[12:0]	送信する Ethernet フレームのワード数を指定します。 <b>1 ワードは 32 ビット)</b> 最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。	TX_EOB[1:0]	このフレームの最後の 1 ワードにおいて、どのオクテットまで有効であることを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効	Port1 <sup>注1</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port1 で許可します。	Port0 <sup>注1</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port0 で許可します。	Forced Forwarding <sup>注1</sup>	イーサネット・スイッチの Forced Forwarding 機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。	Transmit Timestamp <sup>注1</sup>	イーサネット・スイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。	TCPIP ACC OFF <sup>注2</sup>	1：TCPIP アクセラレータを無効 0：TCPIP アクセラレータを有効	ITAG	このフレームに VLAN TAG を含んでいることを示しています。	ICRC	このフレームはすでに CRC がアタッチされています。 このビットが 1 のとき、APAD は無効になります。★	APAD	フレーム長が 64 オクテットに満たない場合に自動でパディングを行います。	Frame ID[31:0]	任意のフレーム識別子を指定します。
項目	説明																																																		
TX_WORD[12:0]	送信する Ethernet フレームのワード数を指定します。 最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。																																																		
TX_EOB[1:0]	このフレームの最後の 1 ワードにおいて、どのオクテットまで有効であることを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効																																																		
Port <sup>注</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port1 で許可します。																																																		
Port0 <sup>注</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port0 で許可します。																																																		
Forced Forwarding <sup>注</sup>	イーサネット・スイッチの Forced Forwarding 機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。																																																		
Transmit Timestamp <sup>注</sup>	イーサネット・スイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。																																																		
TCPIP ACC OFF	1：TCPIP アクセラレータを無効 0：TCPIP アクセラレータを有効																																																		
ITAG	このフレームに VLAN TAG を含んでいることを示しています。																																																		
ICRC	FIFO に書き込まれたフレームはすでに CRC がアタッチされています。																																																		
APAD	フレーム長が 64 オクテットに満たないのでパディングを行います。																																																		
Frame ID[31:0]	任意のフレーム識別子を指定します。																																																		
項目	説明																																																		
TX_WORD[12:0]	送信する Ethernet フレームのワード数を指定します。 <b>1 ワードは 32 ビット)</b> 最終ワード内で有効なバイト数は、TX_EOB[1:0]で指定します。																																																		
TX_EOB[1:0]	このフレームの最後の 1 ワードにおいて、どのオクテットまで有効であることを示します。 00：1byte 有効 01：2byte 有効 10：3byte 有効 11：4byte 有効																																																		
Port1 <sup>注1</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port1 で許可します。																																																		
Port0 <sup>注1</sup>	イーサネット・スイッチの Forced Forwarding 機能を、Port0 で許可します。																																																		
Forced Forwarding <sup>注1</sup>	イーサネット・スイッチの Forced Forwarding 機能を有効にします。この機能を有効にすると、スイッチのフィルタ設定に関係なく指定ポートからフレームが出力されます。																																																		
Transmit Timestamp <sup>注1</sup>	イーサネット・スイッチ使用時、送信フレームのタイムスタンプ機能を有効にします。																																																		
TCPIP ACC OFF <sup>注2</sup>	1：TCPIP アクセラレータを無効 0：TCPIP アクセラレータを有効																																																		
ITAG	このフレームに VLAN TAG を含んでいることを示しています。																																																		
ICRC	このフレームはすでに CRC がアタッチされています。 このビットが 1 のとき、APAD は無効になります。★																																																		
APAD	フレーム長が 64 オクテットに満たない場合に自動でパディングを行います。																																																		
Frame ID[31:0]	任意のフレーム識別子を指定します。																																																		

**No.41 8.4.3.2(1) 送信フレーム制御情報**

**送信フレーム制御情報の送信サイズ計算式の修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-55	<p><b>【8.4.3.2(1) 送信フレーム制御情報】</b></p> <p>TX_LENGTH [14:0] = (TX Frame Size - 2 + 3) (bytes)</p>	8-59	<p><b>【8.4.3.2(1) 送信フレーム制御情報】</b></p> <p>TCPIPACC Pad Size は、送信 TCPIP アクセラレータ機能が有効 (GMAC_ACC.TCPIPEN=1) の場合は 2、無効の場合は 0 です。</p> <p>TX_LENGTH [14:0] = (TX Frame Size - TCPIPACC Pad Size + 3) (bytes)</p>

**No.42 8.4.3.2(2) イーサネット・フレーム**

**送信イーサネット・フレームのデータ形式の修正**

V1.00		V2.00																									
ページ	記載内容	ページ	改訂内容																								
8-55	<p><b>【8.4.3.2(2) イーサネット・フレーム】</b></p> <p>送信されるイーサネット・フレームの各フィールドの説明を以下に示します。</p> <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>Destination MAC Address</td> <td>宛先の MAC アドレス</td> </tr> <tr> <td>Source MAC Address</td> <td>送信元の MAC アドレス</td> </tr> <tr> <td>Type</td> <td>Ethernet Type</td> </tr> <tr> <td>Frame Payload</td> <td>ペイロード</td> </tr> </tbody> </table>	項目	説明	Destination MAC Address	宛先の MAC アドレス	Source MAC Address	送信元の MAC アドレス	Type	Ethernet Type	Frame Payload	ペイロード	8-59	<p><b>【8.4.3.2(2) イーサネット・フレーム】</b></p> <p>送信するイーサネット・フレームのデータ形式と、各フィールドの説明を以下に示します。</p> <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>Destination MAC Address</td> <td>宛先の MAC アドレス</td> </tr> <tr> <td>Source MAC Address</td> <td>送信元の MAC アドレス</td> </tr> <tr> <td>Type / Length</td> <td>Ethernet Type or Length</td> </tr> <tr> <td>VLAN Tag</td> <td>Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。</td> </tr> <tr> <td>VLAN Info</td> <td>Tag Control Information。VLAN Tag を含む場合に使用されます。</td> </tr> <tr> <td>Frame Payload</td> <td>ペイロード</td> </tr> </tbody> </table>	項目	説明	Destination MAC Address	宛先の MAC アドレス	Source MAC Address	送信元の MAC アドレス	Type / Length	Ethernet Type or Length	VLAN Tag	Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。	VLAN Info	Tag Control Information。VLAN Tag を含む場合に使用されます。	Frame Payload	ペイロード
項目	説明																										
Destination MAC Address	宛先の MAC アドレス																										
Source MAC Address	送信元の MAC アドレス																										
Type	Ethernet Type																										
Frame Payload	ペイロード																										
項目	説明																										
Destination MAC Address	宛先の MAC アドレス																										
Source MAC Address	送信元の MAC アドレス																										
Type / Length	Ethernet Type or Length																										
VLAN Tag	Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。																										
VLAN Info	Tag Control Information。VLAN Tag を含む場合に使用されます。																										
Frame Payload	ペイロード																										

**No.43 8.4.3.2(2) イーサネット・フレーム**

**送信イーサネット・フレームのデータ形式のパターン追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-55	<p><b>【8.4.3.2(2) イーサネット・フレーム】</b></p> <p>(記載無し)</p>	8-60 ~ 8-61	<p><b>【8.4.3.2(2) イーサネット・フレーム】</b></p> <p>(a) 送信 TCPIP アクセラレータ機能が有効の場合</p> <p>(b) 送信 TCPIP アクセラレータ機能が無効の場合</p>

**No.44 8.4.3.3 送信処理用ディスクリプタの作成**  
**送信処理用ディスクリプタの制限事項の修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-57	<p><b>【8.4.3.3 送信処理用ディスクリプタの作成】</b>                      なお、この機能は以下の制約事項、制限事項があります。</p> <ul style="list-style-type: none"> <li>◆ Linked Long Buffer を Release Bit = 1 でディスクリプタに指定した場合                         <ul style="list-style-type: none"> <li>・Descriptor で指定したアドレスを含む Buffer だけが解放されます</li> <li>・Link された Buffer を追いかけて解放することはしません</li> </ul> </li> </ul>	8-62	<p><b>【8.4.3.3 送信処理用ディスクリプタの作成】</b>                      (削除)</p>

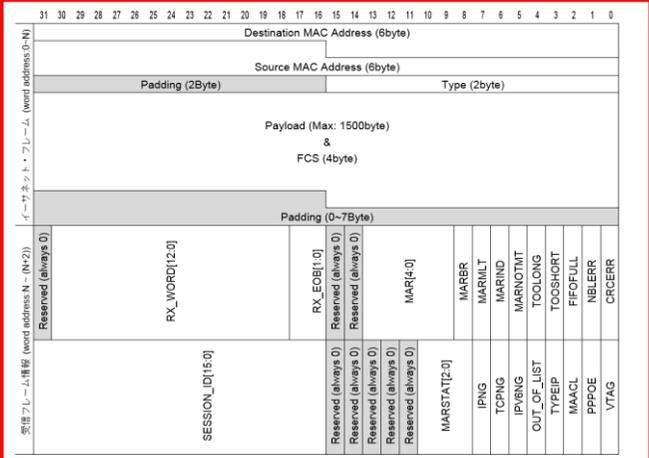
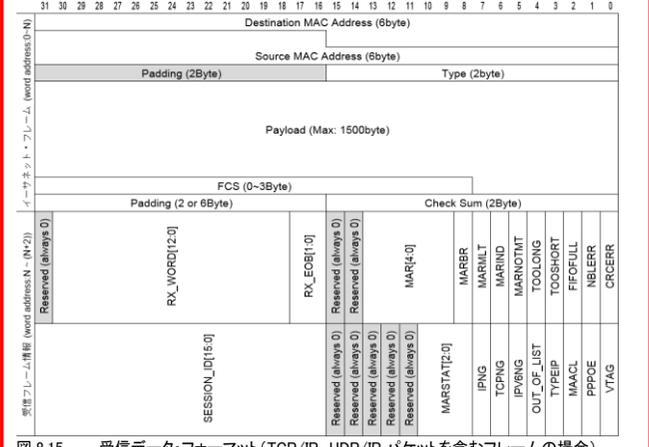
**No.45 8.4.3.5 送信処理の完了**  
**送信処理完了時の説明を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-57	<p><b>【8.4.3.5 送信処理の完了】</b>                      送信完了割り込みが発生することで送信が完了します。</p>	8-63	<p><b>【8.4.3.5 送信処理の完了】</b>                      DMA の転送が完了するとEther MACDMA 送信完了割り込みが発生し、MAC の送信が完了するとEther 送信完了割り込みが発生します。</p>

**No.46 8.4.4.5 受信データ・フォーマット**  
**受信データ・フォーマットのラインメントの記載修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-59	<p><b>【8.4.4.5 受信データ・フォーマット】</b>                      受信フレーム情報はワード境界から始まるため、イーサネット・フレームの最後の Padding サイズは、フレームサイズに応じて変化します。</p>	8-65	<p><b>【8.4.4.5 受信データ・フォーマット】</b>                      受信フレーム情報は 64 ビット境界から始まるため、イーサネット・フレームの次の Padding サイズは、フレームサイズに応じて変化します。</p>

No.47 8.4.4.5 受信データ・フォーマット  
イーサネットフレームと受信フレーム情報の配置を明示

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-59 ~ 8-60	<p><b>【8.4.4.5 受信データ・フォーマット】</b></p>  <p>図 8.14 受信データ・フォーマット(TCP/IP、UDP/IP パケットではないフレームの場合)</p>  <p>図 8.15 受信データ・フォーマット(TCP/IP、UDP/IP パケットを含むフレームの場合)</p>	8-65	<p><b>【8.4.4.5 受信データ・フォーマット】</b></p>  <p>図 8.19 受信データ・フォーマット</p>

No.48 8.4.4.5(1) 受信フレーム情報

受信フレーム情報の図を追加、FIFOFULLのビット名変更

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-61	<p><b>【8.4.4.5(1) 受信フレーム情報】</b></p> <p>(記載なし)</p>	8-66	<p><b>【8.4.4.5(1) 受信フレーム情報】</b></p> <p>図8.20 受信フレーム情報</p>

No.49 8.4.4.5(1) 受信フレーム情報

受信フレーム情報の各フィールドの説明を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-61	<p><b>【8.4.4.5(1) 受信フレーム情報】</b></p> <p>[IPV6NG]                      '1' のとき IPv6 拡張ヘッダの解析に失敗したことを示します。</p> <p>[OUT_OF_LIST]                      '1' のとき IPv6 の場合拡張ヘッダリスト外のプロトコル番号を検出したことを示します。</p> <p>[VTAG]                      '1' のとき VTAG 付きパケットを示します。</p> <p>[FIFOFULL]                      '1' のとき受信 FIFO が Full であることを示します。</p> <p>[IPNG, TCPNG, IPV6NG, OUT_OF_LIST, TYPEIP, MAACL, PPPOE, VTAG]                      (記載なし)</p>	8-67	<p><b>【8.4.4.5(1) 受信フレーム情報】</b></p> <p>[IPV6NG]                      '1' のとき IPv6 拡張ヘッダが、ルーティング、Hop-by-Hop、Destination Opt、のいずれかであり、かつ、ヘッダ長フィールドの値が不正であることを示します。</p> <p>[OUT_OF_LIST]                      '1' のとき IPv6 の拡張ヘッダで下記リスト外のプロトコル番号を検出したことを示します。                      0x06 (TCP ヘッダ)                      0x11 (UDP ヘッダ)                      0x00 (Hop-by-Hop)                      0x3C (Destination Opt)                      0x2C (フラグメント)                      0x2B (ルーティング)                      0x3B (ノーネクストヘッダ)                      0x32 (ESP ヘッダ)                      0x33 (AH ヘッダ)</p> <p>[VTAG]                      '1' のとき VLAN Tag を含むパケットを示します。</p> <p>[FIFOOVF]                      '1' のとき受信中に FIFO がオーバーフローしたことを示します。このとき、受信フレームのデータは欠損している可能性があります。</p> <p>[IPNG, TCPNG, IPV6NG, OUT_OF_LIST, TYPEIP, MAACL, PPPOE, VTAG]                      注 2 を追加</p>

**No.50 8.4.4.5(1) 受信フレーム情報**

**受信フレーム情報の受信バイト数に関する注釈の変更**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-61	<p><b>【8.4.4.5(1) 受信フレーム情報】</b>                      [注]                      Ethernet フレームの FCS(4byte)と、<b>ギガビット・イーサネット MAC</b> が挿入する MAC ヘッダの Padding (2byte)も受信バイト数に含まれます。</p>	8-68	<p><b>【8.4.4.5(1) 受信フレーム情報】</b>                      [注 1]                      Ethernet フレームの FCS(4byte)と、<b>受信 TCPIP アクセラレータ機能</b>が挿入する MAC ヘッダの Padding (2byte)も受信バイト数に含まれます。</p> <p>[注 2]                      TCPIP アクセラレータを無効にしている場合、これらのフィールドの値は無効です。</p>

**No.51 8.4.4.5(2) イーサネット・フレーム**

**受信イーサネット・フレームのフォーマットの説明を修正**

V1.00		V2.00																													
ページ	記載内容	ページ	改訂内容																												
8-63	<p><b>【8.4.4.5(2) イーサネット・フレーム】</b></p> <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>Destination MAC Address</td> <td>宛先の MAC アドレス。 イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合には、マネージメント TAG 情報が格納されます。</td> </tr> <tr> <td>Source MAC Address</td> <td>送信元の MAC アドレス</td> </tr> <tr> <td>Type</td> <td>Ethernet Type</td> </tr> <tr> <td>Frame Payload</td> <td>ペイロード</td> </tr> <tr> <td>FCS</td> <td>フレーム・チェック・シーケンス</td> </tr> </tbody> </table>	項目	説明	Destination MAC Address	宛先の MAC アドレス。 イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合には、マネージメント TAG 情報が格納されます。	Source MAC Address	送信元の MAC アドレス	Type	Ethernet Type	Frame Payload	ペイロード	FCS	フレーム・チェック・シーケンス	8-69	<p><b>【8.4.4.5(2) イーサネット・フレーム】</b></p> <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>Destination MAC Address</td> <td>宛先の MAC アドレス。 イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合には、マネージメント TAG 情報が格納されます。</td> </tr> <tr> <td>Source MAC Address</td> <td>送信元の MAC アドレス</td> </tr> <tr> <td>VLAN Tag</td> <td>Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。</td> </tr> <tr> <td>VLAN Info</td> <td>Tag Control Information。VLAN Tag を含む場合に使用されます。</td> </tr> <tr> <td>Type / Length</td> <td>Ethernet Type or Length</td> </tr> <tr> <td>Frame Payload</td> <td>ペイロード</td> </tr> <tr> <td>FCS</td> <td>フレーム・チェック・シーケンス 受信 TCPIP アクセラレータ機能が有効で、受信パケットに TCP/UDP を含む場合には、FCS フィールドが TCP/UDP のチェックサム値で書き換えられます。このチェックサム値は、フラグメント化された TCP/UDP パケットの合計チェックサム値の計算に利用できます</td> </tr> </tbody> </table>	項目	説明	Destination MAC Address	宛先の MAC アドレス。 イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合には、マネージメント TAG 情報が格納されます。	Source MAC Address	送信元の MAC アドレス	VLAN Tag	Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。	VLAN Info	Tag Control Information。VLAN Tag を含む場合に使用されます。	Type / Length	Ethernet Type or Length	Frame Payload	ペイロード	FCS	フレーム・チェック・シーケンス 受信 TCPIP アクセラレータ機能が有効で、受信パケットに TCP/UDP を含む場合には、FCS フィールドが TCP/UDP のチェックサム値で書き換えられます。このチェックサム値は、フラグメント化された TCP/UDP パケットの合計チェックサム値の計算に利用できます
項目	説明																														
Destination MAC Address	宛先の MAC アドレス。 イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合には、マネージメント TAG 情報が格納されます。																														
Source MAC Address	送信元の MAC アドレス																														
Type	Ethernet Type																														
Frame Payload	ペイロード																														
FCS	フレーム・チェック・シーケンス																														
項目	説明																														
Destination MAC Address	宛先の MAC アドレス。 イーサネット・スイッチ・マネージメント TAG 制御レジスタ (ETHSWMTC) で、マネージメント・タグの挿入が許可されている場合には、マネージメント TAG 情報が格納されます。																														
Source MAC Address	送信元の MAC アドレス																														
VLAN Tag	Tag Protocol Identifier。VLAN Tag を含む場合に使用されます。																														
VLAN Info	Tag Control Information。VLAN Tag を含む場合に使用されます。																														
Type / Length	Ethernet Type or Length																														
Frame Payload	ペイロード																														
FCS	フレーム・チェック・シーケンス 受信 TCPIP アクセラレータ機能が有効で、受信パケットに TCP/UDP を含む場合には、FCS フィールドが TCP/UDP のチェックサム値で書き換えられます。このチェックサム値は、フラグメント化された TCP/UDP パケットの合計チェックサム値の計算に利用できます																														

**No.52 8.4.4.5(2) イーサネット・フレーム**

**マネージメントタグ有効時に受信したフレームの宛先 MAC アドレスの復元の注意**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-63	<p><b>【8.4.4.5(2) イーサネット・フレーム】</b>                      (a) マネージメント・タグの挿入が許可されている場合                      イーサネット・スイッチ・マネージメント TAG 制御レジスタ(ETHSWMTC)で、マネージメント・タグの挿入が許可されている場合、Destination MAC Address[47:0]のフィールドは、以下のように使用されます。</p> <p>(記載無し)</p>	8-70	<p><b>【8.4.4.5(2) イーサネット・フレーム】</b>                      イーサネット・スイッチ・マネージメント TAG 制御レジスタ(ETHSWMTC)で、マネージメント・タグの挿入が許可されている場合、Destination MAC Address[47:0]のフィールドは、以下のように使用されます。</p> <p><b>[注意]</b>                      GMAC_RXMODE レジスタの AFILLTEREN ビットが 1 の場合、MAC Add Entry フィールドの値が無効になるため、Destination MAC Address の復元はできません。</p>

**No.53 8.4.4.5(2) イーサネット・フレーム**

**受信イーサネット・フレームのデータ形式のパターン追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-63	<p><b>【8.4.4.5(2) イーサネット・フレーム】</b>                      (記載無し)</p>	8-71 ~ 8-73	<p><b>【8.4.4.5(2) イーサネット・フレーム】</b>                      (a) 受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含まない場合                      (b) 受信 TCPIP アクセラレータ機能が有効かつ TCP/UDP パケットを含む場合                      (c) 受信 TCPIP アクセラレータ機能が無効の場合</p>

**No.54 8.4.5 TCPIP アクセラレータ機能**

**TCPIP アクセラレータ機能の説明を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	8-74 ~ 8-75	<p><b>【8.4.5 TCPIP アクセラレータ機能】</b></p>

**No.55 8.5.1 送信フレーム内の MAC ヘッダ部に対するパディングの追加**

**送信フレーム内の MAC ヘッダ部のパディングに関する補足**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
8-64	<p><b>【8.5.1 送信フレーム内の MAC ヘッダ部に対するパディングの追加】</b>                      ギガビット・イーサネット MAC では、<b>ワード単位</b>でデータを扱うために、通常 14 バイトの MAC ヘッダに 2 バイトのパディングを加えて、送信フレームを構成しています。                      ただし、実際にはこのパディングが送信されることはありません。したがって、送信フレームのデータサイズにも含まれないので、ご注意ください。</p>	8-76	<p><b>【8.5.1 送信フレーム内の MAC ヘッダ部に対するパディングの追加】</b>                      ギガビット・イーサネット MAC では、<b>TCPIP アクセラレータ</b>がデータを扱うために、通常 14 バイトの MAC ヘッダに 2 バイトのパディングを加えて、送信フレームを構成しています。                      ただし、実際にはこのパディングが送信されることはありません。したがって、送信フレームのデータサイズにも含まれないので、ご注意ください。  <a href="#">詳細は、「8.4.5.1 TCPIP アクセラレータを使った送信」を参照してください。</a></p>

**No.56 8.5.2 受信時のチェックサム計算結果の誤判定**

**受信 TCPIP アクセラレータ機能に関する注意事項を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	8-76	<b>【8.5.2 受信時のチェックサム計算結果の誤判定】</b>

**No.57 8.5.3 受信 FIFO オーバーフロー発生時の受信フレーム情報の誤り**

**受信 FIFO オーバーフロー発生時の問題と回避策を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	8-76 ~ 8-80	<b>【8.5.3 受信 FIFO オーバーフロー発生時の受信フレーム情報の誤り】</b>

**No.58 8.5.4 Padding を含む 64byte を超えるフレーム受信時の受信フレーム情報の誤り**

**Padding を含む 64byte を超えるフレーム受信時の問題と回避策を追加**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	8-80 ~ 8-81	<b>【8.5.4 Padding を含む 64byte を超えるフレーム受信時の受信フレーム情報の誤り】</b>

**No.59 9.2 特徴**

**イーサネット・スイッチの割り込み信号、入出力信号を追加**

V1.00		V2.00																																																
ページ	記載内容	ページ	改訂内容																																															
9-2	<b>【8.2 特徴】</b> (記載なし)	9-2	<b>【9.2 特徴】</b> イーサネット・スイッチの割り込み信号 <table border="1"> <thead> <tr> <th rowspan="2">例外 番号</th> <th rowspan="2">名称</th> <th rowspan="2">発生要因</th> <th colspan="5">接続先</th> </tr> <tr> <th>NVIC</th> <th>HW- RTOS</th> <th>DMAC</th> <th>Real Time Port</th> <th>Timer TAUJ2 /TAUD</th> </tr> </thead> <tbody> <tr> <td>54</td> <td>INTETHSW</td> <td>Ether SWITCH タイマ割り込み</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>55</td> <td>INTETHSWDLR</td> <td>Ether SWITCH DLR 割り込み</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> <tr> <td>56</td> <td>INTETHSWSYNC</td> <td>Ether SWITCH SEC 割り込み</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> <td>○</td> </tr> </tbody> </table> イーサネット・スイッチの入出力信号 (MII 端子を除く) <table border="1"> <thead> <tr> <th>端子名称</th> <th>入出力</th> <th>機能</th> <th>兼用ポート</th> <th>アクティブ</th> </tr> </thead> <tbody> <tr> <td>ETHSWSYNCOUT</td> <td>出力</td> <td>EtherSwitch のイベント出力</td> <td>P24</td> <td>High</td> </tr> </tbody> </table>	例外 番号	名称	発生要因	接続先					NVIC	HW- RTOS	DMAC	Real Time Port	Timer TAUJ2 /TAUD	54	INTETHSW	Ether SWITCH タイマ割り込み	○	○	○	○	○	55	INTETHSWDLR	Ether SWITCH DLR 割り込み	○	○	○	○	○	56	INTETHSWSYNC	Ether SWITCH SEC 割り込み	○	○	○	○	○	端子名称	入出力	機能	兼用ポート	アクティブ	ETHSWSYNCOUT	出力	EtherSwitch のイベント出力	P24	High
例外 番号	名称	発生要因	接続先																																															
			NVIC	HW- RTOS	DMAC	Real Time Port	Timer TAUJ2 /TAUD																																											
54	INTETHSW	Ether SWITCH タイマ割り込み	○	○	○	○	○																																											
55	INTETHSWDLR	Ether SWITCH DLR 割り込み	○	○	○	○	○																																											
56	INTETHSWSYNC	Ether SWITCH SEC 割り込み	○	○	○	○	○																																											
端子名称	入出力	機能	兼用ポート	アクティブ																																														
ETHSWSYNCOUT	出力	EtherSwitch のイベント出力	P24	High																																														

No.60 11.1 特徴  
端子機能の表記統一

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-1 ～ 11-2	<p><b>【11.1 特徴】</b></p> <p>○スタティック・メモリ制御機能</p> <ul style="list-style-type: none"> <li>SRAM（同期、非同期）、外部 I/O 接続機能</li> <li>4本のチップ・セレクト信号が利用可能（CSZ0-CSZ3） CSZ0：1000_0000H-13FF_FFFFH（64Mバイト） CSZ1：1400_0000H-17FF_FFFFH（64Mバイト） CSZ2：1800_0000H-1BFF_FFFFH（64Mバイト） CSZ3：1C00_0000H-1FFF_FFFFH（64Mバイト）</li> <li>プログラマブル・ウェイト機能</li> <li>メモリ・アクセス周波数設定機能（100MHzの1/2～1/6分周でアクセス）</li> <li>最大4本のウェイト信号を使用可能（WAITZ、WAITZ1-WAITZ3）</li> <li>最大16バーストの転送が可能</li> </ul> <p>備考 SMADSEL レジスタにて、各CS領域は1000 0000H-1FFF_FFFFHの間でプログラマブルに設定可能です。（16Mバイト単位で設定可能）</p> <p>○WAITZ 信号制御機能</p> <ul style="list-style-type: none"> <li>最大4本のWAITZ信号を使用可能(WAITZ、WAITZ1-3)</li> <li>WAIT 信号のアクティブ・レベルを変更可能</li> </ul> <p>○BUSCLK 信号マスク機能</p> <ul style="list-style-type: none"> <li>CSZx 信号がアクティブ時のみ BUSCLK 信号出力</li> </ul> <p>○ライト・イネーブル制御機能</p> <ul style="list-style-type: none"> <li>WRZx 信号を CSZx 信号アクティブ期間中はアクティブ状態を保持</li> </ul> <p>○リード・タイミング制御機能:リード・データおよび WAIT 信号</p> <ul style="list-style-type: none"> <li>BUSCLK の立上りでリード・データおよび WAITx 信号を取り込み</li> <li>BUSCLK の立下りでリード・データおよび WAITx 信号を取り込み</li> </ul>	11-1 ～ 11-2	<p><b>【11.1 特徴】</b></p> <p>○スタティック・メモリ制御機能</p> <ul style="list-style-type: none"> <li>SRAM（同期、非同期）、外部 I/O 接続機能</li> <li>4本のチップ・セレクト信号が利用可能（CSZ0-CSZ3） CSZ0：1000_0000H-13FF_FFFFH（64Mバイト） CSZ1：1400_0000H-17FF_FFFFH（64Mバイト） CSZ2：1800_0000H-1BFF_FFFFH（64Mバイト） CSZ3：1C00_0000H-1FFF_FFFFH（64Mバイト）</li> <li>プログラマブル・ウェイト機能</li> <li>メモリ・アクセス周波数設定機能（100MHzの1/2～1/6分周でアクセス）</li> <li>最大4本のウェイト信号を使用可能（WAITZ、WAITZ1-WAITZ3）</li> <li>最大16バーストの転送が可能</li> </ul> <p>備考. SMADSEL レジスタにて、各チップ・セレクト領域は1000 0000H-1FFF_FFFFHの間でプログラマブルに設定可能です。（16Mバイト単位で設定可能）</p> <p>○ウェイト信号制御機能</p> <ul style="list-style-type: none"> <li>最大4本のウェイト信号(WAITZ、WAITZ1-WAITZ3)を入力可能</li> <li>ウェイト信号のアクティブ・レベルを変更可能</li> </ul> <p>○BUSCLK 信号マスク機能</p> <ul style="list-style-type: none"> <li>CSZ0-CSZ3 信号がアクティブ時のみ BUSCLK 信号出力</li> </ul> <p>○ライト・イネーブル制御機能</p> <ul style="list-style-type: none"> <li>WRZ0-WRZ3 信号を CSZ0-CSZ3 信号アクティブ期間中はアクティブ状態を保持</li> </ul> <p>○リード・タイミング制御機能:リード・データおよびウェイト信号</p> <ul style="list-style-type: none"> <li>BUSCLK の立上りでリード・データおよびウェイト信号(WAITZ、WAITZ1-WAITZ3)を取り込み</li> <li>BUSCLK の立下りでリード・データおよびウェイト信号(WAITZ、WAITZ1-WAITZ3)を取り込み</li> </ul>

No.61 11.2 制御レジスタ

レジスタ名の修正。SMCBUFMD レジスタを削除。

V1.00			V2.00																																																																																																																													
ページ	記載内容		ページ	改訂内容																																																																																																																												
11-3	<p><b>【11.2 制御レジスタ】</b></p> <p>表11.1 同期式バースト・アクセス MEMC の制御レジスタ</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略号</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>WAITZ 選択レジスタ</td> <td>WAITZSEL</td> <td>BASE + 0108H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 0</td> <td>SMADSEL0</td> <td>BASE + 0110H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 1</td> <td>SMADSEL1</td> <td>BASE + 0114H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 2</td> <td>SMADSEL2</td> <td>BASE + 0118H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 3</td> <td>SMADSEL3</td> <td>BASE + 011CH</td> </tr> <tr> <td>BUSCLK 分周レジスタ</td> <td>BCLKSEL</td> <td>BASE + 0120H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 動作設定レジスタ</td> <td>SMC352MD</td> <td>BASE + 0124H</td> </tr> <tr> <td>SMC352 バッファ制御レジスタ</td> <td>SMCBUFMD</td> <td>BASE + 0128H</td> </tr> <tr> <td>SMC ダイレクト・コマンド・レジスタ</td> <td>DIRECT_CMD</td> <td>400A 8010H</td> </tr> <tr> <td>SMC サイクル設定レジスタ</td> <td>SET_CYCLES</td> <td>400A 8014H</td> </tr> <tr> <td>SMC モード設定レジスタ</td> <td>SET_OPMODE</td> <td>400A 8018H</td> </tr> <tr> <td>SMC リフレッシュ設定レジスタ</td> <td>REF_PERIOD0</td> <td>400A 8020H</td> </tr> <tr> <td>SMC CS0 サイクル・レジスタ</td> <td>SRAM_CYCLES0_0</td> <td>400A 8100H</td> </tr> <tr> <td>SMC CS0 モード・レジスタ</td> <td>OPMODE0_0</td> <td>400A 8104H</td> </tr> <tr> <td>SMC CS1 サイクル・レジスタ</td> <td>SRAM_CYCLES0_1</td> <td>400A 8120H</td> </tr> <tr> <td>SMC CS1 モード・レジスタ</td> <td>OPMODE0_1</td> <td>400A 8124H</td> </tr> <tr> <td>SMC CS2 サイクル・レジスタ</td> <td>SRAM_CYCLES0_2</td> <td>400A 8140H</td> </tr> <tr> <td>SMC CS2 モード・レジスタ</td> <td>OPMODE0_2</td> <td>400A 8144H</td> </tr> <tr> <td>SMC CS3 サイクル・レジスタ</td> <td>SRAM_CYCLES0_3</td> <td>400A 8160H</td> </tr> <tr> <td>SMC CS3 モード・レジスタ</td> <td>OPMODE0_3</td> <td>400A 8164H</td> </tr> </tbody> </table>		レジスタ名	略号	アドレス	WAITZ 選択レジスタ	WAITZSEL	BASE + 0108H	同期式バースト・アクセス MEMC 領域選択レジスタ 0	SMADSEL0	BASE + 0110H	同期式バースト・アクセス MEMC 領域選択レジスタ 1	SMADSEL1	BASE + 0114H	同期式バースト・アクセス MEMC 領域選択レジスタ 2	SMADSEL2	BASE + 0118H	同期式バースト・アクセス MEMC 領域選択レジスタ 3	SMADSEL3	BASE + 011CH	BUSCLK 分周レジスタ	BCLKSEL	BASE + 0120H	同期式バースト・アクセス MEMC 動作設定レジスタ	SMC352MD	BASE + 0124H	SMC352 バッファ制御レジスタ	SMCBUFMD	BASE + 0128H	SMC ダイレクト・コマンド・レジスタ	DIRECT_CMD	400A 8010H	SMC サイクル設定レジスタ	SET_CYCLES	400A 8014H	SMC モード設定レジスタ	SET_OPMODE	400A 8018H	SMC リフレッシュ設定レジスタ	REF_PERIOD0	400A 8020H	SMC CS0 サイクル・レジスタ	SRAM_CYCLES0_0	400A 8100H	SMC CS0 モード・レジスタ	OPMODE0_0	400A 8104H	SMC CS1 サイクル・レジスタ	SRAM_CYCLES0_1	400A 8120H	SMC CS1 モード・レジスタ	OPMODE0_1	400A 8124H	SMC CS2 サイクル・レジスタ	SRAM_CYCLES0_2	400A 8140H	SMC CS2 モード・レジスタ	OPMODE0_2	400A 8144H	SMC CS3 サイクル・レジスタ	SRAM_CYCLES0_3	400A 8160H	SMC CS3 モード・レジスタ	OPMODE0_3	400A 8164H	11-3	<p><b>【11.2 制御レジスタ】</b></p> <p>表11.1 同期式バースト・アクセス MEMC の制御レジスタ</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略号</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>ウェイト信号選択レジスタ</td> <td>WAITZSEL</td> <td>BASE + 0108H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 0</td> <td>SMADSEL0</td> <td>BASE + 0110H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 1</td> <td>SMADSEL1</td> <td>BASE + 0114H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 2</td> <td>SMADSEL2</td> <td>BASE + 0118H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 領域選択レジスタ 3</td> <td>SMADSEL3</td> <td>BASE + 011CH</td> </tr> <tr> <td>バス・クロック分周設定レジスタ</td> <td>BCLKSEL</td> <td>BASE + 0120H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC 動作モード設定レジスタ</td> <td>SMC352MD</td> <td>BASE + 0124H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ</td> <td>DIRECT_CMD</td> <td>400A 8010H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC サイクル設定レジスタ</td> <td>SET_CYCLES</td> <td>400A 8014H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC モード設定レジスタ</td> <td>SET_OPMODE</td> <td>400A 8018H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC リフレッシュ設定レジスタ</td> <td>REF_PERIOD0</td> <td>400A 8020H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ0 サイクル・レジスタ</td> <td>SRAM_CYCLES0_0</td> <td>400A 8100H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ0 モード・レジスタ</td> <td>OPMODE0_0</td> <td>400A 8104H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ1 サイクル・レジスタ</td> <td>SRAM_CYCLES0_1</td> <td>400A 8120H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ1 モード・レジスタ</td> <td>OPMODE0_1</td> <td>400A 8124H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ2 サイクル・レジスタ</td> <td>SRAM_CYCLES0_2</td> <td>400A 8140H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ2 モード・レジスタ</td> <td>OPMODE0_2</td> <td>400A 8144H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ3 サイクル・レジスタ</td> <td>SRAM_CYCLES0_3</td> <td>400A 8160H</td> </tr> <tr> <td>同期式バースト・アクセス MEMC CSZ3 モード・レジスタ</td> <td>OPMODE0_3</td> <td>400A 8164H</td> </tr> </tbody> </table>		レジスタ名	略号	アドレス	ウェイト信号選択レジスタ	WAITZSEL	BASE + 0108H	同期式バースト・アクセス MEMC 領域選択レジスタ 0	SMADSEL0	BASE + 0110H	同期式バースト・アクセス MEMC 領域選択レジスタ 1	SMADSEL1	BASE + 0114H	同期式バースト・アクセス MEMC 領域選択レジスタ 2	SMADSEL2	BASE + 0118H	同期式バースト・アクセス MEMC 領域選択レジスタ 3	SMADSEL3	BASE + 011CH	バス・クロック分周設定レジスタ	BCLKSEL	BASE + 0120H	同期式バースト・アクセス MEMC 動作モード設定レジスタ	SMC352MD	BASE + 0124H	同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ	DIRECT_CMD	400A 8010H	同期式バースト・アクセス MEMC サイクル設定レジスタ	SET_CYCLES	400A 8014H	同期式バースト・アクセス MEMC モード設定レジスタ	SET_OPMODE	400A 8018H	同期式バースト・アクセス MEMC リフレッシュ設定レジスタ	REF_PERIOD0	400A 8020H	同期式バースト・アクセス MEMC CSZ0 サイクル・レジスタ	SRAM_CYCLES0_0	400A 8100H	同期式バースト・アクセス MEMC CSZ0 モード・レジスタ	OPMODE0_0	400A 8104H	同期式バースト・アクセス MEMC CSZ1 サイクル・レジスタ	SRAM_CYCLES0_1	400A 8120H	同期式バースト・アクセス MEMC CSZ1 モード・レジスタ	OPMODE0_1	400A 8124H	同期式バースト・アクセス MEMC CSZ2 サイクル・レジスタ	SRAM_CYCLES0_2	400A 8140H	同期式バースト・アクセス MEMC CSZ2 モード・レジスタ	OPMODE0_2	400A 8144H	同期式バースト・アクセス MEMC CSZ3 サイクル・レジスタ	SRAM_CYCLES0_3	400A 8160H	同期式バースト・アクセス MEMC CSZ3 モード・レジスタ	OPMODE0_3	400A 8164H
レジスタ名	略号	アドレス																																																																																																																														
WAITZ 選択レジスタ	WAITZSEL	BASE + 0108H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 0	SMADSEL0	BASE + 0110H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 1	SMADSEL1	BASE + 0114H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 2	SMADSEL2	BASE + 0118H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 3	SMADSEL3	BASE + 011CH																																																																																																																														
BUSCLK 分周レジスタ	BCLKSEL	BASE + 0120H																																																																																																																														
同期式バースト・アクセス MEMC 動作設定レジスタ	SMC352MD	BASE + 0124H																																																																																																																														
SMC352 バッファ制御レジスタ	SMCBUFMD	BASE + 0128H																																																																																																																														
SMC ダイレクト・コマンド・レジスタ	DIRECT_CMD	400A 8010H																																																																																																																														
SMC サイクル設定レジスタ	SET_CYCLES	400A 8014H																																																																																																																														
SMC モード設定レジスタ	SET_OPMODE	400A 8018H																																																																																																																														
SMC リフレッシュ設定レジスタ	REF_PERIOD0	400A 8020H																																																																																																																														
SMC CS0 サイクル・レジスタ	SRAM_CYCLES0_0	400A 8100H																																																																																																																														
SMC CS0 モード・レジスタ	OPMODE0_0	400A 8104H																																																																																																																														
SMC CS1 サイクル・レジスタ	SRAM_CYCLES0_1	400A 8120H																																																																																																																														
SMC CS1 モード・レジスタ	OPMODE0_1	400A 8124H																																																																																																																														
SMC CS2 サイクル・レジスタ	SRAM_CYCLES0_2	400A 8140H																																																																																																																														
SMC CS2 モード・レジスタ	OPMODE0_2	400A 8144H																																																																																																																														
SMC CS3 サイクル・レジスタ	SRAM_CYCLES0_3	400A 8160H																																																																																																																														
SMC CS3 モード・レジスタ	OPMODE0_3	400A 8164H																																																																																																																														
レジスタ名	略号	アドレス																																																																																																																														
ウェイト信号選択レジスタ	WAITZSEL	BASE + 0108H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 0	SMADSEL0	BASE + 0110H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 1	SMADSEL1	BASE + 0114H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 2	SMADSEL2	BASE + 0118H																																																																																																																														
同期式バースト・アクセス MEMC 領域選択レジスタ 3	SMADSEL3	BASE + 011CH																																																																																																																														
バス・クロック分周設定レジスタ	BCLKSEL	BASE + 0120H																																																																																																																														
同期式バースト・アクセス MEMC 動作モード設定レジスタ	SMC352MD	BASE + 0124H																																																																																																																														
同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ	DIRECT_CMD	400A 8010H																																																																																																																														
同期式バースト・アクセス MEMC サイクル設定レジスタ	SET_CYCLES	400A 8014H																																																																																																																														
同期式バースト・アクセス MEMC モード設定レジスタ	SET_OPMODE	400A 8018H																																																																																																																														
同期式バースト・アクセス MEMC リフレッシュ設定レジスタ	REF_PERIOD0	400A 8020H																																																																																																																														
同期式バースト・アクセス MEMC CSZ0 サイクル・レジスタ	SRAM_CYCLES0_0	400A 8100H																																																																																																																														
同期式バースト・アクセス MEMC CSZ0 モード・レジスタ	OPMODE0_0	400A 8104H																																																																																																																														
同期式バースト・アクセス MEMC CSZ1 サイクル・レジスタ	SRAM_CYCLES0_1	400A 8120H																																																																																																																														
同期式バースト・アクセス MEMC CSZ1 モード・レジスタ	OPMODE0_1	400A 8124H																																																																																																																														
同期式バースト・アクセス MEMC CSZ2 サイクル・レジスタ	SRAM_CYCLES0_2	400A 8140H																																																																																																																														
同期式バースト・アクセス MEMC CSZ2 モード・レジスタ	OPMODE0_2	400A 8144H																																																																																																																														
同期式バースト・アクセス MEMC CSZ3 サイクル・レジスタ	SRAM_CYCLES0_3	400A 8160H																																																																																																																														
同期式バースト・アクセス MEMC CSZ3 モード・レジスタ	OPMODE0_3	400A 8164H																																																																																																																														

No.62 11.2.1 ウェイト信号選択レジスタ (WAITZSEL)

レジスタ名を変更。端子機能の表記統一。

V1.00			V2.00		
ページ	記載内容		ページ	改訂内容	
11-4	【11.2.1 WAITZ 選択レジスタ(WAITZSEL)】		11-4 ~ 11-5	【11.2.1 ウェイト信号選択レジスタ(WAITZSEL)】	
	ビット位置	ビット名		ビット位置	ビット名
	27-16	—		31-28	ESWT3- ESWT0
		Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)			各ウェイト入力信号 (WAITZ、WAITZ1-WAITZ3) のアクティブ・レベルを選択します。 0: アクティブ・ロー 1: アクティブ・ハイ
	31-28	ESWT3- ESWT0		27-16	—
		各 WAITZ 入力信号のアクティブ・レベルを選択します。 0: アクティブ・ロー 1: アクティブ・ハイ			Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
	15-12	WSEL3n		15-12	WSEL3n
		WAITZ3 端子において、チップ・セレクト(CSZ)毎に有効 / 無効を設定します。 0000: WAITZ3 端子は WAIT 端子として未使用 xxx1: CSZ0 領域をアクセス時に WAITZ 信号として有効 xx1x: CSZ1 領域をアクセス時に WAITZ 信号として有効 x1xx: CSZ2 領域をアクセス時に WAITZ 信号として有効 1xxx: CSZ3 領域をアクセス時に WAITZ 信号として有効			WAITZ3 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000: WAITZ3 端子はウェイト端子として未使用 xxx1: CSZ0 領域アクセス時にウェイト信号として有効 xx1x: CSZ1 領域アクセス時にウェイト信号として有効 x1xx: CSZ2 領域アクセス時にウェイト信号として有効 1xxx: CSZ3 領域アクセス時にウェイト信号として有効
	11-8	WSEL2n		11-8	WSEL2n
		WAITZ2 端子において、チップ・セレクト(CSZ)毎に有効 / 無効を設定します。 0000: WAITZ2 端子は WAIT 端子として未使用 xxx1: CSZ0 領域をアクセス時に WAITZ 信号として有効 xx1x: CSZ1 領域をアクセス時に WAITZ 信号として有効 x1xx: CSZ2 領域をアクセス時に WAITZ 信号として有効 1xxx: CSZ3 領域をアクセス時に WAITZ 信号として有効			WAITZ2 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000: WAITZ2 端子はウェイト端子として未使用 xxx1: CSZ0 領域アクセス時にウェイト信号として有効 xx1x: CSZ1 領域アクセス時にウェイト信号として有効 x1xx: CSZ2 領域アクセス時にウェイト信号として有効 1xxx: CSZ3 領域アクセス時にウェイト信号として有効
	7-4	WSEL1n		7-4	WSEL1n
		WAITZ1 端子において、チップ・セレクト(CSZ)毎に有効 / 無効を設定します。 0000: WAITZ1 端子は WAIT 端子として未使用 xxx1: CSZ0 領域をアクセス時に WAITZ 信号として有効 xx1x: CSZ1 領域をアクセス時に WAITZ 信号として有効 x1xx: CSZ2 領域をアクセス時に WAITZ 信号として有効 1xxx: CSZ3 領域をアクセス時に WAITZ 信号として有効			WAITZ1 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000: WAITZ1 端子はウェイト端子として未使用 xxx1: CSZ0 領域アクセス時にウェイト信号として有効 xx1x: CSZ1 領域アクセス時にウェイト信号として有効 x1xx: CSZ2 領域アクセス時にウェイト信号として有効 1xxx: CSZ3 領域アクセス時にウェイト信号として有効
	3-0	WSELmn			
		WAITZ 端子において、チップ・セレクト(CSZ)毎に有効 / 無効を設定します。 0000: WAITZ 端子は WAIT 端子として未使用 xxx1: CSZ0 領域をアクセス時に WAITZ 信号として有効 xx1x: CSZ1 領域をアクセス時に WAITZ 信号として有効 x1xx: CSZ2 領域をアクセス時に WAITZ 信号として有効 1xxx: CSZ3 領域をアクセス時に WAITZ 信号として有効			WAITZ 端子において、チップ・セレクト毎に有効 / 無効を設定します。 0000: WAITZ 端子はウェイト端子として未使用 xxx1: CSZ0 領域アクセス時にウェイト信号として有効 xx1x: CSZ1 領域アクセス時にウェイト信号として有効 x1xx: CSZ2 領域アクセス時にウェイト信号として有効 1xxx: CSZ3 領域アクセス時にウェイト信号として有効
	備考 m=0-3, n=0-3			備考. n = 0 - 3	

**No.63 11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ (SMADSEL0-3)**

**注意事項の表記を変更**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-5	<p>【11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ(SMADSEL0-3)】</p> <p>注意 本レジスタ設定中は MEMC 領域へのアクセスは全て禁止です。プログラム等は他の領域に格納し実行してください。</p>	11-6	<p>【11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ(SMADSEL0-3)】</p> <p>注意 本レジスタの設定は、外部メモリ領域(1000 0000H~1FFF FFFFH)へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。</p>

**No.64 11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ (SMADSEL0-3)**

**注意事項の表記を変更。備考 2 を追記。**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-6	<p>【11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ(SMADSEL0-3)】</p> <p>注意 1. 各 CSZ 領域の合計サイズは 256M バイトです。 2. 設定できるアドレス空間は 1000 0000H-1FFF FFFFH です。 3. 各 CSZ 領域は重複して設定することは禁止です。重複しないようにベース・アドレスとサイズを設定してください。 4. 本レジスタ設定中は MEMC 領域へのアクセスは全て禁止です。プログラム等は他の領域に格納し実行してください。</p> <p>備考 アドレス領域の計算例： ベース・アドレス([31:24]) = アクセス・アドレス[31:24] &amp; サイズ値[7:0] CSZ1 領域が 1300 0000H~13FF FFFFH 番地の場合 設定値 SMADSEL1 : 1300_00FFH CSZ1 領域が 1800 0000H~1FFF FFFFH 番地の場合 設定値 SMADSEL1 : 1800_00F8H</p>	11-7	<p>【11.2.2 同期式バースト・アクセス MEMC 領域選択レジスタ(SMADSEL0-3)】</p> <p>注意 1. 各 CSZn 領域の合計サイズは 256M バイトです。 2. 設定できるアドレス空間は 1000 0000H~1FFF FFFFH です。 3. 各 CSZn 領域は重複して設定することは禁止です。重複しないようにベース・アドレスとサイズを設定してください。 4. 本レジスタの設定は、外部メモリ領域(1000 0000H~1FFF FFFFH)へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。</p> <p>備考 1. アドレス領域の計算例： ベース・アドレス ([31:24]) = アクセス・アドレス[31:24] &amp; サイズ値[7:0] CSZ1 領域が 1300 0000H~13FF FFFFH 番地の場合 設定値 SMADSEL1 : 1300_00FFH CSZ1 領域が 1800 0000H~1FFF FFFFH 番地の場合 設定値 SMADSEL1 : 1800_00F8H 2. n = 0-3</p>

No.65 11.2.3 バス・クロック分周設定レジスタ (BCLKSEL)

レジスタ名を変更。説明の補足、不要な説明を削除。外部メモリ領域を明示。

V1.00		V2.00																			
ページ	記載内容	ページ	改訂内容																		
11-7	<p><b>【11.2.3 BUSCLK 分周設定レジスタ(BCLKSEL)】</b> 同期式バースト・アクセス MEMC 使用時に、外部メモリ・インタフェース用の BUSCLK を分周するためのレジスタです。2分周から6分周まで設定可能です。</p> <p>注意 2 本レジスタ設定中は MEMC 領域へのアクセスは全て禁止です。プログラム等は他の領域に格納し実行してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-4</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)</td> </tr> <tr> <td>3-0</td> <td>BCLK2-0</td> <td>外部メモリ・インタフェースの BUSCLK の分周比を選択します。(カッコ内は Duty) 000 : 2分周 (ハイ幅 1 : ロー幅 1) 001 : 3分周 (ハイ幅 1 : ロー幅 2) 010 : 4分周 (ハイ幅 1 : ロー幅 1) 011 : 5分周 (ハイ幅 2 : ロー幅 3) 100 : 6分周 (初期値) (ハイ幅 1 : ロー幅 1) 上記以外 : 設定禁止</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	31-4	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)	3-0	BCLK2-0	外部メモリ・インタフェースの BUSCLK の分周比を選択します。(カッコ内は Duty) 000 : 2分周 (ハイ幅 1 : ロー幅 1) 001 : 3分周 (ハイ幅 1 : ロー幅 2) 010 : 4分周 (ハイ幅 1 : ロー幅 1) 011 : 5分周 (ハイ幅 2 : ロー幅 3) 100 : 6分周 (初期値) (ハイ幅 1 : ロー幅 1) 上記以外 : 設定禁止	11-8	<p><b>【11.2.3 バス・クロック分周設定レジスタ(BCLKSEL)】</b> 同期式バースト・アクセス MEMC 使用時に、内部バス・クロックおよび BUSCLK 端子(100MHz)を分周するためのレジスタです。2分周から6分周まで設定可能です。</p> <p>注意 2 本レジスタの設定は、外部メモリ領域(1000 0000H~1FFF FFFFH)へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-4</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)</td> </tr> <tr> <td>3-0</td> <td>BCLK2-0</td> <td>内部バス・クロックおよび BUSCLK 端子 (100MHz) の分周比を選択します。(カッコ内は Duty) 000 : 2分周 (ハイ幅 1 : ロー幅 1) 001 : 3分周 (ハイ幅 1 : ロー幅 2) 010 : 4分周 (ハイ幅 1 : ロー幅 1) 011 : 5分周 (ハイ幅 2 : ロー幅 3) 100 : 6分周 (ハイ幅 1 : ロー幅 1) (初期値) 上記以外 : 設定禁止</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	31-4	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)	3-0	BCLK2-0	内部バス・クロックおよび BUSCLK 端子 (100MHz) の分周比を選択します。(カッコ内は Duty) 000 : 2分周 (ハイ幅 1 : ロー幅 1) 001 : 3分周 (ハイ幅 1 : ロー幅 2) 010 : 4分周 (ハイ幅 1 : ロー幅 1) 011 : 5分周 (ハイ幅 2 : ロー幅 3) 100 : 6分周 (ハイ幅 1 : ロー幅 1) (初期値) 上記以外 : 設定禁止
ビット位置	ビット名	意味																			
31-4	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)																			
3-0	BCLK2-0	外部メモリ・インタフェースの BUSCLK の分周比を選択します。(カッコ内は Duty) 000 : 2分周 (ハイ幅 1 : ロー幅 1) 001 : 3分周 (ハイ幅 1 : ロー幅 2) 010 : 4分周 (ハイ幅 1 : ロー幅 1) 011 : 5分周 (ハイ幅 2 : ロー幅 3) 100 : 6分周 (初期値) (ハイ幅 1 : ロー幅 1) 上記以外 : 設定禁止																			
ビット位置	ビット名	意味																			
31-4	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)																			
3-0	BCLK2-0	内部バス・クロックおよび BUSCLK 端子 (100MHz) の分周比を選択します。(カッコ内は Duty) 000 : 2分周 (ハイ幅 1 : ロー幅 1) 001 : 3分周 (ハイ幅 1 : ロー幅 2) 010 : 4分周 (ハイ幅 1 : ロー幅 1) 011 : 5分周 (ハイ幅 2 : ロー幅 3) 100 : 6分周 (ハイ幅 1 : ロー幅 1) (初期値) 上記以外 : 設定禁止																			

No.66 11.2.4 同期式バースト・アクセス MEMC 動作モード設定レジスタ (SMC352MD)

見出しを修正。SMCCLKTH ビットの説明を修正。外部メモリ領域を明示。端子機能の表記統一。

V1.00			V2.00																																												
ページ	記載内容		ページ	改訂内容																																											
11-8	<p>【11.2.4 同期式バースト・アクセス MEMC 動作設定レジスタ(SMC352MD)】</p> <p>注意 2                      本レジスタ設定中は MEMC 領域へのアクセスは全て禁止です。プログラム等は他の領域に格納し実行してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-5</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)</td> </tr> <tr> <td>4</td> <td>MAGTD1</td> <td>MA16-MA26 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。)<sup>※1</sup>                      0: 通常使用                      1: MA16-MA26 端子出力をロー・レベルに固定</td> </tr> <tr> <td>3</td> <td>MAGTD0</td> <td>MA0-MA15 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。)<sup>※1</sup>                      0: 通常使用                      1: MA0-MA15 端子出力をロー・レベルに固定</td> </tr> <tr> <td>2</td> <td>SMCRDLTH</td> <td>SRAM リード・タイミング選択<sup>※2</sup>                      0: BUSCLK の立ち上りでラッチ                      1: BUSCLK の立ち下りでラッチ</td> </tr> <tr> <td>1</td> <td>SMCWETH</td> <td>SRAM WR2n 出力モード選択                      0: SET_CYCLE レジスタの T_WP ビットで設定した期間アクティブ保持                      1: WR2n アクティブ後、CS 期間中はアクティブ保持</td> </tr> <tr> <td>0</td> <td>SMCCLKTH</td> <td>SRAM クロック出力モード選択                      0: SMC のクロック出力信号をスルーに出力                      1: CS 期間のみクロックを出力</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	31-5	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)	4	MAGTD1	MA16-MA26 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA16-MA26 端子出力をロー・レベルに固定	3	MAGTD0	MA0-MA15 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA0-MA15 端子出力をロー・レベルに固定	2	SMCRDLTH	SRAM リード・タイミング選択 <sup>※2</sup> 0: BUSCLK の立ち上りでラッチ 1: BUSCLK の立ち下りでラッチ	1	SMCWETH	SRAM WR2n 出力モード選択 0: SET_CYCLE レジスタの T_WP ビットで設定した期間アクティブ保持 1: WR2n アクティブ後、CS 期間中はアクティブ保持	0	SMCCLKTH	SRAM クロック出力モード選択 0: SMC のクロック出力信号をスルーに出力 1: CS 期間のみクロックを出力	11-9	<p>【11.2.4 同期式バースト・アクセス MEMC 動作モード設定レジスタ(SMC352MD)】</p> <p>注意 2                      本レジスタの設定は、外部メモリ領域(1000 0000H~1FFF FFFFH)へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-5</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)</td> </tr> <tr> <td>4</td> <td>MAGTD1</td> <td>MA16-MA26 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。)<sup>※1</sup>                      0: 通常使用                      1: MA16-MA26 端子出力をロー・レベルに固定</td> </tr> <tr> <td>3</td> <td>MAGTD0</td> <td>MA0-MA15 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。)<sup>※1</sup>                      0: 通常使用                      1: MA0-MA15 端子出力をロー・レベルに固定</td> </tr> <tr> <td>2</td> <td>SMCRDLTH</td> <td>SRAM リード・タイミング選択<sup>※2</sup>                      0: BUSCLK の立ち上がりでラッチ                      1: BUSCLK の立ち下がりでラッチ</td> </tr> <tr> <td>1</td> <td>SMCWETH</td> <td>SRAM WR20-WR23 出力モード選択                      0: SET_CYCLES レジスタの T_WP ビットで設定した期間アクティブ保持                      1: WR20-WR23 アクティブ後、CSZ0-CSZ3 アサート期間中はアクティブ保持</td> </tr> <tr> <td>0</td> <td>SMCCLKTH</td> <td>SRAM BUSCLK 出力モード選択                      0: 同期式バースト・アクセス MEMC の内部クロック信号をスルー出力                      1: CSZ0-CSZ3 アサート期間のみクロックを出力                      各モードにおけるタイミング例を「11.3.1(2) BUSCLK マスク機能」に示します。</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	31-5	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)	4	MAGTD1	MA16-MA26 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA16-MA26 端子出力をロー・レベルに固定	3	MAGTD0	MA0-MA15 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA0-MA15 端子出力をロー・レベルに固定	2	SMCRDLTH	SRAM リード・タイミング選択 <sup>※2</sup> 0: BUSCLK の立ち上がりでラッチ 1: BUSCLK の立ち下がりでラッチ	1	SMCWETH	SRAM WR20-WR23 出力モード選択 0: SET_CYCLES レジスタの T_WP ビットで設定した期間アクティブ保持 1: WR20-WR23 アクティブ後、CSZ0-CSZ3 アサート期間中はアクティブ保持	0	SMCCLKTH	SRAM BUSCLK 出力モード選択 0: 同期式バースト・アクセス MEMC の内部クロック信号をスルー出力 1: CSZ0-CSZ3 アサート期間のみクロックを出力 各モードにおけるタイミング例を「11.3.1(2) BUSCLK マスク機能」に示します。
ビット位置	ビット名	意味																																													
31-5	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)																																													
4	MAGTD1	MA16-MA26 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA16-MA26 端子出力をロー・レベルに固定																																													
3	MAGTD0	MA0-MA15 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA0-MA15 端子出力をロー・レベルに固定																																													
2	SMCRDLTH	SRAM リード・タイミング選択 <sup>※2</sup> 0: BUSCLK の立ち上りでラッチ 1: BUSCLK の立ち下りでラッチ																																													
1	SMCWETH	SRAM WR2n 出力モード選択 0: SET_CYCLE レジスタの T_WP ビットで設定した期間アクティブ保持 1: WR2n アクティブ後、CS 期間中はアクティブ保持																																													
0	SMCCLKTH	SRAM クロック出力モード選択 0: SMC のクロック出力信号をスルーに出力 1: CS 期間のみクロックを出力																																													
ビット位置	ビット名	意味																																													
31-5	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)																																													
4	MAGTD1	MA16-MA26 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA16-MA26 端子出力をロー・レベルに固定																																													
3	MAGTD0	MA0-MA15 端子のレベルをロー・レベルに固定します。(ポートに兼用されている端子は、該当機能を選択時のみロー・レベルが出力されます。) <sup>※1</sup> 0: 通常使用 1: MA0-MA15 端子出力をロー・レベルに固定																																													
2	SMCRDLTH	SRAM リード・タイミング選択 <sup>※2</sup> 0: BUSCLK の立ち上がりでラッチ 1: BUSCLK の立ち下がりでラッチ																																													
1	SMCWETH	SRAM WR20-WR23 出力モード選択 0: SET_CYCLES レジスタの T_WP ビットで設定した期間アクティブ保持 1: WR20-WR23 アクティブ後、CSZ0-CSZ3 アサート期間中はアクティブ保持																																													
0	SMCCLKTH	SRAM BUSCLK 出力モード選択 0: 同期式バースト・アクセス MEMC の内部クロック信号をスルー出力 1: CSZ0-CSZ3 アサート期間のみクロックを出力 各モードにおけるタイミング例を「11.3.1(2) BUSCLK マスク機能」に示します。																																													

No.67 11.2 制御レジスタ

SMC352 バッファ制御レジスタ (SMCBUFMD) を削除

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-9	【11.2 制御レジスタ】 11.2.5 SMC352 バッファ制御レジスタ(SMCBUFMD)	-	【11.2 制御レジスタ】 (削除)

No.68 11.2.5 同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ (DIRECT\_CMD)

備考を追加。端子機能の表記統一。

V1.00		V2.00																									
ページ	記載内容	ページ	改訂内容																								
11-10	<p>【11.2.6 同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ(DIRECT_CMD)】</p> <p>サイクル設定レジスタ(SET_CYCLE)およびモード設定レジスタ(SET_OPMODE)の値を各 CS 領域のサイクル設定レジスタ(SET_CYCLE)、モードレジスタ(SET_OPMODE)へ設定するレジスタです。本レジスタに書き込むことにより、設定値が各 CS のレジスタへ反映されます。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-26, 20-0</td> <td>-</td> <td>Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)</td> </tr> <tr> <td>25-23</td> <td>CHIP_NMBR</td> <td>CS 番号を設定します。 000: CS0 のレジスタ設定を行います。 001: CS1 のレジスタ設定を行います。 010: CS2 のレジスタ設定を行います。 011: CS3 のレジスタ設定を行います。 1xx: 設定禁止</td> </tr> <tr> <td>22-21</td> <td>CMD_TYPE</td> <td>コマンドタイプを設定します。 10: レジスタアップデート 上記以外設定禁止</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	31-26, 20-0	-	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)	25-23	CHIP_NMBR	CS 番号を設定します。 000: CS0 のレジスタ設定を行います。 001: CS1 のレジスタ設定を行います。 010: CS2 のレジスタ設定を行います。 011: CS3 のレジスタ設定を行います。 1xx: 設定禁止	22-21	CMD_TYPE	コマンドタイプを設定します。 10: レジスタアップデート 上記以外設定禁止	11-10	<p>【11.2.5 同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ(DIRECT_CMD)】</p> <p>同期式バースト・アクセス MEMC サイクル設定レジスタ(SET_CYCLES)および同期式バースト・アクセス MEMC モード設定レジスタ(SET_OPMODE)の値を各チップ・セレクト領域の同期式バースト・アクセス MEMC CSZn サイクル・レジスタ(SRAM.CYCLES0_n)、同期式バースト・アクセス MEMC CSZn モード・レジスタ(OPMODE0_n)へ設定するレジスタです。本レジスタに書き込むことにより、設定値が各チップ・セレクトのレジスタへ反映されます。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-26, 20-0</td> <td>-</td> <td>Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)</td> </tr> <tr> <td>25-23</td> <td>CHIP_NMBR</td> <td>レジスタ設定値を反映するチップ・セレクトを選択します。 000: CS20 のレジスタ設定を行います。 001: CS21 のレジスタ設定を行います。 010: CS22 のレジスタ設定を行います。 011: CS23 のレジスタ設定を行います。 1xx: 設定禁止</td> </tr> <tr> <td>22-21</td> <td>CMD_TYPE</td> <td>コマンドタイプを設定します。 10: レジスタアップデート 上記以外設定禁止</td> </tr> </tbody> </table> <p>備考. n = 0 - 3</p>	ビット位置	ビット名	意味	31-26, 20-0	-	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)	25-23	CHIP_NMBR	レジスタ設定値を反映するチップ・セレクトを選択します。 000: CS20 のレジスタ設定を行います。 001: CS21 のレジスタ設定を行います。 010: CS22 のレジスタ設定を行います。 011: CS23 のレジスタ設定を行います。 1xx: 設定禁止	22-21	CMD_TYPE	コマンドタイプを設定します。 10: レジスタアップデート 上記以外設定禁止
ビット位置	ビット名	意味																									
31-26, 20-0	-	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)																									
25-23	CHIP_NMBR	CS 番号を設定します。 000: CS0 のレジスタ設定を行います。 001: CS1 のレジスタ設定を行います。 010: CS2 のレジスタ設定を行います。 011: CS3 のレジスタ設定を行います。 1xx: 設定禁止																									
22-21	CMD_TYPE	コマンドタイプを設定します。 10: レジスタアップデート 上記以外設定禁止																									
ビット位置	ビット名	意味																									
31-26, 20-0	-	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)																									
25-23	CHIP_NMBR	レジスタ設定値を反映するチップ・セレクトを選択します。 000: CS20 のレジスタ設定を行います。 001: CS21 のレジスタ設定を行います。 010: CS22 のレジスタ設定を行います。 011: CS23 のレジスタ設定を行います。 1xx: 設定禁止																									
22-21	CMD_TYPE	コマンドタイプを設定します。 10: レジスタアップデート 上記以外設定禁止																									

No.69 11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ (SET CYCLES)

見出しを修正。端子機能の表記統一。

V1.00		V2.00																																					
ページ	記載内容	ページ	改訂内容																																				
11-11	<p><b>【11.2.7 サイクル設定レジスタ(SET_CYCLE)】</b>                      SRAM アクセス時の各種サイクル設定を行います。                      設定値を反映するには、本レジスタおよび SMC モード設定レジスタに値をセットしてから SMC ダイレクト・コマンド・レジスタにて各 CS へ値を反映してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-21</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。)</td> </tr> <tr> <td>20</td> <td>WE_TIME</td> <td>WRSTBZ 信号のアサートタイミングを設定します。 非同期モードで且つマルチプレクス時に有効となります。 0: CS 信号がアサートしてから 2clk 後に WRSTBZ 信号をアサートします。 1: CSZ 信号と同時に WRSTBZ 信号をアサートします。</td> </tr> <tr> <td>19-17</td> <td>T_TR</td> <td>SRAM アクセスサイクル間に挿入する Turnaround Time を設定します。(tTR) 000: 設定禁止 001: 1clk 挿入 ~ 111: 7clk 挿入  以下の連続アクセスをした場合に Turnaround Time は挿入されます。 ・リード・アクセス → ライト・アクセス ・ライト・アクセス → リード・アクセス ・リード・アクセス → 異なる CS へのリード・アクセス ・マルチプレクス・モード時は全て挿入</td> </tr> <tr> <td>16-14</td> <td>T_PC</td> <td>ページ・リード時のページ・アクセス・タイムを設定します。(tPC) 非同期モードで且つセパレート時にページ・アクセスが有効になります。 000: 設定禁止 001: ページ・アクセス・タイムを 1clk に設定 ~ 111: ページ・アクセス・タイムを 7clk に設定</td> </tr> <tr> <td>13-11</td> <td>T_WP</td> <td>WRSTBZ のアサート期間を設定します。(tWP) 000: 設定禁止 001: WRSTBZ のアサート期間を 1clk に設定 ~ 111: WRSTBZ のアサート期間を 7clk に設定  SMC352MD レジスタの SMCWETH ビットが 1 の場合には T_WP ビットの値にかかわらず WRSTBZ アサート後は、CS アサート期間中、WRSTBZ 信号を保持します。</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	31-21	—	Reserved (ライトは0を書き込んでください。)	20	WE_TIME	WRSTBZ 信号のアサートタイミングを設定します。 非同期モードで且つマルチプレクス時に有効となります。 0: CS 信号がアサートしてから 2clk 後に WRSTBZ 信号をアサートします。 1: CSZ 信号と同時に WRSTBZ 信号をアサートします。	19-17	T_TR	SRAM アクセスサイクル間に挿入する Turnaround Time を設定します。(tTR) 000: 設定禁止 001: 1clk 挿入 ~ 111: 7clk 挿入  以下の連続アクセスをした場合に Turnaround Time は挿入されます。 ・リード・アクセス → ライト・アクセス ・ライト・アクセス → リード・アクセス ・リード・アクセス → 異なる CS へのリード・アクセス ・マルチプレクス・モード時は全て挿入	16-14	T_PC	ページ・リード時のページ・アクセス・タイムを設定します。(tPC) 非同期モードで且つセパレート時にページ・アクセスが有効になります。 000: 設定禁止 001: ページ・アクセス・タイムを 1clk に設定 ~ 111: ページ・アクセス・タイムを 7clk に設定	13-11	T_WP	WRSTBZ のアサート期間を設定します。(tWP) 000: 設定禁止 001: WRSTBZ のアサート期間を 1clk に設定 ~ 111: WRSTBZ のアサート期間を 7clk に設定  SMC352MD レジスタの SMCWETH ビットが 1 の場合には T_WP ビットの値にかかわらず WRSTBZ アサート後は、CS アサート期間中、WRSTBZ 信号を保持します。	11-11	<p><b>【11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ(SET_CYCLES)】</b>                      SRAM アクセス時の各種サイクル設定を行います。設定値を反映するには、本レジスタおよび同期式バースト・アクセス MEMC モード設定レジスタ(SET_OPMODE)に値をセットしてから同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ(DIRECT_CMD)にて各チップ・セレクトへ値を反映してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-21</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。)</td> </tr> <tr> <td>20</td> <td>WE_TIME</td> <td>WRSTBZ 信号のアサートタイミングを設定します。 非同期モードで且つマルチプレクス時に有効となります。 0: CSZ0-CSZ3 信号をアサートしてから 2clk 後に WRSTBZ 信号をアサートします。 1: CSZ0-CSZ3 信号と同時に WRSTBZ 信号をアサートします。</td> </tr> <tr> <td>19-17</td> <td>T_TR</td> <td>SRAM アクセスサイクル間に挿入する Turnaround Time を設定します。(tTR) 000: 設定禁止 001: 1clk 挿入 ~ 111: 7clk 挿入  以下の連続アクセスをした場合に Turnaround Time は挿入されます。 ・リード・アクセス → ライト・アクセス ・ライト・アクセス → リード・アクセス ・リード・アクセス → 異なるチップ・セレクトへのリード・アクセス ・マルチプレクス・モード時は全て挿入</td> </tr> <tr> <td>16-14</td> <td>T_PC</td> <td>ページ・リード時のページ・アクセス・タイムを設定します。(tPC) 非同期モードで且つセパレート時にページ・アクセスが有効になります。 000: 設定禁止 001: ページ・アクセス・タイムを 1clk に設定 ~ 111: ページ・アクセス・タイムを 7clk に設定</td> </tr> <tr> <td>13-11</td> <td>T_WP</td> <td>WRSTBZ のアサート期間を設定します。(tWP) 000: 設定禁止 001: WRSTBZ のアサート期間を 1clk に設定 ~ 111: WRSTBZ のアサート期間を 7clk に設定  SMC352MD.SMCWETH = 1 の場合には T_WP ビットの値にかかわらず WRSTBZ 信号アサート後は、CSZ0-CSZ3 信号アサート期間中、WRSTBZ 信号を保持します。</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	31-21	—	Reserved (ライトは0を書き込んでください。)	20	WE_TIME	WRSTBZ 信号のアサートタイミングを設定します。 非同期モードで且つマルチプレクス時に有効となります。 0: CSZ0-CSZ3 信号をアサートしてから 2clk 後に WRSTBZ 信号をアサートします。 1: CSZ0-CSZ3 信号と同時に WRSTBZ 信号をアサートします。	19-17	T_TR	SRAM アクセスサイクル間に挿入する Turnaround Time を設定します。(tTR) 000: 設定禁止 001: 1clk 挿入 ~ 111: 7clk 挿入  以下の連続アクセスをした場合に Turnaround Time は挿入されます。 ・リード・アクセス → ライト・アクセス ・ライト・アクセス → リード・アクセス ・リード・アクセス → 異なるチップ・セレクトへのリード・アクセス ・マルチプレクス・モード時は全て挿入	16-14	T_PC	ページ・リード時のページ・アクセス・タイムを設定します。(tPC) 非同期モードで且つセパレート時にページ・アクセスが有効になります。 000: 設定禁止 001: ページ・アクセス・タイムを 1clk に設定 ~ 111: ページ・アクセス・タイムを 7clk に設定	13-11	T_WP	WRSTBZ のアサート期間を設定します。(tWP) 000: 設定禁止 001: WRSTBZ のアサート期間を 1clk に設定 ~ 111: WRSTBZ のアサート期間を 7clk に設定  SMC352MD.SMCWETH = 1 の場合には T_WP ビットの値にかかわらず WRSTBZ 信号アサート後は、CSZ0-CSZ3 信号アサート期間中、WRSTBZ 信号を保持します。
ビット位置	ビット名	意味																																					
31-21	—	Reserved (ライトは0を書き込んでください。)																																					
20	WE_TIME	WRSTBZ 信号のアサートタイミングを設定します。 非同期モードで且つマルチプレクス時に有効となります。 0: CS 信号がアサートしてから 2clk 後に WRSTBZ 信号をアサートします。 1: CSZ 信号と同時に WRSTBZ 信号をアサートします。																																					
19-17	T_TR	SRAM アクセスサイクル間に挿入する Turnaround Time を設定します。(tTR) 000: 設定禁止 001: 1clk 挿入 ~ 111: 7clk 挿入  以下の連続アクセスをした場合に Turnaround Time は挿入されます。 ・リード・アクセス → ライト・アクセス ・ライト・アクセス → リード・アクセス ・リード・アクセス → 異なる CS へのリード・アクセス ・マルチプレクス・モード時は全て挿入																																					
16-14	T_PC	ページ・リード時のページ・アクセス・タイムを設定します。(tPC) 非同期モードで且つセパレート時にページ・アクセスが有効になります。 000: 設定禁止 001: ページ・アクセス・タイムを 1clk に設定 ~ 111: ページ・アクセス・タイムを 7clk に設定																																					
13-11	T_WP	WRSTBZ のアサート期間を設定します。(tWP) 000: 設定禁止 001: WRSTBZ のアサート期間を 1clk に設定 ~ 111: WRSTBZ のアサート期間を 7clk に設定  SMC352MD レジスタの SMCWETH ビットが 1 の場合には T_WP ビットの値にかかわらず WRSTBZ アサート後は、CS アサート期間中、WRSTBZ 信号を保持します。																																					
ビット位置	ビット名	意味																																					
31-21	—	Reserved (ライトは0を書き込んでください。)																																					
20	WE_TIME	WRSTBZ 信号のアサートタイミングを設定します。 非同期モードで且つマルチプレクス時に有効となります。 0: CSZ0-CSZ3 信号をアサートしてから 2clk 後に WRSTBZ 信号をアサートします。 1: CSZ0-CSZ3 信号と同時に WRSTBZ 信号をアサートします。																																					
19-17	T_TR	SRAM アクセスサイクル間に挿入する Turnaround Time を設定します。(tTR) 000: 設定禁止 001: 1clk 挿入 ~ 111: 7clk 挿入  以下の連続アクセスをした場合に Turnaround Time は挿入されます。 ・リード・アクセス → ライト・アクセス ・ライト・アクセス → リード・アクセス ・リード・アクセス → 異なるチップ・セレクトへのリード・アクセス ・マルチプレクス・モード時は全て挿入																																					
16-14	T_PC	ページ・リード時のページ・アクセス・タイムを設定します。(tPC) 非同期モードで且つセパレート時にページ・アクセスが有効になります。 000: 設定禁止 001: ページ・アクセス・タイムを 1clk に設定 ~ 111: ページ・アクセス・タイムを 7clk に設定																																					
13-11	T_WP	WRSTBZ のアサート期間を設定します。(tWP) 000: 設定禁止 001: WRSTBZ のアサート期間を 1clk に設定 ~ 111: WRSTBZ のアサート期間を 7clk に設定  SMC352MD.SMCWETH = 1 の場合には T_WP ビットの値にかかわらず WRSTBZ 信号アサート後は、CSZ0-CSZ3 信号アサート期間中、WRSTBZ 信号を保持します。																																					

No.70 11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ (SET\_CYCLES)

T\_WC、T\_RC ビットの注意を注2に移動。T\_CEOE、T\_WC、T\_RC ビットに補足を追加。端子機能の表記統一

V1.00			V2.00				
ページ	記載内容		ページ	改訂内容			
11-12	【11.2.7 同期式バースト・アクセス MEMC サイクル設定レジスタ(SET_CYCLE)】		11-12	【11.2.6 同期式バースト・アクセス MEMC サイクル設定レジスタ(SET_CYCLES)】			
	ビット位置	ビット名	意味		ビット位置	ビット名	意味
	10-8	T_CEOE	CS アサートから RDZ 信号をアサートする時間を設定します。(tCEOE) <sup>2</sup> 000: 設定禁止 001: CS アサートから 1clk 後に RDZ をアサート ~ 111: CS アサートから 7clk 後に RDZ をアサート		10-8	T_CEOE	CSZ0-CSZ3 信号アサートから RDZ 信号をアサートするまでの時間を設定します。(tCEOE <sup>2</sup> ) 000: 設定禁止 001: CSZ0-CSZ3 信号アサートから 1clk 後に RDZ 信号をアサート ~ 111: CSZ0-CSZ3 信号アサートから 7clk 後に RDZ 信号をアサート
	7-4	T_WC	CS アサートからライトを開始する時間を設定します。(tWC) 000x: 設定禁止 0010: CS アサートから 2clk 後にライトを開始 ~ 1111: CS アサートから 15clk 後にライトを開始  注意：マルチプレクス・モード時、2clk 設定は設定禁止になります。 0011~1111 の範囲で設定してください。		7-4	T_WC <sup>2</sup> 3	CSZ0-CSZ3 信号アサートからライトを開始するまでの時間を設定します。(tWC <sup>2</sup> ) 000x: 設定禁止 0010: CSZ0-CSZ3 信号アサートから 2clk 後にライトを開始 ~ 1111: CSZ0-CSZ3 信号アサートから 15clk 後にライトを開始 シングル・アクセス時には T_WC に設定した値が、CSZ0-CSZ3 信号アサート期間となります。
	3-0	T_RC	CS アサートからリードを開始する時間を設定します。(tRC) 000x: 設定禁止 0010: CS アサートから 2clk 後にリードを開始 ~ 1111: CS アサートから 15clk 後にリードを開始  注意：マルチプレクス・モード時、2clk 設定は設定禁止になります。 0011~1111 の範囲で設定してください。		3-0	T_RC <sup>2</sup> 4	CSZ0-CSZ3 信号アサートからリードを開始するまでの時間を設定します。(tRC <sup>2</sup> ) 000x: 設定禁止 0010: CSZ0-CSZ3 信号アサートから 2clk 後にリードを開始 ~ 1111: CSZ0-CSZ3 信号アサートから 15clk 後にリードを開始 シングル・アクセス時には T_RC に設定した値が、CSZ0-CSZ3 信号アサート期間となります。
	注、マルチプレクス・モード時はバスファイト防止のため以下の範囲での設定を推奨します。 ・非同期アクセスモード時：011~111 の範囲で設定 ・同期アクセスモード時：010~111 の範囲で設定			注 1. マルチプレクス・モード時はバス・ファイト防止のため以下の範囲での設定を推奨します。 ・非同期アクセス・モード時：011~111 の範囲で設定 ・同期アクセス・モード時：010~111 の範囲で設定			
				2. マルチプレクス・モード時、2clk 設定は設定禁止になります。 0011~1111 の範囲で設定してください。 3. ウェイト発生時、ウェイト信号アサート期間だけライト・サイクルが延長されます。詳細は「図 11.23 同期 SRAM、セパレート、4 バースト・ライト・アクセス (ADVZ 有効)」を参照してください。 4. ウェイト発生時、ウェイト信号アサート期間だけリード・サイクルが延長されます。詳細は「図 11.22 同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)」を参照してください。			

No.71 11.2.7 同期式バースト・アクセス MEMC モード設定レジスタ (SET\_OPMODE)

ADV ビットの説明を修正。WR\_BL ビットの注意事項を注として移動。端子機能の表記統一。

V1.00			V2.00																																												
ページ	記載内容		ページ	改訂内容																																											
11-13	<p>【11.2.8 同期式バースト・アクセス MEMC モード設定レジスタ(SET_OPMODE)】                      SRAM アクセス時の各種モード設定を行います。                      設定値を反映するには、本レジスタおよび SMC サイクル設定レジスタに値をセットしてから SMC ダイレクト・コマンド・レジスタにて各 CS へ値を反映してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-16</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。)</td> </tr> <tr> <td>15-13</td> <td>BURST_ALIGN</td> <td>バースト境界を設定します。                      000: バースト境界なし。                      001: 32 バースト長単位で境界を設定します。                      010: 64 バースト長単位で境界を設定します。                      011: 128 バースト長単位で境界を設定します。                      100: 256 バースト長単位で境界を設定します。                      上記以外: 設定禁止</td> </tr> <tr> <td>12</td> <td>BLS_TIME</td> <td>BENZ 端子のアサートタイミングを設定します。                      0: CSZ 端子と同時にアサートします。(バイト・イネーブルとして使用)                      1: WRSTBZ 端子と同時にアサートします。(ライト・バイト・イネーブルとして使用)</td> </tr> <tr> <td>11</td> <td>ADV</td> <td>ADVZ 端子の有効/無効を設定します。                      0: ADVZ 信号は High 固定となります。                      1: ADVZ 信号が Low のときアドレスが有効となります。                       有効時には以下の動作となります。                      ・非同期モードで且つセバレート時は CS 期間中アサートします。                      ・上記以外は最初の 1clk のみアサートします。</td> </tr> <tr> <td>10</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。)</td> </tr> <tr> <td>9-7</td> <td>WR_BL</td> <td>ライト・アクセス時のバースト長を設定します。                      000: シングルアクセス                      001: 最大4バースト                      010: 最大8バースト                      011: 最大16バースト                      上記以外: 設定禁止                       非同期モード時は「シングルアクセス」のみ設定可能。その他は設定禁止。</td> </tr> </tbody> </table>		ビット位置	ビット名	意味	31-16	—	Reserved (ライトは0を書き込んでください。)	15-13	BURST_ALIGN	バースト境界を設定します。 000: バースト境界なし。 001: 32 バースト長単位で境界を設定します。 010: 64 バースト長単位で境界を設定します。 011: 128 バースト長単位で境界を設定します。 100: 256 バースト長単位で境界を設定します。 上記以外: 設定禁止	12	BLS_TIME	BENZ 端子のアサートタイミングを設定します。 0: CSZ 端子と同時にアサートします。(バイト・イネーブルとして使用) 1: WRSTBZ 端子と同時にアサートします。(ライト・バイト・イネーブルとして使用)	11	ADV	ADVZ 端子の有効/無効を設定します。 0: ADVZ 信号は High 固定となります。 1: ADVZ 信号が Low のときアドレスが有効となります。  有効時には以下の動作となります。 ・非同期モードで且つセバレート時は CS 期間中アサートします。 ・上記以外は最初の 1clk のみアサートします。	10	—	Reserved (ライトは0を書き込んでください。)	9-7	WR_BL	ライト・アクセス時のバースト長を設定します。 000: シングルアクセス 001: 最大4バースト 010: 最大8バースト 011: 最大16バースト 上記以外: 設定禁止  非同期モード時は「シングルアクセス」のみ設定可能。その他は設定禁止。	11-13	<p>【11.2.7 同期式バースト・アクセス MEMC モード設定レジスタ(SET_OPMODE)】                      SRAM アクセス時の各種モード設定を行います。設定値を反映するには、本レジスタおよび同期式バースト・アクセス MEMC サイクル設定レジスタ(SET_CYCLES)に値をセットしてから同期式バースト・アクセス MEMC ダイレクト・コマンド・レジスタ(DIRECT_CMD)にて各チップ・セレクトへ値を反映してください。</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31-16</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。)</td> </tr> <tr> <td>15-13</td> <td>BURST_ALIGN</td> <td>バースト境界を設定します。                      000: バースト境界なし。                      001: 32 バースト長単位で境界を設定します。                      010: 64 バースト長単位で境界を設定します。                      011: 128 バースト長単位で境界を設定します。                      100: 256 バースト長単位で境界を設定します。                      上記以外: 設定禁止</td> </tr> <tr> <td>12</td> <td>BLS_TIME</td> <td>BENZ0-BENZ3 端子のアサートタイミングを設定します。                      0: CSZ0-CSZ3 端子と同時にアサートします。(バイト・イネーブルとして使用)                      1: WRSTBZ 端子と同時にアサートします。(ライト・バイト・イネーブルとして使用)</td> </tr> <tr> <td>11</td> <td>ADV</td> <td>ADVZ 端子の有効/無効を設定します。                      0: 無効 (ADVZ 信号は High 固定となります。)                      1: 有効 (ADVZ 信号が Low のときアドレスが有効となります。)                       有効時には以下の動作となります。                      ・非同期モードで且つセバレート時は CSZ0-CSZ3 端子アサート期間中にアサートします。                      ・上記以外は最初の 1clk のみアサートします。</td> </tr> <tr> <td>10</td> <td>—</td> <td>Reserved (ライトは0を書き込んでください。)</td> </tr> <tr> <td>9-7</td> <td>WR_BL</td> <td>ライト・アクセス時のバースト長を設定します。                      000: シングル・アクセス<sup>注</sup>                      001: 最大4バースト                      010: 最大8バースト                      011: 最大16バースト                      上記以外: 設定禁止</td> </tr> </tbody> </table> <p>注. 非同期モード時は「シングル・アクセス」のみ設定可能です。その他は設定禁止です。</p>		ビット位置	ビット名	意味	31-16	—	Reserved (ライトは0を書き込んでください。)	15-13	BURST_ALIGN	バースト境界を設定します。 000: バースト境界なし。 001: 32 バースト長単位で境界を設定します。 010: 64 バースト長単位で境界を設定します。 011: 128 バースト長単位で境界を設定します。 100: 256 バースト長単位で境界を設定します。 上記以外: 設定禁止	12	BLS_TIME	BENZ0-BENZ3 端子のアサートタイミングを設定します。 0: CSZ0-CSZ3 端子と同時にアサートします。(バイト・イネーブルとして使用) 1: WRSTBZ 端子と同時にアサートします。(ライト・バイト・イネーブルとして使用)	11	ADV	ADVZ 端子の有効/無効を設定します。 0: 無効 (ADVZ 信号は High 固定となります。) 1: 有効 (ADVZ 信号が Low のときアドレスが有効となります。)  有効時には以下の動作となります。 ・非同期モードで且つセバレート時は CSZ0-CSZ3 端子アサート期間中にアサートします。 ・上記以外は最初の 1clk のみアサートします。	10	—	Reserved (ライトは0を書き込んでください。)	9-7	WR_BL	ライト・アクセス時のバースト長を設定します。 000: シングル・アクセス <sup>注</sup> 001: 最大4バースト 010: 最大8バースト 011: 最大16バースト 上記以外: 設定禁止
ビット位置	ビット名	意味																																													
31-16	—	Reserved (ライトは0を書き込んでください。)																																													
15-13	BURST_ALIGN	バースト境界を設定します。 000: バースト境界なし。 001: 32 バースト長単位で境界を設定します。 010: 64 バースト長単位で境界を設定します。 011: 128 バースト長単位で境界を設定します。 100: 256 バースト長単位で境界を設定します。 上記以外: 設定禁止																																													
12	BLS_TIME	BENZ 端子のアサートタイミングを設定します。 0: CSZ 端子と同時にアサートします。(バイト・イネーブルとして使用) 1: WRSTBZ 端子と同時にアサートします。(ライト・バイト・イネーブルとして使用)																																													
11	ADV	ADVZ 端子の有効/無効を設定します。 0: ADVZ 信号は High 固定となります。 1: ADVZ 信号が Low のときアドレスが有効となります。  有効時には以下の動作となります。 ・非同期モードで且つセバレート時は CS 期間中アサートします。 ・上記以外は最初の 1clk のみアサートします。																																													
10	—	Reserved (ライトは0を書き込んでください。)																																													
9-7	WR_BL	ライト・アクセス時のバースト長を設定します。 000: シングルアクセス 001: 最大4バースト 010: 最大8バースト 011: 最大16バースト 上記以外: 設定禁止  非同期モード時は「シングルアクセス」のみ設定可能。その他は設定禁止。																																													
ビット位置	ビット名	意味																																													
31-16	—	Reserved (ライトは0を書き込んでください。)																																													
15-13	BURST_ALIGN	バースト境界を設定します。 000: バースト境界なし。 001: 32 バースト長単位で境界を設定します。 010: 64 バースト長単位で境界を設定します。 011: 128 バースト長単位で境界を設定します。 100: 256 バースト長単位で境界を設定します。 上記以外: 設定禁止																																													
12	BLS_TIME	BENZ0-BENZ3 端子のアサートタイミングを設定します。 0: CSZ0-CSZ3 端子と同時にアサートします。(バイト・イネーブルとして使用) 1: WRSTBZ 端子と同時にアサートします。(ライト・バイト・イネーブルとして使用)																																													
11	ADV	ADVZ 端子の有効/無効を設定します。 0: 無効 (ADVZ 信号は High 固定となります。) 1: 有効 (ADVZ 信号が Low のときアドレスが有効となります。)  有効時には以下の動作となります。 ・非同期モードで且つセバレート時は CSZ0-CSZ3 端子アサート期間中にアサートします。 ・上記以外は最初の 1clk のみアサートします。																																													
10	—	Reserved (ライトは0を書き込んでください。)																																													
9-7	WR_BL	ライト・アクセス時のバースト長を設定します。 000: シングル・アクセス <sup>注</sup> 001: 最大4バースト 010: 最大8バースト 011: 最大16バースト 上記以外: 設定禁止																																													

No.72 11.2.7 同期式バースト・アクセス MEMC モード設定レジスタ (SET\_OPMODE)

RD\_BL ビットの注意事項を注として移動。端子機能の表記統一。

V1.00		V2.00																															
ページ	記載内容	ページ	改訂内容																														
11-14	<p>【11.2.8 同期式バースト・アクセス MEMC モード設定レジスタ(SET_OPMODE)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>WR_SYNC</td> <td>                     ライト・アクセス時の同期/非同期アクセス・モードを設定します。                      0：非同期アクセス                      1：同期アクセス                      非同期アクセス時は BUSCLK 端子からクロックは出力されません。                 </td> </tr> <tr> <td>5-3</td> <td>RD_BL</td> <td>                     リード・アクセス時のバースト長を設定します。                      000：シングルアクセス                      001：最大4バースト                      010：最大8バースト                      011：最大16バースト                      上記以外：設定禁止                       非同期モードにおいて、PageRead アクセス時以外は「シングルアクセス」のみ設定可能。                      それ以外は設定禁止。                 </td> </tr> <tr> <td>2</td> <td>RD_SYNC</td> <td>                     リード・アクセス時の同期/非同期アクセス・モードを設定します。                      0：非同期アクセス                      1：同期アクセス                      非同期アクセス時は BUSCLK 端子からクロックは出力されません。                 </td> </tr> <tr> <td>1,0</td> <td>MW</td> <td>                     データ・バス幅を設定します。                      ただし CS0 領域は本レジスタの値によらず BUS32EN 端子の状態でデータ・バス幅が決定されます。                      00：設定禁止                      01：16bit                      10：32bit                      11：設定禁止                 </td> </tr> </tbody> </table>	ビット位置	ビット名	意味	6	WR_SYNC	ライト・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。	5-3	RD_BL	リード・アクセス時のバースト長を設定します。 000：シングルアクセス 001：最大4バースト 010：最大8バースト 011：最大16バースト 上記以外：設定禁止  非同期モードにおいて、PageRead アクセス時以外は「シングルアクセス」のみ設定可能。 それ以外は設定禁止。	2	RD_SYNC	リード・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。	1,0	MW	データ・バス幅を設定します。 ただし CS0 領域は本レジスタの値によらず BUS32EN 端子の状態でデータ・バス幅が決定されます。 00：設定禁止 01：16bit 10：32bit 11：設定禁止	11-14	<p>【11.2.7 同期式バースト・アクセス MEMC モード設定レジスタ(SET_OPMODE)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>WR_SYNC</td> <td>                     ライト・アクセス時の同期/非同期アクセス・モードを設定します。                      0：非同期アクセス                      1：同期アクセス                      非同期アクセス時は BUSCLK 端子からクロックは出力されません。                 </td> </tr> <tr> <td>5-3</td> <td>RD_BL</td> <td>                     リード・アクセス時のバースト長を設定します。                      000：シングル・アクセス<sup>注</sup>                      001：最大4バースト                      010：最大8バースト                      011：最大16バースト                      上記以外：設定禁止                 </td> </tr> <tr> <td>2</td> <td>RD_SYNC</td> <td>                     リード・アクセス時の同期/非同期アクセス・モードを設定します。                      0：非同期アクセス                      1：同期アクセス                      非同期アクセス時は BUSCLK 端子からクロックは出力されません。                 </td> </tr> <tr> <td>1-0</td> <td>MW</td> <td>                     データ・バス幅を設定します。                      ただし CS20 領域は本レジスタの値によらず BUS32EN 端子の状態でデータ・バス幅が決定されます。                      00：設定禁止                      01：16bit                      10：32bit                      11：設定禁止                 </td> </tr> </tbody> </table> <p><b>注. 非同期モードにおいて、ページ・リード・アクセス時以外は「シングル・アクセス」のみ設定可能です。それ以外は設定禁止です。</b></p>	ビット位置	ビット名	意味	6	WR_SYNC	ライト・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。	5-3	RD_BL	リード・アクセス時のバースト長を設定します。 000：シングル・アクセス <sup>注</sup> 001：最大4バースト 010：最大8バースト 011：最大16バースト 上記以外：設定禁止	2	RD_SYNC	リード・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。	1-0	MW	データ・バス幅を設定します。 ただし CS20 領域は本レジスタの値によらず BUS32EN 端子の状態でデータ・バス幅が決定されます。 00：設定禁止 01：16bit 10：32bit 11：設定禁止
ビット位置	ビット名	意味																															
6	WR_SYNC	ライト・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。																															
5-3	RD_BL	リード・アクセス時のバースト長を設定します。 000：シングルアクセス 001：最大4バースト 010：最大8バースト 011：最大16バースト 上記以外：設定禁止  非同期モードにおいて、PageRead アクセス時以外は「シングルアクセス」のみ設定可能。 それ以外は設定禁止。																															
2	RD_SYNC	リード・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。																															
1,0	MW	データ・バス幅を設定します。 ただし CS0 領域は本レジスタの値によらず BUS32EN 端子の状態でデータ・バス幅が決定されます。 00：設定禁止 01：16bit 10：32bit 11：設定禁止																															
ビット位置	ビット名	意味																															
6	WR_SYNC	ライト・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。																															
5-3	RD_BL	リード・アクセス時のバースト長を設定します。 000：シングル・アクセス <sup>注</sup> 001：最大4バースト 010：最大8バースト 011：最大16バースト 上記以外：設定禁止																															
2	RD_SYNC	リード・アクセス時の同期/非同期アクセス・モードを設定します。 0：非同期アクセス 1：同期アクセス 非同期アクセス時は BUSCLK 端子からクロックは出力されません。																															
1-0	MW	データ・バス幅を設定します。 ただし CS20 領域は本レジスタの値によらず BUS32EN 端子の状態でデータ・バス幅が決定されます。 00：設定禁止 01：16bit 10：32bit 11：設定禁止																															

**No.73 11.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ (REF\_PERIOD0)**

**注意事項を修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-15	<p><b>【11.2.9 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ(REF_PERIOD0)】</b>                      注意 <b>設定</b>レジスタの SMCWETH ビットを 1 に設定しアドレス/データ信号をセパレートで使用する場                      合、本レジスタは 0x000_0001 を設定してください。</p>	11-15	<p><b>【11.2.8 同期式バースト・アクセス MEMC リフレッシュ設定レジスタ(REF_PERIOD0)】</b>                      注意 <b>SMC352MD</b> レジスタの SMCWETH ビットを 1 に設定しアドレス/データ信号をセパレートで使用する                      場合、本レジスタに 0x0000_0001 を設定してください。</p>

**No.74 11.2.9 同期式バースト・アクセス MEMC CSZn サイクル・レジスタ (SRAM\_CYCLES0 n)**

**レジスタ名、レジスタ略号を修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-16	<p><b>【11.2.10 同期式バースト・アクセス MEMC CSn サイクル・レジスタ(SRAM_CYCLES0_n)】</b>                       各ビットは <b>SMC</b> サイクル設定レジスタと同じとなります。</p>	11-16	<p><b>【11.2.9 同期式バースト・アクセス MEMC CSZn サイクル・レジスタ(SRAM_CYCLES0_n)】</b>                       各ビットは同期式バースト・アクセス MEMC サイクル設定レジスタ(<b>SET_CYCLES</b>)で設定した情報を読み                      出せます。</p>

**No.75 11.2.10 同期式バースト・アクセス MEMC CSZn モード・レジスタ (OPMODE0 0-3)**

**レジスタ名、レジスタ略号を修正**

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-17	<p><b>【11.2.11 同期式バースト・アクセス MEMC CSn モード・レジスタ(OPMODE0_0-3)】</b>                       下位 16 ビットは同期式バースト・アクセス MEMC モード設定レジスタの値を参照できます。</p>	11-17	<p><b>【11.2.10 同期式バースト・アクセス MEMC CSZn モード・レジスタ(OPMODE0_0-3)】</b>                       下位 16 ビットは同期式バースト・アクセス MEMC モード設定レジスタ(<b>SET_OPMODE</b>)の値を参照できま                      ず。</p>

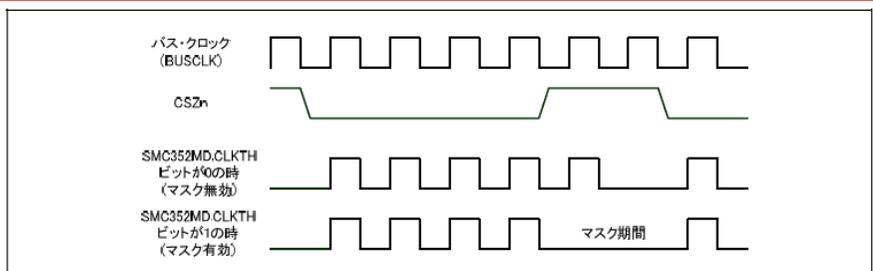
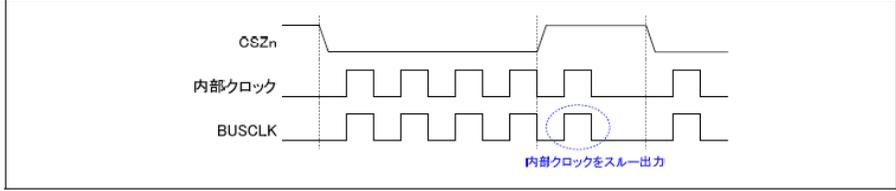
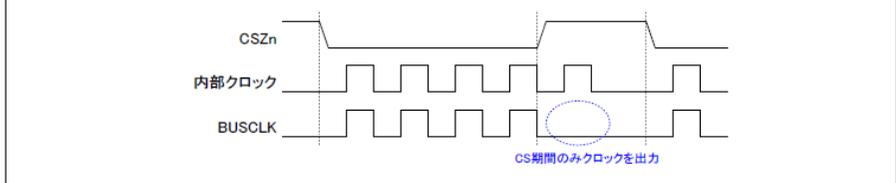
No.76 11.2.11 レジスタ設定手順

レジスタ略号を修正。未サポートのレジスタ (DMC352MD) を削除。端子機能の表記統一。

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-18	<p><b>【11.2.12 レジスタ設定手順】</b></p> <p>図11.1 レジスタ設定手順</p>	11-18	<p><b>【11.2.11 レジスタ設定手順】</b></p> <p>図11.1 レジスタ設定手順</p>

No.77 11.3.1 バス・クロック制御機能

章見出し、構成を変更。レジスタ略号を修正。BUSCLK マスク機能の動作説明図を分割。

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-19	<p><b>【113.1 バス・クロック選択機能】</b></p> <p>同期式バースト・アクセス MEMC 使用時に、外部メモリ・インタフェース用のバス・クロック (BUSCLK) をシステム・クロック (100MHz) を分周して動作させることができます。初期値は 6 分周に設定され、2 分周から 6 分周まで設定可能です。このバス・クロックは、同期 SRAM をアクセス中<sup>注</sup>のみ出力されるクロックです。</p> <ul style="list-style-type: none"> <li>分周比：1/2, 1/3, 1/4, 1/5, 1/6</li> </ul> <p>注. チップ・セレクトが有効期間+1 サイクル分クロックを出力します。</p> <p>備考 1/3 分周時のバス・クロックの Duty は、ハイ幅が 33.33% になります。また、1/5 分周時のバス・クロックの Duty は、ハイ幅が 40% になります。その他は、Duty50% です。</p> <p>また、バス・クロック (BUSCLK) の出力期間は、SMC352MD レジスタの設定値によってチップセレクト (CSZn) が有効な間だけ出力させることができます。</p>  <p>図11.2 バス・クロックのマスク動作</p>	11-19	<p><b>【11.3.1 バス・クロック制御機能】</b></p> <p>(1) BUSCLK 分周機能</p> <p>同期式バースト・アクセス MEMC 使用時に、外部メモリ・インタフェース用のバス・クロック (BUSCLK) をシステム・クロック (100MHz) を分周して動作させることができます。初期値は 6 分周に設定され、2 分周から 6 分周まで設定可能です。このバス・クロックは、同期 SRAM にアクセス中<sup>注</sup>のみ出力されるクロックです。</p> <ul style="list-style-type: none"> <li>分周比：1/2, 1/3, 1/4, 1/5, 1/6</li> </ul> <p>注. チップ・セレクトが有効期間+1 サイクル分クロックを出力します。</p> <p>備考 1/3 分周時のバス・クロックの Duty は、ハイ幅が 33.33% になります。また、1/5 分周時のバス・クロックの Duty は、ハイ幅が 40% になります。その他は、Duty50% です。</p> <p>(2) BUSCLK マスク機能</p> <p>また、バス・クロック (BUSCLK) の出力期間は、SMC352MD レジスタの設定値によってチップ・セレクト (CSZn) が有効な間だけ出力させることができます。</p>  <p>図11.2 クロック出カタイミング例 (SMC352MD.SMCCLKTH=0)</p>  <p>図11.3 クロック出カタイミング例 (SMC352MD.SMCCLKTH=1)</p> <p>備考. n = 0 - 3</p>

**No.78 11.3.2 アドレス出力機能**

**外部アドレス端子名とアドレス空間サイズを修正**

V1.00			V2.00																				
ページ	記載内容		ページ	改訂内容																			
11-20	<p><b>【11.3.2 アドレス出力機能】</b> 同期式バースト・アクセス MEMC の外部メモリへのアドレス出力は、外部バス幅によって出力される信号が異なり、バス幅に関係なく <b>A1</b> 端子から有効となるアドレスが出力されます。</p> <table border="1"> <thead> <tr> <th>バス幅</th> <th>メモリMAP上のアドレス (4Gバイト空間)</th> <th>外部アドレス端子の割り当て</th> </tr> </thead> <tbody> <tr> <td>32bit</td> <td>Address28ビット-Address2ビット</td> <td><b>A27-A1端子</b></td> </tr> <tr> <td>16bit</td> <td>Address27ビット-Address1ビット</td> <td><b>A27-A1端子</b></td> </tr> </tbody> </table>		バス幅	メモリMAP上のアドレス (4Gバイト空間)	外部アドレス端子の割り当て	32bit	Address28ビット-Address2ビット	<b>A27-A1端子</b>	16bit	Address27ビット-Address1ビット	<b>A27-A1端子</b>	11-20	<p><b>【11.3.2 アドレス出力機能】</b> 同期式バースト・アクセス MEMC の外部メモリへのアドレス出力は、外部バス幅によって出力される信号が異なり、バス幅に関係なく <b>MA1</b> 端子から有効となるアドレスが出力されます。</p> <table border="1"> <thead> <tr> <th>バス幅</th> <th>メモリMAP上のアドレス (256MB空間)</th> <th>外部アドレス端子の割り当て</th> </tr> </thead> <tbody> <tr> <td>32bit</td> <td>Address28ビット-Address2ビット</td> <td><b>MA27-MA1端子</b></td> </tr> <tr> <td>16bit</td> <td>Address27ビット-Address1ビット</td> <td><b>MA27-MA1端子</b></td> </tr> </tbody> </table>		バス幅	メモリMAP上のアドレス (256MB空間)	外部アドレス端子の割り当て	32bit	Address28ビット-Address2ビット	<b>MA27-MA1端子</b>	16bit	Address27ビット-Address1ビット	<b>MA27-MA1端子</b>
バス幅	メモリMAP上のアドレス (4Gバイト空間)	外部アドレス端子の割り当て																					
32bit	Address28ビット-Address2ビット	<b>A27-A1端子</b>																					
16bit	Address27ビット-Address1ビット	<b>A27-A1端子</b>																					
バス幅	メモリMAP上のアドレス (256MB空間)	外部アドレス端子の割り当て																					
32bit	Address28ビット-Address2ビット	<b>MA27-MA1端子</b>																					
16bit	Address27ビット-Address1ビット	<b>MA27-MA1端子</b>																					

**No.79 11.3.3 アドレス/データ・マルチプレクス機能**

**アドレス/データ・マルチプレクス機能説明の表を追加**

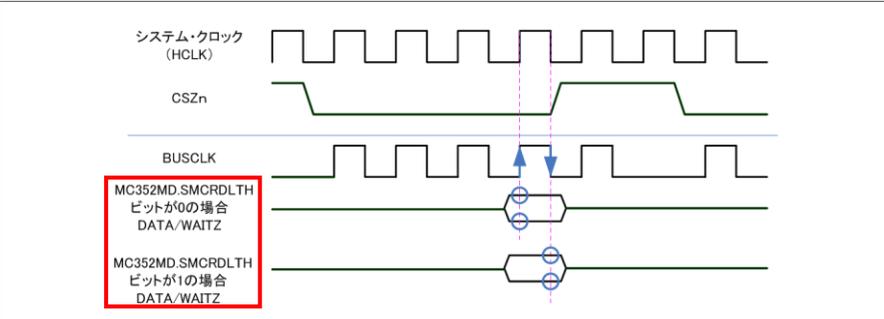
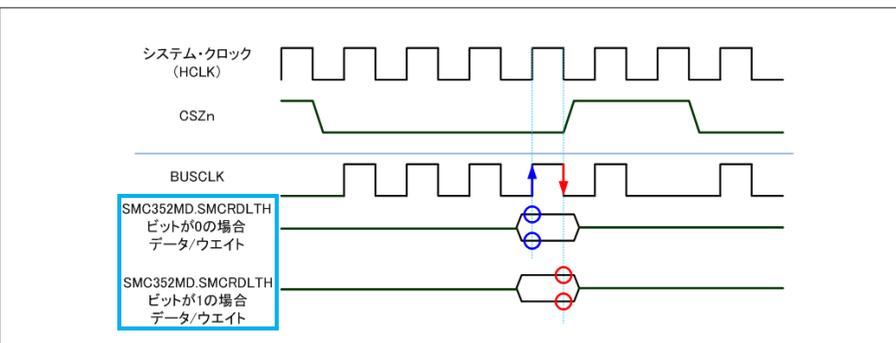
V1.00			V2.00																													
ページ	記載内容		ページ	改訂内容																												
11-20	<p><b>【11.3.3 アドレス/データ・マルチプレクス機能】</b> (記載なし)</p>		11-20	<p><b>【11.3.3 アドレス/データ・マルチプレクス機能】</b></p> <table border="1"> <thead> <tr> <th rowspan="2">外部 SRAM 端子</th> <th colspan="2">セパレート・モード (ADMUXMODE=0)</th> <th colspan="2">マルチプレクス・モード (ADMUXMODE=1)</th> <th rowspan="2">備考</th> </tr> <tr> <th>16ビット・バス (BUS32EN=0)</th> <th>32ビット・バス (BUS32EN=1)</th> <th>16ビット・バス (BUS32EN=0)</th> <th>32ビット・バス (BUS32EN=1)</th> </tr> </thead> <tbody> <tr> <td>MA27-1</td> <td>Address27-1</td> <td>Address28-2</td> <td>Address27-1</td> <td>Address28-2</td> <td>アドレス信号はモードに関係なく出力します。</td> </tr> <tr> <td>MD31-16</td> <td>—</td> <td>Data31-16</td> <td>—</td> <td>{5'h00, Address28-2} Data31-0</td> <td rowspan="2">マルチプレクス・モード時のアドレス出力タイミングは「11.4 メモリ・アクセス・タイミング例」を参照してください。<sup>注</sup></td> </tr> <tr> <td>MD15-0</td> <td>Data15-0</td> <td>Data15-0</td> <td>Address16-1 Data15-0</td> <td></td> </tr> </tbody> </table> <p><b>注. 非同期アクセス</b>                      リード：図 11.10 非同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)                      ライト：図 11.13 非同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効/WE_TIME=0)  <b>同期アクセス</b>                      リード：図 11.16 同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)                      ライト：図 11.20 同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効)</p>		外部 SRAM 端子	セパレート・モード (ADMUXMODE=0)		マルチプレクス・モード (ADMUXMODE=1)		備考	16ビット・バス (BUS32EN=0)	32ビット・バス (BUS32EN=1)	16ビット・バス (BUS32EN=0)	32ビット・バス (BUS32EN=1)	MA27-1	Address27-1	Address28-2	Address27-1	Address28-2	アドレス信号はモードに関係なく出力します。	MD31-16	—	Data31-16	—	{5'h00, Address28-2} Data31-0	マルチプレクス・モード時のアドレス出力タイミングは「11.4 メモリ・アクセス・タイミング例」を参照してください。 <sup>注</sup>	MD15-0	Data15-0	Data15-0	Address16-1 Data15-0	
外部 SRAM 端子	セパレート・モード (ADMUXMODE=0)		マルチプレクス・モード (ADMUXMODE=1)		備考																											
	16ビット・バス (BUS32EN=0)	32ビット・バス (BUS32EN=1)	16ビット・バス (BUS32EN=0)	32ビット・バス (BUS32EN=1)																												
MA27-1	Address27-1	Address28-2	Address27-1	Address28-2	アドレス信号はモードに関係なく出力します。																											
MD31-16	—	Data31-16	—	{5'h00, Address28-2} Data31-0	マルチプレクス・モード時のアドレス出力タイミングは「11.4 メモリ・アクセス・タイミング例」を参照してください。 <sup>注</sup>																											
MD15-0	Data15-0	Data15-0	Address16-1 Data15-0																													

No.80 11.3.4 ライト・イネーブル (WRZn) 信号拡張機能  
 ビット名称を修正。図番号、図名および備考を追加。

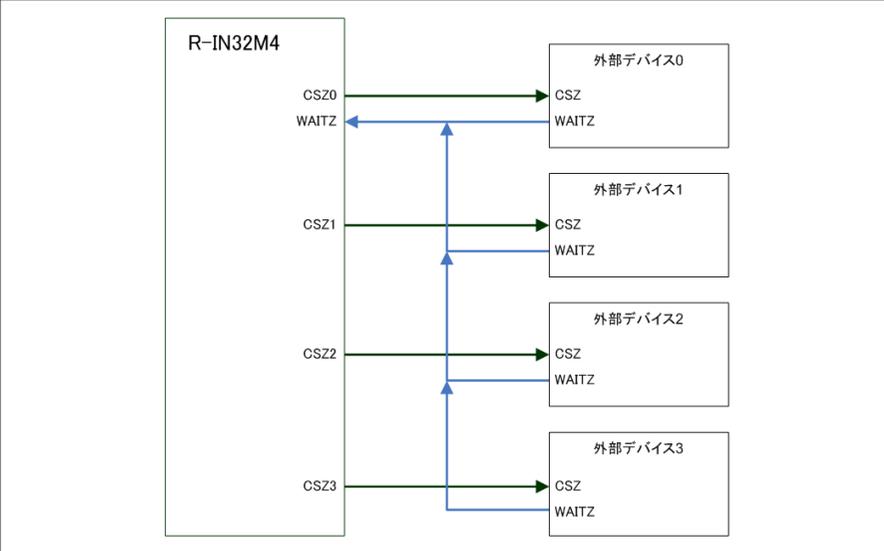
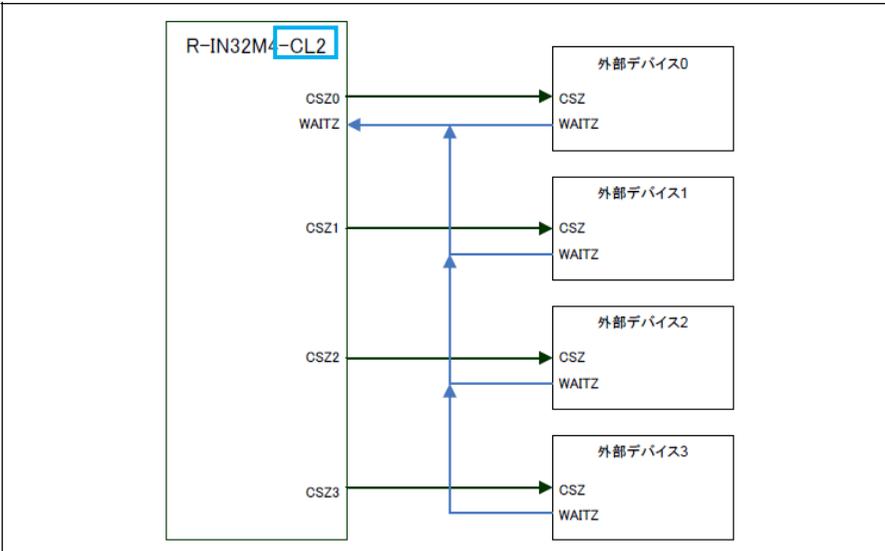
V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-21	<p><b>【11.3.4 ライト・イネーブル(WRZn)信号拡張機能】</b></p> <p>同期式バースト・アクセス MEMC のライト・イネーブル(WRZn)端子は、同期モード場合、チップセレクト(CSZn)が有効になった最初の1サイクルのみ出力します。</p>	11-21	<p><b>【11.3.4 ライト・イネーブル(WRZn)信号拡張機能】</b></p> <p>同期式バースト・アクセス MEMC のライト・イネーブル(WRZn)端子は、同期モードの場合、チップ・セレクト(CSZn)が有効になった最初の1サイクルのみ出力します。</p> <p>図 11.4 ライト・イネーブル信号の動作</p> <p>備考. n = 0 - 3</p>

No.81 11.3.5 リード・データ・タイミング制御

レジスタ略号を修正。図番号、図名を追加。備考の追加および修正。

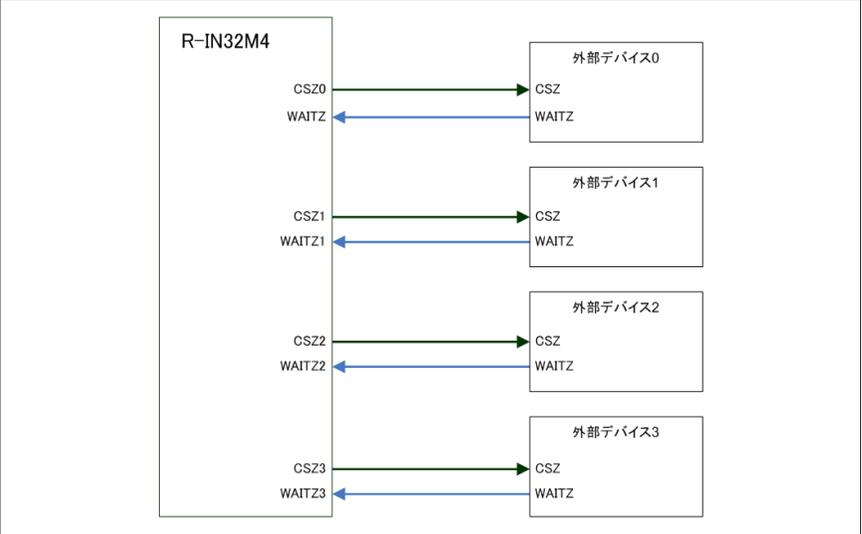
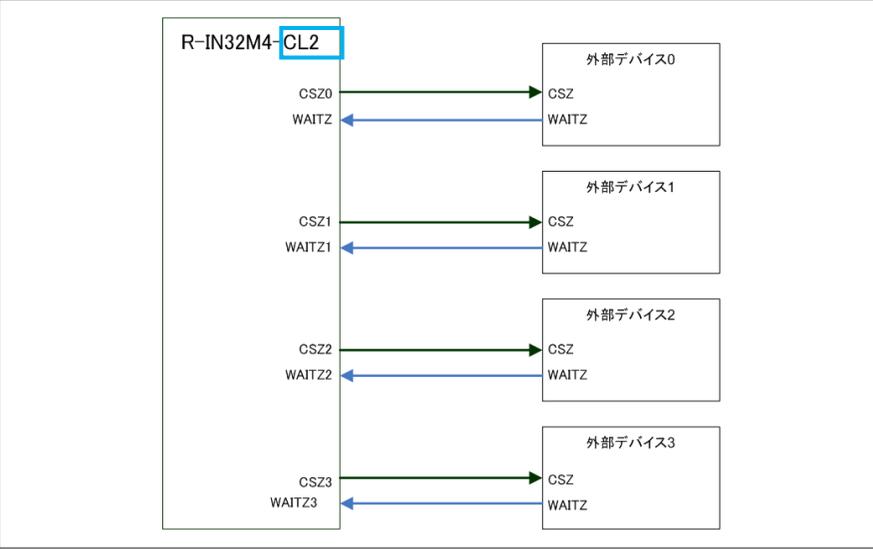
V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-22	<p>【11.3.5 リード・データ・タイミング制御】</p> <p>備考 <b>非同期 SRAM</b>での動作の場合には、常にシステム・クロックの<b>立ち上がり</b>でデータを取り込みます。</p> 	11-22	<p>【11.3.5 リード・データ・タイミング制御】</p>  <p>図 11.5 リード・データ・タイミング制御</p> <p>備考 1. <b>n = 0 - 3</b>                  2. <b>非同期アクセス・モード</b>での動作の場合には、常にシステム・クロックの<b>立ち下がり</b>でデータを取り込みます。</p>

No.82 11.3.6 ウェイト信号制御機能  
端子機能の表記統一。備考を追加。

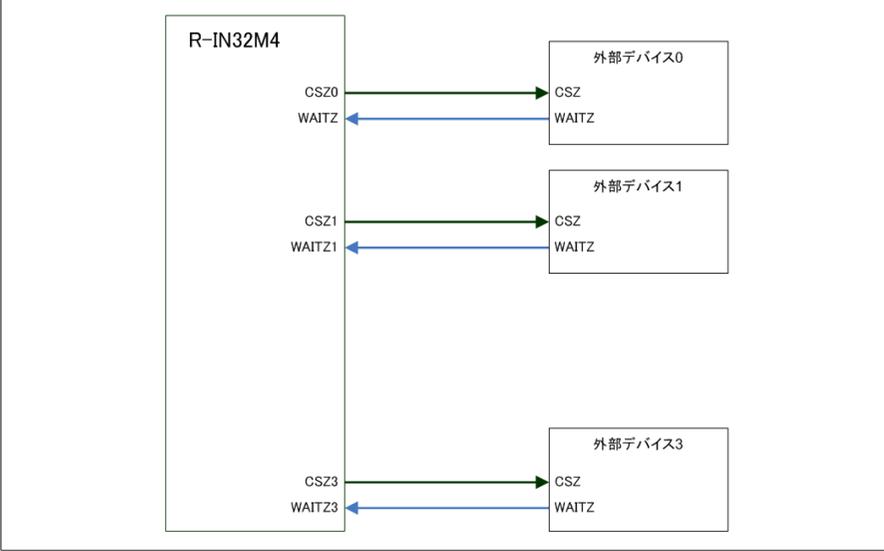
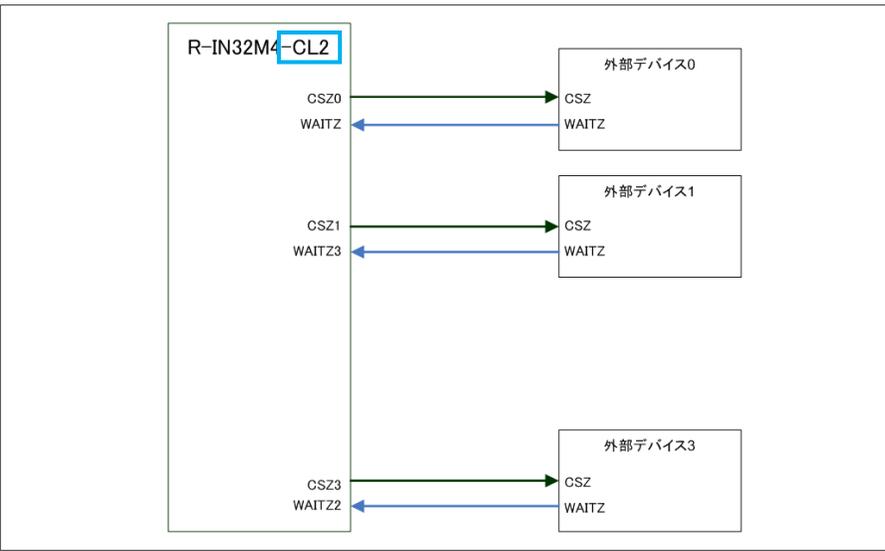
V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-23	<p><b>【11.3.6 WAITZ 信号制御機能】</b></p> <p>同期式バースト・アクセス MEMC には、各チップ・セレクト領域用に外部<b>ウェイト</b>入力 (WAITZ<sub>n</sub>) 端子を最大 4 本搭載します。各外部<b>ウェイト</b>入力端子は、チップ・セレクト領域のどの領域に割り当てるかを WAITZSEL レジスタで設定します。また、1 つの WAITZ 端子に 4 つのチップ・セレクト領域を割り当てることも可能です。</p> <p>(1) 接続例 1 外部デバイスを 4 個接続。WAIT 信号は Wired OR にて WAITZ にまとめて接続</p> 	11-23	<p><b>【11.3.6 ウェイト信号制御機能】</b></p> <p>同期式バースト・アクセス MEMC には、各チップ・セレクト領域用に外部<b>ウェイト</b>入力 (WAITZ、WAITZ1-3) 端子を最大 4 本搭載します。各外部<b>ウェイト</b>入力端子は、チップ・セレクト領域のどの領域に割り当てるかを WAITZSEL レジスタで設定します。また、1 つの<b>ウェイト</b>端子に 4 つのチップ・セレクト領域を割り当てることも可能です。</p> <p>なお、R-IN32M4-CL2 と外部デバイスとの外部メモリ・インタフェース端子の接続方法に関しては「R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編」を参照してください。</p> <p>(1) 接続例 1 外部デバイスを 4 個接続。<b>ウェイト</b>信号は Wired OR にて WAITZ にまとめて接続。</p> 
			<p><b>備考. ウェイト信号選択レジスタの設定値は以下の通り。</b></p> <p>WAITZSEL.WSEL0[3:0] = 1111B                  WAITZSEL.WSEL1[3:0] = 0000B                  WAITZSEL.WSEL2[3:0] = 0000B                  WAITZSEL.WSEL3[3:0] = 0000B</p>

No.83 11.3.6 ウェイト信号制御機能

端子機能の表記統一。備考を追加。

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-24	<p>【11.3.6 WAITZ 信号制御機能】                      (2) 接続例 2                      外部デバイスを 4 個接続、WAIT 信号は 1 対 1 に接続</p> 	11-24	<p>【11.3.6 ウェイト信号制御機能】                      (2) 接続例 2                      外部デバイスを 4 個接続、ウェイト信号は 1 対 1 に接続。</p>  <div style="border: 1px solid blue; padding: 5px; margin-top: 10px;"> <p>備考. ウェイト信号選択レジスタの設定値は以下の通り。                          WAITZSEL.WSEL0[3:0] = 0001B                          WAITZSEL.WSEL1[3:0] = 0010B                          WAITZSEL.WSEL2[3:0] = 0100B                          WAITZSEL.WSEL3[3:0] = 1000B</p> </div>

No.84 11.3.6 ウェイト信号制御機能  
端子機能の表記統一。備考2を追加。

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-25	<p>【11.3.6 WAITZ 信号制御機能】 (3) 接続例 3 外部デバイスを 3 個接続、WAIT 信号は1対1に接続、CSZ2 は未使用。WAIT 端子の割り当てを変更。</p> <p>備考 WAITZSEL レジスタにて、どの割り込みがどのチップ・セレクトに対応するかを選択できます。</p> 	11-25	<p>【11.3.6 ウェイト信号制御機能】 (3) 接続例 3 外部デバイスを 3 個接続、ウェイト信号は 1 対 1 に接続、CSZ2 は未使用。ウェイト端子の割り当てを変更。</p>  <p>備考 1. ウェイト信号選択レジスタ (WAITZSEL) にて、どの割り込みがどのチップ・セレクトに対応するかを選択できます。 2. ウェイト信号選択レジスタの設定値は以下の通り。 WAITZSEL.WSEL0[3:0] = 0001B WAITZSEL.WSEL1[3:0] = 1000B WAITZSEL.WSEL2[3:0] = 0000B WAITZSEL.WSEL3[3:0] = 0100B</p>

**No.85 11.3.7 同期式バースト・アクセス MEMC の動作モード設定**  
メモリ・コントローラ名称を修正。

V1.00		V2.00									
ページ	記載内容	ページ	改訂内容								
11-26	<p><b>【11.3.7 同期式バースト・アクセス MEMC の動作モード設定】</b></p> <table border="1"> <thead> <tr> <th>端子</th> <th>設定</th> </tr> </thead> <tbody> <tr> <td>MEMCSEL</td> <td>同期式バーストMEMCを使用するか、非同期SRAM MEMCを使用するかを選択します。 0：非同期SRAM MEMC 1：同期式バースト・アクセスMEMC</td> </tr> </tbody> </table>	端子	設定	MEMCSEL	同期式バーストMEMCを使用するか、非同期SRAM MEMCを使用するかを選択します。 0：非同期SRAM MEMC 1：同期式バースト・アクセスMEMC	11-26	<p><b>【11.3.7 同期式バースト・アクセス MEMC の動作モード設定】</b></p> <table border="1"> <thead> <tr> <th>端子</th> <th>設定</th> </tr> </thead> <tbody> <tr> <td>MEMCSEL</td> <td>同期式バースト・アクセスMEMCを使用するか、非同期SRAM MEMCを使用するかを選択します。 0：非同期SRAM MEMC 1：同期式バースト・アクセスMEMC</td> </tr> </tbody> </table>	端子	設定	MEMCSEL	同期式バースト・アクセスMEMCを使用するか、非同期SRAM MEMCを使用するかを選択します。 0：非同期SRAM MEMC 1：同期式バースト・アクセスMEMC
端子	設定										
MEMCSEL	同期式バーストMEMCを使用するか、非同期SRAM MEMCを使用するかを選択します。 0：非同期SRAM MEMC 1：同期式バースト・アクセスMEMC										
端子	設定										
MEMCSEL	同期式バースト・アクセスMEMCを使用するか、非同期SRAM MEMCを使用するかを選択します。 0：非同期SRAM MEMC 1：同期式バースト・アクセスMEMC										

**No.86 11.3.8 外部メモリ領域マッピング切り替え機能**

端子機能の表記統一  
注意事項の表記変更

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-27	<p><b>【11.3.8 外部メモリ領域マッピング切り替え機能】</b></p> <p>同期式バースト・アクセス MEMC は、SMADSEL0-3 レジスタにて、各CS領域のアドレス・マップとサイズを変更することができます。</p> <p>注意 1. 各CSZ領域の合計サイズは 256M バイトです。 2. 設定できるアドレス空間は 1000 0000H-1FFF FFFFH です。 3. 各CSZ領域は重複して設定することは禁止です。重複しないようにベース・アドレスとサイズを設定してください。 4. 設定中は MEMC 領域へのアクセスは全て禁止です。プログラム等は他の領域に格納し実行してください。</p>	11-27	<p><b>【11.3.8 外部メモリ領域マッピング切り替え機能】</b></p> <p>同期式バースト・アクセス MEMC は、SMADSEL0-3 レジスタにて、各チップ・セレクト領域のアドレス・マップとサイズを変更することができます。</p> <p>注意 1. 各チップ・セレクト領域の合計サイズは 256M バイトです。 2. 設定できるアドレス空間は 1000 0000H-1FFF FFFFH です。 3. 各チップ・セレクト領域は重複して設定することは禁止です。重複しないようにベース・アドレスとサイズを設定してください。 4. 本レジスタの設定は、外部メモリ領域（1000 0000H~1FFF FFFFH）へアクセスしていない時に行ってください。プログラム等は他の領域に格納し実行してください。</p>

No.87 11.4 メモリ・アクセス・タイミング例

ウエイトタイミング図をリード/ライトに分割し、図 11.23 を追加。

V1.00		V2.00																																																																																																																																													
ページ	記載内容	ページ	改訂内容																																																																																																																																												
11-28	<p><b>【11.4 メモリ・アクセス・タイミング例】</b>                      [表 11.2 メモリ・アクセス・タイミング例一覧]</p> <table border="1"> <thead> <tr> <th>図番号</th> <th>メモリ・タイプ</th> <th>アクセス条件</th> <th>ページ</th> </tr> </thead> <tbody> <tr><td>図 11.4</td><td>非同期 SRAM</td><td>リード、セパレート、ADVZ 有効</td><td>11-29</td></tr> <tr><td>図 11.5</td><td>非同期 SRAM</td><td>リード、セパレート、ADVZ 無効</td><td>11-30</td></tr> <tr><td>図 11.6</td><td>PageROM</td><td>リード、セパレート、ADVZ 有効</td><td>11-31</td></tr> <tr><td>図 11.7</td><td>非同期 SRAM</td><td>リード、マルチプレクス、ADVZ 有効</td><td>11-32</td></tr> <tr><td>図 11.8</td><td>非同期 SRAM</td><td>ライト、セパレート、ADVZ 無効</td><td>11-33</td></tr> <tr><td>図 11.9</td><td>非同期 SRAM</td><td>ライト、セパレート、ADVZ 有効</td><td>11-34</td></tr> <tr><td>図 11.10</td><td>非同期 SRAM</td><td>ライト、マルチプレクス、ADVZ 有効、WE_TIME=0</td><td>11-35</td></tr> <tr><td>図 11.11</td><td>非同期 SRAM</td><td>ライト、マルチプレクス、ADVZ 有効、WE_TIME=1</td><td>11-36</td></tr> <tr><td>図 11.12</td><td>同期 SRAM</td><td>リード、セパレート、ADVZ 有効</td><td>11-37</td></tr> <tr><td>図 11.13</td><td>同期 SRAM</td><td>リード、マルチプレクス、ADVZ 有効</td><td>11-38</td></tr> <tr><td>図 11.14</td><td>同期 SRAM</td><td>4 バースト・リード、マルチプレクス、ADVZ 有効</td><td>11-39</td></tr> <tr><td>図 11.15</td><td>同期 SRAM</td><td>ライト、セパレート、ADVZ</td><td>11-40</td></tr> <tr><td>図 11.16</td><td>同期 SRAM</td><td>8 バースト・ライト、セパレート、ADVZ</td><td>11-41</td></tr> <tr><td>図 11.17</td><td>同期 SRAM</td><td>ライト、マルチプレクス、ADVZ 有効</td><td>11-42</td></tr> <tr><td>図 11.18</td><td>同期 SRAM</td><td>4 バースト・ライト、マルチプレクス、ADVZ 有効</td><td>11-43</td></tr> <tr><td>図 11.19</td><td>同期 SRAM</td><td>外部ウエイト・タイミング</td><td>11-44</td></tr> </tbody> </table>	図番号	メモリ・タイプ	アクセス条件	ページ	図 11.4	非同期 SRAM	リード、セパレート、ADVZ 有効	11-29	図 11.5	非同期 SRAM	リード、セパレート、ADVZ 無効	11-30	図 11.6	PageROM	リード、セパレート、ADVZ 有効	11-31	図 11.7	非同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-32	図 11.8	非同期 SRAM	ライト、セパレート、ADVZ 無効	11-33	図 11.9	非同期 SRAM	ライト、セパレート、ADVZ 有効	11-34	図 11.10	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=0	11-35	図 11.11	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=1	11-36	図 11.12	同期 SRAM	リード、セパレート、ADVZ 有効	11-37	図 11.13	同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-38	図 11.14	同期 SRAM	4 バースト・リード、マルチプレクス、ADVZ 有効	11-39	図 11.15	同期 SRAM	ライト、セパレート、ADVZ	11-40	図 11.16	同期 SRAM	8 バースト・ライト、セパレート、ADVZ	11-41	図 11.17	同期 SRAM	ライト、マルチプレクス、ADVZ 有効	11-42	図 11.18	同期 SRAM	4 バースト・ライト、マルチプレクス、ADVZ 有効	11-43	図 11.19	同期 SRAM	外部ウエイト・タイミング	11-44	11-28	<p><b>【11.4 メモリ・アクセス・タイミング例】</b>                      [表 11.2 メモリ・アクセス・タイミング例一覧]</p> <table border="1"> <thead> <tr> <th>図番号</th> <th>メモリ・タイプ</th> <th>アクセス条件</th> <th>ページ</th> </tr> </thead> <tbody> <tr><td>図 11.7</td><td>非同期 SRAM</td><td>リード、セパレート、ADVZ 有効</td><td>11-29</td></tr> <tr><td>図 11.8</td><td>非同期 SRAM</td><td>リード、セパレート、ADVZ 無効</td><td>11-30</td></tr> <tr><td>図 11.9</td><td>ページ ROM</td><td>リード、セパレート、ADVZ 有効</td><td>11-31</td></tr> <tr><td>図 11.10</td><td>非同期 SRAM</td><td>リード、マルチプレクス、ADVZ 有効</td><td>11-32</td></tr> <tr><td>図 11.11</td><td>非同期 SRAM</td><td>ライト、セパレート、ADVZ 無効</td><td>11-33</td></tr> <tr><td>図 11.12</td><td>非同期 SRAM</td><td>ライト、セパレート、ADVZ 有効</td><td>11-34</td></tr> <tr><td>図 11.13</td><td>非同期 SRAM</td><td>ライト、マルチプレクス、ADVZ 有効、WE_TIME=0</td><td>11-35</td></tr> <tr><td>図 11.14</td><td>非同期 SRAM</td><td>ライト、マルチプレクス、ADVZ 有効、WE_TIME=1</td><td>11-36</td></tr> <tr><td>図 11.15</td><td>同期 SRAM</td><td>リード、セパレート、ADVZ 有効</td><td>11-37</td></tr> <tr><td>図 11.16</td><td>同期 SRAM</td><td>リード、マルチプレクス、ADVZ 有効</td><td>11-38</td></tr> <tr><td>図 11.17</td><td>同期 SRAM</td><td>4 バースト・リード、マルチプレクス、ADVZ 有効</td><td>11-39</td></tr> <tr><td>図 11.18</td><td>同期 SRAM</td><td>ライト、セパレート、ADVZ</td><td>11-40</td></tr> <tr><td>図 11.19</td><td>同期 SRAM</td><td>8 バースト・ライト、セパレート、ADVZ</td><td>11-41</td></tr> <tr><td>図 11.20</td><td>同期 SRAM</td><td>ライト、マルチプレクス、ADVZ 有効</td><td>11-42</td></tr> <tr><td>図 11.21</td><td>同期 SRAM</td><td>4 バースト・ライト、マルチプレクス、ADVZ 有効</td><td>11-43</td></tr> <tr><td>図 11.22</td><td>同期 SRAM</td><td>リード、外部ウエイト・タイミング</td><td>11-44</td></tr> <tr><td>図 11.23</td><td>同期 SRAM</td><td>ライト、外部ウエイト・タイミング</td><td>11-45</td></tr> </tbody> </table>	図番号	メモリ・タイプ	アクセス条件	ページ	図 11.7	非同期 SRAM	リード、セパレート、ADVZ 有効	11-29	図 11.8	非同期 SRAM	リード、セパレート、ADVZ 無効	11-30	図 11.9	ページ ROM	リード、セパレート、ADVZ 有効	11-31	図 11.10	非同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-32	図 11.11	非同期 SRAM	ライト、セパレート、ADVZ 無効	11-33	図 11.12	非同期 SRAM	ライト、セパレート、ADVZ 有効	11-34	図 11.13	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=0	11-35	図 11.14	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=1	11-36	図 11.15	同期 SRAM	リード、セパレート、ADVZ 有効	11-37	図 11.16	同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-38	図 11.17	同期 SRAM	4 バースト・リード、マルチプレクス、ADVZ 有効	11-39	図 11.18	同期 SRAM	ライト、セパレート、ADVZ	11-40	図 11.19	同期 SRAM	8 バースト・ライト、セパレート、ADVZ	11-41	図 11.20	同期 SRAM	ライト、マルチプレクス、ADVZ 有効	11-42	図 11.21	同期 SRAM	4 バースト・ライト、マルチプレクス、ADVZ 有効	11-43	図 11.22	同期 SRAM	リード、外部ウエイト・タイミング	11-44	図 11.23	同期 SRAM	ライト、外部ウエイト・タイミング	11-45
図番号	メモリ・タイプ	アクセス条件	ページ																																																																																																																																												
図 11.4	非同期 SRAM	リード、セパレート、ADVZ 有効	11-29																																																																																																																																												
図 11.5	非同期 SRAM	リード、セパレート、ADVZ 無効	11-30																																																																																																																																												
図 11.6	PageROM	リード、セパレート、ADVZ 有効	11-31																																																																																																																																												
図 11.7	非同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-32																																																																																																																																												
図 11.8	非同期 SRAM	ライト、セパレート、ADVZ 無効	11-33																																																																																																																																												
図 11.9	非同期 SRAM	ライト、セパレート、ADVZ 有効	11-34																																																																																																																																												
図 11.10	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=0	11-35																																																																																																																																												
図 11.11	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=1	11-36																																																																																																																																												
図 11.12	同期 SRAM	リード、セパレート、ADVZ 有効	11-37																																																																																																																																												
図 11.13	同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-38																																																																																																																																												
図 11.14	同期 SRAM	4 バースト・リード、マルチプレクス、ADVZ 有効	11-39																																																																																																																																												
図 11.15	同期 SRAM	ライト、セパレート、ADVZ	11-40																																																																																																																																												
図 11.16	同期 SRAM	8 バースト・ライト、セパレート、ADVZ	11-41																																																																																																																																												
図 11.17	同期 SRAM	ライト、マルチプレクス、ADVZ 有効	11-42																																																																																																																																												
図 11.18	同期 SRAM	4 バースト・ライト、マルチプレクス、ADVZ 有効	11-43																																																																																																																																												
図 11.19	同期 SRAM	外部ウエイト・タイミング	11-44																																																																																																																																												
図番号	メモリ・タイプ	アクセス条件	ページ																																																																																																																																												
図 11.7	非同期 SRAM	リード、セパレート、ADVZ 有効	11-29																																																																																																																																												
図 11.8	非同期 SRAM	リード、セパレート、ADVZ 無効	11-30																																																																																																																																												
図 11.9	ページ ROM	リード、セパレート、ADVZ 有効	11-31																																																																																																																																												
図 11.10	非同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-32																																																																																																																																												
図 11.11	非同期 SRAM	ライト、セパレート、ADVZ 無効	11-33																																																																																																																																												
図 11.12	非同期 SRAM	ライト、セパレート、ADVZ 有効	11-34																																																																																																																																												
図 11.13	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=0	11-35																																																																																																																																												
図 11.14	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=1	11-36																																																																																																																																												
図 11.15	同期 SRAM	リード、セパレート、ADVZ 有効	11-37																																																																																																																																												
図 11.16	同期 SRAM	リード、マルチプレクス、ADVZ 有効	11-38																																																																																																																																												
図 11.17	同期 SRAM	4 バースト・リード、マルチプレクス、ADVZ 有効	11-39																																																																																																																																												
図 11.18	同期 SRAM	ライト、セパレート、ADVZ	11-40																																																																																																																																												
図 11.19	同期 SRAM	8 バースト・ライト、セパレート、ADVZ	11-41																																																																																																																																												
図 11.20	同期 SRAM	ライト、マルチプレクス、ADVZ 有効	11-42																																																																																																																																												
図 11.21	同期 SRAM	4 バースト・ライト、マルチプレクス、ADVZ 有効	11-43																																																																																																																																												
図 11.22	同期 SRAM	リード、外部ウエイト・タイミング	11-44																																																																																																																																												
図 11.23	同期 SRAM	ライト、外部ウエイト・タイミング	11-45																																																																																																																																												

No.88 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

リード・データのラッチタイミングを明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-29	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.4 非同期 SRAM、セパレート、リード・アクセス (ADVZ 有効)</p> <p><math>T\_RC3-T\_RC0 = 0010B</math> (2 サイクル), <math>T\_TR2-T\_TR0 = 001B</math> (1 サイクル),  <math>T\_CEOE2-T\_CEOE0 = 001B</math> (1 サイクル)</p>	11-29	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.7 非同期 SRAM、セパレート、リード・アクセス (ADVZ 有効)</p> <p>備考. ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 001B (1 サイクル)          T_CEOE[2:0] = 001B (1 サイクル)          T_RC[3:0] = 0010B (2 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          RD_BL = 000B (シングル・アクセス)          RD_SYNC = 0B (非同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.89 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

リード・データのラッチタイミングを明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-30	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.5 非同期 SRAM、セパレート、リード・アクセス (ADVZ 無効)</p> <p><math>T\_RC3-T\_RC0 = 0110B</math> (6 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル),  <math>T\_CEOE2-T\_CEOE0 = 002B</math> (2 サイクル)</p>	11-30	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.8 非同期 SRAM、セパレート、リード・アクセス (ADVZ 無効)</p> <p>備考: ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 010B (2 サイクル)          T_CEOE[2:0] = 010B (2 サイクル)          T_RC[3:0] = 0110B (6 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 0B (ADVZ 端子無効)          RD_BL = 000B (シングル・アクセス)          RD_SYNC = 0B (非同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.90 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

リード・データのラッチタイミングを明示

動作モード設定端子およびレジスタ設定値を備考として補足

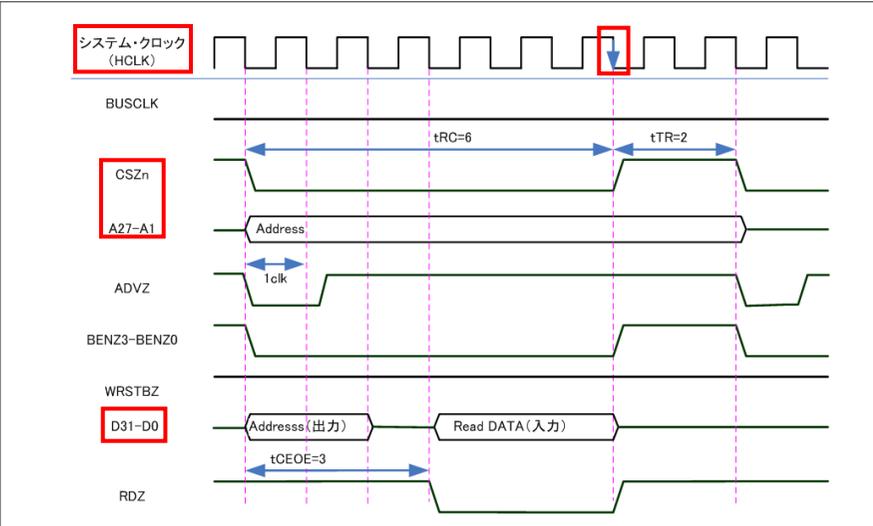
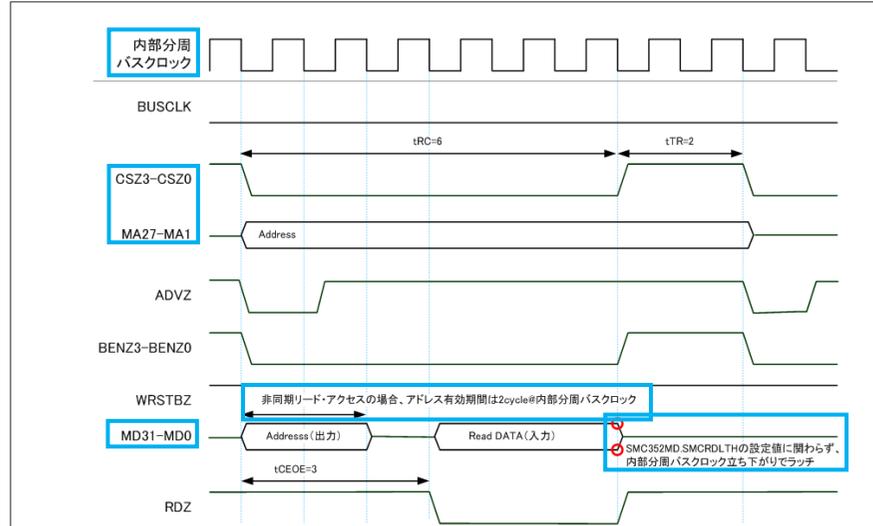
V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-31	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.6 非同期 PageROM、セパレート、リード・アクセス (ADVZ 有効)</p> <p><math>T_{RC3-T_{RC0}} = 0100B</math> (4 サイクル), <math>T_{TR2-T_{TR0}} = 001B</math> (1 サイクル),  <math>T_{CEOE2-T_{CEOE0}} = 010B</math> (2 サイクル), <math>T_{PC2-T_{PC0}} = 010B</math> (2 サイクル)</p>	11-31	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.9 非同期 ページ ROM、セパレート、リード・アクセス (ADVZ 有効)</p> <p>備考: ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 001B (1 サイクル)          T_PC[2:0] = 010B (2 サイクル)          T_CEOE[2:0] = 010B (2 サイクル)          T_RC[3:0] = 0100B (4 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          RD_BL = 001B (最大 4 バースト)          RD_SYNC = 0B (非同期アクセス)          MW[1:0] = 10B (データ・パス幅: 32bit)</p>

No.91 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

アドレス有効期間、リード・データのラッチタイミングを明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-32	<p>【11.4.1 非同期アクセス・タイミング】</p>  <p>図 11.7 非同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)</p> <p><math>T\_RC3-T\_RC0 = 0110B</math> (6 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル),  <math>T\_CEOE2-T\_CEOE0 = 011B</math> (3 サイクル)</p>	11-32	<p>【11.4.1 非同期アクセス・タイミング】</p>  <p>図 11.10 非同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)</p> <p>備考: ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード)          SET_CYCLES.T_TR[2:0] = 010B (2 サイクル)          T_CEOE[2:0] = 011B (3 サイクル)          T_RC[3:0] = 0110B (6 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          RD_BL = 000B (シングル・アクセス)          RD_SYNC = 0B (非同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.92 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-33	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.8 非同期 SRAM、セパレート、ライト・アクセス (ADVZ 無効)</p> <p><math>T\_WC3-T\_WC0 = 0110B</math> (2 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (1 サイクル),  <math>T\_WP2-T\_WP0 = 001B</math> (1 サイクル)</p>	11-33	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.11 非同期 SRAM、セパレート、ライト・アクセス (ADVZ 無効)</p> <p>備考. ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 001B (1 サイクル)              T_WP[2:0] = 001B (1 サイクル)              T_WC[3:0] = 0010B (2 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)              BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)              ADV = 0B (ADVZ 端子無効)              WR_BL = 000B (シングル・アクセス)              WR_SYNC = 0B (非同期アクセス)              MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.93 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-34	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.9 非同期 SRAM、セパレート、ライト・アクセス (ADVZ 有効)</p> <p><math>T\_WC3-T\_WC0 = 0110B</math> (6 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル),  <math>T\_WP2-T\_WP0 = 001B</math> (1 サイクル)</p>	11-34	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.12 非同期 SRAM、セパレート、ライト・アクセス (ADVZ 有効)</p> <p>備考. ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 010B (2 サイクル)              T_WP[2:0] = 001B (1 サイクル)              T_WC[3:0] = 0110B (6 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZO-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          WR_BL = 000B (シングル・アクセス)          WR_SYNC = 0B (非同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.94 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

アドレス有効期間、WRSTBZ 端子のアサートタイミングを明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-35	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.10 非同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効/WE_TIME=0)</p> <p><math>T\_WC3-T\_WC0 = 0110B</math> (6 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル),  <math>T\_WP2-T\_WP0 = 001B</math> (1 サイクル), <math>WE\_TIME = 0</math></p>	11-35	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.13 非同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効/WE_TIME=0)</p> <p>備考: ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード)          SET_CYCLES.WE_TIME = 0B (CSZ アサートの 2 サイクル後に WRSTBZ アサート)  <math>T\_TR[2:0] = 010B</math> (2 サイクル)  <math>T\_WP[2:0] = 010B</math> (2 サイクル)  <math>T\_WC[3:0] = 0110B</math> (6 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)  <math>BLS\_TIME = 0B</math> (BENZO-3 端子をバイト・イネーブルとして使用)  <math>ADV = 1B</math> (ADVZ 端子有効)  <math>WR\_BL = 000B</math> (シングル・アクセス)  <math>WR\_SYNC = 0B</math> (非同期アクセス)  <math>MW[1:0] = 10B</math> (データ・バス幅: 32bit)</p>

No.95 11.4.1 非同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

アドレス有効期間、WRSTBZ 端子のアサートタイミングを明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-36	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.11 非同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効/WE_TIME=1)</p> <p><math>T\_WC3-T\_WC0 = 0110B</math> (6 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル),  <math>T\_WP2-T\_WP0 = 0101B</math> (2 サイクル), <math>WE\_TIME = 1</math></p>	11-36	<p>【11.4.1 非同期アクセス・タイミング】</p> <p>図 11.14 非同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効/WE_TIME=1)</p> <p>備考. ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード)          SET_CYCLES.WE_TIME = 1B (CSZ と同時に WRSTBZ アサート)  <math>T\_TR[2:0] = 010B</math> (2 サイクル)  <math>T\_WP[2:0] = 010B</math> (2 サイクル)  <math>T\_WC[3:0] = 0110B</math> (6 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)  <math>BLS\_TIME = 0B</math> (BENZ0-3 端子をバイト・イネーブルとして使用)  <math>ADV = 1B</math> (ADVZ 端子有効)  <math>WR\_BL = 000B</math> (シングル・アクセス)  <math>WR\_SYNC = 0B</math> (非同期アクセス)  <math>MW[1:0] = 10B</math> (データ・バス幅: 32bit)</p>

No.96 11.4.2 同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

リード・データのラッチタイミング表記を変更

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-37	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.12 同期 SRAM、セパレート、リード・アクセス (ADVZ 有効)</p> <p><math>T\_RC3-T\_RC0 = 0110B</math> (6 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル),  <math>T\_CEOE2-T\_CEOE0 = 010B</math> (2 サイクル)</p>	11-37	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.15 同期 SRAM、セパレート、リード・アクセス (ADVZ 有効)</p> <p>備考: ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 010B (2 サイクル)          T_CEOE[2:0] = 010B (2 サイクル)          T_RC[3:0] = 0110B (6 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          RD_BL = 000B (シングル・アクセス)          RD_SYNC = 1B (同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.97 11.4.2 同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正  
 アドレス有効期間、リード・データのラッチタイミングを明記  
 動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-38	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.13 同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)</p> <p><math>T\_RC3-T\_RC0 = 0101B</math> (5 サイクル), <math>T\_TR2-T\_TR0 = 011B</math> (3 サイクル),  <math>T\_CEOE2-T\_CEOE0 = 011B</math> (3 サイクル)</p>	11-38	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.16 同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)</p> <p>備考. ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード)          SET_CYCLES.T_TR[2:0] = 011B (3 サイクル)          T_CEOE[2:0] = 011B (3 サイクル)          T_RC[3:0] = 0101B (5 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          RD_BL = 000B (シングル・アクセス)          RD_SYNC = 1B (同期アクセス)          MW[1:0] = 10B (データ・バス幅 : 32bit)</p>

No.98 11.4.2 同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

アドレス有効期間、リード・データのラッチタイミングを明記

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-39	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.14 同期 SRAM、マルチプレクス、リード・バースト・アクセス (ADVZ 有効/4 ビート)</p> <p><math>T_{RC3}-T_{RC0} = 0011B</math> (3 サイクル), <math>T_{TR2}-T_{TR0} = 010B</math> (1 サイクル),  <math>T_{CEOE2}-T_{CEOE0} = 010B</math> (2 サイクル)</p>	11-39	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.17 同期 SRAM、マルチプレクス、リード・4 バースト・アクセス (ADVZ 有効)</p> <p>備考. ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード)          SET_CYCLES.T_TR[2:0] = 010B (2 サイクル)          T_CEOE[2:0] = 010B (2 サイクル)          T_RC[3:0] = 0011B (3 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          RD_BL = 001B (最大 4 バースト)          RD_SYNC = 1B (同期アクセス)          MW[1:0] = 10B (データ・バス幅 : 32bit)</p>

No.99 11.4.2 同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-40	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.15 同期 SRAM、セパレート、ライト・アクセス (ADVZ 有効)</p> <p><math>T\_WC3-T\_WC0 = 0110B</math> (6 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (1 サイクル),  <math>T\_WP2-T\_WP0 = 001B</math> (1 サイクル)</p>	11-40	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.18 同期 SRAM、セパレート、ライト・アクセス (ADVZ 有効)</p> <p>備考: ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 010B (2 サイクル)          T_WP[2:0] = 001B (1 サイクル)          T_WC[3:0] = 0110B (6 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          WR_BL = 000B (シングル・アクセス)          WR_SYNC = 1B (同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.100 11.4.2 同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-41	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.16 同期 SRAM、セパレート、バースト・ライト・アクセス (ADVZ 有効/8 ビート)</p> <p>T_WC3-T_WC0 = 0110B (6 サイクル), T_TR2-T_TR0 = 010B (1 サイクル), T_WP2-T_WP0 = 001B (1 サイクル)</p>	11-41	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.19 同期 SRAM、セパレート、8 バースト・ライト・アクセス (ADVZ 有効)</p> <p>備考. ADMUXMODE 端子 = ロー・レベル (セパレート・モード) SET_CYCLES.T_TR[2:0] = 001B (1 サイクル) T_WP[2:0] = 010B (2 サイクル) T_WC[3:0] = 0011B (3 サイクル) SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし) BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用) ADV = 1B (ADVZ 端子有効) WR_BL = 010B (最大 8 バースト) WR_SYNC = 1B (同期アクセス) MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.101 11.4.2 同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

アドレス有効期間を明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-42	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.17 同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効)</p> <p><math>T\_WC3-T\_WC0 = 0101B</math> (5 サイクル), <math>T\_TR2-T\_TR0 = 011B</math> (3 サイクル),  <math>T\_WP2-T\_WP0 = 010B</math> (2 サイクル)</p>	11-42	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.20 同期 SRAM、マルチプレクス、ライト・アクセス (ADVZ 有効)</p> <p>備考: ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード)          SET_CYCLES.T_TR[2:0] = 011B (3 サイクル)          T_WP[2:0] = 010B (2 サイクル)          T_WC[3:0] = 0101B (5 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          WR_BL = 000B (シングル・アクセス)          WR_SYNC = 1B (同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.102 11.4.2 同期アクセス・タイミング

外部メモリ・インタフェース端子名を修正

アドレス有効期間を明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-43	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.18 同期 SRAM、マルチプレクス、バースト・ライト・アクセス (ADVZ 有効/4 ビート)</p> <p><math>T\_WC3-T\_WC0 = 0011B</math> (3 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル),  <math>T\_WP2-T\_WP0 = 010B</math> (2 サイクル)</p>	11-43	<p>【11.4.2 同期アクセス・タイミング】</p> <p>図 11.21 同期 SRAM、マルチプレクス、4 バースト・ライト・アクセス (ADVZ 有効)</p> <p>備考: ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード)          SET_CYCLES.T_TR[2:0] = 010B (2 サイクル)          T_WP[2:0] = 010B (2 サイクル)          T_WC[3:0] = 0011B (3 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          WR_BL = 001B (最大 4 バースト)          WR_SYNC = 1B (同期アクセス)          MW[1:0] = 10B (データ・バス幅: 32bit)</p>

No.103 11.4.3 ウェイト・タイミング

ウェイト発生時の注意を追記

外部メモリ・インタフェース端子名を修正

アドレス有効期間、リード・データおよびウェイト信号のラッチタイミングを明示

動作モード設定端子およびレジスタ設定値を備考として補足

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
11-44	<p><b>【11.4.2 同期アクセス・タイミング】</b> 外部ウェイト入力は、内部クロックでラッチするため、1 サイクル前の状態が有効になります。</p> <p>図 11.19 同期 SRAM、外部ウェイト、リード・アクセス (ADVZ 有効)</p> <p><math>T\_RC3-T\_RC0 = 0011B</math> (3 サイクル), <math>T\_TR2-T\_TR0 = 010B</math> (2 サイクル), <math>T\_CEOE2-T\_CEOE0 = 010B</math> (2 サイクル)</p>	11-44	<p><b>【11.4.3 ウェイト・タイミング】</b> ウェイト信号 (WAITZ、WAITZ1-WAITZ3) は、同期アクセス時のみ有効となります。</p> <p>注意. ウェイト信号は内部クロックでラッチするため、1 サイクル前の状態が有効となります。 <math>tRC/AWC</math> の設定値が "N" の場合、"N - 1" サイクル以降のウェイト信号が有効となります。</p> <p>図 11.22 同期 SRAM、マルチプレクス、リード・アクセス (ADVZ 有効)</p> <p>備考. ADMUXMODE 端子 = ハイ・レベル (マルチプレクス・モード) SET_CYCLES.T_TR[2:0] = 010B (2 サイクル) T_CEOE[2:0] = 010B (2 サイクル) T_RC[3:0] = 0100B (4 サイクル) SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし) BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用) ADV = 1B (ADVZ 端子有効) RD_BL = 000B (シングル・アクセス) RD_SYNC = 1B (同期アクセス) MW[1:0] = 10B (データ・バス幅 : 32bit)</p>

No.104 11.4.3 ウェイト・タイミング

図 11.23 を新規追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	11-45	<p><b>【11.4.3 ウェイト・タイミング】</b></p> <p>図 11.23 同期 SRAM、セパレート、4 バースト・ライト・アクセス (ADVZ 有効)</p> <p><b>備考.</b> ADMUXMODE 端子 = ロー・レベル (セパレート・モード)          SET_CYCLES.T_TR[2:0] = 001B (1 サイクル)          T_WP[2:0] = 0010B (2 サイクル)          T_WC[3:0] = 0011B (3 サイクル)          SET_OPMODE.BURST_ALIGN[2:0] = 000B (バースト境界なし)          BLS_TIME = 0B (BENZ0-3 端子をバイト・イネーブルとして使用)          ADV = 1B (ADVZ 端子有効)          WR_BL[2:0] = 001B (最大 4 バースト)          WR_SYNC = 1B (同期アクセス)          MW[1:0] = 10B (データ・バス幅 : 32bit)</p>

No.105 13.5 設定例

シリアル・フラッシュ ROM メモリ・コントローラ設定例を追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	(記載なし)	13-45 ~ 13-62	<b>【13.5 設定例】</b>

No.106 14.9.1 設定例 1 (レジスタ・モード、シングル転送モード、ハードウェア・トリガ)

割り込み略号を修正

V1.00		V2.00																																																																																																							
ページ	記載内容	ページ	改訂内容																																																																																																						
14-142	<p><b>【14.9.1 設定例 1(レジスタ・モード、シングル転送モード、ハードウェア・トリガ)】</b> [表 14.35 設定例 1 のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]</p> <div style="border: 1px solid black; padding: 5px;"> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;"></td> <td style="text-align: center;">31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</td> <td style="width: 10%; text-align: right;">アドレス</td> </tr> <tr> <td style="text-align: center;">CHCFG1</td> <td style="text-align: center;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 2.5%;">DMS</td><td style="width: 2.5%;">REN</td><td style="width: 2.5%;">RSW</td><td style="width: 2.5%;">RSEL</td><td style="width: 2.5%;">SBE</td><td style="width: 2.5%;">DIM</td><td style="width: 2.5%;">TCM</td><td style="width: 2.5%;">WONLY</td><td style="width: 2.5%;">TM</td><td style="width: 2.5%;">DAD</td><td style="width: 2.5%;">SAD</td><td style="width: 2.5%;">DDS3- DDS0</td><td style="width: 2.5%;">SDS3- SDS0</td><td style="width: 2.5%;">DRRP</td><td style="width: 2.5%;">AM2- AM0</td><td style="width: 2.5%;">0</td><td style="width: 2.5%;">LVL</td><td style="width: 2.5%;">LEN</td><td style="width: 2.5%;">HEN</td><td style="width: 2.5%;">REQD</td><td style="width: 2.5%;">SEL2- SEL0</td> </tr> </table> </td> <td style="text-align: right; vertical-align: top;">400A 286CH 初期値 0000 0000H</td> </tr> <tr> <td>設定値</td> <td style="text-align: center;">0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 1</td> <td></td> </tr> </table> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>DMS</td> <td>0: レジスタ・モード</td> </tr> <tr> <td>30</td> <td>REN</td> <td>0: 連続実行しない</td> </tr> <tr> <td>29</td> <td>RSW</td> <td>0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない</td> </tr> <tr> <td>28</td> <td>RSEL</td> <td>0: 次の DMA 転送に Next0 レジスタ・セットを使用する</td> </tr> <tr> <td>27</td> <td>SBE</td> <td>0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止</td> </tr> <tr> <td>26</td> <td>DIM</td> <td>0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない</td> </tr> </tbody> </table> </div>		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	CHCFG1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 2.5%;">DMS</td><td style="width: 2.5%;">REN</td><td style="width: 2.5%;">RSW</td><td style="width: 2.5%;">RSEL</td><td style="width: 2.5%;">SBE</td><td style="width: 2.5%;">DIM</td><td style="width: 2.5%;">TCM</td><td style="width: 2.5%;">WONLY</td><td style="width: 2.5%;">TM</td><td style="width: 2.5%;">DAD</td><td style="width: 2.5%;">SAD</td><td style="width: 2.5%;">DDS3- DDS0</td><td style="width: 2.5%;">SDS3- SDS0</td><td style="width: 2.5%;">DRRP</td><td style="width: 2.5%;">AM2- AM0</td><td style="width: 2.5%;">0</td><td style="width: 2.5%;">LVL</td><td style="width: 2.5%;">LEN</td><td style="width: 2.5%;">HEN</td><td style="width: 2.5%;">REQD</td><td style="width: 2.5%;">SEL2- SEL0</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0	400A 286CH 初期値 0000 0000H	設定値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 1		ビット位置	ビット名	意味	31	DMS	0: レジスタ・モード	30	REN	0: 連続実行しない	29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない	28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する	27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止	26	DIM	0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない	14-142	<p><b>【14.9.1 設定例 1(レジスタ・モード、シングル転送モード、ハードウェア・トリガ)】</b> [表 14.35 設定例 1 のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]</p> <div style="border: 1px solid black; padding: 5px;"> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;"></td> <td style="text-align: center;">31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</td> <td style="width: 10%; text-align: right;">アドレス</td> </tr> <tr> <td style="text-align: center;">CHCFG1</td> <td style="text-align: center;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 2.5%;">DMS</td><td style="width: 2.5%;">REN</td><td style="width: 2.5%;">RSW</td><td style="width: 2.5%;">RSEL</td><td style="width: 2.5%;">SBE</td><td style="width: 2.5%;">DIM</td><td style="width: 2.5%;">TCM</td><td style="width: 2.5%;">WONLY</td><td style="width: 2.5%;">TM</td><td style="width: 2.5%;">DAD</td><td style="width: 2.5%;">SAD</td><td style="width: 2.5%;">DDS3- DDS0</td><td style="width: 2.5%;">SDS3- SDS0</td><td style="width: 2.5%;">DRRP</td><td style="width: 2.5%;">AM2- AM0</td><td style="width: 2.5%;">0</td><td style="width: 2.5%;">LVL</td><td style="width: 2.5%;">LEN</td><td style="width: 2.5%;">HEN</td><td style="width: 2.5%;">REQD</td><td style="width: 2.5%;">SEL2- SEL0</td> </tr> </table> </td> <td style="text-align: right; vertical-align: top;">400A 286CH 初期値 0000 0000H</td> </tr> <tr> <td>設定値</td> <td style="text-align: center;">0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 1</td> <td></td> </tr> </table> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>DMS</td> <td>0: レジスタ・モード</td> </tr> <tr> <td>30</td> <td>REN</td> <td>0: 連続実行しない</td> </tr> <tr> <td>29</td> <td>RSW</td> <td>0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない</td> </tr> <tr> <td>28</td> <td>RSEL</td> <td>0: 次の DMA 転送に Next0 レジスタ・セットを使用する</td> </tr> <tr> <td>27</td> <td>SBE</td> <td>0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止</td> </tr> <tr> <td>26</td> <td>DIM</td> <td>0: リンク・モードで LV=0 の場合、INTDMA01 をマスクしない</td> </tr> </tbody> </table> </div>		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	CHCFG1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 2.5%;">DMS</td><td style="width: 2.5%;">REN</td><td style="width: 2.5%;">RSW</td><td style="width: 2.5%;">RSEL</td><td style="width: 2.5%;">SBE</td><td style="width: 2.5%;">DIM</td><td style="width: 2.5%;">TCM</td><td style="width: 2.5%;">WONLY</td><td style="width: 2.5%;">TM</td><td style="width: 2.5%;">DAD</td><td style="width: 2.5%;">SAD</td><td style="width: 2.5%;">DDS3- DDS0</td><td style="width: 2.5%;">SDS3- SDS0</td><td style="width: 2.5%;">DRRP</td><td style="width: 2.5%;">AM2- AM0</td><td style="width: 2.5%;">0</td><td style="width: 2.5%;">LVL</td><td style="width: 2.5%;">LEN</td><td style="width: 2.5%;">HEN</td><td style="width: 2.5%;">REQD</td><td style="width: 2.5%;">SEL2- SEL0</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0	400A 286CH 初期値 0000 0000H	設定値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 1		ビット位置	ビット名	意味	31	DMS	0: レジスタ・モード	30	REN	0: 連続実行しない	29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない	28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する	27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止	26	DIM	0: リンク・モードで LV=0 の場合、INTDMA01 をマスクしない
	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																																																																																																							
CHCFG1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 2.5%;">DMS</td><td style="width: 2.5%;">REN</td><td style="width: 2.5%;">RSW</td><td style="width: 2.5%;">RSEL</td><td style="width: 2.5%;">SBE</td><td style="width: 2.5%;">DIM</td><td style="width: 2.5%;">TCM</td><td style="width: 2.5%;">WONLY</td><td style="width: 2.5%;">TM</td><td style="width: 2.5%;">DAD</td><td style="width: 2.5%;">SAD</td><td style="width: 2.5%;">DDS3- DDS0</td><td style="width: 2.5%;">SDS3- SDS0</td><td style="width: 2.5%;">DRRP</td><td style="width: 2.5%;">AM2- AM0</td><td style="width: 2.5%;">0</td><td style="width: 2.5%;">LVL</td><td style="width: 2.5%;">LEN</td><td style="width: 2.5%;">HEN</td><td style="width: 2.5%;">REQD</td><td style="width: 2.5%;">SEL2- SEL0</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0	400A 286CH 初期値 0000 0000H																																																																																		
DMS	REN	RSW	RSEL	SBE	DIM	TCM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0																																																																																					
設定値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 1																																																																																																								
ビット位置	ビット名	意味																																																																																																							
31	DMS	0: レジスタ・モード																																																																																																							
30	REN	0: 連続実行しない																																																																																																							
29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない																																																																																																							
28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する																																																																																																							
27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止																																																																																																							
26	DIM	0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない																																																																																																							
	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																																																																																																							
CHCFG1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 2.5%;">DMS</td><td style="width: 2.5%;">REN</td><td style="width: 2.5%;">RSW</td><td style="width: 2.5%;">RSEL</td><td style="width: 2.5%;">SBE</td><td style="width: 2.5%;">DIM</td><td style="width: 2.5%;">TCM</td><td style="width: 2.5%;">WONLY</td><td style="width: 2.5%;">TM</td><td style="width: 2.5%;">DAD</td><td style="width: 2.5%;">SAD</td><td style="width: 2.5%;">DDS3- DDS0</td><td style="width: 2.5%;">SDS3- SDS0</td><td style="width: 2.5%;">DRRP</td><td style="width: 2.5%;">AM2- AM0</td><td style="width: 2.5%;">0</td><td style="width: 2.5%;">LVL</td><td style="width: 2.5%;">LEN</td><td style="width: 2.5%;">HEN</td><td style="width: 2.5%;">REQD</td><td style="width: 2.5%;">SEL2- SEL0</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0	400A 286CH 初期値 0000 0000H																																																																																		
DMS	REN	RSW	RSEL	SBE	DIM	TCM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0																																																																																					
設定値	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 1																																																																																																								
ビット位置	ビット名	意味																																																																																																							
31	DMS	0: レジスタ・モード																																																																																																							
30	REN	0: 連続実行しない																																																																																																							
29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない																																																																																																							
28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する																																																																																																							
27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止																																																																																																							
26	DIM	0: リンク・モードで LV=0 の場合、INTDMA01 をマスクしない																																																																																																							

No.107 14.9.1 設定例1 (レジスタ・モード、シングル転送モード、ハードウェア・トリガ)

割り込み略号を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
14-143	<p>【14.9.1 設定例1(レジスタ・モード、シングル転送モード、ハードウェア・トリガ)】</p> <pre> graph TD     START([START]) --&gt; DCTRL[DCTRL ← 0000 0000H (PR ← 0)]     DCTRL --- P1[固定優先順位]     DCTRL --&gt; N0SA1["N0SA1 ← 1000 0000H N0DA1 ← 2000 0000H N0TB1 ← 0000 0040H CHCFG1 ← 0002 2021H CHITVL1 ← 0000 0000H"]     N0SA1 --- P2["・転送元アドレス:1000 0000H ・転送先アドレス:2000 0000H ・転送サイズ:64 バイト ・インターバル:なし"]     N0SA1 --&gt; CHCTRL1_1["CHCTRL1 ← 0000 0008H (SWRST ← 1)"]     CHCTRL1_1 --- P3[ステータスをクリア]     CHCTRL1_1 --&gt; CHCTRL1_2["CHCTRL1 ← 0000 0001H (EN ← 1)"]     CHCTRL1_2 --- P4[転送許可]     CHCTRL1_2 --&gt; DMA[DMA転送]     DMA --&gt; INTDMA1["INTDMA1 転送完了割り込み発生"]     INTDMA1 --- P5[ステータス・チェック CHSTAT1.TACT = 0?]     INTDMA1 --&gt; END([END])     </pre>	14-143	<p>【14.9.1 設定例1(レジスタ・モード、シングル転送モード、ハードウェア・トリガ)】</p> <pre> graph TD     START([START]) --&gt; DCTRL[DCTRL ← 0000 0000H (PR ← 0)]     DCTRL --- P1[固定優先順位]     DCTRL --&gt; N0SA1["N0SA1 ← 1000 0000H N0DA1 ← 2000 0000H N0TB1 ← 0000 0040H CHCFG1 ← 0002 2021H CHITVL1 ← 0000 0000H"]     N0SA1 --- P2["・転送元アドレス:1000 0000H ・転送先アドレス:2000 0000H ・転送サイズ:64 バイト ・インターバル:なし"]     N0SA1 --&gt; CHCTRL1_1["CHCTRL1 ← 0000 0008H (SWRST ← 1)"]     CHCTRL1_1 --- P3[ステータスをクリア]     CHCTRL1_1 --&gt; CHCTRL1_2["CHCTRL1 ← 0000 0001H (EN ← 1)"]     CHCTRL1_2 --- P4[転送許可]     CHCTRL1_2 --&gt; DMA[DMA転送]     DMA --&gt; INTDMA1["INTDMA1 転送完了割り込み発生"]     INTDMA1 --- P5[ステータス・チェック CHSTAT1.TACT = 0?]     INTDMA1 --&gt; END([END])     </pre>
	<p>図 14.38 設定例1の動作フロー</p>		<p>図 14.38 設定例1の動作フロー</p>

No.108 14.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)

CHCFG2 レジスタの設定値を修正

V1.00			V2.00																																																		
ページ	記載内容		ページ	改訂内容																																																	
14-144	<p>【14.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】 [表 14.37 設定例 2 のレジスタ設定]</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>設定値</th> <th>設定内容等</th> </tr> </thead> <tbody> <tr> <td>DCTRL</td> <td>0000 0001H</td> <td>優先順位設定 (ラウンドロビン・モード)</td> </tr> <tr> <td>N1SA2</td> <td>1100 0000H</td> <td>転送元アドレス</td> </tr> <tr> <td>N1DA2</td> <td>2007 0000H</td> <td>転送先アドレス</td> </tr> <tr> <td>N1TB2</td> <td>0000 0080H</td> <td>トランザクション・データ・バイト数</td> </tr> <tr> <td>CHCFG2</td> <td>1045 0402H</td> <td>チャンネル・コンフィギュレーション</td> </tr> <tr> <td>CHITVL2</td> <td>0000 0000H</td> <td>転送間隔最短</td> </tr> <tr> <td>DTFR2</td> <td>0000 0000H</td> <td>ハードウェア・トリガをマスク</td> </tr> </tbody> </table>		レジスタ	設定値	設定内容等	DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)	N1SA2	1100 0000H	転送元アドレス	N1DA2	2007 0000H	転送先アドレス	N1TB2	0000 0080H	トランザクション・データ・バイト数	CHCFG2	1045 0402H	チャンネル・コンフィギュレーション	CHITVL2	0000 0000H	転送間隔最短	DTFR2	0000 0000H	ハードウェア・トリガをマスク	14-144	<p>【14.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】 [表 14.37 設定例 2 のレジスタ設定]</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>設定値</th> <th>設定内容等</th> </tr> </thead> <tbody> <tr> <td>DCTRL</td> <td>0000 0001H</td> <td>優先順位設定 (ラウンドロビン・モード)</td> </tr> <tr> <td>N1SA2</td> <td>1100 0000H</td> <td>転送元アドレス</td> </tr> <tr> <td>N1DA2</td> <td>2007 0000H</td> <td>転送先アドレス</td> </tr> <tr> <td>N1TB2</td> <td>0000 0080H</td> <td>トランザクション・データ・バイト数</td> </tr> <tr> <td>CHCFG2</td> <td>1245 0402H</td> <td>チャンネル・コンフィギュレーション</td> </tr> <tr> <td>CHITVL2</td> <td>0000 0000H</td> <td>転送間隔最短</td> </tr> <tr> <td>DTFR2</td> <td>0000 0000H</td> <td>ハードウェア・トリガをマスク</td> </tr> </tbody> </table>		レジスタ	設定値	設定内容等	DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)	N1SA2	1100 0000H	転送元アドレス	N1DA2	2007 0000H	転送先アドレス	N1TB2	0000 0080H	トランザクション・データ・バイト数	CHCFG2	1245 0402H	チャンネル・コンフィギュレーション	CHITVL2	0000 0000H	転送間隔最短	DTFR2	0000 0000H	ハードウェア・トリガをマスク
レジスタ	設定値	設定内容等																																																			
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)																																																			
N1SA2	1100 0000H	転送元アドレス																																																			
N1DA2	2007 0000H	転送先アドレス																																																			
N1TB2	0000 0080H	トランザクション・データ・バイト数																																																			
CHCFG2	1045 0402H	チャンネル・コンフィギュレーション																																																			
CHITVL2	0000 0000H	転送間隔最短																																																			
DTFR2	0000 0000H	ハードウェア・トリガをマスク																																																			
レジスタ	設定値	設定内容等																																																			
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)																																																			
N1SA2	1100 0000H	転送元アドレス																																																			
N1DA2	2007 0000H	転送先アドレス																																																			
N1TB2	0000 0080H	トランザクション・データ・バイト数																																																			
CHCFG2	1245 0402H	チャンネル・コンフィギュレーション																																																			
CHITVL2	0000 0000H	転送間隔最短																																																			
DTFR2	0000 0000H	ハードウェア・トリガをマスク																																																			

No.109 14.9.2 設定例2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)

設定値欄の"R/W"→"設定値"に修正

割り込み略号を修正

V1.00		V2.00																																																																																																																					
ページ	記載内容	ページ	改訂内容																																																																																																																				
14-145	<p><b>【14.9.2 設定例2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】</b>                      [表 14.38 設定例2のチャンネル・コンフィギュレーション・レジスタ(CHCFG2)設定]</p> <div style="border: 1px solid black; padding: 5px;"> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;"></td> <td style="text-align: center;">31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</td> <td style="text-align: right;">アドレス</td> </tr> <tr> <td style="vertical-align: top;">CHCFG2</td> <td style="text-align: center;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">DMS</td><td style="width: 5%;">REN</td><td style="width: 5%;">RSW</td><td style="width: 5%;">RSEL</td><td style="width: 5%;">SBE</td><td style="width: 5%;">DIM</td><td style="width: 5%;">TCM</td><td style="width: 5%;">DEM</td><td style="width: 5%;">WONLY</td><td style="width: 5%;">TM</td><td style="width: 5%;">DAD</td><td style="width: 5%;">SAD</td><td style="width: 5%;">DDS3-SDS0</td><td style="width: 5%;">SDS3-SDS0</td><td style="width: 5%;">DRRP</td><td style="width: 5%;">AM2-AM0</td><td style="width: 5%;">0</td><td style="width: 5%;">LVL</td><td style="width: 5%;">LEN</td><td style="width: 5%;">HEN</td><td style="width: 5%;">REQD</td><td style="width: 5%;">SEL2-SELO</td> </tr> </table> </td> <td style="text-align: right; vertical-align: top;">400A 28ACH 初期値 0000 0000H</td> </tr> <tr> <td style="color: red;">R/W</td> <td style="text-align: center;">0 0 0 1 0 0 1 0 0 1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 1 0</td> <td></td> </tr> </table> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>DMS</td> <td>0: レジスタ・モード</td> </tr> <tr> <td>30</td> <td>REN</td> <td>0: 連続実行しない</td> </tr> <tr> <td>29</td> <td>RSW</td> <td>0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない</td> </tr> <tr> <td>28</td> <td>RSEL</td> <td>1: 次の DMA 転送に Next1 レジスタ・セットを使用する。</td> </tr> <tr> <td>27</td> <td>SBE</td> <td>0: 動作が停止された場合、バッファの書き出し (ライト) をしないで転送中止</td> </tr> <tr> <td>26</td> <td>DIM</td> <td>0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない</td> </tr> <tr> <td>25</td> <td>TCM</td> <td>1: マスクする (ターミナル・カウント出力をマスク)</td> </tr> <tr> <td>24</td> <td>DEM</td> <td>0: DMA トランザクション完了時の INTDMA02 出力許可</td> </tr> </tbody> </table> </div>		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	CHCFG2	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">DMS</td><td style="width: 5%;">REN</td><td style="width: 5%;">RSW</td><td style="width: 5%;">RSEL</td><td style="width: 5%;">SBE</td><td style="width: 5%;">DIM</td><td style="width: 5%;">TCM</td><td style="width: 5%;">DEM</td><td style="width: 5%;">WONLY</td><td style="width: 5%;">TM</td><td style="width: 5%;">DAD</td><td style="width: 5%;">SAD</td><td style="width: 5%;">DDS3-SDS0</td><td style="width: 5%;">SDS3-SDS0</td><td style="width: 5%;">DRRP</td><td style="width: 5%;">AM2-AM0</td><td style="width: 5%;">0</td><td style="width: 5%;">LVL</td><td style="width: 5%;">LEN</td><td style="width: 5%;">HEN</td><td style="width: 5%;">REQD</td><td style="width: 5%;">SEL2-SELO</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-SDS0	SDS3-SDS0	DRRP	AM2-AM0	0	LVL	LEN	HEN	REQD	SEL2-SELO	400A 28ACH 初期値 0000 0000H	R/W	0 0 0 1 0 0 1 0 0 1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 1 0		ビット位置	ビット名	意味	31	DMS	0: レジスタ・モード	30	REN	0: 連続実行しない	29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない	28	RSEL	1: 次の DMA 転送に Next1 レジスタ・セットを使用する。	27	SBE	0: 動作が停止された場合、バッファの書き出し (ライト) をしないで転送中止	26	DIM	0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない	25	TCM	1: マスクする (ターミナル・カウント出力をマスク)	24	DEM	0: DMA トランザクション完了時の INTDMA02 出力許可	14-145	<p><b>【14.9.2 設定例2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】</b>                      [表 14.38 設定例2のチャンネル・コンフィギュレーション・レジスタ(CHCFG2)設定]</p> <div style="border: 1px solid black; padding: 5px;"> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;"></td> <td style="text-align: center;">31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</td> <td style="text-align: right;">アドレス</td> </tr> <tr> <td style="vertical-align: top;">CHCFG2</td> <td style="text-align: center;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">DMS</td><td style="width: 5%;">REN</td><td style="width: 5%;">RSW</td><td style="width: 5%;">RSEL</td><td style="width: 5%;">SBE</td><td style="width: 5%;">DIM</td><td style="width: 5%;">TCM</td><td style="width: 5%;">DEM</td><td style="width: 5%;">WONLY</td><td style="width: 5%;">TM</td><td style="width: 5%;">DAD</td><td style="width: 5%;">SAD</td><td style="width: 5%;">DDS3-SDS0</td><td style="width: 5%;">SDS3-SDS0</td><td style="width: 5%;">DRRP</td><td style="width: 5%;">AM2-AM0</td><td style="width: 5%;">0</td><td style="width: 5%;">LVL</td><td style="width: 5%;">LEN</td><td style="width: 5%;">HEN</td><td style="width: 5%;">REQD</td><td style="width: 5%;">SEL2-SELO</td> </tr> </table> </td> <td style="text-align: right; vertical-align: top;">400A 28ACH 初期値 0000 0000H</td> </tr> <tr> <td style="color: blue;">設定値</td> <td style="text-align: center;">0 0 0 1 0 0 1 0 0 1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0</td> <td></td> </tr> </table> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>DMS</td> <td>0: レジスタ・モード</td> </tr> <tr> <td>30</td> <td>REN</td> <td>0: 連続実行しない</td> </tr> <tr> <td>29</td> <td>RSW</td> <td>0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない</td> </tr> <tr> <td>28</td> <td>RSEL</td> <td>1: 次の DMA 転送に Next1 レジスタ・セットを使用する。</td> </tr> <tr> <td>27</td> <td>SBE</td> <td>0: 動作が停止された場合、バッファの書き出し (ライト) をしないで転送中止</td> </tr> <tr> <td>26</td> <td>DIM</td> <td>0: リンク・モードで LV=0 の場合、INTDMA02 をマスクしない</td> </tr> <tr> <td>25</td> <td>TCM</td> <td>1: マスクする (ターミナル・カウント出力をマスク)</td> </tr> <tr> <td>24</td> <td>DEM</td> <td>0: DMA トランザクション完了時の INTDMA02 出力許可</td> </tr> </tbody> </table> </div>		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	CHCFG2	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">DMS</td><td style="width: 5%;">REN</td><td style="width: 5%;">RSW</td><td style="width: 5%;">RSEL</td><td style="width: 5%;">SBE</td><td style="width: 5%;">DIM</td><td style="width: 5%;">TCM</td><td style="width: 5%;">DEM</td><td style="width: 5%;">WONLY</td><td style="width: 5%;">TM</td><td style="width: 5%;">DAD</td><td style="width: 5%;">SAD</td><td style="width: 5%;">DDS3-SDS0</td><td style="width: 5%;">SDS3-SDS0</td><td style="width: 5%;">DRRP</td><td style="width: 5%;">AM2-AM0</td><td style="width: 5%;">0</td><td style="width: 5%;">LVL</td><td style="width: 5%;">LEN</td><td style="width: 5%;">HEN</td><td style="width: 5%;">REQD</td><td style="width: 5%;">SEL2-SELO</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-SDS0	SDS3-SDS0	DRRP	AM2-AM0	0	LVL	LEN	HEN	REQD	SEL2-SELO	400A 28ACH 初期値 0000 0000H	設定値	0 0 0 1 0 0 1 0 0 1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0		ビット位置	ビット名	意味	31	DMS	0: レジスタ・モード	30	REN	0: 連続実行しない	29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない	28	RSEL	1: 次の DMA 転送に Next1 レジスタ・セットを使用する。	27	SBE	0: 動作が停止された場合、バッファの書き出し (ライト) をしないで転送中止	26	DIM	0: リンク・モードで LV=0 の場合、INTDMA02 をマスクしない	25	TCM	1: マスクする (ターミナル・カウント出力をマスク)	24	DEM	0: DMA トランザクション完了時の INTDMA02 出力許可
	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																																																																																																																					
CHCFG2	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">DMS</td><td style="width: 5%;">REN</td><td style="width: 5%;">RSW</td><td style="width: 5%;">RSEL</td><td style="width: 5%;">SBE</td><td style="width: 5%;">DIM</td><td style="width: 5%;">TCM</td><td style="width: 5%;">DEM</td><td style="width: 5%;">WONLY</td><td style="width: 5%;">TM</td><td style="width: 5%;">DAD</td><td style="width: 5%;">SAD</td><td style="width: 5%;">DDS3-SDS0</td><td style="width: 5%;">SDS3-SDS0</td><td style="width: 5%;">DRRP</td><td style="width: 5%;">AM2-AM0</td><td style="width: 5%;">0</td><td style="width: 5%;">LVL</td><td style="width: 5%;">LEN</td><td style="width: 5%;">HEN</td><td style="width: 5%;">REQD</td><td style="width: 5%;">SEL2-SELO</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-SDS0	SDS3-SDS0	DRRP	AM2-AM0	0	LVL	LEN	HEN	REQD	SEL2-SELO	400A 28ACH 初期値 0000 0000H																																																																																															
DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-SDS0	SDS3-SDS0	DRRP	AM2-AM0	0	LVL	LEN	HEN	REQD	SEL2-SELO																																																																																																		
R/W	0 0 0 1 0 0 1 0 0 1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 0 1 0																																																																																																																						
ビット位置	ビット名	意味																																																																																																																					
31	DMS	0: レジスタ・モード																																																																																																																					
30	REN	0: 連続実行しない																																																																																																																					
29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない																																																																																																																					
28	RSEL	1: 次の DMA 転送に Next1 レジスタ・セットを使用する。																																																																																																																					
27	SBE	0: 動作が停止された場合、バッファの書き出し (ライト) をしないで転送中止																																																																																																																					
26	DIM	0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない																																																																																																																					
25	TCM	1: マスクする (ターミナル・カウント出力をマスク)																																																																																																																					
24	DEM	0: DMA トランザクション完了時の INTDMA02 出力許可																																																																																																																					
	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス																																																																																																																					
CHCFG2	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">DMS</td><td style="width: 5%;">REN</td><td style="width: 5%;">RSW</td><td style="width: 5%;">RSEL</td><td style="width: 5%;">SBE</td><td style="width: 5%;">DIM</td><td style="width: 5%;">TCM</td><td style="width: 5%;">DEM</td><td style="width: 5%;">WONLY</td><td style="width: 5%;">TM</td><td style="width: 5%;">DAD</td><td style="width: 5%;">SAD</td><td style="width: 5%;">DDS3-SDS0</td><td style="width: 5%;">SDS3-SDS0</td><td style="width: 5%;">DRRP</td><td style="width: 5%;">AM2-AM0</td><td style="width: 5%;">0</td><td style="width: 5%;">LVL</td><td style="width: 5%;">LEN</td><td style="width: 5%;">HEN</td><td style="width: 5%;">REQD</td><td style="width: 5%;">SEL2-SELO</td> </tr> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-SDS0	SDS3-SDS0	DRRP	AM2-AM0	0	LVL	LEN	HEN	REQD	SEL2-SELO	400A 28ACH 初期値 0000 0000H																																																																																															
DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3-SDS0	SDS3-SDS0	DRRP	AM2-AM0	0	LVL	LEN	HEN	REQD	SEL2-SELO																																																																																																		
設定値	0 0 0 1 0 0 1 0 0 1 0 0 0 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0																																																																																																																						
ビット位置	ビット名	意味																																																																																																																					
31	DMS	0: レジスタ・モード																																																																																																																					
30	REN	0: 連続実行しない																																																																																																																					
29	RSW	0: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転しない																																																																																																																					
28	RSEL	1: 次の DMA 転送に Next1 レジスタ・セットを使用する。																																																																																																																					
27	SBE	0: 動作が停止された場合、バッファの書き出し (ライト) をしないで転送中止																																																																																																																					
26	DIM	0: リンク・モードで LV=0 の場合、INTDMA02 をマスクしない																																																																																																																					
25	TCM	1: マスクする (ターミナル・カウント出力をマスク)																																																																																																																					
24	DEM	0: DMA トランザクション完了時の INTDMA02 出力許可																																																																																																																					

No.110 14.9.2 設定例 2 (レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)

割り込み略号を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
14-146	<p>【14.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】</p>	14-146	<p>【14.9.2 設定例 2(レジスタ・モード、ブロック転送モード、ソフトウェア・トリガ)】</p>
	<p>図 14.39 設定例 2 の動作フロー</p>		<p>図 14.39 設定例 2 の動作フロー</p>

No.111 14.9.3 設定例3 (レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)

設定値欄の"R/W"→"設定値"に修正

割り込み略号を修正

V1.00		V2.00																																																																																						
ページ	記載内容	ページ	改訂内容																																																																																					
14-148	<p>【14.9.3 設定例3(レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)】 [表 14.41 設定例3のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]</p> <div style="display: flex; justify-content: space-between;"> <div style="text-align: center;"> <p>31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>CHCFG1</p> <table border="1"> <tr> <td>DMS</td><td>REN</td><td>RSW</td><td>RSEL</td><td>SBE</td><td>DIM</td><td>TCM</td><td>DEM</td><td>WONLY</td><td>TM</td><td>DAD</td><td>SAD</td><td>DDS3- DDS0</td><td>SDS3- SDS0</td><td>DRRP</td><td>AM2- AM0</td><td>0</td><td>LVL</td><td>LEN</td><td>HEN</td><td>REQD</td><td>SEL2- SEL0</td> </tr> </table> <p>初期値 0000 0000H</p> <p>R/W</p> <p>0 1 1 0 0 0 0 1 0 1 1 1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1</p> </div> <div style="text-align: right;"> <p>アドレス 400A 286CH</p> </div> </div> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>DMS</td> <td>0: レジスタ・モード</td> </tr> <tr> <td>30</td> <td>REN</td> <td>1: 連続実行する (RSEL ビットで選択されている Next レジスタ・セットを使う)</td> </tr> <tr> <td>29</td> <td>RSW</td> <td>1: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転する</td> </tr> <tr> <td>28</td> <td>RSEL</td> <td>0: 次の DMA 転送に Next0 レジスタ・セットを使用する</td> </tr> <tr> <td>27</td> <td>SBE</td> <td>0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止</td> </tr> <tr> <td>26</td> <td>DIM</td> <td>0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない</td> </tr> </tbody> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0	ビット位置	ビット名	意味	31	DMS	0: レジスタ・モード	30	REN	1: 連続実行する (RSEL ビットで選択されている Next レジスタ・セットを使う)	29	RSW	1: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転する	28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する	27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止	26	DIM	0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない	<p>【14.9.3 設定例3(レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)】 [表 14.41 設定例3のチャンネル・コンフィギュレーション・レジスタ(CHCFG1)設定]</p> <div style="display: flex; justify-content: space-between;"> <div style="text-align: center;"> <p>31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <p>CHCFG1</p> <table border="1"> <tr> <td>DMS</td><td>REN</td><td>RSW</td><td>RSEL</td><td>SBE</td><td>DIM</td><td>TCM</td><td>DEM</td><td>WONLY</td><td>TM</td><td>DAD</td><td>SAD</td><td>DDS3- DDS0</td><td>SDS3- SDS0</td><td>DRRP</td><td>AM2- AM0</td><td>0</td><td>LVL</td><td>LEN</td><td>HEN</td><td>REQD</td><td>SEL2- SEL0</td> </tr> </table> <p>初期値 0000 0000H</p> <p>設定値</p> <p>0 1 1 0 0 0 0 1 0 1 1 1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1</p> </div> <div style="text-align: right;"> <p>アドレス 400A 286CH</p> </div> </div> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>DMS</td> <td>0: レジスタ・モード</td> </tr> <tr> <td>30</td> <td>REN</td> <td>1: 連続実行する (RSEL ビットで選択されている Next レジスタ・セットを使う)</td> </tr> <tr> <td>29</td> <td>RSW</td> <td>1: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転する</td> </tr> <tr> <td>28</td> <td>RSEL</td> <td>0: 次の DMA 転送に Next0 レジスタ・セットを使用する</td> </tr> <tr> <td>27</td> <td>SBE</td> <td>0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止</td> </tr> <tr> <td>26</td> <td>DIM</td> <td>0: リンク・モードで LV=0 の場合、INTDMA01 をマスクしない</td> </tr> </tbody> </table>	DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0	ビット位置	ビット名	意味	31	DMS	0: レジスタ・モード	30	REN	1: 連続実行する (RSEL ビットで選択されている Next レジスタ・セットを使う)	29	RSW	1: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転する	28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する	27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止	26	DIM	0: リンク・モードで LV=0 の場合、INTDMA01 をマスクしない
DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0																																																																			
ビット位置	ビット名	意味																																																																																						
31	DMS	0: レジスタ・モード																																																																																						
30	REN	1: 連続実行する (RSEL ビットで選択されている Next レジスタ・セットを使う)																																																																																						
29	RSW	1: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転する																																																																																						
28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する																																																																																						
27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止																																																																																						
26	DIM	0: リンク・モードで LV=0 の場合、INTDERR0 をマスクしない																																																																																						
DMS	REN	RSW	RSEL	SBE	DIM	TCM	DEM	WONLY	TM	DAD	SAD	DDS3- DDS0	SDS3- SDS0	DRRP	AM2- AM0	0	LVL	LEN	HEN	REQD	SEL2- SEL0																																																																			
ビット位置	ビット名	意味																																																																																						
31	DMS	0: レジスタ・モード																																																																																						
30	REN	1: 連続実行する (RSEL ビットで選択されている Next レジスタ・セットを使う)																																																																																						
29	RSW	1: DMA トランザクション (一連の DMA 転送) 完了後に RSEL を反転する																																																																																						
28	RSEL	0: 次の DMA 転送に Next0 レジスタ・セットを使用する																																																																																						
27	SBE	0: 動作が停止された場合、バッファの掃き出し (ライト) をしないで転送中止																																																																																						
26	DIM	0: リンク・モードで LV=0 の場合、INTDMA01 をマスクしない																																																																																						

No.112 14.9.3 設定例3 (レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)

割り込み略号を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
14-149	<p>【14.9.3 設定例3(レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)】</p>	14-149	<p>【14.9.3 設定例3(レジスタ・モード：連続実行、ブロック転送モード、ソフトウェア・トリガ)】</p>
	<p>図 14.40 設定例3の動作フロー</p>		<p>図 14.40 設定例3の動作フロー</p>

No.113 14.9.4 設定例 4 (リンク・モード、ブロック転送モード、ソフトウェア・トリガ)

レジスタ略号を修正

未サポートのレジスタ (DMAESEL) を削除

V1.00			V2.00																													
ページ	記載内容		ページ	改訂内容																												
14-152	<p>【14.9.4 設定例 4(リンク・モード、ブロック転送モード、ソフトウェア・トリガ)】 [表 14.46 設定例 4 のレジスタ設定]</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>設定値</th> <th>設定内容等</th> </tr> </thead> <tbody> <tr> <td>DCTRL1</td> <td>0000 0001H</td> <td>優先順位設定 (ラウンドロビン・モード)</td> </tr> <tr> <td>NXLA_10</td> <td>2001 1000H</td> <td>ディスクリプタ先頭アドレス</td> </tr> <tr> <td>CHCFG_10</td> <td>8000 0000H</td> <td>チャンネル・コンフィギュレーション</td> </tr> <tr> <td>DMAESEL</td> <td>0000 0000H</td> <td>DMA チャンネル 0 の DMA インタフェースを AHB に設定</td> </tr> </tbody> </table>		レジスタ	設定値	設定内容等	DCTRL1	0000 0001H	優先順位設定 (ラウンドロビン・モード)	NXLA_10	2001 1000H	ディスクリプタ先頭アドレス	CHCFG_10	8000 0000H	チャンネル・コンフィギュレーション	DMAESEL	0000 0000H	DMA チャンネル 0 の DMA インタフェースを AHB に設定	14-152	<p>【14.9.4 設定例 4(リンク・モード、ブロック転送モード、ソフトウェア・トリガ)】 [表 14.46 設定例 4 のレジスタ設定]</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>設定値</th> <th>設定内容等</th> </tr> </thead> <tbody> <tr> <td>DCTRL</td> <td>0000 0001H</td> <td>優先順位設定 (ラウンドロビン・モード)</td> </tr> <tr> <td>NXLA0</td> <td>2001 1000H</td> <td>ディスクリプタ先頭アドレス</td> </tr> <tr> <td>CHCFG0</td> <td>8000 0000H</td> <td>チャンネル・コンフィギュレーション</td> </tr> </tbody> </table>		レジスタ	設定値	設定内容等	DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)	NXLA0	2001 1000H	ディスクリプタ先頭アドレス	CHCFG0	8000 0000H	チャンネル・コンフィギュレーション
レジスタ	設定値	設定内容等																														
DCTRL1	0000 0001H	優先順位設定 (ラウンドロビン・モード)																														
NXLA_10	2001 1000H	ディスクリプタ先頭アドレス																														
CHCFG_10	8000 0000H	チャンネル・コンフィギュレーション																														
DMAESEL	0000 0000H	DMA チャンネル 0 の DMA インタフェースを AHB に設定																														
レジスタ	設定値	設定内容等																														
DCTRL	0000 0001H	優先順位設定 (ラウンドロビン・モード)																														
NXLA0	2001 1000H	ディスクリプタ先頭アドレス																														
CHCFG0	8000 0000H	チャンネル・コンフィギュレーション																														

No.114 14.9.4 設定例4 (リンク・モード、ブロック転送モード、ソフトウェア・トリガ)

割り込み略号を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
14-152	<p>【14.9.4 設定例4(リンク・モード、ブロック転送モード、ソフトウェア・トリガ)】</p>	14-152	<p>【14.9.4 設定例4(リンク・モード、ブロック転送モード、ソフトウェア・トリガ)】</p>
	<p>図 14.41 設定例4の動作フロー</p>		<p>図 14.41 設定例4の動作フロー</p>

No.115 21.9.1(2) シングル転送モード時のスレーブ動作設定手順

図 21.15 シングル転送モード時のスレーブ動作設定手順（シングルマスタ環境）を修正

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
21-120	<p><b>【21.9.1(2) シングル転送モード時のスレーブ動作設定手順】</b></p> <p>a) 環境にあった設定をしてください。 b) この環境では、設定値の参照は行いません。 備考 二重線部は、ウェイトを解除する処理を表します。</p>	21-120	<p><b>【21.9.1(2) シングル転送モード時のスレーブ動作設定手順】</b></p> <p>a) 環境にあった設定をしてください。 b) この環境では、設定値の参照は行いません。 備考 二重線部は、ウェイトを解除する処理を表します。</p>
<p>図 21.15 シングル転送モード時のスレーブ動作設定手順(シングルマスタ環境)</p>		<p>図 21.15 シングル転送モード時のスレーブ動作設定手順(シングルマスタ環境)</p>	