

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	システムLSI	発行番号	TN-RIN-5SS, A/J	Rev.	第1版
題名	R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編 (Rev.7.00→Rev.8.00) 主な改訂内容：誤記訂正、新規機能追加など		情報分類	技術情報	
	適用製品	下記参照	対象ロット等	関連資料	R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編 ・ R-IN32M3-EC ・ R-IN32M3-CL Rev.8.00 (R18UZ0006JJ0800)
		全ロット			

R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編・R-IN32M3-EC・R-IN32M3-CL Rev.8.00 (R18UZ0006JJ0800) をリリースいたしました。詳細については「2. 改訂内容」を参照願います。なお、「※要注意」マークがついている項目は、デバイスを動作させる上で重要な項目ですので、ご確認をお願い致します。

## 1 適用製品

製品分類		マーク型名	製品型名
R-IN32M3-EC	旧製品	MC-10287F1	MC-10287F1-HN4-A MC-10287F1-HN4-M1-A
	現行品	MC-10287BF1	MC-10287BF1-HN4-A MC-10287BF1-HN4-M1-A
R-IN32M3-CL	旧製品	D60510F1	UPD60510F1-HN4-A UPD60510F1-HN4-M1-A
	現行品	D60510BF1	UPD60510BF1-HN4-A UPD60510BF1-HN4-M1-A

## 2 改訂内容

(1/2)

No	訂正箇所 (Rev.8.00 見出し番号)	該当ページ (Rev.8.00 番号)	内容	
			旧製品	現行品
1	2.2.2 クロック制御レジスタ (CLKGTD0, CLKGTD1)	p.6	誤記訂正	←
2	2.3.4 リセット動作	p.10	補足	←
3	4. バス構成	p.17	誤記訂正	←
4	4.1 Cortex-M3 バス占有	p.18	—	機能追加
5	7.1.1 イーサネット・インタフェースの構成	p.29	補足	←
6	7.4.2.6(1) 受信フレーム情報 <b>※要注意</b>	p.65	誤記訂正	←
7	8.3.1(1) 動作モード設定レジスタ	p.71	—	機能追加
8	8.3.2.4 ETHER SWITCH 10Mbps/半二重モード設定レジスタ (ETHSW10HDEN)	p.77	—	機能追加
9	8.3.7.12 DLR ビーコンインターバル・レジスタ (BEC_INTRVL)	p.128	補足	←
10	8.3.7.15 DLR ビーコン不正タイムアウトタイム・レジスタ (INV_TMOUT)	p.130	補足	←
11	9.3.2 バス・サイズ制御レジスタ (BSC)	p.178	誤記訂正	←
12	10.4 メモリ・アクセス・タイミング例	p.222	誤記訂正	←
13	10.4.1 非同期アクセス・タイミング	p.223	誤記訂正	←
14	11. 外部マイコン・インタフェース	p.239	補足	←
15	11.1 メモリ MAP	p.241	補足	←
16	14.1 R-IN32M3 の TAUJ2 の特徴	p.456	補足	←
17	14.1.1.1 機能一覧	p.457	機能追加	←
18	14.3.3(3) TAUJ2 チャネル・モード OS レジスタ (TAUJ2CMORm)	p.469-472	機能追加	←
19	14.7.6 外部イベントカウント機能	p.529-534	機能追加	←

(—：対象外、←：旧製品共通)

(2/2)

No	訂正箇所 (Rev8.00 見出し番号)	該当ページ (Rev8.00 番号)	内容	
			旧製品	現行品
20	15.3.2(2) WDTA モード・レジスタ (WDTAnMD)	p.563-564	誤記訂正	←
21	16.1 R-IN32M3 UARTJn の機能	p.573	補足	←
22	16.6.6(1) 受信 FIFO	p.615	補足	←
23	17.1 R-IN32M3 の CSIH の特徴	p.628	補足	←
24	18.1 R-IN32M3 の IICB の特徴	p.760	補足	←
25	18.9.1(3) 連続転送モード時のマスタ動作設定手順 ※要注意	p.880	誤記訂正	←
26	19.1 R-IN32M3 の FCN 機能	p.891	補足	←
27	19.13.2 代表的なポー・レートの設定例 ※要注意	p.1002-1003	誤記訂正	←
28	2.1 レジスタ一覧	p.1044	—	機能追加
29	21.4 バージョン・レジスタ (RINVER)	p.1046	—	補足
30	21.8 HW-RTOS リセット・レジスタ (RTOS_SOFTRST) ※要注意	p.1050	補足	←
31	21.12 CPU バス動作モード・レジスタ (CPUBUSMD)	p.1073	—	機能追加

(—：対象外、←：旧製品共通)

訂正、追加の該当箇所は黄色ハッチングで記載します。

1.2.2.2 クロック制御レジスタ (CLKGTD0, CLKGTD1)

CLKGTD1 レジスタの“初期値”を注3に修正、注3を追加 (p.6)

Rev.7)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 アドレス

BASE +01A4H 初期値

CLKGTD1 0 1 1 1 1 GCESW GCCAT GCWDT GCFCN1 GCFCN0 GCCS1 GCCS0

R/W 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W 0 1 1 1 1 R/W R/W R/W R/W R/W R/W R/W R/W

0000 6FFFH

ビット位置	ビット名	意味
31-15	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
14	GCIE 注1	CC-Link IE Field Network (Slave) 機能 (1:動作 / 0:停止)
13	GCCC	CC-Link 機能 (1:動作 / 0:停止)
12	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
11-7	—	Reserved (ライトは1を書き込んでください。リードは1が読み出されます。)
6	GCESW	Ether SWITCH 機能 (1:動作 / 0:停止)
5	GCCAT 注2	EtherCAT 機能 (1:動作 / 0:停止)
4	GCWDT	Watch Dog Timer 機能 (1:動作 / 0:停止)
3	GCFCN1	CAN1 機能 (1:動作 / 0:停止)
2	GCFCN0	CAN0 機能 (1:動作 / 0:停止)
1	GCCS1	CSI1 機能 (1:動作 / 0:停止)
0	GCCS0	CSI0 機能 (1:動作 / 0:停止)

- 注 1. R-IN32M3-CL のみ本機能は使用可能です。R-IN32M3-CL 以外では、ライトは0を書き込んでください。リードは0が読み出されます。
- 注 2. R-IN32M3-EC のみ本機能は使用可能です。R-IN32M3-EC 以外では、ライトは0を書き込んでください。リードは0が読み出されます。

- 注意 1. CLKGTD レジスタで一旦停止させたクロックは復帰できません。復帰するには、システム全体をリセットしてください。
- 注意 2. 停止させたモジュールに対するアクセスは禁止です。アクセスした場合には、動作を保証できません。

Rev.8)

31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 アドレス

BASE +01A4H 初期値

CLKGTD1 0 1 1 1 1 GCESW GCCAT GCWDT GCFCN1 GCFCN0 GCCS1 GCCS0

R/W 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W R/W 0 1 1 1 1 R/W R/W R/W R/W R/W R/W R/W R/W

注3

ビット位置	ビット名	意味
31-15	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
14	GCIE 注1	CC-Link IE Field Network (Slave) 機能 (1:動作 / 0:停止)
13	GCCC	CC-Link 機能 (1:動作 / 0:停止)
12	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
11-7	—	Reserved (ライトは1を書き込んでください。リードは1が読み出されます。)
6	GCESW	Ether SWITCH 機能 (1:動作 / 0:停止)
5	GCCAT 注2	EtherCAT 機能 (1:動作 / 0:停止)
4	GCWDT	Watch Dog Timer 機能 (1:動作 / 0:停止)
3	GCFCN1	CAN1 機能 (1:動作 / 0:停止)
2	GCFCN0	CAN0 機能 (1:動作 / 0:停止)
1	GCCS1	CSI1 機能 (1:動作 / 0:停止)
0	GCCS0	CSI0 機能 (1:動作 / 0:停止)

- 注 1. R-IN32M3-CL のみ本機能は使用可能です。R-IN32M3-CL 以外では、ライトは0を書き込んでください。リードは0が読み出されます。
- 注 2. R-IN32M3-EC のみ本機能は使用可能です。R-IN32M3-EC 以外では、ライトは0を書き込んでください。リードは0が読み出されます。

- 注 3. 製品によって初期値が異なります。
- R-IN32M3-CL : 0000 6FFFH
- R-IN32M3-EC : 0000 2FFFH

- 注意 1. CLKGTD レジスタで一旦停止させたクロックは復帰できません。復帰するには、システム全体をリセットしてください。
- 注意 2. 停止させたモジュールに対するアクセスは禁止です。アクセスした場合には、動作を保証できません。

2.2.3.4 リセット動作

「図 2.2 パワーON 時のリセットタイミングチャート」に RSTOUTZ 端子を追加 (p.10) Rev.7)

2.3.4 リセット動作

以下に R-IN32M3 シリーズの PowerON 時および SystemReset 発行時のタイミングチャートを示します。

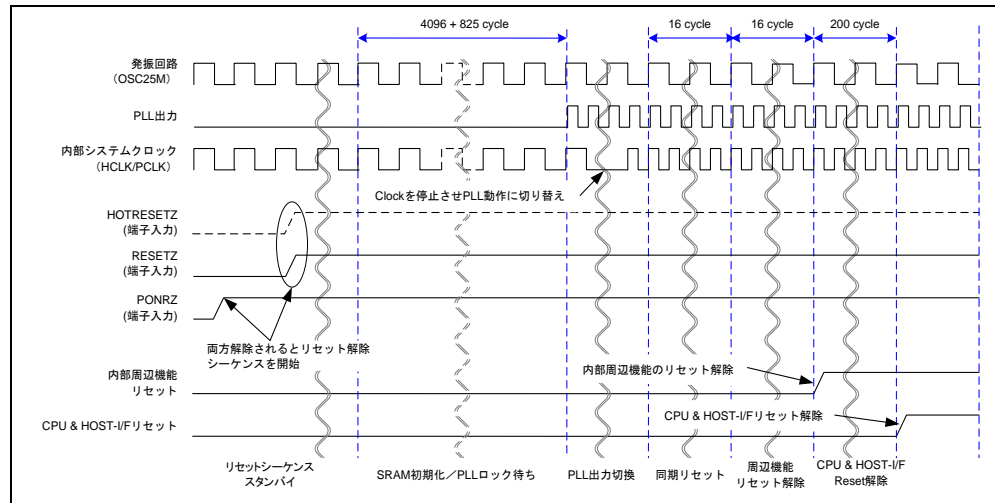


図 2.2 パワーON 時のリセットタイミングチャート

Rev.8)

2.3.4 リセット動作

以下に R-IN32M3 シリーズの PowerON 時および SystemReset 発行時のタイミングチャートを示します。

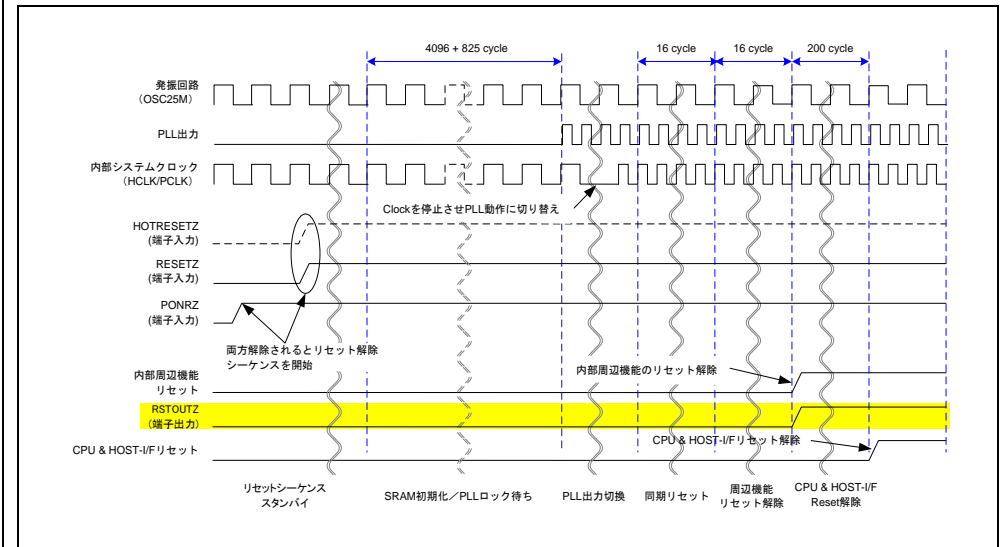


図 2.2 パワーON 時のリセットタイミングチャート

3.4. バス構成

「表 4.1 R-IN32M3 の AHB 内部バス」のラウンドロビン (alternate) 表記修正、備考及び注を修正 (p.17) Rev.7)

表 4.1 R-IN32M3 の AHB 内部バス

マスタ スレーブ	高 ← (デフォルト優先順位) → 低						優先順位 判定方式
	リアルタイム・ ポート用 DMAC	ホスト CPU	Cortex-M3 CPU Dコード・バス	Cortex-M3 CPU システム・バス	汎用 DMAC	Cortex-M3 CPU Iコード・バス	
データ RAM	○	○	—	○	○	—	ラウンドロビン (alternate) 注3
命令 RAM	○	○	○	—	○	○	固定優先順位
バッファ RAM	—	—	○	—	○	—	ラウンドロビン (fair) 注4
外部メモリ	○	—	○	○	○	○	ラウンドロビン (alternate) 注3
シリアル・ フラッシュ ROM	—	—	○	○	○	○	ラウンドロビン (fair) 注4
Ether MAC 注6	○	○	—	○	○	—	ラウンドロビン (alternate) 注3
APB 内蔵 周辺機能注1	○	○	—	○	○	—	ラウンドロビン (alternate) 注3
リアルタイム・ ポート	○	○	—	○	○	—	ラウンドロビン (alternate) 注3
汎用ポート	○	○	—	○	○	—	ラウンドロビン (fair) 注4
HW-RTOS 注2	—	—	—	○	—	—	—
リアルタイム・ポート用 DMAC 注5	—	—	—	○	—	—	—
汎用 DMAC 注5	—	—	—	○	—	—	—

備考 ○：アクセス可  
—：アクセス不可

- 注 1. 内蔵タイマ、シリアル・インタフェース等が該当します。  
それぞれの略号名称は、TAUJ2, WDT, UARTE, CSIH, IICB, AFC です。
2. ハードウェア・リアルタイム OS です。
3. RR (alternate)：固定優先付きラウンドロビン
4. RR (fair)：ラウンドロビン
5. それぞれの DMA コントローラのレジスタ領域
6. R-IN32M3 シリーズの各製品によって対象となる機能が異なります。  
「R-IN32M3-EC」・・・EtherCAT  
「R-IN32M3-CL」・・・CC-Link IE Field Network

Rev.8)

表 4.1 R-IN32M3 の AHB 内部バス

マスタ スレーブ	高 ← (デフォルト優先順位) → 低						優先順位 判定方式
	リアルタイム・ ポート用 DMAC	ホスト CPU	Cortex-M3 CPU Dコード・バス	Cortex-M3 CPU システム・バス	汎用 DMAC	Cortex-M3 CPU Iコード・バス	
データ RAM	◎	○	—	○	○	—	ラウンドロビン (alternate) 注3
命令 RAM	○	○	○	—	○	○	固定優先順位
バッファ RAM	—	—	○	—	○	—	ラウンドロビン (fair) 注4
外部メモリ	◎	—	○	○	○	○	ラウンドロビン (alternate) 注3
シリアル・ フラッシュ ROM	—	—	○	○	○	○	ラウンドロビン (fair) 注4
Ether MAC 注6	◎	○	—	○	○	—	ラウンドロビン (alternate) 注3
APB 内蔵 周辺機能注1	◎	○	—	○	○	—	ラウンドロビン (alternate) 注3
リアルタイム・ ポート	◎	○	—	○	○	—	ラウンドロビン (alternate) 注3
汎用ポート	◎	○	—	○	○	—	ラウンドロビン (alternate) 注3
HW-RTOS 注2	—	—	—	○	—	—	—
リアルタイム・ポート用 DMAC 注5	—	—	—	○	—	—	—
汎用 DMAC 注5	—	—	—	○	—	—	—
同期式バースト アクセス MEMC	—	—	—	○	—	—	—

備考 ◎：alternate 指定 (ラウンドロビン(alternate))時の固定最優先  
○：アクセス可  
—：アクセス不可

- 注 1. 内蔵タイマ、シリアル・インタフェース、システム・レジスタ等が該当します。  
なお、ホスト CPU からアクセス可能な領域は、システム・レジスタのみとなります。
2. ハードウェア・リアルタイム OS です。
3. RR (alternate)：固定優先付きラウンドロビン  
固定的に最優先とするマスタ/スレーブを1つ指定することができ、それ以外はラウンドロビン方式となる  
アービトレーション方式
4. RR (fair)：ラウンドロビン
5. それぞれの DMA コントローラのレジスタ領域
6. R-IN32M3 シリーズの各製品によって対象となる機能が異なります。  
「R-IN32M3-EC」・・・EtherCAT  
「R-IN32M3-CL」・・・CC-Link IE Field Network

※黄色ハッチング部分以外の変更箇所は、表記統一。

#### 4. 4.1 Cortex-M3 のバス占有

##### 「4.1 Cortex-M3 のバス占有」を追加 (p. 18)

Rev.7)

記載なし

Rev.8)

#### 4.1 Cortex-M3 のバス占有

R-IN32M3 シリーズ搭載の Cortex-M3 は同一メモリ内でデータコピーを連続で行っている場合、その期間 Cortex-M3 が不定長バースト転送を行いバスを占有し、他のマスタからのアクセスが待たされます。他のマスタが待たされる期間は Cortex-M3 の連続アクセス時間に依存します。

他のマスタからのアクセスが待たされる期間を短縮したい場合は、CPU バス動作モード・レジスタ (CPUBUSMD) の設定を行い Cortex-M3 の転送をシングル転送へ変更することで、Cortex-M3 からの連続アクセス中も他のバスマスタからのアクセスが可能になります。

5. 7.1.1 イーサネット・インタフェースの構成

PHY 関連の補足説明を追記、「図 7.1 イーサネット・インタフェース周辺構成図 (R-IN32M3-EC)」に PHYMD レジスタを追加 (p.29)

Rev.7)

7.1.1 イーサネット・インタフェースの構成

イーサネット・インタフェースを選択する制御レジスタと、制御対象の構成を以下に示します。  
構成は「R-IN32M3-EC」と「R-IN32M3-CL」で異なります。図中の制御レジスタの説明は、後述します。

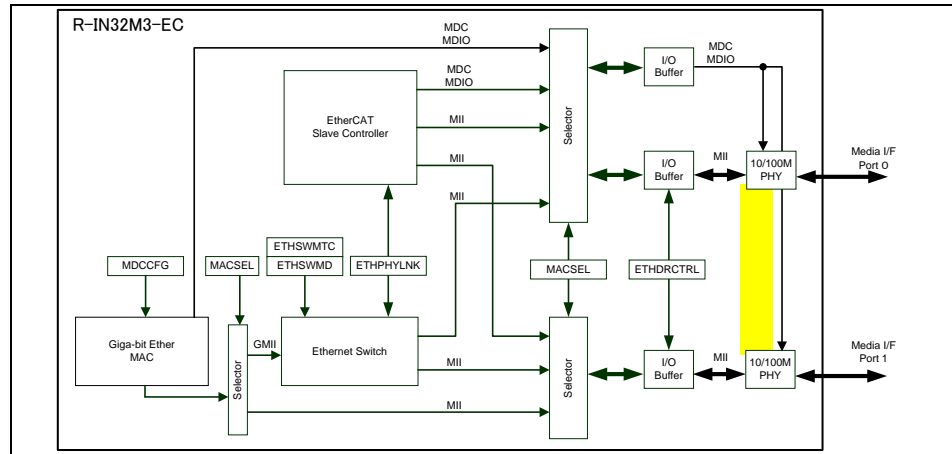


図 7.1 イーサネット・インタフェース周辺構成図 (R-IN32M3-EC)

Rev.8)

7.1.1 イーサネット・インタフェースの構成

イーサネット・インタフェースを選択する制御レジスタと、制御対象の構成を以下に示します。  
構成は「R-IN32M3-EC」と「R-IN32M3-CL」で異なります。図中の制御レジスタの説明は、後述します。

イーサネット PHY 関連レジスタの詳細については、「R-IN32M3-EC ユーザーズ・マニュアル」を参照してください。

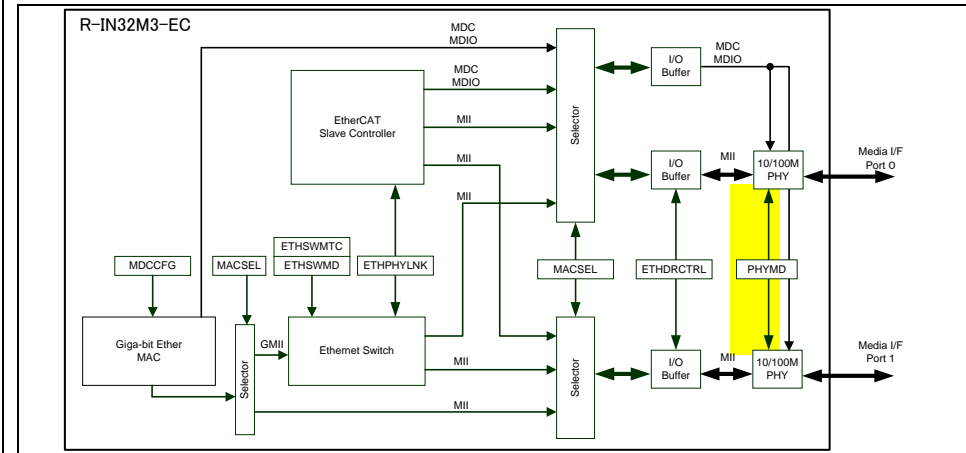


図 7.1 イーサネット・インタフェース周辺構成図 (R-IN32M3-EC)

6. 7.4.2.6(1) 受信フレーム情報

MARSTAT[2:0]の“説明”を修正 (p.65)

Rev.7)

(1) 受信フレーム情報

受信フレーム情報の各フィールドの説明を以下に示します。

項目	説明
SESSION_ID[15:0]	'1'のとき PPPoE Session Stage の Session ID を示します。
MARSTAT[2:0]	MARSTAT[2] : '1'のとき Individual Address MARSTAT[1] : '1'のとき Multicast Address MARSTAT[0] : '1'のとき Broadcast Address
IPNG	'1'のとき、IPv4 ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
TCPNG	'1'のとき、TCP または UDP ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
IPV6NG	'1'のとき IPv6 拡張ヘッダの解析に失敗したことを示します。
OUT_OF_LIST	'1'のとき IPv6 の場合拡張ヘッダリスト外のプロトコル番号を検出したことを示します。
TYPEIP	'1'のとき、IP パケットであることを示します。
MAACL	'1'のとき 802.3 (LLC/SNAP) のパケットを示します。
PPPOE	'1'のとき PPPoE のパケットを示します。
VTAG	'1'のとき VTAG 付きパケットを示します。
RX_WORD[12:0]	Ethernet Frame のワード数 <sup>注</sup>
RX_EOB[1:0]	このフレームの最後のワード内で、有効なバイトを示します <sup>注</sup> 。 00 : 1byte 有効 01 : 2byte 有効 10 : 3byte 有効 11 : 4byte 有効
MAR[4:0]	MAR[4:1] : 未使用 (0 固定) MAR[0] : Pause Packet の宛先アドレスの受信を示します。
MARBR	'1'のとき受信フレームが Broadcast アドレスであることを示します。
MARMLT	'1'のとき受信フレームが Multicast アドレスであることを示します。
MARIND	'1'のとき受信フレームが MAC アドレス・レジスタに登録されたアドレスのパケットであることを示します。
MARNOTMT	受信フレームが本ステーション向けアドレスでないときに'1'になります。
TOOLONG	'1'のとき受信フレームが規定される最大フレーム長 (1518 オクテット) より長いフレームであることを示します。
TOOSHORT	'1'のとき受信フレームが規定される最少フレーム長 (64 オクテット) より短いフレームであることを示します。本 MAC では TOOSHORT パケットは自動的に破棄されるため、TOOSHORT が'1'になるパケットを受信することはありません。
FIFOFULL	'1'のとき受信 FIFO が Full であることを示します。
NBLERR	'1'のとき受信フレーム中のワードに符号化エラーなどがあることを示します。
CRCERR	'1'のとき受信フレームが CRC エラーであることを示します。

Rev.8)

(1) 受信フレーム情報

受信フレーム情報の各フィールドの説明を以下に示します。

項目	説明
SESSION_ID[15:0]	'1'のとき PPPoE Session Stage の Session ID を示します。
MARSTAT[2:0]	MARSTAT[2] : '1'のとき Broadcast Address MARSTAT[1] : '1'のとき Multicast Address MARSTAT[0] : '1'のとき Individual Address
IPNG	'1'のとき、IPv4 ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
TCPNG	'1'のとき、TCP または UDP ヘッダのチェックサムが TCPIP アクセラレータの計算結果と合わないことを示します。
IPV6NG	'1'のとき IPv6 拡張ヘッダの解析に失敗したことを示します。
OUT_OF_LIST	'1'のとき IPv6 の場合拡張ヘッダリスト外のプロトコル番号を検出したことを示します。
TYPEIP	'1'のとき、IP パケットであることを示します。
MAACL	'1'のとき 802.3 (LLC/SNAP) のパケットを示します。
PPPOE	'1'のとき PPPoE のパケットを示します。
VTAG	'1'のとき VTAG 付きパケットを示します。
RX_WORD[12:0]	Ethernet Frame のワード数 <sup>注</sup>
RX_EOB[1:0]	このフレームの最後のワード内で、有効なバイトを示します <sup>注</sup> 。 00 : 1byte 有効 01 : 2byte 有効 10 : 3byte 有効 11 : 4byte 有効
MAR[4:0]	MAR[4:1] : 未使用 (0 固定) MAR[0] : Pause Packet の宛先アドレスの受信を示します。
MARBR	'1'のとき受信フレームが Broadcast アドレスであることを示します。
MARMLT	'1'のとき受信フレームが Multicast アドレスであることを示します。
MARIND	'1'のとき受信フレームが MAC アドレス・レジスタに登録されたアドレスのパケットであることを示します。
MARNOTMT	受信フレームが本ステーション向けアドレスでないときに'1'になります。
TOOLONG	'1'のとき受信フレームが規定される最大フレーム長 (1518 オクテット) より長いフレームであることを示します。
TOOSHORT	'1'のとき受信フレームが規定される最少フレーム長 (64 オクテット) より短いフレームであることを示します。本 MAC では TOOSHORT パケットは自動的に破棄されるため、TOOSHORT が'1'になるパケットを受信することはありません。
FIFOFULL	'1'のとき受信 FIFO が Full であることを示します。
NBLERR	'1'のとき受信フレーム中のワードに符号化エラーなどがあることを示します。
CRCERR	'1'のとき受信フレームが CRC エラーであることを示します。



7. 8.3.1(1) 動作モード設定レジスタ

「(1) 動作モード設定レジスタ」に ETSW10HDEN レジスタを追加 (p.71)

Rev.7)

(1) 動作モード設定レジスタ

レジスタ名	略号	アドレス
イーサネット PHY LINK モード・レジスタ	ETHPHYLNK	BASE+0614H
イーサネット・スイッチ・マネージメント TAG 制御レジスタ	ETHSWMTC	BASE+0680H
イーサネット・スイッチ動作モード設定レジスタ	ETHSWMD	BASE+0684H

Rev.8)

(1) 動作モード設定レジスタ

レジスタ名	略号	アドレス
イーサネット PHY LINK モード・レジスタ	ETHPHYLNK	BASE+0614H
イーサネット・スイッチ・マネージメント TAG 制御レジスタ	ETHSWMTC	BASE+0680H
イーサネット・スイッチ動作モード設定レジスタ	ETHSWMD	BASE+0684H
ETHER SWITCH 10Mbps/半二重モード設定レジスタ	ETHSW10HDEN	BASE+060CH

8. 8.3.2.4 ETHER SWITCH 10Mbps/半二重モード設定レジスタ (ETHSW10HDEN)

「8.3.2.4 ETHER SWITCH 10Mbps/半二重モード設定レジスタ (ETHSW10HDEN)」を追加 (p.77)

Rev.7)

記載なし

Rev.8)

8.3.2.4 ETHER SWITCH 10Mbps/半二重モード設定レジスタ (ETHSW10HDEN)

イーサネット・スイッチを使用し、10Mbps/半二重通信を行う時に、送信時にイーサネット PHY よりループバックする受信フレームを無効化するレジスタです。

R-IN32M3-EC 搭載のイーサネット PHY は、10Mbps/半二重送信時に、TX (送信データ) を RX (受信データ) にループバックします。本 LSI のイーサネット・スイッチ機能で 2 つのポートでループバックした場合に、互いのポート間で転送を繰り返す動作になり、イーサネットの送受信が正常に行われません。

10Mbps/半二重通信時には、必ず本レジスタの対象ビットに“1”をセットして使用してください。

- アクセス 32 ビット/16 ビット単位でリード/ライト可能です。

**注意 1.** 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。  
**2.** 受信フレームの無効化は、イーサネット PHY が 10Mbps の半二重通信でリンクしているときのみ設定してください。その他のリンク状態時に設定した場合、正常な受信フレームの一部も無効になる可能性があります。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス BASE +060CH 初期値 0000 0000H	
ETHSW 10HDEN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SW10HDEN1 SW10HDEN0	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	R/W	

ビット位置	ビット名	意味
31-2	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
1	SW10HDEN1	EtherPort1 から送信時にループバックする受信フレームの無効化を行います。 0 : 無効化無し (10Mbps の半二重通信以外で動作するときにご設定してください) 1 : 無効化あり (10Mbps の半二重通信で動作するときのみ設定してください)
0	SW10HDEN0	EtherPort0 から送信時にループバックする受信フレームの無効化を行います。 0 : 無効化無し (10Mbps の半二重通信以外で動作するときにご設定してください) 1 : 無効化あり (10Mbps の半二重通信で動作するときのみ設定してください)

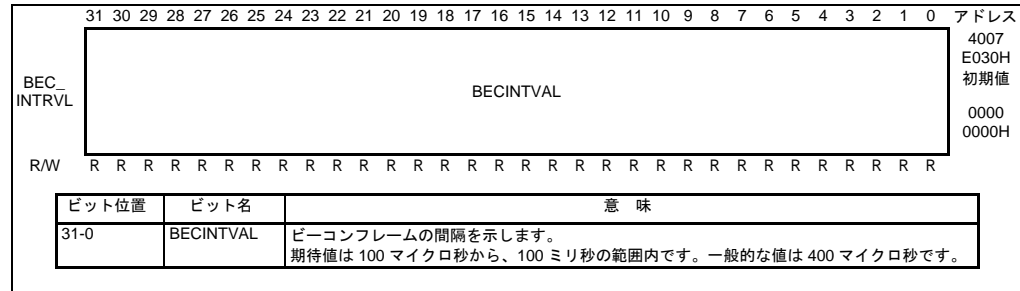
**備考 1.** 当レジスタは、R-IN32M3-EC 版でのみ対応しています。  
**2.** 当レジスタは、Rev.7 製品では対応していません。  
 旧製品に関しては「1.1 R-IN32M3 シリーズの型名一覧」を参照してください。

**9. 8.3.7.12 DLR ビーコンインターバル・レジスタ (BEC\_INTRVL)**  
**BECINTVAL ビットの“意味”に単位の補足説明を追記 (p.128)**

Rev.7)

8.3.7.12 DLR ビーコンインターバル・レジスタ (BEC\_INTRVL)

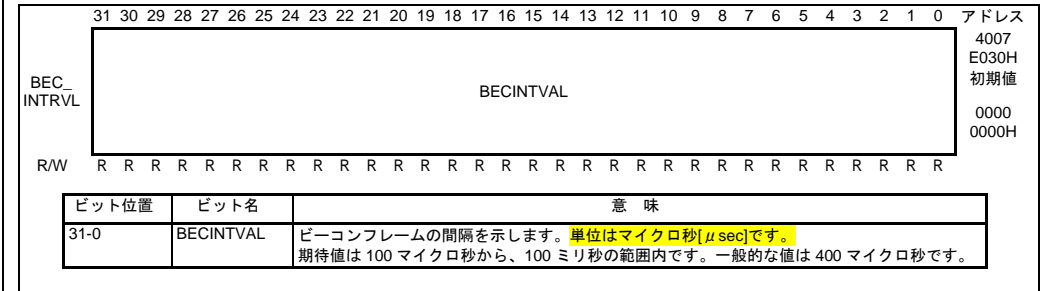
ビーコンフレームの間隔を示します。ビーコンフレームのビーコンインターバル・フィールドから抽出されます。本レジスタは、32ビット単位でリード・アクセス可能です。



Rev.8)

8.3.7.12 DLR ビーコンインターバル・レジスタ (BEC\_INTRVL)

ビーコンフレームの間隔を示します。ビーコンフレームのビーコンインターバル・フィールドから抽出されます。本レジスタは、32ビット単位でリード・アクセス可能です。



10. 8.3.7.15 DLR ビーコン不正タイムアウトタイマ・レジスタ (INV\_TMOUT)

INVBECTMOUT ビットの“意味”に単位の補足説明を追加 (p.130)

Rev.7)

8.3.7.15 DLR ビーコン不正タイムアウトタイマ・レジスタ (INV\_TMOUT)

規定の範囲外のタイムアウトタイマ値を示します。既定の範囲外である不正なタイムアウトタイマ値を持つビーコンフレームを受信したときに、そのタイムアウトタイマ値が抽出され、本レジスタに格納されます。本レジスタは、32ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
	INVBECTMOUT																															4007 E03CH 初期値  0000 0000H		
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
31-0	INVBECTMOUT	既定の範囲外である不正なタイムアウトタイマ値を持つフレームのタイムアウトタイマ値を示します。200マイクロ秒から500ミリ秒の範囲に無いビーコンタイムアウトタイマ値が対象となります。範囲外のビーコンタイムアウトタイマ値を持つフレームを受信する度に、常にこのレジスタは新しい値に更新されます。IRQ_STAT_ACK レジスタのビット11が1にアサートされているとき、本レジスタに含まれている値は有効です。

Rev.8)

8.3.7.15 DLR ビーコン不正タイムアウトタイマ・レジスタ (INV\_TMOUT)

規定の範囲外のタイムアウトタイマ値を示します。既定の範囲外である不正なタイムアウトタイマ値を持つビーコンフレームを受信したときに、そのタイムアウトタイマ値が抽出され、本レジスタに格納されます。本レジスタは、32ビット単位でリード・アクセス可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
	INVBECTMOUT																															4007 E03CH 初期値  0000 0000H	
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット位置	ビット名	意味
31-0	INVBECTMOUT	既定の範囲外である不正なタイムアウトタイマ値を持つフレームのタイムアウトタイマ値を示します。 <b>単位はマイクロ秒[μsec]です。</b> 200マイクロ秒から500ミリ秒の範囲に無いビーコンタイムアウトタイマ値が対象となります。範囲外のビーコンタイムアウトタイマ値を持つフレームを受信する度に、常にこのレジスタは新しい値に更新されます。IRQ_STAT_ACK レジスタのビット11が1にアサートされているとき、本レジスタに含まれている値は有効です。

11. 9.3.2 バス・サイズ制御レジスタ (BSC)  
 BSC レジスタの“初期値”を注1に修正 (p.178)  
 Rev.7)

9.3.2 バス・サイズ制御レジスタ (BSC)

BSC レジスタは、チップ・セレクト信号ごとにアクセスするメモリに対するデータ・バス幅を設定します。  
 SBS3-SBS0 ビットはチップ・セレクト出力 (CSZ3-CSZ0) に対応しています。  
 BSC レジスタの初期値は、BUS32EN 端子の入カレベルにより変わります。  
 ・ アクセス 32ビット単位でリード/ライト可能です。  
 ビット 31-16, 15, 13, 11, 9 には必ず 0 を設定してください。  
 ビット 14, 12, 10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。注2

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス 400A 2004H 初期値 0000 5555H			
BSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1		SBS3	1		SBS2	1		SBS1	1		SBS0	1
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1		R/ W	1		R/ W	1		R/ W	1		R/ W	1

ビット位置	ビット名	意味
31-15, 13, 11, 9	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
14, 12, 10, 8, 6, 4, 2, 0	—	Reserved (ライトは 1 を書き込んでください。リードは 1 が読み出されます。)
7, 5, 3, 1	SBS3-SBS0	チップ・セレクト出力 (CSZ3-CSZ0) ごとのデータ・バス幅を設定します。 0: 16 ビット 1: 32 ビット

注意 1. BUS32EN 端子入力により、外部バス・サイズは下記のように変化します。

BUS32EN	起動時の 外部バス・サイズ	BSC レジスタ	A1 端子の動作	D16-D31 端子の動作
0	16 ビット	0000 5555H	A1	未使用
1	32 ビット	0000 FFFFH	ロー・レベル出力	D16-D31

2. 1 もしくは 0 固定のビットに対して、ほかの値を上書きしないでください。変更した場合の動作保証はできません。

Rev.8)

9.3.2 バス・サイズ制御レジスタ (BSC)

BSC レジスタは、チップ・セレクト信号ごとにアクセスするメモリに対するデータ・バス幅を設定します。  
 SBS3-SBS0 ビットはチップ・セレクト出力 (CSZ3-CSZ0) に対応しています。  
 BSC レジスタの初期値は、BUS32EN 端子の入カレベルにより変わります。  
 ・ アクセス 32ビット単位でリード/ライト可能です。  
 ビット 31-16, 15, 13, 11, 9 には必ず 0 を設定してください。  
 ビット 14, 12, 10, 8, 6, 4, 2, 0 には必ず 1 を設定してください。注2

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス 400A 2004H 初期値 0000 5555H 注1				
BSC	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1		SBS3	1		SBS2	1		SBS1	1		SBS0	1
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1		R/ W	1		R/ W	1		R/ W	1		R/ W	1

ビット位置	ビット名	意味
31-15, 13, 11, 9	—	Reserved (ライトは 0 を書き込んでください。リードは 0 が読み出されます。)
14, 12, 10, 8, 6, 4, 2, 0	—	Reserved (ライトは 1 を書き込んでください。リードは 1 が読み出されます。)
7, 5, 3, 1	SBS3-SBS0	チップ・セレクト出力 (CSZ3-CSZ0) ごとのデータ・バス幅を設定します。 0: 16 ビット 1: 32 ビット

注 1. BUS32EN 端子入力により、外部バス・サイズは下記のように変化します。

BUS32EN	起動時の 外部バス・サイズ	BSC レジスタ	A1 端子の動作	D16-D31 端子の動作
0	16 ビット	0000 5555H	A1	未使用
1	32 ビット	0000 FFFFH	ロー・レベル出力	D16-D31

注 2. 1 もしくは 0 固定のビットに対して、ほかの値を上書きしないでください。変更した場合の動作保証はできません。

12. 10.4 メモリ・アクセス・タイミング例

「表 10.2 メモリ・アクセス・タイミング例一覧」に図 10.8 を追加 (p.222)

Rev.7)

10.4 メモリ・アクセス・タイミング例

ここでは、次に示すメモリ・アクセス・タイミング例を示します。

表 10.2 メモリ・アクセス・タイミング例一覧

図番号	メモリ・タイプ	アクセス条件	ページ
図 10.4	非同期 SRAM	リード、セパレート、ADVZ 有効	221
図 10.5	非同期 SRAM	リード、セパレート、ADVZ 無効	222
図 10.6	PageROM	リード、セパレート、ADVZ 有効	223
図 10.7	非同期 SRAM	リード、マルチプレクス、ADVZ 有効	224
図 10.9	非同期 SRAM	ライト、セパレート、ADVZ 有効	226
図 10.10	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=0	227
図 10.11	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=1	228
図 10.12	同期 SRAM	リード、セパレート、ADVZ 有効	229
図 10.13	同期 SRAM	リード、マルチプレクス、ADVZ 有効	230
図 10.14	同期 SRAM	4 バースト・リード、マルチプレクス、ADVZ 有効	231
図 10.15	同期 SRAM	ライト、セパレート、ADVZ	232
図 10.16	同期 SRAM	8 バースト・ライト、セパレート、ADVZ	233
図 10.17	同期 SRAM	ライト、マルチプレクス、ADVZ 有効	234
図 10.18	同期 SRAM	4 バースト・ライト、マルチプレクス、ADVZ 有効	235
図 10.19	同期 SRAM	外部ウエイト・タイミング	236

Rev.8)

10.4 メモリ・アクセス・タイミング例

ここでは、次に示すメモリ・アクセス・タイミング例を示します。

表 10.2 メモリ・アクセス・タイミング例一覧

図番号	メモリ・タイプ	アクセス条件	ページ
図 10.4	非同期 SRAM	リード、セパレート、ADVZ 有効	223
図 10.5	非同期 SRAM	リード、セパレート、ADVZ 無効	224
図 10.6	PageROM	リード、セパレート、ADVZ 有効	225
図 10.7	非同期 SRAM	リード、マルチプレクス、ADVZ 有効	226
図 10.8	非同期 SRAM	ライト、セパレート、ADVZ 無効	227
図 10.9	非同期 SRAM	ライト、セパレート、ADVZ 有効	228
図 10.10	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=0	229
図 10.11	非同期 SRAM	ライト、マルチプレクス、ADVZ 有効、WE_TIME=1	230
図 10.12	同期 SRAM	リード、セパレート、ADVZ 有効	231
図 10.13	同期 SRAM	リード、マルチプレクス、ADVZ 有効	232
図 10.14	同期 SRAM	4 バースト・リード、マルチプレクス、ADVZ 有効	233
図 10.15	同期 SRAM	ライト、セパレート、ADVZ	234
図 10.16	同期 SRAM	8 バースト・ライト、セパレート、ADVZ	235
図 10.17	同期 SRAM	ライト、マルチプレクス、ADVZ 有効	236
図 10.18	同期 SRAM	4 バースト・ライト、マルチプレクス、ADVZ 有効	237
図 10.19	同期 SRAM	外部ウエイト・タイミング	238

13. 10.4.1 非同期アクセス・タイミング

「図 10.4 非同期 SRAM、セパレート、リード・アクセス (ADVZ 有効)」の ADVZ 端子を修正 (p.223)

Rev.7)

10.4.1 非同期アクセス・タイミング

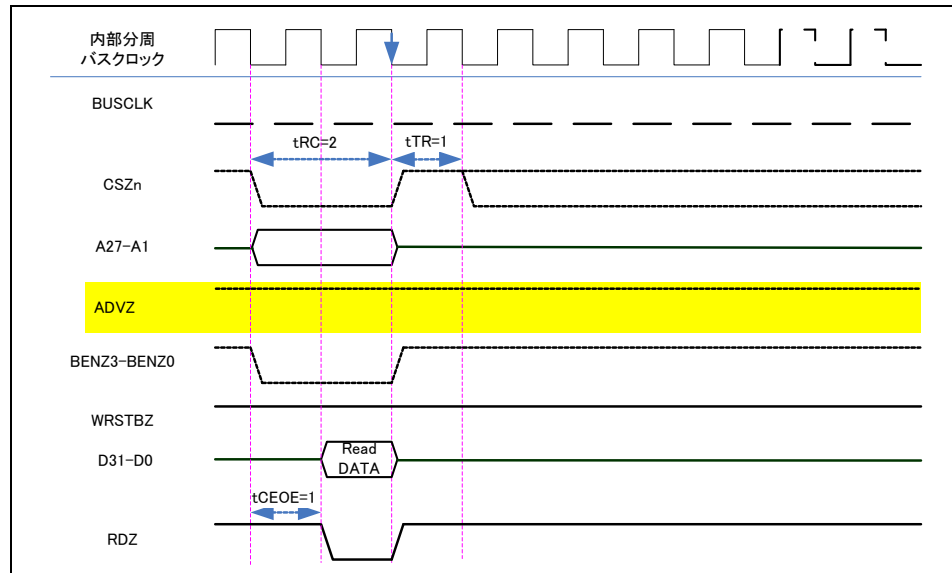


図 10.4 非同期 SRAM、セパレート、リード・アクセス (ADVZ 有効)

T\_RC3-T\_RC0 = 0010B (2 サイクル), T\_TR2-T\_TR0 = 001B (1 サイクル),  
T\_CEOE2-T\_CEOE0 = 001B (1 サイクル)

Rev.8)

10.4.1 非同期アクセス・タイミング

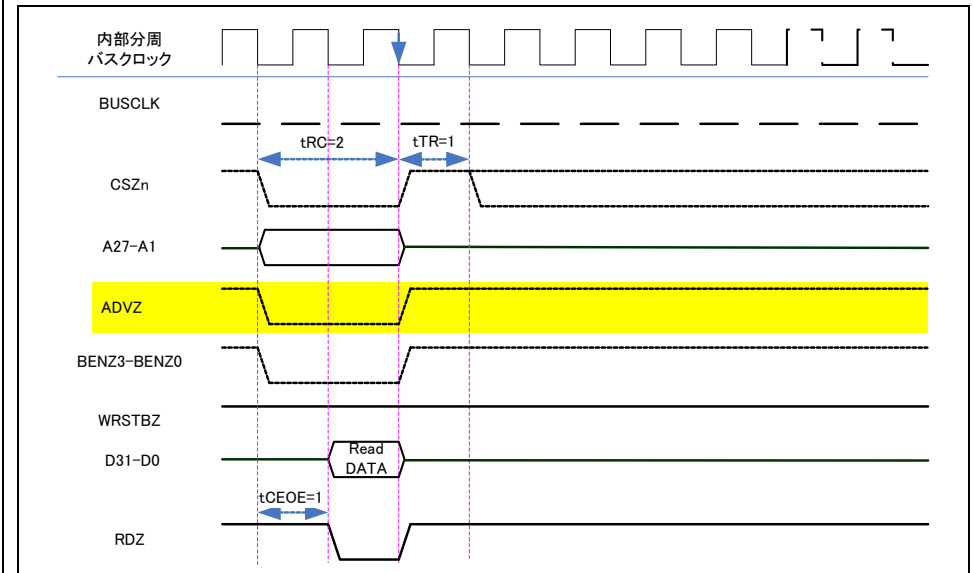


図 10.4 非同期 SRAM、セパレート、リード・アクセス (ADVZ 有効)

T\_RC3-T\_RC0 = 0010B (2 サイクル), T\_TR2-T\_TR0 = 001B (1 サイクル),  
T\_CEOE2-T\_CEOE0 = 001B (1 サイクル)

14. 11. 外部マイコン・インタフェース

「表 11.1 動作モード設定端子による外部マイコン・インタフェース機能」を追加 (p.239)

Rev.7)

11. 外部マイコン・インタフェース

外部のホスト MPU から、R-IN32M3 の内部リソースを利用するために、外部マイコン・インタフェースを設けています。

外部マイコン・インタフェースは、外部メモリ・インタフェースを兼用しています。MEMIFSEL 端子がハイ・レベルのときに、外部マイコン・インタフェースが機能します。MEMIFSEL 端子のレベルは、電源投入後、PONRZ、RESETZ 端子のいずれか遅い方のリセット解除までに確定してください。ダイナミックな切り替えには対応していません。

外部マイコン・インタフェースを利用する場合、R-IN32M3 のブートは、外部マイコン・ブート、または、シリアル・フラッシュ ROM ブートを利用できます。ただし、外部メモリ・アクセス機能（外部 ROM/SRAM）は利用できません。

外部マイコン・インタフェースは、非同期 SRAM インタフェースおよび同期 SRAM インタフェースに対応しています。HIFSYNC 端子のレベルがハイ・レベルのときに同期 SRAM インタフェースとなり、HIFSYNC がロー・レベルのときに非同期 SRAM インタフェースになります。

また、外部マイコン・インタフェースは、大容量のデータを高速にアクセスできるように、クロック同期式の同期 SRAM タイプ転送をサポートします。MEMIFSEL 端子および MEMCSEL 端子をハイ・レベルにすることで、使用することができます。

Rev.8)

11. 外部マイコン・インタフェース

外部のホスト MPU から、R-IN32M3 の内部リソースを利用するために、外部マイコン・インタフェースを設けています。

外部マイコン・インタフェースは、外部メモリ・インタフェースを兼用しています。MEMIFSEL 端子がハイ・レベルのときに、外部マイコン・インタフェースが機能します。MEMIFSEL 端子のレベルは、電源投入後、PONRZ、RESETZ 端子のいずれか遅い方のリセット解除までに確定してください。ダイナミックな切り替えには対応していません。

外部マイコン・インタフェースを利用する場合、R-IN32M3 のブートは、外部マイコン・ブート、または、シリアル・フラッシュ ROM ブートを利用できます。ただし、外部メモリ・アクセス機能（外部 ROM/SRAM）は利用できません。

外部マイコン・インタフェースは、非同期 SRAM インタフェースおよび同期 SRAM インタフェースに対応しています。HIFSYNC 端子のレベルがハイ・レベルのときに同期 SRAM インタフェースとなり、HIFSYNC がロー・レベルのときに非同期 SRAM インタフェースになります。

また、外部マイコン・インタフェースは、大容量のデータを高速にアクセスできるように、クロック同期式の同期 SRAM タイプ転送をサポートします。MEMIFSEL 端子および MEMCSEL 端子をハイ・レベルにすることで、使用することができます。

表 11.1 動作モード設定端子による外部マイコン・インタフェース機能

MEMIFSEL	MEMCSEL	HIFSYNC	ADMUXMODE	機能
ロー	—	—	—	外部マイコンからはアクセスできません。 (外部メモリ・インタフェースの動作モードとなります。)
ハイ	ロー	ロー	ロー	非同期 SRAM インタフェース・モードとなります。 HBUSCLK へのバス・クロックの接続が不要です。
			ハイ	設定禁止
			ロー	同期 SRAM インタフェース・モードとなります。 HBUSCLK へのバス・クロックの接続が必要です。 <sup>注</sup>
	ハイ	ロー	ハイ	設定禁止
			ロー	設定禁止
			ハイ	設定禁止
ハイ	ハイ	ロー	設定禁止	
		ハイ	同期式 SRAM タイプ転送モードとなります。	

注: CC-Link IE Field にアクセスする場合は、同期 SRAM インタフェース・モードに設定する必要があります。(MEMIFSEL = ハイ、MEMCSEL = ロー、HIFSYNC = ハイ)  
(CC-Link IE Field は R-IN32M3-CL 版にのみ搭載しています。)



15. 11.1 メモリ MAP

「図 11.1 外部マイコン・インタフェース・メモリ空間」に注 3 を追加 (p.241)

Rev.7)

11.1 メモリ MAP

外部マイコン・インタフェースとして、2Mバイト空間用意されています。

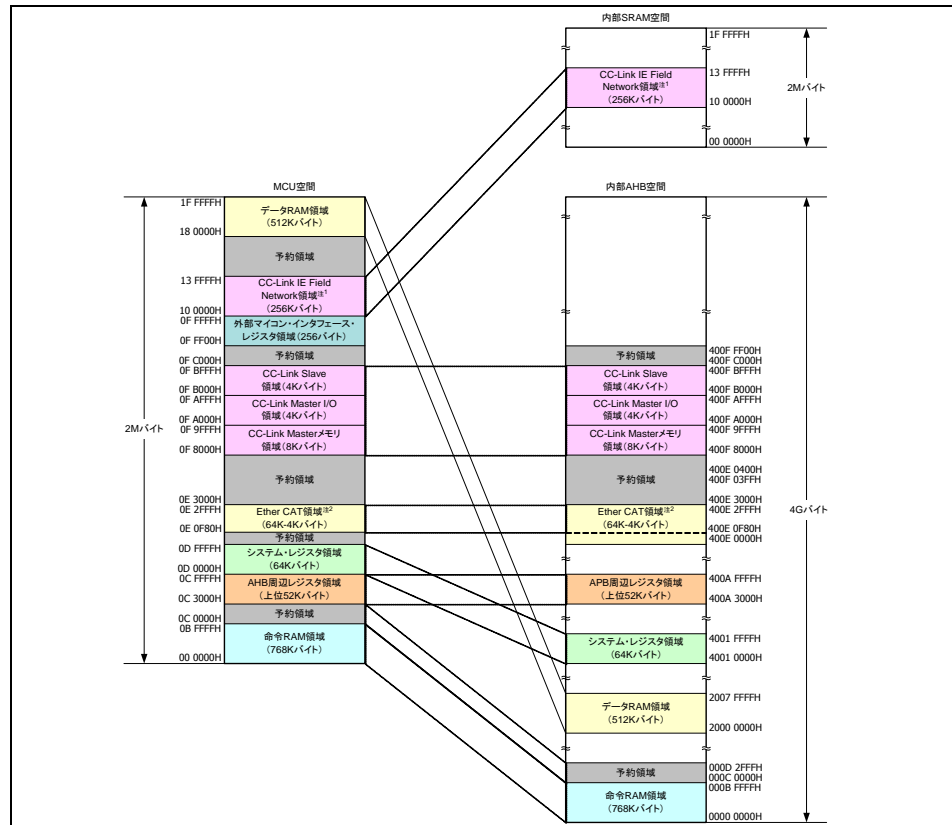


図 11.1 外部マイコン・インタフェース・メモリ空間

- 注 1. R-IN32M3-CL のみ搭載しています。
- 2. R-IN32M3-EC のみ搭載しています。

Rev.8)

11.1 メモリ MAP

外部マイコン・インタフェースとして、2Mバイト空間用意されています。

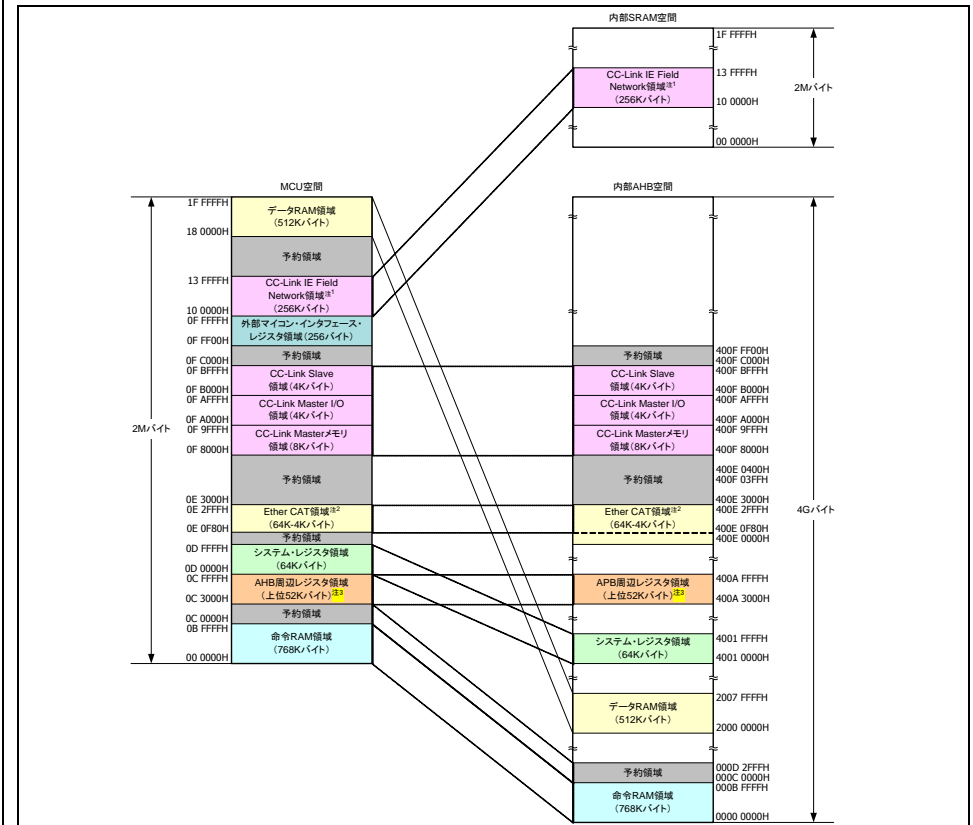


図 11.1 外部マイコン・インタフェース・メモリ空間

- 注 1. R-IN32M3-CL のみ搭載しています。
- 2. R-IN32M3-EC のみ搭載しています。
- 3. MCU 空間からアクセス可能な AHB 周辺レジスタ領域は「GPIO~同期式パーストアクセス MEMC 制御レジスタ」までの上位 52KB になります。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル」のメモリ・マップを参照してください。

16. 14.1 R-IN32M3 の TAUJ2 の特徴

「表 14.3 TAUJ2 の割り込みと周辺機能への要求」の“接続先”に記載追加 (p.456)

Rev.7)

表 14.3 TAUJ2 の割り込みと周辺機能への要求

TAUJ2 の割り込み信号	機能	接続先
TAUJ210	チャンネル m 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ210</li> <li>・DMA コントローラ・トリガ 0 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 0 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 0 (RPTFR)</li> </ul>
TAUJ211	チャンネル m 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ211</li> <li>・DMA コントローラ・トリガ 1 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 1 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 1 (RPTFR)</li> </ul>
TAUJ212	チャンネル m 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ212</li> <li>・DMA コントローラ・トリガ 2 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 2 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 2 (RPTFR)</li> </ul>
TAUJ213	チャンネル m 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ213</li> <li>・DMA コントローラ・トリガ 3 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 3 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 3 (RPTFR)</li> </ul>

Rev.8)

表 14.3 TAUJ2 の割り込みと周辺機能への要求

TAUJ2 の割り込み信号	機能	接続先
TAUJ210	チャンネル 0 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ210</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
TAUJ211	チャンネル 1 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ211</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
TAUJ212	チャンネル 2 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ212</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
TAUJ213	チャンネル 3 割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ TAUJ213</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>

※黄色ハッチング部分以外の変更箇所は、表記統一。

17. 14.1.1.1 機能一覧

「表 14.4 TAUJ2 動作機能一覧」に外部イベントカウント機能を追加 (p.457)  
Rev.7)

表 14.4 TAUJ2 動作機能一覧

動作機能	機能説明
チャンネル単体動作機能	
14.7.1「インターバル・タイマ機能」	一定間隔ごとに割り込みを出力します。
14.7.2「TAUJ2TTINm 入力インターバル・タイマ機能」	一定間隔ごとまたは、外部入力の有効エッジにより割り込みを出力します。
14.7.3「ディレイ・カウント機能」	外部入力の有効入力エッジに対して、一定の遅延を付加した割り込みを出力します。
14.7.4「TAUJ2TTINm 入力パルス間隔測定機能」	外部入力信号の入力間隔の時間を測定します。
14.7.5「TAUJ2TTINm 入力信号幅測定機能」	外部入力信号の信号幅を測定します。
チャンネル連動動作機能	
14.8.1「PWM 出力機能」	PWM 波形を出力します。

Rev.8)

表 14.4 TAUJ2 動作機能一覧

動作機能	機能説明
チャンネル単体動作機能	
14.7.1「インターバル・タイマ機能」	一定間隔ごとに割り込みを出力します。
14.7.2「TAUJ2TTINm 入力インターバル・タイマ機能」	一定間隔ごとまたは、外部入力の有効エッジにより割り込みを出力します。
14.7.3「ディレイ・カウント機能」	外部入力の有効入力エッジに対して、一定の遅延を付加した割り込みを出力します。
14.7.4「TAUJ2TTINm 入力パルス間隔測定機能」	外部入力信号の入力間隔の時間を測定します。
14.7.5「TAUJ2TTINm 入力信号幅測定機能」	外部入力信号の信号幅を測定します。
14.7.6「外部イベントカウント機能」	イベントタイマとして使用し、外部入力の有効入力エッジを検出して割り込みを出力します。
チャンネル連動動作機能	
14.8.1「PWM 出力機能」	PWM 波形を出力します。

18. 14.3.3(3) TAUJ2 チャンネル・モード OS レジスタ (TAUJ2CMORm)

TAUJ2CMORm レジスタ TAUJ2CCS ビット、TAUJ2MD ビットの“意味”を修正 (p.469-472)

Rev.7)

(3) TAUJ2 チャンネル・モード OS レジスタ (TAUJ2CMORm)

このレジスタは、チャンネル m の動作を制御します。

- アクセス 16 ビット単位でリード/ライト可能であり、ただし、ライトするときは TAUJ2TE.TAUJ2TEm=0 のときに行ってください。

(1/4)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2 CMORm	TAUJ2 CKS[1:0]		TAUJ2 CCS[1:0]		TAUJ2MAS		TAUJ2STS[2:0]		TAUJ2 COS[1:0]		0	TAUJ2MD[4:0]				4000 0080H + mx4H	0000H	
R/W	R/W		R/W		R/W		R/W		R/W		R	R/W						

ビット位置	ビット名	意味															
15, 14	TAUJ2CKS[1:0]	動作クロックを選択します。動作クロックは、カウント・クロックとして使用します。 ・ TAUJ2TTINm 入力エッジ検出回路で使用。 ・ TAUJ2CMORm.TAUJ2CCS[1:0] ビットの設定により、カウント・クロックとして使用。 <table border="1"> <tr> <td>TAUJ2CKS1</td> <td>TAUJ2CKS0</td> <td>プリスケアラ出力選択</td> </tr> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </table>	TAUJ2CKS1	TAUJ2CKS0	プリスケアラ出力選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJ2CKS1	TAUJ2CKS0	プリスケアラ出力選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13, 12	TAUJ2CCS[1:0]	TAUJ2CNTm カウンタのカウント・クロックを選択します。 <table border="1"> <tr> <td>TAUJ2CCS1</td> <td>TAUJ2CCS0</td> <td>カウント・クロック選択</td> </tr> <tr> <td>0</td> <td>0</td> <td>TAUJ2CMORm.TAUJ2CKS[1:0]で指定したプリスケアラ出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td></td> </tr> <tr> <td>1</td> <td>1</td> <td></td> </tr> </table>	TAUJ2CCS1	TAUJ2CCS0	カウント・クロック選択	0	0	TAUJ2CMORm.TAUJ2CKS[1:0]で指定したプリスケアラ出力	1	0	設定禁止	1	0		1	1	
TAUJ2CCS1	TAUJ2CCS0	カウント・クロック選択															
0	0	TAUJ2CMORm.TAUJ2CKS[1:0]で指定したプリスケアラ出力															
1	0	設定禁止															
1	0																
1	1																
11	TAUJ2MAS	チャンネル運動動作時に、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャンネルに対してのみ有効です。奇数チャンネルは、0に固定されています。															

Rev.8)

(3) TAUJ2 チャンネル・モード OS レジスタ (TAUJ2CMORm)

このレジスタは、チャンネル m の動作を制御します。

- アクセス 16 ビット単位でリード/ライト可能であり、ただし、ライトするときは TAUJ2TE.TAUJ2TEm=0 のときに行ってください。

(1/4)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TAUJ2 CMORm	TAUJ2 CKS[1:0]		TAUJ2 CCS[1:0]		TAUJ2MAS		TAUJ2STS[2:0]		TAUJ2 COS[1:0]		0	TAUJ2MD[4:0]				4000 0080H + mx4H	0000H	
R/W	R/W		R/W		R/W		R/W		R/W		R	R/W						

ビット位置	ビット名	意味															
15, 14	TAUJ2CKS[1:0]	動作クロックを選択します。動作クロックは、カウント・クロックとして使用します。 ・ TAUJ2TTINm 入力エッジ検出回路で使用。 ・ TAUJ2CMORm.TAUJ2CCS[1:0] ビットの設定により、カウント・クロックとして使用。 <table border="1"> <tr> <td>TAUJ2CKS1</td> <td>TAUJ2CKS0</td> <td>プリスケアラ出力選択</td> </tr> <tr> <td>0</td> <td>0</td> <td>CK0</td> </tr> <tr> <td>0</td> <td>1</td> <td>CK1</td> </tr> <tr> <td>1</td> <td>0</td> <td>CK2</td> </tr> <tr> <td>1</td> <td>1</td> <td>CK3</td> </tr> </table>	TAUJ2CKS1	TAUJ2CKS0	プリスケアラ出力選択	0	0	CK0	0	1	CK1	1	0	CK2	1	1	CK3
TAUJ2CKS1	TAUJ2CKS0	プリスケアラ出力選択															
0	0	CK0															
0	1	CK1															
1	0	CK2															
1	1	CK3															
13, 12	TAUJ2CCS[1:0]	TAUJ2CNTm カウンタのカウント・クロックを選択します。 <table border="1"> <tr> <td>TAUJ2CCS1</td> <td>TAUJ2CCS0</td> <td>カウント・クロック選択</td> </tr> <tr> <td>0</td> <td>0</td> <td>TAUJ2CMORm.TAUJ2CKS[1:0]で指定したプリスケアラ出力</td> </tr> <tr> <td>0</td> <td>1</td> <td>TAUJ2TTINm 入力信号の有効エッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td></td> </tr> </table>	TAUJ2CCS1	TAUJ2CCS0	カウント・クロック選択	0	0	TAUJ2CMORm.TAUJ2CKS[1:0]で指定したプリスケアラ出力	0	1	TAUJ2TTINm 入力信号の有効エッジ	1	0	設定禁止	1	1	
TAUJ2CCS1	TAUJ2CCS0	カウント・クロック選択															
0	0	TAUJ2CMORm.TAUJ2CKS[1:0]で指定したプリスケアラ出力															
0	1	TAUJ2TTINm 入力信号の有効エッジ															
1	0	設定禁止															
1	1																
11	TAUJ2MAS	チャンネル運動動作時に、そのチャンネルがマスタ・チャンネルかスレーブ・チャンネルかを指定します。 0：スレーブ 1：マスタ このビット設定は偶数チャンネルに対してのみ有効です。奇数チャンネルは、0に固定されています。															

18. 14.3.3(3) TAUJ2 チャネル・モード OS レジスタ (TAUJ2CMORM)

TAUJ2CMORM レジスタ TAUJ2CCS ビット、TAUJ2MD ビットの“意味”を修正 (p.469-472) 続き

Rev.7)

(4/4)

Rev.8)

(4/4)

ビット位置	ビット名	意味					
5	—	Reserved (0 が読み出されます。)					
4-0	TAUJ2MD[4:0]	動作モードを指定します。					
		TAUJ2MD4	TAUJ2MD3	TAUJ2MD2	TAUJ2MD1	TAUJ2MD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	1/0	設定禁止
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	設定禁止
		1	0	0	0		
		1	0	0	1		
		1	0	1	0		
		1	0	1	1	1/0	カウント・キャプチャ・モード
		1	1	0	0	1/0	設定禁止
		1	1	0	1	0	キャプチャ&ゲート・カウント・モード

モード	TAUJ2MD0 ビットの役割
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時 (スタート・トリガ入力時) に、INTTAUJ2Im 信号を出力するかどうかを指定します。 0: INTTAUJ2Im を出力しない 1: INTTAUJ2Im を出力する
ワンカウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可

モード	TAUJ2MD0 ビットの役割
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	このビットは 0 に設定する必要があります。 0: INTTAUJ2Im 発生禁止

ビット位置	ビット名	意味					
5	—	Reserved (0 が読み出されます。)					
4-0	TAUJ2MD[4:0]	動作モードを指定します。					
		TAUJ2MD4	TAUJ2MD3	TAUJ2MD2	TAUJ2MD1	TAUJ2MD0	機能説明
		0	0	0	0	1/0	インターバル・タイマ・モード
		0	0	0	1	1/0	設定禁止
		0	0	1	0	1/0	キャプチャ・モード
		0	0	1	1	1/0	イベントカウントモード
		0	1	0	0	1/0	ワンカウント・モード
		0	1	0	1	1/0	設定禁止
		0	1	1	0	0	キャプチャ&ワンカウント・モード
		0	1	1	1	1/0	設定禁止
		1	0	0	0		
		1	0	0	1		
		1	0	1	0		
		1	0	1	1	1/0	カウント・キャプチャ・モード
		1	1	0	0	1/0	設定禁止
		1	1	0	1	0	キャプチャ&ゲート・カウント・モード

モード	TAUJ2MD0 ビットの役割
インターバル・タイマ・モード キャプチャ・モード カウント・キャプチャ・モード	カウント動作開始時 (スタート・トリガ入力時) に、INTTAUJ2Im 信号を出力するかどうかを指定します。 0: INTTAUJ2Im を出力しない 1: INTTAUJ2Im を出力する
イベントカウントモード	このビットは“0” (カウント動作開始時に INTTAUJ2Im 信号を出力しない) に設定して下さい。
ワンカウント・モード	カウント中のスタート・トリガ検出を許可/禁止します。 0: 禁止 1: 許可

モード	TAUJ2MD0 ビットの役割
キャプチャ&ワンカウント・モード キャプチャ&ゲート・カウント・モード	このビットは 0 に設定する必要があります。 0: INTTAUJ2Im 発生禁止

## 19. 14.7.6 外部イベントカウント機能

### 「14.7.6 外部イベントカウント機能」を追加 (p.529-534)

Rev.7)

記載なし

Rev.8)

## 14.7.6 外部イベントカウント機能

### (1) 概要

#### (a) 概要

この機能は、イベントタイマとして使用します。特定数の TAUJ2TTINm 入力有効エッジを検出すると割り込み (INTTAUJ2Im) を発生します。

#### (b) 前提条件

- 動作モードはイベントカウントモードに設定する必要があります (「表 14.36 外部イベントカウント機能の TAUJ2CMORm レジスタの内容」参照)。
- この機能では、TAUJ2TOUTm は使用しません。

#### (c) 機能説明

チャンネルトリガビット (TAUJ2TS.TAUJ2TSM) を“1”に設定すると、カウンタ動作が許可されます。これにより TAUJ2TE.TAUJ2TEm = 1 となり、カウントが可能になります。カウントが開始されると、TAUJ2CDRm の現在値が TAUJ2CNTm にロードされます。

有効な TAUJ2TTINm 入力エッジを検出すると、TAUJ2CNTm 値はデクリメントされます。TAUJ2CNTm は、有効な TAUJ2TTINm 入力エッジが検出されるかカウントが再開するまでこの値を保持します。

有効エッジが TAUJ2CDRm + 1 検出されると、INTTAUJ2Im が発生します。その後、TAUJ2CDRm 値を TAUJ2CNTm にロードし、以降、動作を継続します。

TAUJ2TT.TAUJ2TTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUJ2TE.TAUJ2TEm は“0”に設定されます。

TAUJ2TS.TAUJ2TSM を“1”に設定すると、カウンタ動作を再開できます。カウント中に TAUJ2TS.TAUJ2TSM を“1”に設定すると、いったん停止せずにカウントを再開できます (強制リスタート)。

TAUJ2CDRm 値は任意のタイミングで書き換え可能で、変更後の値はカウンタが次にダウンカウントを開始するときに適用されます。

#### (d) 条件

トリガとして使用するエッジの種類は、TAUJ2CMURm.TAUJ2TIS[1:0]ビットで設定します。

- TAUJ2CMURm.TAUJ2TIS[1:0] = 00B のときは、立ち下がりエッジがカウントされます。
- TAUJ2CMURm.TAUJ2TIS[1:0] = 01B のときは、立ち上がりエッジがカウントされます。
- TAUJ2CMURm.TAUJ2TIS[1:0] = 10B のときは、両エッジがカウントされます。

#### (2) 算出式

INTTAUJ2Im 発生前に検出される有効エッジ数 = TAUJ2CDRm + 1

19. 14.7.6 外部イベントカウント機能

「14.7.6 外部イベントカウント機能」を追加 (p.529-534) 続き Rev.7)

記載なし

Rev.8)

(3) ブロック図と基本タイミング図

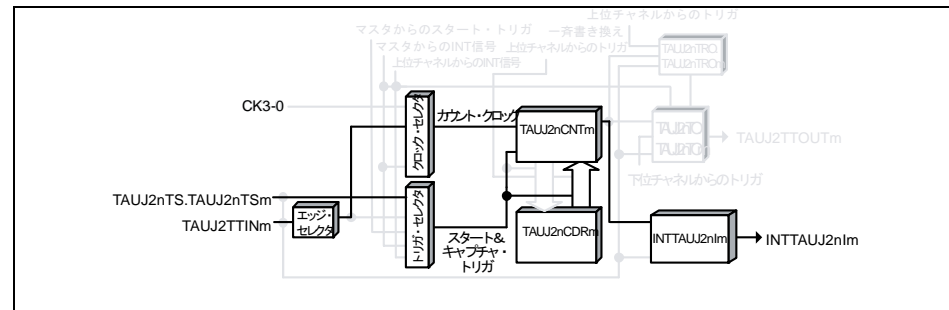


図 14.26 外部イベントカウント機能のブロック図

基本タイミング図での設定は次のようになっています。  
 ・立ち上がりエッジ検出 (TAUJ2CMURm.TAUJ2TIS[1:0] = 01B)

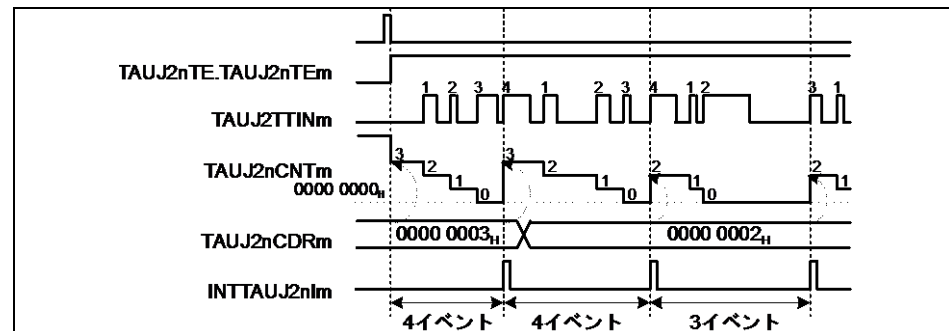


図 14.27 外部イベントカウント機能の基本タイミング図

19. 14.7.6 外部イベントカウント機能

「14.7.6 外部イベントカウント機能」を追加 (p.529-534) 続き Rev.7)

記載なし

Rev.8)

(4) レジスタ設定

(a) TAUJ2CMORm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAUJ2CKS [1:0]		TAUJ2CCS [1:0]		TAUJ2 MAS	TAUJ2STS [2:0]		TAUJ2COS [1:0]		0	TAUJ2MD[4:1]				TAUJ2MD0	

表 14.36 外部イベントカウント機能の TAUJ2CMORm レジスタの内容

ビット位置	ビット名	機能
15-14	TAUJ2CKS[1:0]	動作クロックの選択 00：プリスケアラ出力 CK0 01：プリスケアラ出力 CK1 10：プリスケアラ出力 CK2 11：プリスケアラ出力 CK3
13-12	TAUJ2CCS[1:0]	01：有効な TAUJ2TTINm 入力エッジをカウント・クロックとして使用
11	TAUJ2MAS	0：単体動作、“0”を設定
10-8	TAUJ2STS[2:0]	000：ソフトウェアでカウンタをトリガ
7-6	TAUJ2COS[1:0]	00：未使用、“00”を設定
5	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
4-1	TAUJ2MD[4:1]	0011：イベントカウントモード
0	TAUJ2MD0	0：動作開始時に INTTAUJ2Im が発生しない

(b) TAUJ2CMURm

7	6	5	4	3	2	1	0
0	0	0	0	0	0	TAUJ2TIS[1:0]	

表 14.37 外部イベントカウント機能の TAUJ2CMURm レジスタの内容

ビット位置	ビット名	機能
7-2	Reserved	リードした場合はリセット後の値が読めます。 ライトする場合はリセット後の値を書いてください。
1-0	TAUJ2TIS[1:0]	00：立ち下がリエッジ検出 01：立ち上がりエッジ検出 10：両エッジ検出

(c) チャネル出力モード

この機能ではチャネル出力モードを使用しません。



19. 14.7.6 外部イベントカウント機能

「14.7.6 外部イベントカウント機能」を追加 (p.529-534) 続き

Rev.7)

記載なし

Rev.8)

(d) 一斉書き換え

一斉書き換えレジスタ (TAUJ2RDE, TAUJ2RDS, TAUJ2RDM, TAUJ2RDC) は、外部イベントカウント機能では使用できません。したがって、これらのレジスタは“0”に設定する必要があります。

表 14.38 外部イベントカウント機能の一斉書き換え設定

ビット名	設定
TAUJ2RDE.TAUJ2RDEm	0：一斉書き換え禁止
TAUJ2RDS.TAUJ2RDSm	0：一斉書き換え禁止時 (TAUJ2RDE.TAUJ2RDEm = 0)、"0"を設定
TAUJ2RDM.TAUJ2RDMm	
TAUJ2RDC.TAUJ2RDCm	

(5) 外部イベントカウント機能の操作手順

表 14.39 外部イベントカウント機能の操作手順

	操作	TAUJ2 の状態
動作再開	チャンネルの初期設定 TAUJ2CMORm、TAUJ2CMURm レジスタを、「表 14.36 外部イベントカウント機能の TAUJ2CMORm レジスタの内容」と「表 14.37 外部イベントカウント機能の TAUJ2CMURm レジスタの内容」に示すように設定します。TAUJ2CDRm レジスタの値を設定します。	チャネル動作を停止しています。
	動作開始 TAUJ2TS.TAUJ2TSm を“1”に設定します。TAUJ2TS.TAUJ2TSm はトリガビットなので、自動的に“0”にクリアされます。	TAUJ2TE.TAUJ2TEm が“1”に設定され、カウントが開始されます。TAUJ2CNTm は TAUJ2CDRm 値をロードし、TAUJ2TTINm 入力エッジ検出を待ちます。
	動作中 TAUJ2TTINm エッジ検出 TAUJ2CDRm 値は任意のタイミングで変更可能です。TAUJ2CNTm レジスタは任意のタイミングで読み出し可能です。	TAUJ2CNTm は TAUJ2TTINm 入力エッジを検出するたびに、ダウンカウントを行います。カウンタが 0000H になった場合： ・ TAUJ2CDRm 値を TAUJ2CNTm にロードし、カウント動作を継続します。 ・ INTTAUJ2Im が発生します。 以降、この動作を繰り返します。
	動作停止 TAUJ2TT.TAUJ2TTm を“1”に設定します。TAUJ2TT.TAUJ2TTm はトリガビットなので、自動的に“0”にクリアされます。	TAUJ2TE.TAUJ2TEm が“0”にクリアされ、カウンタ動作が停止します。TAUJ2CNTm が停止し、現在値を保持します。

19. 14.7.6 外部イベントカウント機能

「14.7.6 外部イベントカウント機能」を追加 (p.529-534) 続き  
Rev.7)

記載なし

Rev.8)

(6) 特定の設定時のタイミング図

(a) TAUJ2CDRm = 0000 0000H

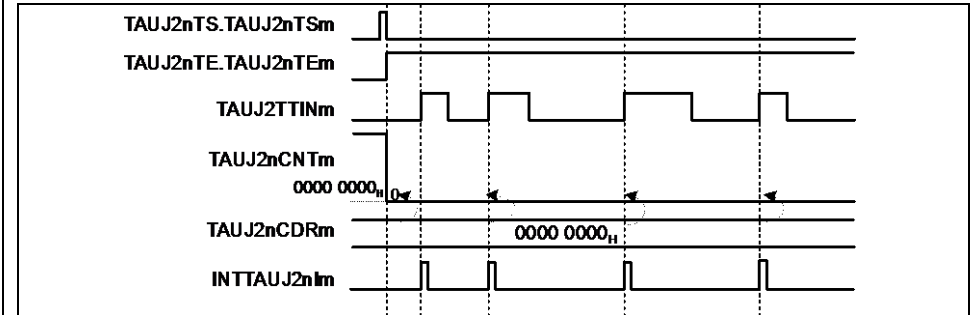


図 14.28 TAUJ2CDRm = 0000 0000H、TAUJ2CMURm.TAUJ2TIS[1:0] = 01B

- ・ 0000 0000H = TAUJ2CDRm の場合、有効な TAUJ2TTINm 入力エッジが検出されるたびに 0000 0000H が TAUJ2CNTm にロードされます。つまり、有効な TAUJ2TTINm 入力エッジが検出されるたびに、INTTAUJ2Im が発生します。

(b) 動作の停止と再開

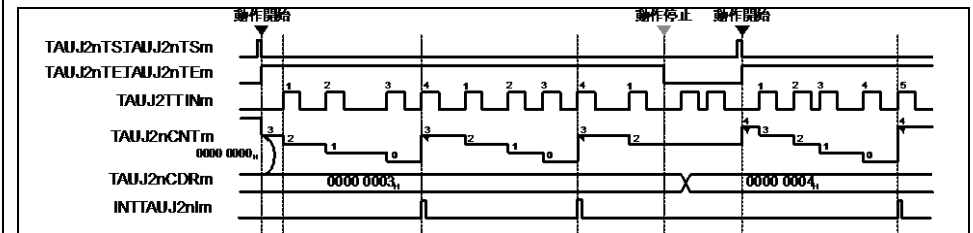


図 14.29 動作の停止と再開 (TAUJ2CMURm.TAUJ2TIS[1:0] = 01B)

- ・ TAUJ2TT.TAUJ2TTm を“1”に設定すると、カウンタ動作を停止できます。これにより、TAUJ2TE.TAUJ2TEm は“0”に設定されます。
- ・ TAUJ2CNTm が停止し、現在値を保持します。TAUJ2TTINm は継続し、TAUJ2CNTm は有効エッジを無視します。
- ・ TAUJ2TS.TAUJ2TSm を“1”に設定すると、カウントを再開できます。TAUJ2CNTm は TAUJ2CDRm 値をロードし、カウント動作を再開します。

19. 14.7.6 外部イベントカウント機能

「14.7.6 外部イベントカウント機能」を追加 (p.529-534) 続き Rev.7)

記載なし

Rev.8)

(c) 強制リスタート

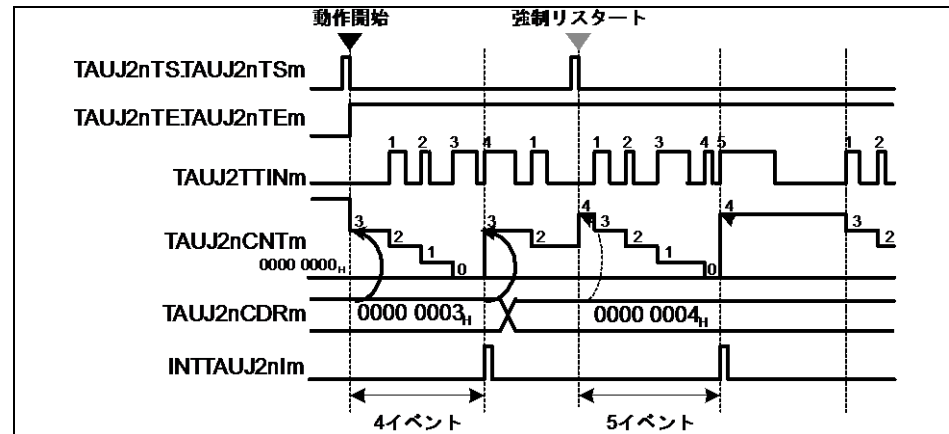


図 14.30 強制リスタート (TAUJ2CMURm.TAUJ2TIS[1:0] = 01B)

- 強制リスタートを行うと、変更した TAUJ2CDRm の値が TAUJ2CNTm に適用されます。
- ・ 動作中に TAUJ2TS.TAUJ2TSM を“1”に設定すると、いったん停止しなくてもカウントを再開できます。
  - ・ TAUJ2CDRm の値が TAUJ2CNTm にロードされ、カウンタは次の有効な TAUJ2TTINm 入力エッジを待ちます。

20. 15.3.2(2) WDTA モード・レジスタ (WDTAnMD)

WDTA0MD レジスタの“レジスタ略号”、“ビット名”を修正 (p.563-564)

Rev.7)

(2) WDTA モード・レジスタ (WDTAnMD)

オーバフロー・インターバル時間、エラー・モード、およびウインドウ・オープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

WDTA 起動後にこのレジスタの値を変更するとエラーが発生しますが、同値書き込みはできます。

- アクセス 8ビット単位でリード/ライト可能です。

		7	6	5	4	3	2	1	0	アドレス	初期値
WDTAnMD		0	WDTAnOVF[2:0]			0	WDTAnERM	WDTAnWS[1:0]		4000 070CH	0FH
R/W		0	R/W			0	R/W	R/W			

ビット位置	ビット名	意味			
7	—	Reserved (ライトは無視されます。リードは0が読み出されます。)			
6-4	WDTAnOVF[2:0]	オーバフロー・インターバル時間を選択します。			
		WDTAnOVF2	WDTAnOVF1	WDTAnOVF0	オーバフロー・インターバル時間
		0	0	0	2 <sup>9</sup> / WDTATCKI
		0	0	1	2 <sup>10</sup> / WDTATCKI
		0	1	0	2 <sup>11</sup> / WDTATCKI
		0	1	1	2 <sup>12</sup> / WDTATCKI
		1	0	0	2 <sup>13</sup> / WDTATCKI
		1	0	1	2 <sup>14</sup> / WDTATCKI
		1	1	0	2 <sup>15</sup> / WDTATCKI
		1	1	1	2 <sup>16</sup> / WDTATCKI
3	—	Reserved (0をライトしてください。)			
2	WDTAnERM	エラー・モードを指定します。 0: NMI 要求モード 1: リセット・モード			
1,0	WDTAnWS[1:0]	ウインドウ・オープン期間を選択します。			
		WDTAnWS1	WDTAnWS0	ウインドウ・オープン期間	
		0	0	25%	
		0	1	50%	
		1	0	75%	
		1	1	100%	

Rev.8)

(2) WDTA モード・レジスタ (WDTA0MD)

オーバフロー・インターバル時間、エラー・モード、およびウインドウ・オープン期間を指定します。

このレジスタの値は、リセット解除後、最初のトリガが発生する前に一度だけ変更可能です。変更後の値は次の WDTA トリガ発生から有効になります。

WDTA 起動後にこのレジスタの値を変更するとエラーが発生しますが、同値書き込みはできます。

- アクセス 8ビット単位でリード/ライト可能です。

		7	6	5	4	3	2	1	0	アドレス	初期値
WDTA0MD		0	WDTA0OVF[2:0]			0	WDTA0ERM	WDTA0WS[1:0]		4000 070CH	0FH
R/W		0	R/W			0	R/W	R/W			

ビット位置	ビット名	意味			
7	—	Reserved (ライトは無視されます。リードは0が読み出されます。)			
6-4	WDTA0OVF[2:0]	オーバフロー・インターバル時間を選択します。			
		WDTA0OVF2	WDTA0OVF1	WDTA0OVF0	オーバフロー・インターバル時間
		0	0	0	2 <sup>9</sup> / WDTATCKI
		0	0	1	2 <sup>10</sup> / WDTATCKI
		0	1	0	2 <sup>11</sup> / WDTATCKI
		0	1	1	2 <sup>12</sup> / WDTATCKI
		1	0	0	2 <sup>13</sup> / WDTATCKI
		1	0	1	2 <sup>14</sup> / WDTATCKI
		1	1	0	2 <sup>15</sup> / WDTATCKI
		1	1	1	2 <sup>16</sup> / WDTATCKI
3	—	Reserved (0をライトしてください。)			
2	WDTA0ERM	エラー・モードを指定します。 0: NMI 要求モード 1: リセット・モード			
1,0	WDTA0WS[1:0]	ウインドウ・オープン期間を選択します。			
		WDTA0WS1	WDTA0WS0	ウインドウ・オープン期間	
		0	0	25%	
		0	1	50%	
		1	0	75%	
		1	1	100%	

21. 16.1 R-IN32M3 UARTJn の機能

「表 16.4 UARTJn の割り込みと周辺機能の要求」の“接続先”に記載追加 (p.573)

Rev.7)

表 16.4 UARTJn の割り込みと DMA の要求

UARTJn の割り込み信号	機能	接続先
UARTJ0		
INTUAJ0TIT	送信割り込み	・割り込みコントローラ INTUAJ0TIT
INTUAJ0TIR	受信割り込み	・割り込みコントローラ INTUAJ0TIR
INTUAJ0TIS	ステータス割り込み	・割り込みコントローラ INTUAJ0TIS
UARTJ1		
INTUAJ1TIT	送信割り込み	・割り込みコントローラ INTUAJ1TIT
INTUAJ1TIR	受信割り込み	・割り込みコントローラ INTUAJ1TIR
INTUAJ1TIS	ステータス割り込み	・割り込みコントローラ INTUAJ1TIS

Rev.8)

表 16.4 UARTJn の割り込みと周辺機能の要求

UARTJn の割り込み信号	機能	接続先
UARTJ0		
INTUAJ0TIT	送信割り込み	・割り込みコントローラ INTUAJ0TIT ・HW-RTOS (Hardware ISR) ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR)
INTUAJ0TIR	受信割り込み	・割り込みコントローラ INTUAJ0TIR ・HW-RTOS (Hardware ISR) ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR)
INTUAJ0TIS	ステータス割り込み	・割り込みコントローラ INTUAJ0TIS ・HW-RTOS (Hardware ISR)
UARTJ1		
INTUAJ1TIT	送信割り込み	・割り込みコントローラ INTUAJ1TIT ・HW-RTOS (Hardware ISR) ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR)
INTUAJ1TIR	受信割り込み	・割り込みコントローラ INTUAJ1TIR ・HW-RTOS (Hardware ISR) ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR)
INTUAJ1TIS	ステータス割り込み	・割り込みコントローラ INTUAJ1TIS ・HW-RTOS (Hardware ISR)

22. 16.6.6(1) 受信 FIFO

オーバーラン・エラーの補足説明を追加 (p.615)

Rev.7)

16.6.6 UARTJn 受信

(1) 受信 FIFO

受信 FIFO は、受信した 8 ビット・データおよびパリティ・エラーとフレーミング・エラーを示す 2 つのエラー・フラグの格納に使われる 10 ビット×16 段から構成されます。

受信 FIFO は URTJnFRX レジスタを読み出すことによって空になります。

- 受信 FIFO のステータス  
受信 FIFO の格納データ数を確認するためのさまざまなステータス情報を取得できます。
  - 受信 FIFO 内の受信ワード数は、受信 FIFO ポインタ URTJnFSTR0.UARTnSSRW[4:0]を読み出すことによって確認できます。
  - URTJnFSTR1.UARTnSSRF (= 1 : フル) は FIFO フル/非フル・ステータスを示します。
  - URTJnSTR1.UARTnSSRE (= 1 : エンプティ) は FIFO エンプティ/非エンプティ・ステータスを示します。
- ポインタの変化  
受信するたびに受信 FIFO 内のデータ・ワード数が増え、URTJnFSTR0.UARTnSSRW[4:0] が増えます。また、URTJnFRX からデータを読み出すたびに受信 FIFO 内のデータ・ワード数が減り、それによって URTJnFSTR0.UARTnSSRW[4:0]が減ります。
- オーバーラン・エラー  
受信 FIFO がフルのときに (URTJnFSTR1.UARTnSSRF = 1) Rev.8 しいデータが受信されると、受信データは破棄され、オーバーラン・エラーが検出され (URTJnFSTR1.UARTnFROVE = 1)、ステータス割り込み INTUAJnTIS がアサートされます。

Rev.8)

16.6.6 UARTJn 受信

(1) 受信 FIFO

受信 FIFO は、受信した 8 ビット・データおよびパリティ・エラーとフレーミング・エラーを示す 2 つのエラー・フラグの格納に使われる 10 ビット×16 段から構成されます。

受信 FIFO は URTJnFRX レジスタを読み出すことによって空になります。

- 受信 FIFO のステータス  
受信 FIFO の格納データ数を確認するためのさまざまなステータス情報を取得できます。
  - 受信 FIFO 内の受信ワード数は、受信 FIFO ポインタ URTJnFSTR0.UARTnSSRW[4:0]を読み出すことによって確認できます。
  - URTJnFSTR1.UARTnSSRF (= 1 : フル) は FIFO フル/非フル・ステータスを示します。
  - URTJnSTR1.UARTnSSRE (= 1 : エンプティ) は FIFO エンプティ/非エンプティ・ステータスを示します。
- ポインタの変化  
受信するたびに受信 FIFO 内のデータ・ワード数が増え、URTJnFSTR0.UARTnSSRW[4:0] が増えます。また、URTJnFRX からデータを読み出すたびに受信 FIFO 内のデータ・ワード数が減り、それによって URTJnFSTR0.UARTnSSRW[4:0]が減ります。
- オーバーラン・エラー  
受信 FIFO がフルのときに (URTJnFSTR1.UARTnSSRF = 1) 新しいデータが受信されると、受信データは破棄され、オーバーラン・エラーが検出され (URTJnFSTR1.UARTnFROVE = 1)、ステータス割り込み INTUAJnTIS がアサートされます。  
また、受信 FIFO が空 (Empty) の場合に、URTJnFRX レジスタを読み出した場合にもオーバーラン・エラーが発生します。

23. 17.1 R-IN32M3 の CSIH の特徴

「表 17.5 CSIHn の割り込みと周辺機能の要求」の“接続先”に記載追加 (p.628)

Rev.7)

表 17.5 CSIHn の割り込みと DMA の要求

CSIHn の割り込み信号	機能	接続先
CSIH0		
CSIH0	通信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH0IC</li> <li>・DMA コントローラ・トリガ C (DTFR)</li> <li>・タイマ・キャプチャ・トリガ C (TTFR)</li> <li>・リアルタイム・ポート・トリガ C (RPTFR)</li> </ul>
CSIH0IR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH0IR</li> <li>・DMA コントローラ・トリガ D</li> <li>・タイマ・キャプチャ・トリガ D (TTFR)</li> <li>・リアルタイム・ポート・トリガ D (RPTFR)</li> </ul>
CSIH0IRE	通信エラー割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH0IRE</li> </ul>
CSIH0IJC	ジョブ完了割り込み	<ul style="list-style-type: none"> <li>・DMA コントローラ・トリガ E (DTFR)</li> <li>・タイマ・キャプチャ・トリガ E (TTFR)</li> <li>・リアルタイム・ポート・トリガ E (RPTFR)</li> </ul>
CSIH1		
CSIH1	通信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IC</li> <li>・DMA コントローラ・トリガ F (DTFR)</li> <li>・タイマ・キャプチャ・トリガ F (TTFR)</li> <li>・リアルタイム・ポート・トリガ F (RPTFR)</li> </ul>
CSIH1IR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IR</li> <li>・DMA コントローラ・トリガ 10 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 10 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 10 (RPTFR)</li> </ul>
CSIH1IRE	通信エラー割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IRE</li> </ul>
CSIH1IJC	ジョブ完了割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IJC</li> <li>・DMA コントローラ・トリガ 11 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 11 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 11 (RPTFR)</li> </ul>

Rev.8)

表 17.5 CSIHn の割り込みと周辺機能の要求

CSIHn の割り込み信号	機能	接続先
CSIH0		
CSIH0	通信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH0IC</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
CSIH0IR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH0IR</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
CSIH0IRE	通信エラー割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH0IRE</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
CSIH0IJC	ジョブ完了割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH0IJC</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
CSIH1		
CSIH1	通信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IC</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
CSIH1IR	受信ステータス割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IR</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
CSIH1IRE	通信エラー割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IRE</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
CSIH1IJC	ジョブ完了割り込み	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTCSIH1IJC</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>

※黄色ハッチング部分以外の変更箇所は、表記統一。

24. 18.1 R-IN32M3 の IICB の特徴

「表 18.3 IICBn の割り込みと周辺機能の要求」の“接続先”に記載追加 (p.760)

Rev.7)

表 18.3 IICBn の割り込みと DMA の要求

IICBn の 割り込み信号	機能	接続先
IICB0		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB0TIA</li> <li>・DMA コントローラ・トリガ 12 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 12 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 12 (RPTFR)</li> </ul>
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB0TIS</li> </ul>
IICB1		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB1TIA</li> <li>・DMA コントローラ・トリガ 13 (DTFR)</li> <li>・タイマ・キャプチャ・トリガ 13 (TTFR)</li> <li>・リアルタイム・ポート・トリガ 13 (RPTFR)</li> </ul>
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB1TIS</li> </ul>

Rev.8)

表 18.3 IICBn の割り込みと周辺機能の要求

IICBn の 割り込み信号	機能	接続先
IICB0		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB0TIA</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB0TIS</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
IICB1		
IICBTIA	データ送受信割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB1TIA</li> <li>・DMA コントローラ・トリガ (DTFR/RTDFTR)</li> <li>・タイマ・キャプチャ・トリガ (TMTFR)</li> <li>・リアルタイム・ポート・トリガ (RPTFR)</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>
IICBTIS	ステータス割り込み要求信号	<ul style="list-style-type: none"> <li>・割り込みコントローラ INTIICB1TIS</li> <li>・HW-RTOS (Hardware ISR)</li> </ul>

※黄色ハッチング部分以外の変更箇所は、表記統一。



25. 18.9.1(3) 連続転送モード時のマスタ動作設定手順

「図 18.16 連続転送モード時のマスタ動作設定手順 (シングルマスタ環境)」の誤記修正 (p.880)

Rev.7)

(3) 連続転送モード時のマスタ動作設定手順

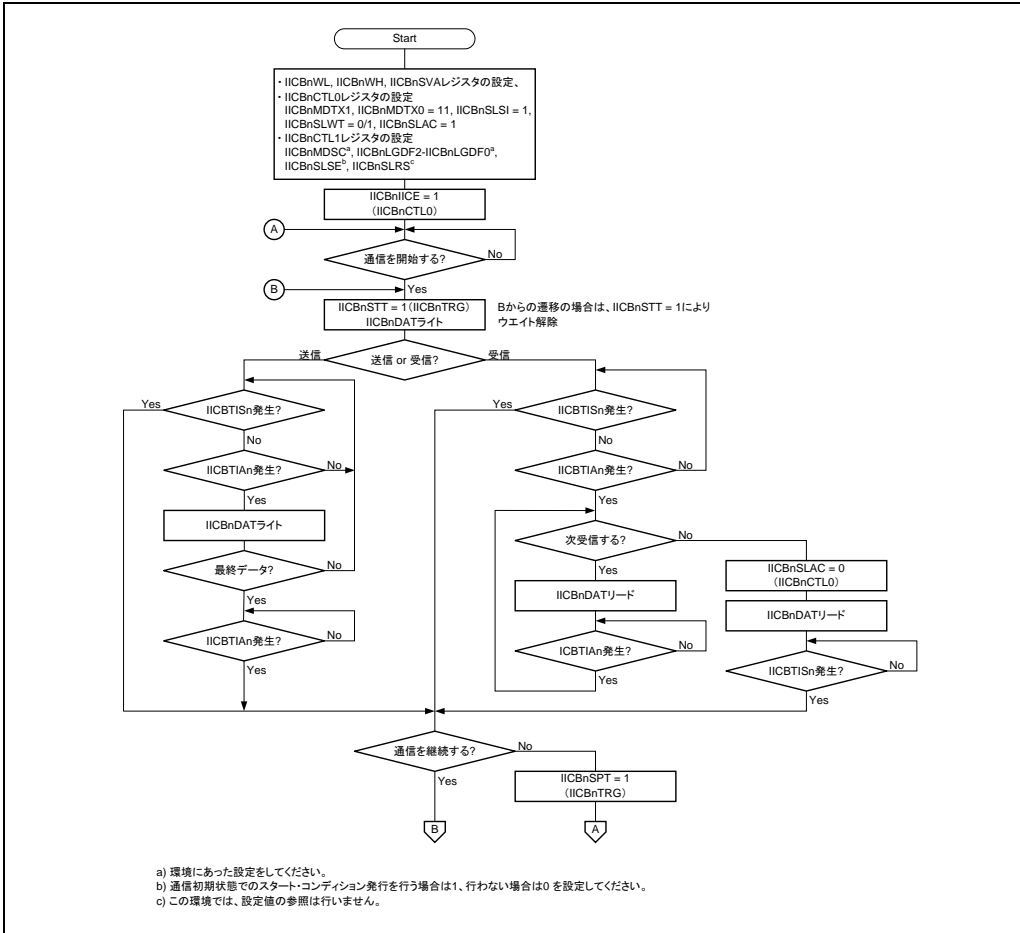


図 18.16 連続転送モード時のマスタ動作設定手順 (シングルマスタ環境)

Rev.8)

(3) 連続転送モード時のマスタ動作設定手順

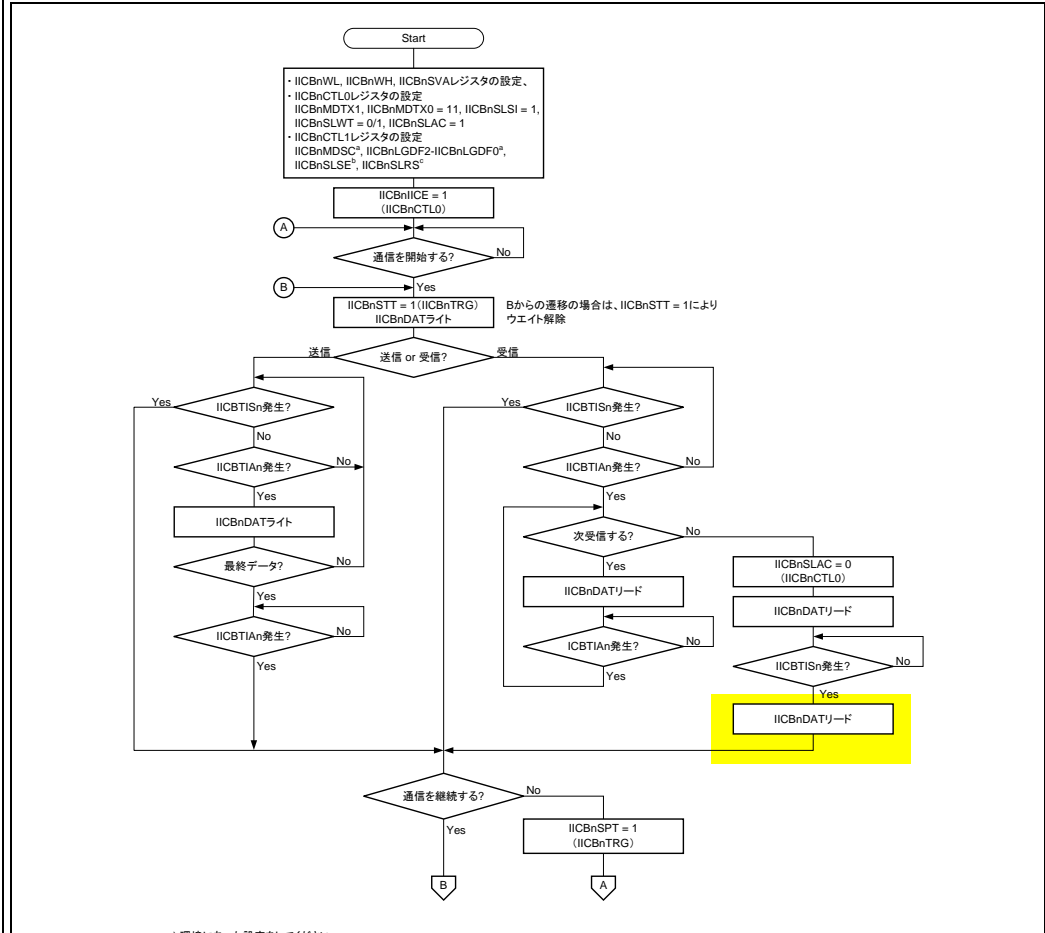


図 18.16 連続転送モード時のマスタ動作設定手順 (シングルマスタ環境)

26. 19.1 R-IN32M3 の FCN 機能

「表 19.4 FCN の割り込みと周辺機能の要求」の“接続先”に記載追加 (p.891)

Rev.7)

表 19.4 FCN の割り込みと DMA の要求

FCNn の割り込み信号	機能	接続先
FCN0		
INTC0ERR	FCN0 エラー検出	・割り込みコントローラ INTFCN0ERR
INTC0REC	FCN0 受信完了	・割り込みコントローラ INTFCN0REC ・DMA コントローラ・トリガ 14 (DTFR) ・タイマ・キャプチャ・トリガ 14 (TTFR) ・リアルタイム・ポート・トリガ 14 (RPTFR)
INTC0TRX	FCN0 送信完了	・割り込みコントローラ INTFCN0TRX ・DMA コントローラ・トリガ 15 (DTFR) ・タイマ・キャプチャ・トリガ 15 (TTFR) ・リアルタイム・ポート・トリガ 15 (RPTFR)
INTC0WUP	FCN0 スリープ・ウェイクアップ/送信中断	・割り込みコントローラ INTFCN0WUP ・DMA コントローラ・トリガ 16 (DTFR) ・タイマ・キャプチャ・トリガ 16 (TTFR) ・リアルタイム・ポート・トリガ 16 (RPTFR)
FCN1		
INTC1ERR	FCN1 エラー検出	・割り込みコントローラ INTFCN1ERR
INTC1REC	FCN1 受信完了	・割り込みコントローラ INTFCN1REC ・DMA コントローラ・トリガ 17 (DTFR) ・タイマ・キャプチャ・トリガ 17 (TTFR) ・リアルタイム・ポート・トリガ 17 (RPTFR)
INTC1TRX	FCN1 送信完了	・割り込みコントローラ INTFCN1TRX ・DMA コントローラ・トリガ 18 (DTFR) ・タイマ・キャプチャ・トリガ 18 (TTFR) ・リアルタイム・ポート・トリガ 18 (RPTFR)
INTC1WUP	FCN1 スリープ・ウェイクアップ/送信中断	・割り込みコントローラ INTFCN1WUP ・DMA コントローラ・トリガ 19 (DTFR) ・タイマ・キャプチャ・トリガ 19 (TTFR) ・リアルタイム・ポート・トリガ 19 (RPTFR)

Rev.8)

表 19.4 FCN の割り込みと周辺機能の要求

FCNn の割り込み信号	機能	接続先
FCN0		
INTC0ERR	FCN0 エラー検出	・割り込みコントローラ INTFCN0ERR ・HW-RTOS (Hardware ISR)
INTC0REC	FCN0 受信完了	・割り込みコントローラ INTFCN0REC ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR) ・HW-RTOS (Hardware ISR)
INTC0TRX	FCN0 送信完了	・割り込みコントローラ INTFCN0TRX ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR) ・HW-RTOS (Hardware ISR)
INTC0WUP	FCN0 スリープ・ウェイクアップ/送信中断	・割り込みコントローラ INTFCN0WUP ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR) ・HW-RTOS (Hardware ISR)
FCN1		
INTC1ERR	FCN1 エラー検出	・割り込みコントローラ INTFCN1ERR ・HW-RTOS (Hardware ISR)
INTC1REC	FCN1 受信完了	・割り込みコントローラ INTFCN1REC ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR) ・HW-RTOS (Hardware ISR)
INTC1TRX	FCN1 送信完了	・割り込みコントローラ INTFCN1TRX ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR) ・HW-RTOS (Hardware ISR)
INTC1WUP	FCN1 スリープ・ウェイクアップ/送信中断	・割り込みコントローラ INTFCN1WUP ・DMA コントローラ・トリガ (DTFR/RTDFTR) ・タイマ・キャプチャ・トリガ (TMTFR) ・リアルタイム・ポート・トリガ (RPTFR) ・HW-RTOS (Hardware ISR)

※黄色ハッチング部分以外の変更箇所は、表記統一。

27. 19.13.2 代表的なボー・レートの設定例

「表 19.20 代表的なボー・レートの設定例」のクロック周波数、フェーズ・セグメント設定値の誤記訂正 (p.1002-1003)

Rev.7)

表 19.20 代表的なボー・レートの設定例 (f<sub>CANMOD</sub> = 25MHz) (1/2)

ボー・レートの設定値 (単位: kbps)	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
			DBT 長	シンク・セグメント	ブロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTCTL TS1LG[3:0]	FCNnCMBTCTL TS2LG[2:0]	
1000	1	00000000	20	1	3	8	8	1010	111	60.0
1000	1	00000000	20	1	5	7	7	1011	110	65.0
1000	1	00000000	20	1	7	6	6	1100	101	70.0
1000	1	00000000	20	1	7	4	4	1101	100	75.0
1000	1	00000000	20	1	9	5	5	1110	011	80.0
1000	1	00000000	20	1	11	2	2	1111	010	85.0
1000	2	00000001	10	1	1	4	4	0100	011	60.0
1000	2	00000001	10	1	3	3	3	0101	010	70.0
1000	2	00000001	10	1	5	2	2	0110	001	80.0
1000	2	00000001	10	1	7	1	1	0111	000	90.0
500	2	00000001	20	1	3	8	8	1010	111	60.0
500	2	00000001	20	1	5	7	7	1011	110	65.0
500	2	00000001	20	1	7	6	6	1100	101	70.0
500	2	00000001	20	1	7	4	4	1101	100	75.0
500	2	00000001	20	1	9	5	5	1110	011	80.0
500	2	00000001	20	1	11	2	2	1111	010	85.0
500	4	00000011	10	1	1	4	4	0100	011	60.0
500	4	00000011	10	1	3	3	3	0101	010	70.0
500	4	00000011	10	1	5	2	2	0110	001	80.0
500	4	00000011	10	1	7	1	1	0111	000	90.0
250	4	00000011	20	1	5	7	7	1011	110	65.0
250	4	00000011	20	1	7	6	6	1100	101	70.0
250	4	00000011	20	1	9	5	5	1101	100	75.0
250	4	00000011	20	1	11	4	4	1110	011	80.0
250	8	00000111	10	1	3	3	3	0101	010	70.0
250	8	00000111	10	1	5	2	2	0110	001	80.0
125	8	00000111	20	1	5	7	7	1011	110	65.0
125	8	00000111	20	1	7	6	6	1100	101	70.0
125	8	00000111	20	1	9	5	5	1101	100	75.0
125	8	00000111	20	1	11	4	4	1110	011	80.0
125	16	00001111	10	1	3	3	3	0101	010	70.0
125	16	00001111	10	1	5	2	2	0110	001	80.0
100	10	00001001	20	1	5	7	7	1011	110	65.0
100	10	00001001	20	1	7	6	6	1100	101	70.0
100	10	00001001	20	1	7	4	4	1101	100	75.0
100	10	00001001	20	1	9	5	5	1110	011	80.0
100	20	00010011	10	1	3	3	3	0101	010	70.0
100	20	00010011	10	1	5	2	2	0110	001	80.0

Rev.8)

表 19.20 代表的なボー・レートの設定例 (f<sub>CANMOD</sub> = 20MHz) (1/2)

ボー・レートの設定値 (単位: kbps)	FCNnCMBRPRS レジスタの分周比	FCNnCMBRPRS レジスタの設定値	有効なビット・レートの設定 (単位: TQ)					FCNnCMBTCTL レジスタの設定値		サンプル・ポイント (単位%)
			DBT 長	シンク・セグメント	ブロップ・セグメント	フェーズ・セグメント1	フェーズ・セグメント2	FCNnCMBTCTL TS1LG[3:0]	FCNnCMBTCTL TS2LG[2:0]	
1000	1	00000000	20	1	3	8	8	1010	111	60.0
1000	1	00000000	20	1	5	7	7	1011	110	65.0
1000	1	00000000	20	1	7	6	6	1100	101	70.0
1000	1	00000000	20	1	7	4	4	1101	100	75.0
1000	1	00000000	20	1	9	5	5	1110	011	80.0
1000	1	00000000	20	1	11	4	4	1111	010	85.0
1000	2	00000001	10	1	1	4	4	0100	011	60.0
1000	2	00000001	10	1	3	3	3	0101	010	70.0
1000	2	00000001	10	1	5	2	2	0110	001	80.0
1000	2	00000001	10	1	7	1	1	0111	000	90.0
500	2	00000001	20	1	3	8	8	1010	111	60.0
500	2	00000001	20	1	5	7	7	1011	110	65.0
500	2	00000001	20	1	7	6	6	1100	101	70.0
500	2	00000001	20	1	7	4	4	1101	100	75.0
500	2	00000001	20	1	9	5	5	1110	011	80.0
500	2	00000001	20	1	11	4	4	1111	010	85.0
500	4	00000011	10	1	1	4	4	0100	011	60.0
500	4	00000011	10	1	3	3	3	0101	010	70.0
500	4	00000011	10	1	5	2	2	0110	001	80.0
500	4	00000011	10	1	7	1	1	0111	000	90.0
250	4	00000011	20	1	5	7	7	1011	110	65.0
250	4	00000011	20	1	7	6	6	1100	101	70.0
250	4	00000011	20	1	9	5	5	1101	100	75.0
250	4	00000011	20	1	11	4	4	1110	011	80.0
250	8	00000111	10	1	3	3	3	0101	010	70.0
250	8	00000111	10	1	5	2	2	0110	001	80.0
125	8	00000111	20	1	5	7	7	1011	110	65.0
125	8	00000111	20	1	7	6	6	1100	101	70.0
125	8	00000111	20	1	9	5	5	1101	100	75.0
125	8	00000111	20	1	11	4	4	1110	011	80.0
125	16	00001111	10	1	3	3	3	0101	010	70.0
125	16	00001111	10	1	5	2	2	0110	001	80.0
100	10	00001001	20	1	5	7	7	1011	110	65.0
100	10	00001001	20	1	7	6	6	1100	101	70.0
100	10	00001001	20	1	7	4	4	1101	100	75.0
100	10	00001001	20	1	9	5	5	1110	011	80.0
100	20	00010011	10	1	3	3	3	0101	010	70.0
100	20	00010011	10	1	5	2	2	0110	001	80.0

28. 2.1 レジスタ一覧

CPUBUSMD レジスタを追加 (p.1044)

Rev.7)

レジスタ名	略号	アドレス	プロテクト対象	操作可能なサイズ		外部MCU操作
				16	32	
スクラッチ・レジスタ 0	SCRATCH0	BASE+0900H	—	○	○	○
スクラッチ・レジスタ 1	SCRATCH1	BASE+0904H	—	○	○	○
スクラッチ・レジスタ 2	SCRATCH2	BASE+0908H	—	○	○	○
スクラッチ・レジスタ 3	SCRATCH3	BASE+090CH	—	○	○	○
スクラッチ・レジスタ 4	SCRATCH4	BASE+0910H	—	○	○	○
スクラッチ・レジスタ 5	SCRATCH5	BASE+0914H	—	○	○	○
スクラッチ・レジスタ 6	SCRATCH6	BASE+0918H	—	○	○	○
スクラッチ・レジスタ 7	SCRATCH7	BASE+091CH	—	○	○	○
スクラッチ・レジスタ 8	SCRATCH8	BASE+0920H	—	○	○	○
スクラッチ・レジスタ 9	SCRATCH9	BASE+0924H	—	○	○	○
スクラッチ・レジスタ A	SCRATCHA	BASE+0928H	—	○	○	○
スクラッチ・レジスタ B	SCRATCHB	BASE+092CH	—	○	○	○
スクラッチ・レジスタ C	SCRATCHC	BASE+0930H	—	○	○	○
スクラッチ・レジスタ D	SCRATCHD	BASE+0934H	—	○	○	○
トリガ同期式ポート制御モード・レジスタ	RPTRGMD	BASE+0A00H	○	x	○	x
トリガ同期式ポート要因レジスタ 0	RP0TFR	BASE+0A30H	○	x	○	x
トリガ同期式ポート要因レジスタ 1	RP1TFR	BASE+0A34H	○	x	○	x
トリガ同期式ポート要因レジスタ 2	RP2TFR	BASE+0A38H	○	x	○	x
トリガ同期式ポート要因レジスタ 3	RP3TFR	BASE+0A3CH	○	x	○	x

Rev.8)

レジスタ名	略号	アドレス	プロテクト対象	操作可能なサイズ		外部MCU操作
				16	32	
スクラッチ・レジスタ 0	SCRATCH0	BASE+0900H	—	○	○	○
スクラッチ・レジスタ 1	SCRATCH1	BASE+0904H	—	○	○	○
スクラッチ・レジスタ 2	SCRATCH2	BASE+0908H	—	○	○	○
スクラッチ・レジスタ 3	SCRATCH3	BASE+090CH	—	○	○	○
スクラッチ・レジスタ 4	SCRATCH4	BASE+0910H	—	○	○	○
スクラッチ・レジスタ 5	SCRATCH5	BASE+0914H	—	○	○	○
スクラッチ・レジスタ 6	SCRATCH6	BASE+0918H	—	○	○	○
スクラッチ・レジスタ 7	SCRATCH7	BASE+091CH	—	○	○	○
スクラッチ・レジスタ 8	SCRATCH8	BASE+0920H	—	○	○	○
スクラッチ・レジスタ 9	SCRATCH9	BASE+0924H	—	○	○	○
スクラッチ・レジスタ A	SCRATCHA	BASE+0928H	—	○	○	○
スクラッチ・レジスタ B	SCRATCHB	BASE+092CH	—	○	○	○
スクラッチ・レジスタ C	SCRATCHC	BASE+0930H	—	○	○	○
スクラッチ・レジスタ D	SCRATCHD	BASE+0934H	—	○	○	○
トリガ同期式ポート制御モード・レジスタ	RPTRGMD	BASE+0A00H	○	x	○	x
トリガ同期式ポート要因レジスタ 0	RP0TFR	BASE+0A30H	○	x	○	x
トリガ同期式ポート要因レジスタ 1	RP1TFR	BASE+0A34H	○	x	○	x
トリガ同期式ポート要因レジスタ 2	RP2TFR	BASE+0A38H	○	x	○	x
トリガ同期式ポート要因レジスタ 3	RP3TFR	BASE+0A3CH	○	x	○	x
CPU バス動作モード・レジスタ	CPUBUSMD	BASE+0214H	—	○	○	○

29. 21.4 バージョン・レジスタ (RINVER)

RINVER レジスタの“初期値”修正、備考追加 (p.1046)

Rev.7)

21.4 バージョン・レジスタ (RINVER)

R-IN32M3のバージョンを識別するためのレジスタです。

リードすると 0000 0001H がリードできます。

アクセス 32ビット/16ビット単位でリード可能です。

- アクセス 32ビット/16ビット単位でリード可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	
RINVER	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	BASE +0008H 初期値 0000 0001H
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		

Rev.8)

21.4 バージョン・レジスタ (RINVER)

R-IN32M3のバージョンを識別するためのレジスタです。リードすると 0000 0002H がリードできます。

- アクセス 32ビット/16ビット単位でリード可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス
RINVER	RINVER31	RINVER30	RINVER29	RINVER28	RINVER27	RINVER26	RINVER25	RINVER24	RINVER23	RINVER22	RINVER21	RINVER20	RINVER19	RINVER18	RINVER17	RINVER16	RINVER15	RINVER14	RINVER13	RINVER12	RINVER11	RINVER10	RINVER9	RINVER8	RINVER7	RINVER6	RINVER5	RINVER4	RINVER3	RINVER2	RINVER1	RINVER0	BASE +0008H 初期値 0000 0002H
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット位置	ビット名	意味
31-0	RINVER31-0	R-IN32M3のバージョンを識別するためのレジスタです。 リードすると 0000 0002H がリードできます。

備考 Rev.7 製品では本レジスタから 0000 0001H がリードできます。  
旧製品に関しては「1.1 R-IN32M3 シリーズの型名一覧」を参照してください。

※黄色ハッチング部分以外の変更箇所は、表記統一。

30. 21.8 HW-RTOS リセット・レジスタ (RTOS\_SOFTRST)

RTOS\_SOFTRST レジスタの“初期値”修正、リセット対象の補足説明を追加 (p.1050)

Rev.7)

21.8 HW-RTOS リセット・レジスタ (RTOS\_SOFTRST)

HW-RTOS サブシステムをソフトウェアでリセットするためのレジスタです。  
32ビット単位でライト・アクセスのみ可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

RTOS_SOFTRST	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス BASE +0400H 初期値 0000 0001H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OSRST

ビット位置	ビット名	意味
31-1	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
0	OSRST	本ビットに0をライトすることで、HW-RTOS および GbEtherMAC 領域をリセットします。リセットを解除する場合には、本レジスタに1をライトしてください。

備考 HW\_RTOS サブシステムをリセットする場合、本レジスタをクリア (0) 後にセット (1) することに行えます。

Rev.8)

21.8 HW-RTOS リセット・レジスタ (RTOS\_SOFTRST)

HW-RTOS および GbEtherMAC 領域をソフトウェアでリセットするためのレジスタです。  
32ビット単位でライト・アクセスのみ可能です。

注意 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。

RTOS_SOFTRST	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス BASE +0400H 初期値 0000 0001H
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OSRST

ビット位置	ビット名	意味
31-1	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
0	OSRST	本ビットに0をライトすることで、HW-RTOS および GbEtherMAC 領域をリセットします。リセットを解除する場合には、本レジスタに1をライトしてください。 リセット対象は、メモリ・マップの下記3つの領域となります。 4008 0000H~4008 FFFFH : HW-RTOS (64K バイト) 4009 0000H~4009 0FFFH : Giga bit Ether (4K バイト) 4009 1000H~4009 1FFFH : QINT BUFID (4K バイト)

31. 21.12 CPU バス動作モード・レジスタ (CPUBUSMD)

「21.12 CPU バス動作モード・レジスタ (CPUBUSMD)」を追加 (p.1073)

Rev.7)

記載なし

Rev.8)

21.12 CPU バス動作モード・レジスタ (CPUBUSMD)

CPUのバスの動作モードをシングル転送か不定長バースト転送かを切り替えるレジスタです。当レジスタの使用方法に関しては、4.1 Cortex-M3 のバス占有を参照してください。

- アクセス 32ビット/16ビット単位でリード/ライト可能です。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス BASE +0214H 初期値 0000 0001H		
CPUBUSMD	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	BUSMD	
R/W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R/W	

ビット位置	ビット名	意味
31-1	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されます。)
0	BUSMD	Cortex-M3 CPU システム・バス、Cortex-M3 CPU D コード・バスの転送モードを選択します。 0: シングル転送 1: 不定長バースト転送

備考 旧製品では本レジスタから 0000 0001H がリードできます。  
旧製品に関しては「1.1 R-IN32M3 シリーズの型名一覧」を参照してください。