

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	システムLSI	発行番号	TN-RIN-5SS+A/J	Rev.	第1版
題名	R-IN32M3 シリーズ データ・シート改訂通知 (Rev.3.01→Rev.4.00) 主な改訂内容：誤記訂正及び新機能追加など		情報分類	技術情報	
適用製品	下記参照	対象ロット等 全ロット	関連資料	R-IN32M3 シリーズ データ・シート Rev4.00 (R18DS0007JJ0400)	

R-IN32M3 シリーズ データ・シート Rev4.00 (R18DS0007JJ0400) をリリースいたしました。詳細については「2. 改訂内容」を参照願います。なお、“要注意”のマークがついている項目は、デバイスを動作させる上で問題になる可能性がありますので、ご確認をお願い致します。

1 適用製品

製品分類		マーク型名	製品型名
R-IN32M3-EC	旧製品	MC-10287F1	MC-10287F1-HN4-A MC-10287F1-HN4-M1-A
	現行品	MC-10287BF1	MC-10287BF1-HN4-A MC-10287BF1-HN4-M1-A
R-IN32M3-CL	旧製品	D60510F1	UPD60510F1-HN4-A UPD60510F1-HN4-M1-A
	現行品	D60510BF1	UPD60510BF1-HN4-A UPD60510BF1-HN4-M1-A

2 改訂内容

No	訂正箇所 (Rev.4.00 見出し番号)	該当ページ (Rev.4.00 番号)	内容	
			旧製品	現行品
1	2.3 端子機能一覧	p.14	表記見直し	←
2	2.3.1(1) PHY インタフェース端子 (R-IN32M3-CL のみ)	p.15	補足	←
3	2.3.3 外部メモリ・インタフェース	p.19	補足	←
4	2.3.11 トレース端子	p.27	誤記訂正	←
5	2.3.14 CC-Link IE Field (インテリジェントデバイス局) 端子 (R-IN32M3-CL のみ) ※要注意	p.29	補足	←
6	2.3.15 CC-Link (インテリジェントデバイス局)	p.30	表記見直し	←
7	2.3.16 CC-Link (リモートデバイス局)	p.31	表記見直し	←
8	2.3.17 システム端子	p.32	補足	←
9	2.3.19 動作モード設定端子	p.35	補足	←
10	2.4.3 システム端子	p.38	表記見直し	←
11	2.4.6 動作モード設定端子	p.41	表記見直し	←
12	3.3 Ether CAT 機能 (R-IN32M3-EC のみ)	p.45	誤記訂正	←
13	3.8.1 機能概要	p.50	機能追加	←
14	3.20 ハードウェア・リアルタイム OS	p.64-65	表記見直し	←
15	4.6 端子容量	p.70	補足	←
16	4.8.1(1) 入カクロック	p.73	表記見直し	←
17	4.8.3 外部メモリ・インタフェース端子	p.77-81	補足	←
18	4.8.6 外部 DMA インタフェース	p.97	誤記訂正	←
19	4.8.7 CSI インタフェース	p.98-99	補足	←
20	4.8.10 Ethernet インタフェース	p.102-103	誤記訂正	←
21	4.8.11(2) トレース・インタフェース ※要注意	p.106	誤記訂正	←

(←：現行品/旧製品共通)

訂正、追加の該当箇所は黄色ハッチングで記載します。

1. 2.3 端子機能一覧

「表 2.1 端子一覧における項目の意味」、「表 2.2 端子一覧における記号・略号の意味」を追加、略号表記を統一 (p.14)
Rev.3.01)

2.3 端子機能一覧
記載なし

Rev.4.00)

2.3 端子機能一覧

本章における端子表の各項目および記号・略号の意味を以下に示します。

表 2.1 端子一覧における項目の意味

項目	意味
端子名称	「2.1 端子配置図 (R-IN32M3-EC TOP View)」、 「2.2 端子配置図 (R-IN32M3-CL TOP View)」で示した端子名称です。
入出力	対象端子の入出力方向です。
機能	対象端子の機能概略です。
アクティブ	対象端子のアクティブレベルです。
リセット中	RSTOUTZ = Low 期間の端子状態を示します。 詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」を参照して下さい。

表 2.2 端子一覧における記号・略号の意味

対象	記号・略号	意味
端子名称	- (ハイフン)	ポート兼用がない専用端子です。
入出力	- (ハイフン)	電源/GND など入出力方向がない端子です。
アクティブ	- (ハイフン)	アクティブレベルがないことを示しています。 (クロック/データ/アドレス)
	High	アクティブレベルは High です。
	Low	アクティブレベルは Low です。
リセット中	- (ハイフン)	リセット初期値がない入力専用端子です。
	High	リセット中の端子状態は、High です。
	Low	リセット中の端子状態は、Low です。
	Hi-Z (High)	リセット中の端子状態は、内蔵 Pull-up 抵抗による Hi-Z (High) です。
	Hi-Z (Low)	リセット中の端子状態は、内蔵 Pull-down 抵抗による Hi-Z (Low) です。

2.2.3.1(1) PHY インタフェース端子 (R-IN32M3-CL のみ)

ETHn_GTXC, ETHn_TXEN, ETHn_TXER, ETHn_TXD0-7 (n:0-1)のリセット初期値に注釈を追加 (p.15)

Rev.3.01)

2.3.1 イーサネット端子

(1) PHY インタフェース端子 (R-IN32M3-CL のみ)

注意 R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。

端子名称	入出力	機能	アクティブ	リセット中
ETH0_TXC	入力	Ethernet 0 10M/100M 送信クロック (2.5MHz/25MHz)	↑	—
ETH0_GTXC	出力	Ethernet 0 1G 送信クロック (125MHz)	↑	—注
ETH0_TXEN	出力	Ethernet 0 送信イネーブル出力信号	ハイ	ロー
ETH0_TXER	出力	Ethernet 0 送信エラー出力信号	ハイ	ロー
ETH0_TXD0-ETH0_TXD7	出力	Ethernet 0 送信データ出力信号	—	ロー
ETH0_GE_INT	入力	Ethernet 0 PHY 割り込み信号	ハイ/ロー	—
ETH0_RXC	入力	Ethernet 0 受信クロック	↑	—
ETH0_RXDV	入力	Ethernet 0 受信データ・イネーブル入力信号	ハイ	—
ETH0_RXER	入力	Ethernet 0 受信データ・エラー入力信号	ハイ	—
ETH0_RXD0-ETH0_RXD7	入力	Ethernet 0 受信データ入力信号	—	—
ETH0_CRS	入力	Ethernet 0 キャリアセンス入力信号	ハイ	—
ETH0_COL	入力	Ethernet 0 衝突検出入力信号	ハイ	—
ETH1_TXC	入力	Ethernet 1 10M/100M 送信クロック (2.5MHz/25MHz)	↑	—
ETH1_GTXC	出力	Ethernet 1 1G 送信クロック (125MHz)	↑	—注
ETH1_TXEN	出力	Ethernet 1 送信イネーブル出力信号	ハイ	ロー
ETH1_TXER	出力	Ethernet 1 送信エラー出力信号	ハイ	ロー
ETH1_TXD0-ETH1_TXD7	出力	Ethernet 1 送信データ出力信号	—	ロー
ETH1_GE_INT	入力	Ethernet 1 PHY 割り込み信号	ハイ/ロー	—
ETH1_RXC	入力	Ethernet 1 受信クロック	↑	—
ETH1_RXDV	入力	Ethernet 1 受信データ・イネーブル入力信号	ハイ	—
ETH1_RXER	入力	Ethernet 1 受信データ・エラー入力信号	ハイ	—
ETH1_RXD0-ETH1_RXD7	入力	Ethernet 1 受信データ入力信号	—	—
ETH1_CRS	入力	Ethernet 1 キャリアセンス入力信号	ハイ	—
ETH1_COL	入力	Ethernet 1 衝突検出入力信号	ハイ	—
ETH_MDC	出力	Ethernet マネージメント・インタフェース・クロック	↑	ロー
ETH_MDIO	入出力	Ethernet マネージメント・データ信号	—	Hi-Z

注. 125MHz クロックが出力されます。

Rev.4.00)

2.3.1 イーサネット端子

(1) PHY インタフェース端子 (R-IN32M3-CL のみ)

注意 R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。

端子名称	入出力	機能	アクティブ	リセット中
ETH0_TXC	入力	Ethernet 0 10M/100M 送信クロック (2.5MHz/25MHz)	—	—
ETH0_GTXC	出力	Ethernet 0 1G 送信クロック (125MHz)	—	High注
ETH0_TXEN	出力	Ethernet 0 送信イネーブル出力信号	High	Low注
ETH0_TXER	出力	Ethernet 0 送信エラー出力信号	High	Low注
ETH0_TXD0-ETH0_TXD7	出力	Ethernet 0 送信データ出力信号	—	Low注
ETH0_GE_INT	入力	Ethernet 0 PHY 割り込み信号	High/Low	—
ETH0_RXC	入力	Ethernet 0 受信クロック	—	—
ETH0_RXDV	入力	Ethernet 0 受信データ・イネーブル入力信号	High	—
ETH0_RXER	入力	Ethernet 0 受信データ・エラー入力信号	High	—
ETH0_RXD0-ETH0_RXD7	入力	Ethernet 0 受信データ入力信号	—	—
ETH0_CRS	入力	Ethernet 0 キャリアセンス入力信号	High	—
ETH0_COL	入力	Ethernet 0 衝突検出入力信号	High	—
ETH1_TXC	入力	Ethernet 1 10M/100M 送信クロック (2.5MHz/25MHz)	—	—
ETH1_GTXC	出力	Ethernet 1 1G 送信クロック (125MHz)	—	High注
ETH1_TXEN	出力	Ethernet 1 送信イネーブル出力信号	High	Low注
ETH1_TXER	出力	Ethernet 1 送信エラー出力信号	High	Low注
ETH1_TXD0-ETH1_TXD7	出力	Ethernet 1 送信データ出力信号	—	Low注
ETH1_GE_INT	入力	Ethernet 1 PHY 割り込み信号	High/Low	—
ETH1_RXC	入力	Ethernet 1 受信クロック	—	—
ETH1_RXDV	入力	Ethernet 1 受信データ・イネーブル入力信号	High	—
ETH1_RXER	入力	Ethernet 1 受信データ・エラー入力信号	High	—
ETH1_RXD0-ETH1_RXD7	入力	Ethernet 1 受信データ入力信号	—	—
ETH1_CRS	入力	Ethernet 1 キャリアセンス入力信号	High	—
ETH1_COL	入力	Ethernet 1 衝突検出入力信号	High	—
ETH_MDC	出力	Ethernet マネージメント・インタフェース・クロック	—	Low
ETH_MDIO	入出力	Ethernet マネージメント・データ信号	—	Hi-Z

注. ETHDRCTRL レジスタの設定によりドライブ機能の切り替えが可能です。詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編」を参照してください。

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

3.2.3.3 外部メモリ・インタフェース

同期式バースト・アクセス MEMC の機能 (MA0-MA26、MD0-MD31) を明記

BUSCLK 端子のリセット初期値を修正、注 1 に ADMUXMODE 端子設定時の機能を明記 (p.19)

Rev.3.01)

2.3.3 外部メモリ・インタフェース

端子名称	入出力	機能	兼用端子	兼用ポート	アクティブ	リセット中
BUSCLK	出力	バス・クロック出力	—	—	—	—
CSZ0	出力	チップ・セレクト信号出力	HCSZ	—	ロ—	Hi-Z 内蔵 Pull-up 抵抗によりハイ・レベル
CSZ1	出力		HPGCSZ	P44		
CSZ2	出力		—	P51		
CSZ3	出力		—	P50		
A1	出力	アドレス出力	HA1	P40	—	Hi-Z 内蔵 Pull-up 抵抗によりハイ・レベル
A2-A20	出力		HA2-HA20	—	—	Hi-Z 内蔵 Pull-down 抵抗によりロ—・レベル
A21-A27	出力		—	RP21-RP27		
D0-D15 ^{注1}	入出力	データ・バス	HD0-HD15	—	—	—
D16-D31 ^{注1}	入出力		HD16-HD31	RP30-RP37 RP10-RP17	—	—
RDZ	出力	リード・ストロープ出力	HRDZ	—	ロ—	Hi-Z 内蔵 Pull-up 抵抗によりハイ・レベル
WRSTBZ	出力	ライト・ストロープ出力	HWRSTBZ	—	ロ—	
WRZ0, WRZ1/ BENZ0, BENZ1	出力	有効バイト・レーン・ストロープ出力	HWRZ0, HWRZ1 / HBENZ0, HBENZ1	—	ロ—	
WRZ2, WRZ3/ BENZ2, BENZ3	出力		HWRZ2, HWRZ3 / HBENZ2, HBENZ3	RP06, RP07	—	
WAITZ	入力	ウェイト入力	HWAITZ	P41	ロ—	Hi-Z 内蔵 Pull-up 抵抗によりハイ・レベル
WAITZ1-WAITZ3 ^{注2}	入力	ウェイト入力	—	P45-P47	ロ—	—
BCYSTZ / ADVZ ^{注3}	出力	アドレス・バリッド出力	HBCYSTZ	RP20	ロ—	Hi-Z 内蔵 Pull-up 抵抗によりハイ・レベル

備考 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

- 注 1. 同期式バースト・アクセス MEMC 使用時に、ADMUXMODE 端子がハイ・レベルの場合、アドレス端子と兼用になります。
- 2. 同期式バースト・アクセス MEMC 使用時のみ有効です。
- 3. 非同期 SRAM MEMC 使用時には BCYSTZ 機能として、同期式バースト・アクセス MEMC 使用時には、ADVZ 機能として動作します。

Rev.4.00)

2.3.3 外部メモリ・インタフェース

端子名称	入出力	機能	兼用端子	兼用ポート	アクティブ	リセット中
BUSCLK	出力	バス・クロック出力	—	—	—	クロック出力
CSZ0	出力	チップ・セレクト信号出力	HCSZ	—	Low	Hi-Z (High)
CSZ1	出力		HPGCSZ	P44		
CSZ2	出力		—	P51		
CSZ3	出力		—	P50		
A1 / MA0 ^{注4}	出力	アドレス出力	HA1	P40	—	Hi-Z (High)
A2-A20 / MA1-MA19 ^{注4}	出力		HA2-HA20	—	—	Hi-Z (Low)
A21-A27 / MA20-MA26 ^{注4}	出力		—	RP21-RP27		
D0-D15 / MD0-MD15 / MA0-MA15 ^{注1,4}	入出力	データ・バス	HD0-HD15	—	—	—
D16-D31 / MD16-MD31 / MA16-MA31 ^{注1,4}	入出力		HD16-HD31	RP30-RP37 RP10-RP17		
RDZ	出力	リード・ストロープ出力	HRDZ	—	Low	Hi-Z (High)
WRSTBZ	出力	ライト・ストロープ出力	HWRSTBZ	—	Low	
WRZ0, WRZ1/ BENZ0, BENZ1	出力	有効バイト・レーン・ストロープ出力	HWRZ0, HWRZ1 / HBENZ0, HBENZ1	—	Low	—
WRZ2, WRZ3/ BENZ2, BENZ3	出力		HWRZ2, HWRZ3 / HBENZ2, HBENZ3	RP06, RP07	—	
WAITZ	入力	ウェイト入力	HWAITZ	P41	Low	Hi-Z (High)
WAITZ1-WAITZ3 ^{注2}	入力	ウェイト入力	—	P45-P47	Low	—
BCYSTZ / ADVZ ^{注3}	出力	アドレス・バリッド出力	HBCYSTZ	RP20	Low	Hi-Z (High)

備考 外部メモリ・インタフェース端子の BUSCLK 以外の端子は、内部リセット信号 (HRESETZ) のアクティブ期間中は、入力信号になります。

- 注 1. 同期式バースト・アクセス MEMC 使用時に、ADMUXMODE 端子が High レベルの場合、アドレス端子と兼用になります。
ADMUXMODE = 0 : MD0-MD31 (アドレス/データ分離)
ADMUXMODE = 1 : MD0-MD31/MA0-MA31 (アドレス/データ多重)
- 2. 同期式バースト・アクセス MEMC 使用時のみ有効です。
- 3. 非同期 SRAM MEMC 使用時には、BCYSTZ 機能として、同期式バースト・アクセス MEMC 使用時には、ADVZ 機能として動作します。
- 4. 非同期 SRAM MEMC 使用時には、A1-A27、D0-D31 機能として動作します。
同期式バースト・アクセス MEMC 使用時には、MA0-MA26、MD0-MD31 として動作します。

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

4. 2.3.11 トレース端子

TRACECLK のリセット初期値を修正 (p.27)

Rev.3.01)

2.3.11 トレース端子

端子名称	入出力	機能	アクティブ	リセット中
TRACECLK	出力	トレース・ポート・クロック出力	—	—
TRACEDATA3- TRACEDATA0	出力	トレース・ポート・データ出力	—	ロー

Rev.4.00)

2.3.11 トレース端子

端子名称	入出力	機能	アクティブ	リセット中
TRACECLK	出力	トレース・ポート・クロック出力	—	クロック出力
TRACEDATA3- TRACEDATA0	出力	トレース・ポート・データ出力	—	Low

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

5.2.3.14 CC-Link IE Field (インテリジェントデバイス局) 端子 (R-IN32M3-CL のみ)

CCI_WAITEDGEH, CCI_WRLLENH 端子に注釈追加 (p.29)

Rev.3.01)

2.3.14 CC-Link IE Field (インテリジェントデバイス局) 端子 (R-IN32M3-CL のみ)

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
CCI_RUNLEDZ	出力	運転状態出力	P00	ロー	Hi-Z 内蔵 Pull-up 抵抗 により ハイ・レベル
CCI_DLINKLEDZ	出力	サイクリック受信状態出力	P02	ロー	
CCI_ERRLEDZ	出力	フィールド・ネットワーク・エラー状態出力	P03	ロー	
CCI_LERR1LEDZ	出力	リンクエラー状態出力 1	P04	ロー	
CCI_LERR2LEDZ	出力	リンクエラー状態出力 2	P05	ロー	
CCI_SDLEDZ	出力	送信状態出力	P06	ロー	
CCI_RDLEDZ	出力	ポート受信状態出力	P07	ロー	
CCI_NMIZ	出力	マイコンへの NMI 割り込み出力	P12	ロー	Hi-Z 内蔵 Pull-up 抵抗 により ハイ・レベル
CCI_WDTIZ	入力	外部 WDT からの入力	P13	ロー	
CCI_WAITEDGEH	入出力	ウェイト同期エッジ設定 0: 立ち下がりモード 1: 立ち上がりモード	P33	—	
CCI_WRLLENH	入出力	WRL 信号イネーブル設定 0: 書き込みバイトイネーブル動作 1: 通常のバイトイネーブル動作	P34	—	
CCI_PHYREZ1	出力	PHY リセット出力 1	P56	ロー	
CCI_PHYREZ0	出力	PHY リセット出力 0	P57	ロー	
CCI_INTZ	出力	マイコンへの割り込み出力	P66	ロー	
CCI_CLK2_097M	入力	2.097152MHz クロック(水晶発振器)	—	—	—

Rev.4.00)

2.3.14 CC-Link IE Field (インテリジェントデバイス局) 端子 (R-IN32M3-CL のみ)

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
CCI_RUNLEDZ	出力	運転状態出力	P00	Low	Hi-Z (High)
CCI_DLINKLEDZ	出力	サイクリック受信状態出力	P02	Low	
CCI_ERRLEDZ	出力	フィールド・ネットワーク・エラー状態出力	P03	Low	
CCI_LERR1LEDZ	出力	リンクエラー状態出力 1	P04	Low	
CCI_LERR2LEDZ	出力	リンクエラー状態出力 2	P05	Low	
CCI_SDLEDZ	出力	送信状態出力	P06	Low	
CCI_RDLEDZ	出力	ポート受信状態出力	P07	Low	
CCI_NMIZ	出力	マイコンへの NMI 割り込み出力	P12	Low	Hi-Z (High)
CCI_WDTIZ	入力	外部 WDT からの入力	P13	Low	
CCI_WAITEDGEH ^注	入出力	ウェイト同期エッジ設定 0: 立ち下がりモード 1: 立ち上がりモード	P33	—	
CCI_WRLLENH ^注	入出力	WRL 信号イネーブル設定 0: 書き込みバイトイネーブル動作 1: 通常のバイトイネーブル動作	P34	—	
CCI_PHYREZ1	出力	PHY リセット出力 1	P56	Low	
CCI_PHYREZ0	出力	PHY リセット出力 0	P57	Low	
CCI_INTZ	出力	マイコンへの割り込み出力	P66	Low	
CCI_CLK2_097M	入力	2.097152MHz クロック(水晶発振器)	—	—	—

注: 外部メモリ・ブート、外部シリアル・フラッシュ ROM ブート、命令 RAM ブートでブートする際、リセット中に P33 端子 (CCI_WAITEDGEH の兼用) と P34 端子 (CCI_WRLLENH) に Low レベルを入力しないでください。
P33-P34 端子は、リセット中はオープンか High レベル入力としてください。リセット中に P33-P34 端子に Low レベルを入力すると、R-IN32M3 内の CPU から CC-Link IE Field にアクセスできません。

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

6. 2.3.15 CC-Link (インテリジェントデバイス局)

CCM_CLK80M 端子の機能説明を修正 (p.30)

Rev.3.01)

2.3.15 CC-Link (インテリジェントデバイス局)

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
CCM_LINKERRZ	出力	リンクエラー LED 制御出力	P20	□	Hi-Z R-IN32M3-EC は、Pull-up 無しの Hi-Z。
CCM_ERRZ	出力	エラー LED 制御出力	P21	□	
CCM_RUNZ	出力	RUN LED 制御出力	P26	□	
CCM_MDIN0- CCM_MDIN3	入力	モード設定スイッチ入力	P62-P65	—	R-IN32M3-CL は、内蔵 Pull-up 抵抗によりハイ・レベル
CCM_SNIN0- CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—	
CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	□	Hi-Z 内蔵 Pull-up 抵抗によりハイ・レベル
CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	□	
CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	□	
CCM_IRZ	出力	割り込み出力	P35	□	
CCM_WDTENZ	入力	ウォッチドック・タイマ・エラー入力	P13	□	
CCM_MSTZ	出力	動作確認用 LED	P37	□	
CCM_SMSTZ	出力	待機マスタ LED 制御出力	RP01	□	
CCM_RD	入力	通信回路 データ受信端子	P53	—	
CCM_SD	出力	通信回路 データ送信端子	P54	—	
CCM_SDGCZ	出力	通信回路 送信データ・ゲート制御端子	P42	□	
CCM_CLK80M	入力	UDL Clock	—	—	—

Rev.4.00)

2.3.15 CC-Link (インテリジェントデバイス局)

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
CCM_LINKERRZ	出力	リンクエラー LED 制御出力	P20	Low	注
CCM_ERRZ	出力	エラー LED 制御出力	P21	Low	
CCM_RUNZ	出力	RUN LED 制御出力	P26	Low	
CCM_MDIN0- CCM_MDIN3	入力	モード設定スイッチ入力	P62-P65	—	Hi-Z (High)
CCM_SNIN0- CCM_SNIN7	入力	局番設定スイッチ入力	P70-P77	—	
CCM_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	
CCM_RDLEDZ	出力	受信データ LED 制御出力	P51	Low	
CCM_SDLEDZ	出力	送信データ LED 制御出力	RP00	Low	
CCM_IRZ	出力	割り込み出力	P35	Low	
CCM_WDTENZ	入力	ウォッチドック・タイマ・エラー入力	P13	Low	
CCM_MSTZ	出力	動作確認用 LED	P37	Low	
CCM_SMSTZ	出力	待機マスタ LED 制御出力	RP01	Low	
CCM_RD	入力	通信回路 データ受信端子	P53	—	
CCM_SD	出力	通信回路 データ送信端子	P54	—	
CCM_SDGCZ	出力	通信回路 送信データ・ゲート制御端子	P42	Low	
CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—	—

注. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

7.2.3.16 CC-Link (リモートデバイス局)

CCM_CLK80M 端子の機能説明を修正、注2を追加 (p.31)

Rev.3.01)

2.3.16 CC-Link (リモートデバイス局)

注意 リモートデバイス局を使用する場合は、CCS_REFSTB (P10) 端子を、外部割り込み機能(INTPZ)を持ついずれかのポート端子に接続する必要があります。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
CCS_MON1- CCS_MON3	出力	モニタ信号	P32-P34	—	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
CCS_MON4	出力	モニタ信号	P11	—	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
CCS_MON0	出力	モニタ信号	P06	—	Hi-Z
CCS_MON5- CCS_MON7	出力	モニタ信号	P03-P05	—	R-IN32M3-EC は、 Pull-up 無しの Hi-Z。 R-IN32M3-CL は、内蔵 Pull-up 抵抗によりハイ・ レベル
CCS_RESOUT	出力	リセット出力信号	P07	ハイ	
CCS_IOTENSU	入力	初期設定端子	P22	—	
CCS_SENYU0	入力	初期設定端子	P23	—	
CCS_SENYU1	入力	初期設定端子	P24	—	
CCS_ERRZ	出力	動作確認用 LED	P25	□—	
CCS_RUNZ	出力	動作確認用 LED	P26	□—	
CCS_STATION_NO_0- CCS_STATION_NO_7	入力	局番設定スイッチ入力端子	P70-P77	—	
CCS_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	□—	Hi-Z 内蔵 Pull-up 抵抗により ハイ・レベル
CCS_REFSTB	出力	割り込み信号	P10	ハイ	
CCS_WDTZ	入力	WDT 入力	P13	□—	
CCS_RDLEDZ	出力	受信データ LED 制御出力	P51	□—	
CCS_RD	入力	通信回路データ受信端子	P53	—	
CCS_SD	出力	通信回路データ送信端子	P54	—	
CCS_SDLEDZ	出力	動作確認用 LED	RP00	□—	
CCS_SDGATEON	出力	通信回路 送信データ・ゲート制御端子	P52	ハイ	Hi-Z 内蔵 Pull-down 抵抗により ロー・レベル
CCS_BS1	入力	ポー・レート設定 SW 入力端子	RP02	—	Hi-Z
CCS_BS2	入力	ポー・レート設定 SW 入力端子	RP03	—	内蔵 Pull-up 抵抗により ハイ・レベル
CCS_BS4	入力	ポー・レート設定 SW 入力端子	RP04	—	
CCS_BS8	入力	ポー・レート設定 SW 入力端子	RP05	—	
CCS_FUSEZ	入力	ヒューズ断入力信号	P36	□—	
CCM_CLK80M	入力	CC-Link 動作クロック	—	—	—

Rev.4.00)

2.3.16 CC-Link (リモートデバイス局)

注意 リモートデバイス局を使用する場合は、CCS_REFSTB (P10) 端子を、外部割り込み機能(INTPZ)を持ついずれかのポート端子に接続する必要があります。

端子名称	入出力	機能	兼用ポート	アクティブ	リセット中
CCS_MON1- CCS_MON3	出力	モニタ信号	P32-P34	—	Hi-Z (High)
CCS_MON4	出力	モニタ信号	P11	—	Hi-Z (Low)
CCS_MON0	出力	モニタ信号	P06	—	注 1
CCS_MON5- CCS_MON7	出力	モニタ信号	P03-P05	—	
CCS_RESOUT	出力	リセット出力信号	P07	High	
CCS_IOTENSU	入力	初期設定端子	P22	—	
CCS_SENYU0	入力	初期設定端子	P23	—	
CCS_SENYU1	入力	初期設定端子	P24	—	
CCS_ERRZ	出力	動作確認用 LED	P25	Low	
CCS_RUNZ	出力	動作確認用 LED	P26	Low	
CCS_STATION_NO_0- CCS_STATION_NO_7	入力	局番設定スイッチ入力端子	P70-P77	—	
CCS_LNKRUNZ	出力	リンク RUN LED 制御出力	P50	Low	Hi-Z (High)
CCS_REFSTB	出力	割り込み信号	P10	High	
CCS_WDTZ	入力	WDT 入力	P13	Low	
CCS_RDLEDZ	出力	受信データ LED 制御出力	P51	Low	
CCS_RD	入力	通信回路データ受信端子	P53	—	
CCS_SD	出力	通信回路データ送信端子	P54	—	
CCS_SDLEDZ	出力	動作確認用 LED	RP00	Low	
CCS_SDGATEON	出力	通信回路 送信データ・ゲート制御端子	P52	High	Hi-Z (Low)
CCS_BS1	入力	ポー・レート設定 SW 入力端子	RP02	—	Hi-Z (High)
CCS_BS2	入力	ポー・レート設定 SW 入力端子	RP03	—	
CCS_BS4	入力	ポー・レート設定 SW 入力端子	RP04	—	
CCS_BS8	入力	ポー・レート設定 SW 入力端子	RP05	—	
CCS_FUSEZ	入力	ヒューズ断入力信号	P36	Low	
CCM_CLK80M	入力	CC-Link クロック入力 (80MHz)	—	—	—

注 1. R-IN32M3-EC では Hi-Z、R-IN32M3-CL では Hi-Z (High)
2. 本端子は、CC-Link (インテリジェントデバイス局) と共用です。

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

8. 2.3.17 システム端子

XT1/XT2、OSCTH、JTAGSEL の機能説明を修正、OSCTH のアクティブレベルを修正、RSTOUTZ、CLKOUT25M0/1 のリセット初期値を修正 (p.32) Rev.3.01)

2.3.17 システム端子

端子名称	入出力	機能	アクティブ	リセット中
XT1	入力	システム・クロック発振用クリスタル接続端子	—	—
XT2	入出力	発振器出力を直接接続する場合は XT2 に入力	—	—
RESETZ	入力	リセット入力	ロ—	—
HOTRESETZ ^{注1}	入力	ホット・リセット入力	ロ—	—
PONRZ	入力	内蔵 RAM 用パワー・オン・リセット入力	ロ—	—
OSCTH	入力	外部クロック入力モード時にハイ・レベル入力	—	—
JTAGSEL	入力	JTAG 端子の動作モード設定	—	—
RSTOUTZ	出力	外部へのリセット出力	ロ—	—
CLKOUT25M0	出力	PHY 用クロック出力	—	—
CLKOUT25M1	出力	PHY 用クロック出力	—	—
PLL_VDD	—	PLL 電源 (VDD) (1.0V)	—	—
PLL_GND	—	PLL グランド電位 (GND)	—	—
VDD33	—	I/O 電源 (3.3V)	—	—
VDD10	—	内部電源 (1.0V)	—	—
GND	—	I/O 電源用グランド電位 (GND)	—	—
VDDQ_MII ^{注1}	—	Ethernet I/O 電源 (3.3V)	—	—
LX ^{注2}	出力	内蔵レギュレータ 1.5V 出力	—	—
EXTRES ^{注2}	—	PHY 用リファレンス抵抗接続端子	—	—
POVDDARXTX ^{注2}	—	Rx/Tx 端子用アナログ電源 (1.5V) - Port 0	—	—
P1VDDARXTX ^{注2}	—	Rx/Tx 端子用アナログ電源 (1.5V) - Port 1	—	—
VDDACB ^{注2}	—	PHY 用アナログ電源 (3.3V)	—	—
AGND ^{注2}	—	PHY 用アナログ・グランド電位 (GND)	—	—
VDD15 ^{注2}	—	PHY 用電源 (1.5V)	—	—
VDDAPLL ^{注2}	—	PHY 用アナログ・コア電源 (1.5V)	—	—
VSSAPLLCB ^{注2}	—	PHY 用アナログ・コア・グランド電位 (GND)	—	—
VDD33ESD ^{注2}	—	PHY 用アナログ・テスト電源 (3.3V)	—	—
AVDD_REG ^{注2}	—	レギュレータ用アナログ電源 (3.3V)	—	—
AGND_REG ^{注2}	—	レギュレータ用アナログ・グランド電位 (GND)	—	—
BVDD ^{注2}	—	レギュレータ用電源 (3.3V)	—	—
BGND ^{注2}	—	レギュレータ用グランド電位 (GND)	—	—
FB ^{注2}	入力	レギュレータ用フィードバック入力	—	—
VDDQ_PECL_B0 ^{注2}	—	PECL バッファ電源 (3.3V)	—	—
VDDQ_PECL_B1 ^{注2}	—	PECL バッファ電源 (3.3V)	—	—

注 1. R-IN32M3-CL のみ使用。
注 2. R-IN32M3-EC のみ使用。

Rev.4.00)

2.3.17 システム端子

端子名称	入出力	機能	アクティブ	リセット中
XT1	入力	クロック入力端子	—	—
XT2	入出力	OSCTH = 1 : 発振器使用時です。 XT1 を GND、XT2 に発振器を接続。 OSCTH = 0 : 発振器使用時です。 XT1/XT2 に発振器に接続。	—	—
RESETZ	入力	リセット入力	Low	—
HOTRESETZ ^{注1}	入力	ホット・リセット入力	Low	—
PONRZ	入力	内蔵 RAM 用パワー・オン・リセット入力	Low	—
OSCTH	入力	外部クロック入力モード設定 0 : 発振器使用モード 1 : 外部クロック入力モード	High	—
JTAGSEL	入力	JTAG 端子の動作モード設定 0 : Cortex-M3 JTAG モード 1 : B-SCAN JTAG モード	—	—
RSTOUTZ	出力	外部へのリセット出力	Low	Low
CLKOUT25M0	出力	PHY 用クロック出力	—	発振器スルー出力
CLKOUT25M1	出力	PHY 用クロック出力	—	—
PLL_VDD	—	PLL 電源 (VDD) (1.0V)	—	—
PLL_GND	—	PLL グランド電位 (GND)	—	—
VDD33	—	I/O 電源 (3.3V)	—	—
VDD10	—	内部電源 (1.0V)	—	—
GND	—	I/O 電源用グランド電位 (GND)	—	—
VDDQ_MII ^{注1}	—	Ethernet I/O 電源 (3.3V)	—	—
LX ^{注2}	出力	内蔵レギュレータ 1.5V 出力	—	—
EXTRES ^{注2}	—	PHY 用リファレンス抵抗接続端子	—	—
POVDDARXTX ^{注2}	—	Rx/Tx 端子用アナログ電源 (1.5V) - Port 0	—	—
P1VDDARXTX ^{注2}	—	Rx/Tx 端子用アナログ電源 (1.5V) - Port 1	—	—
VDDACB ^{注2}	—	PHY 用アナログ電源 (3.3V)	—	—
AGND ^{注2}	—	PHY 用アナログ・グランド電位 (GND)	—	—
VDD15 ^{注2}	—	PHY 用電源 (1.5V)	—	—
VDDAPLL ^{注2}	—	PHY 用アナログ・コア電源 (1.5V)	—	—
VSSAPLLCB ^{注2}	—	PHY 用アナログ・コア・グランド電位 (GND)	—	—
VDD33ESD ^{注2}	—	PHY 用アナログ・テスト電源 (3.3V)	—	—
AVDD_REG ^{注2}	—	レギュレータ用アナログ電源 (3.3V)	—	—
AGND_REG ^{注2}	—	レギュレータ用アナログ・グランド電位 (GND)	—	—
BVDD ^{注2}	—	レギュレータ用電源 (3.3V)	—	—
BGND ^{注2}	—	レギュレータ用グランド電位 (GND)	—	—
FB ^{注2}	入力	レギュレータ用フィードバック入力	—	—
VDDQ_PECL_B0 ^{注2}	—	PECL バッファ電源 (3.3V)	—	—
VDDQ_PECL_B1 ^{注2}	—	PECL バッファ電源 (3.3V)	—	—

注 1. R-IN32M3-CL のみ使用。
注 2. R-IN32M3-EC のみ使用。

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

9.2.3.19 動作モード設定端子

使用可能な動作モードの組み合わせを明記 (p.35)
Rev.3.01)

記載なし

Rev.4.00)

本製品において使用可能な動作モード設定端子の組み合わせは下表の通りです。

ブート・モード	外部メモリ・ブート				外部マイコン・ブート				外部シリアル・フラッシュ ROM ブート							
	外部メモリ I/F		スレーブ・メモリ I/F		外部マイコン I/F				スレーブ・メモリ I/F				外部マイコン I/F			
MEMC タイプ	非同期		同期式		非同期		同期式		非同期		同期式		非同期		同期式	
外部バス幅	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit	16bit	32bit
BOOT1-0	00	00	00	00	10	10	10	10	01	01	01	01	01	01	01	01
MEMIFSEL	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
MEMCSEL	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
BUS32EN	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
HIFSYNC	0	0	0	0	注1	注1	注1	注1	0	0	0	0	注1	注1	注1	注1
HWRZSEL	0	0	0	0	注2	注2	0	0	0	0	0	0	注2	注2	0	0
ADMUXMODE	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1

注意、動作モード設定端子は、上記以外の組み合わせは設定禁止です。

注1. HIFSYNC 端子によって外部マイコン・インタフェース機能を選択可能です。

HIFSYNC = 0 : 非同期 SRAM インタフェース・モード

HIFSYNC = 1 : 同期 SRAM インタフェース・モード

詳細は「R-IN32M3 シリーズ ユーザーズ・マニュアル 周辺機能編 11. 外部マイコン・インタフェース」を参照して下さい。

2. HWRZSEL 端子によって外部マイコン・インタフェース HWRZ/HBENZ を選択可能です。

詳細は「2.3.3 外部メモリ・インタフェース」を参照して下さい。

備考1. 命令 RAM ブート(BOOT1-0 = 11)で使用可能な動作モード設定端子の組み合わせは、

外部メモリ・ブート(BOOT1-0 = 00)と同様です。

2. 非同期：非同期式 SRAM MEMC (MEMCSEL = 0)、

同期式：同期式パースト・アクセス MEMC (MEMCSEL = 1)を示します。

10. 2.4.3 システム端子

OSCTH、JTAGSEL の未使用時の推奨接続方法を修正 (p.38)

Rev.3.01)

2.4.3 システム端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
NMIZ	入力	Input Buffer (3.3V) Schmitt in 50kΩ Pull-up	VDD33 (3.3V) に接続
XT1	入力	Oscillator with EN	GND に接続
XT2	入出力		—
RSTOUTZ	出力	Output Buffer (3.3V) 6mA	オープン
RESETZ	入力	Input Buffer (3.3V) Schmitt in	—
PONRZ			—
HOTRESETZ			VDD33 (3.3V) に接続
OSCTH	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down	—
JTAGSEL			—

Rev.4.00)

2.4.3 システム端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
NMIZ	入力	Input Buffer (3.3V) Schmitt in 50kΩ Pull-up	VDD33 (3.3V) に接続
XT1	入力	Oscillator with EN	GND に接続
XT2	入出力		—
RSTOUTZ	出力	Output Buffer (3.3V) 6mA	オープン
RESETZ	入力	Input Buffer (3.3V) Schmitt in	—
PONRZ			—
HOTRESETZ			VDD33 (3.3V) に接続
OSCTH	入力	Input Buffer (3.3V) Schmitt in, 50kΩ Pull-down	動作モードに応じて設定
JTAGSEL			—

11. 2.4.6 動作モード設定端子

未使用時の推奨接続方法を修正 (p.41)

Rev.3.01)

2.4.6 動作モード設定端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
BOOT0, BOOT1	入力	Input Buffer (3.3V) Schmitt in	-
MEMIFSEL			
BUS32EN			
HIFSYNC			
HWRZSEL			
MEMCSEL			
ADMUXMODE			

Rev.4.00)

2.4.6 動作モード設定端子

端子名称	入出力	インタフェース	未使用時の推奨接続方法
BOOT0, BOOT1	入力	Input Buffer (3.3V) Schmitt in	動作モードに応じて設定
MEMIFSEL			
BUS32EN			
HIFSYNC			
HWRZSEL			
MEMCSEL			
ADMUXMODE			

12. 3.3 Ether CAT 機能 (R-IN32M3-EC のみ)

「表 3.1 EtherCAT Slave Controller」を修正 (p.45)

Rev.3.01)

3.3 Ether CAT 機能 (R-IN32M3-EC のみ)

EtherCAT Slave Controller (ESC) は、Beckhoff 社製の「EtherCAT Slave Controller IP Core」を使用します。

EtherCAT Slave Controller (ESC) は、EtherCAT フィールドバスと Slave アプリケーションの間のインタフェースとして、EtherCAT 通信処理を行います。

表 3.1 EtherCAT Slave Controller

特徴	R-IN32M3-EC	ET1100	備考
Ports	2	2-4	-
FMMUs	8	8	-
Sync Managers	8	8	-
RAM [Kbyte]	8	8	-
Distributed Clocks	64bit	64bit	-
EBus	無し	有り(0-4)	-
Process Data Interfaces			
Digital I/O	有り	有り	-
SPI Slave	有り	有り	-
HOST CPU I/F	・ Cortex-M3 ・ 16bit/32bit, async./sync. SRAM Host I/F	8bit/16bit, async./sync.	R-IN32M3 では外部 CPU からは、R-IN32M3-EC の ESC への直接アクセスは不可。

Rev.4.00)

3.3 Ether CAT 機能 (R-IN32M3-EC のみ)

EtherCAT Slave Controller (ESC) は、Beckhoff 社製の「EtherCAT Slave Controller IP Core」を使用します。

EtherCAT Slave Controller (ESC) は、EtherCAT フィールドバスと Slave アプリケーションの間のインタフェースとして、EtherCAT 通信処理を行います。

表 3.1 EtherCAT Slave Controller

特徴	R-IN32M3-EC	ET1100
ポート数	2	2-4
FMMU	8	8
Sync Manager	8	8
プロセスデータ RAM [Kbyte]	8	8
分散クロック (Distributed Clocks)	64bit	64bit
EBus	無し	有り(0-4)
プロセスデータインタフェース (PDI)		
Digital I/O	無し	-
SPI Slave	無し	-
HOST CPU I/F	On-chip Bus (外部マイコン I/F)	8bit/16bit, async./sync.

注意 レジスタ領域 (0E_0000H-0E_0F7FH) は、外部マイコン・インタフェース (HOST CPU I/F) からはアクセスできません。

13.3.8.1 機能概要

タイマ・アレイ・ユニット単体動作機能一覧に外部イベントカウント機能を追加 (p.50)

Rev.3.01)

3.8 タイマ・アレイ・ユニット

3.8.1 機能概要

- 1ユニット (4チャンネル)
- チャンネルごとの32ビット・カウンタおよび32ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作 (マスタおよびスレーブ動作)
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM出力機能
外部入力インターバル・タイマ機能	
チャンネル単体信号測定機能	
オーバ・フロー割り込み出力機能	
外部入力期間カウント検出機能	
外部入力パルス・インターバル判定機能	
外部入力信号幅判定機能	
その他チャンネル単体機能	
外部入力位置検出機能	

Rev.4.00)

3.8 タイマ・アレイ・ユニット

3.8.1 機能概要

- 1ユニット (4チャンネル)
- チャンネルごとの32ビット・カウンタおよび32ビット・データ・レジスタ
- チャンネル単体動作
- チャンネル連動動作 (マスタおよびスレーブ動作)
- 異なる種類の出力信号の生成
- 外部信号によるカウントの開始
- 割り込み発生

単体動作機能	連動動作機能
チャンネル単体動作機能	チャンネル連動動作機能
インターバル・タイマ機能	PWM出力機能
外部入力インターバル・タイマ機能	
外部イベントカウント機能	
チャンネル単体信号測定機能	
オーバ・フロー割り込み出力機能	
外部入力期間カウント検出機能	
外部入力パルス・インターバル判定機能	
外部入力信号幅判定機能	
その他チャンネル単体機能	
外部入力位置検出機能	

14. 3.20 ハードウェア・リアルタイム OS

QINT 表記を修正、プログラミング・マニュアル集約のため「3.20.2 サービス・コール」を削除 (p.64-65)

Rev.3.01)

3.20 ハードウェア・リアルタイム OS

ハードウェア・リアルタイム OS (HW-RTOS) はイベント、セマフォ、メールボックス、等 30 種類のシステム・コールをサポートします。

3.20.1 機能概要

- Task Scheduler
 - Hardware ISR : 128 本の QINT から 32 本を選択
 - CONTEXT 数 : 64
 - Semaphore 識別子 : 128
 - Event 識別子 : 64
 - Mailbox 識別子 : 64
 - Mailbox エlement数 : 192
 - CONTEXT 優先順位 : 16
- Hardware Function Manager

Rev.4.00)

3.20 ハードウェア・リアルタイム OS

ハードウェア・リアルタイム OS (HW-RTOS) はイベント、セマフォ、メールボックス、等 30 種類のシステム・コールをサポートします。

3.20.1 機能概要

- Task Scheduler
 - Hardware ISR : 128 本の割り込み要因から 32 本を選択
 - CONTEXT 数 : 64
 - Semaphore 識別子 : 128
 - Event 識別子 : 64
 - Mailbox 識別子 : 64
 - Mailbox エlement数 : 192
 - CONTEXT 優先順位 : 16
- Hardware Function Manager

備考 ハードウェア・リアルタイム OS は、サンプル・ドライバにて提供する μ ITRON のシステム・コールにて制御することができます。ドライバの使用方法は、R-IN32M3 シリーズ プログラミング・マニュアル OS 編を参照ください。

14. 3.20 ハードウェア・リアルタイム OS

QINT 表記を修正、プログラミング・マニュアル集約のため「3.20.2 サービス・コール」を削除 (p.64-65) 続き
 Rev.3.01)

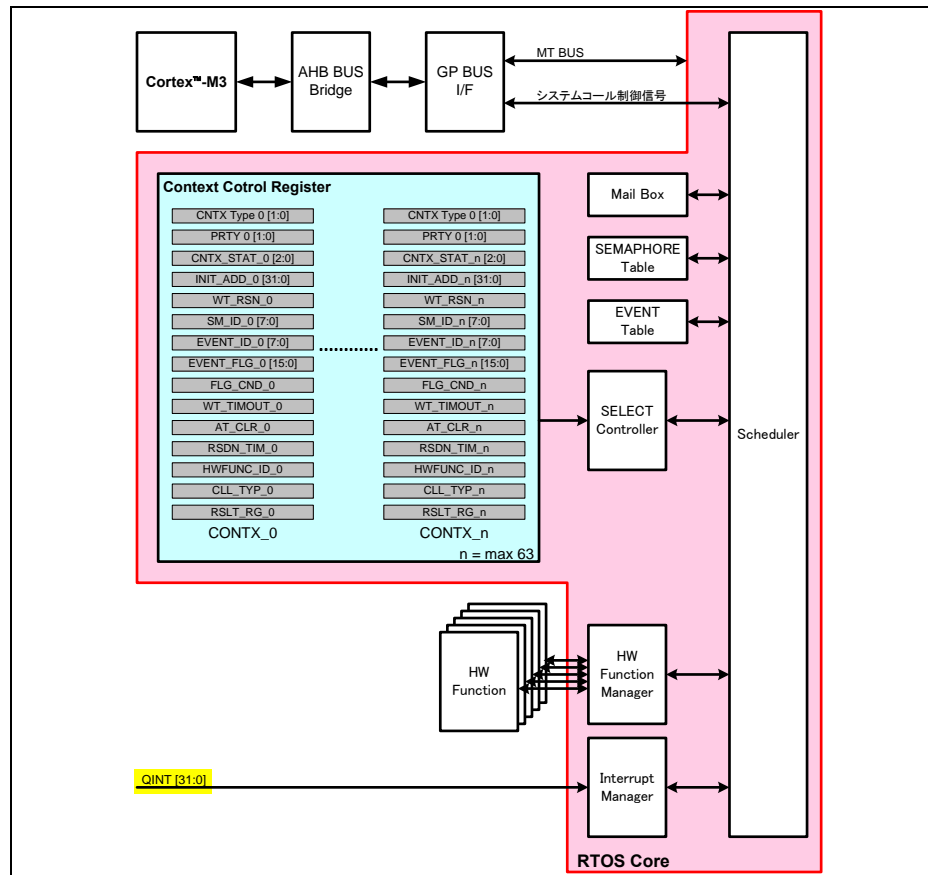


図 3.1 ハードウェア・リアルタイム OS 全体構成

Rev.4.00)

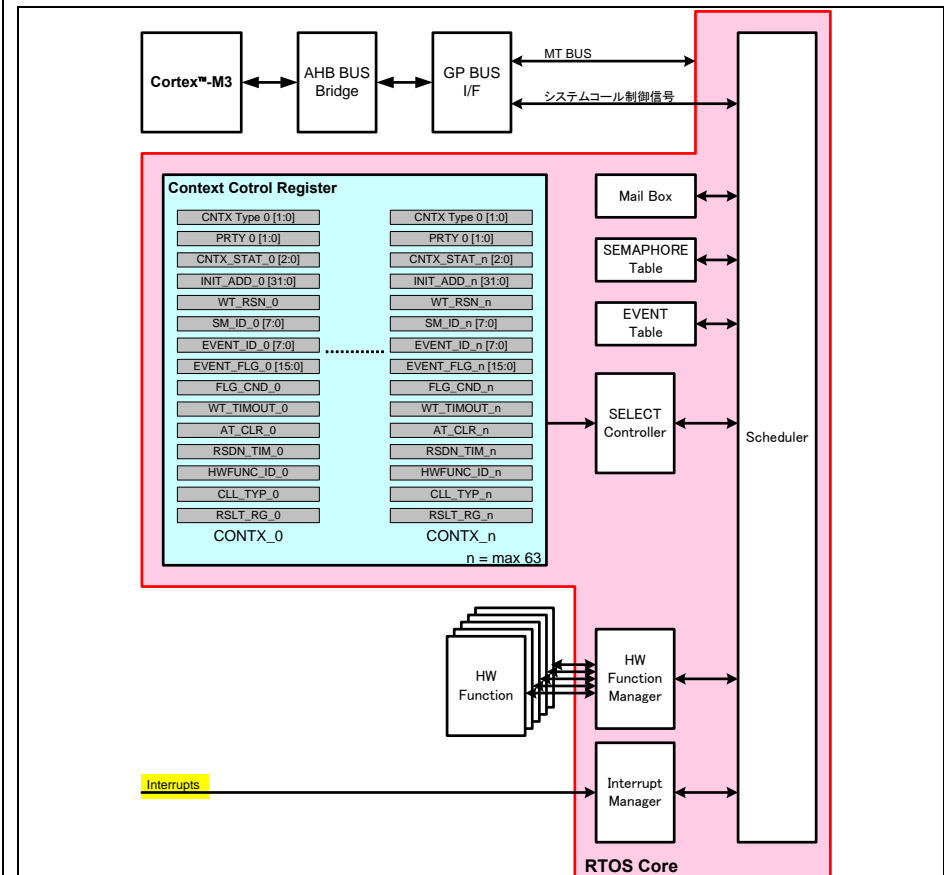


図 3.1 ハードウェア・リアルタイム OS 全体構成

14. 3.20 ハードウェア・リアルタイム OS

QINT 表記を修正、プログラミング・マニュアル集約のため「3.20.2 サービス・コール」を削除 (p.64-65) 続き
Rev.3.01)

3.20.2 サービス・コール

Rev.4.00)

記載なし

15. 4.6 端子容量

「4.6 端子容量」を追加 (p.70)
Rev.3.01)

記載なし

Rev.4.00)

4.6 端子容量

表 4.9 端子容量

項目	略号	MIN.	TYP.	MAX.	単位
入力バッファ	C _B	5.0		7.0	pF
出力バッファ		5.0		7.0	pF
入出力バッファ		5.0		7.0	pF

16. 4.8.1(1) 入カクロック

CCI_CLK2_097M 端子の MIN/MAX 表記 (有効桁数) を修正 (p.73)

Rev.3.01)

4.7.1 クロック端子

(1) 入カクロック

項目	略号	条件	MIN	MAX	単位
XT1, XT2	tsysclk	—	25±50ppm		MHz
ETH0_TXC, ETH1_TXC	trxc	—	—	25	MHz
ETH0_RXC, ETH1_RXC	trxc	—	—	125	MHz
CCM_CLK80M	tcclclk	—	80±50ppm		MHz
CLK2_097M	tcclieclk	—	2.097±100ppm		MHz
HBUSCLK	thbusclk	—	—	50	MHz
CSISCK0, CSISCK1	tcsisck	スレーブ・モード	—	16.6	MHz
TCK	trck	—	—	50.	MHz

Rev.4.00)

4.8.1 クロック端子

(1) 入カクロック

項目	略号	条件	MIN	MAX	単位
XT1, XT2	tsysclk	—	25±50ppm		MHz
ETH0_TXC, ETH1_TXC ^注	trxc	—	—	25	MHz
ETH0_RXC, ETH1_RXC ^注	trxc	—	—	125	MHz
CCM_CLK80M	tcclclk	—	80±50ppm		MHz
CCI_CLK2_097M ^注	tcclieclk	—	2.097152±100ppm		MHz
HBUSCLK	thbusclk	—	—	50	MHz
CSISCK0, CSISCK1	tcsisck	スレーブ・モード	—	16.6	MHz
TCK	trck	—	—	50.	MHz

注: R-IN32M3-CL に搭載している端子です。R-IN32M3-EC には本端子はありません。

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

17. 4.8.3 外部メモリ・インタフェース端子

図 4.4、図 4.5 の注に WREN レジスタの参照先を追記、図 4.6、図 4.7 に WAITZ1-WAITZ3 を追記 (p.77-81)
Rev.3.01)

(a) リード・タイミング

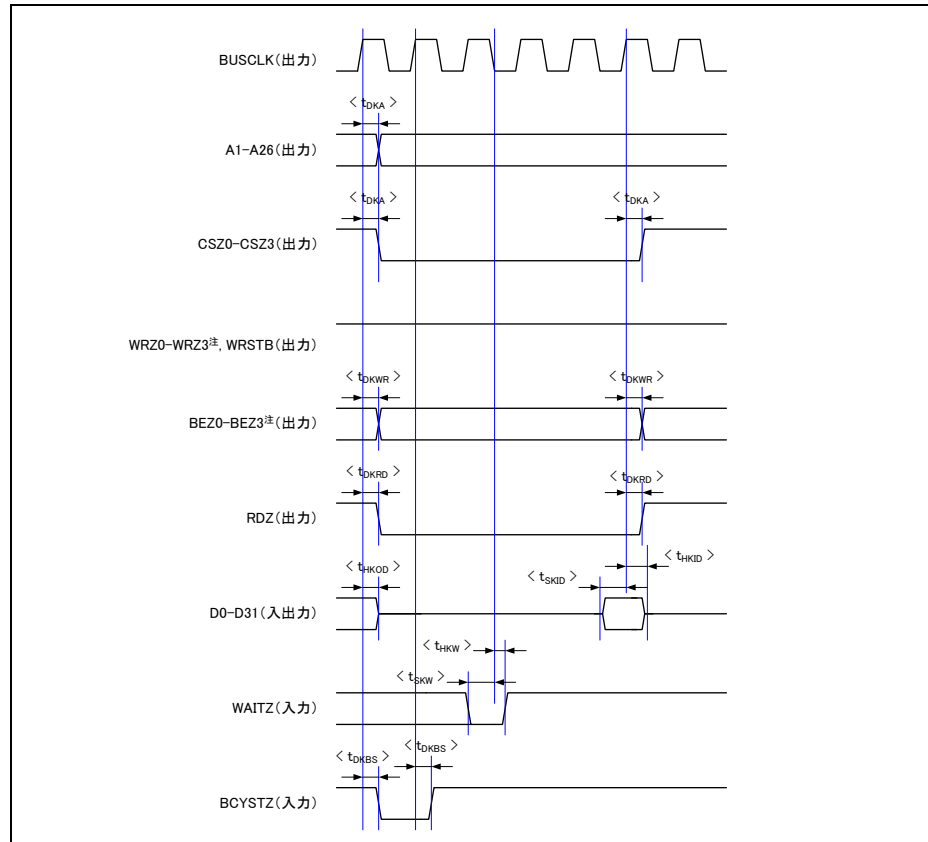


図 4.4 メモリ・コントローラ・リード・タイミング (非同期メモリ)

注 WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 SMCn レジスタによるアイドル・ウェイト数/ライト・リカバリ・ウェイト数/アドレス設定ウェイト数が 0、データ・ウェイト数が 3 の場合のタイミングです。

Rev.4.00)

(a) リード・タイミング

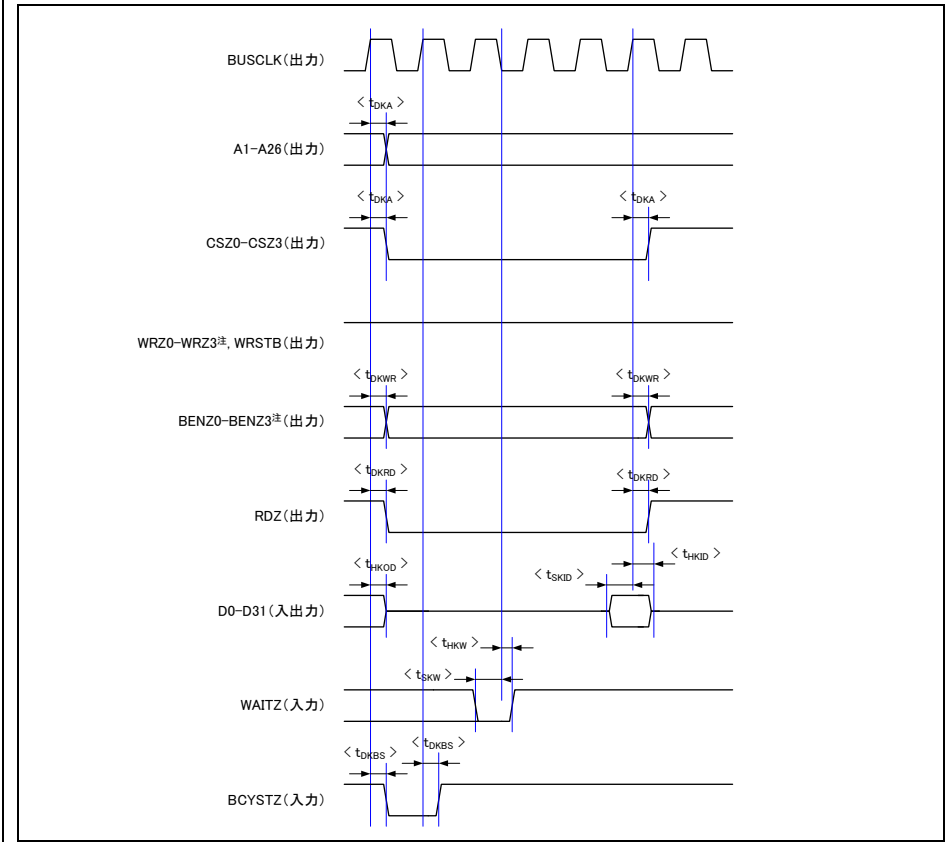


図 4.4 メモリ・コントローラ・リード・タイミング (非同期メモリ)

注 WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。
レジスタの詳細は、「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編 9.3.5 ライト・イネーブル切り替えレジスタ (WREN)」を参照して下さい。

備考 SMCn レジスタによるアイドル・ウェイト数/ライト・リカバリ・ウェイト数/アドレス設定ウェイト数が 0、データ・ウェイト数が 3 の場合のタイミングです。

17.4.8.3 外部メモリ・インタフェース端子

図 4.4、図 4.5 の注に WREN レジスタの参照先を追記、図 4.6、図 4.7 に WAITZ1-WAITZ3 を追記 (p.77-81) 続き
Rev.3.01)

(b) ライト・タイミング

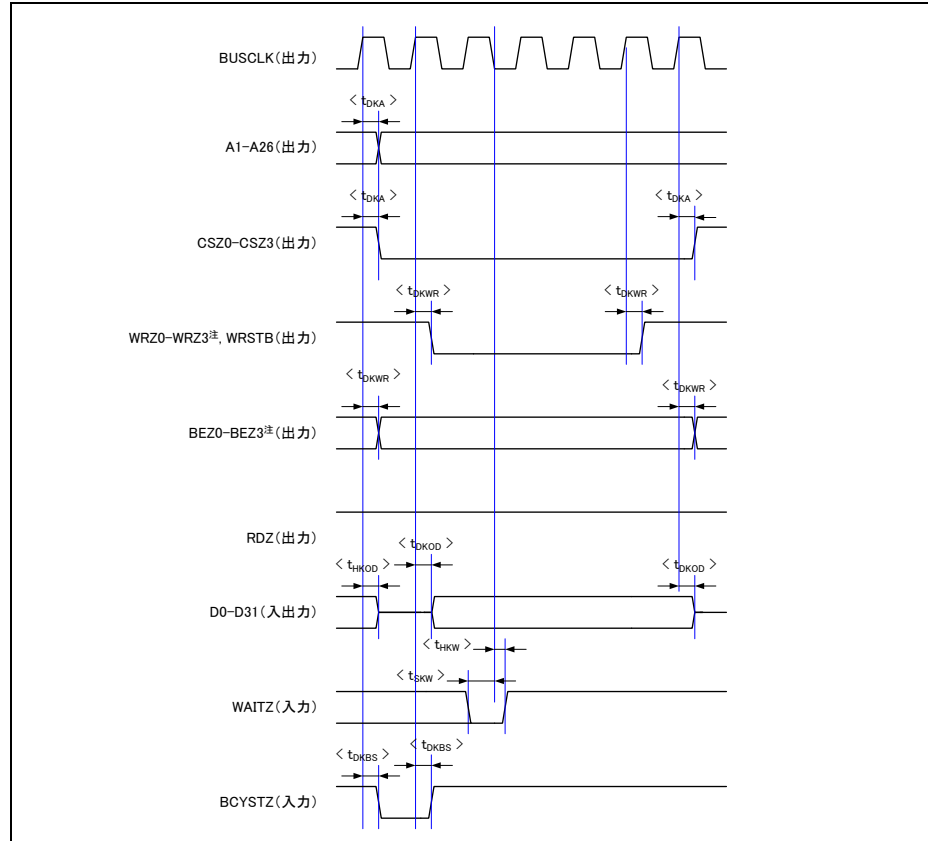


図 4.5 メモリ・コントローラ・ライト・タイミング (非同期メモリ)

注 WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。

備考 SMCn レジスタによるアイドル・ウェイト数/ライト・リカバリ・ウェイト数/アドレス設定ウェイト数が 0、データ・ウェイト数が 3 の場合のタイミングです。

Rev.4.00)

(b) ライト・タイミング

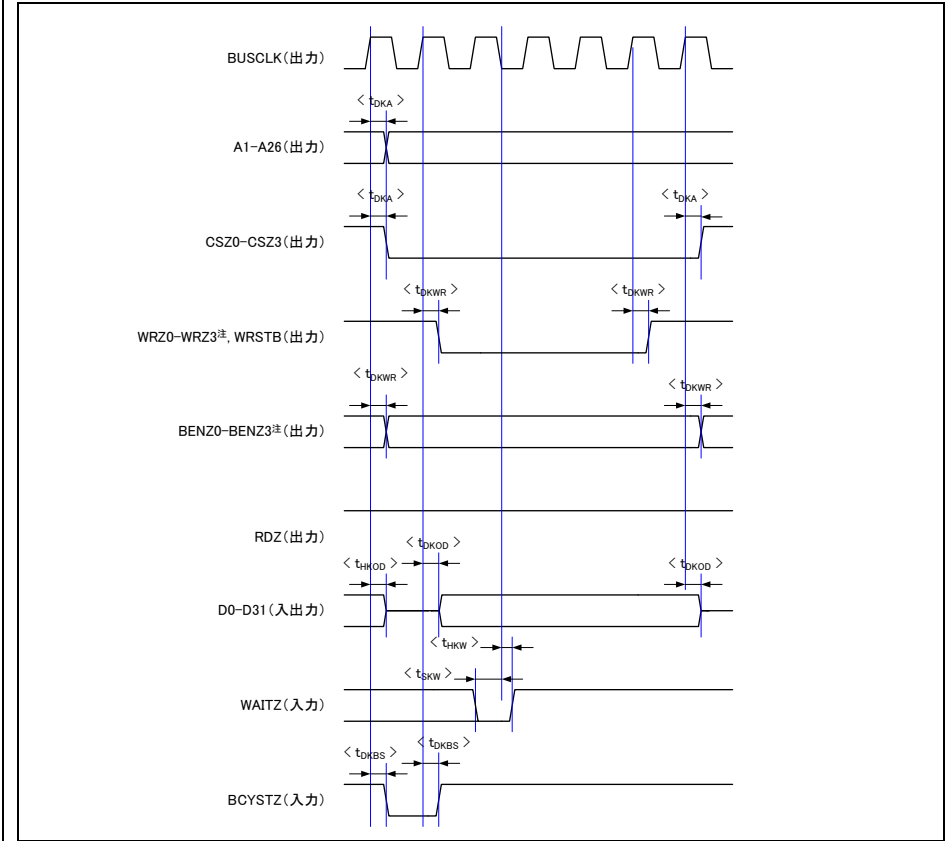


図 4.5 メモリ・コントローラ・ライト・タイミング (非同期メモリ)

注 WRZ0-WRZ3 と BENZ0-BENZ3 は兼用されています。端子名称は WRZ0-WRZ3 です。リセット時は、WRZ0-WRZ3 が選択されています。ライト・イネーブル切り替えレジスタ (WREN) で切り替えられます。
レジスタの詳細は、「R-IN32M3 シリーズ ユーザーズ・マニュアル周辺機能編 9.3.5 ライト・イネーブル切り替えレジスタ (WREN)」を参照して下さい。

備考 SMCn レジスタによるアイドル・ウェイト数/ライト・リカバリ・ウェイト数/アドレス設定ウェイト数が 0、データ・ウェイト数が 3 の場合のタイミングです。

17.4.8.3 外部メモリ・インタフェース端子

図 4.4、図 4.5 の注に WREN レジスタの参照先を追記、図 4.6、図 4.7 に WAITZ1-WAITZ3 を追記 (p.77-81) 続き
Rev.3.01)

(a) リード・タイミング

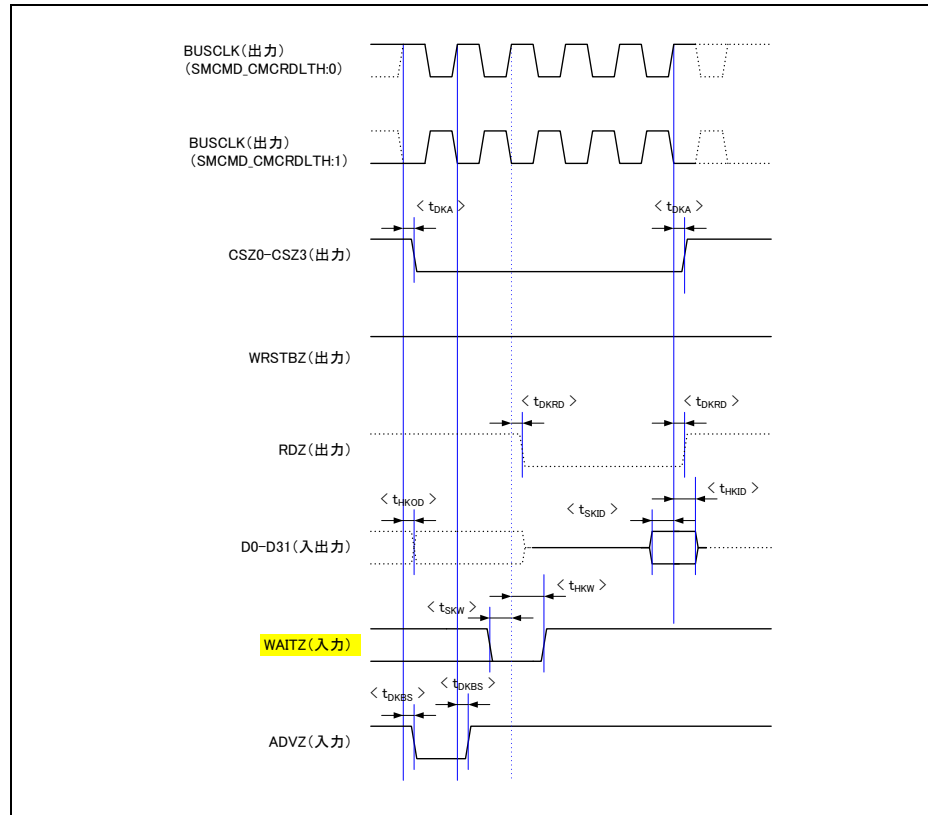


図 4.6 メモリ・コントローラ・リード・タイミング (クロック同期式メモリ)

備考 t_{ceoe} が 2、 t_{rc} が 4 の場合のタイミングです。

Rev.4.00)

(a) リード・タイミング

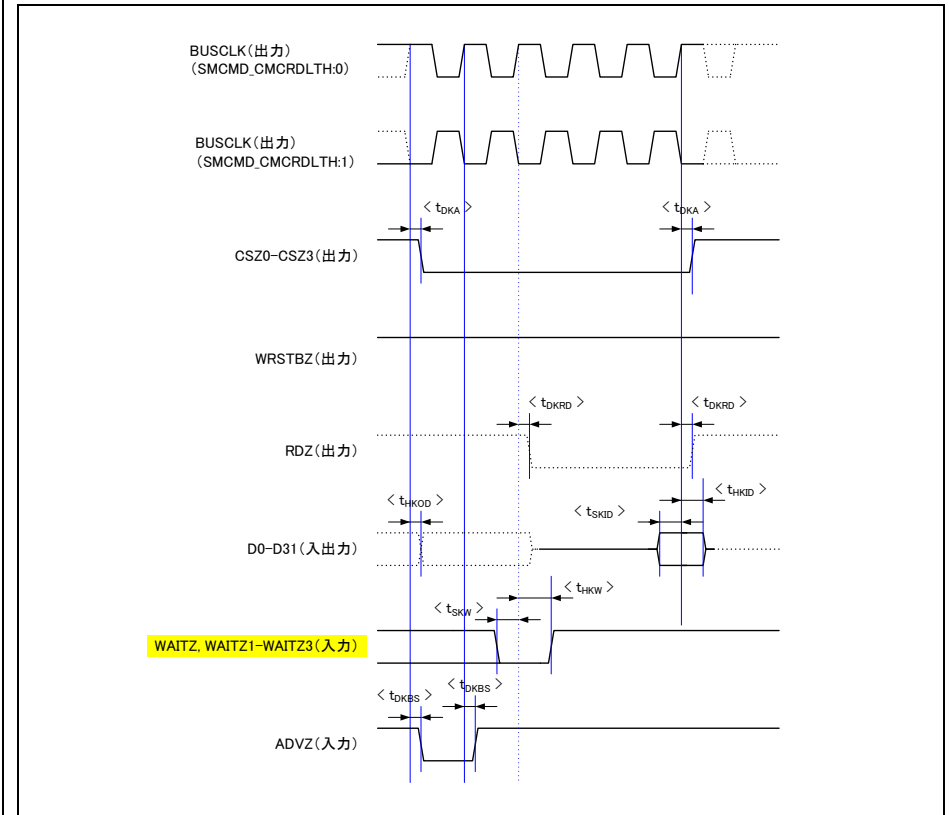


図 4.6 メモリ・コントローラ・リード・タイミング (クロック同期式メモリ)

備考 t_{ceoe} が 2、 t_{rc} が 4 の場合のタイミングです。

17.4.8.3 外部メモリ・インタフェース端子

図 4.4、図 4.5 の注に WREN レジスタの参照先を追記、図 4.6、図 4.7 に WAITZ1-WAITZ3 を追記 (p.77-81) 続き
Rev.3.01)

(a) ライト・タイミング

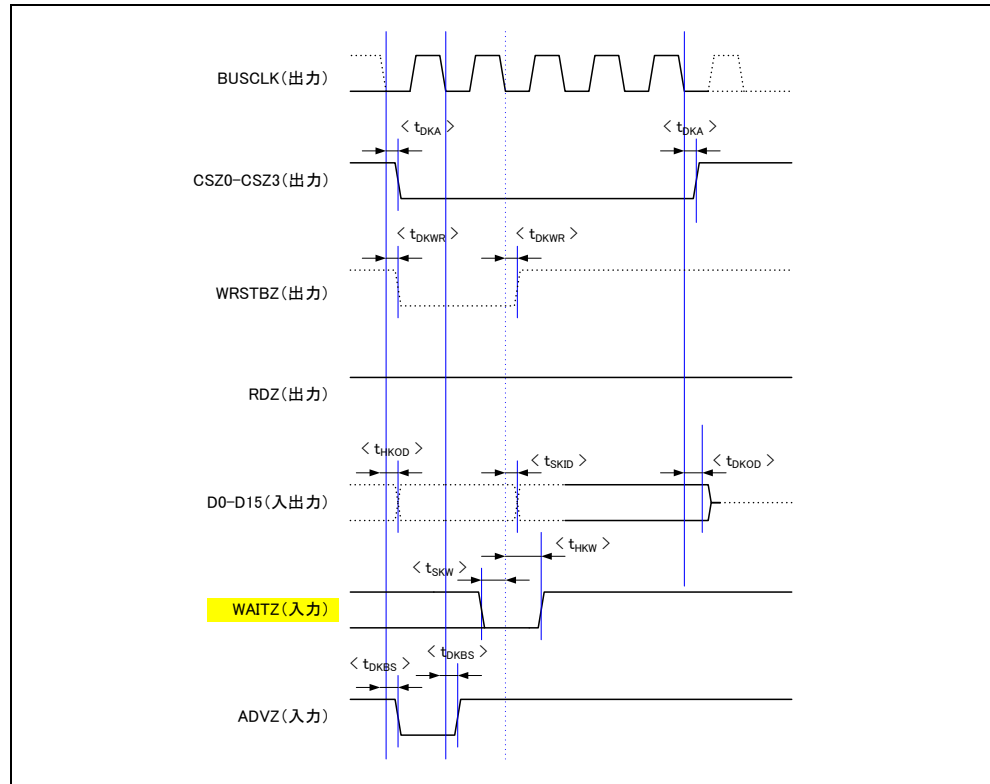


図 4.7 メモリ・コントローラ・ライト・タイミング (クロック同期式メモリ)

備考 t_{wp} が 2、 t_{wc} が 5 の場合のタイミングです。

Rev.4.00)

(a) ライト・タイミング

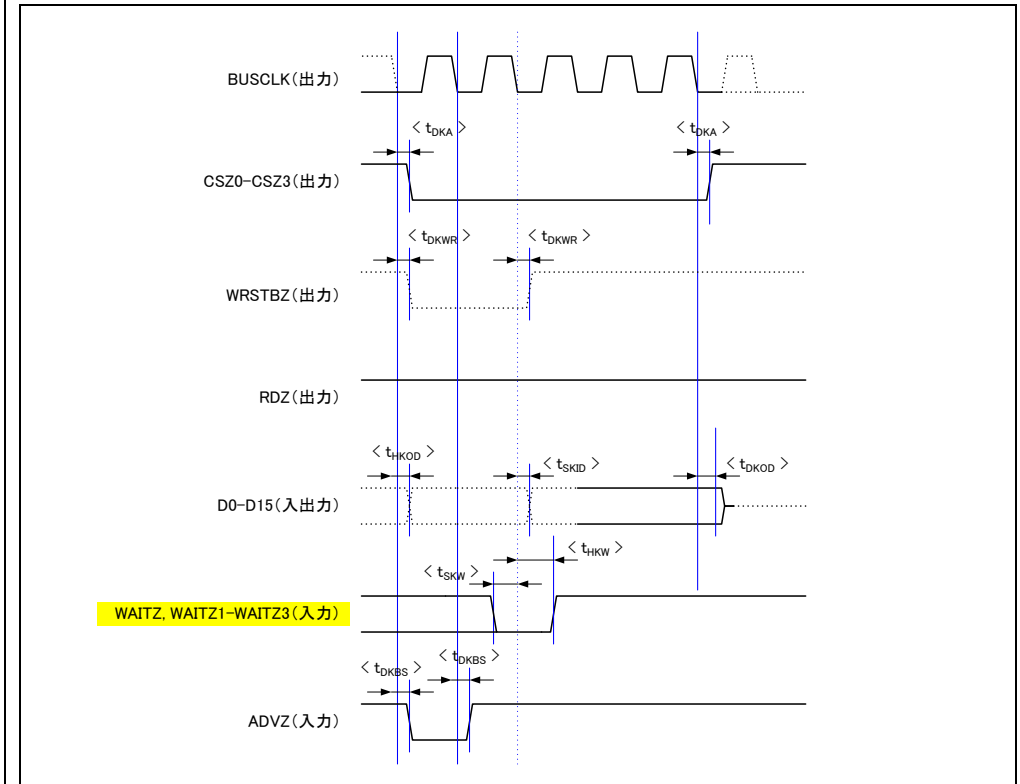


図 4.7 メモリ・コントローラ・ライト・タイミング (クロック同期式メモリ)

備考 t_{wp} が 2、 t_{wc} が 5 の場合のタイミングです。

18. 4.8.6 外部 DMA インタフェース

t_{WDAL} の誤記修正 ($t_{WDAH} \rightarrow t_{WDAL}$)、注 2 に $n=0-1$ を追記 (p.97)
Rev.3.01)

4.7.6 外部 DMA インタフェース

項目	略号	条件	MIN	MAX	単位
DMAREQZ [1:0], RTDMAREQZ 入力設定時間 (対 BUSCLK ↑)	t_{SKDR}	—	7.0	—	ns
DMAREQZ [1:0], RTDMAREQZ 入力保持時間 1	t_{HKDR1}	—	DMAACKZ ↓, RTDMAACKZ ↓ まで	—	ns
DMAREQZ [1:0], REDMAREQZ 入力保持時間 2 (対 BUSCLK ↑)	t_{HKDR2}	—	—	$t_{BUSCLK} \cdot m^{\#2} - 7.0$	ns
DMAACKZ [1:0], RTDMAACKZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKDA}	$C_L = 30pF$	2.0	10.0	ns
DMAACKZ [1:0], RTDMAACKZ 出力ハイ・レベル幅	t_{WDAH}	—	$t_{BUSCLK} \cdot m^{\#1} \times m^{\#2} - 8$	$t_{BUSCLK} \cdot m^{\#1} \times m^{\#2} + 8$	ns
DMATCZ [1:0], RTDMATCZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKTC}	$C_L = 30pF$	2.0	10.0	ns

注 1. t_{BUSCLK} は BUSCLK の周期 (10ns) です。
2. $m = 1-31$ (DMAIFC0, DMAIFC1, RTMDAIFC レジスタ設定)。

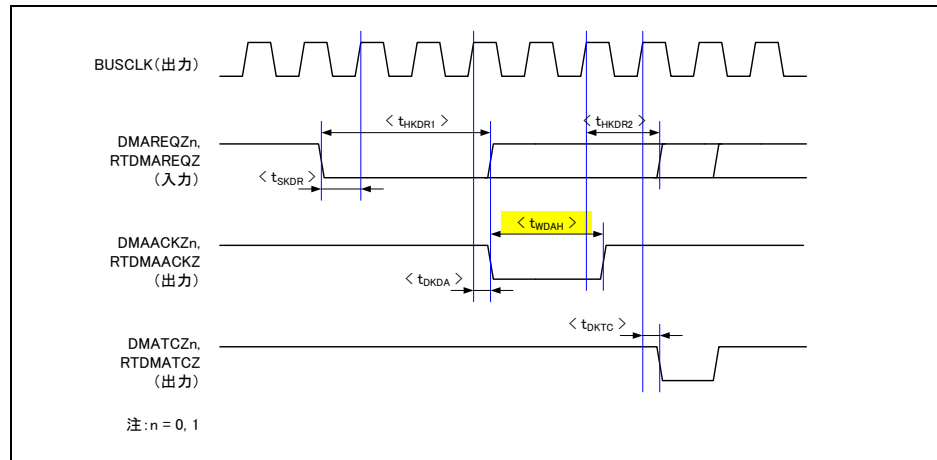


図 4.19 外部 DMA アクセス・タイミング

Rev.4.00)

4.7.6 外部 DMA インタフェース

項目	略号	条件	MIN	MAX	単位
DMAREQZn, RTDMAREQZ 入力設定時間 (対 BUSCLK ↑)	t_{SKDR}	—	7.0	—	ns
DMAREQZn, RTDMAREQZ 入力保持時間 1	t_{HKDR1}	—	DMAACKZn ↓, RTDMAACKZ ↓ まで	—	ns
DMAREQZn, REDMAREQZ 入力保持時間 2 (対 BUSCLK ↑)	t_{HKDR2}	—	—	$t_{BUSCLK} \cdot m^{\#1} \times m^{\#2} - 7.0$	ns
DMAACKZn, RTDMAACKZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKDA}	$C_L = 30pF$	2.0	10.0	ns
DMAACKZn, RTDMAACKZ 出力ロー・レベル幅	t_{WDAL}	—	$t_{BUSCLK} \cdot m^{\#1} \times m^{\#2} - 8$	$t_{BUSCLK} \cdot m^{\#1} \times m^{\#2} + 8$	ns
DMATCZn, RTDMATCZ 出力遅延時間 (対 BUSCLK ↑)	t_{DKTC}	$C_L = 30pF$	2.0	10.0	ns

注 1. t_{BUSCLK} は BUSCLK の周期 (10ns) です。
2. $n = 0-1$, $m = 1-31$ (DMAIFC0, DMAIFC1, RTMDAIFC レジスタ設定)。

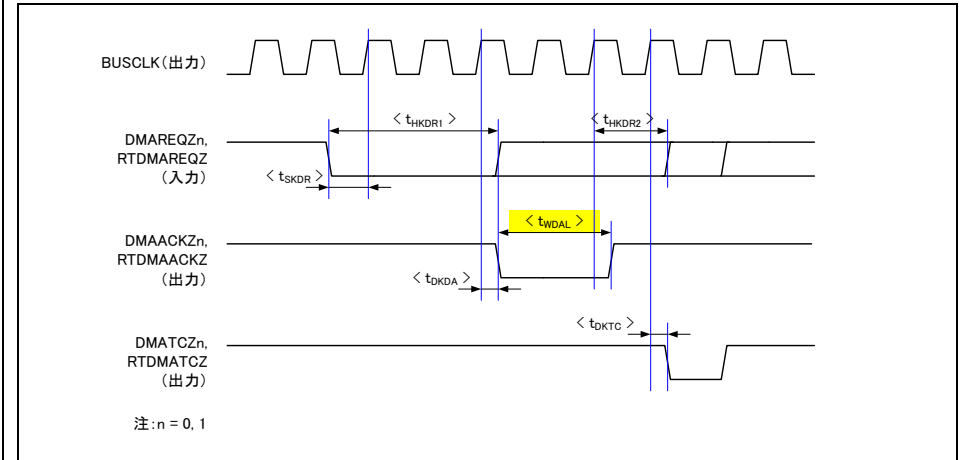


図 4.19 外部 DMA アクセス・タイミング

※黄色ハッチング部分以外の変更箇所は、表記統一のみです。

19. 4.8.7 CSI インタフェース

CSISCKn 出力ハイ/ロー・レベル幅を追記、タイミングチャートが例示である旨を備考で明記 (p.98-99)

Rev.3.01)

(1) マスタ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 出力周期	tCSIMSK	CL = 15pF	40	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	tSMSI	—	8.5	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	tSMSI	—	8.5	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	tHMSI	—	7.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	tHMSI	—	7.0	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	tDMO	CL = 15pF	—	7.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	tDMO		—	7.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	tHMO	tCSIMSK × 0.5 - 5.0	—	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	tHMO	tCSIMSK × 0.5 - 5.0	—	—	ns

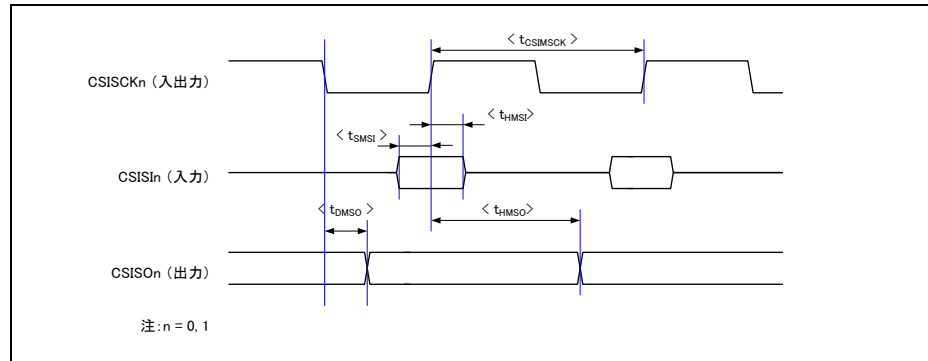


図 4.20 CSI アクセス・タイミング (マスタ・モード)

Rev.4.00)

(1) マスタ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 出力周期	tCSIMSK	CL = 15pF	40	—	ns
CSISCKn 出力ハイ・レベル幅	tWSKH	CL = 15pF	tCSIMSK × 0.5 - 5.0	—	ns
CSISCKn 出力ロー・レベル幅	tVSKL	CL = 15pF	tCSIMSK × 0.5 - 5.0	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	tSMSI	—	8.5	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	tSMSI	—	8.5	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	tHMSI	—	7.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	tHMSI	—	7.0	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	tDMO	CL = 15pF	—	7.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	tDMO		—	7.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	tHMO	tCSIMSK × 0.5 - 5.0	—	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	tHMO	tCSIMSK × 0.5 - 5.0	—	—	ns

備考 n = 0, 1

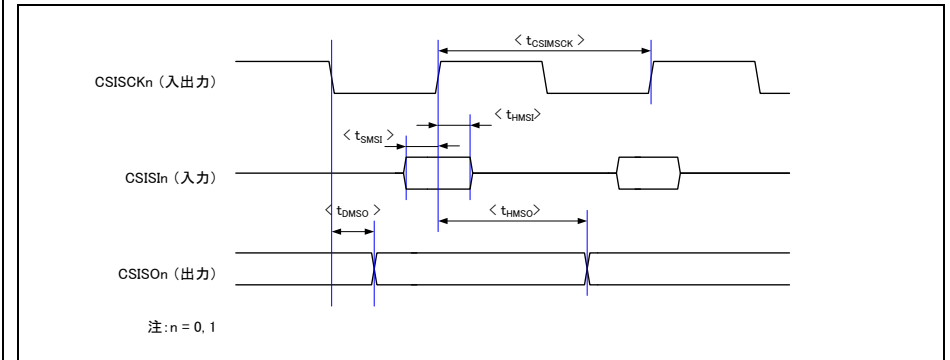


図 4.20 CSI アクセス・タイミング (マスタ・モード)

備考 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力を例にしたタイミング図となっています。動作モードに合わせて、参照タイミングを読み替えて下さい。

19. 4.8.7 CSI インタフェース

CSISCKn 出力ハイ/ロー・レベル幅を追記、タイミングチャートが例示である旨を備考で明記 (p.98-99) 続き
Rev.3.01)

(2) スレーブ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 入力周期	t _{CSISSCK}	—	60	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	t _{HSSI}	—	15	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	t _{HSSI}	—	15	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	t _{DSSO}	C _L = 15pF	—	10.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	t _{DSSO}		—	10.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	t _{HSSO}	—	t _{CSISSCK} × 0.5 - 5.0	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	t _{HSSO}	—	t _{CSISSCK} × 0.5 - 5.0	—	ns

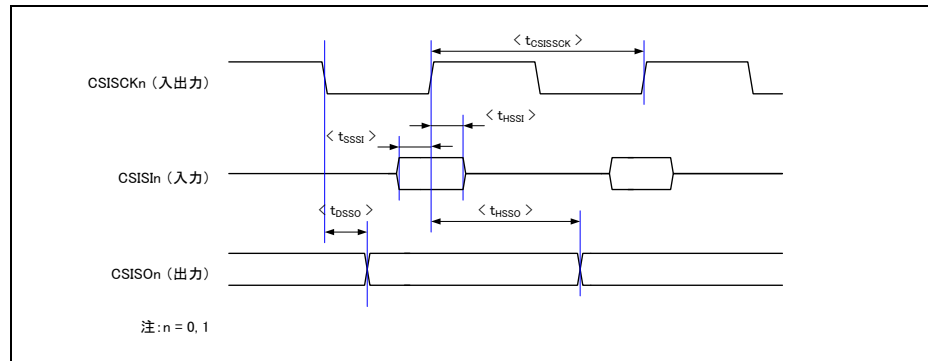


図 4.21 CSI アクセス・タイミング (スレーブ・モード)

Rev.4.00)

(2) スレーブ・モード

項目	略号	条件	MIN	MAX	単位
CSISCKn 入力周期	t _{CSISSCK}	—	60	—	ns
CSISCKn 入力ハイ・レベル幅	t _{WSKH}	—	t _{CSISSCK} × 0.5 - 5.0	—	ns
CSISCKn 入力ロー・レベル幅	t _{WSKL}	—	t _{CSISSCK} × 0.5 - 5.0	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↑)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力設定時間 (対 CSISCKn ↓)	t _{SSSI}	—	10.0	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↑)	t _{HSSI}	—	15	—	ns
CSISIn 入力保持時間 (対 CSISCKn ↓)	t _{HSSI}	—	15	—	ns
CSISOn 出力遅延時間 (対 CSISCKn ↑)	t _{DSSO}	C _L = 15pF	—	10.0	ns
CSISOn 出力遅延時間 (対 CSISCKn ↓)	t _{DSSO}		—	10.0	ns
CSISOn 出力保持時間 (対 CSISCKn ↑)	t _{HSSO}	—	t _{CSISSCK} × 0.5 - 5.0	—	ns
CSISOn 出力保持時間 (対 CSISCKn ↓)	t _{HSSO}	—	t _{CSISSCK} × 0.5 - 5.0	—	ns

備考 n = 0, 1

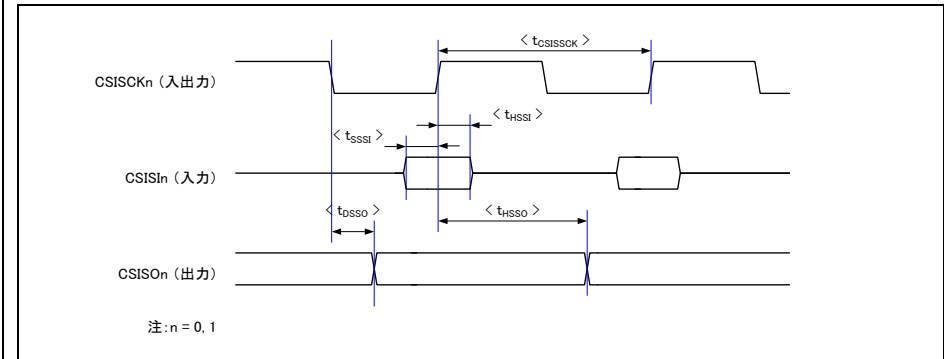


図 4.21 CSI アクセス・タイミング (スレーブ・モード)

備考 上図は「対 CSISCKn ↓」のデータ出力、「対 CSISCKn ↑」のデータ入力为例にしたタイミング図となっています。動作モードに合わせて、参照タイミングを読み替えて下さい。

20. 4.8.10 Ethernet インタフェース
データ端子の添え字 m を追記 (p.102-103)
Rev.3.01)

(1) GMII インタフェース

項目	略号	条件	MIN	MAX	単位
ETHn_GTXC 出力周期	t _{GTXC}	C _L = 13pF	8	—	ns
ETHn_RXC 入力周期	t _{GRXC}	—	8	—	ns
ETHn_TXDm 出力遅延時間 (対 ETHn_GTXC ↑)	t _{DGTKTD}	C _L = 13pF	0.5	5.5	ns
ETHn_TXEN, ETHn_TXER 出力遅延時間 (対 ETHn_GTXC ↑)	t _{DGKTTE}	C _L = 13pF	0.5	5.5	ns
ETHn_RXD 入力設定時間 (対 ETHn_RXC ↑)	t _{SGDRDK}	—	2.0	—	ns
ETHn_RXDm 入力保持時間 (対 ETHn_RXC ↑)	t _{HGRDRK}	—	0	—	ns
ETHn_RXDV, ETHn_RXER 入力設定時間 (対 ETHn_RXC ↑)	t _{SGRVRK}	—	2.0	—	ns
ETHn_RXDV, ETHn_RXER 入力保持時間 (対 ETHn_RXC ↑)	t _{HGRVRK}	—	0	—	ns

備考 n = 0, 1, m = 0-7

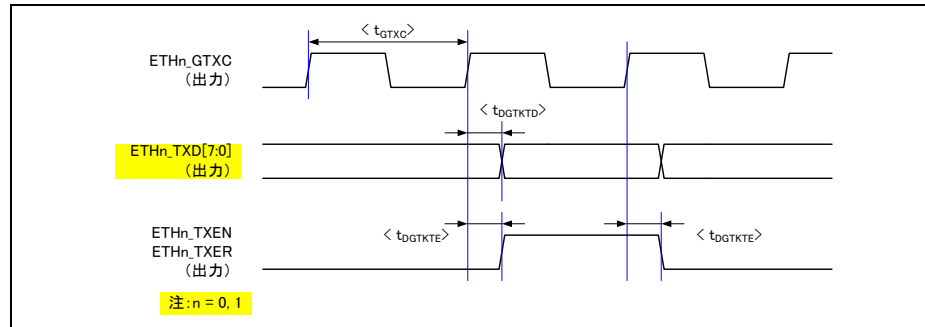


図 4.25 Ethernet アクセス・タイミング (GMII 送信)

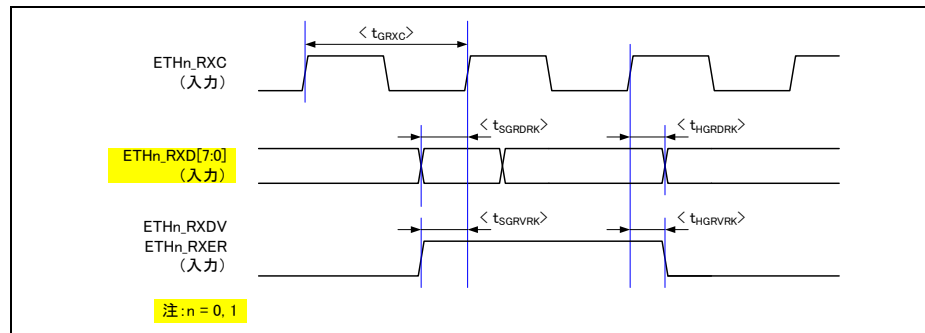


図 4.26 Ethernet アクセス・タイミング (GMII 受信)

Rev.4.00)

(1) GMII インタフェース

項目	略号	条件	MIN	MAX	単位
ETHn_GTXC 出力周期	t _{GTXC}	C _L = 13pF	8	—	ns
ETHn_RXC 入力周期	t _{GRXC}	—	8	—	ns
ETHn_TXDm 出力遅延時間 (対 ETHn_GTXC ↑)	t _{DGTKTD}	C _L = 13pF	0.5	5.5	ns
ETHn_TXEN, ETHn_TXER 出力遅延時間 (対 ETHn_GTXC ↑)	t _{DGKTTE}	C _L = 13pF	0.5	5.5	ns
ETHn_RXDm 入力設定時間 (対 ETHn_RXC ↑)	t _{SGDRDK}	—	2.0	—	ns
ETHn_RXDm 入力保持時間 (対 ETHn_RXC ↑)	t _{HGRDRK}	—	0	—	ns
ETHn_RXDV, ETHn_RXER 入力設定時間 (対 ETHn_RXC ↑)	t _{SGRVRK}	—	2.0	—	ns
ETHn_RXDV, ETHn_RXER 入力保持時間 (対 ETHn_RXC ↑)	t _{HGRVRK}	—	0	—	ns

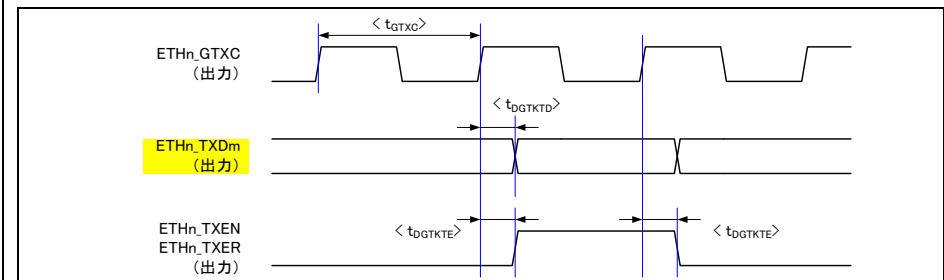


図 4.25 Ethernet アクセス・タイミング (GMII 送信)

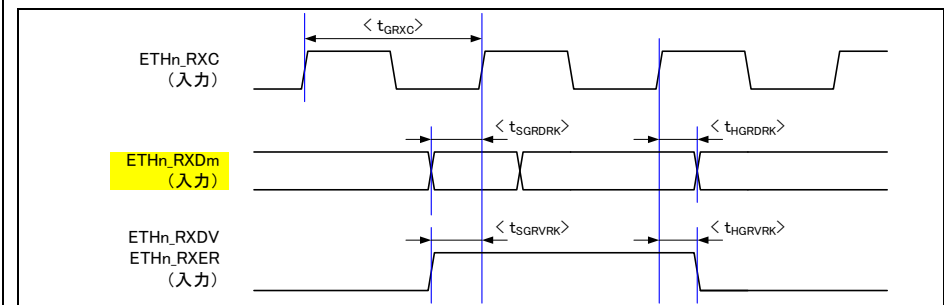


図 4.26 Ethernet アクセス・タイミング (GMII 受信)

備考 n = 0, 1, m = 0-7

20. 4.8.10 Ethernet インタフェース

データ端子の添え字 m を追記 (p.102-103) 続き

Rev.3.01)

(2) MII インタフェース

項目	略号	条件	MIN	MAX	単位
ETHn_TXC 入力周期	t _{TXC}	—	40	—	ns
ETHn_RXC 入力周期	t _{RXC}	—	40	—	ns
ETHn_TXDm 出力遅延時間 (対 ETHn_TXC ↑)	t _{DTKTD}	C _L = 30pF	0	25	ns
ETHn_TXEN, ETHn_TXER 出力遅延時間 (対 ETHn_TXC ↑)	t _{DTKTE}	C _L = 30pF	0	25	ns
ETHn_RXD 入力設定時間 (対 ETHn_RXC ↑)	t _{SRDRK}	—	10	—	ns
ETHn_RXDm 入力保持時間 (対 ETHn_RXC ↑)	t _{HRDRK}	—	10	—	ns
ETHn_RXDV, ETHn_RXER 入力設定時間 (対 ETHn_RXC ↑)	t _{SRVRK}	—	10	—	ns
ETHn_RXDV, ETHn_RXER 入力保持時間 (対 ETHn_RXC ↑)	t _{HRVRK}	—	10	—	ns

備考 n = 0, 1, m = 0-7

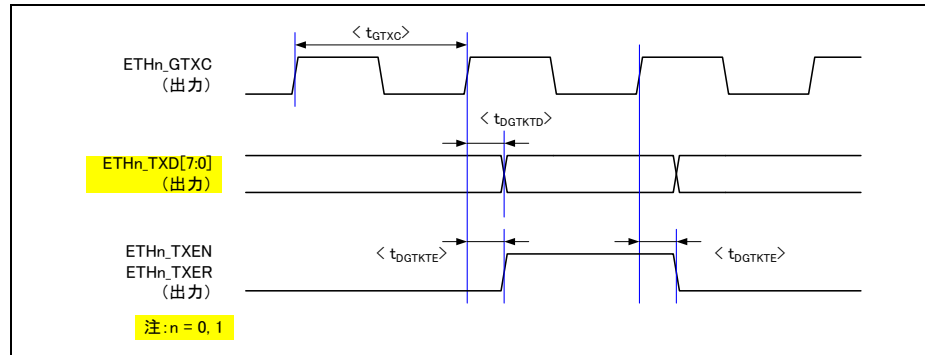


図 4.27 Ethernet アクセス・タイミング (MII 送信)

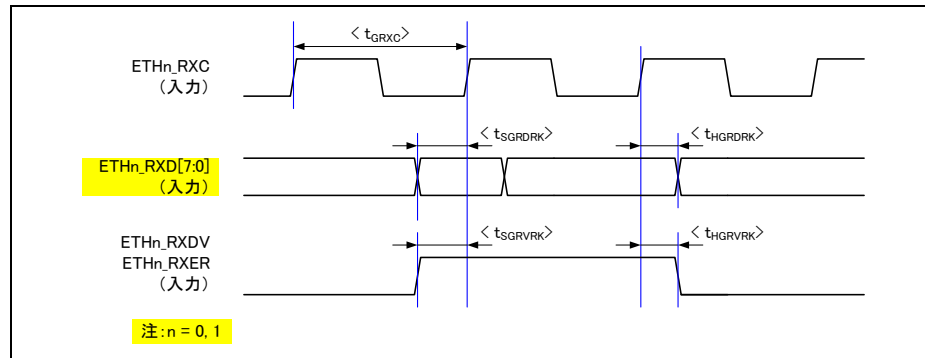


図 4.28 Ethernet アクセス・タイミング (MII 受信)

Rev.4.00)

(2) MII インタフェース

項目	略号	条件	MIN	MAX	単位
ETHn_TXC 入力周期	t _{TXC}	—	40	—	ns
ETHn_RXC 入力周期	t _{RXC}	—	40	—	ns
ETHn_TXDm 出力遅延時間 (対 ETHn_TXC ↑)	t _{DTKTD}	C _L = 30pF	0	25	ns
ETHn_TXEN, ETHn_TXER 出力遅延時間 (対 ETHn_TXC ↑)	t _{DTKTE}	C _L = 30pF	0	25	ns
ETHn_RXDm 入力設定時間 (対 ETHn_RXC ↑)	t _{SRDRK}	—	10	—	ns
ETHn_RXDm 入力保持時間 (対 ETHn_RXC ↑)	t _{HRDRK}	—	10	—	ns
ETHn_RXDV, ETHn_RXER 入力設定時間 (対 ETHn_RXC ↑)	t _{SRVRK}	—	10	—	ns
ETHn_RXDV, ETHn_RXER 入力保持時間 (対 ETHn_RXC ↑)	t _{HRVRK}	—	10	—	ns

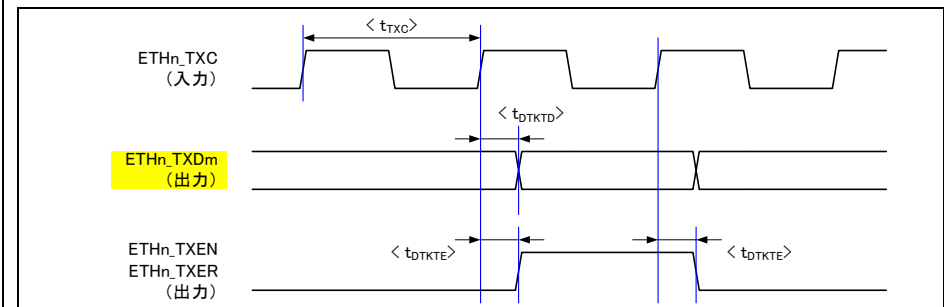


図 4.27 Ethernet アクセス・タイミング (MII 送信)

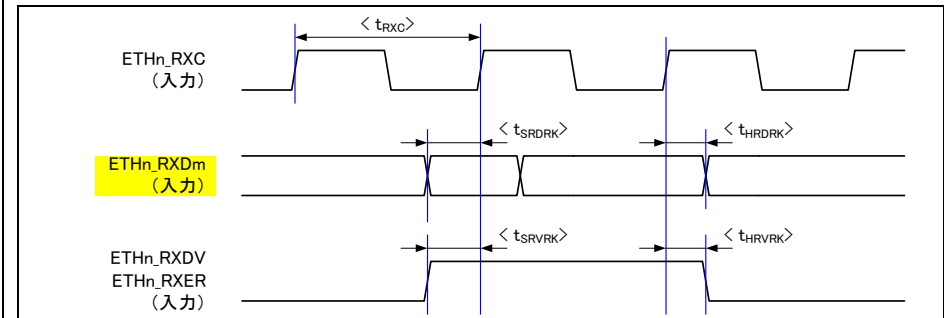


図 4.28 Ethernet アクセス・タイミング (MII 受信)

備考 n = 0, 1, m = 0-7

21. 4.8.11(2) トレース・インタフェース

TRACEDATA 出力遅延時間の AC Spec 変更 (p.106)

Rev.3.01)

(2) トレース・インタフェース

項目	略号	条件	MIN	MAX	単位
TRACECLK 出力周期	t _{TRCCLK}	C _L = 15pF	20	—	ns
TRACEDATA 出力遅延時間 (対 TRACECLK↓)	t _{TRCDAT}	C _L = 15pF	0.26	3.43	ns

Rev.4.00)

(2) トレース・インタフェース

項目	略号	条件	MIN	MAX	単位
TRACECLK 出力周期	t _{TRCCLK}	C _L = 15pF	20	—	ns
TRACEDATA 出力遅延時間 (対 TRACECLK)	t _{TRCDAT}	C _L = 15pF	0.26	8.43	ns