

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
 ルネサスエレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A028B/J	Rev.	第2版
題名	誤記訂正通知 RL78/G1A ユーザーズマニュアル Rev.2.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G1A グループ : R5F10Exx	対象ロット等 全ロット	関連資料	RL78/G1A ユーザーズマニュアル ハードウェア編 Rev.2.00 R01UH0305JJ0200 (Jul.2013)	

RL78/G1A ユーザーズマニュアル ハードウェア編 Rev.2.00(R01UH0305JJ0200)において、下記の記載追加と変更がございます。

## 今回通知する訂正内容

訂正箇所	該当ページ	内容
2.4 端子ブロック図 図2-7 端子タイプ 7-1-2 の端子ブロック図	p.42	注意追加
2.4 端子ブロック図 図2-9 端子タイプ 7-3-2 の端子ブロック図	p.44	注意追加
2.4 端子ブロック図 図2-10 端子タイプ 8-1-1 の端子ブロック図	p.45	注意追加
2.4 端子ブロック図 図2-11 端子タイプ 8-1-2 の端子ブロック図	p.46	注意追加
2.4 端子ブロック図 図2-12 端子タイプ 8-3-2 の端子ブロック図	p.47	注意追加
2.4 端子ブロック図 図2-13 端子タイプ 12-1-1 の端子ブロック図	p.48	注意追加

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0305JJ020 0	
1	4.3	ポート機能を制御するレジスタの誤記訂正	p.106	p.3, p.4
2	12.5.7	SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャートの誤記訂正 (図12-70, 図12-72)	p.485, p.487	p.5, p.6
3	12.6.3	SNOOZEモード機能の注意追加	p.511	p.7
4	12.6.3	SNOOZEモード機能 SNOOZEモード動作時のタイミング・チャートの誤記訂正 (図12-89, 図12-90, 図12-92)	p.513, p.514, p.516	p.8 - p.10
5	16.4.3	多重割り込み処理 表16-5 割り込み処理中に多重割り込み可能な割り込み要求の関係 の誤記訂正	p.701	p.11
6	29.6.1	A/Dコンバータ特性	p.890	p.12, p.13
7	29.7	データ・メモリSTOPモード低電源電圧データ保持特性の記載変更	p.898	p.14
8	30.7	データ・メモリSTOPモード低電源電圧データ保持特性の記載変更	p.944	p.15
9	7.3.4	リアルタイム・クロック・コントロール・レジスタ1(RTCC1)	p.301	p.16
10	2.4	端子ブロック図 図2-7 端子タイプ 7-1-2 の端子ブロック図	p.42	p.17
11	2.4	端子ブロック図 図2-9 端子タイプ 7-3-2 の端子ブロック図	p.44	p.18
12	2.4	端子ブロック図 図2-10 端子タイプ 8-1-1 の端子ブロック図	p.45	p.19
13	2.4	端子ブロック図 図2-11 端子タイプ 8-1-2 の端子ブロック図	p.46	p.20
14	2.4	端子ブロック図 図2-12 端子タイプ 8-3-2 の端子ブロック図	p.47	p.21
15	2.4	端子ブロック図 図2-13 端子タイプ 12-1-1 の端子ブロック図	p.48	p.22

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

仕様拡張・記載変更・注意追加の該当箇所は、変更前)太字下線、変更後)グレー・ハッチングで記載します。

発行文書履歴

RL78/G1A ユーザーズマニュアル Rev.2.00 誤記訂正および仕様拡張通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A028A/J	2014年4月25日	初版発行 訂正一覧の No.1 ~ No.8 の誤記訂正および仕様拡張
TN-RL*-A046A/J	2015年7月6日	訂正一覧の No.9 の記載追加
TN-RL*-A028B/J	2016年G月GG日 <del>XXXXXX</del>	第2版発行 訂正一覧の No.10 ~ No.15 の記載追加(本通知です。)

1. 4.3 ポート機能を制御するレジスタ

誤)

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット (1/2)

ポート		ビット名					64ピン	48ピン	32ピン	25ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ				
ポート0	0	PM00	P00	PU00	PIM00	-	-		-	-
	1	PM01	P01	PU01	PIM01	-	-		-	-
	2	PM02	P02	PU02	-	POM02	PMC02			
	3	PM03	P03	PU03	PIM03	POM03	PMC03			
	4	PM04	P04	PU04	PIM04	POM04	-		-	-
	5	PM05	P05	PU05	-	-	-		-	-
	6	PM06	P06	PU06	-	-	-		-	-
ポート1	0	PM10	P10	PU10	PIM10	POM10	<b>PMC00</b>			
	1	PM11	P11	PU11	PIM11	POM11	<b>PMC01</b>			
	2	PM12	P12	PU12	-	POM12	<b>PMC02</b>			
	3	PM13	P13	PU13	-	POM13	<b>PMC03</b>			-
	4	PM14	P14	PU14	PIM14	POM14	<b>PMC04</b>			-
	5	PM15	P15	PU15	PIM15	POM15	<b>PMC05</b>			-
	6	PM16	P16	PU16	PIM16	-	-			-
ポート2	0	PM20	P20	-	-	-	-			
	1	PM21	P21	-	-	-	-			
	2	PM22	P22	-	-	-	-			
	3	PM23	P23	-	-	-	-			
	4	PM24	P24	-	-	-	-			-
	5	PM25	P25	-	-	-	-			-
	6	PM26	P26	-	-	-	-			-
	7	PM27	P27	-	-	-	-			-

正)

表4-4 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット (1/2)

ポート		ビット名					64ピン	48ピン	32ピン	25ピン	
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ					PMCxx レジスタ
ポート0	0	PM00	P00	PU00	PIM00	-	-		-	-	-
	1	PM01	P01	PU01	PIM01	-	-		-	-	-
	2	PM02	P02	PU02	-	POM02	PMC02				
	3	PM03	P03	PU03	PIM03	POM03	PMC03				
	4	PM04	P04	PU04	PIM04	POM04	-		-	-	-
	5	PM05	P05	PU05	-	-	-		-	-	-
	6	PM06	P06	PU06	-	-	-		-	-	-
ポート1	0	PM10	P10	PU10	PIM10	POM10	PMC10				
	1	PM11	P11	PU11	PIM11	POM11	PMC11				
	2	PM12	P12	PU12	-	POM12	PMC12				
	3	PM13	P13	PU13	-	POM13	PMC13				-
	4	PM14	P14	PU14	PIM14	POM14	PMC14				-
	5	PM15	P15	PU15	PIM15	POM15	PMC15				-
	6	PM16	P16	PU16	PIM16	-	-			-	-
ポート2	0	PM20	P20	-	-	-	-				
	1	PM21	P21	-	-	-	-				
	2	PM22	P22	-	-	-	-				
	3	PM23	P23	-	-	-	-				
	4	PM24	P24	-	-	-	-				-
	5	PM25	P25	-	-	-	-			-	-
	6	PM26	P26	-	-	-	-			-	-
	7	PM27	P27	-	-	-	-			-	-

2.12.5.7 SNOOZE モード機能

SNOOZE モード動作時のタイミング・チャート

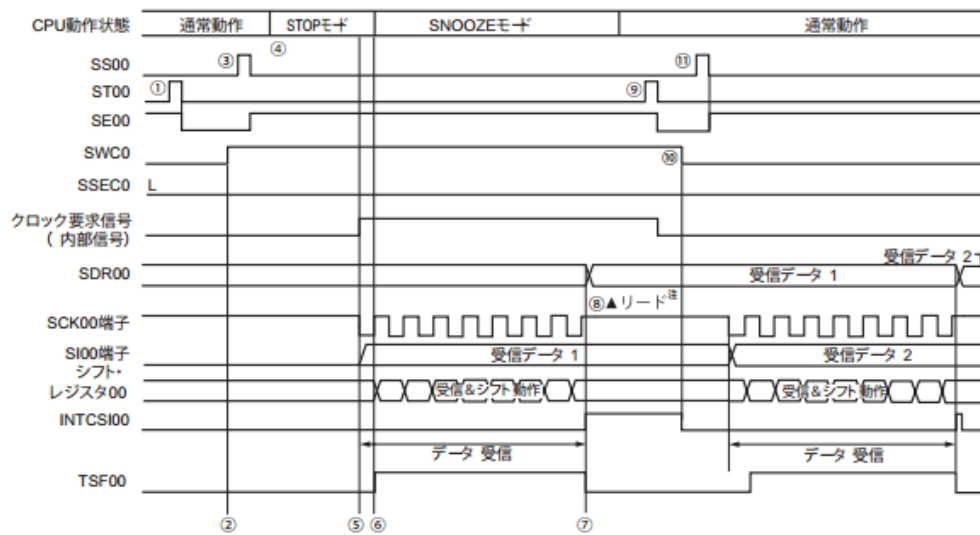
CPU動作状態、クロック要求信号（内部信号）とTSF00のタイミング・チャートの誤記訂正

誤)

(1) SNOOZEモード動作（1回起動）

図12-70 SNOOZEモード動作（1回起動）時のタイミング・チャート

(タイプ1：DAPmn = 0, CKPmn = 0)

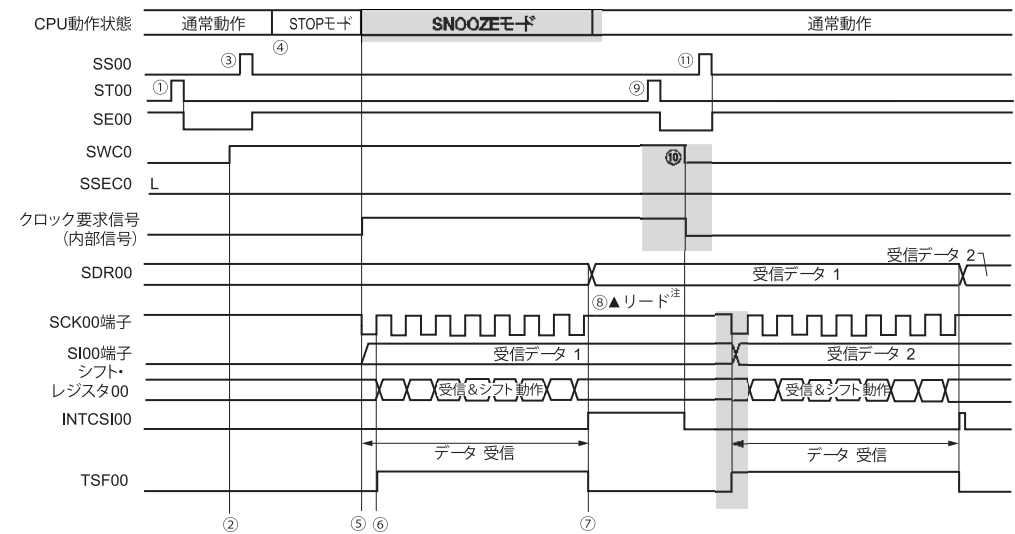


正)

(1) SNOOZEモード動作（1回起動）

図12-70 SNOOZEモード動作（1回起動）時のタイミング・チャート

(タイプ1：DAPmn = 0, CKPmn = 0)



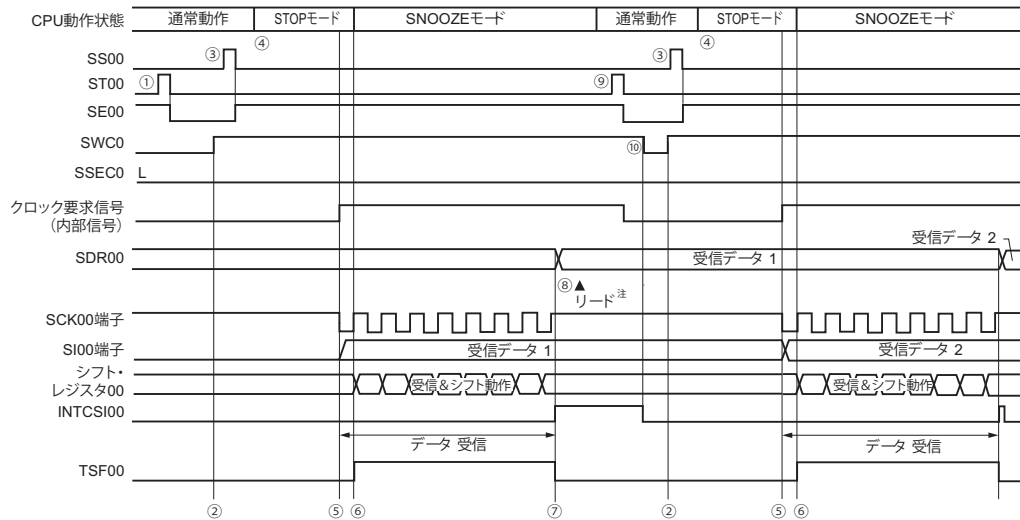
CPU動作状態、クロック要求信号（内部信号）とINTCSI00のタイミング・チャートの誤記訂正

誤)

(2) SNOOZEモード動作（連続起動）

図12-72 SNOOZEモード動作（連続起動）時のタイミング・チャート

(タイプ1：DAPmn = 0, CKPmn = 0)

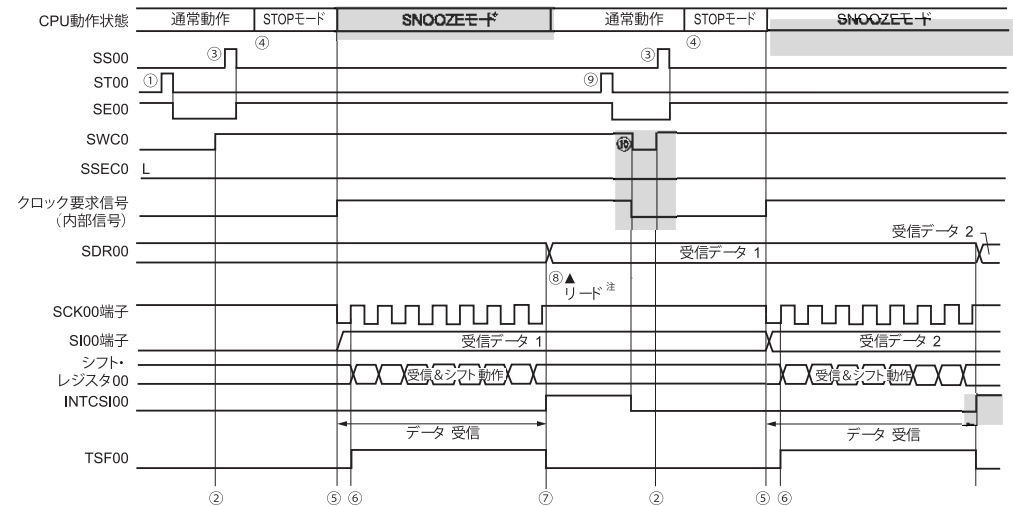


正)

(2) SNOOZEモード動作（連続起動）

図12-72 SNOOZEモード動作（連続起動）時のタイミング・チャート

(タイプ1：DAPmn = 0, CKPmn = 0)



### 3.12.6.3 SNOOZE モード機能の注意追加

誤)

#### 12.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック (fIH) を選択している場合のみ使用できます。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFmn, FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。

正)

#### 12.6.3 SNOOZEモード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

(省略)

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック (fIH) を選択している場合のみ使用できます。

(省略)

4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時にPEFmn, FEFmn、OVFmnフラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn, FEFmn, OVFmnフラグをクリアし、また、SDRm1レジスタのビット7-0 (RxDq) を読み出してください。
5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。  
また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

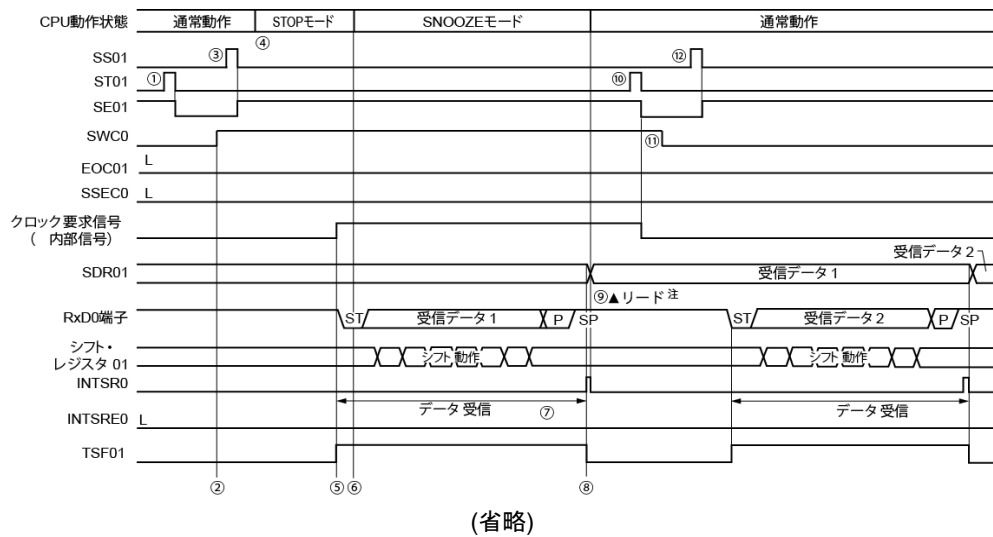
4. 12.6.3 SNOOZEモード機能

SNOOZEモード動作時のタイミング・チャート

CPU動作状態、クロック要求信号（内部信号）、INTSR0とTSF01のタイミング・チャートの誤記訂正

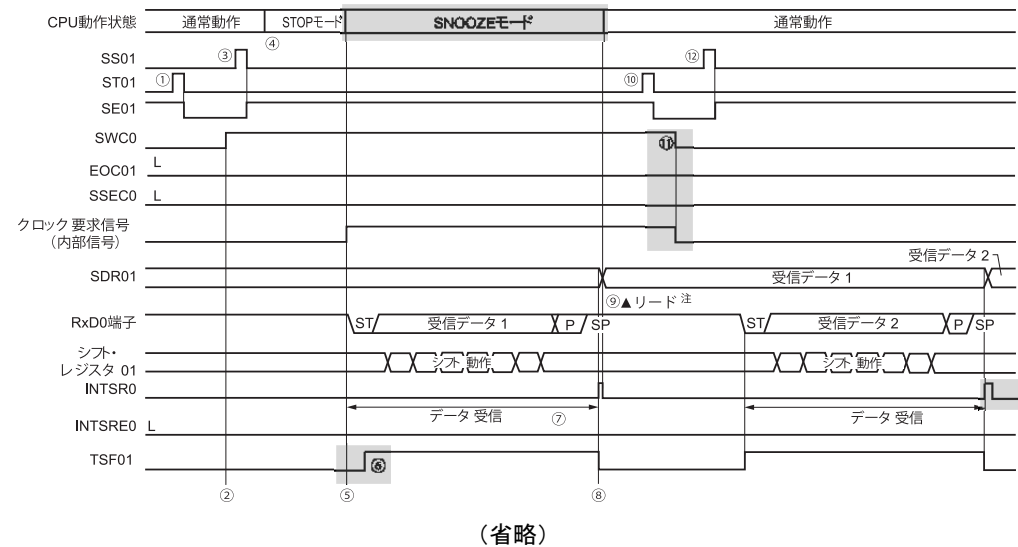
誤)

図12-89 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート



正)

図 12-89 SNOOZEモード動作（EOCm1 = 0, SSECm = 0/1）時のタイミング・チャート

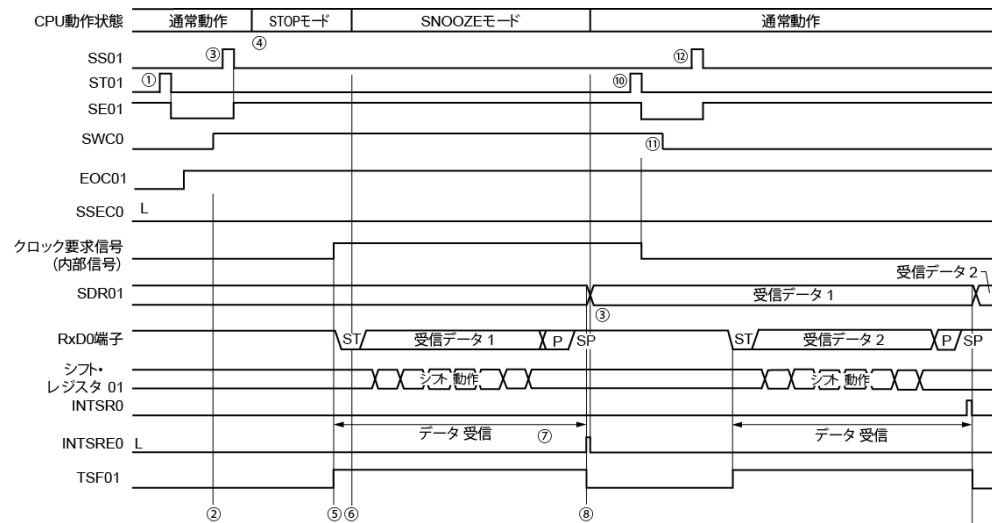




CPU動作状態、クロック要求信号（内部信号）、SDR01、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

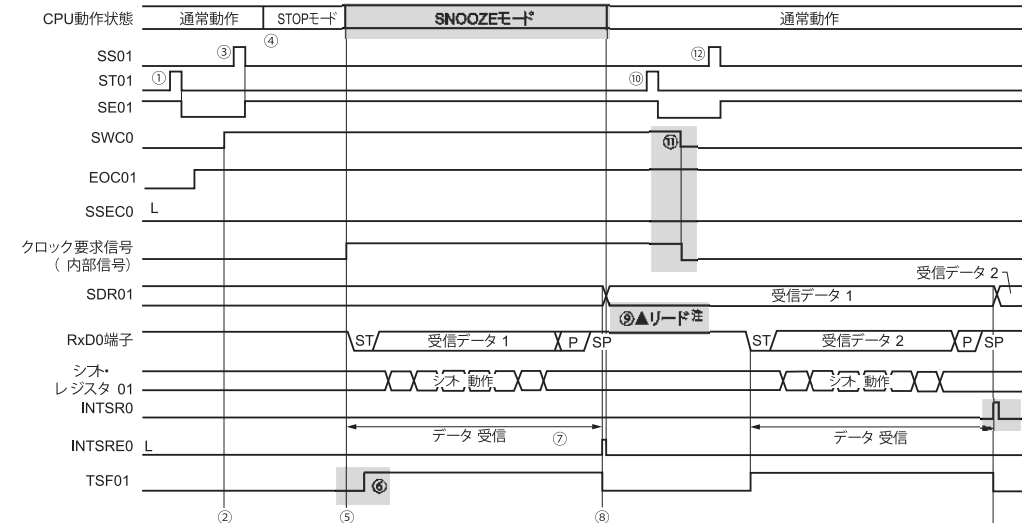
図 12-90 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時の  
タイミング・チャート



(省略)

正)

図 12-90 SNOOZE モード動作 (EOCm1 = 1, SSECm = 0) 時の  
タイミング・チャート

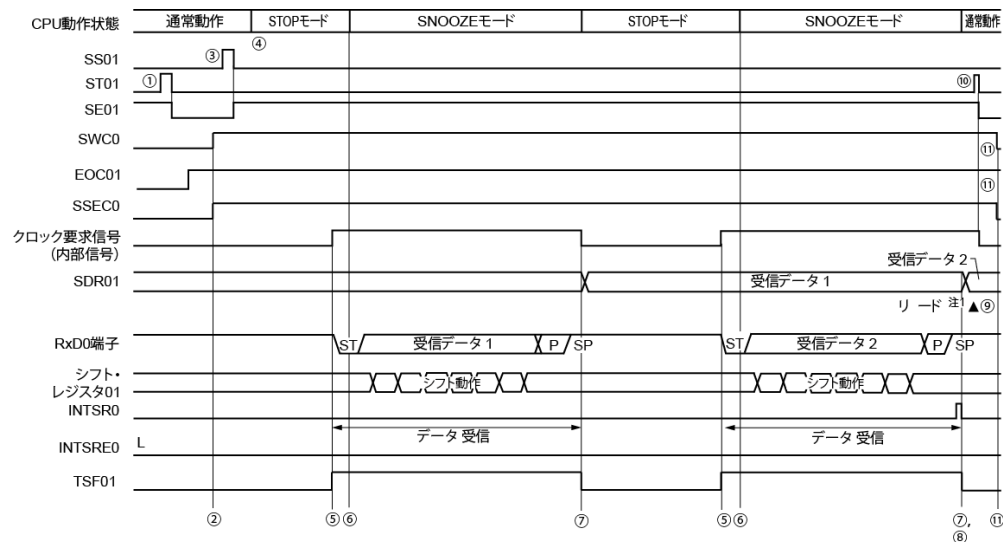


(省略)

CPU動作状態、クロック要求信号（内部信号）、INTSR0とTSF01のタイミング・チャートの誤記訂正

誤)

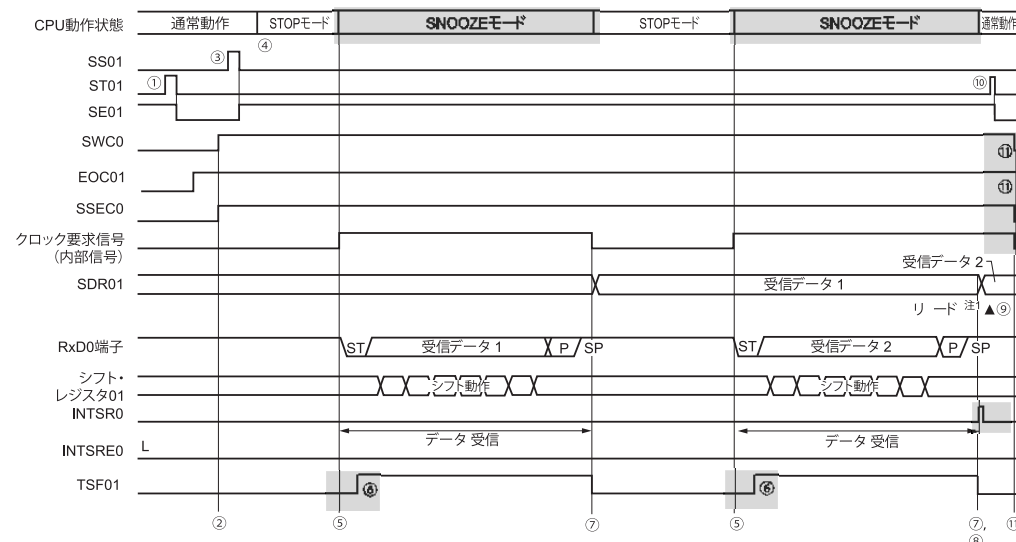
図 12-92 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時の  
タイミング・チャート



(省略)

正)

図 12-92 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時の  
タイミング・チャート



(省略)

5. 16.4.3 多重割り込み処理

表 16-5 割り込み処理中に多重割り込み可能な割り込み要求の関係の誤記訂正  
誤)

表16-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		---		---		---		---	
	ソフトウェア割り込み		x		x		x		x	

(省略)

正)

表16-5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフト ウェア 割り込 み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル 割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウェア割り込み		x		x		x		x	

(省略)

6. 29. 6. 1 A/D コンバータ特性

A/D 変換精度の電圧範囲を拡張。

変更前)

(1) 基準電圧 (+) =  $AV_{REFP}/ANI0$  (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) =  $AV_{REFM}/ANI1$  (ADREFM = 1) 選択時, 変換対象: ANI2-ANI12

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $2.7\text{V} \leq AV_{REFP} \leq AV_{DD} \leq V_{DD} \leq 3.6\text{V}$ ,  $V_{SS} = 0\text{V}$ ,  $AV_{SS} = 0\text{V}$ , 基準電圧 (+) =  $AV_{REFP}$ , 基準電圧 (-) =  $AV_{REFM} = 0\text{V}$ , HALTモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 <sup>注1, 2, 3</sup>	AINL	12ビット分解能		± 1.7	± 3.3	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	3.375			μs
ゼロスケール誤差 <sup>注1, 2, 3</sup>	EZS	12ビット分解能		± 1.3	± 3.2	LSB
フルスケール誤差 <sup>注1, 2, 3</sup>	EFS	12ビット分解能		± 0.7	± 2.9	LSB
積分直線性誤差 <sup>注1, 2, 3</sup>	ILE	12ビット分解能		± 1.0	± 1.4	LSB
微分直線性誤差 <sup>注1, 2, 3</sup>	DLE	12ビット分解能		± 0.9	± 1.2	LSB
アナログ入力電圧	VAIN		0		$AV_{REFP}$	V

注1. TYP.値は、 $AV_{DD} = AV_{REFP} = 3\text{V}$ ,  $T_A = 25$  の平均値です。MAX.値は正規分布における、平均値 ± 3 の値です。

- 2. この値は特性評価結果による値であり, 出荷検査は行っていません。
- 3. 量子化誤差 ( ± 1/2 LSB ) を含みません。

注意1. 各電源/グランド・ラインにノイズが載らないよう配線を引き回し, コンデンサを挿入する等の対策をしてください。また,  $AV_{REFP}$ の基準電圧ラインは他の電源ラインと分離し, ノイズの影響が及ばないようにしてください。

- 2. A/D変換中は, 変換端子の隣接端子とP20-P27, P150-P154に対して, デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

変更後)

(1) 基準電圧 (+) =  $AV_{REFP}/ANI0$  (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) =  $AV_{REFM}/ANI1$  (ADREFM = 1) 選択時, 変換対象: ANI2-ANI12

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $2.4 \text{ V} \leq AV_{REFP} \leq AV_{DD} \leq V_{DD} \leq 3.6 \text{ V}$ ,  $V_{SS} = 0 \text{ V}$ ,  $AV_{SS} = 0 \text{ V}$ , 基準電圧 (+) =  $AV_{REFP}$ , 基準電圧 (-) =  $AV_{REFM} = 0 \text{ V}$ , HALTモード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				12	bit
総合誤差 <sup>注1, 2, 3</sup>	AINL	12ビット分解能		$\pm 1.7$	$\pm 3.3$	LSB
変換時間	tCONV	ADTYP = 0, 12ビット分解能	3.375			$\mu\text{s}$
ゼロスケール誤差 <sup>注1, 2, 3</sup>	EZS	12ビット分解能		$\pm 1.3$	$\pm 3.2$	LSB
フルスケール誤差 <sup>注1, 2, 3</sup>	EFS	12ビット分解能		$\pm 0.7$	$\pm 2.9$	LSB
積分直線性誤差 <sup>注1, 2, 3</sup>	ILE	12ビット分解能		$\pm 1.0$	$\pm 1.4$	LSB
微分直線性誤差 <sup>注1, 2, 3</sup>	DLE	12ビット分解能		$\pm 0.9$	$\pm 1.2$	LSB
アナログ入力電圧	VAIN		0		$AV_{REFP}$	V

注1. TYP.値は、 $AV_{DD} = AV_{REFP} = 3\text{V}$ ,  $T_A = 25$  の平均値です。MAX.値は正規分布における、平均値  $\pm 3$  の値です。

2. この値は特性評価結果による値であり、出荷検査は行っていません。

3. 量子化誤差 ( $\pm 1/2$  LSB) を含みません。

注意1. 各電源/グランド・ラインにノイズが載らないよう配線を引き回し、コンデンサを挿入する等の対策をしてください。また、 $AV_{REFP}$ の基準電圧ラインは他の電源ラインと分離し、ノイズの影響が及ばないようにしてください。

2. A/D変換中は、変換端子の隣接端子とP20-P27, P150-P154に対して、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

7. 29.7 データ・メモリSTOPモード低電源電圧データ保持特性

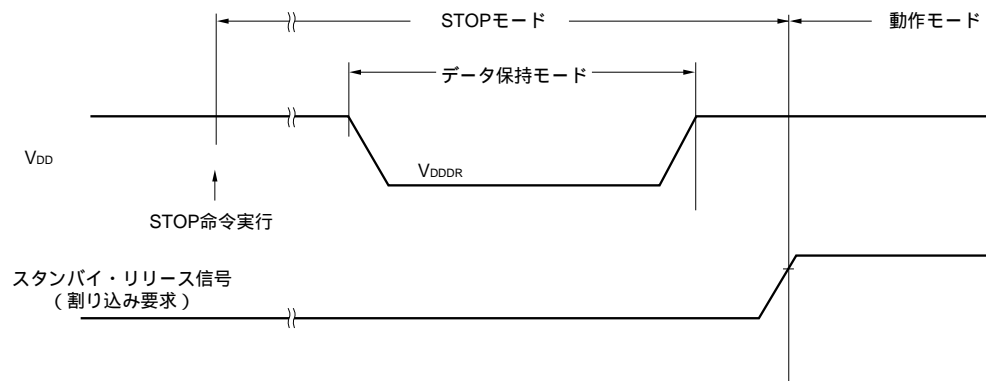
変更前)

29.7 データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.46 <sup>※</sup>		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



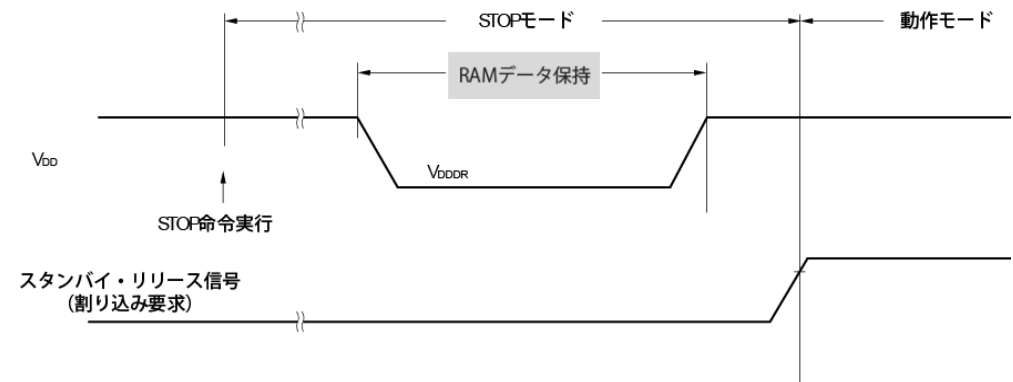
変更後)

29.7 RAMデータ保持特性

( $T_A = -40 \sim +85 \text{ }^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.46 <sup>※</sup>		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



8. 30.7 データ・メモリSTOPモード低電源電圧データ保持特性

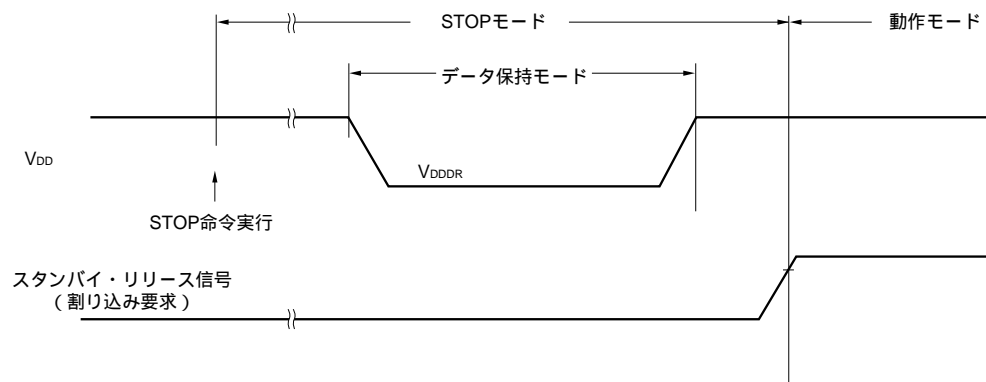
変更前)

30.7 データ・メモリSTOPモード低電源電圧データ保持特性

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



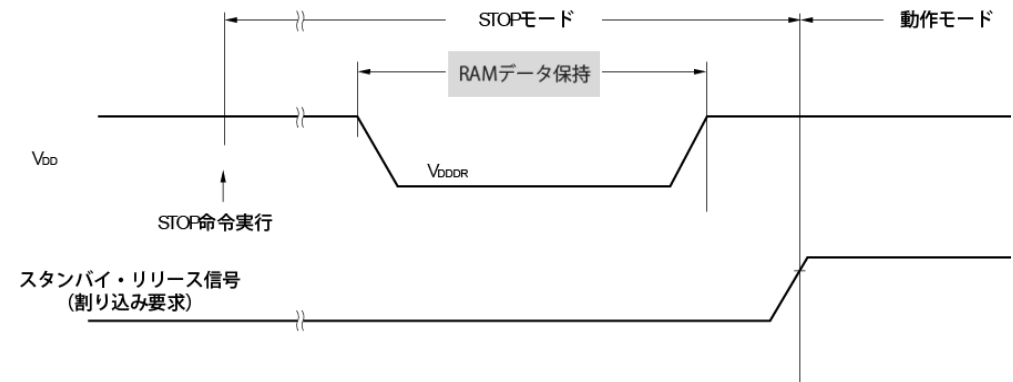
変更後)

30.7 RAMデータ保持特性

( $T_A = -40 \sim +105 \text{ }^\circ\text{C}$ ,  $V_{SS} = 0\text{V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		3.6	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



9. 7. 3. 4 リアルタイム・クロック・コントロール・レジスタ1(RTCC1)の記載追加

(p.301)

変更前)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。  
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。  
 内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。  
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで動作クロック（ $f_{RTC}$ ）の最大1クロック時間がかかります。  
 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。  
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

変更後)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。  
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。  
 内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。  
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで動作クロック（ $f_{RTC}$ ）の最大1クロック時間がかかります。<sup>(注1,注2)</sup>  
 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。  
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

- 注1. RTCE=1に設定した後、 $f_{RTC}$  の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック（ $f_{RTC}$ ）の2クロック時間がかかる場合があります。
- 注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、 $f_{RTC}$  の1クロック時間内で、RWAIT=1とした場合、RWSTビットが“1”になるまでに、動作クロック（ $f_{RTC}$ ）の2クロック時間がかかる場合があります。

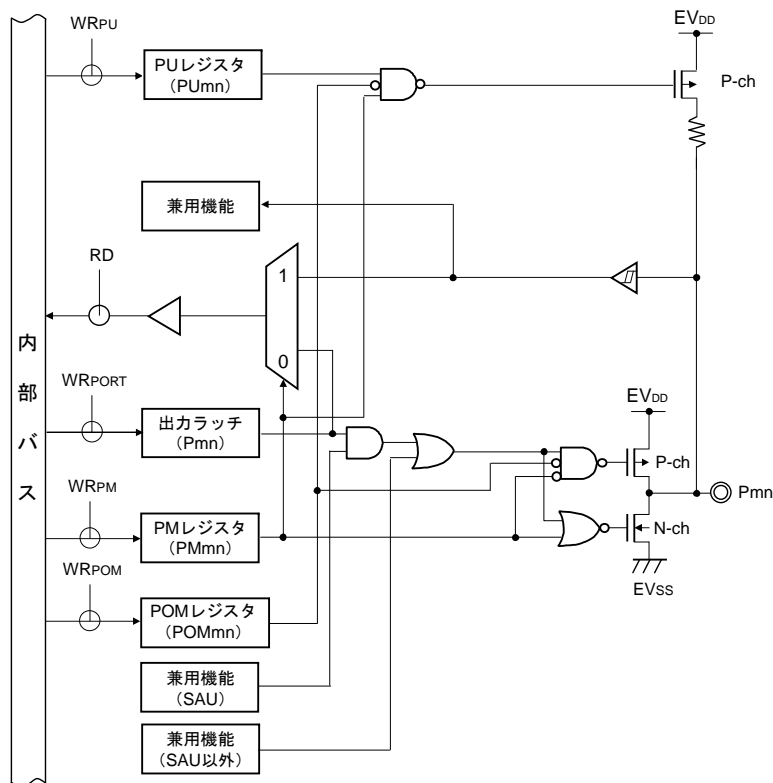


10. 2. 4 端子ブロック図 図2-7 端子タイプ 7-1-2 の端子ブロック図の注意追加

(p.42)

変更前)

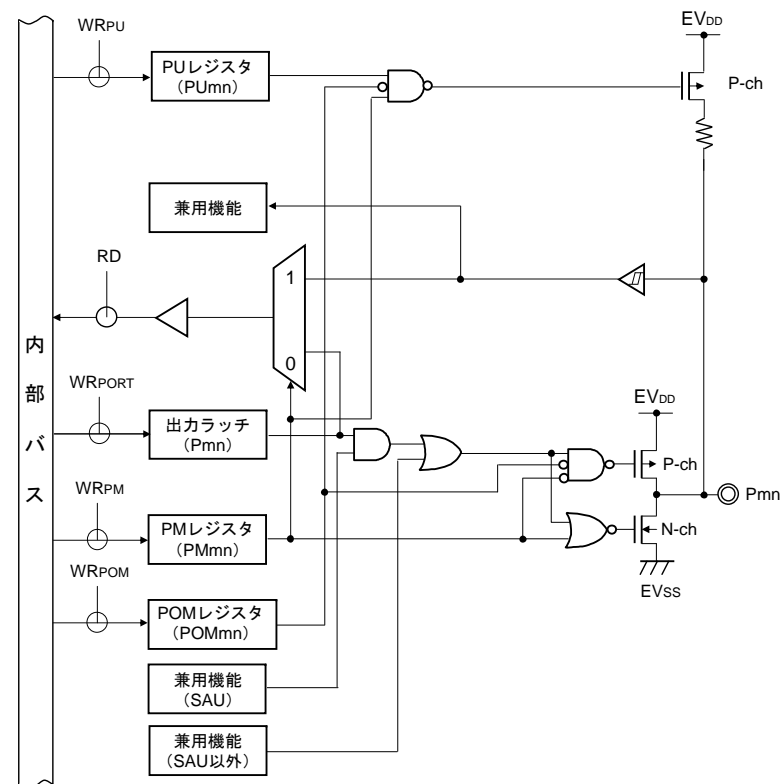
図2-7 端子タイプ 7-1-2 の端子ブロック図



- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

変更後)

図2-7 端子タイプ 7-1-2 の端子ブロック図



注意. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

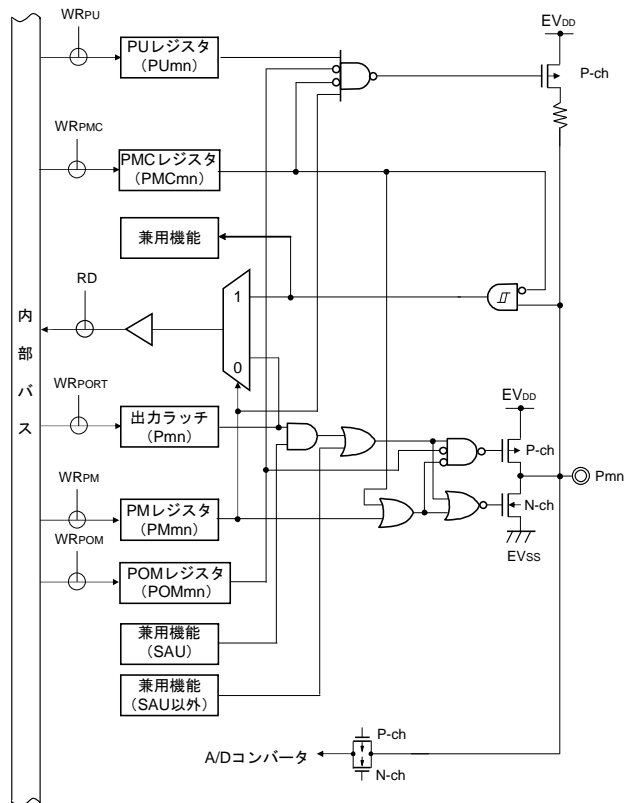
- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU: シリアル・アレイ・ユニット

11.2.4 端子ブロック図 図2-9 端子タイプ 7-3-2 の端子ブロック図の注意追加

(p.44)

変更前)

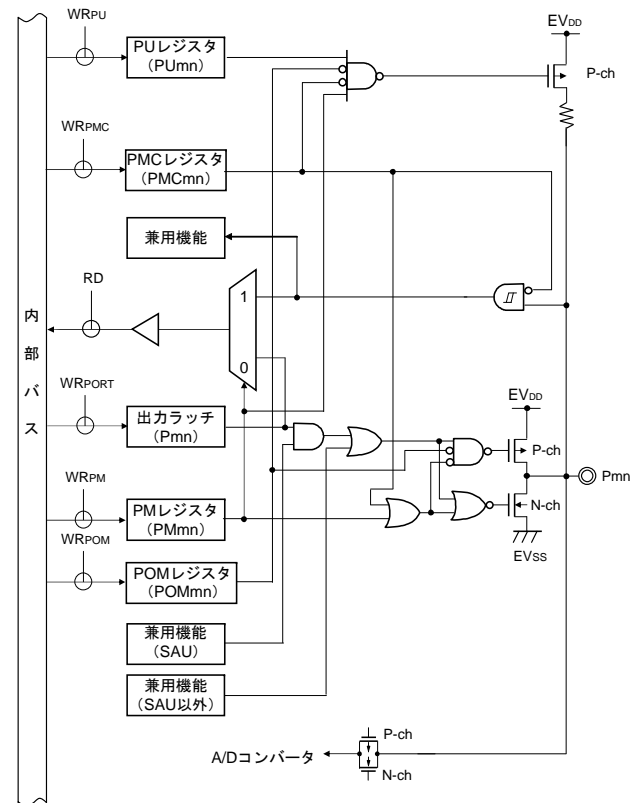
図2-9 端子タイプ 7-3-2 の端子ブロック図



- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU:シリアル・アレイ・ユニット

変更後)

図2-9 端子タイプ 7-3-2 の端子ブロック図



注意. ポート出力モード・レジスタ(POMx)で N-ch オープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

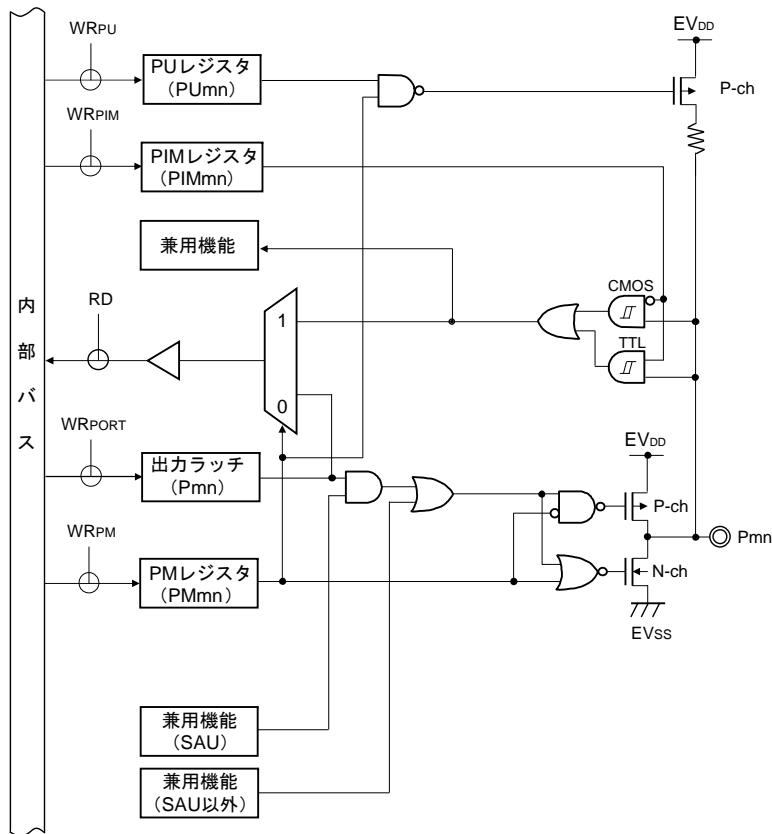
- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU:シリアル・アレイ・ユニット

12.2.4 端子ブロック図 図2-10 端子タイプ 8-1-1 の端子ブロック図の注意追加

(p.45)

変更前)

図2-10 端子タイプ 8-1-1 の端子ブロック図

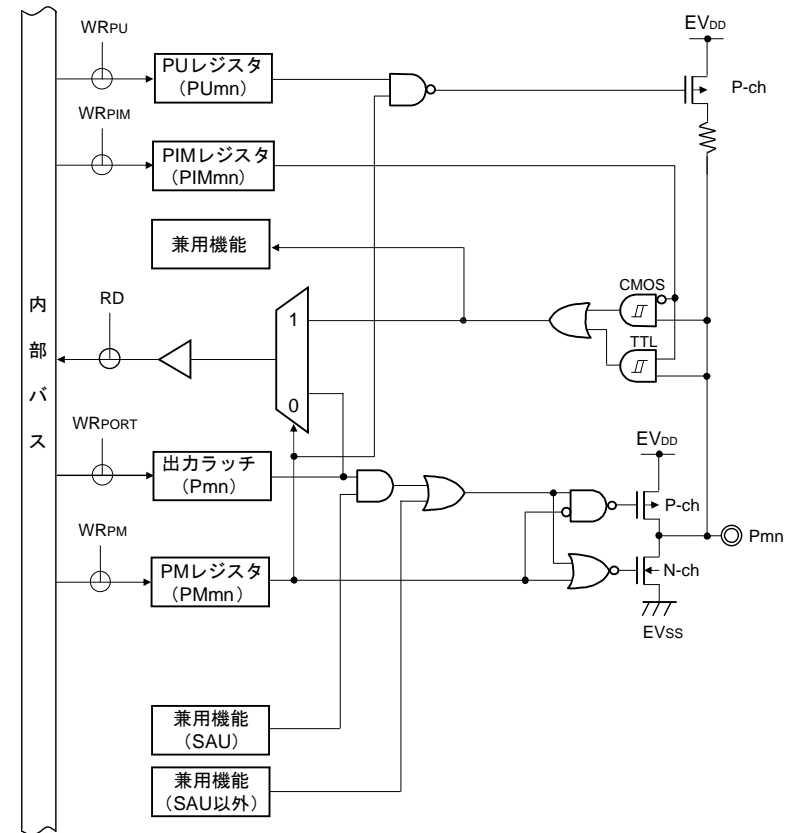


備考 1. 兼用機能は、2.1 ポート機能を参照してください。

2. SAU:シリアル・アレイ・ユニット

変更後)

図2-10 端子タイプ 8-1-1 の端子ブロック図



注意. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ローレベルを入力してください。

備考 1. 兼用機能は、2.1 ポート機能を参照してください。

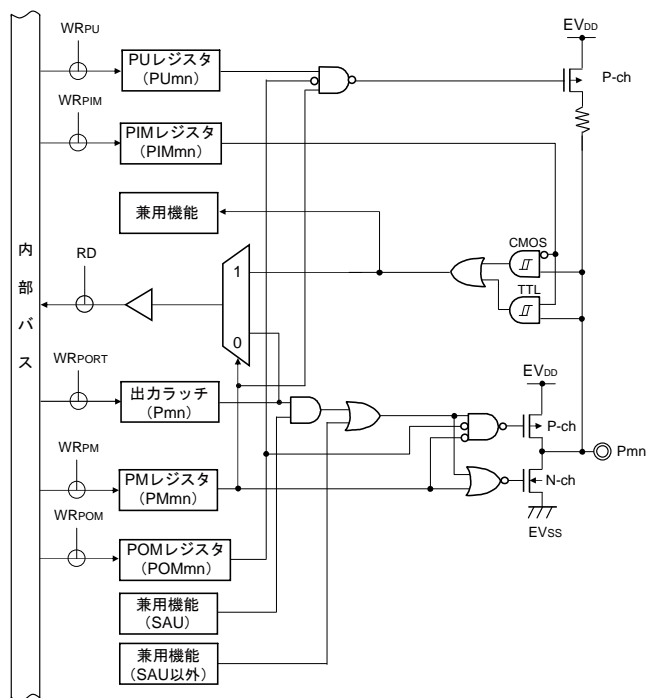
2. SAU:シリアル・アレイ・ユニット

13. 2. 4 端子ブロック図 図2-11 端子タイプ 8-1-2 の端子ブロック図の注意追加

(p.46)

変更前)

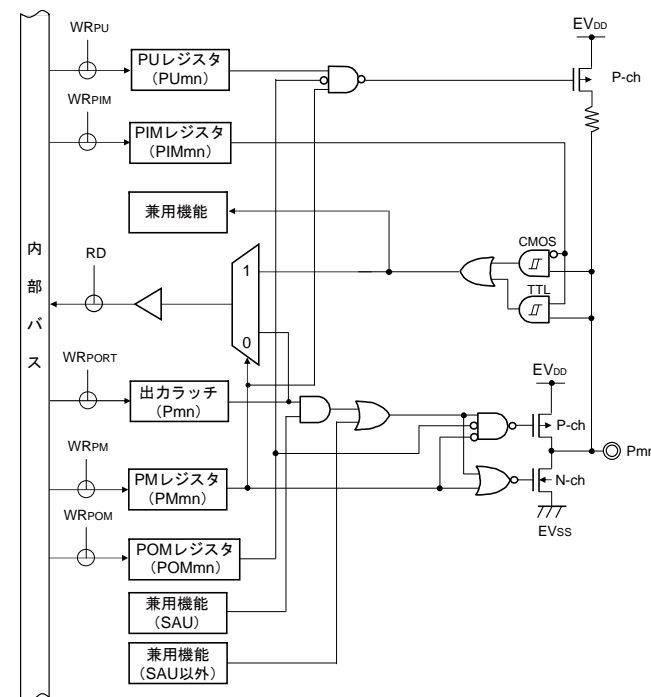
図2-11 端子タイプ 8-1-2 の端子ブロック図



- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU:シリアル・アレイ・ユニット

変更後)

図2-11 端子タイプ 8-1-2 の端子ブロック図



注意1. .ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

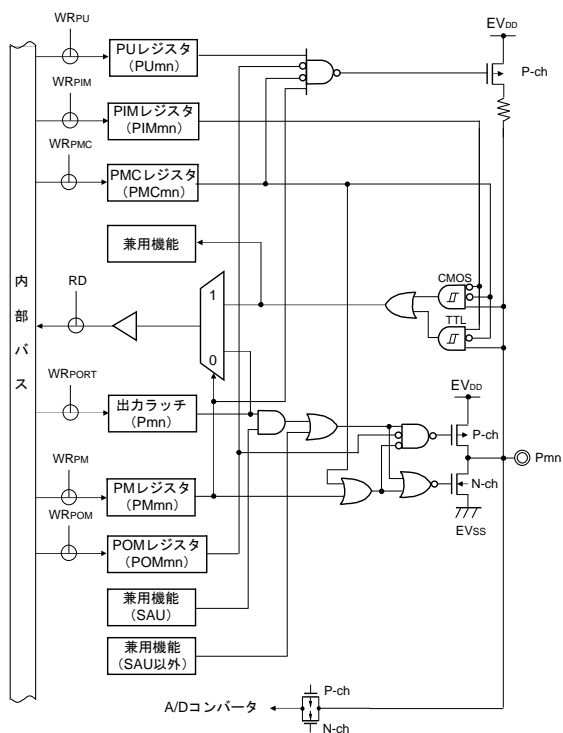
- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU:シリアル・アレイ・ユニット

14. 2. 4 端子ブロック図 図2-12 端子タイプ 8-3-2 の端子ブロック図の注意追加

(p.47)

変更前)

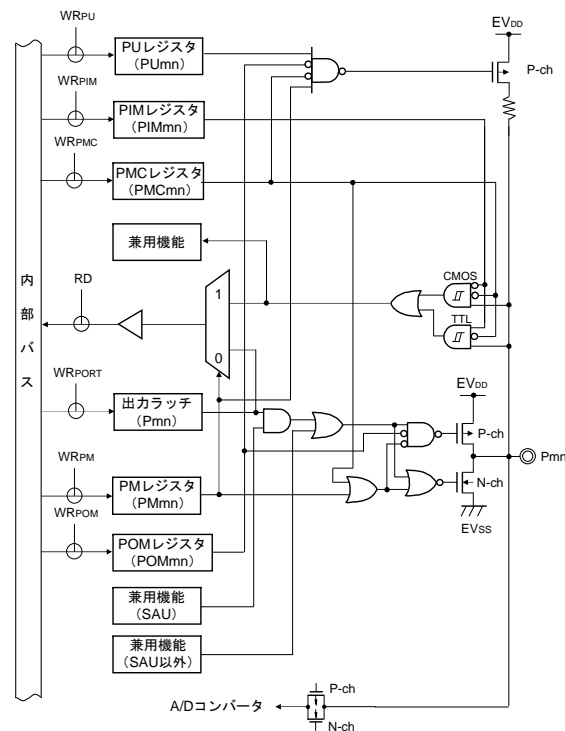
図2-12 端子タイプ 8-3-2 の端子ブロック図



- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU:シリアル・アレイ・ユニット

変更後)

図2-12 端子タイプ 8-3-2 の端子ブロック図



注意1. .ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

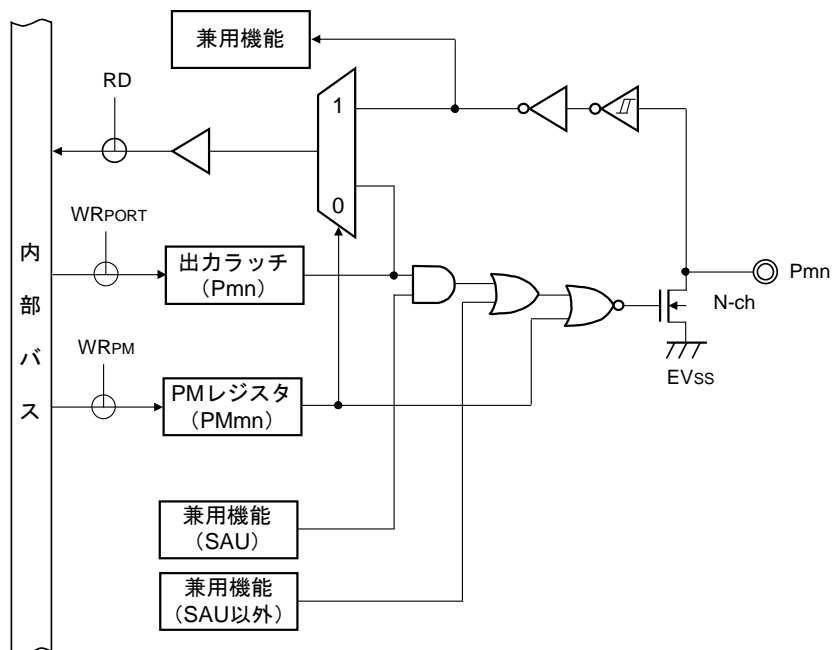
注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

(備考を省略)

15. 2. 4 端子ブロック図 図2-13 端子タイプ 12-1-1 の端子ブロック図の注意追加(p.48)

変更前)

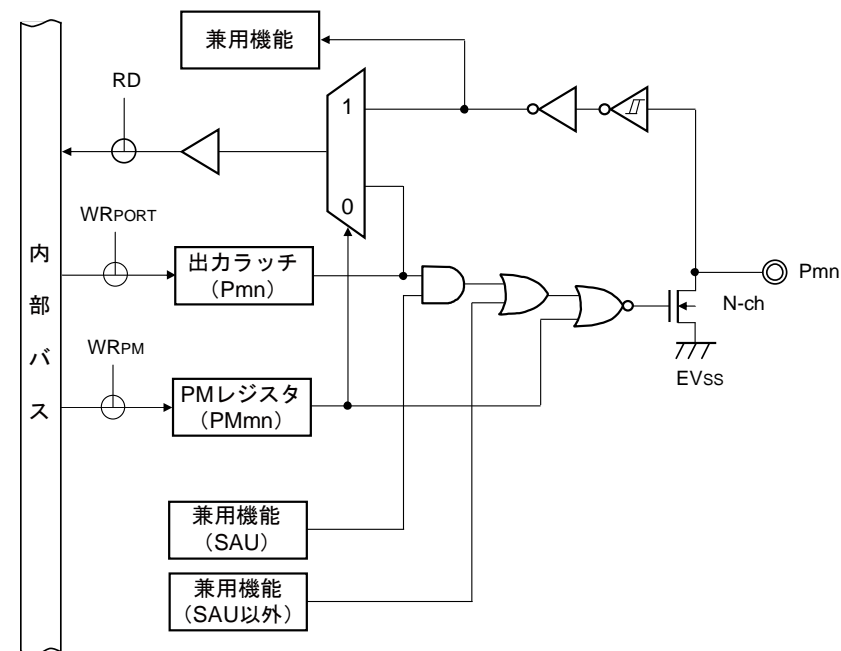
図2-13 端子タイプ 12-1-1 の端子ブロック図



- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU:シリアル・アレイ・ユニット

変更後)

図2-13 端子タイプ 12-1-1 の端子ブロック図



注意. 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。  
 2. SAU:シリアル・アレイ・ユニット

以上