

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A568A/J	Rev.	第 1 版
題名	外部アクセスで DACK が分割された場合の DREQ サンプルングについてのご注意		情報分類	技術情報	
適用製品	R4S76190***** HD6417641BP100 HD6417710 HD6417712 R4J7710ABG	対象ロット等	関連資料	SH7619 グループハードウェアマニュアル (RJJ09B0212-0200 Rev.2.00) SH7641 ハードウェアマニュアル (RJJ09B0044-0400 Rev.4.00) SH7710 グループハードウェアマニュアル (RJJ09B0043-0200 Rev.2.00) SH7712 ハードウェアマニュアル (RJJ09B0296-0100 Rev.1.00)	
		全ロット			

上記製品において、外部アクセスで DACK が分割された場合の DREQ サンプルングについて、ご使用上の注意事項がございます。
本内容をご了解戴き、ご使用下さいますよう、宜しくお願い申し上げます。

1. 不具合現象

外部アクセスにおいて、DACK が分割して出力される場合、DREQ のサンプルングが当該外部アクセス中に、
最大 2 回受け付けられる場合があります。

2. 不具合発生条件および現象

条件：外部アクセスにおいて DACK が分割して出力される場合

- 16 バイトアクセス
- 8bit 空間に 32bit アクセス
- 8bit 空間に 16bit アクセス
- 16bit 空間に 32bit アクセス

において、当該空間を DACK に以下のいずれかのアクセス間アイドルサイクル指定を行った場合。

- ライトーライトサイクル間アイドル指定 ($CSnBCR \text{ IWW} = H'1$ 以上)
- 同一空間リードーリードサイクル間アイドル ($CSnBCR \text{ IWRRS} = H'1$ 以上)
- 外部ウェイトマスク指定 ($CSnWCR \text{ WM} = 0$)

また、上記の条件に加え、DREQ の検出方法により以下の条件が追加されます。

- DREQ レベル検出時：ライトアクセスのみ
- DREQ エッジ検出時：ライトアクセスおよびリードアクセス

現象：上記のアクセスについて DREQ 端子の検出タイミングは次頁以降の図のようになります。

3. 注意事項

上記 2. に示した条件の外部アクセスにおいては、

- 1) DREQ エッジ検出時：当該バスサイクル中、最大 1 回のみ DREQ エッジ入力して使用してください。
- 2) DREQ レベル検出オーバラン 0 時：当該バスサイクル中、最初の DACK 出力のネゲート検出後、次の DACK 出力のネゲート前までに、DREQ 入力をネゲートしてください。
- 3) DREQ レベル検出オーバラン 1 時：当該バスサイクル中、最初の DACK 出力のアサート検出後、次の DACK 出力のアサート前までに、DREQ 入力をネゲートしてください。

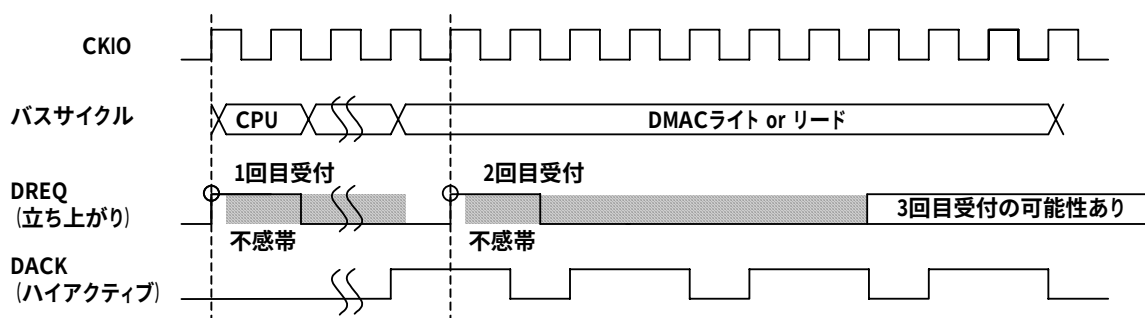


図1. サイクルスチールモード・エッジ検出時のDREQ入力検出タイミング
サイクル間アイドルによりDACKが4分割される場合

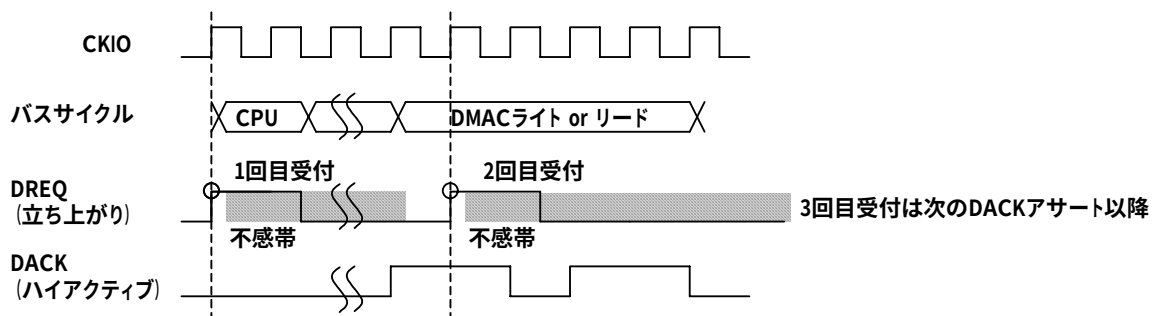


図2. サイクルスチールモード・エッジ検出時のDREQ入力検出タイミング
サイクル間アイドルによりDACKが2分割される場合

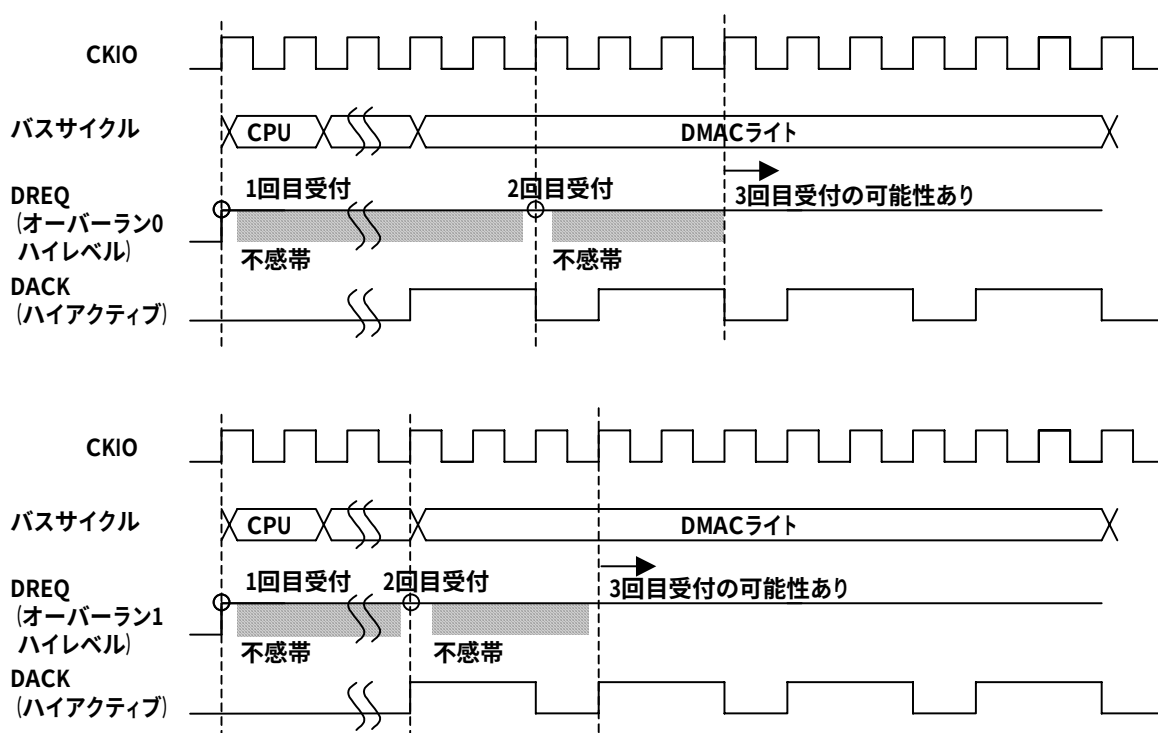


図3. サイクルスチールモード・レベル検出時のDREQ入力検出タイミング
サイクル間アイドルによりDACKが4分割される場合

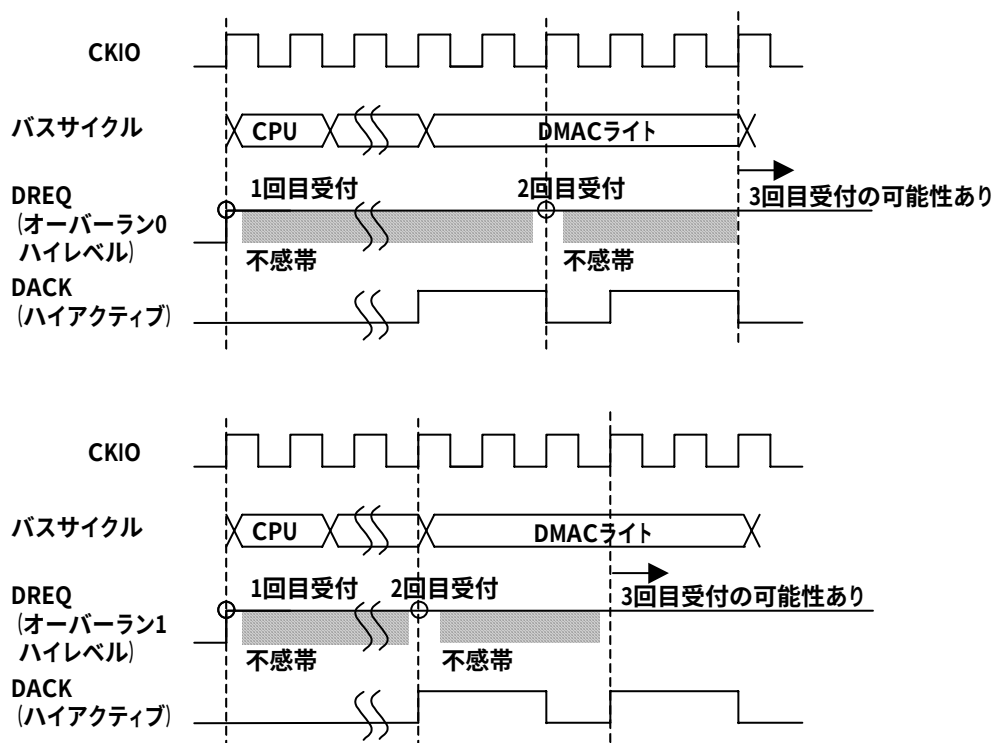


図4. サイクルスチールモード・レベル検出時のDREQ入力検出タイミング
サイクル間アイドルによりDACKが2分割される場合

—以上—