

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A117A/J	Rev.	第1版
題名	12 ビット A/D コンバータの A/D データ 2 重化レジスタ A/B 使用時の注意事項		情報分類	技術情報	
適用製品	RX63T グループ	対象ロット等	関連資料	RX63T グループ ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0238JJ0210)	
		全ロット			

12 ビット A/D コンバータの A/D データ 2 重化レジスタ A/B に使用上の制約があることが判明しました。つきましては、使用上の制約、およびマニュアル改訂内容を以下に報告いたします。

■使用上の制約

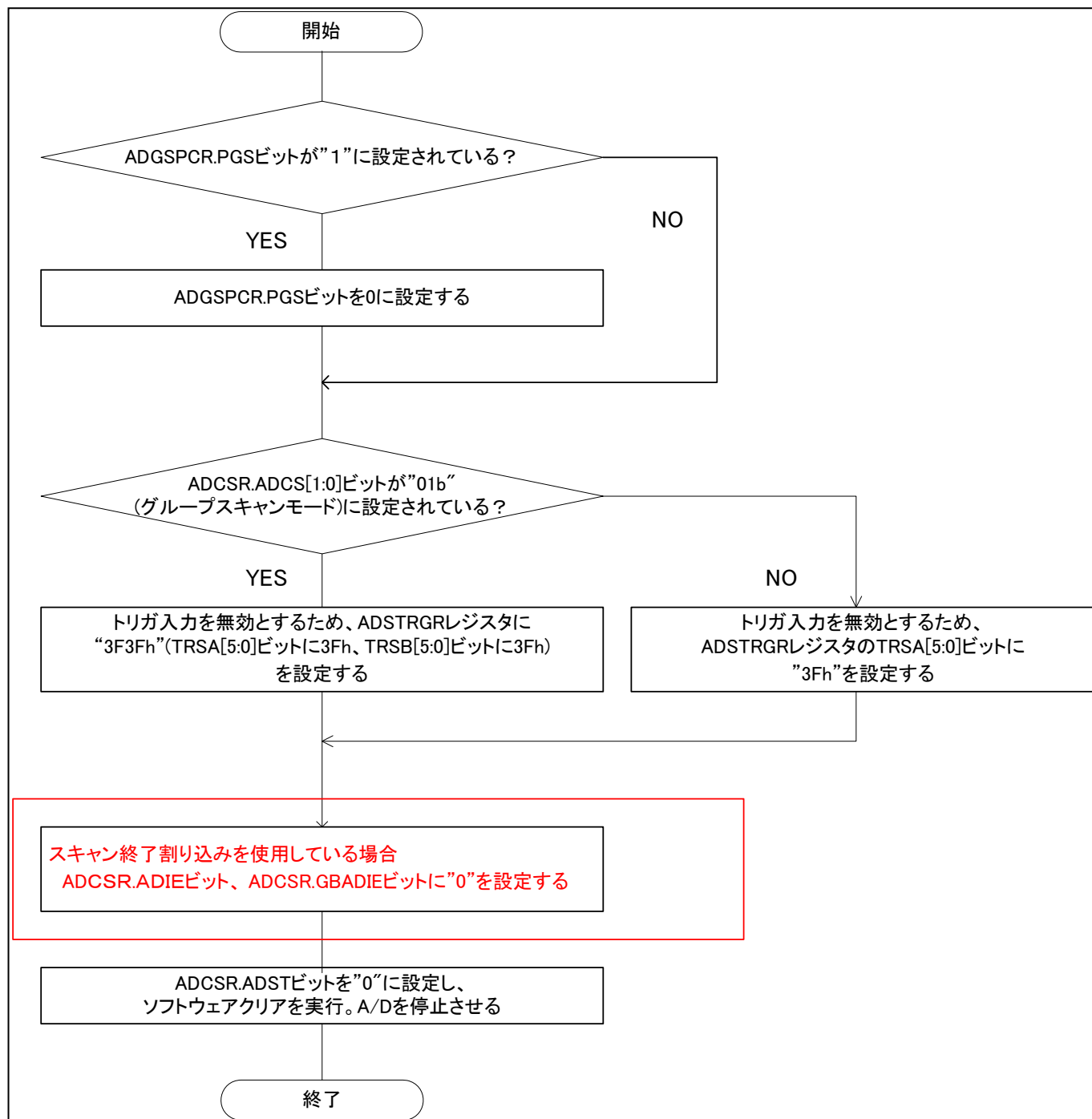
ダブルトリガモード拡張動作使用時に ADCSR.ADST ビットに”0”を書き込み AD 変換停止処理を行うと、スキャン終了割り込み出力は発生しますが、A/D データ 2 重化レジスタ A および B(ADDBLDRA,ADDBLDRB)にはデータが格納されない場合があります。

ADCSR.ADST ビットに”0”を書き込み AD 変換停止処理を行う場合、以下の手順で行ってください。

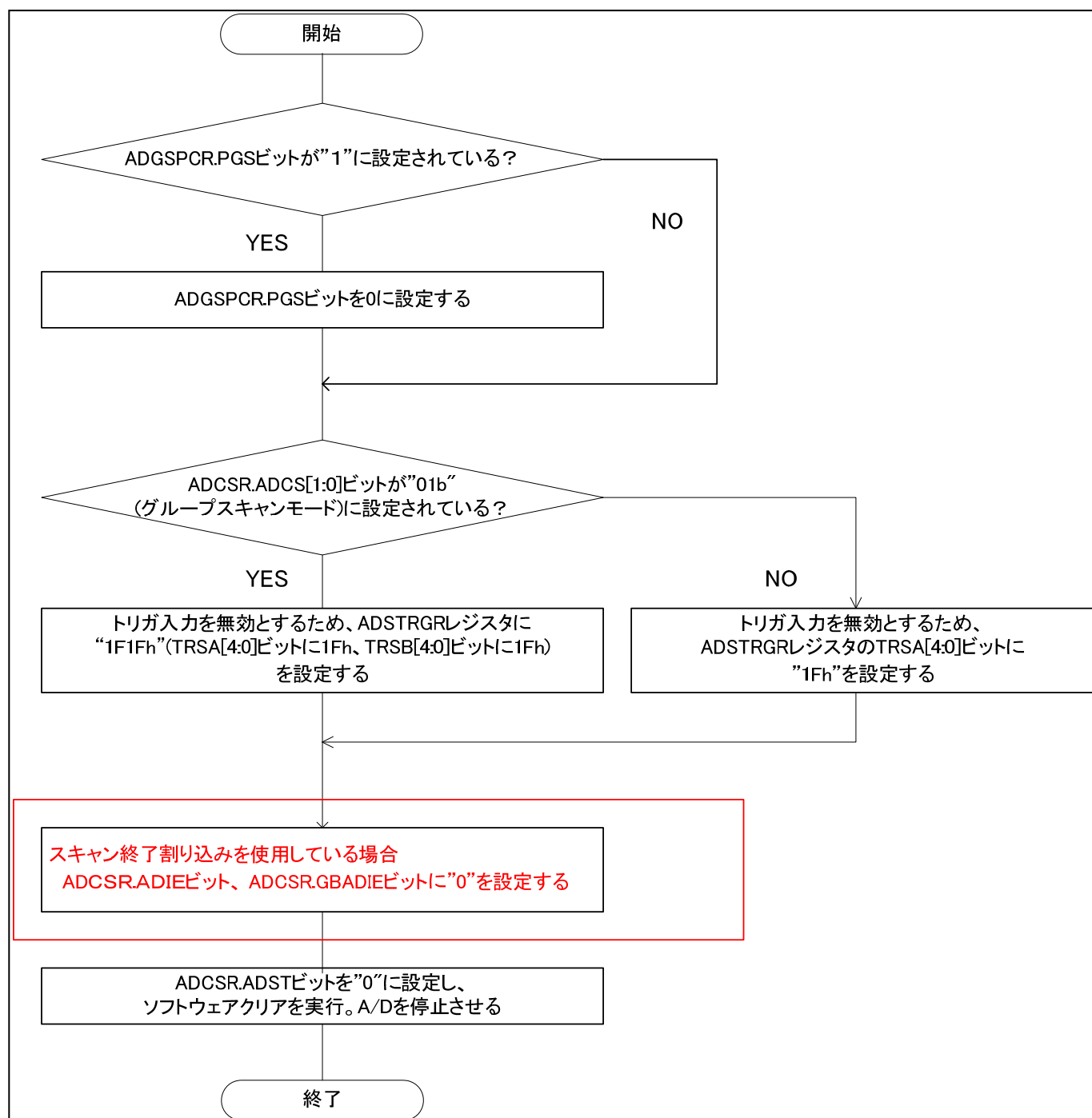
- ① A/D 開始トリガ選択レジスタ (ADSTRGR) をトリガ要因非選択状態に設定
- ② A/D コントロールレジスタ (ADCSR) の ADIE ビット、GBADIE を”0”にしてスキャン終了割り込みを禁止
- ③ A/D コントロールレジスタ (ADCSR) の ADST ビットに”0”にして AD 変換を停止

■マニュアル改訂内容

p.1496 34.6.2 A/D 変換停止時の注意事項 の図 34.32 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに朱書きの処理を追加します。



p.1536 35.6.2 A/D 変換停止時の注意事項 の図 35.7 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに朱書きの処理を追加します。



以上