

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 <http://japan.renesas.com/inquiry>
E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A571A/J	Rev.	第1版
題名	SH7750R マニュアル訂正 シンクロナス DRAM インタフェース (12) バス幅 64 ビット使用上の注意		情報分類	技術情報	
適用製品	SH7750R (HD6417750R)	対象ロット等	関連資料	SH7750 シリーズ ハードウェアマニュアル (ADJ-602-148E Rev.6.0)	
		全ロット			

SH7750 シリーズのハードウェアマニュアル「第13章バスステートコントローラ(BSC)」

13.3.5 (12) バス幅 64 ビットの 128 Mビット/256 Mビットシンクロナス DRAM の接続 (SH7750R のみ)

「使用上の注意」の第4項目

のオートリフレッシュタイミングに関して、下記の訂正がありますのでご了承ください。本内容は、ハードウェアマニュアルの図 13.45 のように SH7750R でエリア 2 および 3 に接続した SDRAM に対して、CS3#端子(#: ローアクティブ)を用いて制御する場合の注意点です。詳細は下記をご参照ください。

【訂正内容】

訂正後の使用上の注意を以下に示します。下線赤太字部分が訂正(追加/修正)となります。

13.3.5 (12) バス幅 64 ビットの 128 Mビット/256 Mビットシンクロナス DRAM の接続 (SH7750R のみ)

使用上の注意

- ・ BCR1.DRAMTP2=011 : エリア 2、3 をシンクロナス DRAM インタフェースに設定してください。
- ・ MCR.SZ=00 : シンクロナス DRAM のバス幅を 64 ビットに設定してください。
- ・ MCR.AMX=6 : シンクロナス DRAM のアドレスマルチプレクス設定を 128 Mビット/256 Mビットに設定してください。
- ・ オートリフレッシュでは 1 回のリフレッシュ要求に対し、**2 回続けて REF コマンドを発行します。この場合、1 回目と 2 回目に発行される REF コマンドの間隔は、MCR.TRAS ビットにより、4~11 CKI0 サイクルに設定されます。また、2 回目の REF コマンドと次の ACTV コマンド発行までの間隔は、MCR.TRAS ビットの設定に MCR.TRC ビットの設定が加わり、4~32 CKI0 サイクルに設定されます。**使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように RTCOR と CKS2~0 ビット **および MCR** の値を設定してください。**下図に、バス幅 64 ビットの SDRAM 接続時のオートリフレッシュタイミング例を示します。**
- ・ シンクロナス DRAM のモードレジスタの設定は エリア 2 用のアドレスから設定してください。
- ・ 接続するための制御信号は RAS#、CASS#、RD/WR#、CS3#、DQM0~7 および CKE 信号で、CS2# は使用しません。
- ・ 部分共有モードは使用しないでください。使用した場合の動作は保証されません。

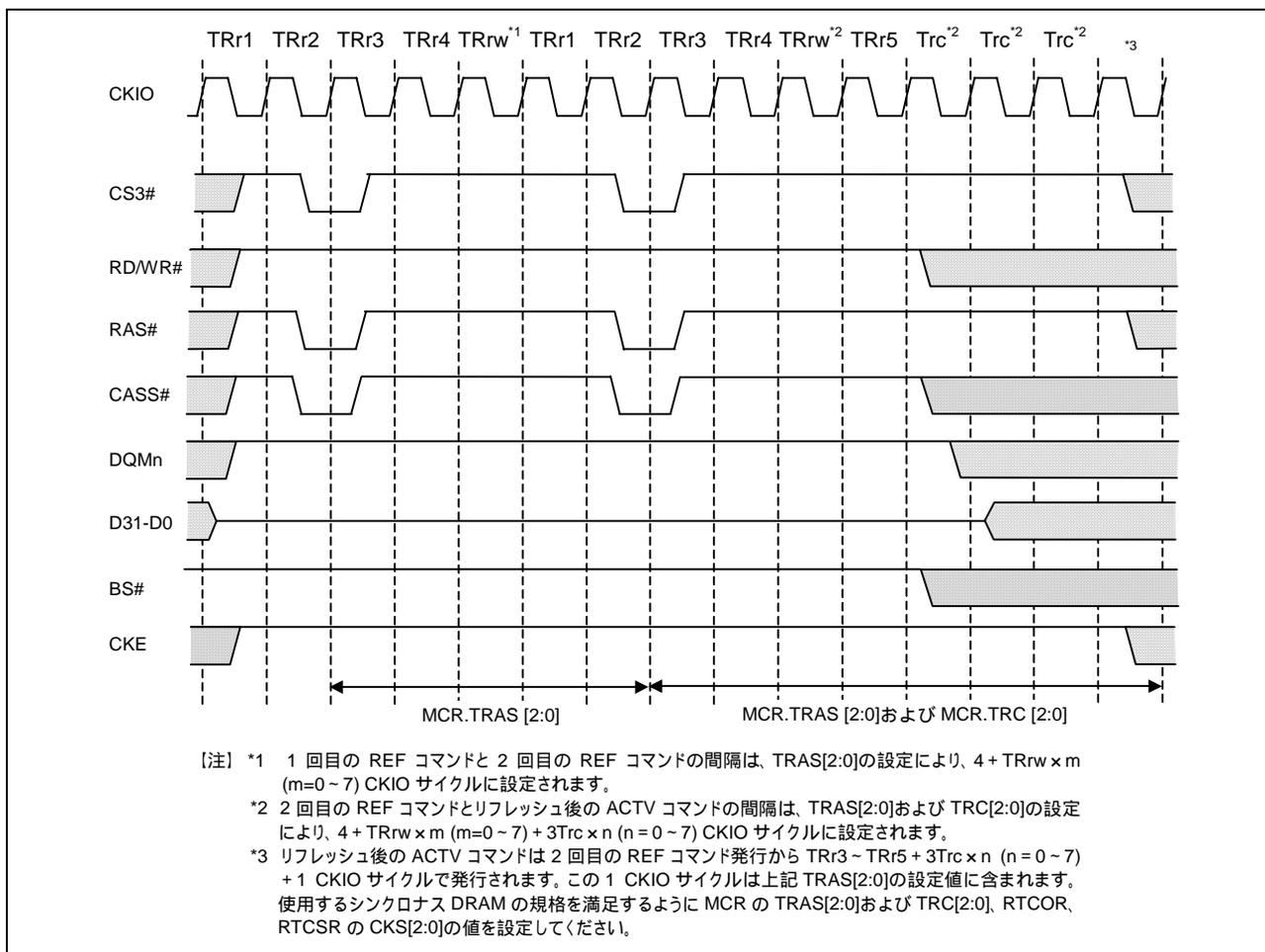


図. バス幅 64 ビットのシンクロナス DRAM 接続時のオートリフレッシュタイミング
 (TRAS [2:0] = 001, TRC [2:0] = 001)

以上