

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

日立半導体技術情報

〒100-0004
 東京都千代田区大手町2丁目6番2号
 (日本ビル)
 TEL (03)5201-5218 (ダイヤルイン)
 株式会社 日立製作所 半導体グループ

製品分類	マイクロコントローラ		発行番号	TN-SH7-402B		
題名	SH7055RF FPU FDIV 関連不具合の件		情報分類	1. 仕様変更 2. ドキュメント訂正追加等 ③. 使用上の注意事項 4. マスク変更 5. ライン変更		
適用製品	SH7055RF	対象ロット等	関連資料	SH-2E プログラミング マニュアル ADJ-602-198	Rev.	有効期限
		SH7055RF : 全ロット			第2版	永年

SH7055RF (HD64F7055RF40)のFPU FDIV 関連不具合についてご報告申し上げます。
 大変ご迷惑をお掛けし、誠に申し訳御座いません。

記

1. 現象

「FDIV FRm, FRn 命令と、そのFDIVの結果 (FRn) を参照するFPU命令 (下記) の間に、CPU命令 (下記) しか存在せず、かつFDIVのパイプにおける最後のE1ステージと当該FPU命令のDステージが重なる場合において、さらにそのステージがクロックサイクルで2サイクル以上のとき、当該FPU命令はFDIVの計算結果を使用せず、FDIV演算前の値を使用してしまいます。ただし、FDIV自体は正常に実行されます。」

【FDIVの結果を参照するFPU命令】

命令	参照の可能性があるレジスタ
FABS FRn	:FRn
FADD FRm, FRn	:FRm, FRn
FCMP/EQ FRm, FRn	:FRm, FRn
FCMP/GT FRm, FRn	:FRm, FRn
FDIV FRm, FRn	:FRm, FRn
FLDS FRm, FPUL	:FRm
FMAC FRO, FRm, FRn	:FRO, FRm, FRn
FMOV FRm, FRn	:FRm
FMOV.S FRm, @(RO, Rn)	:FRm
FMOV.S FRm, @ - Rn	:FRm
FMOV.S FRm, @Rn	:FRm
FMUL FRm, FRn	:FRm, FRn
FNEG FRn	:FRn
FSUB FRm, FRn	:FRm, FRn
FTRC FRm, FPUL	:FRm,

【CPU命令】

SH2E プログラミングマニュアル第一版における、6.1.1 データ転送命令、6.1.2 算術演算命令、6.1.3 論理演算命令、6.1.4 シフト命令、6.1.5 分岐命令、6.1.6 システム制御命令の全て。

注：6.1.7 浮動小数点命令および6.1.8 FPUに関するCPU命令は含みません

以下例を2つ示します。

【例 1】

例 1 を図 1 に示します。この例では FDIV 命令で FR1/FR0 FR1 の演算を行い、その 13 命令後に FMUL 命令により FR1 x FR2 FR2 を演算しています。この時、FMUL 命令の次命令のフェッチサイクルが実フェッチで 2cyc 以上の時、FDIV の最後の E1 ステージは 2cyc 以上に伸ばされます。そのため FMUL は F1BUSY によるストールサイクルを挿入せず、FR1 の値として FDIV の演算結果ではなく、演算前の値を使用してしまいます。ただし FDIV 演算自体は正常に行われます。

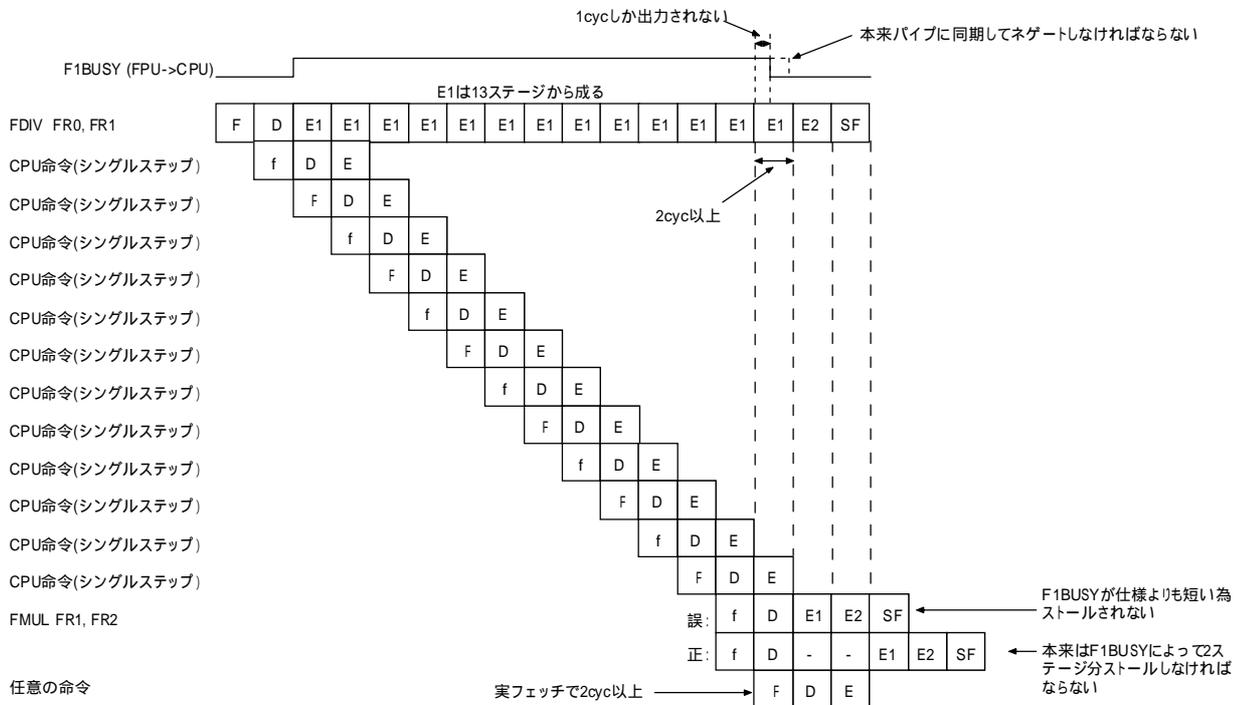


図 1 FDIV 関連不具合例 1

【例 2】

例 2 を図 2 に示します。この例では FDIV 命令で FR1/FR0 FR1 の演算を行い、その 13 命令後に FMUL 命令により FR1 x FR2 FR2 を演算しています。この時、FMUL 命令の 2 命令前の命令が 2 サイクル以上のメモリアクセスを行いつつ IF/MA 競合が起こらない時、FDIV の最後の E1 ステージは 2cyc 以上に伸ばされます。そのため FMUL は F1BUSY によるストールサイクルを挿入せず、FR1 の値として FDIV の演算結果ではなく、演算前の値を使用してしまいます。ただし FDIV 演算自体は正常に行われます。

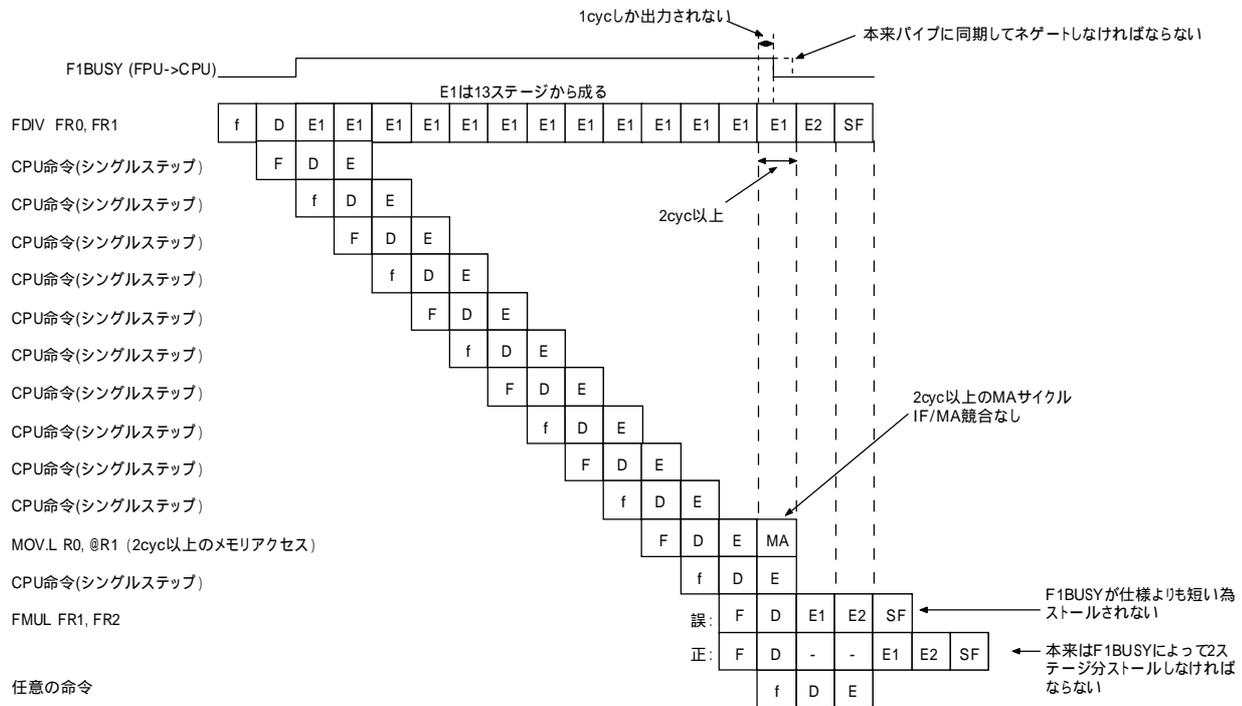


図 2 FDIV 関連不具合例 2

2. 原因

図1、2に示すように、FPUからCPUへの出力信号であるF1BUSYはFPUがFDIV演算中にCPUがFPU命令のパイプを進めない様にE1ステージ期間の間、FPUがCPUに対して出力する信号です。

CPUは後続FPU命令のDステージ時にF1BUSYがアサートされていると、以降のE1ステージをFDIV演算終了までストールさせます。

したがってF1BUSYは最後のE1ステージの終りでネゲートしなければならなりません(本来の仕様)。

ところが現在のFPUはF1BUSYのネゲートを最後のE1ステージの頭から1サイクル目で行ってしまいます。

このため、FDIVの結果を参照するFPU命令はもはやFDIVが演算を終了したと判断し、ストールを行わず、結果、FDIV計算終了前に計算前の値を使用して演算を行ってしまいます。

3. 不具合が起こる場合

不具合が起こる場合は以下のケースに限られます。

- (1) 「FDIV FRm, FRn 命令と、そのFDIVの結果(FRn)を参照するFPU命令の間
に、CPU命令(1ページ参照)しか存在しない」

かつ

- (2) 「FDIVの結果を参照するFPU命令のDステージがFDIVの最後のE1ステージに重なる場合」

かつ

- (3) 最後のE1ステージが2cyc以上すなわち

- 1) 「当該FPU命令の次のFetchが実フェッチで2cyc以上」

図1の例1がこれに該当します。

Flashにプログラムをおいている場合はおこりません

もしくは

- 2) 「当該E1ステージと同じサイクルのMAステージが2cyc以上でかつIF/MA競合が起きていない場合」

図2の例2がこれに該当します。

当該FPU命令の1 or 2命令前の命令に2cyc以上のMAステージがある場合のみです

もしくは

- 3) 「DMAC/AUDサイクルもしくは外部バス開放により最後のE1ステージが伸びる場合」

お客様がシングルチップでご使用の場合は、上記(3)のケースとして1)はなく、2)の条件として、「当該E1と同じサイクルのMAステージがI/OアクセスでかつIF/MA競合が起きていない場合」のみに限定されます。

4. 不具合対象製品

SH7055RF 全品。

5. 修正計画及び今後の対応

SH7055RFにつきましては、大変申し訳御座いませんが現状のままとさせて頂きたく、何卒よろしくお願い致します。

現在既に量産中のプログラムにつきましては、チェックプログラムを用意していますが、チェックプログラムによりエラーもしくはウォーニングが出た部分についてパイプライン動作を検証する必要があります。パイプラインの検証に際しては弊社窓口にご相談下さい。バグの有無につき調査させて頂きます。

コンパイラにつきましては、下記日程、バージョンにて対策版を準備致します。

コンパイラバージョン	型名	対応時期
SHC コンパイラ Ver5.1	: P0700CAS5-MWR (本製品ではWindows版のみ対策します)	'02/9
SHC コンパイラ Ver6.0	: P0700CAS6-MWR	'02/9
	: P0700CAS6-H7R	'02/9
	: P0700CAS6-SLR	'02/9
SHC コンパイラ Ver 7.1	: P0700CAS7-MWR	'02/9
	: P0700CAS7-H7R	'02/9
	: P0700CAS7-SLR	'02/9

以上