

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類		MPU & MCU	発行番号	TN-RX*-A0232A/J		Rev.	第1版
題名	I ² C バスインタフェース (RIIC) に関する誤記訂正			情報分類	技術情報		
適用製品	RX24T グループ、RX24U グループ、RX71M グループ		対象ロット等	関連資料	RX24T グループ ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0576JJ0200) RX24U グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0658JJ0100) RX71M グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0493JJ0110)		
			全ロット				

上記適用製品のユーザーズマニュアル ハードウェア編の I²C バスインタフェース (RIIC) 章において、誤記がありましたので、以下のとおり訂正いたします。

なお、ページ番号、章番号などは RX24T グループを例に記載しています。その他の製品のページ番号、章番号などにつきましては最終ページの表を参照してください。

•Page 1060 of 1598

「27.2.6 I²C バスファンクション許可レジスタ (ICFER)」において、NACK ビットの説明文を以下のとおり訂正いたします。

【変更前】

送信モード時、**スレーブデバイスから** NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

【変更後】

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

•Page 1067 of 1598

「27.2.10 I²C バスステータスレジスタ 2 (ICSR2)」において、AL フラグの説明文 2 段落目を以下のとおり訂正いたします。

【変更前】

このほか、**RIIC** では設定により**マスタモード時に** NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

【変更後】

このほか、**受信モード時の** NACK 送信中や、スレーブモード時のデータ送信中もアービトレーションロストの検出が可能です。

•Page 1069 of 1598

「27.2.10 I²C バスステータスレジスタ 2 (ICSR2)」において、TDRE フラグの説明文にある注を以下のとおり訂正いたします。

【変更前】

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データがすでに書き込まれている状態) の場合、**9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、**TDRE フラグは“1”になりません。

【変更後】

注. ICFER.NACKF ビットが“1”の状態、NACKF フラグが“1”になると RIIC は通信動作を中断します。このときすでに、ICDRT レジスタに次の送信データが書き込まれていても (TDRE フラグが“0”)、**ICDRS レジスタへのデータ転送は行われず ICDRT レジスタのデータが保持されるため、**TDRE フラグは“1”になりません。

•Page 1098 of 1598

「27.7.3 デバイス ID アドレス検出機能」において、本文 1 段落目を以下のとおり訂正いたします。

【変更前】

RIIC は I²C バス (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき SCL クロックの 8 クロック目の立ち上がりで ICSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y=0 ~ 2) が“1”になります。

【変更後】

RIIC は I²C バス仕様に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100b を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが“0”のとき 9 個目の SCL の立ち上がりで ICSR1.DID フラグを“1”にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する ICSR1.AASy フラグ (y = 0 ~ 2) が“1”になります。

•Page 1099 of 1598

「27.7.3 デバイス ID アドレス検出機能」において、図 27.28 を以下のとおり訂正いたします。

【変更前】

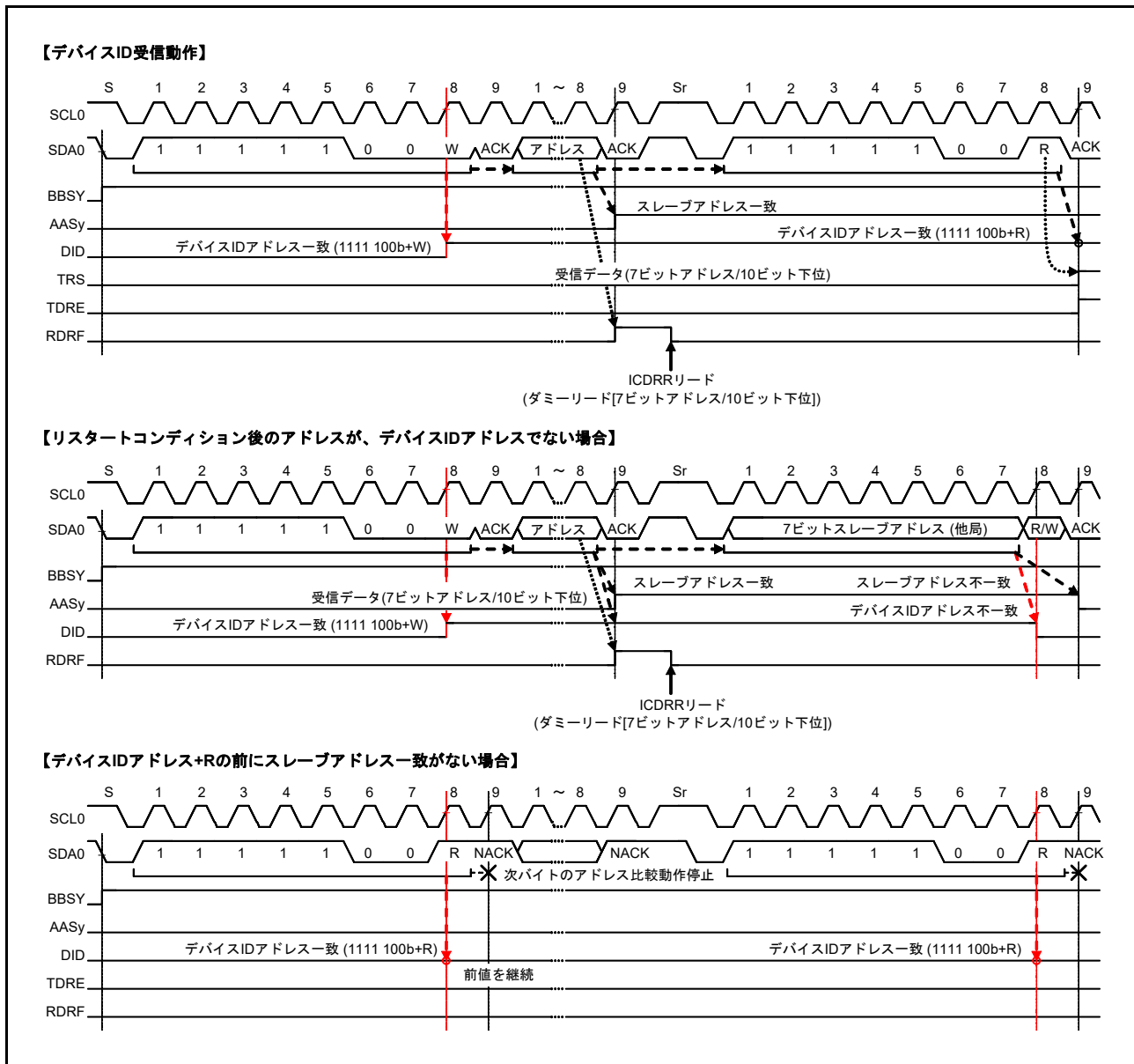
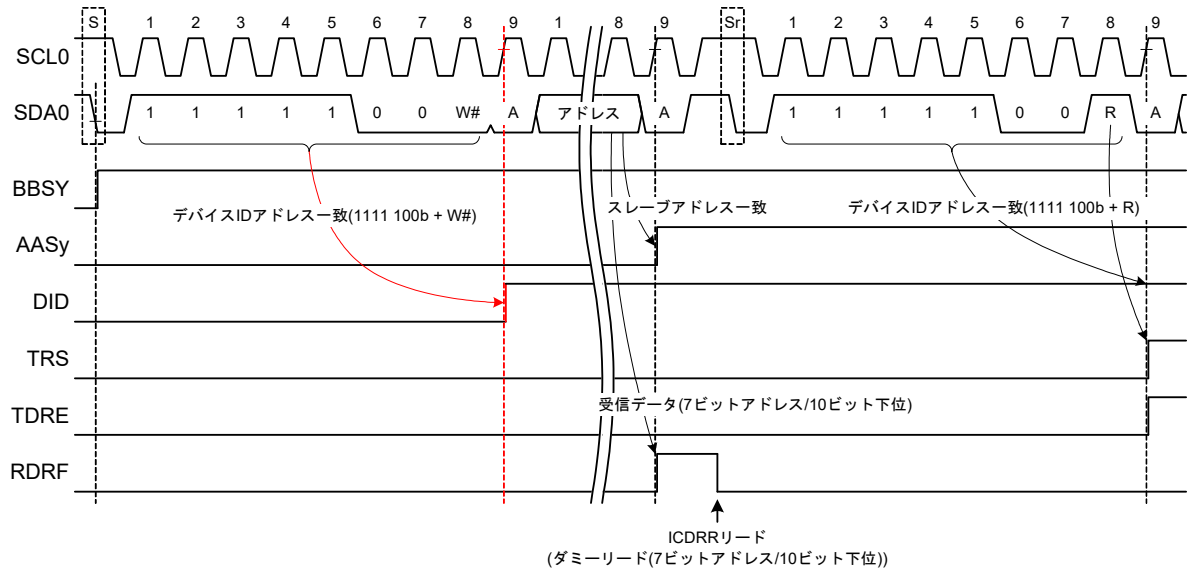


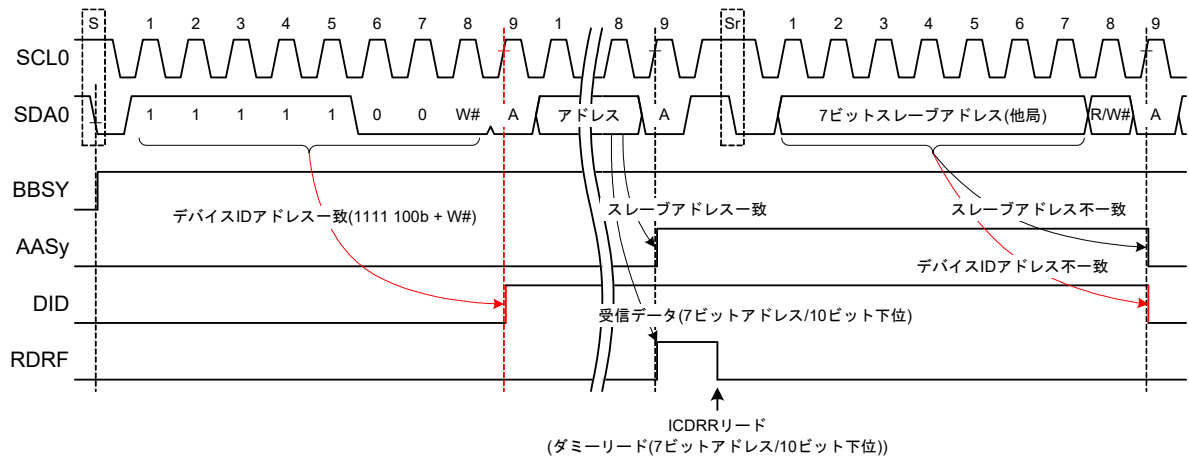
図 27.28 デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

【変更後】

【デバイスID受信動作】



【リスタートコンディション後のアドレスがデバイスIDアドレスでない場合】



【デバイスIDアドレス+Rの以前にスレーブアドレスが一致していない場合】

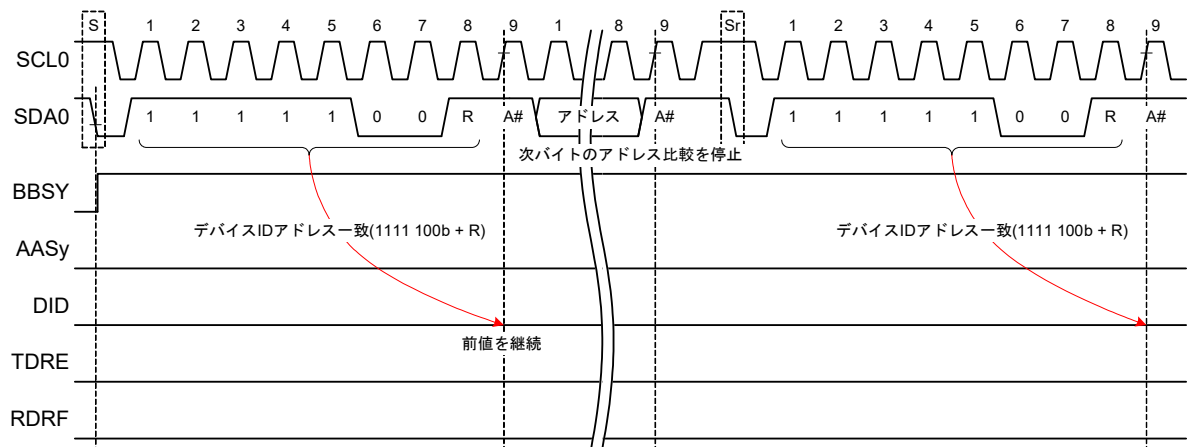


図 27.28 デバイス ID アドレス受信時の AASy、DID フラグセット / クリアタイミング

•Page 1102 of 1598

「27.8.2 NACK 受信転送中断機能」において、本文 2 段落目を以下のとおり訂正いたします。

【変更前】

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には **NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。**

【変更後】

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。マスタ送信モードの場合には、**リスタートコンディション発行後に NACKF フラグを “0” にして動作をやり直すか、ストップコンディション発行後に NACKF フラグを “0” にし、その後スタートコンディションの発行からやり直してください。**

•Page 1102 of 1598

「27.8.2 NACK 受信転送中断機能」において、図 27.31 を以下のとおり訂正いたします。

【変更前】

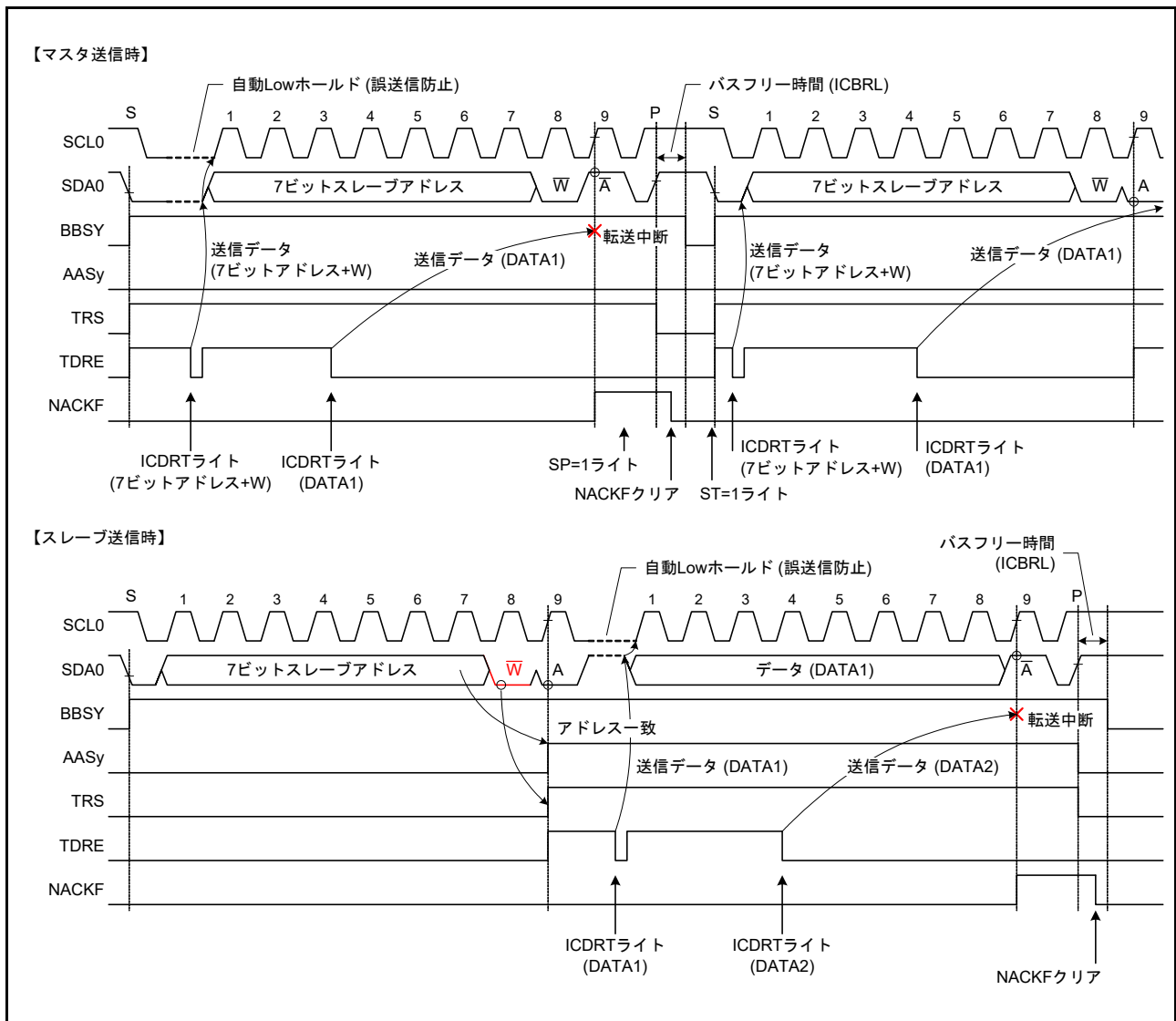


図 27.31 NACK 受信時の転送中断動作 (NACK ビット = 1 のとき)

【変更後】

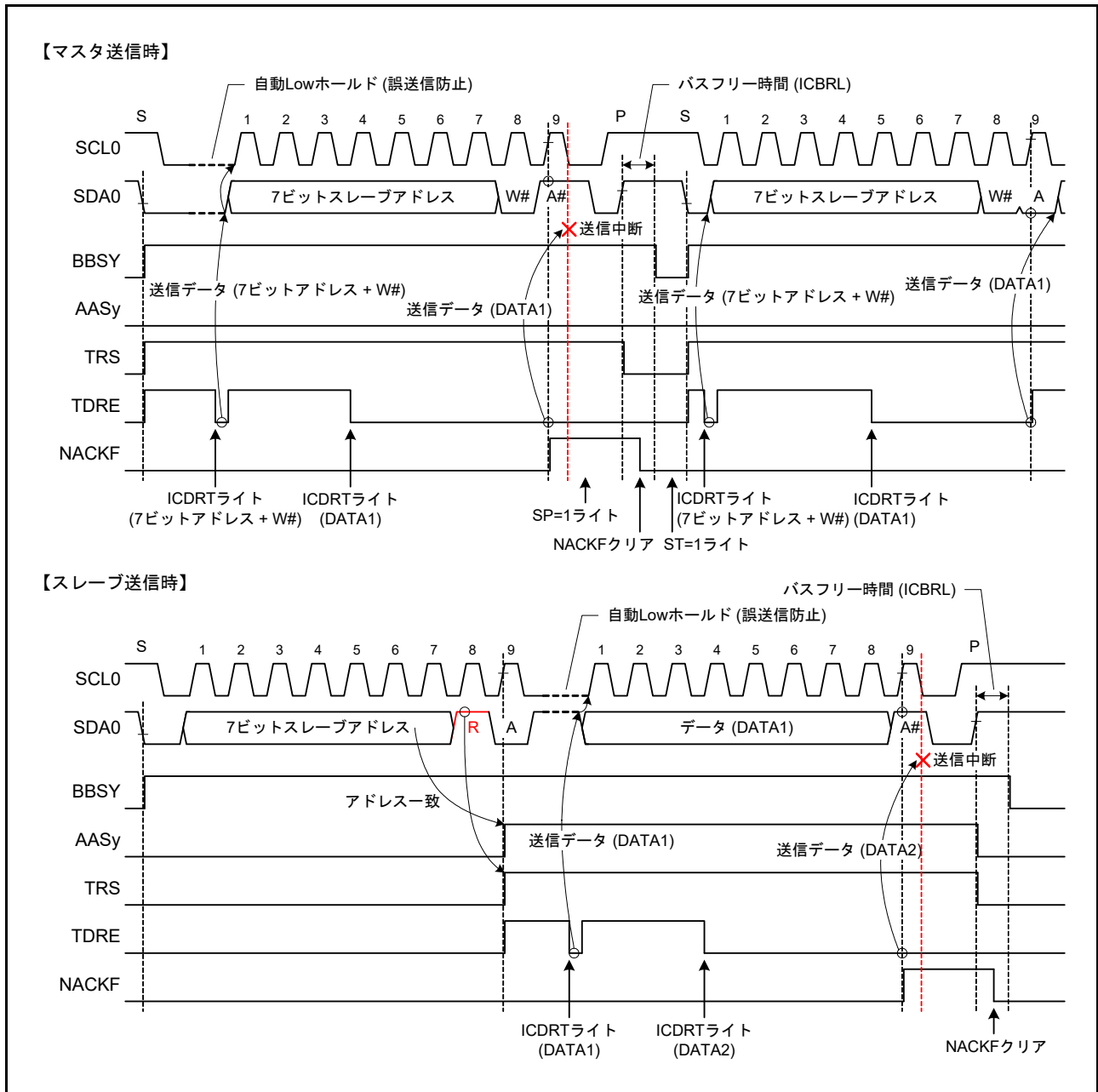


図 27.31 NACK 受信時の転送中断動作 (NACK ビット = 1 のとき)

•Page 1112 of 1598

「27.11.2 SCL クロック追加出力機能」において、本文3段落目に以下のとおり訂正、加筆いたします。

【変更前】

SCL クロック追加出力は、ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが1クロック分追加クロックとして出力されます。1クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。そのためソフトウェアで CLO ビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

【変更後】

ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された周波数のクロックが SCL0 端子から1クロック分追加で出力されます。1クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。このとき ICCR2.BBSY フラグが“1”であると SCL0 端子は Low になり、BBSY フラグが“0”であると SCL0 端子は High になります。CLO ビットが“0”であることを確認した後“1”を書くことにより、追加クロックを連続して出力することができます。

•Page 1112 to 1113 of 1598

「27.11.2 SCL クロック追加出力機能」において、本文5段落目の2文目を以下のとおり削除いたします。

【変更前】

なお、この機能を使用する場合は ICFER.MALE ビットを“0”(マスタアービトレーションロスト検出禁止)にして使用してください。MALE ビットが“1”(マスタアービトレーションロスト検出許可)の場合、ICCR1.SDAO ビットの値と SDA0 ラインが不一致のときアービトレーションロストが発生しますので注意してください。

【変更後】

なお、この機能を使用する場合は ICFER.MALE ビットを“0”(マスタアービトレーションロスト検出禁止)にして使用してください。

•Page 1113 of 1598

「27.11.2 SCL クロック追加出力機能」において、図 27.40 を以下のとおり訂正いたします。

【変更前】

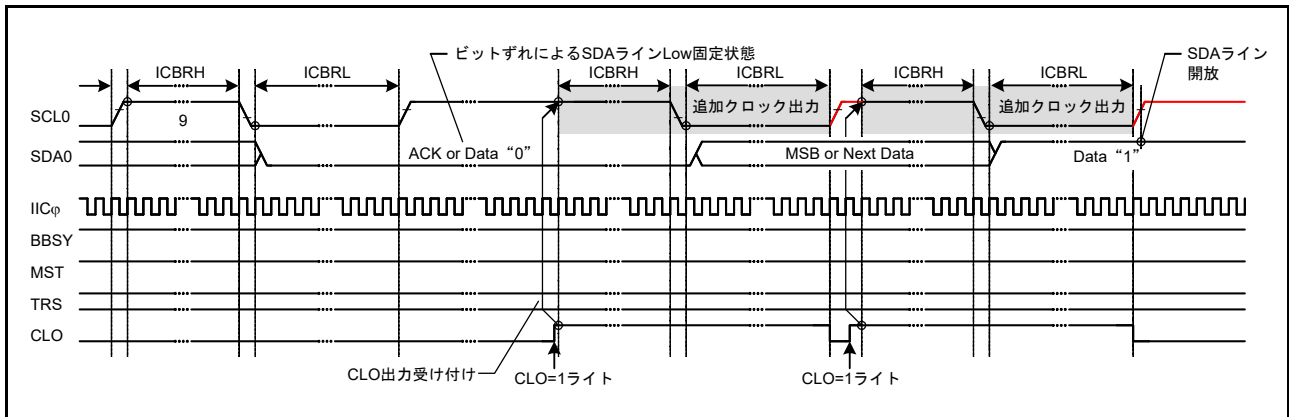


図 27.40 SCL クロック追加出力機能 (CLO ビット)

【変更後】

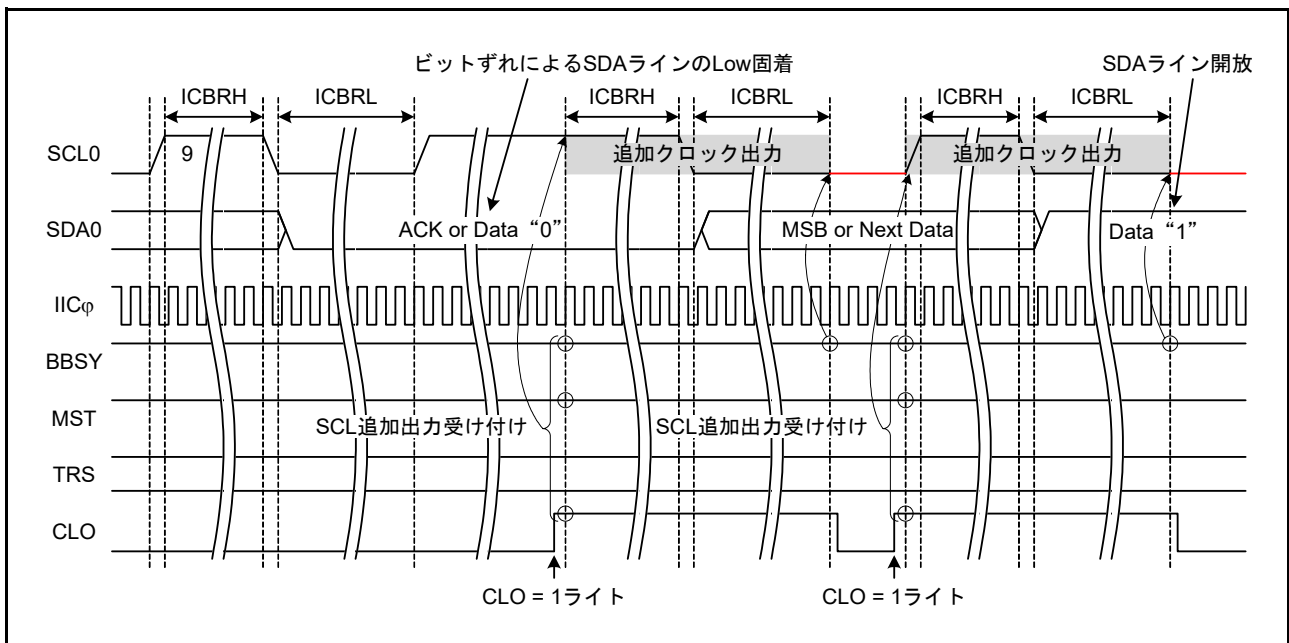


図 27.40 SCL 追加出力機能 (CLO ビット)

•Page 1118 of 1598

「27.14 リセット時/コンディション検出時のレジスタおよび機能の初期化」において、表 27.7 を以下のとおり訂正いたします。

【変更前】

表 27. リセット時/コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIIC リセット (ICE ビット=0、 IICRST ビット=1)	内部リセット (ICE ビット=1、 IICRST ビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持
	SCLO, SDAO		リセット	リセット		
	それ以外			保持		
ICCR2	BBSY	リセット	リセット	保持	保持	保持
	ST, RS			リセット	リセット	リセット
	TRS, MST				保持	
	SP				リセット	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	それ以外			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	それ以外					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持	リセット
	START					
	それ以外					保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

リセット：レジスタ、機能が初期化されます。

保持：レジスタ、機能は初期化されず、そのときの状況に応じて保持または更新されます。

【変更後】

表 27.7 リセット時 / コンディション検出時のレジスタおよび機能のリセット状況

		MCU リセット	RIIC リセット (ICE ビット=0、 IICRST ビット=1)	内部リセット (ICE ビット=1、 IICRST ビット=1)	スタートコンディション / リスタートコンディション 検出	ストップコンディション 検出
ICCR1	SDAO, SCLO	リセット	リセット	リセット	保持	保持
	IICRST, ICE		保持	保持		
	その他		リセット			
ICCR2	ST, RS	リセット	リセット	リセット	リセット	保持
	SP					リセット
	TRS				(注1)	
	MST				(注1)	
	BBSY			保持	"1"になる	
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3	ACKBT	リセット	リセット	保持	保持	リセット
	その他					保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	START	リセット	リセット	リセット	"1"になる	リセット
	STOP				保持	"1"になる
	TEND					リセット
	TDRE				(注1)	
	その他				保持	保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持
ICBRH, ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	リセット	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

注1. リセットされません。条件に応じて"0"または"1"になります。

【ページ番号、章節項図表番号一覧】

項目	ページ番号、章節項図表番号		
	RX24T グループ	RX24U グループ	RX71M グループ
ICFER.NACKE ビットの 説明文	Page 1060 27.2.6	Page 1069 27.2.6	Page 2210 42.2.6
ICSR2.AL フラグの説明文	Page 1067 27.2.10	Page 1076 27.2.10	Page 2217 42.2.10
ICSR2.TDRE フラグの注 記	Page 1069 27.2.10	Page 1078 27.2.10	Page 2219 42.2.10
デバイス ID アドレス検出 機能の本文	Page 1098 27.7.3	Page 1107 27.7.3	Page 2248 42.7.3
デバイス ID アドレス検出 機能の図	Page 1099 図 27.28	Page 1108 図 27.28	Page 2249 図 42.28
NACK 受信転送中断機能の 本文	Page 1102 27.8.2	Page 1111 27.8.2	Page 2252 42.8.2
NACK 受信転送中断機能の 図	Page 1102 図 27.31	Page 1111 図 27.31	Page 2252 図 42.31
SCL クロック追加出力機 能の本文 3 段落目	Page 1112 27.11.2	Page 1121 27.11.2	Page 2262 42.11.2
SCL クロック追加出力機 能の本文 5 段落目	Page 1112 to 1113 27.11.2	Page 1121 to 1122 27.11.2	Page 2263 42.11.2
SCL クロック追加出力機 能の図	Page 1113 図 27.40	Page 1122 図 27.40	Page 2263 図 42.40
リセット状況の表	Page 1118 27.14、表 27.7	Page 1127 27.14、表 27.7	Page 2268 42.14、表 42.7

以上