

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲3-2-24 豊洲フォレシア
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A0222A/J	Rev.	第1版
題名	RX72N グループ ユーザーズマニュアルハードウェア編 Rev.1.00 の誤記訂正		情報分類	技術情報	
適用製品	RX72N グループ	対象ロット等	関連資料	RX72N グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0824JJ0100)	
		全ロット			

RX72N グループ ユーザーズマニュアルハードウェア編 Rev.1.00 において、誤記がありましたので、以下のとおり訂正いたします。

•Page 134, 135, 137, 138 of 3260

「1.5 ピン配置図」の「表 1.8 機能別端子一覧 (145 ピン TFLGA)」において、ETHERC チャネル 1 の一部信号線 (ET1_MDC, ET1_MDIO, ET1_LINKSTA, ET1_EXOUT, ET1_WOL) が記載されていませんでしたので、以下のとおり訂正いたします。

【訂正後】

表 1.8 機能別端子一覧 (145 ピン TFLGA)

ピン番号 145 ピン TFLGA	電源 クロック システム 制御	I/O ポート	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	GLCDC	割り込み	A/D D/A
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, PMGI)				
省略											
A8		PD2	D2[A2/D2]	MTIOC4D/ TIC2	GTIOC0B	MISOC-A/ CRX0	ET1_EXO UT	QIO2-B/ SDHI_D2-B/ MMC_D2-B	LCD_DAT A22-B	IRQ2	AN110
省略											
B9		PD4	D4[A4/D4]	MTIOC8B/ POE11#		SSLC0-A	ET1_MDIO / PMGI1_M DIO	QSSL-B/ SDHI_CMD-B/ MMC_CMD-B	LCD_DAT A20-B	IRQ4	AN112
省略											
C8		PD3	D3[A3/D3]	MTIOC8D/ TOC2/POE8#	GTIOC0A	RSPCKC-A	ET1_WOL	QIO3-B/ SDHI_D3-B/ MMC_D3-B	LCD_DAT A21-B	IRQ3	AN111
省略											
D6		P93	A19	POE0#		CTS7#/ RTS7#/SS7#	ET1_LINK STA				AN117
D7		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ MTCLKA/ POE10#		SSLC1-A	ET1_MDC/ PMGI1_M DC	QSPCLK-B/ SDHI_CLK-B/ MMC_CLK-B	LCD_DAT A19-B	IRQ5	AN113
省略											
J4	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8#		RXD1/ SMISO1/ SSCL1/ MISOB-A	ET1_MDIO / PMGI1_M DIO			IRQ0-DS	
省略											
K1	TCK	P27	CS7#	MTIOC2B/ TMCI3/PO7		SCK1/ RSPCKB-A	ET1_WOL				
K2	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6		TXD1/ SMOSI1/ SSDA1/ CTS3#/ RTS3#/ SS3#/ MOSIB-A	ET1_EXO UT				
K3	TMS	P31		MTIOC4D/ TMCI2/PO9/ RTCIC1		CTS1#/ RTS1#/ SS1#/ SSLB0-A	ET1_MDC/ PMGI1_M DC			IRQ1-DS	
省略											

•Page 143, 148 of 3260

「1.5 ピン配置図」の「表 1.9 機能別端子一覧 (144 ピン LFQFP)」において、ETHERC チャネル 1 の一部信号線 (ET1_MDC, ET1_MDIO, ET1_LINKSTA, ET1_EXOUT, ET1_WOL) が記載されていませんでしたので、以下のとおり訂正いたします。

【訂正後】

表 1.9 機能別端子一覧 (144 ピン LFQFP)

ピン番号 144 ピン LFQFP	電源 クロック システム 制御	I/O ポート	バス EXDMAC SDRAMC	タイマ		通信		メモリ I/F カメラ I/F	GLCDC	割り込み	A/D D/A
				(MTU, TPU, TMR, PPG, RTC, CMTW, POE, CAC)	(GPTW, POEG)	(SCI, RSPI, RIIC, CAN, USB, SSIE)	(ETHERC, PMGI)				
省略											
28	TMS	P31		MTIOC4D/ TMC12/PO9/ RTCIC1		CTS1#/ RTS1#/ SS1#/ SSLB0-A	ET1_MDC/ PMGI1_M DC			IRQ1-DS	
29	TDI	P30		MTIOC4B/ TMRI3/PO8/ RTCIC0/ POE8#		RXD1/ SMISO1/ SSCL1/ MISOB-A	ET1_MDIO / PMGI1_M DIO			IRQ0-DS	
30	TCK	P27	CS7#	MTIOC2B/ TMC13/PO7		SCK1/ RSPCKB-A	ET1_WOL				
31	TDO	P26	CS6#	MTIOC2A/ TMO1/PO6		TXD1/ SMOSI1/ SSDA1/ CTS3#/ RTS3#/ SS3#/ MOSIB-A	ET1_EXO UT				
省略											
121		PD5	D5[A5/D5]	MTIC5W/ MTIOC8C/ MTCLKA/ POE10#		SSLC1-A	ET1_MDC/ PMGI1_M DC	QSPCLK-B/ SDHI_CLK-B/ MMC_CLK-B	LCD_DAT A19-B	IRQ5	AN113
122		PD4	D4[A4/D4]	MTIOC8B/ POE11#		SSLC0-A	ET1_MDIO / PMGI1_M DIO	QSSL-B/ SDHI_CMD-B/ MMC_CMD-B	LCD_DAT A20-B	IRQ4	AN112
123		PD3	D3[A3/D3]	MTIOC8D/ TOC2/POE8#	GTIOC0A	RSPCKC-A	ET1_WOL	QIO3-B/ SDHI_D3-B/ MMC_D3-B	LCD_DAT A21-B	IRQ3	AN111
124		PD2	D2[A2/D2]	MTIOC4D/ TIC2	GTIOC0B	MISOC-A/ CRX0	ET1_EXO UT	QIO2-B/ SDHI_D2-B/ MMC_D2-B	LCD_DAT A22-B	IRQ2	AN110
省略											
127		P93	A19	POE0#		CTS7#/ RTS7#/SS7#	ET1_LINK STA				AN117
省略											

•Page 903, 904, 915 of 3260

「23.1 概要」の「表 23.1 マルチプル端子の割り当て端子一覧」において、ETHERC チャネル 1 の一部信号線 (ET1_MDC, ET1_MDIO, ET1_LINKSTA, ET1_EXOUT, ET1_WOL) の 145 ピン、144 ピンパッケージに対する割り当てが記載されていませんでしたので、以下のとおり訂正いたします。また、注 2 を削除いたします。

【訂正後】

表 23.1 マルチプル端子の割り当て端子一覧

モジュール / 機能	チャンネル	端子機能	割り当てポート	パッケージ			
				224 ピン	176 ピン	145 ピン 144 ピン	100 ピン
省略							
イーサネットコントローラ	MIII1 (注2)	省略					
		ET1_EXOUT (出力)	P26	○	○	○	×
			PD2	○	○	○	×
		ET1_LINKSTA (入力)	P84	○	○	×	×
			P93	○	○	○	×
		省略					
		ET1_WOL (出力)	P27	○	○	○	×
			PD3	○	○	○	×
		ET1_MDC (出力)	P31	○	○	○	×
			PD5	○	○	○	×
			PN5	○	×	×	×
		ET1_MDIO (入出力)	P30	○	○	○	×
			PD4	○	○	○	×
			PN4	○	×	×	×
省略							

注1. この端子を使用する場合は、該当端子の設定を汎用入力にしてください(PORTm.PDR.BnビットおよびPORTm.PMR.Bnビットを“0”にする)。

注2. ~~224/176ピンの製品のみ対応しています。~~

•Page 922 of 3260

「23.2.4 P2n 端子機能制御レジスタ (P2nPFS) (n = 0 ~ 7)」の「表 23.6 224 ピン LFBGA、176 ピン LFBGA、176 ピン LFQFP、145 ピン TFLGA、144 ピン LFQFP、100 ピン LFQFP 端子入出力機能レジスタ設定」において、ETHERC チャンネル 1 の信号線 (ET1_EXOUT, ET1_WOL) に対する脚注が間違っていましたので、以下のとおり訂正いたします。また、この訂正に伴い、注 2 が不要になりましたので削除いたします。

【訂正前】

表 23.6 224 ピン LFBGA、176 ピン LFBGA、176 ピン LFQFP、145 ピン TFLGA、144 ピン LFQFP、100 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
省略								
010100b	—	—	—	—	—	—	ET1_EXOUT (注2)	ET1_WOL (注2)
省略								

—：設定しないでください。

注1. 100ピンの製品では対応していません。

注2. 145/144/100ピンの製品では対応していません。

【訂正後】

表 23.6 224 ピン LFBGA、176 ピン LFBGA、176 ピン LFQFP、145 ピン TFLGA、144 ピン LFQFP、100 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
省略								
010100b	—	—	—	—	—	—	ET1_EXOUT (注1)	ET1_WOL (注1)
省略								

—：設定しないでください。

注1. 100ピンの製品では対応していません。

•Page 923 of 3260

「23.2.5 P3n 端子機能制御レジスタ (P3nPFS) (n=0~4)」の「表 23.7 224 ピン LFBGA、176 ピン LFBGA、176 ピン LFQFP、145 ピン TFLGA、144 ピン LFQFP、100 ピン LFQFP 端子入出力機能レジスタ設定」において、ETHERC チャネル 1 の信号線 (ET1_MDC, ET1_MDIO) に対する脚注が間違っていましたので、以下のとおり訂正いたします。また、この訂正に伴い、注 1 と注 2 の内容が同じになりましたので、注 2 を削除いたします。

【訂正前】

表 23.7 224 ピン LFBGA、176 ピン LFBGA、176 ピン LFQFP、145 ピン TFLGA、144 ピン LFQFP、100 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子				
	P30	P31	P32	P33	P34
省略					
010100b	ET1_MDIO (注 1)	ET1_MDC (注 1)	—	—	—
011000b	—	—	—	EDREQ1	—
011100b	—	—	VSYNC (注 2)	PCKO (注 2)	—
100001b	—	—	POE10#	POE11#	—
101000b	PMGI1_MDI O (注 2)	PMGI1_MDC (注 2)	—	—	—

—: 設定しないでください。

注 1. 145/144/100 ピンの製品では対応していません。

注 2. 100 ピンの製品では対応していません。

【訂正後】

表 23.7 224 ピン LFBGA、176 ピン LFBGA、176 ピン LFQFP、145 ピン TFLGA、144 ピン LFQFP、100 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子				
	P30	P31	P32	P33	P34
省略					
010100b	ET1_MDIO (注 1)	ET1_MDC (注 1)	—	—	—
011000b	—	—	—	EDREQ1	—
011100b	—	—	VSYNC (注 1)	PCKO (注 1)	—
100001b	—	—	POE10#	POE11#	—
101000b	PMGI1_MDI O (注 1)	PMGI1_MDC (注 1)	—	—	—

—: 設定しないでください。

注 1. 100 ピンの製品では対応していません。

•Page 931 of 3260

「23.2.11 P9n 端子機能制御レジスタ (P9nPFS) (n = 0 ~ 7)」の「表 23.16 145 ピン TFLGA、144 ピン LFQFP 端子入出力機能レジスタ設定」において、ETHERC チャネル 1 の信号線 (ET1_LINKSTA) の記載が漏れていましたので、以下のとおり訂正いたします。

【訂正後】

表 23.16 145 ピン TFLGA、144 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子			
	P90	P91	P92	P93
000000b (初期値)	Hi-Z			
001000b	—	—	POE4#	POE0#
001010b	TXD7 SMOSI7 SSDA7	SCK7	RXD7 SMISO7 SSCL7	—
001011b	—	—	—	CTS7# RTS7# SS7#
010100b	—	—	—	ET1_LINKST A
010101b	—	—	RMII1_CRS_ DV	—

— : 設定しないでください。

•Page 936 of 3260

「23.2.15 PDn 端子機能制御レジスタ (PDnPFS) (n=0~7)」の「表 23.20 224ピンLFBGA、176ピンLFBGA、176ピンLFQFP、145ピンTFLGA、144ピンLFQFP、100ピンLFQFP 端子入出力機能レジスタ設定」において、ETHERCチャンネル1の信号線(ET1_MDC, ET1_MDIO, ET1_EXOUT, ET1_WOL)に対する脚注が間違っていましたので、以下のとおり訂正いたします。

【訂正前】

表 23.20 224ピンLFBGA、176ピンLFBGA、176ピンLFQFP、145ピンTFLGA、144ピンLFQFP、100ピンLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
省略								
010100b	—	—	ET1_EXOUT (注1)	ET1_WOL (注1)	ET1_MDIO (注1)	ET1_MDC (注1)	ET1_RX_CL K(注1)	ET1_RX_ER (注1)
省略								

—: 設定しないでください。

注1. 145/144/100ピンの製品では対応していません。

注2. 100ピンの製品では対応していません。

【訂正後】

表 23.20 224ピンLFBGA、176ピンLFBGA、176ピンLFQFP、145ピンTFLGA、144ピンLFQFP、100ピンLFQFP 端子入出力機能レジスタ設定

PSEL[5:0] ビット 設定値	端子							
	PD0	PD1	PD2	PD3	PD4	PD5	PD6	PD7
省略								
010100b	—	—	ET1_EXOUT (注2)	ET1_WOL (注2)	ET1_MDIO (注2)	ET1_MDC (注2)	ET1_RX_CL K(注1)	ET1_RX_ER (注1)
省略								

—: 設定しないでください。

注1. 145/144/100ピンの製品では対応していません。

注2. 100ピンの製品では対応していません。

•Page 3165 of 3260

「63.3 DC 特性」の「表 63.6 DC 特性 (3)」において、注3の計算式を以下のとおり訂正いたします。

【訂正前】

- 注3. I_{CC} は、以下の式のとおり ICLK周波数f (MHz)に依存します
(ICLK : PCLKA : PCLKB/PCLKC/PCLKD : BCLK : BCLK端子 = 4 : 2 : 1 : 2 : 1 @EXTAL = 12MHz)。
- Dバージョン製品
 - $I_{CC\ max} = 0.77 \times f + 74$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.22 \times f + 7$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.50 \times f + 3.7$ (ICLK 1MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.29 \times f + 74$ (スリープモード時)
 - Gバージョン製品
 - $I_{CC\ max} = 0.89 \times f + 105$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.22 \times f + 7$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.50 \times f + 3.7$ (ICLK 1MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.37 \times f + 105$ (スリープモード時)

【訂正後】

- 注3. I_{CC} は、以下の式のとおり ICLK周波数f (MHz)に依存します
(ICLK : PCLKA : PCLKB/PCLKC/PCLKD : BCLK : BCLK端子 = 4 : 2 : 1 : 2 : 1 @EXTAL = 12MHz)。
- Dバージョン製品
 - $I_{CC\ max} = 0.62 \times f + 113$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.22 \times f + 7$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.50 \times f + 3.7$ (ICLK 1MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.13 \times f + 113$ (スリープモード時)
 - Gバージョン製品
 - $I_{CC\ max} = 0.65 \times f + 164$ (高速動作モード、最大動作時)
 - $I_{CC\ typ} = 0.22 \times f + 7$ (高速動作モード、通常動作時)
 - $I_{CC\ typ} = 0.50 \times f + 3.7$ (ICLK 1MHz max) (低速動作モード1時)
 - $I_{CC\ max} = 0.13 \times f + 164$ (スリープモード時)

以上