

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/contact/>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RX*-A0205A/J	Rev.	第1版
題名	RX66T グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 の誤記訂正		情報分類	技術情報	
適用製品	RX66T グループ	対象ロット等	関連資料	RX66T グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0749JJ0100)	
		全ロット			

RX66T グループ、ユーザーズマニュアル ハードウェア編 Rev.1.00 において、誤記がありましたので、以下のとおり訂正いたします。

## • Page 53 of 2349

特長に記載されている Coremark 値を以下のとおり訂正いたします。

### 【訂正前】

#### ■ 32 ビット RXv3 CPU コア内蔵

- 最大動作周波数 160MHz  
816 Coremark の性能 (160MHz 動作時)

### 【訂正後】

#### ■ 32 ビット RXv3 CPU コア内蔵

- 最高動作周波数 160MHz  
928 Coremark の性能 (160MHz 動作時)

• Page 609 of 2349

表 20.5 の P36、P37 の駆動能力を以下のとおり訂正いたします。

【訂正前】

表20.5 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
(省略)					
PORT3	P30~P35	○	○	通常 / 高駆動	—
	P36, P37	○	○	—	—
(省略)					

【訂正後】

表20.5 I/Oポートの機能

ポートシンボル	ポート	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	5Vトレラント
(省略)					
PORT3	P30~P35	○	○	通常 / 高駆動	—
	P36, P37	○	○	通常出力固定	—
(省略)					

• Page 1091 of 2349

「24.2.5 汎用 PWM タイマスタート要因セレクトレジスタ(GTSSR)」において、ビット機能表のビット名および機能欄の表記を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA 立ち上がり要因カウントスタート許可ビット	0: GTETRGA 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウントスタートを許可	R/W
b1	SSGTRGAF	GTETRGA 立ち下がり要因カウントスタート許可ビット	0: GTETRGA 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウントスタートを許可	R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	SSCARBL	A 端子立ち上がり B 端子 0 要因カウントスタート許可ビット	0: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
b9	SSCARBH	A 端子立ち上がり B 端子 1 要因カウントスタート許可ビット	0: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0: カウントスタートの要因に GTETRGA 信号を使用しない 0 1: GTETRGA 信号の立ち上がりエッジでカウントスタート 1 0: GTETRGA 信号の立ち下がりエッジでカウントスタート 1 1: GTETRGA 信号の両エッジでカウントスタート	R/W
b1	SSGTRGAF			R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	SSCARBL	GTIOCnA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: カウントスタートの要因に GTIOCnA 信号の立ち上がりエッジを使用しない 0 1: GTIOCnB 端子が Low のときの GTIOCnA 信号の立ち上がりエッジでカウントスタート 1 0: GTIOCnB 端子が High のときの GTIOCnA 信号の立ち上がりエッジでカウントスタート 1 1: GTIOCnA 信号の立ち上がりエッジでカウントスタート	R/W
b9	SSCARBH			R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

• Page 1095 of 2349

「24.2.6 汎用 PWM タイマストップ要因セレクトレジスタ(GTPSR)」において、ビット機能表のビット名および機能欄の表記を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA 立ち上がり要因カウントストップ許可ビット	0: GTETRGA 入力の立ち上がりによるカウントストップを禁止 1: GTETRGA 入力の立ち上がりによるカウントストップを許可	R/W
b1	PSGTRGAF	GTETRGA 立ち下がり要因カウントストップ許可ビット	0: GTETRGA 入力の立ち下がりによるカウントストップを禁止 1: GTETRGA 入力の立ち下がりによるカウントストップを許可	R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	PSCARBL	A 端子立ち上がり B 端子 0 要因カウントストップ許可ビット	0: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
b9	PSCARBH	A 端子立ち上がり B 端子 1 要因カウントストップ許可ビット	0: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0: カウントストップの要因に GTETRGA 信号を使用しない 0 1: GTETRGA 信号の立ち上がりエッジでカウントストップ 1 0: GTETRGA 信号の立ち下がりエッジでカウントストップ 1 1: GTETRGA 信号の両エッジでカウントストップ	R/W
b1	PSGTRGAF			R/W
(b7-b6、b5-b4、b3-b2 についても b1-b0 と同様の内容のため省略)				
b8	PSCARBL	GTIOCnA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: カウントストップの要因に GTIOCnA 信号の立ち上がりエッジを使用しない 0 1: GTIOCnB 端子が Low のときの GTIOCnA 信号の立ち上がりエッジでカウントストップ 1 0: GTIOCnB 端子が High のときの GTIOCnA 信号の立ち上がりエッジでカウントストップ 1 1: GTIOCnA 信号の立ち上がりエッジでカウントストップ	R/W
b9	PSCARBH			R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

• Page 1099 of 2349

「24.2.7 汎用 PWM タイマクリア要因セレクトレジスタ(GTCSR)」において、ビット機能表のビット名および機能欄の表記を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA 立ち上がり要因カウンタクリア許可ビット	0: GTETRGA 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち上がりによるカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA 立ち下がり要因カウンタクリア許可ビット	0: GTETRGA 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち下がりによるカウンタクリアを許可	R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	CSCARBL	A 端子立ち上がり B 端子 0 要因カウンタクリア許可ビット	0: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
b9	CSCARBH	A 端子立ち上がり B 端子 1 要因カウンタクリア許可ビット	0: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0: カウンタクリアの要因に GTETRGA 信号を使用しない 0 1: GTETRGA 信号の立ち上がりエッジでカウンタクリア 1 0: GTETRGA 信号の立ち下がりエッジでカウンタクリア 1 1: GTETRGA 信号の両エッジでカウンタクリア	R/W
b1	CSGTRGAF			R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	CSCARBL	GTIOCnA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: カウンタクリアの要因に GTIOCnA 信号の立ち上がりエッジを使用しない 0 1: GTIOCnB 端子が Low のときの GTIOCnA 信号の立ち上がりエッジでカウンタクリア 1 0: GTIOCnB 端子が High のときの GTIOCnA 信号の立ち上がりエッジでカウンタクリア 1 1: GTIOCnA 信号の立ち上がりエッジでカウンタクリア	R/W
b9	CSCARBH			R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

• Page 1103 of 2349

「24.2.8 汎用 PWM タイマカウントアップ要因セレクトレジスタ(GTUPSR)」において、ビット機能表のビット名および機能欄の表記を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA 立ち上がり要因カウントアップ許可ビット	0: GTETRGA 入力の立ち上がりによるカウントアップを禁止 1: GTETRGA 入力の立ち上がりによるカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA 立ち下がり要因カウントアップ許可ビット	0: GTETRGA 入力の立ち下がりによるカウントアップを禁止 1: GTETRGA 入力の立ち下がりによるカウントアップを許可	R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	USCARBL	A 端子立ち上がり B 端子 0 要因カウントアップ許可ビット	0: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントアップを禁止 1: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントアップを許可	R/W
b9	USCARBH	A 端子立ち上がり B 端子 1 要因カウントアップ許可ビット	0: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントアップを禁止 1: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントアップを許可	R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0: カウントアップの要因に GTETRGA 信号を使用しない 0 1: GTETRGA 信号の立ち上がりエッジでカウントアップ 1 0: GTETRGA 信号の立ち下がりエッジでカウントアップ 1 1: GTETRGA 信号の両エッジでカウントアップ	R/W
b1	USGTRGAF			R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	USCARBL	GTIOCnA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: カウントアップの要因に GTIOCnA 信号の立ち上がりエッジを使用しない 0 1: GTIOCnB 端子が Low のときの GTIOCnA 信号の立ち上がりエッジでカウントアップ 1 0: GTIOCnB 端子が High のときの GTIOCnA 信号の立ち上がりエッジでカウントアップ 1 1: GTIOCnA 信号の立ち上がりエッジでカウントアップ	R/W
b9	USCARBH			R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

• Page 1107 of 2349

「24.2.9 汎用 PWM タイマカウントダウン要因セレクトレジスタ(GTDNSR)」において、ビット機能表のビット名および機能欄の表記を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA 立ち上がり要因カウントダウン許可ビット	0: GTETRGA 入力の立ち上がりによるカウントダウンを禁止 1: GTETRGA 入力の立ち上がりによるカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA 立ち下がり要因カウントダウン許可ビット	0: GTETRGA 入力の立ち下がりによるカウントダウンを禁止 1: GTETRGA 入力の立ち下がりによるカウントダウンを許可	R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	DSCARBL	A 端子立ち上がり B 端子 0 要因カウントダウン許可ビット	0: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントダウンを禁止 1: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによるカウントダウンを許可	R/W
b9	DSCARBH	A 端子立ち上がり B 端子 1 要因カウントダウン許可ビット	0: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントダウンを禁止 1: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによるカウントダウンを許可	R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0: カウントダウンの要因に GTETRGA 信号を使用しない 0 1: GTETRGA 信号の立ち上がりエッジでカウントダウン 1 0: GTETRGA 信号の立ち下がりエッジでカウントダウン 1 1: GTETRGA 信号の両エッジでカウントダウン	R/W
b1	DSGTRGAF			R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	DSCARBL	GTIOCnA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: カウントダウンの要因に GTIOCnA 信号の立ち上がりエッジを使用しない 0 1: GTIOCnB 端子が Low のときの GTIOCnA 信号の立ち上がりエッジでカウントダウン 1 0: GTIOCnB 端子が High のときの GTIOCnA 信号の立ち上がりエッジでカウントダウン 1 1: GTIOCnA 信号の立ち上がりエッジでカウントダウン	R/W
b9	DSCARBH			R/W
(b15-b14、b13-b12、b11-b10 についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

• Page 1111 of 2349

「24.2.10 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A (GTICASR)」において、ビット機能表のビット名および機能欄の表記を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可ビット	0: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可ビット	0: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	ASCARBL	A 端子立ち上がり B 端子 0 要因 GTCCRA インプットキャプチャ許可ビット	0: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
b9	ASCARBH	A 端子立ち上がり B 端子 1 要因 GTCCRA インプットキャプチャ許可ビット	0: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
(b15-b14、b13-b12、b11-b10についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0: GTCCRA レジスタへのインプットキャプチャ要因に GTETRGA 信号を使用しない 0 1: GTETRGA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 0: GTETRGA 信号の立ち下がりエッジで GTCCRA レジスタにインプットキャプチャ 1 1: GTETRGA 信号の両エッジで GTCCRA レジスタにインプットキャプチャ	R/W
b1	ASGTRGAF			R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	ASCARBL	GTIOCnA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: GTCCRA レジスタへのインプットキャプチャ要因に GTIOCnA 信号の立ち上がりエッジを使用しない 0 1: GTIOCnB 端子が Low のときの GTIOCnA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 0: GTIOCnB 端子が High のときの GTIOCnA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ 1 1: GTIOCnA 信号の立ち上がりエッジで GTCCRA レジスタにインプットキャプチャ	R/W
b9	ASCARBH			R/W
(b15-b14、b13-b12、b11-b10についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				



• Page 1115 of 2349

「24.2.11 汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B (GTICBSR)」において、ビット機能表のビット名および機能欄の表記を以下のとおり変更いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可ビット	0: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可ビット	0: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	BSCARBL	A 端子立ち上がり B 端子 0 要因 GTCCRB インプットキャプチャ許可ビット	0: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が“0”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
b9	BSCARBH	A 端子立ち上がり B 端子 1 要因 GTCCRB インプットキャプチャ許可ビット	0: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が“1”状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
(b15-b14、b13-b12、b11-b10についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA 信号エッジ選択ビット	b1 b0 0 0: GTCCRB レジスタへのインプットキャプチャ要因に GTETRGA 信号を使用しない 0 1: GTETRGA 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 0: GTETRGA 信号の立ち下がりエッジで GTCCRB レジスタにインプットキャプチャ 1 1: GTETRGA 信号の両エッジで GTCCRB レジスタにインプットキャプチャ	R/W
b1	BSGTRGAF			R/W
(b7-b6、b5-b4、b3-b2についても b1-b0 と同様の内容のため省略)				
b8	BSCARBL	GTIOCnA 信号立ち上がりエッジ使用条件選択ビット	b9 b8 0 0: GTCCRB レジスタへのインプットキャプチャ要因に GTIOCnA 信号の立ち上がりエッジを使用しない 0 1: GTIOCnB 端子が Low のときの GTIOCnA 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 0: GTIOCnB 端子が High のときの GTIOCnA 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ 1 1: GTIOCnA 信号の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャ	R/W
b9	BSCARBH			R/W
(b15-b14、b13-b12、b11-b10についても b9-b8 と同様の内容のため省略)				
(b31-b16 については変更なしのため省略)				

## • Page 1928 of 2349

「38.2.6 (1) S12AD.ADANSB0」において、ANSB0n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSB0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000~AN007 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD.ADANSA0、S12AD.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSB0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000~AN007 の選択を行います。S12AD.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD.ADANSA0 レジスタ)、グループ C で指定したチャンネル(S12AD.ADANSC0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

## • Page 1929 of 2349

「38.2.6 (2) S12AD1.ADANSB0」において、ANSB0n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSB0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN100~AN107 の選択を行います。S12AD1.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD1.ADANSA0、S12AD1.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSB0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN100~AN107 の選択を行います。S12AD1.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD1.ADANSA0 レジスタ)、グループ C で指定したチャンネル(S12AD1.ADANSC0 レジスタ)、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

## • Page 1930 of 2349

「38.2.6 (3) S12AD2.ADANSB0」において、ANSB0n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSB0n ビット(A/D 変換チャンネル選択ビット) (n = 00~11)**

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN200~AN211 の選択を行います。S12AD2.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSB0n ビット(A/D 変換チャンネル選択ビット) (n = 00~11)**

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN200~AN211 の選択を行います。S12AD2.ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、**グループ C で指定したチャンネル(S12AD2.ADANSC0、S12AD2.ADANSC1 レジスタ)**、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

## • Page 1931 of 2349

「38.2.7 A/D チャンネル選択レジスタ B1 (ADANSB1)」において、ANSB1n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSB1n ビット(A/D 変換チャンネル選択ビット) (n = 00, 01)**

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN216、AN217 の選択を行います。S12AD2.ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSB1n ビット(A/D 変換チャンネル選択ビット) (n = 00, 01)**

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN216、AN217 の選択を行います。S12AD2.ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、**グループ C で指定したチャンネル(S12AD2.ADANSC0、S12AD2.ADANSC1 レジスタ)**、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

## • Page 1932 of 2349

「38.2.8 (1) S12AD.ADANSC0」において、ANSC0n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSC0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000~AN007 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD.ADANSA0、S12AD.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSC0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN000~AN007 の選択を行います。S12AD.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD.ADANSA0 レジスタ)、グループ B で指定したチャンネル(S12AD.ADANSB0 レジスタ)、またはダブルトリガモードによる S12AD.ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

## • Page 1933 of 2349

「38.2.8 (2) S12AD1.ADANSC0」において、ANSC0n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSC0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN100~AN107 の選択を行います。S12AD1.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD1.ADANSA0、S12AD1.ADANSA1 レジスタ、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSC0n ビット(A/D 変換チャンネル選択ビット) (n = 00~07)**

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN100~AN107 の選択を行います。S12AD1.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD1.ADANSA0 レジスタ)、グループ B で指定したチャンネル(S12AD1.ADANSB0 レジスタ)、またはダブルトリガモードによる S12AD1.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

## • Page 1934 of 2349

「38.2.8 (3) S12AD2.ADANSC0」において、ANSC0n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSC0n ビット(A/D 変換チャンネル選択ビット) (n = 00~11)**

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN200~AN211 の選択を行います。S12AD2.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ、S12AD2.ADANSB0、S12AD2.ADANSB1 レジスタ、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSC0n ビット(A/D 変換チャンネル選択ビット) (n = 00~11)**

グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネルのアナログ入力 AN200~AN211 の選択を行います。S12AD2.ADANSC0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、S12AD2.ADANSA1 レジスタ)、**グループ B で指定したチャンネル(S12AD2.ADANSB0、S12AD2.ADANSB1 レジスタ)**、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

## • Page 1935 of 2349

「38.2.9 A/D チャンネル選択レジスタ C1 (ADANSC1)」において、ANSC1n ビットの説明文を以下のとおり訂正いたします。

## 【訂正前】

**ANSC1n ビット(A/D 変換チャンネル選択ビット) (n = 00, 01)**

ANSC1n ビットは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネル AN216、AN217 の選択を行います。S12AD2.ADANSC1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、ADANSA1 レジスタ、S12AD2.ADANSB0、ADANSB1 レジスタ、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル)以外から設定します。(以下省略)

## 【訂正後】

**ANSC1n ビット(A/D 変換チャンネル選択ビット) (n = 00, 01)**

ANSC1n ビットは、グループスキャンモード選択時にグループ C で A/D 変換を行うチャンネル AN216、AN217 の選択を行います。S12AD2.ADANSC1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル(S12AD2.ADANSA0、**S12AD2.ADANSA1 レジスタ**)、**グループ B で指定したチャンネル(S12AD2.ADANSB0、S12AD2.ADANSB1 レジスタ)**、またはダブルトリガモードによる S12AD2.ADCSR.DBLANS[4:0]ビットで選択したグループ A に該当するチャンネル以外から設定します。(以下省略)

• Page 2269 of 2349

「表 45.3 推奨動作条件(2)」を以下のとおり追加いたします。

【訂正後】

表45.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C <sub>vcl</sub>	0.47 μF ± 30% <sup>(注1)</sup>

注 1. 静電容量の公称値が 0.47 μF、静電容量許容差が±30%以内の積層セラミックコンデンサを使用してください。

• Page 2271 of 2349

「表 45.4 DC 特性(2)」に以下のとおり VCL 端子の出力電圧特性を追加いたします。

【訂正後】

項目	記号	min	typ	max	単位	測定条件
VCL 端子出力電圧	V <sub>CL</sub>	—	1.25	—	V	

• Page 2278 of 2349

「表 45.11 出力許容電流」を以下のとおり訂正いたします。

【訂正前】

項目	記号	min	typ	max	単位
(省略)					
出力 Low レベル許容電流 (総和)	全出力端子 (RIIC 端子、P43、P47、PH1~PH3、PH5~PH7、P50~P55、P60~P65 以外) の総和	Σ I <sub>OL</sub>	—	—	110
	P43、P47、PH1~PH3、PH5~PH7、P50~P55、P60~P65 の総和		—	—	110
(省略)					
出力 High レベル許容電流 (総和)	全出力端子 (P43、P47、PH1~PH3、PH5~PH7、P50~P55、P60~P65 以外) の総和	Σ I <sub>OH</sub>	—	—	-35
	P43、P47、PH1~PH3、PH5~PH7、P50~P55、P60~P65 の総和		—	—	-35

【訂正後】

項目	記号	min	typ	max	単位
(省略)					
出力 Low レベル許容電流 (総和)	全出力端子の総和	Σ I <sub>OL</sub>	—	—	110
(省略)					
出力 High レベル許容電流 (総和)	全出力端子の総和	Σ I <sub>OH</sub>	—	—	-35

• Page 2290 of 2349

「図 45.14 NMI 割り込み入力タイミング」を以下のとおり訂正いたします。

【訂正前】

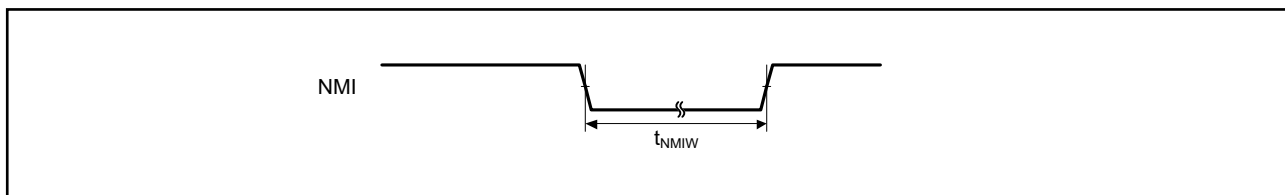


図 45.14 NMI 割り込み入力タイミング

【訂正後】

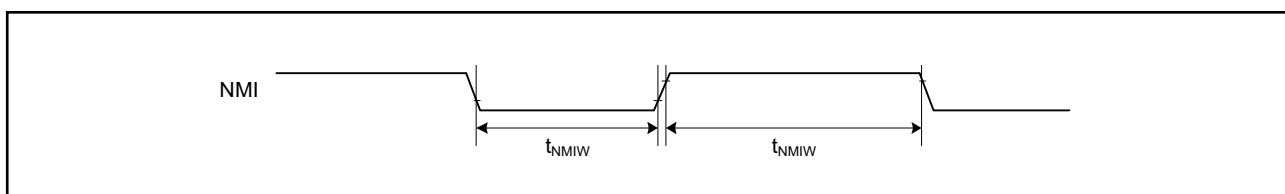


図 45.14 NMI 割り込み入力タイミング

• Page 2290 of 2349

「図 45.15 IRQ 割り込み入力タイミング」を以下のとおり訂正いたします。

【訂正前】

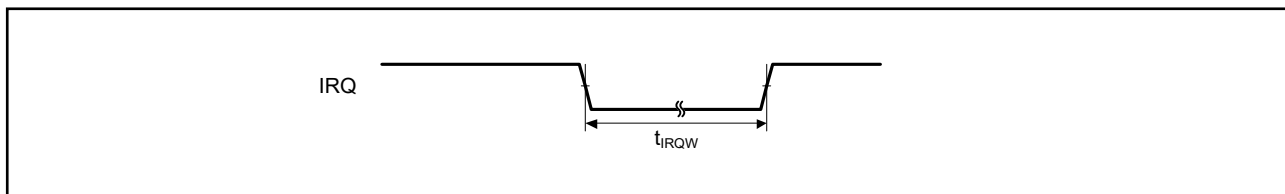


図 45.15 IRQ 割り込み入力タイミング

【訂正後】

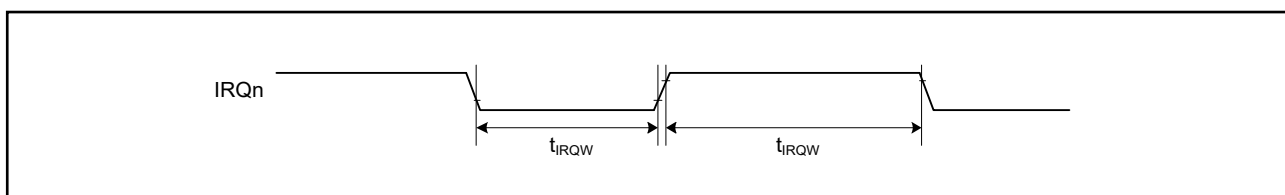


図 45.15 IRQ 割り込み入力タイミング

• Page 2299 of 2349

「表 45.30 POE, POEG タイミング」のコンパレータ検出時の POEG 出力停止制御時間を、以下のとおり訂正いたします。また、各項目名を以下のとおり変更いたします。

【訂正前】

項目		記号	min	typ	max	単位	測定条件						
POE	POEn#入力パルス幅(n = 0, 4, 8~14)	t <sub>POEW</sub>	(省略)										
	出力停止制御時間	入力レベル検出						t <sub>POEDI</sub>					
		出力レベル比較						t <sub>POEDO</sub>					
		コンパレータ検出						t <sub>POEDC</sub>					
		レジスタ設定によるソフトウェア停止						t <sub>POEDS</sub>					
	発振停止検出	t <sub>POEDOS</sub>	(省略)										
POEG	GTETRn 入力パルス幅(n = A~D)	t <sub>POEGW</sub>	(省略)										
	出力停止制御時間 (検出フラグ使用)	入力レベル検出						t <sub>POEGDI</sub>					
		GPTWからの出力停止検出(デットタイムエラー、同時 High 出力、同時 Low 出力)						t <sub>POEGDE</sub>					
		コンパレータ検出						t <sub>POEGDC</sub>	—	—	3 PCLKB + 0.5	μs	図 45.36 コンパレータ C のノイズフィルタ不使用時(CMPCTL.CDFS[1:0] = 00)、コンパレータ C の検出時間は除く
		レジスタ設定によるソフトウェア停止						t <sub>POEGDS</sub>					
		発振停止検出						t <sub>POEGDOS</sub>	(省略)				
出力停止制御時間 (検出信号からの直接制御)	入力レベル検出	t <sub>POEGDDI</sub>	(省略)										
	コンパレータレベル検出	t <sub>POEGDDC</sub>											



【訂正後】

項目		記号	min	typ	max	単位	測定条件	
POE	POEn#入力パルス幅(n = 0, 4, 8~14)	t <sub>POEW</sub>	(省略)					
	出力ディセーブル時間	POEn#端子の変化						t <sub>POEDI</sub>
		出力端子の短絡						t <sub>POEDO</sub>
		コンパレータ出力検出						t <sub>POEDC</sub>
		レジスタ設定						t <sub>POEDS</sub>
		発振停止検出						t <sub>POEDOS</sub>
POEG	GTETRn 入力パルス幅(n = A~D)	t <sub>POEGW</sub>	(省略)					
	出力ディセーブル時間	GTETRn 端子の入カレベル検出 (フラグ経由)						t <sub>POEGDI</sub>
		GPTW からの出力停止信号検出 (デットタイムエラー、同時 High 出力、同時 Low 出力)	t <sub>POEGDE</sub>					
		コンパレータエッジ検出	t <sub>POEGDC</sub>	—	—	4 PCLKB + 0.5	μs	図 45.36 コンパレータ C のノイズフィルタ不使用時(CMPCTL.CDFS[1:0] = 00)、コンパレータ C の検出時間は除く
		レジスタ設定	t <sub>POEGDS</sub>	(省略)				
	発振停止検出	t <sub>POEGDOS</sub>						
	GTETRn 端子の入カレベル検出 (フラグ非経由)	t <sub>POEGDDI</sub>						
	コンパレータレベル検出	t <sub>POEGDDC</sub>						

• Page 2300 of 2349

図 45.28 を以下のとおり訂正いたします。

【訂正前】

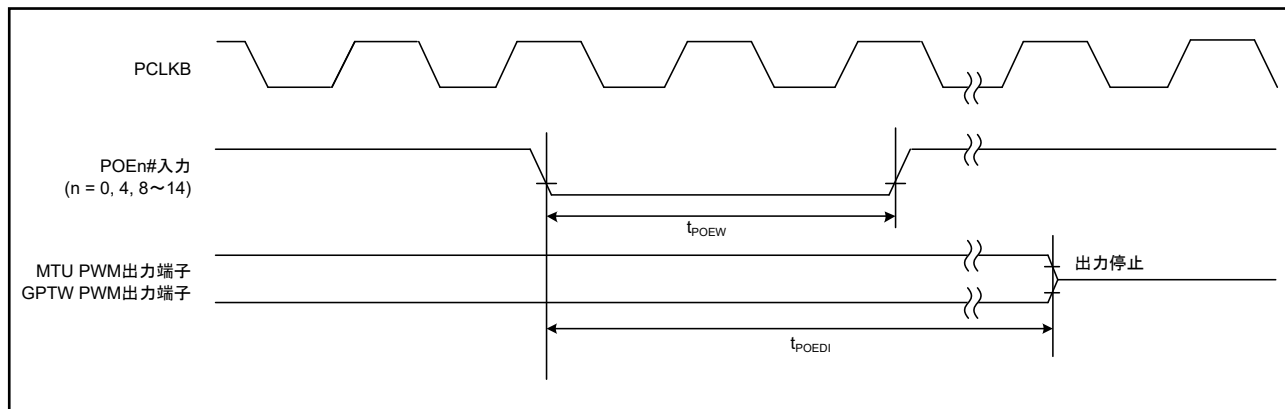


図 45.28 POE 入力レベル検出時出力停止制御時間

【訂正後】

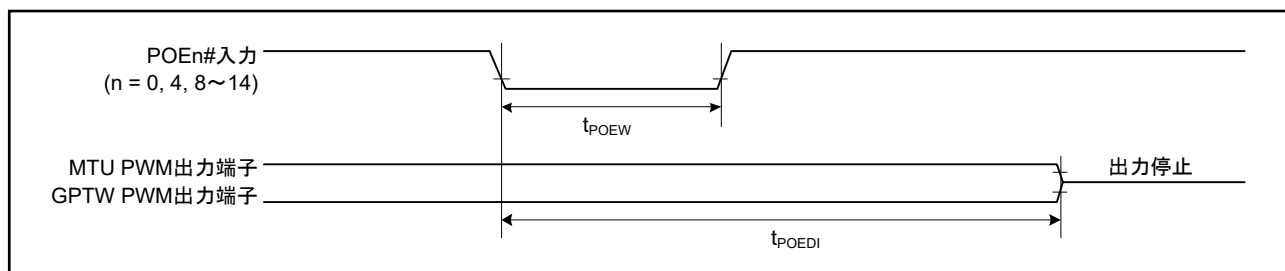


図 45.28 POE 出力ディセーブル時間 (POEn#端子の変化)

• Page 2300 of 2349

図 45.29 を以下のとおり訂正いたします。

【訂正前】

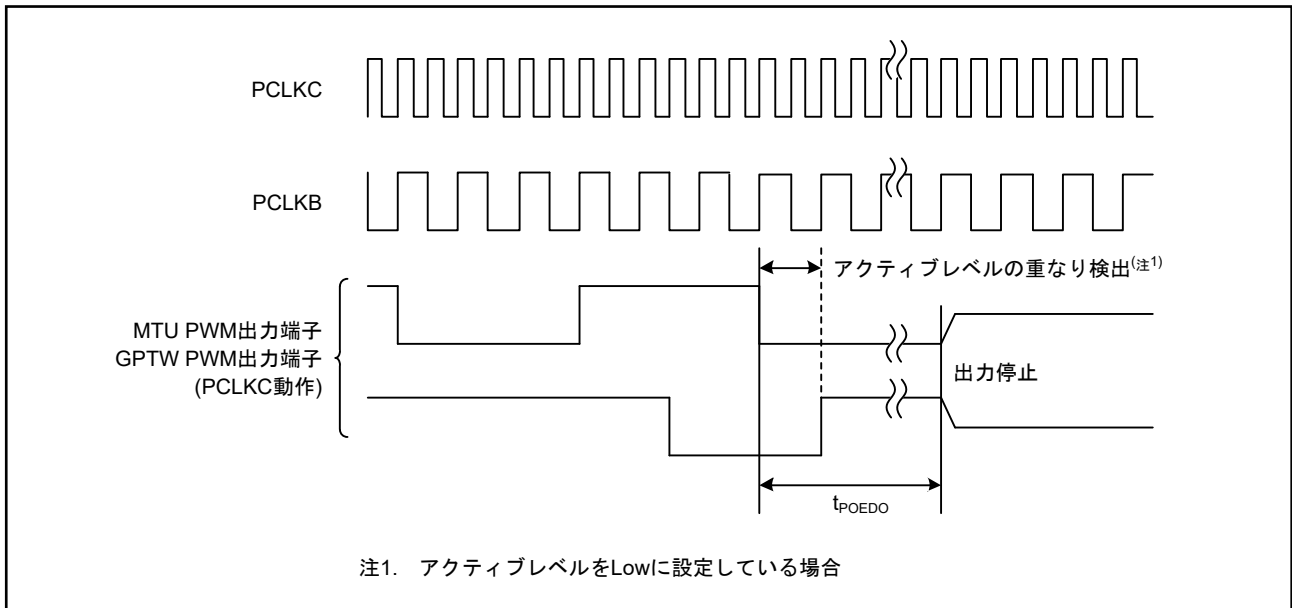


図 45.29 POE 出力レベル比較時出力停止制御時間

【訂正後】

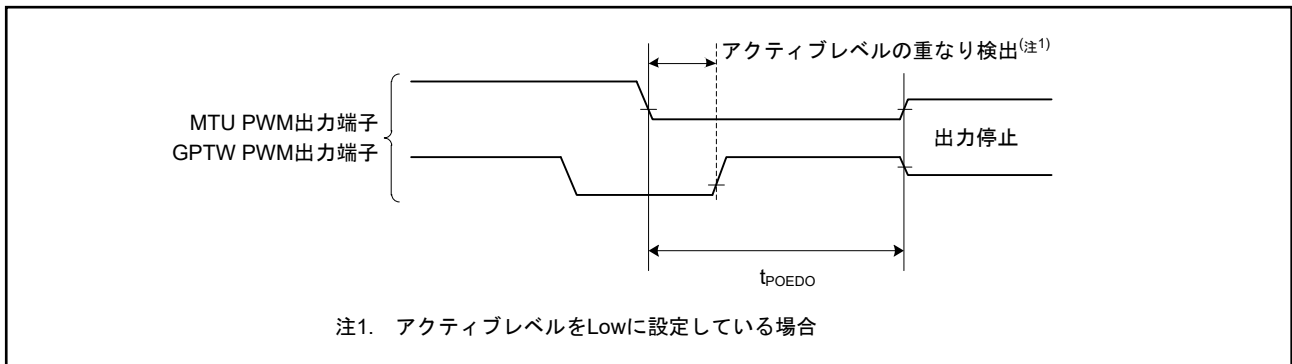


図 45.29 POE 出力ディセーブル時間 (出力端子の短絡)

• Page 2300 of 2349

図 45.30 を以下のとおり訂正いたします。

【訂正前】

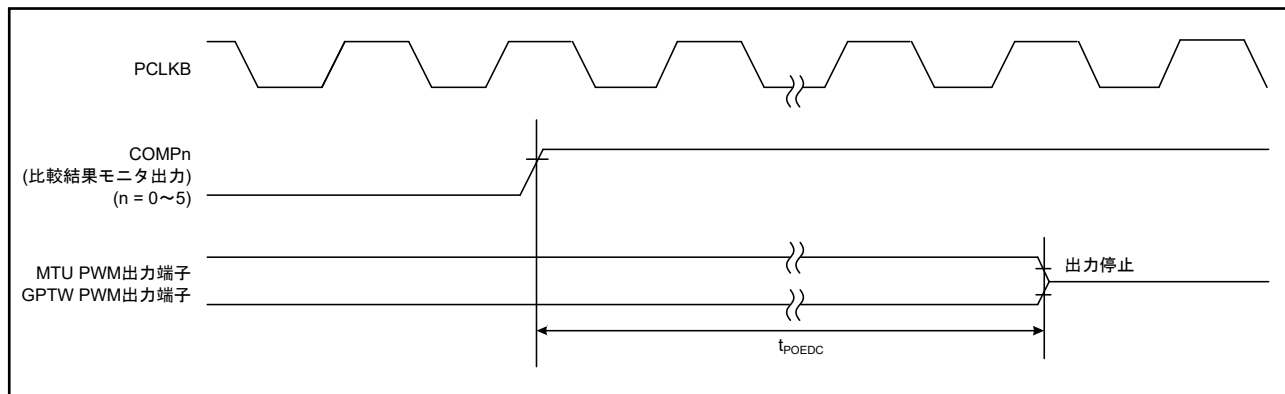


図 45.30 POE コンパレータ検出時出力停止制御時間

【訂正後】

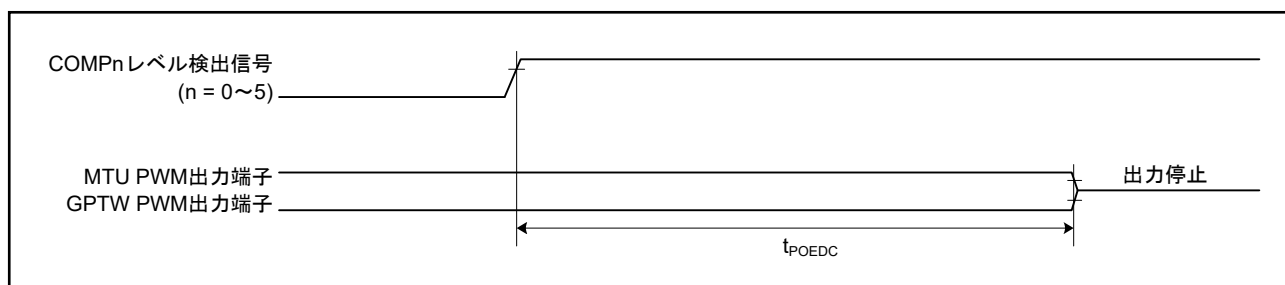


図 45.30 POE 出力ディセーブル時間 (コンパレータ出力検出)

• Page 2301 of 2349

図 45.31 を以下のとおり訂正いたします。

【訂正前】

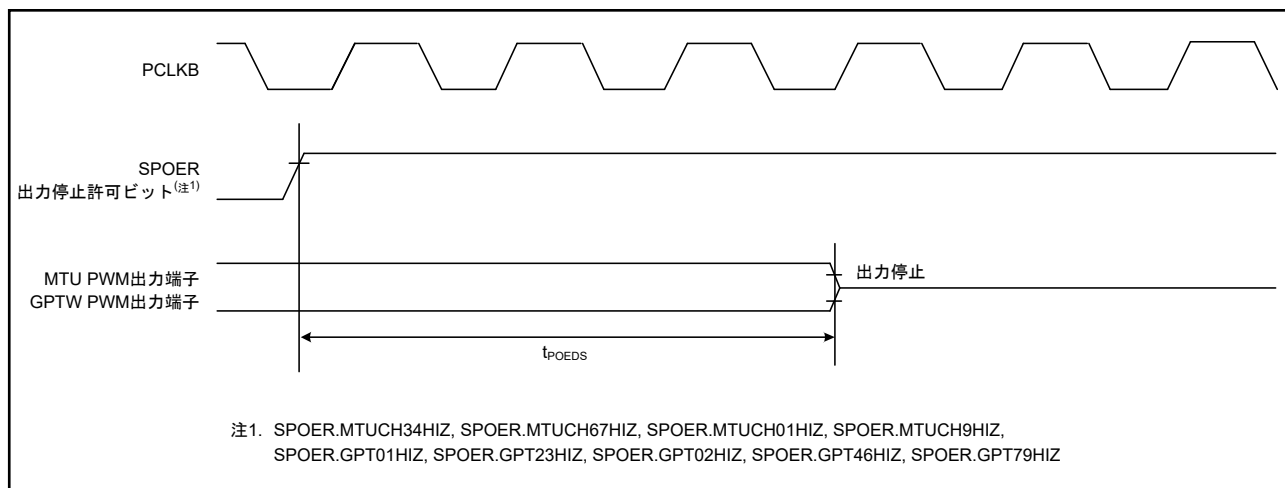


図 45.31 POE レジスタ設定によるソフトウェア停止時出力停止制御時間

【訂正後】

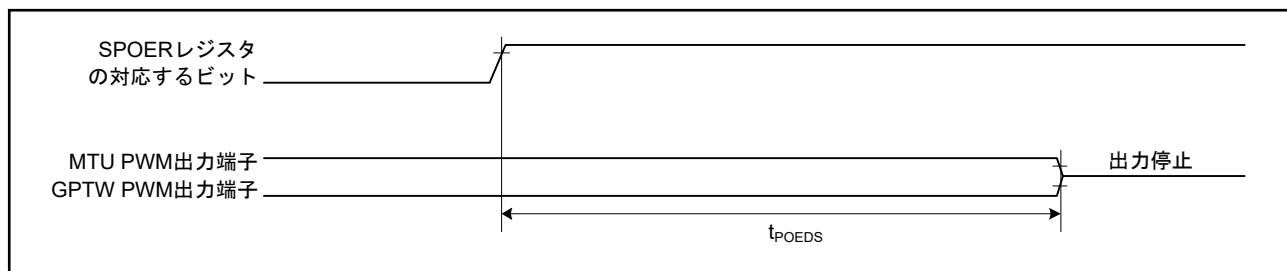


図 45.31 POE 出力ディセーブル時間 (レジスタ設定)

• Page 2301 of 2349

図 45.32 を以下のとおり訂正いたします。

【訂正前】

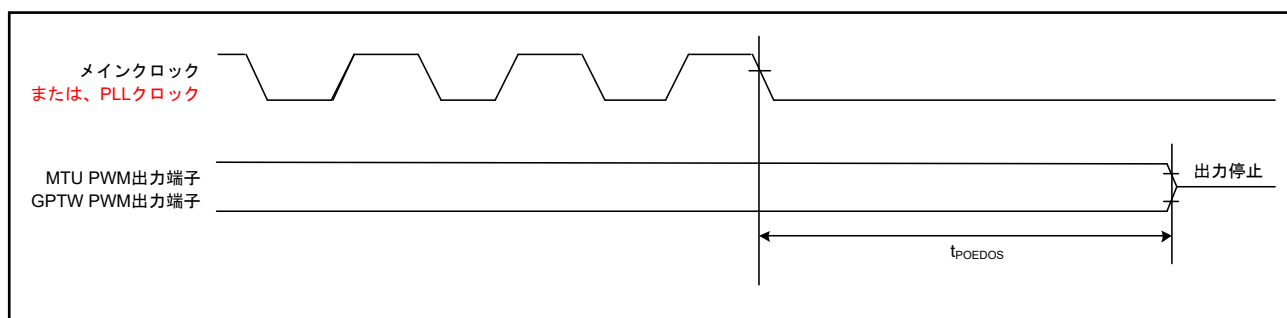


図 45.32 POE 発振停止検出による出力停止制御時間

【訂正後】

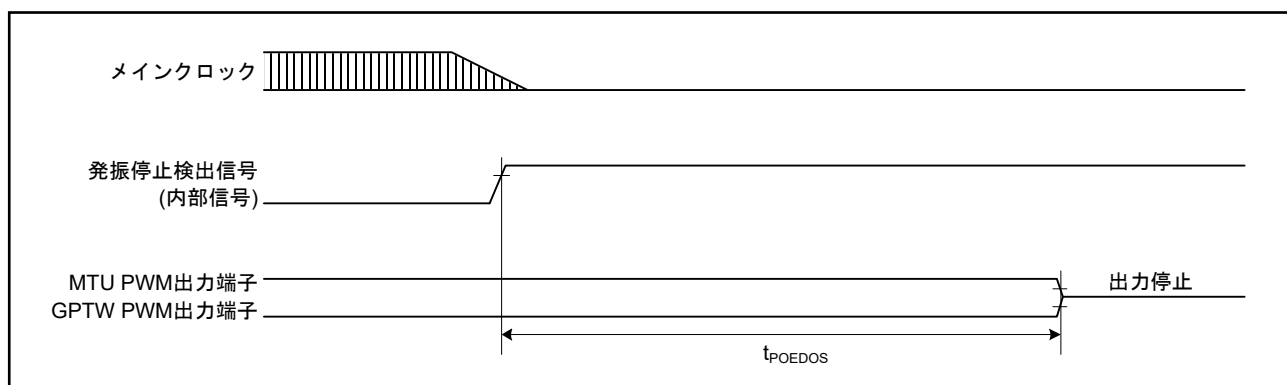


図 45.32 POE 出力ディセーブル時間 (発振停止検出)

• Page 2302 of 2349

図 45.34 を以下のとおり訂正いたします。

【訂正前】

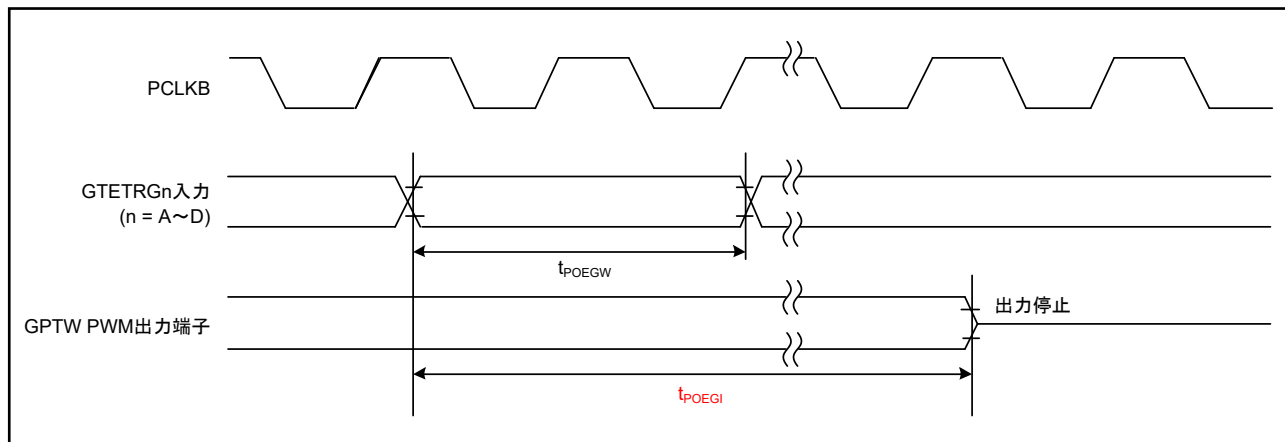


図 45.34 POEG 出力停止制御時間 (ポート入力検出フラグ)

【訂正後】

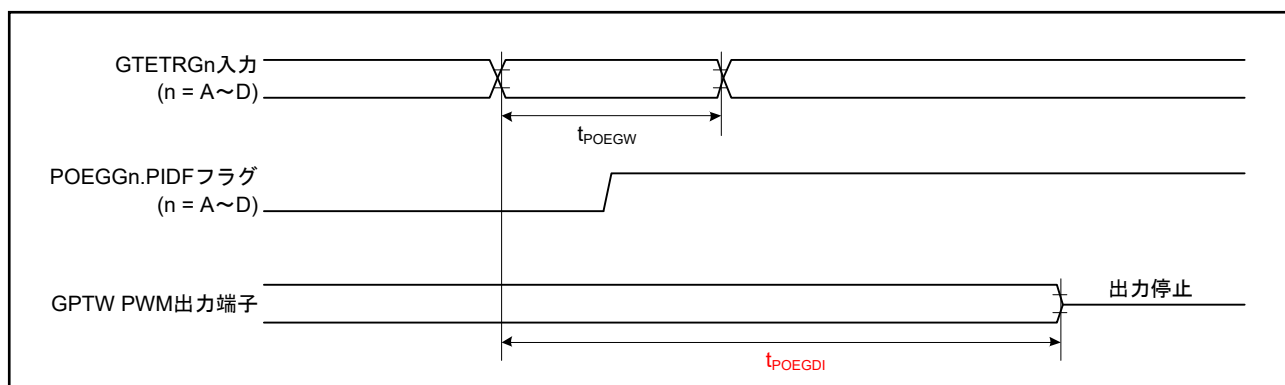


図 45.34 POEG 出力ディセーブル時間 (GTETRn 端子の入カレベル検出(フラグ経由))

• Page 2302 of 2349

図 45.35 を以下のとおり訂正いたします。

【訂正前】

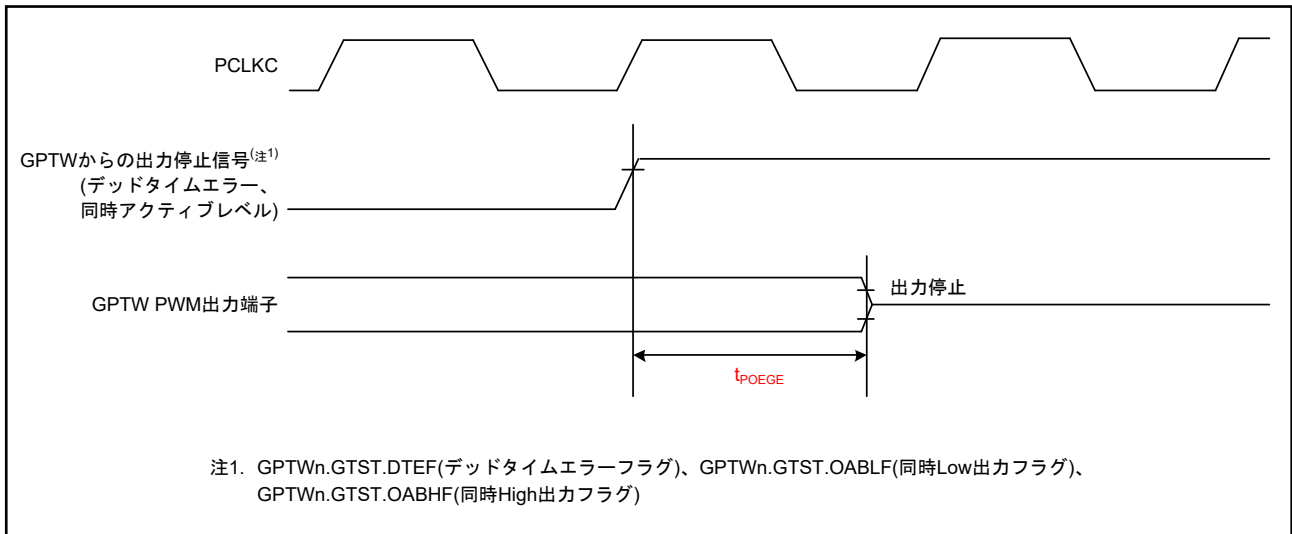


図 45.35 POEG 出力停止制御時間 (GPTW からの出力停止信号検出)

【訂正後】

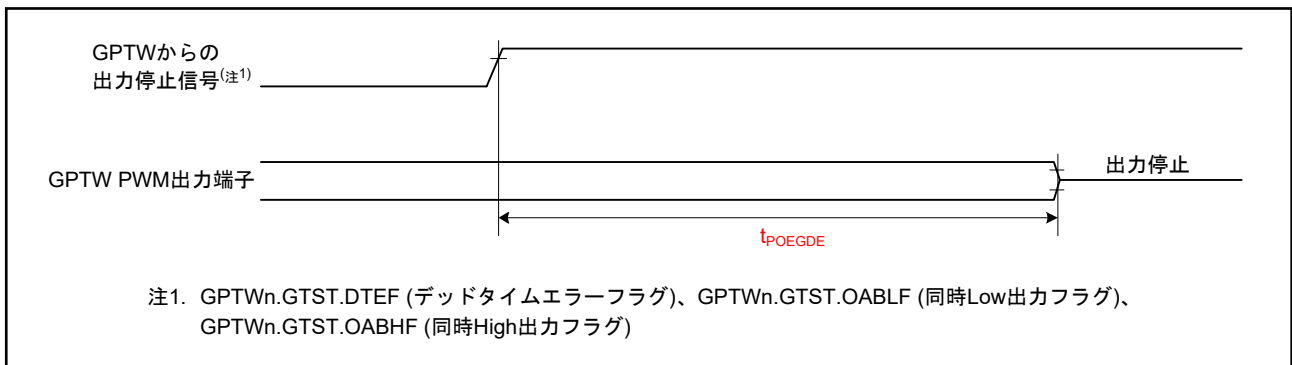


図 45.35 POEG 出力ディセーブル時間 (GPTW からの出力停止信号検出)

• Page 2302 of 2349

図 45.36 を以下のとおり訂正いたします。

【訂正前】

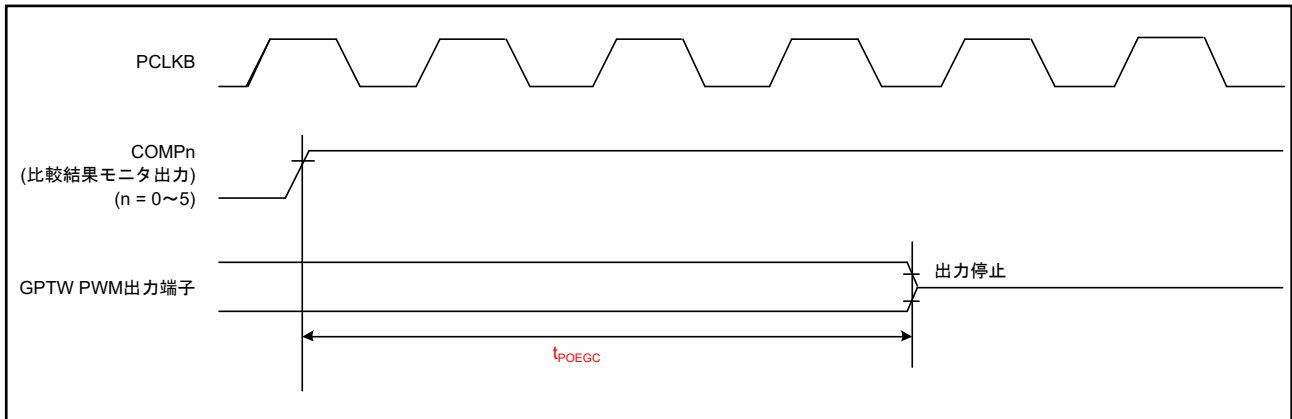


図 45.36 POEG 出力停止制御時間 (コンパレータエッジ検出)

【訂正後】

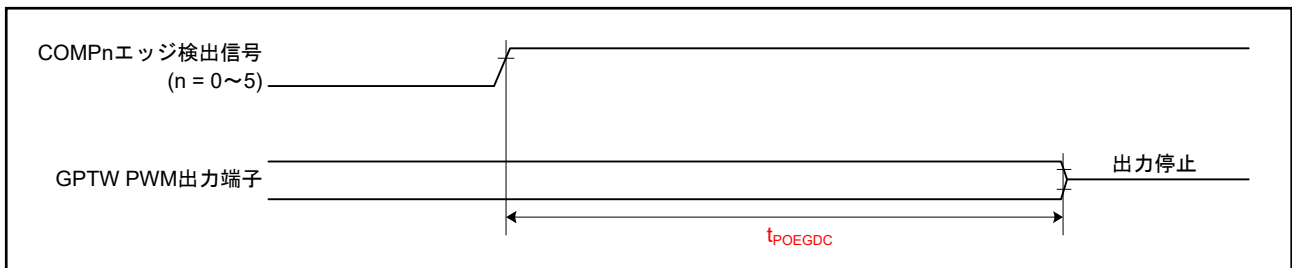


図 45.36 POEG 出力ディセーブル時間 (コンパレータエッジ検出)

• Page 2303 of 2349

図 45.37 を以下のとおり訂正いたします。

【訂正前】

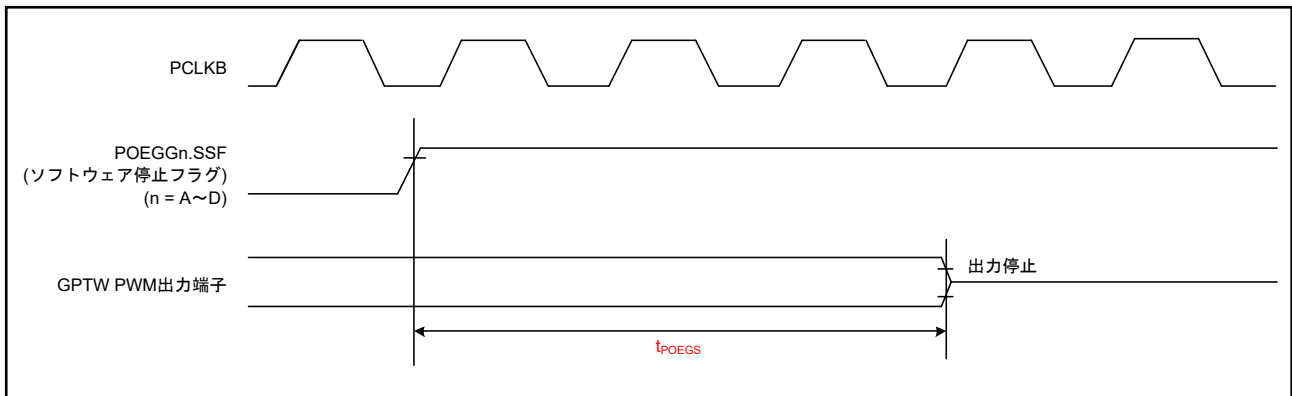


図 45.37 POEG レジスタ設定によるソフトウェア停止時出力停止制御時間



【訂正後】

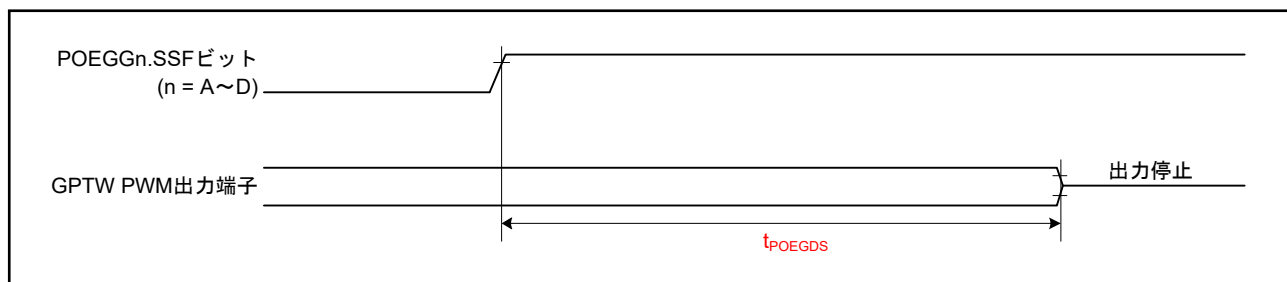


図 45.37 POEG 出力ディセーブル時間 (レジスタ設定)

• Page 2303 of 2349

図 45.38 を以下のとおり訂正いたします。

【訂正前】

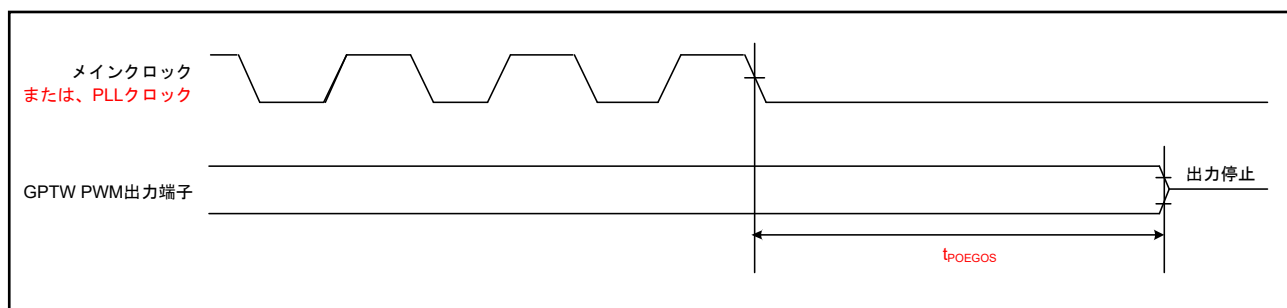


図 45.38 POEG 発振停止検出による出力停止制御時間

【訂正後】

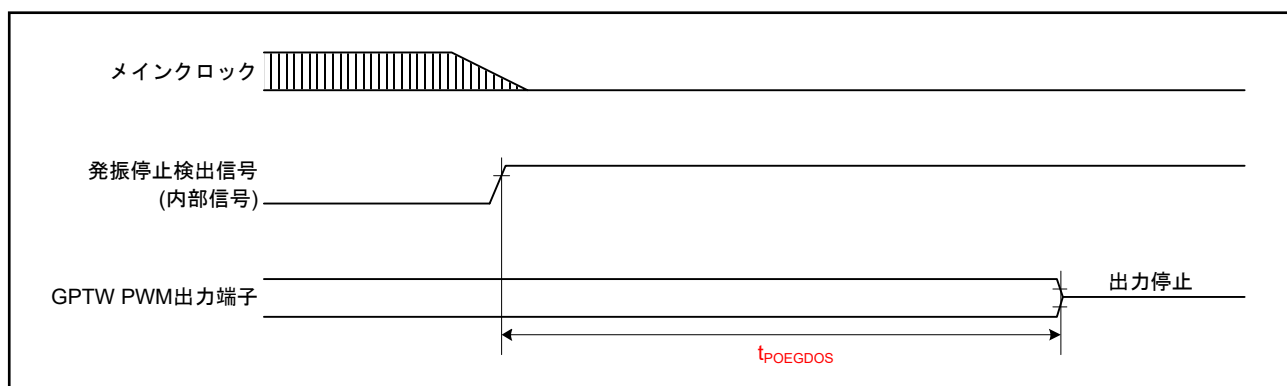


図 45.38 POEG 出力ディセーブル時間 (発振停止検出)

• Page 2303 of 2349

図 45.39 を以下のとおり訂正いたします。

【訂正前】

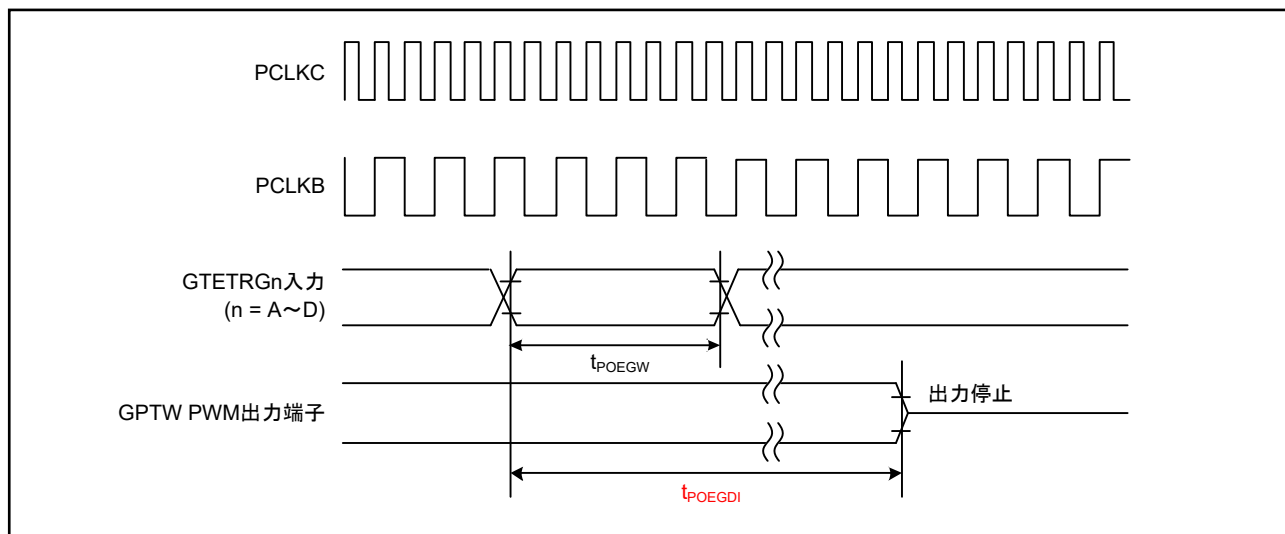


図 45.39 POEG 出力停止制御時間 (入力レベル検出信号による直接制御)

【訂正後】

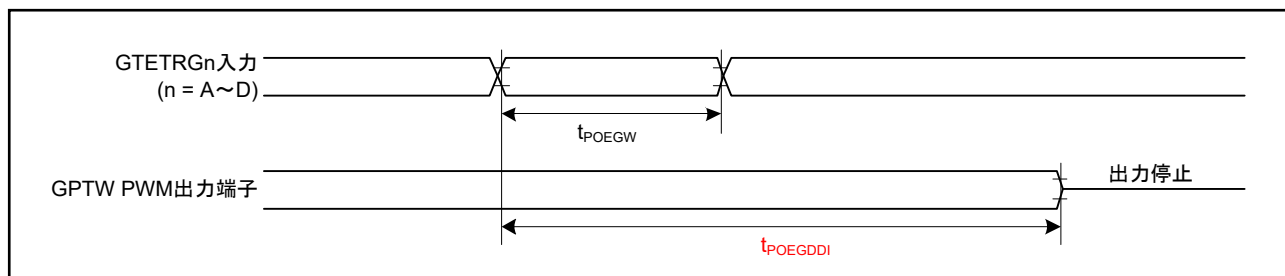


図 45.39 POEG 出力ディセーブル時間 (GTETRn 端子の入力レベル検出(フラグ非経由))

• Page 2304 of 2349

図 45.40 を以下のとおり訂正いたします。

【訂正前】

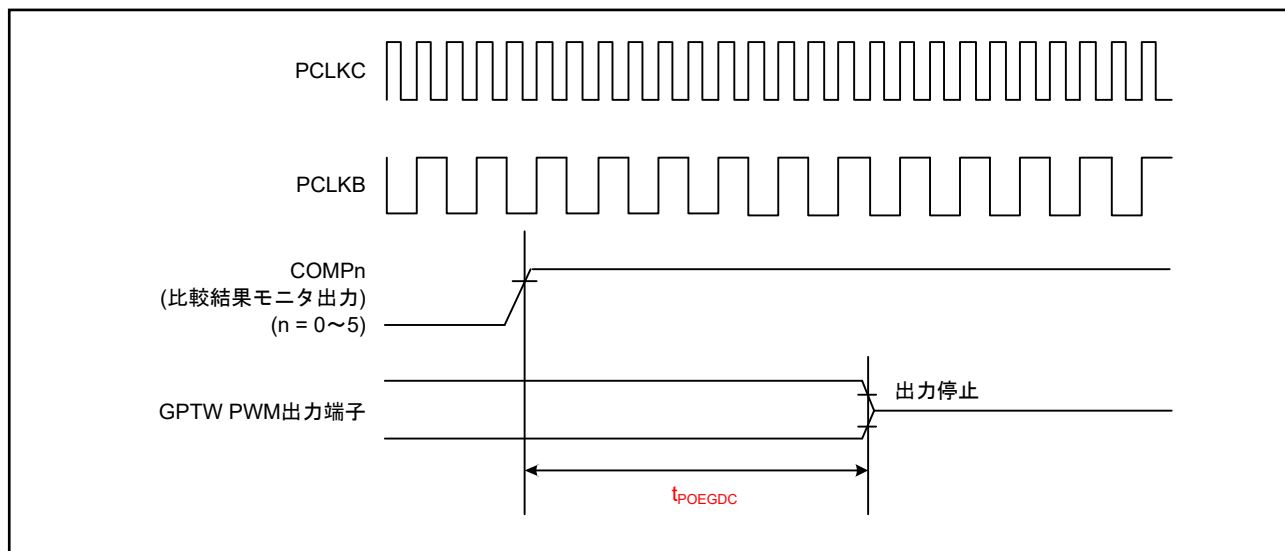


図 45.40 POEG 出力停止制御時間 (コンパレータレベル検出信号による直接制御)

【訂正後】

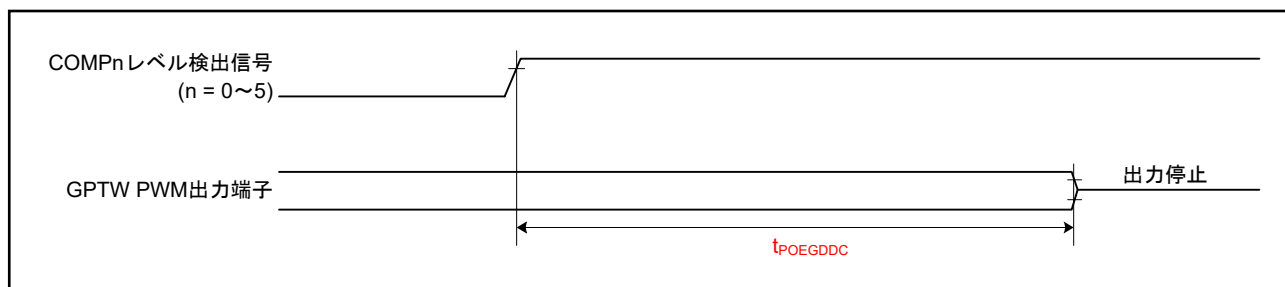


図 45.40 POEG 出力ディセーブル時間 (コンパレータレベル検出)

• Page 2309 of 2349

「表 45.35 RSPI タイミング」の単位欄を以下のとおり訂正いたします。

【訂正前】

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件	
RSPI	(省略)						
	RSPCK クロック High レベルパルス幅	マスタ	$t_{SPCKWH}$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	図 45.47
		スレーブ					
	RSPCK クロック Low レベルパルス幅	マスタ	$t_{SPCKWL}$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ					
	(省略)						

【訂正後】

項目		記号	min (注1)	max (注1)	単位 (注1)	測定条件	
RSPI	(省略)						
	RSPCK クロック High レベルパルス幅	マスタ	$t_{SPCKWH}$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	図 45.47
		スレーブ					
	RSPCK クロック Low レベルパルス幅	マスタ	$t_{SPCKWL}$	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ					
	(省略)						

• Page 2315 of 2349

「表 45.37 RIIC タイミング」の条件欄から、以下のとおり出力負荷条件を削除いたします。

【訂正前】

表45.37 RIICタイミング

条件：VCC = 2.7~5.5V, VCC\_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T<sub>a</sub> = T<sub>opr</sub>,  
 ICLK = 8~160MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~160MHz, BCLK = 8~60MHz,  
 出力負荷条件：V<sub>OH</sub> = 0.5 × VCC, V<sub>OL</sub> = 0.5 × VCC, C = 30pF,  
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65 以外)

【訂正後】

表45.37 RIICタイミング

条件：VCC = 2.7~5.5V, VCC\_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T<sub>a</sub> = T<sub>opr</sub>,  
 ICLK = 8~160MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~160MHz, BCLK = 8~60MHz,  
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65 以外)

• Page 2316 of 2349

「表 45.38 簡易 IIC タイミング」の条件欄から、以下のとおり出力負荷条件を削除いたします。

【訂正前】

表45.38 簡易IICタイミング

条件：VCC = 2.7~5.5V, VCC\_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T<sub>a</sub> = T<sub>opr</sub>,  
 ICLK = 8~160MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~160MHz, BCLK = 8~60MHz,  
**出力負荷条件：V<sub>OH</sub> = 0.5 × VCC, V<sub>OL</sub> = 0.5 × VCC, C = 30pF,**  
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65 以外)

【訂正後】

表45.38 簡易IICタイミング

条件：VCC = 2.7~5.5V, VCC\_USB = 2.7~5.5V, AVCC0 = AVCC1 = AVCC2 = 3.0~5.5V,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T<sub>a</sub> = T<sub>opr</sub>,  
 ICLK = 8~160MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, PCLKC = 8~160MHz, BCLK = 8~60MHz,  
 駆動能力制御レジスタは高駆動出力を選択(P53~P55、P60~P65 以外)

• Page 2320 of 2349

「表 45.42 12ビット A/D (ユニット 0, 1, 2)変換特性(1)」の変換時間を以下のとおり訂正いたします。

【訂正前】

表45.42 12ビットA/D (ユニット0, 1, 2)変換特性(1)

条件：VCC = 2.7~5.5V, VCC\_USB = 2.7~5.5V, 4.5 ≤ AVCC0 = AVCC1 = AVCC2 ≤ 5.5V,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T<sub>a</sub> = T<sub>opr</sub>, PCLKB = PCLKD = 8~60MHz (注1)

項目	min	typ	max	単位	測定条件
(省略)					
変換時間 (注2) (PCLKD = 60MHz 時) 許容信号源インピーダンス max = 1.0 kΩ	(省略)			μs	(省略)
	AN216~AN217	1.10	—		—
(省略)					

【訂正後】

表45.42 12ビットA/D (ユニット0, 1, 2)変換特性(1)

条件：VCC = 2.7~5.5V, VCC\_USB = 2.7~5.5V, 4.5 ≤ AVCC0 = AVCC1 = AVCC2 ≤ 5.5V,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V, T<sub>a</sub> = T<sub>opr</sub>, PCLKB = PCLKD = 8~60MHz (注1),  
**信号源インピーダンス = 1.0 kΩ**

項目	min	typ	max	単位	測定条件
(省略)					
変換時間 (注2) (PCLKD = 60MHz 時)	(省略)			μs	(省略)
	AN216~AN217	1.05	—		—
(省略)					

• Page 2321 of 2349

「表 45.43 12ビット A/D (ユニット 0, 1, 2)変換特性(2)」の変換時間を以下のとおり訂正いたします。

【訂正前】

表45.43 12ビットA/D (ユニット0, 1, 2)変換特性(2)  
 条件：VCC = 2.7~4.5V, VCC\_USB = 2.7~4.5V,  $3.0 \leq AVCC0 = AVCC1 = AVCC2 \leq 4.5V$ ,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V,  $T_a = T_{opr}$ , PCLKB = PCLKD = 8~40MHz

項目		min	typ	max	単位	測定条件	
(省略)							
変換時間 <sup>(注1)</sup> (PCLKD = 40MHz 時) 許容信号源インピーダンス max = 1.0 kΩ	AN000~AN002, AN100~AN102	(省略)			μs	(省略)	
		チャンネル専用サンプル&ホールド回路不使用時	1.15	—		—	● サンプルング時間 21 PCLKD
	AN003~AN006, AN103~AN106		1.15	—		—	● サンプルング時間 21 PCLKD
	(省略)			(省略)			
AN216~AN217		1.30	—	—	● サンプルング時間 27 PCLKD		
(省略)							

【訂正後】

表45.43 12ビットA/D (ユニット0, 1, 2)変換特性(2)  
 条件：VCC = 2.7~4.5V, VCC\_USB = 2.7~4.5V,  $3.0 \leq AVCC0 = AVCC1 = AVCC2 \leq 4.5V$ ,  
 VSS = VSS\_USB = AVSS0 = AVSS1 = AVSS2 = 0V,  $T_a = T_{opr}$ , PCLKB = PCLKD = 8~40MHz,  
 信号源インピーダンス = 1.0 kΩ

項目		min	typ	max	単位	測定条件	
(省略)							
変換時間 <sup>(注1)</sup> (PCLKD = 40MHz 時)	AN000~AN002, AN100~AN102	(省略)			μs	(省略)	
		チャンネル専用サンプル&ホールド回路不使用時	1.13	—		—	● サンプルング時間 21 PCLKD
	AN003~AN006, AN103~AN106		1.13	—		—	● サンプルング時間 21 PCLKD
	(省略)			(省略)			
AN216~AN217		1.28	—	—	● サンプルング時間 27 PCLKD		
(省略)							

• Page 2323 of 2349

「表 45.45 PGA 特性 (シングルエンド入力時)」の項目名、記号を以下のとおり訂正いたします。

【訂正前】

項目	記号	min	typ	max	単位	測定条件
(省略)						
シングルエンド出力電圧範囲	V <sub>OSR</sub>	0.10 × AVCCn	—	0.90 × AVCCn	V	G = 2.000~3.636
		0.15 × AVCCn	—	0.85 × AVCCn		G = 4.000~6.667
		0.20 × AVCCn	—	0.80 × AVCCn		G = 8.000~20.000
(省略)						

【訂正後】

項目	記号	min	typ	max	単位	測定条件
(省略)						
出力電圧範囲	V <sub>OR</sub>	0.10 × AVCCn	—	0.90 × AVCCn	V	G = 2.000~3.636
		0.15 × AVCCn	—	0.85 × AVCCn		G = 4.000~6.667
		0.20 × AVCCn	—	0.80 × AVCCn		G = 8.000~20.000
(省略)						

• Page 2323 of 2349

「表 45.46 PGA 特性 (疑似差動入力時)」の項目名、記号を以下のとおり訂正いたします。

【訂正前】

項目	記号	min	typ	max	単位	測定条件
(省略)						
差動出力電圧範囲	V <sub>ODR</sub>	0.22 × AVCC	—	0.78 × AVCC	V	
(省略)						

【訂正後】

項目	記号	min	typ	max	単位	測定条件
(省略)						
出力電圧範囲	V <sub>OR</sub>	0.22 × AVCC	—	0.78 × AVCC	V	
(省略)						

以上