

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社問合せ窓口 <http://japan.renesas.com/contact/>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RX*-A164A/J	Rev.	第1版
題名	RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	RX65N グループ、RX651 グループ	対象ロット等	関連資料	RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0590JJ0100)	
		全ロット			

RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 において、誤記がありましたので、以下のとおり訂正いたします。

No.	章番号	訂正内容
1	1章 概要	表1.1 仕様概要(5/8) リアルタイムクロック機能に注記を追加
2	23章 マルチファンクションピンコントローラ (MPC)	23.2.24 外部バス制御レジスタ0 (PFBCR0) のビット名誤記を訂正
3	41章 クワッドシリアルペリフェラルインタフェース (QSPI)	41.4.3 シリアルフラッシュメモリを使用する場合の注意事項に変更
4	44章 SDスレーブインタフェース (SDSI)	44.1 概要 本文内誤記を訂正
5	50章 12ビットA/Dコンバータ (S12ADFa)	50.1 仕様概要 表50.1 動作モードの誤記を訂正
6	51章 12ビットD/Aコンバータ (R12DA)	51.3 動作説明 本文 (3) ADCLKが周辺モジュールクロックよりも早い場合の動作条件を削除
7	51章 12ビットD/Aコンバータ (R12DA)	51.3.1 D/A変換とA/D変換の干渉対策 本文 (4) および図51.4 ADCLKが周辺モジュールクロックよりも早い場合の動作条件を削除。
8	57章 電気的特性	57.2 DC特性 ディープスタンバイ電流値の誤記訂正
9	57章 電気的特性	57.2 DC特性 表57.6 リファレンス電源電流 12ビットA/D変換中 (ユニット0) の電気的特性値の誤記を訂正
10	57章 電気的特性	57.2 DC特性 許容総消費電力を追加。

No.1 1.1 仕様概要

表 1.1 のリアルタイムクロックの機能欄、および表末に以下のとおり注 4 を追加いたします。

Page 66 of 2491

表 1.1 仕様概要 (5 / 8)

分類	モジュール/機能	説明
タイマ	プログラマブルパルスジェネレータ (PPG)	<ul style="list-style-type: none"> <li>• (4ビット×4グループ) × 2ユニット</li> <li>• MTU3、またはTPUからの出力をトリガとしてパルスを出力</li> <li>• 最大32本のパルス出力</li> </ul>
	8ビットタイマ (TMRb)	<ul style="list-style-type: none"> <li>• (8ビット×2チャンネル) × 2ユニット</li> <li>• 7種類の内部クロック (PCLKB/1, PCLKB/2, PCLKB/8, PCLKB/32, PCLKB/64, PCLKB/1024, PCLKB/8192) と外部クロックを選択可能</li> <li>• 任意のデューティ比のパルス出力やPWM出力が可能</li> <li>• 2チャンネルをカスケード接続し16ビットタイマとして使用可能</li> <li>• A/Dコンバータの変換開始トリガを生成可能</li> <li>• SCI5, SCI6, SCI12のポーレートクロック生成可能</li> <li>• ELCによるイベントリンク機能をサポート</li> </ul>
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>• (16ビット×2チャンネル) × 2ユニット</li> <li>• 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能</li> <li>• ELCによるイベントリンク機能をサポート</li> </ul>
	コンペアマッチタイマW (CMTW)	<ul style="list-style-type: none"> <li>• (32ビット×1チャンネル) × 2ユニット</li> <li>• コンペアマッチ、インプットキャプチャ入力およびアウトプットコンペア出力が可能</li> <li>• 4種類のクロック (PCLKB/8, PCLKB/32, PCLKB/128, PCLKB/512) を選択可能</li> <li>• コンペアマッチ、インプットキャプチャ、およびアウトプットコンペア発生時、割り込み要求の発生を選択可能</li> <li>• ELCによるイベントリンク機能をサポート</li> </ul>
	リアルタイムクロック (RTCd) (注4)	<ul style="list-style-type: none"> <li>• クロックソース：メインクロック、サブクロック</li> <li>• 時計カウント/秒単位の32ビットバイナリカウントを選択可能</li> <li>• 時計/カレンダー機能</li> <li>• 割り込み要因：アラーム割り込み、周期割り込み、桁上げ割り込み</li> <li>• バッテリバックアップ動作</li> <li>• 3値タイムキャプチャ機能</li> <li>• ELCによるイベントリンク機能をサポート</li> </ul>

Page 69 of 2491

動作周波数	120MHz max
電源電圧	VCC = AVCC0 = AVCC1 = VCC_USB = 2.7~3.6V, 2.7 ≤ VREFH0 ≤ AVCC0, V <sub>BATT</sub> = 2.0V~3.6V
動作周囲温度	Dバージョン：-40~+85°C Gバージョン：-40~+105°C (計画中)
パッケージ	145ピンTFLGA (PTLG0145KA-A) 144ピンLFQFP (PLQP0144KA-B) 100ピンTFLGA (PTLG0100JA-A) 100ピンLFQFP (PLQP0100KB-B)
オンチップデバッキングシステム	<ul style="list-style-type: none"> <li>• E1エミュレータ (JTAGおよびFINEインタフェース)</li> <li>• E20エミュレータ (JTAGインタフェース)</li> </ul>

- 注1. Magic Packet™は、Advanced Micro Devices, Inc. の登録商標です。  
 注2. 暗号機能の内蔵有無で型名が異なります。  
 注3. SDHI/SDSIの内蔵有無で型名が異なります。  
 注4. リアルタイムクロックを使用しない場合、「31.6.7 リアルタイムクロックを使用しない場合の初期化手順」に従ってリアルタイムクロック内のレジスタを初期化してください。

No.2 23.2.24 外部バス制御レジスタ 0 (PFBCR0) (Page 808 of 2491)

以下のとおり ADRHMS2 ビットのビット名を訂正いたします。

【訂正前】

ビット	シンボル	ビット名	機能	R/W
省略				
b1	ADRHMS	A16~A23 出力許可ビット	表 23.20 を参照してください	R/W
b2	ADRHMS2	A18~A20 出力許可 2 ビット		R/W
省略				

【訂正後】

ビット	シンボル	ビット名	機能	R/W
省略				
b1	ADRHMS	A16~A23 出力許可ビット	表 23.20 を参照してください	R/W
b2	ADRHMS2	A16~A23 出力許可 2 ビット		R/W
省略				

No.3 41.4 使用時の注意事項 (Page 1972 of 2491)

QSPI 章の「41.4 使用時の注意事項」において、41.4.3 の見出し、および記載内容を以下のとおり変更いたします。

【変更前】

41.4.3 Single/Dual/Quad-SPI 動作で SPI モード 3 を使用する場合

Single/Dual/Quad-SPI 動作でシリアルフラッシュメモリを使用する場合は、SPCMDn.CPOL ビット (n = 0~3) を“1”、SPCMDn.CPHA ビット (n = 0~3) を“1”に設定し、SPI モード 3 を使用してください。

【変更後】

41.4.3 シリアルフラッシュメモリを使用する場合の注意事項

SPI 動作モードを Dual-SPI または Quad-SPI にしてシリアルフラッシュメモリを使用する場合、SPCMDn.CPOL、CPHA ビット (n = 0~3) を両方とも“1”にし、SPI モード 3 に設定してください。モード 0 ~モード 2 は使用できません。また、SPCMDn.SPNDEN、SLNDEN、SCKDEN ビットをすべて“1”にして遅延期間を設けてください。

## No.4 44.1 概要 (Page 2040 of 2491)

SDSI 章の「44.1 概要」本文 3 行目を以下のとおり訂正いたします。

## 【変更前】

20M バイト/秒以上の最高スループットを実現することが可能です。

## 【変更後】

25M バイト/秒の最高スループットを実現することが可能です。

## No.5 50.1 概要 (Page 2168 of 2491)

S12ADFa 章の「50.1 概要」において、「表 50.1 12 ビット A/D コンバータの仕様(1/2)」の動作モードの内容欄 1 行目を以下のとおり訂正いたします。

## 【変更前】

動作モードは 3 ユニット個別で設定可能です。

## 【変更後】

動作モードは 2 ユニット個別で設定可能です。

## No.6 51.3 動作説明 (Page 2313 of 2491)

R12DA 章の「51.3 動作説明」において、(3)の本文を以下のとおり訂正いたします。

## 【変更前】

- (3) DADR0 レジスタを書き換えると変換を開始します。tDCONV 時間経過後、変換結果が出力されます。DAADSCR.DAADST ビットが“1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、D/A 変換開始まで最大 A/D 変換 1 回分待たされます (ADCLK が周辺モジュールクロックよりも速い場合は、A/D 変換 1 回分以上待たされる場合があります)。

## 【変更後】

- (3) DADR0 レジスタを書き換えると変換を開始します。tDCONV 時間経過後、変換結果が出力されます。DAADSCR.DAADST ビットが“1” (D/A 変換と A/D 変換の干渉対策が有効) の場合、D/A 変換開始まで最大 A/D 変換 1 回分待たされます。

No.7 51.3.1 D/A 変換と A/D 変換の干渉対策

R12AD 章の「51.3.1 D/A 変換と A/D 変換の干渉対策」において、ADCLK が周辺モジュールクロックよりも速い場合に関する記述を削除いたします。

Page 2314 of 2491

(4)の本文を以下のとおり訂正いたします。

【変更前】

(4) DADR0 レジスタを設定する (ADCLK が周辺モジュールクロックよりも速い場合は、A/D 変換 1 回分以上待たされる場合があります)。

【変更後】

(4) DADR0 レジスタを設定する。

Page 2315 of 2491

図 51.3 下の本文、および図 51.4 を削除いたします。

ADCLK が PCLK よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 1 周期分の 12 ビット A/D コンバータ同期 D/A 変換許可入力信号を 12 ビット D/A コンバータが取り込めない可能性があります。図 51.4 に 12 ビット D/A コンバータが 12 ビット A/D コンバータ同期 D/A 変換許可入力信号を取り込めない例を示します。この場合、DA0 信号は D/A 変換値 A の出力を継続します。

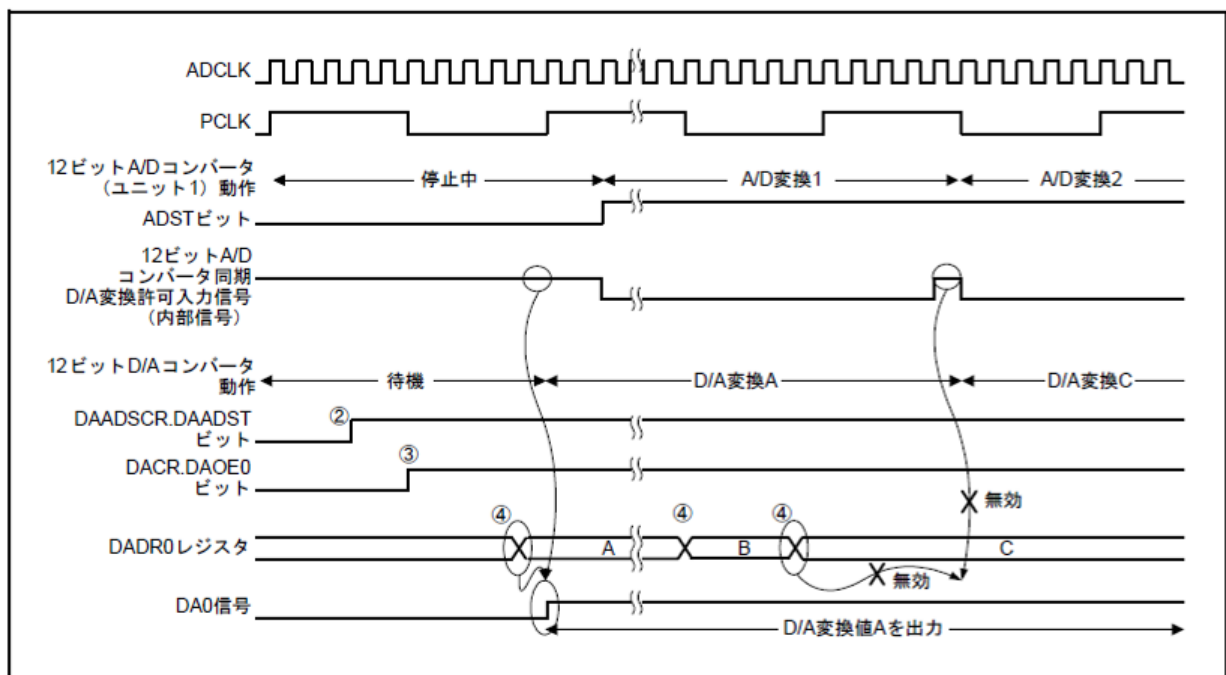


図 51.4 12 ビット D/A コンバータが 12 ビット A/D コンバータ同期 D/A 変換許可入力信号を取り込めない例

No.8 57.2 DC 特性 (Page 2410 of 2491)

電气的特性章の「57.2 DC 特性」において、「表 57.5 DC 特性 (3)」のディープソフトウェアスタンバイモードでの特性値を以下のとおり訂正いたします。

【訂正前】

項目		記号	min	typ	max	単位	測定条件		
消費電流 (注1)	省略		省略						
	ディープ ソフトウェア スタンバイモード	スタンバイRAM, USBレジューム検出部 (USB0のみ)電源供給あり	I <sub>CC</sub> (注3)	—	15.5	51	μA		
		スタンバイRAM, USBレジューム検出部 (USB0のみ)電源供給なし		パワーオンリセット回路 低消費電力機能無効 (注5)	—	11.5		29	
				パワーオンリセット回路 低消費電力機能有効 (注6)	—	4.9		20	
		RTC動作時の増分		低CL水晶発振子使用時	—	1		—	
	標準CL水晶発振子使用時			—	2	—			
	省略			省略					

【訂正後】

項目		記号	min	typ	max	単位	測定条件		
消費電流 (注1)	省略		省略						
	ディープ ソフトウェア スタンバイモード	スタンバイRAM, USBレジューム検出部 (USB0のみ)電源供給あり	I <sub>CC</sub> (注3)	—	15.5	61	μA		
		スタンバイRAM, USBレジューム検出部 (USB0のみ)電源供給なし		パワーオンリセット回路 低消費電力機能無効 (注5)	—	11.5		38	
				パワーオンリセット回路 低消費電力機能有効 (注6)	—	4.9		29	
		RTC動作時の増分		低CL水晶発振子使用時	—	1		—	
	標準CL水晶発振子使用時			—	2	—			
	省略			省略					

No.9 57.2 DC 特性 (Page 2411 of 2491)

電氣的特性章の「57.2 DC 特性」において、「表 57.6 DC 特性(4)」のリファレンス電源電流-12ビット A/D 変換中 (ユニット 0) の特性値を以下のとおり訂正いたします。

【訂正前】

項目		記号	min	typ	max	単位	測定条件
省略							
リファレンス 電源電流	12ビット A/D 変換中 (ユニット 0)	I <sub>REFH</sub>	—	25	40	μA	IVREFH0
	12ビット A/D 変換待機時 (ユニット 0)		—	0.07	0.4	μA	IVREFH0
	12ビット A/D スタンバイ時 (ユニット 0)		—	0.07	0.2	μA	IVREFH0
省略							

【訂正後】

項目		記号	min	typ	max	単位	測定条件
省略							
リファレンス 電源電流	12ビット A/D 変換中 (ユニット 0)	I <sub>REFH</sub>	—	38	60	μA	IVREFH0
	12ビット A/D 変換待機時 (ユニット 0)		—	0.07	0.4	μA	IVREFH0
	12ビット A/D スタンバイ時 (ユニット 0)		—	0.07	0.2	μA	IVREFH0
省略							

No.10 57.2 DC 特性

以下の電氣的特性を「DC 特性(5)」として追加します。

【変更後】

表57.x DC特性 (5)

条件：VCC = AVCC0 = AVCC1 = VCC\_USB = 2.7~3.6V, 2.7 ≤ VREFH0 ≤ AVCC0,

VSS = AVSS0 = AVSS1 = VREFL0 = VSS\_USB = 0V,

T<sub>a</sub> = T<sub>opr</sub>

項目	パッケージ	記号	min	typ	max	単位	測定条件
消費電力 (注1)	PLQP0144KA-B	Pd	—	—	0.383	W	Ta = 85°C
	PLQP0100KB-B		—	—	0.371	W	
	PTLG0145KA-A		—	—	0.459	W	
	PTLG0100JA-A		—	—	0.571	W	

【使用上の注意】LSIの信頼性を確保するために、上記の値を超えないようにしてください。

注1. 出力バッファで消費される電力を含むチップ全体の消費電力です。

以上