

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A0211A/J	Rev.	第1版
題名	RX65Nグループ、RX651グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	RX65N グループ、RX651 グループ	対象ロット等	関連資料	RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0590JJ0210)	
		全ロット			

RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.2.10 において、誤記がありましたので、以下のとおり訂正いたします。

Page 353 of 2727

- 「表 11.2 各モードにおける遷移および解除方法と動作状態」にポートアウトプットイネーブル (POE) の項目を以下の通り追加しました。

【変更前】

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
～中略～				
8ビットタイマ(ユニット0, 1) (TMR)	動作可能	動作可能 ^(注11)	停止(保持)	停止(不定)
電圧検出回路(LVDA)	動作可能	動作可能	動作可能	動作可能 ^(注12、注13)
パワーオンリセット回路	動作	動作	動作	動作 ^(注13)
周辺モジュール	動作可能	停止(保持)	停止(保持)	停止(不定)
I/Oポート	動作	保持 ^(注14)	保持 ^(注15)	保持 ^(注15)

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注1. 外部端子割り込み(NMI, IRQ0～IRQ15)、周辺機能割り込み(8ビットタイマ、RTCアラーム、RTC周期、IWDI, USBサスペンド/レジューム、電圧監視1、電圧監視2、メインクロック発振停止検出)。

～中略～

注12. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット(LVD1CR0.LVD1R1)が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット(LVD2CR0.LVD2R1)が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注13. ディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])が“11b”の設定でディープソフトウェアスタンバイモードに移行した場合、電圧検出回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。

注14. P53をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマ、RTCを動作させている場合、関連する端子は動作を継続します。

注15. スタンバイコントロールレジスタの出力ポートイネーブルビット(SBYCR.OPE)の設定によって、アドレスバス、バス制御信号(CS0#～CS7#, RD#, WR0#～WR3#, WR#, BC0#～BC3#, ALE, CKE, SDCS#, RAS#, CAS#, WE#, DQM0～DQM3)の保持/ハイインピーダンスを選択することができます。

【変更後】

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
遷移方法	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令	制御レジスタ + 命令
～中略～				
8ビットタイマ(ユニット0, 1) (TMR)	動作可能	動作可能 (注11)	停止(保持)	停止(不定)
ポータアウトプットイネーブル (POE)	動作可能	動作可能 (注12)	停止(保持)	停止(不定)
電圧検出回路(LVDA)	動作可能	動作可能	動作可能	動作可能 (注13, 注14)
パワーオンリセット回路	動作	動作	動作	動作 (注14)
周辺モジュール	動作可能	停止(保持)	停止(保持)	停止(不定)
I/Oポート	動作	保持 (注15)	保持 (注16)	保持 (注16)

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注2. 外部端子割り込み(NMI, IRQ0~IRQ15)、周辺機能割り込み(8ビットタイマ、RTCアラーム、RTC周期、IWDI、USBサスペンド/レジューム、電圧監視1、電圧監視2、メインクロック発振停止検出)。

～中略～

注12. POE割り込みを有効にした状態で全モジュールクロックストップモード中にPOE割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生フラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後にPOE割り込みが発生します。

注13. 電圧監視1回路制御レジスタ0の電圧監視1回路モード選択ビット(LVD1CR0.LVD1RI)が“1”、もしくは電圧監視2回路制御レジスタ0の電圧監視2回路モード選択ビット(LVD2CR0.LVD2RI)が“1”に設定されている場合は、ディープソフトウェアスタンバイモードには移行せず、ソフトウェアスタンバイモードへ移行します。

注14. ディープスタンバイコントロールレジスタのディープカットビット(DPSBYCR.DEEPCUT[1:0])が“11b”の設定でディープソフトウェアスタンバイモードに移行した場合、電圧検出回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。

注15. P53をBCLKとして使用している場合は、BCLK出力のまま動作を継続します。8ビットタイマ、RTCを動作させている場合、関連する端子は動作を継続します。

注16. スタンバイコントロールレジスタの出力ポートイネーブルビット(SBYCR.OPE)の設定によって、アドレスバス、バス制御信号(CS0#~CS7#, RD#, WR0#~WR3#, WR#, BC0#~BC3#, ALE, CKE, SDCS#, RAS#, CAS#, WE#, DQM0~DQM3)の保持/ハイインピーダンスを選択することができます。

Page 356 of 2727

- 「11.2.1 スタンバイコントロールレジスタ (SBYCR)」のSSBYビット (ソフトウェアスタンバイビット) の説明に記載漏れがありましたので、以下の通り訂正いたします。

【変更前】

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の移行先を設定します。

～中略～

フラッシュP/EモードエントリレジスタのコードフラッシュP/Eモードエントリビット(FENTRYR.FENTRYC)が“1”のとき、このビットに設定された値は無効になります。本ビットが“1”にセットされている場合、WAIT命令実行後はスリープモードに移行します。

【変更後】

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の移行先を設定します。

～中略～

フラッシュ P/E モードエントリレジスタのコードフラッシュ P/E モードエントリビット(FENTRYR.FENTRYC) が “1”、またはデータフラッシュメモリ P/E モードエントリビット(FENTRYR.FENTRYD)^(注1) が “1” のとき、このビットに設定された値は無効になります。本ビットが “1” にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

注1. コードフラッシュメモリ容量が 1.5M バイト以上の製品にのみあります。

Page 358 of 2727

- 「11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)」の ACSE ビット (全モジュールクロックストップモード許可ビット) の説明に記載漏れがありましたので、以下の通り訂正いたします。

【変更前】

ACSE ビット (全モジュールクロックストップモード許可ビット)

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。

～中略～

フラッシュ P/E モードエントリレジスタのコードフラッシュ P/E モードエントリビット(FENTRYR.FENTRYC) が “1” のとき、このビットに設定された値は無効になります。本ビットが “1” にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

【変更後】

ACSE ビット (全モジュールクロックストップモード許可ビット)

ACSE ビットにて、全モジュールクロックストップモードへの移行の許可または禁止を設定します。

～中略～

フラッシュ P/E モードエントリレジスタのコードフラッシュ P/E モードエントリビット(FENTRYR.FENTRYC) が “1”、またはデータフラッシュメモリ P/E モードエントリビット(FENTRYR.FENTRYD)^(注1) が “1” のとき、このビットに設定された値は無効になります。本ビットが “1” にセットされている場合、WAIT 命令実行後はスリープモードに移行します。

注1. コードフラッシュメモリ容量が 1.5M バイト以上の製品にのみあります。

Page 591 of 2727

- 「16.6.12.3 タイミングレジスタ設定値とアクセスタイミング」の「図 16.79 連続リードタイミング例 (2)」の図が「図 16.78 連続リードタイミング例 (1)」と同一となっていたため、以下の通り訂正いたします。

【変更前】

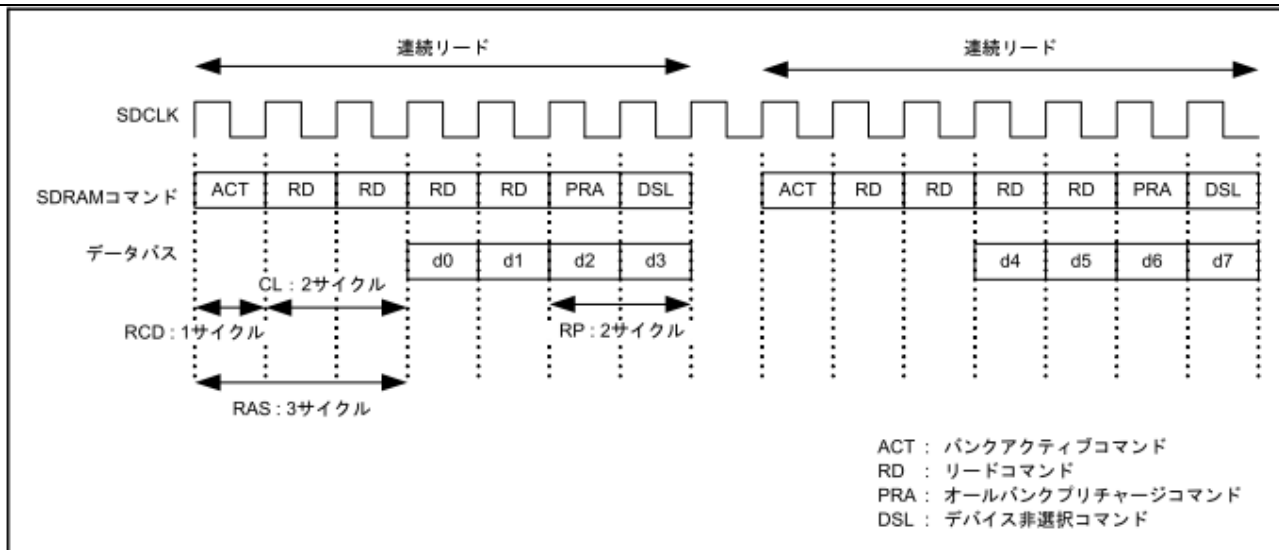


図 16.79 連続リードタイミング例 (2)

【変更後】

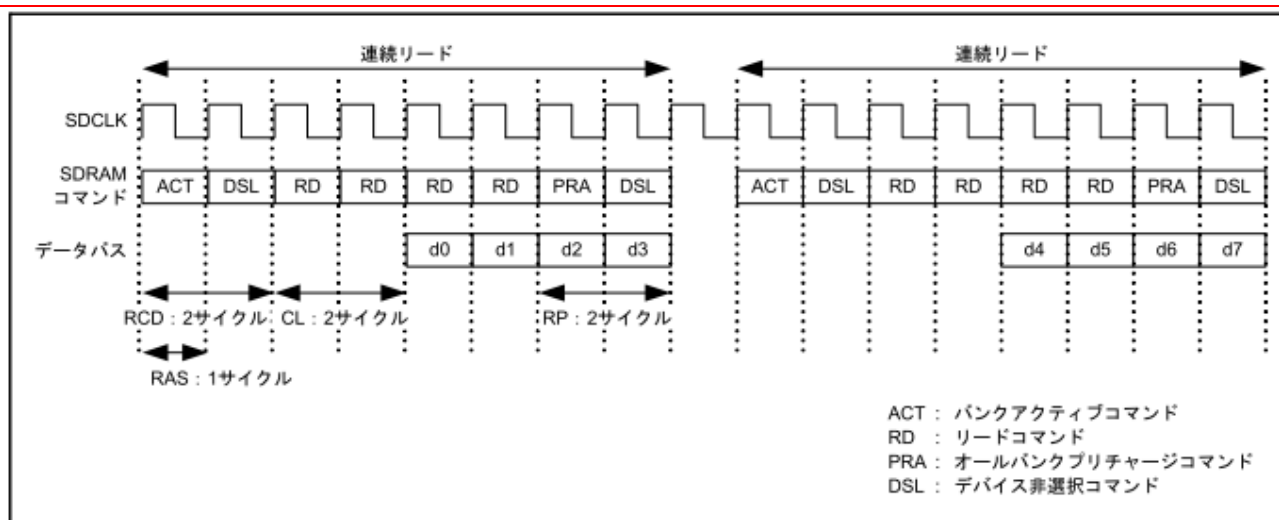


図 16.79 連続リードタイミング例 (2)

Page 842 of 2727

- 「表 23.1 マルチプル端子の割り当て端子一覧 (13 / 18)」の I²C バスインタフェース部分に誤記がありましたので、以下の通り訂正いたします。

【変更前】

表 23.1 マルチプル端子の割り当て端子一覧 (13 / 18)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				177ピン 176ピン	145ピン 144ピン	100ピン
I ² C バス インタフェース	RIIC0	SCL0[FM+] (入出力)	P12	○	○	○
		SDA0[FM+] (入出力)	P13	○	○	○
	RIIC1 (注2)	SCL1 (入出力)	P21	○	○	×
		SDA1 (入出力)	P20	○	○	×
	RIIC2	SCL2-DS (入出力)	P16	○	○	○
		SDA2-DS (入出力)	P17	○	○	○
～以下省略～						

【変更後】

表 23.1 マルチプル端子の割り当て端子一覧 (13 / 18)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				177ピン 176ピン	145ピン 144ピン	100ピン
I ² C バス インタフェース	RIIC0	SCL0[FM+] (入出力)	P12	○	○	○
		SDA0[FM+] (入出力)	P13	○	○	○
	RIIC1 (注2)	SCL1 (入出力)	P21	○	○	○
		SDA1 (入出力)	P20	○	○	○
	RIIC2	SCL2-DS (入出力)	P16	○	○	○
		SDA2-DS (入出力)	P17	○	○	○
～以下省略～						

Page 853 of 2727

- 「表 23.6 177ピン TFLGA, 176ピン LFBGA, 176ピン LFQFP, 145ピン TFLGA, 144ピン LFQFP, 100ピン TFLGA, 100ピン LFQFP 端子入出力機能レジスタ設定」に誤記がありましたので、以下の通り訂正いたします。

【変更前】

表 23.6 177ピン TFLGA, 176ピン LFBGA, 176ピン LFQFP, 145ピン TFLGA, 144ピン LFQFP, 100ピン TFLGA, 100ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
000000b (初期値)	Hi-Z							
～中略～								
001101b	—	—	—	—	—	—	MOSIB-A	RSPCKB-A
001111b (注1、注2)	SDA1	SCL1	—	—	—	—	—	—
011000b	—	—	EDREQ0	EDACK0	EDREQ1	EDACK1	—	—
011010b (注1、注2)	SDHI_CMD-C	SDHI_CLK-C	SDHI_D0-C	SDHI_D1-C	SDHI_WP	SDHI_CD	—	—
011100b (注1)	PIXD4	PIXD5	PIXD6	PIXD7	PIXCLK	HSYNC	—	—

【変更後】

表 23.6 177 ピン TFLGA, 176 ピン LFBGA, 176 ピン LFQFP, 145 ピン TFLGA, 144 ピン LFQFP, 100 ピン TFLGA, 100 ピン LFQFP 端子入出力機能レジスタ設定

PSEL[5:0]ビット 設定値	端子							
	P20	P21	P22	P23	P24	P25	P26	P27
000000b (初期値)	Hi-Z							
~中略~								
001101b	—	—	—	—	—	—	MOSIB-A	RSPCKB-A
001111b (注2)	SDA1	SCL1	—	—	—	—	—	—
011000b	—	—	EDREQ0	EDACK0	EDREQ1	EDACK1	—	—
011010b (注1、注2)	SDHI_CMD-C	SDHI_CLK-C	SDHI_D0-C	SDHI_D1-C	SDHI_WP	SDHI_CD	—	—
011100b (注1)	PIXD4	PIXD5	PIXD6	PIXD7	PIXCLK	HSYNC	—	—

Page 2637 of 2727

- 「表 60.5 DC 特性(3) (コードフラッシュメモリ容量が 1M バイト以下の製品)」の注 3 記載の計算式に誤記がありましたので、以下の通り訂正いたします。

【変更前】

表 60.5 DC 特性(3) (コードフラッシュメモリ容量が 1M バイト以下の製品)

条件： VCC = AVCC0 = AVCC1 = VCC_USB = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 T_a = T_{opr}

項目	記号	Dバージョン		Gバージョン		単位	測定条件
		typ	max	typ	max		
~省略~							

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵ブルアップ MOS をオフ状態にした場合の値です。
- 注2. 周辺機能はクロック供給状態。
- 注3. I_{cc} は、下記の式にしたがって f (ICLK) に依存します。(ICLK/PCLKA:PCLKB/PCLKC/PCLKD:BCLK:BCLK 端子 = 10:5:10:5 @EXTAL = 12MHz)
- ・ Dバージョン製品
 - I_{cc} max = 0.31 × f + 6.5 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.16 × f + 2.8 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.4 × f + 1.1 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.15 × f + 6.5 (スリープ時)
 - ・ Gバージョン製品
 - I_{cc} max = 0.33 × f + 9 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.16 × f + 2.8 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.4 × f + 1.1 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.21 × f + 9 (スリープ時)
- 注4. 周辺機能のクロック供給、停止は、モジュールストップコントロールレジスタ A~D のビット設定による状態の違いのみになります。周辺機能クロック停止状態は、FCLK=BCLK=PCLKA=PCLKB=PCLKC=PCLKD=BCLK 端子=3.75MHz (64 分周) に設定。
- 注5. 低消費電力機能無効 DEEPCUT[1:0] = 01b
- 注6. 低消費電力機能有効 DEEPCUT[1:0] = 11b
- 注7. 参考値

【変更後】

表 60.5 DC 特性(3) (コードフラッシュメモリ容量が 1M バイト以下の製品)

条件： VCC = AVCC0 = AVCC1 = VCC_USB = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 Ta = Topr

項目	記号	Dバージョン		Gバージョン		単位	測定条件
		typ	max	typ	max		

～省略～

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プリアップ MOS をオフ状態にした場合の値です。
- 注2. 周辺機能はクロック供給状態。
- 注3. I_{cc}は、下記の式にしたがって f (ICLK)に依存します。(ICLK/PCLKA:PCLKB/PCLKC/PCLKD:BCLK:BCLK 端子 = 10:5:10:5 @EXTAL = 12MHz)
 - ・ Dバージョン製品
 - I_{cc} max = 0.31 × f + 6.5 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.16 × f + 2.8 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.1 × f + 1.0 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.15 × f + 6.5 (スリープ時)
 - ・ Gバージョン製品
 - I_{cc} max = 0.33 × f + 9 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.16 × f + 2.8 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.1 × f + 1.0 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.21 × f + 9 (スリープ時)
- 注4. 周辺機能のクロック供給、停止は、モジュールストップコントロールレジスタ A~D のビット設定による状態の違いのみになります。周辺機能クロック停止状態は、FCLK=BCLK=PCLKA=PCLKB=PCLKC=PCLKD=BCLK 端子=3.75MHz (64 分周)に設定。
- 注5. 低消費電力機能無効 DEEPCUT[1:0] = 01b
- 注6. 低消費電力機能有効 DEEPCUT[1:0] = 11b
- 注7. 参考値

Page 2638 to 2639 of 2727

- ・ 「表 60.6 DC 特性(3) (コードフラッシュメモリ容量が 1.5M バイト以上の製品)」の注 3 記載の計算式に誤記がありましたので、以下の通り訂正いたします。

【変更前】

表 60.6 DC 特性(3) (コードフラッシュメモリ容量が 1.5M バイト以上の製品)

条件： VCC = AVCC0 = AVCC1 = VCC_USB = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 Ta = Topr

項目	記号	Dバージョン		Gバージョン		単位	測定条件
		typ	max	typ	max		

～省略～

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プリアップ MOS をオフ状態にした場合の値です。
- 注2. 周辺機能はクロック供給状態。
- 注3. I_{cc}は、下記の式にしたがって f (ICLK)に依存します。(ICLK/PCLKA:PCLKB/PCLKC/PCLKD:BCLK:BCLK 端子 = 10:5:10:5 @EXTAL = 12MHz)
 - ・ Dバージョン
 - I_{cc} max = 0.38 × f + 14 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.18 × f + 4 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.4 × f + 1.2 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.2 × f + 14 (スリープ時)
 - ・ Gバージョン
 - I_{cc} max = 0.44 × f + 20 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.18 × f + 4 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.4 × f + 1.2 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.27 × f + 20 (スリープ時)

- 注4. 周辺機能のクロック供給、停止は、モジュールストップコントロールレジスタ A~D のビット設定による状態の違いのみになります。周辺機能クロック停止状態は、FCLK=BCLK=PCLKA=PCLKB=PCLKC=PCLKD=BCLK 端子=3.75MHz (64 分周)に設定。
- 注5. 低消費電力機能無効 DEEPCUT[1:0] = 01b
- 注6. 低消費電力機能有効 DEEPCUT[1:0] = 11b
- 注7. コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ(プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレース実行した場合の増加分です。
- 注8. 参考値

【変更後】

表 60.6 DC 特性(3) (コードフラッシュメモリ容量が 1.5M バイト以上の製品)

条件 : VCC = AVCC0 = AVCC1 = VCC_USB = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 T_a = T_{opr}

項目	記号	D バージョン		G バージョン		単位	測定条件
		typ	max	typ	max		
~省略~							

- 注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- 注2. 周辺機能はクロック供給状態。
- 注3. I_{cc} は、下記の式にしたがって f (ICLK) に依存します。(ICLK/PCLKA:PCLKB/PCLKC/PCLKD:BCLK:BCLK 端子 = 10:5:10:5 @EXTAL = 12MHz)
 - ・ D バージョン
 - I_{cc} max = 0.38 × f + 14 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.18 × f + 4 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.1 × f + 1.5 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.2 × f + 14 (スリープ時)
 - ・ G バージョン
 - I_{cc} max = 0.44 × f + 20 (高速動作モード [最大動作] 時)
 - I_{cc} typ = 0.18 × f + 4 (高速動作モード [通常動作] 時)
 - I_{cc} typ = 0.1 × f + 1.5 (ICLK 1MHz max) (低速動作モード 1 時)
 - I_{cc} max = 0.27 × f + 20 (スリープ時)
- 注4. 周辺機能のクロック供給、停止は、モジュールストップコントロールレジスタ A~D のビット設定による状態の違いのみになります。周辺機能クロック停止状態は、FCLK=BCLK=PCLKA=PCLKB=PCLKC=PCLKD=BCLK 端子=3.75MHz (64 分周)に設定。
- 注5. 低消費電力機能無効 DEEPCUT[1:0] = 01b
- 注6. 低消費電力機能有効 DEEPCUT[1:0] = 11b
- 注7. コードフラッシュメモリでのプログラム実行中に、コードフラッシュメモリ(プログラム領域とリード領域のアドレス範囲の組み合わせに制限あり)、またはデータフラッシュメモリをプログラム/イレース実行した場合の増加分です。
- 注8. 参考値

Page 2639 of 2727

「表 60.7 DC 特性(4)」に誤記がありましたので、以下の通り訂正いたします。

【変更前】

表 60.7 DC 特性(4)

条件： VCC = AVCC0 = AVCC1 = VCC_USB = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
Ta = Topr

項目		記号	Dバージョン			Gバージョン			単位	測定条件	
			min	typ	max	min	typ	max			
アナログ 電源電流 (注1)	12ビット A/D 変換中(ユニット 0)	AI _{CC}	—	0.8	1	—	0.8	1	mA	IAVCC0_AD	
	12ビット A/D 変換中(ユニット 0) +チャンネル専用サンプル& ホールド(3ch分)		—	1.7	2.5	—	1.7	2.5	mA	IAVCC0_AD+SH	
	12ビット A/D 変換中(ユニット 1)		—	0.6	1	—	0.6	1	mA	IAVCC1_AD	
	12ビット A/D 変換中(ユニット 1) +温度センサ		—	0.7	1.1	—	0.7	1.1	mA	IAVCC1_AD+TEMP	
	D/A 変換中 (1ユニット 当り)		バッファなし 出力	—	0.25	0.4	—	0.25	0.4	mA	IAVCC1_DA
			バッファ出力	—	0.57	0.8	—	0.57	0.8	mA	
	A/D, D/A、温度センサ変換待機 時(全ユニット)		—	0.9	1.4	—	0.9	1.4	mA	IAVCC0 + IAVCC1	
	A/D, D/A、温度センサスタンバイ 時(全ユニット)		—	1.4	6.7	—	1.4	9.0	□A	IAVCC0 + IAVCC1	

～以下省略～

【変更後】

表 60.7 DC 特性(4)

条件： VCC = AVCC0 = AVCC1 = VCC_USB = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
Ta = Topr

項目		記号	Dバージョン			Gバージョン			単位	測定条件	
			min	typ	max	min	typ	max			
アナログ 電源電流 (注1)	12ビット A/D 変換中(ユニット 0)	AI _{CC}	—	0.8	1	—	0.8	1	mA	IAVCC0_AD	
	12ビット A/D 変換中(ユニット 0) +チャンネル専用サンプル& ホールド(3ch分)		—	1.7	2.5	—	1.7	2.5	mA	IAVCC0_AD+SH	
	12ビット A/D 変換中(ユニット 1)		—	0.6	1	—	0.6	1	mA	IAVCC1_AD	
	12ビット A/D 変換中(ユニット 1) +温度センサ		—	0.7	1.1	—	0.7	1.1	mA	IAVCC1_AD+TEMP	
	D/A 変換中 (1ユニット 当り)		バッファなし 出力	—	0.25	0.4	—	0.25	0.4	mA	IAVCC1_DA
			バッファ出力	—	0.75	1.1	—	0.75	1.1	mA	
	A/D, D/A、温度センサ変換待機 時(全ユニット)		—	0.9	1.4	—	0.9	1.4	mA	IAVCC0 + IAVCC1	
	A/D, D/A、温度センサスタンバイ 時(全ユニット)		—	1.4	6.7	—	1.4	9.0	□A	IAVCC0 + IAVCC1	

～以下省略～

Page 2709, 2712 of 2727

「表 1.1 各動作モードにおけるポートの状態」に誤記がありましたので、以下の通り訂正いたします。

【変更前】

表 1.1 各動作モードにおけるポートの状態

ポート名 端子名	レジスタ設定による 動作モード	レ ジ ス タ	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1(注1)	IOKEEP=0
P00/IRQ8, P01/IRQ9, P02/IRQ10	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
~中略~							
P55/IRQ10	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O				
~中略~							
ポート 9	全モード	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [データ出力時] Hi-Z [上記以外] Keep-O	[アドレス出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
~以下省略~							

【変更後】

表 1.1 各動作モードにおけるポートの状態

ポート名 端子名	レジスタ設定による 動作モード	レ ジ ス タ	ソフトウェア スタンバイモード		ディープ ソフトウェア スタンバイモード IOKEEP=1/0	ディープソフトウェア スタンバイモード解除後 (起動モードに戻る)	
			OPE=1	OPE=0		IOKEEP=1(注1)	IOKEEP=0
P00/IRQ8, P01/IRQ9, P02/IRQ10	全モード	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
~中略~							
P55/IRQ10	シングルチップモード (EXBE=0)	Hi-Z	Keep-O (注2)		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[データ出力時] Hi-Z [上記以外] Keep-O				
~中略~							
ポート 9	シングルチップモード (EXBE=0)	Hi-Z	Keep-O		Keep	Keep	Hi-Z
	内蔵 ROM 有効 / 無効拡張モード (EXBE=1)		[アドレス出力時] アドレス出力保持 [データ出力時] Hi-Z [上記以外] Keep-O	[アドレス出力時] Hi-Z [データ出力時] Hi-Z [上記以外] Keep-O			
~以下省略~							

以上